

信頼性ハンドブック

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を、全部または一部を問わず、改造、改変、複製、その他の不適切に使用しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通管制（信号）、大規模通信機器、
金融端末基幹システム、各種安全制御装置等

当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することはできません。たとえ、意図しない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を、(1)核兵器、化学兵器、生物兵器等の大量破壊兵器およびこれらを運搬することができるミサイル（無人航空機を含みます。）の開発、設計、製造、使用もしくは貯蔵等の目的、(2)通常兵器の開発、設計、製造または使用の目的、または(3)その他の国際的な平和および安全の維持の妨げとなる目的で、自ら使用せず、かつ、第三者に使用、販売、譲渡、輸出、賃貸もしくは使用許諾しないでください。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 10. お客様の転売、貸与等により、本書（本ご注意書きを含みます。）記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は一切その責任を負わず、お客様にかかる使用に基づく当社への請求につき当社を免責いただきます。
 11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 12. 本資料に記載された情報または当社製品に関し、ご不明点がある場合には、当社営業にお問い合わせください。
- 注1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。
- 注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

信頼性ハンドブック 目次

信頼性ハンドブックご利用にあたって.....	0-1
1. 半導体デバイスの品質への取り組み.....	1-1
2. 半導体デバイスの信頼性.....	2-1
3. 半導体デバイスの故障メカニズム.....	3-1
4. 半導体デバイスの故障解析.....	4-1
5. 半導体デバイスの使用上の一般的な注意事項.....	5-1
付録.....	付録-1

信頼性ハンドブックご利用にあたって

- 本資料は、当社における半導体の品質に対する取り組み(第1章)、当社製品個別の信頼性資料を補完する信頼性に関する基礎的な情報(第2章・第3章・第4章)およびご使用いただく際にお客様に理解していただきたい・守っていただきたい一般的な注意事項(第5章)を説明しております。
- 個々のお取引に関して生じる品質保証責任、瑕疵担保責任などについては、その都度当社または当社の特約店とお客様との間で取り交わされる売買契約書その他の関連契約書に従うものとし、本資料は当該契約内容に追加または変更を加えるものではなく、また当社半導体製品に関する当社の責任を定めるものではありません。
- 本資料の掲載内容は、予告なく変更することがありますので、ご使用に際しては、当社ホームページより最新の情報をご確認いただくか、当社営業または当社の特約店まで最新情報をお問合せください。

第1章 半導体デバイスの品質への取り組み 目次

1.1	品質に対する考え方.....	1-1
1.2	半導体デバイスの品質保証システム.....	1-2
1.3	開発段階での品質保証.....	1-4
1.4	量産段階での品質保証.....	1-5
1.5	変更管理の仕組み.....	1-7
1.6	出荷後の異常と是正処置.....	1-8

1. 半導体デバイスの品質への取り組み

1.1 品質に対する考え方

ルネサス エレクトロニクスは、図 1.1 に示す品質方針に基づいて、ISO 9001 並びに ISO/TS 16949 規格に基づいた品質保証システムを構築し、信頼性技術に裏付けされた設計段階からの「品質・信頼性の作り込み」を基本とし、製品企画からアフターサービスまで一貫した品質保証・管理を展開しています。

品質並びに信頼性の確保と向上とに重点を置き、開発から納入までの信頼性検証・品質管理活動を、「設計の信頼性検証・品質管理」、「製造の品質管理」及び「製品の品質保証・品質管理」の三つの観点から実施し、「品質第一」を基本方針として、事業に係わる全員がお客様の期待する品質、満足する品質の実現に取り組んでいます。

ルネサス エレクトロニクスグループ
品質方針

**半導体が大きな影響をもたらす社会において、
高品質・高信頼性の半導体製品とサービスにより
お客様の満足と社会の発展を目指します**

私たちは一貫した品質マネジメントシステムに従い、営業・開発・製造など全てのプロセスにおいて次のとおり行動します

- 倫理・法規制を遵守します
- 安全・安心な製品を提供します
- 製品とサービスの品質向上を図ります
- 品質マネジメントシステムの継続的改善を図ります

図1.1 ルネサス エレクトロニクス品質方針

1. 半導体デバイスの品質への取り組み

1.2 半導体デバイスの品質保証システム

開発・設計から量産・出荷及びお客様での実使用に至るライフサイクルでの品質保証システムの概要を、図 1.2 に示します。

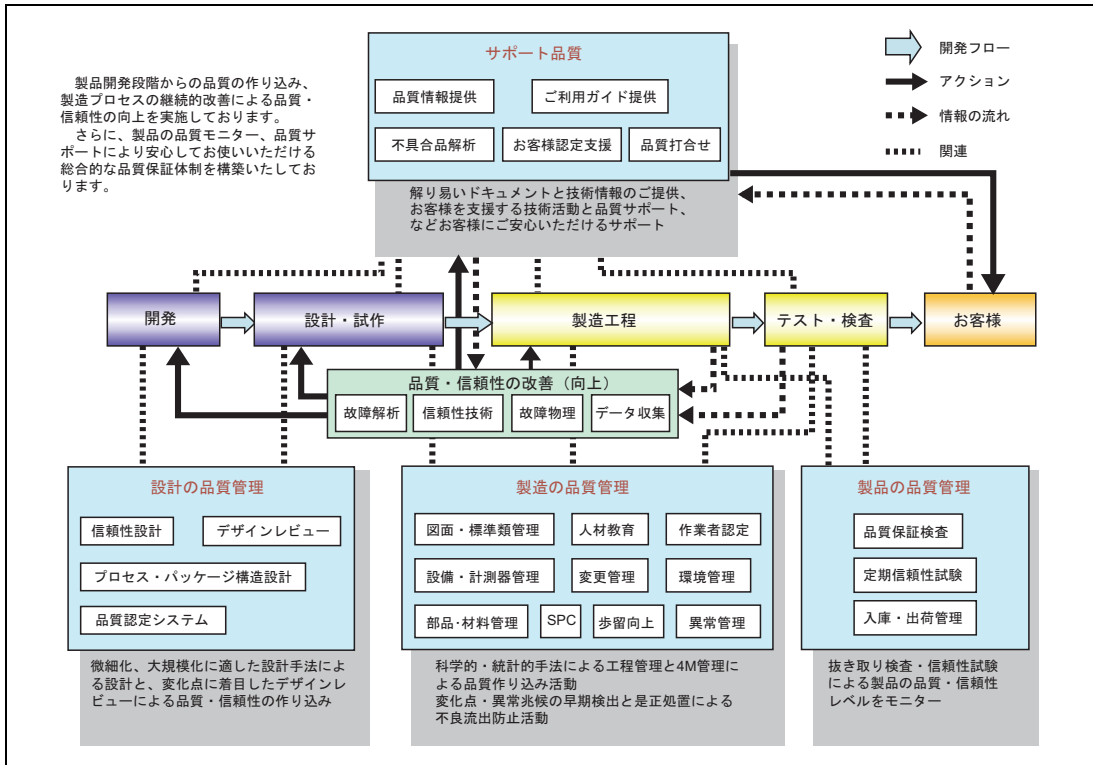


図 1.2 半導体デバイスの品質保証システム

設計段階での品質管理とは、製品の仕様、品質を作り込む活動であり、デバイス構造、使用材料、回路設計、パッケージ、製造プロセス等の最適化と設計審査に重点を置いています。品種ごとに試作品の特性と信頼性を検証した後、量産に移行されます。

製造段階での品質管理とは、製造工程で品質を作り込む活動であり、設備・治工具・塵埃・純水・ガスや製造条件の品質管理と、製品の出来栄への品質管理、さらに、これらの品質情報の EDP 管理を融合させた品質管理体制を確立しています。

製品の品質管理とは、完成品が規定の機能及び信頼性を有しているかを、デバイスごと、ロットごと、又は定期的に確認する社内での試験・検査と、クレーム処理、品質情報サービス等を通して行うお客様サポート活動です。

このように開発・設計から、量産、出荷、実使用までのあらゆる段階での品質情報をフィードバック、フィードフォワードし、品質を一層向上させる品質保証活動を実現しています。

開発、設計から、出荷、実使用に至る品質保証系統図を、図 1.3 に示します。

1. 半導体デバイスの品質への取り組み

これらの品質マネジメントシステムは、ISO9001 並びに ISO/TS16949 規格に準じて構築しています。

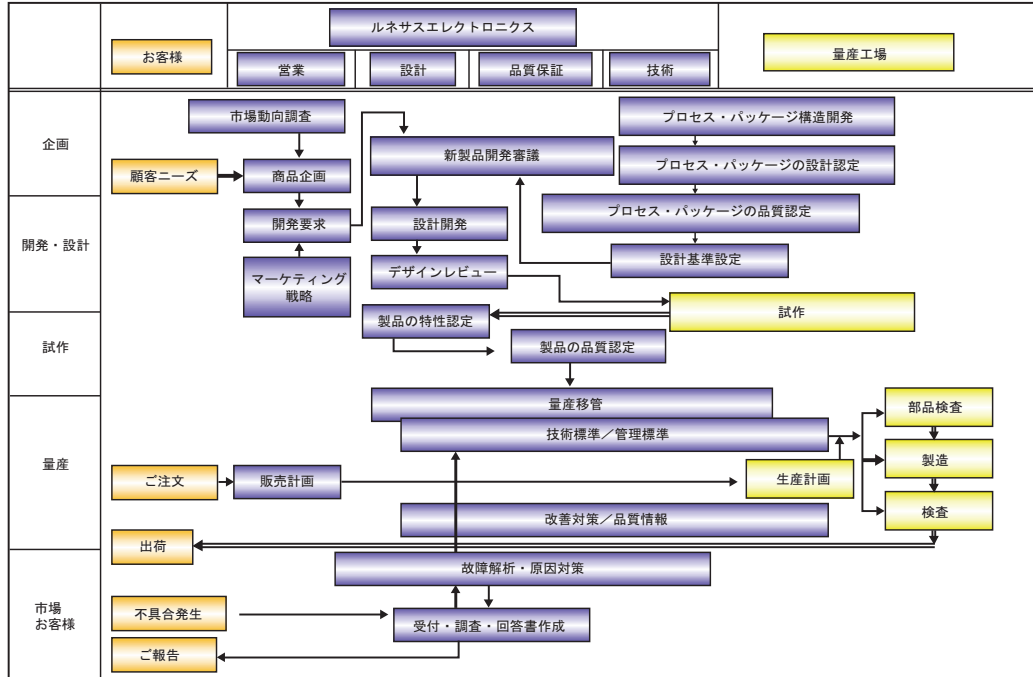


図 1.3 品質保証系統図

図 1.3 に示した品質システムにおいて、ルネサス製品は高信頼性を維持、向上させていますが、製品開発の段階から表 1.1 に示した品質水準を設定して、水準に応じた品質・信頼性の作り込みを実施しています。

表 1.1 当社半導体デバイスの品質水準

品質水準	代表的用途例
高品質水準	輸送機器(自動車、電車、船舶等)、交通制御(信号)、大規模通信機器、金融端末基幹システム、各種安全制御装置 等
標準水準	コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット 等

1.3 開発段階での品質保証

目標とする品質・信頼性を確保するため製品開発を次の手順によって実施しています。

市場調査に基づく新製品の需要予測から、企画段階にて新製品の要求品質水準・機能・信頼性、製造上の問題、コストなどに関する問題を検討して開発計画を立案します。

開発計画を基に新製品の開発・設計段階においては、新理論や技術、着想などを積極的に取り入れて設計や技術開発を行います。

これらの設計の妥当性を確認するため、設計審査を実施し、次いで新製品を試作します。この段階において、特性、定格、信頼性が設計目標を満たしているかどうかを確認するため、特性評価及び信頼性試験を実施します。

また、この段階において量産を行うために必要な図面・標準類を整備し、作業者に対する教育・訓練を実施するとともに、材料・部品の調達体制や製造に必要な設備・治工具を整えます。

特性評価及び信頼性試験に合格すると、設計、製造、品質に関する課題を検討し、問題のないことを確認した上で、次のステップである量産段階に移行します。

これらのフローは開発レベルに応じてそれぞれ設定し、所望の品質・信頼性を確保するために、信頼性設計をもとにして、デバイスの設計試作時期において品質認定を実施します。

なお、製品品質認定は次の考え方に基づいて行います。

- (1) お客様の立場から、客観的に行う。
- (2) 過去の事故例、フィールド情報を十分に盛り込む。
- (3) 設計変更、作業変更に際しても認定を実施する。
- (4) 材料・部品、プロセスについては重点的に認定を実施する。
- (5) 工程能力、ばらつき要因を検討し、量産時における管理ポイントの設定を行う。

認定のステップとしては、

- (a) 材料・部品認定
- (b) 特性認定
- (c) 製品品質認定

の大きく三つに分けられ、それぞれのステップにおいて評価検討を行います。

設計検証は、材料・部品に関しては材料・部品認定で、製品に関しては特性認定で実施します。また、設計の妥当性確認は製品品質認定で実施します。

量産初期段階に製造された製品の品質を確認するため初期流動管理を実施します。初期流動管理とは、量産開始直後の一定期間、特別の管理体制をとり、収集する品質情報の密度を高くし、そこで検出された不具合に対する是正措置とその確認を迅速に行うシステムのことです。

1.4 量産段階での品質保証

量産段階では、生産計画に基づき、製造ラインにおいて生産を行います。材料・部品、製造工程、環境、設備などの管理を行うとともに、半完成品や完成品に対して中間検査や最終検査を実施することで品質の確認を行っています。

高品質の製品を安定して製造するためには、製造工程での徹底した品質管理が必須です。このために、製造部門は作業標準を定め、主要な製造条件について管理項目を決めています。作業標準に基づいて作業を行い、品質に大きく影響を与える製造条件についてはチェックシートによる点検や、特性値管理を実施することで、品質の維持・向上を行っています。

また、製造設備・装置の日常点検や定期的な精度管理を実施することで、異常の早期発見や予防保全に努め、均一かつ高品質な製品の製造に努めています。

製造工程においては、インプロセス品質管理として出来栄管理と計量値による統計的品質管理(SPC:Statistical Process Control)を実施しています。それらから得られた品質情報をフィードバックし、品質の向上を図っています。

品質を作り込むために、統計的管理手法を各段階で活用していますが、特に量産段階では、主要な工程において管理図を適用し、プロセスのばらつきが適正な範囲に入っていることをモニタしています。ここで、工程能力指数(Cp, Cpk)や工程性能指数(Pp, Ppk)を管理することにより、プロセスのばらつきの更なる低減活動を展開しています。

工程能力指数は、一定期間の工程データと管理規格値とからそのプロセスの規格に対する安定度を求めるもので、次の式によって求めます。これら工程能力指数や工程性能指数を定期的に把握することで、プロセスのばらつき改善に活用しています。

$$Cp = \frac{(\text{規格上限} - \text{規格下限})}{6\sigma}$$

$$Cpk = \frac{|\text{平均に近い規格限界} - \text{平均値}|}{3\sigma}$$

最終検査では、電気的特性の確認を全数について行っています。また、製品品質の安定化を図るために、予め設定していた品質に達していない不良品の検出、除去を目的としてスクリーニングを実施し、これらのデータを品質改善に役立てています。

材料・部品の購入から製品の製造・検査、出荷、お客様における実使用までの品質に関する必要な情報は、品質管理システムに集められ、統計的品質管理の手法を用いて解析します。その結果について、製造部門をはじめ関係部門へフィードバックすることで、品質の維持・向上、歩留り向上に活用しています。製造工程又は製品に異常が発生した場合、異常発見部門が工程異常調査票を発行し、関係部門で異常原因を調査、検討して対策をとります。工程異常とは是正措置の系統図を図 1.4 に示します。

設計、材料・部品、製造方法、設備などを変更する場合は試作品を作り、設定品質の確認、信頼性評価を行って問題点がないことを確認するとともにお客様の承認を得た後に変更を実施します。

1. 半導体デバイスの品質への取り組み

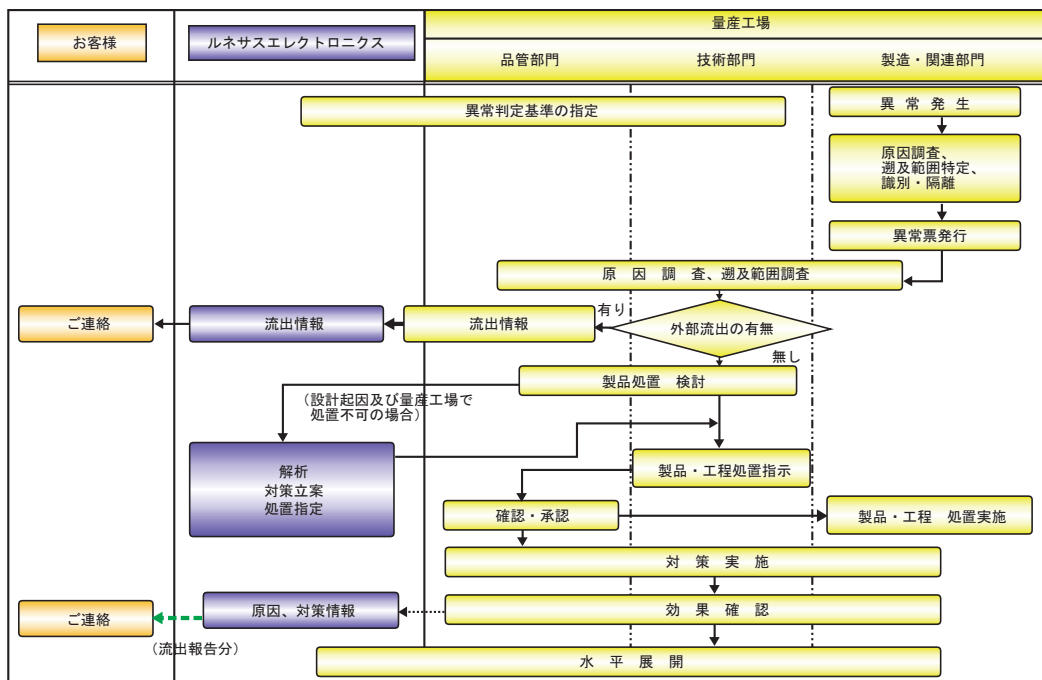


図 1.4 工程異常と是正措置の系統図

1.5 変更管理の仕組み

半導体デバイスを製造する装置や製造プロセスを外部要因に合わせて変更することで最適化し、製造プロセスの安定化を図っています。この変更に伴うリスクを最小限にするために、図 1.5 に示すような変更管理システムを構築し運用しています。変更管理においては、製造装置、製造条件及び製造場所などの変更だけではなく、細かい項目も含めて対象としています。その中で、製品の品質、特性に影響を与える変更については、お客様へ通知した後、量産適用するというシステムを採用しております。

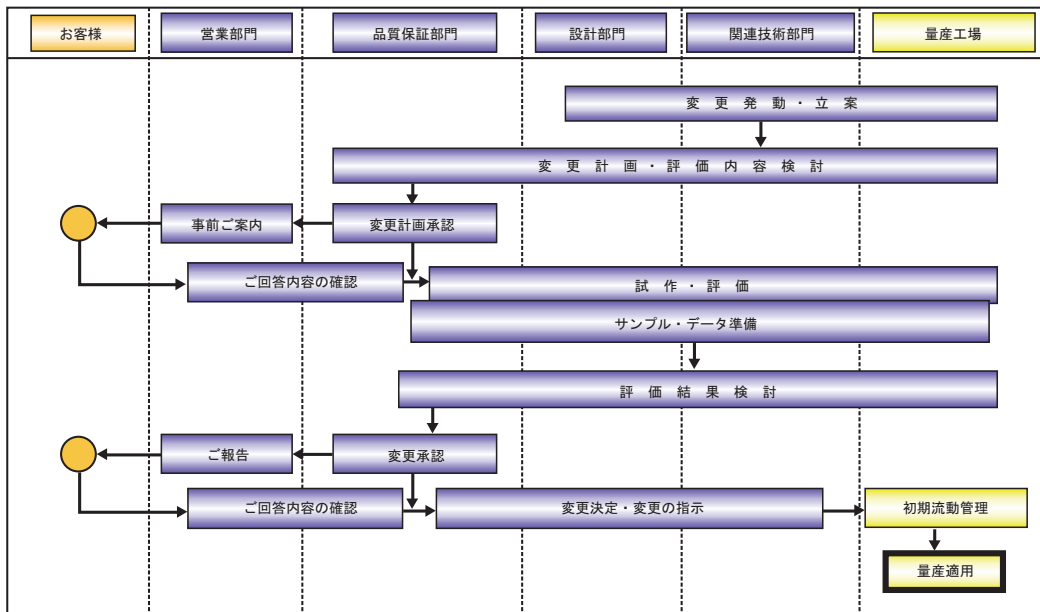


図 1.5 半導体デバイスの変更管理システム例

1. 半導体デバイスの品質への取り組み

1.6 出荷後の異常と是正処置

出荷した製品がお客様の受入段階、組み立て・調整段階、フィールド稼働段階で不具合を生じた場合、その原因の追求と必要な是正処置について、品質保証部門が中心となって実施します。品質保証部門では、営業部門からの情報に基づいて、お客様での不具合状況を把握するとともに、不具合品を種々の測定機器及び解析装置を用いて故障解析を行います。

これらの調査で判明した結果に基づいて技術部門、製造技術部門などの関連部門が協議し、必要な是正処置をとるとともに、お客様に調査結果を報告します。クレーム処理のルートと是正処置の体系図を図 1.6 に示します。

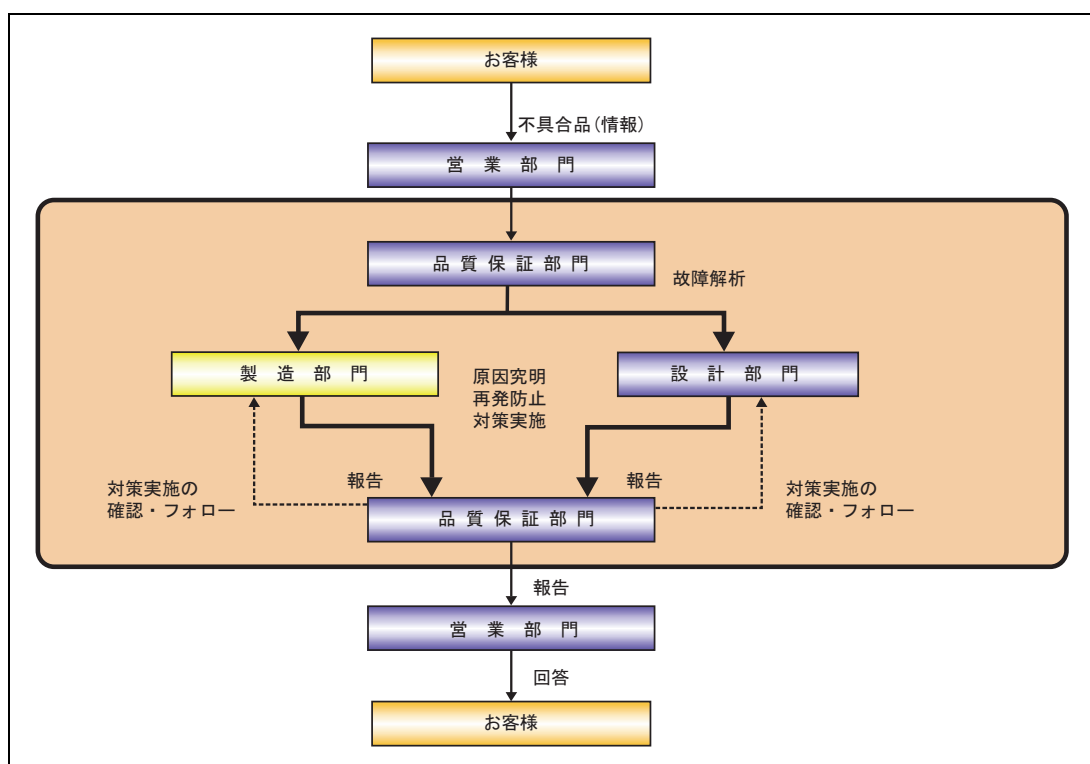


図 1.6 クレーム処理のルートと是正処置の体系図

第2章 半導体デバイスの信頼性 目次

2.1	半導体デバイスにおける信頼性の考え方	2-1
2.2	半導体デバイスでの故障率推移(バスタブカーブ)	2-2
2.2.1	初期故障	2-3
2.2.2	偶発故障	2-3
2.2.3	摩耗故障	2-3
2.3	スクリーニングの考え方	2-4
2.4	半導体デバイスにおける信頼性の特質	2-5
2.5	信頼性の尺度	2-7
2.5.1	初期故障期間で用いられる尺度	2-7
2.5.2	偶発故障期間で用いられる尺度	2-7
2.6	信頼性解析に用いられる確率分布	2-11
2.7	信頼性試験について	2-14
2.8	信頼性試験方法	2-15
2.9	加速寿命試験方法	2-16
2.9.1	基本故障モデル	2-16
2.9.2	加速寿命試験の方法	2-19
2.10	故障メカニズムに基づく信頼性予測	2-21
2.10.1	初期故障率の予測例 — 酸化膜破壊の初期故障	2-21
2.10.2	偶発故障率の予測例 — 60%信頼水準故障率推定の方法	2-22
2.10.3	摩耗故障の予測について	2-31
2.10.4	スクリーニング後(向後)の寿命について	2-31
	参考文献	2-33

2. 半導体デバイスの信頼性

2.1 半導体デバイスにおける信頼性の考え方

半導体デバイスの信頼性は、図 2.1 に示す故障率曲線(バスタブカーブ)で表現されます。デバイスの使用(稼動)開始後、比較的早い時期に発生する初期故障に、その後長い使用期間にわたって発生する偶発故障、デバイスの本質的寿命にともなって時間とともに増加する摩耗故障(耐用寿命)の三つの領域に分けられます。

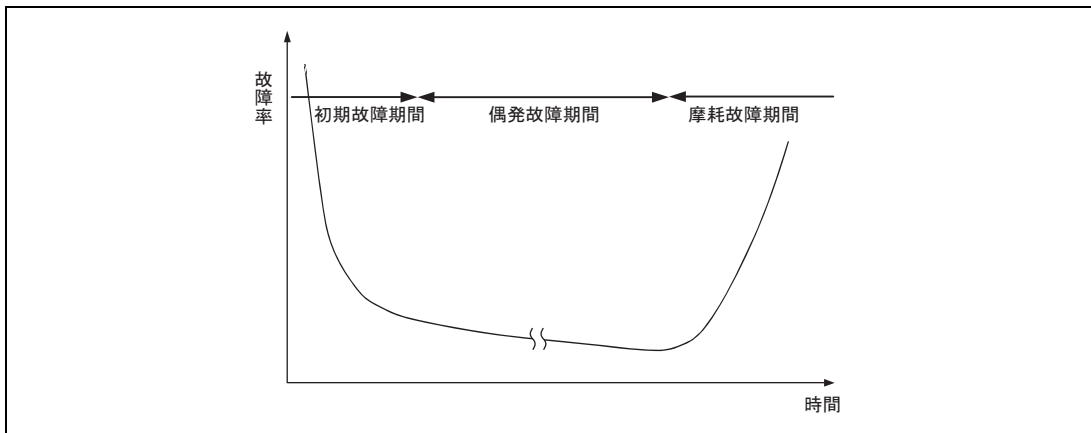


図 2.1 故障率曲線(バスタブカーブ)

初期故障は、半導体デバイスの動作開始後比較的早い時期に故障が発生する領域で、時間の経過とともに故障率が減少します。これは、選別工程で取り除けなかった潜在故障が含まれていて、使用開始後の温度や電圧などのストレスにより短時間で顕在化するためです。半導体の場合、ここでの故障は主にマイクロダストのウエハ付着による不具合など製造上で造り込まれる欠陥や材料不良に起因するものが大半です。

偶発故障は、潜在欠陥を持つデバイスが初期故障として除かれ、残存したデバイスが安定して稼動する間の故障現象であるといえます。故障の原因は主に偶発的に生じるオーバーストレス(サージなど)やソフトウェア及び初期故障の残存分(寿命の長いものの故障)等であると考えられます。

摩耗故障は、デバイスが基本的に持っている摩耗や疲労による寿命によるもので、その領域に入ると故障率は急速に増加する傾向を示し、実使用条件の影響を受けます。

従って、初期故障率を抑え、十分な摩耗故障寿命(耐久性)を確保することが、高信頼性半導体デバイス実現のポイントであるといえます。

2. 半導体デバイスの信頼性

当社では、高信頼性実現に向け、初期故障率を低減するために、品質管理手法の強化と品質改善活動による製造品質の確保、電気的特性検査及びバーニンなどのスクリーニングを実施しています。また、実使用期間に対して十分な摩耗寿命を確保するため、設計開発段階から信頼性の作り込みを推進し、信頼性確保に向けた信頼性設計や設計審査などの活動と信頼性試験による検証を行っています。

2.2 半導体デバイスでの故障率推移（バスタブカーブ）

2.1 項の説明を、個々のデバイス故障の推移で表すと図 2.2 のようになります。図 2.2 は、個々の半導体を球(円)形で表しており、稼動直後は潜在欠陥を持った半導体が混ざっている可能性があります。それらは稼動中のストレスで故障し集合から除去されます。この潜在欠陥を持つ半導体が故障する期間を初期故障期間と考えることができ、潜在欠陥品が除去され減っていきますので故障率は減少関数となります。

次に、数年間稼動する間に潜在欠陥品が除去された後は欠陥起因の故障はなくなりますが、何らかの外的なオーバーストレスで故障する可能性があります。この期間を偶発故障期間と考えることができ、故障率も偶発的(故障率がほぼ一定)になります。

最後には、長期間のストレスにより基本構造を構成している物質が摩耗し、半導体の本来の寿命による故障が発生し始めます。その際の故障率は増加関数で表すことができます。

以上により、初期故障と摩耗故障が見かけ上、類似の故障であっても、原因が異なることが理解できます。バスタブカーブを故障原因別に表すと図 2.3 のようになるものと考えられます。

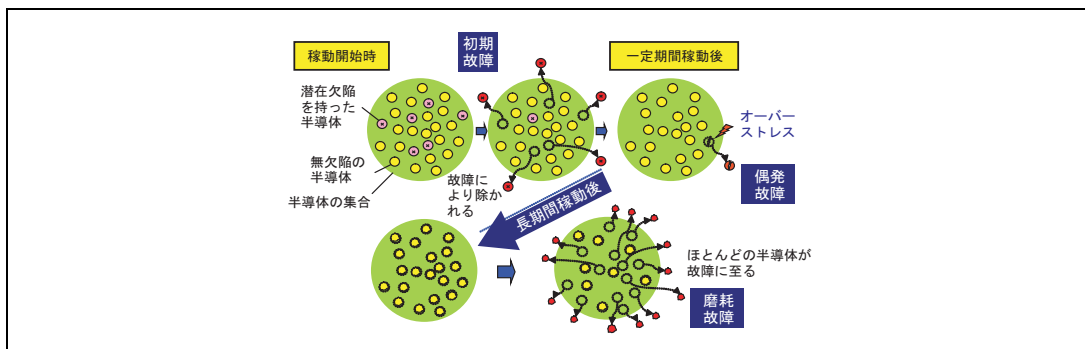


図 2.2 半導体の故障率推移がバスタブカーブになる理由（イメージ）

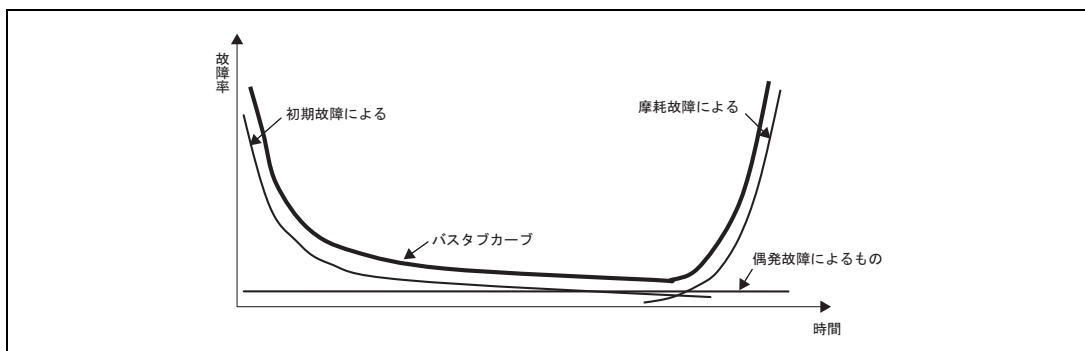


図 2.3 バスタブカーブの要因

2.2.1 初期故障

半導体デバイスは製造過程では微小な異物、製造装置によるばらつき、寸法ばらつき等により欠陥を確率的に内在しています。これを初期欠陥密度と呼び、選別、検査工程で所望の特性、信頼性を有する製品をばらつきの範囲内で選別して取得することで、良品、不良品の判定を行っています。この良品率を歩留まりと呼び、歩留まりが高い場合には、欠陥密度が低く、逆に歩留まりが低い場合は欠陥密度が高いという関係を持ちます。一般に初期故障の期間は約1年と定義され、半導体メーカーではこの初期故障期間の故障率を低減させる目的でストレステストやバーンイン等のスクリーニングを工程に導入して故障率の低減、品質向上を行います。初期故障期間での故障率は時間とともに減少するので、欠陥を持った製品が除去(スクリーニング)されると、故障に至る可能性の低い製品だけが残る(図 2.2)ため、メーカー側は高品質の製品を市場に提供できることとなります。しかしながらスクリーニング自体は品質とコストとの兼ね合いとなるため、製品の用途、要求品質を考慮してスクリーニング条件を設定することが望ましいです。スクリーニング自体は出来上がった製品に対しての事後対策であることから、本質的対策として初期的に製造段階で作り込むことにより欠陥率を下げる、又は欠陥に影響しにくいレイアウト設計する等の対策を講じることが初期欠陥低減による品質の安定化、ひいては歩留まりアップ(効率的な生産)に繋がっていくこととなります。なお、初期故障期間ではワイブル分布の形状パラメータ $m < 1$ となります。

2.2.2 偶発故障

製造欠陥に起因する不良は時間とともに減少しますが、初期故障をスクリーニングで除去したとしても、軽微な欠陥を持つものが依然として存在するため、厳密には偶発故障領域でも減少型の初期故障領域の延長と考えることが出来ます。

真の意味で故障率が一定(指数関数)になるモードとしては、放射線によるソフトウェアエラー、電気的ノイズ、静電破壊等が考えられます。いずれも外乱因子のストレスにより偶発的に発生するため、設計段階の仕様により、耐性が決定されるものです。偶発故障期間では、ワイブル分布の形状パラメータ $m \approx 1$ となり故障率関数は指数分布にほぼ一致します。

2.2.3 摩耗故障

半導体は最終的には本質的な耐用寿命(寿命)になると故障に至ります。この期間を摩耗故障領域といい、半導体もつ各種故障モード(HC, EM, TDDB 等)の寿命を意味しています。摩耗故障は、実使用時のストレスの違いにより異なり、摩耗故障期間では、ワイブル分布の形状パラメータ $m > 1$ となります。

2.3 スクリーニングの考え方

一般に半導体デバイスは製造された直後の初期故障率が高く、その後の故障率は減少していきます。お客様の品質要求、用途を基に信頼性目標(初期故障率 ppm, FIT)を設定しており、その設定値を超える故障率をもつ場合はスクリーニングを行い、目標値を達成できるようにしております。

スクリーニングは初期故障を取り除くために実施されるもので、潜在的不良以外の良品を劣化・損傷させることなく適切なストレスを意図的に製品に加え、潜在不良を顕在化させた後、適切な試験により除去する方法と、製造工程でストレスを加えることなく、欠陥を有する製品を選別除去する方法があります。

スクリーニングの適用においては、対象製品の用途、要求品質水準、設計、構造、製法などについて十分検討をおこなうとともに、良品に悪影響が及ばないよう十分な配慮が必要です。

代表的なスクリーニング例について表2.1に示します。

表2.1 代表的なスクリーニング例

区分	スクリーニング方法	除去が期待される故障
非ストレス法	封止前外観検査	ダイ表面の欠陥、ボンディングワイヤの欠陥など
	封止後外観検査	パッケージ表面の欠陥、破損など
	X線透視検査	ボンディングワイヤの変形、ダイボンド共晶合金の欠陥など
熱的ストレス法	温度サイクル	ダイボンド、パッケージの欠陥、気密性不良など
	熱衝撃	同上
	低温試験	ホットキャリアの影響、電気的特性の変化など
機械的ストレス法	落下衝撃	ダイボンド、ボンディングワイヤ、パッケージの欠陥など
	定加速度	同上
	PIND	パッケージ内部キャビティ内の異物など
電氣的ストレス法	バーンイン	微小異物、汚染、薄膜中の欠陥などダイ内部の欠陥
	高電圧印加	絶縁膜の耐圧不足、回路上の耐圧不足など

2.4 半導体デバイスにおける信頼性の特質

半導体デバイスの信頼性の特質をまとめると次のようになります。

- (1) 半導体デバイスの断面構造(図 2.4)は、表面の安定化が極めて重要で、不純物などに対して本質的に敏感な構造といえます。したがって、その製造に際しては不純物や異物レベルを徹底的に低く抑えながら多くの工程を管理する必要があります。また、出来上りの品質は、半導体材料はもちろん電極材料、パッケージ材料及び各材料相互間の複雑な関係に支配されます。
- (2) メタライゼーション、ボンディング等に代表されるように薄膜、微細加工という観点から問題を捉える必要があり、物性的にも微小物、薄膜等バルクと違った表面現象を解析する必要があります。
- (3) 技術の進展が激しいため新プロセスによる新製品開発も多く、かつ短期間の製品化を要求されます。したがって、従来のデバイスの信頼性実績をそのまま利用できないことがあります。
- (4) 生産形態は量産的性格を有し、かつ完成品は修理不能なので設計段階での信頼性作り込み及び製造段階でのばらつき低減がその信頼性向上のために非常に重要な要素となります。
- (5) 部品の持つ共通的性格としてデバイスの実装条件、使用条件、環境条件等により信頼性が左右されることがあります。デバイスの信頼性を左右するストレス条件としては電圧、電流密度、温度、湿度、ガス、塵埃、汚染、機械的応力、振動、衝撃、放射線、電界強度、磁界強度等があります。

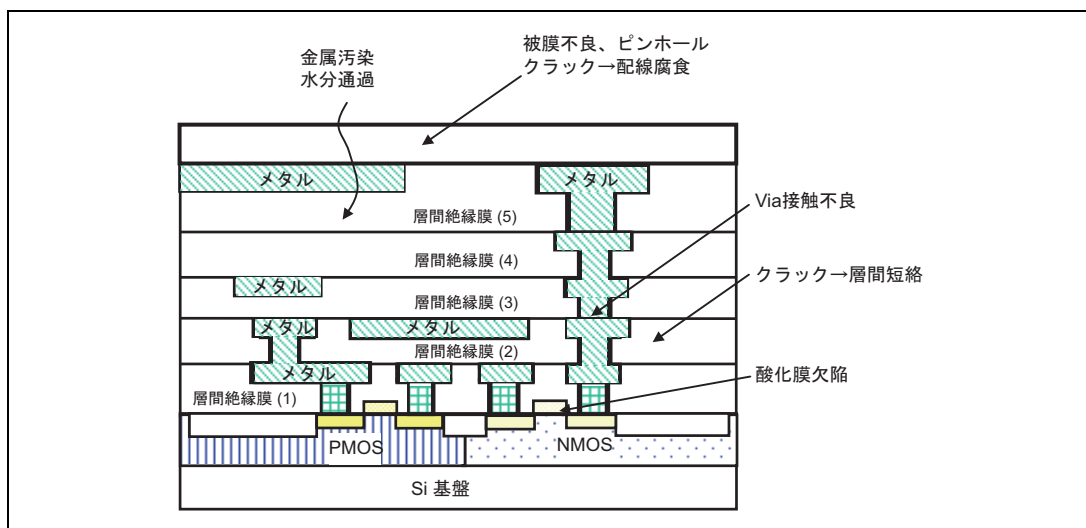


図 2.4 半導体デバイスの断面構造

半導体デバイスは前述のような特質をもっていますが、近年、特にその機能の高度化、大集積化、システム化が一段と進んでおり、信頼性の確保は非常に重要なものとなっています。

信頼性を高める議論をする際は、尺度が必要となりますが、故障率で表されるのが一般的です。

一般に半導体デバイス等の電子部品や電子装置の故障率は、図 2.1 に示したようなバスタブ (bathtub) 曲線で表されます。これは、故障の発生具合から三つの領域(初期故障期間、偶発故障期間、摩耗故障期間)に分けられます。初期故障

2. 半導体デバイスの信頼性

期間の故障は、通常、主として製造上の欠陥により発生します。この期間では故障率は時間の経過とともに減少し、安定した状態に移行していきます。偶発故障期間は、半導体デバイスの耐用期間であり故障率はほぼ一定となります。摩耗故障期間は、特定モードの故障が集中的に発生し、寿命の終わりとなります。一般に半導体デバイスの耐用寿命は使用環境ストレスが特殊でない限り十分に長いので、信頼性、保全性に関連するのは、初期故障期間と偶発故障期間となります。初期故障期間に故障となる潜在欠陥をもつ半導体デバイスは、バーンイン等の手段により、そのほとんどをスクリーニングすることが可能です。

2.5 信頼性の尺度

信頼性とは、「アイテムが与えられた条件の下で、与えられた期間、要求機能を遂行できる能力」とJIS Z 8115「信頼性用語」に定義されています。したがって、信頼性とは時間を含んだ概念であり、時間パラメータを含まない初期品質とは区別されるべきものですが、実際の取り扱いでは、故障率曲線の初期故障期間においては時間パラメータを考慮せず不良率で信頼性が表されることが多いようです。

2.5.1 初期故障期間で用いられる尺度

時間パラメータを考慮せず全試料数に対する不良数または故障数の割合を%、または ppm の単位で表するのが一般的です。ppm とは、parts per million の略であり、1ppm とは 100 万個の半導体デバイス中に 1 個不良があるということの意味します。したがって、不良率が 100ppm であるということは、不良が 100 万個に 100 個、または 1 万個に 1 個の割合であるということになります。

2.5.2 偶発故障期間で用いられる尺度

偶発故障期間では時間パラメータを考慮する必要が出てきます。その尺度として信頼度関数、不信頼度関数、確率密度関数、故障率関数等があり、お互いに一定の関係があります。特に故障率関数で説明する FIT (Failure in Time) という単位がよく用いられています。

(1) 信頼度関数 (Reliability Function) , 不信頼度関数 (Unreliability Function)

装置、部品、素子において、t 時間使用した後に意図した機能を保ち正常に動作している良品の割合を信頼度関数といい、次式で表します。

$$R(t) = (n - c(t)) / n \quad (2-1)$$

ここで、
 $R(t)$; 信頼度関数
 n ; 全試料数
 $c(t)$; 時間 t までに発生した故障数

一方、信頼度関数と対をなすものが不信頼度関数です。

不信頼度関数は、累積故障分布関数ともいい、故障寿命を確率変数と見なすときの分布関数と定義されます。すなわち装置、部品、素子等を t 時間使用した後に意図した機能を失い正常に動作しなくなった全故障数(累積故障数)の割合を示し、次式で表されます。

$$F(t) = c(t) / n \quad (2-2)$$

ここで、
 $F(t)$; 不信頼度関数
 n ; 全試料数
 $c(t)$; 時間 t までに発生した故障数

また、当然のことながら

$$R(t) + F(t) = 1 \quad (2-3)$$

の関係があります。

さらに、図 2.5 に示されるように、信頼度関数 $R(t)$ は単調減少関数となり、不信頼度関数 $F(t)$ は単調増加関数となります。

2. 半導体デバイスの信頼性

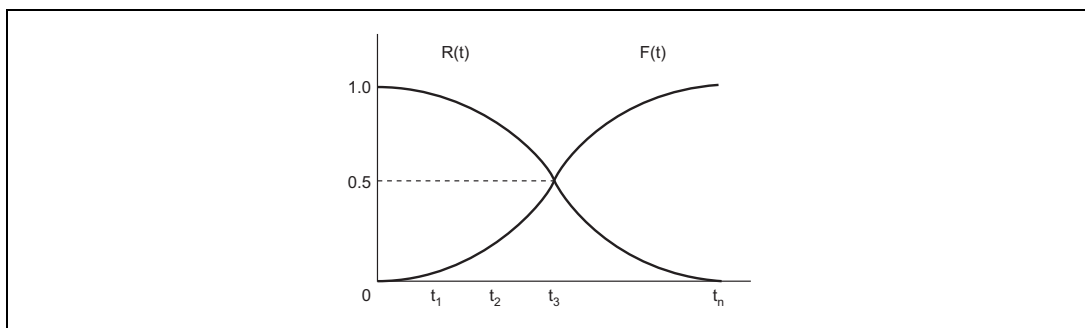


図 2.5 R(t)とF(t)の例

(2) 確率密度関数 (Probability Density Function)

装置、部品、素子等を使用した後、時間 t を経過後に、全試料に対して単位時間当たりに発生する故障の割合、度合いを(故障の)確率密度関数といいます。定義から確率密度関数は次式で表されます。

$$f(t) = dF(t)/dt = -dR(t)/dt \quad (2-4)$$

上式から明らかのように、確率密度関数 $f(t)$ を積分することにより信頼度関数 $R(t)$ 、不信頼度関数 $F(t)$ を計算することができます。すなわち、

$$F(t) = \int_0^t f(t) dt \quad (2-5)$$

$$R(t) = 1 - F(t) = 1 - \int_0^t f(t) dt = \int_t^{\infty} f(t) dt \quad (2-6)$$

となります。図 2.6 に $f(t)$ 、 $R(t)$ 、 $F(t)$ の概念図を示します。

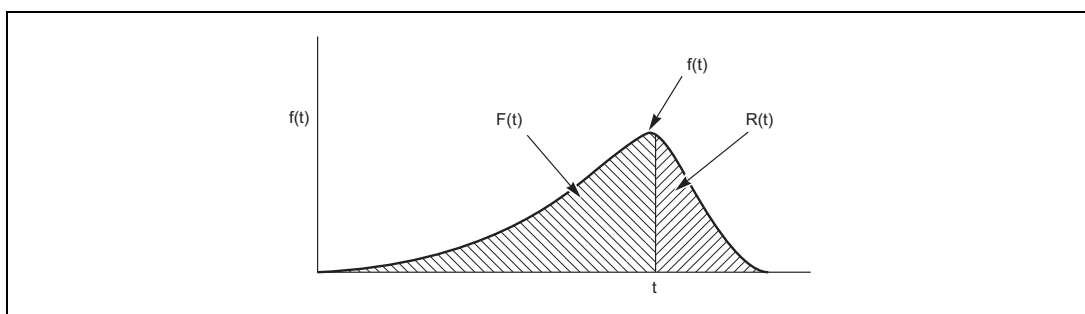


図 2.6 $f(t)$ 、 $R(t)$ 、 $F(t)$ の概念図

(3) 故障率関数 (Failure Rate Function)

ハザード関数とも呼ばれています。装置、部品、素子等を使用開始した後、時間 t を経過するまで正常に動作している全試料に対し、次の単位時間当たりに発生する故障の割合、度合いを故障率関数と定義します。

$$\lambda(t) = f(t) / R(t) \quad (2-7)$$

$f(t)$, $R(t)$, $\lambda(t)$ のもつ情報はいずれも等価です。式(2-4), (2-5), (2-6), (2-7) を展開することにより、いずれかが既知の情報であれば、 $f(t)$, $R(t)$, $\lambda(t)$ はそれぞれ計算することができます。

故障率関数は瞬時故障率とも呼ばれ、半導体デバイス等の信頼性を表すのによく用いられています。一般に故障率としては瞬時故障率が理論的には厳密なものですが、実際は、短い時間の故障率を算出するのは大変なため、単位時間として、1000 時間、1 ヶ月、1 年等を選びその時間内の平均故障率を用いることがあります。

$$\text{平均故障率} = \text{期間中の総故障数} / \text{期間中の総動作時間}$$

平均故障率の単位は、平均故障率が実際には小さい値となるため、%/1,000h, ppm/1000h 等が用いられます。また故障率の程度を示す単位として FIT (Failure In Time : 10^9 総動作時間当たりの故障数) がよく使用されます。

$$1 \text{ FIT} = 1 \times 10^{-9} = 1 \text{ ppm} / 1,000 \text{ h}$$

$$(\text{故障数} / \text{稼働試料数} \times \text{稼働時間})$$

ただし、例えば故障率が 100FIT であるということは、故障の発生する確率が 10^7 総動作時間で 1 個ということであり、個々の製品そのものの寿命が 10^7 時間ということではありません。

総動作時間 (= 稼働試料数 × 稼働時間) が特定の 1 個の製品に注目するものではないということを理解することが重要です。

(4) 累積ハザード関数 (Cumulative Hazard Function)

信頼度関数 $R(t)$ と故障率関数 $\lambda(t)$ には、式(2-4)から式(2-7)を展開して求めると式(2-12)の関係があります。

$$R(t) = \exp\left(-\int_0^t \lambda(t) dt\right) \quad (2-8)$$

また、累積ハザード関数 $H(t)$ を式(2-9)のように定義すると、

$$H(t) = \int_0^t \lambda(t) dt \quad (2-9)$$

$\lambda(t)$ がワイブル分布を示す場合には、

$$R(t) = e^{-\left(\frac{t}{\eta}\right)^m} \quad (2-10)$$

という関係があるので、

$$H(t) = \left(\frac{t}{\eta}\right)^m \quad (2-11)$$

となります。さらに、

$$R(t) = \exp(-H(t)) \quad (2-12)$$

となります。

この関数は、後述するハザード解析に応用されます。

2. 半導体デバイスの信頼性

(5) 寿命を示す尺度

故障率と同様によく使われるものに故障寿命があります。故障寿命は装置、部品、素子等が使用開始後、故障を起こすまでの時間と定義されます。半導体デバイスは一般に例外的事項を除けば、一度故障すれば当該製品を修理、保全して使用することができない非修理系の部品といえます。このような修理、保全を伴わない装置、部品、素子等の故障までの平均時間を平均故障寿命 (MTTF; Mean Time To Failure) と定義し、次式で表します。

$$MTTF = \int_0^t f(t) dt \quad (2-13)$$

指数分布の場合には、

$$f(t) = \lambda \exp(-\lambda t)$$

$$R(t) = \exp(-\lambda t)$$

$$\lambda(t) = \lambda (\text{定数})$$

であり、式(2-13)から MTTF を求めると

$$MTTF = \int_0^{\infty} t \lambda e^{-\lambda t} dt = 1/\lambda \quad (2-14)$$

となり故障率の逆数になります。

2.6 信頼性解析に用いられる確率分布

(1) 指数分布

指数分布は偶発故障型の分布です。半導体デバイスの信頼性試験から得られる多くの結果は故障率減少形であり、指数分布への適合性はあまりよくありません。しかし、信頼性の寿命のうち最も基礎的な分布であること、初期不良を除いた安定期にはランダム形の故障発生が見られることなどから、指数分布を用いることもあります。

指数分布の確率密度関数 $f(t)$ 、信頼度関数 $R(t)$ は

$$f(t) = \lambda \exp(-\lambda t) \quad (t \geq 0)$$

$$R(t) = \exp(-\lambda t)$$

で表されます。これは、図 2.7 のようになります。指数分布を特長づけているのはパラメータ λ 、ひとつです。平均寿命 MTF は λ の逆数になります。

$$MTF = 1/\lambda$$

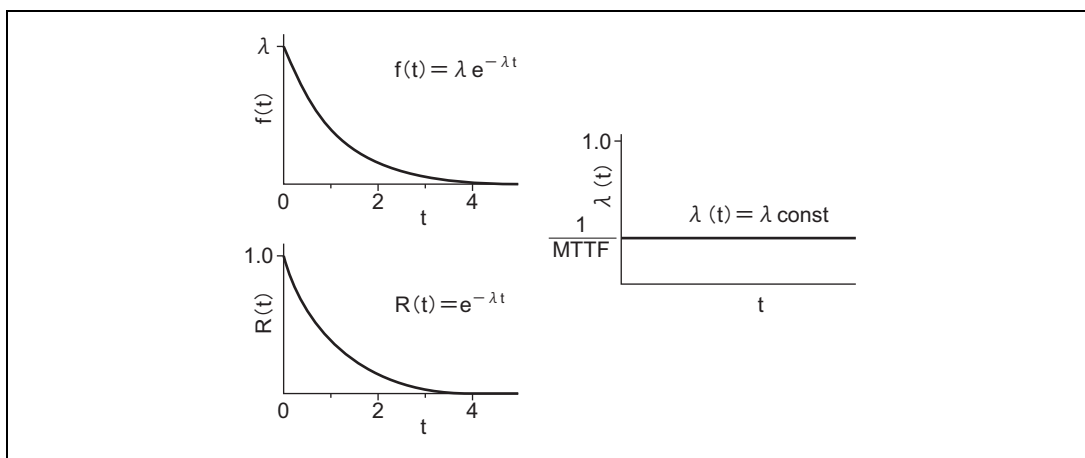


図 2.7 指数分布

(2) 正規分布

正規分布は、一般のデータ解析、管理された特性値、誤差の分布及び品質管理等に広く用いられています。また、故障寿命の分布として用いられることもあります。特に集中して摩耗故障が起きる場合などはこの分布に当てはまる例が見受けられます。正規分布の確率密度関数 $f(t)$ 、信頼度関数 $R(t)$ は次の式で表されます。

正規分布は、図 2.8 に示すように平均を μ 、標準偏差を σ とする左右対称で釣鐘型の形状をしています。

$$f(t) = \frac{1}{\sqrt{2\pi} \cdot \sigma} e^{-\frac{(t-\mu)^2}{2\sigma^2}}$$

$$R(t) = 1 - \frac{1}{\sqrt{2\pi} \cdot \sigma} \int_{-\infty}^t e^{-\frac{(t-\mu)^2}{2\sigma^2}} dt \quad (-\infty < t < +\infty)$$

2. 半導体デバイスの信頼性

一般に、正規分布は平均値 μ 、標準偏差 σ で略され、 $N(\mu, \sigma)$ でその分布が示されます。 $\mu \pm \sigma$ 、 $\mu \pm 2\sigma$ 、 $\mu \pm 3\sigma$ では、各々の間に分布の 68.3%、95.54%、99.73% が $\mu \pm 1.645\sigma$ 、 $\mu \pm 1.96\sigma$ では、各々の間に分布の 90%、95% が含まれます。

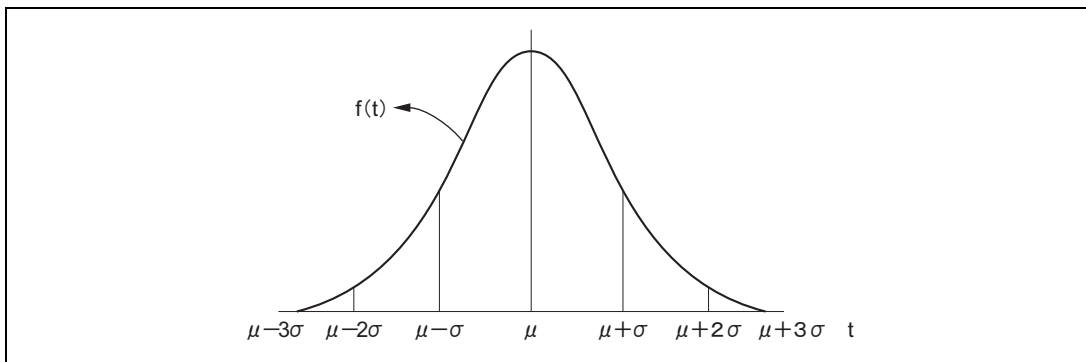


図 2.8 正規分布

(3) 対数正規分布

寿命時間 t そのものではなく対数をとった $\ln t$ が正規分布に従うとき、これを対数正規分布といいます。確率密度関数 $f(t)$ 、信頼度関数 $R(t)$ は次のように表されます。

$$f(t) = \frac{1}{\sqrt{2\pi} \cdot \sigma t} e^{-\frac{(\ln t - \mu)^2}{2\sigma^2}} \quad (t \geq 0)$$

$$R(t) = 1 - \frac{1}{\sqrt{2\pi} \cdot \sigma} \int_0^t \frac{1}{t} \cdot e^{-\frac{(\ln t - \mu)^2}{2\sigma^2}} dt$$

(4) ワイブル分布

ワイブル分布はスウェーデンの W. Weibull が金属疲労寿命の研究に使用した分布で、指数分布を拡張したものと考えられます。確率密度関数 $f(t)$ 、信頼度関数 $R(t)$ は次のように表されます。ここで、 m は形状パラメータ (shape parameter)、 η は尺度パラメータ (scale parameter) と呼ばれています。

$$f(t) = \frac{mt^{m-1}}{\eta^m} \cdot e^{-\left(\frac{t}{\eta}\right)^m} \quad (t \geq 0, \eta > 0, m > 0)$$

$$R(t) = e^{-\left(\frac{t}{\eta}\right)^m}$$

ワイブル分布において各時点における劣化の割合、すなわち故障率 $\lambda(t)$ を求めると次のようになります。

$$\lambda(t) = \frac{mt^{m-1}}{\eta^m}$$

かつ

$$\frac{d\lambda(t)}{dt} = \frac{m(m-1)t^{m-2}}{\eta^m}$$

したがって、 $m < 1$ 、 $m = 1$ 、 $m > 1$ に対応して故障率は時間の経過とともに減少、一定及び増加していきます。

すでに述べたように半導体デバイスの寿命試験においては、 $m > 1$ の分布形となることが一般的です。

ワイブル分布の m 値が求められれば故障率の時間的変化の様子が明らかになりますので、寿命現象の解明に役立ちます。一般にある劣化現象や故障メカニズムはそれぞれ固有の故障分布をもつと考えられますので、故障モードや故障メカニズムの変化あるいはストレスの変化に対応してワイブル分布のパラメータ m 及び η が変わります。したがって、

① m があまり変化しないで η だけが変わる場合は故障の物理的原因が変わらず、ただその現象の発生速度だけが変わったものと考えられます。

② m が変化する場合はその前後で故障の物理的原因も変わっていると考えられます。

このワイブル分布は故障解析として広く用いられます。また、ワイブル分布のパラメータ m 、 η の推定はワイブル確率紙を用いて比較的容易に求められます。

2. 半導体デバイスの信頼性

2.7 信頼性試験について

信頼性試験とは、管理された既知のストレス条件のもとで実施された実験室試験におけるデータにより、部品またはシステムの寿命特性を評価するための試験の総称です。

半導体デバイスがメーカから出荷され、お客様の機器組み立て・調整工程を経て、最終ユーザにおいて所望の機器寿命まで使用される間、所望の性能が発揮されることを確認するために信頼性試験が行われます。

信頼性試験において半導体デバイスに印加されるストレスは、機器への組み込み、調整、エージング及びフィールドでの据付・調整・稼働の各々の段階で、半導体デバイスが受ける可能性のあるストレスを模擬、または、それを加速したものであり、後述する試験方法に標準的なストレスを規定しています。

信頼性試験は、半導体デバイスにおいては、その開発・量産の各段階において実施されていますが、その対象とする段階により、目的や内容は異なります。信頼性試験を実施するに当たっては、次の点を考慮して実施しています。(1)試験の対象と目的、(2)試験の条件、(3)試験結果による判定です。当社での半導体製品の信頼性試験の実施対象、目的、内容の例を表 2.2 に示します。

表 2.2 信頼性試験の内容（例）

対 象	目 的	内 容
半導体製品の開発	設計目標品質又はお客様の要求仕様を満たしていることを確認する。	1. 加速試験 2. 限界試験 3. 構造解析 等を必要に応じて実施する。
材料・プロセスの開発または変更	その材料・プロセスが製品に適用された時、設計目標品質、または、お客様の要求仕様を満たすかどうか確認する。 さらに、材料・プロセスに影響される品質特性や限界を把握する。	その材料・プロセスの特性や、変更点に注目し、TEGまたは製品を用い、必要に応じた加速試験・解析を実施する。
量産試作時	製造品質が、規定の水準を維持していることを確認する。	特に注意すべきパラメータの初期流動確認／量産初期のばらつき・安定性確認の信頼性試験。

注記：TEGとはTest Element Groupの略。半導体デバイスの構成要素を抽出した評価用素子のこと

2.8 信頼性試験方法

信頼性試験は、既知のストレス条件の下で実施されるもので、半導体デバイスについては「電子情報技術産業協会規格 (JEITA)」、「米軍規格 (MIL)」、「国際電気標準会議規格 (IEC)」、「JEDEC 半導体技術協会規格 (JEDEC)」等に、種々の試験方法が規定されており、おのおのの試験方法や条件には若干の違いがありますが、その意図するところは同じです。

試験時間(サイクル数あるいは繰り返し回数なども含む)並びに試験条件は、試料数の決定と同様に設計目標品質水準、ユーザの要求品質水準に応じて決定されますが、できるだけ実装条件、実使用期間を考慮し、かつ試験の加速性を加味し、効果的で経済的な時間、条件が選択されます。

信頼性試験は常に再現性があることが必要であり、標準化された試験方法を選定し実施することが望ましく、従って、基本的には公的な試験規格にのっとり実施されます。

信頼性試験を計画する際に注意しなければならない重要な点は、対象品の故障の定義を設定することです。すなわち、対象品の品質特性を明らかにし、その特性ごとに故障の判定基準を設定し、試験の前後で特性変動が基準に対し許容範囲内であるか否かをチェックしなければなりません。

通常の場合、信頼性試験では、設計や製造で同じと考えられている範囲の母集団から試料を抜き取り、試験を実施します。半導体デバイスの信頼性試験に用いる試料の抜き取り基準は、設計目標品質水準、ユーザの要求品質水準に応じて定めています。また、材料、プロセスに関する信頼性試験では、これとは別に、適宜、試料数を定めて実施しています。

また、一方で新規に開発するプロセス、パッケージ等は製品の最大定格内では従来プロセス、パッケージの加速が適用できない、または短期間に新規の故障を発見できない等の場合があります。その場合には TEG を用いて故障メカニズムに基づいた信頼性試験が重要となります。目的としては、製品設計時の信頼性を確保すべく、製品と同一のプロセスで故障メカニズムに即して試験を行い、その加速性(温度加速、電界加速性、等)を明確化し、製品設計時の設計ルールに反映していきます。

2.9 加速寿命試験方法

半導体デバイスの信頼性は、接合温度、周囲温湿度、電圧、電流条件等の使用環境により大きく左右されます。そのために、市場における故障率を推定する手段として信頼性理論に基づいた加速寿命試験を用いるのが一般的です。

加速寿命試験とは、使用環境での特定ストレスに注目し、そのストレス条件をパラメータとして故障を観察し、実使用状態における故障率を推定する方法です。この手法は新しいプロセスを採用した新製品を開発したりする際によく用いられます。

以下に加速試験の基本となる故障モデル及び故障の統計的解析手法について説明します。

2.9.1 基本故障モデル

(1) 反応論モデル

半導体デバイスの加速寿命モデルとして最も一般的に使用されている故障モデルです。一般にものの破壊や劣化は原子や分子レベルでの変化に起因しています。変化のメカニズムとして拡散、酸化、吸着、転位、電解、腐食クラック成長等がありますが、これらの変化が進行し、材料や部品を劣化させ、ある限界を超えると故障に至るとというのが反応論モデルです。正常状態から劣化状態へ進む過程ではその途中にエネルギーの壁があり、それを乗り越えるために必要なエネルギーを環境から供給する必要があり、このときのエネルギーの壁を活性化エネルギーといいます。図 2.9 に反応前後のエネルギー状態の概念を示します。

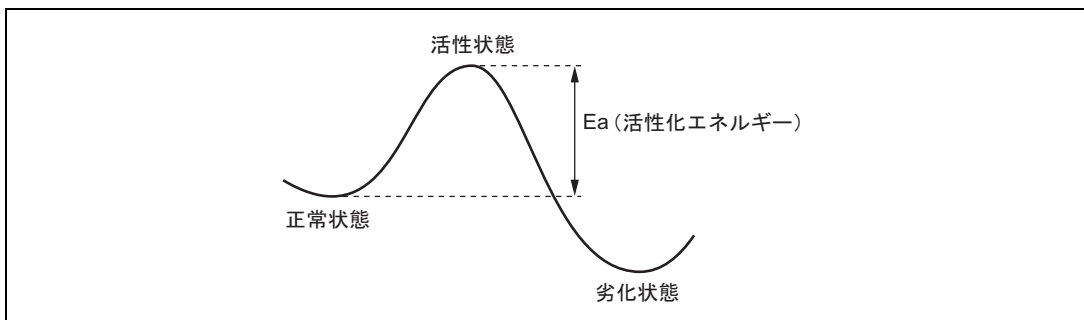


図 2.9 活性化エネルギー

特に、温度による反応の依存性についてはアレニウスにより見いだされたため、アレニウスの式と呼ばれ広く用いられています。

反応速度を K とすると、

$$K = \Lambda \exp(-E_a/kT)$$

Λ ; 定数

E_a ; 活性化エネルギー (eV)

k ; ボルツマン定数 (8.6157×10^{-5} (eV/K))

T ; 絶対温度

と表されます。故障に至るまでの時間を L とすると、

$$L = A \exp(Ea/kT)$$

となり、両辺の対数をとると、

$$\ln L = \ln A + Ea/kT$$

となります。

この式は、寿命の対数と温度の逆数が直線になることを示し、かつ、この直線の傾きが活性化エネルギーとなることを示しています。そして、これを基にある温度 2 点間の加速係数を求めることができます。

例えば、温度 T_1 と T_2 における寿命を各々 L_1 , L_2 とすると

$$\ln(L_1/L_2) = 11606(1/T_1 - 1/T_2) Ea$$

となります。この式より反応の活性化エネルギーを求め加速性の目安とします。図 2.10 にモデルの概念図を示します。

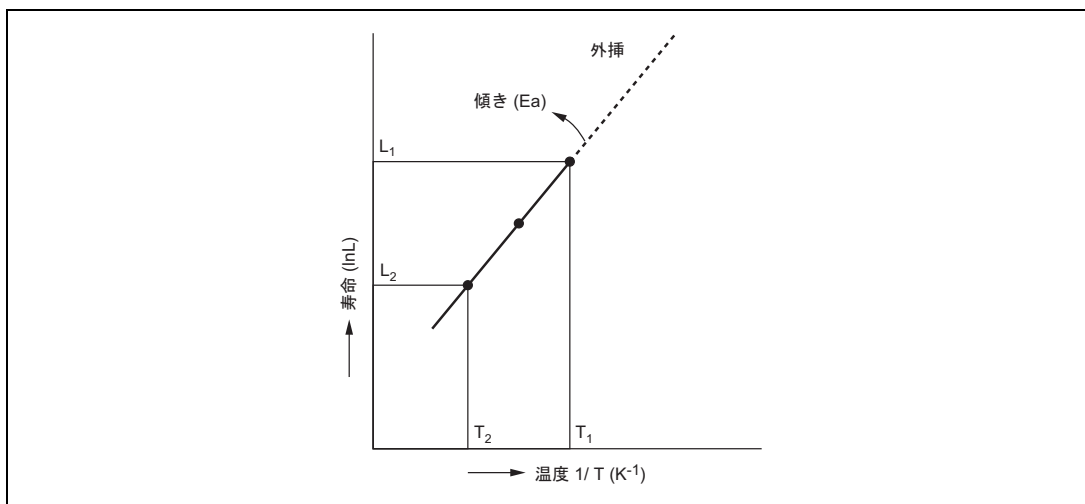


図 2.10 アレニウスモデル概念図

(2) アイリングモデル

アレニウスのモデルは、反応の温度依存性について着目したものです。温度以外の依存性(例えば機械的ストレス、湿度、電圧等)も含み一般化したものがアイリングのモデルです。

アイリングモデルの一般式は次式で表されます。

$$K = a(kT/h) \cdot \exp(-Ea/kT) \cdot S^\alpha$$

- a, α ; 定数
- h ; プランク定数
- S ; 温度以外のストレス因子
- k ; ボルツマン定数
- T ; 絶対温度 (K)

温度 T の狭い領域であれば、

$$K = A \exp(-Ea/kT) \cdot S^\alpha$$

という式で表されます。

2. 半導体デバイスの信頼性

さらに、温度以外のストレスのみに注目し、寿命を L とすれば L と $1/K$ は比例関係にあり、対数をとると、

$$\ln L = A - \alpha \ln S$$

A ; 定数

と表されます。

アイリングモデルは、ストレスによる加速を行う場合によく適用されます。例えば、プラスチック材料の熱疲労などの場合、ストレスとして交番応力 S 、寿命として繰り返し寿命 N をとり、交番応力 S_1 と S_2 における繰り返し寿命を各々 N_1 、 N_2 とすると、

$$\ln(N_1/N_2) = -\alpha \ln(S_1/S_2)$$

となります。また、温度サイクル試験の例では、ストレスとして温度差 (ΔT) を用い、故障までの温度サイクル数を N とすると、前述の例と同様に

$$\ln(N_1/N_2) = -\alpha \ln(\Delta T_1/\Delta T_2)$$

と表すことができます。

アイリングモデルの概念図を図 2.11 に示します。

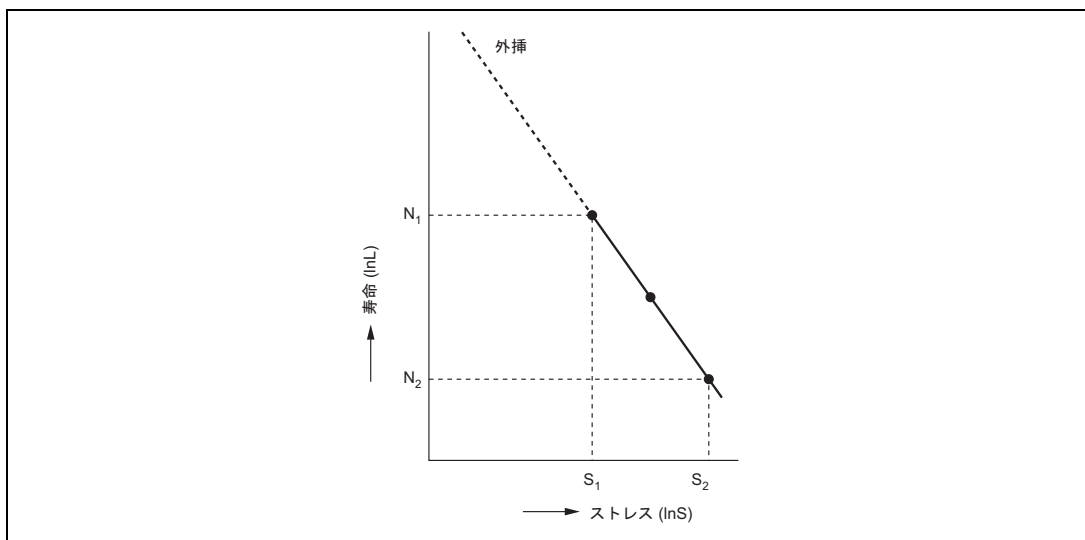


図 2.11 アイリングモデル概念図

(3) ストレス・ストレングスモデル

図 2.12 に示すようにあらかじめ材料強度とストレスの間に安全余裕を取っておいたものが、材料強度の経時劣化により材料強度がストレスより低下したとき故障に至るというモデルです。ストレス、強度分布が示すように故障も確率の要素を含んでいます。

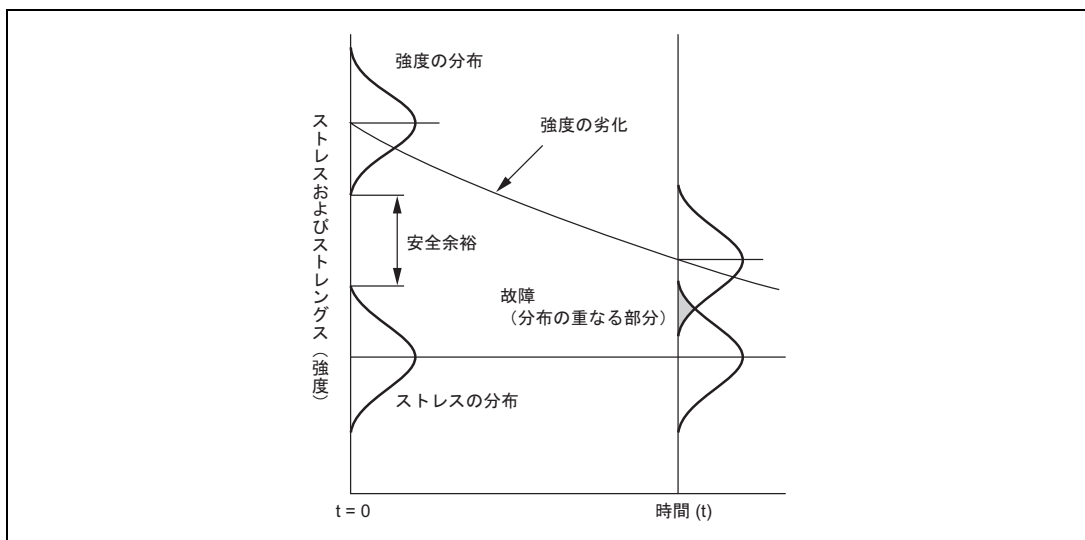


図 2.12 ストレス・ストレングスモデル

2.9.2 加速寿命試験の方法

(1) 加速の手段

加速寿命試験は実使用条件(基準条件)より厳しいストレス条件で試験を行い、故障メカニズムを物理的、化学的に促進させ短時間に実使用状態における寿命や故障率を推定する方法です。

加速の手段としては次のようなものがあります。

- ストレスを厳しくする(例えば、高温、高電圧)
- ストレスの印加の頻度を増やす。
- 故障判定基準を厳しく設定(限られた試料数で短時間に判定)。
- 故障の発生しやすい構造でテストデバイスを作り評価する。

(2) ストレス印加方法

加速寿命試験におけるストレス印加の代表的なものとしては、定ストレス法とステップストレス法があります。定ストレス法は温度や電圧などのストレスを一定にして寿命試験を行い、特性値の劣化量や故障に至る寿命の分布を評価するものです。ステップストレス法は定ストレス法とは逆に時間を一定に規定し、ストレスをステップ状に上昇させ、どのステップのストレスで故障するかをみるものです。これらの関係を図 2.13 に示します。図中、ストレス連続増加試験はステップストレス法での一定時間を小さくしていった極限と考えることができます。

2. 半導体デバイスの信頼性

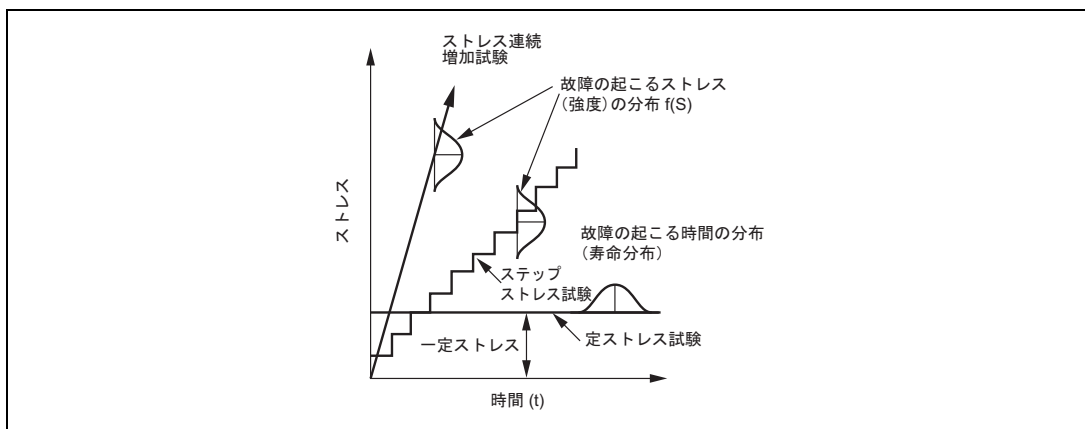


図 2.13 各種寿命試験法の概念

定ストレス法では、あるストレスに対する寿命分布が、ステップストレス法では時間を固定したとき故障するストレスの分布が求められます。これら二つの方法により得られた結果は、故障メカニズムが変わらなければ、アレニウスモデルまたはアイリングモデルのグラフ上で同一直線上にのることが期待されます。

次に、定ストレス法、ステップストレス法及び定ストレス法の変形であるサイクリックストレス法の代表的な試験を表 2.3 に示します。

表 2.3 代表的な加速寿命試験の分類

ストレス印加方法	特長	加速試験の例	加速要因	故障メカニズム
定ストレス法	ある一定のストレスが与えられた場合の影響を調査	高温放置	温度	接合劣化、不純物析出、オーミックコンタクト、金属間化合物
		動作寿命試験	温度 電圧 電流	表面汚染、接合劣化、可動イオン、エレクトロマイグレーション(EM)
		高温高湿放置	温度 湿度	腐食、ピンホール、表面汚染
		高温高湿バイアス	温度 湿度 電圧	腐食、表面汚染、接合劣化、可動イオン
サイクリックストレス法	ストレスを繰り返し与えられた場合の影響を調査	温度サイクル	温度差 デューティ	クラック、熱疲労、配線及びワイヤの断線
		パワーサイクル	温度差 デューティ	オーミックコンタクト接着強度不足
		温湿度サイクル	温度差 湿度差	腐食、ピンホール、表面汚染
ステップストレス法	デバイスの耐え得るストレスの限界を調査	動作試験	温度 電圧 電流	表面汚染、接合劣化、可動イオン、EM
		高温逆バイアス	温度 電圧	表面汚染、接合劣化、可動イオン、TDDB

2.10 故障メカニズムに基づく信頼性予測

半導体デバイスが電子システムで使用されるとき故障率を予測することは、システムの信頼性、保全性設計からも重要な事項です。

半導体デバイスの信頼性の故障モードは初期故障、偶発故障、摩耗故障モードがあります。このうち摩耗故障モードに関しては、その分布がシャープであり、少ない試料でその分布を知ることができます。

特にウエハプロセスに関連する故障メカニズムは第3章で紹介するように代表的な故障メカニズムとして、TDDB, EM, HC, NBTI 等はよく知られている故障メカニズムです。

一方、最近の製品開発における開発期間はますます、短期化が要求され、ユーザのご要求に応えることが重要な課題となっています。当社では、新製品の開発/設計段階での品質作り込みをタイムリーで効率的に実施するため、開発の最初の段階で実施するDR(デザインレビュー:設計審査)において、FMEA・DRBFMなどの手法を用いています。また、製品の使用環境、要求品質に応えるため、信頼性の故障モード/メカニズムを抽出し、設計段階での品質作り込みを実施しています。この最初のDRにおいて故障モード/メカニズムに対応した加速試験を計画し、製品開発に先立ち、TEGを用いて加速試験を実施し、品質・信頼性の作り込み及びデザインマニュアル(設計ルール)に反映して設計段階での品質作り込みを行っております。

なお、各種代表的な故障メカニズムの例は第3章に示しています。また、これらの故障メカニズムに基づく信頼性試験方法については電子情報技術産業協会(JEITA)規格(JEITA ED-4704A)などを参照してください。

2.10.1 初期故障率の予測例 — 酸化膜破壊の初期故障

MOS デバイスを中心とした初期故障メカニズムの代表例として酸化膜の経時劣化があります。故障メカニズムに基づく信頼性試験データから電界加速、温度加速データを取得し、実使用の時間軸に換算して次の手法で推定します。

製造工程でのスクリーニング(電圧ストレス、エージング等)データを基に、スクリーニング後の初期故障をワイブル分布と仮定し、計算により推定します。ここでは初期故障の定義として市場1年稼働時の故障率(ppm)として推定しています。図2.14にスクリーニングによるデータを基にワイブルプロットした寿命予測の概念図を示します。

初期故障の特長は形状パラメータ m が小さいことです。これを試験で確認すると大量のデータが必要になります。ワイブル分布に基づく信頼性予測は、バーンイン等によるスクリーニング条件(ウエハレベル及びパッケージレベル)と、そこで発生した不良の個数から市場における製品信頼性を予測するものです。例えばバーンイン不良をワイブル分布上にプロットすることで m を推定し、尺度パラメータ η を求めることで市場での故障率推定や適切なエージング時間を設定することができます。次に適用例を示します。

スクリーニング時間を t_a 、この時の信頼度を $R(t_a)$ 、市場での稼働時間を t としたとき、 t_a+t の信頼度を $R(t_a+t)$ とすると、 t_a から t_a+t 間の累積故障確率は $R(t_a)-R(t_a+t)$ となります(t_a は実使用時間に換算した時間とします)。ここでスクリーニング直後の信頼度関数 $R(t_a)$ 、不信頼度関数 $F(t_a)$ 、 t_a を起点とした時の信頼度関数を $R'(t)$ 、不信頼度関数を $F'(t)$ と表すと

$$R(t_a) = \exp\{-(t_a/\eta)^m\} \quad (2-15)$$

$$F'(t) = 1 - R'(t) \quad (2-16)$$

2. 半導体デバイスの信頼性

$$R'(t) = R(ta+t)/R(ta) \\ = \exp[-\{(t+ta)/\eta\}^m + (ta/\eta)^m] \quad (2-17)$$

スクリーニング結果から得られる m と信頼度を式(2-15)に代入して尺度パラメータ η を算出します。

$$\eta = ta / \{-\ln R(ta)\}^{1/m}$$

この η を式(2-17)に代入して式(2-16)との関係から、 ta を起点としたときの不信頼度関数 $F(t)$ (累積故障確率) が求められます。

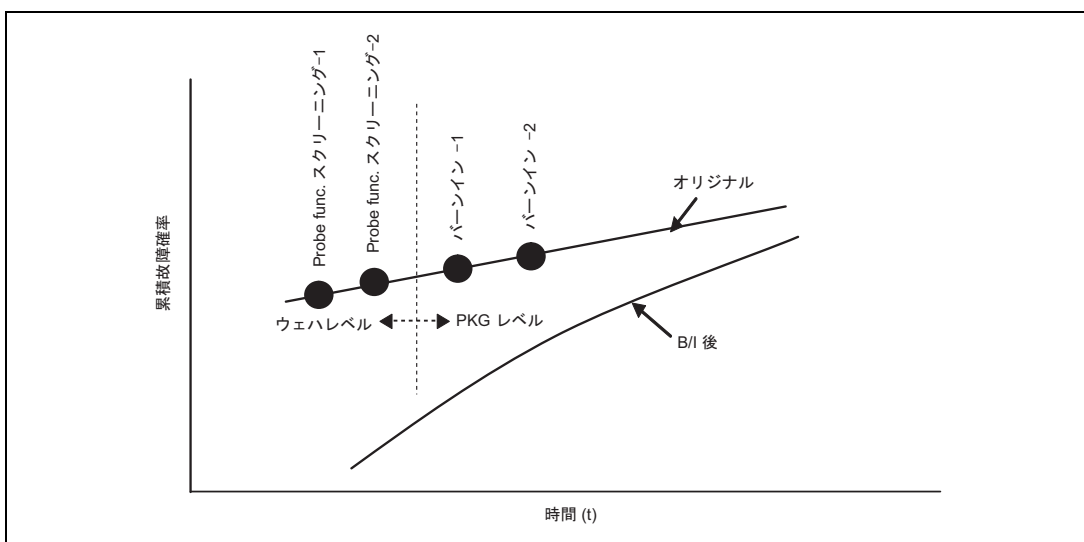


図 2.14 ワイブルプロットによる寿命予測例

2.10.2 偶発故障率の予測例 — 60%信頼水準故障率推定の方法

半導体デバイスの開発時に行う社内品質認定では、電気的特性、及び機能の評価だけではなく、品質、信頼性全般の評価を行っています。信頼性の評価では、各種の信頼性試験(動作寿命、耐湿性、耐熱ストレス、耐機械的ストレス、その他、耐環境性)を実施し、その製品が市場ニーズに合致しているか否かをチェックして合否を判定しています。

当社が発行している信頼性資料は、認定時などに行った信頼性試験の結果をまとめたものです。

信頼性資料のフォーマットはデバイスの種類によって若干異なります。ここではマイクロコンピュータの個別製品の例(機能:シングルチップマイクロコンピュータ、ウェハプロセス:CMOS 0.8 μ m、パッケージ:PLCC)を表 2.4 に示します。

信頼性試験は寿命試験(耐久性試験)、環境試験、機械的試験から成っています。寿命試験は、主にチップ上に形成されている素子、パターン配線、酸化膜などを評価する試験や、プラスチックパッケージ品の耐湿性を評価する試験などがあります。環境試験は、主に使用時に受ける熱ストレスに対する強度を評価します。

試験結果は試験に用いた試料数と発生した故障数で表されていますが、この結果から、製品の故障率の水準を知ることができます。例えば、表 2.4 のはんだ付け性は LTPD(ロット許容不良率)10%合格水準にあります。また高温放置は LTFR(ロット許容故障率)10%/1,000h 合格水準にあることがわかります。

さらに、信頼性資料の試験結果を用いて、故障率を推定することができます。ここでは、JIS-C5003「電子部品の故障率試験方法通則」について述べられている方法を用いた例を示します。表 2.4 の動作寿命試験結果から故障率は次のようにして求められます。

$$\begin{aligned} \frac{\text{故障数 (r)} \times \text{係数 (a)}}{\text{総試験時間 (T)}} &= \frac{0.92}{45 \times 1000} \\ &= 2 (\%/1,000 \text{ h}) \\ &= 2 \times 10^{-5} (1/\text{h}) \end{aligned}$$

信頼水準を 60%とし、この試験では故障数 r=0 のため、信頼水準=60%の係数 a=0.92 を用いました(JIS-C5003 参照)。ここで算出した値は、加速された試験条件下での故障率ですが、実使用条件下での故障率を求めるには、上記の値を試験条件と実使用条件との間の加速係数で割って算出します。

$$\text{故障率} = \frac{(\text{同一プロセス品の総故障数}) \times \text{信頼水準60\%の係数}}{(\text{総試験数量} \times \text{試験時間} \times \text{加速率})}$$

加速試験条件の加速因子としては、温度や印加電圧があります。温度に対する加速の度合いを表すパラメータとしては活性化エネルギーが使われます。これは故障メカニズムによって異なり、それぞれの故障メカニズムに対して代表的な値が求められます。

以上で述べた故障率算出の例は、マイクロコンピュータモジュール、レイアウト、ウエハプロセス、構造、パッケージの各設計、部品、材料が主なものです。

これらの標準化された要素についてはあらかじめ TEG (Test Element Group) などを使って品質、信頼性を評価、確認しています。個別製品の品質、信頼性は、これらの標準化された要素から構成されているため、同じ水準に維持されています。これらの個別製品のデータから求められたものであり、試料数が限られているため総試験個数×時間が小さく、故障がゼロであっても推定値は比較的大きな値になっています。しかし、実際の故障率はさらに低いことが他の個別製品のデータからも確認できます。これは設計の標準化に基づくものです。

当社は半導体デバイスの品質、信頼性の確保のために信頼性設計を重視しています。信頼性設計の中では設計の標準化を積極的に行っています。標準化を行うことによって、デバイスのもつ特性、機能が異なっても、品質、信頼性を同じ水準に保つことができます。標準化の対象としては、回路、素子があります。信頼性の実力を考える場合、ウエハプロセス、パッケージなどの設計基準が同じである他の個別製品(同一ファミリー製品)の試験結果と合わせて考える必要があります。標準化の例としては、ウエハプロセス設計では CMOS 1.3μm, 0.8μm, 0.5μm, 0.35μm などがあり、パッケージ設計では外形別に DIP, QFP, PLCC などと標準化されています。ウエハプロセス、パッケージなどが同じ場合は同一ファミリー製品として扱うことができます。

専用ロジック、マイクロコンピュータなどは一つのウエハプロセス、パッケージタイプ(同一ファミリー)で、特性、機能が異なる多くの個別製品が開発される場合が通例ですが、これに対しメモリ製品は一つのウエハプロセス、パッケージで一つの個別製品系列が開発される場合が一般的です。なお、表 2.4 は信頼性試験結果の例として掲載します。実際にお客様に提出する信頼性資料では試験時間、試料数は異なります。

2. 半導体デバイスの信頼性

表 2.4 マイコン製品 A の信頼性試験結果例

分類	試験項目	試験条件	結果(故障数/試料数)
寿命試験	高温動作	Ta=125°C, Vcc=5.5V, t=1,000h	0/45
	高温放置	Ta=150°C, t=1,000h	0/22
	低温放置	Ta=-55°C, t=1,000h	0/22
	高温高温放置	Ta=65°C, RH=95%, t=1,000h	0/77
	高温高温バイアス	Ta=85°C, RH=85%, Vcc=5.0V, t=1,000h	0/22
環境試験	温度サイクル	-55°C~150°C, 200サイクル	0/45
	熱衝撃	0°C~150°C, 15サイクル	0/22
	はんだ付け性	230°C, 5s, ロジン系フラックス	0/22
	はんだ耐熱性	リフロー 260°C, 10s	0/22
	PCT	Ta=121°C, RH=100%, t=100h	0/22
機械的試験	リード引張強度	2.5N, 10s, 1回	0/22

次に信頼性試験データに基づくルネサス半導体デバイスの故障率予測の一般的な手順について説明します。

(1) 温度加速試験からの故障率予測

温度加速試験は、加速因子として温度ストレスを半導体デバイスに印加することにより故障要因を活性化し、実環境条件と比較して短時間で故障を発生させることができます。つまり、温度ストレスにより化学的、物理的反応を促進し、限界値を超えさせることにより、デバイスの故障要因を加速的に発生させるものです。例えば、接合破壊、ゲート絶縁膜破壊、層間絶縁膜破壊、配線材料断線、コンタクト断線などが故障メカニズムとして発生します。このような現象は、前述したように反応論モデルで説明されます。

温度加速の代表的な試験方法として、高温動作試験、高温放置試験などがあります。温度加速性は活性化エネルギー (Ea: Activation Energy) と呼ばれる尺度で表現されますが、この値は故障メカニズムにより異なる値を持ち、Ea が大きい値であれば温度加速性が大きく、小さければ温度加速性が小さくなります。信頼性試験結果から故障率を予測する上で Ea は、必要不可欠な情報といえます。

表 2.4 にマイコン製品 A の信頼性試験結果の高温動作試験 (125°C, 5.5V 動作試験) より実使用条件での故障率を予測します。

実使用条件を、

$$T_a = 40^\circ\text{C}, V_{cc} = 5.0\text{V}.$$

このとき $T_j = T_a$ であると仮定して以下計算します。(Tj: ジャンクション温度)

通常は種々の温度条件を振った評価により活性化エネルギー (Ea) を求めますが、従来の実績より、

$$E_a = 0.80\text{eV}$$

と仮定しますと、実使用での故障率予測の手順は次のようになります。

まず、温度加速試験の実使用条件に対する加速性(温度加速係数 γ_r) を計算します。

温度加速試験における試験時間 L (Tb) は、試験時間に温度加速係数 γ_r を乗じた時間が実使用条件での使用時間となることを意味します。すなわち、実使用条件での使用時間を L (Ta) とすると、

$$L(T_a) = \gamma_r \times L(T_b)$$

です。

アレニウスモデルより $L(Ta)$ 及び $L(Tb)$ は、

$$L(Ta) = C \cdot e^{Ea/kTa}, L(Tb) = C \cdot e^{Ea/kTb}$$

の関係があります。

ここで、

Ta: 実使用温度条件 (40°C)

Tb: 加速温度条件 (125°C)

Ea: 活性化エネルギー (0.80eV)

k: ボルツマン定数 ($8.6157 \times 10^{-5} \text{eV/K}$)

C: 定数

したがって、加速係数 γ_r は、

$$\gamma_r = \frac{L(Ta)}{L(Tb)} = \frac{e^{Ea/kTa}}{e^{Ea/kTb}}$$

を得ます。温度加速試験は実使用条件に対し、約 560 倍の加速性があることを意味しています (故障発生時間を 560 倍短縮できます)。

したがって、実使用条件での使用時間 $L(Ta)$ は、

$$\begin{aligned} L(Ta) &= 560 \times 1,000 \text{ (h)} \\ &= 560,000 \text{ (h)} \end{aligned}$$

と同等であることを意味します。

マイコン製品 A 製品と同一のウエハプロセスを用いた個別製品の信頼性試験データが 4 品種あった場合で考えると、前節で述べたように温度加速試験条件下での故障率は、

$$\text{故障率} = 5.1 \times 10^{-6} \text{ (1/h)}$$

と算出されるため、実使用条件での故障率は、加速係数 γ_r で除することにより、

$$\begin{aligned} \text{故障率} &= 5.1 \times 10^{-6} / 560 \\ &= 9.1 \times 10^{-9} \text{ (1/h)} \approx 9 \text{ (FIT)} \end{aligned}$$

となり、9 FIT がマイコン製品 A の期待値となります。

温度加速試験は 1,000h の連続動作ですが、実使用条件では、560,000h (約 64 年) の連続使用に相当することを述べました。しかしながら、実際のシステム、装置、機器などを連続使用することはほとんどないと考えられます。また、動作中のストレスが待機中のストレスより大きい場合には、軽減係数としてこれらを乗算することで実使用条件での故障率により近い値を推定することができます。

温度加速試験は、ある温度範囲の中では温度が高ければ高いほど、故障発生時間を短縮できると考えられますが、限界を超えるような過度の温度では、実際の使用時には発生しないような故障を誘発することがあり (故障メカニズムをまったく異にする故障発生を意味する)、注意を要します。一般的には、125°C 動作試験が適用されています。

2. 半導体デバイスの信頼性

(2) 温度サイクル試験からの故障率予測

温度サイクル試験は加速因子としての温度を急変させ、高温及び低温を交互に繰り返し、温度変化のストレスを半導体デバイスに印加することにより故障要因を活性化し、実使用環境、条件に比較し、短時間で故障を発生させるものです。つまり、温度サイクルにより半導体デバイスを構成する種々の物質及び物質相互の熱的歪みなどを繰り返し発生させることでデバイスの故障要因となる物理的、機械的応答を促進し、ある限界値を超えることにより故障を加速的に発生させるものです。例えば、パッケージクラック、ワイヤ断線、ショート、及び気密性不良などが故障として発生します。

温度サイクル試験としては、高温温度条件、低温温度条件が種々規定されていますが、代表的なものとして、

−65°C～150°C

−55°C～150°C

−55°C～125°C

−45°C～125°C

0°C～125°C

などがあります。温度サイクルの故障加速性は、高温と低温の温度差、高温から低温及び低温から高温への温度遷移時間や高低温の保持時間などにより決定されます。

ストレス S は温度差 ΔT に比例し、 S と温度サイクル数 N との間にアイリングモデルが成立することが経験的に知られています。

$$\ln N = \ln C + (-n) \cdot \ln \Delta T$$

C: 定数

N: 温度差係数

言い換えれば、寿命に至る温度サイクル数 N は温度差 ΔT の n 乗に反比例することになり、

$$N = C \times \Delta T^{-n}$$

と表されます。 n の値は故障メカニズムにより異なる値を持ち、 n が大きい値であれば試験条件の加速性が大きくなり、小さければ加速性が小さくなります。温度サイクル試験結果から故障率を予測する上で n の値は必要不可欠な情報といえます。

表 2.4 のマイコン製品 A 信頼性試験結果の温度サイクル試験 (−55°C～150°C 試験) より、実使用条件での故障率を予測します。

試験条件下での温度差 ΔT_b は、

$$\Delta T_b = 150 - (-55) = 205$$

実使用条件での温度差 ΔT_a は、主に電源オン時とオフ時のデバイス及びシステムの発熱の有無により決定されます。さらに、システムを設置している室内空調のオン、オフによる温度差、屋外使用の場合には外気の寒暖差を考慮する必要があります。

ここでは、

$$\Delta T_a = 40^\circ\text{C} \text{ と仮定します。}$$

ここで、n の値を 6 と仮定すると、試験条件の実使用に対する加速係数 $\gamma\sigma$ は、

$$\begin{aligned}\gamma\sigma &= \frac{N_a}{N_b} = \frac{C \times \Delta T_a^{-n}}{C \times \Delta T_b^{-n}} = \frac{\Delta T_a^{-n}}{\Delta T_b^{-n}} \\ &= \left(\frac{40}{205}\right)^{-6} = 18,120\end{aligned}$$

となります。

したがって、試験条件は実使用に対し、寿命に至るサイクル数を短縮できます。

マイコン製品 A の例では、

−55°C～150°C

200 サイクル 0/45

の結果を得ていますから、実使用環境での温度サイクル数は、

$$\text{サイクル数} = 200 \times 18,120 = 3,624,000$$

実使用環境で 1 日 10 サイクルの温度ストレスが印加されるものとし、故障率は信頼水準 60% で予測すると、

$$\begin{aligned}\text{故障率} &= \frac{0.92}{45 \times (3,624,000/10) \times 24} \\ &= 2.4 \times 10^{-9} \text{ (1/h)} \\ &= 2.4 \text{ (FIT)}\end{aligned}$$

となり、約 3 FIT であることが予測できます。

温度サイクル加速試験は、ある温度範囲の中では、温度の高温側は高ければ高いほど、または低温側は低ければ低いほど故障発生に至るサイクルを短縮できると考えられますが、限界を超えるような過度の温度では実際の使用時には発生しないような故障(故障メカニズムをまったく異にする故障発生)を誘発することがあり、注意を要します。一般的には保存温度の最高、最低温度間の温度範囲が適用されています。

(3) 耐湿性試験からの故障率予測例

耐湿性加速試験は加速因子として湿度ストレスを印加します。この湿度ストレスによりデバイスにとっては故障要因となる有害な化学的、物理的反応を促進し、ある限界値を超えることにより故障を加速的に発生させるものです。この現象はアレニウスモデルで説明されます。

耐湿性加速試験の代表的なものとしては、高温高湿バイアス試験、高温高湿放置試験があります。前者の代表的条件には、85°C85%RH バイアス、HAST (Highly Accelerated Temperature and Humidity Stress Test) と呼ばれる 100°C 以上の高い温度条件と 1 気圧以上の高圧条件での高温高湿バイアスがあります。後者には、65°C95%RH 放置、PCT (Pressure Cooker Test) と呼ばれる 100°C 以上の高い温度条件と 1 気圧以上の高圧条件での高温高湿放置があります。

2. 半導体デバイスの信頼性

耐湿性の加速要因としては、湿度、温度、電圧加速があります。したがって、耐湿性寿命を表す式として温度因子のアレニウスモデルと湿度、電圧因子を合わせて、

$$L(Tb) = C \cdot e^{Ea/kTb} \cdot (RH)^n \cdot V^{-\alpha}$$

ここで、

L(Tb)	: 寿命
C	: 定数
RH	: 相対湿度
n	: 相対湿度係数
V	: 印加電圧
α	: 印加電圧係数

が一般的です。

耐湿性試験結果から実使用条件での故障率を予測するには Ea , n , α が必要不可欠な情報となります。これらの値は故障モードにより異なります。

表 2.4 のマイコン製品 A を例にして、高温高湿バイアス試験の結果により実使用条件での故障率予測の手順を説明します。

実使用条件を、

$$Ta = 30^{\circ}\text{C}, V_{CC} = 5.0\text{V}, RH = 85\% \text{と仮定,}$$

耐湿性試験条件は、

$$Ta = 85^{\circ}\text{C}, V_{CC} = 5.0\text{V}, RH = 85\%$$

試験結果は、

$$1,000\text{h } 0/22$$

ですから、実使用での故障率予測手順は次のようになります。

湿度及び外部印加電圧は実使用条件に対して試験条件が同一と仮定したために、相対湿度係数 n と印加電圧係数 α を計算する必要はなく、温度加速性のみを検討すれば良いことになります。

故障が発生していないため特定はできませんが、従来の実績より、活性化エネルギー Ea を、

$$Ea = 1.0\text{eV}$$

と仮定します。

アレニウスモデルより $L(Ta)$ 及び $L(Tb)$ は、

$$L(Ta) = C \cdot e^{Ea/kTa}$$

$$L(Tb) = C \cdot e^{Ea/kTb}$$

ここで、 Ta : 実使用条件 (30°C)

Tb : 加速温度条件 (85°C)

Ea : 活性化エネルギー (1.0eV)

k : ボルツマン定数 ($8.6157 \times 10^{-5} \text{ eV/K}$)

C : 定数

したがって試験条件の加速係数 γ_H は

$$\begin{aligned}\gamma_H &= \frac{L(T_a)}{L(T_b)} = \frac{e^{E_a/kT_a}}{e^{E_a/kT_b}} \\ &= \frac{e^{[1.0/\{8.617 \times 10^{-5} (273+30)\}]}}{e^{[1.0/\{8.617 \times 10^{-5} (273+85)\}]}} \\ &= 359.6\end{aligned}$$

となります。温度加速試験は実使用条件に対し、360 倍の加速性があることを意味しています(故障発生時間を 360 分の 1 に短縮できます)。

故に、実使用条件での使用時間 $L(T_a)$ は、

$$\begin{aligned}L(T_a) &= 360 \times 1,000 \text{ (h)} \\ &= 360,000 \text{ (h)}\end{aligned}$$

と同等であることを意味します。

したがって、マイコン製品 A の故障率は、実使用条件では、

$$\begin{aligned}\text{故障率} &= 0.92 / (22 \times 360,000) \\ &= 1.2 \times 10^{-7} \text{ (1/h)} \\ &= 120 \text{ (FIT)}\end{aligned}$$

と予測できます。

耐湿性加速試験は、ある温度、相対湿度の範囲内では温度、相対湿度が高ければ高いほど、故障発生に至る時間を短縮できると考えられますが、限界を超えるような過度の温度、相対湿度では、実際の使用時には発生しない故障を誘発することがあり(故障メカニズムをまったく異にする故障発生を意味します)、注意が必要です。PCT 試験など、相対湿度が 100% 付近になり温度が 100°C を超える場合などには、故障メカニズムが変わることがあるため、個々の故障解析を行い検証していくことが重要です。

また、ここで示した計算例は単一ストレスで求めた場合の例で、非常に長い期待寿命値が得られますが、実使用では他の要因等も加味して考える必要があります。

(4) 故障発生データを集計して行う故障率予測例

実際に発生した故障データの集計により、これから発生するであろう、故障率を推定することができます。ただし、種々の理由によりデータの完全な予測はほとんど不可能です。しかしながら、このようなときに有効な方法としてハザード解析があります。なぜならば、一連のデータには何らかのハザードがあると考えられるからです。次に、ハザード関数を用いた解析事例を紹介いたします。

• 事例 :

電子部品を使用したところ、ある特定のモードで故障しました。このデータから形状パラメータ (m)、尺度パラメータ (η) を求めます。現在、得られたデータは次のとおりです。ただし、本電子部品はセット基板上に 2 個ずつ搭載されており、1 個でも故障すると、同一基板上の良品も一緒に取り除かれます。

2. 半導体デバイスの信頼性

表 2.5 故障データ

故障時間(h)	故障数(個)	備考
3,600	0	電子部品を200個使用
6,000	1	2個を取り除く
8,640	2	4個を取り除く
13,140	5	10個を取り除く
17,520	10	20個を取り除く
26,280	17	—

ここで簡単にワイブル型ハザード確率紙について説明します。

まず、ワイブル確率紙は次のように構成されています。

右側の縦軸: $\ln\ln(1/\{R(t)\}) = \ln\ln(1/\{1-F(t)\}) = m\ln t - m\ln\eta$

上側の横軸: $\ln(t)$

左側の縦軸: 不信頼度関数 $F(t)$ の%目盛り

下側の横軸: 時間 t の目盛り

すなわち、

縦軸: $Y = \ln\ln(1/\{1-F(t)\})$, 傾斜: m , 横軸: $X = \ln(t)$, 切片: $b = -m\ln\eta$

とした場合、 $Y = mX + b$ という直線になります。

累積ハザード関数は $H(t) = (t/\eta)^m$ と表されることから、この両辺の対数をとると、

$\ln H(t) = m(\ln t - \ln\eta)$

すなわち、ワイブル確率紙の上に両対数目盛りで t と $H(t)$ をとれば、両者は直線関係となり m , η が求められます。この関係より、パソコンの表計算ソフトを用いてワイブルパラメータを導き出すことができます。

表 2.6 累積ハザード表

故障時間(h)	X : $\ln(t)$	故障数(個)	ハザード値: (h_i)	累積ハザード値: $H(t)$	y : $\ln H(t)$
6,000	8.7	1	0.005 (1/200)	0.005	-5.298
8,640	9.06	2	0.010 (2/198)	0.015	-4.12
13,140	9.48	5	0.026 (5/194)	0.041	-3.194
17,520	9.77	10	0.054 (10/184)	0.095	-2.354
26,280	10.18	17	0.104 (17/164)	0.199	-1.614

ここで得られた累積ハザード表に従いワイブル型累積ハザード紙にプロットしたものを図 2.15 に示します。この図により次の値が求められます。

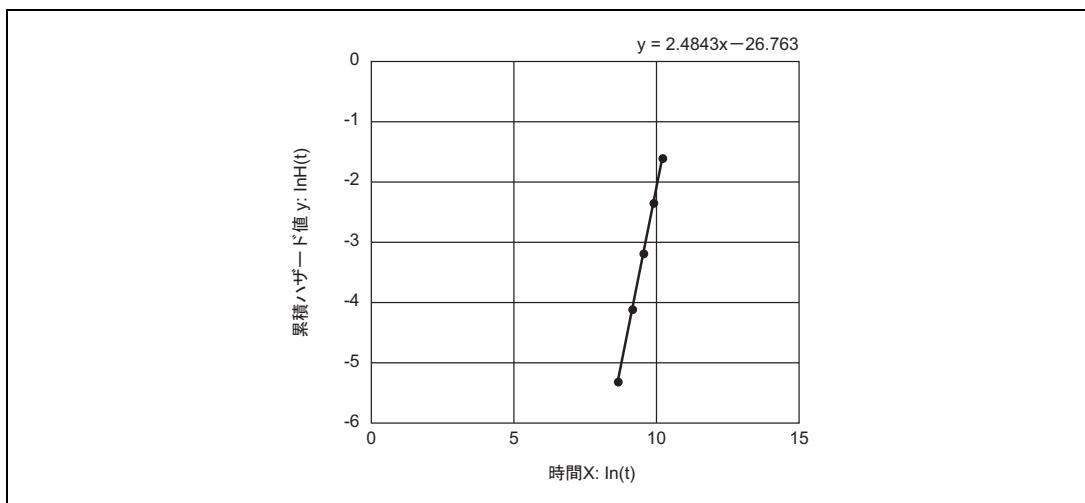


図 2.15 ワイブル型累積ハザード紙による寿命図

この図の $y = 2.4843X - 26.763$ と $\ln H(t) = m(\ln t - \ln \eta)$ との関係より次の値が求められます。

形状パラメータ (m) : 2.5

尺度パラメータ (η) : 47,700

2.10.3 摩耗故障の予測について

摩耗故障の予測は基本的にワイブル形状パラメータ $m > 1$ であるため、故障率を予測するよりはむしろ、ある累積故障に至る時間で定義する耐用寿命を予測することが適切です。たとえば、累積故障確率 0.1% に至る時間を耐用寿命と定義し、個々の製品での耐用年数を確認します。特に故障メカニズムが既知なものに関しては、実使用状態での環境条件から故障メカニズムに基づく加速式より 0.1% 累積故障確率での耐用寿命を製品設計時に確認します。

2.10.4 スクリーニング後（向後）の寿命について

製品出荷前にスクリーニングを一定時間 (t) 実施した後の初期故障の確率密度関数 (PDF) を用いてある一定の累積故障確率に達するまでの時間 (寿命) の予測は次のように計算できます。スクリーニング時間 (t_0) 後の確率密度関数を $f(t_0:t)$ とおくと式 (2-18) とあらわすことができます。(図 2.17 参照)

$$f(t_0 : t) = \frac{f(t_0 + t)}{R(t_0)} \quad (2-18)$$

ここで $R(t_0)$ は時間 (t_0) までの信頼度関数です。

2. 半導体デバイスの信頼性

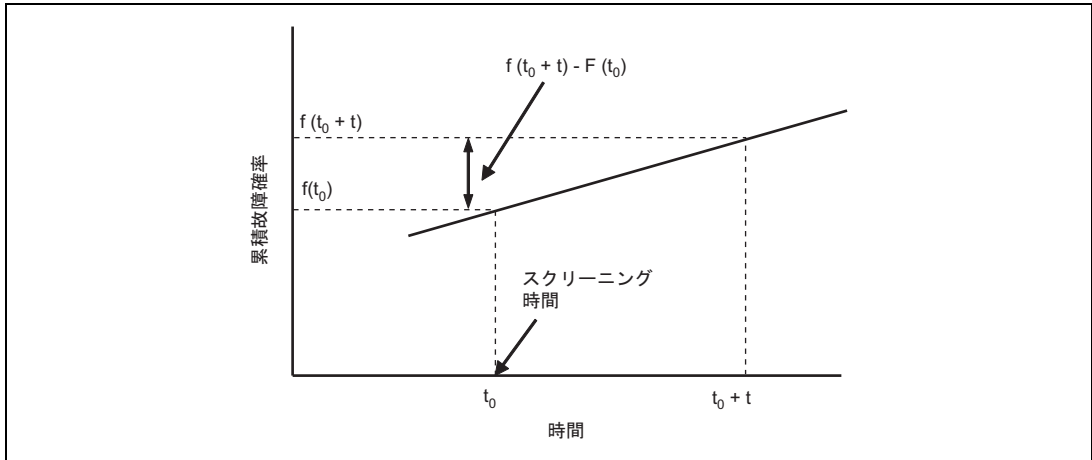


図 2.17 スクリーニング後（向後）の寿命

また、確率密度関数 $f(t_0)$ がワイブル分布を示すときには次式で表されます。

$$f(t_0) = \frac{m t_0^{m-1}}{\eta^m} e^{-\frac{t_0^m}{\eta^m}} \quad (2-19)$$

上記式(2-19)を式(2-18)に代入すると確率密度関数は、

$$f(t_0 : t) = \frac{m(t_0 + t)^{m-1}}{\eta^m} \cdot \exp\left(-\frac{(t_0 + t)^m - t_0^m}{\eta^m}\right) \quad (2-20)$$

したがって、スクリーニング後の不信頼度関数 $F(t:t_0)$ は、下記式(2-21)となり、同式を用いてスクリーニング後(向後)の寿命推定計算を行うことができます。

$$F(t_0 : t) = 1 - \exp\left(-\frac{(t_0 + t)^m - t_0^m}{\eta^m}\right) \quad (2-21)$$

参考文献

- 1) 塩見 弘 ; “故障物理入門”, *日科技連*, (1982).
- 2) 塩見 弘 ; “信頼性工学入門(改訂三版)”, *丸善*, (1995).
- 3) 三根 久, 河合 一 ; “信頼性・保全性の基礎数理”, *日科技連*, (1984).
- 4) 嶋田 正三 ; “信頼性と寿命試験”, *日科技連*, (1964).
- 5) 日科技連信頼性確率紙委員会 ; “確率紙使い方のノウハウ”, *日本科学技術連盟*, (1981).
- 6) 木村 ; “確率紙の使い方”, *オストリッチ製作所*, (1976).
- 7) M.J.Howes and D.V.Morgan ; “Reliability and Degradation (The Wiley Series in Solid State Devices and Circuits)”, *A Wiley-Inter Science Publication*, (1981).
- 8) 越川, 森村 ; “信頼度水準60%の思想とその故障率抜取試験表”, *信頼性研究会資料*, **R69-20**, (1970).
- 9) JIS C 5003 ; “電子機器部品の故障率試験方法通則”, (1969).
- 10) JEITA ED-4704A ; “半導体デバイスのウエハプロセスの信頼性試験方法”, *電子技術産業協会規格*, (2000).

第3章 半導体デバイスの故障メカニズム 目次

3.1	故障の分類	3-1
3.2	ウェハプロセス起因の故障メカニズム	3-4
3.2.1	酸化膜(絶縁膜)経時破壊(1)(2)	3-4
3.2.2	ホットキャリア	3-6
3.2.3	NBTI (Negative Bias Temperature Instability)	3-8
3.2.4	エレクトロマイグレーション	3-9
3.2.5	ストレスマイグレーション	3-11
3.2.6	ソフトエラー	3-12
3.2.7	不揮発性メモリの信頼性	3-14
3.3	アセンブリプロセス起因の故障メカニズム	3-18
3.3.1	ワイヤボンディングの信頼性(Au-Al 接合の信頼性)	3-18
3.3.2	Ag イオンマイグレーション	3-21
3.3.3	Al スライド	3-23
3.3.4	フィラー誘起の故障メカニズム	3-25
3.3.5	ウイスカ	3-26
3.3.6	樹脂封止半導体デバイスの耐湿性	3-27
3.4	実装プロセスに起因及び実使用中に発生する故障メカニズム	3-32
3.4.1	表面実装型パッケージのリフロー実装時のパッケージクラック	3-32
3.5	静電破壊と電氣的オーバーストレス破壊, ラッチアップ, 及びパワーデバイスに関する故障メカニズム	3-36
3.5.1	静電破壊と電氣的オーバーストレス破壊	3-36
3.5.2	ラッチアップ	3-48
3.5.3	パワーMOS FET の破壊	3-51
	参考文献	3-57

3. 半導体デバイスの故障メカニズム 目次

3. 半導体デバイスの故障メカニズム

信頼性試験とは、実使用状態における故障の再現試験であり、この結果とあわせて故障メカニズムを明らかにすることが、実使用状態での製品の信頼度を把握する上で重要です。すなわち、故障メカニズムを明らかにすることで、故障発生に対するストレス(温度、湿度、電圧、電流など)の影響が確定でき、加速状態で実施している信頼性試験の結果から実使用状態での信頼度が推定できます。また、信頼性上の弱点を設計、製造面から改善し信頼性・品質の向上を図るとともに、お客様への使用上の注意点を明確にすることが可能になります。また、市場で不具合が生じた場合でも、その故障メカニズムを知ることにより、設計、製造面での是正を的確かつ迅速に行うことができ、故障の再発防止につなげることが可能となります。

本章では、主要な故障メカニズムについて説明します。

3.1 故障の分類

半導体デバイスの信頼性を扱う場合、統計的方法のほかに故障を物理的観点から取り扱う方法があります。これは故障物理と呼ばれ、故障の物理的性質を原子、分子レベルにまでさかのぼって解明し、故障のメカニズムを明らかにしようとするものです。半導体デバイスの故障モードは開放、短絡、劣化、その他に大別されますが、これらの故障モードと故障メカニズムの関係を故障に関連する要素ごとに整理すると表 3.1 のようになります。

3. 半導体デバイスの故障メカニズム

表 3.1 各要素と故障メカニズム、モード

故障に関連する要素		故障メカニズム	故障モード	事例
拡散, 接合	基板 拡散接合 アイソレーション	結晶欠陥, 不純物析出, ホトレジマスク不整合, 表面汚染	耐圧劣化, 短絡, リーク電流大	
酸化膜	ゲート酸化膜 フィールド酸化膜	可動イオン, ピンホール, 界面準位, TDDB, ホットキャリア	耐圧劣化, 短絡, リーク, I_{FE} 変動, V_{th} 変動	図3.1
メタライゼーション	チップ内配線 コンタクト ビアホール	傷, ボイド, 機械的損傷, 非オーミックコンタクト, 段切れ, 接着強度不足, 厚さ異常, 腐食, エレクトロマイグレーション, ストレスマイグレーション	開放, 短絡, 抵抗増大	図3.2
パッシベーション	表面保護膜 層間絶縁膜	ピンホール, クラック, 厚さ不均一, 汚染, 表面反転	耐圧劣化, 短絡, リーク, I_{FE} 変動, V_{th} 変動, 雑音 劣化	
ダイボンド	チップ・フレーム接続部	チップ割れ, チップクラック	開放, 短絡, 動作不安定, 熱抵抗増大	図3.3
ワイヤボンド	ワイヤボンド接続部 ワイヤリード	ボンディング外れ, ボンディング位置ずれ, ボンディング下の損傷, 断線, 線たるみ, 線間の接触	開放, 短絡, 抵抗増大	図3.4 図3.5
封止	樹脂 封入ガス	ボイド, 未注入, 水の浸入, 剥離, 表面汚れ 気密性, 封入ガス不純, 異物	開放, 短絡, リーク電流増大	図3.6~7 図3.8
入出力端子	静電気, サージ 過電圧, 過電流	拡散接合破壊, 酸化膜破壊, メタライズ破壊	開放, 短絡, リーク電流増大	図3.9
その他	α 線, 高電界 ノイズ	電子-正孔対の生成, 表面反転	ソフトエラー, リーク電流増大	

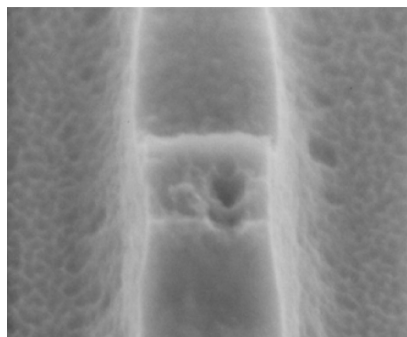


図 3.1 ゲートピンホール

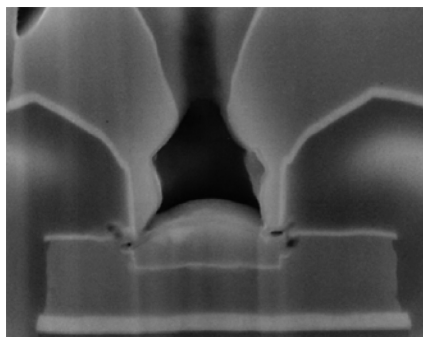


図 3.2 Al 配線のカバレッジ断線

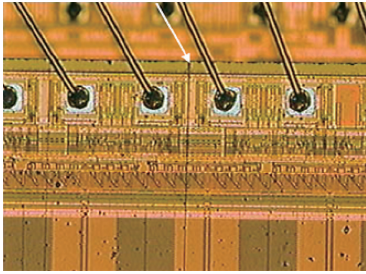


図 3.3 チップクラック

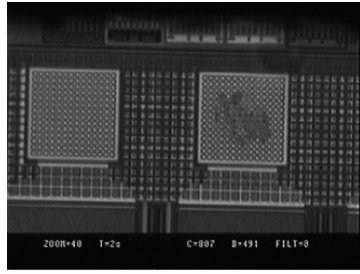


図 3.4 ボンディング下の損傷(チップ裏面観察)

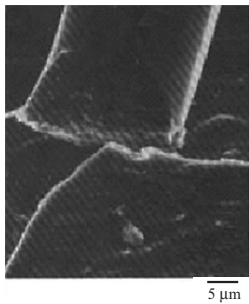


図 3.5 ワイヤの超音波疲労の破壊

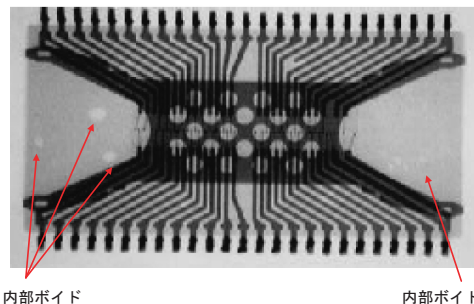


図 3.6 パッケージ内の内部ボイド

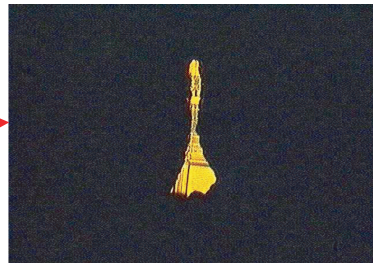
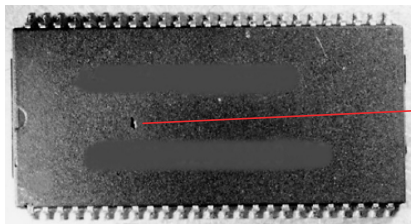


図 3.7 封止樹脂未注入



図 3.8 パッケージ内の導電性異物混入によるショート

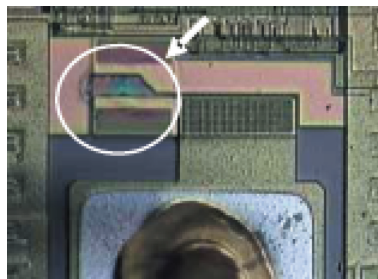


図 3.9 過電圧による端子破壊

3.2 ウェハプロセス起因の故障メカニズム

3.2.1 酸化膜（絶縁膜）経時破壊⁽¹⁾⁽²⁾

MOS LSI のゲート酸化膜は、集積度の向上に伴い薄膜化の傾向にあり、電源電圧も低電圧化が図られてきています。しかし、微細化の進行と性能の向上のため、ゲート酸化膜には従来に比べ絶対的に高い電界が印加されることになり、先端プロセス製品においては、電界強度が大きくなり、酸化膜の信頼性が重要になってきています。

酸化膜の絶縁破壊強度は、10MV/cm 以上と高電界ですが、実使用状態等のような低電界においても時間の経過とともに破壊が起こる現象を TDDB (Time Dependent Dielectric Breakdown) と呼び、この酸化膜（絶縁膜）の経時破壊現象が重要な故障原因の一つとなっています。

(1) 故障現象

一般に TDDB 現象を評価する場合、製品では加速評価が難しいため TEG (Test Element Group) を用います。この TDDB 試験結果の一例を図 3.10、図 3.11 に示します。破壊時間は電界強度が大きくなるか、温度が高くなると短くなるのが分かります。経験的に TDDB の故障モデル式として次式が、よく用いられます。

$$MTTF = A \times \exp(-\beta E) \times \exp(Ea/kT) \quad (3-2-1)$$

ここで

MTTF: 平均故障時間 (h)

A: 定数

Ea: 活性化エネルギー (eV)

E: 電界強度 (MV/cm)

β : 電界強度係数 (cm/MV)

k: ボルツマン定数

T: 絶対温度 (K)

TDDB の加速性は、実際には電界が小さくなるほど、図 3.12 に示すとおり活性化エネルギー (Ea) が大きくなると言われます⁽³⁾⁽⁴⁾。

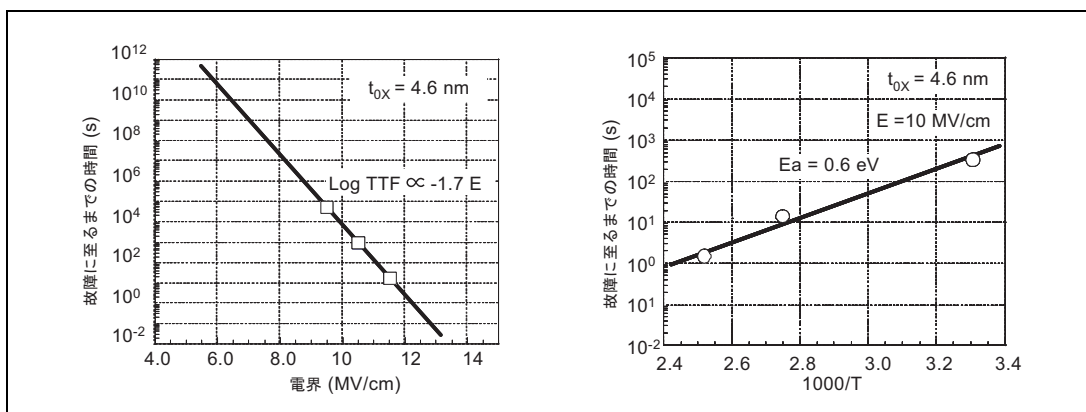
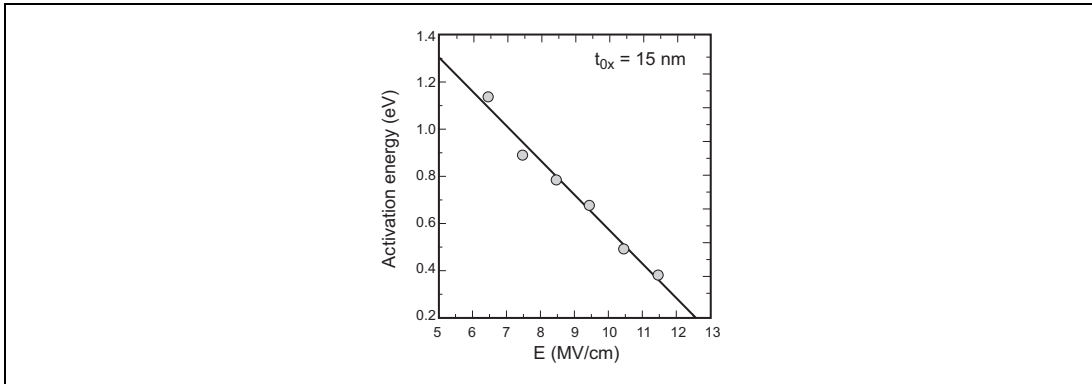


図 3.10 TDDB の電界依存性の例

図 3.11 TDDB の温度依存の例

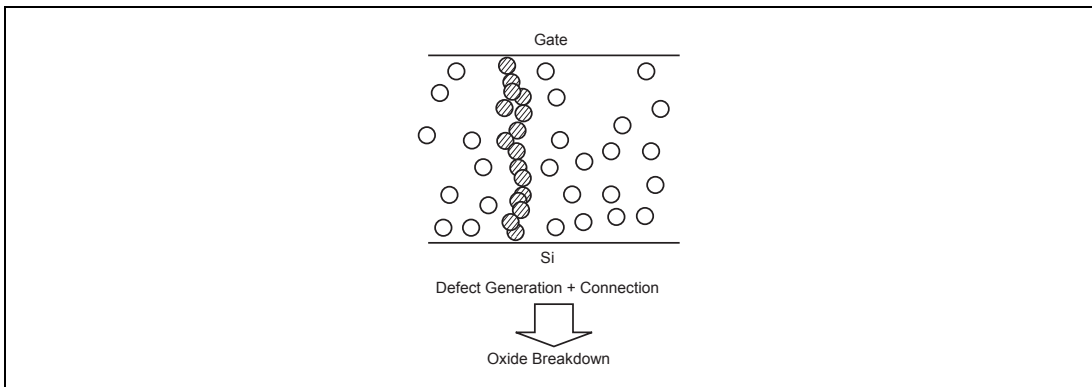
図 3.12 活性化エネルギーの電界依存性の例⁽⁴⁾

(2) 故障メカニズム

TDDB の故障メカニズムはさまざまなモデルが考えられていますが、最近では定性的なメカニズムとしてパーコレーションモデルが挙げられます。

酸化膜への温度及び電圧ストレスにより、酸化膜中にトラップが生成されます。トラップの増加に伴い、ホッピングあるいはトンネルによりトラップを介した電流が SILC (Stress Induced Leakage Current) として観測されます。さらにトラップが増加し、ゲート電極から Si 基板まで繋がると、大電流が流れ、ゲート酸化膜破壊に至ると言われています(図 3.13⁽⁵⁾)。

以上のように、TDDB 現象は酸化膜中に形成されるトラップ準位、すなわち欠陥と関係しており、加速試験によりプロセスの酸化膜質を十分把握し、製品設計する必要があります。また、プロセス的には欠陥が発生しにくい SiO₂ 膜とすることが大切であり、そのための酸化膜の形成方法が重要となります。

図 3.13 絶縁破壊メカニズム⁽⁵⁾

3. 半導体デバイスの故障メカニズム

3.2.2 ホットキャリア

微細加工プロセス技術の発展に伴い、半導体デバイスは高集積化の一途をたどっていますが、電源電圧はシステム側からの要求や内部信号レベルの低下につながるため、低電圧化されにくい傾向にあります。

特にMOS FETでは、ドレイン近傍の電界強度が増大し、ホットキャリア現象が起こります。高電界領域に流れ込んだキャリア(電子または正孔)は、高電界に加速され大きなエネルギーを得ます。一部のキャリアはSi基板とゲート酸化膜間に存在する電位障壁を越えるような大きなエネルギーを有するホットキャリアとなります。ゲート酸化膜中に注入されたホットキャリアが、膜中にトラップ(捕獲)されると空間電荷を形成し、MOS FETのしきい値電圧(V_{th})及び伝達コンダクタンス(gm)などの特性を経時的に劣化させます。また、このときに注入されたキャリアでトラップされなかったものはゲート電流となり、基板方向に流れたキャリアは基板電流として観測されます。

ホットキャリアの代表的な注入メカニズムを以下に示します。図 3.14 に主なメカニズムであるドレインアバランシェ・ホットキャリア注入及びチャネル・ホットエレクトロン注入を図示します。

- (a) ドレインアバランシェ・ホットキャリア注入
(DAHC: Drain Avalanche Hot Carrier) 注入⁽⁶⁾⁽⁷⁾
- (b) チャネル・ホットエレクトロン注入
(CHE: Channel Hot Electron) 注入⁽⁸⁾
- (c) 二次的に発生したホットエレクトロン注入
(SGHE: Secondary Generated Hot Electron) 注入⁽⁸⁾⁽⁹⁾⁽¹⁰⁾
- (d) 基板ホットエレクトロン注入
(SHE: Substrate Hot Electron) 注入⁽¹¹⁾

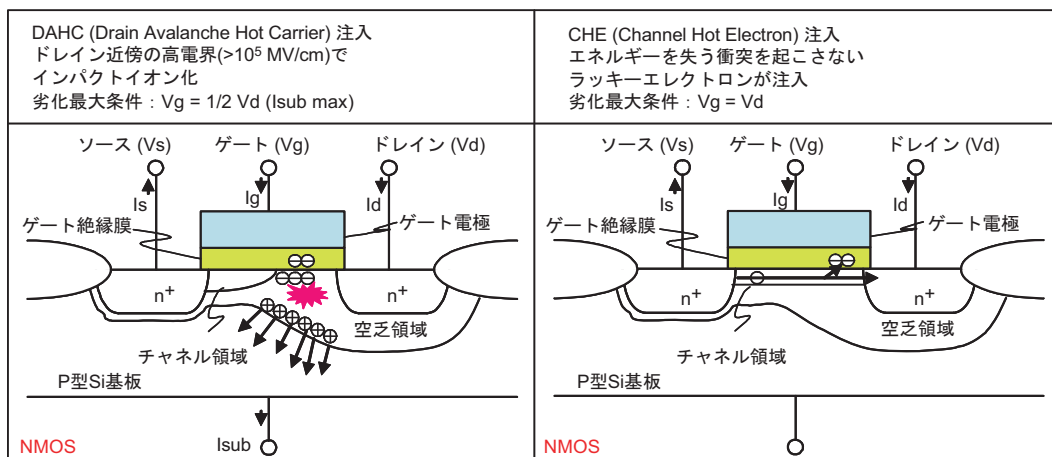


図 3.14 ホットキャリアの主な発生メカニズム

DAHC を例にホットキャリア現象について説明します。図 3.14 のように、MOS FET のドレインに電圧を印加し、 $V_G < V_D$ となるようにした場合（チャンネルがドレイン端に達しない、ゲート電圧がドレイン電圧より小さい場合に相当します）を例に考えます。

ドレインに電圧を印加するとドレイン近傍に高電界領域が形成されます。この高電界領域ではソースから流れ出した電子がドレイン近傍の高電界によりインパクト・アイオナイゼーション (Impact ionization: 衝突電離) を起こし、電子正孔対を発生します。大部分の正孔は、基板に向かって流れ基板電流になりますが、大きなエネルギーを得た電子は、ゲート酸化膜中に注入され、トラップされます。これにより MOS FET のしきい値電圧 (V_{th}) 及び伝達コンダクタンス (gm) などの特性が劣化し、製品 V_{cc} 下限動作電圧の劣化などを引き起こします。図 3.15 に示すとおり、ドレイン電圧が高いほど、劣化が大きくなります。

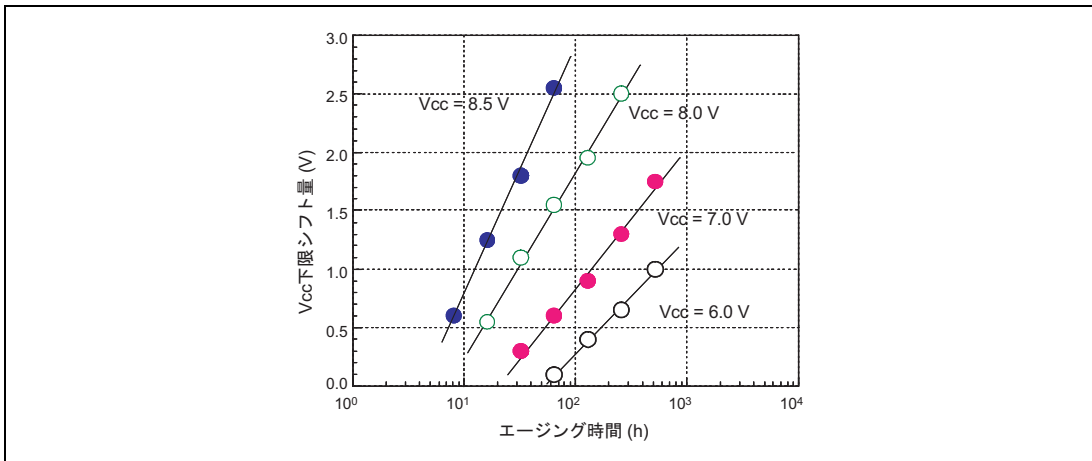


図 3.15 劣化の電源電圧（ドレイン電圧）依存性

ホットキャリアによる劣化寿命 t の代表的なモデル式としては次式があります。m の値としては 3 程度、B の値としては、100~200 の値が、よく報告されています。

$$t = C \times I_{sub}^{-m} \quad (3-2-2)$$

$$t = A \times \exp(-B/V_{ds}) \quad (3-2-3)$$

ここで、A, B, C, m: 定数

I_{sub} : 基板電流

V_{ds} : ドレイン電圧

ホットキャリア劣化を加速する要因として前述した電源電圧、チャンネル長、保護配線層間膜などに含まれる水素、環境温度などがあります。

半導体素子の故障モードの大部分は、温度が高くなるほど故障要因が加速されますが、ホットキャリア劣化は温度が低くなるほど加速される傾向があります。低温条件下では、Si原子の熱的振動が小さく格子に衝突する確率が減少することにより、電子の平均走行距離が長くなり、より高いエネルギーを持つためと考えられます。ただし、先端デバイスでは電源電圧の低下によって衝突電離のモードが変化してきており、必ずしも低温で劣化が加速されるとは限らなくなっています。⁽¹²⁾⁽¹³⁾

3. 半導体デバイスの故障メカニズム

ホットキャリア劣化に対する改善対策として図 3.16 に示すような、LDD (Lightly Doped Drain) 構造の MOS FET が採用されています。この構造により、MOS FET のドレイン端における電界集中を緩和することができます。さらに設計的工夫として、電界強度の大きい回路を構成する MOS FET の長チャネル化や集積回路の内部タイミング設定の最適化によるホットキャリア発生量の低減などが行われています。

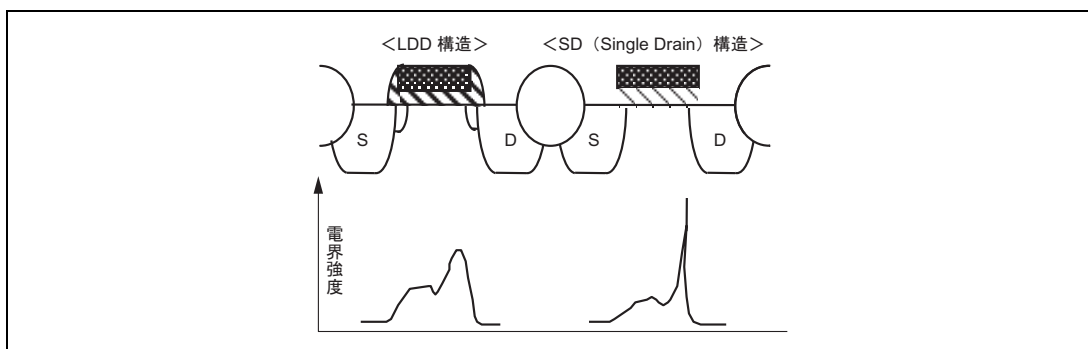


図 3.16 LDD 構造

3.2.3 NBTI (Negative Bias Temperature Instability)

P-MOS FET の負バイアス BT (Bias Temperature) ストレスにおける劣化現象 (I_{ds}/V_{th} シフト) を NBTI と言います。この現象は、微細化に伴い内部 MOS FET の電界強度が大きくなるにつれ、顕在化してきており、信頼性の重要な項目の一つになっています。

(1) 故障現象

P-MOS FET の NBTI 現象による劣化 (I_{ds}/V_{th} シフト) は、界面準位の増加とゲート酸化膜中の正のチャージの増加が原因と考えられています。⁽¹⁴⁾⁽¹⁵⁾⁽¹⁶⁾⁽¹⁷⁾

NBTI 現象による V_{th} 劣化寿命 τ は、強いゲート電界依存性があり、一般的には次の故障モデル式がよく用いられます。

$$MTTF = A \times \exp(-\beta E) \times \exp(Ea/kT) \quad (3-2-4)$$

ここで、

MTTF: 平均故障時間 (h)

A: 定数

Ea: 活性化エネルギー (eV)

E: 電界強度 (MV/cm)

β : 電界強度係数 (cm/MV)

k: ボルツマン定数

T: 絶対温度 (K)

しかしながら、実際には電界が小さくなるほど、図 3.17 に示すとおり電界依存性が大きくなり、電界のべき乗 (Power law モデル) に比例します⁽¹⁸⁾。高ストレス下で得られた β を用いると、式 (3-2-4) を使った市場での予測は難しくなります。

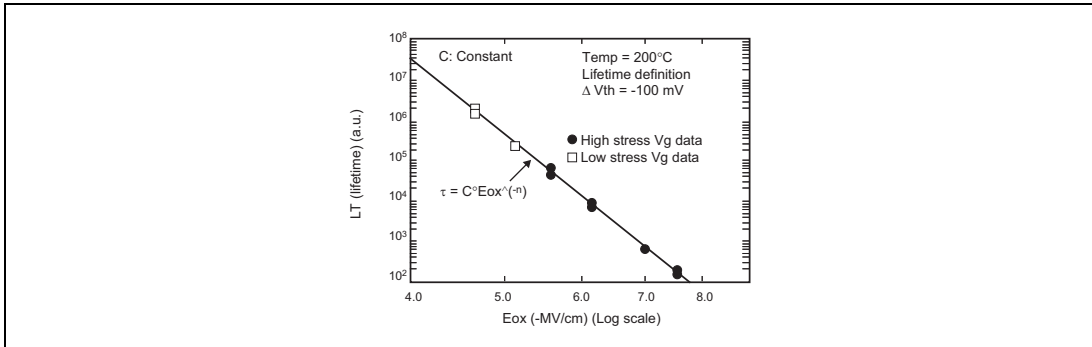


図 3.17 デバイス寿命の電界依存性の例⁽¹³⁾

(2) 故障メカニズム

P-MOS FET の NBTI 現象のメカニズムについては、以下が考えられます。⁽¹⁹⁾

SiO₂-Si 界面の Si dangling bond (Si·) は、水素により不活性化されて Si-H として存在しますが、高温・高バイアスのストレスとホールの存在で電気化学反応を起こし、水素を開放します。その際、Si dangling bond は界面準位となり、水素は酸化膜中へと拡散していきます。酸化膜中を拡散する水素の一部が酸化膜中の欠陥と結びついて、トラップを形成します。このような界面準位の増加、酸化膜中のトラップに起因したチャージが、Ids/Vth の劣化に結びついていると考えられています。

NBTI 現象による Ids/Vth の劣化は、ストレスバイアスの除去、逆バイアスの印加で回復します。⁽²⁰⁾⁽²¹⁾⁽²²⁾ したがって、DC ストレスが印加される回路では、NBTI 現象は、特に重要となります。

3.2.4 エレクトロマイグレーション

半導体集積回路では、金属配線膜として主に Al 蒸着膜が用いられています。半導体集積回路においてエレクトロマイグレーションが問題となるのは、Al 蒸着膜が多くの粒界を持つ多結晶構造をしていること、さらに半導体集積回路が急激に高機能化、高速化しており、半導体素子の Al 配線を通る電流の密度が 10⁴A~10⁵A/cm² と大きいことが理由に挙げられます。エレクトロマイグレーションとは、導体に電流を流すことにより金属イオンが移動する現象です。Al 配線では電子の流れる方向に Al イオンが移動し、陰極側にボイドが発生しオープン故障になり、陽極側ではヒロックやウィスカが成長し、最終的にはショート故障に至るものです。図 3.18 に発生メカニズム、図 3.19 にその故障例を示します。

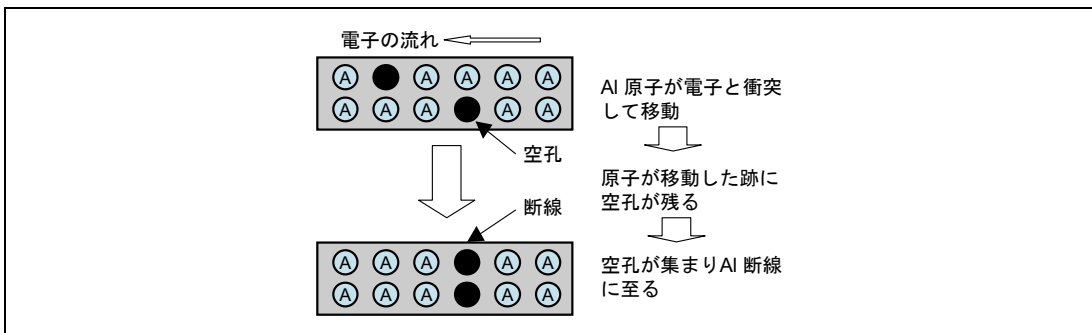


図 3.18 発生メカニズム

3. 半導体デバイスの故障メカニズム

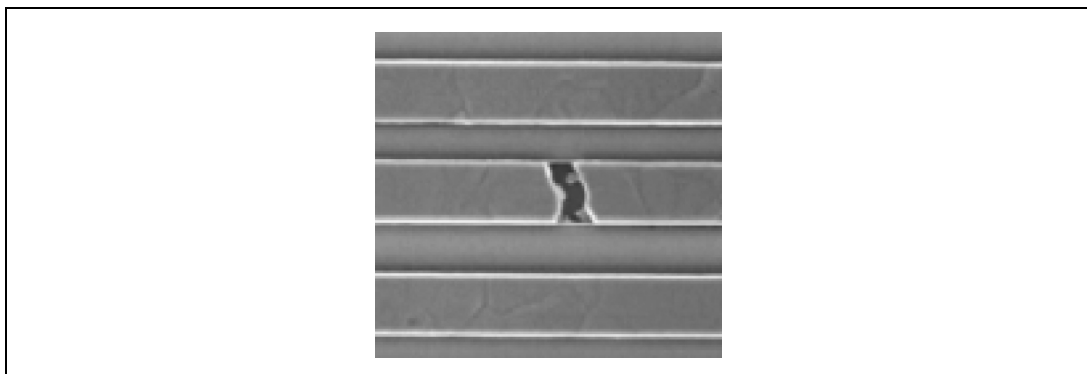


図 3.19 Al 配線のエレクトロマイグレーション

半導体集積回路の Al 配線は多結晶構造，すなわち単結晶粒の集合体であり，金属原子の拡散としては図 3.20 に示すように，格子拡散，粒界拡散，表面拡散が考えられます。多結晶薄膜では粒界が多く，粒界では欠陥が多く，金属原子が移動しやすいため，通常は粒界拡散によるものが起こりやすくなります。微細化に伴い，薄膜になっていくと表面の割合が大きくなっていくので表面拡散も重要な要因となってきます。

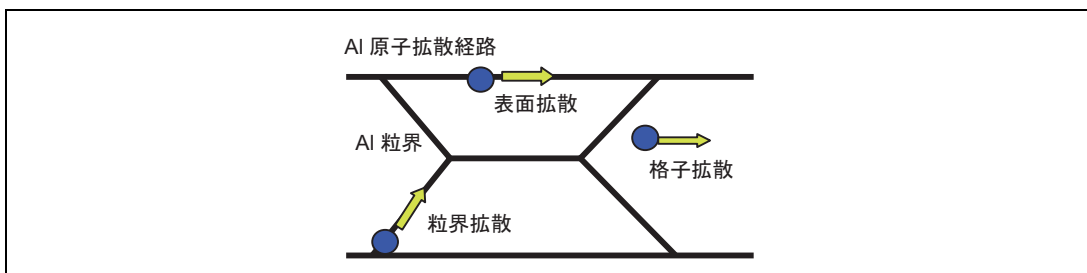


図 3.20 多結晶 Al での格子拡散，粒界拡散，表面拡散

エレクトロマイグレーションの故障モデル式は，一般的に式(3-2-5)で表されます。

$$\text{MTTF} = A \times J^{-n} \times \exp(E_a/kT) \quad (3-2-5)$$

ここで， MTTF: 平均故障時間 (h)

A: 配線の構造，材料により決まる定数

J: 電流密度 (A/cm²)

n: 定数

E_a: 活性化エネルギー (eV)

k: ボルツマン定数

T: 配線部の絶対温度 (K)

であり，J.R. Black によれば n=2 と示されています。⁽²³⁾⁽²⁴⁾

また E_a は，0.6~1.0eV の値が確認されています。⁽²⁵⁾⁽²⁶⁾⁽²⁷⁾

エレクトロマイグレーションに関しては、Al配線の下層、上層あるいは上下層に、タングステン(W)、チタン(Ti)等の高融点金属をバリアメタルとして積層配線する、Al配線にCuを添加する(粒界拡散の抑制)、ビアホールにタングステンプラグ等を導入することで、微細化により限界の見えていた配線のエレクトロマイグレーション耐性向上を計っています。

3.2.5 ストレスマイグレーション

ストレスマイグレーションとは、電流印加のない温度ストレスのみの状態で、金属原子が移動する現象を言います。⁽²⁸⁾⁽²⁹⁾ ストレスマイグレーションは、パッシベーション膜あるいは層間絶縁膜とAl配線の熱膨張係数の差から生ずる応力に起因します。そのメカニズムは、図3.21に示すとおり、配線上のパッシベーション膜により、配線に引張応力が加わり、これによりAl原子が移動することでボイドが形成され、最終的には断線に至るというものです。低温ほど応力は大きくなり、一方金属原子は高温ほど動きやすいため150~200°Cという中間的な温度での長期保存により発生します。このモードは、低温長期モードと呼ばれており、主にスリット状の断線となります。配線幅が細くなるほど、起こりやすくなります。⁽³⁰⁾⁽³¹⁾ その他に、半導体デバイスの製造工程の熱処理時、くさび状ボイドとなって現れる高温短期モードもあります。図3.22及び図3.23に、各々の故障例を示します。

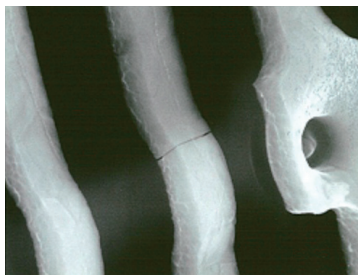
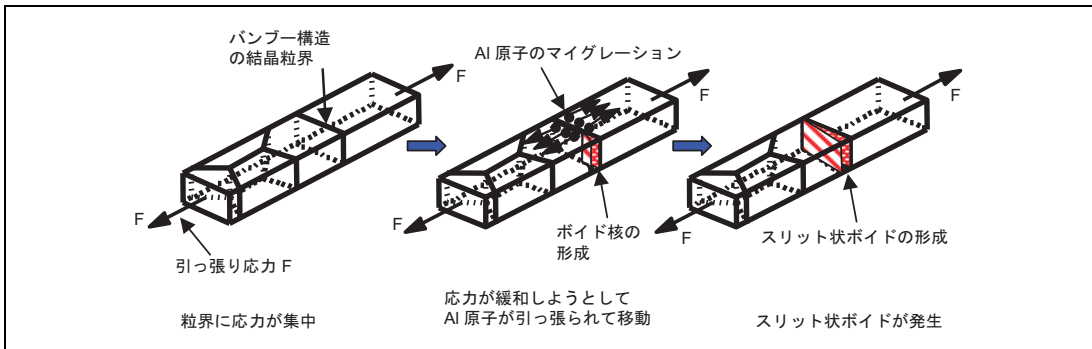


図 3.22 スリット状ボイド

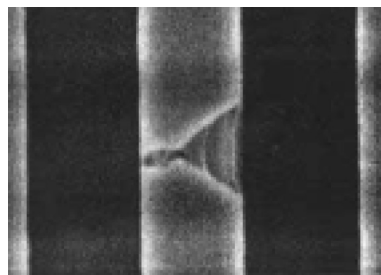


図 3.23 くさび状ボイド

ストレスマイグレーションに関しても、エレクトロマイグレーション同様、バリアメタルの適用、Al配線へのCu添加(粒界拡散の抑制)、ビアホールにタングステンプラグ等を導入することで耐性の向上を計っています。

3.2.6 ソフトエラー

(1) α 線によるソフトエラーのモデル

半導体メモリの大容量化、微細化を阻む問題の一つとして、T.C.Mayらが発表した一過性の誤動作、 α 線によるソフトエラーの問題が挙げられます。⁽³²⁾

このソフトエラーとは、パッケージや配線材料に微量に含まれているU(ウラン)、Th(トリウム)から放出される α 線により、メモリ情報が反転する現象です。図3.24に示すように、 α 線がメモリチップに入射した際、シリコン基板内に高密度の電子-正孔対を生成、電界の存在で分離します。PN接合があると、N層に電子が、P層にホールが集められ、これによりメモリデバイスのメモリ情報が反転、誤動作します。この誤動作は永久破壊ではなく再書き込みにより正常となります。

α 線の入射によって生成した電子-正孔対のうち、正孔はマイナス電位が印加される基板側へ引かれます。逆に、電子はプラス電位が印加される情報蓄積側へ引かれます。ダイナミックRAMにおいて回路動作上、情報蓄積部に電子が満ちた状態を情報0、空の時の情報1としているため、情報1→0の誤動作が発生します。このような誤動作をソフトエラーの「メモリセルモデル」と呼んでいます。

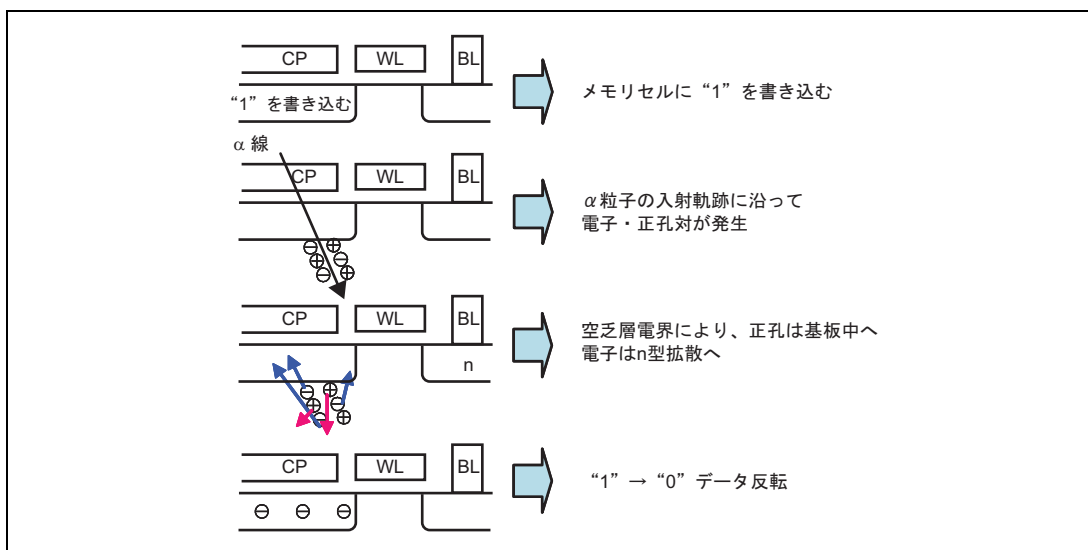


図 3.24 メモリセルでの誤動作

また情報1, 0を判定するビット線電位の変化によって発生する「ビット線モデル」と呼ぶモデルもあります。ビット線は、メモリの読み出し状態においてメモリセルの情報によりその電位が変化し、これを基準電位と比べて情報の1, 0を判定します。この変化量は極めて微小であるため、センスアンプにより増幅を受けています。メモリセルからのデータ読み出しからセンスアンプの増幅までの極めて短い時間帯に、 α 線がビット線近傍に入射すると、ビット線の電位が変化します。ビット線の電位が基準電位よりも低下すると、情報1→0の誤動作が発生します。逆に、基準電位側が低下すると、情報0→1の誤動作が発生します。

この二つのソフトエラーモデルの特長は、メモリセルモデルが情報1→0の反転だけ生ずるのに対し、ビット線モデルは、1→0と0→1の両方の反転が起こることです。また、前者の発生率はメモリセル情報が反転するモデルのため、メモリ動作のサイクルタイムに対して無関係です。しかし、後者はデータ読み出し時のビット線電位がアクティブにある短い時間に対して

問題となるモデルのため、サイクルタイムが短くなるほどこの回数が増加します。このためビット線モデルにおいてはサイクルタイムに対し発生率は反比例します。

(2) ソフトエラーの評価方法

メモリの α 線によるソフトエラーを評価することはメモリの信頼性において大変重要なテーマです。メモリのソフトエラー故障率を評価するには、実装試験による評価方法が最も精度の良い方法です。しかしながら、この実装試験による評価方法は、大量のサンプルを長時間モニタ試験する必要があります。

例えば、ある製品のソフトエラー率について、500個のサンプルで数百FITの実力を評価しようとする場合、試験に要する時間は20,000時間以上になります。このため、実装評価によるソフトエラー率の評価は製品プロセスを代表する品種で実施するようにしています。これに対し、短時間で評価を行う方法として α 線源による加速試験法があります。図3.25に装置の略図を示します。 α 線源をテストチップの上面に置き評価します。

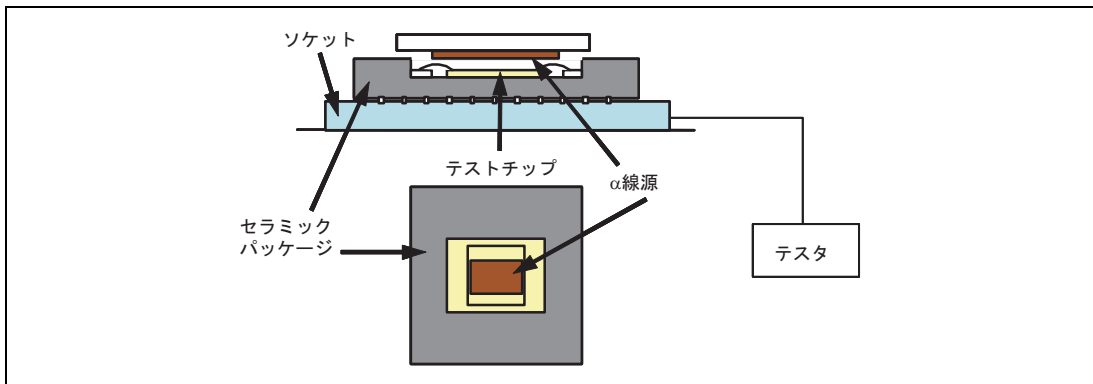


図 3.25 ソフトエラー加速評価装置

(3) ソフトエラーの対策

メモリの α 線によるソフトエラーを対策するには、次の3点の例が挙げられます。

- (a) パッケージや配線材料の高純度化により発生する α 線の量を減少させる。
- (b) チップ表面をチップコート材によりコーティングしパッケージ材からチップに照射される α 線を阻止する。
- (c) メモリデバイスの耐 α 線強度を強くする。

大容量メモリで必須となりつつあるのがチップコート技術です。当社では、ポリイミドコートにより α 線対策を行っています。これは、 α 線を放出しているU, Thの放射性元素を含まないコーティング材をチップ表面に塗布することにより、パッケージ材からチップに照射される α 線を阻止することを目的としています。図3.26にポリイミドコート膜によるソフトエラーの阻止効率を評価した結果を示します。コート膜を厚くしていくに従いエラーの発生率が減少していきます。

その他には、メモリデバイスの α 線に対する強度向上として、メモリセルが情報として蓄えている蓄積電荷量を確保することがポイントです。

3. 半導体デバイスの故障メカニズム

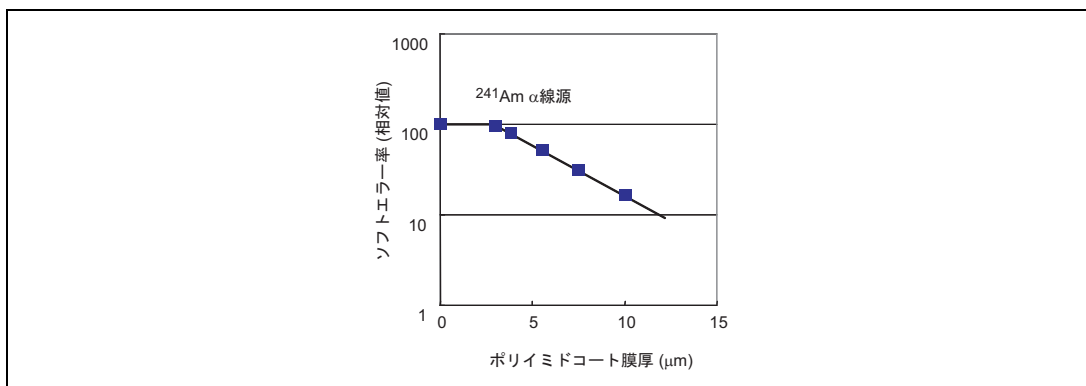


図 3.26 ポリイミドコートのソフトエラー防止効果

しかしながら、メモリの大容量化に伴い 1 個のメモリセルの占める面積はますます小さくなっており、この蓄積電荷量を確保することは大変難しくなっています。このためトレンチ構造やスタック構造など構造面での改善、酸化膜から誘電体膜への移行等により、蓄積電荷量を確保し、 α 線に対する強度向上を図っています。

さらに、近年 α 線以外の宇宙線 (中性子線等) による影響も、製品の微細化、低電圧化の進行で無視できなくなってきました。⁽³³⁾ ソフトエラーの評価方法については、JEDEC (JESD89) 及び JEITA (EDR-4705) 等にて標準化されています。

3.2.7 不揮発性メモリの信頼性

半導体メモリの中で不揮発性メモリの情報記憶方式は、図 3.27 に示されるスタック型ゲートメモリのようにメモリセル内のフローティングゲートに電子を蓄積することによりデータ保持するタイプと、図 3.28 に示される MONOS 型ゲートのように電子/正孔を MNOS/MONOS ゲートに蓄積することによりデータ保持するタイプに大別することができます。

さらに、近年では強誘電体の分極特性を利用した FRAM 製品や相変化メモリ、磁気メモリ (MRAM) 等が次世代不揮発性メモリとして開発されています。

代表的な不揮発性メモリのフラッシュメモリを一例として、スタック型ゲートタイプの書き込み動作原理を説明します。フローティングゲートへの電子注入は一般に図 3.27 に示すようにドレイン (V_D) と制御ゲート (V_G) に高電圧を加え、ソース電位は接地して行われます。ソースから流れ出た電子は、ドレイン近傍に形成する高電界領域で、高エネルギーを持った電子となり近傍の Si 格子と衝突電離を起こし電子-正孔対を発生させます。

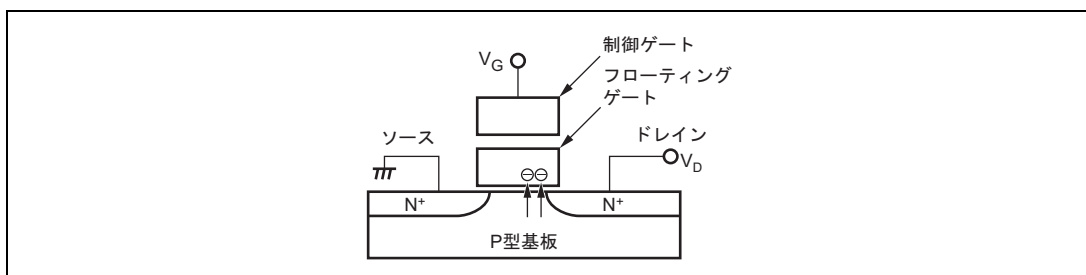


図 3.27 スタック型メモリセル断面構造

発生した電子(ホットエレクトロン)は高電圧印加された制御ゲートによりフローティングゲートに注入されます。フローティングゲートは周囲と隔離されているため、注入された電子は隔離された状態となります。この電子が注入された状態(書き込み)をデータ0とし、電子が注入されていない状態(消去)をデータ1としています。

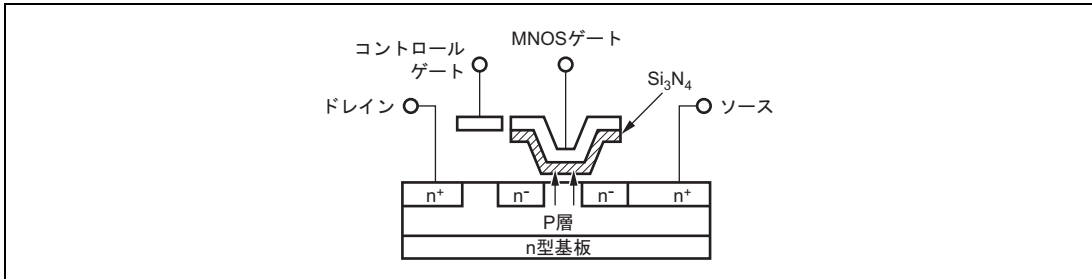


図 3.28 MNOS メモリセル断面構造

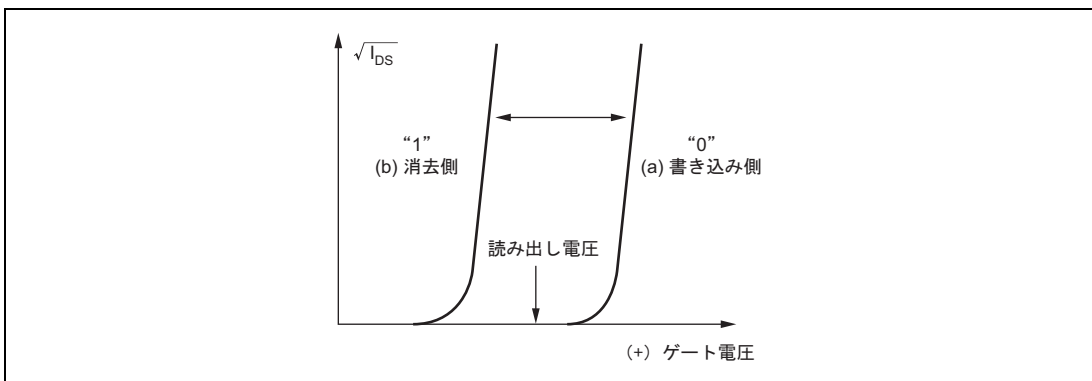


図 3.29 スタック型メモリセルの V_{th} 変化

この書き込みと消去の状態をメモリのしきい値 (V_{th}) 変化の関係で示したものが図 3.29 です。書き込まれた状態の場合、メモリセルは高いしきい値をとり、消去された状態の場合は低いしきい値をとります。

(1) データ保持特性

スタック型ゲートメモリでは、書き込みは上記のようにホットエレクトロン(又はFNトンネリング)で行いますが、その書き込まれた状態(フローティングゲートに電子が隔離された状態)を長時間保持する能力も要求されます。しかし、書き込まれた状態は、本来非平衡であるため熱により励起された電子の消失が、ある確率で起こります。この熱による電子消失のメカニズムはフローティングゲート中に隔離された電子が熱エネルギーにより励起され、周辺酸化膜のエネルギーバリアを飛び越えることにより起こるものです。したがって、データ保持に関してはフローティングゲートと周辺の酸化膜とのエネルギーバリアが高いほどデータ保持能力が高いと考えられています。この熱励起によるフローティングゲートからの電子放出の減衰量は次の熱イオン励起モデル式(3-2-6)で示されます。

3. 半導体デバイスの故障メカニズム

$$V_{cc}(t) / V_{cc}(0) = N(t) / N(0) = \exp\{-v \cdot t \cdot \exp(-E_a/(kT))\} \quad (3-2-6)$$

V_{cc} : 最大動作電圧

N : フローティングゲート中の電荷量

v : 緩和振動数 ($10^{12}/s$)

E_a : 活性化エネルギー (eV)

k : ボルツマン定数

T : 絶対温度 (K)

このデータ保持モードにおける保持時間は温度と強い相関関係があります。一般的にはデータ保持特性に関する E_a (活性化エネルギー) は 1eV 以上と考えられます。

(2) 故障メカニズム

初期にフローティングゲート近傍になんらかの欠陥が存在する場合には、前記のようなデータ保持能力を保てなくなり、短時間でチャージロス/チャージゲインによる誤動作を引き起こすことがあります。このデータ保持特性により劣化に至る原因を大別すると、次の4点が挙げられます。

- ・初期的な酸化膜欠陥によりチャージロス/ゲインがある場合
- ・イオン性汚染によるデータ保持劣化
- ・過大電氣的ストレスによるデータ保持劣化
- ・多数回書き込み/消去ストレスによるデータ保持劣化

酸化膜欠陥(リークパス, 異物など)のうち, ゲート酸化膜に欠陥が存在する場合には(図 3.30), 制御ゲートのバイアス印加により基板からフローティングゲートに電子を引き付けることにより, 欠陥箇所を介してチャージゲインまたはチャージロスを起こすことが考えられます。一方, 層間膜に欠陥が存在する場合には(図 3.31), 消去状態では故障が検出されませんが, 書き込み状態では制御ゲートからのバイアス印加によりフローティングゲート中の電子が欠陥箇所を介して, チャージロスを引き起こし, 故障として顕在化することが考えられます。両モードともに熱ストレス印加により短時間で故障となるため, 製造工程で高温放置試験を行うことにより初期のデータ保持不良を除去(スクリーニング)することが可能です。

また, 酸化膜中のイオン性汚染の影響によりフローティングゲート中の電子が消失する場合があります。この故障モードに対しても高温放置試験(データ 1 と 0 混在パターン)が有効です。

さらに, データ保持特性劣化の別現象としてスタック型ゲートメモリの場合は, 多数回の書き込み/消去を繰り返すことによるしきい値狭化の現象があります。書き込み/消去を 1,000 回以上繰り返すことで, 酸化膜中を高エネルギーの電子または正孔が通過し, ある確率で電子または正孔が酸化膜中にトラップされ, 書き込み/消去のしきい値の狭化を引き起こします。そのため, データ保持特性が劣化する現象があります。

さらに, 書き込み/消去回数を重ねるにつれて狭化は進行するために, スタック型ゲートメモリの書き込み/消去回数には, おのずと限界があります。したがって, ご使用時には, 書き換え回数を抑えることが信頼性向上に有効です。

3. 半導体デバイスの故障メカニズム

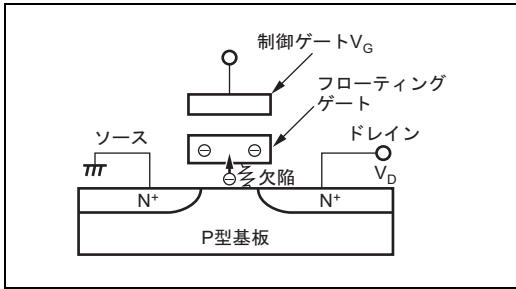


図 3.30 ゲート酸化膜欠陥モード (チャージゲイン)

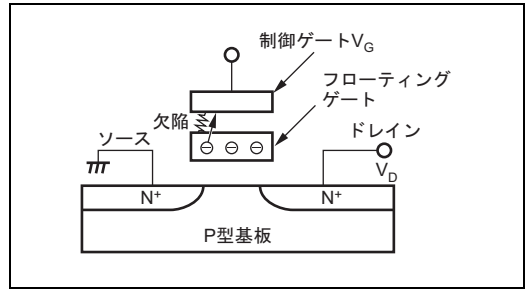


図 3.31 層間膜欠陥モード (チャージロス)

3.3 アセンブリプロセス起因の故障メカニズム

3.3.1 ワイヤボンディングの信頼性 (Au-Al 接合の信頼性)

(1) 概要

半導体デバイスは、半導体チップをパッケージのダイパッドにダイボンディングを行った後、半導体チップの表面電極 (Al パッド) とパッケージのインナーリード (Ag, Au メッキ) との間を金属細線 (Au) のワイヤを用いてボンディングし結線します。かつて、半導体デバイスの組み立て工程での故障は、ほとんどがこのワイヤボンディング工程に起因するものとされていましたが、最近のワイヤボンディング技術の進歩には目覚ましいものがあり、製造機器の高精度化、自動化によりワイヤボンディングの信頼性は飛躍的に向上しています。

ワイヤボンディングの自動化は、作業者による品質のばらつきを排除し製造時の初期接合不良を大幅に減少させます。しかしながら、Au-Al の異種金属の接合では、金属間化合物の形成による構造的に避けることのできない長期的な寿命の劣化現象が起きることが知られています。一般的に、この金属間化合物のことをパープルレイグと呼びます。本項では、ワイヤボンディングの信頼性を Au-Al 合金の拡散進行状態との関係を基に述べます。

(2) 理論

Au ワイヤ方式では半導体チップ上の Al 電極と Au ワイヤとの接合部が Au-Al 接合となります。この Au-Al 接合では、高温に半導体デバイスを長期間保存すると接合部の接触抵抗が増加し、最終的に接合部が断線に至ることが知られており、半導体デバイスを使用する機器に致命的な不良を与えるため古くから多くの報告がされています。

Au-Al 系接合では、図 3.32 に示すように複数の金属間化合物が形成されることが知られています。表 3.2 に金属間化合物及び Au, Al の性質を示します。

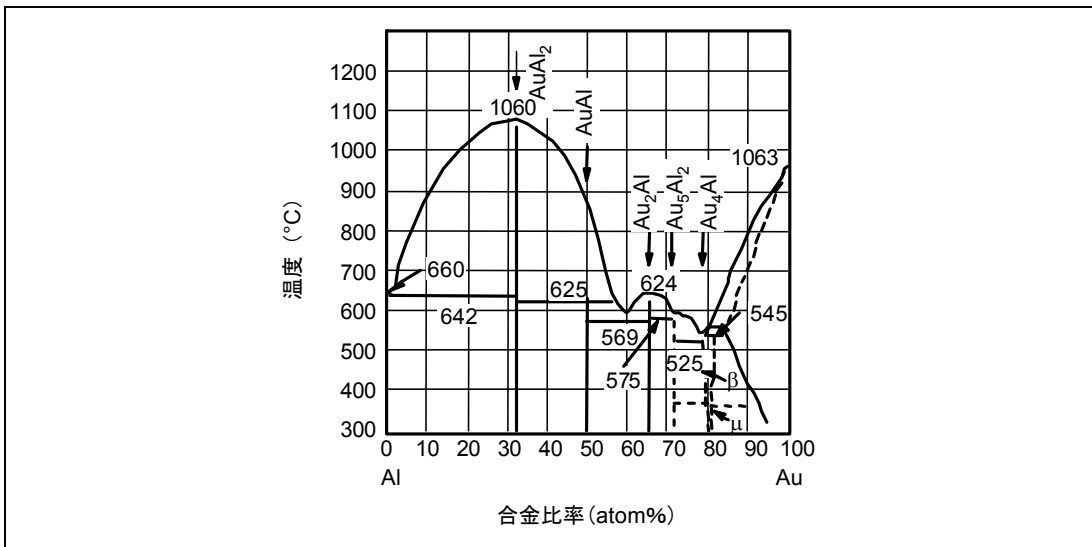


図 3.32 Au-Al 系合金の状態図

表 3.2 Au-Al 金属間化合物の性質

化合物	結晶構造	膨張率	硬度(Hv)	色
Al	f.c.c.	2.3×10^{-5}	20~50	銀
AuAl ₂	CaF ₂ 型	0.94×10^{-5}	263	紫
AuAl	ZnS型	1.20×10^{-5}	249	灰
Au ₂ Al	不明	1.26×10^{-5}	130	薄い黄金色
Au ₅ Al ₂	γ-brass型	1.40×10^{-5}	271	同上
Au ₄ Al	β-Mn型	1.20×10^{-5}	334	同上
Au	f.c.c.	1.42×10^{-5}	60~90	金

(3) 発生メカニズム

Au-Al 系接合の劣化をもたらす原因は、次の三つの要因があると考えられます。

- Au-Al 拡散の進行により、拡散層内に形成される複数の金属間化合物のうち Au₅Al₂ と Au₄Al との層間での膨張率の不整合による接合強度の低下。
- Au と Al との拡散係数の差により接合部周囲にポイドが発生すること(カーケンダル効果)による接合強度の低下。
- 樹脂中の難燃材に含まれる臭素(Br)を触媒とした Au₄Al 合金層の酸化による高抵抗層の形成。

次に、図 3.33 を基に Au-Al 合金層形成の推移を説明します。

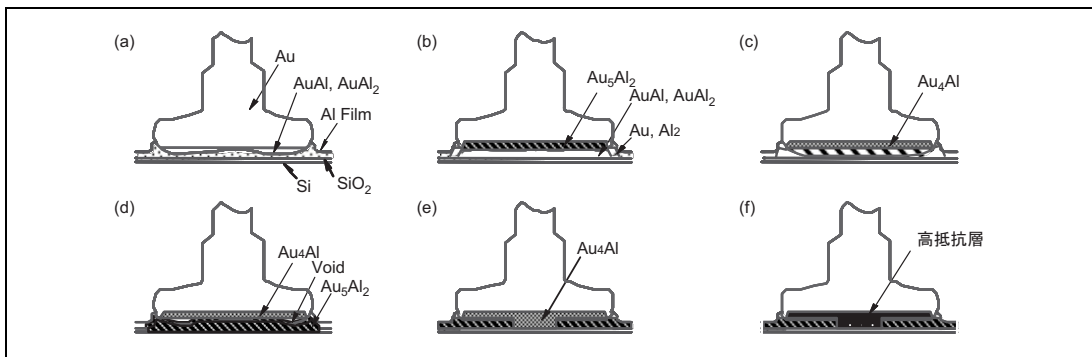


図 3.33 Au-Al 系合金の状態図

- ボンディングの初期には、Au-Al 間に薄い拡散層が形成されます。この拡散層の色は紫であり、AuAl₂ と推定されます。
- さらに加熱すると、Au-Al 拡散が進行し Al 薄膜中に Au が拡散し純 Al 層は消失します。これと同時に、Au ボール側に Au-Al と区別できる合金層が形成されます。これは、Au₅Al₂ と推定されます。
- 拡散の厚さは一定以上にはなりません。これは、Al の供給量が有限であるためと、Au⇄Al の拡散速度の差が原因と考えられます。拡散速度を D とすると、 $D_{Au \rightarrow Al} > D_{Al \rightarrow Au}$ の関係があります。Al 蒸着膜の初期厚さを 1μm とすると、拡散部の総厚さは 4~5μm 程度です。加熱を続けると、拡散層中に Au が拡散し Au ボール側に Au₄Al が形成され、これが半導体チップ側に成長します。

3. 半導体デバイスの故障メカニズム

- (d) さらに加熱すると、拡散層内への Au の拡散が進行し拡散層はすべて Au_5Al_2 と Au_4Al となります。また、拡散層の周囲にはポイドが発生します。これは、 $D_{\text{Au} \rightarrow \text{Al}}$ 、 $D_{\text{Al} \rightarrow \text{Au}}$ の差のために起こるカーケンダル効果によるものです。
- (e) さらに加熱すると、ポイドの発生箇所以外では拡散層内への Au の拡散がさらに進み、中央部に Au_4Al 層が形成されます。
- (f) 樹脂封止型 IC の場合、樹脂中の難燃材に含まれる Br が触媒として働き、 Au_4Al 層の Al を酸化させることが知られています。Br は、ポイドから接合の内部に侵入し Au_4Al 層の Al を酸化させるため、Au ボール中央部と合金層との界面に高抵抗層が形成され断線不良に至ります ($\text{Au}_4\text{Al} + 3\text{Br} \rightarrow 4\text{Au} + \text{AlBr}_3$)。このときの接合部の断面の観察結果を図 3.34 に示します。

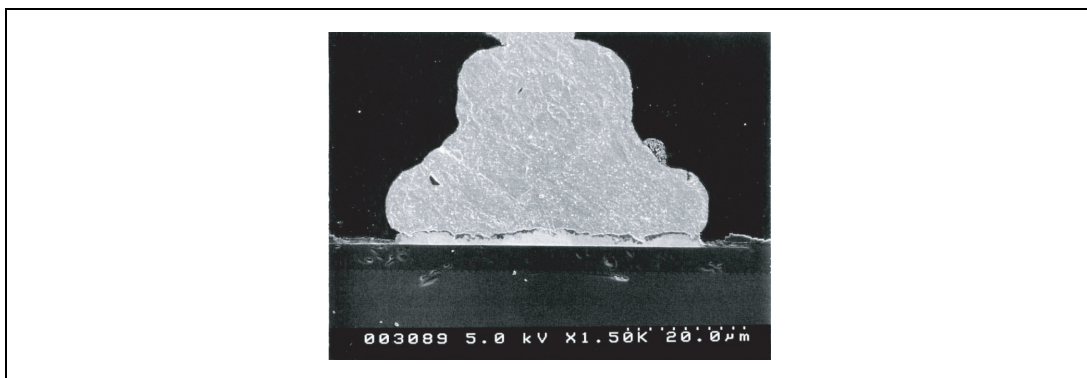


図 3.34 Au ボール接合部分の断面 SEM 写真

拡散層の厚さ X と保存温度 T 、保存時間 t との間には、次のアレニウスの関係式が成立します。

$$X^2 = D \cdot t, \quad D = D_0 \cdot \exp(-E_a/kT) \quad (3-3-1)$$

D : 拡散定数

E_a : 活性化エネルギー (eV)

D_0 : 振動数因子

k : ボルツマン定数

T : 保存温度 (K)

Au ボールボンディングの信頼性を向上させるためには、次の 3 点に留意する必要があります。

- ・ボンディングの初期接合を可能な限り短時間、低温で処理し Au-Al の相互拡散をできるだけ抑制する。
- ・ボンディング中または樹脂封止前には機械的衝撃を避ける。
- ・樹脂封止後は必要以上に素子を加熱しない。

(4) まとめ

Au-Al 系ワイヤボンディングは、合金系に支配される構造的な限界寿命を有しています。むしろ、ボンディングの信頼度を高くするためには初期接合性を満足するための製造機器の管理と材料の選択を十分に行い、接合後の半導体デバイスには不要な加熱処理を行わないことが有効です。

3.3.2 Ag イオンマイグレーション

(1) 概要

Ag イオンマイグレーションは、金属の電気化学的な移動現象です。半導体チップ上の Al 配線で起こるエレクトロ/ストレスマイグレーションと区別するために、エレクトロケミカルマイグレーションと呼ばれています(本項ではイオンマイグレーションと呼びます)。このイオンマイグレーションは、電極材料が Cu, はんだ, Au などの Ag 以外の金属の場合でも悪条件下で発生しますが、最も発生しやすく問題となりやすいのは Ag と Cu です。本項では Ag イオンマイグレーションについて説明します。

(2) 現象

箔, メッキ, ペースト状の Ag が高湿度の環境下で電圧を印加すると、電気分解作用により図 3.35 に示すように絶縁物の表面を Ag がシミ状あるいは樹枝状に移動し成長します。この結果、電極間の絶縁抵抗値が低下したり短絡に至ることがあります。

典型的なイオンマイグレーションは、陽極側からシミ状の成長が起こり、陰極では樹枝状結晶(デンドライト)成長が起こります。しかしながら、実際には絶縁物の種類、環境条件等に影響されるため、陽極側から溶出した Ag イオンが途中で還元されて金属銀として析出したり、陰極側からの析出物が樹枝状にならずにシミ状になったりすることもあります。さらに、Ag は大気中の硫黄(S)や塩素(Cl)と反応しやすいので EPMA 等で分析すると、これらの元素が同時に検出されることが多いです。

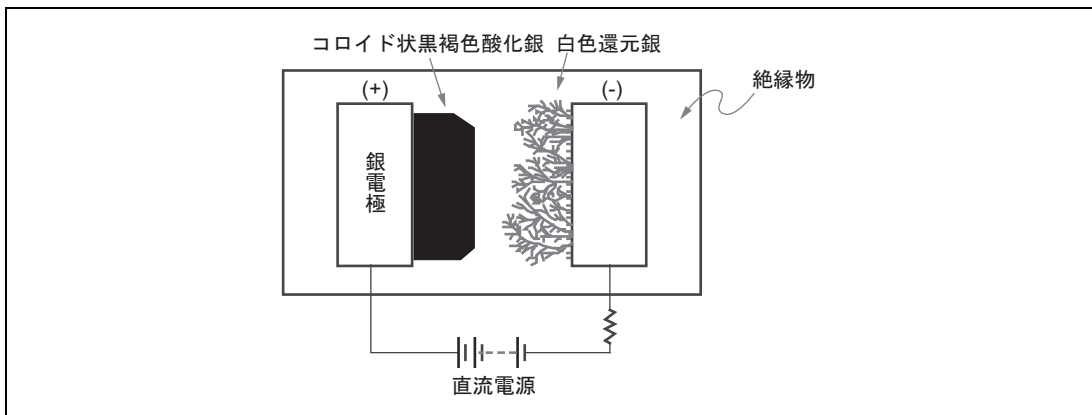


図 3.35 Ag イオンマイグレーションの発生過程

(3) 発生メカニズム

直流電圧が印加されている Ag 電極間に水分が付着すると、陽極において式(3-3-2)の化学反応が起こります。



ここで発生した水酸化銀(AgOH)は非常に不安定であるため、式(3-3-3)のように分解します。



3. 半導体デバイスの故障メカニズム

発生したコロイド状の酸化銀 (Ag_2O) は、さらに、式 (3-3-4) のように反応します。



このように、発生したコロイド状の Ag_2O と Ag イオンとが徐々に移動 (特に Ag イオンは電界により引っ張られる) して陰極に達すると、式 (3-3-5) のように還元されて金属銀となります。



この析出銀は、一般に図 3.35 のように白色の樹枝状成長となります。さらに、その先端の電界の強さは成長とともに増大するため、一度成長が始まると加速度的に進行します。

(4) 加速要因と対策

イオンマイグレーションの発生を加速する要因を以下に示します。対策としては、これらの要因を検討し影響の大きい要因を取り除くことが必要となります。

(a) 電位差及び電極間隔

イオンマイグレーションは電気化学反応であるため、直流印加時のみ問題となります。また電極間が短絡するまでの時間は、おおむね電位差に逆比例し間隔に比例します。

(b) 温度

湿度に比べて関与する割合は小さいですが、温度が高いほど化学反応の速度が早くなるため、イオンマイグレーションは促進されます。

(c) 湿度(特に結露の有無)

湿度は、イオンマイグレーションに大きく影響します。一般的には、相対湿度が50%以下であれば進行せず70%以上になると急激に進行します。

(d) 絶縁物の種類

絶縁物の種類は、湿度とともにイオンマイグレーションに大きく影響します。一般的には、吸湿性の大きな基材のフェノール樹脂積層板、ナイロンなどにおいては顕著に発生しますが、吸湿性の小さなガラスエポキシ基板では発生しにくいです。

(e) 塵埃量及び水質

塵埃はそれ自身が水溶性の成分を含んでいること、もしくは塵埃が水分の保持体として働くために、イオンマイグレーションを促進します。また水質は、電解質の濃度が高くなるほど促進します。

(5) まとめ

Ag イオンマイグレーションについては、使用条件 (特に環境と電圧)、発生による波及範囲と品質要求とを考慮し、ポテンシャル低減対策を検討し実施することが重要です。一般的に知られている対策方法としてはイオン性不純物の低減、 Ag 中 Pd 含有による抑制、イオントラップ剤の添加等が報告されています。

3.3.3 AI スライド

(1) 概要

温度サイクル環境において、半導体チップがその低温時の樹脂の収縮応力により、チップ表面がチップ表面の中心部に向かうせん断応力によって故障する現象の一つに AI スライドがあります。AI などの金属配線は外力により容易に変形しやすく、外部からの応力を支える材料ではありません。チップ表面の中心部に水平に配線部が力を受けた場合は、その力を支えるのは AI でなく表面のパッシベーション膜です。したがって、AI 配線幅が太い場合は、構造的に強度が低い保護膜は破壊され、AI 配線が移動します。この現象を AI スライドといいます。AI スライド現象でパッシベーション膜にクラックが発生し、回路がダメージを受けるとデバイスが故障する場合があります。本項では、樹脂からのストレスにより AI がスライドする現象について述べます⁽³⁴⁾。

(2) 現象

半導体チップ、パッシベーション膜、樹脂の熱膨張係数がそれぞれ異なるため、外部からの温度変化により各層間で応力が発生します。低温保存時には、樹脂の収縮応力がチップに働き AI 配線がチップ中央に向かって移動します。特に、チップコーナー部では樹脂からチップへの応力が大きくなるため、AI スライド現象が顕著に見られます。また、この現象は、ストレスが集中する幅の広い AI 配線では顕著になります。AI スライドとパッシベーション膜のクラックは、密接に関係しています。AI 配線は容易に変形するため、温度変化による樹脂からの応力をパッシベーション膜が受けます。このパッシベーション膜にクラックが入ると、AI 配線が変形し、元の状態に戻らなくなります(塑性変形)。結果として、AI スライド現象が起ります。AI スライドの一例を図 3.36 に、発生メカニズムを図 3.37 に示します。この現象は、温度サイクル試験により加速されます。

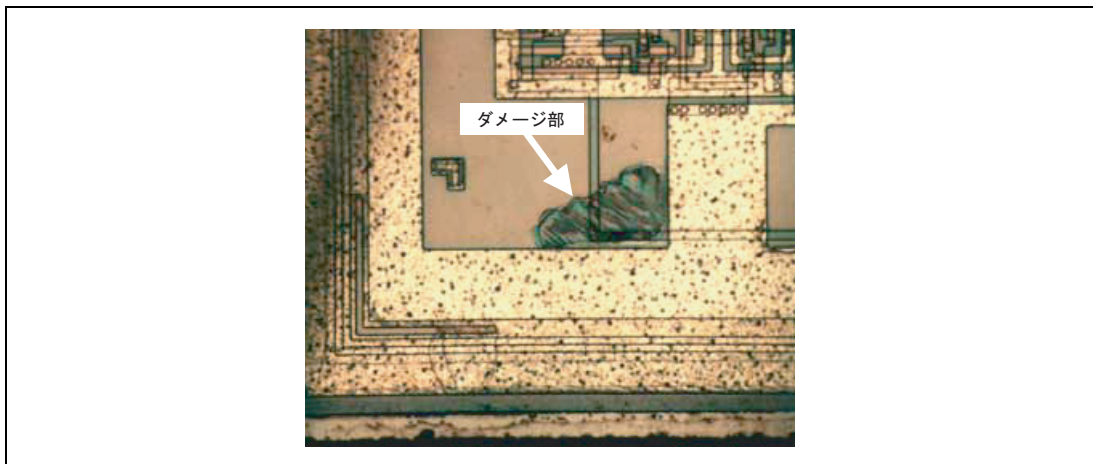


図 3.36 AI スライドの一例

3. 半導体デバイスの故障メカニズム

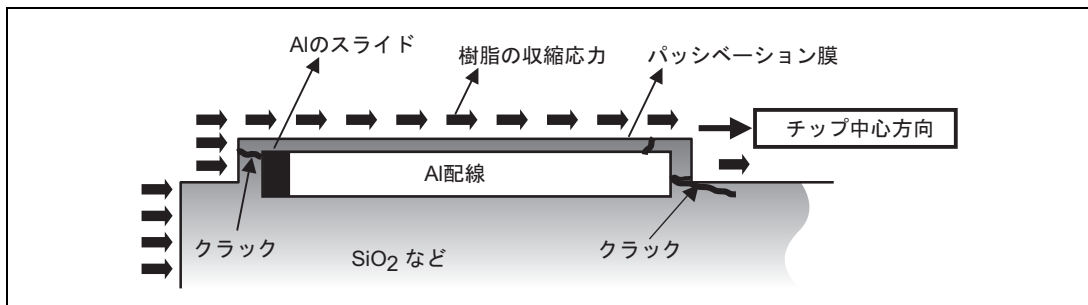


図 3.37 チップコーナー部分の AI 配線断面図

(3) 発生メカニズム

AI スライド不良は温度変化にのみ影響を受けることから、故障モデルはアイリングモデル式に従います。

$$\text{寿命 (L)} \propto (\Delta T)^{-n} \quad (3-3-6)$$

加速係数nの値は $n=4.4\sim 8.1$ の報告があります⁽³⁵⁾

(4) まとめ

AI スライド現象は、半導体を構成する材料の熱膨張係数差により発生し、それに伴う応力がパッシベーションクラックを誘発します。対策としては、次の方法が考えられます。

- (a) 樹脂の熱膨張係数をできるだけチップの熱膨張係数に近づける。
- (b) チップコーナー部の AI 配線幅に制限を加え、幅の広い AI 配線を配置しない。

3.3.4 フィラー誘起の故障メカニズム

(1) 概要

樹脂には、強度の確保とチップの熱膨張係数に近づけるためにフィラーが混ぜられています。100 μm 程度のフィラーがチップ表面にモールドされた場合、温度サイクルなどによりフィラーがチップ表面を押し、チップ表面にダメージを与えて故障を誘発する場合があります。

(2) 現象

樹脂中に大型でとがった形状のフィラーが混ぜられていた場合、高温でモールド中(樹脂溶融中)はチップ表面にフィラーが接触していても、フィラーがチップにダメージを与えることはありません。

その後、次第にフィラー周辺の樹脂が硬化収縮します。図 3.38 のようにとがった形状の先端がチップ表面に向いていた場合、樹脂の収縮に伴いとがった先端がチップ表面に向かって変位(移動)します。その後、温度が下がると周辺の樹脂がさらに収縮します(樹脂の熱膨張係数はフィラーの数倍)。さらに温度サイクルにより低温となった場合、樹脂がさらに収縮し、フィラーの尖った先端がチップ表面に向かって押し出されます。その変位量がチップ表面の保護層の厚さを超えると、チップ表面の回路がダメージを受け故障します。フィラー先端の変位量はフィラーのサイズと相関があり、小さいフィラーは変位量が小となります。フィラーが球形の場合はフィラーが樹脂を破って変位することはありません。一般にこのような問題を解決するため、大型フィラーは球形化するとともに、一定を超えるサイズのフィラーを除去することが有効とされています。

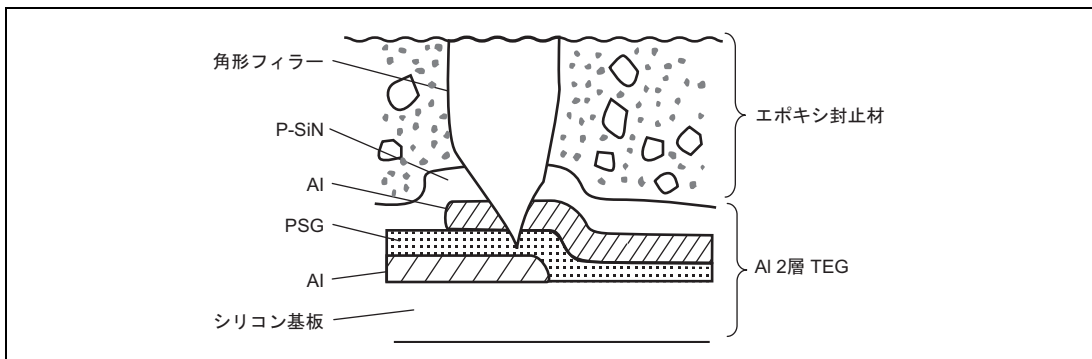


図 3.38 半導体デバイスのチップ表面近傍の断面

(3) まとめ

フィラー誘起の故障は、樹脂封止型の半導体デバイスでは潜在的に発生する可能性を有しています。このため、フィラーの球形化と寸法のフィルタリングの実施により半導体チップが受けるダメージを軽減することが重要と考えられます。

3. 半導体デバイスの故障メカニズム

3.3.5 ウィスカ

環境対応のため電子部品の基板実装に用いられるはんだは、鉛フリー化が進められています。しかし、めっきの信頼性の面では、鉛は錫のウィスカを防止する効果が大であることから、鉛フリー化には錫ウィスカに対する市場での許容値や試験条件を含めた対応が求められています。錫ウィスカの発生メカニズムは現在まで十分に明確とはなっていませんが、ウィスカ成長(図 3.39 参照)に関係のある環境加速因子としては「温度」「湿度」「応力」があることが経験的に知られており、現在知られているウィスカ発生に至るメカニズムは一般的に次のように考えられています。

リード母材が Cu で Sn めっきの場合、Cu の拡散により Cu_6Sn_5 、 Cu_3Sn という2種類の金属間化合物が成長します。常温では Cu に比して密度が低い Cu_6Sn_5 が主に生成し、体積増大によって Sn 層に圧縮応力が印加されます。この圧縮応力が Sn を針状に成長させるウィスカの要因になります。一方高温下では密度が高い Cu_3Sn の成長が増えるため体積増大による圧縮応力を抑制します。⁽³⁶⁾

ウィスカ発生の防止例には以下のようなものがあります。

- (1) 鉛の代替元素の添加(Bi, Cu, Ag等)
- (2) めっきの厚膜化
- (3) めっき後の熱処理
- (4) 下地めっき処理

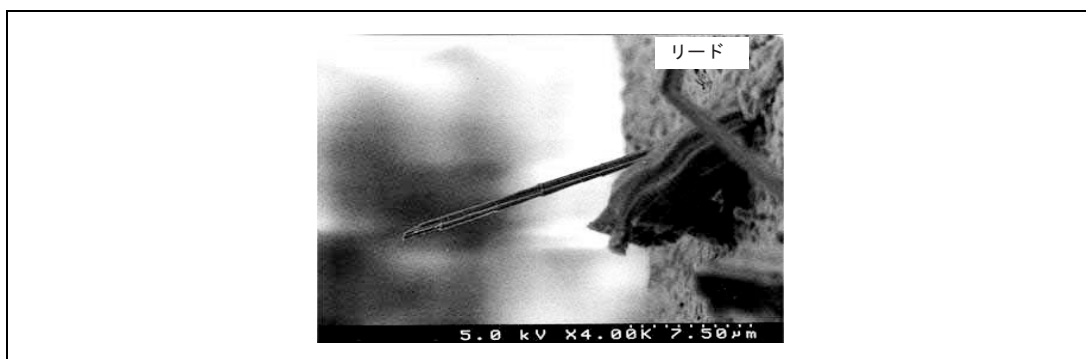


図 3.39 ウィスカ発生例

3.3.6 樹脂封止半導体デバイスの耐湿性

(1) 概要

半導体デバイスは樹脂封止タイプのパッケージが一般に用いられています。樹脂封止デバイスはAl電極配線の腐食やリーク電流増加などの耐湿性の問題が発生していましたが、現在はそのレベルは飛躍的に改善されています。

本項では、樹脂封止デバイスの耐湿性について、故障メカニズム、バイアス印加によるデバイス寿命の影響、実使用条件との加速性について述べます。

(2) 故障メカニズム

(a) 水の浸入経路

樹脂封止デバイスにおける水の浸入経路は、次の2点が考えられます。一つは樹脂を直接透過しチップ表面に至る経路で、樹脂の吸湿、透過(水の拡散現象)です。また、もう一つは樹脂とリードフレームとの界面を通った後、樹脂と金線界面を経由してチップ表面に至る経路です(図3.40)。後者の場合、パッケージ表面に付着した不純物(フラックス、洗浄液など)を含んだ水溶液が、チップ表面の露出したAl電極や配線を腐食させます。

従来から、この二つの経路のいずれが主であるかについて種々の報告がなされており⁽⁴⁴⁾⁽⁴⁷⁾、これらは使用される樹脂材料、フレーム材質、パッケージ構造などに大きく影響されます。最近では、リードフレームと樹脂との密着性が改善された結果、フレーム界面よりも樹脂中を透過する経路が主になっています。

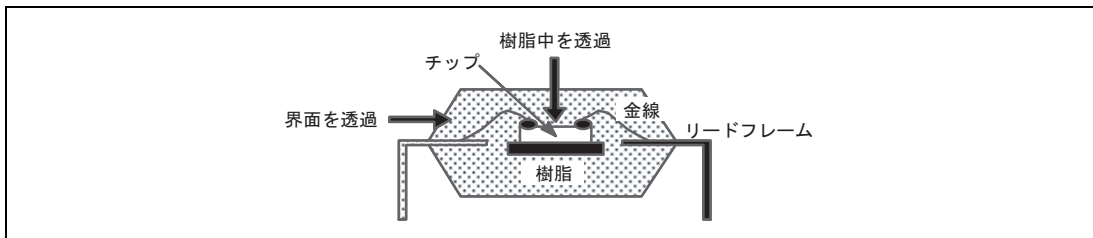


図 3.40 樹脂封止デバイスにおける水の浸入経路

(b) Alの腐食

高温高湿放置の場合、チップ表面に達した水はボンディングパッド部及びピンホールやクラックのあるパッシベーション欠陥部で露出した内部配線パターン⁽⁴⁸⁾のAlを腐食(孔食と言う場合もある)させることがあります。この場合、放置時間を延長しても急激な故障の増加はみられず、製造ばらつき等によるパッケージまたはチップの初期欠陥が原因と考えられます。チップ表面と樹脂封止との接着界面が剝離した場合や、チップ表面が汚染されている場合も同じ故障パターンになることが確認されています。

Alの腐食モードとして図3.41に示す虫食い状と帯状の2種類があり、塩素等の不純物を含んだpH4以下の水がAlの結晶粒界などから浸入してきたために腐食が発生したと推定されます。

3. 半導体デバイスの故障メカニズム

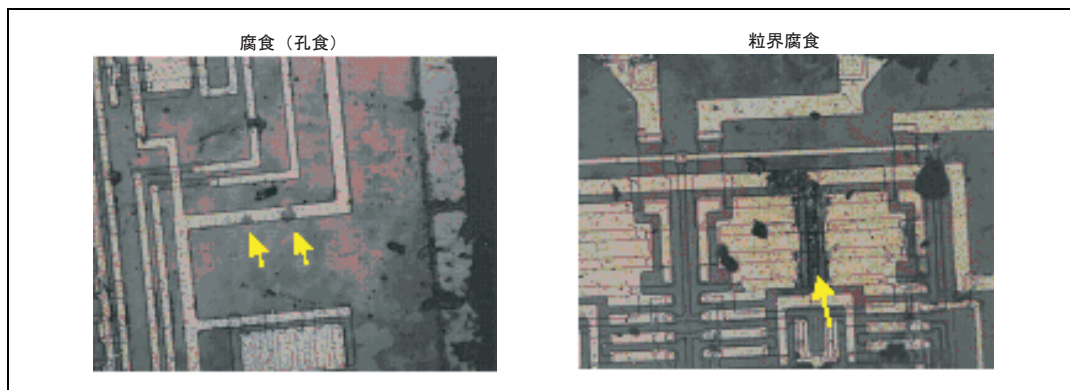
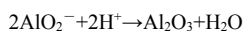
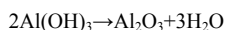
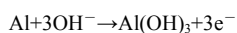
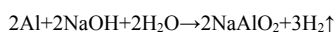
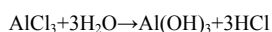
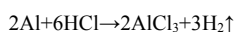
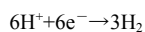
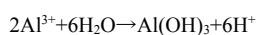
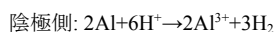
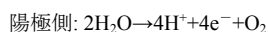


図 3.41 高温高湿放置の場合の Al 腐食

Alは、化学的に非常に活性な金属であり、乾燥した空气中に放置するとその表面層にアルミナ(Al_2O_3)を形成します。この Al_2O_3 は、表面保護膜として働くため、それ以上の反応は進行しません。一方、十分な水が存在する場合は、水酸化アルミニウム($\text{Al}(\text{OH})_3$)を生成します。この $\text{Al}(\text{OH})_3$ は、両性であり、酸でもアルカリにでも溶ける性質があります。したがって、不純物を含む水には溶けやすい。代表的なAlの腐食反応は次のとおりです⁽³⁷⁾。



次に、高温高湿バイアスで検出されるAlの腐食は、陽極、陰極側で同時に発生し、Al配線の所々にAl金属光沢が残っていることが多く、これらの腐食モードとしては、陽極側のAl配線に発生する腐食(孔食)と、陰極側において結晶粒界から腐食が進行する腐食(粒界腐食(ウロコ状の腐食))に分けることができます(図3.42参照)。孔食では腐食故障し始めると比較的短時間にほぼ全数が摩耗して故障し、その故障発生時間は樹脂の吸湿時の体積抵抗率と相関があることが確認されています。また粒界腐食(ウロコ状の腐食)は陰極側だけを選択して腐食していることが多いです。なお、陰極側に発生する粒界腐食の一つのモデルとして、次の反応式が考えられます⁽⁴⁰⁾。



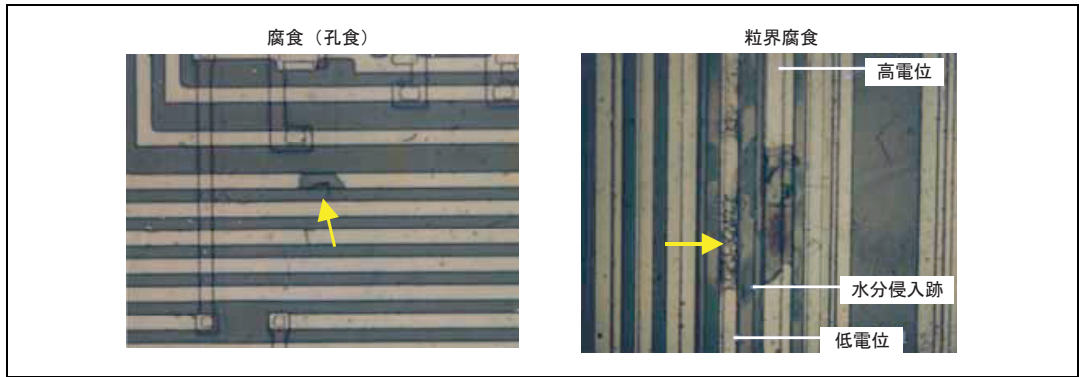


図 3.42 高温高湿バイアスの場合の Al 腐食

(c) 樹脂の吸湿によるチップ表面リーク

樹脂の吸湿によるチップ表面リーク電流の原因として次の2点が挙げられます。

- ・樹脂の吸湿による絶縁抵抗劣化
- ・チップと樹脂界面との隙間に水膜形成

リーク電流は、樹脂の吸湿による絶縁抵抗劣化によるものとチップと樹脂界面との隙間に水膜形成されチップ表面の電極配線間に電位差がある場合とがあります。特に、MOSデバイスなどの表面を活用しているデバイスは、この表面電位の発生によって酸化膜下のSi基板の表面が反転して、寄生MOS FETのドレイン・ソース間に電流が流れ、リーク電流増加の原因になることがあります。その説明を図3.43に示します。

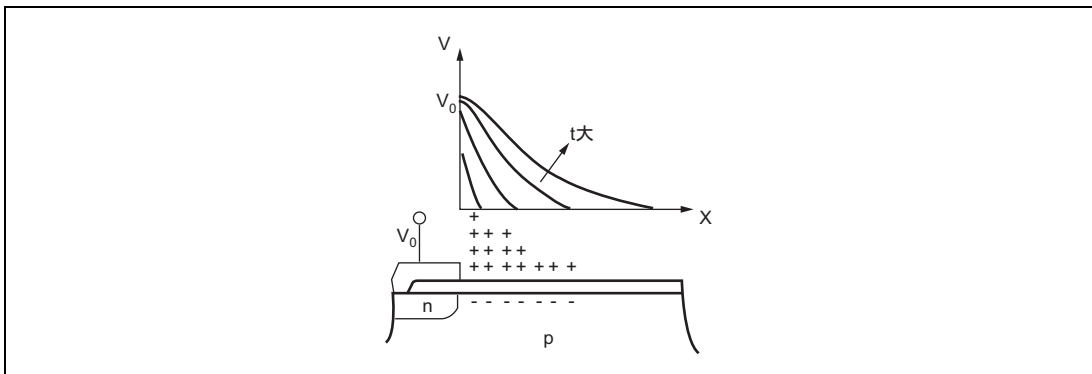


図 3.43 表面電荷広がり現象

3. 半導体デバイスの故障メカニズム

(3) 実使用条件との加速性

耐湿性試験データより、樹脂封止デバイスの信頼度を予測する加速モデルがいくつか報告されています。

下記に一事例を示します。

- (a) 平均寿命 MTTF は、接合部温度 T_j (K) と相対湿度 RH (%) との影響を個々に受けます⁽⁴¹⁾。

MTTF と T_j との関係: アレニウスモデルに従います ($E_a \approx 0.8\text{eV}$)。

MTTF と RH との関係: $\log\text{MTTF}$ と $\log\text{RH}$ とは直線関係にあります。

これらは相対湿度モデルと呼ばれ、次式で示されます。

$$\text{MTTF} \propto \exp(E_a/kT) \cdot \text{RH}^{-n}$$

k はボルツマン定数, T は絶対温度, n は定数で $n=4\sim 6$ を使用

- (b) 一定の累積故障率に至るまでの時間 t は、水蒸気圧 V_p に関係します⁽⁴²⁾⁽⁴³⁾⁽⁴⁴⁾。これは絶対水蒸気圧モデルと呼ばれ、次式で示されます。なお、m は定数で $m \approx 2$ を使用します。

$$t \propto V_p^{-m}$$

図3.44に $m=2$ である場合の加速性の一例として各温湿度における相対寿命時間の関係を示します。

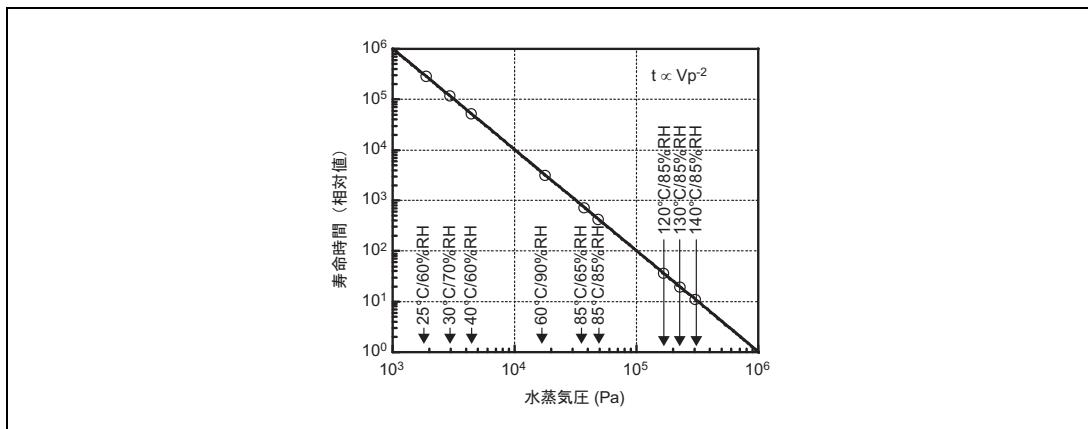


図 3.44 加速性の一例

上記のように、種々の加速モデルが提案されていますが、加速性は樹脂材料、パッケージ構造、メタライゼーション、パッシベーションなどで異なり、一般的な加速係数を求めることは非常に困難です。

(4) 耐湿性の評価方法

耐湿性の評価方法として種々の方法があり、その目的に応じて適切な方法が適用されています。主な試験方法を表 3.3 に示します。高温高湿保存試験、高温高湿バイアス試験、プレッシャクッカ保存試験、プレッシャクッカバイアス試験(主に不飽和条件。HAST 試験:Highly Accelerated Temperature and Humidity Stress Test という場合もあります)があります。そして、まれに、これらの組み合わせ試験を行う場合もあります。

また、表面実装型デバイス(SMD)の普及により、吸湿と熱ストレスとのシリーズ試験を前処理として実施した後、上記耐湿性試験を実施する評価方法が一般的になってきました。これは SMD が基板に実装される場合、赤外線(IR)リフローなどの実装方法が用いられ、この実装でデバイス全体に熱ストレスが印加され樹脂とリードフレーム界面またはチップ表面と樹脂封止との接着界面で剥離が発生することにより、耐湿性寿命の低下の原因になります。このように SMD の耐湿性レベルを確認するため、吸湿と熱ストレス試験とを前処理として行う評価方法が採用されています。

表 3.3 主な耐湿性評価方法

評価方法	条件の一例	特長
高温高湿保存	85°C/85%RH	実使用条件との相関がかなりある。 評価に長時間を必要とする。
高温高湿バイアス試験	85°C/85%RH/バイアス印加	実使用条件との相関がかなりある。 評価に長時間を必要とする。
プレッシャクッカ保存試験	130°C/85%RH 121°C/100%RH	実使用条件との相関がかなりある。
プレッシャクッカバイアス試験(HAST)	110°C/85%RH/バイアス印加 120°C/85%RH/バイアス印加 130°C/85%RH/バイアス印加	実使用条件との相関がかなりある。 バイアスの影響を評価出来る。

(5) まとめ

樹脂封止デバイスの実使用条件での耐湿性を確認するために、種々の加速試験が用いられています。最近では、耐湿性のレベルは飛躍的に改善されており、実使用上ほとんど問題のないレベルに達しています。

3.4 実装プロセスに起因及び実使用中に発生する故障メカニズム

3.4.1 表面実装型パッケージのリフロー実装時のパッケージクラック

(1) 概要

近年の電子機器の薄型化、小型化、軽量化、多機能化にともない、部品の表面実装による高密度化は必要不可欠な技術として定着しており、半導体も表面実装型パッケージが主流となっています。

表面実装型パッケージのはんだ付け方法は、はんだ付け部のみを加熱する部分加熱法とプリント配線板や部品を一括して加熱する全体加熱法とに大別することができます。全体加熱法には、リフロー法とフローソルダーリング法があります。⁽⁴⁵⁾⁽⁴⁶⁾

・リフロー法

遠赤外線リフロー法、温風リフロー法(エアリフロー法)、両方を併用したリフロー法があります。赤外線リフロー法は、デバイスを実装した配線基板全体に赤外線を照射し、はんだ付けをする方法です。多数の部品を同時にはんだ付けすることが可能なため量産向きです。ただし、赤外線源のみでは温度差が生じる欠点があります。この欠点を補うために温風での加熱を併用する装置が普及しています。温風リフロー法(エアリフロー法)は、温風を炉内に循環させ、はんだリフローを行う方法です。特長として、基板や部品の温度差が小さく、一定温度以下に制御出来ます。

・フローソルダーリング法

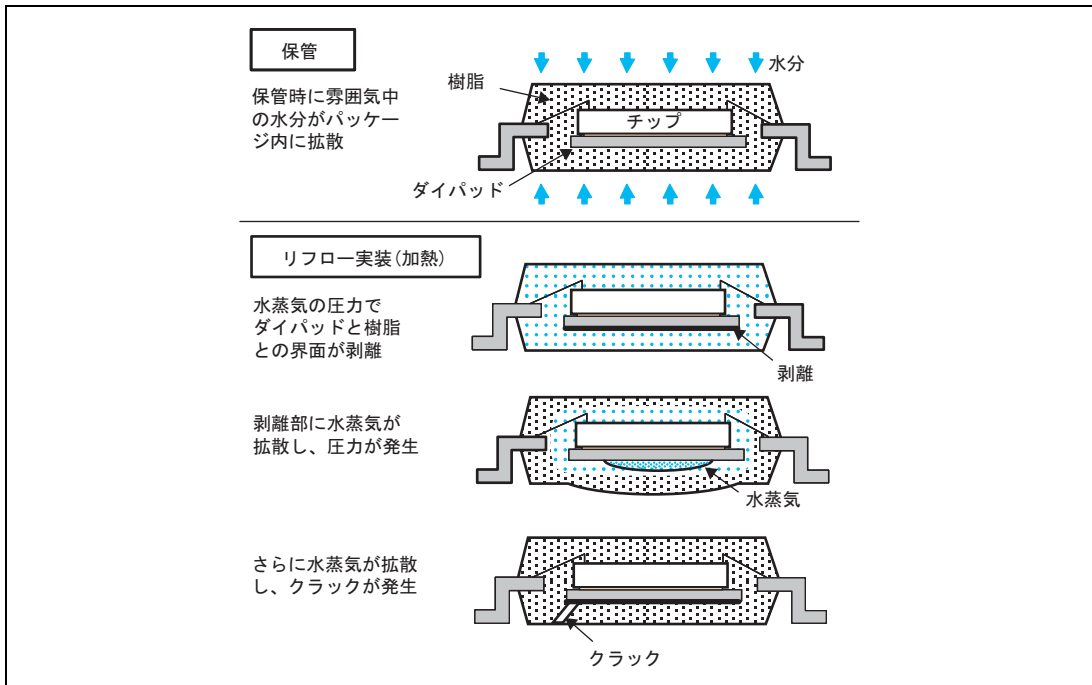
配線基板に接着剤で部品を仮止めし、部品面を下にして溶融したはんだ(フローソルダー)中を通過させ、はんだ付けをする低コストのはんだ付け方法です。ただし、デバイスの形状や寸法によっては、はんだ付けができない場合があります。高密度実装には適していません。

この全体加熱法は、はんだ付け部のみならずパッケージ本体も高温に加熱します。実際の実装温度は210℃を超える温度に達し、大きなストレスが表面実装型デバイス本体に加えられます。この結果、実装工程で表面実装型デバイスに発生する信頼性上の問題点として次の3点が考えられます。

- ・パッケージの樹脂クラック
- ・耐湿性低下
- ・ワイヤボンディング強度への影響

(2) パッケージクラック

パッケージクラックは、パッケージの吸湿と実装時の加熱の組み合わせで起こります⁽⁴⁷⁾⁽⁴⁸⁾。図 3.45 のように、吸湿は倉庫などでの保管時に起こり、雰囲気中の水蒸気が樹脂中に拡散し、樹脂内に水分が多量に含有されます。この吸湿したパッケージをリフロー炉で加熱した時、樹脂とダイパッドの接着力低下と同時に、材料間の熱膨張係数差による剪断力が発生するため微小な界面剥離が起こります。また、高温時には、水蒸気の拡散速度が上昇するため樹脂中から剥離部に水蒸気が吹き出し、剥離部の圧力上昇に伴い剥離範囲が拡大しながら次第に樹脂が膨れます。この膨れる過程でダイパッドの辺部に応力が集中し、樹脂にクラックが入ります。発生する応力はダイパッド裏面近傍の含有水分量、ダイパッドのサイズ、加熱温度及び時間に左右されます。

図 3.45 リフローはんだ付け時のクラック発生モデル⁽⁴⁹⁾





以上は、パッケージ裏面側のクラックの例ですが、同様にチップ表面が膨れてパッケージ表面側にクラックが発生する場合もあります。

(3) パッケージクラックが起こす問題点

パッケージクラックには表 3.4 のようにさまざまな種類が予想され、その種類により品質上の問題点も異なります。この中で、発生の割合が高いパッケージ裏面クラックは、ダイパッド裏面の剥離による樹脂の膨れ部がプリント配線板を押し、パッケージがずれることによりはんだ付け不良を起こす場合がありますが、耐湿性の劣化の可能性は低く、最もダメージの小さい形態です。

3. 半導体デバイスの故障メカニズム

表 3.4 パッケージクラックの種類と問題点⁽⁵⁰⁾

No.	パッケージクラックの種類	形状	問題点
1	パッケージ裏面クラック		耐湿性劣化 (劣化の度合いは極めて小さい)
2	パッケージのサイドクラック		耐湿性劣化 (劣化の度合いは小さい)
3	ボンディングワイヤと交差したクラック		ワイヤのダメージ, 断線 耐湿性劣化
4	パッケージ上面クラック		ワイヤのダメージ, 断線 ワイヤボンディング部の圧着はがれ 耐湿性劣化

(4) 実装時の改善策

表面実装型デバイスでは、製造後の取り扱い及び保管の管理が非常に重要であることはすでに述べましたが、環境の管理だけでは不十分です。保管中にパッケージは吸湿し樹脂のクラックが発生するため、保管時間の管理及び実装前ベークが必要です。図 3.46 は、ベークした場合のパッケージの脱湿特性を示します。このケースでは、125°C、20～24 時間程度のベークで充分脱湿されることがわかります。樹脂厚により 125°Cでの脱湿に必要な時間は異なります。また、物流期間での吸湿を避けるための防湿包装も効果的であり、図 3.47 に示すように外部からの影響を十分遮断することが出来ます。

以上の吸湿管理を行った上で、さらに実装時の温度をできるだけ低く、かつ短い時間で行うことが信頼性を確保する上で重要となります。

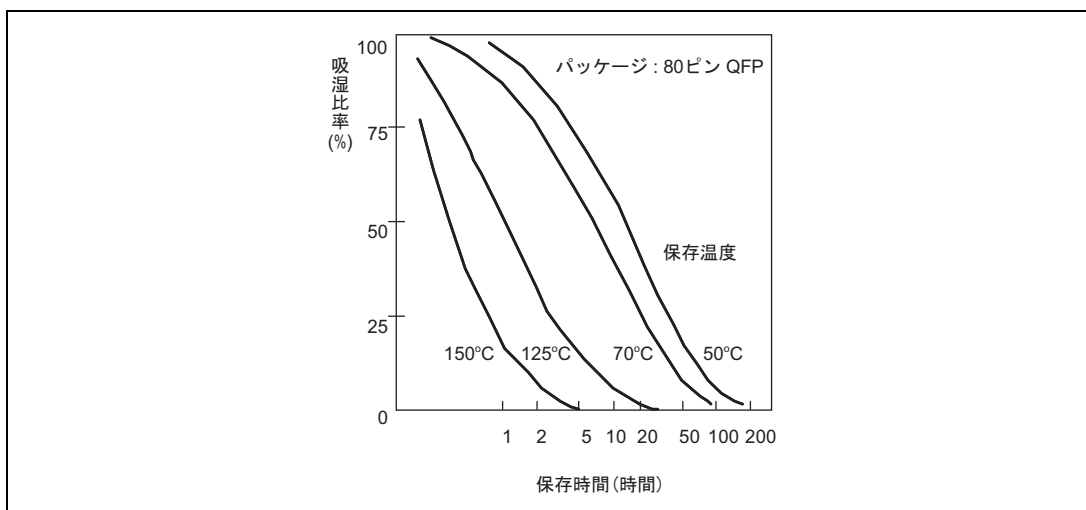


図 3.46 プラスチックパッケージの脱湿特性例

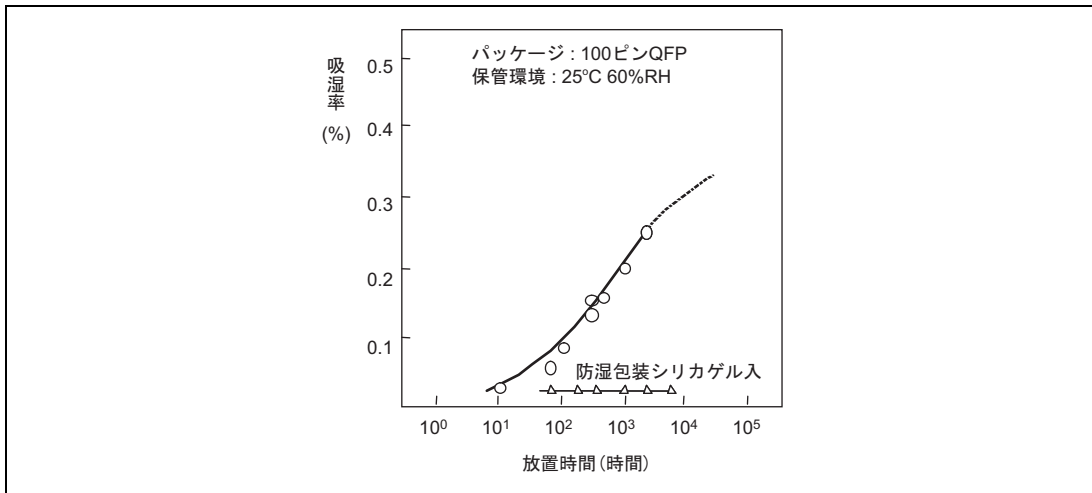


図 3.47 防湿梱包の効果

(5) まとめ

表面実装型デバイスの耐熱性問題回避のためには、

- ・パッケージ吸湿の管理(防湿包装開封後)
- ・実装条件の管理

が重要です。

当社の湿度に敏感な表面実装型デバイスは、吸湿を防ぐための乾燥剤入り防湿包装適用により万全を期していますが、デバイスの取り扱いに際しては、下記の注意が必要です。

- 半導体デバイスを保管している倉庫等の温度、湿度、期間を管理し、規定の時間内で使用してください。
- 防湿包装開封後は、規定の時間内で、速やかに使用してください。
- 実装は、許容耐熱条件を超えない条件による実装が必要です。

3.5 静電破壊と電氣的オーバーストレス破壊, ラッチアップ, 及びパワーデバイスに関する故障メカニズム

3.5.1 静電破壊と電氣的オーバーストレス破壊

半導体デバイスの特長は微細構造にあります。高速で高機能なデバイスは、この微細構造があつて実現できるものです。しかし、微細構造のため、一般に起こり得るレベルの静電気放電(Electrostatic Discharge: ESD)や電氣的オーバーストレス(Electrical Over Stress: EOS)により破壊することがあります。デバイスの主材料であるSi, SiO₂は自然界の中でも耐熱、耐電圧の面で優れていますが、微細構造のため大電流が流れると溶融、絶縁破壊などを起こします。

ESDは帯電した導体の放電によるもので、数〜数十Aのピーク電流で数ns程度のパルス幅の、大電流であるが瞬間的なためエネルギーが小さい特徴があります。一方、EOSは、それ以外の電氣的ストレスの総称であり、様々な原因が考えられ、ESDより低い電流であるが数桁も長いパルス幅のためエネルギーが大きい特徴があります。また、導電性異物やはんだブリッジによる回路基板上のショートなどの直流レベルの長時間のストレスも考えられます。図3.48は、ESDとEOSとのストレスの領域の違いを示しています。

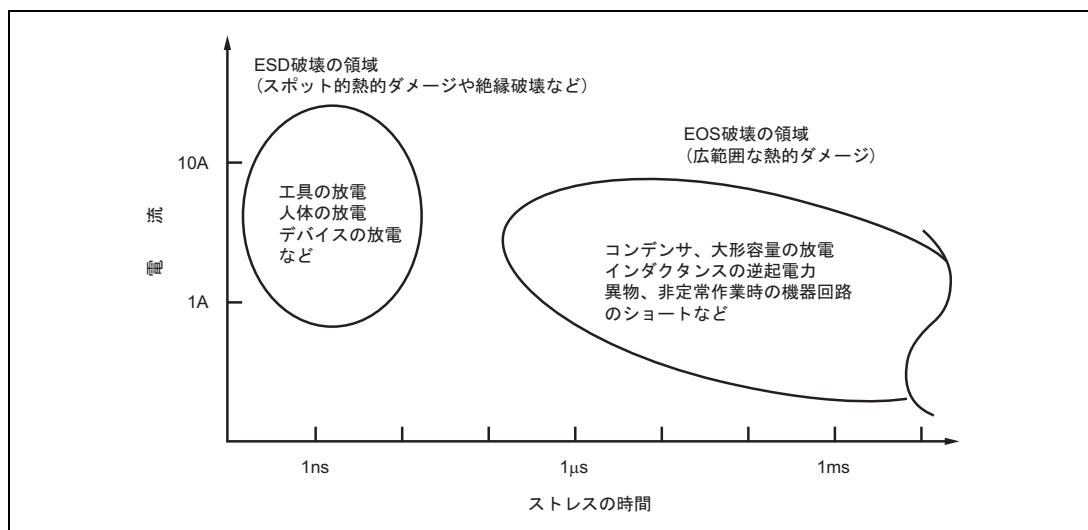


図 3.48 ESDとEOSとのストレス領域の違い

ESDは、瞬時に大電流が流れるため発熱部の温度が急上昇して溶融などが起こりますが、熱が周囲に伝導する前に放電が終了するため、狭い範囲のダメージとして観察されます。また、大電流にともなうデバイス内に高電圧が発生するためゲート酸化膜などの絶縁破壊も生じます。

一方、EOSは、ESDより電流は小さいがパルス継続時間が長いので、発熱部から熱を周囲に放熱(伝導)しながら発熱部のみならず周辺部も緩やかに温度が上昇し高温に達することで規模の大きいダメージが生じます。パルスの継続時間が長い場合、配線のエレクトロマイグレーションや炭化した樹脂の付着が観察される例もあります。電圧が低いので絶縁破壊の発生頻度は低いです。

素子構造が複雑で、並列回路で構成される IC や LSI は、ピーク電流値、パルス幅の違いにより、熱的破壊であっても破壊箇所や範囲、破壊の外観イメージが異なってきます。

最近ではデバイスを取り扱う工程の静電気管理の普及にともない ESD 破壊は減少し、EOS 破壊が増加する傾向にあります。EOS 破壊は、必ずしもサージのような電氣的ストレスのみでなく、数 V 程度の電圧が残存しているコネクタの接続、非正常作業時の電圧の誤印加やショート、導電性異物やはんだブリッジによる回路のショートなどのさまざまな原因が考えられ、原因解明には多面的な調査が必要であり、故障解析結果のみからの原因推定は極めて困難です。

また、ESD 試験では EOS 破壊は再現できません。EOS 破壊の再現には電流値を下げ、パルス幅を実際に合わせて長くする必要があり、通電中の破壊の場合は、デバイスを通電した状態でパルスを印加するなどの実際の状態を検討した上で実施する必要があります。

(1) 静電破壊と電氣的オーバーストレスによる破壊

表 3.5 のように、ESD 破壊と EOS 破壊には共通点があり、故障解析時に混同することがありますので注意が必要です。

表 3.5 電氣的ストレス要因からみた MOS 型デバイスの故障形態

故障メカニズム	電氣的ストレス要因	故障の特長
溶融によるボンディングワイヤ断線	EOS	大電流が長い時間流れることにより発生する。断線部は丸くなる。
溶融による金属断線	EOS	大電流が比較的長い時間流れることによって発生する。発熱と放熱の平衡状態の中で、温度が高くなる場所が溶融する。パルス幅が短い ESD では殆どみられない。
溶融によるポリシリコン断線	主として EOS	ポリシリコンは抵抗値が大きいため、電力が集中し溶融しやすい。
コンタクト部のダメージ	主として EOS	接合部の逆バイアス電流による熱がコンタクト部に伝わり金属配線が溶融。
熱的酸化膜劣化	主として EOS	接合部の逆バイアス電流の熱が酸化膜に伝わり劣化する。
接合劣化	EOS or ESD	接合部の逆バイアス電流の熱などで発生する。
ホットエレクトロントラッピング	EOS or ESD	高電界下で加速されたキャリアが MOST ランジスタの酸化膜にトラップされる。
電界による酸化膜劣化	主として ESD	ゲート酸化膜に電圧が印加されることにより発生する。

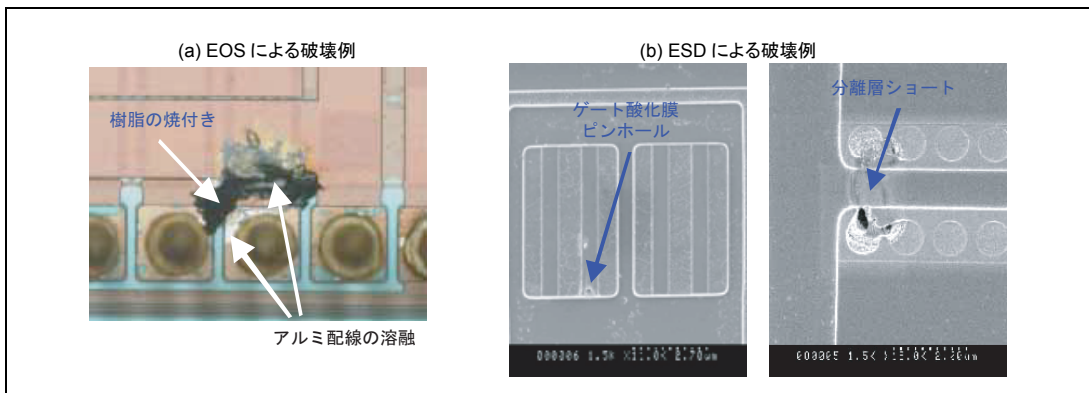


図 3.49 EOS と及び ESD による破壊の比較例

3. 半導体デバイスの故障メカニズム

例えば、図 3.49(a)のような配線の溶断、炭化した樹脂の焼付きはエネルギーが大きく、ストレス継続時間が長い EOS 破壊と判断できますが、損傷範囲が狭い場合は、ESD 破壊と EOS 破壊は外観上の共通点があり原因を分離できない場合があります。この場合、光学顕微鏡で容易に見て発見できるものは EOS 破壊と考えるのが妥当です。⁽⁵¹⁾⁽⁵²⁾

ESD による破壊は、接合、絶縁膜の破壊、酸化膜などへの電荷注入による特性変動などに分類できます。エネルギーが小さいため、多くは図 3.49(b)のように光学顕微鏡で痕跡を見ることができず、故障解析は容易ではありません。

配線の溶融、接合の破壊は、パルスなどの印加で生じる熱が関与しているものと考えられます。例えば、接合破壊の理論は、接合部に逆バイアスのパルス電流が加わることで加熱され、一定の温度を超えると接合部(Si の融点は 1415℃)が溶けることに着目した Wunsch & Bell のモデルが有名ですので、概略を紹介します。接合破壊の単位面積当たりの許容印加電力 P/A は式(3-5-1)のようになります⁽⁵³⁾⁽⁵⁴⁾⁽⁵⁵⁾。

$$\frac{P}{A} = \sqrt{\pi \cdot K \cdot \rho \cdot C_p} (T_m - T_i) \cdot t^{-1/2} \quad (3-5-1)$$

ここで、

P: 印加電力 (W)

A: 接合の面積 (cm²)

K: 接合部の熱伝導率 (Si: 0.306W/cm・K)

ρ: 接合部の密度 (Si: 2.33g/cm³)

C_p: 接合部の比熱 (Si: 0.7566J/g・K)

T_m: 接合部の熔融温度 (Si: 1688K)

T_i: 接合部の初期温度 (Si: 室温 (298K))

t: パルス幅 (ESD の継続時間)

式(3-5-1)のパルス幅 t 以外は定数のため、接合部の単位面積当たりの許容電力は-1/2 勾配の直線となります。図 3.50 は実験値をプロットしたもので、プロットは式(3-5-1)による許容電力値とその 1/10 の場合の間に入ることを示しています。

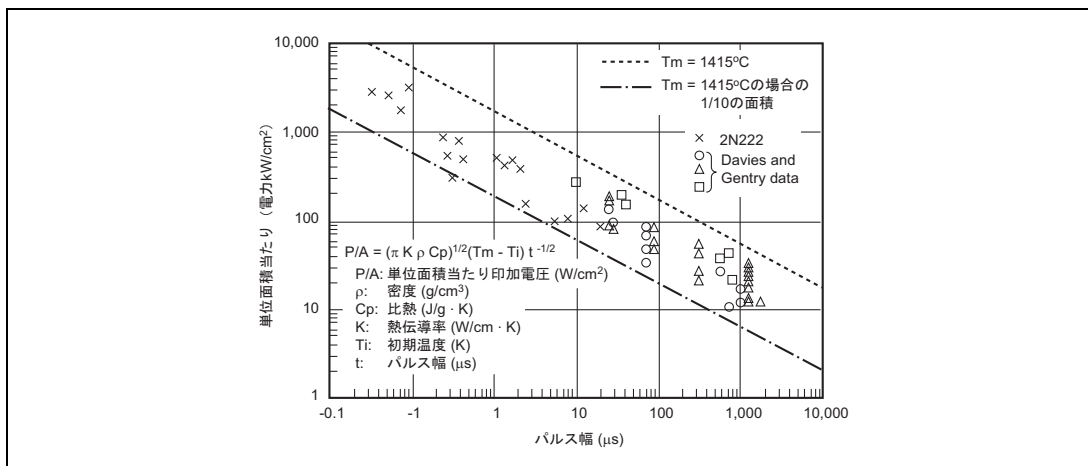


図 3.50 Wunsch & Bell プロット

このように、熱による破壊は、発生熱量、物質の比熱、熱の伝導性、耐熱温度に左右され、熱の発生箇所の拡散以外では基本的に避けることができない現象であることが分かります。ただし、実際の静電気放電の多くはパルス幅が図 3.49 のものより短く、エネルギーも小さいことを理解し、保護素子など熱的対策のみに偏らないよう配慮する必要があります。

一方、絶縁膜の破壊は高電界中で絶縁膜内の漏れ電流が時間とともに増加し、最終段階でジュール熱による熱的破壊が起こるものと考えられます。MOS 型デバイスのゲート酸化膜の耐圧は十数 V 程度のもので多く、それを超える電圧が印加されると破壊しますので、対応した保護素子が必要不可欠となります。

電荷注入による特性変動は、局部的に発生した電位差により加速されたキャリアが酸化膜に捕獲され、デバイスの特性が変化する現象であり、高温下で回復する場合があります。このモードの故障は外観上の異常がないため故障解析は困難です。

(2) デバイスの取り扱い工程で注意すべき帯電現象

帯電の原因をデバイスの取り扱いの観点から分類すると次の(a)～(c)のように3種類に分類出来ます。ここで示す図(図 3.51～図 3.53)はデバイスの帯電を表現していますが、プリント配線板、工具類、人体などの導体の帯電にも置き換えることが出来ます。

(a) 摩擦、剥離による帯電

最も良く知られた摩擦、剥離による帯電現象を示します(図3.51)。帯電した導体は、他の導体に接近すると放電します。また、静電誘導または充電により他の導体を帯電させることがあります。一方、帯電した絶縁体は放電しませんが、導体を静電誘導により帯電させる可能性があります。

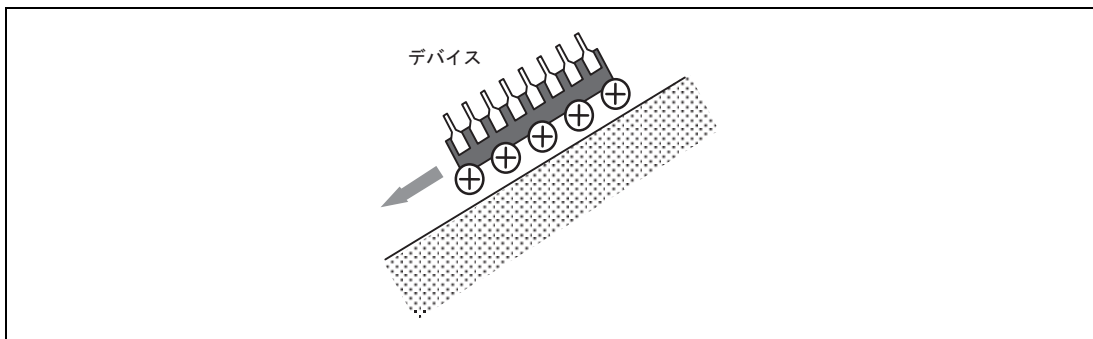


図 3.51 摩擦による帯電

(b) 静電誘導と帯電現象

デバイスの取り扱い環境で起こる現象ですが、一般的にあまり理解されていないですが着目すべき帯電原因の一つとなっています。図3.52のように帯電した物体に、デバイス、人体、工具類などフローティング状態の導体が接近した場合、その導体の電荷量の合計がゼロであっても静電誘導が起こり、他の導体に接触すると帯電した場合と同等の放電が起こります。また、この放電によりデバイスは実際に帯電するため、放電の危険が生じます。

3. 半導体デバイスの故障メカニズム

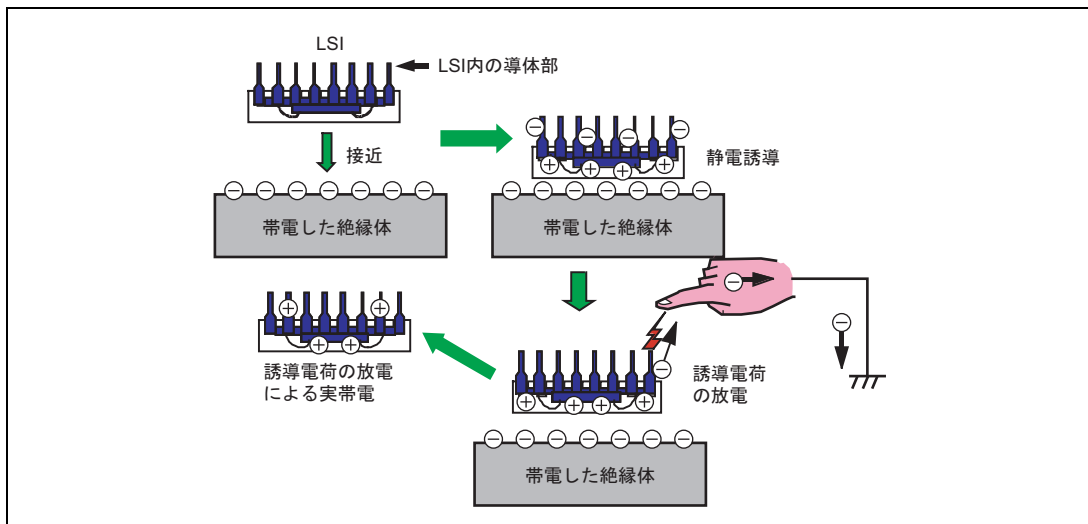


図 3.52 静電誘導による放電と帯電

(c) 充電による帯電

帯電していない導体に、帯電した導体が接触すると、その導体は帯電します。図3.53は、帯電した人体がデバイスを持つと帯電する例を示します。

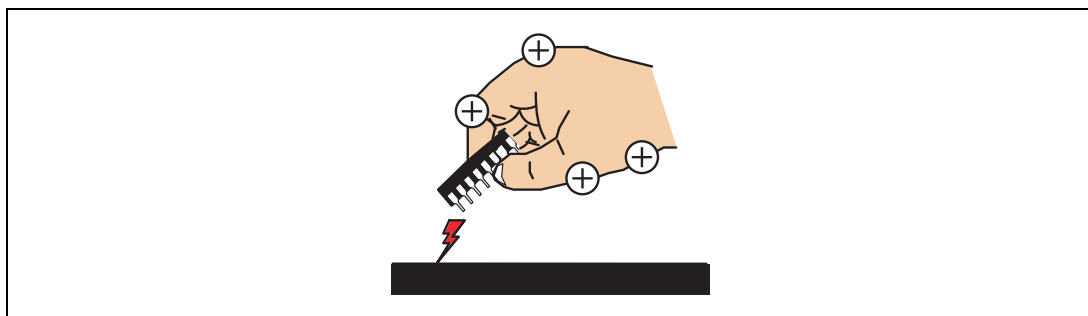


図 3.53 充電による帯電と放電

(3) デバイスを破壊する ESD 現象

デバイスの静電破壊は放電電流がデバイス内に流れたときに起こります。その電流が大きい程、破壊しやすくなります。実際の半導体の取り扱い環境で大電流が流れる条件はさまざまですが、その多くは導体(主に金属)が関与しているものと考えられます。

また、デバイスに流れる放電経路を分類すると、図 3.54 のようにデバイスの端子間を伝導電流が流れるモデルと、図 3.55 のように端子に伝導電流が流れデバイスの容量に変位電流が流れるモデルに分けられます。図 3.55 のモデルは放電経路が長い為、その経路に容量、インダクタンスが分布し、放電が図 3.54 と比較すると遅くなります。

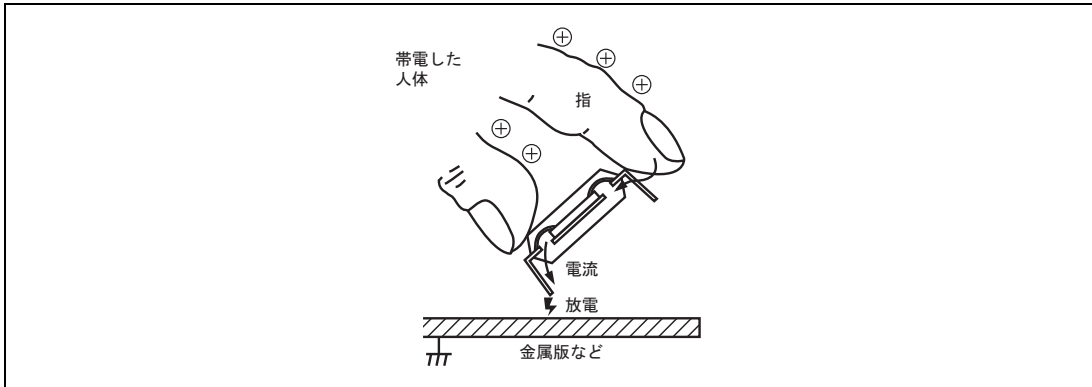


図 3.54 人体モデルの放電例(デバイスの端子間に伝導電流が流れるモデル)

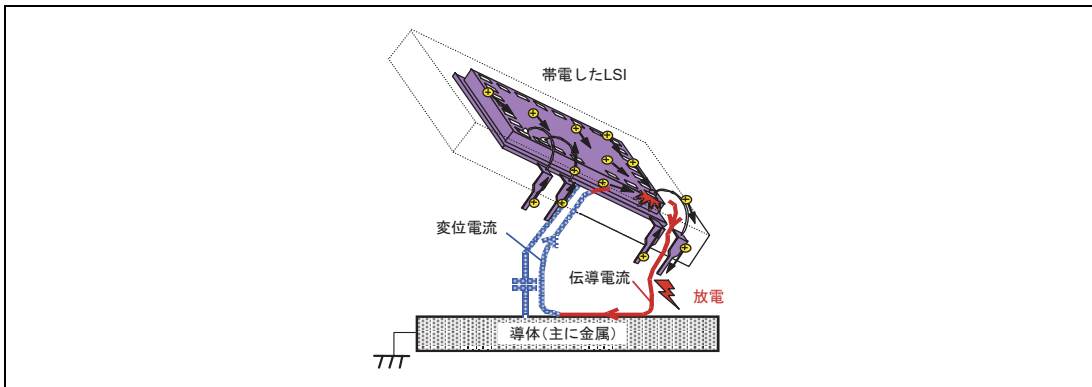


図 3.55 デバイス帯電モデルの放電例(放電端子に伝導電流, デバイス容量に変位電流が流れるモデル)

図 3.54 は人体からデバイスの端子間に流れる放電電流, 図 3.55 はデバイスと導体(主に金属)間の放電の例です。この例のように, 金属などの低抵抗の物体が関与する場合, 放電電流が流れやすく, 破壊しやすくなります。また, 図 3.54 においても電流が流出する GND 側が金属の方が破壊しやすいです。したがって, デバイスを取り扱う環境の中では, 帯電した物体のみならずデバイスが触れる物体にも注意が必要です。

(4) 実際の放電と試験方法

実際の静電気放電モデルに対して, 現在適用されている試験方法は大きく分けて 3 種類あります⁽⁵⁶⁾⁽⁵⁷⁾。

- ・人体モデル (Human Body Model : HBM)
- ・マシンモデル (Machine Model : MM) は人体モデルの代替方法に位置付けられます。
- ・デバイス帯電モデル (Charged Device Model : CDM)

(a) 人体モデル試験方法の特長

図 3.54 のように, 帯電した人体がデバイスに接触し, デバイスのピンに放電するモデルを人体モデル (Human Body Model: HBM) といいます。このとき, 他のピンが接地されるなど, 何らかの電位に接続されている場合に, 放電電流

3. 半導体デバイスの故障メカニズム

がデバイス内を貫通します。

このHBMに対するESD試験回路を図3.56に示します。コンデンサCは人体の静電容量、抵抗Rは皮膚の抵抗値を参考にしており、JEITA, JEDEC, MIL規格には $R=1,500(\Omega)$, $C=100(\text{pF})$ と定められています。

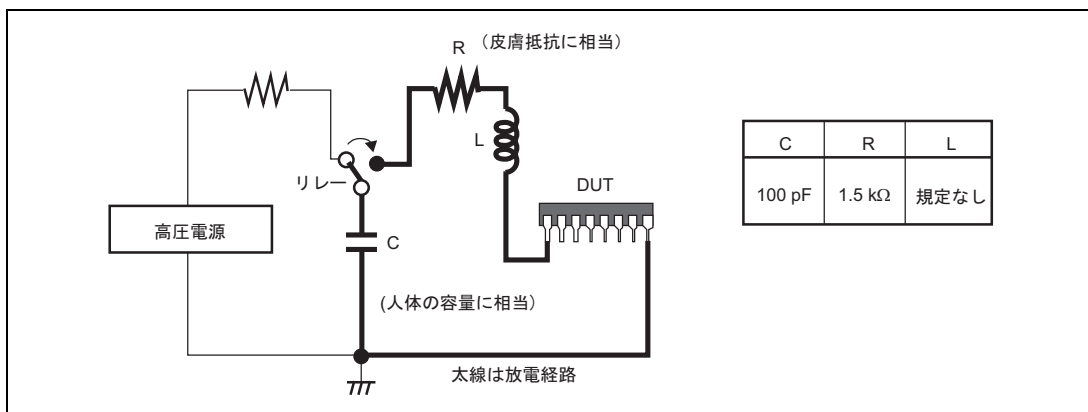


図 3.56 人体モデル試験回路

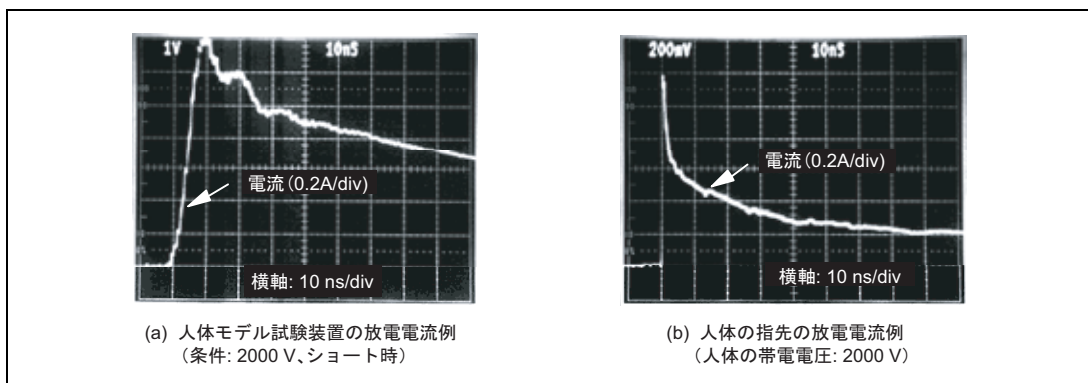


図 3.57 人体の放電と人体モデル試験装置の放電電流比較⁽⁷²⁾

図 3.57 に人体の放電波形と静電破壊試験装置の放電波形例を示します。このときの人体の静電容量は約 300pF (DC 的測定方法によるもの)でしたが、放電波形を解析するとデバイスを破壊する大電流を発生させる時間帯の容量は実効的に数 pF~数十 pF 程度であることが分かります。完全に放電するには数秒を要しますので、放電は周辺の高抵抗体を経由しているものと考えられます。一方、試験装置は 1.5k Ω の単一の抵抗で構成されていますので、単純な減衰波形を示しており、人体放電に対してエネルギーの面では数倍~10 倍程度と厳しく、配線を用いて構成しているため、インダクタンスなどにより立ち上がりが遅くなっていることが分かります。⁽⁶²⁾

ピーク電流はデバイス内で発生する電圧を、ピーク電流の維持時間はデバイスの中で発生する電力に影響しますので、HBM 試験方法は実際のデバイス破壊より電力による破壊を強調する傾向があります。

(b) マシンモデル試験方法の特長

この方法は日本で古くから実施していた人体モデル試験方法です(図3.58)。この方法は、当社では1960年代後半に社内試験業務に適用されていた記録があり、人体などの放電を低電圧で再現できる試験方法として位置付けられていました。1981年にEIAJ(現JEITA)で規格化されています。

また海外では、1980年代後半から、200pF、0Ωの条件が皮膚抵抗を考慮していない(0Ωとしている)ためマシンモデル(Machine Model: MM)法と呼ばれましたが、金属の放電を意味する『マシンモデル』という名称は誤解によるものです。この方法は、金属の放電とは関連がないことを理解する必要があります。その後、1996年に米国/JEDECでこの試験方法が規格化されています。日本の半導体ユーザからの試験データの要求が多いため、試験方法を統一する必要があったことがJEDECにおける規格化の背景です。認証試験の実施規格では、静電破壊試験はCDMやHBMが重視されており、このマシンモデル試験の実施は推奨されていません。

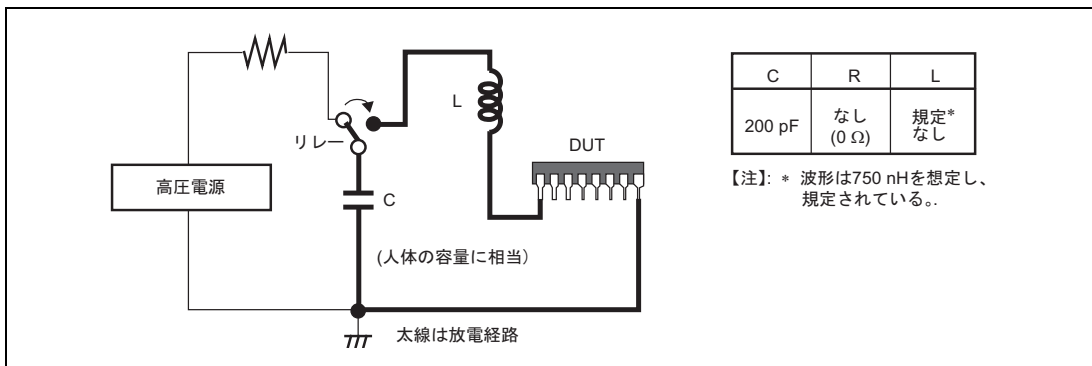


図 3.58 マシンモデル試験回路

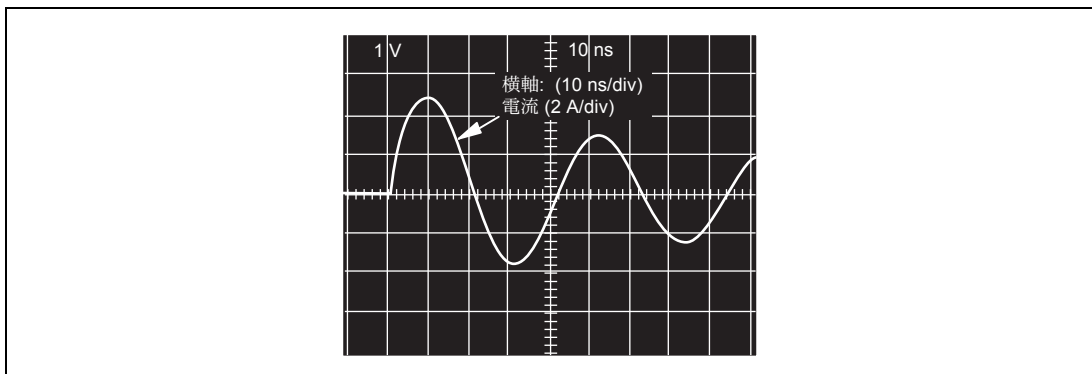


図 3.59 マシンモデル試験の放電波形 (インダクタンス L が小さい装置の例)

マシンモデル試験の出力波形は試験回路のインダクタンスの影響で減衰振動波形となります。図3.59は、JEDEC規格のものより配線が短い装置の波形で、立ち上がり早い装置の例です。

一方、半導体を取り扱う工程の中で、帯電しやすい金属類は工具やツール類と考えられます。大型の装置類は接地されていますので、接地の断線等がない限り帯電することはありません。図3.60は帯電した金属製ピンセットの放

3. 半導体デバイスの故障メカニズム

電波形例です。特長は、立ち上がり時間が極めて短く、3.5GHzのオシロスコープでほぼ測定限界の100ps程度であることが分かります。さらにその他の小型金属製ツール類の放電波形も同様な波形になります。金属塊の放電はこのように極めて高速の放電を示し、後で示すCDM放電に似ています。このように、金属の放電が早い理由は、帯電している金属がインダクタンスをほとんど持たないためです。⁽⁶⁰⁾⁽⁶¹⁾

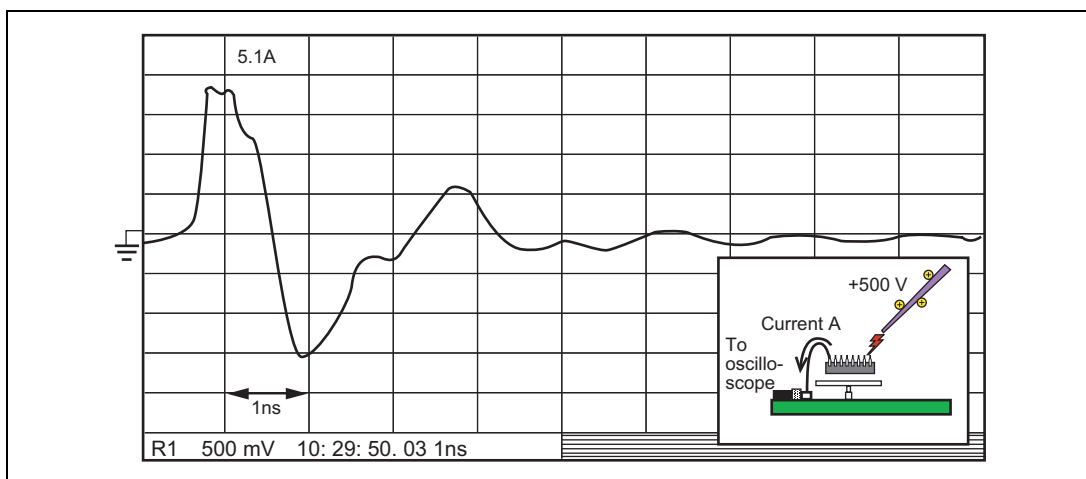


図 3.60 帯電した金属製ピンセットの放電波形(マシンモデル放電波形と全く異なる)

以上のように、マシンモデルは試験方法の名称が示すような金属の放電と全く異なった特性を持っており、一般の半導体の取り扱い工程で見ることができない波形となり、試験結果とフィールドとの相関性も認められないことから、JEITA 規格では参考試験になっています。JEDEC も推奨していません。

(c) デバイス帯電モデル

最近の機器組み立て工程の自動化により、人がデバイスに触れる作業は減り、HBMによるESD不良は減る傾向にあります。一方、自動装置内でデバイスが摩擦や静電誘導を受け、さらにデバイスが金属類に接触する機会が増えています。⁽⁵⁸⁾⁽⁵⁹⁾⁽⁶³⁾

以上の帯電したデバイスが金属類に接触して起こるCDM放電は、工程の自動化にともない増える傾向にあり、注意すべき放電モデルと考えられます。

CDM放電は図3.61に示すように、帯電したデバイスが装置や治工具類などの金属部に接触して起こるものです。放電は極めて高速であり、測定には1GHzを超える帯域のオシロスコープが必要です。図3.62は、図3.55のCDM放電例の波形測定結果です。波形の立ち上がり時間はオシロスコープの測定限界の100ps未満であり、人体モデルやマシンモデルの2桁以上早いことが分かります。

一方、すでに説明したようにCDM放電は、図3.60の金属の放電に似ていることが分かります。

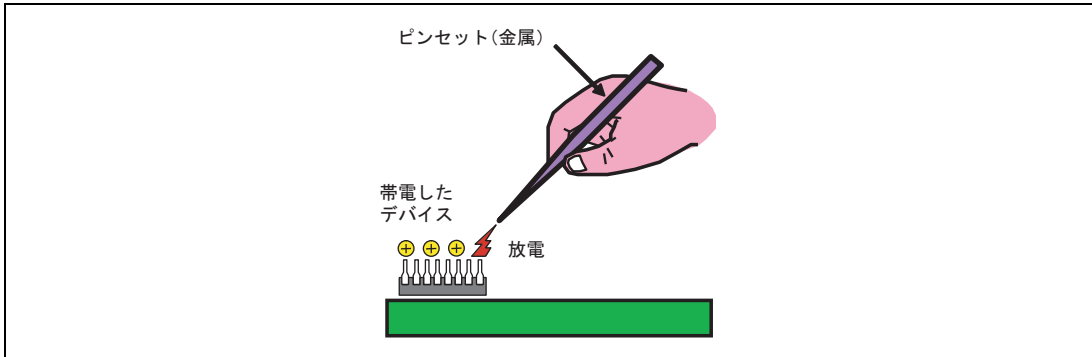


図 3.61 デバイス帯電モデルの放電例（金属工具類に放電する例）

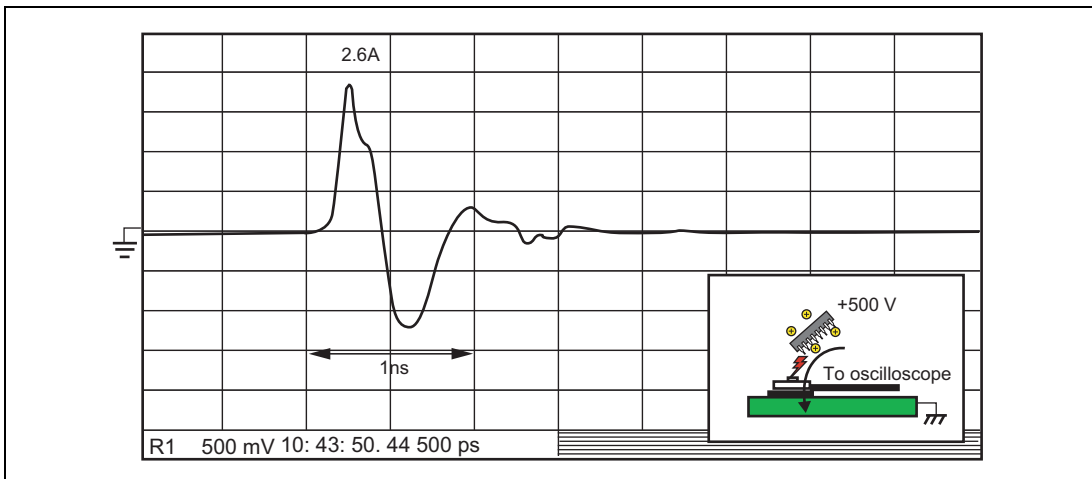


図 3.62 デバイス帯電モデルの放電波形(3.5GHz オシロスコープで測定)

CDM放電によるESD破壊はデバイスの導体部に一様に帯電した電荷が、放電ピンのパッド部に集中して起こります。放電電流は高速の振動波形のため、デバイス内に激しい過渡現象をとまいません。したがって、大半の破壊は過渡電圧の印加による酸化膜などの絶縁破壊ですが、エネルギー集中による熱的破壊が起こることもあります。図 3.63は実際のCDM法試験回路の事例(当社で開発したものです)。この試験回路は接地棒が図3.61のピンセットなどの工具類に相当し、実際に存在する放電形態です。

図3.64はCDMの問題が明確でなく工程対策が不十分であった1980年代に社内内で問題となったデバイスのパッケージのアセンブリ工程における不良率とJEITAで規格化されているCDM試験結果の関係を示すものです。CDM試験と工程不良率は明らかな相関があり、デバイスのコーナのピンは他と接触しやすいため、放電する確率が高いことを示しています。⁽⁷⁰⁾

3. 半導体デバイスの故障メカニズム

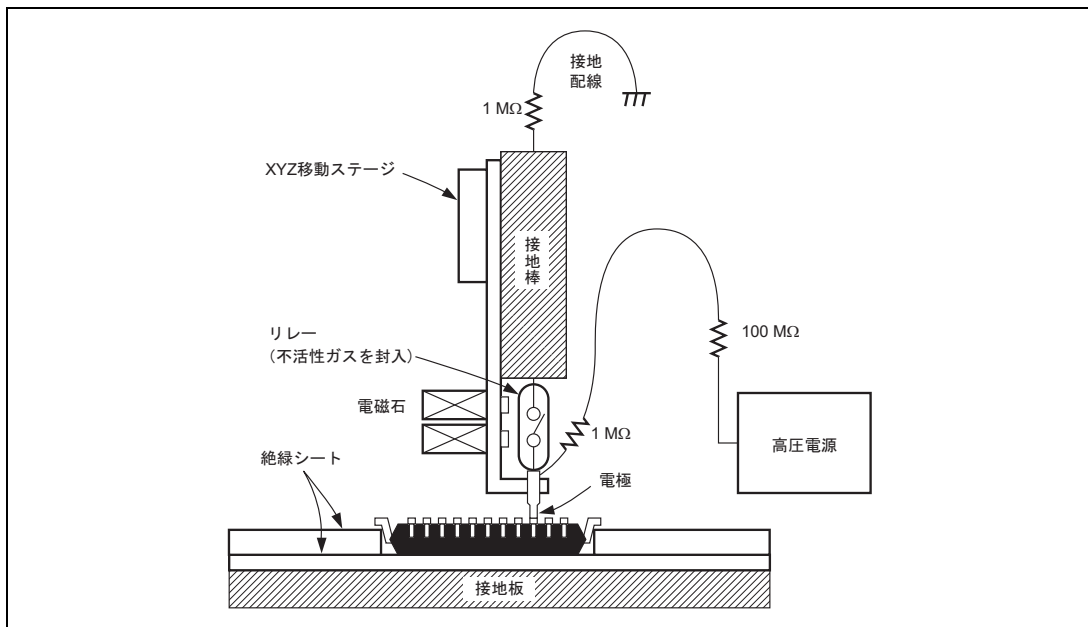


図 3.63 CDM 法の試験回路例
(高圧電源でデバイスを充電後、リレーを閉じてデバイスから GND 棒に放電)

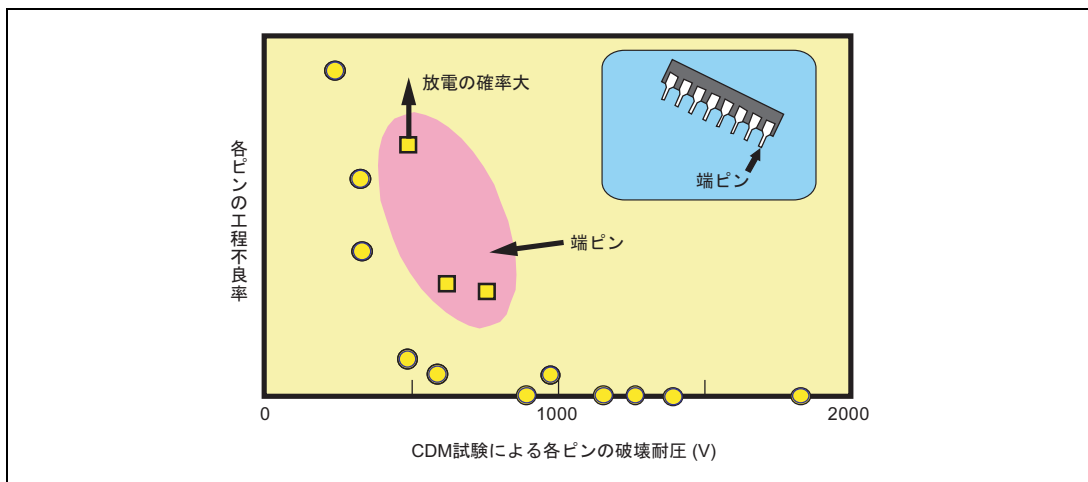


図 3.64 パッケージのアセンブリ工程不良率と CDM 試験強度の関係

(d) CDM 放電を含む複合放電例

帯電した人がデバイスを手で持った状態でデバイスのピンが金属板に触れた場合は、人体モデルの放電を連想しますが、実際にその放電電流を測定すると、この電流以外にCDM放電と等価な電流が観測されます(図3.65)。放電は次の過程を経て起こります。まず、金属板とデバイスの端子が接触することで、この電界情報がデバイスに伝達され、デバイスに蓄積された電荷の放電を開始します。これはCDM放電と等価な放電です。次に、電界情報が人体に伝達され、人体の電流がデバイスを経て金属板に流れます。図3.66は測定波形例で、皮膚抵抗の影響により、人体からの放電電流は小さく、時間は長くなります。そして、CDM放電電流の方が大きな電流値を示します。以上の例のみでなく、異なった電位の導体が接触するときCDMと等価な放電が観測されます。それが市場故障の中でCDM故障の比率が高い理由の一つになっているものと考えられます。⁽⁶⁰⁾⁽⁶¹⁾⁽⁶²⁾

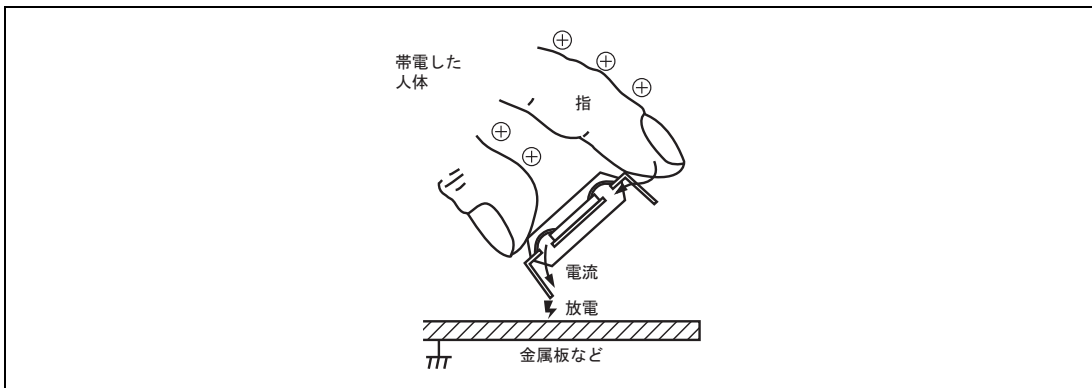


図 3.65 人体モデルとデバイス帯電モデルの複合放電例

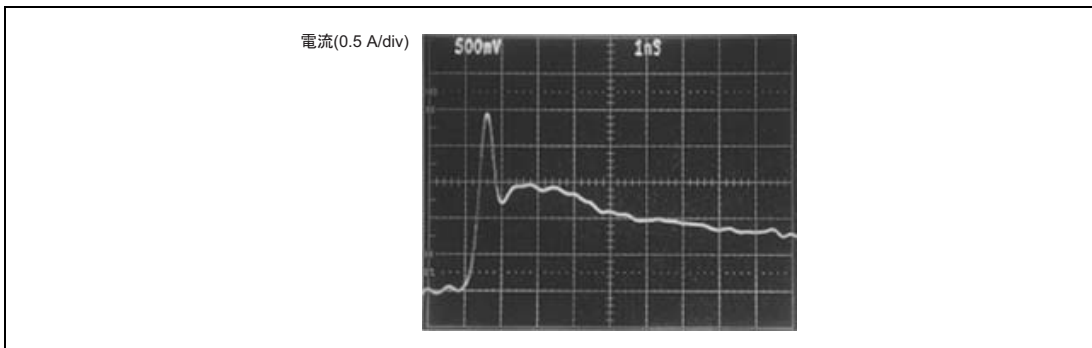


図 3.66 複合放電の電流波形例

3.5.2 ラッチアップ

(1) 概要

CMOS デバイスは、その低消費電力性、雑音余裕度の広さなどの特長を持っていることから、電子機器の低消費電力化、高性能化に適したデバイスとして広く使用されています。また、CMOS の微細化技術を用い、集積度の高い大容量メモリ、高性能マイクロコンピュータなどが多く作られています。

しかし、CMOS デバイスは構造上、寄生の NPN、PNP バイポーラトランジスタが入出力回路部にでき、これが寄生サイリスタを形成します。CMOS デバイ스에電源バイアスを加えた状態では、例えば工程内での基板組み込み後の検査などでこの寄生サイリスタをターンオンさせるのに十分な外来サージなどのノイズが CMOS デバイ스에飛び込んだ場合、電源ラインに過電流が流れ続け、場合によっては素子破壊になる現象、すなわちラッチアップ現象を生じます。特に微細化構造の最近の LSI では、この寄生素子の影響を受けやすくなっており、設計する場合に十分考慮しなければならない項目の一つになっています。

(2) メカニズム

CMOS デバイスは、二つの特性の異なる MOS トランジスタから成るインバータを基本素子としているので各所にバイポーラトランジスタが寄生します。この寄生素子の組み合わせにより等価回路は若干異なりますが、一例として寄生トランジスタを考慮した断面概略図を図 3.67 に示します。また、この断面概略図中の寄生トランジスタ回路の等価回路を図 3.68 に示します。

まず、出力端子に充分大きな正の DC 電流またはパルス電流が入った場合を考えます。

1. トランジスタ TR3 のベースとエミッタ間が順バイアスされ、TR3 がオン状態になる。
2. 電流 I_g が TR2 のベース抵抗 R_p を通って V_{SS} に流れる。
3. R_p の電圧降下により TR2 のベース電位が上昇し、TR2 がオン状態になる。
4. V_{CC} から TR1 のベース抵抗 R_N を通じて電流が V_{SS} に流れる。
5. R_N の電圧降下により TR1 のベース電位が上昇し、TR1 がオン状態になる。
6. V_{CC} からオンした TR1、抵抗 R_p を通って電流が V_{SS} に流れる。
7. この電流により TR2 のベースが再びバイアスされる。

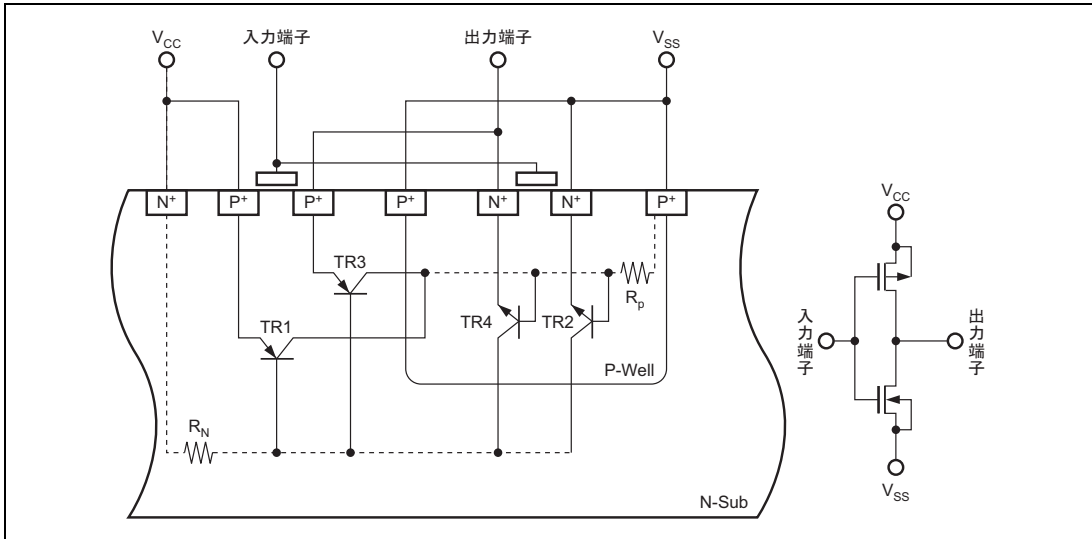


図 3.67 CMOS インバータ及び断面概略図

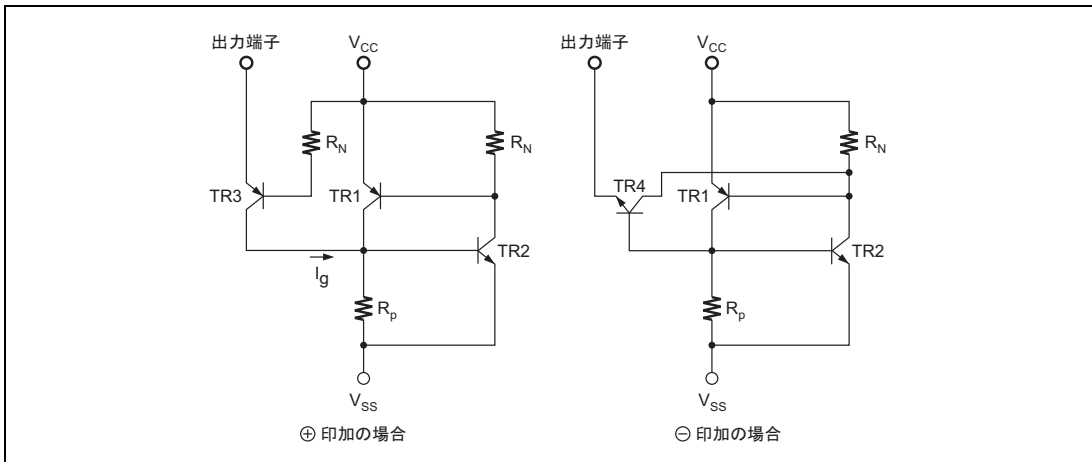


図 3.68 寄生サイリスタ等価回路

このように、TR1、TR2 から成る閉ループ回路に正帰還がかかり、外部からのトリガ電流がなくなっても V_{CC} と V_{SS} 間に正
 常に電流が流れるようになります。トリガ電流が負の場合は TR4 がトリガを伝達する働きをし、正の場合と同様に TR1、
 TR2 から成る閉ループ回路に正帰還がかかります。

3. 半導体デバイスの故障メカニズム

(3) 試験方法

ラッチアップ試験方法は、いろいろありますが、EIAJ ED-4701/試験方法 306, JEDEC/JESD78 に規定されている2種類の方法について示します。

(a) パルス電流注入方法

パルス電流注入方法(図3.69)は、所定の電源電圧を印加したデバイスの入力または出力端子にトリガパルス電流を流し、ラッチアップを引き起こすトリガパルス電流値を求める方法です。その際、デバイスの入出力端子の入力抵抗が大きく電流が流せない場合はトリガパルス電流源の出力電圧が規定値(クランプ電圧)を超える時点で注入を打ち切ります。この方法は過電流注入による破壊をさせないように注意し、かつラッチアップ試験後に破壊していないことを確認することが重要です。

(b) 電源過電圧方法

電源過電圧方法(図3.70)は、デバイスの電源電圧に対するラッチアップ強度を測定するためのもので一般に推奨電源電圧まで評価します。

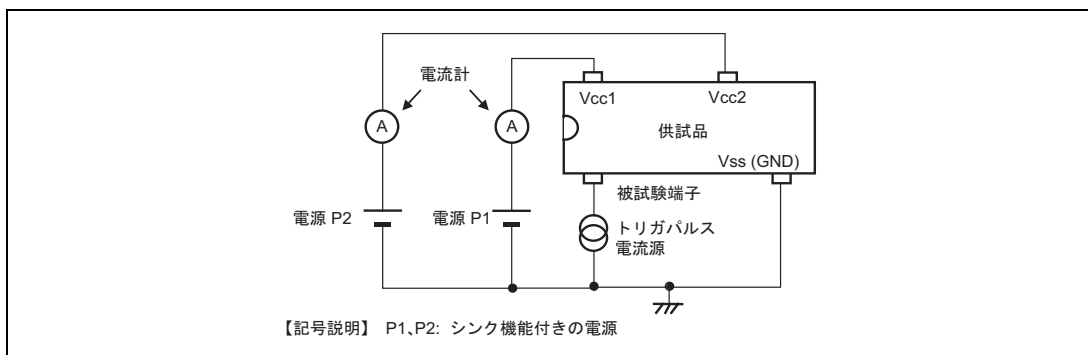


図 3.69 ラッチアップ試験回路 (パルス電流注入方法)

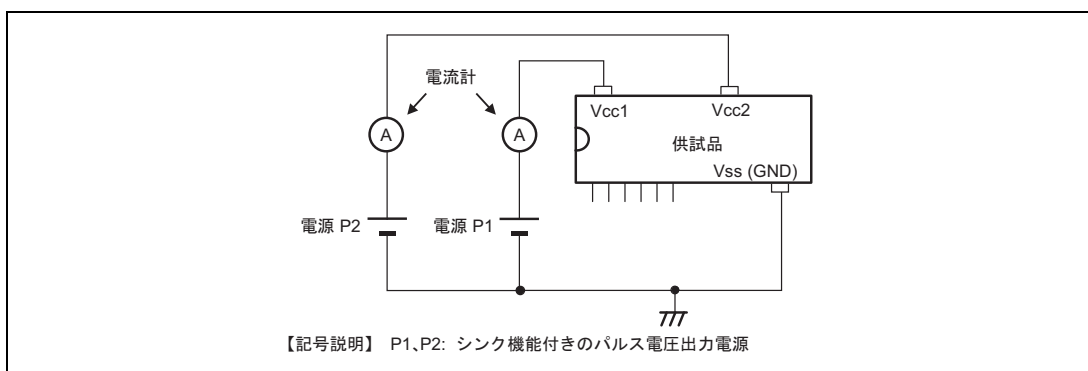


図 3.70 ラッチアップ試験回路 (電源過電圧方法)

3.5.3 パワーMOS FET の破壊

パワーMOS FET はその高速スイッチング特性と負の温度特性を兼ね備えた、優れたパワーデバイスであることにより、電子機器の小形化、高効率化、高精度化に伴いスイッチング電源、モータ制御に広く用いられ、また電装、OA、照明などの応用分野で急速に市場を拡大しています。一方、高周波、大電力動作となるに従い、パワーMOS FET 特有の構造設計（微細加工とセル構造）に伴う破壊を発生します（図 3.71、図 3.72）。

(1) L 負荷破壊（アバランシェ破壊）

アバランシェ破壊は、パワーMOS FET に構造的に存在する寄生トランジスタが動作し破壊する現象です。トランスやモータなどのインダクタンス L 負荷動作オフ時（高速スイッチング動作時）に発生するフライバック電圧や、リーケージインダクタンスによるスパイク電圧がパワーMOS FET のドレイン定格耐圧を超えると、ドレイン・ソース間がアバランシェ降伏を起し、アバランシェ電流が素子内を流れます。

アバランシェ電流としての一部はソース(N⁺)領域下のベース抵抗 R_Bを流れます。したがって、R_Bが大きい場合、またはアバランシェ電流が大きい場合ベース-エミッタ間の両端に電位差が生じ、寄生バイポーラトランジスタが動作する場合があります。その場合、電流集中が発生し、パワーMOS FET が破壊します。

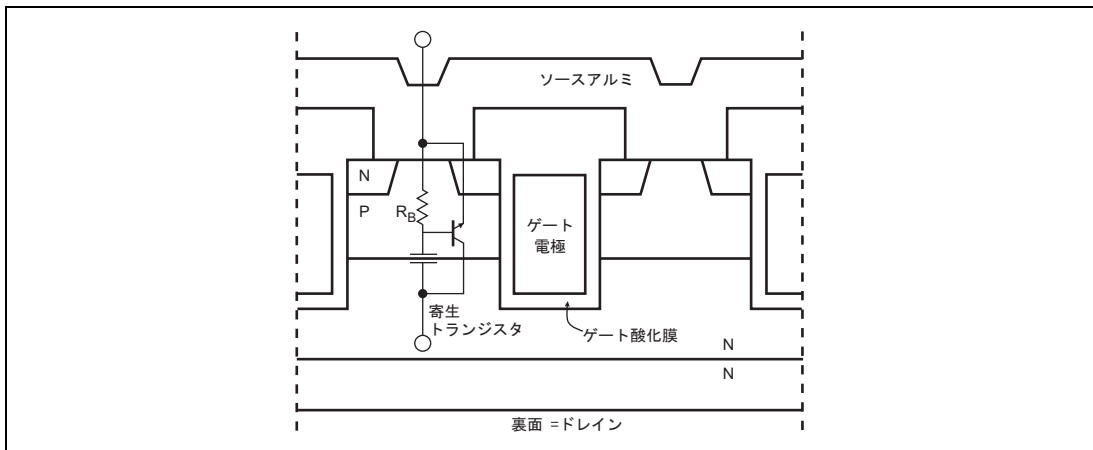


図 3.71 パワーMOS FET の断面構造

3. 半導体デバイスの故障メカニズム

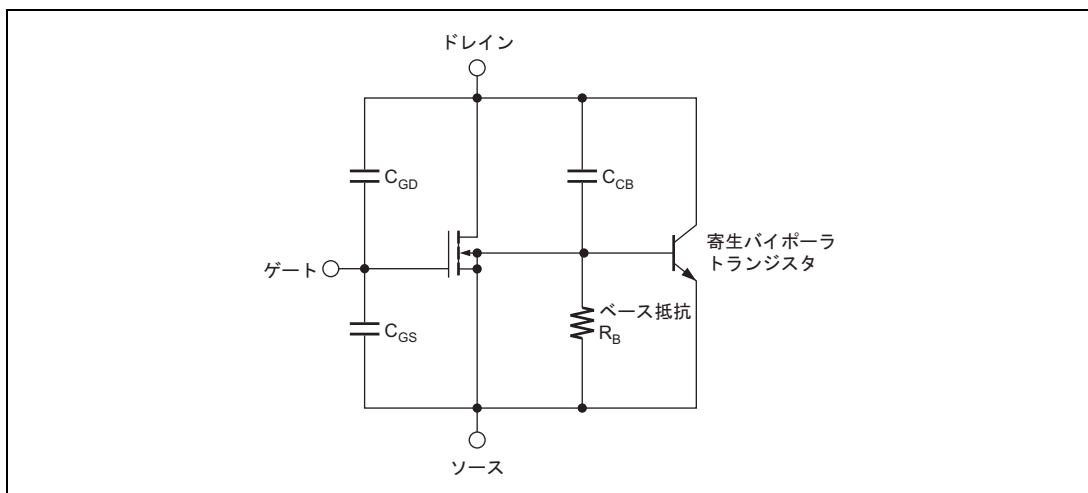


図 3.72 パワーMOS FET の等価回路

アバランシェ耐量の評価回路図及びその動作波形を図 3.73 及び図 3.74 にそれぞれ示します。ターンオフ時にゲート電圧 V_{GS} がしきい値電圧以下になると、インダクタンス L を流れるドレイン電流 I_D が減少しドレイン電圧 V_{DS} が急激に上昇します。その電圧が $V_{DSX(SUS)}$ に達するとパワーMOS FET はアバランシェ降伏を起しドレイン電圧は一定となります。インダクタンス L に蓄えられたエネルギーはアバランシェ電流としてパワーMOS FET 内を流れ、熱として消費されます。以上に示すように、アバランシェ耐量はインダクタンス L に蓄えられたエネルギーをパワーMOS FET が破壊されることなく消費できる耐性を示します。

なお、アバランシェ動作の許容可否は、①起動時等の固定時間であること(定常状態で最大定格を超えていないこと)、②アバランシェ電流値が最大定格内であることを確認・検討する必要があります。

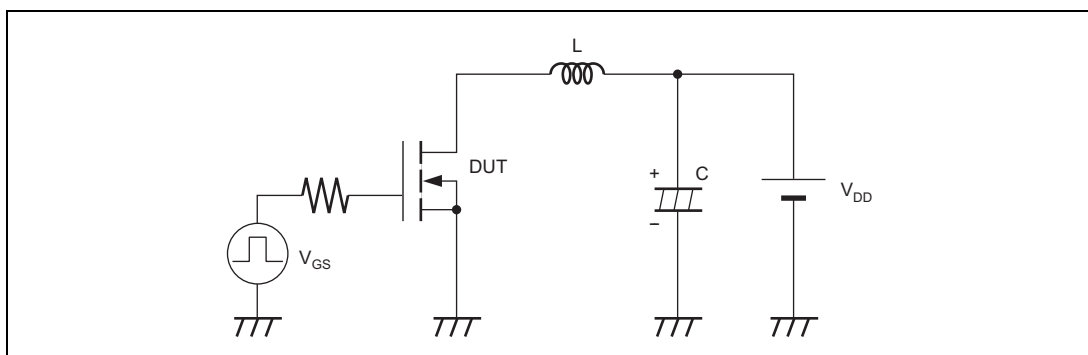


図 3.73 アバランシェ耐量評価回路

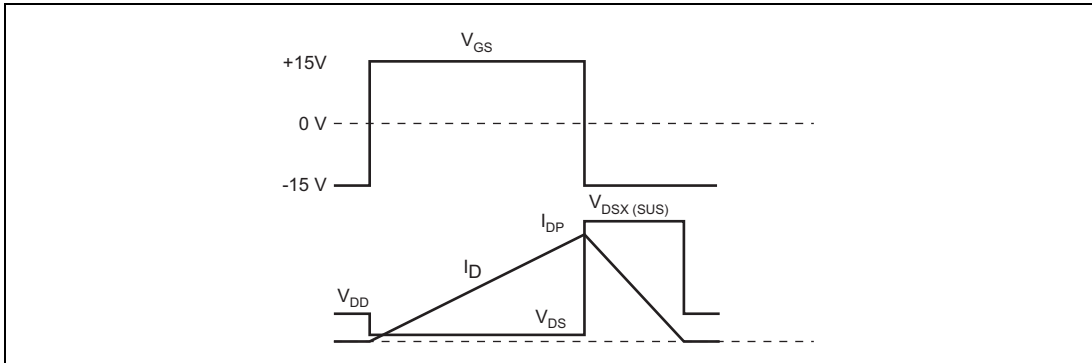


図 3.74 アバランシェ動作波形

(2) ゲート酸化膜の静電破壊

パワーMOS FET は電力用素子ですが、MOS 構造を有しているため、静電気や過電圧がゲート電極に印加されると、デバイスを破壊することがあります。これを防止するためゲート保護素子を内蔵している製品もあります(図 3.75, 図 3.76)。しかし、高耐圧、大容量が主流となっているDMOS 構造の縦型パワーMOS FETでは、構造上電氣的に寄生効果が生じるため、PN 接合を用いた保護素子の内蔵は困難です。したがって、保護素子非内蔵のパワーMOS FET については、絶縁膜上に形成した多結晶シリコン素子を用いることにより耐量の向上を図ります。

ゲート酸化膜の静電破壊に対しては、次の三つの対策方法が挙げられます。

- ① 人体に対しては、抵抗 $1M\Omega$ を介した人体アースをとり取扱い作業をします。
- ② 装置の接地を確実にを行います。
- ③ 基板実装後に考えられるゲートサージ印加対策としては、ゲート抵抗・ツェナーダイオードを挿入します。

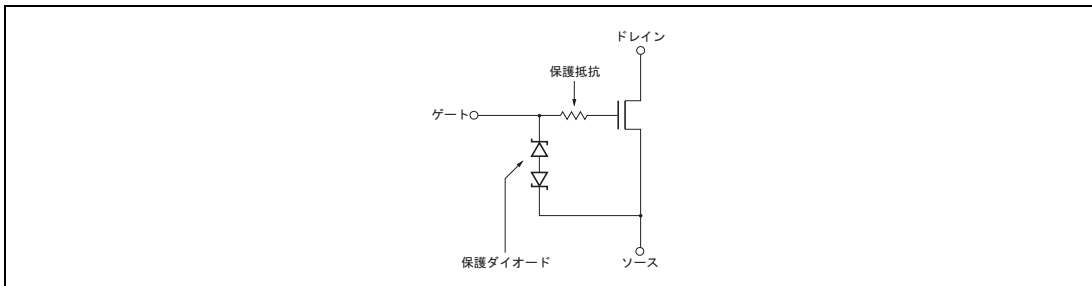


図 3.75 ゲート保護回路

3. 半導体デバイスの故障メカニズム

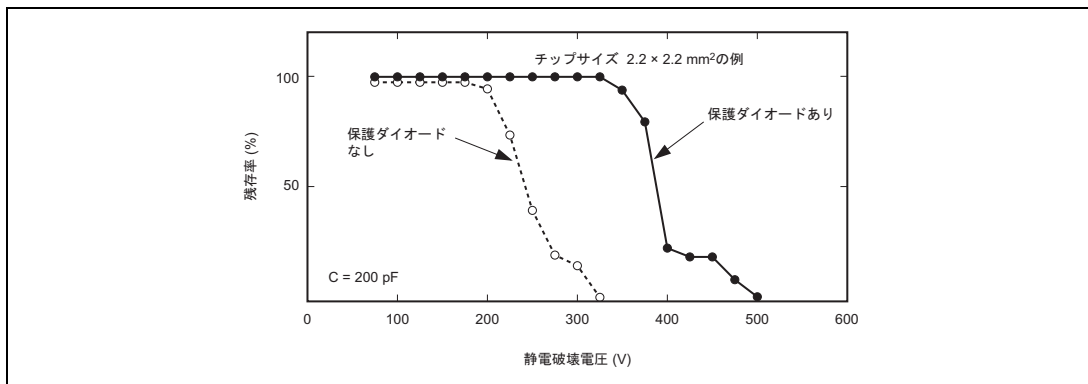


図 3.76 ゲート酸化膜の静電破壊強度

(3) 駆動電圧低下による破壊

パワーMOS FET 動作中のゲート駆動電圧の低下(4V の低電圧駆動品を除いて一般的には約 10V は必要です)は、能動動作領域(図 3.77)に入るため、放熱設計によっては SOA (安全動作領域)オーバーに至って破壊する場合があります。この場合、過負荷、電源投入時、電源変動などで過渡的にゲート電圧が低下していないかのチェックが必要です。

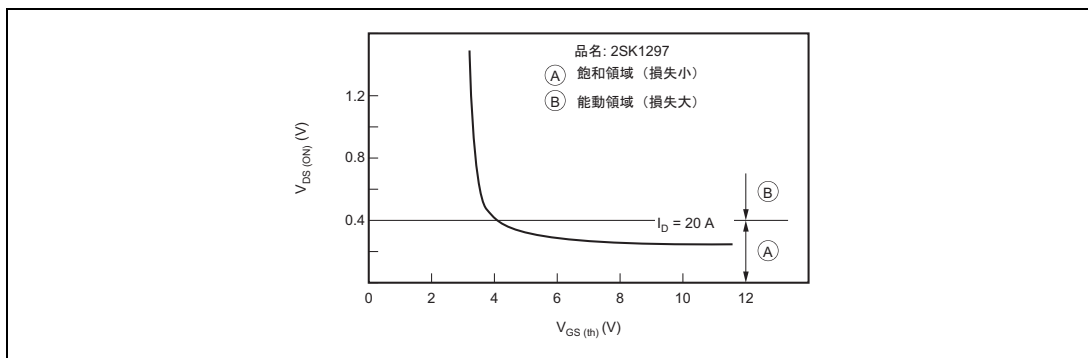


図 3.77 実装時の $V_{ds(ON)}$ - $V_{gs(th)}$ 特性

(4) パワートランジスタの二次降伏

パワートランジスタのスイッチング動作時に定格電圧、定格電流及び許容損失内であっても瞬時的にC-E間が短絡し回復しない故障が起きる場合があります、この現象を二次降伏による破壊といいます。

図3.78に安全動作領域(SOA)例を示します。

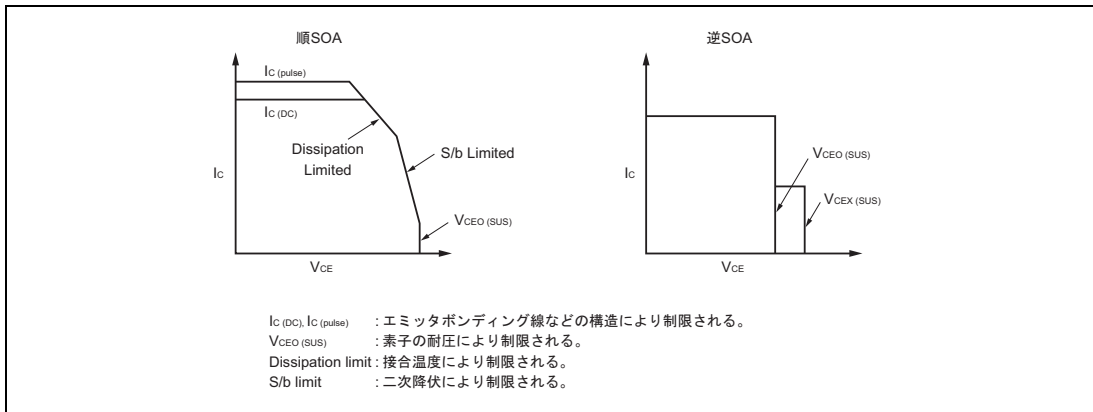


図3.78 安全動作領域(SOA)

二次降伏には、活性領域(ベースが順バイアス)で使用されているときに見られる順バイアス二次降伏 (forward secondary breakdown)とトランジスタがターンオフするときに見られる逆バイアス二次降伏 (reverse secondary breakdown)があります。

この破壊耐量値はデータブック上、順SOAカーブ及び逆SOAカーブにて表示されています。

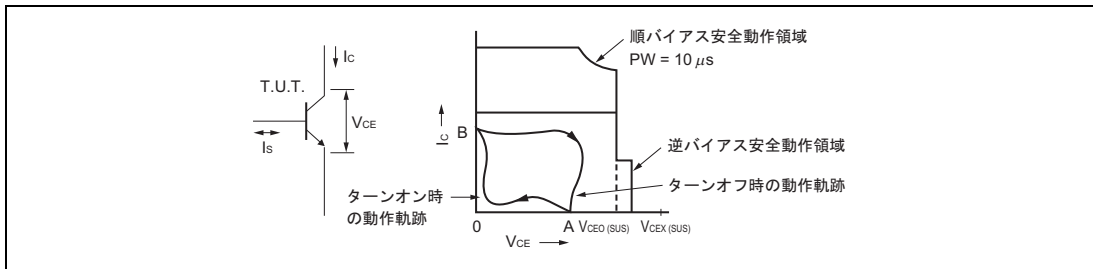


図3.79 スwitching動作時の安全動作領域

一般にトランジスタを誘導負荷にてスイッチング動作させた場合には図3.79に示したようにしゃ断領域[A]と飽和領域[B]の間をターンオン時には[A]→[B]、またターンオフ時には[B]→[A]におおのの動作軌跡を描いて能動領域を移動します。

ここで安全動作しているか否かはターンオン時、ターンオフ時の動作軌跡がそれぞれ順バイアス安全動作領域、逆バイアス安全動作領域で規定された領域内であることを確認し適切なディレーティングを行うことにより判断が可能です。

3. 半導体デバイスの故障メカニズム

[順バイアス二次降伏時の故障現象]

ベース電流はベース電極よりエミッタ方向へ流れ込みます。このときエミッタ周辺部に電流集中が生じるフリンギング効果が起きます。電流集中が発生すると局部的な温度上昇が始まり当該箇所は正帰還作用により、抵抗が低下しさらに電流が流れ込みシリコン自体の溶融が起きホットスポット破壊となります。

なお、このような電流集中を改善するためエミッタストライプにバラスト抵抗を付加した構造を持つデバイスがあります。

[逆バイアス降伏時の故障現象]

トランジスタを I 負荷で高速動作させるときに逆バイアス二次降伏が起きます。ターンオフ時にベース電流はベース電極にひかれますがエミッタベース接合はエミッタ中央部分で順バイアス状態で残されるため中央部分にのみ電流流路が残されるピンチイン効果が発生します。

この残された流路に集中した電流により破壊に至ります。

以上簡単に二次降伏現象について述べました。順バイアス二次降伏耐量は接合温度を上げると低下するのに対して逆バイアス二次降伏は逆に向上します。逆バイアス二次降伏現象は熱的不安定性によって発生するのではなく、電気的不安定(すなわち不均一さ)により発生することを示しています(図3.80参照)。

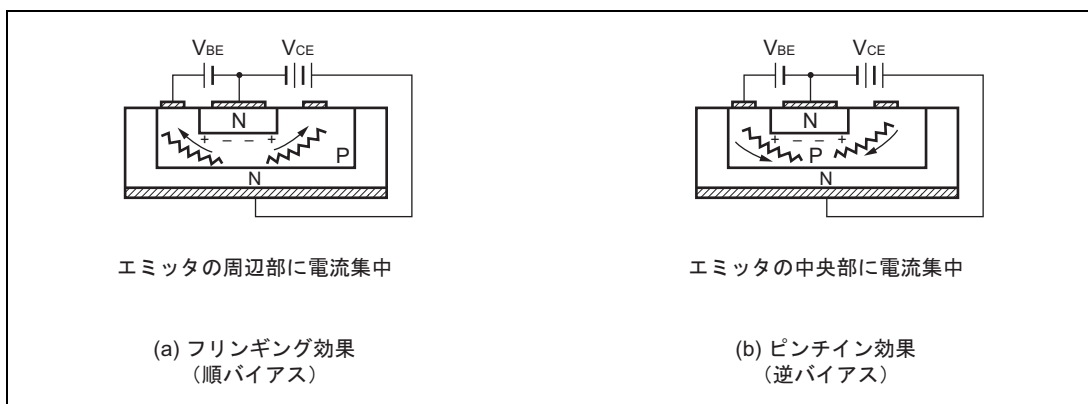


図3.80 二次降伏時の故障現象

参考文献

- 1) “LSIの故障モデル式と加速寿命試験に関する調査研究成果報告”, (財)日本電子部品信頼性センター, R-2-RS-02, (1990).
- 2) “半導体集積回路におけるインプロセス信頼性技術に関する調査研究成果報告書”, (財)日本電子部品信頼性センター, R-6-RS-02, (1995).
- 3) E.Wu et al. ; “Polarity-Dependent Oxide Breakdown of NFET Devices for Ultra-Thin Gate”, *Proc. 2002 IEEE IRPS*, pp.60-72 (2002).
- 4) John S. Suehle et al. ; “Field and Temperature Acceleration of Time-Dependent Dielectric Breakdown in Intrinsic Thin SiO₂”, *Proc. 1994 IEEE IRPS*, pp.120-125 (1994).
- 5) H.Satake et al. ; “Impact of TDDB Distribution Function on Lifetime Estimation in Ultra-Thin Gate Oxides”, *SSDM*, pp.248-249 (2000).
- 6) T.H.Ning ; “Hot-carrier emission currents in n-channel IGFET’s”, *Int. Election device Meet. Tech, Dig.*, pp.144-147 (1977).
- 7) E.Takeda, H.Kume, Y.Nakagome and S.Asai ; “An As-P (n+n-) double diffused drain MOSFET for VLSIs”, *Symp. on VLSI Tech. Dig.*, pp.40-41 (1982).
- 8) A.Toriumi, M.Yoshimi and K.Taniguchi ; “A Study of gate current and reliability in ultra-thin gate oxide MOSFET’s”, *Symp. on VLSI Technology Tech, Dig.*, pp.110–111 (1985).
- 9) S.Tam, F.C.Hsu, P.K.Ko, C.Hu and R.S.Muller ; “Hot-Electron induced excess carriers in MOSFET’s”, *IEEE Electron Device Letters*, vol. EDL-3 No.12, (1982).
- 10) Y.Nakagome, E.Takeda, H.Kume and S.Asai ; “New Observation of hot-carrier injection phenomena”, *Jpn. J. Appl. Phys.*, vol. 22 Supplement 22-1, pp.99-102 (1983).
- 11) T.H.Ning, C.M.Osburn and H.N.Yu ; “Emission Probability of hot-electron from silicon into silicon dioxide”, *J. Appl. Phys.*, vol.48, pp.286-293 (1977).
- 12) E.Li et al ; “Hot Carrier Induced Degradation in Deep Submicron MOSFETs at 100°C”, *Proc. 2000 IEEE IRPS*, pp.103-107 (2000).
- 13) P.Su et al ; “Excess Hot-Carrier Currents in SOI MOSFETs and Its Implications”, *Proc. 2002 IEEE IRPS*, pp.93-97 (2002).
- 14) H.Aono, E.Murakami et al. ; “NBT induced Hot Carrier (HC) Effect : Positive Feedback Mechanism in p-MOSFET’s Degradation”, *Proc. 2002 IEEE IRPS*, pp.79-85 (2002).
- 15) J.H.Stathis et al. ; “Broad Energy Distribution of NBTI-Induced Interface States in P-MOSFETs with Ultra-Thin Nitrided Oxide”, *Proc. 2004 IEEE IRPS*, pp.1-7 (2004).
- 16) V.Huard et al. ; “Evidence for Hydrogen-Related Defects during NBTI Stress in p-MOSFETs”, *Proc. 2003 IEEE IRPS*, pp.178-182 (2003).
- 17) J.S.Lee et al. ; “Hydrogen-Related Extrinsic Oxide Trap Generation in Thin Gate Oxide Film during Negative-Bias Temperature Instability Stress”, *Proc. 2004 IEEE IRPS*, pp.685-686 (2004).
- 18) H.Aono, E.Murakami et al. ; “Modeling of NBTI Degradation and Its Impact on Electric Field Dependence of the Lifetime”, *Proc. 2004 IEEE IRPS*, pp.23-27 (2004).

3. 半導体デバイスの故障メカニズム

- 19) K.Jeppson and C.Stenssen ; “Negative bias stress of MOS devices at high electric fields and degradation of MOS devices”, *J. App. Phys.*, vol.48, pp.2004 (1977).
- 20) V.Huard and M.Denis ; “Hole Trapping Effect on Methodology for DC and AC Negative Bias Temperature Instability Measurements in pMOS Transistors”, *Proc. 2004 IEEE IRPS*, pp.40-45 (2004).
- 21) G.Chen et al. ; “Dynamic NBTI of PMOS Transistors and its Impact on Device Lifetime”, *Proc. 2003 IEEE IRPS*, pp.196-202 (2003).
- 22) S.S.Tan et al. ; “A New Waveform-Dependent Lifetime Model for Dynamic NBTI in PMOS Transistor”, *Proc. 2004 IEEE IRPS*, pp.35-39 (2004).
- 23) J.R.Black ; “Physics of Electromigration”, *Proc. 1974 IEEE IRPS*, pp.142-159 (1974).
- 24) J.R.Black ; “Electromigration-A brief survey and some recent results”, *IEEE, ED-4*, pp.338-347 (1969).
- 25) 松本, 岩崎, 沢田, 大槻 ; “エレクトロマイグレーションによるAl薄膜の断線故障(2)”, *第5回信頼性・保全性シンポジウム*, pp.393 (1975).
- 26) 松本, 高野, 岩崎, 西岡, 大槻 ; “エレクトロマイグレーションによるAl薄膜の断線故障”, *第4回日科技連信頼性・保全性シンポジウム*, pp.391 (1974).
- 27) 榎原敏之, 市来勉, 宮川高志 ; “Wafer Level Reliability(WLR)技術を用いた短期Electromigration(EM)評価手法の有効性確認”, *第35回日科技連信頼性・保全性シンポジウム*, pp.29-32 (2005).
- 28) J.Klema, R.Pyle and E.Domangue ; “Reliability Implications of Nitrogen Contamination during Deposition of Sputtered Aluminum/Silicon Metal Films”, *The 22nd Annual Proc. of International Reliability Physics Symp.*, pp.1-5 (1984).
- 29) J.Curry, G.Fitzgibbon, Y.Guan, R.Muollo, G.Nelson and A.Thomas ; “New Failure Mechanisms in Sputtered Aluminum-Silicon Films”, *The 22nd Annual Proc. of International Reliability Physics Symp.*, pp.6-8 (1984).
- 30) S.Mayumi, T.Umemoto, M.Shishino, H.Nanatsue, S.Ueda and M.Inoue:“The Effect of Cu Addition to Al-Si Interconnects on Stress Induced Open-Circuits Failures”, *The 25th Annual Proc. of International Reliability Physics Symp.*, pp.15-21 (1987).
- 31) 西久保, 尾上, 宮本, 牧, 松本 ; “Al薄膜配線のエレクトロノストレスマイグレーション故障”, *第19回日科技連信頼性・保全性シンポジウム*, pp.255 (1989).
- 32) T.C.May, et al ; “A new physical mechanism for soft errors in Dynamic RAMs”, *Proc. 1978 IEEE IRPS*, pp.33-40 (1978).
- 33) S.Yamamoto et al. ; “Neutron-Induced Soft error in Logic Devices Using Quasi-Mono energetic Neutron Beam”, *Proc. 2004 IEEE IRPS*, pp.305-309 (2004).
- 34) S.Okikawa, M.Sakimoto, M.Tanaka, T.Sato, T.Toya and Y.Hara ; Stress Analysis of Passivation Film Crack for Plastic Molded LSI Caused by Thermal Stress”, *Proc. of ISTFA*, p.275 (1983).
- 35) 田中政樹, 尾崎浩, 小山眞一郎 ; “LSIの耐温度サイクル性改善の歴史とそのデータが示す信頼性試験のあるべき姿”, *第31回日科技連信頼性・保全性シンポジウム報文集*, pp.107-112 (2001).
- 36) 平成14年度経済産業省重点分野研究開発委託費成果報告書 ; “基準認証研究開発事業高密度実装における新接合技術の信頼性評価方法の標準化”, 電子情報技術産業協会, pp.76-99 (2003).
- 37) Kolesar, S. C. ; “Principle of Corrosion”, *The 12th Annual Proc. of International Reliability Physics Symp.*, pp.155

- (1974).
- 38) 岩森, 溝口, 西岡, 河津, 大槻 ; “プラスチックモールドICの耐湿性へのバイアス印加条件の影響”, *電子通信学会総会全国大会講演論文集*, **講演番号406**, (1978).
 - 39) 岩森, 溝口, 西岡, 河津, 大槻 ; “プラスチック封止ICの耐湿性評価と試験方法”, *第8回日科技連信頼性・保全性シンポジウム*, pp.71 (1978).
 - 40) W.M.Paulson and R.W.Kirk ; “The Effects of Phosphorus-Doped Passivation Glass on the Corrosion of Aluminum”, *The 12th Annual Proc. of International Reliability Physics Symp.*, pp.172 (1974).
 - 41) D.S.Peck and C.H.Zierdt ; “Temperature-Humidity Acceleration of Metal-Electrolysis in Semiconductor Devices”, *The 11th Annual Proc. of International Reliability Physics Symp.*, pp.146 (1973).
 - 42) F.N.Sinnadurai ; “The Accelerated Aging of Plastic Encapsulated Semiconductor Devices in Environment Containing A High Vapor Pressure of Water”, *Microelectronics and Reliability*, **vol.13**, pp.23 (1974).
 - 43) N.Licoudes ; “Practical Uses of Accelerated Testing”, *The 13th Annual Proc. of International Reliability Physics Symp.*, pp.257 (1975).
 - 44) J.L.Flood ; “Reliability Aspects of Plastic Encapsulated Integrated Circuits”, *The 10th Annual Proc. of International Reliability Physics Symp.*, pp.95 (1972).
 - 45) 田中政樹, 小路隆夫, 木本良輔, 川窪浩, 石垣公久 ; “表面実装LSIのウェーブ・ソルダリングに対する耐熱性問題と新試験方法の検討”, *RCJ第3回電子デバイス信頼性シンポジウム*, pp.21-26 (1993).
 - 46) 岡田幸二, 小路隆夫, 田中政樹 ; “表面実装LSIの熱ストレスから見たはんだ付け方法の体系化”, *第26回日科技連信頼性・保全性シンポジウム報文集*, pp.39-44 (1996).
 - 47) 鈴木明, 村上元, 崎元正教 ; “半田付実装からみたフラットパッケージICの高信頼化”, *第14回日科技連信頼性・保全性シンポジウム報文集*, pp.303-306 (1984).
 - 48) 田中政樹, 崎元正教, 西邦彦 ; “非破壊検査による面実装形パッケージのリフロー耐熱性評価法”, *月刊 Semiconductor World*, **1987 8月号**, pp.90-96 (1987).
 - 49) 田中政樹, 崎元正教, 小西秀明, 西邦彦, 大塚憲一, 吉田亨 ; “面実装形パッケージのリフロー耐熱性評価方法の検討”, *第18回日科技連信頼性・保全性シンポジウム報文集*, pp.165-172 (1988).
 - 50) 田中政樹, 崎元正教, 西邦彦, 大塚憲一 ; “表面実装型LSIのハンダ付け, 耐熱性の評価手法が確立”, *日経エレクトロニクス*, **No.516**, pp.143-165 (1990).
 - 51) M.J.Middendorf, T.Hausken ; “Observed Physical Effects and Failure Analysis of EOS/ESD on MOS Devices”, *Proc. of 1984 ISTFA*, pp.205-213 (1984).
 - 52) D.C.Wunsch ; “The Application of Electrical Overstress Models to Gate Protective Networks”, *IEEE 16th Annual Proceedings Reliability Physics*, pp.47-55 (1978).
 - 53) 村崎憲雄 ; “改訂版エレクトロニクス・システムの静電気障害対策資料集”, *(株)第一インターナショナル*, (1982).
 - 54) “半導体デバイスの静電気破壊現象とその評価方法に関する調査研究成果報告書”, *日本電子部品信頼性センター*, (1985)
 - 55) D.C.Wunsch and R.R.Bell ; “Determination of Threshold Failure Levels of Semiconductor Diodes and Transistors due to Pulse Voltages”, *IEEE Trans. Nuclear Science*, **Vol.NS-15 No.6**, pp.244-259 (1968).
 - 56) P.R.Bossard, R.G.Chemelli and B.A.Unger ; “ESD Damage From Triboelectrically Charged IC Pins”, *Proc. of*

3. 半導体デバイスの故障メカニズム

- EOS/ESD Symposium*, pp.17-22 (1980).
- 57) B.A.Unger ; “Electrostatic Discharge of Semiconductor Devices”, *IEEE 19th Annual Proceedings Reliability Physics*, pp.193-199 (1981).
- 58) M.Tanaka, H.Konishi and K.Ando ; “A New Electrostatic Discharge Test Method for Charged Device Model”, *Proc. of 1989 ISTFA*, pp.177-182 (1989).
- 59) M.Tanaka, M.Sakimoto, I.Nishimae and K.Ando ; “An Advanced ESD Test Method for Charged Device Model”, *Proc. of EOS/ESD Symposium*, pp.76-87 (1992).
- 60) M.Tanaka, K.Okada and M.Sakimoto ; “Clarification of Ultra-high-speed Electrostatic Discharge & Unification of Discharge Model”, *Proc. of EOS/ESD Symposium*, pp.170-181 (1994).
- 61) 田中政樹, 岡田幸二, 崎元正教 ; “変位電流をとまなうLSIの静電破壊現象”, *第3回RCJ EOS/ESDシンポジウム*, pp.21-28 (1993).
- 62) 田中政樹 ; “デバイスの各静電破壊試験と実際の静電気放電現象の相関性についての考察”, *第7回RCJ EOS/ESDシンポジウム*, pp.163-170 (1997).
- 63) 福田保裕, 大槻紀雄 ; “ICパッケージに帯電した静電気がICを破壊”, *日経エレクトロニクス*, (1984).

第4章 半導体デバイスの故障解析 目次

4.1	故障解析の必要性.....	4-1
4.2	故障解析とは.....	4-1
4.3	故障解析手順	4-2
4.3.1	故障発生状況の調査・把握	4-3
4.3.2	パッケージ外観検査	4-3
4.3.3	電気特性評価	4-3
4.3.4	パッケージ内部解析	4-6
4.3.5	チップ内部の故障箇所の特定	4-7
4.3.6	チップ物理解析.....	4-7
4.3.7	不純物・組成分析	4-9
4.3.8	故障メカニズムの確定	4-9
4.4	故障解析手法	4-10
4.4.1	超音波探査映像装置 (SAT: Scanning Acoustic Tomography)	4-10
4.4.2	走査電子顕微鏡 (SEM: Scanning Electron Microscopy) 電子線マイクロ分析 (EPMA: Electron Probe Micro Analysis)	4-12
4.4.3	EB テスタ (EB Tester: Electron Beam Tester)	4-14
4.4.4	レーザボルテージプロービング法 (LVP: Laser Voltage Probing) 時間分解発光解析法 (TRE: Time Resolved Photo Emission Microscopy)	4-18
4.4.5	液晶解析	4-21
4.4.6	フォトエミッション顕微鏡解析	4-23
4.4.7	OBIRCH (Optical Beam Induced Resistance Change Method)	4-24
4.4.8	IDDQ 異常現象を用いた故障診断技術	4-27
4.4.9	オージェ電子分光分析 (AES: Auger Electron Spectroscopy)	4-29
4.4.10	フーリエ変換赤外分光分析 (FT-IR: Fourier Transform Infrared Spectroscopy)	4-30
4.4.11	透過型電子顕微鏡 (TEM: Transmission Electron Microscope)	4-33
4.5	解析のための加工技術	4-36
4.5.1	概要	4-36
4.5.2	集束イオンビーム (FIB: Focused Ion Beam)	4-37
4.5.3	エキシマレーザ	4-41
4.5.4	RIE (Reactive Ion Etching)	4-43
4.5.5	集束レーザビーム (FLB: Focused Laser Beam)	4-44
4.6	付録.....	4-47
	参考文献	4-51

4. 半導体デバイスの故障解析

4.1 故障解析の必要性

故障解析は、故障した半導体デバイスの調査を通じて故障に至ったメカニズムを明らかにし、設計・プロセスに対して迅速かつ正確なフィードバックを与えるために必要です。市場において、デバイスに要求される信頼性はますます高くなり、しかもデバイスの高集積化・大規模化も急速に進められているため、故障解析においても高度な技術が要求されます。

半導体デバイスの信頼性を確保するためには、設計・プロセスの開発段階から信頼性を作り込むことが常識になっていますが、製造工程や市場での故障発生は避けられないため、迅速な故障解析を実施し、対策を施し、再発防止に努めることが重要です。

半導体デバイスは、ウエハ・アセンブリプロセス数百を越える加工工程を有し、使用される材料部品も多岐にわたります。さらに、半導体デバイスが使用される環境も多岐にわたるため、故障解析には設計・プロセスを始めとする幅広い知識が要求されます。

4.2 故障解析とは

故障判定基準に基づいて、対象となる半導体デバイスが機能を失ったと判断したときから故障解析が始まります。故障は、完全劣化から機能の減少に至るものまで非常に幅広いです。最近の電子機器システムは非常に複雑になり、単なる部品のみ故障ばかりではなく、システム全体のマッチング不良による故障も多くなっています。故障解析では、これらの点に十分な配慮を払わなければ、誤った結論を導き出して改善活動の方向を見誤る結果になります。

故障解析とは、故障内容をよく吟味し故障メカニズムを明らかにするため、適切な電氣的・物理的・化学的解析技術を駆使し故障原因を解明することです。実際の故障解析では、解析作業に着手する前に故障発生当時の状況をできるだけ調査し故障内容を的確に把握することが重要です。特性値の変化内容、故障発生までの経過、使用された環境、ストレス条件、実装置上の問題点、人的ミスなどの分析が必要です。これらの調査を十分に行うことで、故障モード、故障メカニズムをある程度推定することが可能になり、これに基づいて最適な解析方法・手順を決定します。この分析が不十分であると、解析方法の選択を誤り、貴重な解析試料を破壊するのみで原因不明に至ってしまう可能性があります。また、解析にあたっては故障品と良品を比較することも、問題の解決を早く見つける糸口になります。

4.3 故障解析手順

故障解析で重要なことは『電気回路や不具合内容を保持したまま何処まで故障箇所を絞り込めるか』です。今日、解析装置は、非接触、非破壊により LSI 内部の論理状態や動作状態を解析できます。代表的な装置として EB テスタや LVP があります。これらの装置は電子線、近赤外レーザを照射することにより論理コントラスト像や指定した配線の動作波形を非接触で得ることができます。一方、LSI は、微細化、多層配線構造化、大規模化、高速化、複合化へと進化しており、それらは故障解析を困難にする要因となっています。電気回路や不具合内容を破壊せず故障箇所を絞り込むために、解析のための加工技術の開発が必要となってきています。その手法としてレーザ、FIB、FLB などの装置による加工技術を確立しています。

さらに、ソフトウェアを用いた故障診断技術も開発されてきており、物理的な解析を実施しなくても故障箇所を絞り込めるようになって来ています。代表的な手法の一つに、出力端子から出力する論理に異常があった時、そのデータを基に LSI の内部へ逆論理展開をして絞り込んでいく方式があります。また、IDDQ 異常(静止状態での電源電流異常)現象と CAD データを用いて、電流異常が発生している箇所を抽出する方式も開発されています。

故障解析の方法、手順は、前述したように故障の発生状況から決定されますが、一般的には図 4.1 に示すような手順で実施します。重要なことは、『各ステップの因果関係を明確にしながら順次ステップを踏んでいくこと』です。そして、最終的に検出された結果で電気回路上の不具合動作が説明できてはじめて故障解析が完了します。

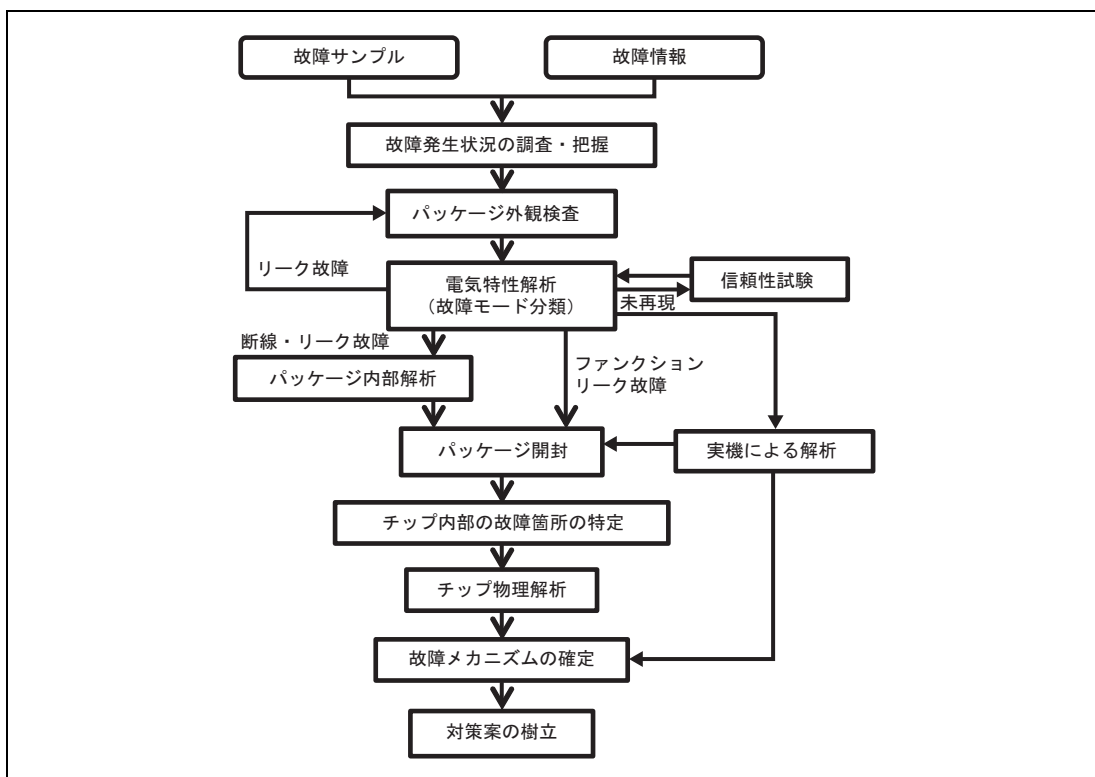


図 4.1 故障解析の手順

4.3.1 故障発生状況の調査・把握

故障の発生状況に関して、次の項目を調査します。

- (a) 確認: 生産時期, 在庫期間, 保管環境
- (b) 故障品の履歴: ウエハ及びアセンブリプロセスでの処理条件, 納入時期, 受入検査の成績及び条件, 部品実装または組み立て工程での条件, これまでの故障内容の調査
- (c) 使用条件: 動作条件, 熱的・機械的ストレス, 使用環境(屋内外・温度・湿度・雰囲気), 故障発生に至るまでの時間
- (d) 不具合内容: 特性劣化, 完全故障, 間欠故障, 故障率, ロットの特長

4.3.2 パッケージ外観検査

外部状態の目視観察は重要であり、以後の解析に有益な情報を与えます。肉眼で全体を観察し、良品との相違をよく把握します。次に、4～80倍程度の実体顕微鏡を用いて細部を観察します。実体顕微鏡観察では、種々の方向から照明角度を調節し、最もよく見えるようにすることが重要です。また、必要に応じて高倍率の光学顕微鏡で数10倍～数1,000倍に拡大し異常箇所の発見に努めます。さらに、破面・異物付着・ウイスカ・変色・マイグレーションなどの詳細観察が必要な場合にはSEMを用います。元素分析が必要で採取試料が多い場合には、原子吸光法などを使用します。微小領域で異常物質の採取が困難な試料に対しては、電子線マイクロアナリシス(EPMA: Electron Probe Micro Analysis)を用います。

4.3.3 電気特性評価

(1) LSI テスタによる評価

設計評価用のテストプログラムなどを用いて、故障した試料の詳細な電気特性を評価します。図4.1に示したように、電気特性評価の結果に基づいて故障モードの分類・故障メカニズムの推定を行い、以降の解析方法を決定します。電気特性評価では、故障発生状況から推定した故障メカニズムを詳細かつ高精度にすることが可能なため、これに基づいて以降の効果的な解析方法を決定することができます。メモリデバイスでは、この評価で詳細なチップ上の故障位置を特定できる場合もあり、電気特性の詳細な評価は極めて重要になっています。

(2) DC 特性評価

カーブトレーサ、微小電流計及びオシロスコープなどを用いて、半導体デバイスのDC特性を調査する評価です。実際の半導体デバイスでは、半導体チップ内部の等価回路には記されていない寄生ダイオードなどが存在し、等価回路どおりに電流が流れるとは限らないため、良品チップの特性と比較しながら評価をすることが望まれます。

(3) 論理／故障シミュレーション解析

LSI テスタ, DC 特性評価などにより機能テストがフェイル判定された場合, 機能テスト内容を分析することでチップ内部の故障モジュールを推定します。さらに, 電圧・温度・周波数などのテスト条件によるフェイル状況から故障モードを推定します。これらの情報を活用し, 論理シミュレーションまたは故障シミュレーション手法を用いて故障箇所の論理機能部位を高精度に推定することを, 一般的に故障診断と呼びます。故障診断によりチップ内部の10セルまたは10ネット程度

4. 半導体デバイスの故障解析

に故障位置を特定することで、故障箇所同定精度を向上させます。故障診断には、故障シミュレータを用いた故障辞書法、経路追跡型診断法、ガイドドプローブ診断法、IDDQ テストを用いた診断法があります^{1), 2), 3), 4), 5)}。IDDQ テストとは、完全な CMOS 構造では電源系に DC バスがないことを利用して、動作静止中の電流値を測定することでパス/フェイル判定する手法です。IEEE では、Quiescent power supply current in MOS circuits と定義され、CMOS 発明以来の歴史的なテスト手法です。

故障診断を用いた故障解析フローを図 4.2 に示します。故障診断フローは、機能テスト不良と電流系 (DC/IDDQ) テスト不良に大別されます。機能テスト不良では、故障シミュレーション手法を用いた故障診断を実施し、故障箇所同定に EB テスティング/LVP/TRE 解析などの動作解析を実施します。電流系テスト不良では、発光解析、OBIRCH 解析などの静的解析を実施します。(これら故障箇所同定に関しては 4.3.5 項参照)

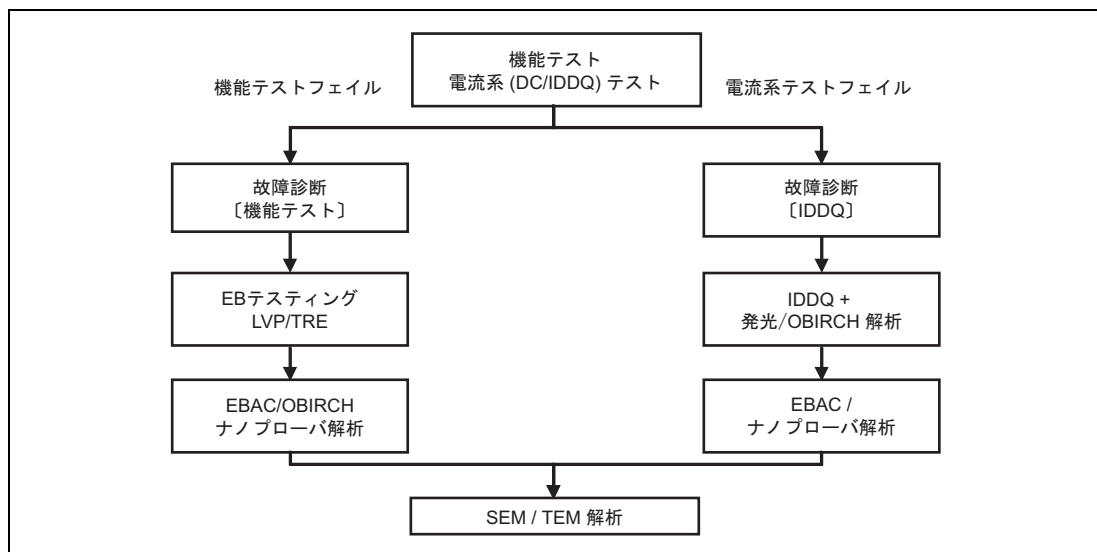


図 4.2 故障診断を用いた解析フロー

当社で実施している機能テスト不良に用いる故障診断及び電流系テスト (IDDQ テスト不良) に用いる故障診断の概要をそれぞれ図 4.3 及び図 4.4 に示します。機能テスト不良は、不良案件ごとに論理解析/故障辞書作成などの手続きが必要であり、解析に時間を要します。しかし、社外不良品など市場環境のシステムでしか誤動作しないような場合にはお客様のシステムの動作を再現させ不良箇所を突き止めるのに本手法は有効かつ必要なシステムです。IDDQ テスト不良は、あらかじめ故障診断に必要な故障辞書を作成しているため、故障診断の処理は高速になります。また論理機能的な解析も必要としません。IDDQ テスト不良は、ハード解析装置との相性も良く、機能テスト不良に比べ短時間に故障箇所を同定できる利点を有しています。

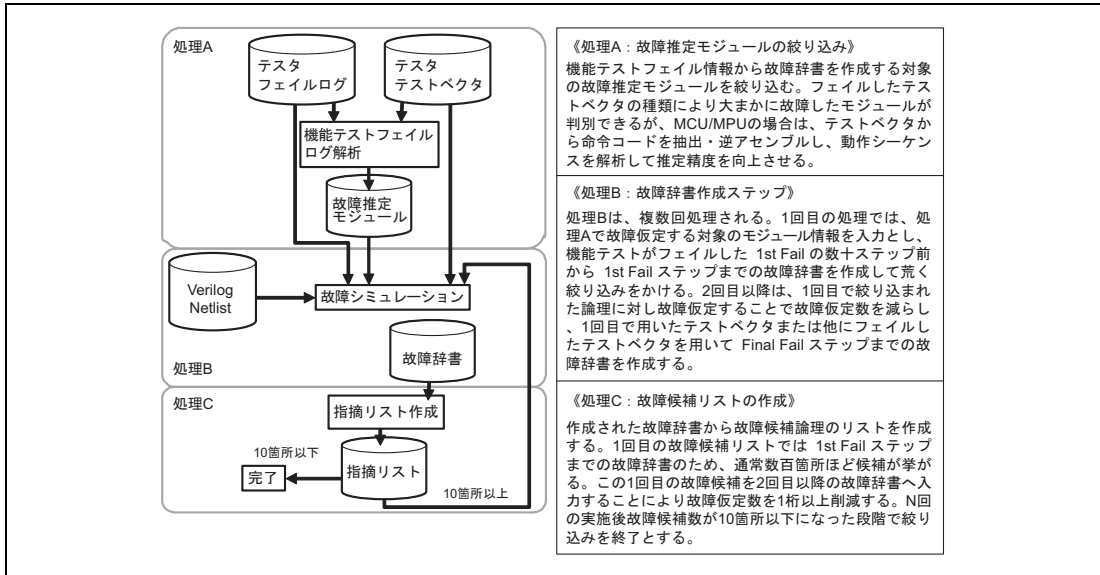


図 4.3 機能テスト不良故障診断フロー

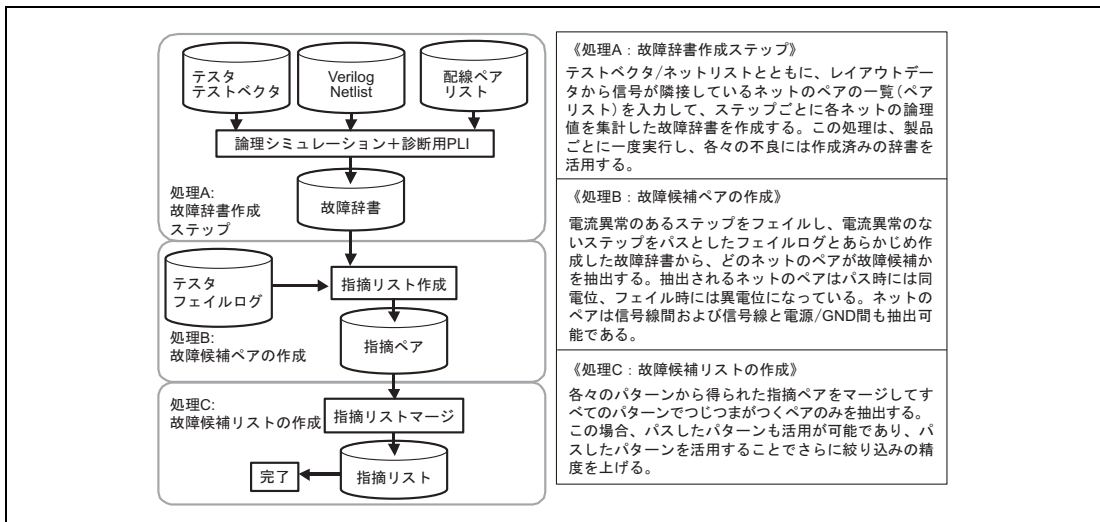


図 4.4 電流系テスト不良故障診断フロー

(4) 実装置による故障再現実験

上述の解析で良品と判断された場合、実装置での再現実験を行う必要があります。故障発生時の状況を各種評価においてシミュレーションしきれずに故障を再現できなかった場合と、半導体デバイスの使用上に問題(例えば、回路定数・ノイズなどによる誤動作)があつて故障発生した場合とが考えられます。故障内容によっては、これらの評価を実施することにより、2次破壊を起こす可能性があるため、実施には十分な注意が必要です。

4.3.4 パッケージ内部解析

(1) 非破壊内部解析

パッケージを開封せずに内部を解析する手段として、X線透視、赤外線観察、超音波探査による方法があります。X線は材質・厚みにより透過度が異なるため(原子量が小さいと透過率が高い)透過X線の強度の差が像として得られ、パッケージ内部での異物の有無、ボンディングワイヤの断線及びループ異常、樹脂モールド内及びダイボンディング部でのボイド・剥離など、パッケージ内部の状態観察に適しています。

赤外線はSiを透過し、金属・樹脂に対して反射します。樹脂モールドされた半導体デバイスでは、薬品を用いて樹脂を除去しチップ表面を観察した場合、薬品により不純物や配線などが除去され、故障原因の特定が困難な場合があります。パッケージを裏面から研磨し、Si面を露出させて赤外線を照射することで、ダメージを与えずにチップ表面の金属配線やボンディングパッド部の異常を観察することができます⁶⁾。

超音波は、異種物質の境界面が存在すると反射波と透過波に分かれます。反射波は、異種物質の音響インピーダンスに依存して強度・位相が変化します(音響インピーダンスを大から小に変化すると位相が反転する)。

水中に樹脂モールドされた半導体デバイスを置き、パッケージ表面から超音波を照射すると、パッケージ表面・チップ表面・リード表面から次々に反射波が返ってきますが、境界面に空気層が存在している箇所では反射強度及び波形の位相が大きく変化します。これを利用してパッケージ内に生じたボイド・剥離・クラックの位置及び発生状況を知ることができます⁷⁾。

(2) 封入ガス分析

キャンタイプ・セラミックタイプなどのパッケージで、半導体チップ表面の汚染が故障原因に考えられる場合、パッケージ内に穴を開け封入ガスの成分・濃度を調査する必要があります。

(3) 気密性評価

キャンタイプ、セラミックタイプなどのパッケージ内は、乾燥空気や窒素ガスを封入して外部と遮断されています。パッケージ内に水分が存在するとチップ表面の不純物イオンの動きを容易にし、半導体デバイスの特性を劣化させ、Al配線の腐食を引き起こす要因になります。このため封入雰囲気的水分量は数百ppm以下に抑えられており、リーク量も極度に制限されます。一般的な気密性の調査方法として、トレーサガス(He)によるファインリーク測定と、フロロカーボンによるグロスリーク測定があります。

10^{-9} ~ 10^{-8} atm・ml/sの範囲のファインリーク測定にはHeトレーサガスを使用したリーク検出器が用いられ、 10^{-9} atm・ml/s以下のリークを読み取るのに十分な感度を持ちます。比較的リーク量が多い 10^{-5} ~ 10^{-3} atm・ml/sの範囲では、フロロカーボンによるグロスリーク測定を用います。 10^{-5} atm・ml/s以下の場合は、減圧/加圧容器が必要です。

これらの方法で、パッケージの小さな割れ、ろう材やはんだの小さい“巣”，溶接フランジのピンホールなど、ハーメチックシール部の異常検出が可能です。

4.3.5 チップ内部の故障箇所の特定

半導体チップの故障解析では、まずフォールトアイソレーション技術を用いてチップ内部の故障箇所を特定し、次に特定した故障箇所の形状観察・組成分析などの物理解析を実施して故障の原因を確定します。

フォールトアイソレーションでは、電子ビームテスト、LVP、発光・発熱、OBIC、OBIRCH などの手法を用います。これらの手法は、チップ表面への電子ビームの照射やチップ表面から発生する光などの検出を行うため、チップをパッケージに入れたまま、その表面を露出させなければなりません。そこで、パッケージを分解しチップコーティング膜を除去するなどの前処理が必要になります。

チップの故障にはいくつかの種類があり、それらに対して適切なフォールトアイソレーション技術は異なります。出力の論理が期待値と異なるファンクション故障には、主に電子ビームテスト・LVP を用います。電源電流が増加するなどのリーク系故障には、主に発光解析、OBIRCH 法などを用います。

また最近では、上記の手法である程度、故障箇所を絞り込んだ後にダイレクトに微細回路部の電気特性を測定できるナノプローブ法などを用いることにより、さらに詳細な故障箇所の特定が可能となります^{8), 9), 10), 11)}。

4.3.6 チップ物理解析

(1) 概要

物理解析は、チップに種々の加工処理を実施しながら特定した故障位置を観察・分析し、故障を引き起こした物理的な原因を明らかにするための解析で、設計・プロセスにフィードバックするための最終的な情報を提供します。

故障原因となる物理的な異常は、チップの最表面から下層の位置に存在する可能性があり、このような場合には、表面の絶縁膜や金属配線などを除去しなければなりません。この作業は、光学顕微鏡や SEM で状態を観察しながら実施します。また状況に応じて、FIB などでもチップの断面を観察する必要もでてきます。さらに、故障箇所に変色や異物の付着などが発見された場合は、組成分析を行い、その発生メカニズムを明らかにします。

(2) 観察のポイント

(a) 過大電圧・電流による断線・短絡・リーク

外部からの過大な電圧・電流により、メタル配線または多結晶 Si 抵抗の溶融が見られます。電流が大きい場合には、内部リードが溶融していることもあります。さらには、pn 接合（パイポーラの場合エミッタ—コレクタ間など）に異常合金が観察される場合もあります。酸化膜が絶縁破壊され、メタル電極間が短絡状態になっていることもあります。

(b) 内部リードの断線

X 線透視・パッケージ開封後の顕微鏡観察により調査します。ボンディング部から剥離している場合は、剥離部の合金状態、ボンディング部の位置ずれの有無などを調査します。Au と Al は高温で種々の Au-Al 金属間化合物を形成します。Au の拡散速度が Al より遅いため、二つの層を通る質量移動により境界が移動し、空孔が生じる (Hartley-kirkendall 効果) 結果、ボンディング部の強度劣化・抵抗増加・剥離が生じることがあります。

(c) Al 配線の腐食

外部からの湿気の侵入、リン酸（パッシベーション膜からの遊離 P_2O_5 ）や塩素イオン・プロセスでの化学処理の不備、異種金属の接触による電池作用及び電界などにより、Al が腐食し断線に至ります。断線箇所は Al が完全に溶出していることが多く、隣接する Al 配線間で短絡する場合があります。腐食した Al 配線は黒く変色していることが多く、チップ表面の光学顕微鏡観察により容易に判断できます。この故障モードは、樹脂溶解時のエッチング時間・温度・液の

4. 半導体デバイスの故障解析

種類によって、AI 腐食を進行させることがあるので注意を要します。したがって、樹脂の溶解にはプラズマによる乾式エッチングを用いる場合があります。

(d) チップクラック

Si チップにクラックが生じ開放・短絡・リーク不良となるものは、熱ストレスによる場合が多いです。チップ表面を横切る不規則なクラックが発生するため、倍率を上げて観察しないと見逃すこともあります。クラックがパッシベーション膜にとどまっている場合があるため、パッシベーション膜を除去して調べる必要もあります。赤外線顕微鏡を用いると、クラック部の歪みが顕著になるため、通常の顕微鏡よりも観察しやすくなります。

(e) マスク合わせ不良

拡散・コンタクトホール・メタル配線などが異常にずれているものは、種々の故障を引き起こします。故障と結びつけるためには、pn 接合・コンタクトホール・配線など、それぞれ領域の位置関係を詳細に調べなければなりません。

(f) コンタクト不良

コンタクトホールのステップ部での断線、オーミック不良、ウエハプロセス異常によりコンタクト部に高抵抗層が生成されたことによるコンタクト抵抗の増加、あるいはコンタクト開孔不良などがあります。これらのコンタクト不良の調査には、FIB による断面観察が有効です。

(g) 異物付着

チップ表面及び内部に異物が付着すると、故障の原因となります。異物が存在する層を調査し、異物の成分を同定することで異物の付着工程、及び発生原因の推定が可能になります。異物が存在する層は、FIB による断面観察で明確になります。異物の同定には、EPMA (Electron Probe Micro Analysis) または SAM (Scanning Auger Microscopy) による分析が有効です。しかし、解析中の不注意により異物が付着する場合がありますので、注意を要します。

(h) 静電破壊不良

MOS のゲート酸化膜は非常に薄いため、絶縁耐量は小さくなります。人体あるいは検査装置から出る異常パルスが半導体デバイスの耐静電エネルギーを上回ることで破壊に至ります。現象として、入力電流の増加・ V_{th} の変化が生じます。パイポーラでは一般に接合の劣化を引き起こし、接合の一部が局所的に溶解します。さらにリーク電流の増加、耐圧劣化、hFE の低下、雑音の増加などを生じます。破壊箇所の AI 配線が黒く変色した場合は、光学顕微鏡で容易に解析できますが、破壊箇所の特定には発光解析や OBIC が有効です。

(i) エレクトロ/ストレスマイグレーション

AI 配線に電流や応力のストレスが印加されると、ヒロックやボイドが発生することがあります。ヒロックは AI 配線間の層内/層間ショート、ボイドは配線抵抗の増加や断線を引き起こします。断線箇所は、電子ビームテスティングにより容易に特定できます。さらに、レーザ照射熱による AI 配線の抵抗変化や熱起電力の変化を検出する手法を用いて、ボイドや断線の位置を特定することもできます⁽¹⁸⁾⁽¹⁹⁾。

(j) 接合不良

酸化膜分離や異常な合金成長によるストレス・汚染・Si 基板の結晶欠陥などにより生じます。状況に応じてチップ表面もしくは断面から接合部を観察します。接合部露出後、Wright-Etching などを施すことで観察が容易になります。

(k) 酸化膜破壊

LSI を構成するトランジスタ、キャパシタ部において、強い電界ストレスが印加された時に酸化膜破壊が生じます。ストレスの要因は、ESD などの外部ノイズ、設計に起因するもの、ウエハプロセスでの欠陥、経時劣化などさまざまなものが考えられます。不良の症状としてはリーク系の故障のため、発光解析、OBIC、OBIRCH などが有効です。

4.3.7 不純物・組成分析

半導体チップの不純物・組成分析には、試料に電子・X線・イオンなどを照射することで試料表面から2次的に放出される電子・X線・イオンなどの量子を検出し、分光する手法を用います。

4.3.8 故障メカニズムの確定

種々の故障解析手法で検出された異常を半導体デバイスの故障原因と確定するには、慎重な検討が必要であり、電気特性との関係などのメカニズムを矛盾することなく説明できなければなりません。なぜならば、検出された異常がすべて異常に結びつくとは限らず、誤った結論は改善に結びつかない誤った対策を導くからです。

半導体デバイスは、ますます高集積化・大規模化が進み回路システムも複雑化してきているため、故障内容も複雑になり、原因の発見も困難になってきています。このため、故障メカニズムの解明のためには、故障を検証するためのシミュレーションや過去の解析事例を蓄積したデータベースなどを活用するとともに、開発段階でテスト(解析)容易化設計を施し、故障メカニズムの解明を容易化することも必要になってきています。

4.4 故障解析手法

4.4.1 超音波探査映像装置 (SAT: Scanning Acoustic Tomography)

[目的]

試料内部の情報(クラック, 空隙などの有無とロケーション)を超音波の反射波を用い非破壊で観察します。

[原理]

装置の構成図を図 4.5 に示し, 映像化の原理を説明します。

発信器, 音響レンズを備えた超音波センサに繰り返しパルス電圧を印加します。超音波センサからは, 音響レンズによって収束された超音波が発せられ, 試料表面や内部欠陥で反射した後, 再びセンサに戻ります。したがって, 圧電素子はこれらの反射音を電圧として受信器に出力します。受信機では, 原データであるこの信号が微弱であるため増幅した後に検出器に出力します。検出器では, 映像化したい部分, 例えば接着界面からの反射音进行处理するための検出回路(ゲート回路)を経てそのピーク値を DC 電圧として出力します。

一方, 超音波センサはスキャナに取り付けられており, 制御装置によって水平面または鉛直面における方形操作が可能となっています。前述の DC 電圧の AD 変換は, 走査中, 指定した測定ピッチで実行され, その変換値を演算処理した後, ディスプレイの各 XY 位置に対応するアドレスに格納すると, 接着界面状態などの探査映像がリアルタイム表示されます。

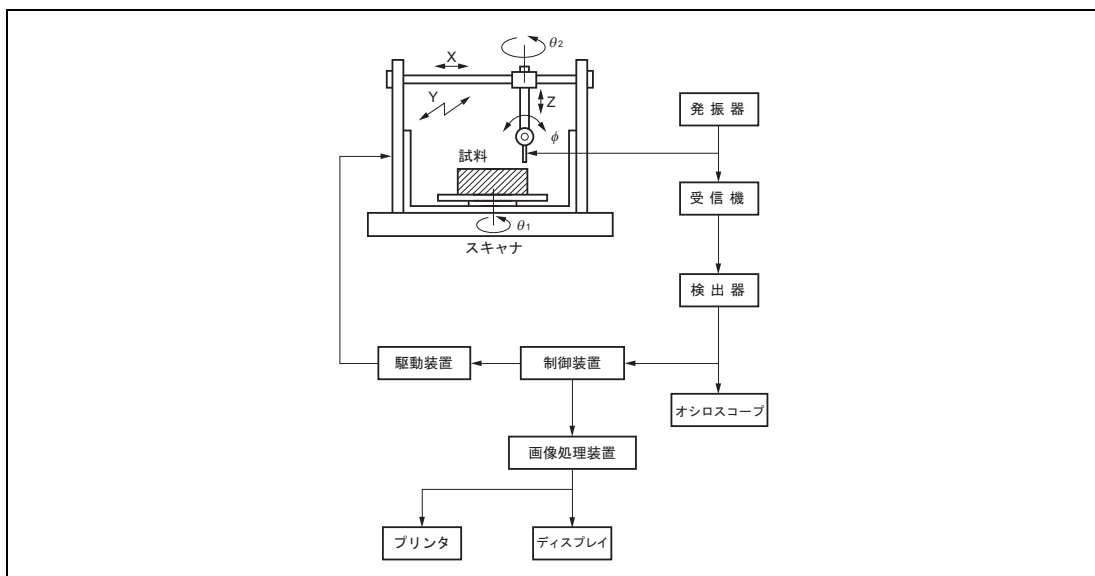


図 4.5 装置構成図

[具体例]

- ① Si チップと封止樹脂との密着性評価 (図 4.6 参照)
- ② リードフレームと封止樹脂との密着性評価
- ③ ダイボンディングの評価
- ④ 封止樹脂内のボイド観察
- ⑤ パッケージクラックの観察
- ⑥ チップクラックの観察

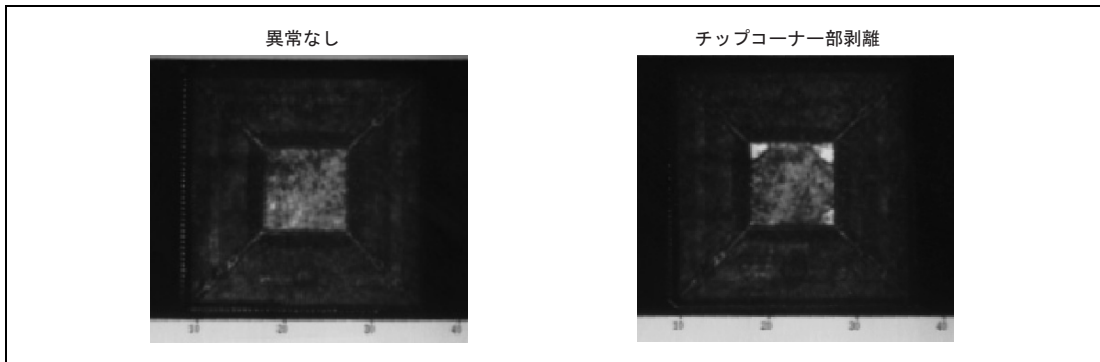


図 4.6 チップと封止樹脂との密着性観察結果

4.4.2 走査電子顕微鏡 (SEM: Scanning Electron Microscopy) 電子線マイクロ分析 (EPMA: Electron Probe Micro Analysis)

[目的]

個体表面の形状 (凹凸など) 観察及び個体表面の組成分析を目的とします。

[なにができるか]

SEM は、焦点深度が深く容易に立体的形状を高倍率で観察出来るため、光学顕微鏡では判別出来ない欠陥、微細な構造、微小異物の観察などを行うことが出来ます。EPMA は、固体表面の組成 (特定位置に存在する元素の定性、定量分析及び特定元素の分布) を知ることが出来ます。

[原理]

電子銃から出た電子ビームを、いくつかの電子レンズに通して細く絞り、試料に照射します。電子ビームの大きさは、測定する対象によって数 nm から数 10 μ m までの適当な大きさに調整します。照射された試料表面から図 4.7 に示すように 2 次電子、背面散乱電子、特性 X 線などが出てきます。SEM の 2 次電子像は、電子線で試料表面を走査するのに同期させて、モニタ上に 2 次電子の強度を輝度変換して表示したものです。2 次電子の輝度は、表面の凹凸、組成、表面電位などによって変化しますので、その変化を 2 次電子像で観察することが出来ます。

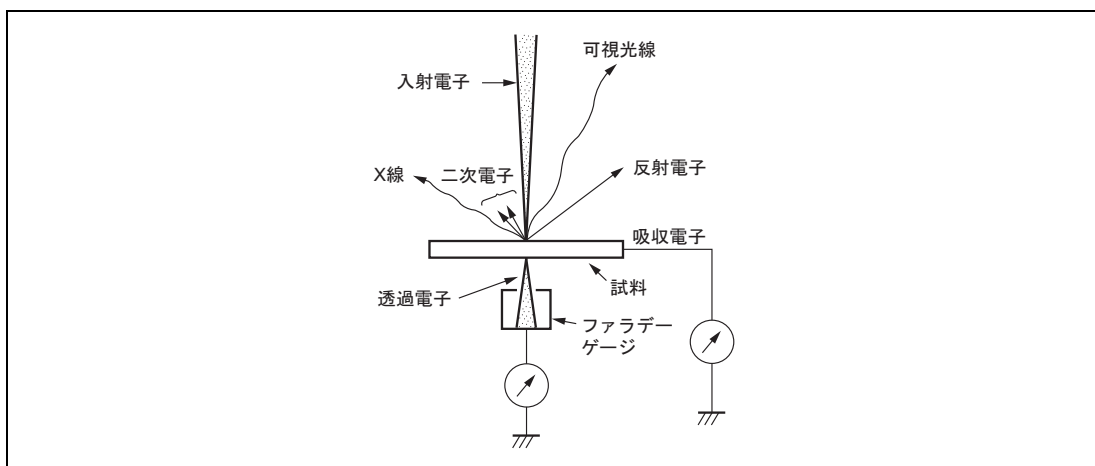


図 4.7 試料表面から発生する電子及び X 線

EPMA は、解析対象試料に細く絞った電子線を照射し、試料表面から検出された特性 X 線を測定分析することで試料表面に存在する元素を知ることが出来ます。図 4.8 に特性 X 線の発生機構を示します。原子に加速された電子が衝突すると、原子核の回りにある電子に、ある確率で空孔が生じイオン化します。このイオン化状態はエネルギーの高い励起状態であり、原子は安定状態に戻るために、空孔が生じたエネルギー準位よりさらに外殻にある電子が落ち込み空孔を埋めます。この過程で電磁波を発するものを特性 X 線といいます。特性 X 線は元素固有のもので、特性 X 線のエネルギー、波長を基に元素同定することで、試料表面に存在する元素の詳細な構成を知ることが出来ます。SEM の 2 次電子像と同じように、電子線で試料表面を走査するのに同期させて、検出された特定元素の特性 X 線を個々の点として表示すると、特定元素

の分布が点の集合(マッピング)として表示されます。また、濃度が既知の標準試料と X 線強度とを比較することで、存在する元素の濃度を知らることが出来ます¹²⁾。

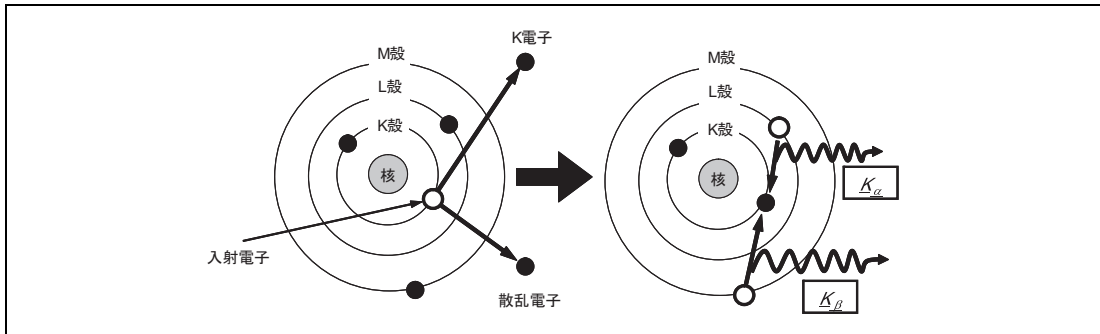


図 4.8 特性 X 線の発生機構

[分析例]

図 4.9 は、Al 配線パターン異常部の各元素の分布の様子をマッピング表示したものであり、パターン異常部に Al, Ti, N が多い部分があることがわかります。この異常は EPMA 分析の後に実施しました FIB 断面構造解析で Al 配線に Al, Ti, N を成分とする異物が付着しているものと判明致しました。

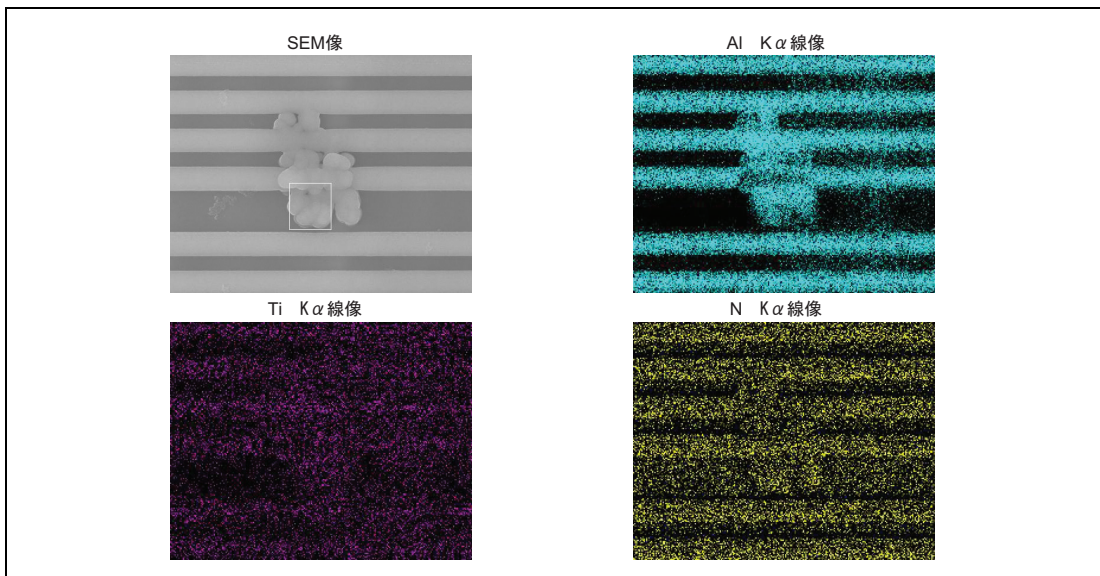


図 4.9 Al 配線パターン欠陥部の EPMA 分析結果

4. 半導体デバイスの故障解析

4.4.3 EB テスタ (EB Tester: Electron Beam Tester)

[目的]

EB テスタは、SEM 鏡筒内に設置した半導体デバイスを LSI テスタで駆動させながら、半導体デバイスの論理情報(電位コントラスト像、論理動作波形)を非接触で検出する装置です¹³⁾。(図 4.10 参照)

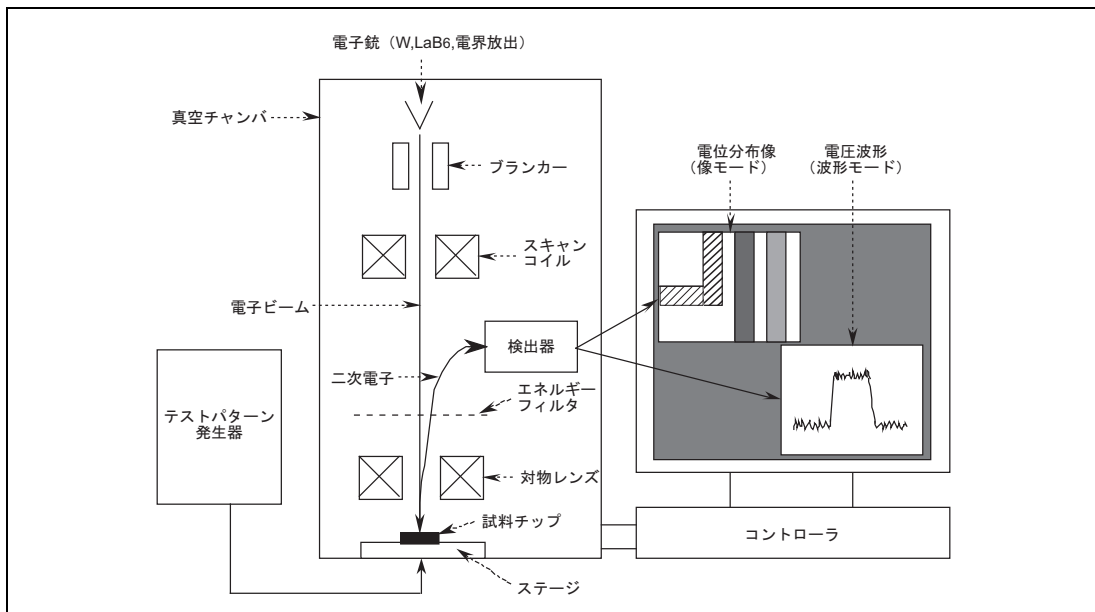


図 4.10 装置概略図

[なにができるか]

- ① 電位コントラスト像:配線の電位に対応したコントラスト像を観察できます¹⁴⁾。(黒:高電位,白:低電位)(図 4.11 参照)
- ② 論理動作波形(電位波形):任意の内部配線の論理状態を入力パターンに対応して時系列的に観察できます¹⁵⁾。(図 4.12 参照)

以上の基本的な特徴を用いて、より簡単に、より鮮明に解析できる方式を開発しました。一つは CGFI (Continuous Gated Fault Imaging) 法と称する高速に S/N の高い電位コントラスト像を得る手法であり、もう一つは AFI (Activated Fault Imaging) と称する良/不良品の電位コントラスト像の比較による故障像のみを表示する手法です。

- ③ CGFI 法:1 次電子ビームを連続的に照射し、ゲートパルスを用いチャージアップ現象をなくすことにより、時間に対する電位コントラスト像を高速に取得することができます。この電位像は、高いコントラストを得ることができます¹⁶⁾。
- ④ AFI 法:電圧マージンなどのマージナル不良デバイスに対して、良品条件と不良品条件を高速で切り替えながら CGFI 法を応用することにより、故障信号が伝播していく配線のみを点滅観察できます¹⁷⁾。(図 4.13 参照)

さらに、半導体チップ裏面の加工技術(機械研磨、レーザ、FIB など)の精度向上とともに、裏面からの測定アプローチも検討されております^{18), 19)}。

【原理】

電子銃から半導体チップ表面に電子を照射するとチップ表面から2次電子が発生します。2次電子量は一定ですが、エネルギー分布が電位により異なるため、その分布を識別することで論理を判定できます。GND電位におけるエネルギーに対して、正電位の場合にはそのエネルギー分布が左側へ、負電位の場合には右側へシフトします。半導体チップと2次電子検出器の間にグリッドと称する電位障壁を設けることにより、その障壁を超えるエネルギーをもつ電子のみが検出器に到達するため、検出された2次電子量を比較することで半導体チップの電位を相対的に比較できます。(図4.14参照)

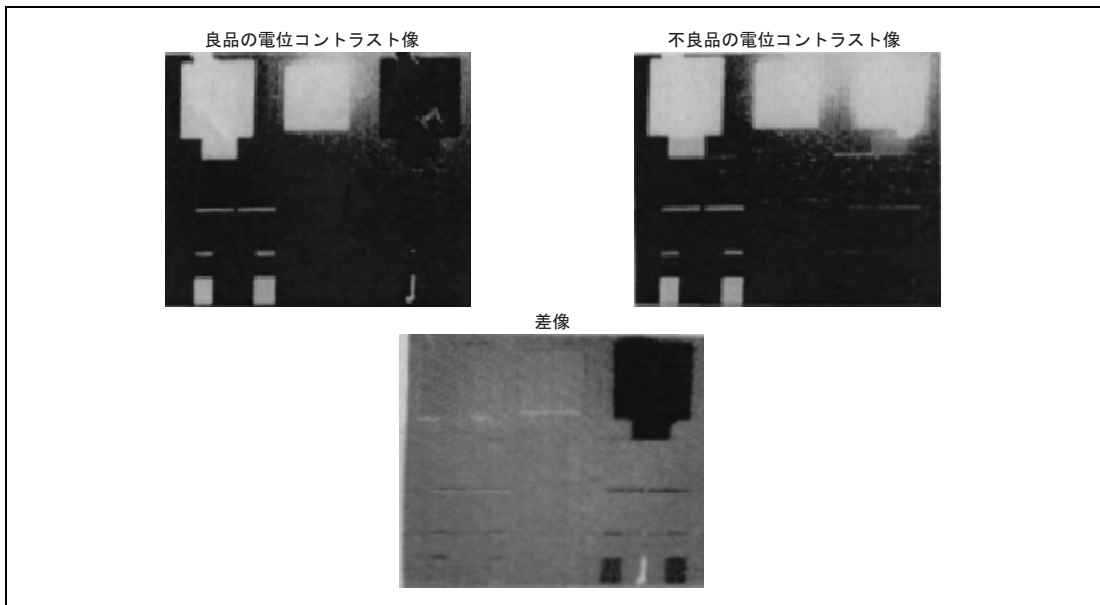


図 4.11 電位コントラスト像

4. 半導体デバイスの故障解析

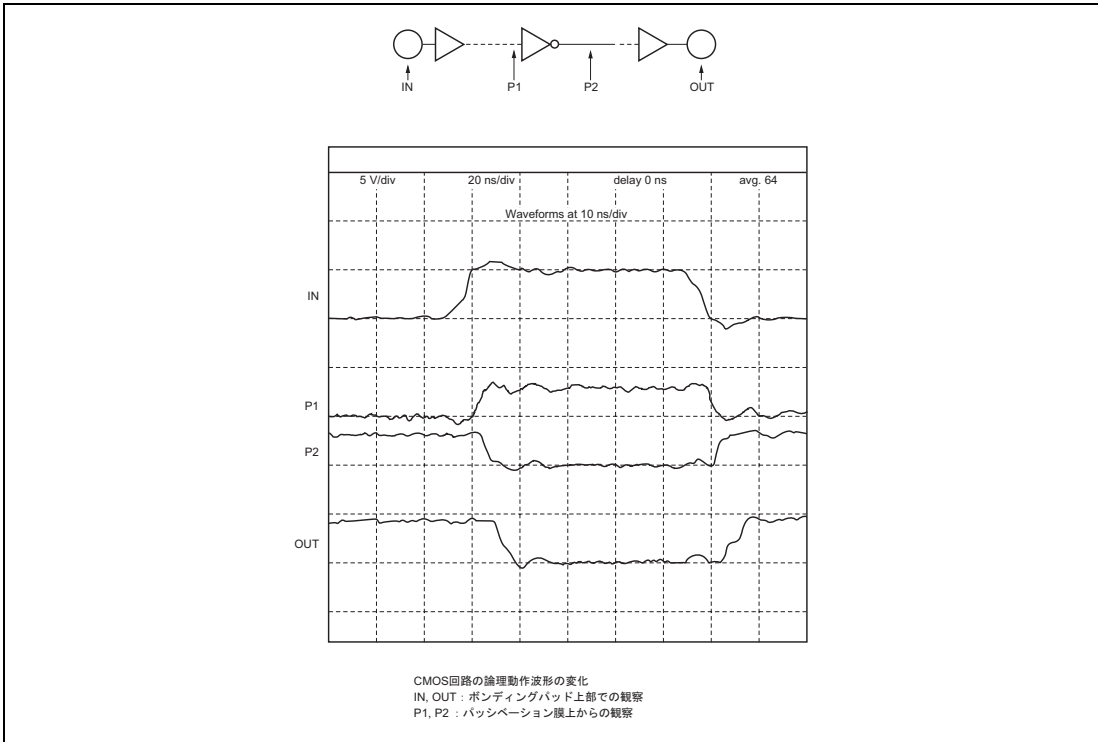


図 4.12 論理動作波形



図 4.13 AFI 像

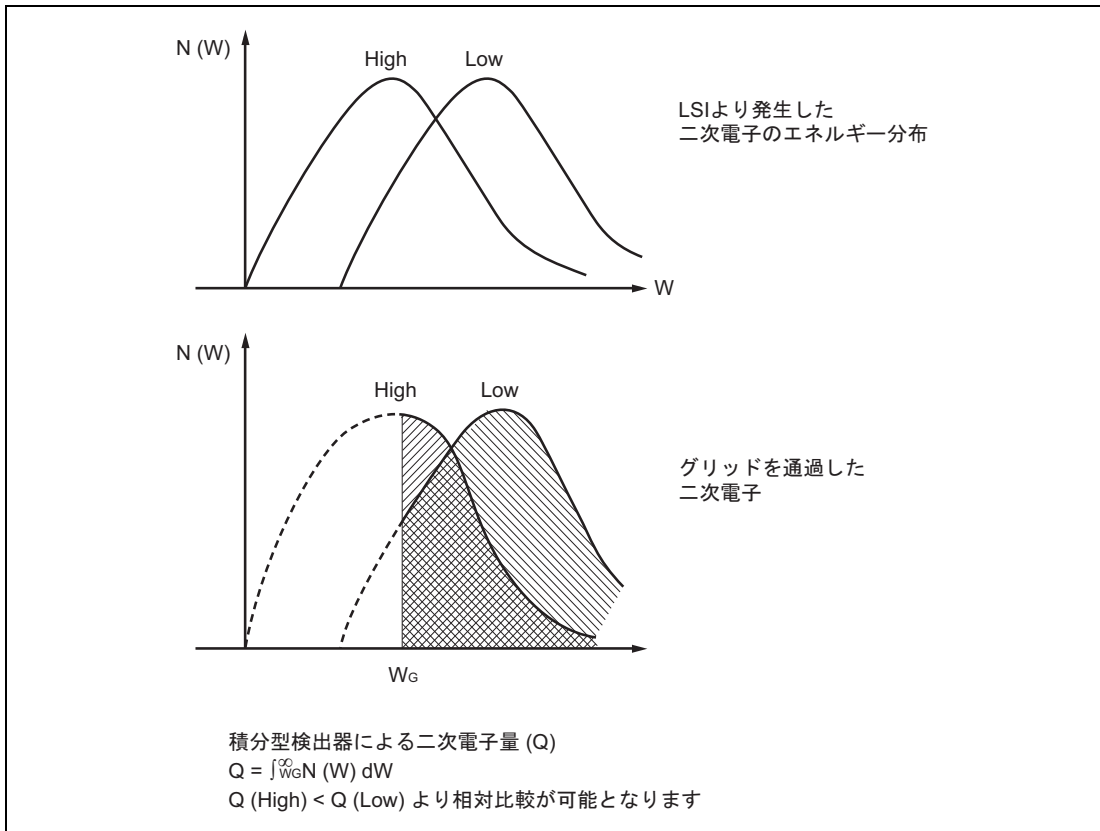


図 4.14 二次電子のエネルギー分布

4. 半導体デバイスの故障解析

4.4.4 レーザボルテージプロービング法 (LVP: Laser Voltage Probing) 時間分解発光解析法 (TRE: Time Resolved Photo Emission Microscopy)

[目的]

EB テスタでは波形測定ができない Flip Chip 構造のデバイスや多層配線構造のデバイスに対して、チップ裏面から動作タイミングを観察する方法です。

[なにができるか]

EB テスタ同様、LSI テスタなどによりデバイスを動作させた状態で、無負荷・高インピーダンス測定が可能です。波形のタイミングなどを高精度で測定することができます(周波数帯域: ~9GHz)。

(1) レーザボルテージプロービング法

EB テスタでは波形測定できない Flip Chip 構造のデバイスや多層配線構造のデバイスに対して、チップ裏面から光学的にチップの内部回路の電位波形やタイミングを測定することができます。

(2) 時間分解発光解析法

チップ裏面を約 100 μm 厚に鏡面研磨した後、Si 基板裏面からトランジスタのスイッチング時(遷移状態)に発生する微弱な近赤外の発光現象を ps オーダーで捉え、動作タイミングを測定することができます。

[原理]

(1) レーザボルテージプロービング法

チップ裏面を約 100 μm 厚に鏡面研磨した後、0.5~0.7 μm 径のパルス化した近赤外レーザービーム(波長 1,064nm)を Si 基板裏面から透過させ、動作トランジスタ拡散層(ドレイン)に照射することにより反射光を検出します。(図 4.15 参照) pn 接合に電界がかかっている場合、バンドギャップが縮退し、入射レーザーの吸収率が上がり反射光強度が小さくなります(Franz-Keldysh 効果)。

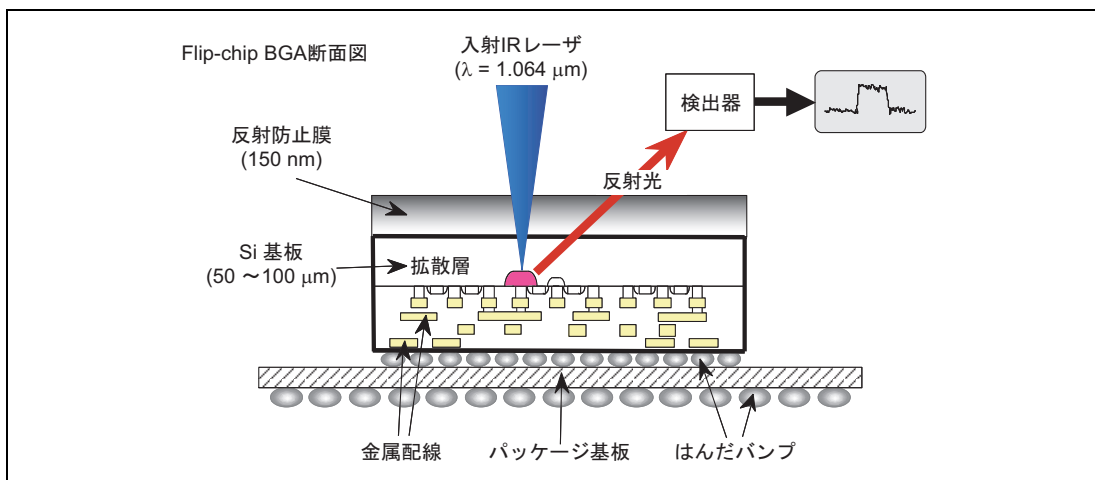


図 4.15 LVP 原理

さらに pn 接合での電位差によるキャリア密度の変化から反射光に位相差が生じます。この位相差と Franz-Keldysh 効果による反射光強度変化を時間軸に対して検出することで、非接触でチップ内部のトランジスタ拡散層における電位波形を測定できます^{20), 21)}。

パターン観察及びプロービングは、レーザ走査像(図 4.16 参照)を用いますが、EB テスタと同様に得られる情報は波形などの論理・タイミング情報(図 4.17 参照)になるため、故障箇所を特定するには期待値情報との比較が必要です。レイアウトやネット情報とリンクした CAD ナビゲーションツールを活用して、トランジスタをトレースすることにより故障箇所を絞り込みます。

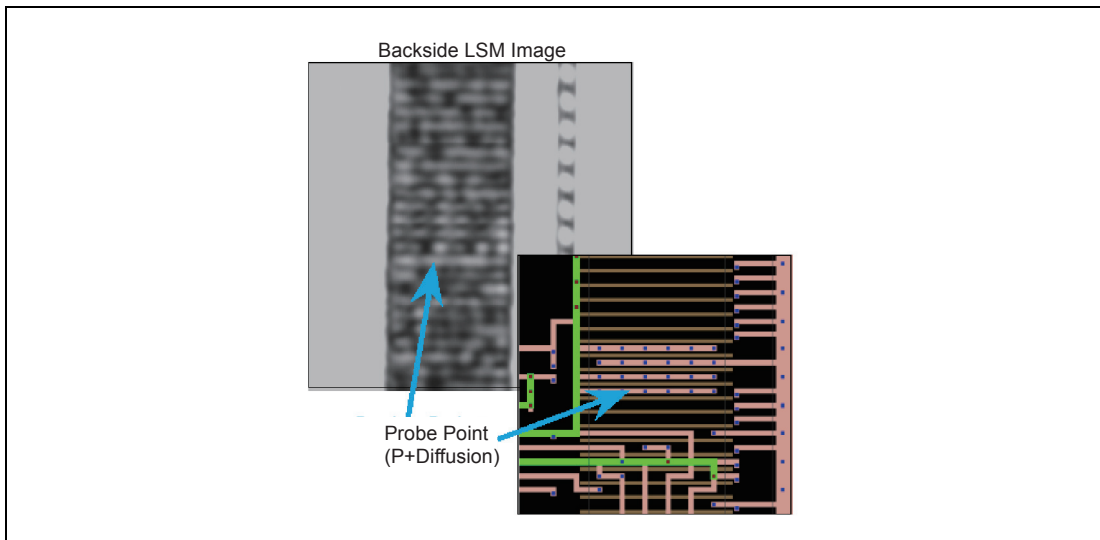


図 4.16 レーザ走査像/レイアウト

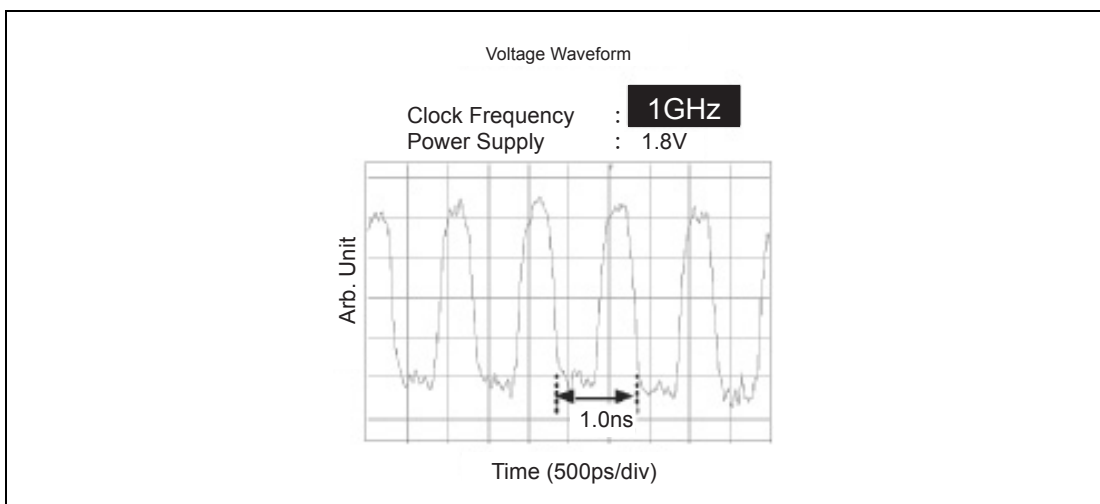


図 4.17 LVP 電位

4. 半導体デバイスの故障解析

(2) 時間分解発光解析法

チップ裏面を約 100 μm 厚に鏡面研磨した後, Si 基板裏面から漏れ出るわずかなフォトン量子効率約 60%の超高感度時間分解赤外カメラで捉え, さらに SIL (固浸レンズ: $\text{NA}=2.45$) の集光効果により感度向上及び空間分解能向上を図っています^{22), 23)}。(図 4.18 及び図 4.19 参照) 得られる情報は, EB テスタや LVP のような信号波形そのものではなく, 時間軸に対するスイッチング時の発光強度であり, これが動作トランジスタのタイミング情報となります。EB テスタや LVP と同様に, 故障箇所を特定するためには, 期待値情報との比較が必要であり, レイアウトやネット情報とリンクした CAD ナビゲーションツールを活用し, トランジスタをトレースすることにより故障箇所を絞り込みます。

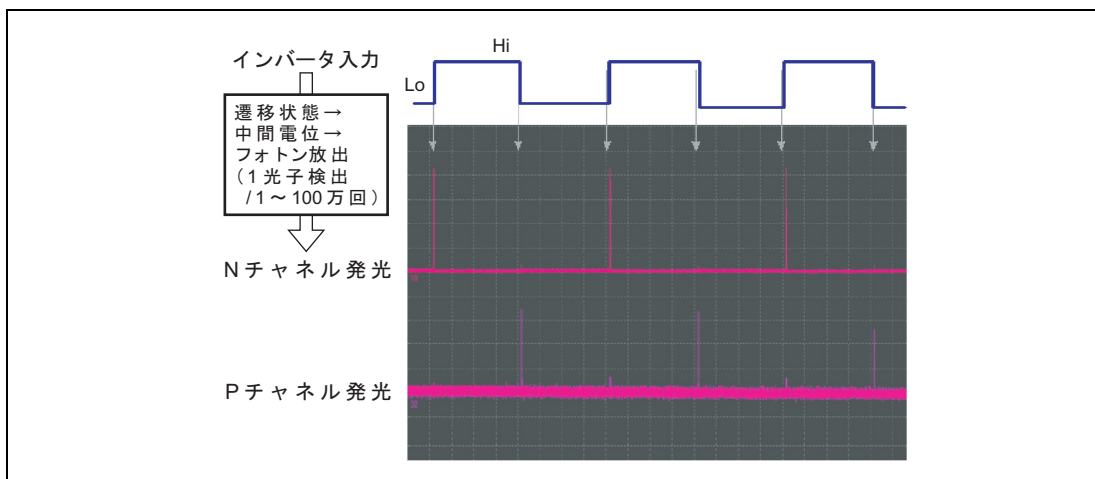


図 4.18 n-ch/p-chトランジスタでの TRE 波形

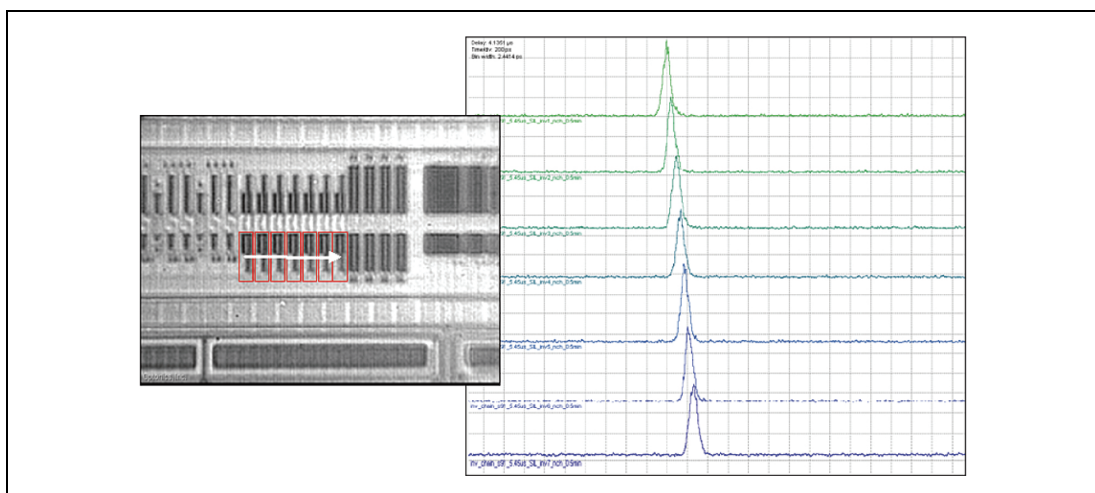


図 4.19 SIL を用いたインバータチェーン TRE 波形測定

4.4.5 液晶解析

[目的]

液晶を半導体チップ上に塗布し、チップ上の温度や電界によって液晶の結晶構造が変化する様子を偏光顕微鏡で観察する方法です²⁴⁾。

[なにができるか]

- ① 発熱を伴うリークやショート不良の発生箇所を検出できます。CMOS デバイスの IDDQ 異常箇所の検出や ESD/EOS 破壊箇所の検出が可能です。
- ② 電界の変化による液晶の結晶構造の変化による電位像表示。この方式は主に、オープン箇所の検出に用いられています。

[原理]

(1) 発熱発生箇所検出

液晶に温度を加えると液晶相が変化します。光学的には複屈折性からなど等方性に性質が変化します。その変化は偏光顕微鏡で観察できます。微少な発熱箇所の検出については、次の二つの方法があります。図 4.20 に検出手法を、また図 4.21 に検出結果を示します。

- 第1の方法

被観察半導体チップの温度をあらかじめ液晶の結晶性が変化する温度(相転移温度: T_c)直下までもっていく方法です。温度調節した金属プレートを熱伝導効率のよい金属(例えば Al)を介して半導体チップ裏面に接触させます。その結果、 0.1°C 以下のコントロールが可能となります。本手法による微少リークの検出感度は数 μW です^{25), 26)}。

- 第2の方法

液晶を強制的に相転移させた後、自然冷却法により再び液晶が転移点以下になる工程を利用する方法であり、液晶が冷却しながら転移点以下になるその時点に感度を利用する方法です。本手法による微少リークの検出感度は数 $10 \mu\text{W}$ です²⁷⁾。

(2) 電界の変化による液晶の結晶構造の変化による電位像表示

LSI と導電性プレート間に液晶を挟んだサンドイッチ構造にして、LSI と導電性プレート間に電位を印加した後、LSI を駆動させます。その時、LSI 内部に発生した電位値に応じて導電性プレート間に電界の差が発生します。その電界により、液晶相の構造が変化し、その変化に応じて反射像が光学的に変化します。その変化は色として検出できます。

4. 半導体デバイスの故障解析

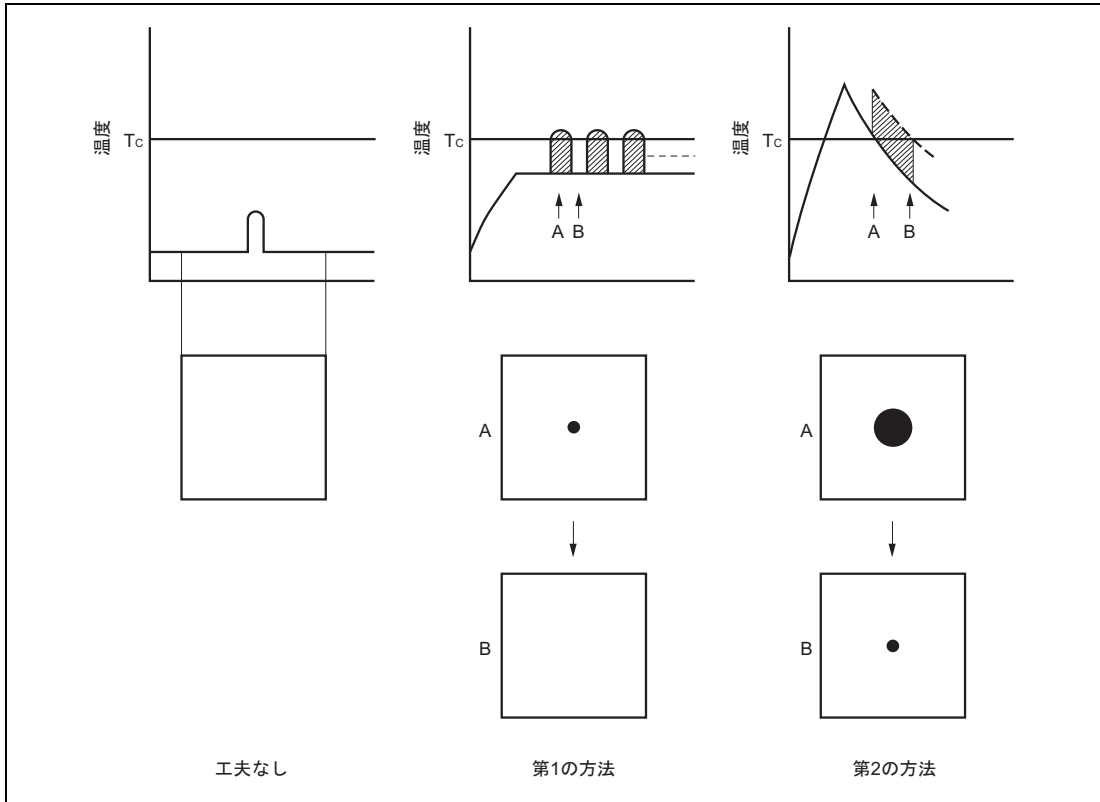


図 4.20 微小発熱箇所の検出手法

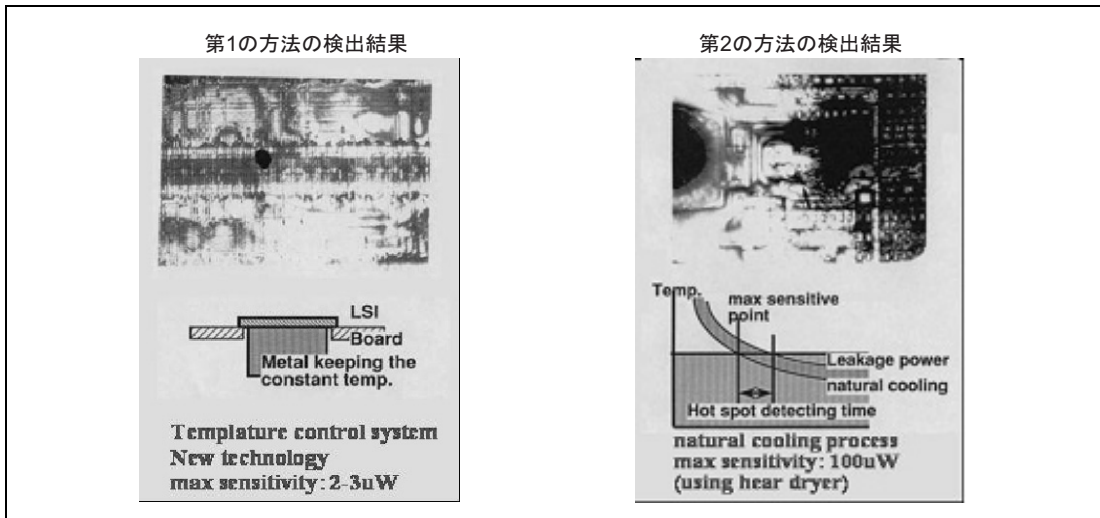


図 4.21 微小発熱箇所の検出結果

4.4.6 フォトエミッション顕微鏡解析

[目的]

半導体チップに電圧を印加した時に発生する発光現象を検出する装置です。微小な発光を高感度の検出器により検出し、その検出した発光を記憶し光学像と重ね合わせてモニタ画面上に出力することで異常箇所を検出します。

[なにができるか]

- ① ホットキャリア発生箇所の検出
- ② 絶縁膜/pn 接合部の損傷(ショート, リーク)箇所の検出
- ③ pn 接合部順バイアス時の少数キャリア再結合による発光の検出
- ④ ラッチアップ発生箇所の検出
- ⑤ ファンクション動作状態での発光観察 (LSI テスタとのリンクによる)
- ⑥ 裏面からの発光観察
- ⑦ 発光の分光分析

[原理]

接合リークや絶縁膜破壊があるとき、電圧を印加するとその不具合箇所に電界が集中しホットキャリアが発生します。そして再結合するときに放出される光を検出器により検出します。検出器にはイメージインテンシファイア (I.I.) 内蔵の超高感度近赤外カメラと高感度・高分解能の冷却 CCD カメラを有しています。前者は、フォトン 1 個 1 個まで検出する高い検出感度に加え、高速な過渡現象を捉えるゲート機能やリアルタイムで発光の変化を観察できる機能を備えています。後者は、感度波長域が広く(300~1,100nm)、高分解能なパターン像を得ることができます。これらの検出器により、検出された微弱光を 2 次元の発光像として取得し^{28), 29), 30), 31)}、パターン像と重ね合わせてモニタ画面上に出力することにより、発光箇所を特定することができます³²⁾。(図 4.22 及び図 4.23 参照)

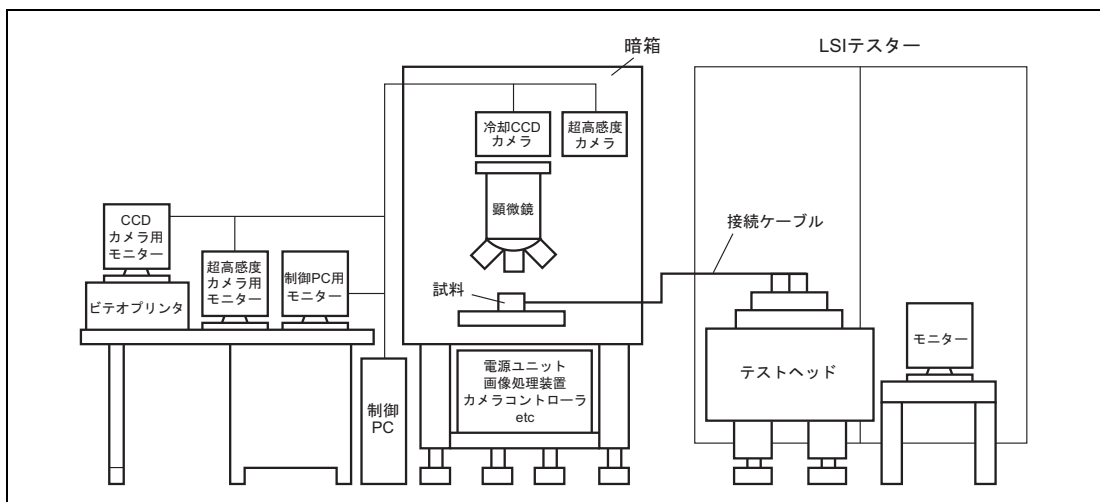


図 4.22 エミッション顕微鏡装置概略図 (LSI テスタとリンクした場合)

4. 半導体デバイスの故障解析

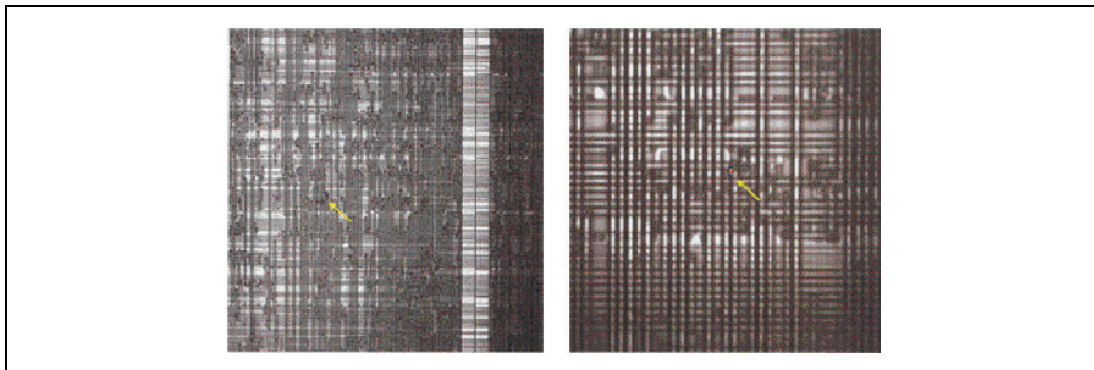


図 4.23 発光観察実施例

4.4.7 OBIRCH(Optical Beam Induced Resistance Change Method)

[目的]

基本的には、配線系の非破壊故障解析に用いますが、故障の原因によっては基板部に関係している故障が検出できる場合もあります。

[なにができるか]

二つの異なる機能があります。この二つの機能はチップ表面からだけでなく、チップ裏面からも可能です^{33), 34), 35), 36)}。

(1) 電源電流不良品の電流経路の検出^{37), 38), 39), 40)}

配線に DC 的に流れている電流の経路が像として観測できます。

(2) 配線系のボイド、Si 析出、寄生高抵抗層などの異常の検出^{41), 42), 43), 44), 45), 46)}

配線の表面に現れているボイドが検出できるだけでなく、配線膜中に埋もれているボイドや Si 析出も検出できます。また、ビア部のボイドも検出できます。さらに、ビア底部にできた数 nm 程度の薄い高抵抗層の検出も可能です。

[原理]

レーザービーム照射により加熱し、それに伴う電流の変化を検出することで、上述の二つの機能が実現できます。次で、具体的に説明します。

被観察試料に定電圧を印加した状態で、レーザービームを被観察領域に走査しながら、走査領域の各点に対応した CRT 上の各点に、電源電流の変化を輝度の変化として表示します。この際、電流の増加している部分は明るく、減少している部分は暗く表示します。レーザーを配線に照射することにより配線の温度が上昇し、その結果抵抗が増加します。その結果としての電流減少が観測されることとなります。このため配線部はその周囲より暗いコントラストが得られます。配線の構成物質である Al より熱伝導の悪い欠陥(ボイドや Si 析出)が存在する箇所にはレーザーが照射された瞬間の温度上昇は、欠陥が存在しない箇所に照射された瞬間の温度上昇より大きいため、抵抗増加も大きく、したがって電流減少も大きくなり、欠陥部が暗くなった像が得られます。ビア底部にできた寄生高抵抗層の抵抗値はしばしば負の温度特性をもちます。そのため、この箇所にレーザーが照射されると抵抗が減少し、この箇所が明るくなった像が得られます。

OBIRCH 法を実現する手段として、通常の OBIC (Optical Beam Induced Current) 装置が使えます。ただし、通常の OBIC

信号を得るよりは、高感度であることが必要です。装置構成の例を図4.24に示します。この例で用いた装置は可視レーザー(波長 632.8nm)を用いた装置と近赤外レーザー(波長 1,300nm)を用いた装置の二種類あります。可視レーザーの装置の方が高い空間分解能が得られますが、TEG(Test Element Group:評価専用構造)以外の実デバイスに適用するためには、OBIC 電流が電源電流として流れないような工夫が必要です。そうしないと、OBIC 信号が OBIRCH 信号を妨害し OBIRCH 像は得られません。しかし、このような工夫は通常は非常に困難です。波長 1,300nm の近赤外レーザーを用いると、OBIC 信号が発生しないため、簡単に実デバイスに適用できます。また、チップ裏面からの観測も容易に可能になります:チップを薄くしなくても約半分のレーザーは配線に到達します。

He-Ne レーザ(632.8nm, 2mW~20mW)を最小径 0.43 μm に絞り、試料上を走査します。走査は、デジタル的に縦 512×横 512ピクセルで行ない、各ピクセルでの滞在時間は約 2 μs で一回の走査は約 0.5 秒です。良質な像を取得するためには、通常 10~20 回の積算を行う必要があります。最大倍率(3,600 倍、視野領域:35 μm ×35 μm)でのデジタル走査の 1 ステップは約 0.068 μm です。電流変化検出器は 3 種類有ります。最大 200mA まで通電可能で、電流変化の検出感度が 400nA (S/N=2)のもの、最大 100mA まで通電可能で、電流変化の検出感度が 1nA のもの、それに 20mA 通電可能で検出感度が 100pA のものです。

赤外レーザーを用いた装置は、レーザーダイオード(1,300nm, 50mW)をビーム最小径 1.87 μm (理論的に全エネルギーの 83%が入る範囲、112 μm 視野時)、最大径 21.1 μm (5mm視野時)に絞って用いています。走査はアナログで、一回の走査は約 5 秒、S/N を上げる必要がある場合には最大 16 回の積算を行っています。像は 512 点×512 点で取得しています。

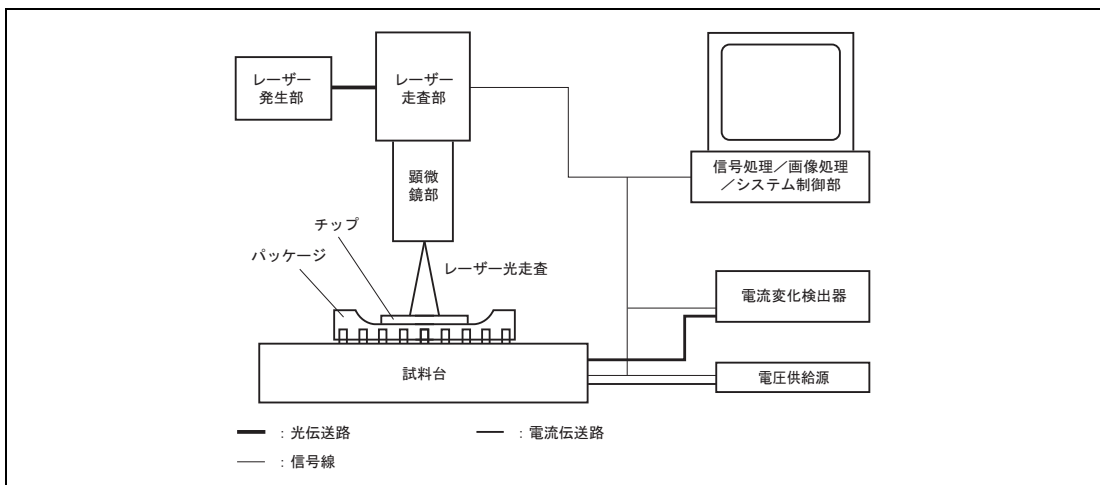


図 4.24 OBIRCH 法実現のための装置構成

[解析事例]

(1) 電源電流不良品の電流経路の検出

図 4.25 にチップ裏面から電流経路を検出した例を示します。この例では、近赤外レーザーの装置を用いています。5mm×5mm といった広い視野で電流経路を検出した後、高倍率に切り替え異常箇所の確認をすることができます。この例では、配線幅は約 1.5 μm 、配線に流れている電流は約 1mA です。5mm×5mm の領域を走査する際のビーム径は約 20 μm ですが、幅約 1.5 μm の配線に流れる電流も観察できる点に着目下さい。さらに、同じビーム径で幅約 0.4 μm の配線に流れる電流を観察した例もあります。

4. 半導体デバイスの故障解析

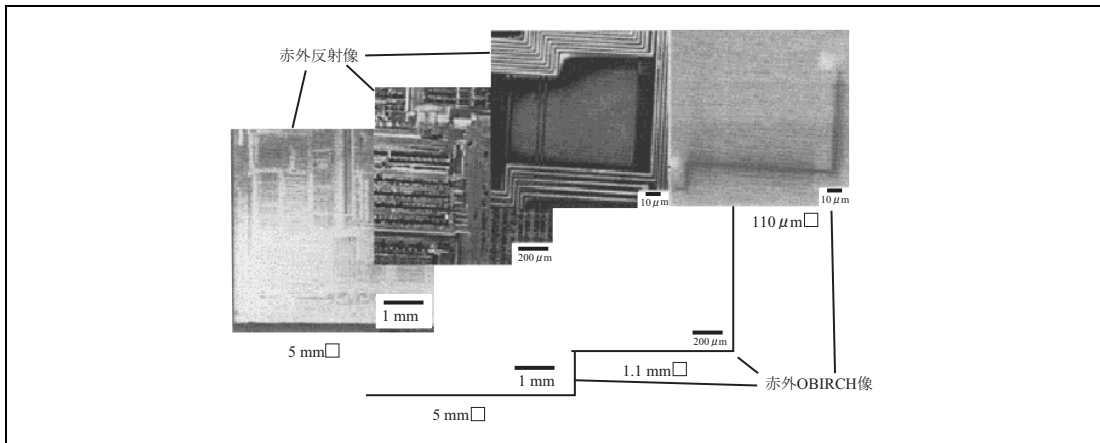


図 4.25 電流経路の観察例

(2) 配線系のボイド、Si析出、寄生高抵抗層などの異常の検出

図 4.26 にエレクトロマイグレーションによりできたビア下のボイドを検出した例を示します。この例では可視レーザの装置を用いています。

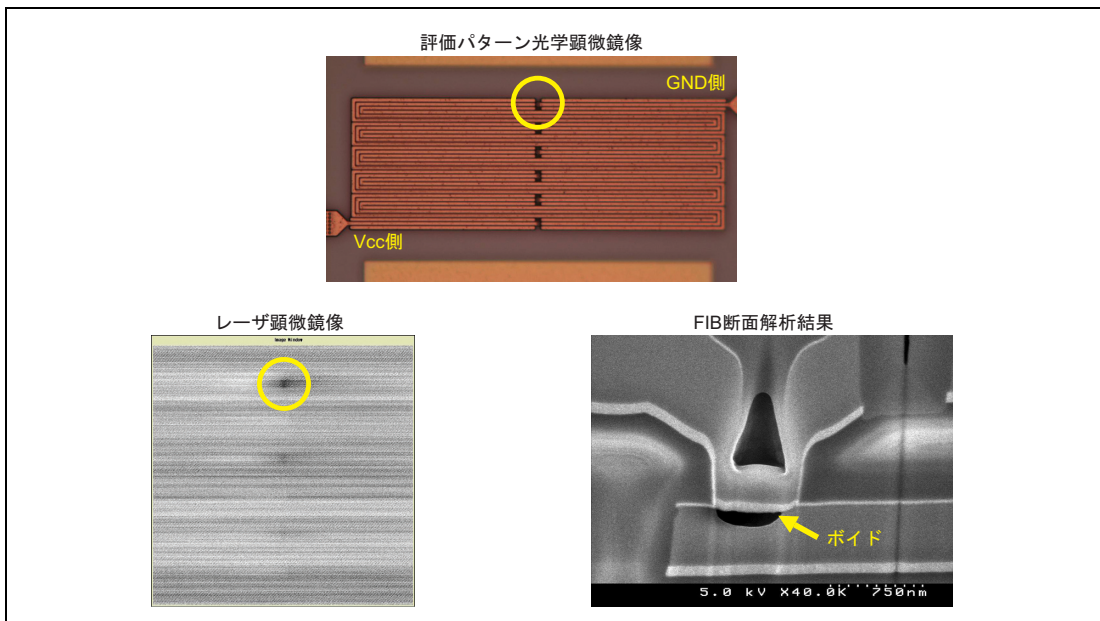


図 4.26 ビア下のボイドの検出例

4.4.8 IDDQ 異常現象を用いた故障診断技術

[目的]

半導体デバイスの電源電流を調査することにより、論理動作試験において検出されない故障品の選別や、故障箇所の特
定化に利用することを目的としています。当社は、この現象を利用したテストングや故障診断方式を研究・開発し、実用化
してきています。

[なにができるか]

半導体デバイスのテストング、加速試験の代用及び、故障箇所の特定に適用できます。各々の詳細を以下に説明しま
す。

[原理]

IDDQ (Quiescent Vdd Supply Current) 異常は、半導体チップ内部に物理故障が発生していることを知らせるシグナルで
す。(図 4.27 参照) テストベクタを入力しながら、各ベクタの IDDQ 値を測定することにより、そのシグナルを捕らえることが
できます。

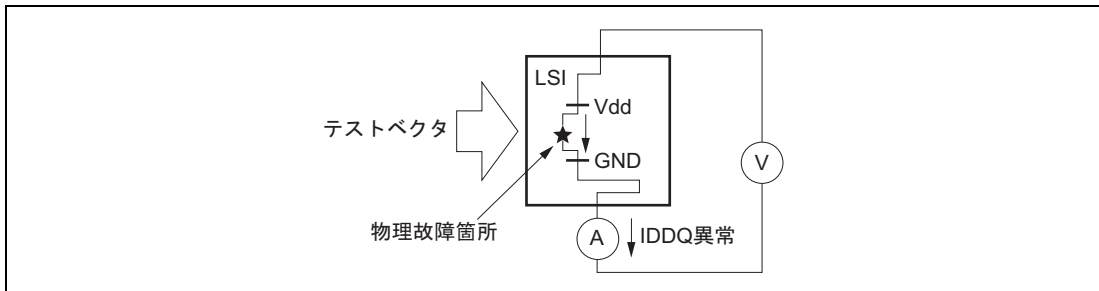


図 4.27 物理故障の存在による貫通電流発生過程

(1) テスティング

テストングへの応用は、従来の論理動作試験に IDDQ 異常値の識別試験を追加することにより、論理動作試験のみ
では検出できないモードの検出や、論理動作試験によるテストバリティの不備を補う故障検出率の向上が可能となりまし
た。このテスト方式は、回路規模の増大とともにますます不可欠なようになってきています。

当社では、早くから IDDQ テストに注目し、実験を繰り返してきました。そして現在、IDDQ テストの適用化に向けて整
備を行っています。

図 4.28 は、論理動作不良品と IDDQ 不良品の一般的な傾向を示すグラフです。論理動作不良品は、ほとんどが
IDDQ 試験でも不良として検出されますが、IDDQ 異常品は必ずしも論理動作不良として検出されません。当社は、テスト
ベクタ構成の性格や、全テストベクタのトグル率チェックによるテストバリティ算出にて、効率的なテストング方式を確立
しています^{47), 48), 49), 50), 51), 52)}。

4. 半導体デバイスの故障解析

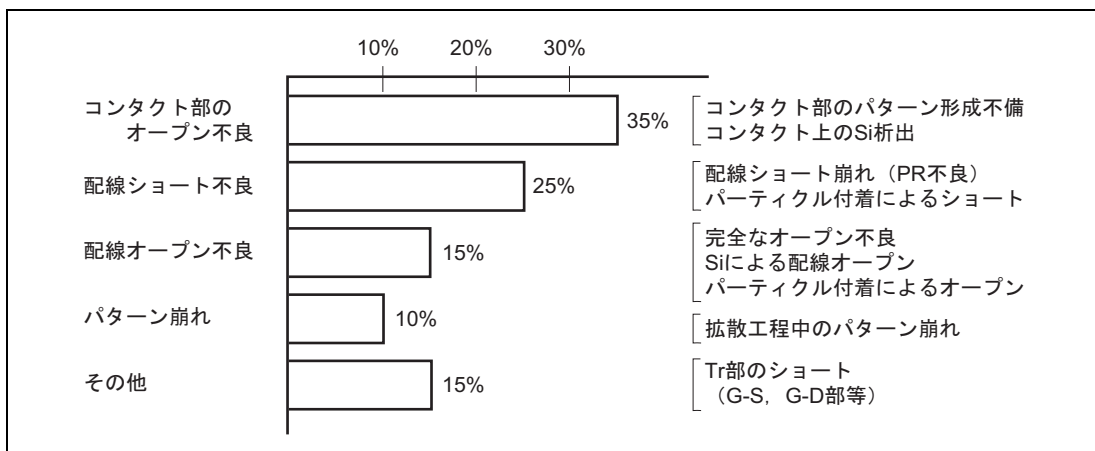


図 4.28 論理動作不良品とIDDQ不良品の一般的な傾向

(2) 加速試験への適用

従来、スクリーニングにより除去していた初期不良品を、IDDQテストにて除去する実験を行っています。この適用の根拠は簡易な加速試験(温度、電圧)で不良となる初期不良品は、明らかな故障要因を半導体チップ内部に内蔵しているためであり、IDDQチェックにおいて良品/初期不良品間で有為差が検出されるためです。

(3) 故障解析(物理解析への応用)

物理故障の検出方法としての故障解析への適用が進んでいます。

IDDQ異常発生箇所は異常なフォトンの発生や、発熱の発生、そして異常電流の発生を伴うため、それらの現象を観察することにより容易にリーク箇所を特定できます。フォトン検出の代表的なものにフォトエミッション顕微鏡(4.4.6 参照)が、また、発熱検出の代表的な手法に液晶塗布法(4.4.4 参照)があり、さらに異常電流発生通路のビジュアル検出法としてOBIRCH法があり、それらの手法の改善により、より高精度な解析が可能となってきています。従って、当社の故障解析フローはまず、IDDQ異常箇所を検出した後に詳細な解析に進めるようになっていきます。

(4) 故障解析(CAD対応による故障箇所の絞り込み)

レイアウトパターン構成、パッケージ構造、そして多層配線構造への進展は、直接半導体チップ表面を露出して故障箇所を検出することを困難にしています。そのため、物理解析によらない故障箇所の検出方式が急務になってきました。このような要求に対応し、当社ではIDDQ異常現象を用いたCAD利用による故障箇所の検出方式を開発しました。

これは、設計CADデータとIDDQ異常発生テストベクタのデータを用いて、独自のアルゴリズムにより故障箇所を検出する方式であり、実用化に向けて準備中です。(図 4.29 参照)

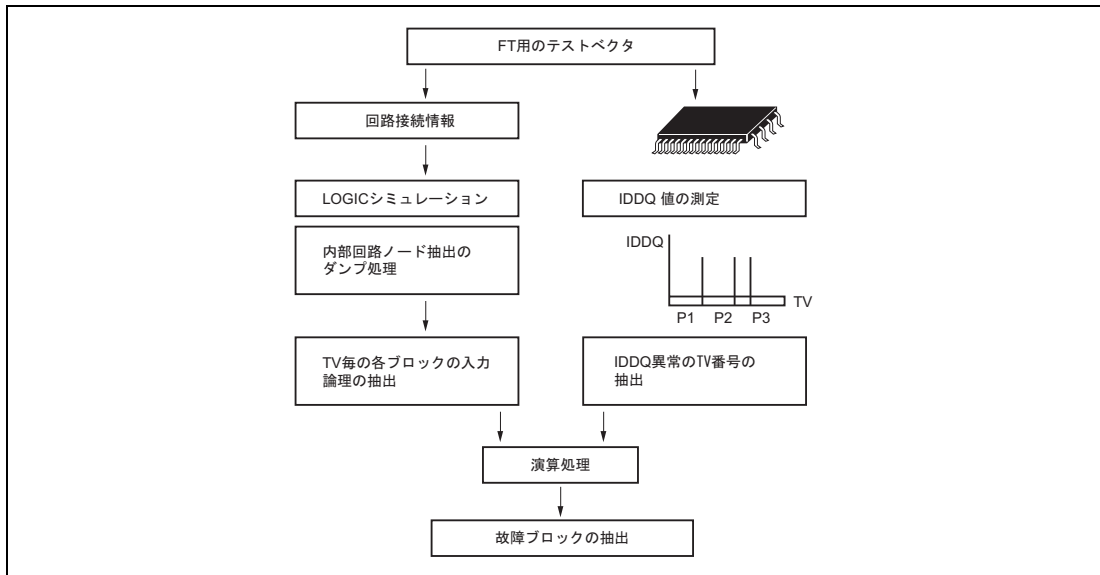


図 4.29 CAD データと IDDQ 異常発生 of テストベクタを用いた故障箇所検出方式

4.4.9 オージェ電子分光分析 (AES: Auger Electron Spectroscopy)

[目的]

AES (オージェ電子分光分析法) は、微小な部分の極表面層を分析する方法で、薄膜材料の組成、界面の構造、元素の拡散状態、パーティクル成分、ボンディングパッド残留絶縁膜、リードの変色部、層間異物などの分析を目的とします。

[なにができるか]

- ① HとHeを除いたすべての元素を検出できます。検出限界は1~0.1 atoms%程度です。
- ② 極薄層表面 (深さ5 nmまで) の分析ができます。
- ③ 電子ビームを絞ることで微小領域 (電子ビームの直径程度、最新機では約20 nm) の分析ができます。
- ④ スパッタエッチングと併用して深さ方向の組成分布が測定できます。
- ⑤ 電子ビームをスキャンすることで目的元素の面分布や線分布が得られます。
- ⑥ オージェピークの形状及びエネルギーシフトから元素の結合状態を知ることができる場合があります。

[原理]

AES は、試料に電子ビームを照射したときに放出されるオージェ電子を利用するもので、オージェ電子のエネルギーは元素固有の値となることから元素の同定や定量分析を行うことが出来ます。オージェ電子は、次に示すオージェ遷移過程で放出されます。

- ① 電子ビームが試料原子の内殻電子をイオン化して空孔ができます。
- ② この空孔を外殻電子が埋めます。この時、両者のエネルギー差に相当するエネルギーが放出されます。

4. 半導体デバイスの故障解析

- ③ このエネルギーによって別の外殻電子が励起されて、原子の外に放出されます。これがオージェ電子です。測定対象となるオージェ電子のエネルギーは 50～2,000eV の範囲にあり、試料中から脱出できるオージェ電子は表面から 5nm 程度の深さで発生したものになります。このため、AES は極表面層に敏感な分析法です。

[分析例]

図 4.30 は、ゲート配線を poly-Si が露出するまで機械的に研磨した後、ゲート部分を上から AES でスパッタエッチングを併用して測定した深さプロファイルの例で、膜厚 11nm のゲート酸化膜が検出されています。

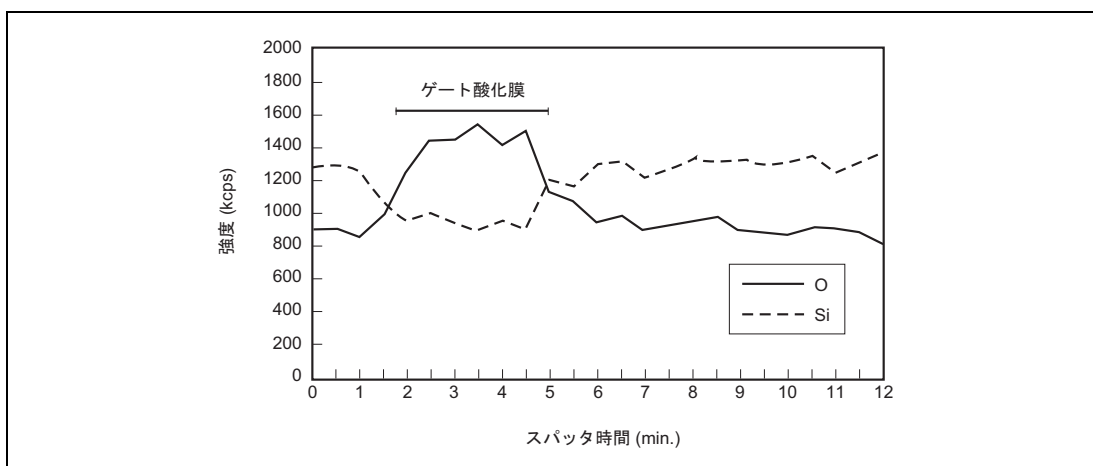


図 4.30 ゲート酸化膜のデプスプロファイル

4.4.10 フーリエ変換赤外分光分析 (FT-IR: Fourier Transform Infrared Spectroscopy)

[目的]

FT-IR (フーリエ変換赤外分光法) は、主にゴム、紙、プラスチック、繊維、布、接着剤などの高分子物質の分析を目的とします。半導体関係では、Si ウェハ中の不純物の分析、ウェハ上の付着物の分析などに用います。

[なにができるか]

IR (赤外分光法) は、有機化合物の構造解析に不可欠な方法で、特に分子の官能基、伸縮運動や変角振動などの運動についての情報が容易に得られる特徴があります。

一般に用いられている FT-IR (フーリエ変換赤外分光装置) は、測定対象領域のスペクトルが短時間に高感度で測定でき、周波数精度が高く高分解能スペクトルが得やすいなどの特長があり、微量の試料や低透磁率の試料の測定が可能です。

[原理]

物質に赤外線を照射すると、ある波長の光が選択的に吸収を受けます。物質を透過した赤外線の強さを縦軸に、波数を横軸にとって記録すると、赤外スペクトルが得られます。このスペクトルは人間の指紋と同じ様に、その物質の固有のもので、その物質が何であるかを知るために非常に有効に利用することが出来ます。また、物質を構成している各部の部分

構造に関する吸収は、どの波長領域で起こるかがあらかじめ知られているので、スペクトルから未知物質の化学構造を知る上での情報を得ることが出来ます。

光源から出た赤外光は、図 4.31 に示すように、干渉計に入って半透鏡(ビームスプリッタ)で2方向に分けられます。それぞれの赤外光は可動鏡と固定鏡で反射され、再び半透鏡上で出会い干渉します。測定中には可動鏡は反復運動しているため、半透鏡に対して固定鏡との間に光路差が生じるので、赤外光は光路差を関数とする干渉波(インターフェログラム)となります。この干渉波は再び2方向に分離され、一方は光源方向に戻り、他方は試料を通して検知器に到達します。検知器で得られた干渉波の電気信号は、コンピュータによってフーリエ変換されて赤外スペクトルとなります。

一般的な測定方法は、試料をセットしないでバックグラウンドスペクトルを測定し、次に、試料をセットして試料側スペクトルを測定します。その両スペクトルの比を計算して、試料の赤外スペクトルを得ます。

主な分析手法としては、『薄膜透過法』、『全反射法』、『液体 ATR 法』、『拡散反射法』、『顕微赤外法』、『GC/FT-IR』、『光音響分光法』などがあります。

これらの分析手法の中で、比較的好く行われる『全反射法』、『顕微赤外法』について簡単に説明します。

- 全反射法

全反射法(ATR:Attenuated Total Reflectance)は、試料の表面分析を行うのが目的です。この方法は、試料の吸収強度が強く、透過法では飽和してしまって良好なスペクトルが得られない場合や薄膜の分析に用います。

- 顕微赤外法

微小部位の測定(～20μm)には透過法及び反射法の測定が行える赤外顕微鏡が用いられます。生産工程で混入した異物の同定などに用います。この時、試料の前処理をほとんどせずに測定出来ます。

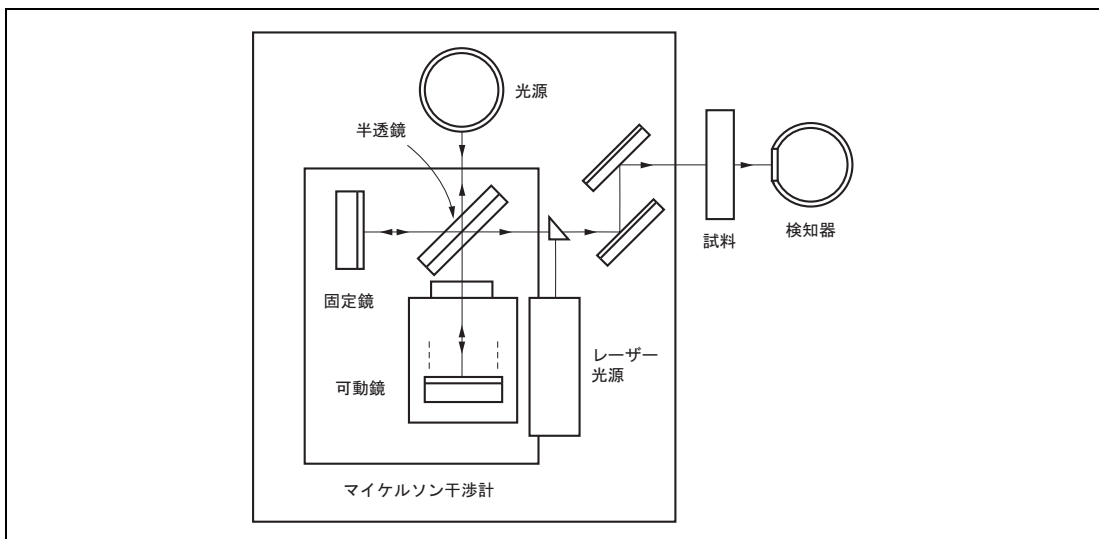


図 4.31 FT-IR の構成図

4. 半導体デバイスの故障解析

[分析例]

(1) SOG 膜構造中の Si-H 評価

図 4.32 は、SOG 膜の焼成条件に伴う Si-H の減少傾向を FT-IR で測定することにより、SOG 膜の最適ピーク温度を検討した例です。図に Si-H 伸縮振動ピークの温度変化を示しました。ピーク温度が高くなるにつれて、Si-H 結合が減少し、ピーク強度が弱くなっていることがわかります。

(2) 全反射法による Si 自然酸化膜の成長過程の測定

図 4.33 は、Si(100)を希フッ酸でエッチング後に大気中に放置し、時間とともに酸化膜の成長プロセスを追跡した結果です。表面酸化とともに Si-O 振動の LO モードが高シフト側にシフトし、ピーク強度も大きくなっていることが判ります。

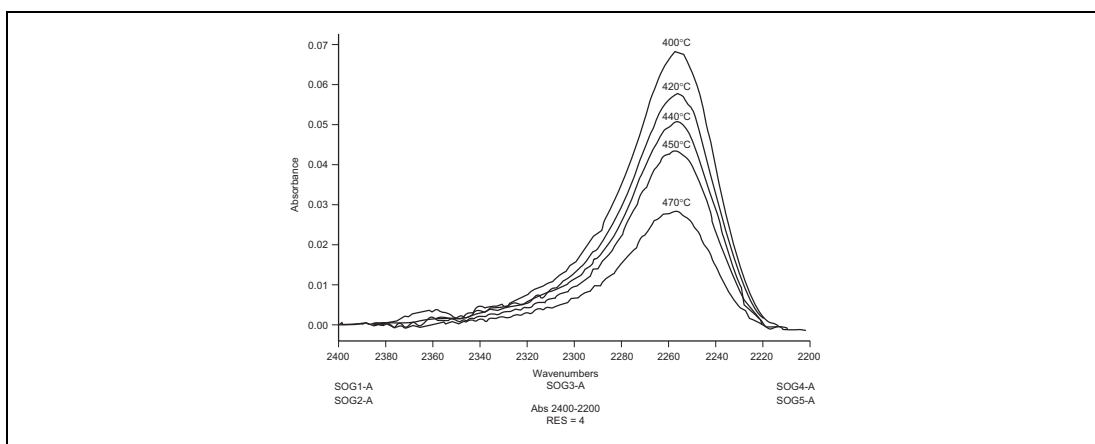


図 4.32 SOG 膜の Si-H 伸縮運動ピークの温度変化

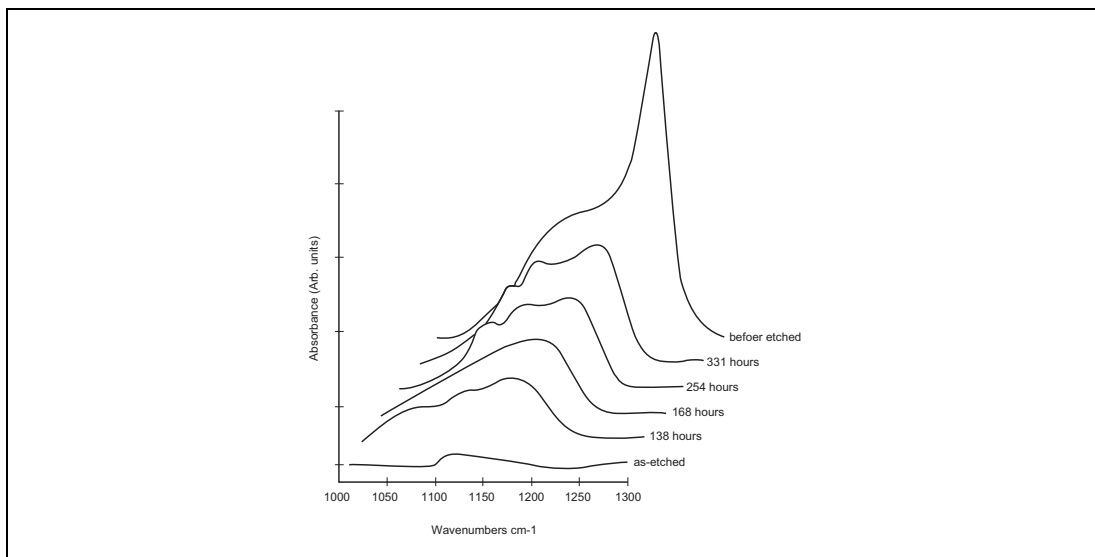


図 4.33 Si 上の自然酸化膜の成長過程

4.4.11 透過型電子顕微鏡(TEM:Transmission Electron Microscope)

[目的]

透過型電子顕微鏡(TEM)は、薄膜化した試料に電子を透過させることによって像観察、結晶構造の解析、微小領域の元素分析・化学状態分析を行います。

[なにができるか]

(1) 像観察

高倍率(1,000万倍程度まで)観察ができます。転位などの結晶欠陥を観察できます。

(2) 結晶構造の解析

電子線回折により結晶性、結晶方位、格子定数決定など結晶構造の解析ができます。

(3) 微小領域の分析

EDX や EELS を付属すると、微小領域の元素分析、化学状態分析ができます。

[原理]

TEM の原理は、光学顕微鏡と類似しており、光の代わりに加速した電子を試料に透過させ、電磁レンズでこの透過電子を拡大結像させることで、試料の高倍率(1,000万倍程度まで)像が得られます。結晶構造を持った試料では、透過電子波と回折電子波の干渉により格子像を得ることができます。また、電磁レンズの焦点距離を変えることにより、電子回折像を得ることができます。この回折像により、観察部の結晶性(非結晶、多結晶、結晶構造の区別)、結晶構造、結晶方位、格子定数などの解析ができます。装置概略図(図 4.34 参照)、分析例(図 4.35 及び図 4.36 参照)を以下に示します。

TEM とエネルギー分散型 X 線分光分析装置(EDS:Energy Dispersive X-ray Spectroscopy)を用いることにより、最高 1nm ϕ 領域の元素分析が可能です。これは、薄膜試料内部では電子線の広がりを見捨て、電子線を照射した領域からのみ特性 X 線が生じ、この特性 X 線を EDS で分析をするためです。また、付属の電子エネルギー損失分光装置(EELS:Electron Energy Loss Spectroscopy)により、TEM で観察した場所の元素分析や化学状態分析を行うことができます。これは、試料を透過した電子線は物質内での作用によりエネルギー損失を起こし、このエネルギー損失を受けた電子のエネルギー分布は物質の局所構造や電子構造を反映しており、このエネルギー分布を解析することにより、元素分析や化学状態分析ができます。

半導体素子を TEM で観察するためには、電子線が透過する程度に観察対象領域を薄膜化する必要があります。加速電圧 200kV の TEM で Si を観察する場合には、100nm 以下の膜厚が適当です。異種材料から成る半導体素子を薄膜化する方法としては、機械的な研磨と Ar イオンを試料に照射しエッチングする方法を組み合わせで行うのが一般的です。最近では、 μm オーダ以下の精度で特定した場所を、集束イオンビーム装置(FIB:Focused Ion Beam)を用いて薄膜化することにより TEM 観察ができます。これにより電氣的に特定された配線接続孔や特定の記憶素子領域が観察できます。

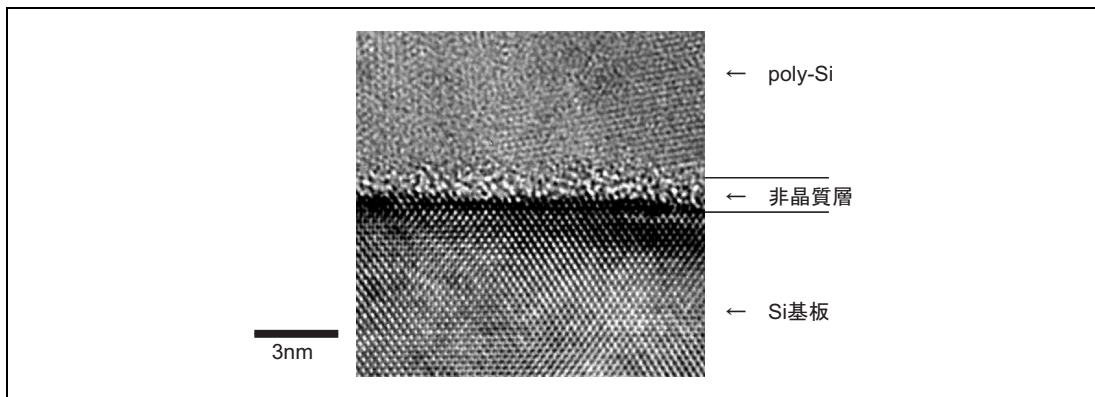
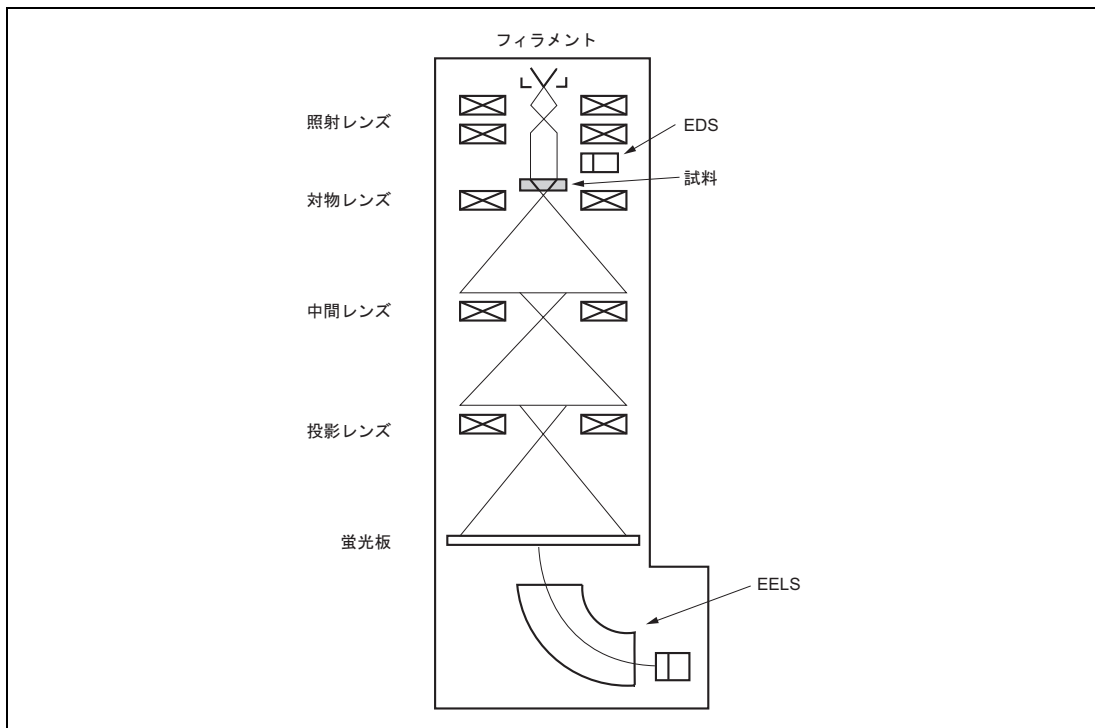
[分析例]

TEM は原子レベルで構造を観察することができます。半導体の信頼性管理技術では、異種材料を接合した部分の電気抵抗異常時の接合界面評価、金属と Si の反応状態観察、不良セルの断面形状観察などに威力を発揮します。以下に TEM による分析例を示します。

Si 基板と poly-Si 電極間の電気抵抗が増大した箇所の TEM による解析例を示します。Si 基板の結晶格子が観察できる

4. 半導体デバイスの故障解析

程度の高倍率で観察することにより、Si 基板と poly-Si 界面に 1 nm 程度の非晶質領域が形成されていることがわかります。(図 4.35 参照) 次に、この部分にのみ電子線を照射した状態で得られた EDX プロファイルを図 4.36(1)に示します。比較のため、Si 基板からの EDX プロファイルを図 4.36(2)に示します。この非晶質層には、O, As, P などが Si に対して多く含まれていることがわかります。この分析結果を元に、poly-Si 成長前処理プロセスを変更することで電気抵抗の低減を実現しました。



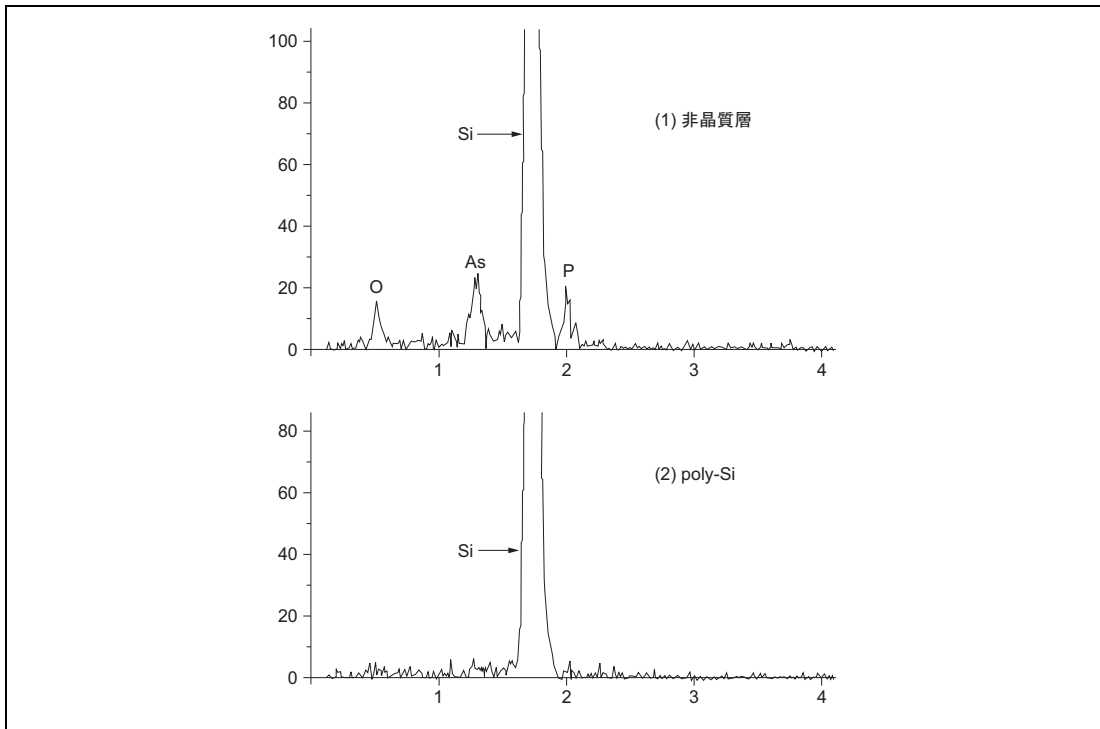


図 4.36 EDX プロファイル

4.5 解析のための加工技術

4.5.1 概要

近年の LSI は微細化, 高速化, 大規模化, そして多層配線構造化が進んでおり, 故障解析は困難になって来ています。以下, 加工技術の高度化について説明をします。

(1) 高速化

高速化に対しては, 主に配線バイパスの形成や配線のつなぎ替え修正において低抵抗の金属デポジションの技術が必要になります。

(2) 大規模化

大規模化に対しては, 注目する回路に直接, 信号を入出力できるバイパスを設ける必要があります。

(3) 多層配線構造化

多層配線構造化に対しては, 電気回路を破壊せず, 下層配線や基板上に作られた半導体素子を露出させる必要があります。

4.5.2 集束イオンビーム(FIB:Focused Ion Beam)

[目的]

FIB 法は、Ga(ガリウム)イオンビームを最小で約 5nm 程度にまで絞って試料に照射し微細加工や像観察を行います。装置概略図を図 4.37 に示します。

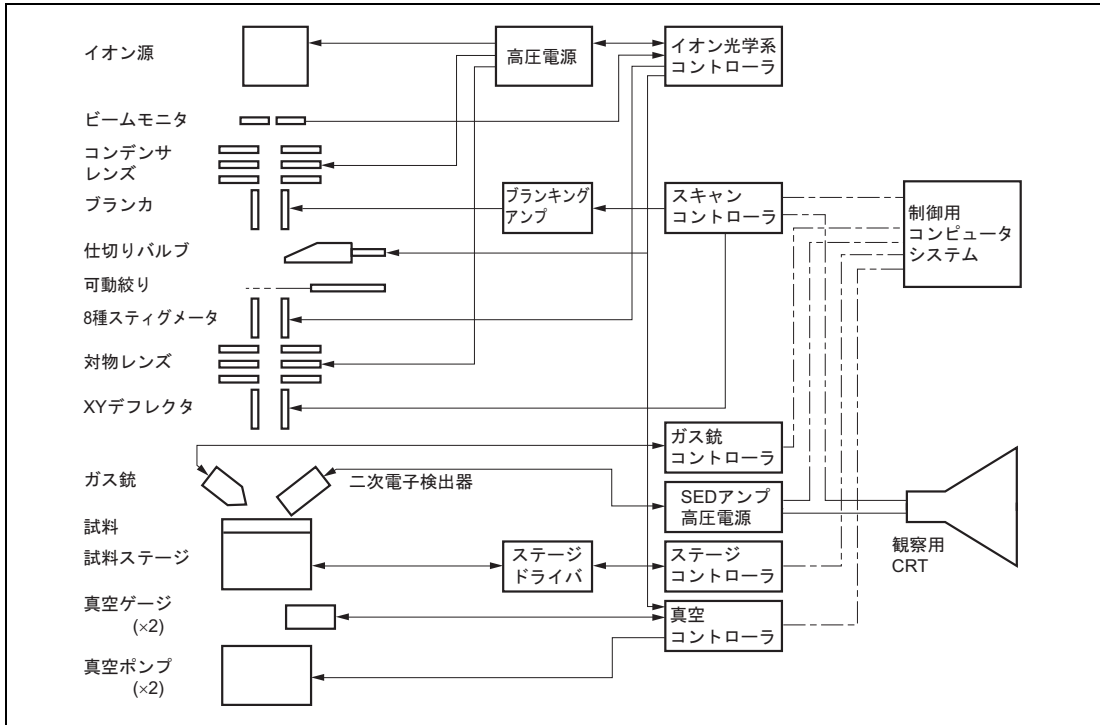


図 4.37 装置概略図

[なにができるか](図 4.38 参照)

(1) 選択的エッチング

任意の箇所を約 $0.1\mu\text{m}$ の高い精度でエッチングが可能です。

(2) 選択的金属膜付け

Ga イオンを照射する際に、 $\text{W}(\text{CO})_6$ を吹きつけることにより、W の薄膜を任意の箇所に付けることができます。

(3) 選択的絶縁膜付け

Ga イオンを照射する際に、TEOS ガスを吹きつけることにより SiO_2 を任意の箇所に付けることができます。

(4) SIM 機能

Ga イオンを試料上を走査しながら照射し、その際発生する 2 次電子を検出し、強弱をコントラストとして表示します。

4. 半導体デバイスの故障解析

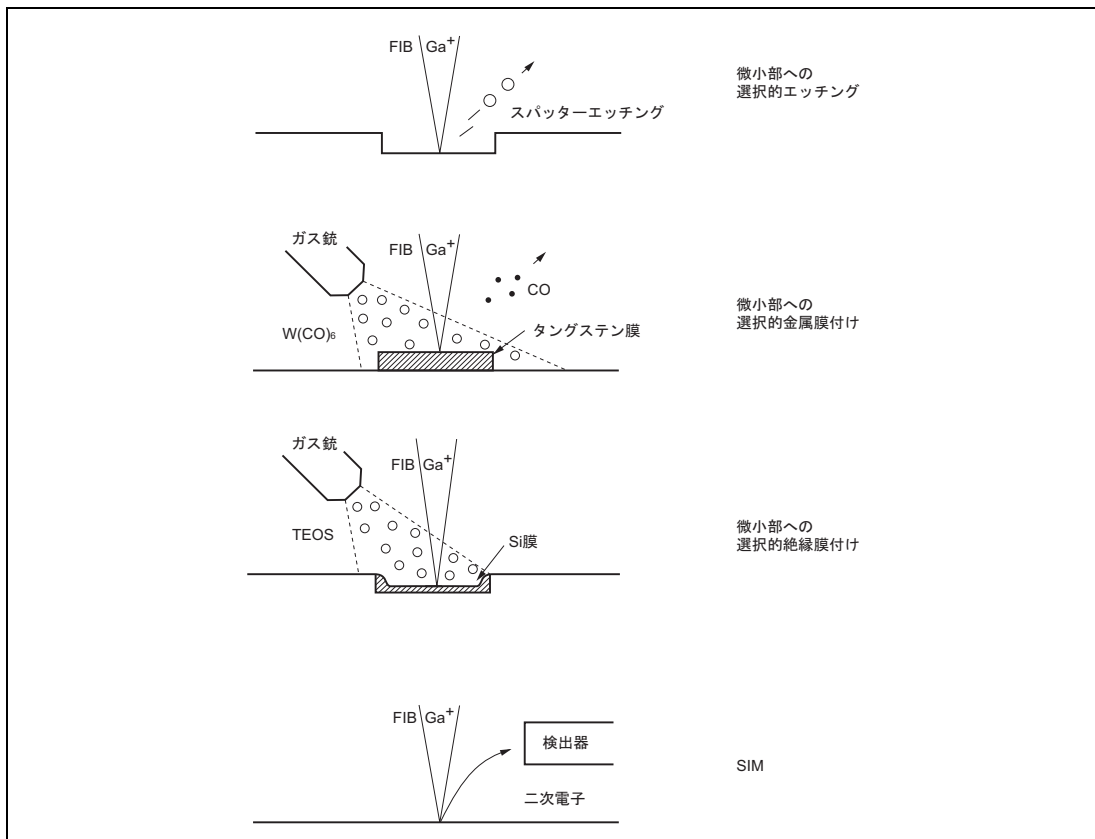


図 4.38 FIB の四つの機能

[実施例]

(1) 選択的断面出しとその場観察

選択的エッチング機能と SIM 機能を用いることにより半導体チップの任意箇所断面が観察でき、さらに、三次元的に解析を行うときは奥行き方向に断面をスライスしながら形状を観察していくことができます。本手法により断面観察が格段に進歩しました^{53), 54)}。(図 4.39, 図 4.40 及び図 4.41 参照)

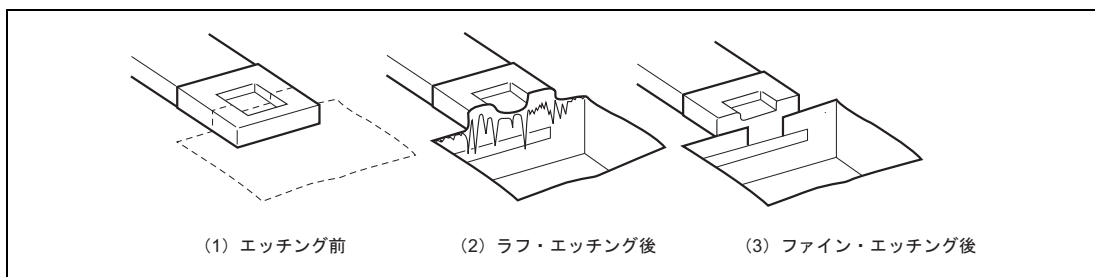


図 4.39 FIB を用いた断面出し手法

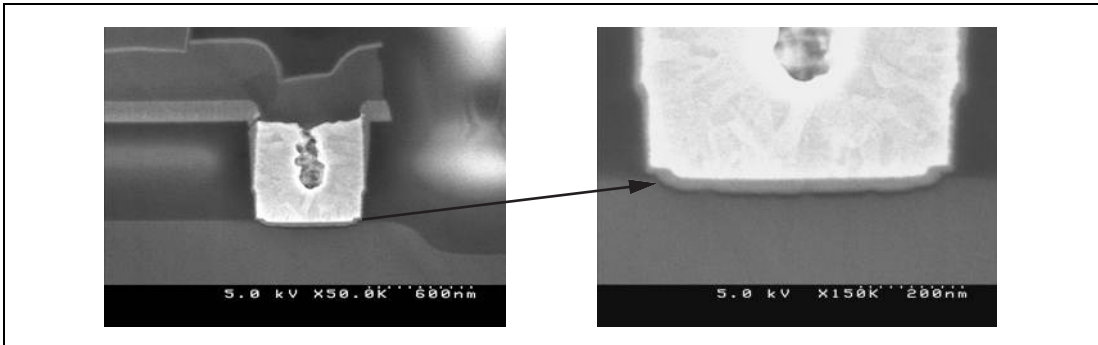


図 4.40 断面解析事例 1(コンタクト不良)

Al/Wプラグコンタクト界面に黒色に観察される数nmレベルの絶縁層が生成されたために断線している解析事例

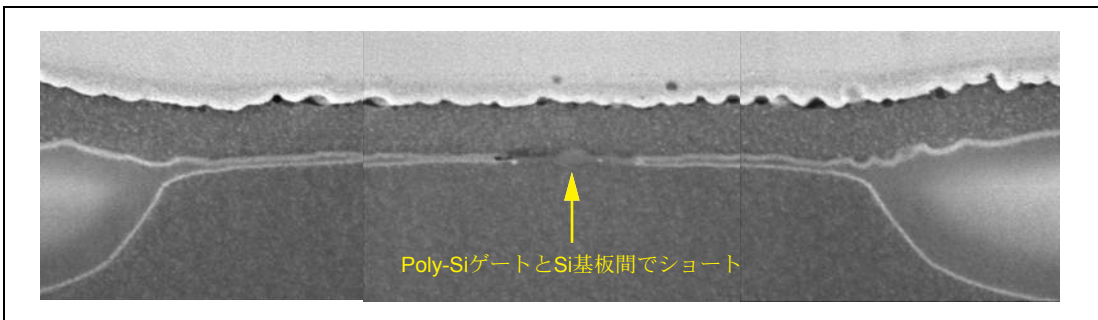


図 4.41 断面解析事例 2(ゲート酸化膜破壊)

(2) 金属配線の微細構造の観察

SIM 機能を用いることにより、金属配線の微細構造すなわち結晶粒の形、大きさ、方位を反映した像が得られます。これは個々の結晶粒の異なる向きに対し発生する2次電子の量が異なるためです。エレクトロマイグレーションの信頼性試験結果で短寿命、長寿命と判定された LSI チップを比較すると短寿命チップの方がグレインサイズが小さくなっていることがわかります。(図 4.42 参照)

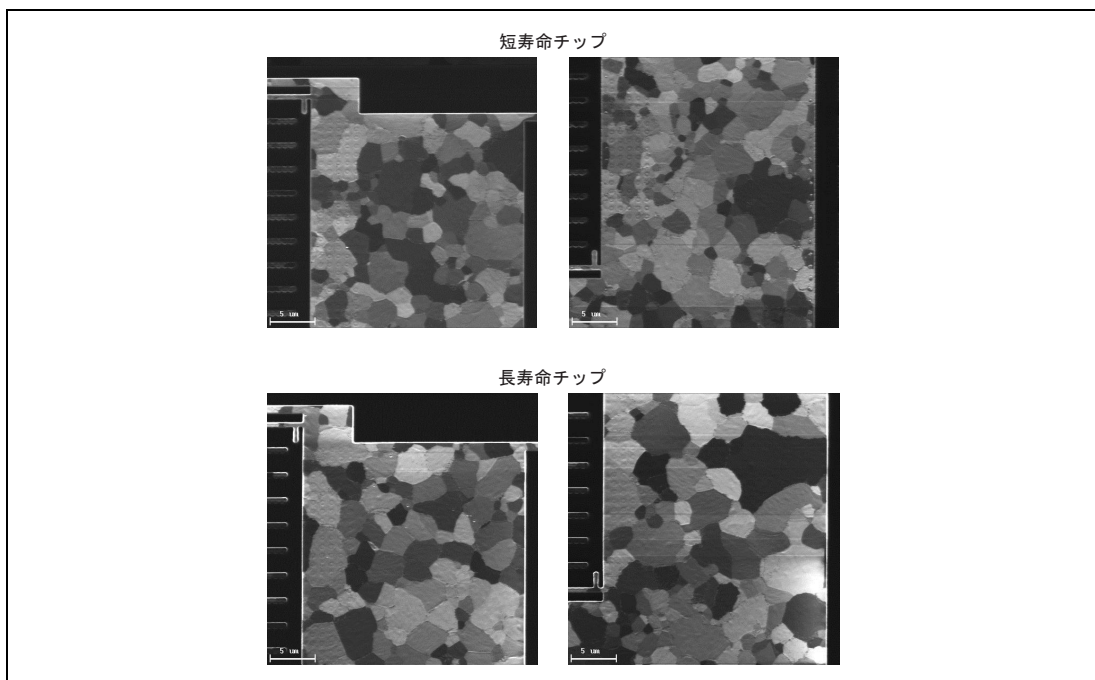


図 4.42 SIM 像による Al グレイン観察

4.5.3 エキシマレーザ

[目的]

エキシマレーザを照射することによって、保護膜や AI 配線を局部的に除去することができます。特に、多層配線化された半導体デバイスにおいて、上層配線に隠れた下層部分の解析を行う場合には有効な加工技術です⁵⁶⁾。(図 4.43 参照)

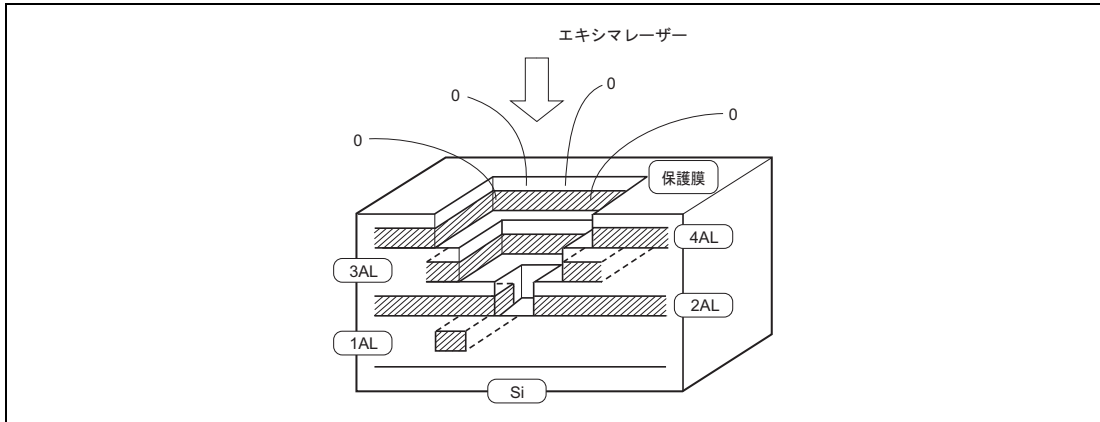


図 4.43 エキシマレーザによる剥離加工

[なにができるか]

エキシマレーザによる剥離加工は、金属顕微鏡による光学画像を観察しながら行うことができるため、初心者であっても容易に活用することができます。(図 4.44 及び図 4.45 参照)

- ① 保護膜/層間膜への加工: 任意の箇所を精度良く剥離加工することができます。プローブ用、EB テスタによる波形観測用の窓開け加工に用いられます。
- ② AI 配線への加工: 上層配線を局部的に除去することによって、下層部分の解析が可能となります。また、電源配線や GND 配線のような幅の広い配線の切断加工には有効です。
- ③ マーキング: EB テスタや FIB のように、2 次電子像を用いた解析の際、チップ表面にあらかじめマーキング(保護膜への印付け)をしておけば、解析箇所の探し出しが容易となります。
- ④ その他: FIB による断面加工前の荒削り、モールドエッチング残り除去、ウェットエッチングの前処理加工、ボンディングワイヤの切断など、様々な用途で活用できます。

[原理]

エキシマレーザとは、一般的に希ガス及びハロゲンガスを混合し、放電励起によって紫外域で短パルス発振するガスレーザの一種です。発振波長が短いエキシマレーザは、高い光子エネルギーを持っているため、試料を形成している分子と分子の結合を切断することが可能です。また、試料の表層部における吸収率が高いため薄皮を剥ぎ取るような剥離加工が可能です。一般によく用いられているのが、KrF エキシマレーザ(波長 248nm)です。

4. 半導体デバイスの故障解析

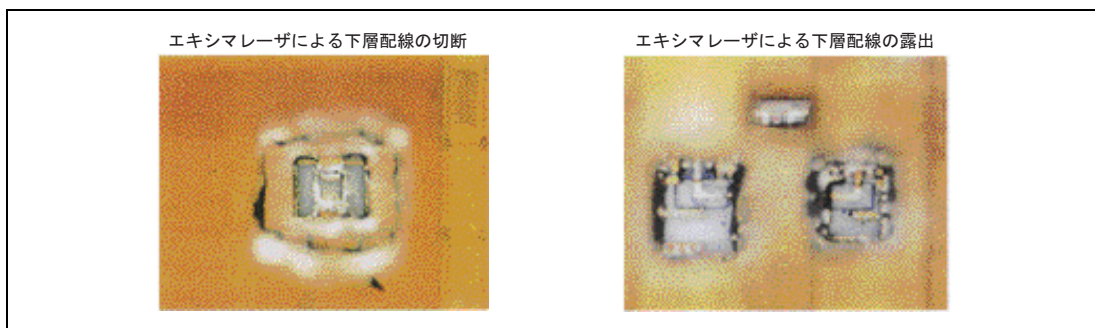


図 4.44 エキシマレーザによる加工例

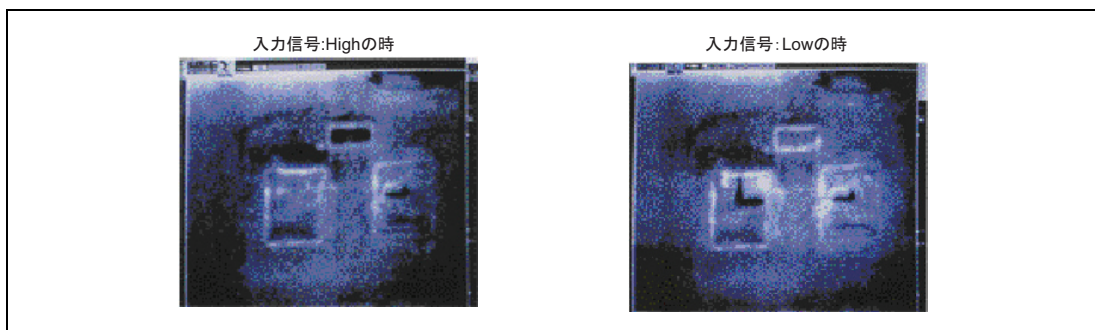


図 4.45 EB テスタによって観測された下層配線の電位コントラスト像

4.5.4 RIE (Reactive Ion Etching)

[目的]

多層配線構造品において、電気回路や不具合箇所を破壊しないで配線層を露出することが目的です。

[なにができるか]

半導体チップ上の配線層を保持しながら、絶縁層を形成する膜 (SiO_2 , SiN , SiON , ポリイミドなど) のみを除去することにより、すべての配線層を露出させます。イオンによる異方性エッチングのため配線層下の絶縁膜は残りますが、それ以外はすべて除去されます。このようにして、全面配線層を露出した半導体チップは、EB テスタなどを使用した効果的な解析が可能となります^{57), 58), 59), 60), 61)}。

[原理]

RIE は、エッチングガスをプラズマ状態にした時、負電極側に発生する電位勾配により反応性イオンを加速し、半導体チップ上に垂直に衝突させて目的とする層をエッチングする技術です。

エッチングメカニズムは、電界加速により被エッチング層に飛び込んだ反応性イオン種が活性化され、被エッチング層と化学反応して揮発性物質に変化し除かれることによります。(図 4.46 参照)

効果的な異方性エッチングを行うために、次の工夫をしています。

- ① シース電位(負電極側に発生する電位勾配)の急峻化の工夫
- ② エッチングガスの選択 (CF_4/O_2 の混合ガスを使用)
- ③ サイドエッチング防止の工夫(側壁保護効果の利用)
- ④ RIE グラス防止の工夫(イオン種/ラジカル種の比率の工夫、及び①, ③, ⑤の効果)
- ⑤ 加工箇所以外を遮蔽する工夫(テフロン遮蔽材の利用)

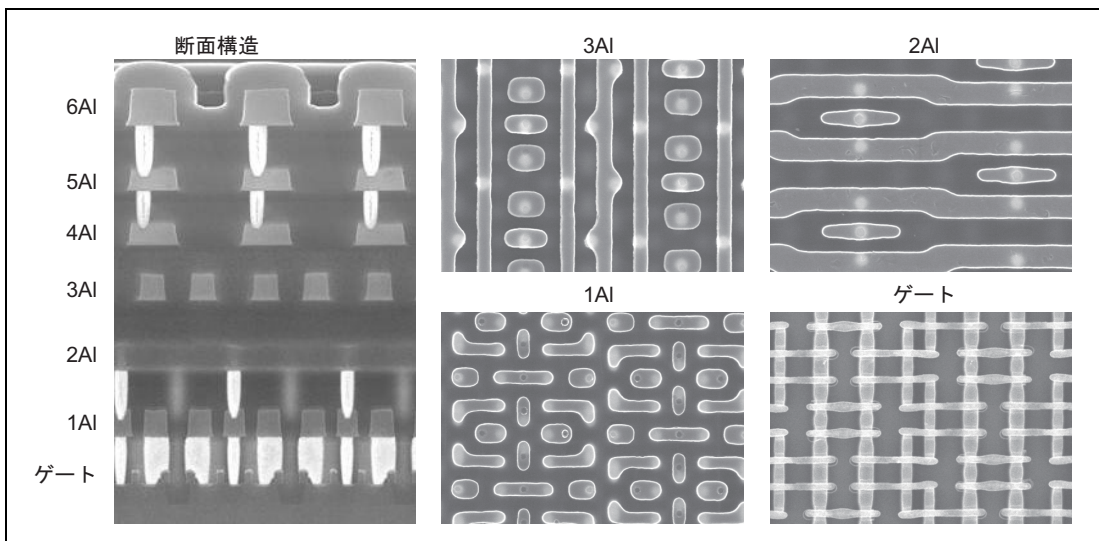


図 4.46 研磨, RIE 加工による LSI チップの除膜事例

4. 半導体デバイスの故障解析

4.5.5 集束レーザービーム (FLB: Focused Laser Beam)

[目的]

FLB は、第 2 高調波 YAG や Ar レーザを用いた配線切断や絶縁膜穴あけ、及び、レーザー直描による金属デポジション(本装置はタングステンを使用)を行う装置です。加工の種類により 3 種類のレーザーを使用します。(表 4.1 参照)

本装置は、当社独自の技術で開発した装置です。

表 4.1 レーザの種類及び用途

レーザーの種類	微細加工内容
パルスNd-YAG	配線の切断。絶縁膜や保護膜に開孔部を形成
CWQ Nd-YAG	WIによる任意の配線を形成(レーザーCVD法)
Ar	WIによるブローピング用パッドの形成(レーザーCVD法)

[なにができるか]

- (a) 配線切断, 絶縁膜穴開け, コンタクトホール形成⁶²⁾
- (b) 半導体チップ表面にパルス幅の短いレーザー光を照射し, 配線表面での蒸発作用を利用し加工, W 埋め込みと配線及び電極パッド形成⁶³⁾
- (c) レーザ光の配線部への集光, 照射による局部加工を利用したレーザー CVD 加工, 材料ガスには W(CO)₆を使用し, その熱分解によって W 配線を形成

装置概略図を図 4.47 に, FLB による微細加工を図 4.48 に示します。

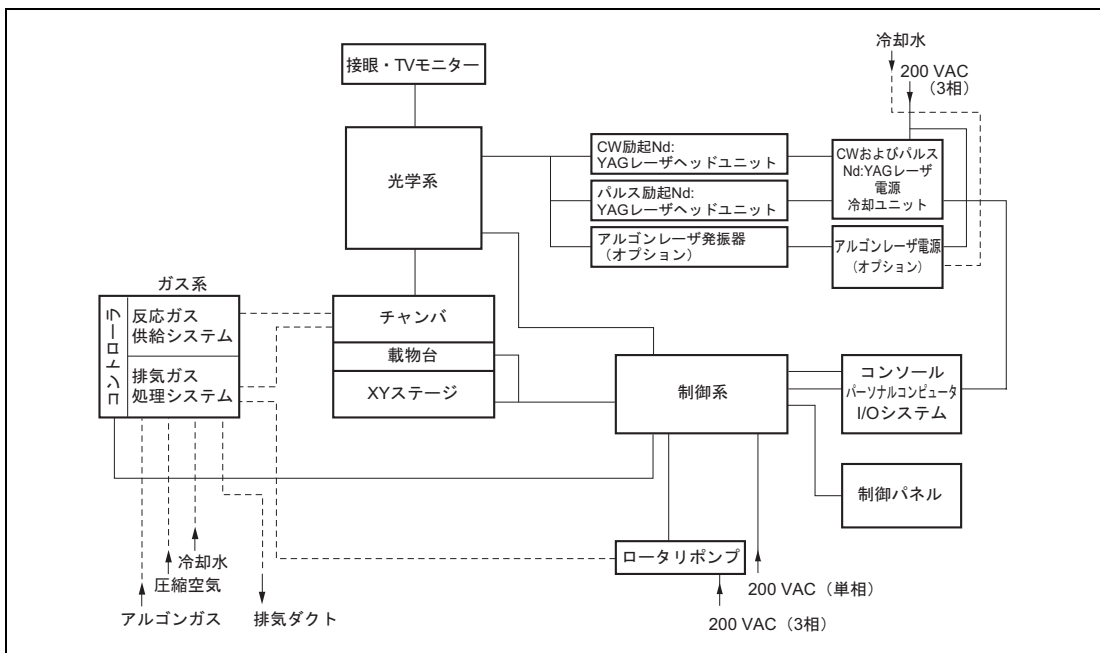


図 4.47 装置概略図

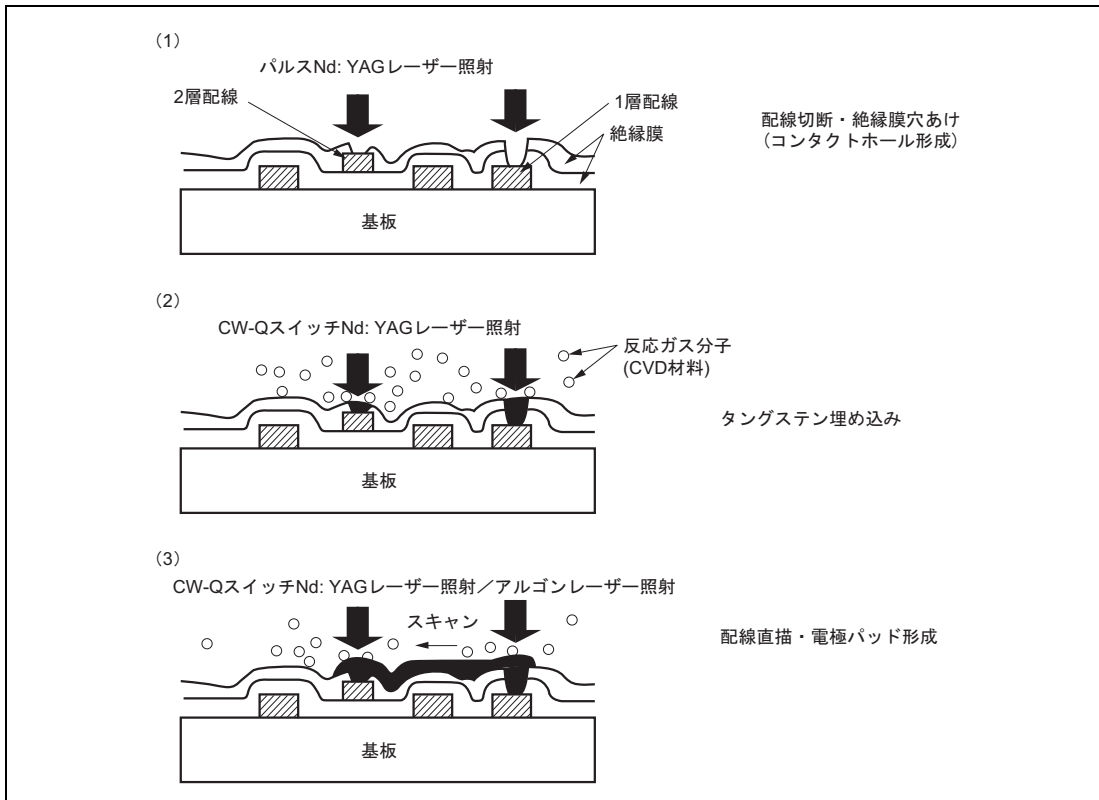


図 4.48 FLB による微細加工

[実施例]

(1) 多層配線構造化対応

半導体チップ内部の露出方式には色々ありますが, FLB は大規模開口部形成として使用されます。

(2) 高速化対応

主に配線バイパスの形成や配線のつなぎ替え修正において, 低抵抗の金属デポジションの技術を用います。(図 4.49 参照)

FLB によるレーザー直描にて金属デポジション(W)を行います。形成された金属膜は, 低抵抗(FIB に比べて 1/100 の抵抗値)を有します, 高速動作のための修正に有利な膜です。さらに, 形成膜は機械的強度があり, 実験では 100nm 厚の W デポジション膜上への金属プロービングによるオーミック接触は最大 5 回まで可能でした。(図 4.50 参照)

4. 半導体デバイスの故障解析

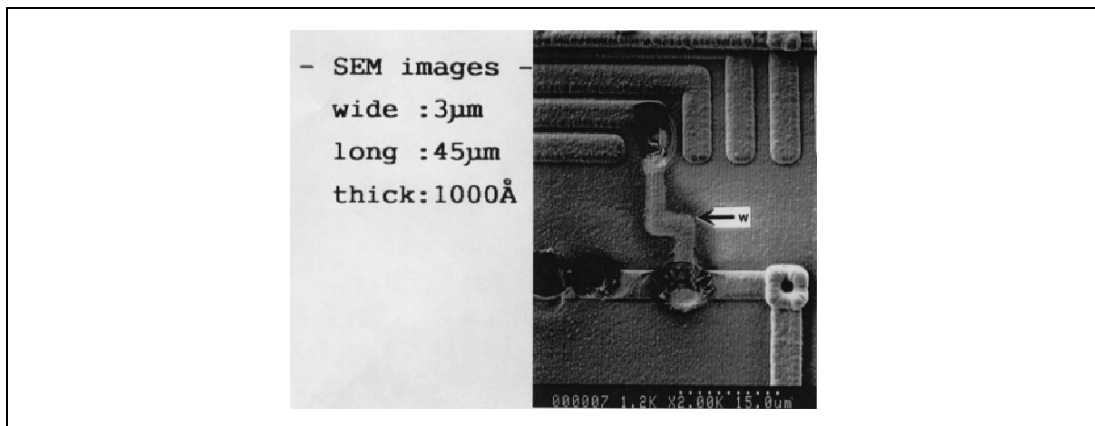


図 4.49 バイパス形成事例

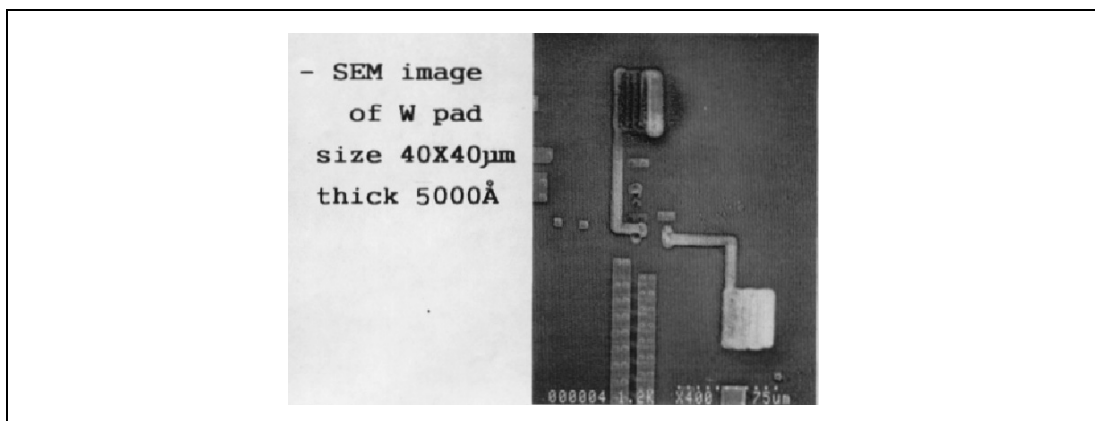


図 4.50 プロービングパッド形成事例

4.6 付録

(1) 故障解析手法一覧

分類	手法(設備)	説明	用途
パッケージの外観検査	目視観察 実態顕微鏡/光学顕微鏡観察 SEM観察	電子ビーム照射による2次電子検出	外観検査
	EPMA	電子ビーム照射により発生する特性X線の波長・エネルギーを分析	リード間の汚染分析・金属マイグレーションなどの元素分析
電気特性評価	機能特性評価(LSIテスト) DC特性評価(カーブトレーサ) 論理シミュレーション		ファンクション、DC特性評価、内部論理解析
パッケージの内部解析	X線透視 赤外線観察(赤外線顕微鏡) 超音波探査(長音波探傷機)	透過X線の観察 チップ表面からの反射赤外線を観察 超音波を入射し反射波を検出	ボンディングワイヤの形状観察 ボンディングパッドの観察 ボイド・剥離・クラックの調査
	ファインリーク測定 グロスリーク測定	Heトレーサガスを使用 フロロカーボンを使用	キャン/セラミックパッケージの気密性評価
チップ内部の故障箇所の特定	モールド窓開け(オープナ) プラズマエッチング RIE	チップ上面のみの樹脂を溶解 プラズマによる化学反応 上層Alをマスクに異方性エッチングし層間絶縁膜を除去	チップ上面のみの樹脂を除去 パッシベーション膜の除去 下層Alの露出
	FIB加工	イオンビーム照射によるスパッタ加工、W(CO) ₆ ガス併用によるW形成	プロービング用パッドの形成
	ナノプローバ解析 電子ビームテスト LVP TRE	サブミクロンプローブを用いたLSI内部回路の電気特性評価 電子ビーム照射により発生する2次電子のエネルギーを分析 パルスレーザ照射による反射光を検出(裏面解析Flip-Chip解析に有効) トランジスタのスイッチング時に発生する微弱光をピコ秒オーダーで検出し動作タイミングを解析(裏面解析に有効)	内部配線の論理測定・断線箇所の特定
	発光解析(エミッション顕微鏡) 発熱解析(液晶・赤外線放射温度計) OBIC/OBIRCH	微弱な発光を検出 発熱の検出 光ビーム照射による光励起電流、熱的効果を利用した抵抗(電流)変化を検出	酸化膜・pn接合などのリーク箇所の特定、配線の短絡箇所の特定
	EBAC	電子ビーム照射により発生する吸収電流を検出、画像化(断線不良に有効)	

4. 半導体デバイスの故障解析

(1) 故障解析手法一覧(続き)

分類	手法(設備)	説明	用途
チップの物理的な解析, 形状, 状態の観察	光学顕微鏡観察 SEM観察 EBSP	電子ビーム照射による2次電子を検出 結晶格子面での反射電子像の回折パターン解析することで結晶方位を観測	表面観察
	研磨 FIB加工 TEM	イオンビーム照射によるスパッタエッチング加工 電子ビーム照射により試料を透過した電子を検出	断面観察
元素分析	EPMA	電子ビーム照射により発生する特性X線の波長・エネルギーを分析	異物の成分を分析
	SAM	電子ビーム照射により発生するオージェ電子のエネルギーを分析	最表面(0.数nm~数nm深さ)の汚染分析・不純物分析
	XPS	X線照射により発生する光電子のエネルギーを分析	化学結合状態の調査
	SIMS	イオンビーム照射により発生する2次イオンの質量を分析	高感度不純物分析

(2) 故障解析手法一覧

名称	プローブ粒子	観察粒子	原理/方法
電子線マイクロ分析法 (EPMA) Electron Probe Micro Analysis	電子 数10kV	X線	走査による表面トポグラフィ 特性X線観測による元素分布
走査型電子顕微鏡法 (SEM) Scanning Electron Microscopy	電子 数10kV	2次電子	走査による表面トポグラフィ EBIC, ストロボスコピック法
透過型電子顕微鏡法 (TEM) Transmission Electron Microscopy	電子 ~200kV	電子	レプリカ法による表面トポグラフィの拡大観察 回折像による結晶性の評価
オージェ電子分光法 (AES) Auger Electron Spectroscopy	電子 数100~数千V	オージェ電子	オージェ電子のエネルギー測定による元素同定
走査型オージェ電子プローブ法 (SAM) Scanning Auger Microprobe	電子 1kV~10kV	オージェ電子	オージェ電子のエネルギー測定による元素同定
反射高速電子回折法 (RHEED) Reflection High Energy Electron Diffraction	電子 数10kV	散乱電子	表面薄層原始による散乱・斜入出射
2次イオン質量分析法 (SIMS) Secondary Ion Mass Spectroscopy	イオン 数100V~ 20kV	2次イオン	スパッタイオンの質量分析
ラザフォード後方散乱法 (RBS) Rutherford Back Scattering	イオンHe ⁺ , H ⁺ ~MV	後方散乱イオン	後方散乱イオンの強度・エネルギー分布
X線光電子分光法 (XPS) X-ray Photoelectron Spectroscopy	特性X線	光電子	光電子のエネルギー測定による殻準位決定
紫外光電子分光法 (UPS) Ultra Violet Photoelectron Spectroscopy	紫外線	光電子	光電子のエネルギー測定による殻準位決定
蛍光X線分光法 (XFS) X-ray Fluorescence Spectroscopy	X線	X線	X線を照射し光電効果による発生する固有X線を分光測定
走査型超音波顕微鏡法 (SAM) Scanning Acoustic Microscopy	超音波	超音波	超音波を伝播させ、物質の弾性的性質を利用
赤外分光法 (IR) Infrared Spectroscopy	赤外線	反射赤外線 スペクトル	表面反射時における赤外吸収スペクトルを測定
カソードルミネセンス法 (CL) Cathode-ray Luminescence	電子	光スペクトル	電子衝突、バンド励起による発光スペクトル
集束イオンビーム法 (FIB) Focused Ion Beam	イオン ~50kV	2次電子	イオンビームによるスパッタリング現象を利用
集束レーザービーム法 (FLB) Focused Laser Beam	レーザー	—	レーザービームによるスパッタリング現象を利用

4. 半導体デバイスの故障解析

(3) 故障解析手法一覧

得られる情報	感度	分析面積	情報力・深さ	特徴
表面トポグラフ, 元素分布, 分析可能元素: B~U	100~1,000ppm 10 ⁻² ML*	10 ⁻³ ~0.3mmφ	~1μm	定量補正の確立, 重元素に対し感度が高い。μm以下の分解能は原理的に不可。
表面トポグラフ, 結晶欠陥, キャリアライフタイム, 動作状態での素子の信号伝搬	2次電子 ~0.6nm	10 ⁻³ ~0.3mmφ	~1μm	バルク試料表面を高分解能で観察できる。起電流像などの多様な情報が得られる。
表面トポグラフィ特性, 結晶性評価, 内部構造	格子像~0.14nm 粒子像: ~0.2nm	—	数μm	試料は薄膜でなければならない。結晶欠陥にシャープなコントラストを与える。高分解能。
表面元素同定, 深さ分布	10 ⁻³ ML* 0.01~0.1%	0.03~1mmφ	数nm	軽元素に感度高い。質量感度大, 重元素のスペクトルが複雑で同定は難しい。イオンスパッタとの組み合わせで局所領域の深さ組成分布が得られる。
表面元素同定, 深さ分布, 3次元元素分布	0.1~1%	5×10 ⁻⁴ ~0.1mmφ	数nm	軽元素に感度高い。質量感度大, 重元素のスペクトルが複雑で同定は難しい。イオンスパッタとの組み合わせで局所領域の深さ組成分布が得られる。
表面原子・吸着原子の対称性, 原子間隔	10 ⁻² ML*	0.5~5mm ²	数nm~数10nm	表面の構造, 表面の化合物組成情報。
元素同定, 表面元素分布, トポグラフ 分析可能元素: H~U	10 ⁻⁵ ML* ppb~ppm	10 ⁻³ ~1mmφ	ML*~数ML*	元素の表面分布, 深さ分布測定が容易。全元素に適用可能だが, 2次イオンの生成率が元素によって大きく異なる欠点がある。(>10 ³)
元素同定, 定量, 深さ分布	10 ¹⁴ ~10 ¹⁷ atom/cc	~1mmφ	~1μm, 深さ精度: ~15nm	元素の定性・定量・深さ分布測定を非破壊で行える。2次分布測定は不可。装置が巨大になる。
元素同定, 化学シフト	2×10 ⁻³ ML*	100μm ² ~ 0.3mm ²	2~5nm	化学シフト測定による結合状態, 化合物の測定可。感度はあまりよくない。非破壊。
バンド構造, 振動レベル	2~10 ⁻³ ML*	~0.1mm ²	ML*~3nm	バンド構造の情報が得られる。元素分析は不可。表面状態に敏感。
元素同定・定量 分析可能元素: F~	重元素: 5ppm 軽元素: 500ppm	—	数10nm	定性分析・定量分析が非破壊で迅速に行える。
結晶欠陥, 多層構造の解析	—	—	数10nm	非破壊で断面構造がわかる。
表面分子構造, 結合状態	10 ⁻⁷ ~10 ⁻³ g	数mm~ 数10mmφ	~1μm	表面吸着物の化学種, 配向の測定。
エネルギーバンド構造, 構造による波長変化	~ppm	0.1~1μmφ	~1μm	発光物質や個体プラズマ光の測定のみ適用可。
断面構造	2次電子: ~5nm	—	—	局所指定領域の断面観察。

注ML*: Mono Layer

参考文献

- 1) 石山敏夫, 重田一樹 ; “経路追跡による故障診断手法の単一故障への適用”, *LSIテストニングシンポジウム*, (2000).
- 2) I.Yamazaki, H.Yamanaka, T.Ikeda, M.Takakura and Y.Sato ; “An Approach to Improve the Resolution of Defect-Based Diagnosis”, *Proc. 10th Asian Test Symposium*, pp.123-128 (2001).
- 3) 石村貴志, 真田克, 中前幸治, 藤岡弘 ; “故障シミュレーションを利用した組み合わせ回路のEBテスト故障追跡アルゴリズム”, *LSIテストニングシンポジウム*, pp.80-85 (1998).
- 4) 真田克, 植平和正 ; “IDDQ利用による回路ブロック内Trおよび配線の短絡対の特定”, *LSIテストニングシンポジウム*, pp.195-200 (2003).
- 5) 内角哲人 他 ; “機能テストフェイル情報を用いた故障診断手法”, *LSIテストニングシンポジウム*, pp.259-264 (2004).
- 6) S.H.Lewis ; “Infrared Microscopy as Applied to Failure Analysis of P-DIP Devices”, *IEEE 24th Annual Proc. Rel. Phys. Symp.*, pp.99-101 (1986).
- 7) 野中寿夫, 沖川進 ; “超音波探査映像システムの開発”, *信学技報*, **R86-68**, pp.31-36 (1987).
- 8) Y.Mitsui, F.Yano, Y.Nakamura, K.Kimoto, T.Hasegawa, S.Kimura and K.Asayama ; *Ext. Abst. IEDM*, pp.329 (1998).
- 9) 矢野史子, 柳田博史, 水野貴之, 荒川史子, 小川吉文, 寺田尚平, 朝山匡一郎 ; *LSIテストニングシンポジウム/2003会議録*, pp.273 (2003).
- 10) 柳田博史, 水野貴之, 矢野史子, 朝山匡一郎, 羽崎栄市, 揚村寿英, 三井康裕, 山田理 ; *LSIテストニングシンポジウム/2004会議録*, pp.359 (2004).
- 11) 水野貴之, 柳田博史, 矢野史子, 朝山匡一郎 ; *LSIテストニングシンポジウム/2004会議録*, pp.363 (2004).
- 12) 内山郁, 渡辺融, 紀本静雄 ; “X線マイクロアナライザー”, *日刊工業新聞社*.
- 13) 裏克己, 藤岡弘 ; “電子ビームテストニングハンドブック 電子ビーム研究第7巻”, *日本学術振興会 第132委員会第98回研究会資料*, (1987).
- 14) T.Nakamura, Y.Hanagama, K.Nikawa, T.Tsujide, K.Morohashi and K.Kanai ; “Novel Electron-Beam Image-Based LSI Fault Technique without Using CAD Database : Development and Its Application to Actual Devices”, *Proc. Int. Symp. Testing and Failure Analysis (ISTFA)*, pp.49-54 (1992).
- 15) A.C.Novel ; “IDA:A tool for Computer-Aided Failure Analysis”, *IEEE Proc. Internat. Test Conf. (ITC)*, pp.848-853 (1992).
- 16) 花釜, 中村, 二川, 辻出, 野口, 加藤, 平田, 大金 ; “高速電位分布像取得法によるチャージアップの影響の低減”, *EBテストニングシンポジウム第132委員会第125回研究会資料*, pp.131-136.
- 17) 中村, 加藤, 小西, 平田, 大金, 諸橋 ; “動的故障像法を用いたLSIテストニング手法の開発”, *LSIテストニングシンポジウム第132委員会第128回研究会資料*, pp.83-88.
- 18) Peter Ullmann et al. ; “A New Robust Backside Flip-Chip Probing Methodology”, *Proc. Int. Symp. Testing and Failure Analysis (ISTFA)*, (1996).
- 19) E.Yoshida et al. ; “Direct Detecting of Dynamic Floating Body Effects in SOI Circuits by Backside Electron Beam Testing”, *Internat. Electron Devices Meeting (IEDM) Tech. Dig.*, pp.567-570 (1998).

4. 半導体デバイスの故障解析

- 20) Mario Paniccia et al. ; “Novel Optical Probing Technique for Flip Chip Packaged Microprocessors”, *IEEE Proc. Internat. Test Conf. (ITC)*, pp.740-747 (1998).
- 21) 吉田映二 他 ; “裏面ブローピング技術の検討”, *LSIテストニングシンポジウム/2000会議録*, pp.94-99 (2000).
- 22) J.C.Tsang and J.A.Kash ; “Picosecond Hot Electron Light Emission from Submicron Complementary Metal-Oxide-Semiconductor Circuits”, *Applied Phys. Lett.*, **70**, pp.889 (1997).
- 23) 川鍋伸二 他 ; “時間分解発光解析の評価と解析事例”, *LSIテストニングシンポジウム/2004会議録*, pp.315-320 (2004).
- 24) 平山伸樹, 二川清, 中桐勝, 斎藤直明 ; “液晶塗布故障解析装置の開発と解析例”, *第16回日科技連信頼性・安全性シンポジウム発表報文集*, pp.409-412 (1986).
- 25) 星野直樹 ; “半導体デバイスにおけるESD故障の解析手法および解析事例”, *RCJ 第1回EOS/ESDシンポジウム予稿集*, pp.21-26 (1991).
- 26) M.Sanada ; “Very Sensitive Detection for LSI’s Hot Spot using Liquid Crystals”, *6th ICMR*, pp.516-521 (1988).
- 27) 鈴木, 沼尻, 斎藤, 小俣, 吉田 ; “IDDQ不良解析のためのテストニングシステム開発”, *LSIテストニングシンポジウム第132委員会第132回研究会資料*, pp187-192 (1995).
- 28) 小守純子, 三橋順一, 畑中正宏, 坪内夏朗 ; “発光観察によるホットキャリア効果の解析”, *電子情報通信学会, SDM90-38*, pp.15-18 (1990).
- 29) Toriumi ; “Experimental Study of Hot Carriers in Small Size Si-MOSFETs”, *Solid-State Electronics*, **Vol.32 No.12**, pp.1519-1525 (1989).
- 30) S.Tam and C.Hu ; “Hot-Electron-Induced Photon and Photo-carrier Generation in Silicon MOS FETs”, *IEEE Trans. Electron devices*, **Vol.ED-31**, pp.1264-1273 (1984).
- 31) H.Ishizuka, M.Tanaka, H.Konishi and H.Ishida ; “Advanced Method of Failure Analysis using Photon Spectrum of Emission Microscopy”, *Proc. Internat. Symp. Testing and Failure Analysis (ISTFA)*, pp.13-19 (1990).
- 32) 吉田岳司, 小山徹, 小守純子, 益子洋治, 小野山歩 ; “高感度裏面エミッション検出によるウエハレベル故障分布解析”, *LSIテストニングシンポジウム2002会議録*, pp.137-142 (2002).
- 33) T.Ishii, K.Azamawari and K.Miyamoto ; “Study of Dynamic Test Technique from Bottom Side of LSI Chip using the Infrared-OBIC Method”, *The Institute of Electronics, Information and Communication Engineers of Japan (IEICE)*, **R91-34**, pp.29 (1991).
- 34) T.Koyama, M.Umeno , J.Komori and Y.Mashiko ; “Evaluation of silicide morphology by near infrared laser optical beam induced current (IR-OBIC) technique”, *Japan Journal of Applied Physics*, **Vol.40 Part 1 No.11**, pp.6446-6452 (2001).
- 35) K.Nikawa and S.Inoue ; “LSI Failure Analysis Using Focused Laser Beam Heating”, *Microelectron. Reliability*, **Vol.37 No.12**, pp.1841-1847 (1997).
- 36) E.I.Cole Jr., P.Tangyonyong and D.L.Barton ; “Backside Localization of Open and Shorted IC Interconnections”, *Proc. Internat. Rel. Phys. Symp. (IRPS)*, pp.129-136 (1998).
- 37) 小山徹, 益子洋治, 関根正広, 小山浩 ; “熱起電力を利用したOBIC解析技術”, *日本学術振興会第132委員会第*

125回研究会資料 (LSI テスティングシンポジウム), pp.221-226 (1995).

- 38) T.Koyama, Y.Mashiko, M.Sekine, H.Koyama and K.Horie ; “New non-bias optical beam induced current (NB-OBIC) technique for evaluation of Al interconnects”, *Proc. Internatt. Rel. Phys. Symp. (IRPS)*, pp.228-233 (1995).
- 39) T.Koyama, K.Sonoda, J.Komori and Y.Mashiko ; “Detection of defects in metal interconnects by nonbias-optical beam induced current technique”, *Journal of Applied Physics*, Vol.86 No.11, pp.5949-5956 (1999).
- 40) K.Nikawa and S.Inoue ; “Various Contrasts Identifiable from the Backside of a Chip by 1.3 μ m Laser Beam Scanning and Current Change Imaging”, *Proc. Internat. Symp. for Testing and Failure Analysis (ISTFA)*, pp.387-392 (1996).
- 41) K.Nikawa and S.Tozaki ; “Novel OBIC Observation Method for Detecting defects in Al Stripes Under Current Stressing”, *Proc. Internat. Symp. Testing and Failure Analysis (ISTFA)*, pp.303-310 (1993).
- 42) K.Nikawa, C.Matsumoto and S.Inoue ; “Novel method for void detection in Al stripes by means of laser beam heating and detection of changes in electrical resistance”, *Jpn. J. Appl. Phys.*, Vol.34 Part1 No.5, pp.2260-2265 (1995).
- 43) 内藤健作, 浅谷紀夫, 宮川高志 ; “OBIRCH解析のメモリデバイスへの適応”, *LSI テスティングシンポジウム*, pp.219-223 (2003).
- 44) 二川 清, 井上 彰二 ; “レーザビーム照射加熱を利用したLSIの故障解析手法”, *第25回 日科技連信頼性・保全性シンポジウム発表報文集*, pp.119-126 (1995).
- 45) 二川 清, 井上 彰二 ; “近赤外レーザビームを利用したVLSIの新故障解析手法”, *第26回 日科技連信頼性・保全性シンポジウム発表報文集*, pp.77-82 (1996).
- 46) K.Nikawa and S.Inoue ; “New Laser Beam Heating Methods Applicable to Fault Localization and Defect Detection in VLSI Devices”, *Proc. Internatt. Rel. Phy. Symp. (IRPS)*, pp.346-354 (1996).
- 47) 真田 克, 藤岡 弘 ; “IDDQ異常現象を用いたロジックLSIのキラー欠陥の検出による歩留り向上”, *LSI テスティングシンポジウム1998会議録*, pp.208-213 (1998).
- 48) M.Sanada and H.Fujioka ; “Yield Enhancement for Logic LSI by Killer Defect Diagnosis Technique Using Abnormal IDDQ Phenomenon”, *Proc. International Symposium on Semiconductor Manufacturing (ISSM)*, pp.265-268 (1998).
- 49) M.Sanada ; “Evaluation and Detection of CMOS LSI with Abnormal IDDQ”, *Microelectronics and Reliability*, Vol.35 No.3, pp.619-629 (1995).
- 50) 真田, 伊藤, 沼尻, 鈴木, 佐々木 ; “CMOS論理回路のIDDQ異常品の評価と除去方式”, *LSI テスティングシンポジウム第132委員会第125回研究会資料*, pp.7-12 (1993).
- 51) M.Sanada ; “A CAD-Based Approach to Failure Diagnosis of CMOSLSIs Using Abnormal IDDQ”, *14th IEEE VLSI Test Symposium*, pp.186-191 (1996).
- 52) H.Yamauchi, M.Yoshida, T.Ono, Y.Umeki and N.Takase ; “Hardware and Software Application for IDDQ Test”, *IEEE International Workshop on IDDQ Testing*, pp.26-29 (1995).
- 53) K.Nikawa, K.Nasu, M.Murase, T.Kaito and T.Adachi ; “New Application of Focused Ion Beam Technique to Failure Analysis and Process Monitoring of VLSI”, *IEEE 27th Annual Proc. Rel. Phys. Symp.*, pp.43-52 (1989).
- 54) R.J.Young, E.C.G.Kirk, D.A.Williams and H.Ahmed ; “Fabrication of Planar and Cross-Sectional TEM Specimens Using A Focused Ion Beam”, *Proc. of Materials Research Society Symposium*, Vol.199, pp.205-216 (1990).

4. 半導体デバイスの故障解析

- 55) Y.Mashiko, H.Morimoto, H.Koyama, S.Kawazu, T.Kaito and T.Adachi ; “A New VLSI Diagnosis Technique: Focused Ion Beam Assisted Multilevel Circuit Probing”, *IEEE 25th Annual Proc. Rel. Phys. Symp.*, pp.111-117 (1987).
- 56) 関口 他 ; “エキシマレーザを用いた多層配線LSIの故障解析”, *NEC技報*, Vol.49 No.3, pp.243~247 (1996).
- 57) S.Morris and E.J.Widener ; “Anisotropic Etching for Failure Analysis Applications”, *Proc. of the 15th Internat. Symp. for Testing and Failure Analysis*, pp.161-166 (1989).
- 58) 真田, 鈴木, 沼尻, 小俣, 吉田 ; “RIEを用いて配線層を露出したLSIの評価－故障解析の為の加工技術－”, *LSIステイジングシンポジウム第132委員会第128回研究会資料*, pp175-181 (1994).
- 59) 真田, 沼尻, 鈴木, 小俣 ; “RIEを用いた異方性エッチングによるLSIの電流異常現象”, *第42回応物講演会*, 29aPA35/II, (1995).
- 60) M.Sanada, S.Suzuki, T.Numajiri, T.Omata and N.Yoshida ; “Fundamental Evaluation of LSI’s Using Anisotropic Reactive Ion Etching”, *ISTFA '96*, pp.87-92 (1996).
- 61) T.Numajiri, S.Suzuki, T.Omata, N.Yoshida and Y.Tsujita ; “Sample Preparation for Electron Beam Testing with Reactive Ion Etching”, *IPFA '97*, pp.56-61 (1997).
- 62) M.Sanada ; “New Application of Laser Beam to Failure Analysis of LSI with Multi-Metal Layers”, *Microelectronics and Reliability*, Vol.33 No.7, pp.993-1009 (1993).
- 63) M.Sanada and Y.Morishige ; “Evaluation of Direct Writing Tungsten Metal using Focused Laser Beam - Fabrication for Failure Analysis on Advanced LSIs”, *LAMP '92*, Vol.2, pp.1203-1208 (1992).

第5章 半導体デバイスの使用上の一般的な注意事項 目次

5.1	製品安全性についての取組み.....	5-1
5.2	半導体デバイス選定上の注意事項.....	5-3
5.2.1	用途に関する注意事項.....	5-3
5.2.2	最大定格について.....	5-3
5.2.3	ディレーティングについて.....	5-4
5.2.4	トランジスタの安全動作領域.....	5-9
5.2.5	同等機能のデバイスの採用にあたって.....	5-10
5.2.6	厳しい環境下でご使用の場合.....	5-12
5.2.7	パッケージの選定.....	5-12
5.3	安全設計に関する注意事項.....	5-13
5.3.1	安全設計とは.....	5-13
5.3.2	システムセーフティの概念.....	5-14
5.3.3	半導体デバイスの使用にかかわるセットの安全設計.....	5-14
5.4	回路設計上の注意事項.....	5-15
5.5	熱設計上の注意事項.....	5-19
5.6	使用環境条件に関する注意事項.....	5-20
5.7	半導体デバイスを電気的破壊から守るために.....	5-23
5.7.1	静電気放電(ESD)による破壊.....	5-23
5.7.2	過電圧破壊.....	5-31
5.7.3	外来サージによる破壊.....	5-31
5.7.4	半導体デバイス自身の動作で発生する過電圧での破壊に対する注意事項.....	5-32
5.7.5	ラッチアップ.....	5-33
5.7.6	過電流破壊.....	5-34
5.7.7	未使用端子の処理.....	5-35
5.7.8	熱暴走.....	5-35
5.7.9	SOA 破壊.....	5-35
5.7.10	アバランシェ破壊.....	5-35
5.8	半導体デバイスを機械的破壊から守るために.....	5-36
5.8.1	外部リードの成形, 切断について.....	5-36
5.8.2	プリント基板への実装について.....	5-39
5.8.3	洗浄方法について.....	5-41
5.8.4	放熱板の取り付けについて.....	5-43
5.9	半導体デバイスを熱的破壊から守るために.....	5-47

5. 半導体デバイスの使用上の一般的な注意事項 目次

5.9.1	はんだ実装について.....	5-47
5.9.2	面実装デバイスの取り扱い上の注意事項.....	5-49
5.9.3	面実装デバイスの各種実装方法の推奨条件.....	5-50
5.10	半導体デバイスを誤動作から守るために.....	5-52
5.10.1	実装配置上の注意事項.....	5-52
5.10.2	ノイズ起因の誤動作に対する注意事項.....	5-54
5.10.3	信号波形に関する注意事項.....	5-55
5.11	測定上の注意事項.....	5-58
5.11.1	LSI テスタ使用時の注意事項.....	5-58
5.11.2	検査・調整時の注意事項.....	5-62
5.12	ソフトウェア上の注意事項.....	5-63
5.13	万一の誤動作に備えて.....	5-64
5.14	包装, 保管, 運搬, 取り扱い上の注意事項.....	5-66
5.14.1	収納ケースの取り扱い上の注意事項.....	5-66
5.14.2	包装上の注意事項.....	5-67
5.14.3	保管上の注意事項.....	5-68
5.14.4	輸送上の注意事項.....	5-71
5.15	その他の分類事例.....	5-72

5. 半導体デバイスの使用上の一般的な注意事項

本章では、お客様が半導体デバイスを取扱いする上で、ご理解していただきたい、守っていただきたい一般的な注意事項を説明します。

お客様の開発・製造するセットに対する所望の機能・性能、品質・信頼性及び安全性の確保は、半導体デバイスを供給する当社と半導体デバイスをご使用いただくお客様の双方がそれぞれの役割に応じた活動を推進することによってはじめて可能になります。

そのために当社が実施すべき事項は、半導体デバイスの品質・信頼性及び安全性向上のための設計・製造上の施策を講ずること、使用上の注意事項、制限事項を製品及びドキュメント類に表示すること、用途にふさわしい製品を推奨することなどであり、半導体デバイスの開発・製造・販売に当たり、第 1 章で述べた様々な品質に対する取り組みを実施しています。

一方、セットを開発・製造するお客様が実施すべき事項は、セットに対する要求事項に適合した品質・信頼性の半導体デバイスを選定すること、使用に当たってデバイスの持つ能力以上のストレスを加えないこと、セットに対し安全設計・安全策を実施すること、ならびに機能・性能、品質・信頼性及び安全性の評価を使用前に充分実施することなどです。

以上の背景から、本章では、当社の半導体デバイスをより高信頼度でご使用いただくために、セット設計、包装、保管、運搬、取り扱い、ESD、ラッチアップ、測定上及び実装などに関して配慮していただきたい事項について、事例を交えて説明します。

なお、個々の半導体デバイスの具体的な注意事項は、この章の一般的注意事項をご理解の上、個々の製品ドキュメントやマニュアルをご参照くださるようお願いいたします。

5.1 製品安全性についての取組み

1995年7月から『製造物責任(PL)法』が施行となりましたが、当社は従来から品質には製品安全も含まれるという考えの下、品質向上活動の一環として半導体製品の製品安全を推進しています。

半導体製品は、通常、それ自体が危険(たとえば、通電のない状態で有害な蒸気を発生するなど)ということはありません。したがって、安全性について考慮すべきは、実際の使用状態でお客様のセットにおいて安全に使って頂くこと／発火に対する耐性を高くすること、セットの用途が済んで廃棄の段階で環境への負担を少なくすることなどになります。

お客様のセットにおいて安全に使って頂くために、当社では、お客様が設計する上で必要な情報を各種資料として用意し提供しております。

実使用状態における発火の耐性を高めることについては、樹脂封止型半導体製品に対し UL 規格により難燃性の確認された樹脂を使用することで対応しております。

廃棄段階における環境への負担を軽減するための施策として、製品アセスメント審査において安全・環境保全の観点からの審査を行っています。

なお、当社製半導体デバイスの製品安全とは、部品である半導体デバイス自体に一般的に要求されるものであり、お客様による製品の用途、使用環境などに応じた安全対策は、別途お客様側にて対応いただく必要があります。

5. 半導体デバイスの使用上の一般的な注意事項

次に、当社の製品安全に対する基本的な考え方、取り組みについて示します。

(1) 作り込みからの製品安全対策

品質保証体系で示しました『信頼性プログラム例』、『品質認定の流れ』などの各フローにおいて、製品安全に関する項目を設け、製品の仕様決定、開発、設計段階から品質の一部として製品安全に取り組んでいます。製品安全に関しては、製品の開発から出荷販売までの主要ステップにおける主な検討項目を表 5.1 に示します。

表 5.1 主な製品安全対策項目

主要区分	考察すべき項目(主な点)
製品開発	お客様の用途について
仕様決定	使用環境について
設計	破壊モードについて
	誤動作モードについて
製造	製造ルールの遵守と明確化
品質保証	各工程での評価確認と品質保証
販売	各種ドキュメントの発行

(2) ドキュメント対応

半導体デバイスを安全にお使いいただくために、製品の性能を示すデータシートなどの各種ドキュメントがあります。また、当社では製品の仕様を十分に発揮してご使用いただくために製品安全性の面でも各種ドキュメントを発行しています(表 5.2 参照)。

表 5.2 製品安全に関連するドキュメント

適用区分	具体的ドキュメント例
製品仕様を示すドキュメント	データシート、データブック、技術情報、納入仕様書(購入仕様書)など
使用上の注意事項を示すドキュメント	信頼性ハンドブック、面実装型パッケージ実装マニュアルなど
その他のドキュメント (お客様との間で個別に作成されるドキュメント)	売買契約書、品質契約書など

(3) 仕様・品質打ち合わせによる対応

お客様にその製品の仕様にふさわしい条件でお使いいただくため、必要に応じて品質の打ち合わせを実施しています。前述のように各種ドキュメントなどでアナウンスしていますが、より詳細な使用条件を提示し、用途にふさわしい製品の選定などについての打ち合わせをさせていただきます。

5.2 半導体デバイス選定上の注意事項

5.2.1 用途に関する注意事項

半導体デバイスを使用する際の第 1 の要件は、用途にふさわしいデバイスの選定、すなわち、使用するセットに要求される品質・信頼性に適合した品質・信頼性を有する半導体デバイスの選定です。当社では、製品の品質水準を 2 ランクに分類しており、各品質水準は、主に表 5.3 に示す用途に製品が使用されることを想定しております。

表 5.3 当社半導体デバイスの品質水準

品質水準	代表的用途例
高品質水準	輸送機器(自動車, 電車, 船舶等), 交通制御(信号), 大規模通信機器, 金融端末基幹システム, 各種安全制御装置 等
標準水準	コンピュータ, OA機器, 通信機器, 計測機器, AV機器, 家電, 工作機械, パーソナル機器, 産業用ロボット 等

当社が設計・開発、製造、販売する半導体デバイスは、データシート、データブック、納入仕様書などに特段の記載がない限り、当社標準水準の製品であり、高品質水準で想定している用途には、ご使用いただけません。また、当社半導体デバイスは、生命・身体に危害を及ぼす可能性のある機器・システム(生命維持装置、人体に埋め込み使用するもの等)、もしくは多大な物的損害を発生させるおそれのある機器・システム(原子力制御システム、軍事機器等)に使用されることを想定しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社の営業担当にお問い合わせください。

5.2.2 最大定格について

半導体デバイスの最大定格は、一般に『絶対最大定格』として規定しています。絶対最大定格とは、『瞬間たりとも超過してはならない限界値で、どの二つの項目も同時に達してはならない限界値』であると JIS C 7032 に規定されています。

最大定格を一時的にでも超えると、半導体デバイスが劣化または破壊する可能性があり、その後の寿命を極端に縮める可能性があります。さらに、半導体デバイス個々の強度差によって、ある半導体デバイスが最大定格を超えるストレスに耐えたとしても、同製品の他の個体では簡単に破壊されてしまう可能性があります。

したがって、半導体デバイスを用いる電子回路の設計にあたっては、使用中いかなる外部条件の変動においても、その半導体デバイスに指定された最大定格を超えないような回路の設計をしなければなりません。

また、直流的最大定格だけでなく、負荷ローカス曲線のすべてのポイントで電圧、電流、パワー、時間を安全動作領域内で使用しなければなりません。なお、電源、GNDラインは半導体デバイスの動作の基準となりますので、過渡状態を含めて最大定格を超えないように特に注意を払ってください。

5.2.3 ディレーティングについて

ディレーティングとは、『信頼性を改善するために、計画的にストレスを定格値から軽減すること』と JIS Z 8115 で定義されています。

半導体デバイスの品質、信頼性は、使用環境に大きく左右されます。すなわち、同じ品質の製品でも使用環境が厳しくなると信頼性が低下し、使用環境が緩くなると信頼性が向上します。たとえ最大定格内であっても、寿命試験に相当するような非常に厳しい条件での使用になりますと、摩耗的な故障の原因になる可能性もありますので、ディレーティングは非常に重要であり、機器設計において配慮しなければなりません。

ディレーティングは一般に、ディスク리트やパワー IC など、使用条件範囲が広い上、特に発熱の問題から使用範囲内（例えば電圧）であっても、発生電力、周囲温度、使用ヒートシンクの特性の関係からジャンクション温度への配慮が必要で、相互に関係する周囲温度、接合温度、電圧、電流、電力などの使用条件間で調整が必要な製品群に適用されます。

ディレーティングには、設計限界に関するものと製造ばらつきに関するものとの二つの観点があります。

(a) 設計限界に関するディレーティング

使用条件が極端に厳しくなった場合などで、実使用時間内に摩耗故障領域に入ってしまう場合に相当し、ディレーティングをして使用しないと、実使用において一定期間稼働した後に保守等において全数交換を予定しなくてはならなくなる場合に相当します。

(b) 製造ばらつきに関するディレーティング

実使用時間内に摩耗故障領域には入らないものの、使用条件が厳しいと偶発故障領域での故障発生の確率が無視できない領域になる可能性がある場合に相当します。

ディレーティングの考え方の例を表 5.4 に示します。温度項目の接合部温度は終夜連続稼働を想定しています。また、()内の数値は、間欠使用(1日3時間程度)を想定した場合のものです。

表 5.4 ディレーティング設計基準の例^{*1}

ディレーティング要素 ^{*2}		ダイオード	トランジスタ	パワーIC	HylC	LD
温度	接合部温度 ^{*3}	Tj=60°C以下 (Tj=110°C以下)			—	—
	デバイス周囲温度	Ta=0~45°C		Topr min~Topr max Ta=納入仕様書の条件に従うこと		
	その他	消費電力, 周囲温度, 放熱条件 Tj=Pd×θja+Ta			—	—
湿度	相対湿度	相対湿度45~75%				
	その他	通常, 急激な温度変化などによる結露がある場合はプリント基板をコーティングする				結露がないこと
電圧	耐圧 ^{*3}	最大定格×0.5以下 (最大定格×0.8以下)	最大定格×0.8以下	納入仕様書の条件に従うこと	納入仕様書の条件に従うこと	
	過電圧	静電破壊を含めて過電圧印加防止策をする				
電流	平均電流 ^{*3}	lc×0.25以下 (lc×0.5以下)	lc×0.5以下	lc×0.5以下	納入仕様書の条件に従うこと	
	せん頭電流	lf(peak)×0.8以下		lc(peak)×0.8以下	納入仕様書の条件に従うこと	
	その他	—	—	ファンアウト, 負荷インピーダンスに配慮すること	—	光出力Pomaxを配慮すること
電力	平均電力	最大定格×0.5以下(特にパワーダイオード)	最大定格×0.5以下(特にパワートランジスタ)	最大定格×0.5以下	納入仕様書の推奨条件に従うこと	Vf×If×Duty
パルス ^{*4}	SOA	納入仕様書の最大定格値を超えないこと				
	サージ	lf(surge)以下	lc(peak)以下	納入仕様書の推奨条件に従うこと		

【注記】 *1 特殊な使用条件は除きます。

*2 これらのディレーティング要素をできるだけ同時に満たしてください。

*3 () に示す数値は間欠使用を想定した場合のものです。

*4 一般に過渡状態に対してはサージなどを含めたピーク電圧, 電流, 電力, 接合温度は最大定格以下とし, 信頼性のためのディレーティングは上記の平均値でディレーティングします。SOA (Safe Operating Area : 安全動作領域) については使用回路により異なりますので, あらかじめ当社技術担当者にご相談ください。

温度のディレーティング例を表 5.5 に示します。温度が高くなると半導体デバイスを構成する物質の化学反応が加速されて不良に至ると考え, 信頼性試験の結果と市場での標準環境の条件から市場でどのくらい摩耗故障が発生しないことを実現できるのかという考え方で信頼度の推定を行うのが一般的です。化学反応の活性化エネルギーを故障モードごとに想定して確認された寿命試験データと実使用条件の間の加速係数を求め, ディレーティングします。一般に, 温度加速のみでは十分な加速率は得られず, 電圧, 温度差などの加速率と併せて利用するのが一般的です。温度に関しては, 加速限界を十分に吟味する必要があります。プラスチック材料のガラス転移など, 常温領域とは異なる反応に律速される故障モードで間違った判断をしてしまう可能性があるからです。

5. 半導体デバイスの使用上の一般的な注意事項

表 5.5 温度ディレーティング特性の例

ディレーティング適用例		温度ディレーティング
ストレス因子	ジャンクション温度	
故障判定基準	電気的特性劣化	
故障メカニズム	化学反応による劣化	
<p>概要</p> <p>横軸は温度、縦軸は倍率(加速係数)を示しています。不良が物質の化学反応により起こると考えると、一般的に温度が高いほど化学反応が速く進みます。アレニウスのモデルより、</p> <p>寿命 = 定数 × exp(Ea/kT) で表せます。</p> <p>Ea: 活性化エネルギー (eV)</p> <p>T: 絶対温度 (K)</p> <p>k: ボルツマン定数 (8.617 × 10⁻⁵ eV/K)</p>		<p>ディレーティングデータの使い方</p> <p>Tj=150°Cの寿命試験は、市場温度に対してα倍の加速を有すと考えます。加速係数αは、例えばEa=0.5eV、市場温度65°Cを仮定した場合、次のように31.5と計算されます。</p> $\alpha = \exp(0.5/8.617 \times 10^{-5} / (273+65))$ $\exp(0.518.617 \times 10^{-5} / (273+150)) \approx 31.5$

湿度のディレーティング例を表 5.6 に示します。主に AI 配線の腐食断線やパッケージリードの保管にともなうソルダブリティ低下などを対象として行います。AI 配線の腐食断線は、プラスチック材料の進歩により飛躍的に品質の向上が図られ、市場での本故障モードはほとんど発生しなくなりましたが、極端に厳しい条件で使用すると、有限の時間に摩耗故障が発生する可能性が現在もなお存在します。

表 5.6 湿度のディレーティング特性の例

ディレーティング適用例		湿度ディレーティング					
ストレス因子	温度, 相対湿度	飽和水蒸気圧 (KPa) の表 (Wagnerの式による)					
故障判定基準	電気的特性劣化	温度(°C)	0	2	4	6	8
故障メカニズム	メタライゼーション腐食	0	0.611	0.706	0.814	0.935	1.073
<p>概要</p> <p>水分の供給がメタライゼーション腐食を加速することから、水蒸気圧が同メカニズムに起因した故障を左右するストレスと考え、寿命を水蒸気圧のべき乗で近似します(絶対水蒸気圧モデル)。</p> <p>寿命 = 定数 × (飽和水蒸気圧)⁻ⁿ</p> <p>この式は両辺の対数をとると</p> $\log(\text{寿命}) = -n \times \log(\text{飽和水蒸気圧}) + (\text{定数})$ <p>となります。したがって、横軸に飽和水蒸気圧の対数、縦軸にその水蒸気圧での規定の故障率に至る時間(寿命)の対数をとると、直線に近似できます。</p> <p>相対湿度は、その温度での飽和水蒸気圧を100%としたときの相対的な湿度を表します。</p>	10	1.228	1.403	1.599	1.819	2.065	
	20	2.340	2.646	2.987	3.365	3.784	
	30	4.248	4.761	5.326	5.949	6.634	
	40	7.385	8.210	9.112	10.09	11.17	
	50	12.35	13.62	15.01	16.52	18.16	
	60	19.94	21.85	23.93	26.17	28.58	
	70	31.18	33.98	36.99	40.21	43.68	
	80	47.39	51.36	55.60	60.14	64.98	
	90	70.14	75.64	81.50	87.73	94.35	
	100	101.3	108.8	116.7	125.1	133.9	
	110	143.3	153.2	163.7	174.7	186.3	
	120	198.6	211.5	225.1	239.4	254.5	
	130	270.3	286.8	304.2	322.5	341.6	
		<p>ディレーティングデータの使い方</p> <p>耐湿性試験の代表的な条件(65°C/95%RH)と市場の代表的条件(Ta=25°C/65%RH)の加速性例を示します。</p> <p>表より65°Cの飽和水蒸気圧を補完法で求めると、25.05KPaとなります。また、25°Cの飽和水蒸気圧は3.176KPaとなり、それぞれに0.95と0.65を掛け合わせて、各々の水蒸気圧を求めます。</p> <p>この比をとり、代表的な加速定数n=2を用いて、加速率αは</p> $\alpha = (23.80/2.064)^2 \approx 133$ <p>と、133倍が得られます。</p>					

温度差のディレーティング例を表 5.7 に示します。故障メカニズムは、構造材料の熱疲労破壊を想定しています。一般に、このモードは摩耗故障モードにつながるため、パワーデバイスなどでは十分なディレーティングが重要です。半導体デバイスの一生の間にどれくらいの温度差で何サイクルのストレスが印加されるかを計算し、放熱設計に反映する必要があります。

電圧、電流、電力ディレーティングは、特に破壊現象に対して効果があります。特に、この破壊現象は、温度差ディレーティングと密接な関係があり、構造的欠陥に進展して破壊強度が弱くなり、初期では破壊しないストレスでも破壊してしまうような、ストレスストレングスモデルの対象になります。

5. 半導体デバイスの使用上の一般的な注意事項

表 5.7 パワートランジスタのパワーサイクルデレーティング特性の例

デレーティング適用例		パワートランジスタの温度差デレーティング
ストレス因子	ジャンクション温度差	<p>ΔTch = 90°Cで10000サイクルの実力の製品の例</p>
故障判定基準	θch-cの劣化	
故障メカニズム	はんだの疲労	
<p>概要 温度差のべき乗がパワーサイクル限界に比例すると考えます。</p> <p>サイクル数寿命 = 定数 × 温度差⁻ⁿ</p> <p>この式は両辺の対数をとると Log(サイクル数寿命) = -n × log(温度差) + log(定数)</p> <p>となります。横軸はパワーサイクルオン/オフ時のジャンクション温度差(ΔTch)の対数とし、縦軸をそのときのサイクル数寿命の対数とすると直線で近似できます。</p> <p>この考え方でパワートランジスタの使用条件から装置の耐用年数を求めることができます。また、これとは逆に、装置の要求耐用年数によりパワートランジスタの放熱条件を決定できます。</p>		<p>デレーティングデータの使い方</p> <p>Ta=25°C条件下におけるサイクル数寿命の計算例を示します。動作時の Tc max=85°C, Pc=20Wとし、製品のθch-c=1.0°C/Wとすると、Tj maxはTj max=85+20×1.0=105°Cとなります。Ta=25°Cとの温度差ΔTjは80°Cとなり、このときのサイクル数寿命は左の式とパワーサイクル試験結果から計算することができます。</p>

実際の市場、実使用条件は単一条件で記述できる程単純なものではなく、時間とともに連続的に変化します。通常は、そのワースト条件を想定して使用の可否をデレーティングしていただきますが、条件を単一条件にどうしても絞り込めない場合は、以下のように標準条件に換算し直してデレーティングします。

n 個の実使用条件に絞り込めたと仮定し、

t_i: 部品の一生のうち、i 番目の条件にて市場で使用される累積時間

α_i: 標準条件と i 番目の条件との加速係数

とすると、標準条件下での経過時間は t_i × α_i で表せることから、各条件をすべて標準条件下の時間に換算すると、

$$t = \sum t_i \times \alpha_i$$

で表すことができます。標準条件として信頼性試験条件を入れて計算すると、実使用の市場環境での耐用寿命期間を加速寿命試験の試験時間に置き換えることができます。

5.2.4 トランジスタの安全動作領域

トランジスタが誘導性負荷回路でのスイッチング素子として使用される場合、最大定格の他に SOA を超えて使用してはなりません。

安全動作領域は、図 5.1 に示すように次の四つの要素によって規定されます。

- 領域 I : I_c MAX
コレクタ電流定格によって制限される領域
- 領域 II : Dissipation Limit
全損失(熱抵抗)によって制限される領域
直流(DC)は熱抵抗(R_{thj-c})によりますが、パルスは図 5.2 に示すような過渡熱抵抗 ΔR_{th} によります。
- 領域 III : S/b (Secondary breakdown) Limit
二次降伏によって制限される領域
- 領域 IV : V_{CE0} MAX
コレクタ電圧定格によって制限される領域

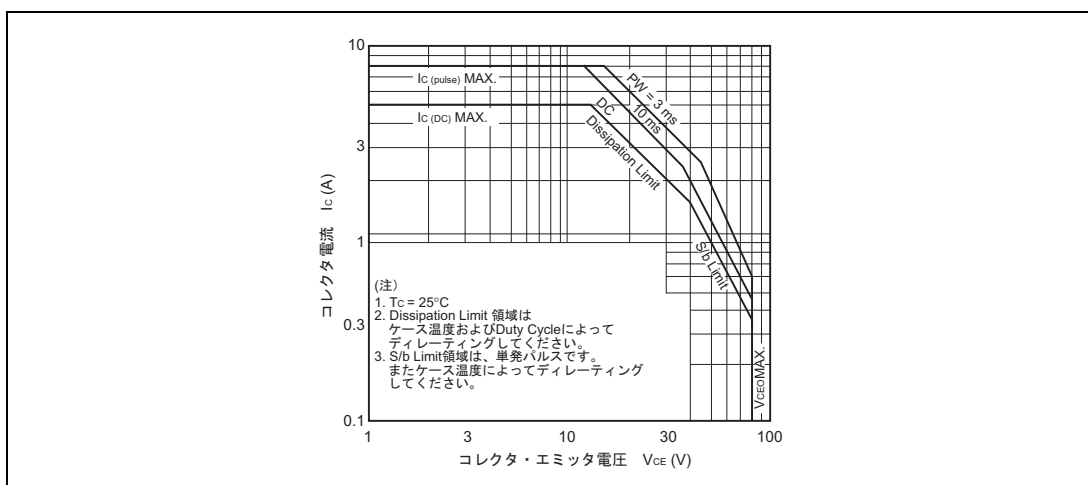


図 5.1 安全動作領域の例

5. 半導体デバイスの使用上の一般的な注意事項

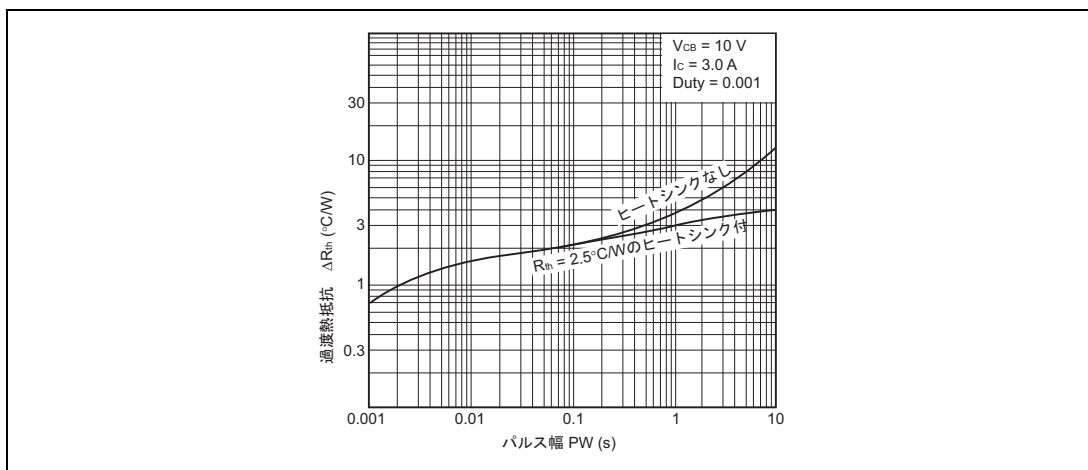


図 5.2 過渡熱抵抗特性の例

5.2.5 同等機能のデバイスの採用にあたって

半導体デバイスの特性は、カタログに明示された特性に関する項目と、カタログには明示されていないものの現実には問題なく使用されている項目とが存在します。後者については製品のばらつきを含めて事前に十分に検討頂きますようお願いいたします。

たとえば、標準デジタル回路を発振回路にオペアンプとして使ったり、電源投入時の動作電圧が保証されていない過渡状態での出力信号を利用したりする場合などが相当します。

事例 1 MOS IC をアナログ回路に用いた場合の誤動作

No.1	事例件名	MOS IC をアナログ回路に用いた場合の誤動作
	デバイスの種類	MOS IC
	ポイント	入力リーク電流変動の回路余裕度に注意する
	事例概要／現象／原因	MOS IC を発振回路や、アナログスイッチとして使用するとき許容リーク電流値がデジタル回路より小さく、リーク電流が大きいと誤動作する。これは、デバイスのリークのみならず、プリント基板の端子間リーク(塵埃の付着によるもの)も問題となる。
	対策／確認例	<ol style="list-style-type: none"> (1) 塵埃の付着がないようにプリント基板にコーティングをする。 (2) 使用環境を良くする(湿度を下げる)。 (3) A・B間の抵抗値が$10^9\Omega$以上になるようプリント基板を設計する。

事例2 シュミットトリガ IC の電源オン時の出力誤動作

No.2	事例件名	シュミットトリガICの電源オン時の出力誤動作
	デバイスの種類	TTL IC
	ポイント	電源投入時の過渡現象に注意する
	事例概要／現象／原因	<p>シュミットトリガICを用いた回路で入力が"L"(0.8V)の状態電源をオンすると、ICはインバータであるにもかかわらず出力が"L"になってしまう。ICがヒステリシス特性を持っていたため発生する現象で、入力がヒステリシス内(約0.7~1.6V)において電源をオンすると出力は不安定となり、正常に動作しない。</p>
	対策／確認例	<p>(1) V_{CC}が完全に立ち上がるまで、入力はヒステリシス範囲外とする。 (2) ヒステリシス特性を持たない品種を使う。</p>

また、最近のマイコンデバイスなどでもマスクROM版とPROM版、ZTAT、F-ZTAT版など、機能はまったく同一でプログラムの書き込み方法のみが違う製品などもこの対象となります。対ノイズ誤動作余裕度や、ノイズ発生、発振回路の安定性など、規格では説明困難な部分の性能特性差が問題となるケースが発生しています。

事例3 ZTATとマスクROM版のノイズ強度差

No.3	事例件名	マスク切り替え起因の耐ノイズ性劣化
	デバイスの種類	マイコン
	ポイント	マスク変更時、規格に規定されていない性能について注意する
	事例概要／現象／原因	<p>ZTATマイコンで製品試作及び初期量産を終え、同一ピン配置のマスクROM版で本格量産をするために切り替えたところ、ノイズ発生レベルが悪化してしまい、隣のFMラジオのスクラン選局機能が誤動作してしまった(ノイズにより局が存在しない周波数で選局状態となる)。プリント基板のGND配線パターンの配置やパスコンの位置等の対策を行って解決できたものの、量産時期が遅れてしまい、その間に値段の高いZTATマイコンを使わざるを得ない状況となってしまった。</p>
	対策／確認例	<p>マスクROM版の機能仕様はZTATマイコンと可能な限り合せ込んでありますが、シリーズによっては機能が一部違う製品があります。たとえ機能そのものがまったく同じであっても、規格に現れない実力値(例えばノイズ強度やラッチアップ、静電気破壊強度等)は異なるので、必ず実機での事前確認をお願いいたします。使いにくい点や改善のご要求は当社の営業技術部門にご連絡ください。</p>

5.2.6 厳しい環境下でご使用の場合

特に摩耗故障が発生する可能性に関して、十分に検討を重ねる必要があります。摩耗領域でのディレーティングを正しく実践しないと、実使用時間内で故障率が時間とともに急激に増大する摩耗故障に入ること、重大な問題となることもあるため大変重要です。

必ず信頼性試験の条件下での試験時間が、加速係数を考慮した上で実使用時間よりも厳しくなっていることを確認の上、使用してください。摩耗故障モードは、故障が発生し始めると故障率は時間とともに急激に増大します。

5.2.7 パッケージの選定

半導体デバイスのパッケージは、金属封止、セラミック封止、ガラス封止、低融点ガラス封止(サーディップ)などのハーメチック(気密)封止タイプと、プラスチック(樹脂)封止タイプの2種類に分類されます。

また、実装形態により、リード挿入タイプ(THD:Through Hole Device)と表面実装タイプ(SMD:Surface Mount Device)に分類されます。

最近では、半導体デバイスを使用するセットの高機能化、小型化、低コスト化の進展により、LSIは益々高集積化され、それにとまって多ピン化、薄型化が計られ、また、構造、実装方法の多様化が進んできています。

お客様のセットに使用する半導体デバイスのパッケージ(封止タイプ、形状、リードなど)は、セットの使用目的、大きさ、形状、使用環境、信頼性目標、デバイスの実装条件などのセットに対する要求事項に照らして総合判断し、多様なパッケージの中から最適なものを選定することが必要です。

セット設計に当たって、パッケージから見たデバイスの選定は、パッケージの形状、機能・性能、信頼性などの実力が上述のセットの要求事項に適合したものを選択ください。

5.3 安全設計に関する注意事項

5.3.1 安全設計とは

ヨーロッパの EC 機械指令や米国の MIL 規格 (MIL-STD-882) では、製品、機器、システムに対し、次のような安全設計の原則が規定されています。

- ① リスクを最小にする設計をすること。(安全設計の原則Ⅰ)
- ② 除去できないリスクに対し、安全装置または保護手段を採用しリスクを軽減すること。(安全設計の原則Ⅱ)
- ③ 安全装置または保護手段の採用後も残余のリスクがある場合には、警告表示を行うこと。(安全設計の原則Ⅲ)
- ④ 保護具の着用などを含む作業手順、必要なトレーニングを明確にし、ユーザに知らせること。(安全設計の原則Ⅳ)

ここで示すリスクとは、製品や機器から起こる損害発生の確率とその大きさの程度を言います。損害発生の大きさは、人命、財産の損害の程度で決定されます。

PL 法では、製造物の欠陥の存在は、製造物(製品、機器など)の効用・有用性とこのリスクの大きさとの相関で、設計上、社会通念上許容できないリスクが存在する場合に判例上認定されます。製造物に起因する生命、身体、財産の損害があった場合、欠陥の存在および当該損害と欠陥との因果関係が認定されたならば、製造者の賠償責任が問われることは周知の通りです。

製品、機器に対する安全設計とは、製品、機器に起因する生命、身体、財産、環境などの損害発生の防止を目的とし、これら損害発生のリスクを除去するか許容リスク以下に減らすために前述の①～④のような設計上の対策を行うことをいいます。

上述の EC 指令や MIL 規格が適用されるか否かにかかわらず、半導体デバイスを使用したセットに対し、安全設計を行うことは、セットを企画・設計・開発・製造・販売するお客様の顧客や社会に対する安全上の責任から、必須であることは明らかです。

当社も、半導体デバイスの品質・信頼性及び安全性の保証/確保のために、半導体デバイスの故障や欠陥を除去ないし軽減するためのあらゆる設計上、製造上、表示上の対策を実施しています。このことは、本書全般の記載内容からもご理解していただけるものと確信しています。

以上の背景から、当社の半導体デバイスのデータシート、データブック、ユーザーズマニュアルなどのドキュメント類に注意書きを載せています。

5.3.2 システムセーフティの概念

半導体デバイスを使用するセットの多くは、システムに用いられるハイテク機器に代表され、お客様で製造し、またはお客様の社外から調達した多数の部品、材料、コンポーネント、ソフトウェア、サブシステムなどを目的にあわせて、お客様がインテグレートして完成させたものです。しかも、このような機器は、ユーザにおいて、さらに第三者の製造した機器と組み合わせて使用されることが多くなります。

したがって、システムの安全は、システムを構成する機器、部品、材料、コンポーネント、ソフトウェア、サブシステム、及び第三者の機器の機能や安全に深くかかわっていることは明らかです。

システムに対する安全設計は、プロダクトセーフティ(PS)の発想ではなく、MIL-STD-882 に規格化されたシステムセーフティの概念に基づいて行うことが必要不可欠です。

システムセーフティの概念とは、システムの安全を最適化する体系化されたエンジニアリング及びマネジメントの手法であり、その特徴は、次の2点に要約されます。

- ① 部品、材料、コンポーネント、ソフトウェア、サブシステム、システム、システムを使用する人、使用環境などの間に存在するインタフェース条件を明確化し管理すること、またそのリスクに関する責任分担を明文化すること。
- ② システムの企画段階から設計・開発・製造・運用・廃棄に至る全ライフサイクルの各フェーズでのリスクを評価し、リスクの除去または低減を計ること。

お客様は、このようなシステムセーフティの考え方に基づいてセットに対する十分な安全設計を行っていただくようお願いいたします。

5.3.3 半導体デバイスの使用にかかわるセットの安全設計

半導体デバイスを使用したセットを設計する際に、このシステムセーフティの考え方に立って、セットの全ライフサイクルにわたって各フェーズでの半導体デバイスの故障、欠陥によるリスクを評価して、リスクを低減する安全設計が必要です。

半導体デバイスの使用にかかわるセットの安全設計では、第一に用途に適合した品質・信頼性、安全性を有する半導体デバイスの選定であり、第二に印加ストレスの軽減が最も重要な要素です。

セットに対する許容リスクの大きさは、用途に依存し、その許容リスクに見合う信頼性、または故障率の半導体デバイスを選定する必要があります。

半導体デバイスの信頼性または劣化や故障は、半導体デバイスに印加されるあらゆるストレス(電圧、電流、電力、温度、湿度、振動、衝撃などの機械的ストレス、熱的ストレス、電磁波、光、放射線、腐食性ガス、塵埃その他など)の大きさにも依存します。

したがって、セットの設計条件、使用条件、環境条件などを、各ストレスに対し、半導体デバイスに許容されるストレスの限界内に設定するだけでなく、できるだけディレーティングしたストレス強度に設定する配慮が必要です。

このように、セットに対し適切な品質・信頼性、安全性を有するデバイスの選定及び印加ストレス強度の適切なディレーティングを行うことにより、半導体デバイス自身の故障、欠陥のリスクを減少させ、半導体デバイスの故障や欠陥によるセットのリスクを、除去するか、許容リスク以内に低減することが可能になります。

5.4 回路設計上の注意事項

回路は、大きくアナログ回路とデジタル回路の二つに分けられます。

アナログ回路は、PLL 回路に代表されるように、入力信号と出力信号の間のフィードバック回路により、ゲインを犠牲として正確な増幅率を得たり、さまざまな関数を生成したり、入力信号間の位相差を比較検出積分して、電圧一周波数変換回路により位相差を同調させたりします。いずれの場合も微少な入力信号の差を大きく増幅して利用するため、入力信号に含まれるノイズの影響を受けやすく、構成素子の電気的特性の変動に極めて敏感です。したがって、わずかなリーク電流の変化やゲインの変化が誤動作に発展する可能性があるため、回路の敏感な部分に関しては電気的特性スペックのワースト条件をよく検討の上、回路を決定する必要があります。

これに対し、デジタル回路では、入力信号、出力信号のレベルが標準化されており、両信号間にはノイズマージンも設定してあるため、構成素子の特性変動に対して有利となっています。その反面、誤動作が発生したときには、その信号の意味により極めて重大な誤動作に発展するポテンシャルがあります。最近のマイクロコンピュータに代表されるプログラム内蔵の演算装置などでの誤動作では、一度プログラムの内容が変化すると、誤動作の原因が取り除かれても二度と元の動作に戻ることはできないため、アナログ回路の誤動作の影響度とは大きく異なります。デジタル回路の誤動作に関しては、入力レベル、出力レベル、タイミングマージンが守られているかが重要なポイントとなります。また、特に電源オン・オフの時の過渡期において、動作を保証されない環境条件の影響を、正規に動作開始した後に残さない回路上の工夫も大切です。

(1) 一般的注意事項

信頼性設計、ノイズ/外部ストレスによる誤動作(ラッチアップなど)防止、機能劣化防止と安全設計などのため、以下の対策を回路設計時には配慮しなければなりません。

- ① 電圧、電流、電力、周囲温度などは最大定格値内とし、ディレーティングして設定すると共に、特性の変動幅を考慮してください。
- ② 放熱設計に十分注意し、周囲温度をできるだけ低くしてください。
- ③ 半導体デバイスに印加される電源電圧の変動は製品仕様の範囲内に抑えてください。
- ④ GND ラインを独立させてください。
- ⑤ 電源ラインのサージはフィルタなどを挿入して減衰させてください。
- ⑥ プリント板上の電源ラインのノードごとにサージやノイズ除去周波数に合ったコンデンサを電源-GND 間に挿入してください。

例:高周波用フィルタとして 0.01~0.1 μ F

低周波用フルタとして 10~100 μ F

- ⑦ プリント板上の長い配線は対地インピーダンスの低いシールド線を使用してください。
- ⑧ ノイズ発生源と並列に高周波性能の良いダイオード、コンデンサを挿入し、ノイズレベルを抑圧してください。
- ⑨ 使用回路のノイズマージンを大きくするための補正回路を設定してください。
- ⑩ 外部ストレスとなる因子(ノイズ、サージ、振動、周囲温度、環境など)の影響をできるだけ避けてください。
- ⑪ 使用中に静電気などを発生させない、もしくはその影響をできるだけ避けてください。

5. 半導体デバイスの使用上の一般的な注意事項

(2) 半導体デバイスを使用したシステムの回路設計上の注意事項

(a) 電源投入時の注意

半導体デバイスは、電源を投入してからリセット信号が入力されるまでの時間、過電流が流れ、結果的に破壊することがあります。この過電流は、電源の投入前に、デバイス内部がフローティングになっていて固定されていない場合に発生します。リセット信号が入力されることにより、デバイス内部は、イニシャライズされ、過電流は消滅します。パワーオンリセット回路を内蔵したデバイスでは、このような過電流が流れることはありません。

図 5.3 に示すように、LSI の入出力兼用端子を入力モードとして使用する場合には、信号を出力する外部出力回路がこの端子に接続されます。ところが、電源を投入した直後は LSI 内部がイニシャライズされていないため、LSI 内部の出力許可信号がアクティブ（“H”レベル）になっている可能性があります。したがって、LSI 内部の出力バッファと外部出力回路が互いに異電位を出力している場合には、数十 mA 以上の過電流が流れます。なお、リセット信号が入力されれば、入出力兼用端子は入力モード（出力許可信号がインアクティブ）となり、過電流は流れなくなります。

このような電源投入時の過電流による破壊を防止するため、次のような対策をしてください。

- ① 外部出力回路と入出力兼用端子との間に 1kΩ 程度の抵抗を挿入し、電流を制限してください。ただし、この場合、抵抗により外部出力回路からの出力信号の伝搬スピードが遅くなるので注意が必要です。
- ② パワーオンリセット回路を LSI の外部に設け、電源投入と同時にリセット信号を入力してください。

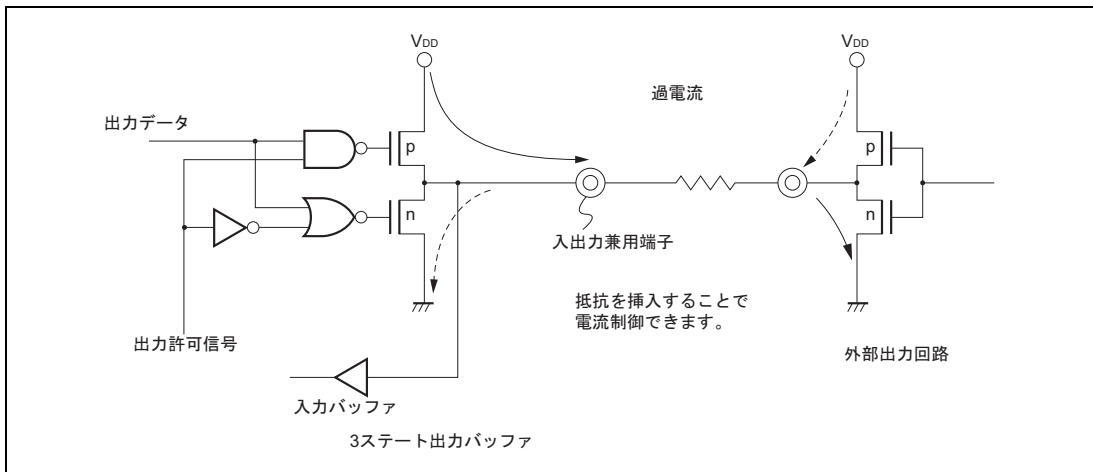


図 5.3 リセット信号入力端子を持つ半導体デバイスの例

また、複合電源の場合は、製品の誤動作や破壊防止のため、電源投入の順番を守ってください。詳細は各製品のユーザーズマニュアルを参照ください。

(b) 負荷駆動時の注意

LSI 出力回路は、出力電流として最大何 mA 流せるかが定格として定められています。図 5.4 のような LED 駆動における電流制限抵抗や図 5.5 のようなオープンドレイン端子のブルアップ抵抗が小さすぎると、過電流で LSI を破壊する危険性があります。出力電流が定格値を越えないようそれぞれ抵抗値を決めてください。

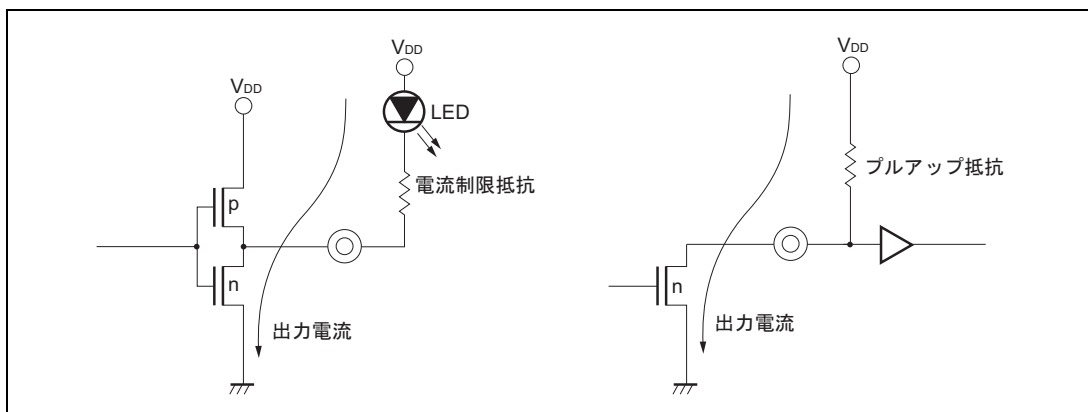


図 5.4 負荷駆動時の注意

図 5.5 負荷駆動時の注意

事例 4 TTL と CMOS 回路のインタフェース

No.4	事案件名	TTLとCMOSの回路のインタフェース
	デバイスの種類	TTL, CMOS IC
	ポイント	アンダシュート, オーバシュートは仕様内に収める
	事例概要／現象／原因	TTL ICでCMOS LSIを駆動する場合, アンダシュートノイズや入力レベル不足で誤動作することがある。 TTL ICの出力インピーダンスが低いのに対し, CMOS LSIの入力インピーダンスは非常に高く反射によりアンダシュートが発生する。 また, 入力レベルにおいても, TTLレベルとCMOSレベルとに差があり, 特にハイレベル側の電圧不足が問題となる。
	対策／確認例	(1) TTL ICの出力端子に抵抗を入れアンダシュートを防止する。 (2) CMOS ICの入力にプルアップ抵抗を取り付ける。 (3) 専用のインタフェースICを使用する。

5. 半導体デバイスの使用上の一般的な注意事項

事例5 パワーオンリセット回路の誤動作

No.5	事例件名	パワーオンリセット回路の誤動作
	デバイスの種類	IC, LSI
	ポイント	電源投入波形に合ったパワーオンリセットを採用する
	事例概要／現象／原因	<p>パワーオンリセット回路には積分形と微分形などがある。積分形回路は電源の瞬断や短時間切断に弱く、微分形回路は電圧のゆっくりとした立ち上がりに弱い。このため、下図のように誤動作することがある。</p> <p>(1) 積分形回路の誤動作</p> <p>いったん電源がオフした後、tが短いと(A)点の電位が下がりがきらずパルスが発生しない(点線)。</p> <p>(2) 微分形回路の誤動作</p> <p>電源の立ち上がりが遅いと波形がリセット動作電位まで上昇せず、リセットが効かない(点線)。</p>
	対策／確認例	<p>下図に示すように、電源電圧監視用ICに変更する。</p>

事例6 測定中の誤動作

No.6	事例件名	測定中の誤動作
	デバイスの種類	MOS LSI
	ポイント	測定系のインピーダンスは適正か
	事例概要／現象／原因	<p>測定系の破壊防止の目的で抵抗(下図参照)を付けて測定したため、隣接する入出力ピン間でクロストークを生じ、入力電圧マージン不良となった。入出力ピンレイアウトの異なる品種を共通の測定系で試験するために、入力ピンにも抵抗を接続したまま測定していた。</p> <p>入出力のクロストーク</p>
	対策／確認例	<p>測定系の保護抵抗を入力時0Ω、出力時RΩとし、入出力のピン仕様により抵抗をリレーで選択できるよう改善する。</p>

5.5 熱設計上の注意事項

実使用における熱の影響は半導体デバイスの信頼性に大きく影響を及ぼします。特に、近年、短小、軽薄、高速化が進むにつれて無視できない状況となっています。

一般に、半導体デバイスの動作接合温度は、デバイスの置かれる周囲環境とデバイス自体からの発熱による接合温度上昇の相互作用で決まります。図 5.6 は、SMD をプリント基板に実装した一例です。

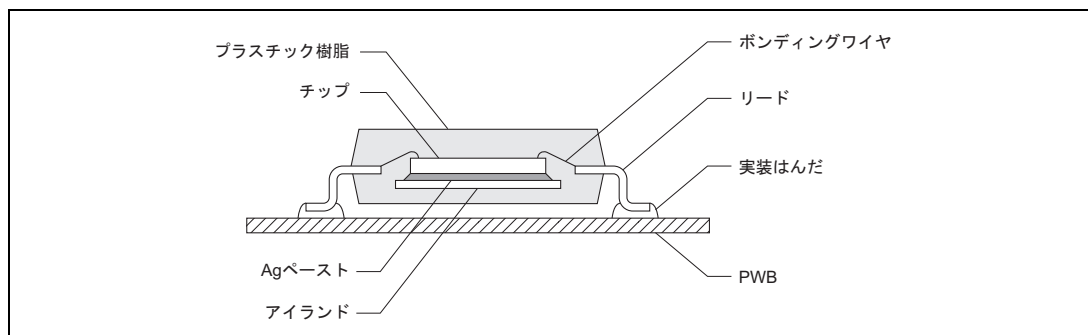


図 5.6 SMD をプリント基板に実装した例

熱の伝わり方は、一般に、伝導、対流、輻射の 3 通りであり、SMD においては、図 5.7 に示す通り、伝導、対流によって決定されます。接合部から発生した熱は、熱伝導により各部に伝わり、その後 SMD の表面から対流によって外気に放出されます。ただし、SMD 裏面と PWB の空間部では、隙が狭い(1mm 以下)ことから対流が起こらないため断熱状態となります。この熱の伝わり易さ(難さ)を熱抵抗で表します。

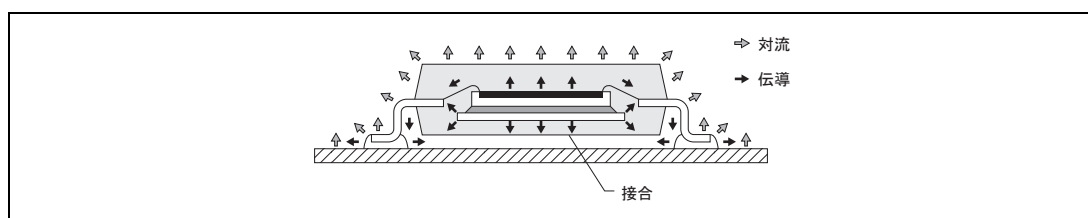


図 5.7 SMD の熱の伝わり方

微細化、高速化、小型化が急速に進んでいる最近の状況を見ると、熱の問題は信頼性に対してかなり大きな要因となってきています。また、半導体デバイス単体で熱抵抗を下げることも限界に近づいてきています。こうした背景をみますと、今後は半導体デバイスが搭載されるシステム全体での熱設計の比重が必然的に高くなっていくものと考えられます。

5.6 使用環境条件に関する注意事項

ここでは、半導体デバイスが組み込まれたセットの保管時及び動作時における半導体デバイスの環境についての注意事項について述べます。

(1) 温度環境

保管時(非通電時)のセットでは、半導体デバイスの保存温度の最大定格範囲を超えて保存しないでください。半導体デバイスの電気的特性は、温度に対し敏感な温度依存性があります。所望の電気的特性を得るには、周囲温度またはケース温度は少なくとも動作温度範囲内に制限しなければなりません。また、半導体デバイスの劣化を防ぎ、寿命を確保するためには、動作温度のデレレーティングを考慮してください。

(2) 湿度環境

セット内での半導体デバイスの湿度環境に関しては、相対湿度 45～75%RH 程度を維持できるようセット設計上、使用上の配慮をしてください。また、密閉した部屋または急激な温度変化のある場所などでは、結露の恐れがありますので、セットの使用を避けてください。

高湿度または水分が結露する環境で長期間使用すると、樹脂封止の半導体デバイスでは水分が樹脂内部に侵入し、半導体チップの劣化や故障が起こる場合があります。また、最近の半導体デバイスでは多ピン化にともなってピンピッチ(リードピンの間隔)が狭くなっているため、プリント基板上でピン間リークが起こりやすく、誤動作の原因になります。セットの使用目的、場所から、高湿度での使用が避けられない場合には、半導体デバイス及びプリント基板表面に適切な防湿処理を検討してください。

一方、低湿度環境で使用すると、静電気の発生と放電による半導体デバイスの劣化または破壊が問題になります。低湿度環境での使用が避けられない場合には、5.7 項で述べる ESD 対策を検討してください。

(3) 強電磁界

セット内の強電磁界を発生する電源または、セット近傍にある強電界、強磁界を発生する機器(例えば、OA 機器、生産機械装置など)から、セットまたはセットの内部回路は電磁妨害に曝されます。これらの電磁妨害には、電源ラインや電話線を伝わる伝導ノイズや電磁波として伝わる輻射ノイズがあります。これらのノイズにより、半導体デバイスまたは回路は誤動作する場合があります。電磁妨害による回路機能障害の発生を防止するためには、プリント基板上の回路のレイアウトパターンの最適化、電源、接地ラインの太線化、シールド線の使用、半導体デバイスまたは回路への電磁シールドの取り付けなどの設計上、配慮してください。

(4) 電磁妨害

電磁妨害波の種類には電源ラインや電話線を伝わる伝導ノイズ、機器から電磁波として直接放射される輻射ノイズがあり、測定や対策方法は異なります。対策の困難さは、機器の各部から発生する電磁波の強度を設計段階で計算する方法が無いことです。対策としては、完成品の測定結果に対し最適なシールドの取り付けを可能としておくことなどがあります。

(5) 放射線

一般に半導体デバイスは、放射線や強い宇宙線の被爆を受けると劣化し、動作不良を起こします。当社の半導体デ

デバイスは、基本的には耐放射線設計については対応していませんので、放射線の発生または被爆を受ける環境で使用する場合には半導体デバイスまたは回路を放射線や宇宙線から遮蔽する装置設計上の対策が必要です。なお、製品によっては、地上に到達する宇宙線などの影響により、予期せぬ不具合、例えばメモリセル内でのビット反転などが生じる可能性があります。これをソフトエラーと呼んでいます。装置設計に際しては、ECC の適用や、システムの運用環境に応じた安全設計を考慮してください。

(6) 腐食性ガス、塩気、塵埃、油気など

SOx, NOx ガスなどの腐食性ガス、強い塩基のもとで使用すると半導体デバイスは、リードが腐食したり、特性劣化が発生したりします。特に、この環境下に、高湿度環境が重なると、劣化の進行速度は増し、リード間化学反応によりリークが発生し増大したりします。塵埃、油気の多い環境下で使用の場合も、プリント基板上に堆積した塵埃または油脂は保湿しやすいため、上述と同様の劣化やリード間リークが発生します。そのため、このような環境下での使用を避けてください。避けられない場合には、これらの劣化やリード間リークなどを防止するセット設計上の配慮をしてください。

(7) 振動、衝撃、応力

半導体デバイスのプリント基板などへの実装時からセットの使用時に至るセットのライフサイクル全般にわたって、半導体デバイスに振動、衝撃、機械応力、熱応力ができるだけかからないよう、セット設計、製造、保管、運搬、使用上の配慮をお願いします。半導体デバイスに強い振動、衝撃、機械応力、熱応力が加わると、信頼性の低下や断線、パッケージまたはチップのクラックなどが起きます。特に、デバイス実装時の機械的衝撃、熱衝撃や、セット運搬、使用中の強い振動、衝撃に注意してください。

(8) 光の影響

半導体には光電効果があることが知られており、半導体デバイスに光を照射すると起電力が発生し誤動作の原因となる場合があります。このような光によるリークや誤動作を防止するために、半導体デバイスに日光、紫外線、蛍光灯などの不要な光が照射されないよう、セット設計上の配慮をしてください。

(9) 発煙、発火

半導体デバイスは不燃性ではないので、過電流が流れると発煙、発火する場合があります。また、その場合に有毒ガスが発生することもあります。このような状態を起こさないため、動作時またはショート故障時にも過電流が流れないよう、電源と半導体デバイス間にシリーズ抵抗を挿入するなどの過電流防止対策が必要です。その他、発熱体、発火物および引火物の近くでは、使用しないでください。

(10) 外部ノイズ

プリント基板の配線(入出力信号や信号線など)が長い場合、半導体デバイスは、外部誘導などによるノイズやサージの影響を受けやすく、デバイスによっては誤動作を引き起こす可能性があります。その対策として、配線を長くしないようにしたり、インピーダンスを低くしたり、ノイズ除去回路挿入などの保護対策を配慮してください。

5. 半導体デバイスの使用上の一般的な注意事項

事例7 光照射による動作マージンの減少

No.7	事例件名	光照射での動作マージンの減少
	デバイスの種類	マイコン
	ポイント	強い光が照射される用途では、実使用状態で光を当てて測定する
	事例概要／現象／原因	半導体は光を照射することにより光電子が発生する。使用中に強い光がLSIに印加される可能性のある場合には十分注意すること。パッケージが薄型になった場合や、チップで購入して組み立てる場合などは、特に注意が必要。
	対策／確認例	(1) チップが剥き出しの状態では電氣的特性を測定する場合は、光を遮断する。 (2) パッケージ状態で強い光が照射される用途で、電氣的特性を測定する場合は、光を当てた状態で測定する。

事例8 天然ゴムの出す硫化ガスが起因のリーク不良

No.8	事例件名	硫化ガスと銅フレームICの化学反応物質によるリーク不良
	デバイスの種類	IC, LSI
	ポイント	ゴム等硫黄を主成分とする物質をIC近傍に置かない
	事例概要／現象／原因	市場で原因不明の誤動作不良が発生した。調査の結果LSIのピン間に硫化物が結晶しており、リーク電流が増大して動作不良になると判明した。調査の結果、基板上のLSI近傍にゴム等硫黄を主成分とする緩衝部品があり、この物質から硫化ガスが発生し、高湿度の状態では結露してLSIのリード間に化学反応した異物が形成されたものと判明した。 高温高湿槽を用いた再現実験では再現できなかったが、同一ゴム部品をデシケータの中に入れ、高温高湿試験を実施したところ再現した(風の当たる場所ではこの不良の発生はしない)。
	対策／確認例	ゴム等硫黄を主成分とする物質をIC近傍に置かない(実装しない)。

事例9 電源投入時の突入電流に起因する誤動作

No.9	事例件名	電源投入時の突入電流に起因する誤動作
	デバイスの種類	マイコン
	ポイント	電源投入から発振開始までの間の電源電流値は適正か
	事例概要／現象／原因	電源投入後、クロック入力までの間、内部ロジックに不確定部分が存在し、電源に規格外の電流が流れた。お客様の装置の一部に規格外の過電流検出回路を内在したものが、この電流により装置が誤動作した。
	対策／確認例	過電流検出を必要とする用途の場合、平均電源電流の他に電源電流ピーク値を規定する。

5.7 半導体デバイスを電氣的破壊から守るために

半導体デバイスの市場故障の中で発生率の最も高いものが電氣的破壊不良です。破壊した後の様子から破壊の原因を突き止めることが難しく、発生頻度の高い場合には再現実験を実施して同様の破壊形状になる条件を見つけるなどの個別の対策を実施していますが、市場で発生した状態とまったく同じように再現させることは極めて難しいのが現状です。

ここでは、破壊するメカニズムに注目し、破壊の特徴や破壊防止のための考え方、対策などについて説明します。製造上敏感な半導体デバイスを正しく取り扱うことは、お客様の製作工程での不良の低減のみならず、市場での初期故障率の低減にも大きな効果が期待されます。

5.7.1 静電気放電(ESD)による破壊

静電気破壊は、破壊の中で最も発生頻度の高いモードです。以下に発生のメカニズムおよびデバイスが帯電するメカニズム、静電気破壊に関する一般的な注意事項を説明します。

静電気では半導体デバイスが破壊するのは、急激な放電現象による過電圧、過電流が原因です。極めて高周波のものを除いて、ほとんどの半導体デバイスは静電気破壊防止用の保護素子を内蔵していますが、保護素子の能力を超えるようなエネルギーの静電気が印加される、また保護素子の動作速度を超えるような高周波のサージを印加することにより破壊する場合があります。

装置や基板などに組み込んだ後で印加された静電気は、分布定数でインピーダンスの低い所に集中して迷走電流の形でエネルギーが伝わり、最も弱い部分を破壊してしまいます。半導体デバイス自体は非常に高温で処理されて作られますので、多少温度が上昇しても短時間で破壊することはありませんが、エネルギーが極めて集中して消費されると、局部的に温度上昇し瞬時に破壊に至ります。静電気自体で破壊する場合はその電圧が高く、エネルギーは比較的小さいため、破壊の跡は極めて小さいか、あるいはまったく観測されないことが多いようです。電源電圧が印加された状態での静電気の印加では、静電気破壊が引き金になり、副次的に熱暴走や SOA 破壊することもあります。

(1) 静電気発生のメカニズム

静電気とは、物体に過剰に存在する電子または不足している電子による電荷のことをいいます。物体に電子が過剰に存在する場合は負に帯電し、電子が不足している場合には正に帯電します。

一般的に、物体は電氣的性質として電子を獲得しやすいものと、与えやすいものがあります(摩擦電氣系列といえます)。このため、ある二つの物体が摩擦したり、分離したり、接触したりすると、一方の物体は電子を獲得し、他方の物体は電子を与えることとなります(図 5.8 参照)。また、帯電した物体に導電性物体を近づけると静電誘導により電荷が部分的に現れます(図 5.9 参照)。物体に帯電する電荷量は、物体の性質、周囲の条件(温度、湿度)、摩擦の条件などに依存しますが、一般的には化学繊維やプラスチックは帯電量が大きい(帯電しやすい)といえます。また、静電気の電荷は物体の表面に帯電することから、物体の表面伝導率が電荷の移動に大きく影響し、表面伝導率が高いと速やかに電荷が拡散することになります。表 5.8 に代表的な帯電電圧の例を示します。この中で、相対湿度の高い方が帯電電圧が低くなるのは、湿度が高い程、物質の表面伝導率が高くなるためです。

5. 半導体デバイスの使用上の一般的な注意事項

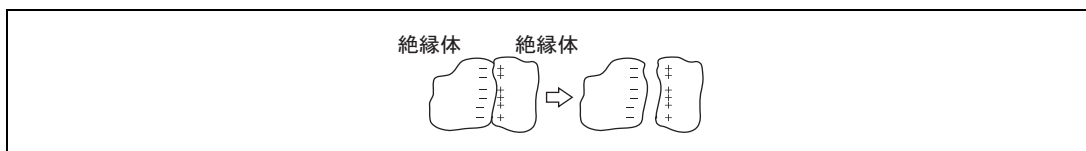


図 5.8 摩擦帯電

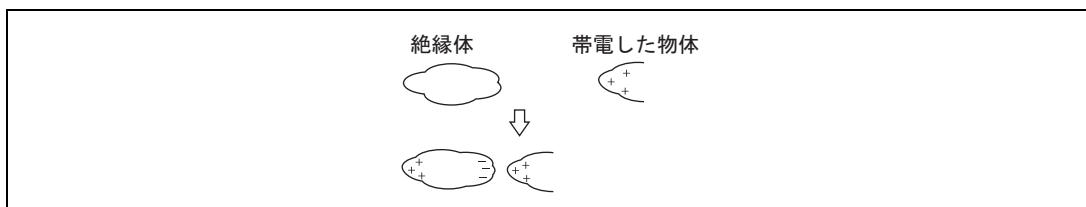


図 5.9 静電誘導

表 5.8 代表的な静電電圧の例(DOD-HDBK-263 より)

発生源	静電電圧	
	相対湿度10~20%の場合	相対湿度65~90%の場合
じゅうたん上を歩く人	35,000V	1,500V
ビニール床上を歩く人	12,000V	250V
ベンチで作業する人	6,000V	100V
ビニールの覆い	7,000V	600V
ベンチから取り上げたポリバック	20,000V	1,200V
ポリウレタンフォームを詰めた椅子	18,000V	1,500V

(2) 半導体デバイスが帯電するメカニズム

最近の半導体デバイスの静電破壊の中には、デバイス帯電モデルによる破壊が増加しています。この破壊は、帯電した半導体デバイスから導体に放電するときに起こります。ここでは放電の要因となる半導体デバイスの帯電のメカニズムについて述べます。

(a) 摩擦によるパッケージ表面の帯電

半導体デバイスの製造工程や電子機器等のセットの組み立て工程で半導体デバイスが摩擦される場合が多くあります。例えば、デバイス捺印機のゴム製転写ローラとの摩擦、IC用マガジン内、ハンドリング装置での摩擦などが挙げられます。プラスチックパッケージが摩擦されると、パッケージの表面が帯電します。帯電すると図 5.10 のように、チップやリードはパッケージ内の電界により静電誘導し、リードが導体などに触れると放電します。

(b) 静電誘導によるデバイスの帯電

(a)以外に、半導体デバイスが摩擦しなくても帯電することを図 5.11 を基に説明します。まず、(i)のように帯電したプラスチック板上に半導体デバイスを置いた場合、チップやリードが静電誘導を起こします。

次に、(ii)のようにリードに治工具類や人体などの導体に触れた場合、放電が発生します。また、プラスチック板から、デバイスを取り除いた後は、(iii)のようにデバイスに帯電していれば、さらに放電を起こす危険があります。

5. 半導体デバイスの使用上の一般的な注意事項

このように、帯電した物体を半導体デバイスに近づけるだけで半導体デバイスには放電する危険が生じます。例えば、半導体デバイスや完成した基板を入れる容器、ベルトコンベア、非導電の指サックなど、半導体デバイスの周辺には多くの事例が考えられます。

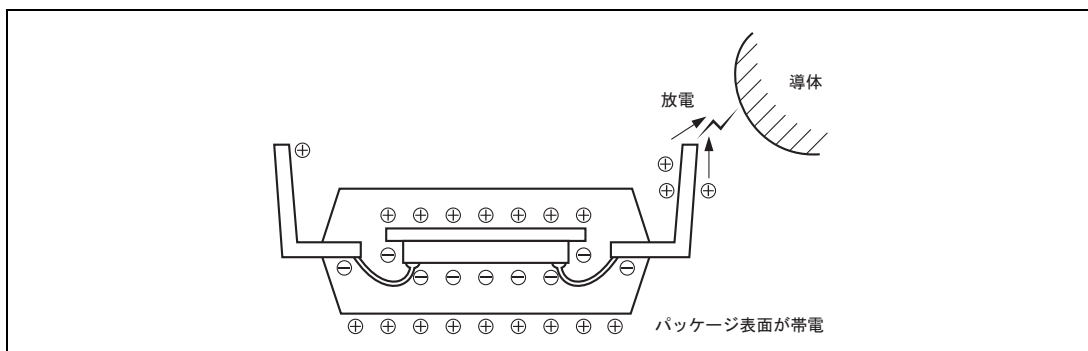


図 5.10 パッケージ表面が帯電した場合の内部の静電誘導と放電

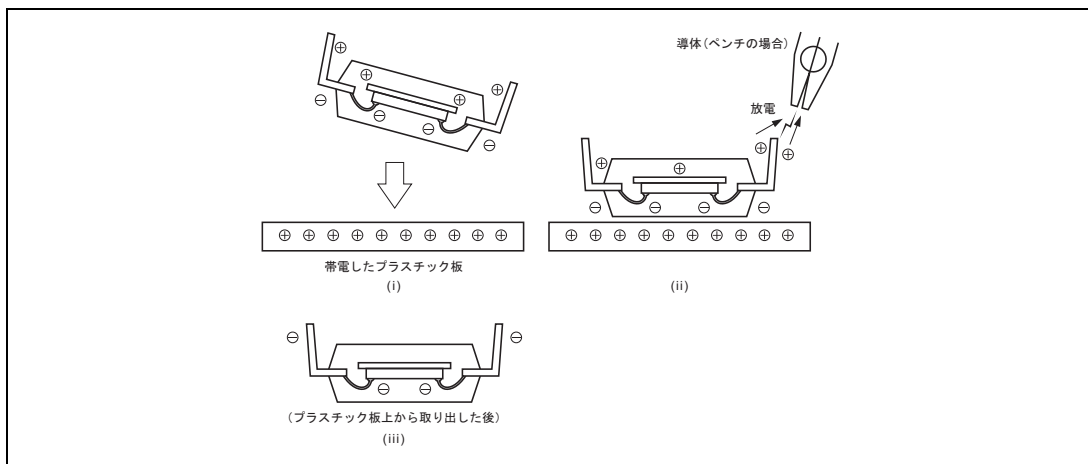


図 5.11 静電誘導によるデバイスの帯電過程

(3) 静電破壊に対する一般的な注意事項

一般に、半導体デバイスは静電気放電(ESD)により破壊しやすいため、取り扱いには注意が必要です。特に、以下のような場合は、静電破壊の可能性が高くなります。以下、一般的な静電気対策を述べます。

(a) デバイスと導体を接触させるとき

導体が帯電している場合、または、半導体デバイスが帯電している場合は、導体と半導体デバイス間で放電が起こります。人体保護のため $1M\Omega$ 以上の高抵抗を介して接地してください。金属の場合は急峻な放電が起こるため破壊の危険性が高くなります。半導体デバイスはできるだけ金属への接触を避ける必要がありますが、避けられない場合は金属を接地の上、半導体デバイスを除電してください。

5. 半導体デバイスの使用上の一般的な注意事項

(b) デバイスが摩擦されるとき

パッケージが摩擦されるとパッケージが帯電、リードピンが摩擦されるとチップやリードピンが帯電します。摩擦の防止、または摩擦する箇所の材質を変更し、帯電量を抑えてください。

(c) 半導体デバイスに帯電した治工具類を近づけたとき

半導体デバイスが静電誘導を起こし帯電します。治工具類は、帯電しない材質にしてください。

(d) 周囲の湿度が下がったとき

半導体デバイスを取り扱う場所の湿度が下がった場合、半導体デバイスや治工具類は一度帯電すると、容易に元に戻らなくなります。静電気は目に見えませんが、上記の(a)～(c)に対する完璧な対策は容易ではありません。これらの対策を実施の上、湿度管理を行えば大きな効果が期待できます。

(4) 静電気に対する半導体デバイスの取り扱いの基本

静電気による半導体デバイスの劣化や破壊を防止するためには、半導体デバイスを取り扱う環境で、帯電した物体の静電電圧を 100V 以下に抑えることが一般的です。そのためには、静電気の発生をできるだけ低く抑えることと、発生し帯電した電荷をすばやく逃がすことが基本です。

そのための半導体デバイスの取り扱いの基本は、次の 5 項目です。

- ① 半導体デバイスに接触するか、または近づく物体(人体を含みます)は、絶縁性材料の使用を避け、接地すること。静電気の帯電を避けるためには、絶縁性材料の使用を避け、抵抗率の高い導電性または静電気拡散性の材料を使用してください。また、帯電した静電気を逃がすためには、接地することが必要です。
- ② 半導体デバイス同士または他の物体との摩擦をできる限り避けること。摩擦は、静電気発生の原因になるためです。
- ③ 帯電した物体(人を含む)に近づけない、または接触させないでください。半導体デバイスが、帯電した他の物体から誘導帯電されるのを防止するためです。
- ④ 急激な放電を避けること。急激な放電を避けるためには、半導体デバイスに接触するあらゆる物体は、(3)(a)項の対策のように、抵抗率の高い導電性材料でなければなりません。これに反し、金属の場合には、抵抗値の高い直列抵抗を介して接地することが必要です。帯電した半導体デバイスの急激な放電は、半導体デバイスを劣化させ、または破壊するためです。
- ⑤ 相対湿度 40%以下にしないこと。湿度が下がると静電気帯電しやすくなり、相対湿度 40%以下では、物体の帯電電位が急激に高くなります。これは、湿度が下がると物体表面の導電率が下がり電荷が表面に蓄積されやすいためです。

(5) 静電気に対する半導体デバイスの取り扱い上の注意点

セットの設計、製造、検査などにおける静電気対策としては、半導体デバイスの保管、運搬、受け入れ、実装、検査などの作業環境及び作業上で、上述の(4)で述べた 5 項目にわたる取り扱いの基本を実施することが必要です。その他対策として、静電気発生や発生条件の状況を常に測定・把握し、適切な対策を講ずることも大切です。

前述の 5 項目の基本対策をベースにして、静電気による半導体デバイスの劣化または破壊を防止するための半導体デバイス取り扱いに関する一般的な静電気対策を以下に述べます。

(1) 保管, 運搬

- ① 半導体デバイスもしくはこれらを実装したプリント基板は、帯電防止用のシールディングバッグ、導電性プラスチック容器、導電性マガジンケース、導電性ラックなどに入れて保管、運搬してください。静電気を帯電しやすいビニール袋、ポリ容器、発砲スチロール箱などの絶縁プラスチック容器に収納し、保管、運搬することは避けてください。
- ② 半導体デバイスもしくはこれを実装したプリント基板の保管または包装容器は、輸送時に包装容器内で振動したり、互いに接触したりしないようにするため、寸法を容器内で遊びのないように設計する、もしくは緩衝材を詰めるなどの対策をしてください。これは、輸送時に、デバイスやプリント基板が、互いにまたは、保管もしくは包装容器との摩擦により帯電することを防止するためです。
- ③ 静電気に敏感な微細化された LSI や高周波、光デバイスは、静電気対策専用保管棚 (1M Ω 程度の高抵抗を通して接地した専用の保管棚) に保管してください。
- ④ 運搬用台車、運搬車は、車輪を介した接地またはチェーンによる接地をしてください。
- ⑤ 半導体デバイス実装後のプリント基板のコネクタは、アルミホイルやショートバーなどで短絡してください (図 5.12 参照)。
- ⑥ 半導体デバイスやプリント基板に埃よけのシートをかぶせる場合にも、導電性シートまたは導電性マットを使用してください。

5. 半導体デバイスの使用上の一般的な注意事項

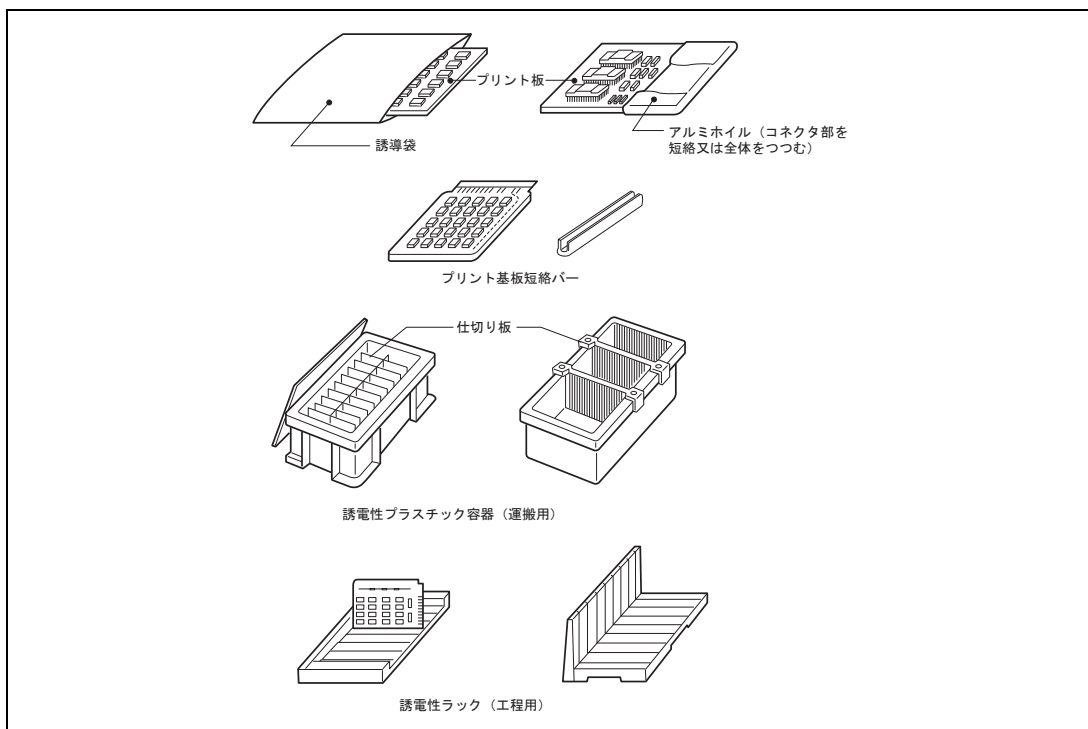


図 5.12 プリント基板の静電気保護例

事例 10 保管運搬時の静電気破壊

No.10	事例件名	保管運搬時の静電破壊
デバイスの種類	MOS IC(プラスチック封止)	
ポイント	半導体デバイス近傍の物質も高電圧で帯電させてはいけない	
事例概要／現象／原因	セットの製造工程で、基板組み立て後、基板への実装前に良品であったICが不良となった。基板を運搬、保管時に重ね合わせていたため、ICと対向したコンデンサにチャージされていた電荷が印加され破壊した。	
対策／確認例	(1) 基板間に絶縁物を入れて運ぶ。 (2) コンデンサを放電させておく。 (3) 基板間を離す。	

(2) 環境、設備、治工具

- ① 相対湿度は、45～75%をできるだけ維持してください。帯電防止のために、乾燥期には加湿器などを用いて湿度管理が必要です。加湿が不十分な場合にはイオナイザ(除電装置)などの併用も有効です。
- ② 空気の流れをできるだけ低く抑えてください。それが難しい場合は、イオナイザなどの設置が望ましい。
- ③ 静電気の蓄積が起らないように、装置、測定や試験の機器類、コンベア、作業台、フロア、工具、はんだ槽、はんだごてなどはしっかり接地してください。作業台及び床は、高抵抗率の導電性マット($10^5 \sim 10^9 \Omega$)を敷いて、それぞれ接地することが有効です(図 5.13 参照)。

5. 半導体デバイスの使用上の一般的な注意事項

- ④ 半導体デバイスをプリント基板などに実装する装置、試験装置などでは、半導体デバイスが接触する装置の各部分は、導電性または抵抗率の高い導電性材料で構成され接地してください。帯電しやすい絶縁体を用い、静電気を放電させることが困難な場合は、イオナイザを用いたエアブローで除電することが有効です。
- ⑤ 治工具は、静電気の帯電や、急激な放電がしにくい静電気拡散性材料のものを選定してください。やむをえず金属製のものをを用いる場合には、抵抗値の高い抵抗を介して接地してください。
- ⑥ はんだごては、半導体用のはんだごて（12～24V の低電圧）を用い、こて先を $1M\Omega$ 程度の直列抵抗を介して接地してください（図 5.14 参照）。
- ⑦ その他、静電気が発生しやすい物質を近くに置かないでください。

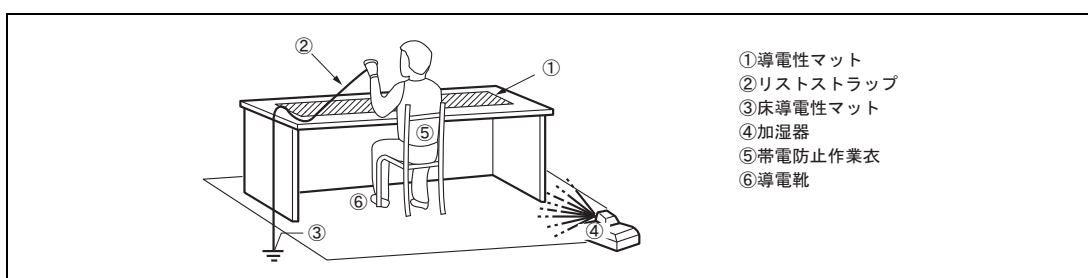


図 5.13 作業時の静電気対策

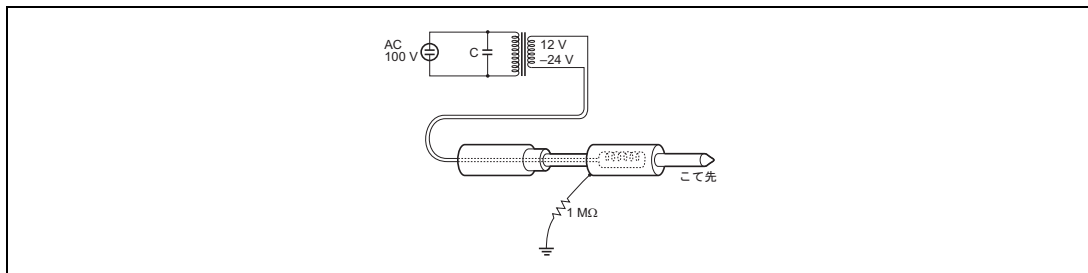


図 5.14 はんだごての接地

(3) 作業者

- ① 半導体デバイスの取り扱い時、及びプリント基板への実装時、組み込んだプリント基板の試験、検査などの取り扱い作業時には、腕輪（リストストラップ）、足輪（ヒールストラップ）などの静電バンドを使い、必ず $1M\Omega$ 程度のシリーズ抵抗を介して人体接地してください（図 5.15 参照）。人体の帯電とそれに伴うデバイスの静電気破壊を防止するための有効な手段である人体接地は、その反面、万一作業者が感電した場合には通常以上に人体が危険にさらされることとなります。感電防止のためには、人体と接地との間に直列に抵抗を挿入することが必要です。したがって、この抵抗値の大きさは、静電気対策と人体保護の両面を配慮して決めなければなりません。抵抗値があまり小さすぎると感電などの場合に大電流が流れ人体が危険にさらされ、大きすぎると接地効果を失いますので、この抵抗値は $1M\Omega$ 程度が良いとされています。

5. 半導体デバイスの使用上の一般的な注意事項

- ② 靴, サンドルなどの履物は静電気拡散性のものを着用してください。履物の抵抗は $100\text{k}\Omega \sim 100\text{M}\Omega$ が良いとされていますが、これは汚れ, 摩擦, 湿度などで変化するので注意が必要です。
- ③ 手袋や作業服は, 静電気拡散性材料 ($10^6 \sim 10^{11}\Omega$) のものを用いてください。ナイロンなどのような帯電しやすい絶縁材料の使用を避けてください。

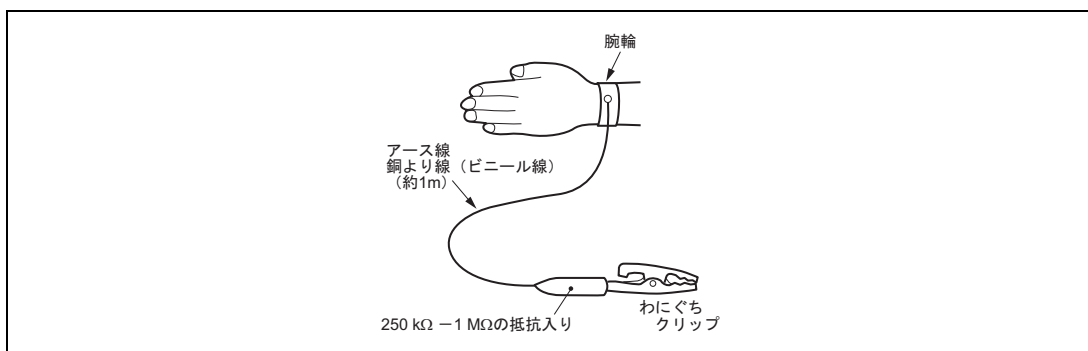


図 5.15 人体接地

(4) 作業方法

- ① 作業現場での備品は, 帯電しやすい絶縁物 (特に, 化学繊維やプラスチックは帯電しやすい) を避け, 静電気拡散性材料のものを使用してください。
- ② 作業現場での保管または移動用の半導体デバイス容器は, 静電気対策を施した材料または, 静電気拡散性のものを使用してください (例えば, 静電気シールディングバッグなど)。
- ③ プリント基板の組み立て工程では, 各種部品の組み込みの中で半導体デバイスをできるだけ最後に実装してください。
- ④ 作業者は, 作業前及び立ち歩き後, 静電気対策された作業台に手を接触させるか, または, イオナイザで除電してから作業に取りかかってください。
- ⑤ 半導体デバイスのリードまたはこれを実装したプリント基板には直接素手で触れないでください。触れる場合には, 静電気対策された手袋を用いてください。
- ⑥ 半導体デバイスのプリント基板などへの実装に際しては, 同一デバイスの取り扱い回数及び取り扱い時間はできるだけ少なくしてください。素早く作業するのが破壊防止のコツです。
- ⑦ 半導体デバイスを実装したプリント基板をコネクタに着脱する際は, 必ず電源を切ってから行ってください。これは, 半導体デバイスに異常な電圧が印加され, 半導体デバイスが破壊に至るのを防止するためです。

以上で述べた静電気の対策を効果的なものにするためには, 半導体デバイスを取り扱うあらゆる場所での静電気の帯電量を定量的に測定し, 管理することを推奨します。

5.7.2 過電圧破壊

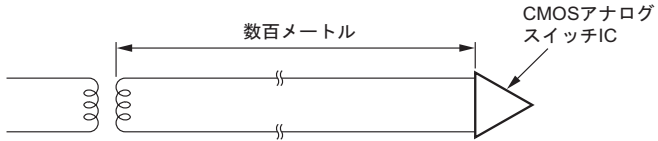
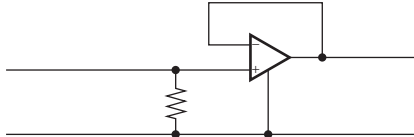
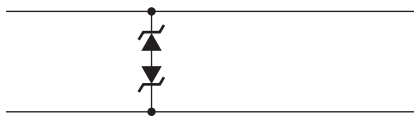
静電気以外の要因で過電圧が印加され破壊に至るケースを総称して過電圧破壊と呼んでいます。過電圧の発生原因や特長はさまざまです。一般的には、放電されるエネルギー総量とエネルギーが消費される面積により破壊形状が決定されます。Siの局部温度が約200°Cを超えるようなことがあるとリーク電流が極端に上昇し、発熱による永久破壊が起こります。500°C以上の高温になると、物理的にAl配線が融解する、またはSi基板自体が変成します。変成した面積が破壊に関与したサージエネルギー量に関係することはもちろんです。

過電圧サージには、他の装置の動作やオン・オフにもなって発生するサージ、突発的な雷サージなどによって発生する外来サージ、自分自身の動作が原因して回路的に発生するサージ、本来の動作とは関係ない測定や検査のときに発生するサージなどがあります。

5.7.3 外来サージによる破壊

外来サージは、最も厄介なサージです。発生の頻度が極めて低いのが一般的であり、原因追究や再現実験が難しいため、不良が発生したときの周囲の状況や動作状態などを詳しく記録しておくことが解決の糸口となります。

事例 11 サージ電圧による破壊

No.11	事例件名	サージによる破壊
	デバイスの種類	CMOSアナログスイッチIC
	ポイント	IC入力サージ耐量を明確にする
	事例概要／現象／原因	<p>アナログデータを取り込みデータにより収集するシステムで、アナログデータを発生する場所とアナログ／デジタル変換器が設置されている場所が遠いため、接続ラインに外来サージが発生した。アナログ入力にCMOSのアナログスイッチを使用しており、過電圧保護回路を内蔵したアナログスイッチICではあったが、耐圧以上のサージが発生したため破壊に至った。</p> 
	対策／確認例	<p>(1) アイソレーションアンプを入力段に入れる。</p>  <p>(2) サージ吸収用ツェナーダイオードを入力段に入れる。</p> 

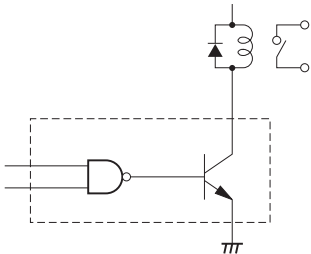
5. 半導体デバイスの使用上の一般的な注意事項

5.7.4 半導体デバイス自身の動作で発生する過電圧での破壊に対する注意事項

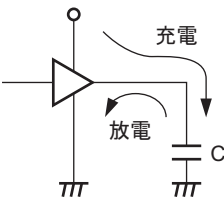
半導体デバイス自身の動作で回路的に過電圧を発生するサージも存在します。インダクタンス負荷回路を駆動して、トランジスタのアバランシェ降伏によりサージを吸収して使用するような用途の場合です。この場合、保護素子を回路に追加するか、保護素子内蔵の場合などは、吸収エネルギーのディレーティングをして信頼性を保ちます。

また、大容量のコンデンサを負荷として駆動する場合なども、負荷回路のインダクタンス成分により過電圧が発生する場合があります。

事例 12 インダクタンス負荷駆動

No.12	事例件名	インダクタンス負荷駆動
	デバイスの種類	TTL IC
	ポイント	L負荷回路はオン・オフ時の電圧、電流波形を確認する
	事例概要／現象／原因	<p>論理回路を介してリレーなどの誘導性の負荷を駆動するとき、リレー内のコイルに流れる電流の切り替え時の逆起電圧を吸収しないとICが破壊される。トランジスタを用いる場合も同様である。</p> 
	対策／確認例	<p>(1) クランプダイオードを入れる。 (2) ダンピング回路を入れる。</p>

事例 13 リアクタンス駆動

No.13	事例件名	リアクタンス駆動
	デバイスの種類	TTL, CMOS IC
	ポイント	コンデンサ充放電電流に注意する
	事例概要／現象／原因	<p>ICの出力にコンデンサを接続すると、「L」レベルから「H」レベルに切り替えるときは充電方向、「H」レベルから「L」レベルに切り替えるときには放電方向の電流が流れる。前者のときは、I_{OS}相当の電流が流れ、後者のときは、V_{OH}相当の電圧がV_{OL}の出力に印加されることにより出力トランジスタを電流破壊させる。</p> 
	対策／確認例	<p>(1) コンデンサの容量を適当な値以下にする。 (2) コンデンサに直列抵抗を入れる。 (3) 容量性負荷を用いないシステム設計とする。</p>

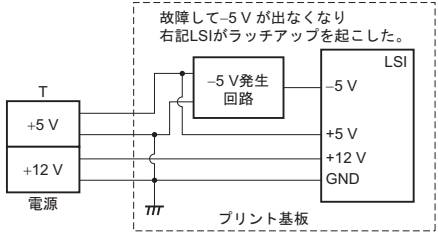
事例 14 LCDドライバ電源ノイズ起因破壊不良

No.14	事例件名	LCDドライバ電源ノイズ起因破壊不良
	デバイスの種類	LCDドライバ、マイコン
	ポイント	(1)LCD駆動電源の電圧逆転は禁物 (2)CMOS入力端子は常に電源、GND間の電圧で使用する
	事例概要／現象／原因	A社で問題なく使われていたLCDドライバが、B社の製品試験で原因不明の破壊を繰り返した。同一のロットで製造されたデバイスでも組み込む機種によって不良率に大きな差があり、テストパターンによっても不良率が変化した。故障解析の結果、電源部分の破壊が確認された。破壊の原因は容量負荷により液晶表示用の電源にスパイクノイズが重畳し、電源間の電位差が逆転した結果、破壊に至ったと判明した。逆転していた電源間にパスコンを入れて、ノイズを同期化したところ、破壊は一切発生しなくなった。
	対策／確認例	(1) 液晶駆動用の高耐圧の各電源部分には逆電圧が瞬時にでもかからないように、同相ノイズ除去のためのコンデンサを使う。 (2) 電源間のパターンを太く短くし、カラム変化による信号量の変化が最も厳しいタイミングで、電源間の電圧逆転の有無を高速の差動プローブで波形の確認をする。

5.7.5 ラッチアップ

CMOS 回路のように寄生的にサイリスタ構造を持っている半導体デバイスの場合は、ラッチアップという故障モードが存在します。ラッチアップは、外来ノイズが原因で流れる寄生電流が引き金となり寄生のサイリスタがオンしてしまい熱破壊に至るものです。LSI の各信号線の電位が規格内にあるうちは決して寄生電流が流れることはありませんが、GND 電位が浮いて入出力信号と電源の間の電位が逆転した場合に起こります。サイリスタ自体は半導体として正常に動作するので、発熱により構造が破壊される前に電源を切れば、破壊に至ることはありません。また、一度サイリスタがオンしてしまうと、入出力の電位がたとえ正常に戻っても、電源を切らない限り回復することはありません。

事例 15 多電源 LSI のラッチアップによる破壊

No.15	事例件名	多電源LSIのラッチアップによる破壊
	デバイスの種類	CMOS LSI
	ポイント	電源投入シーケンスを守らないと、ラッチアップが発生する
	事例概要／現象／原因	<p>受入検査合格のLSIをプリント基板実装後、インサーキットテストにて検査したところLSIが破壊した。通常は-5V発生回路の電圧調整後に結線し試験をするが、誤って結線せずに試験を行ったため、LSIに-5Vが供給されずにラッチアップ現象が発生し、GNDに異常電流が流れLSIが破壊した。CMOSデバイスを使用する場合は最悪の事態を想定し、万ラッチアップを起こしても自己発熱を制限する保護抵抗を入れるなどして二次災害を防ぐようなフェイルセーフな回路にしておくよ。</p> 
	対策／確認例	(1) 多電源LSIの電源投入、切断順序の明確化を図る。 (2) 万ラッチアップを起こした場合を想定して保護素子挿入する。

5. 半導体デバイスの使用上の一般的な注意事項

いったんラッチアップ状態になると、電源電圧-GND 間に大電流が流れ続けてデバイス破壊や燃焼に至る恐れがあります。これを避けるため、入出力端子の電圧レベル(電源電圧より上げない、または GND より下げない)、異常ノイズの排除、電源投入タイミングの考慮、未使用入力端子の電位固定(電源電圧または GND へ)、出力短絡の回避等を施してください。

5.7.6 過電流破壊

主に AI 配線の融解による破壊を総称して、過電流破壊と呼んでいます。AI 配線は抵抗の温度特性が正のため、大電流を印加すると抵抗が増大します。その結果、さらに、配線で消費されるエネルギーが増大することで熱暴走してしまい AI-Si の共晶温度を超えて融解します。トランジスタが過電圧で破壊し大電流が流れて過電流破壊をする場合や、過電流で温度が上昇することで AI-Si の共晶が接合を突き破ることにより、トランジスタを破壊することもあるため破壊のトリガが何であったかを残された形状のみから判断することは困難です。

事例 16 大容量コンデンサによる破壊

No.16	事例件名	大容量コンデンサによるラッチアップ
	デバイスの種類	CMOS LSI
	ポイント	GNDがGNDとして機能しないとLSIは破壊する
	事例概要／現象／原因	<p>プログラムのデバック中、プログラム開発装置が原因不明の破壊を繰り返した。同時に何個もの TTL, CMOSが破壊され、装置を何度取り替えても時々壊れた。原因は、大容量コンデンサ (2,000μF)を使用したことによりパワーオン時、LSIのGND電位が電源の1/2まで上昇しラッチアップしたものと判明した。</p>
	対策／確認例	プリント基板回路上の大容量コンデンサを小容量のコンデンサに替える。

5.7.7 未使用端子の処理

未使用の端子をオープン状態で使用すると、入力が不安定になり、急激な消費電流増加などの異常動作を起こす場合があります。また、未使用の出力端子に電源、GND あるいは他の出力端子がショートすると、IC の異常動作または破壊などに至る場合があります。使用していない入力及び出力端子の処置は、製品及び各端子により異なりますので、カタログ、データシート、個別仕様書等の説明に従ってください。

5.7.8 熱暴走

熱暴走は、回路の温度特性によるパワー増加の正帰還により温度が際限なく上昇し破壊に至るもので、ほとんどの破壊が熱暴走によると言っても過言ではありません。半導体デバイスが局部的に発熱し熱暴走する場合以外に、パワーデバイスの場合は放熱構造に依存して熱暴走が発生する可能性もあるため放熱設計は特に注意して行う必要があります。

5.7.9 SOA 破壊

SOA 破壊は、バイポーラ構造を有した半導体デバイスで特長的に発生する破壊モードです。これは熱暴走の一種で、原理的にはベース-エミッタ電圧の温度特性が原因で温度が上昇すると V_{BE} が小さくなり、その部分で局部的にエネルギー消費が増大し、さらに V_{BE} が小さくなることで局所的高温部(ホットスポット)が発生し破壊します。MOS デバイスの場合は、温度上昇とともにオン抵抗は高くなり、発熱を自動的に均一化する特長があるため、SOA は非常に広くなるのが一般的です。

5.7.10 アバランシェ破壊

半導体の接合耐圧を超えた電圧印加により、アバランシェ降伏を起こして破壊する故障モードです。降伏エネルギーが小さい場合は瞬時に破壊することはない、接合を通過するエネルギー総量がある一定値を超えると破壊に至ることが考えられます。意図して設計した場合を除き、アバランシェ降伏を使用することは、最大定格その他で禁じられていますので注意してください。

5.8 半導体デバイスを機械的破壊から守るために

半導体デバイスは、その機能を果たすための心臓部であるSiチップ、電気信号を引き出すためのボンディングワイヤ、リード線、放熱を確実なものとする放熱板、全体を機械的に固定し外界からのストレスからチップを守る樹脂などにより構成されています。各々の構成材は硬度、熱膨張係数などが大きく異なるために単一材料に比べると機械的強度のマージンが少なくなっています。したがって、リード線の折り曲げ、外付け放熱板の取り付け、プリント基板に実装した後の洗浄、曲げ修正などのあらゆるところに機械的に破壊を誘発するポテンシャルがあります。

機械的外力によって樹脂-リードフレーム間の接着が剥がれることにより、耐湿性マージンの劣化を引き起こしたり、ボンディングワイヤにまでストレスが伝わって耐温度サイクル性が劣化したり、ひどい場合には断線になることがあります。また、パッケージの放熱板や全体に対する機械的応力の印加がチップのクラックにもつながることがあります。

セットの組み立て工程では、機械的応力の印加に注意し、機械的応力に起因する不良を発生させない工程設計にしてください。万一、組み立て工程で機械的応力による破壊が発生するようであれば、組み立て工程で不良になったものはもちろん、不良とならなかったものに対してもダメージを与えている可能性があります。この場合には市場で故障する可能性があるので注意が必要です。特に、中空構造でボンディングワイヤが固定されていないタイプの製品は、超音波洗浄や振動ストレスでの破断が心配されます。ワイヤボンディング細線の超音波での共振疲労断線や、ゲル樹脂の振動、流動による破断断線の発生するポテンシャルがあります。

5.8.1 外部リードの成形、切断について

半導体デバイスをプリント基板などに実装するとき、あらかじめリード線を成形あるいは切断して使用する場合があります。このような場合に、リード線に過度な力を加えると半導体デバイスを機械的に破壊させたり、寿命を縮めたりする原因となります。

例えば、半導体デバイスのパッケージ本体とリード線との間に相対的な応力が加わると内部接続を断線させる、また本体とリード線の間に隙間が生じて気密性を悪くさせて信頼性を低下させることがあります。最悪の場合には、樹脂あるいはガラス割れを生じさせることとなります。このため、リード線成形あるいは切断に際しては、次の点にご注意ください。

- ① リード線を折り曲げる場合には、パッケージ本体とリード線との間に相対的な応力が加わらないように、曲げる点と本体の間のリード線を固定するようにし、本体に触れたり、本体をもって曲げたりしないようにしてください(図 5.16 参照)。また、金型を使って成形する場合は、リード線を固定する機構を設け、リード線押さえ機構もデバイス本体にストレスが加わらないように注意してください(図 5.17 参照)。

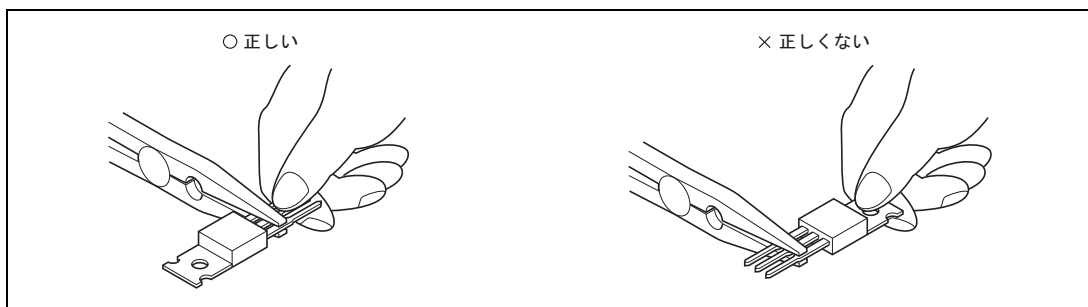


図 5.16 リード線の曲げ方

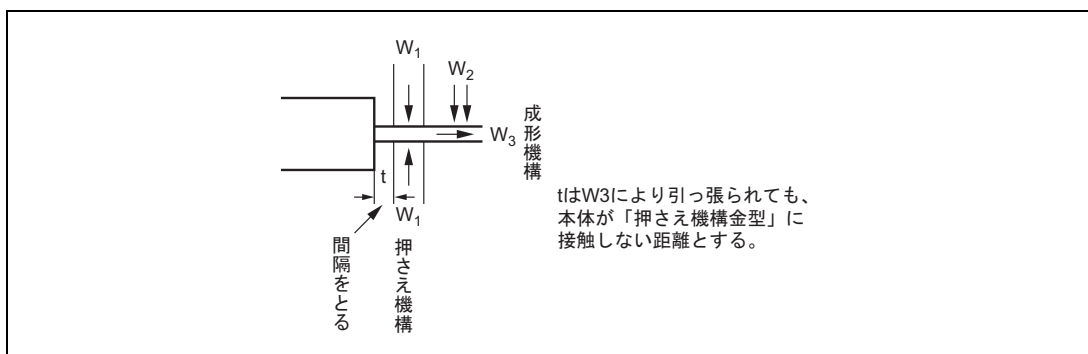


図 5.17 金型使用によるリード線の曲げ方

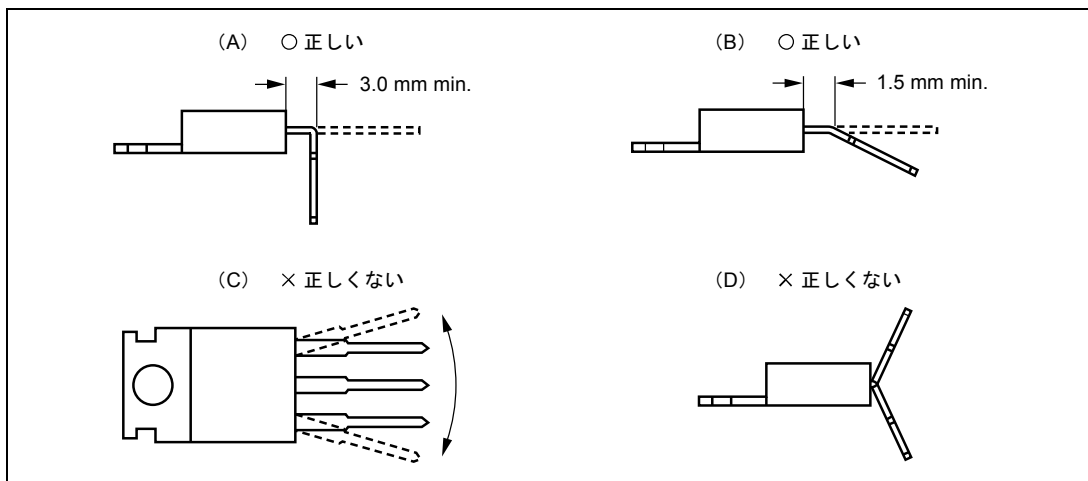


図 5.18 リード線を曲げる位置と方向

5. 半導体デバイスの使用上の一般的な注意事項

- ② リード線を直角に曲げるときには、本体から少なくとも3mm以上離れた箇所を曲げるようにしてください。また90°を超えて曲げないようにしてください(図 5.18A 参照)。なお、90°未満で曲げるときは本体から 1.5mm 以上離れた箇所を曲げるようにしてください(図 5.18B 参照)。
- ③ リード線の曲げは繰り返さないようにしてください。
- ④ リード線を厚手方向に曲げないようにしてください(図 5.18C 参照)。また、モールド樹脂とリードとの界面より曲げないようにしてください(図 5.18D 参照)。
- ⑤ デバイスのリード線は軸方向へ過大な応力(引っ張りなど)により破壊することがありますので、規定以上の力を加えないようにしてください。なお、規定応力については、リード線の断面積により変わります。折曲げ治具や工具の形状により、リード線のメッキ表面に損傷を与えることがありますので注意してください。

なお、トランジスタ、ダイオードについてはリード成形済み状態での納入も可能ですので、当社の営業担当にお問い合わせください。

事例 17 リード整形時のチップクラック

No.17	事例件名	リード整形時のチップクラック
	デバイスの種類	ゲートアレイ
	ポイント	面付け実装パッケージのリード整形時にパッケージ本体衝撃を与えてはいけません
	事例概要/現象/原因	お客様の工程内で、基板搭載前の面付け実装パッケージ品のリードを修正装置を使用してリードの修正をしていた。このとき、リードの付け根部を押さえている金型とパッケージ本体とのクリアランスがなくなっていた。このため、パッケージ本体と金型との間に異物が入り込み、ストレスが加わった結果チップクラックが不良となった。
	対策/確認例	パッケージと金型とのクリアランスは異物の大きさを含めて設定する。

事例 18 リード線成形不良による断線

No.18	事例件名	リード線成形不良による断線
	デバイスの種類	パワートランジスタ(TO-202形)
	ポイント	リード押さえは確実に
	事例概要/現象/原因	トランジスタのリード線の成形時に、リード線押さえ機構を設けなかったため、ピンルーズによる断線不良が発生した。押さえが不十分であったため、リード線の折り曲げ時にX方向に過大なる張力が加わり内部のボンディングワイヤが断線した。
		<p>The diagram illustrates the failure mechanism. A transistor is shown with a lead wire. A vertical arrow labeled '押え' (press) indicates the lead wire is held in place. A horizontal arrow labeled 'リード線' (lead wire) points to the right, indicating the direction of bending. A dashed line labeled '曲げる' (bend) shows the lead wire being bent downwards. An 'X' is placed at the junction where the lead wire meets the transistor body, indicating the point of failure (wire bond breakage).</p>
	対策/確認例	リード線の成形時には、トランジスタ本体と、リード線の折り曲げ部との間を固定する(上図)。
	参照事項	折り曲げ時の注意事項(『5.8.1 外部リードの成形, 切断について』参照)

5.8.2 プリント基板への実装について

半導体デバイスをプリント基板に実装する際には、リード線に過大なストレスが加わらないように注意が必要です。以下に主な注意点を述べます(図 5.19 参照)。

- ① プリント基板の半導体デバイス実装穴の間隔は、リード線の間隔と一致させ、半導体デバイス挿入時および挿入後、過大なストレスが加わらないようにしてください。
- ② プリント基板に半導体デバイスを挿入するときは、リード線を無理に引っ張らないようにし、リードとケースの間に過大なストレスが加わるのを防いでください。
- ③ 半導体デバイスとプリント基板との間は、適当な間隔をあげてください。スペーサなどを使用するのが良い方法です。
- ④ プリント基板に固定後、リード線と半導体デバイス本体との間に応力が加わるような組み立て方法は避けてください。例えば、リード線をプリント基板にはんだ付けした後に半導体デバイスを放熱板に取り付けると、リード線長の公差によるばらつき、プリント基板寸法のばらつきにより過大な応力がリード線に集中し、リード線の抜け、パッケージの破損、断線を招くことがあります。この場合には、半導体デバイスを固定した後にリード線のはんだ付けを行ってください。
- ⑤ 自動挿入装置の使用にあたっては、特に挿入時にパッケージ本体への衝撃が加わらないように注意してください。これは衝撃力によりパッケージ及びチップのクラックを防止するためです。
- ⑥ IC ソケットを使用して基板実装を行う場合、厳しい環境条件下での使用においては IC ピンと IC ソケットの間で接触不良を起こす場合があるため IC ソケットの使用はなるべく避けてください。また、多ピンのピングリッドアレイパッケージのデバイスに IC ソケットを利用して基板実装を行う場合、抜き差しでパッケージが割れたり、ピンが曲がる場合がありますので、市販の挿抜工具の利用を推奨します。

5. 半導体デバイスの使用上の一般的な注意事項

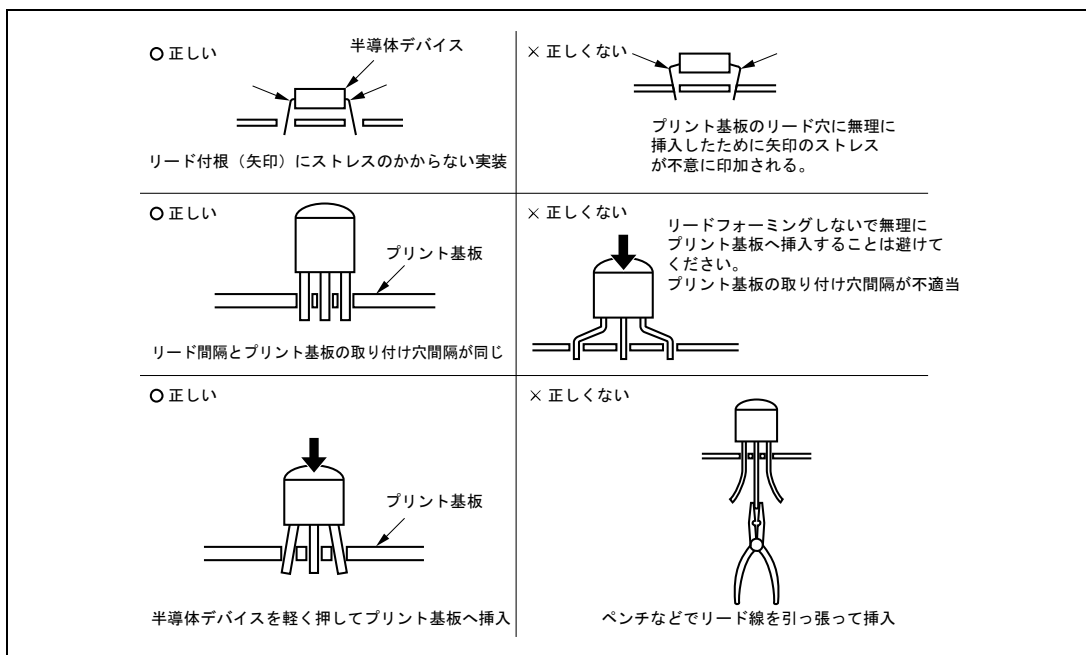


図 5.19 プリント基板への半導体デバイスの実装方法

事例 19 自動挿入によるパッケージ破壊

No.19	事例件名	自動挿入によるパッケージ破壊
	デバイスの種類	シリコンダイオード(DHD形)
	ポイント	リード折り曲げ時、本体にストレスを印加してはいけない
	事例概要／現象／原因	DHD形ダイオードの高速インサートマシンによるプリント基板への自動挿入において、デバイス本体の過大な押さえ力、または基板裏面のリードクリンチ力が過大でパッケージガラスの破壊が発生した。
	対策／確認例	<p>(1) 押さえ機構(型)の位置を調整する。押さえ型の材質を衝撃力が緩和できるものにする。</p> <p>(2) リードクリンチ力を最小限にする。</p>

事例 20 プリント基板の反りに起因するはんだ付け不良

No.20	事例件名	プリント基板の反りに起因するはんだ付け不良
	デバイスの種類	マイコン
	ポイント	リフローでの基板の反りの修正には注意する
	事例概要／現象／原因	面付けリフローストレスではんだが剥がれてしまう不良が発生した。何度ソルダビリティテストを実施しても異常はなく、原因が分からなかった。打ち合わせでリフロー後の反りが議論となり、該当基板を調査したところ部品を配置する銅パターンの非対称性が原因で異常に反りが大きいことが判明した。リフロー後のまだ基板が熱いうちに機械的ストレスを加えて反りの修正を行っていることが判明した。 リフローは、面付け半導体デバイスにとって組み立てストレスとなり大変なものであるが、プリント基板にとっても同じことであり、組み立ての加熱段階で大きく基板が反ってしまうような場合は、LSIは一度張り付いても、剥れてしまうことがあります。反りの量を適正に管理してご使用ください。
	対策／確認例	(1) 反り防止のために基板のパターンと部品配置を工夫した。 (2) 該当基板に対してピンあたりの機械的強度向上のためにフレーム材質の変更を行う。

事例 21 基板実装時のチップクラック

No.21	事例件名	基板実装時のチップクラック
	デバイスの種類	パワートランジスタ(DPAK)、小信号トランジスタ(UPAK)
	ポイント	外装コーティング樹脂によるデバイスへの応力の影響は問題ないか
	事例概要／現象／原因	基板実装時に外装コーティング樹脂を使用した際に、半導体デバイスのエポキシ樹脂の熱膨張係数と、コーティング用のフェノール樹脂の熱膨張係数の差により、素子内部に過大なストレスが印加され、チップクラックに至った。 コーティングして使用する場合は、コーティング材の材質及び厚さ等によっては、半導体デバイスに悪影響を及ぼす場合があるため、十分に注意をする
	対策／確認例	外装コーティング樹脂を使用する場合は、半導体デバイスのエポキシ樹脂との間に応力吸収用の樹脂を塗布する。

5.8.3 洗浄方法について

はんだ付け後のフラックス残渣は、部品や基板配線の信頼性に影響を与えるため、原則的に除去洗浄が必要です。洗浄方法には超音波洗浄、浸漬洗浄、スプレー洗浄、蒸気洗浄などがあり、次のような特長があります。

(a) 超音波洗浄

溶剤中で超音波振動を半導体デバイスに加えて洗浄する方法で、微小な隙間の洗浄に向いていますが、基板と半導体デバイスの接続部が破損される場合があるので注意が必要です。セラミックを主材料とした気密封止タイプパッケージのデバイスは、超音波洗浄を避けてください。内部の接続ワイヤが超音波に共振して断線する恐れがあります。

(b) 浸漬洗浄

洗浄液中に半導体デバイスを浸漬して洗浄する方法で、洗浄液の清浄度が高いことが必要となります。

(c) スプレー洗浄

溶剤の高圧スプレーを製品に吹き付けて洗浄する方法で、部品と基板とのクリアランスが小さい場合など、角度をつけてスプレーすると洗浄効果が向上します。

5. 半導体デバイスの使用上の一般的な注意事項

(d) 蒸気洗浄

溶剤の蒸気により洗浄する方法で、不純物を含まない溶剤で洗浄できるため、最終洗浄工程で多く用いられています。

一般には、これらの方法を組み合わせて洗浄します。図 5.20 に一般的な洗浄フローを示します。

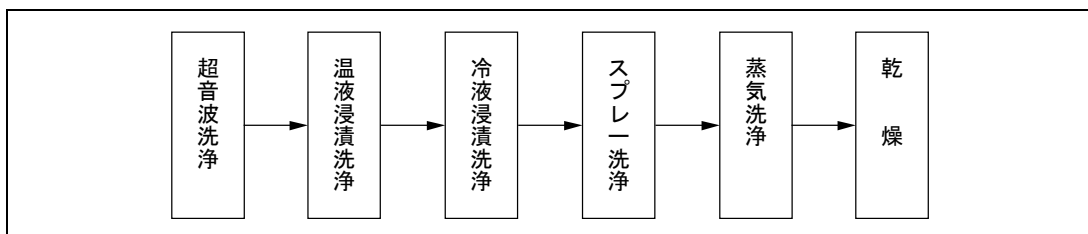


図 5.20 一般的な洗浄フロー

なお、洗浄に際しては、次の点に注意してください。

- ① 半導体デバイスの破壊を防止する上で印加周波数、電力(特にピークパワー)、時間及び半導体デバイスが共振しないように注意が必要です。一例として、超音波洗浄条件を以下に示します。
 - 周波数:28~29kHz(半導体デバイスが共振しないこと)
 - 超音波出力:15W/L(1回)
 - 時間:30秒以下
 - その他:振動源に半導体デバイス、プリント基板が直接タッチしないこと。特に、キャビティタイプパッケージのQFN(LCC), QFPなどは、超音波洗浄を行うと接続ワイヤが共振して断線する場合があります。
- ② 長時間洗浄を行うとマークが消える場合があるので、実使用条件にて確認の上、適用してください。
- ③ 溶剤の使用にあたっては公的環境基準、安全基準などを考慮する必要があります。
- ④ 洗浄後のプリント基板の清浄度は、MIL規格に準拠して表 5.9 を推奨しています。なお、MIL規格の詳細については MIL-P-28809A を参照してください。

表 5.9 洗浄後のプリント基板清浄度

項目	基準
残留 Cl 量	1 μ g/cm ² 以下
抽出溶剤の抵抗値(抽出後)	2 \times 10 ⁶ Ω ·cm 以上

- 【注記】
1. 基板面積:プリント基板の両面+搭載部品
 2. 抽出溶液:イソプロピルアルコール(75vol%)+H₂O(25vol%)
(抽出前)(抽出溶剤抵抗値は 6 \times 10⁶ Ω ·cm 以上)
 3. 抽出方法:10ml/2.54 \times 2.54cm² で基板両面を洗浄(最低 1 分以上)
 4. 抽出溶剤抵抗値測定:電導度計

事例 22 超音波洗浄による破壊

No.22	事例件名	超音波洗浄による破壊
	デバイスの種類	セラミックパッケージ
	ポイント	中空構造パッケージの超音波洗浄はパワーに注意
	事例概要／現象／原因	セラミックパッケージ品を組み立て後、超音波洗浄を行ったところ、超音波によりボンディングワイヤが共振し短時間で疲労断線した。
	対策／確認例	共振させない周波数・出力・時間などを規定する。

事例 23 基板洗浄をしない場合のトラブル

No.23	事例件名	基板洗浄をしない場合のトラブル
	デバイスの種類	リニアIC
	ポイント	微少リークに注意
	事例概要／現象／原因	基板のはんだ付け時にフラックスがICのパッケージ表面まで付着し、その後、ICパッケージ表面に残存したフラックスが吸湿し、ICの端子間の表面リーク電流が増大し、基板不良となった。
	対策／確認例	基板はんだ付け後、フラックスの洗浄を行う。

5.8.4 放熱板の取り付けについて

パワーデバイスでは熱を外部へ放熱し、接合部温度を下げる目的で放熱板を使うのが一般的です。半導体デバイスに外付けの放熱板を取り付けると放熱効果がありますが、信頼性を低下させないようにするためには次のような取り扱い上の注意があります。

(1) シリコングリスの選定について

半導体デバイスと放熱板の間の熱伝導を良くし放熱効果を高めるために、一般的に半導体デバイスと放熱板の接触面にはシリコングリスを均一に薄く塗布して取り付けます。この場合、半導体デバイスによってはシリコングリスのオイルを吸収して、チップコート材を膨潤させるものがあります。したがって、シリコングリスの選定にあたっては、チップコート材を膨潤させないよう特別に配慮された樹脂と親和力の少ないオイルをベースにしたものを使用してください(金属封止型デバイスの場合はこの限りではありません)。

(2) 適切な締め付けトルクについて

締め付けトルクが小さすぎると熱抵抗の増大を招き、大きすぎると半導体デバイスにひずみを与え、チップ破壊、コネクタリード断線などの故障を招く危険性があります。代表的なパッケージの締め付けトルク値の一例を表 5.10 に示します。なお、ご使用前には、締め付けトルク値に関し、当社営業担当までお問い合わせください。

5. 半導体デバイスの使用上の一般的な注意事項

表 5.10 代表的なパッケージの締め付けトルク

外形	最適締め付けトルク	
	[kgf・cm]	[N・m]
TO-3P	6~8	0.59~0.78
TO-3PFM	4~6	0.39~0.59
TO-220AB	4~6	0.39~0.59
TO-220FM	4~6	0.39~0.59
TO-126	4~6	0.39~0.59

(3) 放熱板の平坦度について

半導体デバイスを放熱板に締め付けたとき、放熱板の平坦度が不適切である場合には、放熱効果を妨げる、また無理な応力が増えらるることによる特性劣化や樹脂クラックを起こします。したがって、放熱板について次の点を守ってください。

- ① アルミ板、銅板または鉄板の場合には、プレス張りが無いことを確認し、必ずねじ穴の面取りをしてください。
- ② 半導体デバイスとの接触面を平坦に磨き上げる必要があります。
- ③ 半導体デバイスのヘッダと放熱板の間に切り削りくずなどの異物を挟まないようにしてください。
- ④ 半導体デバイスの放熱片に直接はんだ付けをしないでください。半導体デバイス放熱片への直接はんだ付けは、加わる熱量が大きくデバイス接合部温度の保証値をはるかに超えて、半導体デバイスに悪影響を与え、破壊し、または寿命を著しく低下させる原因になります。
- ⑤ 半導体デバイスに機械的ストレスを加えないでください。締め付けの際に締め付け金具(ドライバや治具など)がプラスチックパッケージにあたるとパッケージにひび割れが生じるだけでなく、その機械的ストレスが内部に加わり半導体デバイスの接続部の疲労を早め、破壊、断線不良などの原因となりますので十分に注意してください。
- ⑥ 半導体デバイスのリード線をプリント基板にはんだ付けした後に放熱板に取り付けしないでください。半導体デバイスのリード線をプリント基板にはんだ付けした後にデバイスを放熱板に取り付けると、リード線の長短のばらつきや、プリント基板と放熱板の寸法ばらつきにより過大な応力がリード線に集中し、リード線の抜け、パッケージの破壊や、断線を招くことがあります。したがって、半導体デバイスを放熱板に取り付けた後にリード線のはんだ付けを行ってください。
- ⑦ 半導体デバイスの加工、変形を行わないでください。半導体デバイスの加工、変形を行うと、熱抵抗の増大を招くばかりか、半導体デバイス内部に異常なストレスがかかり故障の原因となります。
- ⑧ パワーデバイスの取り付けには、スペーサ、ワッシャなどを使用してください。
- ⑨ 半導体デバイスへの放熱板の取り付けに使用するねじには、大別して小ねじとタッピングねじがありますが、これらの使用については、次の点に注意してください。
 - ねじは、JIS-B1101で規定されたバインド小ねじ、トラス小ねじ相当の頭部を持つねじを使用してください。
 - 皿ねじは半導体デバイスに異常な応力を加えることとなりますので絶対に使用しないでください(図5.21参照)。

- ⑩ タッピングねじを使用する場合にも、前述の締め付けトルクを厳守してください。タッピングねじを使用する場合は、デバイス取り付け部の穴径よりも大きいものを使用しないでください。放熱板のみでなく、半導体デバイスの取り付け穴にもタップをすることになり故障の原因になります。
- ⑪ 放熱板のねじ穴径について
- 大きすぎる場合:放熱板の穴径及び面取りは使用するねじの頭径より大きくしないでください。特に銅板をフランジ材として使用している半導体デバイス(TO-220, パワーICなど)については、締め付けトルクにより銅板やプラスチックパッケージが変形してしまいます。
 - 小さすぎる場合:特にタッピングねじを使用する場合は、締め付けトルクが大きくなるため、前述の推奨ねじの締め付けトルクを超えてしまう、または、所望の接触抵抗が得られなくなります。
- ⑫ その他の放熱板への取り付けについての注意事項、推奨条件
- 一つの放熱板に2個以上の半導体デバイスを取り付けると、1個あたりの熱抵抗が上昇します(図5.22参照)。
 - 放熱板は、適当な形状、大きさである必要があります。必要に応じて、強制空冷などを実施してください。実使用状態で製品のケース温度を実測し、ジャンクション温度をカタログ熱抵抗値で計算し使用してください。

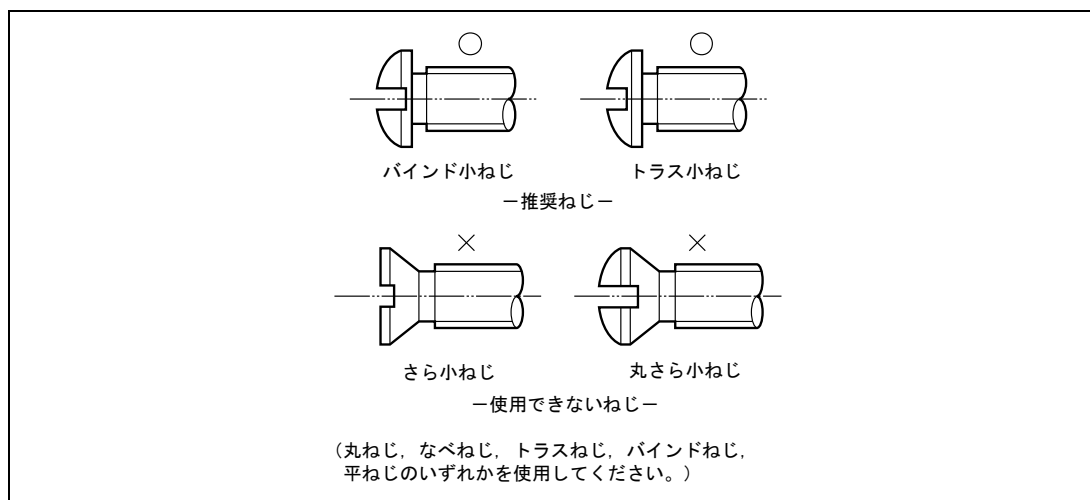


図 5.21 推奨ねじ、使用してはならないねじの種類

5. 半導体デバイスの使用上の一般的な注意事項

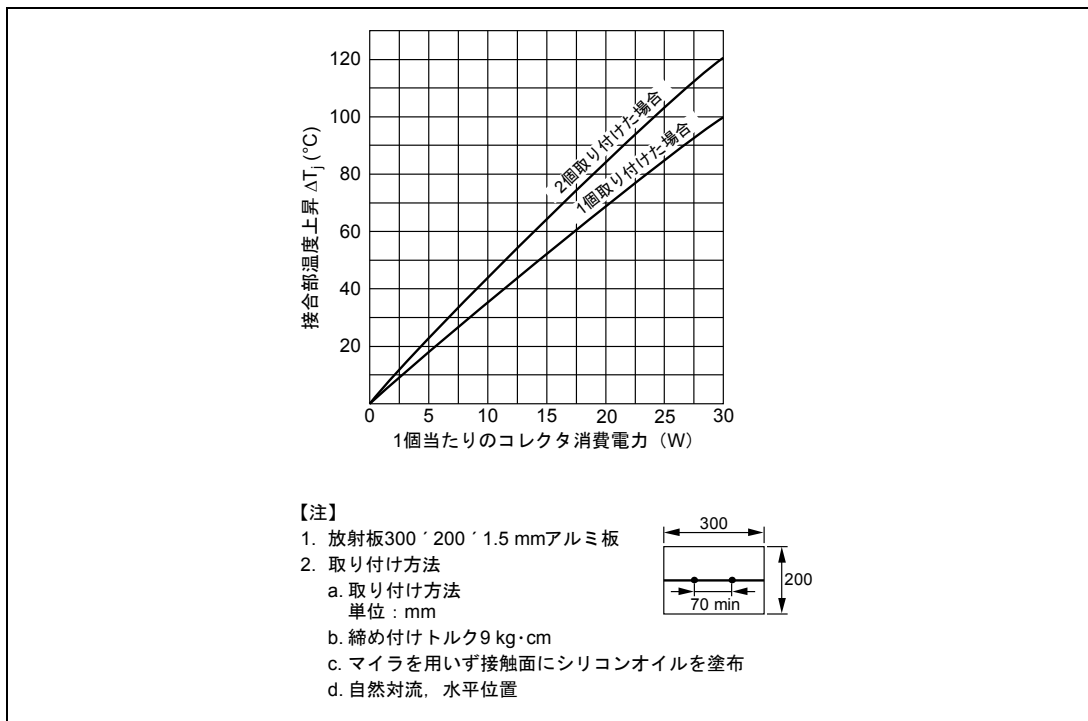


図 5.22 放熱板に2個取り付けた場合

事例 24 放熱板取り付け時のパッケージ破壊

No.24	事例件名	放熱板取り付け時のパッケージ破壊
	デバイスの種類	パワートランジスタ(TO-220形)
	ポイント	締め付けトルクの確認をする
	事例概要／現象／原因	<p>パワートランジスタの放熱板取り付け実装時に、エアードライバのトルクが10kgf・cm(0.98N・m)以上になり、また放熱板の取り付け穴が大き過ぎたためにヘッドとプラスチックの界面が剥離した。エアードライバの種類によっては締め付けトルクのばらつきが大きくなる。</p> <p>トルクが8kgd・cm(0.78N・m)以上になった場合、放熱板の取り付け穴がねじ頭径より大きい場合、または放熱板の取り付け穴部分の平坦度が悪い場合、ヘッドの変形あるいはヘッドとプラスチックの剥離をもたらす。</p>
	対策／確認例	<p>締め付けトルクは推奨範囲内で用いるようにする。TO-220形では4~6kg・cm(0.39~0.59N・m)が推奨範囲である。放熱板の取り付け穴部分の平坦度は50μm以内とし、取り付け穴はねじ頭径より大きく開かないようにするとともに、必ず付属部品の金属ワッシャ(YZ033S)を使用する。</p>

5.9 半導体デバイスを熱的破壊から守るために

前述のように、半導体デバイスはその組み立て構造からも敏感なデバイスです。また、熱的バランス面からも、まったく性質の異なる物質を組み合わせで使用しているために、熱膨張係数差による構成材料間の接着面の剥がれ、金属材料の繰り返しの熱ストレスによる疲労断線などのポテンシャルがあります。

特に最近の軽薄短小に象徴される表面実装型デバイスは、次の点でマージンの少ないものとなっています。

- 温度が高くなると構成材料であるプラスチックの機械的強度が著しく低下する。
- 100℃を超える温度になると樹脂中の水分が気化して隙間に充満し、水蒸気爆発を起こす。

製品ごとの保管条件、組み立て条件をよく確認してからご使用ください。

5.9.1 はんだ実装について

(1) はんだ実装時の注意事項

半導体デバイスは、一般に高温状態に長時間放置することは好ましくありません。はんだ付けの場合も、はんだごて法、リフロー法などのいずれの方法においても、できるだけ低い温度で、短時間で処理する必要があります。はんだごてにて、はんだ付け作業する際は、260℃、10秒、または350℃、3秒を超えないようにしてください

はんだ付け時の温度上昇の例として、省電力プラスチックパワートランジスタによるはんだ付け時の接合部温度上昇例を図 5.23 に示します。260℃のはんだ槽で所定時間加熱をした後、接合部の温度を測定したものです。はんだ付け温度が高く、時間が長いと、デバイスの温度が上昇し、劣化あるいは破壊の原因となる場合があります。なお、はんだ付け時のフラックスとしては、酸性やアルカリ性の強いものを使用するとリード線が腐食する恐れがあるので、ご使用を避けてください。ロジン系のフラックスの使用を推奨します。また、はんだ付け後の十分なフラックス洗浄をしてください(5.8.3 項参照)。

はんだごては、接地端子(線)付きの3端子タイプのものを使用するか、二次電圧をトランスで降下させ、こて先にリークがない状態にし、またはこて先を接地して、ご使用ください。この場合、接地による二次障害が発生しないように注意が必要です(図 5.24 参照)。また、半導体デバイス本体よりできるだけ離れた位置にはんだ付けをするようにしてください。

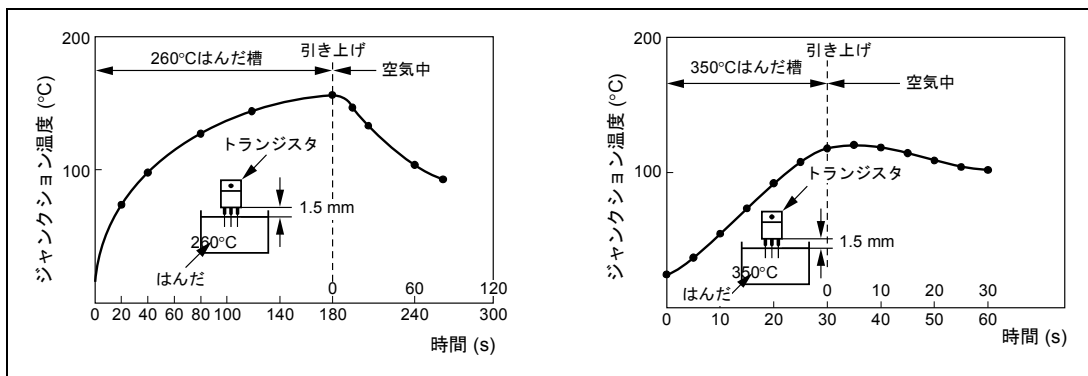


図 5.23 はんだ付け時のジャンクション温度

5. 半導体デバイスの使用上の一般的な注意事項

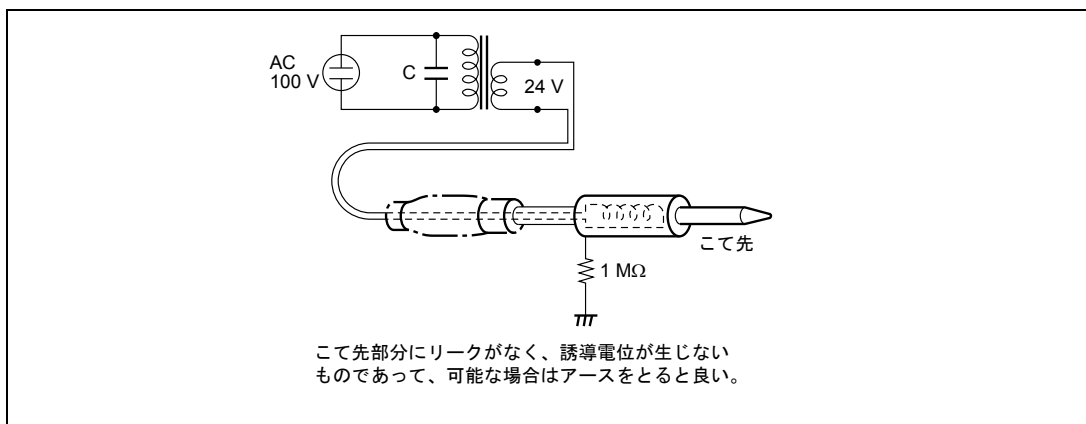


図 5.24 はんだごてのこて先の接地

(2) ピン挿入型パッケージをウェーブソルダ槽にてはんだ付けする場合

この方法は、噴流はんだ槽の液面にリードピンのはんだ付け部を浸漬して行われますが、噴流はんだがパッケージ本体に触れるとパッケージ破損の原因となるためパッケージ本体には直接はんだが接触しないように注意してください。

また、ウェーブソルダ槽使用においては、基板の裏面がはんだの熱により加熱されるため、表面との温度差により基板に反りが発生します。このように基板が反った状態ではんだ付けを行うと、はんだ槽から取り出した時点で基板が元の状態に戻ろうとするため、リード及びパッケージに過度の応力がかかり、はんだ接続部のクラック、リード及びパッケージの破壊につながる恐れがあります。このため、ウェーブソルダ槽を使用する場合は、基板を金具などで固定し、反りが発生しないようにしてはんだ付けを行ってください(図 5.25 参照)。

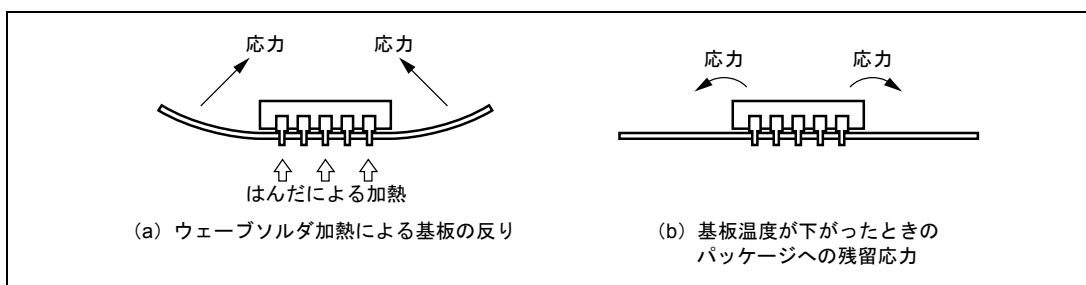


図 5.25 ウェーブソルダ槽による基板の反り状態

(3) 面実装型パッケージをウェーブソルダ槽にてはんだ付けする場合

この方法は、実装される際には、まず、半導体デバイスを基板に仮止め剤で接着した後、基板を反転し、フローはんだに晒し、はんだ付けを行う方法です。リード間に過剰なはんだが残るブリッジの発生や高温のはんだが直接半導体デバイスに当たる熱ストレスが大きい実装方法ですので、これらの対策を十分に講じてからご使用ください。また、当社製品では、本方法が適用できるパッケージは限られています。ご使用前には、本実装方法が可能か否かを、当社営業担当までお問い合わせください。

基板にサンプルを仮止めする仮止め剤の選定についても、接着性が不十分な際には基板反転時に半導体デバイスが落下する可能性があります。また、5.9.1(1)項のように、はんだ噴流から受ける熱で基板に反りが生じ、半導体デバイスに思わぬストレスが加わり落下する可能性もありますので、仮止め剤の選定には、このような事項も考慮して選定してください。

5.9.2 面実装デバイスの取り扱い上の注意事項

最近、急速に普及している面実装型パッケージの注意事項及び実装条件について具体的に説明します。面実装デバイスは、プリント基板に半導体デバイスを実装する部品面側からはんだ付けの処理をする必要があり、本質的に実装時の熱ストレスを受けやすい構造といえます。特に、パッケージ全体を加熱する実装方式を採用する場合には、以下の注意事項を留意の上、実装してください。

(a) パッケージの吸湿

プラスチックパッケージに用いられるエポキシ樹脂は、湿度が高い場所に保管した場合、吸湿を避けられません。この吸湿水分が多くなると、はんだ付け実装時に急激に水蒸気化し、樹脂/リードフレーム界面を剥離させ、ひどい場合には、パッケージクラック(メカニズムに関しては第3章参照)を生じることがあります。したがって、面実装型パッケージは乾燥雰囲気での保管が重要です。

吸湿管理が必要な品種は、輸送中及び保管中の吸湿を避けるため、防湿包装をしています。防湿包装開封後は吸湿の進行を避けるため、規定の環境下で保管の上、可能保管時間以内にリフロー実装をしてください。

次の場合には、はんだ付け実装前にベークを実施してください。

- 湿度インジケータカードが同梱されているものについて、開封時、湿度インジケータの規定の湿度検湿度部がラベンダー(ピンク)色に変色していた場合
- 開封後可能保管時間を経過した場合(ただし、上述の条件下で保管中)
- 添付ラベルでベークをお願いしている場合(超薄型パッケージや極大チップを搭載している一部の品種はベークが必要な場合があります。)

ベークを実施する場合は、通常の出荷用マガジン、トレイ、テープ/リールには耐熱性がありませんのでそのままではベークはできません。耐熱容器に移し替えて行ってください。Heat Proof の刻印のある耐熱トレイは、そのままベーク可能です。ただし、防湿包装に入れたままのベークは避けてください。またトレイの反りを防ぐためトレイは平板の上に乗せてベークを行い、ベーク後はゆっくりと冷却してください。

(b) 耐湿性対策

面実装製品はピン挿入型部品と比較して外部リードから内部のICチップまでの距離が短いため、耐湿性についての配慮が必要な場合があります。例えば、屋外での使用や耐湿性を特に重視する機器では、樹脂コーティングなどの対策をとっている場合があります。コーティング材にはポリウレタン系、シリコン系などの樹脂がありますが、樹脂の硬化、収縮応力や基板との熱膨張係数の違いにより生じる応力によって、素子割れやリードと基板のはんだ接続部のクラックなどを起こすことがあるので、採用にあたってはコーティング材の選定や、コーティング構造に十分配慮してください。

5. 半導体デバイスの使用上の一般的な注意事項

(c) テーピング品の注意事項

テーピングされているチップ部品及び IC の場合、カバーテープとキャリアテープの剥離帯電は、剥離速度が速いほど大きくなります。静電破壊防止のため高速の剥離は避けてください。

(d) 実装上の注意事項

相対湿度が下がると静電気が帯電しやすくなります。面実装型パッケージは吸湿防止のため乾燥雰囲気内で保管する必要がありますが、保管時にパッケージは摩擦などを被りませんので帯電の心配はありません。しかし、摩擦や放電の可能性があるハンドリング、基板への実装時には、帯電防止の観点から相対湿度は、45～75%を維持するように努めてください。

5.9.3 面実装デバイスの各種実装方法の推奨条件

面実装デバイスで最も一般的に行われている実装方法は、赤外線リフロー法、ベーパーフェーズリフロー法及びフローはんだ法(ウェーブソルダーリング法)です。これらの方法はいずれもパッケージ全体を加熱するもので、パッケージに強い熱ストレスが加わるため、信頼性維持の観点からはんだ接合部の温度と同様にパッケージ表面部の温度も管理する必要があります。したがって、当社の推奨実装条件は、リフロー法の場合はパッケージの表面温度で、フローはんだ法の場合は、はんだ温度と浸漬時間で案内しています。

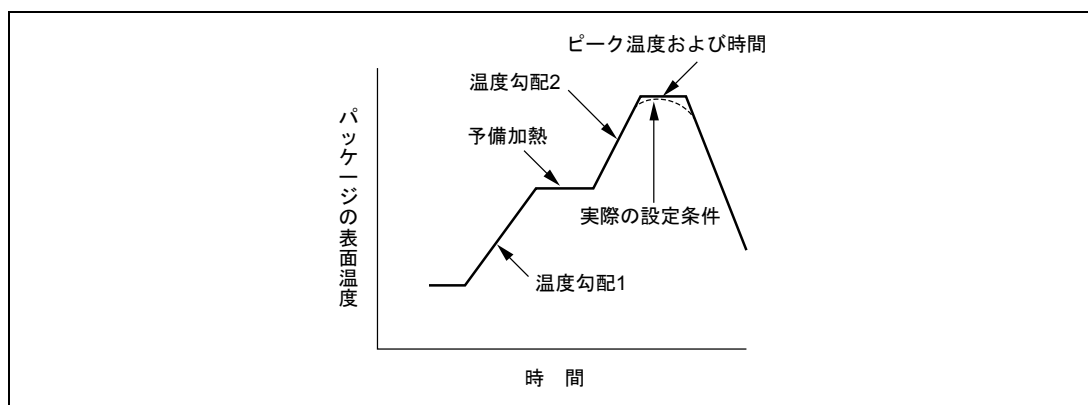


図 5.26 推奨条件の例

次に、推奨条件の考え方について図 5.26 を基に説明します。

(a) 温度勾配 1

急激に温度が上昇した場合、面実装デバイスのパッケージ各部位(例えば、パッケージの表、内部、裏)の温度が不均一になるため、材料の熱膨張係数差によってパッケージに反りが生じ、チップにダメージが加わる場合があります。したがって、上昇速度の上限には注意が必要です。下限はリフロー装置の稼働効率によるものです。

(b) 予備加熱

はんだの熔融温度以下で部品や基板などの温度を整え、はんだ接合の安定化や熱衝撃の緩和を図ります。一般には、面実装デバイスの定格温度近傍に設定します。

(c) 温度勾配 2

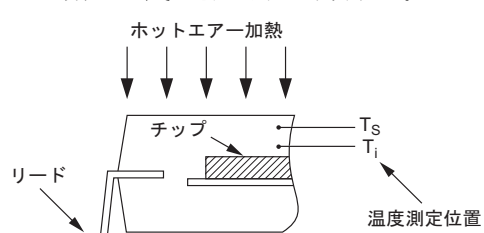
上昇速度の上限は(a)と同様で、下限は(d)で示すピーク温度及び時間を所定内に抑える必要性から決まります。

(d) ピーク温度及び時間

パッケージが受けるダメージを最小限に抑えるため、最も注意しなければなりません。ピーク温度はパッケージの強度低下(樹脂の温度特性による)、パッケージ内の水蒸気圧に直接影響するため、できる限り低温が望ましく、また水蒸気圧は時間とともに上昇するため、できるだけ短時間にする必要があります。

このような点を認識の上で実装基板、搭載部品、はんだペースト、リフロー装置などの諸特性を考慮してはんだ接合が可能な加熱条件を設定する必要があります。

事例 25 面実装形パッケージにおけるチップクラック

No.25	事例件名	面実装形パッケージにおけるチップクラック
	デバイスの種類	QFPパッケージ
	ポイント	パッケージ表面温度は推奨条件を満たしているか
	事例概要／現象／原因	<p>面実装形パッケージ(QFP)の半導体を基板上に、ホットエアリフローはんだ付けにて実装した際、リフローはんだ付け時の急激な加熱によってパッケージ内に生じた過渡的な温度差($T_s - T_i = 60^\circ\text{C}$)によりパッケージに反りが生じ、その応力でチップがクラックした。</p> 
	対策／確認例	実装時の温度上昇勾配が緩やかになるよう条件を変更する。

事例 26 リフロー実装不良

No.26	事例件名	リフロー実装不良
	デバイスの種類	面実装パッケージダイオード, トランジスタ
	ポイント	実装バランスが悪いと製品の位置ずれ, 浮きの不具合となる
	事例概要／現象／原因	<p>面付けパッケージ(URP, UFP, LLD, DPAK, LFPAK等)品をリフロー実装する際、実装バランス等の原因(下記)により実装時に製品の位置ずれ, 浮き等, 不具合の原因になる場合がある。特に鉛フリー仕様の材料及びプロセスに対しては注意が必要である。</p> <ol style="list-style-type: none"> (1) ランドパターンが左右同一形状でない。 (2) はんだクリーム量が均一になっていない。 (3) はんだ付け部が、同時に加熱されない。隣接部品の陰になる場合、左右のはんだ付け部の温度差が大きい場合。 (4) フラックス含有率の変動
	対策／確認例	上述の項目について確認する。
	参照事項	ダイオードデータブック, 面実装形パッケージ実装マニュアル

5.10 半導体デバイスを誤動作から守るために

半導体デバイスの誤動作には、デバイス自体の故障や劣化の結果、永久に動作しなくなるものと、当初から同じ弱点を内在していたにもかかわらず正常動作していたものが使用条件、環境条件の変化にともなって顕在化するものがあります。本項では、後者を中心に説明します。

5.10.1 実装配置上の注意事項

半導体デバイスは単独で使用されず、プリント基板などに実装されて使われます。したがって、他のデバイスと電源信号線を共有して使うばかりか、物理的に近傍にある回路上でまったく関係のない信号から影響を受ける可能性もあります。特に微小な信号波形の影響を受けやすい信号線に関しては、実装する配置に特別な配慮をする必要があります。

事例 27 リニア IC の発振現象

No.27	事例件名	リニアICの発振現象
	デバイスの種類	リニアIC
	ポイント	発振の有無を確認する
	事例概要／現象／原因	<p>リニアICなどの使用において入力端子に接続される配線が長いと等価的に入力端子にL負荷成分が付き、発振しやすくなる。また小信号配線と大電流の流れる出力配線が平行していると相互誘導により出力波形に発振を生じる場合がある。</p>
	対策／確認例	<ol style="list-style-type: none"> (1) 入力配線を極力短くし、入力Lの負荷成分を小さくする。 (2) 入力配線が長い場合は、入力容量C_i及び出力負荷容量C_Lの値を変化させ入力端子の波形をモニタする。 (3) 大電流配線と小信号配線を分離する。 (4) 基板パターンの場合、信号線の間にGNDパターンを入れる。

事例 28 端末装置の設計変更による誤動作

No.28	事例件名	端末装置の設計変更による誤動作
	デバイスの種類	MOS LSI
	ポイント	LSIは高電圧下で使用してはいけない
	事例概要／現象／原因	<p>ブラウン管を使った表示装置の設計変更を行った後、突然故障不再現の暴走不良が発生した。電源を切ってしばらく休むと良好となる故障モードであったが、変更内容のチェックから高電界（アノード電圧20kV）によるしきい値電圧シフトが原因と判明した。</p> <div style="text-align: center;"> <p>設計変更前 (稼動良好) 設計変更後 (不良発生)</p> </div>
	対策／確認例	<p>(1) ブラウン管の取り付け方法を改善し、高電界が印加されないようにする。 (2) シールドを行い、LSIが帯電しないようにする。</p>

事例 29 ハザード発生によるリセットの誤動作

No.29	事例件名	ハザード発生によるリセットの誤動作
	デバイスの種類	IC, LSI
	ポイント	メカスイッチのノイズ対策をする
	事例概要／現象／原因	<p>セット1とセット2を接続し、実機のリセットスイッチを押すと正常なリセット処理を行わずに誤動作した。実機のリセット信号の立ち下がり時間が緩やかであったため、セット1のリセット信号入力回路にハザードが発生したため正常なリセットが行われなかった。</p> <div style="text-align: center;"> </div>
	対策／確認例	ハザードの発生がないようにセット1の改善を行う。

5. 半導体デバイスの使用上の一般的な注意事項

事例 30 発振回路と基板パターンの件

No.30	事例件名	発振回路と基板パターンの件
	デバイスの種類	マイコン
	ポイント	発振開始時間のばらつきはないか
	事例概要／現象／原因	マイコンのインタミット故障が発生した。故障の発生率は同じメカでも機種により異なる。故障発生率の高い製品での発振波形解析の結果、時々発振開始時間が極端に長くなることがあり、発振が安定する前にリセット信号が解除されるために誤動作することが分かった。 また、機種による差は発振回路のパターン差と判明した。誤動作率の高い機種は発振端子の入力パターンがシールドされていない上に、パターンにクロスして高速の信号ラインが走っていた。このラインからのクロストークが原因で発振が安定していないことが判明した。
	対策／確認例	(1) 発振回路のパターンをメカ推奨の標準パターンに直した。 (2) 発振波形をみて歪みが改善されていることを確認した。 (3) 発振回路を安定させるために入力に直列抵抗を入れてマージンを確認した。

5.10.2 ノイズ起因の誤動作に対する注意事項

半導体デバイスは、高速化にともない、より大きなノイズを発生するようになると同時に、ノイズによる誤動作の感度もより敏感になってきました。例えば、同じ外来ノイズに対しても、従来の低速デバイスでは、ノイズフィルタとなって後段の誤動作を防止する働きをしていた回路が、高速デバイスでは、ノイズをかえって増幅し誤動作を加速してしまう場合があります。

CMOS デバイスの登場により低消費電力で高速の動作が可能となった結果、信号のインピーダンスが極めて高くなり、ますますノイズに対する感度が高くなっています。その上、CMOS 回路の性格上、クロックに同期した電源ラインの大きな電流変化と、プリント基板のパターンにより、大きなノイズの発生源となる場合があります。信号波形が正弦波では該当周波数以外のノイズを発生することはありませんが、矩形波の場合はさまざまな高調波をノイズとして発生します。

電圧、電流の高調波成分は、矩形波をフーリエ展開することにより求めることができます。

原発振周波数を f_0 、立ち上がり／立ち下がり傾斜の周波数を f_1 とすると、高調波のノイズ強度は $f_0 \sim f_1$ の間では -10dB/decade で減衰し、 f_1 以上では -20dB/decade の割合で減衰します。信号波形が矩形波にさらに高調波の信号波形が重畳されているような場合には、より大きな高調波のノイズが発生します。

事例 31 NC 端子のクロストークノイズによる誤動作

No.31	事例件名	NC端子のクロストークノイズによる誤動作
	デバイスの種類	IC, LSI
	ポイント	ノイズに敏感な端子に隣接するNC端子の処置は正しいか
	事例概要／現象／原因	お客様のシステムでの耐ノイズ試験の開発試作時に誤動作をした。ノイズレベルが高く、カットアンドトライでノイズ向上策を実施したところ、NC端子をGNDに接続するとレベルが向上することが分かった。 原因を調べた結果、未接続のNC端子を開放したままで、プリント基板の高周波の信号のパターンが近接していたため、浮遊容量を介してクロストークによるノイズが隣の入力ピンに入力されることにより誤動作をしていることが判明した。
	対策／確認例	(1) NC端子は適切なインピーダンスで接地するか、電源に接続する。 (2) NC端子であっても内部でテスト端子として機能を持っている場合があるので注意する。

事例 32 ノイズの発生

No.32	事例件名	ノイズの発生(電波)
	デバイスの種類	マイコン
	ポイント	パソコンの容量とレイアウトは適正か クロック波形は適正か
	事例概要/現象/原因	マイコンなどのデジタル回路が発生するノイズが周辺機器の誤動作を誘発する可能性がある。このノイズはLSI自体のクロック波形と電源電流の波形及び、プリント基板側のパソコン配置、電源GND配線のレイアウト等に依存する。
	対策/確認例	LSI単体で発生する電波は極めて弱く、電源系はパソコンを上手く使って電源電流ループを小さく抑え込むことによって、クロック系に関しては立ち上がり波形と立ち下がり波形を制御でき、発生する電波を抑えることができる。 基板に実装した状態でLSI側のクロック波形や電源電流波形をスペクトルアナライザで観測することが、発生源対策に有効な手段となる。 (1) クロック波形の立ち上がり、立ち下がり波形(t_r , t_f)を整形してスピードを落とし、高調波成分を早く減衰させる(原発振周波数から t_r , t_f の周波数領域では-10dB/decadeで減衰し、それより高周波では-20dB/decadeで減衰する)。 (2) 電源電流の高調波成分をパソコンで吸収する。高調波成分を吸収可能な周波数特性の良い容量の選択をすること、電源ループの大きさを決めるパソコンのレイアウトが重要である。

5.10.3 信号波形に関する注意事項

システムの高速化にともなって、従来では問題のなかったノイズや波形の歪みが、LSIの基本動作を脅かす可能性が高まってきています。半導体デバイスの動作の安定性の評価は、ますます難しくなっているのが現状です。なぜなら、ワーストの条件を見つけるのが非常に困難であると同時に、不良品のサンプルと良品のサンプルの組み合わせを評価試験段階で見つけるのが極めて困難であるからです。

これらの問題を効率良く見つけ出し、解決する最も良い方法は、波形を詳細に解析することです。近年はグリッジの検出機能を搭載した波形観測機器が発達し、従来では見つけることが困難であった異常波形を効率良く見つけることが可能となりました。しかし、異常波形を検出できた場合であっても、この波形がLSIにとってどの程度厳しいのか、あるいは全然問題がないのかを判断しかねることが多々あります。このような場合には、当社の営業技術部門へお問い合わせください。

5. 半導体デバイスの使用上の一般的な注意事項

事例 33 入力波形の歪みによる誤動作

No.33	事例件名	入力波形の歪みによる誤動作
デバイスの種類		IC, LSI
ポイント		信号の歪みは観察したか
事例概要／現象／原因		<p>ICを動作させる場合、入力波形によっては、しきい値電圧付近の歪みによりICの動作を不安定にし、誤動作、異常動作の原因となる場合がある。</p> <p>ロジック製品で図に示すような入力波形において伝搬遅延時間が大幅に遅れる不具合が発生した。入力波形が、しきい値電圧付近で波形の歪みが発生したため、入力の变化により多段ゲートの動作が不安定となり本現象が発生した。</p>
対策／確認例		バッファゲートを追加して波形整形し、入力波形の歪みをなくす。

事例 34 アドレス信号のノイズ起因による DRAM 誤動作

No.34	事例件名	アドレス信号のノイズ起因によるDRAMの誤動作
デバイスの種類		DRAM
ポイント		DRAMの信号波形に問題はないか？
事例概要／現象／原因		<p>DRAMのアドレス信号は、その電圧レベルが確定してから内部回路が動作する仕組みになっている。これらの信号に規格を超える大きなノイズが印加されると、そのノイズの時点からアクセス時間が必要になり、正常に動作しなくなることがある。特にこれらの信号波形は、保持しているデータパターンや、直前に選択したワード線との関係で変化するため、注意が必要。</p>
対策／確認例		<p>(1) 各種信号の波形をグリッジ機能を使ってノイズ波形の大きい場所を見つけ、その特長を基にワーストパターンを発見する。</p> <p>(2) ドライバとのインピーダンスマッチングの改善、電源パターンの改善、パスコン等のレイアウト改善で、波形を改善する。</p>

また、信号波形を詳細に解析することにより、回路の動作マージンそのものを確認できる場合もあります。特に発振回路や PLL 回路などのアナログ回路においては、波形の観測は最も有効な評価手段の一つです。入出力信号間の位相差や振幅、歪み、ノイズレベルなどを正しく測定し、波形を本来あるべき姿にできるだけ近づけることが、誤動作の頻度を減らし、信頼性を向上させることに大きく役立ちます。

事例 35 発振回路の安定性評価

No.35	事案件名	発振回路の安定性評価
	デバイスの種類	マイコン
	ポイント	発振回路の安定性は十分確認したか？
	事例概要／現象／原因	発振回路は非常に難しく、インタミット不良となる可能性の高い回路である。特にLSIと発振子の相性や、プリント基板の配線レイアウト、外部容量、抵抗等の組み合わせが問題になる。発振回路の実際の安定性を温度、電源立ち上がり波形、発振安定時間測定、入出力位相差測定、入出力波形確認等の観点から確実にを行う必要がある。
	対策／確認例	<p>(1) 発振回路のゲインが温度で変動することがある。温度特性の確認をする。</p> <p>(2) 電源立ち上がり波形を変えてテストする。極めて波形が綺麗でゆっくり立ち上がっても正常に動作するか。</p> <p>(3) 発振安定時間の分布をとり、リセット後に発振が安定してしまう確率を推定する。</p> <p>(4) フィードバック回路に直列抵抗を挿入して発振開始の安定性の限界を把握する。</p> <p>(5) 発振しない場合、入出力波形に歪みはないかを確認する。</p> <p>(6) 発振安定度は入出力位相のずれにより予測できる。</p>

5.11 測定上の注意事項

5.11.1 LSI テスタ使用時の注意事項

LSI の受け入れ検査において、LSI テスタを使用する場合の注意点について述べます。

(1) 電源端子及び入力端子への電圧印加順序

LSI の電圧印加は、必ず電源端子から実施します。入力端子への電圧印加が電源端子への電圧印加より早いと、端子の保護回路に電流が流れ、ラッチアップの原因になります。

図 5.27 に、CMOS 入力保護回路の構造を示します。電源端子 VDD より先に入力端子 I1 に電圧が印加されると、p チャンネルトランジスタ T1 のドレイン (p 型拡散層) とウエル (n 型拡散層) 間が順方向にバイアスされ、ラッチアップのトリガになります。

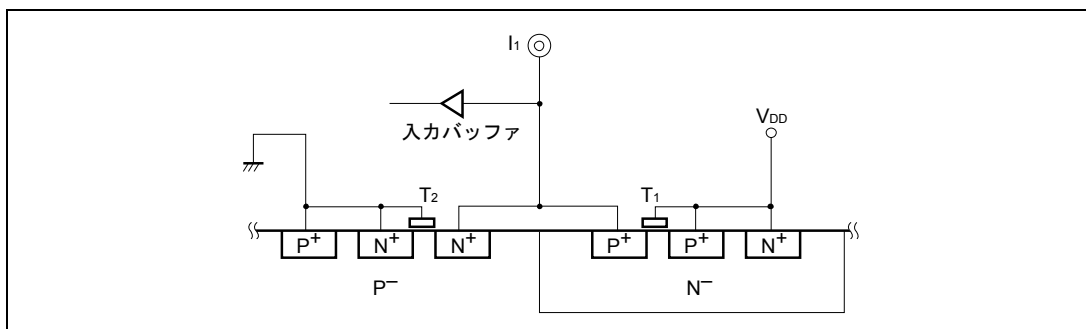


図 5.27 CMOS 入力保護回路の構造

(2) 入出力切換

入力モードでは LSI テスタから電圧を印加し、出力モードではテスタが LSI の出力電圧を測定することになります。しかし、LSI と LSI テスタの入出力切換タイミングが外れると、LSI が電圧を出力しているにもかかわらず、テスタからも電圧が印加されて大電流が流れることにより、LSI を破壊する危険があります (図 5.28 参照)。特に、アドレスデータバスではアドレス出力と命令コードまたはデータ入力が繰り返されるので、入出力切換タイミングに注意してください。入出力タイミングはデバイスごとに異なるので、デバイスのデータシートに従ってください。

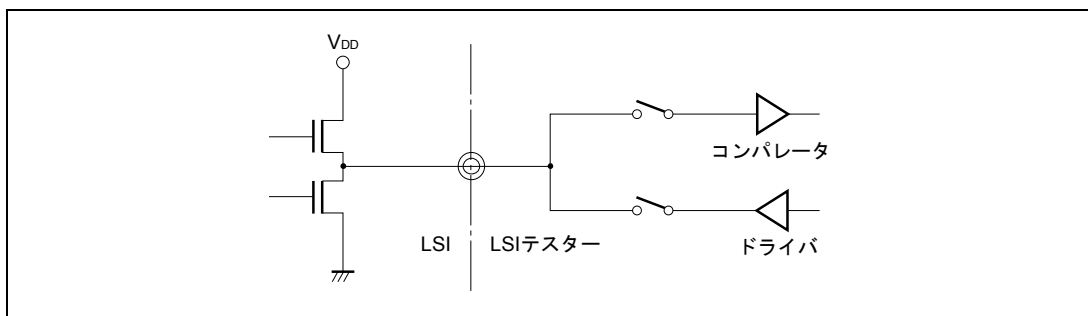


図 5.28 入出力切り替えモード

(3) 複数電源の場合

A/D 変換器やアナログコンパレータなどを内蔵している LSI では、電源端子 VDD のほかに、アナログ電源端子 AVDD や基準電圧端子 VREF など電源端子が複数になります(図 5.29 参照)。

この場合 AVDD や VREF 電圧を、VDD 電圧より数 V 以上高くすると、保護回路に大電流が流れてラッチアップのトリガになるので注意してください。AVDD や VREF 端子の保護回路も(1)項で述べた入力端子の保護回路と同様です。電源電圧を変化させてテストする場合は注意が必要です。

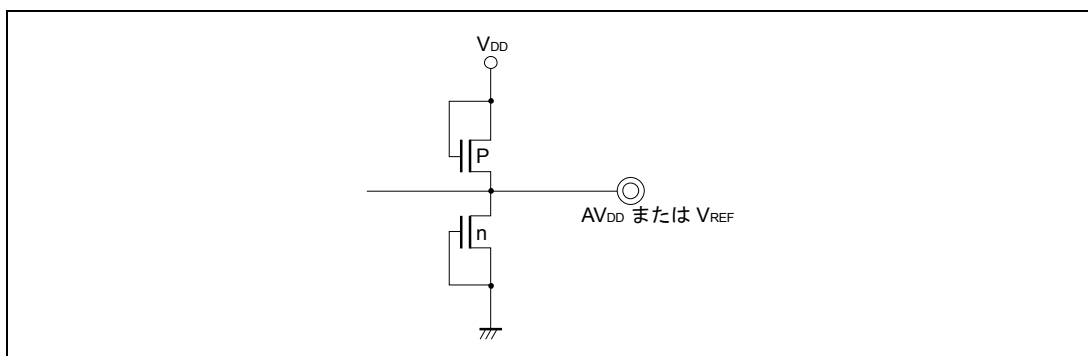


図 5.29 複数電源の例

5. 半導体デバイスの使用上の一般的な注意事項

事例 36 電源投入タイミングのずれによる破壊

No.36	事例件名	電源投入タイミングのずれによる破壊
デバイスの種類		リニアIC
ポイント		電源投入シーケンスが仕様どおりか確認する
事例概要／現象／原因		モード切り替え時に原因不明の誤動作が発生した。誤動作したICは2電源のICで、通常使用状態では電源1のみで使用し、モードを切り替え時にのみ電源2をオンして使用する仕様となっていた。該当ICは、電源2が完全にHigh(5V)に立ち上がるまでの間は出力信号を禁止(ミュート)しないとパルスノイズを発生し過大電流が流れる回路構成となっていた。使用上の注意事項ではあるが、守られていなかったため、電源にノイズが回り込み、誤動作となったことが判明した。
対策／確認例		カタログや納入仕様書に記載の使用上の注意事項を確認し遵守する。多電源の場合は特に各々のオン・オフのタイミング制御を確実にを行う。

(4) オーバシュート、アンダシュート及びスパイクノイズ

(a) 電源電圧のオーバシュート

LSI テスタから供給する電源電圧にオーバシュートがある場合、LSI に過電圧が印加され破壊する可能性があります。

(b) 信号電圧のオーバシュート及びアンダシュート

入力端子に印加する信号電圧にオーバシュートまたはアンダシュートがある場合、LSI 内部の保護回路に電流が流れ、ラッチアップの原因になります。オーバシュートでは p チャンネルトランジスタ T1 のドレインから電源 VDD へ、アンダシュートでは GND から n チャンネルトランジスタ T2 のドレインへ電流が流れます(図 5.27 参照)。

(c) スパイクノイズ

LSI テスタから供給する電源電圧及び信号電圧にスパイクノイズがのっている場合、ピーク電圧の大きさによっては、LSI を破壊する可能性があります。破壊に至らないまでも LSI に大きなダメージを与え、信頼性が低下しますので注意してください。

以上のように、オーバシュート、アンダシュート及びスパイクノイズは、LSI に大きな信頼性上の影響を与えるので、電圧波形にオーバシュート、アンダシュートまたはスパイクノイズが発生しないことを確認してください。LSI テスタを使用する上では、プログラム作成時の注意のほかに、LSI テスタのメンテナンスが非常に重要です。

(d) サージ電圧、電流に対する保護

特定測定時にはテスタからのサージ電圧が印加されないように、テスタにクランプ回路を入れるなど、電流源駆動測定時の接触不良による異常電圧が印加されないよう配慮してください。

入出力端子にノイズ防止の目的で不用意にコンデンサを接続すると、コンデンサの充放電電流のピーク電流により半導体デバイスが破壊する恐れがあります。例えば、ボードテスタやインサーキットテスタで中間検査を行う場合に、テスタ上のコンデンサに電荷が蓄積された状態で次のボードのテストを行うことにより、半導体デバイスを破壊させることがよくあります。また、テスト後にボード上のコンデンサに電荷が蓄積されている場合も、その後保管箱内などに放電する可能性があるため、テスタ及びボード上の電荷は十分に放電させておく必要があります。同様にテスタ側の電源に大きなバイパスコンデンサなどを入れた場合には、電源切断後に不要な電荷を残さないような配慮も必要です。

事例 37 測定中の静電気破壊

No.37	事例件名	測定中の静電破壊
	デバイスの種類	MOS IC(プラスチック封止)
	ポイント	摩擦後の帯電量を測定し対策
	事例概要／現象／原因	ICの自動測定時に、プラスチック製のガイドレールを用いていた。ICが滑って行く間に、ICのプラスチック材料に静電気がチャージアップした。このチャージが測定ヘッド(金属)で放電し、ICの入力回路を破壊させた。この現象は湿度の低い時期に発生したが、高い時期には発生しなかった。
	対策／確認例	(1) ガイドレールをプラスチックから金属にし、静電気が発生しないようにする。 (2) ガイドレールを接地する。 (3) どうしても帯電量を下げられない場合は、除電ブローを併用して対策する

事例 38 測定中の破壊

No.38	事例件名	測定中の破壊
	デバイスの種類	TTL IC
	ポイント	電源印加時のサージ電圧に注意する
	事例概要／現象／原因	(1) バスドライバの出力電圧 V_{OL} を測定するとき、流入電流 I_{OL} (100~300mA)を定電流で流入させたため破壊した。 (2) 耐圧測定において(70V以上のIC)、電流(1mA)印加で測定すると同様の破壊が発生した。 (3) 耐圧測定するとき、定電流源にノイズが重畳し、負性領域に入り破壊した。
	対策／確認例	(1) 電流印加法でなく電圧印加法にする。 (2) 耐圧以内の電圧を印加し、電流測定とする。 (3) 電流印加法採用時は前のシーケンスでコンタクトチェックを行うと効果がある。

事例 39 測定中の破壊

No.39	事例件名	測定中の破壊
	デバイスの種類	小形面付けIC
	ポイント	測定時の接触不良に注意する
	事例概要／現象／原因	被測定半導体を傾けたままテストのソケットに挿入したところ、測定半導体端子とテストソケットの接触不良によりスパイクサージが発生し、ICの破壊不良が発生した。
	対策／確認例	テストプログラムの先頭にコンタクトチェックを入れ、接触不良の場合はテストを中止する。逆差しも検出し、ストップするようにするとよい。

事例 40 誤接続による破壊

No.40	事例件名	誤接続による破壊
	デバイスの種類	リニアIC
	ポイント	接続は確実に、万一の誤接続対策も明確にする
	事例概要／現象／原因	セット取り付け時にGNDオープン、 V_{CC} を接続した状態で、出力端子がGNDと接触することによりICが破壊した。出力端子がGNDと接触した瞬間、 V_{CC} -GND間の電解コンデンサを通り、SUB抜きにより大電流が流れ破壊した。
	対策／確認例	出力端子-GND間へクランプダイオードを入れる
	参照事項	—

5. 半導体デバイスの使用上の一般的な注意事項

5.11.2 検査・調整時の注意事項

組立の終了したプリント基板を検査または調整するために、オシロスコープのプロブなどを使用するときには、LSI の端子をショートさせないように注意してください。LSI の端子をショートさせた場合には、誤動作するだけでなく、過電流が流れて LSI を破壊することがあります。

- ① 測定時に、端子の誤接続、逆差し、端子間ショートなどが起きないようにしてください。基板の動作チェックを行う場合は動作チェック前に、はんだブリッジ、異物ブリッジなどが無いことを十分確認して電源をオンにしてください。
- ② 半導体デバイスなどの端子に直接プロービングせずに専用の測定端子を設けてください。通常は正常に動作している回路も、測定のためにオシロスコープのプロブを接続し、または測定器を接続すると、負荷容量が大きくなり、ノイズ、発振などにより回路が誤動作することがあります。半導体デバイスの破壊の要因となるので注意が必要です。このため、配線は静電誘導や電磁誘導を避けるため配線長を短く、配線容量を小さくしてください。測定の作業性のみを考えて配線を引き回すことは避けてください。
- ③ ボードチェックテストなどを使用する場合には、前述の LSI テスタを使用する場合と同様の注意をしてください。
- ④ 使用しない入力端子は VDD または GND に接続して入力インピーダンスを下げてください。設計変更時の自由度を考慮し使用しない入力端子をそのまま放置している事例を見かけますがノイズ対策上弱くなります。
- ⑤ 電気設備からの漏電に対する注意として、カーブトレーサ、オシロスコープ、パルス発生器、直流安定化電源などの端子及び筐体に交流電源などから漏電がないよう充分管理してください。

事例 41 コネクタ抜き差しによる破壊

No.41	事例件名	コネクタ抜き差しによる破壊
	デバイスの種類	IC、LSI
	ポイント	電源印加状態でのコネクタ挿抜は厳禁。許可する場合はそれを前提とした設計が必要
	事例概要／現象／原因	ユーザ工程にて、モータが回転せずモードの実装不良が多発した(平均故障率=2~5%)。原因を調査したところ、ICの入力端子が破壊されており、お客様の基板検査の際に間違ってDC電源がオンのままコネクタの抜き差しが行われていた。この操作を中止したところ不良の発生はなくなった。
	対策／確認例	(1) 必ず電源を切断してから基板接続を行うように、ユーザに申し入れる。 (2) 破壊されたICの入力端子に保護抵抗を入れる。

5.12 ソフトウェア上の注意事項

近年のマイコン応用製品の発達は目まぐるしいものがあり、機能のほぼ全てをソフトウェアの形でお客様側で作り込んでいただくことが可能となりました。これは大変便利である一方で、難しい問題もあります。なぜならば、最終製品での頻度の低い、再現性の乏しい機能不良から発生した故障は、原因が半導体デバイスにあるのかお客様のプログラムにあるのかを調べるのが、非常に困難になるためです。

その代表的な例として、内部 RAM のパワーオン時のデータパターンによって正常に動作したり、誤動作が発生したりするような場合があります。

秘密保護の観点から機能をソフトウェア上で実現することが増えてきました。エラーロギング、RAM エリアへの小規模プログラムのロードアンドゴー機能などを、ハードウェアだけでなく、ソフトウェアでも作り込む時代になってきています。不良が発生した際には、開発したソフトウェアにも問題がないか、確認してください。

事例 42 不定 RAM エリア参照によるプログラム誤動作

No.42	事例名	不定RAMエリア参照によるプログラム誤動作
	デバイスの種類	マイコン
	ポイント	未定義のRAM内容はプログラムで使用してはいけない。
	事例概要／現象／原因	お客様の量産試作工程にて、低い確率でパワーオン時の動作不良が発生した。電源を切断してから再投入までの時間が短いと不良の再現性が極めて悪かった。電源切断後に平滑コンデンサをショートさせて、完全に放電させると不良が再現しやすくなる。 お客様のプログラムを分析した結果、特定アドレスのRAMの内容を初期化せずにプログラム分岐をしており、パワーオン時のこのRAMデータがたまたま反転したときに誤動作すると判明した。
	対策／確認例	(1) 初期化していないRAMの内容はプログラム分岐に使用しない。 (2) プログラム開発時にRAMの内容をセット状態、リセット状態に初期化してから、動作確認をする。

5.13 万一の誤動作に備えて

半導体デバイスは、歩留まりという概念にあるような 100%良品を製造できないものです。かかる状況下で、100%のテスト率も実現できないということは、半導体デバイスという部品単体だけでは万一の誤動作に対して最終製品のフェイルセーフが実現できないことを意味します。リレーのように破壊する時に特長があり、重力という自然現象が利用できる場合には、その特長をシステム設計に活用できるのですが、半導体デバイスの故障にはこのような簡単な特長はありません。強いて半導体デバイスの故障時の特長をあげるとすれば、断線かショートかであり、Open Low スタックか High スタックであるということになります。しかし、これを利用して、High または Low レベルの信号が出力されている(固定レベルではない)ことが正常に動作している証拠であると考えることができます。また、ウォッチドッグ機能を併用することにより、リレー回路に比べるとはるかに精度の高いフェイルセーフも可能となります。これらを踏まえて、システム側での対応をお願いいたします。

事例 43 ウォッチドッグとフェイルセーフ

No.43	事例件名	ウォッチドッグとフェイルセーフ
	デバイスの種類	マイコン
	ポイント	ウォッチドッグのハードウェアとソフトウェアの役割分担が大切
	事例概要／現象／原因	システムの安全性確保のためにウォッチドッグが有効である。ウォッチドッグとは番犬の意味でハードウェアとソフトウェアの両方において特定出力ピンを特定間隔で反転させ、万が一その間隔が設計値から外れると、まったく別の監視回路で異常を検知し、システムを安全な方へ移行させて最悪の事態を避けるものである。 この場合、特定間隔で反転させる機能をハードウェアのみで構成しないことが重要である。これにより、ソフトウェアの動作が正常であることを確認する機能が損なわれないためである。
	対策／確認例	(1) プログラムを暴走させてシステムの保護協調機能を検査する。 (2) ハードウェア信号を縮退させてシステムの保護協調機能を検査する。

マイコンなどのデジタル処理技術の発達にともなって、極めてインテリジェントで高度な判断をシステムに委ねることが可能となってきました。それとともに思いもかけない誤動作で悩まされるケースも増えています。ハードウェア／部品の製造メーカーと、システム／ソフトウェア開発を行うお客様の間で、インタミットの誤動作が発生した場合に大きな困難が発生します。高信頼度が要求されるシステムでは、発生頻度が高い場合はともかく、頻度が極めて低く再現実験ができない場合を想定し、エラーロギング機能の搭載をお願いします。スタッドプログラム方式のマイコンの場合、プログラムの流れを変える能力のある部分は、レジスタ、メモリなどの可変の電子回路です。動作に異常が見られたときには、これらの重要な部分のデータを保持し、後から調査できる機能を内蔵させることができれば、解決の糸口をつかむために大きく役立ちます。もし可能であれば、これに加えて、RAM エリアへのデータロードアンドゴー機能があることにより、さらに強力な解析のパワーとなります。

事例 44 マイコンのインタミット故障解析

No.44	事案件名	マイコンのインタミット故障解析
デバイスの種類		マイコン
ポイント		インタミット故障解析では、正常時と異常発生時のRAM、レジスタ内容の差異から原因を探る。
事例概要／現象／原因		マイコン応用製品でインタミットにプログラムが暴走したが、原因が特定できず解決するのに時間がかかった。シングルチップモードで使用していたため、誤動作時のアドレスライン、データラインの動きが分からず、出力ピンからの情報からでは暴走の原因を特定することができない。
対策／確認例		異常発生が確認され、頻度が極めて低いインタミット故障の場合、異常の原因に関する情報は必ず可変なデータ領域に残されている。このデータは消去法により論理の正常に動作した部分の情報としても有効に活用可能である。 高信頼性の要求される用途では、エラーロギング機能を開発当初から検討して導入し、誤動作の原因の解明と対策を論理的に行えるように設計する。

5.14 包装, 保管, 運搬, 取り扱い上の注意事項

最近の半導体デバイスは、高い品質と高い信頼性を有していますが、お客様での取り扱い、実装または使用条件などによっては、半導体デバイスの破壊につながる要因(静電破壊、機械的破壊、湿気ガスなど)が数多く存在します。まず、収納ケースや梱包時における半導体デバイスの破壊に対して注意すべき事項を述べます。

5.14.1 収納ケースの取り扱い上の注意事項

当社では、半導体デバイスの収納ケースに、通常想定される最悪の環境条件でも初期品質を維持できるような、材料や構造のものを使用しています。収納ケースを取り扱う場合、下記の点に注意してください。

(1) トレイ製品

半導体デバイスを少量に分割するなどの目的でトレイから出し入れする場合、リード変形を生じさせないためにリードをトレイにぶつけたり押しつけないよう注意してください。また、トレイ包装の製品でベークが必要な場合には、トレイが耐熱トレイであることを確認した上で使用してください。耐熱トレイには“耐熱・Heat Proof”または“135°C_{MAX}(耐熱温度)”のような表示があります。ベーク条件は製品により異なるため、仕様を確認の上、指定温度以上にはしないでください。

(2) テープ製品

テープの剥離強度は、保管の温湿度により影響を受けます。実装機にかけるときは、剥離強度を考慮して使用してください。また、粘着テープの実装を途中で中止し残りの製品を保管するときには、テープを強く捲かないようにしてください。製品がテープから取れることがあります。

(3) マガジン製品

マガジンの表面には、帯電防止剤を使用しています。製品を何回も滑らせたり、水洗したりしないでください。帯電防止剤がとれ、帯電防止効果が少なくなることがあります。

収納ケースは、リユース、リサイクルとして再利用可能なものがあります。収納ケースを使用中、使用後も、ワレ、カケ、ヨゴレなどのないよう取り扱いに注意してください。地球環境負荷低減のためにも、ご協力下さいますようお願いいたします。

また、分割などで収納ケースが必要となった場合は、当社の収納ケースを使用してください。当社の収納ケースが使用できない場合は、次の点に注意してください。

- ① 化学反応を起こす、また有毒ガスを発生するような材質でないこと。
- ② 振動や衝撃によって、半導体デバイスが破壊する構造でなく、また移動しない構造になっていること。
- ③ 半導体デバイスの端子と収納ケースとが触れる場所では、導電材か帯電しない材料(表面に製品品質に影響を与えない帯電防止剤を塗布)を使用すること。

5.14.2 包装上の注意事項

収納ケースにおさめられた半導体デバイスは、外部からの衝撃、雨水、汚染などによる影響を避けるために梱包する必要があります。通常の製品の納入形態を図 5.30 に示します。

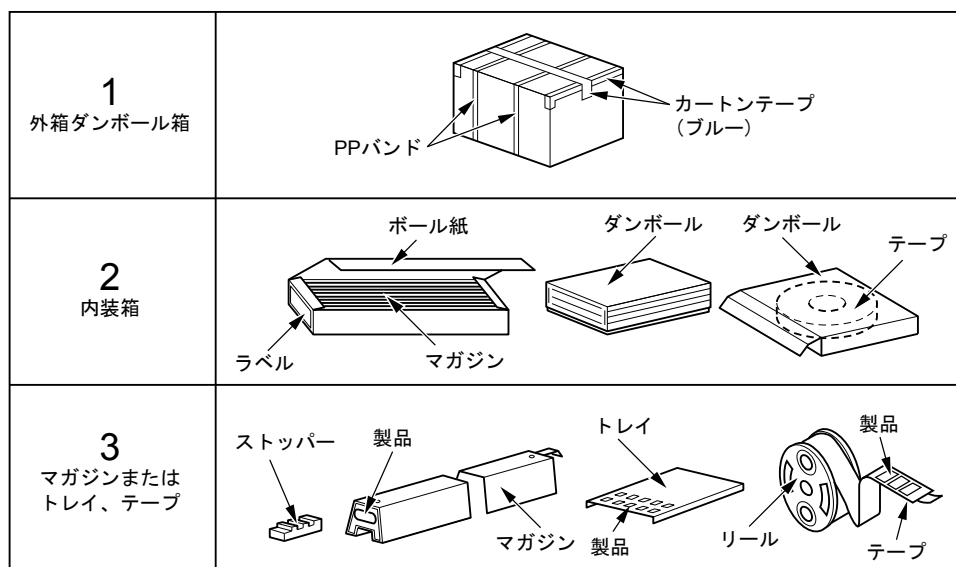


図 5.30 梱包形態の例

外装ダンボールを開封すると内装箱が入っています。この中に収納ケース(マガジン、トレイ、あるいはテープ/リール)が入っており、半導体デバイスはこの中に収納されています。さらに大型のチップを搭載したプラスチック面実装パッケージ品では、吸湿を防ぐための防湿包装を実施しています。次に包装に際して注意すべき事項を述べます。

- ① 半導体デバイスに与える衝撃、振動、湿気などを最小限に抑えるために、運搬方法に応じて機械的強度、耐震性、耐湿性などを十分に考慮することが必要です。一般的には収納ケースをポリフォームやビニール類でしっかり包み、これを段ボール箱に入れて耐震のための詰物をしてからガムテープやひもで厳重に閉じるなどの方法が行われていますが、運搬状況によってはより厳重な包装が必要なこともあります。
- ② ダンボール箱などの外装にはワレモノ、水濡れ、天地無用などのケアマーク表示をすることが望ましい。ケアマーク表示の例を図 5.31 に示します。
- ③ 船便など、輸送において非常に悪い環境が予想される場合は、真空包装や密封容器などの使用が必要です。
- ④ 透明プラスチックマガジンは表面に帯電防止処理を施していますが、経時劣化がありますので規定された保管期間を超えないようにしてください。また、マガジンの再使用はしないでください。

5. 半導体デバイスの使用上の一般的な注意事項

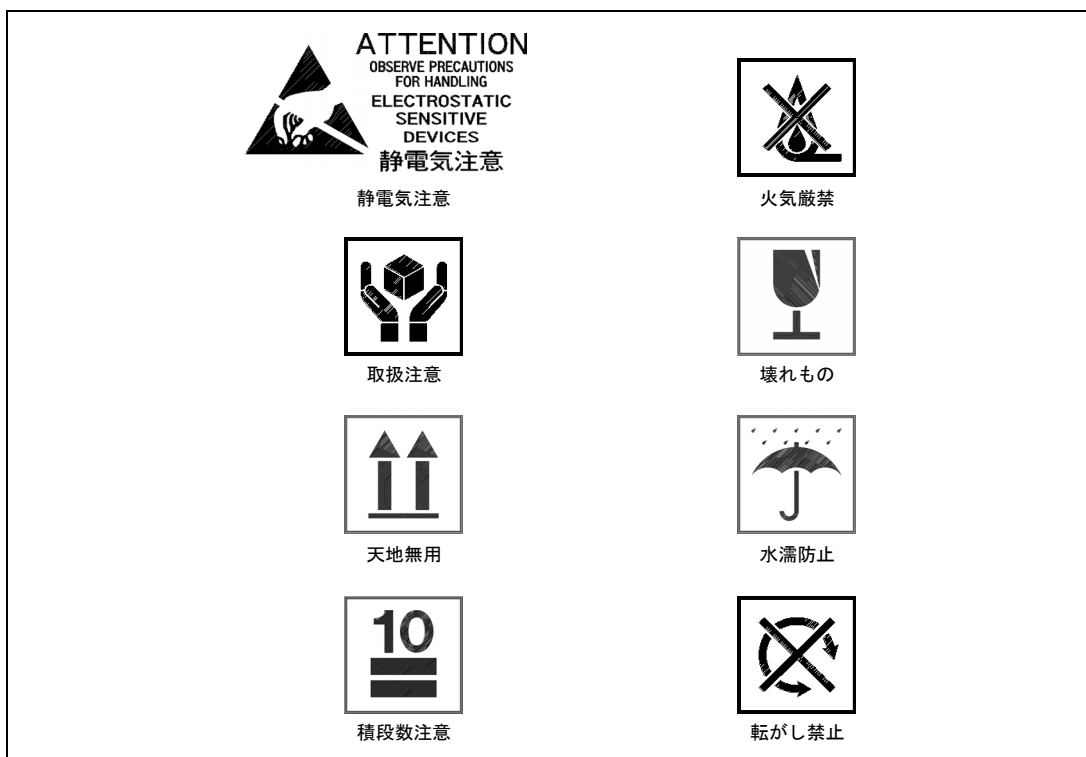


図 5.31 ケアマーク表示例

5.14.3 保管上の注意事項

半導体デバイスを保管する場合は、温度、湿度、紫外線及び硫化水素などの有毒ガス、X線などの放射線、静電気、強電磁界といった環境を管理する必要があります。

(1) 保管場所の環境

(a) 温湿度の範囲

半導体デバイスの保管場所の温度及び湿度は、いわゆる常温常湿中が望ましく、これとかけ離れた温湿度中は避けてください。常温常湿の目安としては 15～35℃で相対湿度 45～75%が望ましい条件です(製品によっては保管条件に制約がある場合があります。この場合は規定の保管条件を守ってください)。したがって、冬期などに非常に乾燥する地域では加湿器により加湿をする必要があります。その際、水道水を使うと含まれている塩素によりデバイスのリードが腐食することが考えられますので、水は純水や沸騰水を用いるようにしてください。

(b) 清浄な場所

腐食性ガスを発生する場所や塵埃の多い所は避けてください。

(c) 温度変化の少ない場所

急激な温度変化のある所では半導体デバイスに水分の結露が起こります。このような環境を避けて、温度変化の少ない場所(直接日光や強い照明が当たらない暗所)に保管してください。

(d) その他

放射線，静電気，強電磁界にさらされない場所に保管してください。

(2) 保管形態

- ① 保管状態では，半導体デバイスに荷重がかからないように注意する必要があります。特に，積み重ねた状態では思わぬ荷重がかかります。また，重い物を上に載せることは避けてください(図 5.32 参照)。

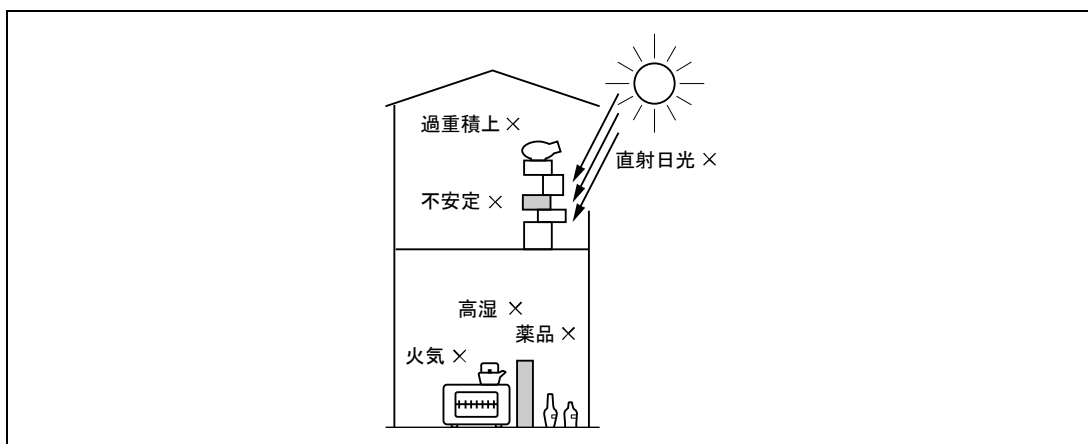


図 5.32 悪い保管場所の例

- ② 半導体デバイスの外部端子は，未加工の状態でも保管してください。これは錆などの発生によって実装時にはんだ付け不良の原因となることを避けるためです(図 5.33 参照)。

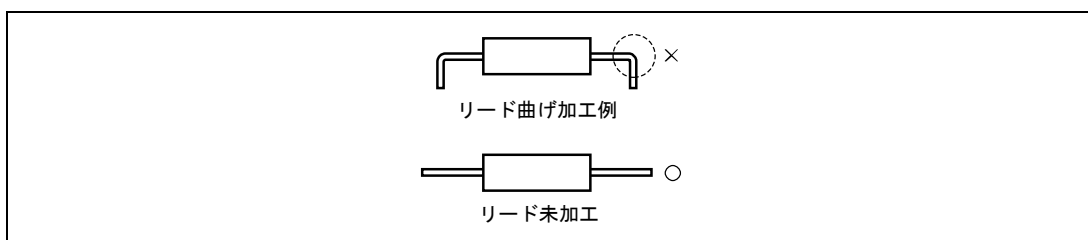


図 5.33 保管形態

- ③ 半導体デバイスを入れておく容器は，静電気を帯びにくいものにしてください。

5. 半導体デバイスの使用上の一般的な注意事項

(3) チップ・ウエハ保管

半導体チップ、ウエハは、パッケージ品より厳重な保管が必要です。チップ、ウエハが直接外気に触れる状態での放置や保管は絶対に避けてください。

- ① チップ、ウエハは、定められた容器に収納し、真に必要以外には容器の開閉はしないでください。通常チップの収納容器は密封構造となっており、温度、湿度、有毒ガス及び輸送移動時の振動や衝撃からチップ、ウエハを保護するようになっています(図 5.34 参照)。
- ② 容器を開封した状態での放置はしないでください。これはチップ、ウエハが温湿度変化やガス、塵埃、薬品などによる酸化および腐食を防止するためです。
- ③ チップ及びウエハは、15～35℃、相対湿度 45～75%を目安とした雰囲気、かつ薬品などの揮発性物質の影響を受けない場所に保管してください。製品によっては保管条件に制約がある場合があります。この場合は指定の保管条件を守ってください。
- ④ 収納容器からチップ、ウエハを出し入れするときは、チップ表面に傷が付かないように注意し、真空ピンセットや真空コレットで取り扱ってください。
- ⑤ 製品ごとに推奨保管条件が異なる場合がありますので、詳細につきましては当社の営業担当にお問い合わせください。

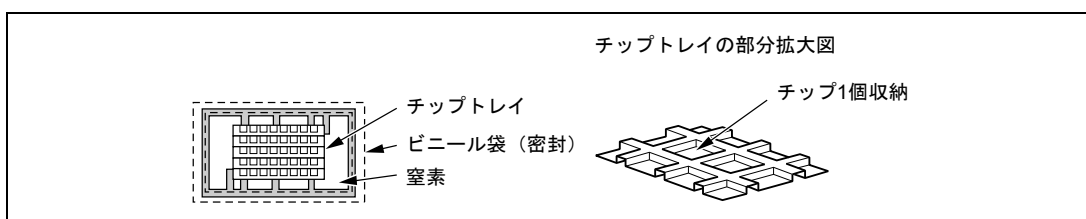


図 5.34 チップ収納容器の例

事例 45 保管時のソルダビリティ不良

No.45	事例件名	保管時のソルダビリティ不良
	デバイスの種類	IC
	事例内容	ICの保管時にボール紙製のマガジンや黒色ゴムを使用したため、デバイスのリード線が変色し、ソルダビリティ不良となった。保管用のマガジンに含まれていた硫黄化合物によりリード線の表面が硫化物となった。
	対策例	半導体デバイスの収納ケース、マガジンには、リード線が化学反応をしない材料を用いる。特に硫黄化合物は厳禁である。

5.14.4 輸送上の注意事項

半導体デバイスの輸送または半導体デバイスの組み込みユニット、サブシステムなどの輸送に関しては、他の電子部品と同様の注意を必要とするとともに、以下に述べる事項についても留意してください。

- ① 外装の段ボール箱はていねいに取り扱ってください。特に衝撃、落下などは製品を破損させる原因になりますので注意してください。
- ② 内装の箱は特にていねいに取り扱ってください。落下させると中でマガジンからストッパーが外れ製品が飛び出しリードが変形することがあります。また、セラミックパッケージでは破損し、気密リーク不良の原因となります。
- ③ 水に濡れないようにする必要があります。降雨、降雪時の輸送には濡らさないように注意してください(水濡れ注意)。
- ④ 輸送用の容器、治具は、輸送中の振動などで、帯電しないもの、静電気の発生しないものである必要があります。Q 導電性容器や、AI 箔などを用いることが、有効な対策になります。
- ⑤ 人体や衣服に帯電した静電気による破壊を防止するため、取り扱い中は人体に高抵抗を介して接地し、静電気を放電させます。この場合、抵抗値は $1M\Omega$ 程度として、人体と GND 間の人体に近い側に抵抗を挿入して感電などの危険を防止する必要があります。
- ⑥ 半導体デバイスを実装したプリント基板などの輸送の場合には静電気を帯びないような方法を取り、端子を短絡し同電位にするなどの配慮を必要とします。またプリント基板などをベルトコンベアで移動させるときは、コンベアのゴムなどに帯電しないように帯電防止処理をしてください。
- ⑦ 半導体デバイス及びプリント基板を輸送する場合には、機械的振動、衝撃を極力少なくしてください。
- ⑧ 特にウエハ出荷品に関しては、輸送・移動時の振動や衝撃を極力避けてください。

5. 半導体デバイスの使用上の一般的な注意事項

5.15 その他の分類事例

最後に、これまでの分類に当てはめることができない事例のうち、紹介する必要性が高いものを以下に示します。

事例 46 テープ&リール品の高速引き剥がしに起因するテープ剥がれ

No.46	事例件名	テープ&リール品の高速引き剥がしに起因するテープ剥がれ
	品名	エンボステーピング製品
	ポイント	エンボステーブの引き剥がし強度は実使用スピードで測定する
	事例概要／現象／原因	エンボステーピングの認定試験では問題がなかったにもかかわらず、お客様の実装工程でテープ切れが頻繁に発生した。調査をしたところ、不良が発生したラインでは最新の高速マウント機が使われており、部品搭載のインデックスを上げるために引き剥がし速度が従来に比べて速いことが判明した。引き剥がし速度を上げて試験をしたところ、不良を再現した。
	対策／確認例	(1) エンボステーブ引き剥がし試験は引き剥がしスピードに注意する。 (2) エンボステーブ引き剥がし試験は保管時のストレスを前処理として考える。

事例 47 X線照射による特性変動

No.47	事例件名	X線照射による特性変動
	デバイスの種類	MOS IC(プラスチック封止)
	事例内容	X線透視検査時に長時間に渡りX線をデバイスに照射したため、ICが特性不良となった。ICのMOSパラメータ(Vth)が変動し、特性劣化を起こした。
	対策例	ICに照射されるX線量を極力小さくする。

事例 48 チップ出荷品の実装時のボンディングストレス

No.48	事例件名	チップ出荷品の実装時のボンディングストレス
	品名	パワーMOS FET
	ポイント	ボンディングパッド下の酸化膜はボンディングのストレスで破壊する
	事例概要／現象／原因	チップ出荷品(パワーMOS FET)でお客様での実装後の特性検査にて、ゲート・ソース間の耐圧不良が発生した。解析の結果、ゲートボンディング下の酸化膜にクラックが生じ、耐圧劣化していることが判明した。原因は実装時の条件確認が不足していたためであった。
	対策／確認例	ボンディング条件設定後は、特性確認と併せてボンディング下のAl膜除去後のSiO ₂ 膜のクラック発生の有無を確認する。

事例 49 電食現象による気密リーク不良

No.49	事案件名	電食現象による気密リーク不良
	品名	ガラスダイオード
	ポイント	水分が製品に付着した状態で電圧を印加してはいけない
	事例概要／現象／原因	デュメット線の銅層表面に形成されている亜酸化銅(Cu ₂ O)が、ガラスへ拡散することで接着し気密構造となる。逆バイアス印加中に、ダイオード表面に水分がつき逆バイアスで水分が電気分解されることにより、アノード側へ水素(H ₂)が発生する。この水素により、亜酸化銅が還元され、還元された部分へ水分が侵入しキャビティまで達して気密性が破壊される。気密性が破壊されたことで、キャビティ(空洞)内へ水分が侵入する。水分の侵入により、チップ表面での電流リークが生じ、逆方向電流(IR)大となる。IR大の状態で、逆バイアスを印加し続けると、チップ電極(Ag)のマイグレーションが生じる。
	対策／確認例	電気的特性の変動によるIR大。ガラスパッケージからの内部観察をする。
	参照事項	ダイオードデータブック

事例 50 データ衝突

No.50	事案件名	データ衝突
	デバイスの種類	IC, LSI
	事例内容	データ入力、出力共通の端子を持つメモリICでは、データ端子が出力状態にある時に出力と逆データの入力信号を加えると、データ衝突を起こして過大電流が流れ、電源電圧変動による誤動作、または、場合によっては破壊に至ることがある。
	対策例	(1) データ衝突の起こらないタイミング設計を行う。 (2) ラッチなどによりタイミングの変更を行う。

事例 51 結露起因のデバイス破壊

No.51	事案件名	結露起因のデバイス破壊
	デバイスの種類	パワーMOS FET
	事例内容	市場稼動品にて、慢性かつ継続的にデバイスの破壊不良が発生していたが、破壊デバイスからは原因の解析が困難であった。同一製品では特定の納入先でのみ発生していた。また年間での発生推移を調査すると夏季に増加傾向があった。実際のデバイスの稼動環境を確認したところ、エアコンの吹き出し口付近にシステムが設置されており、その冷気により結露して端子間リークが発生し、破壊の原因となっていることが判明した。システム設置場所をエアコン吹き出し口から離れた製品からは破壊が発生しなかった。
	対策例	使用環境が意図せず特殊な環境になっていないかを確認する。

付 録 目 次

A. 抜き取り検査	付録-1
A.1 抜き取り検査とは	付録-1
A.2 AQL抜き取り表 (MIL-STD-105)	付録-6
A.3 LTPD抜き取り表 (MIL-PRF-19500)	付録-10
B. 附表	付録-12
B.1 正規分布の確率密度表	付録-12
B.2 正規分布の上側確率表	付録-13
B.3 正規分布のパーセント点表	付録-14
B.4 ポアソン分布表 [確率]	付録-15
B.5 振動図表	付録-19
B.6 水蒸気表	付録-20
C. 信頼性理論	付録-21
C.1 信頼性の尺度	付録-21
C.1.1 故障率と信頼度関数	付録-21
C.1.2 信頼度の表現	付録-23
C.2 複合デバイスの信頼性	付録-24
C.2.1 直列系と並列系	付録-24
C.2.2 応用事例	付録-25
C.2.3 待機冗長システム	付録-26
C.3 加速寿命試験の故障モデル	付録-27
C.3.1 反応論モデル	付録-27
C.3.2 アイリングモデル	付録-27
C.3.3 加速係数	付録-28
C.4 試験結果の解析	付録-30
C.4.1 ワイブル確率紙の使い方 ⁴⁾⁵⁾	付録-30
C.4.2 累積ハザード紙の使い方 ⁴⁾⁵⁾	付録-34
C.4.3 MIL-HDBK-217 での予測方法について	付録-40
D. 信頼度解析のための確率モデル	付録-41
D.1 ベルヌイ試行	付録-41
D.2 二項分布 $fBin(x,n,p)$	付録-41

付 録 目 次

D.3	負の二項分布 $f_{\text{neg-bin}}(x,n,p)$ 及び多項分布 $f_{\text{multi-bin}}(x_1,x_2,\dots,x_m,n,p_1,p_2,\dots,p_m)$	付録-41
D.4	幾何分布 $f_{\text{Geo}}(n,p)$	付録-42
D.5	超幾何分布 $f_{\text{H-geo}}(N,R,n,x)$	付録-42
D.6	指数分布 $f_{\text{exp}}(t)$	付録-44
D.7	パスカル分布 $f_{\text{Pas}}(x,y,p)$	付録-45
D.8	ガンマ分布 $f_{\Gamma}(t,\alpha,\beta)$	付録-46
D.9	ポアソン分布 $f_{\text{Pois}}(x)$	付録-47
D.10	正規分布 $f_{\text{Norm}}(x)$	付録-49
D.11	ワイブル分布 $f_{\text{Wbl}}(t)$	付録-51
D.12	二重指数分布 $f_{\text{d-exp}}(x)$	付録-53
参考文献		付録-54
E. 確率分布の相互関係		付録-56
F. 確率関数表.....		付録-57

付 録

A. 抜き取り検査

A.1 抜き取り検査とは

抜き取り検査は、通常ロットを対象とし、そのロットから抜き取ったサンプルを調べて、ロットに対する判定基準と照合し合格ロットか不合格ロットかの判定を下すことです。つまり、合格とすべきロットが不合格と判定されたり(生産者危険:確率 α)、合格とすべきでないロットが合格と判定される(消費者危険:確率 β)可能性がある確率で発生することを許容し検査することです。半導体の例でいえば、信頼性試験のような破壊試験を行う場合やロットが非常に大きい場合など全数検査が難しいため、主として抜き取り検査が実施されています。

ここでは、主として出荷検査等に用いられるいわゆる品質管理の抜き取り検査について説明しますが、信頼性試験の抜き取り検査についても簡単に説明します。

(1) OC曲線

ロットの大きさを N 、不良率を p 、ロットから抜き取るサンプルの大きさを n 、サンプルに含まれる不良の数を x とした場合、不良品が出現する確率 $P(x)$ を計算することができます。ロットの大きさなどから超幾何分布、二項分布、ポアソン分布が選択されます。ここでは、ポアソン分布で示します。

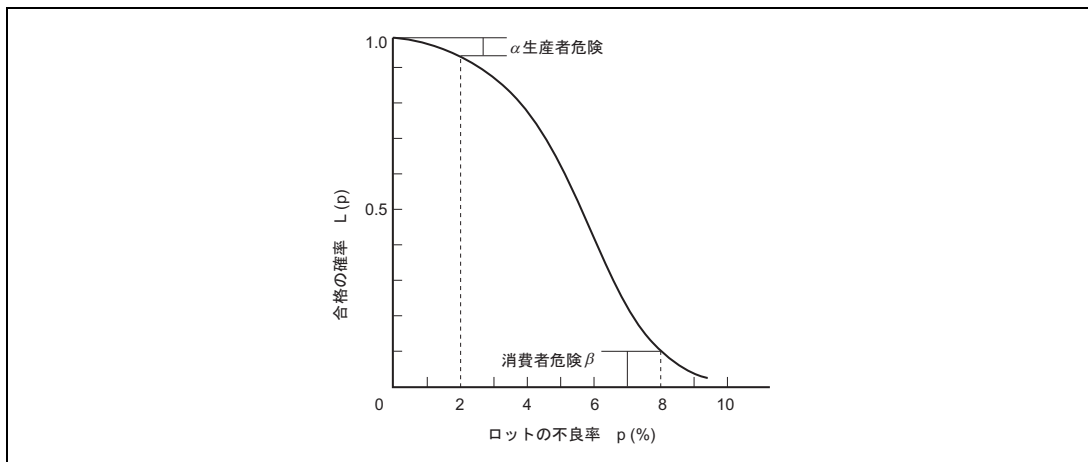
$$P(x) = e^{-pn} \frac{(pn)^x}{x!}$$

合格もしくは不合格となる確率は α 、 β を用いて表すと次のようになります。

$$1-\alpha = 1-L(P_0)$$

$$\beta = L(P_1)$$

そして、縦軸にロットが合格する確率、横軸にロットの不良率など品質特性を取り図示すれば、**図A.1**のようになります。



図A.1 OC曲線

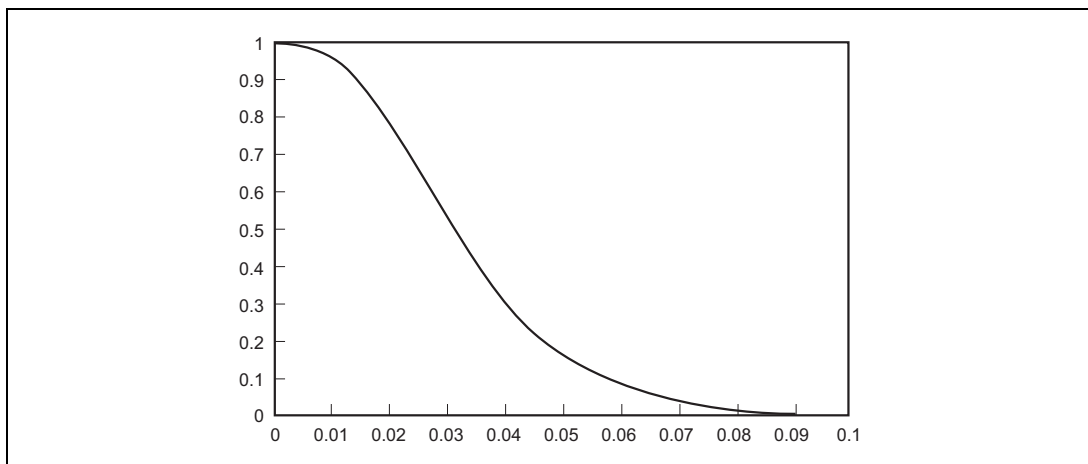
これをOC曲線(検査特性曲線)といいます。

OC曲線は、抜取検査方式の条件を決めると得られます。これを基に、ある品質のロットがどのくらいの確率で合格したり不合格になったりするのかが読み取ることができます。

例えば、計数基準型1回抜取検査(JIS Z 9002)で $P_0=1.0\%$ 、 $P_1=5.0\%$ のときは $n=120$ 、 $C=3$ となります。このときOC曲線は図A.2のようになり、ロットの合格の確率を次のように読み取ることができます。

$$p = P_0 = 1.0\% \text{ のとき, } L(P_0) \approx 0.97$$

$$p = P_1 = 5.0\% \text{ のとき, } L(P_1) \approx 0.14$$



図A.2 $P_0 = 1\%$ 、 $P_1 = 5\%$ のOC曲線

つまり、不良率 P_0 のロットはなるべく合格させたいのに誤って不合格となる確率 α が0.03あり、また不良率 P_1 のロットはなるべく不合格としたいのに誤って合格となる確率 β が0.14あることを示しています。

なお、抜取曲線の効果はOC曲線だけでなく、検査対象ロットの不良率の平均値とばらつきによっても大きく影響されます。

(2) 抜取検査の種類

抜取検査の分類には、次のようなものがあります。

- ・計数型抜取検査と計量型抜取検査
- ・規準型、選別型、調整型、連続生産型など
- ・一回、二回、多回、逐次など

例えば、JIS Z 9002は、計数規準型一回抜取検査に属します。

ここでは、数ある抜取検査方法の中でAQLとLTPDについて簡単に説明します。

(3) AQLとLTPD

AQLとは不良率 P_0 のロットを $(1-\alpha)$ の確率で合格させるようOC曲線を規定したもので、例えば、MIL-STD-105、JIS Z 9015の計数調整型抜取検査などがあります。

この抜取検査方式は、過去のロットの検査実績など品質水準の程度に応じて、次の三つの検査の厳しさに調整します。

- ◎ナミ検査： 品質水準がAQL付近にあると考えられるとき。
- ◎キツイ検査： 品質水準がAQLよりも確かに悪いとき。
- ◎ユルイ検査： 品質水準がAQLよりも確かに良く、かつ今後も引き続きAQLよりも良い品質が続くと考えられるとき。

また、ロットの大きさに対するサンプルの大きさの関係(相対的な検査量)を示す検査水準が設けられており、検査費用、ロット間及びロット内の品質の均一性を考慮して検査水準を設定します。検査水準には通常検査水準Ⅰ～Ⅲ、特別検査水準(小サンプルの検査)S-1～S-4の7水準がありますが、通常は特別な指定がない限り水準Ⅱを用います。

ここで、AQLとは合格品質水準(Acceptable Quality Level)の略であり、なるべく合格させたい品質の上限という意味ではOC曲線の P_0 と非常によく似ていますが、次のような点で P_0 とは厳密には違っています。

- ① P_0 は個々のロットを対象としているが、AQLは工程平均を対象としている。
- ② P_0 は生産者危険 α と組み合わせてOC曲線上の1点を指定するが、AQLを指定すると、ロットの大きさなどにより α は変わる。

例)

ロットの大きさが5,000でAQL = 0.65とすると、サンプルの大きさは200、Ac = 3、Re = 4となり、200個のサンプルを抜取検査した結果、不良個数が3個以下の場合にはそのロットは合格とし、4個以上であれば不合格とすることとなります。

LTPD (Lot Tolerance Percent Defective) とは、不良率 P_1 のロットを $(1-\beta)$ の確率で不合格とさせるよう OC 曲線を規定したもので、例えば MIL-PRF-19500 などに記載の指数分布型計数 1 回抜取検査などがあります。なお、MIL-PRF-19500 は、 $\beta=0.1$ で規定されています。これは、抜取検査で合格する確率が $\beta=0.1$ になるような検査ロットの不良率であり、OC 曲線でいう P_1 に対応します。

この表はポアソン分布で計算されており、ロットの大きさ N が 200 以上の場合に使用するもので、 N が 200 以下の場合には超幾何分布で計算された抜取表を使用する必要があります。

横軸はロット許容不良率 LTPD (単位%) で表示されていますが、故障率抜取試験を実施する場合、つまりロット許容故障率 (単位%/1,000h) としても見ることができます。ただし、故障率抜取試験を実施する場合、表から読み取れる最小抜取個数はその数値の 1,000 倍のコンポーネントアワー (加速係数×個数×時間) に置き換えます。

例)

ロットの大きさが 200 以上で $\lambda = 1\%/1,000\text{h}$ を 1,000 時間の試験で保証するためには (加速係数を 1 とすると)、合格判定個数 $C=0$ とした場合、抜取サンプル $n=231$ 個必要となります。

(4) 信頼性試験における抜取試験

信頼性における抜取検査と品質管理の抜取検査とで本質的な差はありません。主な違いを次に示します。

- ① 尺度 信頼性 : 故障率 (λ), MTBF など
品質管理 : 不良率 (p)
- ② 分布 信頼性 : 指数分布が中心
品質管理 : 正規分布
- ③ 信頼性試験では、サンプルがすべて故障するには時間を要するため、しばしば途中で打ち切ります。
 - λ_0 : 合格信頼性水準
ARL: Acceptable Reliability Level
AFR: Acceptable Failure Rate
 - λ_1 : ロット許容故障率
LTFR: Lot Tolerance Failure Rate
 - α : 生産者危険 ($1-\alpha$ = ロット合格確率)
 - β : 消費者危険
 - λ_0/λ_1 : 判別比 (通常 1.5~3.0 に選ばれる)

例)

指数分布を想定した定時打切1回抜取LTFR方式(修理系)を考えてみます。総試験時間 nT に故障する回数を k 回とすれば、合格する確率は次のようになります。

$$\Pr(x) = \frac{(n\lambda T)^x}{x!} e^{-n\lambda T}$$

$$L(p_k) = \sum_{k=0}^c \frac{(n\lambda T)^k}{k!} e^{-n\lambda T}$$

$$= \int_{2n\lambda T}^{\infty} g_{2(c+1)}(\zeta) d\zeta$$

ここで最終項は自由度 $2(c+1)$ のカイ二乗分布の密度関数です。ここで $L(\lambda)$ を β 以下にするには、

$$2n\lambda T > \chi^2(2(c+1), \beta)$$

となります。従って、以下を満足する T を求めます。

いま、 $n = 10$, $\beta = 0.1$, $\lambda = 0.001$, $c = 0$ とすれば、

$$\chi^2(2(0+1), 0.1) = \chi^2(2, 0.1) = 4.61$$

$$T = \frac{4.61}{2 \times 10 \times 0.001} = 231$$

が得られ、231時間の試験を実施し故障の発生がなければ合格となります。

A.2 AQL 抜き取り表 (MIL-STD-105)

表A.1 試料文字

ロットの大きさ	特別検査水準				通常検査水準		
	S-1	S-2	S-3	S-4	I	II	III
2 - 8	A	A	A	A	A	A	B
9 - 15	A	A	A	A	A	B	C
16 - 25	A	A	B	B	B	C	D
26 - 50	A	B	B	C	C	D	E
51 - 90	B	B	C	C	C	E	F
91 - 150	B	B	C	D	D	F	G
151 - 280	B	C	D	E	E	G	H
281 - 500	B	C	D	E	F	H	J
501 - 1200	C	C	E	F	G	J	K
1201 - 3200	C	D	E	G	H	K	L
3201 - 10000	C	D	F	G	J	L	M
10001 - 35000	C	D	F	H	K	M	N
35001 - 150000	D	E	G	J	L	N	P
150001 - 500000	D	E	G	J	M	P	Q
500001 以上	D	E	H	K	N	Q	R

MIL-STD-105

※: 翻訳版: 一般財団法人 日本規格協会発行

注: MIL-STD-105はANSIにて規格化されANSI/ASQC Z 1.4に置き換わっています。

表A.2 ナミ検査の1回抜取方式(主抜取表)

試料文字	試料の大きさ	合格品質水準 (AQL) (ナミ検査)																											
		0.010	0.015	0.025	0.040	0.065	0.10	0.15	0.25	0.40	0.65	1.0	1.5	2.5	4.0	6.5	10	15	25	40	65	100	150	250	400	650	1000		
		Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	
A	2	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓		
B	3	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓		
C	5	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓		
D	8	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓		
E	13	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓		
F	20	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓		
G	32	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓		
H	50	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓		
J	80	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓		
K	125	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓		
L	200	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓		
M	315	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓		
N	500	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓		
P	800	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓		
Q	1250	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓		
R	2000	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓		

MIL-STD-105

↓ = 矢印の下方の最初の抜取方式を用いる。試料の大きさがロットの大きさ以上になれば全数検査する。

↑ = 矢印の上方の最初の抜取方式を用いる。

Ac = 合格判定個数

Re = 不合格判定個数

表A.3 キツイ検査の1回抜取方式(主抜取表)

試料文字	試料の大きさ	合格品質水準 (AQL) (キツイ検査)																									
		0.010	0.015	0.025	0.040	0.065	0.10	0.15	0.25	0.40	0.65	1.0	1.5	2.5	4.0	6.5	10	15	25	40	65	100	150	250	400	650	1000
		Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re
A	2	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
B	3	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
C	5	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
D	8	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
E	13	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
F	20	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
G	32	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
H	50	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
J	80	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
K	125	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
L	200	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
M	315	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
N	500	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
P	800	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
Q	1250	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
R	2000	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
S	3150	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓

MIL-STD-105

↓ = 矢印の下方の最初の抜取方式を用いる。試料の大きさがロットの大きさ以上になれば全数検査する。

↑ = 矢印の上方の最初の抜取方式を用いる。

Ac = 合格判定個数

Re = 不合格判定個数

表A.4 ユルイ検査の1回抜取方式(主抜取表)

試料文字	試料の大きさ	合格品質水準 (AQL) (ユルイ検査) ↑																									
		0.010	0.015	0.025	0.040	0.065	0.10	0.15	0.25	0.40	0.65	1.0	1.5	2.5	4.0	6.5	10	15	25	40	65	100	150	250	400	650	1000
		Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re
A	2	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
B	2	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
C	2	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
D	3	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
E	5	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
F	8	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
G	13	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
H	20	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
J	32	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
K	50	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
L	80	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
M	125	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
N	200	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
P	315	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
Q	500	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
R	800	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓

MIL-STD-105

↓ = 矢印の下方の最初の抜取方式を用いる。試料の大きさがロットの大きさ以上になれば全数検査する。

↑ = 矢印の上方の最初の抜取方式を用いる。

Ac = 合格判定個数

Re = 不合格判定個数

↑ = もし、合格判定個数を超え不合格判定個数に達しなければそのロットは合格とするが、次回からナミ検査にもどす。

A.3 LTPD 抜き取り表 (MIL-PRF-19500)

表A.5 LTPD抜き取り表(1/2)

規定されたLTPDと同等の不良率をもったロットが許容されないことを90%の信頼度で保証する試験の必要最小抜き取り個数

最大不良率 (LTPD) または入	50	30	20	15	10	7	5	3
	許容数 (C)	(r = C + 1)	最小抜き取り個数 (寿命試験に要求される素子 × 時間の場合は 1000 倍)					
0	5 (1.03)	8 (0.64)	11 (0.46)	15 (0.34)	22 (0.23)	32 (0.16)	45 (0.11)	76 (0.07)
1	8 (4.4)	13 (2.7)	18 (2.0)	25 (1.4)	38 (0.94)	55 (0.65)	77 (0.46)	129 (0.28)
2	11 (7.4)	18 (4.5)	25 (3.4)	34 (2.24)	52 (1.6)	75 (1.1)	105 (0.78)	176 (0.47)
3	13 (10.5)	22 (6.2)	32 (4.4)	43 (3.2)	65 (2.1)	94 (1.5)	132 (1.0)	221 (0.62)
4	16 (12.3)	27 (7.3)	38 (5.3)	52 (3.9)	78 (2.6)	113 (1.8)	158 (1.3)	265 (0.75)
5	19 (13.8)	31 (8.4)	45 (6.0)	60 (4.4)	91 (2.9)	131 (2.0)	184 (1.4)	308 (0.85)
6	21 (15.6)	35 (9.4)	51 (6.6)	68 (4.9)	104 (3.2)	149 (2.2)	209 (1.6)	349 (0.94)
7	24 (16.6)	39 (10.2)	57 (7.2)	77 (5.3)	116 (3.5)	166 (2.4)	234 (1.7)	390 (1.0)
8	26 (18.1)	43 (10.9)	63 (7.7)	85 (5.6)	128 (3.7)	184 (2.6)	258 (1.8)	431 (1.1)
9	28 (19.4)	47 (11.5)	69 (8.1)	93 (6.0)	140 (3.9)	201 (2.7)	282 (1.9)	471 (1.2)
10	31 (19.9)	51 (12.1)	75 (8.4)	100 (6.3)	152 (4.1)	218 (2.9)	306 (2.0)	511 (1.2)
11	33 (21.0)	54 (12.8)	83 (8.3)	111 (6.2)	166 (4.2)	238 (2.9)	332 (2.1)	555 (1.2)
12	36 (21.4)	59 (13.0)	89 (8.6)	119 (6.5)	178 (4.3)	254 (3.0)	356 (2.2)	594 (1.3)
13	38 (22.3)	63 (13.4)	95 (8.9)	126 (6.7)	190 (4.5)	271 (3.1)	379 (2.26)	632 (1.3)
14	40 (23.1)	67 (13.8)	101 (9.2)	134 (6.9)	201 (4.6)	288 (3.2)	403 (2.3)	672 (1.4)
15	43 (23.3)	71 (14.1)	107 (9.4)	142 (7.1)	213 (4.7)	305 (3.3)	426 (2.36)	711 (1.41)
16	45 (24.1)	74 (14.6)	112 (9.7)	150 (7.2)	225 (4.8)	321 (3.37)	450 (2.41)	750 (1.44)
17	47 (24.7)	79 (14.7)	118 (9.86)	158 (7.36)	236 (4.93)	338 (3.44)	473 (2.46)	788 (1.48)
18	50 (24.9)	83 (15.0)	124 (10.0)	165 (7.54)	248 (5.02)	354 (3.51)	496 (2.51)	826 (1.51)
19	52 (25.5)	86 (15.4)	130 (10.2)	173 (7.76)	259 (5.12)	370 (3.58)	518 (2.56)	864 (1.53)
20	54 (26.1)	90 (15.6)	135 (10.4)	180 (7.82)	271 (5.19)	386 (3.65)	541 (2.60)	902 (1.56)
25	65 (27.0)	109 (16.1)	163 (10.8)	217 (8.08)	326 (5.38)	466 (3.76)	652 (2.69)	1086 (1.61)

(注1)抜き取り個数はポアソン二項分布指数の限度に基づいて決定されている。

(注2)20ロット中19ロット(平均して)の割合で合格するのに必要な最低品質(AQL近似値)を()内で参考を示す

表A.5 LTPD抜取表(2/2)

(単一抜取)

2	1.5	1	0.7	0.5	0.3	0.2	0.15	0.1
116 (0.04)	153 (0.03)	231 (0.02)	328 (0.02)	461 (0.01)	767 (0.007)	1152 (0.005)	1534 (0.003)	2303 (0.002)
195 (0.18)	258 (0.14)	390 (0.09)	555 (0.06)	778 (0.045)	1296 (0.027)	1946 (0.018)	2592 (0.013)	3891 (0.009)
266 (0.31)	354 (0.23)	533 (0.15)	759 (0.11)	1065 (0.080)	1773 (0.045)	2662 (0.031)	3547 (0.022)	5323 (0.015)
333 (0.41)	444 (0.31)	668 (0.20)	953 (0.14)	1337 (0.10)	2226 (0.062)	3341 (0.041)	4452 (0.031)	6681 (0.018)
398 (0.50)	531 (0.37)	798 (0.25)	1140 (0.17)	1599 (0.12)	2663 (0.074)	3997 (0.049)	5327 (0.037)	7994 (0.025)
462 (0.57)	617 (0.42)	927 (0.28)	1223 (0.20)	1855 (0.14)	3090 (0.085)	4638 (0.056)	6181 (0.042)	9275 (0.028)
528 (0.62)	700 (0.47)	1054 (0.31)	1503 (0.22)	2107 (0.155)	3509 (0.093)	5267 (0.062)	7019 (0.047)	10533 (0.031)
589 (0.67)	783 (0.51)	1178 (0.34)	1680 (0.24)	2355 (0.17)	3922 (0.101)	5886 (0.067)	7845 (0.051)	11771 (0.034)
648 (0.72)	864 (0.54)	1300 (0.36)	1854 (0.25)	2599 (0.18)	4329 (0.108)	6498 (0.072)	8660 (0.054)	12995 (0.036)
709 (0.77)	945 (0.58)	1421 (0.38)	2027 (0.27)	2842 (0.19)	4733 (0.114)	7103 (0.077)	9468 (0.057)	14206 (0.038)
770 (0.80)	1025 (0.60)	1541 (0.40)	2199 (0.28)	3082 (0.20)	5133 (0.120)	7704 (0.080)	10268 (0.060)	15407 (0.040)
832 (0.83)	1109 (0.62)	1664 (0.42)	2378 (0.29)	3323 (0.21)	5546 (0.12)	8319 (0.083)	11092 (0.062)	16638 (0.042)
890 (0.86)	1187 (0.65)	1781 (0.43)	2544 (0.30)	3562 (0.22)	5936 (0.13)	8904 (0.086)	11872 (0.065)	17808 (0.043)
948 (0.89)	1264 (0.67)	1896 (0.44)	2709 (0.31)	3793 (0.22)	6321 (0.134)	9482 (0.089)	12643 (0.067)	18964 (0.045)
1007 (0.92)	1343 (0.69)	2015 (0.46)	2878 (0.32)	4029 (0.23)	6716 (0.138)	10073 (0.092)	13431 (0.069)	20146 (0.046)
1066 (0.94)	1422 (0.71)	2133 (0.47)	3046 (0.33)	4265 (0.235)	7108 (0.141)	10662 (0.094)	14216 (0.070)	21324 (0.047)
1124 (0.96)	1499 (0.72)	2249 (0.48)	3212 (0.337)	4497 (0.241)	7496 (0.144)	11244 (0.096)	14992 (0.072)	22487 (0.048)
1182 (0.98)	1576 (0.74)	2364 (0.49)	3377 (0.344)	4728 (0.246)	7880 (0.148)	11819 (0.098)	15759 (0.074)	23639 (0.049)
1239 (1.0)	1652 (0.75)	2478 (0.50)	3540 (0.351)	4956 (0.251)	8260 (0.151)	12390 (0.100)	16520 (0.075)	24780 (0.050)
1296 (1.02)	1728 (0.77)	2591 (0.52)	3702 (0.358)	5183 (0.256)	8638 (0.153)	12957 (0.102)	17276 (0.077)	25914 (0.051)
1353 (1.04)	1803 (0.78)	2705 (0.52)	3864 (0.364)	5410 (0.260)	9017 (0.156)	13526 (0.104)	18034 (0.078)	27051 (0.052)
1629 (1.08)	2173 (0.807)	3259 (0.538)	4656 (0.376)	6518 (0.269)	10863 (0.161)	16295 (0.108)	21726 (0.081)	32589 (0.054)

MIL-PRF-19500

B. 付表

B.1 正規分布の確率密度表

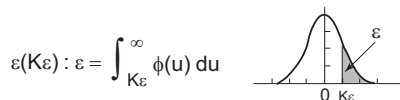
$$\phi(u) = \frac{1}{\sqrt{2\pi}} e^{-\frac{u^2}{2}}$$

U	.00	.01	.02	.03	.04	.05	.06	.07	.08	.09
.0	.39894	.39892	.39886	.39876	.39862	.39844	.39822	.39797	.39767	.39733
.1	.39695	.39654	.39608	.39559	.39505	.39448	.39387	.39322	.39253	.39181
.2	.39104	.39024	.38940	.38853	.38762	.38667	.38568	.38466	.38361	.38251
.3	.38139	.38023	.37903	.37780	.37654	.37524	.37391	.37255	.37115	.36973
.4	.36827	.36678	.36526	.36371	.36213	.36053	.35889	.35723	.35553	.35381
.5	.35207	.35029	.34849	.34667	.34482	.34294	.34105	.33912	.33718	.33521
.6	.33322	.33121	.32918	.32713	.32506	.32297	.32086	.31874	.31659	.31443
.7	.31225	.31006	.30785	.30563	.30339	.30114	.29887	.29659	.29431	.29200
.8	.28969	.28737	.28504	.28269	.28034	.27798	.27562	.27324	.27086	.26848
.9	.26609	.26369	.26129	.25888	.25647	.25406	.25164	.24923	.24681	.24439
1.0	.24197	.23955	.23713	.23471	.23230	.22988	.22747	.22506	.22265	.22025
1.1	.21785	.21546	.21307	.21069	.20831	.20594	.20357	.20121	.19886	.19652
1.2	.19419	.19186	.18954	.18724	.18494	.18265	.18037	.17810	.17585	.17360
1.3	.17137	.16915	.16694	.16474	.16256	.16038	.15822	.15608	.15395	.15183
1.4	.14973	.14764	.14556	.14350	.14146	.13943	.13742	.13542	.13344	.13147
1.5	.12952	.12758	.12566	.12376	.12188	.12001	.11816	.11632	.11450	.11270
1.6	.11092	.10915	.10741	.10567	.10396	.10226	.10059	.98925	.97282	.95657
1.7	.94049	.92459	.90887	.89333	.87796	.86277	.84776	.83293	.81828	.80380
1.8	.78950	.77538	.76143	.74766	.73407	.72065	.70740	.69433	.68144	.66871
1.9	.66516	.65269	.64037	.62820	.61626	.60455	.59306	.58178	.57071	.55984
2.0	.55991	.55291	.54604	.53930	.53268	.52628	.52009	.51411	.50833	.50275
2.1	.49736	.49100	.48483	.47885	.47306	.46745	.46202	.45677	.45170	.44681
2.2	.44200	.43725	.43269	.42832	.42413	.42011	.41625	.41255	.40900	.40559
2.3	.40232	.39887	.39556	.39239	.38935	.38644	.38365	.38097	.37840	.37593
2.4	.37355	.37117	.36888	.36667	.36454	.36248	.36048	.35854	.35665	.35481
2.5	.35302	.35123	.34948	.34777	.34610	.34448	.34291	.34138	.33989	.33844
2.6	.33700	.33552	.33408	.33268	.33132	.33000	.32872	.32748	.32627	.32510
2.7	.32396	.32282	.32172	.32065	.31961	.31860	.31762	.31667	.31574	.31484
2.8	.31395	.31306	.31219	.31134	.31051	.30970	.30891	.30814	.30739	.30665
2.9	.30593	.30519	.30446	.30374	.30303	.30234	.30166	.30099	.30033	.29968
3.0	.29904	.29839	.29775	.29712	.29650	.29589	.29529	.29470	.29411	.29353
3.1	.29295	.29237	.29180	.29123	.29067	.29011	.28956	.28901	.28846	.28792
3.2	.28737	.28683	.28629	.28575	.28521	.28467	.28413	.28359	.28305	.28251
3.3	.28197	.28143	.28089	.28035	.27981	.27927	.27873	.27819	.27765	.27711
3.4	.27657	.27603	.27549	.27495	.27441	.27387	.27333	.27279	.27225	.27171
3.5	.27117	.27063	.27009	.26955	.26901	.26847	.26793	.26739	.26685	.26631
3.6	.26577	.26523	.26469	.26415	.26361	.26307	.26253	.26199	.26145	.26091
3.7	.26037	.25983	.25929	.25875	.25821	.25767	.25713	.25659	.25605	.25551
3.8	.25497	.25443	.25389	.25335	.25281	.25227	.25173	.25119	.25065	.25011
3.9	.24957	.24903	.24849	.24795	.24741	.24687	.24633	.24579	.24525	.24471
4.0	.24417	.24363	.24309	.24255	.24201	.24147	.24093	.24039	.23985	.23931
4.1	.23877	.23823	.23769	.23715	.23661	.23607	.23553	.23499	.23445	.23391
4.2	.23337	.23283	.23229	.23175	.23121	.23067	.23013	.22959	.22905	.22851
4.3	.22797	.22743	.22689	.22635	.22581	.22527	.22473	.22419	.22365	.22311
4.4	.22257	.22203	.22149	.22095	.22041	.21987	.21933	.21879	.21825	.21771
4.5	.21717	.21663	.21609	.21555	.21501	.21447	.21393	.21339	.21285	.21231
4.6	.21177	.21123	.21069	.21015	.20961	.20907	.20853	.20799	.20745	.20691
4.7	.20637	.20583	.20529	.20475	.20421	.20367	.20313	.20259	.20205	.20151
4.8	.20101	.20047	.19993	.19939	.19885	.19831	.19777	.19723	.19669	.19615
4.9	.19561	.19507	.19453	.19399	.19345	.19291	.19237	.19183	.19129	.19075

表の左上の見出しから標準正規分布の偏差 u の値を読み、その交点で確率密度 $\Phi(u)$ を読み取る。

例: $u=2.96$ に対する $\Phi(u)$ は、左の見出しの 2.9 と、上の見出しの .06 の交点で、 0^249929 と読み、 0.0049929 となる。

B.2 正規分布の上側確率表



K ε	.00	.01	.02	.03	.04	.05	.06	.07	.08	.09
.0	.50000	.49601	.49202	.48803	.48405	.48006	.47608	.47210	.46812	.46414
.1	.46017	.45620	.45224	.44828	.44433	.44038	.43644	.43251	.42858	.42465
.2	.42074	.41683	.41294	.40905	.40517	.40129	.39743	.39358	.38974	.38591
.3	.38209	.37828	.37448	.37070	.36693	.36317	.35942	.35569	.35197	.34827
.4	.34458	.34090	.33724	.33360	.32997	.32636	.32276	.31918	.31561	.31207
.5	.30854	.30503	.30153	.29806	.29460	.29116	.28774	.28434	.28096	.27760
.6	.27425	.27093	.26763	.26435	.26109	.25785	.25463	.25143	.24825	.24510
.7	.24196	.23885	.23576	.23270	.22965	.22663	.22363	.22065	.21770	.21476
.8	.21186	.20897	.20611	.20327	.20045	.19766	.19489	.19215	.18943	.18673
.9	.18406	.18141	.17879	.17619	.17361	.17106	.16853	.16602	.16354	.16109
1.0	.15866	.15625	.15386	.15151	.14917	.14686	.14457	.14231	.14007	.13786
1.1	.13567	.13350	.13136	.12924	.12714	.12507	.12302	.12100	.11900	.11702
1.2	.11507	.11314	.11123	.10935	.10749	.10565	.10383	.10204	.10027	.98525
1.3	.096800	.095098	.093484	.091959	.090423	.088850	.087341	.085843	.084354	.082864
1.4	.080757	.079270	.077804	.076359	.074934	.073529	.072145	.070781	.069437	.068112
1.5	.066807	.065522	.064255	.063008	.061780	.060571	.059380	.058208	.057053	.055917
1.6	.054799	.053699	.052616	.051551	.050503	.049471	.048457	.047460	.046479	.045514
1.7	.044565	.043683	.042716	.041815	.040930	.040059	.039204	.038364	.037538	.036727
1.8	.035930	.035148	.034380	.033625	.032884	.032157	.031443	.030742	.030054	.029379
1.9	.028717	.028067	.027429	.026803	.026190	.025588	.024998	.024419	.023852	.023295
2.0	.022750	.022216	.021692	.021178	.020675	.020182	.019699	.019226	.018763	.018309
2.1	.017864	.017429	.017003	.016586	.016177	.015778	.015386	.015003	.014629	.014262
2.2	.013903	.013553	.013209	.012874	.012545	.012224	.011911	.011604	.011304	.011011
2.3	.010724	.010444	.010170	.099031	.097649	.096387	.095137	.093894	.092656	.091424
2.4	.081975	.079763	.077603	.075494	.073436	.071428	.069469	.067557	.065691	.063872
2.5	.062097	.060366	.058677	.057031	.055426	.053861	.052336	.050849	.049400	.047988
2.6	.046612	.045271	.043965	.042692	.041453	.040246	.039070	.037926	.036811	.035726
2.7	.034670	.033642	.032641	.031667	.030720	.029798	.028901	.028028	.027179	.026354
2.8	.025551	.024771	.024012	.023274	.022557	.021860	.021182	.020524	.019884	.019262
2.9	.0218658	.021071	.020302	.019558	.018839	.018144	.017473	.016825	.016199	.015594
3.0	.013499	.013062	.012639	.012228	.011829	.011442	.011067	.010703	.010350	.010008
3.1	.096760	.093544	.090426	.087403	.084474	.081635	.078885	.076219	.073638	.071136
3.2	.068714	.066367	.064095	.061895	.059765	.057703	.055706	.053774	.051904	.050094
3.3	.048342	.046648	.045009	.043423	.041889	.040406	.038971	.037584	.036243	.034946
3.4	.033693	.032481	.031311	.030179	.029086	.028029	.027009	.026023	.025071	.024151
3.5	.023263	.022405	.021577	.020778	.020006	.019262	.018543	.017849	.017180	.016534
3.6	.015911	.015310	.014730	.014171	.013632	.013112	.012611	.012128	.011662	.011213
3.7	.010780	.010363	.009961	.009574	.009210	.008847	.008495	.008162	.007841	.007532
3.8	.0072348	.0069483	.0066726	.0064072	.0061517	.0059059	.0056694	.0054418	.0052228	.0050122
3.9	.048096	.046148	.044274	.042473	.040741	.039076	.037475	.035936	.034458	.033037
4.0	.031671	.030359	.029099	.027888	.026726	.025609	.024536	.023507	.022518	.021569
4.1	.020658	.019783	.018944	.018138	.017365	.016624	.015912	.015230	.014575	.013948
4.2	.013346	.012769	.012215	.011685	.011176	.010689	.010221	.009773	.009344	.008937
4.3	.085399	.081627	.078015	.074555	.071241	.068069	.065031	.062123	.059340	.056675
4.4	.054125	.051685	.049350	.047117	.044979	.042935	.040980	.039110	.037322	.035612
4.5	.033977	.032414	.030920	.029492	.028127	.026823	.025577	.024386	.023249	.022162
4.6	.021125	.020133	.019187	.018283	.017420	.016597	.015810	.015060	.014344	.013660
4.7	.013008	.012386	.011792	.011226	.010686	.010171	.009679	.009213	.008764	.008339
4.8	.079333	.075465	.071779	.068267	.064920	.061731	.058693	.055799	.053043	.050418
4.9	.047918	.045538	.043272	.041115	.039061	.037107	.035247	.033476	.031792	.030190

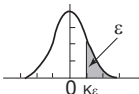
Kε=0.00~4.99に対する、正規分布の上側確率εを与える。

例: Kε=3.18 に対しては、左の見出し3.1と上の見出し.08との交点で、ε=.0³73638=0.00073638となる。

Kε=1.96 に対しては、ε=.024998、Kε=2.58 に対して、ε=.0²49400=0.0049400となる。

分布の両側確率を考えると、これらは、それぞれ、2.ε=0.049996≧0.05, 0.00988≧0.01 に対応する。

B.3 正規分布のパーセント点表

$$K_{\varepsilon}(\varepsilon) : \varepsilon = \int_{K_{\varepsilon}}^{\infty} \phi(u) du$$


ε	.000	.001	.002	.003	.004	.005	.006	.007	.008	.009
.00	∞	3.09023	2.87816	2.74778	2.65207	2.57583	2.51214	2.45726	2.40892	2.36562
.01	2.32635	2.29037	2.25713	2.22621	2.19729	2.17009	2.14441	2.12007	2.09693	2.07485
.02	2.05375	2.03352	2.01409	1.99539	1.97737	1.95996	1.94313	1.92684	1.91104	1.89570
.03	1.88079	1.86630	1.85218	1.83842	1.82501	1.81191	1.79912	1.78661	1.77438	1.76241
.04	1.75069	1.73920	1.72793	1.71689	1.70604	1.69540	1.68494	1.67466	1.66456	1.65463
.05	1.64485	1.63523	1.62576	1.61644	1.60725	1.59819	1.58927	1.58047	1.57179	1.56322
.06	1.55477	1.54643	1.53820	1.53007	1.52204	1.51410	1.50626	1.49851	1.49085	1.48328
.07	1.47579	1.46838	1.46106	1.45381	1.44663	1.43953	1.43250	1.42554	1.41865	1.41183
.08	1.40507	1.39838	1.39174	1.38517	1.37866	1.37220	1.36581	1.35946	1.35317	1.34694
.09	1.34076	1.33462	1.32854	1.32251	1.31652	1.31058	1.30469	1.29884	1.29303	1.28727
.10	1.28155	1.27587	1.27024	1.26464	1.25908	1.25357	1.24808	1.24264	1.23723	1.23186
.11	1.22653	1.22123	1.21596	1.21073	1.20553	1.20036	1.19522	1.19012	1.18504	1.18000
.12	1.17499	1.17000	1.16505	1.16012	1.15522	1.15035	1.14551	1.14069	1.13590	1.13113
.13	1.12639	1.12168	1.11699	1.11232	1.10768	1.10306	1.09847	1.09390	1.08935	1.08482
.14	1.08032	1.07584	1.07138	1.06694	1.06252	1.05812	1.05374	1.04939	1.04505	1.04073
.15	1.03643	1.03215	1.02789	1.02365	1.01943	1.01522	1.01103	1.00686	1.00271	.99858
.16	.99446	.99036	.98627	.98220	.97815	.97411	.97009	.96609	.96210	.95812
.17	.95417	.95022	.94629	.94238	.93848	.93459	.93072	.92686	.92301	.91918
.18	.91537	.91156	.90777	.90399	.90023	.89647	.89273	.88901	.88529	.88159
.19	.87790	.87422	.87055	.86689	.86325	.85962	.85600	.85239	.84879	.84520
.20	.84162	.83805	.83450	.83095	.82742	.82389	.82038	.81687	.81338	.80990
.21	.80642	.80296	.79950	.79606	.79262	.78919	.78577	.78237	.77897	.77557
.22	.77219	.76882	.76546	.76210	.75875	.75542	.75208	.74876	.74545	.74214
.23	.73885	.73556	.73228	.72900	.72574	.72248	.71923	.71599	.71275	.70952
.24	.70630	.70309	.69988	.69668	.69349	.69031	.68713	.68396	.68080	.67764
.25	.67449	.67135	.66821	.66508	.66196	.65884	.65573	.65262	.64952	.64643
.26	.64335	.64027	.63719	.63412	.63106	.62801	.62496	.62191	.61887	.61584
.27	.61281	.60979	.60678	.60376	.60076	.59776	.59477	.59178	.58879	.58581
.28	.58284	.57987	.57691	.57395	.57100	.56805	.56511	.56217	.55924	.55631
.29	.55338	.55047	.54755	.54464	.54174	.53884	.53594	.53305	.53016	.52728
.30	.52440	.52153	.51866	.51579	.51293	.51007	.50722	.50437	.50153	.49869
.31	.49585	.49302	.49019	.48736	.48454	.48173	.47891	.47610	.47330	.47050
.32	.46770	.46490	.46211	.45933	.45654	.45376	.45099	.44821	.44544	.44268
.33	.43991	.43715	.43440	.43164	.42889	.42615	.42340	.42066	.41793	.41519
.34	.41246	.40974	.40701	.40429	.40157	.39886	.39614	.39343	.39073	.38802
.35	.38532	.38262	.37993	.37723	.37454	.37186	.36917	.36649	.36381	.36113
.36	.35846	.35579	.35312	.35045	.34779	.34513	.34247	.33981	.33716	.33450
.37	.33185	.32921	.32656	.32392	.32128	.31864	.31600	.31337	.31074	.30811
.38	.30548	.30286	.30023	.29761	.29499	.29237	.28976	.28715	.28454	.28193
.39	.27932	.27671	.27411	.27151	.26891	.26631	.26371	.26112	.25853	.25594
.40	.25335	.25076	.24817	.24559	.24301	.24043	.23785	.23527	.23269	.23012
.41	.22754	.22497	.22240	.21983	.21727	.21470	.21214	.20957	.20701	.20445
.42	.28189	.19934	.19678	.19422	.19167	.18912	.18657	.18402	.18147	.17892
.43	.17637	.17383	.17128	.16874	.16620	.16366	.16112	.15858	.15604	.15351
.44	.15097	.14843	.14589	.14337	.14084	.13830	.13577	.13324	.13072	.12819
.45	.12566	.12314	.12061	.11809	.11556	.11304	.11052	.10799	.10547	.10295
.46	.10043	.09791	.09540	.09288	.09036	.08784	.08533	.08281	.08030	.07778
.47	.07527	.07276	.07024	.06773	.06522	.06271	.06020	.05768	.05517	.05266
.48	.05015	.04764	.04513	.04263	.04012	.03761	.03510	.03259	.03008	.02758
.49	.02507	.02256	.02005	.01755	.01504	.01253	.01003	.00752	.00501	.00251

正規分布の上側確率 $\varepsilon=0.000\sim 0.499$ に対して、 K_{ε} の値を与える。この K_{ε} の値を 100 ε パーセント点という。

例: $\varepsilon=0.200$ に対しては、表の左の見出し.20 と上の見出し.000 との交点から、 $K_{\varepsilon}=84162$ となる。これを (上側) 20 パーセント点という。

2.5 パーセント点は、 $\varepsilon=0.025$ から $K_{\varepsilon}=1.95996\approx 1.96$ 、0.5 パーセント点は、 $\varepsilon=0.005$ に対して $K_{\varepsilon}=2.57583\approx 2.58$ となる。

B.4 ポアソン分布表 [確率]

x	m									
	0.1	0.2	0.3	0.4	0.5	0.6	0.7	0.8	0.9	1.0
0	.9048	.8187	.7408	.6703	.6065	.5488	.4966	.4493	.4066	.3679
1	.0905	.1637	.2222	.2681	.3033	.3293	.3476	.3595	.3659	.3679
2	.0045	.0164	.0333	.0536	.0758	.0988	.1217	.1438	.1647	.1839
3	.0002	.0010	.0033	.0072	.0126	.0198	.0284	.0383	.0494	.0613
4	.0000	.0001	.0002	.0007	.0016	.0030	.0050	.0077	.0111	.0153
5	.0000	.0000	.0000	.0001	.0002	.0004	.0007	.0012	.0020	.0031
6	.0000	.0000	.0000	.0000	.0000	.0000	.0001	.0002	.0003	.0005
7	.0000	.0000	.0000	.0000	.0000	.0000	.0000	.0000	.0000	.0001

x	m									
	1.1	1.2	1.3	1.4	1.5	1.6	1.7	1.8	1.9	2.0
0	.3329	.3012	.2725	.2466	.2231	.2019	.1827	.1653	.1496	.1353
1	.3662	.3614	.3543	.3452	.3347	.3230	.3106	.2975	.2842	.2707
2	.2014	.2169	.2303	.2417	.2510	.2584	.2640	.2678	.2700	.2707
3	.0738	.0867	.0998	.1128	.1255	.1378	.1496	.1607	.1710	.1804
4	.0203	.0260	.0324	.0395	.0471	.0551	.0636	.0723	.0812	.0902
5	.0045	.0062	.0084	.0111	.0141	.0176	.0216	.0260	.0309	.0361
6	.0008	.0012	.0018	.0026	.0035	.0047	.0061	.0078	.0098	.0120
7	.0001	.0002	.0003	.0005	.0008	.0011	.0015	.0020	.0027	.0034
8	.0000	.0000	.0001	.0001	.0001	.0002	.0003	.0005	.0006	.0009
9	.0000	.0000	.0000	.0000	.0000	.0000	.0001	.0001	.0001	.0002

x	m									
	2.1	2.2	2.3	2.4	2.5	2.6	2.7	2.8	2.9	3.0
0	.1225	.1108	.1003	.0907	.0821	.0743	.0672	.0608	.0550	.0498
1	.2572	.2438	.2306	.2177	.2052	.1931	.1815	.1703	.1596	.1494
2	.2700	.2681	.2652	.2613	.2565	.2510	.2450	.2384	.2314	.2240
3	.1890	.1966	.2033	.2090	.2138	.2176	.2205	.2225	.2237	.2240
4	.0992	.1082	.1169	.1254	.1336	.1414	.1488	.1557	.1622	.1680
5	.0417	.0476	.0538	.0602	.0668	.0735	.0804	.0872	.0940	.1008
6	.0146	.0174	.0206	.0241	.0278	.0319	.0362	.0407	.0455	.0504
7	.0044	.0055	.0068	.0083	.0099	.0118	.0139	.0163	.0188	.0216
8	.0011	.0015	.0019	.0025	.0031	.0038	.0047	.0057	.0068	.0081
9	.0003	.0004	.0005	.0007	.0009	.0011	.0014	.0018	.0022	.0027
10	.0001	.0001	.0001	.0002	.0002	.0003	.0004	.0005	.0006	.0008
11	.0000	.0000	.0000	.0000	.0000	.0001	.0001	.0001	.0002	.0002
12	.0000	.0000	.0000	.0000	.0000	.0000	.0000	.0000	.0000	.0001

x	m									
	3.1	3.2	3.3	3.4	3.5	3.6	3.7	3.8	3.9	4.0
0	.0450	.0408	.0369	.0334	.0302	.0273	.0247	.0224	.0202	.0183
1	.1397	.1304	.1217	.1135	.1057	.0984	.0915	.0850	.0789	.0733
2	.2165	.2087	.2008	.1929	.1850	.1771	.1692	.1615	.1539	.1465
3	.2237	.2226	.2209	.2186	.2158	.2125	.2087	.2046	.2001	.1954
4	.1734	.1781	.1823	.1858	.1888	.1912	.1931	.1944	.1951	.1954
5	.1075	.1140	.1203	.1264	.1322	.1377	.1429	.1477	.1522	.1563
6	.0555	.0608	.0662	.0716	.0771	.0826	.0881	.0936	.0989	.1042
7	.0246	.0278	.0312	.0348	.0385	.0425	.0466	.0508	.0551	.0595
8	.0095	.0111	.0129	.0148	.0169	.0191	.0215	.0241	.0269	.0298
9	.0033	.0040	.0047	.0056	.0066	.0076	.0089	.0102	.0116	.0132
10	.0010	.0013	.0016	.0019	.0023	.0028	.0033	.0039	.0045	.0053
11	.0003	.0004	.0005	.0006	.0007	.0009	.0011	.0013	.0016	.0019
12	.0001	.0001	.0001	.0002	.0002	.0003	.0003	.0004	.0005	.0006
13	.0000	.0000	.0000	.0000	.0001	.0001	.0001	.0001	.0002	.0002
14	.0000	.0000	.0000	.0000	.0000	.0000	.0000	.0000	.0000	.0001

x : 発見される故障数 (不良率)

m : 期待故障数 (不良数)

付 録

x	m									
	4.1	4.2	4.3	4.4	4.5	4.6	4.7	4.8	4.9	5.0
0	.0166	.0150	.0136	.0123	.0111	.0101	.0091	.0082	.0074	.0067
1	.0679	.0630	.0583	.0540	.0500	.0462	.0427	.0395	.0365	.0337
2	.1393	.1323	.1254	.1188	.1125	.1063	.1005	.0948	.0894	.0842
3	.1904	.1852	.1798	.1743	.1687	.1631	.1574	.1517	.1460	.1404
4	.1951	.1944	.1933	.1917	.1898	.1875	.1849	.1820	.1789	.1755
5	.1600	.1633	.1662	.1687	.1708	.1725	.1738	.1747	.1753	.1755
6	.1093	.1143	.1191	.1237	.1281	.1323	.1362	.1398	.1432	.1462
7	.0640	.0686	.0732	.0778	.0824	.0869	.0914	.0959	.1002	.1044
8	.0328	.0360	.0393	.0428	.0463	.0500	.0537	.0575	.0614	.0653
9	.0150	.0168	.0188	.0209	.0232	.0255	.0280	.0307	.0334	.0363
10	.0061	.0071	.0081	.0092	.0104	.0118	.0132	.0147	.0164	.0181
11	.0023	.0027	.0032	.0037	.0043	.0049	.0056	.0064	.0073	.0082
12	.0008	.0009	.0011	.0014	.0016	.0019	.0022	.0026	.0030	.0034
13	.0002	.0003	.0004	.0005	.0006	.0007	.0008	.0009	.0011	.0013
14	.0001	.0001	.0001	.0001	.0002	.0002	.0003	.0003	.0004	.0005
15	.0000	.0000	.0000	.0000	.0001	.0001	.0001	.0001	.0001	.0002

x	m									
	5.1	5.2	5.3	5.4	5.5	5.6	5.7	5.8	5.9	6.0
0	.0061	.0055	.0050	.0045	.0041	.0037	.0033	.0030	.0027	.0025
1	.0311	.0287	.0265	.0244	.0225	.0207	.0191	.0176	.0162	.0149
2	.0793	.0746	.0701	.0659	.0618	.0580	.0544	.0509	.0477	.0446
3	.1348	.1293	.1239	.1185	.1133	.1082	.1033	.0985	.0938	.0892
4	.1719	.1681	.1641	.1600	.1558	.1515	.1472	.1428	.1383	.1339
5	.1753	.1748	.1740	.1728	.1714	.1697	.1678	.1656	.1632	.1606
6	.1490	.1515	.1537	.1555	.1571	.1584	.1594	.1601	.1605	.1606
7	.1086	.1125	.1163	.1200	.1234	.1267	.1298	.1326	.1353	.1377
8	.0692	.0731	.0771	.0810	.0849	.0887	.0925	.0962	.0998	.1033
9	.0392	.0423	.0454	.0486	.0519	.0552	.0586	.0620	.0654	.0688
10	.0200	.0220	.0241	.0262	.0285	.0309	.0334	.0359	.0386	.0413
11	.0093	.0104	.0116	.0129	.0143	.0157	.0173	.0190	.0207	.0225
12	.0039	.0045	.0051	.0058	.0065	.0073	.0082	.0092	.0102	.0113
13	.0015	.0018	.0021	.0024	.0028	.0032	.0036	.0041	.0046	.0052
14	.0006	.0007	.0008	.0009	.0011	.0013	.0015	.0017	.0019	.0022
15	.0002	.0002	.0003	.0003	.0004	.0005	.0006	.0007	.0008	.0009
16	.0001	.0001	.0001	.0001	.0001	.0002	.0002	.0002	.0003	.0003
17	.0001	.0000	.0000	.0000	.0000	.0001	.0001	.0001	.0001	.0001

x	m									
	6.1	6.2	6.3	6.4	6.5	6.6	6.7	6.8	6.9	7.0
0	.0022	.0020	.0018	.0017	.0015	.0014	.0012	.0011	.0010	.0009
1	.0137	.0126	.0116	.0106	.0098	.0090	.0082	.0076	.0070	.0064
2	.0417	.0390	.0364	.0340	.0318	.0296	.0276	.0258	.0240	.0223
3	.0848	.0806	.0765	.0726	.0688	.0652	.0617	.0584	.0552	.0521
4	.1294	.1249	.1205	.1162	.1118	.1076	.1034	.0992	.0952	.0912
5	.1579	.1549	.1519	.1487	.1454	.1420	.1385	.1349	.1314	.1277
6	.1605	.1601	.1595	.1586	.1575	.1562	.1546	.1529	.1511	.1490
7	.1399	.1418	.1435	.1450	.1462	.1472	.1480	.1486	.1489	.1490
8	.1066	.1099	.1130	.1160	.1188	.1215	.1240	.1263	.1284	.1304
9	.0723	.0757	.0791	.0825	.0858	.0891	.0923	.0954	.0985	.1014
10	.0441	.0469	.0498	.0528	.0558	.0588	.0618	.0649	.0679	.0710
11	.0245	.0265	.0285	.0307	.0330	.0353	.0377	.0401	.0426	.0452
12	.0124	.0137	.0150	.0164	.0179	.0194	.0210	.0227	.0246	.0264
13	.0058	.0065	.0073	.0081	.0089	.0098	.0108	.0119	.0130	.0142
14	.0025	.0029	.0033	.0037	.0041	.0046	.0052	.0058	.0064	.0071
15	.0010	.0012	.0014	.0016	.0018	.0020	.0023	.0026	.0029	.0033
16	.0004	.0005	.0005	.0006	.0007	.0008	.0010	.0011	.0013	.0014
17	.0001	.0002	.0002	.0002	.0003	.0003	.0004	.0004	.0005	.0006
18	.0000	.0001	.0001	.0001	.0001	.0001	.0001	.0002	.0002	.0002
19	.0000	.0000	.0000	.0000	.0000	.0000	.0000	.0001	.0001	.0001

x	m									
	7.1	7.2	7.3	7.4	7.5	7.6	7.7	7.8	7.9	8.0
0	.0008	.0007	.0007	.0006	.0006	.0005	.0005	.0004	.0004	.0003
1	.0059	.0054	.0049	.0045	.0041	.0038	.0035	.0032	.0029	.0027
2	.0208	.0194	.0180	.0167	.0156	.0145	.0134	.0125	.0116	.0107
3	.0492	.0464	.0438	.0413	.0389	.0366	.0345	.0324	.0305	.0286
4	.0874	.0836	.0799	.0764	.0729	.0696	.0663	.0632	.0602	.0573
5	.1241	.1204	.1167	.1130	.1094	.1057	.1021	.0986	.0951	.0916
6	.1468	.1445	.1420	.1394	.1367	.1339	.1311	.1282	.1252	.1221
7	.1489	.1486	.1481	.1474	.1465	.1454	.1442	.1428	.1413	.1396
8	.1321	.1337	.1351	.1363	.1373	.1382	.1388	.1392	.1395	.1396
9	.1042	.1070	.1096	.1121	.1144	.1167	.1187	.1207	.1224	.1241
10	.0740	.0770	.0800	.0829	.0858	.0887	.0914	.0941	.0967	.0993
11	.0478	.0504	.0531	.0558	.0585	.0613	.0640	.0667	.0695	.0722
12	.0283	.0303	.0323	.0344	.0366	.0388	.0411	.0434	.0457	.0481
13	.0154	.0168	.0181	.0196	.0211	.0227	.0243	.0260	.0278	.0296
14	.0078	.0086	.0095	.0104	.0113	.0123	.0134	.0145	.0157	.0169
15	.0037	.0041	.0046	.0051	.0057	.0062	.0069	.0075	.0083	.0090
16	.0016	.0019	.0021	.0024	.0026	.0030	.0033	.0037	.0041	.0045
17	.0007	.0008	.0009	.0010	.0012	.0013	.0015	.0017	.0019	.0021
18	.0003	.0003	.0004	.0004	.0005	.0006	.0006	.0007	.0008	.0009
19	.0001	.0001	.0001	.0002	.0002	.0002	.0003	.0003	.0003	.0004
20	.0000	.0000	.0001	.0001	.0001	.0001	.0001	.0001	.0001	.0002
21	.0000	.0000	.0000	.0000	.0000	.0000	.0000	.0000	.0001	.0001

x	m									
	8.1	8.2	8.3	8.4	8.5	8.6	8.7	8.8	8.9	9.0
0	.0003	.0003	.0002	.0002	.0002	.0002	.0002	.0002	.0001	.0001
1	.0025	.0023	.0021	.0019	.0017	.0016	.0014	.0013	.0012	.0011
2	.0100	.0092	.0086	.0079	.0074	.0068	.0063	.0058	.0054	.0050
3	.0269	.0252	.0237	.0222	.0208	.0195	.0183	.0171	.0160	.0150
4	.0544	.0517	.0491	.0466	.0443	.0420	.0398	.0377	.0357	.0337
5	.0882	.0849	.0816	.0784	.0752	.0722	.0692	.0663	.0635	.0607
6	.1191	.1160	.1128	.1097	.1066	.1034	.1003	.0972	.0941	.0911
7	.1378	.1358	.1338	.1317	.1294	.1271	.1247	.1222	.1197	.1171
8	.1395	.1392	.1388	.1382	.1375	.1366	.1356	.1344	.1332	.1318
9	.1256	.1269	.1280	.1290	.1299	.1306	.1311	.1315	.1317	.1318
10	.1017	.1040	.1063	.1084	.1104	.1123	.1140	.1157	.1172	.1186
11	.0749	.0776	.0802	.0828	.0853	.0878	.0902	.0925	.0948	.0970
12	.0505	.0530	.0555	.0579	.0604	.0629	.0654	.0679	.0703	.0728
13	.0315	.0334	.0354	.0374	.0395	.0416	.0438	.0459	.0481	.0504
14	.0182	.0196	.0210	.0225	.0240	.0256	.0272	.0289	.0306	.0324
15	.0098	.0107	.0116	.0126	.0136	.0147	.0158	.0169	.0182	.0194
16	.0050	.0055	.0060	.0066	.0072	.0079	.0086	.0093	.0101	.0109
17	.0024	.0026	.0029	.0033	.0036	.0040	.0044	.0048	.0053	.0058
18	.0011	.0012	.0014	.0015	.0017	.0019	.0021	.0024	.0026	.0029
19	.0005	.0005	.0006	.0007	.0008	.0009	.0010	.0011	.0012	.0014
20	.0002	.0002	.0002	.0003	.0003	.0004	.0004	.0005	.0005	.0006
21	.0001	.0001	.0001	.0001	.0001	.0002	.0002	.0002	.0002	.0003
22	.0000	.0000	.0000	.0000	.0001	.0001	.0001	.0001	.0001	.0001

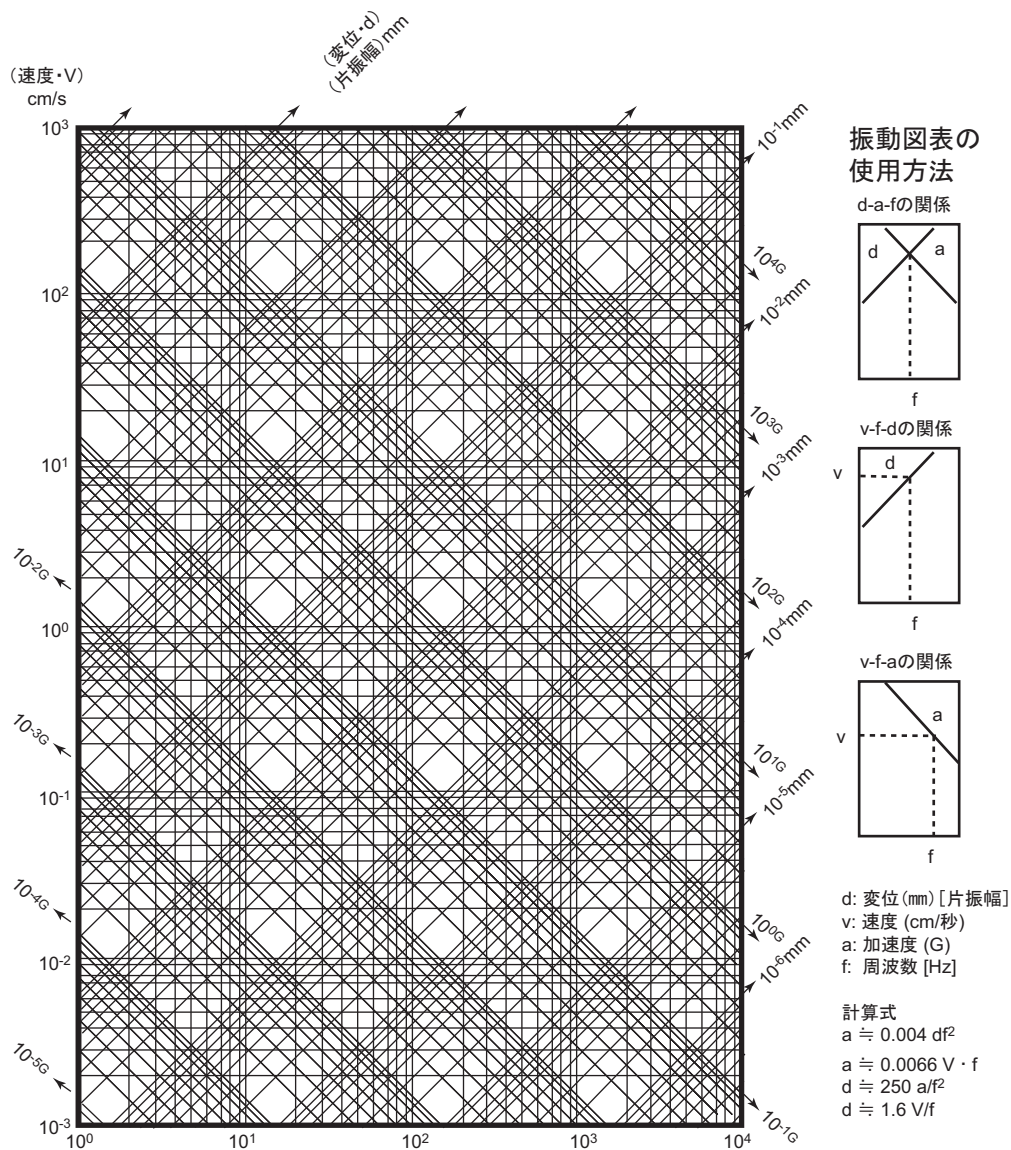
x	m									
	9.1	9.2	9.3	9.4	9.5	9.6	9.7	9.8	9.9	10
0	.0001	.0001	.0001	.0001	.0001	.0001	.0001	.0001	.0001	.0000
1	.0010	.0009	.0009	.0008	.0007	.0007	.0006	.0005	.0005	.0005
2	.0046	.0043	.0040	.0037	.0034	.0031	.0029	.0027	.0025	.0023
3	.0140	.0131	.0123	.0115	.0107	.0100	.0093	.0087	.0081	.0076
4	.0319	.0302	.0285	.0269	.0254	.0240	.0226	.0213	.0201	.0189
5	.0581	.0005	.0530	.0506	.0483	.0460	.0439	.0418	.0398	.0378
6	.0881	.0851	.0822	.0793	.0764	.0736	.0709	.0682	.0656	.0631
7	.1145	.1118	.1091	.1064	.1037	.1010	.0982	.0955	.0928	.0901
8	.1302	.1286	.1269	.1251	.1232	.1212	.1191	.1170	.1148	.1126
9	.1317	.1315	.1311	.1306	.1300	.1293	.1284	.1274	.1263	.1251

付 録

x	m									
	9.1	9.2	9.3	9.4	9.5	9.6	9.7	9.8	9.9	10
10	.1198	.1210	.1219	.1228	.1235	.1241	.1245	.1249	.1250	.1251
11	.0991	.1012	.1031	.1049	.1067	.1083	.1098	.1112	.1125	.1137
12	.0752	.0776	.0799	.0822	.0844	.0866	.0888	.0908	.0928	.0948
13	.0526	.0549	.0572	.0594	.0617	.0640	.0662	.0685	.0707	.0729
14	.0342	.0361	.0380	.0399	.0419	.0439	.0459	.0479	.0500	.0521
15	.0208	.0221	.0235	.0250	.0265	.0281	.0297	.0313	.0330	.0347
16	.0118	.0127	.0137	.0147	.0157	.0168	.0180	.0192	.0204	.0217
17	.0063	.0069	.0075	.0081	.0088	.0095	.0103	.0111	.0119	.0128
18	.0032	.0035	.0039	.0042	.0046	.0051	.0055	.0060	.0065	.0071
19	.0015	.0017	.0019	.0021	.0023	.0026	.0028	.0031	.0034	.0037
20	.0007	.0008	.0009	.0010	.0011	.0012	.0014	.0015	.0017	.0019
21	.0003	.0003	.0004	.0004	.0005	.0006	.0006	.0007	.0008	.0009
22	.0001	.0001	.0002	.0002	.0002	.0002	.0003	.0003	.0004	.0004
23	.0000	.0001	.0001	.0001	.0001	.0001	.0001	.0001	.0002	.0002
24	.0000	.0000	.0000	.0000	.0000	.0000	.0000	.0001	.0001	.0001
x	m									
	11	12	13	14	15	16	17	18	19	20
0	.0000	.0000	.0000	.0000	.0000	.0000	.0000	.0000	.0000	.0000
1	.0002	.0001	.0000	.0000	.0000	.0000	.0000	.0000	.0000	.0000
2	.0010	.0004	.0002	.0001	.0000	.0000	.0000	.0000	.0000	.0000
3	.0037	.0018	.0008	.0004	.0002	.0001	.0000	.0000	.0000	.0000
4	.0102	.0053	.0027	.0013	.0006	.0003	.0001	.0001	.0000	.0000
5	.0224	.0127	.0070	.0037	.0019	.0010	.0005	.0002	.0001	.0001
6	.0411	.0255	.0152	.0087	.0048	.0026	.0014	.0007	.0004	.0002
7	.0646	.0437	.0281	.0174	.0104	.0060	.0034	.0018	.0010	.0005
8	.0888	.0655	.0457	.0304	.0194	.0120	.0072	.0042	.0024	.0013
9	.1085	.0874	.0661	.0473	.0324	.0213	.0135	.0083	.0050	.0029
10	.1194	.1048	.0859	.0663	.0486	.0341	.0230	.0150	.0095	.0058
11	.1194	.1144	.1015	.0884	.0663	.0496	.0355	.0245	.0164	.0106
12	.1094	.1144	.1099	.0984	.0829	.0661	.0504	.0368	.0259	.0176
13	.0926	.1056	.1099	.1060	.0956	.0814	.0658	.0509	.0378	.0271
14	.0728	.0905	.1021	.1060	.1024	.0930	.0800	.0655	.0514	.0387
15	.0534	.0724	.0885	.0989	.1024	.0992	.0906	.0786	.0650	.0516
16	.0367	.0543	.0719	.0866	.0960	.0992	.0963	.0884	.0772	.0646
17	.0237	.0383	.0550	.0713	.0847	.0934	.0963	.0936	.0863	.0760
18	.0145	.0256	.0397	.0554	.0706	.0830	.0909	.0936	.0911	.0844
19	.0084	.0161	.0272	.0409	.0557	.0699	.0814	.0887	.0911	.0888
20	.0046	.0097	.0177	.0286	.0418	.0559	.0692	.0798	.0866	.0888
21	.0024	.0055	.0109	.0191	.0299	.0426	.0560	.0684	.0783	.0846
22	.0012	.0030	.0065	.0121	.0204	.0310	.0433	.0560	.0676	.0769
23	.0006	.0016	.0037	.0074	.0133	.0216	.0320	.0438	.0559	.0669
24	.0003	.0008	.0020	.0043	.0083	.0144	.0226	.0328	.0442	.0557
25	.0001	.0004	.0010	.0024	.0050	.0092	.0154	.0237	.0336	.0446
26	.0000	.0002	.0005	.0013	.0029	.0057	.0101	.0164	.0246	.0343
27	.0000	.0001	.0002	.0007	.0016	.0034	.0063	.0109	.0173	.0254
28	.0000	.0000	.0001	.0003	.0009	.0019	.0038	.0070	.0117	.0181
29	.0000	.0000	.0001	.0002	.0004	.0011	.0023	.0044	.0077	.0125
30	.0000	.0000	.0000	.0001	.0002	.0006	.0013	.0026	.0049	.0083
31	.0000	.0000	.0000	.0000	.0001	.0003	.0007	.0015	.0030	.0054
32	.0000	.0000	.0000	.0000	.0001	.0001	.0004	.0009	.0018	.0034
33	.0000	.0000	.0000	.0000	.0000	.0001	.0002	.0005	.0010	.0020
34	.0000	.0000	.0000	.0000	.0000	.0000	.0001	.0002	.0006	.0012
35	.0000	.0000	.0000	.0000	.0000	.0000	.0000	.0001	.0003	.0007
36	.0000	.0000	.0000	.0000	.0000	.0000	.0000	.0001	.0002	.0004
37	.0000	.0000	.0000	.0000	.0000	.0000	.0000	.0000	.0001	.0002
38	.0000	.0000	.0000	.0000	.0000	.0000	.0000	.0000	.0000	.0001
39	.0000	.0000	.0000	.0000	.0000	.0000	.0000	.0000	.0000	.0001

B.5 振動図表

振幅・速度・加速度と周波数との関係早見表を下図に示します。



B.6 水蒸気表

飽和水蒸気表(温度基準)

温度 °C t	飽和圧力 kg/cm ² Ps	温度 °C t	飽和圧力 kg/cm ² Ps
0	0.006228	125	2.3666
5	0.008891	130	2.7544
10	0.012513	135	3.1923
15	0.017378	140	3.6848
20	0.023830	145	4.2369
25	0.032291	150	4.8535
30	0.043261	155	5.5401
35	0.057387	160	6.3021
40	0.075220	165	7.1454
45	0.097729	170	8.0759
50	0.12581	175	9.1000
55	0.16054	180	10.224
60	0.20316	185	11.455
65	0.25506	190	12.799
70	0.31780	195	14.263
75	0.39313	200	15.856
80	0.48297	210	19.456
85	0.58947	220	23.660
90	0.71493	230	28.534
95	0.86193	240	34.144
100	1.03323	250	40.564
105	1.2318	260	47.868
110	1.4609	270	56.137
115	1.7239	280	65.456
120	2.0245	290	75.915
		300	87.611

飽和水蒸気表(圧力基準)

圧力 kg/cm ² P	飽和温度 °C ta	圧力 kg/cm ² P	飽和温度 °C ta
0.1	45.45	3.6	139.18
0.2	59.66	3.8	141.09
0.3	68.67	4.0	142.92
0.4	75.41	4.2	146.38
0.5	80.86	5.0	151.11
0.6	85.45	6	158.08
0.7	89.45	7	164.17
0.8	92.99	8	169.61
0.9	96.18	9	174.53
1.0	99.09	10	179.04
1.1	101.76	11	183.20
1.2	104.25	12	187.08
1.3	106.56	13	190.71
1.4	108.74	14	194.13
1.5	110.79	15	197.36
1.6	112.73	16	200.43
1.8	116.33	17	203.36
2.0	119.62	18	206.15
2.2	122.64	19	208.82
2.4	125.46	20	211.38
2.6	128.08	25	222.90
2.8	130.55	30	232.75
3.0	132.88	35	241.41
3.2	135.08	40	249.17
3.4	137.18	45	256.22
		50	262.70

(機械学会改訂水蒸気表より抜粋)

[注] 1kg/cm²=0.9678atm

C. 信頼性理論

C.1 信頼性の尺度

C.1.1 故障率と信頼度関数

n 個のサンプルについて一定時間間隔 h ごとに観測して図 C.1 に示すような故障数の度数分布を得たとします。すなわち、 $t_i - t_{i-1} = h$ の間で r_i 個の故障が発生し、 t_n 時間ですべてのサンプルが故障したとします。

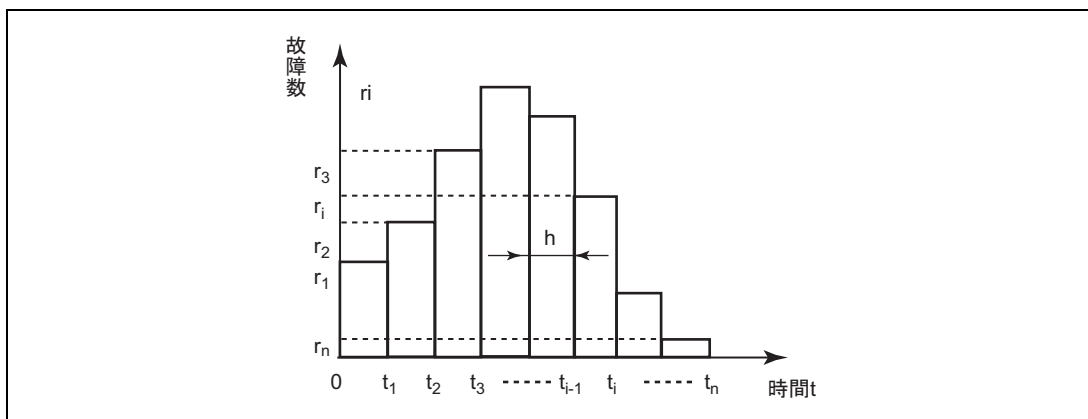


図 C.1 故障数の離散時間分布

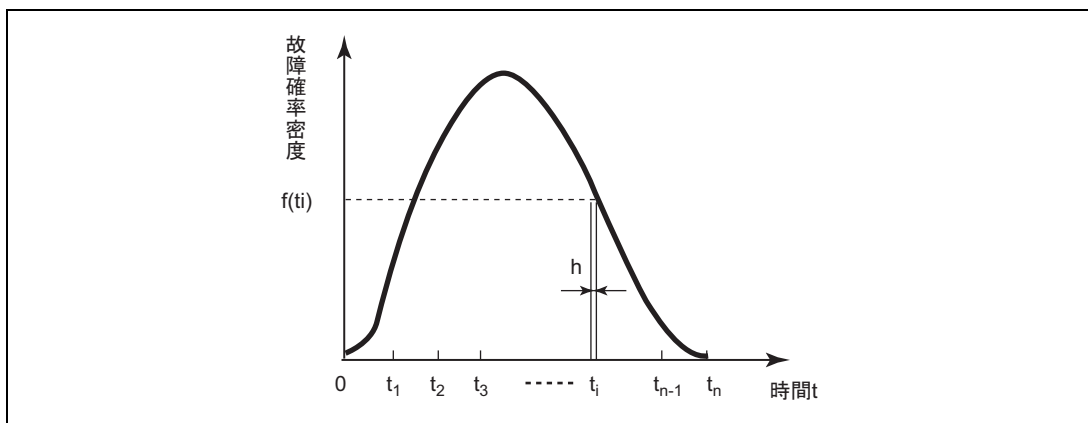


図 C.2 故障数の連続時間分布

i 番目の測定時間後の残存数は、 $n_i = n - \sum_{i=1}^i r_i$ です。時間 t_{i-1} と t_i の間における平均故障率 $\hat{\lambda}(t_{i-1}, t_i)$ は、

$$\hat{\lambda}(t_{i-1}, t_i) = \frac{r_i}{n_i - 1} \cdot \frac{1}{h} \quad (\text{付-1})$$

となります。

時間間隔 h を限りなく小さくし、故障確率密度関数 $f(t)$ を用いれば故障発生の連続分布を示した図 C.2 について、時間 t_i と t_i+h の間における瞬間故障率 $\lambda(t_i, t_i+h)$ は、

$$\lambda(t_i, t_i+h) = \frac{f(t_i) \cdot h}{\int_{t_i}^{\infty} f(t) dt} \cdot \frac{1}{h} = \frac{f(t_i)}{\int_{t_i}^{\infty} f(t) dt} \quad (\text{付-2})$$

となります。

図 C.2 のモデルを一般化して、式(付-2)では t_n を ∞ とします。

時間 t_i までにデバイスが故障する確率 $F(t_i)$ を故障分布関数(または不信頼度関数)、また時間 t_i までに故障しない確率 $R(t_i)$ を信頼度関数といいます。(図 C.3)

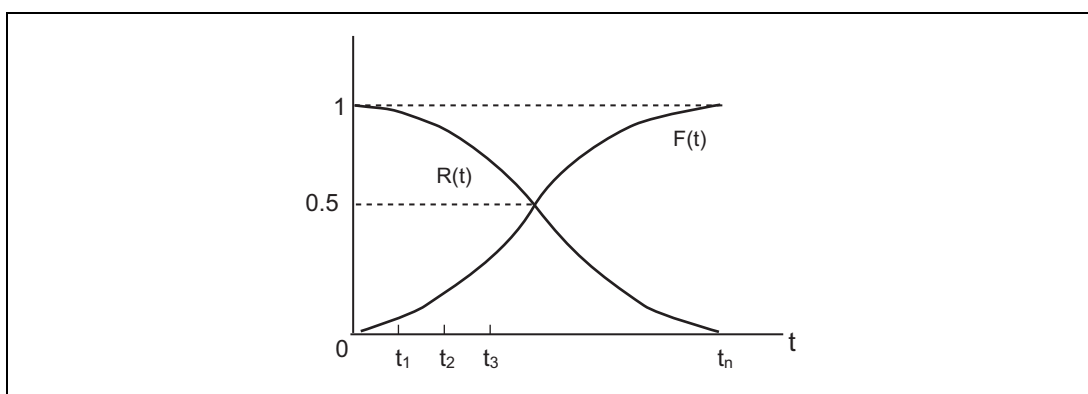


図 C.3 故障分布関数 $F(t)$ と信頼度関数 $R(t)$

$$F(t_i) = \int_0^{t_i} f(t) dt \quad (\text{付-3})$$

$$R(t_i) = 1 - F(t_i) = \int_{t_i}^{\infty} f(t) dt \quad (\text{付-4})$$

ある半導体デバイスが時間 t と $t+dt$ の間で故障する確率 P は、時間 t まで故障しない確率 $R(t)$ 及び時間 t と $t+dt$ の間の瞬間故障率 $\lambda(t)dt$ の積であるから、

$$P = f(t)dt = R(t) \cdot \lambda(t)dt$$

$$\therefore \lambda(t) = \frac{f(t)}{R(t)} \quad (\text{付-5})$$

となります。

故障率 $\lambda(t)$ は、また式(付-4)の関係を使って、

$$\lambda(t) = -\frac{1}{R(t)} \frac{d}{dt} R(t) = \frac{d}{dt} \ln R(t) \quad (\text{付-6})$$

$$R(t) = \exp\left(-\int_0^t \lambda(t) dt\right) \quad (\text{付-7})$$

となります。

C.1.2 信頼度の表現

図 C.1 または図 C.2 の分布の形を特長づける量としてしばしば用いられる平均値(または期待値) μ 及び分散 σ^2 (σ を標準偏差という)は、それぞれ次式で定義されます。

$$\left. \begin{aligned} \mu &= \int_0^{\infty} t f(t) dt \\ \sigma^2 &= \int_0^{\infty} (t - \mu)^2 f(t) dt = \int_0^{\infty} t^2 f(t) dt - \mu^2 \end{aligned} \right\} \begin{array}{l} \text{(連続分布)} \\ \text{(付-8)} \end{array}$$

$$\left. \begin{aligned} \mu &= \sum_{i=0}^{\infty} t_i f(t_i) \\ \sigma^2 &= \sum_{i=0}^{\infty} (t_i - \mu)^2 f(t_i) = \sum_{i=0}^{\infty} t_i^2 f(t_i) - \mu^2 \end{aligned} \right\} \begin{array}{l} \text{(離散分布)} \\ \text{(付-9)} \end{array}$$

時間 t まで稼働したデバイスが、その後に期待される寿命(余命) $L(t)$ は、

$$\left. \begin{aligned} L(t) &= \frac{1}{R(\gamma)} \left\{ \gamma - t + \int_{\gamma}^{\infty} R(t) dt \right\} & (t \leq \gamma) \\ L(t) &= \frac{1}{R(t)} \int_{\gamma}^{\infty} R(x) dx = \frac{1}{R(t)} \int_0^{\infty} R(t + y) dy & (\gamma \leq t) \end{aligned} \right\} \text{(付-10)}$$

となります。

ここに γ は、着目しているデバイスの故障分布関数(付-3)が $0 \leq t \leq \gamma$ の初期稼働期間において

$$F(t)=0 (0 \leq t \leq \gamma)$$

であって、時間 γ を経過した後には値をもつという意味の定数(位置の位数)です。

故障した半導体デバイスを新品のデバイスと交換して再び使うことができるような修理可能な設備または機器において、相隣る故障間の動作時間の平均値を MTBF (Mean Time Between Failures) といいます。

今、ある電子装置が廃棄処分になるまでの全寿命期間中、相隣る故障間の動作時間が t_1, t_2, \dots, t_n であったとすると、MTBF は、次のようになる。

$$MTBF = \frac{t_1 + t_2 + \dots + t_n}{n} \quad \text{(付-11)}$$

ここでは、最終寿命に至るまでの全稼働時間で測定されているため、 (t_1, t_2, \dots, t_n) を完全試料といいます。装置の寿命が尽きてから MTBF が分かったのでは実用的ではないため、ある稼働時間 T_0 までの打ち切りによって MTBF を推定する場合があります(時間打ち切り)。

$$MTBF = \frac{t_1 + t_2 + \dots + t_r + (n - r) T_0}{n} \quad \text{(付-12)}$$

式(付-12)で、 r は時間 T_0 までに起った故障回数です。また、 r 回までの故障を経験したところでの打ち切りによって推定する場合があります(個数打ち切り)。

$$MTBF = \frac{t_1 + t_2 + \dots + t_r + (n - r) T_0}{r} \quad \text{(付-13)}$$

式(付-12)または式(付-13)における n は着目する機器の故障内容に対応して設定されます(例えば、そこに使われてい

る半導体デバイスの総数とか、機器を廃棄処分に付すべき規定最大故障回数など)。

半導体デバイスは一度故障すると、例外的な事例を除き一般に修理して再び使うことはできません。このようなものは、保全を伴わない部品といえます。保全を伴わない部品(複数)の故障までの平均時間をMTTF(Mean Time to Failure)といえます。ある稼働時間 t を経たデバイスの残存時間寿命 $L(t)$ は、式(付-10)から明らかのように、MTTF から実稼働時間を引いた値には等しくなりません。このことは成人の平均余命が新生児の平均寿命からその人の実際の年齢を引いたものと必ずしも一致しないことと同じです。

故障率 $\lambda(t)$ が時間 t によらず一定値 λ である期間では、式(付-7)を使って、

$$\text{MTTF} = \int_0^{\infty} R(t)dt = \int_0^{\infty} e^{-\lambda t} dt = \frac{1}{\lambda} \quad (\text{付-14})$$

となります。

故障率の程度を示す単位の一つとして、

$$1 \times 10^9 (\text{故障数} / (\text{稼働デバイス数} \times \text{稼働時間})) = 1\text{FIT} \quad (\text{付-15})$$

が用いられます。例えば、ある半導体デバイスの「故障率が 10FIT である」ということは、「故障デバイスを発生する確率が 10^8 コンポーネント・アワーで 1 個の割合である」という意味に解釈するのが正しく、「その半導体デバイスの寿命は 10^8 時間である」と解釈するのは正しくありません。なぜならば、定義式(付-15)の分母の総稼働時間(コンポーネント・アワー)は、どの特定のデバイスに着目したものでないためです。

C.2 複合デバイスの信頼性

C.2.1 直列系と並列系

n 個の半導体デバイスが直列に使われ、このうちのいずれか 1 個が故障したらこの複合デバイス全体が故障する場合を冗長度 0 の直列系といえます(図 C.4)。ここで、各構成デバイスの故障は独立に起こり、それらは相互に影響を与えず、 i 番目のデバイスの信頼度関数を $R_i(t)$ ($i=1,2,\dots,n$) とします。この直列系の信頼度関数 $R(t)$ は、次のよう表されます。

$$R(t) = \prod_{i=1}^n R_i(t) \quad (\text{付-16})$$

集積回路のモデルにおいて、式(付-3)を、

$$\lambda p = C_1 \pi_1 + C_2 \pi_2$$

$$\text{Where} \quad \pi_1 = \pi_Q \times \pi_T \times \pi_V \times \pi_L$$

$$\pi_2 = \pi_Q \times \pi_E \times \pi_L$$

とすると、集積回路の信頼度関数式(付-7)は式(付-16)を適用して次のように表されます。

$$R(t) = e^{-\lambda p t} = e^{-C_1 \pi_1 t} \cdot e^{-C_2 \pi_2 t} = R_1(t) \cdot R_2(t)$$

$$\text{Where} \quad R_1(t) = e^{-C_1 \pi_1 t}$$

$$R_2(t) = e^{-C_2 \pi_2 t}$$

したがって、式(付-3)は集積回路に回路複雑度起因する故障要因(C_1)とパッケージ複雑度起因する故障要因(C_2)から成る冗長度 0 の直列系モデル(図 C.4)を適用して導かれたものです。この他の集積回路及び混成集積回路の各式もこの考え方を基本として同様に導かれます。

n 個の半導体デバイスが並列に使われ、このうち少なくとも 1 個が動作可能な限りこの複合デバイス全体が作動可能な場合を冗長度 $n-1$ の並列系といいます(図 C.5)。ここでも、各構成デバイスの故障は独立でその影響は他のデバイスに及ばないとしてます。

i 番目のデバイスの故障分布関数を $F_i(t)$ ($i=1,2,\dots,n$) とすれば、この並列系の故障分布関数 $F(t)$ は次のようになります。

$$F(t) = \prod_{i=1}^n F_i(t) \quad (\text{付-17})$$

$$R(t) = 1 - F(t) \quad (\text{付-18})$$

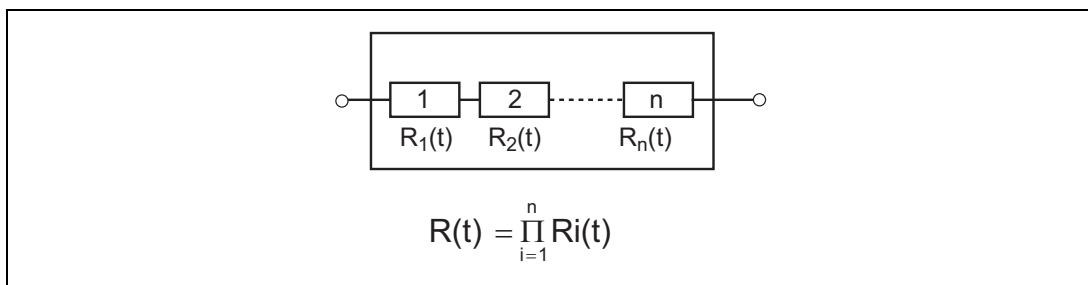


図 C.4 直列系モデルの信頼度関数

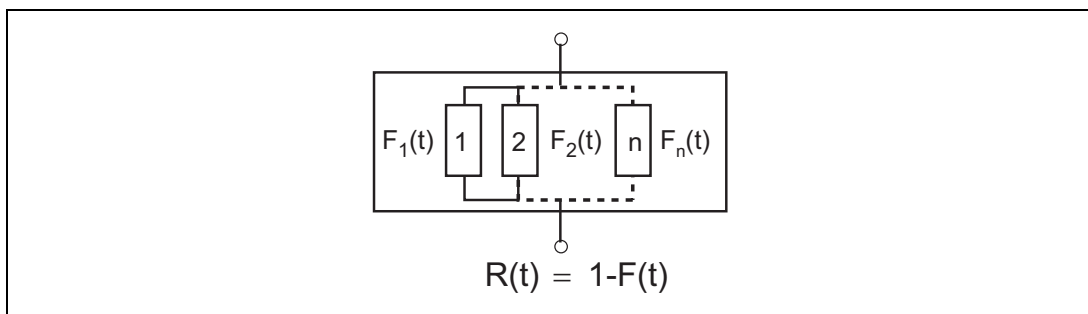


図 C.5 並列系モデルの信頼度関数

C.2.2 応用事例

i 番目のユニットに n_i 個のデバイスが並列になっており、 m 個のユニットが直列に接続されたシステム(図 C.6)及び m 個直列 n 個並列に接続されたシステム(図 C.7)の信頼度関数を考えます。なお、図 C.6 で第 i ユニット内のデバイスの信頼度関数は同一で $R_i(t)$ とします。また、図 C.7 で i 番目の直列デバイス R_{ij} ($j=1,2,\dots,m$) の信頼度関数は同一で $R_i(t)$ とします。

このとき、図 C.6 のシステムに対して

$$R(t) = \prod_{i=1}^m \{1 - (R_i(t))^{n_i}\} \quad (\text{付-19})$$

となり、図 C.7 のシステムに対しては、

$$R(t) = 1 - (1 - \prod_{i=1}^m R_i(t))^n \quad (\text{付-20})$$

となります。

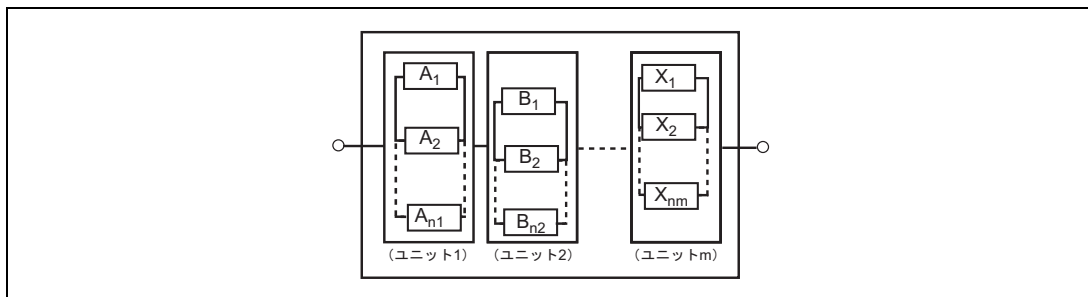


図 C.6 直列・並列複合モデル (1)

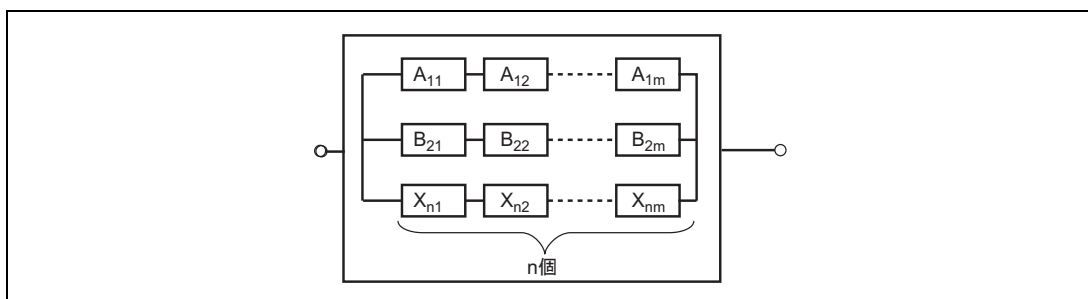


図 C.7 直列・並列複合モデル (2)

C.2.3 待機冗長システム

図 C.5 の並列系モデルにおいて n 個のデバイスに切り替えスイッチを取り付け、一つのデバイスが故障するたびに次のデバイスにスイッチが切り替わるようにします(図 C.8)。

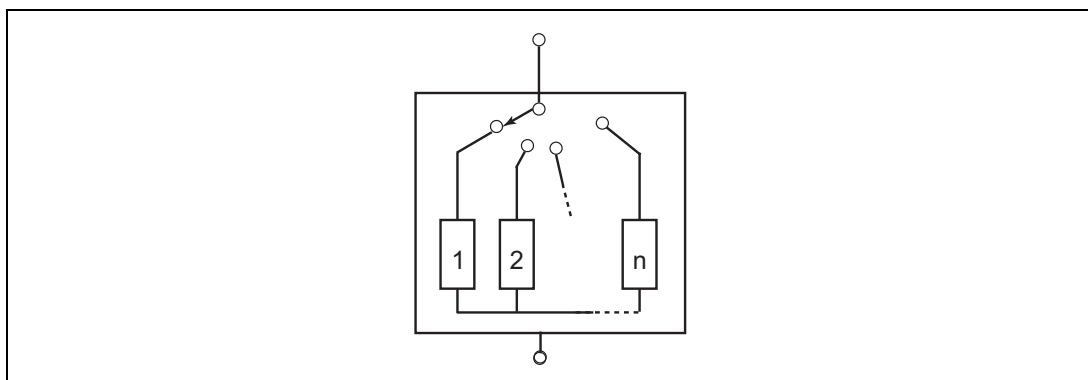


図 C.8 待機冗長形モデル

ここでは、簡単に切り替えスイッチは故障しないものとし、また n 個のデバイスの故障率は等しく λ とします。このシステムの信頼度関数 $R(t)$ はポアソンの部分和で与えられます。これについては、「D.9 ポアソン分布」で説明します。

$$R(t) = e^{-\lambda t} \sum_{i=0}^{n-1} \frac{(\lambda t)^i}{i!} \quad (\text{付-21})$$

また、切り替えスイッチの故障率はどの切り替えステップでも一定で λ_k とすれば、信頼度関数は次のようになります。

$$R(t) = e^{-\{\lambda+(n-1)\lambda_k\}t} \sum_{i=0}^{n-1} \frac{(\lambda t)^i}{i!} \quad (\text{付-22})$$

C.3 加速寿命試験の故障モデル

C.3.1 反応論モデル

デバイスを構成するある要素の特性値を X とし、この X が X_L という状態まで変化したときにデバイスが故障すると考えます。この特性値 X の変化量について熱ストレスによる加速性に着目する場合、アレニウスの化学反応速度論がしばしば用いられます。

化学反応では分子が反応可能なエネルギー(活性化エネルギー)状態以上に活性化されることにより反応作用が生じますが、温度が高い程分子の有するエネルギーは高くなるため、反応作用は促進されます。アレニウスは経験的な化学反応速度 K を次式で表しました。

$$K = \Lambda e^{-\frac{\Delta E}{kT}} \quad (\text{付-23})$$

Λ : 実験定数

k : ボルツマン定数

ΔE : 活性化エネルギー (kcal/mol)

T : 絶対温度 (K)

半導体デバイスの信頼性を考える場合、通常、活性化エネルギーはエレクトロンボルト(eV)の単位で表します。すなわち、

$$K = \Lambda e^{-\frac{\Delta E}{kT}} = \Lambda e^{11606 \times \left(-\frac{B}{T}\right)} \quad (\text{付-24})$$

B : 活性化エネルギー (eV)

1eV= 23.05kcal/mol → 11,606K に相当します。

C.3.2 アイリングモデル

温度以外に電圧ストレスや機械的ストレスの影響も考慮した故障モデルとして、アレニウスの反応論モデルを発展させたアイリングモデルがあります。アイリングモデルの反応速度 K は、次の式で表せます。

$$K = A \left(\frac{kT}{h} \right) \cdot e^{-\frac{\Delta E}{kT}} \cdot e^{\left\{ f(s) \cdot \left(C + \frac{D}{kT} \right) \right\}} \quad (\text{付-25})$$

A, C, D : 定数

ΔE : 活性化エネルギー

k : ボルツマン定数

T : 絶対温度 (K)

h : プランク定数

$f(s)$: 温度以外のストレス s の関数

ここで

$$f(s) = 1ns, \quad C + \frac{D}{kT} = F$$

とすれば、T の狭い領域で式(付-25)は近似的に、

$$K = \Lambda T e^{-\frac{B}{T}} F \tag{付-26}$$

と表すことができます。

C.3.3 加速係数

ある半導体デバイスで断続通電試験を行ったところ、そのストレスによって経時的にリーク電流の増加が見られたとします。デバイスの劣化状態 f は図 C.9 に示すように断続通電サイクル n が増加するにつれてリーク電流 i の増大として観測されると考え、リーク電流 i の関数としてデバイスの劣化の程度が表されるものとします。C.3.1 項の特性値 X として i をとり、デバイスの故障に至ったときの値 X_L として故障判定基準の電流値 iR_{MAX} を対応させます。このとき、

$$f = f(i) \tag{付-27}$$

とします。

さて、加速寿命試験における反応速度 K は本来の定義からデバイスの状態劣化の進行の速さのことであるから、

$$K = \frac{df(i)}{dt} \tag{付-28}$$

$$\therefore f(i) = Kt \tag{付-29}$$

と表すことができます。

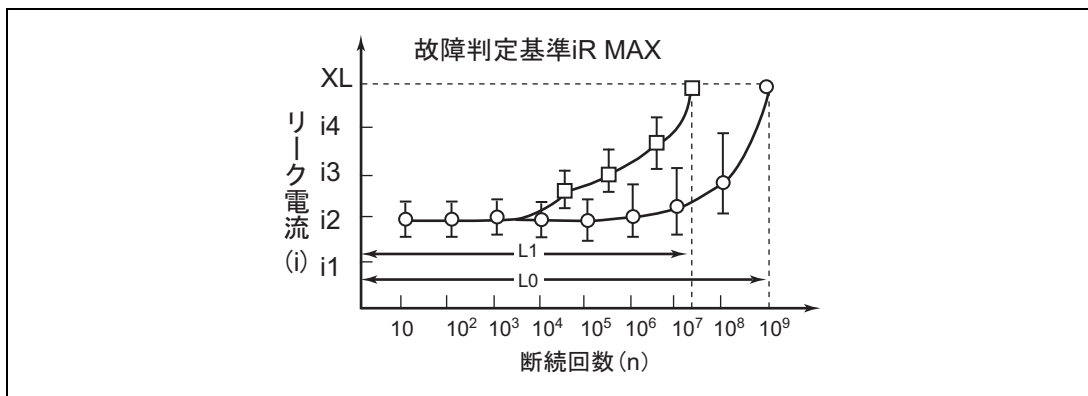


図 C.9 断続通電試験のデータ事例

ところで、断続通電試験による劣化のパターン f は通電電流によっても変動します。図 C.9 中の○印はデバイスの定格電流を流した場合、また□印は定格電流の 1.5 倍でオンオフさせた場合の電流値をプロットしたものです。いずれの場合も $i = iR_{MAX}$ に達したときにデバイスは不良と判定することから、これら二つの試験条件を添え字 0, 1 で表して、それぞれの場合のデバイスの寿命は、

$$L_0 = \frac{f(iR_{MAX})}{K_0}, L_1 = \frac{f(iR_{MAX})}{K_1} \tag{付-30}$$

となります。

この場合、電流による加速係数 α_I は

$$\alpha_I = \frac{L_0}{L_1} = \frac{K_1}{K_0} \quad (\text{添え字0は定格条件のときを示す}) \quad (\text{付-31})$$

となります。

ここでは簡潔に説明するために図 C.9 のような具体的な事例について示しましたが、状態関数 $f(X)$ と状態を規定する特性値を X として以上の議論を一般化することができます。次の記述では X と $f(X)$ を用いることとし、アレニウスの式(付-24)において、式(付-29)を関係づければ、

$$K = \Lambda e^{-\frac{\Delta E}{kT}} = \frac{f(X)}{X} \quad (\text{付-32})$$

となります。

ここで、C.3.1 項でも述べたように特性値 $X=XL$ で寿命 L に達するとすれば、式(付-32)は、

$$K = \frac{f(XL)}{L} \quad (\text{付-32})$$

と表されます。したがって、温度と寿命の関係式は、

$$\ln L = \ln f(XL) - \ln \Lambda + \frac{\Delta E}{kT} \quad (\text{付-33})$$

を得ます。温度が支配的な要因となる寿命試験を対数正規分布によって検証する根拠は式(付-33)に基づいています。また、基準状態(例えば、標準的な使用条件)での温度、寿命をそれぞれ T_0 、 L_0 とし、加速状態でのそれらを T_1 、 L_1 とすれば、温度による加速係数 α_T は式(付-32)を参照して、

$$\alpha_T = \frac{L_0}{L_1} = e^{\frac{\Delta E}{k} \left(\frac{1}{T_0} - \frac{1}{T_1} \right)} \quad (\text{付-34})$$

となります。

温度による加速性は式(付-34)からも明らかとなり、活性化エネルギー ΔE によって変わります。活性化エネルギーと加速係数の関係を図 C.10 に示します。

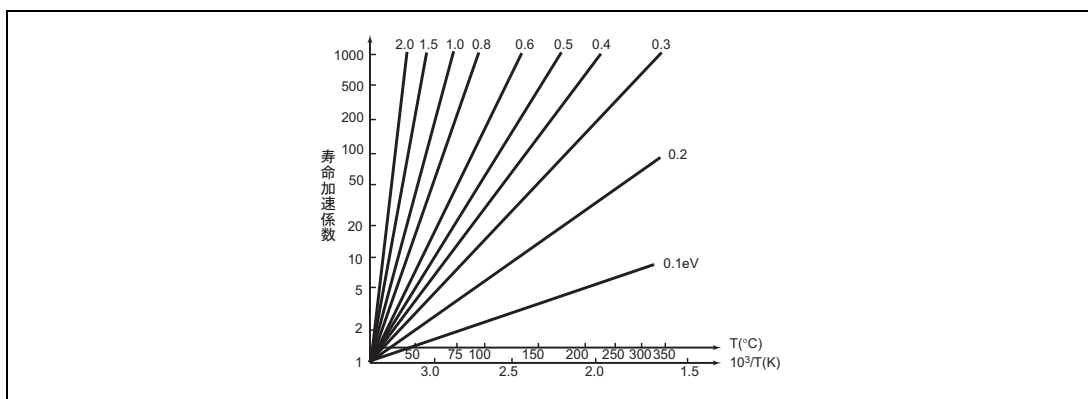


図 C.10 活性化エネルギーと加速係数の関係

C.4 試験結果の解析

C.4.1 ワイブル確率紙の使い方⁴⁾⁵⁾

(a) ワイブル確率紙の用途

信頼性試験から得られた寿命データや強度データがワイブル分布に従うかどうかを判定し、さらに、ワイブル分布のパラメータを図式的に求めるために、ワイブル確率紙を用います。なお、データは試験時間 t (ストレス強度値でもよい) 対累積故障確率 $F(t)$ の組としてプロットします。

(b) ワイブル確率紙の構成

図 C.11 にワイブル確率紙の基本構成を示します。右端に示すように縦軸を $\ln \ln \{1/(1-F(t))\}$ で等間隔に目盛り、上端に示すように横軸を $\ln t$ で等間隔に目盛りがあります。また、対応する $F(t)$ を左端に、 t を下端に目盛りがあります。

以下に、 $\ln \ln \{1/(1-F(t))\} = 0$ の主軸を X_0 軸、 $\ln t = 0$ の主軸を Y_0 軸と称して説明します。

特に、 $X_0=1$ 、 $Y_0=0$ の点を○印で示します。さらに、 m に対応した μ/η 、 σ/η 、 $F(\mu)$ のモグラフィを添えてあるものが、一般的なワイブル確率紙の構成です。一般的な例を図 C.12 に示します。

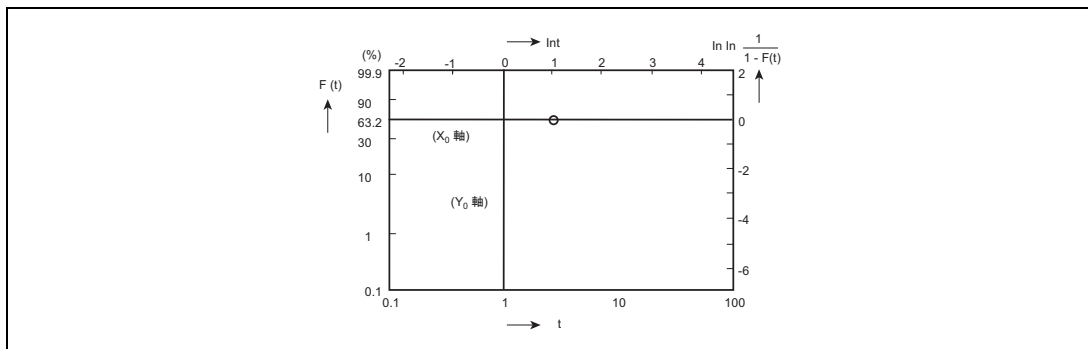


図 C.11 ワイブル確率紙の基本構成

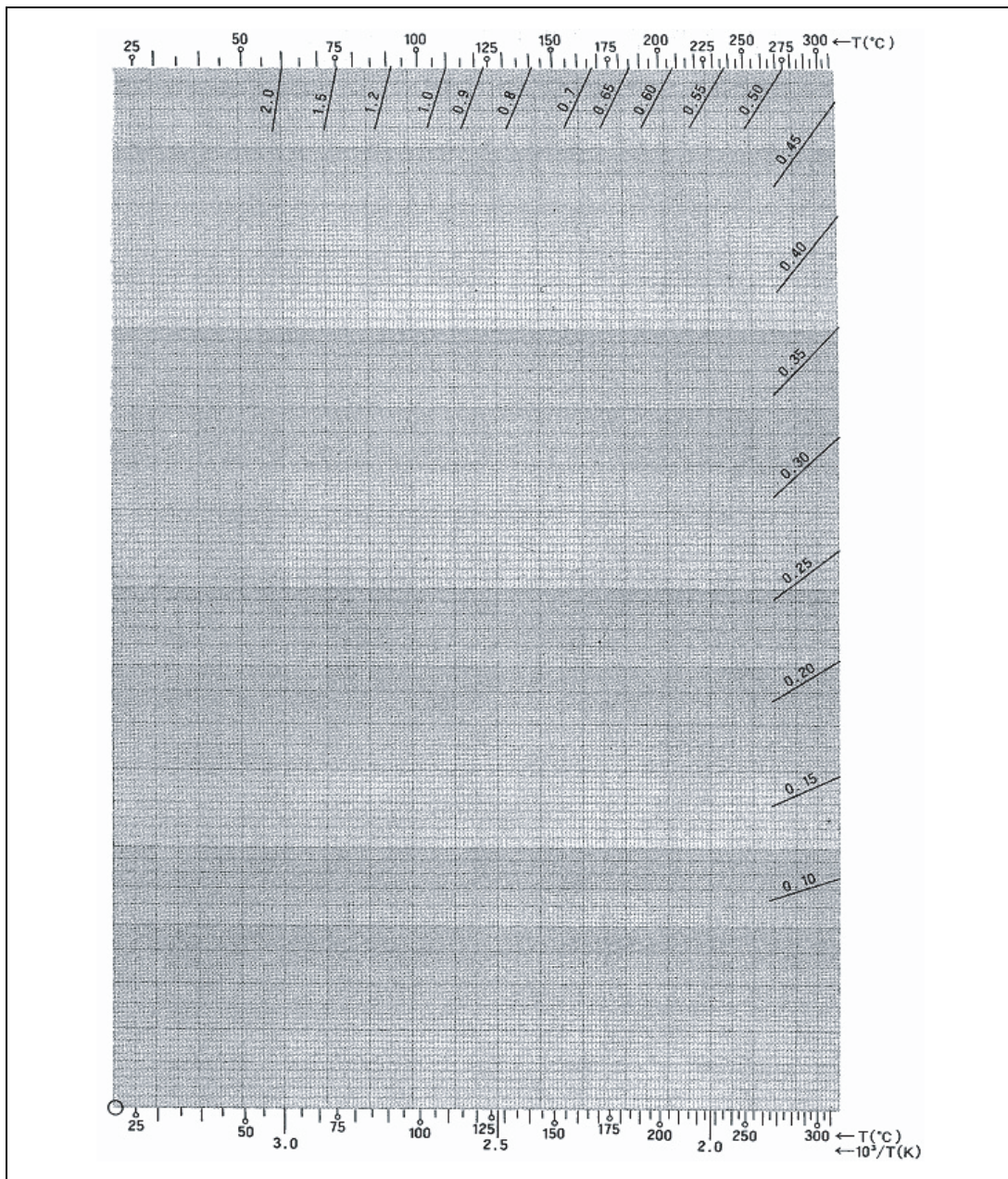


図 C.12 活性化エネルギーと加速性の関係を求めるチャート

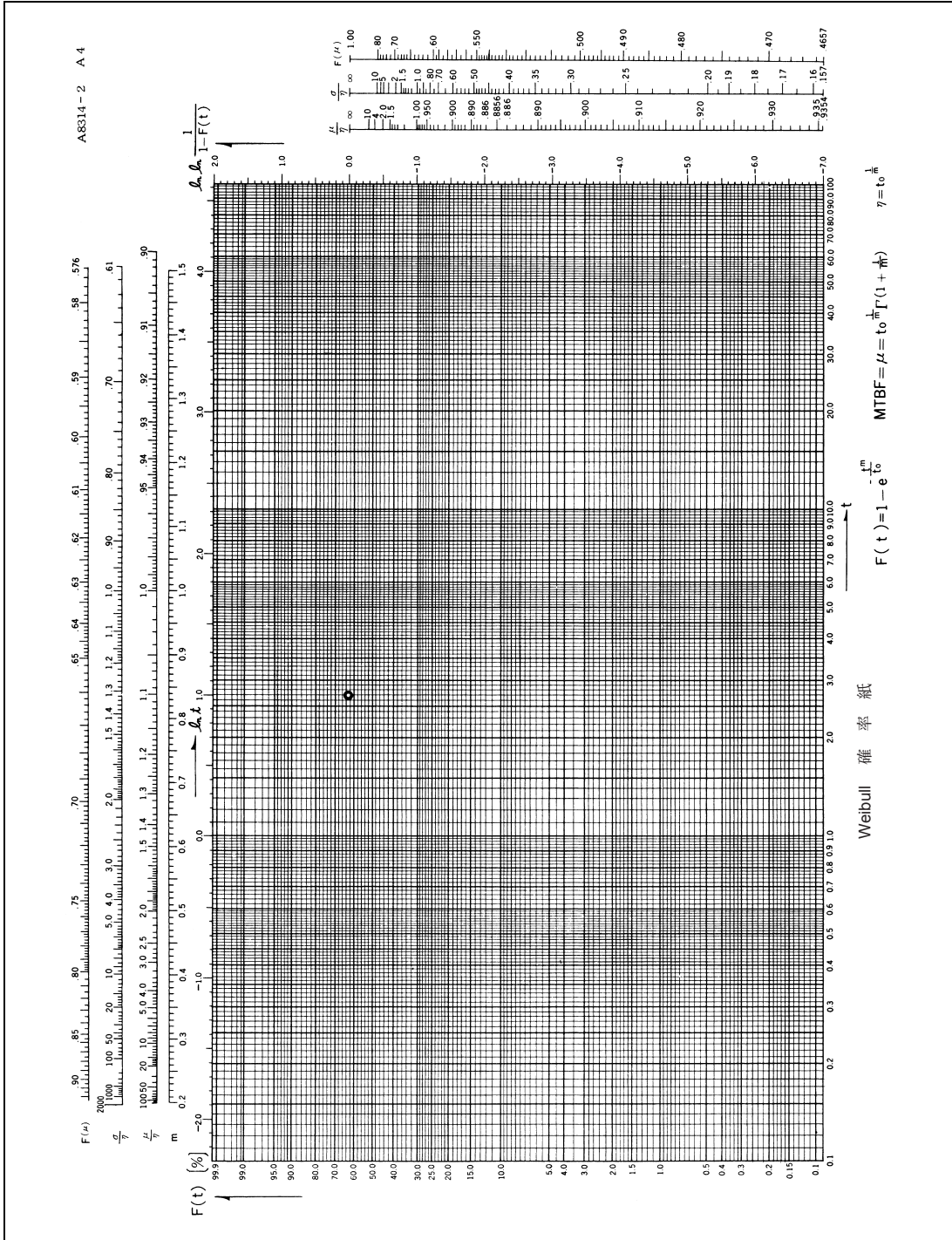


図 C.13 ワイブル確率紙の例

(c) ワイブル確率紙の原理

ワイブル分布における故障は、ワイブルの故障分布解析関数において、形状のパラメータ m 、尺度のパラメータ t_0 、特性寿命 $\eta = t_0 \frac{1}{m}$ を用い、位置のパラメータ $\gamma=0$ にすると

$$F(t) = 1 - e^{-\frac{t^m}{t_0^m}} = 1 - e^{-\left(\frac{t}{\eta}\right)^m} \quad (C4-1)$$

と表わされ、**図 C.13** の構成のワイブル確率紙上直線となります。また、ワイブル分布の平均値 μ 、標準偏差 σ 、故障分布 $F(\mu)$ はガンマ関数 $\Gamma(z) = \int_0^{\infty} e^{-t} t^{z-1} dt$ を用いて

$$\mu = \eta \Gamma\left(1 + \frac{1}{m}\right) \quad (C4-2)$$

$$\sigma = \eta \sqrt{\Gamma\left(1 + \frac{2}{m}\right) - \Gamma^2\left(1 + \frac{1}{m}\right)} \quad (C4-3)$$

$$F(\mu) = 1 - e^{-\left\{1 + \frac{1}{m}\right\}^m} \quad (C4-4)$$

と表されるので μ/η 、 σ/η 、 $F(\mu)$ は m のみの関数であり、 m に対応したノモグラフを構成することができます。

(d) ワイブル確率紙の使用手順

(1) データからワイブル確率紙にプロットする。

サンプルの総数を n 、それぞれのサンプルが故障した時間 t までの累積故障数を r とした場合、平均ランク法により $F(t) = r/(n+1)$ を求めます。

次に、ワイブル確率紙にプロットし、直線を当てはめます。なお、適当な位置へプロットできるよう、下側の目盛りは 10^a を乗じておきます (a は正または負の整数)。曲線が当てはまる時は、適当な γ を探して、 t を $(t-\gamma)$ で置き換えてプロットし、直線が当てはまるようにします。

(2) パラメータをワイブル確率紙上で求める。

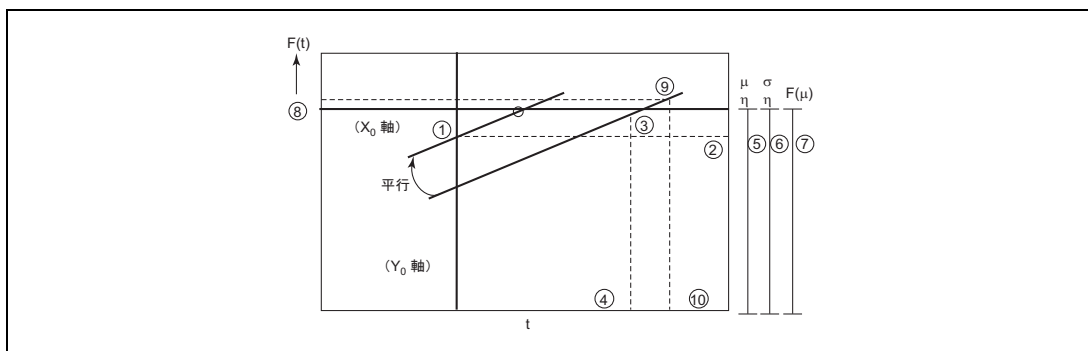


図 C.14 ワイブル確率紙の使用手順

直線の傾き m を上端の目盛りと右端の目盛りを用いて求めます。簡単には、**図 C.14** に示すように○印を通る平行直線が Y_0 軸となす切片を右端の目盛りで読み取り、符号を逆にしたものが m 値となります(①→②)。

η は、直線が X_0 軸となす切片を下端の目盛りで読んだものです(③→④)。なお、直線が下すぎる時は、 Y_0 軸との切片を右端の目盛りで読んだ値が $-\ln t_0$ に相当することを用いて、次の式から求めることもできます。

$$\eta = e^{\left(\frac{1}{m} \cdot \ln t_0\right)}$$

μ , σ は m 値に対応して μ/η 尺, σ/η 尺の値を読み取り, η に乗じて求めます(②→⑤, ⑥)。なお, ワイブル確率紙の上部にある拡大目盛のノモグラフを用いてもよいです。また, μ を簡単に求めるには, m 値に対応した $F(\mu)$ を $F(\mu)$ 尺で求め, 直線の $F(\mu)$ に相当する t を μ とする方法があります(②→⑦→⑧→⑨→⑩)。

なお, (1)で γ を用いた時は, μ は $(\mu+\gamma)$, η は $(\eta+\gamma)$ と補正したものが求める値です。

(3) 当てはめた直線からの主な解釈³⁾

得られた m 値と, 故障度数の対応を主要なものについて, 複合モデルの場合も含め, 図 C.15 に示します。

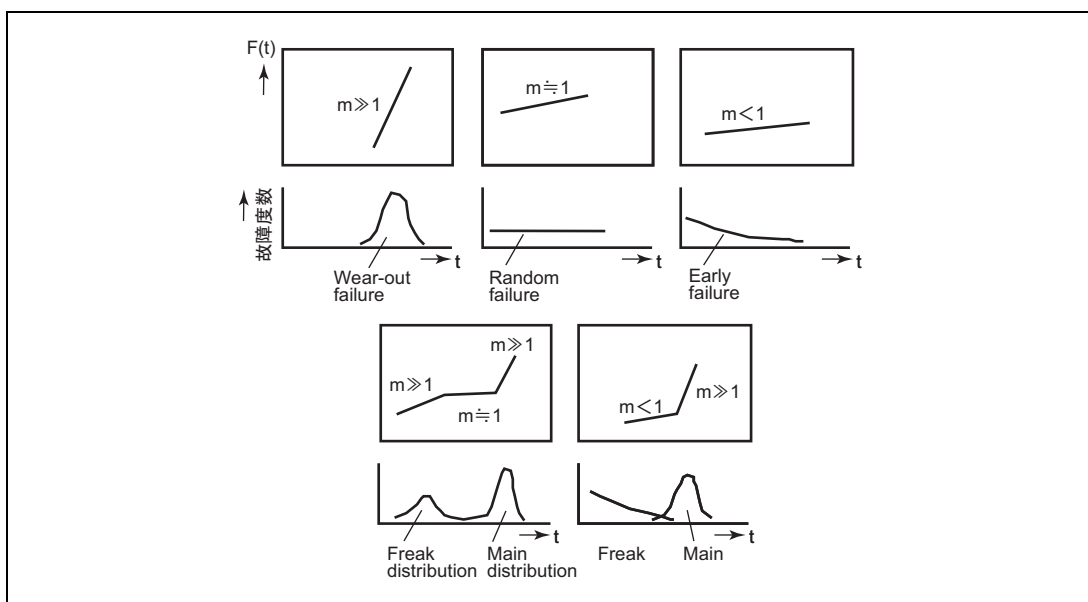


図 C.15 ワイブル確率紙上のプロットと故障度数の対応例

C.4.2 累積ハザード紙の使い方⁴⁾⁵⁾

(a) 累積ハザード紙の用途

信頼性試験で発生した故障品に複数の故障モードがあって, その故障モードごとに分布のパラメータを調べたい場合や, データの一部に中途打ち切りデータが含まれているような場合に, ワイブル確率紙にプロットしようとするとデータに複雑な処理を行う必要がありますが, 累積ハザード確率紙を用いると容易にプロットできます。なお, データは試験時間 t (ストレス強度値でもよい) 対累積ハザード値 $H(t)$ の組としてプロットします。次に, ワイブル型累積ハザード紙についてのみ説明します。

(b) ワイブル型累積ハザード紙の構成

図 C.16 にワイブル型累積ハザード紙の基本構成を示します。図 C.11 のワイブル確率紙と比較すると、縦軸は累積ハザード $H(t)$ で目盛りがついているのと異なり、他は同じです。なお、図 C.17 で紹介する例(日科技連製)では、ノモグラフが μ/η , σ/η , t^*/η 尺であり、 $F(\mu)$ 尺はなく、左側には $H(t)$ に対応して $F(t)$ 尺を有しています。

(c) ワイブル型累積ハザード紙の原理

累積ハザードを $H(t) = \int_0^t h(t) dt$ とすると、

$$F(t) = 1 - e^{-\int_0^t h(t) dt} = 1 - e^{-H(t)} \tag{C4-5}$$

となり、これをワイブル分布を示す式(C4-5)と対応すると、

$$1 - e^{-H(t)} = 1 - e^{-\left(\frac{t}{\eta}\right)^m}$$

となります。よって、 $H(t)$ は次式で表せます。

$$H(t) = \left(\frac{t}{\eta}\right)^m$$

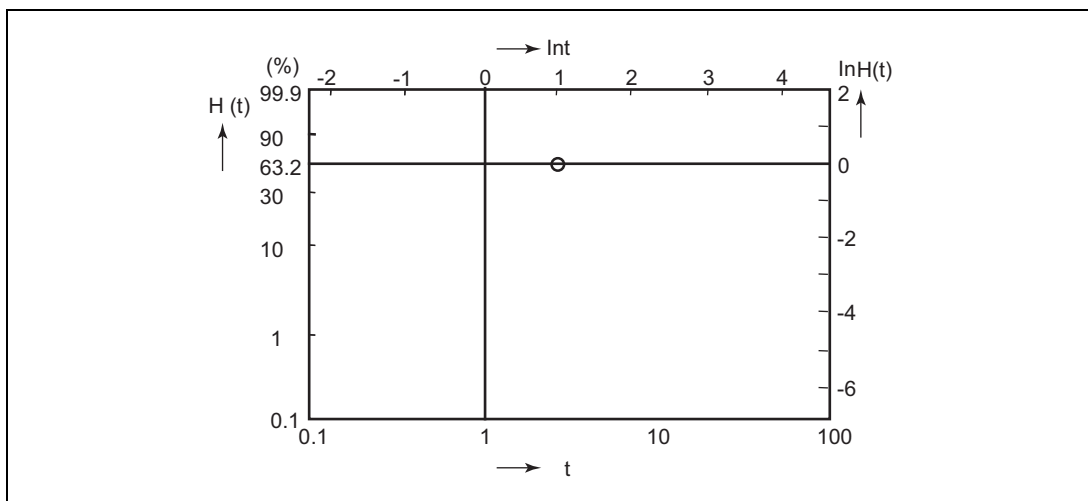


図 C.16 ワイブル型ハザード紙の基本構成

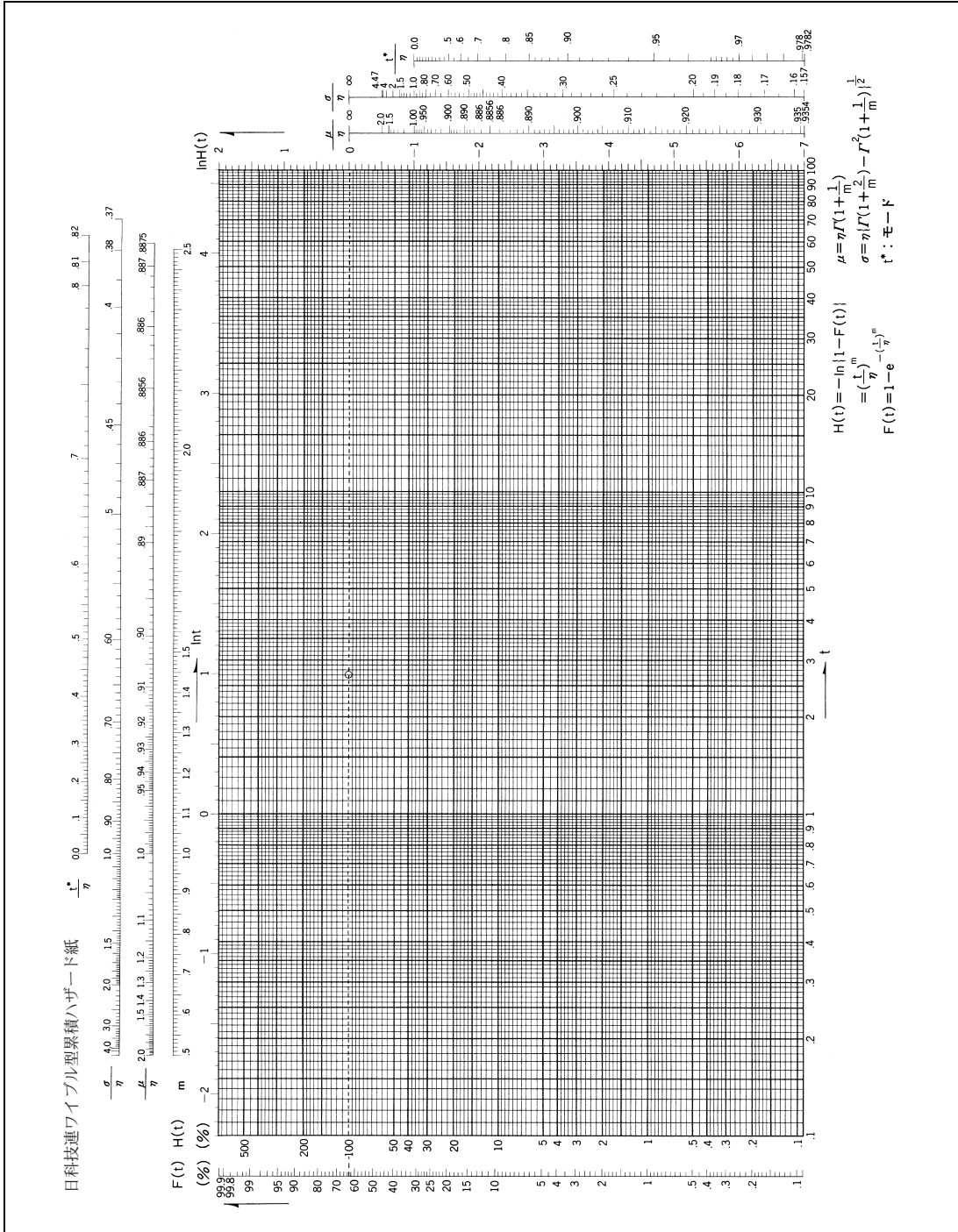


図 C.17 ワイブル型ハザード紙の例

この式の両辺の対数をとると、次式ようになります。

$$\ln H(t) = m(\ln t - \ln \eta) \quad (\text{C4-6})$$

ここで、 $Y = \ln H(t)$ 、 $X = \ln t$ 、 $b = -\ln \eta m$ とすると、式(C4-6)は、 $Y = mX + b$ となる一次式となり、ワイブル型ハザード紙上で直線となります。

参考までに式(C4-5)から得られる累積故障率 $F(t)$ と累積ハザード $H(t)$ の関係を図 C.18 に示します。 $t = \eta$ (特性寿命) の時、 $H(\eta) = 1$ 、 $F(\eta) = 0.632$ となります。

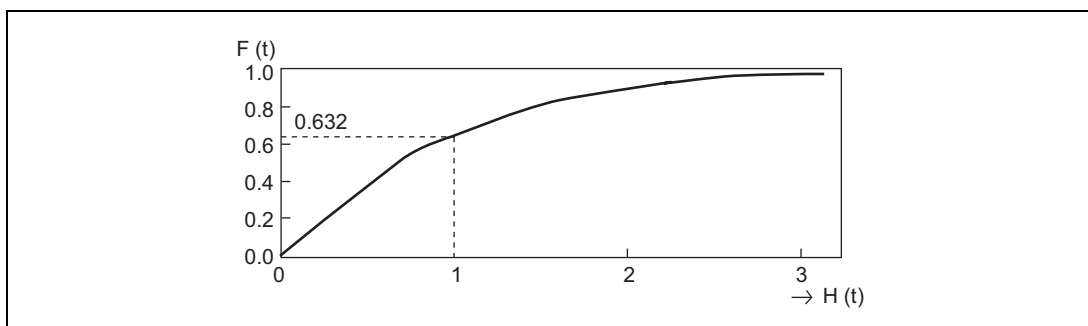


図 C.18 F(t)と H(t)の関係

(d) ワイブル型累積ハザード紙の使用手順

(1) ワークシートの準備

試験データから累積ハザード値を求めるために、図 C.19 に示すようなワークシートを準備すると便利です。

(2) データの順位づけと記入

観測された故障時間または打ち切り時間を小さい値から順にワークシートの t_i 欄に記入します。同時に順位 i を 1 から、さらにサンプル番号と故障モードを記入し、同時に右側のグラフに t_i をグラフ表示します。このグラフから、データの大小関係を視覚的に再確認します。なお、故障モードを記入する時、中途打ち切りは C (censored) と記入します。

(3) 累積ハザード $H(t_i)$ を求める。

まず、ハザード値 $h(t_i)$ を求めます。サンプルの総数を n とし、順位 j から逆順位 $K_i = n - i + 1$ を求めワークシートに記入します。次に、ハザード値 $h(t_i) = 1 / K_i \times 100 (\%)$ を求めて記入します。この $h(t_i)$ を累積すれば $H(t_i)$ が求められるが、複数の故障モードがあって故障モードごとに解析したい場合は、故障モード M_i に対応する $h(t_i)$ のみを逐次加えたものを、 $H_j(t_i)$ とすれば可能になります。

ワークシートの記入例を図 C.20 に示します。

サ ン プ ル 番 号	順 位	逆順位	観測値	位置パラ メータ修正	故障 モード	ハザード 値	累積ハザード値Hj (ti)		
	i	$K_i = n - i + 1$	ti 単位 (h)	—	Mj	h(ti) %	M ₁ (A)	M ₂ (B)	M ₃ ()
#4	1	10	200		A	10.0	10.00		
#7	2	9	300		B	11.11		11.11	
#5	3	8	300		A	12.50	22.50		
#9	4	7	800		C				
#2	5	6	800		A	16.67	39.17		
#8	6	5	800		C				
#1	7	4	900		B	25.00		36.11	
#3	8	3	1000		C				
#6	9	2	1600		B	50.00		86.11	
#10	10	1	2500		B	100.0		186.11	

【注】 C: Censored
位置パラメータ $\gamma = 0$

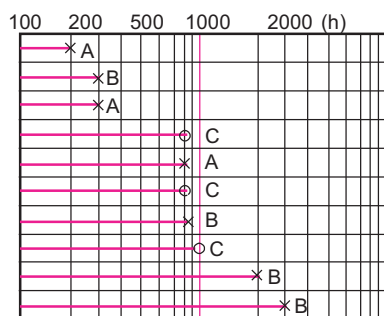


図 C.20 ワークシートの記入例

(4) 累積ハザード紙へプロットする。

故障モード別に、 $H_j(t_i)$ と t_i の組をプロットし、直線を当てはめます。曲線が当てはまる時は適当な γ を探して、 t を $(t-\gamma)$ で置き換えて、直線が当てはまるようにします。

この後、C.4.1と同様に m 、 η 、 μ 、 σ を求めます。図C.17に紹介した様式ではモード(最繁値) t^* も求められます。

C.4.3 MIL-HDBK-217 での予測方法について

現在では上述の信頼性試験での寿命データからの推定が可能であることから、殆ど、信頼性データによる推定が使われていますが、信頼性データがない場合に、MIL-HDBK-217の予測法がユーザで実施されることがあります。ただし、この方法は、後述します様に信頼性データによる推定に比べて算出方法が大きくなる傾向があることを注意する必要があります。

このMIL-HDBK-217「電子機器の信頼度予測」は、陸軍省、連邦政府の諸機関及び産業界の援助によって米国防総省が開発したものです。

MIL-HDBK-217制定の目的は、軍用電子機器及びシステムの信頼度を予測するための統一方法として設定され、軍用電子機器及びシステムの取得プログラム段階における信頼度予測に対する共通基盤を与えるものです。また、関連するあるいは競合する設計の信頼度予測を比較したり評価したりするための共通基盤として設定されています。

このMIL-HDBK-217に記載されているデータは、MIL規格によって調達された膨大な数の軍用電子機器のデータをフィールド使用に基づいて集計されています。そして、米国防総省が軍用電子機器を調達する際の要求事項として制定したものであるため、各ファクタに対して安全係数を充分見込んだものとなっています。

したがって、算定した故障率は一般的に信頼性試験から推定したものより大きくなる傾向にあります。同一製品にて信頼性試験から推定の故障率とMILによる故障率を比較すると、MILの方が10～100倍程度高く算出されます。

D. 信頼度解析のための確率モデル

D.1 ベルヌイ試行

ある半導体デバイスの母集団から抜き取った1個のサンプルについてテストを行います。テスト結果は、①「故障した、不良」、②「異常なし、合格」の二つの場合のいずれかだけで、判定保留や特別採用などの例外はありません。この「サンプリング→テスト→判定」のサイクルをn回繰り返し試行します。1回のテストで①「故障」の起こる確率をp、②「異常なし」の起こる確率をqとし(p+q=1)、各回のテストにわたってp、qの値は一定とします。また、各回のテスト結果は独立であって他の回のテスト結果に影響を与えないものとします。このような離散形モデルをベルヌイ試行またはベルヌイ標本といいます。いま、話をわかりやすくするために①、②を故障の有無としたが、試行結果をとり得る場合の数がただ二つに確定できることがベルヌイ試行の本質的条件です。

D.2 二項分布 fBin(x,n,p)

ベルヌイ試行においてn回のテストのうちx回が①となり、n-x回が②の結果になるという事象の起こる確率fBin(x,n,p)を二項確率分布といいます。

$$\left. \begin{aligned} f \text{Bin}(x,n,p) &= \binom{n}{x} p^x q^{n-x} = \frac{n!}{x!(n-x)!} p^x q^{n-x} \\ \mu &= np, \quad \sigma^2 = npq \end{aligned} \right\} \quad (\text{付-35})$$

平均不良率がpの大きな数の母集団から無作為に抽出したn個のサンプルロットの中にx個の不良品が入る確率は二項確率分布の代表例です。

D.3 負の二項分布 fneg-bin(x,n,p)及び多項分布 fmulti-bin(x1,x2,...xm,n,p1,p2...pm)

ベルヌイ試行において、①「故障」がx回発見されるまでに要するテスト回数nを考えます。最初n-1回のテストで①がx-1回、②が(n-1)-(x-1)=n-x回起こり、その後の第n回目に最後のx回目の故障が発見される確率fneg-bin(x,n,p)は、

$$f \text{neg-bin}(x,n,p) = \binom{n-1}{x-1} p^{x-1} \cdot q^{(n-1)-(x-1)} \cdot p = \binom{n-1}{n-x} p^x q^{n-x} \quad (\text{付-36})$$

二項係数の性質によって、

$$\binom{-x}{x-1} = (-1)^{n-x} \binom{n-1}{n-x}$$

であるため、式(D-2)から、

$$\begin{aligned} \sum_{n=x}^{\infty} f \text{neg-bin}(x,n,p) &= \sum_{n=x}^{\infty} \binom{n-1}{n-x} p^x q^{n-x} = p^x \sum_{n=x}^{\infty} (-1)^{n-x} \binom{-x}{n-x} q^{n-x} \\ &= p^x \sum_{r=0}^{\infty} \binom{-x}{r} (-q)^r = p^x (1-q)^{-x} = 1 \end{aligned} \quad (\text{付-37})$$

$f_{\text{neg-bin}}(x, n, p) \geq 0$ であることを考慮すれば式(付-37)によって、

$$\left. \begin{aligned} f_{\text{neg-bin}}(x, n, p) &= \binom{n-1}{n-x} p^x q^{n-x} = \binom{-x}{n-x} p^x q^{n-x} \\ \mu &= \frac{xq}{p}, \quad \sigma^2 = \frac{xq}{p^2} \end{aligned} \right\} \quad (\text{付-38})$$

となり、この式によって与えられる確率分布を負の二項分布といいます。

デバイスのテスト結果が単に合格、不合格の二つの場合に限定されず、 m 個のクラス(E_1, E_2, \dots, E_m)に分類される場合、各クラス分類にテスト品が現れる確率 $f_{\text{multi-bin}}(x_1, x_2, \dots, x_m, n, p_1, p_2, \dots, p_m)$ を考えます。いま、テストを n 回繰り返し、テスト結果は E_1, E_2, \dots, E_m のいずれかになるものとします。結果 E_i が起こる確率は p_i で、 n 回の繰り返しテストによって結果 E_i が x_i 回 ($\sum_{i=1}^m x_i = n, n \geq x_i \geq 0$) 起こるものとします。このとき、 m 個のクラス(E_1, E_2, \dots, E_m)にそれぞれ x_1, x_2, \dots, x_m 回の結果が現れる確率 $f_{\text{multi-bin}}(x_1, x_2, \dots, x_m, n, p_1, p_2, \dots, p_m)$ を多項分布といいます。

$$f_{\text{multi-bin}}(x_1, x_2, \dots, x_m, n, p_1, p_2, \dots, p_m) = \frac{n!}{x_1! x_2! \dots x_m!} p_1^{x_1} p_2^{x_2} \dots p_m^{x_m} \quad (\text{付-39})$$

多項分布は二項分布を m 変数に拡張したものです。

D.4 幾何分布 $f_{\text{Geo}}(n, p)$

ベルヌイ試行において、第 n 回目のテストで初めて①「故障品が発見される」という事象の起こる確率を幾何分布 $f_{\text{Geo}}(n, p)$ といいます。

$$\left. \begin{aligned} f_{\text{Geo}}(n, p) &= q^{n-1} p \quad (n = 1, 2, \dots) \\ \mu &= \frac{q}{p}, \quad \sigma^2 = \frac{q}{p^2} \end{aligned} \right\} \quad (\text{付-40})$$

幾何分布は、負の二項分布式(付-38)において $x=1$ の場合に相当します。幾何分布の平均 μ は、ベルヌイ試行で結果が初めて①になるまでのテスト回数の期待値を意味します。幾何分布の故障分布関数は、

$$F_{\text{Geo}}(N, p) = \sum_{n=1}^N f_{\text{Geo}}(n, p) = p + qp + q^2 p + \dots + q^{N-1} p = 1 - q^N$$

となります。一回のテストの合格率 q が高くても ($q > 1$) テスト回数 N を大きくしていけば、いずれは故障品が発見される ($\lim_{N \rightarrow \infty} F_{\text{Geo}}(N, p) = 1$) ことを示しています。

D.5 超幾何分布 $f_{\text{H-geo}}(N, R, n, x)$

大量生産される半導体製品において、大きさ N の製造母集団からその一部の n 個をサンプリングし、その検査結果で母集団の処置を決める、いわゆる抜き取り検査方法は非常によく用いられます。いま母ロットの製品が N 個であって、このうち R 個の不良がある(全数検査をしないと R はわからない)場合、無作為に抜き取った n 個の検査によって x 個の不良品が発見される確率 $f_{\text{H-geo}}(N, R, n, x)$ を考えます。 R と n の小さい方を $\min(R, n)$ として、

$$\left. \begin{aligned}
 f_{H-geo}(N, R, n, x) &= \frac{\binom{R}{x} \binom{N-R}{n-x}}{\binom{N}{n}} \quad (0 \leq x \leq \min(R, n)) \\
 \mu &= n \frac{R}{N} = np, \quad \sigma^2 = \frac{N-n}{N-1} npq
 \end{aligned} \right\} \quad (\text{付-41})$$

これを超幾何分布の確率関数といいます。N個中からn個を取り出すとき、1個取ったら、これを再び元へ戻し、いつもN個の中から1個を取り出すという復元操作では二項分布となり、取り出したものを元へ戻さない(非復元)ときは超幾何分布となります。しかし、母ロットの数が大きいときは、抜き取り検査による不良発見確率は二項分布で近似して問題ありません。実際、式(付-41)を展開して積の項の順序を入れ替えると、

$$f_{H-geo}(N, R, n, x) = \binom{n}{x} \prod_{j=0}^{x-1} \frac{R-i}{N-i} \prod_{j=0}^{n-x-1} \left(1 - \frac{R-x}{N-x-j} \right) \quad (\text{付-42})$$

となります。 $\frac{R}{N} = p$ を一定に保ち、 $N, R \rightarrow \infty$ としたとき、有限のn(従って有限のx)に対して、

$$\lim_{N, R \rightarrow \infty} \prod_{i=0}^{x-1} \frac{R-i}{N-i} = \left(\frac{R}{N} \right)^x = p^x, \quad \lim_{N, R \rightarrow \infty} \prod_{j=0}^{n-x-1} \left(1 - \frac{R-x}{N-x-j} \right) = \left(1 - \frac{R}{N} \right)^{n-x} = (1-p)^{n-x}$$

となることに注意すれば、式(付-42)は $N, R \rightarrow \infty$ の極限において、次式ようになります。

$$f_{H-geo}(N, R, n, x) \rightarrow \binom{n}{x} p^x (1-p)^{n-x} = f_{Bin}(x, n, p) \quad (\text{付-43})$$

n個抜き取り検査で発見された不良個数xが、ある決められた限界値cを超えなければ、そのロットは合格にするというやり方で実際の抜き取り検査は運用されます。母集団不良率 $p \left(= \frac{R}{N} \right)$ のロットからn個抜き取り検査したときの不良個数xがcを超えない(すなわち合格と判定される)確率(ロット合格率) Ψ は、次式によって求めることができます。

$$\Psi = \sum_{x=0}^c f_{H-geo}(N, Np, n, x) = \sum_{x=0}^c \frac{\binom{Np}{x} \binom{Nq}{n-x}}{\binom{N}{n}} \quad (\text{付-44})$$

式(付-44)から明らかなように、ロット合格率 Ψ はnとcをどう取るかによって同じ品質水準(pが同じ)の母ロットに対して変わります。この様子を示したのが図D.1の作用特性曲線(OC曲線)です。横軸は母ロットに不良品が混入している率 $p \left(= \frac{R}{N} \right)$ 、縦軸は抜き取り検査によってそのロットが合格と判定される確率 Ψ を表します。

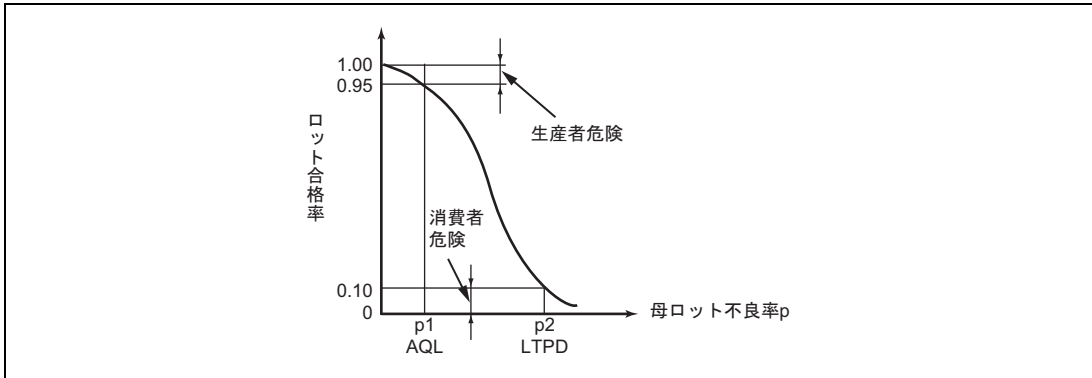


図 D.1 OC 曲線

ロット合格率が 95% であるような不良率 p_1 を設定して行う抜き取り検査方式を AQL (Acceptable Quality Level) 方式といいます。この場合、本来合格にしてもよい品質水準 (不良率 p_1) のロットのうちの 5% を抜き取り検査によって不合格を判定し、生産者はこの 5% を出荷することをあきらめます。この不合格判定の危険は生産者の損失を意味するので生産者危険といえます。

不良率 p_2 のロットが合格する確率が 10% であることを規定して行う抜き取り検査方式を LTPD (Lot Tolerance Percent Defective) 方式といいます。この場合、消費者が不良率 p_2 のロットを手に入れる危険が 10% であることを意味するので消費者危険といえます。

AQL は合格すべき品質水準のうち一番レベルの低いものとして不良率 p_1 をもつロットに着目しているのに対し、LTPD は不良率が p_2 以下であることを 90% の確かさで確認すると解釈されます。

D.6 指数分布 $f_{exp}(t)$

偶発故障領域では故障率が経時的に一定で、この場合式 (付-7) から

$$\left. \begin{aligned} R(t) &= e^{-\lambda t} \\ f_{exp}(t) &= \lambda e^{-\lambda t} \end{aligned} \right\} \quad \text{(付-45)}$$

$$\left. \mu = \frac{1}{\lambda} = \text{MTTF (または MTBF)}, \quad \sigma^2 = \frac{1}{\lambda^2} \right\} \quad \text{(付-46)}$$

故障率が一定なモデルを連続的に観測した場合と一定時間ごとに離散的に観測した場合、 t 時間後に最初の故障を発見する確率を考えることにより、指数分布と幾何分布の対応関係を示すことができます。

あるロットのシリコンウエハの表面上に浮遊塵埃によって平均 r カ所のマスク欠陥が生じたとします。ウエハ面積 S を多数の微小部分に分割し、この分割部分ごとに顕微鏡目視検査によってウエハの一端から逐次調べてゆくこととします。空気中の塵はウエハのどこに付着するかわからないため、これによるマスク欠陥の発生場所はまったくランダムであると考えられます。したがって、この場合の故障率 λ はウエハの全面にわたり一定で、 $\lambda = \frac{r}{S}$ としてよい。ウエハの分割一単位の面積を C とすると、この一分割単位にマスク欠陥が存在する確率 p は

$$p = C \lambda \quad \text{(付-47)}$$

最初のマスク欠陥が第 x 番目の分割単位, すなわち検査した面積で t の部分 ($t=Cx$) で発見されたとすれば, この事象の起こる確率は t を含む区間 C で平均的に幾何分布 $pq^{x-1} = p(1-p)^{x-1}$ である。一方, マスク欠陥の発見期待値は検査面積 t と検査回数 x 回において等しいから(図 D.2),

$$\text{マスク欠陥の発見期待値} = \lambda t = xp \quad (\text{付-48})$$

となります。

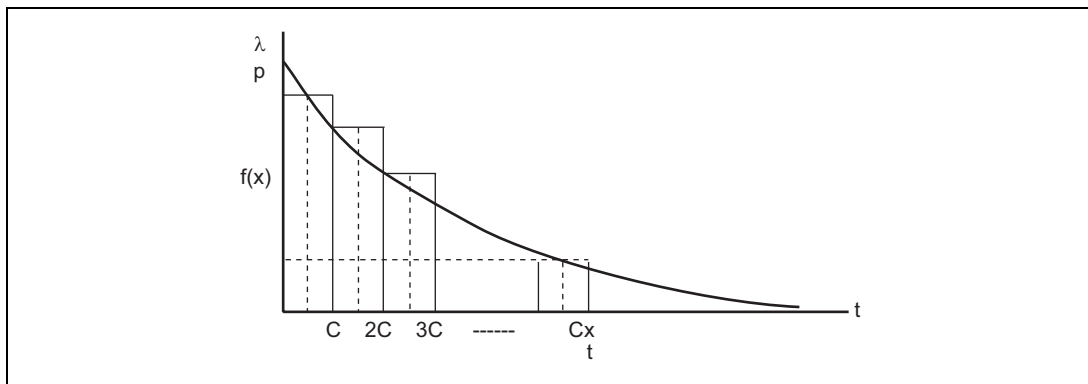


図 D.2 幾何分布と指数分布の対応関係

ところで連続的な観測とは, 分割面積 C を限りなく小さくすることであり, このとき分割部分 C 内での平均的な発見確率はウエハ面上の点におけるマスク欠陥の存在確率に近づいていきます。

式(付-47), 式(付-48)の関係に注目して,

$$\lim_{C \rightarrow 0} \frac{1}{C} pq^{x-1} = \lim_{C \rightarrow 0} \frac{P}{C} (1-p)^{x-1} = \lambda \lim_{p \rightarrow 0} [(1-p)^{\frac{1}{p}}]^{\lambda t} \cdot \frac{1}{1-p} = \lambda e^{-\lambda t} \quad (\text{付-49})$$

すなわち, 指数分布は幾何分布の極限という意味を持っています。

D.7 パスカル分布 $f_{\text{Pas}}(x, y, p)$

$n=x+y$ 回のベルヌイ試行において, ①「故障」が x 回, ②「異常なし」が y 回起こり, かつ, 最後の n 回目は必ず①で終わるという事象の起こる確率 $f_{\text{Pas}}(x, y, p)$ をパスカル確率分布といいます。

$$\left. \begin{aligned} f_{\text{Pas}}(x, y, p) &= \binom{x+y-1}{y} p^x q^y \\ \mu &= \frac{qy}{p}, \quad \sigma^2 = \frac{qy}{p^2} \end{aligned} \right\} \quad (\text{付-50})$$

パスカル分布において特に $x=1$ のときは幾何分布となります。

$$f_{\text{Pas}}(1, y, p) = pq^y = f_{\text{Geo}}(y+1, p) \quad (\text{付-51})$$

流れ生産されている製品を製造ラインの中から無作為に抜き取って中間検査するとします。その製造工程で不良品ができる確率を p とします。 $n=x+r$ 個を抜き取って検査したとき, r 個目の不良品を発見する確率はパスカル分布に従います。

パスカル分布は $n-1$ 回のベルヌイ試行において、事象①が $x-1$ 回起こり最後の n 回目で必ず事象①が起こると解釈すれば、二項分布と関係づけられます。

$$f_{\text{Pas}}(x, y, p) = p f_{\text{Bin}}(x-1, n-1, p) \quad \text{ただし } n = x + y \quad (\text{付-52})$$

D.8 ガンマ分布 $f_{\Gamma}(t, \alpha, \beta)$

パスカル分布式(付-50)において、次の関係が成り立ちます。

$$f_{\text{Pas}}(x, y, p) = \frac{p(n-1)}{x-1} f_{\text{Pas}}(x-1, y, p), \quad \text{ただし } n = x + y \quad (\text{付-53})$$

一方、式(付-51)、式(付-49)から

$$f_{\text{Pas}}(1, y, p) = f_{\text{Geo}}(y+1, p) \rightarrow f_{\text{exp}}(\lambda t) = \lambda e^{-\lambda t} \quad (\text{付-54})$$

式(付-54)で矢印 \rightarrow は離散的な観測の分割単位 C を限りなく小さくする操作 $\lim_{C \rightarrow 0}$ 、式(付-49)による対応関係を示すものです。式(付-53)、式(付-54)の関係を使って $x=1, 2, 3, \dots$ に対するパスカル確率密度関数を順次求めれば、

$$x = 1: f_{\text{Pas}}(1, y, p) \rightarrow \lambda e^{-\lambda t} \quad (\text{付-55})$$

$$x = 2: f_{\text{Pas}}(2, y, p) = \frac{p(n-1)}{1} f_{\text{Pas}}(1, y, p) = \frac{\lambda t}{1} f_{\text{Pas}}(1, y, p) \rightarrow \frac{\lambda t}{1} \lambda e^{-\lambda t} \quad (\text{付-56})$$

式(付-56)では式(付-48)の関係を用いました。以下同様にして、

$$x = 3: f_{\text{Pas}}(3, y, p) = \frac{\lambda t}{1} \cdot \frac{\lambda t}{2} f_{\text{Pas}}(1, y, p) \rightarrow \frac{(\lambda t)^2}{2!} \lambda e^{-\lambda t}$$

一般式は

$$f_{\text{Pas}}(x, y, p) \rightarrow \lambda \frac{(\lambda t)^{x-1}}{(x-1)!} e^{-\lambda t} \equiv f_{\Gamma}(t, x, \lambda) \quad (\text{付-57})$$

このようにして $f_{\text{Pas}}(x, y, p)$ に対応して式(付-57)によって導びかれた関数 $f_{\Gamma}(t, x, \lambda)$ をガンマ確率密度関数といいます。式(付-57)について $\int_0^{\infty} dt$ の規格化定数を計算すれば一般的なガンマ分布の表現、

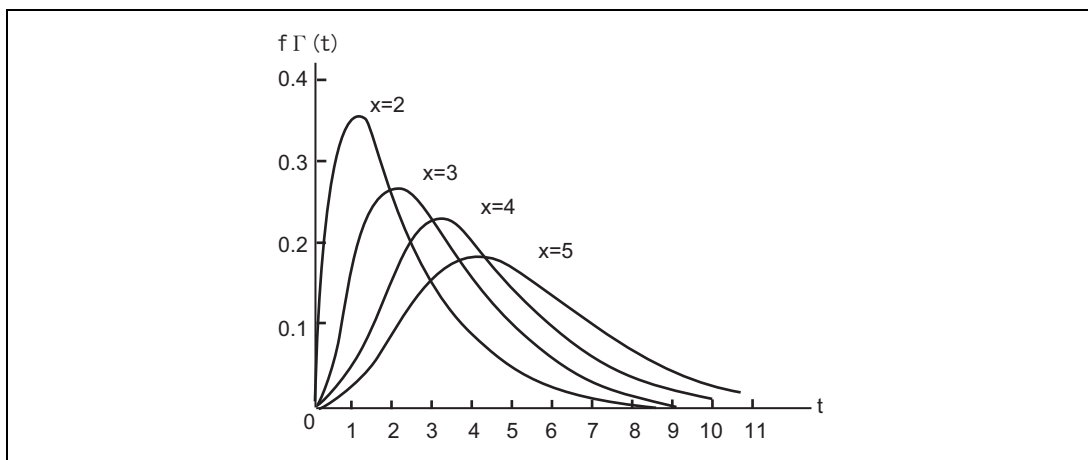
$$f_{\Gamma}(t, \alpha, \beta) = \frac{\alpha}{\Gamma(\beta)} (\alpha t)^{\beta-1} e^{-\alpha t} \quad (\text{付-58})$$

となります。

ガンマ分布式(付-58)において β を形のパラメータ、 α を尺度のパラメータといいます。

式(付-57)で $\lambda=1$ の場合のグラフを  **D.3** に示します。

$$f_{\Gamma}(t, x, 1) = \frac{1}{(x-1)!} t^{x-1} e^{-t} \quad (\text{付-59})$$

図 D.3 ガンマ確率密度関数 $f_{\Gamma}(t, x, 1)$ のグラフ

ガンマ分布の導入過程式(付-55)～式(付-57)から明らかのように、パスカル分布とガンマ分布は同一の確率モデルに対する離散形分布と連続形分布の関係にあります。

ガンマ分布式(付-57)において特に $x=1$ の場合は指数分布式(付-46)になります。一方パスカル分布において $x=1$ の場合が幾何分布式(付-51)です。このことは幾何分布と指数分布が離散形分布と連続形分布の関係式(付-49)にあることに対応しています。またガンマ分布は故障の発生がポアソン過程に従うとみなせる場合の故障確率密度関数です。これについてはポアソン分布(D.9 項)で述べます。

D.9 ポアソン分布 $f_{\text{Pois}}(x)$

人工衛星に搭載された半導体デバイスに宇宙線粒子が当たる現象はまったくランダムに起こり、ある瞬間に一個当たったから後しばらく当たらないだろうと期待できないし、しばらく当たっていないからそろそろ当たる頃だとは必ずしもいえません。

この事例のように着目する現象はめったに起きませんが、観測期間なり観測母体を十分大きくとればある期待値でその現象が起こるとみなされる場合があります。ここでの現象は同一時点で二度以上起こらないとし、任意の時点で発生の可能性は均等であるとし、すなわち、現象の $\text{MTTF}=\theta$ (または瞬時故障率 $=\lambda$) は一定とします。このような確率過程をポアソン過程といいます。

現象の発生様態がポアソン過程であり、発生する期待値が x と観測されたとき、この現象が時間 $0 < T \leq t_1$ の間に n 回起こる確率をポアソン分布といいます。

以下にこれを具体的に示します。

時間 $0 < T \leq t_1$ 内の微小時間 dt においてこの現象が一回起きる確率は dt 前後の時間 $0 < T \leq t$ 及び $0 < T \leq t_1 - t$ の信頼度関数を使って

$$R(t) \cdot \frac{dt}{\theta} \cdot R(t_1 - t) \quad (\text{付-60})$$

よって $0 < T \leq t_1$ で現象が一回起きる確率 $P_1\left(\frac{t_1}{\theta}\right)$ は、

$$P_1\left(\frac{t_1}{\theta}\right) = \int_0^{t_1} R(t) \frac{dt}{\theta} (t_1 - t) = \int_0^{t_1} e^{-\frac{t}{\theta}} \cdot \frac{dt}{\theta} \cdot e^{-\frac{t_1-t}{\theta}} = \frac{1}{\theta} e^{-\frac{t_1}{\theta}} \cdot t_1 \quad (\text{付-61})$$

$0 < T \leq t_1$ で現象が n 回起きる確率 $P_n\left(\frac{t_1}{\theta}\right)$ はこの計算を繰り返し続けて、

$$P_n\left(\frac{t_1}{\theta}\right) = \int_0^{t_1} R(t) \frac{dt}{\theta} P_{n-1}\left(\frac{t_1}{\theta}\right) = \frac{1}{n!} \left(\frac{t_1}{\theta}\right)^n e^{-\frac{t_1}{\theta}} \quad (\text{付-62})$$

結局、現象の期待値 $x = \frac{t_1}{\theta}$ に対してポアソン確率密度関数 $f_{\text{Pois}}(x)$ は、

$$\left. \begin{aligned} f_{\text{Pois}}(x) &= \frac{1}{n!} x^n e^{-x} \\ \mu &= x, \quad \sigma^2 = x^2 \end{aligned} \right\} \quad (\text{付-63})$$

図 D.4 に $1 \leq n \leq 6, 0 \leq x \leq 6$ の範囲で式(付-64)のレリーフを示します。また、付表に、 $0 \leq n \leq 39, 0.1 \leq x \leq 20$ の範囲の代表値に対する $f(x)$ の値を示します。

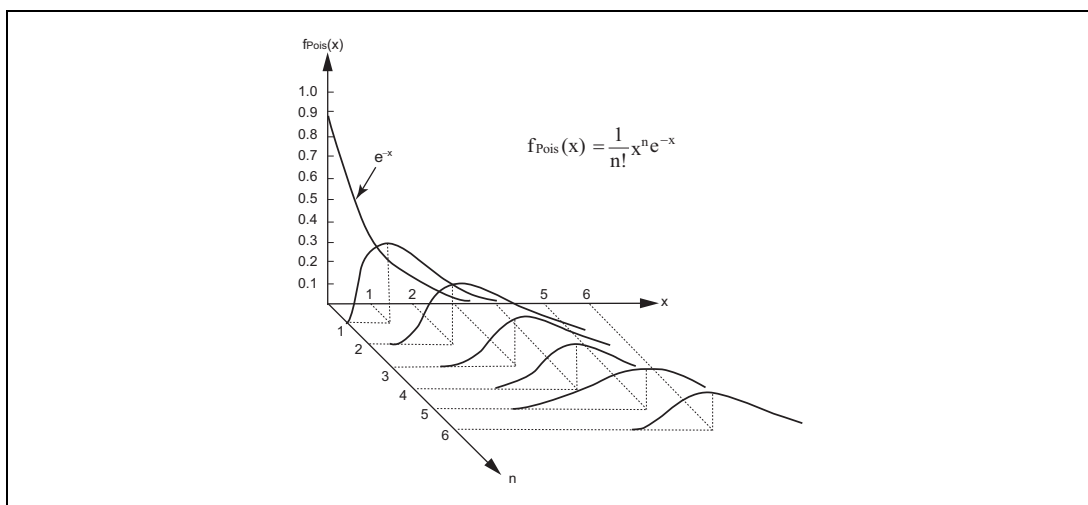


図 D.4 ポアソン分布のレリーフ

ポアソン過程において時間 $0 < T \leq t_1$ の間に少なくとも k 回以上の故障が起きる確率 $F(t_1, k)$ はポアソン分布式(付-62)を使って次のように表されます。

$$F(t_1, k) = 1 - \sum_{n=0}^{k-1} P_n\left(\frac{t_1}{\theta}\right) = 1 - \sum_{n=0}^{k-1} \frac{1}{n!} \left(\frac{t_1}{\theta}\right)^n e^{-\frac{t_1}{\theta}} \quad (\text{付-64})$$

C.2.3 項、図 C.8 の待機冗長システムでは n 個のスイッチがすべて故障しない限りシステムは故障しません。よって、この待機冗長システムの信頼度関数 $R(t)$ は式(付-64)に基づいて、

$$R(t)=1-F(t,k)$$

であり、これが式(付-21)となります。

故障原因となるダメージがポアソン過程によってランダムに発生する場合、たとえば稼動時間 $0 < T \leq t_1$ において k 回以上ダメージを受けるとデバイスがダウンするときは、デバイスの故障分布関数は式(付-64)です。この場合の故障確率密度関数はガンマ分布式(付-57)となります。

式(付-64)において故障に至るまでに受けたダメージ回数 k を固定し、故障分布関数 $F(t_1, k)$ を時間 t_1 の関数と考えます。このとき故障確率密度関数 $f(t_1)$ は式(付-3)に基づいて

$$f(t_1) = \frac{\alpha}{\alpha t_1} F(t_1, k) = \frac{1}{(k-1)!} \left(\frac{t_1}{\theta} \right)^{k-1} e^{-\frac{t_1}{\theta}} = f\Gamma(t_1, x, \frac{1}{\theta}) \quad (\text{付-65})$$

これに対し、デバイスに加わるダメージがただ一発 ($n=1$) で致命的打撃となる場合、故障確率密度関数は指数分布式(付-46)となります。

観測母体が大きく小さな確率で起こる二項確率分布はポアソン分布で近似されます。

本来二項確率分布はベルヌイ標本を扱うもので確率 p が一定が前提です。これに対しポアソン分布では期待値 $x=Np$ が一定の事象を扱います。したがって二項確率分布をポアソン分布で近似する場合、 N がベルヌイ試行という意味は失われることに注意を要します。次にこのプロセスを具体的に示します。

$$f_{\text{Bin}}(n, N, P) = \frac{N!}{n!(N-n)!} p^n q^{N-n} = \frac{\left(1 - \frac{1}{N}\right) \left(1 - \frac{2}{N}\right) \cdots \left(1 - \frac{n-1}{N}\right)}{n!} (Np)^n q^{N-n} \quad (\text{付-66})$$

一方、

$$\log q^{N-n} = (N-n) \log(1-p) = -(N-n) \sum_{k=1}^{\infty} \frac{p^k}{k} = -\left(1 - \frac{n}{N}\right) \left(x + \frac{1}{2} \frac{x^2}{N} + \frac{1}{3} \frac{x^3}{N^2} + \cdots\right) \quad (\text{付-67})$$

$$\therefore \lim_{N \rightarrow \infty} \log q^{N-n} = -x, \quad \lim_{N \rightarrow \infty} q^{N-n} = e^{-x} \quad (\text{付-68})$$

ここで N はベルヌイ試行回数ではなく母集団の数を大きくすることを意味します。以上の結果として、

$$\lim_{N \rightarrow \infty} f_{\text{Bin}}(n, N, P) = \frac{1}{n!} x^n e^{-x} \quad (\text{付-69})$$

以上に示したようにポアソン分布をいろいろな側面からとらえると他の確率分布との関係が明らかになります。この様子を E. 確率分布の相互関係に図示します。

D.10 正規分布 $f_{\text{Norm}}(x)$

古典的理想気体分子の運動を代表的な例として、非常に多数の均質、ランダムな独立事象から成る母集団が示す全体としての性質は、正規分布 $f_{\text{Norm}}(x)$ に従います。(数学的に厳密な意味での正確さはここでは問題にしないこととします。)

この関数 $f_{\text{Norm}}(x)$ は平均値 μ で最大値をとり、この値を境にして対称に滑らかに減少し、かつ曲線のピーク近くでの広がり標準偏差 σ に比例する、といった性質を備えたものであるべきことが想定されます。ある期間が経過した時点ではほぼ集中的に発生する摩耗故障などはこの正規分布に近くなります。

正規分布の表す意味を具体的に示すために簡単な二項分布モデルから出発してみます。

ベルヌイ試行において観測結果①が $+\sigma/\sqrt{N}$ 、②が $-\sigma/\sqrt{N}$ のいずれかの値をとり、①②のどちらの結果になるかの確率は等しく $\frac{1}{2}$ であるとします。試行開始の初期値は0としてN回の試行のうちn回は①の観測結果となり、N-n回は②の結果になるとするとN回の試行後の値xは、

$$x = \frac{\sigma(2n - N)}{\sqrt{N}} \tag{付-70}$$

このような二項分布モデルにおいて、試行回数Nを大きくしていくと正規分布に近づくことを示します。

$$f_{\text{Bin}}(n) = \frac{N! \left(\frac{1}{2}\right)^N}{n!(N-n)!} = \frac{N! \left(\frac{1}{2}\right)^N}{\left(\frac{1}{2}N + \frac{x}{2\sigma}\sqrt{N}\right)! \times \left(\frac{1}{2}N - \frac{x}{2\sigma}\sqrt{N}\right)!} \tag{付-71}$$

Nが非常に大きいとすればxは連続変数と考えるとよく、したがって、

$$f_{\text{Bin}}(n) \, dn \rightarrow \phi(x) \, dx, \quad dn \rightarrow \frac{\sqrt{N}}{2\sigma} \, dx \quad (N \rightarrow \infty) \tag{付-72}$$

となります。ここで $\psi(x)$ は

$$\phi(x) = \lim_{N \rightarrow \infty} \frac{\sqrt{N}}{2\sigma} f_{\text{Bin}}(n) = \lim_{N \rightarrow \infty} \left\{ \frac{\frac{\sqrt{N}}{2\sigma} \cdot ! \cdot \left(\frac{1}{2}\right)^N}{\left(\frac{1}{2}N + \frac{x}{2\sigma}\sqrt{N}\right)! \times \left(\frac{1}{2}N - \frac{x}{2\sigma}\sqrt{N}\right)!} \right\} \tag{付-73}$$

スターリングの公式によって、

$$N! \approx \sqrt{2\pi N} N^N e^{-N} \quad N > 10$$

$$\therefore \phi(x) = \lim_{N \rightarrow \infty} \left\{ \frac{1}{\sigma\sqrt{2\pi}} \frac{1}{\sqrt{1 - \frac{x^2}{\sigma^2 N}}} \left(1 + \frac{x}{\sigma\sqrt{N}}\right)^{-\frac{N}{2} - \frac{x}{2\sigma}\sqrt{N}} \cdot \left(1 - \frac{x}{\sigma\sqrt{N}}\right)^{-\frac{N}{2} + \frac{x}{2\sigma}\sqrt{N}} \right\}$$

$$= \lim_{N \rightarrow \infty} \left\{ \frac{1}{\sigma\sqrt{2\pi}} \left(1 - \frac{x^2}{\sigma^2 N}\right)^{-\frac{N}{2} - \frac{1}{2}} \cdot \left(1 + \frac{x}{\sigma\sqrt{N}}\right)^{\frac{x}{2\sigma}\sqrt{N}} \cdot \left(1 - \frac{x}{\sigma\sqrt{N}}\right)^{-\frac{x}{2\sigma}\sqrt{N}} \right\} \tag{付-74}$$

ここで指数関数の公式、

$$e^Z = \lim_{n \rightarrow \infty} \left(1 + \frac{Z}{n}\right)^n$$

を用いれば、

$$\phi(x) = \frac{1}{\sqrt{2\pi}} \exp\left(-\frac{x^2}{2}\right) \tag{付-75}$$

が導びかれます。この $\phi(x)$ を標準正規分布といいます。正規確率密度関数の一般形は

$$f_{\text{Norm}}(x) = \frac{1}{\sigma\sqrt{2\pi}} \exp\left(-\frac{(x-\mu)^2}{2\sigma^2}\right) \quad (\text{付-76})$$

式(付-76)を式(付-8)にあてはめて平均値と分散を計算すれば、それぞれ μ 及び σ^2 となることが確かめられます。

$f_{\text{Norm}}(x)$ から $\phi(y) =$ 式(付-76)に変換するための変数 y

$$y = \frac{x - \mu}{\sigma} \quad (\text{付-77})$$

を標準正規変数といいます。 $f_{\text{Norm}}(x)$ 及び $\phi(y)$ の代表的な性質を図 D.5 に示します。この図により

$$\int_{\mu-\sigma}^{\mu+\sigma} f_{\text{Norm}}(x) dx \doteq 0.6826, \quad \int_{\mu-2\sigma}^{\mu+2\sigma} f_{\text{Norm}}(x) dx \doteq 0.9545, \quad \int_{\mu-3\sigma}^{\mu+3\sigma} f_{\text{Norm}}(x) dx \doteq 0.9973$$

になります。

X の代わりに $\ln X$ が正規分布に従うとき、これを対数正規分布といいます。この具体的な事例として、式(付-33)の寿命 L を考えてみます。ある半導体デバイスを温度 T で長期保存試験をしたとします。このロットの品質に異常なばらつきがなければ、このロットの温度 T に起因するストレスによる寿命 L の分布は対数正規分布によって解析することが適切だと考えられます。また TDDDB による酸化膜寿命の解析においても対数正規分布が用いられます。

$$f_{\log\text{-Norm}}(x) = \frac{1}{\sigma x \sqrt{2\pi}} \exp\left(-\frac{(\ln X - \ln X_0)^2}{2\sigma^2}\right) \quad X > 0 \quad (\text{付-78})$$

$$\text{平均値} = e^{\ln X_0 + \frac{\sigma^2}{2}}, \quad \text{分散} = e^{2\ln X_0 + \sigma^2} \times (e^{\sigma^2} - 1)$$

ただし、 X_0 は確率分布の中心値: $\int_0^{X_0} f_{\log\text{-Norm}}(X) dX = \int_{X_0}^{\infty} f_{\log\text{-Norm}}(X) dX$
 σ^2 は正規分布の分散

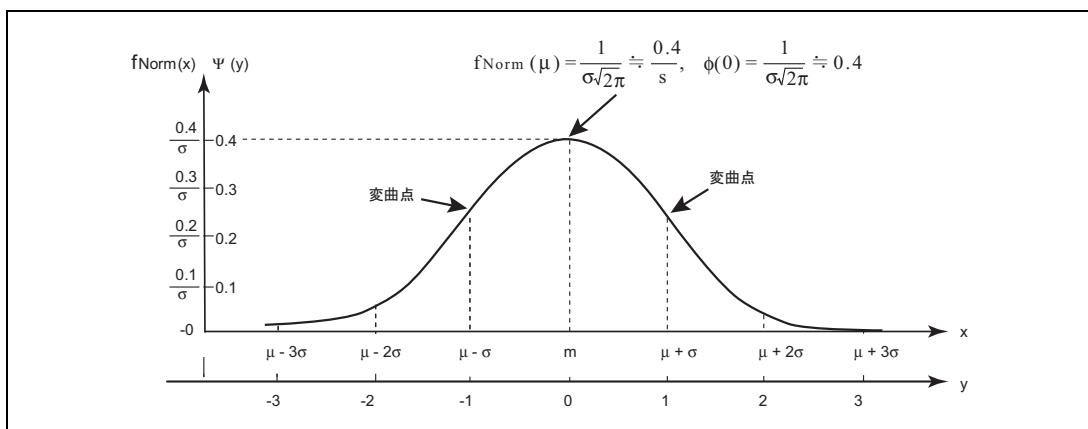


図 D.5 正規分布の確率密度関数のグラフ

D.11 ワイブル分布 $f_{\text{Wb1}}(t)$

n 個の半導体デバイスを同時に動作耐久試験にかけたとき、時間 t につれて発生する故障率の推移を考えます。このモデルにおいて、個々のデバイスが時間 t までに故障する確率は一律に $p(t)$ とし、 n 個のデバイスのうち少なくとも 1 個故障する確率を $F(t)$ とします。このとき、時間 t までに n 個のデバイスがまったく故障しない確率 $R(t)$ は式(付-4)によって、

$$R(t) = 1 - F(t) = \{1 - p(t)\}^n \quad (\text{付-79})$$

ワイブル分布の特長的な点は、 n 個のデバイスがロットとして信頼度関数、

$$R(t) = \{1 - p(t)\}^n = e^{-\phi(t)} \quad (\text{付-80})$$

をもつと仮定することです。そしてわれわれが経験的に得ている故障分布様態が式(付-80)の関数形によって適切に表現されることを考えます。

ある試験時間 γ まで故障が起こらず、 γ を過ぎると時間 t とともに累積故障数が増加してゆく(より正確には非減少に推移する)という経時事実を表現するために $\phi(t)$ がもつべき性質は、

$$\phi(t) = 0 \quad (0 < t \leq \gamma)$$

$$\phi(t) \geq 0, \quad \frac{d}{dt} \phi(t) \geq 0 \quad (\gamma < t)$$

であり、このような関数形として、

$$\left. \begin{aligned} \phi(t) &= 0 \quad (0 < t \leq \gamma) \\ \phi(t) &= \frac{(t - \gamma)^m}{t_0} \quad (\gamma < t) \end{aligned} \right\} \quad (\text{付-81})$$

を選び、

$$F_{Wb1}(t) = 1 - \{1 - p(t)\}^n = 1 - e^{-\phi(t)} = 1 - \exp \left\{ -\frac{(t - \gamma)^m}{t_0} \right\} \quad (\text{付-82})$$

としたとき、これをワイブルの故障分布関数といいます。

ワイブル分布の式(付-83)の三つのパラメータ、 m 、 γ 、 t_0 をそれぞれ、形のパラメータ、位置のパラメータ、尺度のパラメータといいます。試験開始直前からすでに故障の起こる確率は0でないと考えらるならば、位置のパラメータは $\gamma=0$ です。式(付-3)、式(付-8)に従って式(付-82)から

$$\left. \begin{aligned} F_{Wb1}(t) &= \frac{m(t - \gamma)^{m-1}}{t_0} \exp \left\{ -\frac{(t - \gamma)^m}{t_0} \right\} \\ \mu &= t_0^{\frac{1}{m}} \Gamma \left(1 + \frac{1}{m} \right), \quad \sigma^2 = t_0^{\frac{2}{m}} \left\{ \Gamma \left(1 + \frac{2}{m} \right) - \Gamma^2 \left(1 + \frac{1}{m} \right) \right\} \end{aligned} \right\} \quad (\text{付-83})$$

$$\lambda_{Wb1}(t) = \frac{m}{t_0} (t - \gamma)^{m-1}$$

ここで、

- $m = 1$ のとき $\lambda_{Wb1}=1/t_0$ —一定で指数分布、
- $m > 1$ のとき $\lambda_{Wb1}(t)$ は単調増加で摩耗故障形モード、
- $m < 1$ のとき $\lambda_{Wb1}(t)$ は単調減少で初期故障形モード、

を表します。

このようにワイブル分布は形のパラメータ m の値によって、それぞれの故障モードに対応する関数形を表しています。

$\gamma=0$ 、 $t_0=1$ として $f_{Wb1}(t)=$ の形によってどう変化するかを図 D.6 に示します。

位置のパラメータ $\gamma=0$ の場合について、ワイブル信頼度関数式(付-79)は

$$R_{Wb1}(t) = \int_t^\infty f_{Wb1}(t) dt = \int_t^\infty \frac{m}{t_0} t^{m-1} e^{-\frac{tm}{t_0}} dt = e - \frac{t^m}{t_0} \quad (\text{付-84})$$

式(付-84)の2回対数をとれば

$$\ln \ln \frac{1}{R_{Wb1}(t)} = \ln \ln \frac{1}{1 - F_{Wb1}(t)} = m \ln t - \ln t_0 \quad (\text{付-85})$$

ここで,

$$\ln \ln \frac{1}{1 - F_{Wb1}(t)} = Y, \quad \ln t = X, \quad \ln t_0 = h$$

とすれば, 式(付-85)は,

$$Y = mX - h \quad (\text{付-86})$$

となります。

ワイブル確率紙は縦軸に $F_{Wb1}(t)$ の値を $\ln \ln \frac{1}{1 - F_{Wb1}(t)}$ の長さに目盛り, 横軸に時間 t を対数目盛りで書いたものです。観測データから求められた累積故障率 $F_{Wb1}(t)$ が時間 t に対してワイブル分布に従うとき, 式(付-86)の関係によって直線で表されます。このようにワイブル確率紙は観測データを一次式の形でグラフに示すことができるので, 故障モードの解析に便利です。

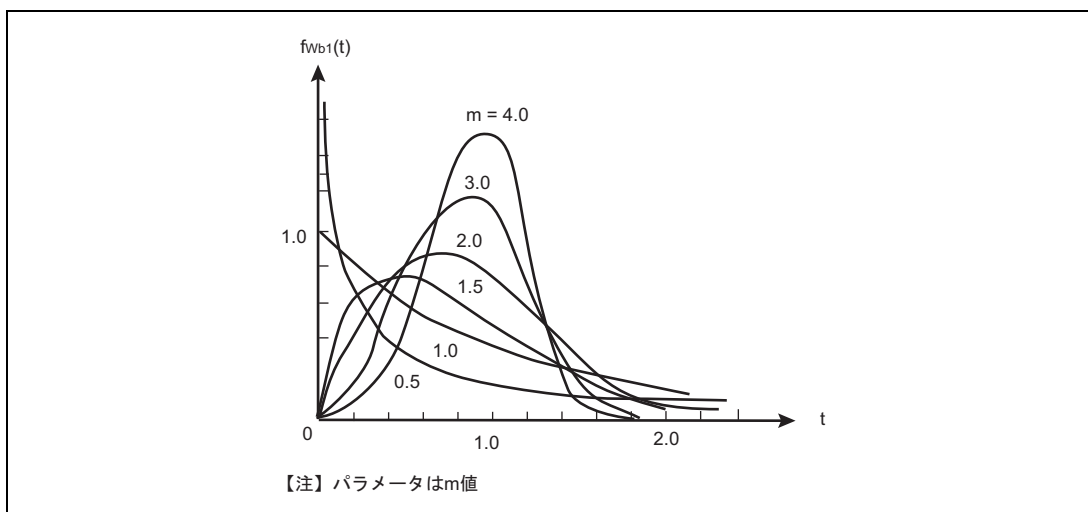


図 D.6 ワイブル分布の確率密度関数

D.12 二重指数分布 $fd\text{-exp}(x)$

ワイブル分布の式(付-84)において $\gamma=0$ の場合,

$$f_{Wb1}(t) = \frac{m}{t_0} t^{m-1} e^{-\frac{t^m}{t_0}} \quad (\text{付-87})$$

ここで t を対数変換して $x = \ln t$, $t = e^x$ とすれば,

$$f_{Wb1}(t) dt = \frac{m}{t_0} e^{mx} \cdot e^{-\frac{e^{mx}}{t_0}} dx = m e^{mx - \ln t_0} \cdot \exp(-e^{mx - \ln t_0}) dx \quad (\text{付-88})$$

と対数変換されます。ここで再度,

$$m = \lambda, \quad \ln t_0 = \alpha$$

とすることにより,

$$f_{d-\exp}(x) = \lambda e^{\lambda x - \alpha} \cdot e^{-e^{\lambda x - \alpha}} \quad (\text{付-89})$$

を二重指数分布(または極値分布)といいます。ここで、 λ 、 α をそれぞれ尺度のパラメータ、位置のパラメータといいます。

$$\mu = \frac{\alpha - \gamma}{\lambda}, \quad \sigma^2 = \frac{\varepsilon^2}{\lambda^2}$$

$$\text{ただし } \gamma = \text{オイラー定数} = 0.577 \dots, \quad \varepsilon = \frac{\pi}{\sqrt{6}} = 1.283$$

ある種の信頼性試験を行ってデバイスのストレスを加えたとき、そのストレスによってデバイスのすべての部分が均等なダメージを受けるとは限りません。そのストレスに一番弱い部分が最もダメージを受け、結局その箇所がダウンすることになってそのデバイスの寿命を決定的なものにします。例えば、サージパルス電流耐量とか機械的衝撃試験の場合がこれに該当します。このようにデバイスの一部分にストレスが加わり、ウィークポイントが全体の寿命とか耐量限界を左右する場合、二重指数分布によって解析することが妥当です。式(付-89)を簡単にするために、

$$-y = \lambda x - \alpha \quad (\text{付-90})$$

として、

$$f_{d-\exp}(y) = \lambda e^{-y} e^{-e^{-y}} \quad (\text{付-91})$$

$$F_{d-\exp}(y) = e^{-e^{-y}} \quad (\text{付-92})$$

2 回対数をとれば、

$$\ln \ln \frac{1}{F_{d-\exp}(y)} = y = \lambda x - \alpha \quad (\text{付-93})$$

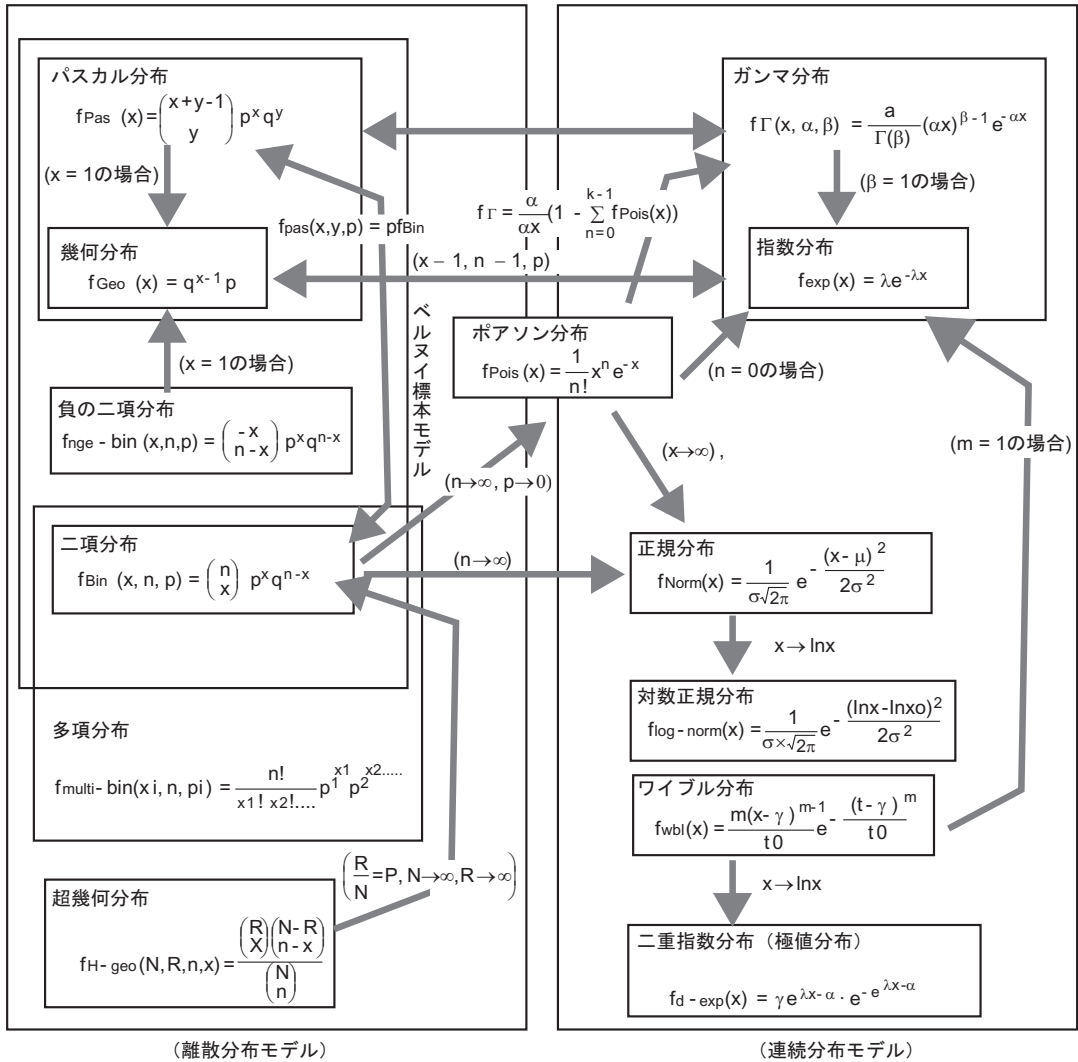
となります。

先にワイブル確率紙の場合式(付-87)で見たように、極値確率紙では観測データを式(付-93)の一次式の形でグラフに表わすことにより、尺度のパラメータ λ 、位置のパラメータ α を求めることができます。

参考文献

- 1) 三上 操;“統計的推測(数学講座6)”, 筑摩書房, (1969).
- 2) 塩見 弘;“信頼性工学入門」改訂三版”, 丸善, (1995).
- 3) “新版品質管理便覧”, 日本規格協会, (1977).
- 4) 日科技連信頼性確率紙委員会;“確率紙使い方のノウハウ”, 日本科学技術連盟, (1981).
- 5) 木村;“確率紙の使い方”, オストリッチ製作所, (1976).
- 6) M.J.Howes and D.V.Morgan ;“Reliability and Degradation (The Wiley Series in Solid State Devices and Circuits)”, *A Wiley-Inter Science Publication*, (1981).

E. 確率分布の相互関係



F. 確率関数表

確率分布	確率密度関数 f(x)	信頼度関数 R(x)	故障率 λ(x)	平均値 μ	分散 σ ²	備考
二項分布	$f_{\text{Bin}}(x, n, p) = \binom{n}{x} p^x q^{n-x}$	$R_{\text{Bin}}(x) = \sum_{i=x+1}^n \binom{n}{i} p^i q^{n-i}$		np	npq	
幾何分布	$f_{\text{Geo}}(x) = q^x p$	$R_{\text{Geo}}(x) = q^{x+1}$	$\lambda_{\text{Geo}} = \frac{p}{q} = \text{const}$	$\frac{q}{p}$	$\frac{q}{p^2}$	
指数分布	$f_{\text{exp}}(x) = \lambda e^{-\lambda x}$	$R_{\text{exp}}(x) = e^{-\lambda x}$	$\lambda_{\text{exp}} = \lambda = \text{const}$	$\frac{1}{\lambda}$	$\frac{1}{\lambda^2}$	
パスカル分布	$f_{\text{Pas}}(x) = \binom{x+y-1}{y} p^x q^y$	$R_{\text{Pas}}(x) = \sum_{i=x}^{n-1} \binom{n-1}{i} p^{n-i} q^i$	$\lambda_{\text{Pas}} = \frac{f_{\text{Pas}}}{R_{\text{Pas}}}$	$\frac{qy}{p}$	$\frac{qy}{p^2}$	
ガンマ分布	(x, α, β)	$R_{\Gamma}(x) = \frac{\alpha}{\Gamma(\beta)} \int_x^{\infty} (\alpha t)^{\beta-1} e^{-\alpha t} dt$	$\lambda_{\Gamma} = \frac{f_{\Gamma}}{R_{\Gamma}}$	$\frac{\beta}{\alpha}$	$\frac{\beta}{\alpha^2}$	α: 尺度の パラメータ β: 形の パラメータ 図B.13参照

確率分布	確率密度関数 f(x)	信頼度関数 R(x)	故障率 λ(x)	平均値 μ	分散 σ ²	備考
ポアソン分布	$f_{\text{Pois}}(x) = \frac{1}{n!} x^n e^{-x}$	$R_{\text{Pois}}(x) = \frac{1}{n!} \int_x^{\infty} t^n e^{-t} dt$	$\lambda_{\text{Pois}} = \frac{f_{\text{Pois}}}{R_{\text{Pois}}}$	x	x ²	図B.14参照
ワイブル分布	$f_{\text{Wbl}}(x) = \frac{m(x-\gamma)^{m-1}}{t_0^m} \cdot e^{-\frac{(x-\gamma)^m}{t_0}}$	$R_{\text{Wbl}}(x) = e^{-\frac{(x-\gamma)^m}{t_0}}$	$\lambda_{\text{Wbl}}(x) = \frac{m}{t_0} (x-\gamma)^{m-1}$	$\frac{1}{t_0^m} \Gamma(1 + \frac{1}{m})$	$\frac{2}{t_0^m} \{ \Gamma(1 + \frac{1}{m}) - \Gamma^2(1 + \frac{1}{m}) \}$	m: 形の パラメータ γ: 位置の パラメータ t ₀ : 尺度の パラメータ 図B.16参照
正規分布	$f_{\text{Norm}}(x) = \frac{1}{\sigma\sqrt{2\pi}} e^{-\frac{(x-\mu)^2}{2\sigma^2}}$	$R_{\text{Norm}}(x) = \frac{1}{\sigma\sqrt{2\pi}} \int_x^{\infty} e^{-\frac{(t-\mu)^2}{2\sigma^2}} dt$	$\lambda_{\text{Norm}} = \frac{f_{\text{Norm}}}{R_{\text{Norm}}}$	μ	σ ²	図B.15参照
対数正規分布	$f_{\text{log-norm}}(x) = \frac{1}{\sigma x \sqrt{2\pi}} e^{-\frac{(\ln x - \ln x_0)^2}{2\sigma^2}}$	$R_{\text{log-norm}}(x) = \int_x^{\infty} f_{\text{log-norm}}(t) dt$	$\lambda_{\text{log-norm}} = \frac{f_{\text{log-norm}}}{R_{\text{log-norm}}}$	$e - (\ln x_0 + \frac{\sigma^2}{2})$	$e^{2\ln x_0 + \sigma^2} \times (e^{\sigma^2} - 1)$	σ ² : 正規分布 の分散 x ₀ : 確率分布 の中心値

改訂記録	信頼性ハンドブック
------	-----------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2012.09.19	—	初版発行
2.00	2016.11.25	0-1	「信頼性ハンドブックご利用にあたって」追加
		1-1	「1. 半導体デバイスの品質への取り組み」タイトルを修正
		1-3	「表 1.1 当社半導体デバイスの品質水準」タイトルおよび説明を修正
		1-5	「1.4 量産段階での品質保証」品質保証検査の説明を削除
		1-7	「1.5 変更管理の仕組み」説明を修正
		2-1	「2.1 半導体デバイスにおける信頼性の考え方」摩耗故障の説明を修正
		2-2	「2.2 半導体デバイスでの故障率推移（バスタブカーブ）」故障率の説明を修正
		2-3	「2.2.3 摩耗故障」説明を修正
		2-17	「2.9.1 基本故障モデル（1）反応論モデル」記号説明を削除
		2-23	「2.10.2 偶発故障率の予測例 — 60%信頼水準故障率推定の方法」参考文献への参照指示を追加
		3-4	「3.2.1 酸化膜（絶縁膜）経時破壊（1）故障現象」式を修正
		3-8	「3.2.3 NBTI（Negative Bias Temperature Instability）（1）故障現象」式を修正
		3-9	「図 3.18 発生メカニズム」修正
		3-10	「3.2.4 エレクトロマイグレーション」式を修正
		3-16	「3.2.7 不揮発性メモリの信頼性（2）故障メカニズム」説明を削除
		3-18	「図 3.32 Au-Al 系合金の状態図」図を修正
		3-30	「3.3.6 樹脂封止半導体デバイスの耐湿性（3）実使用条件との加速性」式を修正
		3-35	「3.4.1 表面実装型パッケージのリフロー実装時のパッケージクラック（5）まとめ」注意事項を修正
		3-44	「3.5.1 静電破壊と電氣的オーバーストレス破壊（4）実際の放電と試験方法（b）マシンモデル試験方法の特長」説明を追加
4-1	「4.1 故障解析の必要性」説明を修正		
5-1~5-73	「5. 半導体デバイスの使用上の一般的な注意事項」タイトル、説明を修正		
付録-38、 付録-39	「C.4.2 累積ハザード紙の使い方（d）ワイブル型累積ハザード紙の使用手順」図 C.19 と図 C.20 を入れ替え		
2.50	2017.01.30	—	「ご注意書き」変更

信頼性ハンドブック

発行年月日 2012年9月19日 Rev.1.00

2017年1月30日 Rev.2.50

発行 ルネサス エレクトロニクス株式会社

〒135-0061 東京都江東区豊洲 3-2-24 (豊洲フォレシア)



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<https://www.renesas.com/contact/>

信頼性ハンドブック