

# 78K0/Fx2-L

ユーザーズマニュアル ハードウェア編

8 ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。  
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

## ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。  
標準水準：            コンピュータ、OA機器、通信機器、計測機器、AV機器、  
                                 家電、工作機械、パーソナル機器、産業用ロボット等  
高品質水準：        輸送機器（自動車、電車、船舶等）、交通用信号機器、  
                                 防災・防犯装置、各種安全装置等  
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## CMOSデバイスの一般的注意事項

### 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力にノイズなどに起因して、 $V_{IL}(\text{MAX.})$  から  $V_{IH}(\text{MIN.})$  までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}(\text{MAX.})$  から  $V_{IH}(\text{MIN.})$  までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

### 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して  $V_{DD}$  または  $GND$  に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### 初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

### 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

### 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

# このマニュアルの使い方

**対象者** このマニュアルは、78K0/Fx2-Lマイクロコントローラの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。

対象製品は、次に示す各製品です。

- ・ 78K0/FY2-L:  $\mu$  PD78F0854, 78F0855, 78F0856
- ・ 78K0/FA2-L:  $\mu$  PD78F0857, 78F0858, 78F0859
- ・ 78K0/FB2-L:  $\mu$  PD78F0864, 78F0865

**目的** このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

**構成** 78K0/Fx2-Lマイクロコントローラのマニュアルは、このマニュアルと命令編（78K0マイクロコントローラ共通）の2冊に分かれています。

78K0/Fx2-L  
ユーザズ・マニュアル

端子機能  
内部ブロック機能  
割り込み  
その他の内蔵周辺機能  
電気的特性

78K0シリーズ  
ユーザズ・マニュアル  
命令編

CPU機能  
命令セット  
命令の説明

**読み方** このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

一通りの機能を理解しようとするとき

目次に従って読んでください。本文欄外の 印は、本版で改訂された主な箇所を示しています。この " "をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がRA78K0では予約語に、CC78K0では #pragma sfr指令で、sfr変数として定義されているものです。

78K0マイクロコントローラの命令機能の詳細を知りたいとき

別冊の78K0シリーズ ユーザーズ・マニュアル 命令編 (U12326J) を参照してください。

**凡 例** データ表記の重み : 左が上位桁, 右が下位桁  
アクティブ・ロウの表記 :  $\overline{xxx}$  (端子, 信号名称に上線)  
注 : 本文中につけた注の説明  
注意 : 気をつけて読んでいただきたい内容  
備考 : 本文の補足説明  
数の表記 : 2進数...  $xxx \times x$  または  $xxx \times B$   
10進数...  $xxx \times x$   
16進数...  $xxx \times H$

## 関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

## デバイスの関連資料

資料名	資料番号	
	和 文	英 文
78K0/Fx2-L ユーザーズ・マニュアル	このマニュアル	R01UH0068E
78K0シリーズ ユーザーズ・マニュアル 命令編	U12326J	U12326E
78K0マイクロコントローラ ユーザーズ・マニュアル セルフ・プログラミング・ライブラリ Type01	U18274J	U18274E
78K0マイクロコントローラ セルフ・プログラミング・ライブラリ Type01 Ver.3.10 使用上の留意点(文書)	ZUD-CD-09-0122	ZUD-CD-09-0122-E
78K0マイクロコントローラ ユーザーズ・マニュアル EEPROM <sup>®</sup> エミュレーション・ライブラリ Type01	U18275J	U18275E
78K0マイクロコントローラ EEPROMエミュレーション・ライブラリ Type01 Ver.2.10 使用上の留意点(文書)	ZUD-CD-09-0165	ZUD-CD-09-0165-E

**注意** 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

### 開発ツール（ハードウェア）の資料（ユーザズ・マニュアル）

資料名	資料番号	
	和文	英文
QB-78K0FX2L インサーキット・エミュレータ	作成中	作成中
QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	U18371J	U18371E
QB-Programmer プログラミングGUI	操作編	U18527E

### フラッシュ・メモリ書き込み用の資料（ユーザズ・マニュアル）

資料名	資料番号	
	和文	英文
PG-FP5 フラッシュ・メモリ・プログラマ	U18865J	U18865E

### 開発ツール（ソフトウェア）の資料

資料名	資料番号		
	和文	英文	
RA78K0 Ver.3.80 アセンブラ・パッケージ ユーザズ・マニュアル <sup>注1</sup>	操作編	U17199J	U17199E
	言語編	U17198J	U17198E
	構造化アセンブリ言語編	U17197J	U17197E
RA78K0 Ver.4.01 使用上の留意点（文書） <sup>注1</sup>	ZUD-CD-07-0181	ZUD-CD-07-0181-E	
CC78K0 Ver.3.70 Cコンパイラ ユーザズ・マニュアル <sup>注2</sup>	操作編	U17201J	U17201E
	言語編	U17200J	U17200E
CC78K0 Ver4.00 使用上の留意点（文書） <sup>注2</sup>	ZUD-CD-07-0103	ZUD-CD-07-0103-E	
SM+ システム・シミュレータ ユーザズ・マニュアル	操作編	U18601J	U18601E
	ユーザ・オープン・ インタフェース編	U18212J	U18212E
ID78K0-QB Ver.2.94 統合デバッグ ユーザズ・マニュアル	操作編	U18330J	U18330E
ID78K0-QB Ver.3.00 統合デバッグ ユーザズ・マニュアル	操作編	U18492J	U18492E
PM plus Ver.5.20 <sup>注3</sup> ユーザズ・マニュアル	U16934J	U16934E	
PM+ Ver.6.30 <sup>注4</sup> ユーザズ・マニュアル	U18416J	U18416E	

注1. この資料は、RA78K0 Ver.4.01のインストール時に、ツール本体と一緒に、PCにインストールされます。

「RA78K0 Ver.4.01 使用上の留意点（文書）」に記載されていない内容に関しては、RA78K0 Ver.3.80のユーザズ・マニュアルを参照してください。

2. この資料は、CC78K0 Ver.4.00のインストール時に、ツール本体と一緒に、PCにインストールされます。

「CC78K0 Ver4.00 使用上の留意点（文書）」に記載されていない内容に関しては、CC78K0 Ver.3.70のユーザズ・マニュアルを参照してください。

3. PM+ Ver.5.20は、RA78K0 Ver.3.80に同梱されている統合開発環境です。

4. PM+ Ver.6.30は、RA78K0 Ver.4.01に同梱されている統合開発環境です。ソフトウェア・ツール（アセンブラ、Cコンパイラ、デバッグ、シミュレータ）の複数の異なるバージョン製品を管理することができます。

**注意** 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

## その他の資料

資料名	資料番号	
	和文	英文
SEMICONDUCTOR SELECTION GUIDE -Products and Packages-	X13769X	
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電 (ESD) 破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	-
ROMコードの発注方法 インフォメーション	C10302J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://www2.renesas.com/pkg/ja/jissou/index.html>

英文：<http://www2.renesas.com/pkg/en/mount/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。

EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。

Windowsは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash®を使用しています。

# 目次

## 第1章 概 説 ... 16

- 1.1 特 徴 ... 16
- 1.2 オーダ情報 ... 18
- 1.3 端子接続図 (Top View) ... 20
  - 1.3.1 78K0/FY2-L (16ピン) ... 20
  - 1.3.2 78K0/FA2-L (20ピン) ... 21
  - 1.3.3 78K0/FB2-L (30ピン) ... 22
- 1.4 ブロック図 ... 23
  - 1.4.1 78K0/FY2-L (16ピン) ... 23
  - 1.4.2 78K0/FA2-L (20ピン) ... 24
  - 1.4.3 78K0/FB2-L (30ピン) ... 25
- 1.5 機能概要 ... 26

## 第2章 端子機能 ... 28

- 2.1 端子機能一覧 ... 28
  - 2.1.1 78K0/FY2-L ... 29
  - 2.1.2 78K0/FA2-L ... 31
  - 2.1.3 78K0/FB2-L ... 33
- 2.2 端子機能の説明 ... 36
  - 2.2.1 P00-P02 (Port 0) ... 36
  - 2.2.2 P20-P27 (Port 2) ... 37
  - 2.2.3 P30-P37 (Port 3) ... 38
  - 2.2.4 P60, P61 (Port 6) ... 39
  - 2.2.5 P70 (Port 7) ... 41
  - 2.2.6 P121, P122 (Port 12) ... 41
  - 2.2.7 AVREF, AVSS, VDD, VSS ... 43
  - 2.2.8 RESET ... 43
  - 2.2.9 REGC ... 43
- 2.3 端子の入出力回路と未使用端子の処理 ... 44

## 第3章 CPUアーキテクチャ ... 48

- 3.1 メモリ空間 ... 48
  - 3.1.1 内部プログラム・メモリ空間 ... 52
  - 3.1.2 内部データ・メモリ空間 ... 54
  - 3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域 ... 55
  - 3.1.4 データ・メモリ・アドレッシング ... 55
- 3.2 プロセッサ・レジスタ ... 59
  - 3.2.1 制御レジスタ ... 59
  - 3.2.2 汎用レジスタ ... 62



- 3.2.3 特殊機能レジスタ (SFR : Special Function Register) ... 64
- 3.3 命令アドレスのアドレッシング ... 70
  - 3.3.1 レラティブ・アドレッシング ... 70
  - 3.3.2 イミディエト・アドレッシング ... 71
  - 3.3.3 テーブル・インダイレクト・アドレッシング ... 72
  - 3.3.4 レジスタ・アドレッシング ... 72
- 3.4 オペランド・アドレスのアドレッシング ... 73
  - 3.4.1 インプライド・アドレッシング ... 73
  - 3.4.2 レジスタ・アドレッシング ... 74
  - 3.4.3 ダイレクト・アドレッシング ... 75
  - 3.4.4 ショート・ダイレクト・アドレッシング ... 76
  - 3.4.5 特殊機能レジスタ (SFR) アドレッシング ... 77
  - 3.4.6 レジスタ・インダイレクト・アドレッシング ... 78
  - 3.4.7 ベースト・アドレッシング ... 79
  - 3.4.8 ベースト・インデクスト・アドレッシング ... 80
  - 3.4.9 スタック・アドレッシング ... 81

## 第4章 ポート機能 ... 82

- 4.1 ポートの機能 ... 82
- 4.2 ポートの構成 ... 86
  - 4.2.1 ポート0 ... 87
  - 4.2.2 ポート2 ... 90
  - 4.2.3 ポート3 ... 96
  - 4.2.4 ポート6 ... 105
  - 4.2.5 ポート7 ... 108
  - 4.2.6 ポート12 ... 110
- 4.3 ポート機能を制御するレジスタ ... 112
- 4.4 ポート機能の動作 ... 123
  - 4.4.1 入出力ポートへの書き込み ... 123
  - 4.4.2 入出力ポートからの読み出し ... 123
  - 4.4.3 入出力ポートでの演算 ... 123
- 4.5 兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定 ... 124
- 4.6 ポート・レジスタ<sub>n</sub> (P<sub>n</sub>) に対する1ビット・メモリ操作命令に関する注意事項 ... 130

## 第5章 クロック発生回路 ... 131

- 5.1 クロック発生回路の機能 ... 131
- 5.2 クロック発生回路の構成 ... 132
- 5.3 クロック発生回路を制御するレジスタ ... 134
- 5.4 システム・クロック発振回路 ... 142
  - 5.4.1 X1発振回路 ... 142
  - 5.4.2 高速内蔵発振回路 ... 143
  - 5.4.3 低速内蔵発振回路 ... 144
  - 5.4.4 プリスケーラ ... 144
  - 5.4.5 PLL (Phase Locked Loop) ... 144
- 5.5 クロック発生回路の動作 ... 146
- 5.6 クロックの制御 ... 149

- 5.6.1 高速システム・クロックの制御例 ... 149
- 5.6.2 高速内蔵発振クロックの制御例 ... 152
- 5.6.3 低速内蔵発振クロックの制御例 ... 154
- 5.6.4 CPUクロック状態移行図 ... 155
- 5.6.5 CPUクロックの移行前の条件と移行後の処理 ... 158
- 5.6.6 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間 ... 159
- 5.6.7 クロック発振停止前の条件 ... 160
- 5.6.8 周辺ハードウェアとソース・クロック ... 160

## 第6章 16ビット・タイマX0, X1 ... 161

- 6.1 16ビット・タイマX0, X1の機能 ... 161
- 6.2 16ビット・タイマX0, X1の構成 ... 163
- 6.3 16ビット・タイマX0, X1を制御するレジスタ ... 167
- 6.4 16ビット・タイマX0, X1の動作 ... 183
- 6.5 16ビット・タイマX0, X1のPWM出力動作 ... 192
- 6.6 コンパレータ, INTP0連動機能 ... 211
- 6.7 ハイ・インピーダンス出力制御機能 ... 219
  - 6.7.1 ハイ・インピーダンス出力制御回路の構成 ... 219
  - 6.7.2 ハイ・インピーダンス出力制御回路を制御するレジスタ ... 220
  - 6.7.3 ハイ・インピーダンス出力制御回路の設定手順 ... 224

## 第7章 16ビット・タイマ/イベント・カウンタ00 ... 226

- 7.1 16ビット・タイマ/イベント・カウンタ00の機能 ... 226
- 7.2 16ビット・タイマ/イベント・カウンタ00の構成 ... 227
- 7.3 16ビット・タイマ/イベント・カウンタ00を制御するレジスタ ... 233
- 7.4 16ビット・タイマ/イベント・カウンタ00の動作 ... 241
  - 7.4.1 インターバル・タイマとしての動作 ... 241
  - 7.4.2 方形波出力としての動作 ... 244
  - 7.4.3 外部イベント・カウンタとしての動作 ... 248
  - 7.4.4 TI000端子の有効エッジ入力によるクリア&スタート・モードとしての動作 ... 252
  - 7.4.5 フリー・ランニング・タイマとしての動作 ... 268
  - 7.4.6 PPG出力としての動作 ... 278
  - 7.4.7 ワンショット・パルス出力としての動作 ... 282
  - 7.4.8 パルス幅測定としての動作 ... 287
- 7.5 TM00の特殊な使用方法 ... 296
  - 7.5.1 CR010のTM00動作中の書き換え ... 296
  - 7.5.2 LVS00, LVR00の設定について ... 296
- 7.6 16ビット・タイマ/イベント・カウンタ00の注意事項 ... 298

## 第8章 8ビット・タイマ/イベント・カウンタ51 ... 303

- 8.1 8ビット・タイマ/イベント・カウンタ51の機能 ... 303
- 8.2 8ビット・タイマ/イベント・カウンタ51の構成 ... 303
- 8.3 8ビット・タイマ/イベント・カウンタ51を制御するレジスタ ... 305
- 8.4 8ビット・タイマ/イベント・カウンタ51の動作 ... 308
  - 8.4.1 インターバル・タイマとしての動作 ... 308

- 8.4.2 外部イベント・カウンタとしての動作 ... 310
- 8.5 8ビット・タイマ/イベント・カウンタ51の注意事項 ... 311

## 第9章 8ビット・タイマH1 ... 312

- 9.1 8ビット・タイマH1の機能 ... 312
- 9.2 8ビット・タイマH1の構成 ... 312
- 9.3 8ビット・タイマH1を制御するレジスタ ... 315
- 9.4 8ビット・タイマH1の動作 ... 319
  - 9.4.1 インターバル・タイマ/方形波出力としての動作 ... 319
  - 9.4.2 PWM出力としての動作 ... 322
  - 9.4.3 キャリア・ジェネレータとしての動作 ... 328

## 第10章 ウォッチドッグ・タイマ ... 335

- 10.1 ウォッチドッグ・タイマの機能 ... 335
- 10.2 ウォッチドッグ・タイマの構成 ... 336
- 10.3 ウォッチドッグ・タイマを制御するレジスタ ... 337
- 10.4 ウォッチドッグ・タイマの動作 ... 338
  - 10.4.1 ウォッチドッグ・タイマの動作制御 ... 338
  - 10.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定 ... 339
  - 10.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定 ... 340

## 第11章 A/Dコンバータ ... 342

- 11.1 A/Dコンバータの機能 ... 342
- 11.2 A/Dコンバータの構成 ... 344
- 11.3 A/Dコンバータで使用するレジスタ ... 346
- 11.4 A/Dコンバータの動作 ... 361
  - 11.4.1 A/Dコンバータの基本動作（ソフトウェア・トリガ・モード） ... 361
  - 11.4.2 A/Dコンバータの基本動作（タイマ・トリガ・モード） ... 363
  - 11.4.3 入力電圧と変換結果 ... 365
  - 11.4.4 A/Dコンバータのトリガ・モード選択 ... 367
  - 11.4.5 A/Dコンバータの動作モード ... 367
- 11.5 A/Dコンバータ特性表の読み方 ... 371
- 11.6 A/Dコンバータの注意事項 ... 374

## 第12章 コンパレータ ... 378

- 12.1 コンパレータの機能 ... 378
- 12.2 コンパレータの構成 ... 380
- 12.3 コンパレータを制御するレジスタ ... 380
- 12.4 コンパレータの動作 ... 392
  - 12.4.1 コンパレータの動作開始（基準電圧に内部基準電圧を使用する場合） ... 392
  - 12.4.2 コンパレータの動作開始（基準電圧にCMPCOM端子からの入力電圧を使用する場合） ... 393
  - 12.4.3 コンパレータの動作停止 ... 393

## 第13章 シリアル・インタフェースUART6 ... 394

- 13.1 シリアル・インタフェースUART6の機能 ... 394
- 13.2 シリアル・インタフェースUART6の構成 ... 400
- 13.3 シリアル・インタフェースUART6を制御するレジスタ ... 403
- 13.4 シリアル・インタフェースUART6の動作 ... 414
  - 13.4.1 動作停止モード ... 414
  - 13.4.2 アシクロナス・シリアル・インタフェース (UART) モード ... 415
  - 13.4.3 専用ボー・レート・ジェネレータ ... 430
  - 13.4.4 ボー・レートの算出 ... 431

## 第14章 シリアル・インタフェースIICA ... 437

- 14.1 シリアル・インタフェースIICAの機能 ... 437
- 14.2 シリアル・インタフェースIICAの構成 ... 440
- 14.3 シリアル・インタフェースIICAを制御するレジスタ ... 443
- 14.4 I<sup>2</sup>Cバス・モードの機能 ... 457
  - 14.4.1 端子構成 ... 457
  - 14.4.2 IICWL, IICWHレジスタによる転送クロック設定方法 ... 458
- 14.5 I<sup>2</sup>Cバスの定義および制御方法 ... 459
  - 14.5.1 スタート・コンディション ... 459
  - 14.5.2 アドレス ... 460
  - 14.5.3 転送方向指定 ... 460
  - 14.5.4 アクノリッジ (ACK) ... 461
  - 14.5.5 ストップ・コンディション ... 462
  - 14.5.6 ウェイト ... 463
  - 14.5.7 ウェイト解除方法 ... 465
  - 14.5.8 割り込み要求 (INTIICA0) 発生タイミングおよびウェイト制御 ... 466
  - 14.5.9 アドレスの一致検出方法 ... 467
  - 14.5.10 エラーの検出 ... 467
  - 14.5.11 拡張コード ... 468
  - 14.5.12 アービトレーション ... 469
  - 14.5.13 ウェイク・アップ機能 ... 470
  - 14.5.14 通信予約 ... 473
  - 14.5.15 その他の注意事項 ... 477
  - 14.5.16 通信動作 ... 478
  - 14.5.17 I<sup>2</sup>C割り込み要求 (INTIICA0) の発生タイミング ... 486
- 14.6 タイミング・チャート ... 507

## 第15章 シリアル・インタフェースCSI11 ... 514

- 15.1 シリアル・インタフェースCSI11の機能 ... 514
- 15.2 シリアル・インタフェースCSI11の構成 ... 514
- 15.3 シリアル・インタフェースCSI11を制御するレジスタ ... 516
- 15.4 シリアル・インタフェースCSI11の動作 ... 520
  - 15.4.1 動作停止モード ... 520
  - 15.4.2 3線式シリアルI/Oモード ... 521

## 第16章 乗算器 ... 532

- 16.1 乗算器の機能 ... 532
- 16.2 乗算器の構成 ... 533
- 16.3 乗算器の動作 ... 535

## 第17章 割り込み機能 ... 536

- 17.1 割り込み機能の種類 ... 536
- 17.2 割り込み要因と構成 ... 536
- 17.3 割り込み機能を制御するレジスタ ... 541
- 17.4 割り込み処理動作 ... 558
  - 17.4.1 マスカブル割り込み要求の受け付け動作 ... 558
  - 17.4.2 ソフトウェア割り込み要求の受け付け動作 ... 561
  - 17.4.3 多重割り込み処理 ... 561
  - 17.4.4 割り込み要求の保留 ... 564

## 第18章 スタンバイ機能 ... 565

- 18.1 スタンバイ機能と構成 ... 565
  - 18.1.1 スタンバイ機能 ... 565
  - 18.1.2 スタンバイ機能を制御するレジスタ ... 566
- 18.2 スタンバイ機能の動作 ... 568
  - 18.2.1 HALTモード ... 568
  - 18.2.2 STOPモード ... 572

## 第19章 リセット機能 ... 578

- 19.1 リセット要因を確認するレジスタ ... 587

## 第20章 パワーオン・クリア回路 ... 588

- 20.1 パワーオン・クリア回路の機能 ... 588
- 20.2 パワーオン・クリア回路の構成 ... 589
- 20.3 パワーオン・クリア回路の動作 ... 589
- 20.4 パワーオン・クリア回路の注意事項 ... 592

## 第21章 低電圧検出回路 ... 594

- 21.1 低電圧検出回路の機能 ... 594
- 21.2 低電圧検出回路の構成 ... 595
- 21.3 低電圧検出回路を制御するレジスタ ... 595
- 21.4 低電圧検出回路の動作 ... 598
  - 21.4.1 リセットとして使用時の設定 ... 599
  - 21.4.2 割り込みとして使用時の設定 ... 602
- 21.5 低電圧検出回路の注意事項 ... 605

## 第22章 レギュレータ ... 608

- 22.1 レギュレータの概要 ... 608
- 22.2 レギュレータを制御するレジスタ ... 608
- 22.3 セルフ・プログラミングに関する注意事項 ... 609

## 第23章 オプション・バイト ... 610

- 23.1 オプション・バイトの機能 ... 610
- 23.2 オプション・バイトのフォーマット ... 611

## 第24章 フラッシュ・メモリ ... 616

- 24.1 メモリ・サイズ切り替えレジスタ ... 616
- 24.2 フラッシュ・メモリ・プログラマによる書き込み方法 ... 617
- 24.3 プログラミング環境 ... 618
- 24.4 オンボード上の端子処理 ... 619
  - 24.4.1 TOOL端子 ... 620
  - 24.4.2 RESET端子 ... 620
  - 24.4.3 ポート端子 ... 621
  - 24.4.4 REGC端子 ... 621
  - 24.4.5 その他の信号端子 ... 621
  - 24.4.6 電 源 ... 621
  - 24.4.7 水晶/セラミック発振子接続時のオンボード書き込み ... 622
- 24.5 プログラミング方法 ... 623
  - 24.5.1 フラッシュ・メモリ制御 ... 623
  - 24.5.2 フラッシュ・メモリ・プログラミング・モード ... 623
  - 24.5.3 通信コマンド ... 623
- 24.6 セキュリティ設定 ... 625
- 24.7 PG-FP5使用時の各コマンド処理時間(参考値) ... 627
- 24.8 セルフ書き込みによるフラッシュ・メモリ・プログラミング ... 629
  - 24.8.1 セルフ・プログラミングのモードを制御するレジスタ ... 630
  - 24.8.2 セルフ・プログラミング(フラッシュ・メモリの書き換え)の流れ ... 630
  - 24.8.3 ブート・スワップ機能 ... 632
- 24.9 書き込み済み品発注用ROMコードの作成方法 ... 634
  - 24.9.1 ROMコードの発注手順 ... 634

## 第25章 オンチップ・デバッグ機能 ... 635

- 25.1 QB-MINI2と78K0/Fx2-Lマイクロコントローラの接続 ... 635
- 25.2 オンチップ・デバッグ・セキュリティID ... 638
- 25.3 ユーザ資源の確保 ... 639

## 第26章 命令セットの概要 ... 640

- 26.1 凡 例 ... 641
  - 26.1.1 オペランドの表現形式と記述方法 ... 641

26.1.2	オペレーション欄の説明 ...	642
26.1.3	フラグ動作欄の説明 ...	642
26.2	オペレーション一覧 ...	643
26.3	アドレッシング別命令一覧 ...	651
<b>第27章</b>	<b>電気的特性 ( (A) 水準品) ...</b>	<b>655</b>
<b>第28章</b>	<b>電気的特性 ( (A2) 水準品) ...</b>	<b>680</b>
<b>第29章</b>	<b>外形図 ...</b>	<b>705</b>
29.1	78K0/FY2-L ...	705
29.2	78K0/FA2-L ...	706
29.3	78K0/FB2-L ...	707
<b>第30章</b>	<b>半田付け推奨条件 ...</b>	<b>708</b>
<b>第31章</b>	<b>ウエイトに関する注意事項 ...</b>	<b>709</b>
31.1	ウエイトに関する注意事項 ...	709
31.2	ウエイトが発生する周辺ハードウェア ...	709
<b>付録A</b>	<b>開発ツール ...</b>	<b>711</b>
A.1	ソフトウェア・パッケージ ...	714
A.2	言語処理用ソフトウェア ...	714
A.3	フラッシュ・メモリ書き込み用ツール ...	715
A.3.1	フラッシュ・メモリ・プログラマ PG-FP5, FL-PR5を使用する場合 ...	715
A.3.2	プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合 ...	715
A.4	デバッグ用ツール (ハードウェア) ...	716
A.4.1	インサーキット・エミュレータを使用する場合 ...	716
A.4.2	プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合 ...	716
A.5	デバッグ用ツール (ソフトウェア) ...	716
<b>付録B</b>	<b>改版履歴 ...</b>	<b>717</b>
B.1	本版で改訂された主な箇所 ...	717
B.2	前版までの改訂履歴 ...	718

## 第1章 概 説

### 1.1 特 徴

78K0 CPUコア搭載

I/Oポート, ROM, RAM容量

品 名 \ 項 目	I/Oポート	プログラム・メモリ (フラッシュ・メモリ)	データ・メモリ (内部高速RAM)
78K0/FY2-L (16ピン)	11本 (CMOS入出力: 9本, CMOS入力: 2本)	4 K ~ 16 Kバイト	384 ~ 768バイト
78K0/FA2-L (20ピン)	15本 (CMOS入出力: 13本, CMOS入力: 2本)		
78K0/FB2-L (30ピン)	24本 (CMOS入出力: 22本, CMOS入力: 2本)	8 K, 16 Kバイト	512, 768バイト

低消費電流 ( $V_{DD} = 3.0\text{ V}$ ,  $T_A = -40 \sim +85$  )

- ・高速内蔵発振器動作モード :  $220\ \mu\text{A}$  (TYP.) ( $f_{CPU} = 1\text{ MHz}$ 動作)
- ・STOPモード :  $0.65\ \mu\text{A}$  (TYP.) ( $f_{IL} = 30\text{ kHz}$ 動作)

クロック

- ・高速システム・クロック ... 以下の3種類のソースから選択
  - セラミック / 水晶発振子 : 2 ~ 20 MHz
  - 外部クロック : 2 ~ 20 MHz
  - 高速内蔵発振器 :  $4\text{ MHz} \pm 2\%$  ( $T_A = -20 \sim +70$  ),  
 $4\text{ MHz} \pm 3\%$  ( $T_A = -40 \sim +85$  ),  
 $8\text{ MHz} \pm 3\%$  ( $T_A = -40 \sim +85$  )のいずれか
- ・低速内蔵発振器 30 kHz (TYP.) ... ウォッチドッグ・タイマ, 間欠動作時のタイマ用クロック

タイマ

- ・16ビット・タイマX ... PWM出力, 外部信号との連動動作, 最大4本の同期出力 (78K0/FB2-Lのみ可能), A/D変換トリガ生成
- ・16ビット・タイマ/イベント・カウンタ ... PPG出力, キャプチャ入力, 外部イベント・カウンタ入力
- ・8ビット・タイマH1 ... PWM出力, 低速内蔵発振クロックで動作可能
- ・8ビット・タイマ/イベント・カウンタ51 ... PWM出力, 外部イベント・カウンタ入力
- ・ウォッチドッグ・タイマ ... 低速内蔵発振クロックで動作可能

品 名 \ 項 目	16ビット・タイマ	16ビット・タイマ/ イベント・カウンタ	8ビット・タイマ	ウォッチドッグ・ タイマ
78K0/FY2-L (16ピン)	1チャンネル	1チャンネル	タイマH1 : 1チャンネル	1チャンネル
78K0/FA2-L (20ピン)			タイマ51 : 1チャンネル	
78K0/FB2-L (30ピン)	2チャンネル			



## シリアル・インタフェース

- ・UART6 ... 非同期通信に対応した2線式シリアル・インタフェース
- ・IICA ... クロック同期通信に対応した2線式シリアル・インタフェース，マルチマスタ対応，スレーブ・モード時はアドレス一致によるスタンバイ解除が可能
- ・CSI11 ... クロック同期通信に対応した3線式シリアル・インタフェース，スレーブ・モード時はSPIとして動作可能

品 名 \ 項 目	UART6	IICA	CSI11
78K0/FY2-L (16ピン)	1チャンネル	1チャンネル	-
78K0/FA2-L (20ピン)			
78K0/FB2-L (30ピン)			1チャンネル

乗算器 (8ビット×8ビット = 16 ビット，16ビット×16ビット = 32ビット，1クロック演算)

## 10ビット分解能A/Dコンバータ

- ・78K0/FY2-L：4チャンネル
- ・78K0/FA2-L：6チャンネル
- ・78K0/FB2-L：9チャンネル

## コンパレータ

- ・78K0/FY2-L：1チャンネル
- ・78K0/FA2-L：3チャンネル
- ・78K0/FB2-L：3チャンネル

## パワーオン・クリア (POC) 回路内蔵

低電圧検出 (LVI) 回路内蔵 (検出電圧になったときに，割り込み/リセット (どちらか選択可能) を発生)

- ・検出電圧：1.91 ~ 4.22 V間の16段階から選択可能

## 単電源フラッシュ・メモリ

- ・セルフ・プログラミング可能
- ・ソフトウェア保護機能 ... 第三者からのコピー防止 (フラッシュ読み出しのコマンドなし)

## セーフティ機能

- ・CPUと独立したクロックで動作するウォッチドッグ・タイマ
  - ... システム・クロックが停止しても，暴走監視可能
- ・LVIにより電源電圧の低下を検出可能
  - ... 動作電圧以下に電圧低下してしまう前に，適切な処理を実行することが可能
- ・オプション・バイト機能搭載
  - ... 重要なシステム動作設定をハードウェアで設定

オンチップ・デバッグ機能 ... ターゲット・デバイスの実行制御，メモリの参照が可能。

アセンブラ/C言語の両方に対応

## 開発ツール

- ・フル機能エミュレータ (IECUBE)，簡易エミュレータ (MINICUBE2) をサポート

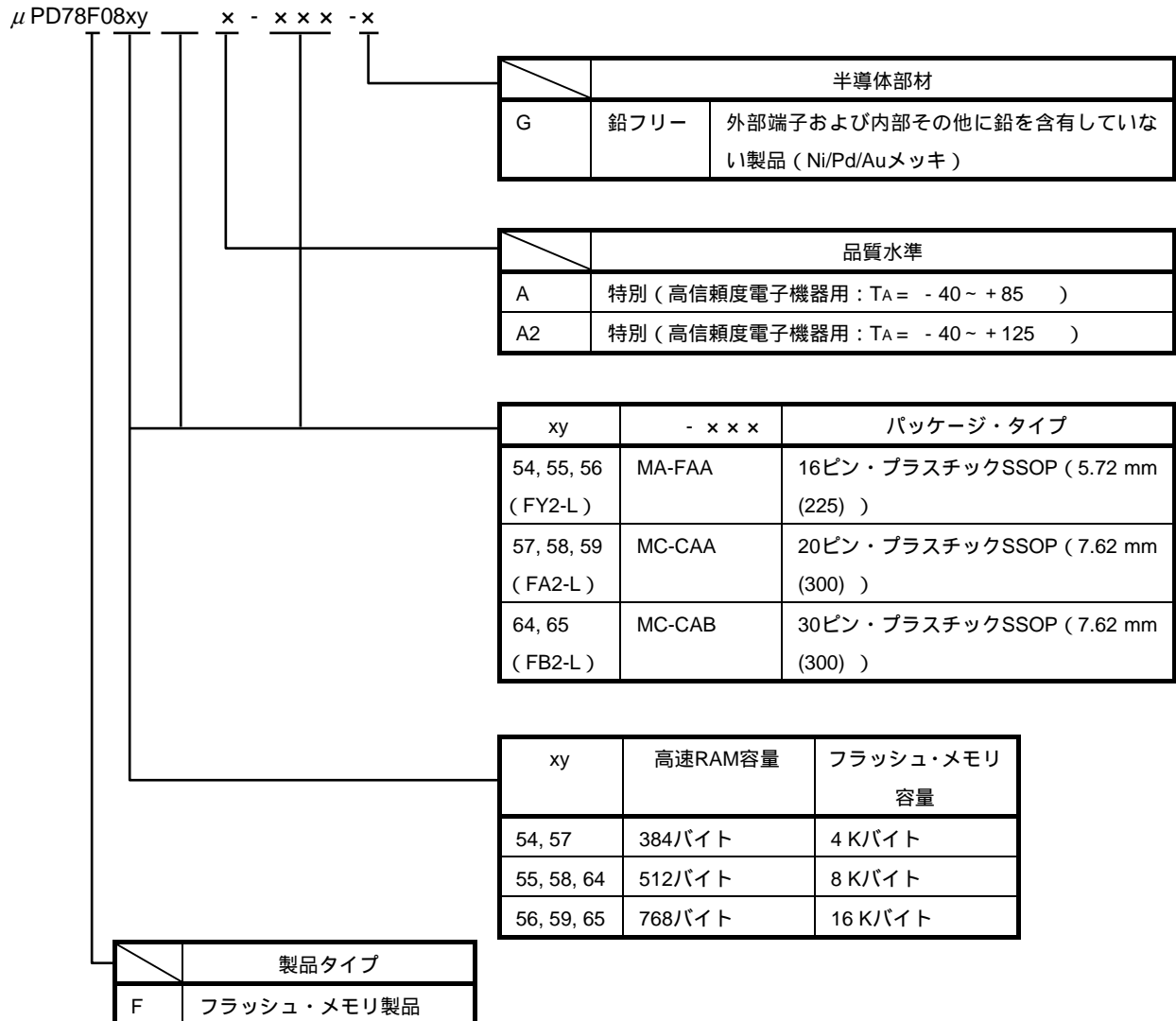
電源電圧：V<sub>DD</sub> = 1.8 ~ 5.5 V

## 動作周囲温度：

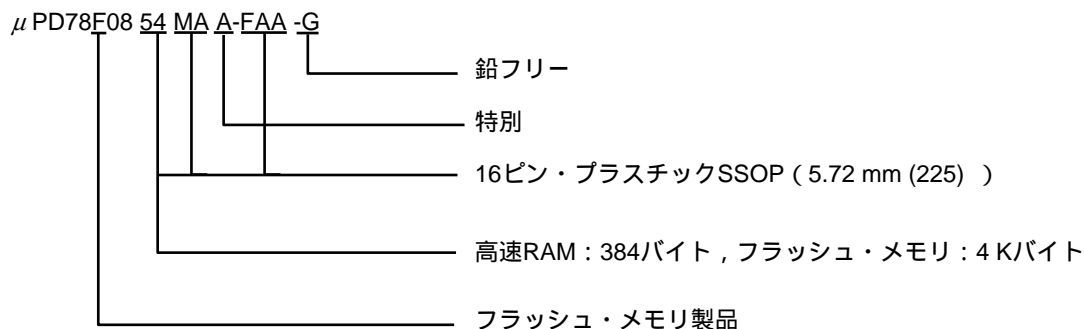
- ・(A) 水準品：T<sub>A</sub> = -40 ~ +85
- ・(A2) 水準品：T<sub>A</sub> = -40 ~ +125

## 1.2 オーダ情報

### 【オーダ名称】



### 【オーダ名称例】



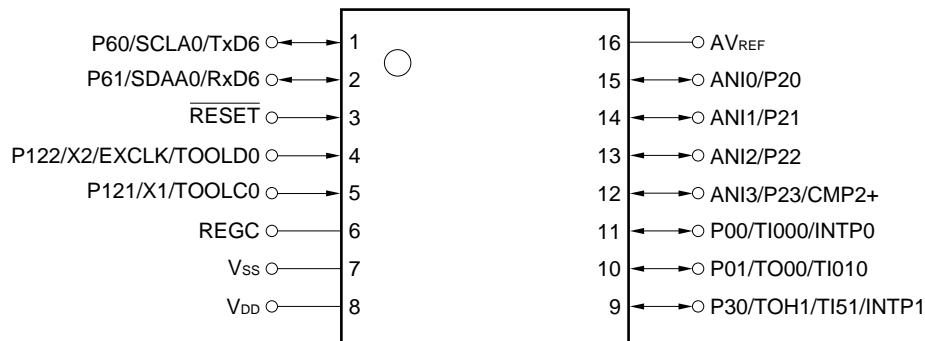
## 【オーダ名称一覧】

78K0/Fx2-L マイクロ ントローラ	パッケージ	オーダ名称
78K0/FY2-L	16ピン・プラスチックSSOP ( 5.72 mm (225) )	μ PD78F0854MAA-FAA-G, 78F0855MAA-FAA-G, 78F0856MAA-FAA-G, 78F0854MAA2-FAA-G, 78F0855MAA2-FAA-G, 78F0856MAA2-FAA-G
78K0/FA2-L	20ピン・プラスチックSSOP ( 7.62 mm (300) )	μ PD78F0857MCA-CAA-G, 78F0858MCA-CAA-G, 78F0859MCA-CAA-G, 78F0857MCA2-CAA-G, 78F0858MCA2-CAA-G, 78F0859MCA2-CAA-G
78K0/FB2-L	30ピン・プラスチックSSOP ( 7.62 mm (300) )	μ PD78F0864MCA-CAB-G, 78F0865MCA-CAB-G, 78F0864MCA2-CAB-G, 78F0865MCA2-CAB-G

## 1.3 端子接続図 (Top View)

### 1.3.1 78K0/FY2-L (16ピン)

・16ピン・プラスチックSSOP (5.72 mm (225) )

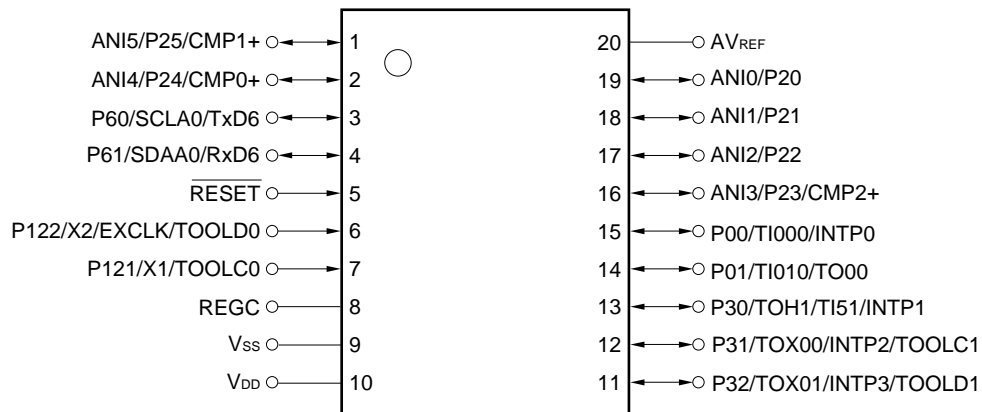


ANI0-ANI3	: Analog Input	RESET	: Reset
AVREF	: Analog Reference Voltage	RxD6	: Receive Data
CMP2+	: Comparator Input	SCLA0	: Serial Clock Input/Output
EXCLK	: External Clock Input (Main System Clock)	SDAA0	: Serial Data Input/Output
INTP0, INTP1	: External Interrupt Input	TI000, TI010, TI51	: Timer Input
P00, P01	: Port 0	TO00, TOH1	: Timer Output
P20-P23	: Port 2	TOOLC0	: Clock Input for Tool
P30	: Port 3	TOOLD0	: Data Input/Output for Tool
P60, P61	: Port 6	TxD6	: Transmit Data
P121, P122	: Port 12	VDD	: Power Supply
REGC	: Regulator Capacitance	Vss	: Ground
		X1, X2	: Crystal Oscillator (Main System Clock)

- 注意1.** V<sub>SS</sub>はA/Dコンバータのグランド電位と兼用しています。V<sub>SS</sub>を必ず安定しているGND (= 0 V) に接続してください。
- REGCはコンデンサ (0.47 ~ 1 μF) を介して、V<sub>SS</sub>に接続してください。
  - リセット解除後に、ANI0/P20, ANI1/P21, ANI2/P22, ANI3/P23/CMP2+はアナログ入力モードになります。

## 1.3.2 78K0/FA2-L (20ピン)

・20ピン・プラスチックSSOP (7.62 mm (300))

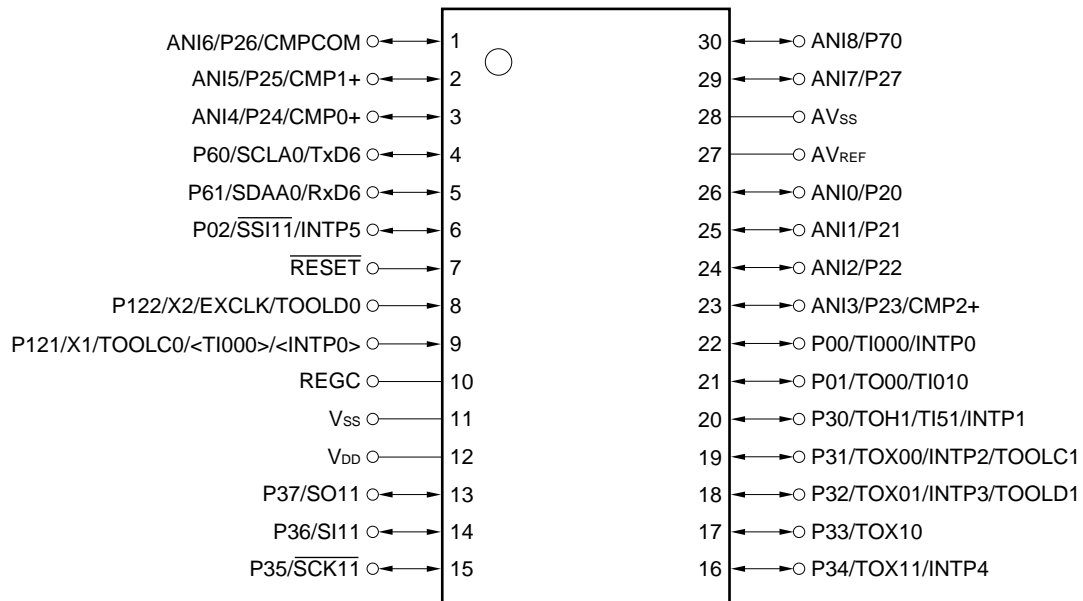


ANI0-ANI5	: Analog Input	RESET	: Reset
AVREF	: Analog Reference Voltage	RxD6	: Receive Data
CMP0+, CMP1+, CMP2+	: Comparator Input	SCLA0	: Serial Clock Input/Output
EXCLK	: External Clock Input (Main System Clock)	SDAA0	: Serial Data Input/Output
INTP0-INTP3	: External Interrupt Input	TI000, TI010, TI51	: Timer Input
P00, P01	: Port 0	TO00, TOH1	: Timer Output
P20-P25	: Port 2	TOOLC0, TOOLC1	: Clock Input for Tool
P30-P32	: Port 3	TOOLD0, TOOLD1	: Data Input/Output for Tool
P60, P61	: Port 6	TOX00, TOX01	: Timer Output
P121, P122	: Port 12	TxD6	: Transmit Data
REGC	: Regulator Capacitance	VDD	: Power Supply
		Vss	: Ground
		X1, X2	: Crystal Oscillator (Main System Clock)

- 注意1.** VssはA/Dコンバータのグランド電位と兼用しています。Vssを必ず安定しているGND (= 0 V) に接続してください。
2. REGCはコンデンサ (0.47 ~ 1  $\mu$ F) を介して、Vssに接続してください。
3. リセット解除後に、ANI0/P20, ANI1/P21, ANI2/P22, ANI3/P23/CMP2+, ANI4/P24/CMP0+, ANI5/P25/CMP1+はアナログ入力モードになります。

## 1. 3. 3 78K0/FB2-L (30ピン)

・ 30ピン・プラスチックSSOP (7.62 mm (300))



ANI0-ANI8	: Analog Input	RxD6	: Receive Data
AVREF	: Analog Reference Voltage	SCLA0, SCK11	: Serial Clock Input/Output
AVSS	: Analog Ground	SDAA0 :	Serial Data Input/Output
CMP0+, CMP1+, CMP2+	: Comparator Input	SI11	: Serial Data Input
EXCLK	: External Clock Input (Main System Clock)	SO11	: Serial Data Output
CMPCOM :	: Comparator Common Input	SSI11 :	: Serial Interface Chip
INPT0-INTP5	: External Interrupt Input	TI000, TI010, TI51	: Timer Input
P00-P02	: Port 0	TO00, TOH1	: Timer Output
P20-P27	: Port 2	TOOLC0, TOOLC1	: Clock Input for Tool
P30-P37	: Port 3	TOOLD0, TOOLD1	: Data Input/Output for Tool
P60, P61	: Port 6	TOX00, TOX01,	
P70	: Port 7	TOX10, TOX11	: Timer Output
P121, P122	: Port 12	TxD6	: Transmit Data
REGC	: Regulator Capacitance	VDD	: Power Supply
RESET	: Reset	VSS	: Ground
		X1, X2	: Crystal Oscillator (Main System Clock)

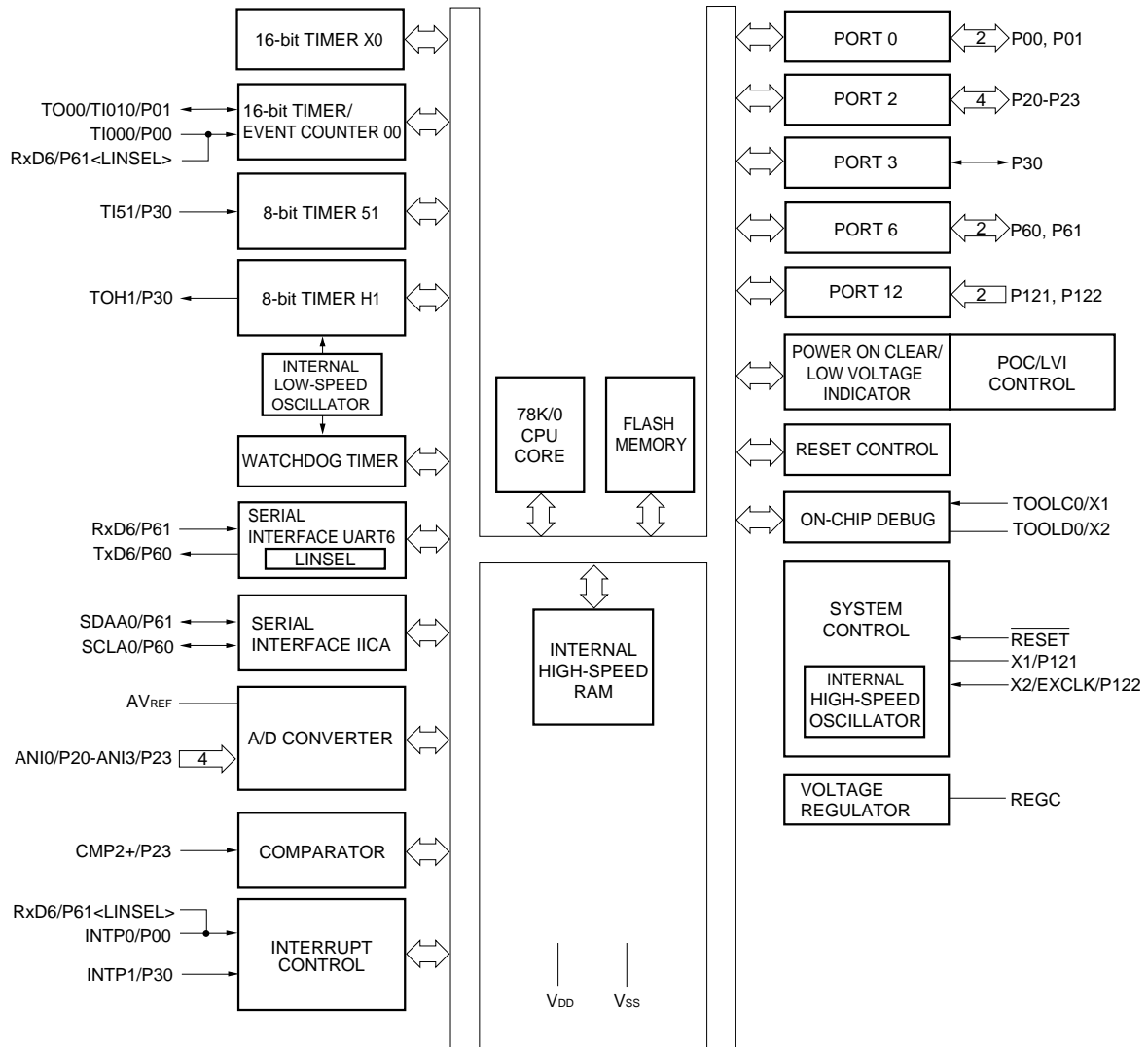
**注意1.** REGCはコンデンサ (0.47 ~ 1  $\mu$ F) を介して、VSSに接続してください。

2. リセット解除後に、ANI0/P20, ANI1/P21, ANI2/P22, ANI3/P23/CMP2+, ANI4/P24/CMP0+, ANI5/P25/CMP1+, ANI6/P26/CMPCOM, ANI7/P27, ANI8/P70はアナログ入力モードになります。

**備考** 上図の<>内の機能は、入力切り替え制御レジスタ (MUXSEL) の設定により、割り当て可能です。

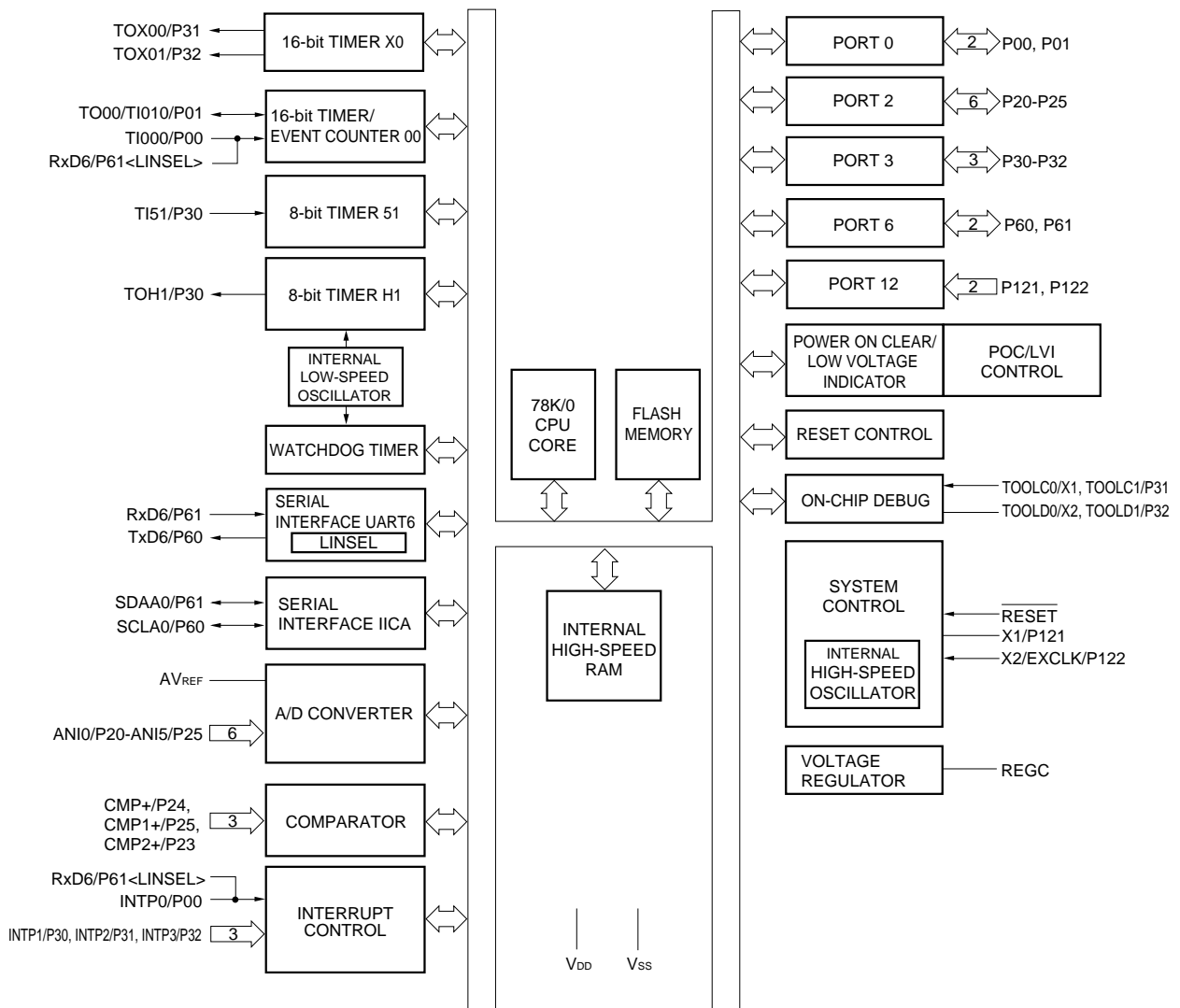
## 1.4 ブロック図

### 1.4.1 78K0/FY2-L (16ピン)



- 注意1.**  $V_{SS}$ はA/Dコンバータのグランド電位と兼用しています。 $V_{SS}$ を必ず安定しているGND (= 0 V)に接続してください。
- REGCはコンデンサ (0.47 ~ 1  $\mu$ F) を介して、 $V_{SS}$ に接続してください。
  - リセット解除後に、ANI0/P20, ANI1/P21, ANI2/P22, ANI3/P23/CMP2+はアナログ入力モードになります。

## 1.4.2 78K0/FA2-L (20ピン)

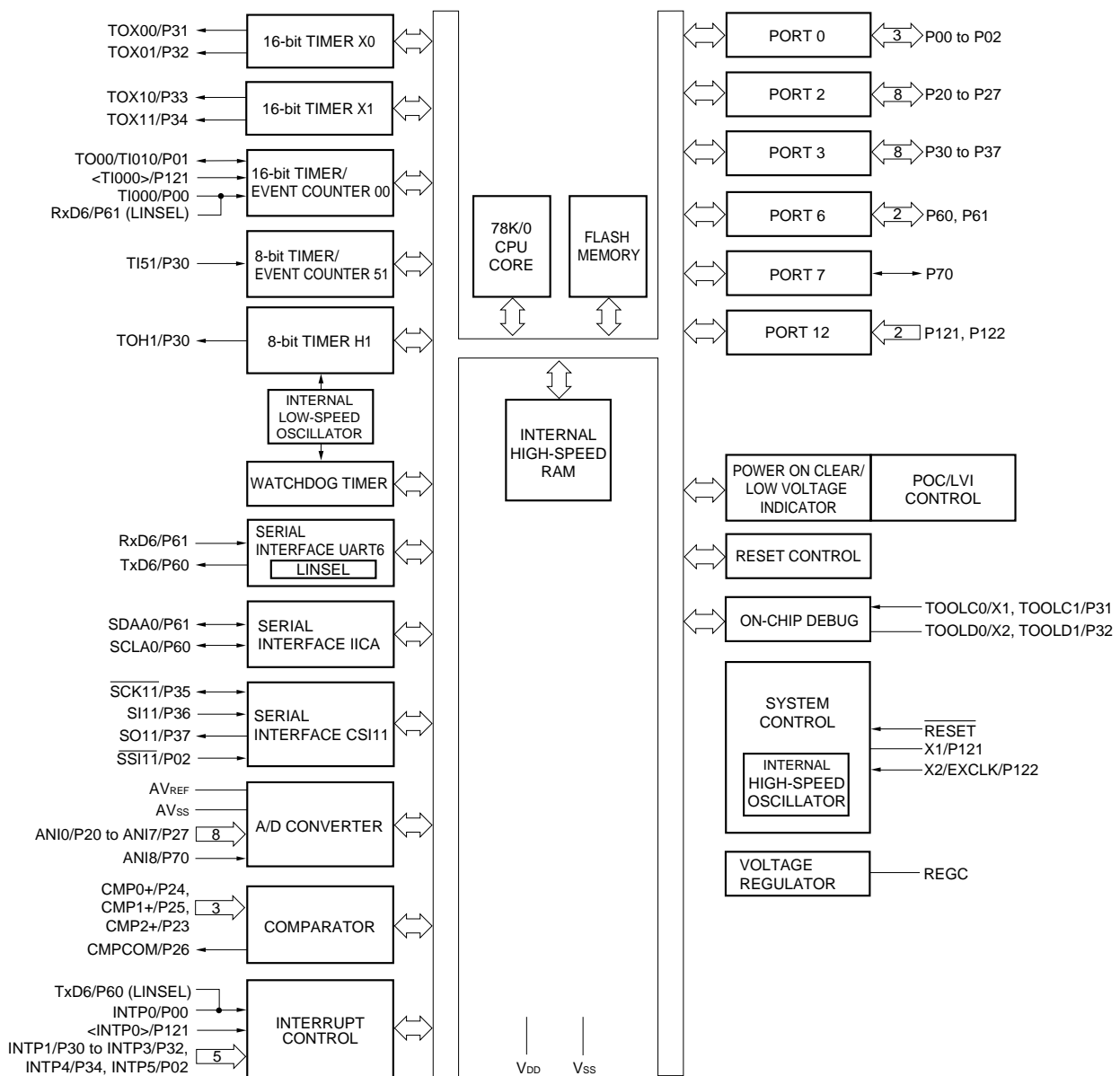


注意1.  $V_{SS}$ はA/Dコンバータのグランド電位と兼用しています。 $V_{SS}$ を必ず安定しているGND (= 0 V) に接続してください。

2. REGCはコンデンサ (0.47 ~ 1  $\mu$ F) を介して,  $V_{SS}$ に接続してください。
3. リセット解除後に, ANI0/P20, ANI1/P21, ANI2/P22, ANI3/P23/CMP2+, ANI4/P24/CMP0+, ANI5/P25/CMP1+はアナログ入力モードになります。



## 1.4.3 78K0/FB2-L (30ピン)



**注意1.** REGCはコンデンサ (0.47 ~ 1  $\mu$ F) を介して、 $V_{SS}$ に接続してください。

2. リセット解除後に、ANI0/P20, ANI1/P21, ANI2/P22, ANI3/P23/CMP2+, ANI4/P24/CMP0+, ANI5/P25/CMP1+, ANI6/P26/CMPCOM, ANI7/P27, ANI8/P70はアナログ入力モードになります。

**備考** 上図の<>内の機能は、入力切り替え制御レジスタ (MUXSEL) の設定により、割り当て可能です。

## 1.5 機能概要

(1/2)

項 目		78K0/FY2-L	78K0/FA2-L	78K0/FB2-L
		16ピン	20ピン	30ピン
内部 メモリ	フラッシュ・ メモリ (セル フ・プログラミング 対応)	4 K ~ 16 Kバイト		8 K, 16 Kバイト
	高速RAM	384 ~ 768バイト		512, 768バイト
メモリ空間		64 Kバイト		
ク ロ ッ ク	メ イ ン	高速システム (セラミック/ 水晶発振, 外部 クロック入力)		
		2 ~ 20 MHz <sup>注1</sup> : V <sub>DD</sub> = 4.0 ~ 5.5 V / 2 ~ 10 MHz : V <sub>DD</sub> = 2.7 ~ 5.5 V / 2 ~ 5 MHz : V <sub>DD</sub> = 1.8 ~ 5.5 V <sup>注2</sup>		
		高速内蔵発振 4 MHz ± 2 % ( T <sub>A</sub> = - 20 ~ + 70 ) <sup>注1</sup> / 4 MHz ± 3 % ( T <sub>A</sub> = - 40 ~ + 85 ) <sup>注1</sup> / 8 MHz ± 3 % ( T <sub>A</sub> = - 40 ~ + 85 ) : V <sub>DD</sub> = 1.8 ~ 5.5 V <sup>注2</sup>		
	低速内蔵発振	30 kHz ( TYP. ) : V <sub>DD</sub> = 1.8 ~ 5.5 V <sup>注2</sup>		
汎用レジスタ		8ビット × 32レジスタ ( 8ビット × 8レジスタ × 4バンク )		
命令セット		<ul style="list-style-type: none"> <li>・ 8ビット演算, 16ビット演算</li> <li>・ 乗除算 ( 8ビット × 8ビット, 16ビット ÷ 8ビット )</li> <li>・ ビット操作 ( セット, リセット, テスト, ブール演算 )</li> <li>・ BCD補正など</li> </ul>		
I/Oポート		11本 ( CMOS入出力 : 9本 , CMOS 入力 : 2本 )	15本 ( CMOS入出力 : 13本 , CMOS 入力 : 2本 )	24本 ( CMOS入出力 : 22本 , CMOS 入力 : 2本 )
タ イ マ	16ビット ( TMX )	1チャンネル	1チャンネル ( PWM出力 : 2本 )	2チャンネル ( PWM出力 : 4本 )
	16ビット ( TM0 )	1チャンネル ( キャプチャ入力 : 1本 )		1チャンネル ( PPG出力 : 1本 , キャ プチャ入力 : 2本 )
	8ビット ( TM51 )	1チャンネル		
	8ビット ( TMH1 )	1チャンネル ( PWM出力 : 1本 )		
	ウォッチドッグ ( WDT )	1チャンネル		

注1. 4 MHz使用時は, PLLによる20 MHz動作可能

2. (A) 水準品の場合です。(A2) 水準品については, 第28章 電気的特性 ( (A2) 水準品 ) を参照してください。

(2/2)

項 目		78K0/FY2-L	78K0/FA2-L	78K0/FB2-L
		16ピン	20ピン	30ピン
インタ フェ ース	シリアル UART6	1チャンネル		
	IICA	1チャンネル		
	CSI11	-		1チャンネル
10ビットA/Dコンバータ		4チャンネル	6チャンネル	9チャンネル
コンパレータ		1チャンネル	3チャンネル	
乗算器		8ビット×8ビット = 16 ビット , 16ビット×16ビット = 32ビット		
ベクタ 割り込み要因	外部	3	7	9
	内部	11	11	13
リセット		<ul style="list-style-type: none"> <li>・ RESET端子によるリセット</li> <li>・ ウォッチドッグ・タイマによる内部リセット</li> <li>・ パワーオン・クリア (POC) による内部リセット</li> <li>・ 低電圧検出 (LVI) 回路による内部リセット</li> </ul>		
オンチップ・デバッグ機能		あり		
電源電圧		V <sub>DD</sub> = 1.8 ~ 5.5 V		
動作周囲温度		(A) 水準品 : T <sub>A</sub> = -40 ~ +85 , (A2) 水準品 : T <sub>A</sub> = -40 ~ +125		
パッケージ		16ピン・プラスチックSSOP (5.72 mm (225) )	20ピン・プラスチックSSOP (7.62 mm (300) )	30ピン・プラスチックSSOP (7.62 mm (300) )

## 第2章 端子機能

### 2.1 端子機能一覧

端子の入出力バッファ電源には、 $AV_{REF}$ 、 $V_{DD}$ の2系統があります。それぞれの電源と端子の関係を次に示します。

表2 - 1 各端子の入出力バッファ電源

電 源	対応する端子
$AV_{REF}$	P20-P27, P70 <sup>注</sup>
$V_{DD}$	P20-P27, P70 <sup>注</sup> 以外の端子

注 78K0/FY2-L : P20-P23  
78K0/FA2-L : P20-P25  
78K0/FB2-L : P20-P27, P70

## 2.1.1 78K0/FY2-L

## (1) ポート機能 : 78K0/FY2-L

機能名称	入出力	機能	リセット時	兼用機能
P00	入出力	ポート0。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI000/INTP0
P01				TO00/TI010
P20	入出力	ポート2。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	アナログ 入力	ANI0
P21				ANI1
P22				ANI2
P23				ANI3/CMP2+
P30	入出力	ポート3。 1ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TOH1/TI51/INTP1
P60	入出力	ポート6。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力は、1ビット単位でSMBus入力バッファに設定可能。 出力は、1ビット単位でN-chオープン・ドレイン出力 (V <sub>DD</sub> 耐圧) に設定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCLA0/TxD6
P61				SDAA0/RxD6
P121	入力	ポート12。 2ビット入力専用ポート。	入力ポート	X1/TOOLC0
P122				X2/EXCLK/ TOOLD0

## (2) ポート以外の機能 : 78K0/FY2-L

機能名称	入出力	機能	リセット時	兼用機能
ANI0	入力	A/Dコンバータのアナログ入力	アナログ入力	P20
ANI1				P21
ANI2				P22
ANI3				P23
CMP2+	入力	コンパレータ入力	アナログ入力	P23/ANI31
INTP0	入力	有効エッジ(立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力	入力ポート	P00/TI000
INTP1				P30/TOH1/TI51
REGC	-	内部動作レギュレータ出力(2.0V/2.4V)安定容量接続。コンデンサ(0.47~1 $\mu$ F)を介し, V <sub>SS</sub> に接続してください。	-	-
RESET	入力	システム・リセット入力	リセット入力	-
RxD6	入力	UART6のシリアル・データ入力	入力ポート	P61/SDAA0
TxD6	出力	UART6のシリアル・データ出力		P60/SCLA0
SCLA0	入出力	I <sup>2</sup> Cのクロック入力/出力	入力ポート	P60/TxD6
SDAA0		I <sup>2</sup> Cのシリアル・データ入出力		P61/RxD6
TI000	入力	16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力。 16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ(CR000, CR010)へのキャプチャ・トリガ入力。	入力ポート	P00/INTP0
TI010		16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ(CR000)へのキャプチャ・トリガ入力		P01/TO00
TI51	入力	8ビット・タイマ/イベント・カウンタ51への外部カウント・クロック入力	入力ポート	P30/TOH1/INTP1
TO00	出力	16ビット・タイマ/イベント・カウンタ00出力	入力ポート	P01/TI010
TOH1	出力	8ビット・タイマH1出力	入力ポート	P30/TI51/INTP1
X1	-	メイン・システム・クロック用発振子接続	入力ポート	P121/TOOLC0
X2				P122/EXCLK/ TOOLD0
EXCLK				P122/X2/TOOLD0
V <sub>DD</sub>	-	ポート2以外の正電源	-	-
AV <sub>REF</sub>		A/Dコンバータの基準電圧入力およびポート2, A/Dコンバータの正電源		
V <sub>SS</sub>	-	グランド電位	-	-
TOOLC0	入力	フラッシュ・メモリ・プログラマ/オンチップ・デバッグ用クロック入力	入力ポート	P121/X1
TOOLD0	入出力	フラッシュ・メモリ・プログラマ/オンチップ・デバッグ用データ入出力		P122/X2/EXCLK

## 2.1.2 78K0/FA2-L

## (1) ポート機能 : 78K0/FA2-L

機能名称	入出力	機能	リセット時	兼用機能
P00	入出力	ポート0。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI000/INTP0
P01				TO00/TI010
P20	入出力	ポート2。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	アナログ 入力	ANI0
P21				ANI1
P22				ANI2
P23				ANI3/CMP2+
P24				ANI4/CMP0+
P25				ANI5/CMP1+
P30	入出力	ポート3。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TOH1/TI51/INTP1
P31				TOX00/INTP2/ TOOLC1
P32				TOX01/INTP3/ TOOLD1
P60	入出力	ポート6。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力は、1ビット単位でSMBus入力バッファに設定可能。 出力は、1ビット単位でN-chオープン・ドレイン出力 (V <sub>DD</sub> 耐圧) に設定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCLA0/TxD6
P61				SDAA0/RxD6
P121	入力	ポート12。 2ビット入力専用ポート。	入力ポート	X1/TOOLC0
P122				X2/EXCLK/ TOOLD0

## (2) ポート以外の機能 : 78K0/FA2-L (1/2)

機能名称	入出力	機能	リセット時	兼用機能
ANI0	入力	A/Dコンバータのアナログ入力	アナログ入 力	P20
ANI1				P21
ANI2				P22
ANI3				P23
ANI4				P24
ANI5				P25

## (2) ポート以外の機能 : 78K0/FA2-L (2/2)

機能名称	入出力	機能	リセット時	兼用機能
CMP0+	入力	コンパレータ入力	アナログ入力	P24/ANI4
CMP1+				P25/ANI5
CMP2+				P21/ANI1
INTP0	入力	有効エッジ(立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がり)の両エッジ) 指定可能な外部割り込み要求入力	入力ポート	P00/TI000
INTP1				P30/TOH1/TI51
INTP2				P31/TOOLC1
INTP3				P32/TOOLD1
REGC	-	内部動作レギュレータ出力(2.0V/2.4V)安定容量接続。 コンデンサ(0.47~1 $\mu$ F)を介し, V <sub>SS</sub> に接続してください。	-	-
RESET	入力	システム・リセット入力	リセット入力	-
RxD6	入力	UART6のシリアル・データ入力	入力ポート	P61/SDAA0
TxD6	出力	UART6のシリアル・データ出力		P60/SCLA0
SCLA0	入出力	I <sup>2</sup> Cのクロック入力/出力	入力ポート	P60/TxD6
SDAA0		I <sup>2</sup> Cのシリアル・データ入出力		P61/RxD6
TI000	入力	16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力。 16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ(CR000, CR010)へのキャプチャ・トリガ入力。	入力ポート	P00/INTP0
TI010		16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ(CR000)へのキャプチャ・トリガ入力		P01/TO00
TI51	入力	8ビット・タイマ/イベント・カウンタ51への外部カウント・クロック入力	入力ポート	P30/TOH1/INTP1
TO00	出力	16ビット・タイマ/イベント・カウンタ00出力	入力ポート	P01/TI010
TOH1	出力	8ビット・タイマH1出力	入力ポート	P30/TI51/INTP1
TOX00	出力	16ビット・タイマX0出力	入力ポート	P31/INTP2/ TOOLC1
TOX01				P32/INTP3/ TOOLD1
X1	-	メイン・システム・クロック用発振子接続	入力ポート	P121/TOOLC0
X2				P122/EXCLK/ TOOLD0
EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力ポート	P122/X2/TOOLD0
V <sub>DD</sub>	-	ポート2以外の正電源	-	-
AV <sub>REF</sub>		A/Dコンバータの基準電圧入力およびポート2, A/Dコンバータの正電源		
V <sub>SS</sub>	-	グランド電位	-	-
TOOLC0	入力	フラッシュ・メモリ・プログラマ/オンチップ・デバッグ用クロック入力	入力ポート	P121/X1
TOOLC1				P31/INTP2
TOOLD0	入出力	フラッシュ・メモリ・プログラマ/オンチップ・デバッグ用データ入出力		P122/X2/EXCLK
TOOLD1				P32/INTP3



## 2.1.3 78K0/FB2-L

## (1) ポート機能 : 78K0/FB2-L

機能名称	入出力	機能	リセット時	兼用機能
P00	入出力	ポート0。 3ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI000/INTP0
P01				TO00/TI010
P02				SSI11/INTP5
P20	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。	アナログ 入力	ANI0
P21				ANI1
P22				ANI2
P23				ANI3/CMP2+
P24				ANI4/CMP0+
P25				ANI5/CMP1+
P26				ANI6/CMPCOM
P27				ANI7
P30	入出力	ポート3。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TOH1/TI51/INTP1
P31				TOX00/INTP2/ TOOLC1
P32				TOX01/INTP3/ TOOLD1
P33				TOX10
P34				TOX11/INTP4
P35				SCK11
P36				SI11
P37				SO11
P60	入出力	ポート6。 2ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 入力は、1ビット単位でSMBus入力バッファに設定可能。 出力は、1ビット単位でN-chオープン・ドレイン出力 (V <sub>DD</sub> 耐圧) に設定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCLA0/TxD6
P61				SDAA0/RxD6
P70	入出力	ポート7。 1ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。	アナログ 入力	ANI8
P121	入力	ポート12。 2ビット入力ポート。	入力ポート	X1/TOOLC0/ <TI000>/<INTP0>
P122				X2/EXCLK/ TOOLD0

**備考** 上表の < > 内の機能は、入力切り替え制御レジスタ (MUXSEL) の設定により、割り当て可能です。

## (2) ポート以外の機能 : 78K0/FB2-L (1/2)

機能名称	入出力	機能	リセット時	兼用機能
ANI0	入力	A/Dコンバータのアナログ入力	アナログ 入力	P20
ANI1				P21
ANI2				P22
ANI3				P23/CMP2+
ANI4				P24/CMP0+
ANI5				P25/CMP1+
ANI6				P26/CMPCOM
ANI7				P27
ANI8				P70
CMP0+	入力	コンパレータ入力	アナログ 入力	P24/ANI4
CMP1+				P25/ANI5
CMP2+				P23/ANI3
CMPCOM	入力	コンパレータ・コモン入力	アナログ 入力	P26/ANI6
INTP0	入力	有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下 がりの両エッジ）指定可能な外部割り込み要求入力	入力ポート	P00/TI000
INTP1				P121/X1/TOOLC0/ <TI000>
INTP2				P30/TOH1/TI51
INTP3				P31/TOX00/ TOOLC1
INTP4				P32/TOX01/ TOOLD1
INTP5				P34/TOX11 P02/SSI11
REGC	-	内部動作レギュレータ出力（2.0 V/2.4 V）安定容量接続。 コンデンサ（0.47～1 $\mu$ F）を介し，V <sub>SS</sub> に接続してください。	-	-
RESET	入力	システム・リセット入力	リセット 入力	-
RxD6	入力	UART6のシリアル・データ入力	入力ポート	P61/SDAA0
TxD6	出力	UART6のシリアル・データ出力		P60/SCLA0
SCLA0	入出力	I <sup>2</sup> Cのクロック入出力	入力ポート	P60/TxD6
SDAA0		I <sup>2</sup> Cのシリアル・データ入出力		P61/RxD6

**備考** 上表の<>内の機能は，入力切り替え制御レジスタ（MUXSEL）の設定により，割り当て可能です。

## (2) ポート以外の機能 : 78K0/FB2-L (2/2)

機能名称	入出力	機能	リセット時	兼用機能
SCK11	入出力	CSI11のクロック入力/出力	入力ポート	P35
SI11	入力	CSI11のシリアル・データ入力		P36
SO11	出力	CSI11のシリアル・データ出力		P37
SSI11	入力	CSI11のチップ・セレクト入力	入力ポート	P02/INTP5
TI000	入力	16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力。 16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000, CR010) へのキャプチャ・トリガ入力。	入力ポート	P00/INTP0
TI010		16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000) へのキャプチャ・トリガ入力		P01/TO00
TI51	入力	8ビット・タイマ/イベント・カウンタ51への外部カウント・クロック入力	入力ポート	P30/TOH1/INTP1
TO00	出力	16ビット・タイマ/イベント・カウンタ00出力	入力ポート	P01/TI010
TOH1	出力	8ビット・タイマH1出力	入力ポート	P30/TI51/INTP1
TOX00	出力	16ビット・タイマX0出力	入力ポート	P31/INTP2/ TOOLC1
TOX01				P32/INTP3/ TOOLD1
TOX10				P33
TOX11		P34/INTP4		
X1	-	メイン・システム・クロック用発振子接続	入力ポート	P121/TOOLC0/ <TI000>/<INTP0>
X2				P122/EXCLK/ TOOLD0
EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力ポート	P122/X2/TOOLD0
V <sub>DD</sub>	-	ポート2, 7以外の正電源	-	-
AV <sub>REF</sub>		A/Dコンバータの基準電圧入力およびポート2, 7, A/Dコンバータの正電源		
V <sub>SS</sub>	-	ポート2, 7以外のグランド電位	-	-
AV <sub>SS</sub>		ポート2, 7, A/Dコンバータのグランド電位		
TOOLC0	入力	フラッシュ・メモリ・プログラマ/オンチップ・デバッガ用クロック入力	入力ポート	P121/X1/<TI000>/ <INTP0>
TOOLC1				P31/TOX00/INTP2
TOOLD0	入出力	フラッシュ・メモリ・プログラマ/オンチップ・デバッガ用データ入出力		P122/X2/EXCLK
TOOLD1			P32/TOX01/INTP3	

**備考** 上表の<>内の機能は、入力切り替え制御レジスタ (MUXSEL) の設定により、割り当て可能です。

## 2.2 端子機能の説明

**備考** 製品により、搭載している端子が異なります。1.3 端子接続図 (Top View) , 2.1 端子機能一覧を参照してください。

### 2.2.1 P00-P02 (Port 0)

入出力ポートです。入出力ポートのほかにタイマの入出力、外部割り込み要求入力、チップ・セレクト入力機能があります。

78K0/FY2-L (16ピン)	78K0/FA2-L (20ピン)	78K0/FB2-L (30ピン)
P00/TI000/INTP0	P00/TI000/INTP0	P00/TI000
P01/TO00/TI010	P01/TO00/TI010	P01/TO00/TI010
-	-	P02/SSI11/INTP5

1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ0 (PM0) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用できます。

#### (2) コントロール・モード

タイマの入出力、外部割り込み要求入力、チップ・セレクト入力として機能します。

##### (a) TI000

16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力端子および16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000, CR010) へのキャプチャ・トリガ信号入力端子です。

##### (b) TI010

16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000) へのキャプチャ・トリガ信号入力端子です。

##### (c) TO00

16ビット・タイマ/イベント・カウンタ00のタイマ出力端子です。

##### (d) INTP0, INTP5

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

##### (e) SSI11

シリアル・インタフェースCS11のチップ・セレクト入力端子です。

## 2.2.2 P20-P27 (Port 2)

入出力ポートです。入出力ポートのほかにA/Dコンバータのアナログ入力,コンパレータ入力機能があります。

78K0/FY2-L (16ピン)	78K0/FA2-L (20ピン)	78K0/FB2-L (30ピン)
P20/ANI0	P20/ANI0	P20/ANI0
P21/ANI1	P21/ANI1	P21/ANI1
P22/ANI2	P22/ANI2	P22/ANI2
P23/ANI3/CMP2+	P23/ANI3/CMP2+	P23/ANI3/CMP2+
-	P24/ANI4/CMP0+	P24/ANI4/CMP0+
-	P25/ANI5/CMP1+	P25/ANI5/CMP1+
-	-	P26/ANI6/CMPCOM
-	-	P27/ANI7

1ビット単位で次のような動作モードを指定できます。

### (1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) の設定により,1ビット単位で入力ポートまたは出力ポートに指定できます。

### (2) コントロール・モード

A/Dコンバータのアナログ入力,コンパレータ入力として機能します。

#### (a) ANI0-ANI7

A/Dコンバータのアナログ入力端子です。アナログ入力端子として使用する場合,11.6 A/Dコンバータの注意事項(5) ANI0/P20-ANI7/P27, ANI8/P70を参照してください。

#### (b) CMP0+-CMP2+

コンパレータ入力端子です。

#### (c) CMPCOM

コンパレータ・コモン入力端子です。

**注意** ANI0/P20-ANI7/P27は,リセット解除後はアナログ入力モードになります。

### 2.2.3 P30-P37 (Port 3)

入出力ポートです。入出力ポートのほかに外部割り込み要求入力、タイマ入出力、フラッシュ・メモリ・プログラマ/オンチップ・デバッグ用クロック入力、データ入出力、シリアル・インタフェースのクロック入力、データ入出力機能があります。

78K0/FY2-L (16ピン)	78K0/FA2-L (20ピン)	78K0/FB2-L (30ピン)
P30/TOH1/TI51/INTP1	P30/TOH1/TI51/INTP1	P30/TOH1/TI51/INTP1
-	P31/TOX00/INTP2/TOOLC1	P31/TOX00/INTP2/TOOLC1
-	P32/TOX01/INTP3/TOOLD1	P32/TOX01/INTP3/TOOLD1
-	-	P33/TOX10
-	-	P34/TOX11/INTP4
-	-	P35/SCK11
-	-	P36/SI11
-	-	P37/SO11

1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ3 (PU3) の設定により、内蔵プルアップ抵抗を使用できます。

#### (2) コントロール・モード

外部割り込み要求入力、タイマの入出力、フラッシュ・メモリ・プログラマ/オンチップ・デバッグ用クロック入力、データ入出力、シリアル・インタフェースのクロック入力として機能します。

##### (a) INTP1-INTP4

有効エッジ (立ち上がり、立ち下がり、立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

##### (b) TI51

8ビット・タイマ/イベント・カウンタ51への外部カウント・クロック入力端子です。

##### (c) TO51

8ビット・タイマ/イベント・カウンタ51のタイマ出力端子です。

##### (d) TOH1

8ビット・タイマH1のタイマ出力端子です。

##### (e) TOX00, TOX01

16ビット・タイマX0のタイマ出力端子です。

## (f) TOX10, TOX11

16ビット・タイマX1のタイマ出力端子です。

## (g) TOOLC1

フラッシュ・メモリ・プログラマ/オンチップ・デバッグ用クロック入力端子です。

## (h) TOOLD1

フラッシュ・メモリ・プログラマ/オンチップ・デバッグ用データ入出力端子です。

(i)  $\overline{\text{SCK11}}$ 

シリアル・インタフェースCSI11のシリアル・クロック入出力端子です。

## (j) SI11

シリアル・インタフェースCSI11のシリアル・データ入力端子です。

## (k) SO11

シリアル・インタフェースCSI11のシリアル・データ出力端子です。

**備考** TOOLC1/P31, TOOLD1/P32を使用したフラッシュ・メモリ・プログラマとの接続については, **第24章 フラッシュ・メモリ**を, TOOLC1/P31, TOOLD1/P32とオンチップ・デバッグ・エミュレータとの接続については, **第25章 オンチップ・デバッグ機能**を参照してください。

## 2.2.4 P60, P61 (Port 6)

入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力, クロック入出力機能があります。

P60, P61の入力は, ポート入力モード・レジスタ6 (PIM6) により, 1ビット単位で通常入力バッファまたはSMBus入力バッファに指定できます。

P60, P61の出力は, ポート出力モード・レジスタ6 (POM6) により, 1ビット単位で通常CMOS出力またはN-chオープン・ドレイン出力 ( $V_{DD}$ 耐圧) に指定できます。

78K0/FY2-L (16ピン)	78K0/FA2-L (20ピン)	78K0/FB2-L (30ピン)
P60/SCLA0/TxD6	P60/SCLA0/TxD6	P60/SCLA0/TxD6
P61/SDAA0/RxD6	P61/SDAA0/RxD6	P61/SDAA0/RxD6

1ビット単位で次のような動作モードを指定できます。

### (1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ6 (PM6) の設定により, 1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ6 (PU6) の設定により, 内蔵プルアップ抵抗を使用できます。

**(2) コントロール・モード**

シリアル・インタフェースのデータ入出力，クロック入出力として機能します。

**(a) SDAA0**

シリアル・インタフェースIICAのシリアル・データ入出力端子です。

**(b) SCLA0**

シリアル・インタフェースIICAのシリアル・クロック入出力端子です。

**(c) RxD6**

シリアル・インタフェースUART6のシリアル・データ入力端子です。

**(d) TxD6**

シリアル・インタフェースUART6のシリアル・データ出力端子です。



### 2.2.5 P70 (Port 7)

入出力ポートです。入出力ポートのほかにキー割り込み入力機能があります。

78K0/FY2-L (16ピン)	78K0/FA2-L (20ピン)	78K0/FB2-L (30ピン)
-	-	P70/ANI8

1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ7 (PM7) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

#### (2) コントロール・モード

A/Dコンバータのアナログ入力端子として機能します。

##### (a) ANI8

A/Dコンバータのアナログ入力です。アナログ入力端子として使用する場合、11.6 A/Dコンバータの注意事項 (5) ANI0/P20-ANI7/P27, ANI8/P70を参照してください。

**注意1.** ANI8/P70は、リセット解除後はアナログ入力モードになります。

**2.** ANI8を使用する場合は、 $AV_{REF}$ を $V_{DD}$ と同電位にしてください。

### 2.2.6 P121, P122 (Port 12)

入力ポートです。そのほかに外部割り込み要求入力、メイン・システム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力、タイマの入力、フラッシュ・メモリ・プログラマ/オンチップ・デバッグ用クロック入力、データ入出力機能があります。

78K0/FY2-L (16ピン)	78K0/FA2-L (20ピン)	78K0/FB2-L (30ピン)
P121/X1/TOOLC0	P121/X1/TOOLC0	P121/X1/TOOLC0/<TI000>/ <INTP0>
P122/X2/EXCLK/TOOLD0	P122/X2/EXCLK/TOOLD0	P122/X2/EXCLK/TOOLD0

**備考** 上表の<>内の機能は、入力切り替え制御レジスタ (MUXSEL) の設定により、割り当て可能です。

1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

入力ポートとして機能します。

#### (2) コントロール・モード

外部割り込み要求入力、メイン・システム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力、タイマの入力、フラッシュ・メモリ・プログラマ/オンチップ・デバッグ用クロック入力、データ入出力として機能します。

## (a) INTPO

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力（INTPO）として機能します。

## (b) X1, X2

メイン・システム・クロック用発振子接続端子です。

## (c) EXCLK

メイン・システム・クロック用外部クロック入力端子です。

## (d) TI000

16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力端子および16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ（CR000, CR010）へのキャプチャ・トリガ信号入力端子です。

## (e) TOOLC0

フラッシュ・メモリ・プログラマ/オンチップ・デバッグ用クロック入力端子です。

## (f) TOOLD0

フラッシュ・メモリ・プログラマ/オンチップ・デバッグ用データ入出力端子です。

**備考** TOOLC0/X1, TOOLD0/X2とフラッシュ・メモリ・プログラマとの接続については，**第24章 フラッシュ・メモリ**を，TOOLC0/X1, TOOLD0/X2とオンチップ・デバッグ・エミュレータとの接続については，**第25章 オンチップ・デバッグ機能**を参照してください。

## 2.2.7 AVREF, AVSS, VDD, VSS

78K0/FY2-L (16ピン)	78K0/FA2-L (20ピン)	78K0/FB2-L (30ピン)
AVREF	AVREF	AVREF
-	-	AVSS
VDD	VDD	VDD
VSS	VSS	VSS

## (a) AVREF

A/Dコンバータの基準電圧入力、およびポート2, A/Dコンバータの正電源供給端子です。  
A/Dコンバータを使用しない場合は、VDDに直接接続してください<sup>注</sup>。

**注** ポート2をデジタル・ポートとして使用する場合は、VDDと同電位にしてください。

## (b) AVSS

A/Dコンバータ、およびポート2のグランド電位端子です。A/Dコンバータを使用しないときでも、常にVSSと同電位で使用してください。

## (c) VDD

VDDは、正電源供給端子です。

## (d) VSS

VSSは、グランド電位端子です<sup>注</sup>。

**注** 78K0/FY2-Lと78K0/FA2-LのVSSは、A/Dコンバータのグランド電位と兼用しています。VSSを必ず安定しているGND (=0 V) に接続してください。

## 2.2.8 RESET

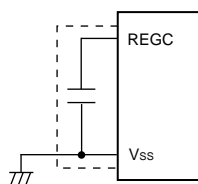
ロウ・レベル・アクティブのシステム・リセット入力端子です。

## 2.2.9 REGC

78K0/FY2-L (16ピン)	78K0/FA2-L (20ピン)	78K0/FB2-L (30ピン)
REGC	REGC	REGC

## (a) REGC

内部動作レギュレータ出力 (2.0 V/2.4 V) 安定容量接続端子です。コンデンサ (0.47 ~ 1  $\mu$ F) を介し、VSSに接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。



**注意** 上図の破線部分の配線を極力短くしてください。

## 2.3 端子の入出力回路と未使用端子の処理

各端子の入出力タイプと、未使用端子の処理を表2-2~2-4に示します。

また、各タイプの入出力回路の構成は、図2-1を参照してください。

表2-2 各端子の入出力回路タイプ (78K0/FY2-L)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/TI000/INTP0	5-AQ	入出力	入力時：個別に抵抗を介して、V <sub>DD</sub> またはV <sub>SS</sub> に接続してください。
P01/TO00/TI010			出力時：オープンにしてください。
ANI0/P20	11-G		<デジタル入力設定時>
ANI1/P21			個別に抵抗を介して、AV <sub>REF</sub> またはV <sub>SS</sub> に接続してください。
ANI2/P22			<アナログ入力設定時およびデジタル出力設定時>
ANI3/P23/CMP2+			オープンにしてください。 <sup>注3</sup>
P30/TOH1/TI51/INTP1	5-AQ		入力時：個別に抵抗を介して、V <sub>DD</sub> またはV <sub>SS</sub> に接続してください。
P60/SCLA0/TxD6	5-AS		出力時：オープンにしてください。
P61/SDAA0/RxD6			入力時：個別に抵抗を介して、V <sub>DD</sub> またはV <sub>SS</sub> に接続してください。
P121/X1/TOOLC0 <sup>注1</sup>	37-A	入力	出力時：ポートの出カラッチに0を設定してロウ・レベル出力でオープンにしてください。
P122/X2/EXCLK/ TOOLD0 <sup>注1,2</sup>			個別に抵抗を介して、V <sub>DD</sub> またはV <sub>SS</sub> に接続してください。
RESET	2		V <sub>DD</sub> に直接接続または抵抗を介して接続してください。
AV <sub>REF</sub>	-	-	V <sub>DD</sub> に直接接続してください。

注1. 未使用時は、入力ポート・モード (図5-2 クロック動作モード選択レジスタ (OSCCTL) のフォーマットを参照) で上記の推奨接続方法を行ってください。

2. デバッグ情報を持ったロード・モジュール・ファイル (拡張子: \*.lnk, \*.lmf) を書き込んだあとに、スタンド・アロンで動作させる場合、TOOLD0をブルアップしてください。
3. アナログ入力設定でオープンにした場合、入力電圧レベルが不定となるため、デジタル出力設定でオープンにすることを推奨します。

**注意** リセット解除後に ANI0/P20, ANI1/P21, ANI2/P22, ANI3/P23/CMP2+の端子機能はアナログ入力になります。

表2-3 各端子の入出力回路タイプ (78K0/FA2-L)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/TI000/INTP0	5-AQ	入出力	入力時：個別に抵抗を介して、 $V_{DD}$ または $V_{SS}$ に接続してください。 出力時：オープンにしてください。
P01/TO00/TI010			
ANI0/P20	11-G		<デジタル入力設定時> 個別に抵抗を介して、 $AV_{REF}$ または $V_{SS}$ に接続してください。 <アナログ入力設定時およびデジタル出力設定時> オープンにしてください。 <sup>注3</sup>
ANI1/P21			
ANI2/P22			
ANI3/P23/CMP2+			
ANI4/P24/CMP0+			
ANI5/P25/CMP1+	5-AQ		入力時：個別に抵抗を介して、 $V_{DD}$ または $V_{SS}$ に接続してください。 出力時：オープンにしてください。
P30/TOH1/TI51/INTP1			
P31/INTP2/TOX00/ TOOLC1			
P32/TOH1/INTP3/TOX01/ TOOLD1	5-AS		入力時：個別に抵抗を介して、 $V_{DD}$ または $V_{SS}$ に接続してください。 出力時：ポートの出力ラッチに0を設定してロウ・レベル出力でオープンにしてください。
P60/SCLA0/TxD6			
P61/SDAA0/RxD6	37-A	入力	個別に抵抗を介して、 $V_{DD}$ または $V_{SS}$ に接続してください。
P121/X1/TOOLC0 <sup>注1</sup>			
P122/X2/EXCLK/ TOOLD0 <sup>注1, 2</sup>			
RESET	2		$V_{DD}$ に直接接続または抵抗を介して接続してください。
$AV_{REF}$	-	-	$V_{DD}$ に直接接続してください。

注1. 未使用時は、入力ポート・モード (図5-2 クロック動作モード選択レジスタ (OSCCTL) のフォーマットを参照) で上記の推奨接続方法を行ってください。

- デバッグ情報を持ったロード・モジュール・ファイル (拡張子: \*.lnk, \*.lmf) を書き込んだあとに、スタンド・アロンで動作させる場合、TOOLD0をプルアップしてください。
- アナログ入力設定でオープンにした場合、入力電圧レベルが不定となるため、デジタル出力設定でオープンにすることを推奨します。

**注意** リセット解除後に、ANI0/P20, ANI1/P21, ANI2/P22, ANI3/P23/CMP2+, ANI4/P24/CMP0+, ANI5/P25/CMP1+の端子機能はアナログ入力になります。

表2 - 4 各端子の入出力回路タイプ (78K0/FB2-L)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/TI000/INTP0	5-AQ	入出力	入力時：個別に抵抗を介して、 $V_{DD}$ または $V_{SS}$ に接続してください。 出力時：オープンにしてください。
P01/TO00/TI010			
P02/SS111/INTP5			
ANI0/P20	11-G		<デジタル入力設定時> 個別に抵抗を介して、 $AV_{REF}$ または $AV_{SS}$ に接続してください。 <アナログ入力設定時およびデジタル出力設定時> オープンにしてください。 <sup>注3</sup>
ANI1/P21			
ANI2/P22			
ANI3/P23/CMP2+			
ANI4/P24/CMP0+			
ANI5/P25/CMP1+			
ANI6/P26/CMPCOM			
ANI7/P27			
P30/TOH1/TI51/INTP1	5-AQ		入力時：個別に抵抗を介して、 $V_{DD}$ または $V_{SS}$ に接続してください。 出力時：オープンにしてください。
P31/INTP2/TOX00/TOOLC1			
P32/INTP3/TOX01/TOOLD1			
P33/TOX10			
P34/TOX11/INTP4			
P35/SCK11			
P36/SI11			
P37/SO11	5-AG		
P60/SCLA0/TxD6	5-AS		入力時：個別に抵抗を介して、 $V_{DD}$ または $V_{SS}$ に接続してください。 出力時：ポートの出カラッチに0を設定してロウ・レベル出力でオープンにしてください。
P61/SDAA0/RxD6			
ANI8/P70	11-G		<デジタル入力設定時> 個別に抵抗を介して、 $AV_{REF}$ または $AV_{SS}$ に接続してください。 <アナログ入力設定時およびデジタル出力設定時> オープンにしてください。
P121/X1/TOOLC0 <sup>注1</sup> /<TI000>/<INTP0>	37-A	入力	個別に抵抗を介して、 $V_{DD}$ または $V_{SS}$ に接続してください。
P122/X2/EXCLK/ TOOLD0 <sup>注1, 2</sup>			
RESET	2		$V_{DD}$ に直接接続または抵抗を介して接続してください。
$AV_{REF}$	-	-	$V_{DD}$ に直接接続してください。
$AV_{SS}$	-	-	$V_{SS}$ に直接接続してください。

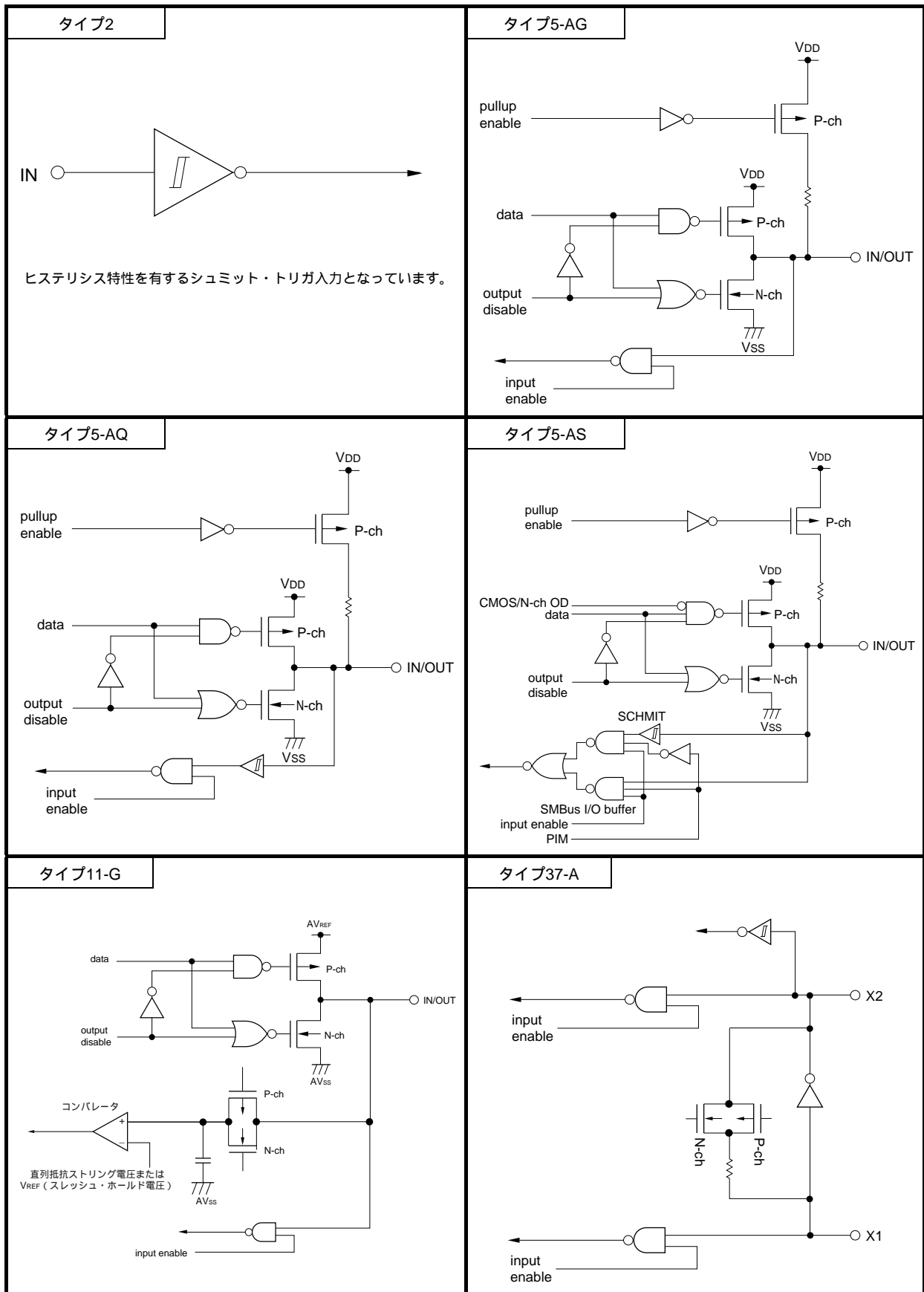
注1. 未使用時は、入力ポート・モード (図5 - 2 クロック動作モード選択レジスタ (OSCCTL) のフォーマットを参照) で上記の推奨接続方法を行ってください。

- デバッグ情報を持ったロード・モジュール・ファイル (拡張子: \*.lnk, \*.lmf) を書き込んだあとに、スタンド・アロンで動作させる場合、TOOLD0をブルアップしてください。
- アナログ入力設定でオープンにした場合、入力電圧レベルが不定となるため、デジタル出力設定でオープンにすることを推奨します。

**注意** リセット解除後に、ANI0/P20, ANI1/P21, ANI2/P22, ANI3/P23/CMP2+, ANI4/P24/CMP0+, ANI5/P25/CMP1+, ANI6/P26/CMPCOM, ANI7/P27, ANI8/P70の端子機能はアナログ入力になります。

**備考** 上表の<>内の機能は、入力切り替え制御レジスタ (MUXSEL) の設定により、割り当て可能です。

図2 - 1 端子の入出力回路一覧



## 第3章 CPUアーキテクチャ

### 3.1 メモリ空間

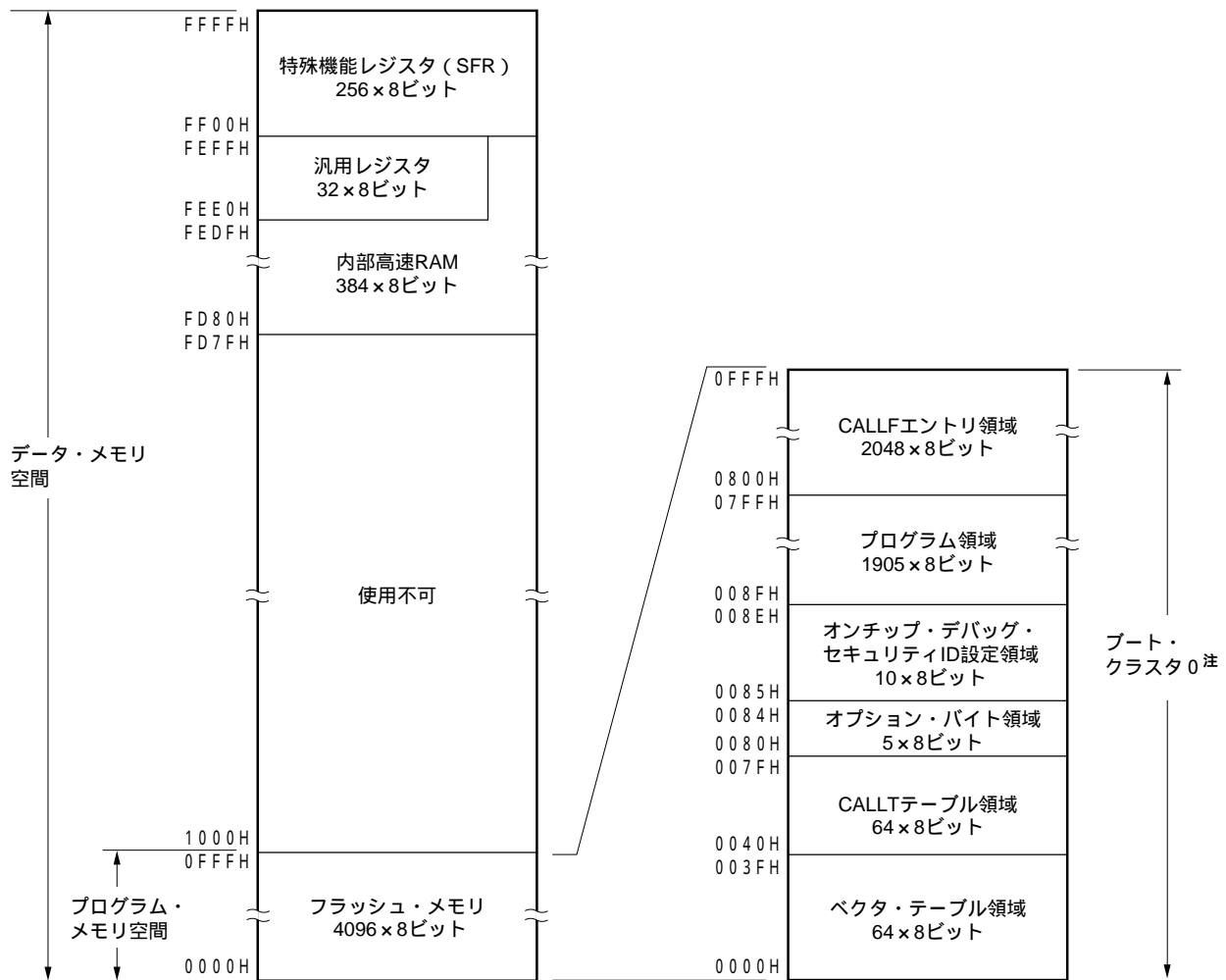
78K0/Fx2-Lマイクロコントローラは、64 Kバイトのメモリ空間をアクセスできます。図3 - 1から図3 - 3に、メモリ・マップを示します。

**注意** リセット時のROM領域の設定が不定となっているため、リセット解除後に製品ごとに次に示す値を必ず設定してください。

表3 - 1 メモリ・サイズ切り替えレジスタ (IMS) の設定値

製品			IMS	ROM容量	内部高速RAM 容量
78K0/FY2-L	78K0/FA2-L	78K0/FB2-L			
μ PD78F0854	μ PD78F0857	-	61H	4 Kバイト	384バイト
μ PD78F0855	μ PD78F0858	μ PD78F0864	42H	8 Kバイト	512バイト
μ PD78F0856	μ PD78F0859	μ PD78F0865	04H	16 Kバイト	768バイト



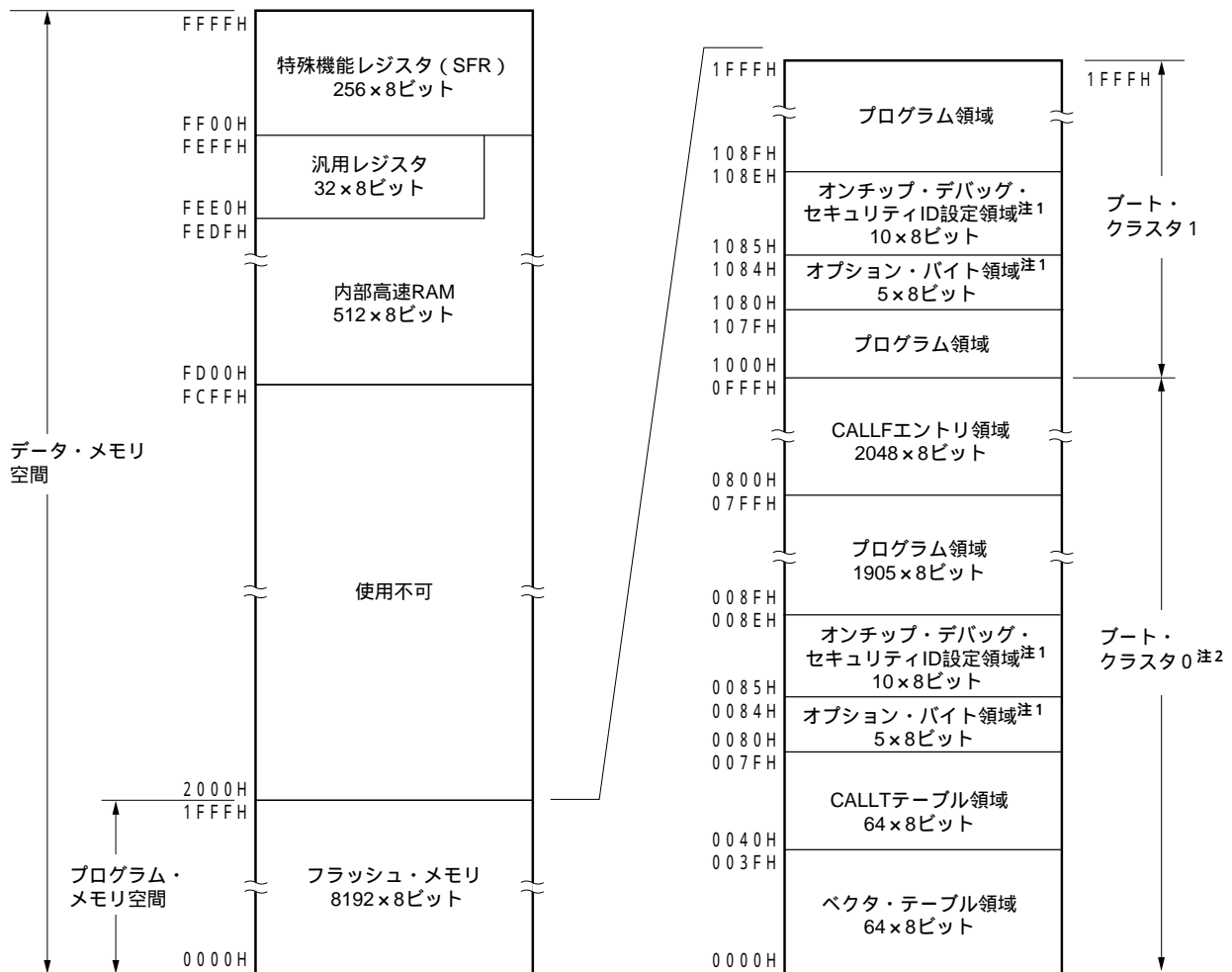
図3-1 メモリ・マップ ( $\mu$  PD78F0854, 78F0857)

注 セキュリティの設定により、ブート・クラスタ0は書き換え禁止することができます(24.6 セキュリティ設定を参照)。

備考 フラッシュ・メモリはブロックごとに分かれています(1ブロック = 1Kバイト)。アドレス値とブロック番号については、表3-2 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

0FFFH	ブロック03H	1 Kバイト
0C00H	ブロック02H	
0BFFF		
0800H	ブロック01H	
07FFF		
0400H	ブロック00H	
03FFF		
0000H		

図3-2 メモリ・マップ (μ PD78F0855, 78F0858, 78F0864)



- 注1. ブート・スワップ未使用時：0080H-0084Hにオプション・バイト，0085H-008EHにオンチップ・デバッグ・セキュリティIDを設定  
ブート・スワップ使用時：0080H-0084H，1080H-1084Hにオプション・バイト，0085H-008EH，1085H-108EHにオンチップ・デバッグ・セキュリティID設定
2. セキュリティの設定により，ブート・クラスタ0は書き換えを禁止することができます (24.6 セキュリティ設定を参照)。

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1Kバイト)。アドレス値とブロック番号については，表3-2 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

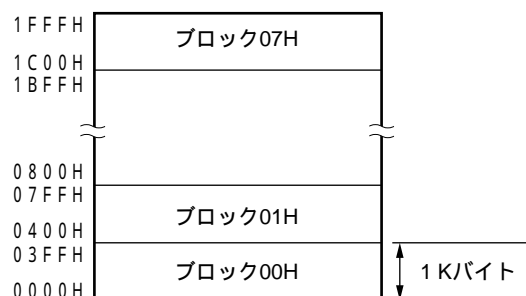
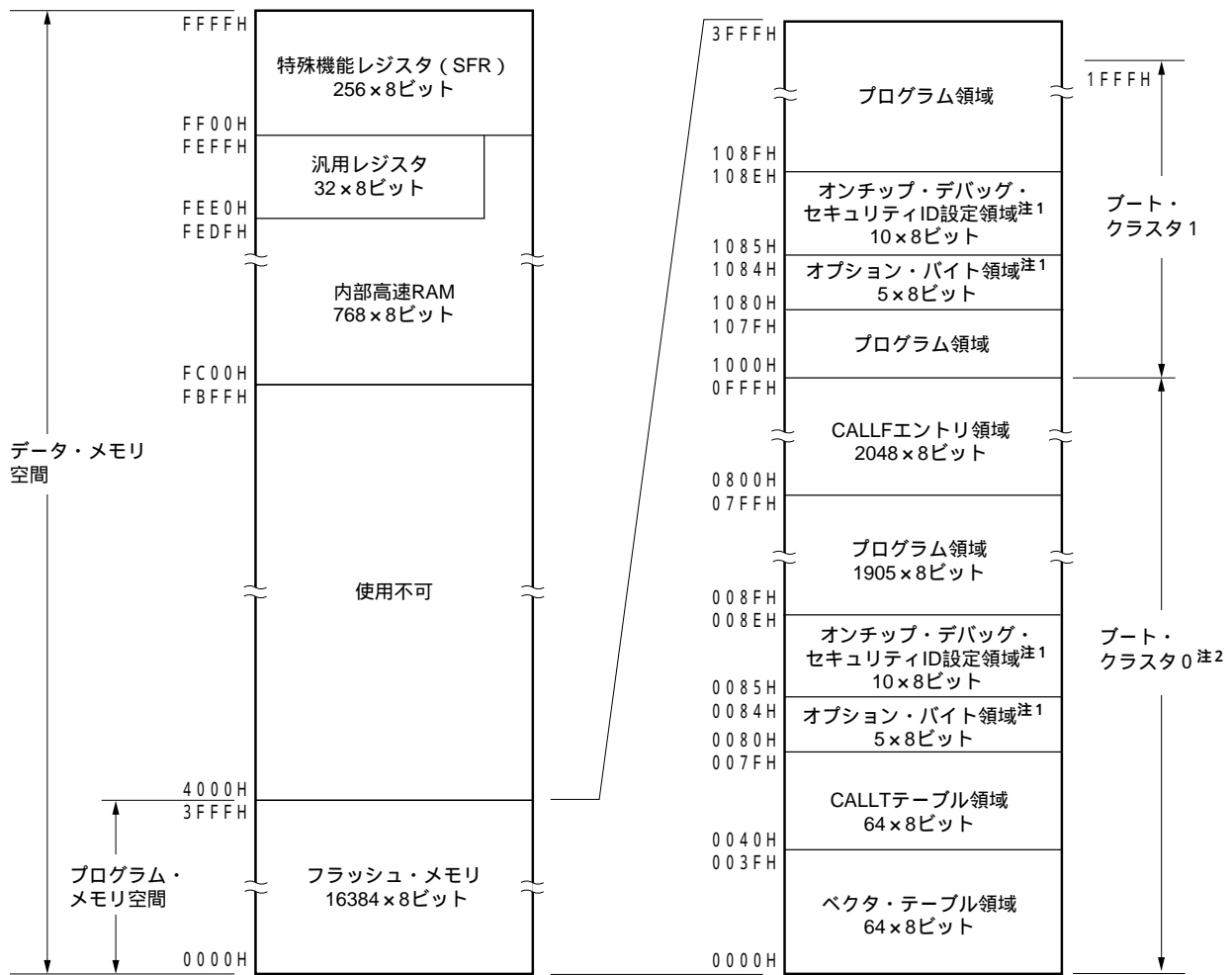
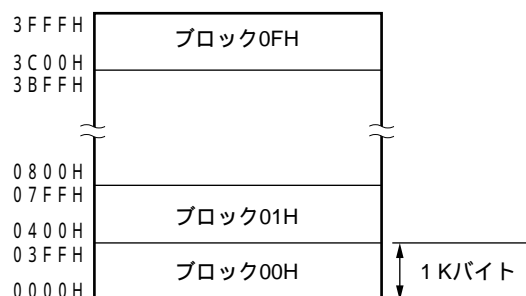


図3-3 メモリ・マップ (μ PD78F0856, 78F0859, 78F0865)



- 注1. ブート・スワップ未使用時：0080H-0084Hにオプション・バイト，0085H-008EHにオンチップ・デバッグ・セキュリティIDを設定  
ブート・スワップ使用時：0080H-0084H，1080H-1084Hにオプション・バイト，0085H-008EH，1085H-108EHにオンチップ・デバッグ・セキュリティIDを設定
2. セキュリティの設定により，ブート・クラスタ0は書き換えを禁止することができます (24.6 セキュリティ設定を参照)。

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1Kバイト)。アドレス値とブロック番号については，表3-2 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。



フラッシュ・メモリのアドレス値とブロック番号の対応を次に示します。

表3-2 フラッシュ・メモリのアドレス値とブロック番号の対応

アドレス値	ブロック番号
0000H-03FFH	00H
0400H-07FFH	01H
0800H-0BFFH	02H
0C00H-0FFFH	03H
1000H-13FFH	04H
1400H-17FFH	05H
1800H-1BFFH	06H
1C00H-1FFFH	07H
2000H-23FFH	08H
2400H-27FFH	09H
2800H-2BFFH	0AH
2C00H-2FFFH	0BH
3000H-33FFH	0CH
3400H-37FFH	0DH
3800H-3BFFH	0EH
3C00H-3FFFH	0FH

備考  $\mu$  PD78F0854, 78F0857 : ブロック番号00H-03H  
 $\mu$  PD78F0855, 78F0858, 78F0864 : ブロック番号00H-07H  
 $\mu$  PD78F0856, 78F0859, 78F0865 : ブロック番号00H-0FH

### 3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。通常、プログラム・カウンタ (PC) でアドレスします。

78K0/Fx2-Lマイクロコントローラは、製品ごとに次に示す内部ROM (フラッシュ・メモリ) を内蔵しています。

表3-3 内部ROM容量

製品			内部ROM	
78K0/FY2-L	78K0/FA2-L	78K0/FB2-L	構造	容量
$\mu$ PD78F0854	$\mu$ PD78F0857	-	フラッシュ・メモリ	4096×8ビット (0000H-0FFFH)
$\mu$ PD78F0855	$\mu$ PD78F0858	$\mu$ PD78F0864		8192×8ビット (0000H-1FFFH)
$\mu$ PD78F0856	$\mu$ PD78F0859	$\mu$ PD78F0865		16384×8ビット (0000H-3FFFH)

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

#### (1) ベクタ・テーブル領域

0000H-003FHの64バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3 - 4 ベクタ・テーブル

ベクタ・テーブル・ アドレス	割り込み要因	78K0/FY2-L	78K0/FA2-L	78K0/FB2-L
		16ピン	20ピン	30ピン
0000H	RESET入力, POC, LVI, WDT			
0004H	INTLVI			
0006H	INTP0			
0008H	INTP1			
000AH	INTP2	-		
000CH	INTP3	-		
000EH	INTP4	-	-	
0010H	INTP5	-	-	
0012H	INTSRE6			
0014H	INTSR6			
0016H	INTST6			
0018H	INTCSI11	-	-	
001AH	INTTMH1			
001CH	INTTMX0			
001EH	INTTMX1	-	-	
0020H	INTTM000			
0022H	INTTM010			
0024H	INTAD			
002AH	INTTM51			
002CH	INTCMP0	-		
002EH	INTCMP1	-		
0030H	INTCMP2			
0034H	INTIICA0			
003EH	BRK			

備考 : 搭載, - : 非搭載

**(2) CALLT命令テーブル領域**

0040H-007FHの64バイト領域には、1バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。

**(3) オプション・バイト領域**

0080H-0084H，1080H-1084Hの5バイト領域にオプション・バイト領域を用意しています。ブート・スワップ未使用時は0080H-0084Hに，ブート・スワップ使用時には0080H-0084Hと1080H-1084Hにオプション・バイトを設定してください。詳細は第23章 **オプション・バイト**を参照してください。

**(4) オンチップ・デバッグ・セキュリティID設定領域**

0085H-008EH，1085H-108EHの10バイト領域にオンチップ・デバッグ・セキュリティID設定領域を用意しています。ブート・スワップ未使用時には0085H-008EHに，ブート・スワップ使用時には0085H-008EHと1085H-108EHに10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。詳細は第25章 **オンチップ・デバッグ機能**を参照してください。

**(5) CALLF命令エントリ領域**

0800H-0FFFHの領域は，2バイト・コール命令（CALLF）で直接サブルーチン・コールすることができます。

**3.1.2 内部データ・メモリ空間**

78K0/Fx2-Lマイクロコントローラは，次に示すRAMを内蔵しています。

**(1) 内部高速RAM**

表3 - 5 内部高速RAM容量

製 品			内部高速RAM容量
78K0/FY2-L	78K0/FA2-L	78K0/FB2-L	
μ PD78F0854	μ PD78F0857	-	384×8ビット（FD80H-FEFFFH）
μ PD78F0855	μ PD78F0858	μ PD78F0864	512×8ビット（FD00H-FEFFFH）
μ PD78F0856	μ PD78F0859	μ PD78F0865	768×8ビット（FC00H-FEFFFH）

このうちFEE0H-FEFFFHの32バイトの領域には，8ビット・レジスタ8個を1バンクとする汎用レジスタが，4バンク割り付けられます。

プログラム領域として命令を書いて実行することはできません。

また，スタック・メモリは内部高速RAMを使用します。

### 3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域

FF00H-FFFFHの領域には、オンチップ周辺ハードウェアの特殊機能レジスタ (SFR) が割り付けられています (3.2.3 特殊機能レジスタ (SFR : Special Function Register) の表3-6 特殊機能レジスタ一覧参照)。

**注意** SFRが割り付けられていないアドレスにアクセスしないでください。

### 3.1.4 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定する方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて、78K0/Fx2-Lマイクロコントローラでは、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ (SFR) や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3-4から図3-6にデータ・メモリとアドレッシングの対応を示します。各アドレッシングの詳細については、3.4 オペランド・アドレスのアドレッシングを参照してください。

図3-4 データ・メモリとアドレッシングの対応 (μ PD78F0854, 78F0857)

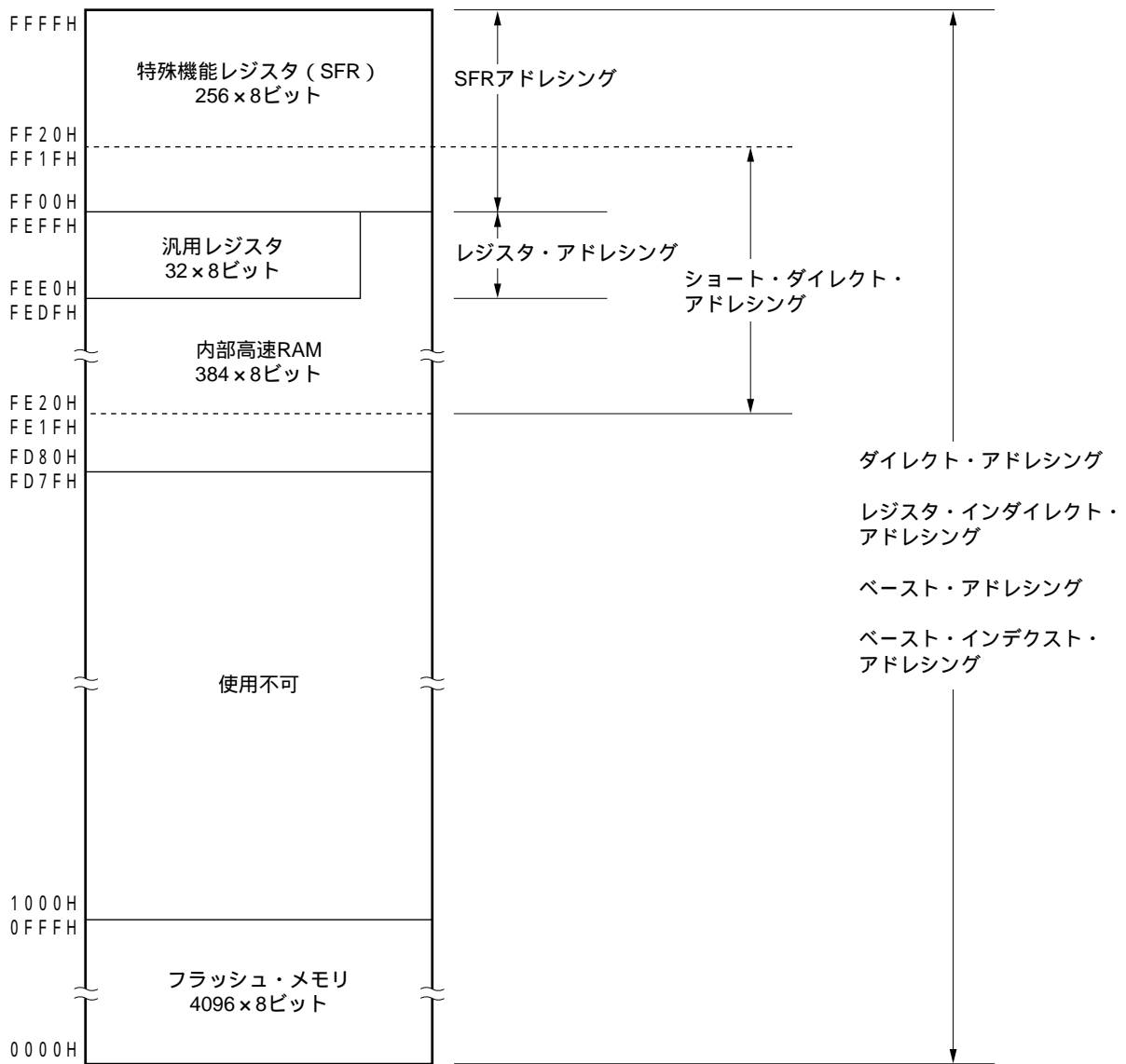




図3-5 データ・メモリとアドレッシングの対応  
 (μ PD78F0855, 78F0858, 78F0864)

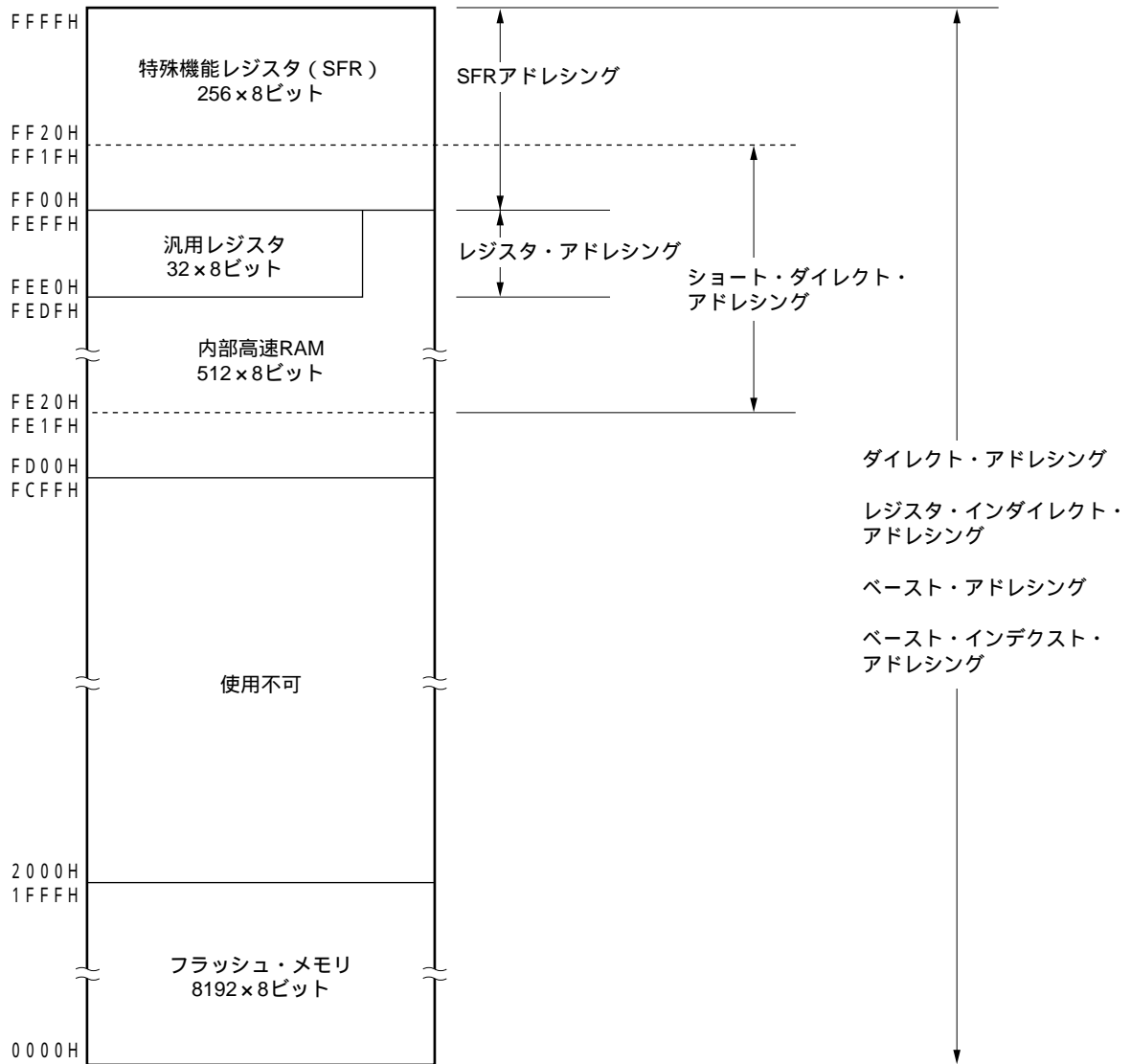
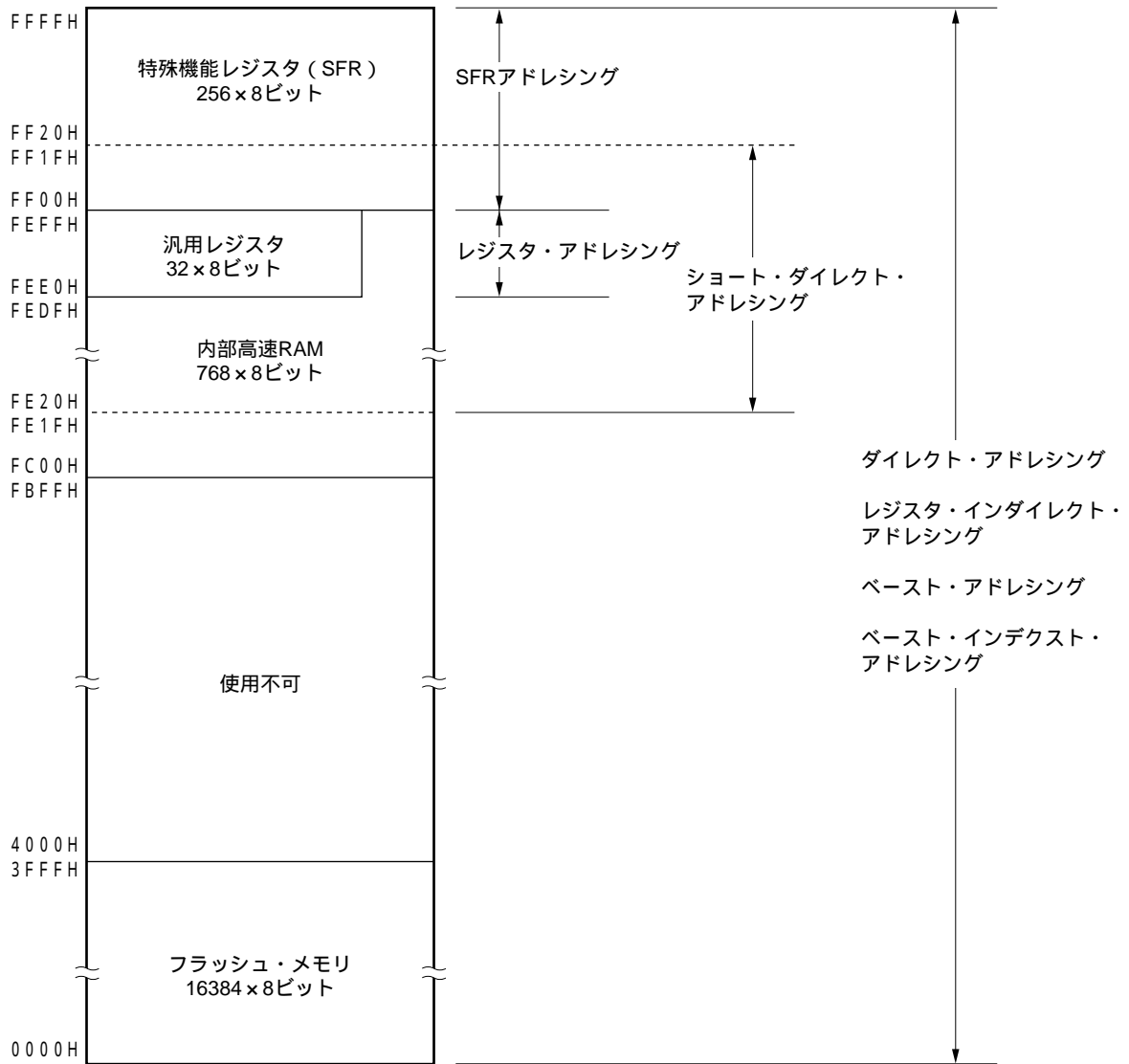


図3-6 データ・メモリとアドレッシングの対応  
 (μ PD78F0856, 78F0859, 78F0865)



## 3.2 プロセッサ・レジスタ

78K0/Fx2-Lマイクロコントローラは、次のプロセッサ・レジスタを内蔵しています。

### 3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）、スタック・ポインタ（SP）があります。

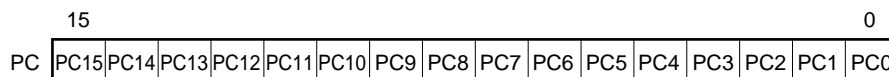
#### (1) プログラム・カウンタ（PC）

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

リセット信号の発生により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3-7 プログラム・カウンタの構成



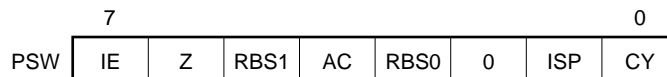
#### (2) プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、ベクタ割り込み要求受け付け時およびPUSH PSW命令の実行時にスタック領域に格納され、RETB、RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により、02Hになります。

図3-8 プログラム・ステータス・ワードの構成



##### (a) 割り込み許可フラグ（IE）

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止（DI）状態となり、マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可（EI）状態となります。このとき割り込み要求の受け付けは、インサービス・プライオリティ・フラグ（ISP）、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット（0）され、EI命令の実行によりセット（1）されます。

**(b) ゼロ・フラグ (Z)**

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

**(c) レジスタ・バンク選択フラグ (RBS0, RBS1)**

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

**(d) 補助キャリー・フラグ (AC)**

演算結果で、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときにリセット (0) されるフラグです。

**(e) インサース・プライオリティ・フラグ (ISP)**

受け付け可能なマスクブル・ベクタ割り込みの優先順位を管理するフラグです。ISP = 0のときは優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) (17.3(3) **優先順位指定フラグ・レジスタ** (PR0L, PR0H, PR1L, PR1H) 参照) で低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ (IE) の状態により制御されます。

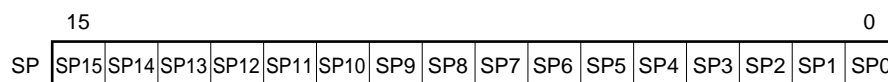
**(f) キャリー・フラグ (CY)**

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

**(3) スタック・ポインタ (SP)**

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域のみ設定可能です。

図3 - 9 スタック・ポインタの構成



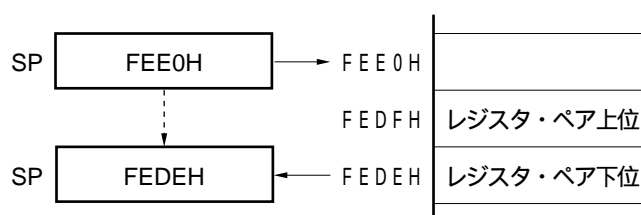
スタック・メモリへの書き込み (退避) 動作に先立ってデクリメントされ、スタック・メモリからの読み取り (復帰) 動作のあとインクリメントされます。

各スタック動作によって退避 / 復帰されるデータは図3 - 10, 3 - 11のようになります。

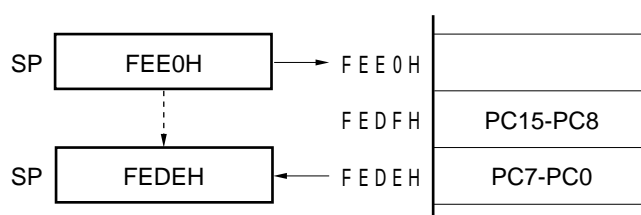
**注意** SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。

図3-10 スタック・メモリへ退避されるデータ

(a) PUSH rp命令 (SPがFEE0Hの場合)



(b) CALL, CALLF, CALLT命令 (SPがFEE0Hの場合)



(c) 割り込み, BRK命令 (SPがFEE0Hの場合)

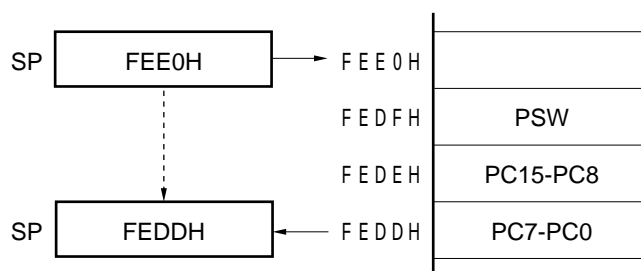
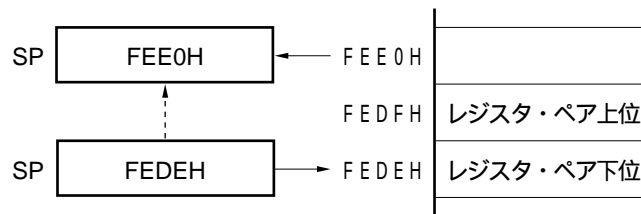
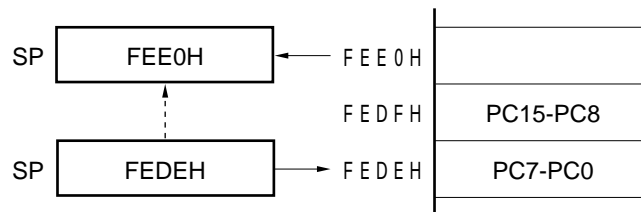


図3 - 11 スタック・メモリから復帰されるデータ

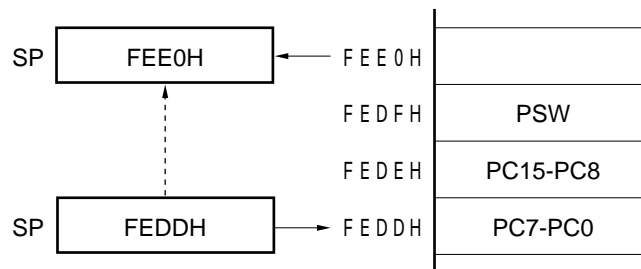
(a) POP rp命令 (SPがFEDEHの場合)



(b) RET命令 (SPがFEDEHの場合)



(c) RETI, RETB命令 (SPがFEDDHの場合)



### 3.2.2 汎用レジスタ

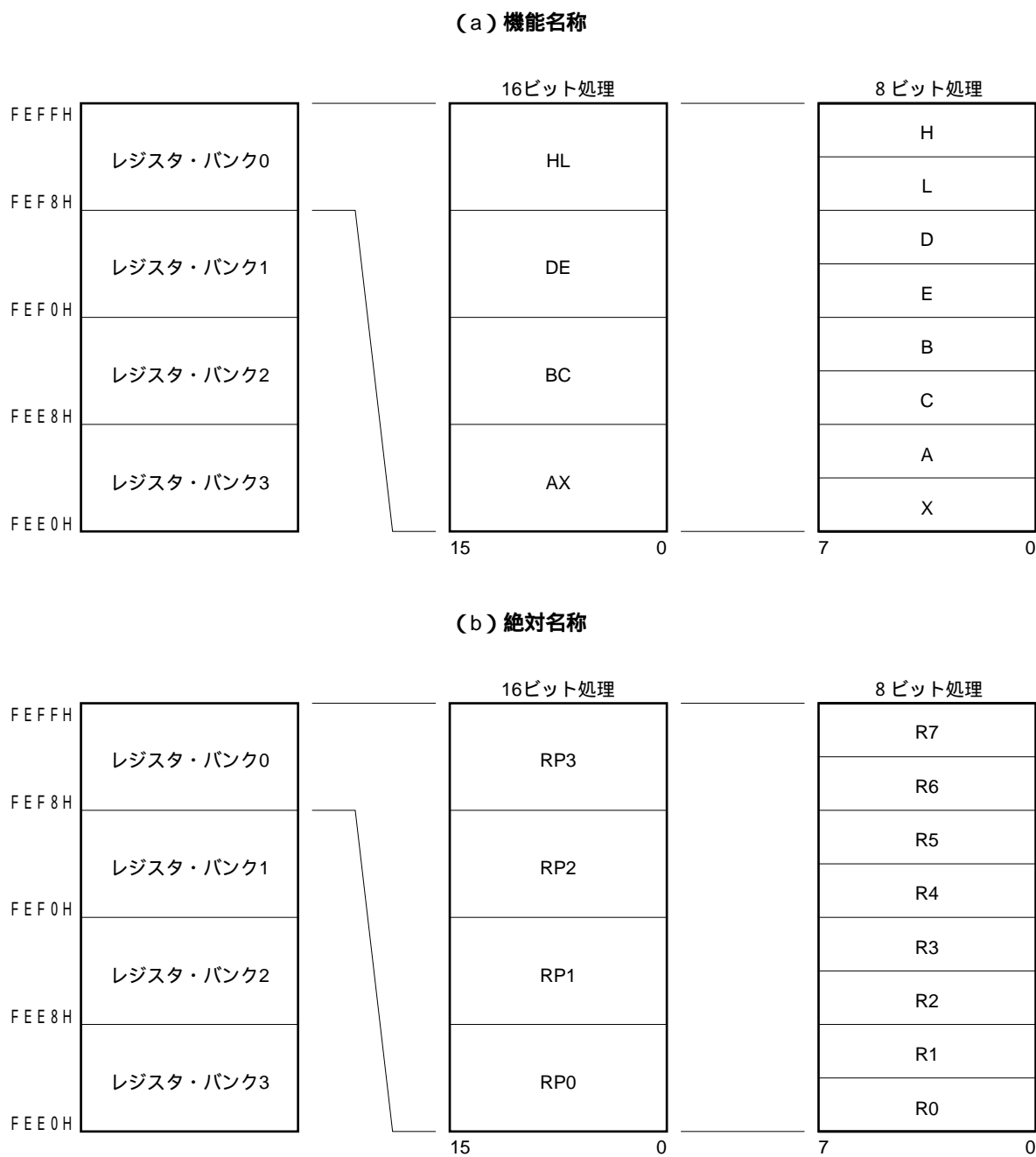
汎用レジスタは、データ・メモリの特定番地 (FEE0H-FEFFH) にマッピングされており、8ビット・レジスタ8個 (X, A, C, B, E, D, L, H) を1バンクとして4バンクのレジスタで構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます (AX, BC, DE, HL)。

また、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほか、絶対名称 (R0-R7, RP0-RP3) でも記述できます。

命令実行時に使用するレジスタ・バンクは、CPU制御命令 (SEL RBn) によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

図3 - 12 汎用レジスタの構成



### 3.2.3 特殊機能レジスタ (SFR : Special Function Register)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの領域に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各特殊機能レジスタで異なります。

各操作ビット単位ごとの指定方法を次に示します。

#### ・1ビット操作

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

#### ・8ビット操作

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

#### ・16ビット操作

16ビット操作命令のオペランド (sfrp) にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3-6に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

#### ・略号

特殊機能レジスタのアドレスを示す略号です。RA78K0で予約語に、CC78K0では#pragma sfr指令で、sfr変数として定義されているものです。RA78K0, ID78K0-QBおよびシステム・シミュレータ使用時に命令のオペランドとして記述できます。

#### ・R/W

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

#### ・操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を で示します。- は操作できないビット単位であることを示します。

#### ・リセット時

リセット信号発生時の各レジスタの状態を示します。



表3-6 特殊機能レジスタ一覧(1/5)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時	FY 2-L	FA 2-L	FB 2-L
				1 ビット	8 ビット	16 ビット				
FF00H	ポート・レジスタ0	P0	R/W			-	00H			
FF02H	ポート・レジスタ2	P2	R/W			-	00H			
FF03H	ポート・レジスタ3	P3	R/W			-	00H			
FF06H	ポート・レジスタ6	P6	R/W			-	00H			
FF07H	ポート・レジスタ7	P7	R/W			-	00H	-	-	
FF08H	10ビットA/D	8ビットA/D変換結果レジスタL ADCRL	R	-		-	00H			
FF09H	変換結果レジスタ			ADCR	R	-	-		0000H	
FF0AH	受信バッファ・レジスタ6	RXB6	R	-		-	FFH			
FF0BH	送信バッファ・レジスタ6	TXB6	R/W	-		-	FFH			
FF0CH	ポート・レジスタ12	P12	R/W			-	00H			
FF0DH	8ビットA/D変換結果レジスタ	ADCRH	R	-		-	00H			
FF0EH	アナログ入力チャネル指定レジスタ	ADS	R/W			-	00H			
FF0FH	シリアルI/Oシフト・レジスタ11	SIO11	R	-		-	00H	-	-	
FF10H	16ビット・タイマ・カウンタ00	TM00	R	-	-		0000H			
FF11H										
FF12H	16ビット・タイマ・キャプチャ/コンペア・レジスタ000	CR000	R/W	-	-		0000H			
FF13H										
FF14H	16ビット・タイマ・キャプチャ/コンペア・レジスタ010	CR010	R/W	-	-		0000H			
FF15H										
FF16H	TMX0同期用10ビット A/D変換結果レジスタ	TMX0同期用8ビット A/D変換結果レジスタL	ADCRX0L	R	-		00H			
FF17H			ADCRX0	R	-	-	0000H			
FF18H	TMX1同期用10ビット A/D変換結果レジスタ	TMX1同期用8ビット A/D変換結果レジスタL	ADCRX1L	R	-		00H	-	-	
FF19H			ADCRX1	R	-	-	0000H	-	-	
FF1AH	8ビット・タイマHコンペア・レジスタ01	CMP01	R/W	-		-	00H			
FF1BH	8ビット・タイマHコンペア・レジスタ11	CMP11	R/W	-		-	00H			
FF1FH	8ビット・タイマ・カウンタ51	TM51	R	-		-	00H			
FF20H	ポート・モード・レジスタ0	PM0	R/W			-	FFH			
FF22H	ポート・モード・レジスタ2	PM2	R/W			-	FFH			
FF23H	ポート・モード・レジスタ3	PM3	R/W			-	FFH			
FF26H	ポート・モード・レジスタ6	PM6	R/W			-	FFH			
FF27H	ポート・モード・レジスタ7	PM7	R/W			-	FFH	-	-	
FF28H	A/Dコンバータ・モード・レジスタ0	ADM0	R/W			-	00H			
FF2AH	ポート出力モード・レジスタ6	POM6	R/W			-	00H			
FF2BH	セルフ・プログラミング・モード制御レジスタ	FPCTL	R/W			-	00H			

表3-6 特殊機能レジスタ一覧(2/5)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時	FY 2-L	FA 2-L	FB 2-L
				1 ビット	8 ビット	16 ビット				
FF2EH	A/Dポート・コンフィギュレーション・レジスタ0	ADPC0	R/W			-	00H			
FF2FH	A/Dポート・コンフィギュレーション・レジスタ1	ADPC1	R/W			-	00H	-	-	
FF30H	ブルアップ抵抗オプション・レジスタ0	PU0	R/W			-	00H			
FF33H	ブルアップ抵抗オプション・レジスタ3	PU3	R/W			-	00H			
FF36H	ブルアップ抵抗オプション・レジスタ6	PU6	R/W			-	00H			
FF39H	ポート兼用切り替え制御レジスタ	MUXSEL	R/W			-	00H	-	-	
FF3DH	レギュレータ・モード制御レジスタ	RMC	R/W	-		-	00H			
FF3EH	ポート入力モード・レジスタ6	PIM6	R/W			-	00H			
FF41H	8ビット・タイマ・コンペア・レジスタ51	CR51	R/W	-		-	00H			
FF43H	8ビット・タイマ・モード・コントロール・レジスタ51	TMC51	R/W			-	00H			
FF48H	外部割り込み立ち上がりエッジ許可レジスタ0	EGPCTL0	R/W			-	00H			
FF49H	外部割り込み立ち下がりエッジ許可レジスタ0	EGNCTL0	R/W			-	00H			
FF4AH	外部割り込み立ち上がりエッジ許可レジスタ1	EGPCTL1	R/W			-	00H			
FF4BH	外部割り込み立ち下がりエッジ許可レジスタ1	EGNCTL1	R/W			-	00H			
FF4FH	入力切り替え制御レジスタ	ISC	R/W			-	00H			
FF50H	アシンクロナス・シリアル・インタフェース動作モード・レジスタ6	ASIM6	R/W			-	01H			
FF53H	アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6	ASIS6	R	-		-	00H			
FF55H	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6	ASIF6	R	-		-	00H			
FF56H	クロック選択レジスタ6	CKSR6	R/W	-		-	00H			
FF57H	ポー・レート・ジェネレータ・コントロール・レジスタ6	BRGC6	R/W	-		-	FFH			
FF58H	アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6	ASICL6	R/W			-	16H			
FF62H	コンパレータ0制御レジスタ	C0CTL	R/W			-	00H	-		
FF63H	コンパレータ0内部基準電圧設定レジスタ	C0RVM	R/W			-	00H			
FF64H	コンパレータ1制御レジスタ	C1CTL	R/W			-	00H	-		
FF65H	コンパレータ1内部基準電圧設定レジスタ	C1RVM	R/W			-	00H			
FF66H	コンパレータ2制御レジスタ	C2CTL	R/W			-	00H			
FF67H	コンパレータ2内部基準電圧設定レジスタ	C2RVM	R/W			-	00H			
FF69H	コンパレータ出力フラグ・レジスタ	CMPFLG	R			-	00H			
FF6CH	8ビット・タイマHモード・レジスタ1	TMHMD1	R/W			-	00H			

表3-6 特殊機能レジスタ一覧(3/5)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット範囲			リセット時	FY 2-L	FA 2-L	FB 2-L
					1 ビット	8 ビット	16 ビット				
FF6DH	8ビット・タイマHキャリア・コントロール・レジスタ1	TMCYC1		R/W			-	00H			
FF6EH	ハイ・インピーダンス出力機能許可レジスタ	HIZTREN		R/W			-	00H	-		
FF6FH	ハイ・インピーダンス出力モード選択レジスタ	HIZTRS		R/W			-	00H	-		
FF70H	乗算入力データ・レジスタA	MUL A	MUL AL	R/W	-			00H			
FF71H			MUL AH	R/W	-			00H			
FF72H	乗算入力データ・レジスタB	MUL B	MUL BL	R/W	-			00H			
FF73H			MUL BH	R/W	-			00H			
FF74H	16ビット上位乗算結果格納レジスタ	MUL0H		R	-	-		0000H			
FF75H											
FF76H	16ビット下位乗算結果格納レジスタ	MUL0L		R	-	-		0000H			
FF77H											
FF78H	ハイ・インピーダンス出力機能制御レジスタ0	HZA0CTL0		R/W			-	00H	-		
FF7CH	送信バッファ・レジスタ11	SOTB11		R/W	-		-	00H	-	-	
FF7EH	16ビット・タイマX0動作制御レジスタ0	TX0CTL0		R/W			-	00H			
FF7FH	16ビット・タイマX0動作制御レジスタ1	TX0CTL1		R/W			-	00H			
FF80H	16ビット・タイマX0動作制御レジスタ2	TX0CTL2		R/W			-	00H			
FF81H	16ビット・タイマX0動作制御レジスタ3	TX0CTL3		R/W			-	00H			
FF82H	16ビット・タイマX0動作制御レジスタ4	TX0CTL4		R/W			-	00H	-		
FF83H	16ビット・タイマX0出力制御レジスタ0	TX0IOC0		R/W			-	00H	-		
FF84H	16ビット・タイマX0コンペア・レジスタ0	TX0CR0		R/W	-	-		0000H			
FF85H											
FF86H	16ビット・タイマX0コンペア・レジスタ1	TX0CR1		R/W	-	-		0000H			
FF87H											
FF88H	シリアル動作モード・レジスタ11	CSIM11		R/W			-	00H	-	-	
FF89H	シリアル・クロック選択レジスタ11	CSIC11		R/W			-	00H	-	-	
FF8AH	16ビット・タイマX0コンペア・レジスタ2	TX0CR2		R/W	-	-		0000H			
FF8BH											
FF8CH	タイマ・クロック選択レジスタ51	TCL51		R/W			-	00H			
FF90H	16ビット・タイマX0コンペア・レジスタ3	TX0CR3		R/W	-	-		0000H			
FF91H											
FF92H	16ビット・タイマX0キャプチャ/コンペア・レジスタ0	TX0CCR0		R/W	-	-		0000H			
FF94H	16ビット・タイマX1動作制御レジスタ0	TX1CTL0		R/W			-	00H	-	-	
FF95H	16ビット・タイマX1動作制御レジスタ1	TX1CTL1		R/W			-	00H	-	-	

表3-6 特殊機能レジスタ一覧(4/5)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時	FY 2-L	FA 2-L	FB 2-L
				1 ビット	8 ビット	16 ビット				
FF96H	16ビット・タイマX1動作制御レジスタ2	TX1CTL2	R/W			-	00H	-	-	
FF99H	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE	R/W	-		-	1AH/ 9AH <sup>注1</sup>			
FF9AH	16ビット・タイマX1動作制御レジスタ4	TX1CTL4	R/W			-	00H	-	-	
FF9BH	16ビット・タイマX1出力制御レジスタ0	TX1IOC0	R/W			-	00H	-	-	
FF9CH	16ビット・タイマX1コンペア・レジスタ0	TX1CR0	R/W	-	-		0000H	-	-	
FF9DH										
FF9FH	クロック動作モード選択レジスタ	OSCCTL	R/W			-	00H			
FFA0H	内蔵発振モード・レジスタ	RCM	R/W			-	80H <sup>注2</sup>			
FFA1H	メイン・クロック・モード・レジスタ	MCM	R/W			-	00H			
FFA2H	メインOSCコントロール・レジスタ	MOC	R/W			-	80H			
FFA3H	発振安定時間カウンタ状態レジスタ	OSTC	R			-	00H			
FFA4H	発振安定時間選択レジスタ	OSTS	R/W	-		-	05H			
FFA5H	IICAシフト・レジスタ	IICA	R/W	-		-	00H			
FFA6H	スレーブ・アドレス・レジスタ0	SVA0	R/W	-		-	00H			
FFA7H	IICAコントロール・レジスタ0	IICACTL0	R/W			-	00H			
FFA8H	IICAコントロール・レジスタ1	IICACTL1	R/W			-	00H			
FFA9H	IICAフラグ・レジスタ0	IICAF0	R/W			-	00H			
FFAAH	IICAステータス・レジスタ0	IICAS0	R			-	00H			
FFACH	リセット・コントロール・フラグ・レジスタ	RESF	R	-		-	00H <sup>注3</sup>			
FFADH	IICAロウ・レベル幅設定レジスタ	IICWL	R/W	-		-	FFH			
FFAEH	IICAハイ・レベル幅設定レジスタ	IICWH	R/W	-		-	FFH			
FFB0H	16ビット・タイマX1コンペア・レジスタ1	TX1CR1	R/W	-	-		0000H	-	-	
FFB1H										
FFB2H	16ビット・タイマX1コンペア・レジスタ2	TX1CR2	R/W	-	-		0000H	-	-	
FFB3H										
FFB4H	16ビット・タイマX1コンペア・レジスタ3	TX1CR3	R/W	-	-		0000H	-	-	
FFB5H										
FFB6H	16ビット・タイマX1キャプチャ/コンペア・レジスタ0	TX1CCR0	R/W	-	-		0000H	-	-	
FFB7H										
FFBAH	16ビット・タイマ・モード・コントロール・レジスタ00	TMC00	R/W			-	00H			
FFBBH	プリスケアラ・モード・レジスタ00	PRM00	R/W			-	00H			
FFBCH	キャプチャ/コンペア・コントロール・レジスタ00	CRC00	R/W			-	00H			
FFBDH	16ビット・タイマ出力コントロール・レジスタ00	TOC00	R/W			-	00H			
FFBEH	低電圧検出レジスタ	LVIM	R/W			-	00H <sup>注4</sup>			
FFBFH	低電圧検出レベル選択レジスタ	LVIS	R/W			-	00H <sup>注4</sup>			

注1. WDTEのリセット値は、オプション・バイトの設定で決定します。

2. リセット解除直後は00Hですが、高速内蔵発振器の発振精度安定待ち後に、自動的に80Hに切り替わります。
3. RESFのリセット値は、リセット要因により変化します。
4. LVIM, LVISのリセット値は、リセット要因により変化します。

表3-6 特殊機能レジスタ一覧(5/5)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時	FY 2-L	FA 2-L	FB 2-L
				1 ビット	8 ビット	16 ビット				
FFE0H	割り込み要求フラグ・レジスタ0L	IF0	IF0L	R/W				00H		
FFE1H	割り込み要求フラグ・レジスタ0H		IF0H	R/W				00H		
FFE2H	割り込み要求フラグ・レジスタ1L	IF1	IF1L	R/W				00H		
FFE3H	割り込み要求フラグ・レジスタ1H		IF1H	R/W				00H		
FFE4H	割り込みマスク・フラグ・レジスタ0L	MK0	MK0L	R/W				FFH		
FFE5H	割り込みマスク・フラグ・レジスタ0H		MK0H	R/W				FFH		
FFE6H	割り込みマスク・フラグ・レジスタ1L	MK1	MK1L	R/W				FFH		
FFE7H	割り込みマスク・フラグ・レジスタ1H		MK1H	R/W				FFH		
FFE8H	優先順位指定フラグ・レジスタ0L	PR0	PR0L	R/W				FFH		
FFE9H	優先順位指定フラグ・レジスタ0H		PR0H	R/W				FFH		
FFEAH	優先順位指定フラグ・レジスタ1L	PR1	PR1L	R/W				FFH		
FFEBH	優先順位指定フラグ・レジスタ1H		PR1H	R/W				FFH		
FFF0H	メモリ・サイズ切り替えレジスタ <sup>注</sup>	IMS		R/W	-		-	CFH		
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC		R/W			-	01H		

注 リセット時のROM領域の設定が不定となっているため、リセット解除後に製品ごとに次に示す値を必ず設定してください。

製品			IMS	ROM容量	内部高速RAM 容量
78K0/FY2-L	78K0/FA2-L	78K0/FB2-L			
μ PD78F0854	μ PD78F0857	-	61H	4 Kバイト	384バイト
μ PD78F0855	μ PD78F0858	μ PD78F0864	42H	8 Kバイト	512バイト
μ PD78F0856	μ PD78F0859	μ PD78F0865	04H	16 Kバイト	768バイト

### 3.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は、通常、命令を1つ実行するごとにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して+1）されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は78K0シリーズ **ユーザズ・マニュアル 命令編**（U12326J）を参照してください）。

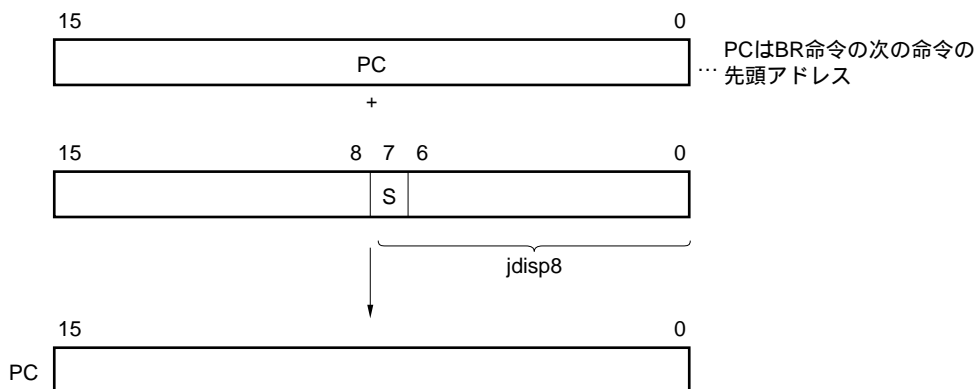
#### 3.3.1 レラティブ・アドレッシング

##### 【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエト・データ（ディスプレースメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレースメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは、次に続く命令の先頭アドレスから相対的に-128～+127の範囲に分岐するということです。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

##### 【図解】



S = 0のとき、 は全ビット0

S = 1のとき、 は全ビット1

### 3.3.2 イミディエト・アドレッシング

#### 【機能】

命令語中のイミディエト・データがプログラム・カウンタ（PC）に転送され、分岐します。

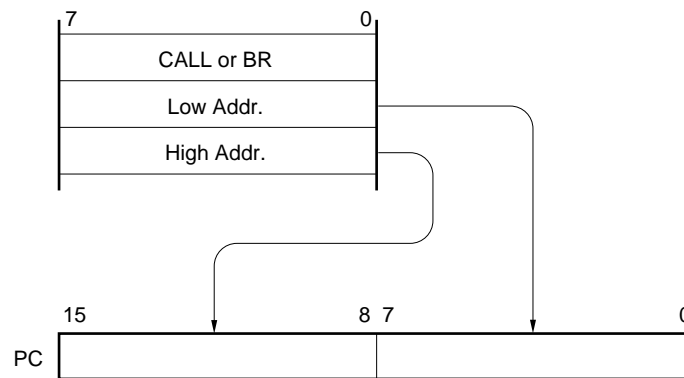
CALL !addr16, BR !addr16, CALLF !addr11命令を実行する際に行われます。

CALL !addr16, BR !addr16命令は、全プログラム・メモリ空間に分岐できます。

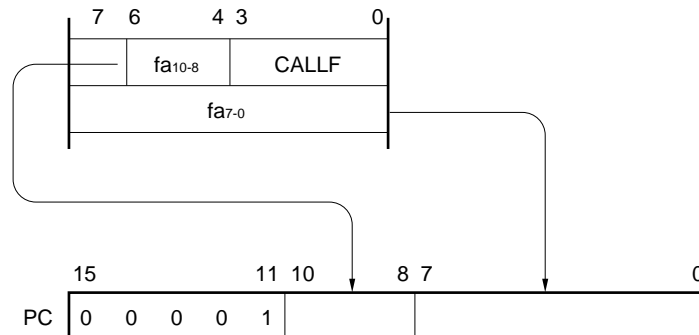
CALLF !addr11命令は、0800H-0FFFHの領域に分岐します。

#### 【図解】

CALL !addr16, BR !addr16命令の場合



CALLF !addr11命令の場合



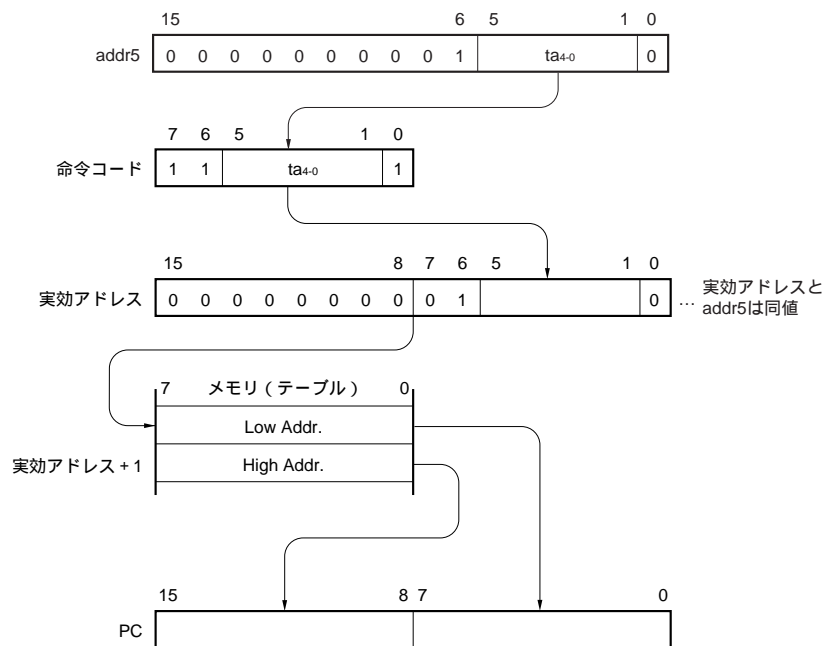
### 3.3.3 テーブル・インダイレクト・アドレッシング

#### 【機能】

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [ addr5 ] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では0040H-007FHのメモリ・テーブルに格納されたアドレスを参照し、全プログラム・メモリ空間に分岐できます。

#### 【図解】



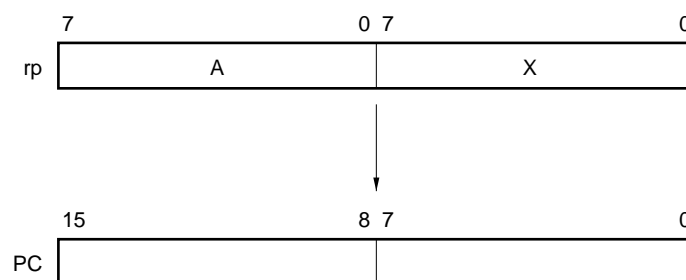
### 3.3.4 レジスタ・アドレッシング

#### 【機能】

命令語によって指定されるレジスタ・ペア（AX）の内容がプログラム・カウンタ（PC）に転送され、分岐します。

BR AX命令を実行する際に行われます。

#### 【図解】





## 3.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

### 3.4.1 インプライド・アドレッシング

#### 【機能】

汎用レジスタの領域にあるアキュムレータ（A, AX）として機能するレジスタを自動的に（暗黙的）にアドレスするアドレッシングです。

78K0/Fx2-Lマイクロコントローラの命令語中でインプライド・アドレッシングを使用する命令は次のとおりです。

命 令	インプライド・アドレッシングで指定されるレジスタ
MULU	被乗数としてAレジスタ, 積が格納されるレジスタとしてAXレジスタ
DIVUW	被除数および商を格納するレジスタとしてAXレジスタ
ADJBA/ADJBS	10進補正の対象となる数値を格納するレジスタとしてAレジスタ
ROR4/ROL4	ディジット・ローテートの対象となるディジット・データを格納するレジスタとしてAレジスタ

#### 【オペランド形式】

命令によって自動的に決定するため、特定のオペランド形式を持ちません。

#### 【記 述 例】

##### MULU Xの場合

8ビット×8ビットの乗算命令において、AレジスタとXレジスタの積をAXに格納する。ここで、A, AXレジスタがインプライド・アドレッシングで指定されている。

### 3.4.2 レジスタ・アドレッシング

#### 【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。アクセスされる汎用レジスタは、レジスタ・バンク選択フラグ (RBS0, RBS1) および、命令コード中のレジスタ指定コードにより指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

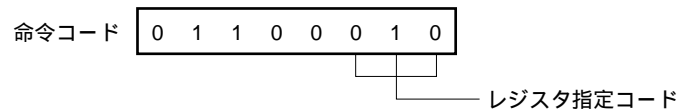
#### 【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

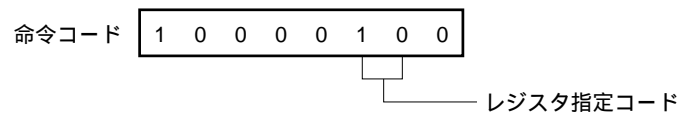
r, rpは、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほかに絶対名称 (R0-R7, RP0-RP3) で記述できます。

#### 【記述例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



### 3.4.3 ダイレクト・アドレッシング

#### 【機能】

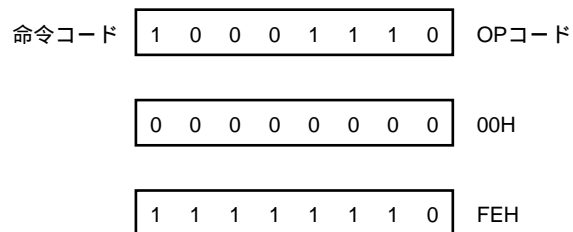
命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。  
すべてのメモリ空間に対してアドレッシングできます。

#### 【オペランド形式】

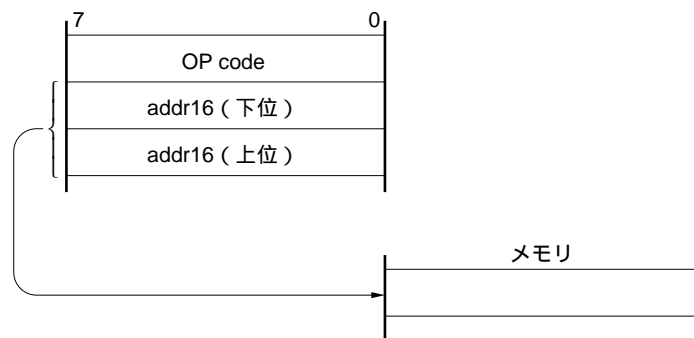
表現形式	記述方法
addr16	ラベルまたは16ビット・イミディエト・データ

#### 【記述例】

MOV A, !0FE00H ; !addr16をFE00Hとする場合



#### 【図解】



### 3.4.4 ショート・ダイレクト・アドレッシング

**【機能】**

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE20H-FF1FHの256バイト空間で、FE20H-FEFFFHには内部RAMが、FF00H-FF1FHには特殊機能レジスタ（SFR）がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域（FF00H-FF1FH）は、全SFR領域の一部分です。この領域には、プログラム上で頻繁にアクセスされるポートや、タイマ/イベント・カウンタのコンペア・レジスタ、キャプチャ・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作できます。

実効アドレスのビット8は、8ビット・イミディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。【図解】を参照してください。

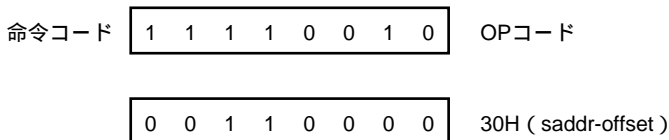
**【オペランド形式】**

表現形式	記述方法
saddr	ラベルまたはFE20H-FF1FHを示すイミディエト・データ
saddrp	ラベルまたはFE20H-FF1FHを示すイミディエト・データ（偶数アドレスのみ）

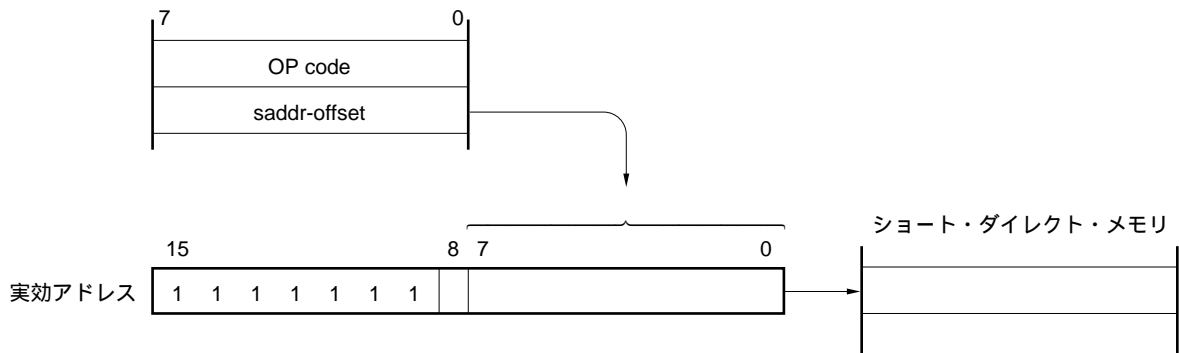
**【記述例】**

```

LB1 EQU 0FE30H    ; FE30HをLB1で定義
:
MOV LB1, A        ; LB1はsaddr領域のFE30Hを示し、そこにAレジスタの値を転送する場合
    
```



**【図解】**



8ビット・イミディエト・データが20H-FFHのとき、 = 0  
 8ビット・イミディエト・データが00H-1FHのとき、 = 1

### 3.4.5 特殊機能レジスタ (SFR) アドレッシング

#### 【機能】

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ (SFR) をアドレスするアドレッシングです。

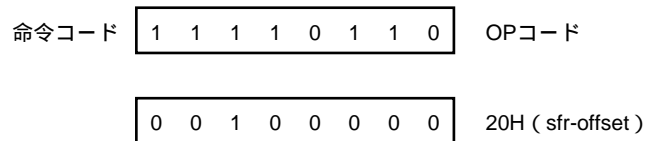
このアドレッシングが適用されるのはFF00H-FFCFH, FFE0H-FFFFHの240バイト空間です。ただし, FF00H-FF1FHにマッピングされているSFRは, ショート・ダイレクト・アドレッシングでもアクセスできます。

#### 【オペランド形式】

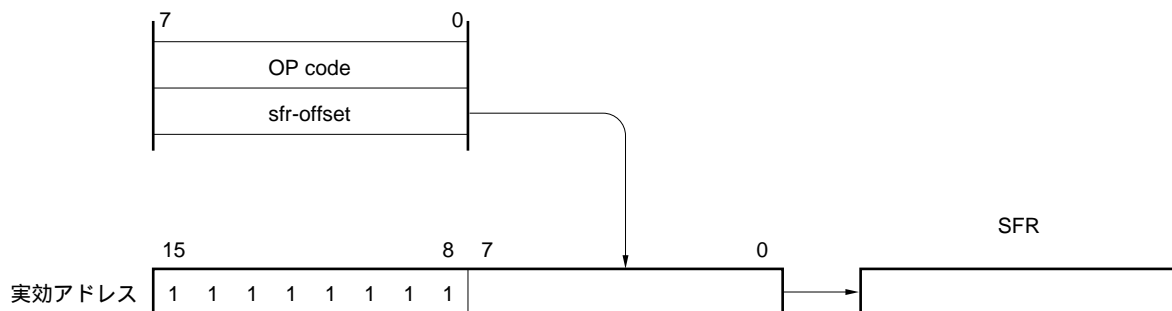
表現形式	記述方法
sfr	特殊機能レジスタ名
sfrp	16ビット操作可能な特殊機能レジスタ名 (偶数アドレスのみ)

#### 【記述例】

MOV PM0, A ; sfrにPM0 (FF20H) を選択する場合



#### 【図解】



### 3.4.6 レジスタ・インダイレクト・アドレッシング

#### 【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、レジスタ・バンク選択フラグ (RBS0, RBS1) および、命令コード中のレジスタ・ペア指定コードにより指定されます。

すべてのメモリ空間に対してアドレッシングできます。

#### 【オペランド形式】

表現形式	記述方法
-	[DE], [HL]

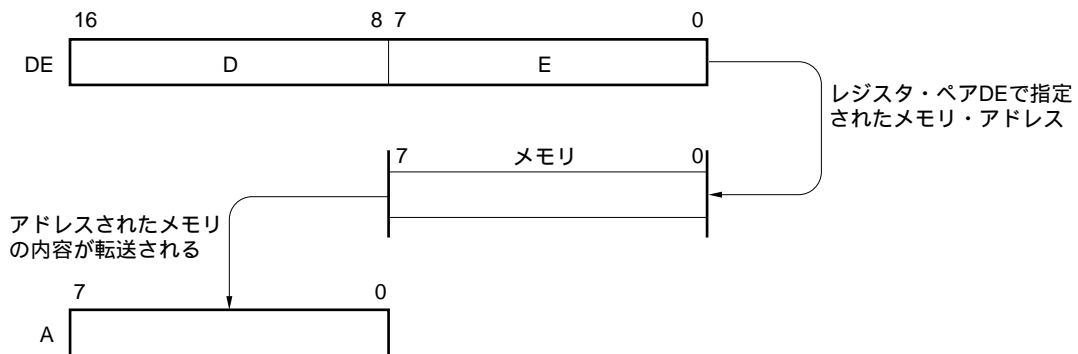
#### 【記述例】

MOV A, [DE] ; レジスタ・ペアに [DE] を選択する場合

命令コード 

1	0	0	0	0	1	0	1
---	---	---	---	---	---	---	---

#### 【図解】



### 3.4.7 ベース・アドレッシング

#### 【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHLレジスタ・ペアは、レジスタ・バンク選択フラグ(RBS0, RBS1)で指定されるレジスタ・バンク中のものです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上がりは無視します。

すべてのメモリ空間に対してアドレッシングできます。

#### 【オペランド形式】

表現形式	記述方法
-	[ HL + byte ]

#### 【記述例】

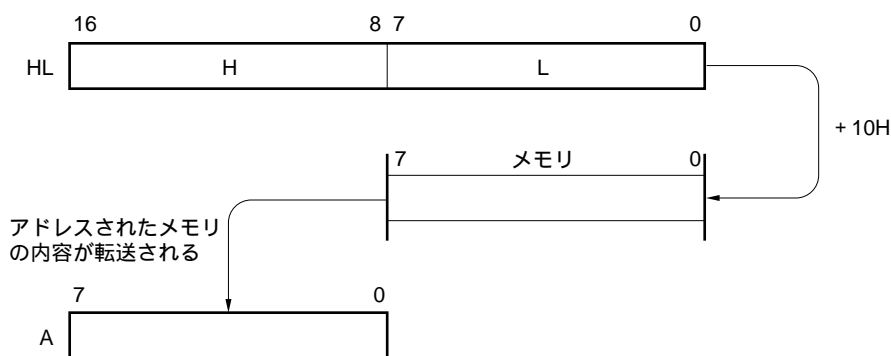
MOV A, [ HL + 10H ] ; byteを10Hとする場合

命令コード 

1	0	1	0	1	1	1	0
---	---	---	---	---	---	---	---

0	0	0	1	0	0	0	0
---	---	---	---	---	---	---	---

#### 【図解】



### 3.4.8 ベース・インデクスト・アドレッシング

#### 【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に命令語中で指定されるBレジスタまたはCレジスタの内容を加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHL, B, Cレジスタは、レジスタ・バンク選択フラグ (RBS0, RBS1) で指定されるレジスタ・バンク中のレジスタです。加算は、BレジスタまたはCレジスタの内容を正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。

すべてのメモリ空間に対してアドレッシングできます。

#### 【オペランド形式】

表現形式	記述方法
-	[HL+B], [HL+C]

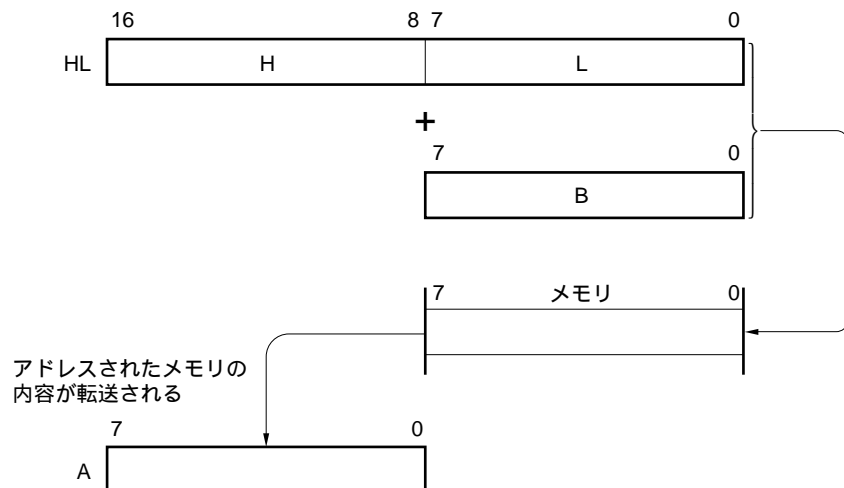
#### 【記述例】

MOV A, [HL+B] ; Bレジスタを選択する場合

命令コード 

1	0	1	0	1	0	1	1
---	---	---	---	---	---	---	---

#### 【図解】





### 3.4.9 スタック・アドレッシング

#### 【機能】

スタック・ポインタ（SP）の内容により，スタック領域を間接的にアドレスするアドレッシングです。

PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避 / 復帰時に自動的に用いられます。

スタック・アドレッシングは，内部高速RAM領域のみアクセスできます。

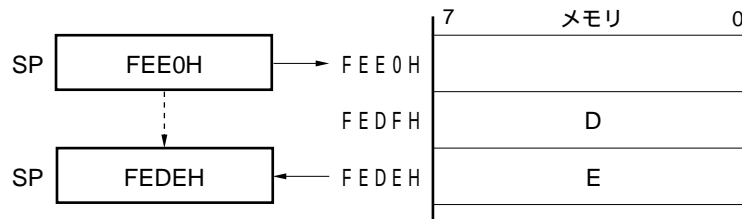
#### 【記述例】

PUSH DE ; DEレジスタをセーブする場合

命令コード 

1	0	1	1	0	1	0	1
---	---	---	---	---	---	---	---

#### 【図解】



## 第4章 ポート機能

### 4.1 ポートの機能

ポート端子の入出力バッファ電源は、 $AV_{REF}$ 、 $V_{DD}$ の2系統があります。それぞれの電源と端子の関係を次に示します。

表4 - 1 各端子の入出力バッファ電源

電 源	対応する端子
$AV_{REF}$	P20-P27, P70 <sup>注</sup>
$V_{DD}$	P20-P27, P70 <sup>注</sup> 以外の端子

注 78K0/FY2-L : P20-P23  
 78K0/FA2-L : P20-P25  
 78K0/FB2-L : P20-P27, P70

78K0/Fx2-Lマイクロコントローラは、デジタル入出力ポートを備えており、多様な制御を行うことができます。各ポートの機能は表4 - 2 ~ 4 - 4のとおりです。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、**第2章 端子機能**を参照してください。

表4-2 ポートの機能 (78K0/FY2-L)

機能名称	入出力	機能	リセット時	兼用機能
P00	入出力	ポート0。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI000/INTP0
P01				TO00/TI010
P20	入出力	ポート2。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	アナログ 入力	ANI0
P21				ANI1
P22				ANI2
P23				ANI3/CMP2+
P30	入出力	ポート3。 1ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TOH1/TI51/INTP1
P60	入出力	ポート6。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力は、1ビット単位でSMBus入力バッファに設定可能。 出力は、1ビット単位でN-chオープン・ドレイン出力 (V <sub>DD</sub> 耐圧) に設定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCLA0/TxD6
P61				SDAA0/RxD6
P121	入力	ポート12。 2ビット入力専用ポート。	入力ポート	X1/TOOLC0
P122				X2/EXCLK/ TOOLD0

表4-3 ポートの機能 (78K0/FA2-L)

機能名称	入出力	機能	リセット時	兼用機能
P00	入出力	ポート0。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI000/INTP0
P01				TO00/TI010
P20	入出力	ポート2。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	アナログ 入力	ANI0
P21				ANI1
P22				ANI2
P23				ANI3/CMP2+
P24				ANI4/CMP0+
P25				ANI5/CMP1+
P30	入出力	ポート3。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TOH1/TI51/INTP1
P31				TOX00/INTP2/ TOOLC1
P32				TOX01/INTP3/ TOOLD1
P60	入出力	ポート6。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力は、1ビット単位でSMBus入力バッファに設定可能。 出力は、1ビット単位でN-chオープン・ドレイン出力 (V <sub>DD</sub> 耐圧) に設定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCLA0/TxD6
P61				SDAA0/RxD6
P121	入力	ポート12。 2ビット入力専用ポート。	入力ポート	X1/TOOLC0
P122				X2/EXCLK/ TOOLD0

表4-4 ポートの機能 (78K0/FB2-L)

機能名称	入出力	機能	リセット時	兼用機能
P00	入出力	ポート0。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI000/INTP0
P01				TO00/TI010
P02				SSI11/INTP5
P20	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	アナログ 入力	ANI0
P21				ANI1
P22				ANI2
P23				ANI3/CMP2+
P24				ANI4/CMP0+
P25				ANI5/CMP1+
P26				ANI6/CMPCOM
P27				ANI7
P30	入出力	ポート3。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TOH1/TI51/INTP1
P31				TOX00/INTP2/ TOOLC1
P32				TOX01/INTP3/ TOOLD1
P33				TOX10
P34				TOX11/INTP4
P35				SCK11
P36				SI11
P37				SO11
P60	入出力	ポート6。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力は、1ビット単位でSMBus入力バッファに設定可能。 出力は、1ビット単位でN-chオープン・ドレイン出力 (V <sub>DD</sub> 耐圧) に設定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCLA0/TxD6
P61				SDAA0/RxD6
P70	入出力	ポート7。 1ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	アナログ 入力	ANI8
P121	入力	ポート12。 2ビット入力ポート。	入力ポート	X1/TOOLC0/ <TI000>/<INTP0>
P122				X2/EXCLK/ TOOLD0

備考 上表の<>内の機能は、入力切り替え制御レジスタ (MUXSEL) の設定により、割り当て可能です。

## 4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-5 ポートの構成

項目	構成
制御レジスタ	<ul style="list-style-type: none"> <li>・ 78K0/FY2-L, 78K0/FA2-L               <ul style="list-style-type: none"> <li>ポート・モード・レジスタ (PMxx) : PM0, PM2, PM3, PM6</li> <li>ポート・レジスタ (Pxx) : P0, P2, P3, P6, P12</li> <li>プルアップ抵抗オプション・レジスタ (PUxx) : PU0, PU3, PU6</li> <li>ポート入力モード・レジスタ6 (PIM6)</li> <li>ポート出力モード・レジスタ6 (POM6)</li> <li>A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0)</li> </ul> </li> <li>・ 78K0/FB2-L               <ul style="list-style-type: none"> <li>ポート・モード・レジスタ (PMxx) : PM0, PM2, PM3, PM6, PM7</li> <li>ポート・レジスタ (Pxx) : P0, P2, P3, P6, P7, P12</li> <li>プルアップ抵抗オプション・レジスタ (PUxx) : PU0, PU3, PU6</li> <li>ポート入力モード・レジスタ6 (PIM6)</li> <li>ポート出力モード・レジスタ6 (POM6)</li> <li>A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0)</li> <li>A/Dポート・コンフィギュレーション・レジスタ1 (ADPC1)<sup>注</sup></li> <li>ポート兼用切り替え制御レジスタ (MUXSEL)</li> </ul> </li> </ul>
ポート	<ul style="list-style-type: none"> <li>・ 78K0/FY2-L : 合計11本 (CMOS入出力 : 9本, CMOS入力 : 2本)</li> <li>・ 78K0/FA2-L : 合計15本 (CMOS入出力 : 13本, CMOS入力 : 2本)</li> <li>・ 78K0/FB2-L : 合計24本 (CMOS入出力 : 22本, CMOS入力 : 2本)</li> </ul>
プルアップ抵抗	<ul style="list-style-type: none"> <li>・ 78K0/FY2-L : 合計5本</li> <li>・ 78K0/FA2-L : 合計7本</li> <li>・ 78K0/FB2-L : 合計13本</li> </ul>

注 78K0/FB2-Lのみ。

## 4.2.1 ポート0

78K0/FY2-L (16ピン)	78K0/FA2-L (20ピン)	78K0/FB2-L (30ピン)
P00/TI000/INTP0	P00/TI000/INTP0	P00/TI000/INTP0
P01/TO00/TI010	P01/TO00/TI010	P01/TO00/TI010
-	-	P02/SSI11/INTP5

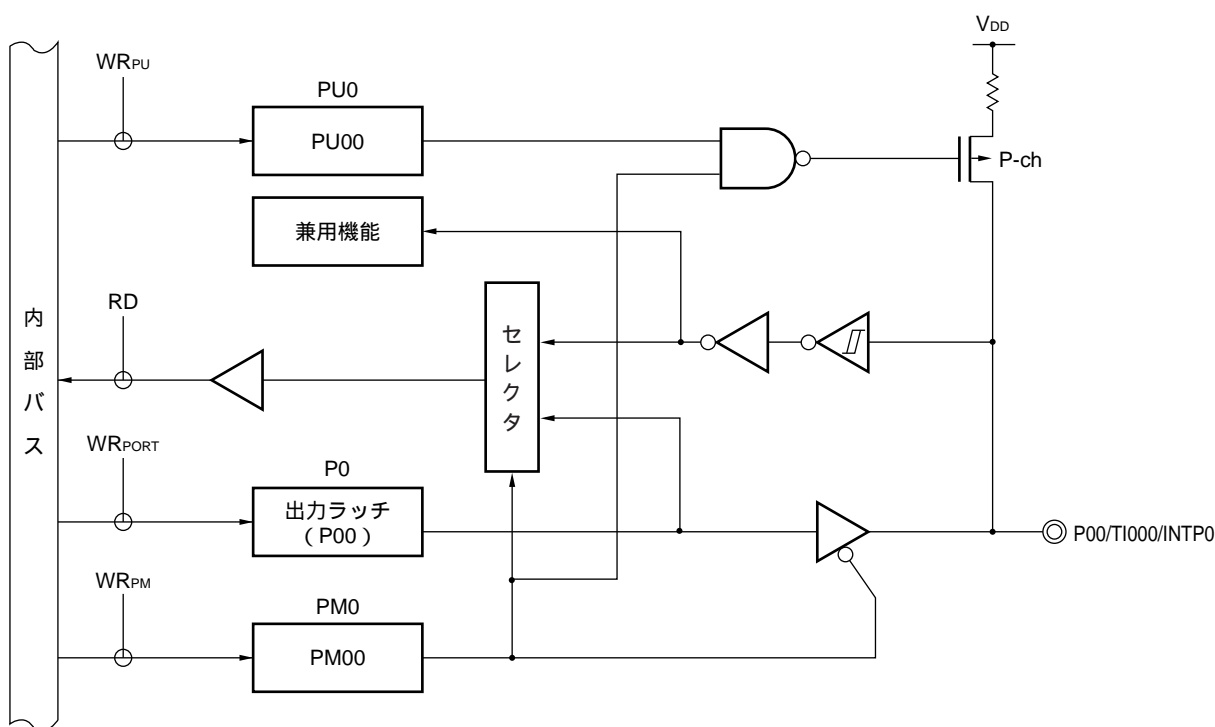
出力ラッチ付き入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード/出力モードの指定ができます。P00-P02端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ0 (PU0) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてタイマ入出力、外部割り込み要求入力、シリアル・インタフェースのチップ・セレクト入力があります。

リセット信号の発生により、入力モードになります。

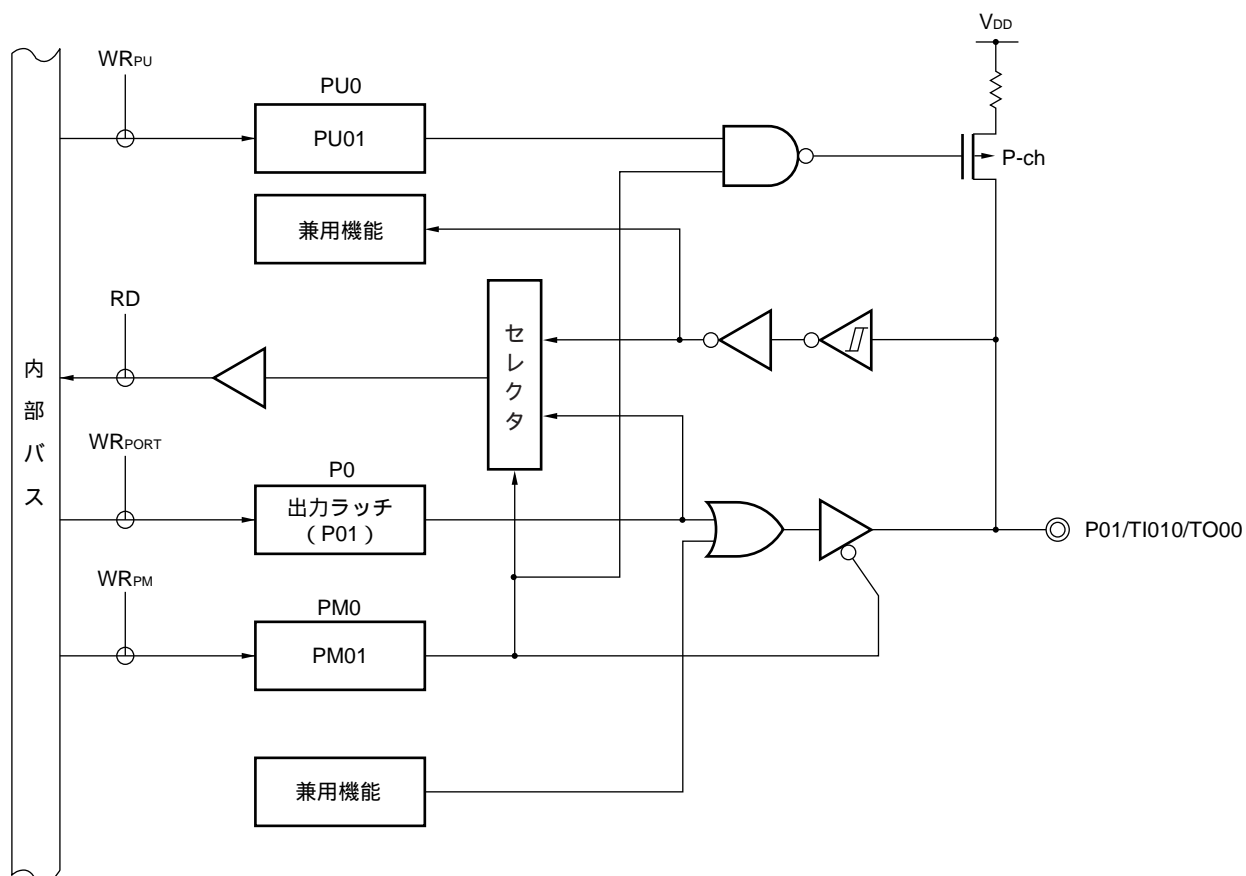
図4-1~4-3にポート0のブロック図を示します。

図4-1 P00のブロック図



- P0 : ポート・レジスタ0
- PU0 : プルアップ抵抗オプション・レジスタ0
- PM0 : ポート・モード・レジスタ0
- RD : リード信号
- WR<sub>x</sub> : ライト信号

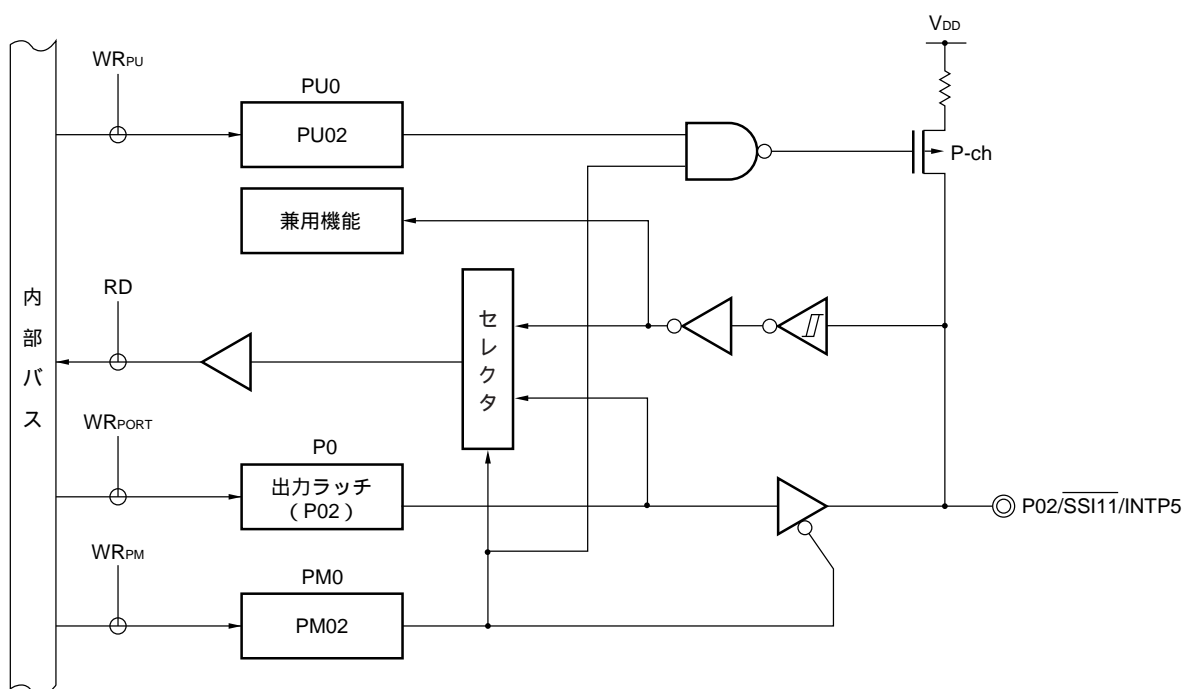
図4-2 P01のブロック図



- P0 : ポート・レジスタ0
- PU0 : プルアップ抵抗オプション・レジスタ0
- PM0 : ポート・モード・レジスタ0
- RD : リード信号
- WR<sub>xx</sub> : ライト信号



図4-3 P02のブロック図



- P0 : ポート・レジスタ0  
 PU0 : プルアップ抵抗オプション・レジスタ0  
 PM0 : ポート・モード・レジスタ0  
 RD : リード信号  
 WR<sub>xx</sub> : ライト信号

## 4.2.2 ポート2

78K0/FY2-L (16ピン)	78K0/FA2-L (20ピン)	78K0/FB2-L (30ピン)
P20/ANI0	P20/ANI0	P20/ANI0
P21/ANI1	P21/ANI1	P21/ANI1
P22/ANI2	P22/ANI2	P22/ANI2
P23/ANI3/CMP2+	P23/ANI3/CMP2+	P23/ANI3/CMP2+
-	P24/ANI4/CMP0+	P24/ANI4/CMP0+
-	P25/ANI5/CMP1+	P25/ANI5/CMP1+
-	-	P26/ANI6/CMPCOM
-	-	P27/ANI7

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ2 (PM2) により1ビット単位で入力モード/出力モードの指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力、コンパレータ入力、コンパレータ・コモン入力があります。

P20/ANI0-P27/ANI7を使用する場合は、使用する端子機能に応じて、レジスタを設定してください(表4-6~4-10を参照)。

P20/ANI0-P27/ANI7をデジタル入力またはデジタル出力として使用する場合は、 $AV_{REF}$ から最も遠い端子(例: 78K0/FB2-LではP24/CMP0+/ANI4端子)より行うことを推奨します。また、P20/ANI0-P27/ANI7をアナログ入力として使用する場合は、 $AV_{SS}$ から最も近い端子(例: 78K0/FB2-LではP27/ANI7端子)より行うことを推奨します。

表4-6 P20/ANI0, P22/ANI2端子機能の設定

ADPC0レジスタ	PM2レジスタ	ADSレジスタ (n = 0, 2)	P20/ANI0, P22/ANI2端子
デジタル入出力選択	入力モード	ANIn選択	設定禁止
		ANIn非選択	デジタル入力
	出力モード	ANIn選択	設定禁止
		ANIn非選択	デジタル出力
アナログ入力選択	入力モード	ANIn選択	アナログ入力 (A/D変換対象)
		ANIn非選択	アナログ入力 (A/D変換非対象)
	出力モード	-	設定禁止

備考 ADPC0: A/Dコンフィギュレーション・レジスタ0

PM2: ポート・モード・レジスタ2

ADS: アナログ入力チャンネル指定レジスタ

表4 - 7 P21/ANI1端子機能の設定

ADPC0 レジスタ	PM2 レジスタ	ADS レジスタ	P21/ANI1端子
デジタル 入出力選択	入力モード	ANI1選択	設定禁止
		ANI1非選択	デジタル入力
	出力モード	ANI1選択	設定禁止
		ANI1非選択	デジタル出力
アナログ 入力選択	入力モード	ANI1選択	アナログ入力 (A/D変換対象)
		ANI1非選択	アナログ入力 (A/D変換非対象)
	出力モード	-	設定禁止

表4 - 8 P23/ANI3/CMP2+, P24/ANI4/CMP0+, P25/ANI5/CMP1+端子機能の設定

ADPC0レジスタ	PM2レジスタ	CMPmENビット (m = 0-2)	ADSレジスタ (n = 3-5)	P23/ANI3/CMP2+, P24/ANI4/CMP0+, P25/ANI5/CMP1+端子
デジタル入出力選択	入力モード	-	ANIn選択	設定禁止
			ANIn非選択	デジタル入力
	出力モード	-	ANIn選択	設定禁止
			ANIn非選択	デジタル出力
アナログ入力選択	入力モード	0	ANIn選択	アナログ入力 (A/D変換対象)
			ANIn非選択	アナログ入力 (A/D変換非対象)
		1	ANIn選択	アナログ入力 (A/D変換対象), コンパレータ入力
	ANIn非選択		コンパレータ入力	
	出力モード	-	-	設定禁止

備考 ADPC0 : A/Dコンフィギュレーション・レジスタ0

PM2 : ポート・モード・レジスタ2

CMPmEN : コンパレータm制御レジスタ (CmCTL) のビット7

ADS : アナログ入力チャンネル指定レジスタ

表4 - 9 P26/ANI6/CMPCOM端子機能の設定

ADPC0レジスタ	PM2レジスタ	CmMODSEL1 ビット (m = 0-2)	CmMODSEL0 ビット (m = 0-2)	ADSレジスタ	P26/ANI6/CMPCOM端子
デジタル入出力 選択	入力モード	-		ANI6選択	設定禁止
				ANI6非選択	デジタル入力
	出力モード	-		ANI6選択	設定禁止
				ANI6非選択	デジタル出力
アナログ入力選 択	入力モード	CmMODSEL1 = 0, または CmMODSEL0 = 0		ANI6選択	アナログ入力 (A/D変換対象)
				ANI6非選択	アナログ入力 (A/D変換非対象)
		CmMODSEL1 = 1, CmMODSEL0 = 1		ANI6選択	アナログ入力 (A/D変換対象) , コンパレータ・コモン入力
				ANI6非選択	コンパレータ・コモン入力
	出力モード	-		-	設定禁止

備考 ADPC0 : A/Dコンフィギュレーション・レジスタ0  
PM2 : ポート・モード・レジスタ2  
CmMODSEL1, CmMODSEL0 : コンパレータm制御レジスタ (CmCTL) のビット4, 3  
ADS : アナログ入力チャンネル指定レジスタ

表4 - 10 P27/ANI7端子機能の設定

ADPC0レジスタ	PM2レジスタ	ADSレジスタ	P27/ANI7端子
デジタル入出力選択	入力モード	ANI7選択	設定禁止
		ANI7非選択	デジタル入力
	出力モード	ANI7選択	設定禁止
		ANI7非選択	デジタル出力
アナログ入力選択	入力モード	ANI7選択	アナログ入力 (A/D変換対象)
		ANI7非選択	アナログ入力 (A/D変換非対象)
	出力モード	-	設定禁止

備考 ADPC0 : A/Dコンフィギュレーション・レジスタ0  
PM2 : ポート・モード・レジスタ2  
ADS : アナログ入力チャンネル指定レジスタ

リセット信号の発生により, アナログ入力になります。

図4 - 4 - 4 - 8にポート2のブロック図を示します。

**注意** ポート2をデジタル・ポートとして使用する場合は, AVREFをVDDと同電位にしてください。

図4-4 P20-22, P27のブロック図

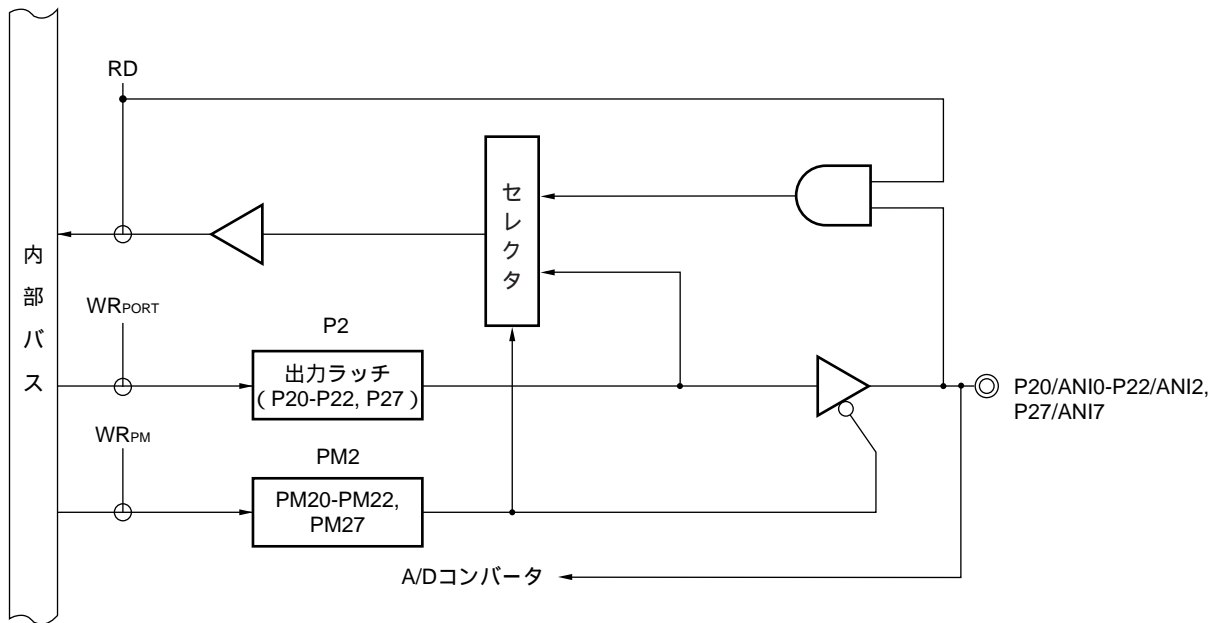
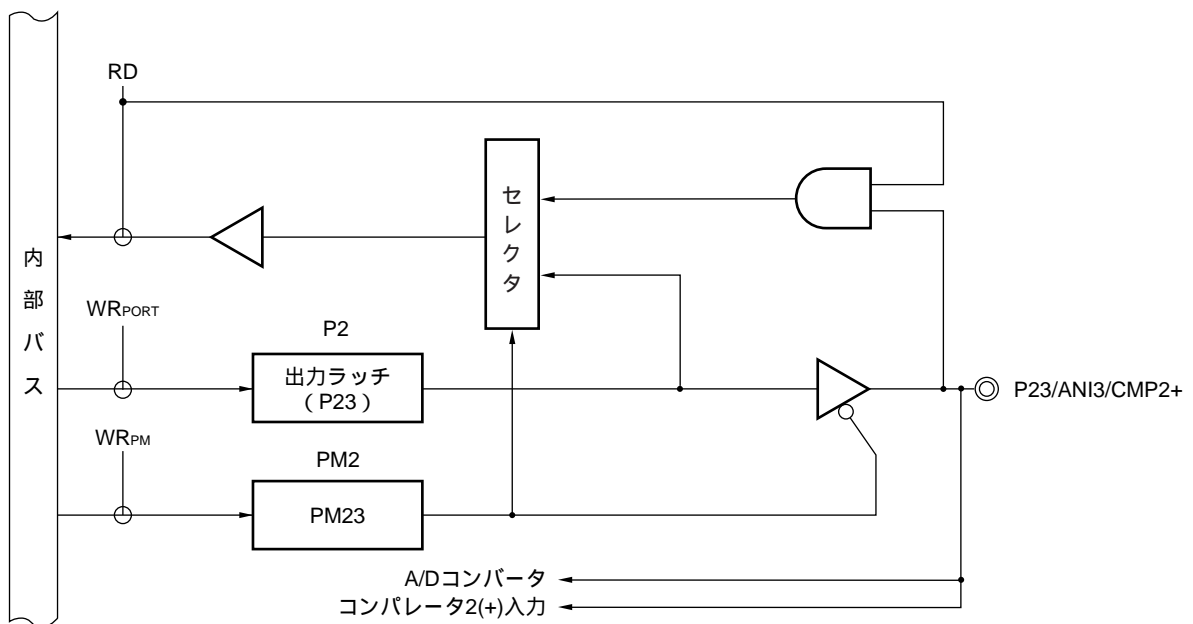


図4-5 P23のブロック図



- P2 : ポート・レジスタ2
- PM2 : ポート・モード・レジスタ2
- RD : リード信号
- WR<sub>xx</sub> : ライト信号

図4-6 P24のブロック図

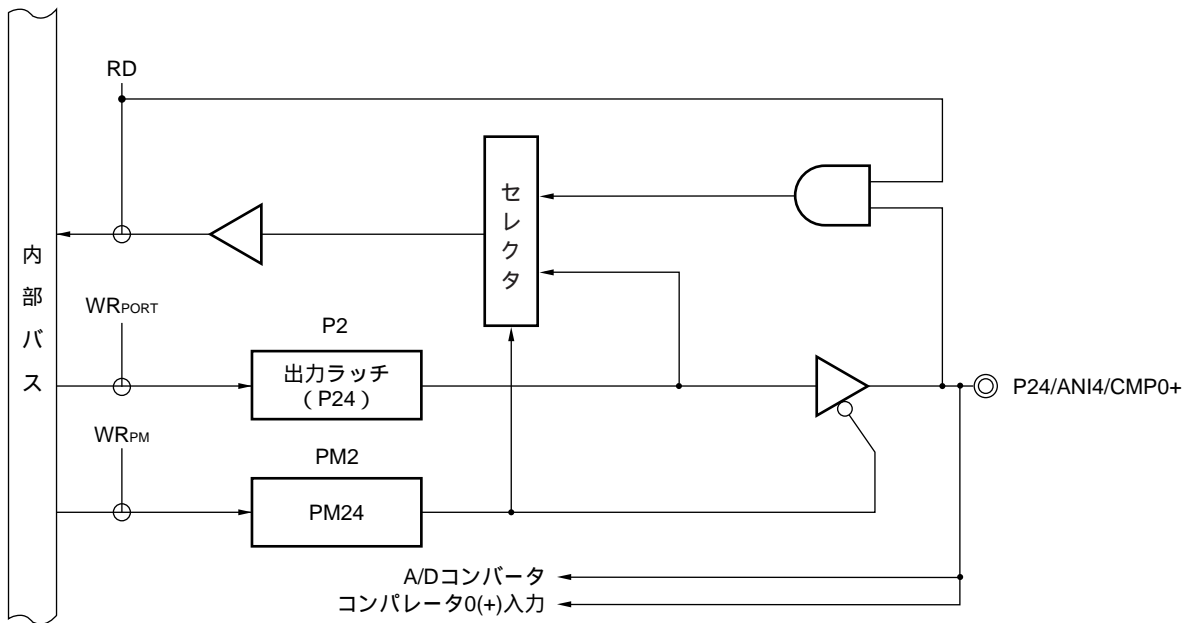
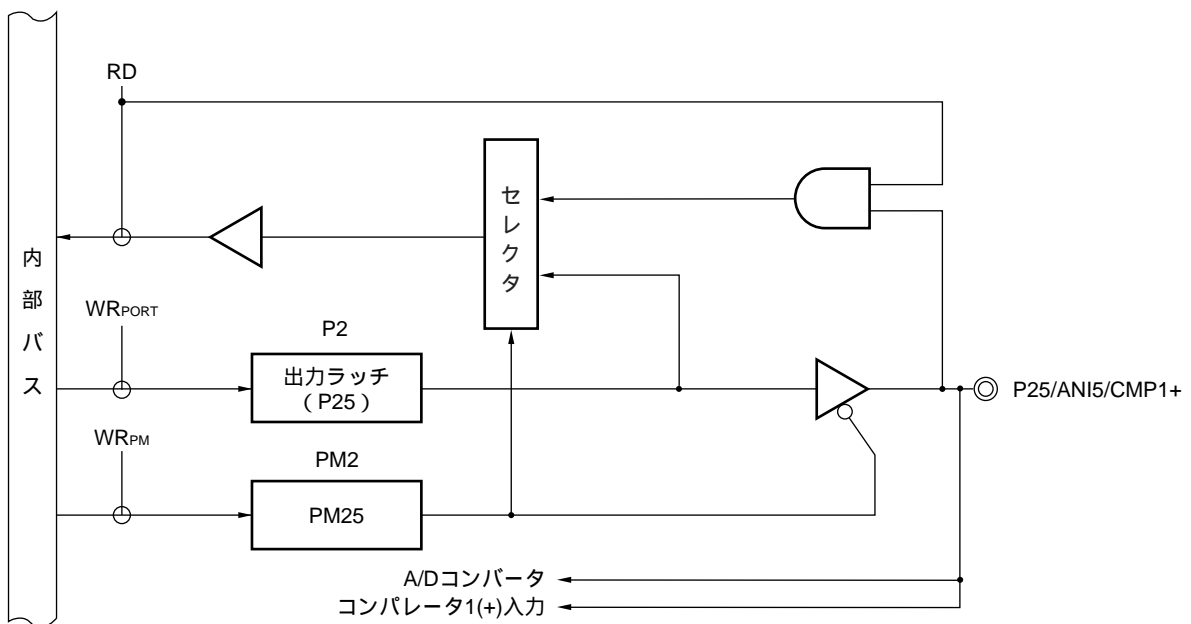
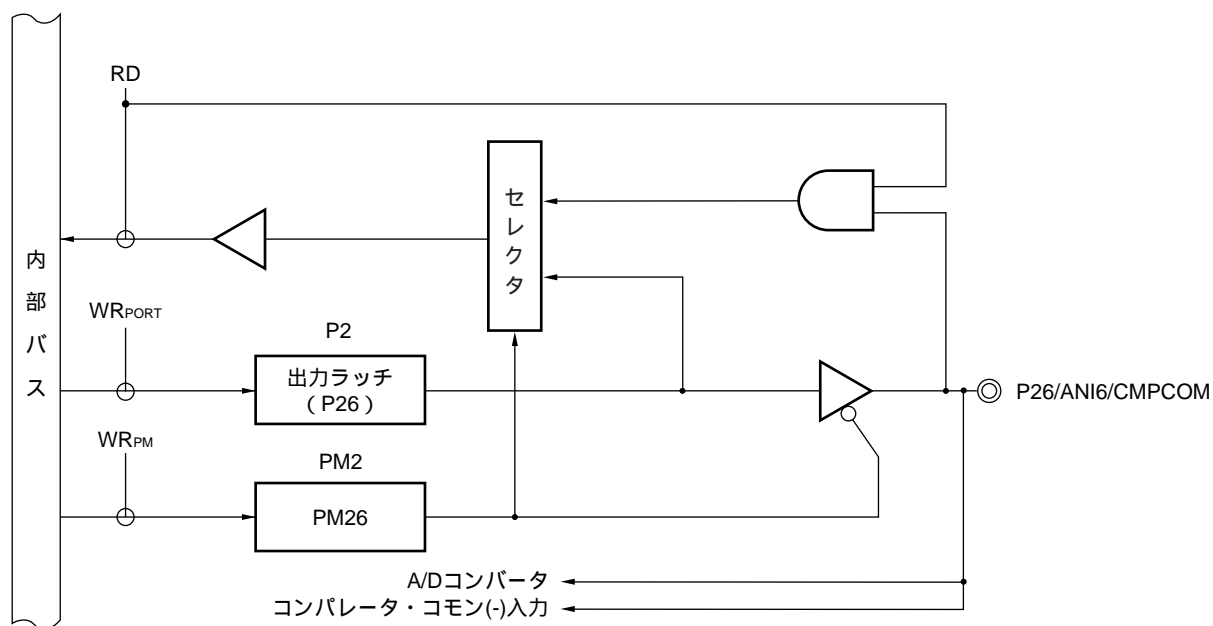


図4-7 P25のブロック図



- P2 : ポート・レジスタ2
- PM2 : ポート・モード・レジスタ2
- RD : リード信号
- WR<sub>xx</sub> : ライト信号

図4 - 8 P26のブロック図



## 4.2.3 ポート3

78K0/FY2-L (16ピン)	78K0/FA2-L (20ピン)	78K0/FB2-L (30ピン)
P30/TOH1/TI51/INTP1	P30/TOH1/TI51/INTP1	P30/TOH1/TI51/INTP1
-	P31/TOX10/INTP2/TOOLC1	P31/TOX00/INTP2/TOOLC1
-	P32/TOX11/INTP3/TOOLD1	P32/TOX01/INTP3/TOOLD1
-	-	P33/TOX10
-	-	P34/TOX11/INTP4
-	-	P35/SCK11
-	-	P36/SI11
-	-	P37/SO11

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ3 (PM3) により1ビット単位で入力モード/出力モードの指定ができます。P30-P37端子を入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ3 (PU3) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能として外部割り込み要求入力、タイマの入出力、シリアル・インタフェースのクロック入出力、データ出力、フラッシュ・メモリ・プログラマ/オンチップ・デバッグ用クロック入力、データ入出力があります。

リセット信号の発生により、入力モードになります。

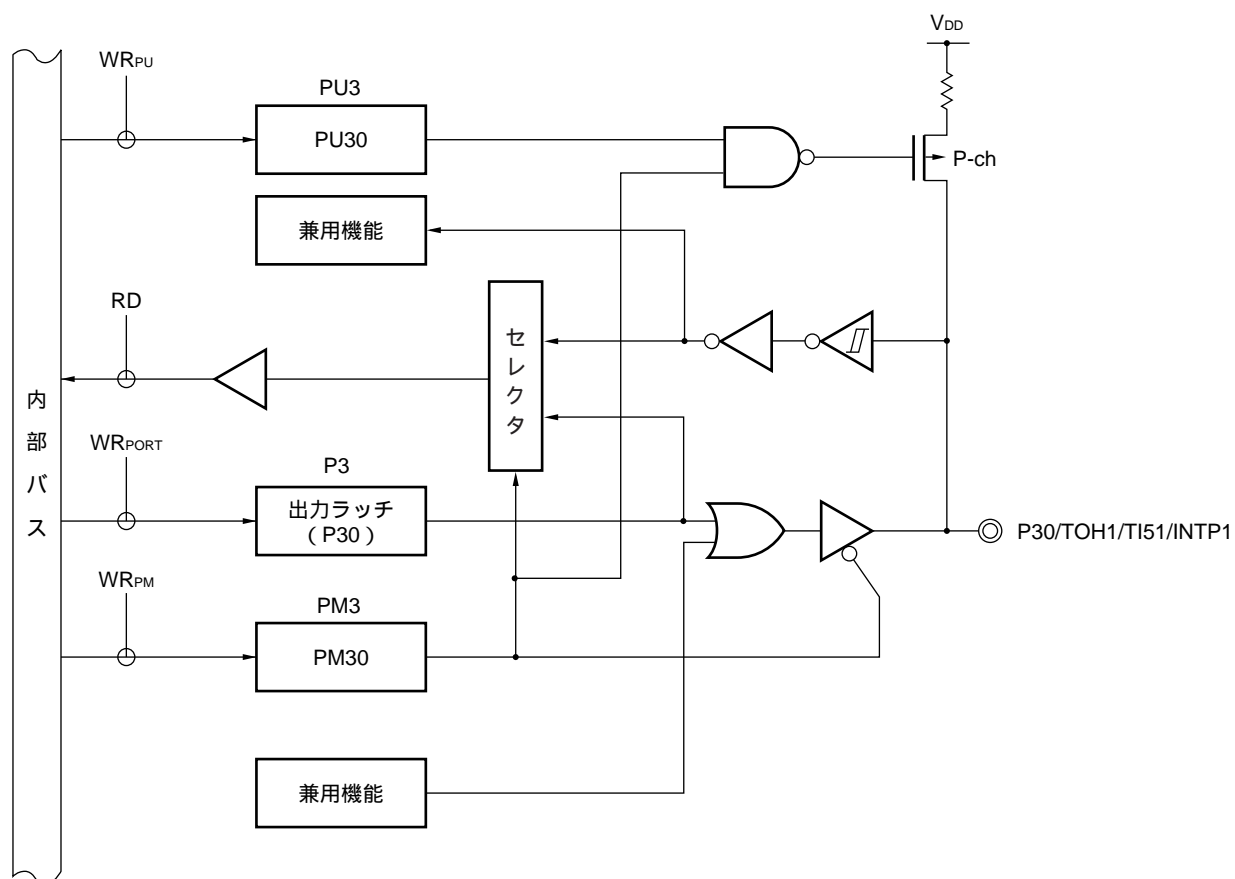
図4-9~4-16にポート3のブロック図を示します。

**注意** 78K0/FB2-LのP35/SCK11, P37/SO11を汎用ポートとして使用する場合、シリアル動作モード・レジスタ11 (CSIM11) とシリアル・クロック選択レジスタ11 (CSIC11) は初期状態と同じ設定 (00H) にしてください。

**備考** TOOLC1/P31, TOOLD1/P32を使用したフラッシュ・メモリ・プログラマとの接続については、第24章 フラッシュ・メモリを、TOOLC1/P31, TOOLD1/P32とオンチップ・デバッグ・エミュレータとの接続については、第25章 オンチップ・デバッグ機能を参照してください。



図4-9 P30のブロック図



- P3 : ポート・レジスタ3
- PU3 : プルアップ抵抗オプション・レジスタ3
- PM3 : ポート・モード・レジスタ3
- RD : リード信号
- WR<sub>xx</sub> : ライト信号

図4 - 10 P31のブロック図

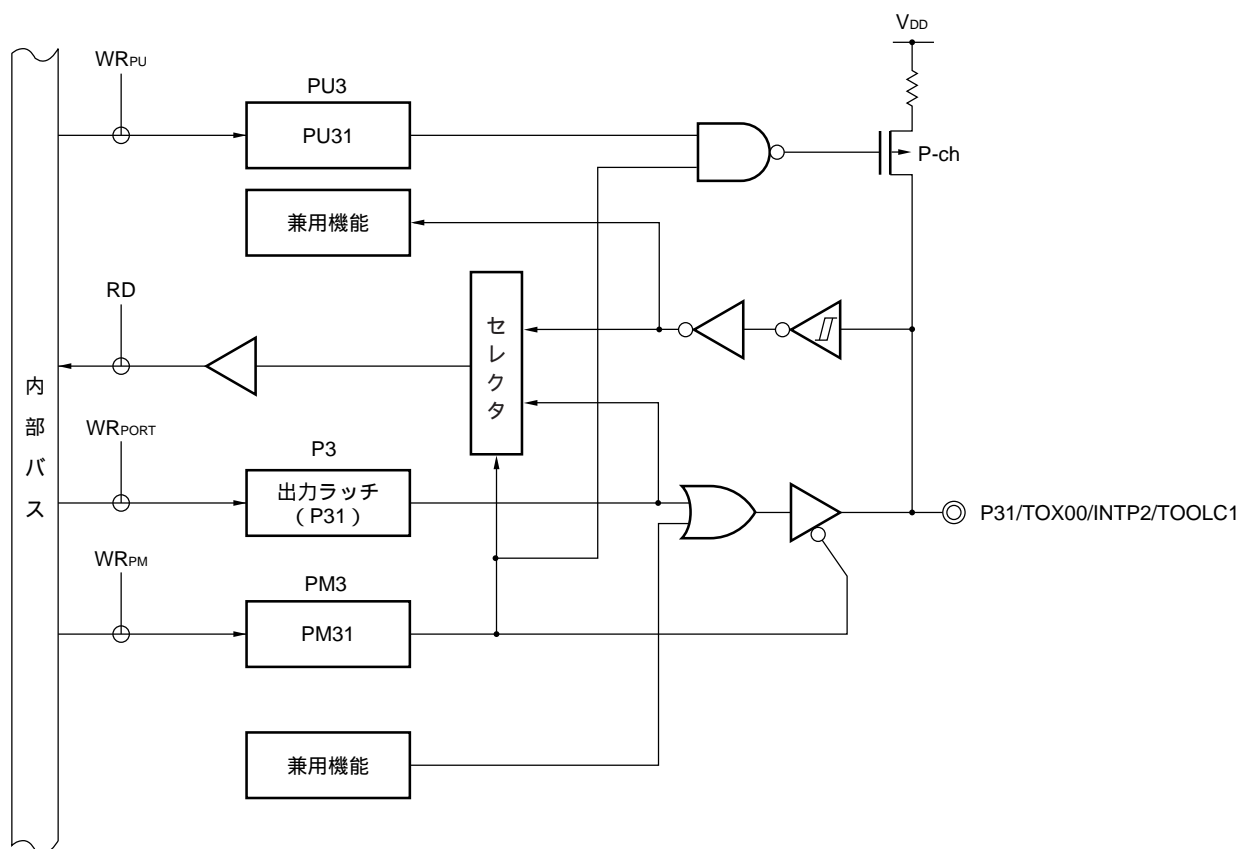
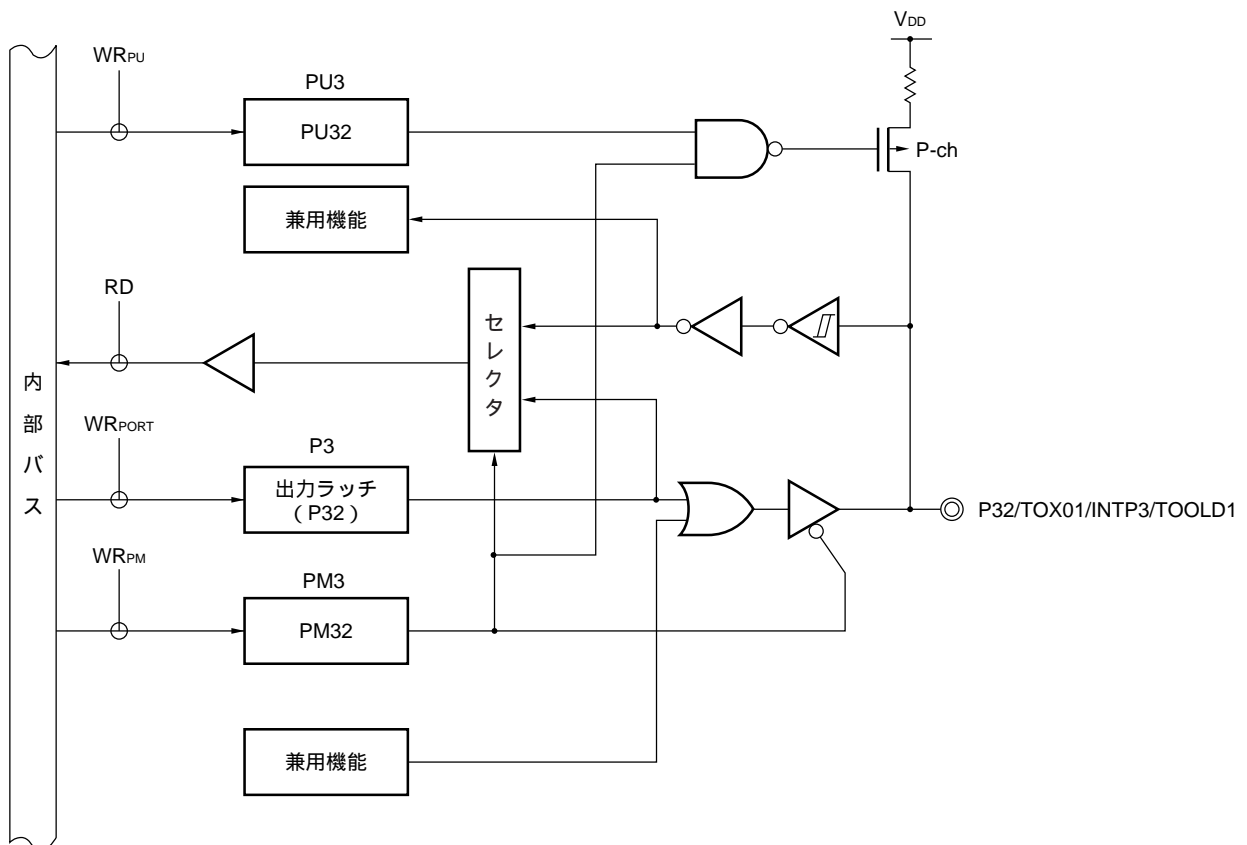
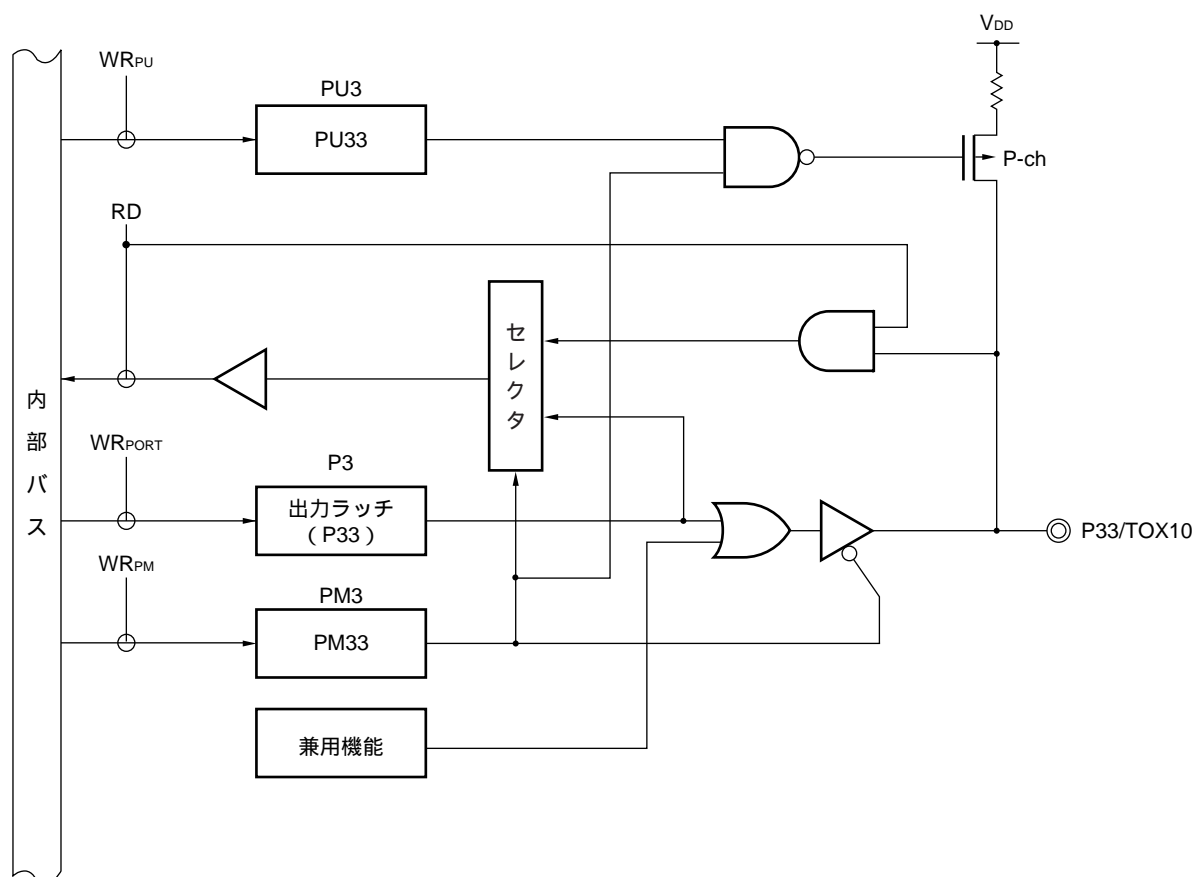


図4 - 11 P32のブロック図



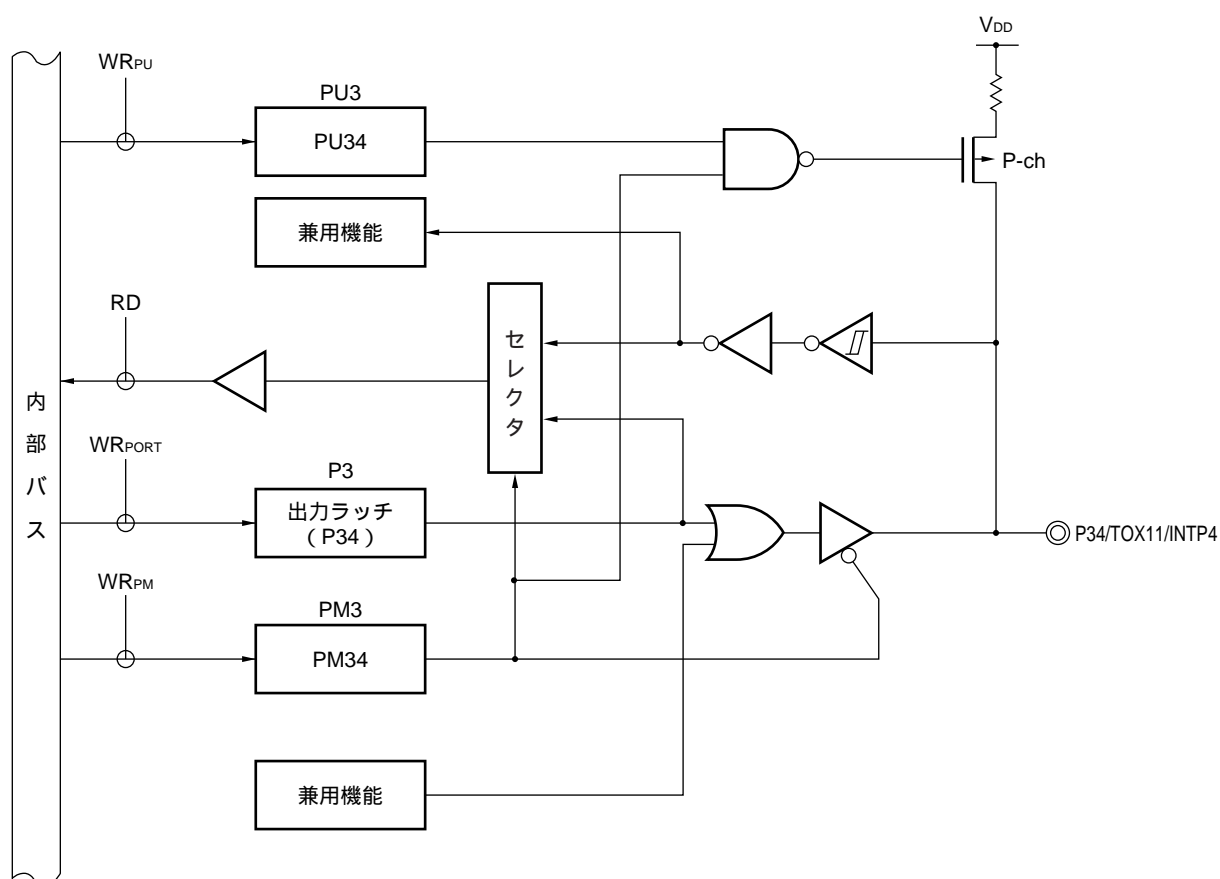
- P3 : ポート・レジスタ3  
 PU3 : プルアップ抵抗オプション・レジスタ3  
 PM3 : ポート・モード・レジスタ3  
 RD : リード信号  
 WR<sub>xx</sub> : ライト信号

図4-12 P33のブロック図



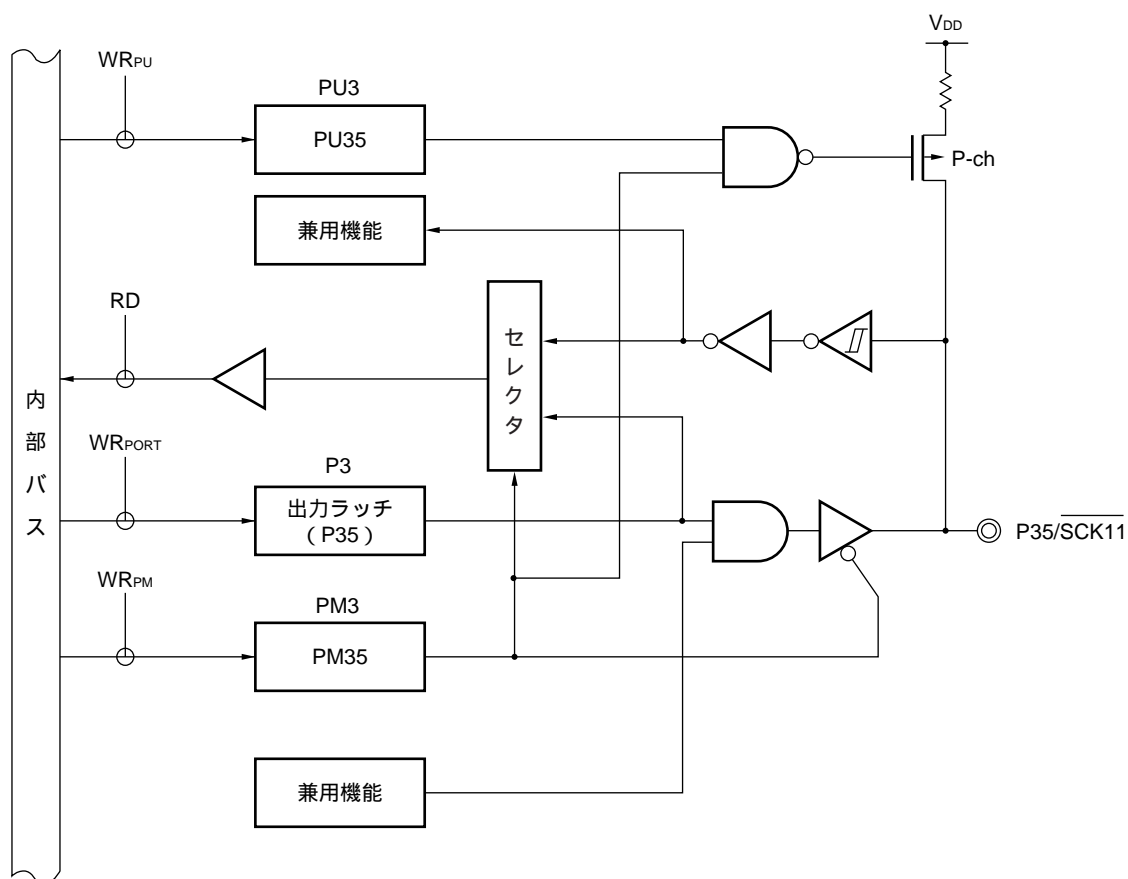
- P3 : ポート・レジスタ3  
 PU3 : プルアップ抵抗オプション・レジスタ3  
 PM3 : ポート・モード・レジスタ3  
 RD : リード信号  
 WR<sub>x</sub> : ライト信号

図4-13 P34のブロック図



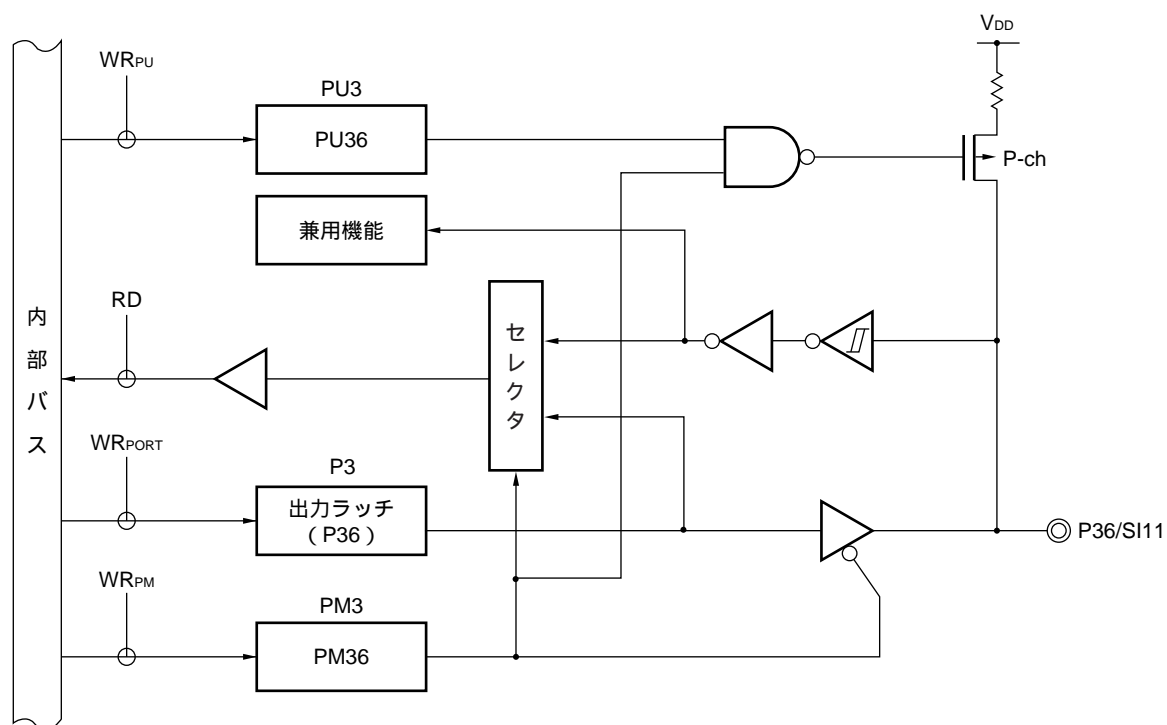
- P3 : ポート・レジスタ3  
 PU3 : プルアップ抵抗オプション・レジスタ3  
 PM3 : ポート・モード・レジスタ3  
 RD : リード信号  
 WR<sub>xx</sub> : ライト信号

図4 - 14 P35のブロック図



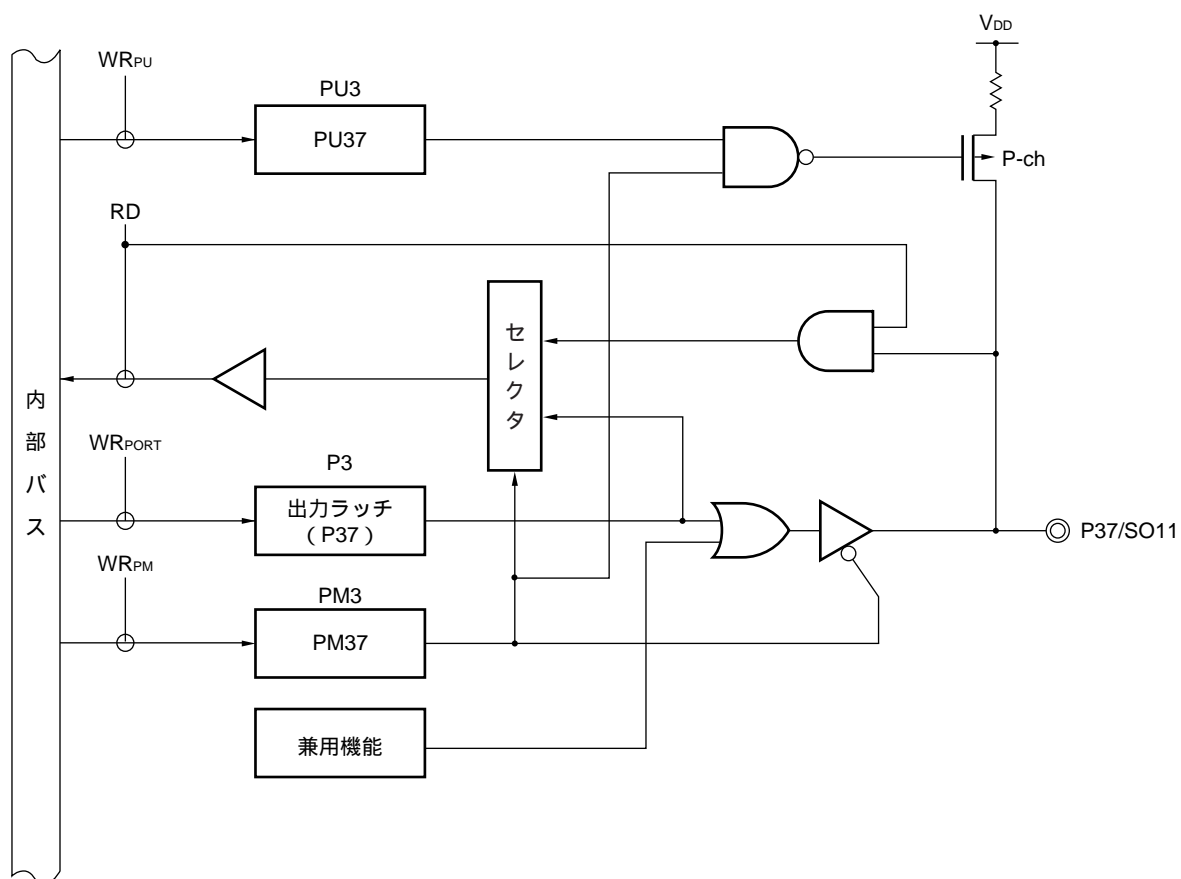
- P3 : ポート・レジスタ3  
 PU3 : プルアップ抵抗オプション・レジスタ3  
 PM3 : ポート・モード・レジスタ3  
 RD : リード信号  
 WR<sub>xx</sub> : ライト信号

図4 - 15 P36のブロック図



- P3 : ポート・レジスタ3
- PU3 : プルアップ抵抗オプション・レジスタ3
- PM3 : ポート・モード・レジスタ3
- RD : リード信号
- $WR_{xx}$  : ライト信号

図4-16 P37のブロック図



- P3 : ポート・レジスタ3
- PU3 : プルアップ抵抗オプション・レジスタ3
- PM3 : ポート・モード・レジスタ3
- RD : リード信号
- WR<sub>xx</sub> : ライト信号



#### 4.2.4 ポート6

78K0/FY2-L (16ピン)	78K0/FA2-L (20ピン)	78K0/FB2-L (30ピン)
P60/SCLA0/TxD6	P60/SCLA0/TxD6	P60/SCLA0/TxD6
P61/SDAA0/RxD6	P61/SDAA0/RxD6	P61/SDAA0/RxD6

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ6 (PM6) により1ビット単位で入力モード/出力モードの指定ができます。P60, P61端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ6 (PU6) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P60, P61の入力は、ポート入力モード・レジスタ6 (PIM6) により、1ビット単位で通常入力 (シュミット) バッファまたはSMBus入力バッファに指定できます。

P60, P61の出力は、ポート出力モード・レジスタ6 (POM6) により、1ビット単位で通常出力 (CMOS出力) またはN-chオープン・ドレイン出力 ( $V_{DD}$ 耐圧) に指定できます。

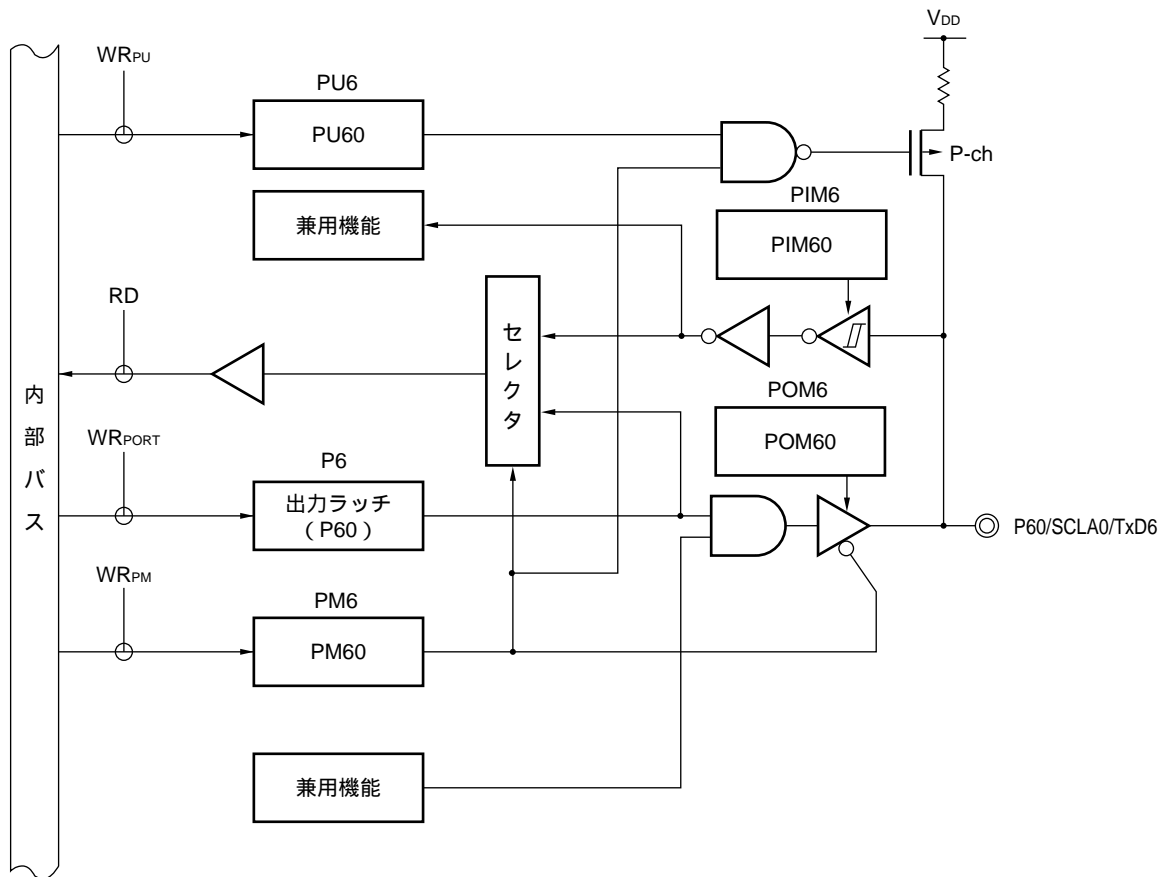
また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力があります。

リセット信号の発生により、入力モードになります。

**注意** 78K0/FY2-L, 78K0/FA2-L, 78K0/FB2-LのP60/SCLA0/TxD6を汎用ポートとして使用する場合は、**アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット0 (TXDLV6) を0 (TxD6通常出力) に設定してください。**

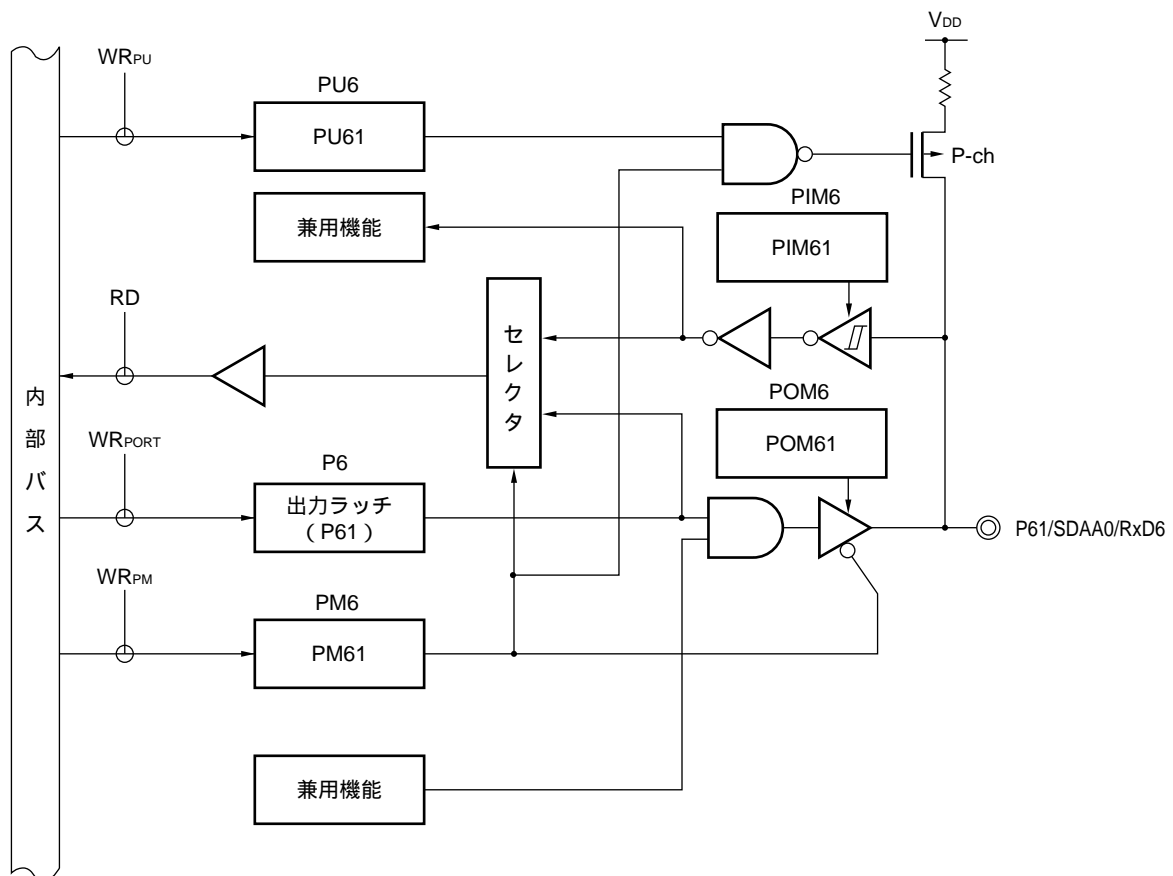
図4 - 17, 4 - 18にポート6のブロック図を示します。

図4 - 17 P60のブロック図



- P6 : ポート・レジスタ6  
 PU6 : プルアップ抵抗オプション・レジスタ6  
 PM6 : ポート・モード・レジスタ6  
 PIM6 : ポート入力モード・レジスタ6  
 POM6 : ポート出力モード・レジスタ6  
 RD : リード信号  
 WR<sub>xx</sub> : ライト信号

図4 - 18 P61のブロック図



- P6 : ポート・レジスタ6
- PU6 : プルアップ抵抗オプション・レジスタ6
- PM6 : ポート・モード・レジスタ6
- PIM6 : ポート入力モード・レジスタ6
- POM6 : ポート出力モード・レジスタ6
- RD : リード信号
- WR<sub>xx</sub> : ライト信号

## 4.2.5 ポート7

78K0/FY2-L (16ピン)	78K0/FA2-L (20ピン)	78K0/FB2-L (30ピン)
-	-	P70/ANI8

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ7 (PM7) により1ビット単位で入力モード/出力モードの指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力があります。

P70/ANI8を使用する場合は、使用する端子の機能に応じて、レジスタを設定してください (表4 - 11を参照)。

表4 - 11 P70/ANI8端子機能の設定

ADPC1レジスタ	PM7レジスタ	ADSレジスタ	P70/ANI8端子
デジタル入出力選択	入力モード	ANI8選択	設定禁止
		ANI8非選択	デジタル入力
	出力モード	ANI8選択	設定禁止
		ANI8非選択	デジタル出力
アナログ入力選択	入力モード	ANI8選択	アナログ入力 (A/D変換対象)
		ANI8非選択	アナログ入力 (A/D変換非対象)
	出力モード	-	設定禁止

**備考** ADPC1 : A/Dコンフィギュレーション・レジスタ1

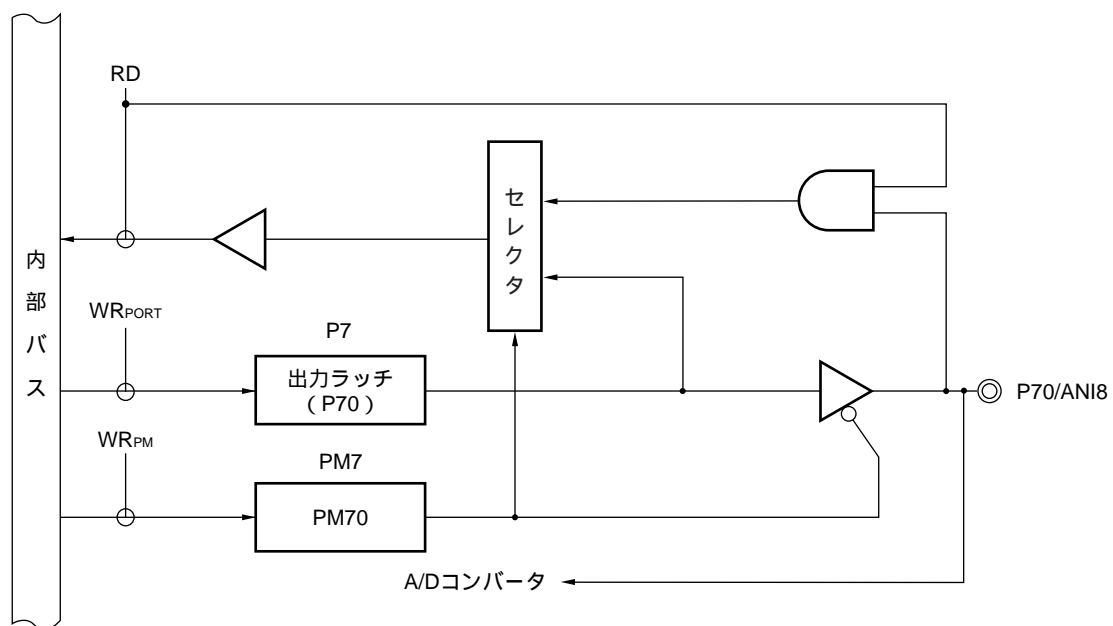
PM7 : ポート・モード・レジスタ7

ADS : アナログ入力チャンネル指定レジスタ

リセット信号の発生により、アナログ入力になります。

図4 - 19にポート7のブロック図を示します。

図4 - 19 P70のブロック図



- P7 : ポート・レジスタ7  
 PM7 : ポート・モード・レジスタ7  
 RD : リード信号  
 WR<sub>xx</sub> : ライト信号

## 4.2.6 ポート12

78K0/FY2-L (16ピン)	78K0/FA2-L (20ピン)	78K0/FB2-L (30ピン)
P121/X1/TOOLC0	P121/X1/TOOLC0	P121/X1/TOOLC0/<TI000>/<INTP0>
P122/X2/EXCLK/TOOLD0	P122/X2/EXCLK/TOOLD0	P122/X2/EXCLK/TOOLD0

**備考** 上表の<>内の機能は、ポート兼用切り替え制御レジスタ(MUXSEL)の設定により、割り当て可能です。

P121, P122は入力ポートです。

また、兼用機能としてメイン・システム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力、フラッシュ・メモリ・プログラマ/オンチップ・デバッグ用クロック入力、データ入出力機能があります。

78K0/FY2-LのP121はポート兼用切り替え制御レジスタ(MUXSEL)の設定により、タイマ入力または外部割り込み要求入力を割り当てることができます。

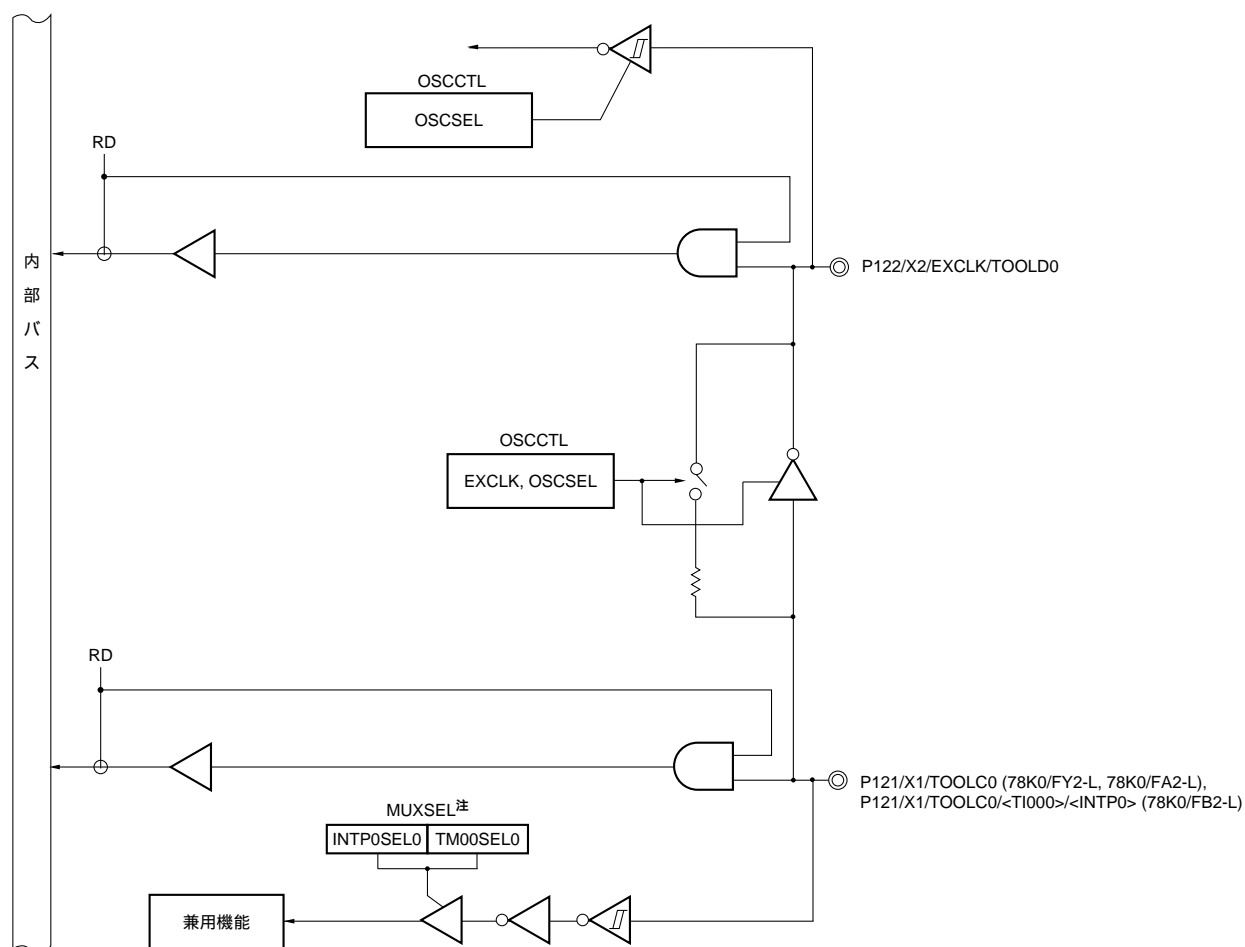
リセット信号の発生により、入力モードになります。

図4-20にポート12のブロック図を示します。

**注意** P121, P122を、メイン・システム・クロック用発振子接続(X1, X2)、メイン・システム・クロック用外部クロック入力(EXCLK)として使用する場合は、クロック動作モード選択レジスタ(OSCCTL)でX1発振モードまたは外部クロック入力モードに設定してください(詳細は、5.3(1)クロック動作モード選択レジスタ(OSCCTL)を参照)。OSCCTLのリセット値は00H(P121, P122はすべて入力ポート)となります。

**備考** TOOLC0/X1, TOOLD0/X2とフラッシュ・メモリ・プログラマとの接続については、第24章 フラッシュ・メモリを、TOOLC0/X1, TOOLD0/X2とオンチップ・デバッグ・エミュレータとの接続については、第25章 オンチップ・デバッグ機能を参照してください。

図4-20 P121, P122のブロック図



MUXSEL : ポート兼用切り替え制御レジスタ

OSCCTL : クロック動作モード選択レジスタ

RD : リード信号

WR<sub>xx</sub> : ライト信号

注 78K0/FB2-Lのみ。

## 4.3 ポート機能を制御するレジスタ

ポートは、次の7種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PMxx)
- ・ポート・レジスタ (Pxx)
- ・プルアップ抵抗オプション・レジスタ (PUxx)
- ・ポート入力モード・レジスタ6 (PIM6)
- ・ポート出力モード・レジスタ6 (POM6)
- ・A/Dポート・コンフィギュレーション・レジスタn (ADPCn)
- ・ポート兼用切り替え制御レジスタ (MUXSEL)

**備考** n = 0 : 78K0/FY2-L, 78K0/FA2-L

n = 0, 1 : 78K0/FB2-L

### (1) ポート・モード・レジスタ (PMxx)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、4.5 兼用端子使用時のポート・モード・レジスタ、出力ラッチの設定を参照し、設定してください。



図4-21 ポート・モード・レジスタのフォーマット (78K0/FY2-L)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	1	1	1	PM01	PM00	FF20H	FFH	R/W
PM2	1	1	1	1	PM23 <sup>注</sup>	PM22 <sup>注</sup>	PM21 <sup>注</sup>	PM20 <sup>注</sup>	FF22H	FFH	R/W
PM3	1	1	1	1	1	1	1	PM30	FF23H	FFH	R/W
PM6	1	1	1	1	1	1	PM61	PM60	FF26H	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0, 2, 3, 6; n = 0-3)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注 ADPC0レジスタでアナログ入力に設定している場合、必ず入力モードに設定してください。

注意 PM0のビット2-7, PM2のビット4-7, PM3のビット1-7, PM6のビット2-7には、必ず1を設定してください。

図4-22 ポート・モード・レジスタのフォーマット (78K0/FA2-L)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	1	1	1	PM01	PM00	FF20H	FFH	R/W
PM2	1	1	PM25 <sup>注</sup>	PM24 <sup>注</sup>	PM23 <sup>注</sup>	PM22 <sup>注</sup>	PM21 <sup>注</sup>	PM20 <sup>注</sup>	FF22H	FFH	R/W
PM3	1	1	1	1	1	PM32	PM31	PM30	FF23H	FFH	R/W
PM6	1	1	1	1	1	1	PM61	PM60	FF26H	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0, 2, 3, 6; n = 0-5)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注 ADPC0レジスタでアナログ入力に設定している場合、必ず入力モードに設定してください。

注意 PM0のビット2-7, PM2のビット6, 7, PM3のビット3-7, PM6のビット2-7には、必ず1を設定してください。

図4 - 23 ポート・モード・レジスタのフォーマット (78K0/FB2-L)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	1	1	PM02	PM01	PM00	FF20H	FFH	R/W
PM2	PM27 <sup>注</sup>	PM26 <sup>注</sup>	PM25 <sup>注</sup>	PM24 <sup>注</sup>	PM23 <sup>注</sup>	PM22 <sup>注</sup>	PM21 <sup>注</sup>	PM20 <sup>注</sup>	FF22H	FFH	R/W
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	FF23H	FFH	R/W
PM6	1	1	1	1	1	1	PM61	PM60	FF26H	FFH	R/W
PM7	1	1	1	1	1	1	1	PM70 <sup>注</sup>	FF27H	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0, 2, 3, 6, 7 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注 ADPC1 ,ADPC0レジスタでアナログ入力に設定している場合 ,必ず入力モードに設定してください。

注意 PM0のビット3-7 ,PM6のビット2-7 ,PM7のビット1-7には必ず1を設定してください。

## (2) ポート・レジスタ (Pxx)

ポート出力時にチップ外に出力するデータをライトするレジスタです。

リードする場合 ,入力モード時は端子レベルが ,出力モード時はポートの出力ラッチの値が読み出されます。

ポート・レジスタは ,それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により ,00Hになります。

図4 - 24 ポート・レジスタのフォーマット (78K0/FY2-L)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	0	0	0	0	0	P01	P00	FF00H	00H (出力ラッチ)	R/W
P2	0	0	0	0	P23 <sup>注1</sup>	P22 <sup>注1</sup>	P21 <sup>注1</sup>	P20 <sup>注1</sup>	FF02H	00H (出力ラッチ)	R/W
P3	0	0	0	0	0	0	0	P30	FF03H	00H (出力ラッチ)	R/W
P6	0	0	0	0	0	0	P61	P60	FF06H	00H (出力ラッチ)	R/W
P12	0	0	0	0	0	P122 <sup>注2</sup>	P121 <sup>注2</sup>	0	FF0CH	00H	R

Pmn	m = 0, 2, 3, 6, 12; n = 0-3	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注1. アナログ入力設定かつ入力モード設定時には、出力ラッチにアクセスしないでください。

2. X1発振モードと外部クロック入力モードで使用している端子の出力ラッチは、常に0が読み出されま

図4 - 25 ポート・レジスタのフォーマット (78K0/FA2-L)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	0	0	0	0	0	P01	P00	FF00H	00H (出力ラッチ)	R/W
P2	0	0	P25 <sup>注1</sup>	P24 <sup>注1</sup>	P23 <sup>注1</sup>	P22 <sup>注1</sup>	P21 <sup>注1</sup>	P20 <sup>注1</sup>	FF02H	00H (出力ラッチ)	R/W
P3	0	0	0	0	0	P32	P31	P30	FF03H	00H (出力ラッチ)	R/W
P6	0	0	0	0	0	0	P61	P60	FF06H	00H (出力ラッチ)	R/W
P12	0	0	0	0	0	P122 <sup>注2</sup>	P121 <sup>注2</sup>	0	FF0CH	00H	R

Pmn	m = 0, 2, 3, 6, 12; n = 0-5	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注1. アナログ入力設定かつ入力モード設定時には、出力ラッチにアクセスしないでください。

2. X1発振モードと外部クロック入力モードで使用している端子の出力ラッチは、常に0が読み出されま

図4 - 26 ポート・レジスタのフォーマット (78K0/FB2-L)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	0	0	0	0	P02	P01	P00	FF00H	00H (出力ラッチ)	R/W
P2	P27 <sup>注1</sup>	P26 <sup>注1</sup>	P25 <sup>注1</sup>	P24 <sup>注1</sup>	P23 <sup>注1</sup>	P22 <sup>注1</sup>	P21 <sup>注1</sup>	P20 <sup>注1</sup>	FF02H	00H (出力ラッチ)	R/W
P3	P37	P36	P35	P34	P33	P32	P31	P30	FF03H	00H (出力ラッチ)	R/W
P6	0	0	0	0	0	0	P61	P60	FF06H	00H (出力ラッチ)	R/W
P7	0	0	0	0	0	0	0	P70	FF07H	00H (出力ラッチ)	R/W
P12	0	0	0	0	0	P122 <sup>注2</sup>	P121 <sup>注2</sup>	0	FF0CH	00H	R

Pmn	m = 0, 2, 3, 6, 7, 12; n = 0-7	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注1. アナログ入力設定かつ入力モード設定時には、出力ラッチにアクセスしないでください。

2. X1発振モードと外部クロック入力モードで使用している端子の出力ラッチは、常に0が読み出されます。

## (3) プルアップ抵抗オプション・レジスタ (PUxx)

内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。プルアップ抵抗オプション・レジスタで内蔵プルアップ抵抗の使用を指定した端子で、入力モードに設定したビットにのみ、ビット単位で内部プルアップ抵抗が使用できます。出力モードに設定したビットは、プルアップ抵抗オプション・レジスタの設定にかかわらず、内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用するときも同様です。

プルアップ抵抗オプション・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-27 プルアップ抵抗オプション・レジスタのフォーマット (78K0/FY2-L)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	0	0	0	0	0	PU01	PU00	FF30H	00H	R/W
PU3	0	0	0	0	0	0	0	PU30	FF33H	00H	R/W
PU6	0	0	0	0	0	0	PU61	PU60	FF36H	00H	R/W
PUmn	Pmnの内蔵プルアップ抵抗の選択 (m = 0, 3, 6; n = 0, 1)										
0	内蔵プルアップ抵抗を接続しない										
1	内蔵プルアップ抵抗を接続する										

図4-28 プルアップ抵抗オプション・レジスタのフォーマット (78K0/FA2-L)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
PU0	0	0	0	0	0	0	PU01	PU00	FF30H	00H	R/W	
PU3	0	0	0	0	0	0	PU32	PU31	PU30	FF33H	00H	R/W
PU6	0	0	0	0	0	0	PU61	PU60	FF36H	00H	R/W	
PUmn	Pmnの内蔵プルアップ抵抗の選択 (m = 0, 3, 6; n = 0-2)											
0	内蔵プルアップ抵抗を接続しない											
1	内蔵プルアップ抵抗を接続する											

図4 - 29 プルアップ抵抗オプション・レジスタのフォーマット (78K0/FB2-L)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	0	0	0	0	PU02	PU01	PU00	FF30H	00H	R/W
PU3	PU37	PU36	PU35	PU34	PU33	PU32	PU31	PU30	FF33H	00H	R/W
PU6	0	0	0	0	0	0	PU61	PU60	FF36H	00H	R/W

PUmn	Pmnの内蔵プルアップ抵抗の選択 ( m = 0, 3, 6 ; n = 0-7 )
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

**(4) ポート入力モード・レジスタ6 (PIM6)**

P60, P61の入力バッファを1ビット単位で設定するレジスタです。

I<sup>2</sup>C通信で、SMBus規格に準拠した入力を使用する場合は、PIM60, PIM61に1を設定してください。

PIM6は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4 - 30 ポート入力モード・レジスタ6 (PIM6) のフォーマット

アドレス : FF3EH    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
PIM6	0	0	0	0	0	0	PIM61	PIM60

PIM6n	P6n端子の入力バッファの選択 (n = 0, 1)
0	通常入力 (シュミット) バッファ
1	SMBus入力バッファ

**(5) ポート出力モード・レジスタ6 (POM6)**

P60, P61の出力モードを1ビット単位で設定するレジスタです。

I<sup>2</sup>C通信時には、POM60, POM61に1を設定してください。

P60/TxD6/SCLA0端子をシリアル・インタフェースUART6のデータ出力として使用する場合、POM60に0を設定してください。

POM6は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4 - 31 ポート出力モード・レジスタ6 (POM6) のフォーマット

アドレス : FF2AH    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
POM6	0	0	0	0	0	0	POM61	POM60

POM6n	P6n端子の出力モードの選択 (n = 0, 1)
0	通常出力 (CMOS出力) モード
1	N-chオープン・ドレイン出力 (V <sub>DD</sub> 耐圧) モード

**(6) A/Dポート・コンフィギュレーション・レジスタ<sub>n</sub> (ADPC<sub>n</sub>)**

ADPC0は、P20/ANI0-P27/ANI7を、ポートのデジタル入出力 / アナログ入力に切り替えるレジスタです。ADPC0の各ビットは、ポート2の端子1本ずつに対応しており、1ビット単位で指定可能です。

ADPC1は、P70/ANI8をポートのデジタル入出力 / アナログ入力に切り替えるレジスタです。ADPC1の各ビットは、ポート7のP70端子に対応しており、1ビット単位で指定可能です。

ADPC<sub>n</sub>は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

**備考** n = 0 : 78K0/FY2-L, 78K0/FA2-L

n = 0, 1 : 78K0/FB2-L



図4-32 A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0) のフォーマット

## (a) 78K0/FY2-L

アドレス : FF2EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADPC0	0	0	0	0	ADPCS3	ADPCS2	ADPCS1	ADPCS0

## (b) 78K0/FA2-L

アドレス : FF2EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADPC0	0	0	ADPCS5	ADPCS4	ADPCS3	ADPCS2	ADPCS1	ADPCS0

## (c) 78K0/FB2-L

アドレス : FF2EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADPC0	ADPCS7	ADPCS6	ADPCS5	ADPCS4	ADPCS3	ADPCS2	ADPCS1	ADPCS0

ADPCSn	デジタル入出力 / アナログ入力選択 (n = 0-7)
0	アナログ入力
1	デジタル入出力

- 注意1.** アナログ入力に設定した端子は、ポート・モード・レジスタ2 (PM2) で入力モードに選択してください。
2. ADPC0にデータを書き込むと、ウェイトが発生します。また周辺ハードウェア・クロックが停止しているときに、ADPC0にデータを書き込まないでください。詳細は第31章 ウェイトに関する注意事項を参照してください。

図4 - 33 A/Dポート・コンフィギュレーション・レジスタ1 (ADPC1) のフォーマット  
(78K0/FB2-Lのみ)

アドレス : FF2FH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADPC1	0	0	0	0	0	0	0	ADPCS8

ADPCS8	デジタル入出力 / アナログ入力選択
0	アナログ入力
1	デジタル入出力

- 注意1. アナログ入力に設定した端子は、ポート・モード・レジスタ7 (PM7) で入力モードに選択してください。
2. ADPC1にデータを書き込むと、ウエイトが発生します。また周辺ハードウェア・クロックが停止しているときに、ADPC1にデータを書き込まないでください。詳細は第31章 ウエイトに関する注意事項を参照してください。

#### (7) ポート兼用切り替え制御レジスタ (MUXSEL)<sup>注</sup>

端子機能の割り当てを設定するレジスタです。

MUXSELは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注 78K0/FB2-Lのみ。

図4 - 34 ポート兼用切り替え制御レジスタ (MUXSEL) のフォーマット  
(78K0/FB2-Lのみ)

アドレス : FF39H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
MUXSEL	0	INTP0SEL0	0	TM00SEL0	0	0	0	0

INTP0SEL0	外部割り込み入力 (INTP0) の端子の割り当て
0	(デフォルト)
1	P121/INTP0

TM00SEL0	16ビット・タイマ/イベント・カウンタ00の入力 (TI000) の端子の割り当て
0	(デフォルト)
1	P121/TI000

## 4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

### 4.4.1 入出力ポートへの書き込み

#### (1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

#### (2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

### 4.4.2 入出力ポートからの読み出し

#### (1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

#### (2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

### 4.4.3 入出力ポートでの演算

#### (1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

#### (2) 入力モードの場合

端子レベルをリードし、その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

## 4.5 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定

ポート端子を兼用機能の端子として使用する場合，ポート・モード・レジスタ，出力ラッチを表4-12~4-14のように設定してください。

表4-12 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（78K0/FY2-L）（1/2）

端子名称	兼用機能		PM × ×	P × ×
	名称	入出力		
P00	TI000	入力	1	×
	INTP0	入力	1	×
P01	TI010	入力	1	×
	TO00	出力	0	0
P20	ANI0 <sup>注1</sup>	入力	1	×
P21	ANI1 <sup>注1</sup>	入力	1	×
P22	ANI2 <sup>注1</sup>	入力	1	×
P23	ANI3 <sup>注1</sup>	入力	1	×
	CMP2+ <sup>注2</sup>	入力	1	×
P30	INTP1	入力	1	×
	TI51	入力	1	×
	TOH1	出力	0	0
P60	SCLA0 <sup>注3,4</sup>	入出力	0	1
	TxD6 <sup>注5</sup>	出力	0	1
P61	SDAA0 <sup>注3,4</sup>	入出力	0	1
	RxD6	入力	1	×

- 注1. 端子の機能は，ADPC0レジスタ，PM2レジスタ，ADSレジスタで決定します。4.2.3 **ポート2の表4-6~4-8**を参照してください。
2. 端子の機能は，ADPC0レジスタ，PM2レジスタ，ADSレジスタ，CMPmEN (m = 0-2) ビットで決定します。4.2.2 **ポート2の表4-8**を参照してください。
3. I<sup>2</sup>C通信で使用する場合，POM6レジスタ（4.3(5) **ポート出力モード・レジスタ6 (POM6)**を参照）でN-chオープン・ドレイン出力モード（V<sub>DD</sub>耐圧）に設定してください。
4. I<sup>2</sup>C通信で，SMBus規格に準拠した入力を使用する場合は，PIM6レジスタ（4.3(4) **ポート入力モード・レジスタ6 (PIM6)**を参照）でSMBus入力バッファに選択してください。
5. UART通信で使用する場合，POM6レジスタ（4.3(5) **ポート出力モード・レジスタ6 (POM6)**を参照）で通常出力モード（CMOS出力）に設定してください。

**備考** × : don't care  
 PM × × : ポート・モード・レジスタ  
 P × × : ポートの出力ラッチ

表4 - 12 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（78K0/FY2-L）（2/2）

端子名称	兼用機能		PM × ×	P × ×
	名 称	入出力		
P121	X1 <sup>注</sup>	-	×	×
	TOOLC0	入力	×	×
P122	X2 <sup>注</sup>	-	×	×
	EXCLK <sup>注</sup>	入力	×	×
	TOOLD0	入出力	×	×

注 P121, P122を，メイン・システム・クロック用発振子接続（X1, X2），メイン・システム・クロック用外部クロック入力（EXCLK）として使用する場合は，OSCCTLレジスタでX1発振モードまたは外部クロック入力モードに設定してください（詳細は，5.3（1）クロック動作モード選択レジスタ（OSCCTL）を参照）。OSCCTLレジスタのリセット値は00H（P121, P122はすべて入力ポート）となります。

備考 × : don't care  
 PM × × : ポート・モード・レジスタ  
 P × × : ポートの出力ラッチ

表4 - 13 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（78K0/FA2-L）（1/2）

端子名称	兼用機能		PM × ×	P × ×
	名 称	入出力		
P00	TI000	入力	1	×
	INTP0	入力	1	×
P01	TI010	入力	1	×
	TO00	出力	0	0
P20	ANI0 <sup>注1</sup>	入力	1	×
P21	ANI1 <sup>注1</sup>	入力	1	×
P22	ANI2 <sup>注1</sup>	入力	1	×
P23	ANI3 <sup>注2</sup>	入力	1	×
	CMP2+ <sup>注2</sup>	入力	1	×
P24	ANI4 <sup>注2</sup>	入力	1	×
	CMP0+ <sup>注2</sup>	入力	1	×
P25	ANI5 <sup>注2</sup>	入力	1	×
	CMP1+ <sup>注2</sup>	入力	1	×
P30	INTP1	入力	1	×
	TI51	入力	1	×
	TOH1	出力	0	0
P31	INTP2	入力	1	×
	TOOLC1	入力	×	×
P32	INTP3	入力	1	×
	TOOLD1	入出力	×	×
P60	SCLA0 <sup>注3, 4</sup>	入出力	0	1
	TxD6 <sup>注5</sup>	出力	0	1
P61	SDAA0 <sup>注3, 4</sup>	入出力	0	1
	RxD6	入力	1	×

注1. 端子の機能は，ADPC0レジスタ，PM2レジスタ，ADSレジスタで決定します。4. 2. 2 ポート2の表4 - 6 ~ 4 - 7を参照してください。

2. 端子の機能は，ADPC0レジスタ，PM2レジスタ，ADSレジスタ，CMPmEN (m = 0-2) ビットで決定します。

4. 2. 2 ポート2の表4 - 8を参照してください。

3. I<sup>2</sup>C通信で使用する場合，POM6レジスタ（4. 3 (5) ポート出力モード・レジスタ6 (POM6) を参照）でN-chオープン・ドレイン出力モード（V<sub>DD</sub>耐圧）に設定してください。

4. I<sup>2</sup>C通信で，SMBus規格に準拠した入力を使用する場合は，PIM6レジスタ（4. 3 (4) ポート入力モード・レジスタ6 (PIM6) を参照）でSMBus入力バッファに選択してください。

5. UART通信で使用する場合，POM6レジスタ（4. 3 (5) ポート出力モード・レジスタ6 (POM6) を参照）で通常出力モード（CMOS出力）に設定してください。

備考 × : don't care

PM × × : ポート・モード・レジスタ

P × × : ポートの出力ラッチ

表4 - 13 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（78K0/FA2-L）（2/2）

端子名称	兼用機能		PM × ×	P × ×
	名 称	入出力		
P121	X1 <sup>注</sup>	-	×	×
	TOOLC0	入力	×	×
P122	X2 <sup>注</sup>	-	×	×
	EXCLK <sup>注</sup>	入力	×	×
	TOOLD0	入出力	×	×

注 P121, P122を，メイン・システム・クロック用発振子接続（X1, X2），メイン・システム・クロック用外部クロック入力（EXCLK）として使用する場合は，OSCCTLレジスタでX1発振モードまたは外部クロック入力モードに設定してください（詳細は，5.3（1）クロック動作モード選択レジスタ（OSCCTL）を参照）。OSCCTLレジスタのリセット値は00H（P121, P122はすべて入力ポート）となります。

備考 × : don't care  
 PM × × : ポート・モード・レジスタ  
 P × × : ポートの出力ラッチ

表4 - 14 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（78K0/FB2-L）（1/2）

端子名称	兼用機能		PM × ×	P × ×
	名 称	入出力		
P00	TI000	入力	1	×
	INTP0	入力	1	×
P01	TI010	入力	1	×
	TO00	出力	0	0
P02	SSI11	入力	1	×
	INTP5	入力	1	×
P20	ANI0 <sup>注1</sup>	入力	1	×
P21	ANI1 <sup>注1</sup>	入力	1	×
P22	ANI2 <sup>注1</sup>	入力	1	×
P23	ANI3 <sup>注2</sup>	入力	1	×
	CMP2+ <sup>注2</sup>	入力	1	×
P24	ANI4 <sup>注2</sup>	入力	1	×
	CMP0+ <sup>注2</sup>	入力	1	×
P25	ANI5 <sup>注2</sup>	入力	1	×
	CMP1+ <sup>注2</sup>	入力	1	×
P26	ANI6 <sup>注3</sup>	入力	1	×
	CMPCOM <sup>注3</sup>	入力	1	×
P27	ANI7 <sup>注4</sup>	入力	1	×
P30	INTP1	入力	1	×
	TI51	入力	1	×
	TOH1	出力	0	0

注1. 端子の機能は，ADPC0レジスタ，PM2レジスタ，ADSレジスタで決定します。4.2.2 ポート2の表4 - 6，表4 - 7を参照してください。

2. 端子の機能は，ADPC0レジスタ，PM2レジスタ，ADSレジスタ，CMPmEN (m = 0-2) ビットで決定します。

4.2.2 ポート2の表4 - 8を参照してください。

3. 端子の機能は，ADPC0レジスタ，PM2レジスタ，ADSレジスタ，CmMODSEL1，CmMODSEL0 (m = 0-2) ビットで決定します。4.2.2 ポート2の表4 - 9を参照してください。

4. 端子の機能は，ADPC0レジスタ，PM2レジスタ，ADSレジスタで決定します。4.2.2 ポート2の表4 - 10を参照してください。

備考 × : don't care

PM × × : ポート・モード・レジスタ

P × × : ポートの出力ラッチ



表4 - 14 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（78K0/FB2-L）（2/2）

端子名称	兼用機能		PM × ×	P × ×
	名 称	入出力		
P31	TOX00	出力	0	0
	INTP2	入力	1	×
	TOOLC1	入力	×	×
P32	TOX01	出力	0	0
	INTP3	入力	1	×
	TOOLD1	入出力	×	×
P33	TOX10	出力	0	0
P34	TOX11	出力	0	0
	INTP4	入力	1	×
P35	SCK11	入力	1	×
		出力	0	1
P36	SI11	入力	1	×
P37	SO11	出力	0	0
P60	SCLA0 <sup>注1, 2</sup>	入出力	0	1
	TxD6 <sup>注3</sup>	出力	0	1
P61	SDAA0 <sup>注1, 2</sup>	入出力	0	1
	RxD6	入力	1	×
P70	ANI8 <sup>注4</sup>	入力	1	×
P121	X1 <sup>注5</sup>	-	×	×
	TOOLC0	入力	×	×
	<TI000>	入力	×	×
	<INTP0>	入力	×	×
P122	X2 <sup>注5</sup>	-	×	×
	EXCLK <sup>注5</sup>	入力	×	×
	TOOLD0	入出力	×	×

- 注1. I<sup>2</sup>C通信で使用する場合，POM6レジスタ（4.3（5）ポート出力モード・レジスタ6（POM6）を参照）でN-chオープン・ドレイン出力モード（V<sub>DD</sub>耐圧）に設定してください。
2. I<sup>2</sup>C通信で，SMBus規格に準拠した入力を使用する場合は，PIM6レジスタ（4.3（4）ポート入力モード・レジスタ6（PIM6）を参照）でSMBus入力バッファに選択してください。
3. UART通信で使用する場合，POM6レジスタ（4.3（5）ポート出力モード・レジスタ6（POM6）を参照）で通常出力モード（CMOS出力）に設定してください。
4. 端子の機能は，ADPC1レジスタ，PM7レジスタ，ADSレジスタで決定します。4.2.5 ポート7の表4-11を参照してください。
5. P121，P122を，メイン・システム・クロック用発振子接続（X1，X2），メイン・システム・クロック用外部クロック入力（EXCLK）として使用する場合は，OSCCTLレジスタでX1発振モードまたは外部クロック入力モードに設定してください（詳細は，5.3（1）クロック動作モード選択レジスタ（OSCCTL）を参照）。OSCCTLレジスタのリセット値は00H（P121，P122はすべて入力ポート）となります。

備考 × : don't care  
 PM × × : ポート・モード・レジスタ  
 P × × : ポートの出力ラッチ

## 4.6 ポート・レジスタ<sub>n</sub> (P<sub>n</sub>) に対する1ビット・メモリ操作命令に関する注意事項

入力/出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。

<例> P20は出力ポート、P21-P27は入力ポート（端子状態はすべてハイ・レベル）で、かつポート2の出力ラッチの値が“00H”のとき、出力ポートP20の出力を1ビット・メモリ操作命令により“ロウ・レベル”“ハイ・レベル”とすると、ポート2の出力ラッチの値は、“FFH”になります。

説明：PM<sub>n</sub>mビット = 1であるポートのP<sub>n</sub>レジスタへの書き込みの対象は出力ラッチ、読み出しの対象は端子状態です。

1ビット・メモリ操作命令は、78K0/Fx2-Lマイクロコントローラ内部で次の順序で行われます。

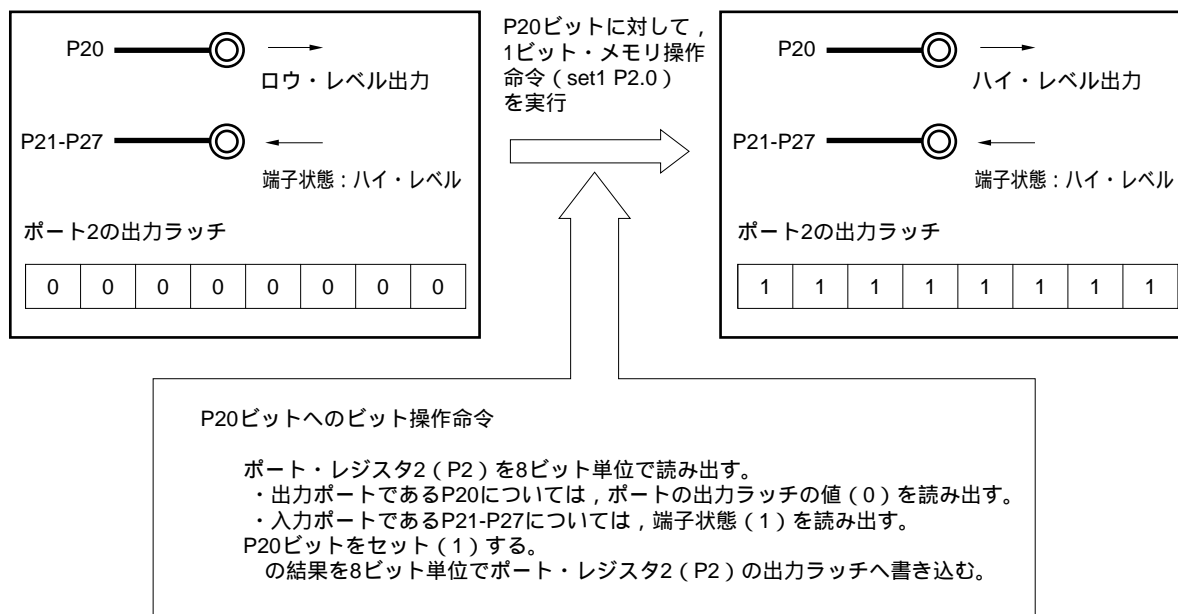
- <1> P<sub>n</sub>レジスタを8ビット単位で読み出し
- <2> 対象の1ビットを操作
- <3> P<sub>n</sub>レジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP20は出力ラッチの値（0）を読み出し、入力ポートであるP21-P27は端子状態を読み出します。このときP21-P27の端子状態が“ハイ・レベル”とすると、読み出し値は“FEH”となります。

<2> の操作で、値は“FFH”となります。

<3> の操作で、出力ラッチに“FFH”が書き込まれます。

図4 - 35 1ビット・メモリ操作命令（P20の場合）



備考 1ビット・メモリ操作命令には、次の命令があります。

- ・ MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT11, NOT1

## 第5章 クロック発生回路

### 5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。  
システム・クロックおよびクロック発振回路には、次の種類があります。

#### (1) メイン・システム・クロック

メイン・システム・クロックは、メイン・クロック・モード・レジスタ (MCM) で高速システム・クロック (X1クロックまたは外部メイン・システム・クロック) と高速内蔵発振クロックを切り替えられます。

##### X1発振回路

X1, X2に発振子を接続することにより、 $f_x = 2 \sim 20$  MHzのクロックを発振します。STOP命令の実行またはメインOSCコントロール・レジスタ (MOC) により、発振を停止することができます。

##### 高速内蔵発振回路

$f_{IH} = 4$  MHz (TYP.) /  $8$  MHz (TYP.) のクロックを発振します。リセット解除後、CPUは必ずこの高速内蔵発振クロックで動作を開始します。STOP命令の実行または内蔵発振モード / PLLコントロール・レジスタ (RCM) の設定により、発振を停止することができます。

##### 外部メイン・システム・クロック入力

EXCLK/X2/P122端子から外部メイン・システム・クロック ( $f_{EXCLK} = 2 \sim 20$  MHz) を供給することができます。STOP命令の実行またはRCMの設定により、外部メイン・システム・クロック入力を無効にすることができます。

##### PLL (Phase Locked Loop) による逡倍機能

メイン・システム・クロックを4 MHzに選択した場合、メイン・システム・クロックの10逡倍  $\times 1/2$  ( $20$  MHz) を供給するPLLモードが使用可能になります。

#### (2) 低速内蔵発振クロック (ウォッチドッグ・タイマ用クロック)

##### ・低速内蔵発振回路

$f_{IL} = 30$  kHz (TYP.) のクロックを発振します。リセット解除後、必ず低速内蔵発振クロックは動作を開始します。

オプション・バイトで「低速内蔵発振器をソフトウェアにより停止可能」に設定した場合、内蔵発振モード / PLLコントロール・レジスタ (RCM) を設定することで、発振を停止することができます。

低速内蔵発振クロックをCPUクロックとして使用することはできません。低速内蔵発振クロックで動作するハードウェアは次のとおりです。

- ・ウォッチドッグ・タイマ
- ・8ビット・タイマH1 ( $f_{IL}$ ,  $f_{IL}/2^6$ または $f_{IL}/2^{15}$ 選択時)

<b>備考</b>	$f_x$	: X1クロック発振周波数
	$f_{IH}$	: 高速内蔵発振クロック周波数
	$f_{EXCLK}$	: 外部メイン・システム・クロック周波数
	$f_{IL}$	: 低速内蔵発振クロック周波数

## 5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表5-1 クロック発生回路の構成

項目	構成
制御レジスタ	クロック動作モード選択レジスタ (OSCCTL) プロセッサ・クロック・コントロール・レジスタ (PCC) 内蔵発振モード/PLLコントロール・レジスタ (RCM) メインOSCコントロール・レジスタ (MOC) メイン・クロック・モード・レジスタ (MCM) 発振安定時間カウンタ状態レジスタ (OSTC) 発振安定時間選択レジスタ (OSTS)
発振回路	高速システム・クロック発振回路 高速内蔵発振回路 低速内蔵発振回路

また、レジスタの設定により、メイン・システム・クロック、周辺ハードウェア・クロックへの供給クロックは、次のようになります。

表5-2 メイン・システム・クロック、周辺ハードウェア・クロックへの供給クロック

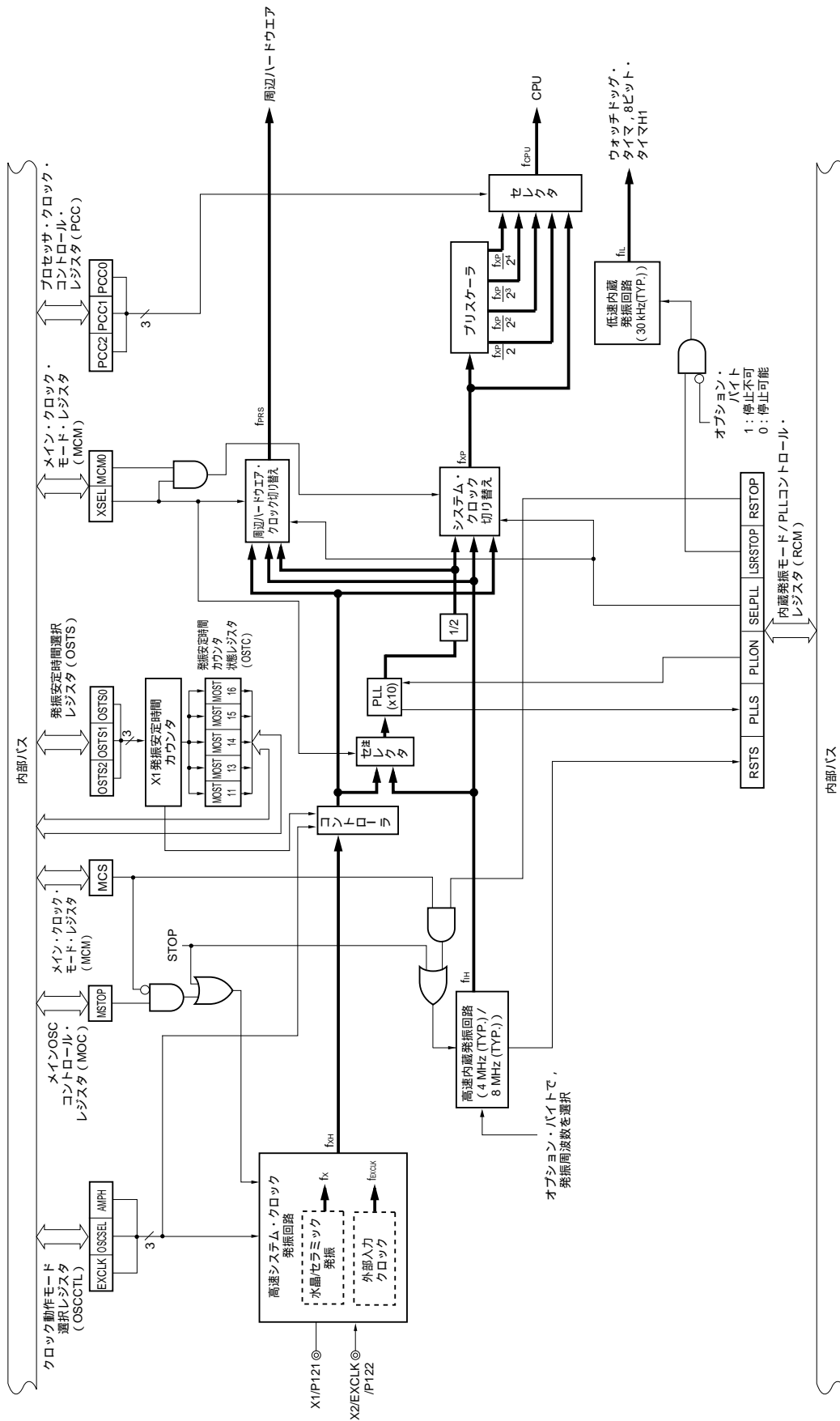
XSEL	MCM0	SEL PLL	メイン・システム・クロック ( $f_{XP}$ )	周辺ハードウェア・クロック ( $f_{PRS}$ )
0	0	0	高速内蔵発振クロック ( $f_{IH}$ )	
	1			
0	0	1	高速内蔵発振クロック ( $f_{IH}$ ) の10進倍 $\times 1/2$	
	1			
1	0	0	高速内蔵発振クロック ( $f_{IH}$ )	高速システム・クロック ( $f_{XH}$ )
1	0	1	設定禁止	
1	1	0	高速システム・クロック ( $f_{XH}$ )	
1	1	1	高速システム・クロック ( $f_{XH}$ ) の10進倍 $\times 1/2$	

**備考** XSEL : メイン・クロック・モード・レジスタ (MCM) のビット2

MCM0 : MCMのビット0

SELPLL : 内蔵発振モード/PLLコントロール・レジスタ (RCM) のビット3

図5-1 クロック発生回路のブロック図



注 発振周波数は4 MHzのみ選択可。

備考	fx	: X1クロック発振周波数
	fiH	: 高速内蔵発振クロック周波数
	fEXCLK	: 外部メイン・システム・クロック周波数
	fxH	: 高速システム・クロック周波数
	fxP	: メイン・システム・クロック周波数
	fiL	: 低速内蔵発振クロック周波数
	fCPU	: CPUクロック周波数
	fPRS	: 周辺ハードウェア・クロック周波数

### 5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次の7種類のレジスタで制御します。

- ・クロック動作モード選択レジスタ (OSCCTL)
- ・プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・内蔵発振モード/PLLコントロール・レジスタ (RCM)
- ・メインOSCコントロール・レジスタ (MOC)
- ・メイン・クロック・モード・レジスタ (MCM)
- ・発振安定時間カウンタ状態レジスタ (OSTC)
- ・発振安定時間選択レジスタ (OSTS)

#### (1) クロック動作モード選択レジスタ (OSCCTL)

高速システム・クロックの動作モードを選択するレジスタです。

OSCCTLは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-2 クロック動作モード選択レジスタ (OSCCTL) のフォーマット

アドレス : FF9FH    リセット時 : 00H    R/W

略号    7    6    5    4    3    2    1    0

OSCCTL	EXCLK	OSCSEL	0	0	0	0	0	AMPH
--------	-------	--------	---	---	---	---	---	------

EXCLK	OSCSEL	高速システム・クロック 端子の動作モード	P121/X1端子	P122/X2/EXCLK端子
0	0	入力ポート・モード	入力ポート	
0	1	X1発振モード	水晶 / セラミック発振子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

AMPH	発振周波数の制御
0	2 MHz $f_{XH}$ 10 MHz
1	10 MHz < $f_{XH}$ 20 MHz

- 注意1. 高速システム・クロック周波数が10MHzを越える場合は、必ずAMPHに1を設定してください。
2. AMPHは、メイン・システム・モード・レジスタ (MCM) を設定する前に設定してください。
  3. AMPHは、リセット解除後、周辺機能を設定する前に設定してください。リセット解除後1回のみ設定可能です。CPUクロックに高速システム・クロック (X1発振) を選択する場合は、AMPHに1を設定してから5.00 ~ 19.35  $\mu$ s間、CPUクロックに高速システム・クロック (外部クロック入力) を選択する場合は、AMPHに1を設定してから外部クロックの160クロック分、CPUクロックの供給が停止されます。
  4. AMPH = 1設定時にSTOP命令を実行した場合、CPUクロックが高速内蔵発振クロックのときはSTOPモード解除後に5.00 ~ 19.35  $\mu$ s間、CPUクロックが高速システム・クロック (外部クロック入力) のときはSTOPモード解除後に外部クロックの160クロック分、CPUクロックの供給が停止されます。CPUクロックが高速システム・クロック (X1発振) のときは、STOPモード解除後に発振安定時間をカウントします。
  5. EXCLKとOSCSELを別の値に書き換える場合、メインOSCコントロール・レジスタ (MOC) のビット7 (MSTOP) が1 (X1発振回路停止またはEXCLK端子からの外部クロック無効) であることを必ず確認してください。
  6. ビット1-5には、必ず0を設定してください。
  7. PLLON = 1とAMPH = 1を同時に設定しないでください。
  8. AMPH = 1はリセット後、1回のみ可能なので、AMPH = 1の場合STOP状態電流が低電流ではありません。PLLを使用の場合、STOP前にPLLON = 0 STOP PLLON = 1の順番にすれば、0.3  $\mu$ Aの低消費電流が保証できます。

備考  $f_{XH}$  : 高速システム・クロック周波数

## (2) プロセッサ・クロック・コントロール・レジスタ (PCC)

CPUクロックの分周比を設定するレジスタです。

PCCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

図5-3 プロセッサ・クロック・コントロール・レジスタ (PCC) のフォーマット

アドレス：FFFBH リセット時：01H R/W

略号	7	6	5	4	3	2	1	0
PCC	0	0	0	0	0	PCC2	PCC1	PCC0

PCC2	PCC1	PCC0	CPUクロック (f <sub>CPU</sub> ) の選択
0	0	0	f <sub>XP</sub>
0	0	1	f <sub>XP</sub> /2 (デフォルト)
0	1	0	f <sub>XP</sub> /2 <sup>2</sup>
0	1	1	f <sub>XP</sub> /2 <sup>3</sup>
1	0	0	f <sub>XP</sub> /2 <sup>4</sup>
上記以外			設定禁止

注意1. ビット3-7には、必ず0を設定してください。

2. PCCの分周比の設定では、周辺ハードウェア・クロック (f<sub>PRS</sub>) は分周されません。

備考 f<sub>XP</sub> : メイン・システム・クロック周波数

78K0/Fx2-Lマイクロコントローラの一番速い命令はCPUクロック2クロックで実行されます。したがって、CPUクロック (f<sub>CPU</sub>) と最小命令実行時間の関係は、表5-3のようになります。

表5-3 CPUクロックと最小命令実行時間の関係

CPUクロック (f <sub>CPU</sub> )	最小命令実行時間：2/f <sub>CPU</sub>			
	メイン・システム・クロック (f <sub>XP</sub> )			
	高速システム・クロック (f <sub>XH</sub> ) <sup>注1</sup>		高速内蔵発振クロック (f <sub>IH</sub> ) <sup>注1</sup>	
	10 MHz動作時 <sup>注2</sup>	20 MHz動作時 <sup>注3</sup>	4 MHz (TYP.) 動作時 <sup>注4</sup>	20 MHz (TYP.) 動作時 <sup>注5</sup>
f <sub>XP</sub>	0.2 μs	0.1 μs	0.5 μs (TYP.)	0.1 μs (TYP.)
f <sub>XP</sub> /2	0.4 μs	0.2 μs	1.0 μs (TYP.)	0.2 μs (TYP.)
f <sub>XP</sub> /2 <sup>2</sup>	0.8 μs	0.4 μs	2.0 μs (TYP.)	0.4 μs (TYP.)
f <sub>XP</sub> /2 <sup>3</sup>	1.6 μs	0.8 μs	4.0 μs (TYP.)	0.8 μs (TYP.)
f <sub>XP</sub> /2 <sup>4</sup>	3.2 μs	1.6 μs	8.0 μs (TYP.)	1.6 μs (TYP.)

注1. CPUクロックに供給するメイン・システム・クロックの設定 (高速システム・クロック / 高速内蔵発振クロック) は、メイン・クロック・モード・レジスタ (MCM) で行います (図5-6参照)。

2. クロック・スルー・モード (f<sub>XP</sub> = f<sub>XH</sub> = 10 MHz動作時) を使用する場合

3. PLLモード (f<sub>XP</sub> = f<sub>XH</sub>の5通倍, f<sub>XH</sub> = 4 MHz動作時) を使用する場合

4. クロック・スルー・モード (f<sub>XP</sub> = f<sub>IH</sub> = 4 MHz (TYP.) 動作時) を使用する場合

5. PLLモード (f<sub>XP</sub> = f<sub>IH</sub>の5通倍, f<sub>XP</sub> = f<sub>IH</sub> = 4 MHz (TYP.) 動作時) を使用する場合



## (3) 内蔵発振モード/PLLコントロール・レジスタ (RCM)

内蔵発振器の動作モードの設定とPLL機能を制御するレジスタです。

RCMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、80H<sup>※1</sup>になります。

図5-4 内蔵発振モード/PLLコントロール・レジスタ (RCM) のフォーマット

アドレス：FFA0H リセット時：80H<sup>※1</sup> RW<sup>※2</sup>

略号	7	6	5	4	3	2	1	0
RCM	RSTS	0	PLLS	PLLON	SELPLL	0	LSRSTOP	RSTOP

RSTS	高速内蔵発振器のステータス
0	高速内蔵発振器の発振精度安定待ち中
1	高速内蔵発振器安定動作

PLLS	PLLクロック・モードのステータス
0	クロック・スルー・モード
1	PLLモード

PLLON	PLL動作の制御 <sup>※3,4</sup>
0	PLL停止
1	PLL動作許可

SELPLL	PLLクロック・モードの選択 <sup>※5</sup>
0	クロック・スルー・モード
1	PLLモード

LSRSTOP	低速内蔵発振器の発振 / 停止
0	低速内蔵発振器の発振
1	低速内蔵発振器の停止

RSTOP	高速内蔵発振器の発振 / 停止
0	高速内蔵発振器の発振
1	高速内蔵発振器の停止

注1. リセット解除直後は00Hですが、高速内蔵発振器の発振精度安定待ち後に、自動的に80Hに切り替わります。

2. ビット7, 5は、Read Onlyです。

3. PLLON = 1に設定したあと、内部安定待ち時間として、ウエイトが10  $\mu$ s発生します。

4. PLLの基準クロックの発振周波数は、4 MHzのみ使用可能です。

5. PLLクロック・モードは、SELPLL設定後、次の時間が経過してから実際に切り替わります。

・SELPLL 0 1: 切り替え前クロックの1クロック (MAX.)

・SELPLL 1 0: 切り替え前クロックの3クロック (MAX.)

- 注意1. RSTOPに1を設定するとき、必ずCPUクロックが高速内蔵発振クロック以外で動作していること (MCS = 1) を確認してください。また、高速内蔵発振クロックで動作している周辺ハードウェアを停止してから、RSTOPに1を設定してください。
2. PLLON = 1とAMPH = 1を同時に設定しないでください。

備考 周辺ハードウェアに供給されるソース・クロックは、SELPLLの設定によって異なります。

SELPLL	周辺ハードウェア
0	$f_{PRS} = f_{XP}$
1	$f_{PRS} = 10 f_{XP} \times 1/2$ (20 MHz : $f_{XP} = 4$ MHz動作時)

#### (4) メインOSCコントロール・レジスタ (MOC)

高速システム・クロック動作モードを選択するレジスタです。

このレジスタは、高速システム・クロック以外のクロックによるCPU動作時に、X1発振回路を停止またはEXCLK端子からの外部クロックを無効にする場合に使用します。

MOCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、80Hになります。

図5-5 メインOSCコントロール・レジスタ (MOC) のフォーマット

アドレス : FFA2H    リセット時 : 80H    R/W

略号	7	6	5	4	3	2	1	0
MOC	MSTOP	0	0	0	0	0	0	0

MSTOP	高速システム・クロックの動作制御	
	X1発振モード時	外部クロック入力モード時
0	X1発振回路動作	EXCLK端子からの外部クロック有効
1	X1発振回路停止	EXCLK端子からの外部クロック無効

- 注意1. MSTOPに0を設定する場合は、レギュレータ・モード制御レジスタ (RMC) が00Hのときに行ってください。
2. MSTOPに1を設定するとき、必ずCPUクロックが高速システム・クロック以外で動作していること (MCS = 0) を確認してください。  
また、高速システム・クロックで動作している周辺ハードウェアを停止してから、MSTOPに1を設定してください。
3. クロック動作モード選択レジスタ (OSCCTL) のビット6 (OSCSEL) が0のとき (入力ポート・モード)、MSTOPに0を設定しないでください。
4. 周辺ハードウェア・クロックを停止すると、周辺ハードウェアは動作不可となります。周辺ハードウェア・クロック停止後に再開する場合は、周辺ハードウェアを初期化してください。

## (5) メイン・クロック・モード・レジスタ (MCM)

CPUクロックに供給するメイン・システム・クロックの選択と、周辺ハードウェア・クロックに供給するクロックの選択をするレジスタです。

MCMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-6 メイン・クロック・モード・レジスタ (MCM) のフォーマット

アドレス：FFA1H リセット時：00H R/W<sup>注</sup>

略号	7	6	5	4	3	2	1	0
MCM	0	0	0	0	0	XSEL	MCS	MCM0

XSEL	MCM0	メイン・システム・クロックと周辺ハードウェアへの供給クロック選択	
		メイン・システム・クロック (f <sub>XP</sub> )	周辺ハードウェア・クロック (f <sub>PRS</sub> )
0	0	高速内蔵発振クロック (f <sub>IH</sub> )	高速内蔵発振クロック (f <sub>IH</sub> )
0	1		
1	0		高速システム・クロック (f <sub>XH</sub> )
1	1	高速システム・クロック (f <sub>XH</sub> )	

MCS	メイン・システム・クロックのステータス
0	高速内蔵発振クロックで動作
1	高速システム・クロックで動作

注 ビット1はRead Onlyです。

注意1. XSELはリセット解除後、1回だけ設定が可能です。

2. PLLモード時、XSEL, MCM0 = 1, 0は設定禁止です。

3. 次の周辺機能には、XSELとMCM0の設定によらず、f<sub>PRS</sub>以外のクロックが供給されます。

・ウォッチドッグ・タイマ (低速内蔵発振クロックで動作)

・16ビット・タイマX0, X1のカウント・クロックに「f<sub>TMX</sub>」を選択時 (TMX制御クロックで動作)

・8ビット・タイマH1のカウント・クロックに「f<sub>IL</sub>」, 「f<sub>IL</sub>/2<sup>6</sup>」または「f<sub>IL</sub>/2<sup>15</sup>」を選択時 (低速内蔵発振クロックで動作)

・クロック・ソースに外部クロックを選択している周辺ハードウェア

(ただし、TM00の外部カウント・クロック選択時 (TI000端子の有効エッジ) は除く)

## (6) 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウンタ状態を示すレジスタです。CPUクロックが高速内蔵発振クロックで、X1クロックの発振を開始したとき、X1クロックの発振安定時間を確認することができます。

OSTCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生 ( $\overline{\text{RESET}}$ 入力、POC、LVI、WDTによるリセット)、STOP命令、MSTOP (MOCレジスタのビット7) = 1により、00Hになります。

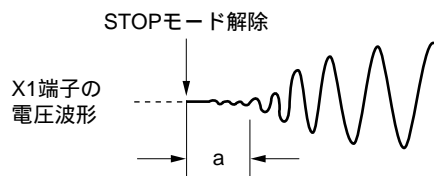
図5-7 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス：FFA3H リセット時：00H R

略号	7	6	5	4	3	2	1	0
OSTC	0	0	0	MOST11	MOST13	MOST14	MOST15	MOST16

MOST 11	MOST 13	MOST 14	MOST 15	MOST 16	発振安定時間のステータス		
					$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時	
1	0	0	0	0	$2^{11}/f_x$ 以上	204.8 $\mu\text{s}$ 以上	102.4 $\mu\text{s}$ 以上
1	1	0	0	0	$2^{13}/f_x$ 以上	819.2 $\mu\text{s}$ 以上	409.6 $\mu\text{s}$ 以上
1	1	1	0	0	$2^{14}/f_x$ 以上	1.64 ms以上	819.2 $\mu\text{s}$ 以上
1	1	1	1	0	$2^{15}/f_x$ 以上	3.27 ms以上	1.64 ms以上
1	1	1	1	1	$2^{16}/f_x$ 以上	6.55 ms以上	3.27 ms以上

- 注意1. 上記時間経過後、MOST11から順番に“1”となっていく、そのまま“1”を保持します。
2. 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に、STOPモードに入り、解除するときは、OSTSの発振安定時間を次のように設定してください。
- ・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間
- したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。
3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考  $f_x$ : X1クロック発振周波数

## (7) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1クロックの発振安定時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合、STOPモード解除後は、OSTSで設定した時間をウエイトします。

CPUクロックに高速内蔵発振クロックを選択した場合、STOPモード解除後は、OSTCで発振安定時間が経過したかを確認してください。OSTCでは、あらかじめOSTSで設定した時間までの確認ができます。

OSTSは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、05Hになります。

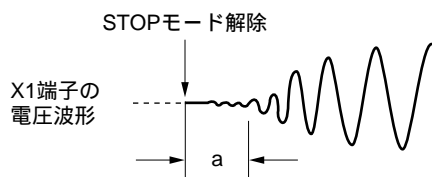
図5-8 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス：FFA4H    リセット時：05H    R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択	
			$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時
0	0	1	$2^{11}/f_x$	204.8 $\mu\text{s}$
0	1	0	$2^{13}/f_x$	819.2 $\mu\text{s}$
0	1	1	$2^{14}/f_x$	1.64 ms
1	0	0	$2^{15}/f_x$	3.27 ms
1	0	1	$2^{16}/f_x$	6.55 ms
上記以外			設定禁止	

- 注意1. CPUクロックがX1クロック時にSTOPモードへ移行する場合は、STOP命令を実行する前にOSTSを設定してください。
- X1クロックの発振安定時間中は、OSTSレジスタを変更しないでください。
  - 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に、STOPモードに入り、解除するときは、OSTSの発振安定時間を次のように設定してください。
    - ・期待するOSTCの発振安定時間    OSTSで設定する発振安定時間
 したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないのに注意してください。
  - X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考  $f_x$  : X1クロック発振周波数

## 5.4 システム・クロック発振回路

### 5.4.1 X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子（クロック・スルー・モード：2~20 MHz, PLLモード：4 MHz）によって発振します。

また,外部クロックを入力することができます。その場合はEXCLK端子にクロック信号（クロック・スルー・モード：2~20 MHz, PLLモード：4 MHz）を入力してください。

図5 - 9にX1発振回路の外付け回路例を示します。

図5 - 9 X1発振回路の外付け回路例



**注意** X1発振回路を使用する場合は、配線容量などの影響を避けるために、図5 - 9の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV<sub>SS</sub>と同電位となるようにする。大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

図5 - 10に発振子の接続の悪い例を示します。

図5 - 10 発振子の接続の悪い例（1/2）

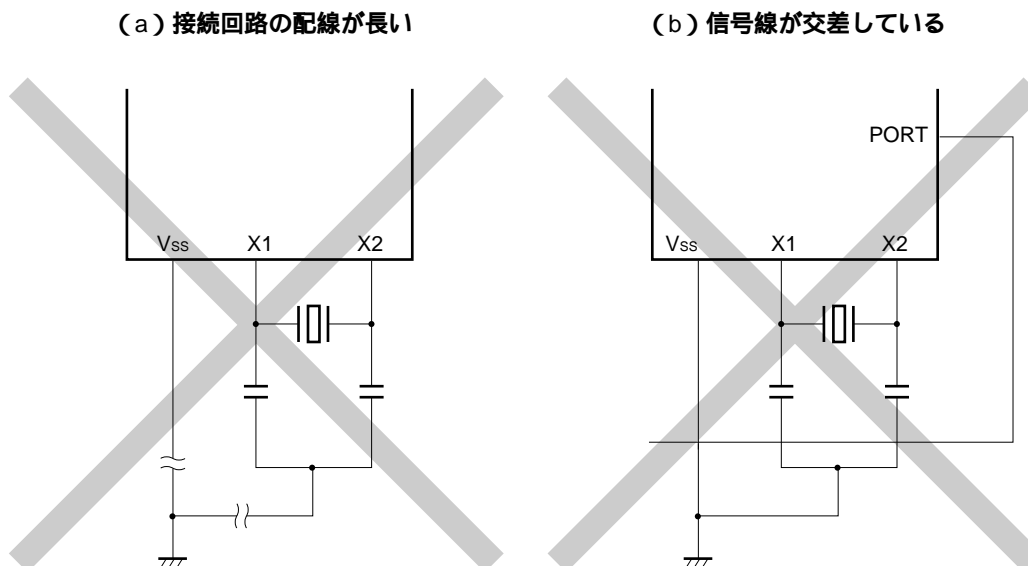
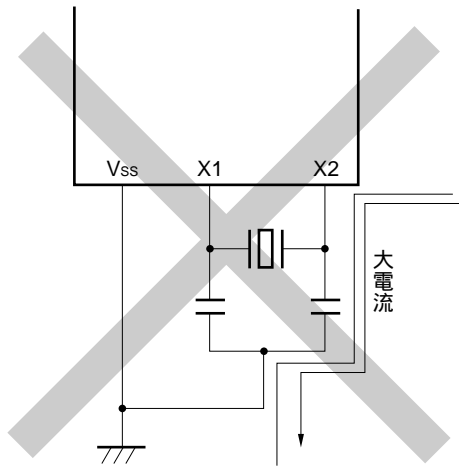
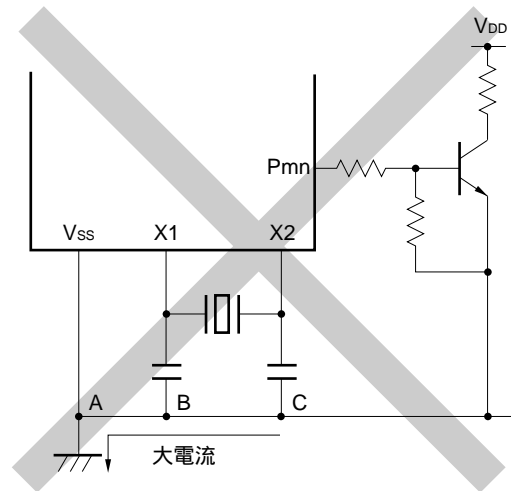


図5-10 発振子の接続の悪い例 (2/2)

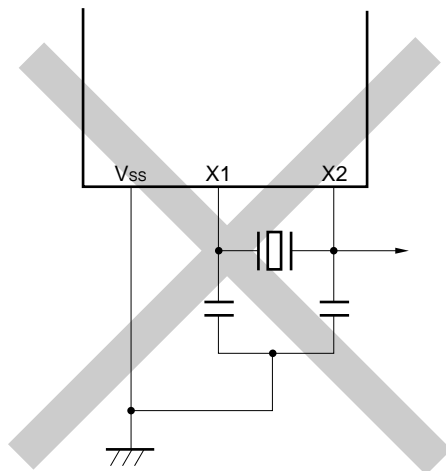
(c) 変化する大電流が信号線に  
近接している



(d) 発振回路部のグランド・ライン上に電流が流れる  
(A点, B点, C点の電位が変動する)



(e) 信号を取り出している



#### 5.4.2 高速内蔵発振回路

78K0/Fx2-Lマイクロコントローラは、高速内蔵発振回路を内蔵しています。内蔵発振モード/PLLコントロール・レジスタ (RCM) にて発振を制御できます。

リセット解除後、高速内蔵発振回路は自動的に発振を開始します。

高速内蔵発振周波数 (4 MHz (TYP.) / 8 MHz (TYP.)) は、オプション・バイトで設定できます。

### 5.4.3 低速内蔵発振回路

78K0/Fx2-Lマイクロコントローラは、低速内蔵発振回路を内蔵しています。

低速内蔵発振クロックは、ウォッチドッグ・タイマおよび8ビット・タイマH1のクロックとしてのみ使用しません。CPUクロックとして使用できません。

オプション・バイトで「ソフトウェアにより停止可能」または「停止不可」を選択できます。「ソフトウェアにより停止可能」に選択した場合、内蔵発振モード/PLLコントロール・レジスタ(RCM)にて発振を制御できます。

リセット解除後、低速内蔵発振回路は自動的に発振を開始し、オプション・バイトで「ウォッチドッグ・タイマを動作許可」に設定した場合は、ウォッチドッグ・タイマを駆動します(30 kHz(TYP.))。

### 5.4.4 プリスケーラ

プリスケーラは、メイン・システム・クロックを分周して、CPUへの供給クロックを生成します。

### 5.4.5 PLL (Phase Locked Loop)

PLLによって、高速内蔵発振クロックまたは高速システム・クロックを逡倍することができます。

PLLを使用する場合と停止する場合は、次のように設定してください。

#### (a) PLLを使用する場合

- ・リセット解除後は、PLL停止(PLLON = 0)が設定されています。リセット解除後、逡倍するクロックの発振安定を確認してから、PLL動作(PLLON = 1)を設定してください<sup>注</sup>。PLL動作開始後、クロック・スルー・モード(SELPLL = 0)で、PLL動作安定時間(90 μs)が経過したことを確認してから、PLLモード(SELPLL = 1)に変更してください。
- ・STOPモードに移行する場合、必ずクロック・スルー・モードに変更(SELPLL = 0)し、PLLを停止(PLLON = 0)させたあとに、STOP命令を実行してください。STOPモードからの復帰時は、最初にPLLを動作開始(PLLON = 1)し、PLL動作安定時間(90 μs)が経過したことを確認してから、PLLモード(SELPLL = 1)に変更してください。

#### (b) PLLを停止する場合

- ・必ずクロック・スルー・モードに切り替え(SELPLL = 0)後に、PLLを停止(PLLON = 0)してください。8ビット・メモリ操作命令でSELPLLビットとPLLONビットに、同時に0を書き込まないでください。

**注** X1クロック : 発振安定時間カウンタ状態レジスタ(OSTC)で発振安定時間を確認  
 高速内蔵発振クロック : 内蔵発振モード/PLLコントロール・レジスタ(RCM)のビット7(RSTS)で発振精度安定動作を確認

**注意1.** PLLの基準クロックの発振周波数は、4 MHzのみ使用可能です。

2. PLLON = 1とAMPH = 1を同時に設定しないでください。

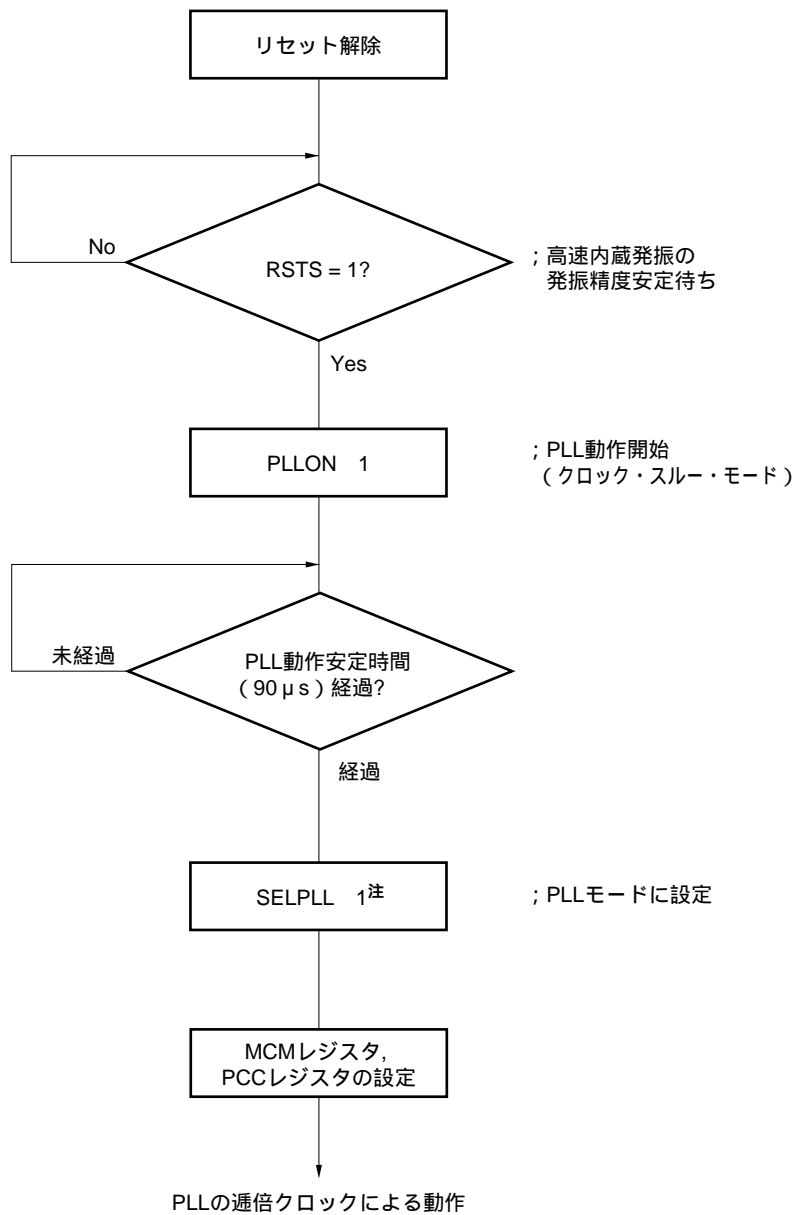
**備考1.** PLLON = 1に設定したあと、内部安定待ち時間として、ウェイトが10 μs発生します。

2. SELPLL : 内蔵発振モード/PLLコントロール・レジスタ(RCM)のビット3  
 PLLON : RCMのビット4



PLL使用の設定例（フロー・チャート）を次に示します。

図5 - 11 PLL使用の設定例（フロー・チャート）（高速内蔵発振クロックを逡倍する場合）



**注** PLLを動作開始後、PLL動作安定時間（90 μs）を確認してから、PLLモードに設定（SELPLL = 1）してください。

**備考** PLLON = 1に設定したあと、内部安定待ち時間として、ウェイトが10 μs発生します。

## 5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します（図5 - 1を参照）。

メイン・システム・クロック  $f_{XP}$   
・高速システム・クロック  $f_{XH}$   
X1クロック  $f_X$   
外部メイン・システム・クロック  $f_{EXCLK}$   
・高速内蔵発振クロック  $f_{IH}$   
低速内蔵発振クロック  $f_{IL}$   
CPUクロック  $f_{CPU}$   
周辺ハードウェア・クロック  $f_{PRS}$

78K0/Fx2-Lマイクロコントローラでは、リセット解除後、CPUは高速内蔵発振回路の出力により動作を開始します。これにより次のことが可能となります。

### （1）セキュリティ機能の強化

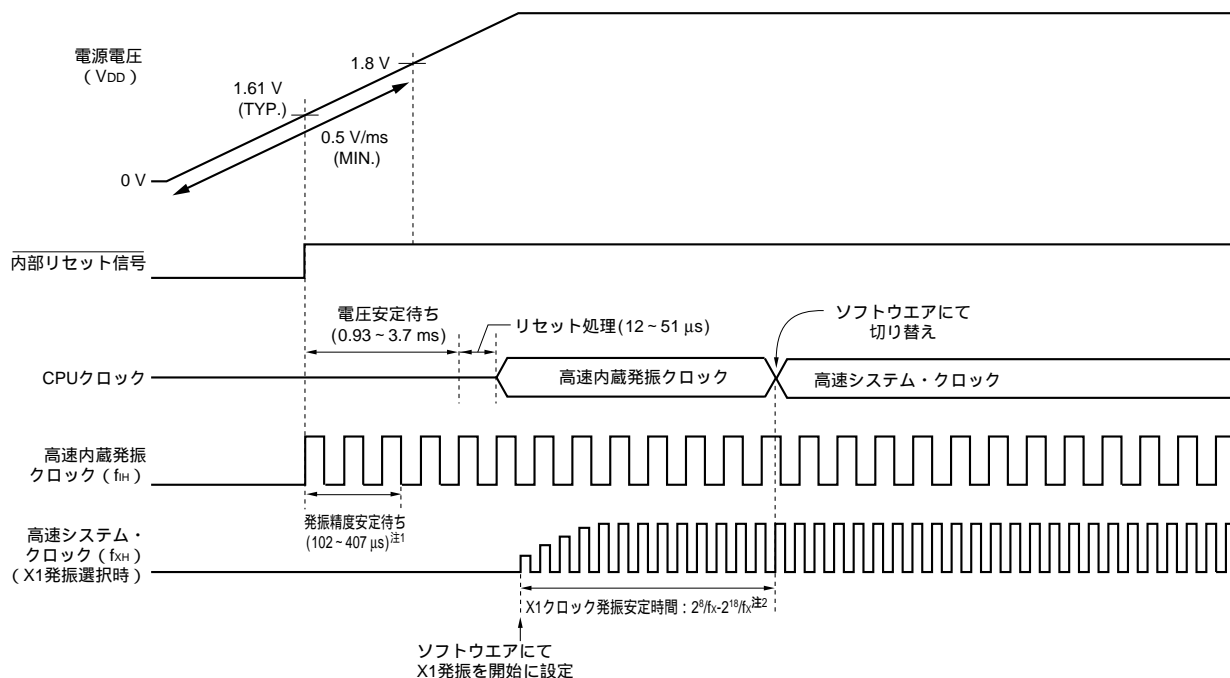
リセット解除後に破壊や接続不良などでX1クロックが動かないとき、デフォルトでCPUクロックがX1クロックの場合では、デバイスはその時点で動作不能となってしまいます。しかしCPUのスタート・クロックが高速内蔵発振クロックの場合、リセット解除後に高速内蔵発振クロックで起動することができます。これにより、リセットの要因をソフトウェアで認識したり、異常時にセーフティ処理を行うなど、最低限の動作でシステムを安全に終了することが可能となります。

### （2）パフォーマンスの向上

X1クロックの発振安定時間を待たずにCPUを起動できるため、トータル・パフォーマンスの向上が可能です。

電源電圧投入時のクロック発生回路の動作を、図5 - 12と図5 - 13に示します。

図5-12 電源電圧投入時のクロック発生回路の動作  
(LVIデフォルト・スタート機能停止に設定時(オプション・バイト: LVISTART = 0))



電源投入後、パワーオン・クリア (POC) 回路による内部リセット信号が発生されます。

電源電圧が1.61 V (TYP.) を越えると、リセットが解除され、高速内蔵発振器が自動的に発振開始されます。

電源電圧が0.5 V/ms (MIN.) の傾きで立ち上がると、リセット解除後に電源/レギュレータの電圧安定待ち時間が経過してから、リセット処理が行われたのちに、CPUが高速内蔵発振クロックで動作開始します。

X1クロックは、ソフトウェアにて発振開始を設定してください(5.6.1 高速システム・クロックの制御例の(1)を参照)。

CPUをX1クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください(5.6.1 高速システム・クロックの制御例の(3)を参照)。

注1. 高速内蔵発振クロックの発振精度安定待ち時間は、内部の電圧安定待ち時間に含まれます。

2. リセット解除時(上図)およびCPUクロックが高速内蔵発振クロックの場合のSTOPモード解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ(OSTC)で確認してください。またCPUクロックが高速システム・クロック(X1発振)の場合、STOPモード解除時の発振安定時間を、発振安定時間選択レジスタ(OSTS)で設定してください。

注意1. 電源投入時から1.8 Vに達するまでの電圧の立ち上がりが、0.5 V/ms (MIN.) よりも緩やかな場合は、次のどちらかの方法を行ってください。

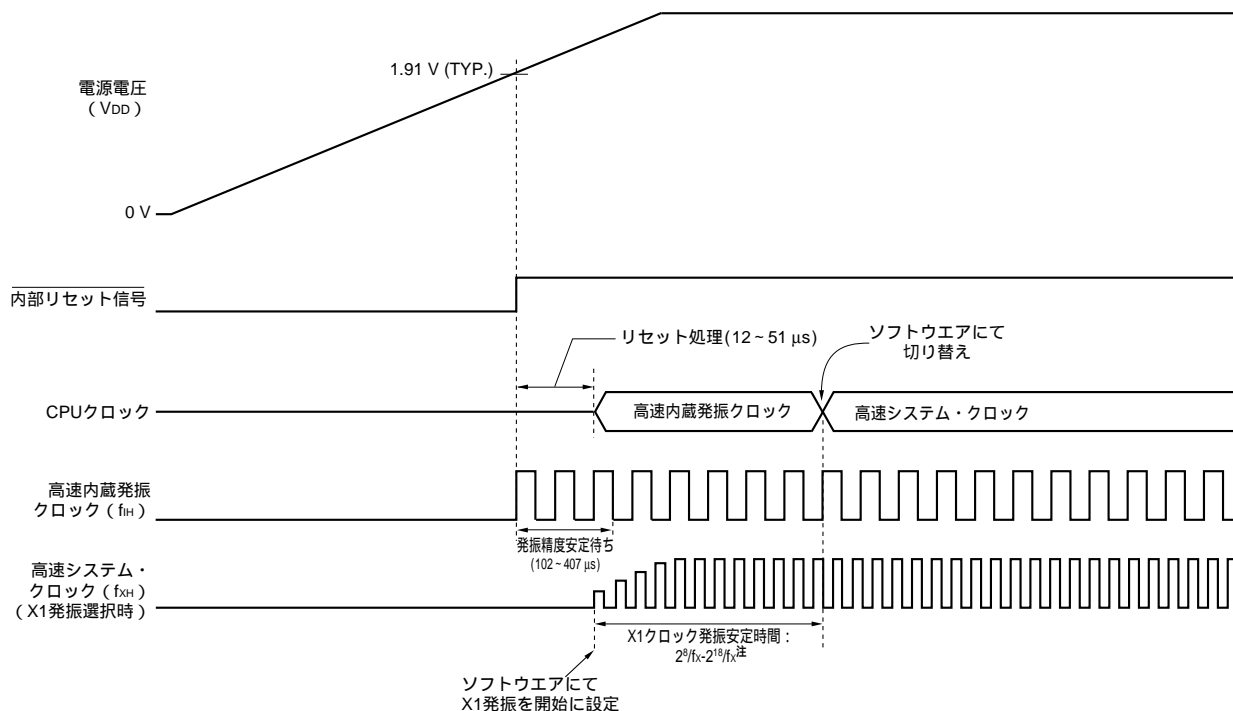
- ・電源投入時から1.8 Vに達するまで、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力する
- ・オプション・バイトでLVIデフォルト・スタート機能動作を設定(LVISTART = 1)してください。

1.8 Vに達するまで $\overline{\text{RESET}}$ 端子にロウ・レベルを入力したとき、 $\overline{\text{RESET}}$ 端子によるリセット解除後は、図5-12の以降と同様のタイミングで動作します。

2. EXCLK端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

**備考** マイコン動作中、ソフトウェアの設定により、CPUクロックとして使用していないクロックを停止することができます。また、高速内蔵発振クロックと高速システム・クロックはSTOP命令の実行により、クロックを停止することができます(5.6.1 高速システム・クロックの制御例の(4)、5.6.2 高速内蔵発振クロックの制御例の(3)を参照)。

図5-13 電源電圧投入時のクロック発生回路の動作  
(LVIデフォルト・スタート機能動作に設定時(オプション・バイト: LVISTART = 1))



電源投入後、パワーオン・クリア(POC)回路による内部リセット信号が発生されます。

電源電圧が1.91 V (TYP.) を越えると、リセットが解除され、高速内蔵発振器が自動的に発振開始されます。

リセット解除後、リセット処理が行われたのちに、CPUが高速内蔵発振クロックで動作開始します。

X1クロックは、ソフトウェアにて発振開始を設定してください(5.6.1 高速システム・クロックの制御例の(1)を参照)。

CPUをX1クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください(5.6.1 高速システム・クロックの制御例の(3)を参照)。

**注** リセット解除時(上図)およびCPUクロックが高速内蔵発振クロックの場合のSTOPモード解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ(OSTC)で確認してください。またCPUクロックが高速システム・クロック(X1発振)の場合、STOPモード解除時の発振安定時間を、発振安定時間選択レジスタ(OSTS)で設定してください。

注意 1. 電源電圧が1.61 V(TYP.)に達したあと、電圧安定待ち時間(0.93~3.7 ms)が必要となります。1.61 V(TYP.)から1.91 V(TYP.)に達する時間が、電圧安定待ち時間よりも短い場合は、リセット処理前に電源安定待ち時間が自動的に発生します。

2. EXCLK端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

備考 マイコン動作中、ソフトウェアの設定により、CPUクロックとして使用していないクロックを停止することができます。また、高速内蔵発振クロックと高速システム・クロックはSTOP命令の実行により、クロックを停止することができます(5.6.1 高速システム・クロックの制御例の(4)、5.6.2 高速内蔵発振クロックの制御例の(3)を参照)。

## 5.6 クロックの制御

### 5.6.1 高速システム・クロックの制御例

高速システム・クロックは、次の2種類があります。

- ・X1クロック : X1, X2端子に水晶/セラミック発振子接続
- ・外部メイン・システム・クロック : EXCLK端子に外部クロック入力

また、未使用時では、X1/P121, X2/EXCLK/P122端子を入力ポートとして使用できます。

注意 X1/P121, X2/EXCLK/P122端子のリセット解除時は、入力ポート・モードです。

次の設定手順例を、以下に示します。

- (1) X1クロックを発振する場合
- (2) 外部メイン・システム・クロックを使用する場合
- (3) 高速システム・クロックをCPUクロック, 周辺ハードウェア・クロックとして使用する場合
- (4) 高速システム・クロックを停止する場合

備考 PLLを使用する場合は、5.4.5 PLL (Phase Locked Loop) を参照してください。

#### (1) X1クロックを発振する場合の設定手順例

##### P121/X1, P122/X2/EXCLK端子の設定, 動作モードの選択 (OSCCTLレジスタ)

EXCLKを0, OSCSELを1に設定すると、ポート・モードからX1発振モードへ切り替わります。

EXCLK	OSCSEL	高速システム・クロック 端子の動作モード	P121/X1端子	P122/X2/EXCLK端子
0	1	X1発振モード	水晶/セラミック発振子接続	

##### X1クロックの発振制御 (MOCレジスタ)

MSTOPを0に設定すると、X1発振回路が発振を開始します。

**X1クロックの発振安定待ち**

OSTCレジスタを確認し、必要な時間の経過をウエイトします。

ウエイト中は、高速内蔵発振クロックで他のソフトウェア処理を実行できます。

**注意1.** X1クロック動作中にEXCLK, OSCSELを書き換えしないでください

2. 電源電圧が、使用するクロックの動作可能電圧(第27章 電気的特性((A)水準品),第28章 電気的特性((A2)水準品)を参照)に達してから、X1クロックの設定を行ってください。

**(2) 外部メイン・システム・クロックを使用する場合の設定手順例****P121/X1, P122/X2/EXCLK端子の設定、動作モードの選択 (OSCCTLレジスタ)**

EXCLK, OSCSELをそれぞれ1に設定すると、ポート・モードから外部クロック入力モードへ切り替えます。

EXCLK	OSCSEL	高速システム・クロック端子の動作モード	P121/X1端子	P122/X2/EXCLK端子
1	1	外部クロック入力モード	入力ポート	外部クロック入力

**外部メイン・システム・クロックの入力制御 (MOCレジスタ)**

MSTOPを0に設定すると、外部メイン・システム・クロックの入力が有効になります。

**注意1.** 外部メイン・システム・クロック動作中にEXCLK, OSCSELを書き換えしないでください。

2. 電源電圧が、使用するクロックの動作可能電圧(第27章 電気的特性((A)水準品),第28章 電気的特性((A2)水準品)を参照)に達してから、外部メイン・システム・クロックの設定を行ってください。

**(3) 高速システム・クロックをCPUクロック, 周辺ハードウェア・クロックとして使用する場合の設定手順例****高速システム・クロックの発振を設定<sup>注</sup>**

(5.6.1(1) X1クロックを発振する場合の設定手順例, または(2) 外部メイン・システム・クロックを使用する場合の設定手順例を参照)。

**注** 高速システム・クロック動作中の場合, の設定不要です。

**高速システム・クロックをメイン・システム・クロックに設定 (MCMレジスタ)**

XSELとMCM0をそれぞれ1に設定すると、メイン・システム・クロックと周辺ハードウェアに、高速システム・クロックが供給されます。

XSEL	MCM0	メイン・システム・クロックと周辺ハードウェアへの供給クロック選択	
		メイン・システム・クロック (f <sub>XP</sub> )	周辺ハードウェア・クロック (f <sub>PRS</sub> )
1	1	高速システム・クロック (f <sub>XH</sub> )	高速システム・クロック (f <sub>XH</sub> )

**注意** メイン・システム・クロックに高速システム・クロックを選択した場合, 周辺ハードウェア・クロックに高速システム・クロック以外のクロックを設定することはできません。

### CPUクロックの分周比の選択 (PCCレジスタ)

CPUクロックの分周比は、PCC0, PCC1, PCC2で選択します。

PCC2	PCC1	PCC0	CPUクロック (f <sub>CPU</sub> ) の選択
0	0	0	f <sub>XP</sub>
0	0	1	f <sub>XP</sub> /2 (デフォルト)
0	1	0	f <sub>XP</sub> /2 <sup>2</sup>
0	1	1	f <sub>XP</sub> /2 <sup>3</sup>
1	0	0	f <sub>XP</sub> /2 <sup>4</sup>
上記以外			設定禁止

#### (4) 高速システム・クロックを停止する場合の設定手順例

高速システム・クロックを停止するには、次の2つの方法があります。

- ・STOP命令を実行し、X1発振を停止する (外部クロックを使用している場合は、クロック入力無効)
- ・MSTOPを1に設定し、X1発振を停止する (外部クロックを使用している場合は、クロック入力無効)

##### (a) STOP命令を実行する場合

###### 周辺ハードウェアの停止を設定

STOPモード中に使用できない周辺ハードウェアをすべて停止します (STOPモード中に使用できない周辺ハードウェアについては、第18章 **スタンバイ機能**を参照してください)。

###### スタンバイ解除後のX1クロックの発振安定時間の設定

CPUがX1クロックで動作している場合、STOP命令実行前までにOSTSレジスタの値を設定します。

###### STOP命令の実行

STOP命令を実行すると、STOPモードに移行し、X1発振は停止します (外部クロック入力は無効になります)。

##### (b) MSTOPを1に設定し、X1発振を停止 (外部クロック入力を無効) する場合

###### CPUクロックのステータス (MCMレジスタ) を確認

MCSで、CPUクロックが高速内蔵発振クロックで動作しているかを確認します。

MCS = 1の場合、CPUに高速システム・クロックが供給されていますので、CPUクロックを高速内蔵発振クロックに変更してください。

###### 高速システム・クロックの停止 (MOCレジスタ)

MSTOPを1に設定すると、X1発振は停止します (外部クロック入力は無効になります)。

**注意** MSTOPに1を設定するとき、必ずMCS = 0であることを確認してください。また、高速システム・クロックで動作している周辺ハードウェアを停止してください。

## 5.6.2 高速内蔵発振クロックの制御例

次の設定手順例を、以下に示します。

- (1) 高速内蔵発振クロックの発振を再開する場合
- (2) 高速内蔵発振クロックをCPUクロック、高速内蔵発振クロックまたは高速システム・クロックを周辺ハードウェア・クロックとして使用する場合
- (3) 高速内蔵発振クロックを停止する場合

**備考** PLLを使用する場合は、5.4.5 PLL (Phase Locked Loop) を参照してください。

### (1) 高速内蔵発振クロックの発振を再開する場合の設定手順例<sup>注1</sup>

#### 高速内蔵発振クロック発振の再開の設定 (RCMレジスタ)

RSTOPを0に設定すると高速内蔵発振クロックは発振を再開します。

#### 高速内蔵発振クロック発振精度安定時間待ち (RCMレジスタ)

RSTSに1がセットされるまでウエイトします<sup>注2</sup>。

- 注1. リセット解除後、高速内蔵発振器は自動的に発振し、高速内蔵発振クロックがCPUクロックとして選択されます。
2. CPUクロック、周辺ハードウェア・クロックに精度が必要ない場合はウエイト省略可能です。

### (2) 高速内蔵発振クロックをCPUクロック、高速内蔵発振クロックまたは高速システム・クロックを周辺ハードウェア・クロックとして使用する場合

#### ・高速内蔵発振クロックの発振を再開<sup>注</sup>

(5.6.2 (1) 高速内蔵発振クロックの発振を再開する場合の設定手順例を参照)。

#### ・高速システム・クロックを発振<sup>注</sup>

(周辺ハードウェア・クロックとして高速システム・クロックを使用する場合に設定必要。5.6.1 (1) X1クロックを発振する場合の設定手順例、(2) 外部メイン・システム・クロックを使用する場合の設定手順例を参照)

**注** 高速内蔵発振クロック、高速システム・クロック動作中の場合、 の設定不要です。

#### メイン・システム・クロックと周辺ハードウェアへの供給クロック選択 (MCMレジスタ)

XSELとMCM0で、メイン・システム・クロックと周辺ハードウェア・クロックを設定してください。

XSEL	MCM0	メイン・システム・クロックと周辺ハードウェアへの供給クロック選択	
		メイン・システム・クロック (f <sub>XP</sub> )	周辺ハードウェア・クロック (f <sub>PRS</sub> )
0	0	高速内蔵発振クロック (f <sub>IH</sub> )	高速内蔵発振クロック (f <sub>IH</sub> )
0	1		
1	0		高速システム・クロック (f <sub>XH</sub> )



### CPUクロックの分周比の選択 (PCCレジスタ)

CPUクロックの分周比は、PCC0, PCC1, PCC2で選択します。

PCC2	PCC1	PCC0	CPUクロック ( $f_{CPU}$ ) の選択
0	0	0	$f_{XP}$
0	0	1	$f_{XP}/2$ (デフォルト)
0	1	0	$f_{XP}/2^2$
0	1	1	$f_{XP}/2^3$
1	0	0	$f_{XP}/2^4$
上記以外			設定禁止

### (3) 高速内蔵発振クロックを停止する場合の設定手順例

高速内蔵発振クロックを停止するには、次の2つの方法があります。

- ・ STOP命令を実行し、STOPモードに移行する
- ・ RSTOPを1に設定し、高速内蔵発振クロックを停止する

#### (a) STOP命令を実行する場合

##### 周辺ハードウェアの設定

STOPモード中に使用できない周辺ハードウェアをすべて停止します (STOPモード中に使用できない周辺ハードウェアについては、第18章 **スタンバイ機能**を参照してください)。

##### スタンバイ解除後のX1クロックの発振安定時間の設定

CPUがX1クロックで動作している場合、STOP命令実行前までにOSTSレジスタの値を設定します。STOPモード解除後、すぐにCPUを動作したい場合は、MCM0を0に設定し、CPUクロックを高速内蔵発振クロックに切り替え、RSTS = 1であることを確認します。

##### STOP命令の実行

STOP命令を実行すると、STOPモードに移行し、高速内蔵発振クロックは停止します。

#### (b) RSTOPを1に設定し、高速内蔵発振クロックを停止する場合

##### CPUクロックのステータスを確認 (MCMレジスタ)

MCSで、CPUクロックが高速システム・クロックで動作していることを確認します。CLS = 0, MCS = 0の場合、CPUに高速内蔵発振クロックが供給されていますので、CPUクロックを高速システム・クロックに変更してください。

##### 高速内蔵発振クロックの停止 (RCMレジスタ)

RSTOPを1に設定すると、高速内蔵発振クロックが停止します。

**注意** RSTOPに1を設定するとき、必ずMCS = 1であることを確認してください。また、高速内蔵発振クロックで動作している周辺ハードウェアを停止してください。

### 5.6.3 低速内蔵発振クロックの制御例

低速内蔵発振クロックは、CPUクロックとして使用することはできません。

次の周辺ハードウェアのみを動作させることができます。

- ・ウォッチドッグ・タイマ
- ・8ビット・タイマH1（カウント・クロックにfilを選択した場合）

また、オプション・バイトにより、次の動作モードを選択できます。

- ・低速内蔵発振器の発振停止不可
- ・ソフトウェアにて低速内蔵発振器の発振停止可

リセット解除後、低速内蔵発振器は自動的に発振します。オプション・バイトで「ウォッチドッグ・タイマを動作許可」に設定した場合は、ウォッチドッグ・タイマを駆動します（30 kHz（TYP.））

#### （1）低速内蔵発振クロックを停止する場合の設定手順例

##### LSRSTOPを1に設定（RCMレジスタ）

LSRSTOPを1に設定すると、低速内蔵発振クロックは発振を停止します。

#### （2）低速内蔵発振クロックの発振を再開する場合の設定手順例

##### LSRSTOPを0に設定（RCMレジスタ）

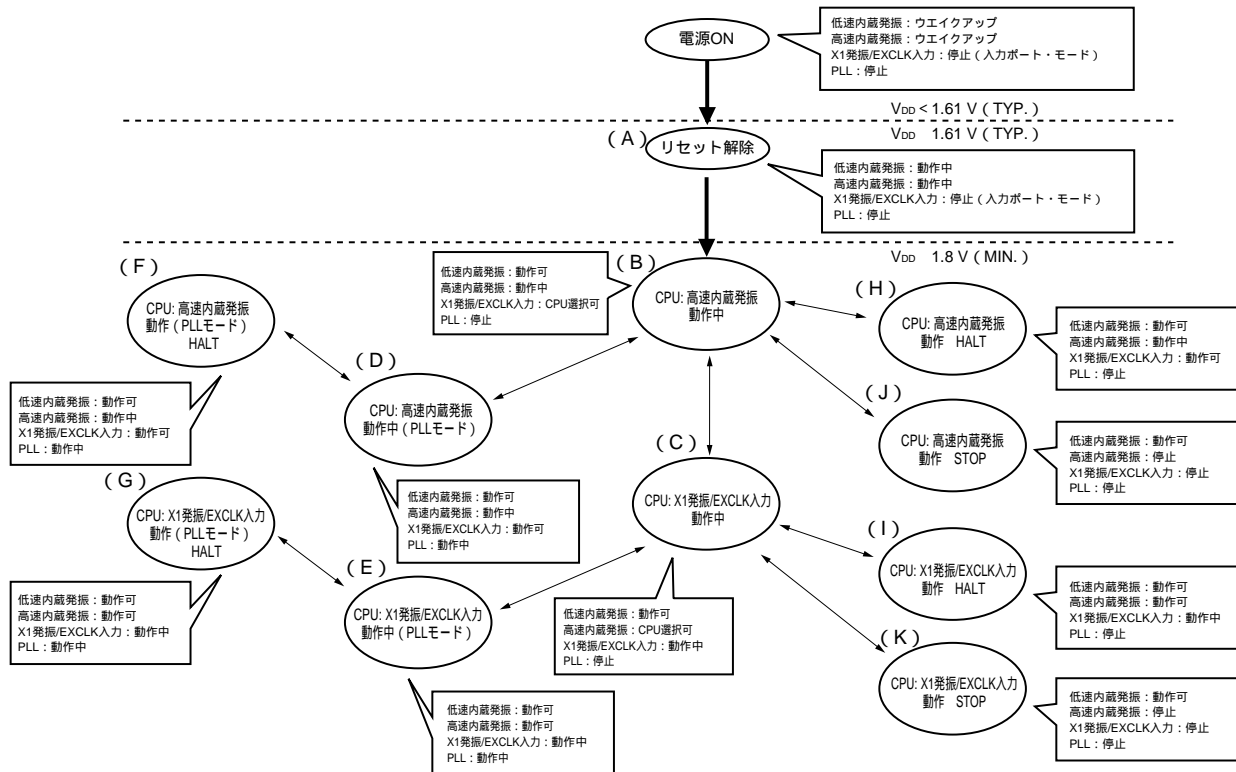
LSRSTOPを0に設定すると、低速内蔵発振クロックは発振を再開します。

**注意** オプション・バイトにて「低速内蔵発振器の発振停止不可」に設定している場合、低速内蔵発振クロックの発振制御はできません。

## 5.6.4 CPUクロック状態移行図

この製品のCPUクロック状態移行図を図5 - 14に示します。

図5 - 14 CPUクロック状態移行図 (LVIデフォルト・スタート・モード機能停止設定時  
(オプション・バイト: LVISTART = 0))



注意1. STOPモード移行前には、必ずPLL動作を停止してください。

2. STOPモードに移行する場合、RMC = 56Hに設定することで低消費電力を実現できます。
3. メイン・システム・クロックを切り替える場合は、必ずPLL動作を停止してください。
4. PLLの基準クロックの発振周波数は、4 MHzのみ使用可能です。

備考 LVIデフォルト・スタート機能動作設定時 (オプション・バイト: LVISTART = 1) では、電源投入後、電源電圧が1.91 V (TYP.) を越えると上図の (A) に移行し、リセット処理後に上図の (B) に移行します。

CPUクロックの移行とSFRレジスタの設定例などを表5 - 4に示します。

表5 - 4 CPUクロックの移行とSFRレジスタの設定例 (1/3)

(1) リセット解除後 (A) に、CPUを高速内蔵発振クロック動作 (B) へ移行

状態遷移		SFRレジスタの設定
(A)	(B)	SFRレジスタ設定不要 (リセット解除後の初期状態)

(2) リセット解除後 (A) に、CPUを高速システム・クロック動作 (C) へ移行

(リセット解除直後、CPUは高速内蔵発振クロックで動作 (B) )

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ					
	EXCLK	OSCSEL	MSTOP	OSTC レジスタ	XSEL	MCM0
(A) (B) (C) (X1クロック)	0	1	0	確認必要	1	1
(A) (B) (C) (外部メイン・システム・クロック)	1	1	0	確認不要	1	1

**注意** 設定するクロックの動作可能電圧 (第27章 電気的特性 (A) 水準品, 第28章 電気的特性 (A2) 水準品を参照) に電源電圧が達してから、クロックを設定してください。

(3) CPUを高速内蔵発振クロック動作 (B) から高速システム・クロック動作 (C) へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ					
	EXCLK	OSCSEL	MSTOP	OSTC レジスタ	XSEL <sup>注</sup>	MCM0
(B) (C) (X1クロック)	0	1	0	確認必要	1	1
(B) (C) (外部メイン・システム・クロック)	1	1	0	確認不要	1	1

設定済みの場合は  
不要

高速システム・クロック  
動作中の場合は  
不要

**注** リセット解除後、1回のみ設定可能です。設定済みの場合は不要です。

**注意** 設定するクロックの動作可能電圧 (第27章 電気的特性 (A) 水準品, 第28章 電気的特性 (A2) 水準品を参照) に電源電圧が達してから、クロックを設定してください。

備考1. 表5 - 4の (A) - (K) は、図5 - 14の (A) - (K) と対応しています。

- EXCLK, OSCSEL : クロック動作モード選択レジスタ (OSCCTL) のビット7, 6  
MSTOP : メインOSCコントロール・レジスタ (MOC) のビット7  
XSEL, MCM0 : メイン・クロック・モード・レジスタ (MCM) のビット2, 0

表5 - 4 CPUクロックの移行とSFRレジスタの設定例 (2/3)

(4) CPUを高速システム・クロック動作 (C) から、高速内蔵発振クロック動作 (B) へ移行

状態遷移		SFRレジスタの設定順序		
		SFRレジスタの設定フラグ	RSTOP	RSTS
(C)	(B)	0	1を確認	0

高速内蔵発振クロック動作中の場合は不要

(5) CPUを高速内蔵発振クロック動作 (B) から、高速内蔵発振クロック (PLLモード) 動作 (D) へ移行  
CPUを高速システム・クロック動作 (C) から、高速システム・クロック (PLLモード) 動作 (E) へ移行

状態遷移		SFRレジスタの設定順序			
		SELPLL	PLLON	発振安定待ち	SELPLL
(B)	(D)	0	1	必要 (90 $\mu$ s)	1
(C)	(E)				

設定済みの場合は不要      PLL動作中の場合は不要

(6) CPUを高速内蔵発振クロック (PLLモード) 動作 (D) から、高速内蔵発振クロック動作 (B) へ移行  
CPUを高速システム・クロック (PLLモード) 動作 (E) から、高速システム・クロック動作 (C) へ移行

状態遷移		SFRレジスタの設定順序	
		SELPLL	PLLON
(D)	(B)	0	0
(E)	(C)		

備考1. 表5 - 4の (A) - (K) は、図5 - 14の (A) - (K) と対応しています。

2. PLLON = 1に設定したあと、内部安定待ち時間として、ウエイトが10  $\mu$ s発生します。

3. RSTS, PLLON, SELPLL, RSTOP : 内蔵発振モード / PLLコントロール・レジスタ (RCM) のビット7, 4, 3, 0

MCM0 : メイン・クロック・モード・レジスタ (MCM) のビット0

表5 - 4 CPUクロックの移行とSFRレジスタの設定例 (3/3)

- (7) ・CPUが高速内蔵発振クロック動作中 (B) にHALTモード (H) へ移行  
 ・CPUが高速システム・クロック動作中 (C) にHALTモード (I) へ移行  
 ・CPUが高速内蔵発振クロック (PLLモード) 動作中 (D) にHALTモード (F) へ移行  
 ・CPUが高速システム・クロック (PLLモード) 動作中 (E) にHALTモード (G) へ移行

状態遷移	設定内容
(B) (H) (C) (I) (D) (F) (E) (G)	HALT命令を実行する

- (8) ・CPUが高速内蔵発振クロック動作中 (B) にSTOPモード (J) へ移行  
 ・CPUが高速システム・クロック動作中 (C) にSTOPモード (K) へ移行

(設定順序)

状態遷移	設定内容
(B) (J) (C) (K)	STOPモード中に動作できない周辺機能 を停止する

**注意** STOPモードに移行する場合、RMC = 56Hに設定することで低消費電力を実現できます。

**備考** 表5 - 4の (A) - (K) は、図5 - 14の (A) - (K) と対応しています。

### 5.6.5 CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について、次に示します。

表5 - 5 CPUクロックの移行について

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速内蔵発振クロック	X1クロック	X1発振が安定していること ・MSTOP = 0, OSCSEL = 1, EXCLK = 0 ・発振安定時間経過後	高速内蔵発振器停止可能 (RSTOP = 1)
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること ・MSTOP = 0, OSCSEL = 1, EXCLK = 1	高速内蔵発振器停止可能 (RSTOP = 1)
X1クロック	高速内蔵発振クロック	高速内蔵発振器が発振されていること ・RSTOP = 0	X1発振停止可能 (MSTOP = 1)
外部メイン・システム・クロック			外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)

### 5.6.6 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間

プロセッサ・クロック・コントロール・レジスタ (PCC) のビット0-2 (PCC0-PCC2) の設定により、メイン・システム・クロックの分周比変更をすることができます。

実際の切り替え動作は、PCCを書き換えた直後ではなく、PCCを変更したのち、数クロックは切り替え前のクロックで動作します (表5-6参照)。

表5-6 CPUクロックの切り替えおよびメイン・システム・クロックの分周比変更に必要な最大時間

切り替え前の設定値			切り替え後の設定値														
PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0
			0	0	0	0	0	1	0	1	0	0	1	1	1	0	0
0	0	0	8クロック			16クロック			16クロック			16クロック			16クロック		
0	0	1				8クロック			8クロック			8クロック			8クロック		
0	1	0	4クロック			4クロック			4クロック			4クロック			4クロック		
0	1	1	2クロック			2クロック			2クロック			2クロック			2クロック		
1	0	0	1クロック			1クロック			1クロック			1クロック			1クロック		

備考 表5-6のクロック数は、切り替え前のCPUクロックのクロック数です。

また、メイン・クロック・モード・レジスタ (MCM) のビット0 (MCM0) の設定により、メイン・システム・クロックの切り替え (高速内蔵発振クロック 高速システム・クロック) をすることができます。

実際の切り替え動作は、MCM0を書き換えた直後ではなく、MCM0を変更したのち、数クロックは切り替え前のクロックで動作します (表5-7参照)。

CPUクロックが高速内蔵発振クロックで動作しているか、高速システム・クロックで動作しているかは、MCMのビット1 (MCS) で判定できます。

注意 メイン・システム・クロックを切り替える場合は、必ずPLL動作を停止してください。

表5-7 メイン・システム・クロックの切り替えに必要な最大時間

切り替え前の設定値	切り替え後の設定値	
MCM0	MCM0	
	0	1
0	1 + 2f <sub>H</sub> /f <sub>XH</sub> クロック	
1	1 + 2f <sub>XH</sub> /f <sub>H</sub> クロック	

注意 高速内蔵発振クロックから高速システム・クロックに切り替える場合、あらかじめMCMのビット2 (XSEL) を1に設定しておく必要があります。XSELはリセット解除後、1回だけ設定可能です。

備考1. 表5-7のクロック数は、切り替え前のメイン・システム・クロックのクロック数です。

2. 表5-7のクロック数は、小数点以下を切り捨ててください。

例 メイン・システム・クロックを高速内蔵発振クロックから高速システム・クロックに切り替える場合 (f<sub>H</sub> = 4 MHz, f<sub>XH</sub> = 10 MHz発振時)

$$1 + 2f_H/f_{XH} = 1 + 2 \times 4/10 = 1 + 2 \times 0.4 = 1 + 0.8 = 1.8 \quad 1 \text{クロック}$$

### 5.6.7 クロック発振停止前の条件

クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件を次に示します。

表5-8 クロック発振停止前の条件とフラグ設定

クロック	クロック停止（外部クロック入力無効）前条件	SFRレジスタのフラグ設定
高速内蔵発振クロック	MCS = 1 (CPUクロックが高速システム・クロックで動作)	RSTOP = 1
X1クロック	MCS = 0	MSTOP = 1
外部メイン・システム・クロック	(CPUクロックが高速内蔵発振クロックで動作)	

### 5.6.8 周辺ハードウェアとソース・クロック

78K0/Fx2-Lマイクロコントローラに内蔵されている周辺ハードウェアとソース・クロックを次に示します。

**備考** 製品により、内蔵している周辺ハードウェアが異なります。1.4 **ブロック図**、1.5 **機能概要**を参照してください。

表5-9 周辺ハードウェアとソース・クロック

ソース・クロック		周辺ハードウェア・ クロック (f <sub>PRS</sub> )	低速内蔵発振 クロック (f <sub>IL</sub> )	周辺ハードウェアの端 子からの外部クロック
周辺ハードウェア				
	16ビット・タイマX0, X1		×	×
	16ビット・タイマ/イベ ント・カウンタ00		×	(TI000端子) <sup>注</sup>
	8ビット・タイマ/イベ ント・カウンタ51		×	(TI51端子) <sup>注</sup>
	8ビット・タイマH1			×
	ウォッチドッグ・タイマ	×		×
	A/Dコンバータ		×	×
シリアル・ インタフェー ス	UART6		×	×
	CSI11		×	(SCK11端子) <sup>注</sup>
	IICA		×	(SCLA0端子) <sup>注</sup>

**注** STOPモード時の場合、周辺ハードウェアの端子からの外部クロックで周辺ハードウェアを動作開始させないでください。

**備考** : 選択可能, × : 選択不可



## 第6章 16ビット・タイマX0, X1

	78K0/FY2-L	78K0/FA2-L	78K0/FB2-L
16ビット・タイマX0	注	搭載	
16ビット・タイマX1	非搭載		搭載

注 インターバル・タイマ機能のみ

### 6.1 16ビット・タイマX0, X1の機能

16ビット・タイマX0, X1は、78K0/Fx2-Lマイクロコントローラの全製品に搭載されています。

16ビット・タイマX0, X1は、それぞれ2つの出力を持つPWM出力専用のタイマで、最大4出力のPWM出力を生成することができます。また、ハーフブリッジ回路（2出力）やフルブリッジ回路（4出力）を制御する相補PWM出力を生成することができます。さらに、コンパレータやINTP0と連動して、PFC制御やPWM出力の緊急停止を実現することができます。

16ビット・タイマXには、次のような機能があります。

#### (1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生します。

#### (2) A/D変換スタート・タイミング信号出力

コンペア・レジスタ（TXnCCR0レジスタ）を使用して、A/D変換スタート・タイミング信号を出力することができます。

備考 n = 0 : 78K0/FY2-L, 78K0/FA2-L

n = 0, 1 : 78K0/FB2-L

#### (3) キャプチャ機能

コンパレータの出力または外部割り込み入力（INTP0）の検出により、カウント値をキャプチャ・レジスタにキャプチャします。

#### (4) PWM出力<sup>注</sup>

- ・任意のデューティおよび周期をタイマ動作中に変更可能なパルスが出力されます。
- ・タイマ出力レベル（ハイ・レベルまたはロウ・レベル）のデフォルトを設定することができます。

注 78K0/FA2-L, 78K0/FB2-Lのみ

**(5) タイマ・スタート同期機能<sup>※</sup>**

2つのタイマ・ユニット（16ビット・タイマX0とX1）を組み合わせ、最大4つのPWM出力を同時に開始することができます。

注 78K0/FB2-Lのみ

**(6) タイマ・スタート/クリア同期機能<sup>※</sup>**

2つのタイマ・ユニット（16ビット・タイマX0とX1）を組み合わせ、最大4つのPWM出力の周期を同期することができます。

注 78K0/FB2-Lのみ

**(7) タイマ出力ゲート機能（8ビット・タイマH1と連動）<sup>※</sup>**

8ビット・タイマH1出力（TOH1出力）により、タイマ出力をゲート制御することができます。

注 78K0/FA2-L, 78K0/FB2-Lのみ

**(8) タイマ・リセット・モード（コンパレータ，INTP0連動モード1）<sup>※</sup>**

コンパレータ0～2出力またはINTP0入力が高レベル期間中に、タイマ出力をリセット状態にかつタイマ・カウンタをクリアすることができます。コンパレータ0～2出力またはINTP0入力が高レベルになると、タイマ出力をリスタートします。

注 78K0/FA2-L, 78K0/FB2-Lのみ

**(9) タイマ・リスタート・モード（コンパレータ，INTP0連動モード2）<sup>※</sup>**

コンパレータ0～2出力またはINTP0入力の立ち上がりエッジ検出時に、タイマをリスタートすることができます。

注 78K0/FA2-L, 78K0/FB2-Lのみ

**(10) タイマ出力リセット・モード（コンパレータ，INTP0連動モード3）<sup>※</sup>**

コンパレータ0～2出力またはINTP0入力の立ち上がりエッジ検出時に、タイマ出力をリセット状態にすることができます。次のタイマ割り込み発生時にリセット状態を解除し、再びタイマ出力を開始します。

注 78K0/FA2-L, 78K0/FB2-Lのみ

**(11) ハイ・インピーダンス出力制御機能（コンパレータ，INTP0と連動）<sup>※</sup>**

コンパレータ0～2出力またはINTP0入力の有効エッジ検出時に、タイマ出力を高インピーダンス状態にすることができます。

注 78K0/FA2-L, 78K0/FB2-Lのみ

## 6.2 16ビット・タイマX0, X1の構成

16ビット・タイマX0, X1は、次のハードウェアで構成されています。

表6-1 16ビット・タイマX0, X1の構成

### (1) 16ビット・タイマX0

項目	構成
タイマ/カウンタ	16ビット・タイマ・カウンタX0
レジスタ	16ビット・タイマX0キャプチャ/コンペア・レジスタ0 (TX0CCR0) 16ビット・タイマX0コンペア・レジスタ0-3 (TX0CR0-TX0CR3)
タイマ出力	TOX00 <sup>注</sup> , TOX01 <sup>注</sup>
制御レジスタ	16ビット・タイマX0動作制御レジスタ0-3 (TX0CTL0-TX0CTL3) 16ビット・タイマX0動作制御レジスタ4 (TX0CTL4) <sup>注</sup> 16ビット・タイマX0出力制御レジスタ0 (TX0IOC0) <sup>注</sup> ポート・モード・レジスタ3 (PM3) ポート・レジスタ3 (P3)

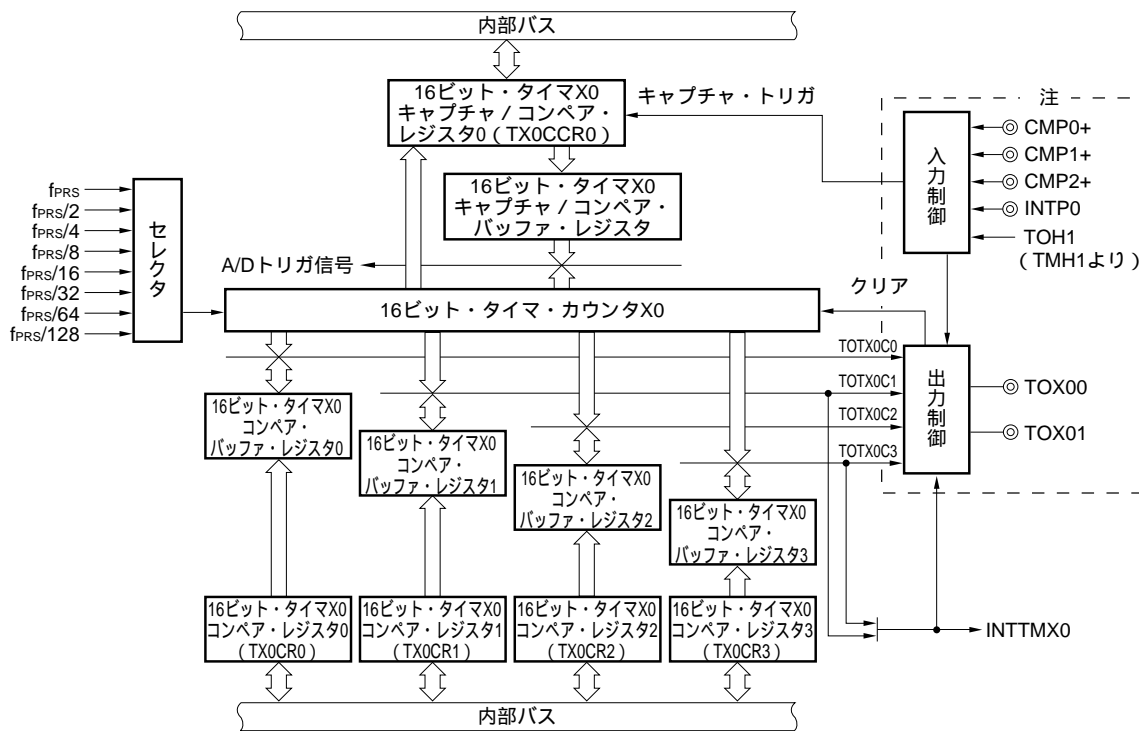
注 78K0/FA2-L, 78K0/FB2-Lのみ

### (2) 16ビット・タイマX1 (78K0/FB2-Lのみ)

項目	構成
タイマ/カウンタ	16ビット・タイマ・カウンタX1
レジスタ	16ビット・タイマX1キャプチャ/コンペア・レジスタ0 (TX1CCR0) 16ビット・タイマX1コンペア・レジスタ0-3 (TX1CR0-TX1CR3)
タイマ出力	TOX10, TOX11
制御レジスタ	16ビット・タイマX1動作制御レジスタ0-2, 4 (TX1CTL0-TX1CTL2, TX1CTL4) 16ビット・タイマX1出力制御レジスタ0 (TX1IOC0) ポート・モード・レジスタ3 (PM3) ポート・レジスタ3 (P3)

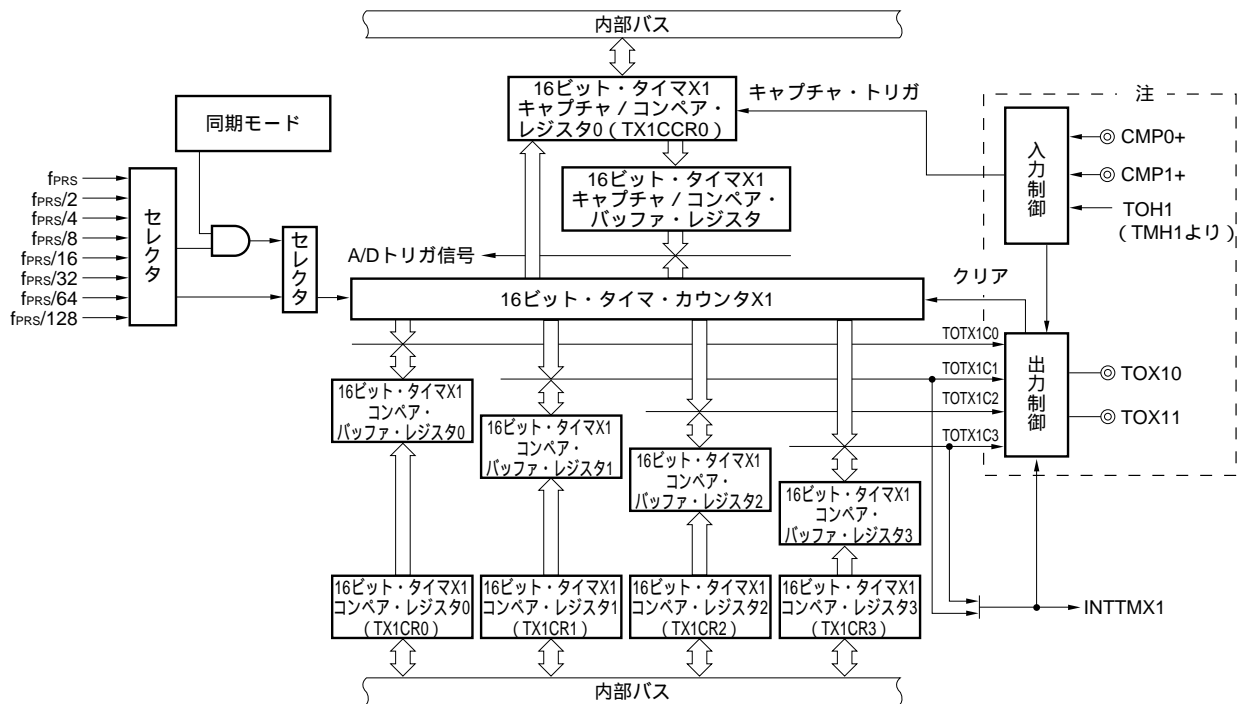
図6-1～図6-3にブロック図を示します。

図6-1 16ビット・タイマX0のブロック図



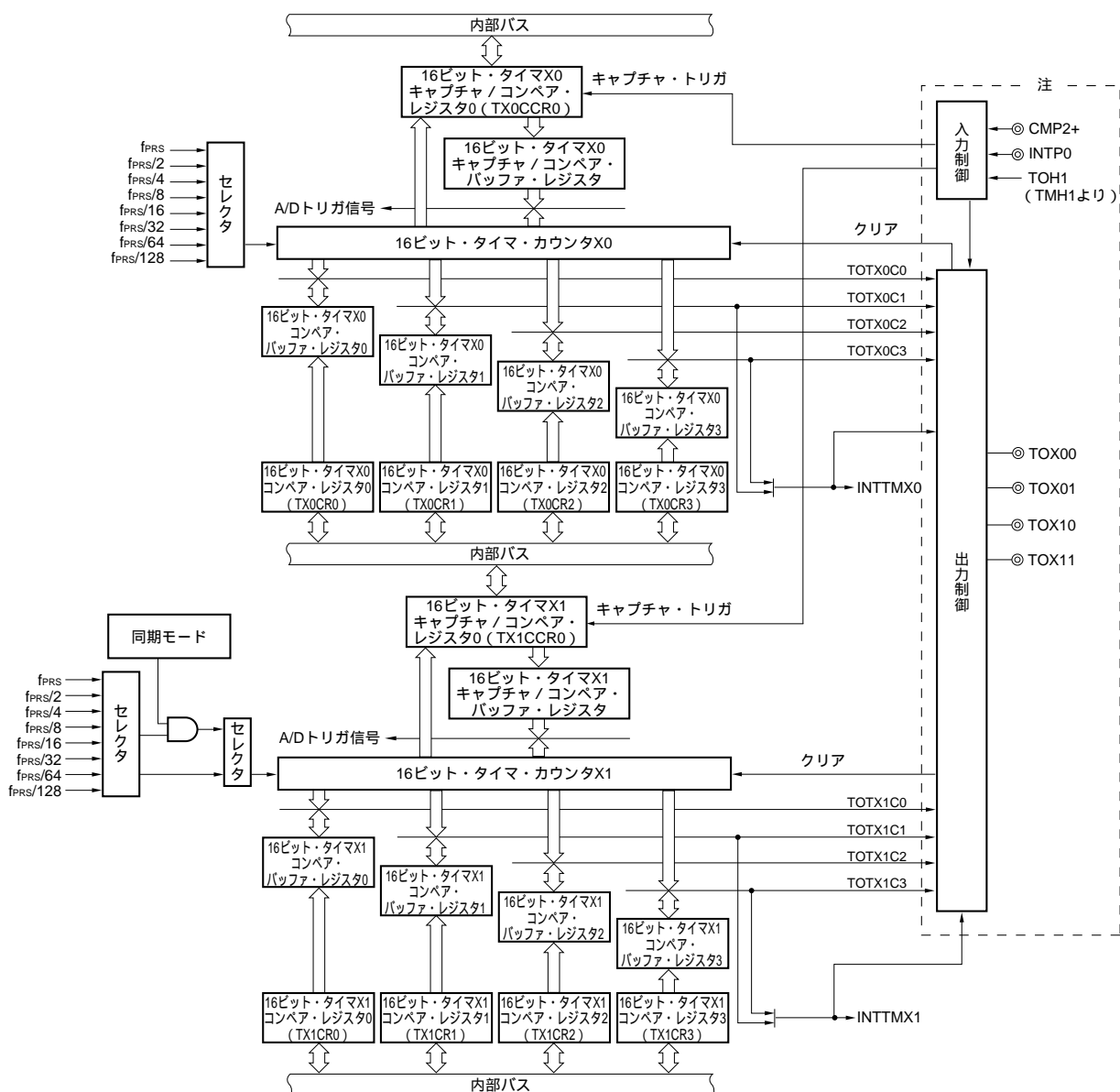
注 詳細については、図6-43 16ビット・タイマX0の出力構成のブロック図を参照してください。

図6-2 16ビット・タイマX1のブロック図



注 詳細については、図6-44 16ビット・タイマX1の出力構成のブロック図を参照してください。

図6-3 16ビット・タイマX0, X1のブロック図  
(TMX0, TMX1同期スタート/クリア・モード, TMX0, TMX1同期スタート・モード)



注 詳細については、図6-45 16ビット・タイマX0とX1出力構成のブロック図を参照してください。

#### (1) 16ビット・タイマXnキャプチャ/コンペア・レジスタ0 (TXnCCR0)

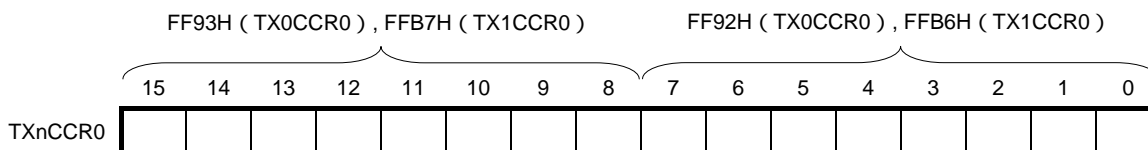
キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能とコンペア機能の切り替えは、TXnCTL2で行います。

16ビット単位でリード/ライト可能です。

リセット信号の発生により、0000Hになります。

図6-4 16ビット・タイマXnキャプチャ/コンペア・レジスタ0 (TXnCCR0) のフォーマット

アドレス : FF92H, FF93H (TX0CCR0) , FFB6H, FFB7H (TX1CCR0) リセット時 : 0000H R/W



**備考** n = 0 : 78K0/FY2-L, 78K0/FA2-L

n = 0, 1 : 78K0/FB2-L

( i ) TXnCCR0をコンペア・レジスタとして使用するとき

TXnCCR0は、タイマ・カウント中 (TXnTMC = 1) にリフレッシュ (同値書き込み) および値の書き換えが可能です。タイマ動作中にTXnCCR0の値を書き換える場合、その値はラッチされ、下記のタイミングでTXnCCR0に転送され、TXnCCR0の値が変更されます。

- ・カウンタ値とTXnCR1の設定値が一致 (TXnPWM = 0の場合)
- ・カウンタ値とTXnCR3の設定値が一致 (TXnPWM = 1の場合)

また、連動モード2では、TX0CmpldSet1, TX0CmpldSet0ビットの設定により、コンパレータ出力のタイミングで、ラッチされていた値がTXnCCR0に転送され、TXnCCR0の値が変更されます。

( ii ) TXnCCR0をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、カウント値をTXnCCR0にキャプチャします。

**注意** TXnCCR0を連続してリードする場合は、16ビット・タイマXnのカウント・クロックで3クロック以上ウエイトしてから、リードしてください。

**備考** n = 0 : 78K0/FY2-L, 78K0/FA2-L

n = 0, 1 : 78K0/FB2-L

(2) 16ビット・タイマXnコンペア・レジスタm (TXnCRm)

TXnCRmは、タイマ・カウント中 (TXnTMC = 1) にリフレッシュ (同値書き込み) および値の書き換えが可能です。タイマ動作中にTXnCRmの値を書き換える場合、その値はラッチされ、下記のタイミングでTXnCRmに転送され、TXnCRmの値が変更されます。

- ・カウンタ値とTXnCR1の設定値が一致 (TXnPWM = 0の場合)
- ・カウンタ値とTXnCR3の設定値が一致 (TXnPWM = 1の場合)

また、連動モード2では、TX0CmpldSet1, TX0CmpldSet0ビットの設定により、コンパレータ出力のタイミングで、ラッチされていた値がTXnCRmに転送され、TXnCRmの値が変更されます。

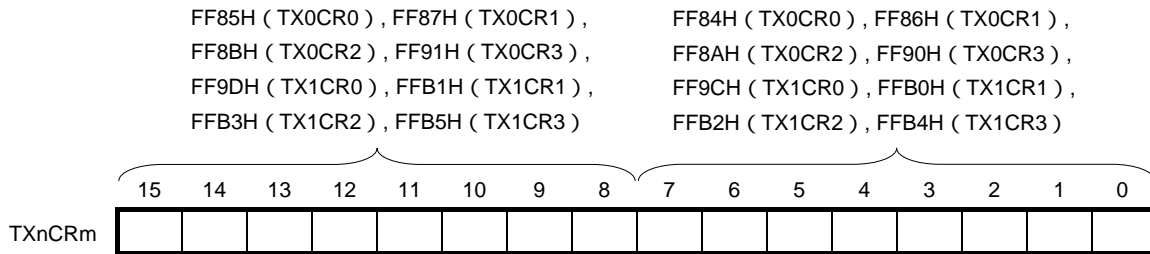
16ビット単位でリード/ライト可能です。

リセット信号の発生により、0000Hになります。

図6-5 16ビット・タイマXnコンペア・レジスタm (TXnCRm) のフォーマット

アドレス: FF84H, FF85H (TX0CR0), FF86H, FF87H (TX0CR1), FF8AH, FF8BH (TX0CR2), FF90H, FF91H (TX0CR3),  
FF9CH, FF9DH (TX1CR0), FFB0H, FFB1H (TX1CR1), FFB2H, FFB3H (TX1CR2), FFB4H, FFB5H (TX1CR3)

リセット時: 0000H R/W



**備考** m = 0-3 : 78K0/FY2-L, 78K0/FA2-L, 78K0/FB2-L  
n = 0 : 78K0/FY2-L, 78K0/FA2-L  
n = 0, 1 : 78K0/FB2-L

### 6.3 16ビット・タイマX0, X1を制御するレジスタ

16ビット・タイマX0, X1を制御するレジスタを次に示します。

16ビット・タイマX0

- ・16ビット・タイマX0動作制御レジスタ0-3 (TX0CTL0-TX0CTL3)
- ・16ビット・タイマX0動作制御レジスタ4 (TX0CTL4) <sup>注</sup>
- ・16ビット・タイマX0出力制御レジスタ0 (TX0IOC0) <sup>注</sup>
- ・ポート・モード・レジスタ3 (PM3)
- ・ポート・レジスタ3 (P3)

**注** 78K0/FA2-L, 78K0/FB2-Lのみ

16ビット・タイマX1 (78K0/FB2-Lのみ)

- ・16ビット・タイマX1動作制御レジスタ0-2, 4 (TX1CTL0-TX1CTL2, TX1CTL4)
- ・16ビット・タイマX1出力制御レジスタ0 (TX1IOC0)
- ・ポート・モード・レジスタ3 (PM3)
- ・ポート・レジスタ3 (P3)

## (1) 16ビット・タイマXn動作制御レジスタ0 (TXnCTL0)

TXnCTL0は、16ビット・タイマXnのカウンタ動作の制御とカウンタ・クロックの設定をするレジスタです。

TXnCTL0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

**備考** n = 0 : 78K0/FY2-L, 78K0/FA2-L

n = 0, 1 : 78K0/FB2-L

図6-6 16ビット・タイマX0動作制御レジスタ0 (TX0CTL0) のフォーマット

アドレス : FF7EH リセット時 : 00H R/W

略号	<span style="border: 1px solid black; padding: 0 2px;">7</span>	6	5	4	3	<span style="border: 1px solid black; padding: 0 2px;">2</span>	<span style="border: 1px solid black; padding: 0 2px;">1</span>	<span style="border: 1px solid black; padding: 0 2px;">0</span>
TX0CTL0	TX0TMC	0	0	0	0	TX0CKS2	TX0CKS1	TX0CKS0

TX0TMC	TMX0のカウンタ動作制御
0	タイマ・カウンタ動作停止 (カウンタは0にクリア)
1	タイマ・カウンタ動作許可

SELPLL	TX0CKS2	TX0CKS1	TX0CKS0	TMX0のカウンタ・クロックの選択		
					f <sub>PRS</sub> = 4 MHz	f <sub>PRS</sub> = 20 MHz (PLL使用時)
0	0	0	0	f <sub>PRS</sub>	4 MHz	-
0	0	0	1	f <sub>PRS</sub> /2	2 MHz	-
0	0	1	0	f <sub>PRS</sub> /2 <sup>2</sup>	1 MHz	-
0	0	1	1	f <sub>PRS</sub> /2 <sup>3</sup>	500 kHz	-
0	1	0	0	f <sub>PRS</sub> /2 <sup>4</sup>	250 kHz	-
0	1	0	1	f <sub>PRS</sub> /2 <sup>5</sup>	125 kHz	-
0	1	1	0	f <sub>PRS</sub> /2 <sup>6</sup>	62.5 kHz	-
0	1	1	1	f <sub>PRS</sub> /2 <sup>7</sup>	31.25 kHz	-
1	0	0	1	f <sub>PRS</sub>	-	20 MHz
上記以外				設定禁止		

**注意**1. PLLの基準クロックの発振周波数は、4 MHzのみ使用可能です。

2. TX0CKS2-TX0CKS0を同一データ以外に書き換える場合は、いったんタイマ動作を停止 (TX0TMC = 0) させてから書き換えてください。

**備考** SELPLL : 内蔵発振モード / PLLコントロール・レジスタ (RCM) のビット3

f<sub>PRS</sub> : 周辺ハードウェア・クロック周波数

f<sub>XP</sub> : メイン・システム・クロック周波数



図6-7 16ビット・タイマX1動作制御レジスタ0 (TX1CTL0) のフォーマット (78K0/FB2-Lのみ)

アドレス : FF94H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TX1CTL0	TX1TMC	0	0	0	0	TX1CKS2	TX1CKS1	TX1CKS0

TX1TMC	TMX1のカウンタ動作制御
0	タイマ・カウンタ動作停止 (カウンタは0にクリア)
1	タイマ・カウンタ動作許可

TX1 MD1	TX1 MD0	SEL PLL	TX1 CKS2	TX1 CKS1	TX1 CKS0	TMX1のカウンタ・クロックの選択		
							f <sub>PRS</sub> = 4 MHz	f <sub>PRS</sub> = 20 MHz (PLL使用時)
0	0/1	0	0	0	0	f <sub>PRS</sub>	4 MHz	-
		0	0	0	1	f <sub>PRS</sub> /2	2 MHz	-
		0	0	1	0	f <sub>PRS</sub> /2 <sup>2</sup>	1 MHz	-
		0	0	1	1	f <sub>PRS</sub> /2 <sup>3</sup>	500 kHz	-
		0	1	0	0	f <sub>PRS</sub> /2 <sup>4</sup>	250 kHz	-
		0	1	0	1	f <sub>PRS</sub> /2 <sup>5</sup>	125 kHz	-
		0	1	1	0	f <sub>PRS</sub> /2 <sup>6</sup>	62.5 kHz	-
		0	1	1	1	f <sub>PRS</sub> /2 <sup>7</sup>	31.25 kHz	-
		1	0	0	0	1	f <sub>PRS</sub>	-
1	0	x	x	x	x	TMX0のカウンタ・クロック (図6-6 16ビット・タイマX0動作制御レジスタ0 (TX0CTL0) のフォーマットを参照)		
上記以外						設定禁止		

注意1. PLLの基準クロックの発振周波数は、4 MHzのみ使用可能です。

2. TX1CKS2-TX1CKS0を同一データ以外に書き換える場合は、いったんタイマ動作を停止 (TX1TMC = 0) させてから書き換えてください。

備考 SELPLL : 内蔵発振モード/PLLコントロール・レジスタ (RCM) のビット3  
 TX1MD1, TX1MD0 : 16ビット・タイマX1動作制御レジスタ1 (TX1CTL1) のビット1, 0  
 f<sub>PRS</sub> : 周辺ハードウェア・クロック周波数  
 f<sub>XP</sub> : メイン・システム・クロック周波数

(2) 16ビット・タイマX<sub>n</sub>動作制御レジスタ1 (TX<sub>n</sub>CTL1)

TX<sub>n</sub>CTL1は、INTP0立ち上がりエッジ検出によるタイマ・スタートの設定、TOH1出力による出力ゲート機能の設定、PWM出力動作の設定、同期動作モードの設定をするレジスタです。

TX<sub>n</sub>CTL1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

**備考** n = 0 : 78K0/FY2-L, 78K0/FA2-L

n = 0, 1 : 78K0/FB2-L

図6-8 16ビット・タイマX0動作制御レジスタ1 (TX0CTL1) のフォーマット

アドレス：FF7FH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TX0CTL1	TX0INTPST	0	TX0PWM CE <sup>注3</sup>	TX0PWM CINV <sup>注3</sup>	TX0PWM <sup>注3</sup>	0	0	0

TX0INTPST	INTP0立ち上がりエッジ検出によるタイマ・スタート動作の制御
0	INTP0立ち上がりエッジ検出によるタイマ・スタート動作禁止 (TX0TMCをセット(1)することにより、タイマ・スタート) <sup>注1</sup>
1	INTP0立ち上がりエッジ検出のタイマ・スタート動作許可 <sup>注2</sup>

TX0PWM CE <sup>注3</sup>	TOH1出力によるTOX0n出力ゲート機能の制御 (n = 0, 1)
0	出力ゲート機能を使用しない
1	出力ゲート機能を使用する

TX0PWM CINV <sup>注3</sup>	TOH1出力によるTOXmn出力の設定 (mn = 00, 01, 10, 11)
0	・ TOH1出力がハイ・レベル期間中に、TOXmnよりPWM出力 ・ TOH1出力がロウ・レベル期間中に、TOXmnのデフォルト状態を出力
1	・ TOH1出力がロウ・レベル期間中に、TOXmnよりPWM出力 ・ TOH1出力がハイ・レベル期間中に、TOXmnのデフォルト状態の反転レベルを出力

TX0PWM <sup>注3</sup>	TMX0のPWM出力動作の設定
0	・ シングル出力 (TOX00端子のみ) ・ INTTMX0は、カウンタとTX0CR1レジスタの一致で発生
1	・ デュアル出力 (TOX00, TOX01端子) ・ INTTMX0は、カウンタとTX0CR3レジスタの一致で発生

注1. TMX0, TMX1同期スタート・モード (78K0/FB2-Lのみ可能) の場合、INTP0立ち上がり有効エッジ検出によるタイマ・スタート動作はできないので、TX0INTPSTに0を設定してください。

2. TX0INTPSTに1を設定したあと、TX0TMCに1に設定すると、INTP0立ち上がりエッジの検出待ち状態になります。INTP0立ち上がりエッジを検出すると、16ビット・タイマX0のカウンタ・アップが開始されます。

3. 78K0/FA2-L, 78K0/FB2-Lのみ

- 注意1. タイマ動作中に ,TX0CTL1を書き換えないでください。ただし ,TX0CTL1にリフレッシュ(同値書き込み)することは可能です。
2. ビット0-2, 6には必ず0を設定してください。
3. 出力ゲート機能を使用する場合は ,TMHMD1レジスタのビット0(TOEN1)を1に設定(TOH1出力を許可)してください。

図6-9 16ビット・タイマX1動作制御レジスタ1 (TX1CTL1) のフォーマット (78K0/FB2-Lのみ)

アドレス : FF95H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TX1CTL1	0	0	TX1PWM CE	0	TX1PWM	0	TX1MD1	TX1MD0

TX1PWM CE	TOH1出力によるTOX1n出力ゲート機能の制御 (n = 0, 1)
0	出力ゲート機能を使用しない
1	出力ゲート機能を使用する

TX1PWM	TMX1のPWM出力動作の設定
0	・シングル出力 (TOX10端子のみ) ・INTTMX1は, カウンタとTX1CR1レジスタの一致で発生
1	・デュアル出力 (TOX10, TOX11端子) ・INTTMX1は, カウンタとTX1CR3レジスタの一致で発生

TX1MD1	TX1MD0	動作モードの設定
0	0	TMX1単体スタート・モード
0	1	TMX0, TMX1同期スタート・モード
1	0	TMX0, TMX1同期スタート/クリア・モード
1	1	設定禁止

- 注意1. タイマ動作中に ,TX1CTL1を書き換えないでください。ただし ,TX1CTL1にリフレッシュ(同値書き込み)することは可能です。
2. ビット2, 4, 6, 7には必ず0を設定してください。
3. 出力ゲート機能を使用する場合は ,TMHMD1レジスタのビット0(TOEN1)を1に設定(TOH1出力を許可)してください。

## (3) 16ビット・タイマXn動作制御レジスタ2 (TXnCTL2)

TXnCTL2は、キャプチャ・トリガ要因の選択、A/D変換同期用トリガ発生制御、TXnCCR0レジスタの設定をするレジスタです。

TXnCTL2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考1. キャプチャ・トリガ要因は、動作モードにより、次のように異なります。

動作モード		キャプチャ・トリガ要因
TMX0単体モード		INTCMP2, INTPO
TMX1単体モード (78K0/FB2-Lのみ)		INTCMP1
TMX0, TMX1同期スタート・モード (78K0/FB2-Lのみ)	TMX0	INTCMP2, INTPO
	TMX1	INTCMP1
TMX0, TMX1同期スタート/クリア・ モード (78K0/FB2-Lのみ)	TMX0	INTCMP2, INTPO
	TMX1	INTCMP1

2. n = 0, 1

図6 - 10 16ビット・タイマX0動作制御レジスタ2 (TX0CTL2) のフォーマット

アドレス：FF80H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TX0CTL2	0	TX0TRGS	0	0	0	0	TX0ADEN	TX0CCS

TX0TRGS	TMX0のキャプチャ・トリガ要因の選択
0	INTCMP2
1	INTPO

TX0ADEN	TMX0からのA/D変換同期用トリガ発生制御
0	A/D変換同期用トリガの発生禁止
1	A/D変換同期用トリガの発生許可 <sup>注</sup>

TX0CCS	TX0CCR0レジスタの制御
0	コンペア・レジスタとして動作 <sup>注</sup>
1	キャプチャ・レジスタとして動作

注 カウンタとTX0CCR0レジスタの一致により、A/D変換同期用トリガが発生するため、A/D変換同期用トリガ発生を許可(TX0ADEN = 1)する場合、TX0CCR0レジスタの動作モードをコンペア・レジスタ(TX0CCS = 0)に設定してください。

注意1. 16ビット・タイマX0動作中に、TX0CTL2を書き換えしないでください。ただし、TX0CTL2にリフレッシュ(同値書き込み)することは可能です。

- 16ビット・タイマX0動作中に、A/Dコンバータで使用するレジスタ(ADM0, ADPC0, ADPC1, ADS)を書き換えることができます。
- A/D変換動作停止(ADCS = 0)中に発生するA/D変換同期用トリガは無効です。A/D変換動作許可(ADCS = 1)後に発生するA/D変換同期用トリガが有効となります。

図6-11 16ビット・タイマX1動作制御レジスタ2 (TX1CTL2) のフォーマット (78K0/FB2-Lのみ)

アドレス : FF96H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TX1CTL2	0	0	0	0	0	0	TX1ADEN	TX1CCS

TX1ADEN	TMX1からのA/D変換同期用トリガ発生の制御
0	A/D変換同期用トリガの発生禁止
1	A/D変換同期用トリガの発生許可 <sup>注</sup>

TX1CCS	TX1CCR0レジスタの制御
0	コンペア・レジスタとして動作 <sup>注</sup>
1	キャプチャ・レジスタとして動作

注 カウンタとTX1CCR0レジスタの一致により、A/D変換同期用トリガが発生するため、A/D変換同期用トリガ発生を許可 (TX1ADEN = 1) する場合、TX1CCR0レジスタの動作モードをコンペア・レジスタ (TX1CCS = 0) に設定してください。

- 注意1. 16ビット・タイマX1動作中に、TX1CTL2を書き換えしないでください。ただし、TX1CTL2にリフレッシュ (同値書き込み) することは可能です。
2. 16ビット・タイマX1動作中に、A/Dコンバータで使用するレジスタ (ADM0, ADPC0, ADPC1, ADS) を書き換えることができます。
3. A/D変換動作停止 (ADCS = 0) 中に発生するA/D変換同期用トリガは無効です。A/D変換動作許可 (ADCS = 1) 後に発生するA/D変換同期用トリガが有効となります。

#### (4) 16ビット・タイマX0動作制御レジスタ3 (TX0CTL3)

TX0CTL3は、コンパレータ2, INTP0との連動機能のモードと、コンパレータ出力によるリスタート時の動作を設定するレジスタです。

TX0CTL3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図6 - 12 16ビット・タイマX0動作制御レジスタ3 (TX0CTL3) のフォーマット

アドレス : FF81H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TX0CTL3	0	TX0CMPLD SET1 <sup>注5</sup>	TX0CMPLD SET0 <sup>注5</sup>	0	TX0INTP0R M1	TX0INTP0R M0	TX0CMP2R M1	TX0CMP2R M0
TX0CMPLD SET1 <sup>注5</sup>	TX0CMPLD SET0 <sup>注5</sup>	コンパレータ出力によるリスタート時の、コンペア・レジスタの変更 (連動モード2(タイマ・リスタート・モード)設定時)						
0	0	リスタート時にコンペア・レジスタの値は変更しない						
0	1	コンパレータ0出力によるリスタート時に、コンペア・レジスタ (TXnCR0-TXnCR3, TXnCCR0) <sup>注1</sup> の値を一斉に書き換え <sup>注2,3</sup>						
1	0	コンパレータ1出力によるリスタート時に、コンペア・レジスタ (TXnCR0-TXnCR3, TXnCCR0) <sup>注1</sup> の値を一斉に書き換え <sup>注2,3</sup>						
1	1	コンパレータ2出力によるリスタート時に、コンペア・レジスタ (TXnCR0-TXnCR3, TXnCCR0) <sup>注1</sup> の値を一斉に書き換え <sup>注2,3</sup>						
TX0INTP0R M1	TX0INTP0R M0	INTP0による連動機能の動作モード (TMX0タイマと連動)						
0	0	INTP0による連動機能動作禁止						
0	1	連動モード1(タイマ・リセット・モード) : INTP0がハイ・レベル期間中、タイ マをリセット						
1	0	連動モード2(タイマ・リスタート・モード) : INTP0立ち上がりエッジ検出時に、 タイマをリスタート						
1	1	連動モード3(タイマ出力リセット・モード) : INTP0立ち上がりエッジ検出から 次の割り込み発生まで、タイマ出力をリセット <sup>注4</sup>						
TX0CMP2R M1	TX0CMP2R M0	コンパレータ2出力による連動機能の動作モード (TMX0タイマと連動)						
0	0	コンパレータ2出力による連動機能動作禁止						
0	1	連動モード1(タイマ・リセット・モード) : コンパレータ2出力がハイ・レベル (CMP2Fフラグ = 1) 期間中、タイマをリセット						
1	0	連動モード2(タイマ・リスタート・モード) : コンパレータ2出力の立ち上がり エッジ検出時に、タイマをリスタート						
1	1	連動モード3(タイマ出力リセット・モード) : コンパレータ2出力の立ち上がり エッジ検出から次の割り込み発生まで、タイマ出力をリセット <sup>注4</sup>						

- 注1. TX1CR0-TX1CR3, TX1CCR0の値は、TMX0, TMX1同期スタート/クリア・モードの場合のみ、一斉に書き換えられます。
2. TMX0シングル出力の場合、TX0CR1を書き換えたあとの、コンパレータ出力によるリスタートのタイミングで、一斉に書き換えられます。
3. TMX0デュアル出力の場合、TX0CR3を書き換えたあとの、コンパレータ出力によるリスタートのタイミングで、一斉に書き換えられます。
4. TMX0, TMX1同期スタート/クリア・モード(78K0/FB2-Lのみ可能)の場合、連動モード3に設定しないでください。
5. 78K0/FA2-L, 78K0/FB2-Lのみ

**注意** タイマ動作中に、TX0CTL3を書き換えしないでください。ただし、TX0CTL3にリフレッシュ(同値書き込み)することは可能です。

## (5) 16ビット・タイマXn動作制御レジスタ4 (TXnCTL4)

TXnCTL4は、コンパレータ0, 1との連動機能のモードを設定するレジスタです。

TXnCTL4は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

**備考** n = 0 : 78K0/FA2-L

n = 0, 1 : 78K0/FB2-L

図6 - 13 16ビット・タイマX0動作制御レジスタ4 (TX0CTL4) のフォーマット (78K0/FA2-L, 78K0/FB2-Lのみ)

アドレス : FF82H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TX0CTL4	0	0	TX0CMP1RP	TX0CMP1R M1	TX0CMP1R M0	TX0CMP0RP	TX0CMP0R M1	TX0CMP0R M0

TX0CMP1RP	コンパレータ1出力に連動するタイマの選択
0	コンパレータ1出力とTMX0タイマが連動
1	コンパレータ1出力とTMX1タイマが連動 (78K0/FB2-Lのみ可能)

TX0CMP1RM1	TX0CMP1RM0	コンパレータ1出力による連動機能の動作モード (TMX0タイマと連動)
0	0	コンパレータ1出力による連動機能動作禁止
0	1	連動モード1 (タイマ・リセット・モード) : コンパレータ1出力がハイ・レベル (CMP1Fフラグ = 1) 期間中, タイマをリセット
1	0	連動モード2 (タイマ・リスタート・モード) : コンパレータ1出力の立ち上がりエッジ検出時に, タイマをリスタート
1	1	連動モード3 (タイマ出力リセット・モード) : コンパレータ1出力の立ち上がりエッジ検出から次の割り込み発生まで, タイマ出力をリセット <sup>注</sup>

TX0CMP0RP	コンパレータ0出力に連動するタイマの選択
0	コンパレータ0出力とTMX0タイマが連動
1	コンパレータ0出力とTMX1タイマが連動 (78K0/FB2-Lのみ可能)

TX0CMP0RM1	TX0CMP0RM0	コンパレータ0出力による連動機能の動作モード (TMX0タイマと連動)
0	0	コンパレータ0出力による連動機能動作禁止
0	1	連動モード1 (タイマ・リセット・モード) : コンパレータ0出力がハイ・レベル (CMP0Fフラグ = 1) 期間中, タイマをリセット
1	0	連動モード2 (タイマ・リスタート・モード) : コンパレータ0出力の立ち上がりエッジ検出時に, タイマをリスタート
1	1	連動モード3 (タイマ出力リセット・モード) : コンパレータ0出力の立ち上がりエッジ検出から次の割り込み発生まで, タイマ出力をリセット <sup>注</sup>

**注** TMX0, TMX1同期スタート/クリア・モード (78K0/FB2-Lのみ可能) の場合, 連動モード3に設定しないでください。

**注意** タイマ動作中に, TX0CTL4を書き換えないでください。ただし, TX0CTL4にリフレッシュ (同値書き込み) することは可能です。

図6-14 16ビット・タイマX1動作制御レジスタ4 (TX1CTL4) のフォーマット (78K0/FB2-Lのみ)

アドレス : FF9AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TX1CTL4	0	0	0	TX1CMP1R M1	TX1CMP1R M0	0	TX1CMP0R M1	TX1CMP0R M0

TX1CMP1RM1	TX1CMP1RM0	コンパレータ1出力による連動機能の動作モード (TMX1タイマと連動)
0	0	コンパレータ1出力による連動機能動作禁止
0	1	連動モード1 (タイマ・リセット・モード) : コンパレータ1出力がハイ・レベル (CMP1Fフラグ = 1) 期間中, タイマをリセット
1	0	連動モード2 (タイマ・リスタート・モード) : コンパレータ1出力の立ち上がりエッジ検出時に, タイマをリスタート
1	1	連動モード3 (タイマ出力リセット・モード) : コンパレータ1出力の立ち上がりエッジ検出から次の割り込み発生まで, タイマ出力をリセット <sup>注</sup>

TX1CMP0RM1	TX1CMP0RM0	コンパレータ0出力による連動機能の動作モード (TMX1タイマと連動)
0	0	コンパレータ0出力による連動機能動作禁止
0	1	連動モード1 (タイマ・リセット・モード) : コンパレータ0出力がハイ・レベル (CMP0Fフラグ = 1) 期間中, タイマをリセット
1	0	連動モード2 (タイマ・リスタート・モード) : コンパレータ0出力の立ち上がりエッジ検出時に, タイマをリスタート
1	1	連動モード3 (タイマ出力リセット・モード) : コンパレータ0出力の立ち上がりエッジ検出から次の割り込み発生まで, タイマ出力をリセット <sup>注</sup>

注 TMX0, TMX1同期スタート/クリア・モードの場合, 連動モード3に設定しないでください。

**注意** タイマ動作中に, TX1CTL4を書き換えしないでください。ただし, TX1CTL4にリフレッシュ (同値書き込み) することは可能です。



## (6) 16ビット・タイマXn出力制御レジスタ0 (TXnIOC0)

TXnIOC0は、タイマ出力を設定するレジスタです。

TXnIOC0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

**備考** n = 0 : 78K0/FA2-L

n = 0, 1 : 78K0/FB2-L

図6 - 15 16ビット・タイマX0出力制御レジスタ0 (TX0IOC0) のフォーマット (78K0/FA2-L, 78K0/FB2-Lのみ)

アドレス : FF83H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TX0IOC0	0	0	0	0	TX0TOC1	TX0TOC0	TX0TOL1	TX0TOL0

TX0TOC1	TOX01出力の制御
0	タイマ出力禁止 (TX0TOL1 = 0の場合、ロウ・レベル出力固定。TX0TOL1 = 1の場合、ハイ・レベル出力固定。)
1	タイマ出力許可 (PWM出力)

TX0TOC0	TOX00出力の制御
0	タイマ出力禁止 (TX0TOL0 = 0の場合、ロウ・レベル出力固定。TX0TOL0 = 1の場合、ハイ・レベル出力固定。)
1	タイマ出力許可 (PWM出力)

TX0TOL1	TOX01出力のデフォルト状態の設定
0	通常出力 (ロウ・レベル)
1	反転出力 (ハイ・レベル)

TX0TOL0	TOX00出力のデフォルト状態の設定
0	通常出力 (ロウ・レベル)
1	反転出力 (ハイ・レベル)

**注意1.** タイマ動作中に、TX0IOC0を書き換えしないでください。ただし、TX0IOC0にリフレッシュ (同値書き込み) することは可能です。

**2.** 実際のTOX00/P31/INTP2/TOOLC1, TOX01/P32/INTP3/TOOLD1端子の出力は、TOX00, TOX01出力のほかにはPM31とP31, PM32とP32によって決まります。

図6 - 16 16ビット・タイマX1出力制御レジスタ0 (TX1IOC0) のフォーマット (78K0/FB2-Lのみ)

アドレス : FF9BH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TX1IOC0	0	0	0	0	TX1TOC1	TX1TOC0	TX1TOL1	TX1TOL0

TX1TOC1	TOX11出力の制御
0	タイマ出力禁止 (TX1TOL1 = 0の場合, ロウ・レベル出力固定。TX1TOL1 = 1の場合, ハイ・レベル出力固定。)
1	タイマ出力許可 (PWM出力)

TX1TOC0	TOX10出力の制御
0	タイマ出力禁止 (TX1TOL0 = 0の場合, ロウ・レベル出力固定。TX1TOL0 = 1の場合, ハイ・レベル出力固定。)
1	タイマ出力許可 (PWM出力)

TX1TOL1	TOX11出力のデフォルト状態の設定
0	通常出力 (ロウ・レベル)
1	反転出力 (ハイ・レベル)

TX1TOL0	TOX10出力のデフォルト状態の設定
0	通常出力 (ロウ・レベル)
1	反転出力 (ハイ・レベル)

- 注意1.** タイマ動作中に, TX1IOC0を書き換えしないでください。ただし, TX1IOC0にリフレッシュ (同値書き込み) することは可能です。
- 2.** 実際のTOX10/P33, TOX11/P34/INTP4端子の出力は, TOX10, TOX11出力のほかにPM33とP33, PM34とP34によって決まります。

**(7) ポート・モード・レジスタ3 (PM3)**

ポート3の入力 / 出力を1ビット単位で設定するレジスタです。

P31/TOX00/INTP2/TOOLC1, P32/TOX01/INTP3/TOOLD1, P33/TOX10, P34/TOX11/INTP4端子をタイマ出力として使用するとき, PM31-PM34およびP31-P34の出力ラッチに0を設定してください。

PM3は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

**図6 - 17 ポート・モード・レジスタ3 (PM3) のフォーマット**

アドレス : FF23H    リセット時 : FFH    R/W

略号	7	6	5	4	3	2	1	0
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30

PM3n	P3n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

**備考** 上記は, 78K0/FB2-Lのポート・モード・レジスタ3のフォーマットです。他の製品のポート・モード・レジスタ3のフォーマットについては, 4.3 **ポート機能を制御するレジスタ (1) ポート・モード・レジスタ (PMxx)** を参照してください。

動作モード（TMX0単体モード，TMX1単体モード，TMX0，TMX1同期スタート・モード，TMX0，TMX1同期スタート/クリア・モード）と，16ビット・タイマX0, X1を制御するレジスタの設定ビットの関係を次に示します。

表6-2 動作モードと16ビット・タイマX0, X1を制御するレジスタの設定ビット（1/2）

レジスタ	ビット	動作モード					
		単体モード		同期スタート・モード <sup>注</sup>		同期スタート/クリア・モード <sup>注</sup>	
		TMX0	TMX1 <sup>注</sup>	マスタ (TMX0)	スレーブ (TMX1)	マスタ (TMX0)	スレーブ (TMX1)
TX0CTL0	TX0TMC	設定	-	設定		設定	
	TX0CKS2- TX0CKS0	設定	-	設定	-	設定	
TX1CTL0	TX1TMC	-	設定	-	-	-	-
	TX1CKS2- TX1CKS0	-	設定	-	設定	-	-
TX0CTL1	TX0INTPST	設定	-	0		設定	
	TX0PWMCE	設定	-	設定	-	設定	-
	TX0PWMCINV	設定	-	設定		設定	
	TX0PWM	設定	-	設定	-	設定	-
TX1CTL1	TX1PWMCE	-	設定	-	設定	-	設定
	TX1PWM	-	設定	-	設定	-	設定
	TX1MD1	-	0	-	0	-	1
	TX1MD0	-	0	-	1	-	0
TX0CTL2	TX0TRGS	設定	-	設定	-	設定	-
	TX0ADEN	設定	-	設定	-	設定	-
	TX0CCS	設定	-	設定	-	設定	-
TX1CTL2	TX1ADEN	-	設定	-	設定	-	設定
	TX1CCS	-	設定	-	設定	-	設定
TX0CTL3	TX0CMLDSET1, TX0CMLDSET0	設定	-	設定	-	設定	
	TX0INTP0RM1, TX0INTP0RM0	設定	-	設定	-	設定（TX0INTP0RM1 = 1かつ TX0INTP0RM0 = 1は設定禁止）	
	TX0CMP2RM1, TX0CMP2RM0	設定	-	設定	-	設定（TX0CMP2RM1 = 1かつ TX0CMP2RM0 = 1は設定禁止）	

注 78K0/FB2-Lのみ

表6-2 動作モードと16ビット・タイマX0, X1を制御するレジスタの設定ビット (2/2)

レジスタ	ビット	動作モード					
		単体モード		同期スタート・モード <sup>注</sup>		同期スタート/クリア・モード <sup>注</sup>	
		TMX0	TMX1 <sup>注</sup>	マスタ (TMX0)	スレーブ (TMX1)	マスタ (TMX0)	スレーブ (TMX1)
TX0CTL4	TX0CMP1RP	設定		設定		-	-
	TX0CMP1RM1, TX0CMP1RM0	TX0CMP1RP = 0のとき, 設定有効	-	TX0CMP1RP = 0のとき, 設定有効	-	-	-
	TX0CMP0RP	設定		設定		-	-
	TX0CMP0RM1, TX0CMP0RM0	TX0CMP0RP = 0のとき, 設定有効	-	TX0CMP0RP = 0のとき, 設定有効	-	-	-
TX1CTL4	TX1CMP1RM1, TX1CMP1RM0	-	TX0CMP1RP = 1のとき, 設定有効	-	TX0CMP1RP = 1のとき, 設定有効	-	-
	TX1CMP0RM1, TX1CMP0RM0	-	TX0CMP0RP = 1のとき, 設定有効	-	TX0CMP0RP = 1のとき, 設定有効	-	-
TX0IOC0	TX0TOC1	設定	-	設定	-	設定	-
	TX0TOC0	設定	-	設定	-	設定	-
	TX0TOL1	設定	-	設定	-	設定	-
	TX0TOL0	設定	-	設定	-	設定	-
TX1IOC0	TX1TOC1	-	設定	-	設定	-	設定
	TX1TOC0	-	設定	-	設定	-	設定
	TX1TOL1	-	設定	-	設定	-	設定
	TX1TOL0	-	設定	-	設定	-	設定

注 78K0/FB2-Lのみ

動作モード（TMX0単体モード，TMX1単体モード，TMX0，TMX1同期スタート・モード，TMX0，TMX1同期スタート/クリア・モード）と，各動作（スタート，キャプチャ，連動機能）のトリガ要因の関係について，次に示します。

表6-3 動作モードとトリガ要因

## (1) タイマ・スタート

トリガ要因	動作モード					
	単体モード		同期スタート・モード <sup>注</sup>		同期スタート/クリア・モード <sup>注</sup>	
	TMX0	TMX1 <sup>注</sup>	マスタ (TMX0)	スレーブ (TMX1)	マスタ (TMX0)	スレーブ (TMX1)
INTP0	使用可	使用不可	使用不可		使用可	

## (2) キャプチャ

トリガ要因	動作モード					
	単体モード		同期スタート・モード <sup>注</sup>		同期スタート/クリア・モード <sup>注</sup>	
	TMX0	TMX1 <sup>注</sup>	マスタ (TMX0)	スレーブ (TMX1)	マスタ (TMX0)	スレーブ (TMX1)
INTP0	使用可	使用不可	使用可	使用不可	使用可	使用不可
INTCMP1	使用不可	使用可	使用不可	使用可	使用不可	使用可
INTCMP2	使用可	使用不可	使用可	使用不可	使用可	使用不可

## (3) 連動機能

トリガ要因	動作モード						
	単体モード		同期スタート・モード <sup>注</sup>		同期スタート/クリア・モード <sup>注</sup>		
	TMX0	TMX1 <sup>注</sup>	マスタ (TMX0)	スレーブ (TMX1)	マスタ (TMX0)	スレーブ (TMX1)	
INTP0	使用可	使用不可	使用可	使用不可	使用可		
INTCMP0		使用可		使用可	使用不可		
INTCMP1							
INTCMP2		使用不可		使用不可	使用可	使用可	

注 78K0/FB2-Lのみ可能

## 6.4 16ビット・タイマX0, X1の動作

### (1) インターバル・タイマ

16ビット・タイマXn動作制御レジスタ0 (TXnCTL0) のビット7 (TXnTMC) = 1に設定すると、カウント・クロックに同期してカウント動作を開始します。

そのあと、16ビット・タイマ・カウンタXn (TMXn) とTXnCRmの値が一致すると、TMXnを0000Hにクリアし、一致割り込み信号 (INTTMXn) を発生します。この一定間隔で発生するINTTMXn信号により、インターバル・タイマとして動作します。

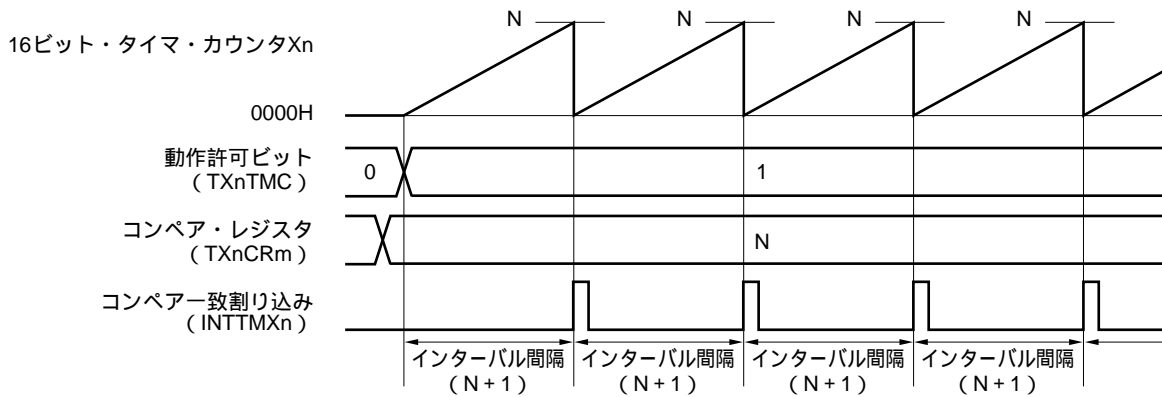
**備考1.** INTTMXn信号の割り込み許可については、第17章 割り込み機能を参照してください。

2. m = 1, 3 : 78K0/FY2-L, 78K0/FA2-L, 78K0/FB2-L

n = 0 : 78K0/FY2-L, 78K0/FA2-L

n = 0, 1 : 78K0/FB2-L

図6-18 インターバル・タイマ動作の基本タイミング例



**備考** m = 1, 3 : 78K0/FY2-L, 78K0/FA2-L, 78K0/FB2-L

n = 0 : 78K0/FY2-L, 78K0/FA2-L

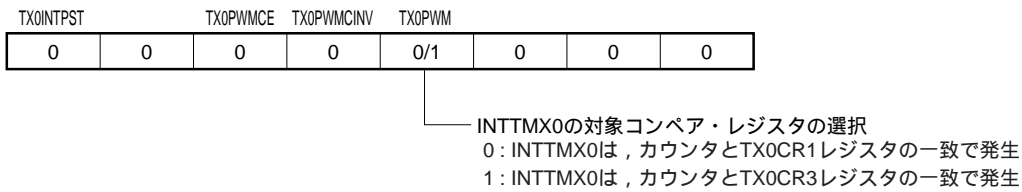
n = 0, 1 : 78K0/FB2-L

図6 - 19 インターバル・タイマ動作時のレジスタ設定内容例

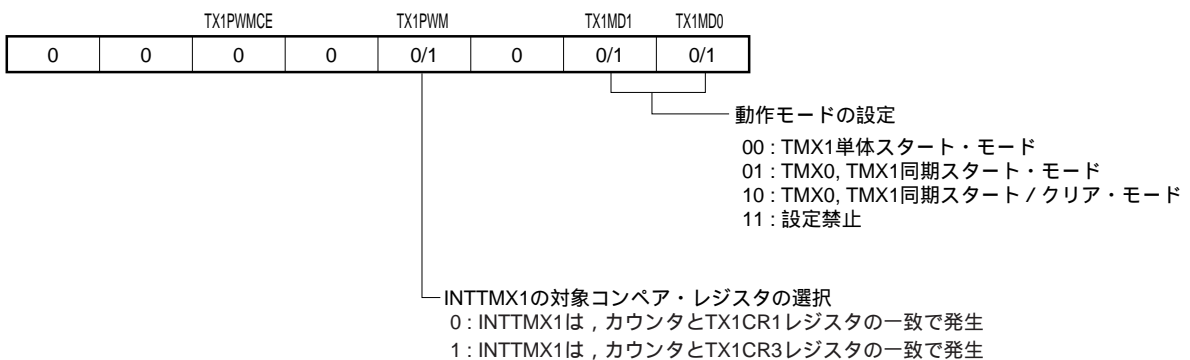
## (a) 16ビット・タイマXn動作制御レジスタ0 (TXnCTL0)



## (b) 16ビット・タイマX0動作制御レジスタ1 (TX0CTL1)



## (c) 16ビット・タイマX1動作制御レジスタ1 (TX1CTL1) (78K0/FB2-Lのみ)



## (d) 16ビット・タイマXnキャプチャ/コンペア・レジスタm (TXnCRm)

TXnCRmにNを設定した場合、インターバル時間は次のようになります。

$$\cdot \text{インターバル時間} = (N + 1) \times \text{カウント・クロック周期}$$

TXnCRmへの0000Hの設定は禁止です。

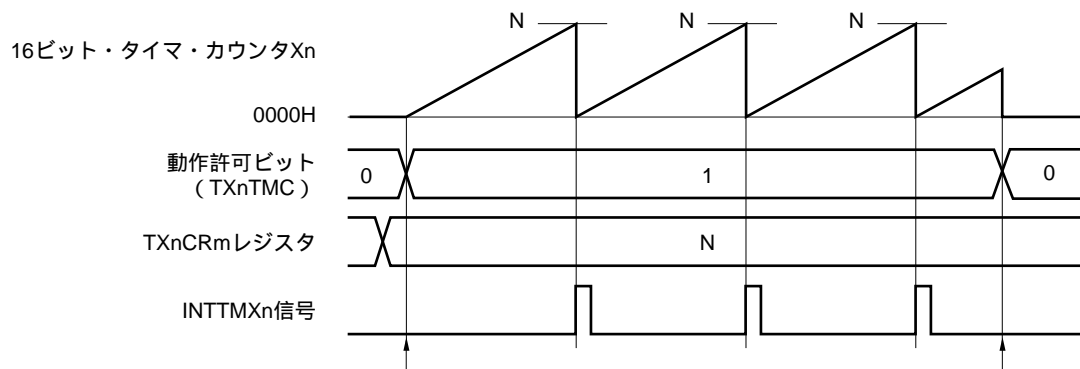
**備考** m = 1, 3 : 78K0/FY2-L, 78K0/FA2-L, 78K0/FB2-L

n = 0 : 78K0/FY2-L, 78K0/FA2-L

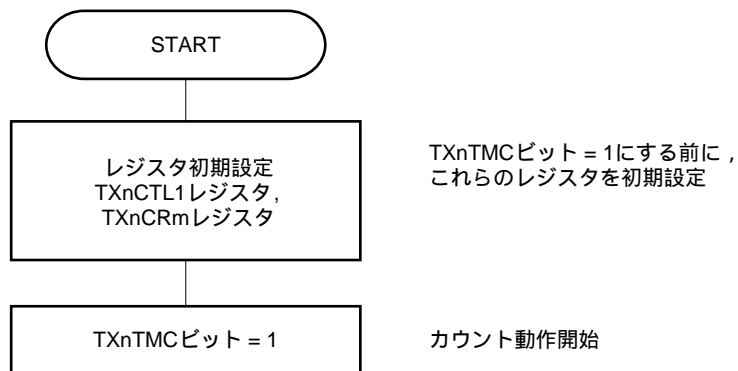
n = 0, 1 : 78K0/FB2-L



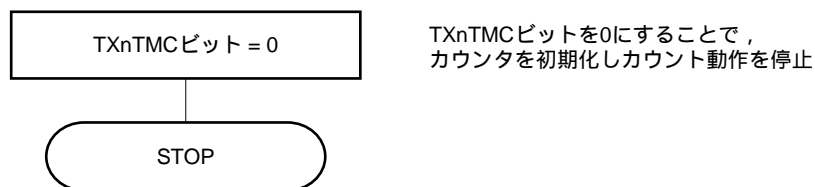
図6 - 20 インターバル・タイマ機能時のソフトウェア処理例



## カウント動作開始フロー



## カウント動作停止フロー



**備考** m = 1, 3 : 78K0/FY2-L, 78K0/FA2-L, 78K0/FB2-L

n = 0 : 78K0/FY2-L, 78K0/FA2-L

n = 0, 1 : 78K0/FB2-L

## (2) A/D変換スタート・タイミング信号出力

16ビット・タイマXn動作制御レジスタ2 (TXnCTL2)のビット1 (TXnADEN) = 1に設定すると、A/D変換同期用トリガの発生が許可されます。16ビット・タイマXn動作制御レジスタ0 (TXnCTL0)のビット7 (TXnTMC) = 1に設定すると、カウント・クロックに同期してカウント動作を開始します。

そのあと、16ビット・タイマ・カウンタXn (TMXn)とTXnCCR0の値が一致すると、A/D変換同期用トリガが発生し、TMXnとTXnCRmの値が一致すると、TMXnを0000Hにクリアします。

A/D変換スタート・タイミング信号出力を行う場合、TXnCCR0とTXnCRmを次の関係にする必要があります。

- ・TXnCCR0 < TXnCRm

この関係を満たさない場合、A/D変換トリガは発生しません。

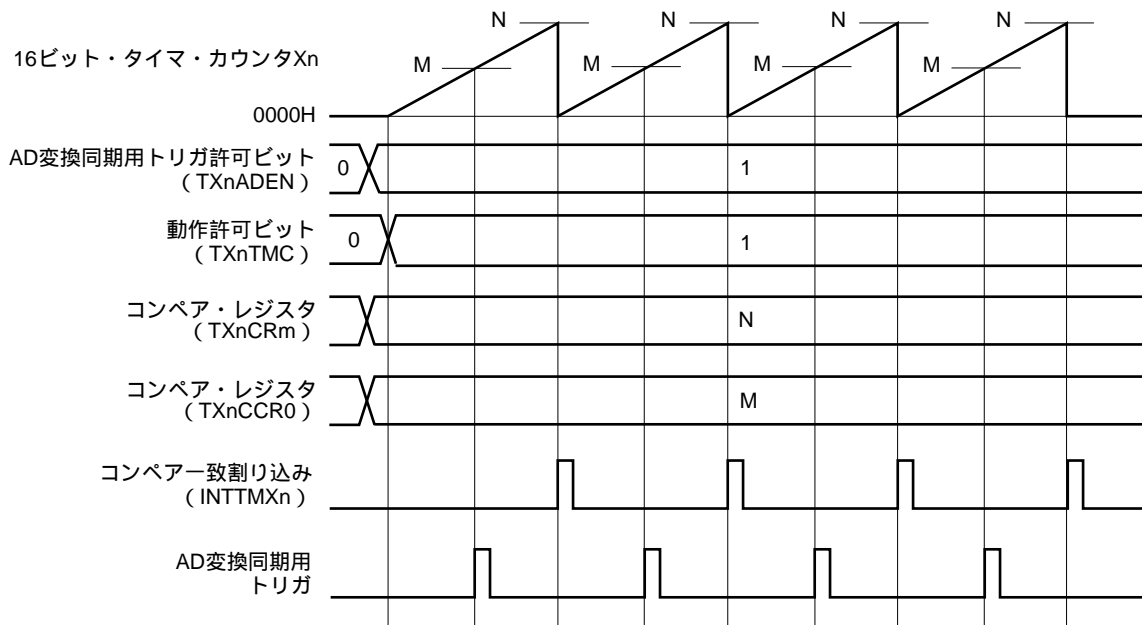
**備考1.** 16ビット・タイマX0, X1と連動したA/D変換機能の詳細については、11.4.2 A/Dコンバータの基本動作(タイマ・トリガ・モード)を参照してください。

2. m = 1, 3

n = 0 : 78K0/FY2-L, 78K0/FA2-L

n = 0, 1 : 78K0/FB2-L

図6-21 A/D変換スタート・タイミング信号出力動作の基本タイミング例



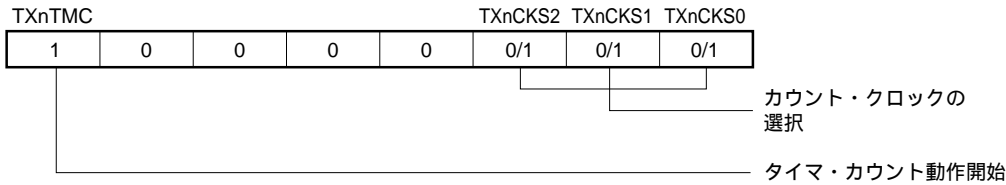
**備考** m = 1, 3

n = 0 : 78K0/FY2-L, 78K0/FA2-L

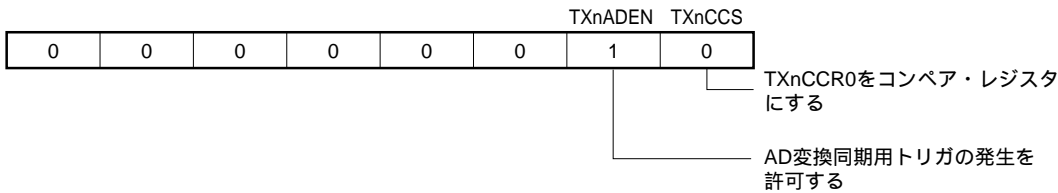
n = 0, 1 : 78K0/FB2-L

図6 - 22 A/D変換スタート・タイミング信号出力動作時のレジスタ設定内容例

## (a) 16ビット・タイマXn動作制御レジスタ0 (TXnCTL0)



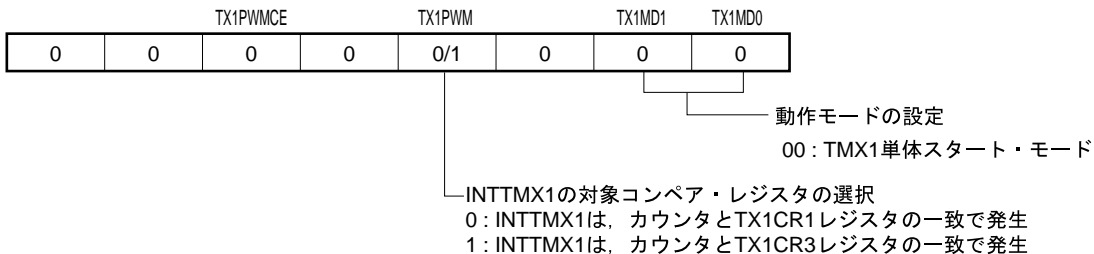
## (b) 16ビット・タイマXn動作制御レジスタ2 (TXnCTL2)



## (c) 16ビット・タイマX0動作制御レジスタ1 (TX0CTL1)



## (d) 16ビット・タイマX1動作制御レジスタ1 (TX1CTL1) (78K0/FB2-Lのみ)



## (e) 16ビット・タイマXnコンペア・レジスタm (TXnCRm)

TXnCRmにNを設定した場合、A/D変換同期用トリガの発生周期は次のようになります。

$$\cdot \text{A/D変換同期用トリガの発生周期} = (N+1) \times \text{カウント・クロック周期}$$

TXnCRmへの0000Hの設定は禁止です。

## (f) 16ビット・タイマXnキャプチャ/コンペア・レジスタ0 (TXnCCR0)

TXnCCR0にMを設定した場合、カウント0000HからMだけ遅れたタイミングでA/D変換同期用トリガを発生させます。

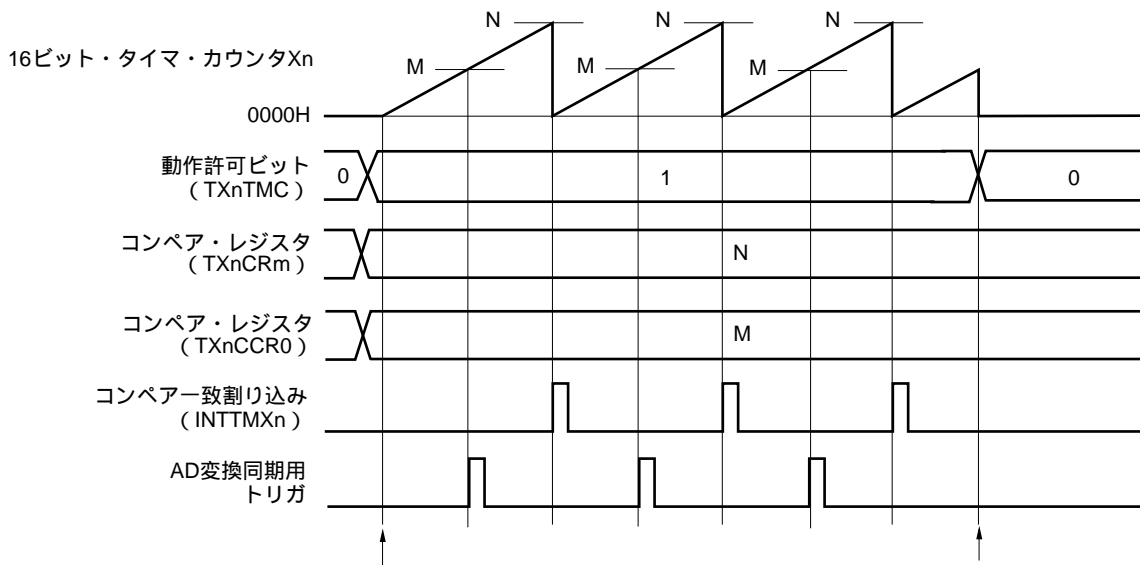
## 備考1. m = 1, 3

n = 0 : 78K0/FY2-L, 78K0/FA2-L

n = 0, 1 : 78K0/FB2-L

2. 16ビット・タイマX0, X1と連動したA/D変換機能の詳細については、11.4.2 A/Dコンバータの基本動作(タイマ・トリガ・モード)を参照してください。

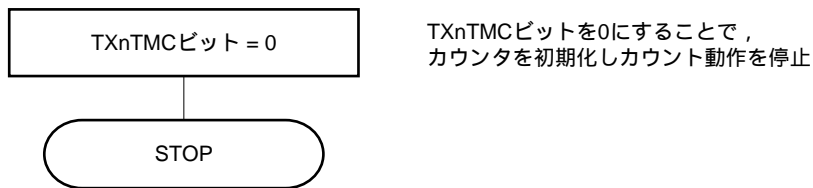
図6-23 A/D変換スタート・タイミング信号出力動作時のソフトウェア処理例



## カウント動作開始フロー



## カウント動作停止フロー



備考1. m = 1, 3

n = 0 : 78K0/FY2-L, 78K0/FA2-L

n = 0, 1 : 78K0/FB2-L

2. 16ビット・タイマX0, X1と連動したA/D変換機能の詳細については, 11. 4. 2 A/Dコンバータの基本動作(タイマ・トリガ・モード)を参照してください。

### (3) キャプチャ機能

16ビット・タイマXn動作制御レジスタ0 (TXnCTL0) のビット7 (TXnTMC) = 1に設定すると、カウント・クロックに同期してカウント動作を開始します。

そのあと、コンパレータm出力またはINTP0入力の立ち上がりエッジの検出により、16ビット・タイマ・カウンタXn (TMXn) の値が16ビット・タイマXnキャプチャ/コンペア・レジスタ0 (TXnCCR0) にキャプチャされます。

TMXnとTXnCRkの値が一致すると、TMXnを0000Hにクリアします。

備考1. m = 1, 2 : 78K0/FB2-L

m = 2 : 78K0/FY2-L, 78K0/FA2-L

n = 0 : 78K0/FY2-L, 78K0/FA2-L

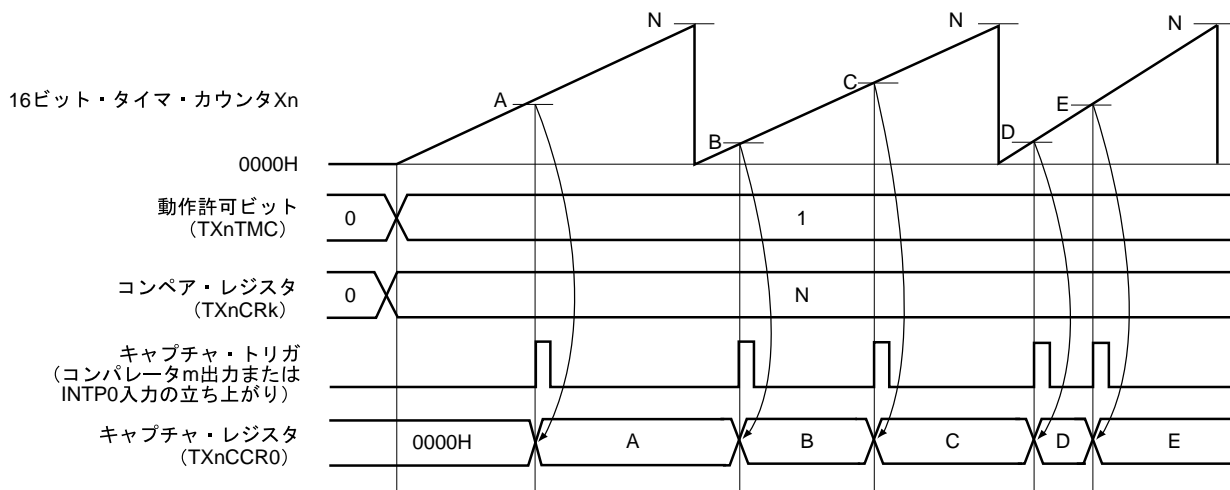
n = 0, 1 : 78K0/FB2-L

k = 1, 3 : 78K0/FY2-L, 78K0/FA2-L, 78K0/FB2-L

2. 16ビット・タイマX0のキャプチャ・トリガ : コンパレータ2出力またはINTP0入力の立ち上がりエッジ

16ビット・タイマX1のキャプチャ・トリガ : コンパレータ1出力の立ち上がりエッジ

図6 - 24 キャプチャ機能動作の基本タイミング例



備考1. m = 1, 2 : 78K0/FB2-L

m = 2 : 78K0/FY2-L, 78K0/FA2-L

n = 0 : 78K0/FY2-L, 78K0/FA2-L

n = 0, 1 : 78K0/FB2-L

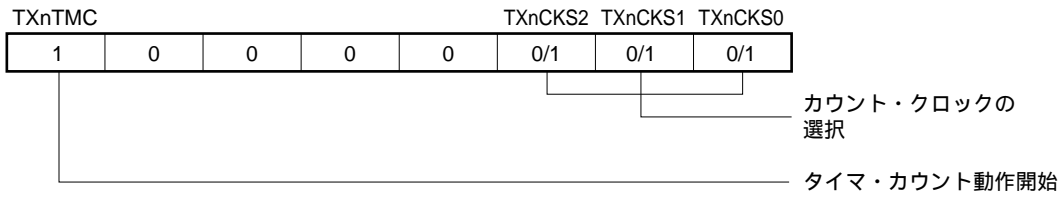
k = 1, 3 : 78K0/FY2-L, 78K0/FA2-L, 78K0/FB2-L

2. 16ビット・タイマX0のキャプチャ・トリガ : コンパレータ2出力またはINTP0入力の立ち上がりエッジ

16ビット・タイマX1のキャプチャ・トリガ : コンパレータ1出力の立ち上がりエッジ

図6 - 25 キャプチャ機能動作時のレジスタ設定内容例

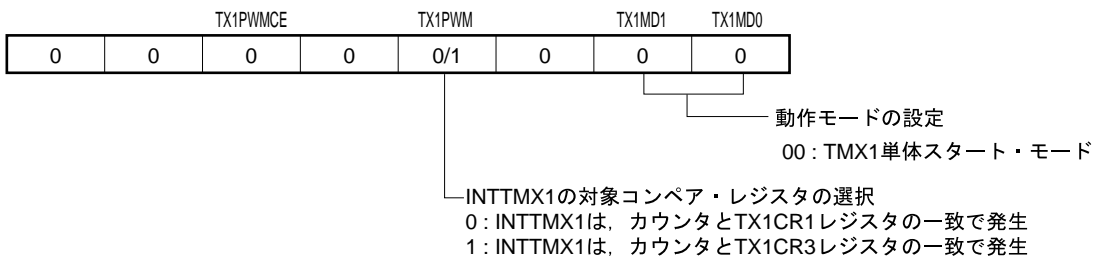
## (a) 16ビット・タイマXn動作制御レジスタ0 (TXnCTL0)



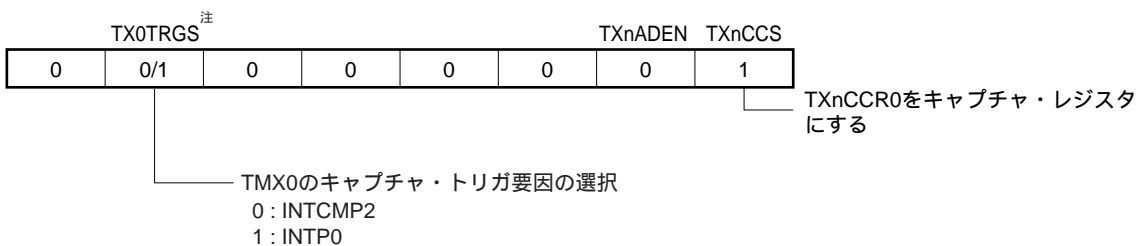
## (b) 16ビット・タイマX0動作制御レジスタ1 (TX0CTL1)



## (c) 16ビット・タイマX1動作制御レジスタ1 (TX1CTL1) (78K0/FB2-Lのみ)



## (d) 16ビット・タイマXn動作制御レジスタ2 (TXnCTL2)



注 TX1CTL2レジスタには搭載されていません。

備考1. m = 1, 2 : 78K0/FB2-L

m = 2 : 78K0/FY2-L, 78K0/FA2-L

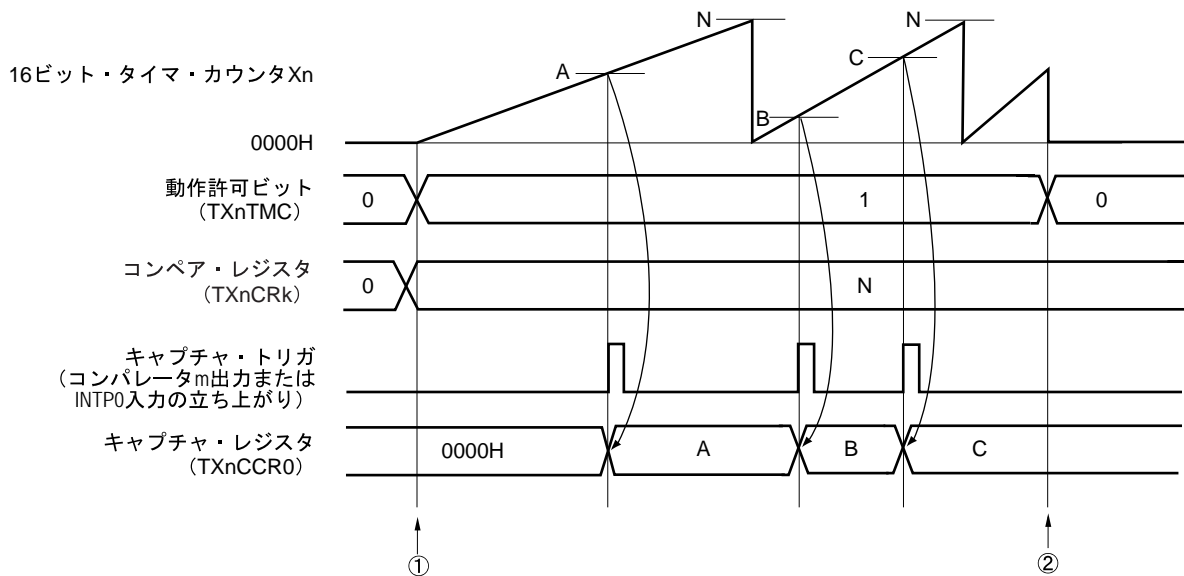
n = 0 : 78K0/FY2-L, 78K0/FA2-L

n = 0, 1 : 78K0/FB2-L

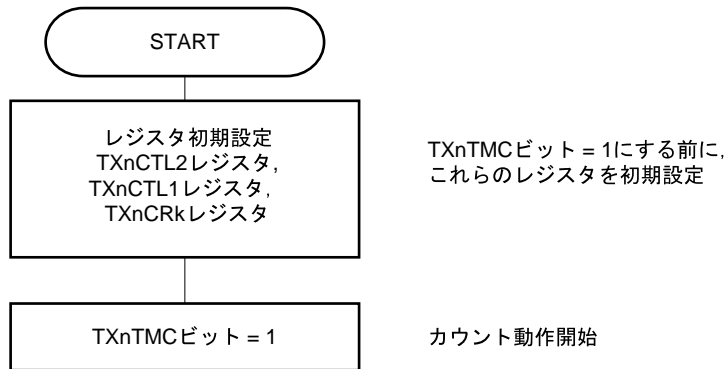
2. 16ビット・タイマX0のキャプチャ・トリガ : INTCMP2またはINTP0

16ビット・タイマX1のキャプチャ・トリガ : INTCMP1

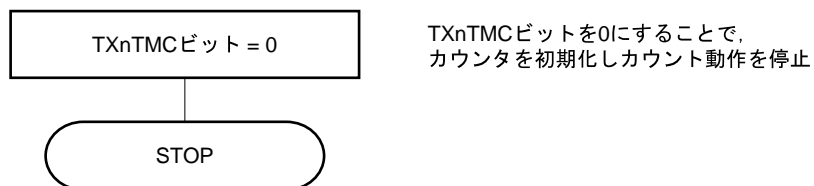
図6-26 キャプチャ機能動作時のソフトウェア処理例



## ① カウント動作開始フロー



## ② カウント動作停止フロー



備考1. m = 1, 2 : 78K0/FB2-L

m = 2 : 78K0/FY2-L, 78K0/FA2-L

n = 0 : 78K0/FY2-L, 78K0/FA2-L

n = 0, 1 : 78K0/FB2-L

k = 1, 3 : 78K0/FY2-L, 78K0/FA2-L, 78K0/FB2-L

2. 16ビット・タイマX0のキャプチャ・トリガ : コンパレータ2出力またはINTP0入力の立ち上がりエッジ

16ビット・タイマX1のキャプチャ・トリガ : コンパレータ1出力の立ち上がりエッジ

## 6.5 16ビット・タイマX0, X1のPWM出力動作

### (1) PWM出力動作 (TMXn単体モード, シングル出力)

TXnCR0に反転出力のカウンタ値, TXnCR1に周期のカウンタ値を設定したあと, TXnCTL0のビット7 (TXnTMC) を1に設定すると, TOXn0からPWM出力が開始されます。

- ・パルス周期 = (TXnCR1の設定値 + 1) × カウント・クロック周期
- ・デューティ = (TXnCR1の設定値 - TXnCR0の設定値) / (TXnCR1の設定値 + 1)

動作中にTXnCR0, TXnCR1を書き換えて, デューティやパルス周期を変更することが可能です。変更する場合は, TXnCR0を書き換えてからTXnCR1を書き換えてください。TXnCR0を変更せずにTXnCR1を変更する場合, TXnCR0を書き換える必要はありません。TXnCR1を変更せずにTXnCR0を変更する場合, TXnCR0を変更後にTXnCR1へ同値を書き込んでください。

出力が変更されるタイミングは, TXnCR1に書き込んだ直後のINTTMXn割り込み発生時となります。ただし, INTTMXn割り込み発生時のクロック<sup>※</sup>, およびその直前の2クロック<sup>※</sup>の間で, TXnCR1を書き換えた場合, このINTTMXn割り込みの次のINTTMXn割り込み発生時に出力が変更されます。また, TXnCR1に書き込んでから出力が変更されるまでの間に, TXnCR0やTXnCR1へ異なる値を書き込んだ場合, この異なる値が出力に反映されてしまいますのでご注意ください。

TOXn0からPWM出力を行う場合は, TXnCR0とTXnCR1に, 次の範囲内の値を設定してください。

- ・0000H TXnCR0 TXnCR1 FFFFH

TXnCR0 = TXnCR1に設定した場合, 出力はデフォルト状態 (固定) となります。

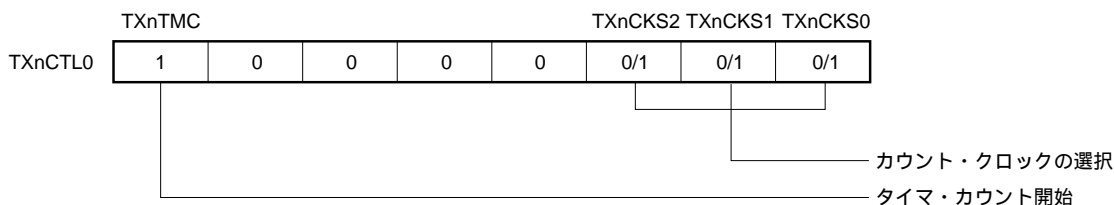
注 16ビット・タイマXnのカウント・クロック

備考 n = 0 : 78K0/FA2-L

n = 0, 1 : 78K0/FB2-L

図6 - 27 PWM出力動作 (シングル・モード) のレジスタ設定内容例 (1/2)

#### (a) 16ビット・タイマXn動作制御レジスタ0



備考 n = 0 : 78K0/FA2-L

n = 0, 1 : 78K0/FB2-L



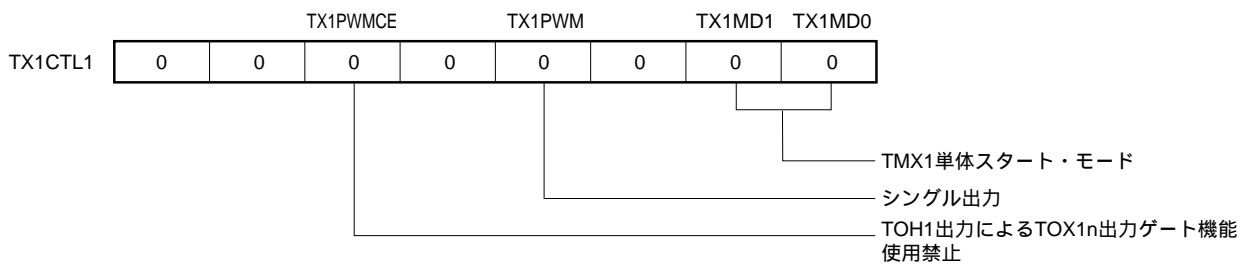
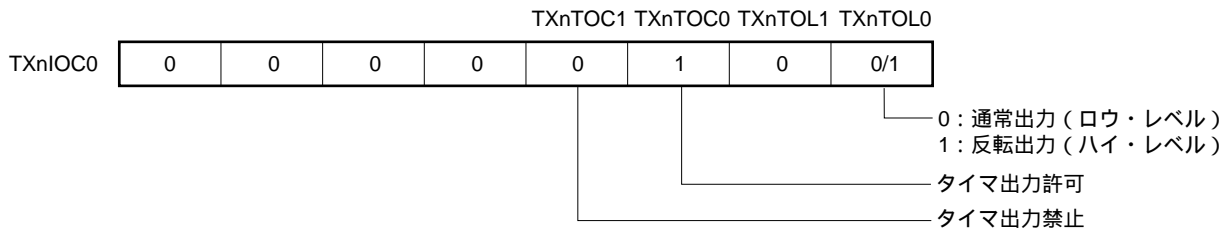
図6-27 PWM出力動作（シングル・モード）のレジスタ設定内容例（2/2）

(b) 16ビット・タイマX<sub>n</sub>動作制御レジスタ1

・PWM出力：TOX00端子



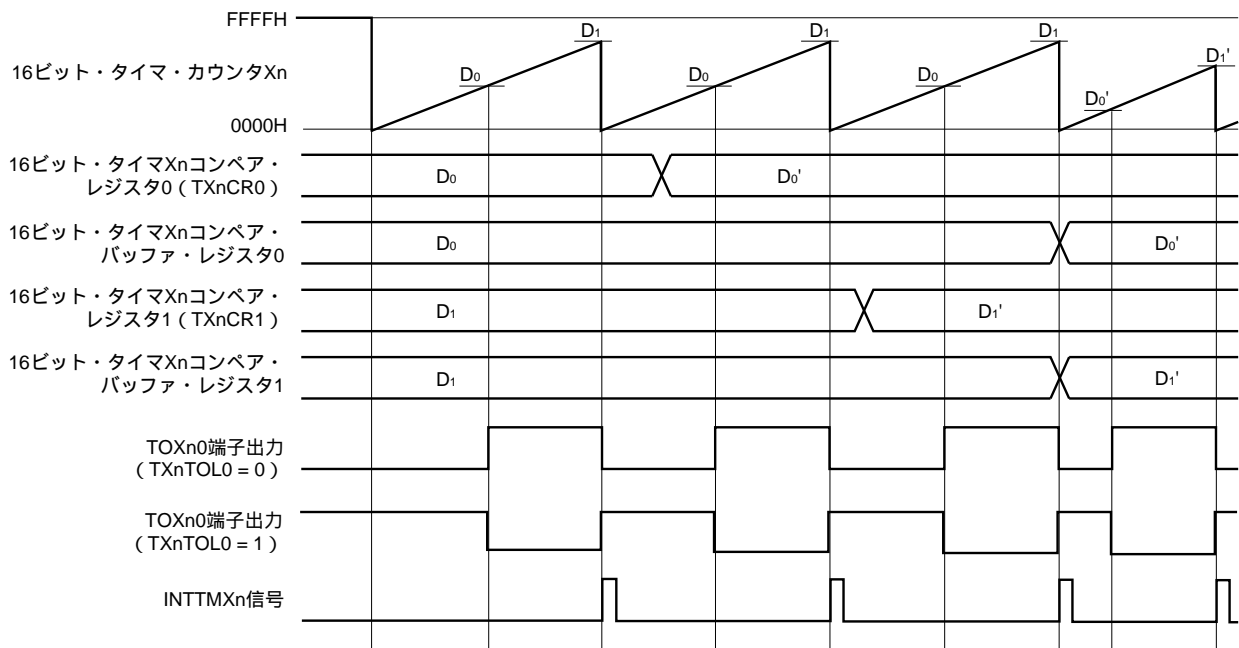
・PWM出力：TOX10端子

(c) 16ビット・タイマX<sub>n</sub>出力制御レジスタ0

備考 n = 0 : 78K0/FA2-L

n = 0, 1 : 78K0/FB2-L

図6 - 28 PWM出力タイミング (TMXn単体動作, PWM出力: TOXn0端子)



備考 n = 0 : 78K0/FA2-L

n = 0, 1 : 78K0/FB2-L

## (2) PWM出力動作 (TMXn単体モード, デュアル出力)

TXnCR0, TXnCR1にTOXn0の反転出力のカウンタ値, TXnCR2, TXnCR3にTOXn1の反転出力のカウンタ値, 周期のカウンタ値を設定し, TXnCTL0のビット7 (TXnTMC) を1に設定すると, PWM出力が開始されます。

TOXn0のパルス周期, デューティ

・パルス周期 = (TXnCR3の設定値 + 1) × カウンタ・クロック周期

・デューティ = (TXnCR1の設定値 - TXnCR0の設定値) / (TXnCR3の設定値 + 1)

TOXn1のパルス周期, デューティ

・パルス周期 = (TXnCR3の設定値 + 1) × カウンタ・クロック周期

・デューティ = (TXnCR3の設定値 - TXnCR2の設定値) / (TXnCR3の設定値 + 1)

動作中にTXnCR0-TXnCR3を書き換えて, デューティやパルス周期を変更することが可能です。変更する場合は, TXnCR0-TXnCR2を書き換えてからTXnCR3を書き換えてください。TXnCR0-TXnCR2のうち, 変更しないレジスタについては, 書き換える必要はありません。TXnCR3を変更せずにTXnCR0-TXnCR2のいずれかのレジスタを変更する場合, TXnCR3には同値を書き込んでください。

出力が変更されるタイミングは, TXnCR3に書き込んだ直後のINTTMXn割り込み発生時となります。ただし, INTTMXn割り込み発生時のクロック<sup>注</sup>, およびその直前の2クロック<sup>注</sup>の間で, TXnCR3を書き換えた場合, このINTTMXn割り込みの次のINTTMXn割り込み発生時に出力が変更されます。また, TXnCR3に書き込んでから出力が変更されるまでの間にTXnCR0-TXnCR3へ異なる値を書き込んだ場合, この異なる値が出力に反映されてしまいますのでご注意ください。

TOXn0からPWM出力を行う場合は、TXnCR0とTXnCR1に、次の範囲内の値を設定してください。

・ 0000H TXnCR0 TXnCR1 TXnCR3

TXnCR0 = TXnCR1に設定した場合、出力はデフォルト状態（固定）となります。

TOXn1からPWM出力を行う場合は、TXnCR2とTXnCR3に、次の範囲内の値を設定してください。

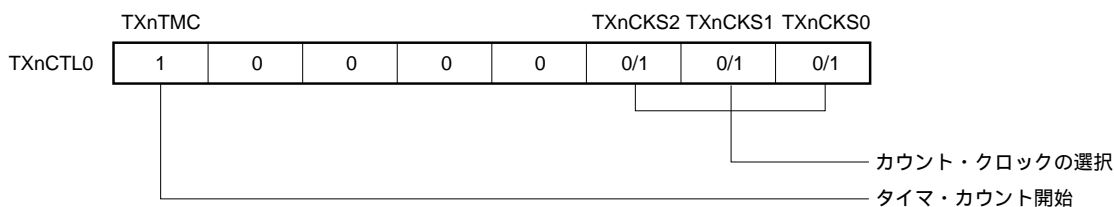
・ 0000H TXnCR2 TXnCR3 FFFFH

TXnCR2 = TXnCR3に設定した場合、出力はデフォルト状態（固定）となります。

**注** 16ビット・タイマXnのカウンタ・クロック

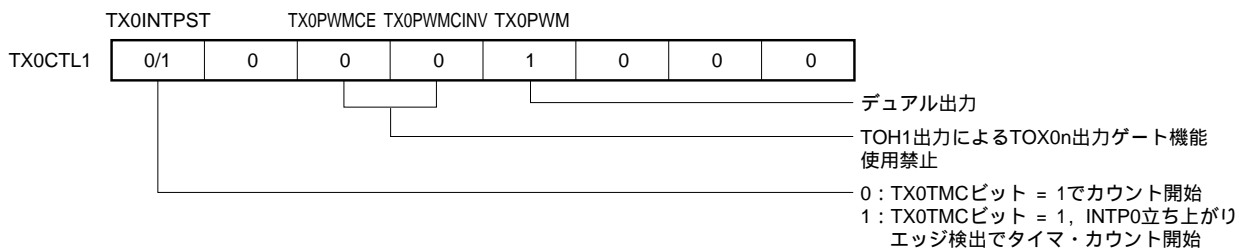
図6-29 PWM出力動作（デュアル・モード）のレジスタ設定内容例（1/2）

(a) 16ビット・タイマXn動作制御レジスタ0

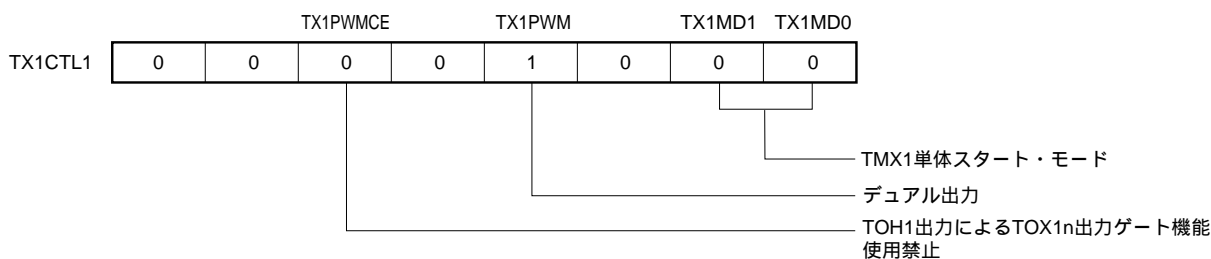


(b) 16ビット・タイマXn動作制御レジスタ1

・ PWM出力：TOX00, TOX01端子



・ PWM出力：TOX10, TOX11端子

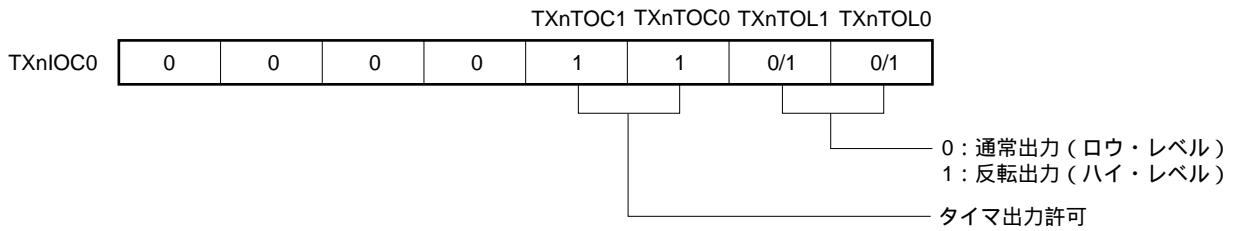


**備考** n = 0 : 78K0/FA2-L

n = 0, 1 : 78K0/FB2-L

図6 - 29 PWM出力動作 (デュアル・モード) のレジスタ設定内容例 (2/2)

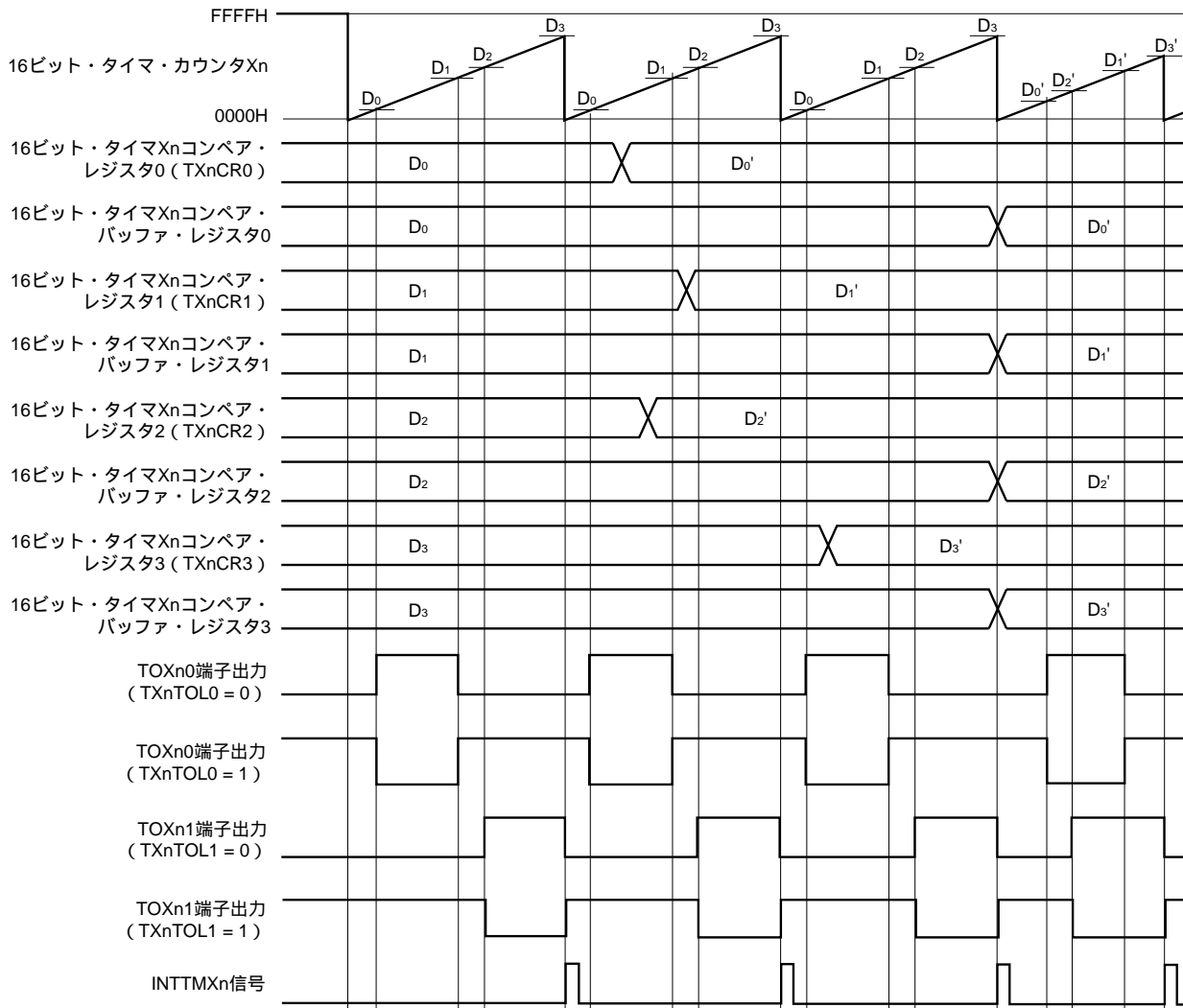
## (c) 16ビット・タイマXn出力制御レジスタ0



備考 n = 0 : 78K0/FA2-L

n = 0, 1 : 78K0/FB2-L

図6 - 30 PWM出力タイミング (TMXn単体動作, PWM出力: TOXn0, TOXn1端子)



備考 n = 0 : 78K0/FA2-L

n = 0, 1 : 78K0/FB2-L

## (3) PWM出力動作 (TMX0, TMX1同期スタート・モード) (78K0/FB2-Lのみ)

TMX0, TMX1の2つのタイマ出力 (最大4出力) を同時に出力開始します。

TX0CTL1のビット7 (TX0TMC) を1に設定すると, PWM出力が開始されます。

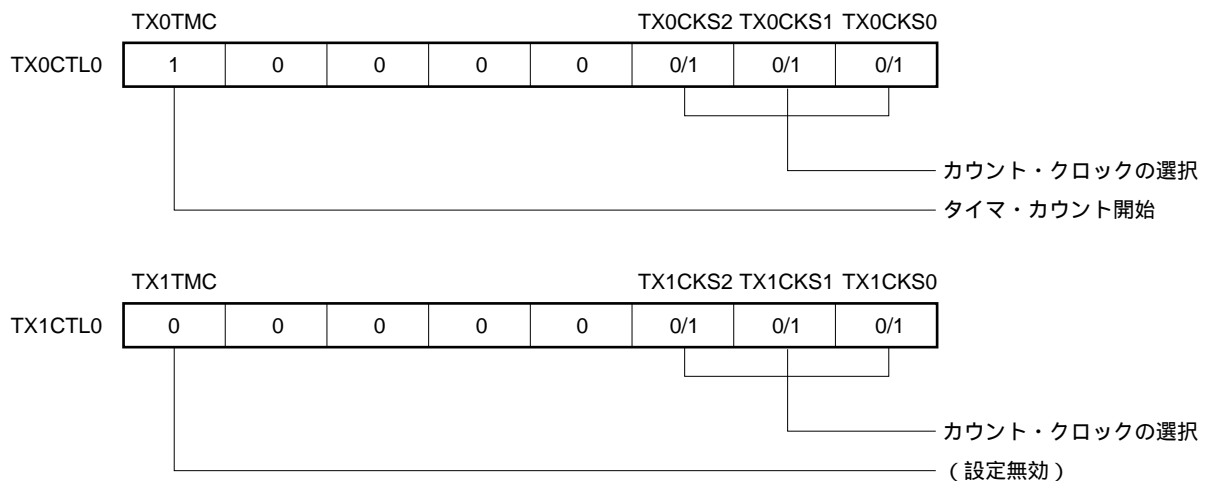
TX0CTL1のビット7 (TX0TMC) を0に設定すると, PWM出力が停止されます。

**備考** このモードは, 出力開始および停止を同時に行います。

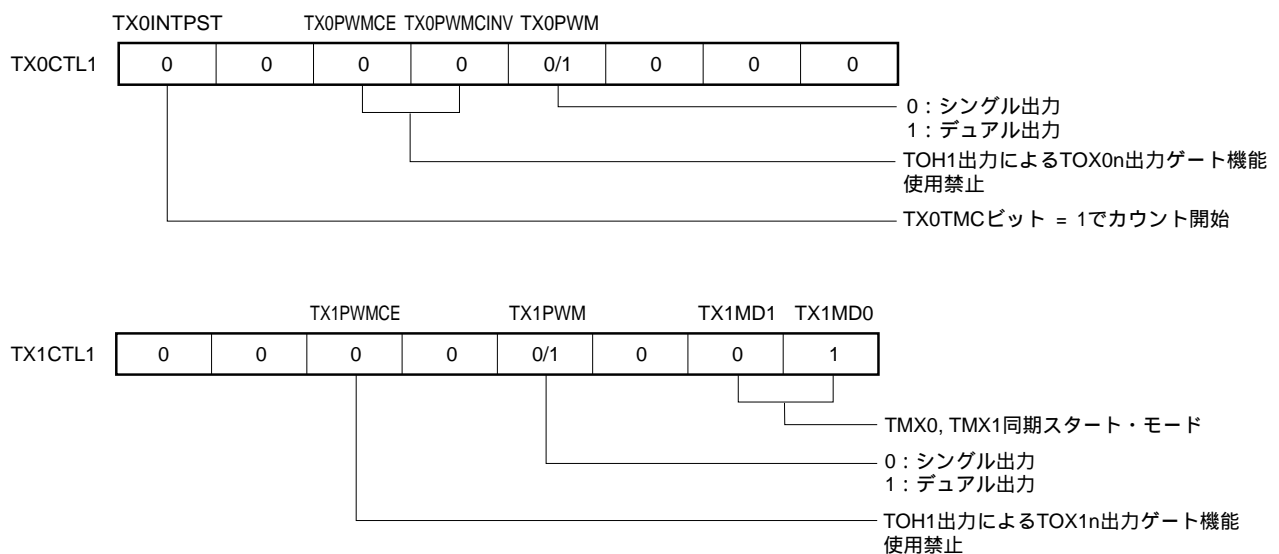
タイマ・カウント中は, TMX0, TMX1それぞれの設定に従って出力制御を行います。TXnCRmの設定については, (1)PWM出力動作 (TMXn単体モード, シングル出力) と (2)PWM出力動作 (TMXn単体モード, デュアル出力) を参照してください。

図6-31 PWM出力動作 (TMX0, TMX1同期スタート・モード) のレジスタ設定内容例 (1/2)

## (a) 16ビット・タイマXn動作制御レジスタ0



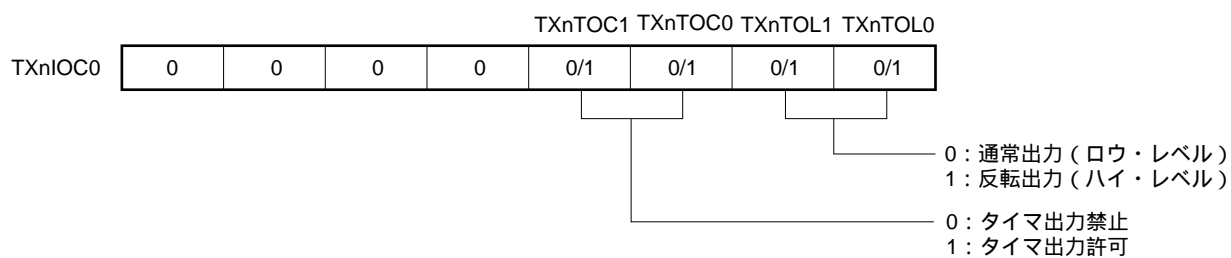
## (b) 16ビット・タイマXn動作制御レジスタ1



**備考** n = 0, 1

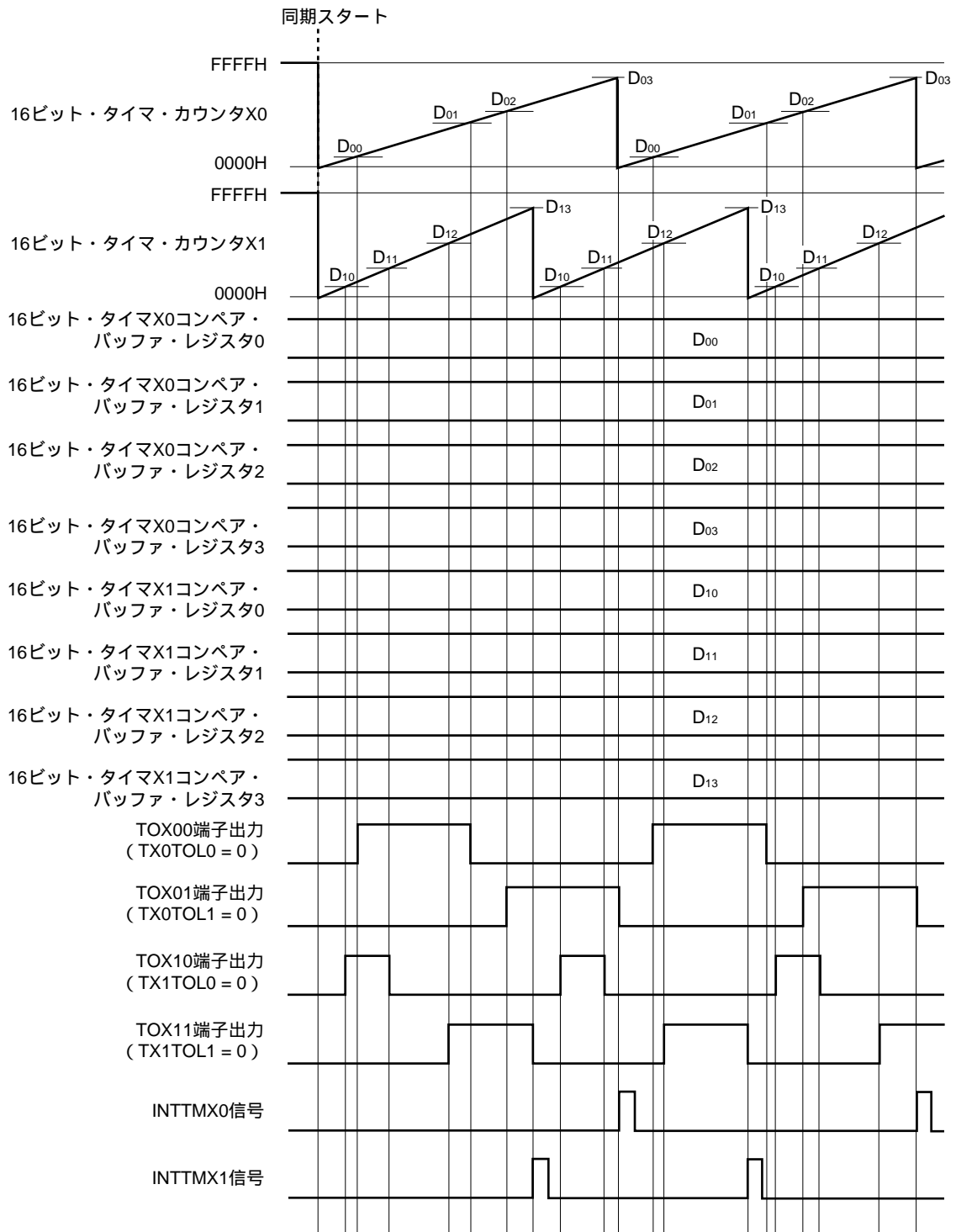
図6-31 PWM出力動作 (TMX0, TMX1同期スタート・モード) のレジスタ設定内容例 (2/2)

## (c) 16ビット・タイマXn出力制御レジスタ0



備考 n = 0, 1

図6 - 32 PWM出力タイミング (同期スタート・モード, TMX0デュアル出力, TMX1デュアル出力)



**(4) PWM出力動作 (TMX0, TMX1同期スタート/クリア・モード) (78K0/FB2-Lのみ)**

TMX0, TMX1の2つのタイマ出力 (最大4出力) を同じ周期で同期出力します。

TX0CTL1のビット7 (TX0TMC) を1に設定すると, PWM出力が開始されます。

TX0CTL1のビット7 (TX0TMC) を0に設定すると, PWM出力が停止されます。

動作中にTXnCRmを書き換えて, デューティやパルス周期を変更することが可能です。

**(a) TMX0シングル出力, TMX1シングル出力またはデュアル出力の場合**

TOX00のパルス周期, デューティ

・パルス周期 = (TX0CR1の設定値 + 1) × カウント・クロック周期

・デューティ = (TX0CR1の設定値 - TX0CR0の設定値) / (TX0CR1の設定値 + 1)

TOX10のパルス周期, デューティ

・パルス周期 = (TX0CR1の設定値 + 1) × カウント・クロック周期

・デューティ = (TX1CR1の設定値 - TX1CR0の設定値) / (TX0CR1の設定値 + 1)

TOX11のパルス周期, デューティ<sup>注1</sup>

・パルス周期 = (TX0CR1の設定値 + 1) × カウント・クロック周期

・デューティ = (TX1CR3の設定値 - TX1CR2の設定値) / (TX0CR1の設定値 + 1)

TXnCRmを変更する場合は, TX0CR1以外のレジスタを書き換えてからTX0CR1を書き換えてください。TX0CR1以外のレジスタのうち, 値を変更しないレジスタについて書き換える必要はありません。TX0CR1を変更せずTX0CR1以外のいずれかのレジスタを変更する場合, TX0CR1には同値を書き込んでください。

出力が変更されるタイミングは, TX0CR1に書き込んだ直後のINTTMX0割り込み発生時となります。

ただし, INTTMX0割り込み発生時のクロック<sup>注2</sup>, およびその直前の2クロック<sup>注2</sup>の間で, TX0CR1を書き換えた場合, このINTTMX0割り込みの次のINTTMX0割り込み発生時に出力が変更されます。また, TX0CR1に書き込んでから出力が変更されるまでの間にTXnCRmへ異なる値を書き込んだ場合, この異なる値が出力に反映されてしまいますのでご注意ください。

TOX00からPWM出力を行う場合は, TX0CR0とTX0CR1に, 次の範囲内の値を設定してください。

・0000H TX0CR0 TX0CR1 FFFFH

TX0CR0 = TX0CR1に設定した場合, 出力はデフォルト状態 (固定) となります。

TOX10からPWM出力を行う場合は, TX1CR0とTX1CR1に, 次の範囲内の値を設定してください。

・0000H TX1CR0 TX1CR1 TX0CR1

TX1CR0 = TX1CR1に設定した場合, 出力はデフォルト状態 (固定) となります。

TOX11からPWM出力を行う場合<sup>注1</sup>は, TX1CR2とTX1CR3に, 次の範囲内の値を設定してください。

・0000H TX1CR2 TX1CR3 TX0CR1

TX1CR2 = TX1CR3に設定した場合, 出力はデフォルト状態 (固定) となります。

注1. TMX1デュアル出力の場合のみ

2. 16ビット・タイマX0のカウント・クロック



## (b) TMX0デュアル出力, TMX1シングル出力またはデュアル出力の場合

TOX00のパルス周期, デューティ

- ・パルス周期 = (TX0CR3の設定値 + 1) × カウント・クロック周期
- ・デューティ = (TX0CR1の設定値 - TX0CR0の設定値) / (TX0CR3の設定値 + 1)

TOX01のパルス周期, デューティ

- ・パルス周期 = (TX0CR3の設定値 + 1) × カウント・クロック周期
- ・デューティ = (TX0CR3の設定値 - TX0CR2の設定値) / (TX0CR3の設定値 + 1)

TOX10のパルス周期, デューティ

- ・パルス周期 = (TX0CR3の設定値 + 1) × カウント・クロック周期
- ・デューティ = (TX1CR1の設定値 - TX1CR0の設定値) / (TX0CR3の設定値 + 1)

TOX11のパルス周期, デューティ<sup>注1</sup>

- ・パルス周期 = (TX0CR3の設定値 + 1) × カウント・クロック周期
- ・デューティ = (TX1CR3の設定値 - TX1CR2の設定値) / (TX0CR3の設定値 + 1)

TXnCRmを変更する場合は、TX0CR3以外のレジスタを書き換えてからTX0CR3を書き換えてください。TX0CR3以外のレジスタのうち、値を変更しないレジスタについて書き換える必要はありません。TX0CR3を変更せずTX0CR3以外のいずれかのレジスタを変更する場合、TX0CR3には同値を書き込んでください。

出力が変更されるタイミングは、TX0CR3に書き込んだ直後のINTTMX0割り込み発生時となります。

ただし、INTTMX0割り込み発生時のクロック<sup>注2</sup>、およびその直前の2クロック<sup>注2</sup>の間で、TX0CR3を書き換えた場合、このINTTMX0割り込みの次のINTTMX0割り込み発生時に出力が変更されます。また、TX0CR3に書き込んでから出力が変更されるまでの間にTXnCRmへ異なる値を書き込んだ場合、この異なる値が出力に反映されてしまいますのでご注意ください。

TOX00からPWM出力を行う場合は、TX0CR0とTX0CR1に、次の範囲内の値を設定してください。

- ・ 0000H TX0CR0 TX0CR1 TX0CR3

TX0CR0 = TX0CR1に設定した場合、出力はデフォルト状態（固定）となります。

TOX01からPWM出力を行う場合は、TX0CR2とTX0CR3に、次の範囲内の値を設定してください。

- ・ 0000H TX0CR2 TX0CR3 FFFFH

TX0CR2 = TX0CR3に設定した場合、出力はデフォルト状態（固定）となります。

TOX10からPWM出力を行う場合は、TX1CR0とTX1CR1に、次の範囲内の値を設定してください。

- ・ 0000H TX1CR0 TX1CR1 TX0CR3

TX1CR0 = TX1CR1に設定した場合、出力はデフォルト状態（固定）となります。

TOX11からPWM出力を行う場合<sup>注1</sup>は、TX1CR2とTX1CR3に、次の範囲内の値を設定してください。

- ・ 0000H TX1CR2 TX1CR3 TX0CR3

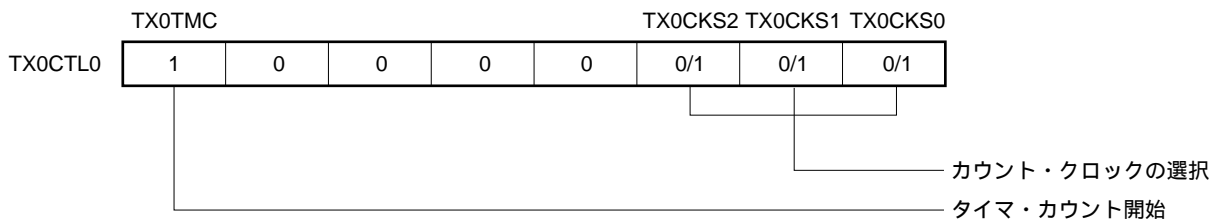
TX1CR2 = TX1CR3に設定した場合、出力はデフォルト状態（固定）となります。

注1. TMX1デュアル出力の場合のみ

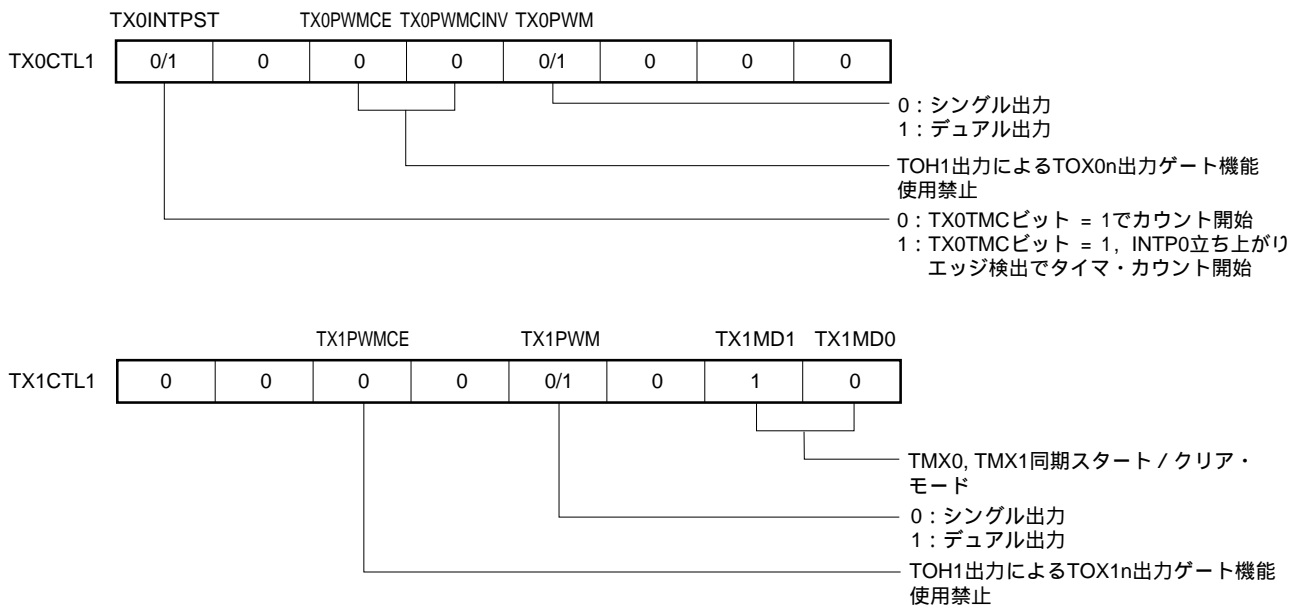
2. 16ビット・タイマX0のカウント・クロック

図6 - 33 PWM出力動作 (TMX0, TMX1同期スタート/クリア・モード) のレジスタ設定内容例

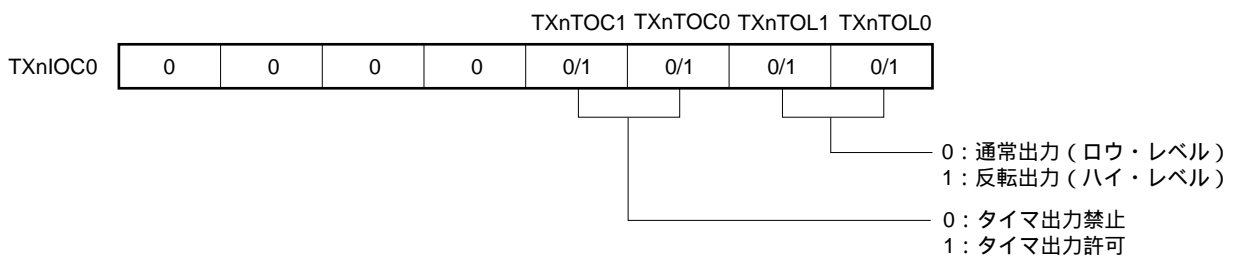
## (a) 16ビット・タイマX0動作制御レジスタ0



## (b) 16ビット・タイマXn動作制御レジスタ1

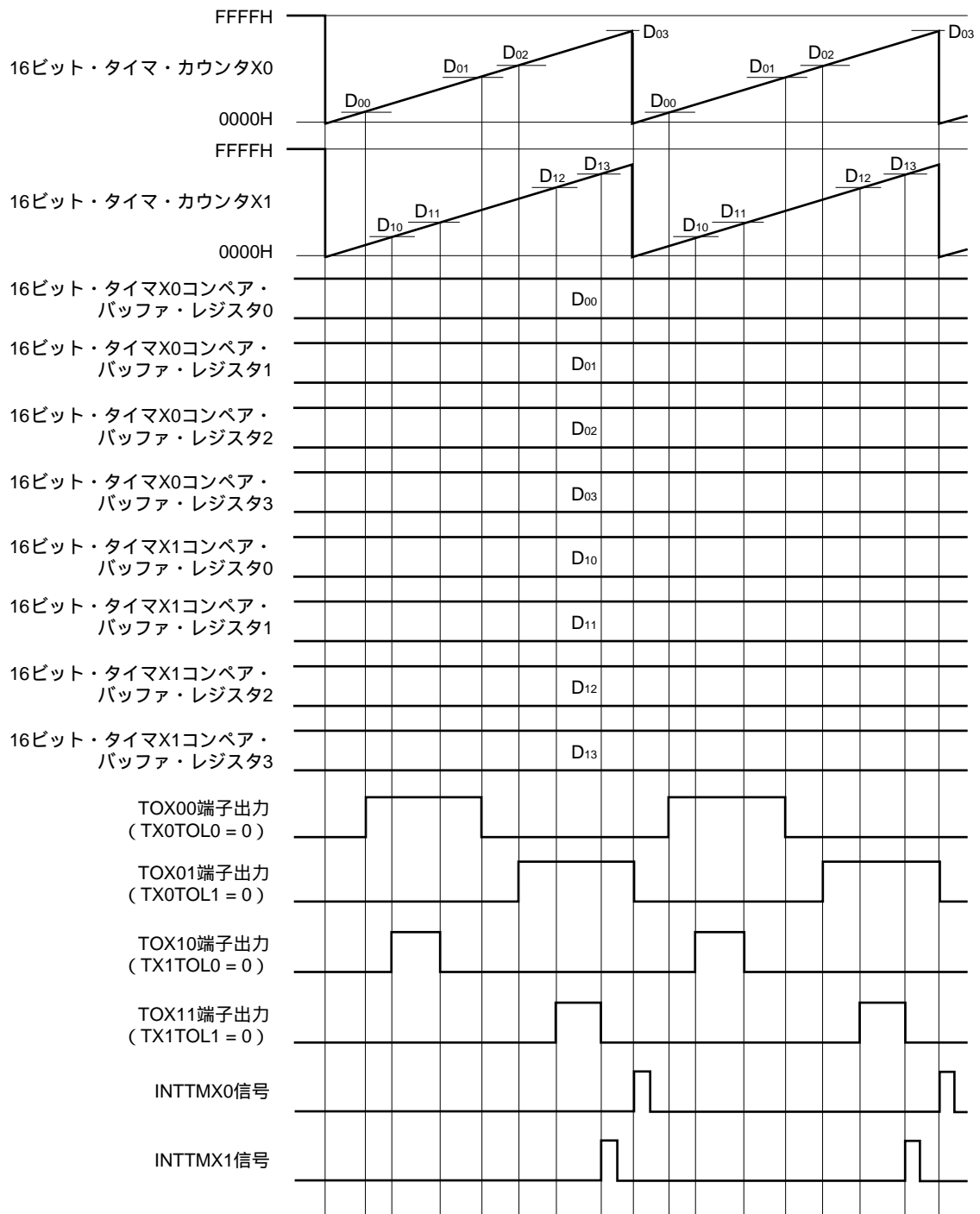


## (c) 16ビット・タイマXn出力制御レジスタ0



備考 n = 0, 1

図6 - 34 PWM出力タイミング (同期スタート/クリア・モード, TMX0デュアル出力, TMX1デュアル出力)



## (5) PWM出力動作 (TOH1出力がハイ・レベル期間中にTOX0nよりPWM出力)

8ビット・タイマH1と16ビット・タイマX0を組み合わせることにより、TOH1出力がハイ・レベルのときのみ、TOX0n端子より矩形波を出力します。

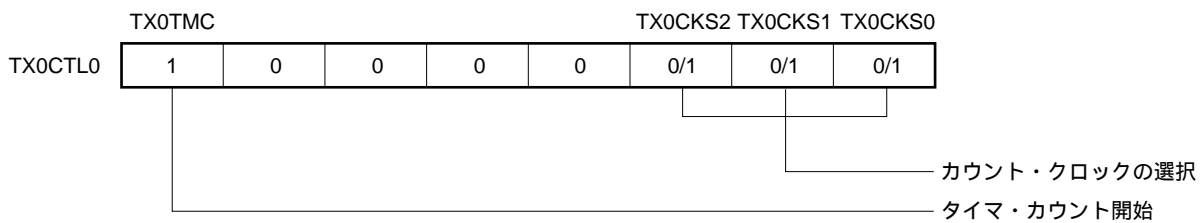
矩形波出力の設定については、(1)PWM出力動作(シングル出力)~(4)PWM出力動作(TMX0, TMX1同期スタート・モード)を参照してください。

備考1.  $n = 0, 1$

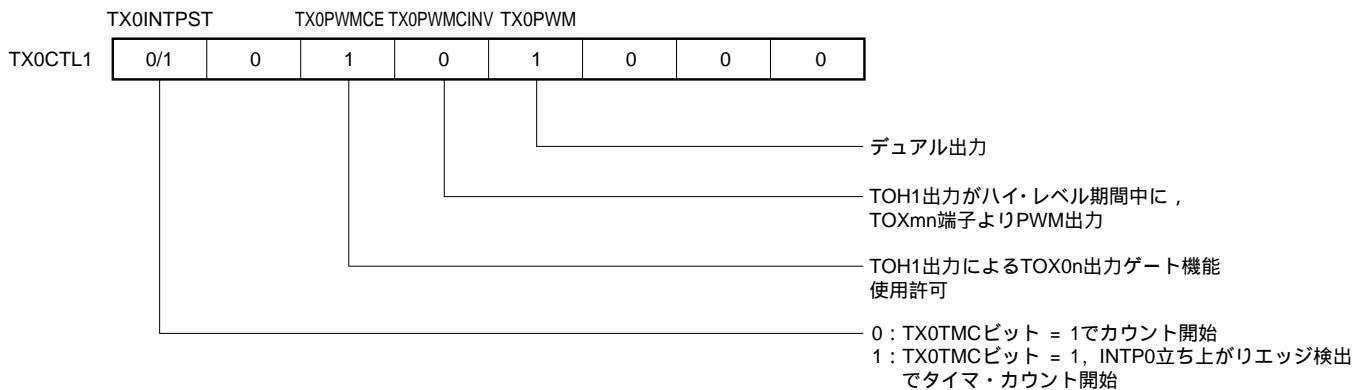
2. TOH1出力の設定については、第9章 8ビット・タイマH1を参照してください。

図6 - 35 PWM出力動作 (TMX0単体動作 (デュアル出力), TOH1出力がハイ・レベル期間中にTOX00, TOX01よりPWM出力) のレジスタ設定内容例

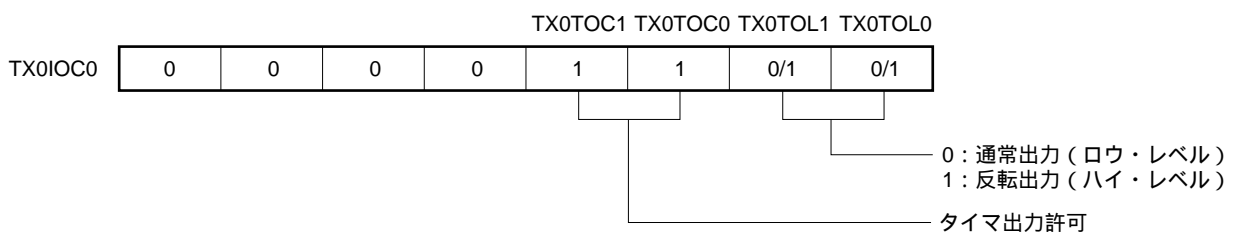
## (a) 16ビット・タイマX0動作制御レジスタ0



## (b) 16ビット・タイマX0動作制御レジスタ1

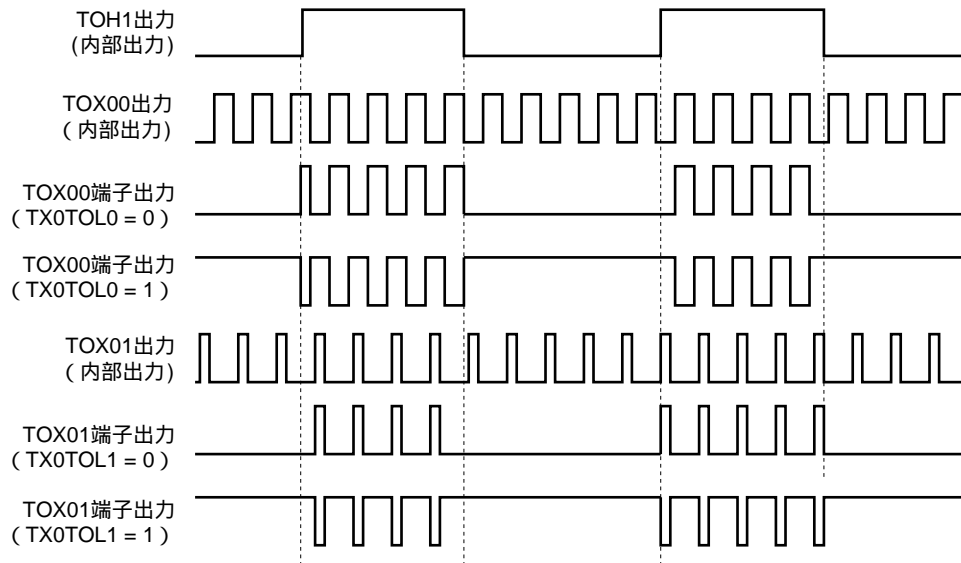


## (c) 16ビット・タイマX0出力制御レジスタ0



備考  $n = 0, 1, mn = 00, 01, 10, 11$

図6 - 36 PWM出力タイミング (TMX0単体動作 (デュアル出力), TOH1出力がハイ・レベル期間中に TOX00, TOX01よりPWM出力)



(6) PWM出力動作 (TOH1出力がロウ・レベル期間中にTOX0nよりPWM出力)

8ビット・タイマH1と16ビット・タイマX0を組み合わせることにより, TOH1出力がロウ・レベルのときのみ, TOX0n端子より矩形波を出力します。

矩形波出力の設定については, (1)PWM出力動作(シングル出力) ~ (4)PWM出力動作(TMXX0, TMXX1同期スタート・モード)を参照してください。

備考1.  $n = 0, 1$

2. TOH1出力の設定については, 第9章 8ビット・タイマH1を参照してください。

3. 上記の機能は, 78K0/FY2-Lでは使用できません。

78K0/FY2-Lでは, インターバル・タイマとしてのみ使用できます。

図6 - 37 PWM出力動作 (TMX0単体動作 (デュアル出力), TOH1出力がロウ・レベル期間中に TOX00, TOX01よりPWM出力) のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマX0動作制御レジスタ0

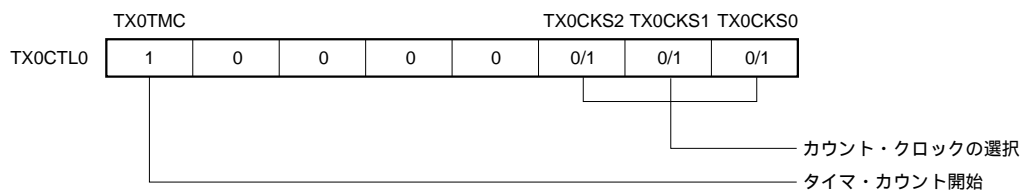
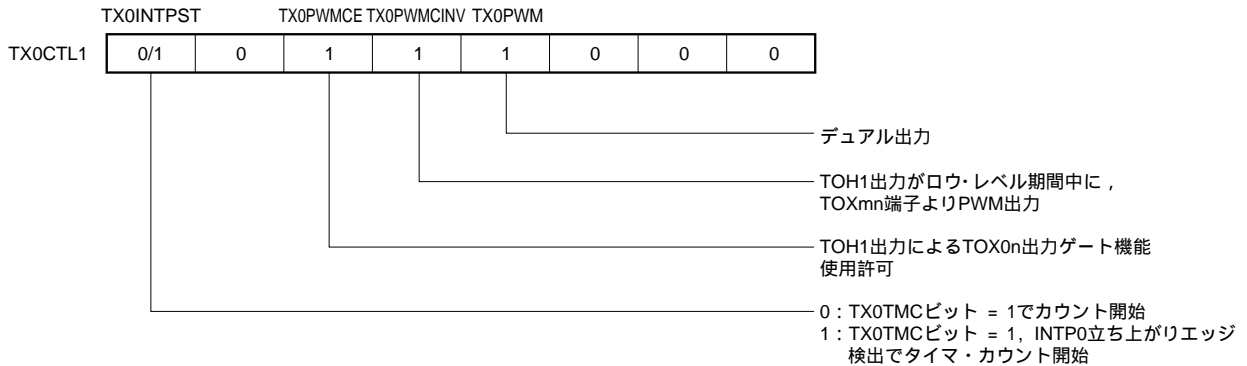
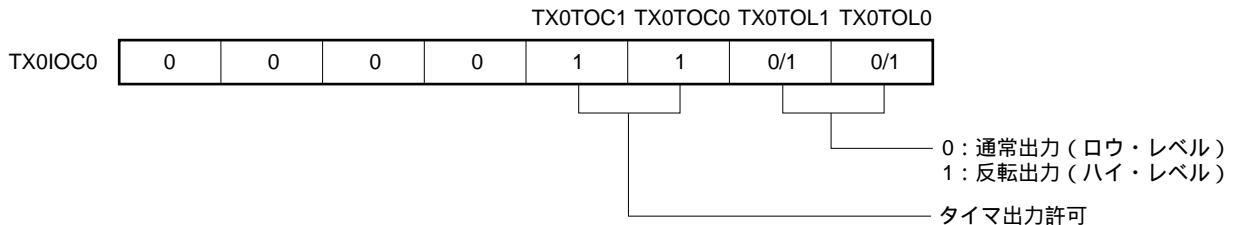


図6 - 37 PWM出力動作 (TMX0単体動作 (デュアル出力), TOH1出力がロウ・レベル期間中に TOX00, TOX01よりPWM出力) のレジスタ設定内容例 (2/2)

(b) 16ビット・タイマX0動作制御レジスタ1

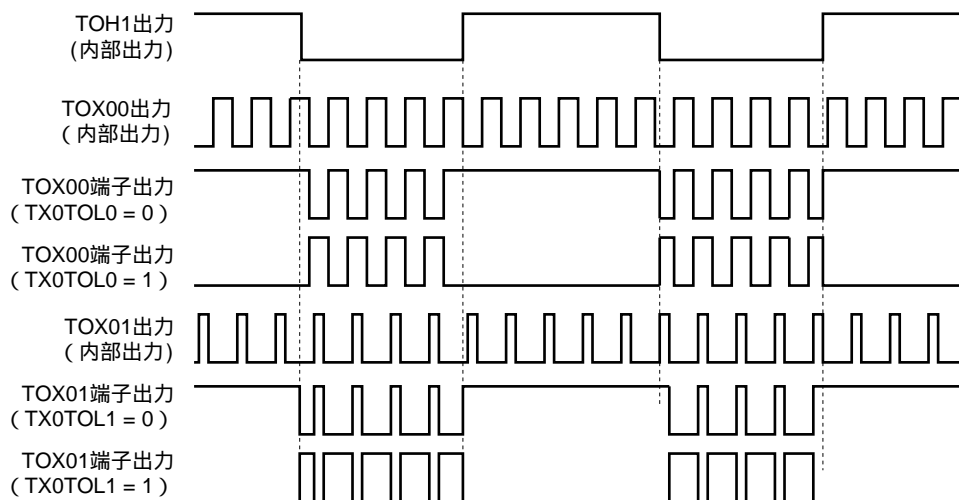


(c) 16ビット・タイマX0出力制御レジスタ0



備考 n = 0, 1, mn = 00, 01, 10, 11

図6 - 38 PWM出力タイミング (TMX0単体動作 (デュアル出力), TOH1出力がロウ・レベル期間中に TOX00, TOX01よりPWM出力)



## (7) PWM出力動作 (TOH1出力がハイ・レベル期間中にTOX1nよりPWM出力) (78K0/FB2-Lのみ)

8ビット・タイマH1と16ビット・タイマX1を組み合わせることにより、TOH1出力がハイ・レベルのときのみ、TOX1n端子より矩形波を出力します。

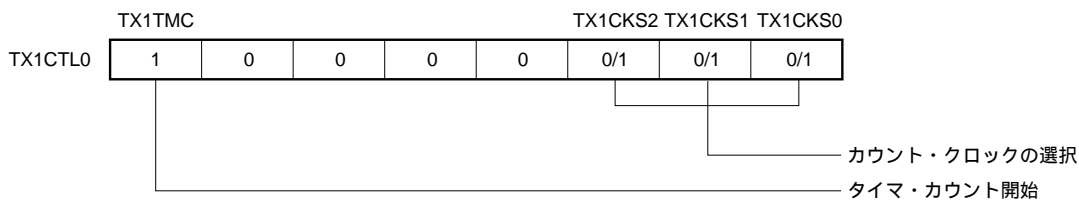
矩形波出力の設定については、(1)PWM出力動作(シングル出力)～(4)PWM出力動作(TMX0, TMX1同期スタート・モード)を参照してください。

備考1.  $n = 0, 1$

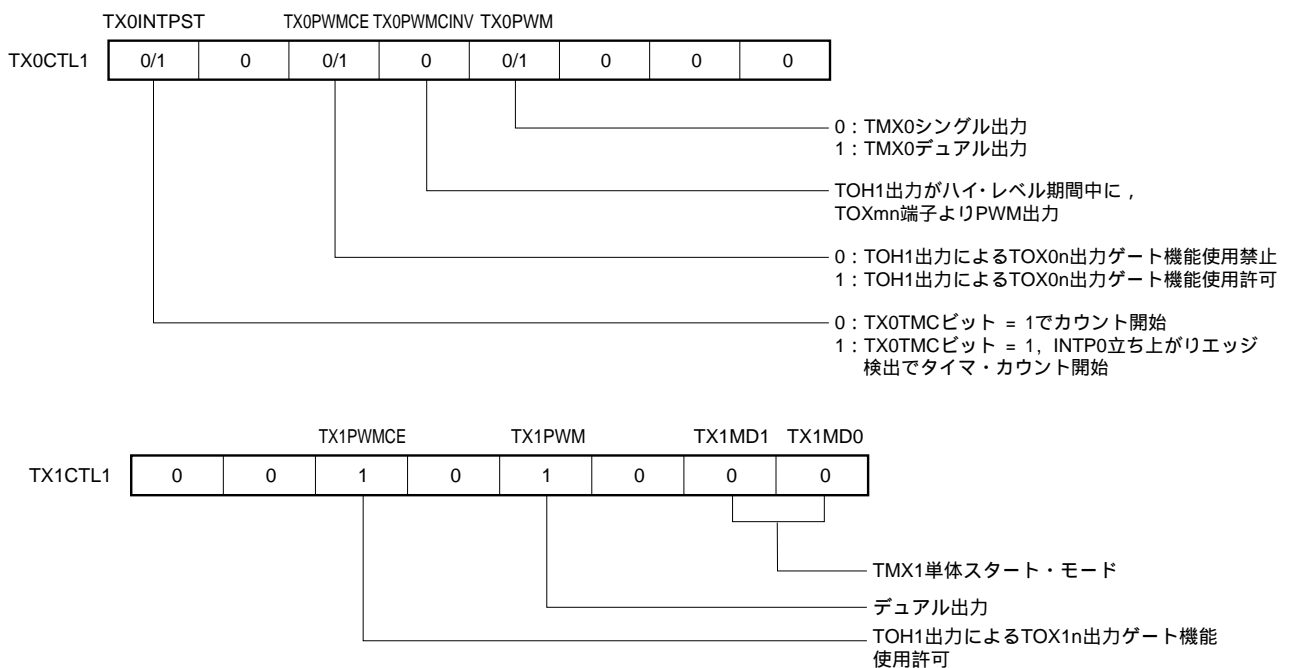
2. TOH1出力の設定については、第9章 8ビット・タイマH1を参照してください。

図6 - 39 PWM出力動作 (TMX1単体動作 (デュアル出力), TOH1出力がハイ・レベル期間中に TOX10, TOX11よりPWM出力) のレジスタ設定内容例 (1/2)

## (a) 16ビット・タイマX1動作制御レジスタ0



## (b) 16ビット・タイマXn動作制御レジスタ1



備考  $n = 0, 1, mn = 00, 01, 10, 11$

図6 - 39 PWM出力動作 (TMX1単体動作 (デュアル出力), TOH1出力がハイ・レベル期間中に  
TOX10, TOX11よりPWM出力) のレジスタ設定内容例 (2/2)

(c) 16ビット・タイマX1出力制御レジスタ0

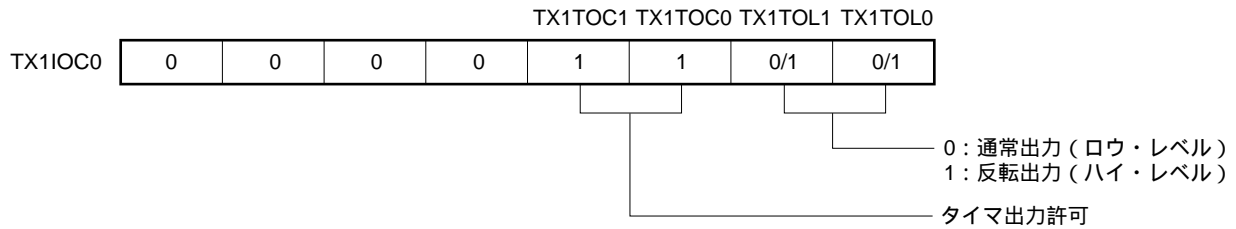
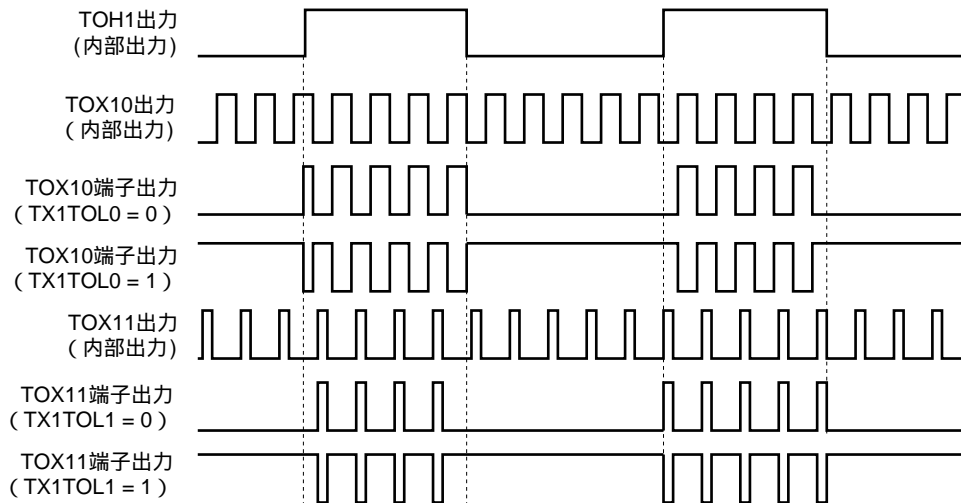


図6 - 40 PWM出力タイミング (TMX1単体動作 (デュアル出力), TOH1出力がハイ・レベル期間中に  
TOX10, TOX11よりPWM出力)





## (8) PWM出力動作 (TOH1出力がハイ・レベル期間中にTOX00, TOX01, TOX10, TOX11よりPWM出力)

## (78K0/FB2-Lのみ)

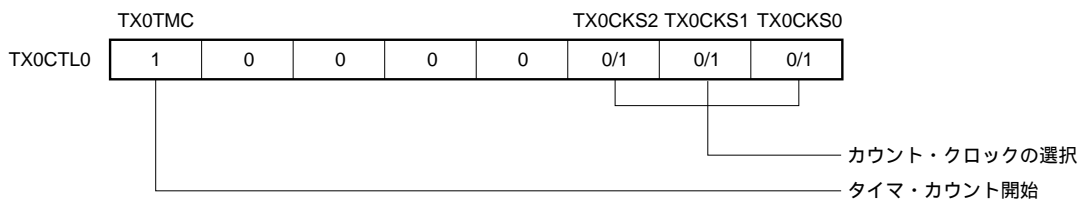
8ビット・タイマH1と16ビット・タイマX0, X1を組み合わせることにより, TOH1出力がハイ・レベルのときのみ, TOX00, TOX01, TOX10, TOX11端子より矩形波を出力します。

矩形波出力の設定については, (1)PWM出力動作(シングル出力) ~ (4)PWM出力動作(TMX0, TMX1同期スタート・モード)を参照してください。

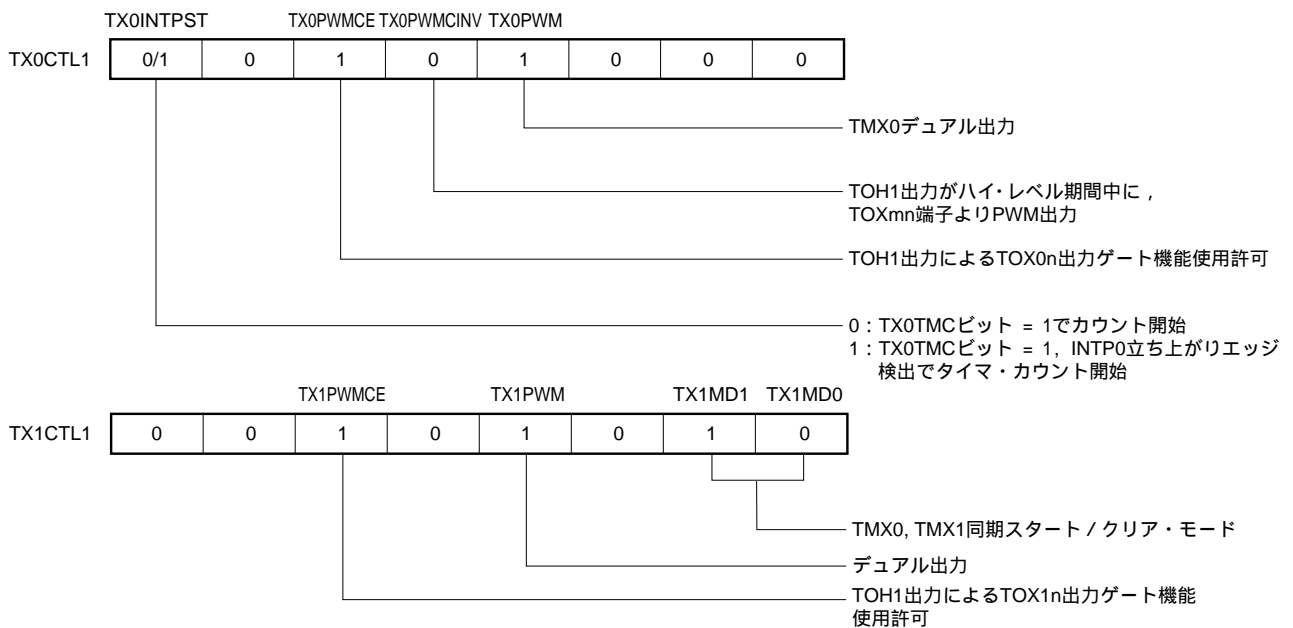
**備考** TOH1出力の設定については, 第9章 8ビット・タイマH1を参照してください。

図6 - 41 PWM出力動作 (TMX0, TMX1同期スタート/クリア・モード, TOH1出力がハイ・レベル期間中にTOX00, TOX01, TOX10, TOX11よりPWM出力) のレジスタ設定内容例 (1/2)

## (a) 16ビット・タイマX0動作制御レジスタ0



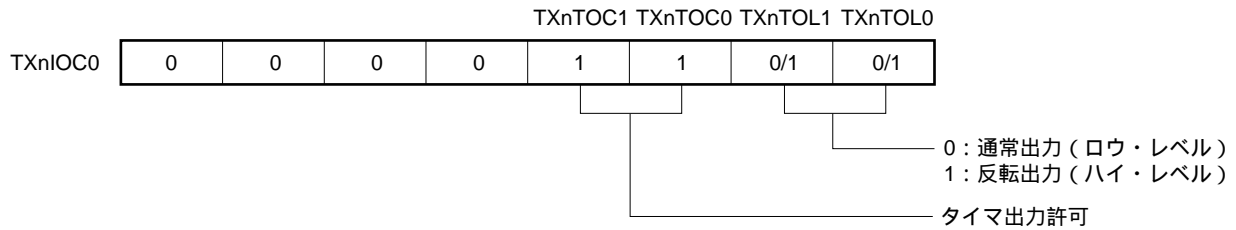
## (b) 16ビット・タイマXn動作制御レジスタ1



**備考** n = 0, 1, mn = 00, 01, 10, 11

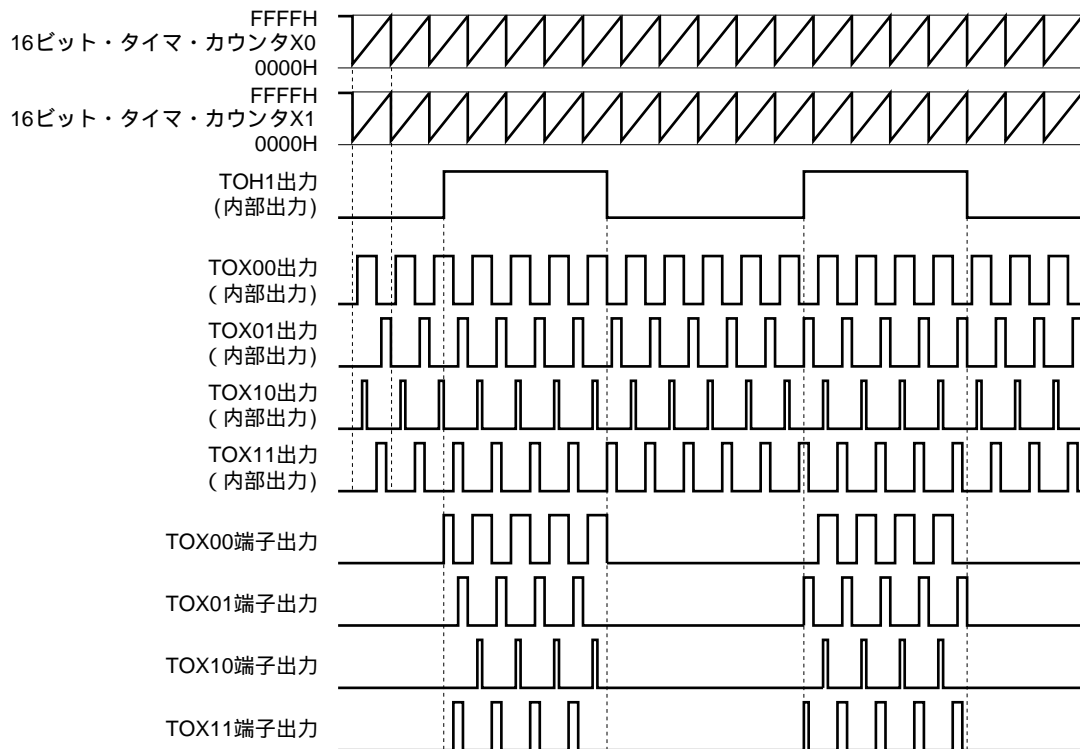
図6 - 41 PWM出力動作 (TMX0, TMX1同期スタート/クリア・モード, TOH1出力がハイ・レベル期間中に TOX00, TOX01, TOX10, TOX11よりPWM出力) のレジスタ設定内容例 (2/2)

(c) 16ビット・タイマXn出力制御レジスタ0



備考 n = 0, 1

図6 - 42 PWM出力タイミング (TMX0, TMX1同期スタート/クリア・モード, TOH1出力がハイ・レベル期間中に TOX00, TOX01, TOX10, TOX11よりPWM出力)



## 6.6 コンパレータ, INTP0連動機能

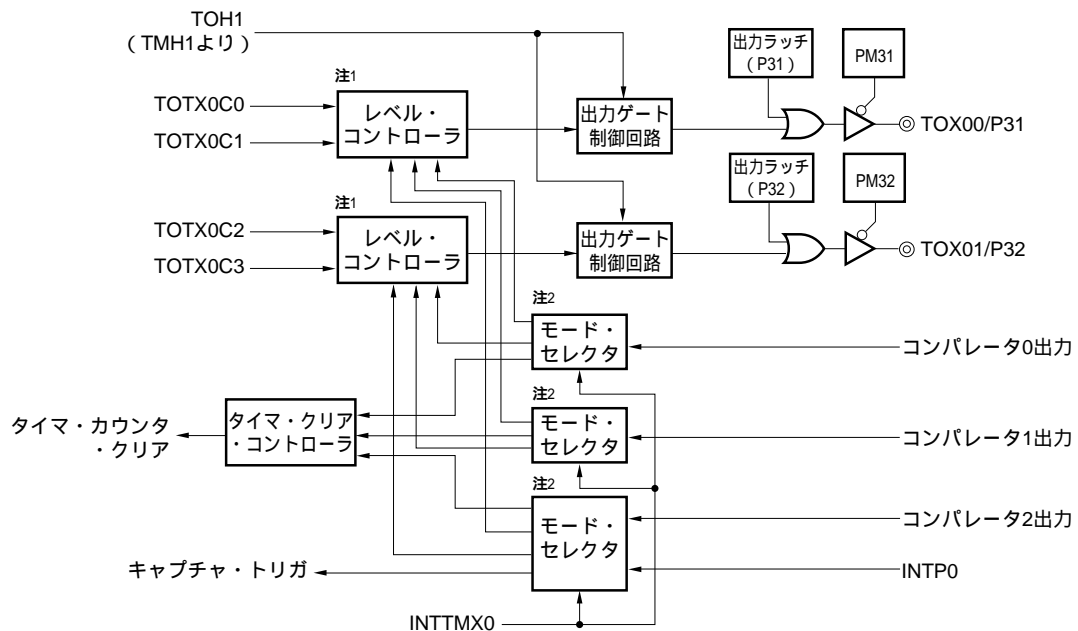
16ビット・タイマX0, X1は, コンパレータ0~2出力またはINTP0入力信号と連動して, CPUを介さずにPWM波形を制御することが可能です。

TMX0, TMX1とコンパレータ0~2, INTP0は, それぞれ次の組み合わせとなります。

- ・16ビット・タイマX0 (単体動作モード, 同期スタート・モード)<sup>注</sup> : CMP0, CMP1, CMP2, INTP0
- ・16ビット・タイマX1 (単体動作モード, 同期スタート・モード)<sup>注</sup> : CMP0, CMP1
- ・16ビット・タイマX0とX1 (同期スタート/クリア・モード)<sup>注</sup> : CMP2, INTP0

注 78K0/FB2-Lのみ可能

図6 - 43 16ビット・タイマX0の出力構成のブロック図



- 注1. レベル・コントローラでは, コンペア・レジスタ値とモード・セレクタ出力に応じて, タイマ出力を制御します。
2. モード・セレクタでは, コンパレータ出力やINTP0入力に応じて, タイマ出力のリセット (連動モード1, 3) やタイマ・カウンタのクリア (連動モード1, 2) を制御します。

図6 - 44 16ビット・タイマX1の出力構成のブロック図 (78K0/FB2-Lのみ)

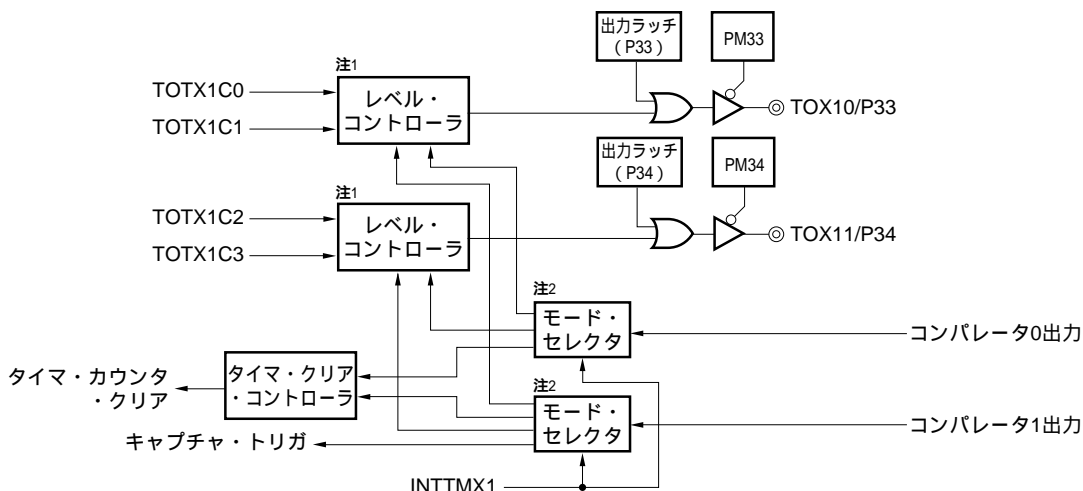
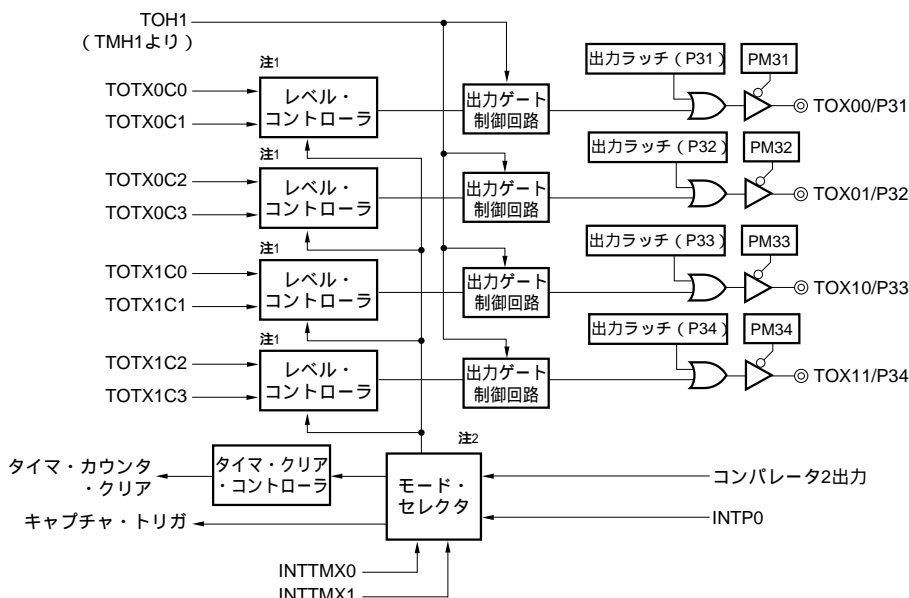


図6 - 45 16ビット・タイマX0とX1の出力構成のブロック図 (78K0/FB2-Lのみ)



- 注1. レベル・コントローラでは、コンペア・レジスタ値とモード・セレクタ出力に応じて、タイマ出力を制御します。
2. モード・セレクタでは、コンパレータ出力やINTP0入力に応じて、タイマ出力のリセット（連動モード1，3）やタイマ・カウンタのクリア（連動モード1，2）を制御します。

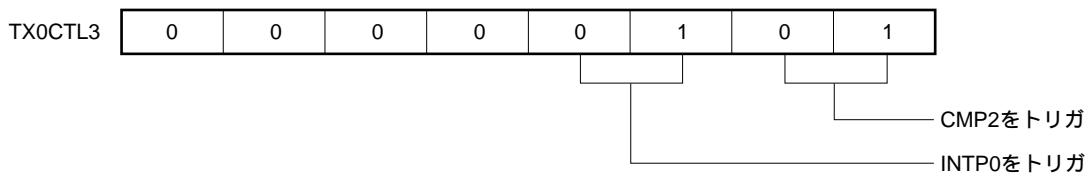
コンパレータの出力または外部割り込み入力（INTP0）により制御されるモードを次に示します。

(1) 連動モード1（タイマ・リセット・モード）

コンパレータ0～2出力またはINTP0入力が高レベル期間中、該当するタイマの出力をリセット状態にするモードです。検出信号が停止するとタイマをリスタートします。

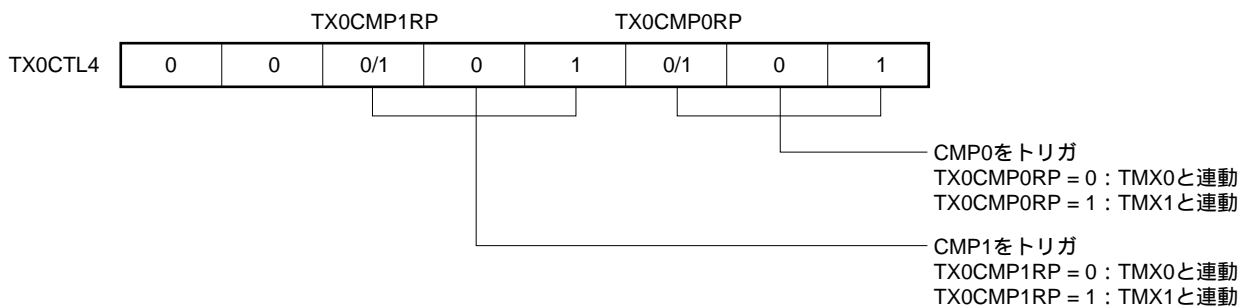
図6 - 46 連動モード1 (タイマ・リセット・モード) のレジスタ設定内容例

- ・ CMP2, INTP0をトリガとする場合



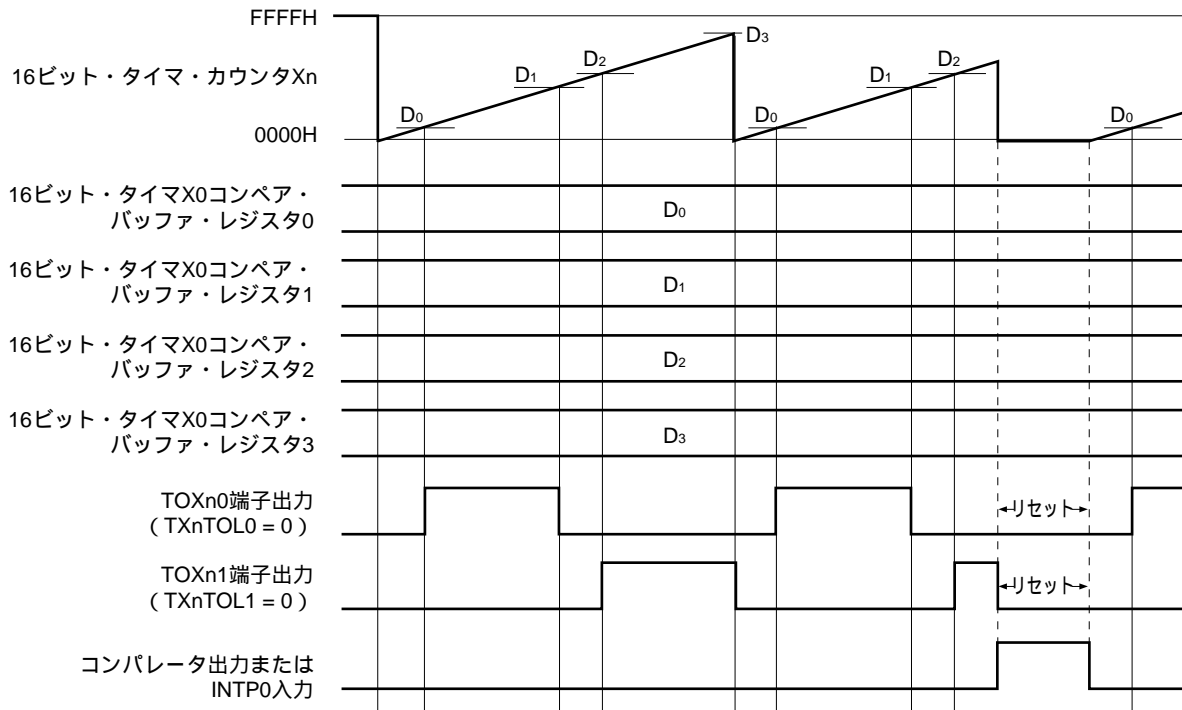
**備考** CMP2, INTP0どちらか1つと連動させたい場合、使用しない側のビットをすべて“0”にしてください。

- ・ CMP0, CMP1をトリガとする場合



**備考** CMP0, CMP1どちらか1つと連動させたい場合、使用しない側のビットをすべて“0”にしてください。

図6 - 47 連動モード1 (タイマ・リセット・モード) のタイミング



**備考** n = 0 : 78K0/FA2-L

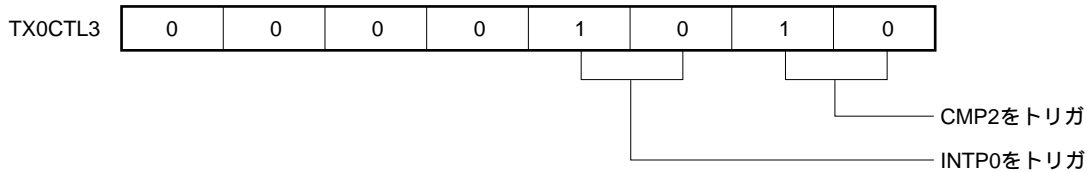
n = 0, 1 : 78K0/FB2-L

## (2) 連動モード2 (タイマ・リスタート・モード)

コンパレータ0~2出力またはINTP0入力の立ち上がりエッジ検出時に、該当するタイマをリスタートするモードです。

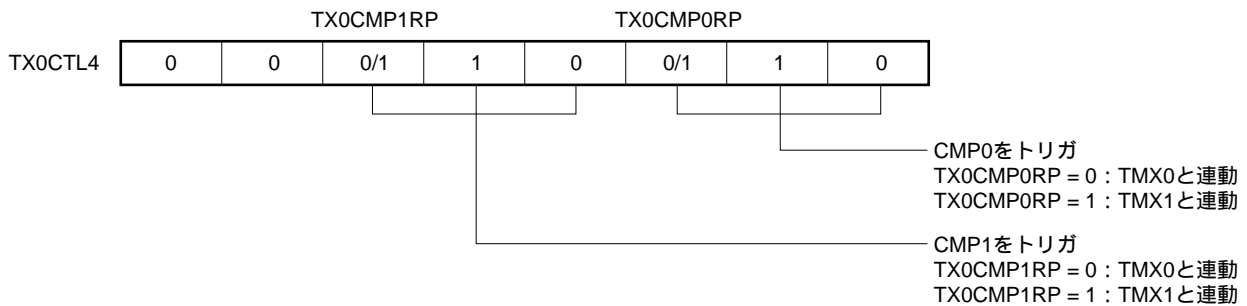
図6-48 連動モード2 (タイマ・リスタート・モード) のレジスタ設定内容例

## ・CMP2, INTP0をトリガとする場合



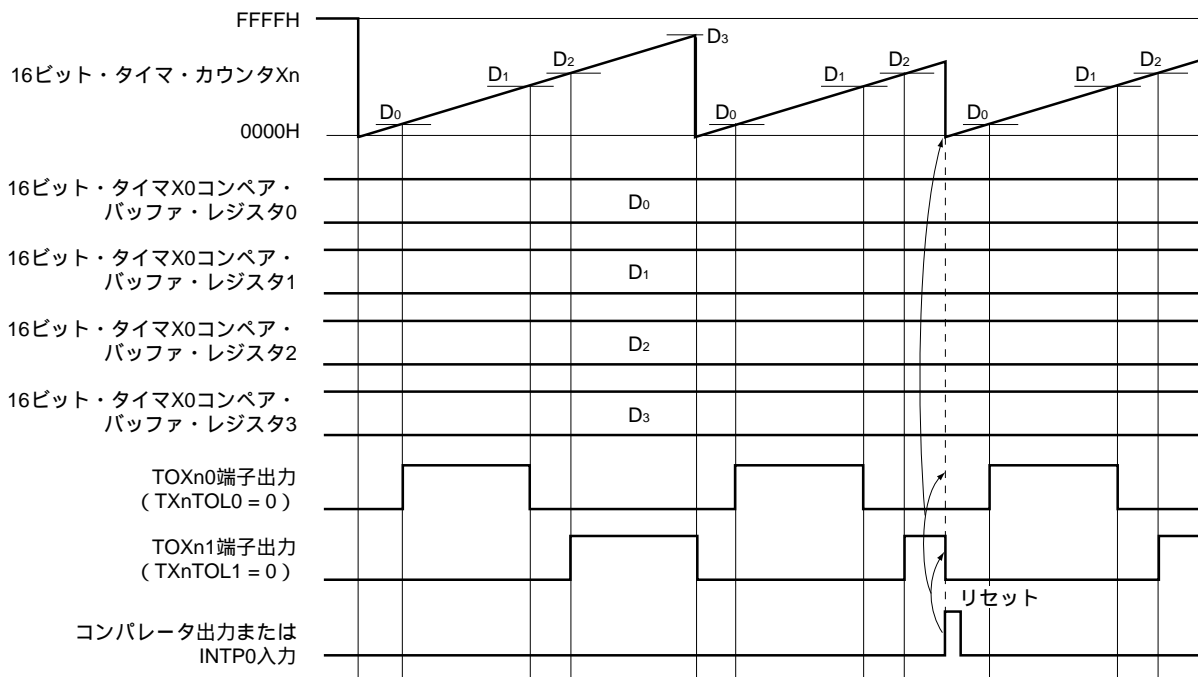
**備考** CMP2, INTP0どちらか1つと連動させたい場合、使用しない側のビットをすべて“0”にしてください。

## ・CMP0, CMP1をトリガとする場合



**備考** CMP0, CMP1どちらか1つと連動させたい場合、使用しない側のビットをすべて“0”にしてください。

図6-49 連動モード2 (タイマ・リスタート・モード) のタイミング



**備考** n = 0 : 78K0/FA2-L

n = 0, 1 : 78K0/FB2-L

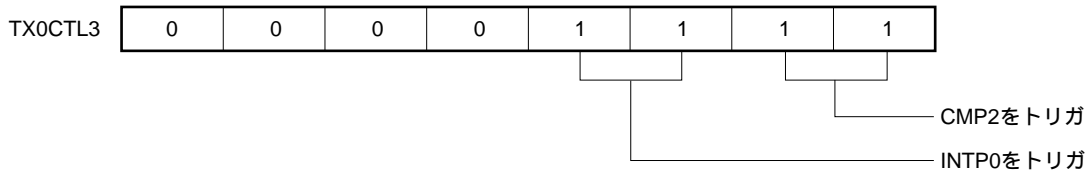
**(3) 連動モード3 (タイマ出力リセット・モード)**

コンパレータ0~2出力またはINTP0入力の立ち上がりエッジ検出時から次の割り込み発生時まで、該当するタイマの出力をリセット状態にするモードです。

**注意** TMX0, TMX1同期スタート/クリア・モードの場合、連動モード3に設定しないでください。

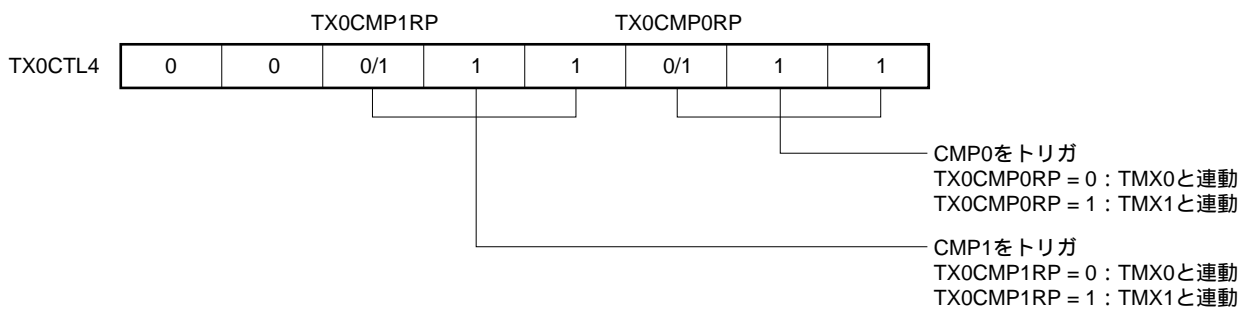
図6 - 50 連動モード3 (タイマ出力リセット・モード) のレジスタ設定内容例

- ・CMP2, INTP0をトリガとする場合



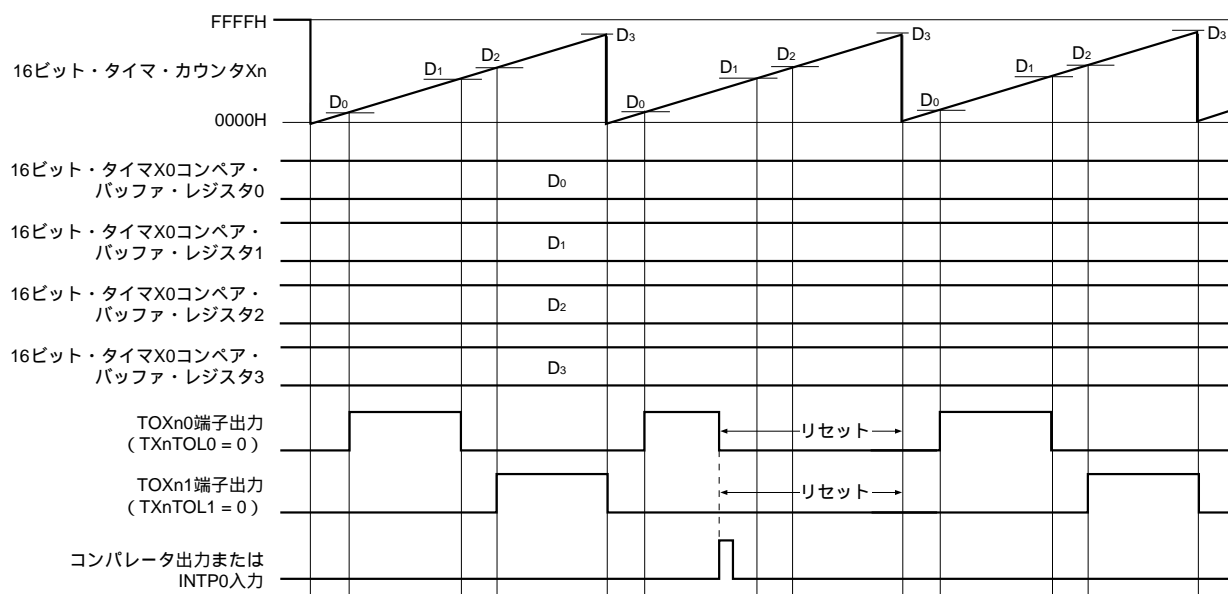
**備考** CMP2, INTP0どちらか1つと連動させたい場合、使用しない側のビットをすべて“0”にしてください。

- ・CMP0, CMP1をトリガとする場合



**備考** CMP0, CMP1どちらか1つと連動させたい場合、使用しない側のビットをすべて“0”にしてください。

図6 - 51 連動モード3 (タイマ出力リセット・モード) のタイミング



備考 n = 0 : 78K0/FA2-L

n = 0, 1 : 78K0/FB2-L



## (4) 複数の連動モードの組み合わせ

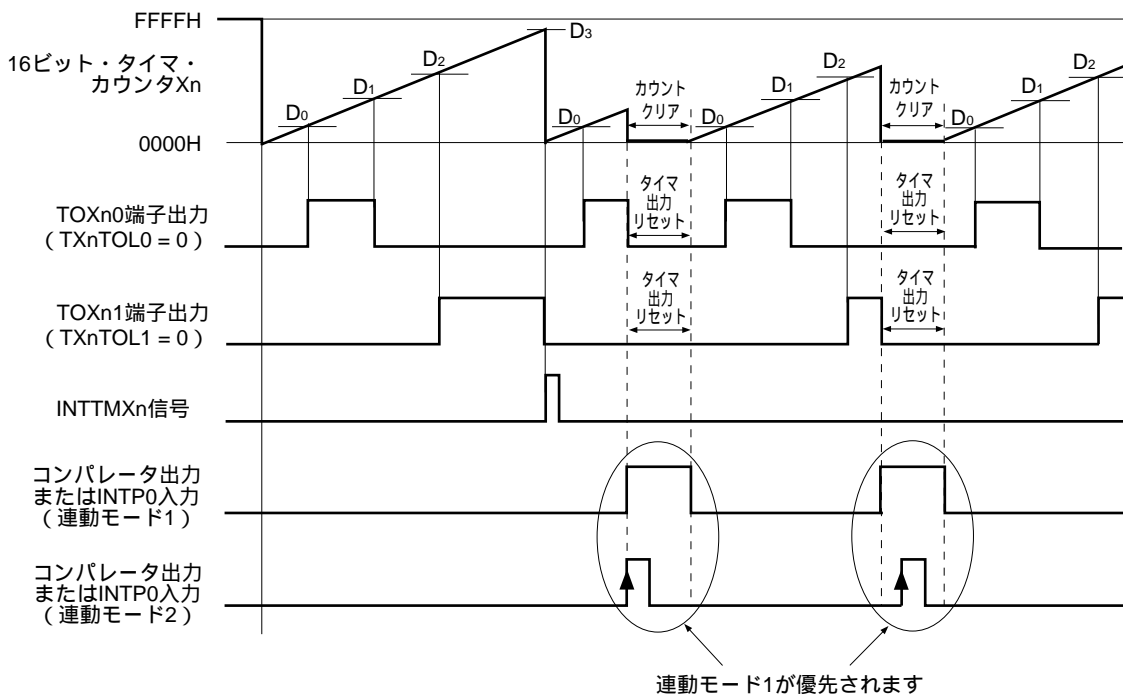
TMX0またはTMX1に複数の連動モードを設定した場合、連動モードの優先順位は、次のようになります。

連動モード1 > 連動モード2 > 連動モード3

## (a) 連動モード1と連動モード2の優先順位

連動モード1と連動モード2が同時に発生した場合、または連動モード1のタイマ・リセット中に連動モード2が発生した場合、連動モード1が有効となり、連動モード2は無効となります。

図6 - 52 連動モード1と連動モード2競合時のタイミング



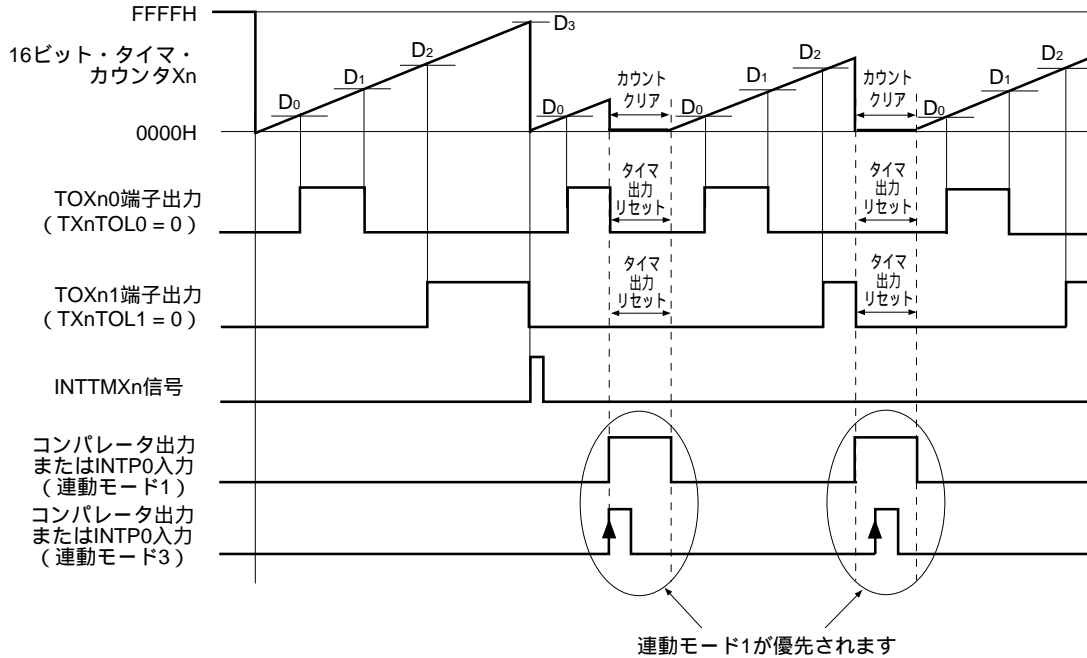
備考 n = 0 : 78K0/FA2-L

n = 0, 1 : 78K0/FB2-L

## (b) 連動モード1と連動モード3の優先順位

連動モード1と連動モード3が同時に発生した場合、または連動モード1のタイマ・リセット中に連動モード3が発生した場合、連動モード1が有効となり、連動モード3は無効となります。

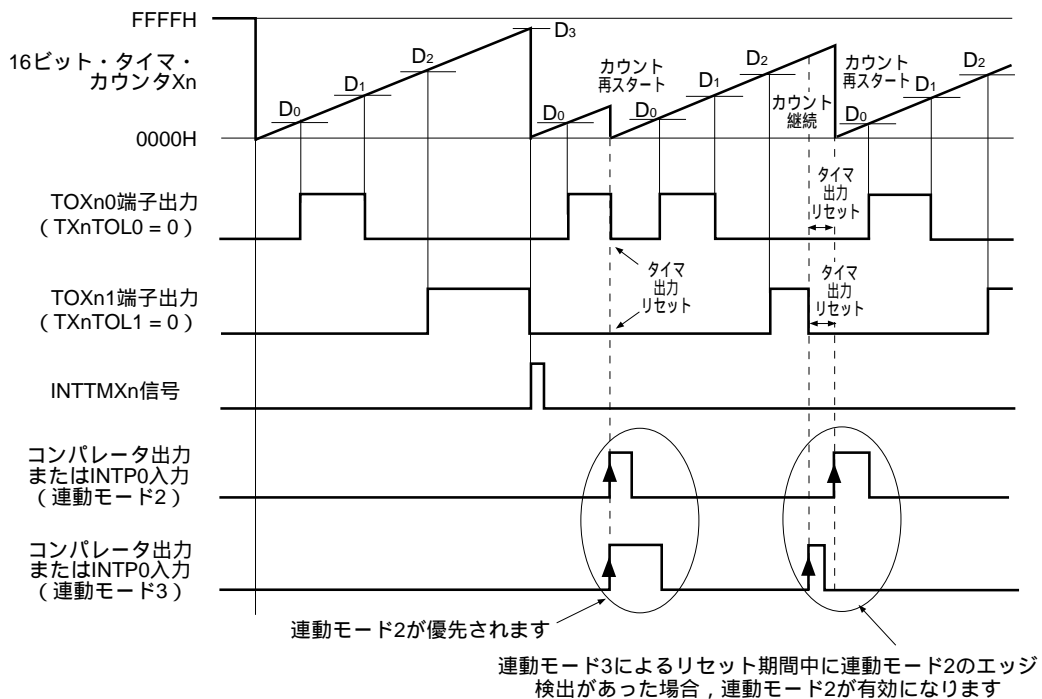
図6-53 連動モード1と連動モード3競合時のタイミング



## (c) 連動モード2と連動モード3の優先順位

連動モード2と連動モード3が同時に発生した場合、連動モード2が有効となり、連動モード3は無効となります。

図6-54 連動モード2と連動モード3競合時のタイミング



備考 n = 0 : 78K0/FA2-L

n = 0, 1 : 78K0/FB2-L

## 6.7 ハイ・インピーダンス出力制御機能

外部割り込み入力 (INTP0) またはコンパレータ出力 (INTCMP0-INTCMP2) の発生により、16ビット・タイマ X0, X1 の出力をハイ・インピーダンス状態に変更し、PWM出力の緊急停止などの機能を実現します。

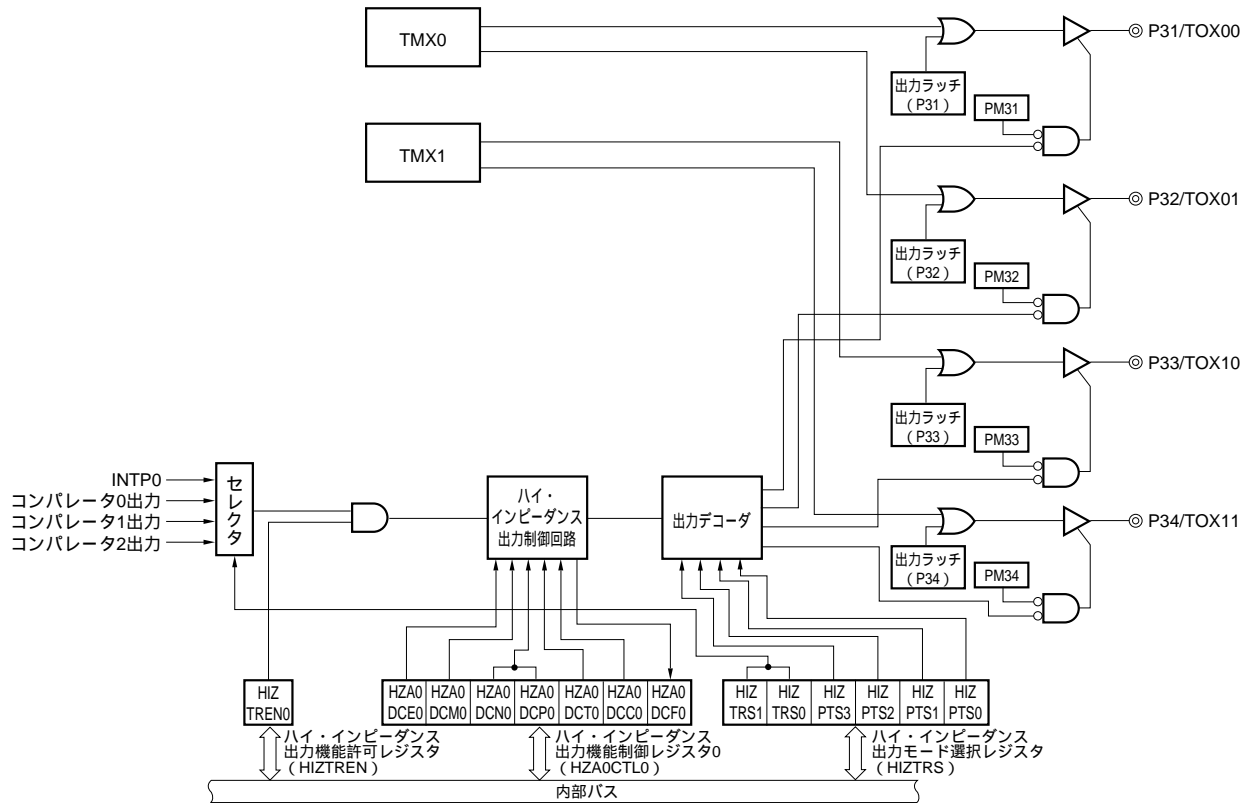
### 6.7.1 ハイ・インピーダンス出力制御回路の構成

ハイ・インピーダンス出力制御回路は、次のハードウェアで構成されています。

表6-4 ハイ・インピーダンス出力制御回路の構成

項目	構成
制御レジスタ	ハイ・インピーダンス出力機能許可レジスタ (HIZTREN) ハイ・インピーダンス出力モード選択レジスタ (HIZTRS) ハイ・インピーダンス出力機能制御レジスタ0 (HZA0CTL0)

図6-55 ハイ・インピーダンス出力制御回路のブロック図



## 6.7.2 ハイ・インピーダンス出力制御回路を制御するレジスタ

ハイ・インピーダンス出力制御回路を制御するレジスタを次に示します。

- ・ハイ・インピーダンス出力機能許可レジスタ (HIZTREN)
- ・ハイ・インピーダンス出力モード選択レジスタ (HIZTRS)
- ・ハイ・インピーダンス出力機能制御レジスタ0 (HZA0CTL0)

### (1) ハイ・インピーダンス出力機能許可レジスタ (HIZTREN)

HIZTRENは、ハイ・インピーダンス出力制御に使用するトリガ信号の入力を許可/禁止するレジスタです。

HIZTRENは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図6 - 56 ハイ・インピーダンス出力機能許可レジスタ (HIZTREN) のフォーマット

アドレス : FF6EH    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
HIZTREN	HIZTREN	0	0	0	0	0	0	0
	0							
HIZTREN	ハイ・インピーダンス出力制御に使用するトリガ信号の入力制御							
	0	入力禁止						
	1	入力許可						

## (2) ハイ・インピーダンス出力モード選択レジスタ (HIZTRS)

HIZTRSは、ハイ・インピーダンス制御のトリガとして使用する信号の選択、およびハイ・インピーダンス出力状態にする端子の選択を行うレジスタです。

HIZTRSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図6 - 57 ハイ・インピーダンス出力モード選択レジスタ (HIZTRS) のフォーマット

アドレス : FF6FH リセット時 : 00H R/W

略号	[7]	[6]	5	4	[3]	[2]	[1]	[0]
HIZTRS	HIZTRS1	HIZTRS0	0	0	HIZPTS3 <sup>注</sup>	HIZPTS2 <sup>注</sup>	HIZPTS1	HIZPTS0

HIZTRS1	HIZTRS0	トリガとして使用する信号の選択
0	0	INTP0
0	1	コンパレータ0出力
1	0	コンパレータ1出力
1	1	コンパレータ2出力

HIZPTS3 <sup>注</sup>	P34/TOX11端子の制御
0	通常出力
1	ハイ・インピーダンス出力として使用可

HIZPTS2 <sup>注</sup>	P33/TOX10端子の制御
0	通常出力
1	ハイ・インピーダンス出力として使用可

HIZPTS1	P32/TOX01端子の制御
0	通常出力
1	ハイ・インピーダンス出力として使用可

HIZPTS0	P31/TOX00端子の制御
0	通常出力
1	ハイ・インピーダンス出力として使用可

注 78K0/FB2-Lのみ

## (3) ハイ・インピーダンス出力機能制御レジスタ0 (HZA0CTL0)

HZA0CTL0は、出力バッファのハイ・インピーダンス制御をするレジスタです。

HZA0CTL0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図6-58 ハイ・インピーダンス出力機能制御レジスタ0 (HZA0CTL0) のフォーマット (1/2)

アドレス: FF78H リセット時: 00H R/W<sup>注1</sup>

略号	7	6	5	4	3	2	1	0
HZA0CTL0	HZA0 DCE0	HZA0 DCM0	HZA0 DCN0	HZA0 DCP0	HZA0 DCT0	HZA0 DCC0	0	HZA0 DCF0

HZA0 DCE0	ハイ・インピーダンス出力の制御
0	ハイ・インピーダンス出力制御動作禁止。対象端子出力可能。
1	ハイ・インピーダンス出力制御動作許可

HZA0 DCM0 <sup>注2</sup>	HZA0DCC0ビットによるハイ・インピーダンス解除の条件
0	使用する信号に関係なく、HZA0DCC0ビットの設定が有効
1	使用する信号が異常検出レベル(アクティブ・レベル)を保持している期間は、HZA0DCC0ビットの設定が無効

HZA0 DCN0 <sup>注2</sup>	HZA0 DCP0 <sup>注2</sup>	ハイ・インピーダンス制御時の有効エッジの指定 <sup>注3, 4</sup>
0	0	有効エッジなし (INTP0またはコンパレータ出力によるHZA0DCF0ビットのセット(1)禁止)
0	1	使用する信号の立ち上がりエッジを有効(立ち上がりエッジで異常検出)
1	0	使用する信号の立ち下がりエッジを有効(立ち下がりエッジで異常検出)
1	1	設定禁止

注1. ビット0はRead Onlyです。

- HZA0DCM0, HZA0DCN0, HZA0DCP0ビットを書き換える場合は、HZA0DCE0 = 0のときに行ってください。
- INTP0, INTCMP0-INTCMP2の割り込み有効エッジ指定は、18.3(5)外部割り込み立ち上がりエッジ許可レジスタ0, 1 (EGPCTL0, EGPCTL1)、外部割り込み立ち下がりエッジ許可レジスタ0, 1 (EGNCTL0, EGNCTL1)を参照してください。
- ハイ・インピーダンス出力制御は、動作許可(HZA0DCE0 = 1)後に有効エッジを検出した場合に行われます。したがって、動作許可する時点で、使用するトリガ信号がアクティブ・レベルである場合は、ハイ・インピーダンス出力制御は行われません。

図6 - 58 ハイ・インピーダンス出力機能制御レジスタ0 (HZA0CTL0) のフォーマット (2/2)

HZA0 DCT0 <sup>注1-4</sup>	ハイ・インピーダンス出力トリガ・ビット
0	非動作
1	対象端子をハイ・インピーダンス出力状態にし、HZA0DCF0ビットをセット(1)

HZA0 DCC0 <sup>注2-6</sup>	ハイ・インピーダンス出力制御クリア・ビット
0	非動作
1	対象端子を出力許可状態にし、HZA0DCF0ビットをクリア(0)

HZA0 DCF0	ハイ・インピーダンス出力状態フラグ
0	対象端子が出力可能状態 ・ HZA0DCE0 = 0のときにクリア(0) ・ HZA0DCC0 = 1のときにクリア(0)
1	対象端子がハイ・インピーダンス出力状態 ・ HZA0DCT0 = 1のときにセット(1) ・ トリガ信号から異常を示すエッジを検出(HZA0DCN0, HZA0DCP0ビットで設定した有効エッジを検出)した場合にセット(1)

- 注1. 使用するトリガ信号から異常を示すエッジを検出(HZA0DCN0, HZA0DCP0ビットで設定した有効エッジを検出)した場合、HZA0DCT0ビットをセット(1)しても、無効となります。
2. HZA0DCE0 = 0のときに、HZA0DCT0, HZA0DCC0ビットをセット(1)しても、無効となります。
3. HZA0DCT0, HZA0DCC0ビットは、リードすると0が読み出されます。
4. HZA0DCT0ビットとHZA0DCC0ビットに1を同時に設定しないでください。
5. HZA0DCM0 = 0のときに、HZA0DCC0ビットをセット(1)すると、トリガとして使用する信号に関わらず、対象端子のハイ・インピーダンス出力状態が解除されます。
6. HZA0DCM0 = 1のときに、トリガとして使用する信号から異常を示すエッジを検出(HZA0DCN0, HZA0DCP0ビットで設定した有効エッジを検出)した場合、HZA0DCC0ビットをセット(1)しても、無効となります。

### 6.7.3 ハイ・インピーダンス出力制御回路の設定手順

#### (1) INTP0入力, コンパレータ0~2出力の有効エッジ検出により, ハイ・インピーダンス出力状態に移行する場合

HIZTRS1, HSTRS0, HIZPTS3-HIZPTS0ビットの設定(トリガ要因とハイ・インピーダンス対象端子を選択)

HZA0DCM0, HZA0DCN0, HZA0DCP0ビットの設定(ハイ・インピーダンスの解除条件と有効エッジを選択)

HIZTREN0ビットをセット(1)(トリガ信号の入力許可)

HZA0DCE0ビットをセット(1)(ハイ・インピーダンス出力制御動作許可)

#### (2) ハイ・インピーダンス出力制御動作許可後に, 設定内容を変更する場合

HZA0DCE0ビットをクリア(0)(ハイ・インピーダンス出力制御動作禁止)

HIZTREN0ビットをクリア(0)(トリガ信号の入力禁止)

HIZTRS1, HSTRS0, HIZPTS3-HIZPTS0ビットを変更(トリガ要因とハイ・インピーダンス対象端子を変更)

HZA0DCM0, HZA0DCN0, HZA0DCP0ビットの設定(ハイ・インピーダンスの解除条件と有効エッジを選択)

HIZTREN0ビットをセット(1)(トリガ信号の入力を再許可)

HZA0DCE0ビットをセット(1)(ハイ・インピーダンス出力制御動作を再許可)

#### (3) 端子がハイ・インピーダンス出力状態で, 出力を再開する場合

HZA0DCM0 = 1のとき, 使用するトリガの有効エッジを検出し, トリガ信号がインアクティブ・レベル状態になってから, HZA0DCC0ビットをセット(1)しないと, インピーダンス出力状態を解除できません。

HZA0DCM0 = 0のときは, トリガ信号のレベルに関係なく, HZA0DCC0ビットをセット(1)すると, インピーダンス出力状態が解除されます。

##### (a) HZA0DCM0 = 1のとき

HZA0DCC0ビットをセット(1)(ハイ・インピーダンス状態の解除命令信号発生)

HZA0DCF0ビットをリードし, フラグの状態を確認

HZA0DCF0 = 1ならば, の操作に戻る。トリガ信号のレベル確認が必要。

HZA0DCF0 = 0ならば, 端子出力可能

##### (b) HZA0DCM0 = 0のとき

- ・ HZA0DCC0ビットをセット(1)(ハイ・インピーダンス状態の解除命令信号発生 端子出力可能)

**注意** トリガ信号がインアクティブ・レベルで, HZA0DCC0ビットをセット(1)するタイミングとトリガ信号の有効エッジが検出されるタイミングが一致した場合, HZA0DCC0ビットのセット(1)が優先されることがあります。



**(4) HZA0DCT0ビットにより、ハイ・インピーダンス出力状態に移行する場合**

HZA0DCT0ビットによって、端子をハイ・インピーダンス出力状態にするためには、トリガ信号がインアクティブ・レベル状態のときに、HZA0DCT0ビットをセット(1)する必要があります。ただし、トリガ信号を使用しない(HZA0DCN0 = HZA0DCP0 = 0)場合は、HZA0DCT0ビットをセット(1)することにより、ハイ・インピーダンス出力状態に移行します。

**(a) HZA0DCN0 = 0, HZA0DCP0 = 1またはHZA0DCN0 = 1, HZA0DCP0 = 0のとき**

HZA0DCT0ビットをセット(1) (ハイ・インピーダンス出力命令信号発生)

HZA0DCF0ビットをリードし、フラグの状態を確認

HZA0DCF0 = 0ならば、 の操作に戻る。トリガ信号のレベル確認が必要。

HZA0DCF0 = 1ならば、ハイ・インピーダンス出力状態

**(b) HZA0DCN0 = HZA0DCP0 = 0のとき**

- ・ HZA0DCT0ビットをセット(1) (ハイ・インピーダンス出力命令信号発生 ハイ・インピーダンス出力状態)

## 第7章 16ビット・タイマ/イベント・カウンタ00

### 7.1 16ビット・タイマ/イベント・カウンタ00の機能

16ビット・タイマ/イベント・カウンタ00は、78K0/Fx2-Lマイクロコントローラ的全製品に搭載されています。16ビット・タイマ/イベント・カウンタ00には、次のような機能があります。

#### (1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生します。

#### (2) 方形波出力

任意の周波数の方形波出力が可能です。

#### (3) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

#### (4) ワンショット・パルス出力

出力パルス幅を任意に設定できるワンショット・パルスを出力できます。

#### (5) PPG出力

周波数と出力パルス幅を任意に設定できる矩形波を出力できます。

#### (6) パルス幅測定

外部から入力される信号のパルス幅を測定できます。

## 7.2 16ビット・タイマ/イベント・カウンタ00の構成

16ビット・タイマ/イベント・カウンタ00は、次のハードウェアで構成されています。

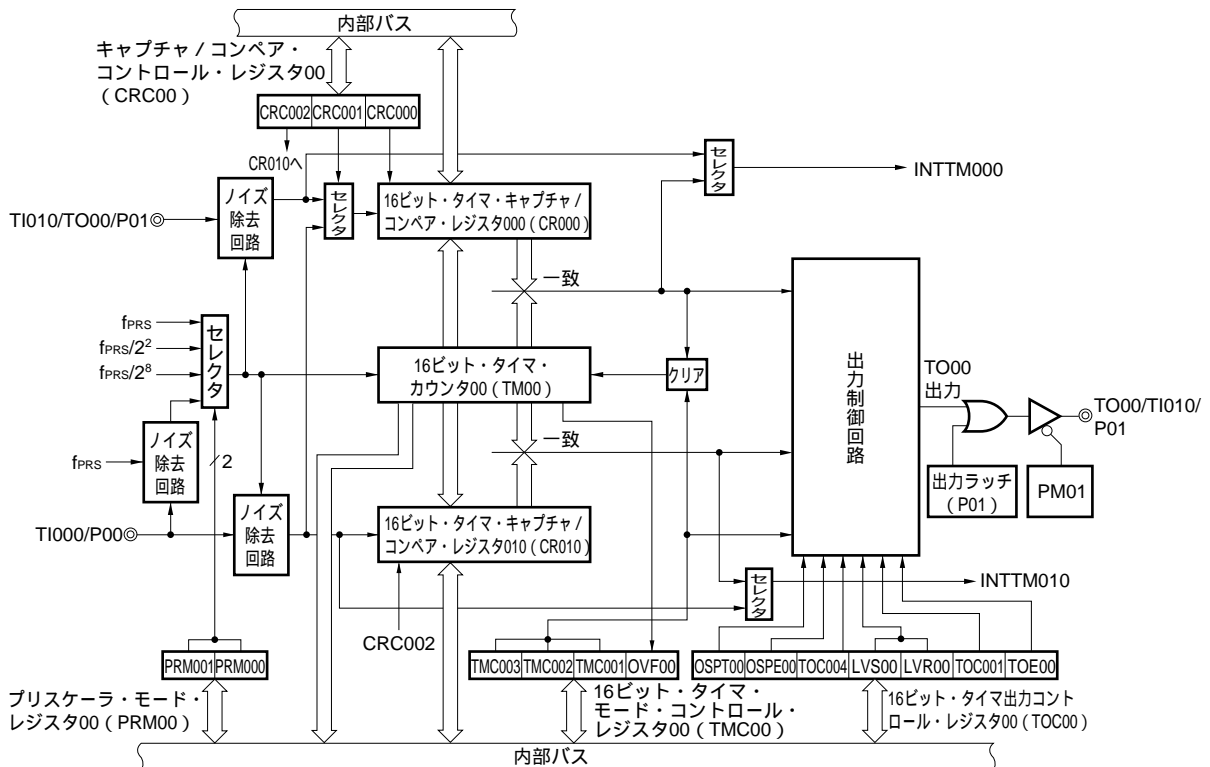
表7-1 16ビット・タイマ/イベント・カウンタ00の構成

項目	構成
タイマ/カウンタ	16ビット・タイマ・カウンタ00 (TM00)
レジスタ	16ビット・タイマ・キャプチャ/コンペア・レジスタ000, 010 (CR000, CR010)
タイマ入力	TI000, TI010
タイマ出力	TO00, 出力制御回路
制御レジスタ	16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00) プリスケアラ・モード・レジスタ00 (PRM00) ポート兼用切り替え制御レジスタ (MUXSEL) <sup>注</sup> ポート・モード・レジスタ0 (PM0) ポート・レジスタ0 (P0)

注 78K0/FB2-Lのみ

図7-1にブロック図を示します。

図7-1 16ビット・タイマ/イベント・カウンタ00のブロック図



備考1. 78K0/FY2-L, 78K0/FA2-L: TI000/INTP0/P00, TI010/TO00/P01

78K0/FB2-L: TI000/INTP0/P00, TI010/TO00/P01, <TI000>/P121/X1/TOOLC0/<INTP0>

備考2. 備考1の<>内の機能は、入力切り替え制御レジスタ (MUXSEL) の設定により割り当て可能です。

注意1. P01端子はTI010有効エッジとタイマ出力 (TO00) を同時に使用できません。どちらかの機能を選択して使用してください。

2. 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット3, 2 (TMC003, TMC002) = 00に設定したタイミングとキャプチャ・トリガの入力が競合した場合、キャプチャ・データは不定となります。

3. キャプチャ・モードからコンペア・モードに変更する場合は、いったんTMC003, TMC002ビット = 00にしてから、設定を変更してください。

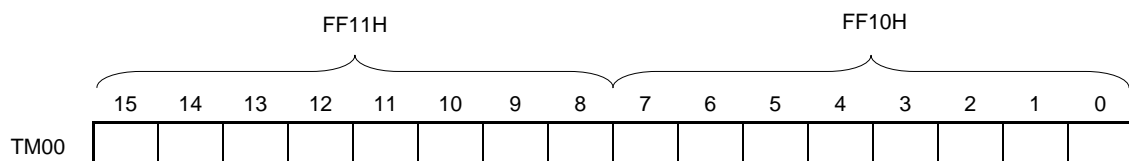
なお、一度キャプチャした値は、リセットしないかぎりCR000に格納されたままです。コンペア・モードに変更したあとは、必ずコンペア値を設定してください。

#### (1) 16ビット・タイマ・カウンタ00 (TM00)

TM00は、カウント・パルスのカウントする16ビットのリード専用レジスタです。  
カウント・クロックの立ち上がり同期して、カウンタをインクリメントします。

図7-2 16ビット・タイマ・カウンタ00 (TM00) のフォーマット

アドレス：FF10H, FF11H リセット時：0000H R



TM00を16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット3, 2 (TMC003, TMC002) = 00以外のときにリードすることにより、カウント値をリードできます。TMC003, TMC002 = 00の状態でもリードした場合には、0000Hがリードされます。

次の場合、カウント値は0000Hになります。

- ・リセット信号の発生時
- ・TMC003, TMC002をクリア (00) したとき
- ・TI000端子の有効エッジ入力でクリア&スタート・モード時、TI000端子に有効エッジが入力されたとき
- ・TM00とCR000の一致でクリア&スタート・モード時、TM00とCR000が一致したとき
- ・ワンショット・パルス出力モードで、OSPT00をセット (1) したとき、またはTI000端子に有効エッジが入力されたとき

注意 TM00をリードしても、CR010にはキャプチャしません。

(2) 16ビット・タイマ・キャプチャ/コンペア・レジスタ000 (CR000),  
16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010)

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能とコンペア機能の切り替えは、CRC00で行います。

CR000はタイマ停止中 (TMC003, TMC002 = 00) に書き換えを行ってください。

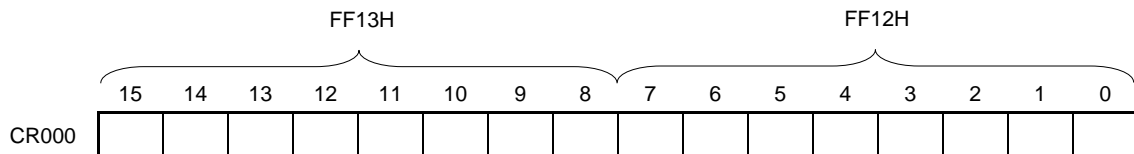
CR010は、所定の方法で設定した場合、動作中に書き換え可能です。詳細は7.5.1 CR010のTM00動作中の書き換えを参照してください。

16ビット単位でリード/ライト可能です。

リセット信号の発生により、0000Hになります。

図7-3 16ビット・タイマ・キャプチャ/コンペア・レジスタ000 (CR000) のフォーマット

アドレス : FF12H, FF13H リセット時 : 0000H R/W



( i ) CR000をコンペア・レジスタとして使用するとき

CR000に設定した値とTM00のカウンタ値を常に比較し、一致したときに割り込み信号 (INTTM000) を発生します。書き換えられるまで値を保持します。

**注意** コンペア・モードに設定したCR000はキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

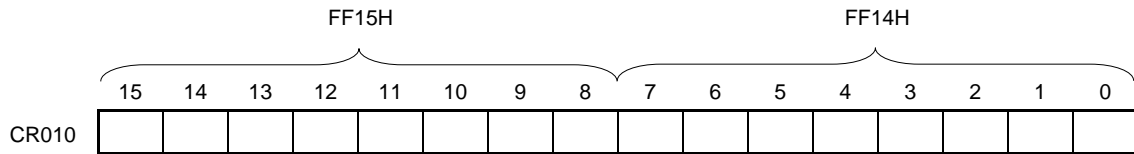
( ii ) CR000をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、TM00のカウンタ値をCR000にキャプチャします。

キャプチャ・トリガとして、TI000端子の逆相のエッジかTI010端子の有効エッジの選択ができます。キャプチャ・トリガの選択は、CRC00, PRM00で設定します。

図7-4 16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010) のフォーマット

アドレス: FF14H, FF15H リセット時: 0000H R/W



## ( i ) CR010をコンペア・レジスタとして使用するとき

CR010に設定した値とTM00のカウンタ値を常に比較し、一致したときに割り込み信号 (INTTM010) を発生します。

**注意** コンペア・モードに設定したCR010はキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

## ( ii ) CR010をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、TM00のカウンタ値をCR010にキャプチャします。

キャプチャ・トリガとして、TI000端子の有効エッジの選択ができます。TI000端子の有効エッジは、PRM00で設定します。

## ( iii ) CR000, CR010をコンペア・レジスタとして使用した場合の設定範囲

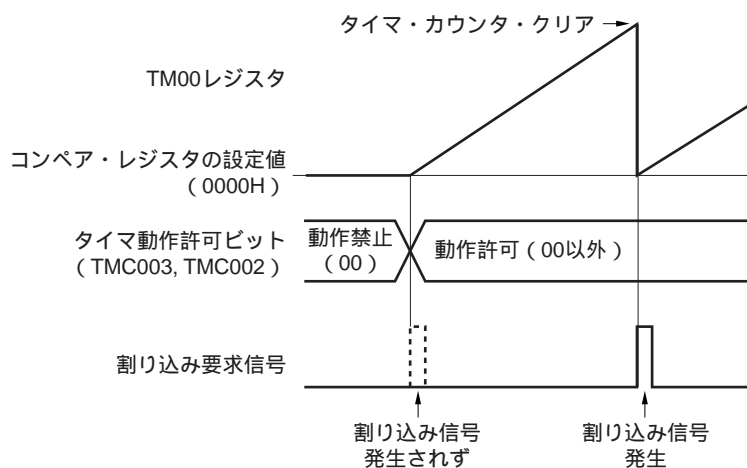
CR000, CR010をコンペア・レジスタとして使用するときには、次の範囲で値を設定してください。

動作	CR000の設定範囲	CR010の設定範囲
インターバル・タイマとしての動作	0000H < N FFFFH	0000H <sup>※</sup> M FFFFH
方形波出力としての動作		通常、使用しません。一致割り込み信号 (INTTM010) をマスクしてください。
外部イベント・カウンタとしての動作		
TI000端子の有効エッジ入力によるクリア&スタート・モードとしての動作	0000H <sup>※</sup> N FFFFH	0000H <sup>※</sup> M FFFFH
フリー・ランニング・タイマとしての動作		
PPG出力としての動作	M < N FFFFH	0000H <sup>※</sup> M < N
ワンショット・パルス出力としての動作	0000H <sup>※</sup> N FFFFH ( N M )	0000H <sup>※</sup> M FFFFH ( M N )

**注** 0000Hに設定した場合、タイマ動作直後の一致割り込みは発生せず、タイマ出力も変化しません。






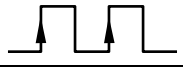
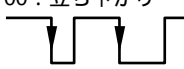
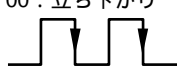



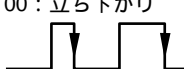

0000Hに設定した場合、最初の一致タイミングは次のようになります。なお、一致割り込みは、タイマ・カウンタ (TM00レジスタ) が0000Hから0001Hになるタイミングで発生します。

- ・オーバフローによるタイマ・カウンタ・クリア時
- ・TI000端子の有効エッジによるタイマ・カウンタ・クリア時  
(TI000端子の有効エッジ入力でクリア&スタート・モードのとき)
- ・コンペア一致によるタイマ・カウンタ・クリア時  
(TM00とCR000の一致でクリア&スタート・モード (CR000 = 0000H以外, CR010 = 0000H) のとき)



- 備考1.** N : CR000の設定値 , M : CR010の設定値
- 2.** 動作許可ビット (TMC00のビット3, 2 (TMC003, TMC002) ) の詳細については , 7.3 (1) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) を参照してください。

表7-2 CR000, CR010のキャプチャ動作

外部入力信号	TI000端子入力 		TI010端子入力 	
キャプチャ動作				
CR000のキャプチャ動作	CRC001 = 1 TI000端子入力 (逆相) 	ES010, ES000の設定値 キャプチャするエッジの位置	CRC001ビット = 0 TI010端子入力 	ES110, ES100の設定値 キャプチャするエッジの位置
		01: 立ち上がり 		01: 立ち上がり 
		00: 立ち下がり 		00: 立ち下がり 
		11: 両エッジ (キャプチャできません)		11: 両エッジ 
割り込み信号	キャプチャしても INTTM000信号は発生しない		割り込み信号	キャプチャするごとに INTTM000信号が発生
CR010のキャプチャ動作	TI000端子入力 <sup>注</sup> 	ES010, ES000の設定値 キャプチャするエッジの位置		
		01: 立ち上がり 		
		00: 立ち下がり 		
		11: 両エッジ 		
割り込み信号	キャプチャするごとに INTTM010信号が発生			

注 CR010のキャプチャ動作には、CRC001ビットの設定による影響はありません。

**注意** TI000端子入力の逆相でTM00レジスタのカウント値をCR000レジスタにキャプチャする場合、キャプチャ後に割り込み要求信号 (INTTM000) は発生しません。この動作中に、TI010端子から有効エッジが検出された場合、キャプチャ動作は行われませんが、外部割り込み信号としてINTTM000信号が発生します。外部割り込みを使用しない場合は、INTTM000信号をマスクしてください。

**備考** CRC001 : 7.3 (2) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) 参照

ES101, ES100, ES001, ES000 : 7.3 (4) プリスケアラ・モード・レジスタ00 (PRM00) 参照



## 7.3 16ビット・タイマ/イベント・カウンタ00を制御するレジスタ

16ビット・タイマ/イベント・カウンタ00を制御するレジスタを次に示します。

- ・16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)
- ・キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)
- ・16ビット・タイマ出力コントロール・レジスタ00 (TOC00)
- ・プリスケアラ・モード・レジスタ00 (PRM00)
- ・ポート兼用切り替え制御レジスタ (MUXSEL)<sup>注</sup>
- ・ポート・モード・レジスタ0 (PM0)
- ・ポート・レジスタ0 (P0)

**注** 78K0/FB2-Lのみ。

### (1) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)

TMC00は、16ビット・タイマ/イベント・カウンタ00の動作モード、TM00のクリア・モード、出力タイミングの設定およびオーバーフローを検出する8ビットのレジスタです。

TMC00は、動作中 (TMC003, TMC002 = 00以外のとき) の書き換えは禁止です。

ただし、TMC003, TMC002を00 (動作停止) に設定する場合と、OVF00に0を設定する場合は、書き換え可能です。

TMC00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

**注意** 16ビット・タイマ/イベント・カウンタ00は、TMC003, TMC002に00 (動作停止モード) 以外の値を設定した時点で動作を開始します。動作を停止させるには、TMC003, TMC002に00を設定してください。

図7-5 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のフォーマット

アドレス : FFBAH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TMC00	0	0	0	0	TMC003	TMC002	TMC001	OVF00

TMC003	TMC002	16ビット・タイマ/イベント・カウンタ00の動作許可
0	0	16ビット・タイマ/イベント・カウンタ00動作禁止。動作クロック供給停止。16ビット・タイマ・カウンタ00 (TM00) をクリア。
0	1	フリー・ランニング・タイマ・モード
1	0	TI000端子の有効エッジ入力 <sup>注</sup> でクリア&スタート・モード
1	1	TM00とCR000の一致でクリア&スタート・モード

TMC001	タイマ出力 (TO00) 反転条件
0	・ TM00とCR000の一致, TM00とCR010の一致
1	・ TM00とCR000の一致, TM00とCR010の一致 ・ TI000端子の有効エッジのトリガ入力

OVF00	TM00のオーバフロー・フラグ
クリア (0)	OVF00への0クリアまたはTMC003, TMC002 = 00
セット (1)	オーバフロー発生
OVF00は、すべての動作モード (フリー・ランニング・タイマ・モード, TI000端子の有効エッジ入力 <sup>注</sup> でクリア&スタート・モード, TM00とCR000の一致でクリア&スタート・モード) でTM00の値がFFFFHから0000Hになるとき、セット (1) されます。 OVF00に1を書き込むことでもセット (1) できます。	

注 TI000端子の有効エッジは、プリスケアラ・モード・レジスタ00 (PRM00) のビット5, 4 (ES010, ES000) で設定します。

## (2) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

CRC00は、CR000, CR010の動作を制御するレジスタです。

CRC00は、動作中 (TMC003, TMC002 = 00以外するとき) の書き換えは禁止です。

CRC00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-6 キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) のフォーマット

アドレス : FFBC<sub>H</sub> リセット時 : 00<sub>H</sub> R/W

略号	7	6	5	4	3	2	1	0
CRC00	0	0	0	0	0	CRC002	CRC001	CRC000

CRC002	CR010の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

CRC001	CR000のキャプチャ・トリガの選択
0	TI010端子の有効エッジでキャプチャする
1	TI000端子の有効エッジの逆相でキャプチャする <sup>注</sup>

TI010, TI000端子の有効エッジはPRM00で設定します。  
ただし, CRC001 = 1のときにES010, ES000 = 11 (両エッジ) に指定すると, TI000端子の有効エッジを検出できません。

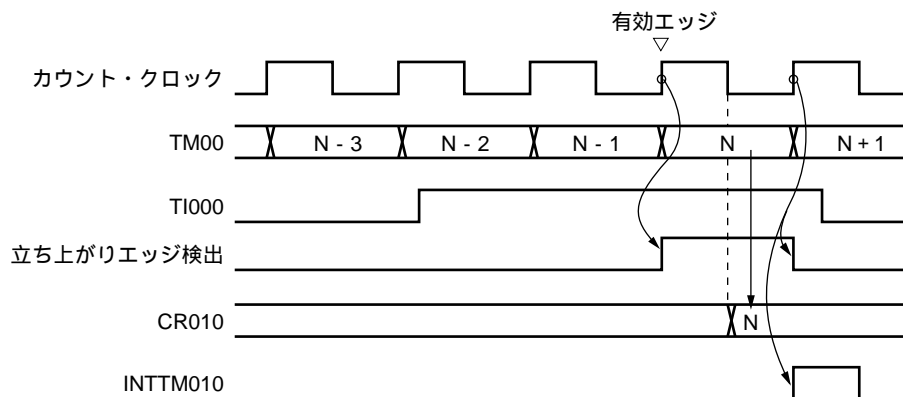
CRC000	CR000の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

TMC003, TMC002 = 11 (TM00とCR000の一致でクリア&スタート・モード) を設定した場合は, CRC000には必ず0を設定してください。

**注** TI010端子から有効エッジが検出された場合, キャプチャ動作は行われませんが, 外部割り込み信号としてINTTM000信号が発生します。

**注意** キャプチャを確実にするためのキャプチャ・トリガには, プリスケアラ・モード・レジスタ00 (PRM00) で選択したカウント・クロックの2周期分より長いパルスが必要です。

図7-7 CR010のキャプチャ動作例 (立ち上がりエッジ指定時)



**(3) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)**

TOC00は、TO00出力を制御する8ビットのレジスタです。

TOC00は、OSPT00だけが動作中 (TMC003, TMC002 = 00以外するとき) に書き換え可能です。それ以外のビットについては、動作中の書き換えは禁止です。

ただし、タイマ動作中にCR010の値を変更する手段としての、TOC004の書き換えは可能です (7. 5. 1 CR010のTM00動作中の書き換えを参照してください)。

TOC00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

**注意** TOC00を設定するときは、必ず次の順序で設定してください。

TOC004, TOC001のセット (1)

TOE00だけを単独でセット (1)

LVS00またはLVR00のどちらか片方だけをセット (1)

図7-8 16ビット・タイマ出力コントロール・レジスタ00 (TOC00) のフォーマット

アドレス：FFBDH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TOC00	0	OSPT00	OSPE00	TOC004	LVS00	LVR00	TOC001	TOE00
OSPT00	ソフトウェアによるワンショット・パルス出力トリガ							
0	-							
1	ワンショット・パルス出力							
リード値は常に“0”です。ワンショット・パルス出力モード以外ではセット(1)しないでください。セット(1)すると、TM00はクリア&スタートします。								
OSPE00	ワンショット・パルス出力動作の制御							
0	連続パルス出力							
1	ワンショット・パルス出力							
ワンショット・パルス出力は、フリー・ランニング・タイマ・モード、またはTI000端子の有効エッジ入力でクリア&スタート・モードのときに、正常に動作します。 TM00とCR000の一致でクリア&スタート・モードでは、ワンショット・パルスを出力できません。								
TOC004	CR010とTM00の一致によるTO00出力の制御							
0	反転動作禁止							
1	反転動作許可							
TOC004 = 0でも、割り込み信号 (INTTM010) は発生します。								
LVS00	LVR00	TO00出力の状態の設定						
0	0	変化しない						
0	1	TO00出力初期値ロウ・レベル (TO00出力をクリア (0))						
1	0	TO00出力初期値ハイ・レベル (TO00出力をセット (1))						
1	1	設定禁止						
<ul style="list-style-type: none"> <li>・LVS00, LVR00は、TO00出力レベルの初期値を設定できます。設定が不要な場合は、LVS00, LVR00を00のままにしてください。</li> <li>・LVS00, LVR00は、必ずTOE00 = 1のときに設定してください。 LVS00, LVR00とTOE00を同時にセット (1) することも禁止です。</li> <li>・LVS00, LVR00はトリガ・ビットです。セット (1) することで、TO00出力レベルの初期値を設定します。 クリア (0) しても、TO00出力に影響はありません。</li> <li>・LVS00, LVR00のリード値は常に“0”です。</li> <li>・LVS00, LVR00の設定方法の詳細は、7.5.2 LVS00, LVR00の設定についてを参照してください。</li> <li>・実際のTO00/TI010/P01端子の出力は、TO00出力のほかに、PM01とP01によって決まります。</li> </ul>								
TOC001	CR000とTM00の一致によるTO00出力の制御							
0	反転動作禁止							
1	反転動作許可							
TOC001 = 0でも、割り込み信号 (INTTM000) は発生します。								
TOE00	TO00出力制御							
0	出力禁止 (TO00出力はロウ・レベルに固定)							
1	出力許可							

#### (4) プリスケアラ・モード・レジスタ00 (PRM00)

PRM00は、TM00のカウンタ・クロック、およびTI000, TI010端子入力の有効エッジを設定するレジスタです。

PRM00は、動作中 (TMC003, TMC002ビット = 00以外) の書き換えは禁止です。

PRM00 は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

**注意1.** PRM001, PRM000ビット =11 (カウンタ・クロックをTI000端子の有効エッジに指定) に設定する場合、次の設定は禁止です。

- ・ TI000端子の有効エッジでクリア&スタート・モード
  - ・ TI000端子をキャプチャ・トリガに設定
2. リセット後、TI000端子またはTI010端子がハイ・レベルの状態、TI000端子またはTI010端子の有効エッジを立ち上がりエッジまたは両エッジに指定して、16ビット・タイマ/イベント・カウンタ00の動作を許可すると、そのハイ・レベルを立ち上がりエッジとして検出してしまいます。TI000端子またはTI010端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。
3. P01端子はTI010有効エッジとタイマ出力 (TO00) をそれぞれ同時に使用できません。どちらかの機能を選択して使用してください。

図7-9 プリスケラ・モード・レジスタ00 (PRM00) のフォーマット

アドレス : FFBBH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRM00	ES110	ES100	ES010	ES000	0	0	PRM001	PRM000

ES110	ES100	TI010端子の有効エッジの選択
0	0	立ち下がリエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり / 立ち下がりの両エッジ

ES010	ES000	TI000端子の有効エッジの選択
0	0	立ち下がリエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり / 立ち下がりの両エッジ

PRM001	PRM000	カウント・クロックの選択 <sup>注1</sup>				
		$f_{PRS} = 2 \text{ MHz}$	$f_{PRS} = 5 \text{ MHz}$	$f_{PRS} = 10 \text{ MHz}$	$f_{PRS} = 20 \text{ MHz}$	
0	0	$f_{PRS}$	2 MHz	5 MHz	10 MHz	20 MHz
0	1	$f_{PRS}/2^2$	500 kHz	1.25 MHz	2.5 MHz	5 MHz
1	0	$f_{PRS}/2^3$	7.81 kHz	19.53 kHz	39.06 kHz	78.13 kHz
1	1	TI000有効エッジ <sup>注2, 3</sup>				

注1. 周辺ハードウェア・クロック ( $f_{PRS}$ ) が高速システム・クロック ( $f_{XH}$ ) で動作している (XSEL = 1) 場合、電源電圧により、 $f_{PRS}$ の動作周波数が異なります。

- ・  $V_{DD} = 2.7 \sim 5.5 \text{ V}$  :  $f_{PRS} = 10 \text{ MHz}$
- ・  $V_{DD} = 1.8 \sim 2.7 \text{ V}$  :  $f_{PRS} = 5 \text{ MHz}$

2. TI000端子からの外部クロックには、周辺ハードウェア・クロック ( $f_{PRS}$ ) の2周期分より長いパルスが必要です。
3. STOPモード時の場合、TI000端子からの外部クロックでタイマ動作を開始させないでください。

備考  $f_{PRS}$  : 周辺ハードウェア・クロック周波数

(5) ポート兼用切り替え制御レジスタ (MUXSEL)<sup>注</sup>

端子機能の割り当てを設定するレジスタです。

78K0/FB2-LのP121端子にタイマ入力 (TI000) 機能を割り当てることができます。

MUXSELは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注 78K0/FB2-Lのみ

図7-10 ポート兼用切り替え制御レジスタ (MUXSEL) のフォーマット

アドレス：FF39H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
MUXSEL	0	INTP0SELO	0	TM00SELO	0	0	0	0

TM00SELO	16ビット・タイマ/イベント・カウンタ00の入力 (TI000) の端子の割り当て
0	(デフォルト)
1	P121/TI000

## (6) ポート・モード・レジスタ0 (PM0)

ポート0の入力/出力を1ビット単位で設定するレジスタです。

P01/TO00/TI010端子をタイマ出力として使用するとき、PM01およびP01の出力ラッチに0を設定してください。

P00/TI000/INTP0, P01/TI010/TO00端子をタイマ入力として使用するとき、PM00, PM01に1を設定してください。このときP00, P01の出力ラッチは、0または1のどちらでもかまいません。

PM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

**備考** P121端子を入力切り替えレジスタ (MUXSEL) の設定により、タイマ入力 (TI000) 機能を割り当てた場合、ポート・モード・レジスタおよびポート・レジスタの設定は不要です。

図7-11 ポート・モード・レジスタ0 (PM0) のフォーマット

アドレス：FF20H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM0	1	1	1	1	1	PM02	PM01	PM00

PM0n	P0n端子の入出力モードの選択 (n = 0-2)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

**備考** 上記は、78K0/FB2-Lのポート・モード・レジスタ0のフォーマットです。他の製品のポート・モード・レジスタ0のフォーマットについては、4.3 **ポート機能を制御するレジスタ** (1) **ポート・モード・レジスタ (PMxx)** を参照してください。



## 7.4 16ビット・タイマ/イベント・カウンタ00の動作

### 7.4.1 インターバル・タイマとしての動作

16ビット・タイマ・モード・コントロール・レジスタ (TMC00) のビット3, 2 (TMC003, TMC002) = 11 (TM00とCR000の一致でカウント・クリア&スタート・モード) に設定すると、カウント・クロックに同期してカウント動作を開始します。

そのあと、TM00とCR000の値が一致すると、TM00を0000Hにクリアし、一致割り込み信号 (INTTM000) を発生します。この一定間隔で発生するINTTM000信号により、インターバル・タイマとして動作します。

- 備考1.** 入出力端子の設定については7.3(6) **ポート・モード・レジスタ0 (PM0)** を参照してください。  
**2.** INTTM000信号の割り込み許可については、**第17章 割り込み機能** を参照してください。

図7-12 インターバル・タイマ動作のブロック図

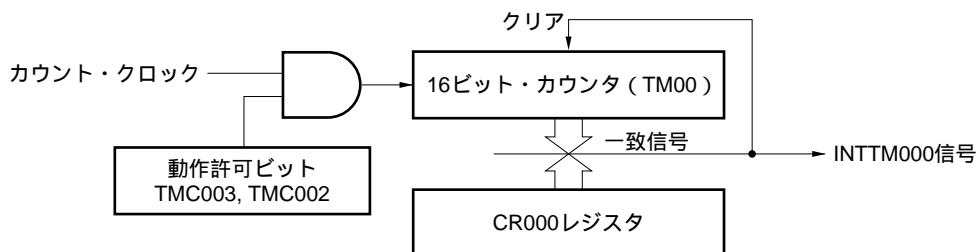


図7-13 インターバル・タイマ動作の基本タイミング例

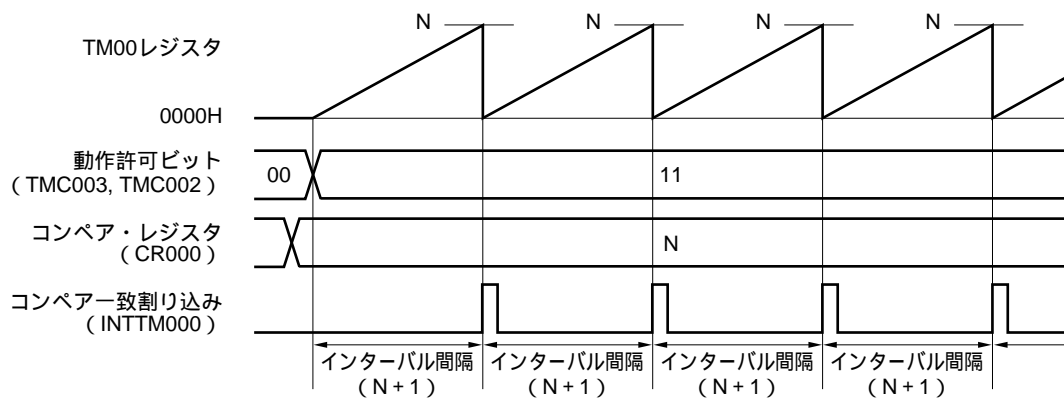
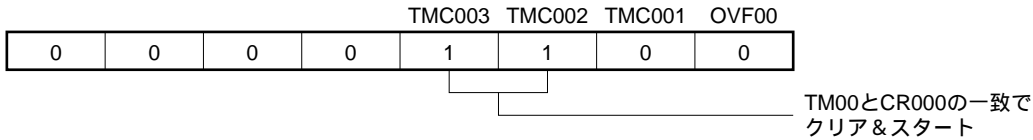
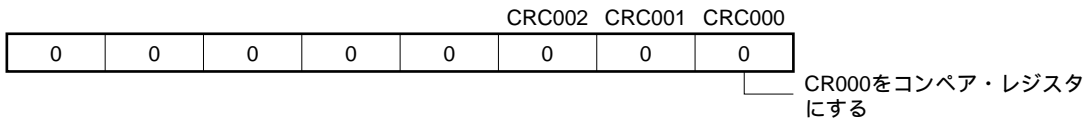


図7-14 インターバル・タイマ動作時のレジスタ設定内容例

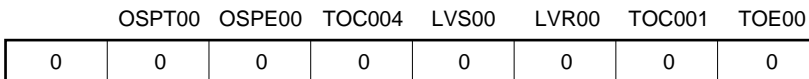
## (a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



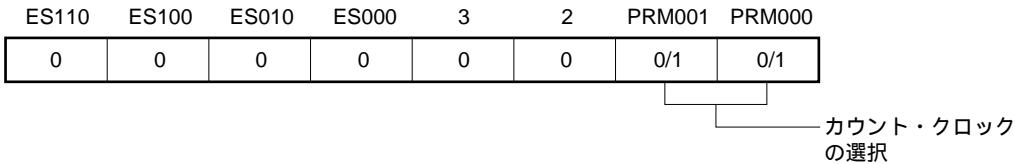
## (b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)



## (c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)



## (d) プリスケーラ・モード・レジスタ00 (PRM00)



## (e) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

## (f) 16ビット・キャプチャ/コンペア・レジスタ000 (CR000)

CR000にMを設定した場合、インターバル時間は次のようになります。

$$\cdot \text{インターバル時間} = (M + 1) \times \text{カウント・クロック周期}$$

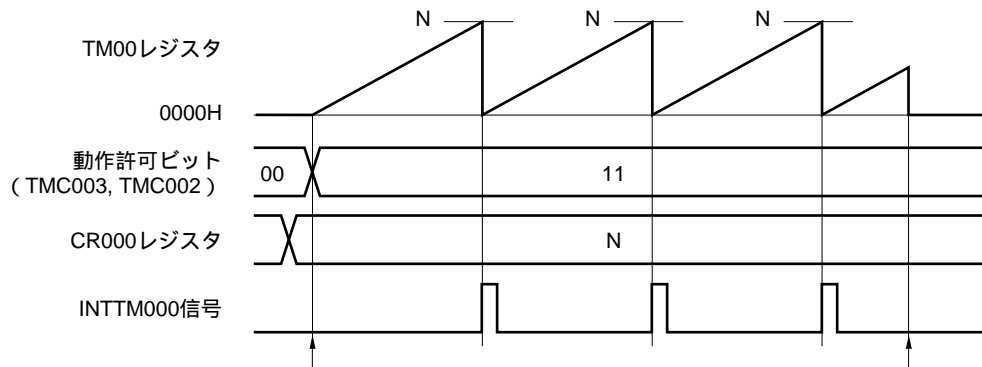
CR000への0000Hの設定は禁止です。

## (g) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

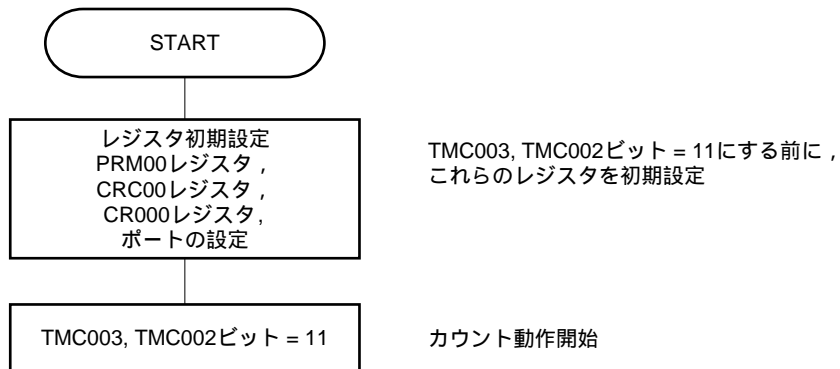
インターバル・タイマ機能では、通常、CR010を使用しません。しかしCR010の設定値と、TM00の値が一致するとコンペア一致割り込み (INTTM010) が発生します。

したがって、割り込みマスク・フラグ (TMMK010) でマスク設定をしておいてください。

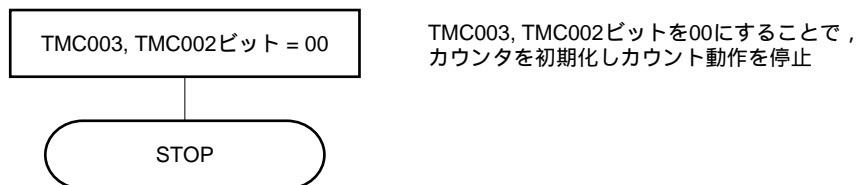
図7-15 インターバル・タイマ機能時のソフトウェア処理例



## カウント動作開始フロー



## カウント動作停止フロー



### 7.4.2 方形波出力としての動作

インターバル・タイマ (7.4.1参照) として動作させたとき、16ビット・タイマ出力コントロール・レジスタ00 (TOC00) = 03Hに設定することにより、TO00端子から方形波を出力できます。

TMC003, TMC002 = 11 (TM00とCR000の一致でカウント・クリア&スタート・モード) に設定すると、カウント・クロックに同期してカウント動作を開始します。

そのあと、TM00とCR000の値が一致すると、TM00を0000Hにクリアし、割り込み信号 (INTTM000) を発生し、TO00出力を反転します。この一定間隔で反転するTO00出力により、方形波出力として動作します。

- 備考1. 入出力端子の設定については7.3(6) **ポート・モード・レジスタ0 (PM0)**を参照してください。  
 2. INTTM000信号の割り込み許可については、**第17章 割り込み機能**を参照してください。

図7-16 方形波出力動作のブロック図

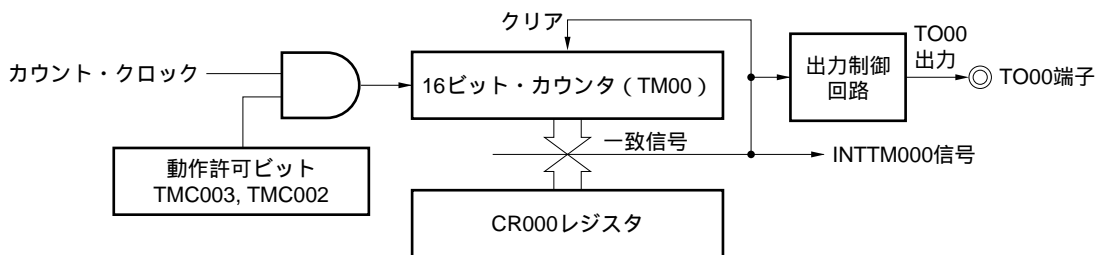


図7-17 方形波出力動作の基本タイミング例

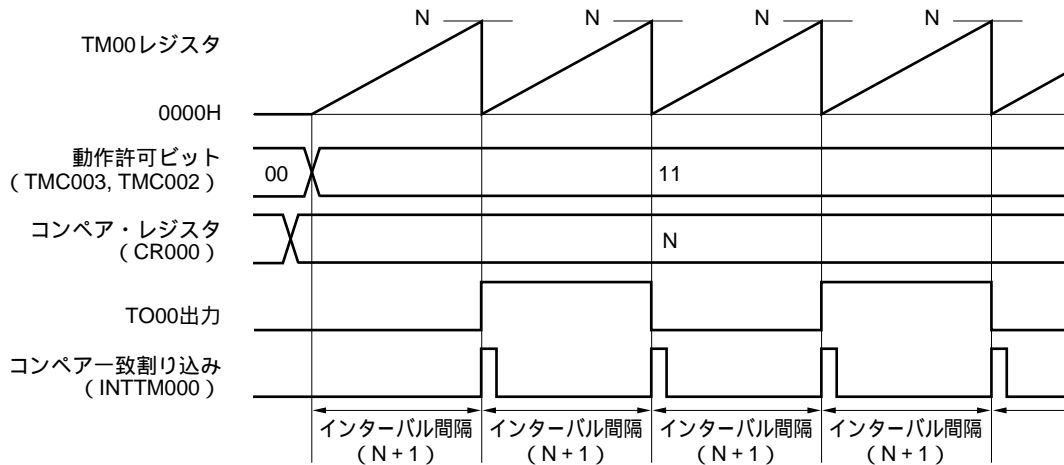


図7 - 18 方形波出力動作時のレジスタ設定内容例 (1/2)

## (a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)

				TMC003	TMC002	TMC001	OVF00
0	0	0	0	1	1	0	0

TM00とCR000の一致で  
クリア&スタート

## (b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

				CRC002	CRC001	CRC000
0	0	0	0	0	0	0

CR000をコンペア・レジスタ  
にする

## (c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

OSPT00	OSPE00	TOC004	LVS00	LVR00	TOC001	TOE00
0	0	0	0/1	0/1	1	1

TO00出力許可

TM00とCR000の一致に  
よりTO00出力を反転

TO00出力F/Fの初期値を指定

## (d) プリスケアラ・モード・レジスタ00 (PRM00)

ES110	ES100	ES010	ES000	3	2	PRM001	PRM000
0	0	0	0	0	0	0/1	0/1

カウント・クロック  
の選択

図7-18 方形波出力動作時のレジスタ設定内容例(2/2)

## (e) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

## (f) 16ビット・キャプチャ/コンペア・レジスタ000 (CR000)

CR000にMを設定した場合，方形波の周波数は次のようになります。

$$\cdot \text{方形波の周波数} = 1 \div \{ 2 \times (M + 1) \times \text{カウント} \cdot \text{クロック周期} \}$$

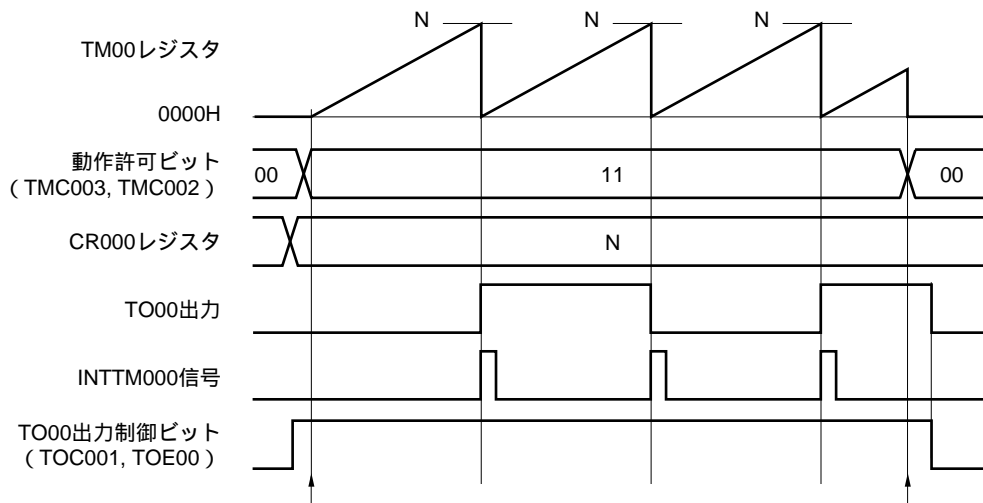
CR000への0000Hの設定は禁止です。

## (g) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

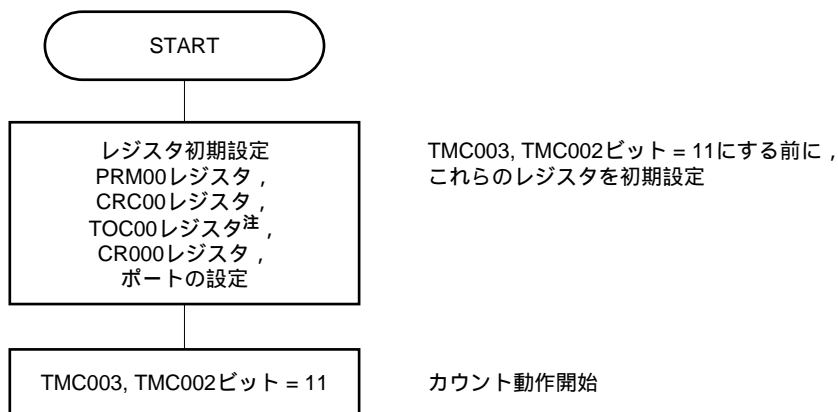
方形波出力機能では，通常，CR010を使用しません。しかしCR010の設定値と，TM00の値が一致するとコンペア一致割り込み (INTTM010) が発生します。

したがって，割り込みマスク・フラグ (TMMK010) でマスク設定をしておいてください。

図7-19 方形波出力機能時のソフトウェア処理例



## カウント動作開始フロー



## カウント動作停止フロー



注 TOC00の設定は注意が必要です。詳細は7.3(3)16ビット・タイマ出力コントロール・レジスタ00 (TOC00)を参照してください。

### 7.4.3 外部イベント・カウンタとしての動作

プリスケアラ・モード・レジスタ00 (PRM00) のビット1, 0 (PRM001, PRM000) = 11 (TI000端子の有効エッジによるカウント・アップ), 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット3, 2 (TMC003, TMC002) = 11に設定すると, 外部イベント入力の有効エッジをカウントし, TM00とCR000との一致割り込み信号 (INTTM000) を発生します。

外部イベント入力の端子にはTI000端子を使用します。したがって, TI000有効エッジ入力によるクリア&スタート・モード (TMC003, TMC002 = 10) では, 外部イベント・カウンタとして使用できません。

INTTM000信号は, 次のタイミングごとに発生します。

・ INTTM000信号発生タイミング (2回目以降)

= 外部イベント入力の有効エッジ検出回数 × (CR000設定値 + 1)

ただし, 動作開始直後から初回の一致割り込みだけは, 次のタイミングで発生します。

・ INTTM000信号発生タイミング (初回のみ)

= 外部イベント入力の有効エッジ検出回数 × (CR000設定値 + 2)

有効エッジは, TI000端子入力信号を $f_{PRS}$ のクロック周期でサンプリングを行い, 2回連続して有効レベルを検出したときに, はじめて検出されます。したがって, 短いパルス幅のノイズを除去できます。

備考1. 入出力端子の設定については7.3(6) **ポート・モード・レジスタ0 (PM0)**を参照してください。

2. INTTM000信号の割り込み許可については, **第17章 割り込み機能**を参照してください。

図7-20 外部イベント・カウンタとしての動作のブロック図

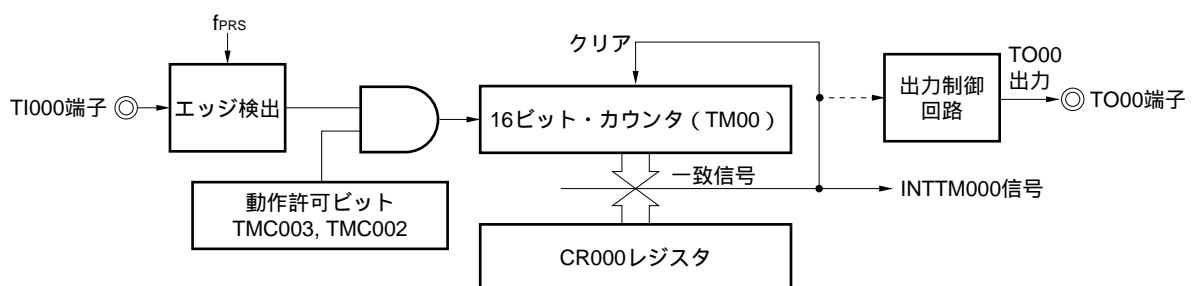




図7-21 外部イベント・カウンタ・モード時のレジスタ設定内容例(1/2)

## (a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)

				TMC003	TMC002	TMC001	OVF00
0	0	0	0	1	1	0	0

TM00とCR000の一致で  
クリア&スタート

## (b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

				CRC002	CRC001	CRC000
0	0	0	0	0	0	0

CR000をコンペア・レジスタ  
にする

## (c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

OSPT00	OSPE00	TOC004	LVS00	LVR00	TOC001	TOE00
0	0	0/1	0/1	0/1	0/1	0/1

0 : TO00出力禁止  
1 : TO00出力許可

TO00出力F/Fの初期値  
を指定

00 : TM00とCR000/CR010が一致  
してもTO00出力は反転しない  
01 : TM00とCR000の一致に  
よりTO00出力を反転  
10 : TM00とCR010の一致に  
よりTO00出力を反転  
11 : TM00とCR000/CR010の一致に  
よりTO00出力を反転

## (d) プリスケアラ・モード・レジスタ00 (PRM00)

ES110	ES100	ES010	ES000	3	2	PRM001	PRM000
0	0	0/1	0/1	0	0	1	1

カウント・クロックの選択  
(TI000の有効エッジに指定)

00 : 立ち下がりエッジ検出  
01 : 立ち上がりエッジ検出  
10 : 設定禁止  
11 : 両エッジ検出

図7 - 21 外部イベント・カウンタ・モード動作時のレジスタ設定内容例 (2/2)

**(e) 16ビット・タイマ・カウンタ00 (TM00)**

TM00をリードしてカウンタの値を読み出します。

**(f) 16ビット・キャプチャ/コンペア・レジスタ000 (CR000)**

CR000にMを設定した場合，外部イベントがM + 1回入力されると，割り込み信号 (INTTM000) が発生します。

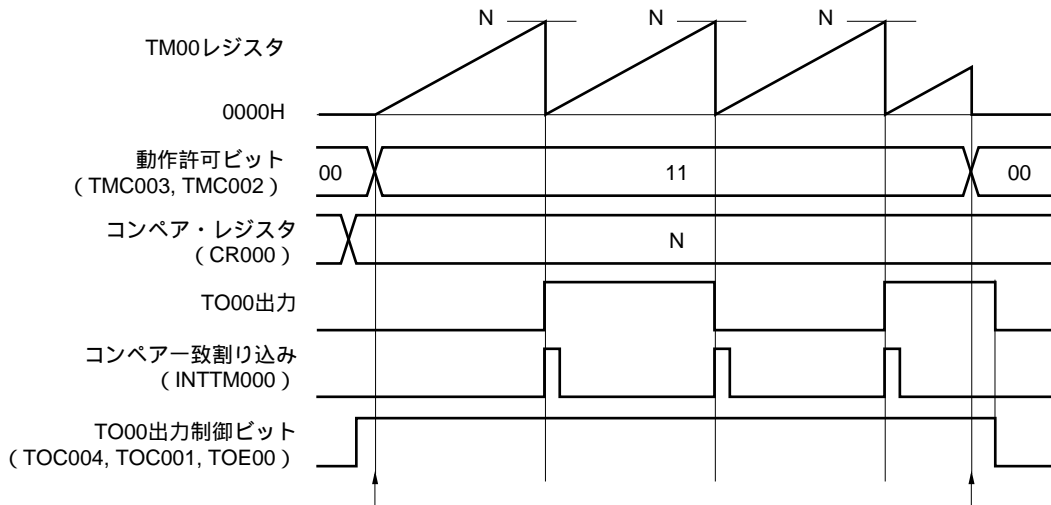
CR000への0000Hの設定は禁止です。

**(g) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)**

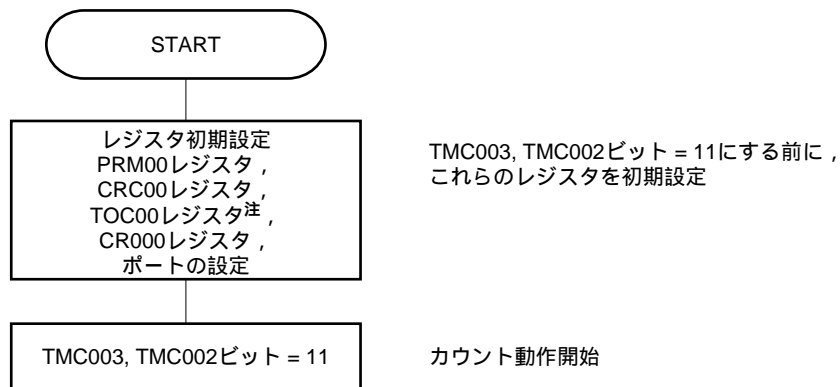
外部イベント・カウンタ・モード動作時では，通常，CR010を使用しません。しかしCR010の設定値と，TM00の値が一致するとコンペア一致割り込み (INTTM010) が発生します。

したがって，割り込みマスク・フラグ (TMMK010) でマスク設定をしておいてください。

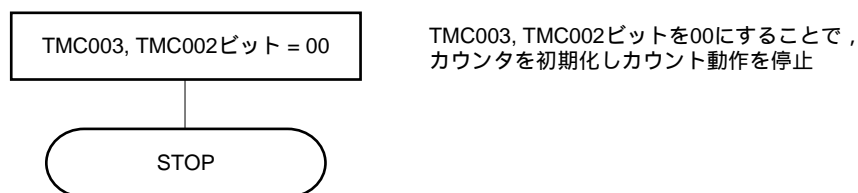
図7-22 外部イベント・カウンタ・モード動作時のソフトウェア処理例



## カウント動作開始フロー



## カウント動作停止フロー



注 TOC00の設定は注意が必要です。詳細は7.3(3)16ビット・タイマ出力コントロール・レジスタ00 (TOC00)を参照してください。

#### 7.4.4 TI000端子の有効エッジ入力によるクリア&スタート・モードとしての動作

16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット3, 2 (TMC003, TMC002) = 10 (TI000端子の有効エッジ入力によるクリア&スタート・モード) に設定し, カウント・クロック (PRM00にて設定) を供給すると, TM00がカウント・アップを開始します。カウント動作中にTI000端子の有効エッジを検出すると, TM00を0000Hにクリアして, 再度カウント・アップします。TI000端子の有効エッジがない場合, TM00はオーバフローして, カウントを続けます。

TI000端子の有効エッジは, TM00のクリア要因です。動作開始直後のカウント・スタートの起動制御はしていません。

CR000, CR010は, コンペア・レジスタとしてもキャプチャ・レジスタとしても使用できます。

##### (a) CR000, CR010をコンペア・レジスタとして使用した場合

TM00とCR000, CR010の一致でINTTM000, INTTM010信号が発生します。

##### (b) CR000, CR010をキャプチャ・レジスタとして使用した場合

TI010端子に有効エッジが入力される(またはTI000端子に有効エッジの逆相が入力される)と, TM00のカウント値をCR000にキャプチャし, INTTM000信号が発生します。

TI000端子に有効エッジが入力されると, TM00のカウント値をCR010にキャプチャし, INTTM010信号が発生します。TI000端子の有効エッジでキャプチャ動作と同時にカウンタを0000Hにクリアします。

**注意** カウント・クロックをTI000端子の有効エッジ (PRM001, PRM000 = 11) に設定しないでください。PRM001, PRM000 = 11に設定すると, TM00がクリアされてしまいます。

**備考1.** 入出力端子の設定については7.3(6) ポート・モード・レジスタ0 (PM0) を参照してください。

2. INTTM000信号の割り込み許可については, 第17章 割り込み機能を参照してください。

## (1) TI000端子の有効エッジ入力によるクリア&amp;スタート・モード動作

(CR000 : コンペア・レジスタ , CR010 : コンペア・レジスタ設定時)

図7 - 23 TI000端子の有効エッジ入力によるクリア&amp;スタート・モードのブロック図

(CR000 : コンペア・レジスタ / CR010 : コンペア・レジスタ)

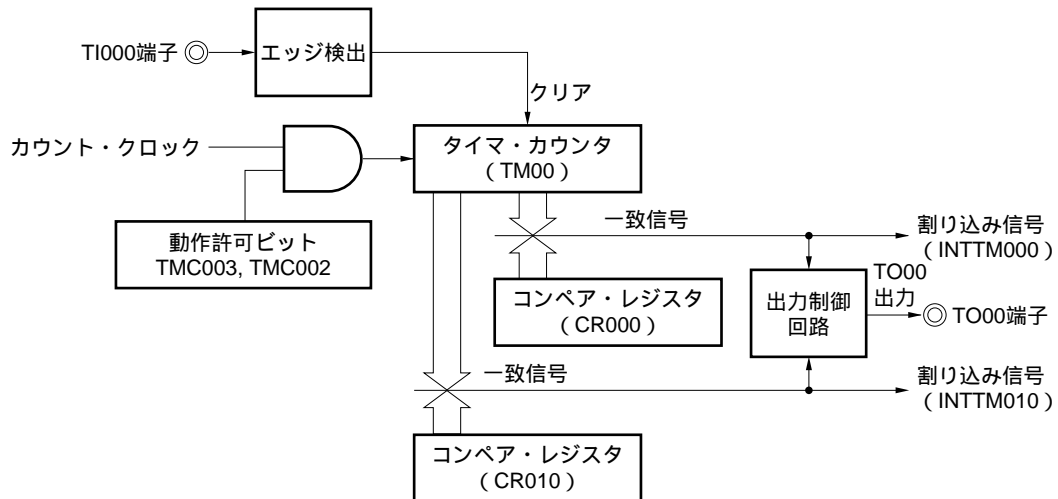
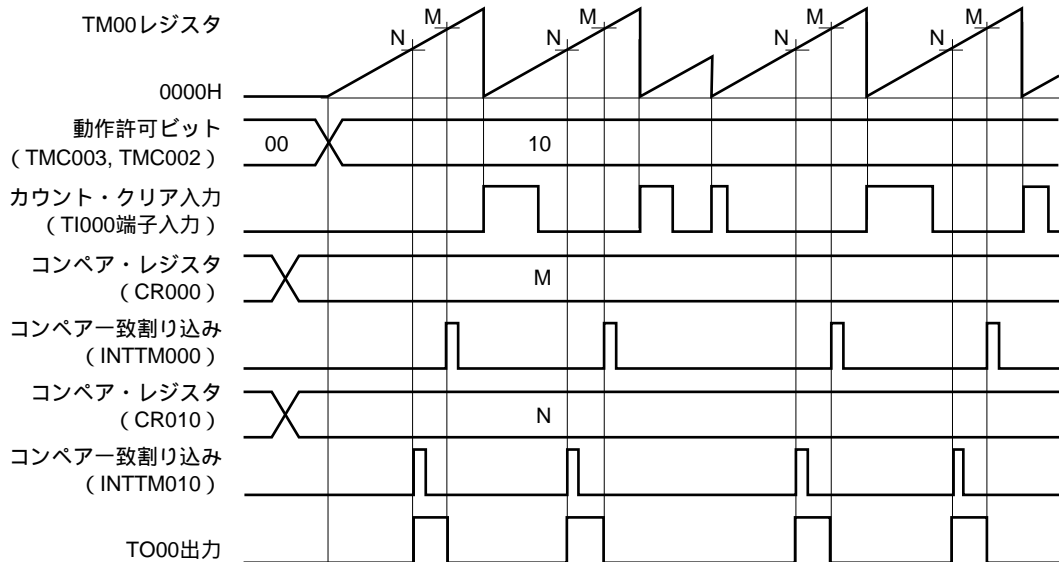
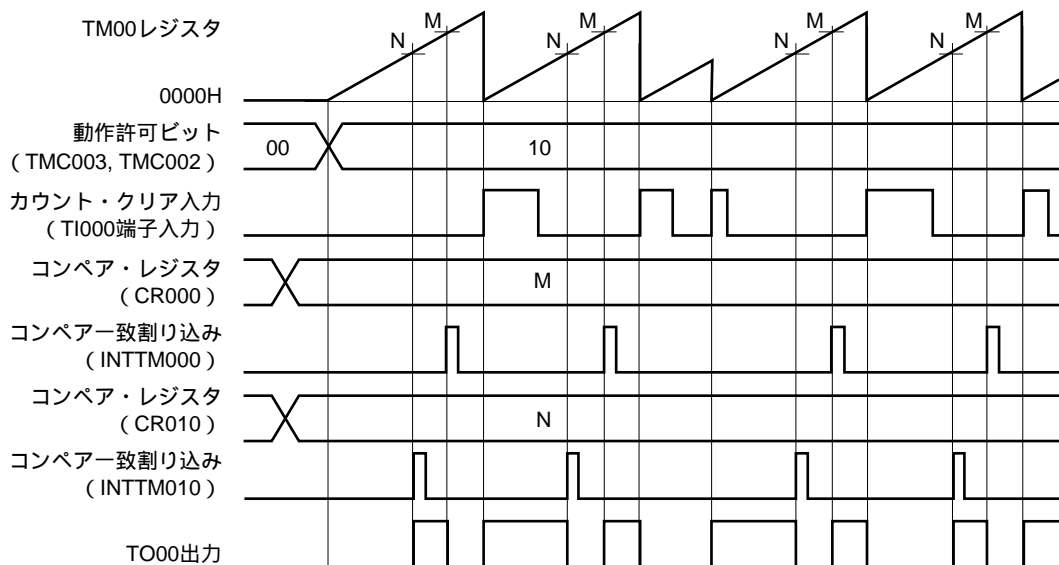


図7-24 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例  
(CR000:コンペア・レジスタ/CR010:コンペア・レジスタ)

(a) TOC00 = 13H, PRM00 = 10H, CRC00 = 00H, TMC00 = 08H



(b) TOC00 = 13H, PRM00 = 10H, CRC00 = 00H, TMC00 = 0AH



16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット1 (TMC001) の設定により、(a)と(b)には次のような違いがあります。

(a) TM00とコンペア・レジスタが一致したときに、TO00の出力レベルが反転

(b) TM00とコンペア・レジスタが一致したとき、またはTI000端子の有効エッジを検出したときに、TO00の出力レベルが反転

## (2) TI000端子の有効エッジ入力によるクリア&amp;スタート・モード動作

(CR000 : コンペア・レジスタ, CR010 : キャプチャ・レジスタ設定時)

図7 - 25 TI000端子の有効エッジ入力によるクリア&amp;スタート・モードのブロック図

(CR000 : コンペア・レジスタ / CR010 : キャプチャ・レジスタ)

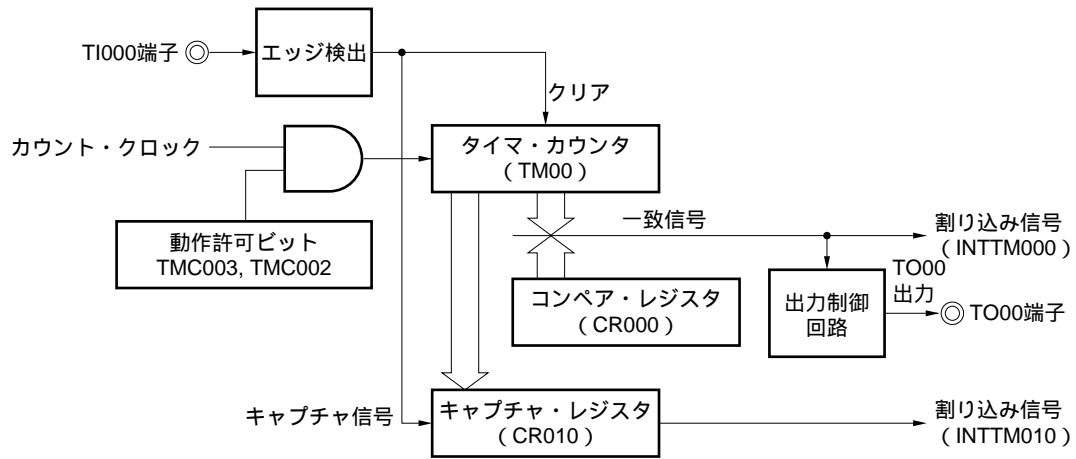
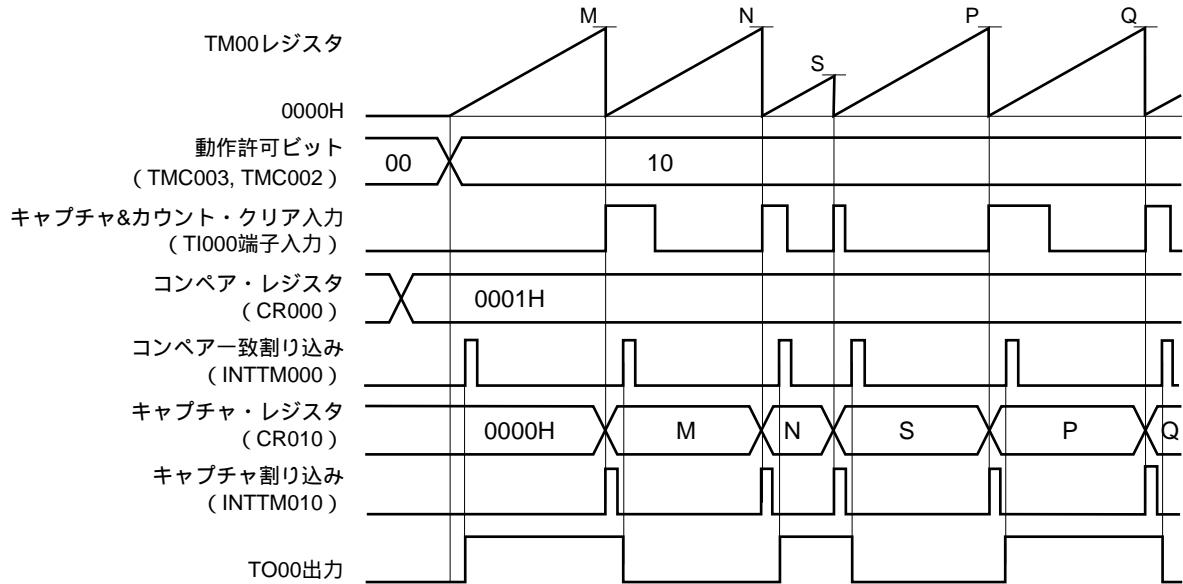


図7-26 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例  
(CR000 : コンペア・レジスタ / CR010 : キャプチャ・レジスタ) (1/2)

(a) TOC00 = 13H, PRM00 = 10H, CRC00 = 04H, TMC00 = 08H, CR000 = 0001H



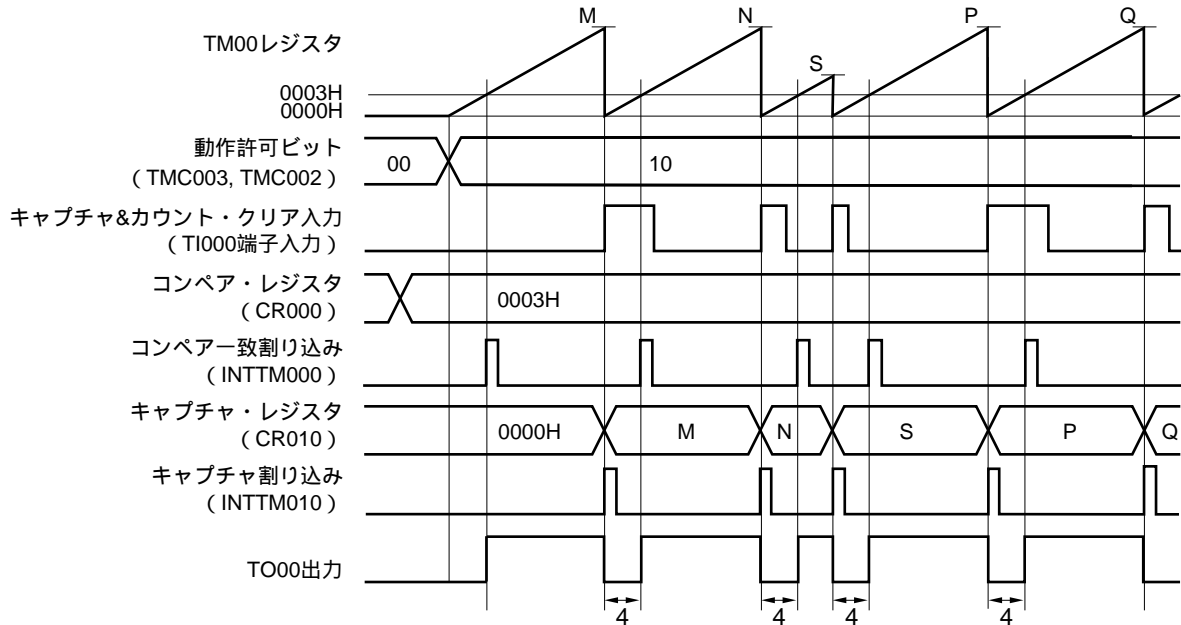
キャプチャ&クリア後に、TO00出力レベルを反転したい場合のアプリケーション例です。

TI000端子の有効エッジ検出で、CR010にキャプチャし、TM00をクリア (0000H) します。TM00のカウンタ値が0001Hになると、コンペア一致割り込み信号 (INTTM000) が発生し、TO00出力レベルが反転します。



図7-26 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例  
 (CR000 : コンペア・レジスタ / CR010 : キャプチャ・レジスタ) (2/2)

(b) TOC00 = 13H, PRM00 = 10H, CRC00 = 04H, TMC00 = 0AH, CR000 = 0003H



キャプチャ&クリア後に、CR000に設定した幅（ここでは4クロック）をTO00端子から出力したい場合のアプリケーション例です。

TI000端子の有効エッジ検出で、CR010にキャプチャし、キャプチャ割り込み信号（INTTM010）が発生し、TM00をクリア（0000H）し、TO00出力を反転します。TM00のカウント値が0003Hになる（4クロックをカウントすると）、コンペア一致割り込み信号（INTTM000）が発生し、TO00出力レベルが反転します。

## (3) TI000端子の有効エッジ入力によるクリア&amp;スタート・モード動作

(CR000 : キャプチャ・レジスタ , CR010 : コンペア・レジスタ設定時)

図7 - 27 TI000端子の有効エッジ入力によるクリア&amp;スタート・モードのブロック図

(CR000 : キャプチャ・レジスタ / CR010 : コンペア・レジスタ)

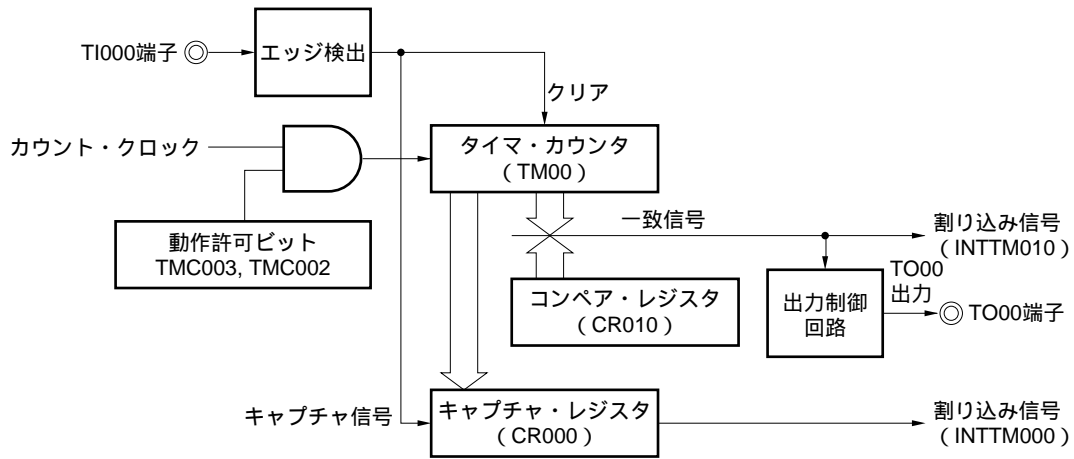
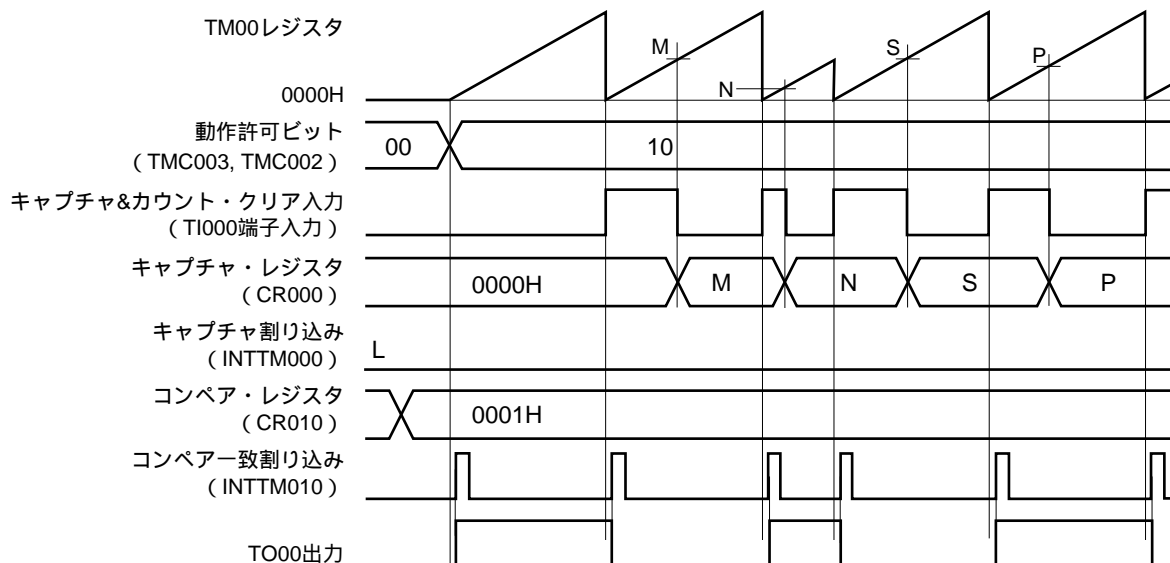


図7-28 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例  
(CR000 : キャプチャ・レジスタ / CR010 : コンペア・レジスタ) (1/2)

(a) TOC00 = 13H, PRM00 = 10H, CRC00 = 03H, TMC00 = 08H, CR010 = 0001H



キャプチャ&クリア後に、TO00出力レベルを反転したい場合のアプリケーション例です。

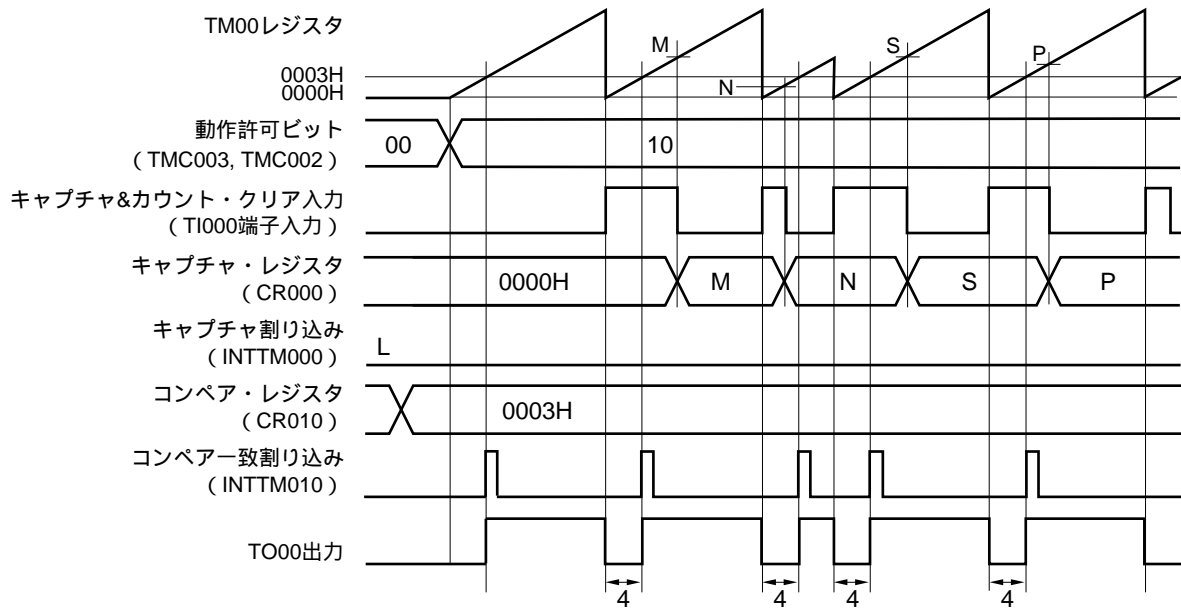
TI000端子の立ち上がりエッジ検出で、TM00をクリアします。TI000端子の立ち下がりエッジ検出で、CR000にキャプチャします。

キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) のビット1 (CRC001) = 1の設定により、TI000端子入力の逆相でTM00のカウント値をCR000にキャプチャしますが、キャプチャ割り込み信号 (INTTM000) は発生しません。しかし、TI010端子の有効エッジ検出により、INTTM000信号が発生します。INTTM000信号を使用しない場合は、INTTM000信号をマスクしてください。

図7-28 TI000端子の有効エッジ入力によるクリア&amp;スタート・モードのタイミング例

(CR000 : キャプチャ・レジスタ / CR010 : コンペア・レジスタ) (2/2)

(b) TOC00 = 13H, PRM00 = 10H, CRC00 = 03H, TMC00 = 0AH, CR010 = 0003H



キャプチャ&クリア後に、CR010に設定した幅（ここでは4クロック）をTO00端子から出力したい場合のアプリケーション例です。

TI000端子の立ち上がりエッジ検出で、TM00をクリア（0000H）します。TI000端子の立ち下がりエッジ検出で、CR000にキャプチャします。TO00出力は、TI000端子の立ち上がりエッジ検出によるTM00のクリア（0000H）が、TM00とコンペア・レジスタ（CR010）の一致で反転します。

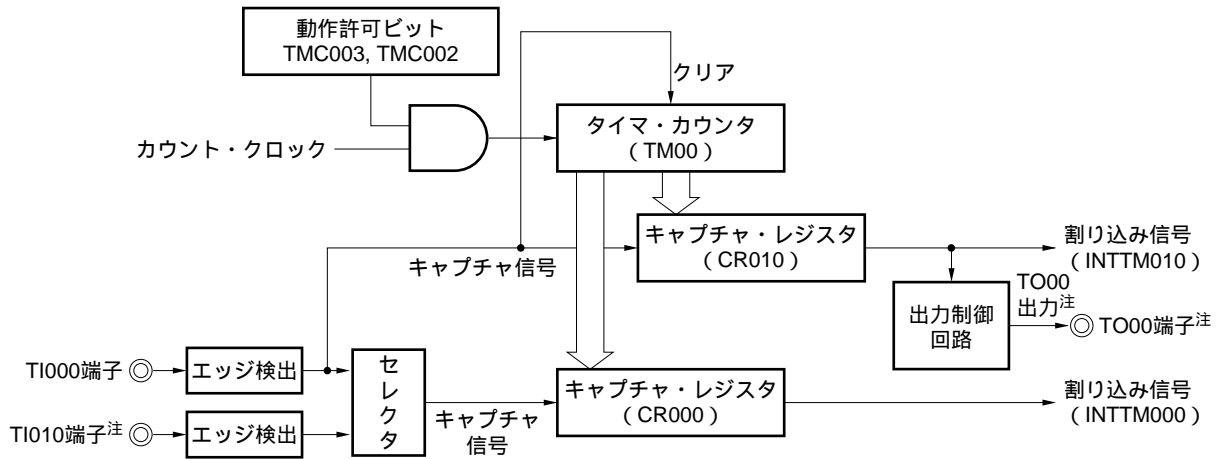
キャプチャ/コンペア・コントロール・レジスタ00（CRC00）のビット1（CRC001）= 1の設定により、TI000端子入力の逆相でTM00のカウント値をCR000にキャプチャしますが、キャプチャ割り込み信号（INTTM000）は発生しません。しかし、TI010端子の有効エッジ検出により、INTTM000割り込みが発生します。INTTM000信号を使用しない場合はINTTM000信号をマスクしてください。

## (4) TI000端子の有効エッジ入力によるクリア&amp;スタート・モード動作

(CR000 : キャプチャ・レジスタ , CR010 : キャプチャ・レジスタ設定時)

図7 - 29 TI000端子の有効エッジ入力によるクリア&amp;スタート・モードのブロック図

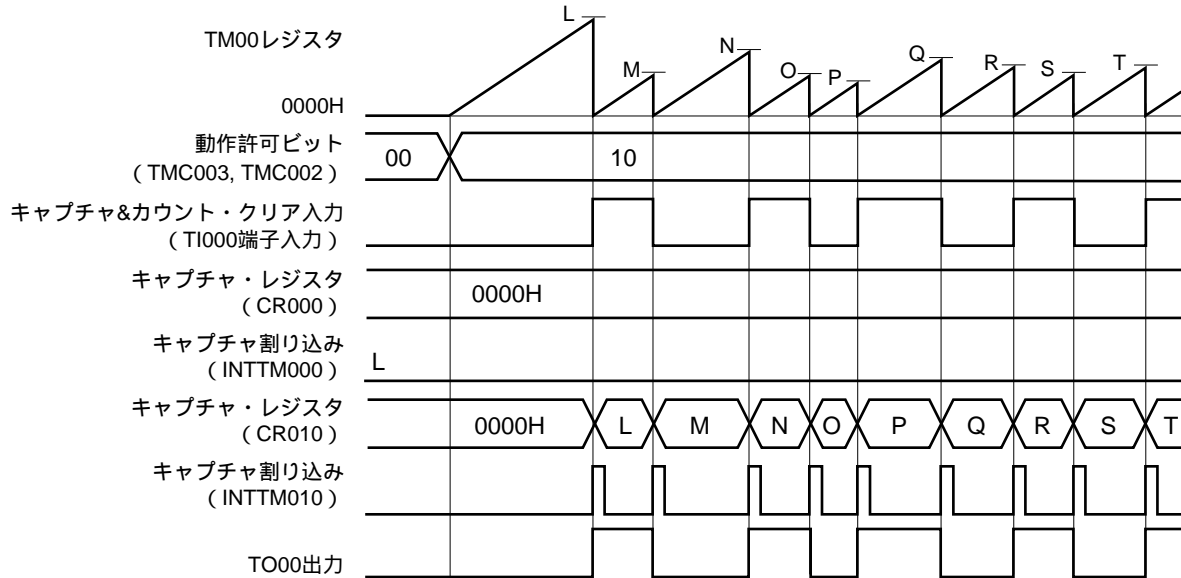
(CR000 : キャプチャ・レジスタ / CR010 : キャプチャ・レジスタ)



注 TI010端子の有効エッジ検出を使用する場合、タイマ出力 (TO00) は使用できません。

図7-30 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例  
 (CR000: キャプチャ・レジスタ/CR010: キャプチャ・レジスタ) (1/3)

(a) TOC00 = 13H, PRM00 = 30H, CRC00 = 05H, TMC00 = 0AH

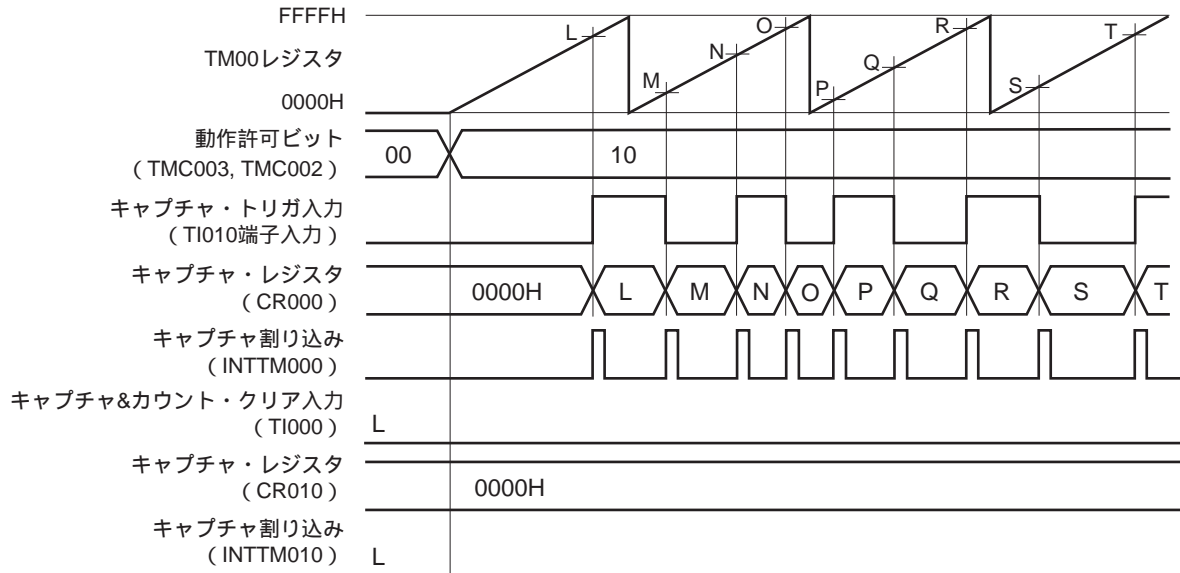


TI000端子の立ち上がりエッジまたは立ち下がりエッジを検出した場合に、CR010にキャプチャし、TM00をクリアし、TO00出力を反転させるアプリケーション例です。

TI010端子のエッジ検出により、割り込み信号 (INTTM000) が発生します。INTTM000信号を使用しない場合には、INTTM000信号をマスクしてください。

図7-30 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例  
 (CR000 : キャプチャ・レジスタ / CR010 : キャプチャ・レジスタ) (2/3)

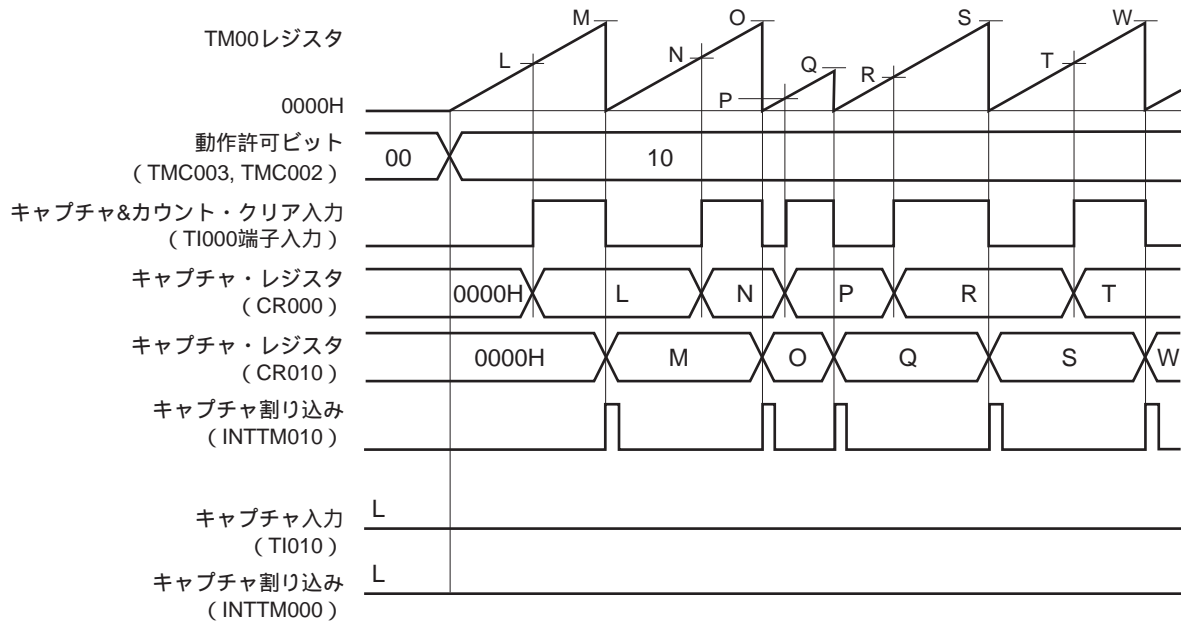
(b) TOC00 = 13H, PRM00 = C0H, CRC00 = 05H, TMC00 = 0AH



TI010端子の立ち上がりエッジまたは立ち下がりエッジを検出した場合に、CR000にキャプチャするアプリケーションにおいて、TI000端子にエッジが入力されないときのタイミング例です。

図7-30 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例  
(CR000 : キャプチャ・レジスタ / CR010 : キャプチャ・レジスタ) (3/3)

(c) TOC00 = 13H, PRM00 = 00H, CRC00 = 07H, TMC00 = 0AH



TI000端子入力信号のパルス幅を測定する場合のアプリケーション例です。

CRC00の設定により、TI000端子の立ち下がりエッジの逆相（すなわち立ち上がりエッジ）検出でCR000にキャプチャし、TI000端子の立ち下がりエッジ検出でCR010にキャプチャします。

入力パルスのハイ・レベル幅、ロウ・レベル幅は、次の式で算出できます。

- ・ハイ・レベル幅 = [ CR010値 ] - [ CR000値 ] × [ カウント・クロック周期 ]
- ・ロウ・レベル幅 = [ CR000値 ] × [ カウント・クロック周期 ]

CR000へのキャプチャ・トリガとしてTI000端子の逆相を選択した場合、INTTM000信号は発生しません。パルス幅測定のためのCR000, CR010値のリードは、INTTM010信号発生直後に行ってください。

ただし、TI010端子にプリスケアラ・モード・レジスタ00 (PRM00) のビット6, 5 (ES110, ES100) で指定した有効エッジが入力されると、キャプチャ動作はしませんが、INTTM000信号は発生します。TI000端子のパルス幅を測定する場合、INTTM000信号を使用しないときは、INTTM000信号をマスクしてください。



図7-31 TI000端子の有効エッジ入力によるクリア&amp;スタート・モード動作時のレジスタ設定内容例(1/2)

## (a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)

TMC003				TMC002		TMC001	OVF00
0	0	0	0	1	0	0/1	0

- 0 : TM00とCR000/CR010との一致で  
TO00出力が反転  
1 : TM00とCR000/CR010との一致および  
TI000端子の有効エッジで  
TO00出力が反転
- TI000端子の有効エッジ入力  
によるクリア&スタート

## (b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

CRC002					CRC001		CRC000
0	0	0	0	0	0/1	0/1	0/1

- 0 : CR000をコンペア・  
レジスタにする  
1 : CR000をキャプチャ・  
レジスタにする
- 0 : CR000のキャプチャ・  
トリガはTI010端子  
1 : CR000のキャプチャ・  
トリガはTI000端子の逆相
- 0 : CR010をコンペア・  
レジスタにする  
1 : CR010をキャプチャ・  
レジスタにする

## (c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

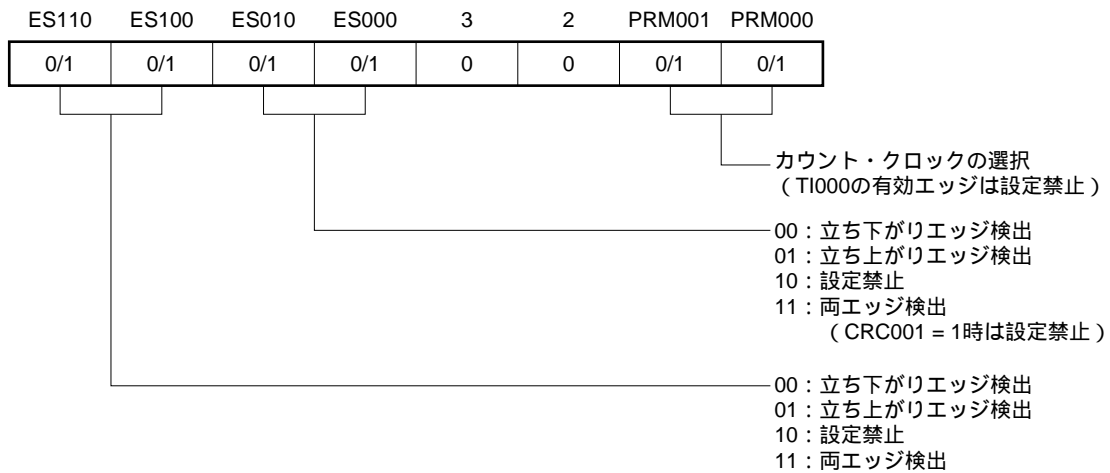
OSPT00		OSPE00	TOC004	LVS00	LVR00	TOC001	TOE00
0	0	0	0/1	0/1	0/1	0/1	0/1

- 0 : TO00出力禁止<sup>注</sup>  
1 : TO00出力許可
- TO00出力F/Fの初期値  
を指定
- 00 : TM00とCR000/CR010が一致  
してもTO00出力は反転しない  
01 : TM00とCR000の一致に  
よりTO00出力を反転  
10 : TM00とCR010の一致に  
よりTO00出力を反転  
11 : TM00とCR000/CR010の一致に  
よりTO00出力を反転

注 TI010端子の有効エッジ検出を使用する場合、タイマ出力 (TO00) は使用できません。

図7 - 31 TI000端子の有効エッジ入力によるクリア&amp;スタート・モード動作時のレジスタ設定内容例 (2/2)

## (d) プリスケアラ・モード・レジスタ00 (PRM00)



## (e) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

## (f) 16ビット・キャプチャ/コンペア・レジスタ000 (CR000)

コンペア・レジスタとして使用する場合は、TM00との一致で割り込み信号 (INTTM000) が発生します。TM00のカウント値はクリアされません。

キャプチャ・レジスタとして使用する場合は、TI000, TI010端子<sup>注</sup>入力のどちらかをキャプチャ・トリガとして設定してください。キャプチャ・トリガの有効エッジ検出により、TM00のカウント値をCR000に格納します。

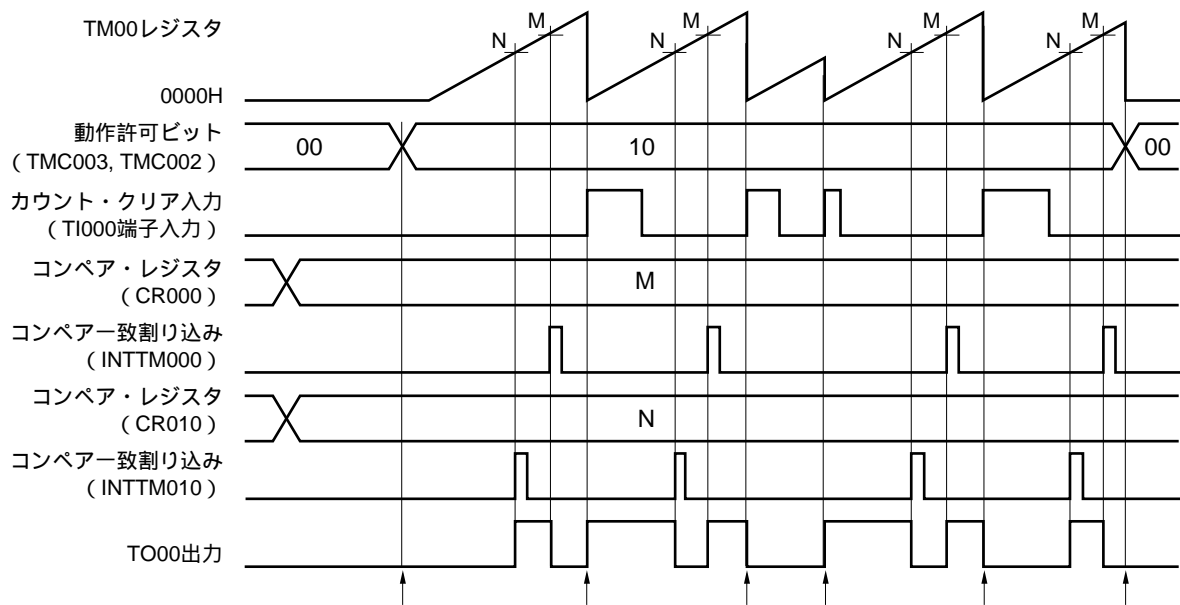
**注** TI010端子の有効エッジ検出を使用する場合、タイマ出力 (TO00) は使用できません。

## (g) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

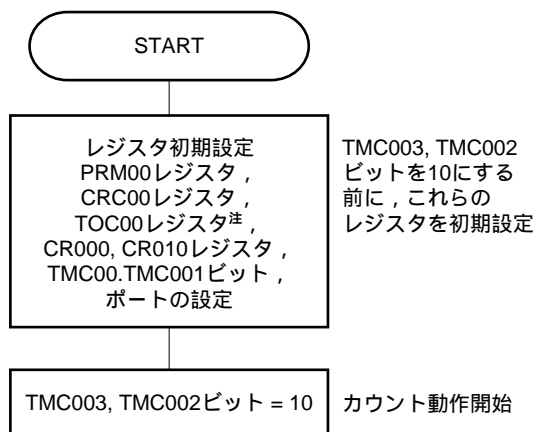
コンペア・レジスタとして使用する場合は、TM00との一致で割り込み信号 (INTTM010) が発生します。TM00のカウント値はクリアされません。

キャプチャ・レジスタとして使用する場合は、TI000端子入力がキャプチャ・トリガとなります。キャプチャ・トリガの有効エッジ検出により、TM00のカウント値をCR010に格納します。

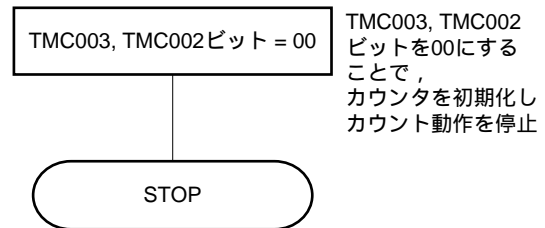
図7-32 TI000端子の有効エッジ入力によるクリア&amp;スタート・モード動作時のソフトウェア処理例



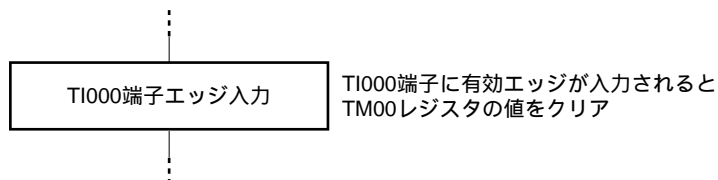
## カウント動作開始フロー



## カウント動作停止フロー



## TM00レジスタ・クリア&amp;スタート・フロー



注 TOC00の設定は注意が必要です。詳細は7.3(3)16ビット・タイマ出力コントロール・レジスタ00 (TOC00)を参照してください。

### 7.4.5 フリー・ランニング・タイマとしての動作

16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット3, 2 (TMC003, TMC002) = 01 (フリー・ランニング・タイマ・モード) に設定すると、カウント・クロックに同期してカウント・アップ動作を続けます。FFFFHまでカウントすると、次のクロックでオーバフロー・フラグ (OVF00) がセット (1) されるとともに、TM00をクリア (0000H) し、カウント動作を継続します。OVF00は、ソフトウェアでCLR命令を実行してクリア (0) してください。

フリー・ランニング・タイマとしての動作には、次の3種類があります。

- ・ CR000, CR010を両方ともコンペア・レジスタとして使用
- ・ CR000, CR010の一方をコンペア・レジスタ, もう一方をキャプチャ・レジスタとして使用
- ・ CR000, CR010を両方ともキャプチャ・レジスタとして使用

備考1. 入出力端子の設定については7.3(6) ポート・モード・レジスタ0 (PM0) を参照してください。

2. INTTM000信号の割り込み許可については、第17章 割り込み機能を参照してください。

#### (1) フリー・ランニング・タイマ・モード動作

(CR000 : コンペア・レジスタ, CR010 : コンペア・レジスタ設定時)

図7-33 フリー・ランニング・タイマ・モードのブロック図  
(CR000 : コンペア・レジスタ / CR010 : コンペア・レジスタ)

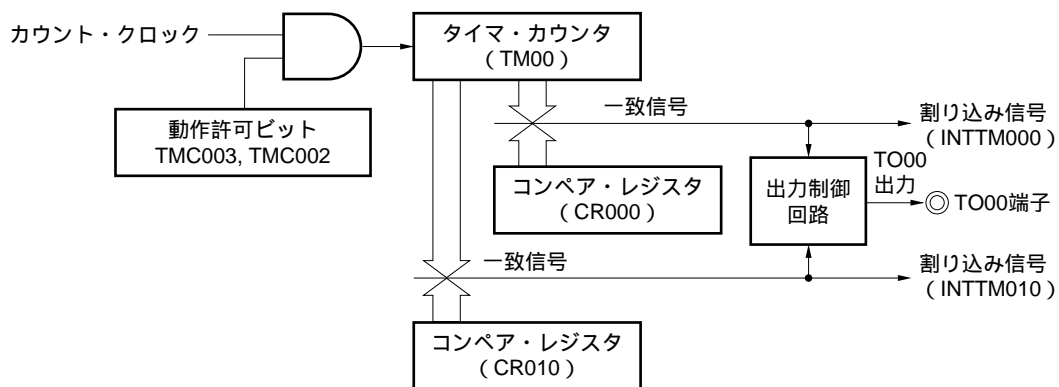
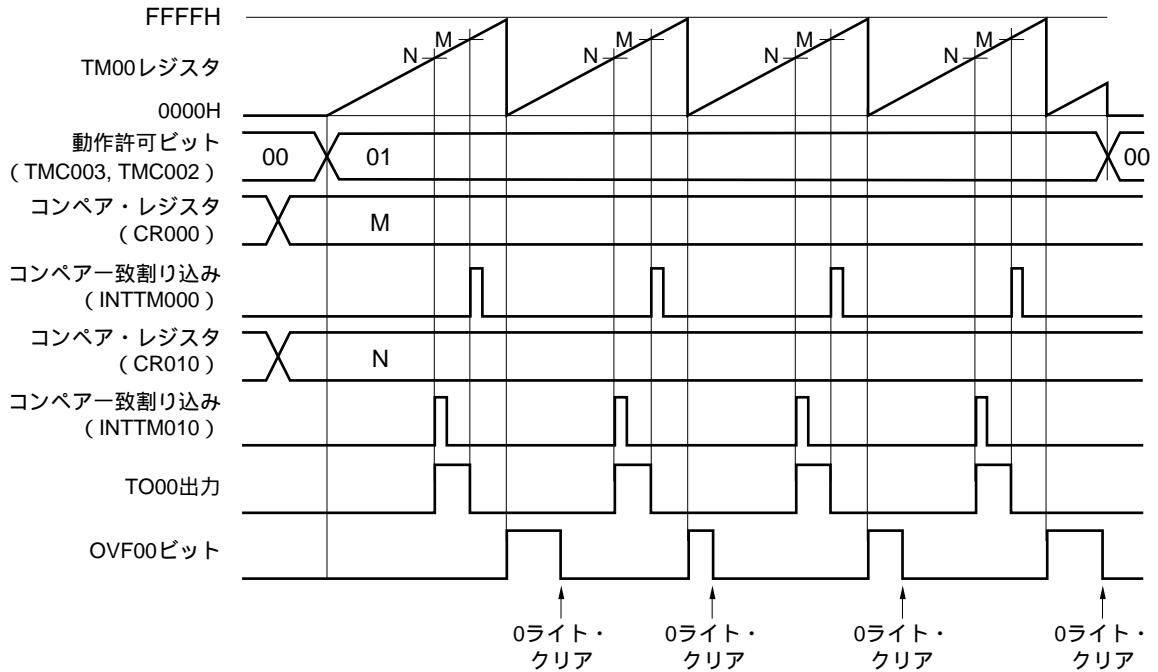


図7-34 フリー・ランニング・タイマ・モードのタイミング例  
 (CR000 : コンペア・レジスタ / CR010 : コンペア・レジスタ)

・ TOC00 = 13H, PRM00 = 00H, CRC00 = 00H, TMC00 = 04H



フリー・ランニング・タイマ・モードで、2つのコンペア機能を使用したアプリケーション例です。  
 TO00出力レベルは、CR000, CR010の設定値とTM00のカウンタ値が一致することに反転します。また、一致するタイミングで、INTTM000, INTTM010信号がそれぞれ発生します。

## (2) フリー・ランニング・タイマ・モード動作

(CR000 : コンペア・レジスタ , CR010 : キャプチャ・レジスタ設定時)

図7 - 35 フリー・ランニング・タイマ・モードのブロック図  
 (CR000 : コンペア・レジスタ / CR010 : キャプチャ・レジスタ)

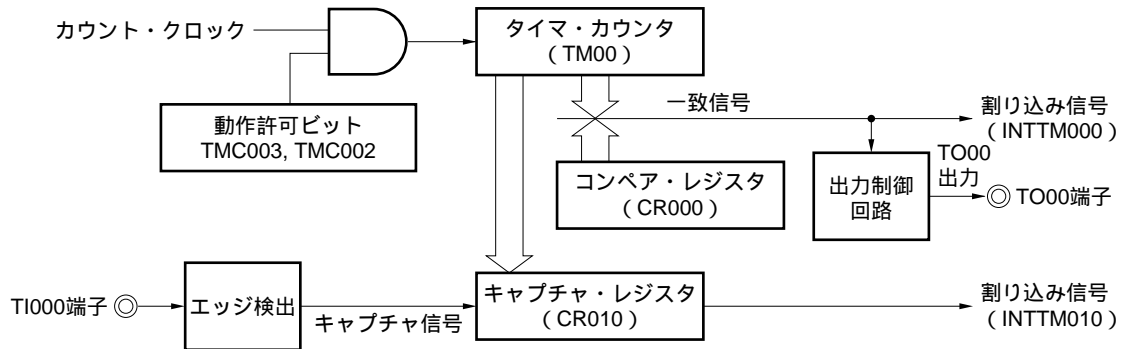
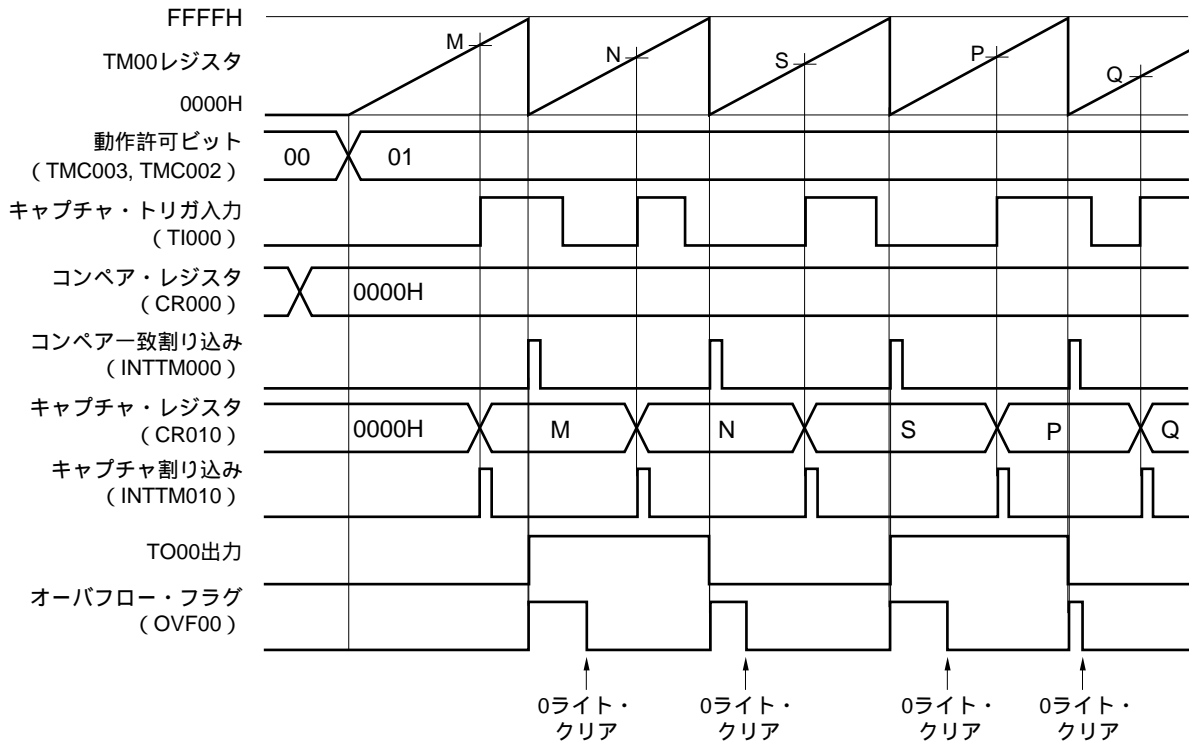


図7-36 フリー・ランニング・タイマ・モードのタイミング例  
 (CR000 : コンペア・レジスタ / CR010 : キャプチャ・レジスタ)

・ TOC00 = 13H, PRM00 = 10H, CRC0 = 04H, TMC00 = 04H



フリー・ランニング・タイマ・モードで、コンペア機能とキャプチャ機能を同時に使用したアプリケーション例です。

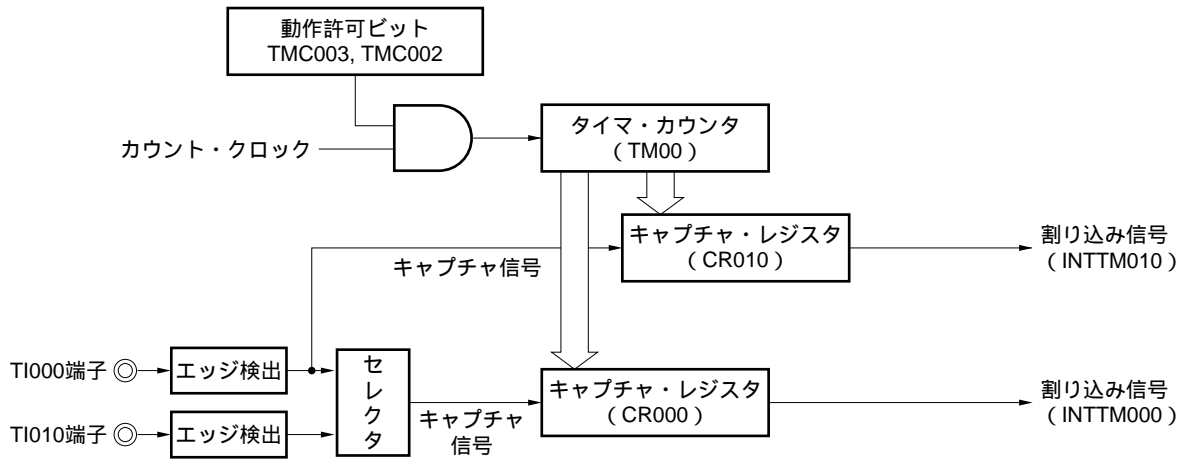
この例では、CR000(コンペア・レジスタ)の設定値とTM00のカウント値が一致するごとに、INTTM000信号を発生し、TO00出力を反転します。また、TI000端子の有効エッジを検出するごとに、INTTM010信号を発生し、TM00のカウント値をCR010にキャプチャします。

## (3) フリー・ランニング・タイマ・モード動作

(CR000 : キャプチャ・レジスタ , CR010 : キャプチャ・レジスタ設定時)

図7 - 37 フリー・ランニング・タイマ・モードのブロック図

(CR000 : キャプチャ・レジスタ / CR010 : キャプチャ・レジスタ)



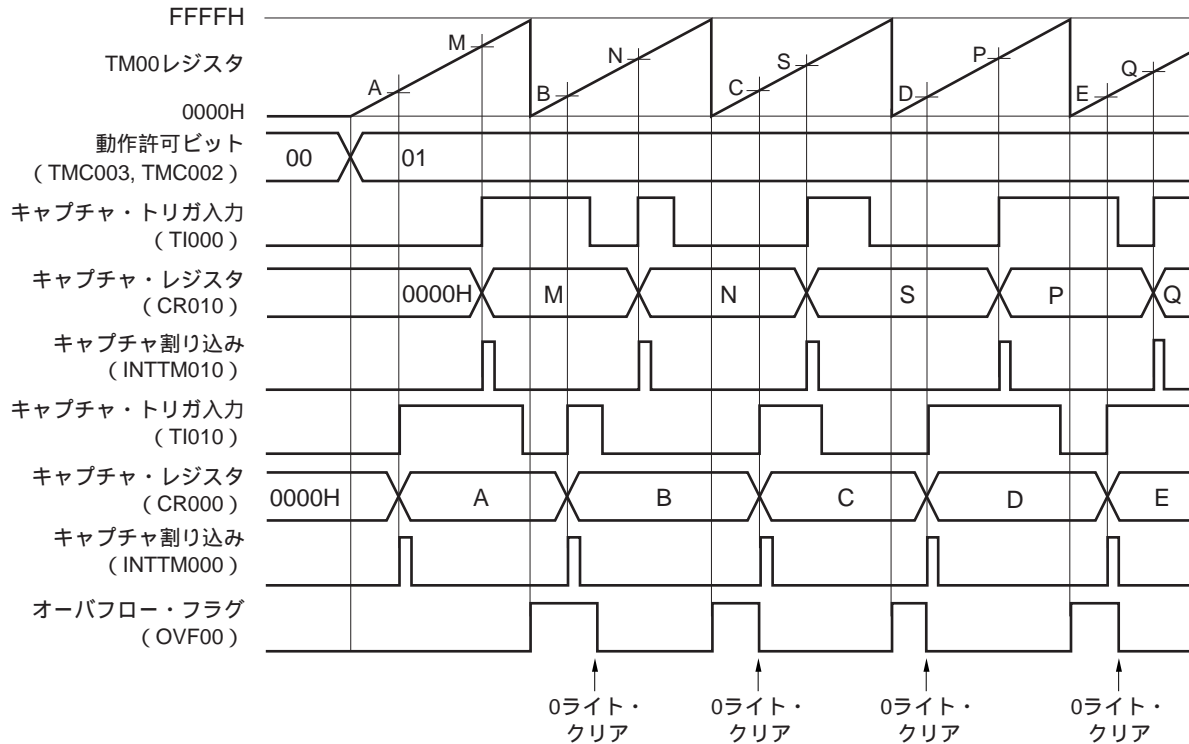
**備考** フリー・ランニング・タイマ・モードで、CR000, CR010を両方ともキャプチャ機能に設定した場合、TO00出力レベルは反転しません。

ただし、16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット1 (TMC001) = 1に設定することにより、TI000端子の有効エッジを検出するごとにTO00出力レベルを反転させることができます。



図7-38 フリー・ランニング・タイマ・モードのタイミング例  
 (CR000 : キャプチャ・レジスタ / CR010 : キャプチャ・レジスタ) (1/2)

(a) TOC00 = 13H, PRM00 = 50H, CRC00 = 05H, TMC00 = 04H

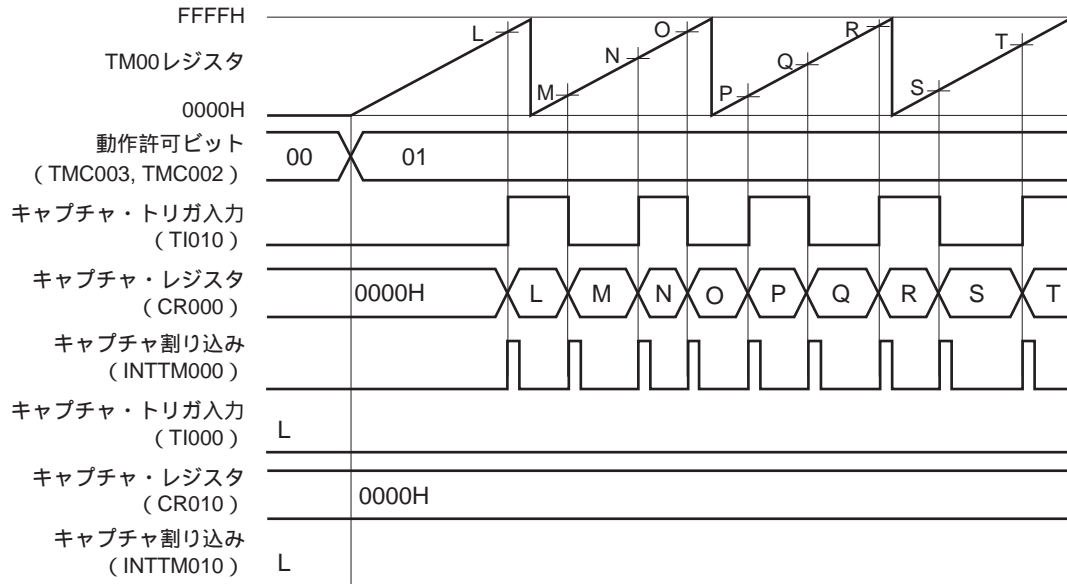


フリー・ランニング・タイマ・モードで、別々のキャプチャ・トリガ入力の有効エッジでキャプチャした値を別々のキャプチャ・レジスタに格納するアプリケーション例です。

TI000端子入力の有効エッジ検出でCR010にキャプチャします。TI010端子入力の有効エッジ検出でCR000にキャプチャします。

図7-38 フリー・ランニング・タイマ・モードのタイミング例  
 (CR000 : キャプチャ・レジスタ / CR010 : キャプチャ・レジスタ) (2/2)

(b) TOC00 = 13H, PRM00 = C0H, CRC00 = 05H, TMC00 = 04H

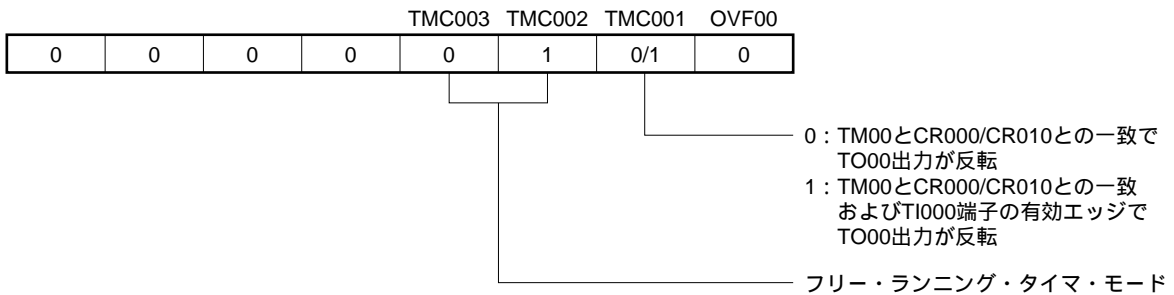


フリー・ランニング・タイマ・モードで、TI010端子の両エッジ検出に設定し、CR000にキャプチャするアプリケーション例です。

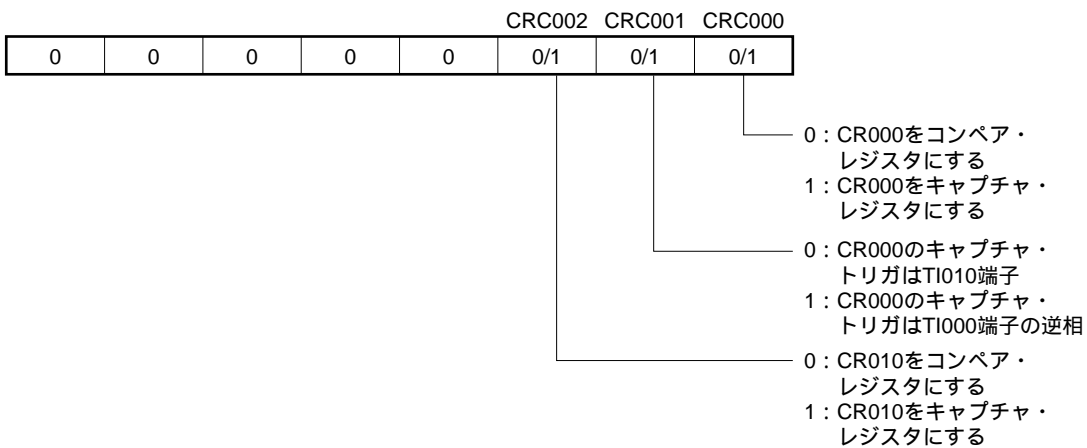
CR000, CR010を両方ともキャプチャ・レジスタとして使用し、TI010端子だけからの有効エッジを検出する場合、CR010にキャプチャすることはできません。

図7-39 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容例(1/2)

## (a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



## (b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)



## (c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

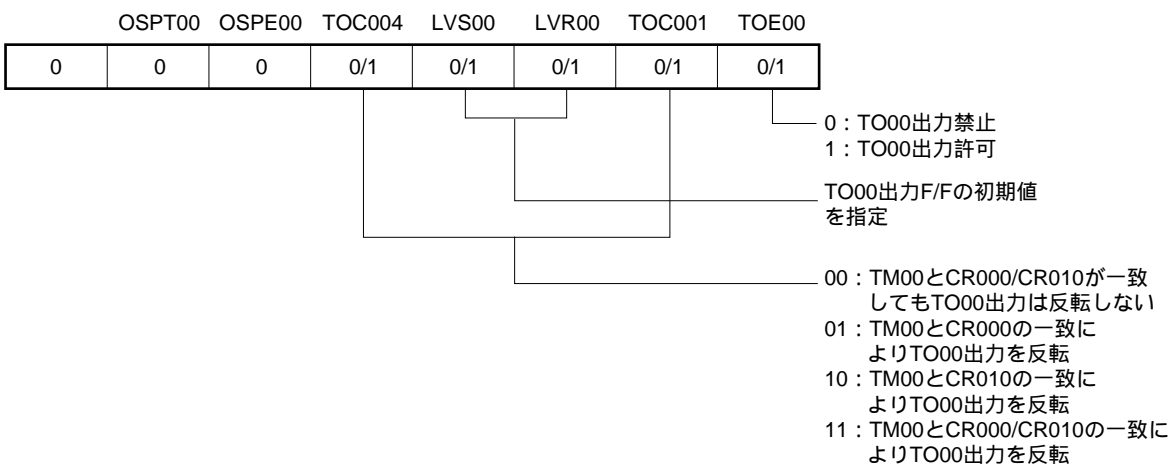
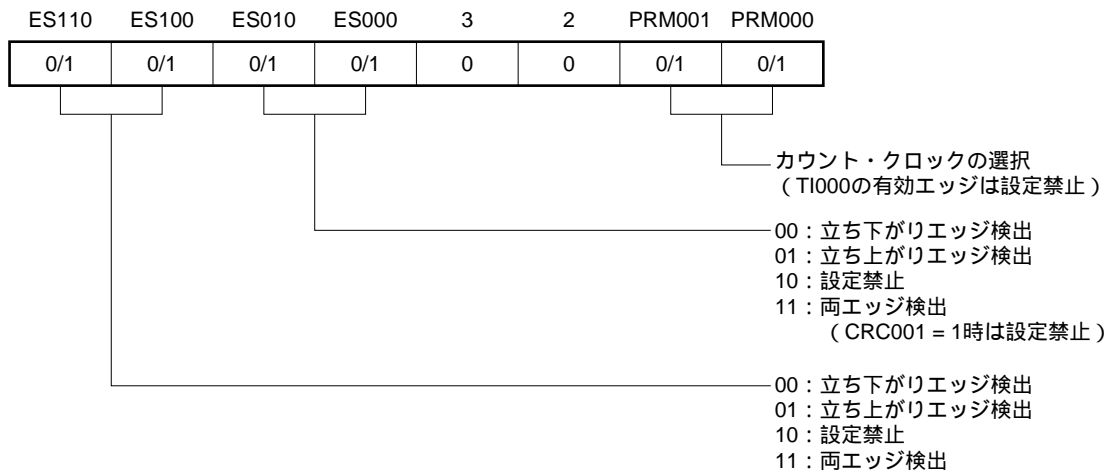


図7-39 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容例 (2/2)

## (d) プリスケーラ・モード・レジスタ00 (PRM00)



## (e) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

## (f) 16ビット・キャプチャ/コンペア・レジスタ000 (CR000)

コンペア・レジスタとして使用する場合は、TM00との一致で割り込み信号 (INTTM000) が発生します。TM00のカウント値はクリアされません。

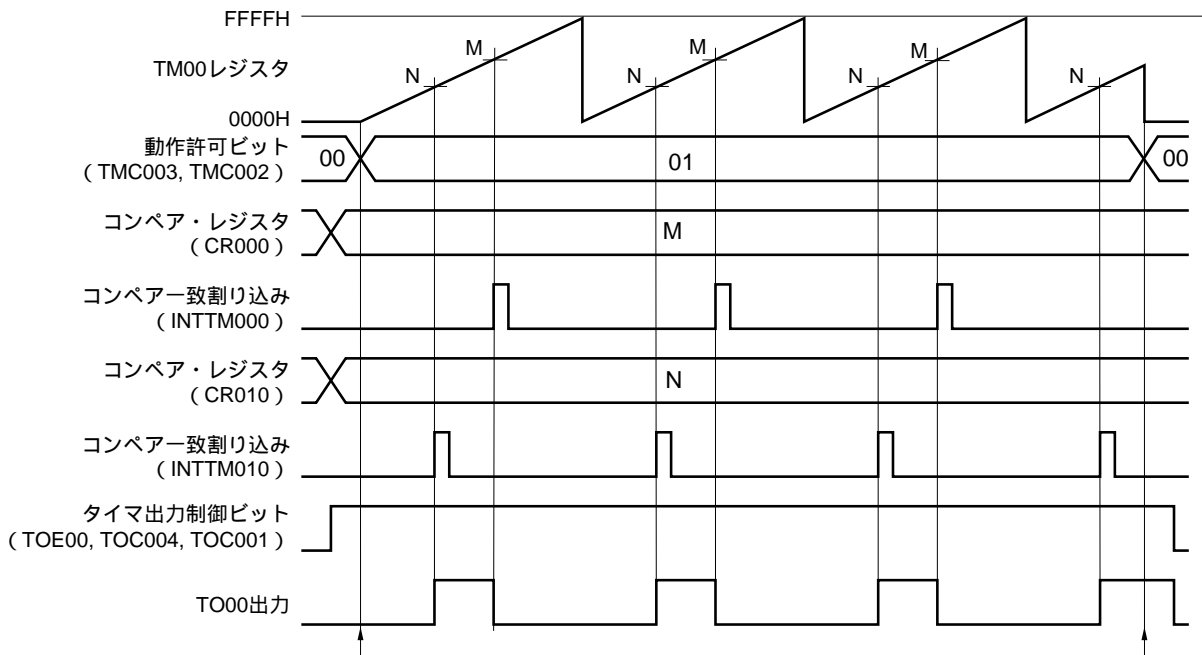
キャプチャ・レジスタとして使用する場合は、TI000, TI010端子入力のどちらかをキャプチャ・トリガとして設定してください。キャプチャ・トリガの有効エッジ検出により、TM00のカウント値をCR000に格納します。

## (g) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

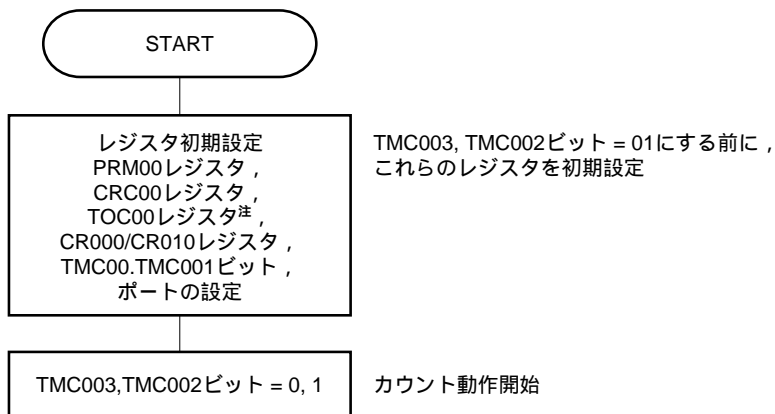
コンペア・レジスタとして使用する場合は、TM00との一致で割り込み信号 (INTTM010) が発生します。TM00のカウント値はクリアされません。

キャプチャ・レジスタとして使用する場合は、TI000端子入力キャプチャ・トリガとなります。キャプチャ・トリガの有効エッジ検出により、TM00のカウント値をCR010に格納します。

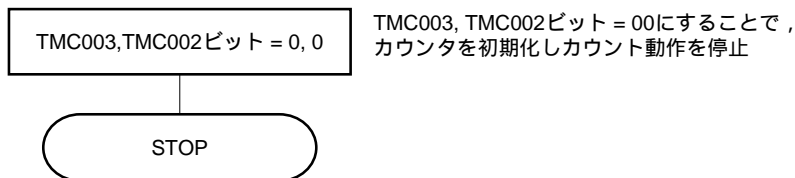
図7-40 フリー・ランニング・タイマ・モード動作時のソフトウェア処理例



## カウント動作開始フロー



## カウント動作停止フロー



注 TOC00の設定は注意が必要です。詳細は7.3(3)16ビット・タイマ出力コントロール・レジスタ00 (TOC00) を参照してください。

### 7.4.6 PPG出力としての動作

16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット3, 2 (TMC003, TMC002) = 11 (TM00とCR000の一致によるクリア&スタート) に設定し, CR000にあらかじめ設定した値を1周期とし, CR010にあらかじめ設定した値をパルス幅とする矩形波を, TO00端子からPPG (Programmable Pulse Generator) 出力として動作します。

PPG出力によって生成されるパルス周期, デューティは次のようになります。

- ・パルス周期 = (CR000の設定値 + 1) × カウント・クロック周期
- ・デューティ = (CR010の設定値 + 1) / (CR000の設定値 + 1)

**注意** 動作中にデューティの値 (CR010) を変更したい場合は, 7.5.1 CR010のTM00動作中の書き換えを参照してください。

**備考1.** 入出力端子の設定については7.3(6) ポート・モード・レジスタ0 (PM0) を参照してください。

2. INTTM000信号の割り込み許可については, 第17章 割り込み機能を参照してください。

図7-41 PPG出力としての動作のブロック図

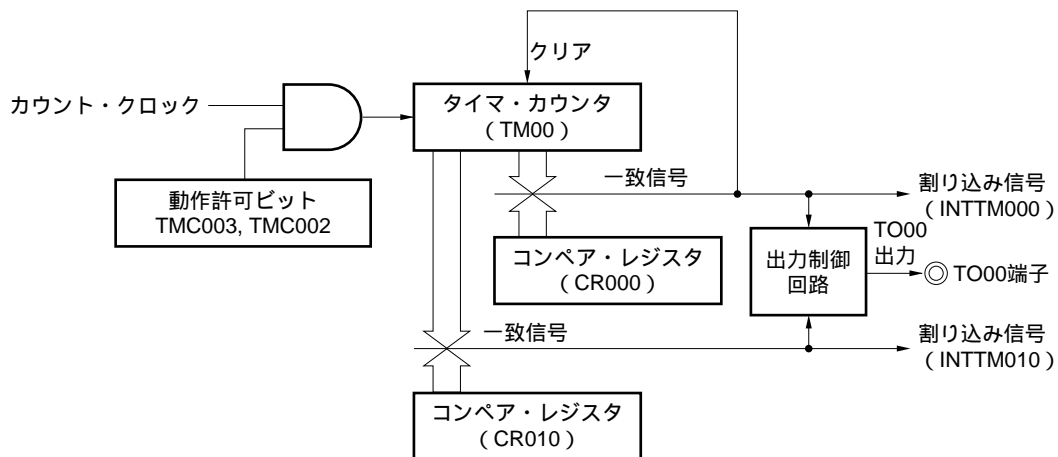


図7 - 42 PPG出力動作時のレジスタ設定内容例 (1/2)

## (a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)

				TMC003	TMC002	TMC001	OVF00
0	0	0	0	1	1	0	0

TM00とCR000の一致で  
クリア&スタート

## (b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

				CRC002	CRC001	CRC000
0	0	0	0	0	0	0

CR000をコンペア・  
レジスタにする

CR010をコンペア・  
レジスタにする

## (c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

OSPT00	OSPE00	TOC004	LVS00	LVR00	TOC001	TOE00
0	0	1	0/1	0/1	1	1

TO00出力許可

TO00出力F/Fの初期値を指定

11 : TM00とCR000/CR010の  
一致によりTO00出力を反転

00 : ワンショット・パルス  
出力禁止

## (d) プリスケアラ・モード・レジスタ00 (PRM00)

ES110	ES100	ES010	ES000	3	2	PRM001	PRM000
0	0	0	0	0	0	0/1	0/1

カウント・クロック  
の選択

図7 - 42 PPG出力動作時のレジスタ設定内容例 (2/2)

## (e) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

## (f) 16ビット・キャプチャ/コンペア・レジスタ000 (CR000)

TM00との一致で割り込み信号 (INTTM000) を発生します。TM00のカウント値はクリアされません。

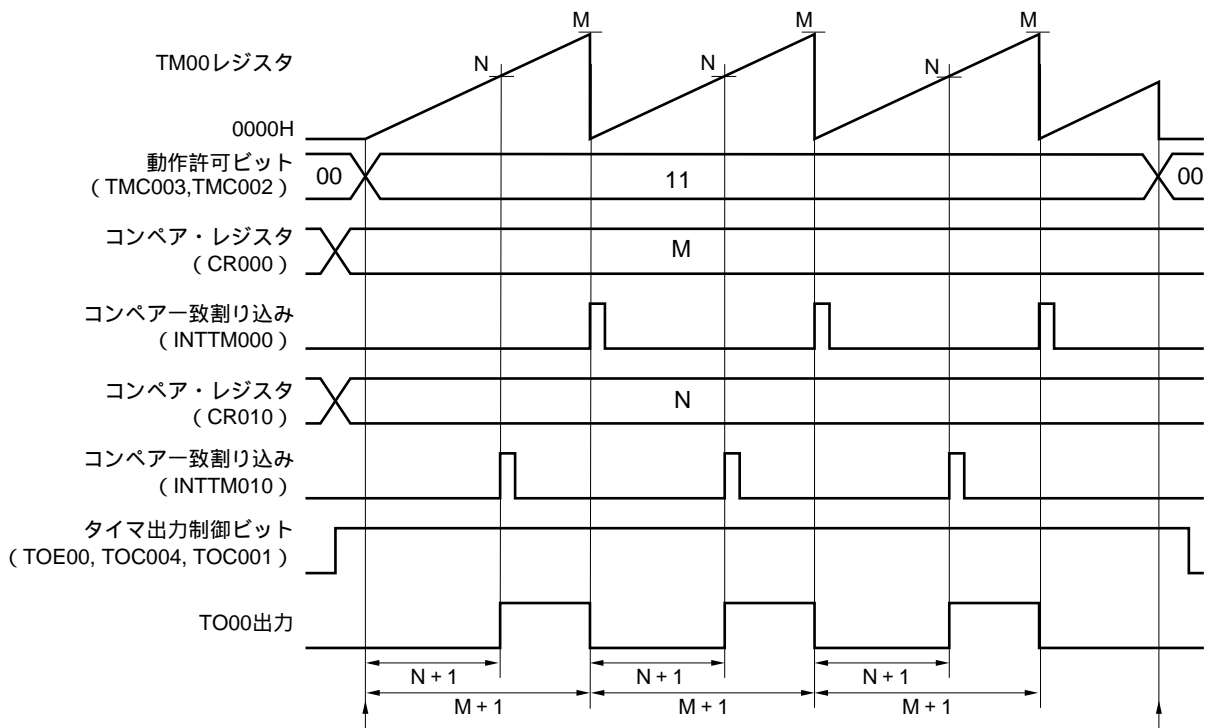
## (g) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

TM00との一致で割り込み信号 (INTTM010) を発生します。TM00のカウント値はクリアされません。

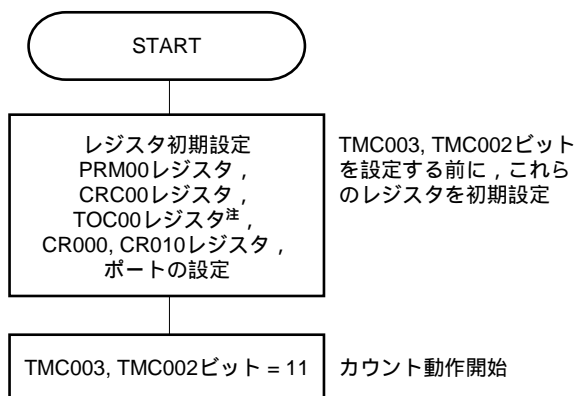
**注意** CR000, CR010には, 0000H CR010 < CR000 FFFFHの値を設定してください。



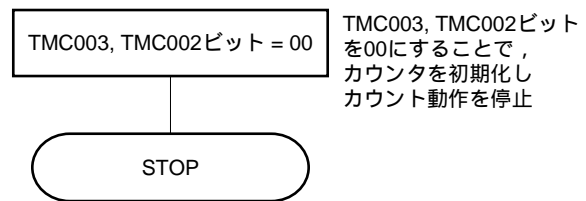
図7-43 PPG出力動作時のソフトウェア処理例



カウント動作開始フロー



カウント動作停止フロー



**注** TOC00の設定は注意が必要です。詳細は7.3(3)16ビット・タイマ出力コントロール・レジスタ00 (TOC00)を参照してください。

**備考** PPGのパルス周期 =  $(M+1) \times \text{カウント} \cdot \text{クロック周期}$   
PPGのデューティ =  $(N+1) / (M+1)$

### 7.4.7 ワンショット・パルス出力としての動作

16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット3, 2 (TMC003, TMC002) = 01 (フリー・ランニング・タイマ・モード), またはTMC003, TMC002 = 10 (TI000端子の有効エッジによるクリア&スタート・モード) に設定し, 16ビット・タイマ出力コントロール・レジスタ00 (TOC00) のビット5 (OSPE00) = 1に設定することにより, ワンショット・パルスを出力できます。

タイマ動作中に, TOC00のビット6 (OSPT00) をセット (1) するか, またはTI000端子に有効エッジが入力されると, それがトリガとなり, TM00のクリア&スタート後, CR000, CR010に設定した差分のパルスを1回だけTO00端子から出力します。

- 注意1.** ワンショット・パルスを出力中に, さらにトリガ (OSPT00のセット (1), またはTI000端子の有効エッジ検出) を入力しないでください。再度, ワンショット・パルスを出力したいときは, 現在のワンショット・パルス出力が終了したあとで, トリガを発生させてください。
2. OSPT00のセット (1) のみをワンショット・パルス出力のトリガとする場合, TI000端子またはその兼用ポート端子のレベルを変化させないでください。意図しないタイミングでパルスが出力されてしまいます。

- 備考1.** 入出力端子の設定については7.3(6) ポート・モード・レジスタ0 (PM0) を参照してください。
2. INTTM000信号の割り込み許可については, 第17章 割り込み機能を参照してください。

図7-44 ワンショット・パルス出力としての動作のブロック図

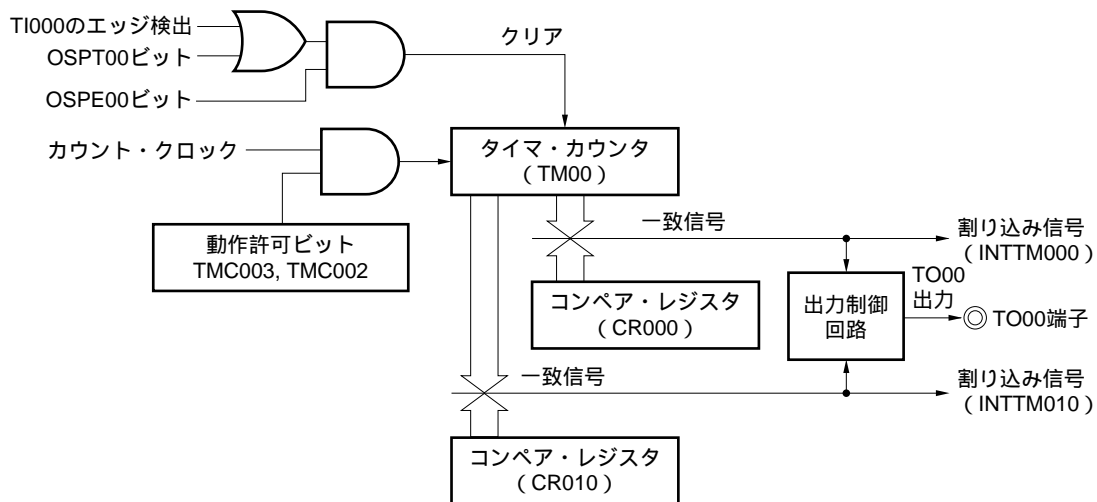


図7-45 ワンショット・パルス出力動作時のレジスタ設定内容例(1/2)

## (a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)

				TMC003	TMC002	TMC001	OVF00
0	0	0	0	0/1	0/1	0	0

01: フリー・ランニング・  
タイマ・モード  
10: TI000端子の有効エッジ  
によるクリア&スタート・  
モード

## (b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

				CRC002	CRC001	CRC000
0	0	0	0	0	0	0

CR000をコンペア・  
レジスタにする  
CR010をコンペア・  
レジスタにする

## (c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

OSPT00	OSPE00	TOC004	LVS00	LVR00	TOC001	TOE00
0	0/1	1	1	0/1	0/1	1

TO00出力許可  
TO00出力の初期値を  
指定  
TM00とCR000/CR010の  
一致によりTO00出力を反転  
ワンショット・パルス  
出力許可  
1をライトすることで  
ソフトウェア・トリガを発生  
(0をライトしても  
動作に影響なし)

## (d) プリスケアラ・モード・レジスタ00 (PRM00)

ES110	ES100	ES010	ES000	3	2	PRM001	PRM000
0	0	0	0	0	0	0/1	0/1

カウント・クロック  
の選択

図7 - 45 ワンショット・パルス出力動作時のレジスタ設定内容例 (2/2)

**(e) 16ビット・タイマ・カウンタ00 (TM00)**

TM00をリードしてカウンタの値を読み出します。

**(f) 16ビット・キャプチャ/コンペア・レジスタ000 (CR000)**

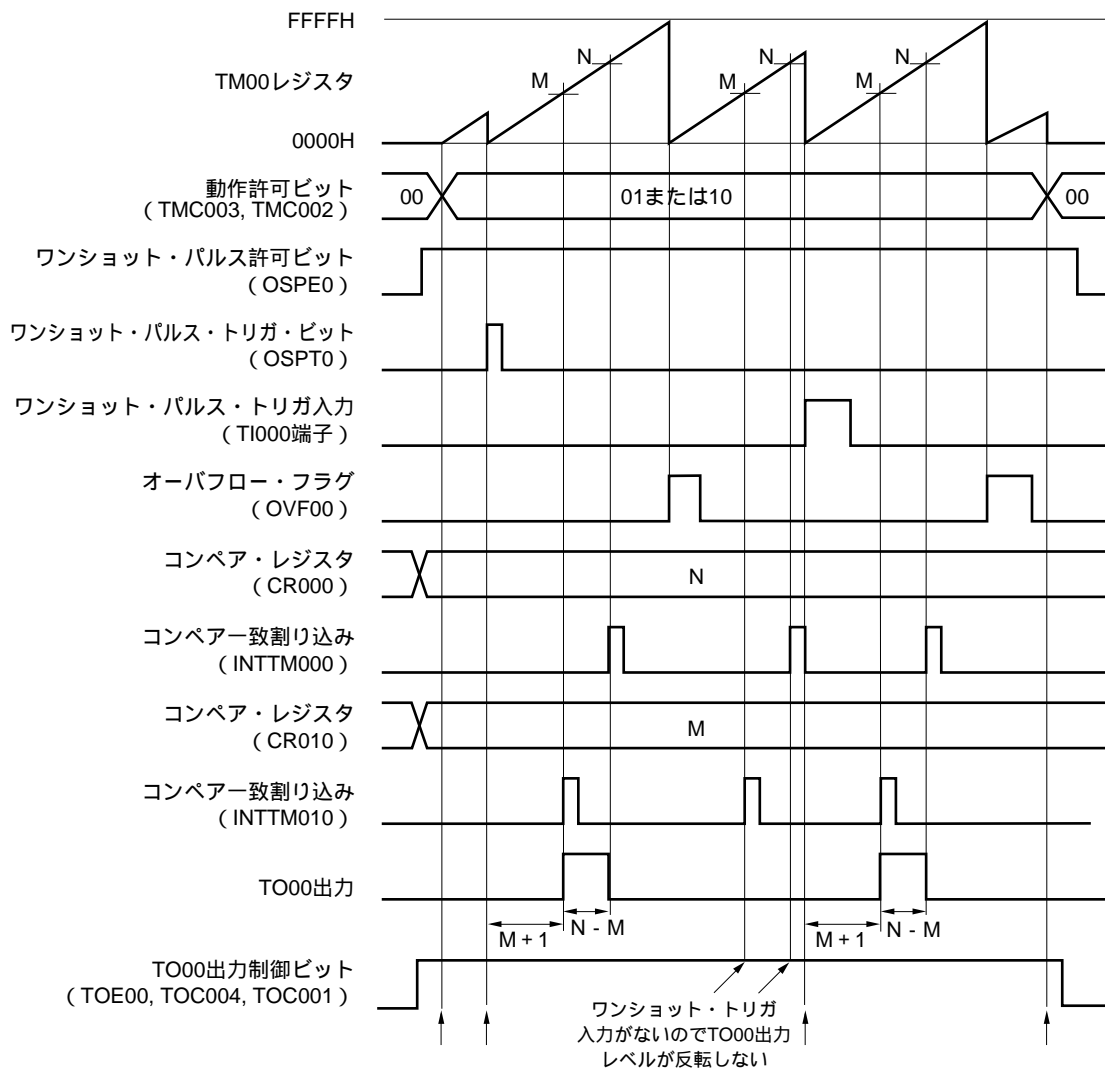
ワンショット・パルス出力用のコンペア・レジスタとして使用します。TM00とCR000の値が一致すると、割り込み信号 (INTTM000) を発生し、TO00出力レベルを反転します。

**(g) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)**

ワンショット・パルス出力用のコンペア・レジスタとして使用します。TM00とCR010の値が一致すると、割り込み信号 (INTTM010) を発生し、TO00出力レベルを反転します。

**注意** CR000とCR010には同値を設定しないでください。

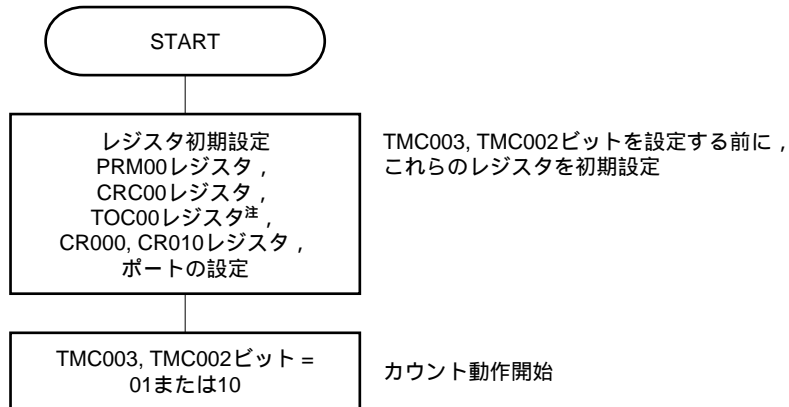
図7-46 ワンショット・パルス出力動作時のソフトウェア処理例 (1/2)



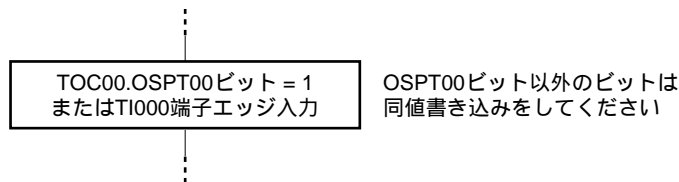
- ・ワンショット・パルス・トリガが入力されてからワンショット・パルスが出力されるまでの時間  
 $= (M+1) \times \text{カウント} \cdot \text{クロック周期}$
- ・ワンショット・パルス出力アクティブ・レベル幅  
 $= (N-M) \times \text{カウント} \cdot \text{クロック周期}$

図7 - 46 ワンショット・パルス出力動作時のソフトウェア処理例 (2/2)

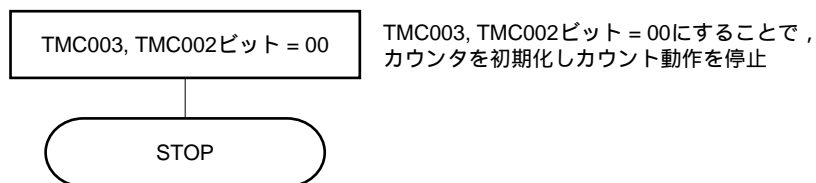
## カウント動作開始フロー



## ワンショット・トリガ入力フロー



## カウント動作停止フロー



注 TOC00の設定は注意が必要です。詳細は7.3(3)16ビット・タイマ出力コントロール・レジスタ00 (TOC00) を参照してください。

### 7.4.8 パルス幅測定としての動作

TM00を使用し、TI000端子およびTI010端子に入力される信号のパルス幅を測定できます。

測定方法には、16ビット・タイマ/イベント・カウンタ00をフリー・ランニング・タイマ・モードで動作させて測定する方法と、TI000端子に入力される信号のエッジに同期してタイマをリスタートさせて測定する方法があります。

割り込みが発生したら、有効なキャプチャ・レジスタの値をリードして、パルス幅の測定をしてください。また、16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット0 (OVF00) を確認して、セット (1) されていたらソフトウェアでクリア (0) してください。

図7-47 パルス幅測定 (フリー・ランニング・タイマ・モード) のブロック図

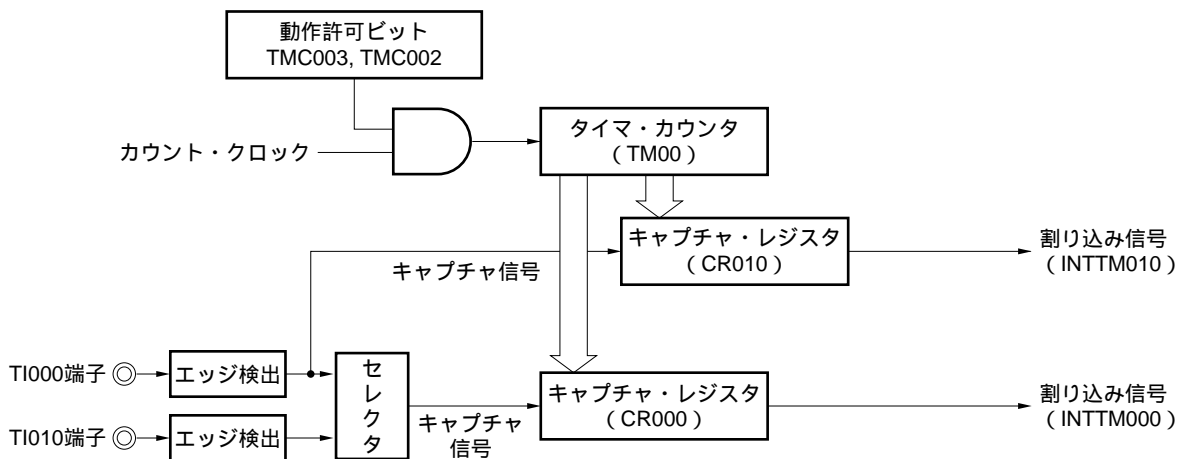
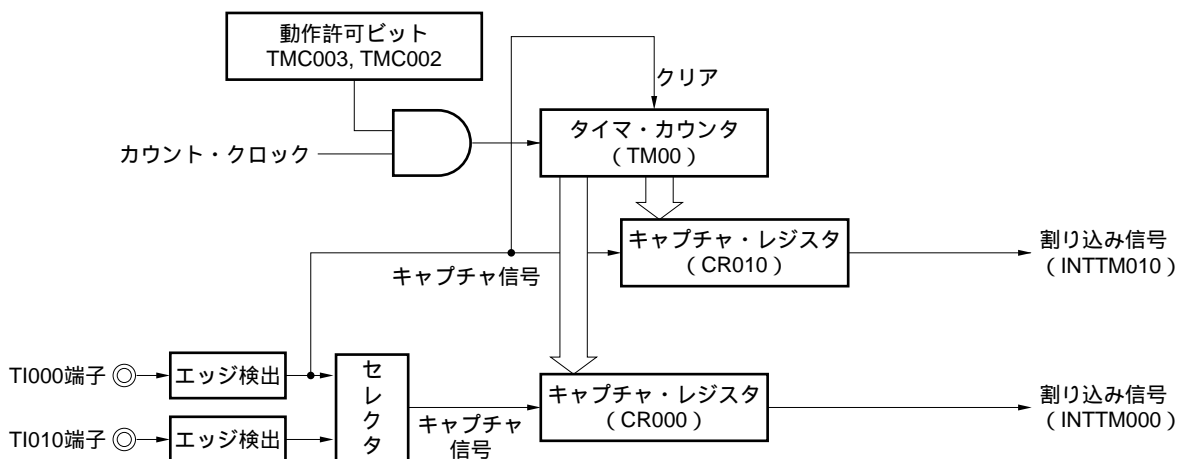


図7-48 パルス幅測定 (TI000端子の有効エッジ入力によるクリア&スタート・モード) のブロック図



パルス幅測定をするには、次の3つの方法があります。

- ・ TI000端子およびTI010端子の2本の入力信号でパルス幅を測定（フリー・ランニング・タイマ・モード）
- ・ TI000端子1本の入力信号でパルス幅を測定（フリー・ランニング・タイマ・モード）
- ・ TI000端子1本の入力信号でパルス幅を測定（TI000端子の有効エッジ入力によるクリア&スタート・モード）

- 備考1.** 入出力端子の設定については7.3(6) **ポート・モード・レジスタ0 (PM0)**を参照してください。
2. INTTM000信号の割り込み許可については、**第17章 割り込み機能**を参照してください。



## (1) TI000端子およびTI010端子の2本の入力信号でパルス幅を測定(フリー・ランニング・タイマ・モード)

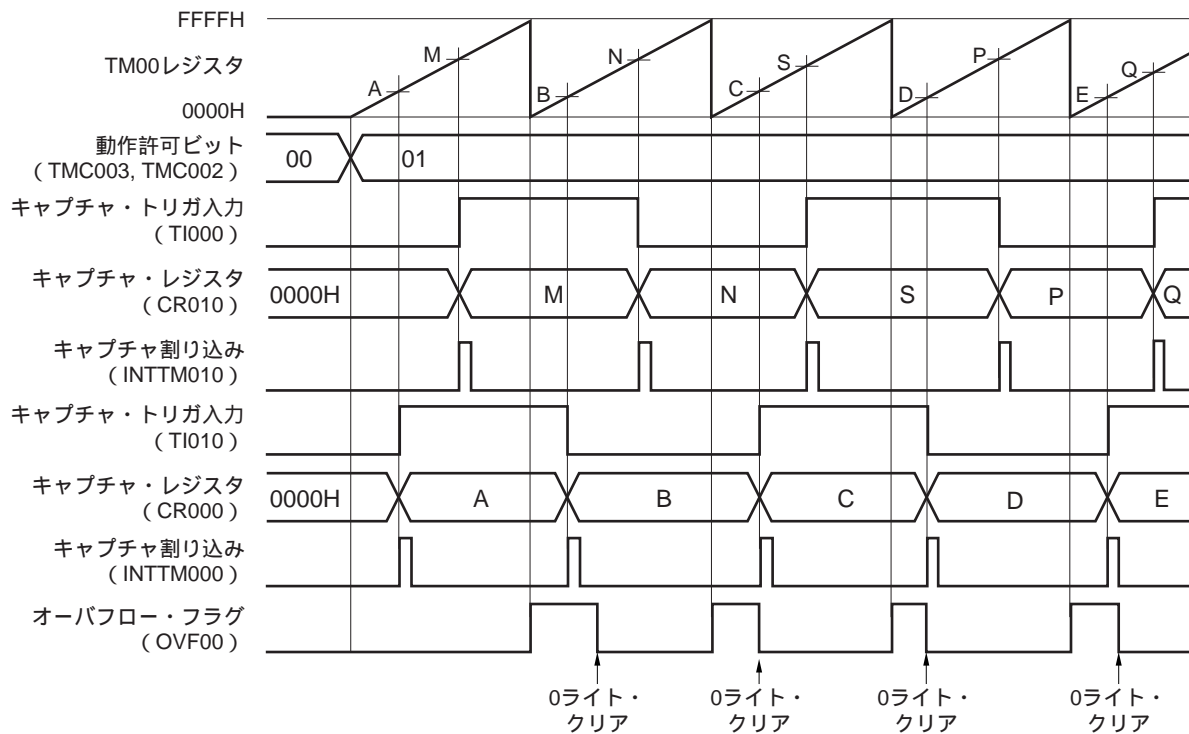
フリー・ランニング・タイマ・モード(TMC003, TMC002 = 01)に設定します。TI000端子の有効エッジ検出により, TM00のカウンタ値をCR010にキャプチャします。TI010端子の有効エッジ検出により, TM00のカウンタ値をCR000にキャプチャします。TI000端子とTI010端子のエッジ検出の設定は, 両エッジとしてください。

この測定方法では, それぞれの入力信号のエッジによりキャプチャした値から, 前回キャプチャした値を減算します。そのため, 前回キャプチャした値を, あらかじめ別レジスタに退避してください。

オーバフローが発生した場合, 単純に減算すると値がマイナスになるため, ボローが発生します(プログラム・ステータス・ワード(PSW)のビット0(CY)がセット(1)されます)。このときは, CYを無視して, 計算値をパルス幅として扱ってください。また, 16ビット・タイマ・モード・コントロール・レジスタ00(TMC00)のビット0(OVF00)をクリア(0)してください。

図7-49 パルス幅測定のタイミング例(1)

・ TMC00 = 04H, PRM00 = F0H, CRC00 = 05H



## (2) TI000端子1本の入力信号でパルス幅を測定 (フリー・ランニング・タイマ・モード)

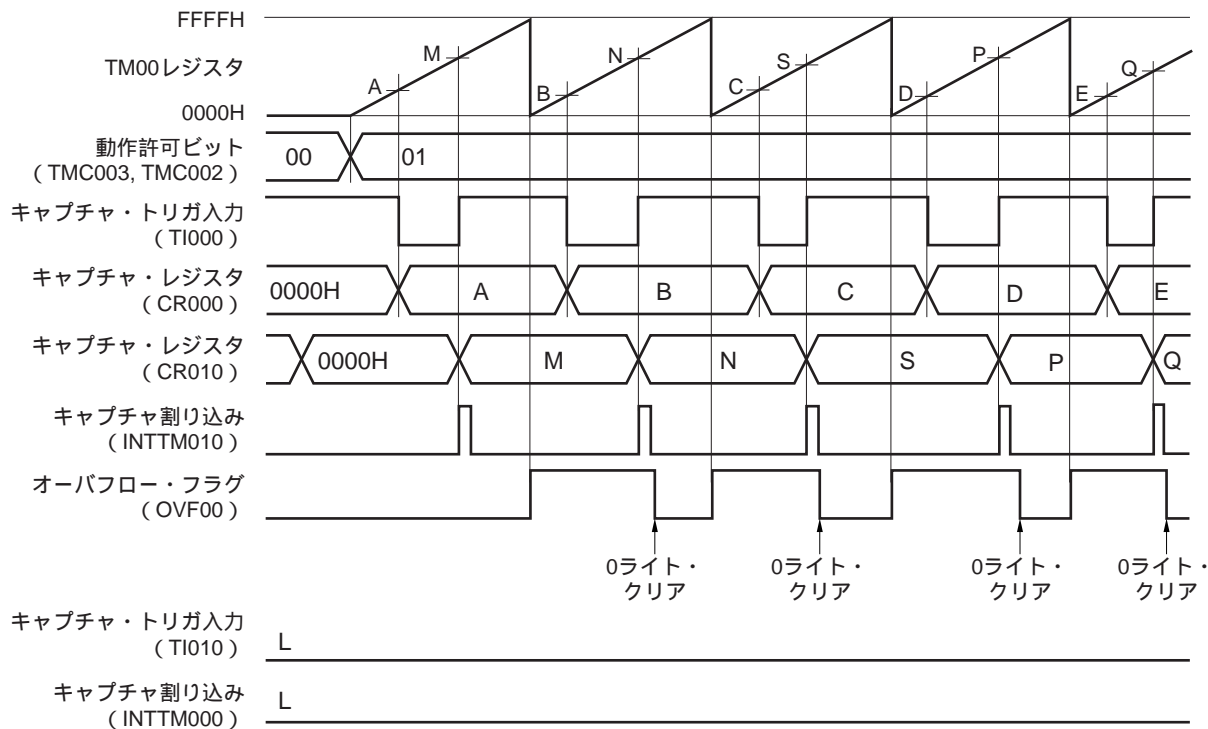
フリー・ランニング・タイマ・モード (TMC003, TMC002 = 01) に設定します。TI000端子の有効エッジ検出の逆相で、TM00のカウント値をCR000にキャプチャします。TI000端子の有効エッジ検出で、TM00のカウント値をCR010にキャプチャします。

この測定方法では、エッジからエッジまでの幅を測定する場合に、別々のキャプチャ・レジスタに値を格納するため、キャプチャした値を退避する必要がありません。2つのキャプチャ・レジスタ値を減算することでハイ・レベル幅、ロウ・レベル幅、周期を算出します。

オーバフローが発生した場合、単純に減算すると値がマイナスになるため、ポローが発生します (プログラム・ステータス・ワード (PSW) のビット0 (CY) がセット (1) されます)。このときは、CYを無視して、計算値をパルス幅として扱ってください。また、16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット0 (OVF00) をクリア (0) してください。

図7-50 パルス幅測定のタイミング例 (2)

・ TMC00 = 04H, PRM00 = 10H, CRC00 = 07H



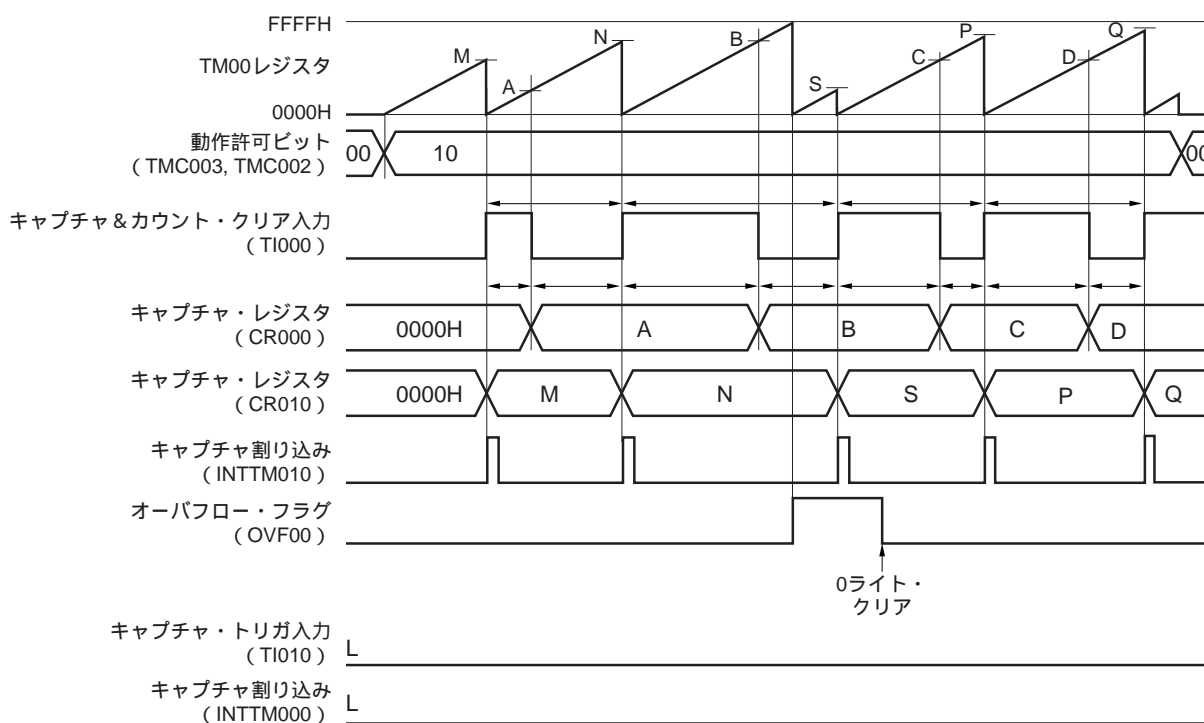
## (3) TI000端子1本の入力信号でパルス幅を測定(TI000端子の有効エッジ入力によるクリア&amp;スタート・モード)

TI000端子の有効エッジによるクリア&スタート・モード(TMC003, TMC002 = 10)に設定します。TI000端子の有効エッジ検出の逆相で、TM00のカウンタ値をCR000にキャプチャします。TI000端子の有効エッジ検出で、TM00のカウンタ値をCR010にキャプチャし、TM00をクリア(0000H)します。したがって、TM00がオーバーフローしなければ、CR010には周期が格納されます。

オーバーフローが発生した場合は、CR010に格納した値に10000Hを加算した値を周期として扱ってください。また、16ビット・タイマ・モード・コントロール・レジスタ00(TMC00)のビット0(OVF00)をクリア(0)してください。

図7-51 パルス幅測定のためのタイミング例(3)

・ TMC00 = 08H, PRM00 = 10H, CRC00 = 07H



$$\begin{aligned} \text{パルスの周期} &= (10000\text{H} \times \text{OVF00ビットがセット(1)された回数} + \\ &\quad \text{CR010のキャプチャ値}) \times \text{カウンタ・クロック周期} \\ \text{パルスのハイ・レベル幅} &= (10000\text{H} \times \text{OVF00ビットがセット(1)された回数} + \\ &\quad \text{CR000のキャプチャ値}) \times \text{カウンタ・クロック周期} \\ \text{パルスのロウ・レベル幅} &= (\text{パルスの周期} - \text{パルスのハイ・レベル幅}) \end{aligned}$$

図7-52 パルス幅測定時のレジスタ設定内容例(1/2)

## (a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)

				TMC003	TMC002	TMC001	OVF00
0	0	0	0	0/1	0/1	0	0

- 01: フリー・ランニング・タイマ・モード
- 10: TI000端子の有効エッジによるクリア&スタート・モード

## (b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

				CRC002	CRC001	CRC000
0	0	0	0	0	0/1	1

- 1: CR000をキャプチャ・レジスタにする
- 0: CR000のキャプチャ・トリガはTI010端子
- 1: CR000のキャプチャ・トリガはTI000端子の逆相
- 1: CR010をキャプチャ・レジスタにする

## (c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

OSPT00	OSPE00	TOC004	LVS00	LVR00	TOC001	TOE00
0	0	0	0	0	0	0

## (d) プリスケアラ・モード・レジスタ00 (PRM00)

ES110	ES100	ES010	ES000	3	2	PRM001	PRM000
0/1	0/1	0/1	0/1	0	0	0/1	0/1

カウント・クロックの選択  
(TI000の有効エッジは設定禁止)

- 00: 立ち下がりエッジ検出
- 01: 立ち上がりエッジ検出
- 10: 設定禁止
- 11: 両エッジ検出  
(CRC001 = 1時は設定禁止)

- 00: 立ち下がりエッジ検出
- 01: 立ち上がりエッジ検出
- 10: 設定禁止
- 11: 両エッジ検出

図7-52 パルス幅測定時のレジスタ設定内容例(2/2)

**(e) 16ビット・タイマ・カウンタ00 (TM00)**

TM00をリードしてカウンタの値を読み出します。

**(f) 16ビット・キャプチャ/コンペア・レジスタ000 (CR000)**

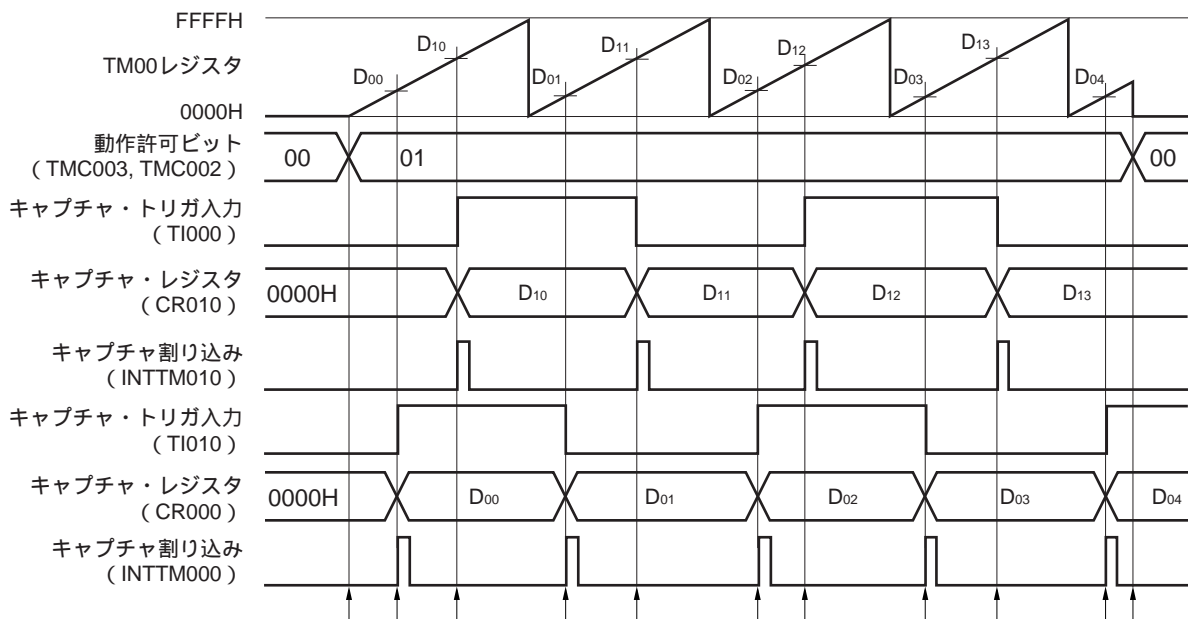
キャプチャ・レジスタとして使用します。TI000/TI010端子入力のどちらかをキャプチャ・トリガとして設定し、キャプチャ・トリガのエッジ検出により、TM00のカウント値をCR000に格納します。

**(g) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)**

キャプチャ・レジスタとして使用します。TI000端子入力キャプチャ・トリガとなり、キャプチャ・トリガのエッジ検出により、TM00のカウント値をCR010に格納します。

図7-53 パルス幅測定時のソフトウェア処理例 (1/2)

## (a) フリー・ランニング・タイマ・モードの例



## (b) TI000端子の有効エッジによるクリア&amp;スタート・モードの例

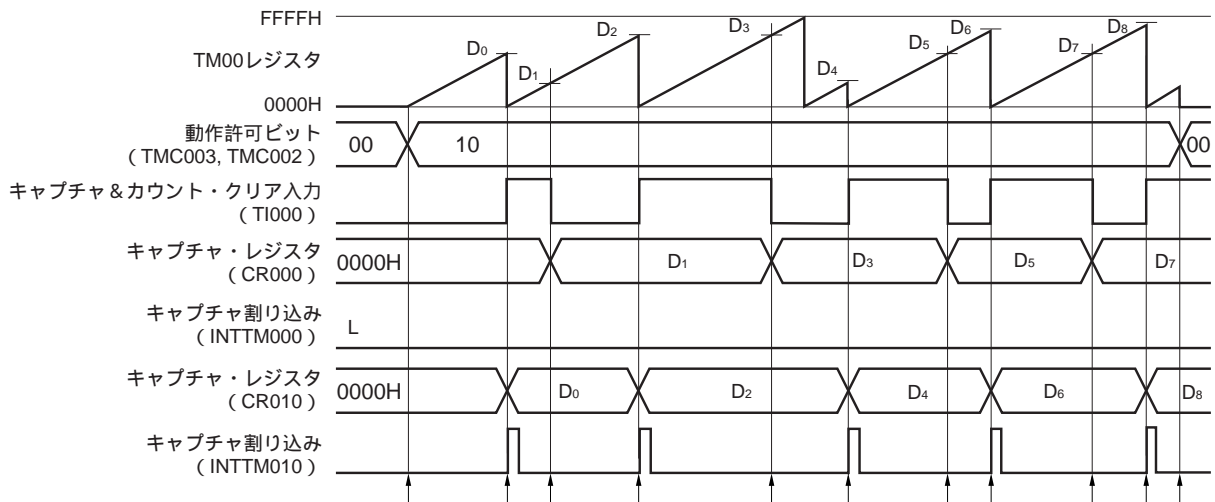
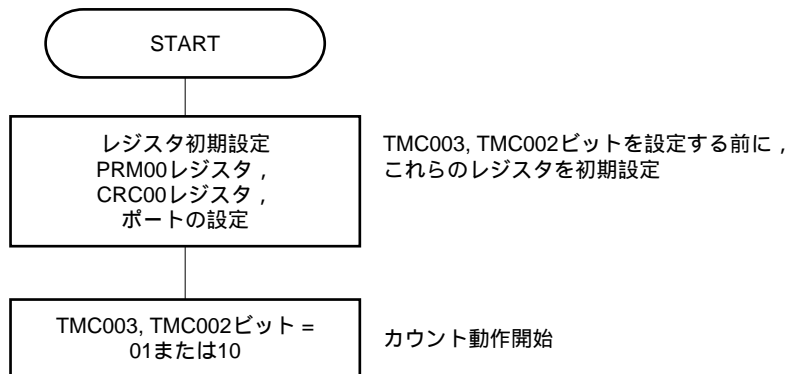
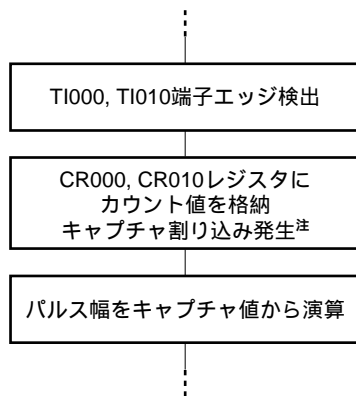


図7-53 パルス幅測定時のソフトウェア処理例 (2/2)

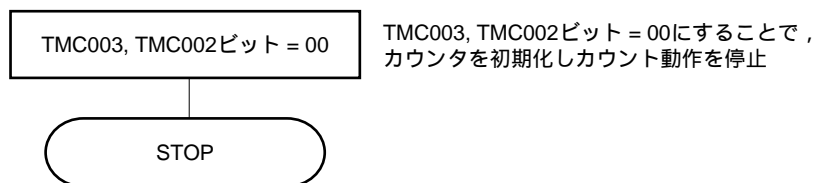
## カウント動作開始フロー



## キャプチャ・トリガ入力フロー



## カウント動作停止フロー



注 CR000の有効エッジにTI000端子入力の逆相を選択した場合、キャプチャ割り込み信号 (INTTM000) は発生しません。

## 7.5 TM00の特殊な使用方法

### 7.5.1 CR010のTM00動作中の書き換え

TM00動作中 (TMC003, TMC002 = 00以外) のとき, コンペア・レジスタとして使用するCR000とCR010の書き換えは原則禁止です。

ただし, CR010だけは, PPG出力としてタイマ動作中にデューティを変更する場合, 次の手順で設定すればTM00動作中でも書き換えができます (CR010の値を現在の設定値よりも小さくする場合には, CR010とTM00の一致直後に, CR010の値を現在の設定値よりも大きくする場合には, CR000とTM00の一致直後に, CR010の値を書き換えてください。CR010とTM00またはCR000とTM00の一致直前で書き換えると, 想定しない動作を起こす場合があります)。

#### CR010の書き換え手順

INTTM010の割り込みを禁止する (TMMK010 = 1)。

TM00とCR010の一致によるタイマ出力反転動作を禁止する (TOC004 = 0)。

CR010を書き換える。

TM00のカウント・クロックの1周期分ウエイトする。

TM00とCR010の一致によるタイマ出力反転動作を許可する (TOC004 = 1)。

INTTM010の割り込みフラグをクリア (0) する (TMIF010 = 0)。

INTTM010の割り込みを許可する (TMMK010 = 0)

**備考** TMIF010, TMMK010については第17章 **割り込み機能**を参照してください。

### 7.5.2 LVS00, LVR00の設定について

#### (1) LVS00, LVR00の使用用途

LVS00, LVR00は, TO00出力の初期値を設定したいときや, タイマを動作許可しない (TMC003, TMC002 = 00) でタイマ出力を反転させたいときに使用します。ソフトウェア制御が不要なときは, LVS00, LVR00は00 (初期値ロウ・レベル出力) に設定してください。

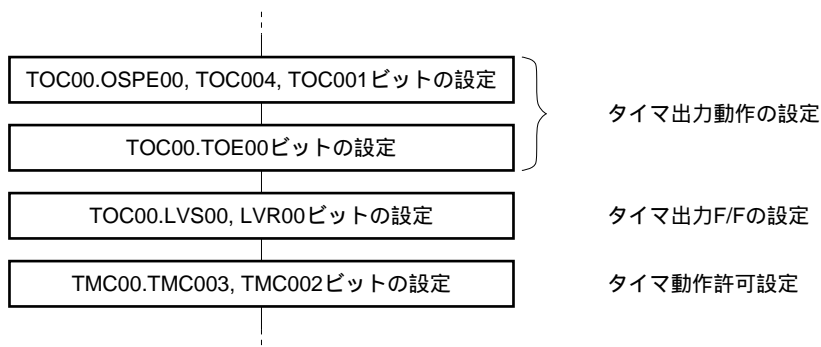
LVS00	LVR00	タイマ出力の状態
0	0	変化しない (ロウ・レベル出力)
0	1	クリア (ロウ・レベル出力)
1	0	セット (ハイ・レベル出力)
1	1	設定禁止



## (2) LVS00, LVR00の設定方法

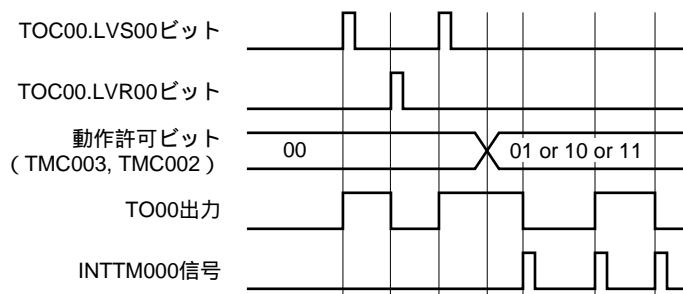
LVS00, LVR00は次の手順で設定してください。

図7-54 LVS00, LVR00ビットの設定フロー例



**注意** LVS00, LVR00は必ず上記 , , の手順で設定してください。  
 の設定をしてから , の設定をするまでの間であれば , の設定ができます。

図7-55 LVR00, LVS00のタイミング例



LVS00, LVR00 = 10に設定することにより, TO00出力がハイ・レベルになります。

LVS00, LVR00 = 01に設定することにより, TO00出力がロウ・レベルになります

(LVS00, LVR00 = 00に設定しても, ハイ・レベルのまま変化しません)。

TMC003, TMC002 = 01, 10, 11のどれかに設定することにより, タイマ動作を開始します。動作開始前のLVS00, LVR00の設定が10だったので, TO00出力はハイ・レベルから始まります。タイマ動作開始以降は, TMC003, TMC002 = 00(タイマ動作禁止)にするまで, LVS00, LVR00の設定は禁止です。

割り込み信号(INTTM00)が発生するたびに, TO00出力のレベルが反転します。

## 7.6 16ビット・タイマ/イベント・カウンタ00の注意事項

### (1) 16ビット・タイマ/イベント・カウンタ00の各チャネルの制限事項

表7-3に各チャネルの制限事項を示します。

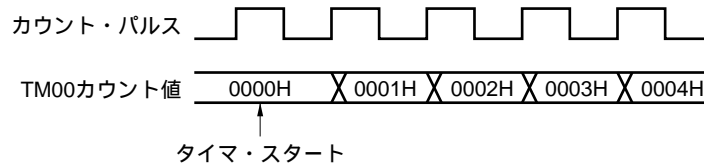
表7-3 16ビット・タイマ/イベント・カウンタ00の各チャネルの制限事項

動作	制限事項
インターバル・タイマとしての動作	
方形波出力としての動作	
外部イベント・カウンタとしての動作	
TI000端子の有効エッジ入力によるクリア&スタート・モードとしての動作	TI010端子の有効エッジ検出を使用する場合、タイマ出力(TO00)は使用禁止( TOC00 = 00Hに設定)
フリー・ランニング・タイマとしての動作	
PPG出力としての動作	0000H CP010 < CR000 FFFFH
ワンショット・パルス出力としての動作	CR000とCP010には同値は設定禁止
パルス幅測定としての動作	タイマ出力(TO00)は使用禁止( TOC00 = 00Hに設定)

### (2) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は最大で1クロック分の誤差が発生します。これは、カウント・パルスに対してTM00のカウント・スタートが非同期で行われるためです。

図7-56 TM00のカウント・スタート・タイミング



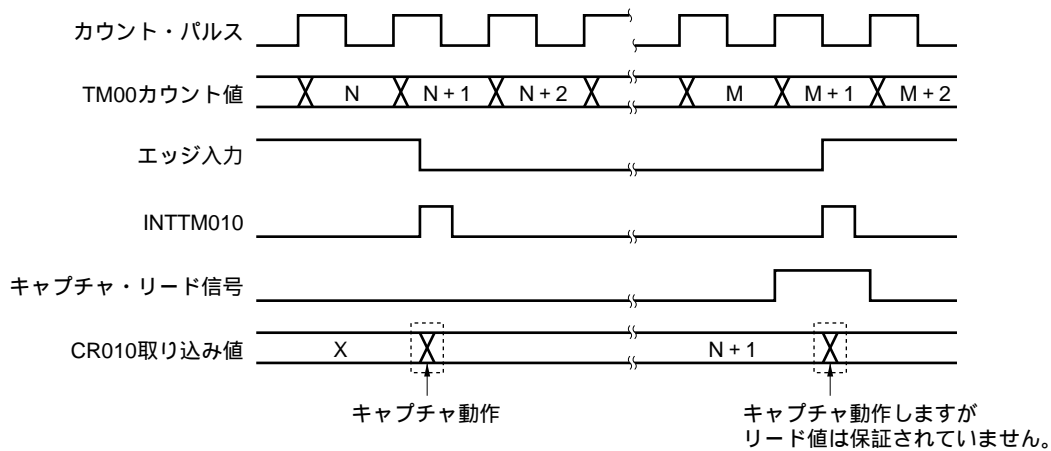
### (3) CR000, CR010の設定 (TM00とCR000の一致でクリア&スタート・モードの場合)

CR000, CR010には、0000H以外の値を設定してください(外部イベント・カウンタとして使用する場合、1パルスのカウント動作はできません)。

#### (4) キャプチャ・レジスタのデータ保持タイミング

- (a) CR000/CR010の読み出し中にTI000/TI010端子の有効エッジ入力，TI000端子の逆相のエッジを検出したとき，CR010はキャプチャ動作を行います，CR000/CR010の読み出し値は保証されません。このとき，TI000/TI010端子の有効エッジの検出による割り込み信号（INTTM000/INTTM010）は発生しません（TI000端子の逆相のエッジ検出時は，割り込み信号を発生しません）。TI000/TI010端子の有効エッジの検出によるキャプチャ時に，CR000/CR010の値を読み出す場合は，INTTM000/INTTM010発生後に行ってください。

図7 - 57 キャプチャ・レジスタのデータ保持タイミング



- (b) 16ビット・タイマ/イベント・カウンタ00停止後のCR000, CR010の値は保証されません。

#### (5) 有効エッジの設定

TI000端子の有効エッジの設定は，タイマ動作が停止（TMC003, TMC002 = 00）しているときに行ってください。有効エッジの設定は，ES000, ES010で行います。

#### (6) ワンショット・パルスの再トリガ

ワンショット・パルス出力モードで，アクティブ・レベルを出力中に，トリガが発生しないようにしてください。次のトリガ入力は，必ず現在のアクティブ・レベル出力が終わったあとで発生するようにしてください。

**(7) OVF00フラグの動作****(a) OVF00フラグのセット(1)**

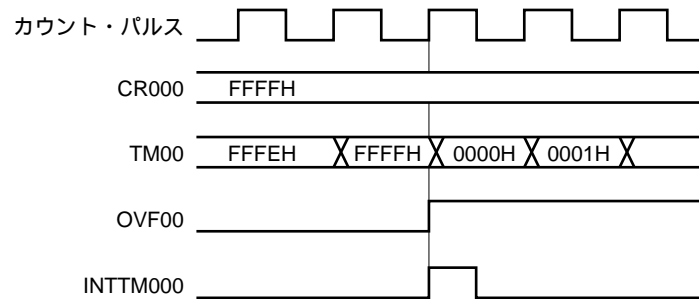
OVF00フラグは、TM00がオーバーフローしたとき以外に、次のときにもセット(1)されます。

TM00とCR000の一致でクリア&スタート・モードを選択

CR000をFFFFHに設定

TM00がCR000との一致によりFFFFHから0000Hにクリアされるとき

図7-58 OVF00フラグの動作タイミング

**(b) OVF00フラグのクリア**

TM00がオーバーフロー後、次のカウント・クロックがカウントされる(TM00が0001Hになる)前に OVF00フラグをクリア(0)しても、再度セット(1)されクリアは無効となります。

**(8) ワンショット・パルス出力**

ワンショット・パルス出力は、フリー・ランニング・タイマ・モードまたはTI000端子の有効エッジでクリア&スタート・モードのときに、正常に動作します。TM00とCR000の一致でクリア&スタート・モードでは、ワンショット・パルスを出力できません。

### (9) キャプチャ動作

#### (a) カウント・クロックにTI000の有効エッジを指定した場合

カウント・クロックにTI000の有効エッジを指定した場合、TI000をトリガに指定したキャプチャ・レジスタは正常に動作しません。

#### (b) TI010, TI000端子入力信号で確実にキャプチャするためのパルス幅

確実にキャプチャするためのキャプチャ・トリガとして、TI000, TI010端子に入力するパルスには、PRM00で選択したカウント・クロックの2回分より長いパルス幅が必要です(図7-7を参照)。

#### (c) 割り込み信号の発生

キャプチャ動作はカウント・クロックの立ち下がりで行われますが、割り込み信号(INTTM000, INTTM010)は次のカウント・クロックの立ち上がりで発生します(図7-7を参照)。

#### (d) CRC001(キャプチャ/コンペア・コントロール・レジスタ00(CRC00)のビット1) = 1に設定したときの注意

TI000端子入力の逆相でTM00レジスタのカウント値をCR000レジスタにキャプチャする場合、キャプチャ後に割り込み要求信号(INTTM000)は発生しません。この動作中に、TI010端子から有効エッジが検出された場合、キャプチャ動作は行われませんが、外部割り込み信号としてINTTM000信号が発生します。外部割り込みを使用しない場合は、INTTM000信号をマスクしてください。

### (10) エッジ検出

#### (a) リセット後の有効エッジ指定

リセット後、TI000端子またはTI010端子がハイ・レベルの状態、TI000端子またはTI010端子の有効エッジを立ち上がりエッジまたは両エッジに指定して、16ビット・タイマ/イベント・カウンタ00の動作を許可すると、そのハイ・レベルを立ち上がりエッジとして検出してしまいます。TI000端子またはTI010端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。

#### (b) ノイズ除去のためのサンプリング・クロック

TI000の有効エッジをカウント・クロックで使用する場合と、キャプチャ・トリガとして使用する場合で、ノイズ除去のためのサンプリング・クロックが異なります。前者は $f_{PRS}$ 固定で、後者はPRM00で選択したカウント・クロックでサンプリングします。

TI000端子入力信号をサンプリングして、2回連続して有効レベルを検出したときに、はじめて有効エッジと判断します。したがって、短いパルス幅のノイズを除去できます(図7-7を参照)。

### (11) タイマ動作について

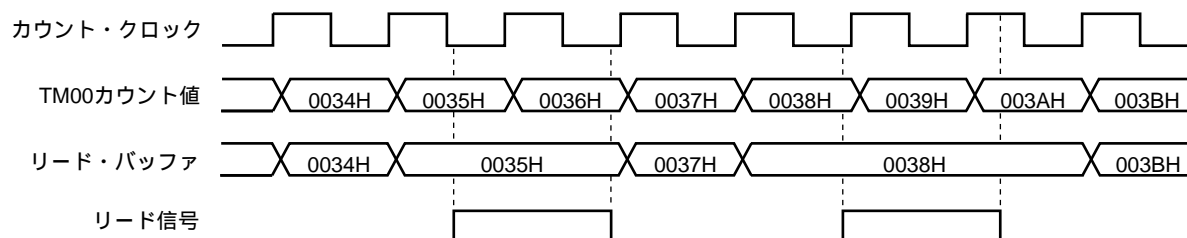
CPUの動作モードに関係なく、タイマが停止していると、TI000/TI010端子への入力信号は受け付けられません。

**備考**  $f_{PRS}$  : 周辺ハードウェア・クロック周波数

## (12) 16ビット・タイマ・カウンタ00 (TM00) のリードについて

TM00は、バッファに取り込まれたカウント値を固定してリードするため、実際のカウンタを停止せずにリードすることができます。ただし、バッファはカウンタのカウント・アップのタイミングで更新されるため、カウント・アップの直前にリードした場合、バッファが更新されない場合があります。

図7 - 59 16ビット・タイマ・カウンタ00 (TM00) のリード・タイミング



## 第8章 8ビット・タイマ/イベント・カウンタ51

### 8.1 8ビット・タイマ/イベント・カウンタ51の機能

8ビット・タイマ/イベント・カウンタ51は、78K0/Fx2-Lマイクロコントローラの全製品に搭載されています。

8ビット・タイマ/イベント・カウンタ51は、次のような機能があります。

- ・インターバル・タイマ
- ・外部イベント・カウンタ

### 8.2 8ビット・タイマ/イベント・カウンタ51の構成

8ビット・タイマ/イベント・カウンタ51は、次のハードウェアで構成されています。

表8-1 8ビット・タイマ/イベント・カウンタ51の構成

項 目	構 成
タイマ・レジスタ	8ビット・タイマ・カウンタ51 (TM51)
タイマ入力	TI51
レジスタ	8ビット・タイマ・コンペア・レジスタ51 (CR51)
制御レジスタ	タイマ・クロック選択レジスタ51 (TCL51) 8ビット・タイマ・モード・コントロール・レジスタ51 (TMC51) ポート・モード・レジスタ3 (PM3)

図8-1に、8ビット・タイマ/イベント・カウンタ51のブロック図を示します。





**(2) 8ビット・タイマ・コンペア・レジスタ51 (CR51)**

CR51は、8ビット・メモリ操作でリード/ライト可能なレジスタです。

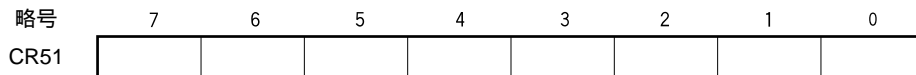
CR51に設定した値と、8ビット・タイマ・カウンタ51 (TM51) のカウント値を常に比較し、その2つの値が一致したときに、割り込み要求 (INTTM51) を発生します。

CR51の値は、00H-FFHの範囲で設定できます。

リセット信号の発生により、00Hになります。

図8-3 8ビット・タイマ・コンペア・レジスタ51 (CR51) のフォーマット

アドレス : FF41H リセット時 : 00H R/W



**注意** 動作中にCR51に異なる値を書き込まないでください。

### 8.3 8ビット・タイマ/イベント・カウンタ51を制御するレジスタ

8ビット・タイマ/イベント・カウンタ51を制御するレジスタには、次の3種類があります。

- ・タイマ・クロック選択レジスタ51 (TCL51)
- ・8ビット・タイマ・モード・コントロール・レジスタ51 (TMC51)
- ・ポート・モード・レジスタ3 (PM3)

## (1) タイマ・クロック選択レジスタ51 (TCL51)

8ビット・タイマ/イベント・カウンタ51のカウンタ・クロックおよびTI51端子入力の有効エッジを設定するレジスタです。

TCL51は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8-4 タイマ・クロック選択レジスタ51 (TCL51) のフォーマット

アドレス：FF8CH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TCL51	0	0	0	0	0	TCL512	TCL511	TCL510

TCL512	TCL511	TCL510	カウンタ・クロックの選択				
			fPRS = 2 MHz	fPRS = 5 MHz	fPRS = 10 MHz	fPRS = 20 MHz (PLL使用時)	
0	0	0	TI51端子の立ち下がりエッジ <sup>注</sup>				
0	0	1	TI51端子の立ち上がりエッジ <sup>注</sup>				
0	1	0	fPRS	2 MHz	5 MHz	10 MHz	20 MHz
0	1	1	fPRS/2	1 MHz	2.5 MHz	5 MHz	10 MHz
1	0	0	fPRS/2 <sup>4</sup>	125 kHz	312.5 kHz	625 kHz	1.25 MHz
1	0	1	fPRS/2 <sup>6</sup>	31.25 kHz	78.13 kHz	156.25 kHz	312.5 kHz
1	1	0	fPRS/2 <sup>8</sup>	7.81 kHz	19.53 kHz	39.06 kHz	78.13 kHz
1	1	1	TMH1の出力				

注 STOPモード時の場合、TI51端子からの外部クロックでタイマ動作を開始させないでください。

注意1. TCL51を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。

2. ビット3-7には必ず“0”を設定してください。

備考 fPRS：周辺ハードウェア・クロック周波数

## (2) 8ビット・タイマ・モード・コントロール・レジスタ51 (TMC51)

TMC51は、8ビット・タイマ・カウンタ51 (TM51) のカウント動作を制御するレジスタです。  
TMC51は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。  
リセット信号の発生00Hになります。

図8 - 5 8ビット・タイマ・モード・コントロール・レジスタ51 (TMC51) のフォーマット

アドレス : FF43H    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
TMC51	TCE51	0	0	0	0	0	0	0

TCE51	TM51のカウント動作制御
0	カウンタを0にクリア後、カウント動作禁止 (カウンタ停止)
1	カウント動作開始

## (3) ポート・モード・レジスタ3 (PM3)

ポート3の入力/出力を1ビット単位で設定するレジスタです。  
TI51/P30/TOH1/INTP1端子をタイマ入力として使用するとき、PM30に1を設定してください。このとき、P30の出力ラッチは0または1のどちらでもかまいません。  
PM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。  
リセット信号の発生により、FFHになります。

図8 - 6 ポート・モード・レジスタ3 (PM3) のフォーマット

アドレス : FF23H    リセット時 : FFH    R/W

略号	7	6	5	4	3	2	1	0
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30

PM3n	P3n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

**備考** 上記は、78K0/FB2-Lのポート・モード・レジスタ3のフォーマットです。他の製品のポート・モード・レジスタ3のフォーマットについては、4.3 **ポート機能を制御するレジスタ (1) ポート・モード・レジスタ (PMxx)** を参照してください。

## 8.4 8ビット・タイマ/イベント・カウンタ51の動作

### 8.4.1 インターバル・タイマとしての動作

8ビット・タイマ・コンペア・レジスタ51 (CR51) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

8ビット・タイマ・カウンタ51 (TM51) のカウント値がCR51に設定した値と一致したとき、TM51の値を0にクリアしてカウントを継続すると同時に、割り込み要求信号 (INTTM51) を発生します。

タイマ・クロック選択レジスタ51 (TCL51) のビット0-2 (TCL510-TCL512) でTM51のカウント・クロックを選択できます。

#### 設定方法

各レジスタの設定を行います。

- ・TCL51 : カウント・クロックの選択
- ・CR51 : コンペア値
- ・TMC51 : カウント動作停止 (TMC51 = 00000000B)

TCE51 = 1を設定すると、カウント動作を開始します。

TM51とCR51の値が一致すると、INTTM51が発生します (TM51は00Hにクリアされます)。

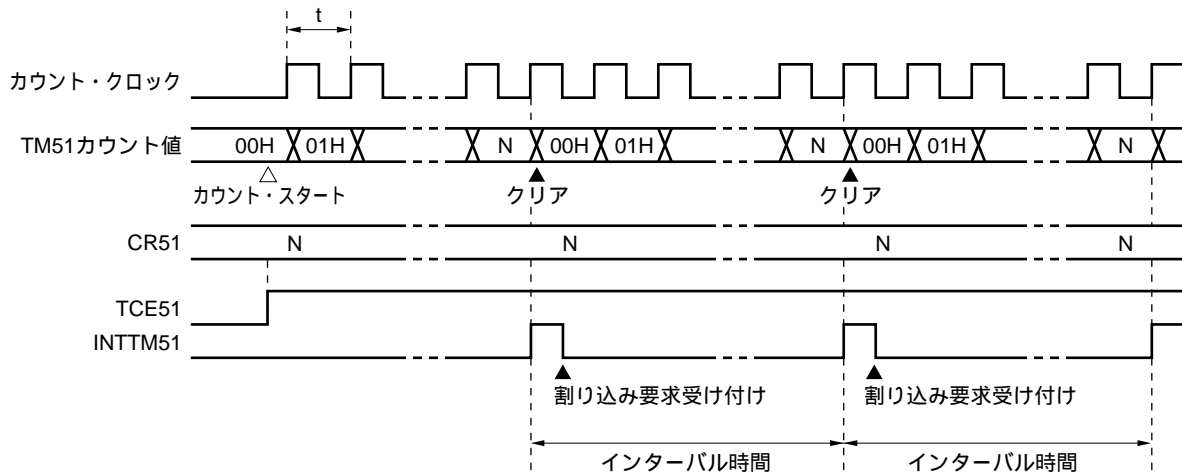
以後、同一間隔でINTTM51が繰り返し発生します。カウント動作を停止するときは、TCE51 = 0にしてください。

**注意** 動作中にCR51に異なる値を書き込まないでください。

**備考** INTTM51信号の割り込み許可については、第17章 割り込み機能を参照してください。

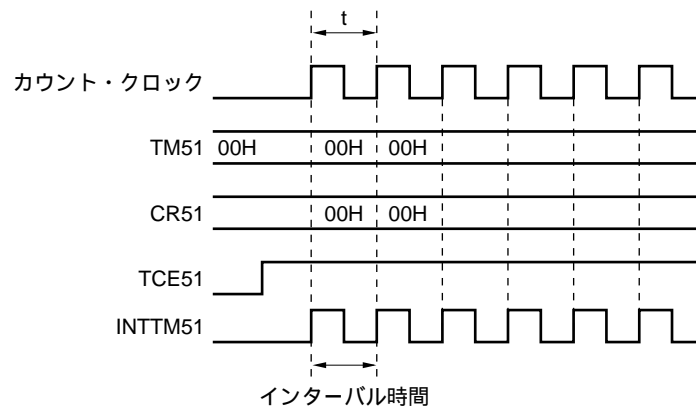
図8-7 インターバル・タイマ動作のタイミング

## (a) 基本動作

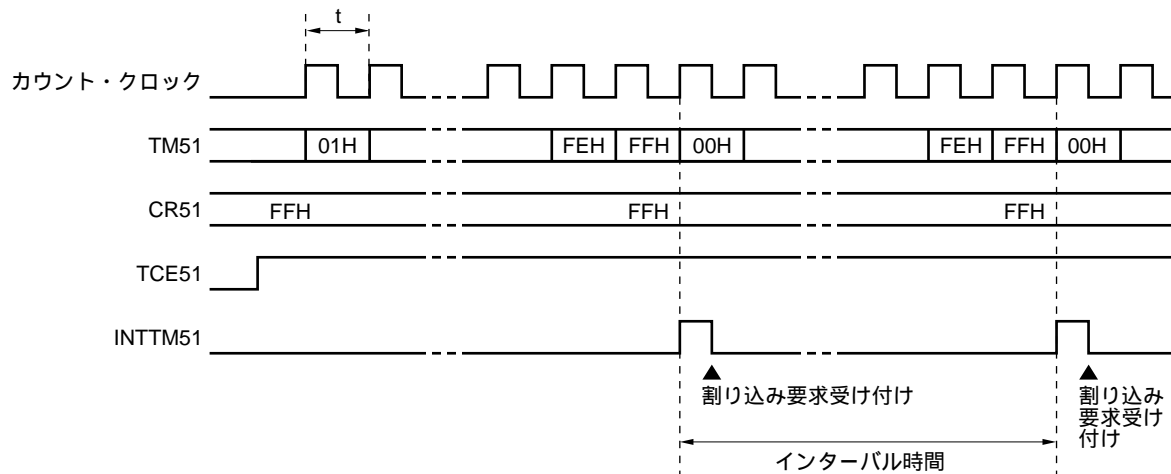


備考 インターバル時間 =  $(N + 1) \times t$ ,  $N = 01H\text{--}FFH$

## (b) CR51 = 00Hの場合



## (c) CR51 = FFHの場合



### 8.4.2 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI51端子に入力される外部からのクロック・パルス数を8ビット・タイマ・カウンタ51 (TM51) でカウントするものです。

タイマ・クロック選択レジスタ51 (TCL51) で指定した有効エッジが入力されるたびに、TM51がインクリメントされます。エッジ指定は、立ち上がりまたは立ち下がりのいずれかを選択できます。

TM51の計数値が8ビット・タイマ・コンペア・レジスタ51 (CR51) の値と一致すると、TM51は0にクリアされ、割り込み要求信号 (INTTM51) が発生します。

以後、TM51の値とCR51の値が一致するたびに、INTTM51が発生します。

#### 設定方法

各レジスタの設定を行います。

- ・ポート・モード・レジスタ (PM30) に “1” を設定
- ・TCL51 : TI51端子入力のエッジ選択  
TI51端子の立ち下がり TCL51 = 00H  
TI51端子の立ち上がり TCL51 = 01H
- ・CR51 : コンペア値
- ・TMC51 : カウント動作停止 (TMC51 = 00000000B)

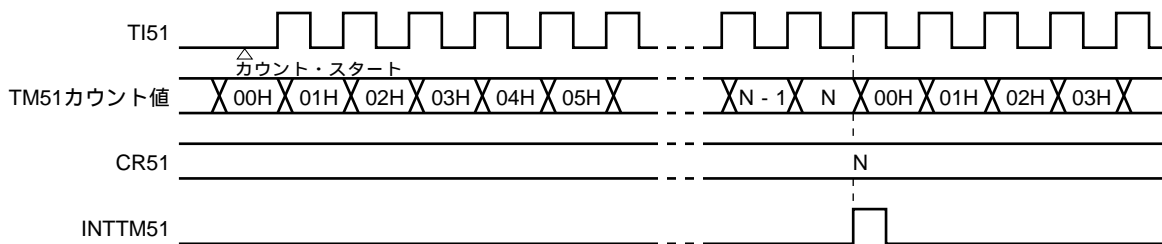
TCE51 = 1を設定すると、TI51端子から入力されるパルス数をカウントします。

TM51とCR51の値が一致すると、INTTM51が発生します (TM51は00Hにクリアされます)。

以後、TM51とCR51の値が一致するたびに、INTTM51が発生します。

**備考** INTTM51信号の割り込み許可については、第17章 割り込み機能を参照してください。

図8-8 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



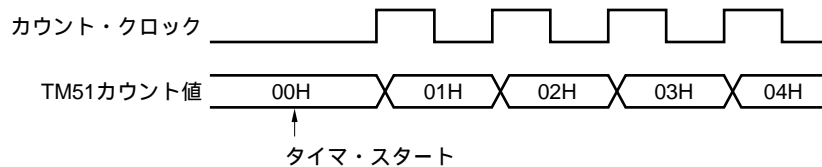
**備考** N = 00H-FFH

## 8.5 8ビット・タイマ/イベント・カウンタ51の注意事項

### (1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これは、カウント・クロックに対して8ビット・タイマ・カウンタ51 (TM51) が非同期でスタートするためです。

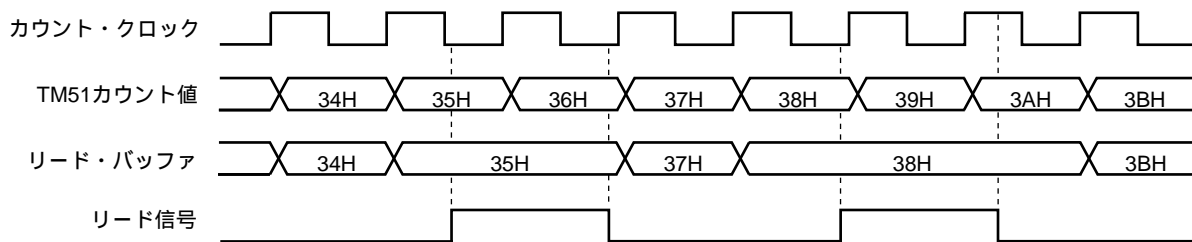
図8-9 8ビット・タイマ・カウンタ51 (TM51) のスタート・タイミング



### (2) 8ビット・タイマ・カウンタ51 (TM51) のリードについて

TM51は、バッファに取り込まれたカウント値を固定してリードするため、実際のカウンタを停止せずにリードすることができます。ただし、バッファはカウンタのカウント・アップのタイミングで更新されるため、カウント・アップの直前にリードした場合、バッファが更新されない場合があります。

図8-10 8ビット・タイマ・カウンタ51 (TM51) のリード・タイミング



## 第9章 8ビット・タイマH1

### 9.1 8ビット・タイマH1の機能

8ビット・タイマH1は、78K0/Fx2-Lマイクロコントローラの全製品に搭載されています。

8ビット・タイマH1には、次のような機能があります。

- ・インターバル・タイマ
- ・方形波出力
- ・PWM出力
- ・キャリア・ジェネレータ

### 9.2 8ビット・タイマH1の構成

8ビット・タイマH1は、次のハードウェアで構成されています。

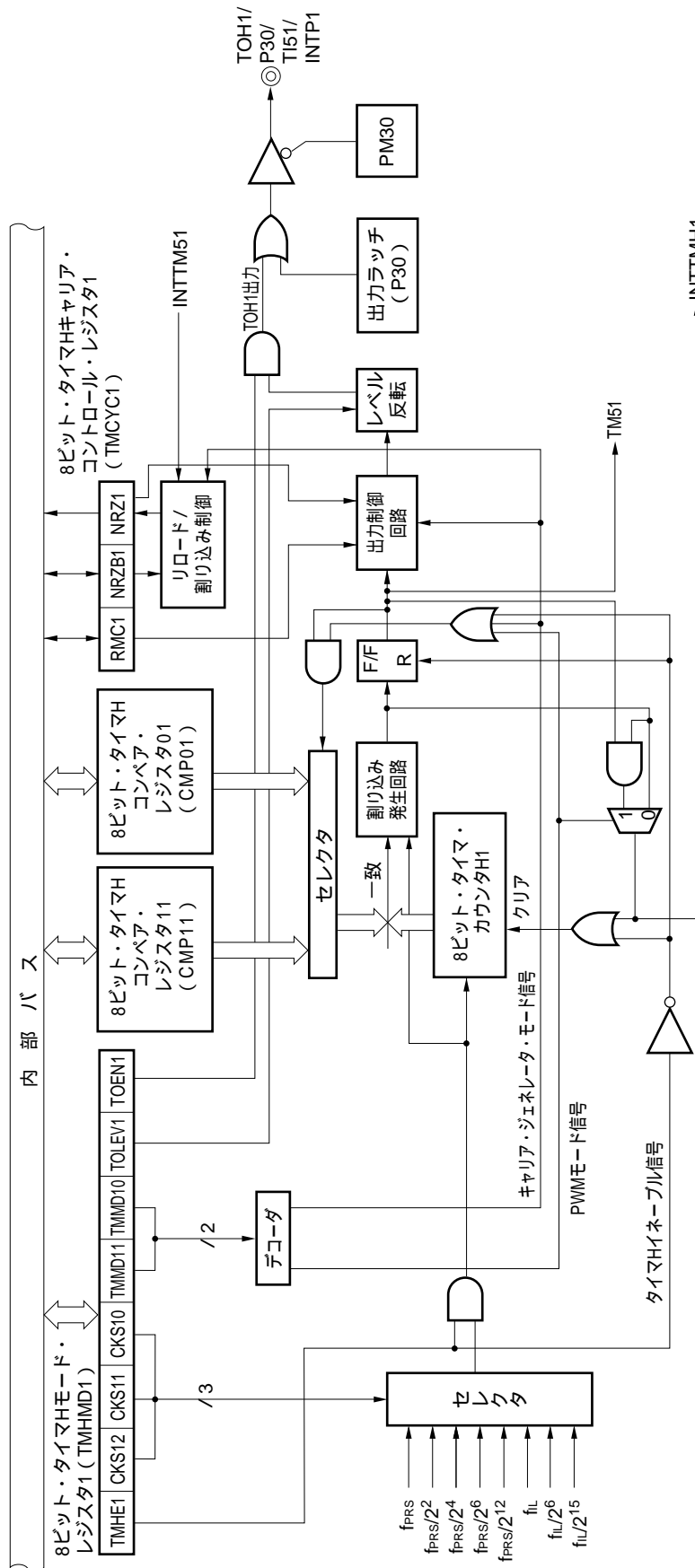
表9-1 8ビット・タイマH1の構成

項 目	構 成
タイマ・レジスタ	8ビット・タイマ・カウンタH1
レジスタ	8ビット・タイマHコンペア・レジスタ01 (CMP01) 8ビット・タイマHコンペア・レジスタ11 (CMP11)
タイマ出力	TOH1, 出力制御回路
制御レジスタ	8ビット・タイマHモード・レジスタ1 (TMHMD1) 8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1) ポート・モード・レジスタ3 (PM3) ポート・レジスタ3 (P3)

図9-1にブロック図を示します。



図9-1 8ビット・タイマH1のブロック図



**(1) 8ビット・タイマHコンペア・レジスタ01 (CMP01)**

8ビット・メモリ操作命令でリード/ライト可能なレジスタです。すべてのタイマ動作モードで使用します。

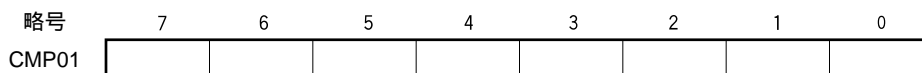
CMP01に設定した値と8ビット・タイマ・カウンタH1のカウント値を常に比較し、その2つの値が一致したときに、割り込み要求信号 (INTTMH1) を発生し、TOH1の出力レベルを反転させます。

CMP01は、タイマ停止中 (TMHE1 = 0) に書き換えを行ってください。

リセット信号の発生により、00Hになります。

図9-2 8ビット・タイマHコンペア・レジスタ01 (CMP01) のフォーマット

アドレス : FF1AH リセット時 : 00H R/W



**注意** CMP01は、タイマ・カウント動作中に値を書き換えしないでください。ただし、タイマ・カウント動作中にリフレッシュ (同値書き込み) することは可能です。

**(2) 8ビット・タイマHコンペア・レジスタ11 (CMP11)**

8ビット・メモリ操作命令でリード/ライト可能なレジスタです。PWM出力モードとキャリア・ジェネレータ・モードで使用します。

PWM出力モードでは、CMP11に設定した値と、8ビット・タイマ・カウンタH1のカウント値を常に比較し、その2つの値が一致したときに、TOH1の出力レベルを反転させます。割り込み要求信号は発生されません。

キャリア・ジェネレータ・モードでは、CMP11に設定した値と、8ビット・タイマ・カウンタH1のカウント値を常に比較し、その2つの値が一致したときに、割り込み要求信号 (INTTMH1) を発生します。同じタイミングで、カウント値はクリアされます。

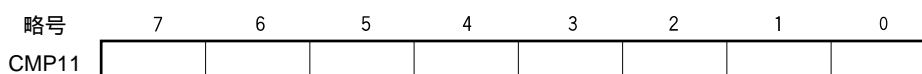
CMP11は、タイマ・カウント動作中にリフレッシュ (同値書き込み) および値の書き換えが可能です。

タイマ動作中にCMP11の値を書き換える場合、その値はラッチされ、カウント値と変更前のCMP11の値が一致するタイミングでCMP11に転送され、CMP11の値が変更されます。カウント値とCMP11値の一致するタイミングとCMP11への値の書き込みが競合した場合、CMP11値は変更されません。

リセット信号の発生により、00Hになります。

図9-3 8ビット・タイマHコンペア・レジスタ11 (CMP11) のフォーマット

アドレス : FF1BH リセット時 : 00H R/W



**注意** PWM出力モードおよびキャリア・ジェネレータ・モードでは、タイマ・カウント動作停止 (TMHE1 = 0) 設定後、タイマ・カウント動作を開始する (TMHE1 = 1) 場合、必ずCMP11を設定してください (CMP11への設定値が同値の場合でも、必ず再設定してください)。

### 9.3 8ビット・タイマH1を制御するレジスタ

8ビット・タイマH1を制御するレジスタには、次の4種類があります。

- ・8ビット・タイマHモード・レジスタ1 (TMHMD1)
- ・8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1)
- ・ポート・モード・レジスタ (PM3)
- ・ポート・レジスタ3 (P3)

#### (1) 8ビット・タイマHモード・レジスタ1 (TMHMD1)

タイマH1のモードを制御するレジスタです。

TMHMD1は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-4 8ビット・タイマHモード・レジスタ1 (TMHMD1) のフォーマット

アドレス : FF6CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TMHMD1	TMHE1	CKS12	CKS11	CKS10	TMMD11	TMMD10	TOLEV1	TOEN1

TMHE1	タイマ動作許可
0	タイマ・カウント動作停止 (カウンタは0にクリア)
1	タイマ・カウント動作許可 (クロックを入力することでカウント動作開始)

CKS12	CKS11	CKS10	カウント・クロックの選択				
			fPRS = 2 MHz	fPRS = 5 MHz	fPRS = 10 MHz	fPRS = 20 MHz (PLL使用時)	
0	0	0	fPRS	2 MHz	5 MHz	10 MHz	20 MHz
0	0	1	fPRS/2 <sup>2</sup>	500 kHz	1.25 MHz	2.5 MHz	5 MHz
0	1	0	fPRS/2 <sup>4</sup>	125 kHz	312.5 kHz	625 kHz	1.25 MHz
0	1	1	fPRS/2 <sup>6</sup>	31.25 kHz	78.13 kHz	156.25 kHz	312.5 kHz
1	0	0	fPRS/2 <sup>12</sup>	0.49 kHz	1.22 kHz	2.44 kHz	4.88 kHz
1	0	1	fil/2 <sup>6</sup>	0.47 kHz (TYP.)			
1	1	0	fil/2 <sup>15</sup>	0.92 Hz (TYP.)			
1	1	1	fil	30 kHz (TYP.)			

TMMD11	TMMD10	タイマ動作モード
0	0	インターバル・タイマ・モード
0	1	キャリア・ジェネレータ・モード
1	0	PWM出力モード
1	1	設定禁止

TOLEV1	タイマ出力レベル制御 (デフォルト時)
0	ロウ・レベル
1	ハイ・レベル

TOEN1	タイマ出力制御
0	出力禁止
1	出力許可

注意1. TMHE1 = 1のとき, TMHMD1の他のビットを設定することは禁止です。ただし, リフレッシュ (同値書き込み) することは可能です。

- 注意2. PWM出力モードおよびキャリア・ジェネレータ・モードでは、タイマ・カウント動作停止 (TMHE1 = 0) 設定後、タイマ・カウント動作を開始する (TMHE1 = 1) 場合、必ず8ビット・タイマHコンペア・レジスタ11 (CMP11) を設定してください (CMP11への設定値が同値の場合でも、必ず再設定してください)。
- キャリア・ジェネレータ・モードを使用する場合、TMH1のカウント・クロック周波数をTM51のカウント・クロック周波数の6倍以上になるように設定してください。
  - 実際のTOH1/P30/TI51/INTP1端子の出力は、TOH1出力のほかにPM30とP30によって決まりません。

- 備考1.  $f_{PRS}$  : 周辺ハードウェア・クロック周波数  
 2.  $f_{IL}$  : 低速内蔵発振クロック周波数

## (2) 8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1)

8ビット・タイマH1のリモコン出力およびキャリア・パルス出力の状態を制御するレジスタです。TMCYC1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図9-5 8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1) のフォーマット

アドレス: FF6DH    リセット時: 00H    R/W<sup>注</sup>

略号	7	6	5	4	3	2	1	0
TMCYC1	0	0	0	0	0	RMC1	NRZB1	NRZ1

RMC1	NRZB1	リモコン出力
0	0	ロウ・レベル出力
0	1	INTTM51信号入力の立ち上がりエッジでハイ・レベル出力
1	0	ロウ・レベル出力
1	1	INTTM51信号入力の立ち上がりエッジでキャリア・パルス出力

NRZ1	キャリア・パルス出力状態フラグ
0	キャリア出力禁止状態 (ロウ・レベル状態)
1	キャリア出力許可状態 (RMC1 = 1: キャリア・パルス出力, RMC1 = 0: ハイ・レベル状態)

注 ビット0はRead Onlyです。

注意 TMHE1 = 1のとき、RMC1を書き換えしないでください。ただし、TMCYC1にリフレッシュ (同値書き込み) することは可能です。

**(3) ポート・モード・レジスタ3 (PM3)**

ポート3の入力 / 出力を1ビット単位で設定するレジスタです。

TOH1/P30/TI51/INTP1端子をタイマ出力として使用するとき，PM30およびP30の出力ラッチに0を設定してください。

PM3は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

**図9 - 6 ポート・モード・レジスタ3 (PM3) のフォーマット**

アドレス：FF23H    リセット時：FFH    R/W

略号	7	6	5	4	3	2	1	0
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30

PM3n	P3n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

**備考** 上記は，78K0/FB2-Lのポート・モード・レジスタ3のフォーマットです。他の製品のポート・モード・レジスタ3のフォーマットについては，4.3 **ポート機能を制御するレジスタ (1) ポート・モード・レジスタ (PMxx)** を参照してください。

## 9.4 8ビット・タイマH1の動作

### 9.4.1 インターバル・タイマ/方形波出力としての動作

8ビット・タイマ・カウンタH1とコンペア・レジスタ01 (CMP01) が一致した場合、割り込み要求信号 (INTTMH1) が発生し、8ビット・タイマ・カウンタH1を00Hにクリアします。

インターバル・タイマ・モードでコンペア・レジスタ11 (CMP11) は使用しません。CMP11レジスタを設定しても、8ビット・タイマ・カウンタH1とCMP11レジスタの一致検出をしないため、タイマ出力に影響しません。

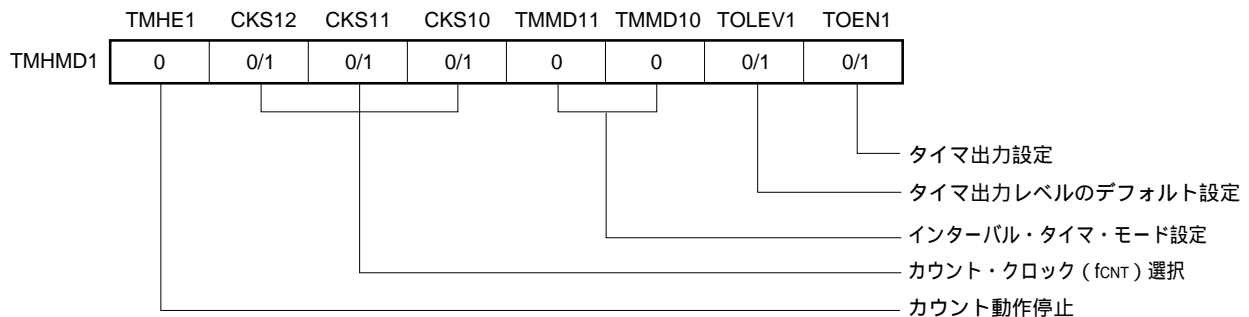
また、タイマHモード・レジスタ1 (TMHMD1) のビット0 (TOEN1) に1を設定することにより、TOH1より任意の周波数の方形波出力 (デューティ= 50 %) が出力されます。

#### 設定方法

各レジスタの設定を行います。

図9-7 インターバル・タイマ/方形波出力動作時のレジスタの設定

#### (i) タイマHモード・レジスタ1 (TMHMD1) の設定



#### (ii) CMP01レジスタの設定

コンペア値にNを設定した場合、インターバル時間は次のようになります。

$$\cdot \text{インターバル時間} = (N + 1) / f_{CNT}$$

TMHE1 = 1によりカウント動作を開始します。

8ビット・タイマ・カウンタH1とCMP01レジスタの値が一致すると、INTTMH1信号が発生し、8ビット・タイマ・カウンタH1は00Hにクリアされます。

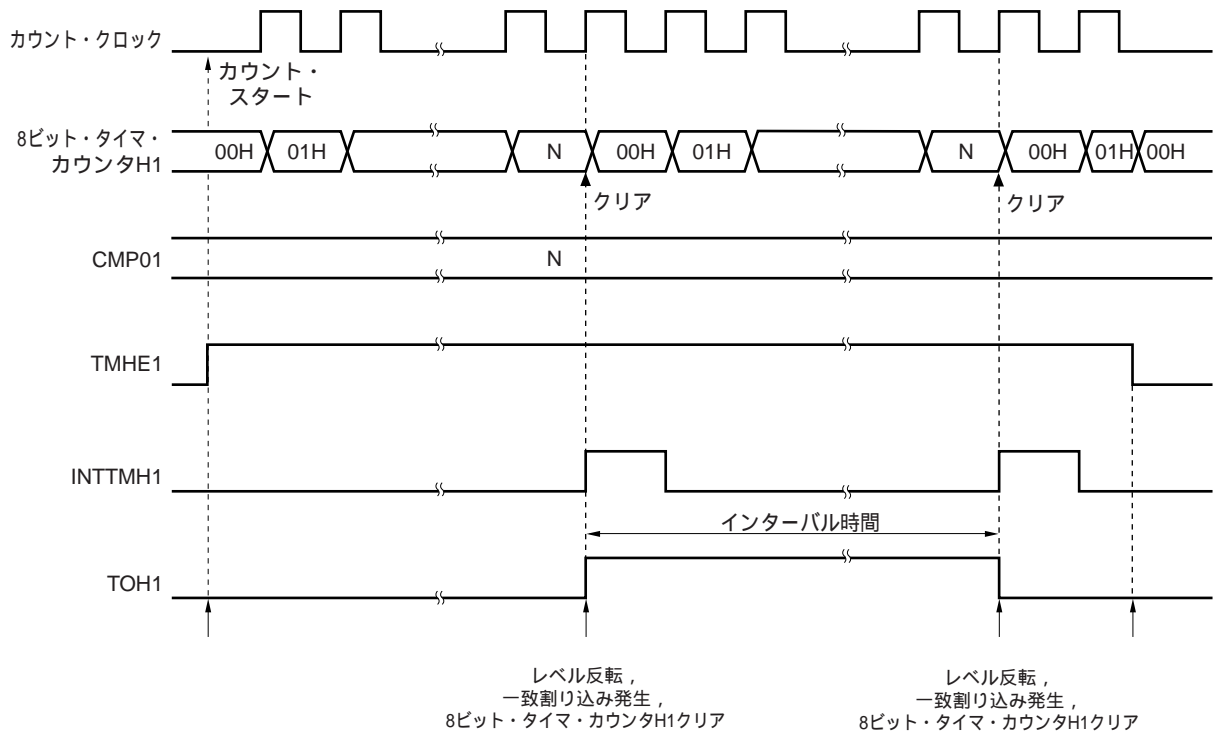
以後、同一間隔でINTTMH1信号が発生します。カウント動作を停止するときは、TMHE1 = 0にします。

**備考1.** 出力端子の設定については9.3(3) ポート・モード・レジスタ3 (PM3) を参照してください。

**2.** INTTMH1信号の割り込み許可については、第17章 **割り込み機能**を参照してください。

図9-8 インターバル・タイマ/方形波出力動作のタイミング (1/2)

## (a) 基本動作 (01H CMP01 FEH時の動作)



TMHE1ビットを0から1にすることにより、カウント動作許可状態になります。カウント・クロックは、動作許可後、最大1クロック遅れてスタートします。

8ビット・タイマ・カウンタH1の値とCMP01レジスタの値が一致すると、8ビット・タイマ・カウンタH1の値をクリアし、TOH1出力のレベルが反転します。またカウント・クロックの立ち上がりタイミングでINTTMH1信号を出力します。

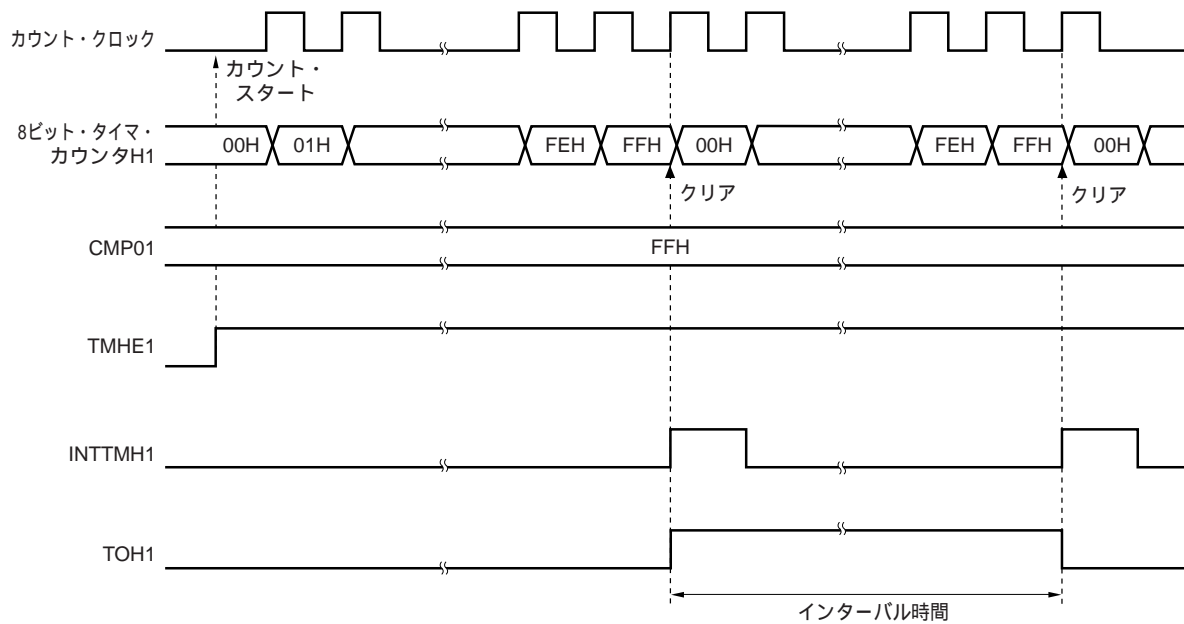
タイマH動作中にTMHE1ビットを0にすると、INTTMH1信号およびTOH1出力はデフォルト状態になります。TMHE1ビットを0にする前から、デフォルトと同じ状態の場合はレベルを保持します。

**備考** 01H N FEH

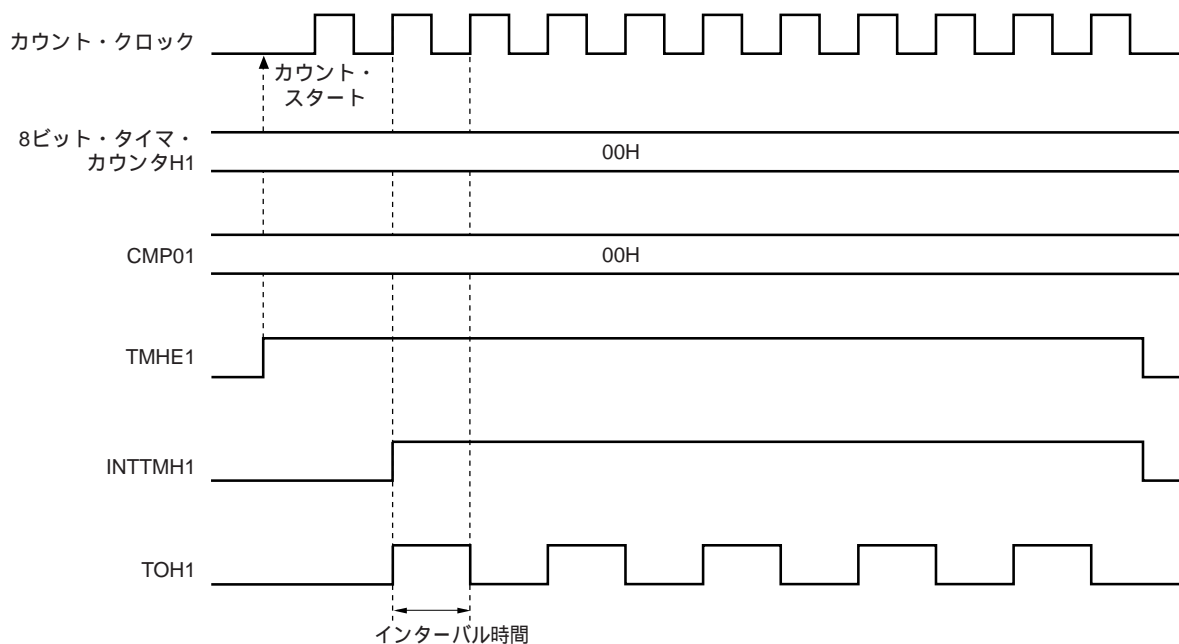


図9-8 インターバル・タイマ/方形波出力動作のタイミング (2/2)

## (b) CMP01 = FFH時の動作



## (c) CMP01 = 00H時の動作



### 9.4.2 PWM出力としての動作

PWM出力モードでは、任意のデューティおよび周期が可能なパルスを出力できます。

8ビット・タイマ・コンペア・レジスタ01 (CMP01) はタイマ出力 (TOH1) の周期を制御します。タイマ動作中のCMP01レジスタに対する書き換えは禁止です。

8ビット・タイマ・コンペア・レジスタ11 (CMP11) はタイマ出力 (TOH1) のデューティを制御するレジスタです。タイマ動作中のCMP11レジスタに対する書き換えが可能です。

PWM出力モードでの動作は次のようになります。

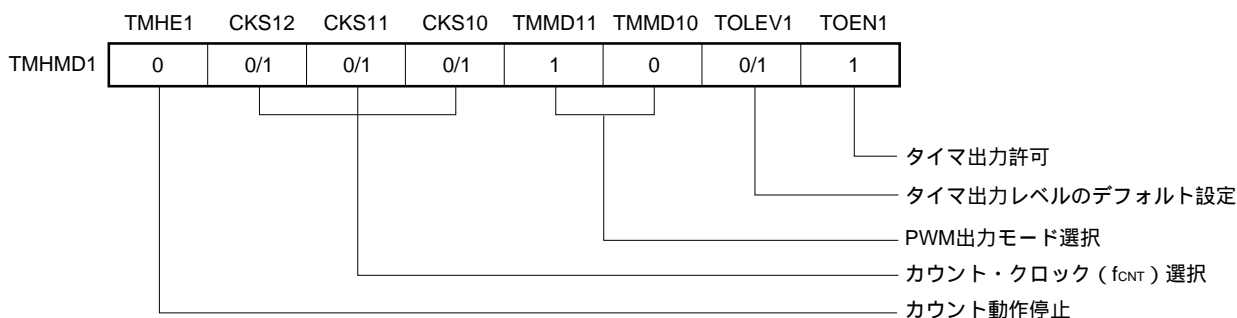
タイマ・カウント・スタート後、8ビット・タイマ・カウンタH1とCMP01レジスタが一致すると、PWM出力 (TOH1出力) はアクティブ・レベルを出力し、8ビット・タイマ・カウンタH1は0にクリアされます。また8ビット・タイマ・カウンタH1とCMP11レジスタが一致すると、PWM出力 (TOH1出力) はインアクティブ・レベルを出力します。

#### 設定方法

各レジスタの設定を行います。

図9-9 PWM出力モード時のレジスタの設定

#### (i) タイマHモード・レジスタ1 (TMHMD1) の設定



#### (ii) CMP01レジスタの設定

- ・コンペア値 (N) : 周期の設定

#### (iii) CMP11レジスタの設定

- ・コンペア値 (M) : デューティの設定

**備考** 00H CMP11 (M) < CMP01 (N) FFH

TMHE1 = 1によりカウント動作を開始します。

カウント動作を許可したあと、最初の比較対象コンペア・レジスタはCMP01レジスタです。8ビット・タイマ・カウンタH1とCMP01レジスタの値が一致すると、8ビット・タイマ・カウンタH1はクリアされ、割り込み要求信号（INTTMH1）が発生し、アクティブ・レベルを出力します。同時に、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタをCMP01レジスタからCMP11レジスタへ切り替えます。

8ビット・タイマ・カウンタH1とCMP11レジスタが一致すると、インアクティブ・レベルを出力します。同時に、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタをCMP11レジスタからCMP01レジスタへ切り替えます。このとき8ビット・タイマ・カウンタH1はクリアされず、INTTMH1信号も発生しません。

以上 と を繰り返し、任意のデューティのパルスを得ることができます。

カウント動作を停止するときは、TMHE1 = 0にします。

CMP01レジスタの設定値を（N）、CMP11レジスタを（M）、カウント・クロックの周波数を $f_{CNT}$ とすると、PWMパルス出力周期およびデューティは次のとおりになります。

- ・PWMパルス出力周期 =  $(N + 1) / f_{CNT}$

- ・デューティ =  $(M + 1) / (N + 1)$

- 注意1.** タイマ・カウント動作中に、CMP11レジスタの設定値を変更することができます。ただし、CMP11レジスタの値を変更してからレジスタに値が転送されるまでに、動作クロック（TMHMD1レジスタのCKS12-CKS10ビットで選択された信号）の3クロック分以上かかります。
- 2.** タイマ・カウント動作停止（TMHE1 = 0）設定後、タイマ・カウント動作を開始する（TMHE1 = 1）場合、必ずCMP11レジスタを設定してください（CMP11レジスタへの設定値が同値の場合でも、必ず再設定してください）。
- 3.** CMP11レジスタの設定値（M）、CMP01レジスタの設定値（N）は、必ず次の範囲内にしてください。

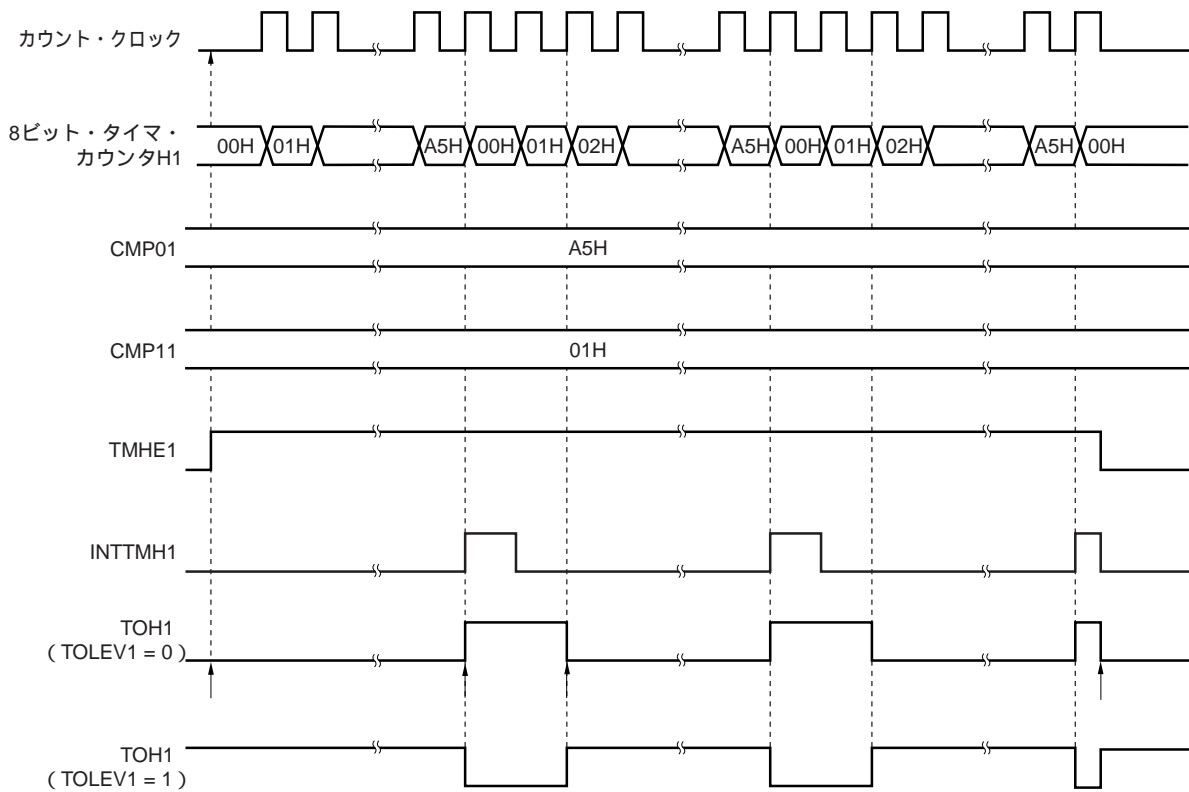
$$00H \leq \text{CMP11 (M)} < \text{CMP01 (N)} \leq FFH$$

**備考1.** 出力端子の設定については9.3(3) ポート・モード・レジスタ3（PM3）を参照してください。

- 2.** INTTMH1信号の割り込み許可については、第17章 割り込み機能を参照してください。

図9 - 10 PWM出力動作のタイミング (1/4)

## (a) 基本動作



TMHE1 = 1により、カウント動作許可状態になります。カウント・クロックを1クロック分マスクし、8ビット・タイマ・カウンタH1をスタートさせ、カウント・アップします。そのときPWM出力はインアクティブ・レベルを出力します。

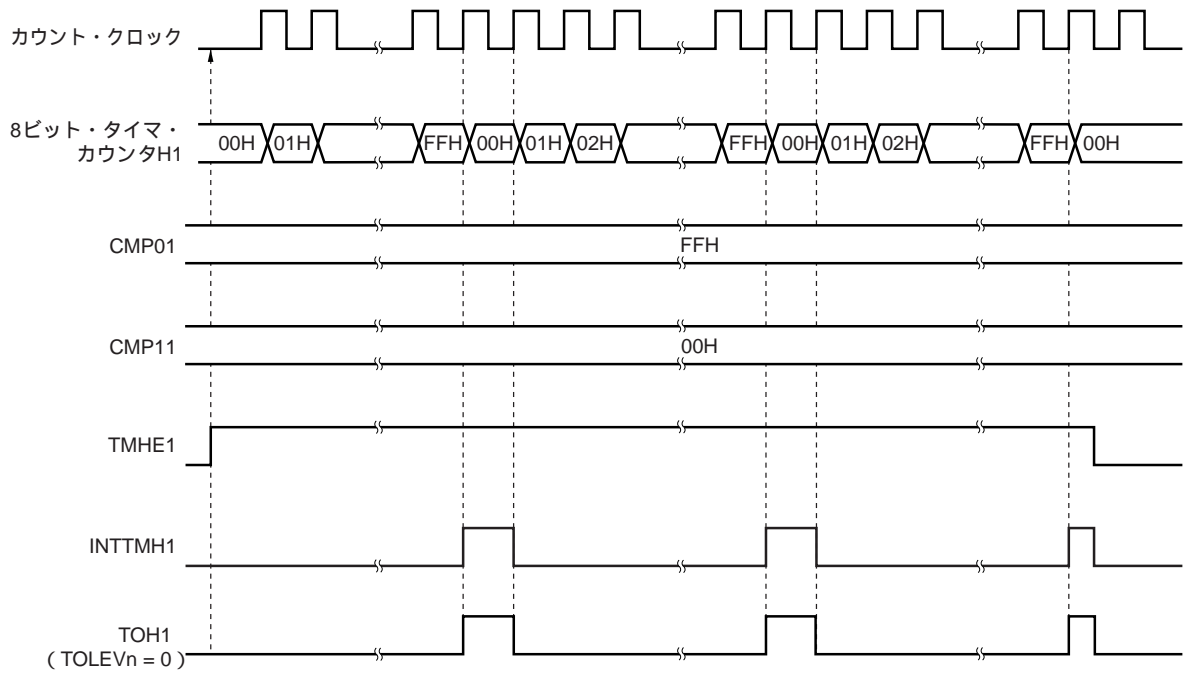
8ビット・タイマ・カウンタH1の値がCMP01レジスタの値と一致すると、アクティブ・レベルを出力します。そのとき、8ビット・タイマ・カウンタH1をクリアし、INTTMH1信号を出力します。

8ビット・タイマ・カウンタH1の値がCMP11レジスタの値と一致すると、インアクティブ・レベルを出力します。そのとき、8ビット・カウンタの値はクリアされず、INTTMH1信号は出力しません。

タイマH1動作中にTMHE1ビットを0にすることで、INTTMH1信号がデフォルトに、PWM出力はインアクティブ・レベルになります。

図9-10 PWM出力動作のタイミング(2/4)

## (b) CMP01 = FFH, CMP11 = 00H時の動作



## (c) CMP01 = FFH, CMP11 = FEH時の動作

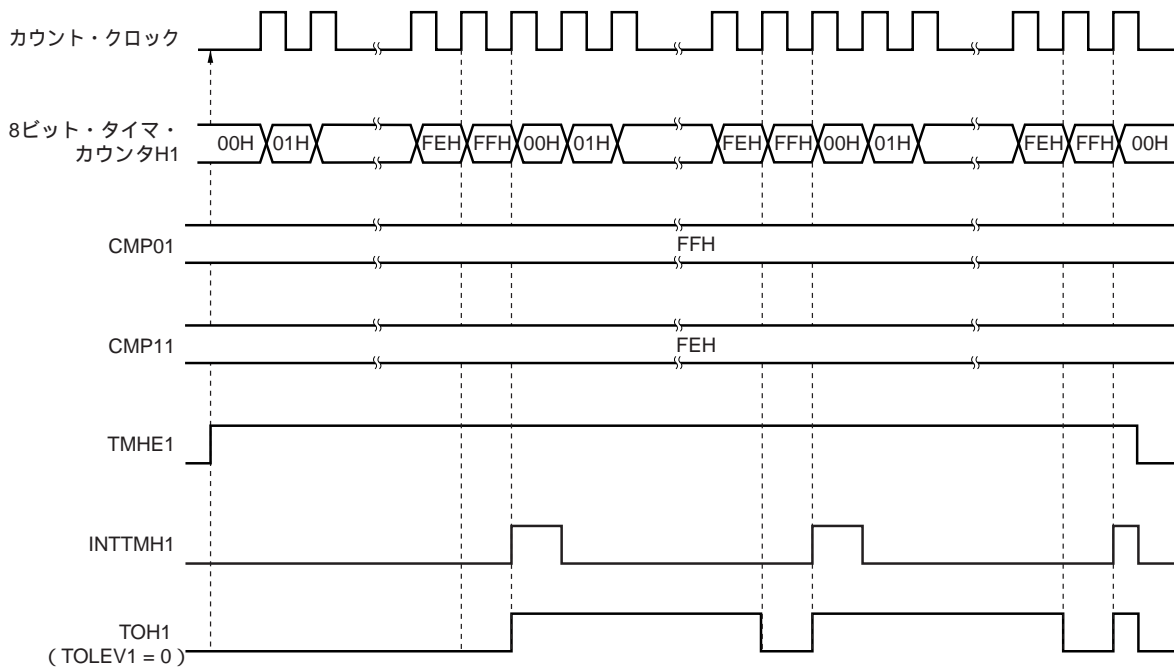


図9 - 10 PWM出力動作のタイミング (3/4)

(d) CMP01 = 01H, CMP11 = 00H時の動作

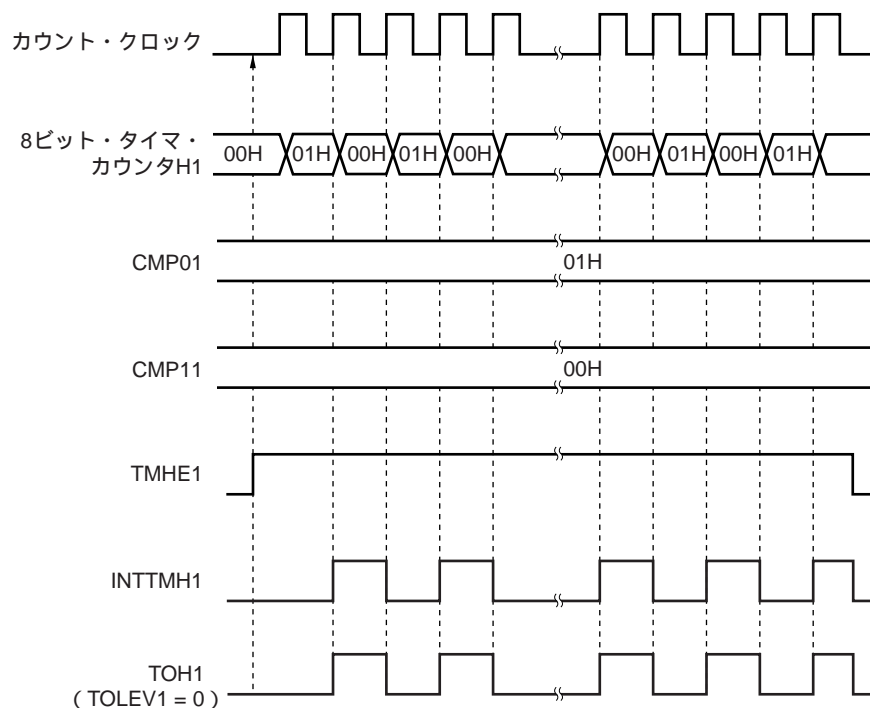
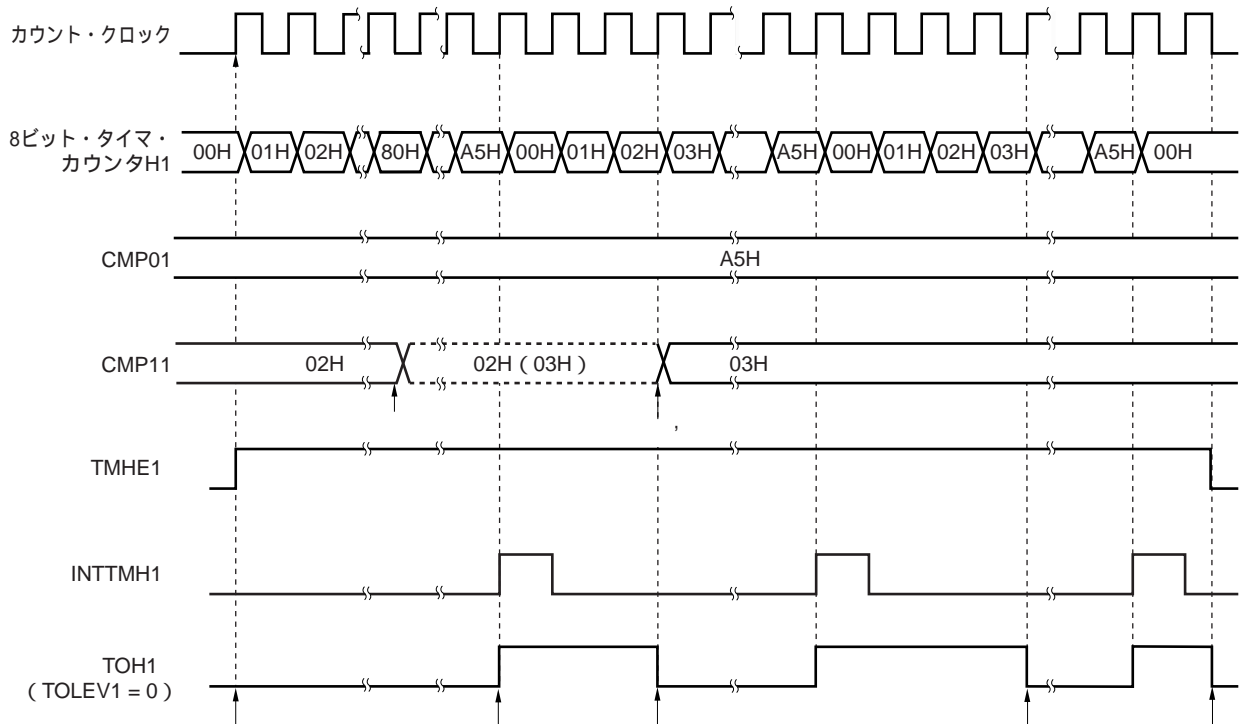


図9-10 PWM出力動作のタイミング(4/4)

(e) CMP11変更による動作 (CMP11 = 02H 03H, CMP01 = A5H)



TMHE1 = 1により、カウント動作許可状態になります。カウント・クロックを1クロック分マスクし、8ビット・カウンタをスタートさせ、カウント・アップします。そのとき、PWM出力はインアクティブ・レベルを出力します。

タイマ・カウンタ動作中にCMP11レジスタの設定値を変更することが可能です。この動作はカウント・クロックとは非同期です。

8ビット・タイマ・カウンタH1の値がCMP01レジスタの値と一致すると、8ビット・タイマ・カウンタH1はクリアされ、アクティブ・レベルを出力し、INTTMH1信号が発生します。

CMP11レジスタの値を変更しても、その値はラッチされ、レジスタには転送されません。8ビット・タイマ・カウンタH1とCMP11レジスタの変更前の値が一致すると、CMP11レジスタに転送されCMP11レジスタの値が変更されます（'）。

ただし、CMP11レジスタの値を変更してからレジスタに転送されるまでに、3カウント・クロック以上かかります。3カウント・クロックまでに一致信号が発生しても、変更値のレジスタへの転送はできません。

8ビット・タイマ・カウンタH1の値が変更後のCMP11レジスタの値と一致すると、インアクティブ・レベルを出力します。8ビット・タイマ・カウンタH1はクリアされず、INTTMH1信号も発生しません。

タイマH1動作中にTMHE1ビットを0にすることで、INTTMH1信号がデフォルトに、PWM出力はインアクティブ・レベルになります。

### 9.4.3 キャリア・ジェネレータとしての動作

キャリア・ジェネレータ・モードでは、8ビット・タイマH1を赤外線リモコンのキャリア信号生成用に使用し、8ビット・タイマ/イベント・カウンタ51を赤外線リモコン信号の生成（時間カウント）に使用します。

8ビット・タイマH1で生成されるキャリア・クロックは、8ビット・タイマ/イベント・カウンタ51で設定した周期で出力されます。

キャリア・ジェネレータ・モードでは、8ビット・タイマ/イベント・カウンタ51で8ビット・タイマH1のキャリア・パルスをどの程度出力するか制御し、TOH1出力からキャリア・パルスを出します。

#### (1) キャリアの生成

キャリア・ジェネレータ・モードのとき、8ビット・タイマHコンペア・レジスタ01 (CMP01) はキャリア・パルスのロウ・レベル幅の波形を生成し、8ビット・タイマHコンペア・レジスタ11 (CMP11) はキャリア・パルスのハイ・レベル幅の波形を生成します。

8ビット・タイマH1動作中に、CMP11レジスタを書き換えることはできますが、CMP01レジスタを書き換えることは禁止です。

#### (2) キャリアの出力制御

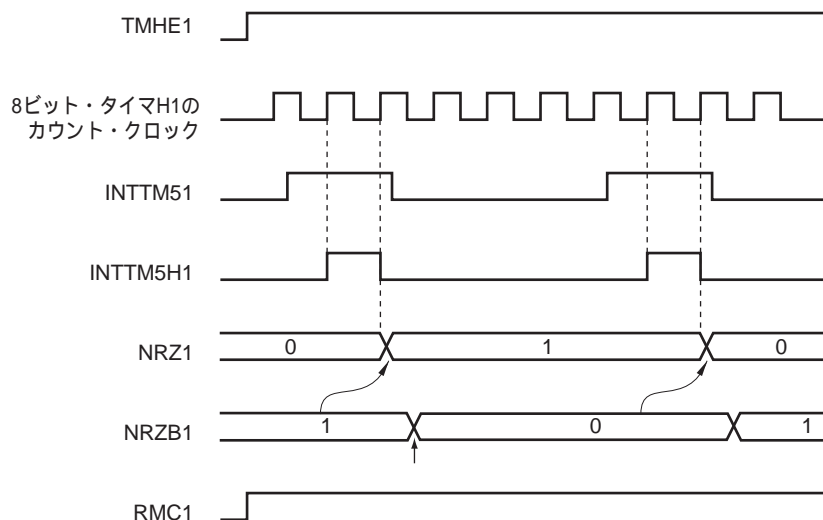
キャリアの出力制御は8ビット・タイマ/イベント・カウンタ51の割り込み要求信号 (INTTM51) と8ビット・タイマHキャリア・コントロール・レジスタ (TMCYC1) のNRZB1ビット、RMC1ビットにより行われます。出力の関係を次に示します。

RMC1ビット	NRZB1ビット	出力
0	0	ロウ・レベル出力
0	1	INTTM51信号入力の立ち上がりエッジでハイ・レベル出力
1	0	ロウ・レベル出力
1	1	INTTM51信号入力の立ち上がりエッジでキャリア・パルス出力



キャリア・パルス出力をカウント動作中に制御するために、TMCYC1レジスタのNRZ1ビットとNRZB1ビットは、マスタとスレーブのビット構成になっています。NRZ1ビットはリードのみですが、NRZB1ビットはリード/ライト可能です。INTTM51信号は8ビット・タイマH1のカウント・クロックで同期化され、INTTM5H1信号として出力されます。INTTM5H1信号がNRZ1ビットのデータ転送信号となり、NRZB1ビットの値がNRZ1ビットへ転送されます。NRZB1ビットからNRZ1ビットへの転送タイミングは、次のとおりです。

図9 - 11 転送タイミング



INTTM51信号は8ビット・タイマH1のカウント・クロックで同期化され、INTTM5H1信号として出力されます。

INTTM5H1信号の立ち上がりから2クロック目で、NRZB1ビットの値がNRZ1ビットに転送されます。

INTTM5H1割り込みにより起動された割り込み処理プログラミングの中で、または割り込み要求フラグをポーリングしてタイミングを確認後に、NRZB1ビットに次の値を書き込みます。またCR51レジスタに次の時間をカウントするためのデータを書き込みます。

- 注意1.** NRZB1ビットの値を書き換えてから2クロック目までに、再びNRZB1ビットの値を書き換えしないでください。書き換えた場合のNRZB1ビットからNRZ1ビットへの転送動作の保証はできません。
- 2.** 8ビット・タイマ/イベント・カウンタ51をキャリア・ジェネレータ・モードで使用する場合、のタイミングで割り込みが発生します。8ビット・タイマ/イベント・カウンタ51をキャリア・ジェネレータ・モード以外で使用する場合とは、割り込み発生タイミングが異なります。

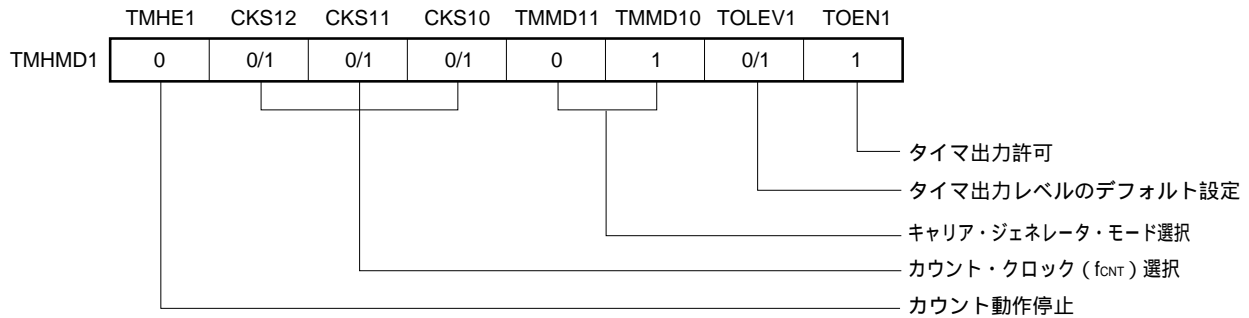
**備考** INTTM5H1は内部信号で、割り込み要因ではありません。

**設定方法**

各レジスタの設定を行います。

図9 - 12 キャリア・ジェネレータ・モード時のレジスタの設定

(i) 8ビット・タイマHモード・レジスタ1 (TMHMD1) の設定



(ii) CMP01レジスタの設定

- ・コンペア値

(iii) CMP11レジスタの設定

- ・コンペア値

(iv) TMCYC1レジスタの設定

- ・RMC1 = 1 ... リモコン出力許可ビット
- ・NRZB1 = 0/1 ... キャリア出力許可ビット

(v) TCL51, TMC51レジスタの設定

- ・8.3 8ビット・タイマ/イベント・カウンタ51を制御するレジスタ参照

TMHE1 = 1を設定すると、8ビット・タイマH1のカウント動作を開始します。

8ビット・タイマ・モード・コントロール・レジスタ51 (TMC51) のTCE51 = 1を設定すると、8ビット・タイマ/イベント・カウンタ51のカウント動作を開始します。

カウント動作を許可したあと、最初の比較対象コンペア・レジスタはCMP01レジスタです。8ビット・タイマ・カウンタH1のカウント値とCMP01レジスタの値が一致すると、INTTMH1信号が発生し、8ビット・タイマ・カウンタH1はクリアされます。同時に、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP01レジスタからCMP11レジスタへ切り替わります。

8ビット・タイマ・カウンタH1のカウント値とCMP11レジスタが一致すると、INTTMH1信号が発生し、8ビット・タイマ・カウンタH1はクリアされます。同時に、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP11レジスタからCMP01レジスタへ切り替わります。

以上 と の繰り返しによって、キャリア・クロックが生成されます。

INTTM51信号が8ビット・タイマH1のカウンタ・クロックで同期化され、INTTM5H1信号として出力されます。その信号がNRZB1ビットのデータ転送信号となり、NRZB1ビットの値がNRZ1ビットへ転送されません。

INTTM5H1割り込みにより起動された割り込み処理プログラミングの中で、または割り込み要求フラグをポーリングしてタイミングを確認後に、NRZB1ビットに次の値を書き込みます。またCR51レジスタに次の時間をカウンタするためのデータを書き込みます。

NRZ1ビットがハイ・レベルのとき、TOH1出力よりキャリア・クロックを出力します。

以上を繰り返し、任意のキャリア・クロックを得ることができます。カウンタ動作を停止するときはTMHE1 = 0にします。

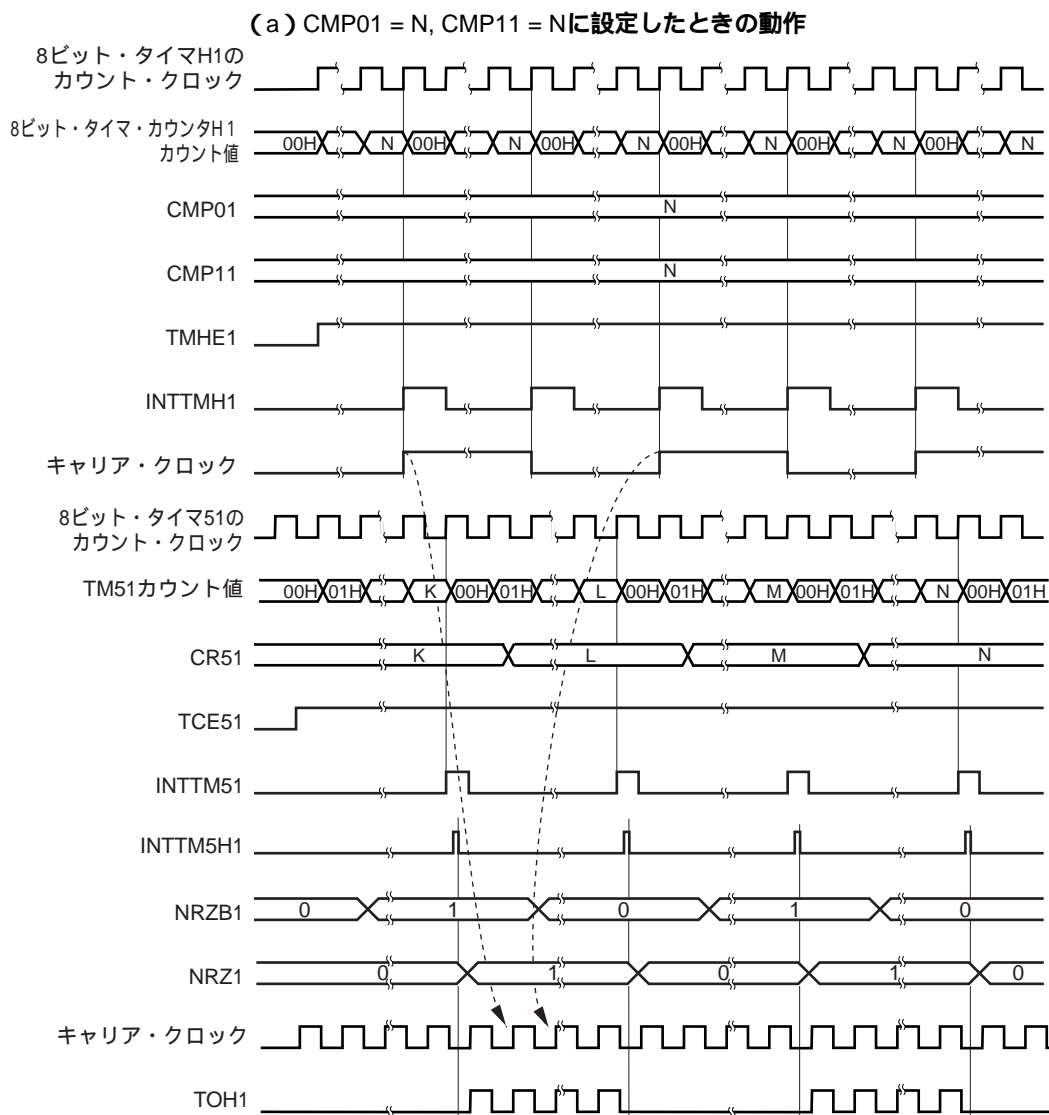
CMP01レジスタの設定値を(N)、CMP11レジスタの設定値を(M)、カウンタ・クロックの周波数を $f_{CNT}$ とすると、キャリア・クロック出力周期およびデューティは次のとおりになります。

- ・キャリア・クロック出力周期 =  $(N + M + 2) / f_{CNT}$
- ・デューティ = ハイ・レベル幅 / キャリア・クロック出力幅 =  $(M + 1) / (N + M + 2)$

- 注意1.** タイマ・カウンタ動作停止(TMHE1 = 0)設定後、タイマ・カウンタ動作を開始する(TMHE1 = 1)場合、必ずCMP11レジスタを設定してください(CMP11レジスタへの設定値が同値の場合でも、必ず再設定してください)。
2. TMH1のカウンタ・クロック周波数をTM51のカウンタ・クロック周波数の6倍以上になるように設定してください。
  3. CMP01, CMP11レジスタの値は、01H-FFHの範囲で設定してください。
  4. タイマ・カウンタ動作中に、CMP11レジスタの設定値を変更することができます。ただし、CMP11の値を変更してからレジスタに値が転送されるまでに、動作クロック(TMHMD1レジスタのCKS12-CKS10ビットで選択された信号)の3クロック分以上かかります。
  5. RMC1ビットの設定はカウンタ動作開始前に必ず設定してください。

- 備考1.** 出力端子の設定については9.3(3) ポート・モード・レジスタ3(PM3)を参照してください。
2. INTTMH1信号の割り込み許可については、第17章 割り込み機能を参照してください。

図9-13 キャリア・ジェネレータ・モード動作のタイミング (1/3)



TMHE1 = 0およびTCE51 = 0のとき、8ビット・タイマ・カウンタH1の動作は停止状態です。

TMHE1 = 1を設定すると、8ビット・タイマ・カウンタH1はカウント動作を開始します。そのときキャリア・クロックはデフォルトを保持します。

8ビット・タイマ・カウンタH1のカウント値がCMP01レジスタの値と一致したときに、最初のINTTMH1信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP01レジスタからCMP11レジスタに切り替わります。8ビット・タイマ・カウンタH1は00Hにクリアされます。

8ビット・タイマ・カウンタH1のカウント値がCMP11レジスタと一致したときに、INTTMH1信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP11レジスタからCMP01レジスタに切り替わります。8ビット・タイマ・カウンタH1は00Hにクリアされます。

とを繰り返し、デューティ50%固定のキャリア・クロックを生成します。

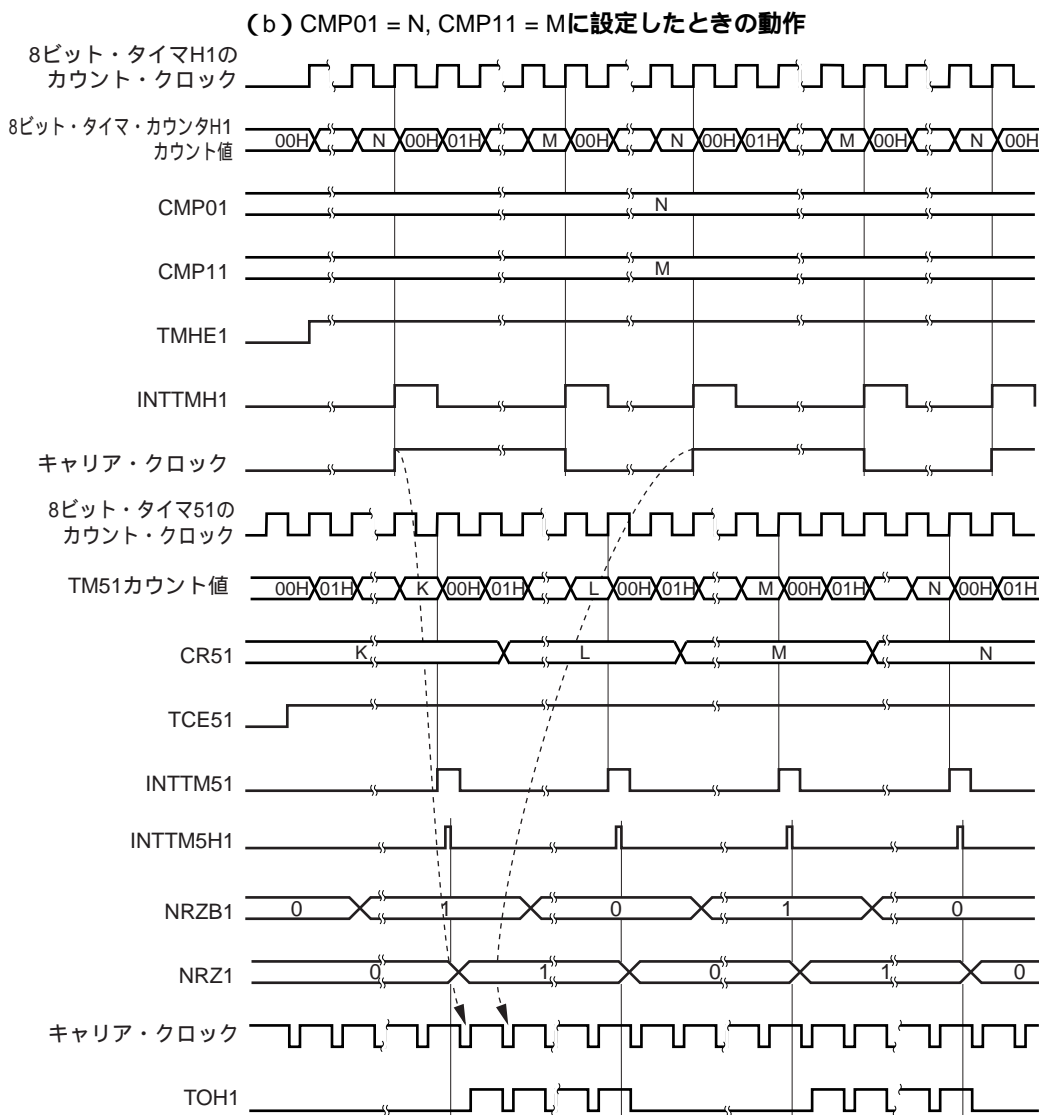
INTTM51信号が発生すると、その信号は8ビット・タイマH1のカウント・クロックで同期化され、INTTM5H1信号として出力されます。

INTTM5H1信号がNRZB1ビットのデータ転送信号となり、NRZB1ビットの値がNRZ1ビットへ転送されます。

NRZ1 = 0により、TOH1出力はロウ・レベルになります。

**備考** INTTM5H1は内部信号で、割り込み要因ではありません。

図9-13 キャリア・ジェネレータ・モード動作のタイミング (2/3)



TMHE1 = 0およびTCE51 = 0のとき、8ビット・タイマ・カウンタH1の動作は停止状態です。

TMHE1 = 1を設定すると、8ビット・タイマ・カウンタH1はカウント動作を開始します。そのときキャリア・クロックはデフォルトを保持します。

8ビット・タイマ・カウンタH1のカウント値がCMP01レジスタと一致したときに、最初のINTTMH1信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP01レジスタからCMP11レジスタに切り替わります。8ビット・タイマ・カウンタH1は00Hにクリアされます。

8ビット・タイマ・カウンタH1のカウント値がCMP11レジスタと一致したときに、INTTMH1信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP11レジスタからCMP01レジスタに切り替わります。8ビット・タイマ・カウンタH1は00Hにクリアされます。

とを繰り返し、デューティ固定（50%以外）のキャリア・クロックを生成します。

INTTM51信号を発生します。その信号は8ビット・タイマH1のカウント・クロックで同期化され、INTTM5H1信号として出力されます。

NRZ1 = 1により、最初のキャリア・クロックの立ち上がりから、キャリアを出力します。

NRZ1 = 0により、キャリア・クロックのハイ・レベル期間は、TOH1出力もハイ・レベルを保持しロウ・レベルに変化しません（、よりキャリア波形のハイ・レベル幅が保証できます）。

**備考** INTTM5H1は内部信号で、割り込み要因ではありません。



## 第10章 ウォッチドッグ・タイマ

### 10.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは、78K0/Fx2-Lマイクロコントローラの全製品に搭載されています。

ウォッチドッグ・タイマは低速内蔵発振クロックで動作します。

ウォッチドッグ・タイマはプログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

次の場合、プログラムの暴走と判断します。

- ・ウォッチドッグ・タイマ・カウンタがオーバフローした場合
- ・ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に1ビット操作命令を使用した場合
- ・WDTEに“ACH”以外のデータを書き込んだ場合
- ・ウインドウ・クローズ期間中にWDTEにデータを書き込んだ場合
- ・命令のフェッチにて、IMSレジスタで設定していない領域からフェッチした場合  
(CPU暴走時の無効チェック検出)
- ・CPUのリード/ライト命令にて、IMSレジスタで設定していない領域(ただしFB00H-FFFFHは除く)にアクセスした場合  
(CPU暴走時の異常アクセス検出)

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のビット4 (WDTRF) がセット (1) されます。RESFの詳細については第19章 **リセット機能**を参照してください。

## 10.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表10-1 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

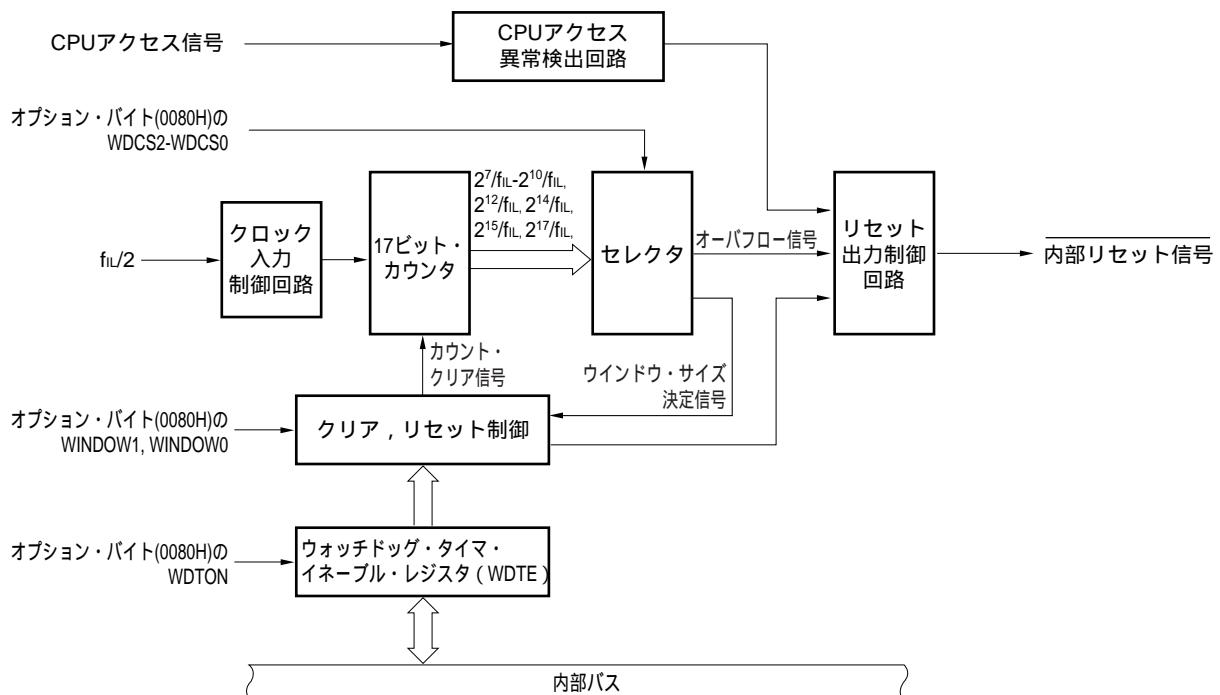
また、オプション・バイトで、カウンタの動作制御、オーバフロー時間の設定、ウインドウ・オープン期間の設定を行います。

表10-2 オプション・バイトとウォッチドッグ・タイマの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト (0080H)
ウインドウ・オープン期間設定	ビット6, 5 (WINDOW1, WINDOW0)
ウォッチドッグ・タイマのカウンタ動作制御	ビット4 (WDTON)
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1 (WDCS2- WDCS0)

備考 オプション・バイトについては、第23章 オプション・バイトを参照してください。

図10-1 ウォッチドッグ・タイマのブロック図





### 10.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) で制御します。

#### (1) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

WDTEに“ACH”を書き込むことにより、ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始します。

WDTEは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、9AHまたは1AH<sup>注</sup>になります。

図10-2 ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) のフォーマット

アドレス : FF99H リセット時 : 9AH / 1AH<sup>注</sup> R/W

略号	7	6	5	4	3	2	1	0
WDTE								

注 WDTEのリセット値は、オプション・バイト (0080H) のWDTONの設定値によって、異なります。ウォッチドッグ・タイマを動作する場合は、WDTONに1を設定してください。

WDTONの設定値	WDTEのリセット値
0(ウォッチドッグ・タイマのカウント動作禁止)	1AH
1(ウォッチドッグ・タイマのカウント動作許可)	9AH

- 注意1. WDTEに“ACH”以外の値を書き込んだ場合、内部リセット信号を発生します。ただし、ウォッチドッグ・タイマのソース・クロックが停止している場合は、ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で、内部リセット信号を発生します。
2. WDTEに1ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。ただし、ウォッチドッグ・タイマのソース・クロックが停止している場合は、ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で、内部リセット信号を発生します。
3. WDTEのリード値は、“9AH / 1AH” (書き込んだ値 (“ACH”) とは異なる値) になります。

## 10.4 ウォッチドッグ・タイマの動作

### 10.4.1 ウォッチドッグ・タイマの動作制御

1. ウォッチドッグ・タイマを使用する場合、オプション・バイト（0080H）で次の内容を設定します。

- ・オプション・バイト（0080H）のビット4（WDTON）を1に設定し、ウォッチドッグ・タイマのカウント動作を許可（リセット解除後、カウンタは動作開始）にしてください（詳細は、第23章を参照）。

WDTON	ウォッチドッグ・タイマのカウンタ/不正アクセス検出の動作制御
0	カウント動作禁止（リセット解除後、カウント停止）、不正アクセス検出動作禁止
1	カウント動作許可（リセット解除後、カウント開始）、不正アクセス検出動作許可

- ・オプション・バイト（0080H）のビット3-1（WDCS2-WDCS0）で、オーバフロー時間を設定してください（詳細は、10.4.2および第23章を参照）。
- ・オプション・バイト（0080H）のビット6, 5（WINDOW1, WINDOW0）で、ウインドウ・オープン期間を設定してください（詳細は、10.4.3および第23章を参照）。

2. リセット解除後、ウォッチドッグ・タイマはカウント動作を開始します。
3. カウント動作開始したあと、オプション・バイトで設定したオーバフロー時間前に、WDTEに“ACH”を書き込むことにより、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。
4. 以後、リセット解除後2回目以降のWDTEへの書き込みについては、ウインドウ・オープン期間中に行ってください。ウインドウ・クローズ期間中に書き込んだ場合、内部リセット信号を発生します。
5. WDTEに“ACH”を書き込まずに、オーバフロー時間を越えてしまった場合は、内部リセット信号を発生します。

また、次の場合も、内部リセット信号を発生します。

- ・ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に1ビット操作命令を使用した場合
- ・WDTEに“ACH”以外のデータを書き込んだ場合
- ・命令のフェッチにて、IMSレジスタで設定していない領域からフェッチした場合  
（CPU暴走時の無効チェック検出）
- ・CPUのリード/ライト命令にて、IMSレジスタで設定していない領域（ただしFB00H-FFFFHは除く）にアクセスした場合  
（CPU暴走時の異常アクセス検出）

- 注意1.** リセット解除後1回目のWDTEへの書き込みは、オーバフロー時間前であれば、どのタイミングで行っても、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。
2. WDTEに“ACH”を書き込んで、ウォッチドッグ・タイマをクリアしたとき、実際のオーバフロー時間は、オプション・バイトで設定したオーバフロー時間より最大 $2/f_{clk}$ 秒の誤差が生じる場合があります。
  3. ウォッチドッグ・タイマのクリアは、カウント値がオーバフロー直前（FFFFH）まで有効です。

注意4. オプション・バイトのビット0 (LSROSC) の設定値により、ウォッチドッグ・タイマのHALTおよびSTOPモード時の動作は、次のように異なります。

	LSROSC = 0 (低速内蔵発振器はソフトウェアにより停止可能)	LSROSC = 1 (低速内蔵発振器は停止不可)
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		

LSROSC = 0の場合、HALTおよびSTOPモード解除後は、ウォッチドッグ・タイマのカウンタを再開します。このとき、カウンタはクリア (0) されず、停止前の値からカウンタ開始します。

また、LSROSC = 0設定時に、LSRSTOP (内蔵発振モード / PLLコントロール・レジスタ (RCM) のビット1) = 1を設定して低速内蔵発振器の発振を停止した場合も、ウォッチドッグ・タイマの動作は停止します。このときもカウンタはクリア (0) されません。

- フラッシュ・メモリのセルフ・プログラミング時およびEEPROM<sup>®</sup>エミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバフロー時間およびウィンドウ・サイズを設定してください。

#### 10.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのオーバフロー時間は、オプション・バイト(0080H)のビット3-1(WDCS2-WDCS0)で設定します。

オーバフロー時は、内部リセット信号を発生します。オーバフロー時間前の、ウィンドウ・オープン期間中にWDTEに“ACH”を書き込むことにより、カウンタはクリアされ、再度カウンタ動作を開始します。

設定するオーバフロー時間を次に示します。

表10-3 ウォッチドッグ・タイマのオーバフロー時間の設定

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間
0	0	0	$2^7/f_{IL}$ (3.88 ms)
0	0	1	$2^8/f_{IL}$ (7.76 ms)
0	1	0	$2^9/f_{IL}$ (15.52 ms)
0	1	1	$2^{10}/f_{IL}$ (31.03 ms)
1	0	0	$2^{12}/f_{IL}$ (124.12 ms)
1	0	1	$2^{14}/f_{IL}$ (496.48 ms)
1	1	0	$2^{15}/f_{IL}$ (992.97 ms)
1	1	1	$2^{17}/f_{IL}$ (3.97 s)

注意1. WDCS2 = WDCS1 = WDCS0 = 0かつWINDOW1 = WINDOW0 = 0の組み合わせは設定禁止です。

- フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバフロー時間およびウィンドウ・サイズを設定してください。

備考1.  $f_{IL}$  : 低速内蔵発振クロック周波数

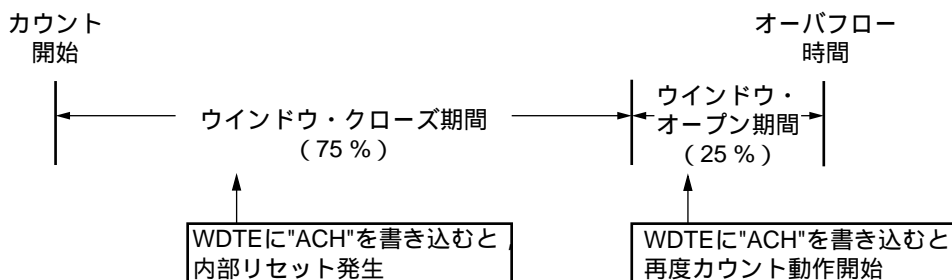
- ( ) 内は $f_{IL} = 33 \text{ kHz}$  (MAX.) の場合

### 10.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ・タイマのウインドウ・オープン期間は、オプション・バイト(0080H)のビット6, 5(WINDOW1, WINDOW0)で設定します。ウインドウの概要は次のとおりです。

- ・ウインドウ・オープン期間中は、WDTEに“ACH”を書き込むと、ウォッチドッグ・タイマをクリアし、再度カウント動作を開始します。
- ・ウインドウ・クローズ期間中は、WDTEに“ACH”を書き込んでも、異常検出され、内部リセットを発生します。

#### 例 ウインドウ・オープン期間が25%の場合



**注意** リセット解除後1回目のWDTEへの書き込みは、オーバーフロー時間前であれば、どのタイミングで行っても、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

設定するウインドウ・オープン期間を次に示します。

表10-4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	25 %
0	1	50 %
1	0	75 %
1	1	100 %

**注意1.** WDCS2 = WDCS1 = WDCS0 = 0かつWINDOW1 = WINDOW0 = 0の組み合わせは設定禁止です。

2. フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバーフロー時間およびウインドウ・サイズを設定してください。

**備考** オーバフロー時間を $2^{17}/f_{IL}$ に設定した場合、ウインドウ・クローズ時間とオープン時間は、次のようになります。

	ウインドウ・オープン期間の設定			
	25 %	50 %	75 %	100 %
ウインドウ・クローズ時間	0 ~ 3.64 s	0 ~ 2.43 s	0 ~ 1.21 s	なし
ウインドウ・オープン時間	3.64 ~ 3.97 s	2.43 ~ 3.97 s	1.21 ~ 3.97 s	0 ~ 3.97 s

<ウインドウ・オープン期間25 %のとき>

・ オーバフロー時間 :

$$2^{17}/f_{IL} (\text{MAX.}) = 2^{17}/33 \text{ kHz} (\text{MAX.}) = 3.97 \text{ s}$$

・ ウインドウ・クローズ時間 :

$$0 \sim 2^{17}/f_{IL} (\text{MIN.}) \times (1 - 0.25) = 0 \sim 2^{17}/27 \text{ kHz} (\text{MIN.}) \times 0.75 = 0 \sim 3.64 \text{ s}$$

・ ウインドウ・オープン時間 :

$$2^{17}/f_{IL} (\text{MIN.}) \times (1 - 0.25) \sim 2^{17}/f_{IL} (\text{MAX.}) = 2^{17}/f_{IL} / 27 \text{ kHz} (\text{MIN.}) \times 0.75 \sim 2^{17}/33 \text{ kHz} (\text{MAX.}) = 3.64 \sim 3.97 \text{ s}$$

## 第11章 A/Dコンバータ

項目	78K0/FY2-L (16ピン)	78K0/FA2-L (20ピン)	78K0/FB2-L (30ピン)
10ビットA/Dコンバータ	4 ch	6 ch	9 ch

### 11.1 A/Dコンバータの機能

A/Dコンバータは、アナログ入力をデジタル値に変換する10ビット分解能のコンバータで、最大9チャンネル (ANI0-ANI8) のアナログ入力を制御できる構成になっています。

A/Dコンバータには、次のような機能があります。

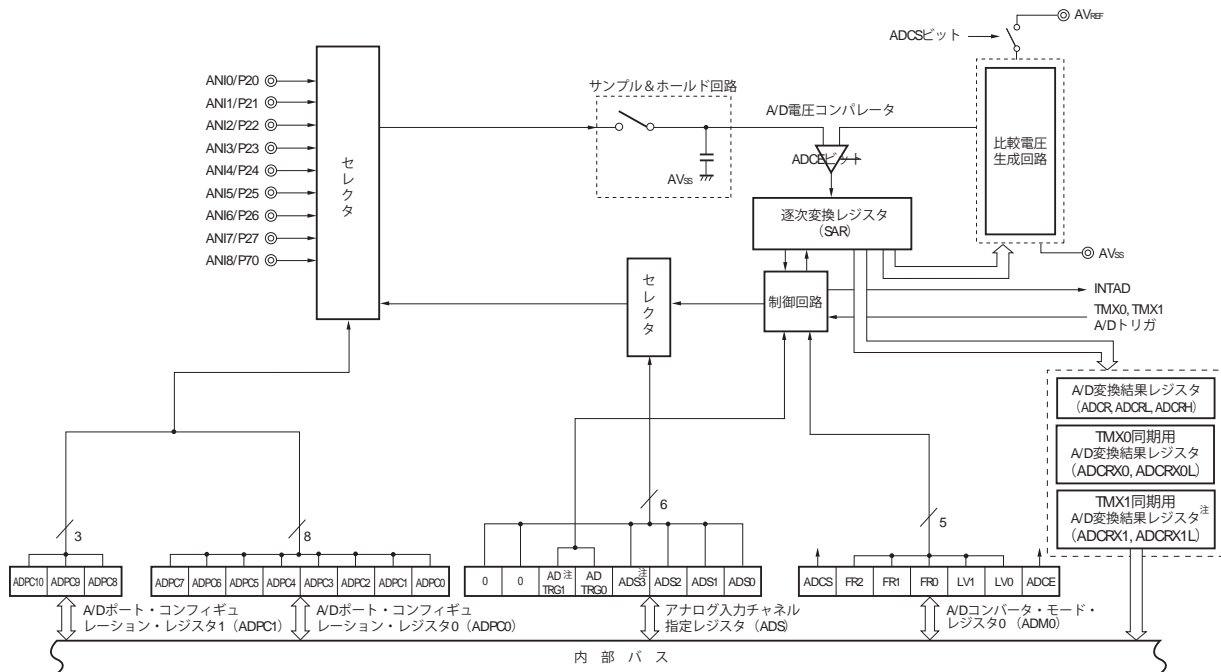
#### ・10ビット分解能A/D変換

ANI0-ANI8からアナログ入力を1チャンネル選択し、10ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求 (INTAD) を発生します。

**備考** A/Dコンバータのアナログ入力端子は、製品により異なります。

- ・78K0/FY2-L : ANI0-ANI3
- ・78K0/FA2-L : ANI0-ANI5
- ・78K0/FB2-L : ANI0-ANI8

図11-1 A/Dコンバータのブロック図



注 78K0/FB2-Lのみ

注意 78K0/FY2-L, 78K0/FA2-Lの $V_{SS}$ はA/Dコンバータのグランド電位と兼用しています。 $V_{SS}$ を必ず安定しているGND (= 0 V) に接続してください。

備考 A/Dコンバータのアナログ入力端子は、製品により異なります。

- ・ 78K0/FY2-L : ANI0-ANI3
- ・ 78K0/FA2-L : ANI0-ANI5
- ・ 78K0/FB2-L : ANI0-ANI8

## 11.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

### (1) ANI0-ANI8端子

A/Dコンバータの9チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は、入出力ポートとして使用できます。

**備考** A/Dコンバータのアナログ入力端子は、製品により異なります。

- ・ 78K0/FY2-L : ANI0-ANI3
- ・ 78K0/FA2-L : ANI0-ANI5
- ・ 78K0/FB2-L : ANI0-ANI8

### (2) サンプル&ホールド回路

サンプル&ホールド回路は、入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし、A/D電圧コンパレータに送ります。A/D変換動作中は、サンプリングしたアナログ入力電圧を保持します。

### (3) 比較電圧生成回路

比較電圧生成回路は $AV_{REF}$ - $AV_{SS}$ 間に接続されており、アナログ入力と比較する電圧を発生します。比較電圧生成回路の動作許可/停止は、ADCSビット（ADM0レジスタのビット7）で制御します。A/D変換未使用時に、比較電圧生成回路を動作停止にすることにより、消費電力を低減することができます。

### (4) A/D電圧コンパレータ

A/D電圧コンパレータは、サンプリングされた電圧値と比較電圧生成回路の出力電圧を比較します。A/D電圧コンパレータの動作許可/停止は、ADCEビット（ADM0レジスタのビット0）で制御します。A/D変換未使用時に、A/D電圧コンパレータを動作停止にすることにより、消費電力を低減することができます。

### (5) 逐次変換レジスタ（SAR）

SARレジスタは、A/D電圧コンパレータで比較した結果を、最上位ビット（MSB）から1ビットずつ設定する10ビット・レジスタです。

SARレジスタの最下位ビット（LSB）まで設定すると（A/D変換終了）、そのSARレジスタの内容（変換結果）は、A/D変換結果レジスタ（ADCR, ADCRH）に保持されます。

### (6) 10ビットA/D変換結果レジスタ（ADCR）

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果を下位10ビットに保持します（上位6ビットは0に固定）。

### (7) 8ビットA/D変換結果レジスタL（ADCRL）

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果の下位8ビットを格納します。



**(8) 8ビットA/D変換結果レジスタH (ADCRH)**

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果の上位8ビットを格納します。

**(9) TMXn同期用10ビットA/D変換結果レジスタ (ADCRXn)**

16ビット・タイマXn出力をトリガとしてA/D変換開始した場合、A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果を下位10ビットに保持します(上位6ビットは0に固定)。

**(10) TMXn同期用8ビットA/D変換結果レジスタL (ADCRXnL)**

16ビット・タイマXn出力をトリガとしてA/D変換開始した場合、A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果の下位8ビットを格納します。

**注意** ADCR, ADCRL, ADCRH, ADCRX0, ADCRX1, ADCRX0L, ADCRX1Lからデータを読み出すと、**ウェイトが発生します。また周辺ハードウェア・クロック( $f_{PRS}$ )が停止しているときに、ADCR, ADCRL, ADCRH, ADCRX0, ADCRX1, ADCRX0L, ADCRX1Lからデータを読み出さないでください。詳細は第31章 ウェイトに関する注意事項を参照してください。**

**(11) 制御回路**

A/D変換するアナログ入力の変換時間、変換動作の開始/停止などを制御します。指定されたすべてのA/D変換が終了すると、A/D変換終了割り込み要求信号 (INTAD) を発生します。

**(12) AV<sub>REF</sub>端子**

A/Dコンバータのアナログ電源端子/基準電圧を入力する端子です。ポート2, 7をデジタル・ポートとして使用する場合は、V<sub>DD</sub>と同電位にしてください。

AV<sub>REF</sub>, AV<sub>SS</sub>間にかかる電圧に基づいて、ANI0-ANI8に入力される信号をデジタル信号に変換します。

**(13) AV<sub>SS</sub>端子 (78K0/FB2-Lのみ)**

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常にV<sub>SS</sub>と同電位で使用してください。

**(14) V<sub>SS</sub>端子**

グランド電位端子です。78K0/FY2-L, 78K0/FA2-LのV<sub>SS</sub>はA/Dコンバータのグランド電位と兼用しています。V<sub>SS</sub>を必ず安定しているGND (= 0 V) に接続してください。

**備考** n = 0 : 78K0/FY2-L, 78K0/FA2-L  
n = 0, 1 : 78K0/FB2-L

### 11.3 A/Dコンバータで使用するレジスタ

A/Dコンバータは、次の9種類のレジスタを使用します。

- ・ A/Dコンバータ・モード・レジスタ0 (ADM0)
- ・ A/Dポート・コンフィギュレーション・レジスタ0, 1 (ADPC0, ADPC1)
- ・ アナログ入力チャネル指定レジスタ (ADS)
- ・ ポート・モード・レジスタ2, 7 (PM2, PM7)
- ・ 10ビットA/D変換結果レジスタ (ADCR)
- ・ 8ビットA/D変換結果レジスタL (ADCRL)
- ・ 8ビットA/D変換結果レジスタH (ADCRH)
- ・ TMXn同期用10ビットA/D変換結果レジスタ (ADCRXn)
- ・ TMXn同期用8ビットA/D変換結果レジスタL (ADCRXnL)

**備考** n = 0 : 78K0/FY2-L, 78K0/FA2-L  
n = 0, 1 : 78K0/FB2-L

#### (1) A/Dコンバータ・モード・レジスタ0 (ADM0)

A/D変換するアナログ入力の変換時間、変換動作の開始 / 停止を設定するレジスタです。

ADM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11-2 A/Dコンバータ・モード・レジスタ0 (ADM0) のフォーマット

アドレス : FF28H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADM0	ADCS	0	FR2 <sup>注1</sup>	FR1 <sup>注1</sup>	FR0 <sup>注1</sup>	LV1 <sup>注1</sup>	LV0 <sup>注1</sup>	ADCE

ADCS	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

ADCE	A/D電圧コンパレータの動作制御 <sup>注2</sup>
0	A/D電圧コンパレータの動作停止
1	A/D電圧コンパレータの動作許可

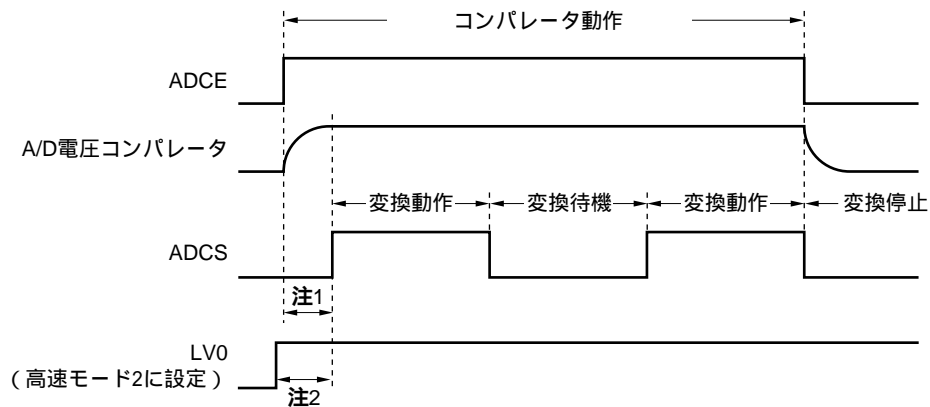
注1. FR2-FR0, LV1, LV0およびA/D変換に関する詳細は、表11-2 A/D変換時間の選択を参照してください。

2. A/D電圧コンパレータはADCSとADCEで動作制御され、動作開始から安定するまでに、1  $\mu$ sかかります。このため、ADCEに1を設定してから1  $\mu$ s以上経過したあとに、ADCSに1を設定することで、最初の変換データより有効となります。1  $\mu$ s以上ウエイトしないでADCSに1を設定した場合は、最初の変換データを無視してください。

表11 - 1 ADCSとADCEの設定

ADCS	ADCE	A/D変換動作
0	0	停止状態（DC電力消費パスは存在しません）
0	1	変換待機モード（A/D電圧コンパレータのみ電力消費）
1	0	設定禁止
1	1	変換モード（A/D電圧コンパレータ動作）

図11 - 3 コンパレータ使用時のタイミング・チャート



- 注1. ADCEに1を設定してから、ADCSに1を設定するまでの時間は、内部回路安定のため、 $1\ \mu\text{s}$ 以上が必要です。
2. LV0に1（高速モード2）を設定してから、ADCSに1を設定するまでの時間は、内部回路安定のため、 $1\ \mu\text{s}$ 以上が必要です（動作モードの設定については、表11 - 2を参照）。

- 注意1. FR2-FR0, LV1, LV0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止させたのちに行ってください。
2. ADM0にデータを書き込むと、ウエイトが発生します。また周辺ハードウェア・クロック ( $f_{\text{PRS}}$ ) が停止しているときに、ADM0にデータを書き込まないでください。詳細は第31章 ウエイトに関する注意事項を参照してください。

表11-2 A/D変換時間の選択 (1/3)

(1) 4.0 V AVREF 5.5 V

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換時間の選択					変換 クロック (f <sub>AD</sub> )
FR2	FR1	FR0	LV1	LV0		f <sub>PRS</sub> = 4 MHz	f <sub>PRS</sub> = 8 MHz	f <sub>PRS</sub> = 10 MHz	f <sub>PRS</sub> = 20 MHz (PLL 使 用時)		
0	0	0	0	0	標準	264/f <sub>PRS</sub>	66.0 μs	33.0 μs	26.4 μs	13.2 μs	f <sub>PRS</sub> /12
0	0	1				176/f <sub>PRS</sub>	44.0 μs	22.0 μs	17.6 μs	8.8 μs	f <sub>PRS</sub> /8
0	1	0				132/f <sub>PRS</sub>	33.0 μs	16.5 μs	13.2 μs	6.6 μs	f <sub>PRS</sub> /6
0	1	1				88/f <sub>PRS</sub>	22.0 μs	11.0 μs	8.8 μs	設定 禁止	f <sub>PRS</sub> /4
1	0	0				66/f <sub>PRS</sub>	16.5 μs	8.25 μs	6.6 μs		f <sub>PRS</sub> /3
1	0	1				44/f <sub>PRS</sub>	11.0 μs	設定禁止			f <sub>PRS</sub> /2
1	1	0				33/f <sub>PRS</sub>	8.25 μs	設定禁止			f <sub>PRS</sub> /1.5
1	1	1				22/f <sub>PRS</sub>	設定禁止			f <sub>PRS</sub>	
1	0	0	1	0	高速1	66/f <sub>PRS</sub>	16.5 μs	8.25 μs	6.6 μs	3.3 μs	f <sub>PRS</sub> /3
1	1	0				33/f <sub>PRS</sub>	8.25 μs	4.125 μs	3.3 μs	設定 禁止	f <sub>PRS</sub> /1.5
1	0	1	1	1	高速2	44/f <sub>PRS</sub>	11.0 μs	5.5 μs	4.4 μs		設定 禁止
1	1	1				22/f <sub>PRS</sub>	5.5 μs	設定禁止			
上記以外					設定禁止						

注意1. FR2-FR0, LV1, LV0を同一データ以外に書き換える場合は, いったんA/D変換動作を停止(ADCS = 0)させたのちに行ってください。

2. 前述の変換時間は, クロック周波数の誤差を含んでいませんので, クロック周波数の誤差を考慮して, 変換時間を選択してください。

備考 f<sub>PRS</sub>: 周辺ハードウェア・クロック周波数

表11 - 2 A/D変換時間の選択 (2/3)

(2) 2.7 V AVREF &lt; 4.0 V

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換時間の選択					変換 クロック (f <sub>AD</sub> )
FR2	FR1	FR0	LV1	LV0		f <sub>PRS</sub> = 4 MHz	f <sub>PRS</sub> = 8 MHz	f <sub>PRS</sub> = 10 MHz	f <sub>PRS</sub> = 20 MHz (PLL使 用時)		
0	0	0	0	0	標準	264/f <sub>PRS</sub>	66.0 μs	33.0 μs	26.4 μs	13.2 μs	f <sub>PRS</sub> /12
0	0	1				176/f <sub>PRS</sub>	44.0 μs	22.0 μs	17.6 μs	設定	f <sub>PRS</sub> /8
0	1	0				132/f <sub>PRS</sub>	33.0 μs	16.5 μs	13.2 μs	禁止	f <sub>PRS</sub> /6
0	1	1				88/f <sub>PRS</sub>	22.0 μs	設定禁止			f <sub>PRS</sub> /4
1	0	0				66/f <sub>PRS</sub>	16.5 μs	設定禁止			f <sub>PRS</sub> /3
1	0	1				44/f <sub>PRS</sub>	設定禁止				f <sub>PRS</sub> /2
1	1	0				33/f <sub>PRS</sub>	設定禁止				f <sub>PRS</sub> /1.5
1	1	1				22/f <sub>PRS</sub>	設定禁止				f <sub>PRS</sub>
0	0	1	1	1	高速2	176/f <sub>PRS</sub>	44.0 μs	22.0 μs	17.6 μs	8.8 μs	f <sub>PRS</sub> /8
0	1	0				132/f <sub>PRS</sub>	33.0 μs	16.5 μs	13.2 μs	6.6 μs	f <sub>PRS</sub> /6
0	1	1				88/f <sub>PRS</sub>	22.0 μs	11.0 μs	8.8 μs	4.4 μs	f <sub>PRS</sub> /4
1	0	0				66/f <sub>PRS</sub>	16.5 μs	8.25 μs	6.6 μs	設定	f <sub>PRS</sub> /3
1	0	1				44/f <sub>PRS</sub>	11.0 μs	5.5 μs	4.4 μs	禁止	f <sub>PRS</sub> /2
1	1	0				33/f <sub>PRS</sub>	8.25 μs	設定禁止			f <sub>PRS</sub> /1.5
1	1	1				22/f <sub>PRS</sub>	5.5 μs	設定禁止			f <sub>PRS</sub>
上記以外					設定禁止						

- 注意1. FR2-FR0, LV1, LV0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止(ADCS = 0)させたのちに行ってください。
2. 前述の変換時間は、クロック周波数の誤差を含んでいませんので、クロック周波数の誤差を考慮して、変換時間を選択してください。

備考 f<sub>PRS</sub> : 周辺ハードウェア・クロック周波数

表11 - 2 A/D変換時間の選択 (3/3)

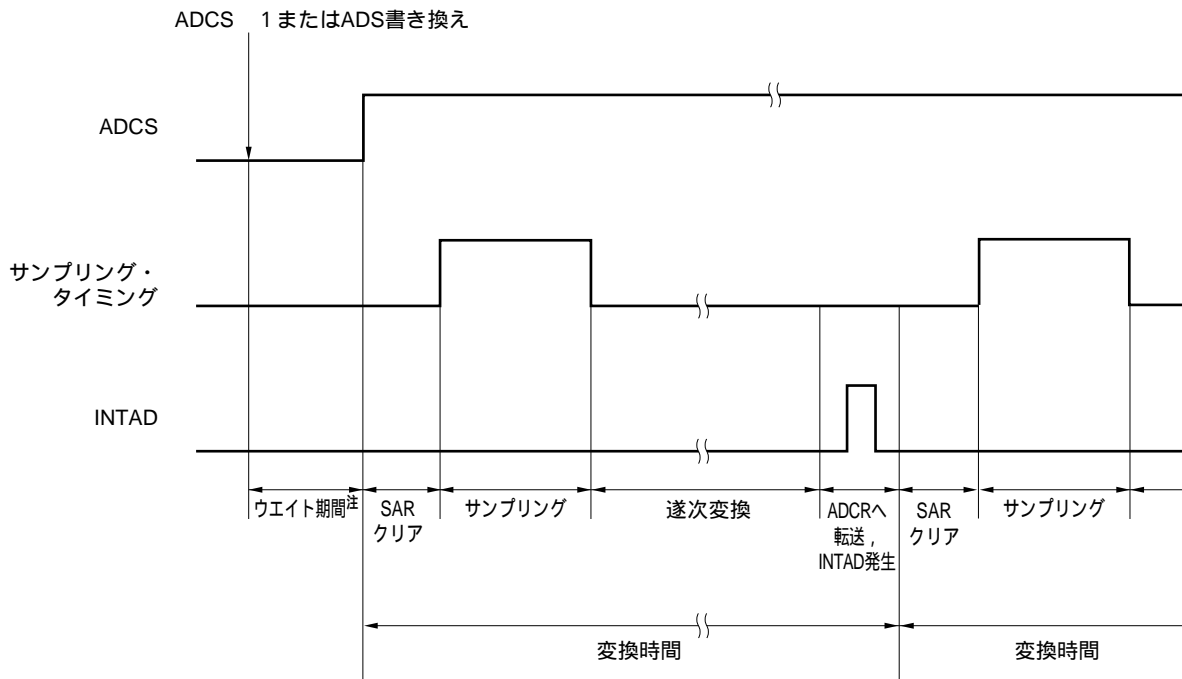
(3) 1.8 V  $AV_{REF} < 2.7$  V

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換時間の選択					変換 クロック ( $f_{AD}$ )	
FR2	FR1	FR0	LV1	LV0		$f_{PRS} =$ 4 MHz	$f_{PRS} =$ 8 MHz	$f_{PRS} =$ 10 MHz	$f_{PRS} =$ 20 MHz (PLL使用 時)			
0	0	0	0	1	低電圧	$528/f_{PRS}$	設定禁止	$66.0 \mu s$	$52.8 \mu s$	設定禁止	$f_{PRS}/12$	
0	0	1				$352/f_{PRS}$	設定禁止	$44.0 \mu s$	設定禁止	設定禁止	設定禁止	$f_{PRS}/8$
0	1	0				$264/f_{PRS}$	$66.0 \mu s$	設定禁止	設定禁止	設定禁止	設定禁止	$f_{PRS}/6$
0	1	1				$176/f_{PRS}$	$44.0 \mu s$	設定禁止	設定禁止	設定禁止	設定禁止	$f_{PRS}/4$
1	0	0				$132/f_{PRS}$	設定禁止					$f_{PRS}/3$
1	0	1				$88/f_{PRS}$	設定禁止					$f_{PRS}/2$
1	1	0				$66/f_{PRS}$	設定禁止					$f_{PRS}/1.5$
1	1	1				$44/f_{PRS}$	設定禁止					$f_{PRS}$
上記以外					設定禁止							

- 注意1. FR2-FR0, LV1, LV0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止(ADCS = 0)させたのちに行ってください。
2. 前述の変換時間は、クロック周波数の誤差を含んでいませんので、クロック周波数の誤差を考慮して、変換時間を選択してください。

備考  $f_{PRS}$  : 周辺ハードウェア・クロック周波数

図11 - 4 A/DコンバータのサンプリングとA/D変換のタイミング



注 ウェイト期間の詳細は、第31章 ウェイトに関する注意事項を参照してください。

## (2) 10ビットA/D変換結果レジスタ (ADCR)

A/D変換結果を保持する16ビットのレジスタです。上位6ビットは“0”固定です。A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされます。

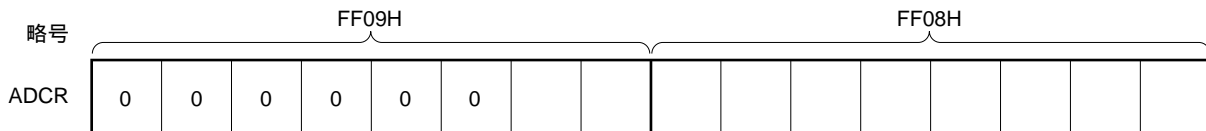
FF09Hに変換結果の上位2ビットを、FF08Hに変換結果の下位8ビットを格納します。

ADCRは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

図11 - 5 10ビットA/D変換結果レジスタ (ADCR) のフォーマット

アドレス：FF08H, FF09H リセット値：0000H R



注意1. A/Dコンバータ・モード・レジスタ0 (ADM0), アナログ入力チャネル指定レジスタ (ADS), A/Dポート・コンフィギュレーション・レジスタ0, 1 (ADPC0, ADPC1) に対して書き込み動作を行ったとき, ADCRの内容は不定となることがあります。変換結果は, 変換動作終了後, ADM0, ADS, ADPC0, ADPC1に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは, 正しい変換結果が読み出されないことがあります。

2. ADCRからデータを読み出すと, ウェイトが発生します。また周辺ハードウェア・クロック ( $f_{PRS}$ ) が停止しているときに, ADCRからデータを読み出さないでください。詳細は第31章 ウェイトに関する注意事項を参照してください。

**(3) 8ビットA/D変換結果レジスタL (ADCRL)**

A/D変換結果を保持する8ビットのレジスタです。10ビット分解能の下位8ビットを格納します。

ADCRLは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

図11 - 6 8ビットA/D変換結果レジスタL (ADCRL) のフォーマット

アドレス：FF08H リセット時：00H R

略号	7	6	5	4	3	2	1	0
ADCRL								

**注意1.** A/Dコンバータ・モード・レジスタ0 (ADM0) , アナログ入力チャンネル指定レジスタ (ADS) , A/Dポート・コンフィギュレーション・レジスタ0, 1 (ADPC0, ADPC1) に対して書き込み動作を行ったとき、ADCRLの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS, ADPC0, ADPC1に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

**2.** ADCRLからデータを読み出すと、ウェイトが発生します。また周辺ハードウェア・クロック ( $f_{PRS}$ ) が停止しているときに、ADCRLからデータを読み出さないでください。詳細は第31章 ウェイトに関する注意事項を参照してください。

**(4) 8ビットA/D変換結果レジスタH (ADCRH)**

A/D変換結果を保持する8ビットのレジスタです。10ビット分解能の上位8ビットを格納します。

ADCRHは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

図11 - 7 8ビットA/D変換結果レジスタ (ADCRH) のフォーマット

アドレス：FF0DH リセット時：00H R

略号	7	6	5	4	3	2	1	0
ADCRH								

**注意1.** A/Dコンバータ・モード・レジスタ0 (ADM0) , アナログ入力チャンネル指定レジスタ (ADS) , A/Dポート・コンフィギュレーション・レジスタ0, 1 (ADPC0, ADPC1) に対して書き込み動作を行ったとき、ADCRHの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS, ADPC0, ADPC1に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

**2.** ADCRHからデータを読み出すと、ウェイトが発生します。また周辺ハードウェア・クロック ( $f_{PRS}$ ) が停止しているときに、ADCRHからデータを読み出さないでください。詳細は第31章 ウェイトに関する注意事項を参照してください。



(5) TMX<sub>n</sub>同期用10ビットA/D変換結果レジスタ (ADCRX<sub>n</sub>)

16ビット・タイマX<sub>n</sub>出力をトリガとしてA/D変換開始した場合に、A/D変換結果を保持する16ビットのレジスタです。上位6ビットは“0”固定です。A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされます。

16ビット・タイマX0出力をトリガとしてA/D変換した場合は、ADCRX0のFF17Hに変換結果の上位2ビットを、FF16Hに変換結果の下位8ビットを格納します。

16ビット・タイマX1出力をトリガとしてA/D変換した場合は、ADCRX1のFF19Hに変換結果の上位2ビットを、FF18Hに変換結果の下位8ビットを格納します。

ADCRX<sub>n</sub>は、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

図11 - 8 TMX<sub>n</sub>同期用10ビットA/D変換結果レジスタ (ADCRX<sub>n</sub>) のフォーマット



注意1. A/Dコンバータ・モード・レジスタ0 (ADM0), アナログ入力チャネル指定レジスタ (ADS), A/Dポート・コンフィギュレーション・レジスタ0, 1 (ADPC0, ADPC1) に対して書き込み動作を行ったとき、ADCRX<sub>n</sub>の内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS, ADPC0, ADPC1に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

2. ADCRX<sub>n</sub>からデータを読み出すと、ウェイトが発生します。また周辺ハードウェア・クロック (f<sub>PRS</sub>) が停止しているときに、ADCRX<sub>n</sub>からデータを読み出さないでください。詳細は第31章ウェイトに関する注意事項を参照してください。

備考 n = 0 : 78K0/FY2-L, 78K0/FA2-L

n = 0, 1 : 78K0/FB2-L

(6) TMX<sub>n</sub>同期用8ビットA/D変換結果レジスタL (ADCRX<sub>n</sub>L)

16ビット・タイマX<sub>n</sub>出力をトリガとしてA/D変換開始した場合に、A/D変換結果を保持する8ビットのレジスタです。

16ビット・タイマX0出力をトリガとしてA/D変換した場合はADCRX0Lに、16ビット・タイマX1出力をトリガとしてA/D変換した場合はADCRX1Lに、10ビット分解能の下位8ビットを格納します。

ADCRX<sub>n</sub>Lは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

図11 - 9 TMXn同期用8ビットA/D変換結果レジスタL (ADCRXnL) のフォーマット

アドレス : FF16H (ADCRX0L), FF18H (ADCRX1L) リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
ADCRXnL (n = 0, 1)								

- 注意1. A/Dコンバータ・モード・レジスタ0 (ADM0), アナログ入力チャネル指定レジスタ (ADS), A/Dポート・コンフィギュレーション・レジスタ0, 1 (ADPC0, ADPC1) に対して書き込み動作を行ったとき, ADCRXnLの内容は不定となることがあります。変換結果は, 変換動作終了後, ADM0, ADS, ADPC0, ADPC1に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは, 正しい変換結果が読み出されないことがあります。
2. ADCRXnLからデータを読み出すと, ウェイトが発生します。また周辺ハードウェア・クロック ( $f_{PRS}$ ) が停止しているときに, ADCRXnLからデータを読み出さないでください。詳細は第31章 ウェイトに関する注意事項を参照してください。

備考 n = 0 : 78K0/FY2-L, 78K0/FA2-L

n = 0, 1 : 78K0/FB2-L

## (7) アナログ入力チャネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力チャネルを指定, およびA/D変換スタート方式を設定するレジスタです。

ADSは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

備考 A/Dコンバータのアナログ入力端子は, 製品により異なります。

・ 78K0/FY2-L : ANI0-ANI3

・ 78K0/FA2-L : ANI0-ANI5

・ 78K0/FB2-L : ANI0-ANI8

図11 - 10 アナログ入力チャネル指定レジスタ (ADS) のフォーマット (1/2)

アドレス : FF0EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADS	0	0	ADTRG1 <sup>注2</sup>	ADTRG0	ADS3 <sup>注2</sup>	ADS2 <sup>注1</sup>	ADS1	ADS0

図11 - 10 アナログ入力チャンネル指定レジスタ (ADS) のフォーマット (2/2)

ADS3	ADS2	ADS1	ADS0	アナログ入力チャンネル	入力ソース
0	0	0	0	ANI0	P20/ANI0端子
0	0	0	1	ANI1	P21/ANI1端子
0	0	1	0	ANI2	P22/ANI2端子
0	0	1	1	ANI3	P23/ANI3端子
0	1	0	0	ANI4 <sup>注1</sup>	P24/ANI4端子 <sup>注1</sup>
0	1	0	1	ANI5 <sup>注1</sup>	P25/ANI5端子 <sup>注1</sup>
0	1	1	0	ANI6 <sup>注2</sup>	P26/ANI6端子 <sup>注2</sup>
0	1	1	1	ANI7 <sup>注2</sup>	P27/ANI7端子 <sup>注2</sup>
1	0	0	0	ANI8 <sup>注2</sup>	P70/ANI8端子 <sup>注2</sup>
上記以外				設定禁止	

ADTRG1	ADTRG0	A/D変換スタート方式の選択 <sup>注3</sup>
0	0	通常スタート (ソフトウェア・トリガ・モード)
0	1	TMX0同期 (TMX0のA/D変換トリガ信号によるタイマ・トリガ・モード)
1	0	TMX1同期 <sup>注2</sup> (TMX1のA/D変換トリガ信号によるタイマ・トリガ・モード)
1	1	設定禁止

注1. 78K0/FA2-L, 78K0/FB2-Lのみ設定可能。

2. 78K0/FB2-Lのみ設定可能。

3. A/D変換スタート方式を切り替える場合は、A/D変換動作を停止 (ADCSをクリア (0)) してから、行ってください。

注意1. A/D変換で使用するチャンネルは、ポート・モード・レジスタ2, 7 (PM2, PM7) で入力モードに選択してください。

2. ADSにデータを書き込むと、ウェイトが発生します。また周辺ハードウェア・クロック (f<sub>PRS</sub>) が停止しているときに、ADSにデータを書き込まないでください。詳細は第31章 ウェイトに関する注意事項を参照してください。

#### (8) A/Dポート・コンフィギュレーション・レジスタ0, 1 (ADPC0, ADPC1)

ADPC0は、P20/ANI0-P27/ANI7を、ポートのデジタル入出力 / アナログ入力に切り替えるレジスタです。ADPC0の各ビットは、ポート2の端子1本ずつに対応しており、1ビット単位で指定可能です。

ADPC1は、ANI8/P70をポートのデジタル入出力 / アナログ入力に切り替えるレジスタです。ADPC1の各ビットは、ポート1のP70端子1本ずつに対応しており、1ビット単位で指定可能です。

ADPC0, ADPC1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、ADPC0, ADPC1は00Hになります。

備考 A/Dコンバータのアナログ入力端子は、製品により異なります。

・ 78K0/FY2-L : ANI0-ANI3

・ 78K0/FA2-L : ANI0-ANI5

・ 78K0/FB2-L : ANI0-ANI8

図11 - 11 A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0) のフォーマット

## (1) 78K0/FY2-L

アドレス : FF2EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADPC0	0	0	0	0	ADPCS3	ADPCS2	ADPCS1	ADPCS0

## (2) 78K0/FA2-L

アドレス : FF2EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADPC0	0	0	ADPCS5	ADPCS4	ADPCS3	ADPCS2	ADPCS1	ADPCS0

## (3) 78K0/FB2-L

アドレス : FF2EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADPC0	ADPCS7	ADPCS6	ADPCS5	ADPCS4	ADPCS3	ADPCS2	ADPCS1	ADPCS0

ADPCSn	デジタル入出力 / アナログ入力選択 (n = 0-7)
0	アナログ入力
1	デジタル入出力

- 注意1. アナログ入力に設定した端子は、ポート・モード・レジスタ2 (PM2) で入力モードに選択してください。
2. ADPC0にデータを書き込むと、ウエイトが発生します。また周辺ハードウェア・クロックが停止しているときに、ADPC0にデータを書き込まないでください。詳細は第31章 ウエイトに関する注意事項を参照してください。

図11 - 12 A/Dポート・コンフィギュレーション・レジスタ1 (ADPC1) のフォーマット (78K0/FB2-Lのみ)

アドレス : FF2FH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADPC1	0	0	0	0	0	0	0	ADPCS8

ADPCS8	デジタル入出力 / アナログ入力選択
0	アナログ入力
1	デジタル入出力

**注意1.** アナログ入力に設定した端子は、ポート・モード・レジスタ7 (PM7) で入力モードに選択してください。

2. ADPC1にデータを書き込むと、ウエイトが発生します。また周辺ハードウェア・クロックが停止しているときに、ADPC1にデータを書き込まないでください。詳細は第31章 ウエイトに関する注意事項を参照してください。

#### (9) ポート・モード・レジスタ2, 7 (PM2, PM7)

ANI0/P20-ANI7/P27, ANI8/P70端子をアナログ入力ポートとして使用するとき、PM20-PM27, PM70にそれぞれ1を設定してください。このときP20-P27, P70の出力ラッチは、0または1のどちらでもかまいません。

PM20-PM27, PM70にそれぞれ0を設定した場合は、アナログ入力ポートとして使用することはできません。

PM2, PM7は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

**備考** A/Dコンバータのアナログ入力端子は、製品により異なります。

- ・ 78K0/FY2-L : ANI0-ANI3
- ・ 78K0/FA2-L : ANI0-ANI5
- ・ 78K0/FB2-L : ANI0-ANI8

図11 - 13 ポート・モード・レジスタ2 (PM2) のフォーマット

## (1) 78K0/FY2-L

アドレス : FF22H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM2	1	1	1	1	PM23	PM22	PM21	PM20

注意 PM2のビット4-7には、必ず1を設定してください。

## (2) 78K0/FA2-L

アドレス : FF22H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM2	1	1	PM25	PM24	PM23	PM22	PM21	PM20

注意 PM2のビット6, 7には、必ず1を設定してください。

## (3) 78K0/FB2-L

アドレス : FF22H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20

PM2n	P2n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

図11 - 14 ポート・モード・レジスタ7 (PM7) のフォーマット (78K0/FB2-Lのみ)

アドレス : FF27H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM7	1	1	1	1	1	1	1	PM70

PM70	P70端子の入出力モードの選択
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

P20/ANI0-P27/ANI7, P70/ANI8を使用する場合は、使用する端子機能に応じて、レジスタを設定してください（表11 - 3～11 - 6を参照）。

表11 - 3 P2n/ANIn端子機能の設定

ADPC0レジスタ	PM2レジスタ	ADSレジスタ	P2n/ANIn端子
デジタル入出力選択	入力モード	ANIn選択	設定禁止
		ANIn非選択	デジタル入力
	出力モード	ANIn選択	設定禁止
		ANIn非選択	デジタル出力
アナログ入力選択	入力モード	ANIn選択	アナログ入力（A/D変換対象）
		ANIn非選択	アナログ入力（A/D変換非対象）
	出力モード	-	設定禁止
		-	設定禁止

- 備考1. ADPC0 : A/Dコンフィギュレーション・レジスタ0  
 PM2 : ポート・モード・レジスタ2  
 ADS : アナログ入力チャネル指定レジスタ
2. n = 0-2,7

表11 - 4 P23/ANI3/CMP2+, P24/ANI4/CMP0+, P25/ANI5/CMP1+端子機能の設定

ADPC0レジスタ	PM2レジスタ	CMPmENビット (m = 0-2)	ADSレジスタ (n = 3-5)	P23/ANI3/CMP2+, P24/ANI4/CMP0+, P25/ANI5/CMP1+端子
デジタル入出力選択	入力モード	-	ANIn選択	設定禁止
			ANIn非選択	デジタル入力
	出力モード	-	ANIn選択	設定禁止
			ANIn非選択	デジタル出力
アナログ入力選択	入力モード	0	ANIn選択	アナログ入力（A/D変換対象）
			ANIn非選択	アナログ入力（A/D変換非対象）
		1	ANIn選択	アナログ入力（A/D変換対象）, コンパレータ入力
			ANIn非選択	コンパレータ入力
	出力モード	-	-	設定禁止
			-	設定禁止

- 備考 ADPC0 : A/Dコンフィギュレーション・レジスタ0  
 PM2 : ポート・モード・レジスタ2  
 CMPmEN : コンパレータm制御レジスタ（CmCTL）のビット7  
 ADS : アナログ入力チャネル指定レジスタ

表11 - 5 P26/ANI6/CMPCOM端子機能の設定

ADPC0レジスタ	PM2レジスタ	CmMODSEL1 ビット (m = 0-2)	CmMODSEL0 ビット (m = 0-2)	ADSレジスタ	P26/ANI6/CMPCOM端子
デジタル入出力 選択	入力モード	-		ANI6選択	設定禁止
				ANI6非選択	デジタル入力
	出力モード	-		ANI6選択	設定禁止
				ANI6非選択	デジタル出力
アナログ入力選 択	入力モード	CmMODSEL1 = 0, または CmMODSEL0 = 0		ANI6選択	アナログ入力 (A/D変換対象)
				ANI6非選択	アナログ入力(A/D変換非対象)
		CmMODSEL1 = 1, CmMODSEL0 = 1		ANI6選択	アナログ入力(A/D変換対象), コンパレータ・コモン入力
				ANI6非選択	コンパレータ・コモン入力
	出力モード	-		-	設定禁止

**備考** ADPC0 : A/Dコンフィギュレーション・レジスタ0  
 PM2 : ポート・モード・レジスタ2  
 CmMODSEL1, CmMODSEL0 : コンパレータm制御レジスタ (CmCTL) のビット4, 3  
 ADS : アナログ入力チャンネル指定レジスタ

表11 - 6 P70/ANI8端子機能の設定

ADPC1レジスタ	PM7レジスタ	ADSレジスタ	P70/ANI8端子
デジタル入出力選択	入力モード	ANI8選択	設定禁止
		ANI8非選択	デジタル入力
	出力モード	ANI8選択	設定禁止
		ANI8非選択	デジタル出力
アナログ入力選択	入力モード	ANI8選択	アナログ入力 (A/D変換対象)
		ANI8非選択	アナログ入力 (A/D変換非対象)
	出力モード	-	設定禁止

**備考** ADPC1 : A/Dコンフィギュレーション・レジスタ1  
 PM7 : ポート・モード・レジスタ7  
 ADS : アナログ入力チャンネル指定レジスタ



## 11.4 A/Dコンバータの動作

### 11.4.1 A/Dコンバータの基本動作（ソフトウェア・トリガ・モード）

A/Dコンバータ・モード・レジスタ0 (ADM0) のビット5-1 (FR2-FR0, LV1, LV0) でA/D変換時間と動作モードを設定してください。

ADM0のビット0 (ADCE) をセット (1) し, A/D電圧コンパレータの動作を開始してください。

A/D変換するチャンネルをA/Dポート・コンフィギュレーション・レジスタ0, 1 (ADPC0, ADPC1) でアナログ入力に, ポート・モード・レジスタ2, 7 (PM2, PM7) で入力モードに設定してください。

A/D変換するチャンネルをアナログ入力チャンネル指定レジスタ (ADS) で1チャンネル選択してください。

ADM0のビット7 (ADCS) をセット (1) し, 変換動作を開始します。

( から までハードウェアでの動作)

選択したアナログ入力チャンネルに入力している電圧を, サンプル&ホールド回路でサンプリングします。一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり, サンプリングされた電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ (SAR) のビット9をセットし, 比較電圧生成回路は (1/2)  $AV_{REF}$  の電圧を出力し

ます。比較電圧生成回路の出力電圧とサンプリングされた電圧との電圧差を電圧コンパレータで比較します。もし, アナログ入力 (1/2)  $AV_{REF}$  よりも大きければ, SARのMSBをセットしたままです。また, (1/2)  $AV_{REF}$  よりも小さければ, MSBはリセットします。

次にSARのビット8が自動的にセットし, 次の比較に移ります。ここではすでに結果がセットしているビット9の値によって, 比較電圧生成回路の出力電圧を次に示すように選択します。

- ・ビット9 = 1 : (3/4)  $AV_{REF}$
- ・ビット9 = 0 : (1/4)  $AV_{REF}$

この比較電圧生成回路の出力電圧とサンプリングされた電圧を比較し, その結果でSARのビット8を次のように操作します。

- ・サンプリングされた電圧 > 比較電圧生成回路の出力電圧 : ビット8 = 1
- ・サンプリングされた電圧 < 比較電圧生成回路の出力電圧 : ビット8 = 0

このような比較をSARのビット0まで続けます。

10ビットの比較が終了したとき, SARには有効なデジタルの結果が残り, その値がA/D変換結果レジスタ (ADCR, ADCRH, ADCRL) に転送され, ラッチします。

同時に, A/D変換終了割り込み要求 (INTAD) を発生させることができます。

以降 から までの動作をADCS = 0になるまで繰り返します。

A/Dコンバータを停止する場合は, ADCS = 0にしてください。

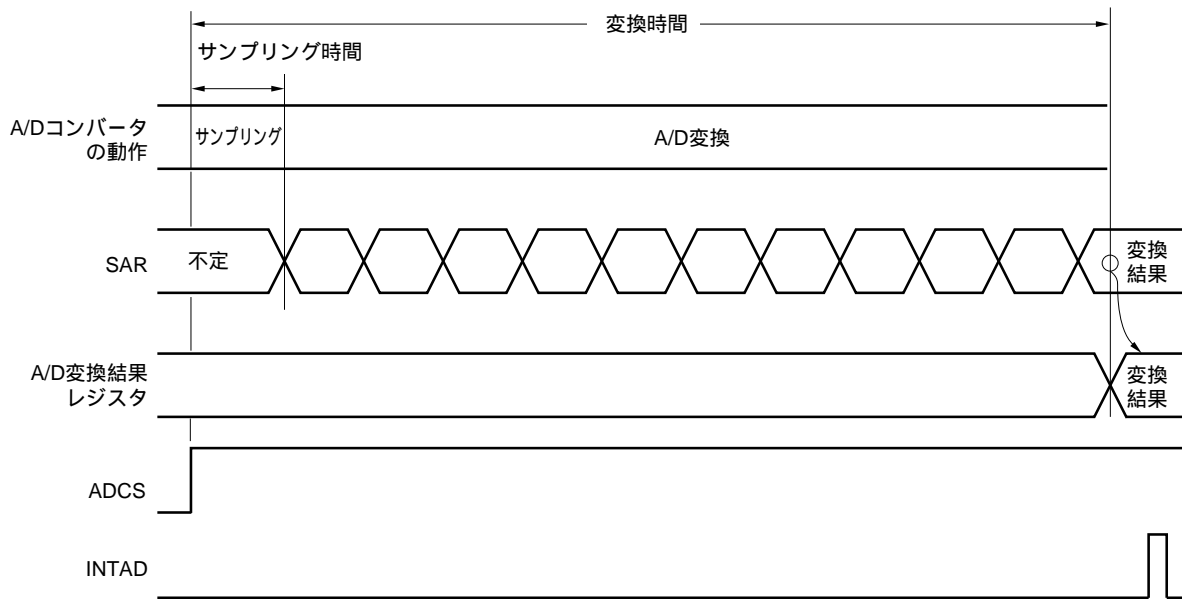
ADCE = 1の状態から, 再度A/D変換する場合は, から開始してください。ADCE = 0の状態から, 再度A/D変換する場合は, ADCEをセット (1) し, 1  $\mu$ s以上ウエイト後に, を開始してください。また, A/D変換するチャンネルを変更する場合は, から開始してください。

- 注意1. から までの間は1  $\mu$ s以上空けてください。
2. は, よりも前のタイミングならば, どこで行っても問題ありません。
3. ソフトウェア・トリガ・モードからタイマ・トリガ・モードに切り替える場合, A/D変換動作を停止 (ADCSをクリア (0)) してから, 動作モードおよび入力チャンネルを切り替えてください。

備考 A/D変換結果レジスタは3種類あります。

- ・ ADCR (16ビット) : 10ビットのA/D変換値を格納します。
- ・ ADCRH (8ビット) : A/D変換値の上位8ビットを格納します。
- ・ ADCRL (8ビット) : A/D変換値の下位8ビットを格納します。

図11 - 15 A/Dコンバータの基本動作 (ソフトウェア・トリガ・モード)



A/D変換動作は, ソフトウェアによりA/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS) をリセット (0) するまで連続的に行われます。

A/D変換動作中に, アナログ入力チャンネル指定レジスタ (ADS) に対して書き込み操作を行うと, 変換動作は初期化され, ADCSビットがセット (1) されていれば, 最初から変換を開始します。

A/D変換結果レジスタ (ADCR, ADCRH, ADCRL) は, リセット信号の発生により0000Hまたは00Hとなります。

## 11.4.2 A/Dコンバータの基本動作（タイマ・トリガ・モード）

A/Dコンバータ・モード・レジスタ0 (ADM0) のビット5-1 (FR2-FR0, LV1, LV0) でA/D変換時間と動作モードを設定してください。

ADM0のビット0 (ADCE) をセット (1) し, A/D電圧コンパレータの動作を開始してください。

A/D変換するチャンネルをA/Dポート・コンフィギュレーション・レジスタn (ADPCn) でアナログ入力に, ポート・モード・レジスタ2, 7 (PM2, PM7) で入力モードに設定してください。

アナログ入力チャンネル指定レジスタ (ADS) のビット4, 5 (ADTRGn) で, TMXn同期を選択してください。

A/D変換するチャンネルをADSで1チャンネル選択してください。

ADM0のビット7 (ADCS) をセット (1) し, タイマ・トリガ待機状態にしてください。

( から までハードウェアでの動作)

トリガ信号 (TMXn出力) の検出により, 変換動作を開始します。

選択したアナログ入力チャンネルに入力している電圧を, サンプル&ホールド回路でサンプリングします。一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり, サンプリングされた電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ (SAR) のビット9をセットし, 比較電圧生成回路は (1/2) AVREFの電圧を出力します。

比較電圧生成回路の出力電圧とサンプリングされた電圧との電圧差を電圧コンパレータで比較します。もし, アナログ入力 (1/2) AVREFよりも大きければ, SARのMSBをセットしたままです。また, (1/2) AVREFよりも小さければ, MSBはリセットします。

次にSARのビット8が自動的にセットし, 次の比較に移ります。ここではすでに結果がセットしているビット9の値によって, 比較電圧生成回路の出力電圧を次に示すように選択します。

・ビット9 = 1 : (3/4) AVREF

・ビット9 = 0 : (1/4) AVREF

この比較電圧生成回路の出力電圧とサンプリングされた電圧を比較し, その結果でSARのビット8を次のように操作します。

・サンプリングされた電圧 > 比較電圧生成回路の出力電圧 : ビット8 = 1

・サンプリングされた電圧 < 比較電圧生成回路の出力電圧 : ビット8 = 0

このような比較をSARのビット0まで続けます。

10ビットの比較が終了したとき, SARには有効なデジタルの結果が残し, その値がA/D変換結果レジスタ (TMXn同期 : ADCRXn, ADCRXnL) に転送され, ラッチします。

同時に, A/D変換終了割り込み要求 (INTAD) を発生させることができます。

以降 から までの動作をADCS = 0になるまで繰り返します。

A/Dコンバータを停止する場合は, ADCS = 0にしてください。

ADCE = 1の状態から, 再度A/D変換する場合は, から開始してください。ADCE = 0の状態から, 再度A/D変換する場合は, ADCEをセット (1) し, 1  $\mu$ s以上ウエイト後に, を開始してください。また, A/D変換するチャンネルを変更する場合は, から開始してください。

**注意1.** から までの間は1  $\mu$ s以上空けてください。

2. は, よりも前のタイミングならば, どこで行っても問題ありません。

3. タイマ・トリガ・モードからソフトウェア・トリガ・モードに切り替える場合, A/D変換動作を停止 (ADCSをクリア (0)) してから, 動作モードおよび入力チャンネルを切り替えてください。

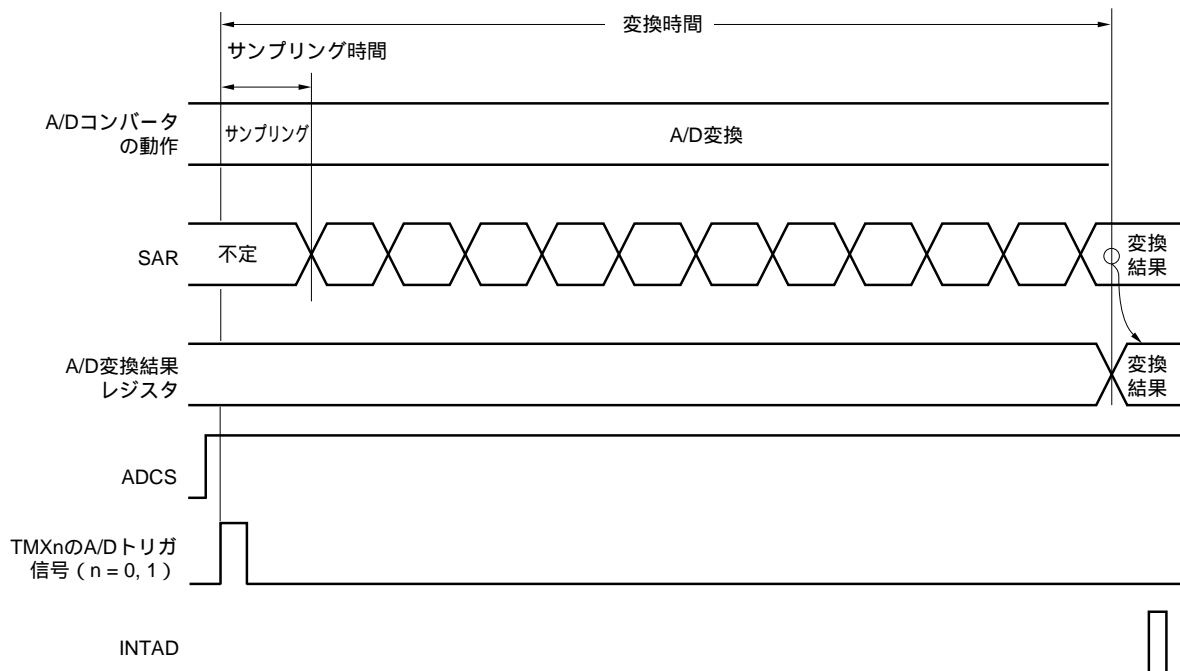
**備考1. A/D変換結果レジスタは2種類あります。**

- ・ ADCR<sub>Xn</sub> (16ビット) : 10ビットのA/D変換値を格納します。
- ・ ADCR<sub>XnL</sub> (8ビット) : A/D変換値の下位8ビットを格納します。

2. n = 0 : 78K0/FY2-L, 78K0/FA2-L

n = 0, 1 : 78K0/FB2-L

図11 - 16 A/Dコンバータの基本動作 (タイマ・トリガ・モード)



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS) をリセット (0) するまで連続的に行われます。

A/D変換動作中に、アナログ入力チャネル指定レジスタ (ADS) に対して書き込み操作を行うと、変換動作は初期化されます。ADCSビットがセット (1) されていれば、TMXnのA/Dトリガ信号検出後、最初から変換を開始します。

A/D変換結果レジスタ (ADCR<sub>Xn</sub>, ADCR<sub>XnL</sub>) は、リセット信号の発生により0000Hまたは00Hとなります。

**備考** n = 0 : 78K0/FY2-L, 78K0/FA2-L

n = 0, 1 : 78K0/FB2-L

### 11.4.3 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI8) に入力されたアナログ入力電圧と理論上のA/D変換結果 (10ビットA/D変換結果レジスタ (ADCR)) には次式に示す関係があります。

$$\text{ADCR} = \text{INT} \left( \frac{V_{\text{AIN}}}{V_{\text{VREF}}} \times 1024 + 0.5 \right)$$

または,

$$\left( \text{ADCR} - 0.5 \right) \times \frac{V_{\text{VREF}}}{1024} < V_{\text{AIN}} < \left( \text{ADCR} + 0.5 \right) \times \frac{V_{\text{VREF}}}{1024}$$

INT ( ) : ( ) 内の値の整数部を返す関数

$V_{\text{AIN}}$  : アナログ入力電圧

$V_{\text{VREF}}$  :  $V_{\text{VREF}}$ 端子電圧

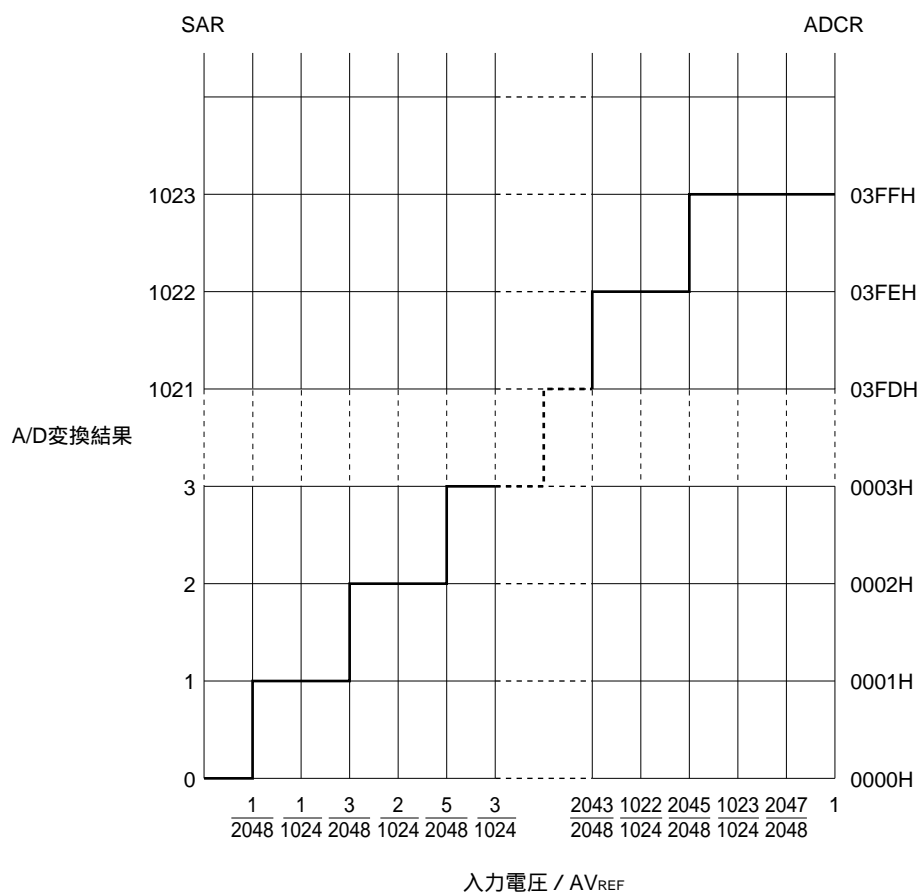
ADCR : 10ビットA/D変換結果レジスタ (ADCR) の値

**備考** A/Dコンバータのアナログ入力端子は、製品により異なります。

- ・ 78K0/FY2-L : ANI0-ANI3
- ・ 78K0/FA2-L : ANI0-ANI5
- ・ 78K0/FB2-L : ANI0-ANI8

図11 - 14にアナログ入力電圧とA/D変換結果の関係を示します。

図11 - 17 アナログ入力電圧とA/D変換結果の関係



#### 11.4.4 A/Dコンバータのトリガ・モード選択

A/D変換の開始タイミングを設定するトリガ・モードには、次の2つのモードがあります。これらのトリガ・モードは、アナログ入力チャンネル指定レジスタ (ADS) で設定します。

- ・ソフトウェア・トリガ・モード
- ・タイマ・トリガ・モード

##### (1) ソフトウェア・トリガ・モード

ADTRGnビットの設定で通常スタートに設定した場合、ADCS = 1に設定することにより、ADSで選択したアナログ入力チャンネルのA/D変換を開始します。

A/D変換終了後は、ADCS = 0に設定しないかぎり、連続してA/D変換を繰り返し行います。

##### (2) タイマ・トリガ・モード

ADTRGnビットの設定でTMXn同期に設定した場合、ADCS = 1に設定後、TMXnのA/Dトリガ信号の検出により、アナログ入力チャンネル指定レジスタ (ADS) で選択したアナログ入力チャンネルのA/D変換を開始します。

A/D変換終了後は、ADCS = 0に設定しないかぎり、TMXnのA/Dトリガ信号検出後に、A/D変換を繰り返し行います。

**備考** n = 0 : 78K0/FY2-L, 78K0/FA2-L  
n = 0, 1 : 78K0/FB2-L

**注意** トリガ・モードを切り替える場合は、A/D変換動作を停止 (ADCSをクリア (0)) してから、行ってください。

#### 11.4.5 A/Dコンバータの動作モード

アナログ入力チャンネル指定レジスタ (ADS) でアナログ入力を1チャンネル選択し、A/D変換を行います。

##### (1) A/D変換動作

アナログ入力チャンネル指定レジスタ (ADS) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を行います。

A/D変換動作が終了すると、変換結果をA/D変換結果レジスタに格納し、割り込み要求信号 (INTAD) を発生します。1回のA/D変換が終了すると、ただちに次のA/D変換動作を開始します。

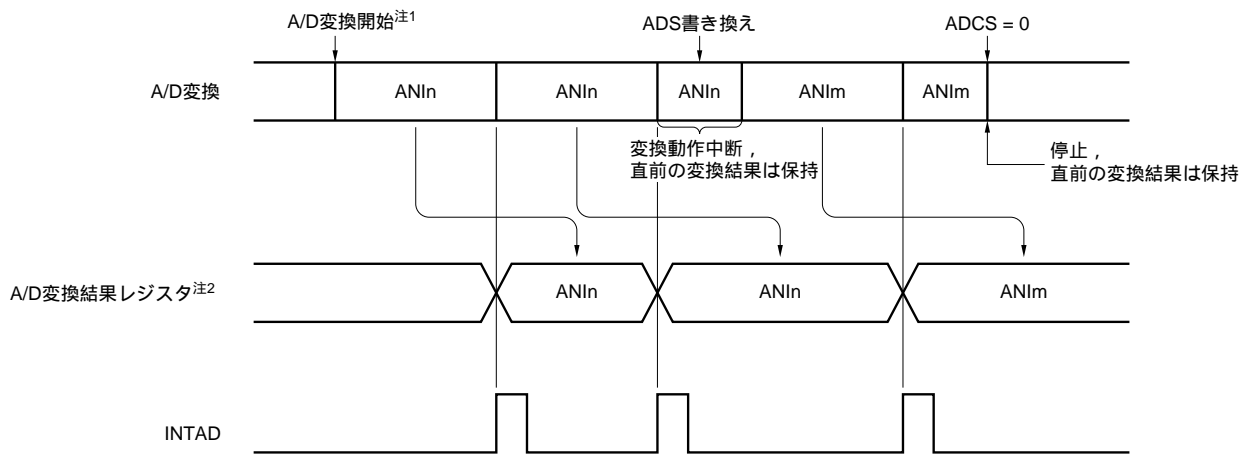
A/D変換動作中に、ADSを書き換えると、そのとき行っていたA/D変換動作を中断し、再度、最初からA/D変換動作を開始します。

また、A/D変換動作中に、ADCSに0を書き込むと、ただちにA/D変換動作を停止します。このとき直前の変換結果は保持されます。

**備考** A/Dコンバータのアナログ入力端子は、製品により異なります。

- ・ 78K0/FY2-L : ANI0-ANI3
- ・ 78K0/FA2-L : ANI0-ANI5
- ・ 78K0/FB2-L : ANI0-ANI8

図11 - 18 A/D変換動作



- 注1.** ソフトウェア・トリガ・モード : ADCSをセット(1)することによりA/D変換開始  
 タイマ・トリガ・モード : ADCSをセット(1)したあと, タイマ・トリガ信号(TMX0出力またはTMX1出力(78K0/FB2-Lのみ))の検出によりA/D変換開始
- 2.** ソフトウェア・トリガ・モード : ADCR, ADCRH, ADCRLレジスタ  
 タイマ・トリガ・モード : ADCRX0, ADCRX0Lレジスタ(TMX0同期)  
 ADCRX1, ADCRX1Lレジスタ(TMX1同期)(78K0/FB2-Lのみ)

- 備考1.** n = 0-8 (製品により異なります)  
 2. m = 0-8 (製品により異なります)



次に設定方法を説明します。

(2) ソフトウェア・トリガ・モードの設定方法

A/Dコンバータ・モード・レジスタ0 (ADM0) のビット5-1 (FR2-FR0, LV1, LV0) でA/D変換時間と動作モードを選択

ADM0のビット0 (ADCE) をセット (1)

A/Dポート・コンフィギュレーション・レジスタ0, 1 (ADPC0, ADPC1) とポート・モード・レジスタ2, 7 (PM2, PM7) で使用するチャンネルをアナログ入力に設定

アナログ入力チャンネル指定レジスタ (ADS) で使用するチャンネルを選択

ADM0のビット7 (ADCS) をセット (1) し, A/D変換動作開始

1回のA/D変換が終了し, 割り込み要求信号 (INTAD) 発生

A/D変換データをA/D変換結果レジスタ (ADCR, ADCRH, ADCRL) に転送

< チャンネルを変更する >

割り込みマスク・フラグ・レジスタ1L (MK1L) のビット0 (ADMK) をセット (1) <sup>注</sup>

ADSでチャンネルを変更し, A/D変換動作開始

割り込み要求フラグ・レジスタ1L (IF1L) のビット0 (ADIF) をクリア (0)

ADMKをクリア (0) <sup>注</sup>

1回のA/D変換が終了し, 割り込み要求信号 (INTAD) 発生

A/D変換データをA/D変換結果レジスタ (ADCR, ADCRH, ADCRL) に転送

< A/D変換を終了する >

ADCSをクリア (0)

ADCEをクリア (0)

**注** A/D変換に割り込み処理を使用している場合のみ, 実行してください。

**注意1.** から までの間は1  $\mu$ s以上空けてください。

2. は, よりも前のタイミングならば, どこで行っても問題ありません。

3. は省略可能です。ただし, この場合には のあと, 最初の変換データは無視してください。

4. から までの時間は, ADM0のビット5-1 (FR2-FR0, LV1, LV0) で設定した変換時間とは異なります。 から までの時間が, FR2-FR0, LV1, LV0で設定した変換時間となります。

5. ソフトウェア・トリガ・モードからタイマ・トリガ・モードに切り替える場合, A/D変換動作を停止 (ADCSをクリア (0)) してから, 動作モードおよび入力チャンネルを切り替えてください。

## (3) タイマ・トリガ・モードの設定方法

A/Dコンバータ・モード・レジスタ0 (ADM0) のビット5-1 (FR2-FR0, LV1, LV0) でA/D変換時間と動作モードを選択

ADM0のビット0 (ADCE) をセット (1)

A/Dポート・コンフィギュレーション・レジスタn (ADPCn) とポート・モード・レジスタ2, 7 (PM2, PM7) で使用するチャンネルをアナログ入力に設定

アナログ入力チャンネル指定レジスタ (ADS) のビット4, 5 (ADTRGn) で, TMX0同期またはTMX1同期を選択

アナログ入力チャンネル指定レジスタ (ADS) で使用するチャンネルを選択

ADM0のビット7 (ADCS) をセット (1) し, タイマ・トリガ待機状態に設定

トリガ信号 (TMXn出力) の検出により, 変換動作を開始

1回のA/D変換が終了し, 割り込み要求信号 (INTAD) 発生

A/D変換データをA/D変換結果レジスタ (ADCRXn, ADCRXnL) に転送

## &lt; チャンネルを変更する &gt;

割り込みマスク・フラグ・レジスタ1L (MK1L) のビット0 (ADMK) をセット (1) <sup>注</sup>

ADSでチャンネルを変更し, A/D変換動作開始

割り込み要求フラグ・レジスタ1L (IF1L) のビット0 (ADIF) をクリア (0)

ADMKをクリア (0) <sup>注</sup>

1回のA/D変換が終了し, 割り込み要求信号 (INTAD) 発生

A/D変換データをA/D変換結果レジスタ (ADCRXn, ADCRXnL) に転送

## &lt; A/D変換を終了する &gt;

ADCSをクリア (0)

ADCEをクリア (0)

**注** A/D変換に割り込み処理を使用している場合のみ, 実行してください。

**注意1.** から までの間は1  $\mu$ s以上空けてください。

2. は, よりも前のタイミングならば, どこで行っても問題ありません。

3. は省略可能です。ただし, この場合には のあと, 最初の変換データは無視してください。

4. から までの時間は, ADM0のビット5-1 (FR2-FR0, LV1, LV0) で設定した変換時間とは異なります。 から までの時間が, FR2-FR0, LV1, LV0で設定した変換時間となります。

5. タイマ・トリガ・モードからソフトウェア・トリガ・モードに切り替える場合, A/D変換動作を停止 (ADCSをクリア (0)) してから, 動作モードおよび入力チャンネルを切り替えてください。

**備考** n = 0 : 78K0/FY2-L, 78K0/FA2-L

n = 0, 1 : 78K0/FB2-L

## 11.5 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

### (1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。

分解能10ビットのとき

$$1 \text{ LSB} = 1/2^{10} = 1/1024 \\ = 0.098 \% \text{FSR}$$

精度は分解能とは関係なく、総合誤差によって決まります。

### (2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

### (3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる  $\pm 1/2$  LSBの誤差です。A/Dコンバータでは、 $\pm 1/2$  LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

図11 - 19 総合誤差

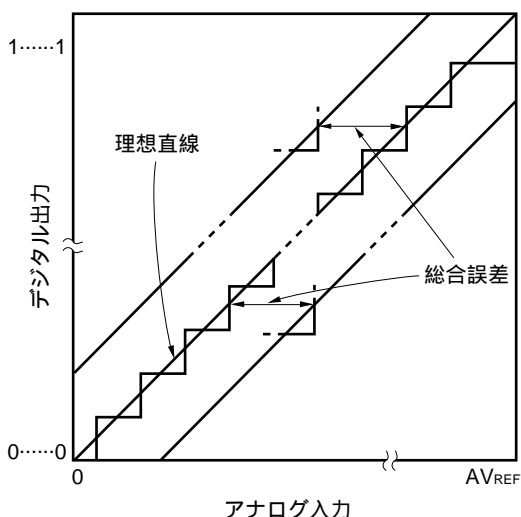
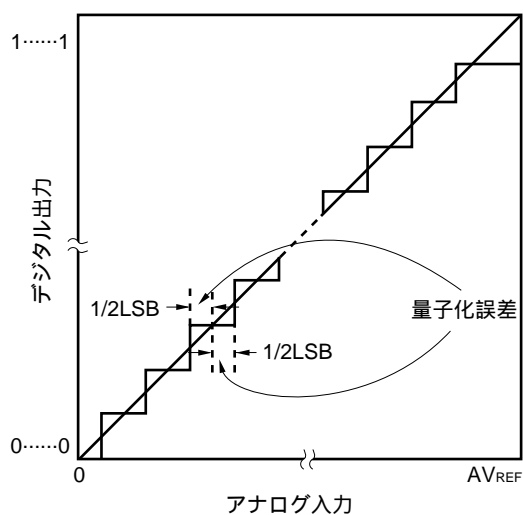


図11 - 20 量子化誤差



**(4) ゼロスケール誤差**

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値(1/2 LSB)との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0.....001から0.....010に変化するときの、アナログ入力電圧の実測値と理論値(3/2 LSB)との差を表します。

**(5) フルスケール誤差**

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値(フルスケール - 3/2 LSB)との差を表します。

**(6) 積分直線性誤差**

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

**(7) 微分直線性誤差**

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

図11 - 21 ゼロスケール誤差

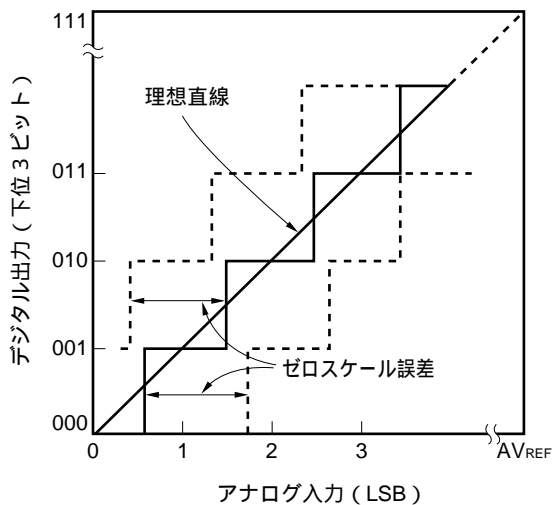


図11 - 22 フルスケール誤差

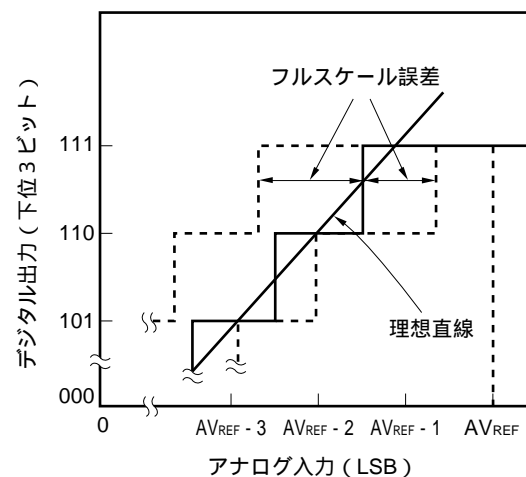


図11 - 23 積分直線性誤差

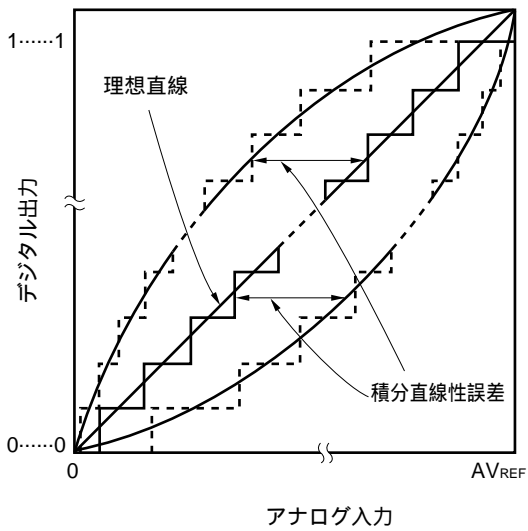
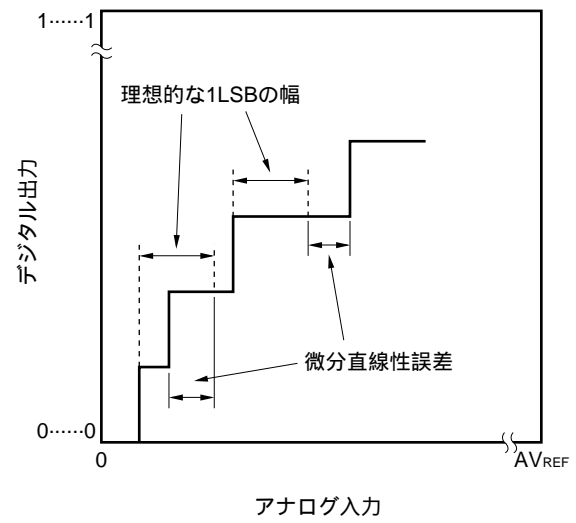


図11 - 24 微分直線性誤差

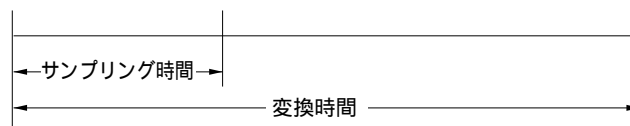
**(8) 変換時間**

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

**(9) サンプリング時間**

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



## 11.6 A/Dコンバータの注意事項

### (1) STOPモード時の動作電流について

STOPモード時の電源電流のDC特性を満たすためには、STOP命令を実行する前にA/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS) とビット0 (ADCE) を0に設定してください。

スタンバイ状態から再度動作する場合、割り込み要求フラグ・レジスタ1L (IF1L) のビット0 (ADIF) をクリア (0) してから、動作開始してください。

### (2) ANI0-ANI8入力範囲について

ANI0-ANI8入力電圧は規格の範囲内でご使用ください。特にAVREF以上、AVSS以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

### (3) 競合動作について

変換終了時のA/D変換結果レジスタのライトと命令によるA/D変換結果レジスタのリードとの競合  
A/D変換結果レジスタのリードが優先されます。リードしたあと、新しい変換結果がA/D変換結果レジスタにライトされます。

変換終了時のA/D変換結果レジスタのライトとA/Dコンバータ・モード・レジスタ0 (ADM0) ライト、アナログ入力チャンネル指定レジスタ (ADS) またはA/Dポート・コンフィギュレーション・レジスタ0, 1 (ADPC0, ADPC1) ライトの競合

ADM0, ADS, ADPC0, ADPC1へのライトが優先されます。A/D変換結果レジスタへのライトはされません。また、変換終了割り込み信号 (INTAD) も発生しません。

### (4) ノイズ対策について

10ビット分解能を保つためには、AVREF, ANI0-ANI8端子へのノイズに注意する必要があります。

電源には等価抵抗が小さく、周波数応答のよいコンデンサを接続してください。

アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図11-22のようにCを外付けすることを推奨します。

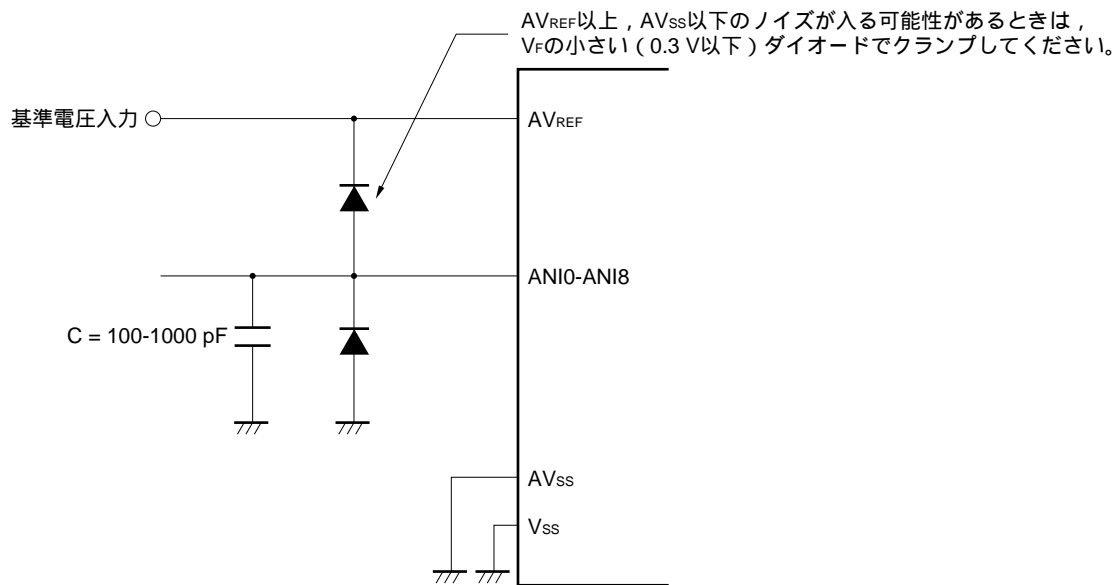
変換中においては、他の端子とスイッチングしないようにしてください。

変換開始直後にHALTモードに設定すると、精度が向上します。

**備考1.** A/Dコンバータのアナログ入力端子は、製品により異なります。

- ・ 78K0/FY2-L : ANI0-ANI3
  - ・ 78K0/FA2-L : ANI0-ANI5
  - ・ 78K0/FB2-L : ANI0-ANI8
2. A/D変換レジスタは、トリガ・モードによって異なります。
- ・ ソフトウェア・トリガ・モード : ADCR, ADCRH, ADCRLレジスタ
  - ・ タイマ・トリガ・モード : ADCRXn, ADCRXnLレジスタ (TMXn同期)
3. n = 0 : 78K0/FY2-L, 78K0/FA2-L  
n = 0, 1 : 78K0/FB2-L

図11 - 25 アナログ入力端子の処理



## (5) ANI0/P20-ANI7/P27, ANI8/P70

アナログ入力 (ANI0-ANI7, ANI8) 端子はデジタル入出力ポート (P20-P27, P70) 端子と、兼用になっています。ANI0-ANI7, ANI8のいずれかを選択してA/D変換をする場合、変換中にP20-P27, P70に対してアクセスしないでください。変換分解能が低下することがあります。

ANI0/P20-ANI7/P27, ANI8/P70をデジタル入出力ポートとして使用する場合、AVREFから最も遠いANI4/P24端子より行うことを推奨します。また、アナログ入力は、AVSSから最も近い端子より行うことを推奨します。

A/D変換中の端子に隣接する端子へデジタル・パルス印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

## (6) ANI0-ANI8端子の入力インピーダンスについて

このA/Dコンバータでは、サンプリング時間で内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを10 k 以下にし、出力インピーダンスが高いときはANI0-ANI8端子に100 pF程度のコンデンサを付けることを推奨します (図11 - 22参照)。

**備考** A/Dコンバータのアナログ入力端子は、製品により異なります。

- ・ 78K0/FY2-L : ANI0-ANI3
- ・ 78K0/FA2-L : ANI0-ANI5
- ・ 78K0/FB2-L : ANI0-ANI8

**(7) AVREF端子の入力インピーダンスについて**

AVREF端子とAVSS端子の間には数十k の直列抵抗ストリングが接続されています。

したがって、基準電圧源の出力インピーダンスが高い場合、AVREF端子とAVSS端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。

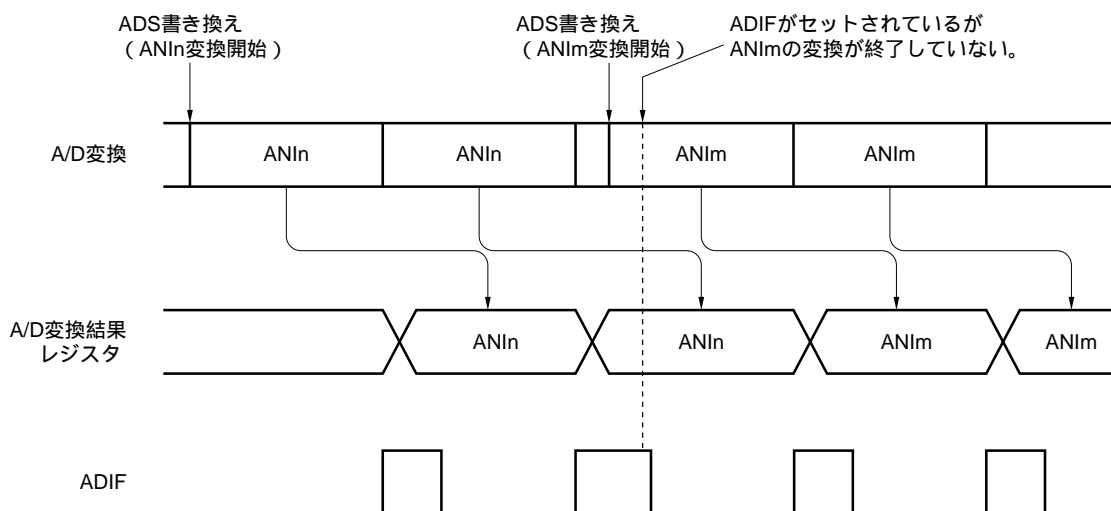
**(8) 割り込み要求フラグ (ADIF) について**

アナログ入力チャンネル指定レジスタ (ADS) を変更しても割り込み要求フラグ (ADIF) はクリア (0) されません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADS書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびADIFがセットされている場合があります。ADS書き換え直後にADIFを読み出すと、変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされていることとなりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFをクリア (0) してください。

図11 - 26 A/D変換終了割り込み要求発生タイミング



備考1. n = 0-8 (製品により異なります)

2. m = 0-8 (製品により異なります)

**(9) A/D変換スタート直後の変換結果について**

ADCEビット = 1にしてから、1  $\mu$ s以内にADCSビット = 1にした場合、もしくはADCEビット = 0の状態、ADCSビット = 1にした場合は、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求 (INTAD) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。



## (10) A/D変換結果レジスタの読み出しについて

A/Dコンバータ・モード・レジスタ0 (ADM0) , アナログ入力チャネル指定レジスタ (ADS) , A/Dポート・コンフィギュレーション・レジスタ0, 1 (ADPC0, ADPC1) に対して書き込み動作を行ったとき, A/D変換結果レジスタの内容は不定となることがあります。変換結果は, 変換動作終了後, ADM0, ADS, ADPC0, ADPC1に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは, 正しい変換結果が読み出されないことがあります。

## (11) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図11 - 27 ANIn端子内部等価回路

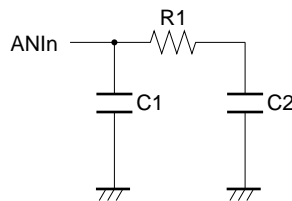


表11 - 7 等価回路の各抵抗と容量値 (参考値)

$AV_{REF}$	モード	R1	C1	C2
4.0 V $AV_{REF} < 5.5$ V	標準	5.2 k $\Omega$	8 pF	6.3 pF
	高速1	5.2 k $\Omega$		
	高速2	7.8 k $\Omega$		
2.7 V $AV_{REF} < 4.0$ V	標準	18.6 k $\Omega$	8 pF	6.3 pF
	高速2	7.8 k $\Omega$		
1.8 V $AV_{REF} < 4.0$ V	低電圧	169.8 k $\Omega$	8 pF	6.3 pF

備考1. 表11 - 7の各抵抗と容量値は保証値ではありません。

2. n = 0-8 (製品により異なります)
3. A/D変換レジスタは, トリガ・モードによって異なります。
  - ・ソフトウェア・トリガ・モード : ADCR, ADCRH, ADCRLレジスタ
  - ・タイマ・トリガ・モード : ADCRXm, ADCRXmLレジスタ (TMXm同期)
4. m = 0 : 78K0/FY2-L, 78K0/FA2-L  
m = 0, 1 : 78K0/FB2-L

## 第12章 コンパレータ

	78K0/FY2-L	78K0FA2-L	78K0/FB2-L
コンパレータ0	非搭載	搭載	
コンパレータ1	非搭載	搭載	
コンパレータ2	搭載		

### 12.1 コンパレータの機能

コンパレータには次の機能があります。

- ・ 3チャンネル搭載 (コンパレータ0~2)
- ・ 次の基準電圧を選択することができます。
  - 内部基準電圧：3本 (基準電圧レベル：1.58 V (TYP.) を32分割)
  - コンパレータ・コモン端子 (CMPCOM) からの入力電圧 (78K0/FB2-Lのみ)
- ・ コンパレータ出力の有効エッジを検出し、割り込み信号を発生することができます。有効エッジは、EGPnビットとEGNnビット (n = 6-8) で設定可能です (第17章 割り込み機能を参照)。
- ・ コンパレータの出力は、16ビット・タイマX0, X1のPWM出力、タイマ・カウンタのリセットとキャプチャのトリガとして使用可能です (第6章 16ビット・タイマX0, X1を参照)。
- ・ ノイズ除去デジタル・フィルタの除去幅が選択可能



## 12.2 コンパレータの構成

コンパレータは、次のハードウェアで構成しています。

表12 - 1 コンパレータの構成

項 目	構 成
制御レジスタ	コンパレータn制御レジスタ (CnCTL) DAn内部基準電圧選択レジスタ (CnRVM) コンパレータ出力フラグ・レジスタ (CMPFLG) A/Dコンフィギュレーション・レジスタ0 (ADPC0) ポート・モード・レジスタ2 (PM2)

## 12.3 コンパレータを制御するレジスタ

コンパレータは、次の5種類のレジスタを使用します。

- ・ コンパレータn制御レジスタ (CnCTL)
- ・ DAn内部基準電圧選択レジスタ (CnRVM)
- ・ コンパレータ出力フラグ・レジスタ (CMPFLG)
- ・ A/Dコンフィギュレーション・レジスタ0 (ADPC0)
- ・ ポート・モード・レジスタ2 (PM2)

### (1) コンパレータn制御レジスタ (CnCTL)

コンパレータnの動作制御、コンパレータ出力許可/禁止、出力反転、ノイズ除去幅、基準電圧を設定するレジスタです。

CnCTLは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

**備考** 78K0/FY2-L : n = 2

78K0/FA2-L, 78K0/FB2-L : n = 0-2

図12 - 2 コンパレータ0制御レジスタ (C0CTL) のフォーマット (78K0/FA2-L, 78K0/FB2-L)

アドレス : FF62H リセット時 : 00H R/W

略号	[7]	[6]	[5]	[4]	[3]	2	[1]	[0]
C0CTL	CMP0EN	C0DFS1	C0DFS0	C0MODSEL1	C0MODSEL0	0	C0OE	C0INV

CMP0EN	コンパレータ0の動作制御
0	動作停止
1	動作許可 コンパレータ0の+側の外部端子 (CMP0+) の入力許可

C0DFS1	C0DFS0	ノイズ除去幅設定
0	0	ノイズ・フィルタ未使用
0	1	$2/f_{PRS}$
1	0	$2^2/f_{PRS}$
1	1	$2^4/f_{PRS}$

C0MODSEL1	C0MODSEL0	基準電圧の選択
0	0	内部基準電圧 : DA0
0	1	内部基準電圧 : DA1
1	0	内部基準電圧 : DA2
1	1	外部基準電圧 : CMPCOM <sup>注</sup>

C0OE	コンパレータ出力許可 / 禁止
0	出力禁止 (出力信号 = ロウ固定)
1	出力許可

C0INV	出力反転設定
0	正転
1	反転

注 78K0/FA2-Lは設定禁止です。

- 注意1. C0DFS1, C0DFS0, C0MODSEL1, C0MODSEL0, C0INVの書き換えは,コンパレータ0の動作を禁止状態 (CMP0EN = 0) にしたあと行ってください。
2. ノイズ除去幅は,設定値より周辺ハードウェア・クロック周波数 ( $f_{PRS}$ ) の1クロック分多く除去されることがあります。
  3. コンパレータ出力ノイズの間隔が,「設定したノイズ除去幅 + 1クロック」以内の場合,不正な波形を出力する可能性があります。
  4. 内部基準電圧を使用する場合,コンパレータ動作を許可 (CMP0EN = 1) する前に,内部基準電圧の動作を許可 (CVRE = 1) に設定してください。

備考  $f_{PRS}$  : 周辺ハードウェア・クロック周波数

図12 - 3 コンパレータ1制御レジスタ (C1CTL) のフォーマット (78K0/FA2-L, 78K0/FB2-L)

アドレス : FF64H リセット時 : 00H R/W

略号	[7]	[6]	[5]	[4]	[3]	2	[1]	[0]
C1CTL	CMP1EN	C1DFS1	C1DFS0	C1MODSEL1	C1MODSEL0	0	C1OE	C1INV

CMP1EN	コンパレータ1の動作制御
0	動作停止
1	動作許可 コンパレータ1の+側の外部端子 (CMP1+) の入力許可

C1DFS1	C1DFS0	ノイズ除去幅設定
0	0	ノイズ・フィルタ未使用
0	1	$2/f_{PRS}$
1	0	$2^2/f_{PRS}$
1	1	$2^4/f_{PRS}$

C1MODSEL1	C1MODSEL0	基準電圧の選択
0	0	内部基準電圧 : DA0
0	1	内部基準電圧 : DA1
1	0	内部基準電圧 : DA2
1	1	外部基準電圧 : CMPCOM <sup>注</sup>

C1OE	コンパレータ出力許可 / 禁止
0	出力禁止 (出力信号 = ロウ固定)
1	出力許可

C1INV	出力反転設定
0	正転
1	反転

注 78K0/FA2-Lは設定禁止です。

- 注意1. C1DFS1, C1DFS0, C1MODSEL1, C1MODSEL0, C1INVの書き換えは,コンパレータ1の動作を禁止状態 (CMP1EN = 0) にしたあと行ってください。
- ノイズ除去幅は,設定値より周辺ハードウェア・クロック周波数 ( $f_{PRS}$ ) の1クロック分多く除去されることがあります。
  - コンパレータ出力ノイズの間隔が,「設定したノイズ除去幅 + 1クロック」以内の場合,不正な波形を出力する可能性があります。
  - 内部基準電圧を使用する場合,コンパレータ動作を許可 (CMP1EN = 1) する前に,内部基準電圧の動作を許可 (CVRE = 1) に設定してください。

備考  $f_{PRS}$  : 周辺ハードウェア・クロック周波数

図12-4 コンパレータ2制御レジスタ (C2CTL) のフォーマット

アドレス : FF66H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
C2CTL	CMP2EN	C2DFS1	C2DFS0	C2MODSEL1	C2MODSEL0	0	C2OE	C2INV

CMP2EN	コンパレータ2の動作制御
0	動作停止
1	動作許可 コンパレータ2の+側の外部端子 (CMP2+) の入力許可

C2DFS1	C2DFS0	ノイズ除去幅設定
0	0	ノイズ・フィルタ未使用
0	1	$2/f_{PRS}$
1	0	$2^2/f_{PRS}$
1	1	$2^4/f_{PRS}$

C2MODSEL1	C2MODSEL0	基準電圧の選択
0	0	内部基準電圧 : DA0
0	1	内部基準電圧 : DA1
1	0	内部基準電圧 : DA2
1	1	外部基準電圧 : CMPCOM <sup>注</sup>

C2OE	コンパレータ出力許可 / 禁止
0	出力禁止 (出力信号 = ロウ固定)
1	出力許可

C2INV	出力反転設定
0	正転
1	反転

注 78K0/FY2-L, 78K0/FA2-Lは設定禁止です。

- 注意1. C2DFS1, C2DFS0, C2MODSEL1, C2MODSEL0, C2INVの書き換えは,コンパレータ2の動作を禁止状態 (CMP2EN = 0) にしたあと行ってください。
- ノイズ除去幅は,設定値より周辺ハードウェア・クロック周波数 ( $f_{PRS}$ ) の1クロック分多く除去されることがあります。
  - コンパレータ出力ノイズの間隔が,「設定したノイズ除去幅 + 1クロック」以内の場合,不正な波形を出力する可能性があります。
  - 内部基準電圧を使用する場合,コンパレータ動作を許可 (CMP2EN = 1) する前に,内部基準電圧の動作を許可 (CVRE = 1) に設定してください。

備考  $f_{PRS}$  : 周辺ハードウェア・クロック周波数

**(2) DAn内部基準電圧選択レジスタ (CnRVM)**

コンパレータの内部基準電圧レベルを設定するレジスタです。

また、C0RVMのビット7 (CVRE) で、内部基準電圧生成の動作を制御します。

CnRVMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。



図12 - 5 DA0内部基準電圧選択レジスタ (C0RVM) のフォーマット

アドレス : FF63H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
C0RVM	CVRE	0	0	C0VRS4	C0VRS3	C0VRS2	C0VRS1	C0VRS0

CVRE	内部基準電圧生成の動作制御
0	動作停止
1	動作許可

C0VRS4	C0VRS3	C0VRS2	C0VRS1	C0VRS0	基準電圧 (DA0) の電圧レベル設定
0	0	0	0	0	0.05 V (TYP.)
0	0	0	0	1	0.1 V (TYP.)
0	0	0	1	0	0.15 V (TYP.)
0	0	0	1	1	0.2 V (TYP.)
0	0	1	0	0	0.25 V (TYP.)
0	0	1	0	1	0.3 V (TYP.)
0	0	1	1	0	0.35 V (TYP.)
0	0	1	1	1	0.4 V (TYP.)
0	1	0	0	0	0.44 V (TYP.)
0	1	0	0	1	0.49 V (TYP.)
0	1	0	1	0	0.54 V (TYP.)
0	1	0	1	1	0.59 V (TYP.)
0	1	1	0	0	0.64 V (TYP.)
0	1	1	0	1	0.69 V (TYP.)
0	1	1	1	0	0.74 V (TYP.)
0	1	1	1	1	0.79 V (TYP.)
1	0	0	0	0	0.84 V (TYP.)
1	0	0	0	1	0.89 V (TYP.)
1	0	0	1	0	0.94 V (TYP.)
1	0	0	1	1	0.99 V (TYP.)
1	0	1	0	0	1.04 V (TYP.)
1	0	1	0	1	1.09 V (TYP.)
1	0	1	1	0	1.14 V (TYP.)
1	0	1	1	1	1.19 V (TYP.)
1	1	0	0	0	1.23 V (TYP.)
1	1	0	0	1	1.28 V (TYP.)
1	1	0	1	0	1.33 V (TYP.)
1	1	0	1	1	1.38 V (TYP.)
1	1	1	0	0	1.43 V (TYP.)
1	1	1	0	1	1.48 V (TYP.)
1	1	1	1	0	1.53 V (TYP.)
1	1	1	1	1	1.58 V (TYP.)

注意 内部基準電圧生成の動作が許可 (CVRE = 1) のときに基準電圧レベルを変更する場合、電圧安定待ち時間が必要です。設定方法については、図12 - 12 内部基準電圧変更の手順例を参照してください。

図12 - 6 DA1内部基準電圧選択レジスタ (C1RVM) のフォーマット

アドレス : FF65H リセット時 : 00H R/W

略号	7	6	5	④	③	②	①	①
C1RVM	0	0	0	C1VRS4	C1VRS3	C1VRS2	C1VRS1	C1VRS0

C1VRS4	C1VRS3	C1VRS2	C1VRS1	C1VRS0	基準電圧 (DA1) の電圧レベル設定
0	0	0	0	0	0.05 V (TYP.)
0	0	0	0	1	0.1 V (TYP.)
0	0	0	1	0	0.15 V (TYP.)
0	0	0	1	1	0.2 V (TYP.)
0	0	1	0	0	0.25 V (TYP.)
0	0	1	0	1	0.3 V (TYP.)
0	0	1	1	0	0.35 V (TYP.)
0	0	1	1	1	0.4 V (TYP.)
0	1	0	0	0	0.44 V (TYP.)
0	1	0	0	1	0.49 V (TYP.)
0	1	0	1	0	0.54 V (TYP.)
0	1	0	1	1	0.59 V (TYP.)
0	1	1	0	0	0.64 V (TYP.)
0	1	1	0	1	0.69 V (TYP.)
0	1	1	1	0	0.74 V (TYP.)
0	1	1	1	1	0.79 V (TYP.)
1	0	0	0	0	0.84 V (TYP.)
1	0	0	0	1	0.89 V (TYP.)
1	0	0	1	0	0.94 V (TYP.)
1	0	0	1	1	0.99 V (TYP.)
1	0	1	0	0	1.04 V (TYP.)
1	0	1	0	1	1.09 V (TYP.)
1	0	1	1	0	1.14 V (TYP.)
1	0	1	1	1	1.19 V (TYP.)
1	1	0	0	0	1.23 V (TYP.)
1	1	0	0	1	1.28 V (TYP.)
1	1	0	1	0	1.33 V (TYP.)
1	1	0	1	1	1.38 V (TYP.)
1	1	1	0	0	1.43 V (TYP.)
1	1	1	0	1	1.48 V (TYP.)
1	1	1	1	0	1.53 V (TYP.)
1	1	1	1	1	1.58 V (TYP.)

**注意** 内部基準電圧生成の動作が許可 (CVRE = 1) のときに基準電圧レベルを変更する場合、電圧安定待ち時間が必要です。設定方法については、図12 - 12 内部基準電圧変更の手順例を参照してください。

図12 - 7 DA2内部基準電圧選択レジスタ (C2RVM) のフォーマット

アドレス : FF67H リセット時 : 00H R/W

略号	7	6	5	④	③	②	①	①
C2RVM	0	0	0	C2VRS4	C2VRS3	C2VRS2	C2VRS1	C2VRS0

C2VRS4	C2VRS3	C2VRS2	C2VRS1	C2VRS0	基準電圧 (DA2) の電圧レベル設定
0	0	0	0	0	0.05 V (TYP.)
0	0	0	0	1	0.1 V (TYP.)
0	0	0	1	0	0.15 V (TYP.)
0	0	0	1	1	0.2 V (TYP.)
0	0	1	0	0	0.25 V (TYP.)
0	0	1	0	1	0.3 V (TYP.)
0	0	1	1	0	0.35 V (TYP.)
0	0	1	1	1	0.4 V (TYP.)
0	1	0	0	0	0.44 V (TYP.)
0	1	0	0	1	0.49 V (TYP.)
0	1	0	1	0	0.54 V (TYP.)
0	1	0	1	1	0.59 V (TYP.)
0	1	1	0	0	0.64 V (TYP.)
0	1	1	0	1	0.69 V (TYP.)
0	1	1	1	0	0.74 V (TYP.)
0	1	1	1	1	0.79 V (TYP.)
1	0	0	0	0	0.84 V (TYP.)
1	0	0	0	1	0.89 V (TYP.)
1	0	0	1	0	0.94 V (TYP.)
1	0	0	1	1	0.99 V (TYP.)
1	0	1	0	0	1.04 V (TYP.)
1	0	1	0	1	1.09 V (TYP.)
1	0	1	1	0	1.14 V (TYP.)
1	0	1	1	1	1.19 V (TYP.)
1	1	0	0	0	1.23 V (TYP.)
1	1	0	0	1	1.28 V (TYP.)
1	1	0	1	0	1.33 V (TYP.)
1	1	0	1	1	1.38 V (TYP.)
1	1	1	0	0	1.43 V (TYP.)
1	1	1	0	1	1.48 V (TYP.)
1	1	1	1	0	1.53 V (TYP.)
1	1	1	1	1	1.58 V (TYP.)

**注意** 内部基準電圧生成の動作が許可 (CVRE = 1) のときに基準電圧レベルを変更する場合、電圧安定待ち時間が必要です。設定方法については、図12 - 12 内部基準電圧変更の手順例を参照してください。

**(3) コンパレータ出力フラグ・レジスタ (CMPFLG)**

コンパレータの出力レベルを示すレジスタです。

CMPFLGは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出しのみ可能です。

リセット信号の発生により、00Hになります。

図12-8 コンパレータ出力フラグ・レジスタ (CMPFLG) のフォーマット

**(a) 78K0/FY2-L**

アドレス：FF69H リセット時：00H R

略号	7	6	5	4	3	2	1	0
CMPFLG	0	0	0	0	0	CMP2F	0	0

**(b) 78K0/FA2-L, 78K0/FB2-L**

アドレス：FF69H リセット時：00H R

略号	7	6	5	4	3	2	1	0
CMPFLG	0	0	0	0	0	CMP2F	CMP1F	CMP0F

CMPnF	コンパレータnの出力レベル (n = 0-2)
0	ロウ・レベル
1	ハイ・レベル

## (4) A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0)

ADPC0は、P20/ANI0-P27/ANI7を、ポートのデジタル入出力 / アナログ入力に切り替えるレジスタです。ADPC0の各ビットは、ポート2の端子1本ずつに対応しており、1ビット単位で指定可能です。

CMP0+/P24/ANI4, CMP1+/P25/ANI5, CMP2+/P23/ANI3 端子をコンパレータ入力機能, CMPCOM/P26/ANI6端子<sup>注</sup>をコンパレータ・COMMON入力機能として使用するとき、ADPC0でアナログ入力に選択してください。

ADPC0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、ADPC0は00Hになります。

注 78K0/FB2-Lのみ。

図12-9 A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0) のフォーマット

## (a) 78K0/FY2-L

アドレス：FF2EH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADPC0	0	0	0	0	ADPCS3	ADPCS2	ADPCS1	ADPCS0

## (b) 78K0/FA2-L

アドレス：FF2EH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADPC0	0	0	ADPCS5	ADPCS4	ADPCS3	ADPCS2	ADPCS1	ADPCS0

## (c) 78K0/FB2-L

アドレス：FF2EH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADPC0	ADPCS7	ADPCS6	ADPCS5	ADPCS4	ADPCS3	ADPCS2	ADPCS1	ADPCS0

ADPCSn	デジタル入出力 / アナログ入力選択 (n = 0-7)
0	アナログ入力
1	デジタル入出力

注意1. アナログ入力に設定した端子は、ポート・モード・レジスタ2 (PM2) で入力モードに選択してください。

2. ADPC0にデータを書き込むと、ウエイトが発生します。また周辺ハードウェア・クロックが停止しているときに、ADPC0にデータを書き込まないでください。詳細は第31章 ウエイトに関する注意事項を参照してください。

## (5) ポート・モード・レジスタ2 (PM2)

ポート2の入力/出力を1ビット単位で設定するレジスタです。

CMP0+/P24/ANI4, CMP1+/P25/ANI5, CMP2+/P23/ANI3 端子をコンパレータ入力機能, CMPCOM/P26/ANI6端子<sup>注</sup>をコンパレータ・コモン入力機能として使用するとき、PM23-PM25, PM26ビットに1を設定してください。このときP23-P25, P26の出力ラッチは、0または1のどちらでもかまいません。

PM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

注 78K0/FB2-Lのみ。

図12-10 ポート・モード・レジスタ2 (PM2) のフォーマット

## (a) 78K0/FY2-L

アドレス：FF22H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM2	1	1	1	1	PM23	PM22	PM21	PM20

注意 PM2のビット4-7には、必ず1を設定してください。

## (b) 78K0/FA2-L

アドレス：FF22H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM2	1	1	PM25	PM24	PM23	PM22	PM21	PM20

注意 PM2のビット6, 7には、必ず1を設定してください。

## (c) 78K0/FB2-L

アドレス：FF22H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20

PM2n	P2n端子の入出力モードの選択 (n=0-7)
0	出力モード(出力バッファ・オン)
1	入力モード(出力バッファ・オフ)

注意 内部基準電圧を使用している場合、CMPCOM端子に兼用されているポート機能は、入力モードで使用可能です。ただし、出力モードの使用は禁止です。また、ポート・レジスタ2 (P2) へのアクセスも禁止となります。

P23/ANI3/CMP2+, P24/ANI4/CMP0+, P25/ANI5/CMP1+, P26/ANI6/CMPCOMを使用する場合は、使用する端子機能に応じて、レジスタを設定してください（表12 - 2, 12 - 3を参照）。

表12 - 2 P23/ANI3/CMP2+, P24/ANI4/CMP0+, P25/ANI5/CMP1+端子機能の設定

ADPC0レジスタ	PM2レジスタ	CMPmENビット (m = 0-2)	ADSレジスタ (n = 3-5)	P23/ANI3/CMP2+, P24/ANI4/CMP0+, P25/ANI5/CMP1+端子
デジタル入出力選択	入力モード	-	ANIn選択	設定禁止
			ANIn非選択	デジタル入力
	出力モード		ANIn選択	設定禁止
			ANIn非選択	デジタル出力
アナログ入力選択	入力モード	0	ANIn選択	アナログ入力 (A/D変換対象)
			ANIn非選択	アナログ入力 (A/D変換非対象)
		1	ANIn選択	アナログ入力 (A/D変換対象), コンパレータ入力
			ANIn非選択	コンパレータ入力
	出力モード	-	-	設定禁止

備考 ADPC0 : A/Dコンフィギュレーション・レジスタ0  
 PM2 : ポート・モード・レジスタ2  
 CMPmEN : コンパレータm制御レジスタ (CmCTL) のビット7  
 ADS : アナログ入力チャンネル指定レジスタ

表12 - 3 P26/ANI6/CMPCOM端子機能の設定

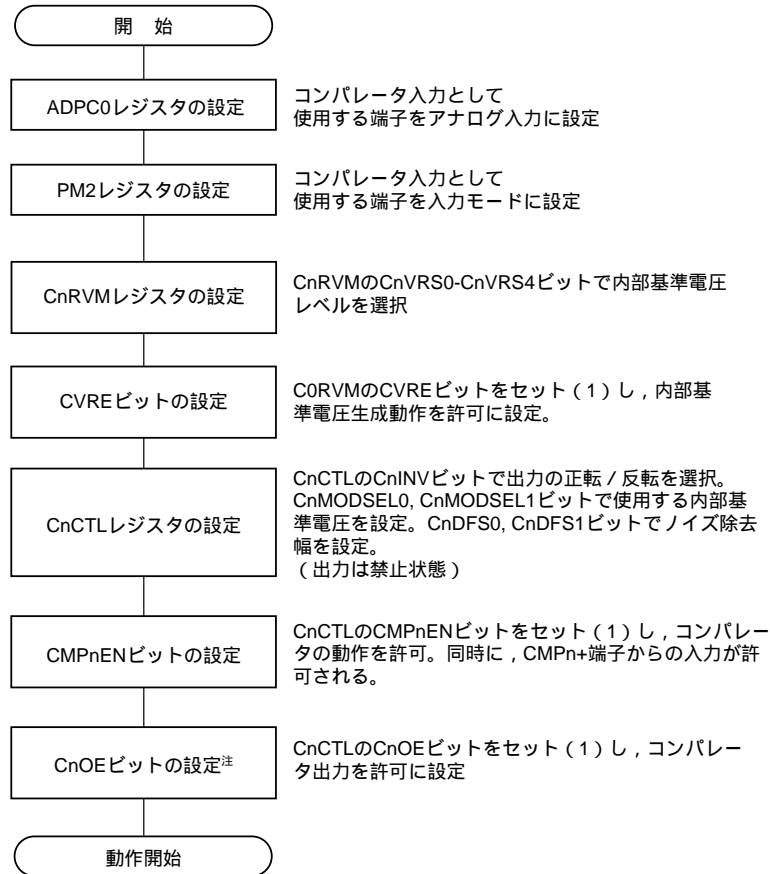
ADPC0レジスタ	PM2レジスタ	CmMODSEL1 ビット (m = 0-2)	CmMODSEL0 ビット (m = 0-2)	ADSレジスタ	P26/ANI6/CMPCOM端子
デジタル入出力 選択	入力モード	-	-	ANI6選択	設定禁止
				ANI6非選択	デジタル入力
	出力モード			ANI6選択	設定禁止
				ANI6非選択	デジタル出力
アナログ入力選 択	入力モード	CmMODSEL1 = 0, または CmMODSEL0 = 0	-	ANI6選択	アナログ入力 (A/D変換対象)
				ANI6非選択	アナログ入力 (A/D変換非対象)
		CmMODSEL1 = 1, CmMODSEL0 = 1		ANI6選択	アナログ入力 (A/D変換対象), コンパレータ・コモン入力
				ANI6非選択	コンパレータ・コモン入力
	出力モード	-	-	-	設定禁止

備考 ADPC0 : A/Dコンフィギュレーション・レジスタ0  
 PM2 : ポート・モード・レジスタ2  
 CmMODSEL1, CmMODSEL0 : コンパレータm制御レジスタ (CmCTL) のビット4, 3  
 ADS : アナログ入力チャンネル指定レジスタ

## 12.4 コンパレータの動作

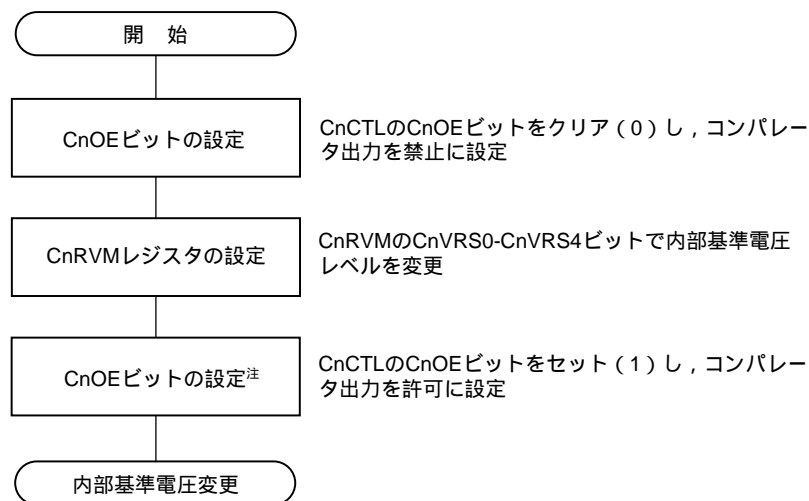
### 12.4.1 コンパレータの動作開始（基準電圧に内部基準電圧を使用する場合）

図12 - 11 コンパレータ動作開始の手順例（基準電圧に内部基準電圧を使用する場合）



注 CVREビットの設定から、20  $\mu$ s以上経過後に設定してください。

図12 - 12 内部基準電圧変更の手順例



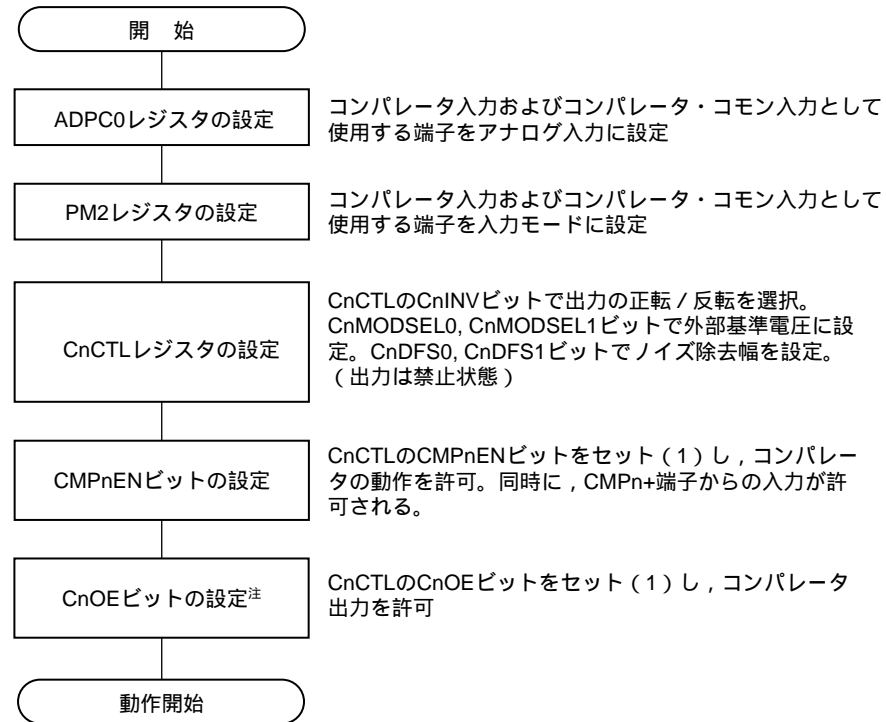
注 CnRVMレジスタの設定から、5  $\mu$ s以上経過後に設定してください。



## 12.4.2 コンパレータの動作開始(基準電圧にCMPCOM端子からの入力電圧を使用する場合)

図12 - 13 コンパレータ動作開始の手順例

(基準電圧にコンパレータ・コモン端子 (CMPCOM) からの入力電圧を使用する場合 (78K0/FB2-Lのみ))

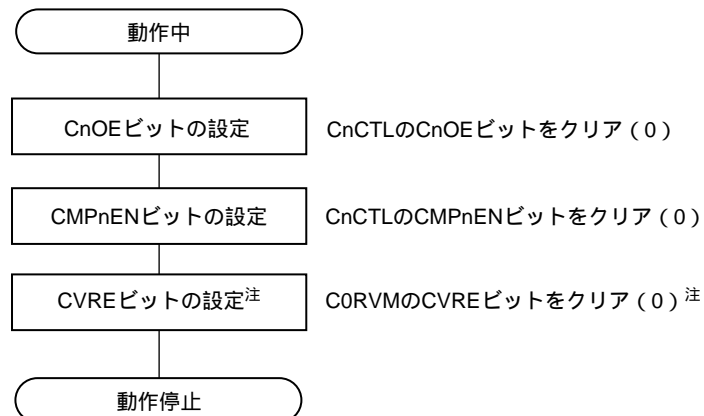


注 CMPnENビットの設定から、1  $\mu$ s以上経過後に設定してください。

## 12.4.3 コンパレータの動作停止

コンパレータの動作停止手順を次に示します。

図12 - 14 コンパレータ動作停止の手順例



注 内部基準電圧を使用している場合のみ。

## 第13章 シリアル・インタフェースUART6

### 13.1 シリアル・インタフェースUART6の機能

シリアル・インタフェースUART6は、78K0/Fx2-Lマイクロコントローラの全製品に搭載されています。  
シリアル・インタフェースUART6には、次の2種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース (UART) モード

#### (1) 動作停止モード

シリアル通信を行わないときに使用するモードです。消費電力を低減できます。  
詳細については13.4.1 **動作停止モード**を参照してください。

#### (2) アシンクロナス・シリアル・インタフェース (UART) モード

LIN (Local Interconnect Network) - bus対応のUARTモードです。機能の概要を次に示します。  
詳細については13.4.2 **アシンクロナス・シリアル・インタフェース (UART) モード**、13.4.3 **専用ポー・レート・ジェネレータ**を参照してください。

- ・最大転送速度：625 kbps
- ・2端子構成 TxD6：送信データの出力端子  
RxD6：受信データの入力端子
- ・通信データのデータ長は7ビット/8ビット可変
- ・専用の8ビット・ポー・レート・ジェネレータを内蔵していることにより、任意のポー・レートが設定可能
- ・送信動作と受信動作は独立して動作することが可能 (全二重動作)
- ・MSB/LSBファースト通信選択可能
- ・送信反転動作可能
- ・シンク・ブレイク・フィールド送信は13ビットから20ビットまで選択可能
- ・シンク・ブレイク・フィールド受信が11ビット以上識別可能 (SBF受信フラグあり)

**注意1.** TxD6出力反転機能は、送信側だけ反転して受信側は反転しないので、TxD6出力反転機能を使用する場合、相手側も反転レベルで受信してください。

- 注意2.** シリアル・インタフェースUART6への供給クロックが停止しない場合（例：HALTモード）では、正常動作が続きます。シリアル・インタフェースUART6への供給クロックが停止する場合（例：STOPモード）では、各レジスタは、クロック停止直前の値を保持したまま動作を停止します。TxD6端子出力も同様に、クロック停止直前の値を保持し出力します。ただし、クロック供給再開後の動作は保証していないので、再開後はPOWER6 = 0, RXE6 = 0, TXE6 = 0として、回路をリセットしてください。
3. 通信開始する場合、POWER6 = 1に設定後、TXE6 = 1（送信）またはRXE6 = 1（受信）に設定してください。
  4. TXE6とRXE6は、CKSR6で設定した基本クロック（ $f_{XCLK6}$ ）により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE6 = 0またはRXE6 = 0に設定してから基本クロック2クロック以降にTXE6 = 1またはRXE6 = 1を設定してください。基本クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。
  5. TXE6 = 1に設定したあと、基本クロック（ $f_{XCLK6}$ ）1クロック以上待ってから、TXB6に送信データを設定してください。
  6. 連続送信の場合、ストップ・ビットから次のスタート・ビットまでの通信タイミングが通常よりマクロの動作クロックの2クロック分伸びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化を行うので通信結果には影響しません。また、LIN通信動作で使用する場合は連続送信機能を使用しないでください。

**備考** LINとは、Local Interconnect Networkの略称で、車載ネットワークのコストダウンを目的とする低速（1～20 kbps）のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で、1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは、スイッチ、アクチュエータ、センサなどの制御に使用され、これらがLINのネットワークを介してLINのマスタに接続されます。

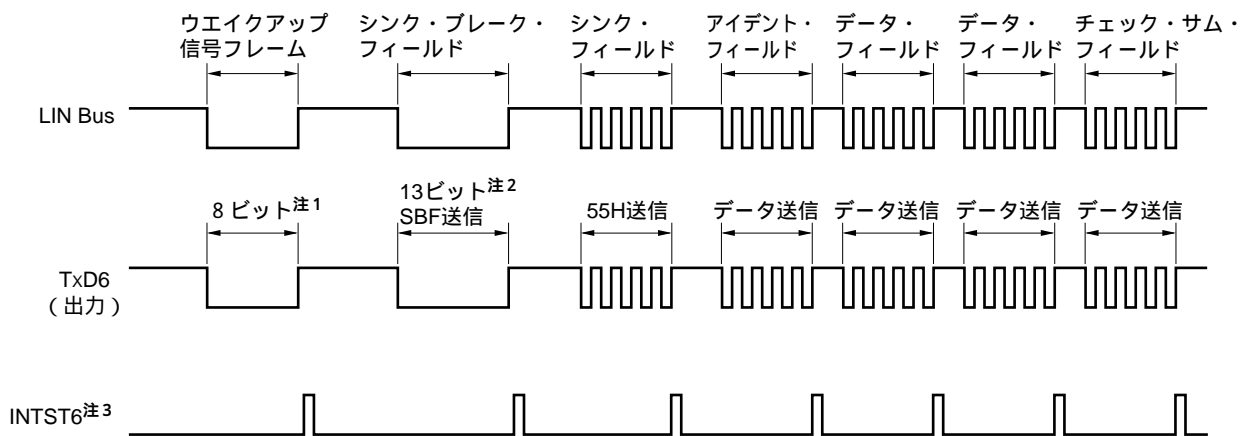
LINのマスタは通常、CAN（Controller Area Network）などのネットワークに接続されます。

また、LINバスはシングル・ワイヤ方式で、ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINのプロトコルでは、マスタはフレームにボー・レート情報をつけて送信し、スレーブはこれを受信してマスタとのボー・レート誤差を補正します。このため、スレーブのボー・レート誤差が $\pm 15\%$ 以下であれば、通信可能です。

LINの送信操作と受信操作の概略を、図13 - 1, 13 - 2に示します。

図13 - 1 LINの送信操作



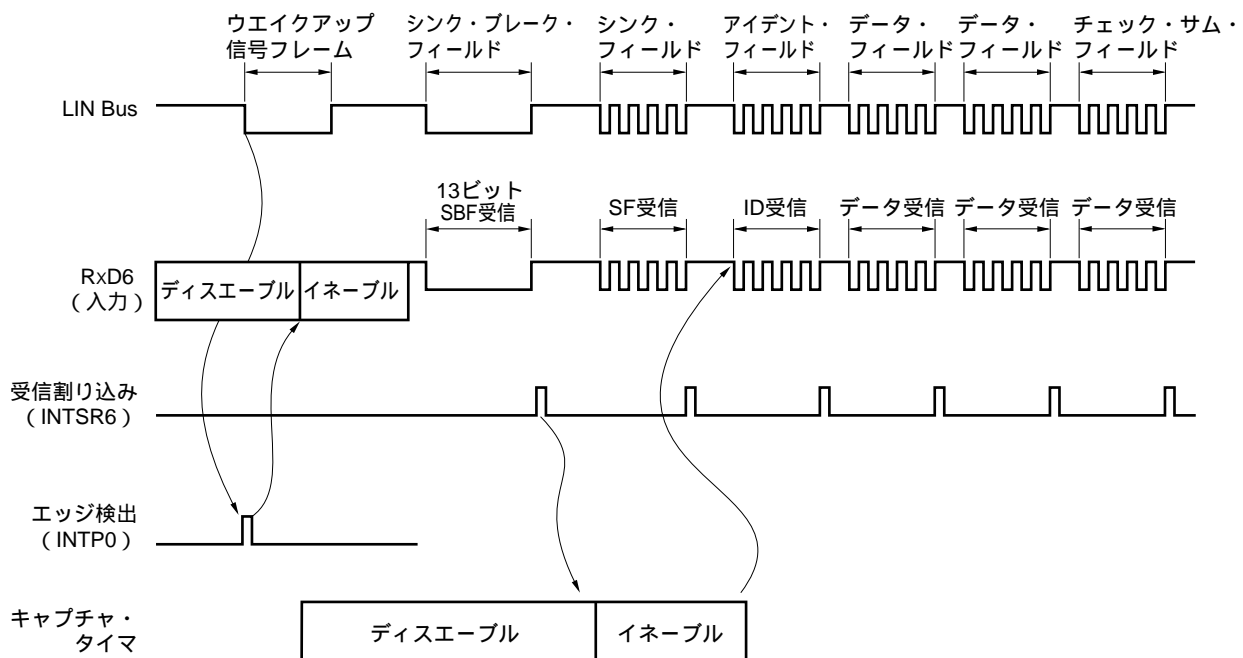
注1 . ウェイクアップ信号フレームは、8ビット・モードの80H送信で代用します。

2 . シンク・ブレイク・フィールドの出力はハードウェアで行います。出力幅はアシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット4-2 (SBL62-SBL60) で設定したビット長になります (13.4.2 (2) (h) SBF送信を参照)。

3 . 各送信終了時にはINTST6を出力します。またSBF送信時もINTST6を出力します。

備考 各フィールド間の間隔はソフトウェアで制御します。

図13-2 LINの受信操作



受信処理の流れを次に示します。

ウエイクアップ信号の検出は、端子のエッジ検出で行います。ウエイクアップ信号により、UART6をイネーブルし、SBF受信モードに設定します。

STOPビットの検出まで受信動作を行います。SBFを11ビット以上のロウ・レベルのデータを検出したら、SBF受信を正常終了したと判断し、割り込み信号を出力します。SBFを11ビット未満のロウ・レベルのデータを検出したら、SBF受信エラーと判断し、割り込み信号を出力せずにSBF受信モードに戻ります。

SBF受信を正常終了した場合、割り込み信号を出力します。SBF受信完了割り込み処理で16ビット・タイマ/イベント・カウンタ00を起動し、シンク・フィールドのビット間隔（パルス幅）を測定してください（7. 4. 8 **パルス幅測定としての動作**を参照）。また、OVE6, PE6, FE6の各エラー検出は抑制され、UART通信のエラー検出処理、およびシフト・レジスタとRXB6のデータ転送は行われません。シフト・レジスタはリセット値のFFHを保持します。

シンク・フィールドのビット間隔からポー・レート誤差を算出し、SF受信後にUART6のイネーブルを落としてからポー・レート・ジェネレータ・コントロール・レジスタ6（BRGC6）を再セットしてください。

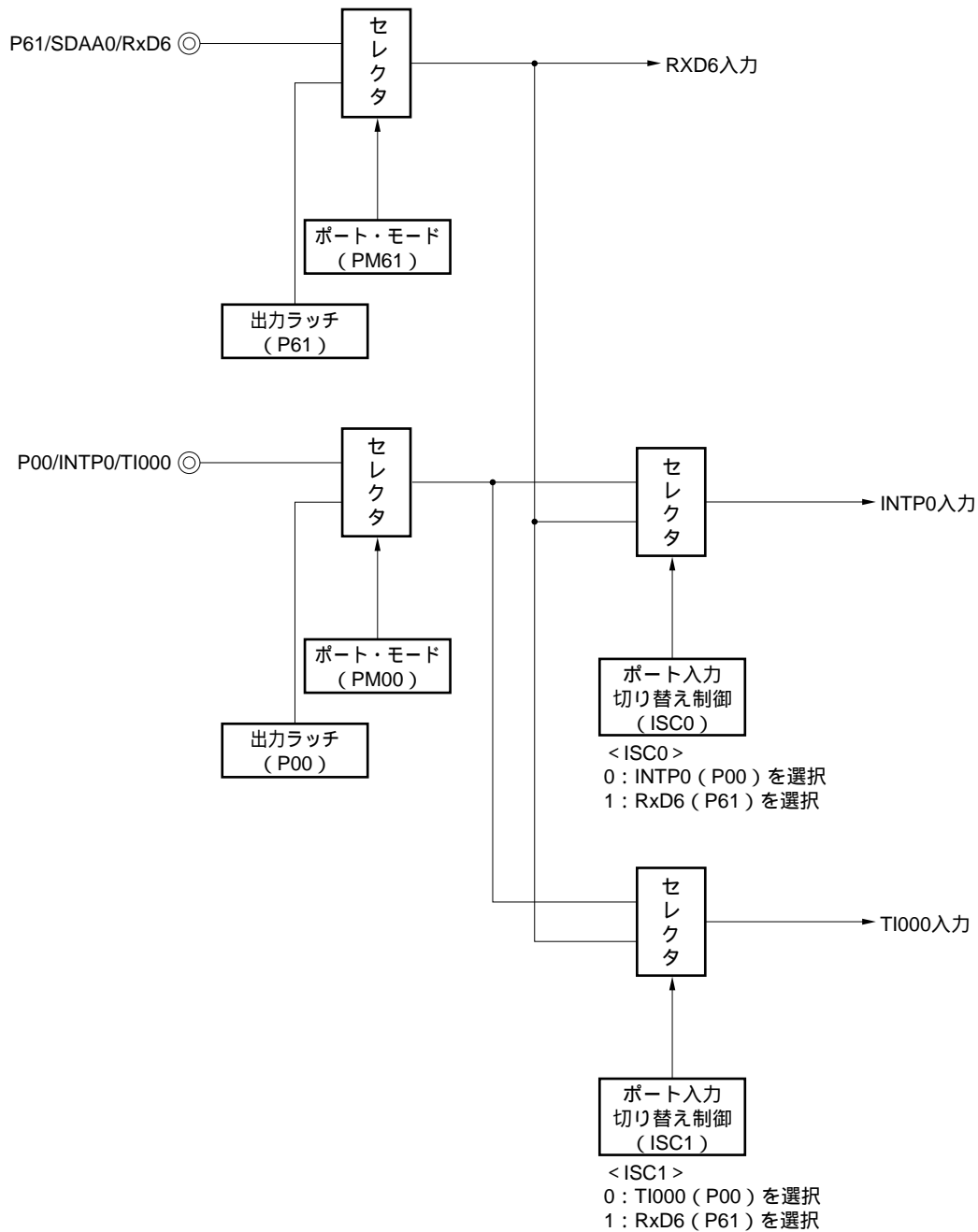
チェック・サム・フィールドの区別はソフトウェアで行ってください。チェック・サム・フィールド受信後にUART6を初期化し、再びSBF受信モードに設定する処理もソフトウェアにて行ってください。

図13 - 3はLINの受信操作のポート構成図です。

LINのマスタから送信されるウエイクアップ信号の受信を、外部割り込み( INTP0)のエッジ検出にて行います。また、LINのマスタから送信されるシンク・フィールドの長さを16ビット・タイマ/イベント・カウンタ00の外部イベント・キャプチャ動作で計測し、ポー・レート誤差を算出することができます。

ポート入力切り替え制御(ISC0/ISC1)により、外部でRxD6とINTP0、TI000の結線をせずに、受信用ポート入力(RxD6)の入力ソースを外部割り込み( INTP0)および16ビット・タイマ/イベント・カウンタ00へ入力することができます。

図13 - 3 LINの受信操作のポート構成図



備考 ISC0, ISC1 : 入力切り替え制御レジスタ (ISC) のビット0, 1 ( 図13 - 11参照 )

LIN通信動作で使用する周辺機能を次に示します。

<使用する周辺機能>

- ・外部割り込み (INTP0) ; ウェイクアップ信号検出

用途: ウェイクアップ信号のエッジを検出し, 通信開始を検出

- ・16ビット・タイマ/イベント・カウンタ00 (TI000) ; ボー・レート誤差検出

用途: シンク・フィールド (SF) の長さを検出し, ビット数で割ることでボー・レート誤差を検出 (TI000  
入力エッジの間隔をキャプチャ・モードで測定)

- ・シリアル・インタフェースUART6

## 13.2 シリアル・インタフェースUART6の構成

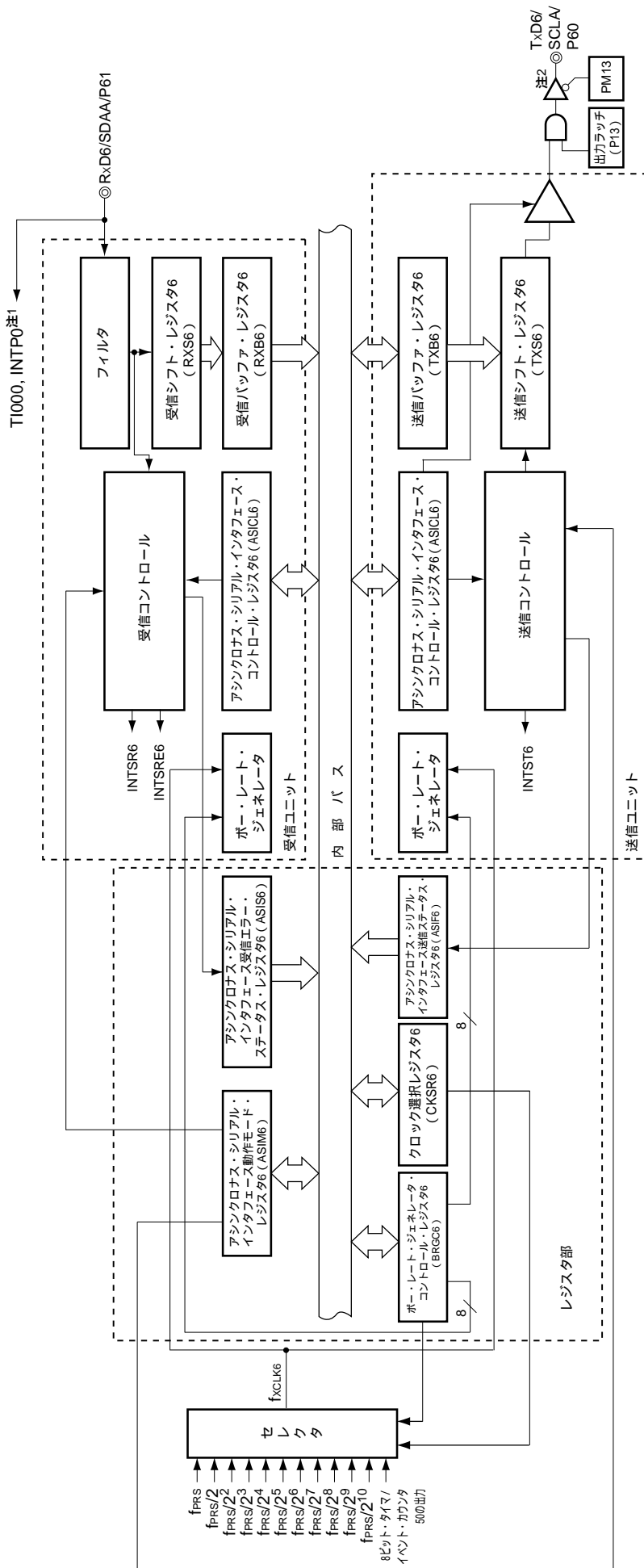
シリアル・インタフェースUART6は、次のハードウェアで構成しています。

表13 - 1 シリアル・インタフェースUART6の構成

項 目	構 成
レジスタ	受信バッファ・レジスタ6 (RXB6) 受信シフト・レジスタ6 (RXS6) 送信バッファ・レジスタ6 (TXB6) 送信シフト・レジスタ6 (TXS6)
制御レジスタ	アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) クロック選択レジスタ6 (CKSR6) ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) 入力切り替え制御レジスタ (ISC) ポート・モード・レジスタ6 (PM6) ポート・レジスタ6 (P6) ポート出力モード・レジスタ6 (POM6)



図13-4 シリアル・インタフェースUART6のブロック図



- 注1. 入力切り替え制御レジスタ (ISC) にて選択可能。
2. P60/TxD6/SCLAW0をシリアル・インタフェースUART6のデータ出力として使用する場合は、POM60に0を設定してください。

### (1) 受信バッファ・レジスタ6 (RXB6)

受信シフト・レジスタ6 (RXS6) で変換したパラレル・データを格納するための8ビット・レジスタです。データを1バイト受信するごとにRXS6から新たな受信データが転送されます。

データ長を7ビットに指定した場合は次のようになります。

- ・ LSBファースト受信時では、受信データはRXB6のビット0-6に転送され、RXB6のMSBは必ず0になります。
- ・ MSBファースト受信時では、受信データはRXB6のビット1-7に転送され、RXB6のLSBは必ず0になります。

オーバラン・エラー (OVE6) が発生した場合、そのときの受信データはRXB6には転送されません。

RXB6は、8ビット・メモリ操作命令で読み出せます。書き込みはできません。

リセット信号の発生により、FFHになります。

### (2) 受信シフト・レジスタ6 (RXS6)

RxD6端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。

RXS6はプログラムで直接操作できません。

### (3) 送信バッファ・レジスタ6 (TXB6)

送信データを設定する、バッファ・レジスタです。TXB6へ送信データを書き込むことにより、送信動作が開始されます。

TXB6は8ビット・メモリ操作命令で、読み出しと書き込みができます。

リセット信号の発生により、FFHになります。

- 注意1. アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) のビット1 (TXBF6) が1のとき、TXB6にデータを書き込まないでください。**
2. **通信動作中 (アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7, 6 (POWER6, TXE6) = 1, 1, またはASIM6のビット7, 5 (POWER6, RXE6) = 1, 1) に、ソフトウェアでTXB6へのリフレッシュ (同値書き込み) 動作を行わないでください。**
  3. **TXE6 = 1に設定したあと、基本クロック ( $f_{CLK6}$ ) 1クロック以上待ってから、TXB6に送信データを設定してください。**

### (4) 送信シフト・レジスタ6 (TXS6)

TXB6から転送されたデータをシリアル・データとしてTxD6端子から送信します。TXB6からのデータ転送は、最初の送信時ではTXB6の書き込み直後、連続送信時では1フレーム送信後のINTST6発生直前のタイミングで転送されます。またTXB6からのデータ転送とTxD6端子からの送信は、基本クロックの立ち下りのタイミングで行われます。

TXS6はプログラムで直接操作できません。

### 13.3 シリアル・インタフェースUART6を制御するレジスタ

シリアル・インタフェースUART6は、次の10種類のレジスタで制御します。

- ・ アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)
- ・ アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)
- ・ アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)
- ・ クロック選択レジスタ6 (CKSR6)
- ・ ボー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6)
- ・ アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)
- ・ 入力切り替え制御レジスタ (ISC)
- ・ ポート・モード・レジスタ6 (PM6)
- ・ ポート・レジスタ6 (P6)
- ・ ポート出力モード・レジスタ6 (POM6)

## (1) アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)

シリアル・インタフェースUART6のシリアル通信動作を制御する8ビット・レジスタです。

ASIM6は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

**備考** 通信動作中( ASIM6のビット7, 6( POWER6, TXE6 ) = 1, 1 ,またはASIM6のビット7, 5( POWER6, RXE6 ) = 1, 1 ) に、ソフトウェアでASIM6へのリフレッシュ ( 同値書き込み ) 動作を行うことができます。

図13 - 5 アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のフォーマット ( 1/2 )

アドレス : FF50H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
ASIM6	POWER6	TXE6	RXE6	PS61	PS60	CL6	SL6	ISRM6

POWER6	内部動作クロックの動作許可 / 禁止
0 <sup>注1</sup>	内部動作クロックの動作禁止 ( ロウ・レベル固定 ) , 内部回路を非同期リセットする <sup>注2</sup> 。
1	内部動作クロックの動作許可

TXE6	送信動作許可 / 禁止
0	送信動作禁止 ( 送信回路を同期リセットする )
1	送信動作許可

RXE6	受信動作許可 / 禁止
0	受信動作禁止 ( 受信回路を同期リセットする )
1	受信動作許可

注1. 送信中にPOWER6 = 0にすると、TxD6端子の出力はハイ・レベルに固定されます ( TXDLV6 = 0 の場合 ) 。 RxD6端子からの入力もハイ・レベルに固定されます。

2. リセットされるのはアシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 ( ASIS6 ) , アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 ( ASIF6 ) , アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 ( ASICL6 ) のビット7 ( SBRF6 ) とビット6 ( SBRT6 ) , 受信バッファ・レジスタ6 ( RXB6 ) です。

図13 - 5 アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のフォーマット (2/2)

PS61	PS60	送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信 <sup>※</sup>
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

CL6	送受信データのキャラクタ長指定
0	データのキャラクタ長 = 7ビット
1	データのキャラクタ長 = 8ビット

SL6	送信データのストップ・ビット数指定
0	ストップ・ビット数 = 1
1	ストップ・ビット数 = 2

ISRM6	エラー発生時の受信完了割り込み発生許可 / 禁止
0	エラー発生時の割り込みに “INTSR6” が発生 (このときINTSR6は発生しない)
1	エラー発生時の割り込みに “INTSR6” が発生 (このときINTSR6は発生しない)

注 「0パリティとして受信」を設定すると、パリティ判定を行いません。したがって、アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) のビット2 (PE6) はセットされないため、エラー割り込みも発生しません。

- 注意1. 送信開始するときはPOWER6 = 1にしてから、TXE6 = 1としてください。送信停止するときにはTXE6 = 0にしてから、POWER6 = 0としてください。
2. 受信開始するときはPOWER6 = 1にしてから、RXE6 = 1としてください。受信停止するときにはRXE6 = 0にしてから、POWER6 = 0としてください。
3. RxD6端子にハイ・レベルが入力された状態でPOWER6 = 1 RXE6 = 1 と設定してください。ロウ・レベルのときにPOWER6 = 1 RXE6 = 1 と設定すると、受信を開始してしまいます。
4. TXE6とRXE6は、CKSR6で設定した基本クロック (fxCLK6) により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE6 = 0またはRXE6 = 0に設定してから基本クロック2クロック以降にTXE6 = 1またはRXE6 = 1を設定してください。基本クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。
5. TXE6 = 1に設定したあと、基本クロック (fxCLK6) 1クロック以上待つてから、TXB6に送信データを設定してください。
6. PS61, PS60, CL6ビットを書き換えるときは、TXE6, RXE6ビットをクリア(0)してから行ってください。
7. LIN通信動作で使用する場合、PS61, PS60ビットを0に固定してください。
8. SL6ビットを書き換えるときは、TXE6をクリア(0)してから行ってください。また、受信は常に “ストップ・ビット数 = 1” として動作するので、SL6ビットの設定値の影響は受けません。
9. ISRM6ビットを書き換えるときは、RXE6 = 0にしてから行ってください。

## (2) アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)

シリアル・インタフェースUART6の受信終了時のエラー・ステータスを示すレジスタです。3ビットのエラー・フラグ (PE6, FE6, OVE6) で構成されています。

ASIS6は、8ビット・メモリ操作命令で読み出しのみ可能です。

リセット信号の発生, ASIM6のビット7 (POWER6) = 0, ビット5 (RXE6) = 0により, 00Hになります。また, 読み出しにより, 00Hになります。

受信エラーが発生した場合は, ASIS6を読み出したあと, UART受信バッファ・レジスタ6 (RXB6) を読み出し, エラー・フラグをクリアしてください。

図13 - 6 アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) のフォーマット

アドレス : FF53H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
ASIS6	0	0	0	0	0	PE6	FE6	OVE6

PE6	パリティ・エラーを示すステータス・フラグ
0	POWER6 = 0およびRXE6 = 0に設定したとき, または, ASIS6レジスタのリード
1	UART受信完了時, 送信データのパリティとパリティ・ビットが一致しないとき

FE6	フレーミング・エラーを示すステータス・フラグ
0	POWER6 = 0およびRXE6 = 0に設定したとき, または, ASIS6レジスタのリード
1	UART受信完了時, ストップ・ビットが検出されないとき

OVE6	オーバラン・エラーを示すステータス・フラグ
0	POWER6 = 0およびRXE6 = 0に設定したとき, または, ASIS6レジスタのリード
1	RXB6レジスタに受信データがセットされ, それを読み出す前に次の受信動作が完了したとき

注意1. PE6ビットの動作は, アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のPS61, PS60ビットの設定値により異なります。

2. 受信データのストップ・ビットはストップ・ビット数に関係なく最初の1ビットだけをチェックします。
3. オーバラン・エラーが発生した場合, 次の受信データは受信バッファ・レジスタ6 (RXB6) には書き込まれず, データは破棄されます。
4. ASIS6からデータを読み出すと, ウェイトが発生します。また周辺ハードウェア・クロック (f<sub>PRS</sub>) が停止しているときに, ASIS6からデータを読み出さないでください。詳細は, 第31章 ウェイトに関する注意事項を参照してください。

### (3) アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)

シリアル・インタフェースUART6の送信時のステータスを示すレジスタです。2ビットのステータス・フラグ (TXBF6, TXSF6) で構成されています。

TXB6レジスタからTXS6レジスタへデータが転送されたあとに、次のデータをTXB6レジスタに書き込むことで、割り込み期間中も途切れることなく送信を続けることができます。

ASIF6は、8ビット・メモリ操作命令で読み出しのみ可能です。

リセット信号の発生、ASIM6のビット7 (POWER6) = 0, ビット6 (TXE6) = 0により、00Hになります。

図13 - 7 アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) のフォーマット

アドレス : FF55H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
ASIF6	0	0	0	0	0	0	TXBF6	TXSF6

TXBF6	送信バッファ・データ・フラグ
0	POWER6 = 0またはTXE6 = 0に設定したとき、または、UART送信シフト・レジスタ6 (TXS6) にデータを転送したとき
1	送信バッファ・レジスタ6 (TXB6) にデータを書き込んだとき (TXB6にデータが存在するとき)

TXSF6	送信シフト・レジスタ・データ・フラグ
0	POWER6 = 0またはTXE6 = 0に設定したとき、または、転送完了後に送信バッファ・レジスタ6 (TXB6) から次のデータ転送がなかったとき
1	送信バッファ・レジスタ6 (TXB6) よりデータが転送されたとき (データ送信中のとき)

- 注意1.** 連続送信を行う場合は、最初の送信データ (1バイト目) をTXB6レジスタに書き込んだあと、必ずTXBF6フラグが“0”であることを確認してから次の送信データ (2バイト目) をTXB6レジスタに書き込んでください。TXBF6フラグが“1”のときにTXB6レジスタにデータを書き込んだ場合の送信データは保証できません。
- 2.** 連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSF6フラグが“0”であることを確認してから初期化を実行してください。TXSF6フラグが“1”のときに初期化を実行した場合の送信データは保証できません。

### (4) クロック選択レジスタ6 (CKSR6)

シリアル・インタフェースUART6の基本クロックを選択するレジスタです。

CKSR6は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

**備考** 通信動作中 (ASIM6のビット7, 6 (POWER6, TXE6) = 1, 1, またはASIM6のビット7, 5 (POWER6, RXE6) = 1, 1) に、ソフトウェアでCKSR6へのリフレッシュ動作 (同値書き込み) を行うことができます。

図13 - 8 クロック選択レジスタ6 (CKSR6) のフォーマット

アドレス : FF56H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CKSR6	0	0	0	0	TPS63	TPS62	TPS61	TPS60

TPS63	TPS62	TPS61	TPS60	基本クロック ( $f_{CLK6}$ ) 選択 <sup>注</sup>				
				$f_{PRS} =$ 2 MHz	$f_{PRS} =$ 5 MHz	$f_{PRS} =$ 10 MHz	$f_{PRS} =$ 20 MHz (PLL使用時)	
0	0	0	0	$f_{PRS}$	2 MHz	5 MHz	10 MHz	20 MHz
0	0	0	1	$f_{PRS}/2$	1 MHz	2.5 MHz	5 MHz	10 MHz
0	0	1	0	$f_{PRS}/2^2$	500 kHz	1.25 MHz	2.5 MHz	5 MHz
0	0	1	1	$f_{PRS}/2^3$	250 kHz	625 kHz	1.25 MHz	2.5 MHz
0	1	0	0	$f_{PRS}/2^4$	125 kHz	312.5 kHz	625 kHz	1.25 MHz
0	1	0	1	$f_{PRS}/2^5$	62.5 kHz	156.25 kHz	312.5 kHz	625 kHz
0	1	1	0	$f_{PRS}/2^6$	31.25 kHz	78.13 kHz	156.25 kHz	312.5 kHz
0	1	1	1	$f_{PRS}/2^7$	15.625 kHz	39.06 kHz	78.13 kHz	156.25 kHz
1	0	0	0	$f_{PRS}/2^8$	7.813 kHz	19.53 kHz	39.06 kHz	78.13 kHz
1	0	0	1	$f_{PRS}/2^9$	3.906 kHz	9.77 kHz	19.53 kHz	39.06 kHz
1	0	1	0	$f_{PRS}/2^{10}$	1.953 kHz	4.88 kHz	9.77 kHz	19.53 kHz
その他				設定禁止				

注 周辺ハードウェア・クロック ( $f_{PRS}$ ) が高速システム・クロック ( $f_{XH}$ ) で動作している ( $XSEL = 1$ ) 場合、電源電圧により、 $f_{PRS}$ の動作周波数が異なります。

- $V_{DD} = 2.7 \sim 5.5 \text{ V}$  :  $f_{PRS} = 10 \text{ MHz}$
- $V_{DD} = 1.8 \sim 2.7 \text{ V}$  :  $f_{PRS} = 5 \text{ MHz}$

注意 TPS63-TPS60を書き換える場合は、POWER6 = 0としてから行ってください。

備考  $f_{PRS}$  : 周辺ハードウェア・クロック周波数



## (5) ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6)

シリアル・インタフェースUART6の8ビット・カウンタの分周値を設定するレジスタです。

BRGC6は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

**備考** 通信動作中(ASIM6のビット7, 6(POWER6, TXE6) = 1, 1, またはASIM6のビット7, 5(POWER6, RXE6) = 1, 1) に、ソフトウェアでBRGC6へのリフレッシュ動作(同値書き込み)を行うことができます。

図13-9 ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) のフォーマット

アドレス：FF57H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
BRGC6	MDL67	MDL66	MDL65	MDL64	MDL63	MDL62	MDL61	MDL60

MDL67	MDL66	MDL65	MDL64	MDL63	MDL62	MDL61	MDL60	k	8ビット・カウンタの出力 クロック選択
0	0	0	0	0	0	×	×	×	設定禁止
0	0	0	0	0	1	0	0	4	$f_{XCLK6}/4$
0	0	0	0	0	1	0	1	5	$f_{XCLK6}/5$
0	0	0	0	0	1	1	0	6	$f_{XCLK6}/6$
・	・	・	・	・	・	・	・	・	・
・	・	・	・	・	・	・	・	・	・
・	・	・	・	・	・	・	・	・	・
・	・	・	・	・	・	・	・	・	・
・	・	・	・	・	・	・	・	・	・
1	1	1	1	1	1	0	0	252	$f_{XCLK6}/252$
1	1	1	1	1	1	0	1	253	$f_{XCLK6}/253$
1	1	1	1	1	1	1	0	254	$f_{XCLK6}/254$
1	1	1	1	1	1	1	1	255	$f_{XCLK6}/255$

**注意1.** MDL67-MDL60ビットを書き換える場合は、ASIM6レジスタのビット6 (TXE6) = 0、ビット5 (RXE6) = 0にしてから行ってください。

2. 8ビット・カウンタの出力クロックをさらに1/2分周したものが、ポー・レート値となります。

**備考1.**  $f_{XCLK6}$  : CKSR6レジスタのTPS63-TPS60ビットで選択した基本クロックの周波数

2. k : MDL67-MDL60ビットで設定した値 (k = 4, 5, 6, ..., 255)

3. × : 任意

## (6) アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)

シリアル・インタフェースUART6のシリアル通信動作を制御するレジスタです。

ASICL6は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、16Hになります。

**注意** 通信動作中(ASIM6のビット7, 6(POWER6, TXE6) = 1, 1, またはASIM6のビット7, 5(POWER6, RXE6) = 1, 1) に、ソフトウェアでASICL6へのリフレッシュ動作(同値書き込み)を行うことができます。ただし、SBF受信中(SBRF6 = 1)またはSBF送信中(SBTT6をセット(1)後からINTST6発生までの間)に、リフレッシュ動作でSBRT6 = 1, SBTT6 = 1に設定すると、SBF受信、SBF送信の再トリガ要因となるため、設定しないでください。

図13 - 10 アシクロナス・シリアル・インタフェース・コントロール・レジスタ6(ASICL6)のフォーマット(1/2)

アドレス : FF58H リセット時 : 16H R/W<sup>注</sup>

略号	7	6	5	4	3	2	1	0
ASICL6	SBRF6	SBRT6	SBTT6	SBL62	SBL61	SBL60	DIR6	TXDLV6

SBRF6	SBF受信状態フラグ
0	POWER6 = 0およびRXE6 = 0に設定したとき、またはSBF受信が正常終了したとき
1	SBF受信中

SBRT6	SBF受信トリガ
0	-
1	SBF受信トリガ

SBTT6	SBF送信トリガ
0	-
1	SBF送信トリガ

注 ビット7はRead Onlyです。

図13 - 10 アシクロナス・シリアル・インタフェース・コントロール・レジスタ6(ASICL6)のフォーマット(2/2)

SBL62	SBL61	SBL60	SBF送信出力幅制御
1	0	1	SBFは13ビット長で出力
1	1	0	SBFは14ビット長で出力
1	1	1	SBFは15ビット長で出力
0	0	0	SBFは16ビット長で出力
0	0	1	SBFは17ビット長で出力
0	1	0	SBFは18ビット長で出力
0	1	1	SBFは19ビット長で出力
1	0	0	SBFは20ビット長で出力

DIR6	先頭ビットの指定
0	MSB
1	LSB

TXDLV6	TxD6出力反転許可 / 禁止
0	TxD6通常出力
1	TxD6反転出力

- 注意1. SBF受信エラー時には、再びSBF受信モードに戻ります。SBRF6フラグの状態は保持(1)されます。
- SBRT6ビットは、ASIM6のビット7(POWER6) = 1、かつビット5(RXE6) = 1としてからセット(1)にしてください。また、セット(1)後、SBF受信が終了(割り込み要求信号が発生)する前に、SBRT6ビットをクリア(0)しないでください。
  - SBRT6ビットのリード値は常に0です。SBF受信正常終了後、SBRT6は自動的にクリア(0)されます。
  - SBTT6ビットは、ASIM6のビット7(POWER6) = 1、かつビット6(TXE6) = 1としてからセット(1)にしてください。また、セット(1)後、SBF送信が終了(割り込み要求信号が発生)する前に、SBTT6ビットをクリア(0)しないでください。
  - SBTT6ビットのリード値は常に0です。SBF送信終了後、SBTT6は自動的にクリア(0)されます。
  - SBRT6ビットは受信動作中に、SBTT6ビットは送信動作中に、セット(1)しないでください。
  - DIR6、TXDLV6ビットを書き換えるときは、TXE6、RXE6ビットをクリア(0)にしてから行ってください。
  - TXDLV6ビットを1(TxD6反転出力)に設定している場合、POWER6、TXE6の設定に関係なく、TxD6/SCLA0/P60端子を、汎用ポートとして使用することはできません。TxD6/SCLA0/P60端子を汎用ポートとして使用する場合は、TXDLV6ビットを0(TxD6通常出力)に設定してください。

## (7) 入力切り替え制御レジスタ (ISC)

LIN (Local Interconnect Network) 受信時に、マスタから送信されるステータス信号を受信するときに入力切り替え制御レジスタ (ISC) を使用します。

ISC0, ISC1に1をセットすることで、INTP0, TI000への入力ソースはRxD6端子からの入力信号に切り替わります (図13-3 LINの受信操作作用のポート構成図を参照)。

ISCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図13-11 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス : FF4FH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	0	0	ISC1	ISC0

ISC1	TI000入力ソースの選択	
0	TI000	
1	RxD6	

ISC0	INTP0入力ソースの選択	
0	INTP0	
1	RxD6	

**備考** 78K0/FY2-L, 78K0/FA2-L : TI000/INTP0/P00, RxD6/SDAA0/P61/P61

78K0/FB2-L : TI000/INTP0/P00, P121/X1/<TI000>/<INTP0>, RxD6/SDAA0/P61

## (8) ポート・モード・レジスタ6 (PM6)

ポート6の入力 / 出力を1ビット単位で設定するレジスタです。

PM6は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

P60/TxD6/SCLA0端子をシリアル・インタフェースのデータ出力として使用するとき、PM60に0を、P60の出力ラッチに1を設定してください。

P61/RxD6/SDAA0端子をシリアル・インタフェースのデータ入力として使用するとき、PM61に1を設定してください。このときP61の出力ラッチは、0または1のどちらでもかまいません。

図13-12 ポート・モード・レジスタ6 (PM6) のフォーマット

アドレス : FF26H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM6	1	1	1	1	1	1	PM61	PM60

PM6n	P6n端子の入出力モードの選択 (n = 0, 1)	
0	出力モード (出力バッファ・オン)	
1	入力モード (出力バッファ・オフ)	

## (9) ポート出力モード・レジスタ6 (POM6)

P60, P61の出力モードを1ビット単位で設定するレジスタです。

P60/TxD6/SCLA0をシリアル・インタフェースUART6のデータ出力として使用する場合, POM60に0を設定してください。

POM6レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図13 - 13 ポート出力モード・レジスタ6 (POM6) のフォーマット

アドレス : FF2AH    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
POM6	0	0	0	0	0	0	POM61	POM60

POM6n	P6n端子の出力モードの選択 (n = 0, 1)
0	通常出力 (CMOS出力) モード
1	N-chオープン・ドレイン出力 (V <sub>DD</sub> 耐圧) モード

## 13.4 シリアル・インタフェースUART6の動作

シリアル・インタフェースUART6は、次の2種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース (UART) モード

### 13.4.1 動作停止モード

動作停止モードでは、シリアル通信を行いませんので、消費電力を低減できます。また、動作停止モードでは、端子を通常のポートとして使用できます。動作停止モードにする場合は、ASIM6のビット7, 6, 5 (POWER6, TXE6, RXE6) に0を設定してください。

#### (1) 使用するレジスタ

動作停止モードの設定は、アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)で行います。

ASIM6は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

アドレス : FF50H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
ASIM6	POWER6	TXE6	RXE6	PS61	PS60	CL6	SL6	ISRM6

POWER6	内部動作クロックの動作許可 / 禁止
0 <sup>注1</sup>	内部動作クロックの動作禁止 (ロウ・レベル固定), 内部回路を非同期リセットする <sup>注2</sup>

TXE6	送信動作許可 / 禁止
0	送信動作禁止 (送信回路を同期リセットする)

RXE6	受信動作許可 / 禁止
0	受信動作禁止 (受信回路を同期リセットする)

注1. 送信中にPOWER6 = 0にすると、TxD6端子の出力はハイ・レベルに固定されます (TXDLV6 = 0の場合)。RxD6端子からの入力もハイ・レベルに固定されます。

2. リセットされるのはアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6), アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6), アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット7 (SBRF6) とビット6 (SBRT6), 受信バッファ・レジスタ6 (RXB6) です。

**注意** 動作停止するときは、TXE6 = 0, RXE6 = 0にしてから、POWER6 = 0 にしてください。通信開始するときは、POWER6 = 1 にしてから、TXE6 = 1, RXE6 = 1にしてください。

**備考** TxD6/SCLA0/P60, RxD6/SDAA0/P61端子を汎用ポートとして使用する場合は、第4章 ポート機能を参照してください。

### 13. 4. 2 アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ポー・レート・ジェネレータを内蔵しており、広範囲な任意のポー・レートで通信できます。

#### (1) 使用するレジスタ

- ・ アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)
- ・ アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)
- ・ アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)
- ・ クロック選択レジスタ6 (CKSR6)
- ・ ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6)
- ・ アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)
- ・ 入力切り替え制御レジスタ (ISC)
- ・ ポート・モード・レジスタ6 (PM6)
- ・ ポート・レジスタ6 (P6)
- ・ ポート出力モード・レジスタ6 (POM6)

UARTモードの基本的な動作設定手順例は次のようになります。

CKSR6レジスタを設定 ( 図13 - 8を参照 )

BRGC6レジスタを設定 ( 図13 - 9を参照 )

ASIM6レジスタのビット0-4 ( ISRM6, SL6, CL6, PS60, PS61 ) を設定 ( 図13 - 5を参照 )

ASICL6レジスタのビット0, 1 ( TXDLV6, DIR6 ) を設定 ( 図13 - 10を参照 )

ASIM6レジスタのビット7 ( POWER6 ) をセット ( 1 )

ASIM6レジスタのビット6 ( TXE6 ) をセット ( 1 )      送信可能

ASIM6レジスタのビット5 ( RXE6 ) をセット ( 1 )      受信可能

TXB6レジスタにデータを書き込み      データ送信開始

**注意** ポート・モード・レジスタとポート・レジスタの設定手順は、通信相手との関係を考慮して、行ってください。

レジスタの設定と端子の関係を次に示します。

表13 - 2 レジスタの設定と端子の関係

POWER6	TXE6	RXE6	PM60	P60	PM61	P61	POM60	POM61	UART6 の動作	端子機能	
										TxD6/ SCLA0/ P60	RxD6/ SDAA0/ P61
0	0	0	x <sup>注</sup>	x <sup>注</sup>	x <sup>注</sup>	x <sup>注</sup>	x <sup>注</sup>	x <sup>注</sup>	停止	P60	P61
			0	1	0	1	1	1		SCLA0	SDAA0
1	0	1	x <sup>注</sup>	x <sup>注</sup>	1	x	x <sup>注</sup>	x	受信	P60	RxD6
	1	0	0	1	x <sup>注</sup>	x <sup>注</sup>	0	x <sup>注</sup>	送信	TxD6	P61
	1	1	0	1	1	x	0	x	送受信	TxD6	RxD6

注 ポート機能として設定することができます。

- 備考** x : don't care
- POWER6 : アシクロナス・シリアル・インタフェース動作モード・レジスタ6 ( ASIM6 ) のビット7
- TXE6 : ASIM6のビット6
- RXE6 : ASIM6のビット5
- PM6x, PM1x : ポート・モード・レジスタ
- P6x, P1x : ポートの出力ラッチ
- POM60, POM61 : ポート出力モード・レジスタ6 ( POM6 ) のビット0, 1



## (2) 通信動作

## (a) 通常送受信データ・フォーマットと波形例

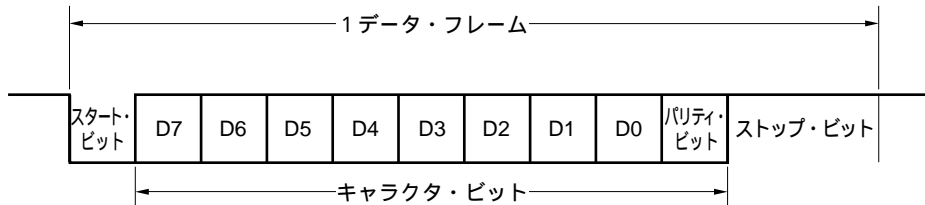
通常送受信データのフォーマットと波形例を図13 - 14, 13 - 15に示します。

図13 - 14 通常UART送受信データのフォーマット

## 1. LSBファーストの場合



## 2. MSBファーストの場合



1データ・フレームは次に示すビットで構成されています。

- ・スタート・ビット..... 1ビット
- ・キャラクタ・ビット..... 7ビット/8ビット
- ・パリティ・ビット..... 偶数パリティ/奇数パリティ/0パリティ/パリティなし
- ・ストップ・ビット..... 1ビット/2ビット

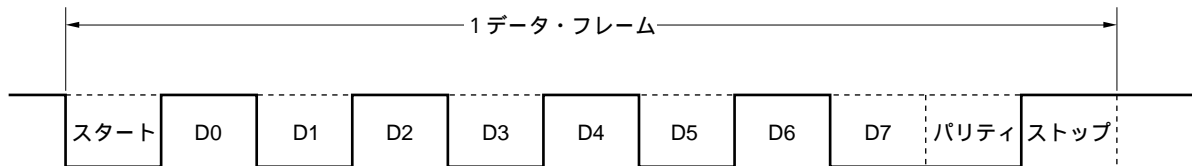
1データ・フレーム内のキャラクタ・ビット長の指定,パリティ選択,ストップ・ビット長の指定は,アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) によって行います。

データはLSBファースト/MSBファーストをアシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット1 (DIR6) で設定して通信します。

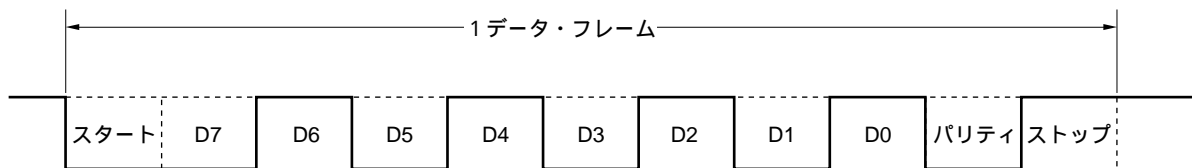
また, TxD6端子の通常出力/反転出力をASICL6のビット0 (TXDLV6) で設定します。

図13 - 15 通常UART送受信データの波形例 (1/2)

1. データ長: 8ビット, LSBファースト, パリティ: 偶数パリティ, ストップ・ビット: 1ビット, 通信データ: 55H



2. データ長: 8ビット, MSBファースト, パリティ: 偶数パリティ, ストップ・ビット: 1ビット, 通信データ: 55H

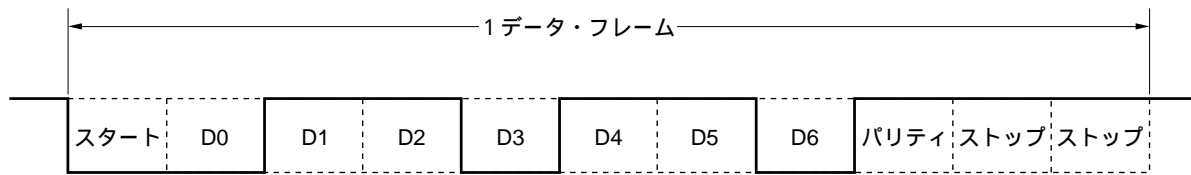


3. データ長: 8ビット, MSBファースト, パリティ: 偶数パリティ, ストップ・ビット: 1ビット, 通信データ: 55H, TxD6端子反転出力

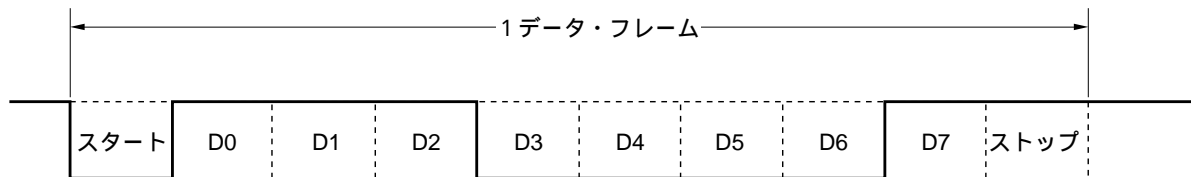


図13 - 15 通常UART送受信データの波形例 (2/2)

4. データ長 : 7ビット , LSBファースト , パリティ : 奇数パリティ , ストップ・ビット : 2ビット , 通信データ : 36H



5. データ長 : 8ビット , LSBファースト , パリティ : パリティなし , ストップ・ビット : 1ビット , 通信データ : 87H



#### (b) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしでは、誤りを検出することはできません。

**注意** LIN通信動作で使用する場合、PS61, PS60ビットを0に固定してください。

#### (i) 偶数パリティ

##### ・送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビット数が奇数個 : 1

送信データ中に、値が“1”のビット数が偶数個 : 0

##### ・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーが発生します。

**(ii) 奇数パリティ**

## ・送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の値に含まれる“1”のビット数を奇数個になるように制御します。

送信データ中に、値が“1”のビット数が奇数個：0

送信データ中に、値が“1”のビット数が偶数個：1

## ・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

**(iii) 0パリティ**

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検出を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

**(iv) パリティなし**

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

**(c) 通常送信**

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)のビット7 (POWER6) をセット (1) し、次にASIM6のビット6 (TXE6) をセット (1) すると送信許可状態になり、送信バッファ・レジスタ6 (TXB6) に送信データを書き込むことによって送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

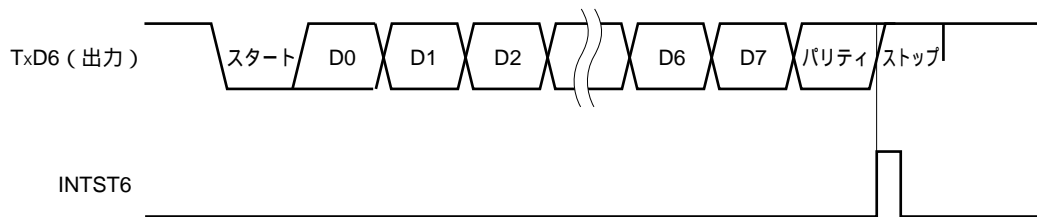
送信動作の開始により、TXB6内のデータは送信シフト・レジスタ6 (TXS6) に転送されます。その後、送信データがTXS6より順次、TxD6端子に出力されます。送信が完了すると、ASIM6で設定したパリティ・ビット、ストップ・ビットが付加され、送信完了割り込み要求 (INTST6) が発生します。

次に送信するデータをTXB6に書き込むまで、送信動作は中断します。

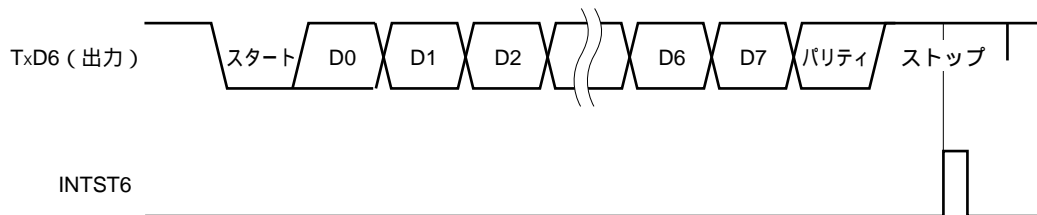
送信完了割り込み要求 (INTST6) のタイミングを図13 - 16に示します。INTST6は、最後のストップ・ビット出力と同時に発生します。

図13 - 16 通常送信完了割り込み要求タイミング

## 1. ストップ・ビット長：1



## 2. ストップ・ビット長：2



## (d) 連続送信

送信シフト・レジスタ6 (TXS6) がシフト動作を開始した時点で、次の送信データを送信バッファ・レジスタ6 (TXB6) へ書き込むことができます。これにより、1データ・フレーム送信後のINTST6割り込み処理時でも連続送信することができ、効率的な通信レートを実現できます。また、送信完了割り込み発生後にアシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) のビット0 (TXSF6) を読み出すことにより、1データ・フレームの送信時間を待つことなく効率的に2回 (2バイト) のTXB6レジスタへの書き込みができます。

連続送信する場合は、必ずASIF6レジスタを参照し、送信状態とTXB6レジスタへの書き込み可否を確認してから、データの書き込みを行ってください。

- 注意1.** 連続送信でASIF6レジスタのTXBF6, TXSF6フラグは、「10」「11」「01」と変化します。そのため、ステータスを確認する場合は、TXBF6, TXSF6フラグの組み合わせで判断しないでください。連続送信を行う場合はTXBF6フラグのみを読み出して下さい。
- 2.** LIN通信動作で使用する場合、連続送信機能を使用することはできません。必ずアシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) が00Hになっていることを確認してから、送信バッファ・レジスタ6 (TXB6) に送信データを書き込んで下さい。

TXBF6	TXB6レジスタへの書き込み可否
0	書き込み可
1	書き込み不可

**注意** 連続送信を行う場合は、最初の送信データ（1バイト目）をTXB6レジスタに書き込んだあと、必ずTXBF6フラグが“0”であることを確認してから次の送信データ（2バイト目）をTXB6レジスタに書き込んでください。TXBF6フラグが“1”のときにTXB6レジスタにデータを書き込んだ場合の送信データは保証できません。

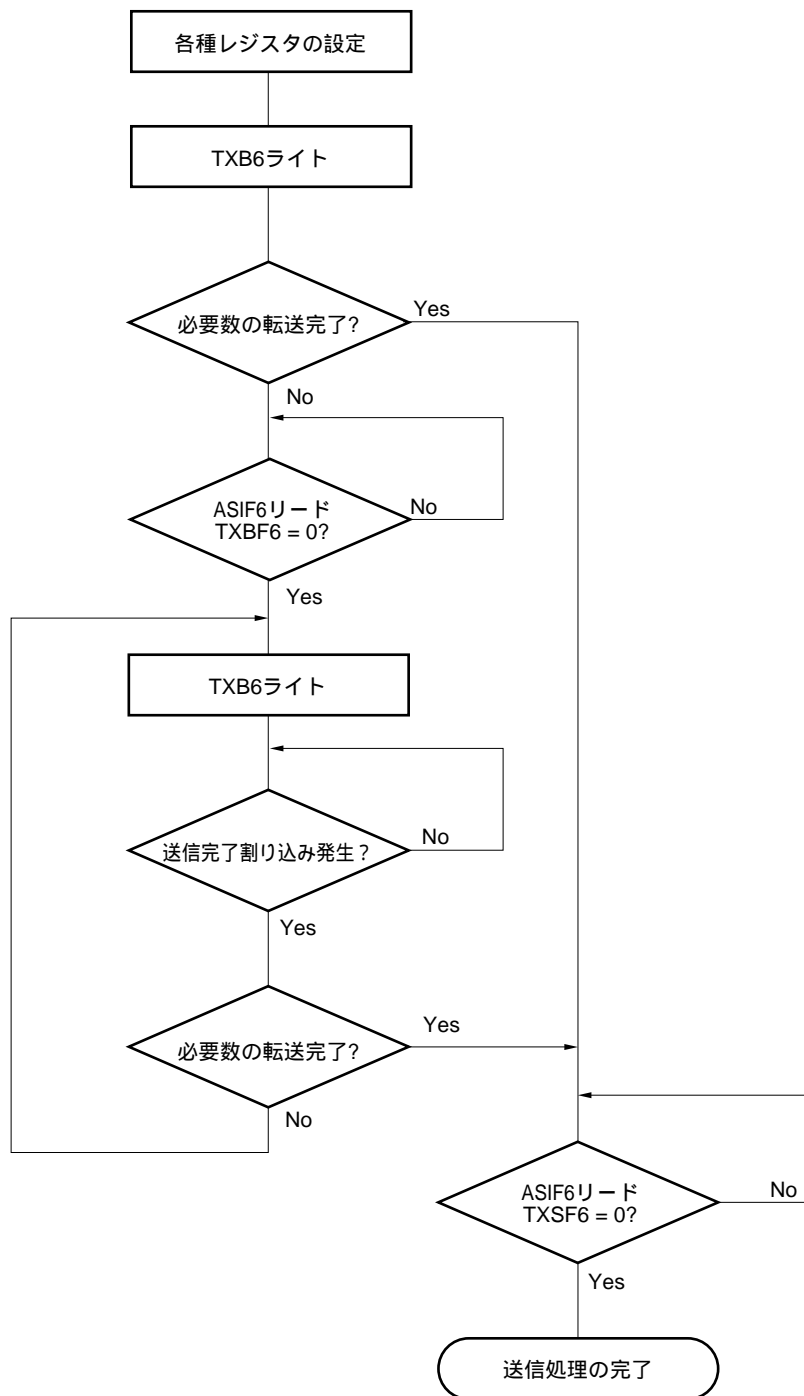
TXSF6フラグで、通信状態を確認することができます。

TXSF6	送信状態
0	送信が終了しています。
1	送信中です。

- 注意1.** 連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSF6フラグが“0”であることを確認してから初期化を実行してください。TXSF6フラグが“1”のときに初期化を実行した場合の送信データは保証できません。
- 2.** 連続送信時には、1データ・フレーム送信後のINTST6割り込み処理を実行する前に次の送信が完了してしまう可能性があります。対策としては、送信データ数をカウントできるプログラムを組み込むこととTXSF6フラグを参照することで検出できます。

連続送信の処理フロー例を図13 - 17に示します。

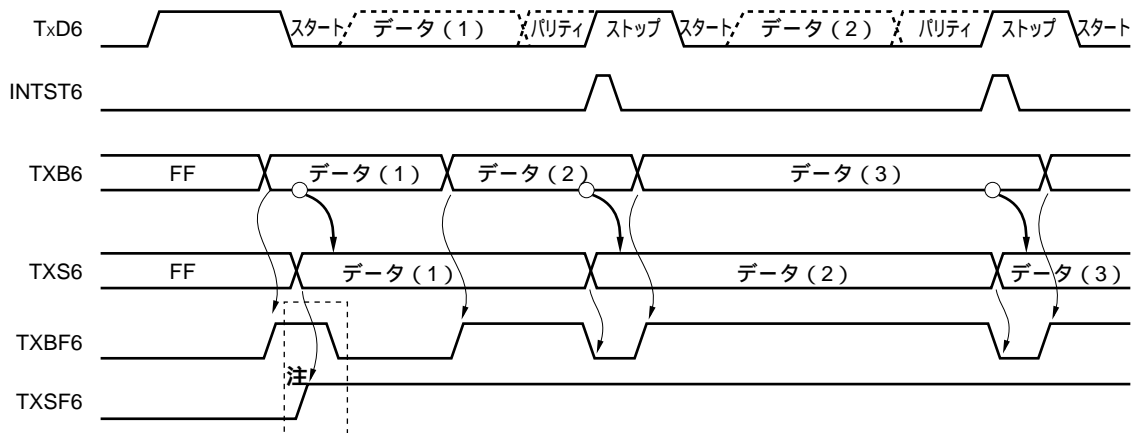
図13 - 17 連続送信の処理フロー例



- 備考** TXB6 : 送信バッファ・レジスタ6  
 ASIF6 : アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6  
 TXBF6 : ASIF6のビット1 (送信バッファ・データ・フラグ)  
 TXSF6 : ASIF6のビット0 (送信シフト・レジスタ・データ・フラグ)

連続送信を開始する際のタイミングを図13 - 18に、連続送信を終了する際のタイミングを図13 - 19に示します。

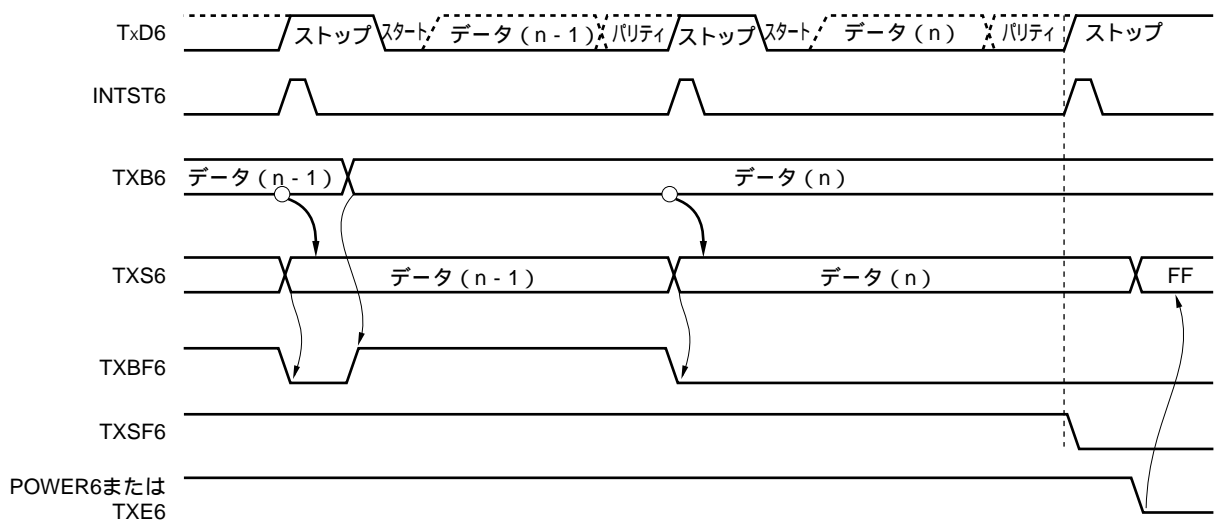
図13 - 18 連続送信を開始する際のタイミング



注 ASIF6をリードした場合、TXBF6, TXSF6 = 1, 1の期間が存在します。したがって、書き込み可否はTXBF6ビットのみで判断してください。

- 備考 TxD6 : TxD6端子 (出力)  
 INTST6 : 割り込み要求信号  
 TXB6 : 送信バッファ・レジスタ6  
 TXS6 : 送信シフト・レジスタ6  
 ASIF6 : アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6  
 TXBF6 : ASIF6のビット1  
 TXSF6 : ASIF6のビット0

図13 - 19 連続送信を終了する際のタイミング





備考	TxD6	: TxD6端子 (出力)
	INTST6	: 割り込み要求信号
	TXB6	: 送信バッファ・レジスタ6
	TXS6	: 送信シフト・レジスタ6
	ASIF6	: アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6
	TXBF6	: ASIF6のビット1
	TXSF6	: ASIF6のビット0
	POWER6	: アシクロナス・シリアル・インタフェース動作モード・レジスタ (ASIM6) のビット7
	TXE6	: アシクロナス・シリアル・インタフェース動作モード・レジスタ (ASIM6) のビット6

### (e) 通常受信

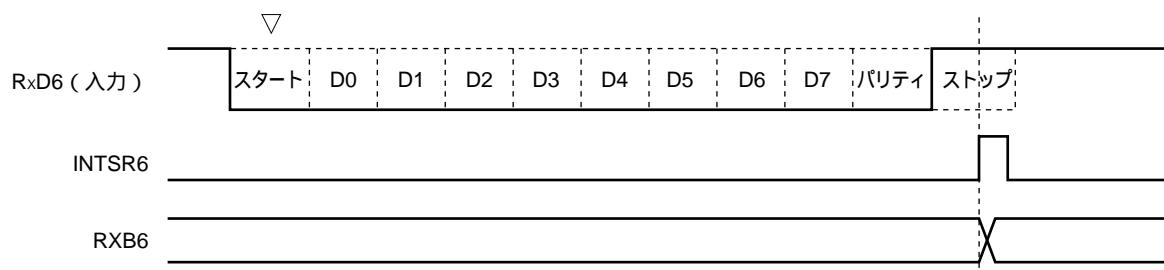
アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)のビット7(POWER6)をセット(1)し、次にASIM6のビット5(RXE6)をセット(1)すると受信許可状態となり、RxD6端子入力のサンプリングを行います。

RxD6端子入力の立ち下がりを検出すると、ポーレート・ジェネレータの8ビット・カウンタがカウントを開始し、ポーレート・ジェネレータ・コントロール・レジスタ6(BRGC6)の設定値をカウントした時点で、再度RxD6端子入力をサンプリング(図13-20の印に相当)した結果、RxD6端子がロウ・レベルであれば、スタート・ビットと認識します。

スタート・ビットを検出したら、受信動作を開始し、設定されたポーレートに合わせて、シリアル・データを順次、受信シフト・レジスタ6(RXS6)に格納していきます。ストップ・ビットを受信したら、受信完了割り込み(INTSR6)を発生すると同時に、RXS6のデータは受信バッファ・レジスタ6(RXB6)に書き込まれます。ただし、オーバラン・エラー(OVE6)が発生した場合、そのときの受信データはRXB6に書き込みません。

受信途中に、パリティ・エラー(PE6)が発生しても、ストップ・ビットの受信位置までは受信を継続し、受信完了後に受信エラー割り込み(INTSR6/INTSRE6)を発生します。

図13-20 受信完了割り込み要求タイミング



- 注意1. 受信エラーが発生した場合は、ASIS6を読み出したあと、RXB6を読み出し、エラー・フラグをクリアしてください。RXB6を読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。
2. 受信は、常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは、無視されます。
3. RXB6を読み出す前に、必ずアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) を読み出してください。

#### (f) 受信エラー

受信動作時のエラーは、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果エラー・フラグがアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) 内に立つと、受信エラー割り込み (INTSR6/INTSRE6) を発生します。

受信エラー割り込み (INTSR6/INTSRE6) 処理内で、ASIS6の内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます (図13 - 6参照)。

ASIS6の内容は、ASIS6を読み出すことによって、クリア (0) されます。

表13 - 3 受信エラーの要因

受信エラー	要 因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない
オーバラン・エラー	受信バッファ・レジスタ6 (RXB6) からデータを読み出す前に次のデータ受信完了

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット0 (ISRM6) に0を設定することにより、受信エラー割り込みを受信完了割り込み (INTSR6) とエラー割り込み (INTSRE6) とに分離することができます。

図13 - 21 受信エラー割り込み (1/2)

#### 1. ISRM6に0を設定した場合 (受信完了割り込み (INTSR6) とエラー割り込み (INTSRE6) とに分離する)

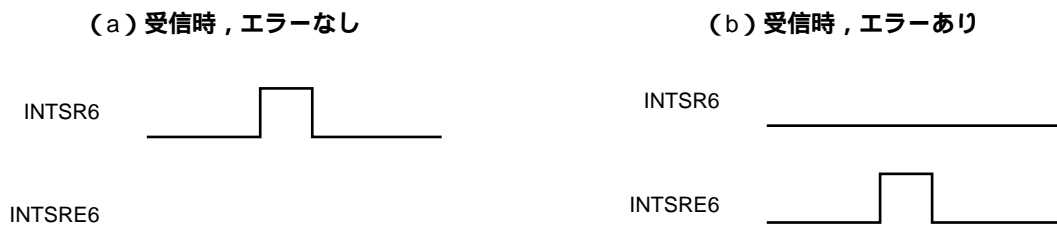


図13 - 21 受信エラー割り込み (2/2)

## 2. ISRM6に1を設定した場合 (エラー割り込みもINTSR6に含める)



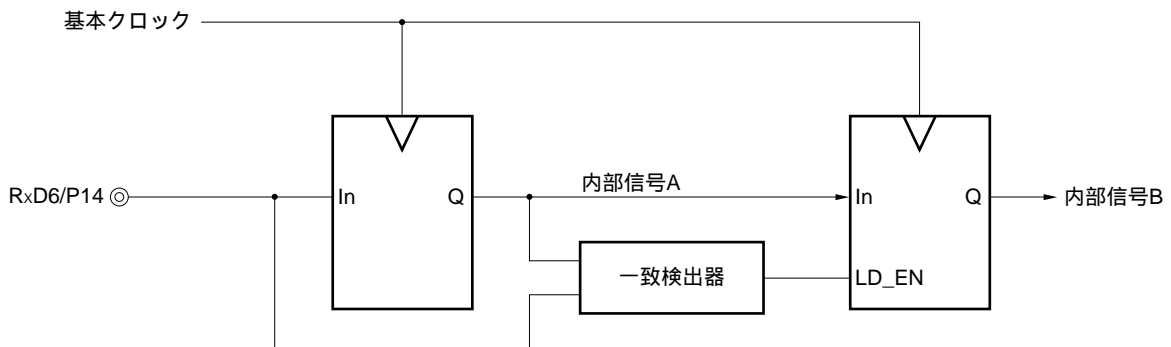
## (g) 受信データのノイズ・フィルタ

プリスケアラ部出力の基本クロックでRxD6信号をサンプリングします。

サンプリング値が同じ値を2回取ると, 一致検出器の出力が変化し, 入力データとしてサンプリングされます。

また, 回路は図13 - 22のようになっているため, 受信動作の内部での処理は, 外部の信号状態より2クロック分遅れて動作することになります。

図13 - 22 ノイズ・フィルタ回路



## (h) SBF送信

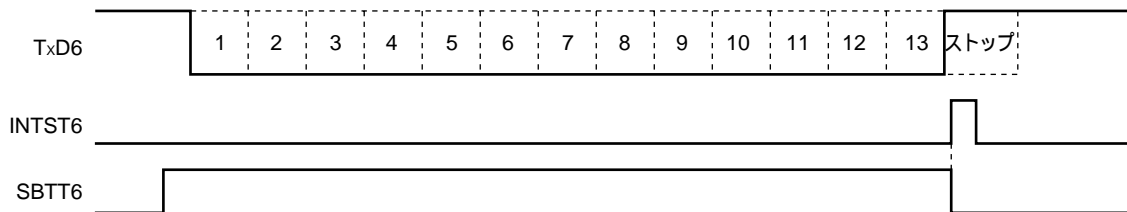
LIN通信動作で使用する場合、送信ではSBF( Synchronous Break Field )送信制御機能を使用します。LINの送信操作については図13 - 1 LINの送信操作を参照してください。

アシンクロナス・シリアル・インタフェース・モード・レジスタ6 (ASIM6)のビット7 (POWER6)をセット(1)すると、TxD6端子からハイ・レベル出力されます。次にASIM6のビット6 (TXE6)をセット(1)すると送信許可状態になり、アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)のビット5 (SBTT6)をセット(1)することによりSBF送信動作は起動します。

起動後、13ビットから20ビットまでのロウ・レベル(ASICL6のビット4-2 (SBL62-SBL60)で設定)を出力します。SBF送信が完了すると、送信完了割り込み要求 (INTST6)を発生し、SBTT6は自動的にクリアされます。SBF送信を終了後、通常送信モードに戻ります。

次に送信するデータを送信バッファ・レジスタ6 (TXB6)に書き込む、あるいはSBTT6をセット(1)するまで、送信動作は中断します。

図13 - 23 SBF送信



**備考** TxD6 : TxD6端子 (出力)

INTST6 : 送信完了割り込み要求

SBTT6 : アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)のビット5

## (i) SBF受信

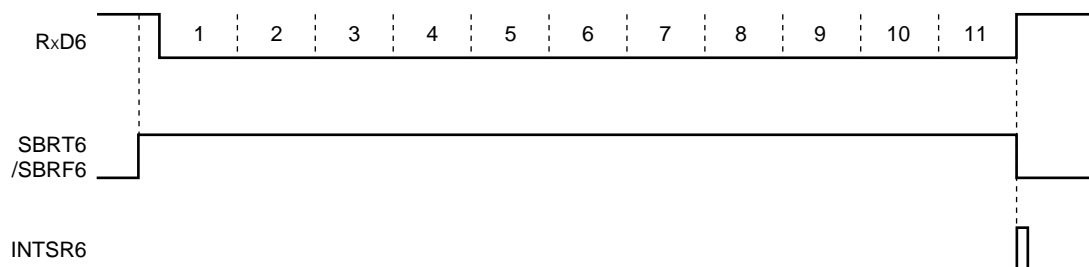
LIN通信動作で使用する場合、受信ではSBF( Synchronous Break Field )受信制御機能を使用します。LINの受信操作については図13 - 2 LINの受信操作を参照してください。

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 ( ASIM6 )のビット7( POWER6 )をセット ( 1 ) し、次にASIM6のビット5 ( RXE6 ) をセット ( 1 ) すると受信許可状態となります。次にアシンクロナス・シリアル・インタフェース・コントロール・レジスタ6( ASICL6 )のビット6( SBRT6 ) をセット ( 1 ) するとSBF受信許可状態になります。SBF受信許可状態は通常の実行許可状態と同様、RxD6端子をサンプリングし、スタート・ビットの検出を行います。

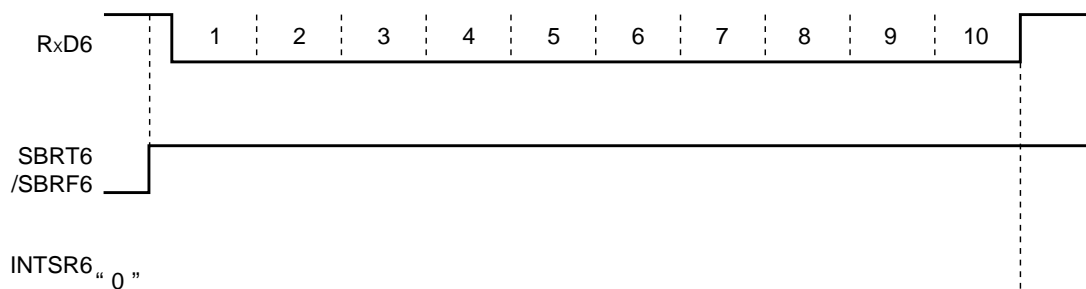
スタート・ビットが検出されたら、受信動作を開始し、設定されたボー・レートに合わせて、シリアル・データを順次、受信シフト・レジスタ6 ( RXS6 ) に格納していきます。ストップ・ビットを受信したら、SBFの幅が11ビット長以上の場合、正常処理として、受信完了割り込み要求 ( INTSR6 ) を発生します。このときSBRF6、SBRT6ビットは自動的にクリアされ、SBF受信を終了します。OVE6、PE6、FE6 ( アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 ( ASIS6 ) のビット0-2 ) の各エラー検出は抑制され、UART通信のエラー検出処理は行われません。また受信シフト・レジスタ6 ( RXS6 ) と受信バッファ・レジスタ6 ( RXB6 ) のデータの転送も行われず、リセット値のFFHを保持します。SBFの幅は10ビット長以下の場合、ストップ・ビット受信後、エラー処理として割り込みを出さずに受信を終了し、再びSBF受信モードに戻ります。この場合、SBRF6、SBRT6ビットはクリアされません。

図13 - 24 SBF受信

## 1. 正常SBF受信 ( 10.5ビット超でストップ・ビットを検出 )



## 2. SBF受信エラー ( 10.5ビット以下でストップ・ビットを検出 )



- 備考** RxD6 : RxD6端子 (入力)
- SBRT6 : アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット6
- SBRF6 : ASICL6のビット7
- INTSR6 : 受信完了割り込み要求

### 13.4.3 専用ポー・レート・ジェネレータ

専用ポー・レート・ジェネレータは、ソース・クロック・セクタ部と8ビットのプログラマブル・カウンタにより構成され、UART6における送受信時のシリアル・クロックを生成します。

なお、8ビット・カウンタは送信用と受信用が別々に存在します。

#### (1) ポー・レート・ジェネレータの構成

##### ・基本クロック

アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) = 1のとき、クロック選択レジスタ6 (CKSR6) のビット3-0 (TPS63-TPS60) で選択したクロックを各モジュールに供給します。このクロックを基本クロックと呼び、その周波数を $f_{CLK6}$ と呼びます。POWER6 = 0のときは、基本クロックはロウ・レベルに固定となります。

##### ・送信用カウンタ

アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) = 0またはビット6 (TXE6) = 0のときはクリア (0) の状態で動作を停止します。

POWER6 = 1かつTXE6 = 1でカウントをスタートします。

最初の送信では送信バッファ・レジスタ6 (TXB6) への書き込みでカウンタをクリア (0) します。

連続送信の場合は1フレーム・データの送信完了で、再びカウンタをクリア (0) します。次の送信データがなかった場合、カウンタはクリア (0) されず、POWER6またはTXE6がクリア (0) されるまでカウント動作をそのまま続けます。

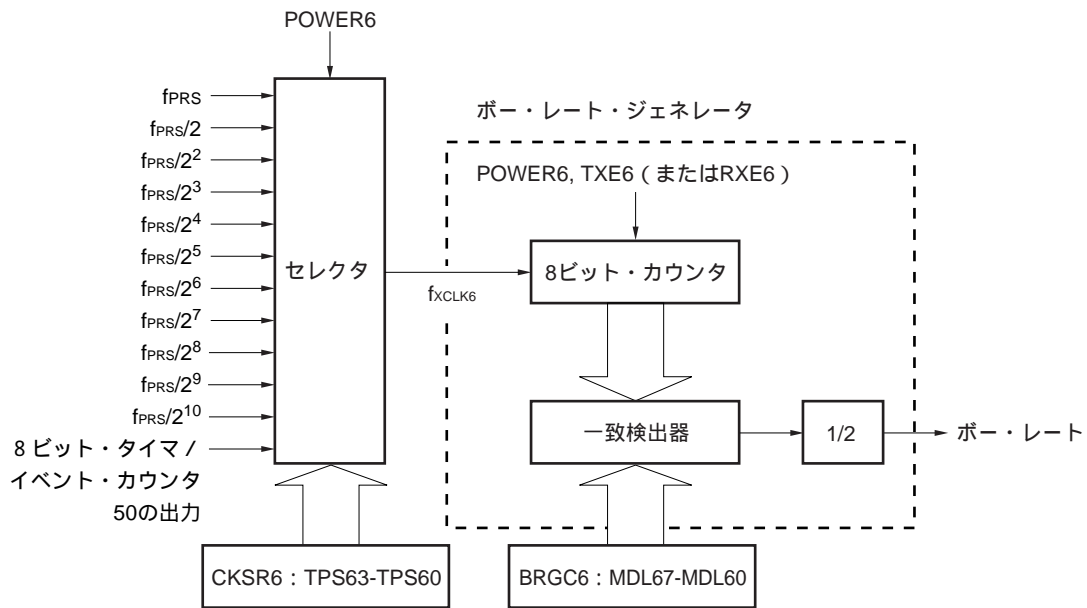
##### ・受信用カウンタ

アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) = 0またはビット5 (RXE6) = 0のときはクリア (0) の状態で動作を停止します。

スタート・ビット検出によりカウントをスタートします。

1フレーム受信後は次のスタート・ビット検出まで動作を停止します。

図13 - 25 ポー・レート・ジェネレータの構成



**備考** POWER6 : アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7

TXE6 : ASIM6のビット6

RXE6 : ASIM6のビット5

CKSR6 : クロック選択レジスタ6

BRGC6 : ポー・レート・ジェネレータ・コントロール・レジスタ6

## (2) シリアル・クロックの生成

クロック選択レジスタ6 (CKSR6) とポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) の設定により、生成するシリアル・クロックを指定できます。

CKSR6のビット3-0 (TPS63-TPS60) により、8ビット・カウンタへの入力クロックを、BRGC6のビット7-0 (MDL67-MDL60) により、8ビット・カウンタの分周値 ( $f_{XCLK6}/4 - f_{XCLK6}/255$ ) を設定できます。

## 13.4.4 ポー・レートの算出

### (1) ポー・レート計算式

ポー・レートは次の式によって求められます。

$$\text{ポー・レート} = \frac{f_{XCLK6}}{2 \times k} \text{ [ bps ]}$$

$f_{XCLK6}$  : CKSR6レジスタのTPS63-TPS60ビットで選択した基本クロックの周波数

k : BRGC6レジスタのMDL67-MDL60ビットで設定した値 (k = 4, 5, 6, ..., 255)

表13 - 4 TPS63-TPS60の設定値

TPS63	TPS62	TPS61	TPS60	基本クロック (f <sub>CLK6</sub> ) 選択 <sup>注</sup>				
				f <sub>PRS</sub> = 2 MHz	f <sub>PRS</sub> = 5 MHz	f <sub>PRS</sub> = 10 MHz	f <sub>PRS</sub> = 20 MHz (PLL使用時)	
0	0	0	0	f <sub>PRS</sub>	2 MHz	5 MHz	10 MHz	20 MHz
0	0	0	1	f <sub>PRS</sub> /2	1 MHz	2.5 MHz	5 MHz	10 MHz
0	0	1	0	f <sub>PRS</sub> /2 <sup>2</sup>	500 kHz	1.25 MHz	2.5 MHz	5 MHz
0	0	1	1	f <sub>PRS</sub> /2 <sup>3</sup>	250 kHz	625 kHz	1.25 MHz	2.5 MHz
0	1	0	0	f <sub>PRS</sub> /2 <sup>4</sup>	125 kHz	312.5 kHz	625 kHz	1.25 MHz
0	1	0	1	f <sub>PRS</sub> /2 <sup>5</sup>	62.5 kHz	156.25 kHz	312.5 kHz	625 kHz
0	1	1	0	f <sub>PRS</sub> /2 <sup>6</sup>	31.25 kHz	78.13 kHz	156.25 kHz	312.5 kHz
0	1	1	1	f <sub>PRS</sub> /2 <sup>7</sup>	15.625 kHz	39.06 kHz	78.13 kHz	156.25 kHz
1	0	0	0	f <sub>PRS</sub> /2 <sup>8</sup>	7.813 kHz	19.53 kHz	39.06 kHz	78.13 kHz
1	0	0	1	f <sub>PRS</sub> /2 <sup>9</sup>	3.906 kHz	9.77 kHz	19.53 kHz	39.06 kHz
1	0	1	0	f <sub>PRS</sub> /2 <sup>10</sup>	1.953 kHz	4.88 kHz	9.77 kHz	19.53 kHz
その他				設定禁止				

注 周辺ハードウェア・クロック (f<sub>PRS</sub>) が高速システム・クロック (f<sub>XH</sub>) で動作している (XSEL = 1) 場合、電源電圧により、f<sub>PRS</sub>の動作周波数が異なります。

・ V<sub>DD</sub> = 2.7 ~ 5.5 V : f<sub>PRS</sub> 10 MHz

・ V<sub>DD</sub> = 1.8 ~ 2.7 V : f<sub>PRS</sub> 5 MHz

## (2) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\cdot \text{誤差 (\%)} = \left[ \frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{希望するボー・レート (正常なボー・レート)}} - 1 \right] \times 100 [\%]$$

注意1. 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。

2. 受信時のボー・レート誤差は、(4) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

例 基本クロックの周波数 = 10 MHz = 10,000,000 Hz

BRGC6レジスタのMDL67-MDL60ビットの設定値 = 00100001B (k = 33)

目標ボー・レート = 153600 bps

$$\begin{aligned} \text{ボー・レート} &= 10 \text{ M} / (2 \times 33) \\ &= 10000000 / (2 \times 33) = 151515 [\text{bps}] \end{aligned}$$

$$\begin{aligned} \text{誤差} &= (151515 / 153600 - 1) \times 100 \\ &= -1.357 [\%] \end{aligned}$$



## (3) ボー・レート設定例

表13-5 ボー・レート・ジェネレータ設定データ

ボー・レート [ bps ]	f <sub>PRS</sub> = 2.0 MHz				f <sub>PRS</sub> = 5.0 MHz				f <sub>PRS</sub> = 10.0 MHz				f <sub>PRS</sub> = 20.0 MHz (PLL使用時)			
	TPS63- TPS60	k	算出値	ERR [ % ]	TPS63- TPS60	k	算出値	ERR [ % ]	TPS63- TPS60	k	算出値	ERR [ % ]	TPS63- TPS60	k	算出値	ERR [ % ]
300	8H	13	301	0.16	7H	65	301	0.16	8H	65	301	0.16	9H	65	301	0.16
600	7H	13	601	0.16	6H	65	601	0.16	7H	65	601	0.16	8H	65	601	0.16
1200	6H	13	1202	0.16	5H	65	1202	0.16	6H	65	1202	0.16	7H	65	1202	0.16
2400	5H	13	2404	0.16	4H	65	2404	0.16	5H	65	2404	0.16	6H	65	2404	0.16
4800	4H	13	4808	0.16	3H	65	4808	0.16	4H	65	4808	0.16	5H	65	4808	0.16
9600	3H	13	9615	0.16	2H	65	9615	0.16	3H	65	9615	0.16	4H	65	9615	0.16
19200	2H	13	19231	0.16	1H	65	19231	0.16	2H	65	19231	0.16	3H	65	19231	0.16
24000	1H	21	23810	-0.79	3H	13	24038	0.16	4H	13	24038	0.16	5H	13	24038	0.16
31250	1H	16	31250	0	4H	5	31250	0	5H	5	31250	0	6H	5	31250	0
38400	1H	13	38462	0.16	0H	65	38462	0.16	1H	65	38462	0.16	2H	65	38462	0.16
48000	0H	21	47619	-0.79	2H	13	48077	0.16	3H	13	48077	0.16	4H	13	48077	0.16
76800	0H	13	76923	0.16	0H	33	75758	-1.36	0H	65	76923	0.16	1H	65	76923	0.16
115200	0H	9	111111	-3.55	1H	11	113636	-1.36	0H	43	116279	0.94	0H	87	116279	-0.22
153600	-	-	-	-	1H	8	156250	1.73	0H	33	151515	-1.36	1H	33	151515	-1.36
312500	-	-	-	-	0H	8	312500	0	1H	8	312500	0	2H	8	312500	0
625000	-	-	-	-	0H	4	625000	0	1H	4	625000	0	2H	4	625000	0

備考 TPS63-TPS60: クロック選択レジスタ6 (CKSR6) のビット3-0 (基本クロック (f<sub>CLK6</sub>) 設定)

K: ボー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) のMDL67-  
MDL60ビットで設定した値 (k = 4, 5, 6, ..., 255)

f<sub>PRS</sub>: 周辺ハードウェア・クロック周波数

ERR: ボー・レート誤差

## (4) 受信時の許容ボー・レート範囲

受信の際に、送信先のボー・レートのずれがどの程度まで許容できるかを次に示します。

**注意** 受信時のボー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図13 - 26 受信時の許容ボー・レート範囲

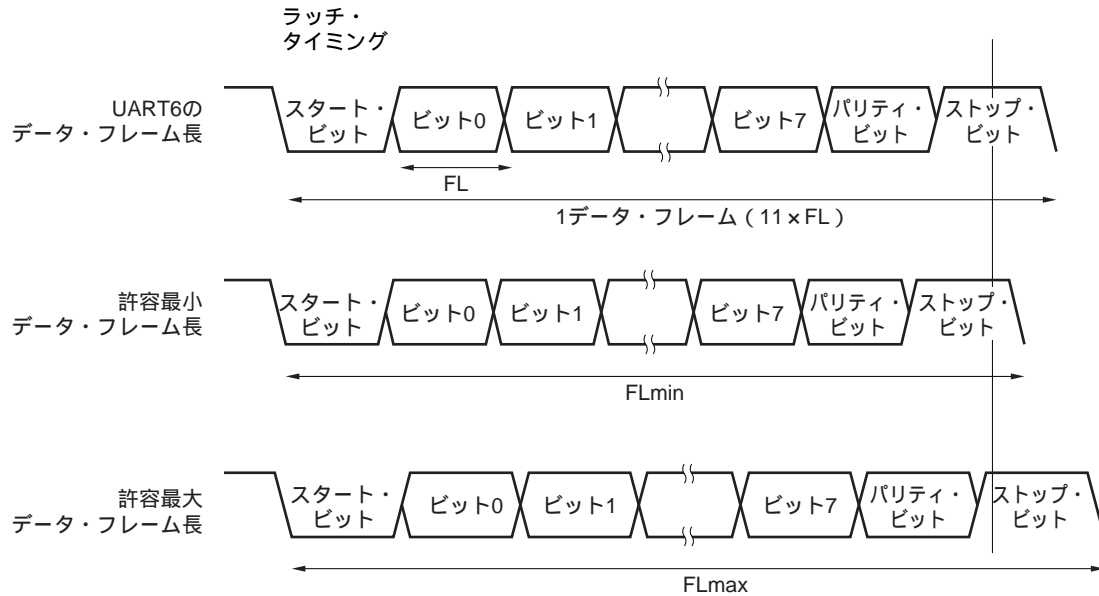


図13 - 26に示すように、スタート・ビット検出後はボー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) で設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (ストップ・ビット) までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$\text{FL} = (\text{Brate})^{-1}$$

Brate : UART6のボー・レート

k : BRGC6の設定値

FL : 1ビット・データ長

ラッチ・タイミングのマージン : 2クロック

$$\text{許容最小データ・フレーム長} : FL_{\min} = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$$

したがって、受信可能な送信先の最大ボー・レートは次のようになります。

$$BR_{\max} = (FL_{\min}/11)^{-1} = \frac{22k}{21k+2} \text{ Brate}$$

同様に、許容最大データ・フレーム長を求めると、次のようになります。

$$\frac{10}{11} \times FL_{\max} = 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} FL$$

$$FL_{\max} = \frac{21k-2}{20k} FL \times 11$$

したがって、受信可能な送信先の最小ボー・レートは次のようになります。

$$BR_{\min} = (FL_{\max}/11)^{-1} = \frac{20k}{21k-2} \text{ Brate}$$

前述の最小 / 最大ボー・レート値の算出式から、UART6と送信先とのボー・レートの許容誤差を求めると次のようになります。

表13-6 許容最大 / 最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
4	+2.33 %	-2.44 %
8	+3.53 %	-3.61 %
20	+4.26 %	-4.31 %
50	+4.56 %	-4.58 %
100	+4.66 %	-4.67 %
255	+4.72 %	-4.73 %

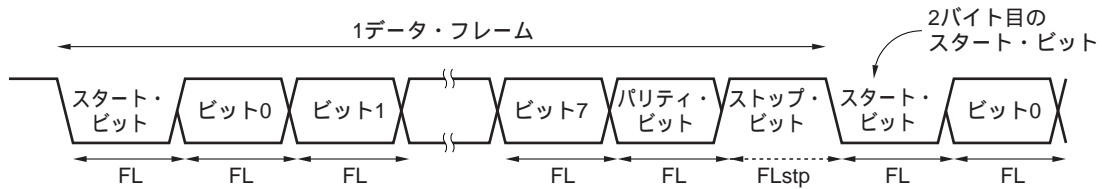
**備考1.** 受信の許容誤差は、1フレーム・ビット数、入力クロック周波数、分周比 (k) に依存します。入力クロック周波数が高く、分周比 (k) が大きくなるほど許容誤差は大きくなります。

2. k : BRGC6の設定値

## (5) 連続送信時のデータ・フレーム長

連続送信する場合、ストップ・ビットから次のスタート・ビットまでのデータ・フレーム長が通常より基本クロック2クロック分延びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化が行われるので通信結果には影響しません。

図13 - 27 連続送信時のデータ・フレーム長



1ビット・データ長：FL，ストップ・ビット長：FLstp，基本クロック周波数： $f_{XCLK6}$ とすると次の式が成り立ちます。

$$FLstp = FL + 2/f_{XCLK6}$$

したがって、連続送信でのデータ・フレーム長は次のようになります。

$$\text{データ・フレーム長} = 11 \times FL + 2/f_{XCLK6}$$

## 第14章 シリアル・インタフェースIICA

### 14.1 シリアル・インタフェースIICAの機能

シリアル・インタフェースIICAは、78K0/Fx2-Lマイクロコントローラの全製品に搭載されています。シリアル・インタフェースIICAには、次の3種類のモードがあります。

#### (1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

#### (2) I<sup>2</sup>Cバス・モード(マルチマスタ対応)

シリアル・クロック(SCLA0)とシリアル・データ・バス(SDAA0)の2本のラインより、複数のデバイスと8ビット・データ転送を行うモードです。

I<sup>2</sup>Cバス・フォーマットに準拠しており、マスタはスレーブに対して、シリアル・データ・バス上に“スタート・コンディション”、“アドレス”、“転送方向指定”、“データ”および“ストップ・コンディション”を生成できます。スレーブは、受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI<sup>2</sup>Cバス制御部分を簡単にすることができます。

シリアル・インタフェースIICAでは、SCLA0端子とSDAA0端子はオープン・ドレイン出力で使用するため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

#### (3) ウェイクアップ・モード

STOPモード状態で、マスタからの拡張コードもしくは自局アドレスを受信した場合に、割り込み要求信号(INTIICA0)を発生しSTOPモードを解除することができます。IICAコントロール・レジスタ1(IICACTL1)のWUPビットにより設定します。

図14-1に、シリアル・インタフェースIICAのブロック図を示します。

図14-1 シリアル・インタフェースIICAのブロック図

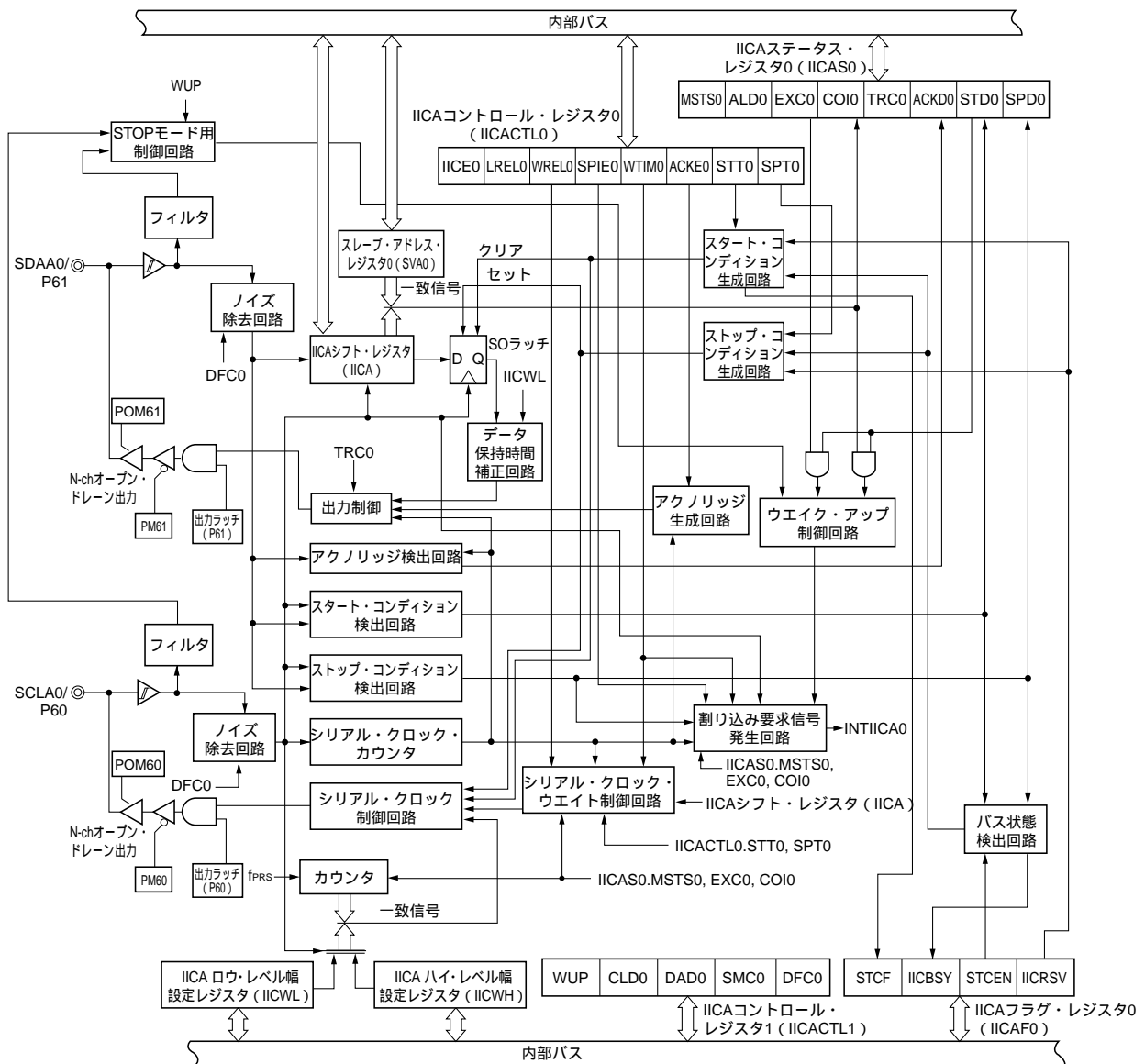
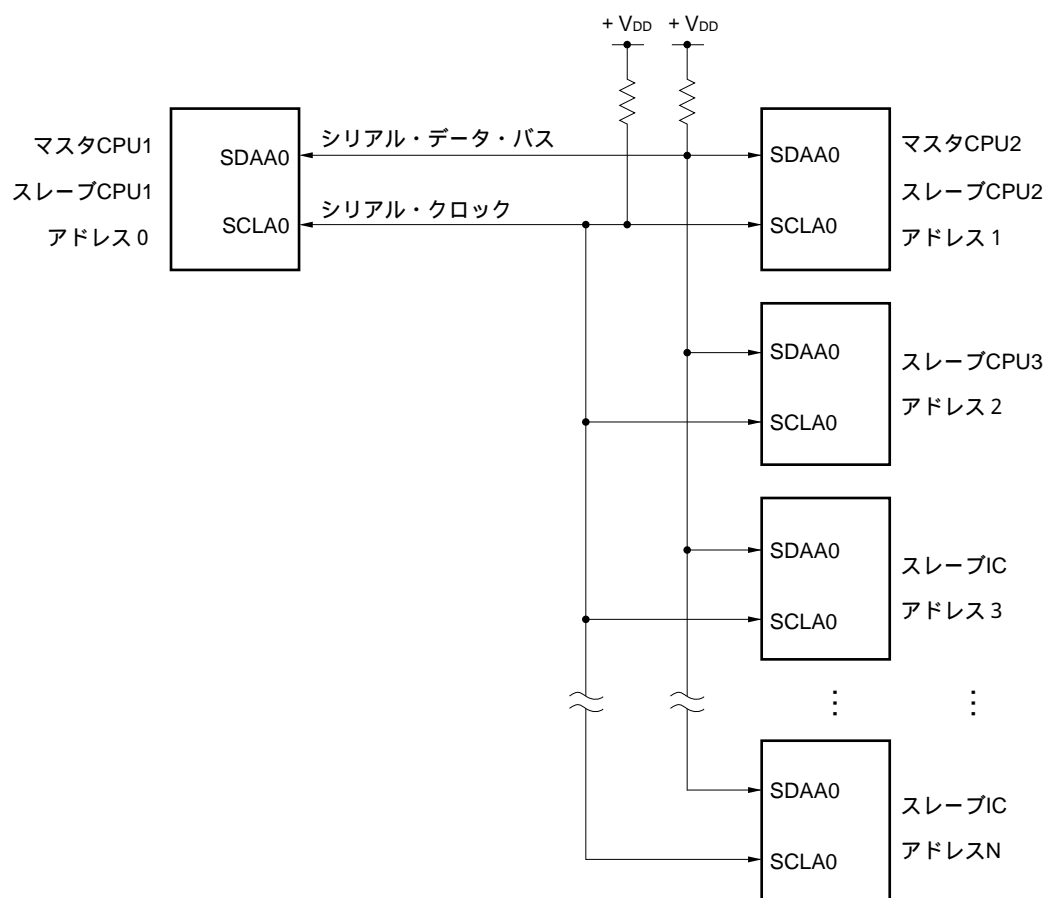


図14 - 2にシリアル・バス構成例を示します。

図14 - 2 I<sup>2</sup>Cバスによるシリアル・バス構成例



## 14.2 シリアル・インタフェースIICAの構成

シリアル・インタフェースIICAは、次のハードウェアで構成されています。

表14-1 シリアル・インタフェースIICAの構成

項目	構成
レジスタ	IICAシフト・レジスタ (IICA) スレーブ・アドレス・レジスタ0 (SVA0)
制御レジスタ	IICAコントロール・レジスタ0 (IICACTL0) IICAステータス・レジスタ0 (IICAS0) IICAフラグ・レジスタ0 (IICAF0) IICAコントロール・レジスタ1 (IICACTL1) IICAロウ・レベル幅設定レジスタ (IICWL) IICAハイ・レベル幅設定レジスタ (IICWH) ポート入力モード・レジスタ6 (PIM6) ポート出力モード・レジスタ6 (POM6) ポート・モード・レジスタ6 (PM6) ポート・レジスタ6 (P6)

### (1) IICAシフト・レジスタ (IICA)

IICAレジスタは、シリアル・クロックに同期して、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IICAレジスタは送信および受信の両方に使用されます。

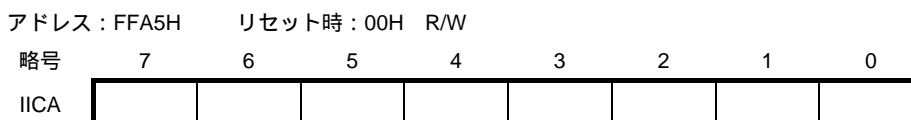
IICAレジスタに対する書き込み/読み出しにより、実際の送受信動作が制御できます。

ウェイト期間中のIICAレジスタへの書き込みにより、ウェイトを解除し、データ転送を開始します。

IICAレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14-3 IICAシフト・レジスタ (IICA) のフォーマット



- 注意1. データ転送中はIICAレジスタにデータを書き込まないでください。
- IICAレジスタには、ウェイト期間中にだけ、書き込み/読み出しをしてください。ウェイト期間中を除く通信状態でのIICAレジスタへのアクセスは禁止です。ただし、マスタになる場合は、通信トリガ・ビット (STT0) をセット (1) したあと、1回書き込みできます。
  - 通信予約時は、ストップ・コンディションによる割り込み検出のあとにIICAレジスタにデータを書き込んでください。



**(2) スレープ・アドレス・レジスタ0 (SVA0)**

スレープとして使用する場合に、自局アドレスの7ビット { A6, A5, A4, A3, A2, A1, A0 } を格納するレジスタです。

SVA0レジスタは、8ビット・メモリ操作命令で設定します。

ただし、STD0 = 1 (スタート・コンディション検出) のときの書き換えは禁止です。

リセット信号の発生により、00Hになります。

図14 - 4 スレープ・アドレス・レジスタ0 (SVA0) のフォーマット

アドレス : FFA6H	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
SVA0								0 <sup>注</sup>

注 ビット0は0固定です。

**(3) SOラッチ**

SOラッチは、SDAA0端子出力レベルを保持するラッチです。

**(4) ウェイク・アップ制御回路**

スレープ・アドレス・レジスタ0 (SVA0) に設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に割り込み要求 (INTIICA0) を発生させる回路です。

**(5) シリアル・クロック・カウンタ**

送信 / 受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

**(6) 割り込み要求信号発生回路**

割り込み要求信号 (INTIICA0) の発生を制御します。

I<sup>2</sup>C割り込み要求は、次の2つのトリガで発生します。

- ・シリアル・クロックの8クロック目または9クロック目の立ち下がり (WTIM0ビットで設定)
- ・ストップ・コンディション検出による割り込み要求発生 (SPIE0ビットで設定)

備考 WTIM0ビット : IICAコントロール・レジスタ0 (IICACTL0) のビット3  
SPIE0ビット : " のビット4

**(7) シリアル・クロック制御回路**

マスタ・モード時に、SCLA0端子に出力するクロックをサンプリング・クロックから生成します。

**(8) シリアル・クロック・ウェイト制御回路**

ウェイト・タイミングを制御します。

**(9) アクノリッジ生成回路, ストップ・コンディション検出回路, スタート・コンディション検出回路, アクノリッジ検出回路**

各状態の生成および検出を行います。

#### (10) データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

#### (11) スタート・コンディション生成回路

STT0ビットがセット(1)されるとスタート・コンディションを生成します。

ただし通信予約禁止状態(IICRSVビット = 1)で、かつバスが解放されていない(IICBSYビット = 1)場合には、スタート・コンディション要求は無視し、STCFビットをセット(1)します。

#### (12) ストップ・コンディション生成回路

SPT0ビットがセット(1)されるとストップ・コンディションを生成します。

#### (13) バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。

ただし動作直後はバス状態を検出できないため、STCENビットにより、バス状態検出回路の初期状態を設定してください。

備考	STT0ビット	: IICAコントロール・レジスタ0 (IICACTL0)	のビット1
	SPT0ビット	: "	のビット0
	IICRSVビット	: IICAフラグ・レジスタ0 (IICAF0)	のビット0
	IICBSYビット	: "	のビット6
	STCFビット	: "	のビット7
	STCENビット	: "	のビット1

## 14.3 シリアル・インタフェースIICAを制御するレジスタ

シリアル・インタフェースIICAは、次の10種類のレジスタで制御します。

- ・ IICAコントロール・レジスタ0 (IICACTL0)
- ・ IICAステータス・レジスタ0 (IICAS0)
- ・ IICAフラグ・レジスタ0 (IICAF0)
- ・ IICAコントロール・レジスタ1 (IICACTL1)
- ・ IICAロウ・レベル幅設定レジスタ (IICWL)
- ・ IICAハイ・レベル幅設定レジスタ (IICWH)
- ・ ポート入力モード・レジスタ6 (PIM6)
- ・ ポート出力モード・レジスタ6 (POM6)
- ・ ポート・モード・レジスタ6 (PM6)
- ・ ポート・レジスタ6 (P6)

### (1) IICAコントロール・レジスタ0 (IICACTL0)

I<sup>2</sup>Cの動作許可/停止、ウエイト・タイミングの設定、その他I<sup>2</sup>Cの動作を設定するレジスタです。

IICACTL0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、SPIE0, WTIM0, ACKE0ビットは、IICE0ビット = 0のとき、またはウエイト期間中に設定してください。またIICE0ビットを"0"から"1"に設定するときに、これらのビットを同時に設定できます。

リセット信号の発生により、00Hになります。

図14-5 IICAコントロール・レジスタ0 (IICACTL0) のフォーマット (1/4)

アドレス：FFA7H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IICACTL0	IICE0	LRELO	WRELO	SPIE0	WTIM0	ACKE0	STT0	SPT0

IICE0	I <sup>2</sup> Cの動作許可
0	動作停止。IICAステータス・レジスタ0 (IICAS0) をリセット <sup>注1</sup> 。内部動作も停止。
1	動作許可。
このビットのセット (1) は、必ずSCLA0, SDAA0ラインがハイ・レベルの状態で行ってください。	
クリアされる条件 (IICE0 = 0)	セットされる条件 (IICE0 = 1)
・ 命令によるクリア ・ リセット時	・ 命令によるセット

LRELO <sup>注2,3</sup>	通信退避
0	通常動作。
1	現在行っている通信から退避し、待機状態。実行後自動的にクリア (0) される。 自局に関係ない拡張コードを受信したときなどに使用する。 SCLA0, SDAA0ラインはハイ・インピーダンス状態になる。 IICAコントロール・レジスタ0 (IICACTL0), IICAステータス・レジスタ0 (IICAS0) のうち、次のフラグがクリア (0) される。 ・ STT0 ・ SPT0 ・ MSTS0 ・ EXC0 ・ COI0 ・ TRC0 ・ ACKD0 ・ STD0
次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。	
・ ストップ・コンディション検出後、マスタとしての起動 ・ スタート・コンディション後のアドレス一致または拡張コード受信	
クリアされる条件 (LRELO = 0)	セットされる条件 (LRELO = 1)
・ 実行後、自動的にクリア ・ リセット時	・ 命令によるセット

WRELO <sup>注2,3</sup>	ウェイト解除
0	ウェイトを解除しない。
1	ウェイトを解除する。ウェイト解除後、自動的にクリアされる。
送信状態 (TRC0 = 1) で、9クロック目のウェイト期間中にWRELOをセット (ウェイトを解除) した場合、SDAA0ラインをハイ・インピーダンス (TRC0 = 0) にします。	
クリアされる条件 (WRELO = 0)	セットされる条件 (WRELO = 1)
・ 実行後、自動的にクリア ・ リセット時	・ 命令によるセット

注1. リセットされるのは、IICAS0レジスタ、IICAF0レジスタのSTCF、IICBSYビット、IICACTL1レジスタのCLD0、DAD0ビットです。

2. IICE0 = 0の状態では、このビットの信号は無効になります。
3. LRELO, WRELOビットの読み出し値は常に0になります。

注意 SCLA0ラインがハイ・レベル、SDAA0ラインがロウ・レベルの状態かつ、デジタル・フィルタ・オン (IICACTL1レジスタのDFC0 = 1) のときにI<sup>2</sup>Cを動作許可 (IICE0 = 1) した場合、直後にスタート・コンディションを検出してしまいます。I<sup>2</sup>Cを動作許可 (IICE0 = 1) したあと、連続して1ビット・メモリ操作命令により、LRELOをセット (1) してください。

図14-5 IICAコントロール・レジスタ0 (IICACTL0) のフォーマット (2/4)

SPIE0 <sup>注1</sup>	ストップ・コンディション検出による割り込み要求発生 of 許可 / 禁止	
0	禁止	
1	許可	
IICAコントロール・レジスタ1 (IICACTL1) のWUP0 = 1の場合には、SPIE0 = 1にしてもストップ・コンディション割り込みは発生しません。		
クリアされる条件 (SPIE0 = 0)		セットされる条件 (SPIE0 = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

WTIM0 <sup>注1</sup>	ウエイトおよび割り込み要求発生 of 制御	
0	8クロック目の立ち下がり with 割り込み要求発生。 マスタの場合 : 8クロック出力後、クロック出力をロウ・レベルにしたままウエイト スレーブの場合 : 8クロック入力後、クロックをロウ・レベルにしてマスタをウエイト	
1	9クロック目の立ち下がり with 割り込み要求発生。 マスタの場合 : 9クロック出力後、クロック出力をロウ・レベルにしたままウエイト スレーブの場合 : 9クロック入力後、クロックをロウ・レベルにしてマスタをウエイト	
アドレス転送中はこのビット of 設定にかかわらず、9クロック目の立ち下がり with 割り込みが発生します。アドレス転送終了後このビット of 設定が有効になります。またマスタ時、アドレス転送中 is 9クロック of 立ち下がり to ウエイトが入ります。自局アドレスを受信したスレーブは、アクノリッジ (ACK) 発生後の9クロック目の立ち下がり with ウエイトに入ります。ただし拡張コードを受信したスレーブは、8クロック目の立ち下がり with ウエイトに入ります。		
クリアされる条件 (WTIM0 = 0)		セットされる条件 (WTIM0 = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

ACKE0 <sup>注1,2</sup>	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9クロック期間中にSDAA0ラインをロウ・レベルにする。	
クリアされる条件 (ACKE0 = 0)		セットされる条件 (ACKE0 = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

- 注1. IICE0 = 0の状態では、このビット of 信号は無効になります。その期間にビット of 設定を行ってください。
2. アドレス転送中 with、かつ拡張コードでない場合、設定値は無効です。  
スレーブかつアドレスが一致した場合は、設定値に関係なくアクノリッジを生成します。

図14 - 5 IICAコントロール・レジスタ0 (IICACTL0) のフォーマット (3/4)

STT0 <sup>注</sup>	スタート・コンディション・トリガ
0	スタート・コンディションを生成しない。
1	<p>バスが解放されているとき（待機状態，IICBSYが0のとき）： セット（1）すると，スタート・コンディションを生成する（マスタとしての起動）。</p> <p>第三者が通信中のとき：  <ul style="list-style-type: none"> <li>通信予約機能許可の場合（IICRSV = 0） スタート・コンディション予約フラグとして機能する。セット（1）すると，バスが解放されたあと自動的にスタート・コンディションを生成する。</li> <li>通信予約機能禁止の場合（IICRSV = 1） セット（1）してもSTT0ビットはクリアされ，STT0クリア・フラグ（STCF）がセット（1）される。スタート・コンディションは生成しない。</li> </ul> </p> <p>ウエイト状態（マスタ時）： ウエイトを解除してリスタート・コンディションを生成する。</p>
<p>セット・タイミングに関する注意</p> <ul style="list-style-type: none"> <li>マスタ受信の場合：転送中のセット（1）は禁止です。ACKE0 = 0に設定し，受信の最後であることをスレーブに伝えたとのウエイト期間中にだけセット（1）可能です。</li> <li>マスタ送信の場合：アクノリッジ期間中は，正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のウエイト期間中にセット（1）してください。</li> <li>ストップ・コンディション・トリガ（SPT0）と同時セット（1）することは禁止です。</li> <li>STT0ビットをセット（1）後，クリア（0）される前に再度セット（1）することは禁止です。</li> </ul>	
クリアされる条件（STT0 = 0）	セットされる条件（STT0 = 1）
<ul style="list-style-type: none"> <li>通信予約禁止状態でのSTT0ビットのセット（1）</li> <li>アービトレーションに負けたとき</li> <li>マスタでのスタート・コンディション生成</li> <li>LREL0 = 1（通信退避）によるクリア</li> <li>IICE0 = 0（動作停止）のとき</li> <li>リセット時</li> </ul>	<ul style="list-style-type: none"> <li>命令によるセット</li> </ul>

注 IICE0 = 0の状態では，このビットの信号は無効になります。

備考 1. ビット1（STT0）は，データ設定後に読み出すと0になっています。

2. IICRSV : IICAフラグ・レジスタ0 (IICAF0) のビット0

STCF : " のビット7

図14 - 5 IICAコントロール・レジスタ0 (IICACTL0) のフォーマット (4/4)

SPT0	ストップ・コンディション・トリガ	
0	ストップ・コンディションを生成しない。	
1	ストップ・コンディションを生成する(マスタとしての転送終了)。	
セット・タイミングに関する注意 ・マスタ受信の場合：転送中のセット(1)は禁止です。 ACKE0 = 0に設定し、受信の最後であることをスレーブに伝えたあとのウェイト期間中にだけセット(1)可能です。 ・マスタ送信の場合：アクノリッジ期間中は、正常にストップ・コンディションが生成されないことがあります。9クロック出力後のウェイト期間中にセットしてください。 ・スタート・コンディション・トリガ(STT0)と同時にセット(1)することは禁止です。 ・SPT0ビットのセット(1)は、マスタのときのみ行ってください。 ・WTIM0 = 0設定時に、8クロック出力後のウェイト期間中にSPT0ビットをセット(1)すると、ウェイト解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のウェイト期間中にWTIM0 = 0 1に設定し、9クロック目出力後のウェイト期間中にSPT0ビットをセット(1)してください。 ・SPT0ビットをセット(1)後、クリア(0)する前に、再度セット(1)することは禁止です。		
クリアされる条件 (SPT0 = 0)		セットされる条件 (SPT0 = 1)
<ul style="list-style-type: none"> <li>・アービトレーションに負けたとき</li> <li>・ストップ・コンディション検出後、自動的にクリア</li> <li>・LRELO = 1 (通信退避) によるクリア</li> <li>・IICE0 = 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>		<ul style="list-style-type: none"> <li>・命令によるセット</li> </ul>

**注意** IICAステータス・レジスタ0 (IICAS0) のビット3 (TRC0) = 1 (送信状態) のとき、9クロック目に IICACTL0レジスタのビット5 (WRELO) をセット(1)してウェイト解除すると、TRC0ビットをクリア(受信状態)してSDAA0ラインをハイ・インピーダンスにします。TRC0 = 1 (送信状態) におけるウェイト解除は、IICAシフト・レジスタへの書き込みで行ってください。

**備考** ビット0 (SPT0) は、データ設定後に読み出すと0になっています。

## (2) IICAステータス・レジスタ0 (IICAS0)

I<sup>2</sup>Cのステータスを表すレジスタです。

IICAS0は、STT0 = 1およびウエイト期間中のみ、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00Hになります。

**注意** STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可(WUP = 1)状態でのIICAS0レジスタの読み出しは禁止です。WUP = 1の状態から、INTIICA0割り込み要求と関係なくWUPビットを1 0(ウエイク・アップ動作停止)に変更した場合には、次のスタート・コンディション/ストップ・コンディション検出までは状態が反映されません。そのため、ウエイク・アップ機能を使用する場合には必ずストップ・コンディション検出による割り込みを許可(SPIE0 = 1)して割り込み検出後にIICAS0レジスタを読み出してください。

**備考** STT0 : IICAコントロール・レジスタ0 (IICACTL0) のビット1  
WUP : IICAコントロール・レジスタ1 (IICACTL1) のビット7

図14 - 6 IICAステータス・レジスタ0 (IICAS0) のフォーマット (1/3)

アドレス : FFAAH      リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
IICAS0	MSTS0	ALD0	EXC0	COI0	TRC0	ACKD0	STD0	SPD0

MSTS0	マスタの状態	
0	スレーブ状態または通信待機状態。	
1	マスタ通信状態。	
クリアされる条件 (MSTS0 = 0)		
<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> <li>・ALD0 = 1 (アービトレーション負け) のとき</li> <li>・LREL0 = 1 (通信退避) によるクリア</li> <li>・IICE0 = 1 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>		
セットされる条件 (MSTS0 = 1)		
<ul style="list-style-type: none"> <li>・スタート・コンディション生成時</li> </ul>		

ALD0	アービトレーション負け検出	
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。	
1	アービトレーションに負けた状態。MSTS0ビットがクリアされる。	
クリアされる条件 (ALD0 = 0)		
<ul style="list-style-type: none"> <li>・IICAS0レジスタ読み出し後、自動的にクリア<sup>注</sup></li> <li>・IICE0 = 1 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>		
セットされる条件 (ALD0 = 1)		
<ul style="list-style-type: none"> <li>・アービトレーションに負けたとき</li> </ul>		

**注** IICAS0レジスタのほかのビットに対し1ビット・メモリ操作命令を実行した場合もクリアされます。したがって、ALD0ビット使用時は、ほかのビットよりも先にデータをリードしてください。

**備考** LREL0 : IICAコントロール・レジスタ0 (IICACTL0) のビット6  
IICE0 : " のビット7



図14 - 6 IICAステータス・レジスタ0 (IICAS0) のフォーマット (2/3)

EXC0	拡張コード受信検出	
0	拡張コードを受信していない。	
1	拡張コードを受信している。	
クリアされる条件 (EXC0 = 0)		セットされる条件 (EXC0 = 1)
<ul style="list-style-type: none"> <li>・スタート・コンディション検出時</li> <li>・ストップ・コンディション検出時</li> <li>・LREL0 = 1 (通信退避) によるクリア</li> <li>・IICE0 = 1 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>		<ul style="list-style-type: none"> <li>・受信したアドレス・データの上位4ビットが“0000”または“1111”のとき (8クロック目の立ち上がりでセット)</li> </ul>

COI0	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
クリアされる条件 (COI0 = 0)		セットされる条件 (COI0 = 1)
<ul style="list-style-type: none"> <li>・スタート・コンディション検出時</li> <li>・ストップ・コンディション検出時</li> <li>・LREL0 = 1 (通信退避) によるクリア</li> <li>・IICE0 = 1 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>		<ul style="list-style-type: none"> <li>・受信アドレスが自局アドレス (スレーブ・アドレス・レジスタ0 (SVA0)) と一致したとき (8クロック目の立ち上がりでセット)</li> </ul>

TRC0	送信 / 受信状態検出	
0	受信状態 (送信状態以外)。SDAA0ラインをハイ・インピーダンスにする。	
1	送信状態。SDAA0ラインにSO0ラッチの値が出力できるようにする (1バイト目の9クロック目の立ち下がり以降有効)。	
クリアされる条件 (TRC0 = 0)		セットされる条件 (TRC0 = 1)
<p>&lt; マスタ, スレーブ共通 &gt;</p> <ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> <li>・LREL0 = 1 (通信退避) によるクリア</li> <li>・IICE0 = 1 0 (動作停止) のとき</li> <li>・WREL0 = 1 (ウェイト解除) によるクリア<sup>注</sup></li> <li>・ALD0 = 0 1 (アービトラージン負け) のとき</li> <li>・リセット時</li> <li>・通信不参加の場合 (MSTS0, EXC0, COI0 = 0)</li> </ul> <p>&lt; マスタの場合 &gt;</p> <ul style="list-style-type: none"> <li>・1バイト目のLSB (転送方向指定ビット) に“1”を出力したとき</li> </ul> <p>&lt; スレーブの場合 &gt;</p> <ul style="list-style-type: none"> <li>・スタート・コンディション検出時</li> <li>・1バイト目のLSB (転送方向指定ビット) に“0”を入力したとき</li> </ul>		<p>&lt; マスタの場合 &gt;</p> <ul style="list-style-type: none"> <li>・スタート・コンディション生成時</li> <li>・1バイト目 (アドレス転送時) のLSB (転送方向指定ビット) に“0” (マスタ送信) を出力したとき</li> </ul> <p>&lt; スレーブの場合 &gt;</p> <ul style="list-style-type: none"> <li>・マスタからの1バイト目 (アドレス転送時) のLSB (転送方向指定ビット) に“1” (スレーブ送信) が入力されたとき</li> </ul>

**注** IICAステータス・レジスタ0 (IICAS0) のビット3 (TRC0) = 1 (送信状態) のとき、9クロック目にIICAコントロール・レジスタ0 (IICACTL0) のビット5 (WREL0) をセット (1) してウェイトを解除すると、TRC0をクリア (受信状態) してSDAA0ラインをハイ・インピーダンスにします。TRC0 = 1 (送信状態) におけるウェイト解除は、IICAシフト・レジスタへの書き込みで行ってください。

**備考** LREL0 : IICAコントロール・レジスタ0 (IICACTL0) のビット6  
IICE0 : " " のビット7

図14 - 6 IICAステータス・レジスタ0 (IICAS0) のフォーマット (3/3)

ACKD0	アクノリッジ (ACK) 検出	
0	アクノリッジを検出していない。	
1	アクノリッジを検出している。	
	クリアされる条件 (ACKD0 = 0)	セットされる条件 (ACKD0 = 1)
	<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> <li>・次のバイトの1クロック目の立ち上がり時</li> <li>・LREL0 = 1 (通信退避) によるクリア</li> <li>・IICE0 = 1 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>	<ul style="list-style-type: none"> <li>・SCLA0ラインの9クロック目の立ち上がり時にSDAA0ラインがロウ・レベルであったとき</li> </ul>

STD0	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。	
	クリアされる条件 (STD0 = 0)	セットされる条件 (STD0 = 1)
	<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> <li>・アドレス転送後の次のバイトの1クロック目の立ち上がり時</li> <li>・LREL0 = 1 (通信退避) によるクリア</li> <li>・IICE0 = 1 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>	<ul style="list-style-type: none"> <li>・スタート・コンディション検出時</li> </ul>

SPD0	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出している。マスタでの通信が終了し、バスが解放されている。	
	クリアされる条件 (SPD0 = 0)	セットされる条件 (SPD0 = 1)
	<ul style="list-style-type: none"> <li>・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時</li> <li>・IICE0 = 1 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>	<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> </ul>

備考 LREL0 : IICAコントロール・レジスタ0 (IICACTL0) のビット6  
IICE0 : " のビット7

### (3) IICAフラグ・レジスタ0 (IICAF0)

$I^2C$ の動作モードの設定と、 $I^2C$ バスの状態を表すレジスタです。

IICAF0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、STT0クリア・フラグ (STCF)、 $I^2C$ バス状態フラグ (IICBSY) は読み出しのみ可能です。

IICRSVビットにより、通信予約機能の禁止/許可を設定します。

またSTCENビットにより、IICBSYビットの初期値を設定します。

IICRSV、STCENビットは $I^2C$ が動作禁止 (IICAコントロール・レジスタ0 (IICACTL0) のビット7 (IICE0) = 0) のときのみ書き込み可能です。動作許可後、IICAF0レジスタは読み出し可能となります。

リセット信号の発生により、00Hになります。

図14-7 IICAフラグ・レジスタ0 (IICAF0) のフォーマット

アドレス：FFA9H リセット時：00H R/W<sup>注</sup>

略号	7	6	5	4	3	2	1	0
IICAF0	STCF	IICBSY	0	0	0	0	STCEN	IICRSV

STCF	STT0クリア・フラグ
0	スタート・コンディション発行。
1	スタート・コンディション発行できず，STT0フラグ・クリア。
クリアされる条件 (STCF = 0)	
<ul style="list-style-type: none"> <li>・ STT0 = 1によるクリア</li> <li>・ IICE0 = 0 (動作停止) のとき</li> <li>・ リセット時</li> </ul>	
セットされる条件 (STCF = 1)	
<ul style="list-style-type: none"> <li>・ 通信予約禁止 (IICRSV = 1) 設定時にスタート・コンディション発行できず，STT0ビットがクリア (0) されたとき</li> </ul>	

IICBSY	I <sup>2</sup> Cバス状態フラグ
0	バス解放状態 (STCEN = 1時の通信初期状態)。
1	バス通信状態 (STCEN = 0時の通信初期状態)。
クリアされる条件 (IICBSY = 0)	
<ul style="list-style-type: none"> <li>・ ストップ・コンディション検出時</li> <li>・ IICE0 = 0 (動作停止) のとき</li> <li>・ リセット時</li> </ul>	
セットされる条件 (IICBSY = 1)	
<ul style="list-style-type: none"> <li>・ スタート・コンディション検出時</li> <li>・ STCEN = 0時のIICE0ビットのセット</li> </ul>	

STCEN	初期スタート許可トリガ
0	動作許可 (IICE0 = 1) 後，ストップ・コンディションの検出により，スタート・コンディションを生成許可。
1	動作許可 (IICE0 = 1) 後，ストップ・コンディションを検出せずに，スタート・コンディションを生成許可。
クリアされる条件 (STCEN = 0)	
<ul style="list-style-type: none"> <li>・ 命令によるクリア</li> <li>・ スタート・コンディション検出時</li> <li>・ リセット時</li> </ul>	
セットされる条件 (STCEN = 1)	
<ul style="list-style-type: none"> <li>・ 命令によるセット</li> </ul>	

IICRSV	通信予約機能禁止ビット
0	通信予約許可。
1	通信予約禁止。
クリアされる条件 (IICRSV = 0)	
<ul style="list-style-type: none"> <li>・ 命令によるクリア</li> <li>・ リセット時</li> </ul>	
セットされる条件 (IICRSV = 1)	
<ul style="list-style-type: none"> <li>・ 命令によるセット</li> </ul>	

注 ビット6, 7はRead onlyです。

注意1. STCENビットへの書き込みは動作停止 (IICE0 = 0) 時のみ行ってください。

2. STCEN = 1とした場合，実際のバス状態にかかわらずバス解放状態 (IICBSY = 0) と認識しますので，1回目のスタート・コンディションを発行 (STT0 = 1) する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。

3. IICRSVビットへの書き込みは動作停止 (IICE0 = 0) 時のみ行ってください。

備考 STT0 : IICAコントロール・レジスタ0 (IICACTL0) のビット1  
 IICE0 : " のビット7

## (4) IICAコントロール・レジスタ1 (IICACTL1)

I<sup>2</sup>Cの動作モードの設定やSCLA0, SDAA0端子状態を検出するためのレジスタです。

IICACTL1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、CLD0、DAD0ビットは読み出しのみ可能です。

IICACTL1レジスタは、WUPを除きI<sup>2</sup>Cが動作禁止 (IICAコントロール・レジスタ0 (IICACTL0) のビット7 (IICE0) = 0) のときに設定してください。

リセット信号の発生により、00Hになります。

図14-8 IICAコントロール・レジスタ1 (IICACTL1) のフォーマット (1/2)

アドレス : FFA8H      リセット時 : 00H   R/W<sup>※1</sup>

略号	7	6	5	4	3	2	1	0
IICACTL1	WUP	0	CLD0	DAD0	SMC0	DFC0	0	0

WUP	アドレス一致ウエイク・アップの制御
0	STOPモード状態時のアドレス一致ウエイク・アップ機能動作停止
1	STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可
<p>WUP = 1でSTOPモードに移行する場合は、WUPビットをセット (1) して3クロック以上経過後にSTOP命令を実行してください (図14-23 WUP = 1を設定する場合のフロー参照)。</p> <p>アドレス一致、または拡張コード受信後はWUPビットをクリア (0) してください。WUPビットをクリア (0) することで、その後の通信に参加する事ができます (ウエイト解除および送信データ書き込みは、WUPビットをクリア (0) したあとに行う必要があります)。</p> <p>WUP = 1の状態における、アドレス一致および拡張コード受信時の割り込みタイミングは、WUP = 0の場合の割り込みタイミングと同じです (クロックによるサンプリング誤差分の遅延差は生じます)。また、WUP = 1の場合には、SPIE0 = 1にしてもストップ・コンディション割り込みは発生しません。</p>	
クリアされる条件 (WUP = 0)	セットされる条件 (WUP = 1)
・命令によるクリア (アドレス一致もしくは拡張コード受信後)	・命令によるセット (MSTS0, EXC0, COI0が "0" であり、STD0も "0" (通信に不参加である事) のとき) <sup>※2</sup>

- 注1. ビット4, 5はRead Onlyです。
2. 次に示す期間に、IICAS0の状態を確認しセットする必要があります。

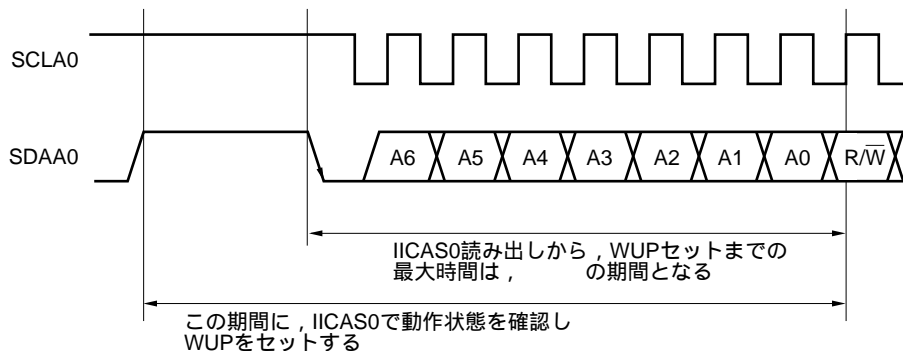


図14-8 IICAコントロール・レジスタ1 (IICACTL1) のフォーマット (2/2)

CLD0	SCLA0端子のレベル検出 (IICE0 = 1のときのみ有効)	
0	SCLA0端子がロウ・レベルであることを検出	
1	SCLA0端子がハイ・レベルであることを検出	
クリアされる条件 (CLD0 = 0)		セットされる条件 (CLD0 = 1)
<ul style="list-style-type: none"> <li>・ SCLA0端子がロウ・レベルのとき</li> <li>・ IICE0 = 0 (動作停止) のとき</li> <li>・ リセット時</li> </ul>		<ul style="list-style-type: none"> <li>・ SCLA0端子がハイ・レベルのとき</li> </ul>

DAD0	SDAA0端子のレベル検出 (IICE0 = 1のときのみ有効)	
0	SDAA0端子がロウ・レベルであることを検出	
1	SDAA0端子がハイ・レベルであることを検出	
クリアされる条件 (DAD0 = 0)		セットされる条件 (DAD0 = 1)
<ul style="list-style-type: none"> <li>・ SDAA0端子がロウ・レベルのとき</li> <li>・ IICE0 = 0 (動作停止) のとき</li> <li>・ リセット時</li> </ul>		<ul style="list-style-type: none"> <li>・ SDAA0端子がハイ・レベルのとき</li> </ul>

SMC0	動作モードの切り替え	
0	標準モードで動作	
1	ファースト・モードで動作	

DFC0	デジタル・フィルタの動作の制御	
0	デジタル・フィルタ・オフ	
1	デジタル・フィルタ・オン	
<p>デジタル・フィルタは、ファースト・モード時にのみ使用できます。</p> <p>ファースト・モード時はDFC0のセット (1) / クリア (0) により、転送クロックが変化することはありません。</p> <p>デジタル・フィルタは、ファースト・モード時にノイズ除去のために使用します。</p>		

**備考** IICE0 : IICAコントロール・レジスタ0 (IICACTL0) のビット7

**(5) IICAロウ・レベル幅設定レジスタ (IICWL)**

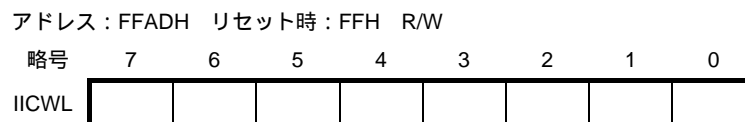
シリアル・インタフェースIICAが、マスタ時に出力するSCLA0端子信号のロウ・レベル幅 ( $t_{LOW}$ ) を設定するレジスタです。

IICWLレジスタは、8ビット・メモリ操作命令で設定します。

IICWLレジスタは、 $I^2C$ が動作禁止 (IICAコントロール・レジスタ0 (IICACTL0) のビット7 (IICE0) = 0) のときに設定してください。

リセット信号の発生により、FFHになります。

図14 - 9 IICAロウ・レベル幅設定レジスタ (IICWL) のフォーマット

**(6) IICAハイ・レベル幅設定レジスタ (IICWH)**

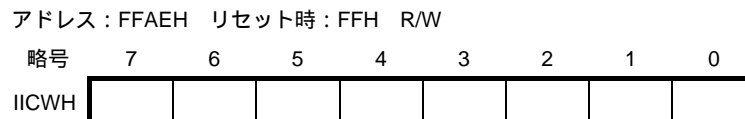
シリアル・インタフェースIICAが、マスタ時に出力するSCLA0端子信号のハイ・レベル幅 ( $t_{HIGH}$ ) を設定するレジスタです。

IICWHレジスタは、8ビット・メモリ操作命令で設定します。

IICWHレジスタは、 $I^2C$ が動作禁止 (IICAコントロール・レジスタ0 (IICACTL0) のビット7 (IICE0) = 0) のときに設定してください。

リセット信号の発生により、FFHになります。

図14 - 10 IICAハイ・レベル幅設定レジスタ (IICWH) のフォーマット



**備考** IICWL, IICWHレジスタによる転送クロックの設定方法は、15. 4. 2 IICWL, IICWHレジスタによる転送クロック設定方法を参照してください。

## (7) ポート入力モード・レジスタ6 (PIM6)

P60, P61の入力バッファを1ビット単位で設定するレジスタです。I<sup>2</sup>C通信で、SMBus規格に準拠した入力を使用する場合は、PIM60, PIM61に1を設定してください。

PIM6レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14 - 11 ポート入力モード・レジスタ6 (PIM6) のフォーマット

アドレス：FF3EH    リセット時：00H    R/W

略号	7	6	5	4	3	2	1	0
PIM6	0	0	0	0	0	0	PIM61	PIM60

PIM6n	P6n端子の入力バッファの選択 (n = 0, 1)
0	通常入力 (シュミット) バッファ
1	SMBus入力バッファ

## (8) ポート出力モード・レジスタ6 (POM6)

P60, P61の出力モードを1ビット単位で設定するレジスタです。I<sup>2</sup>C通信時には、POM60, POM61に1を設定してください。

POM6レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14 - 12 ポート出力モード・レジスタ6 (POM6) のフォーマット

アドレス：FF2AH    リセット時：00H    R/W

略号	7	6	5	4	3	2	1	0
POM6	0	0	0	0	0	0	POM61	POM60

POM6n	P6n端子の出力モードの選択 (n = 0, 1)
0	通常出力 (CMOS出力) モード
1	N-chオープン・ドレイン出力 (V <sub>DD</sub> 耐圧) モード

## (9) ポート・モード・レジスタ6 (PM6)

ポート6の入力 / 出力を1ビット単位で設定するレジスタです。

P60/SCLA0/TxD6端子をクロック入出力，P61/SDAA0/RxD6端子をシリアル・データ入出力として使用するとき，PM60, PM61に0を，P60, P61の出力ラッチに1を設定してください。

PM6レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

図14 - 13 ポート・モード・レジスタ6 (PM6) のフォーマット

アドレス：FF26H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM6	1	1	1	1	1	1	PM61	PM60

PM6n	P6n端子の入出力モードの選択 (n = 0-3)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)



## 14.4 I<sup>2</sup>Cバス・モードの機能

### 14.4.1 端子構成

シリアル・クロック端子 (SCLA0) と、シリアル・データ・バス端子 (SDAA0) の構成は、次のようになっています。

(1) SCLA0.....シリアル・クロックを入出力するための端子。

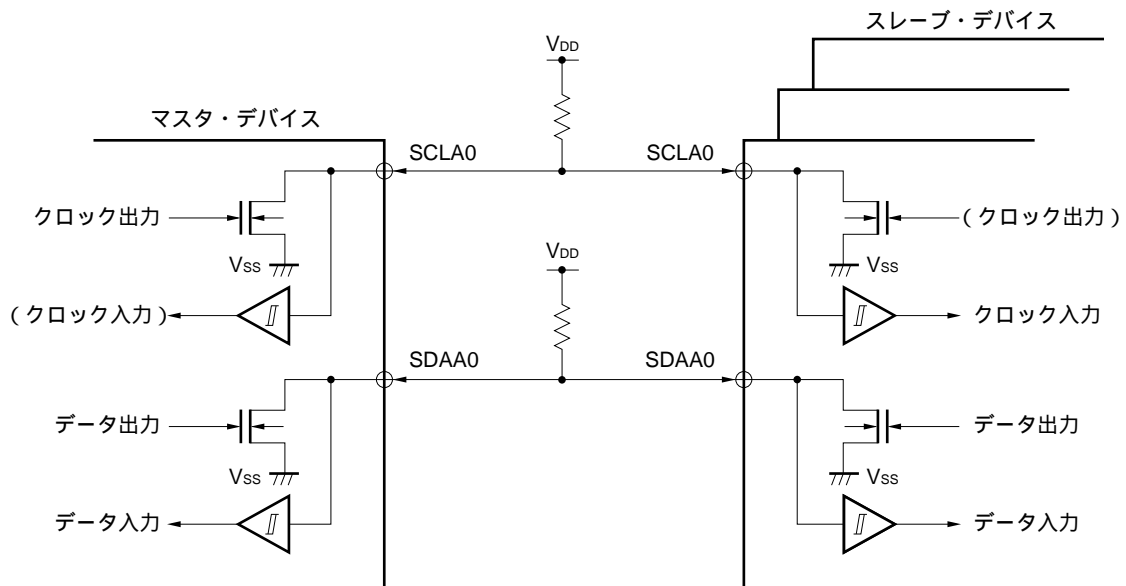
マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

(2) SDAA0.....シリアル・データの入出力兼用端子。

マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図14 - 14 端子構成図



## 14. 4. 2 IICWL, IICWHレジスタによる転送クロック設定方法

### (1) マスタ側の転送クロック設定方法

$$\text{転送クロック} = \frac{f_{\text{PRS}}}{\text{IICWL} + \text{IICWH} + f_{\text{PRS}} (t_{\text{R}} + t_{\text{F}})}$$

このとき、最適なIICWLとIICWHの設定値は次のようになります。

(設定値はすべて小数点以下切り上げ)

・ファースト・モード時

$$\text{IICWL} = \frac{0.52}{\text{転送クロック}} \times f_{\text{PRS}}$$

$$\text{IICWH} = \left( \frac{0.48}{\text{転送クロック}} - t_{\text{R}} - t_{\text{F}} \right) \times f_{\text{PRS}}$$

・標準モード時

$$\text{IICWL} = \frac{0.47}{\text{転送クロック}} \times f_{\text{PRS}}$$

$$\text{IICWH} = \left( \frac{0.53}{\text{転送クロック}} - t_{\text{R}} - t_{\text{F}} \right) \times f_{\text{PRS}}$$

### (2) スレーブ側のIICWL, IICWH設定方法

(設定値はすべて小数点以下切り上げ)

・ファースト・モード時

$$\text{IICWL} = 1.3 \mu\text{s} \times f_{\text{PRS}}$$

$$\text{IICWH} = (1.2 \mu\text{s} - t_{\text{R}} - t_{\text{F}}) \times f_{\text{PRS}}$$

・標準モード時

$$\text{IICWL} = 4.7 \mu\text{s} \times f_{\text{PRS}}$$

$$\text{IICWH} = (5.3 \mu\text{s} - t_{\text{R}} - t_{\text{F}}) \times f_{\text{PRS}}$$

**注意** 転送クロックを設定する場合は、 $f_{\text{PRS}}$ の最低動作周波数に注意してください。シリアル・インタフェースIICAはモードによって $f_{\text{PRS}}$ の最低動作周波数が決められています。

・ファースト・モード時 :  $f_{\text{PRS}} = 3.5 \text{ MHz (MIN.)}$

・標準モード時 :  $f_{\text{PRS}} = 1 \text{ MHz (MIN.)}$

**備考1.** SDA0, SCLA0信号の立ち上がり時間 ( $t_{\text{R}}$ ) と立ち下がり時間 ( $t_{\text{F}}$ ) は、プルアップ抵抗と配線容量によって異なるため、各自で算出してください。

2. IICWL : IICAロウ・レベル幅設定レジスタ

IICWH : IICAハイ・レベル幅設定レジスタ

$t_{\text{F}}$  : SDA0, SCLA0信号の立ち下がり時間 (第27章 電気的特性 ((A) 水準品), 第28章 電気的特性 ((A2) 水準品) 参照)

$t_{\text{R}}$  : SDA0, SCLA0信号の立ち上がり時間 (第27章 電気的特性 ((A) 水準品), 第28章 電気的特性 ((A2) 水準品) 参照)

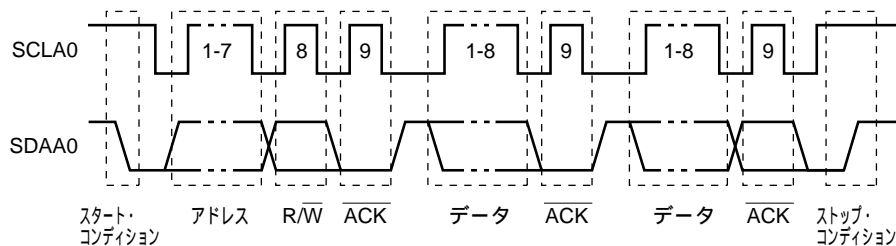
$f_{\text{PRS}}$  : 周辺ハードウェア・クロック周波数

## 14.5 I<sup>2</sup>Cバスの定義および制御方法

I<sup>2</sup>Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I<sup>2</sup>Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”、“アドレス”、“データ”および“ストップ・コンディション”の各転送タイミングを図14 - 15に示します。

図14 - 15 I<sup>2</sup>Cバスのシリアル・データ転送タイミング



スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが生成します。

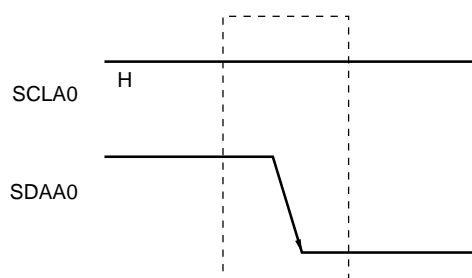
アクノリッジ ( $\overline{\text{ACK}}$ ) は、マスタ、スレーブのどちらでも生成できます（通常、8ビット・データの受信側が出力します）。

シリアル・クロック (SCLA0) は、マスタが出力し続けます。ただし、スレーブはSCLA0のロウ・レベル期間を延長し、ウェイトを挿入できます。

### 14.5.1 スタート・コンディション

SCLA0端子がハイ・レベルのときに、SDAA0端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCLA0端子、SDAA0端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成する信号です。スレーブとして使用する場合は、スタート・コンディションを検出できます。

図14 - 16 スタート・コンディション



スタート・コンディションは、ストップ・コンディション検出状態 (SPD0: IICAステータス・レジスタ0 (IICAS0)のビット0 = 1)のときにIICAコントロール・レジスタ0 (IICACTL0)のビット1 (STT0)をセット (1)すると出力されます。また、スタート・コンディションを検出すると、IICAS0レジスタのビット1 (STD0)がセット (1)されます。

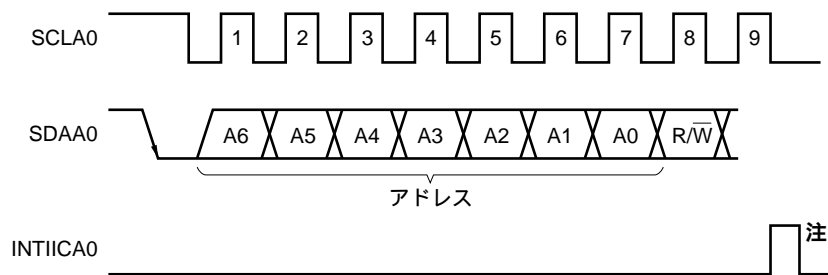
### 14.5.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタ0 (SVA0) と一致しているかを調べます。このとき、7ビット・データとSVA0レジスタの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図14 - 17 アドレス



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICA0は発生しません。

アドレスは、スレーブのアドレスと14.5.3 転送方向指定に説明する転送方向を合わせて8ビットとしてIICAシフト・レジスタ (IICA) に書き込むと出力します。また、受信したアドレスはIICAレジスタに書き込まれます。

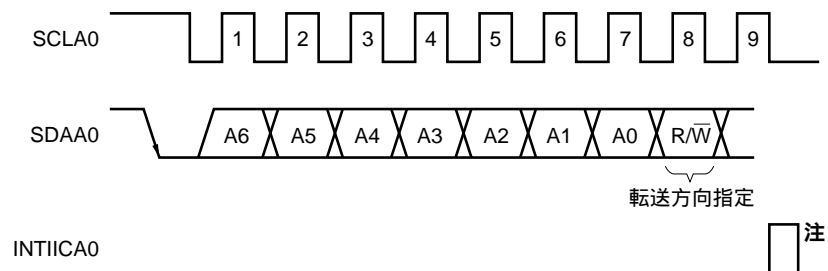
なお、スレーブのアドレスは、IICAレジスタの上位7ビットに割り当てられます。

### 14.5.3 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図14 - 18 転送方向指定



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICA0は発生しません。

#### 14.5.4 アクノリッジ (ACK)

アクノリッジ ( $\overline{\text{ACK}}$ ) によって、送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は、8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。アクノリッジの検出は、IICAステータス・レジスタ0 (IICAS0) のビット2 (ACKD0) で確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

受信が正しく行われていない。

最終データの受信が終わっている。

アドレス指定した受信側が存在しない。

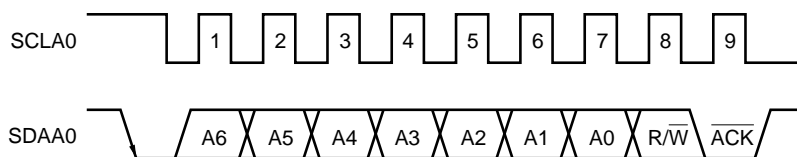
アクノリッジ生成は、受信側が9クロック目にSDAA0ラインをロウ・レベルにすることによって行われます(正常受信)。

IICAコントロール・レジスタ0 (IICACTL0) のビット2 (ACKE0) をセット (1) することによって、アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICAS0レジスタのビット3 (TRC0) が設定されます。受信 (TRC0 = 0) の場合は、通常、ACKE0ビットをセット (1) してください。

スレーブ受信動作時 (TRC0 = 0) にデータを受信できなくなったとき、または次のデータを必要としないときには、ACKE0ビットをクリア (0) し、マスタ側に受信ができないことを示してください。

マスタ受信動作時 (TRC0 = 0) に、次のデータを必要としない場合、アクノリッジを生成しないようにACKE0ビットをクリア (0) してください。これによって、スレーブ送信側にデータの終わりを知らせます (送信停止)。

図14 - 19 アクノリッジ



自局アドレス受信時は、ACKE0ビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は、アクノリッジを生成しません (NACK)。

拡張コード受信時は、あらかじめACKE0ビットをセット (1) しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は、ウエイト・タイミングの設定により次のように異なります。

- ・8クロック・ウエイト選択時 (IICACTL0レジスタのビット3 (WTIM0) = 0) :

ウエイト解除を行う前にACKE0ビットをセット (1) することによって、SCLA0端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。

- ・9クロック・ウエイト選択時 (IICACTL0レジスタのビット3 (WTIM0) = 1) :

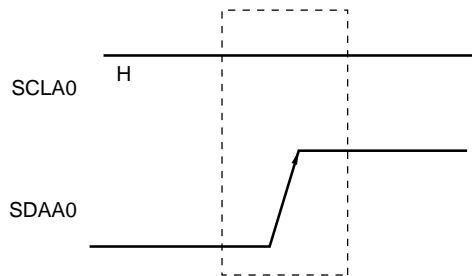
あらかじめACKE0ビットをセット (1) することによって、アクノリッジを生成します。

### 14.5.5 ストップ・コンディション

SCLA0端子がハイ・レベルのときに、SDAA0端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は、ストップ・コンディションを検出できます。

図14 - 20 ストップ・コンディション



ストップ・コンディションは、IICAコントロール・レジスタ0 (IICACTL0) のビット0 (SPT0) をセット (1) すると発生します。また、ストップ・コンディションを検出するとIICAステータス・レジスタ0 (IICAS0) のビット0 (SPD0) がセット (1) され、IICACTL0レジスタのビット4 (SPIE0) がセット (1) されている場合にはINTIICA0が発生します。

### 14.5.6 ウェイト

ウェイトによっては、マスタまたはスレーブがデータの送受信のための準備中（ウェイト状態）であることを相手に知らせます。

SCLA0端子をロウ・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます。

図14 - 21 ウェイト (1/2)

#### (1) マスタは9クロック・ウェイト，スレーブは8クロック・ウェイト時

(マスタ：送信，スレーブ：受信，ACKE0 = 1)

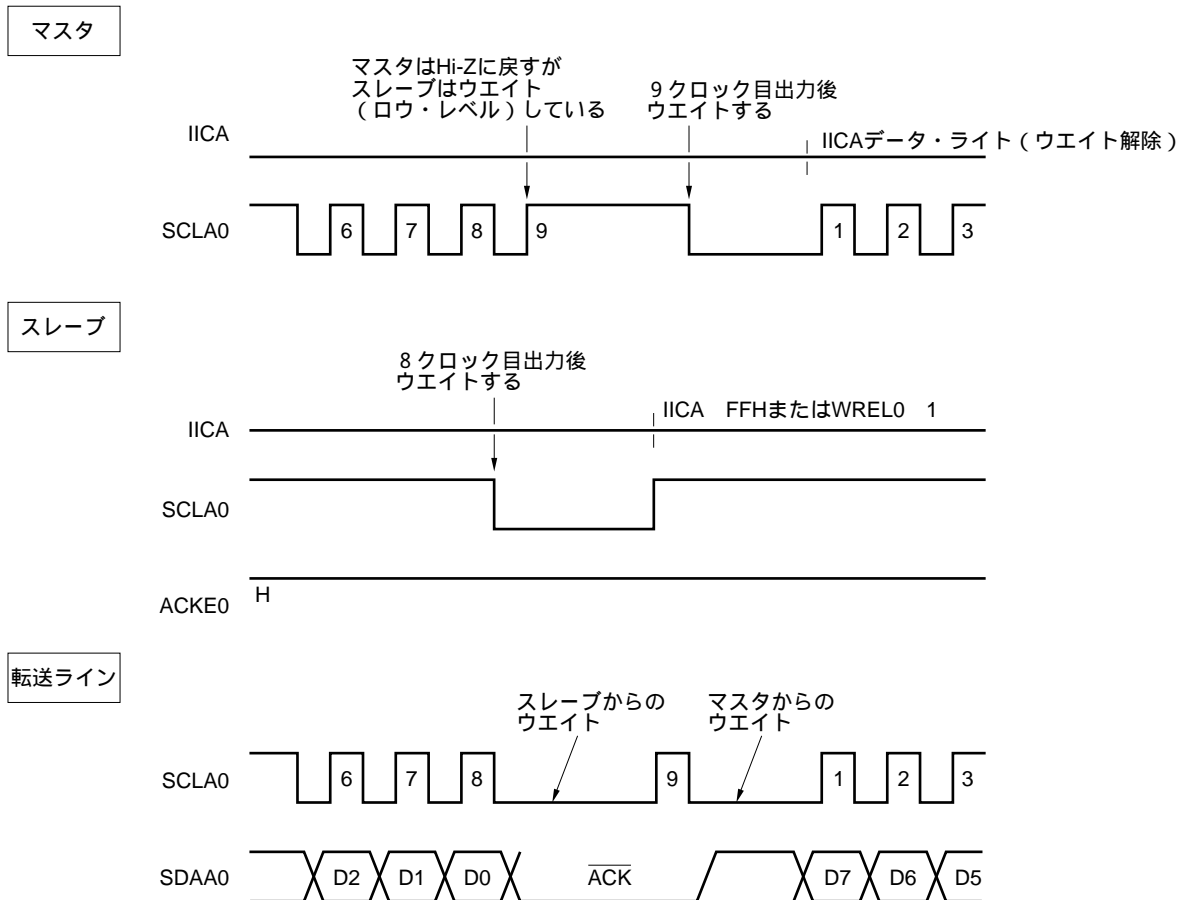
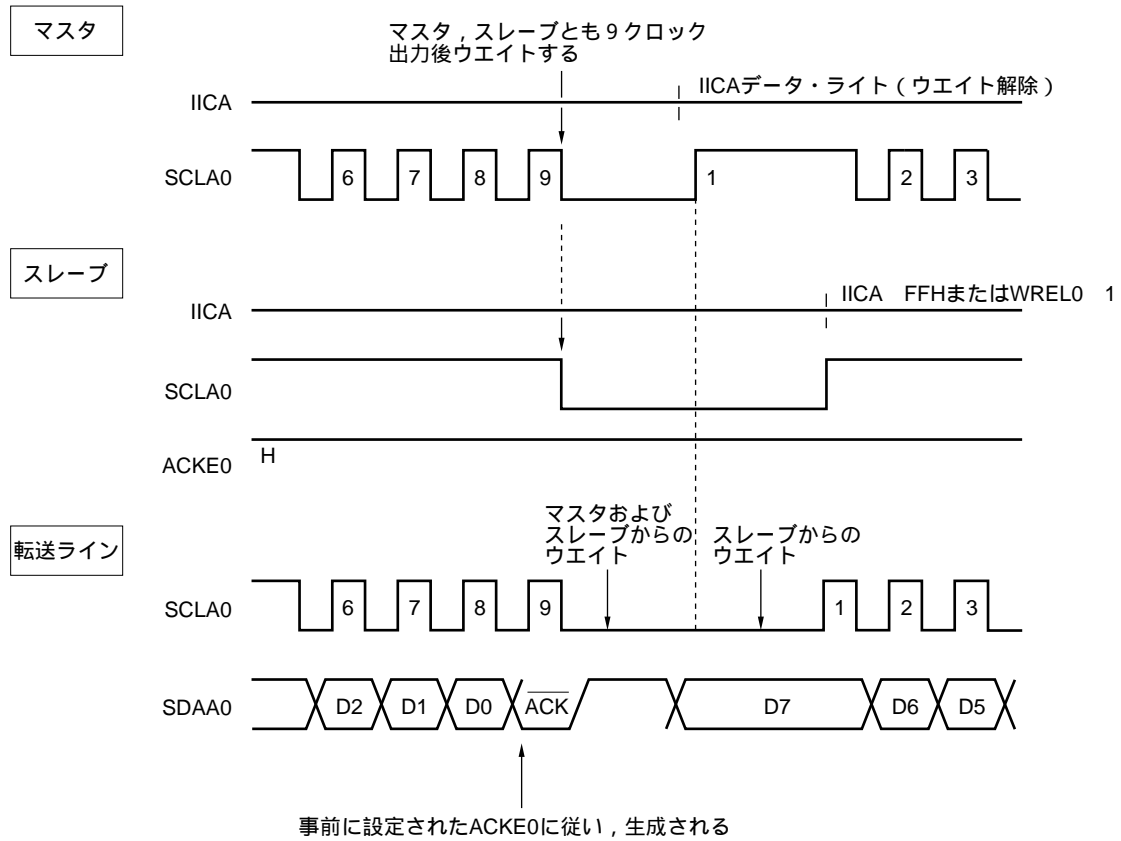


図14 - 21 ウェイト (2/2)

## (2) マスタ, スレーブとも9クロック・ウェイト時

(マスタ: 送信, スレーブ: 受信, ACKE0 = 1)

**備考** ACKE0 : IICAコントロール・レジスタ0 (IICACTL0) のビット2

WRELO : " のビット5

ウェイトは, IICAコントロール・レジスタ0 (IICACTL0) のビット3 (WTIM0) の設定により自動的に発生します。

通常, 受信側はIICACTL0レジスタのビット5 (WRELO) = 1またはIICAシフト・レジスタ (IICA) にFFHを書き込むとウェイトを解除し, 送信側はIICAレジスタにデータを書き込むとウェイトを解除します。

マスタの場合は, 次の方法でもウェイトを解除できます。

- ・ IICACTL0レジスタのビット1 (STT0) = 1
- ・ IICACTL0レジスタのビット0 (SPT0) = 1



### 14.5.7 ウェイト解除方法

I<sup>2</sup>Cでは、通常、次のような処理でウェイトを解除できます。

- ・ IICAシフト・レジスタ (IICA) へのデータ書き込み
- ・ IICAコントロール・レジスタ0 (IICACTL0) のビット5 (WREL0) のセット (ウェイト解除)
- ・ IICACTL0レジスタのビット1 (STT0) のセット (スタート・コンディションの生成)<sup>注</sup>
- ・ IICACTL0レジスタのビット0 (SPT0) のセット (ストップ・コンディションの生成)<sup>注</sup>

**注** マスタのみ。

これらのウェイト解除処理を実行した場合、I<sup>2</sup>Cはウェイトを解除し、通信が再開されます。

ウェイトを解除してデータ (アドレスを含む) を送信する場合には、IICAレジスタにデータを書き込んでください。

ウェイト解除後にデータを受信する場合、またはデータ送信を完了する場合には、IICAコントロール・レジスタ0 (IICACTL0) のビット5 (WREL0) をセット (1) してください。

ウェイト解除後にリスタート・コンディションを生成する場合には、IICACTL0レジスタのビット1 (STT0) をセット (1) してください。

ウェイト解除後にストップ・コンディションを生成する場合には、IICACTL0レジスタのビット0 (SPT0) をセット (1) してください。

1回のウェイト状態に対して1回だけ解除処理を実行してください。

たとえば、WREL0ビットにセット (1) によるウェイト解除後、IICAレジスタへのデータ書き込みを実施した場合には、SDAA0ラインの変化タイミングとIICAへの書き込みタイミングの競合により、SDAA0ラインへの出力データが間違った値になる可能性があります。

このような処理以外でも、通信を途中で中止した場合には、IICE0ビットをクリア (0) すると通信を停止するので、ウェイトを解除できます。

I<sup>2</sup>Cバスの状態がノイズなどによりデッド・ロックしてしまった場合には、IICACTL0レジスタのビット6 (LREL0) をセット (1) すると通信から退避するので、ウェイトを解除できます。

**注意** WUP (IICAコントロール・レジスタ1 (IICACTL1) のビット7) = 1のときにウェイト解除処理を実行した場合、ウェイトは解除されません。

### 14.5.8 割り込み要求 (INTIICA0) 発生タイミングおよびウェイト制御

IICAコントロール・レジスタ0 (IICACTL0) のビット3 (WTIM0) の設定で、表14 - 2に示すタイミングでINTIICA0が発生し、また、ウェイト制御を行います。

表14 - 2 INTIICA0発生タイミングおよびウェイト制御

WTIM0	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 <sup>注1,2</sup>	8 <sup>注2</sup>	8 <sup>注2</sup>	9	8	8
1	9 <sup>注1,2</sup>	9 <sup>注2</sup>	9 <sup>注2</sup>	9	9	9

- 注1. スレーブのINTIICA0信号およびウェイトは、スレーブ・アドレス・レジスタ0 (SVA0) に設定しているアドレスと一致したときにのみ、9クロック目の立ち下がりが発生します。  
また、このとき、IICACTL0レジスタのビット2 (ACKE0) の設定にかかわらず、アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりINTIICA0が発生します。ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりINTIICA0が発生しますが、ウェイトは発生しません。
2. スレーブ・アドレス・レジスタ0 (SVA0) と受信したアドレスが一致せず、かつ拡張コードを受信していない場合は、INTIICA0もウェイトも発生しません。

**備考** 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、ウェイト制御ともにシリアル・クロックの立ち下がりに同期します。

#### (1) アドレス送受信時

- ・スレーブ動作時：WTIM0ビットにかかわらず、上記の注1, 2の条件により、割り込みおよびウェイト・タイミングが決まります。
- ・マスタ動作時：WTIM0ビットにかかわらず、割り込みおよびウェイト・タイミングは、9クロック目の立ち下がり発生します。

#### (2) データ受信時

- ・マスタ/スレーブ動作時：WTIM0ビットにより、割り込みおよびウェイト・タイミングが決まります。

#### (3) データ送信時

- ・マスタ/スレーブ動作時：WTIM0ビットにより、割り込みおよびウェイト・タイミングが決まります。

#### (4) ウェイト解除方法

ウェイトの解除方法には次の4つがあります。

- ・ IICAシフト・レジスタ (IICA) へのデータ書き込み
- ・ IICAコントロール・レジスタ0 (IICACTL0) のビット5 (WREL0) のセット (ウェイト解除)
- ・ IICACTL0レジスタのビット1 (STT0) のセット (スタート・コンディションの生成)<sup>注</sup>
- ・ IICACTL0レジスタのビット0 (SPT0) のセット (ストップ・コンディションの生成)<sup>注</sup>

注 マスタのみ。

8クロック・ウェイト選択 (WTIM0 = 0) 時は、ウェイト解除前にアクノリッジの生成の有無を決定する必要があります。

#### (5) ストップ・コンディション検出

INTIICA0は、ストップ・コンディションを検出すると発生します (SPIE0 = 1のときのみ)。

### 14. 5. 9 アドレスの一致検出方法

I<sup>2</sup>Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致は、ハードウェアで自動的に検出できます。スレーブ・アドレス・レジスタ0 (SVA0) に自局アドレスを設定した場合、マスタから送信されたスレーブ・アドレスとSVA0レジスタに設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIICA0割り込み要求が発生します。

### 14. 5. 10 エラーの検出

I<sup>2</sup>Cバス・モードでは、送信中のシリアル・バス (SDAA0) の状態が、送信しているデバイスのIICAシフト・レジスタ (IICA) にも取り込まれるため、送信開始前と送信終了後のIICAデータを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

### 14.5.11 拡張コード

(1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ (EXC0) をセット (1) し、8クロック目の立ち下がりでの割り込み要求 (INTIICA0) を発生します。

スレーブ・アドレス・レジスタ0 (SVA0) に格納された自局アドレスは影響しません。

(2) 10ビット・アドレス転送で、SVA0レジスタに“11110xx0”を設定し、マスタから“11110xx0”が転送されてきた場合は、次のようになります。ただし割り込み要求 (INTIICA0) は、8クロック目の立ち下がりでの発生します。

・上位4ビット・データの一致 : EXC0 = 1

・7ビット・データの一致 : COI0 = 1

**備考** EXC0 : IICAステータス・レジスタ0 (IICAS0) のビット5

COI0 : " のビット4

(3) 割り込み要求発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアで行います。

スレーブ動作時に、拡張コードを受信した場合は、アドレス不一致でも通信に参加しています。

たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICAコントロール・レジスタ0 (IICACTL0) のビット6 (LREL0) = 1に設定してください。次の通信待機状態にします。

表14-3 主な拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0000 000	0	ジェネラル・コール・アドレス
1111 0xx	0	10ビット・スレーブ・アドレス指定 (アドレス認証時)
1111 0xx	1	10ビット・スレーブ・アドレス指定 (アドレス一致後、リード・コマンド発行時)

**備考** 上記以外の拡張コードについては、NXP社発行のI<sup>2</sup>Cバスの仕様書を参照してください。

### 14. 5. 12 アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合( STD0 = 1になる前にSTT0 = 1にしたとき), データが異なるまでクロックの調整をしながら, マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは, アービトレーションに負けたタイミングで, IICAステータス・レジスタ0(IICAS0)のアービトレーション負けフラグ(ALD0)をセット(1)し, SCLA0, SDAA0ラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは, 次の割り込み要求発生タイミング(8または9クロック目, ストップ・コンディション検出など)で, ソフトウェアでALD0 = 1になっていることで検出します。

割り込み要求発生タイミングについては, 14. 5. 8 割り込み要求(INTIICA0)の発生タイミングおよびウェイト制御を参照してください。

**備考** STD0 : IICAステータス・レジスタ0(IICAS0)のビット1

STT0 : IICAコントロール・レジスタ0(IICACTL0)のビット1

図14 - 22 アービトレーション・タイミング例

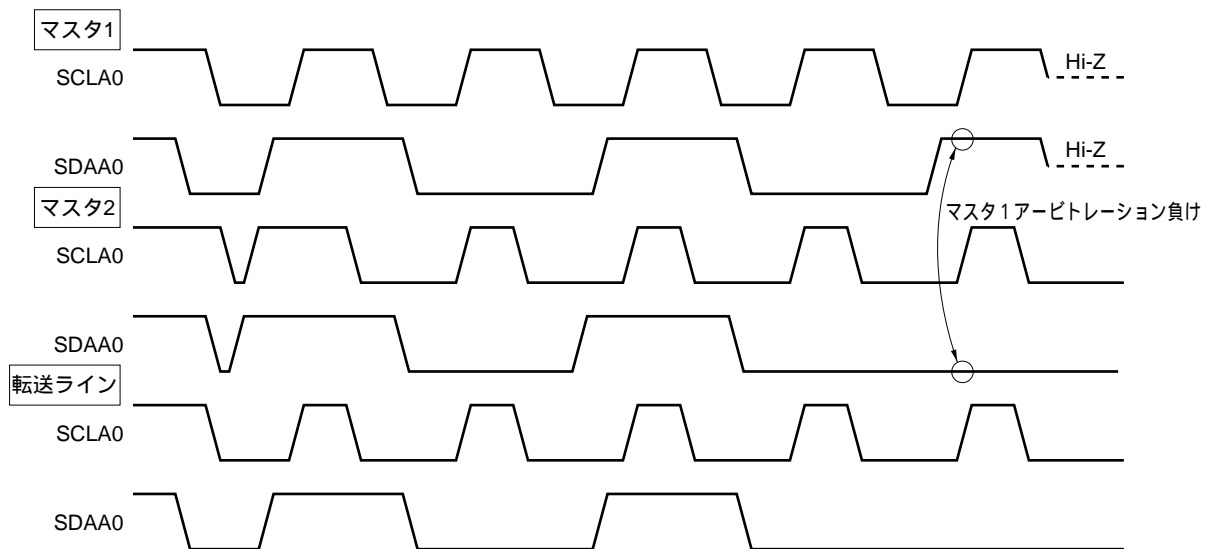


表14-4 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり <sup>注1</sup>
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ送信後のアクノリッジ転送期間中	
データ転送中, リスタート・コンディション検出	
データ転送中, ストップ・コンディション検出	ストップ・コンディション生成時 (SPIE0 = 1時) <sup>注2</sup>
リスタート・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり <sup>注1</sup>
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時 (SPIE0 = 1時) <sup>注2</sup>
ストップ・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり <sup>注1</sup>
リスタート・コンディションを生成しようとしたがSCLA0がロウ・レベル	

注1. WTIM0ビット (IICAコントロール・レジスタ0 (IICACTL0) のビット3) = 1の場合には、9クロック目の立ち下がりタイミングで割り込み要求を発生します。WTIM0 = 0および拡張コードのスレーブ・アドレス受信時には、8クロック目の立ち下がりタイミングで割り込み要求を発生します。

2. アービトレーションが起こる可能性がある場合、マスタ動作ではSPIE0 = 1に設定してください。

備考 SPIE0 : IICAコントロール・レジスタ0 (IICACTL0) のビット 4

### 14.5.13 ウェイク・アップ機能

I<sup>2</sup>Cのスレーブ機能で、自局アドレスと拡張コードを受信したときに割り込み要求信号 (INTIICA0) を発生する機能です。

アドレスが一致しないときは不要なINTIICA0信号を発生せず、効率よく処理できます。

スタート・コンディションを検出すると、ウェイク・アップ待機状態となります。マスタ (スタート・コンディションを生成した場合) でも、アービトレーション負けでスレーブになる可能性があるため、アドレスを送信しながらウェイク・アップ待機状態になります。

ただしストップ・コンディションを検出すると、ウェイク・アップ機能に関係なく、IICAコントロール・レジスタ0 (IICACTL0) のビット4 (SPIE0) の設定によって、割り込み要求の発生許可 / 禁止が決定します。

STOPモード状態時にウェイク・アップ機能を使用する場合には、WUP = 1に設定してください。動作クロックに関係なくアドレス受信を行う事ができます。この場合も、自局アドレスおよび拡張コードを受信したときに割り込み要求信号 (INTIICA0) を発生します。この割り込み発生後に命令でWUPビットをクリア (0) することで通常動作に戻ります。

WUP = 1に設定する場合のフローを図14 - 23に、アドレス一致によりWUP = 0に設定する場合のフローを図14 - 24に示します。

図14 - 23 WUP = 1を設定する場合のフロー

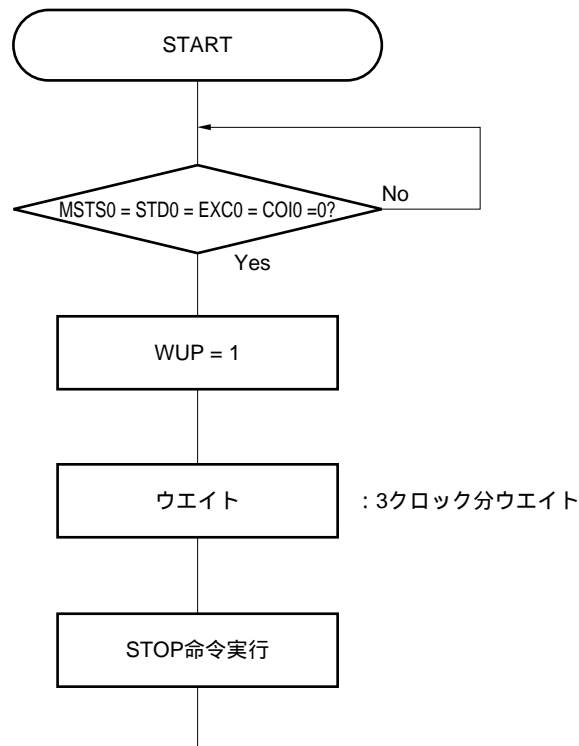
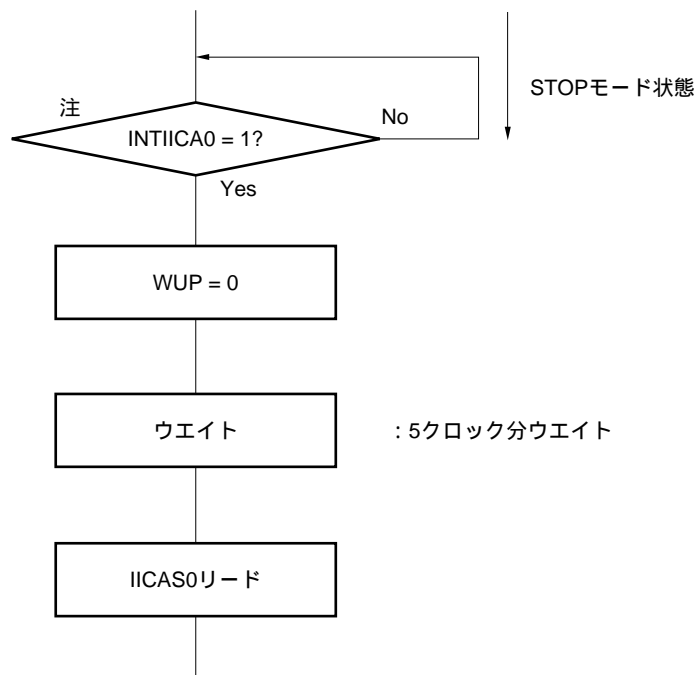


図14 - 24 アドレス一致によりWUP = 0に設定する場合のフロー（拡張コード受信含む）



シリアル・インタフェースIICAの動作状態を確認後、実行したい動作に合わせた処理を実行

注 INTIICA0のベクタ割り込み発生時も同様に以下の処理を行ってください。





### 14.5.14 通信予約

#### (1) 通信予約機能許可の場合 (IICAフラグ・レジスタ0 (IICAF0) のビット0 (IICRSV) = 0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない (アクノリッジを返さず、IICAコントロール・レジスタ0 (IICACTL0) のビット6 (LREL0) = 1で通信退避してバスを解放した) とき

バスに不参加の状態、IICACTL0レジスタのビット1 (STT0) をセット (1) すると、バスが解放されたあと (ストップ・コンディション検出時) に、自動的にスタート・コンディションを生成し、ウエイト状態になります。

IICACTL0レジスタのビット4 (SPIE0) をセット (1) し、割り込み要求信号 (INTIICA0) 発生でバスの解放を検出 (ストップ・コンディション検出) したあと、IICAシフト・レジスタ (IICA) にアドレスを書き込むと、自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に、IICAレジスタに書き込まれたデータは、無効です。

STT0をセット (1) したとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

- ・バスが解放されているとき.....スタート・コンディション生成
- ・バスが解放されていないとき (待機状態) .....通信予約

通信予約として動作するのかどうかは、STT0ビットをセット (1) し、ウエイト時間をとったあと、MSTS0ビット (IICAステータス・レジスタ0 (IICAS0) のビット7) で確認します。

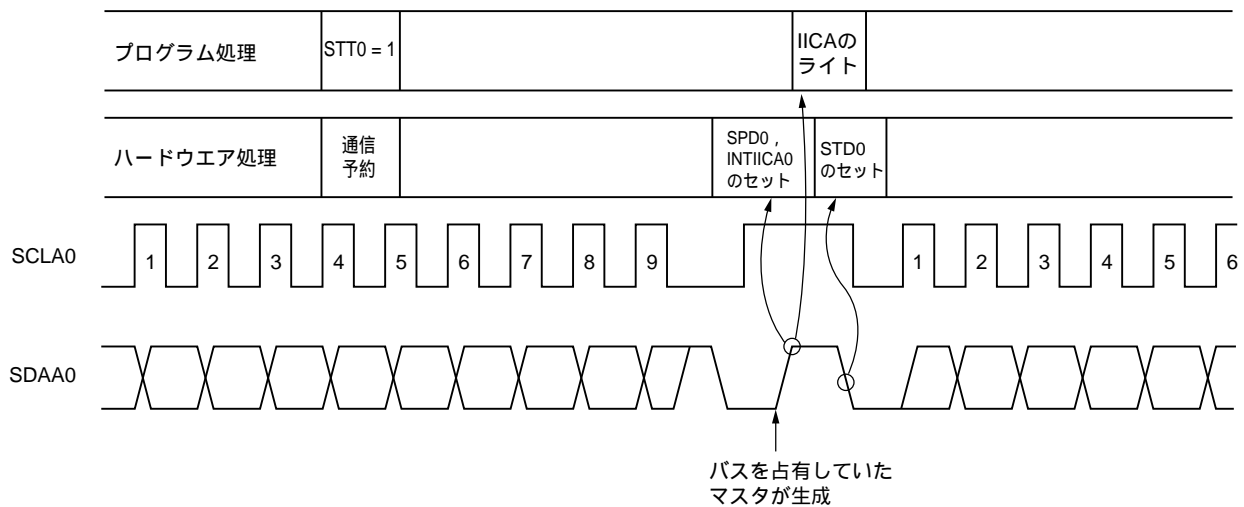
ウエイト時間は、次の式から算出した時間をソフトウェアにより確保してください。

$$\text{STT0} = 1 \text{ から MSTS0 フラグ 確認 までの ウエイト 時間 :} \\ (\text{IICWL の 設定 値} + \text{IICWH の 設定 値} + 4) + t_{\text{F}} \times 2 \times f_{\text{PRS}} \quad [\text{クロック}]$$

- 備考**
- IICWL : IICAロウ・レベル幅設定レジスタ
  - IICWH : IICAハイ・レベル幅設定レジスタ
  - $t_{\text{F}}$  : SDAA0, SCLA0信号の立ち下がり時間 (第27章 電気的特性 (A) 水準品), 第28章 電気的特性 (A2) 水準品) 参照)
  - $f_{\text{PRS}}$  : 周辺ハードウェア・クロック周波数

通信予約のタイミングを図14 - 26に示します。

図14 - 26 通信予約のタイミング



備考 IICA : IICAシフト・レジスタ

STT0 : IICAコントロール・レジスタ0 (IICACTL0) のビット1

STD0 : IICAステータス・レジスタ0 (IICAS0) のビット1

SPD0 : " のビット0

通信予約は図14 - 27に示すタイミングで受け付けられます。IICAステータス・レジスタ0 (IICAS0) のビット1 (STD0) = 1になったあと、ストップ・コンディション検出までにIICAコントロール・レジスタ0 (IICACTL0) のビット1 (STT0) = 1で通信予約をします。

図14 - 27 通信予約受け付けタイミング

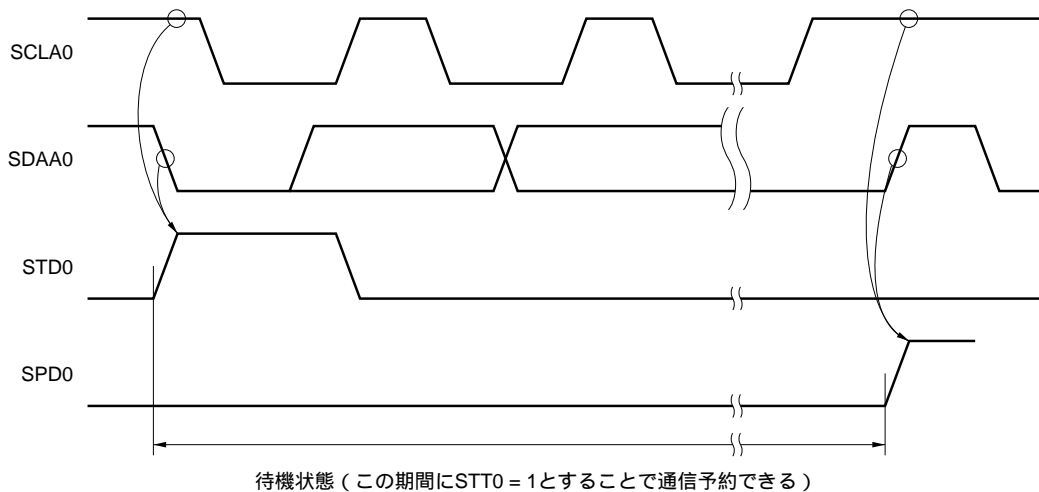
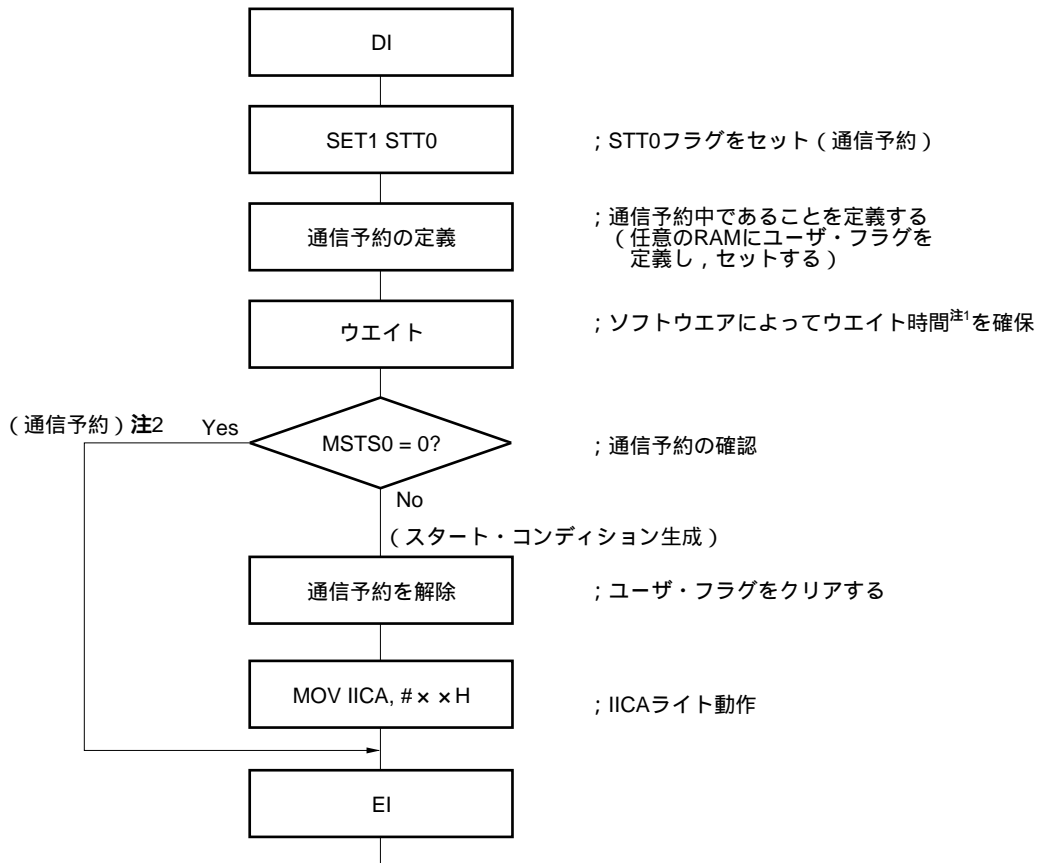


図14 - 28に通信予約の手順を示します。

図14 - 28 通信予約の手順



注1. ウェイト時間は次のようになります。

$$(IICWL\text{の設定値} + IICWH\text{の設定値} + 4) + t_F \times 2 \times f_{PRS} \quad [\text{クロック}]$$

2. 通信予約動作時は、ストップ・コンディション割り込み要求でIICAシフト・レジスタ (IICA) への書き込みを実行します。

**備考** STT0 : IICAコントロール・レジスタ0 (IICACTL0) のビット1

MSTS0 : IICAステータス・レジスタ0 (IICAS0) のビット7

IICA : IICAシフト・レジスタ

IICWL : IICAロウ・レベル幅設定レジスタ

IICWH : IICAハイ・レベル幅設定レジスタ

$t_F$  : SDAA0, SCLA0信号の立ち下がり時間 (第27章 電気的特性 ((A) 水準品), 第28章 電気的特性 ((A2) 水準品) 参照)

$f_{PRS}$  : 周辺ハードウェア・クロック周波数

**(2) 通信予約機能禁止の場合 (IICAフラグ・レジスタ0 (IICAF0) のビット0 (IICRSV) = 1)**

バスが通信中で、この通信に不参加の状態ではIICAコントロール・レジスタ0 (IICACTL0) のビット1 (STT0) をセット (1) すると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない (アクノリッジを返さず、IICACTL0レジスタのビット6 (LREL0) = 1で通信退避してバスを解放した) とき。

スタート・コンディションが生成されたかまたは拒絶されたかは、STCFフラグ (IICAF0のビット7) で確認できます。STT0 = 1としてからSTCFフラグがセット (1) されるまで5クロックの時間がかかりますので、ソフトウェアによりこの時間を確保してください。

### 14.5.15 その他の注意事項

#### (1) STCEN (IICAフラグ・レジスタ0 (IICAF0) のビット1) = 0の場合

I<sup>2</sup>C動作許可 (IICE0 = 1) 直後、実際のバス状態にかかわらず通信状態 (IICBSYフラグ (IICAF0のビット6) = 1) と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。

マルチマスタでは、バスが解放されていない(ストップ・コンディションを検出していない)状態では、マスタ通信を行うことができません。

ストップ・コンディションの生成は次の順番で行ってください。

IICAコントロール・レジスタ1 (IICACTL1) を設定する

IICAコントロール・レジスタ0 (IICACTL0) のビット7 (IICE0) をセット (1) する

IICACTL0のビット0 (SPT0) をセット (1) する

#### (2) STCEN = 1の場合

I<sup>2</sup>C動作許可 (IICE0 = 1) 直後、実際のバス状態にかかわらず解放状態 (IICBSY = 0) と認識しますので、1回目のスタート・コンディションを生成 (STT0 (IICAコントロール・レジスタ0 (IICACTL0) のビット1) = 1) する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

#### (3) すでに他者との間でI<sup>2</sup>C通信が行われている場合

SDAA0端子がロウ・レベルで、かつSCLA0端子がハイ・レベルのときに、I<sup>2</sup>C動作を許可して通信に途中参加すると、I<sup>2</sup>CのマクロはSDAA0端子がハイ・レベルからロウ・レベルに変化したと認識 (スタート・コンディション検出) します。このときにバス上の値が拡張コードと認識できる値の場合は、アクノリッジを返し、他者との間のI<sup>2</sup>C通信を妨害してしまいます。これを回避するために、次の順番でI<sup>2</sup>Cを起動してください。

IICACTL0レジスタのビット4 (SPIE0) をクリア (0) し、ストップ・コンディション検出による割り込み要求信号 (INTIICA0) 発生を禁止する

IICACTL0レジスタのビット7 (IICE0) をセット (1) し、I<sup>2</sup>Cの動作を許可する

スタート・コンディションを検出するまで待つ

アクノリッジを返すまで (IICE0をセット (1) してから、4~80クロック中) に、IICACTL0レジスタのビット6 (LREL0) をセット (1) にし、強制的に検出を無効とする

#### (4) STT0, SPT0ビット (IICACTL0レジスタのビット1, 0) をセットしたあと、クリア (0) される前の再セットは禁止します。

#### (5) 送信予約をした場合には、SPIE0ビット (IICACTL0レジスタのビット4) をセット (1) してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に、IICAシフト・レジスタ (IICA) に通信データを書き込むことによって、転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウェイト状態で停止します。ただし、ソフトウェアでMSTS0ビット (IICAステータス・レジスタ0 (IICAS0) のビット7) を検出する場合には、SPIE0ビットをセット (1) する必要はありません。

### 14. 5. 16 通信動作

ここでは、次の3つの動作手順をフローとして示します。

#### (1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで、マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し、スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

#### (2) マルチマスタ・システムでのマスタ動作

I<sup>2</sup>Cバスのマルチマスタ・システムでは、通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI<sup>2</sup>Cバスの仕様だけでは判断できません。ここでは、一定(1フレーム)期間、データとクロックがハイ・レベルであれば、バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」、「通信待ち」、「通信処理」に分かれています。ここでは、アービトレーションで負けてスレーブに指定された場合の処理は省略し、マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で、マスタとしての通信要求、またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で、スレーブとのデータ送受信以外に、ほかのマスタとのアービトレーションにも対応しています。

#### (3) スレーブ動作

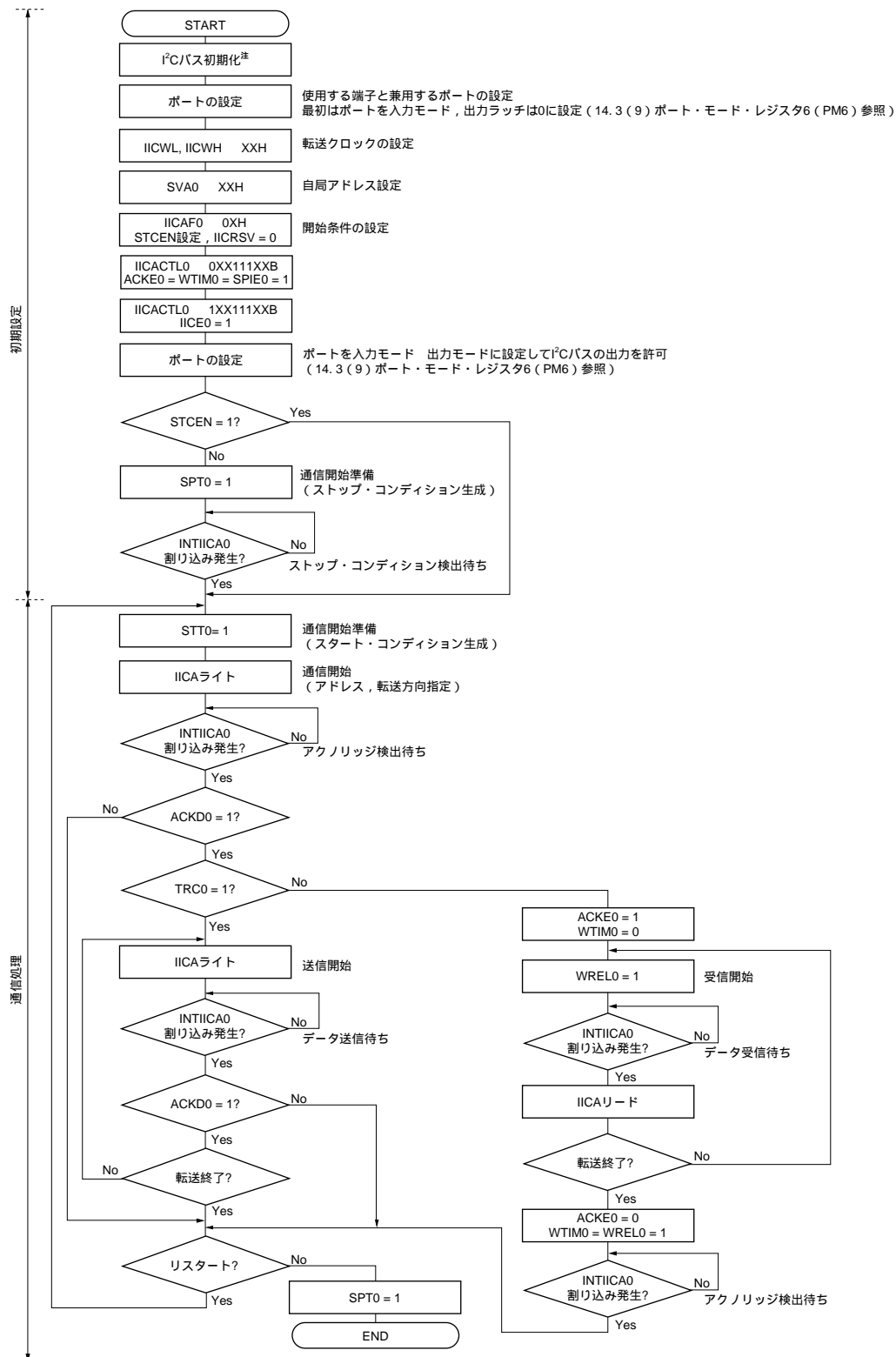
I<sup>2</sup>Cバスのスレーブとして使用する場合の例を示します。

スレーブの場合には、割り込みによって動作を開始します。起動時に「初期設定」部分を実行し、そのあとは通信待ちでINTIICA0割り込みの発生を待ちます。INTIICA0割り込みが発生すると、通信状態を判定し、フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより、必要な「通信処理」を行います。

## (1) シングルマスタ・システムでのマスタ動作

図14 - 29 シングルマスタ・システムでのマスタ動作

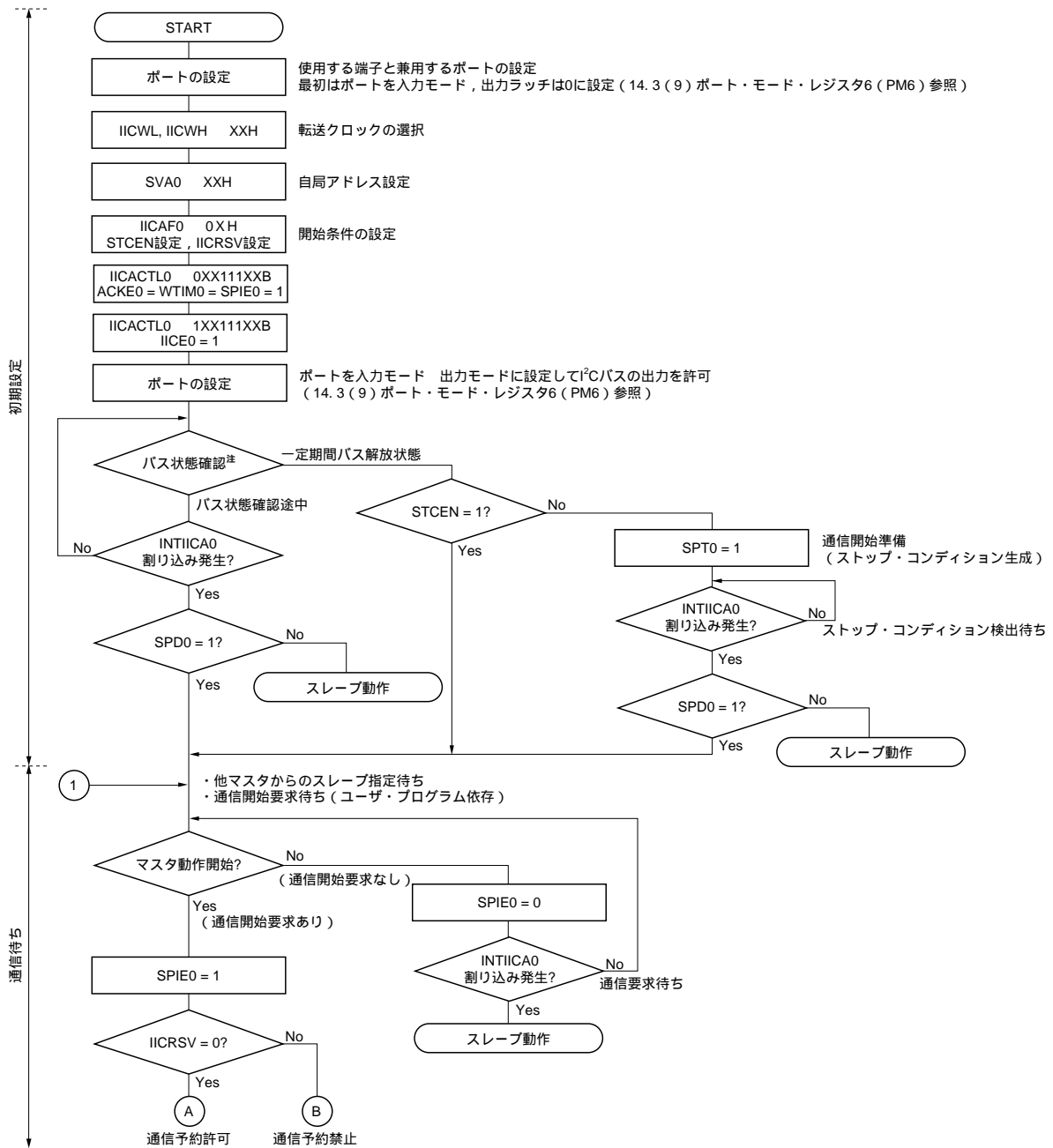


**注** 通信している製品の仕様に準拠し、I<sup>2</sup>Cバスを解放 (SCLA0, SDAA0端子 = ハイ・レベル) してください。たとえば、EEPROMがSDAA0端子にロウ・レベルを出力した状態であれば、SCLA0端子を出力ポートに設定し、SDAA0端子が定常的にハイ・レベルになるまで、出力ポートからクロック・パルスを出力してください。

**備考** 送信および受信フォーマットは、通信している製品の仕様に準拠してください。

## (2) マルチマスタ・システムでのマスタ動作

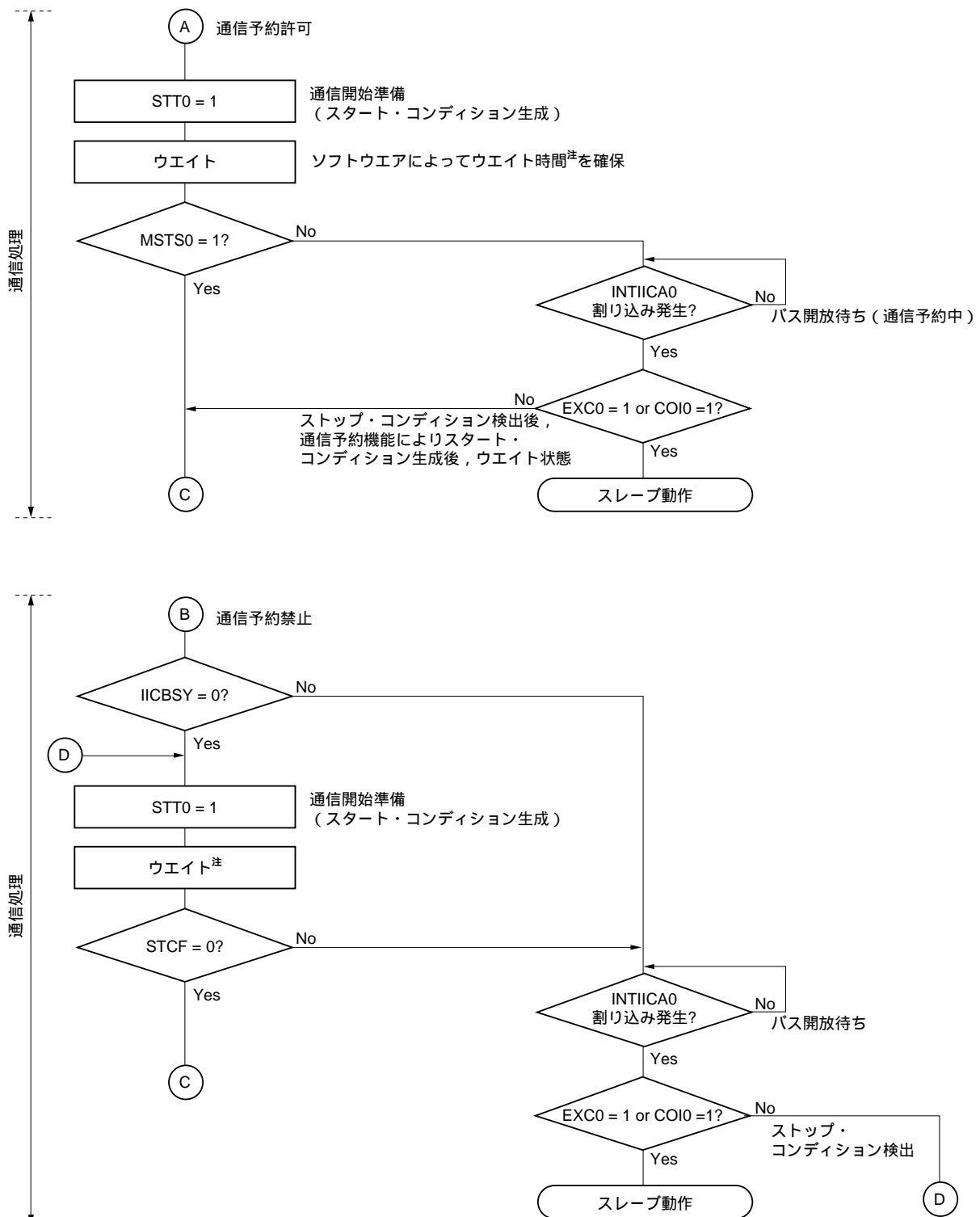
図14 - 30 マルチマスタ・システムでのマスタ動作 (1/3)



**注** 一定期間 (たとえば1フレーム分), バス解放状態 (CLD0ビット = 1, DAD0ビット = 1) であることを確認してください。定期的にSDAA0端子がロウ・レベルの場合は, 通信している製品の仕様に準拠し, I<sup>2</sup>Cバスを解放 (SCLA0, SDAA0端子 = ハイ・レベル) するか判断してください。



図14 - 30 マルチマスタ・システムでのマスタ動作 (2/3)



注 ウェイト時間は次のようになります。

$$(IICWL\text{の設定値} + IICWH\text{の設定値} + 4) + t_F \times 2 \times f_{PRS} \quad [\text{クロック}]$$

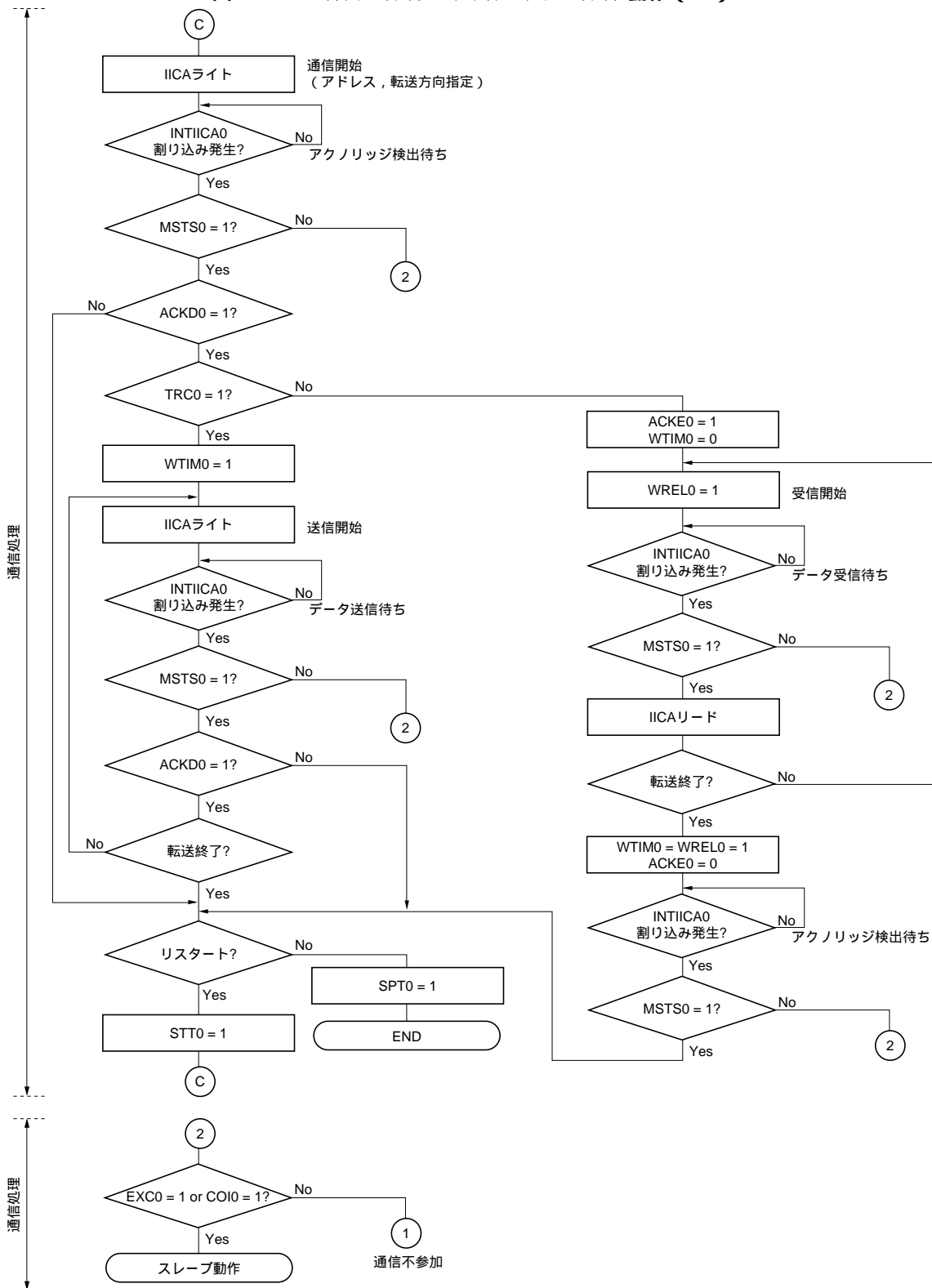
備考 IICWL : IICAロウ・レベル幅設定レジスタ

IICWH : IICAハイ・レベル幅設定レジスタ

$t_F$  : SDAA0, SCLA0信号の立ち下がり時間 ( (第27章 電気的特性 ( (A) 水準品) , 第28章 電気的特性 ( (A2) 水準品) 参照)

$f_{PRS}$  : 周辺ハードウェア・クロック周波数

図14 - 30 マルチマスタ・システムでのマスタ動作 (3/3)



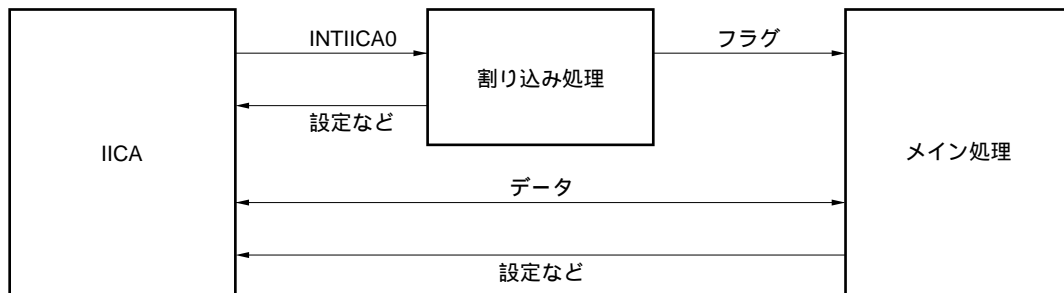
- 備考 1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。
2. マルチマスタ・システムでマスタとして使用する場合は、INTIICA0割り込み発生ごとにMSTS0ビットをリードし、アービトレーション結果を確認してください。
3. マルチマスタ・システムでスレーブとして使用する場合は、INTIICA0割り込み発生ごとにIICAS0, IICAF0レジスタでステータスを確認して次に行う処理を決定してください。

### (3) スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンでの動作となります。このためINTIICA0割り込みによる処理（通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理）が必要となります。

この説明では、データ通信は拡張コードには対応しないものとします。またINTIICA0割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。



このため、次の3つのフラグを準備し、これをINTIICA0の代わりにメイン処理に渡すという方法で、データ通信処理を行います。

#### 通信モード・フラグ

次の2つの通信状態を示します。

- ・クリア・モード：データ通信を行っていない状態
- ・通信モード：データ通信を行っている状態（有効アドレス検出～ストップ・コンディション検出、マスタからのアクノリッジ未検出、アドレス不一致）

#### レディ・フラグ

データ通信が可能になったことを示します。通常のデータ通信ではINTIICA0割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータでは、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

#### 通信方向フラグ

通信の方向を示します。TRC0の値と同じです。

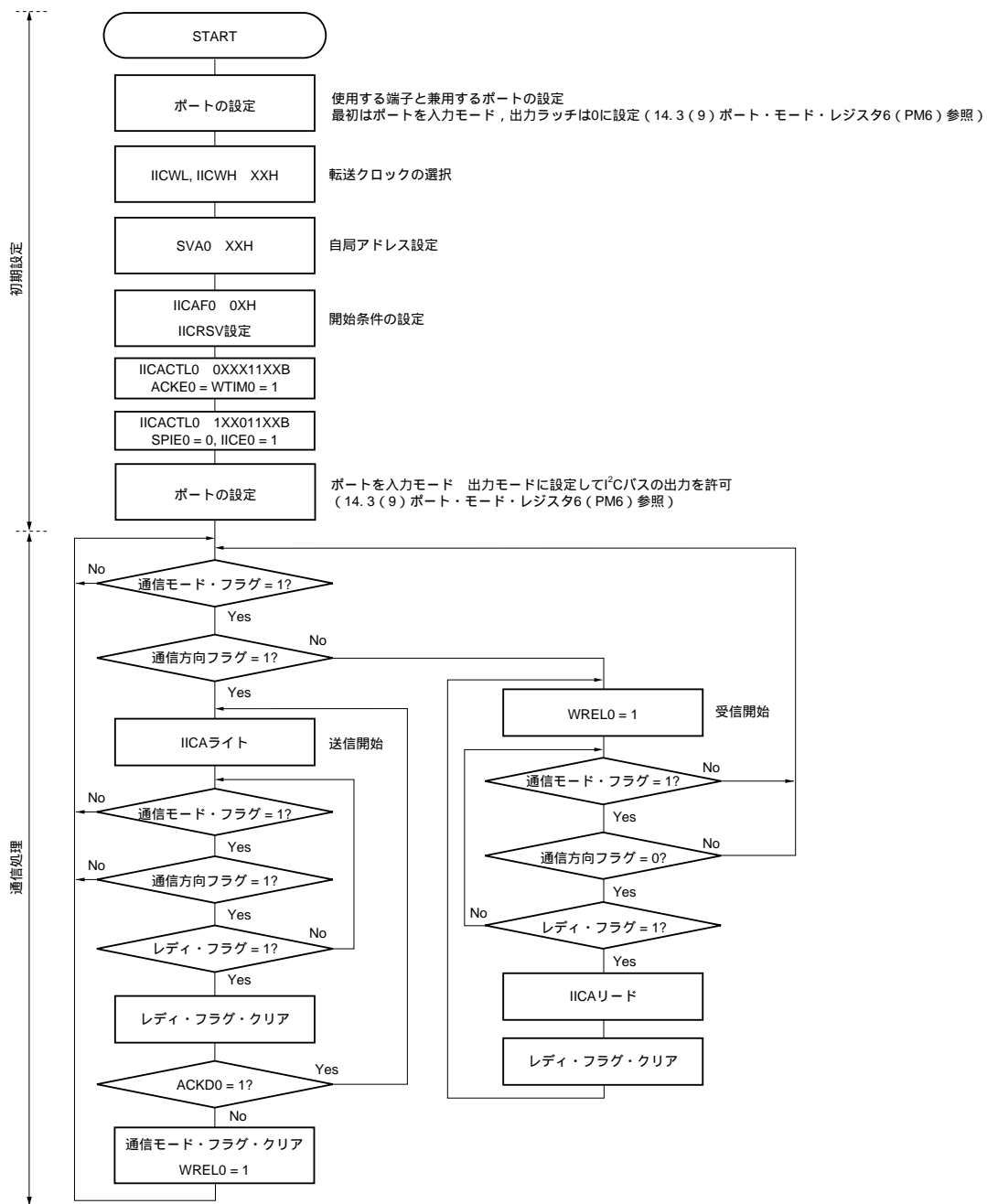
次にスレーブ動作でのメイン処理部の動作を示します。

シリアル・インタフェースIICAを起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って通信を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで状態を確認します）。

送信ではマスタからアクノリッジがなくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら通信を完了します。

受信では必要な数のデータ受信し、通信完了したら次のデータでアクノリッジを戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより、通信状態から抜け出します。

図14 - 31 スレーブ動作手順（1）



備考 送信および受信フォーマットは通信している製品の仕様に準拠してください。

スレーブのINTIICA0割り込みでの処理手順例を示します（ここでは拡張コードはないものとして処理します）。INTIICA0割り込みではステータスを確認して、次のように行います。

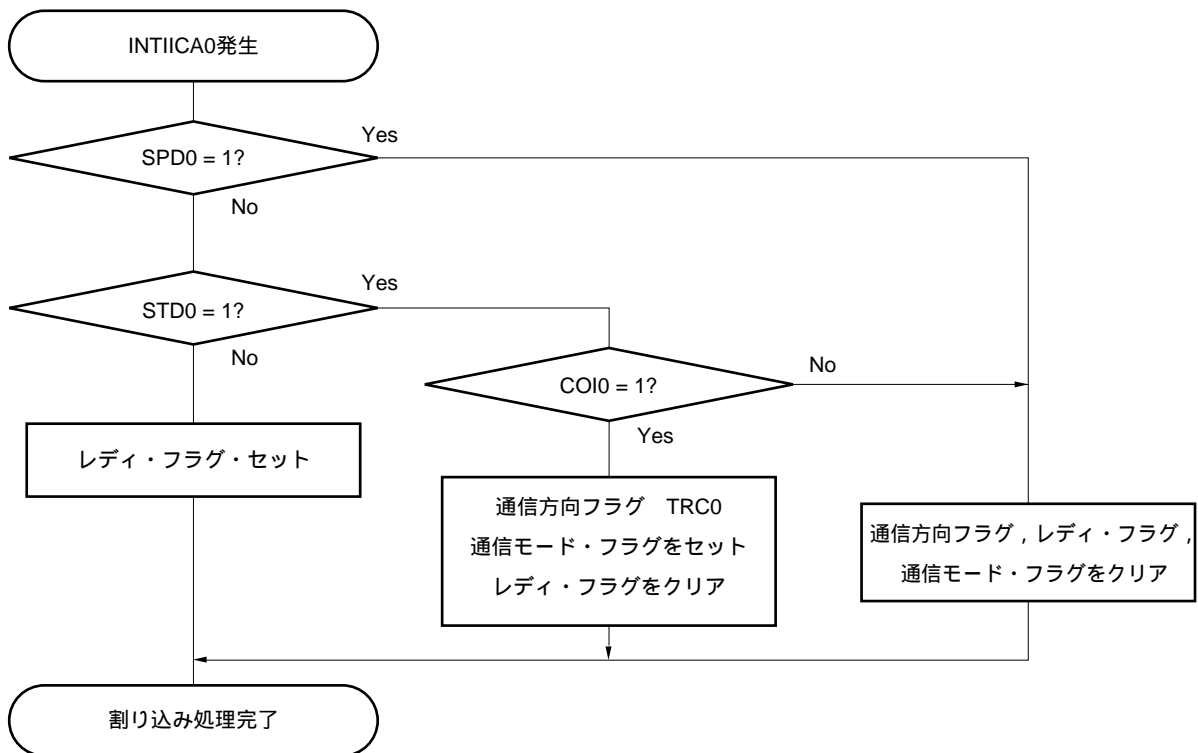
ストップ・コンディションの場合、通信を終了します。

スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。アドレスが一致していれば、モードを通信モードに設定し、ウェイトを解除して、割り込みから戻ります（レディ・フラグはクリアする）。

データ送受信の場合、レディ・フラグをセットするだけで、I<sup>2</sup>Cバスはウェイト状態のまま、割り込みから戻ります。

備考 上述の ~ は、図14-32 スレーブ動作手順(2)の ~ と対応しています。

図14-32 スレーブ動作手順(2)



### 14. 5. 17 I<sup>2</sup>C割り込み要求 (INTIICA0) の発生タイミング

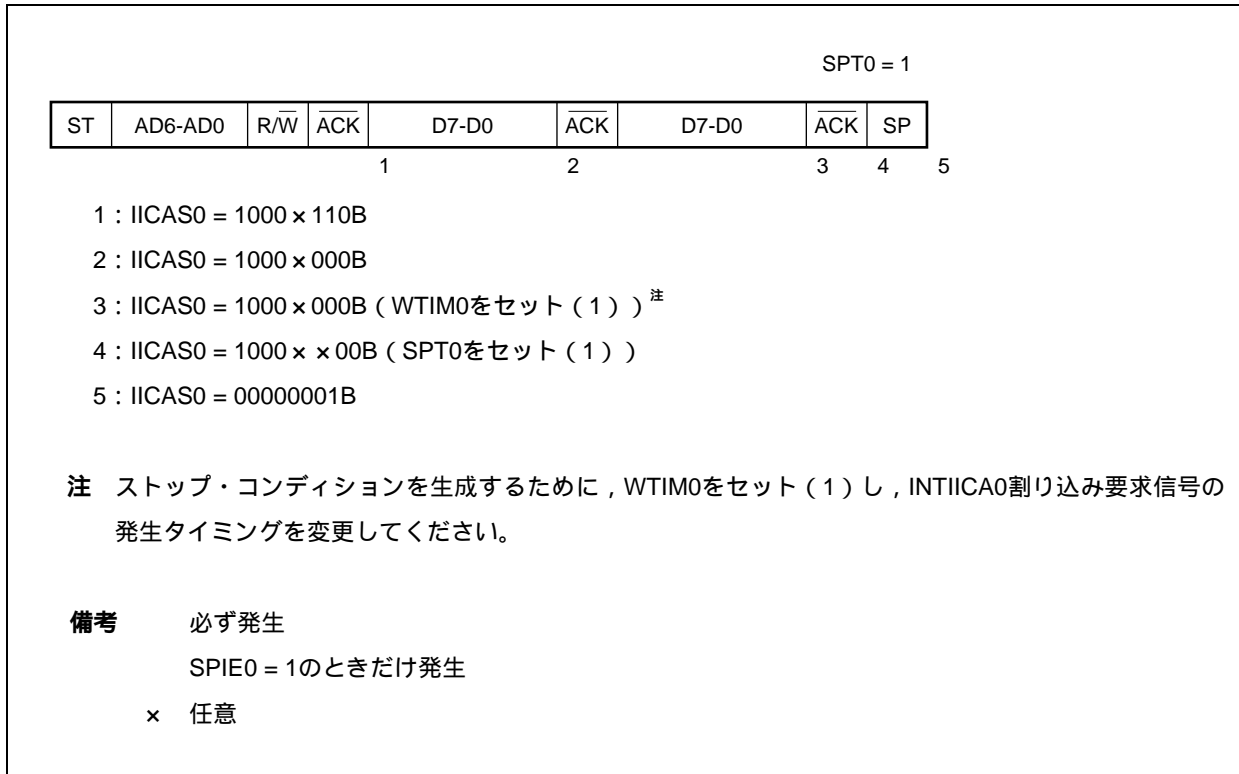
次に、データの送受信、INTIICA0割り込み要求信号発生タイミングと、INTIICA0信号タイミングでのIICAS0レジスタの値を示します。

**備考** ST : スタート・コンディション  
AD6-AD0 : アドレス  
R/W : 転送方向指定  
 $\overline{ACK}$  : アクノリッジ  
D7-D0 : データ  
SP : ストップ・コンディション

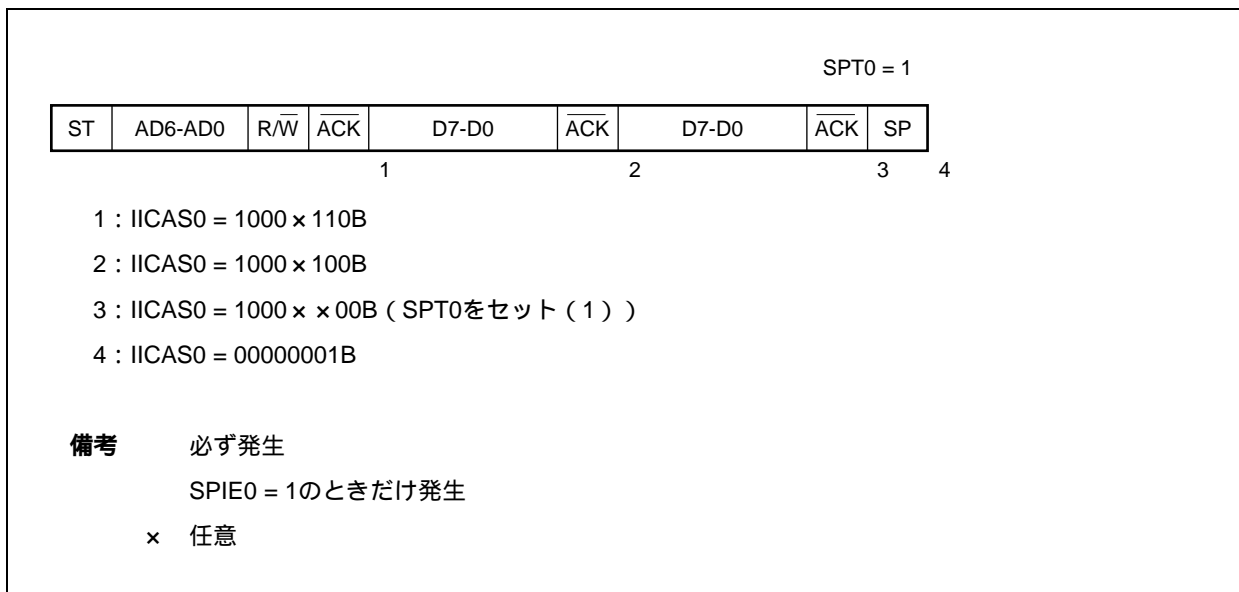
## (1) マスタ動作

## (a) Start ~ Address ~ Data ~ Data ~ Stop (送受信)

## (i) WTIM0 = 0 のとき

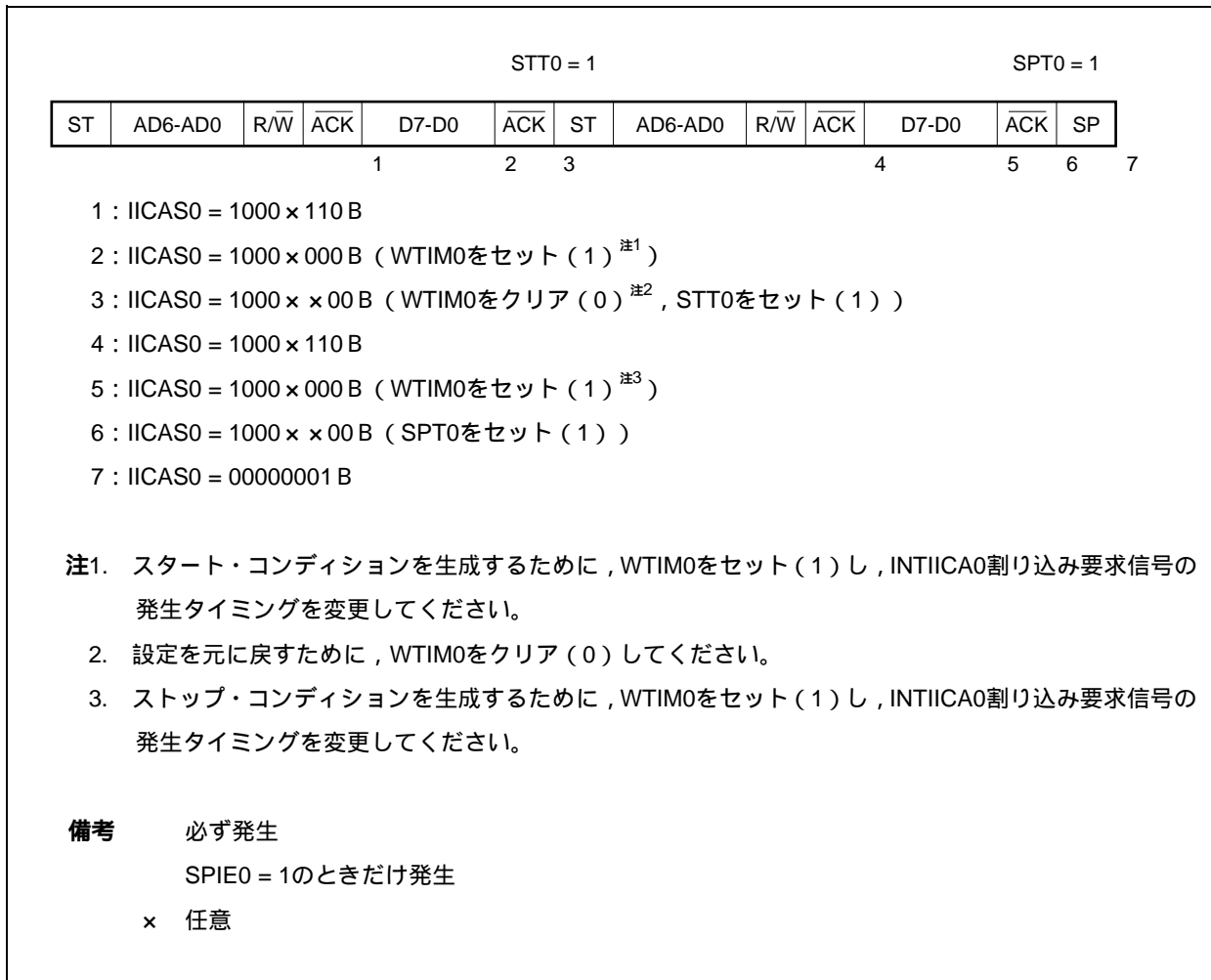


## (ii) WTIM0 = 1 のとき

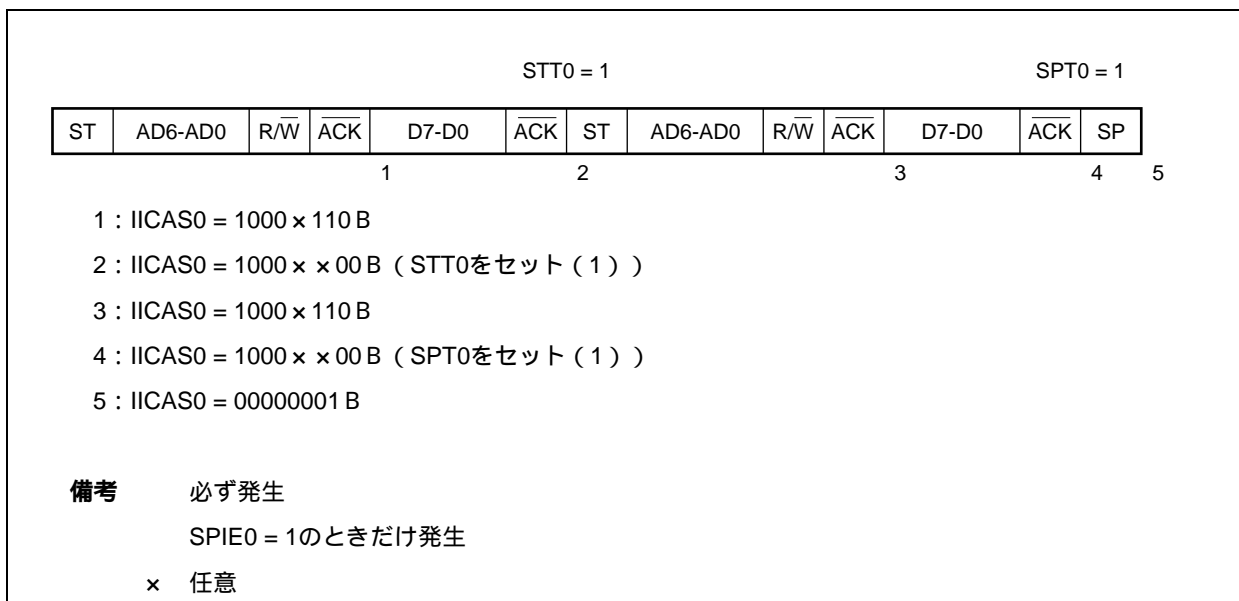


## (b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop (リスタート)

## (i) WTIM0 = 0 のとき



## (ii) WTIM0 = 1 のとき





## (c) Start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信)

## (i) WTIM0 = 0 のとき

SPT0 = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4 5

1 : IICAS0 = 1010 × 110 B  
 2 : IICAS0 = 1010 × 000 B  
 3 : IICAS0 = 1010 × 000 B (WTIM0をセット(1)※)  
 4 : IICAS0 = 1010 × × 00 B (SPT0をセット(1))  
 5 : IICAS0 = 00000001 B

**注** ストップ・コンディションを生成するために、WTIM0をセット(1)し、INTIICA0割り込み要求信号の発生タイミングを変更してください。

**備考** 必ず発生  
 SPIE0 = 1のときだけ発生  
 × 任意

## (ii) WTIM0 = 1 のとき

SPT0 = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4

1 : IICAS0 = 1010 × 110 B  
 2 : IICAS0 = 1010 × 100 B  
 3 : IICAS0 = 1010 × × 00 B (SPT0をセット(1))  
 4 : IICAS0 = 00001001 B

**備考** 必ず発生  
 SPIE0 = 1のときだけ発生  
 × 任意

## (2) スレーブ動作 (スレーブ・アドレス受信時)

(a) Start ~ Address ~ Data ~ Data ~ Stop

(i) WTIM0 = 0 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4

1 : IICAS0 = 0001 x 110 B

2 : IICAS0 = 0001 x 000 B

3 : IICAS0 = 0001 x 000 B

4 : IICAS0 = 00000001 B

**備考** 必ず発生

SPIE0 = 1 のときだけ発生

× 任意

(ii) WTIM0 = 1 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4

1 : IICAS0 = 0001 x 110 B

2 : IICAS0 = 0001 x 100 B

3 : IICAS0 = 0001 x x 00 B

4 : IICAS0 = 00000001 B

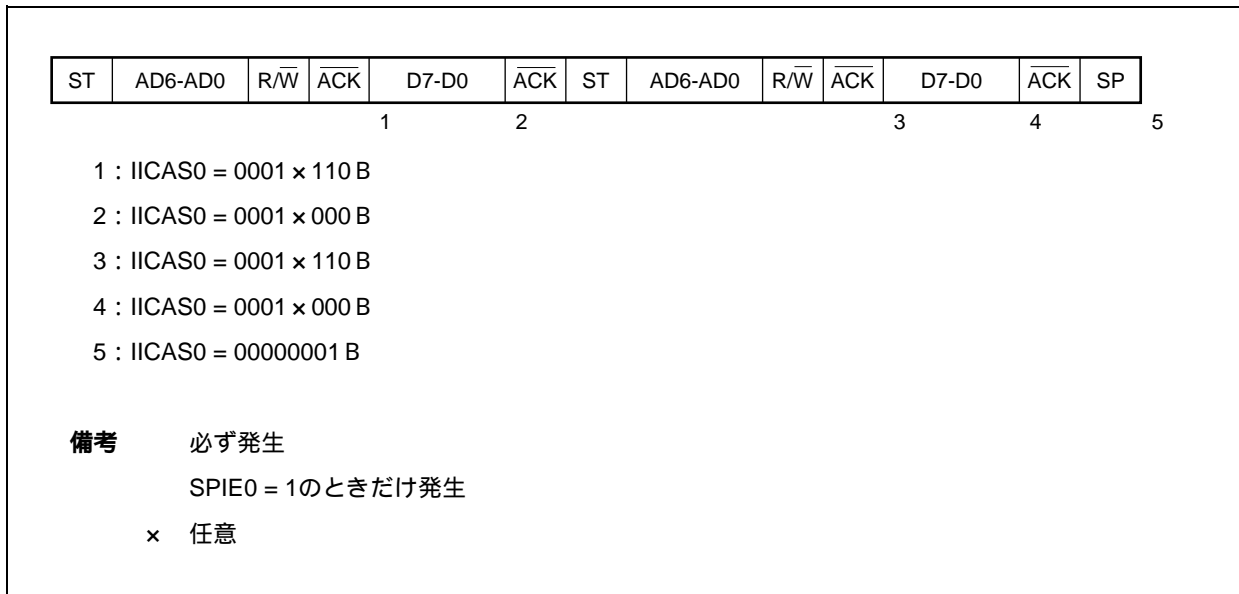
**備考** 必ず発生

SPIE0 = 1 のときだけ発生

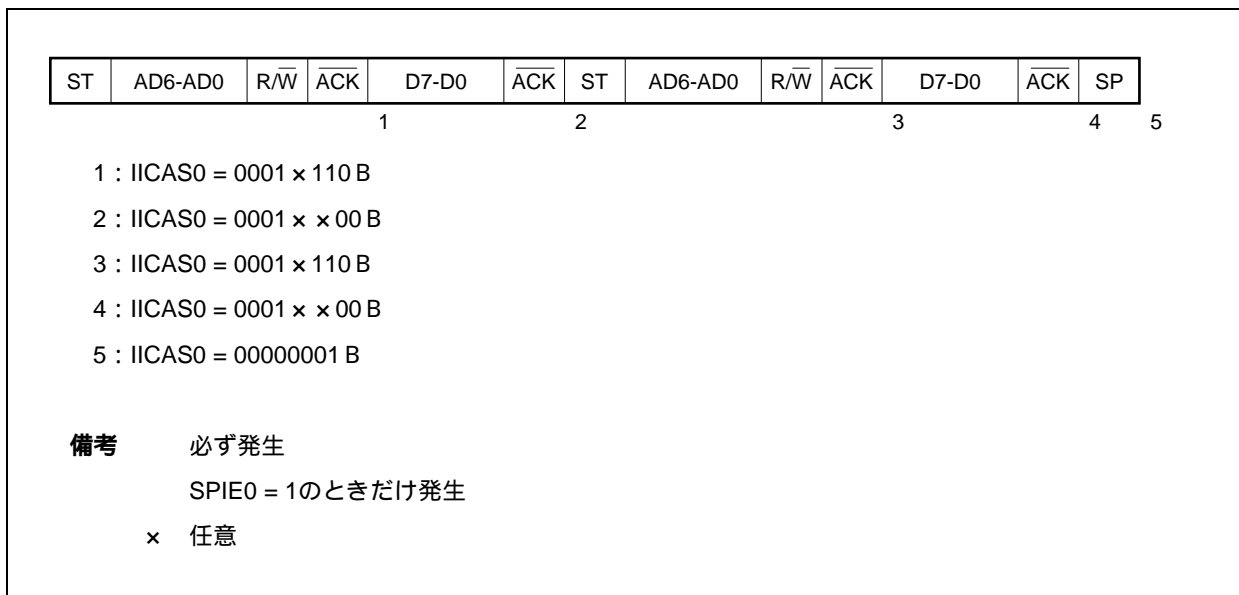
× 任意

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM0 = 0 のとき (リスタート後, SVA0一致)



(ii) WTIM0 = 1 のとき (リスタート後, SVA0一致)



(c) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

(i) WTIM0 = 0 のとき (リスタート後, アイドル不一致 (拡張コード))



1 : IICAS0 = 0001 × 110 B

2 : IICAS0 = 0001 × 000 B

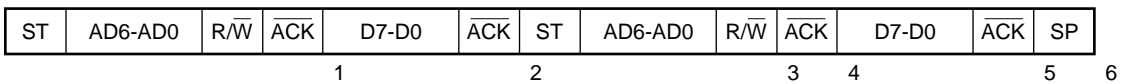
3 : IICAS0 = 0010 × 010 B

4 : IICAS0 = 0010 × 000 B

5 : IICAS0 = 00000001 B

**備考** 必ず発生  
SPIE0 = 1 のときだけ発生  
× 任意

(ii) WTIM0 = 1 のとき (リスタート後, アイドル不一致 (拡張コード))



1 : IICAS0 = 0001 × 110 B

2 : IICAS0 = 0001 × × 00 B

3 : IICAS0 = 0010 × 010 B

4 : IICAS0 = 0010 × 110 B

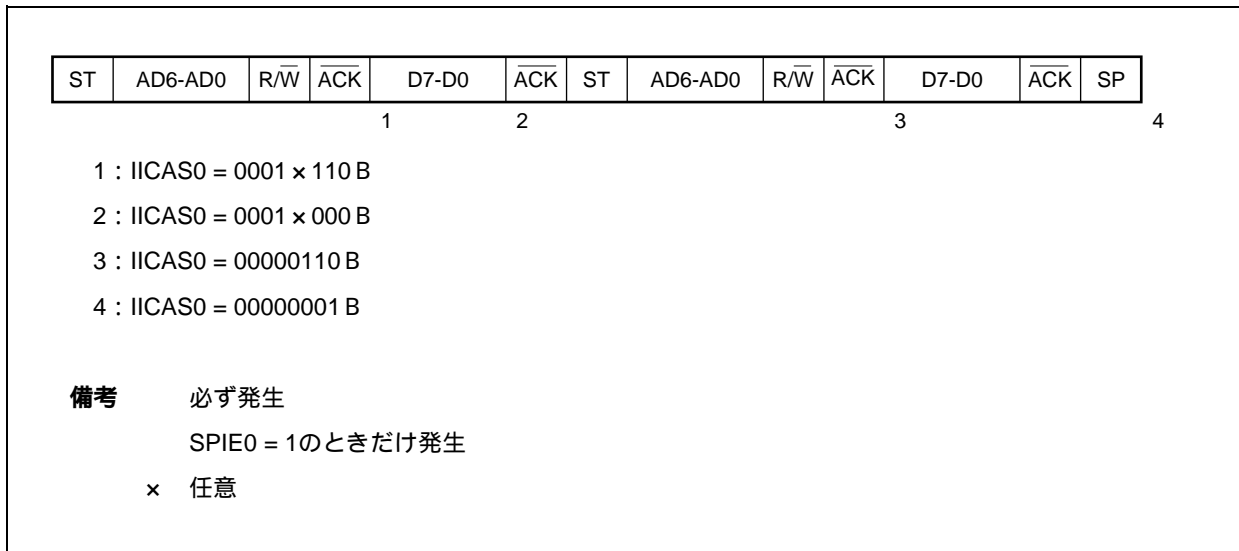
5 : IICAS0 = 0010 × × 00 B

6 : IICAS0 = 00000001 B

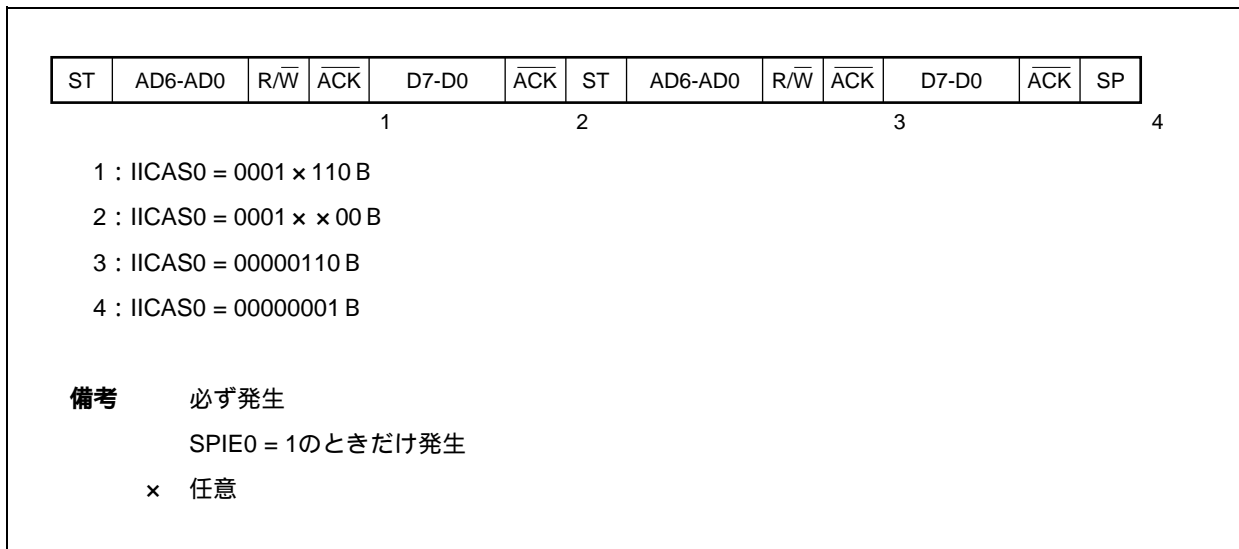
**備考** 必ず発生  
SPIE0 = 1 のときだけ発生  
× 任意

(d) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM0 = 0 のとき (リスタート後, アドレス不一致 (拡張コード以外))



(ii) WTIM0 = 1 のとき (リスタート後, アドレス不一致 (拡張コード以外))

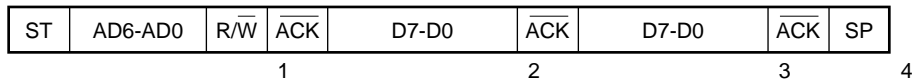


## (3) スレーブ動作 (拡張コード受信時)

拡張コード受信時は、常に通信に参加しています

## (a) Start ~ Code ~ Data ~ Data ~ Stop

## (i) WTIM0 = 0 のとき



1 : IICAS0 = 0010 × 010 B

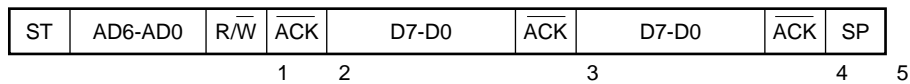
2 : IICAS0 = 0010 × 000 B

3 : IICAS0 = 0010 × 000 B

4 : IICAS0 = 00000001 B

**備考** 必ず発生  
SPIE0 = 1 のときだけ発生  
× 任意

## (ii) WTIM0 = 1 のとき



1 : IICAS0 = 0010 × 010 B

2 : IICAS0 = 0010 × 110 B

3 : IICAS0 = 0010 × 100 B

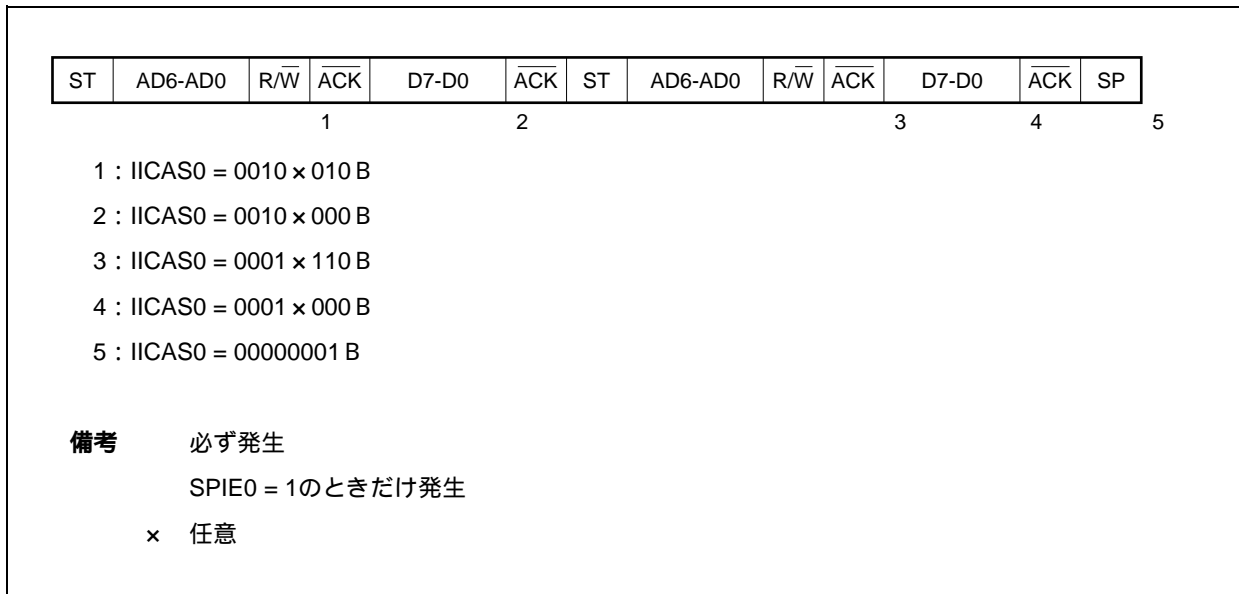
4 : IICAS0 = 0010 × × 00 B

5 : IICAS0 = 00000001 B

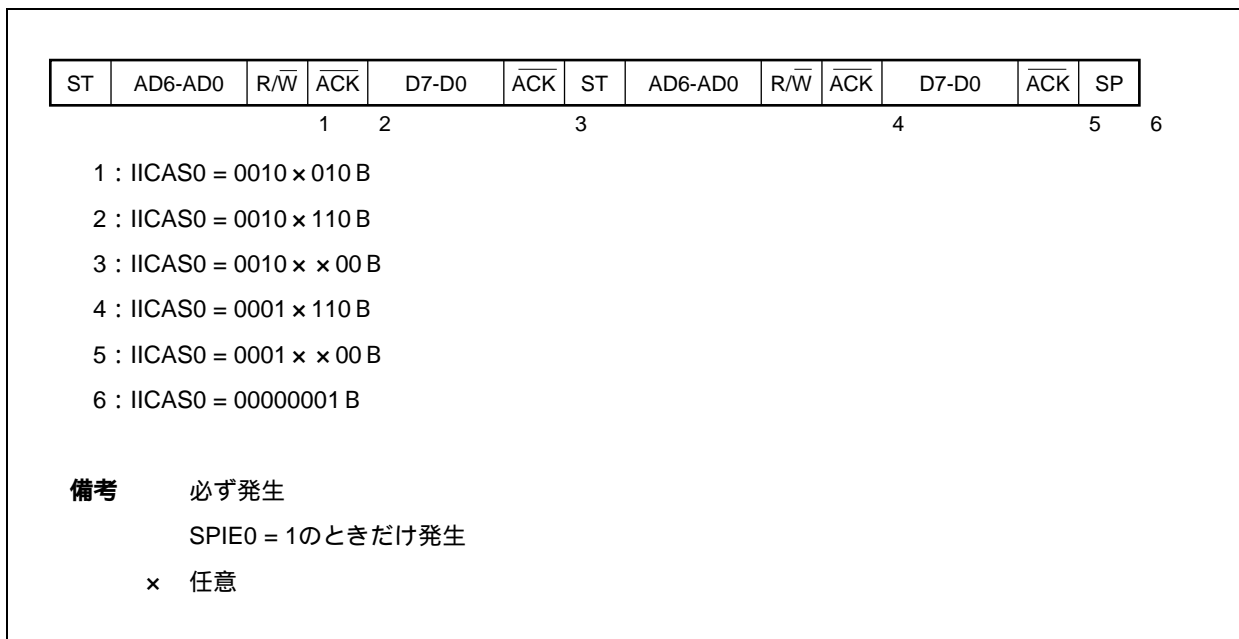
**備考** 必ず発生  
SPIE0 = 1 のときだけ発生  
× 任意

(b) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM0 = 0 のとき (リスタート後, SVA0一致)

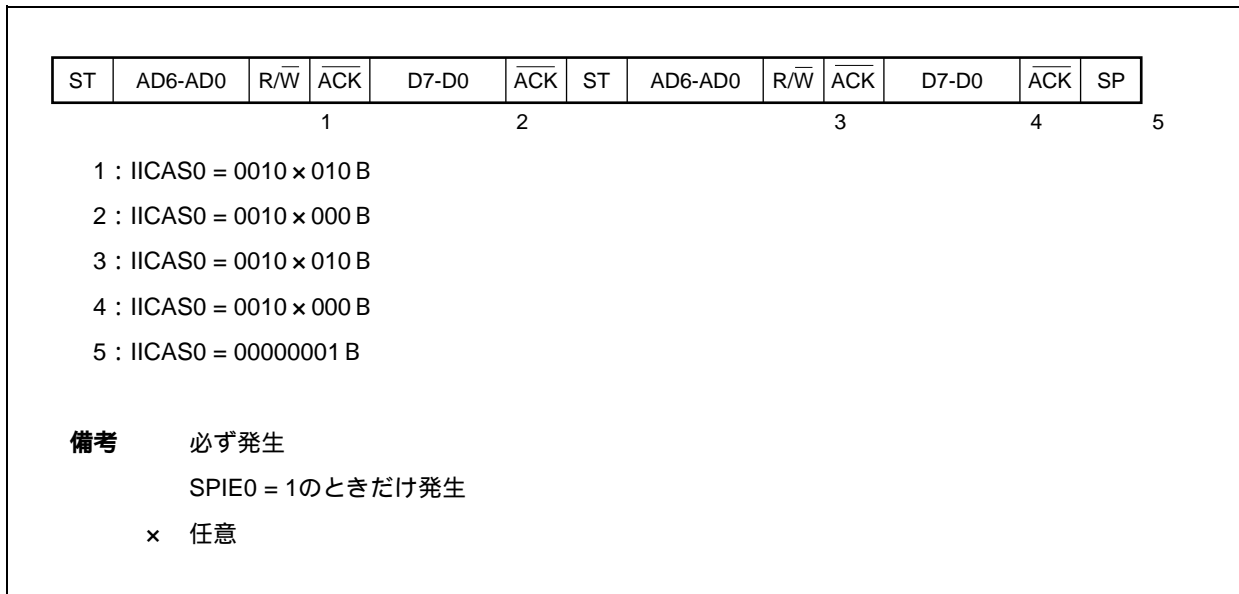


(ii) WTIM0 = 1 のとき (リスタート後, SVA0一致)

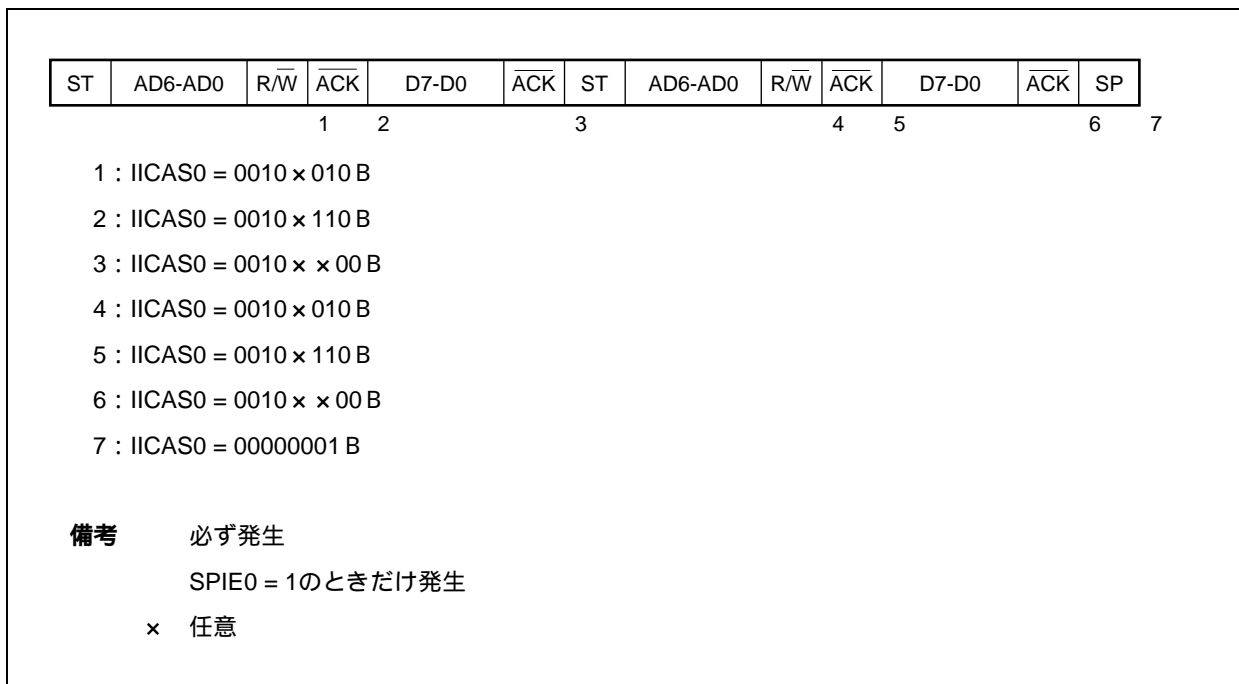


(c) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

(i) WTIM0 = 0 のとき (リスタート後, 拡張コード受信)



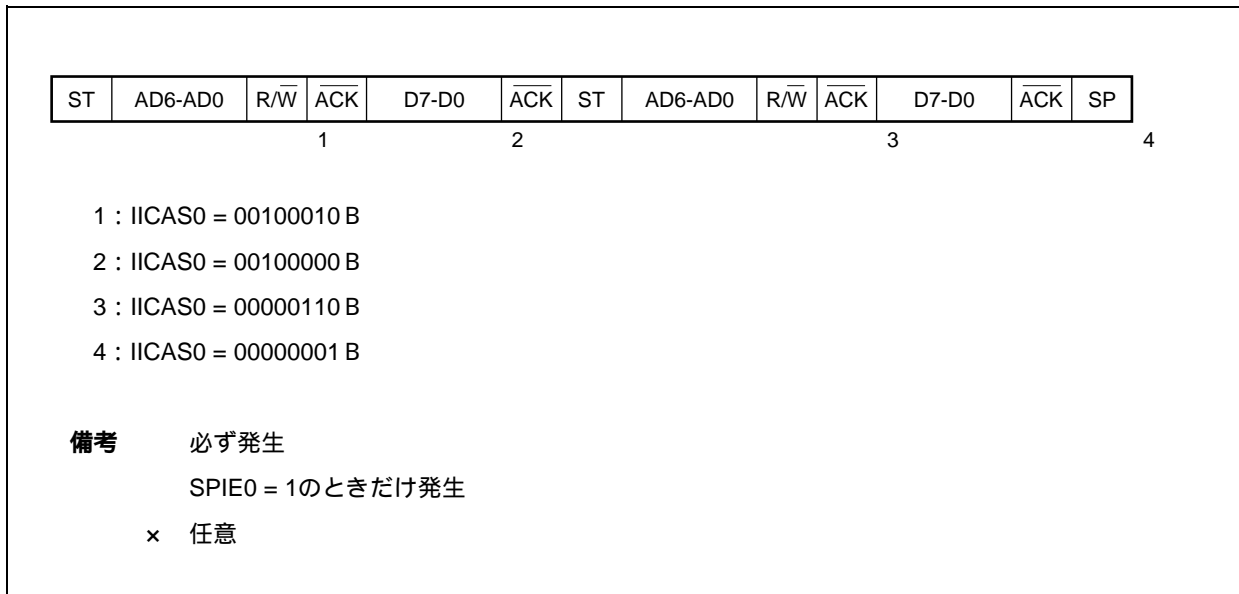
(ii) WTIM0 = 1 のとき (リスタート後, 拡張コード受信)



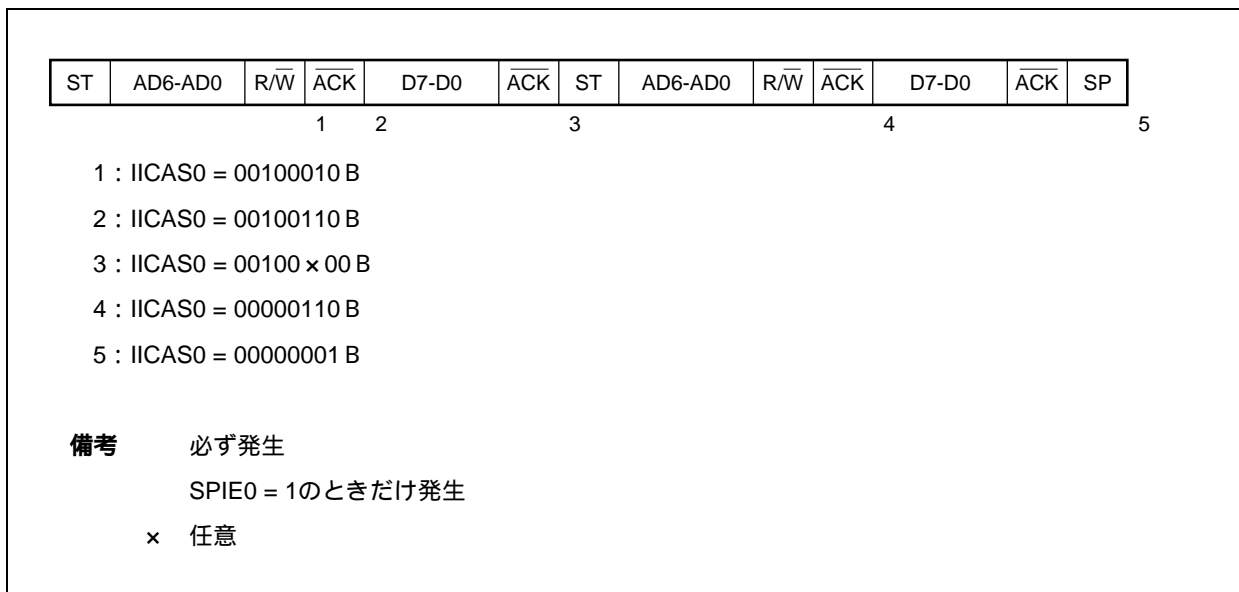


(d) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM0 = 0 のとき (リスタート後, アドレス不一致 (拡張コード以外))

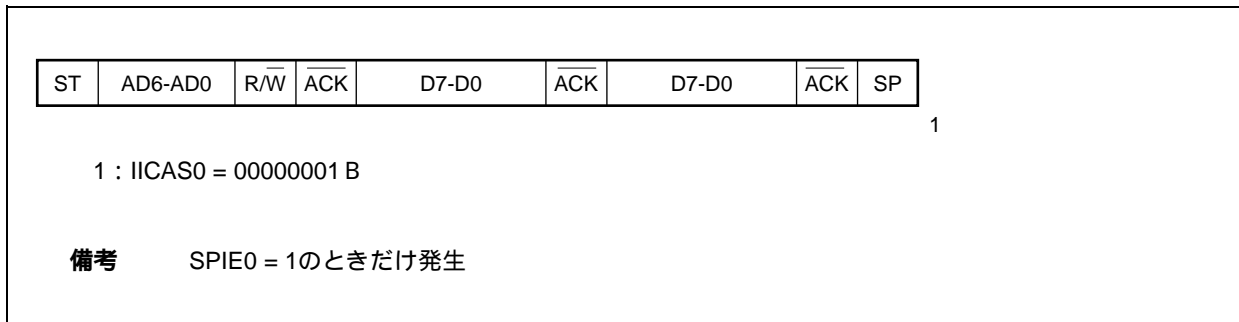


(ii) WTIM0 = 1 のとき (リスタート後, アドレス不一致 (拡張コード以外))



## (4) 通信不参加の動作

(a) Start ~ Code ~ Data ~ Data ~ Stop

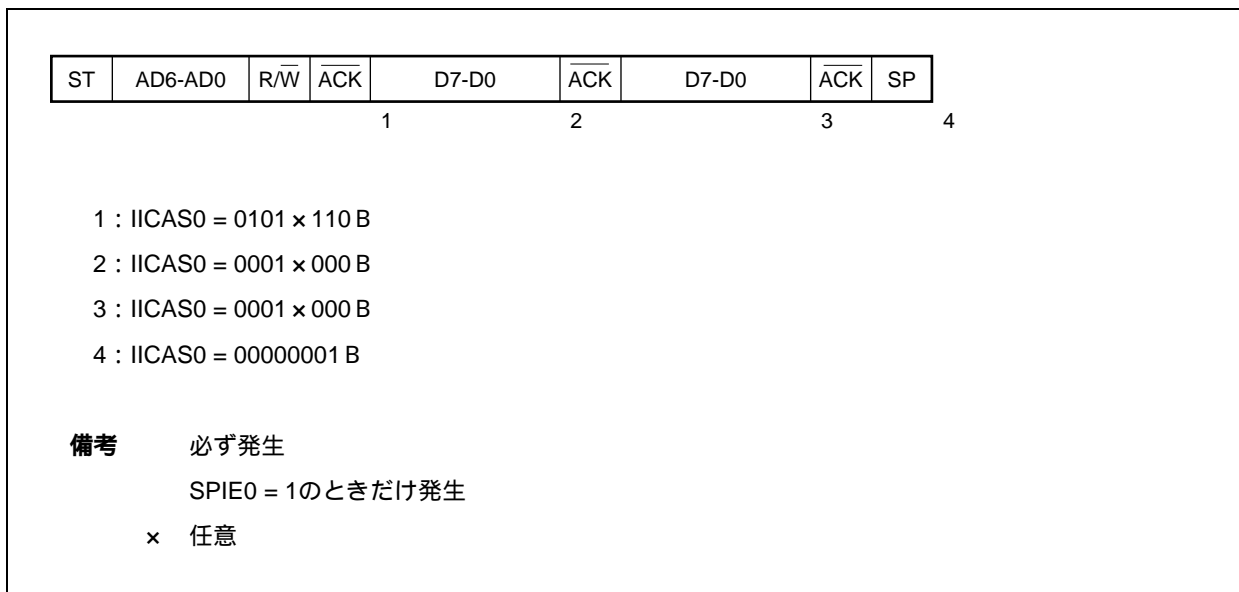


## (5) アービトレーション負けの動作 (アービトレーション負けのあと、スレーブとして動作)

マルチマスタ・システムでマスタとして使用する場合は、INTIICA0割り込み要求信号の発生ごとに MSTS0ビットをリードし、アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

(i) WTIM0 = 0のとき



## (ii) WTIM0 = 1 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1		2		3 4

1 : IICAS0 = 0101 × 110 B

2 : IICAS0 = 0001 × 100 B

3 : IICAS0 = 0001 × × 00 B

4 : IICAS0 = 00000001 B

**備考** 必ず発生  
 SPIE0 = 1 のときだけ発生  
 × 任意

## (b) 拡張コード送信中にアービトレーションに負けた場合

## (i) WTIM0 = 0 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1		2		3 4

1 : IICAS0 = 0110 × 010 B

2 : IICAS0 = 0010 × 000 B

3 : IICAS0 = 0010 × 000 B

4 : IICAS0 = 00000001 B

**備考** 必ず発生  
 SPIE0 = 1 のときだけ発生  
 × 任意

## (ii) WTIM0 = 1 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1 2		3		4 5	

1 : IICAS0 = 0110 × 010 B

2 : IICAS0 = 0010 × 110 B

3 : IICAS0 = 0010 × 100 B

4 : IICAS0 = 0010 × × 00 B

5 : IICAS0 = 00000001 B

**備考** 必ず発生  
SPIE0 = 1 のときだけ発生  
× 任意

## (6) アービトレーション負けの動作 (アービトレーション負けのあと, 不参加)

マルチマスタ・システムでマスタとして使用する場合は, INTIICA0 割り込み要求信号の発生ごとに MSTS0 ビットをリードし, アービトレーション結果を確認してください。

## (a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合 (WTIM0 = 1 のとき)

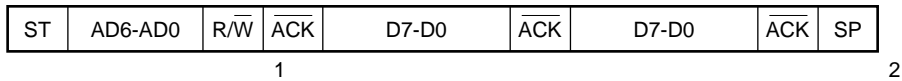
ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1					2

1 : IICAS0 = 01000110 B

2 : IICAS0 = 00000001 B

**備考** 必ず発生  
SPIE0 = 1 のときだけ発生

## (b) 拡張コード送信中にアービトレーションに負けた場合



1 : IICAS0 = 0110 × 010 B

ソフトウェアで LREL0 = 1 を設定

2 : IICAS0 = 00000001 B

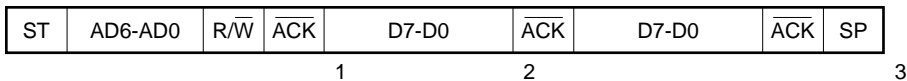
**備考** 必ず発生

SPIE0 = 1 のときだけ発生

× 任意

## (c) データ転送時にアービトレーションに負けた場合

## (i) WTIM0 = 0 のとき



1 : IICAS0 = 10001110 B

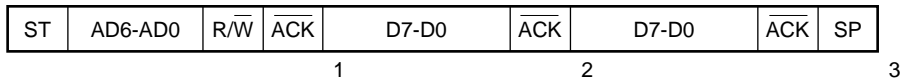
2 : IICAS0 = 01000000 B

3 : IICAS0 = 00000001 B

**備考** 必ず発生

SPIE0 = 1 のときだけ発生

## (ii) WTIM0 = 1 のとき



1 : IICAS0 = 10001110 B

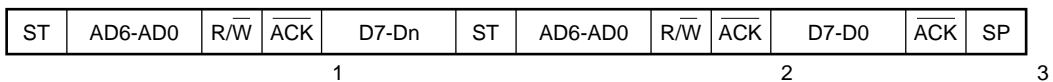
2 : IICAS0 = 01000100 B

3 : IICAS0 = 00000001 B

**備考** 必ず発生  
SPIE0 = 1 のときだけ発生

## (d) データ転送時にリスタート・コンディションで負けた場合

## (i) 拡張コード以外 (例 SVA0 不一致)



1 : IICAS0 = 1000 × 110 B

2 : IICAS0 = 01000110 B

3 : IICAS0 = 00000001 B

**備考** 必ず発生  
SPIE0 = 1 のときだけ発生  
× 任意  
n = 6-0

## (ii) 拡張コード

ST	AD6-AD0	R $\bar{W}$	$\bar{ACK}$	D7-Dn	ST	AD6-AD0	R $\bar{W}$	$\bar{ACK}$	D7-D0	$\bar{ACK}$	SP
				1					2		3

1 : IICAS0 = 1000 x 110 B

2 : IICAS0 = 01100010 B

ソフトウェアでLREL0 = 1を設定

3 : IICAS0 = 00000001 B

**備考** 必ず発生

SPIE0 = 1のときだけ発生

× 任意

n = 6-0

## (e) データ転送時にストップ・コンディションで負けた場合

ST	AD6-AD0	R $\bar{W}$	$\bar{ACK}$	D7-Dn	SP
				1	2

1 : IICAS0 = 10000110 B

2 : IICAS0 = 01000001 B

**備考** 必ず発生

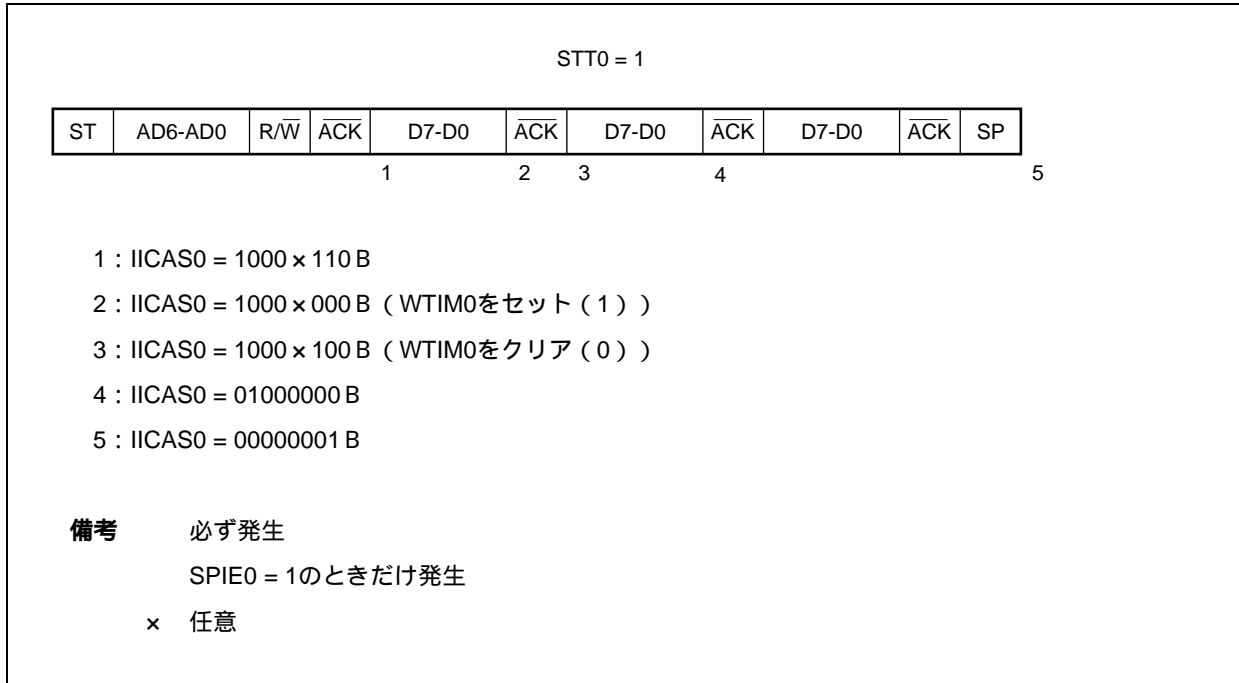
SPIE0 = 1のときだけ発生

× 任意

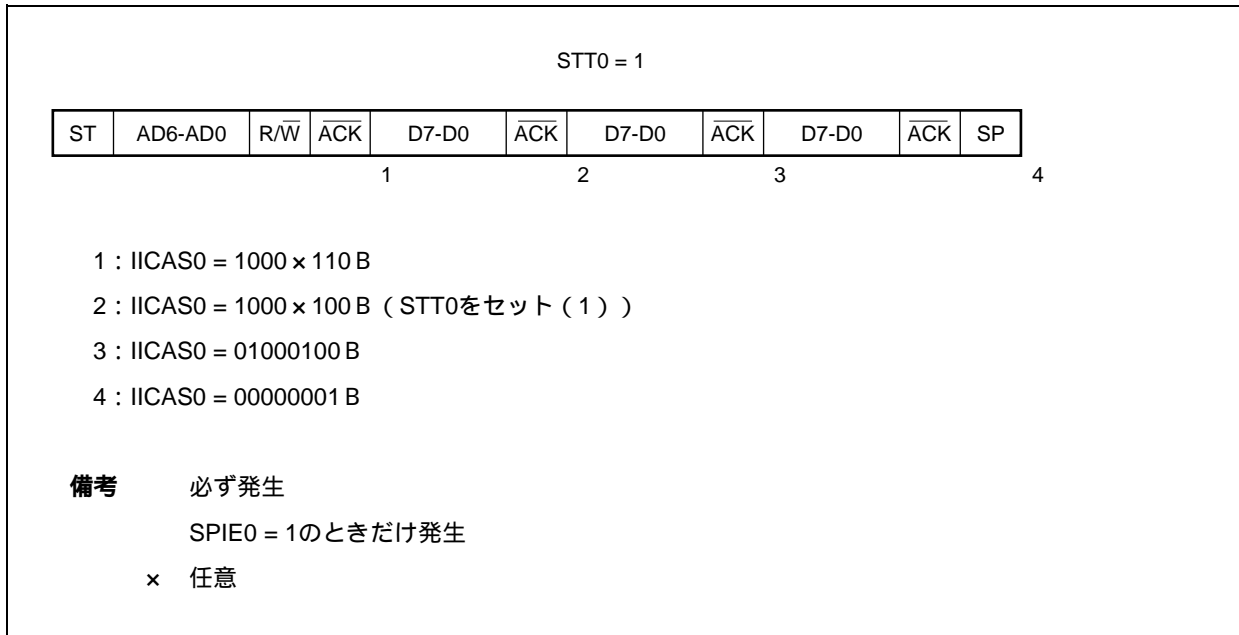
n = 6-0

(f) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIM0 = 0 のとき



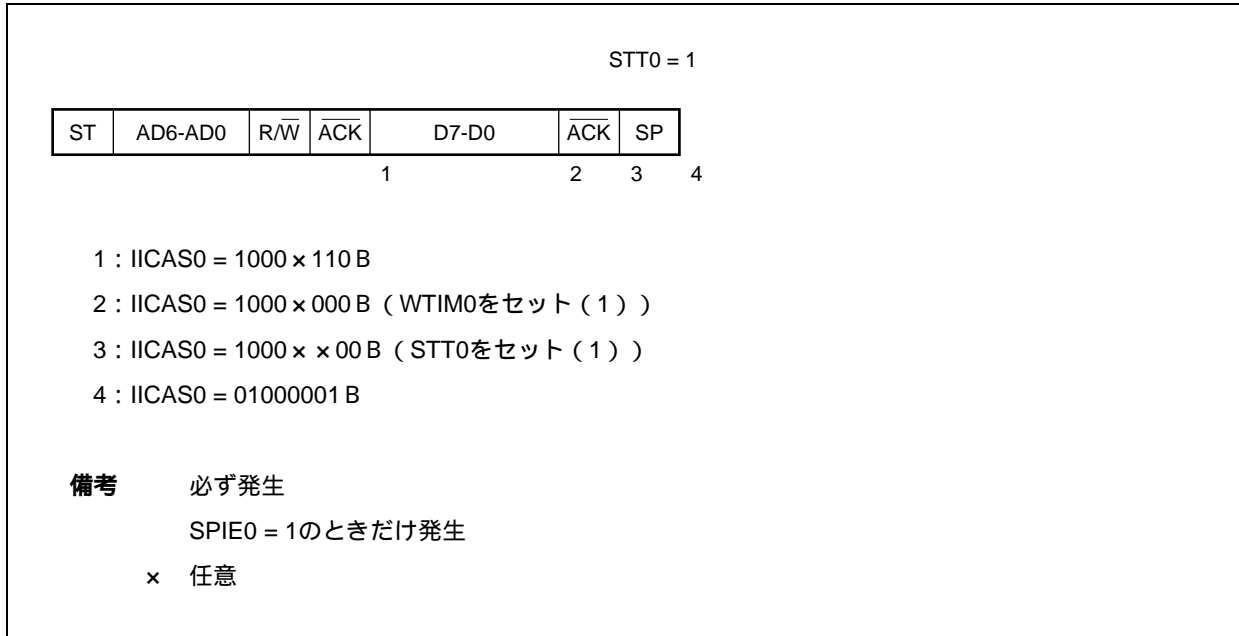
(ii) WTIM0 = 1 のとき





(g) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

(i) WTIM0 = 0 のとき

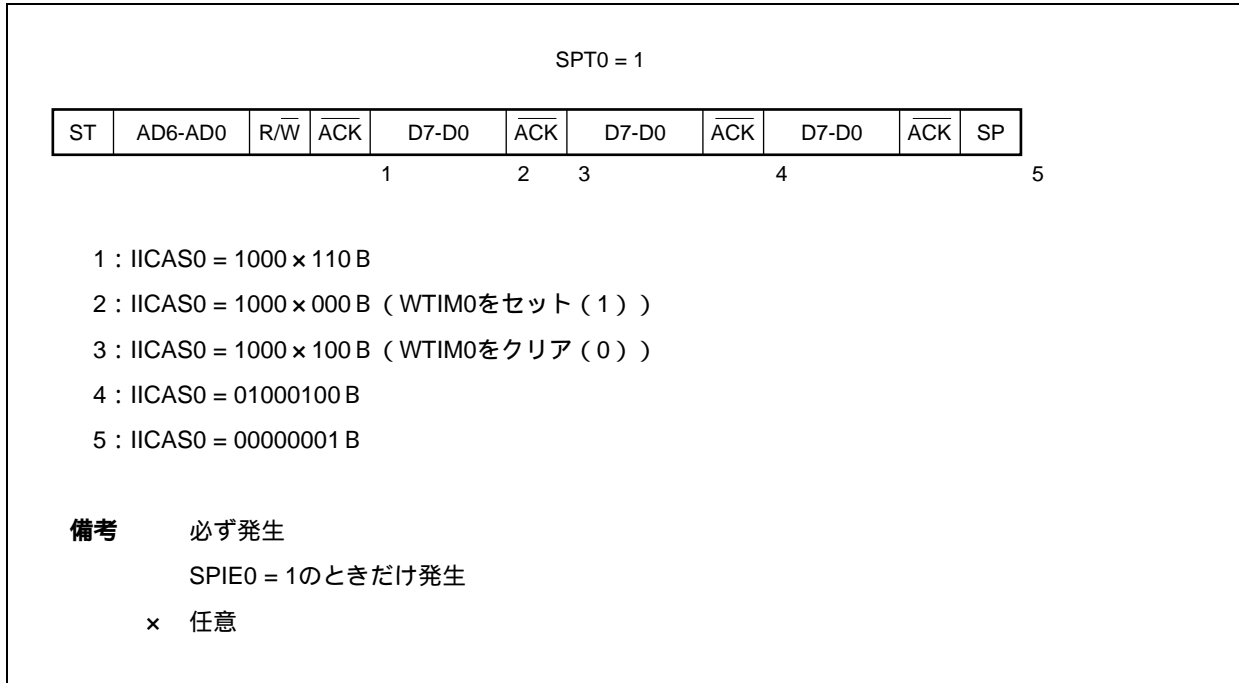


(ii) WTIM0 = 1 のとき

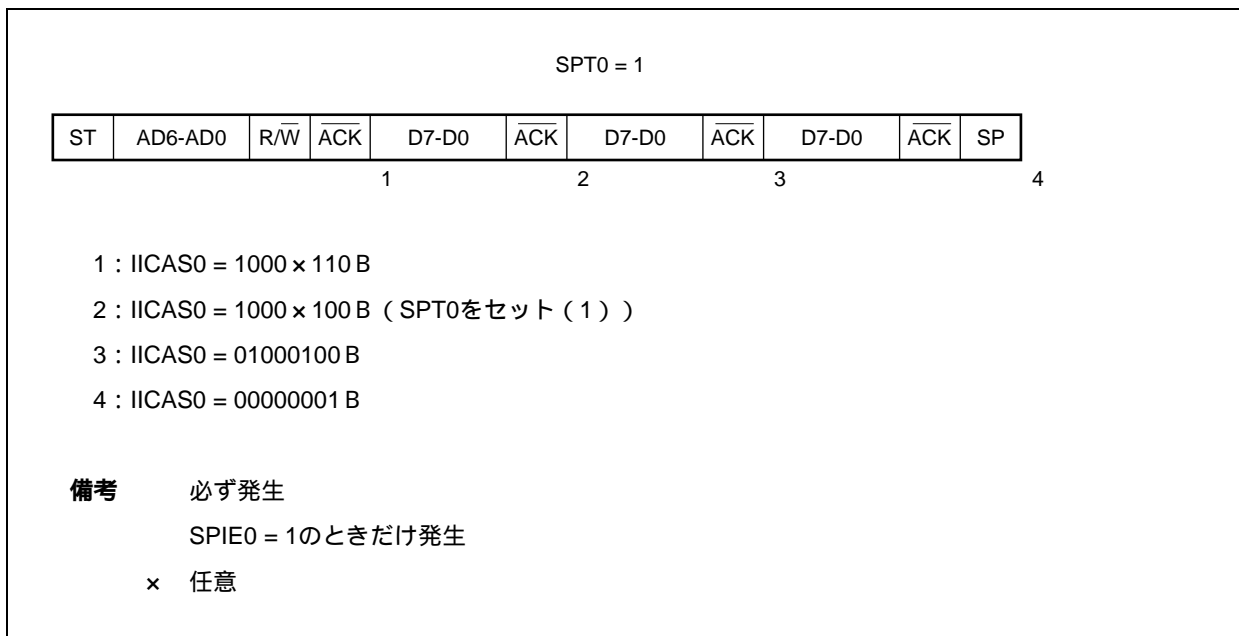


(h) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIM0 = 0 のとき



(ii) WTIM0 = 1 のとき



## 14.6 タイミング・チャート

I<sup>2</sup>Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すTRC0ビット（IICAステータス・レジスタ0（IICAS0）のビット3）を送信し、スレーブとのシリアル通信を開始します。

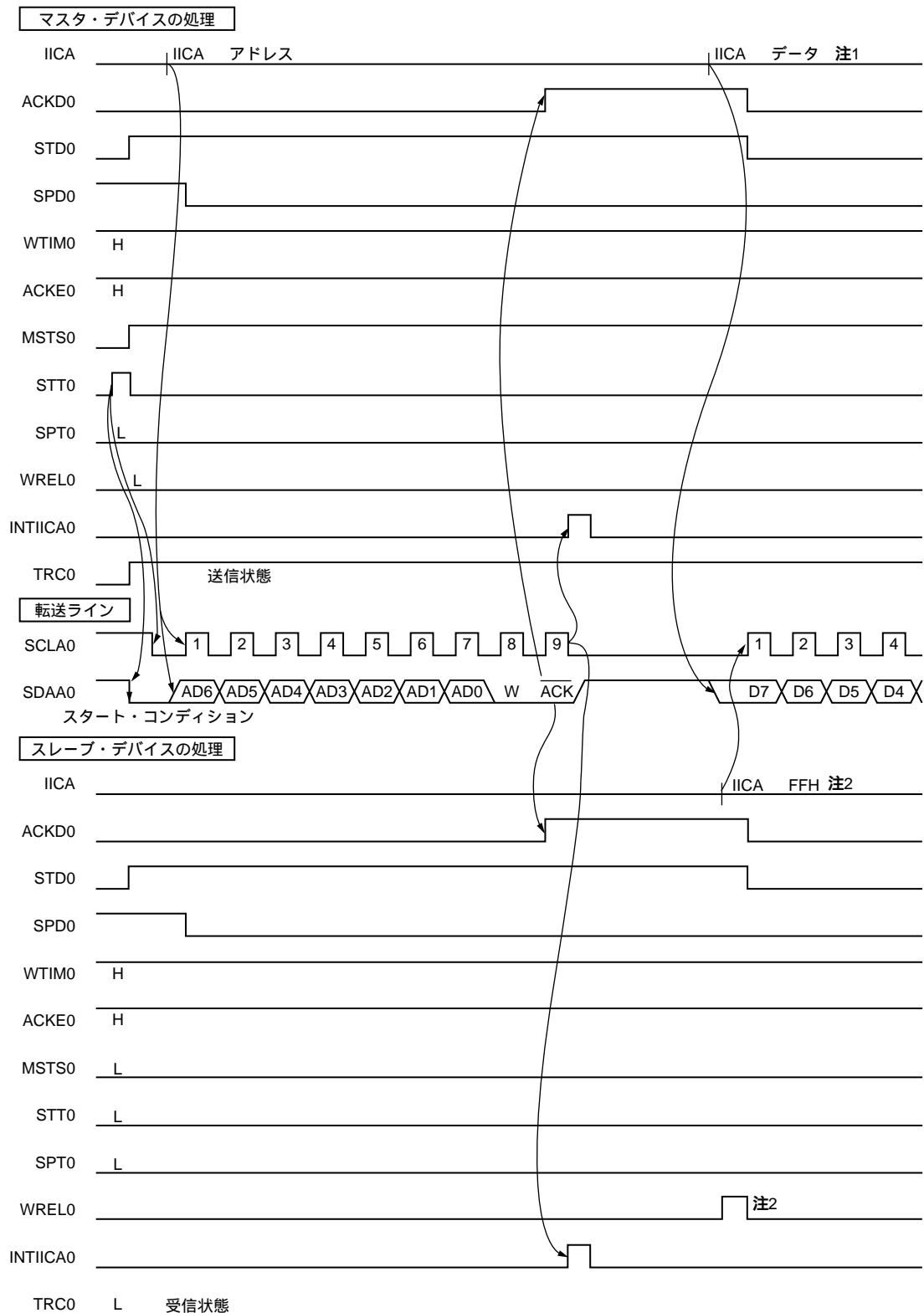
データ通信のタイミング・チャートを図14 - 33，図14 - 34に示します。

シリアル・クロック（SCLA0）の立ち下がりに同期してIICAシフト・レジスタ（IICA）のシフト動作が行われ、送信データがSOラッチに転送され、SDAA0端子からMSBファーストで出力されます。

また、SCLA0の立ち上がりでSDAA0端子に入力されたデータがIICAに取り込まれます。

図14 - 33 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (1/3)

## (1) スタート・コンディション~アドレス

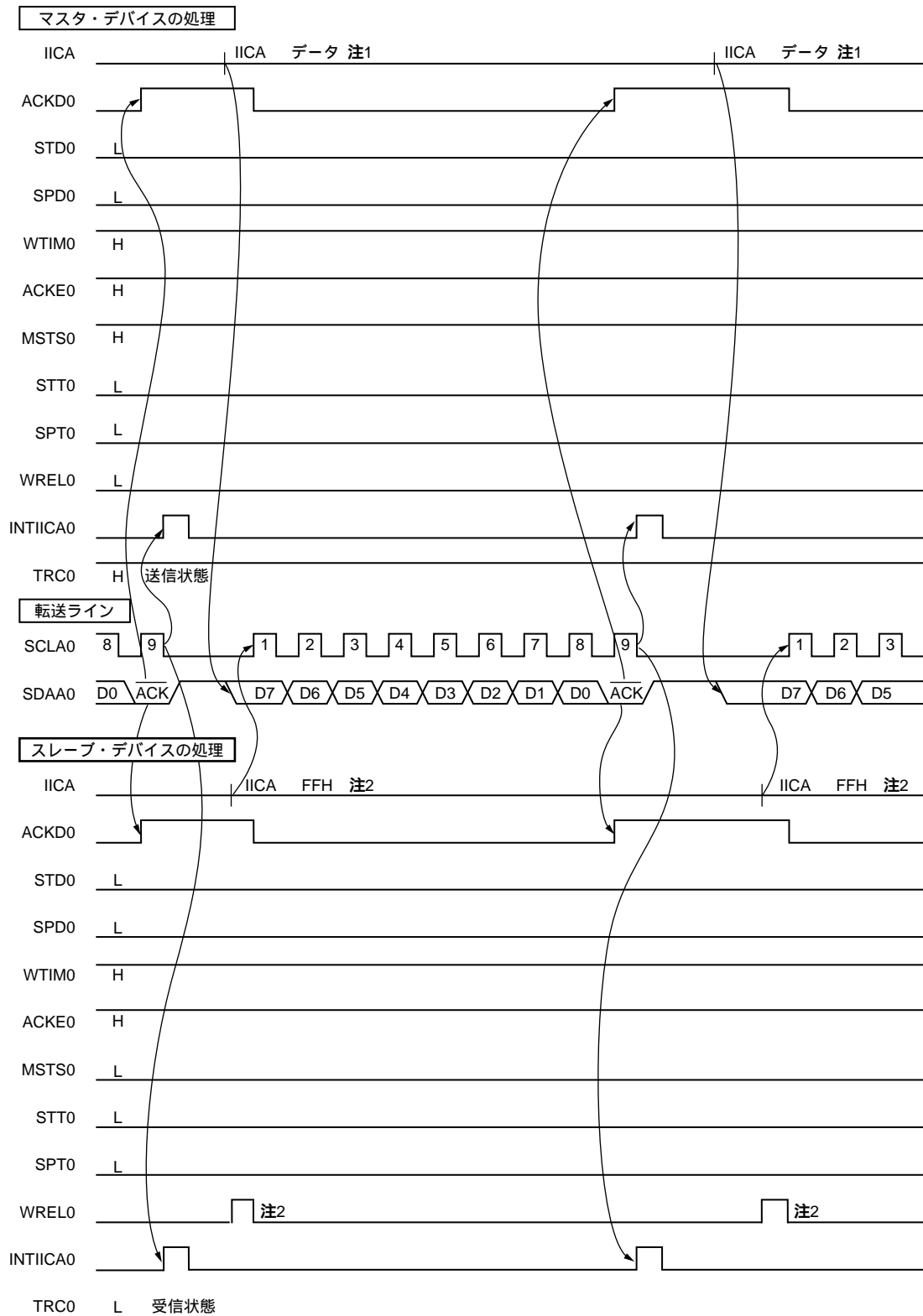


注 1. マスタ送信時のウエイト解除は, WREL0のセットではなく, IICAへのデータ書き込みで行ってください。

2. スレーブ・ウエイト解除は, IICA FFHまたはWREL0のセットのどちらかで行ってください。

図14 - 33 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (2/3)

## (2) データ

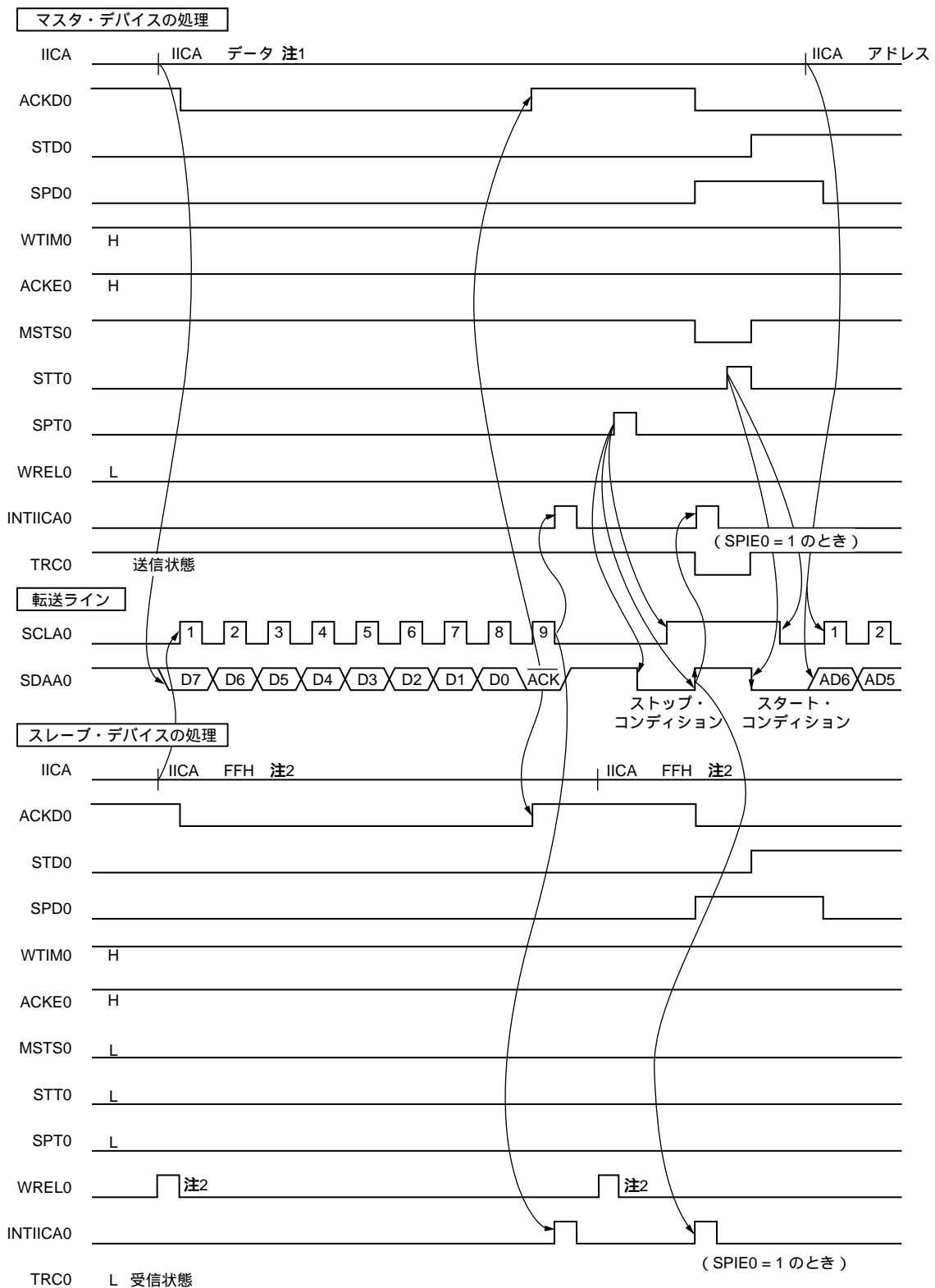


注 1. マスタ送信時のウエイト解除は、WREL0のセットではなく、IICAへのデータ書き込みで行ってください。

2. スレーブ・ウエイト解除は、IICA FFHまたはWREL0のセットのどちらかで行ってください。

図14 - 33 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (3/3)

## (3) ストップ・コンディション

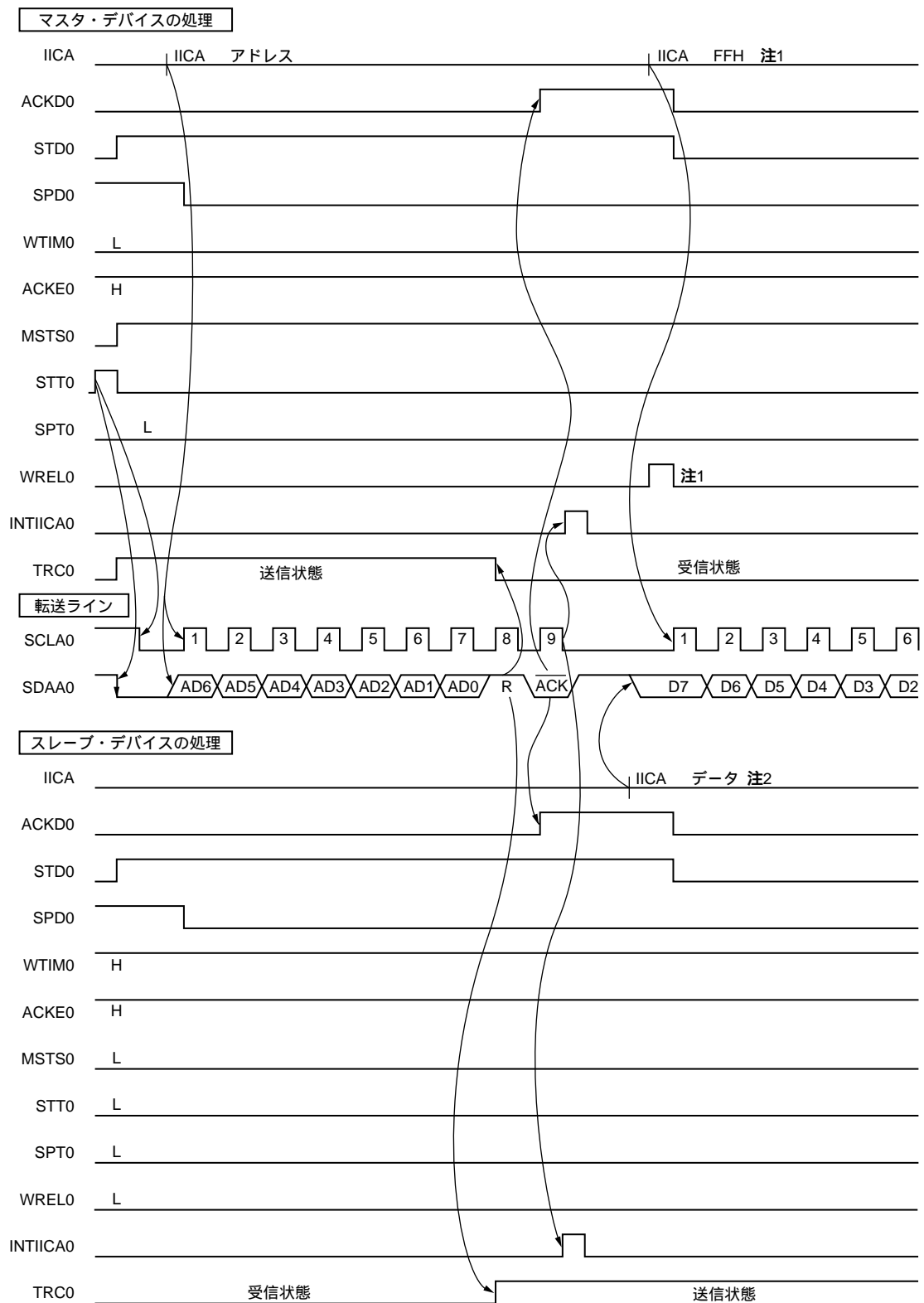


注 1. マスタ送信時のウエイト解除は、WRELOのセットではなく、IICAへのデータ書き込みで行ってください。

2. スレーブ・ウエイト解除は、IICA FFHまたはWRELOのセットのどちらかで行ってください。

図14 - 34 スレーブ マスタ通信例 (マスタ: 8クロック, スレーブ: 9クロックでウェイト選択時) (1/3)

## (1) スタート・コンディション~アドレス

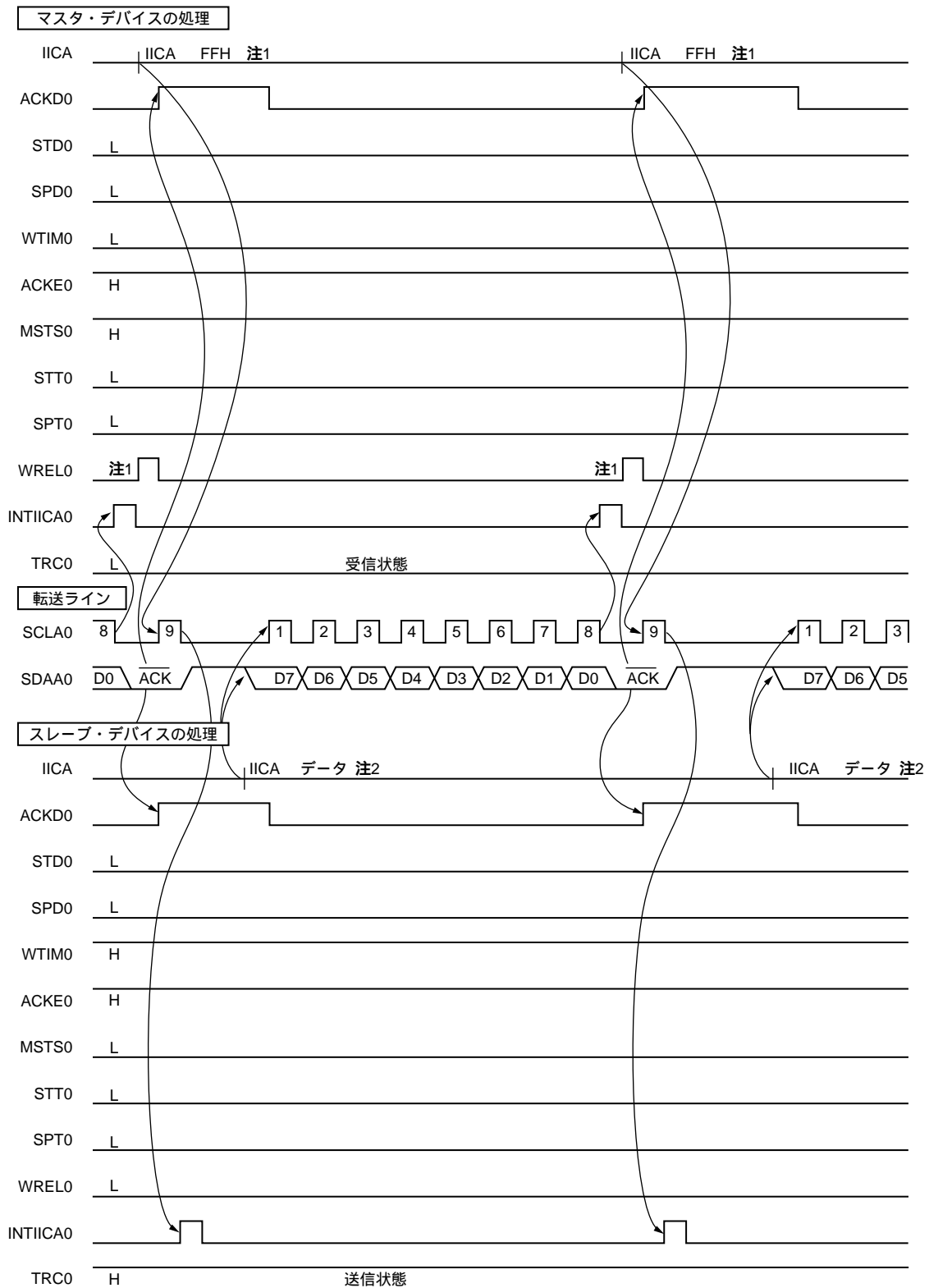


注 1. マスタ・ウェイト解除は, IICA FFHまたはWRELOのセットのどちらかで行ってください。

2. スレーブ送信時のウェイト解除は, WRELOのセットではなく, IICAへのデータ書き込みで行ってください。

図14 - 34 スレーブ マスタ通信例 (マスタ: 8クロック, スレーブ: 9クロックでウェイト選択時) (2/3)

## (2) データ

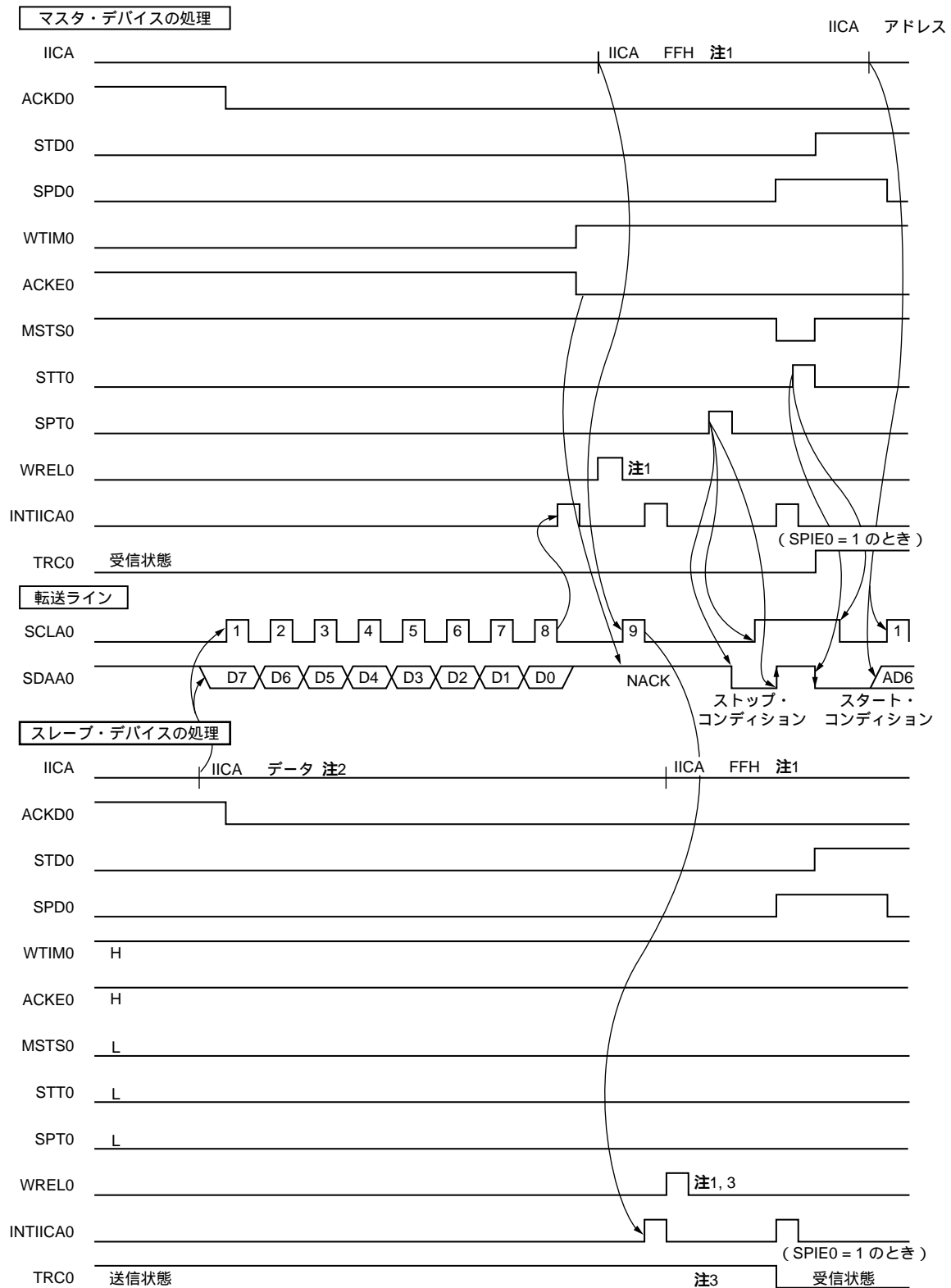


- 注 1. マスタ・ウェイト解除は、IICA FFHまたはWREL0のセットのどちらかで行ってください。
2. スレーブ送信時のウェイト解除は、WREL0のセットではなく、IICAへのデータ書き込みで行ってください。



図14 - 34 スレーブ マスタ通信例 (マスタ: 8 クロック, スレーブ: 9クロックでウエイト選択時) (3/3)

## (3) ストップ・コンディション



注 1. ウエイト解除は、IICA FFHまたはWRELOのセットのどちらかで行ってください。

2. スレーブ送信時のウエイト解除は、WRELOのセットではなく、IICAへのデータ書き込みで行ってください。

3. スレーブ送信時のウエイトをWRELOのセットで解除すると、TRC0はクリアされます。

## 第15章 シリアル・インタフェースCSI11

項目	78K0/FY2-L (16ピン)	78K0/FA2-L (20ピン)	78K0/FB2-L (30ピン)
シリアル・インタフェース CSI11	非搭載		搭載

### 15.1 シリアル・インタフェースCSI11の機能

シリアル・インタフェースCSI11には、次の2種類のモードがあります。

#### (1) 動作停止モード

シリアル通信を行わないときに使用するモードです。消費電力を低減することができます。

詳細については15.4.1 **動作停止モード**を参照してください。

#### (2) 3線式シリアルI/Oモード (MSB/LSB先頭切り替え可能)

シリアル・クロック (SCK11) とシリアル・データ (SI11, SO11) の3本のラインにより、8ビット・データ通信を行うモードです。

3線式シリアルI/Oモードは同時送受信動作が可能なので、データ通信の処理時間が短くなります。

シリアル通信する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続できます。

3線式シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺ICや表示コントローラなどを接続するときに使用できます。

詳細については15.4.2 **3線式シリアルI/Oモード**を参照してください。

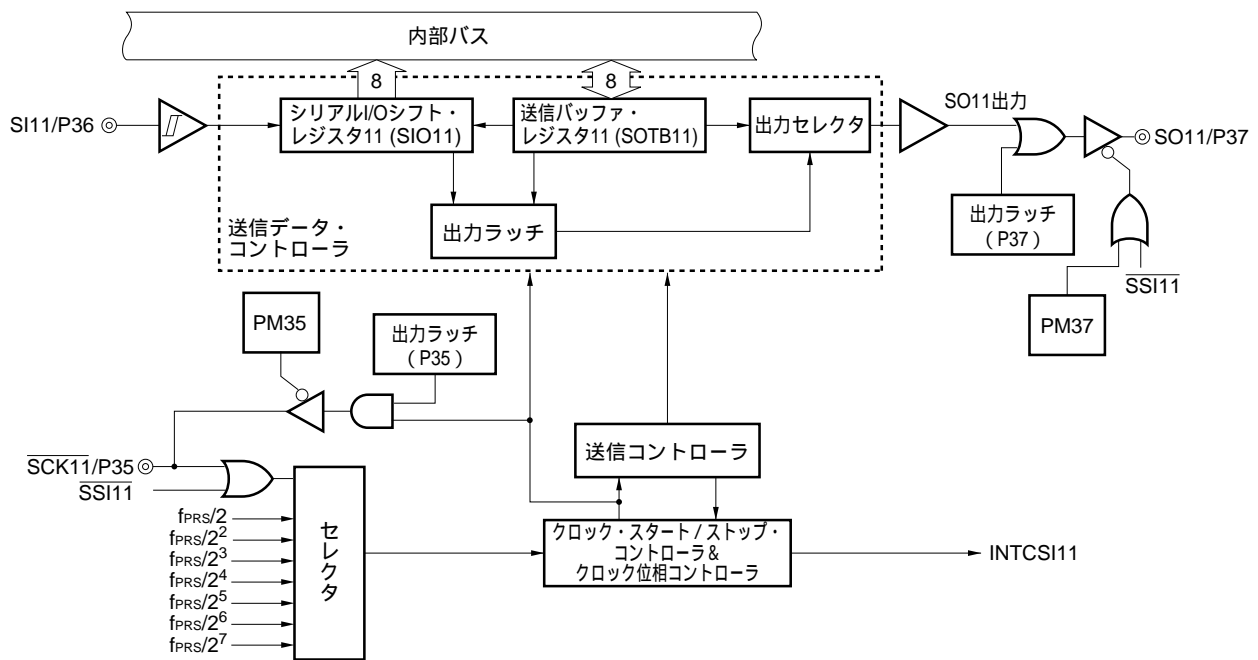
### 15.2 シリアル・インタフェースCSI11の構成

シリアル・インタフェースCSI11は、次のハードウェアで構成しています。

表15-1 シリアル・インタフェースCSI11の構成

項目	構成
制御回路	送信コントローラ クロック・スタート/ストップ・コントローラ&クロック位相コントローラ
レジスタ	送信バッファ・レジスタ11 (SOTB11) シリアルI/Oシフト・レジスタ11 (SIO11)
制御レジスタ	シリアル動作モード・レジスタ11 (CSIM11) シリアル・クロック選択レジスタ11 (CSIC11) ポート・モード・レジスタ0, 3 (PM0, PM3) ポート・レジスタ3 (P3)

図15 - 1 シリアル・インタフェースCSI11のブロック図



### (1) 送信バッファ・レジスタ11 (SOTB11)

送信データを設定するレジスタです。

シリアル動作モード選択レジスタ11 (CSIM11) のビット7 (CSIE11) とビット6 (TRMD11) が1のとき、SOTB11にデータを書き込むことにより送受信動作が開始されます。

SOTB11に書き込まれたデータは、シリアルI/Oシフト・レジスタ11でパラレル・データからシリアル・データに変換され、シリアル出力 (SO11) に出力されます。

SOTB11は、8ビット・メモリ操作命令で書き込みと読み出しができます。

リセット信号の発生により、00Hになります。

**注意1.** CSOT11 = 1 (シリアル通信中) のとき、SOTB11へのアクセスは行わないでください。

- スレープ・モードでは、 $\overline{\text{SSI11}}$ 端子にロウ・レベルが入力された状態で、SOTB11にデータを書き込むと送受信が開始されます。送受信動作の詳細については、15. 4. 2 (2) 通信動作を参照してください。

## (2) シリアルI/Oシフト・レジスタ11 (SIO11)

パラレル-シリアルの変換を行う8ビットのレジスタです。

SIO11は、8ビット・メモリ操作命令で読み出しができます。

シリアル動作モード・レジスタ11 (CSIM11) のビット6 (TRMD11) が0のとき、SIO11からデータを読み出すことにより受信動作が開始されます。

受信時は、データがシリアル入力 (SI11) からSIO11に読み込まれます。

リセット信号の発生により、00Hになります。

注意1. CSOT11 = 1 (シリアル通信中) のとき、SIO11へのアクセスは行わないでください。

2. スレープ・モードでは、 $\overline{\text{SSI11}}$ 端子にロウ・レベルが入力された状態で、SIO11からデータを読み出すと受信が開始されます。受信動作の詳細については、15. 4. 2 (2) 通信動作を参照してください。

## 15.3 シリアル・インタフェースCSI11を制御するレジスタ

シリアル・インタフェースCSI11は、次の4種類のレジスタで制御します。

- ・シリアル動作モード・レジスタ11 (CSIM11)
- ・シリアル・クロック選択レジスタ11 (CSIC11)
- ・ポート・モード・レジスタ0, 3 (PM0, PM3)
- ・ポート・レジスタ3 (P3)

### (1) シリアル動作モード・レジスタ11 (CSIM11)

動作モード、動作の許可/不許可を設定するレジスタです。

CSIM11は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図15 - 2 シリアル動作モード・レジスタ11 (CSIM11) のフォーマット

アドレス : FF88H リセット時 : 00H R/W<sup>注1</sup>

略号	7	6	5	4	3	2	1	0
CSIM11	CSIE11	TRMD11	SSE11	DIR11	0	0	0	CSOT11

CSIE11	3線式シリアル/Oモード時の動作の制御
0	動作禁止 <sup>注2</sup> , 内部回路を非同期リセットする <sup>注3</sup>
1	動作許可

TRMD11 <sup>注4</sup>	送受信モードの制御
0 <sup>注5</sup>	受信モード (送信禁止)
1	送受信モード

SSE11 <sup>注6,7</sup>	SSI11端子の使用の選択
0	SSI11端子を使用しない
1	SSI11端子を使用する

DIR11 <sup>注8</sup>	先頭ビットの指定
0	MSB
1	LSB

CSOT11	通信状態フラグ
0	通信停止
1	通信中

注1. ビット0はRead Onlyです。

- P37/SO11, P35/SCK11, P02/SSI11/INTP5を汎用ポートとして使用する場合は, CSIM11を初期状態と同じ設定 (00H) にしてください。
- リセットされるのはCSIM11のビット0 (CSOT11) とシリアル/Oシフト・レジスタ11 (SIO11) です。
- CSOT11 = 1 (シリアル通信中) のとき, TRMD11を書き換えないでください。
- TRMD11が0のとき, SO11出力 (図15 - 1を参照) はロウ・レベルに固定されます。SIO11からデータを読み出すと受信が開始します。
- CSOT11 = 1 (シリアル通信中) のとき, 上書きをしないでください。
- SSE11を1に設定する前に, SSI11端子の入力レベルを0または1に固定してください。
- CSOT11 = 1 (シリアル通信中) のとき, DIR11を書き換えないでください。

## (2) シリアル・クロック選択レジスタ11 (CSIC11)

データ送受信タイミングの指定, シリアル・クロックを設定するレジスタです。

CSIC11は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図15-3 シリアル・クロック選択レジスタ11 (CSIC11) のフォーマット

アドレス : FF89H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CSIC11	0	0	0	CKP11	DAP11	CKS112	CKS111	CKS110

CKP11	DAP11	データ送受信タイミングの指定		タイプ
0	0	$\overline{\text{SCK11}}$ SO11 SI11入カタイミン		1
0	1	$\overline{\text{SCK11}}$ SO11 SI11入カタイミン		2
1	0	$\overline{\text{SCK11}}$ SO11 SI11入カタイミン		3
1	1	$\overline{\text{SCK11}}$ SO11 SI11入カタイミン		4

CKS112	CKS111	CKS110	CS111のシリアル・クロックの選択				モード	
			$f_{\text{PRS}} =$ 2 MHz	$f_{\text{PRS}} =$ 5 MHz	$f_{\text{PRS}} =$ 10 MHz	$f_{\text{PRS}} =$ 20 MHz ( PLL 使用時 )		
0	0	0	$f_{\text{PRS}}/2$	1 MHz	2.5 MHz	5 MHz	10 MHz	マスタ・ モード
0	0	1	$f_{\text{PRS}}/2^2$	500 kHz	1.25 MHz	2.5 MHz	5 MHz	
0	1	0	$f_{\text{PRS}}/2^3$	250 kHz	625 kHz	1.25 MHz	2.5 MHz	
0	1	1	$f_{\text{PRS}}/2^4$	125 kHz	312.5 kHz	625 kHz	1.25 MHz	
1	0	0	$f_{\text{PRS}}/2^5$	62.5 kHz	156.25 kHz	312.5 kHz	625 kHz	
1	0	1	$f_{\text{PRS}}/2^6$	31.25 kHz	78.13 kHz	156.25 kHz	312.5 kHz	
1	1	0	$f_{\text{PRS}}/2^7$	15.63 kHz	39.06 kHz	78.13 kHz	156.25 kHz	
1	1	1	SCK11からの外部クロック入力 <sup>注</sup>				スレーブ・ モード	

注 STOPモード時の場合、 $\overline{\text{SCK11}}$ 端子からの外部クロックで通信動作を開始させないでください。

- 注意1. CSIE11 = 1 (動作許可) のとき、CSIC11への書き込みを行わないでください。
- P37/SO11, P35/ $\overline{\text{SCK11}}$ を汎用ポートとして使用する場合は、CSIC11を初期状態と同じ設定 (00H) にしてください。
  - リセット後のデータ・クロックの位相タイプは、タイプ1になります。

備考  $f_{\text{PRS}}$  : 周辺ハードウェア・クロック周波数

## (3) ポート・モード・レジスタ0, 3 (PM0, PM3)

ポート0, 3の入力 / 出力を1ビット単位で設定するレジスタです。

P35/SCK11をシリアル・インタフェースのクロック出力として使用するとき, PM35に0, P35の出力ラッチに1を設定してください。

P37/SO11をシリアル・インタフェースのデータ出力として使用するとき, PM37およびP37の出力ラッチに0を設定してください。

P35/SCK11をシリアル・インタフェースのクロック入力, P36/SI11をシリアル・インタフェースのデータ入力, P02/SSI11/INTP5をシリアル・インタフェースのチップ・セレクト入力として使用するとき, PM35, PM36, PM02に1を設定してください。このとき, P35, P36, P02の出力ラッチは, 0または1のどちらでもかまいません。

PM0, PM3は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図15 - 4 ポート・モード・レジスタ0 (PM0) のフォーマット (78K0/FB2-L)

アドレス : FF20H    リセット時 : FFH    R/W

略号	7	6	5	4	3	2	1	0
PM0	1	1	1	1	1	PM02	PM01	PM00

PM0n	P0n端子の入出力モードの選択 (n = 0-2)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

図15 - 5 ポート・モード・レジスタ3 (PM3) のフォーマット (78K0/FB2-L)

アドレス : FF23H    リセット時 : FFH    R/W

略号	7	6	5	4	3	2	1	0
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30

PM3n	P3n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

## 15.4 シリアル・インタフェースCSI11の動作

シリアル・インタフェースCSI11は、次の2種類のモードがあります。

- ・動作停止モード
- ・3線式シリアル/Oモード

### 15.4.1 動作停止モード

動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。また動作停止モードでは、SCK11, SI11, SO11, SSI11を通常の入出力ポートとして使用できます。

#### (1) 使用するレジスタ

動作停止モードの設定は、シリアル動作モード・レジスタ11 (CSIM11) で行います。

動作停止モードにする場合は、CSIM11のビット7 (CSIE11) に0を設定してください。

#### (a) シリアル動作モード・レジスタ11 (CSIM11)

CSIM11は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

アドレス：FF88H    リセット時：00H    R/W

略号	7	6	5	4	3	2	1	0
CSIM11	CSIE11	TRMD11	SSE11	DIR11	0	0	0	CSOT11

CSIE11	3線式シリアル/Oモード時の動作の制御
0	動作禁止 <sup>注1</sup> 、内部回路を非同期リセットする <sup>注2</sup>

注1. P37/SO11, P35/SCK11, P02/SSI11/INTP5を汎用ポートとして使用する場合は、CSIM11を初期状態と同じ設定 (00H) にしてください。

2. リセットされるのはCSIM11のビット0 (CSOT11) とシリアル/Oシフト・レジスタ11 (SIO11) です。



### 15.4.2 3線式シリアル/Oモード

クロック同期式シリアル・インタフェースを内蔵する周辺ICや表示コントローラなどを接続するときに使用できます。

シリアル・クロック ( $\overline{\text{SCK11}}$ ) , シリアル出力 (SO11) , シリアル入力 (SI11) の3本のラインで通信を行います。

#### (1) 使用するレジスタ

- ・シリアル動作モード・レジスタ11 (CSIM11)
- ・シリアル・クロック選択レジスタ11 (CSIC11)
- ・ポート・モード・レジスタ0, 3 (PM0, PM3)
- ・ポート・レジスタ3 (P3)

3線式シリアル/Oモードの基本的な動作設定手順例は次のようになります。

CSIC11レジスタを設定 (図15 - 3を参照)

CSIM11レジスタのビット4-6 (DIR11, SSE11, TRMD11) を設定 (図15 - 2を参照)

CSIM11レジスタのビット7 (CSIE11) をセット (1) 送受信可能

送信バッファ・レジスタ11 (SOTB11) にデータを書き込み データ送受信開始

シリアル/Oシフト・レジスタ11 (SIO11) からデータを読み出し データ受信開始

**注意** ポート・モード・レジスタとポート・レジスタの設定手順は、通信相手との関係を考慮して、行ってください。

レジスタの設定と端子の関係を次に示します。

表15-2 レジスタの設定と端子の関係

CSIE11	TRMD11	SSE11	PM36	P36	PM37	P37	PM35	P35	PM02	P02	CSI11 の動作	端子機能			
												SI11/ P36	SO11/ P37	SCK11 /P35	SSI11/ P02/ INTP5
0	0	x	x <sup>注1</sup>	x <sup>注1</sup>	x <sup>注1</sup>	x <sup>注1</sup>	x <sup>注1</sup>	x <sup>注1</sup>	x <sup>注2</sup>	x <sup>注2</sup>	停止	P36	P37	P35 <sup>注4</sup>	P02/ INTP5
1	0	0	1	x	x <sup>注1</sup>	x <sup>注1</sup>	1	x	x <sup>注2</sup>	x <sup>注2</sup>	スレーブ 受信 <sup>注3</sup>	SI11	P37	SCK11 (入力) <sup>注3</sup>	P02/ INTP5
		1													
1	1	0	x <sup>注1</sup>	x <sup>注1</sup>	0	0	1	x	x <sup>注2</sup>	x <sup>注2</sup>	スレーブ 送信 <sup>注3</sup>	P36	SO11	SCK11 (入力) <sup>注3</sup>	P02/ INTP5
		1													
1	1	0	1	x	0	0	1	x	x <sup>注2</sup>	x <sup>注2</sup>	スレーブ 送受信 <sup>注3</sup>	SI11	SO11	SCK11 (入力) <sup>注3</sup>	P02/ INTP5
		1													
1	0	0	1	x	x <sup>注1</sup>	x <sup>注1</sup>	0	1	x <sup>注2</sup>	x <sup>注2</sup>	マスタ 受信	SI11	P37	SCK11 (出力)	P02/ INTP5
1	1	0	x <sup>注1</sup>	x <sup>注1</sup>	0	0	0	1	x <sup>注2</sup>	x <sup>注2</sup>	マスタ 送信	P36	SO11	SCK11 (出力)	P02/ INTP5
1	1	0	1	x	0	0	0	1	x <sup>注2</sup>	x <sup>注2</sup>	マスタ 送受信	SI11	SO11	SCK11 (出力)	P02/ INTP5

注1. ポート機能として設定することができます。

2. ポート機能または外部割り込みとして設定することができます。

3. スレーブとして使用する場合，CKS112, CKS111, CKS110 = 1, 1, 1に設定してください。

4. P35/SCK11をポート機能として使用する場合，CKP11を0に設定してください。

備考	x	: don't care
	CSIE11	: シリアル動作モード・レジスタ11 (CSIM11) のビット7
	TRMD11	: CSIM11のビット6
	SSE11	: CSIM11のビット5
	CKP11	: シリアル・クロック選択レジスタ11 (CSIC11) のビット4
	CKS112, CKS111, CKS110	: CSIC11のビット2-0
	PM0, PM3	: ポート・モード・レジスタ0, 3
	P0, P3	: ポート0, 3の出力ラッチ

**(2) 通信動作**

3線式シリアル/Oモードでは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信されます。

シリアル動作モード・レジスタ11 (CSIM11) のビット6 (TRMD11) が1の場合、データの送受信が可能です。送信バッファ・レジスタ11 (SOTB11) に値を書き込むことにより、送受信が開始されます。またシリアル動作モード・レジスタ11 (CSIM11) のビット6 (TRMD11) が0の場合、データの受信が可能です。シリアル/Oシフト・レジスタ11 (SIO11) からデータを読み出すことにより、受信動作が開始されます。

スレープ・モード時、CSIM11のビット5 (SSE11) が1の場合は次のようになります。

$\overline{\text{SSI11}}$ 端子にロウ・レベル入力

SOTB11への書き込みで送受信、またはSIO11からの読み出しで受信が開始されます

$\overline{\text{SSI11}}$ 端子にハイ・レベル入力

送受信保留または受信保留状態になるため、SOTB11への書き込みまたはSIO11からの読み出しを行っても、送受信または受信は開始されません

$\overline{\text{SSI11}}$ 端子にハイ・レベル入力しているときに、SOTB11へデータを書き込みまたはSIO11からデータを読み出し、その後 $\overline{\text{SSI11}}$ 端子にロウ・レベル入力

送受信または受信が開始されます

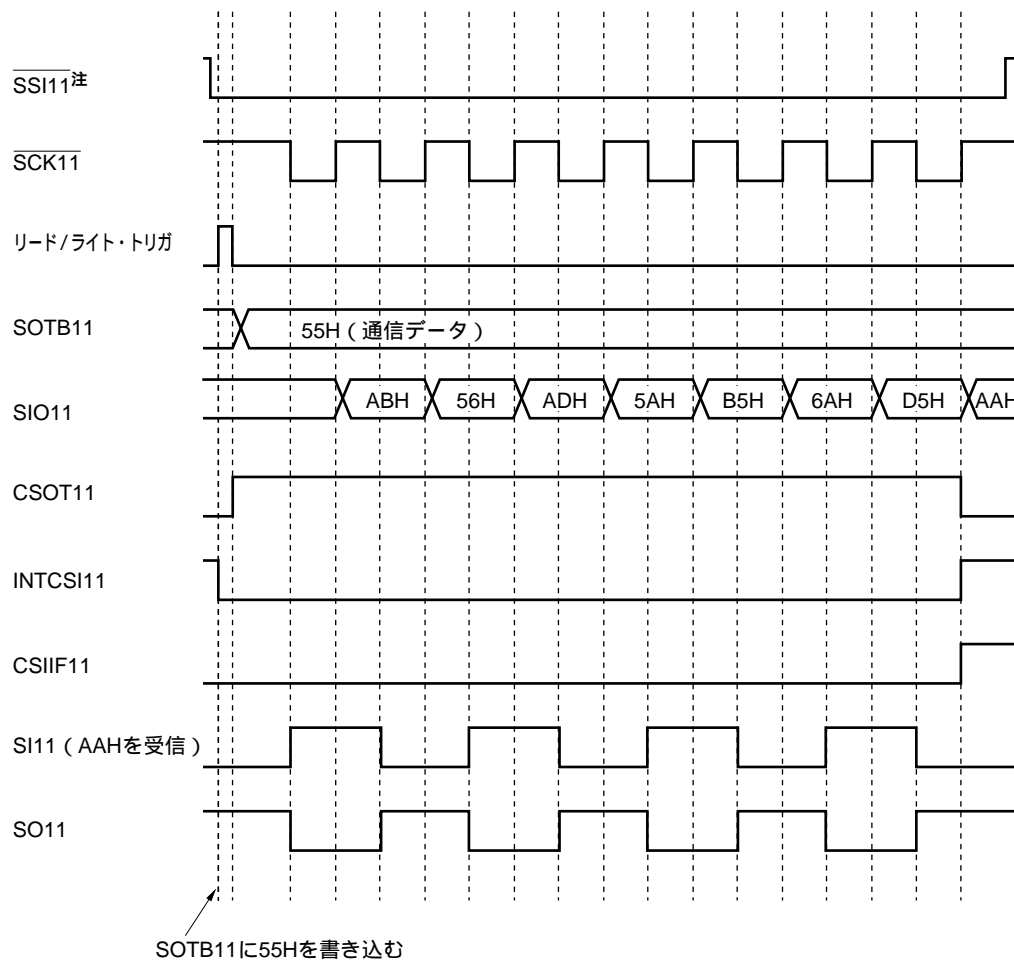
送受信または受信中に、 $\overline{\text{SSI11}}$ 端子にハイ・レベル入力

送受信または受信が中断されます

通信開始後、CSIM11のビット0 (CSOT11) が1になります。8ビットの通信が終了すると、通信終了割り込み要求フラグ (CSIIF11) がセットされ、CSOT11は0にクリアされます。そして次の通信が可能になります。

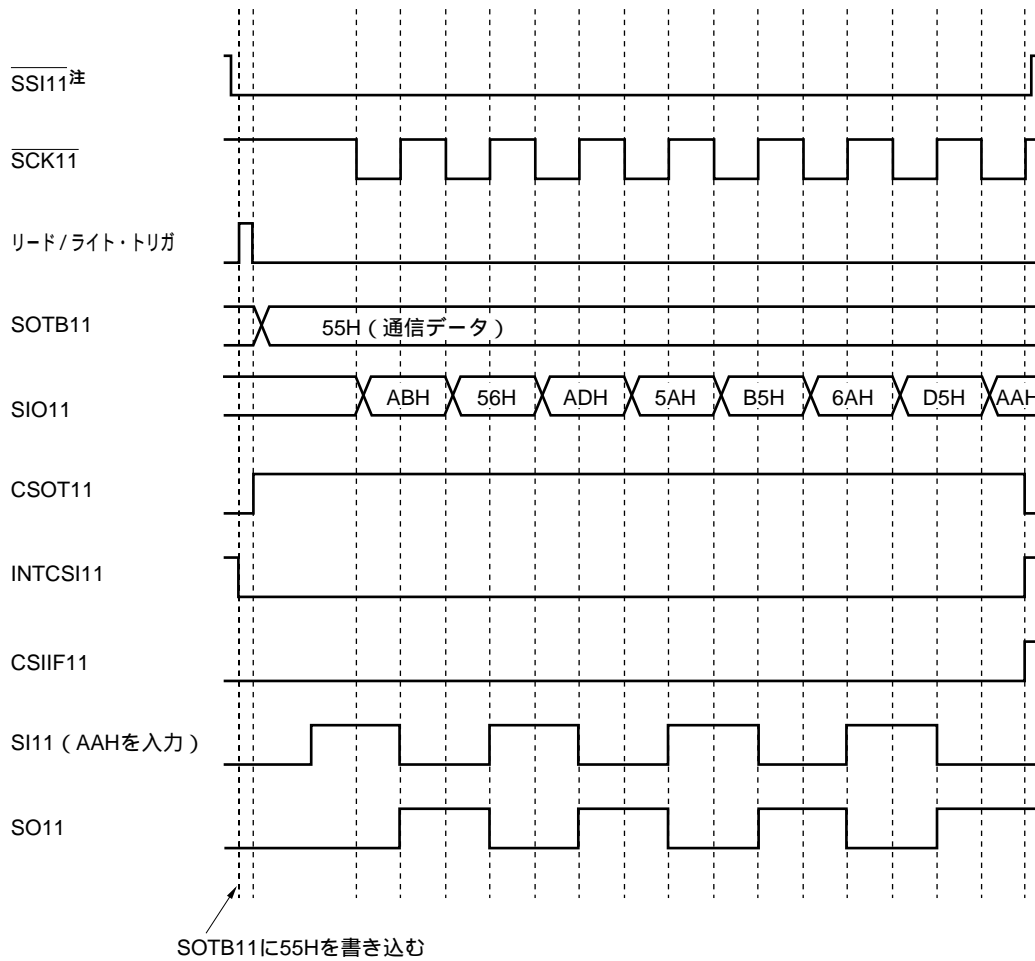
- 注意1.** CSOT11 = 1 (シリアル通信中) のとき、コントロール・レジスタとデータ・レジスタにアクセスしないでください。
- 2.** スレープ・モードの場合、 $\overline{\text{SSI11}}$ 端子の変更タイミングには、クロック動作が開始する前に1クロック以上の長さを取ってください。誤作動を起こす可能性があります。

図15 - 6 3線式シリアルI/Oモードのタイミング (1/2)

(a) 送受信タイミング (タイプ1 : TRMD11 = 1, DIR11 = 0, CKP11 = 0, DAP11 = 0, SSE11 = 1<sup>注</sup>)

注 SSE11フラグと $\overline{SSI11}$ 端子は、スレーブ・モード時に使用します。

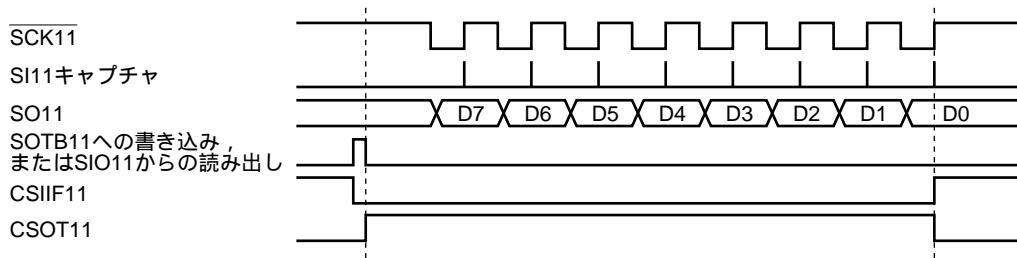
図15 - 6 3線式シリアルI/Oモードのタイミング (2/2)

(b) 送受信タイミング (タイプ2: TRMD11 = 1, DIR11 = 0, CKP11 = 0, DAP11 = 1, SSE11 = 1<sup>注</sup>)

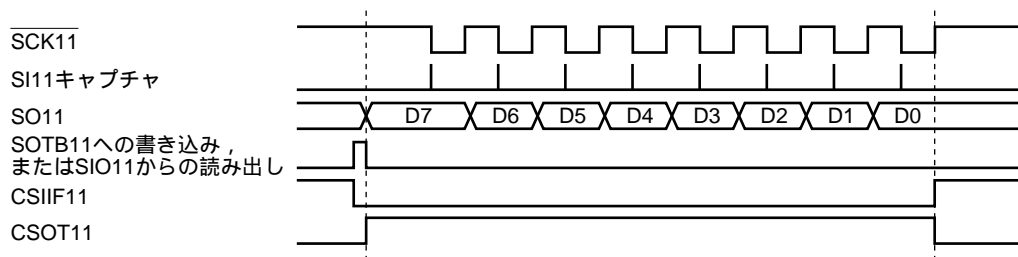
注 SSE11フラグと $\overline{\text{SSI11}}$ 端子は、スレーブ・モード時に使用します。

図15-7 クロック/データ位相のタイミング

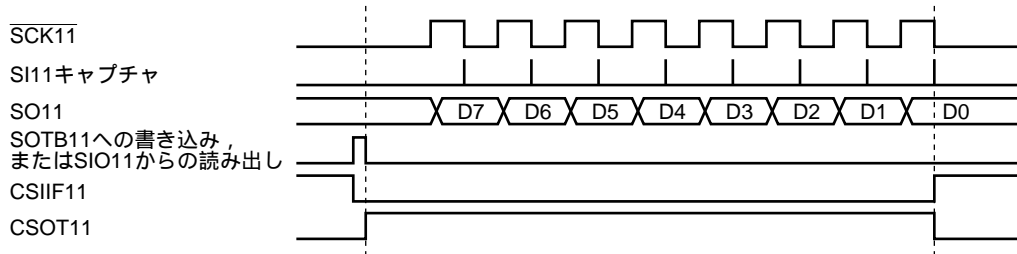
(a) タイプ1 : CKP11 = 0, DAP11 = 0, DIR11 = 0



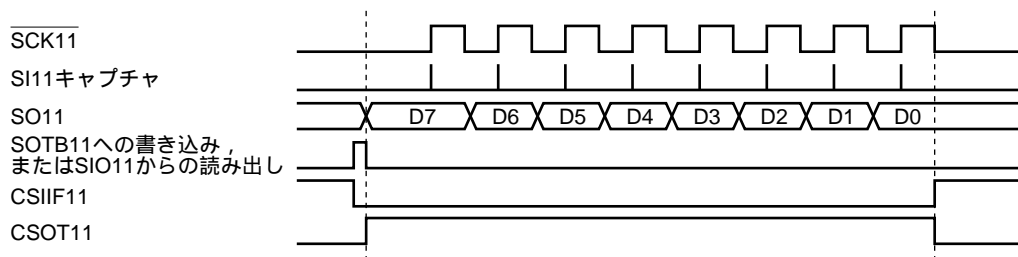
(b) タイプ2 : CKP11 = 0, DAP11 = 1, DIR11 = 0



(c) タイプ3 : CKP11 = 1, DAP11 = 0, DIR11 = 0



(d) タイプ4 : CKP11 = 1, DAP11 = 1, DIR11 = 0



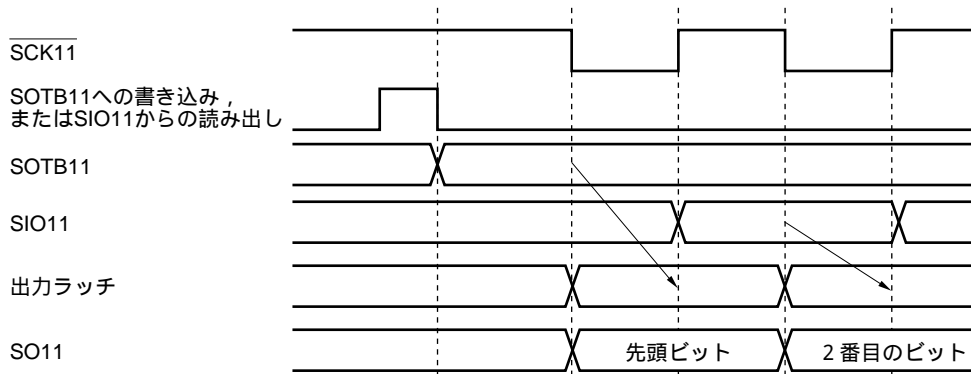
備考 上図は, MSBファーストの通信動作です。

## (3) SO11端子への出力タイミング(先頭ビット)

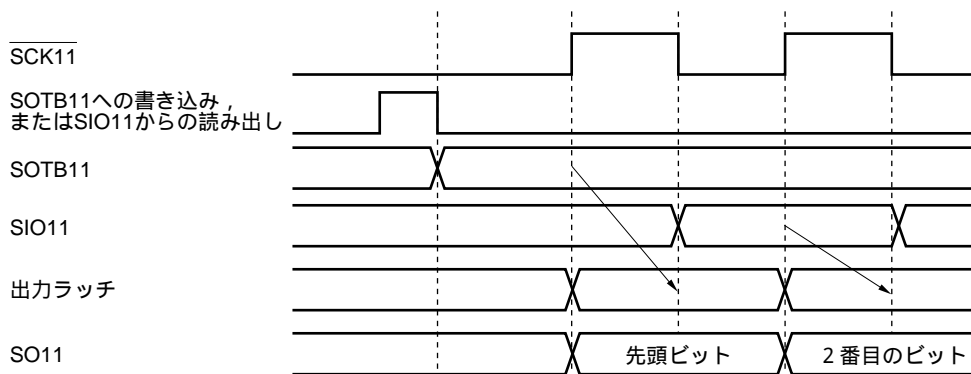
通信開始時、送信バッファ・レジスタ11 (SOTB11) の値は、SO11端子から出力されます。このとき、先頭ビットの出力動作を説明します。

図15 - 8 先頭ビットの出力動作 (1/2)

(a) タイプ1 : CKP11 = 0, DAP11 = 0



(b) タイプ3 : CKP11 = 1, DAP11 = 0

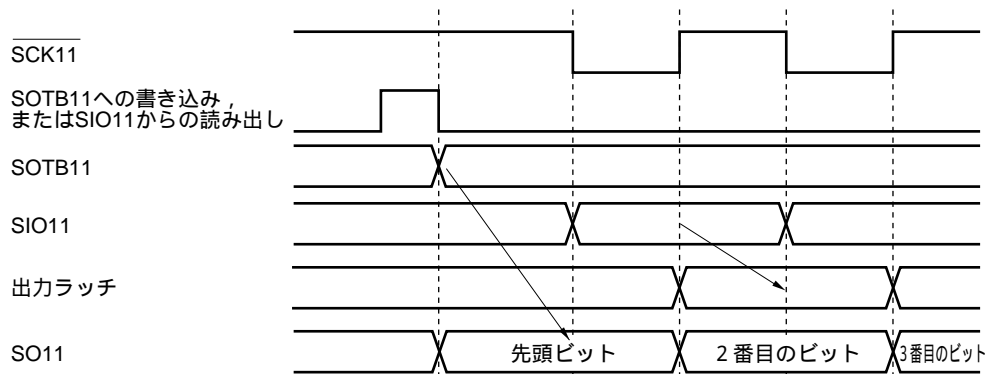


先頭ビットは、 $\overline{\text{SCK11}}$ の立ち下がり(または立ち上がり)エッジでSOTB11レジスタから直接、出力ラッチにラッチされ、さらに出力セレクタを通してSO11端子から出力されます。次の $\overline{\text{SCK11}}$ の立ち上がり(または立ち下がり)エッジでSOTB11レジスタの値がSIO11レジスタに転送され、1ビット分シフトします。同時にSIO11端子を通して、受信データの先頭ビットがSIO11レジスタに格納されます。

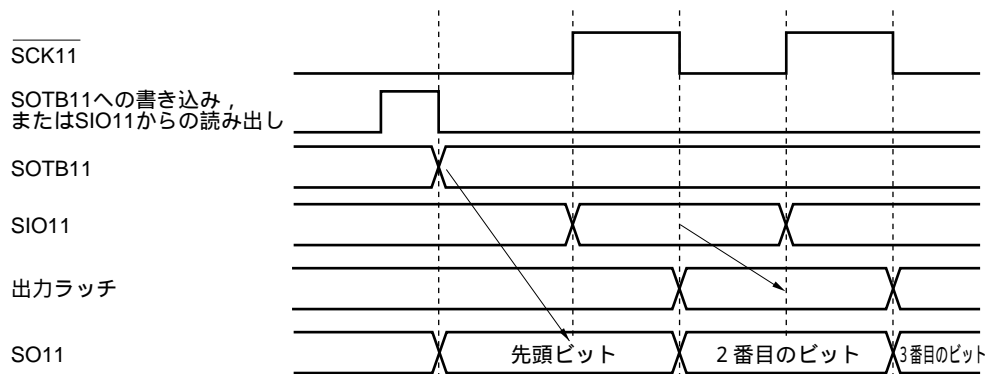
2番目のビット以降は、次の $\overline{\text{SCK11}}$ の立ち下がり(または立ち上がり)エッジでSIO11から出力ラッチにラッチされ、データがSO11端子から出力されます。

図15-8 先頭ビットの出力動作 (2/2)

(c) タイプ2 : CKP11 = 0, DAP11 = 1



(d) タイプ4 : CKP11 = 1, DAP11 = 1



先頭ビットは、SOTB11のライト信号またはSIO11レジスタのリード信号の立ち下がりエッジでSOTB11レジスタから直接、出力セレクタを通してSO11端子から出力されます。次の $\overline{\text{SCK11}}$ の立ち下がり（または立ち上がり）エッジでSOTB11レジスタの値がSIO11レジスタに転送され、1ビット分シフトします。同時にSIO11端子を通して、受信データの先頭ビットがSIO11レジスタに格納されます。

2番目のビット以降は、次の $\overline{\text{SCK11}}$ の立ち上がり（または立ち下がり）エッジでSIO11レジスタから出力ラッチにラッチされ、データがSO11端子から出力されます。

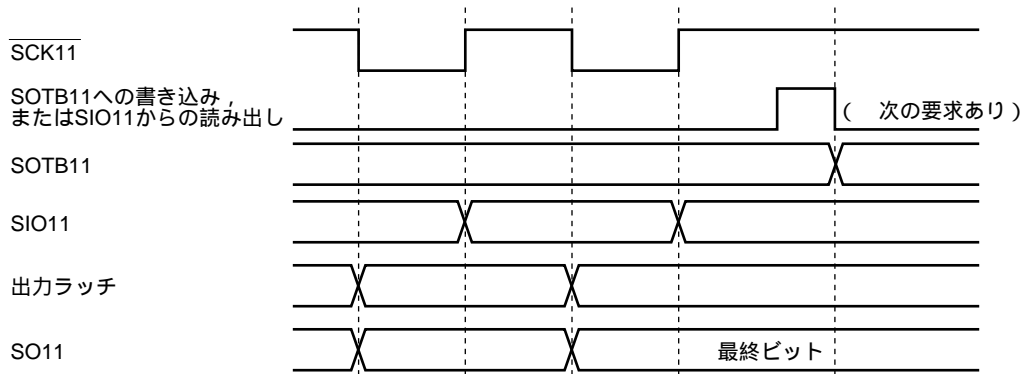


## (4) SO11端子の出力値 (最終ビット)

通信終了後, SO11端子の出力は, 最終ビットの出力値を保持します。

図15 - 9 SO11端子の出力値 (最終ビット) (1/2)

(a) タイプ1 : CKP11 = 0, DAP11 = 0



(b) タイプ3 : CKP11 = 1, DAP11 = 0

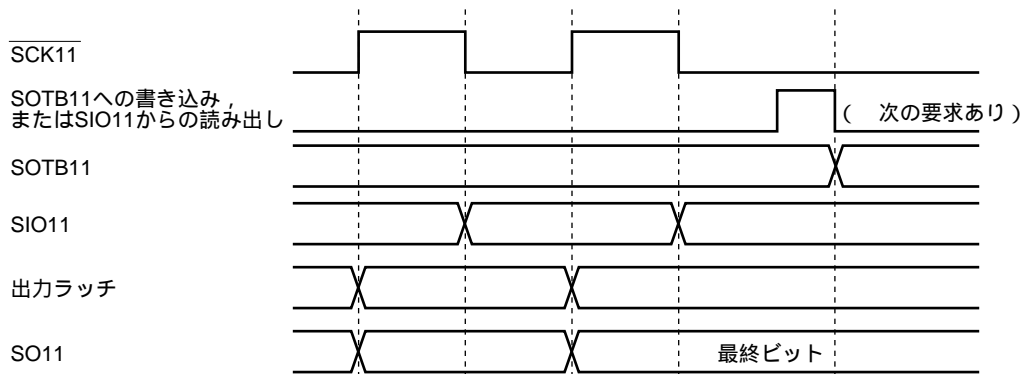
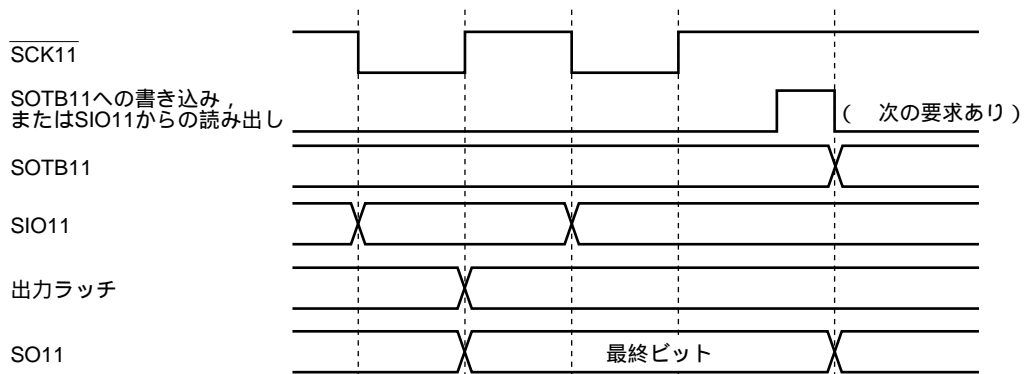
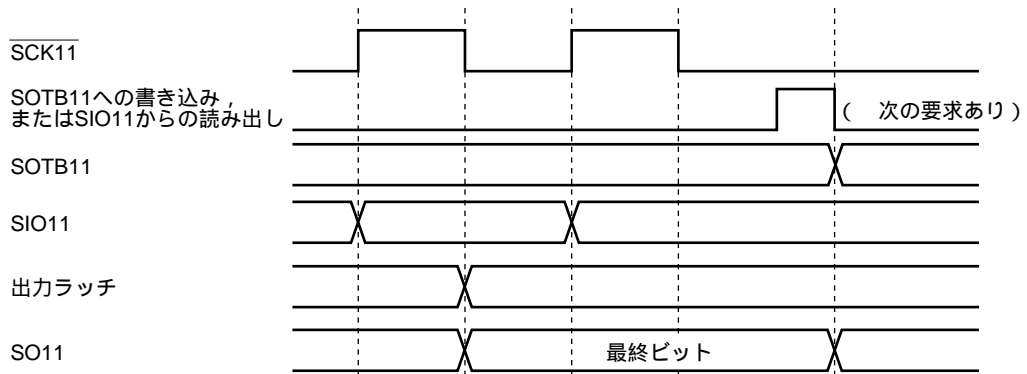


図15 - 9 SO11端子の出力値（最終ビット）（2/2）

(c) タイプ2 : CKP11 = 0, DAP11 = 1



(d) タイプ4 : CKP11 = 1, DAP11 = 1



## (5) SO11出力 (図15 - 1) について

CSIE11, TRMD11, DAP11, DIR11の設定により, SO11出力は次のようになります。

表15 - 3 SO11出力の状態

CSIE11	TRMD11	DAP11	DIR11	SO11出力 <sup>注1</sup>
CSIE11 = 0 <sup>注2</sup>	TRMD11 = 0 <sup>注2</sup>	-	-	ロウ・レベル出力 <sup>注2</sup>
	TRMD11 = 1 <sup>注3</sup>	DAP11 = 0	-	ロウ・レベル出力
		DAP11 = 1	DIR11 = 0	SOTB11のビット7の値
			DIR11 = 1	SOTB11のビット0の値
CSIE11 = 1	TRMD11 = 0	-	-	ロウ・レベル出力
	TRMD11 = 1	-	-	送信データ <sup>注4</sup>

注1. 実際のSO11/P37端子の出力は, SO11出力のほかにPM37とP37によって決まります。

2. リセット時の状態です。
3. SO11/P37端子を汎用ポートとして使用する場合は, CSIC11を初期状態と同じ設定(00H)にしてください。
4. 送信終了後は, 送信データの最終ビットの出力値を保持します。

注意 CSIE11, TRMD11, DAP11, DIR11に値を書き込むと, SO11の出力値が変わります。

## 第16章 乗算器

### 16.1 乗算器の機能

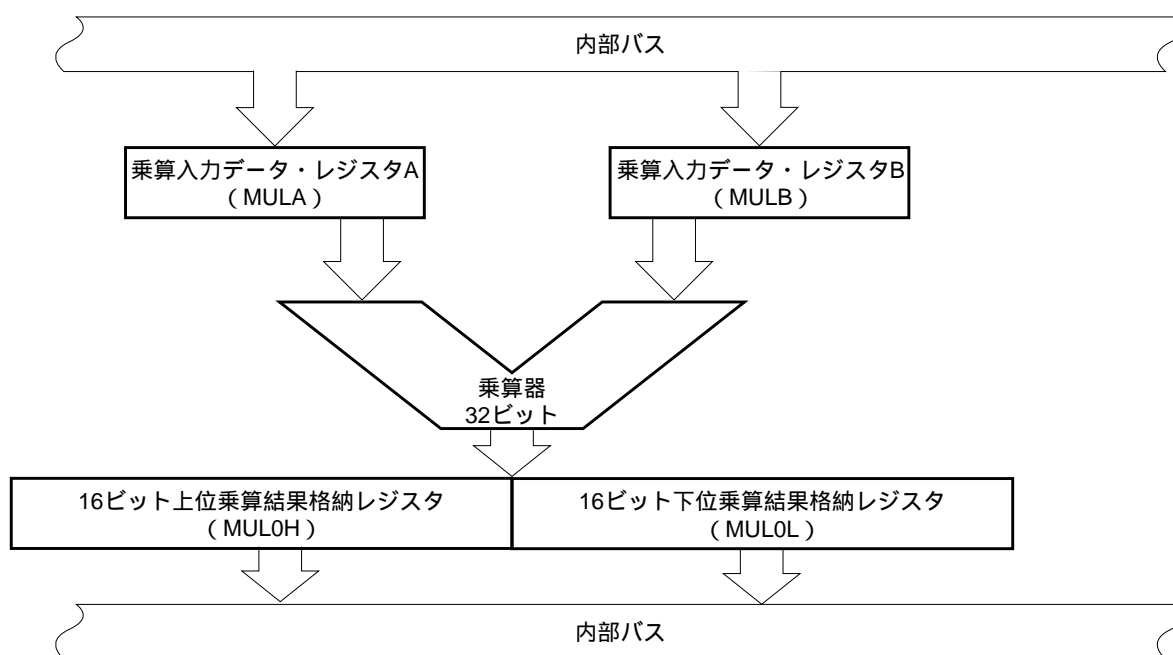
乗算器は、78K0/Fx2-Lマイクロコントローラの全製品に搭載されています。

乗算器には、次のような機能があります。

- ・ 8ビット×8ビット = 16ビット
- ・ 16ビット×16ビット = 32ビット

図16 - 1に乗算器のブロック図を示します。

図16 - 1 乗算器のブロック図



## 16.2 乗算器の構成

### (1) 16ビット上位乗算結果格納レジスタ, 16ビット下位乗算結果格納レジスタ (MUL0H, MUL0L)

MUL0HとMUL0Lの2つのレジスタで32ビットの乗算結果を格納するレジスタです。

8ビット×8ビットの乗算の場合は, 16ビットの乗算結果をMUL0Lに格納にします。

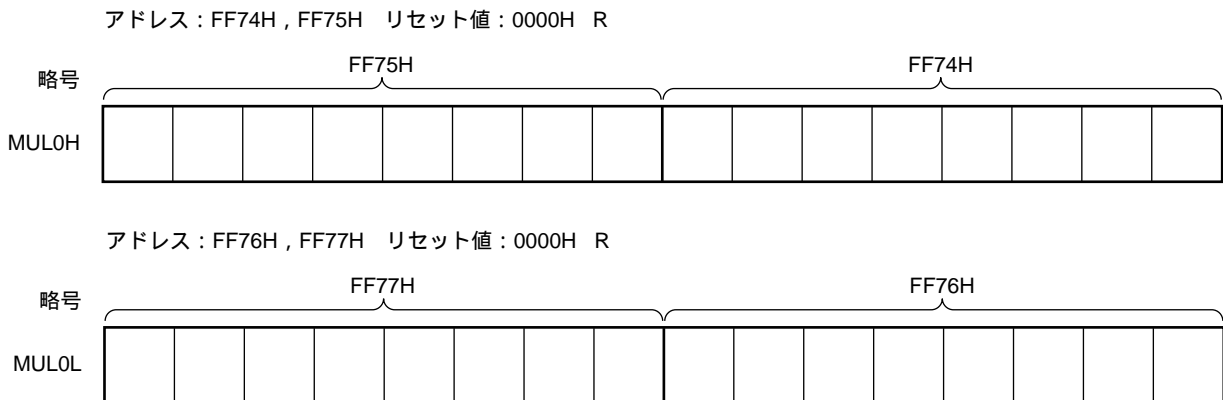
16ビット×16ビットの乗算の場合は, 乗算結果の上位16ビットをMUL0Hに, 乗算結果の下位16ビットをMUL0Lに格納することにより, 合計で32ビットの乗算結果を格納できます。

このレジスタは, CPUクロックで1クロック経過後, 乗算結果を保持します。

MUL0H, MUL0Lは, 16ビット・メモリ操作命令で読み出します。

リセット信号の発生により, 0000Hになります。

図16 - 2 16ビット上位乗算結果格納レジスタ, 16ビット下位乗算結果格納レジスタ (MUL0H, MUL0L) のフォーマット

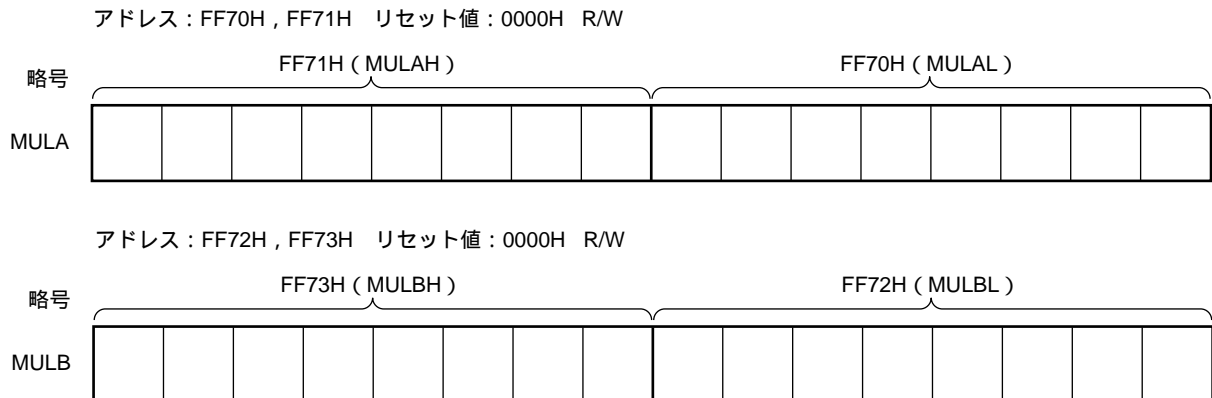


## (2) 乗算入力データ・レジスタA, B (MULA, MULB)

16ビットの乗算データ格納用レジスタです。乗算器はMULAとMULBの値を乗算します。  
MULA, MULBは、8ビットメモリ操作命令または16ビット・メモリ操作命令で設定します。  
リセット信号の発生により、0000Hになります。

**注意** 8ビット×8ビットの乗算の場合、乗算データはMULAL, MULBLに設定してください。

図16-3 乗算入力データ・レジスタA, B (MULA, MULB) のフォーマット



## 16.3 乗算器の動作

MULAレジスタとMULBレジスタに値を格納し、1クロック以上待った後にMUL0HレジスタおよびMUL0Lレジスタを読み出すことにより、結果を取得することができます。MULAまたはMULBを固定し、どちらか片方だけを書き換えても、書き換え後1クロック以上経過すれば、結果を読み出すことができます。また、MUL0HとMUL0Lの読み出しは、どちらが先でも問題なく結果を読み出すことができます。

乗算のソース例を次に示します。

### 例1：8ビット×8ビットの乗算の場合

```
MOV      MULAL, #005H
MOV      MULBL, #022H
NOP                               ; 1クロック・ウエイト。NOPでなくても可
MOVW    AX, MUL0L                 ; 乗算結果取得
```

**注意** 例1の場合、乗算データはMULAL、MULBLに設定してください。

### 例2：16ビット×16ビットの乗算の場合（乗算データ設定にMOVW命令を使用）

```
MOVW    MULA, #1234H
MOVW    MULB, #5678H
NOP                               ; 1クロック・ウエイト。NOPでなくても可
MOVW    AX, MUL0H                 ; 上位側結果取得
PUSH    AX
MOVW    AX, MUL0L                 ; 下位側結果取得
```

### 例3：16ビット×16ビットの乗算の場合（乗算データ設定にMOV命令を使用）

```
MOV      MULAL, #034H
MOV      MULAH, #012H
MOV      MULBL, #078H
MOV      MULBH, #056H
NOP                               ; 1クロック・ウエイト。NOPでなくても可
MOVW    AX, MUL0H                 ; 上位側結果取得
PUSH    AX
MOVW    AX, MUL0L                 ; 下位側結果取得
```

**注意** 例3の場合、乗算データの低位8ビットをMULAL/MULBLに設定してから、上位8ビットをMULAH/MULBHを設定してください。また、乗算データの上位8ビットが同値で、低位8ビットのみを変更する場合は、MULAL/MULBLに変更値を設定したあとに、MULAH/MULBHに同値を再設定してください。

## 第17章 割り込み機能

項 目		78K0/FY2-L (16ピン)	78K0/FA2-L (20ピン)	78K0/FB2-L (30ピン)
マスカブル 割り込み	外部	3	7	9
	内部	11	11	13

### 17.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

#### (1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ (PROL, PROH, PR1L, PR1H) の設定により、割り込み優先順位を高い優先順位のグループと低い優先順位のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときは、ベクタ割り込み処理の優先順位 (プライオリティ) にしたがって処理されます。優先順位 (プライオリティ) については表17 - 1を参照してください。

スタンバイ・リリース信号を発生し、STOPモード、HALTモードを解除します。

マスカブル割り込みには、外部割り込み要求と内部割り込み要求があります。

#### (2) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

### 17.2 割り込み要因と構成

割り込み要因には、マスカブル割り込みとソフトウェア割り込みがあります。また、それ以外にリセット要因が最大で合計4要因あります (表17 - 1参照)。



表17-1 割り込み要因一覧(1/2)

割り込みの種類	内部 / 外部	基本構成タイプ 注1	デフォルト・プライオリティ 注2	割り込み要因		ベクタ・テーブル・アドレス	FY2	FA2	FB2		
				名称	トリガ		-L 16 ピン	-L 20 ピン	-L 30 ピン		
マスクブル	内部	(A)	0	INTLVI	低電圧検出 <sup>注3</sup>	0004H					
			外部	(B)	1	INTP0	端子入力エッジ検出	0006H			
					2	INTP1		0008H			
					3	INTP2		000AH	-		
					4	INTP3		000CH	-		
					5	INTP4		000EH	-	-	
	6	INTP5			0010H	-		-			
	内部	(A)	7	INTSRE6	UART6の受信エラー発生	0012H					
			8	INTSR6	UART6の受信完了	0014H					
			9	INTST6	UART6の送信完了	0016H					
			10	INTCSI11	CSI11の通信完了	0018H	-	-			
			11	INTTMH1	TMH1とCMP01の一致(コンペア・レジスタ指定時)	001AH					
			12	INTTMX0	TMX0カウンタとTX0CR1またはTX0CR3の一致(コンペア・レジスタ指定時)	001CH					
			13	INTTMX1	TMX1カウンタとTX1CR1またはTX1CR3の一致(コンペア・レジスタ指定時)	001EH	-	-			
			14	INTTM000	TM00とCR000の一致(コンペア・レジスタ指定時), TI010端子の有効エッジ検出(キャプチャ・レジスタ指定時)	0020H					
			15	INTTM010	TM00とCR010の一致(コンペア・レジスタ指定時), TI000端子の有効エッジ検出(キャプチャ・レジスタ指定時)	0022H					
			16	INTAD	A/D変換終了	0024H					
			17	INTTM51 <sup>注4</sup>	TM51とCR51の一致(コンペア・レジスタ指定時)	002AH					
	外部	(B)	18	INTCMP0	コンパレータ0エッジ検出	002CH	-				
			19	INTCMP1	コンパレータ1エッジ検出	002EH	-				
			20	INTCMP2	コンパレータ2エッジ検出	0030H					
内部	(A)	21	INTIICA0	IICA通信完了	0034H						

注1. 基本構成タイプの(A)-(C)は、それぞれ図17-1の(A)-(C)に対応しています。

2. デフォルト・プライオリティは、複数のマスクブル割り込みが同時に発生している場合に、優先して処理するベクタ割り込みの順位です。0が最高順位、21が最低順位です。
3. 低電圧検出レジスタ(LVIM)のビット1(LVIMD)=0選択時。
4. 8ビット・タイマ/イベント・カウンタ51をキャリア・ジェネレータ・モードで使用する場合、INTTM5H1信号の割り込みタイミングで割り込みが発生します(図9-11 転送タイミングを参照)。

表17-1 割り込み要因一覧(2/2)

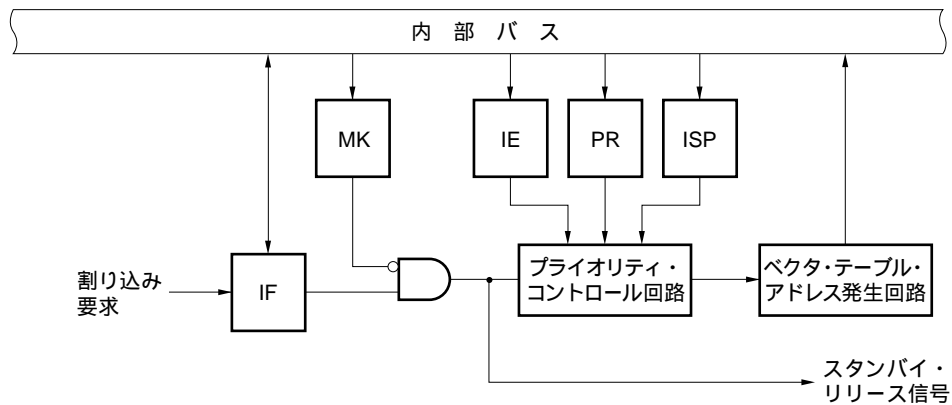
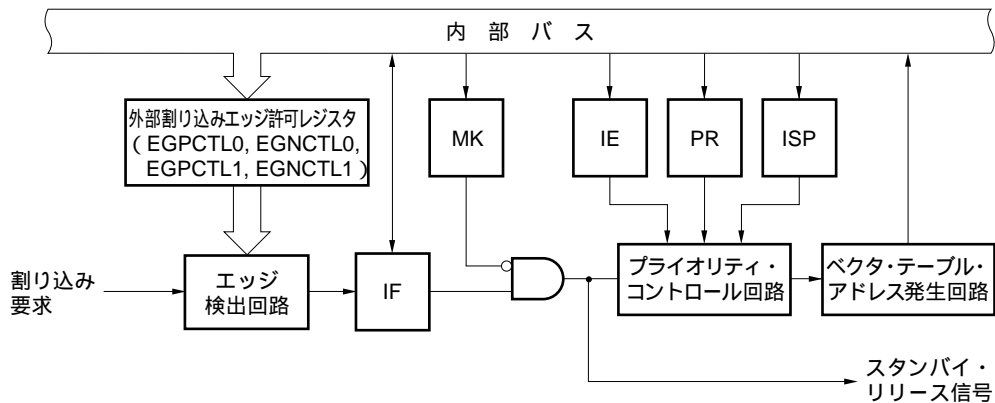
割り込みの種類	内部 / 外部	基本構成タイプ 注1	デフォルト・プライオリティ 注2	割り込み要因		ベクタ・テーブル・アドレス	FY2	FA2	FB2
				名称	トリガ		-L 16 ピン	-L 20 ピン	-L 30 ピン
ソフトウェア	-	(C)	-	BRK	BRK命令の実行	003EH			
リセット	-	-	-	RESET	リセット入力	0000H			
				POC	パワーオン・クリア				
				LVI	低電圧検出 注3				
				WDT	WDTのオーバフロー				

注1. 基本構成タイプの(A)-(C)は、それぞれ図17-1の(A)-(C)に対応しています。

2. デフォルト・プライオリティは、複数のマスカブル割り込みが同時に発生している場合に、優先して処理するベクタ割り込みの順位です。0が最高順位、21が最低順位です。
3. 低電圧検出レジスタ(LVIM)のビット1(LVIMD) = 1選択時。

図17 - 1 割り込み機能の基本構成 (1/2)

## (A) 内部マスク割り込み

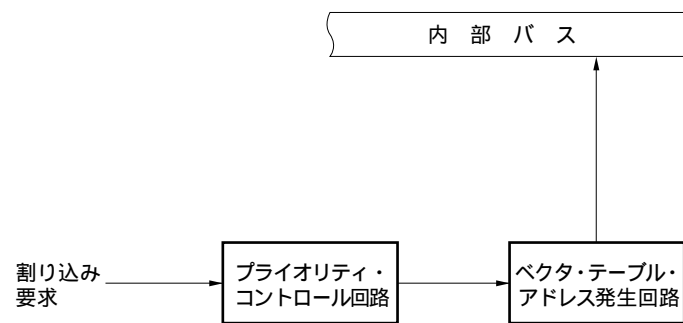
(B) 外部マスク割り込み (INTP<sub>m</sub>, INTCMP0-INTCMP2)

**備考** m = 0, 1 : 78K0/FY2-L  
 m = 0-3 : 78K0/FA2-L  
 m = 0-5 : 78K0/FB2-L

IF : 割り込み要求フラグ  
 IE : 割り込み許可フラグ  
 ISP : インサーピス・プライオリティ・フラグ  
 MK : 割り込みマスク・フラグ  
 PR : 優先順位指定フラグ

図17 - 1 割り込み機能の基本構成 (2/2)

## (C) ソフトウェア割り込み



## 17.3 割り込み機能を制御するレジスタ

割り込み機能は、次の7種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H)
- ・割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H)
- ・優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H)
- ・ポート兼用切り替え制御レジスタ (MUXSEL)
- ・外部割り込み立ち上がりエッジ許可レジスタ (EGPCTL0, EGPCTL1)
- ・外部割り込み立ち下がりエッジ許可レジスタ (EGNCTL0, EGNCTL1)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表17-2に示します。

表17-2 割り込み要求ソースに対応する各種フラグ

FY2-L 16 ピン	FA2-L 20 ピン	FB2-L 30 ピン	割り込み 要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
					レジスタ		レジスタ		レジスタ
			INTLVI	LVIIF	IF0L	LVIMK	MK0L	LVIPR	PR0L
			INTP0	PIF0		PMK0		PPR0	
			INTP1	PIF1		PMK1		PPR1	
-			INTP2	PIF2		PMK2		PPR2	
-			INTP3	PIF3		PMK3		PPR3	
-	-		INTP4	PIF4		PMK4		PPR4	
-	-		INTP5	PIF5		PMK5		PPR5	
			INTSRE6	SREIF6	SREMK6	SREPR6			
			INTSR6	SRIF6	IF0H	SRMK6	MK0H	SRPR6	PR0H
			INTST6	STIF6		STMK6		STPR6	
-	-		INTCSI11	CSIIF11		CSIMK11		CSIPR11	
			INTTMH1	TMIFH1		TMMKH1		TMPRH1	
			INTTMX0	TMIFX0		TMMKX0		TMPRX0	
-	-		INTTMX1	TMIFX1		TMMKX1		TMPRX1	
			INTTM000	TMIF000		TMMK000		TMPR000	
			INTTM010	TMIF010	TMMK010	TMPR010			
			INTAD	ADIF	IF1L	ADMK	MK1L	ADPR	PR1L
			INTTM51 <sup>注</sup>	TMIF51		TMMK51		TMPR51	
-			INTCMP0	CMPIF0		CMPMK0		CMPPR0	
-			INTCMP1	CMPIF1		CMPMK1		CMPPR1	
			INTCMP2	CMPIF2		CMPMK2		CMPPR2	
			INTIICA0	IICAIF0	IF1H	IICAMK0	MK1H	IICAPR0	PR1H

注 8ビット・タイマ/イベント・カウンタ51をキャリア・ジェネレータ・モードで使用する場合、INTTM5H1信号の割り込みタイミングで割り込みが発生します(図9-11 転送タイミングを参照)。

### (1) 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時、リセット信号発生時または命令の実行によりクリア (0) されるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LとIF0H, IF1LとIF1Hをあわせて16ビット・レジスタIF0, IF1として使用するときには、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

- 注意1. タイマ,シリアル・インタフェース ,A/Dコンバータなどをスタンバイ解除後に動作させる場合、いったん割り込み要求フラグをクリアしてから動作させてください。ノイズなどにより割り込み要求フラグがセットされる場合があります。
2. 割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令 (CLR1) を使用してください。C言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令 (CLR1) になっている必要があるため、「IF0L.0 = 0;」や「\_asm("clr1 IF0L,0");」のようなビット操作命令を使用してください。
- なお、C言語で「IF0L &= 0xfe;」のように8ビット・メモリ操作命令で記述した場合、コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合、「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで、同一の割り込み要求フラグ・レジスタ (IF0L) の他ビットの要求フラグがセット (1) されても、「mov IF0L, a」でクリア (0) されます。したがって、C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

図17 - 2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H) のフォーマット (78K0/FY2-L)

アドレス : FFE0H リセット時 : 00H R/W

略号	[7]	6	5	4	3	[2]	[1]	[0]
IF0L	SREIF6	0	0	0	0	PIF1	PIF0	LVIIIF

アドレス : FFE1H リセット時 : 00H R/W

略号	[7]	[6]	5	[4]	[3]	2	[1]	[0]
IF0H	TMIF010	TMIF000	0	TMIFX0	TMIFH1	0	STIF6	SRIF6

アドレス : FFE2H リセット時 : 00H R/W

略号	7	[6]	5	4	[3]	2	1	[0]
IF1L	0	CMPIF2	0	0	TMIF51	0	0	ADIF

アドレス : FFE3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	[0]
IF1H	0	0	0	0	0	0	0	IICAIF0

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

**注意** IF0Lのビット3-6, IF0Hのビット2, 5, IF1Lのビット1, 2, 4, 5, 7, IF1Hのビット1-7には必ず0を設定してください。

図17 - 3 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H) のフォーマット (78K0/FA2-L)

アドレス : FFE0H リセット時 : 00H R/W

略号	[7]	6	5	[4]	[3]	[2]	[1]	[0]
IF0L	SREIF6	0	0	PIF3	PIF2	PIF1	PIF0	LVIIIF

アドレス : FFE1H リセット時 : 00H R/W

略号	[7]	[6]	5	[4]	[3]	2	[1]	[0]
IF0H	TMIF010	TMIF000	0	TMIFX0	TMIFH1	0	STIF6	SRIF6

アドレス : FFE2H リセット時 : 00H R/W

略号	7	[6]	[5]	[4]	[3]	2	1	[0]
IF1L	0	CMPIF2	CMPIF1	CMPIF0	TMIF51	0	0	ADIF

アドレス : FFE3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	[0]
IF1H	0	0	0	0	0	0	0	IICAIF0

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

**注意** IF0Lのビット5, 6, IF0Hのビット2, 5, IF1Lのビット1, 2, 7, IF1Hのビット1-7には必ず0を設定してください。



図17 - 4 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H) のフォーマット (78K0/FB2-L)

アドレス : FFE0H リセット時 : 00H R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
IF0L	SREIF6	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	LVIIIF

アドレス : FFE1H リセット時 : 00H R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
IF0H	TMIF010	TMIF000	TMIFX1	TMIFX0	TMIFH1	CSIIIF11	STIF6	SRIF6

アドレス : FFE2H リセット時 : 00H R/W

略号	7	[6]	[5]	[4]	[3]	2	1	[0]
IF1L	0	CMPIF2	CMPIF1	CMPIF0	TMIF51	0	0	ADIF

アドレス : FFE3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	[0]
IF1H	0	0	0	0	0	0	0	IICAIF0

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

**注意** IF0Hのビット5, IF1Lのビット1, 2, 7, IF1Hのビット1-7には必ず0を設定してください。

## (2) 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可/禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

また、MK0LとMK0H, MK1LとMK1Hをあわせて16ビット・レジスタMK0, MK1として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図17-5 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H) のフォーマット (78K0/FY2-L)

アドレス : FFE4H リセット時 : FFH R/W

略号	[7]	6	5	4	3	[2]	[1]	[0]
MK0L	SREMK6	1	1	1	1	PMK1	PMK0	LVIMK

アドレス : FFE5H リセット時 : FFH R/W

略号	[7]	[6]	5	[4]	[3]	2	[1]	[0]
MK0H	TMMK010	TMMK000	1	TMMKX0	TMMKH1	1	STMK6	SRMK6

アドレス : FFE6H リセット時 : FFH R/W

略号	7	[6]	5	4	[3]	2	1	[0]
MK1L	1	CMPMK2	1	1	TMMK51	1	1	ADMK

アドレス : FFE7H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	[0]
MK1H	1	1	1	1	1	1	1	IICAMK0

XXMKX	割り込み処理の制御							
0	割り込み処理許可							
1	割り込み処理禁止							

**注意** MK0Lのビット3-6, MK0Hのビット2, 5, MK1Lのビット1, 2, 4, 5, 7, MK1Hのビット1-7には必ず1を設定してください。

図17-6 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H) のフォーマット (78K0/FA2-L)

アドレス : FFE4H リセット時 : FFH R/W

略号	[7]	6	5	[4]	[3]	[2]	[1]	[0]
MK0L	SREMK6	1	1	PMK3	PMK2	PMK1	PMK0	LVIMK

アドレス : FFE5H リセット時 : FFH R/W

略号	[7]	[6]	5	[4]	[3]	2	[1]	[0]
MK0H	TMMK010	TMMK000	1	TMMKX0	TMMKH1	1	STMK6	SRMK6

アドレス : FFE6H リセット時 : FFH R/W

略号	7	[6]	[5]	[4]	[3]	2	1	[0]
MK1L	1	CMPMK2	CMPMK1	CMPMK0	TMMK51	1	1	ADMK

アドレス : FFE7H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	[0]
MK1H	1	1	1	1	1	1	1	IICAMK0

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

**注意** MK0Lのビット5, 6, MK0Hのビット2, 5, MK1Lのビット1, 2, 7, MK1Hのビット1-7には必ず1を設定してください。

図17-7 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H) のフォーマット (78K0/FB2-L)

アドレス : FFE4H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK0L	SREMK6	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK

アドレス : FFE5H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK0H	TMMK010	TMMK000	TMMKX1	TMMKX0	TMMKH1	CSIMK11	STMK6	SRMK6

アドレス : FFE6H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK1L	1	CMPMK2	CMPMK1	CMPMK0	TMMK51	1	1	ADMK

アドレス : FFE7H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK1H	1	1	1	1	1	1	1	IICAMK0

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

**注意** MK0Hのビット5, MK1Lのビット1, 2, 7, MK1Hのビット1-7には必ず1を設定してください。

## (3) 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位を設定するフラグです。

PR0L, PR0H, PR1L, PR1Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

また、PR0LとPR0H, PR1LとPR1Hをあわせて16ビット・レジスタPR0, PR1として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図17 - 8 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) のフォーマット (78K0/FY2-L)

アドレス : FFE8H    リセット時 : FFH    R/W

略号	[7]	6	5	4	3	[2]	[1]	[0]
PR0L	SREPR6	1	1	1	1	PPR1	PPR0	LVIPR

アドレス : FFE9H    リセット時 : FFH    R/W

略号	[7]	[6]	5	[4]	[3]	2	[1]	[0]
PR0H	TMPR010	TMPR000	1	TMPRX0	TMPRH1	1	STPR6	SRPR6

アドレス : FFEAH    リセット時 : FFH    R/W

略号	7	[6]	5	4	[3]	2	1	[0]
PR1L	1	CMPPR2	1	1	TMPS51	1	1	ADPR

アドレス : FFE8H    リセット時 : FFH    R/W

略号	7	6	5	4	3	2	1	[0]
PR1H	1	1	1	1	1	1	1	IICAPR0

XXPRX	優先順位レベルの選択
0	高優先順位レベル
1	低優先順位レベル

**注意** PR0Lのビット3-6, PR0Hのビット2, 5, PR1Lのビット1, 2, 4, 5, 7, PR1Hのビット1-7には必ず1を設定してください。

図17 - 9 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) のフォーマット (78K0/FA2-L)

アドレス : FFE8H リセット時 : FFH R/W

略号	[7]	6	5	[4]	[3]	[2]	[1]	[0]
PR0L	SREPR6	1	1	PPR3	PPR2	PPR1	PPR0	LVIPR

アドレス : FFE9H リセット時 : FFH R/W

略号	[7]	[6]	5	[4]	[3]	2	[1]	[0]
PR0H	TMPR010	TMPR000	1	TMPRX0	TMPRH1	1	STPR6	SRPR6

アドレス : FFEAH リセット時 : FFH R/W

略号	7	[6]	[5]	[4]	[3]	2	1	[0]
PR1L	1	CMPPR2	CMPPR1	CMPPR0	TMPR51	1	1	ADPR

アドレス : FFE8H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	[0]
PR1H	1	1	1	1	1	1	1	IICAPR0

XXPRX	優先順位レベルの選択
0	高優先順位レベル
1	低優先順位レベル

**注意** PR0Lのビット5, 6, PR0Hのビット2, 5, PR1Lのビット1, 2, 7とPR1Hのビット1-7には必ず1を設定してください。

図17 - 10 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) のフォーマット (78K0/FB2-L)

アドレス : FFE8H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR0L	SREPR6	PPR5	PPR4	PPR3	PPR2	PPR1	PPR0	LVIPR

アドレス : FFE9H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR0H	TMPR010	TMPR000	TMPRX1	TMPRX0	TMPRH1	CSIPR11	STPR6	SRPR6

アドレス : FFEAH リセット時 : FFH R/W

略号	7	[6]	[5]	[4]	[3]	2	1	[0]
PR1L	1	CMPPR2	CMPPR1	CMPPR0	TMPR51	1	1	ADPR

アドレス : FFE BH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	[0]
PR1H	1	1	1	1	1	1	1	IICAPR0

XXPRX	優先順位レベルの選択
0	高優先順位レベル
1	低優先順位レベル

**注意** PR0Hのビット5, PR1Lのビット1, 2, 7とPR1Hのビット1-7には必ず1を設定してください。

**(4) ポート兼用切り替え制御レジスタ (MUXSEL)**

端子機能の割り当てを設定するレジスタです。

78K0/FB2-LのP121端子に割り込み入力 (INTP0) 機能を割り当てることができます。

MUXSELは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

**注意** 78K0/FB2-Lのみ

図17 - 11 ポート兼用切り替え制御レジスタ (MUXSEL) のフォーマット

アドレス : FF39H    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
MUXSEL	0	INTP0SELO	0	TM00SELO	0	0	0	0

INTP0SELO	外部割り込み入力 (INTP0) の端子の割り当て
0	(デフォルト)
1	P121/INTP0



(5) 外部割り込み立ち上がりエッジ許可レジスタ (EGPCTL0, EGPCTL1), 外部割り込み立ち下がりエッジ許可レジスタ (EGNCTL0, EGNCTL1)

INTPmとINTCMP0-INTCMP2の有効エッジを設定するレジスタです。

EGPCTL0, EGNCTL0, EGPCTL1, EGNCTL1は, それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

**備考** m = 0, 1 : 78K0/FY2-L  
 m = 0-3 : 78K0/FA2-L  
 m = 0-5 : 78K0/FB2-L

図17 - 12 外部割り込み立ち上がりエッジ許可レジスタ (EGPCTL0, EGPCTL1), 外部割り込み立ち下がりエッジ許可レジスタ (EGNCTL0, EGNCTL1) のフォーマット (1/3)

(a) 78K0/FY2-L

アドレス : FF48H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGPCTL0	0	0	0	0	0	0	EGP1	EGP0

アドレス : FF49H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGNCTL0	0	0	0	0	0	0	EGN1	EGN0

アドレス : FF4AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGPCTL1	0	0	0	0	0	0	0	EGP8

アドレス : FF4BH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGNCTL1	0	0	0	0	0	0	0	EGN8

EGPn	EGNn	INTPmとINTCMP2の有効エッジの選択
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がりの両エッジ

**注意** 78K0/FY2-Lは, EGPCTL0とEGNCTL0のビット2-7には必ず0を設定してください。

**備考** n = 0, 1, 8  
 m = 0, 1

図17 - 12 外部割り込み立ち上がりエッジ許可レジスタ (EGPCTL0, EGPCTL1) , 外部割り込み立ち下がりエッジ許可レジスタ (EGNCTL0, EGNCTL1) のフォーマット (2/3)

(b) 78K0/FA2-L

アドレス : FF48H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGPCTL0	EGP7	EGP6	0	0	EGP3	EGP2	EGP1	EGP0

アドレス : FF49H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGNCTL0	EGN7	EGN6	0	0	EGN3	EGN2	EGN1	EGN0

アドレス : FF4AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGPCTL1	0	0	0	0	0	0	0	EGP8

アドレス : FF4BH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGNCTL1	0	0	0	0	0	0	0	EGN8

EGPn	EGNn	INTPmとINTCMP0-INTCMP2の有効エッジの選択
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がり両エッジ

**注意** 78K0/FA2-Lは, EGPCTL0とEGNCTL0のビット4, 5には必ず0を設定してください。

**備考** n = 0-3, 6-8

m = 0-3

図17 - 12 外部割り込み立ち上がりエッジ許可レジスタ (EGPCTL0, EGPCTL1) , 外部割り込み立ち下がりエッジ許可レジスタ (EGNCTL0, EGNCTL1) のフォーマット (3/3)

(c) 78K0/FB2-L

アドレス : FF48H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGPCTL0	EGP7	EGP6	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス : FF49H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGNCTL0	EGN7	EGN6	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

アドレス : FF4AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGPCTL1	0	0	0	0	0	0	0	EGP8

アドレス : FF4BH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGNCTL1	0	0	0	0	0	0	0	EGN8

EGPn	EGNn	INTPmとINTCMP0-INTCMP2の有効エッジの選択
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がり両エッジ

**注意** 78K0/FB2-Lは, EGPCTL1とEGNCTL1のビット1-7には必ず0を設定してください。

**備考** n = 0-8

m = 0-5

EGPnとEGNnに対応するポートを表17 - 3に示します。

表17 - 3 EGPnとEGNnに対応するポート

(a) 78K0/FY2-L

検出許可ビット		エッジ検出ポート	割り込み要求信号
EGP0	EGN0	P00	INTP0
EGP1	EGN1	P30	INTP1
EGP8	EGN8	-	INTCMP2

(b) 78K0/FA2-L

検出許可ビット		エッジ検出ポート	割り込み要求信号
EGP0	EGN0	P00	INTP0
EGP1	EGN1	P30	INTP1
EGP2	EGN2	P31	INTP2
EGP3	EGN3	P32	INTP3
EGP6	EGN6	-	INTCMP0
EGP7	EGN7	-	INTCMP1
EGP8	EGN8	-	INTCMP2

(c) 78K0/FB2-L

検出許可ビット		エッジ検出ポート	割り込み要求信号
EGP0	EGN0	P00またはP121 <sup>注</sup>	INTP0
EGP1	EGN1	P30	INTP1
EGP2	EGN2	P31	INTP2
EGP3	EGN3	P32	INTP3
EGP4	EGN4	P34	INTP4
EGP5	EGN5	P02	INTP5
EGP6	EGN6	-	INTCMP0
EGP7	EGN7	-	INTCMP1
EGP8	EGN8	-	INTCMP2

注 ポート兼用切り替えレジスタ (MUXSEL) の設定により、割り当て可能です。

注意 外部割り込み機能からポート機能に切り替える場合に、エッジ検出を行う可能性があるため、EGPnとEGNnを0に設定してからポート・モードに切り替えてください。

備考 n = 0, 1, 8 : 78K0/FY2-L  
 n = 0-3, 6-8 : 78K0/FA2-L  
 n = 0-8 : 78K0/FB2-L

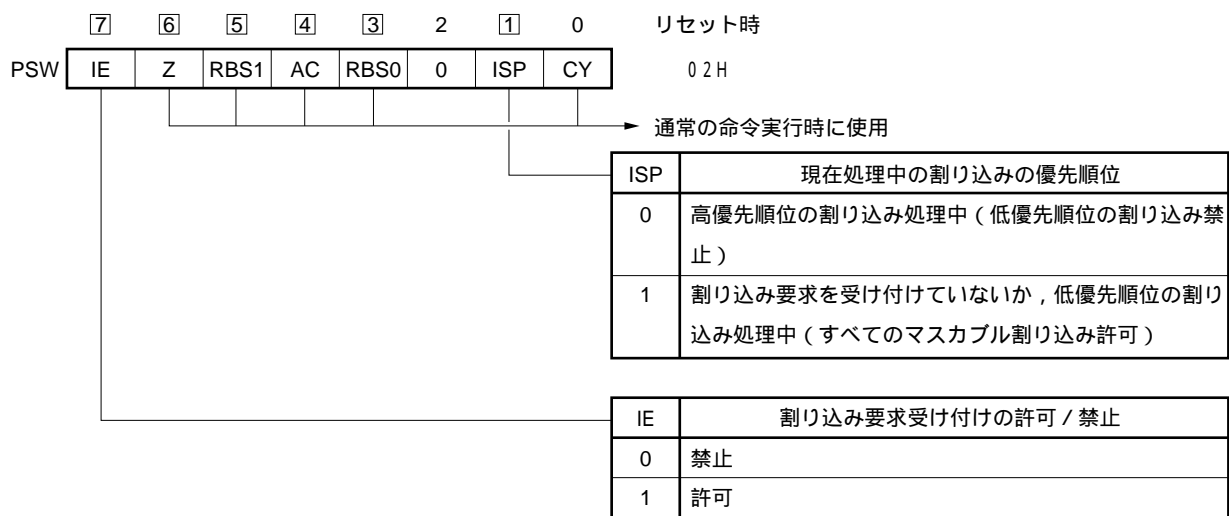
## (5) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスク割り込みの許可 / 禁止を設定するIEフラグと多重割り込み処理の制御を行うISPフラグがマッピングされています。

8ビット単位で読み出し / 書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット(0)されます。また、マスク割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグの内容がISPフラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

リセット信号の発生により、PSWは02Hとなります。

図17 - 13 プログラム・ステータス・ワードの構成



## 17.4 割り込み処理動作

### 17.4.1 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット (1) され、その割り込み要求のマスク (MK) フラグがクリア (0) されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態 (IEフラグがセット (1) されているとき) であれば受け付けます。ただし、優先順位の高い割り込みを処理中 (ISPフラグがリセット (0) されているとき) に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表 17 - 4 のようになります。

割り込み要求の受け付けタイミングについては、図 17 - 15, 17 - 16 を参照してください。

表 17 - 4 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 <sup>注</sup>
x × PR = 0 のとき	7 クロック	32 クロック
x × PR = 1 のとき	8 クロック	33 クロック

注 除算命令の直前に割り込み要求が発生したとき、ウェイトする時間が最大となります。

備考 1 クロック :  $1/f_{CPU}$  ( $f_{CPU}$  : CPU クロック)

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

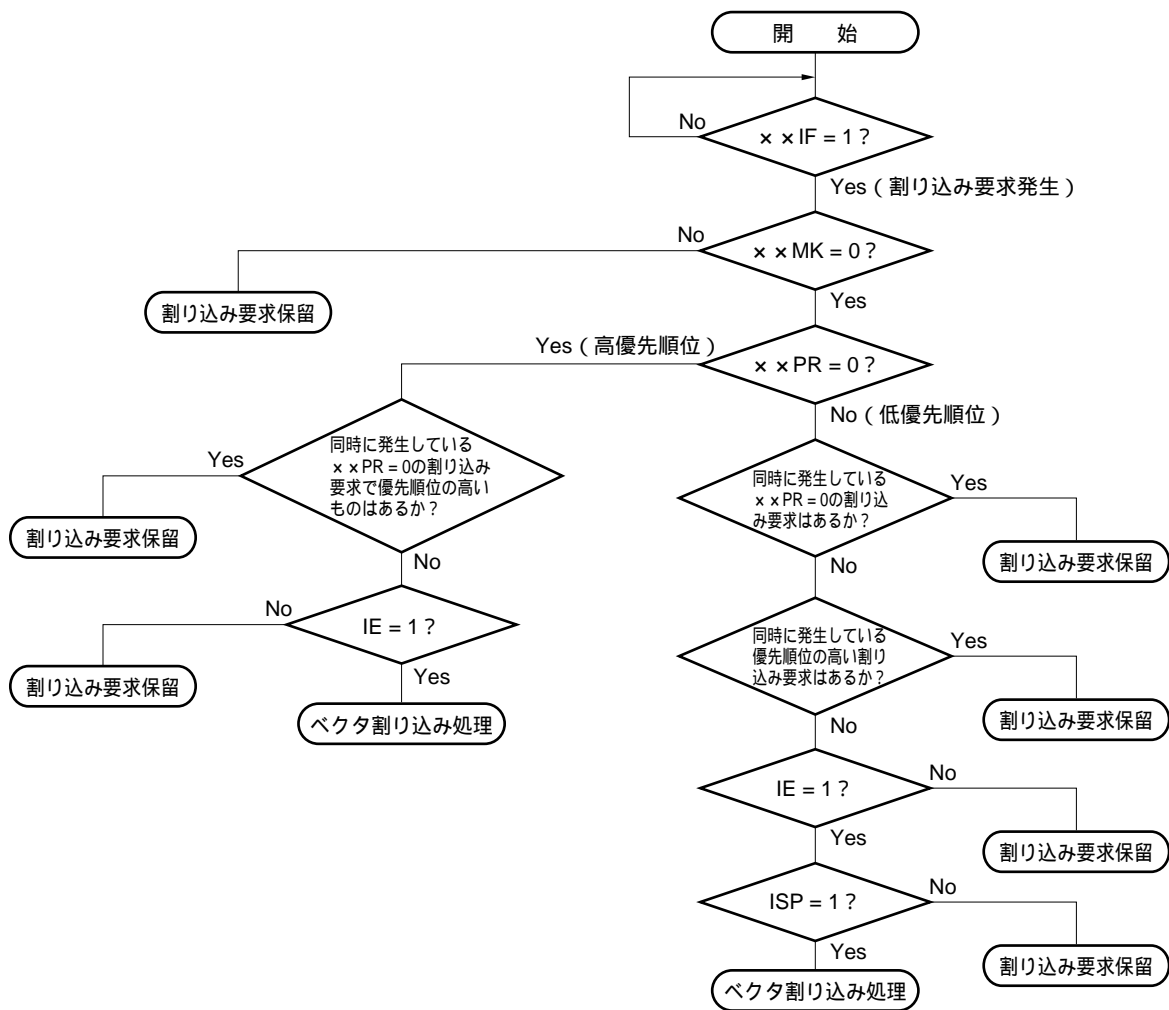
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図 17 - 14 に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IEフラグをリセット (0) し、受け付けた割り込みの優先順位指定フラグの内容を ISPフラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータを PCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図17 - 14 割り込み要求受け付け処理アルゴリズム



x x IF : 割り込み要求フラグ

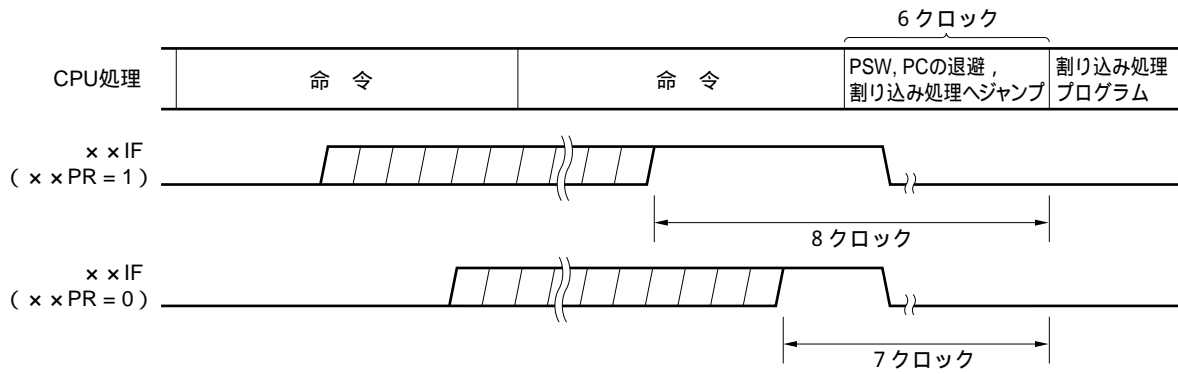
x x MK : 割り込みマスク・フラグ

x x PR : 優先順位指定フラグ

IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可, 0 = 禁止)

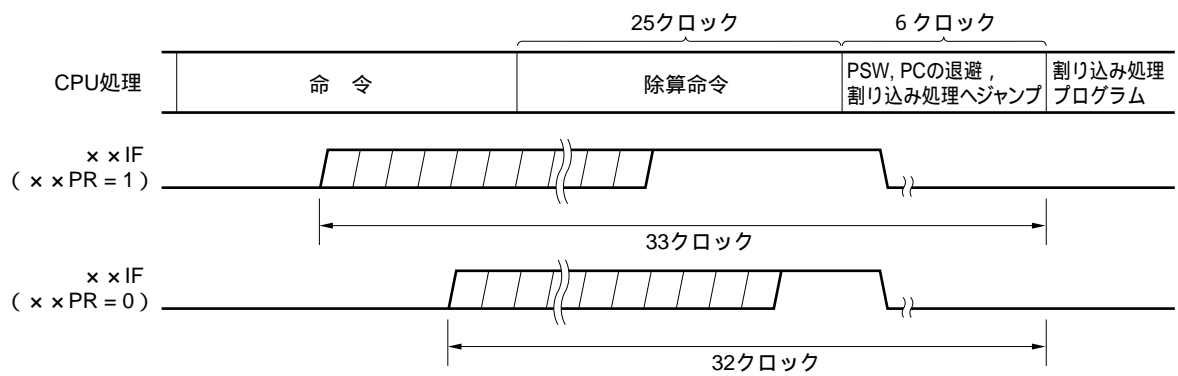
ISP : 現在処理中の割り込みの優先順位を示すフラグ (0 = 高優先順位の割り込み処理中, 1 = 割り込み要求を受け付けていない, または低優先順位の割り込み処理中)

図17 - 15 割り込み要求の受け付けタイミング (最小時間)



備考 1クロック :  $1/f_{\text{CPU}}$  ( $f_{\text{CPU}}$  : CPUクロック)

図17 - 16 割り込み要求の受け付けタイミング (最大時間)



備考 1クロック :  $1/f_{\text{CPU}}$  ( $f_{\text{CPU}}$  : CPUクロック)



## 17.4.2 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IEフラグをリセット (0) し、ベクタ・テーブル (003EH, 003FH) の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

**注意** ソフトウェア割り込みからの復帰にRETI命令を使用しないでください。

## 17.4.3 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態 (IE = 1) になっていなければ発生しません。割り込み要求が受け付けられた時点で、割り込み要求は受け付け禁止状態 (IE = 0) になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット (1) して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みと同レベルか、それよりも高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みより低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表17-5に多重割り込み可能な割り込み要求の関係を、図17-17に多重割り込みの例を示します。

表17-5 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 処理中の割り込み		マスカブル割り込み要求				ソフトウェア 割り込み要求
		PR = 0		PR = 1		
		IE = 1	IE = 0	IE = 1	IE = 0	
マスカブル割り込み	ISP = 0		×	×	×	
	ISP = 1		×		×	
ソフトウェア割り込み			×		×	

備考1. : 多重割り込み可能。

2. × : 多重割り込み不可能。

3. ISP, IEはPSWに含まれるフラグです。

ISP = 0 : 高優先順位の割り込み処理中

ISP = 1 : 割り込み要求を受け付けていないか、低優先順位の割り込み処理中

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

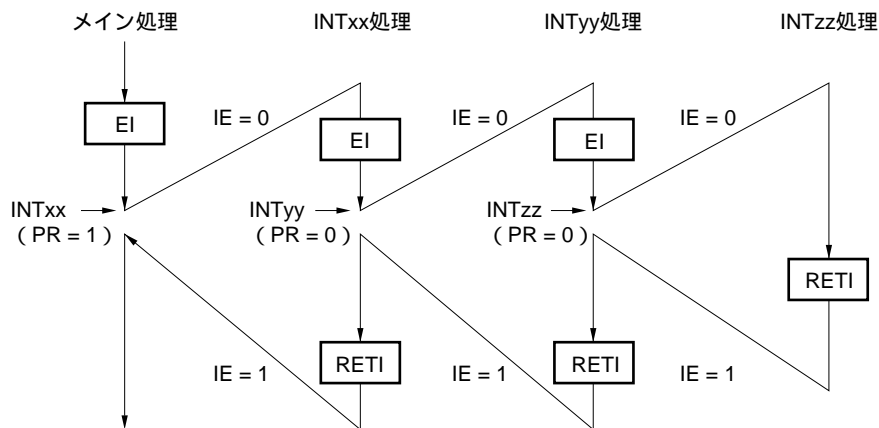
4. PRはPR0L, PR0H, PR1L, PR1Hに含まれるフラグです。

PR = 0 : 高優先順位レベル

PR = 1 : 低優先順位レベル

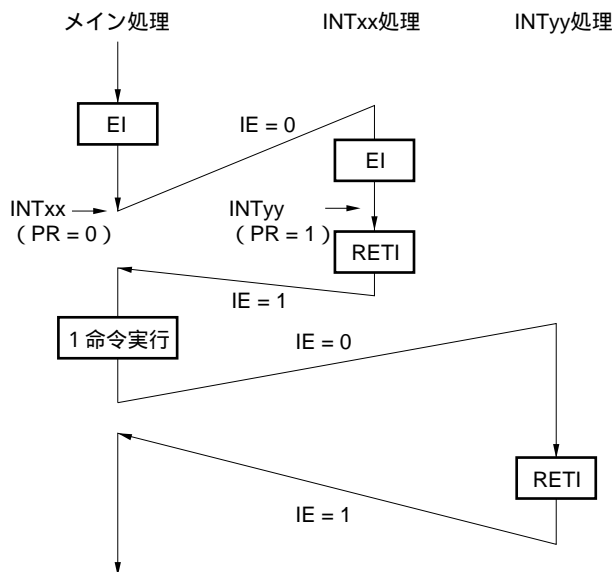
図17 - 17 多重割り込みの例 (1/2)

## 例1 . 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令を発行し、割り込み要求受け付け許可状態になっている。

## 例2 . 優先順位制御により、多重割り込みが発生しない例

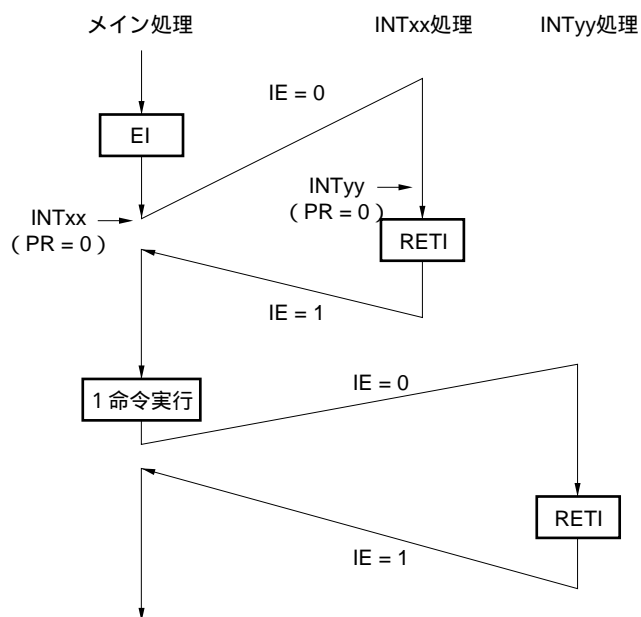


割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

- PR = 0 : 高優先順位レベル
- PR = 1 : 低優先順位レベル
- IE = 0 : 割り込み要求受け付け禁止

図17 - 17 多重割り込みの例 (2/2)

## 例3 . 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない (EI命令が発行されていない) ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 0 : 高優先順位レベル

IE = 0 : 割り込み要求受け付け禁止

#### 17.4.4 割り込み要求の保留

命令の中には、実行中に割り込み要求が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・ MOV PSW, #byte
- ・ MOV A, PSW
- ・ MOV PSW, A
- ・ MOV1 PSW. bit, CY
- ・ MOV1 CY, PSW. bit
- ・ AND1 CY, PSW. bit
- ・ OR1 CY, PSW. bit
- ・ XOR1 CY, PSW. bit
- ・ SET1 PSW. bit
- ・ CLR1 PSW. bit
- ・ RETB
- ・ RETI
- ・ PUSH PSW
- ・ POP PSW
- ・ BT PSW. bit, \$addr16
- ・ BF PSW. bit, \$addr16
- ・ BTCLR PSW. bit, \$addr16
- ・ EI
- ・ DI
- ・ IF0L, IF0H, IF1L, IF1H, MK0L, MK0H, MK1L, MK1H, PR0L, PR0H, PR1L, PR1Hの各レジスタに対する操作命令

**注意** BRK命令は、上述の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウェア割り込みでは、IEフラグが0にクリアされます。したがって、BRK命令実行中にマスカブル割り込み要求が発生しても、割り込み要求を受け付けません。

割り込み要求が保留されるタイミングを図17-18に示します。

図17-18 割り込み要求の保留



- 備考**
1. 命令N：割り込み要求の保留命令
  2. 命令M：割り込み要求の保留命令以外の命令
  3. x x IF（割り込み要求）の動作は、x x PR（優先順位レベル）の値の影響を受けません。

## 第18章 スタンバイ機能

### 18.1 スタンバイ機能と構成

#### 18.1.1 スタンバイ機能

スタンバイ機能は、78K0/Fx2-Lマイクロコントローラ的全製品に搭載されています。

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の2種類のモードがあります。

##### (1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路、高速内蔵発振回路、低速内蔵発振回路が動作している場合、それぞれのクロックは発振を継続します。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、頻繁に間欠動作をさせたい場合に有効です。

##### (2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、高速システム・クロック発振回路、高速内蔵発振回路を停止させ、システム全体が停止するモードです。CPUの動作電流を、かなり低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、X1クロックの場合、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならないときにはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

- 注意1.** STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください。
- STOPモードに移行する場合、RMC = 56Hに設定することで低消費電力を実現できます。
  - A/Dコンバータ部の動作電流を低減させるためには、A/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS) とビット0 (ADCE) を0にクリアし、A/D変換動作を停止させてから、STOP命令を実行してください。
  - STOP命令実行前に、コンパレータを停止状態にしてください。

## 18.1.2 スタンバイ機能を制御するレジスタ

スタンバイ機能を制御するレジスタには、次の2種類があります。

- ・ 発振安定時間カウンタ状態レジスタ (OSTC)
- ・ 発振安定時間選択レジスタ (OSTS)

**備考** クロックの動作 / 停止, 切り替えを制御するレジスタについては, **第5章 クロック発生回路**を参照してください。

### (1) 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウント状態を示すレジスタです。CPUクロックが高速内蔵発振クロックで, X1クロックの発振を開始したとき, X1クロックの発振安定時間を確認することができます。

OSTCは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生 (RESET入力, POC, LVI, WDTによるリセット), STOP命令, MSTOP (MOCレジスタのビット7) = 1により, 00Hになります。

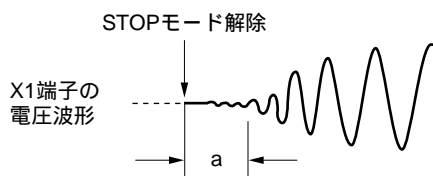
図18 - 1 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFA3H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
OSTC	0	0	0	MOST11	MOST13	MOST14	MOST15	MOST16

MOST11	MOST13	MOST14	MOST15	MOST16	発振安定時間のステータス	
					$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時
1	0	0	0	0	$2^{11}/f_x$ 以上	204.8 $\mu\text{s}$ 以上
1	1	0	0	0	$2^{13}/f_x$ 以上	819.2 $\mu\text{s}$ 以上
1	1	1	0	0	$2^{14}/f_x$ 以上	1.64 ms以上
1	1	1	1	0	$2^{15}/f_x$ 以上	3.27 ms以上
1	1	1	1	1	$2^{16}/f_x$ 以上	6.55 ms以上

- 注意1. 上記時間経過後, MOST11から順番に“1”となっていく, そのまま“1”を保持します。
2. 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に, STOPモードに入り, 解除するときは, OSTSの発振安定時間を次のように設定してください。
- ・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間
- したがって, STOPモード解除後のOSTCは, OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。
3. X1クロックの発振安定時間は, クロック発振を開始するまでの時間(下図a)は含みません。

備考  $f_x$  : X1クロック発振周波数

## (2) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1クロックの発振安定時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合, STOPモード解除後は, OSTSで設定した時間をウエイトします。

CPUクロックに高速内蔵発振クロックを選択した場合, STOPモード解除後は, OSTCで発振安定時間が経過したかを確認してください。OSTCでは, あらかじめOSTSで設定した時間までの確認ができます。

OSTSは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 05Hになります。

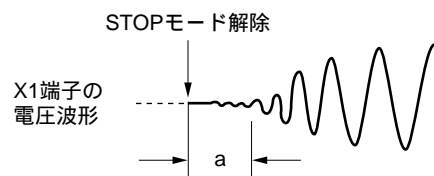
図18 - 2 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス : FFA4H    リセット時 : 05H    R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択	発振安定時間の選択	
				$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時
0	0	1	$2^{11}/f_x$	204.8 $\mu\text{s}$	102.4 $\mu\text{s}$
0	1	0	$2^{13}/f_x$	819.2 $\mu\text{s}$	409.6 $\mu\text{s}$
0	1	1	$2^{14}/f_x$	1.64 ms	819.2 $\mu\text{s}$
1	0	0	$2^{15}/f_x$	3.27 ms	1.64 ms
1	0	1	$2^{16}/f_x$	6.55 ms	3.27 ms
上記以外			設定禁止		

- 注意1. CPUクロックがX1クロック時にSTOPモードへ移行する場合は、STOP命令を実行する前にOSTSを設定してください。
- X1クロックの発振安定時間中は、OSTSレジスタを変更しないでください。
  - 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に、STOPモードに入り、解除するときは、OSTSの発振安定時間を次のように設定してください。
    - ・期待するOSTCの発振安定時間    OSTCで設定する発振安定時間
 したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないのに注意してください。
  - X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。

備考  $f_x$  : X1クロック発振周波数

## 18.2 スタンバイ機能の動作

### 18.2.1 HALTモード

#### (1) HALTモード

HALTモードは、HALT命令の実行により設定されます。設定前のCPUクロックは、高速システム・クロック、高速内蔵発振クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。



表18-1 HALTモード時の動作状態

項 目	HALTモードの設定		メイン・システム・クロックでCPU動作中のHALT命令実行時		
			高速内蔵発振クロック ( $f_{IH}$ ) でCPU動作時	X1クロック ( $f_x$ ) でCPU動作時	外部メイン・システム・クロック ( $f_{EXCLK}$ ) でCPU動作時
システム・クロック	CPUへのクロック供給は停止				
メイン・システム・クロック	$f_{IH}$		動作継続 (停止不可)	HALTモード設定前の状態を継続	
	$f_x$		HALTモード設定前の状態を継続	動作継続 (停止不可)	HALTモード設定前の状態を保持
	$f_{EXCLK}$		外部クロックの入力により動作または停止		動作継続 (停止不可)
$f_{IL}$	HALTモード設定前の状態を継続				
PLL					
CPU	動作停止				
フラッシュ・メモリ					
RAM	HALTモード設定前の状態を保持				
ポート (ラッチ)					
16ビット・タイマ	X0		動作可能		
	X1				
16ビット・タイマ/イベント・カウンタ00					
8ビット・タイマ/イベント・カウンタ51					
8ビット・タイマH1					
ウォッチドッグ・タイマ	動作可能。ただしオプション・バイトで「低速内蔵発振器 ソフトウェアにより停止可能」に設定した場合は、ウォッチドッグ・タイマへのクロック供給停止。				
A/Dコンバータ	動作可能				
コンパレータ0-2					
シリアル・インタフェース	UART6				
	CSI11				
	IICA				
乗算器	動作停止				
パワーオン・クリア機能	動作可能				
低電圧検出機能					
外部割り込み					

備考1.  $f_{IH}$  : 高速内蔵発振クロック,  $f_x$  : X1クロック

$f_{EXCLK}$  : 外部メイン・システム・クロック,  $f_{IL}$  : 低速内蔵発振クロック

2. 製品により、搭載している機能が異なります。1.4 **ブロック図**, 1.5 **機能概要**を参照してください。

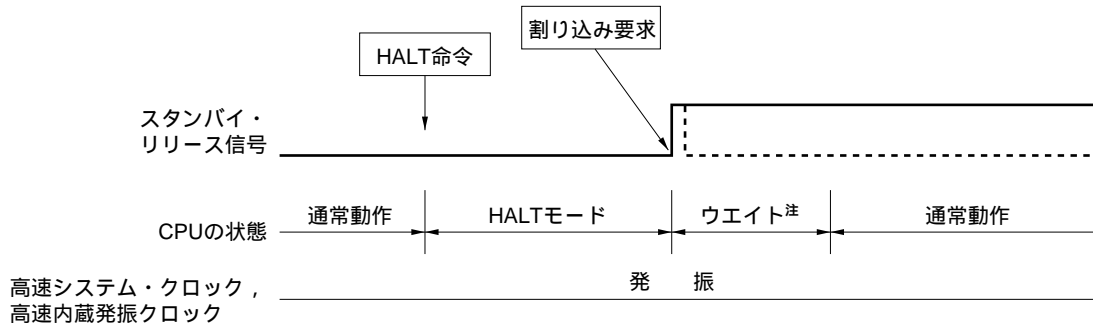
## (2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

### (a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図18-3 HALTモードの割り込み要求発生による解除



**注** ウェイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 11~12クロック
- ・ベクタ割り込み処理を行わない場合 : 4~5クロック

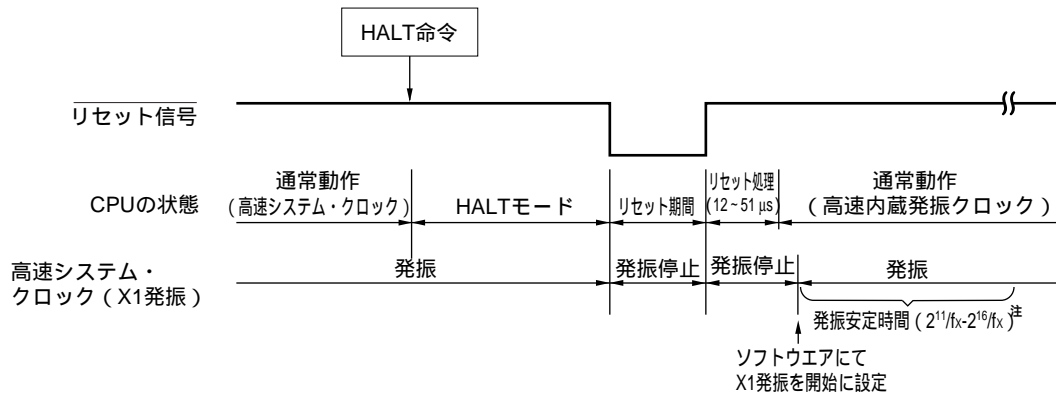
**備考** 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

## (b) リセット信号の発生による解除

リセット信号の発生により，HALTモードは解除されます。そして，通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと，プログラムが実行されます。

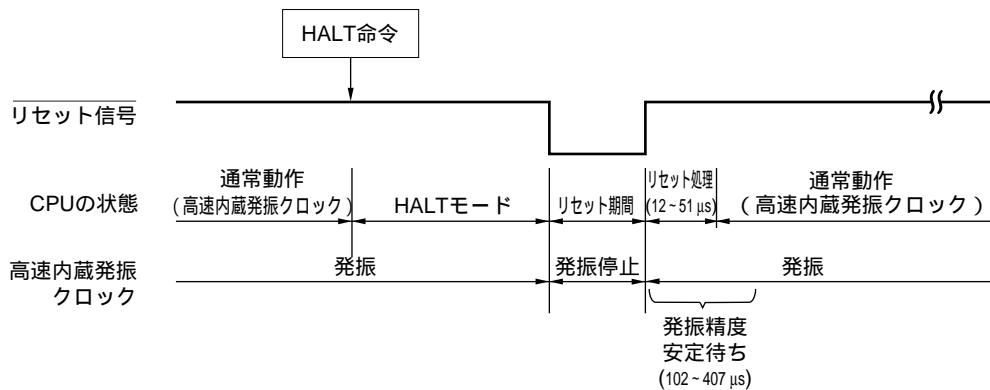
図18 - 4 HALTモードのリセットによる解除

## (1) CPUクロックが高速システム・クロックの場合



注 高速システム・クロックに外部メイン・システム・クロック ( $f_{EXCLK}$ ) を使用している場合，発振安定時間は不要です。

## (2) CPUクロックが高速内蔵発振クロックの場合



備考  $f_x$  : X1クロック発振周波数

表18 - 2 HALTモード時の割り込み要求に対する動作

解除ソース	MK x x	PR x x	IE	ISP	動 作
マスカブル割り込み要求	0	0	0	x	次アドレス命令実行
	0	0	1	x	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	x	0	
	0	1	1	1	割り込み処理実行
	1	x	x	x	HALTモード保持
リセット	-	-	x	x	リセット処理

x : don't care

## 18.2.2 STOPモード

### (1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定前のCPUクロックは、高速システム・クロック、高速内蔵発振クロックのいずれかの場合のみ設定可能です。

**注意** スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ（OSTS）による設定時間だけウエイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表18-3 STOPモード時の動作状態

STOPモード の設定 項目	メイン・システム・クロックでCPU動作中のSTOP命令実行時		
	高速内蔵発振クロック ( $f_{IH}$ ) で CPU動作時	X1クロック ( $f_x$ ) でCPU動作時	外部メイン・システム・クロック ( $f_{EXCLK}$ ) でCPU動作時
システム・クロック	CPUへのクロック供給は停止		
メイン・システム・クロック	$f_{IH}$	停止	
	$f_x$		
	$f_{EXCLK}$	入力無効	
$f_{IL}$	STOPモード設定前の状態を継続		
PLL	非動作 (PLL動作時はSTOP命令の実行禁止)		
CPU	動作停止		
フラッシュ・メモリ			
RAM	STOPモード設定前の状態を保持		
ポート (ラッチ)			
16ビット・タイマ	X0	動作停止	
	X1		
16ビット・タイマ/イベント・カウンタ00			
8ビット・タイマ/イベント・カウンタ51	カウント・クロックにTI51選択時のみ動作可能		
8ビット・タイマH1	カウント・クロックに $f_{IL}$ , $f_{IL}/2^6$ , $f_{IL}/2^{15}$ 選択時のみ動作可能		
ウォッチドッグ・タイマ	動作可能。ただしオプション・バイトで「低速内蔵発振器 ソフトウェアにより停止可能」に設定した場合は、ウォッチドッグ・タイマへのクロック供給停止。		
A/Dコンバータ	動作停止		
コンパレータ0-2	コンパレータ $n$ は、 $CnDFS0 = 0$ かつ $CnDFS1 = 0$ 設定時に動作可能 ( $n = 0-2$ )		
シリアル・インタフェース	UART6	動作停止	
	CSI11	シリアル・クロックに外部クロック選択時のみ動作可能	
	IICA	アドレス一致によるウエイク・アップ動作可能	
乗算器	動作停止		
パワーオン・クリア機能	動作可能		
低電圧検出機能			
外部割り込み			

備考1.  $f_{IH}$  : 高速内蔵発振クロック,  $f_x$  : X1クロック  
 $f_{EXCLK}$  : 外部メイン・システム・クロック,  $f_{IL}$  : 低速内蔵発振クロック

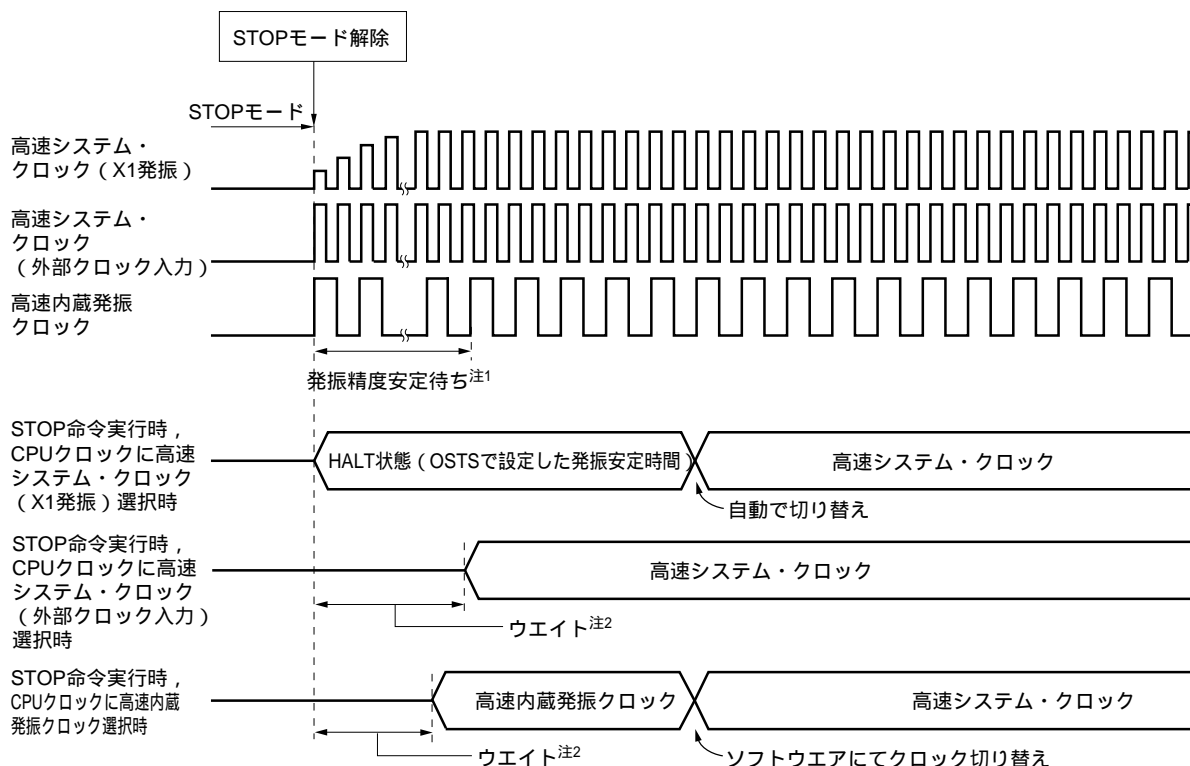
2. 製品により、搭載している機能が異なります。1.4 **ブロック図**, 1.5 **機能概要**を参照してください。

(注意は次ページにあります。)

- 注意1. STOPモード中に動作停止する周辺ハードウェア、および発振停止するクロックを選択している周辺ハードウェアをSTOPモード解除後に使用する場合は、周辺ハードウェアをリスタートしてください。
- STOPモードに移行する場合、RMC = 56Hに設定することで低消費電力を実現できます。
  - オプション・バイトで「低速内蔵発振器 ソフトウェアにより停止可能」を選択しても、STOPモード時では低速内蔵発振クロックは、STOPモード設定前の状態を継続します。STOPモード中に停止したい場合は、ソフトウェアにて、低速内蔵発振器の発振を停止してから、STOP命令を実行してください。
  - 高速システム・クロック (X1発振) でCPU動作していて、STOPモード解除後の発振安定時間を短縮したい場合は、STOP命令実行前に次の手順で高速内蔵発振クロックに切り替えることで実現できます。  
RSTOPを0に設定 (高速内蔵発振器の発振開始)      MCM0を0に設定 (CPUをX1発振から高速内蔵発振に切り替え)  
MCS = 0であることを確認 (CPUクロックの確認)      RSTS = 1であることを確認 (高速内蔵発振動作の確認)      STOP命令実行  
STOPモード解除後、CPUクロックを高速内蔵発振クロックから高速システム・クロック (X1発振) に切り替える場合は、発振安定時間カウンタ状態レジスタ (OSTC) で発振安定時間を確認してから、行ってください。
  - STOP命令は、必ず高速内蔵発振器安定動作 (RSTS = 1) になっていることを確認してから行ってください。
  - STOP命令は、必ずPLL動作を停止 (PLLON = 0) してから、行ってください。

## (2) STOPモードの解除

図18 - 5 STOPモード解除時の動作タイミング (マスクされていない割り込み要求による解除の場合)



注1. 発振精度安定待ち時間は次のようになります。

- ・ RMCレジスタ = 00H      : 102 ~ 407  $\mu$ s
- ・ RMCレジスタ = 56H      : 120 ~ 481  $\mu$ s

2. ウェイト時間は次のようになります。

- ・ ベクタ割り込み処理を行う場合      : 17 ~ 18クロック
- ・ ベクタ割り込み処理を行わない場合      : 11 ~ 12クロック

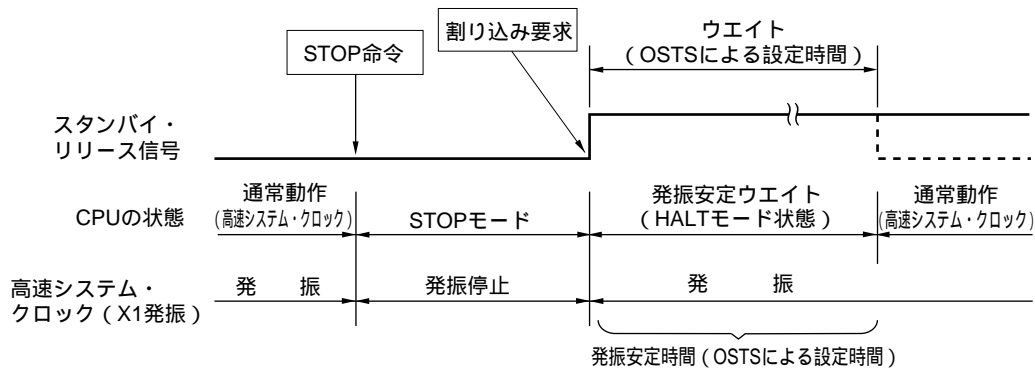
STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

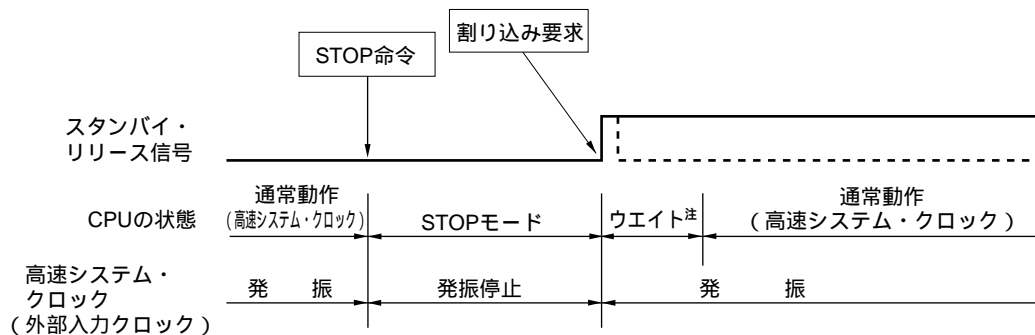
マスクされていない割り込み要求が発生すると、STOPモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図18 - 6 STOPモードの割り込み要求発生による解除 (1/2)

(1) CPUクロックが高速システム・クロック (X1発振) の場合



(2) CPUクロックが高速システム・クロック (外部クロック入力) の場合



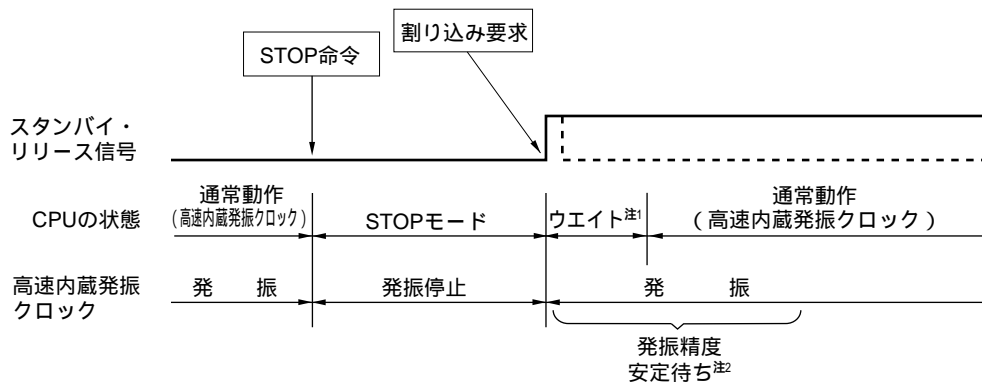
注 ウェイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 17~18クロック
- ・ベクタ割り込み処理を行わない場合 : 11~12クロック

備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

図18 - 6 STOPモードの割り込み要求発生による解除 (2/2)

## (3) CPUクロックが高速内蔵発振クロックの場合



注1. ウェイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 17～18クロック
- ・ベクタ割り込み処理を行わない場合 : 11～12クロック

2. 発振精度安定待ち時間は次のようになります。

- ・RMCレジスタ = 00H : 102～407  $\mu$ s
- ・RMCレジスタ = 56H : 120～481  $\mu$ s

**注意** 上述の発振精度安定待ち時間は、デバイス評価後に記述します。

**備考** 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

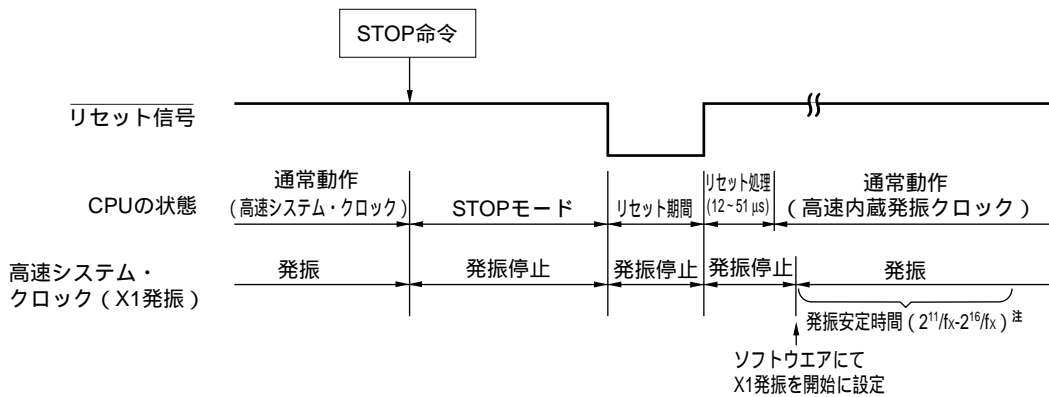
## (b) リセット信号の発生による解除

リセット信号の発生により、STOPモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。



図18 - 7 STOPモードのリセットによる解除

(1) CPUクロックが高速システム・クロックの場合



注 高速システム・クロックに外部メイン・システム・クロック (fEXCLK) を使用している場合、発振安定時間は不要です。

備考 fx : X1クロック発振周波数

(2) CPUクロックが高速内蔵発振クロックの場合

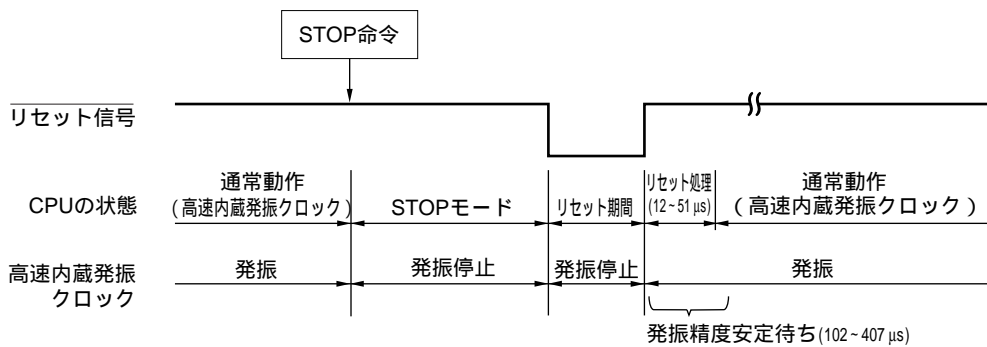


表18 - 4 STOPモード時の割り込み要求に対する動作

解除ソース	MKxx	PRxx	IE	ISP	動作
マスカブル割り込み要求	0	0	0	x	次アドレス命令実行
	0	0	1	x	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	x	0	
	0	1	1	1	割り込み処理実行
	1	x	x	x	STOPモード保持
リセット	-	-	x	x	リセット処理

x : don't care

## 第19章 リセット機能

リセット機能は、78K0/Fx2-Lマイクロコントローラの全製品に搭載されています。

リセット信号を発生させる方法には、次の4種類があります。

- (1)  $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
- (3) パワーオン・クリア (POC) 回路の電源電圧と検出電圧との比較による内部リセット
- (4) 低電源検出回路 (LVI) の電源電圧と検出電圧との比較による内部リセット

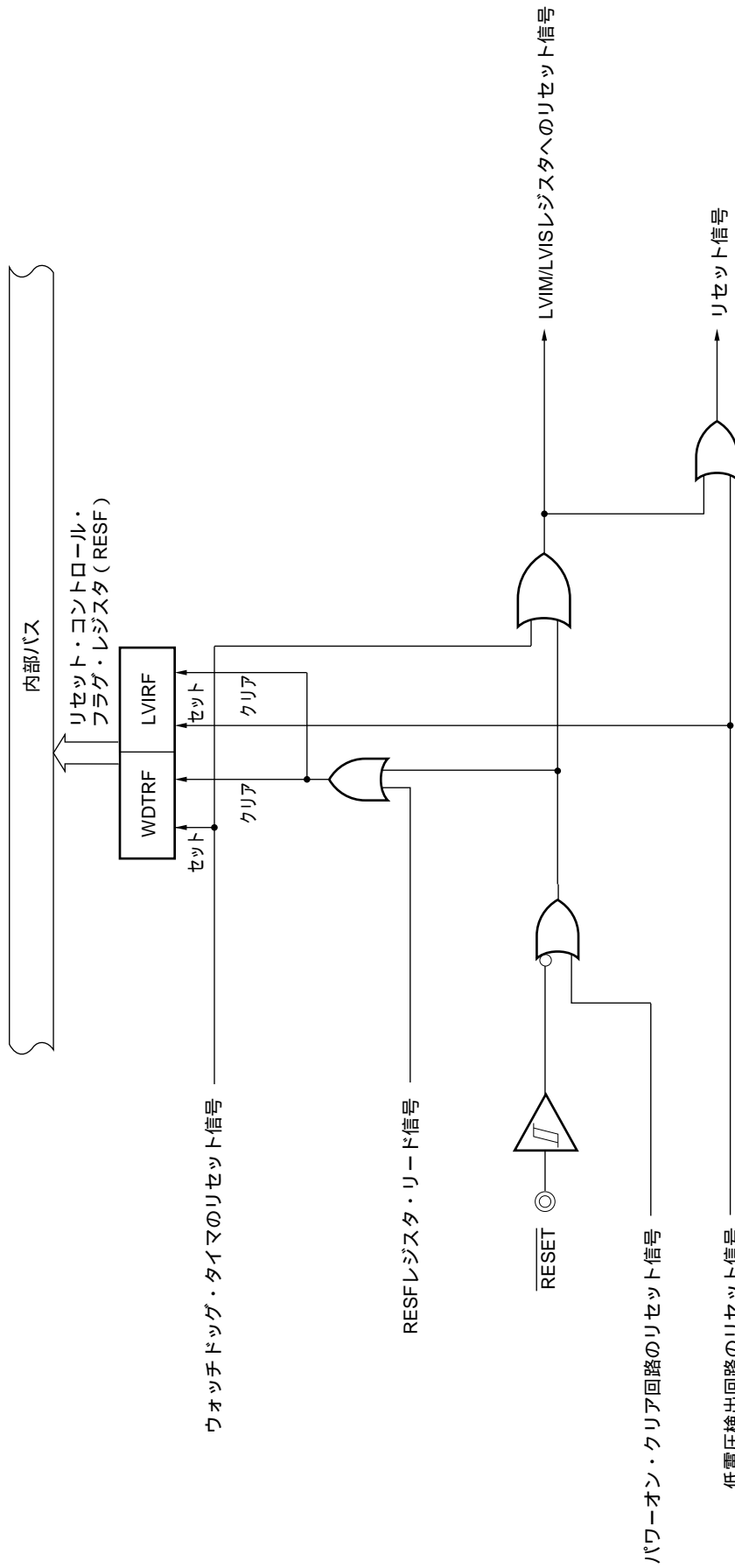
外部リセットと内部リセットは同様に、リセット信号の発生により、0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマがプログラム暴走を検出するか、またはPOC回路、LVI回路の電圧検出により、リセットがかかり、各ハードウェアは表19 - 1, 表19 - 2に示すような状態になります。また、リセット信号発生中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンスになります。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されて、リセットがかかり、 $\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します。ウォッチドッグ・タイマによるリセットは、自動的にリセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します (図19 - 2から図19 - 4参照)。POC回路、LVI回路の電源検出によるリセットは、リセット後 $V_{DD}$   $V_{POR}$ または $V_{DD}$   $V_{LVI}$ になったときにリセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します (第20章 パワーオン・クリア回路と第21章 低電圧検出回路参照)。

- 注意1.** 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に $10\ \mu\text{s}$ 以上のロウ・レベルを入力してください。  
(電源立ち上げ時に外部リセットを行う場合、動作電圧範囲外 ( $V_{DD} < 1.8\ \text{V}$ ) の期間は、 $10\ \mu\text{s}$ にカウントしません。ただし、ロウ・レベル入力はPOC解除前から継続されていてもかまいません。)
2. リセット信号発生中では、X1クロック、高速内蔵発振クロック、低速内蔵発振クロックの発振は停止します。また、外部メイン・システム・クロックの入力は無効となります。
  3. リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時のRAMの内容を保持します。ただし、各SFRは初期化されるため、ポート端子はハイ・インピーダンスとなります。

図19-1 リセット機能のブロック図



**注意** LVI回路の内部リセットの場合、LVI回路はリセットされません。

- 備考**
1. LVM: 低電圧検出レジスタ
  2. LVIS: 低電圧検出レベル選択レジスタ

図19 - 2 RESET入力によるリセット・タイミング

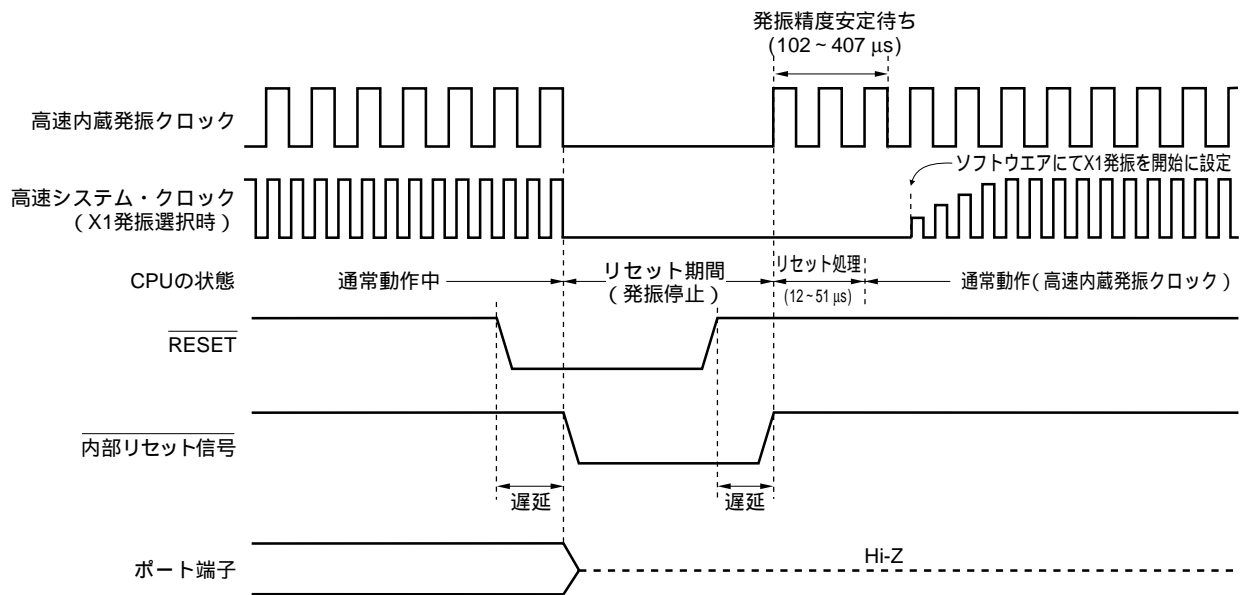
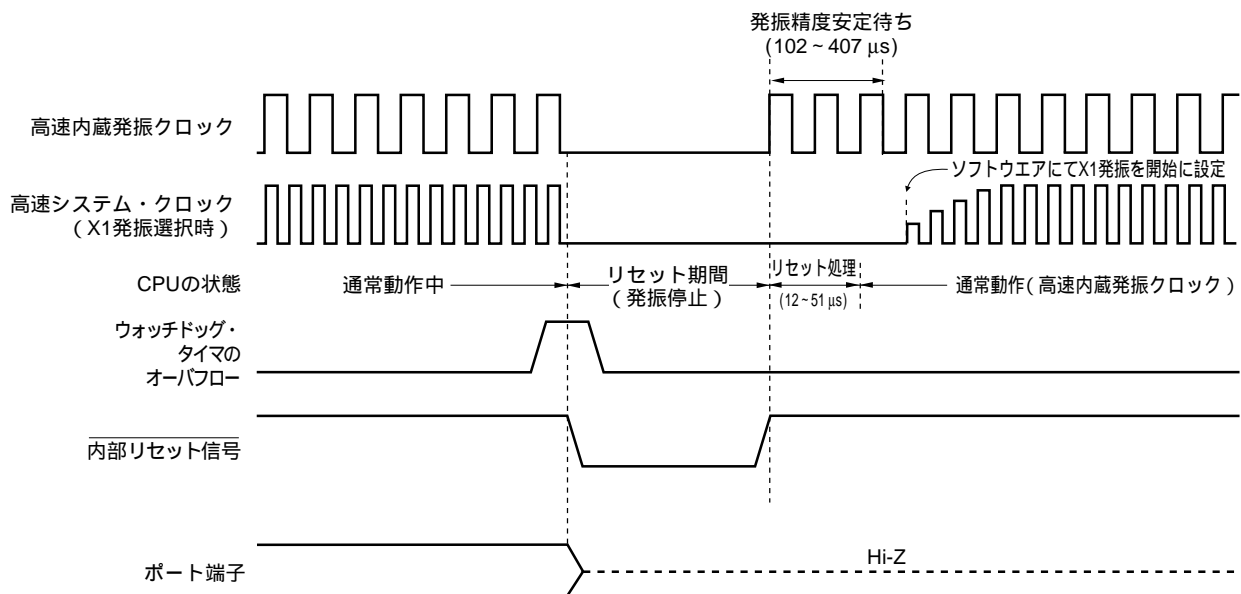
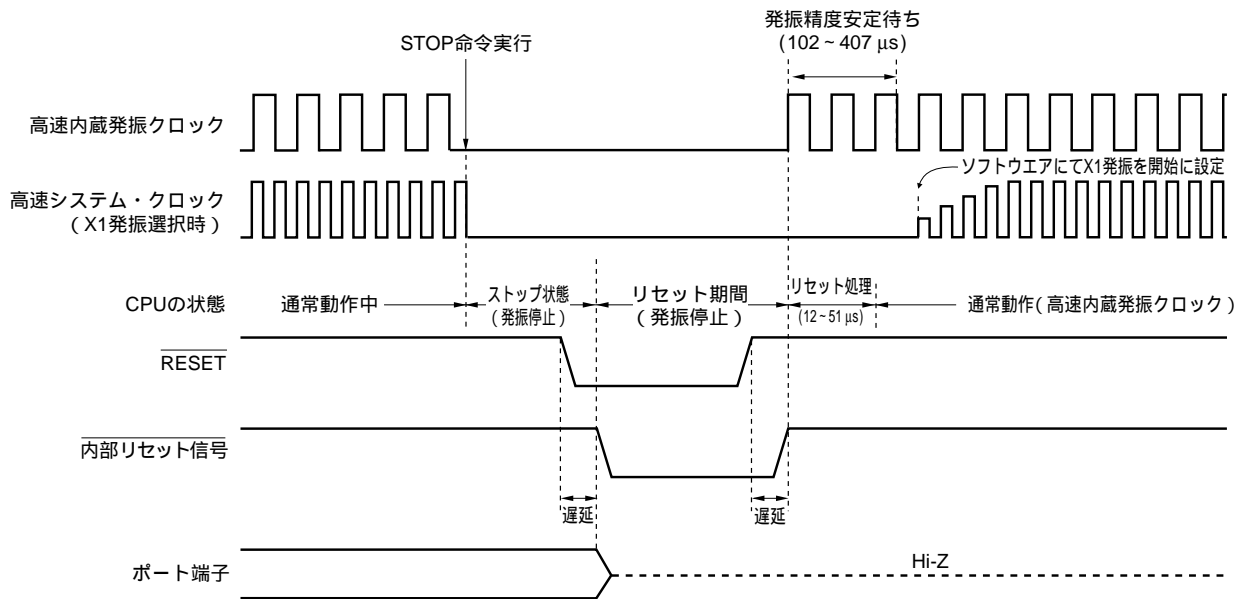


図19 - 3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング



**注意** ウォッチドッグ・タイマの内部リセットの場合、ウォッチドッグ・タイマもリセットされます。

図19 - 4 STOPモード中のRESET入力によるリセット・タイミング



**備考** パワーオン・クリア回路と低電圧検出回路のリセット・タイミングは、第20章 パワーオン・クリア回路と第21章 低電圧検出回路を参照してください。

表19 - 1 リセット期間中の動作状態

項 目	リセット期間中	
システム・クロック	CPUへのクロック供給は停止	
メイン・システム・クロック	f <sub>IH</sub>	動作停止
	f <sub>X</sub>	動作停止 (X1, X2端子は入力ポート・モード)
	f <sub>EXCLK</sub>	クロックの入力無効 (EXCLK端子は入力ポート・モード)
	f <sub>IL</sub>	動作停止
CPU		
フラッシュ・メモリ		
RAM	動作停止 (ただし, パワーオン・クリア検出電圧以上では, 値を保持)	
ポート (ラッチ)	動作停止	
16ビット・タイマ	X0	
	X1	
16ビット・タイマ/イベント・カウンタ00		
8ビット・タイマ/イベント・カウンタ51		
8ビット・タイマH1		
ウォッチドッグ・タイマ		
A/Dコンバータ		
コンパレータ0-2		
シリアル・インタフェース	UART6	
	CSI11	
	IICA	
乗算器		
外部割り込み		
パワーオン・クリア機能	動作可能	
低電圧検出機能	動作停止 (ただし, LVIリセット時は動作継続)	
オンチップ・デバッグ機能	動作停止	

- 備考1. f<sub>IH</sub> : 高速内蔵発振クロック, f<sub>X</sub> : X1クロック  
f<sub>EXCLK</sub> : 外部メイン・システム・クロック, f<sub>IL</sub> : 低速内蔵発振クロック
2. 製品により, 搭載している機能が異なります。1.4 **ブロック図**, 1.5 **機能概要**を参照してください。

表19 - 2 各ハードウェアのリセット受け付け後の状態 (1/4)

ハードウェア		リセット受け付け後の状態 <sup>注1</sup>
プログラム・カウンタ (PC)		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		02H
RAM	データ・メモリ	不定 <sup>注2</sup>
	汎用レジスタ	不定 <sup>注2</sup>
ポート・レジスタ0, 2, 3, 6, 7, 12 (P0, P2, P3, P6, P7, P12) (出力ラッチ)		00H
ポート・モード・レジスタ0, 2, 3, 6, 7 (PM0, PM2, PM3, PM6, PM7)		FFH
プルアップ抵抗オプション・レジスタ0, 3, 6 (PU0, PU3, PU6)		00H
ポート入力モード・レジスタ6 (PIM6)		00H
ポート出力モード・レジスタ6 (POM6)		00H
ポート兼用切り替え制御レジスタ (MUXSEL)		00H
メモリ・サイズ切り替えレジスタ (IMS)		CFH <sup>注3</sup>

- 注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。
2. スタンバイ・モード時でのリセット後の状態は保持となります。
3. リセット時のROM領域の設定が不定となっているため、リセット解除後に製品ごとに次に示す値を必ず設定してください。

製品			IMS	ROM容量	内部高速RAM 容量
78K0/FY2-L	78K0/FA2-L	78K0/FB2-L			
μ PD78F0854	μ PD78F0857	-	61H	4 Kバイト	384バイト
μ PD78F0855	μ PD78F0858	μ PD78F0864	42H	8 Kバイト	512バイト
μ PD78F0856	μ PD78F0859	μ PD78F0865	04H	16 Kバイト	768バイト

**備考** 製品により、搭載している特殊機能レジスタ (SFR) が異なります。3.2.3 **特殊機能レジスタ (SFR: Special Function Register)** を参照してください。

表19 - 2 各ハードウェアのリセット受け付け後の状態 (2/4)

ハードウェア		リセット受け付け後の状態 <sup>注1</sup>
クロック動作モード選択レジスタ (OSCCTL)		00H
プロセッサ・クロック・コントロール・レジスタ (PCC)		01H
内蔵発振モード/PLLコントロール・レジスタ (RCM)		80H
メインOSCコントロール・レジスタ (MOC)		80H
メイン・クロック・モード・レジスタ (MCM)		00H
発振安定時間カウンタ状態レジスタ (OSTC)		00H
発振安定時間選択レジスタ (OSTS)		05H
16ビット・タイマX0, X1	16ビット・タイマX0動作制御レジスタ0-4 (TX0CTL0, TX0CTL1, TX0CTL2, TX0CTL3, TX0CTL4)	00H
	16ビット・タイマX1動作制御レジスタ0-2, 4 (TX1CTL0, TX1CTL1, TX1CTL2, TX1CTL4)	00H
	16ビット・タイマX0出力制御レジスタ0 (TX0IOC0)	00H
	16ビット・タイマX1出力制御レジスタ0 (TX1IOC0)	00H
	16ビット・タイマX0コンペア・レジスタ0-3 (TX0CR0, TX0CR1, TX0CR2, TX0CR3)	0000H
	16ビット・タイマX1コンペア・レジスタ0-3 (TX1CR0, TX1CR1, TX1CR2, TX1CR3)	0000H
	16ビット・タイマX0キャプチャ/コンペア・レジスタ0 (TX0CCR0)	0000H
	16ビット・タイマX1キャプチャ/コンペア・レジスタ0 (TX1CCR0)	0000H
	ハイ・インピーダンス出力機能許可レジスタ (HIZTREN)	00H
	ハイ・インピーダンス出力モード選択レジスタ (HIZTRS)	00H
ハイ・インピーダンス出力機能制御レジスタ0 (HZA0CTL0)	00H	
16ビット・タイマ / イベント・カウンタ00	16ビット・タイマ・カウンタ00 (TM00)	0000H
	16ビット・タイマ・キャプチャ/コンペア・レジスタ000, 010 (CR000, CR010)	0000H
	16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)	00H
	プリスケアラ・モード・レジスタ00 (PRM00)	00H
	キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)	00H
	16ビット・タイマ・タイマ出力コントロール・レジスタ00 (TOC00)	00H
8ビット・タイマ / イベント・カウンタ51	8ビット・タイマ・カウンタ51 (TM51)	00H
	8ビット・コンペア・レジスタ51 (CR51)	00H
	タイマ・クロック選択レジスタ51 (TCL51)	00H
	8ビット・タイマ・モード・コントロール・レジスタ51 (TMC51)	00H
8ビット・タイマH1	8ビット・タイマH1コンペア・レジスタ01, 11 (CMP01, CMP11)	00H
	8ビット・タイマH1モード・レジスタ1 (TMHMD1)	00H
	8ビット・タイマH1キャリア・コントロール・レジスタ1 (TMCYC1)	00H
ウォッチドッグ・タイマ	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)	1AH/9AH <sup>注2</sup>

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. WDTEのリセット値は、オプション・バイトの設定で決定します。

備考 製品により、搭載している特殊機能レジスタ (SFR) が異なります。3. 2. 3 特殊機能レジスタ (SFR: Special Function Register) を参照してください。



表19 - 2 各ハードウェアのリセット受け付け後の状態 (3/4)

ハードウェア		リセット受け付け後の状態 <sup>注</sup>
A/Dコンバータ	10ビットA/D変換結果レジスタ (ADCR)	0000H
	8ビットA/D変換結果レジスタL (ADCRL)	00H
	8ビットA/D変換結果レジスタH (ADCRH)	00H
	A/Dコンバータ・モード・レジスタ0 (ADM0)	00H
	アナログ入力チャネル指定レジスタ (ADS)	00H
	A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0)	00H
	A/Dポート・コンフィギュレーション・レジスタ1 (ADPC1)	00H
コンパレータ	コンパレータ0制御レジスタ (C0CTL)	00H
	コンパレータ0内部基準電圧設定レジスタ (C0RVM)	00H
	コンパレータ1制御レジスタ (C1CTL)	00H
	コンパレータ1内部基準電圧設定レジスタ (C1RVM)	00H
	コンパレータ2制御レジスタ (C2CTL)	00H
	コンパレータ2内部基準電圧設定レジスタ (C2RVM)	00H
	コンパレータ出力フラグ・レジスタ (CMPFLG)	00H
シリアル・インタフェース UART6	受信バッファ・レジスタ6 (RXB6)	FFH
	送信バッファ・レジスタ6 (TXB6)	FFH
	アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)	01H
	アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)	00H
	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)	00H
	クロック選択レジスタ6 (CKSR6)	00H
	ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6)	FFH
	アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)	16H
	入力切り替え制御レジスタ (ISC)	00H

注 リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

備考 製品により、搭載している特殊機能レジスタ (SFR) が異なります。3.2.3 特殊機能レジスタ (SFR: Special Function Register) を参照してください。

表19 - 2 各ハードウェアのリセット受け付け後の状態 (4/4)

ハードウェア		リセット受け付け後の状態 <sup>注1</sup>
シリアル・インタフェース CSI11	送信バッファ・レジスタ11 (SOTB11)	00H
	シリアルI/Oシフト・レジスタ11 (SIO11)	00H
	シリアル動作モード・レジスタ11 (CSIM11)	00H
	シリアル・クロック選択レジスタ11 (CSIC11)	00H
シリアル・インタフェース IICA	IICAシフト・レジスタ (IICA)	00H
	IICAステータス・レジスタ0 (IICAS0)	00H
	IICAフラグ・レジスタ0 (IICAF0)	00H
	IICAコントロール・レジスタ0 (IICACTL0)	00H
	IICAコントロール・レジスタ1 (IICACTL1)	00H
	IICAロウ・レベル幅設定レジスタ (IICWL)	FFH
	IICAハイ・レベル幅設定レジスタ (IICWH)	FFH
	スレーブ・アドレス・レジスタ0 (SVA0)	00H
乗算器	乗算入力データ・レジスタA (MULAL, MULAH)	00H
	乗算入力データ・レジスタB (MULBL, MULBH)	00H
	16ビット上位乗算結果格納レジスタ (MUL0H)	0000H
	16ビット下位乗算結果格納レジスタ (MUL0L)	0000H
リセット機能	リセット・コントロール・フラグ・レジスタ (RESF)	00H <sup>注2</sup>
低電圧検出回路	低電圧検出レジスタ (LVIM)	00H <sup>注2</sup>
	低電圧検出レベル選択レジスタ (LVIS)	00H <sup>注2</sup>
割り込み	要求フラグ・レジスタ0L, 0H, 1L, 1H (IF0L, IF0H, IF1L, IF1H)	00H
	マスク・フラグ・レジスタ0L, 0H, 1L, 1H (MK0L, MK0H, MK1L, MK1H)	FFH
	優先順位指定フラグ・レジスタ0L, 0H, 1L, 1H (PR0L, PR0H, PR1L, PR1H)	FFH
	外部割り込み立ち上がりエッジ許可レジスタ0, 1 (EGPCTL0, EGPCTL1)	00H
	外部割り込み立ち下がりエッジ許可レジスタ0, 1 (EGNCTL0, EGNCTL1)	00H
レギュレータ	レギュレータ・モード制御レジスタ (RMC)	00H

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. リセット要因により、次のように変化します。

レジスタ	リセット要因	RESET入力	POCによる リセット	WDTによる リセット	LVIによる リセット (LVIデフォルト・スタート機能によるリセットを除く)	LVIデフォルト・スタート機能による リセット
	RESF	WDTRFフラグ LVIRFフラグ	クリア (0)	クリア (0)	セット (1) 保持	保持 セット (1)
LVIM		クリア (00H)	クリア (00H)	クリア (00H)	保持	クリア (00H)
LVIS						

備考 製品により、搭載している特殊機能レジスタ (SFR) が異なります。3.2.3 特殊機能レジスタ (SFR: Special Function Register) を参照してください。

## 19.1 リセット要因を確認するレジスタ

78K0/Fx2-Lマイクロコントローラは内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ (RESF) は、どの要因から発生したリセット要求かを格納するレジスタです。

RESFは、8ビット・メモリ操作命令で、読み出すことができます。

$\overline{\text{RESET}}$ 入力、パワーオン・クリア (POC) 回路によるリセットおよびRESFのデータを読み出すことにより、00Hになります。

図19-5 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマット

アドレス: FFACH リセット時: 00H<sup>註</sup> R

略号	7	6	5	4	3	2	1	0
RESF	0	0	0	WDTRF	0	0	0	LVIRF

WDTRF	ウォッチドッグ・タイマ (WDT) による内部リセット要求
0	内部リセット要求は発生していない、またはRESFをクリアした
1	内部リセット要求は発生した

LVIRF	低電圧検出 (LVI) 回路による内部リセット要求
0	内部リセット要求は発生していない、またはRESFをクリアした
1	内部リセット要求は発生した

注 リセット要因により異なります。

注意 1ビット・メモリ操作命令でデータを読み出さないでください。

リセット要求時のRESFの状態を表19-3に示します。

表19-3 リセット要求時のRESFの状態

リセット要因	$\overline{\text{RESET}}$ 入力	POCによる リセット	WDTによる リセット	LVIによる リセット (LVIデフォルト・スタート機能によるリセットを除外)	LVIデフォルト・スタート機能による リセット
フラグ					
WDTRF	クリア (0)	クリア (0)	セット (1)	保持	クリア (0)
LVIRF			保持	セット (1)	

## 第20章 パワーオン・クリア回路

### 20.1 パワーオン・クリア回路の機能

パワーオン・クリア回路は、78K0/Fx2-Lマイクロコントローラの全製品に搭載されています。

パワーオン・クリア（POC）回路は次のような機能を持ちます。

- ・電源投入時に内部リセット信号を発生します。
- ・電源電圧（ $V_{DD}$ ）がPOC検出電圧（ $V_{POR} = 1.61 V \pm 0.09 V$ ）を越えた場合に、リセットを解除します。

**注意** オプション・バイトで、低電圧検出（LVI）回路をデフォルトでONに設定した場合は、電源電圧（ $V_{DD}$ ）が $1.91 V \pm 0.1 V$ を越えるまでリセットは解除されません。

- ・電源電圧（ $V_{DD}$ ）とPOC検出電圧（ $V_{PDR} = 1.59 V \pm 0.09 V$ ）を比較し、 $V_{DD} < V_{PDR}$ になったとき内部リセット信号を発生します。

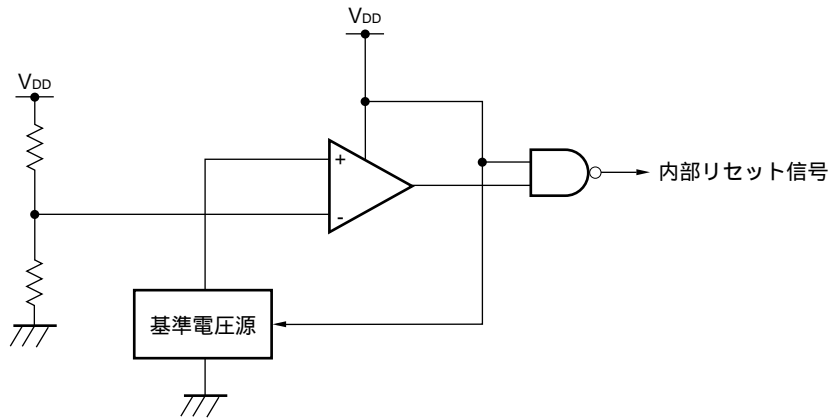
**注意** POC回路で内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ（RESF）がクリア（00H）されます。

**備考** 78K0/Fx2-Lマイクロコントローラには内部リセット信号を発生するハードウェアが複数内蔵されています。ウォッチドッグ・タイマ（WDT）/低電圧検出（LVI）回路による内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがリセット・コントロール・フラグ・レジスタ（RESF）に配置されています。RESFはWDT/LVIのいずれかによる内部リセット信号が発生した場合は、クリア（00H）されずフラグがセット（1）されます。RESFの詳細については、第19章 リセット機能を参照してください。

## 20.2 パワーオン・クリア回路の構成

パワーオン・クリア回路のブロック図を図20 - 1に示します。

図20 - 1 パワーオン・クリア回路のブロック図



## 20.3 パワーオン・クリア回路の動作

- ・電源投入時に内部リセット信号を発生し、電源電圧 ( $V_{DD}$ ) がPOC検出電圧 ( $V_{POR} = 1.61\text{ V} \pm 0.09\text{ V}$ ) を越えたら、リセットを解除します。

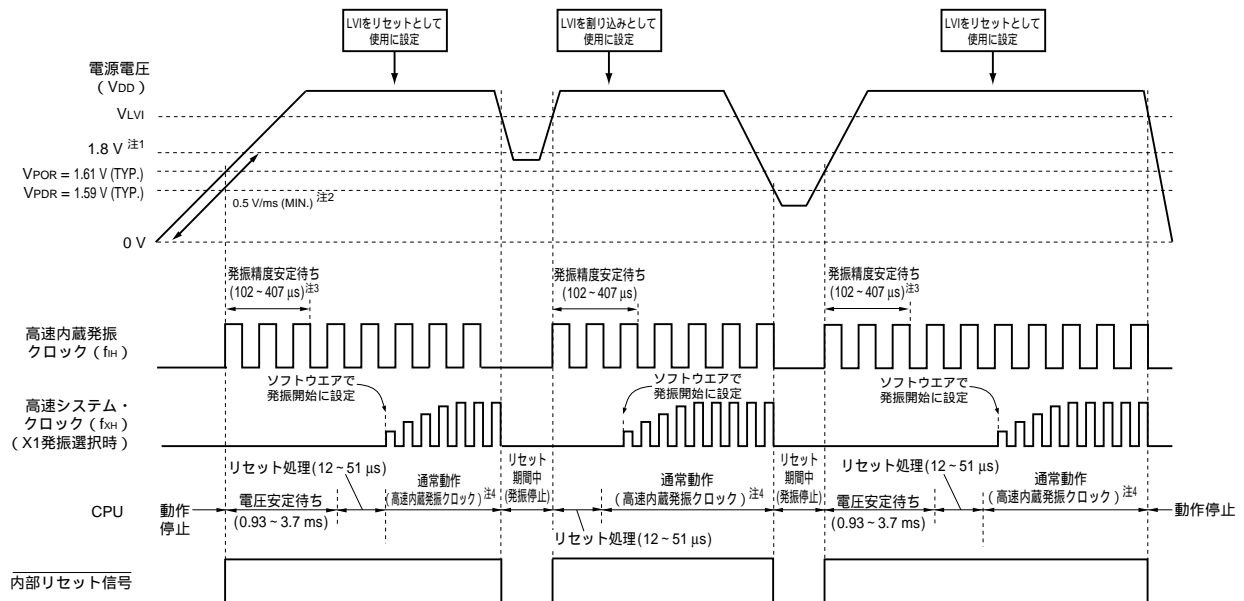
**注意** オプション・バイトで、低電圧検出(LVI)回路をデフォルトでONに設定した場合は、電源電圧( $V_{DD}$ )が $1.91\text{ V} \pm 0.1\text{ V}$ を越えるまでリセットは解除されません。

- ・電源電圧 ( $V_{DD}$ ) とPOC検出電圧 ( $V_{PDR} = 1.59\text{ V} \pm 0.09\text{ V}$ ) を比較し、 $V_{DD} < V_{PDR}$ になったとき内部リセット信号を発生します。

パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生タイミングを次に示します。

図20 - 2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生のタイミング (1/2)

## (1) 電源立ち上げ時のLVIがOFFの場合 (オプション・バイト : LVISTART = 0)



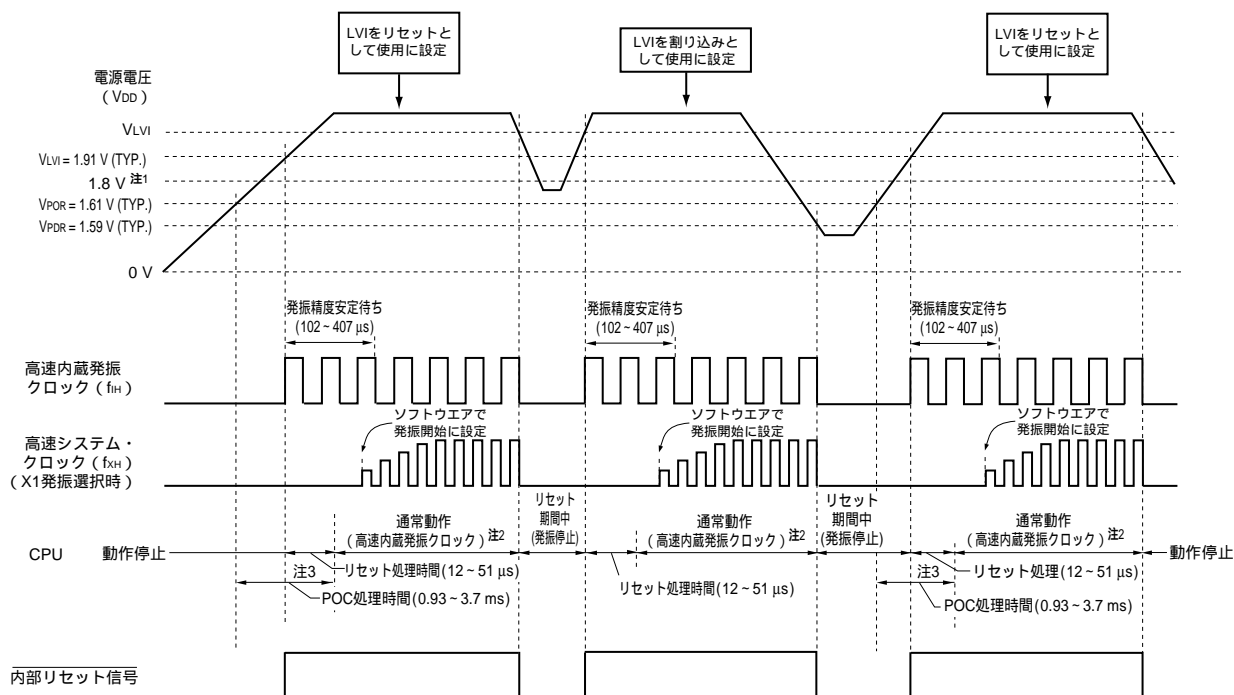
- 注1. 動作保証範囲は1.8 V  $V_{DD}$  5.5 Vです。電源立ち下がり時に1.8 V未満をリセット状態にしたい場合は、低電圧検出回路のリセット機能を使用、またはRESET端子にロウ・レベルを入力してください。
2. 電源投入時から1.8 Vに達するまでの電圧の立ち上がり率が、0.5 V/ms (MIN.) よりも緩やかな場合は、電源投入時から1.8 Vに達するまで、RESET端子にロウ・レベルを入力するか、オプション・バイトでLVIをデフォルトでON (オプション・バイト : LVISTART = 1) に設定してください。
3. 高速内蔵発振クロックの発振精度安定待ち時間は、内部の電圧安定待ち時間に含まれます。
4. CPUクロックを高速内蔵発振クロックから高速システム・クロックに切り替え可能です。X1クロックを使用する場合はOSTCレジスタで、発振安定時間を確認してから切り替えてください。

**注意** 低電圧検出回路の設定は、リセット解除後にソフトウェアで設定してください(第21章 低電圧検出回路を参照)。

**備考** V<sub>LVI</sub> : LVI検出電圧  
 V<sub>POR</sub> : POC電源立ち上がり検出電圧  
 V<sub>PDR</sub> : POC電源立ち下がり検出電圧

図20 - 2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生のタイミング (2/2)

## (2) 電源立ち上げ時のLVLIがONの場合 (オプション・バイト : LVISTART = 1)



注1. 動作保証範囲は、1.8 V  $V_{DD}$  5.5 Vです。電源立ち上がり時に1.8 V未満をリセット状態にしたい場合は、低電圧検出回路のリセット機能を使用、またはRESET端子にロウ・レベルを入力してください。

2. CPUクロックを高速内蔵発振クロックから高速システム・クロックに切り替え可能です。X1クロックを使用する場合はOSTCレジスタで、発振安定時間を確認してから、切り替えてください。

3. POC検出電圧 (1.59 V (TYP.)) に達してから、通常動作を開始するまでには、次に示す時間が必要となります。

- ・ 1.59 V (TYP.) 1.91 V (TYP.) に到達する時間 < 3.7 ms の場合  
1.59 V (TYP.) 通常動作までに約1.0 ~ 3.8 msのPOC処理時間がかかります。
- ・ 1.59 V (TYP.) 1.91 V (TYP.) に到達する時間 > 3.7 ms の場合  
1.91 V (TYP.) 通常動作までに約12 ~ 51  $\mu$ sのリセット処理時間がかかります。

注意 低電圧検出回路をデフォルトの設定から変更する場合は、リセット解除後にソフトウェアで設定してください (第21章 低電圧検出回路を参照)。

備考  $V_{LVI}$  : LVI検出電圧

$V_{POR}$  : POC電源立ち上がり検出電圧

$V_{PDR}$  : POC電源立ち下がり検出電圧

## 20.4 パワーオン・クリア回路の注意事項

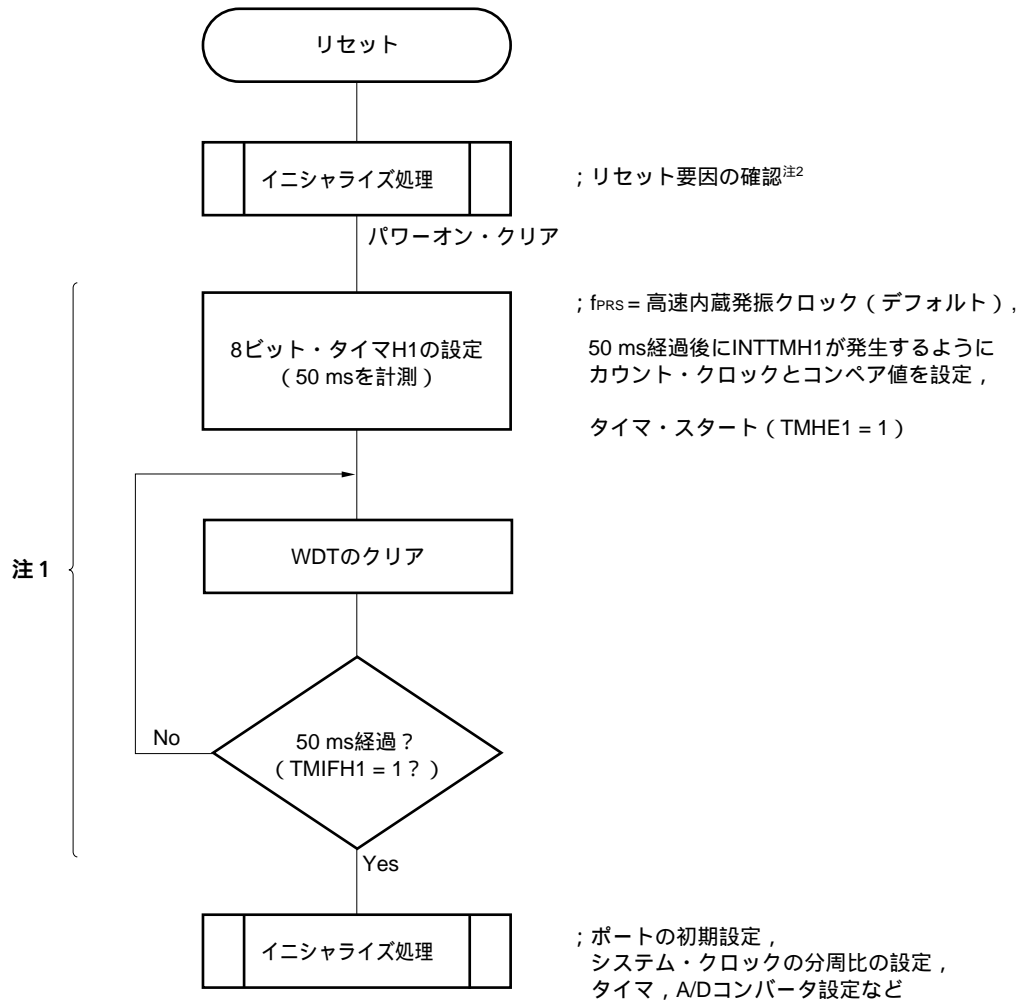
電源電圧 ( $V_{DD}$ ) が POC 検出電圧 ( $V_{POR}$ ,  $V_{PDR}$ ) 付近で、ある期間ふらつくような構成のシステムでは、リセット状態 / リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

< 処 置 >

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

図20 - 3 リセット解除後のソフト処理例 (1/2)

・ POC 検出電圧付近での電源電圧変動が 50 ms 以下の場合



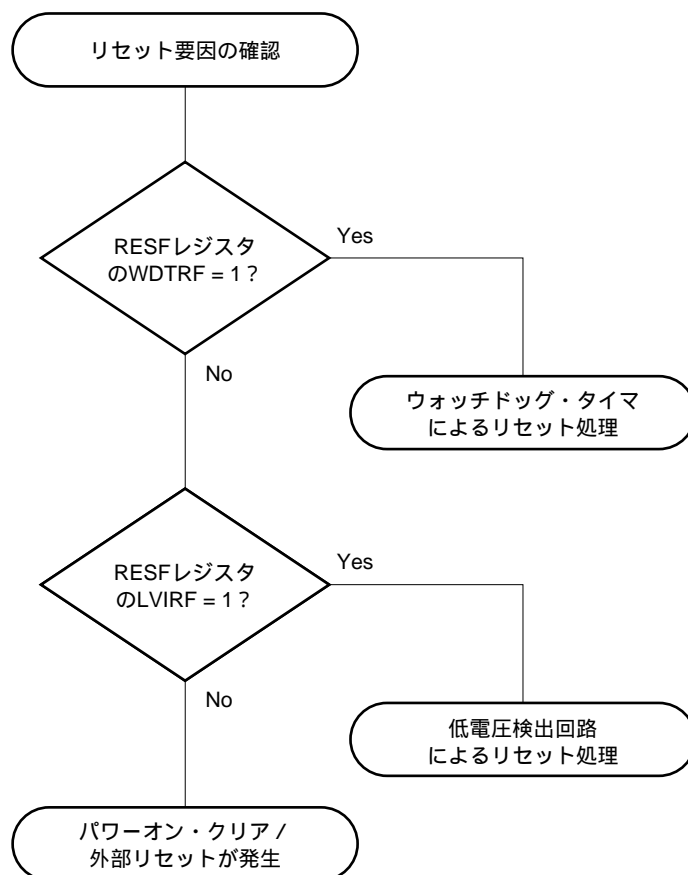
注1. この間に再度リセットが発生した場合、イニシャライズ処理 には移行しません。

2. 次ページにフロー・チャートを示します。



図20 - 3 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



## 第21章 低電圧検出回路

### 21.1 低電圧検出回路の機能

低電圧検出 (LVI) 回路は、78K0/Fx2-L マイクロコントローラの全製品に搭載されています。

低電圧検出回路は、次のような機能を持ちます。

- ・電源電圧 ( $V_{DD}$ ) と LVI 検出電圧 ( $V_{LVI}$ ) を比較し、内部リセットまたは内部割り込み信号を発生します。
- ・オプション・バイトにて、低電圧検出 (LVI) 回路をデフォルトで ON に設定できます。ON に設定し、POC 検出電圧 ( $V_{POR} = 1.61 \text{ V (TYP.)}$ ) 以下から電源を立ち上げた場合は、電源電圧 ( $V_{DD}$ ) < LVI 検出電圧 ( $V_{LVI} = 1.91 \text{ V} \pm 0.1 \text{ V}$ ) のときに内部リセット信号を発生します。それ以降は、電源電圧 ( $V_{DD}$ ) < LVI 検出電圧 ( $V_{LVI} = 1.91 \text{ V} \pm 0.1 \text{ V}$ ) のときに内部リセット信号を発生します。
- ・検出後にリセットを発生するか、割り込みを発生するかを、ソフトウェアにて選択できます。
- ・電源電圧の LVI 検出電圧 ( $V_{LVI}$ ) は、ソフトウェアにて検出レベルを 16 段階より選択できます。
- ・STOP モード時においても動作可能です。

リセットと割り込み信号は、ソフトウェアの選択により、次のように発生します。

電源電圧 ( $V_{DD}$ ) のレベル検出を選択	
リセット選択 ( $LVIMD = 1$ )	割り込み選択 ( $LVIMD = 0$ )
$V_{DD} < V_{LVI}$ になったときに内部リセットを発生し、 $V_{DD} > V_{LVI}$ になったときに内部リセットを解除	電源電圧降下時に $V_{DD} < V_{LVI}$ になったとき、または電源電圧上昇時に $V_{DD} > V_{LVI}$ になったときに内部割り込み信号を発生

**備考** LVIMD : 低電圧検出レジスタ (LVIM) のビット 1

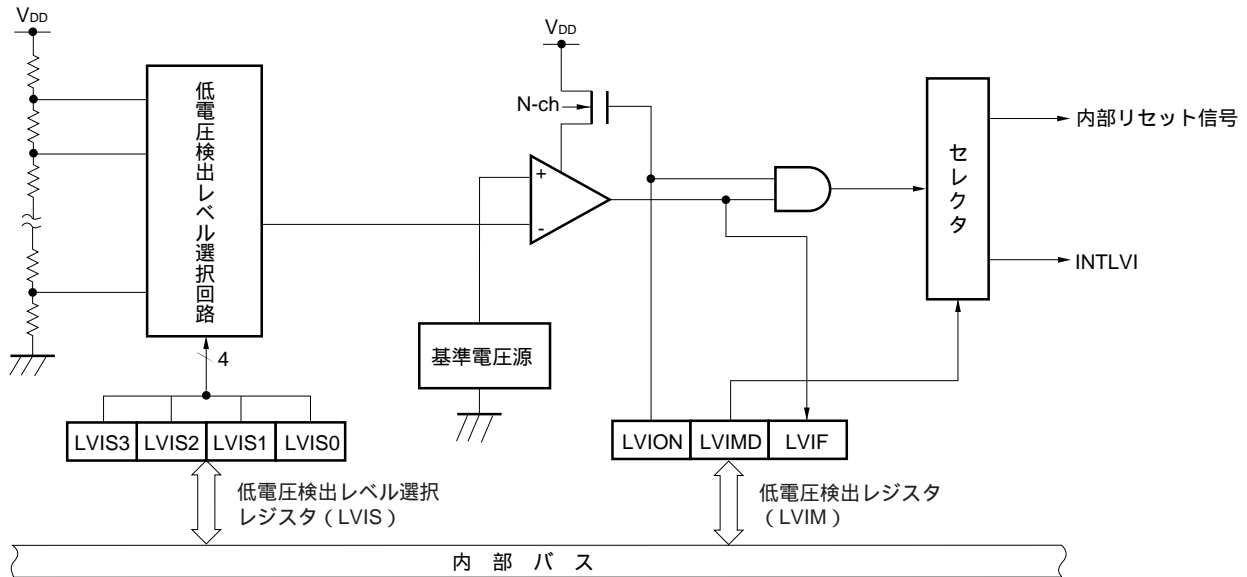
低電圧検出回路動作時では、低電圧検出フラグ (LVIF : LVIM のビット 0) を読み出すことにより、電源電圧または外部入力端子からの入力電圧が、検出レベル以上か未満かを知ることができます。

低電圧検出回路をリセットとして使用した場合、リセットが発生するとリセット・コントロール・フラグ・レジスタ (RESF) のビット 0 (LVIRF) がセット (1) されます。RESF についての詳細は、**第 19 章 リセット機能** を参照してください。

## 21.2 低電圧検出回路の構成

低電圧検出回路のブロック図を図21 - 1に示します。

図21 - 1 低電圧検出回路のブロック図



## 21.3 低電圧検出回路を制御するレジスタ

低電圧検出回路は次のレジスタで制御します。

- ・低電圧検出レジスタ (LVIM)
- ・低電圧検出レベル選択レジスタ (LVIS)

### (1) 低電圧検出レジスタ (LVIM)

低電圧検出，動作モードを設定するレジスタです。

LVIMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

LVIリセット以外のリセット信号の発生により，00Hになります。

図21 - 2 低電圧検出レジスタ (LVIM) のフォーマット

アドレス : FFBEH リセット時 : 00H<sup>注1</sup> R/W<sup>注2</sup>

略号	[7]	6	5	4	3	2	[1]	[0]
LVIM	LVION	0	0	0	0	0	LVIMD	LVIF

LVION <sup>注3, 4</sup>	低電圧検出動作許可
0	動作禁止
1	動作許可

LVIMD <sup>注3</sup>	低電圧検出の動作モード (割り込み/リセット) 選択
0	電圧降下時に電源電圧 ( $V_{DD}$ ) < LVI検出電圧 ( $V_{LVI}$ ) になったとき, または, 電圧上昇時に $V_{DD} < V_{LVI}$ になったとき内部割り込み信号を発生
1	電源電圧 ( $V_{DD}$ ) < LVI検出電圧 ( $V_{LVI}$ ) 時に内部リセット発生, $V_{DD} > V_{LVI}$ 時に内部リセット解除

LVIF	低電圧検出フラグ
0	電源電圧 ( $V_{DD}$ ) > LVI検出電圧 ( $V_{LVI}$ ), または動作禁止時
1	電源電圧 ( $V_{DD}$ ) < LVI検出電圧 ( $V_{LVI}$ )

注1. リセット値は, リセット要因およびオプション・バイトの設定により変化します。

LVIリセット時 (LVIデフォルト・スタート機能によるリセットは除く) は, クリア (00H) されません。その他のリセットでは, “00H” にリセットされます。

- ビット0はRead Onlyです。
- LVION, LVIMDはLVIリセット以外のリセット時にクリア (0) されます。LVIリセットではクリア (0) されません。
- LVIONをセット (1) すると, LVI回路内のコンパレータの動作を開始します。LVIONをセット (1) してから動作が安定するまでの時間 ( $10 \mu s$  (MAX.)) を, ソフトウェアでウェイトしてください。また動作安定後, LVI検出電圧未満の状態になってからLVIFがセット (1) されるまで,  $200 \mu s$ 以上の外部入力 (最小パルス幅:  $200 \mu s$  (MIN.)) が必要です。

注意1. LVIを停止する場合は, 次のいずれかの手順を行ってください。

- ・8ビット・メモリ操作命令の場合: LVIMに “00H” を書き込む
- ・1ビット・メモリ操作命令の場合: LVIONをクリア (0)

- LVIを割り込みモード (LVIMD = 0) で使用し, 電源電圧 ( $V_{DD}$ ) < 検出電圧 ( $V_{LVI}$ ) 時にLVI動作禁止 (LVIONをクリア) とすると割り込み要求信号 (INTLVI) が発生し, LVIF = 1 となることがあります。

## (2) 低電圧検出レベル選択レジスタ (LVIS)

低電圧検出レベルを選択するレジスタです。

LVISは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

LVIリセット以外のリセット信号の発生により、00Hになります。

図21-3 低電圧検出レベル選択レジスタ (LVIS) のフォーマット

アドレス：FFBFH リセット時：00H<sup>注</sup> R/W

略号	7	6	5	4	3	2	1	0
LVIS	0	0	0	0	LVIS3	LVIS2	LVIS1	LVIS0

LVIS3	LVIS2	LVIS1	LVIS0	検出レベル
0	0	0	0	V <sub>LV10</sub> ( 4.22 ± 0.1 V )
0	0	0	1	V <sub>LV11</sub> ( 4.07 ± 0.1 V )
0	0	1	0	V <sub>LV12</sub> ( 3.92 ± 0.1 V )
0	0	1	1	V <sub>LV13</sub> ( 3.76 ± 0.1 V )
0	1	0	0	V <sub>LV14</sub> ( 3.61 ± 0.1 V )
0	1	0	1	V <sub>LV15</sub> ( 3.45 ± 0.1 V )
0	1	1	0	V <sub>LV16</sub> ( 3.30 ± 0.1 V )
0	1	1	1	V <sub>LV17</sub> ( 3.15 ± 0.1 V )
1	0	0	0	V <sub>LV18</sub> ( 2.99 ± 0.1 V )
1	0	0	1	V <sub>LV19</sub> ( 2.84 ± 0.1 V )
1	0	1	0	V <sub>LV110</sub> ( 2.68 ± 0.1 V )
1	0	1	1	V <sub>LV111</sub> ( 2.53 ± 0.1 V )
1	1	0	0	V <sub>LV112</sub> ( 2.38 ± 0.1 V )
1	1	0	1	V <sub>LV113</sub> ( 2.22 ± 0.1 V )
1	1	1	0	V <sub>LV114</sub> ( 2.07 ± 0.07 V )
1	1	1	1	V <sub>LV115</sub> ( 1.91 ± 0.1 V )

注 リセット値は、リセット要因により変化します。

LVIによるリセット(LVIデフォルト・スタート機能によるリセットは除く)のときには、LVISレジスタの値はリセットされず、そのままの値を保持します。その他のリセットでは、“00H”にリセットされます。

注意1. ビット4-7には必ず“0”を設定してください。

2. LVI動作中に、LVISの値を変更しないでください。

## 21.4 低電圧検出回路の動作

低電圧検出回路は、次の2種類の動作モードがあります。

### (1) リセットとして使用 (LVIMD = 1)

電源電圧 ( $V_{DD}$ ) と LVI 検出電圧 ( $V_{LVI}$ ) を比較し、 $V_{DD} < V_{LVI}$  のとき内部リセットを発生し、 $V_{DD} > V_{LVI}$  のとき内部リセットを解除します。

**備考** オプション・バイトにて、低電圧検出 (LVI) 回路をデフォルトで ON に設定できます。

ON に設定し、POC 検出電圧 ( $V_{POR} = 1.61 \text{ V (TYP.)}$ ) 以下から電源を立ち上げた場合は、電源電圧 ( $V_{DD}$ ) < LVI 検出電圧 ( $V_{LVI} = 1.91 \text{ V} \pm 0.1 \text{ V}$ ) のときに内部リセット信号を発生します。

### (2) 割り込みとして使用 (LVIMD = 0)

電源電圧 ( $V_{DD}$ ) と LVI 検出電圧 ( $V_{LVI}$ ) を比較し、電圧降下時に  $V_{DD} < V_{LVI}$  になったとき、または電圧上昇時に  $V_{DD} > V_{LVI}$  になったとき、割り込み信号 (INTLVI) を発生します。

低電圧検出回路動作時では、低電圧検出フラグ (LVIF : LVIM のビット 0) を読み出すことにより、電源電圧または外部入力端子からの入力電圧が、検出レベル以上か未満かを知ることができます。

**備考** LVIMD :            低電圧検出レジスタ (LVIM) のビット 1

## 21.4.1 リセットとして使用時の設定

### (1) LVIデフォルト・スタート機能停止に設定時 (LVISTART = 0)

#### 動作開始時

LVIの割り込みをマスクする (LVIMK = 1)

低電圧検出レベル選択レジスタ (LVIS) のビット3-0 (LVIS3-LVIS0) でLVI検出電圧を設定する

LVIMのビット7 (LVION) に “1” (LVI動作許可) を設定する

ソフトウェアで次に示す時間 (合計210  $\mu$ s) をウエイトする

- ・動作安定時間 (10  $\mu$ s (MAX.))
- ・最小パルス幅 (200  $\mu$ s (MIN.))

LVIMのビット0 (LVIF) で, 「電源電圧 ( $V_{DD}$ ) LVI検出電圧 ( $V_{LVI}$ )」であることを確認するまで待つ

LVIMのビット1 (LVIMD) に “1” (レベル検出時にリセット発生) を設定する

図21-4に, ~ と対応した低電圧検出回路の内部リセット信号発生タイミングを示します。

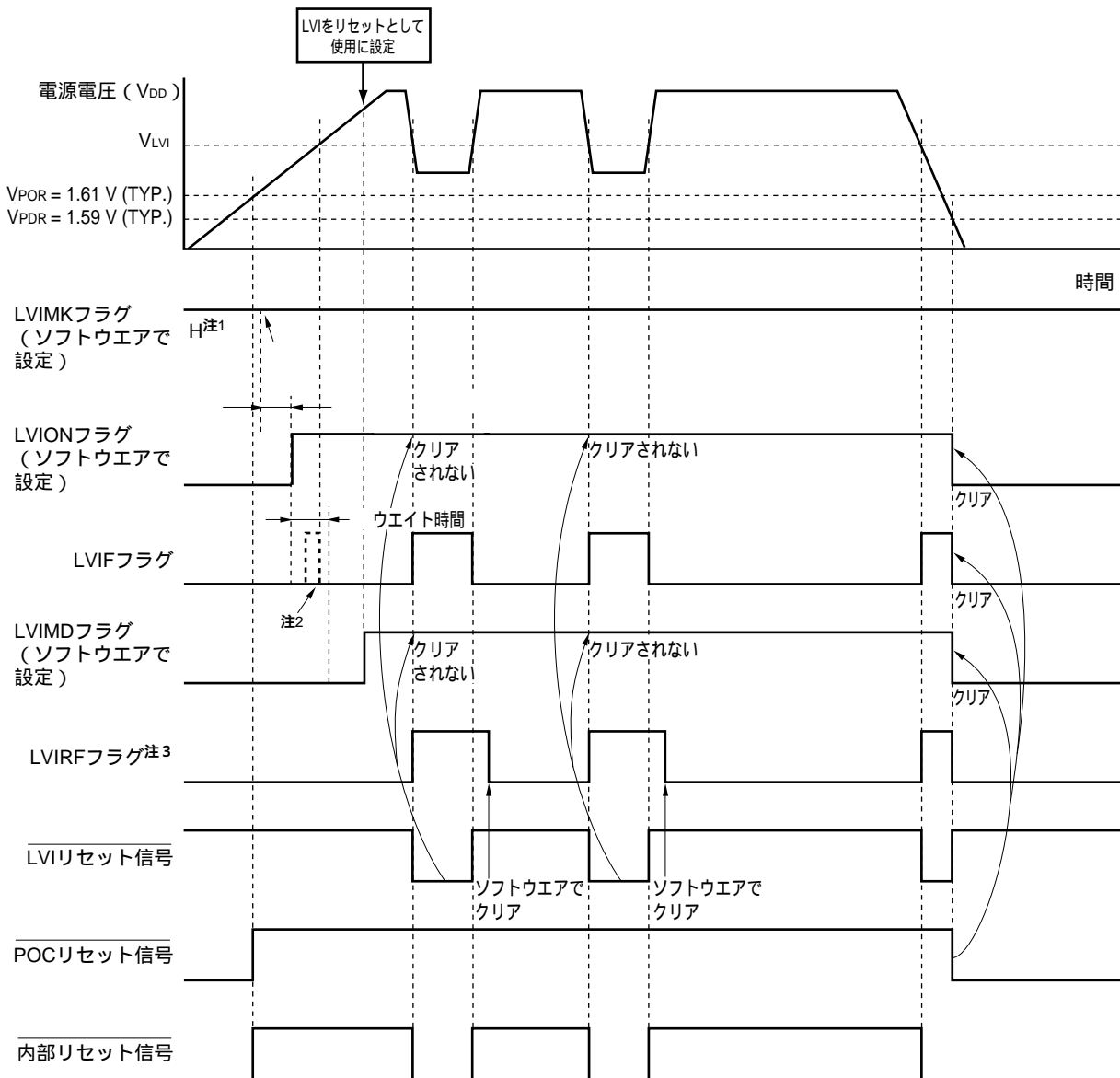
- 注意1.** は必ず行ってください。LVIMK = 0になっている場合, の処理を行った時点で割り込みが発生する場合があります。
2. LVIMD = 1とした時点で, 「電源電圧 ( $V_{DD}$ ) LVI検出電圧 ( $V_{LVI}$ )」であれば内部リセット信号は発生しません。

#### 動作停止時

次のいずれかの手順を, 必ず実行してください。

- ・8ビット・メモリ操作命令の場合 :  
LVIMに “00H” を書き込む
- ・1ビット・メモリ操作命令の場合 :  
LVIMDをクリア (0) LVIONをクリア (0)

図21 - 4 内部リセット信号発生タイミング (LVISTART = 0)



注1. LVIMKフラグはリセット信号の発生により、“1”になっています。

2. LVIFフラグと割り込み要求フラグ・レジスタのLVIFフラグが、セット(1)される可能性があります。
3. LVIRFはリセット・コントロール・フラグ・レジスタ (RESF) のビット0です。RESFについての詳細は、第19章 リセット機能を参照してください。

備考1. 図21 - 4の ~ は、21.4.1(1)LVIデフォルト・スタート機能停止に設定時 (LVISTART = 0) 動作開始時の ~ と対応しています。

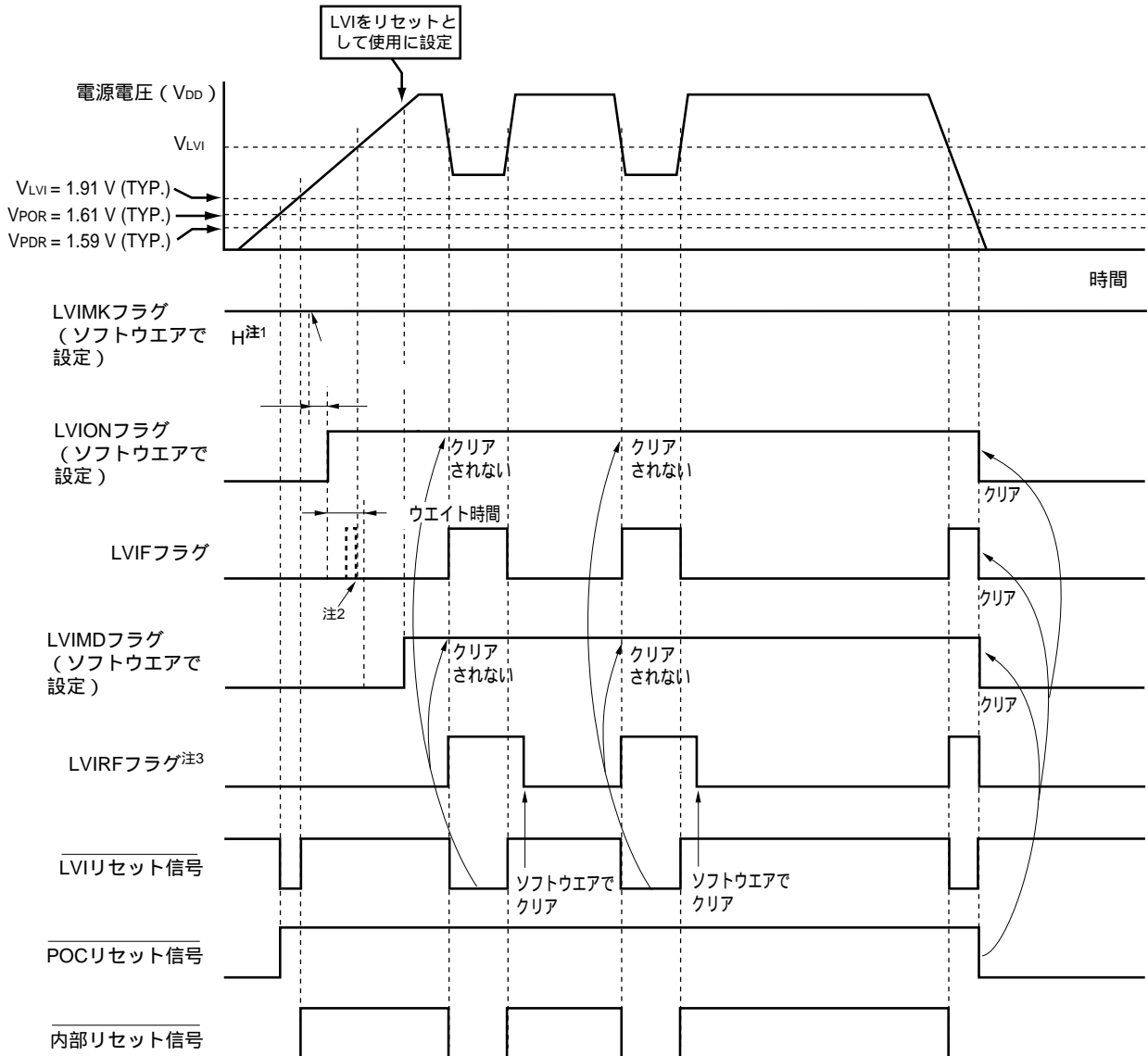
2.  $V_{POR}$  : POC電源立ち上がり検出電圧
- $V_{PDR}$  : POC電源立ち下がり検出電圧



## (2) LVIデフォルト・スタート機能動作に設定時 (LVISTART = 1)

動作開始時、動作停止時ともに、21.4.1(1)LVIデフォルト・スタート機能停止動作に設定時(LVISTART = 0)と同じ設定です。

図21-5 内部リセット信号発生のタイミング (LVISTART = 1)



注1. LVIMKフラグはリセット信号の発生により、“1”になっています。

2. LVIFフラグと割り込み要求フラグ・レジスタのLVIIFフラグが、セット(1)される可能性があります。

3. LVIRFは、リセット・コントロール・フラグ・レジスタ (RESF) のビット0です。RESFについての詳細は、**第19章 リセット機能**を参照してください。

備考 1. 図21-5の ~ は、21.4.1(1)LVIデフォルト・スタート機能停止に設定時(LVISTART = 0) 動作開始時の ~ と対応しています。

2. V<sub>POR</sub>: POC電源立ち上がり検出電圧

V<sub>PDR</sub>: POC電源立ち下がり検出電圧

## 21.4.2 割り込みとして使用時の設定

### (1) LVIデフォルト・スタート機能停止に設定時 (LVISTART = 0)

#### 動作開始時

LVIの割り込みをマスクする (LVIMK = 1)

低電圧検出レベル選択レジスタ (LVIS) のビット3-0 (LVIS3-LVIS0) でLVI検出電圧を設定する  
LVIMのビット1 (LVIMD) に “0” (レベル検出時に割り込み信号発生) を設定する (デフォルト値)

LVIMのビット7 (LVION) に “1” (LVI動作許可) を設定する  
ソフトウェアで次に示す時間 (合計210 $\mu$ s) をウエイトする

- ・動作安定時間 (10 $\mu$ s (MAX.))
- ・最小パルス幅 (200 $\mu$ s (MIN.))

LVIMのビット0 (LVIF) で、立ち下がりを検出する場合は「電源電圧 ( $V_{DD}$ ) > LVI検出電圧 ( $V_{LVI}$ )」を、立ち上がりを検出する場合は「電源電圧 ( $V_{DD}$ ) < LVI検出電圧 ( $V_{LVI}$ )」を確認する

LVIの割り込み要求フラグ (LVIIF) をクリア (0) する

LVIの割り込みマスク・フラグ (LVIMK) を解除する

(ベクタ割り込みを使用する場合) EI命令を実行する

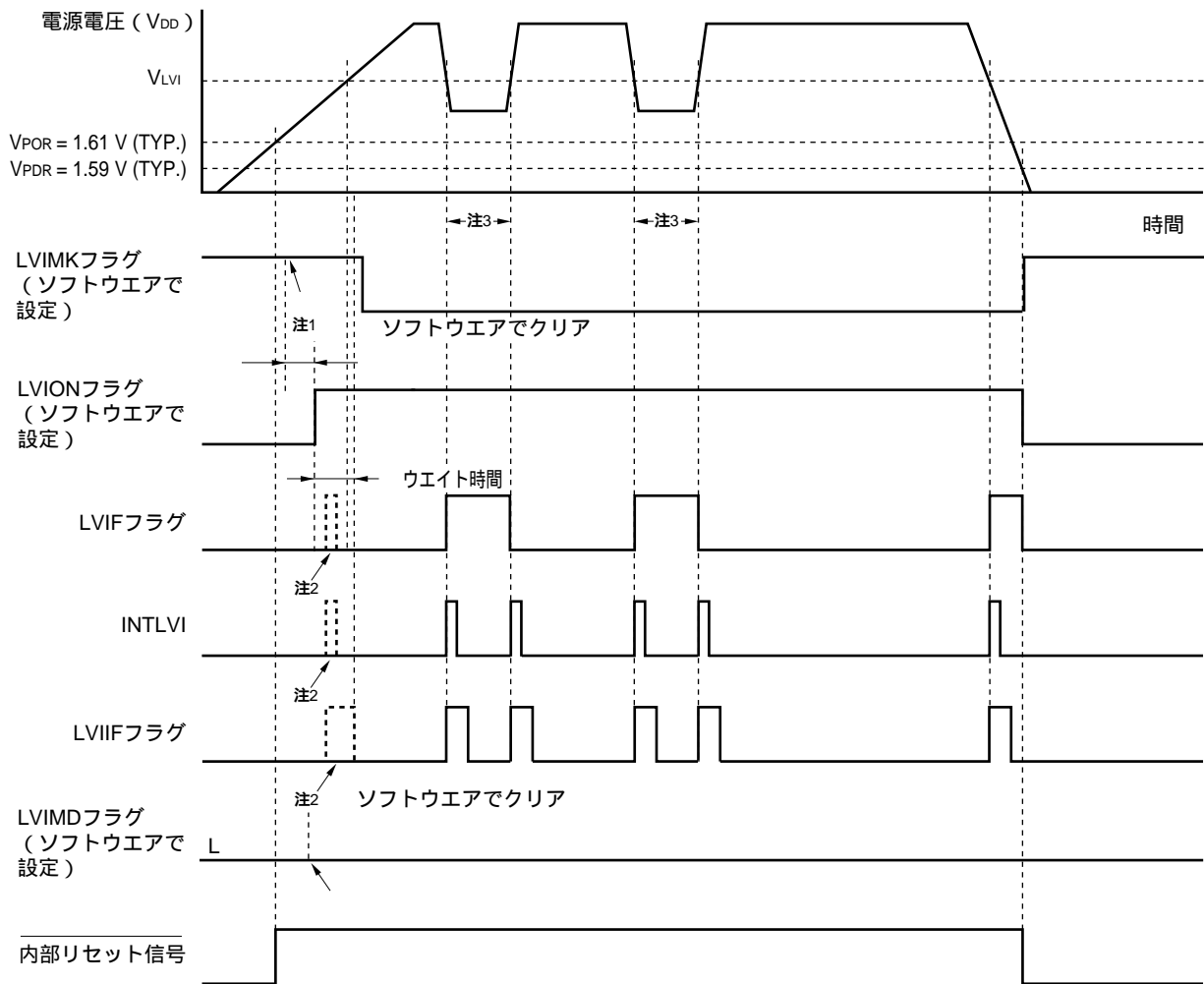
図21 - 6に、 ~ と対応した低電圧検出回路の割り込み信号発生のタイミングを示します。

#### 動作停止時

次のいずれかの手順を、必ず実行してください。

- ・8ビット・メモリ操作命令の場合：
  - LVIMに “00H” を書き込む
- ・1ビット・メモリ操作命令の場合：
  - LVIONをクリア (0)

図21 - 6 割り込み信号発生タイミング (LVISTART = 0)



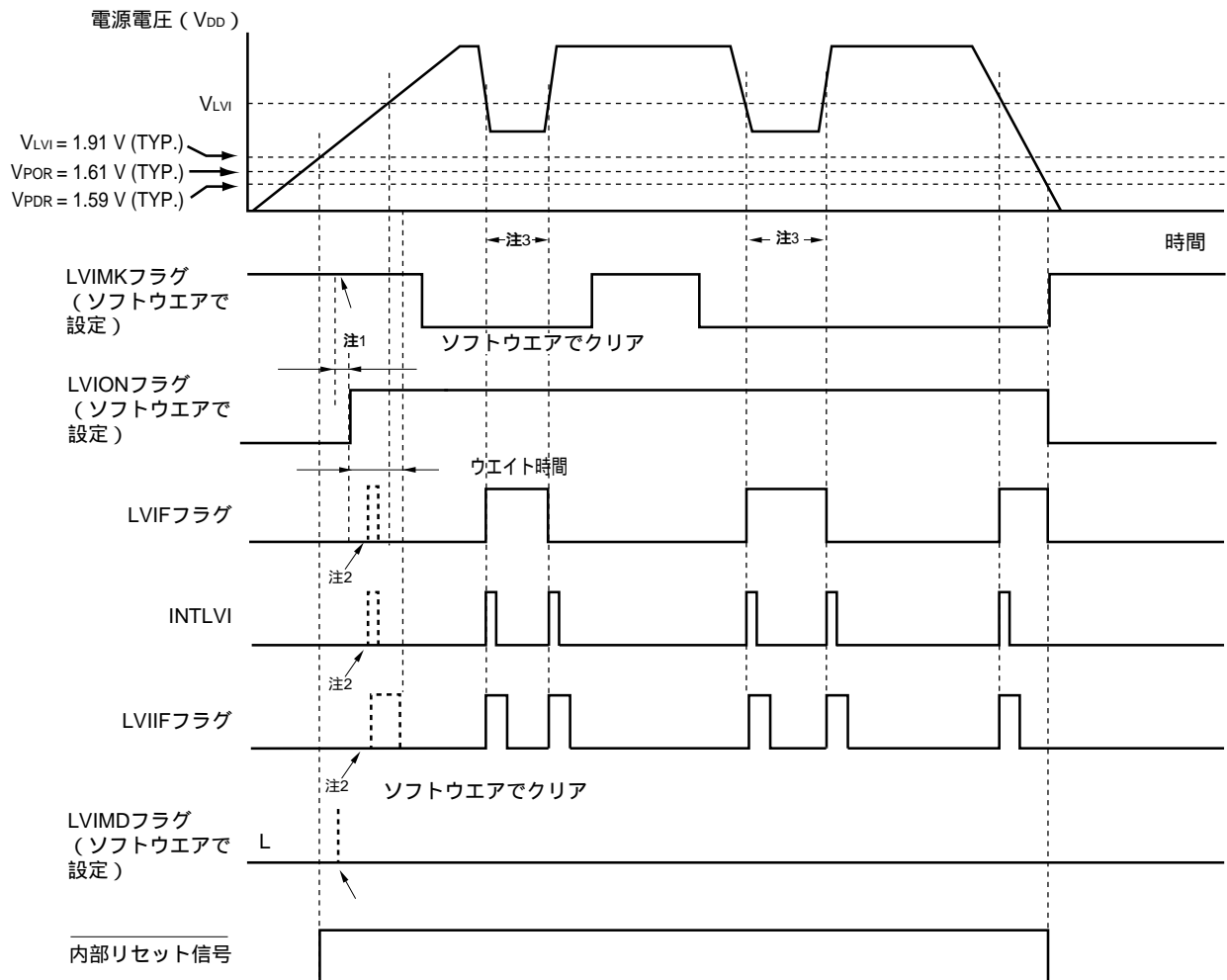
- 注1. LVIMKフラグはリセット信号の発生により、“1”になっています。
2. 割り込み要求信号 (INTLVI) が発生し、LVIFフラグ、LVIIIFフラグがセット (1) される可能性があります。
3. 電源電圧 ( $V_{DD}$ )  $V_{LVI}$  検出電圧 ( $V_{LVI}$ ) の時にLVI動作禁止 (LVIONをクリア) とすると、割り込み要求信号 (INTLVI) が発生しLVIIIF = 1となることがあります。

- 備考1. 図21 - 6の ~ は、21.4.2(1) LVIデフォルト・スタート機能停止に設定時 (LVISTART = 0) 動作開始時の ~ と対応しています。
2.  $V_{POR}$  : POC電源立ち上がり検出電圧  
 $V_{PDR}$  : POC電源立ち下がり検出電圧

## (2) LVIデフォルト・スタート機能動作に設定時 (LVISTART = 1)

動作開始時, 動作停止時ともに21. 4. 2 (1)LVIデフォルト・スタート機能停止動作に設定時(LVISTART = 0)と同じ設定です。

図21 - 7 割り込み信号発生タイミング (LVISTART = 1)



注1. LVIMKフラグはリセット信号の発生により, “1” になっています。

2. 割り込み要求信号 (INTLVI) が発生し, LVIFフラグ, LVIIIFフラグがセット (1) される可能性があります。
3. 電源電圧 ( $V_{DD}$ )  $V_{LVI}$  の時にLVI動作禁止 (LVIONをクリア) とすると, 割り込み要求信号 (INTLVI) が発生し, LVIIIF = 1となることがあります。

備考1. 図21 - 7の ~ は, 21. 4. 2 (1)LVIデフォルト・スタート機能停止に設定時 (LVISTART = 0) 動作開始時の ~ と対応しています。

2.  $V_{POR}$ : POC電源立ち上がり検出電圧
- $V_{PDR}$ : POC電源立ち下がり検出電圧

## 21.5 低電圧検出回路の注意事項

電源電圧 ( $V_{DD}$ ) が LVI 検出電圧 ( $V_{LVI}$ ) 付近で、ある期間ふらつくような構成のシステムでは、低電圧検出回路の使用方法により、次のような動作となります。

### 動作例1 : リセットとして使用する場合

リセット状態 / リセット解除状態を繰り返すことがあります。

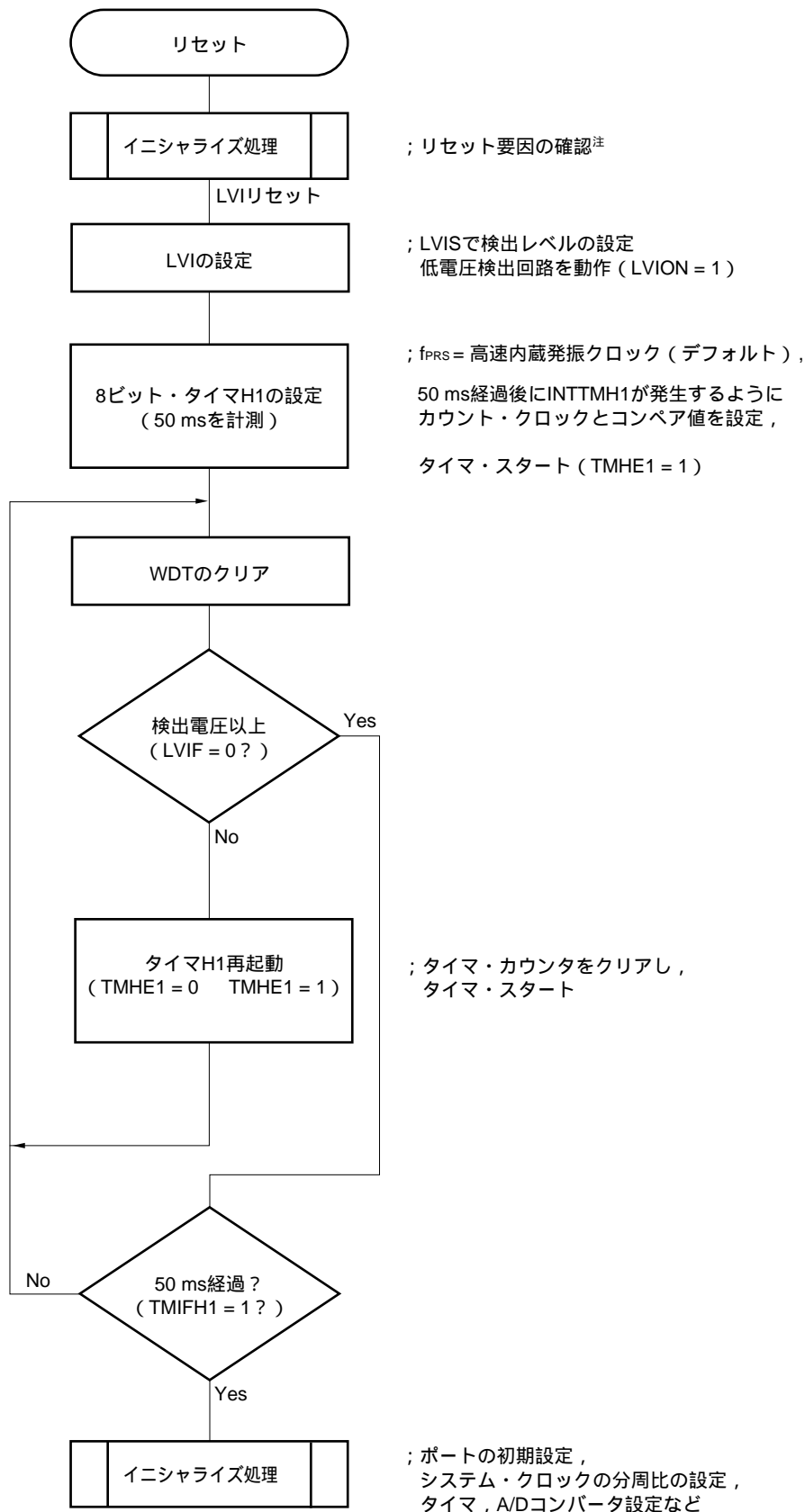
次の処置を行うことにより、リセット解除からマイコン動作開始までの時間を任意に設定できます。

### < 処 置 >

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください (図21 - 8を参照)。

図21 - 8 リセット解除後のソフト処理例 (1/2)

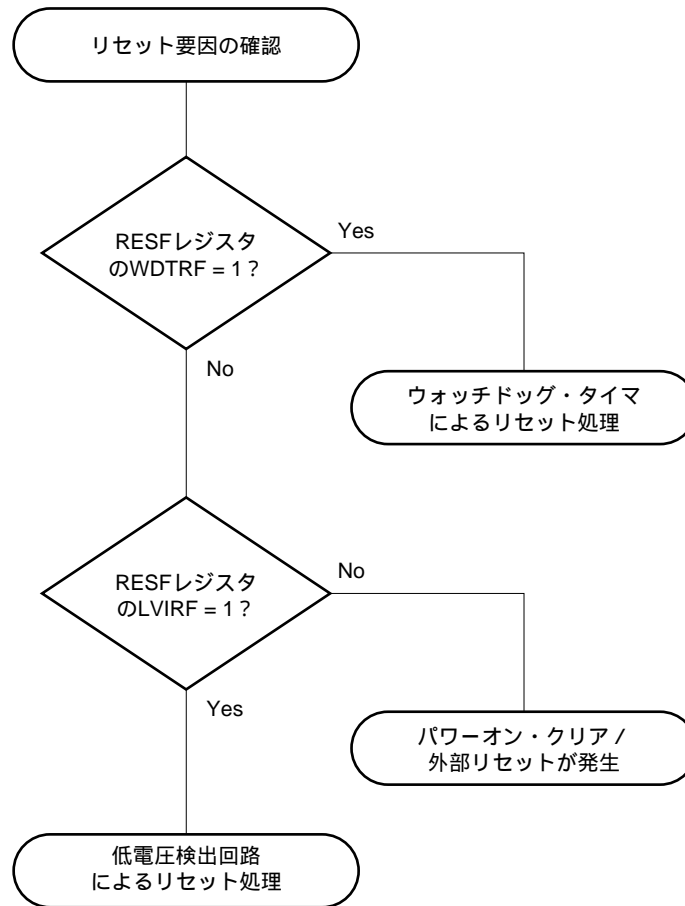
・ LVI検出電圧付近での電源電圧変動が50 ms以下の場合



注 次ページにフロー・チャートを示します。

図21 - 8 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



#### 動作例2 : 割り込みとして使用する場合

割り込み要求が頻繁に発生することがあります。  
次の処置を行うようにしてください。

#### < 処 置 >

LVI割り込みの処理ルーチン内で、低電圧検出レジスタ (LVIM) のビット0 (LVIF) にて、立ち下がりを検出する場合は“電源電圧 (V<sub>DD</sub>) LVI検出電圧 (V<sub>LVI</sub>)”を、立ち上がりを検出する場合は“電源電圧 (V<sub>DD</sub>) < LVI検出電圧 (V<sub>LVI</sub>)”を確認し、割り込み要求フラグ・レジスタ0L (IF0L) のビット1 (LVIIF) をクリア (0) してください。

また、LVI検出電圧付近での電源電圧変動期間が長いシステムの場合は、電源電圧変動期間をウエイトしたあとにこれらの処置を行ってください。

## 第22章 レギュレータ

### 22.1 レギュレータの概要

78K0/Fx2-Lマイクロコントローラには、デバイス内部を定電圧動作させるための回路を内蔵しています。このときレギュレータ出力電圧を安定させるために、REGC端子にコンデンサ(0.47~1 $\mu$ F)を介し、V<sub>SS</sub>に接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

レギュレータ出力電圧は、通常では2.4 V (TYP.)、低消費電力モードでは2.0 V (TYP.)です。

### 22.2 レギュレータを制御するレジスタ

#### (1) レギュレータ・モード制御レジスタ (RMC)

レギュレータの出力電圧を設定するレジスタです。

RMCは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図22 - 1 レギュレータ・モード制御レジスタ (RMC) のフォーマット

アドレス：FF3DH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
RMC								

RMC[7:0]	レギュレータの出力電圧の制御
56H	低消費電力モード (2.0 V固定)
00H	通常電力モード (2.4 V固定)
上記以外	設定禁止

注意1. RMCレジスタの設定値を56Hから00Hに変更して、5 MHz以上のCPU動作周波数を使用する場合、RMCレジスタ設定後10 $\mu$ s以上経過してから、PCCレジスタとRCMレジスタを変更してください。

2. 低消費電力モード固定の設定で使用する場合は、以下の場合にかぎり使用可能です。

<CPUクロックにX1クロック選択時>

$f_x$  5 MHzかつ $f_{CPU}$  5 MHz

<CPUクロックに高速内蔵発振クロック、外部入力クロック選択時>

$f_{CPU}$  5 MHz

3. PLLを使用する場合、RMCを00Hに設定してください。

4. STOPモードに移行する場合、RMC = 56Hに設定することで低消費電力を実現できます。



## 22.3 セルフ・プログラミングに関する注意事項

1. セルフ・プログラミングまたはEEPROMエミュレーション実行時は、レギュレータ出力電圧のモードを固定にしてください。
2. 通常電力モードの場合、セルフ・プログラミング・ライブラリによるプログラム領域の書き換えは可能です。
3. 低消費電力モードでのフラッシュ・メモリの書き換えは、次の点に注意してください。
  - ・ データ領域の書き換えのみ可能です。プログラム領域の書き換えはできません。  
データ領域： データ用として扱っているフラッシュ・メモリ領域  
プログラム領域： プログラム用として扱っているフラッシュ・メモリ領域
  - ・ 低消費電力モードにて消去、書き込みを行ったフラッシュ・メモリは、通常電力モードでは読み出せません。この場合、通常電力モードから低消費電力モードに切り替え、フラッシュ・メモリの内容をRAMに移すことにより、通常電力モードでデータを使用することが可能となります。
  - ・ 通常電力モードから低消費電力モードに切り替えたあとにセルフ・プログラミングを実行する場合、モードの切り替え後、2 msのウエイト時間が必要です。

**備考** セルフ・プログラミング機能の詳細およびセルフ・プログラミング・ライブラリの詳細については、「78K0マイクロコントローラ ユーザーズ・マニュアル セルフ・プログラミング・ライブラリ Type01 (U18274J)」と「78K0マイクロコントローラ セルフ・プログラミング・ライブラリ Type01 Ver.3.10 使用上の留意点 (文書) (ZUD-CD-09-0122)」を参照してください。

EEPROMエミュレーションの詳細については、「78K0マイクロコントローラ ユーザーズ・マニュアル EEPROMエミュレーション・ライブラリ Type01 (U18275J)」と「78K0マイクロコントローラ EEPROMエミュレーション・ライブラリ Type01 Ver.2.10 使用上の留意点 (文書) (ZUD-CD-09-0165)」を参照してください。

## 第23章 オプション・バイト

### 23.1 オプション・バイトの機能

78K0/Fx2-Lマイクロコントローラのフラッシュ・メモリの0080H-0084Hは、オプション・バイト領域です。電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。

また、セルフ・プログラミング時にブート・スワップ動作を使用する場合、0080H-0084Hは1080H-1084Hと切り替わるので、あらかじめ1080H-1084Hにも0080H-0084Hと同じ値を設定してください。

#### (1) 0080H/1080H

低速内蔵発振器の動作

- ・ソフトウェアにより停止可能
- ・停止不可

ウォッチドッグ・タイマのインターバル時間の設定

ウォッチドッグ・タイマのカウンタの動作

- ・カウンタの動作許可
- ・カウンタの動作禁止

ウォッチドッグ・タイマのウインドウ・オープン期間の設定

**注意** ブート・スワップ時は、0080Hと1080Hが切り替わるので、あらかじめ1080Hにも0080Hと同じ値を設定してください。

#### (2) 0081H/1081H

LVIデフォルト・スタートの動作制御

- ・LVIデフォルト・スタート機能動作時 (LVISTART = 1)

リセット解除または電源投入から1.91 V (TYP.) に達するまでリセット状態になり、1.91 V (TYP.) を越えるとリセットが解除されます。

リセット解除または電源投入から1.8 Vに達するまでの電圧の立ち上がり率が、0.5 V/ms (MIN.) よりも緩やかな場合、LVIデフォルト・スタート機能の動作を推奨します。

- ・LVIデフォルト・スタート機能停止時 (LVISTART = 0)

リセット解除または電源投入から1.61 V (TYP.) に達するまでリセット状態になり、1.61 V (TYP.) を越えるとリセットが解除されます。

**注意** LVISTARTは、専用フラッシュ・メモリ・プログラマによる書き込みのみ設定可能です。セルフ・プログラミング、およびセルフ・プログラミング中のブート・スワップ動作では設定および変更できません。

## (3) 0082H/1082H

高速内蔵発振クロック周波数の選択

- ・ 4 MHz (TYP.)
- ・ 8 MHz (TYP.)

**注意** ブート・スワップ時は、0082Hと1082Hが切り替わるので、あらかじめ1082Hにも0082Hと同じ値を設定してください。

## (4) 0083H/1083H

オンチップ・デバッグ時に使用する端子の選択

- ・ TOOLC0/X1, TOOLD0/X2
- ・ TOOLC1/P31, TOOLD1/P32

**注意** ブート・スワップ時は、0083Hと1083Hが切り替わるので、あらかじめ1083Hにも0083Hと同じ値を設定してください。

## (5) 0084H/1084H

オンチップ・デバッグ動作制御

- ・ オンチップ・デバッグ動作禁止
- ・ オンチップ・デバッグ動作許可, オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する
- ・ オンチップ・デバッグ動作許可, オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない

**注意** ブート・スワップ時は、0084Hと1084Hが切り替わるので、あらかじめ1084Hにも0084Hと同じ値を設定してください。

## 23.2 オプション・バイトのフォーマット

オプション・バイトのフォーマットを次に示します。

図23 - 1 オプション・バイトのフォーマット (1/3)

アドレス : 0080H/1080H<sup>注</sup>

7	6	5	4	3	2	1	0
0	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	LSROSC
WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間					
0	0	25 %					
0	1	50 %					
1	0	75 %					
1	1	100 %					
WDTON	ウォッチドッグ・タイマのカウント / 不正アクセス検出の動作制御						
0	カウンタ動作禁止 (リセット解除後, カウント停止), 不正アクセス検出動作禁止						
1	カウンタ動作許可 (リセット解除後, カウント開始), 不正アクセス検出動作許可						
WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間				
0	0	0	$2^7/f_{IL}$ ( 3.88 ms )				
0	0	1	$2^8/f_{IL}$ ( 7.76 ms )				
0	1	0	$2^9/f_{IL}$ ( 15.52 ms )				
0	1	1	$2^{10}/f_{IL}$ ( 31.03 ms )				
1	0	0	$2^{12}/f_{IL}$ ( 124.12 ms )				
1	0	1	$2^{14}/f_{IL}$ ( 496.48 ms )				
1	1	0	$2^{15}/f_{IL}$ ( 992.97 ms )				
1	1	1	$2^{17}/f_{IL}$ ( 3.97 s )				
LSROSC	低速内蔵発振器の動作						
0	ソフトウェアにより停止可能 (RCMレジスタのビット1 (LSRSTOP) に1を書き込むことにより停止)						
1	停止不可 (LSRSTOPビットに1を書き込んでも停止しない)						

注 ブート・スワップ時は, 0080Hと1080Hが切り替わるので, あらかじめ1080Hにも0080Hと同じ値を設定してください。

- 注意1. WDCS2 = WDCS1 = WDCS0 = 0かつWINDOW1 = WINDOW0 = 0の組み合わせは設定禁止です。
- フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも, ウォッチドッグ・タイマの動作は継続します。ただし, これらの処置中には割り込みの受け付け時間が遅れるので, 遅延を考慮し, オーバフロー時間およびウインドウ・サイズを設定してください。
  - LSROSC = 0 (ソフトウェアにより停止可能) の場合, 内蔵発振モード / PLLコントロール・レジスタ (RCM) のビット0 (LSRSTOP) の設定に関係なく, HALT/STOPモード時では, ウォッチドッグ・タイマにカウント・クロックは供給されません。  
ただし, 低速内蔵発振クロックで8ビット・タイマH1が動作している場合は, HALT/STOPモード時でも, 8ビット・タイマH1にカウント・クロックが供給されます。
  - ビット7には必ず0を書き込んでください。

- 備考1.  $f_{IL}$  : 低速内蔵発振クロック周波数
- ( ) 内は  $f_{IL} = 33 \text{ kHz (MAX.)}$  の場合

図23 - 1 オプション・バイトのフォーマット (2/3)

アドレス : 0081H/1081H<sup>注1, 2</sup>

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	LVISTART

LVISTART	LVIデフォルト・スタートの動作制御
0	電源立ち上げ時に, LVIがデフォルトでOFF (LVIデフォルト・スタート機能停止)
1	電源立ち上げ時に, LVIがデフォルトでON (LVIデフォルト・スタート機能動作)

- 注1. LVISTARTは, 専用フラッシュ・メモリ・プログラマによる書き込みのみ設定可能です。セルフ・プログラミング, およびセルフ・プログラミング中のブート・スワップ動作では設定できません。ただし, ブート・スワップ動作時には1081Hの値は0081Hにコピーされますので, ブート・スワップ使用時は, 1081Hに0081Hと同じ値を設定しておくことを推奨します。
2. LVIデフォルト・スタートの設定内容を変更する場合は, フラッシュ・メモリの一括消去 (チップ消去) 後に, 再度0081Hに値を設定してください。指定したブロックのメモリ消去後の設定変更は無効となります。

**注意** ビット7-1には必ず0を書き込んでください。

アドレス : 0082H/1082H<sup>注</sup>

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	R4M8MSEL

R4M8MSEL	高速内蔵発振クロック周波数の選択
0	8 MHz (TYP.)
1	4 MHz (TYP.)

注 ブート・スワップ時は, 0082Hと1082Hが切り替わるので, あらかじめ1082Hにも0082Hと同じ値を設定してください。

**注意** ビット7-1には必ず0を書き込んでください。

図23-1 オプション・バイトのフォーマット (3/3)

アドレス : 0083H/1083H<sup>注</sup>

7	6	5	4	3	2	1	0
0	0	0	1	1	1	OCDPSEL	0

OCDPSEL	オンチップ・デバッグ時に使用する端子の選択
0	TOOLC1/P31, TOOLD1/P32
1	TOOLC0/X1, TOOLD0/X2

注 ブート・スワップ時は、0083Hと1083Hが切り替わるので、あらかじめ1083Hにも0083Hと同じ値を設定してください。

注意 ビット7-5, 0には0を、ビット4-2には1を必ず書き込んでください。

アドレス : 0084H/1084H<sup>注</sup>

7	6	5	4	3	2	1	0
0	0	0	0	0	0	OCDEN1	OCDEN0

OCDEN1	OCDEN0	オンチップ・デバッグ動作制御
0	0	動作禁止
0	1	設定禁止
1	0	動作許可、オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない
1	1	動作許可、オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する

注 ブート・スワップ時は、0084Hと1084Hが切り替わるので、あらかじめ1084Hにも0084Hと同じ値を設定してください。

注意 ビット7-2には必ず0を書き込んでください。

備考 オンチップ・デバッグ・セキュリティIDについては、第25章 オンチップ・デバッグ機能を参照してください。

オプション・バイト設定のソフトウェア記述例を次に示します。

OPT	CSEG	AT 0080H
OPTION: DB	30H	; ウォッチドッグ・タイマ動作（不定アクセス検出動作）許可， ; ウォッチドッグ・タイマのウインドウ・オープン期間50%， ; ウォッチドッグ・タイマのオーバフロー時間 $2^7/f_{IL}$ ， ; 低速内蔵発振器をソフトウェアにより停止可能
DB	00H	; LVIデフォルト・スタート機能停止
DB	01H	; 高速内蔵発振クロック周波数4 MHz（TYP.）
DB	1EH	; TOOLC0/X1, TOOLD0/X2端子を使用
DB	02H	; 動作許可，オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない

**備考** オプション・バイトの参照はリセット処理時に行われます。リセット処理のタイミングについては、**第19章 リセット機能**を参照してください。

## 第24章 フラッシュ・メモリ

78K0/Fx2-Lマイクロコントローラは、基板に実装した状態でプログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵しています。

### 24.1 メモリ・サイズ切り替えレジスタ

メモリ・サイズ切り替えレジスタ (IMS) により、内部メモリ容量を選択してください。

IMSは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、CFHになります。

**注意** リセット時のROM領域の設定が不定となっているため、リセット解除後に製品ごとに表24 - 1に示す値を設定してください。

図24 - 1 メモリ・サイズ切り替えレジスタ (IMS) のフォーマット

アドレス : FFF0H    リセット時 : CFH    R/W

略号	7	6	5	4	3	2	1	0
IMS	RAM2	RAM1	RAM0	0	ROM3	ROM2	ROM1	ROM0

RAM2	RAM1	RAM0	内部高速RAM容量の選択	
0	0	0	768バイト	
0	1	0	512バイト	
0	1	1	384バイト	
1	1	0	(デフォルト値)	
上記以外			設定禁止	

ROM3	ROM2	ROM1	ROM0	内部ROM容量の選択	
0	0	0	1	4 Kバイト	
0	0	1	0	8 Kバイト	
0	1	0	0	16 Kバイト	
1	1	1	1	(デフォルト値)	
上記以外				設定禁止	



表24 - 1 メモリ・サイズ切り替えレジスタの設定値

製 品			IMSの設定値
78K0/FY2-L	78K0/FA2-L	78K0/FB2-L	
$\mu$ PD78F0854	$\mu$ PD78F0857	-	61H
$\mu$ PD78F0855	$\mu$ PD78F0858	$\mu$ PD78F0864	42H
$\mu$ PD78F0856	$\mu$ PD78F0859	$\mu$ PD78F0865	04H

## 24.2 フラッシュ・メモリ・プログラマによる書き込み方法

専用フラッシュ・メモリ・プログラマにより，オンボードまたはオフボードで書き込みができます。

### (1) オンボード・プログラミング

ターゲット・システム上に78K0/Fx2-Lマイクロコントローラを実装後，フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には，専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

### (2) オフボード・プログラミング

ターゲット・システム上に78K0/Fx2-Lマイクロコントローラを実装する前に専用プログラム・アダプタ（FAシリーズ）などでフラッシュ・メモリに書き込みます。

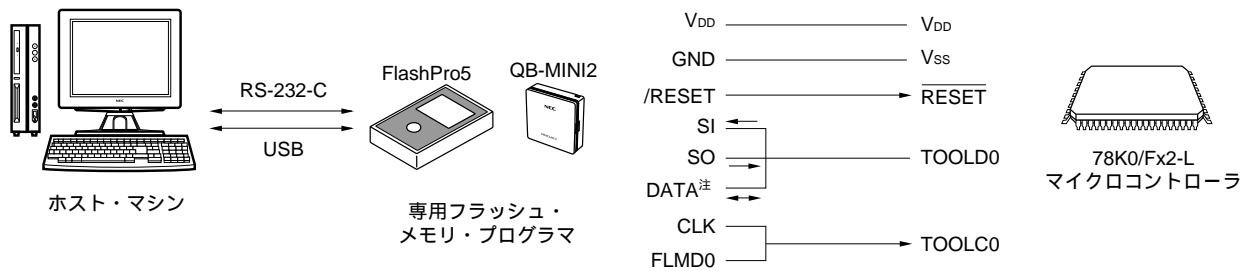
**備考** FAシリーズは，（株）内藤電誠町田製作所の製品です。

## 24.3 プログラミング環境

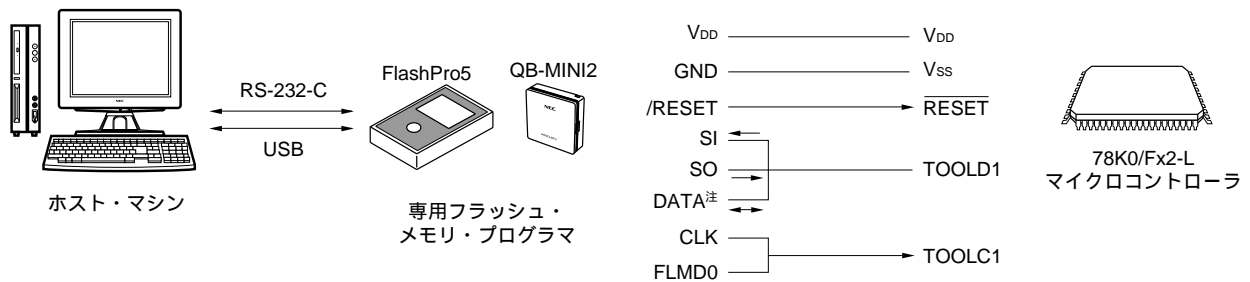
78K0/Fx2-Lマイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図24 - 2 フラッシュ・メモリにプログラムを書き込むための環境

### (1) TOOLC0, TOOLD0端子使用時



### (2) TOOLC1, TOOLD1端子使用時



注 QB-MINI2のみ。

専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

また、専用フラッシュ・メモリ・プログラマと78K0/Fx2-LマイクロコントローラとのインタフェースはTOOLD0/TOOLD1端子を使用して、専用の単線UARTで書き込み、消去の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ (FAシリーズ) が必要です。

表24-2 端子接続一覧

専用フラッシュ・メモリ・プログラマ			78K0/Fx2-Lマイクロコントローラ
信号名	入出力	端子機能	端子名
CLK	出力	78K0/Fx2-Lマイクロコントローラへのクロック出力	TOOLC0 / TOOLC1
SI	入力	受信信号	TOOLD0 / TOOLD1
SO	出力	送信信号	
DATA <sup>※</sup>	入出力	デバッグ時データ通信用入出力信号	
/RESET	出力	リセット信号	RESET
V <sub>DD</sub>	入出力	V <sub>DD</sub> 電圧生成 / 電圧監視	V <sub>DD</sub>
GND	-	グラウンド	V <sub>SS</sub>

注 QB-MINI2のみ。

## 24.4 オンボード上の端子処理

オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

### 24.4.1 TOOL端子

フラッシュ・メモリ・プログラミング・モードで使用する通信端子を次に示します。

表24-3 フラッシュ・メモリ・プログラミング・モードで使用する通信端子

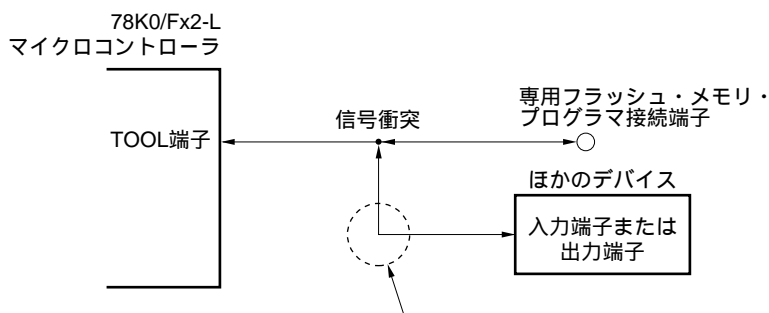
端子名	端子処理
TOOLC0, TOOLC1	専用フラッシュ・メモリ・プログラマに直接接続, または, 抵抗 (10 k $\Omega$ ) を介してV <sub>SS</sub> に接続
TOOLD0, TOOLD1	専用フラッシュ・メモリ・プログラマに直接接続, または, 抵抗 (3 k-10 k $\Omega$ ) を介してV <sub>DD</sub> に接続

オンボード上でほかのデバイスと接続し, かつ専用フラッシュ・メモリ・プログラマを接続する場合, 信号の衝突, ほかのデバイスの異常動作などに注意してください。

#### (1) 信号の衝突

ほかのデバイスと接続しているTOOL端子に, 専用フラッシュ・メモリ・プログラマを接続すると, 信号の衝突が発生します。この信号の衝突を避けるため, ほかのデバイスとの接続をアイソレートするか, またはほかのデバイスをハイ・インピーダンス状態にしてください。

図24-3 信号の衝突 (TOOL端子)



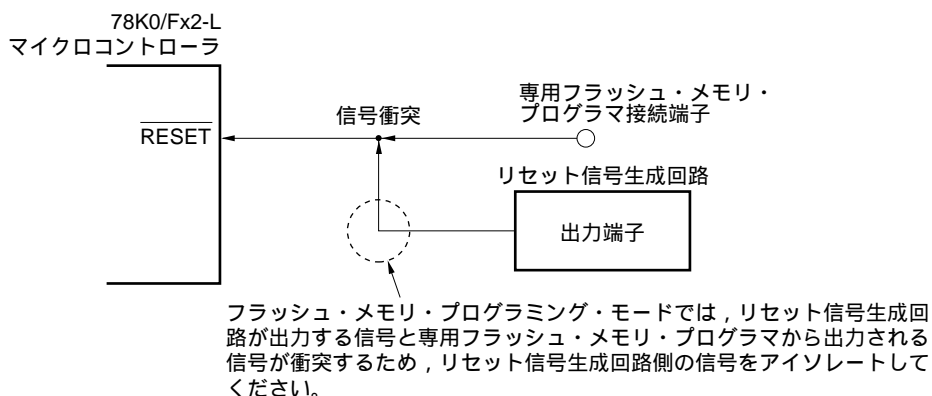
フラッシュ・メモリ・プログラミング・モードでは, ほかのデバイスの信号と専用フラッシュ・メモリ・プログラマの信号が衝突するため, ほかのデバイス側の信号をアイソレートしてください。

### 24.4.2 RESET端子

オンボード上で, リセット信号生成回路と接続しているRESET端子に, 専用フラッシュ・メモリ・プログラマのリセット信号を接続する場合, 信号の衝突が発生します。この信号の衝突を避けるため, リセット信号生成回路との接続をアイソレートしてください。

また, フラッシュ・メモリ・プログラミング・モード期間中に, ユーザ・システムからリセット信号を入力した場合, 正常なプログラミング動作が行われなくなるので, 専用フラッシュ・メモリ・プログラマからのリセット信号以外は入力しないでください。

図24 - 4 信号の衝突 (RESET端子)



### 24. 4. 3 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してV<sub>DD</sub>に接続するか、または抵抗を介してV<sub>SS</sub>に接続するなどの端子処理が必要です。

### 24. 4. 4 REGC端子

REGC端子は、通常動作時と同様に、コンデンサ (0.47~1  $\mu$ F) を介し、V<sub>SS</sub>に接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

### 24. 4. 5 その他の信号端子

X1, X2は、通常動作モード時と同じ状態に接続してください。

**備考** フラッシュ・メモリ・プログラミング・モード時は、高速内蔵発振クロック (f<sub>IH</sub>) を使用します。

### 24. 4. 6 電 源

フラッシュ・メモリ・プログラマの電源出力を使用する場合は、V<sub>DD</sub>端子はフラッシュ・メモリ・プログラマのV<sub>DD</sub>に、V<sub>SS</sub>端子はフラッシュ・メモリ・プログラマのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

ただし、オンボード上の電源を使用する場合においても、フラッシュ・メモリ・プログラマで電圧監視をするため、V<sub>DD</sub>、V<sub>SS</sub>端子はフラッシュ・メモリ・プログラマのV<sub>DD</sub>、GNDと必ず接続してください。

その他の電源 (AV<sub>REF</sub>, AV<sub>SS</sub>) は、通常動作モード時と同じ電源を供給してください。

### 24. 4. 7 水晶 / セラミック発振子接続時のオンボード書き込み

オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

セルフ・プログラミング・モード時では、端子はHALTモード時の状態になります。

X1 (TOOLC0), X2 (TOOLD0) 端子を、それぞれフラッシュ・メモリ・プログラミングのシリアル・インタフェースとして使用する場合、外部デバイスを接続していると、信号の衝突が発生します。この信号の衝突を避けるため、外部デバイスとの接続をアイソレートしてください。

同様に、X1, X2端子にコンデンサを接続した場合、通信時の波形が変更されるため、コンデンサの容量によっては通信できない可能性があります。フラッシュ・プログラミング時は、コンデンサとの接続をアイソレートしてください。

システム・クロックに水晶 / セラミック発振を選択し、発振子をアイソレートすることが難しく、発振子を実装した状態でオンボード書き込みを実行する場合、発振子を実装した状態での書き込みを評価したあとに、次の処理を行ってください。

- ・ デバイスと発振子の間に、できるだけ小さいテストパッドを実装し、テストパッドを介してプログラマを接続してください。また配線は極力短くしてください ( 図24 - 5, 表24 - 4を参照 )。

図24 - 5 テストパッドの実装例

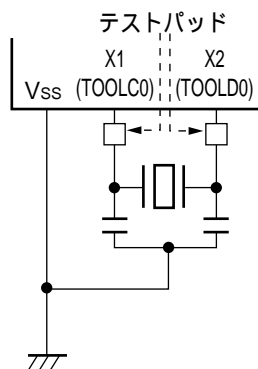


表24 - 4 使用するクロックとテストパッドの実装

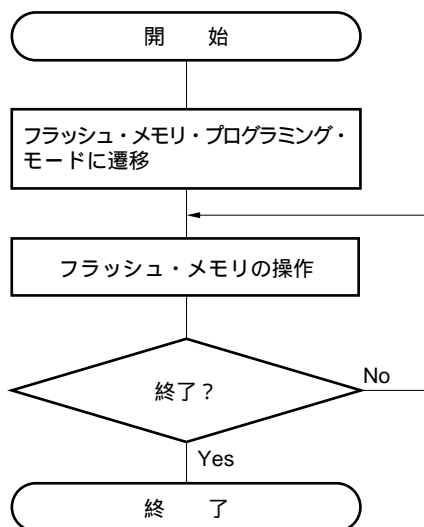
使用するクロック		テストパッドの実装
高速内蔵発振クロック		不要
外部クロック		
水晶 / セラミック発振 クロック	発振子実装前	必要
	発振子実装後	

## 24.5 プログラミング方法

### 24.5.1 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図24-6 フラッシュ・メモリの操作手順



### 24.5.2 フラッシュ・メモリ・プログラミング・モード

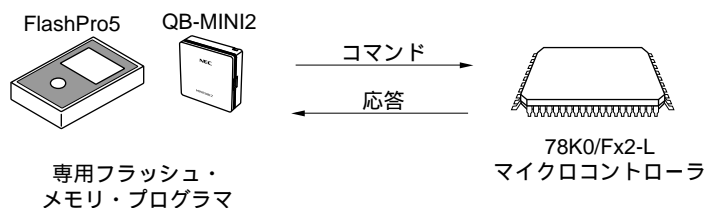
専用フラッシュ・メモリ・プログラマを使用してフラッシュ・メモリの内容を書き換えるときは、78K0/Fx2-L マイクロコントローラをフラッシュ・メモリ・プログラミング・モードにしてください。専用フラッシュ・メモリ・プログラマに接続し、通信を開始すると、フラッシュ・メモリ・プログラミング・モードに切り替わります。

オンボード書き込みを行うときは、ジャンパ等でモードを切り替えてください。

### 24.5.3 通信コマンド

78K0/Fx2-L マイクロコントローラと専用フラッシュ・メモリ・プログラマは、コマンドを介して通信します。専用フラッシュ・メモリ・プログラマから 78K0/Fx2-L マイクロコントローラへ送られる信号を「コマンド」と呼び、78K0/Fx2-L マイクロコントローラから専用フラッシュ・メモリ・プログラマへ送られる信号を「応答」と呼びます。

図24-7 通信コマンド



78K0/Fx2-L マイクロコントローラのフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてプログラマから発行され、78K0/Fx2-L マイクロコントローラがコマンドに対応した各処理を行います。

表24 - 5 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Chip Erase	全フラッシュ・メモリを消去します。
	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランク・チェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます。
情報取得	Silicon Signature	78K0/Fx2-L情報（品名，フラッシュ・メモリ構成など）を取得します。
	Version Get	78K0/Fx2-Lファームウェア・バージョンを取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
その他	Reset	通信の同期検出に使用します。
	Baud Rate Set	UART選択時のボー・レートを設定します。

また，78K0/Fx2-Lマイクロコントローラは，専用フラッシュ・メモリ・プログラマから発行されたコマンドに対して，応答を返します。78K0/Fx2-Lマイクロコントローラが送出する応答名称を次に示します。

表24 - 6 応答名称

応答名称	機能
ACK	コマンド/データなどのアクノリッジ
NAK	不正なコマンド/データなどのアクノリッジ



## 24.6 セキュリティ設定

78K0/Fx2-Lマイクロコントローラは、フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Setコマンドを使用することにより、次の操作をすることができます。セキュリティの設定は、次のプログラミング・モードより有効になります。

- ・一括消去（チップ消去）禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ全ブロックに対してのブロック消去コマンド、および一括消去（チップ消去）コマンドの実行を禁止します。これを一度禁止に設定すると、一括消去（チップ消去）コマンドが実行できないため、すべての禁止設定（一括消去（チップ消去）禁止も含む）は解除できなくなります。

**注意** 一括消去のセキュリティの設定をした場合、以降、そのデバイスに対し消去はできなくなります。また、書き込みコマンドを実行しても、消去コマンドが無効になるため、すでにフラッシュ・メモリに書き込まれているデータと異なるデータを書き込むことはできなくなります。

- ・ブロック消去禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし、セルフ・プログラミング時でのブロック消去は可能です。

- ・書き込み禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ内の全ブロックに対しての書き込みコマンド、およびブロック消去コマンドの実行を禁止にします。ただし、セルフ・プログラミング時での書き込みは可能です。

- ・ブート・クラスタ0の書き換え禁止

フラッシュ・メモリ内のブート・クラスタ0（0000H-0FFFH）に対して、ブロック消去コマンド、書き込みコマンドの実行を禁止します。また、一括消去（チップ消去）コマンドの実行を禁止します。

出荷時の初期状態では、一括消去（チップ消去） / ブロック消去 / 書き込み / ブート・クラスタ0の書き換えはすべて許可になっています。セキュリティは、オンボード / オフボード・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

一括消去（チップ消去）コマンドの実行により、すべてのセキュリティ設定は解除されます。

78K0/Fx2-Lマイクロコントローラのセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を表24 - 7に示します。

表24 - 7 セキュリティ機能有効時とコマンドの関係

## (1) オンボード/オフボード・プログラミング時

有効なセキュリティ	実行コマンド		
	一括消去 (チップ消去)	ブロック消去	書き込み
一括消去(チップ消去)禁止	一括消去できない	ブロック消去できない	書き込みできる <sup>注</sup>
ブロック消去禁止	一括消去できる		書き込みできる
書き込み禁止			書き込みできない
ブート・クラスタ0の書き換え禁止	一括消去できない	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。一括消去(チップ消去)禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

## (2) セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
一括消去(チップ消去)禁止	ブロック消去できる	書き込みできる
ブロック消去禁止		
書き込み禁止		
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

各プログラミング・モード時のセキュリティ設定方法を表24 - 8に示します。

表24 - 8 各プログラミング・モード時のセキュリティ設定方法

## (1) オンボード/オフボード・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
一括消去(チップ消去)禁止	専用フラッシュ・メモリ・プログラマのGUI上などで設定する	設定後、無効にできない
ブロック消去禁止		一括消去(チップ消去)コマンドを実行する
書き込み禁止		
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

## (2) セルフ・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
一括消去(チップ消去)禁止	セット・インフォメーション・ライブラリで設定する	設定後、無効にできない
ブロック消去禁止		オンボード/オフボード・プログラミングで、一括消去(チップ消去)コマンドを実行する(セルフ・プログラミングでは無効にできない)
書き込み禁止		
ブート・クラスタ0の書き換え禁止		

## 24.7 PG-FP5使用時の各コマンド処理時間（参考値）

専用フラッシュ・メモリ・プログラマとしてPG-FP5を使用した場合の、各コマンド処理時間（参考値）を次に示します。

表24 - 9 PG-FP5使用時の各コマンド処理時間（参考値）（1/2）

（1）内部ROM容量が4 Kバイトの製品： $\mu$  PD78F0854, 78F0857

PG-FP5のコマンド	Port: UART-Internal-OSC（高速内蔵発振クロック（ $f_{IH}$ ：8 MHz（TYP.））使用）， Speed: 500000 bps
Signature	0.5 s（TYP.）
Blankcheck	0.5 s（TYP.）
Erase	0.5 s（TYP.）
Program	1 s（TYP.）
Verify	1 s（TYP.）
E.P.V	1 s（TYP.）
Checksum	0.5 s（TYP.）
Security	0.5 s（TYP.）

（2）内部ROM容量が8 Kバイトの製品： $\mu$  PD78F0855, 78F0858, 78F0864

PG-FP5のコマンド	Port: UART-Internal-OSC（高速内蔵発振クロック（ $f_{IH}$ ：8 MHz（TYP.））使用）， Speed: 500000 bps
Signature	0.5 s（TYP.）
Blankcheck	0.5 s（TYP.）
Erase	1 s（TYP.）
Program	1.5 s（TYP.）
Verify	1 s（TYP.）
E.P.V	1.5 s（TYP.）
Checksum	0.5 s（TYP.）
Security	0.5 s（TYP.）

**注意** ブート・スワップを行う場合、専用フラッシュ・メモリ・プログラマでE.P.Vコマンドを使用しないでください。

表24 - 9 PG-FP5使用時の各コマンド処理時間（参考値）（2/2）

（3）内部ROM容量が16 Kバイトの製品： $\mu$  PD78F0856, 78F0859, 78F0865

PG-FP5のコマンド	Port: UART-Internal-OSC（高速内蔵発振クロック（ $f_{IH}$ ：8 MHz (TYP.)）使用）， Speed: 500000 bps
Signature	0.5 s (TYP.)
Blankcheck	0.5 s (TYP.)
Erase	1 s (TYP.)
Program	2.5 s (TYP.)
Verify	1.5 s (TYP.)
E.P.V	2.5 s (TYP.)
Checksum	1 s (TYP.)
Security	0.5 s (TYP.)

注意 ブート・スワップを行う場合、専用フラッシュ・メモリ・プログラマでE.P.Vコマンドを使用しないでください。

## 24.8 セルフ書き込みによるフラッシュ・メモリ・プログラミング

78K0/Fx2-Lマイクロコントローラは、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能は78K0/Fx2-Lマイクロコントローラのセルフ・プログラミング・ライブラリを利用することにより、ユーザ・アプリケーションでフラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップグレードなどができるようになります。

また、セルフ・プログラミング中に割り込みが発生した場合は、セルフ・プログラミングを一時中断して割り込み処理を実行することができます。EI状態でマスクされていない割り込み要求が発生すると、セルフ・プログラミング・ライブラリから、直接、割り込みルーチンに分岐します。その後、再びセルフ・プログラミング・モードに移行し、セルフ・プログラミングをレジュームすることができます。ただし、割り込み応答時間は、通常動作モード時と異なります。

**注意1.** セルフ・プログラミング中に割り込みを禁止するためには、通常動作モード時と同様に、DI命令によりIEフラグがクリア(0)されている状態でセルフ・プログラミング・ライブラリを実行してください。

割り込みを許可する場合は、EI命令によりIEフラグがセット(1)されている状態で、受け付ける割り込みの割り込みマスク・フラグをクリア(0)して、セルフ・プログラミング・ライブラリを実行してください。

- セルフ・プログラミングまたはEEPROMエミュレーション実行時は、レギュレータ出力電圧のモードを固定にしてください。
- 通常電力モードの場合、セルフ・プログラミング・ライブラリによるプログラム領域の書き換えは可能です。
- 低消費電力モードでのフラッシュ・メモリの書き換えは、次の点に注意してください。
  - データ領域の書き換えのみ可能です。プログラム領域の書き換えはできません。  
データ領域： データ用として扱っているフラッシュ・メモリ領域  
プログラム領域： プログラム用として扱っているフラッシュ・メモリ領域
  - 低消費電力モードにて消去、書き込みを行ったフラッシュ・メモリは、通常電力モードでは読み出せません。この場合、通常電力モードから低消費電力モードに切り替え、フラッシュ・メモリの内容をRAMに移すことにより、通常電力モードでデータを使用することが可能となります。
  - セルフ・プログラミング・ライブラリで書き換えを行う場合、同一ブロックへの上書きはできませんので、必ず書き換えの前にブロック消去を実行してください。
  - 通常電力モードから低消費電力モードに切り替えたとにセルフ・プログラミングを実行する場合、モードの切り替え後、2 msのウェイト時間が必要です。

**備考** セルフ・プログラミング機能の詳細およびセルフ・プログラミング・ライブラリの詳細については、「78K0マイクロコントローラ ユーザーズ・マニュアル セルフ・プログラミング・ライブラリ Type01 (U18274J)」と「78K0マイクロコントローラ セルフ・プログラミング・ライブラリ Type01 Ver.3.10 使用上の留意点(文書)(ZUD-CD-09-0122)」を参照してください。

EEPROMエミュレーションの詳細については、「78K0マイクロコントローラ ユーザーズ・マニュアル EEPROMエミュレーション・ライブラリ Type01 (U18275J)」と「78K0マイクロコントローラ EEPROMエミュレーション・ライブラリ Type01 Ver.2.10 使用上の留意点(文書)(ZUD-CD-09-0165)」を参照してください。

### 24. 8. 1 セルフ・プログラミングのモードを制御するレジスタ

セルフ・プログラミング・モード制御レジスタ (FPCTL) は、セルフ・プログラミングのモードを制御するレジスタです。

FPCTLは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図24 - 8 セルフ・プログラミング・モード制御レジスタ (FPCTL)

アドレス : FF2BH    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
FPCTL	0	0	0	0	0	0	0	FLMD PUP <sup>注</sup>

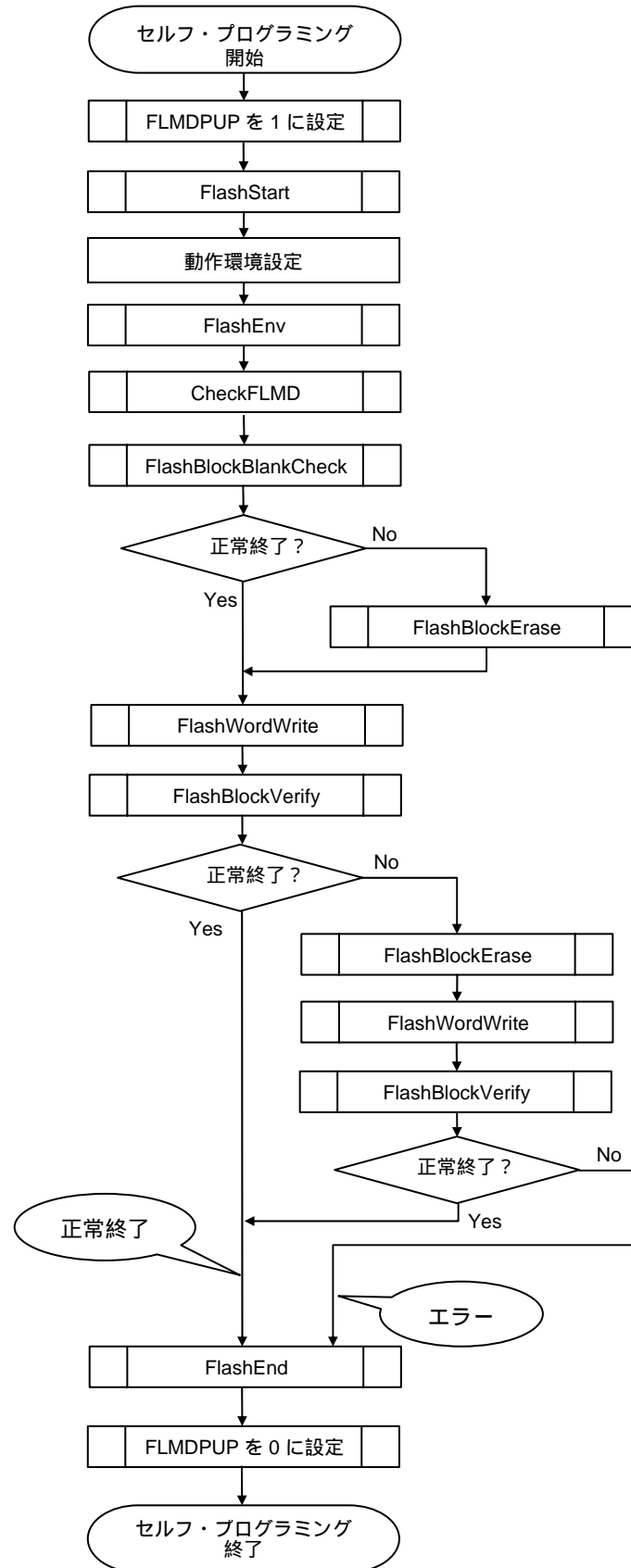
FLMD PUP <sup>注</sup>	セルフ・プログラミングのモード制御
0	通常動作モード
1	セルフ・プログラミング・モード

注 FLMDPUPビットを、通常のユーザ・プログラム実行中には0 (通常動作モード) に、セルフ・プログラミング実行中には1 (セルフ・プログラミング・モード) に設定する必要があります。通常動作モードの場合、フラッシュ・メモリの書き換え回路が動作しないため、書き換え用のファームウェア、およびソフトウェアは動作しますが、実際の書き換え動作は行われません。

### 24. 8. 2 セルフ・プログラミング (フラッシュ・メモリの書き換え) の流れ

セルフ・プログラミング・ライブラリを利用して、フラッシュ・メモリの書き換えを行う流れを次に示します。

図24 - 9 セルフ・プログラミング (フラッシュ・メモリの書き換え) の流れ



**備考** セルフ・プログラミング機能の詳細およびセルフ・プログラミング・ライブラリの詳細については、  
「78K0マイクロコントローラ ユーザーズ・マニュアル セルフ・プログラミング・ライブラリ Type01  
(U18274J)」を参照してください。

### 24. 8. 3 ブート・スワップ機能

セルフ・プログラミングにてブート領域の書き換え中に、電源の瞬断などにより書き換えが失敗した場合、ブート領域のデータが壊れて、リセットによるプログラムの再スタートや、再書き込みができなくなります。

この問題を回避するために、ブート・スワップ機能があります。

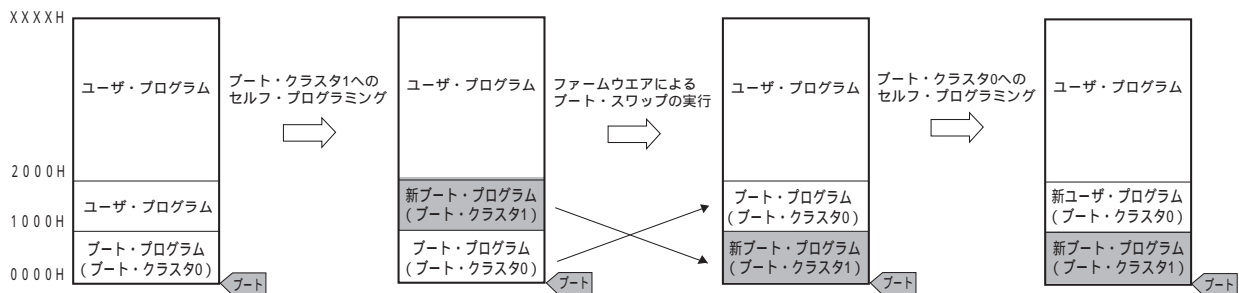
セルフ・プログラミングにてブート・プログラム領域であるブート・クラスタ0<sup>※</sup>の消去を行う前に、あらかじめ新しいブート・プログラムをブート・クラスタ1に書き込んでおきます。ブート・クラスタ1への書き込みが正常終了したら、78K0/Fx2-Lマイクロコントローラ内蔵のファームウェアのセット・インフォメーション機能で、このブート・クラスタ1とブート・クラスタ0をスワップし、ブート・クラスタ1をブート領域にします。このあと、本来のブート・プログラム領域であるブート・クラスタ0へ消去や書き込みを行います。

これによってブート・プログラミング領域の書き換え中に電源瞬断が発生しても、次のリセット・スタートは、スワップ対象のブート・クラスタ1からブートを行うため、正常にプログラムが動作します。

**注** ブート・クラスタは4Kバイトの領域で、ブート・スワップによりブート・クラスタ0とブート・クラスタ1を置換します。

**注意** 4KバイトのROMサイズの製品は、ブート・スワップ機能を使用できません。

図24 - 10 ブート・スワップ機能



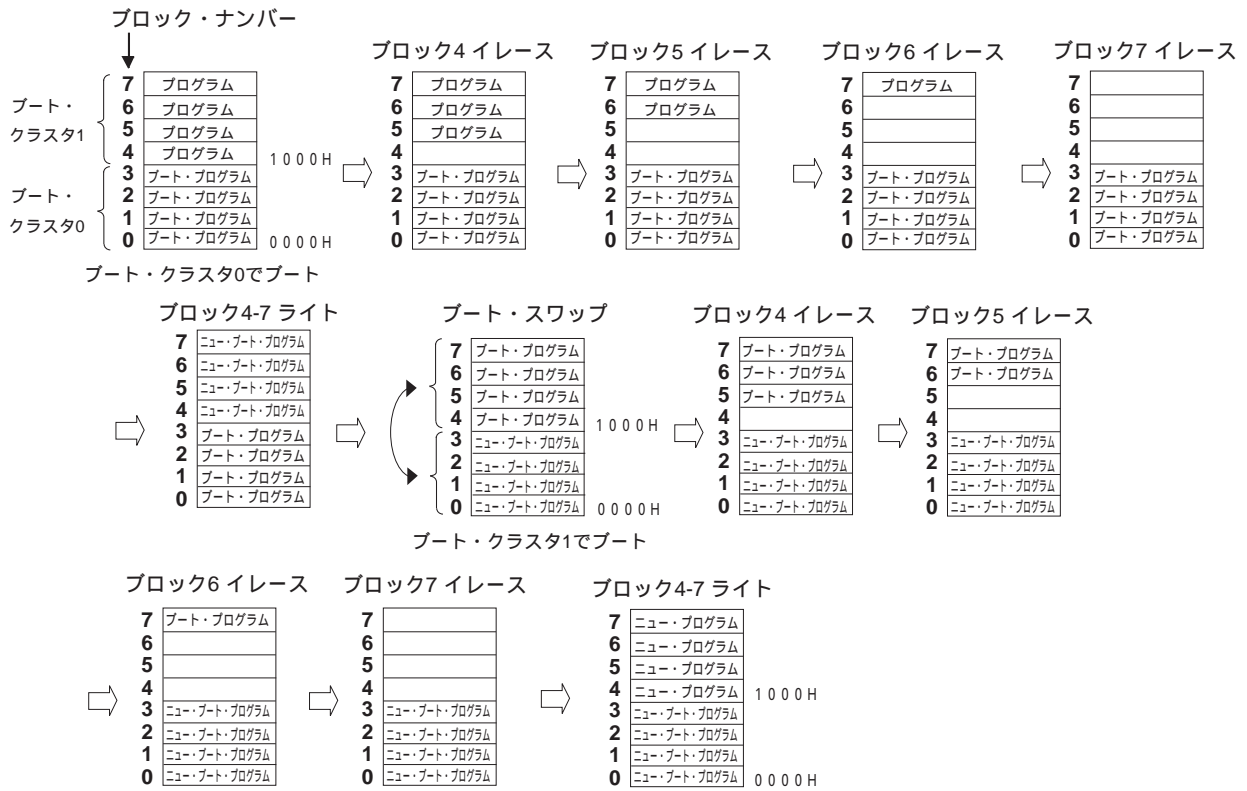
この図の例では、次のようになっています。

ブート・クラスタ0 : ブート・スワップ前のブート・プログラム領域です。

ブート・クラスタ1 : ブート・スワップ後のブート・プログラム領域です。



図24 - 11 ブート・スワップの実行例



## 24.9 書き込み済み品発注用ROMコードの作成方法

ルネサス エレクトロニクスでの書き込み済み製品は、発注用のROMコードを作成し、ルネサス エレクトロニクスへ発注する必要があります。

ROMコードは、完成したプログラム（ヘキサ・ファイル）とオプション・データ（フラッシュ・メモリ・プログラムによるセキュリティ設定情報など）をHex Consolidation Utility（以降、HCU）を使用して作成します。

また、HCUは、ROMコード作成に必要な機能を搭載したソフトウェア・ツールです。

ルネサス エレクトロニクスのWEBサイトからHCUをダウンロードしてください。

### (1) WEBサイト

<http://www2.renesas.com/micro/ja/ods/> 「バージョンアップ・サービス」をクリック

### (2) HCUのダウンロード方法

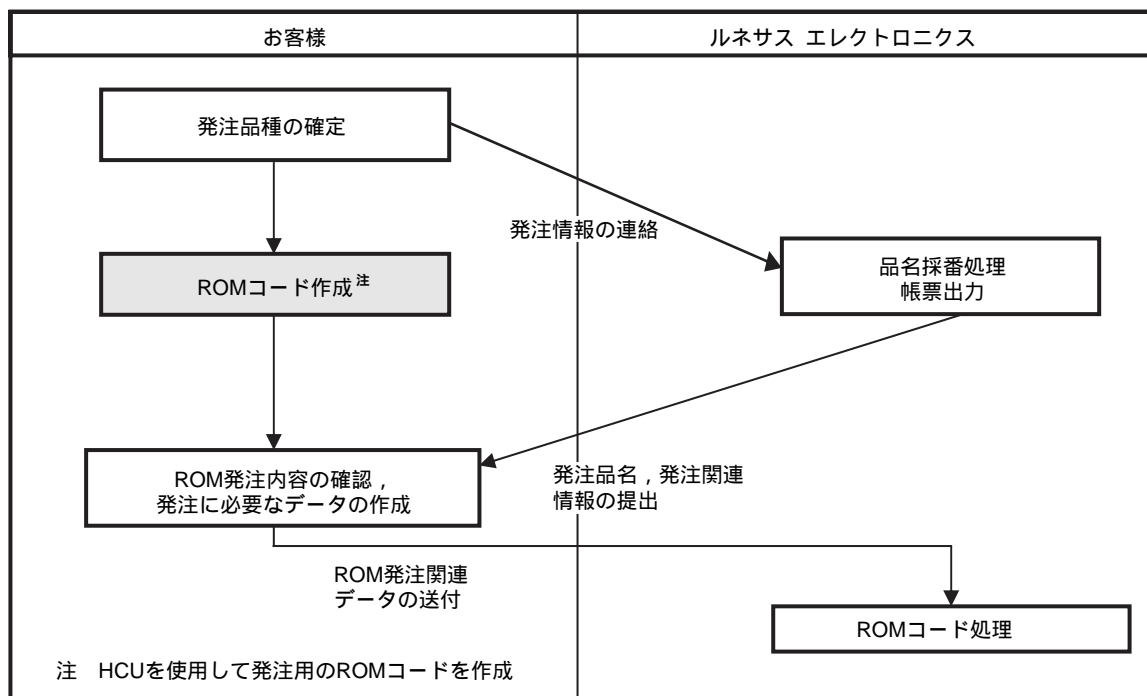
「書き込み済みフラッシュ製品用ソフトウェア」 「HCU\_GUI」をクリックしてダウンロードしてください。

**備考** インストール方法、HCUの使用法の詳細については、上記WEBサイトにあるHCUの添付資料（ユーザズ・マニュアル）を参照してください。

### 24.9.1 ROMコードの発注手順

ROMコードは、下記の流れでHCUを用いて作成し、ルネサス エレクトロニクスへ発注してください。

詳細は、ROMコードの発注方法 インフォメーション（C10302J）を参照してください。



## 第25章 オンチップ・デバッグ機能

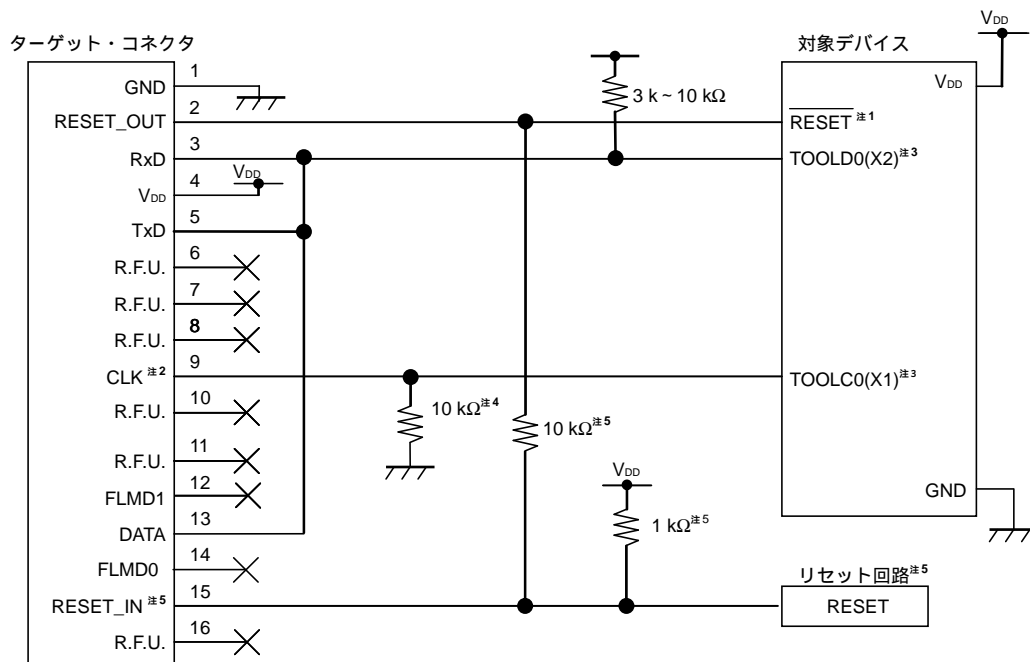
### 25.1 QB-MINI2と78K0/Fx2-Lマイクロコントローラの接続

78K0/Fx2-Lマイクロコントローラは、オンチップ・デバッグ対応のオンチップ・デバッグ・エミュレータ (QB-MINI2) を介して、ホスト・マシンとの通信を行う場合、V<sub>DD</sub>, RESET, TOOLC0/X1 (またはTOOLC1/P31), TOOLD0/X2 (またはTOOLD1/P32), V<sub>SS</sub>端子を使用します。TOOLC0/X1とTOOLC1/P31, TOOLD0/X2とTOOLD1/P32はどちらを使用するか、選択できます。

- 注意1. 78K0/Fx2-Lマイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。
2. オンチップ・デバッグ中にSTOPモードに移行した場合、高速内蔵発振器は発振を継続しますが、オンチップ・デバッグ動作には影響がありません。
  3. デバッグ情報を持ったロード・モジュール・ファイル (拡張子: \*.lnk, \*.lmf) を書き込んだあとに、スタンド・アロンで動作させる場合、TOOLD0をプルアップしてください。なお、この環境での動作は保証対象外となります。

図25 - 1 QB-MINI2と78K0/Fx2-Lマイクロコントローラの接続例 (1/3)

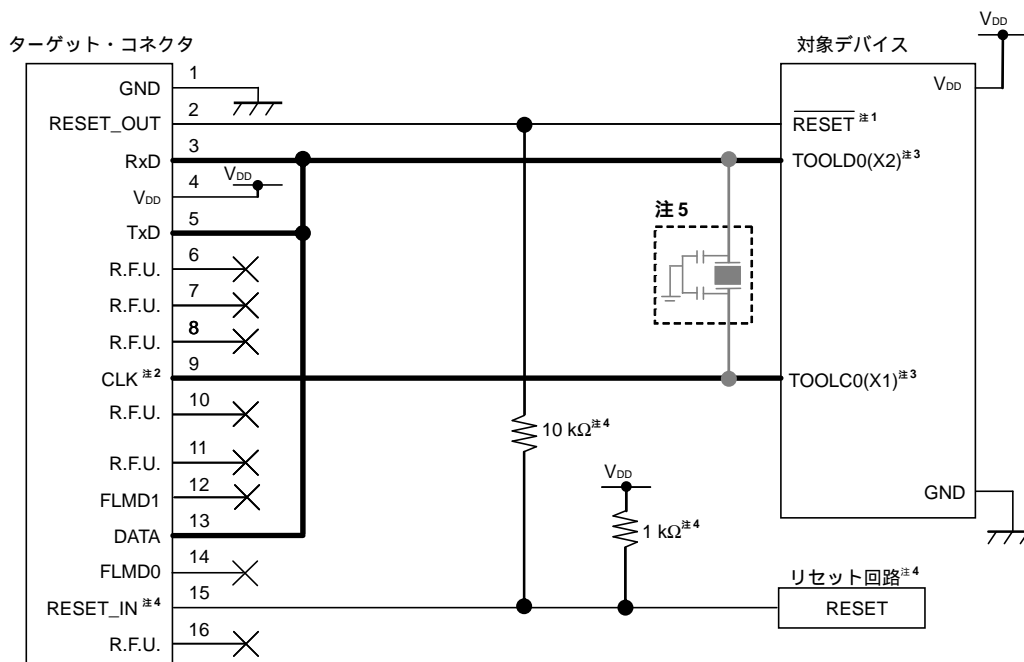
(1) TOOLC0, TOOLD0端子使用時 (X1発振またはEXCLK入力クロックを未使用, デバッグとプログラミングを両方行う)



- 注 1. コンデンサなどの容量成分がある場合、オンチップ・デバッグ機能が正常に動作しないことがあります。
2. オンチップ・デバッグ時は、対象デバイスの動作クロックとして、78K0-OCD ボードに実装したクロック、QB-MINI2 内で生成している 4/8/16 MHz のクロック、デバイス的高速内蔵発振器が使用可能です。フラッシュ・プログラミング時はデバイス的高速内蔵発振器のみ使用可能です。
3. オンチップ・デバッグ時は、これらの端子はオンチップ・デバッグ専用端子として使用するため、ユーザ・プログラムでの設定は無視されますが、入力端子に設定している場合は、端子処理が必要になります (QB-MINI2 未接続時にオープンになるため)。
4. 対象デバイスでの動作時 (QB-MINI2 未接続時)、未使用 (入力オープン) になる場合の端子処理です (発振回路を使用する場合は必要ありません)。
5. リセット回路の出力が、N-ch オープン・ドレーンのバッファ (出力抵抗 100 Ω 以下) によるものを想定した回路接続です。

図25 - 1 QB-MINI2と78K0/Fx2-Lマイクロコントローラの接続例 (2/3)

(2) TOOLC0, TOOLD0端子使用時 (X1, X2発振を使用, デバッグとプログラミングを両方向う)

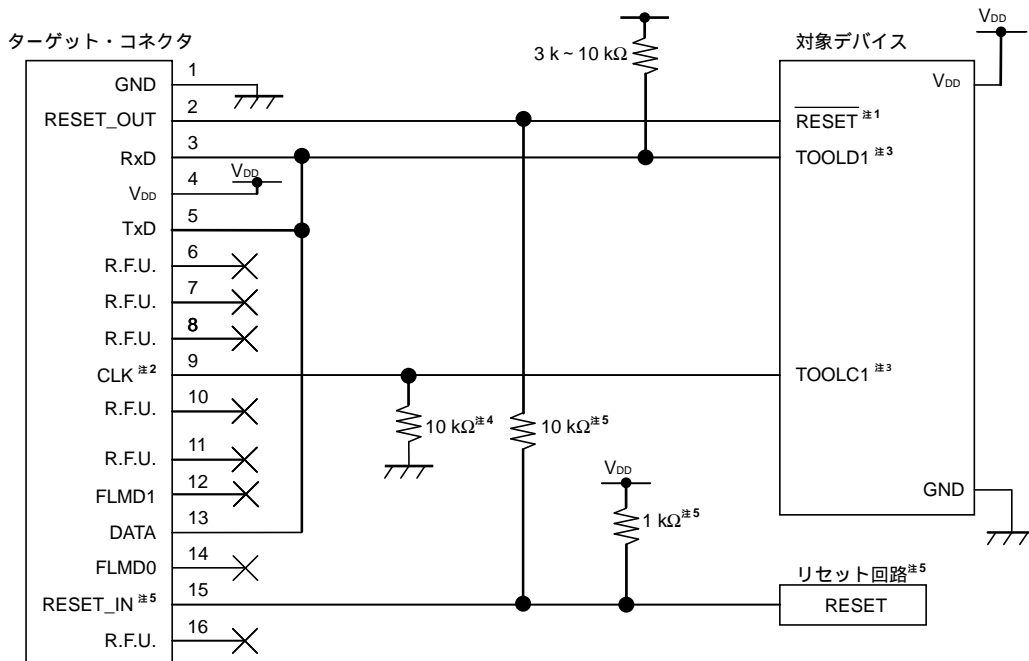


- 注 1. コンデンサなどの容量成分がある場合、オンチップ・デバッグ機能が正常に動作しないことがあります。
2. オンチップ・デバッグ時は、対象デバイスの動作クロックとして、78K0-OCD ボードに実装したクロック、QB-MINI2 内で生成している 4/8/16 MHz のクロック、デバイスの高速内蔵発振器が使用可能です。フラッシュ・プログラミング時はデバイスの高速内蔵発振器のみ使用可能です。
3. オンチップ・デバッグ時は、これらの端子はオンチップ・デバッグ専用端子として使用するため、ユーザ・プログラムでの設定は無視されますが、入力端子に設定している場合は、端子処理が必要になります（QB-MINI2 未接続時にオープンになるため）。
4. リセット回路の出力が、N-ch オープン・ドレインのバッファ（出力抵抗 100 Ω以下）によるものを想定した回路接続です。詳細については、QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ（U18371J）の 4. 1. 3 リセット端子の処理を参照してください。
5. オンチップ・デバッグ時、およびフラッシュ・プログラミング時は、発振回路は絶対に実装しないでください。
- 対象デバイスでの動作時（QB-MINI2 未接続時）は、発振回路が配線容量等で発振しなくなることを防ぐためジャンパ等でターゲット・コネクタ側と発振回路を切り離すなどの対策を行ってください。
- デバッガでダウンロードしたプログラムは、QB-MINI2 未接続時には動作しません。

**注意** 図中に太線で示した経路（TOOLD0, TOOLC0）は、デバイスの端子から、QB-MINI2接続用のコネクタまでの長さが30 mm以上にならないように設計するか、GNDシールドを設けるようにしてください。

図25 - 1 QB-MINI2と78K0/Fx2-Lマイクロコントローラの接続例 (3/3)

## (3) TOOLC1, TOOLD1端子使用時 (デバッグとプログラミングを両方向う)



注1. コンデンサなどの容量成分がある場合、オンチップ・デバッグ機能が正常に動作しないことがあります。

2. オンチップ・デバッグ時は、対象デバイスの動作クロックとして、ターゲット・システム上のクロック回路、デバイスの高速内蔵発振器が使用可能です。  
フラッシュ・プログラミング時はデバイスの高速内蔵発振器のみ使用可能です。
3. オンチップ・デバッグ時は、これらの端子はオンチップ・デバッグ専用端子として使用するため、ユーザ・プログラムでの設定は無視されますが、入力端子に設定している場合は、端子処理が必要になります (QB-MINI2 未接続時にオープンになるため)。
4. 対象デバイスでの動作時 (QB-MINI2 未接続時)、未使用 (入力オープン) になる場合の端子処理です (出力設定にする場合は必要ありません)。
5. リセット回路の出力が、N-ch オープン・ドレインのバッファ (出力抵抗 100 Ω以下) によるものを想定した回路接続です。

## 25.2 オンチップ・デバッグ・セキュリティID

78K0/Fx2-Lマイクロコントローラでは、第三者からメモリの内容を読み取られないようにするために、フラッシュ・メモリの0084Hにオンチップ・デバッグ動作制御ビット (第23章 オプション・バイトを参照) を、0085H-008EHにオンチップ・デバッグ・セキュリティID設定領域を用意しています。

セルフ・プログラミング時にブート・スワップ動作を使用する場合は、0084H, 0085H-008EHと1084H, 1085H-108EHが切り替わるので、あらかじめ1084H, 1085H-108EHにも同じ値を設定してください。

オンチップ・デバッグ・セキュリティIDの詳細につきましては、QB-MINI2 **プログラミング機能付きオンチップ・デバッグ・エミュレータ ユーザーズ・マニュアル (U18371J)** を参照してください。

表25 - 1 オンチップ・デバッグ・セキュリティID

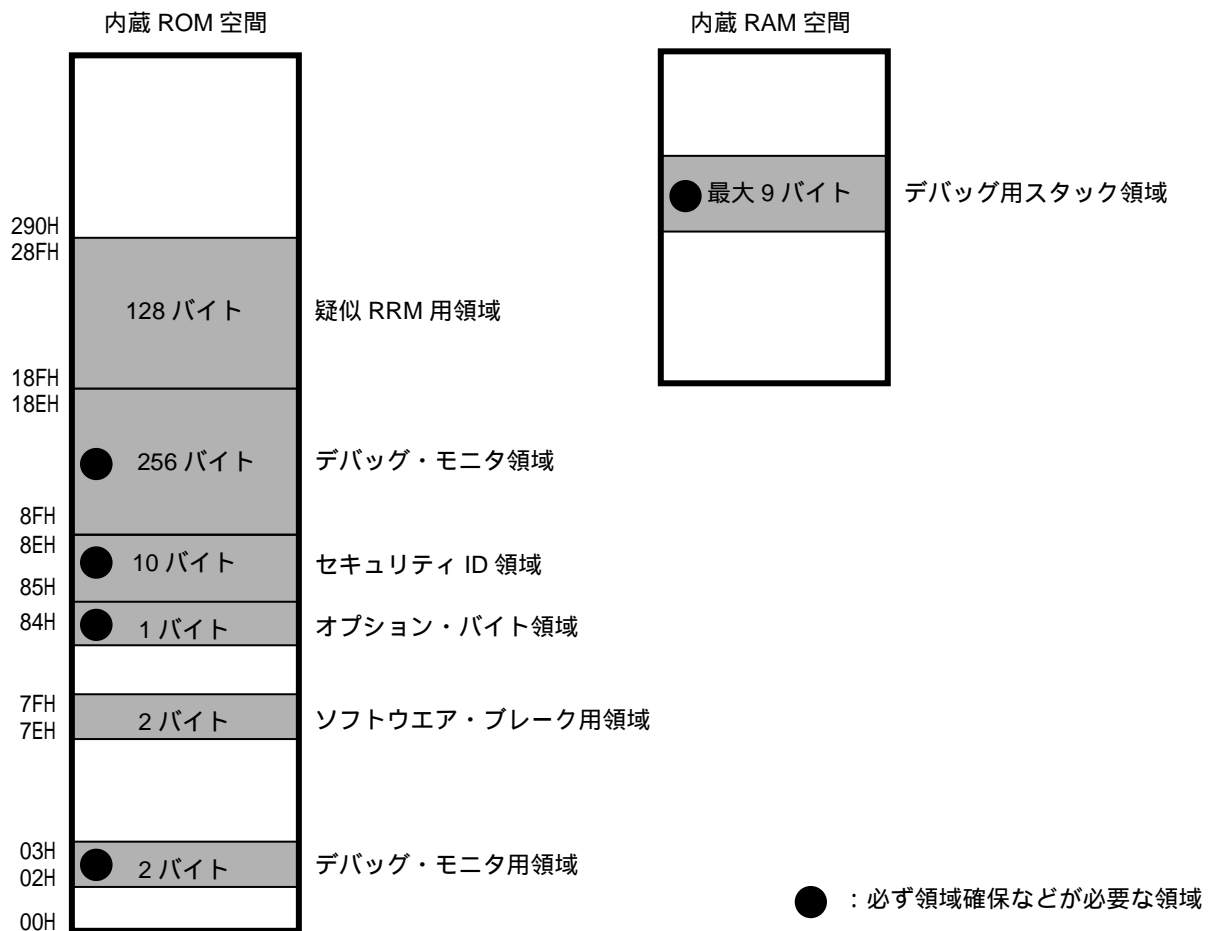
アドレス	オンチップ・デバッグ・セキュリティIDコード
0085H-008EH	10バイトの任意のIDコード
1085H-108EH	

### 25.3 ユーザ資源の確保

QB-MINI2は対象デバイスとの通信，または各デバッグ機能を実現するために図25 - 2のグレー部に示したユーザ・メモリ空間を使用します。図中の で示した領域はデバッグ時に必ず使用し，それ以外の空間は使用するデバッグ機能に応じて使用します。

これらの空間は，ユーザ・プログラムやリンカ・オプションで領域を確保できます。詳細につきましては，QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ ユーザーズ・マニュアル(U18371J)を参照してください。

図25 - 2 QB-MINI2が使用する予約領域



## 第26章 命令セットの概要

78K0/Fx2-Lマイクロコントローラの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語(命令コード)については、78K0シリーズ ユーザーズ・マニュアル 命令編(U12326J)を参照してください。



## 26.1 凡 例

### 26.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[ ]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・ # : イミーディエト・データ指定
- ・ ! : 絶対アドレス指定
- ・ \$ : 相対アドレス指定
- ・ [ ] : 間接アドレス指定

イミーディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、\$、[ ]記号は必ず記述してください。

また、オペランドのレジスタの記述形式r、rpには、機能名称（X、A、Cなど）、絶対名称（下表の中のカッコ内の名称、R0、R1、R2など）のいずれの形式でも記述可能です。

表26 - 1 オペランドの表現形式と記述方法

表現形式	記 述 方 法
r	X ( R0 ) , A ( R1 ) , C ( R2 ) , B ( R3 ) , E ( R4 ) , D ( R5 ) , L ( R6 ) , H ( R7 )
rp	AX ( RP0 ) , BC ( RP1 ) , DE ( RP2 ) , HL ( RP3 )
sfr	特殊機能レジスタ略号 <sup>注</sup>
sfrp	特殊機能レジスタ略号 ( 16ビット操作可能なレジスタの偶数アドレスのみ ) <sup>注</sup>
saddr	FE20H-FF1FH イミーディエト・データまたはラベル
saddrp	FE20H-FF1FH イミーディエト・データまたはラベル ( 偶数アドレスのみ )
addr16	0000H-FFFFH イミーディエト・データまたはラベル ( 16ビット・データ転送命令時は偶数アドレスのみ )
addr11	0800H-0FFFH イミーディエト・データまたはラベル
addr5	0040H-007FH イミーディエト・データまたはラベル ( 偶数アドレスのみ )
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル
bit	3ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注 FFD0H-FFDFHは、アドレスできません。

備考 特殊機能レジスタの略号は表3 - 6 特殊機能レジスタ一覧を参照してください。

### 26. 1. 2 オペレーション欄の説明

A	: Aレジスタ ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア ; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
RBS	: レジスタ・バンク選択フラグ
IE	: 割り込み要求許可フラグ
( )	: ( )内のアドレスまたはレジスタの内容で示されるメモリの内容
x <sub>H</sub> , x <sub>L</sub>	: 16ビット・レジスタの上位8ビット, 下位8ビット
	: 論理積 (AND)
	: 論理和 (OR)
	: 排他的論理和 (exclusive OR)
	: 反転データ
addr16	: 16ビット・イミディエイト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ (ディスプレイメント値)

### 26. 1. 3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
x	: 結果に従ってセット/クリアされる
R	: 以前に退避した値がストアされる

## 26.2 オペレーション一覧

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	r, #byte	2	4	-	r byte			
		saddr, #byte	3	6	7	(saddr) byte			
		sfr, #byte	3	-	7	sfr byte			
		A, r <sup>注3</sup>	1	2	-	A r			
		r, A <sup>注3</sup>	1	2	-	r A			
		A, saddr	2	4	5	A (saddr)			
		saddr, A	2	4	5	(saddr) A			
		A, sfr	2	-	5	A sfr			
		sfr, A	2	-	5	sfr A			
		A, !addr16	3	8	9	A (addr16)			
		!addr16, A	3	8	9	(addr16) A			
		PSW, #byte	3	-	7	PSW byte	x	x	x
		A, PSW	2	-	5	A PSW			
		PSW, A	2	-	5	PSW A	x	x	x
		A, [DE]	1	4	5	A (DE)			
		[DE], A	1	4	5	(DE) A			
		A, [HL]	1	4	5	A (HL)			
		[HL], A	1	4	5	(HL) A			
		A, [HL + byte]	2	8	9	A (HL + byte)			
		[HL + byte], A	2	8	9	(HL + byte) A			
	A, [HL + B]	1	6	7	A (HL + B)				
	[HL + B], A	1	6	7	(HL + B) A				
	A, [HL + C]	1	6	7	A (HL + C)				
	[HL + C], A	1	6	7	(HL + C) A				
	XCH	A, r <sup>注3</sup>	1	2	-	A r			
		A, saddr	2	4	6	A (saddr)			
		A, sfr	2	-	6	A sfr			
		A, !addr16	3	8	10	A (addr16)			
A, [DE]		1	4	6	A (DE)				
A, [HL]		1	4	6	A (HL)				
A, [HL + byte]		2	8	10	A (HL + byte)				
A, [HL + B]		2	8	10	A (HL + B)				
A, [HL + C]	2	8	10	A (HL + C)					

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

3. r = Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f<sub>CPU</sub>) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	rp, #word	3	6	-	rp word			
		saddrp, #word	4	8	10	(saddrp) word			
		sfrp, #word	4	-	10	sfrp word			
		AX, saddrp	2	6	8	AX (saddrp)			
		saddrp, AX	2	6	8	(saddrp) AX			
		AX, sfrp	2	-	8	AX sfrp			
		sfrp, AX	2	-	8	sfrp AX			
		AX, rp <sup>注3</sup>	1	4	-	AX rp			
		rp, AX <sup>注3</sup>	1	4	-	rp AX			
		AX, !addr16	3	10	12	AX (addr16)			
	!addr16, AX	3	10	12	(addr16) AX				
XCHW	AX, rp <sup>注3</sup>	1	4	-	AX rp				
8ビット演算	ADD	A, #byte	2	4	-	A, CY A + byte	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) + byte	x	x	x
		A, r <sup>注4</sup>	2	4	-	A, CY A + r	x	x	x
		r, A	2	4	-	r, CY r + A	x	x	x
		A, saddr	2	4	5	A, CY A + (saddr)	x	x	x
		A, !addr16	3	8	9	A, CY A + (addr16)	x	x	x
		A, [HL]	1	4	5	A, CY A + (HL)	x	x	x
		A, [HL + byte]	2	8	9	A, CY A + (HL + byte)	x	x	x
		A, [HL + B]	2	8	9	A, CY A + (HL + B)	x	x	x
	A, [HL + C]	2	8	9	A, CY A + (HL + C)	x	x	x	
	ADDC	A, #byte	2	4	-	A, CY A + byte + CY	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) + byte + CY	x	x	x
		A, r <sup>注4</sup>	2	4	-	A, CY A + r + CY	x	x	x
		r, A	2	4	-	r, CY r + A + CY	x	x	x
		A, saddr	2	4	5	A, CY A + (saddr) + CY	x	x	x
		A, !addr16	3	8	9	A, CY A + (addr16) + CY	x	x	x
		A, [HL]	1	4	5	A, CY A + (HL) + CY	x	x	x
		A, [HL + byte]	2	8	9	A, CY A + (HL + byte) + CY	x	x	x
		A, [HL + B]	2	8	9	A, CY A + (HL + B) + CY	x	x	x
A, [HL + C]		2	8	9	A, CY A + (HL + C) + CY	x	x	x	

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

3 . rp = BC, DE, HLのときのみ。

4 . r = Aを除く。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f<sub>CPU</sub>) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	SUB	A, #byte	2	4	-	A, CY A - byte	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) - byte	x	x	x
		A, r <sup>注3</sup>	2	4	-	A, CY A - r	x	x	x
		r, A	2	4	-	r, CY r - A	x	x	x
		A, saddr	2	4	5	A, CY A - (saddr)	x	x	x
		A, !addr16	3	8	9	A, CY A - (addr16)	x	x	x
		A, [HL]	1	4	5	A, CY A - (HL)	x	x	x
		A, [HL + byte]	2	8	9	A, CY A - (HL + byte)	x	x	x
		A, [HL + B]	2	8	9	A, CY A - (HL + B)	x	x	x
		A, [HL + C]	2	8	9	A, CY A - (HL + C)	x	x	x
	SUBC	A, #byte	2	4	-	A, CY A - byte - CY	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) - byte - CY	x	x	x
		A, r <sup>注3</sup>	2	4	-	A, CY A - r - CY	x	x	x
		r, A	2	4	-	r, CY r - A - CY	x	x	x
		A, saddr	2	4	5	A, CY A - (saddr) - CY	x	x	x
		A, !addr16	3	8	9	A, CY A - (addr16) - CY	x	x	x
		A, [HL]	1	4	5	A, CY A - (HL) - CY	x	x	x
		A, [HL + byte]	2	8	9	A, CY A - (HL + byte) - CY	x	x	x
		A, [HL + B]	2	8	9	A, CY A - (HL + B) - CY	x	x	x
		A, [HL + C]	2	8	9	A, CY A - (HL + C) - CY	x	x	x
	AND	A, #byte	2	4	-	A A byte	x		
		saddr, #byte	3	6	8	(saddr) (saddr) byte	x		
		A, r <sup>注3</sup>	2	4	-	A A r	x		
		r, A	2	4	-	r r A	x		
		A, saddr	2	4	5	A A (saddr)	x		
		A, !addr16	3	8	9	A A (addr16)	x		
		A, [HL]	1	4	5	A A (HL)	x		
		A, [HL + byte]	2	8	9	A A (HL + byte)	x		
		A, [HL + B]	2	8	9	A A (HL + B)	x		
		A, [HL + C]	2	8	9	A A (HL + C)	x		

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

- 2 . 内部高速RAM以外の領域をアクセスしたとき。
- 3 . r = Aを除く。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcPU) の1クロック分です。

- 2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	OR	A, #byte	2	4	-	A A byte	x		
		saddr, #byte	3	6	8	(saddr) (saddr) byte	x		
		A, r <sup>注3</sup>	2	4	-	A A r	x		
		r, A	2	4	-	r r A	x		
		A, saddr	2	4	5	A A (saddr)	x		
		A, !addr16	3	8	9	A A (addr16)	x		
		A, [HL]	1	4	5	A A (HL)	x		
		A, [HL + byte]	2	8	9	A A (HL + byte)	x		
		A, [HL + B]	2	8	9	A A (HL + B)	x		
	A, [HL + C]	2	8	9	A A (HL + C)	x			
	XOR	A, #byte	2	4	-	A A byte	x		
		saddr, #byte	3	6	8	(saddr) (saddr) byte	x		
		A, r <sup>注3</sup>	2	4	-	A A r	x		
		r, A	2	4	-	r r A	x		
		A, saddr	2	4	5	A A (saddr)	x		
		A, !addr16	3	8	9	A A (addr16)	x		
		A, [HL]	1	4	5	A A (HL)	x		
		A, [HL + byte]	2	8	9	A A (HL + byte)	x		
		A, [HL + B]	2	8	9	A A (HL + B)	x		
	A, [HL + C]	2	8	9	A A (HL + C)	x			
	CMP	A, #byte	2	4	-	A - byte	x	x	x
		saddr, #byte	3	6	8	(saddr) - byte	x	x	x
		A, r <sup>注3</sup>	2	4	-	A - r	x	x	x
		r, A	2	4	-	r - A	x	x	x
		A, saddr	2	4	5	A - (saddr)	x	x	x
		A, !addr16	3	8	9	A - (addr16)	x	x	x
		A, [HL]	1	4	5	A - (HL)	x	x	x
A, [HL + byte]		2	8	9	A - (HL + byte)	x	x	x	
A, [HL + B]		2	8	9	A - (HL + B)	x	x	x	
A, [HL + C]	2	8	9	A - (HL + C)	x	x	x		
16ビット演算	ADDW	AX, #word	3	6	-	AX, CY AX + word	x	x	x
	SUBW	AX, #word	3	6	-	AX, CY AX - word	x	x	x
	CMPW	AX, #word	3	6	-	AX - word	x	x	x
乗除算	MULU	X	2	16	-	AX A × X			
	DIVUW	C	2	25	-	AX(商), C(余り) AX ÷ C			

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。
3. r = Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック(f<sub>CPU</sub>)の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	2	-	r r + 1	x	x	
		saddr	2	4	6	(saddr) (saddr) + 1	x	x	
	DEC	r	1	2	-	r r - 1	x	x	
		saddr	2	4	6	(saddr) (saddr) - 1	x	x	
	INCW	rp	1	4	-	rp rp + 1			
	DECW	rp	1	4	-	rp rp - 1			
ローテート	ROR	A, 1	1	2	-	(CY, A <sub>7</sub> A <sub>0</sub> , A <sub>m-1</sub> A <sub>m</sub> ) × 1回			x
	ROL	A, 1	1	2	-	(CY, A <sub>0</sub> A <sub>7</sub> , A <sub>m+1</sub> A <sub>m</sub> ) × 1回			x
	RORC	A, 1	1	2	-	(CY A <sub>0</sub> , A <sub>7</sub> CY, A <sub>m-1</sub> A <sub>m</sub> ) × 1回			x
	ROLC	A, 1	1	2	-	(CY A <sub>7</sub> , A <sub>0</sub> CY, A <sub>m+1</sub> A <sub>m</sub> ) × 1回			x
	ROR4	[HL]	2	10	12	A <sub>3-0</sub> (HL) <sub>3-0</sub> , (HL) <sub>7-4</sub> A <sub>3-0</sub> , (HL) <sub>3-0</sub> (HL) <sub>7-4</sub>			
	ROL4	[HL]	2	10	12	A <sub>3-0</sub> (HL) <sub>7-4</sub> , (HL) <sub>3-0</sub> A <sub>3-0</sub> , (HL) <sub>7-4</sub> (HL) <sub>3-0</sub>			
BCD補正	ADJBA		2	4	-	Decimal Adjust Accumulator after Addition	x	x	x
	ADJBS		2	4	-	Decimal Adjust Accumulator after Subtract	x	x	x
ビット操作	MOV1	CY, saddr.bit	3	6	7	CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY sfr.bit			x
		CY, A.bit	2	4	-	CY A.bit			x
		CY, PSW.bit	3	-	7	CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY (HL).bit			x
		saddr.bit, CY	3	6	8	(saddr.bit) CY			
		sfr.bit, CY	3	-	8	sfr.bit CY			
		A.bit, CY	2	4	-	A.bit CY			
		PSW.bit, CY	3	-	8	PSW.bit CY	x	x	
	[HL].bit, CY	2	6	8	(HL).bit CY				
	AND1	CY, saddr.bit	3	6	7	CY CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY CY sfr.bit			x
		CY, A.bit	2	4	-	CY CY A.bit			x
		CY, PSW.bit	3	-	7	CY CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY CY (HL).bit			x
	OR1	CY, saddr.bit	3	6	7	CY CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY CY sfr.bit			x
		CY, A.bit	2	4	-	CY CY A.bit			x
		CY, PSW.bit	3	-	7	CY CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY CY (HL).bit			x

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f<sub>cpu</sub>) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, saddr.bit	3	6	7	CY CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY CY sfr.bit			x
		CY, A.bit	2	4	-	CY CY A.bit			x
		CY, PSW.bit	3	-	7	CY CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY CY (HL).bit			x
	SET1	saddr.bit	2	4	6	(saddr.bit) 1			
		sfr.bit	3	-	8	sfr.bit 1			
		A.bit	2	4	-	A.bit 1			
		PSW.bit	2	-	6	PSW.bit 1	x	x	x
		[HL].bit	2	6	8	(HL).bit 1			
	CLR1	saddr.bit	2	4	6	(saddr.bit) 0			
		sfr.bit	3	-	8	sfr.bit 0			
		A.bit	2	4	-	A.bit 0			
		PSW.bit	2	-	6	PSW.bit 0	x	x	x
		[HL].bit	2	6	8	(HL).bit 0			
	SET1	CY	1	2	-	CY 1			1
	CLR1	CY	1	2	-	CY 0			0
NOT1	CY	1	2	-	CY $\overline{CY}$			x	
コール・リターン	CALL	!addr16	3	7	-	(SP - 1) (PC + 3) <sub>H</sub> , (SP - 2) (PC + 3) <sub>L</sub> , PC addr16, SP SP - 2			
	CALLF	!addr11	2	5	-	(SP - 1) (PC + 2) <sub>H</sub> , (SP - 2) (PC + 2) <sub>L</sub> , PC <sub>15-11</sub> 00001, PC <sub>10-0</sub> addr11, SP SP - 2			
	CALLT	[addr5]	1	6	-	(SP - 1) (PC + 1) <sub>H</sub> , (SP - 2) (PC + 1) <sub>L</sub> , PC <sub>H</sub> (addr5 + 1), PC <sub>L</sub> (addr5), SP SP - 2			
	BRK		1	6	-	(SP - 1) PSW, (SP - 2) (PC + 1) <sub>H</sub> , (SP - 3) (PC + 1) <sub>L</sub> , PC <sub>H</sub> (003FH), PC <sub>L</sub> (003EH), SP SP - 3, IE 0			
	RET		1	6	-	PC <sub>H</sub> (SP + 1), PC <sub>L</sub> (SP), SP SP + 2			
	RETI		1	6	-	PC <sub>H</sub> (SP + 1), PC <sub>L</sub> (SP), PSW (SP + 2), SP SP + 3	R	R	R
	RETB		1	6	-	PC <sub>H</sub> (SP + 1), PC <sub>L</sub> (SP), PSW (SP + 2), SP SP + 3	R	R	R

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcPU) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。



命令群	二モニク	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
スタック操作	PUSH	PSW	1	2	-	(SP - 1) PSW, SP SP - 1			
		rp	1	4	-	(SP - 1) rp <sub>H</sub> , (SP - 2) rp <sub>L</sub> , SP SP - 2			
	POP	PSW	1	2	-	PSW (SP), SP SP + 1	R	R	R
		rp	1	4	-	rp <sub>H</sub> (SP + 1), rp <sub>L</sub> (SP), SP SP + 2			
	MOVW	SP, #word	4	-	10	SP word			
		SP, AX	2	-	8	SP AX			
AX, SP		2	-	8	AX SP				
無条件分岐	BR	!addr16	3	6	-	PC addr16			
		\$addr16	2	6	-	PC PC + 2 + jdisp8			
		AX	2	8	-	PC <sub>H</sub> A, PC <sub>L</sub> X			
条件付き分岐	BC	\$addr16	2	6	-	PC PC + 2 + jdisp8 if CY = 1			
	BNC	\$addr16	2	6	-	PC PC + 2 + jdisp8 if CY = 0			
	BZ	\$addr16	2	6	-	PC PC + 2 + jdisp8 if Z = 1			
	BNZ	\$addr16	2	6	-	PC PC + 2 + jdisp8 if Z = 0			
	BT	saddr.bit, \$addr16	3	8	9	PC PC + 3 + jdisp8 if (saddr.bit) = 1			
		sfr.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if sfr.bit = 1			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 1			
		PSW.bit, \$addr16	3	-	9	PC PC + 3 + jdisp8 if PSW.bit = 1			
		[HL].bit, \$addr16	3	10	11	PC PC + 3 + jdisp8 if (HL).bit = 1			
	BF	saddr.bit, \$addr16	4	10	11	PC PC + 4 + jdisp8 if (saddr.bit) = 0			
		sfr.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if sfr.bit = 0			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 0			
		PSW.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if PSW.bit = 0			
		[HL].bit, \$addr16	3	10	11	PC PC + 3 + jdisp8 if (HL).bit = 0			
	BTCLR	saddr.bit, \$addr16	4	10	12	PC PC + 4 + jdisp8 if (saddr.bit) = 1 then reset (saddr.bit)			
		sfr.bit, \$addr16	4	-	12	PC PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, \$addr16	4	-	12	PC PC + 4 + jdisp8 if PSW.bit = 1 then reset PSW.bit	x	x	x
		[HL].bit, \$addr16	3	10	12	PC PC + 3 + jdisp8 if (HL).bit = 1 then reset (HL).bit			

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcpu) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	DBNZ	B, \$addr16	2	6	-	B B - 1, then PC PC + 2 + jdisp8 if B = 0			
		C, \$addr16	2	6	-	C C - 1, then PC PC + 2 + jdisp8 if C = 0			
		saddr, \$addr16	3	8	10	(saddr) (saddr) - 1, then PC PC + 3 + jdisp8 if (saddr) = 0			
CPU制御	SEL	R <sub>Bn</sub>	2	4	-	RBS1, 0 n			
	NOP		1	2	-	No Operation			
	EI		2	-	6	IE = 1 (Enable Interrupt)			
	DI		2	-	6	IE = 0 (Disable Interrupt)			
	HALT		2	6	-	Set HALT Mode			
	STOP		2	6	-	Set STOP Mode			

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f<sub>cpu</sub>) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

## 26.3 アドレッシング別命令一覧

### (1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, ROR4, ROL4, PUSH, POP, DBNZ

第2オペランド 第1オペランド	#byte	A	r <sup>注</sup>	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL + byte] [HL + B] [HL + C]	\$saddr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP		ROR ROL RORC ROLC	
r	MOV	MOV ADD ADDC SUB SUBC AND OR XOR CMP											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											ROR4 ROL4
[HL + byte] [HL + B] [HL + C]		MOV											
X													MULU
C													DIVUW

注 r = Aは除く。

## (2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第2オペランド \ 第1オペランド	#word	AX	rp <sup>注</sup>	sfrp	saddrp	!addr16	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	MOVW	MOVW	
rp	MOVW	MOVW <sup>注</sup>						INCW DECW PUSH POP
sfrp	MOVW	MOVW						
saddrp	MOVW	MOVW						
!addr16		MOVW						
SP	MOVW	MOVW						

注 rp = BC, DE, HLのときのみ。

## (3) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

第2オペランド \ 第1オペランド	A.bit	sfr.bit	saddr.bit	PSW.bit	[HL].bit	CY	\$addr16	なし
A.bit						MOV1	BT BF BTCLR	SET1 CLR1
sfr.bit						MOV1	BT BF BTCLR	SET1 CLR1
saddr.bit						MOV1	BT BF BTCLR	SET1 CLR1
PSW.bit						MOV1	BT BF BTCLR	SET1 CLR1
[HL].bit						MOV1	BT BF BTCLR	SET1 CLR1
CY	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1			SET1 CLR1 NOT1

## (4) コール命令 / 分岐命令

CALL, CALLF, CALLT, BR, BC, BNC, BZ, BNZ, BT, BF, BTCLR, DBNZ

第1オペランド \ 第2オペランド	AX	!addr16	!addr11	[addr5]	\$addr16
基本命令	BR	CALL BR	CALLF	CALLT	BR BC BNC BZ BNZ
複合命令					BT BF BTCLR DBNZ

## (5) その他の命令

ADJBA, ADJBS, BRK, RET, RETI, RETB, SEL, NOP, EI, DI, HALT, STOP

## 第27章 電気的特性 ( (A) 水準品 )

対象製品 78K0/FY2-L:  $\mu$  PD78F0854(A), 78F0855(A), 78F0856(A)

78K0/FA2-L:  $\mu$  PD78F0857(A), 78F0858(A), 78F0859(A)

78K0/FB2-L:  $\mu$  PD78F0864(A), 78F0865(A)

注意1. 78K0/Fx2-Lマイクロコントローラには開発 / 評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があります。製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

2. 製品により、搭載している端子が次のように異なります。

### (1) ポート機能

ポート	78K0/FY2-L	78K0/FA2-L	78K0/FB2-L
	16ピン	20ピン	30ピン
ポート0	P00, P01		P00-P02
ポート2	P20-P23	P20-P25	P20-P27
ポート3	P30	P30-P32	P30-P37
ポート6	P60, P61		
ポート7	-		P70
ポート12	P121, P122		

(次ページに、続きの表があります)

## (2) ポート以外の機能

機 能	78K0/FY2-L	78K0/FA2-L	78K0/FB2-L
	16ピン	20ピン	30ピン
電源, グランド	VDD, VSS, AVREF		VDD, AVREF, VSS, AVSS
レギュレータ	REGC		
リセット	RESET		
クロック発振	X1, X2, EXCLK		
割り込み	INTP0, INTP1	INTP0-INTP3	INTP0-INTP5
タイマ	TMX0	-	TOX00, TOX01, TOX10, TOX11
	TM00	TI000, TI010, TO00	
	TM51	TI51	
	TMH1	TOH1	
インタフェース	UART6	RxD6, TxD6	
	IICA	SCLA0, SDAA0	
	CSI11	-	SCK11, SI11, SO11, SSI11
A/Dコンバータ	ANI0-ANI3	ANI0-ANI5	ANI0-ANI8
コンパレータ	CMP2+	CMP0+-CMP2+	CMP0+-CMP2+, CMPCOM
オンチップ・デバッグ機能	TOOLC0, TOOLC1	TOOLC0, TOOLC1, TOOLD0, TOOLD1	



注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

### 絶対最大定格 ( $T_A = 25$ ) ( 1/2 )

項目	略号	条件	定格	単位
電源電圧	V <sub>DD</sub>		- 0.5 ~ + 6.5	V
	V <sub>SS</sub>		- 0.5 ~ + 0.3	V
	AV <sub>REF</sub>		- 0.5 ~ V <sub>DD</sub> + 0.3 <sup>注1</sup>	V
	AV <sub>SS</sub>		- 0.5 ~ + 0.3	V
REGC端子入力電圧 <sup>注2</sup>	V <sub>I<sub>REGC</sub></sub>		- 0.5 ~ + 3.6 かつ - 0.3 ~ V <sub>DD</sub> + 0.3	V
入力電圧	V <sub>I1</sub>	P00-P02, P30-P37, P60, P61, P121, P122, X1, X2, RESET	- 0.3 ~ V <sub>DD</sub> + 0.3 <sup>注1</sup>	V
	V <sub>I2</sub>	P20-P27, P70	- 0.3 ~ AV <sub>REF</sub> + 0.3 <sup>注1</sup> かつ - 0.3 ~ V <sub>DD</sub> + 0.3 <sup>注1</sup>	V
出力電圧	V <sub>O1</sub>	P00-P02, P30-P37, P60, P61	- 0.3 ~ V <sub>DD</sub> + 0.3 <sup>注1</sup>	V
	V <sub>O2</sub>	P20-P27, P70	- 0.3 ~ AV <sub>REF</sub> + 0.3 <sup>注1</sup>	V
アナログ入力電圧	V <sub>AN</sub>	ANI0-ANI8	- 0.3 ~ AV <sub>REF</sub> + 0.3 <sup>注1</sup> かつ - 0.3 ~ V <sub>DD</sub> + 0.3 <sup>注1</sup>	V

注1. 6.5 V以下であること。

2. REGC端子にはコンデンサ ( 0.47 ~ 1  $\mu$ F ) を介してV<sub>SS</sub>に接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

### 絶対最大定格 ( $T_A = 25$ ) ( 2/2 )

項目	略号	条件		定格	単位
ハイ・レベル出力電流	I <sub>OH1</sub>	1端子	P00-P02, P30-P37, P60, P61	- 10	mA
		端子合計 - 80 mA	P02, P60, P61	- 30	mA
			P00, P01, P30-P37	- 55	mA
	I <sub>OH2</sub>	1端子	P20-P27, P70	- 0.5	mA
		端子合計		- 2	mA
ロウ・レベル出力電流	I <sub>OL1</sub>	1端子	P00-P02, P30-P37, P60, P61	30	mA
		端子合計 200 mA	P02, P60, P61	85	mA
			P00, P01, P30-P37	140	mA
	I <sub>OL2</sub>	1端子	P20-P27, P70	1	mA
		端子合計		5	mA
動作周囲温度	T <sub>A</sub>		- 40 ~ + 85	°C	
保存温度	T <sub>stg</sub>		- 65 ~ + 150	°C	

- 注意1. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。
2. 1端子あたりに流すことができる電流値は、1端子当たりの電流値と端子合計の電流値の両方の値を満たす必要があります。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

### X1発振回路特性

( $T_A = -40 \sim +85$  , 1.8 V  $V_{DD} = 5.5$  V,  $V_{SS} = AV_{SS} = 0$  V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック / 水晶発振子		X1クロック発振周波数 ( $f_x$ ) <sup>注</sup>	4.0 V $V_{DD} = 5.5$ V	2.0		20.0	MHz
			2.7 V $V_{DD} < 4.0$ V	2.0		10.0	MHz
			1.8 V $V_{DD} < 2.7$ V	2.0		5.0	MHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に $V_{SS}$ と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. リセット解除後は、高速内蔵発振クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ(OSTC)でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ(OSTS)の発振安定時間を決定してください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

### 高速内蔵発振回路特性

( $T_A = -40 \sim +85$  ,  $1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ ,  $V_{SS} = AV_{SS} = 0 \text{ V}$ )

発振子	項目	条件		MIN.	TYP.	MAX.	単位	
高速内蔵発振器	発振周波数 ( $f_{IH} = 4$ MHz) 偏差 <sup>注1,2</sup>	RSTS = 1	$T_A = -20 \sim +70$			$\pm 2$	%	
			$T_A = -40 \sim +85$			$\pm 3$	%	
	発振周波数 ( $f_{IH} = 8$ MHz) 偏差 <sup>注1,2</sup>	RSTS = 1	$T_A = -40 \sim +85$			$\pm 3$	%	
			発振周波数 ( $f_{IH}$ ) <sup>注1</sup>	RSTS = 0	低消費電力モード時 (RMC = 56H)	1.86	4.2	7.42
				通常電力モード時 (RMC = 00H)	1.86	5.0	8.7	MHz

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2. 高速内蔵発振周波数 (4 MHzまたは8 MHz) は、オプション・バイトで設定します。第23章 オプション・バイトを参照してください。

### PLL回路特性

( $T_A = -40 \sim +85$  ,  $2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ ,  $V_{SS} = AV_{SS} = 0 \text{ V}$ )

項目	略号	条件		MIN.	TYP.	MAX.	単位
PLL入力クロック周波数	$f_{PLLIN}$	高速システム・クロック選択時 ( $f_x = 4 \text{ MHz}$ )		3.92	4.00	4.08	MHz
		高速内蔵発振クロック選択時 ( $f_{IH} = 4 \text{ MHz}$ )	$T_A = -20 \sim +70$	3.92	4.00	4.08	MHz
			$T_A = -40 \sim +85$	3.88	4.00	4.12	MHz
PLL出力クロック周波数	$f_{PLL}$			$f_{PLLIN} \times 10$			MHz
ロングターム・ジッタ	$T_{LJ}$	$f_{PLL} = 40 \text{ MHz}$ , 400 カウント以上			0.0029	0.07	% $f_{PLL}$

### 低速内蔵発振回路特性

( $T_A = -40 \sim +85$  ,  $1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ ,  $V_{SS} = AV_{SS} = 0 \text{ V}$ )

発振子	項目	条件		MIN.	TYP.	MAX.	単位	
低速内蔵発振器	発振周波数 ( $f_{IL}$ )	トリミングあり	低消費電力モード時 (RMC = 56H)	25.5	30	34.5	kHz	
			通常電力モード時 (RMC = 00H)	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	27	30	33	kHz
				$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	25.5	30	34.5	kHz

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

### DC特性 ( 1/5 )

( $T_A = -40 \sim +85$  , 1.8 V  $V_{DD} = 5.5$  V,  $AV_{REF} = V_{DD}$ ,  $V_{SS} = AV_{SS} = 0$  V)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
ハイ・レベル出力電流 <sup>注1</sup>	I <sub>OH1</sub>	P00-P02, P30-P37, P60, P61 1端子	4.0 V $V_{DD} = 5.5$ V			- 3.0	mA	
			2.7 V $V_{DD} < 4.0$ V			- 2.5	mA	
			1.8 V $V_{DD} < 2.7$ V			- 1.0	mA	
		P02, P60, P61 合計	4.0 V $V_{DD} = 5.5$ V			- 9.0	mA	
			2.7 V $V_{DD} < 4.0$ V			- 7.5	mA	
			1.8 V $V_{DD} < 2.7$ V			- 3.0	mA	
		P00, P01, P30-P37 合計	4.0 V $V_{DD} = 5.5$ V			- 24.0	mA	
			2.7 V $V_{DD} < 4.0$ V			- 19.0	mA	
			1.8 V $V_{DD} < 2.7$ V			- 10.0	mA	
	P00-P02, P30-P37, P60, P61 合計 <sup>注3</sup>	4.0 V $V_{DD} = 5.5$ V			- 33.0	mA		
		2.7 V $V_{DD} < 4.0$ V			- 26.5	mA		
		1.8 V $V_{DD} < 2.7$ V			- 13.0	mA		
	I <sub>OH2</sub>	P20-P27, P70 1端子	$AV_{REF} = V_{DD}$			- 100	$\mu$ A	
ロウ・レベル出力電流 <sup>注2</sup>	I <sub>OL1</sub>	P00-P02, P30-P37 1端子	4.0 V $V_{DD} = 5.5$ V			8.5	mA	
			2.7 V $V_{DD} < 4.0$ V			5.0	mA	
			1.8 V $V_{DD} < 2.7$ V			2.0	mA	
		P60-P61 1端子	4.0 V $V_{DD} = 5.5$ V			15.0	mA	
			2.7 V $V_{DD} < 4.0$ V			5.0	mA	
			1.8 V $V_{DD} < 2.7$ V			2.0	mA	
		P02, P60-P61 合計	4.0 V $V_{DD} = 5.5$ V			23.0	mA	
			2.7 V $V_{DD} < 4.0$ V			15.0	mA	
			1.8 V $V_{DD} < 2.7$ V			6.0	mA	
		P00, P01, P30-P37 合計	4.0 V $V_{DD} = 5.5$ V			45.0	mA	
			2.7 V $V_{DD} < 4.0$ V			35.0	mA	
			1.8 V $V_{DD} < 2.7$ V			20.0	mA	
		P00-P02, P30-P37, P60, P61, P122 合計 <sup>注3</sup>	4.0 V $V_{DD} = 5.5$ V			68.0	mA	
			2.7 V $V_{DD} < 4.0$ V			50.0	mA	
			1.8 V $V_{DD} < 2.7$ V			26.0	mA	
		I <sub>OL2</sub>	P20-P27, P70 1端子	$AV_{REF} = V_{DD}$			400	$\mu$ A

注1.  $V_{DD}$ から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

2. 出力端子からGNDに流れ込んでも、デバイスの動作を保証する電流値です。

3. デューティ = 70%の条件 (ある一定の時間をtとすると、電流を出力する時間が $0.7 \times t$ 、電流を出力しない時間が $0.3 \times t$ の場合)でのスペックです。デューティ = 70%以外の端子合計の出力電流は下記の計算式で求めることができます。

$$\cdot I_{OH} \text{のデューティが} n \% \text{の場合：端子合計の出力電流} = (I_{OH} \times 0.7) / (n \times 0.01)$$

<計算例> デューティ = 50%,  $I_{OH} = -12$  mAの場合

$$\text{端子合計の出力電流} = (-12 \times 0.7) / (50 \times 0.01) = -16.8 \text{ mA}$$

ただし、1端子当たりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

## DC特性 (2/5)

( $T_A = -40 \sim +85$  , 2.7 V  $V_{DD} = 5.5$  V,  $AV_{REF} = V_{DD}$ ,  $V_{SS} = AV_{SS} = 0$  V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	$V_{IH1}$	P37, P122	$0.7V_{DD}$		$V_{DD}$	V	
	$V_{IH2}$	P20-P27, P70	$AV_{REF} = V_{DD}$		$AV_{REF}$	V	
	$V_{IH3}$	P60, P61 (IOポート・モード)	$0.7V_{DD}$		$V_{DD}$	V	
	$V_{IH4}$	P00-P02, P30-P36, RESET, EXCLK	$0.8V_{DD}$		$V_{DD}$	V	
	$V_{IH5}$	P60, P61 (SMBus入力モード)	2.4 V $V_{DD} < 3.4$ V	2.1			V
			1.8 V $V_{DD} < 2.4$ V, 3.4 V $V_{DD} = 5.5$ V	$0.8V_{DD}$			V
	$V_{IH6}$	P121/<TI000>/<INTP0>	兼用切り替え無効時 (デフォルト), INTP0SEL0 = TM00SEL0 = 0	$0.7V_{DD}$		$V_{DD}$	V
兼用切り替え有効時 (78K0/FB2-Lのみ), INTP0SEL0 = 1, またはTM00SEL0 = 1			$0.7V_{DD}$		$V_{DD}$	V	
ロウ・レベル入力電圧	$V_{IL1}$	P37, P122	0		$0.3V_{DD}$	V	
	$V_{IL2}$	P20-P27, P70	$AV_{REF} = V_{DD}$		$0.3AV_{REF}$	V	
	$V_{IL3}$	P60, P61 (IOポート・モード)	0		$0.3V_{DD}$	V	
	$V_{IL4}$	P00-P02, P30-P36, RESET, EXCLK	0		$0.2V_{DD}$	V	
	$V_{IL5}$	P60, P61 (SMBus入力モード)	2.4 V $V_{DD} < 3.4$ V	0		0.8	V
			1.8 V $V_{DD} < 2.4$ V, 3.4 V $V_{DD} = 5.5$ V	0		$0.2V_{DD}$	V
	$V_{IL6}$	P121/<TI000>/<INTP0>	兼用切り替え無効時 (デフォルト), INTP0SEL0 = TM00SEL0 = 0	0		$0.4V_{DD}$	V
兼用切り替え有効時 (78K0/FB2-Lのみ), INTP0SEL0 = 1, またはTM00SEL0 = 1			0		$0.3V_{DD}$	V	
ハイ・レベル出力電圧	$V_{OH1}$	P00-P02, P30-P37, P60, P61	4.0 V $V_{DD} = 5.5$ V, $I_{OH1} = -3.0$ mA	$V_{DD} - 0.7$		V	
			2.7 V $V_{DD} < 5.5$ V, $I_{OH1} = -2.5$ mA	$V_{DD} - 0.5$		V	
			1.8 V $V_{DD} < 5.5$ V, $I_{OH1} = -1.0$ mA	$V_{DD} - 0.5$		V	
	$V_{OH2}$	P20-P27, P70	$AV_{REF} = V_{DD}$ , $I_{OH2} = -100$ $\mu$ A	$V_{DD} - 0.5$		V	

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

## DC特性 (3/5)

( $T_A = -40 \sim +85$  ,  $1.8 \text{ V} < V_{DD} \leq 5.5 \text{ V}$ ,  $AV_{REF} = V_{DD}$ ,  $V_{SS} = AV_{SS} = 0 \text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位		
ロウ・レベル出力電圧	VOL1	P00-P02, P30-P37	4.0 V $V_{DD} \leq 5.5 \text{ V}$ , $I_{OL1} = 8.5 \text{ mA}$			0.7	V	
			2.7 V $V_{DD} < 5.5 \text{ V}$ , $I_{OL1} = 5.0 \text{ mA}$			0.7	V	
			1.8 V $V_{DD} < 5.5 \text{ V}$ , $I_{OL1} = 2.0 \text{ mA}$			0.5	V	
			1.8 V $V_{DD} < 5.5 \text{ V}$ , $I_{OL1} = 1.0 \text{ mA}$			0.5	V	
			1.8 V $V_{DD} < 5.5 \text{ V}$ , $I_{OL1} = 0.5 \text{ mA}$			0.4	V	
	VOL2	P20-P27, P70	$AV_{REF} = V_{DD}$ , $I_{OL2} = 0.4 \text{ mA}$			0.4	V	
	VOL3	P60, P61	4.0 V $V_{DD} \leq 5.5 \text{ V}$ , $I_{OL1} = 15.0 \text{ mA}$			2.0	V	
			4.0 V $V_{DD} \leq 5.5 \text{ V}$ , $I_{OL1} = 5.0 \text{ mA}$			0.4	V	
			2.7 V $V_{DD} < 4.0 \text{ V}$ , $I_{OL1} = 5.0 \text{ mA}$			0.6	V	
			2.7 V $V_{DD} < 5.5 \text{ V}$ , $I_{OL1} = 3.0 \text{ mA}$			0.4	V	
			1.8 V $V_{DD} < 5.5 \text{ V}$ , $I_{OL1} = 2.0 \text{ mA}$			0.4	V	
	ハイ・レベル入力リーク電流	ILIH1	P00-P02, P30-P37, P60, P61, $\overline{\text{RESET}}$	$V_i = V_{DD}$			1	$\mu\text{A}$
		ILIH2	P20-P27, P70	$V_i = AV_{REF} = V_{DD}$			1	$\mu\text{A}$
		ILIH3	P121, P122 X1, X2	$V_i =$ $V_{DD}$	I/Oポート・モード			1
				OSCモード			20	$\mu\text{A}$
ロウ・レベル入力リーク電流	ILIL1	P00-P02, P30-P37, P60, P61, $\overline{\text{RESET}}$	$V_i = V_{SS}$			-1	$\mu\text{A}$	
	ILIL2	P20-P27, P70	$V_i = V_{SS}$ , $AV_{REF} = V_{DD}$			-1	$\mu\text{A}$	
	ILIL3	P121, P122 X1, X2	$V_i =$ $V_{SS}$	I/Oポート・モード			-1	$\mu\text{A}$
				OSCモード			-20	$\mu\text{A}$
プルアップ抵抗値	RPLU1	P00-P02, P30-P37, P60, P61	$V_i = V_{SS}$	10	20	100	k $\Omega$	
	RPLU2	$\overline{\text{RESET}}$		75	150	300	k $\Omega$	

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

### DC特性 (4/5)

( $T_A = -40 \sim +85$  ,  $1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ ,  $AV_{REF} = V_{DD}$ ,  $V_{SS} = AV_{SS} = 0 \text{ V}$ )

項目	略号	条件			MIN.	TYP.	MAX.	単位	
電源電流 <sup>注1</sup>	IDD1 <sup>注2</sup>	動作モード	$f_{XH} = 20\text{MHz}$ <sup>注4</sup> $V_{DD} = 5.0 \text{ V}$ , $RMC = 00H$	方形波入力		3.2	5.5	mA	
				発振子接続		4.5	6.9	mA	
			$f_{XH} = 10 \text{ MHz}$ , $V_{DD} = 5.0 \text{ V}$ , $RMC = 00H$	方形波入力		1.6	2.8	mA	
				発振子接続		2.3	3.9	mA	
			$f_{XH} = 10 \text{ MHz}$ , $V_{DD} = 3.0 \text{ V}$ , $RMC = 00H$	方形波入力		1.5	2.7	mA	
				発振子接続		2.2	3.2	mA	
			$f_{XH} = 5 \text{ MHz}$ , $V_{DD} = 3.0 \text{ V}$ , $RMC = 00H$	方形波入力		0.9	1.6	mA	
				発振子接続		1.3	2.0	mA	
			$f_{XH} = 5 \text{ MHz}$ , $V_{DD} = 2.0 \text{ V}$ , $RMC = 00H$	方形波入力		0.7	1.4	mA	
				発振子接続		1.0	1.6	mA	
	$f_{IH} = 4 \text{ MHz}$ , $V_{DD} = 3.0 \text{ V}$ , $RMC = 56H$					0.5	1.4	mA	
	$f_{IH} = 8 \text{ MHz}$ , $V_{DD} = 5.0 \text{ V}$ , $RMC = 00H$					1.3	2.5	mA	
	$f_{IH} = 4 \text{ MHz}$ , $f_{CPU} = 1 \text{ MHz}$ , <sup>注5</sup> $V_{DD} = 3.0 \text{ V}$ , $RMC = 56H$					0.22	0.65	mA	
	$f_{PLL} = 40 \text{ MHz}$ , $f_{CPU} = 20 \text{ MHz}$ , $V_{DD} = 5.0 \text{ V}$ , $RMC = 00H$		$f_{XH} = 4 \text{ MHz}$	方形波入力		4.5	8.0	mA	
				発振子接続		4.8	9.2	mA	
			$f_{IH} = 4 \text{ MHz}$ <sup>注6</sup>	内蔵発振		4.5	8.0	mA	
	IDD2 <sup>注3</sup>		HALTモード	$f_{XH} = 20\text{MHz}$ <sup>注4</sup> $V_{DD} = 5.0 \text{ V}$ , $RMC = 00H$	方形波入力		0.8	2.6	mA
					発振子接続		2.0	4.4	mA
				$f_{XH} = 10 \text{ MHz}$ , $V_{DD} = 5.0 \text{ V}$ , $RMC = 00H$	方形波入力		0.4	1.3	mA
					発振子接続		1.0	2.4	mA
$f_{XH} = 5 \text{ MHz}$ , $V_{DD} = 3.0 \text{ V}$ , $RMC = 00H$		方形波入力			0.2	0.65	mA		
		発振子接続			0.5	1.1	mA		
$f_{IH} = 4 \text{ MHz}$ , $V_{DD} = 3.0 \text{ V}$ , $RMC = 56H$						0.2	0.5	mA	
$f_{IH} = 8 \text{ MHz}$ , $V_{DD} = 5.0 \text{ V}$ , $RMC = 00H$						0.3	1.2	mA	
$f_{PLL} = 40 \text{ MHz}$ , $f_{CPU} = 20 \text{ MHz}$ , $V_{DD} = 5.0 \text{ V}$ , $RMC = 00H$		$f_{XH} = 4 \text{ MHz}$		方形波入力		1.3	3.0	mA	
				発振子接続		1.6	4.6	mA	
	$f_{IH} = 4 \text{ MHz}$ <sup>注6</sup>	内蔵発振		1.3	3.0	mA			

注1. 内部電源 ( $V_{DD}$ ,  $AV_{REF}$ ) に流れるトータル電流です。入力端子を  $V_{DD}$  または  $V_{SS}$  に固定した状態での入力リーク電流を含みます。ただし、ポートのプルアップ抵抗、プルダウン抵抗と出力電流は含みません。

2. CPUに供給されるクロック発振以外の発振回路に流れる電流は含みません。また、LVI回路、A/Dコンバータ、コンパレータ、ウォッチドッグ・タイマ、シリアル・インタフェースに流れる電流は含みません。

3. CPUに供給されるクロック発振以外の発振回路に流れる電流は含みません。また、LVI回路、A/Dコンバータ、コンパレータ、ウォッチドッグ・タイマ、16ビット・タイマX0、X1、8ビットタイマ/イベント・カウンタ51、8ビット・タイマH1 (カウント・クロックに30 kHz低速内蔵発振クロックを使用)、シリアル・インタフェースに流れる電流は含みません。

4. OSCCTL.AMPH = 1設定時

5. PCC2 = 0, PCC1 = 1, PCC0 = 0に設定したときの値です。

6. 高速内蔵発振クロック周波数は、オプション・バイトで設定します ( $R4M8MSEL = 0 : 8 \text{ MHz}$ ,  $R4M8MSEL = 1 : 4 \text{ MHz}$ )。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。



注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

### DC特性 (5/5)

( $T_A = -40 \sim +85$  , 1.8 V  $V_{DD} = 5.5$  V,  $AV_{REF} = V_{DD}$ ,  $V_{SS} = AV_{SS} = 0$  V)

項目	略号	条件			MIN.	TYP.	MAX.	単位
電源電流 <sup>注1</sup>	IDD3 <sup>注2</sup>	STOP モード	VDD = 3.0 V (内部動作レギュレータ出力 + POCのみ), RMC = 56H	TA = -40 ~ +50	0.3	2.7	μA	
				TA = -40 ~ +70	0.3	3.7	μA	
				TA = -40 ~ +85	0.3	5.5	μA	
ウォッチドッグ・タイマ動作電流 <sup>注3</sup>	IWDT	30 kHz低速内蔵発振クロック動作時	VDD = 3.0 V		0.28	0.35	μA	
TMH1動作電流 <sup>注4</sup>	ITMH	カウント・クロックに30 kHz低速内蔵発振クロックを使用している場合	VDD = 3.0 V		0.35	1.5	μA	
LVI動作電流 <sup>注5</sup>	ILVI	VDD = 3.0 V				9	18	μA
A/Dコンバータ動作電流 <sup>注6</sup>	IADC	最高速変換時	高速モード1	AVREF = VDD = 5.0 V	1.72	3.2	mA	
			高速モード2	AVREF = VDD = 3.0 V	0.72	1.6	mA	
			標準モード	AVREF = VDD = 5.0 V	0.86	1.9	mA	
			低電圧モード	AVREF = VDD = 3.0 V	0.37	0.8	mA	
コンパレータ動作電流 <sup>注7</sup>	ICMP	内部基準電圧未使用, コンパレータ1chのみ動作時	AVREF = VDD = 5.0 V		240	μA		
			AVREF = VDD = 3.0 V		200	μA		
		内部基準電圧使用, コンパレータ1chのみ動作時	AVREF = VDD = 5.0 V		300	μA		
			AVREF = VDD = 3.0 V		240	μA		
リセット電流	IDDRst	リセット時 (RESETプルアップ抵抗電流 + リーク電流)	AVREF = VDD = 5.0 V		35	100	μA	

- 注1. 内部電源 (VDD, AVREF) に流れるトータル電流です。入力端子をVDDまたはVSSに固定した状態での入力リーク電流を含みます。ただし、ポートのプルアップ抵抗、プルダウン抵抗と出力電流は含みません。
2. LVI回路、ウォッチドッグ・タイマ、8ビット・タイマH1 (カウント・クロックに30 kHz低速内蔵発振クロックを使用) に流れる電流は含みません。
3. ウォッチドッグ・タイマにのみ流れる電流です (30 kHz内蔵発振器の動作電流を含みます)。ウォッチドッグ・タイマが動作中の場合、IDD1, IDD2またはIDD3にIWDTを加算した値が、78K0/Fx2-Lマイクロコントローラの電流値となります。
4. 8ビット・タイマH1にのみ流れる電流です。8ビット・タイマH1が動作中 (カウント・クロックに30 kHz 低速内蔵発振クロックを使用) の場合、IDD1, IDD2またはIDD3にITMHを加算した値が、78K0/Fx2-Lマイクロコントローラの電流値となります。
5. LVI回路にのみ流れる電流です。LVI回路が動作中の場合、IDD1, IDD2またはIDD3にILVIを加算した値が、78K0/Fx2-Lマイクロコントローラの電流値となります。
6. A/Dコンバータ (AVREF) にのみ流れる電流です。動作モードまたはHALTモード時にA/Dコンバータが動作中の場合、IDD1またはIDD2にIADCを加算した値が、78K0/Fx2-Lマイクロコントローラの電流値となります。
7. コンパレータ (AVREF) にのみ流れる電流です。動作モードまたはHALTモード時にコンパレータが動作中の場合、IDD1またはIDD2にICMPを加算した値が、78K0/Fx2-Lマイクロコントローラの電流値となります。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

## AC特性

### (1) 基本動作

( $T_A = -40 \sim +85$  ,  $1.8\text{ V} < V_{DD} < 5.5\text{ V}$ ,  $AV_{REF} = V_{DD}$ ,  $V_{SS} = AV_{SS} = 0\text{ V}$ )

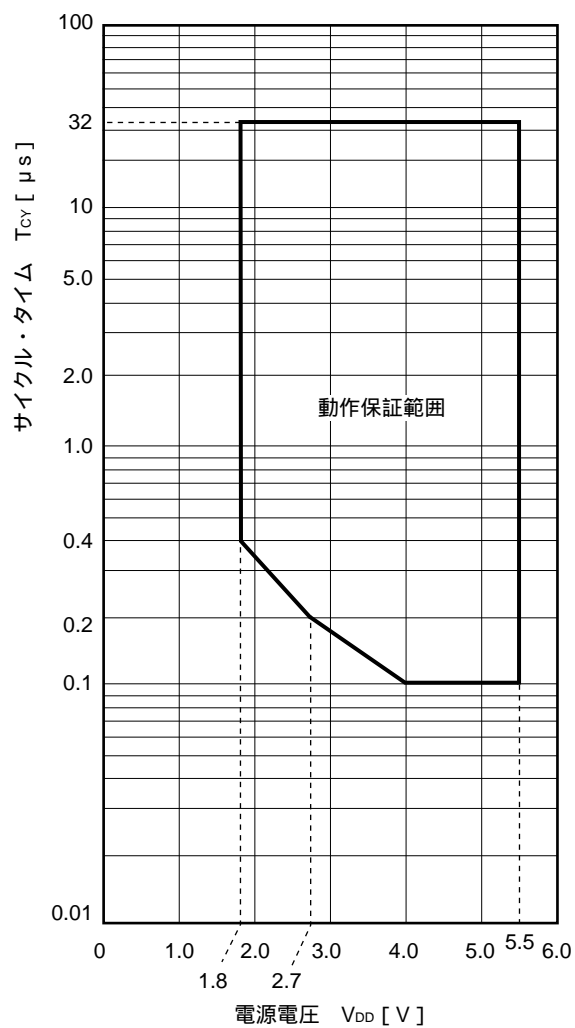
項目	略号	条件	MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	T <sub>cy</sub>	メイン・ システム・ クロック (f <sub>xp</sub> ) 動作	通常電力 4.0 V $V_{DD} < 5.5\text{ V}$	0.1		32	$\mu\text{s}$
		モード時 (RMC = 00H)	2.7 V $V_{DD} < 4.0\text{ V}$	0.2		32	$\mu\text{s}$
			1.8 V $V_{DD} < 2.7\text{ V}$	0.4 <sup>注1</sup>		32	$\mu\text{s}$
		低消費電力モード時(RMC = 56H)		0.4 <sup>注1</sup>		32	$\mu\text{s}$
周辺ハードウェア・クロック周 波数	f <sub>PRS</sub>	f <sub>PRS</sub> = f <sub>xp</sub>	4.0 V $V_{DD} < 5.5\text{ V}$			20	MHz
			2.7 V $V_{DD} < 4.0\text{ V}$			10	MHz
			1.8 V $V_{DD} < 2.7\text{ V}$			5	MHz
	f <sub>PRS</sub> = f <sub>ih</sub>	f <sub>ih</sub> = 8 MHz	7.6		8.4	MHz	
		f <sub>ih</sub> = 4 MHz	3.88		4.12	MHz	
外部メイン・システム・クロッ ク周波数	f <sub>EXCLK</sub>	4.0 V $V_{DD} < 5.5\text{ V}$	1.0		20.0	MHz	
		2.7 V $V_{DD} < 4.0\text{ V}$	1.0		10.0	MHz	
		1.8 V $V_{DD} < 2.7\text{ V}$	1.0		5.0	MHz	
外部メイン・システム・クロック 入力ハイ、ロウ・レベル幅	t <sub>EXCLKH</sub> ,		(1/f <sub>EXCLK</sub> × 1/2)			ns	
	t <sub>EXCLKL</sub>		- 1				
TI000, TI010入力ハイ・レベル 幅, ロウ・レベル幅	t <sub>TIH0</sub> ,	4.0 V $V_{DD} < 5.5\text{ V}$	2/f <sub>sam</sub> + 0.1 <sup>注2</sup>			$\mu\text{s}$	
		2.7 V $V_{DD} < 4.0\text{ V}$	2/f <sub>sam</sub> + 0.2 <sup>注2</sup>				
		1.8 V $V_{DD} < 2.7\text{ V}$	2/f <sub>sam</sub> + 0.5 <sup>注2</sup>				
TI51入力周波数	f <sub>TI5</sub>	2.7 V $V_{DD} < 5.5\text{ V}$			10.0	MHz	
		1.8 V $V_{DD} < 2.7\text{ V}$			5.0	MHz	
TI51入力ハイ・レベル幅, ロウ・ レベル幅	t <sub>TIH5</sub>	4.0 V $V_{DD} < 5.5\text{ V}$	50			ns	
		2.7 V $V_{DD} < 4.0\text{ V}$	50			ns	
		1.8 V $V_{DD} < 2.7\text{ V}$	100			ns	
割り込み入力ハイ・レベル幅, ロ ウ・レベル幅	t <sub>INTH</sub> ,		1			$\mu\text{s}$	
		t <sub>INTL</sub>					
RESETロウ・レベル幅	t <sub>RSL</sub>		10			$\mu\text{s}$	
コンパレータ入力ハイ・レベル 幅, ロウ・レベル幅	t <sub>CMPL</sub>		125			ns	

注1. 高速内蔵発振クロック動作時では、0.38  $\mu\text{s}$ となります。

- ブリスケーラ・モード・レジスタ00 (PRM00) のビット0, 1 (PRM000, PRM001) により、f<sub>sam</sub> = f<sub>PRS</sub>, f<sub>PRS</sub>/4, f<sub>PRS</sub>/256の選択が可能です。ただし、カウント・クロックとしてTI000有効エッジを選択した場合は、f<sub>sam</sub> = f<sub>PRS</sub>となります。

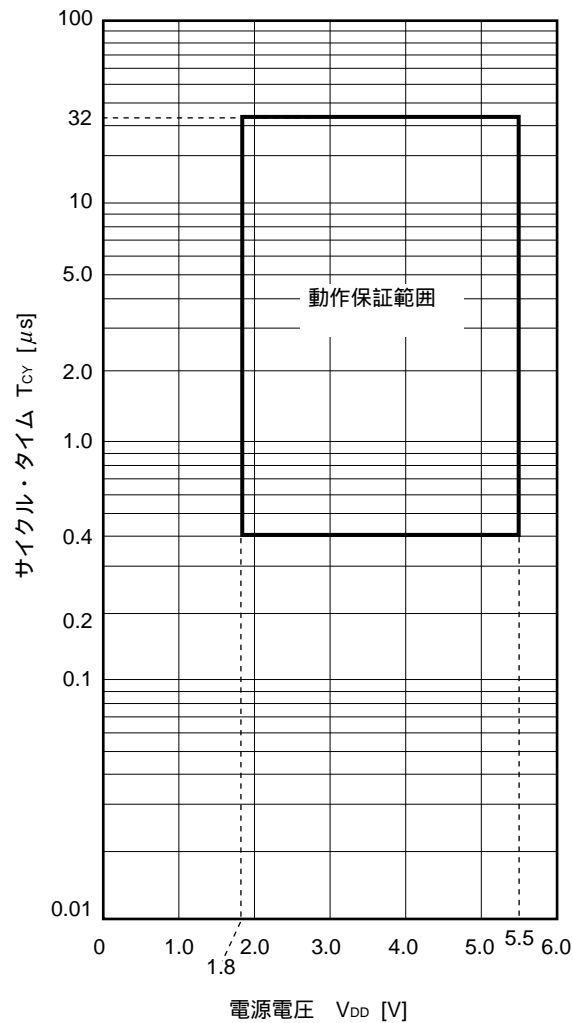
注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

$T_{CY}$  vs  $V_{DD}$  (メイン・システム・クロック動作, RMC = 00H (通常電力モード))

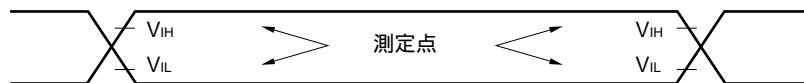


注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

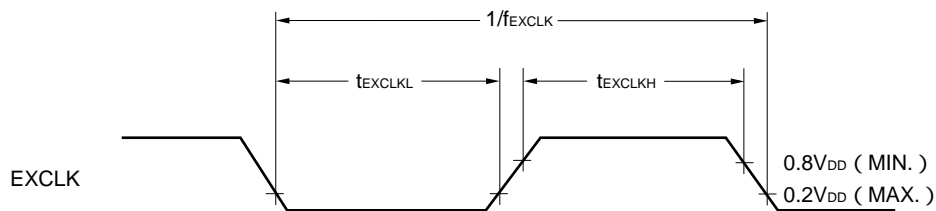
$T_{CY}$  vs  $V_{DD}$  (メイン・システム・クロック動作, RMC = 56H (低消費電力モード))



#### ACタイミング測定点

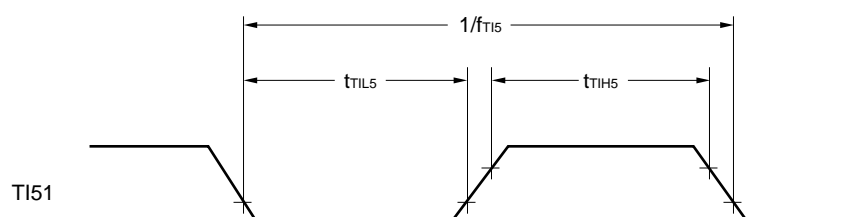
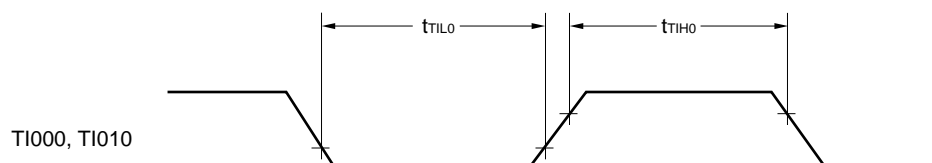


#### 外部メイン・システム・クロック・タイミング

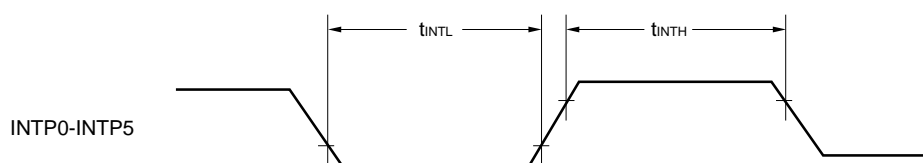


注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

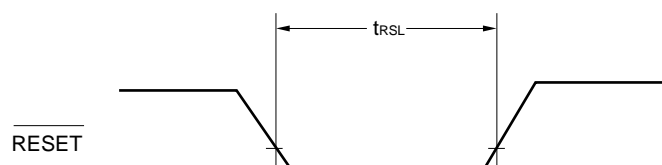
### TI タイミング



### 割り込み要求入力タイミング



### RESET 入力タイミング



注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

## (2) シリアル・インタフェース

( $T_A = -40 \sim +85$  ,  $1.8\text{ V} < V_{DD} < 5.5\text{ V}$ ,  $AV_{REF} = V_{DD}$ ,  $V_{SS} = AV_{SS} = 0\text{ V}$ )

### (a) UART6 (専用ボー・レート・ジェネレータ出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
転送レート					625	kbps

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

## (b) IICA

項目	略号	条件	標準モード		高速モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	f <sub>SCL</sub>	ファースト・モード : f <sub>PRS</sub> 3.5 MHz, 標準モード : f <sub>PRS</sub> 1 MHz	0	100	0	400	kHz
スタート・コンディションおよびストップ・コンディションのセットアップ時間	t <sub>SU : STA</sub>		4.7	-	0.6	-	μs
ホールド時間 <sup>注1</sup>	t <sub>HD : STA</sub>		4.0	-	0.6	-	μs
SCLA0 = "L"のホールド・タイム	t <sub>LOW</sub>		4.7	-	1.3	-	μs
SCLA0 = "H"のホールド・タイム	t <sub>HIGH</sub>		4.0	-	0.6	-	μs
データ・セットアップ時間 (受信時)	t <sub>SU : DAT</sub>		250	-	100	-	ns
データ・ホールド時間 (送信時) <sup>注2</sup>	t <sub>HD : DAT</sub>		0	3.45	0	0.9	μs
ストップ・コンディションのセットアップ時間	t <sub>SU : STO</sub>		4.0	-	0.6	-	μs
ストップ・コンディションとスタート・コンディションの間のバス・フリー時間	t <sub>BUF</sub>		4.7	-	1.3	-	μs
SDAA0およびSCLA0信号の立ち上がり時間	t <sub>R</sub>			1000	20 + 0.1C <sub>b</sub>	300	ns
SDAA0およびSCLA0信号の立ち下がり時間	t <sub>F</sub>			300	20 + 0.1C <sub>b</sub>	300	ns
通信ライン (SCLA0, SDAA0) ごとの合計負荷容量値	C <sub>b</sub>			400		400	pF

注1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。

2. t<sub>HD : DAT</sub>の最大値 (MAX.) は, 通常転送時の数値であり,  $\overline{\text{ACK}}$  (アクノリッジ) タイミングでは, ウエイトがかかります。t<sub>HD : DAT</sub>は, IICW<sub>L</sub>レジスタの設定値により変化します。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(c) CSI11 (マスタ・モード,  $\overline{\text{SCK11}}$ ...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{\text{SCK11}}$ サイクル・タイム	$t_{\text{KCY1}}$	4.0 V $V_{\text{DD}} < 5.5 \text{ V}$	200			ns
		2.7 V $V_{\text{DD}} < 4.0 \text{ V}$	400			ns
		1.8 V $V_{\text{DD}} < 2.7 \text{ V}$	600			ns
$\overline{\text{SCK11}}$ ハイ, ロウ・レベル幅	$t_{\text{KH1}}$ , $t_{\text{KL1}}$	4.0 V $V_{\text{DD}} < 5.5 \text{ V}$	$t_{\text{KCY1}}/2 - 20^{\text{注1}}$			ns
		2.7 V $V_{\text{DD}} < 4.0 \text{ V}$	$t_{\text{KCY1}}/2 - 30^{\text{注1}}$			ns
		1.8 V $V_{\text{DD}} < 2.7 \text{ V}$	$t_{\text{KCY1}}/2 - 60^{\text{注1}}$			ns
SI11セットアップ時間 (対 $\overline{\text{SCK11}}$ ↑)	$t_{\text{SIK1}}$	4.0 V $V_{\text{DD}} < 5.5 \text{ V}$	70			ns
		2.7 V $V_{\text{DD}} < 4.0 \text{ V}$	100			ns
		1.8 V $V_{\text{DD}} < 2.7 \text{ V}$	190			ns
SI11ホールド時間 (対 $\overline{\text{SCK11}}$ ↑)	$t_{\text{KSI1}}$		30			ns
$\overline{\text{SCK11}}$ ↓ SO11出力遅延時間	$t_{\text{KSO1}}$	$C = 50 \text{ pF}^{\text{注2}}$			40	ns

注1. 高速システム・クロック ( $f_{\text{XH}}$ ) 使用時の数値です。

2. Cは、 $\overline{\text{SCK11}}$ , SO11出力ラインの負荷容量です。

(d) CSI11 (スレーブ・モード,  $\overline{\text{SCK11}}$ ...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{\text{SCK11}}$ サイクル・タイム	$t_{\text{KCY2}}$		400			ns
$\overline{\text{SCK11}}$ ハイ, ロウ・レベル幅	$t_{\text{KH2}}$ , $t_{\text{KL2}}$		$t_{\text{KCY2}}/2$			ns
SI11セットアップ時間 (対 $\overline{\text{SCK11}}$ )	$t_{\text{SIK2}}$		80			ns
SI11ホールド時間 (対 $\overline{\text{SCK11}}$ )	$t_{\text{KSI2}}$		50			ns
$\overline{\text{SCK11}}$ SO11出力遅延時間	$t_{\text{KSO2}}$	$C = 50 \text{ pF}^{\text{注}}$			120	ns

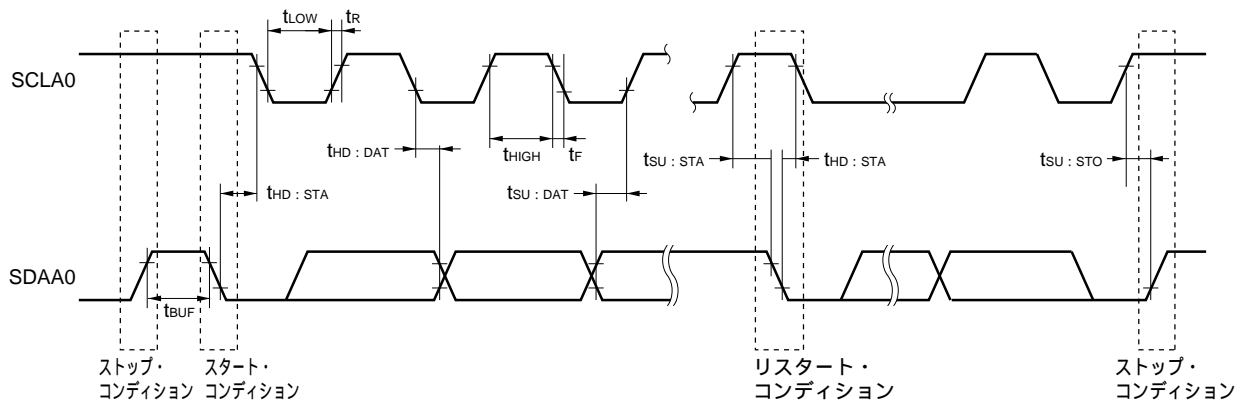
注 Cは、SO11出力ラインの負荷容量です。



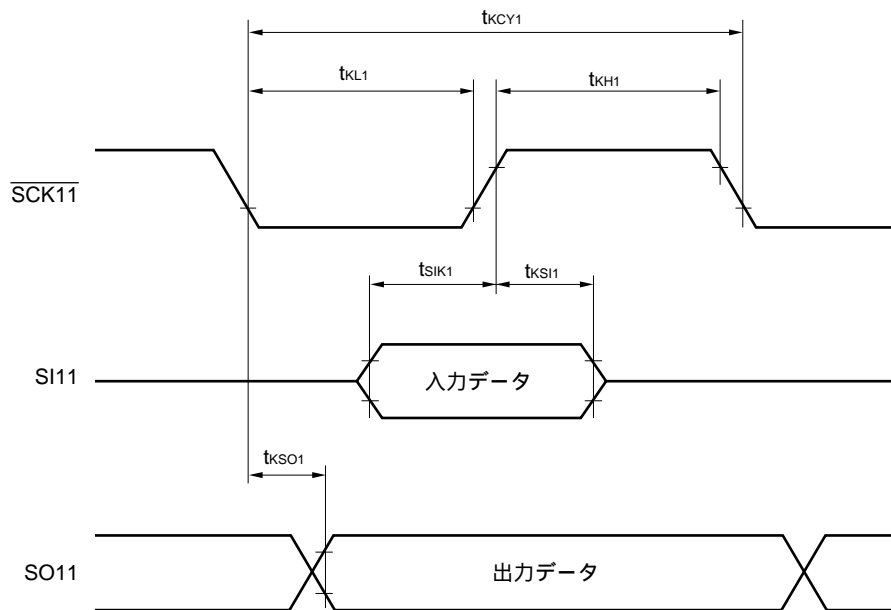
注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

### シリアル転送タイミング

IICA :



CSI11 :



注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

## アナログ特性

### (1) A/Dコンバータ

( $T_A = -40 \sim +85$  ,  $1.8 \text{ V} < AV_{REF} < V_{DD} = 5.5 \text{ V}$ ,  $V_{SS} = AV_{SS} = 0 \text{ V}$ )

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES					10	bit
総合誤差 <sup>注1,2</sup>	AINL	高速モード1	$4.0 \text{ V} < AV_{REF} < 5.5 \text{ V}$			$\pm 0.4$	%FSR
		高速モード2	$2.7 \text{ V} < AV_{REF} < 5.5 \text{ V}$			$\pm 0.6$	%FSR
		標準モード	$4.0 \text{ V} < AV_{REF} < 5.5 \text{ V}$			$\pm 0.4$	%FSR
			$2.7 \text{ V} < AV_{REF} < 4.0 \text{ V}$			$\pm 0.6$	%FSR
		低電圧モード	$1.8 \text{ V} < AV_{REF} < 2.7 \text{ V}$			$\pm 1.2$	%FSR
変換時間	tCONV	高速モード1	$4.0 \text{ V} < AV_{REF} < 5.5 \text{ V}$	3.3		66	$\mu\text{s}$
		高速モード2	$2.7 \text{ V} < AV_{REF} < 5.5 \text{ V}$	4.4		66	$\mu\text{s}$
		標準モード	$4.0 \text{ V} < AV_{REF} < 5.5 \text{ V}$	6.6		66	$\mu\text{s}$
			$2.7 \text{ V} < AV_{REF} < 4.0 \text{ V}$	13.2		66	$\mu\text{s}$
		低電圧モード	$1.8 \text{ V} < AV_{REF} < 2.7 \text{ V}$	44		66	$\mu\text{s}$
ゼロスケール誤差 <sup>注1,2</sup>	EzS	高速モード1	$4.0 \text{ V} < AV_{REF} < 5.5 \text{ V}$			$\pm 0.4$	%FSR
		高速モード2	$2.7 \text{ V} < AV_{REF} < 5.5 \text{ V}$			$\pm 0.6$	%FSR
		標準モード	$4.0 \text{ V} < AV_{REF} < 5.5 \text{ V}$			$\pm 0.4$	%FSR
			$2.7 \text{ V} < AV_{REF} < 4.0 \text{ V}$			$\pm 0.6$	%FSR
		低電圧モード	$1.8 \text{ V} < AV_{REF} < 2.7 \text{ V}$			$\pm 0.6$	%FSR
フルスケール誤差 <sup>注1,2</sup>	EFS	高速モード1	$4.0 \text{ V} < AV_{REF} < 5.5 \text{ V}$			$\pm 0.4$	%FSR
		高速モード2	$2.7 \text{ V} < AV_{REF} < 5.5 \text{ V}$			$\pm 0.6$	%FSR
		標準モード	$4.0 \text{ V} < AV_{REF} < 5.5 \text{ V}$			$\pm 0.4$	%FSR
			$2.7 \text{ V} < AV_{REF} < 4.0 \text{ V}$			$\pm 0.6$	%FSR
		低電圧モード	$1.8 \text{ V} < AV_{REF} < 2.7 \text{ V}$			$\pm 0.6$	%FSR
積分直線性誤差 <sup>注1</sup>	ILE	高速モード1	$4.0 \text{ V} < AV_{REF} < 5.5 \text{ V}$			$\pm 2.5$	LSB
		高速モード2	$2.7 \text{ V} < AV_{REF} < 5.5 \text{ V}$			$\pm 4.5$	LSB
		標準モード	$4.0 \text{ V} < AV_{REF} < 5.5 \text{ V}$			$\pm 2.5$	LSB
			$2.7 \text{ V} < AV_{REF} < 4.0 \text{ V}$			$\pm 4.5$	LSB
		低電圧モード	$1.8 \text{ V} < AV_{REF} < 2.7 \text{ V}$			$\pm 6.5$	LSB
微分直線性誤差 <sup>注1</sup>	DLE	高速モード1	$4.0 \text{ V} < AV_{REF} < 5.5 \text{ V}$			$\pm 1.5$	LSB
		高速モード2	$2.7 \text{ V} < AV_{REF} < 5.5 \text{ V}$			$\pm 2.0$	LSB
		標準モード	$4.0 \text{ V} < AV_{REF} < 5.5 \text{ V}$			$\pm 1.5$	LSB
			$2.7 \text{ V} < AV_{REF} < 4.0 \text{ V}$			$\pm 2.0$	LSB
		低電圧モード	$1.8 \text{ V} < AV_{REF} < 2.7 \text{ V}$			$\pm 2.0$	LSB
アナログ入力電圧	VAIN	$1.8 \text{ V} < AV_{REF} < 5.5 \text{ V}$		AVSS		AVREF	V

注1. 量子化誤差 ( $\pm 1/2 \text{ LSB}$ ) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

## (2) コンパレータ

( $T_A = -40 \sim +85$  ,  $2.7 V \leq AV_{REF} \leq V_{DD} \leq 5.5 V$ ,  $V_{SS} = AV_{SS} = 0 V$ )

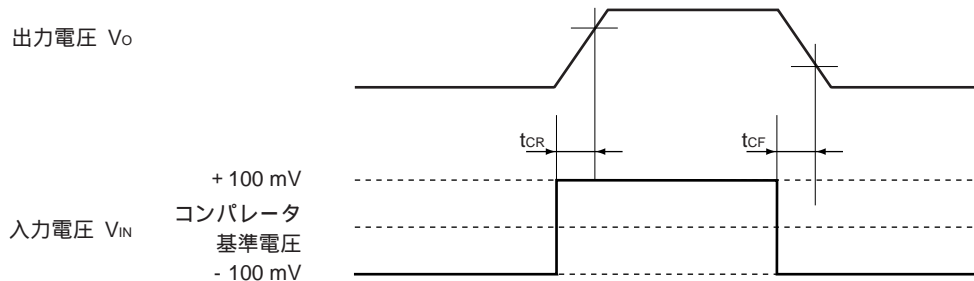
項目	略号	条件	MIN.	TYP.	MAX.	単位
入力オフセット電圧	$V_{IOCOMP}$			$\pm 5$	$\pm 40$	mV
同相入力電圧範囲	$V_{ICMP}$	CMP0+, CMP1+, CMP2+	0		$AV_{REF}$	V
		CMPCOM	0.045		$0.9 AV_{REF}$	V
内部基準電圧偏差	$V_{IREF}$				$60^{\text{注1}}$	mV
応答時間	$t_{CR}, t_{CF}$	入力振幅 $\pm 100$ mV		70	200	ns
動作安定待ち時間 <sup>注2</sup>	$t_{CMP}$				1	$\mu s$
基準電圧安定待ち時間	$t_{VR}$	CVRE : 0 1 <sup>注3</sup>			20	$\mu s$
		CVRE = 1, 基準電圧レベル変更時 <sup>注4</sup>			5	$\mu s$

注1.  $C_nVRS4$ - $C_nVRS0$ ビット ( $n = 0-2$ ) を 1, 1, 1, 1, 1 に設定した場合、内蔵基準電圧範囲は  $1.58 V \pm 60$  mV になります。

2. コンパレータの動作許可 ( $CMPnEN$ ビット = 1 :  $n = 0-2$ ) から、コンパレータが DC/AC 特性を満足できる状態になるまでの時間です。

3. 内蔵基準電圧生成を動作許可 ( $CVRE$ ビット = 1) し、動作安定待ち時間をウエイトしてから、コンパレータ出力を許可 ( $CnOE$ ビット = 1 :  $n = 0-2$ ) してください。

4. 内蔵基準電圧生成の動作が許可 ( $CVRE$ ビット = 1) し、内蔵基準電圧レベルを変更したあとに、動作安定待ち時間をウエイトしてから、コンパレータ出力を許可 ( $CnOE$ ビット = 1 :  $n = 0-2$ ) してください。



注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

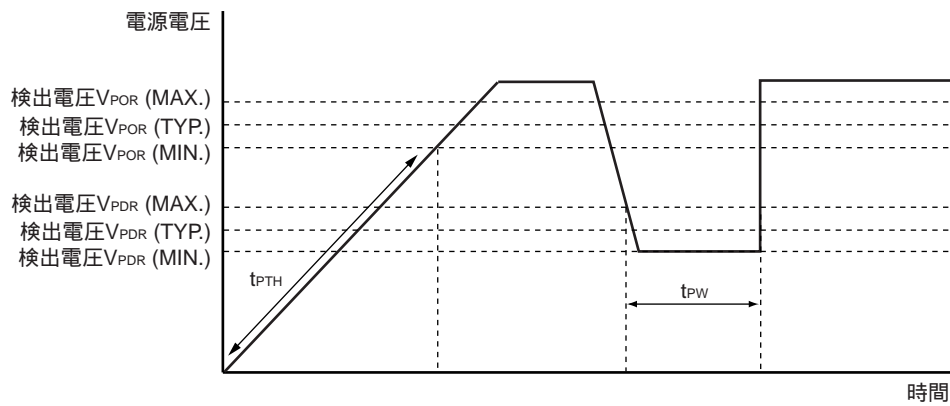
### (3) POC

( $T_A = -40 \sim +85$  ,  $V_{SS} = 0\text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	$V_{POR}$		1.52	1.61	1.70	V
	$V_{PDR}$		1.50	1.59	1.68	V
電源電圧立ち上がり傾き	$t_{PTH}$	$V_{DD} : 0\text{ V}$ $V_{POR}$ の変化傾き	0.5			V/ms
最小パルス幅	$t_{PW}$	電源降下時	200			$\mu\text{s}$
検出遅延					200	$\mu\text{s}$

注意 1.8 V  $V_{DD} < 2.7\text{ V}$  のとき、CPUは $f_{IH} = 4\text{ MHz}$  (TYP.) で動作可能です。

#### POC回路タイミング



注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

#### (4) 電源電圧立ち上げ時間

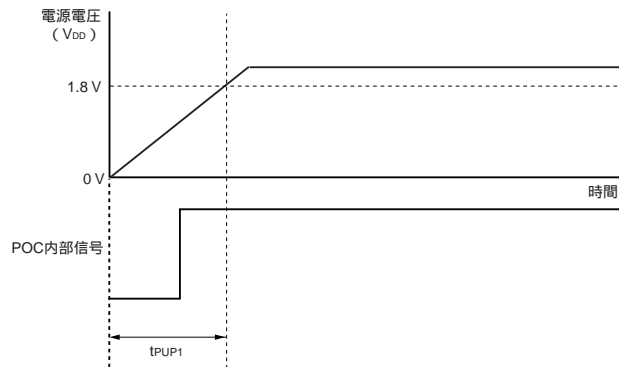
( $T_A = -40 \sim +85$  ,  $V_{SS} = 0 V$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
1.8 V ( $V_{DD}$ (MIN.)) までの立ち上げ最大時間 <sup>注</sup> ( $V_{DD} : 0 V \sim 1.8 V$ )	$t_{PUP1}$	LVIデフォルト・スタート無効 ( $\overline{LVISTART}$ (オプション・バイト) = 0) , $\overline{RESET}$ 入力未使用時			3.6	ms
1.8 V ( $V_{DD}$ (MIN.)) までの立ち上げ最大時間 <sup>注</sup> ( $\overline{RESET}$ 入力解除 $V_{DD} : 1.8 V$ )	$t_{PUP2}$	LVIデフォルト・スタート無効 ( $\overline{LVISTART}$ (オプション・バイト) = 0) , $\overline{RESET}$ 入力使用時			1.9	ms

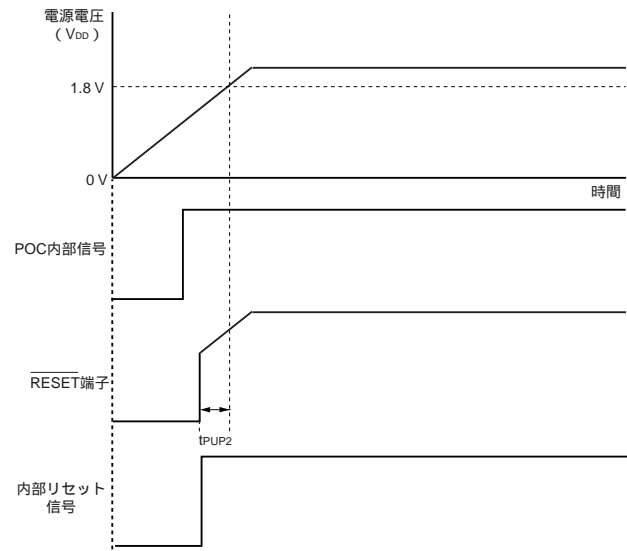
注 この時間より短い時間で電源を立ち上げるようにしてください。

#### 電源電圧立ち上げ時間のタイミング

・  $\overline{RESET}$ 端子入力未使用時



・  $\overline{RESET}$ 端子入力使用時 (POC解除後、 $\overline{RESET}$ 端子による外部リセットが解除される場合)



注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

## (5) LVI

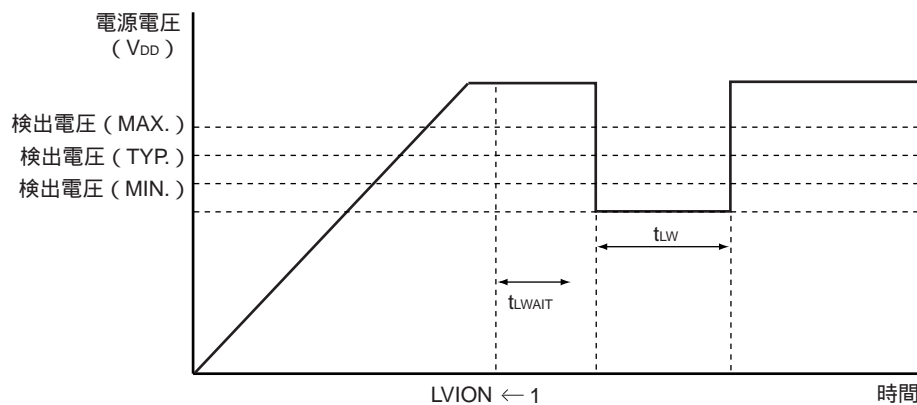
( $T_A = -40 \sim +85$  ,  $V_{PDR} = V_{DD} = 5.5 \text{ V}$  ,  $AV_{REF} = V_{DD}$  ,  $V_{SS} = 0 \text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	電源電圧レベル	$V_{LVI0}$	4.12	4.22	4.32	V
		$V_{LVI1}$	3.97	4.07	4.17	V
		$V_{LVI2}$	3.82	3.92	4.02	V
		$V_{LVI3}$	3.66	3.76	3.86	V
		$V_{LVI4}$	3.51	3.61	3.71	V
		$V_{LVI5}$	3.35	3.45	3.55	V
		$V_{LVI6}$	3.20	3.30	3.40	V
		$V_{LVI7}$	3.05	3.15	3.25	V
		$V_{LVI8}$	2.89	2.99	3.09	V
		$V_{LVI9}$	2.74	2.84	2.94	V
		$V_{LVI10}$	2.58	2.68	2.78	V
		$V_{LVI11}$	2.43	2.53	2.63	V
		$V_{LVI12}$	2.28	2.38	2.48	V
		$V_{LVI13}$	2.12	2.22	2.32	V
		$V_{LVI14}$	2.00	2.07	2.14	V
	$V_{LVI15}$	1.81	1.91	2.01	V	
電源立ち上げ時電源電圧	$V_{DDLVI}$	LVIデフォルト・スタート機能動作時 ( $LVISTART = 1$ )	1.81	1.91	2.01	V
最小パルス幅	$t_{LW}$		200			$\mu\text{s}$
検出遅延					200	$\mu\text{s}$
動作安定待ち時間 <sup>※</sup>	$t_{LWAIT}$				10	$\mu\text{s}$

注 低電圧検出レジスタ (LVIM) のビット7 (LVION) に1を設定してから動作が安定するまでの時間です。

備考  $V_{LVI(n-1)} > V_{LVI n} : n = 1-15$

## LVI回路タイミング

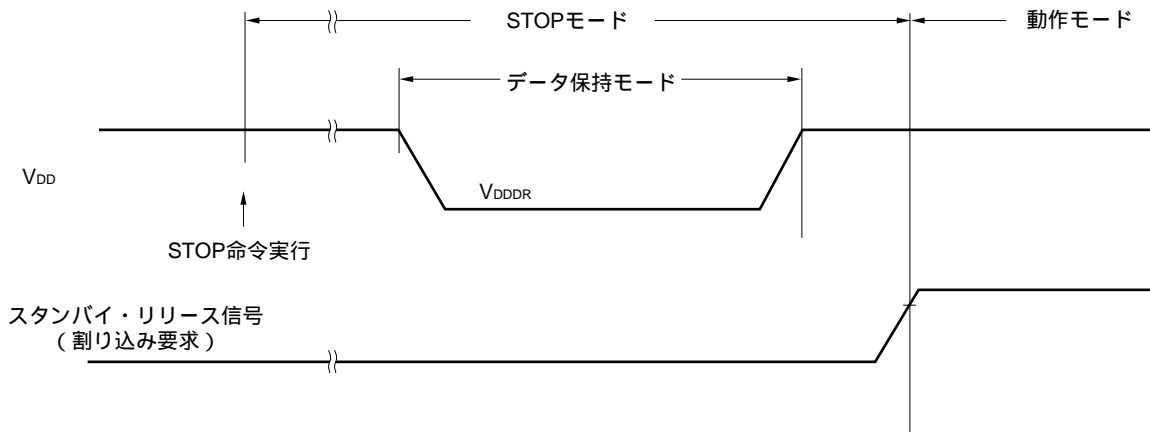


注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

### データ・メモリSTOPモード低電源電圧データ保持特性 ( $T_A = -40 \sim +85$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V <sub>DDDR</sub>		1.50 <sup>注</sup>		5.5	V

注 POC検出電圧に依存します。電圧降下時、POCリセットがかかるまではデータを保持しますが、POCリセットがかかった場合のデータは保持されません。



### フラッシュ・メモリ・プログラミング特性

(  $T_A = -40 \sim +85$  , 2.7 V  $V_{DD}$  5.5 V, AV<sub>REF</sub>  $V_{DD}$ , V<sub>SS</sub> = AV<sub>SS</sub> = 0 V )

#### ・基本特性

項目	略号	条件		MIN.	TYP.	MAX.	単位	
V <sub>DD</sub> 電源電流	I <sub>DD</sub>				4.5	11.0	mA	
1チップあたりの書き換え回数	C <sub>erwr</sub>	消去1回 + 消去後の書き込み1回 = 書き換え回数1回とする <sup>注</sup>	通常電力モード時 (RMC = 00H)	フラッシュ・メモリ・プログラマ使用時および当社提供のセルフ・プログラミング・ライブラリ使用時	保持15年	1000		回
				当社提供のEEPROMエミュレーション・ライブラリ (書き換えROMサイズ: 4 Kバイト) 使用時	保持5年	10000		回
動作温度		フラッシュ・メモリ・プログラマ使用時: 10 ~ 40 , セルフ・プログラミング時: -40 ~ +85						
動作電圧範囲		通常電力モード時 (RMC = 00H)	フラッシュ・メモリ・プログラマ使用時	2.7 ~ 5.5 V @ 8 MHz (MAX.)				
			セルフ・プログラミング時	2.7 ~ 5.5 V @ 20 MHz (MAX.)				

注 出荷品に対する初回書き込み時では、「消去 書き込み」の場合も、「書き込みのみ」の場合も書き換え1回となります。

## 第28章 電気的特性 ( (A2) 水準品 )

対象製品 78K0/FY2-L:  $\mu$  PD78F0854(A2), 78F0855(A2), 78F0856(A2)

78K0/FA2-L:  $\mu$  PD78F0857(A2), 78F0858(A2), 78F0859(A2)

78K0/FB2-L:  $\mu$  PD78F0864(A2), 78F0865(A2)

注意1. 78K0/Fx2-Lマイクロコントローラには開発 / 評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があります。製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

2. 製品により、搭載している端子が次のように異なります。

### (1) ポート機能

ポート	78K0/FY2-L	78K0/FA2-L	78K0/FB2-L
	16ピン	20ピン	30ピン
ポート0	P00, P01		P00-P02
ポート2	P20-P23	P20-P25	P20-P27
ポート3	P30	P30-P32	P30-P37
ポート6	P60, P61		
ポート7	-		P70
ポート12	P121, P122		

( 次ページに、続きの表があります )



## (2) ポート以外の機能

機 能	78K0/FY2-L	78K0/FA2-L	78K0/FB2-L
	16ピン	20ピン	30ピン
電源, グランド	V <sub>DD</sub> , V <sub>SS</sub> , AV <sub>REF</sub>		V <sub>DD</sub> , AV <sub>REF</sub> , V <sub>SS</sub> , AV <sub>SS</sub>
レギュレータ	REGC		
リセット	RESET		
クロック発振	X1, X2, EXCLK		
割り込み	INTP0, INTP1	INTP0-INTP3	INTP0-INTP5
タイムマ	TMX0	-	TOX00, TOX01, TOX10, TOX11
	TM00	TI000, TI010, TO00	
	TM51	TI51	
	TMH1	TOH1	
インタフェース	UART6	RxD6, TxD6	
	IICA	SCLA0, SDAA0	
	CSI11	-	SCK11, SI11, SO11, SSI11
A/Dコンバータ	ANI0-ANI3	ANI0-ANI5	ANI0-ANI8
コンパレータ	CMP2+	CMP0+-CMP2+	CMP0+-CMP2+, CMPCOM
オンチップ・デバッグ機能	TOOLC0, TOOLC1	TOOLC0, TOOLC1, TOOLD0, TOOLD1	

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

絶対最大定格 (  $T_A = 25$  ) ( 1/2 )

項目	略号	条件	定格	単位
電源電圧	V <sub>DD</sub>		- 0.5 ~ + 6.5	V
	V <sub>SS</sub>		- 0.5 ~ + 0.3	V
	AV <sub>REF</sub>		- 0.5 ~ V <sub>DD</sub> + 0.3 <sup>注1</sup>	V
	AV <sub>SS</sub>		- 0.5 ~ + 0.3	V
REGC端子入力電圧 <sup>注2</sup>	V <sub>I</sub> REGC		- 0.5 ~ + 3.6 かつ - 0.3 ~ V <sub>DD</sub> + 0.3	V
入力電圧	V <sub>I1</sub>	P00-P02, P30-P37, P60, P61, P121, P122, X1, X2, RESET	- 0.3 ~ V <sub>DD</sub> + 0.3 <sup>注1</sup>	V
	V <sub>I2</sub>	P20-P27, P70	- 0.3 ~ AV <sub>REF</sub> + 0.3 <sup>注1</sup> かつ - 0.3 ~ V <sub>DD</sub> + 0.3 <sup>注1</sup>	V
出力電圧	V <sub>O1</sub>	P00-P02, P30-P37, P60, P61	- 0.3 ~ V <sub>DD</sub> + 0.3 <sup>注1</sup>	V
	V <sub>O2</sub>	P20-P27, P70	- 0.3 ~ AV <sub>REF</sub> + 0.3 <sup>注1</sup>	V
アナログ入力電圧	V <sub>AN</sub>	ANI0-ANI8	- 0.3 ~ AV <sub>REF</sub> + 0.3 <sup>注1</sup> かつ - 0.3 ~ V <sub>DD</sub> + 0.3 <sup>注1</sup>	V

注1. 6.5 V以下であること。

2. REGC端子にはコンデンサ ( 0.47 ~ 1  $\mu$ F ) を介してV<sub>ss</sub>に接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

### 絶対最大定格 ( $T_A = 25$ ) ( 2/2 )

項目	略号	条件		定格	単位
ハイ・レベル出力電流	I <sub>OH1</sub>	1端子	P00-P02, P30-P37, P60, P61	- 10	mA
		端子合計 - 80 mA	P02, P60, P61	- 30	mA
			P00, P01, P30-P37	- 55	mA
	I <sub>OH2</sub>	1端子	P20-P27, P70	- 0.5	mA
		端子合計		- 2	mA
ロウ・レベル出力電流	I <sub>OL1</sub>	1端子	P00-P02, P30-P37, P60, P61	30	mA
		端子合計 200 mA	P02, P60, P61	85	mA
			P00, P01, P30-P37	140	mA
	I <sub>OL2</sub>	1端子	P20-P27, P70	1	mA
		端子合計		5	mA
動作周囲温度	T <sub>A</sub>			- 40 ~ + 125	°C
保存温度	T <sub>stg</sub>			- 65 ~ + 150	°C

- 注意1. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。
2. 1端子あたりに流すことができる電流値は、1端子当たりの電流値と端子合計の電流値の両方の値を満たす必要があります。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

### X1発振回路特性

( $T_A = -40 \sim +125$  ,  $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ ,  $V_{SS} = AV_{SS} = 0\text{ V}$ )

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック/ 水晶発振子		X1クロック発振周波数 ( $f_x$ ) <sup>注</sup>	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	2.0		20.0	MHz
			$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$	2.0		10.0	MHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に $V_{SS}$ と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. リセット解除後は、高速内蔵発振クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ(OSTC)でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ(OSTS)の発振安定時間を決定してください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

### 高速内蔵発振回路特性

( $T_A = -40 \sim +125$  ,  $2.7\text{ V } V_{DD} \ 5.5\text{ V}, V_{SS} = AV_{SS} = 0\text{ V}$ )

発振子	項目	条件		MIN.	TYP.	MAX.	単位
高速内蔵発振器	発振周波数 ( $f_{IH} = 4$ MHz) 偏差 <sup>注1,2</sup>	RSTS = 1 (高精度)	$T_A = -20 \sim +70$			$\pm 2$	%
			$T_A = -40 \sim +85$			$\pm 3$	%
			$T_A = -40 \sim +125$			$\pm 5$	%
	発振周波数 ( $f_{IH} = 8$ MHz) 偏差 <sup>注1,2</sup>	RSTS = 1 (高精度)	$T_A = -40 \sim +85$			$\pm 3$	%
			$T_A = -40 \sim +125$			$\pm 5$	%
	発振周波数 ( $f_{IH}$ ) <sup>注1</sup>	RSTS = 0	低消費電力モード時 (RMC = 56H)	1.86	4.2	7.42	MHz
通常電力モード時 (RMC = 00H)			1.86	5.0	8.7	MHz	

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2. 高速内蔵発振周波数 (4 MHzまたは8 MHz) は、オプション・バイトで設定します。第23章 オプション・バイトを参照してください。

### PLL回路特性

( $T_A = -40 \sim +125$  ,  $2.7\text{ V } V_{DD} \ 5.5\text{ V}, V_{SS} = AV_{SS} = 0\text{ V}$ )

項目	略号	条件		MIN.	TYP.	MAX.	単位
PLL入力クロック周波数	$f_{PLLIN}$	高速システム・クロック選択時 ( $f_x = 4\text{ MHz}$ )		3.92	4.00	4.08	MHz
		高速内蔵発振クロック選択時 ( $f_{IH} = 4\text{ MHz}$ )	$T_A = -20 \sim +70$	3.92	4.00	4.08	MHz
			$T_A = -40 \sim +85$	3.88	4.00	4.12	MHz
			$T_A = -40 \sim +125$	3.80	4.00	4.20	MHz
PLL出力クロック周波数	$f_{PLL}$				$f_{PLLIN} \times 10$		MHz
ロングターム・ジッタ	$T_{LJ}$	$f_{PLL} = 40\text{ MHz}, 400$ カウント以上			0.0029	0.10	% $f_{PLL}$

### 低速内蔵発振回路特性

( $T_A = -40 \sim +125$  ,  $2.7\text{ V } V_{DD} \ 5.5\text{ V}, V_{SS} = AV_{SS} = 0\text{ V}$ )

発振子	項目	条件		MIN.	TYP.	MAX.	単位
低速内蔵発振器	発振周波数 ( $f_{IL}$ )	低消費電力モード時 (RMC = 56H)		25.5	30	34.5	kHz
		通常電力モード時 (RMC = 00H)		27	30	33	kHz

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

### DC特性 (1/5)

( $T_A = -40 \sim +125$  ,  $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ ,  $AV_{REF} = V_{DD}$ ,  $V_{SS} = AV_{SS} = 0\text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位		
ハイ・レベル出力電流 <sup>注1</sup>	I <sub>OH1</sub>	P00-P02, P30-P37, P60, P61 1端子	4.0 V $V_{DD} = 5.5\text{ V}$			-1.5	mA	
			2.7 V $V_{DD} < 4.0\text{ V}$			-1.0	mA	
		P02, P60, P61 合計	4.0 V $V_{DD} = 5.5\text{ V}$			-4.5	mA	
			2.7 V $V_{DD} < 4.0\text{ V}$			-3.0	mA	
		P00, P01, P30-P37 合計	4.0 V $V_{DD} = 5.5\text{ V}$			-15.0	mA	
			2.7 V $V_{DD} < 4.0\text{ V}$			-10.0	mA	
	P00-P02, P30-P37, P60, P61 合計 <sup>注3</sup>	4.0 V $V_{DD} = 5.5\text{ V}$			-19.5	mA		
		2.7 V $V_{DD} < 4.0\text{ V}$			-13.0	mA		
		I <sub>OH2</sub>	P20-P27, P70 1端子	$AV_{REF} = V_{DD}$			-100	$\mu\text{A}$
	ロウ・レベル出力電流 <sup>注2</sup>	I <sub>OL1</sub>	P00-P02, P30-P37, 1端子	4.0 V $V_{DD} = 5.5\text{ V}$			4.0	mA
2.7 V $V_{DD} < 4.0\text{ V}$						2.0	mA	
P60, P61 1端子			4.0 V $V_{DD} = 5.5\text{ V}$			8.0	mA	
			2.7 V $V_{DD} < 4.0\text{ V}$			2.0	mA	
P02, P60, P61 合計			4.0 V $V_{DD} = 5.5\text{ V}$			20.0	mA	
			2.7 V $V_{DD} < 4.0\text{ V}$			6.0	mA	
P00, P01, P30-P37 合計		4.0 V $V_{DD} = 5.5\text{ V}$			40.0	mA		
		2.7 V $V_{DD} < 4.0\text{ V}$			20.0	mA		
P00-P02, P30-P37, P60, P61 合計 <sup>注3</sup>		4.0 V $V_{DD} = 5.5\text{ V}$			60.0	mA		
		2.7 V $V_{DD} < 4.0\text{ V}$			26.0	mA		
	I <sub>OL2</sub>	P20-P27, P70 1端子	$AV_{REF} = V_{DD}$			400	$\mu\text{A}$	

注1.  $V_{DD}$ から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

2. 出力端子からGNDに流れ込んでも、デバイスの動作を保証する電流値です。

3. デューティ = 70%の条件 (ある一定の時間をtとすると、電流を出力する時間が $0.7 \times t$ 、電流を出力しない時間が $0.3 \times t$ の場合)でのスペックです。デューティ = 70%以外の端子合計の出力電流は下記の計算式で求めることができます。

・I<sub>OH</sub>のデューティがn%の場合：端子合計の出力電流 =  $(I_{OH} \times 0.7) / (n \times 0.01)$

<計算例> デューティ = 50%, I<sub>OH</sub> = -12 mAの場合

端子合計の出力電流 =  $(-12 \times 0.7) / (50 \times 0.01) = -16.8\text{ mA}$

ただし、1端子当たりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

## DC特性 (2/5)

( $T_A = -40 \sim +125$  ,  $2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ ,  $AV_{REF} = V_{DD}$ ,  $V_{SS} = AV_{SS} = 0 \text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	$V_{IH1}$	P37, P122	$0.7V_{DD}$		$V_{DD}$	V	
	$V_{IH2}$	P20-P27, P70	$0.7AV_{REF}$		$AV_{REF}$	V	
	$V_{IH3}$	P60, P61 (IOポート・モード)	$0.7V_{DD}$		$V_{DD}$	V	
	$V_{IH4}$	P00-P02, P30-P36, RESET, EXCLK	$0.8V_{DD}$		$V_{DD}$	V	
	$V_{IH5}$	P60, P61 (SMBus入力モード)	$2.7 \text{ V} \leq V_{DD} < 3.4 \text{ V}$	2.1			V
			$3.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	$0.8V_{DD}$			V
$V_{IH6}$	P121/<TI000>/<INTP0>	兼用切り替え無効時 (デフォルト), INTP0SEL0 = TM00SEL0 = 0	$0.7V_{DD}$		$V_{DD}$	V	
		兼用切り替え有効時 (78K0/FB2-Lのみ), INTP0SEL0 = 1, またはTM00SEL0 = 1	$0.7V_{DD}$		$V_{DD}$	V	
ロウ・レベル入力電圧	$V_{IL1}$	P37, P122	0		$0.3V_{DD}$	V	
	$V_{IL2}$	P20-P27, P70	0		$0.3AV_{REF}$	V	
	$V_{IL3}$	P60, P61 (IOポート・モード)	0		$0.3V_{DD}$	V	
	$V_{IL4}$	P00-P02, P30-P36, RESET, EXCLK	0		$0.2V_{DD}$	V	
	$V_{IL5}$	P60, P61 (SMBus入力モード)	$2.7 \text{ V} \leq V_{DD} < 3.4 \text{ V}$	0		0.8	V
			$3.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	0		$0.2V_{DD}$	V
$V_{IL6}$	P121/<TI000>/<INTP0>	兼用切り替え無効時 (デフォルト), INTP0SEL0 = TM00SEL0 = 0	0		$0.4V_{DD}$	V	
		兼用切り替え有効時 (78K0/FB2-Lのみ), INTP0SEL0 = 1, またはTM00SEL0 = 1	0		$0.3V_{DD}$	V	
ハイ・レベル出力電圧	$V_{OH1}$	P00-P02, P30-P37, P60, P61	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ , $I_{OH1} = -1.5 \text{ mA}$		$V_{DD} - 0.7$	V	
			$2.7 \text{ V} \leq V_{DD} < 5.5 \text{ V}$ , $I_{OH1} = -1.0 \text{ mA}$		$V_{DD} - 0.5$	V	
	$V_{OH2}$	P20-P27, P70	$AV_{REF} = V_{DD}$ , $I_{OH2} = -100 \mu\text{A}$	$V_{DD} - 0.5$			V

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

## DC特性 (3/5)

( $T_A = -40 \sim +125$  ,  $2.7 \text{ V} < V_{DD} \leq 5.5 \text{ V}$ ,  $AV_{REF} = V_{DD}$ ,  $V_{SS} = AV_{SS} = 0 \text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位		
ロウ・レベル出力電圧	VOL1	P00-P02, P30-P37	4.0 V $V_{DD} \leq 5.5 \text{ V}$ , $I_{OL1} = 4.0 \text{ mA}$			0.7	V	
			2.7 V $V_{DD} < 5.5 \text{ V}$ , $I_{OL1} = 2.0 \text{ mA}$			0.7	V	
	VOL2	P20-P27, P70	$AV_{REF} = V_{DD}$ , $I_{OL2} = 0.4 \text{ mA}$			0.4	V	
	VOL3	P60, P61	4.0 V $V_{DD} \leq 5.5 \text{ V}$ , $I_{OL1} = 8.0 \text{ mA}$			2.0	V	
			4.0 V $V_{DD} \leq 5.5 \text{ V}$ , $I_{OL1} = 2.0 \text{ mA}$			0.6	V	
			2.7 V $V_{DD} < 4.0 \text{ V}$ , $I_{OL1} = 2.0 \text{ mA}$			0.6	V	
ハイ・レベル入力リーク電流	ILIH1	P00-P02, P30-P37, P60, P61, RESET	$V_i = V_{DD}$			5	$\mu\text{A}$	
	ILIH2	P20-P27, P70	$V_i = AV_{REF} = V_{DD}$			5	$\mu\text{A}$	
	ILIH3	P121, P122 X1, X2	$V_i = V_{DD}$	I/Oポート・モード			5	$\mu\text{A}$
			$V_{DD}$	OSCモード			20	$\mu\text{A}$
ロウ・レベル入力リーク電流	ILIL1	P00-P02, P30-P37, P60, P61, RESET	$V_i = V_{SS}$			-5	$\mu\text{A}$	
	ILIL2	P20-P27, P70	$V_i = V_{SS}$ , $AV_{REF} = V_{DD}$			-5	$\mu\text{A}$	
	ILIL3	P121, P122 X1, X2	$V_i = V_{SS}$	I/Oポート・モード			-5	$\mu\text{A}$
			$V_{SS}$	OSCモード			-20	$\mu\text{A}$
プルアップ抵抗値	RPLU1	P00-P02, P30-P37, P60, P61	$V_i = V_{SS}$	10	20	100	$\text{k}\Omega$	
	RPLU2	RESET		75	150	300	$\text{k}\Omega$	

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。



注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

## DC特性 (4/5)

( $T_A = -40 \sim +125$  ,  $V_{DD} = 5.5 \text{ V}$ ,  $AV_{REF} = V_{DD}$ ,  $V_{SS} = AV_{SS} = 0 \text{ V}$ )

項目	略号	条件			MIN.	TYP.	MAX.	単位
電源電流 <sup>注1</sup>	IDD1 <sup>注2</sup>	動作モード	$f_{XH} = 20\text{MHz}$ <sup>注4</sup>	方形波入力		3.2	8.3	mA
			$V_{DD} = 5.0 \text{ V}$ , $RMC = 00H$	発振子接続		4.5	10.5	mA
		$f_{XH} = 10 \text{ MHz}$ ,	方形波入力		1.6	3.9	mA	
		$V_{DD} = 5.0 \text{ V}$ , $RMC = 00H$	発振子接続		2.3	5.4	mA	
		$f_{XH} = 10 \text{ MHz}$ ,	方形波入力		1.5	3.8	mA	
		$V_{DD} = 3.0 \text{ V}$ , $RMC = 00H$	発振子接続		2.2	4.5	mA	
		$f_{XH} = 5 \text{ MHz}$ ,	方形波入力		0.9	2.4	mA	
		$V_{DD} = 3.0 \text{ V}$ , $RMC = 00H$	発振子接続		1.3	3.0	mA	
		$f_{IH} = 4 \text{ MHz}$ , $V_{DD} = 3.0 \text{ V}$ , $RMC = 56H$			0.5	1.5	mA	
		$f_{IH} = 8 \text{ MHz}$ , $V_{DD} = 5.0 \text{ V}$ , $RMC = 00H$			1.3	3.2	mA	
	$f_{IH} = 4 \text{ MHz}$ , $f_{CPU} = 1 \text{ MHz}$ , <sup>注5</sup>			0.22	1.0	mA		
	$V_{DD} = 3.0 \text{ V}$ , $RMC = 56H$							
	$f_{PLL} = 40 \text{ MHz}$ ,	$f_{XH} = 4 \text{ MHz}$	方形波入力		4.5	8.5	mA	
	$f_{CPU} = 20 \text{ MHz}$ ,		発振子接続		4.8	9.7	mA	
	$V_{DD} = 5.0 \text{ V}$ ,	$f_{IH} = 4 \text{ MHz}$ <sup>注6</sup>	内蔵発振		4.5	8.5	mA	
	$RMC = 00H$							
	IDD2 <sup>注3</sup>	HALTモード	$f_{XH} = 20\text{MHz}$ <sup>注4</sup>	方形波入力		0.8	3.9	mA
			$V_{DD} = 5.0 \text{ V}$ , $RMC = 00H$	発振子接続		2.0	6.6	mA
			$f_{XH} = 10 \text{ MHz}$ ,	方形波入力		0.4	1.3	mA
			$V_{DD} = 5.0 \text{ V}$ , $RMC = 00H$	発振子接続		1.0	2.4	mA
$f_{XH} = 5 \text{ MHz}$ ,			方形波入力		0.2	0.9	mA	
$V_{DD} = 3.0 \text{ V}$ , $RMC = 00H$			発振子接続		0.5	1.6	mA	
$f_{IH} = 4 \text{ MHz}$ , $V_{DD} = 3.0 \text{ V}$ , $RMC = 56H$					0.2	0.7	mA	
$f_{IH} = 8 \text{ MHz}$ , $V_{DD} = 5.0 \text{ V}$ , $RMC = 00H$					0.3	1.3	mA	
$f_{PLL} = 40 \text{ MHz}$ ,			$f_{XH} = 4 \text{ MHz}$	方形波入力		1.3	3.4	mA
$f_{CPU} = 20 \text{ MHz}$ ,				発振子接続		1.6	5.4	mA
$V_{DD} = 5.0 \text{ V}$ ,	$f_{IH} = 4 \text{ MHz}$ <sup>注6</sup>	内蔵発振		1.3	3.4	mA		
$RMC = 00H$								

注1. 内部電源 ( $V_{DD}$ ,  $AV_{REF}$ ) に流れるトータル電流です。入力端子を  $V_{DD}$  または  $V_{SS}$  に固定した状態での入力リーク電流を含みます。ただし、ポートのプルアップ抵抗、プルダウン抵抗と出力電流は含みません。

2. CPUに供給されるクロック発振以外の発振回路に流れる電流は含みません。また、LVI回路、A/Dコンバータ、コンパレータ、ウォッチドッグ・タイマ、シリアル・インタフェースに流れる電流は含みません。

3. CPUに供給されるクロック発振以外の発振回路に流れる電流は含みません。また、LVI回路、A/Dコンバータ、コンパレータ、ウォッチドッグ・タイマ、16ビット・タイマX0, X1, 8ビットタイマ/イベント・カウンタ51, 8ビット・タイマH1 (カウント・クロックに30 kHz低速内蔵発振クロックを使用)、シリアル・インタフェースに流れる電流は含みません。

4. OSCCTL.AMPH = 1設定時

5. PCC2 = 0, PCC1 = 1, PCC0 = 0に設定したときの値です。

6. 高速内蔵発振クロック周波数は、オプション・バイトで設定します ( $R4M8MSEL = 0 : 8 \text{ MHz}$ ,  $R4M8MSEL = 1 : 4 \text{ MHz}$ )。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

### DC特性 (5/5)

( $T_A = -40 \sim +125$  ,  $2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ ,  $AV_{REF} = V_{DD}$ ,  $V_{SS} = AV_{SS} = 0 \text{ V}$ )

項目	略号	条件			MIN.	TYP.	MAX.	単位
電源電流 <sup>注1</sup>	I <sub>DD3</sub> <sup>注2</sup>	STOPモード	V <sub>DD</sub> = 3.0 V RMC = 56H	T <sub>A</sub> = -40 ~ +50		0.3	2.7	μA
				T <sub>A</sub> = -40 ~ +70		0.3	3.7	μA
				T <sub>A</sub> = -40 ~ +85		0.3	5.5	μA
				T <sub>A</sub> = -40 ~ +125		0.3	60	μA
ウォッチドッグ・タイマ動作電流 <sup>注3</sup>	I <sub>WDT</sub>	30 kHz低速内蔵発振クロック動作時	V <sub>DD</sub> = 3.0 V		0.28	0.5	μA	
TMH1動作電流 <sup>注4</sup>	I <sub>TMH</sub>	カウント・クロックに30 kHz低速内蔵発振クロックを使用している場合	V <sub>DD</sub> = 3.0 V		0.35	2.5	μA	
LVI動作電流 <sup>注5</sup>	I <sub>LVI</sub>				9	27	μA	
A/Dコンバータ動作電流 <sup>注6</sup>	I <sub>ADC</sub>	最高速変換時	高速モード1	AV <sub>REF</sub> = V <sub>DD</sub> = 5.0 V		1.72	3.2	mA
			高速モード2	AV <sub>REF</sub> = V <sub>DD</sub> = 3.0 V		0.72	1.6	mA
			標準モード	AV <sub>REF</sub> = V <sub>DD</sub> = 5.0 V		0.86	1.9	mA
			低電圧モード	AV <sub>REF</sub> = V <sub>DD</sub> = 3.0 V		0.37	0.8	mA
コンパレータ動作電流 <sup>注7</sup>	I <sub>CMP</sub>	内部基準電圧未使用, コンパレータ1chのみ動作時	AV <sub>REF</sub> = V <sub>DD</sub> = 5.0 V			240	μA	
			AV <sub>REF</sub> = V <sub>DD</sub> = 3.0 V			200	μA	
		内部基準電圧使用, コンパレータ1chのみ動作時	AV <sub>REF</sub> = V <sub>DD</sub> = 5.0 V			300	μA	
			AV <sub>REF</sub> = V <sub>DD</sub> = 3.0 V			240	μA	
リセット電流	I <sub>DDrst</sub>	リセット時 ( $\overline{\text{RESET}}$ プルアップ抵抗電流 + リーク電流)	AV <sub>REF</sub> = V <sub>DD</sub> = 5.0 V		35	150	μA	

注1. 内部電源 (V<sub>DD</sub>, AV<sub>REF</sub>) に流れるトータル電流です。入力端子をV<sub>DD</sub>またはV<sub>SS</sub>に固定した状態での入力リーク電流を含みます。ただし、ポートのプルアップ抵抗、プルダウン抵抗と出力電流は含みません。

2. LVI回路、ウォッチドッグ・タイマ、8ビット・タイマH1 (カウント・クロックに30 kHz低速内蔵発振クロックを使用) に流れる電流は含みません。

3. ウォッチドッグ・タイマにのみ流れる電流です (30 kHz内蔵発振器の動作電流を含みます)。ウォッチドッグ・タイマが動作中の場合、I<sub>DD1</sub>, I<sub>DD2</sub>またはI<sub>DD3</sub>にI<sub>WDT</sub>を加算した値が、78K0/Fx2-Lマイクロコントローラの電流値となります。

4. 8ビット・タイマH1にのみ流れる電流です。8ビット・タイマH1が動作中 (カウント・クロックに30 kHz 低速内蔵発振クロックを使用) の場合、I<sub>DD1</sub>, I<sub>DD2</sub>またはI<sub>DD3</sub>にI<sub>TMH</sub>を加算した値が、78K0/Fx2-Lマイクロコントローラの電流値となります。

5. LVI回路にのみ流れる電流です。LVI回路が動作中の場合、I<sub>DD1</sub>, I<sub>DD2</sub>またはI<sub>DD3</sub>にI<sub>LVI</sub>を加算した値が、78K0/Fx2-Lマイクロコントローラの電流値となります。

6. A/Dコンバータ (AV<sub>REF</sub>) にのみ流れる電流です。動作モードまたはHALTモード時にA/Dコンバータが動作中の場合、I<sub>DD1</sub>またはI<sub>DD2</sub>にI<sub>ADC</sub>を加算した値が、78K0/Fx2-Lマイクロコントローラの電流値となります。

7. コンパレータ (AV<sub>REF</sub>) にのみ流れる電流です。動作モードまたはHALTモード時にコンパレータが動作中の場合、I<sub>DD1</sub>またはI<sub>DD2</sub>にI<sub>CMP</sub>を加算した値が、78K0/Fx2-Lマイクロコントローラの電流値となります。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

## AC特性

### (1) 基本動作

( $T_A = -40 \sim +125$  ,  $2.7\text{ V} < V_{DD} < 5.5\text{ V}$ ,  $AV_{REF} = V_{DD}$ ,  $V_{SS} = AV_{SS} = 0\text{ V}$ )

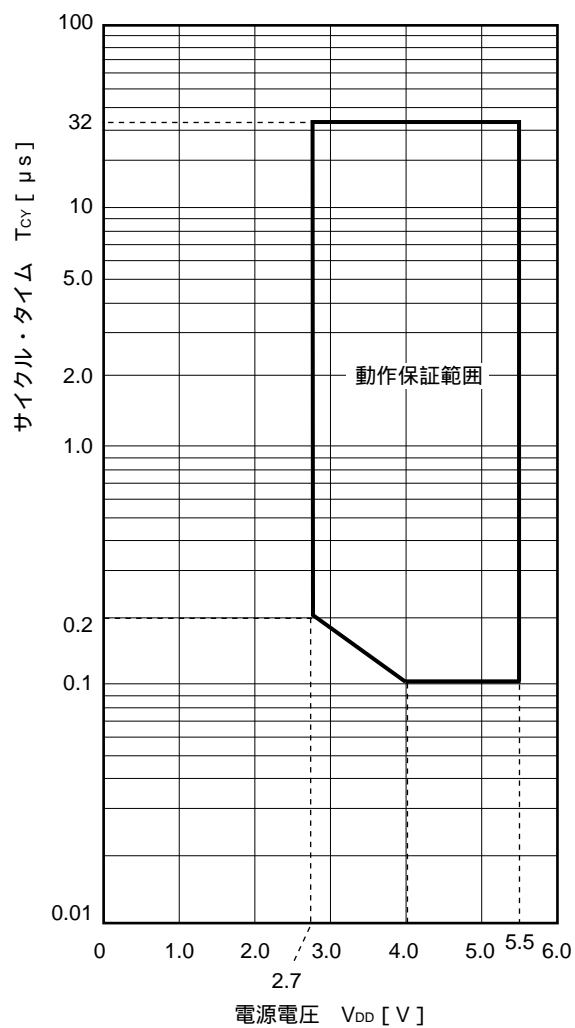
項目	略号	条件		MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	T <sub>cy</sub>	メイン・システム・クロック (f <sub>XP</sub> ) 動作	通常電力モード時 ( RMC = 00H )	4.0 V $V_{DD} < 5.5\text{ V}$ PLL使用時	0.1		32	$\mu\text{s}$
				2.7 V $V_{DD} < 4.0\text{ V}$	0.2		32	$\mu\text{s}$
		低消費電力モード時 ( RMC = 56H )		0.4 <sup>注1</sup>		32	$\mu\text{s}$	
周辺ハードウェア・クロック周波数	f <sub>PRS</sub>	f <sub>PRS</sub> = f <sub>XP</sub>	4.0 V $V_{DD} < 5.5\text{ V}$			20	MHz	
			2.7 V $V_{DD} < 4.0\text{ V}$			10	MHz	
		f <sub>PRS</sub> = f <sub>IH</sub>	f <sub>IH</sub> = 8 MHz	7.6		8.4	MHz	
			f <sub>IH</sub> = 4 MHz	3.88		4.12	MHz	
外部メイン・システム・クロック周波数	f <sub>EXCLK</sub>	4.0 V $V_{DD} < 5.5\text{ V}$		1.0		20.0	MHz	
		2.7 V $V_{DD} < 4.0\text{ V}$		1.0		10.0	MHz	
外部メイン・システム・クロック入力ハイ、ロウ・レベル幅	t <sub>EXCLKH</sub> , t <sub>EXCLKL</sub>			( 1/f <sub>EXCLK</sub> × 1/2 ) - 1			ns	
TI000, TI010入力ハイ・レベル幅, ロウ・レベル幅	t <sub>TIH0</sub> , t <sub>TIL0</sub>	4.0 V $V_{DD} < 5.5\text{ V}$		2/f <sub>sam</sub> + 0.1 <sup>注2</sup>			$\mu\text{s}$	
		2.7 V $V_{DD} < 4.0\text{ V}$		2/f <sub>sam</sub> + 0.2 <sup>注2</sup>			$\mu\text{s}$	
TI51入力周波数	f <sub>TI5</sub>	4.0 V $V_{DD} < 5.5\text{ V}$				10.0	MHz	
		2.7 V $V_{DD} < 4.0\text{ V}$				10.0	MHz	
TI51入力ハイ・レベル幅, ロウ・レベル幅	t <sub>TIH5</sub>	4.0 V $V_{DD} < 5.5\text{ V}$		50			ns	
		2.7 V $V_{DD} < 4.0\text{ V}$		50			ns	
割り込み入力ハイ・レベル幅, ロウ・レベル幅	t <sub>INTH</sub> , t <sub>INTL</sub>			1			$\mu\text{s}$	
RESETロウ・レベル幅	t <sub>RSL</sub>			10			$\mu\text{s}$	
コンパレータ入力ハイ・レベル幅, ロウ・レベル幅	t <sub>CMPL</sub>			125			ns	

注1. 高速内蔵発振クロック動作時では、0.38  $\mu\text{s}$  となります。

2. プリスケーラ・モード・レジスタ00 ( PRM00 ) のビット0, 1 ( PRM000, PRM001 ) により、 $f_{\text{sam}} = f_{\text{PRS}}$ ,  $f_{\text{PRS}}/4$ ,  $f_{\text{PRS}}/256$ の選択が可能です。ただし、カウント・クロックとしてTI000有効エッジを選択した場合は、 $f_{\text{sam}} = f_{\text{PRS}}$  となります。

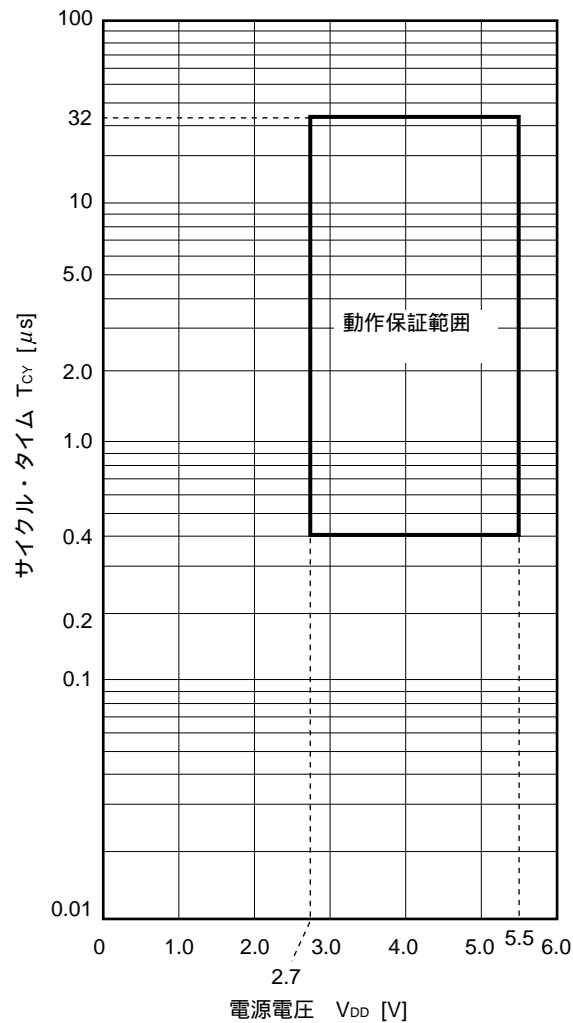
注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

$T_{CY}$  vs  $V_{DD}$  (メイン・システム・クロック動作, RMC = 00H (通常電力モード))

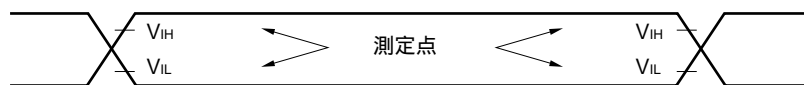


注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

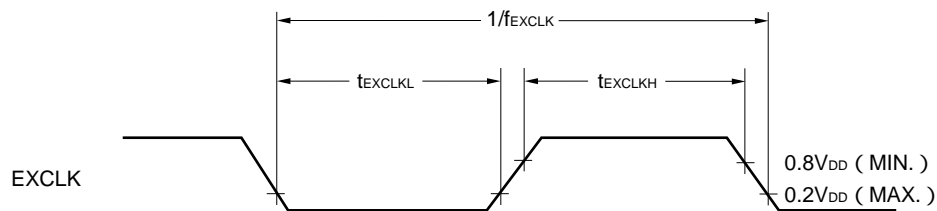
$T_{CY}$  vs  $V_{DD}$  (メイン・システム・クロック動作, RMC = 56H (低消費電力モード))



#### ACタイミング測定点

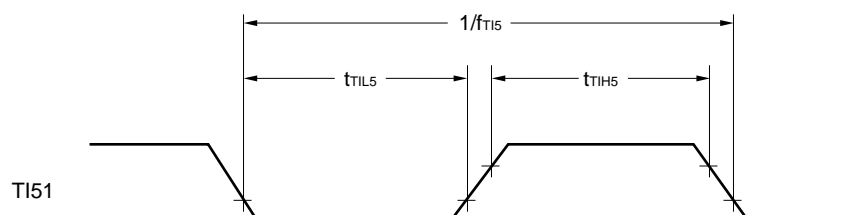
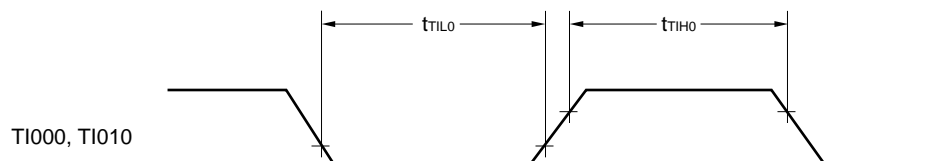


#### 外部メイン・システム・クロック・タイミング

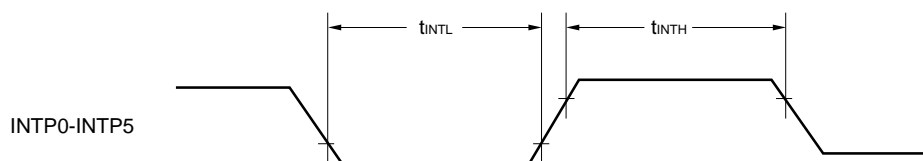


注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

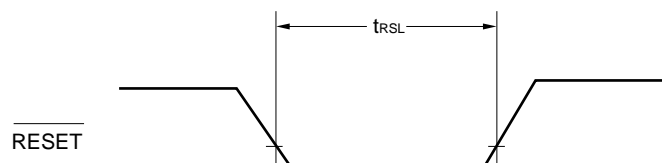
### TI タイミング



### 割り込み要求入力タイミング



### RESET 入力タイミング



注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

## (2) シリアル・インタフェース

( $T_A = -40 \sim +125$  ,  $2.7\text{ V} < V_{DD} \leq 5.5\text{ V}$ ,  $AV_{REF} = V_{DD}$ ,  $V_{SS} = AV_{SS} = 0\text{ V}$ )

### (a) UART6 (専用ボー・レート・ジェネレータ出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
転送レート					625	kbps

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

## (b) IICA

項目	略号	条件	標準モード		高速モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	f <sub>SCL</sub>	ファースト・モード : f <sub>PRS</sub> 3.5 MHz, 標準モード : f <sub>PRS</sub> 1 MHz	0	100	0	400	kHz
スタート・コンディションおよびストップ・コンディションのセットアップ時間	t <sub>SU : STA</sub>		4.7	-	0.6	-	μs
ホールド時間 <sup>注1</sup>	t <sub>HD : STA</sub>		4.0	-	0.6	-	μs
SCLA0 = "L" のホールド・タイム	t <sub>LOW</sub>		4.7	-	1.3	-	μs
SCLA0 = "H" のホールド・タイム	t <sub>HIGH</sub>		4.0	-	0.6	-	μs
データ・セットアップ時間 (受信時)	t <sub>SU : DAT</sub>		250	-	100	-	ns
データ・ホールド時間 (送信時) <sup>注2</sup>	t <sub>HD : DAT</sub>		0	3.45	0	0.9	μs
ストップ・コンディションのセットアップ時間	t <sub>SU : STO</sub>		4.0	-	0.6	-	μs
ストップ・コンディションとスタート・コンディションの間のバス・フリー時間	t <sub>BUF</sub>		4.7	-	1.3	-	μs
SDAA0およびSCLA0信号の立ち上がり時間	t <sub>R</sub>			1000	20 + 0.1C <sub>b</sub>	300	ns
SDAA0およびSCLA0信号の立ち下がり時間	t <sub>F</sub>			300	20 + 0.1C <sub>b</sub>	300	ns
通信ライン (SCLA0, SDAA0) ごとの合計負荷容量値	C <sub>b</sub>			400		400	pF

注1. スタート・コンディション、リスタート・コンディション時は、この期間のあと最初のクロック・パルスが生成されます。

2. t<sub>HD : DAT</sub>の最大値 (MAX.) は、通常転送時の数値であり、 $\overline{ACK}$  (アクノリッジ) タイミングでは、ウエイトがかかります。t<sub>HD : DAT</sub>は、IICW<sub>L</sub>レジスタの設定値により変化します。



注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(c) CSI11 (マスタ・モード,  $\overline{\text{SCK11}}$ ...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{\text{SCK11}}$ サイクル・タイム	$t_{\text{CY1}}$	4.0 V $V_{\text{DD}}$ 5.5 V	200			ns
		2.7 V $V_{\text{DD}} < 4.0$ V	400			ns
$\overline{\text{SCK11}}$ ハイ, ロウ・レベル幅	$t_{\text{KH1}}$ ,	4.0 V $V_{\text{DD}}$ 5.5 V	$t_{\text{CY1}}/2 - 20$ <sup>注1</sup>			ns
	$t_{\text{KL1}}$	2.7 V $V_{\text{DD}} < 4.0$ V	$t_{\text{CY1}}/2 - 30$ <sup>注1</sup>			ns
SI11 セットアップ時間 (対 $\overline{\text{SCK11}}$ ↑)	$t_{\text{SIK1}}$	4.0 V $V_{\text{DD}}$ 5.5 V	70			ns
		2.7 V $V_{\text{DD}} < 4.0$ V	100			ns
SI11 ホールド時間 (対 $\overline{\text{SCK11}}$ ↑)	$t_{\text{KSI1}}$		30			ns
$\overline{\text{SCK11}}$ ↓ SO11 出力遅延時間	$t_{\text{KSO1}}$	$C = 50$ pF <sup>注2</sup>			40	ns

注1. 高速システム・クロック ( $f_{\text{XH}}$ ) 使用時の数値です。

2. C は、 $\overline{\text{SCK11}}$ , SO11 出力ラインの負荷容量です。

(d) CSI11 (スレーブ・モード,  $\overline{\text{SCK11}}$ ...外部クロック入力)

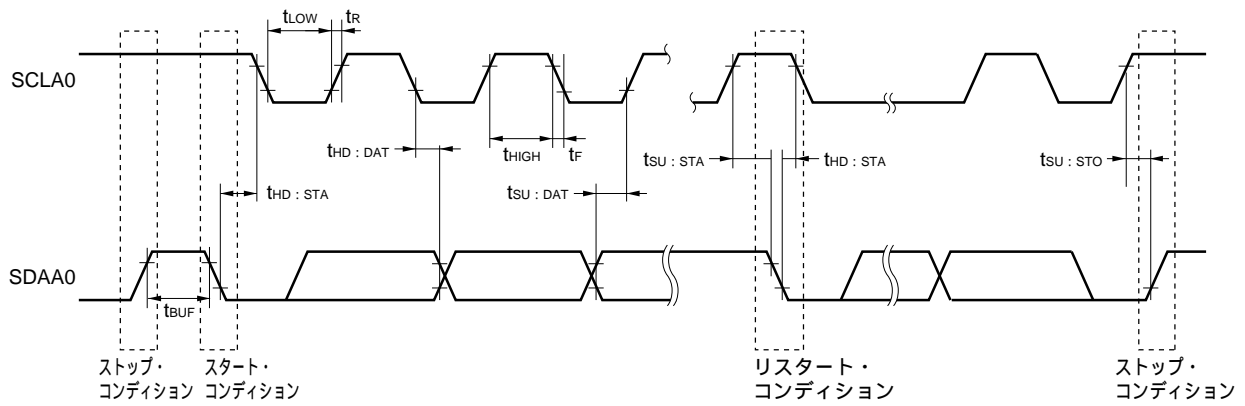
項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{\text{SCK11}}$ サイクル・タイム	$t_{\text{CY2}}$		400			ns
$\overline{\text{SCK11}}$ ハイ, ロウ・レベル幅	$t_{\text{KH2}}$ ,		$t_{\text{CY2}}/2$			ns
	$t_{\text{KL2}}$					
SI11 セットアップ時間 (対 $\overline{\text{SCK11}}$ )	$t_{\text{SIK2}}$		80			ns
SI11 ホールド時間 (対 $\overline{\text{SCK11}}$ )	$t_{\text{KSI2}}$		50			ns
$\overline{\text{SCK11}}$ SO11 出力遅延時間	$t_{\text{KSO2}}$	$C = 50$ pF <sup>注</sup>			120	ns

注 C は、SO11 出力ラインの負荷容量です。

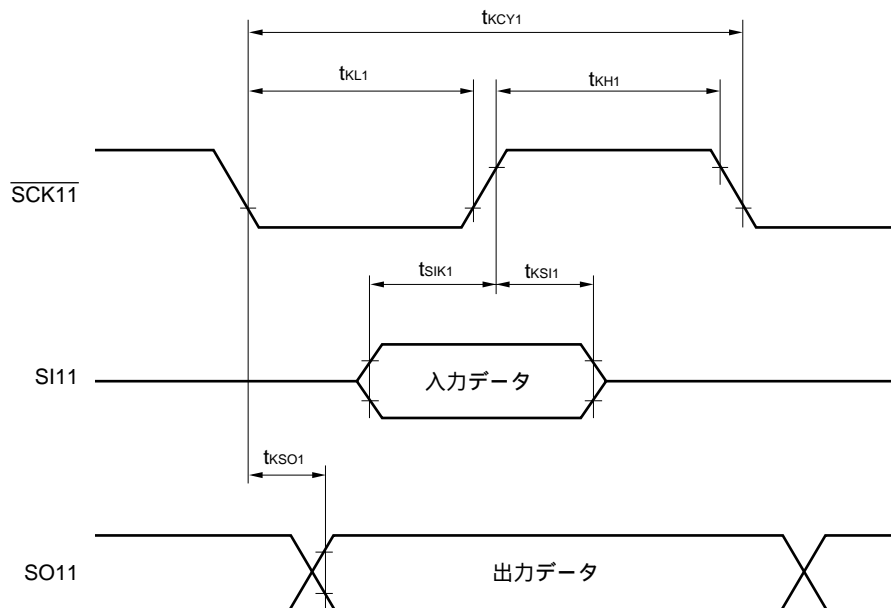
注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

### シリアル転送タイミング

IICA :



CSI11 :



注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

## アナログ特性

### (1) A/Dコンバータ

( $T_A = -40 \sim +125$  ,  $2.7\text{ V} < AV_{REF} < V_{DD} = 5.5\text{ V}$ ,  $V_{SS} = AV_{SS} = 0\text{ V}$ )

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	$R_{ES}$					10	bit
総合誤差 <sup>注1, 2</sup>	$A_{INL}$	高速モード1	$4.0\text{ V} < AV_{REF} < 5.5\text{ V}$			$\pm 0.4$	%FSR
		高速モード2	$2.7\text{ V} < AV_{REF} < 5.5\text{ V}$			$\pm 0.6$	%FSR
		標準モード	$4.0\text{ V} < AV_{REF} < 5.5\text{ V}$			$\pm 0.4$	%FSR
			$2.7\text{ V} < AV_{REF} < 4.0\text{ V}$			$\pm 0.6$	%FSR
変換時間	$t_{CONV}$	高速モード1	$4.0\text{ V} < AV_{REF} < 5.5\text{ V}$	3.3		66	$\mu\text{ s}$
		高速モード2	$2.7\text{ V} < AV_{REF} < 5.5\text{ V}$	4.4		66	$\mu\text{ s}$
		標準モード	$4.0\text{ V} < AV_{REF} < 5.5\text{ V}$	6.6		66	$\mu\text{ s}$
			$2.7\text{ V} < AV_{REF} < 4.0\text{ V}$	13.2		66	$\mu\text{ s}$
ゼロスケール誤差 <sup>注1, 2</sup>	$E_{ZS}$	高速モード1	$4.0\text{ V} < AV_{REF} < 5.5\text{ V}$			$\pm 0.4$	%FSR
		高速モード2	$2.7\text{ V} < AV_{REF} < 5.5\text{ V}$			$\pm 0.6$	%FSR
		標準モード	$4.0\text{ V} < AV_{REF} < 5.5\text{ V}$			$\pm 0.4$	%FSR
			$2.7\text{ V} < AV_{REF} < 4.0\text{ V}$			$\pm 0.6$	%FSR
フルスケール誤差 <sup>注1, 2</sup>	$E_{FS}$	高速モード1	$4.0\text{ V} < AV_{REF} < 5.5\text{ V}$			$\pm 0.4$	%FSR
		高速モード2	$2.7\text{ V} < AV_{REF} < 5.5\text{ V}$			$\pm 0.6$	%FSR
		標準モード	$4.0\text{ V} < AV_{REF} < 5.5\text{ V}$			$\pm 0.4$	%FSR
			$2.7\text{ V} < AV_{REF} < 4.0\text{ V}$			$\pm 0.6$	%FSR
積分直線性誤差 <sup>注1</sup>	$I_{LE}$	高速モード1	$4.0\text{ V} < AV_{REF} < 5.5\text{ V}$			$\pm 2.5$	LSB
		高速モード2	$2.7\text{ V} < AV_{REF} < 5.5\text{ V}$			$\pm 4.5$	LSB
		標準モード	$4.0\text{ V} < AV_{REF} < 5.5\text{ V}$			$\pm 2.5$	LSB
			$2.7\text{ V} < AV_{REF} < 4.0\text{ V}$			$\pm 4.5$	LSB
微分直線性誤差 <sup>注1</sup>	$D_{LE}$	高速モード1	$4.0\text{ V} < AV_{REF} < 5.5\text{ V}$			$\pm 1.5$	LSB
		高速モード2	$2.7\text{ V} < AV_{REF} < 5.5\text{ V}$			$\pm 2.0$	LSB
		標準モード	$4.0\text{ V} < AV_{REF} < 5.5\text{ V}$			$\pm 1.5$	LSB
			$2.7\text{ V} < AV_{REF} < 4.0\text{ V}$			$\pm 2.0$	LSB
アナログ入力電圧	$V_{AIN}$			$AV_{SS}$		$AV_{REF}$	V

注1. 量子化誤差 ( $\pm 1/2$  LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

## (2) コンパレータ

( $T_A = -40 \sim +125$  ,  $2.7 V \leq V_{DD} \leq 5.5 V$ ,  $V_{SS} = AV_{SS} = 0 V$ )

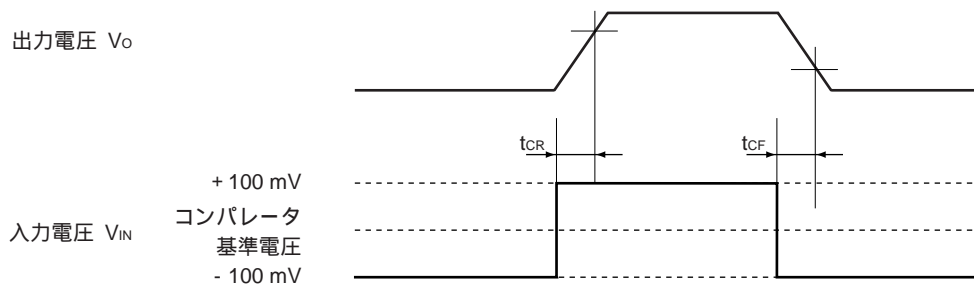
項目	略号	条件	MIN.	TYP.	MAX.	単位
入力オフセット電圧	$V_{IOCOMP}$			$\pm 5$	$\pm 40$	mV
同相入力電圧範囲	$V_{ICMP}$	CMP0+, CMP1+, CMP2+	0		$AV_{REF}$	V
		CMPCOM	0.045		$0.9 AV_{REF}$	V
内部基準電圧偏差	$V_{IREF}$				$60^{\text{注1}}$	mV
応答時間	$t_{CR}, t_{CF}$	入力振幅 $\pm 100$ mV		70	200	ns
動作安定待ち時間 <sup>注2</sup>	$t_{CMP}$				1	$\mu s$
基準電圧安定待ち時間	$t_{VR}$	CVRE : 0 1 <sup>注3</sup>			20	$\mu s$
		CVRE = 1, 基準電圧レベル変更時 <sup>注4</sup>			5	$\mu s$

注1.  $C_nVRS4$ - $C_nVRS0$ ビット ( $n = 0-2$ ) を 1, 1, 1, 1, 1 に設定した場合、内蔵基準電圧範囲は  $1.58 V \pm 60$  mV になります。

2. コンパレータの動作許可 ( $CMPnEN$ ビット = 1 :  $n = 0-2$ ) から、コンパレータが DC/AC 特性を満足できる状態になるまでの時間です。

3. 内蔵基準電圧生成を動作許可 ( $CVRE$ ビット = 1) し、動作安定待ち時間をウエイトしてから、コンパレータ出力を許可 ( $CnOE$ ビット = 1 :  $n = 0-2$ ) してください。

4. 内蔵基準電圧生成の動作が許可 ( $CVRE$ ビット = 1) し、内蔵基準電圧レベルを変更したあとに、動作安定待ち時間をウエイトしてから、コンパレータ出力を許可 ( $CnOE$ ビット = 1 :  $n = 0-2$ ) してください。



注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

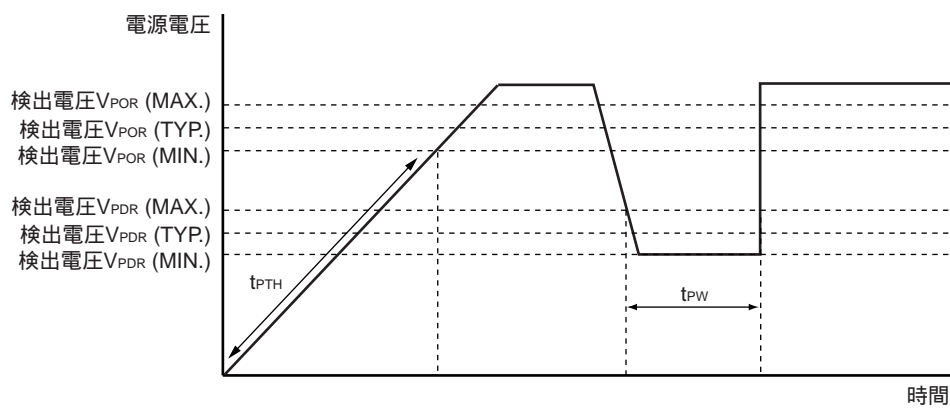
### (3) POC

( $T_A = -40 \sim +125$  ,  $V_{SS} = 0\text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	$V_{POR}$		1.52	1.61	1.70	V
	$V_{PDR}$		1.50	1.59	1.68	V
電源電圧立ち上がり傾き	$t_{PTH}$	$V_{DD} : 0\text{ V}$ $V_{POR}$ の変化傾き	0.5			V/ms
最小パルス幅	$t_{PW}$	電源降下時	200			$\mu\text{s}$
検出遅延					200	$\mu\text{s}$

注意 1.8 V  $V_{DD} < 2.7\text{ V}$  のとき、CPUは $f_{IH} = 4\text{ MHz}$  (TYP.) で動作可能です。

#### POC回路タイミング



注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

#### (4) 電源電圧立ち上げ時間

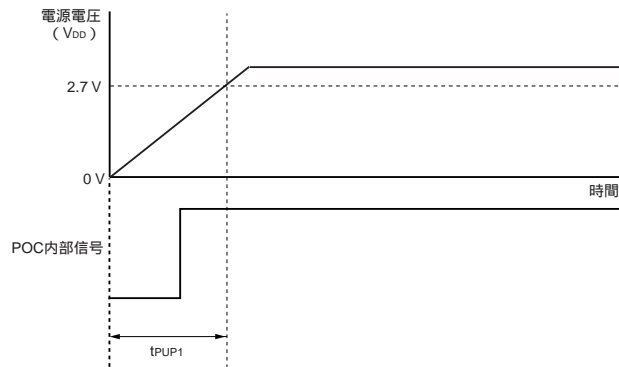
( $T_A = -40 \sim +125$  ,  $V_{SS} = 0 V$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
2.7 V ( $V_{DD}$ (MIN.)) までの立ち上げ最大時間 <sup>注</sup> ( $V_{DD} : 0 V \sim 2.7 V$ )	$t_{PUP1}$	LVIデフォルト・スタート無効 ( $\overline{LVISTART}$ (オプション・バイト) = 0) , $\overline{RESET}$ 入力未使用時			3.6	ms
2.7 V ( $V_{DD}$ (MIN.)) までの立ち上げ最大時間 <sup>注</sup> ( $\overline{RESET}$ 入力解除 $V_{DD} : 2.7 V$ )	$t_{PUP2}$	LVIデフォルト・スタート無効 ( $\overline{LVISTART}$ (オプション・バイト) = 0) , $\overline{RESET}$ 入力使用時			1.9	ms

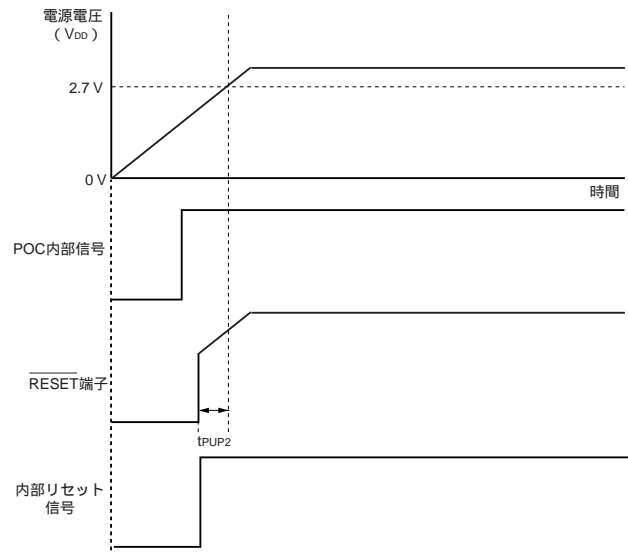
注 この時間より短い時間で電源を立ち上げるようにしてください。

#### 電源電圧立ち上げ時間のタイミング

・  $\overline{RESET}$ 端子入力未使用時



・  $\overline{RESET}$ 端子入力使用時 (POC解除後、 $\overline{RESET}$ 端子による外部リセットが解除される場合)



注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

### (5) LVI

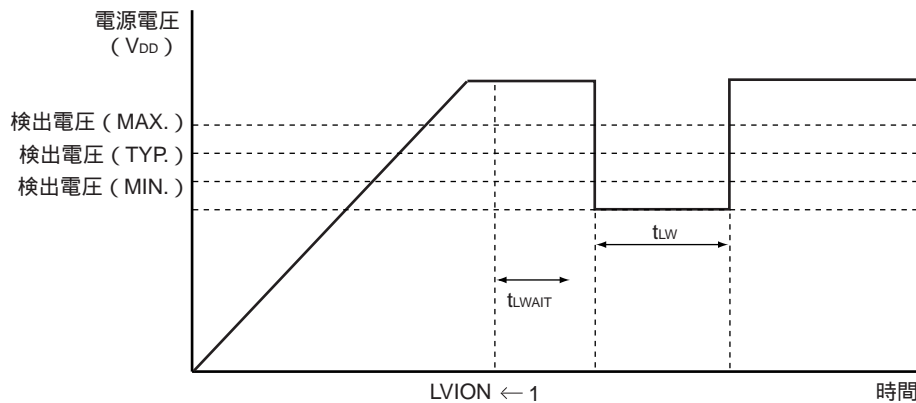
( $T_A = -40 \sim +125$  ,  $V_{PDR} = V_{DD} = 5.5 \text{ V}$  ,  $V_{REF} = V_{DD}$  ,  $V_{SS} = 0 \text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	電源電圧レベル	$V_{LVI0}$	4.12	4.22	4.32	V
		$V_{LVI1}$	3.97	4.07	4.17	V
		$V_{LVI2}$	3.82	3.92	4.02	V
		$V_{LVI3}$	3.66	3.76	3.86	V
		$V_{LVI4}$	3.51	3.61	3.71	V
		$V_{LVI5}$	3.35	3.45	3.55	V
		$V_{LVI6}$	3.20	3.30	3.40	V
		$V_{LVI7}$	3.05	3.15	3.25	V
		$V_{LVI8}$	2.89	2.99	3.09	V
		$V_{LVI9}$	2.74	2.84	2.94	V
最小パルス幅	$t_{LW}$		200			$\mu\text{s}$
検出遅延					200	$\mu\text{s}$
動作安定待ち時間 <sup>※</sup>	$t_{LWAIT}$				10	$\mu\text{s}$

注 低電圧検出レジスタ (LVIM) のビット7 (LVION) に1を設定してから動作が安定するまでの時間です。

備考  $V_{LVI(n-1)} > V_{LVI n}$  :  $n = 1-9$

### LVI回路タイミング

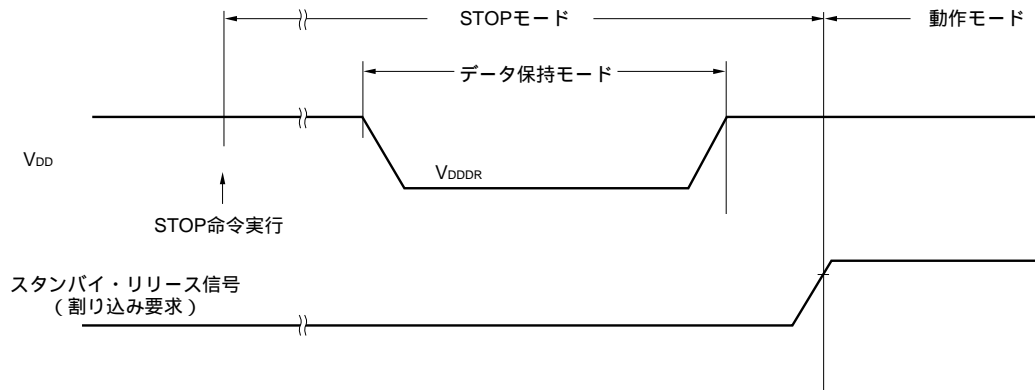


注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

### データ・メモリSTOPモード低電源電圧データ保持特性 ( $T_A = -40 \sim +125$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V <sub>DDDR</sub>		1.50 <sup>注</sup>		5.5	V

注 POC検出電圧に依存します。電圧降下時、POCリセットがかかるまではデータを保持しますが、POCリセットがかかった場合のデータは保持されません。



### フラッシュ・メモリ・プログラミング特性

(  $T_A = -40 \sim +125$  , 2.7 V  $V_{DD}$  5.5 V,  $AV_{REF}$   $V_{DD}$ ,  $V_{SS} = AV_{SS} = 0$  V )

#### ・基本特性

項目	略号	条件		MIN.	TYP.	MAX.	単位	
V <sub>DD</sub> 電源電流	I <sub>DD</sub>				4.5	16	mA	
1チップあたりの書き換え回数	C <sub>erwr</sub>	消去1回 + 消去後の書き込み1回 = 書き換え回数1回とする <sup>注</sup>	通常電力モード時 (RMC = 00H)	フラッシュ・メモリ・プログラマ使用時および当社提供のセルフ・プログラミング・ライブラリ使用時	保持15年	1000		回
				当社提供のEEPROMエミュレーション・ライブラリ (書き換えROMサイズ: 4 Kバイト) 使用時	保持5年	10000		回
動作温度		フラッシュ・メモリ・プログラマ使用時: 10 ~ 40 , セルフ・プログラミング時: -40 ~ +125						
動作電圧範囲		通常電力モード時 (RMC = 00H)	フラッシュ・メモリ・プログラマ使用時	2.7 ~ 5.5 V @ 8 MHz (MAX.)				
			セルフ・プログラミング時	2.7 ~ 5.5 V @ 20 MHz (MAX.)				

注 出荷品に対する初回書き込み時では、「消去 書き込み」の場合も、「書き込みのみ」の場合も書き換え1回となります。

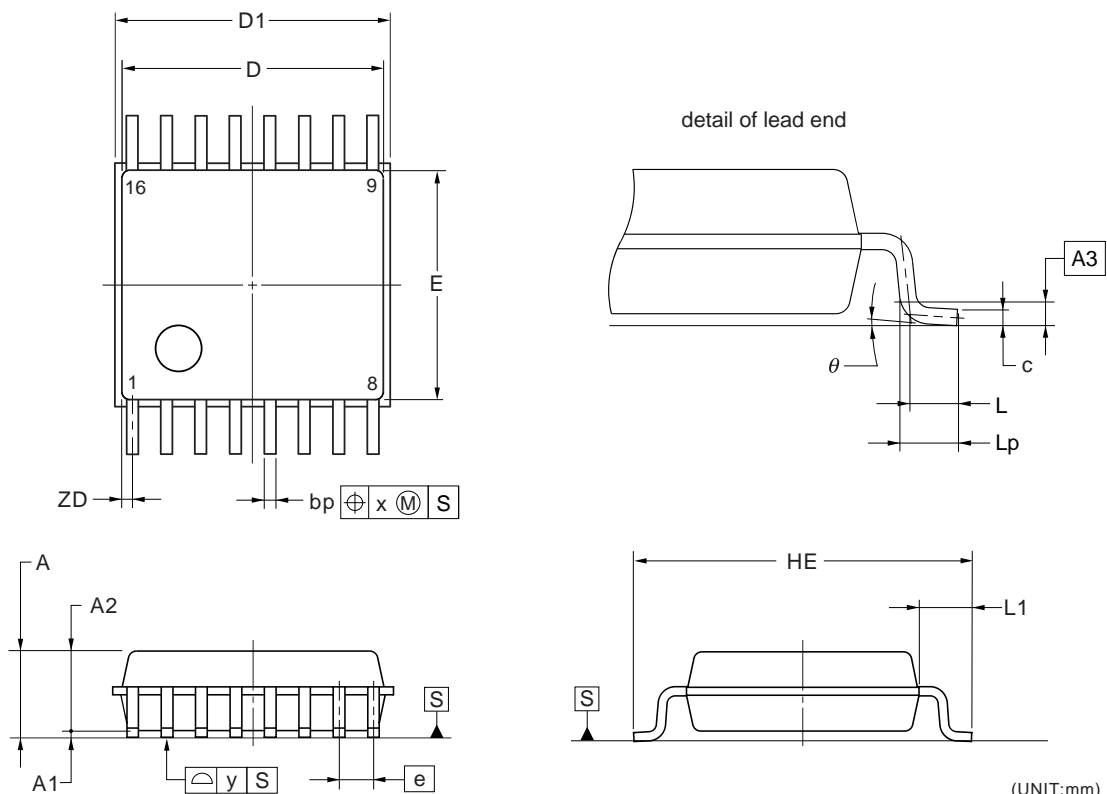


## 第29章 外形图

### 29.1 78K0/FY2-L

- $\mu$  PD78F0854MAA-FAA-G, 78F0855MAA-FAA-G, 78F0856MAA-FAA-G, 78F0854MAA2-FAA-G,  
78F0855MAA2-FAA-G, 78F0856MAA2-FAA-G

#### 16-PIN PLASTIC SSOP (4.4x5.0)



(UNIT:mm)

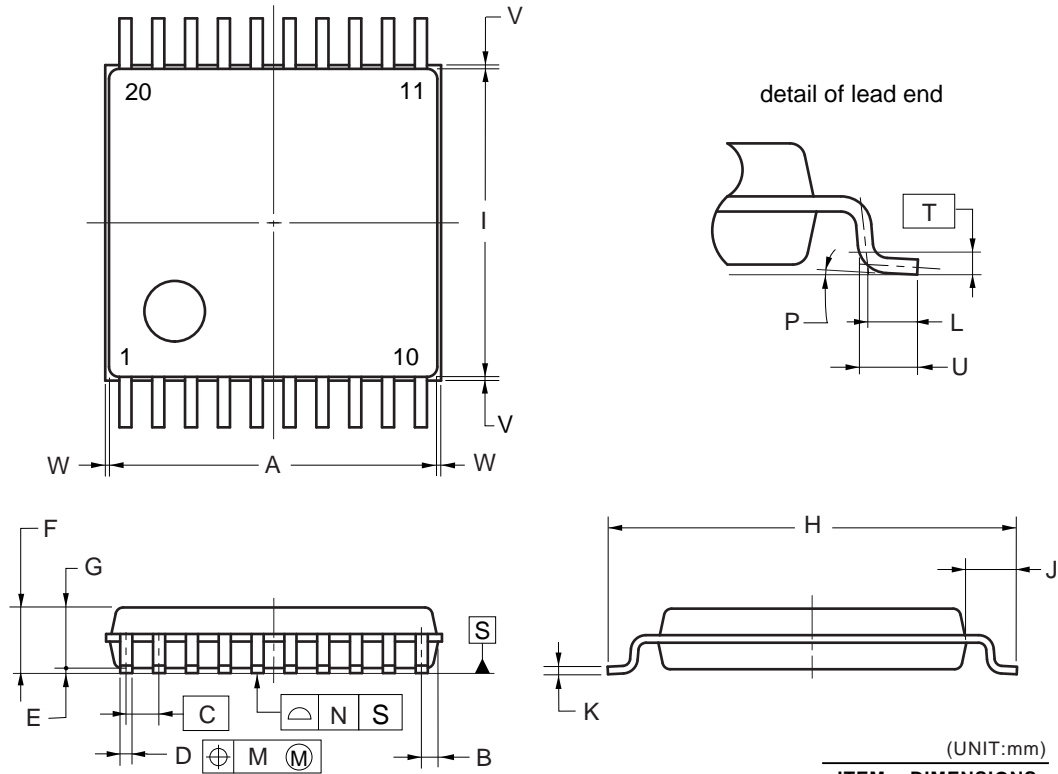
ITEM	DIMENSIONS
D	5.00±0.15
D1	5.20±0.15
E	4.40±0.20
HE	6.40±0.20
A	1.725 MAX.
A1	0.125±0.05
A2	1.50
A3	0.25
e	0.65
bp	0.22 <sup>+0.08</sup> <sub>-0.07</sub>
c	0.15 <sup>+0.03</sup> <sub>-0.04</sub>
L	0.50
Lp	0.60±0.10
L1	1.00±0.20
x	0.13
y	0.10
$\theta$	3° <sup>+5°</sup> <sub>-3°</sub>
ZD	0.325

P16MA-65-FAA

## 29.2 78K0/FA2-L

- $\mu$  PD78F0857MCA-CAA-G, 78F0858MCA-CAA-G, 78F0859MCA-CAA-G,  $\mu$  PD78F0857MCA2-CAA-G,  $\mu$  PD78F0858MCA2-CAA-G, 78F0859MCA2-CAA-G

## 20-PIN PLASTIC SSOP (7.62 mm (300))



## NOTE

Each lead centerline is located within 0.13 mm of its true position (T.P.) at maximum material condition.

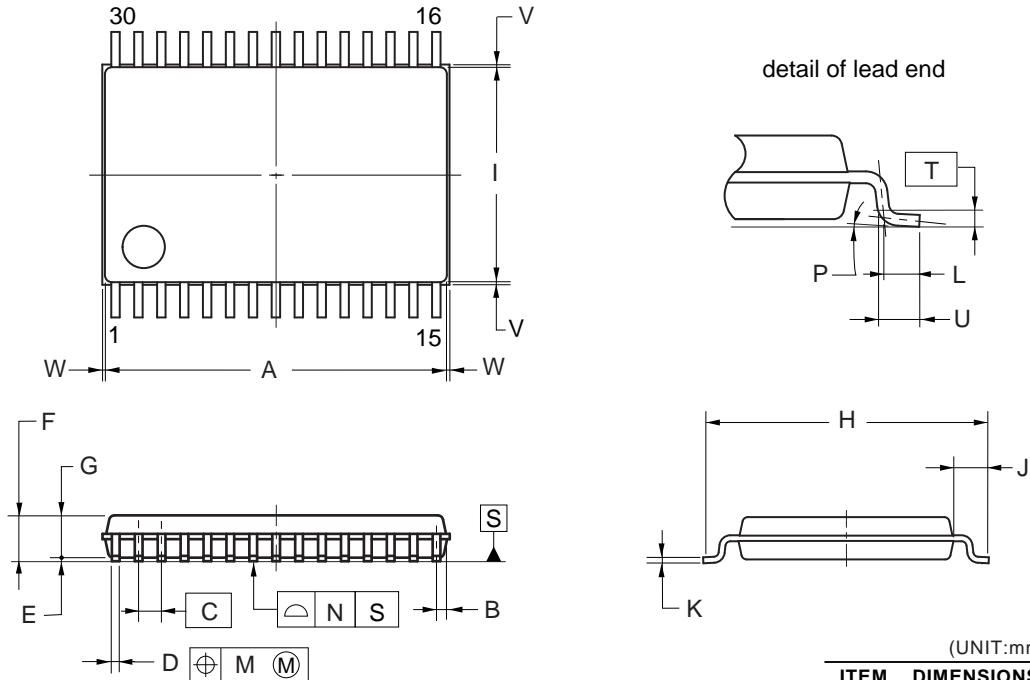
(UNIT:mm)	
ITEM	DIMENSIONS
A	6.50±0.10
B	0.325
C	0.65 (T.P.)
D	0.22 <sup>+0.10</sup> <sub>-0.05</sub>
E	0.10±0.05
F	1.30±0.10
G	1.20
H	8.10±0.20
I	6.10±0.10
J	1.00±0.20
K	0.15 <sup>+0.05</sup> <sub>-0.01</sub>
L	0.50
M	0.13
N	0.10
P	3° <sup>+5°</sup> <sub>-3°</sub>
T	0.25(T.P)
U	0.60±0.15
V	0.25 MAX.
W	0.15 MAX.

P20MC-65-CAA

## 29.3 78K0/FB2-L

·  $\mu$ PD78F0864MCA-CAB-G, 78F0865MCA-CAB-G, 78F0864MCA2-CAB-G, 78F0865MCA2-CAB-G

## 30-PIN PLASTIC SSOP (7.62mm (300))

**NOTE**

Each lead centerline is located within 0.13 mm of its true position (T.P.) at maximum material condition.

(UNIT:mm)

ITEM	DIMENSIONS
A	9.70±0.10
B	0.30
C	0.65 (T.P.)
D	0.22 <sup>+0.10</sup> <sub>-0.05</sub>
E	0.10±0.05
F	1.30±0.10
G	1.20
H	8.10±0.20
I	6.10±0.10
J	1.00±0.20
K	0.15 <sup>+0.05</sup> <sub>-0.01</sub>
L	0.50
M	0.13
N	0.10
P	3° <sup>+5°</sup> <sub>-3°</sub>
T	0.25(T.P.)
U	0.60±0.15
V	0.25 MAX.
W	0.15 MAX.

P30MC-65-CAB

## 第30章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」(<http://www2.renesas.com/pkg/ja/jissou/index.html>)

表30 - 1 表面実装タイプの半田付け条件

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：60秒以内（220℃以上），回数：3回以内， 制限日数：7日間 <sup>注</sup> （以降は125℃プリバーク10～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-107-3
ウェーブ・ ソルダーリング	半田槽温度：260℃以下，時間：10秒以内，回数：1回， 予備加熱温度：120℃MAX.（パッケージ表面温度） 制限日数：7日間 <sup>注</sup> （以降は125℃プリバーク10～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装でのベーキングができません。	WS60-107-1
端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65 %RH以下。

注意1. 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

- 78K0/Fx2-L マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合，フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があります。製品の信頼性が保証できませんので，量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については，クレーム受け付け対象外となります。

## 第31章 ウェイトに関する注意事項

### 31.1 ウェイトに関する注意事項

この製品は、内部に2種類のシステム・バスを有しています。

1つはCPU用バスで、もう1つは低速周辺ハードウェアとのインタフェースを行う周辺用バスです。

CPU用バスのクロックと周辺用バスのクロックは非同期の関係となるため、CPUと周辺ハードウェアとのアクセス間に競合が発生した場合は、予期せぬ不正データの受け渡しが行われる可能性があります。

したがって、競合の恐れがある周辺ハードウェアへのアクセス時には、CPUは正しいデータの受け渡しが行われるまで、処理を繰り返し実行します。

その結果、CPUは次の命令処理に移行せず、CPU処理としてウェイト状態となるため、このウェイトが発生した場合、命令の実行クロック数がウェイト・クロック数分長くなります（ウェイト・クロック数については表31-1を参照）。リアルタイム性が要求される処理を行う場合は、注意してください。

### 31.2 ウェイトが発生する周辺ハードウェア

CPUからのアクセス時にウェイト要求が発生するレジスタとCPUのウェイト・クロック数を表31-1に示します。

表31-1 ウェイトが発生するレジスタとCPUのウェイト・クロック数 (1/2)

周辺ハードウェア	対象レジスタ	対象アクセス	ウェイト・クロック数
16ビット・タイマXn	TXnCCR0 (キャプチャ動作時)	リード	3クロック
<p>上記のクロック数は、CPUと16ビット・タイマXnに同じソース・クロックを選択している場合の例です。次の算出式および条件でウェイト・クロック数を算出できます。</p> <p>ウェイト・クロック数算出式</p> <p>・ウェイト・クロック数 = <math>\frac{3 f_{CPU}}{f_{TMS}} + 1</math></p> <p>小数点以下は、「ウェイト・クロック数 / <math>f_{CPU}</math> CPUクロックのロウ・レベル幅」の場合は切り捨て、「ウェイト・クロック数 / <math>f_{CPU} &gt;</math> CPUクロックのロウ・レベル幅」の場合は切り上げる。</p> <p>最大 / 最小ウェイト・クロック数条件</p> <p>・最大回数：CPU最高速（20 MHz），TXnクロック最低速（156.25 kHz）</p> <p>・最小回数：CPU最低速（1.25 MHz），TXnクロック最低速（40 MHz：<math>f_{TMS}</math>使用時 / 20 MHz：<math>f_{PRS}</math>使用時）</p> <p><math>f_{TMS}</math> : 16ビット・タイマX0, X1選択クロック周波数</p> <p><math>f_{TMX}</math> : TMX制御クロック周波数</p> <p><math>f_{CPU}</math> : CPUクロック周波数</p> <p><math>f_{PRS}</math> : 周辺ハードウェア・クロック周波数</p>			

**注意** 周辺ハードウェア・クロック ( $f_{PRS}$ ) が停止しているときに、上記の対象レジスタにウェイト要求が発生するアクセス方法で、アクセスしないでください。

備考1. n = 0 : 78K0/FY2-L, 78K0/FA2-L

n = 0, 1 : 78K0/FB2-L

2. クロックは、CPUクロック ( $f_{CPU}$ ) を示します。

表31 - 1 ウェイトが発生するレジスタとCPUのウェイト・クロック数 (2/2)

周辺ハードウェア	対象レジスタ	対象アクセス	ウェイト・クロック数
シリアル・インタフェース UART6	ASIS6	リード	1クロック (固定)
シリアル・インタフェース IICA	IICAS0	リード	1クロック (固定)
A/Dコンバータ	ADM0	ライト	1~5クロック (f <sub>AD</sub> = f <sub>PRS</sub> /2選択時)
	ADS	ライト	1~7クロック (f <sub>AD</sub> = f <sub>PRS</sub> /3選択時)
	ADPC0, ADPC1	ライト	1~9クロック (f <sub>AD</sub> = f <sub>PRS</sub> /4選択時) 2~13クロック (f <sub>AD</sub> = f <sub>PRS</sub> /6選択時)
	ADCR, ADCRH, ADCRL	リード	2~17クロック (f <sub>AD</sub> = f <sub>PRS</sub> /8選択時) 2~25クロック (f <sub>AD</sub> = f <sub>PRS</sub> /12選択時)
<p>上記のクロック数は、CPUと周辺ハードウェアに同じソース・クロックを選択している場合の例です。次の算出式および条件でウェイト・クロック数を算出できます。</p> <p>ウェイト・クロック数算出式</p> $\text{ウェイト・クロック数} = \frac{2 f_{\text{CPU}}}{f_{\text{AD}}} + 1$ <p>小数点以下は、ウェイト・クロック数 0.5の場合は切り捨て、ウェイト・クロック数 &gt; 0.5の場合は切り上げる。</p> <p>最大/最小ウェイト・クロック数条件</p> <ul style="list-style-type: none"> <li>・最大回数：CPU最高速 (f<sub>XP</sub>) , A/D変換クロック最低速 (f<sub>PRS</sub>/12)</li> <li>・最小回数：CPU最低速 (f<sub>XP</sub>/16) , A/D変換クロック最高速 (f<sub>PRS</sub>)</li> </ul> <p>f<sub>AD</sub> : A/D変換クロック周波数 (f<sub>PRS</sub>-f<sub>PRS</sub>/12)</p> <p>f<sub>CPU</sub> : CPUクロック周波数</p> <p>f<sub>PRS</sub> : 周辺ハードウェア・クロック周波数</p> <p>f<sub>XP</sub> : メイン・システム・クロック周波数</p>			

**注意** 周辺ハードウェア・クロック (f<sub>PRS</sub>) が停止しているときに、上記の対象レジスタにウェイト要求が発生するアクセス方法で、アクセスしないでください。

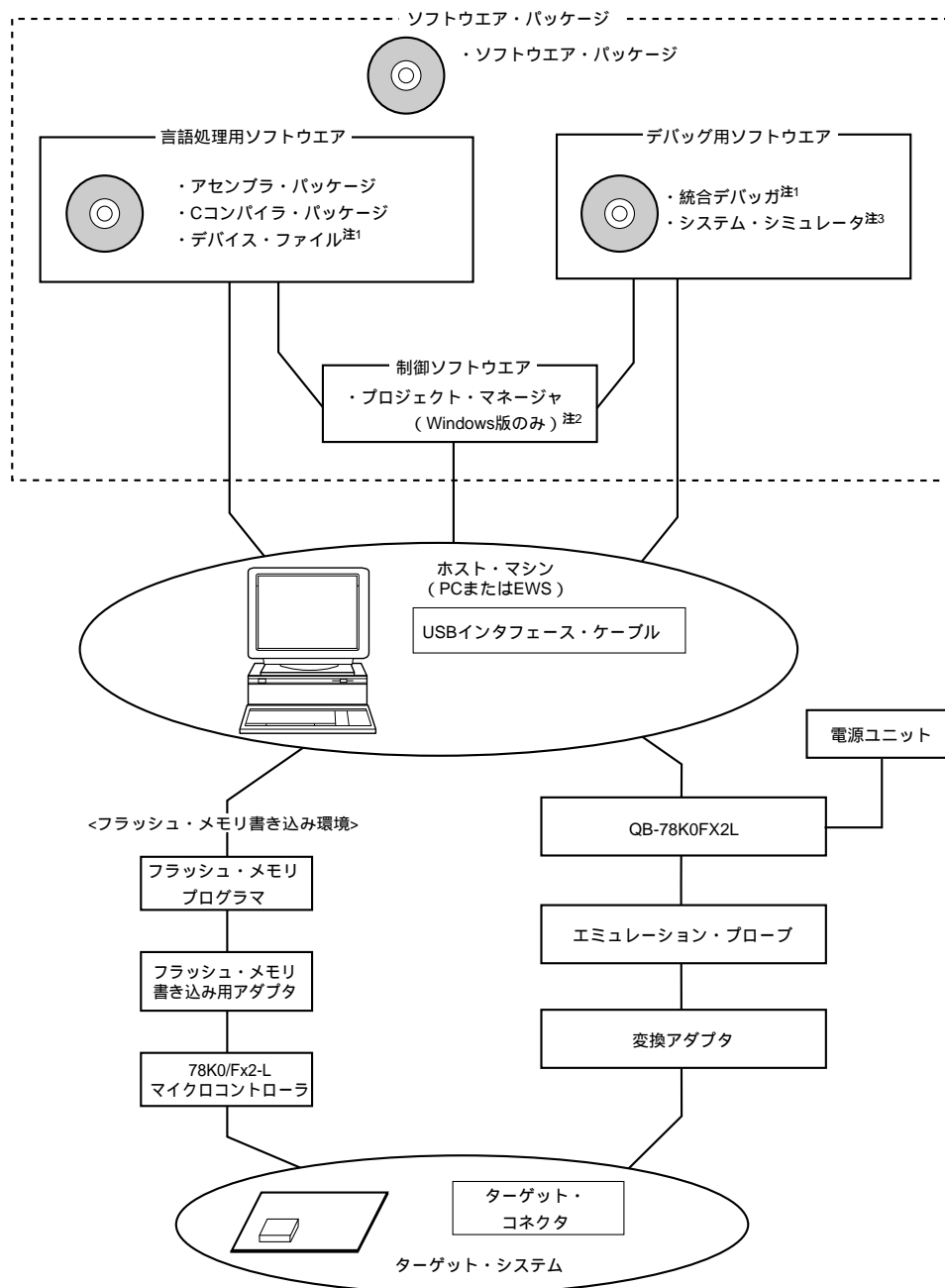
**備考** クロックは、CPUクロック (f<sub>CPU</sub>) を示します。

## 付録A 開発ツール

78K0/Fx2-Lマイクロコントローラを使用するシステム開発のために次のような開発ツールを用意しています。  
図A - 1に開発ツール構成を示します。

図A-1 開発ツール構成 (1/2)

(1) インサーキット・エミュレータ QB-78K0FX2Lを使用する場合



注1. 78K0/Fx2-Lマイクロコントローラ用のデバイス・ファイル(DF780865),および統合デバッガ ID78K0-QBIは, 開発ツールのダウンロード・サイト(<http://www2.renesas.com/micro/ja/ods/index.html>)より入手してください。

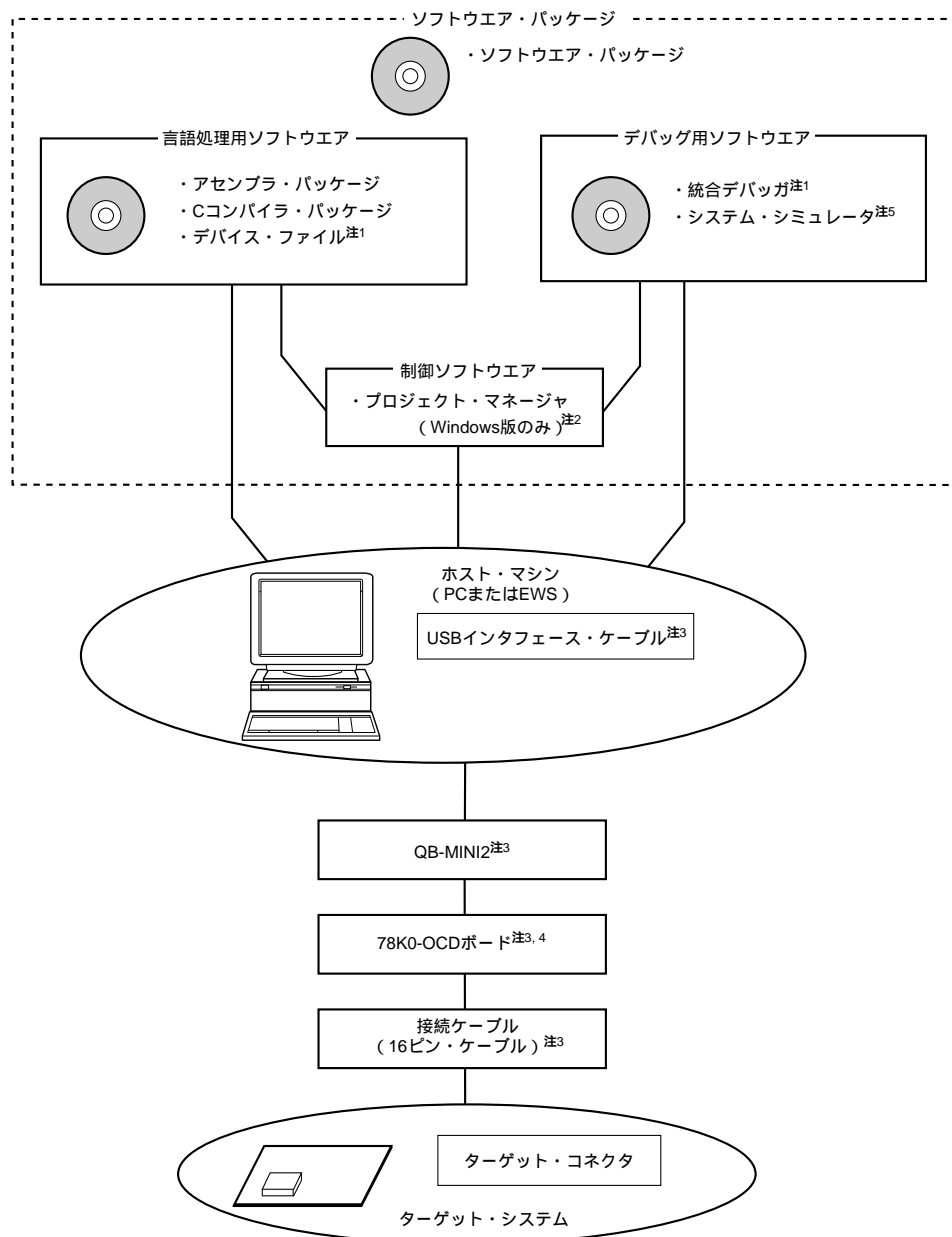
2. プロジェクト・マネージャ PM+は, アセンブラ・パッケージに入っています。また, Windows<sup>®</sup>以外ではPM+は使用できません。

3. 命令シミュレーション版です。ソフトウェア・パッケージに含まれています。



図A - 1 開発ツール構成 (2/2)

(2) プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合



注1. 78K0/Fx2-Lマイクロコントローラ用のデバイス・ファイル (DF780865) , および統合デバッガ ID78K0-QB は, 開発ツールのダウンロード・サイト (<http://www2.renesas.com/micro/ja/ods/index.html>) より入手してください。

2. プロジェクト・マネージャ PM+は, アセンブラ・パッケージに入っています。また, Windows以外ではPM+は使用できません。

3. QB-MINI2は ,USBインタフェース・ケーブル ,接続ケーブル( 10ピン・ケーブル ,16ピン・ケーブル) ,78K0-OCDボードを添付しています。また, QB-MINI2を操作するためのソフトウェアを, 開発ツールのダウンロード・サイト (<http://www2.renesas.com/micro/ja/ods/index.html>) より入手してください。

4. QB-MINI2をオンチップ・デバッグ・エミュレータとして使用する場合のみ使用します。

5. 命令シミュレーション版です。ソフトウェア・パッケージに含まれています。

## A.1 ソフトウェア・パッケージ

SP78K0 78K0マイクロコントローラ・ ソフトウェア・パッケージ	78K0マイクロコントローラ共通の開発ツール(ソフトウェア)を1つのパッケージにした製品です。
---	---

## A.2 言語処理用ソフトウェア

RA78K0 <sup>注1</sup> アセンブラ・パッケージ	<p>ニモニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。</p> <p>このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に実行する機能を備えています。</p> <p>デバイス・ファイル(DF780865)と組み合わせて使用します。</p> <p>&lt;PC環境で使用する場合の注意&gt;</p> <p>アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ(PM+)を使用することにより、Windows環境でも使用できます。PM+は、アセンブラ・パッケージに含まれています。</p>
CC78K0 <sup>注1</sup> Cコンパイラ・パッケージ	<p>C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。</p> <p>アセンブラ・パッケージおよびデバイス・ファイルと組み合わせて使用します。</p> <p>&lt;PC環境で使用する場合の注意&gt;</p> <p>Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ(PM+)を使用することにより、Windows環境でも使用できます。PM+は、アセンブラ・パッケージに含まれています。</p>
DF780865 <sup>注2</sup> デバイス・ファイル	<p>デバイス固有の情報が入ったファイルです。</p> <p>各ツール(RA78K0, CC78K0, ID78K0-QB, システム・シミュレータ)と組み合わせて使用します。対応OS, ホスト・マシンは組み合わせられる各ツールに依存します。</p>

注1. RA78K0とCC78K0のVer.4.00以上の製品は、同一のマシン上にバージョンの異なるRA78K0とCC78K0をインストール可能です。

2. DF780865は、RA78K0, CC78K0, ID78K0-QB, システム・シミュレータのすべての製品に共通に使用できます。開発ツールのダウンロード・サイト(<http://www2.renesas.com/micro/ja/ods/index.html>)より入手してください。

## A. 3 フラッシュ・メモリ書き込み用ツール

### A. 3.1 フラッシュ・メモリ・プログラマ PG-FP5, FL-PR5を使用する場合

FL-PR5, PG-FP5 フラッシュ・メモリ・プログラマ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。
FA-78F0557MA-FAA-RX FA-78F0567MC-CAA-RX FA-78F0756MC-CAB-RX フラッシュ・メモリ書き込み用 アダプタ	フラッシュ・メモリ書き込み用アダプタです。フラッシュ・メモリ・プログラマに接続して使用します。 <ul style="list-style-type: none"> <li>・ FA-78F0557MA-FAA-RX : 78K0/FY2-L用</li> <li>・ FA-78F0567MC-CAA-RX : 78K0/FA2-L用</li> <li>・ FA-78F0756MC-CAB-RX : 78K0/FB2-L用</li> </ul>

**備考1.** FL-PR5, FA-78F0557MA-FAA-RX, FA-78F0567MC-CAA-RX, FA-78F0756MC-CAB-RXは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所（<http://www.ndk-m.co.jp/>）（TEL（042）750-4172）

2. フラッシュ・メモリ書き込み用アダプタは、最新のものをお使いください。

### A. 3.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合

QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。78K0/Fx2-Lマイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのオンチップ・デバッグ・エミュレータとしても使用できます。 添付の接続ケーブル（16ピン・ケーブル）、およびホスト・マシンと接続するためのUSBインタフェース・ケーブルを使用します。
ターゲット・コネクタの仕様	2.54 mmピッチの16ピン汎用コネクタ

**備考** QB-MINI2を操作するためのソフトウェアを、開発ツールのダウンロード・サイト

（<http://www2.renesas.com/micro/ja/ods/index.html>）より入手してください。

## A. 4 デバッグ用ツール（ハードウェア）

### A. 4.1 インサーキット・エミュレータを使用する場合

QB-78K0Fx2L インサーキット・エミュレータ	78K0/Fx2-Lマイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータです。統合デバッガ(ID78K0-QB)に対応しています。電源ユニット、およびエミュレーション・プローブと組み合わせて使用します。ホスト・マシンとの接続は、USBを使用します。
-------------------------------	--

### A. 4.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合

QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	78K0/Fx2-Lマイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのオンチップ・デバッグ・エミュレータです。フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマとしても使用できます。添付の接続ケーブル（16ピン・ケーブル）、ホスト・マシンと接続するためのUSBインタフェース・ケーブルおよび78K0-OCDボードを使用します。
ターゲット・コネクタの仕様	2.54 mmピッチの16ピン汎用コネクタ

**備考** QB-MINI2を操作するためのソフトウェアを、開発ツールのダウンロード・サイト (<http://www2.renesas.com/micro/ja/ods/index.html>) より入手してください。

## A. 5 デバッグ用ツール（ソフトウェア）

ID78K0-QB <sup>注</sup> 統合デバッガ	78K0マイクロコントローラ用のインサーキット・エミュレータに対応したデバッグです。ID78K0-QBは、Windowsベースのソフトウェアです。C言語対応のデバッグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウィンドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。デバイス・ファイル（DF780865）と組み合わせて使用します。
システム・シミュレータ	システム・シミュレータは、Windowsベースのソフトウェアです。ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのデバッグが可能です。システム・シミュレータを使用することにより、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。したがって、開発効率やソフトウェア品質の向上が図れます。デバイス・ファイル（DF780865）と組み合わせて使用します。

**注** 開発ツールのダウンロード・サイト (<http://www2.renesas.com/micro/ja/ods/index.html>) より入手してください。

## 付録B 改版履歴

### B.1 本版で改訂された主な箇所

箇所	内容	分類
第21章 低電圧検出回路		
p.599	(1) LVIデフォルト・スタート機能停止に設定時 (LVISTART=0) の説明を修正	(c)
p.602	(1) LVIデフォルト・スタート機能停止に設定時 (LVISTART=0) の説明を修正	(c)
第27章 電気的特性 ( (A) 水準品 )		
p.663	DC特性 (3/5) ブルアップ抵抗値の誤記を修正	(a)
第28章 電気的特性 ( (A2) 水準品 )		
p.688	DC特性 (3/5) ハイ・レベル入力リーク電流の誤記を修正	(a)
p.688	DC特性 (3/5) ロウ・レベル入力リーク電流の誤記を修正	(a)

**備考** 表中の「分類」により，改訂内容を次のように区分しています。

- (a) : 誤記訂正，(b) : 仕様 (スペック含む) の追加 / 変更，(c) : 説明，注意事項の追加 / 変更，  
 (d) : パッケージ，オーダ名称，管理区分の追加 / 変更，(e) : 関連資料の追加 / 変更

## B.2 前版までの改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/6)

版 数	内 容	適用箇所
第2.00版	P125/RESET端子のポート機能 (P125) を削除	全般
	リセット端子モード・レジスタ (RSTMASK) を削除	
	関連資料を変更	はじめに
	1.1 特徴の記述を変更	第1章 概説
	1.2 オーダ情報の【オーダ名称】と【オーダ名称例】を変更	
	1.5 機能概要の記述を変更	
	RESET端子の記述を変更	第2章 端子機能
	2.2.5 P70 (Port7) に注意2を追加	
	2.2.6 P121, P122を変更	
	2.2.8 RESETを追加	
	2.2.9 REGCの説明を変更	
	表2-2 各端子の入出力回路タイプ (78K0/FY2-L) を変更, 注2, 注意2を削除	
	表2-3 各端子の入出力回路タイプ (78K0/FA2-L) を変更, 注2, 注意2を削除	
	表2-4 各端子の入出力回路タイプ (78K0/FB2-L) を変更, 注2, 注意2を削除	
	図2-1 端子の入出力回路一覧にタイプ2を追加, タイプ42を削除	
	表3-6 特殊機能レジスタ一覧を修正	
	表4-5 ポートの構成を変更	第4章 ポート機能
	表4-8 P23/ANI3/CMP2+, P24/ANI4/CMP0+, P25/ANI5/CMP1+ 端子機能の設定,	
	表4-9 P26/ANI6/CMPCOM端子機能の設定を変更	
	図4-20 P121, P122のブロック図を変更	
	4.3 (2) ポート・レジスタ (Pxx) を追加	
	4.3 (5) ポート出力モード・レジスタ6 (POM6) に記述を追加	
	表4-12 兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定(78K0/FY2-L)(1/2) に注5を追加	
	表4-13 兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定(78K0/FA2-L)(1/2) に注5を追加	
	表4-14 兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定(78K0/FB2-L)(2/2) に注3を追加	
	図5-1 クロック発生回路のブロック図に注を追加	
	図5-5 メインOSCコントロール・レジスタ (MOC) のフォーマットに注意1を追加	
図5-12 電源電圧投入時のクロック発生回路の動作 (LVIデフォルト・スタート機能停止に設定時 (オプション・バイト: LVISTART = 0)) と図5-13 電源電圧投入時のクロック発生回路の動作 (LVIデフォルト・スタート機能動作に設定時 (オプション・バイト: LVISTART = 1)) を変更		
図5-14 CPUクロック状態移行図 (LVIデフォルト・スタート・モード機能停止設定時) (オプション・バイト: LVISTART = 0) を変更, 注意2を追加		
表5-4 CPUクロックの移行とSFRレジスタの設定例 (3/3) に注意を追加		

(2/6)

版 数	内 容	適用箇所	
第2.00版	6.1 16ビット・タイマX0, X1の説明を変更, (1)インターバル・タイマ, (7)タイマ出力ゲート機能(8ビット・タイマH1と連動)~(11)ハイ・インピーダンス出力制御機能(コンパレータ, INTP0と連動)を追加 図6-2 16ビット・タイマX1のブロック図を変更	第6章 16ビット・タイマ X0, X1	
	6.2 (1) 16ビット・タイマXnキャプチャ/コンペア・レジスタ0 (TXnCCR0) に注意を追加 図6-8 16ビット・タイマX0動作制御レジスタ1 (TX0CTL1) のフォーマットを変更, 注意3を追加 図6-9 16ビット・タイマX1動作制御レジスタ1 (TX1CTL1) のフォーマット (78K0/FB2-Lのみ) に注意3を追加 図6-10 16ビット・タイマX0動作制御レジスタ2 (TX0CTL2) のフォーマットと図6-11 16ビット・タイマX1動作制御レジスタ2 (TX1CTL2) のフォーマット (78K0/FB2-Lのみ) に注意2, 3を追加 図6-12 16ビット・タイマX0動作制御レジスタ3 (TX0CTL3) のフォーマット~図6-14 16ビット・タイマX1動作制御レジスタ4 (TX1CTL4) のフォーマット (78K0/FB2-Lのみ) を変更 6.4 (1) インターバル・タイマ~(3)キャプチャ機能を追加 6.5 (1) PWM出力動作(シングル出力)~(4)PWM出力動作(TMX0, TMX1同期スタート・モード) (78K0/FB2-Lのみ) を変更 図6-43 16ビット・タイマX0の出力構成のブロック図~図6-45 16ビット・タイマX0とX1の出力構成のブロック図 (78K0/FB2-Lのみ) に注1, 2を追加 6.6 (1) 連動モード1(タイマ・リセット・モード)~(3)連動モード3(タイマ出力リセット・モード) を変更 図6-55 ハイ・インピーダンス出力機能制御レジスタ0 (HZA0CTL0) のフォーマット (2/2) を変更 図8-1 8ビット・タイマ/イベント・カウンタ51のブロック図を変更		
	図8-1 8ビット・タイマ/イベント・カウンタ51のブロック図を変更		第8章 8ビット・タイマ /イベント・カウンタ51
	図11-1 A/Dコンバータのブロック図を変更		第11章 A/Dコンバータ
	11.2 (9) TMXn同期用10ビットA/D変換結果レジスタ (ADCRXn), (10) TMXn同期用8ビットA/D変換結果レジスタL (ADCRXnL) を追加 11.3 TMXn同期用10ビットA/D変換結果レジスタ (ADCRXn), TMXn同期用8ビットA/D変換結果レジスタL (ADCRXnL) を追加 図11-3 コンパレータ使用時のタイミング・チャートのモード表記を変更 表11-2 A/D変換時間の選択のモード表記を変更 図11-10 アナログ入力チャネル指定レジスタ (ADS) のフォーマットを変更, 注3を追加 表11-4 P23/ANI3/CMP2+, P24/ANI4/CMP0+, P25/ANI5/CMP1+端子機能の設定, 表11-5 P26/ANI6/CMPCOM端子機能の設定を変更 11.4.1 A/Dコンバータの基本動作(ソフトウェア・トリガ・モード) に注意3を追加 11.4.2 A/Dコンバータの基本動作(タイマ・トリガ・モード) を追加 11.4.4 A/Dコンバータのトリガ・モード選択を追加 11.4.5 A/Dコンバータの動作モードの(2)ソフトウェア・トリガ・モードの設定方法に注意5を追加 11.4.5 A/Dコンバータの動作モードの(3)タイマ・トリガ・モードの設定方法を追加 表11-7 等価回路の各抵抗と容量値(参考値)を変更		

(3/6)

版 数	内 容	適用箇所
第2.00版	12.1 コンバータの機能を変更	第12章 コンバータ
	図12 - 1 コンバータのブロック図を変更	
	図12 - 2 コンバータ0制御レジスタ (C0CTL) のフォーマット (78K0/FA2-L, 78K0/FB2-L) ~ 図12 - 4 コンバータ2制御レジスタ (C2CTL) のフォーマットを変更	
	図12 - 5 DA0内部基準電圧選択レジスタ (C0RVM) のフォーマット ~ 図12 - 7 DA2内部基準電圧選択レジスタ (C2RVM) のフォーマットを変更	
	表12 - 2 P23/ANI3/CMP2+, P24/ANI4/CMP0+, P25/ANI5/CMP1+端子機能の設定, 表12 - 3 P26/ANI6/CMPCOM端子機能の設定を変更	
	図12 - 11 コンバータ動作開始の手順例 (基準電圧に内部基準電圧を使用する場合) の注を変更	
	図12 - 13 コンバータ動作開始の手順例 (基準電圧にコンバータ・コモン端子 (CMPCOM) からの入力電圧を使用する場合 (78K0/FB2-Lのみ)) に注を追加	
	図12 - 14 コンバータ動作停止の手順例を変更	第13章 シリアル・インタフェースUART6
	13.1 (2) アシクロナス・シリアル・インタフェース (UART) モードに説明を追加	
	表13 - 1 シリアル・インタフェースUART6の構成にポート出力モード・レジスタ6 (POM6) を追加	
	図13 - 4 シリアル・インタフェースUART6のブロック図に注2を追加	
	13.3 シリアル・インタフェースUART6を制御するレジスタに (10) ポート出力モード・レジスタ6 (POM6) を追加	
	13.4.2 (1) 使用するレジスタにポート出力モード・レジスタ6 (POM6) を追加	
	表13 - 2 レジスタの設定と端子の関係を変更	
図14 - 1 シリアル・インタフェースIICAのブロック図を変更		
図14 - 3 IICAシフト・レジスタ (IICA) のフォーマットに注意3を追加		
図14 - 5 IICAコントロール・レジスタ0 (IICACTL0) のフォーマット (1/4) に注3を追加, 注意を変更		
図14 - 5 IICAコントロール・レジスタ0 (IICACTL0) のフォーマット (2/4) のSPIE0ビットの説明を追加		
図14 - 5 IICAコントロール・レジスタ0 (IICACTL0) のフォーマット (3/4) のSTT0ビットの説明を変更		
図14 - 5 IICAコントロール・レジスタ0 (IICACTL0) のフォーマット (4/4) の注意を変更		
図14 - 6 IICAステータス・レジスタ0 (IICAS0) のフォーマット (2/3) を変更	第18章 スタンバイ機能	
図14 - 8 IICAコントロール・レジスタ1 (IICACTL1) のフォーマット (1/2) を変更		
14.3 (9) ポート・モード・レジスタ6 (PM6) の記述を一部削除		
14.4.2 IICWL, IICWHレジスタによる転送クロック設定方法を変更		
18.1.1 スタンバイ機能に注意2を追加		
図18 - 4 HALTモードのリセットによる解除を変更		
表18 - 3 STOPモード時の動作状態に注意2を追加		
図18 - 5 STOPモード解除時の動作タイミング (マスクされていない割り込み要求による解除の場合) に注1を追加		
図18 - 6 STOPモードの割り込み要求発生による解除 (2/2) (3) CPUクロックが高速内蔵発振クロックの場合に注2を追加		
図18 - 7 STOPモードのリセットによる解除を変更		



(4/6)

版 数	内 容	適用箇所	
第2.00版	図19 - 1 リセット機能のブロック図～図19 - 4 STOPモード中のRESET入力によるリセット・タイミングを変更	第19章 リセット機能	
	暫定値のため、変更の可能性がありますの注を削除	第20章 パワーオン・クリア回路	
	図20 - 2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生タイミングを変更	第21章 低電圧検出回路	
	暫定値のため、変更の可能性がありますの注を削除	第22章 レギュレータ	
	22.1 レギュレータの概要を変更	第22章 レギュレータ	
	図22 - 1 レギュレータ・モード制御レジスタ (RMC) のフォーマットを変更, 注意4を追加		
	表22 - 1 レギュレータ出力電圧条件を削除		
	22.3 セルフ・プログラミングに関する注意事項を追加	第23章 オプション・バイト	
	23.1 オプション・バイトの機能の(4) 0083H/1083Hを変更		
	図23 - 1 オプション・バイトのフォーマット (3/3) を変更	第24章 フラッシュ・メモリ	
	表24 - 2 端子接続一覧を変更		
	24.4.1 TOOL端子を変更		
	24.4.7 水晶/セラミック発振子接続時のオンボード書き込みを追加		
	24.5.2 フラッシュ・メモリ・プログラミング・モードを変更		
	24.7 PG-FP5使用時の各コマンド処理時間 (参考値) を追加		
	24.8 セルフ書き込みによるフラッシュ・メモリ・プログラミングに注意2～4と備考を変更		
	24.8.1 セルフ・プログラミングのモードを制御するレジスタと24.8.2 セルフ・プログラミング (フラッシュ・メモリの書き換え) の流れを追加		
	24.8.3 ブート・スワップ機能の注意を変更		
	24.9 書き込み済み品発注用ROMコードの作成方法を追加		
	25.1 QB-MINI2と78K0/Fx2-Lマイクロコントローラの接続に注意2を追加		第25章 オンチップ・デバッグ機能
	図25 - 1 QB-MINI2と78K0/Fx2-Lマイクロコントローラの接続例を変更		
	25.2 オンチップ・デバッグ・セキュリティIDを変更		
	25.3 ユーザ資源の確保を追加	第27章 電気的特性 ((A) 水準品) (ターゲット)	
	章を改訂		
	章を改訂	第28章 電気的特性 ((A2) 水準品) (ターゲット)	
	表30 - 1 表面実装タイプの半田付け条件にウェーブ・ソルダリングを追加	第30章 半田付け推奨条件	
	表31 - 1 ウェイトが発生するレジスタとCPUのウェイト・クロック数を変更	第31章 ウェイトに関する注意事項	
図A - 1 開発ツール構成 (1/2) の注3を変更	付録A 開発ツール		
図A - 1 開発ツール構成 (2/2) の注5を変更			
章を追加	付録B 改版履歴		

(5/6)

版 数	内 容	適用箇所
第2.01版	URLをルネサス エレクトロニクス社のWEBサイトに変更	全般
	表2 - 2 各端子の入出力回路タイプ (78K0/FY2-L) ~ 表2 - 4 各端子の入出力回路タイプ (78K0/FB2-L) を修正, 注2, 3を追加	第2章 端子機能
	表3 - 6 特殊機能レジスタ一覧を修正	第3章 CPUアーキテクチャ
	図6 - 3 16ビット・タイマX0, X1のブロック図を修正	第6章 16ビット・タイマX0, X1
	図6 - 8 16ビット・タイマX0動作制御レジスタ1 (TX0CTL1) のフォーマットに注3を追加	
	図6 - 12 16ビット・タイマX0動作制御レジスタ3 (TX0CTL3) のフォーマットに注5を追加	
	6.4 16ビット・タイマX0, X1の動作の(2) A/D変換スタート・タイミング信号出力を変更	
	6.5 16ビット・タイマX0, X1のPWM出力動作を変更	
	図6 - 47 連動モード1 (タイマ・リセット・モード) のタイミングと図6 - 49 連動モード2 (タイマ・リスタート・モード) のタイミングを修正	
	図6 - 51 連動モード3 (タイマ出力リセット・モード) のタイミングを修正	
	6.6 コンパレータ, INTP0連動機能に(4) 複数の連動モードの組み合わせを追加	
	図11 - 10 アナログ入力チャンネル指定レジスタ (ADS) のフォーマット (1/2) を修正	第11章 A/Dコンバータ
	図12 - 11 コンパレータ動作開始の手順例 (基準電圧に内部基準電圧を使用する場合) の注を修正	第12章 コンパレータ
	図17 - 4 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H) のフォーマット (78K0/FB2-L) を修正	第17章 割り込み機能
	図17 - 7 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H) のフォーマット (78K0/FB2-L) を修正	
	図17 - 10 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) のフォーマット (78K0/FB2-L) を修正	
	表18 - 3 STOPモード時の動作状態を修正	第18章 スタンバイ機能
	表19 - 2 各ハードウェアのリセット受け付け後の状態 (4/4) の注2を修正	第19章 リセット機能
	表19 - 3 リセット要求時のRESFの状態を修正	
	図20 - 2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生のタイミング (2/2) を修正	第20章 パワーオン・クリア機能
	図21 - 2 低電圧検出レジスタ (LVIM) のフォーマットの注1を修正	第21章 低電圧検出回路
	図21 - 3 低電圧検出レベル選択レジスタ (LVIS) のフォーマットの注を修正	
	21.4 低電圧検出回路の動作の(1) リセットとして使用 (LVIMD = 1) の備考を修正	
	21.4.1 リセットとして使用時の設定の(2) LVIデフォルト・スタート機能動作に設定時 (LVISTART = 1) を修正	
	21.4.2 割り込みとして使用時の設定の(2) LVIデフォルト・スタート機能動作に設定時 (LVISTART = 1) の説明を修正	
	図23 - 1 オプション・バイトのフォーマット (2/3) を修正	第23章 オプション・バイト
	25.1 QB-MINI2と78K0/Fx2-Lマイクロコントローラの接続に注意3を追加	第25章 オンチップ・デバッグ機能
	図25 - 1 QB-MINI2と78K0/Ix2マイクロコントローラの接続例に(2) TOOLC0, TOOLD0端子使用時 (X1, X2発振を使用, デバッグとプログラミングを両方行う) を追加	
	ターゲット・スペックを正式スペックに変更	第27章 電気的特性 (A) 水準品
	ターゲット・スペックを正式スペックに変更	第28章 電気的特性 (A2) 水準品

(6/6)

版 数	内 容	適用箇所
第2.02版	図6 - 22 (c) 16ビット・タイマX0動作制御レジスタ1 (TX0CTL1) の説明を修正	第6章 16ビット・タイマ X0, X1
	図6 - 22 (d) 16ビット・タイマX1動作制御レジスタ1 (TX1CTL1) (78K0/FB2-Lのみ) の説明を修正	
	6.4 (3) キャプチャ機能の説明を修正	
	6.4 (3) キャプチャ機能の備考1.と備考2.の説明を修正	
	図6 - 24 キャプチャ機能動作の基本タイミング例を変更	
	図6 - 24 キャプチャ機能動作の基本タイミング例の備考1.と備考2.を修正	
	図6 - 25 (b) 16ビット・タイマX0動作制御レジスタ1 (TX0CTL1) の説明を修正	
	図6 - 25 (c) 16ビット・タイマX1動作制御レジスタ1 (TX1CTL1) (78K0/FB2-Lのみ) の説明を修正	
	図6 - 26 キャプチャ機能動作時のソフトウェア処理例を変更	
	図6 - 26 キャプチャ機能動作時のソフトウェア処理例のカウンタ動作開始フローを修正	
	図6 - 26 キャプチャ機能動作時のソフトウェア処理例の備考1.と備考2.を修正	

---

78K0/Fx2-L ユーザーズマニュアル  
ハードウェア編

発行年月日      2009年8月25日 Rev.0.01  
                    2012年6月29日 Rev.2.03

発行              ルネサス エレクトロニクス株式会社  
                    〒211-8668 神奈川県川崎市中原区下沼部 1753

---



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。  
総合お問合せ窓口：<http://japan.renesas.com/contact/>

78K0/Fx2-L



ルネサスエレクトロニクス株式会社

R01UH0068JJ0203