

78K0R/Kx3-C

ユーザーズマニュアル ハードウェア編

16 ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力にノイズなどに起因して、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

(メ モ)

目次要約

第1章	概 説	...	19
第2章	端子機能	...	30
第3章	CPUアーキテクチャ	...	64
第4章	ポート機能	...	107
第5章	クロック発生回路	...	184
第6章	タイマ・アレイ・ユニット	...	232
第7章	リアルタイム・カウンタ	...	321
第8章	ウォッチドッグ・タイマ	...	349
第9章	クロック出力/ブザー出力制御回路	...	356
第10章	A/Dコンバータ	...	361
第11章	シリアル・アレイ・ユニット	...	388
第12章	シリアル・インタフェースIICA	...	512
第13章	CEC送受信回路	...	598
第14章	リモコン受信回路	...	657
第15章	乗除算器	...	726
第16章	DMAコントローラ	...	735
第17章	割り込み機能	...	756
第18章	キー割り込み機能	...	780
第19章	スタンバイ機能	...	784
第20章	リセット機能	...	798
第21章	パワーオン・クリア回路	...	810
第22章	低電圧検出回路	...	816
第23章	レギュレータ	...	838
第24章	オプション・バイト	...	840
第25章	フラッシュ・メモリ	...	846
第26章	オンチップ・デバッグ機能	...	865
第27章	10進補正 (BCD) 回路	...	868
第28章	命令セットの概要	...	871
第29章	電気的特性	...	892
第30章	外形図	...	938
第31章	半田付け推奨条件	...	940
付録A	開発ツール	...	941
付録B	改版履歴	...	949

このマニュアルの使い方

対象者 このマニュアルは78K0R/Kx3-Cの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。

対象製品は、次に示す各製品です。

- ・78K0R/KF3-C : μ PD78F1846A, 78F1847A
- ・78K0R/KG3-C : μ PD78F1848A, 78F1849A

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 78K0R/Kx3-Cのマニュアルは、このマニュアルと命令編(78K0Rマイクロコントローラ共通)の2冊に分かれています。

78K0R/Kx3-C ユーザーズ・マニュアル	78K0Rマイクロコントローラ ユーザーズ・マニュアル 命令編
端子機能	CPU機能
内部ブロック機能	命令セット
割り込み	命令の説明
その他の内蔵周辺機能	
電気的特性	

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

一通りの機能を理解しようとするとき

目次に従って読んでください。本文欄外の 印は、本版で改訂された主な箇所を示しています。

この" "をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がRA78K0Rでは予約語に、CC78K0Rでは#pragma sfr指令で、sfr変数として定義されているものです。

78K0Rマイクロコントローラの命令機能の詳細を知りたいとき

別冊の78K0Rマイクロコントローラ ユーザーズ・マニュアル 命令編(U17792J)を参照してください。

凡 例

データ表記の重み	: 左が上位桁, 右が下位桁
アクティブ・ロウの表記	: $\overline{\text{xxx}}$ (端子, 信号名称に上線)
注	: 本文中につけた注の説明
注意	: 気をつけて読んでいただきたい内容
備考	: 本文の補足説明
数の表記	: 2進数... xxxxB 10進数... xxx 16進数... xxxH

関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
78K0R/Kx3-C ユーザーズ・マニュアル	このマニュアル	R01UH0072E
78K0Rマイクロコントローラ ユーザーズ・マニュアル 命令編	R01US0029J	R01US0029E
78K0Rマイクロコントローラ セルフ・プログラミング・ライブラリ Type02 ユーザーズ・マニュアル ^注	U19193J	U19193E

注 この資料は技術管理です。当社販売員にお問い合わせください。

開発ツールの資料（ユーザーズ・マニュアル）

資料名	資料番号		
	和文	英文	
CC78K0R Ver.2.00 Cコンパイラ	操作編	U18549J	U18549E
	言語編	U18548J	U18548E
RA78K0R Ver.1.20 アセンブラ・パッケージ	操作編	U18547J	U18547E
	言語編	U18546J	U18546E
SM+ システム・シミュレータ	操作編	U18010J	U18010E
PM+ Ver.6.30		U18416J	U18416E
ID78K0R-QB Ver.3.20 統合デバッガ	操作編	U17839J	U17839E
CubeSuite+ V1.00.00 統合開発環境 ^注	起動編	R20UT0545J	R20UT0545E
	78K0R 設計編	R20UT0547J	R20UT0547E
	RL78, 78K0R コーディング編	R20UT0552J	R20UT0552E
	RL78, 78K0R ビルド編	R20UT0556J	R20UT0556E
	78K0R デバッグ編	R20UT0560J	R20UT0560E
	解析編	R20UT0563J	R20UT0563E
	メッセージ編	R20UT0407J	R20UT0407E

注 CubeSuite+の最新情報は下記のホーム・ページからご確認ください。

和文：<http://japan.renesas.com/cubesuite+>

英文：<http://www.renesas.com/cubesuite+>

開発ツール（ハードウェア）の資料（ユーザーズ・マニュアル）

資料名	資料番号	
	和文	英文
QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	R02UT0449J	R02UT0449J
QB-78K0RKX3C インサーキット・エミュレータ	U19324J	U19324E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

フラッシュ・メモリ書き込み用の資料 (ユーザーズ・マニュアル)

資料名	資料番号	
	和文	英文
PG-FP5 フラッシュ・メモリ・プログラマ	R02UT0008J	R02UT0008E

その他の資料

資料名	資料番号	
	和文	英文
ルネサス マイクロコンピュータ 総合カタログ	R01CS0001J	R01CS0001E
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電 (ESD) 破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://japan.renesas.com/prod/package/manual/index.html>

英文：<http://www.renesas.com/prod/package/manual/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。

EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。

Windows, Windows NTおよびWindows XPは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash[®]を使用しています。

目次

第1章 概 説 ... 19

- 1.1 特 徴 ... 19
- 1.2 応用分野 ... 20
- 1.3 オーダ情報 ... 20
- 1.4 端子接続図 (Top View) ... 21
 - 1.4.1 78K0R/KF3-C ... 21
 - 1.4.2 78K0R/KG3-C ... 23
- 1.5 78K0R/Kx3-Cマイクロコントローラの製品展開 ... 25
- 1.6 ブロック図 ... 26
 - 1.6.1 78K0R/KF3-C ... 26
 - 1.6.2 78K0R/KG3-C ... 27
- 1.7 機能概要 ... 28

第2章 端子機能 ... 30

- 2.1 端子機能一覧 ... 30
 - 2.1.1 78K0R/KF3-C ... 31
 - 2.1.2 78K0R/KG3-C ... 36
- 2.2 端子機能の説明 ... 41
 - 2.2.1 P00-P06 (Port 0) ... 41
 - 2.2.2 P10-P17 (Port 1) ... 42
 - 2.2.3 P20-P27 (Port 2) ... 44
 - 2.2.4 P30, P31 (Port 3) ... 44
 - 2.2.5 P40-P47 (Port 4) ... 45
 - 2.2.6 P50-P57 (Port 5) ... 47
 - 2.2.7 P60-P67 (Port 6) ... 48
 - 2.2.8 P70-P77 (Port 7) ... 48
 - 2.2.9 P80-P87 (Port 8) (78K0R/KG3-Cのみ) ... 49
 - 2.2.10 P90, P91 (Port 9) ... 49
 - 2.2.11 P110, P111 (Port 11) ... 50
 - 2.2.12 P120-P124 (Port 12) ... 50
 - 2.2.13 P130, P131 (Port 13) ... 51
 - 2.2.14 P140-P145 (Port 14) ... 52
 - 2.2.15 P150-P157 (Port 15) ... 53
 - 2.2.16 AVREF ... 54
 - 2.2.17 AVSS ... 54
 - 2.2.18 RESET ... 54
 - 2.2.19 REGC ... 54
 - 2.2.20 VDD, EVDD0, EVDD1 ... 55
 - 2.2.21 VSS, EVSS0, EVSS1 ... 55
 - 2.2.22 FLMD0 ... 55
- 2.3 端子の入出力回路と未使用端子の処理 ... 56
 - 2.3.1 78K0R/KF3-C ... 56

2.3.2 78K0R/KG3-C ... 59

第3章 CPUアーキテクチャ ... 64

- 3.1 **メモリ空間** ... 64
 - 3.1.1 内部プログラム・メモリ空間 ... 68
 - 3.1.2 ミラー領域 ... 70
 - 3.1.3 内部データ・メモリ空間 ... 71
 - 3.1.4 特殊機能レジスタ (SFR : Special Function Register) 領域 ... 72
 - 3.1.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域 ... 72
 - 3.1.6 データ・メモリ・アドレッシング ... 73
- 3.2 **プロセッサ・レジスタ** ... 75
 - 3.2.1 制御レジスタ ... 75
 - 3.2.2 汎用レジスタ ... 77
 - 3.2.3 ES, CSレジスタ ... 79
 - 3.2.4 特殊機能レジスタ (SFR : Special Function Register) ... 80
 - 3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) ... 86
- 3.3 **命令アドレスのアドレッシング** ... 94
 - 3.3.1 レラティブ・アドレッシング ... 94
 - 3.3.2 イミディエト・アドレッシング ... 94
 - 3.3.3 テーブル・インダイレクト・アドレッシング ... 95
 - 3.3.4 レジスタ・ダイレクト・アドレッシング ... 96
- 3.4 **処理データ・アドレスに対するアドレッシング** ... 97
 - 3.4.1 インプライド・アドレッシング ... 97
 - 3.4.2 レジスタ・アドレッシング ... 97
 - 3.4.3 ダイレクト・アドレッシング ... 98
 - 3.4.4 ショート・ダイレクト・アドレッシング ... 99
 - 3.4.5 SFRアドレッシング ... 100
 - 3.4.6 レジスタ・インダイレクト・アドレッシング ... 101
 - 3.4.7 ベースト・アドレッシング ... 102
 - 3.4.8 ベースト・インデクスト・アドレッシング ... 105
 - 3.4.9 スタック・アドレッシング ... 106

第4章 ポート機能 ... 107

- 4.1 **ポートの機能** ... 107
- 4.2 **ポートの構成** ... 112
 - 4.2.1 ポート0 ... 113
 - 4.2.2 ポート1 ... 119
 - 4.2.3 ポート2 ... 127
 - 4.2.4 ポート3 ... 128
 - 4.2.5 ポート4 ... 129
 - 4.2.6 ポート5 ... 136
 - 4.2.7 ポート6 ... 140
 - 4.2.8 ポート7 ... 145
 - 4.2.9 ポート8 (78K0R/KG3-Cのみ) ... 146
 - 4.2.10 ポート9 ... 147
 - 4.2.11 ポート11 ... 149
 - 4.2.12 ポート12 ... 151

- 4.2.13 ポート13 ... 155
- 4.2.14 ポート14 ... 157
- 4.2.15 ポート15 ... 162
- 4.3 ポート機能を制御するレジスタ ... 164
- 4.4 ポート機能の動作 ... 176
 - 4.4.1 入出力ポートへの書き込み ... 176
 - 4.4.2 入出力ポートからの読み出し ... 176
 - 4.4.3 入出力ポートでの演算 ... 176
 - 4.4.4 異電位 (2.5 V系, 3 V系) 外部デバイスとの接続方法 ... 177
- 4.5 兼用機能使用時のPF11, PF6, ポート・モード・レジスタ, 出力ラッチの設定 ... 179
- 4.6 ポート・レジスタn (Pn) に対する1ビット・メモリ操作命令に関する注意事項 ... 183

第5章 クロック発生回路 ... 184

- 5.1 クロック発生回路の機能 ... 184
- 5.2 クロック発生回路の構成 ... 185
- 5.3 クロック発生回路を制御するレジスタ ... 187
- 5.4 システム・クロック発振回路 ... 203
 - 5.4.1 X1発振回路 ... 203
 - 5.4.2 XT1発振回路 ... 203
 - 5.4.3 高速内蔵発振回路 ... 207
 - 5.4.4 低速内蔵発振回路 ... 207
 - 5.4.5 プリスケーラ ... 207
- 5.5 クロック発生回路の動作 ... 208
- 5.6 クロックの制御 ... 213
 - 5.6.1 高速システム・クロックの制御例 ... 213
 - 5.6.2 高速内蔵発振クロックの制御例 ... 216
 - 5.6.3 サブシステム・クロックの制御例 ... 218
 - 5.6.4 低速内蔵発振クロックの制御例 ... 220
 - 5.6.5 CPUクロック状態移行図 ... 221
 - 5.6.6 CPUクロックの移行前の条件と移行後の処理 ... 228
 - 5.6.7 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間 ... 230
 - 5.6.8 クロック発振停止前の条件 ... 231

第6章 タイマ・アレイ・ユニット ... 232

- 6.1 タイマ・アレイ・ユニットの機能 ... 232
 - 6.1.1 単独チャンネルで動作する機能 ... 232
 - 6.1.2 複数チャンネルで動作する機能 ... 233
- 6.2 タイマ・アレイ・ユニットの構成 ... 234
- 6.3 タイマ・アレイ・ユニットを制御するレジスタ ... 240
- 6.4 チャンネル出力 (TOmn端子) の制御 ... 266
 - 6.4.1 TOmn端子の出力回路の構成 ... 266
 - 6.4.2 TOmn端子の出力設定 ... 267
 - 6.4.3 チャンネル出力操作時の注意事項 ... 268
 - 6.4.4 TOmnビットの一括操作 ... 271
 - 6.4.5 カウント動作開始時のタイマ割り込みとTOmn端子出力について ... 272
- 6.5 チャンネル入力 (TImn端子) の制御 ... 273
 - 6.5.1 TImnエッジ検出回路 ... 273
- 6.6 タイマ・アレイ・ユニットの基本機能説明 ... 274

- 6.6.1 単体動作機能と連動動作機能の概要 ... 274
- 6.6.2 連動動作機能の基本ルール ... 274
- 6.6.3 連動動作機能の基本ルールの適用範囲 ... 275
- 6.7 **タイマ・アレイ・ユニットの単独チャンネルでの動作** ... 276
 - 6.7.1 インターバル・タイマ/方形波出力としての動作 ... 276
 - 6.7.2 外部イベント・カウンタとしての動作 ... 283
 - 6.7.3 分周器としての動作(ユニット0のチャンネル0のみ) ... 287
 - 6.7.4 入力パルス間隔測定としての動作 ... 291
 - 6.7.5 入力信号のハイ/ロウ・レベル幅測定としての動作 ... 295
- 6.8 **タイマ・アレイ・ユニットの複数チャンネルでの動作** ... 299
 - 6.8.1 PWM機能としての動作 ... 299
 - 6.8.2 ワンショット・パルス出力機能としての動作 ... 306
 - 6.8.3 多重PWM出力機能としての動作 ... 313

第7章 リアルタイム・カウンタ ... 321

- 7.1 **リアルタイム・カウンタの機能** ... 321
- 7.2 **リアルタイム・カウンタの構成** ... 321
- 7.3 **リアルタイム・カウンタを制御するレジスタ** ... 323
- 7.4 **リアルタイム・カウンタの動作** ... 338
 - 7.4.1 リアルタイム・カウンタの動作開始 ... 338
 - 7.4.2 動作開始後のSTOPモードへの移行 ... 339
 - 7.4.3 リアルタイム・カウンタのカウント読み出し/書き込み ... 340
 - 7.4.4 リアルタイム・カウンタのアラーム設定 ... 342
 - 7.4.5 リアルタイム・カウンタの1 Hz出力 ... 343
 - 7.4.6 リアルタイム・カウンタの32.768 kHz出力 ... 343
 - 7.4.7 リアルタイム・カウンタの512 Hz, 16.384 kHz出力 ... 343
 - 7.4.8 リアルタイム・カウンタの時計誤差補正例 ... 344

第8章 ウォッチドッグ・タイマ ... 349

- 8.1 **ウォッチドッグ・タイマの機能** ... 349
- 8.2 **ウォッチドッグ・タイマの構成** ... 350
- 8.3 **ウォッチドッグ・タイマを制御するレジスタ** ... 351
- 8.4 **ウォッチドッグ・タイマの動作** ... 352
 - 8.4.1 ウォッチドッグ・タイマの動作制御 ... 352
 - 8.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定 ... 353
 - 8.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定 ... 354
 - 8.4.4 ウォッチドッグ・タイマのインターバル割り込みの設定 ... 355

第9章 クロック出力/ブザー出力制御回路 ... 356

- 9.1 **クロック出力/ブザー出力制御回路の機能** ... 356
- 9.2 **クロック出力/ブザー出力制御回路の構成** ... 357
- 9.3 **クロック出力/ブザー出力制御回路を制御するレジスタ** ... 357
- 9.4 **クロック出力/ブザー出力制御回路の動作** ... 360
 - 9.4.1 出力端子の動作 ... 360

第10章 A/Dコンバータ ... 361

- 10.1 A/Dコンバータの機能 ... 361
- 10.2 A/Dコンバータの構成 ... 362
- 10.3 A/Dコンバータで使用するレジスタ ... 364
- 10.4 A/Dコンバータの動作 ... 375
 - 10.4.1 A/Dコンバータの基本動作 ... 375
 - 10.4.2 入力電圧と変換結果 ... 377
 - 10.4.3 A/Dコンバータの動作モード ... 378
- 10.5 A/Dコンバータ特性表の読み方 ... 381
- 10.6 A/Dコンバータの注意事項 ... 384

第11章 シリアル・アレイ・ユニット ... 388

- 11.1 シリアル・アレイ・ユニットの機能 ... 389
 - 11.1.1 3線シリアルI/O (CSI00, CSI01, CSI10, CSI20) ... 389
 - 11.1.2 UART (UART0, UART1, UART2) ... 389
 - 11.1.3 簡易I²C (IIC10, IIC20) ... 390
- 11.2 シリアル・アレイ・ユニットの構成 ... 391
- 11.3 シリアル・アレイ・ユニットを制御するレジスタ ... 396
- 11.4 動作停止モード ... 416
 - 11.4.1 ユニット単位で動作停止とする場合 ... 416
 - 11.4.2 各チャンネルごとに動作停止とする場合 ... 417
- 11.5 3線シリアルI/O (CSI00, CSI01, CSI10, CSI20) 通信の動作 ... 418
 - 11.5.1 マスタ送信 ... 419
 - 11.5.2 マスタ受信 ... 427
 - 11.5.3 マスタ送受信 ... 435
 - 11.5.4 スレーブ送信 ... 443
 - 11.5.5 スレーブ受信 ... 451
 - 11.5.6 スレーブ送受信 ... 457
 - 11.5.7 転送クロック周波数の算出 ... 465
 - 11.5.8 3線シリアルI/O (CSI00, CSI01, CSI10, CSI20) 通信時におけるエラー発生時の処理手順 ... 467
- 11.6 UART (UART0, UART1, UART2) 通信の動作 ... 468
 - 11.6.1 UART送信 ... 469
 - 11.6.2 UART受信 ... 477
 - 11.6.3 ボー・レートの算出 ... 483
 - 11.6.4 UART (UART0, UART1, UART2) 通信時におけるエラー発生時の処理手順 ... 487
- 11.7 簡易I²C (IIC10, IIC20) 通信の動作 ... 488
 - 11.7.1 アドレス・フィールド送信 ... 489
 - 11.7.2 データ送信 ... 494
 - 11.7.3 データ受信 ... 497
 - 11.7.4 ストップ・コンディション発生 ... 501
 - 11.7.5 転送レートの算出 ... 502
 - 11.7.6 簡易I²C (IIC10, IIC20) 通信時におけるエラー発生時の処理手順 ... 505
- 11.8 レジスタの設定と端子の関係 ... 506

第12章 シリアル・インタフェースIICA ... 512

- 12.1 シリアル・インタフェースIICAの機能 ... 512
- 12.2 シリアル・インタフェースIICAの構成 ... 515
- 12.3 シリアル・インタフェースIICAを制御するレジスタ ... 518
- 12.4 I²Cバス・モードの機能 ... 532
 - 12.4.1 端子構成 ... 532
 - 12.4.2 IICWL, IICWHレジスタによる転送クロック設定方法 ... 533
- 12.5 I²Cバスの定義および制御方法 ... 534
 - 12.5.1 スタート・コンディション ... 534
 - 12.5.2 アドレス ... 535
 - 12.5.3 転送方向指定 ... 535
 - 12.5.4 アクノリッジ (ACK) ... 536
 - 12.5.5 ストップ・コンディション ... 537
 - 12.5.6 ウェイト ... 538
 - 12.5.7 ウェイト解除方法 ... 540
 - 12.5.8 割り込み要求 (INTIICA) 発生タイミングおよびウェイト制御 ... 541
 - 12.5.9 アドレスの一致検出方法 ... 542
 - 12.5.10 エラーの検出 ... 542
 - 12.5.11 拡張コード ... 543
 - 12.5.12 アービトレーション ... 544
 - 12.5.13 ウェイク・アップ機能 ... 546
 - 12.5.14 通信予約 ... 549
 - 12.5.15 その他の注意事項 ... 553
 - 12.5.16 通信動作 ... 554
 - 12.5.17 I²C割り込み要求 (INTIICA) の発生タイミング ... 562
- 12.6 タイミング・チャート ... 583

第13章 CEC送受信回路 ... 598

- 13.1 CEC送受信回路の機能 ... 598
- 13.2 CEC送受信回路の構成 ... 601
- 13.3 用語の説明 ... 602
- 13.4 CEC送受信回路を制御するレジスタ ... 603
- 13.5 スタート・ビットとデータ・ビットのレジスタ ... 619
 - 13.5.1 CEC送信データのロウ・レベル幅/ビット幅設定 ... 619
 - 13.5.2 CEC受信データのタイミング・チェック ... 621
 - 13.5.3 CEC受信データの1/0判定 ... 624
 - 13.5.4 エラー・ハンドリング, シグナル・フリー・タイム, バス・ロック検出の1ビット・データ幅設定 ... 625
- 13.6 CEC送受信回路の動作 ... 626
 - 13.6.1 CEC送受信データ・フォーマット ... 626
 - 13.6.2 通信種別 ... 626
 - 13.6.3 ビット・タイミング ... 627
 - 13.6.4 ヘッダ/データ・ブロック ... 628
 - 13.6.5 EOM (End of Message) ... 628
 - 13.6.6 ACK (Acknowledge) ... 629
- 13.7 CEC通信機能 ... 630
 - 13.7.1 通信ビット幅調整機能 ... 630
 - 13.7.2 受信ビット・タイミング・チェック機能 ... 631

- 13.7.3 CEC通信初期設定 ... 632
- 13.7.4 CEC送信 ... 635
- 13.7.5 CEC受信 ... 638
- 13.7.6 エラー検出機能 ... 645
- 13.7.7 エラー・フラグのクリア方法 ... 654
- 13.7.8 シグナル・フリー・タイム ... 655

第14章 リモコン受信回路 ... 657

- 14.1 リモコン受信回路の機能 ... 657
- 14.2 リモコン受信回路の構成 ... 658
- 14.3 リモコン受信回路を制御するレジスタ ... 666
- 14.4 リモコン受信回路のコンペア・レジスタ ... 673
- 14.5 リモコン受信回路の動作 ... 692
 - 14.5.1 A方式受信モードのフォーマット ... 693
 - 14.5.2 A方式受信モードの動作フロー ... 693
 - 14.5.3 B方式受信モードのフォーマット ... 695
 - 14.5.4 B方式受信モードの動作フロー ... 695
 - 14.5.5 C方式受信モードのフォーマット ... 697
 - 14.5.6 C方式受信モードの動作フロー ... 697
 - 14.5.7 B1方式受信モードのフォーマット ... 699
 - 14.5.8 B1方式受信モードの動作フロー ... 699
 - 14.5.9 C1方式受信モードのフォーマット ... 701
 - 14.5.10 C1方式受信モードの動作フロー ... 701
 - 14.5.11 タイミング説明 ... 703
 - 14.5.12 コンペア・レジスタ設定 ... 712
 - 14.5.13 エラー割り込み発生タイミング ... 715
 - 14.5.14 割り込み使用説明 ... 721

第15章 乗除算器 ... 726

- 15.1 乗除算器の機能 ... 726
- 15.2 乗除算器の構成 ... 726
- 15.3 乗除算器を制御するレジスタ ... 731
- 15.4 乗除算器の動作 ... 732
 - 15.4.1 乗算動作 ... 732
 - 15.4.2 除算動作 ... 733

第16章 DMAコントローラ ... 735

- 16.1 DMAコントローラの機能 ... 735
- 16.2 DMAコントローラの構成 ... 736
- 16.3 DMAコントローラを制御するレジスタ ... 739
- 16.4 DMAコントローラの動作 ... 743
 - 16.4.1 動作手順 ... 743
 - 16.4.2 転送モード ... 744
 - 16.4.3 DMA転送の終了 ... 744
- 16.5 DMAコントローラの設定例 ... 745
 - 16.5.1 CSI連続送信 ... 745

- 16.5.2 A/D変換結果の連続取り込み ... 747
- 16.5.3 UART連続受信 + ACK送信 ... 749
- 16.5.4 DWAITnによるDMA転送保留 ... 751
- 16.5.5 ソフトウェアでの強制終了 ... 752
- 16.6 DMAコントローラの注意事項 ... 754

第17章 割り込み機能 ... 756

- 17.1 割り込み機能の種類 ... 756
- 17.2 割り込み要因と構成 ... 756
- 17.3 割り込み機能を制御するレジスタ ... 762
- 17.4 割り込み処理動作 ... 772
 - 17.4.1 マスカブル割り込み要求の受け付け動作 ... 772
 - 17.4.2 ソフトウェア割り込み要求の受け付け動作 ... 775
 - 17.4.3 多重割り込み処理 ... 775
 - 17.4.4 割り込み要求の保留 ... 779

第18章 キー割り込み機能 ... 780

- 18.1 キー割り込みの機能 ... 780
- 18.2 キー割り込みの構成 ... 781
- 18.3 キー割り込みを制御するレジスタ ... 782

第19章 スタンバイ機能 ... 784

- 19.1 スタンバイ機能と構成 ... 784
 - 19.1.1 スタンバイ機能 ... 784
 - 19.1.2 スタンバイ機能を制御するレジスタ ... 785
- 19.2 スタンバイ機能の動作 ... 788
 - 19.2.1 HALTモード ... 788
 - 19.2.2 STOPモード ... 793

第20章 リセット機能 ... 798

- 20.1 リセット要因を確認するレジスタ ... 809

第21章 パワーオン・クリア回路 ... 810

- 21.1 パワーオン・クリア回路の機能 ... 810
- 21.2 パワーオン・クリア回路の構成 ... 811
- 21.3 パワーオン・クリア回路の動作 ... 811
- 21.4 パワーオン・クリア回路の注意事項 ... 814

第22章 低電圧検出回路 ... 816

- 22.1 低電圧検出回路の機能 ... 816
- 22.2 低電圧検出回路の構成 ... 817
- 22.3 低電圧検出回路を制御するレジスタ ... 817
- 22.4 低電圧検出回路の動作 ... 821

- 22. 4. 1 リセットとして使用時の設定 ... 821
- 22. 4. 2 割り込みとして使用時の設定 ... 828
- 22. 5 低電圧検出回路の注意事項 ... 834

第23章 レギュレータ ... 838

- 23. 1 レギュレータの概要 ... 838
- 23. 2 レギュレータを制御するレジスタ ... 838

第24章 オプション・バイト ... 840

- 24. 1 オプション・バイトの機能 ... 840
 - 24. 1. 1 ユーザ・オプション・バイト (000C0H-000C2H/010C0H-010C2H) ... 840
 - 24. 1. 2 オンチップ・デバッグ・オプション・バイト (000C3H/010C3H) ... 841
- 24. 2 ユーザ・オプション・バイトのフォーマット ... 842
- 24. 3 オンチップ・デバッグ・オプション・バイトのフォーマット ... 844
- 24. 4 オプション・バイトの設定 ... 845

第25章 フラッシュ・メモリ ... 846

- 25. 1 フラッシュ・メモリ・プログラマによる書き込み方法 ... 846
- 25. 2 プログラミング環境 ... 850
- 25. 3 通信方式 ... 850
- 25. 4 オンボード上の端子処理 ... 852
 - 25. 4. 1 FLMD0端子 ... 852
 - 25. 4. 2 TOOL0端子 ... 853
 - 25. 4. 3 RESET端子 ... 853
 - 25. 4. 4 ポート端子 ... 853
 - 25. 4. 5 REGC端子 ... 853
 - 25. 4. 6 X1, X2端子 ... 854
 - 25. 4. 7 電 源 ... 854
- 25. 5 フラッシュ・メモリを制御するレジスタ ... 855
- 25. 6 プログラミング方法 ... 855
 - 25. 6. 1 フラッシュ・メモリ制御 ... 855
 - 25. 6. 2 フラッシュ・メモリ・プログラミング・モード ... 856
 - 25. 6. 3 通信方式 ... 856
 - 25. 6. 4 通信コマンド ... 857
- 25. 7 セキュリティ設定 ... 858
- 25. 8 セルフ書き込みによるフラッシュ・メモリ・プログラミング ... 860
 - 25. 8. 1 ブート・スワップ機能 ... 862
 - 25. 8. 2 フラッシュ・シールド・ウインドウ機能 ... 864

第26章 オンチップ・デバッグ機能 ... 865

- 26. 1 QB-MINI2と78K0R/Kx3-Cの接続 ... 865
- 26. 2 オンチップ・デバッグ・セキュリティID ... 866
- 26. 3 ユーザ資源の確保 ... 866

第27章 10進補正 (BCD) 回路 ... 868

- 27.1 10進補正回路の機能 ... 868
- 27.2 10進補正回路で使用するレジスタ ... 868
- 27.3 10進補正回路の動作 ... 869

第28章 命令セットの概要 ... 871

- 28.1 凡 例 ... 872
 - 28.1.1 オペランドの表現形式と記述方法 ... 872
 - 28.1.2 オペレーション欄の説明 ... 873
 - 28.1.3 フラグ動作欄の説明 ... 874
 - 28.1.4 PREFIX命令 ... 874
- 28.2 オペレーション一覧 ... 875

第29章 電気的特性 ... 892

第30章 外形図 ... 938

第31章 半田付け推奨条件 ... 940

付録A 開発ツール ... 941

- A.1 ソフトウェア・パッケージ ... 944
- A.2 言語処理用ソフトウェア ... 944
- A.3 制御ソフトウェア ... 945
- A.4 フラッシュ・メモリ書き込み用ツール ... 946
 - A.4.1 フラッシュ・メモリ・プログラマ PG-FP5, FL-PR5を使用する場合 ... 946
 - A.4.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合 ... 946
- A.5 デバッグ用ツール (ハードウェア) ... 947
 - A.5.1 インサーキット・エミュレータを使用する場合 ... 947
 - A.5.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合 ... 948
- A.6 デバッグ用ツール (ソフトウェア) ... 948

付録B 改版履歴 ... 949

- B.1 本版で改訂された主な箇所 ... 949
- B.2 前版までの改版履歴 ... 949

第1章 概 説

1.1 特 徴

高速 (0.05 μ s : 高速システム・クロック20 MHz動作時) から超低速 (61 μ s : サブシステム・クロック32.768 kHz動作時) まで最小命令実行時間を変更可能

汎用レジスタ : 8ビット×32レジスタ (8ビット×8レジスタ×4バンク)

ROM, RAM容量

フラッシュROM	RAM	78K0R/KF3-C	78K0R/KG3-C
		80ピン	100ピン
128 KB	8 KB ^注	μ PD78F1847A	μ PD78F1849A
96 KB	6 KB	μ PD78F1846A	μ PD78F1848A

注 セルフ・プログラミング機能使用時は, 7 Kバイト

高速内蔵発振クロック内蔵

- ・20 MHz高速内蔵発振クロック : 20 MHz (TYP.)
- ・8 MHz高速内蔵発振クロック : 8 MHz (TYP.)

単電源のフラッシュ・メモリ内蔵 (チップ消去 / ブロック消去 / 書き込み禁止機能あり)

セルフ・プログラミング機能対応 (ブート・スワップ / フラッシュ・シールド・ウインドウ機能あり)

オンチップ・デバッグ機能内蔵

パワーオン・クリア (POC) 回路, 低電圧検出 (LVI) 回路内蔵

ウォッチドッグ・タイマ内蔵 (専用の低速内蔵発振クロックで動作可能)

乗除算器 (16ビット×16ビット, 32ビット÷32ビット) 内蔵

キー割り込み機能内蔵

クロック出力 / ブザー出力制御回路内蔵

10進補正 (BCD) 回路内蔵

I/Oポート

78K0R/KF3-C : 71本 (N-chオープン・ドレイン : 4本)

78K0R/KG3-C : 89本 (N-chオープン・ドレイン : 4本)

タイマ : 13チャンネル

- ・16ビット・タイマ : 11チャンネル
- ・ウォッチドッグ・タイマ : 1チャンネル
- ・リアルタイム・カウンタ : 1チャンネル

シリアル・インタフェース

- ・CSI : 2チャンネル / UART : 1チャンネル
- ・CSI : 1チャンネル / UART : 1チャンネル / 簡易I²C : 1チャンネル
- ・CSI : 1チャンネル / UART : 1チャンネル / 簡易I²C : 1チャンネル
- ・I²C : 1チャンネル

10ビット分解能A/Dコンバータ (AVREF = 2.7 ~ 5.5 V)

78K0R/KF3-C : 12チャンネル

78K0R/KG3-C : 16チャンネル

CEC送受信回路

リモコン受信回路

電源電圧 : V_{DD} = 2.7 ~ 5.5 V

動作周囲温度 : T_A = -40 ~ +85

1.2 応用分野

デジタルAV機器

1.3 オーダ情報

・フラッシュ・メモリ製品

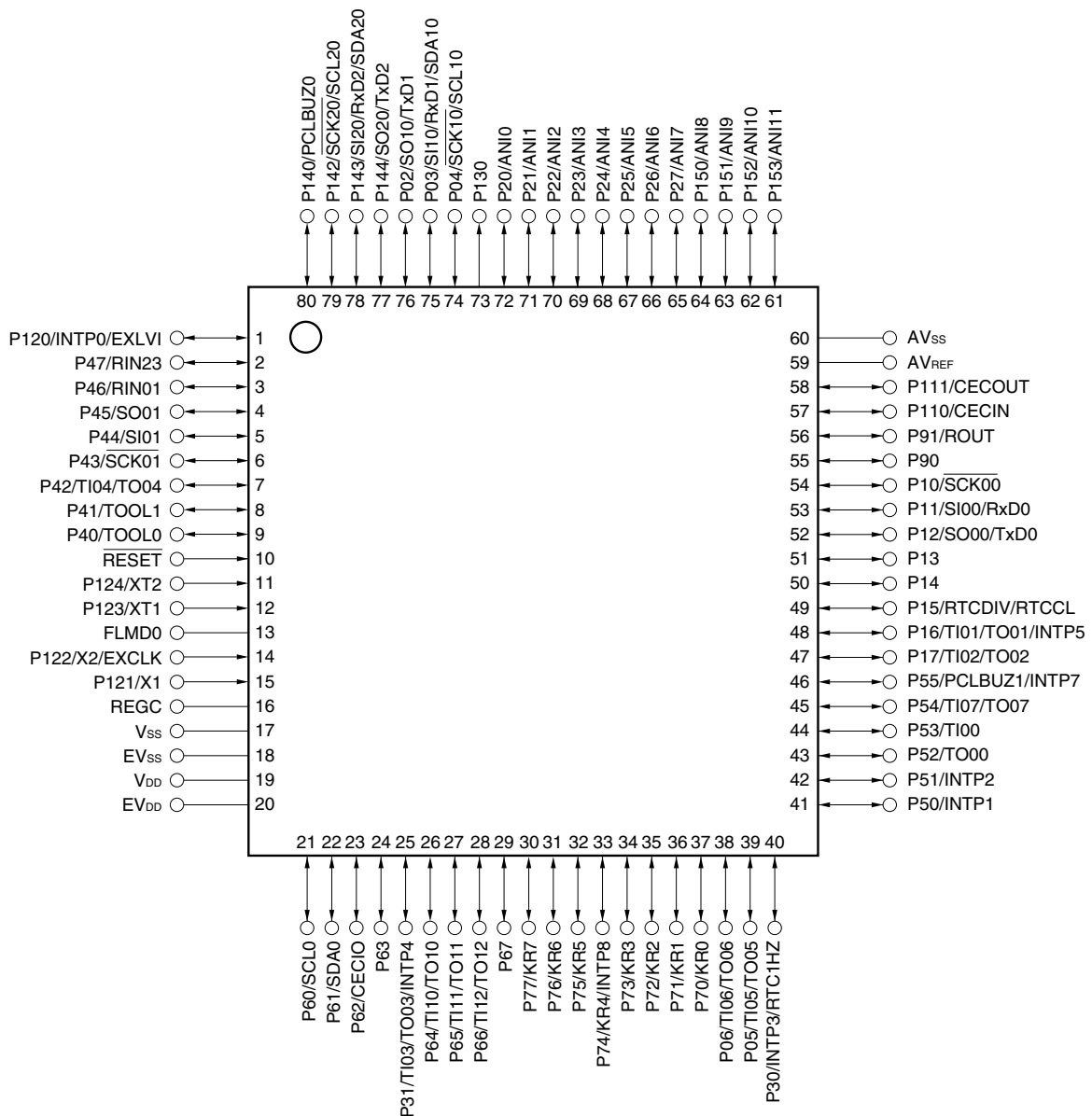
78K0R/Kx3-C マイクロコン トローラ	パッケージ	オーダ名称
78K0R/KF3-C	80ピン・プラスチックLQFP(ファインピッチ)(12x12)	μ PD78F1846AGK-GAK-AX, 78F1847AGK-GAK-AX
78K0R/KG3-C	100ピン・プラスチックLQFP(ファインピッチ)(14x14)	μ PD78F1848AGC-UEU-AX, 78F1849AGC-UEU-AX

注意 78K0R/Kx3-Cには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

1.4 端子接続図 (Top View)

1.4.1 78K0R/KF3-C

・ 80ピン・プラスチックLQFP (ファインピッチ) (12x12)



注意 1. AV_{SS}, EV_{SS}は, V_{SS}と同電位にしてください。

2. EV_{DD}は, V_{DD}と同電位にしてください。

3. REGCはコンデンサ (0.47 ~ 1 μ F) を介し, V_{SS}に接続してください。

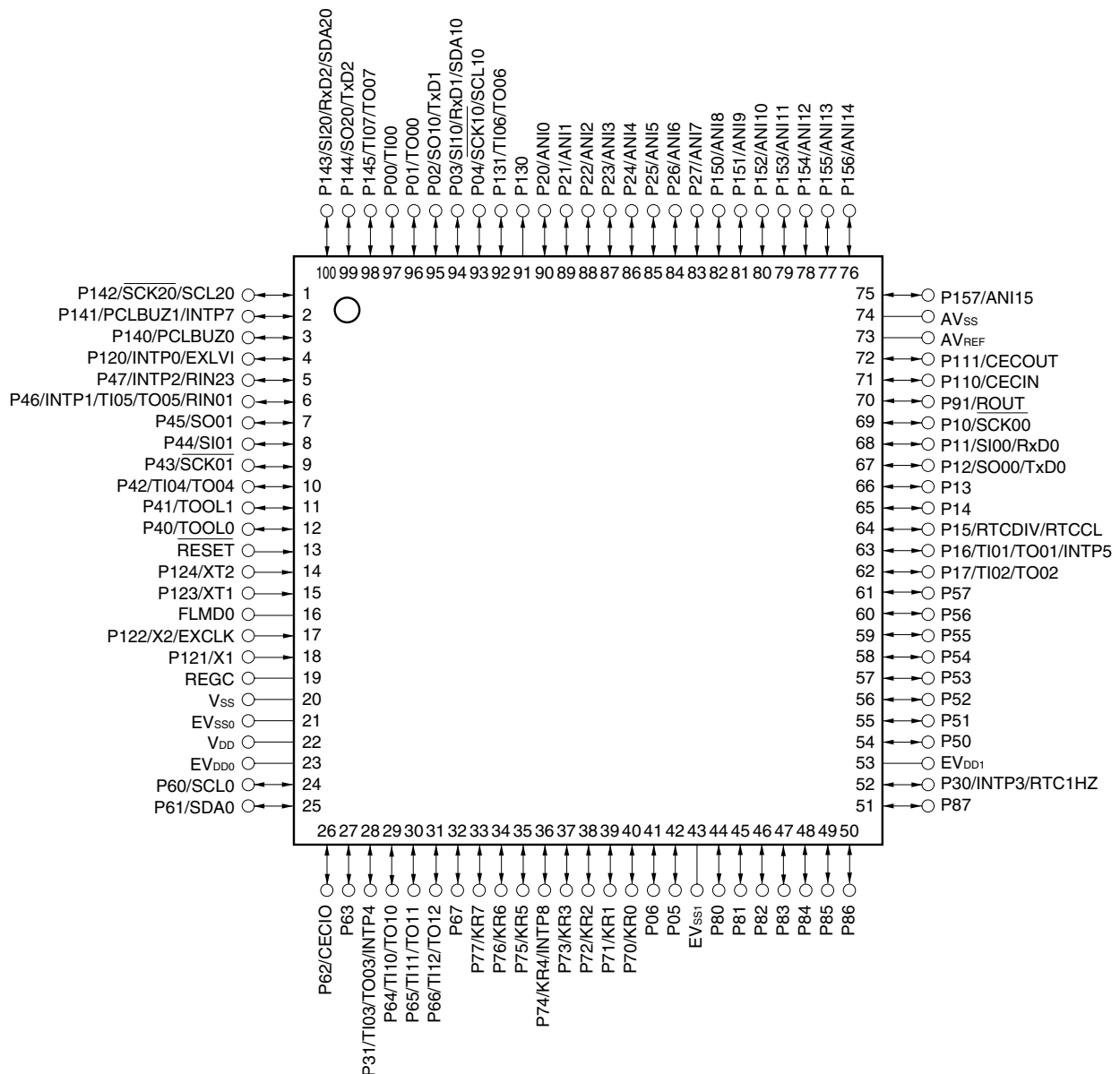
4. P20/ANI0-P27/ANI7, P150/ANI8-P153/ANI11は, A/Dポート・コンフィギュレーション・レジスタ (ADPC) により, P153/ANI11, ..., P150/ANI8, P27/ANI7, ..., P20/ANI0の順にアナログ入力に設定されます。アナログ入力として使用する場合は, P153/ANI11から設計してください (詳細は, 10.3 (6) A/Dポート・コンフィギュレーション・レジスタ (ADPC) 参照)。

端子名称

ANI0-ANI11	: Analog Input	PCLBUZ0, PCLBUZ1	: Programmable Clock Output
AVREF	: Analog Reference Voltage		/ Buzzer Output
AVss	: Analog Ground	REGC	: Regulator Capacitance
CECIN	: Consumer Electronics Control Input	$\overline{\text{RESET}}$ RIN01	: Reset : Remote Control Input
CECIO	: Consumer Electronics Control Input/Output	RIN23 ROUT	: Remote Control Input : Remote Control Output
CECOUT	: Consumer Electronics Control Output	RTC1HZ	: Real-time Counter Correction Clock (1 Hz) Output
EVDD	: Power Supply for Port	RTCCL	: Real-time Counter Clock (32 kHz
EVss	: Ground for Port		Original Oscillation) Output
EXCLK	: External Clock Input (Main System Clock)	RTCDIV	: Real-time Counter Clock (32 kHz Divided Frequency) Output
EXLVI	: External Potential Input for Low-voltage Detector	RxD0-RxD2 $\overline{\text{SCK00}}$, $\overline{\text{SCK01}}$,	: Receive Data : Serial Clock Input/Output
FLMD0	: Flash Programming Mode	$\overline{\text{SCK10}}$, $\overline{\text{SCK20}}$	
INTP0-INTP5, INTP7, INTP8	: External Interrupt Input	SCL0, SCL10, SCL20 SDA0, SDA10, SDA20	: Serial Clock Input/Output : Serial Data Input/Output
KR0-KR7	: Key Return	SI00, SI01,	: Serial Data Input
P02-P06	: Port 0	SI10, SI20	
P10-P17	: Port 1	SO00, SO01,	: Serial Data Output
P20-P27	: Port 2	SO10, SO20	
P30, P31	: Port 3	TI00-TI07, TI10-TI12	: Timer Input
P40-P47	: Port 4	TO00-TO07, TO10-TO12	: Timer Output
P50-P55	: Port 5	TOOL0	: Data Input/Output for Tool
P60-P67	: Port 6	TOOL1	: Clock Output for Tool
P70-P77	: Port 7	TxD0-TxD2	: Transmit Data
P90, P91	: Port 9	VDD	: Power Supply
P110, P111	: Port 11	Vss	: Ground
P120-P124	: Port 12	X1, X2	: Crystal Oscillator (Main System Clock)
P130	: Port 13		
P140, P142-P144	: Port 14	XT1, XT2	: Crystal Oscillator (Subsystem Clock)
P150-P153	: Port 15		

1.4.2 78K0R/KG3-C

・100ピン・プラスチックLQFP（ファインピッチ）（14x14）



注意 1. AV_{SS}, EV_{SS0}, EV_{SS1}は、V_{SS}と同電位にしてください。

2. EV_{DD0}, EV_{DD1}は、V_{DD}と同電位にしてください。

3. REGCはコンデンサ（0.47～1 μF）を介し、V_{SS}に接続してください。

4. P20/ANI0-P27/ANI7, P150/ANI8-P157/ANI15は、A/Dポート・コンフィギュレーション・レジスタ（ADPC）により、P157/ANI15, ..., P150/ANI8, P27/ANI7, ..., P20/ANI0の順にアナログ入力に設定されます。アナログ入力として使用する場合は、P157/ANI15から設計してください（詳細は、10.3（6）A/Dポート・コンフィギュレーション・レジスタ（ADPC）参照）。

備考 マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、V_{DD}と2つのEV_{DD}に個別の電源を供給し、V_{SS}と2つのEV_{SS}を別々のグラウンド・ラインに接続するなどのノイズ対策を行うことを推奨します。

端子名称

ANI0-ANI15	: Analog Input	PCLBUZ0, PCLBUZ1	: Programmable Clock Output
AVREF	: Analog Reference Voltage		/ Buzzer Output
AVSS	: Analog Ground	REGC	: Regulator Capacitance
CECIN	: Consumer Electronics Control Input	$\overline{\text{RESET}}$ RIN01	: Reset : Remote Control Input
CECIO	: Consumer Electronics Control Input/Output	RIN23 ROUT	: Remote Control Input : Remote Control Output
CECOUT	: Consumer Electronics Control Output	RTC1HZ	: Real-time Counter Correction Clock (1 Hz) Output
EVDD0, EVDD1	: Power Supply for Port	RTCCL	: Real-time Counter Clock (32 kHz Original Oscillation) Output
EVSS0, EVSS1	: Ground for Port		
EXCLK	: External Clock Input (Main System Clock)	RTCDIV	: Real-time Counter Clock (32 kHz Divided Frequency) Output
EXLVI	: External Potential Input for Low-voltage Detector	RxD0-RxD2 $\overline{\text{SCK00}}$, $\overline{\text{SCK01}}$,	: Receive Data : Serial Clock Input/Output
FLMD0	: Flash Programming Mode	$\overline{\text{SCK10}}$, $\overline{\text{SCK20}}$	
INTP0-INTP5, INTP7, INTP8	: External Interrupt Input	SCL0, SCL10, SCL20 SDA0, SDA10, SDA20	: Serial Clock Input/Output : Serial Data Input/Output
KR0-KR7	: Key Return	SI00, SI01,	: Serial Data Input
P00-P06	: Port 0	SI10, SI20	
P10-P17	: Port 1	SO00, SO01,	: Serial Data Output
P20-P27	: Port 2	SO10, SO20	
P30, P31	: Port 3	TI00-TI07, TI10-TI12	: Timer Input
P40-P47	: Port 4	TO00-TO07, TO10-TO12	: Timer Output
P50-P57	: Port 5	TOOL0	: Data Input/Output for Tool
P60-P67	: Port 6	TOOL1	: Clock Output for Tool
P70-P77	: Port 7	TxD0-TxD2	: Transmit Data
P80-P87	: Port 8	VDD	: Power Supply
P91	: Port 9	VSS	: Ground
P110, P111	: Port 11	X1, X2	: Crystal Oscillator (Main System Clock)
P120-P124	: Port 12		
P130, P131	: Port 13	XT1, XT2	: Crystal Oscillator (Subsystem Clock)
P140-P145	: Port 14		
P150-P157	: Port 15		

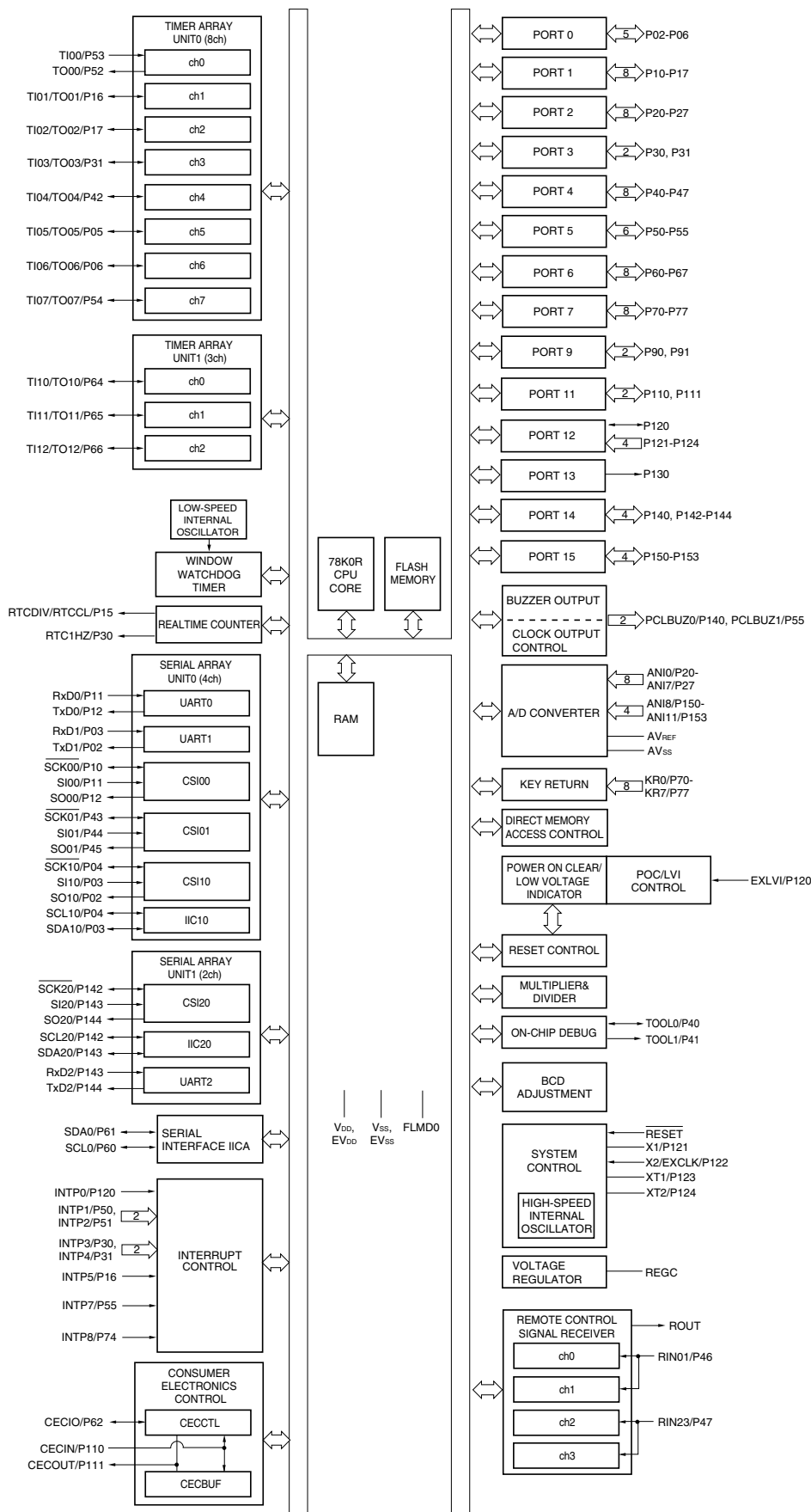
1.5 78K0R/Kx3-Cマイクロコントローラの製品展開

ROM	RAM	78K0R/KF3-C	78K0R/KG3-C
		80ピン	100ピン
128 KB	8 KB ^注	μ PD78F1847A	μ PD78F1849A
96 KB	6 KB	μ PD78F1846A	μ PD78F1848A

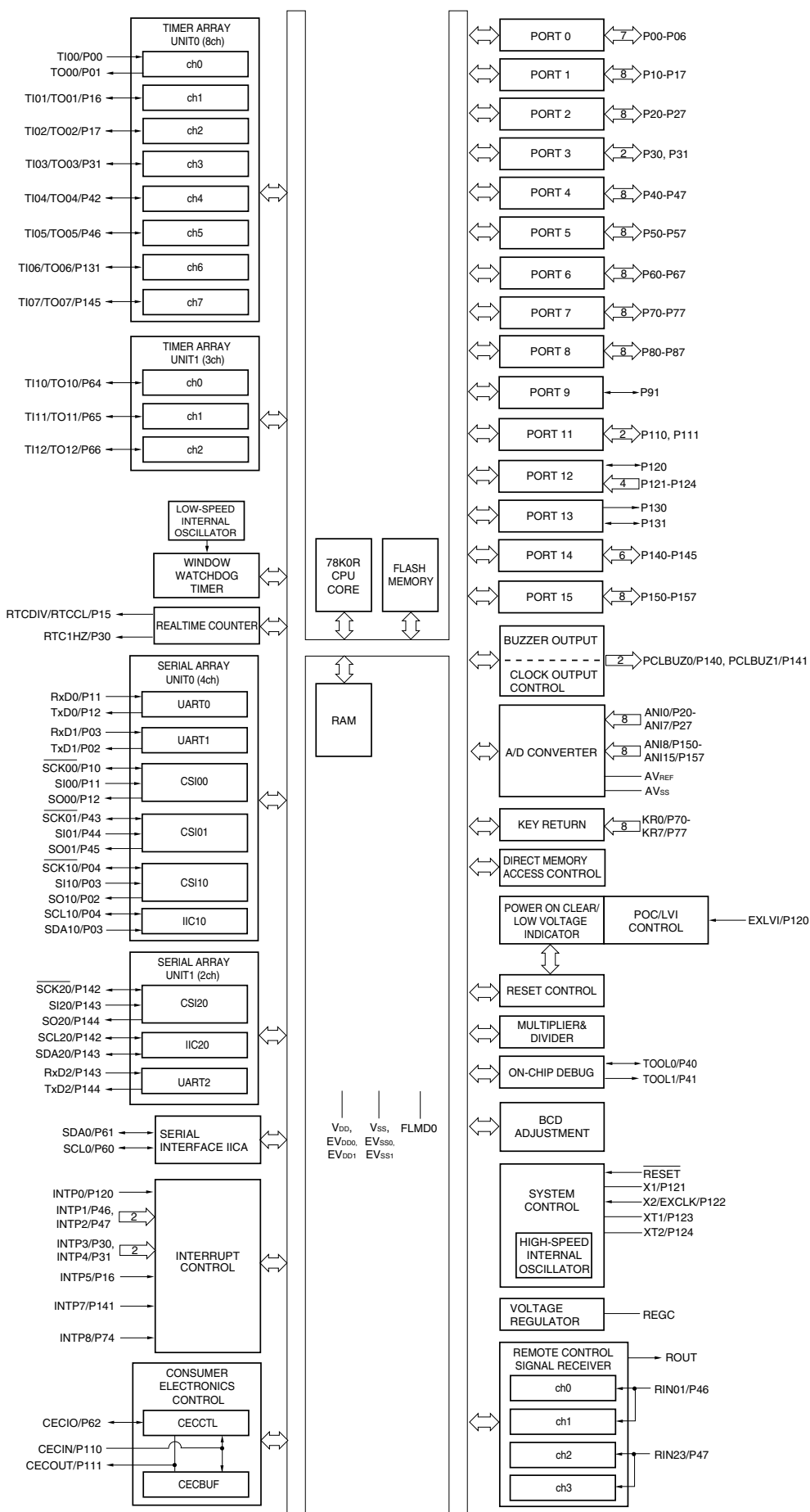
注 セルフ・プログラミング機能使用時は、7 Kバイト

1.6 ブロック図

1.6.1 78K0R/KF3-C



1.6.2 78K0R/KG3-C



1.7 機能概要

(1/2)

項 目		78K0R/KF3-C		78K0R/KG3-C	
		μ PD78F1846	μ PD78F1847	μ PD78F1848	μ PD78F1849
内部メモリ	フラッシュ・メモリ(セルフ・プログラミング対応)	96 Kバイト	128 Kバイト	96 Kバイト	128 Kバイト
	RAM	6 Kバイト	8 Kバイト ^{注1}	6 Kバイト	8 Kバイト ^{注1}
メモリ空間		1 Mバイト			
メイン・システム・クロック (発振周波数)	高速システム・クロック	X1 (水晶/セラミック) 発振, 外部メイン・システム・クロック入力 (EXCLK) 2 ~ 20 MHz : $V_{DD} = 2.7 \sim 5.5$ V			
	高速内蔵発振クロック	内蔵発振 8 MHz (TYP.) : $V_{DD} = 2.7 \sim 5.5$ V			
	20 MHz高速内蔵発振クロック	内蔵発振 20 MHz (TYP.) : $V_{DD} = 2.7 \sim 5.5$ V			
サブシステム・クロック (発振周波数)		XT1 (水晶) 発振 32.768 kHz (TYP.) : $V_{DD} = 2.7 \sim 5.5$ V			
	CEC用	65.536 kHz (TYP.) : $V_{DD} = 2.7 \sim 5.5$ V			
低速内蔵発振クロック (WDT専用)		内蔵発振 30 kHz (TYP.) : $V_{DD} = 2.7 \sim 5.5$ V			
汎用レジスタ		8ビット×32レジスタ (8ビット×8レジスタ×4バンク)			
最小命令実行時間		0.05 μ s (高速システム・クロック : $f_{MX} = 20$ MHz動作時)			
		61 μ s (サブシステム・クロック : $f_{SUB} = 32.768$ kHz動作時)			
命令セット		<ul style="list-style-type: none"> ・ 8ビット演算, 16ビット演算 ・ 乗算 (8ビット×8ビット) ・ ビット操作 (セット, リセット, テスト, ブール演算) など 			
I/Oポート	合計	71		89	
	CMOS入出力	62		80	
	CMOS入力	4		4	
	CMOS出力	1		1	
	N-ch O.D入出力 (6 V耐圧)	4		4	
タイマ		<ul style="list-style-type: none"> ・ 16ビット・タイマ : 11チャンネル (ユニット0 : 8チャンネル, ユニット1 : 3チャンネル) ・ ウォッチドッグ・タイマ : 1チャンネル ・ リアルタイム・カウンタ : 1チャンネル 			
	タイマ出力	11本 (PWM出力 : タイマ・アレイ・ユニット0は7本, タイマ・アレイ・ユニット1は2本 ^{注2})			
	RTC出力	2本 <ul style="list-style-type: none"> ・ 1 Hz (サブシステム・クロック : $f_{SUB} = 32.768$ kHz) ・ 512 Hzまたは16.384 kHzまたは32.768 kHz (サブシステム・クロック : $f_{SUB} = 32.768$ kHz) 			

注1. セルフ・プログラミング機能使用時は, 7 Kバイト

2. 設定によって出力数は変わります。

(2/2)

項 目	78K0R/KF3-C		78K0R/KG3-C	
	μ PD78F1846	μ PD78F1847	μ PD78F1848	μ PD78F1849
クロック出力 / プザー出力	2本 <ul style="list-style-type: none"> ・ 2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (周辺ハードウェア・クロック : $f_{\text{MAIN}} = 20$ MHz動作時) ・ 256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz (サブシステム・クロック : $f_{\text{SUB}} = 32.768$ kHz動作時) 			
10ビット分解能A/Dコンバータ ($AV_{\text{REF}} = 2.7 \sim 5.5$ V)	12チャンネル		16チャンネル	
シリアル・インタフェース	<ul style="list-style-type: none"> ・ CSI : 2チャンネル / UART : 1チャンネル ・ CSI : 1チャンネル / UART : 1チャンネル / 簡易I²C : 1チャンネル ・ CSI : 1チャンネル / UART : 1チャンネル / 簡易I²C : 1チャンネル ・ I²Cバス : 1チャンネル 			
CEC送受信回路	内蔵			
リモコン受信回路	内蔵			
乗除算器	16ビット × 16ビット = 32ビット (乗算) 32ビット ÷ 32ビット = 32ビット (除算)			
DMAコントローラ	2チャンネル			
ベクタ割り込み	内部	39		
要因	外部	9		
キー割り込み	キー入力端子 (KR0-KR7) の立ち下がりエッジ検出により, キー割り込み (INTKR) 発生			
リセット	<ul style="list-style-type: none"> ・ RESET端子によるリセット ・ ウォッチドッグ・タイマによる内部リセット ・ パワーオン・クリアによる内部リセット ・ 低電圧検出回路による内部リセット ・ 不正命令の実行による内部リセット^注 ・ リセット処理のチェック・エラーによる内部リセット 			
パワーオン・クリア回路	<ul style="list-style-type: none"> ・ パワーオン・リセット : 1.61 ± 0.09 V ・ パワーダウン・リセット : 1.59 ± 0.09 V 			
低電圧検出回路	2.84 V ~ 4.22 V (10段階)			
オンチップ・デバッグ機能	あり			
電源電圧	$V_{\text{DD}} = 2.7 \sim 5.5$ V			
動作周囲温度	$T_A = -40 \sim +85$			
パッケージ	80ピン・プラスチックLQFP (ファインピッチ) (12 × 12) (0.5 mmピッチ)		100ピン・プラスチックLQFP (ファインピッチ) (14 × 14) (0.5 mmピッチ)	

注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは, インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

第2章 端子機能

2.1 端子機能一覧

端子の入出力バッファ電源は、製品によって異なります。それぞれの電源と端子の関係を次に示します。

表2 - 1 各端子の入出力バッファ電源 (AVREF, EVDD, VDD)

・ 78K0R/KF3-C : 80ピン・プラスチックLQFP (ファインピッチ) (12 x 12)

電源	対応する端子
AVREF	P20-P27, P150-P153
EVDD	<ul style="list-style-type: none"> ・ P20-P27, P121-P124, P150-P153以外のポート端子 ・ RESET端子, FLMD0端子
VDD	<ul style="list-style-type: none"> ・ P121-P124 ・ ポート以外の端子 (RESET端子, FLMD0端子を除く)

表2 - 2 各端子の入出力バッファ電源 (AVREF, EVDD0, EVDD1, VDD)

・ 78K0R/KG3-C : 100ピン・プラスチックLQFP (ファインピッチ) (14 x 14)

電源	対応する端子
AVREF	P20-P27, P150-P157
EVDD0, EVDD1	<ul style="list-style-type: none"> ・ P20-P27, P121-P124, P150-P157以外のポート端子 ・ RESET端子, FLMD0端子
VDD	<ul style="list-style-type: none"> ・ P121-P124 ・ ポート以外の端子 (RESET端子, FLMD0端子を除く)

2.1.1 78K0R/KF3-C

(1) ポート機能 (1/2) : 78K0R/KF3-C

機能名称	入出力	機能	リセット時	兼用機能
P02	入出力	ポート0。 5ビットの入出力ポート。 P03, P04の入力はTTL入力バッファに設定可能。 P02-P04の出力はN-chオープン・ドレイン出力 (V_{DD} 耐圧) に設定可能。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	SO10/TxD1
P03				SI10/RxD1/SDA10
P04				SCK10/SCL10
P05				TI05/TO05
P06				TI06/TO06
P10				入出力
P11	SI00/RxD0			
P12	SO00/TxD0			
P13	-			
P14	-			
P15	RTCDIV/RTCCCL			
P16	TI01/TO01/INTP5			
P17	TI02/TO02			
P20-P27	入出力	ポート2。 8ビットの入出力ポート。 1ビット単位で入力 / 出力の指定可能。	デジタル 入力ポート	ANI0-ANI7
P30	入出力	ポート3。 2ビットの入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	RTC1HZ/INTP3
P31				TI03/TO03/INTP4
P40 ^注	入出力	ポート4。 8ビットの入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	TOOL0
P41				TOOL1
P42				TI04/TO04
P43				SCK01
P44				SI01
P45				SO01
P46				RIN01
P47				RIN23
P50	入出力	ポート5。 6ビットの入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	INTP1
P51				INTP2
P52				TO00
P53				TI00
P54				TI07/TO07
P55				PCLBUZ1/INTP7

注 オプション・バイトで「オンチップ・デバッグ許可」に設定した場合は, 必ず外部でP40/TOOL0端子をプルアップしてください (2.2.5 P40-P47 (Port 4) の注意参照)。

(1) ポート機能 (2/2) : 78K0R/KF3-C

機能名称	入出力	機能	リセット時	兼用機能
P60	入出力	ポート6。 8ビットの入出力ポート。 P62の入力はCEC入力バッファに設定可能。 P60-P63の出力はN-chオープン・ドレイン出力(6V耐圧)。 1ビット単位で入力/出力の指定可能。 P62, P64-P67のみ, ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	SCL0
P61				SDA0
P62				CECIO
P63				-
P64				TI10/TO10
P65				TI11/TO11
P66				TI12/TO12
P67				-
P70-P73	入出力	ポート7。 8ビットの入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	KR0-KR3
P74				KR4/INTP8
P75-P77				KR5-KR7
P90	入出力	ポート9。 2ビットの入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	-
P91				ROUT
P110	入出力	ポート11。 2ビットの入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	CECIN
P111				CECOUT
P120	入出力	ポート12。 1ビットの入出力ポートと4ビットの入力ポート。 P120のみ, ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	INTP0/EXLVI
P121	入力			X1
P122				X2/EXCLK
P123				XT1
P124				XT2
P130	出力	ポート13。 1ビットの出力専用ポート。	出力ポート	-
P140	入出力	ポート14。 4ビットの入出力ポート。 P142, P143の入力はTTL入力バッファに設定可能。 P142-P144の出力はN-chオープン・ドレイン出力(V_{DD} 耐圧)に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	PCLBUZ0
P142				SCK20/SCL20
P143				SI20/RxD2/SDA20
P144				SO20/TxD2
P150-P153	入出力	ポート15。 4ビットの入出力ポート。 1ビット単位で入力/出力の指定可能。	デジタル 入力ポート	ANI8-ANI11

(2) ポート以外の機能 (1/3) : 78K0R/KF3-C

機能名称	入出力	機能	リセット時	兼用機能
ANI0-ANI7	入力	A/Dコンバータのアナログ入力	デジタル 入力ポート	P20-P27
ANI8-ANI11	入力	A/Dコンバータのアナログ入力	デジタル 入力ポート	P150-P153
CECIN	入力	CECのシリアル・データ入力	入力ポート	P110
CECIO	入出力	CECのシリアル・データ入出力	入力ポート	P62
CECOUT	出力	CECのシリアル・データ出力	入力ポート	P111
EXLVI	入力	外部低電圧検出用電位入力	入力ポート	P120/INTP0
INTP0	入力	有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下 がりの両エッジ) 指定可能な外部割り込み要求入力	入力ポート	P120/EXLVI
INTP1				P50
INTP2				P51
INTP3				P30/RTC1HZ
INTP4				P31/TI03/TO03
INTP5				P16/TI01/TO01
INTP7				P55/PCLBUZ1
INTP8				P74/KR4
KR0-KR3				入力
KR4	P74/INTP8			
KR5-KR7	P75-P77			
PCLBUZ0	出力	クロック出力 / ブザー出力	入力ポート	P140
PCLBUZ1				P55/INTP7
REGC	-	内部動作用レギュレータ出力 (2.4 V) 安定容量接続。 コンデンサ (0.47 ~ 1 μ F) を介し, V_{SS} に接続してください。	-	-
RIN01	入力	リモコン受信データ入力 (チャンネル0, 1)	入力ポート	P46
RIN23	入力	リモコン受信データ入力 (チャンネル2, 3)	入力ポート	P47
ROUT	出力	リモコン受信データ出力	入力ポート	P91
RTCDIV	出力	リアルタイム・カウンタ・クロック (32 kHz分周) 出力	入力ポート	P15/RTCCL
RTCCL	出力	リアルタイム・カウンタ・クロック (32 kHz原発振) 出力	入力ポート	P15/RTCDIV
RTC1HZ	出力	リアルタイム・カウンタ補正クロック (1 Hz) 出力	入力ポート	P30/INTP3
RESET	入力	システム・リセット入力	-	-
RxD0	入力	UART0のシリアル・データ入力	入力ポート	P11/SI00
RxD1	入力	UART1のシリアル・データ入力	入力ポート	P03/SI10/SDA10
RxD2	入力	UART2のシリアル・データ入力	入力ポート	P143/SI20/SDA20
SCK00	入出力	CSI00, CSI01, CSI10, CSI20のクロック入力 / 出力	入力ポート	P10
SCK01				P43
SCK10				P04/SCL10
SCK20				P142/SCL20

(2) ポート以外の機能 (2/3) : 78K0R/KF3-C

機能名称	入出力	機能	リセット時	兼用機能
SCL0	入出力	I ² Cのクロック入力 / 出力	入力ポート	P60
SCL10	入出力	簡易I ² Cのクロック入力 / 出力	入力ポート	P04/SCK10
SCL20				P142/SCK20
SDA0	入出力	I ² Cのシリアル・データ入出力	入力ポート	P61
SDA10	入出力	簡易I ² Cのシリアル・データ入出力	入力ポート	P03/SI10/RxD1
SDA20				P143/SI20/RxD2
SI00	入力	CSI00, CSI01, CSI10, CSI20のシリアル・データ入力	入力ポート	P11/RxD0
SI01				P44
SI10				P03/RxD1/SDA10
SI20				P143/RxD2/SDA20
SO00	出力	CSI00, CSI01, CSI10, CSI20のシリアル・データ出力	入力ポート	P12/TxD0
SO01				P45
SO10				P02/TxD1
SO20				P144/TxD2
TI00	入力	16ビット・タイマ00への外部カウント・クロック入力	入力ポート	P53
TI01		16ビット・タイマ01への外部カウント・クロック入力		P16/TO01/INTP5
TI02		16ビット・タイマ02への外部カウント・クロック入力		P17/TO02
TI03		16ビット・タイマ03への外部カウント・クロック入力		P31/TO03/INTP4
TI04		16ビット・タイマ04への外部カウント・クロック入力		P42/TO04
TI05		16ビット・タイマ05への外部カウント・クロック入力		P05/TO05
TI06		16ビット・タイマ06への外部カウント・クロック入力		P06/TO06
TI07		16ビット・タイマ07への外部カウント・クロック入力		P54/TO07
TI10		16ビット・タイマ10への外部カウント・クロック入力		P64/TO10
TI11		16ビット・タイマ11への外部カウント・クロック入力		P65/TO11
TI12		16ビット・タイマ12への外部カウント・クロック入力		P66/TO12
TO00		出力		16ビット・タイマ00出力
TO01	16ビット・タイマ01出力		P16/TO01/INTP5	
TO02	16ビット・タイマ02出力		P17/TO02	
TO03	16ビット・タイマ03出力		P31/TO03/INTP4	
TO04	16ビット・タイマ04出力		P42/TO04	
TO05	16ビット・タイマ05出力		P05/TO05	
TO06	16ビット・タイマ06出力		P06/TO06	
TO07	16ビット・タイマ07出力		P54/TO07	
TO10	16ビット・タイマ10出力		P64/TO10	
TO11	16ビット・タイマ11出力		P65/TO11	
TO12	16ビット・タイマ12出力		P66/TO12	
TxD0	出力		UART0のシリアル・データ出力	入力ポート
TxD1	出力	UART1のシリアル・データ出力	入力ポート	P02/SO10
TxD2	出力	UART2のシリアル・データ出力	入力ポート	P144/SO20

(2) ポート以外の機能 (3/3) : 78K0R/KF3-C

機能名称	入出力	機能	リセット時	兼用機能
X1	-	メイン・システム・クロック用発振子接続	入力ポート	P121
X2	-		入力ポート	P122/EXCLK
EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力ポート	P122/X2
XT1	-	サブシステム・クロック用発振子接続	入力ポート	P123
XT2	-		入力ポート	P124
V _{DD}	-	正電源 (P121-P124およびポート以外の端子 (RESET端子, FLMD0端子を除く))	-	-
EV _{DD}	-	ポート部 (P20-P27, P121-P124, P150-P153以外), RESET端子, FLMD0端子の正電源	-	-
AV _{REF}	-	・ A/Dコンバータの基準電圧入力 ・ P20-P27, P150-P153, A/Dコンバータの正電源	-	-
V _{SS}	-	グランド電位 (P121-P124およびポート以外の端子 (RESET端子, FLMD0端子を除く))	-	-
EV _{SS}	-	ポート部 (P20-P27, P121-P124, P150-P153以外), RESET端子, FLMD0端子のグランド電位	-	-
AV _{SS}	-	A/Dコンバータ, P20-P27, P150-P153のグランド電位。EV _{SS} , V _{SS} と同電位にしてください。	-	-
FLMD0	-	フラッシュ・メモリ・プログラミング・モード引き込み。	-	-
TOOL0	入出力	フラッシュ・メモリ・プログラマ/デバッガ用データ入出力	入力ポート	P40
TOOL1	出力	デバッガ用クロック出力	入力ポート	P41

2.1.2 78K0R/KG3-C

(1) ポート機能 (1/2) : 78K0R/KG3-C

機能名称	入出力	機能	リセット時	兼用機能
P00	入出力	ポート0。 7ビットの入出力ポート。 P03, P04の入力はTTL入力バッファに設定可能。 P02-P04の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	TI00
P01				TO00
P02				SO10/TxD1
P03				SI10/RxD1/SDA10
P04				SCK10/SCL10
P05				-
P06				-
P10	入出力	ポート1。 8ビットの入出力ポート。 P10, P11の入力はTTL入力バッファに設定可能。 P10, P12の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	SCK00
P11				SI00/RxD0
P12				SO00/TxD0
P13				-
P14				-
P15				RTCDIV/RTCCCL
P16				TI01/TO01/INTP5
P17				TI02/TO02
P20-P27	入出力	ポート2。 8ビットの入出力ポート。 1ビット単位で入力 / 出力の指定可能。	デジタル 入力ポート	ANI0-ANI7
P30	入出力	ポート3。 2ビットの入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	RTC1HZ/INTP3
P31				TI03/TO03/INTP4
P40 ^注	入出力	ポート4。 8ビットの入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	TOOL0
P41				TOOL1
P42				TI04/TO04
P43				SCK01
P44				SI01
P45				SO01
P46				INTP1/TI05/TO05/ RIN01
P47				INTP2/RIN23
P50-P57	入出力	ポート5。 8ビットの入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	-

注 オプション・バイトで「オンチップ・デバッグ許可」に設定した場合は, 必ず外部でP40/TOOL0端子をプルアップしてください (2.2.5 P40-P47 (Port 4) の注意文参照)。

(1) ポート機能 (2/2) : 78K0R/KG3-C

機能名称	入出力	機能	リセット時	兼用機能
P60	入出力	ポート6。 8ビットの入出力ポート。 P62の入力はCEC入力バッファに設定可能。 P60-P63の出力はN-chオープン・ドレイン出力(6V耐圧)。 1ビット単位で入力/出力の指定可能。 P62, P64-P67のみ, ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	SCL0
P61				SDA0
P62				CECIO
P63				-
P64				TI10/TO10
P65				TI11/TO11
P66				TI12/TO12
P67				-
P70-P73	入出力	ポート7。 8ビットの入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	KR0-KR3
P74				KR4/INTP8
P75-P77				KR5-KR7
P80-P87	入出力	ポート8。 8ビットの入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	-
P91	入出力	ポート9。 1ビットの入出力ポート。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	ROUT
P110	入出力	ポート11。 2ビットの入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	CECIN
P111				CECOUT
P120	入出力	ポート12。 1ビットの入出力ポートと4ビットの入力ポート。 P120のみ, ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	INTP0/EXLVI
P121	入力			X1
P122				X2/EXCLK
P123				XT1
P124				XT2
P130	出力	ポート13。	出力ポート	-
P131	入出力	1ビットの出力専用ポートと1ビットの入出力ポート。 P131のみ, ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	TI06/TO06
P140	入出力	ポート14。 6ビットの入出力ポート。 P142, P143の入力はTTL入力バッファに設定可能。 P142-P144の出力はN-chオープン・ドレイン出力(V_{DD} 耐圧)に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	PCLBUZ0
P141				PCLBUZ1/INTP7
P142				SCK20/SCL20
P143				SI20/RxD2/SDA20
P144				SO20/TxD2
P145				TI07/TO07
P150-P157	入出力	ポート15。 8ビットの入出力ポート。 1ビット単位で入力/出力の指定可能。	デジタル 入力ポート	ANI8-ANI15

(2) ポート以外の機能 (1/3) : 78K0R/KG3-C

機能名称	入出力	機能	リセット時	兼用機能
ANI0-ANI7	入力	A/Dコンバータのアナログ入力	デジタル 入力ポート	P20-P27
ANI8-ANI15	入力	A/Dコンバータのアナログ入力	デジタル 入力ポート	P150-P157
CECIN	入力	CECのシリアル・データ入力	入力ポート	P110
CECIO	入出力	CECのシリアル・データ入出力	入力ポート	P62
CECOUT	出力	CECのシリアル・データ出力	入力ポート	P111
EXLVI	入力	外部低電圧検出用電位入力	入力ポート	P120/INTP0
INTP0	入力	有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下 がりの両エッジ) 指定可能な外部割り込み要求入力	入力ポート	P120/EXLVI
INTP1				P46/TI05/TO05/ RIN01
INTP2				P47/RIN23
INTP3				P30/RTC1HZ
INTP4				P31/TI03/TO03
INTP5				P16/TI01/TO01
INTP7				P141/PCLBUZ1
INTP8				P74/KR4
KR0-KR3				入力
KR4	P74/INTP8			
KR5-KR7	P75-P77			
PCLBUZ0	出力	クロック出力 / ブザー出力	入力ポート	P140
PCLBUZ1				P141/INTP7
REGC	-	内部動作レギュレータ出力 (2.4 V) 安定容量接続。 コンデンサ (0.47 ~ 1 μ F) を介し, V_{SS} に接続してください。	-	-
RIN01	入力	リモコン受信データ入力 (チャンネル0, 1)	入力ポート	P46/INTP1/TI05/ TO05
RIN23	入力	リモコン受信データ入力 (チャンネル2, 3)	入力ポート	P47/INTP2
ROUT	出力	リモコン受信データ出力	入力ポート	P91
RTCDIV	出力	リアルタイム・カウンタ・クロック (32 kHz分周) 出力	入力ポート	P15/RTCCL
RTCCL	出力	リアルタイム・カウンタ・クロック (32 kHz原発振) 出力	入力ポート	P15/RTCDIV
RTC1HZ	出力	リアルタイム・カウンタ補正クロック (1 Hz) 出力	入力ポート	P30/INTP3
RESET	入力	システム・リセット入力	-	-
RxD0	入力	UART0のシリアル・データ入力	入力ポート	P11/SI00
RxD1	入力	UART1のシリアル・データ入力	入力ポート	P03/SI10/SDA10
RxD2	入力	UART2のシリアル・データ入力	入力ポート	P143/SI20/SDA20
SCK00	入出力	CSI00, CSI01, CSI10, CSI20のクロック入力 / 出力	入力ポート	P10
SCK01				P43
SCK10				P04/SCL10
SCK20				P142/SCL20

(2) ポート以外の機能 (2/3) : 78K0R/KG3-C

機能名称	入出力	機能	リセット時	兼用機能
SCL0	入出力	I ² Cのクロック入力/出力	入力ポート	P60
SCL10	入出力	簡易I ² Cのクロック入力/出力	入力ポート	P04/SCK10
SCL20				P142/SCK20
SDA0	入出力	I ² Cのシリアル・データ入出力	入力ポート	P61
SDA10	入出力	簡易I ² Cのシリアル・データ入出力	入力ポート	P03/SI10/RxD1
SDA20				P143/SI20/RxD2
SI00	入力	CSI00, CSI01, CSI10, CSI20のシリアル・データ入力	入力ポート	P11/RxD0
SI01				P44
SI10				P03/RxD1/SDA10
SI20				P143/RxD2/SDA20
SO00	出力	CSI00, CSI01, CSI10, CSI20のシリアル・データ出力	入力ポート	P12/TxD0
SO01				P45
SO10				P02/TxD1
SO20				P144/TxD2
TI00	入力	16ビット・タイマ00への外部カウント・クロック入力	入力ポート	P00
TI01		16ビット・タイマ01への外部カウント・クロック入力		P16/TO01/INTP5
TI02		16ビット・タイマ02への外部カウント・クロック入力		P17/TO02
TI03		16ビット・タイマ03への外部カウント・クロック入力		P31/TO03/INTP4
TI04		16ビット・タイマ04への外部カウント・クロック入力		P42/TO04
TI05		16ビット・タイマ05への外部カウント・クロック入力		P46/INTP1/TO05/ RIN01
TI06		16ビット・タイマ06への外部カウント・クロック入力		P131/TO06
TI07		16ビット・タイマ07への外部カウント・クロック入力		P145/TO07
TI10		16ビット・タイマ10への外部カウント・クロック入力		P64/TO10
TI11		16ビット・タイマ11への外部カウント・クロック入力		P65/TO11
TI12		16ビット・タイマ12への外部カウント・クロック入力		P66/TO12
TO00		出力		16ビット・タイマ00出力
TO01	16ビット・タイマ01出力		P16/TO01/INTP5	
TO02	16ビット・タイマ02出力		P17/TO02	
TO03	16ビット・タイマ03出力		P31/TO03/INTP4	
TO04	16ビット・タイマ04出力		P42/TO04	
TO05	16ビット・タイマ05出力		P46/INTP1/TO05/ RIN01	
TO06	16ビット・タイマ06出力		P131/TO06	
TO07	16ビット・タイマ07出力		P145/TO07	
TO10	16ビット・タイマ10出力		P64/TO10	
TO11	16ビット・タイマ11出力		P65/TO11	
TO12	16ビット・タイマ12出力		P66/TO12	
TxD0	出力		UART0のシリアル・データ出力	入力ポート
TxD1	出力	UART1のシリアル・データ出力	入力ポート	P02/SO10
TxD2	出力	UART2のシリアル・データ出力	入力ポート	P144/SO20

(2) ポート以外の機能 (3/3) : 78K0R/KG3-C

機能名称	入出力	機能	リセット時	兼用機能
X1	-	メイン・システム・クロック用発振子接続	入力ポート	P121
X2	-		入力ポート	P122/EXCLK
EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力ポート	P122/X2
XT1	-	サブシステム・クロック用発振子接続	入力ポート	P123
XT2	-		入力ポート	P124
V _{DD}	-	正電源 (P121-P124およびポート以外の端子 (RESET端子, FLMD0端子を除く))	-	-
EV _{DD0} , EV _{DD1}	-	ポート部 (P20-P27, P121-P124, P150-P157以外), RESET端子, FLMD0端子の正電源	-	-
AV _{REF}	-	・ A/Dコンバータの基準電圧入力 ・ P20-P27, P150-P157, A/Dコンバータの正電源	-	-
V _{SS}	-	グランド電位 (P121-P124およびポート以外の端子 (RESET端子, FLMD0端子を除く))	-	-
EV _{SS0} , EV _{SS1}	-	ポート部 (P20-P27, P121-P124, P150-P157以外), RESET端子, FLMD0端子のグランド電位	-	-
AV _{SS}	-	A/Dコンバータ, P20-P27, P150-P157のグランド電位。EV _{SS0} , EV _{SS1} , V _{SS} と同電位にしてください。	-	-
FLMD0	-	フラッシュ・メモリ・プログラミング・モード引き込み。	-	-
TOOL0	入出力	フラッシュ・メモリ・プログラマ/デバッガ用データ入出力	入力ポート	P40
TOOL1	出力	デバッガ用クロック出力	入力ポート	P41

2.2 端子機能の説明

備考 製品により、搭載している端子が異なります。1.4 端子接続図 (Top View) , 2.1 端子機能一覧を参照してください。

2.2.1 P00-P06 (Port 0)

入出力ポートです。入出力ポートのほかにタイマの入出力、シリアル・インタフェースのデータ入出力、クロック入出力機能があります。

P03, P04端子の入力は、ポート入力モード・レジスタ0 (PIM0) の設定により、1ビット単位で通常入力バッファまたはTTL入力バッファに指定できます。

P02-P04端子の出力は、ポート出力モード・レジスタ0 (POM0) の設定により、1ビット単位で通常CMOS出力またはN-chオープン・ドレイン出力 (V_{DD}耐圧) に指定できます。

	78K0R/KF3-C (μ PD78F1846A, 78F1847A)	78K0R/KG3-C (μ PD78F1848A, 78F1849A)
P00/TI00	- 注1	
P01/TO00	- 注1	
P02/SO10/TxD1		
P03/SI10/RxD1/SDA10		
P04/SCK10/SCL10		
P05/TI05/TO05		P05 ^{注2}
P06/TI06/TO06		P06 ^{注2}

注1. 78K0R/KF3-Cでは、TI00, TO00端子はそれぞれ次の端子と兼用しています。

P53/TI00, P52/TO00

2. 78K0R/KG3-Cには兼用機能はありません。

78K0R/KG3-Cでは、TI05/TO05, TI06/TO06端子はそれぞれ次の端子と兼用しています。

P46/INTP1/TI05/TO05/RIN01, P131/TI06/TO06

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ0 (PM0) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

タイマの入出力、シリアル・インタフェースのデータ入出力、クロック入出力として機能します。

(a) TI00, TI05, TI06

16ビット・タイマ00, 05, 06への外部カウント・クロック/キャプチャ・トリガ入力端子です。

(b) TO00, TO05, TO06

16ビット・タイマ00, 05, 06のタイマ出力端子です。

(c) SI10

シリアル・インタフェースCSI10のシリアル・データ入力端子です。

(d) SO10

シリアル・インタフェースCSI10のシリアル・データ出力端子です。

(e) $\overline{\text{SCK10}}$

シリアル・インタフェースCSI10のシリアル・クロック入出力端子です。

(f) TxD1

シリアル・インタフェースUART1のシリアル・データ出力端子です。

(g) RxD1

シリアル・インタフェースUART1のシリアル・データ入力端子です。

(h) SDA10

シリアル・インタフェース簡易I²Cのシリアル・データ入出力端子です。

(i) SCL10

シリアル・インタフェース簡易I²Cのシリアル・クロック入出力端子です。

注意 P02/SO10/TxD1, P03/SI10/RxD1/SDA10, P04/ $\overline{\text{SCK10}}$ /SCL10を汎用ポートとして使用する場合, シリアル・アレイ・ユニット0の設定に注意してください。詳細は, 次の表を参照してください。

- ・表11-7 レジスタの設定と端子の関係 (ユニット0のチャンネル2: CSI10, UART1送信, IIC10)
- ・表11-8 レジスタの設定と端子の関係 (ユニット0のチャンネル3: UART1受信)

また, ポート出力モード・レジスタ0 (POM0) は00Hにしてください。

2.2.2 P10-P17 (Port 1)

8ビットの入出力ポートです。入出力ポートのほかに, 外部割り込み要求入力, シリアル・インタフェースのデータ入出力, クロック入出力, タイマの入出力, リアルタイム・カウンタのクロック出力機能があります。

P10, P11端子の入力は, ポート入力モード・レジスタ1 (PIM1) の設定により, 1ビット単位で通常入力バッファまたはTTL入力バッファに指定できます。

P10, P12端子の出力は, ポート出力モード・レジスタ1 (POM1) の設定により, 1ビット単位で通常CMOS出力またはN-chオープン・ドレイン出力 (V_{DD}耐圧) に指定できます。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ1 (PM1) の設定により, 1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ1 (PU1) の設定により, 内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力, シリアル・インタフェースのデータ入出力, クロック入出力, タイマの入出力, リアルタイム・カウンタのクロック出力として機能します。

(a) SI00

シリアル・インタフェースCSI00のシリアル・データ入力端子です。

(b) SO00

シリアル・インタフェースCSI00のシリアル・データ出力端子です。

(c) $\overline{\text{SCK00}}$

シリアル・インタフェースCSI00のシリアル・クロック入出力端子です。

(d) RxD0

シリアル・インタフェースUART0のシリアル・データ入力端子です。

(e) TxD0

シリアル・インタフェースUART0のシリアル・データ出力端子です。

(f) TI01, TI02

16ビット・タイマ01, 02への外部カウント・クロック/キャプチャ・トリガ入力端子です。

(g) TO01, TO02

16ビット・タイマ01, 02のタイマ出力端子です。

(h) INTP5

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

(i) RTCDIV

リアルタイム・カウンタ・クロック（32 kHz分周）出力端子です。

(j) RTCCL

リアルタイム・カウンタ・クロック（32 kHz原発振）出力端子です。

注意1. P10/ $\overline{\text{SCK00}}$, P11/SI00/RxD0, P12/SO00/TxD0を汎用ポートとして使用する場合，シリアル・アレ
イ・ユニットの設定に注意してください。詳細は，次の表を参照してください。

・表11-5 レジスタの設定と端子の関係（ユニット0のチャンネル0：CSI00, UART0送信）

・表11-6 レジスタの設定と端子の関係（ユニット0のチャンネル1：CSI01, UART0受信）

また，ポート出力モード・レジスタ1（POM1）は00Hにしてください。

2. RTCCLとRTCDIVは同時に出力許可設定にしないでください。

2.2.3 P20-P27 (Port 2)

8ビットの入出力ポートです。入出力ポートのほかにA/Dコンバータのアナログ入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

A/Dコンバータのアナログ入力端子 (ANI0-ANI7) として機能します。アナログ入力端子として使用する場合、10.6 (6) ANI0/P20-ANI7/P27, ANI8/P150-ANI15/P157を参照してください。

注意 ANI0/P20-ANI7/P27は、リセット解除後はデジタル入力 (汎用ポート) モードになります。

2.2.4 P30, P31 (Port 3)

2ビットの入出力ポートです。入出力ポートのほかに外部割り込み要求入力、タイマ入出力、リアルタイム・カウンタの補正クロック出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

2ビットの入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ3 (PU3) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力、タイマの入出力、リアルタイム・カウンタの補正クロック出力として機能します。

(a) INTP3, INTP4

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

(b) TI03

16ビット・タイマ03への外部カウント・クロック / キャプチャ・トリガ入力端子です。

(c) TO03

16ビット・タイマ03のタイマ出力端子です。

(d) RTC1HZ

リアルタイム・カウンタの補正クロック (1 Hz) 出力端子です。

2.2.5 P40-P47 (Port 4)

入出力ポートです。入出力ポートのほかに外部割り込み要求入力，シリアル・インタフェースのデータ入出力，クロック入出力，フラッシュ・メモリ・プログラマ/デバッガ用のデータ入出力，クロック出力，タイマの入出力，リモコン受信データ入力機能があります。

	78K0R/KF3-C (μ PD78F1846A, 78F1847A)	78K0R/KG3-C (μ PD78F1848A, 78F1849A)
P40/TOOL0		
P41/TOOL1		
P42/TI04/TO04		
P43/SCK01		
P44/SI01		
P45/SO01		
P46/INTP1/TI05/TO05/RIN01	P46/RIN01 ^注	
P47/INTP2/RIN23	P47/RIN23 ^注	

注 78K0R/KF3-Cでは，INTP1, TI05/TO05, INTP2端子はそれぞれ次の端子と兼用しています。

P50/INTP1, P05/TI05/TO05, P51/INTP2

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ4 (PM4) の設定により，1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ4 (PU4) の設定により，内蔵プルアップ抵抗を使用できます。

P40はオンチップ・デバッグ許可 (オプション・バイトで設定) の場合は，必ず外部プルアップ抵抗を接続してください。

(2) コントロール・モード

外部割り込み要求入力，シリアル・インタフェースのデータ入出力，クロック入出力，フラッシュ・メモリ・プログラマ/デバッガ用のデータ入出力，クロック出力，タイマの入出力，リモコン受信データ入力として機能します。

(a) INTP1, INTP2

有効エッジ (立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

(b) TOOL0

フラッシュ・メモリ・プログラマ/デバッガ用のデータ入出力端子です。

オンチップ・デバッグ許可の場合は必ず外部でプルアップしてください (プルダウン禁止)。

(c) TOOL1

デバッガ用のクロック出力端子です。

オンチップ・デバッグ機能使用時には，P41/TOOL1端子はデバッガのモード設定により次のようになります。

1線モード : ポート (P41) として使用できます。

2線モード : TOOL1端子として使用するためポート (P41) としては使用できません。

(d) TI04, TI05

16ビット・タイマ04, 05への外部カウント・クロック/キャプチャ・トリガ入力端子です。

(e) TO04, TO05

16ビット・タイマ04, 05のタイマ出力端子です。

(f) $\overline{\text{SCK01}}$

シリアル・インタフェースCSI01のシリアル・クロック入出力端子です。

(g) SI01

シリアル・インタフェースCSI01のシリアル・データ入力端子です。

(h) SO01

シリアル・インタフェースCSI01のシリアル・データ出力端子です。

(i) RIN01

リモコン受信データ入力端子 (チャンネル0, 1) です。

(j) RIN23

リモコン受信データ入力端子 (チャンネル2, 3) です。

注意1. P40/TOOL0端子は、次に示す (a) ~ (c) の場合によって、端子機能が決まります。

(b) か (c) の場合には、該当する端子処理を行ってください。

(a) 通常動作モード時、かつ、

オプション・バイト (000C3H) でオンチップ・デバッグ禁止 (OCDENSET = 0) 設定時
ポート機能 (P40) としてご使用ください。

(b) 通常動作モード時、かつ、

オプション・バイト (000C3H) でオンチップ・デバッグ許可 (OCDENSET = 1) 設定時
外部で抵抗を介してEV_{DD0}またはEV_{DD1}に接続し、リセット解除前から常にハイ・レベル
を入力してください。

(c) オンチップ・デバッグ機能使用時、または、フラッシュ・メモリ・プログラマによる書き込み
モード時

TOOL0端子として使用します。

オンチップ・デバッグ・エミュレータやフラッシュ・メモリ・プログラマに直接接続する
か、外部で抵抗を介してEV_{DD0}またはEV_{DD1}に接続することで、プルアップしてください。

2. P43/ $\overline{\text{SCK01}}$, P44/SI01, P45/SO01を汎用ポートとして使用する場合、シリアル・アレイ・ユニット0
の設定に注意してください。詳細は、表11-6 レジスタの設定と端子の関係 (ユニット0のチャネ
ル1: CSI01, UART0受信) を参照してください。

備考 78K0R/KF3-Cでは、EV_{DD0}とEV_{DD1}をEV_{DD}に、EV_{SS0}とEV_{SS1}をEV_{SS}に読み替えてください。

2.2.6 P50-P57 (Port 5)

入出力ポートです。入出力ポートのほかに外部割り込み要求入力、タイマの入出力、クロック/ブザー出力機能があります。

ポート・モード・レジスタ5 (PM5) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

	78K0R/KF3-C (μ PD78F1846A, 78F1847A)	78K0R/KG3-C (μ PD78F1848A, 78F1849A)
P50/INTP1		P50 ^注
P51/INTP2		P51 ^注
P52/TO00		P52 ^注
P53/TI00		P53 ^注
P54/TI07/TO07		P54 ^注
P55/PCLBUZ1/INTP7		P55 ^注
P56	-	
P57	-	

注 78K0R/KG3-Cには兼用機能はありません。

78K0R/KG3-Cでは、INTP1、INTP2、TO00、TI00、TI07/TO07、PCLBUZ1/INTP7端子はそれぞれ次の端子と兼用しています。

P46/INTP1/TI05/TO05/RIN01, P47/INTP2/RIN23, P01/TO00, P00/TI00, P145/TI07/TO07,
P141/PCLBUZ1/INTP7

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ5 (PM5) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ5 (PU5) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力、タイマの入出力、クロック/ブザー出力として機能します。

(a) INTP1, INTP2, INTP7

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

(b) TI00, TI07

16ビット・タイマ00, 07への外部カウント・クロック/キャプチャ・トリガ入力端子です。

(c) TO00, TO07

16ビット・タイマ00, 07のタイマ出力端子です。

(d) PCLBUZ1

クロック/ブザー出力端子です。

2.2.7 P60-P67 (Port 6)

8ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、クロック入出力、CECのシリアル・データ入出力、タイマ入出力機能があります。

P62端子は、ポート・ファンクション・レジスタ6 (PF6) とポート入力モード・レジスタ6 (PIM6) の設定により、通常入力バッファまたはCEC入力バッファに指定できます (図4 - 56参照)。

また、P62のみポート・ファンクション・レジスタ6 (PF6) とプルアップ抵抗オプション・レジスタ6 (PU6) の設定により、内蔵のダイオードとプルアップ抵抗を接続できます (図4 - 56参照)。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ6 (PM6) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。P62, P64-P67のみプルアップ抵抗オプション・レジスタ6 (PU6) の設定により、内蔵プルアップ抵抗を使用できます。

P60-P63の出力はN-chオープン・ドレイン出力 (6 V耐圧) になっています。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力、CECのシリアル・データ入出力、タイマ入出力として機能します。

(a) SDA0

シリアル・インタフェースIICAのシリアル・データ入出力端子です。

(b) SCL0

シリアル・インタフェースIICAのシリアル・クロック入出力端子です。

(c) CECIO

CECのシリアル・データ入出力端子です。

(d) TI10-TI12

16ビット・タイマ10-12への外部カウント・クロック/キャプチャ・トリガ入力端子です。

(e) TO10-TO12

16ビット・タイマ10-12のタイマ出力端子です。

2.2.8 P70-P77 (Port 7)

8ビットの入出力ポートです。入出力ポートのほかにキー割り込み入力、外部割り込み要求入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ7 (PM7) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ7 (PU7) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

キー割り込み入力端子，外部割り込み要求入力として機能します。

(a) KR0-KR7

キー割り込み入力端子です。

(b) INTP8

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

2.2.9 P80-P87 (Port 8) (78K0R/KG3-Cのみ)

8ビットの入出力ポートです。

ポート・モード・レジスタ8 (PM8) の設定により，1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ8 (PU8) の設定により，内蔵プルアップ抵抗を使用できます。

2.2.10 P90, P91 (Port 9)

入出力ポートです。入出力ポートのほかにリモコン受信データ出力機能があります。

リモコン受信データ・スルー制御レジスタ (RMSW) により，RIN01, RIN23端子から入力されたりリモコン受信データをノイズ除去/デコードせずに出力することもできます (14.3(5)リモコン受信データ・スルー制御レジスタ (RMSW) 参照)。

	78K0R/KF3-C (μ PD78F1846A, 78F1847A)	78K0R/KG3-C (μ PD78F1848A, 78F1849A)
P90		-
P91/ROUT		

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ9 (PM9) の設定により，1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ9 (PU9) の設定により，内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

リモコン受信データ出力として機能します。

(a) ROUT

リモコン受信データ出力端子です。

2.2.11 P110, P111 (Port 11)

2ビットの入出力ポートです。入出力ポートのほかにCECのシリアル・データ入出力機能があります。

P110は、ポート・ファンクション・レジスタ11 (PF11) により、入出力ポート・モードまたはCECINモードのどちらかを選択できます (図4 - 57参照)。

P111は、ポート・ファンクション・レジスタ11 (PF11) により、入出力ポート・モードまたはCECOUTモードのどちらかを選択できます (図4 - 57参照)。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

2ビットの入出力ポートとして機能します。ポート・モード・レジスタ11 (PM11) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ11 (PU11) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

CECのシリアル・データ入出力として機能します。

(a) CECIN

CECのシリアル・データ入力端子です。

(b) CECOUT

CECのシリアル・データ出力端子です。

2.2.12 P120-P124 (Port 12)

P120は1ビットの入出力ポートです。P121-P124は4ビットの入力ポートです。そのほかに外部割り込み要求入力、外部低電圧検出用電位入力、メイン・システム・クロック用発振子接続、サブシステム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

P120は1ビットの入出力ポートとして機能します。ポート・モード・レジスタ12 (PM12) の設定により、入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ12 (PU12) の設定により、内蔵プルアップ抵抗を使用できます。

P121-P124は4ビットの入力ポートとして機能します。

(2) コントロール・モード

外部割り込み要求入力、外部低電圧検出用電位入力、メイン・システム・クロック用発振子接続、サブシステム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力として機能します。

(a) INTPO

有効エッジ (立ち上がり、立ち下がり、立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

(b) EXLVI

外部低電圧検出用電位入力端子です。

(c) X1, X2

メイン・システム・クロック用発振子接続端子です。

(d) EXCLK

メイン・システム・クロック用外部クロック入力端子です。

(e) XT1, XT2

サブシステム・クロック用発振子接続端子です。

2.2.13 P130, P131 (Port 13)

P130は出力ポートです。P131は入出力ポートです。そのほかにタイマの入出力機能があります。

備考 リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます(4.2.13 ポート13の備考の図を参照)。

	78K0R/KF3-C (μ PD78F1846A, 78F1847A)	78K0R/KG3-C (μ PD78F1848A, 78F1849A)
P130		
P131/TI06/TO06	注	

注 78K0R/KF3-Cでは、TI06/TO06端子は次の端子と兼用しています。

P06/TI06/TO06

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

P130は出力ポートとして機能します。

P131は入出力ポートとして機能します。ポート・モード・レジスタ13 (PM13) の設定により、入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ13 (PU13) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

タイマの入出力として機能します。

(a) TI06

16ビット・タイマ06への外部カウント・クロック/キャプチャ・トリガ入力端子です。

(b) TO06

16ビット・タイマ06のタイマ出力端子です。

2.2.14 P140-P145 (Port 14)

入出力ポートです。入出力ポートのほかにタイマの入出力, 外部割り込み要求入力, クロック/ブザー出力, シリアル・インタフェースのデータ入出力, クロック入出力機能があります。

P142, P143端子の入力は, ポート入力モード・レジスタ14 (PIM14) の設定により, 1ビット単位で通常入力バッファまたはTTL入力バッファに指定できます。

P142-P144端子の出力は, ポート出力モード・レジスタ14 (POM14) の設定により, 1ビット単位で通常CMOS出力またはN-chオープン・ドレイン出力 (V_{DD} 耐圧) に指定できます。

	78K0R/KF3-C (μ PD78F1846A, 78F1847A)	78K0R/KG3-C (μ PD78F1848A, 78F1849A)
P140/PCLBUZ0		
P141/PCLBUZ1/INTP7	注	
P142/SCK20/SCL20		
P143/SI20/RxD2/SDA20		
P144/SO20/TxD2		
P145/TI07/TO07	注	

注 78K0R/KF3-Cでは, PCLBUZ1/INTP7, TI07/TO07端子はそれぞれ次の端子と兼用しています。

P55/PCLBUZ1/INTP7, P54/TI07/TO07

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ14 (PM14) の設定により, 1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ14 (PU14) の設定により, 内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

タイマの入出力, 外部割り込み要求入力, クロック/ブザー出力, シリアル・インタフェースのデータ入出力, クロック入出力として機能します。

(a) INTP7

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

(b) PCLBUZ0, PCLBUZ1

クロック/ブザー出力端子です。

(c) TI07

16ビット・タイマ07への外部カウント・クロック/キャプチャ・トリガ入力端子です。

(d) TO07

16ビット・タイマ07のタイマ出力端子です。

(e) SI20

シリアル・インタフェースCSI20のシリアル・データ入力端子です。

(f) SO20

シリアル・インタフェースCSI20のシリアル・データ出力端子です。

(g) $\overline{\text{SCK20}}$

シリアル・インタフェースCSI20のシリアル・クロック入出力端子です。

(h) TxD2

シリアル・インタフェースUART2のシリアル・データ出力端子です。

(i) RxD2

シリアル・インタフェースUART2のシリアル・データ入力端子です。

(j) SDA20

シリアル・インタフェース簡易I²Cのシリアル・データ入出力端子です。

(k) SCL20

シリアル・インタフェース簡易I²Cのシリアル・クロック入出力端子です。

注意 P142/ $\overline{\text{SCK20}}$ /SCL20, P143/SI20/RxD2/SDA20, P144/SO20/TxD2を汎用ポートとして使用する場合、シリアル・アレイ・ユニット1の設定に注意してください。詳細は、次の表を参照してください。

- ・表11 - 9 レジスタの設定と端子の関係 (ユニット1のチャンネル0 : CSI20, UART2送信, IIC20)
- ・表11 - 10 レジスタの設定と端子の関係 (ユニット1のチャンネル1 : UART2受信)

また、ポート出力モード・レジスタ14 (POM14) は00Hにしてください。

2.2.15 P150-P157 (Port 15)

入出力ポートです。入出力ポートのほかにA/Dコンバータのアナログ入力機能があります。

	78K0R/KF3-C (μ PD78F1846A, 78F1847A)	78K0R/KG3-C (μ PD78F1848A, 78F1849A)
P150/ANI8		
P151/ANI9		
P152/ANI10		
P153/ANI11		
P154/ANI12	-	
P155/ANI13	-	
P156/ANI14	-	
P157/ANI15	-	

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ15 (PM15) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

A/Dコンバータのアナログ入力端子 (ANI8-ANI15) として機能します。アナログ入力端子として使用する場合、10.6 (6) ANI0/P20-ANI7/P27, ANI8/P150-ANI15/P157を参照してください。

注意 ANI8/P150-ANI15/P157は、リセット解除後はデジタル入力 (汎用ポート) モードになります。

2.2.16 AVREF

A/Dコンバータの基準電圧入力、およびP20-P27, P150-P157, A/Dコンバータの正電源供給端子です。

P20/ANI0-P27/ANI7, P150/ANI8-P157/ANI15をすべてアナログ・ポートとして使用する場合は、 $2.7\text{ V} \leq AV_{REF} < V_{DD}$ となる電位にしてください。P20/ANI0-P27/ANI7, P150/ANI8-P157/ANI15のうち、1本でもデジタル・ポートとして使用する場合、またはA/Dコンバータを使用しない場合は、 EV_{DD0} , EV_{DD1} または V_{DD} と同電位にしてください。

2.2.17 AVss

A/DコンバータおよびP20-P27, P150-P157のグランド電位端子です。A/Dコンバータを使用しないときでも、常に EV_{SS0} , EV_{SS1} , V_{SS} と同電位で使用してください。

備考1. P20/ANI0-P27/ANI7, P150/ANI8-P153/ANI11 : 78K0R/KF3-C

P20/ANI0-P27/ANI7, P150/ANI8-P157/ANI15 : 78K0R/KG3-C

2. 78K0R/KF3-Cでは、 EV_{DD0} と EV_{DD1} を EV_{DD} に、 EV_{SS0} と EV_{SS1} を EV_{SS} に読み替えてください。

2.2.18 RESET

ロウ・レベル・アクティブのシステム・リセット入力端子です。

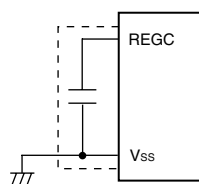
外部リセット端子を使用しない場合は、直接または抵抗を介して EV_{DD0} , EV_{DD1} に接続してください。

外部リセット端子を使用する場合は、 V_{DD} を基準に設計してください。

2.2.19 REGC

内部動作レギュレータ出力 (2.4 V) 安定容量接続端子です。コンデンサ (0.47 ~ 1 μF) を介し、 V_{SS} に接続してください。

また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。



注意 上図の破線部分の配線を極力短くしてください。

2.2.20 V_{DD}, EV_{DD0}, EV_{DD1}

V_{DD}は、P121-P124の正電源、およびポート以外の端子（ $\overline{\text{RESET}}$ 端子、FLMD0端子を除く）の正電源供給端子です。

EV_{DD0}, EV_{DD1}は、P20-P27, P121-P124, P150-P157以外のポート端子と $\overline{\text{RESET}}$ 端子、FLMD0端子の正電源供給端子です。

2.2.21 V_{SS}, EV_{SS0}, EV_{SS1}

V_{SS}は、P121-P124のグランド電位、およびポート以外の端子（ $\overline{\text{RESET}}$ 端子、FLMD0端子を除く）のグランド電位端子です。

EV_{SS0}, EV_{SS1}は、P20-P27, P121-P124, P150-P157以外のポート端子と $\overline{\text{RESET}}$ 端子、FLMD0端子のグランド電位端子です。

備考1. P150-P153 : 78K0R/KF3-C

P150-P157 : 78K0R/KG3-C

2. 78K0R/KF3-Cでは、EV_{DD0}とEV_{DD1}をEV_{DD}に、EV_{SS0}とEV_{SS1}をEV_{SS}に読み替えてください。

2.2.22 FLMD0

フラッシュ・メモリ・プログラミング・モード引き込み用端子です。

次に示すいずれかの該当する端子処理を行ってください。

(a) 通常動作モード時

通常動作時はオープンにすることを推奨します。

FLMD0端子はリセット解除前から常にV_{SS}レベルにしておく必要がありますが、リセットにより内部でプルダウンされるため、外部でプルダウンする必要はありません。ただし、バックグラウンド・イベント・コントロール・レジスタ (BECTL) のビット7 (FLMDPUP) をプルダウン選択 (初期値“0”) のままにしておく必要があります (25.5(1) バックグラウンド・イベント・コントロール・レジスタ 参照)。もし外部でもプルダウンするときは200 kΩ以下の抵抗でプルダウンしてください。

また、セルフ・プログラミングやプログラマによるフラッシュ・メモリの書き換えをハードにより禁止したい場合は、V_{SS}端子に直接接続することにより禁止することができます。

(b) セルフ・プログラミング・モード時

セルフ・プログラミング機能を使用する場合は、オープンにすることを推奨します。もし外部でもプルダウンするときは100 kΩ ~ 200 kΩの抵抗でプルダウンしてください。

セルフ・プログラミング・モード時は、セルフ・プログラミング・ライブラリの中でプルアップ設定に切り替わります。

(c) フラッシュ・メモリ・プログラミング・モード時

フラッシュ・メモリ・プログラマによる書き込み時は、フラッシュ・メモリ・プログラマと直接接続してください。FLMD0端子にV_{DD}レベルの書き込み電圧を供給します。

リセットにより内部でプルダウンされるため、外部でプルダウンする必要はありません。もし外部でもプルダウンするときは、1 kΩ ~ 200 kΩの抵抗でプルダウンしてください。

2.3 端子の入出力回路と未使用端子の処理

2.3.1 78K0R/KF3-C

各端子の入出力タイプと、未使用端子の処理を表2-3に示します。

表2-3 各端子の未使用端子処理 (78K0R/KF3-C) (1/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P02/SO10/TxD1	5-AG	入出力	入力時：個別に抵抗を介して，EV _{DD} ，EV _{SS} のいずれかに接続してください。 出力時：オープンにしてください。 <N-chオープン・ドレイン設定時> ポートの出力ラッチに0を設定して，ロウ・レベル出力でオープンにしてください。
P03/SI10/RxD1/SDA10	5-AN		
P04/SCK10/SCL10			
P05/TI05/TO05	8-R		
P06/TI06/TO06			
P10/SCK00	5-AN		
P11/SI00/RxD0			
P12/SO00/TxD0	5-AG		
P13			
P14	8-R		
P15/RTCDIV/RTCCL	5-AG		
P16/TI01/TO01/INTP5	8-R		
P17/TI02/TO02			

表2-3 各端子の未使用端子処理 (78K0R/KF3-C) (2/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P20/ANI0-P27/ANI7 ^注	11-G	入出力	入力時：個別に抵抗を介して，AV _{REF} またはAV _{SS} に接続してください。 出力時：オープンにしてください。
P30/RTC1HZ/INTP3	8-R		入力時：個別に抵抗を介して，EV _{DD} ，EV _{SS} のいずれかに接続してください。 出力時：オープンにしてください。
P31/TI03/TO03/INTP4			
P40/TOOL0			<オンチップ・デバッグ許可設定時> プルアップしてください（プルダウン禁止）。 <オンチップ・デバッグ禁止設定時> 入力時：個別に抵抗を介して，EV _{DD} ，EV _{SS} のいずれかに接続してください。 出力時：オープンにしてください。
P41/TOOL1	5-AG		入力時：個別に抵抗を介して，EV _{DD} ，EV _{SS} のいずれかに接続してください。 出力時：オープンにしてください。
P42/TI04/TO04	8-R		
P43/SCK01			
P44/SI01			
P45/SO01			
P46/RIN01	8-R		
P47/RIN23			
P50/INTP1	8-R		
P51/INTP2			
P52/TO00	5-AG		
P53/TI00	8-R		
P54/TI07/TO07			
P55/PCLBUZ1/INTP7			
P60/SCL0	13-R		入力時：個別に抵抗を介してEV _{DD} またはEV _{SS} に接続，またはEV _{SS} に直接接続してください。 出力時：ポートの出力ラッチに0を設定して，ロウ・レベル出力でオープンにしてください。
P61/SDA0			
P62/CECIO	13-AJ		
P63	13-P		
P64/TI10/TO10	8-R		
P65/TI11/TO11			
P66/TI12/TO12			
P67			
P70/KR0-P73/KR3			
P74/KR4/INTP8			
P75/KR5-P77/KR7			
P90		5-AG	
P91/ROUT			
P110/CECIN	8-R		
P111/CECOUT	5-AG		
P120/INTP0/EXLVI	8-R		

注 P20/ANI0-P27/ANI7は，リセット解除後はデジタル入力ポート・モードになります。

表2-3 各端子の未使用端子処理 (78K0R/KF3-C) (3/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P121/X1 ^{注1}	37-C	入力	個別に抵抗を介して、V _{DD} またはV _{SS} のいずれかに接続してください。
P122/X2/EXCLK ^{注1}			
P123/XT1 ^{注1}			
P124/XT2 ^{注1}			
P130	3-C	出力	オープンにしてください。
P140/PCLBUZ0	8-R	入出力	入力時：個別に抵抗を介して、EV _{DD} 、EV _{SS} のいずれかに接続してください。 出力時：オープンにしてください。
P142/SCK20/SCL20			
P143/SI20/RxD2/SDA20	5-AN		入力時：個別に抵抗を介して、EV _{DD} 、EV _{SS} のいずれかに接続してください。 出力時：オープンにしてください。
P144/SO20/TxD2	5-AG		<N-chオープン・ドレイン設定時> ポートの出カラッチに0を設定して、ロウ・レベル出力でオープンにしてください。
P150/ANI8-P153/ANI11 ^{注2}		11-G	入力時：個別に抵抗を介して、AV _{REF} またはAV _{SS} に接続してください。 出力時：オープンにしてください。
AV _{REF}	-	-	<P20-P27, P150-P153のうち、1本でもデジタル・ポートとして設定時> EV _{DD} またはV _{DD} と同電位にしてください。 <P20-P27およびP150-P153をすべてアナログ・ポートとして設定時> 2.7 V AV _{REF} V _{DD} となる電位にしてください。
AV _{SS}	-	-	EV _{SS} 、V _{SS} と同電位にしてください。
FLMD0	2-W	-	オープンまたは100 k 以上の抵抗を介してV _{SS} に接続してください。
RESET	2	入力	EV _{DD} に直接接続または抵抗を介して接続してください。
REGC	-	-	コンデンサ (0.47 ~ 1 μF) を介し、V _{SS} に接続してください。

注1. 未使用時は、入力ポート・モード (図5-2 クロック動作モード制御レジスタ (CMC) のフォーマットを参照) で上記の推奨接続方法を行ってください。

2. P150/ANI8-P153/ANI11は、リセット解除後はデジタル入力ポート・モードになります。

2.3.2 78K0R/KG3-C

各端子の入出力タイプと、未使用端子の処理を表2-4に示します。

表2-4 各端子の未使用端子処理 (78K0R/KG3-C) (1/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法	
P00/TI00	8-R	入出力	入力時：個別に抵抗を介して，EV _{DD0} ，EV _{DD1} ，EV _{SS0} ，EV _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。	
P01/TO00	5-AG			
P02/SO10/TxD1	5-AN			
P03/SI10/RxD1/SDA10				
P04/SCK10/SCL10	8-R			入力時：個別に抵抗を介して，EV _{DD0} ，EV _{DD1} ，EV _{SS0} ，EV _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。 <N-chオープン・ドレイン設定時> ポートの出力ラッチに0を設定して，ロウ・レベル出力でオープンにしてください。
P05, P06				5-AN
P10/SCK00	入力時：個別に抵抗を介して，EV _{DD0} ，EV _{DD1} ，EV _{SS0} ，EV _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。 <N-chオープン・ドレイン設定時> ポートの出力ラッチに0を設定して，ロウ・レベル出力でオープンにしてください。			
P11/SI00/RxD0	5-AG			入力時：個別に抵抗を介して，EV _{DD0} ，EV _{DD1} ，EV _{SS0} ，EV _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。
P12/SO00/TxD0				入力時：個別に抵抗を介して，EV _{DD0} ，EV _{DD1} ，EV _{SS0} ，EV _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。 <N-chオープン・ドレイン設定時> ポートの出力ラッチに0を設定して，ロウ・レベル出力でオープンにしてください。
P13	8-R			入力時：個別に抵抗を介して，EV _{DD0} ，EV _{DD1} ，EV _{SS0} ，EV _{SS1} のいずれかに接続してください。
P14				
P15/RTCDIV/RTCCL	5-AG			出力時：オープンにしてください。
P16/TI01/TO01/INTP5	8-R			
P17/TI02/TO02				
P20/ANI0-P27/ANI7 ^注	11-G			入力時：個別に抵抗を介して，AV _{REF} またはAV _{SS} に接続してください。 出力時：オープンにしてください。

注 P20/ANI0-P27/ANI7は，リセット解除後はデジタル入力ポート・モードになります。

表2 - 4 各端子の未使用端子処理 (78K0R/KG3-C) (2/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P30/RTC1HZ/INTP3	8-R	入出力	入力時：個別に抵抗を介して，EV _{DD0} ，EV _{DD1} ，EV _{SS0} ，EV _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。
P31/TI03/TO03/INTP4			
P40/TOOL0			
P41/TOOL1	5-AG		< オンチップ・デバッグ許可設定時 > プルアップしてください (プルダウン禁止)。 < オンチップ・デバッグ禁止設定時 > 入力時：個別に抵抗を介して，EV _{DD0} ，EV _{DD1} ，EV _{SS0} ，EV _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。
P42/TI04/TO04	8-R	入力時：個別に抵抗を介して，EV _{DD0} ，EV _{DD1} ，EV _{SS0} ，EV _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。	
P43/SCK01			
P44/SI01			
P45/SO01	5-AG		
P46/TI05/TO05/INTP1/RIN01	8-R		
P47/INTP2/RIN23			
P50, P51, P53-P55	8-R		入力時：個別に抵抗を介して，EV _{DD0} ，EV _{DD1} ，EV _{SS0} ，EV _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。
P52, P56, P57	5-AG		
P60/SCL0	13-R		入力時：個別に抵抗を介して，EV _{DD0} ，EV _{DD1} ，EV _{SS0} ，EV _{SS1} のいずれかに接続，またはEV _{SS0} ，EV _{SS1} のいずれかに直接接続してください。
P61/SDA0			
P62/CECIO	13-AJ		出力時：ポートの出カラッチに0を設定して，ロウ・レベル出力でオープンにしてください。
P63	13-P		
P64/TI10/TO10	8-R		入力時：個別に抵抗を介して，EV _{DD0} ，EV _{DD1} ，EV _{SS0} ，EV _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。
P65/TI11/TO11			
P66/TI12/TO12			
P67			
P70/KR0-P73/KR3			
P74/KR4/INTP8			
P75/KR5-P77/KR7			
P80-P87	5-AG		
P91/ROUT			
P110/CECIN	8-R		
P111/CECOUT	5-AG		
P120/INTP0/EXLVI	8-R		

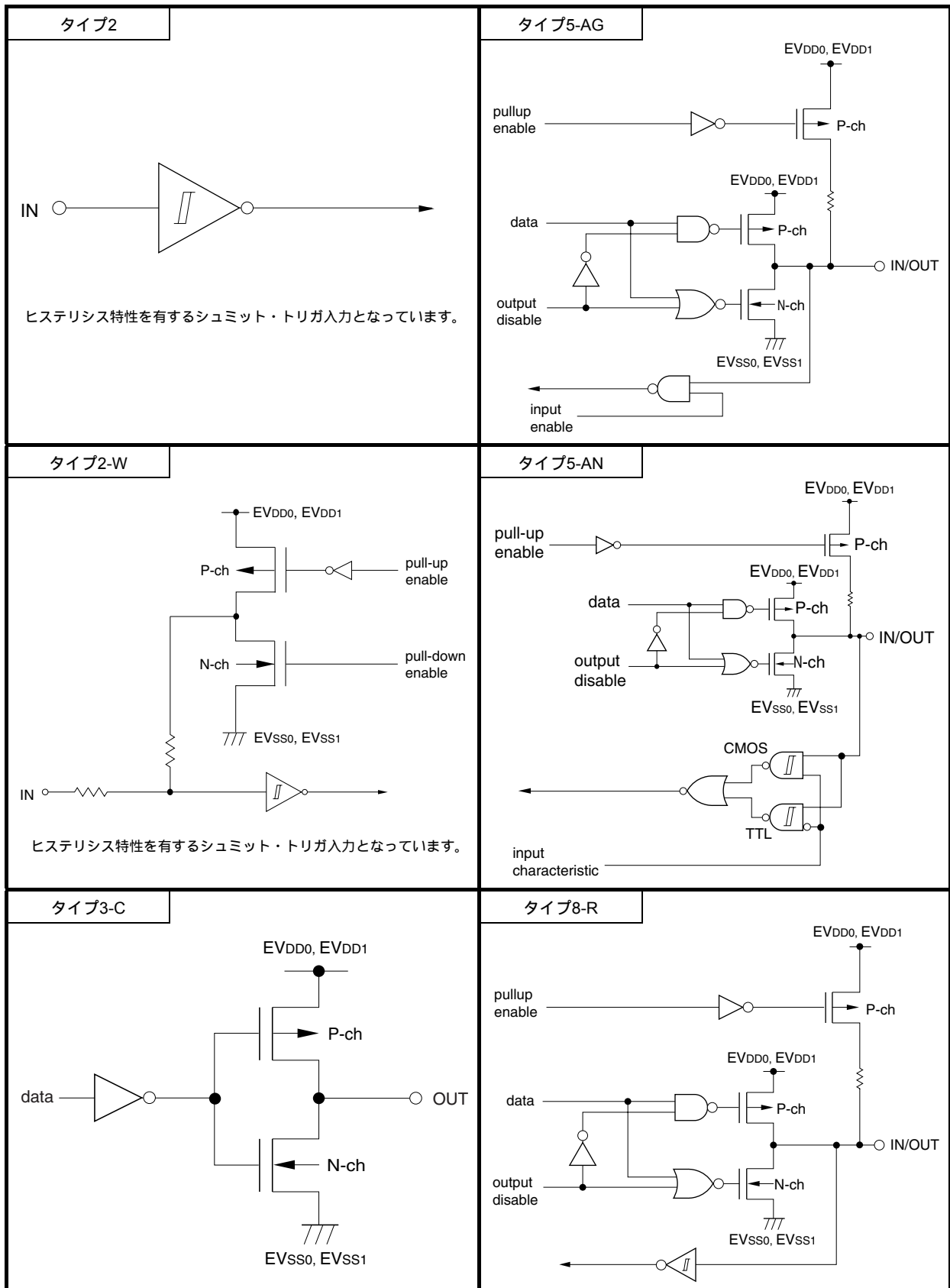
表2-4 各端子の未使用端子処理 (78K0R/KG3-C) (3/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P121/X1 ^{注1}	37-C	入力	個別に抵抗を介して、V _{DD} またはV _{SS} のいずれかに接続してください。
P122/X2/EXCLK ^{注1}			
P123/XT1 ^{注1}			
P124/XT2 ^{注1}			
P130	3-C	出力	オープンにしてください。
P131/TI06/TO06	8-R	入出力	入力時：個別に抵抗を介して、EV _{DD0} 、EV _{DD1} 、EV _{SS0} 、EV _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。
P140/PCLBUZ0			
P141/PCLBUZ1/INTP7			
P142/SCK20/SCL20	5-AN	入出力	入力時：個別に抵抗を介して、EV _{DD0} 、EV _{DD1} 、EV _{SS0} 、EV _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。
P143/SI20/RxD2/SDA20			
P144/SO20/TxD2	5-AG	出力	出力時：オープンにしてください。 <N-chオープン・ドレイン設定時> ポートの出カラッチに0を設定して、ロウ・レベル出力でオープンにしてください。
P145/TI07/TO07	8-R	入出力	入力時：個別に抵抗を介して、EV _{DD0} 、EV _{DD1} 、EV _{SS0} 、EV _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。
P150/ANI8-P157/ANI15 ^{注2}	11-G	入出力	入力時：個別に抵抗を介して、AV _{REF} またはAV _{SS} に接続してください。 出力時：オープンにしてください。
AV _{REF}	-	-	<P20-P27, P150-P157のうち、1本でもデジタル・ポートとして設定時> EV _{DD0} 、EV _{DD1} またはV _{DD} と同電位にしてください。 <P20-P27およびP150-P157をすべてアナログ・ポートとして設定時> 2.7 V AV _{REF} V _{DD} となる電位にしてください。
AV _{SS}	-	-	EV _{SS0} 、EV _{SS1} 、V _{SS} と同電位にしてください。
FLMD0	2-W	-	オープンまたは100 k 以上の抵抗を介してV _{SS} に接続してください。
RESET	2	入力	EV _{DD0} 、EV _{DD1} に直接接続または抵抗を介して接続してください。
REGC	-	-	コンデンサ (0.47 ~ 1 μF) を介し、V _{SS} に接続してください。

注1. 未使用時は、入力ポート・モード (図5-2 クロック動作モード制御レジスタ (CMC) のフォーマットを参照) で上記の推奨接続方法を行ってください。

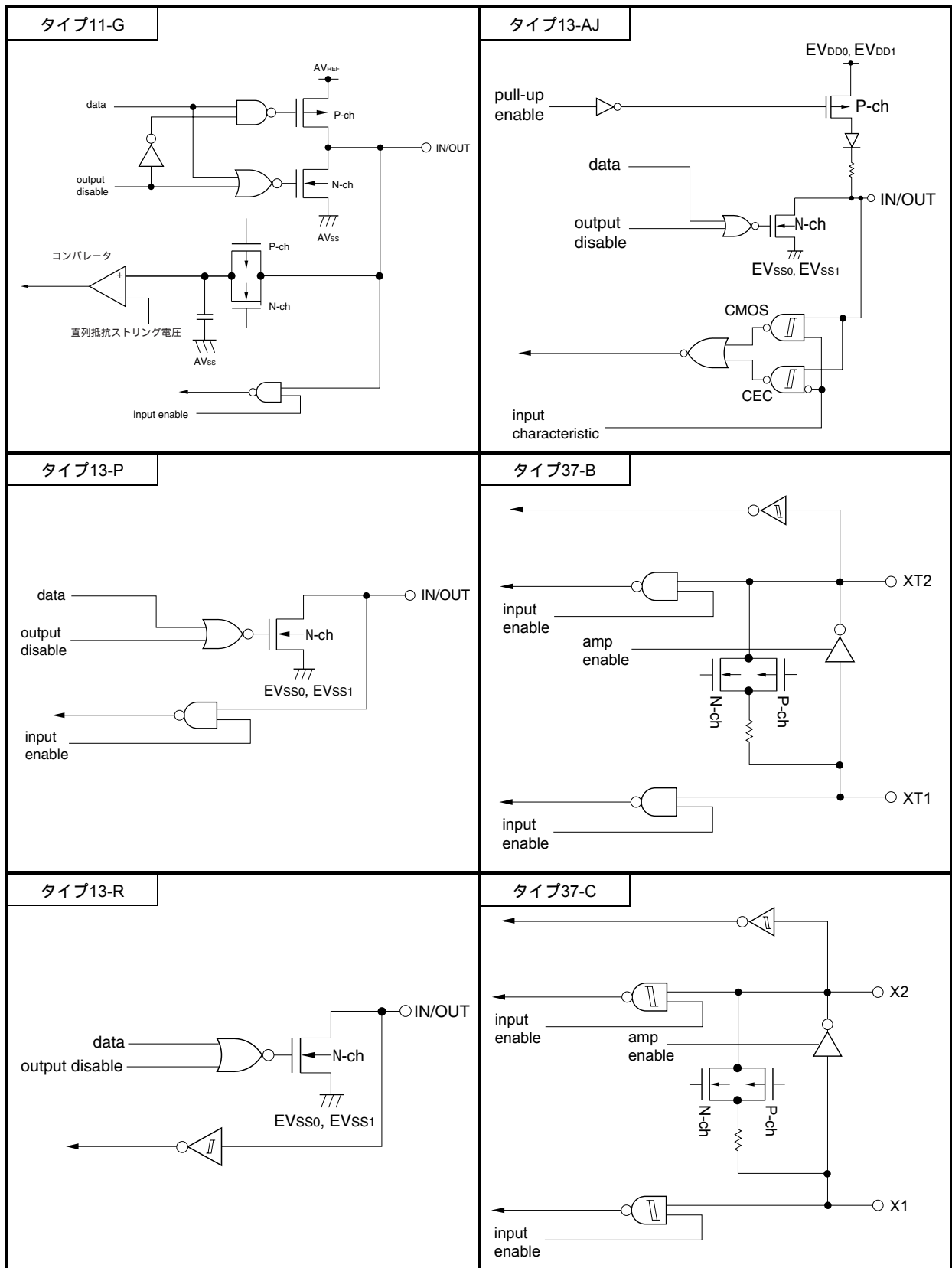
2. P150/ANI8-P157/ANI15は、リセット解除後はデジタル入力ポート・モードになります。

図2-1 端子の入出力回路一覧 (1/2)



備考 78K0R/KF3-Cでは、EV_{DD0}とEV_{DD1}をEV_{DD}に、EV_{SS0}とEV_{SS1}をEV_{SS}に読み替えてください。

図2-1 端子の入出力回路一覧(2/2)



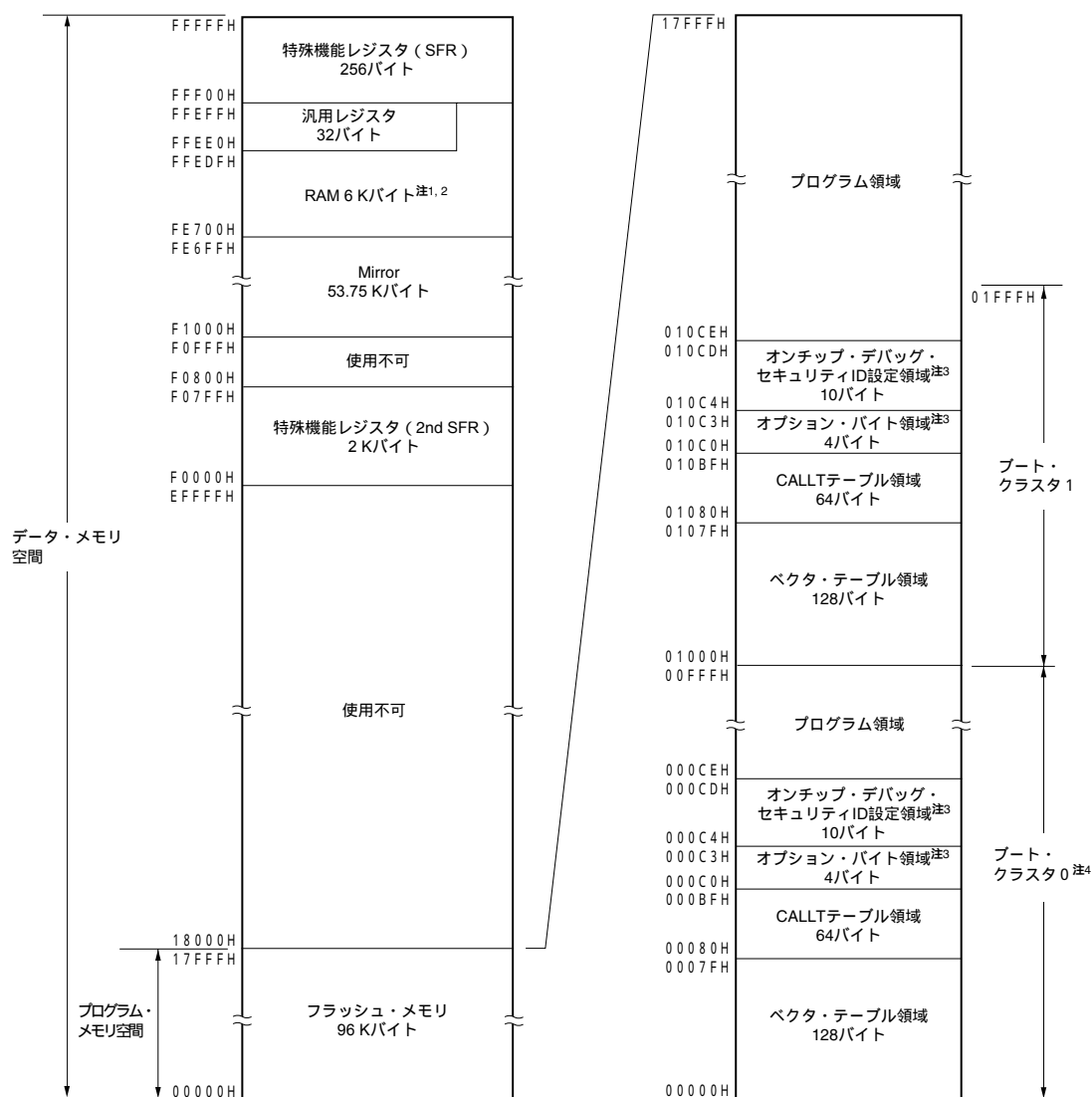
備考 78K0R/KF3-Cでは、EVDD0とEVDD1をEVDDに、EVSS0とEVSS1をEVSSに読み替えてください。

第3章 CPUアーキテクチャ

3.1 メモリ空間

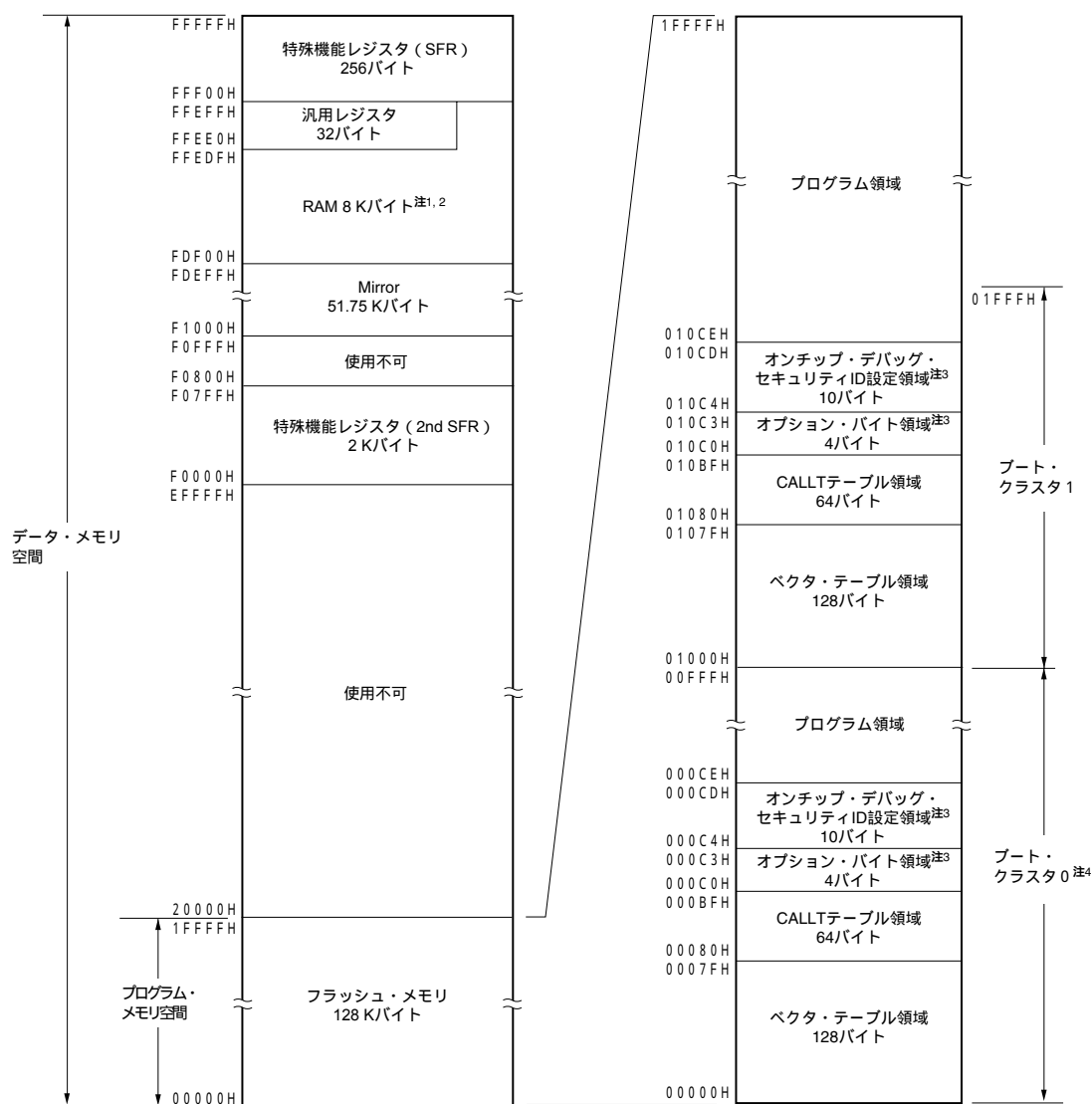
78K0R/Kx3-Cは、1 Mバイトのメモリ空間をアクセスできます。図3 - 1と図3 - 2に、メモリ・マップを示します。

図3 - 1 メモリ・マップ (μPD78F1846A, 78F1848A)



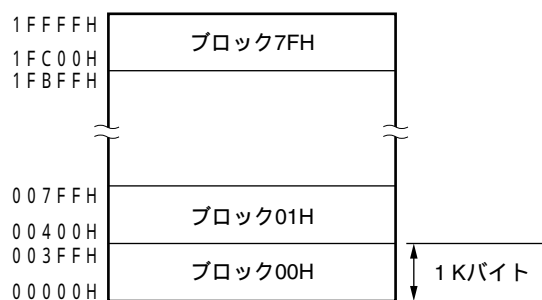
- 注1. セルフ・プログラミング機能使用時は、FFE20H～FFEFFHの領域をスタック・メモリとして使用できません。
2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
3. ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト，000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
ブート・スワップ使用時：000C0H-000C3H，010C0H-010C3Hにオプション・バイト，000C4H-000CDH，010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定
4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます(25.7 セキュリティ設定を参照)。

図3-2 メモリ・マップ(μ PD78F1847A, 78F1849A)



- 注1. セルフ・プログラミング機能使用時は、FFE20H～FFEFFH, FDF00H～FE2FFHの領域をスタック・メモリとして使用できません。
2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
3. ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト，000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
ブート・スワップ使用時：000C0H-000C3H, 010C0H-010C3Hにオプション・バイト，000C4H-000CDH, 010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定
4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます(25.7 セキュリティ設定を参照)。

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1 Kバイト)。アドレス値とブロック番号については、表3 - 1 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。



フラッシュ・メモリのアドレス値とブロック番号の対応を次に示します。

表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応

アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号
0000H-003FFH	00H	0800H-083FFH	20H	1000H-103FFH	40H	1800H-183FFH	60H
00400H-007FFH	01H	08400H-087FFH	21H	10400H-107FFH	41H	18400H-187FFH	61H
00800H-00BFFH	02H	08800H-08BFFH	22H	10800H-10BFFH	42H	18800H-18BFFH	62H
00C00H-00FFFH	03H	08C00H-08FFFH	23H	10C00H-10FFFH	43H	18C00H-18FFFH	63H
01000H-013FFH	04H	09000H-093FFH	24H	11000H-113FFH	44H	19000H-193FFH	64H
01400H-017FFH	05H	09400H-097FFH	25H	11400H-117FFH	45H	19400H-197FFH	65H
01800H-01BFFH	06H	09800H-09BFFH	26H	11800H-11BFFH	46H	19800H-19BFFH	66H
01C00H-01FFFH	07H	09C00H-09FFFH	27H	11C00H-11FFFH	47H	19C00H-19FFFH	67H
02000H-023FFH	08H	0A000H-0A3FFH	28H	12000H-123FFH	48H	1A000H-1A3FFH	68H
02400H-027FFH	09H	0A400H-0A7FFH	29H	12400H-127FFH	49H	1A400H-1A7FFH	69H
02800H-02BFFH	0AH	0A800H-0ABFFH	2AH	12800H-12BFFH	4AH	1A800H-1ABFFH	6AH
02C00H-02FFFH	0BH	0AC00H-0AFFFH	2BH	12C00H-12FFFH	4BH	1AC00H-1AFFFH	6BH
03000H-033FFH	0CH	0B000H-0B3FFH	2CH	13000H-133FFH	4CH	1B000H-1B3FFH	6CH
03400H-037FFH	0DH	0B400H-0B7FFH	2DH	13400H-137FFH	4DH	1B400H-1B7FFH	6DH
03800H-03BFFH	0EH	0B800H-0BBFFH	2EH	13800H-13BFFH	4EH	1B800H-1BBFFH	6EH
03C00H-03FFFH	0FH	0BC00H-0BFFFH	2FH	13C00H-13FFFH	4FH	1BC00H-1BFFFH	6FH
04000H-043FFH	10H	0C000H-0C3FFH	30H	14000H-143FFH	50H	1C000H-1C3FFH	70H
04400H-047FFH	11H	0C400H-0C7FFH	31H	14400H-147FFH	51H	1C400H-1C7FFH	71H
04800H-04BFFH	12H	0C800H-0CBFFH	32H	14800H-14BFFH	52H	1C800H-1CBFFH	72H
04C00H-04FFFH	13H	0CC00H-0CFFFH	33H	14C00H-14FFFH	53H	1CC00H-1CFFFH	73H
05000H-053FFH	14H	0D000H-0D3FFH	34H	15000H-153FFH	54H	1D000H-1D3FFH	74H
05400H-057FFH	15H	0D400H-0D7FFH	35H	15400H-157FFH	55H	1D400H-1D7FFH	75H
05800H-05BFFH	16H	0D800H-0DBFFH	36H	15800H-15BFFH	56H	1D800H-1DBFFH	76H
05C00H-05FFFH	17H	0DC00H-0DFFFH	37H	15C00H-15FFFH	57H	1DC00H-1DFFFH	77H
06000H-063FFH	18H	0E000H-0E3FFH	38H	16000H-163FFH	58H	1E000H-1E3FFH	78H
06400H-067FFH	19H	0E400H-0E7FFH	39H	16400H-167FFH	59H	1E400H-1E7FFH	79H
06800H-06BFFH	1AH	0E800H-0EBFFH	3AH	16800H-16BFFH	5AH	1E800H-1EBFFH	7AH
06C00H-06FFFH	1BH	0EC00H-0EFFFH	3BH	16C00H-16FFFH	5BH	1EC00H-1EFFFH	7BH
07000H-073FFH	1CH	0F000H-0F3FFH	3CH	17000H-173FFH	5CH	1F000H-1F3FFH	7CH
07400H-077FFH	1DH	0F400H-0F7FFH	3DH	17400H-177FFH	5DH	1F400H-1F7FFH	7DH
07800H-07BFFH	1EH	0F800H-0FBFFH	3EH	17800H-17BFFH	5EH	1F800H-1FBFFH	7EH
07C00H-07FFFH	1FH	0FC00H-0FFFFH	3FH	17C00H-17FFFH	5FH	1FC00H-1FFFFH	7FH

備考 μ PD78F1846A, 78F1848A : ブロック番号00H-5FH

μ PD78F1847A, 78F1849A : ブロック番号00H-7FH

3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。

78K0R/Kx3-Cは、次に示す内部ROM（フラッシュ・メモリ）を内蔵しています。

表3-2 内部ROM容量

製 品	内部ROM	
	構 造	容 量
μ PD78F1846A, 78F1848A	フラッシュ・メモリ	98304×8ビット (00000H-17FFFH)
μ PD78F1847A, 78F1849A		131072×8ビット (00000H-1FFFFH)

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

00000H-0007FHの128バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。また、ベクタ・コードは2バイトとしているため、割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3-3 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要因	ベクタ・テーブル・アドレス	割り込み要因
00000H	RESET入力, POC, LVI, WDT, TRAP	00034H	INTAD
		00036H	INTRTC
00004H	INTWDTI	00038H	INTRTCI
00006H	INTLVI	0003AH	INTKR
00008H	INTP0	0003CH	INTST2/INTCSI20/INTIIC20
0000AH	INTP1	0003EH	INTRERR3
0000CH	INTP2	00040H	INTRA3
0000EH	INTP3	00042H	INTTM04
00010H	INTP4	00044H	INTTM05
00012H	INTP5	00046H	INTTM06
00014H	INTDA	00048H	INTTM07
00016H	INTCE	0004AH	INTSR2
00018H	INTERR	0004CH	INTP7
0001AH	INTDMA0	0004EH	INTP8
0001CH	INTDMA1	00050H	INTRERR2
0001EH	INTST0 / INTCSI00	00052H	INTRA2
00020H	INTSR0 / INTCSI01	00054H	INTRERR1
00022H	INTSRE0	00056H	INTTM10
00024H	INTST1 / INTCSI10 / INTIIC10	00058H	INTTM11
00026H	INTSR1	0005AH	INTTM12
00028H	INTSRE1	0005CH	INTSRE2
0002AH	INTIICA	0005EH	INTRA1
0002CH	INTTM00	00060H	INTRERR0
0002EH	INTTM01	00062H	INTRA0
00030H	INTTM02	0007EH	BRK
00032H	INTTM03		

(2) CALLT命令テーブル領域

00080H-000BFHの64バイト領域には、2バイト・コール命令 (CALLT) のサブルーチン・エントリ・アドレスを格納することができます。サブルーチン・エントリ・アドレスは00000H-0FFFFH内の値を設定してください (アドレス・コードが2バイトのため)。

ブート・スワップを使用する際には、01080H-010BFHにもCALLT命令テーブルを設定してください。

(3) オプション・バイト領域

000C0H-000C3Hの4バイト領域にオプション・バイト領域を用意しています。ブート・スワップを使用する際には010C0H-010C3Hにもオプション・バイトを設定してください。詳細は第24章 **オプション・バイト**を参照してください。

(4) オンチップ・デバッグ・セキュリティID設定領域

000C4H-000CDH, 010C4H-010CDHの10バイト領域にオンチップ・デバッグ・セキュリティID設定領域を用意しています。ブート・スワップ未使用時には000C4H-000CDHに、ブート・スワップ使用時には000C4H-000CDHと010C4H-010CDHに10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。詳細は第26章 **オンチップ・デバッグ機能**を参照してください。

3.1.2 ミラー領域

78K0R/Kx3-Cでは、00000H-0FFFFFFHまたは10000H-1FFFFFFHのデータ・フラッシュ・エリアをF0000H-FFFFFFHへミラーさせています（ミラーさせるデータ・フラッシュ・エリアは、プロセッサ・モード・コントロール・レジスタ（PMC）で設定）。

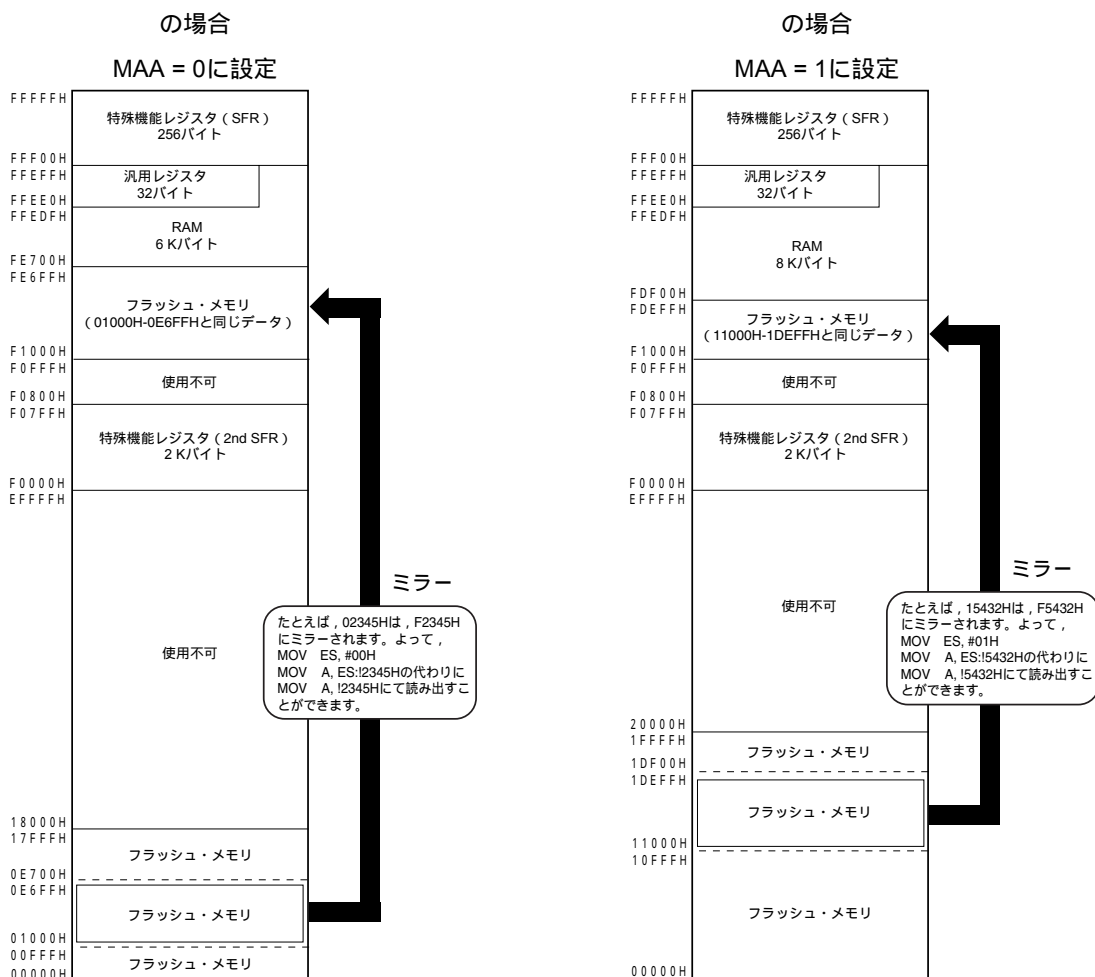
ミラー先のF0000H-FFFFFFHからデータを読み込むことにより、オペランドにESレジスタを持たない命令を使用することができるため、短いコードでデータ・フラッシュ内容の読み出しを行うことができます。ただし、SFR、拡張SFR、RAM、使用不可領域にはミラーされません。

各製品のミラー領域は、3.1 メモリ空間を参照してください。

ミラー領域は読み出しのみ可能で、命令フェッチはできません。

次に例を示します。

例1 μ PD78F1846A, 78F1848A (フラッシュ・メモリ 96 Kバイト, RAM 6 Kバイト) **例2** μ PD78F1847A, 78F1849A (フラッシュ・メモリ 128 Kバイト, RAM 8 Kバイト)



備考 MAAは、プロセッサ・モード・コントロール・レジスタ（PMC）のビット0です。

次に、PMCレジスタについて説明します。

・プロセッサ・モード・コントロール・レジスタ (PMC)

F0000H-FFFFFFHへミラーするフラッシュ・メモリ空間を選択するレジスタです。
 PMCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 リセット信号の発生により、00Hになります。

図3-3 プロセッサ・モード・コントロール・レジスタ (PMC) のフォーマット

アドレス : FFFFEH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PMC	0	0	0	0	0	0	0	MAA

MAA	F0000H-FFFFFFHへミラーするフラッシュ・メモリ空間選択
0	00000H-0FFFFHをF0000H-FFFFFFHへミラー
1	10000H-1FFFFHをF0000H-FFFFFFHへミラー

- 注意1. PMCの設定は、DMAコントローラを動作させる前に初期設定で1度だけ行ってください。初期設定以外でのPMCの書き替えは禁止です。
2. PMCの設定後、1命令以上空けてミラー領域にアクセスしてください。

3.1.3 内部データ・メモリ空間

78K0R/Kx3-Cは、次に示すRAMを内蔵しています。

表3-4 内部RAM容量

製 品	内部RAM
μ PD78F1846A, 78F1848A	6144×8ビット (FE700H-FFEFFFH)
μ PD78F1847A, 78F1849A	8192×8ビット (FDF00H-FFEFFFH)

データ領域として使用できるほか、プログラム領域として命令を書いて実行することができます。内部RAM領域のうちFFEE0H-FFEFFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられます。汎用レジスタでは命令実行できません。

また、スタック・メモリは内部RAMを使用します。

- 注意1. 汎用レジスタ (FFEE0H-FFEFFFH) の空間は、命令フェッチやスタック領域としての使用を禁止します。
2. セルフ・プログラミング機能使用時は、FFE20H~FFEFFFHの領域をスタック・メモリとして使用できません。また、μ PD78F1847A, 78F1849Aでは、FDF00H~FE2FFFHの領域もスタック・メモリとして使用できません。

3.1.4 特殊機能レジスタ (SFR : Special Function Register) 領域

FFF00H-FFFFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ (SFR) が割り付けられています (3.2.4 特殊機能レジスタ (SFR : Special Function Register) の表3 - 5参照)。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域

F0000H-F07FFHの領域には、オン・チップ周辺ハードウェアの拡張特殊機能レジスタ (2nd SFR) が割り付けられています (3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) の表3 - 6参照)。

SFR領域 (FFF00H-FFFFFFH) 以外のSFRが割り付けられています。ただし、拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

注意 拡張SFRが割り付けられていないアドレスにアクセスしないでください。

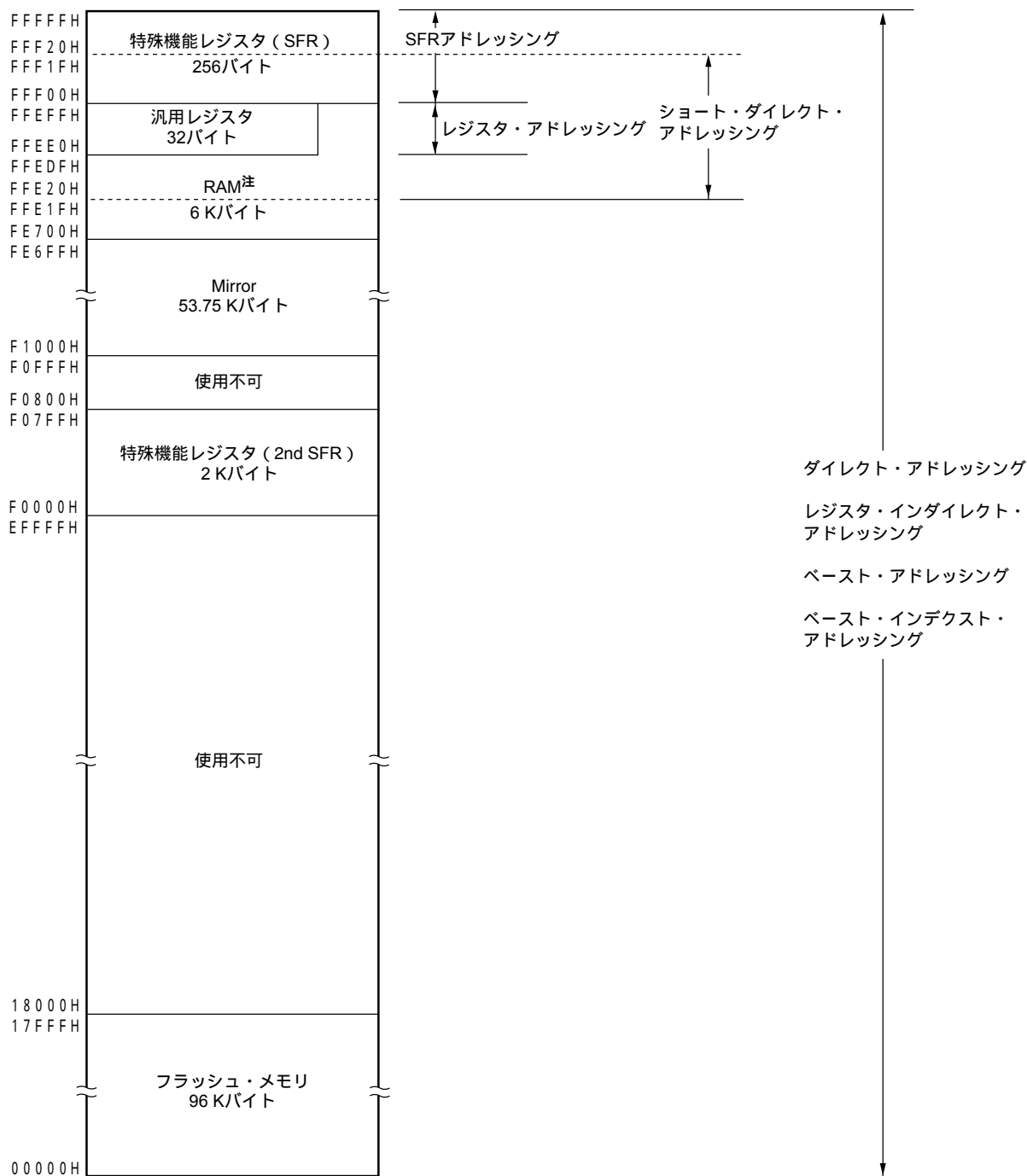
3.1.6 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定したりする方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて、78K0R/Kx3-Cでは、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ (SFR) や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。

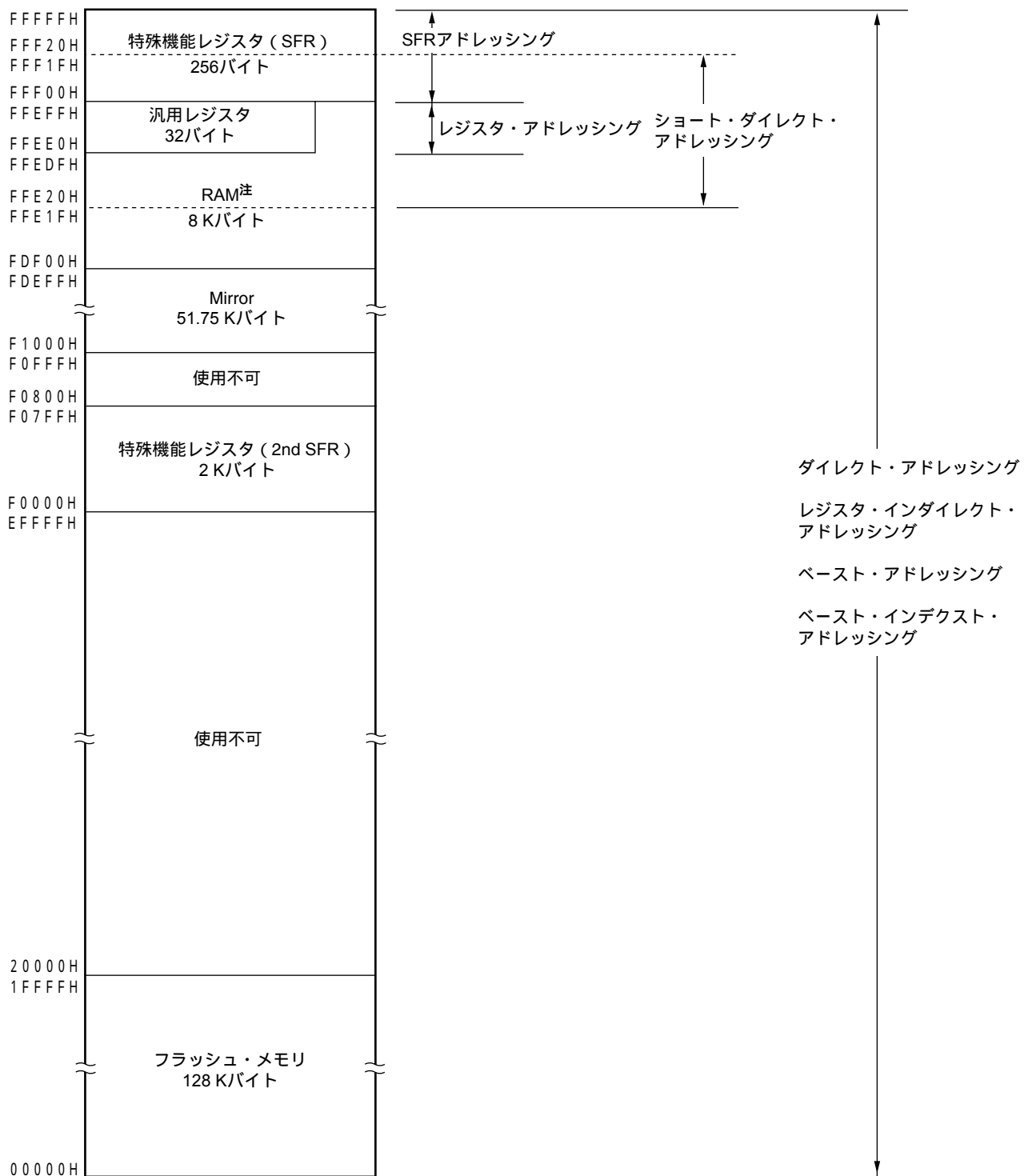
図3-4と図3-5にデータ・メモリとアドレッシングの対応を示します。

図3-4 データ・メモリとアドレッシングの対応 (μ PD78F1846A, 78F1848A)



注 セルフ・プログラミング機能使用時は、FFE20H ~ FFEFFHの領域をスタック・メモリとして使用できません。

図3-5 データ・メモリとアドレッシングの対応 (μ PD78F1847A, 78F1849A)



注 セルフ・プログラミング機能使用時は、FFE20H～FFE1FH, FDF00H～FE2FFHの領域をスタック・メモリとして使用できません。

3.2 プロセッサ・レジスタ

78K0R/Kx3-Cは、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）、スタック・ポインタ（SP）があります。

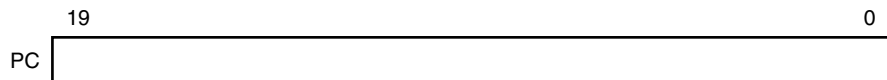
(1) プログラム・カウンタ（PC）

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する20ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

リセット信号の発生により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3-6 プログラム・カウンタの構成



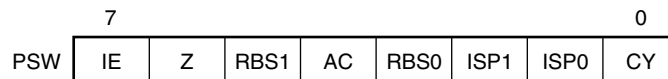
(2) プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、ベクタ割り込み要求受け付け時およびPUSH PSW命令の実行時にスタック領域に格納され、RETB, RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により、06Hになります。

図3-7 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ（IE）

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止（DI）状態となり、マスクブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可（EI）状態となります。このとき割り込み要求の受け付けは、インサービス・プライオリティ・フラグ（ISP1, ISP0）、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット（0）され、EI命令の実行によりセット（1）されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) レジスタ・バンク選択フラグ (RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ (AC)

演算結果で、ビット3からキャリーがあったとき、またはビット3へのポローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

(e) インサース・プライオリティ・フラグ (ISP1, ISP0)

受け付け可能なマスクブル・ベクタ割り込みの優先順位レベルを管理するフラグです。優先順位指定フラグ・レジスタ (PRn0L, PRn0H, PRn1L, PRn1H, PRn2L, PRn2H) (17.3(3)参照)でISP0, ISP1の値より低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ (IE) の状態により制御されます。

備考 n = 0, 1

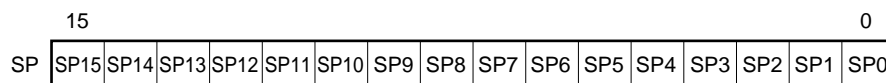
(f) キャリー・フラグ (CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部RAM領域のみ設定可能です。

図3-8 スタック・ポインタの構成

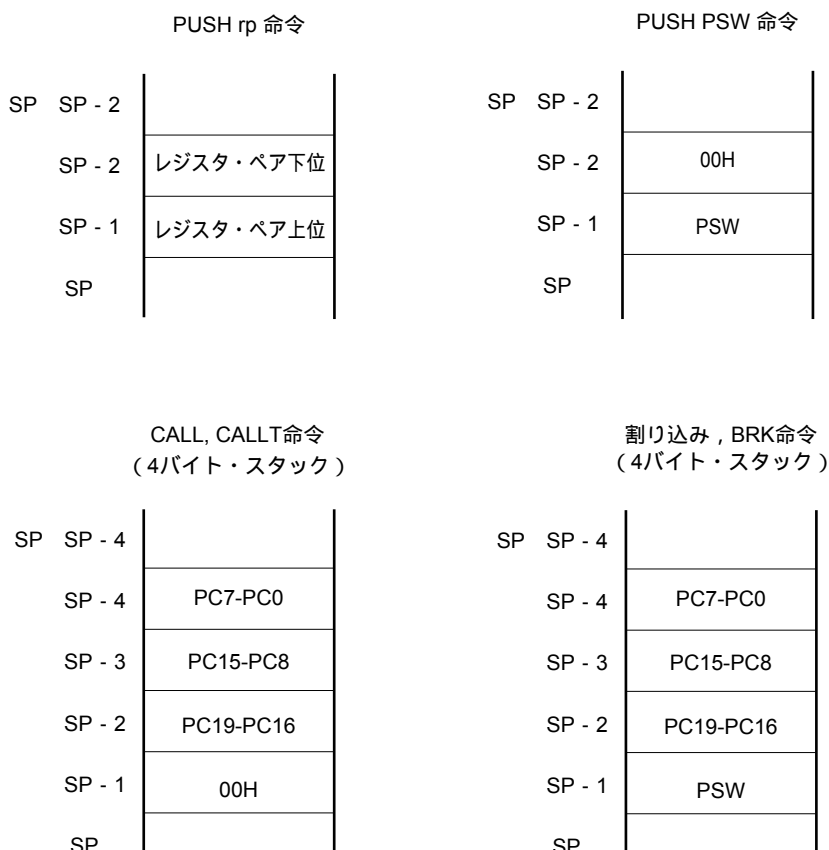


スタック・メモリへの書き込み (退避) 動作に先立ってデクリメントされ、スタック・メモリからの読み取り (復帰) 動作のあとインクリメントされます。

各スタック動作によって退避されるデータは図3-9のようになります。

- 注意1.** SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。
2. SPの設定値は必ず偶数にしてください。奇数を設定すると、最下位のビットは自動的に0が設定されます。
 3. 汎用レジスタ (FFEE0H~FFEFFH) の空間は、スタック領域としての使用を禁止します。
 4. セルフ・プログラミング機能使用時は、FFE20H~FFEFFHの領域をスタック・メモリとして使用できません。また、 μ PD78F1847A, 78F1849Aでは、FDF00H~FE2FFHの領域もスタック・メモリとして使用できません。

図3-9 スタック・メモリへ退避されるデータ



3.2.2 汎用レジスタ

汎用レジスタは、データ・メモリの特定番地 (FFEE0H-FFEFFH) にマッピングされており、8ビット・レジスタ8個 (X, A, C, B, E, D, L, H) を1バンクとして4バンクのレジスタで構成されています。

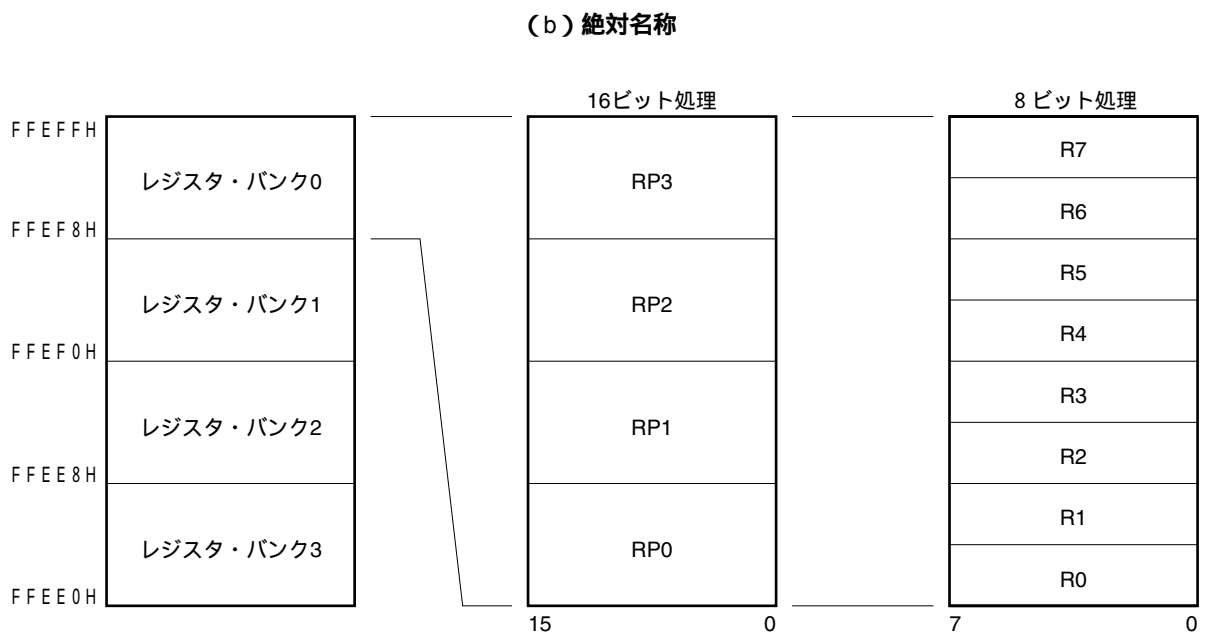
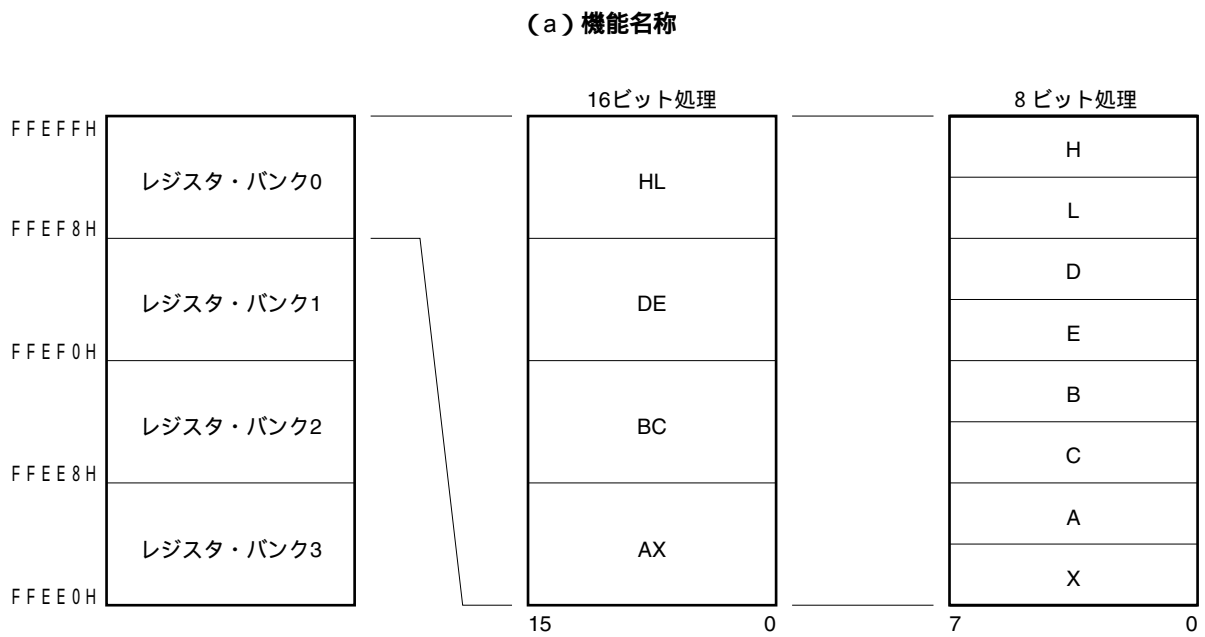
各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます (AX, BC, DE, HL)。

また、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほか、絶対名称 (R0-R7, RP0-RP3) でも記述できます。

命令実行時に使用するレジスタ・バンクは、CPU制御命令 (SEL RBn) によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

- 注意1.** 汎用レジスタ (FFEE0H-FFEFFH) の空間は、命令フェッチやスタック領域としての使用を禁止します。
- 2.** セルフ・プログラミング機能使用時は、FFE20H~FFEFFHの領域をスタック・メモリとして使用できません。また、 μ PD78F1847A, 78F1849Aでは、FDF00H~FE2FFHの領域もスタック・メモリとして使用できません。

図3 - 10 汎用レジスタの構成



3.2.3 ES, CSレジスタ

ESレジスタにてデータ・アクセス，CSレジスタにて分岐命令実行時の上位アドレスを指定できます。

ESのリセット後の初期値は0FH，CSのリセット後の初期値は00Hです。

図3 - 11 ES/CSレジスタの構成

	7	6	5	4	3	2	1	0
ES	0	0	0	0	ES3	ES2	ES1	ES0
CS	0	0	0	0	CS3	CP2	CP1	CP0

3.2.4 特殊機能レジスタ (SFR : Special Function Register)

SFRは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

SFR空間は、FFF00H-FFFFFHの領域に割り付けられています。

SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

・1ビット操作

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

・8ビット操作

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

・16ビット操作

16ビット操作命令のオペランド (sfrp) にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 5にSFRの一覧を示します。表中の項目の意味は次のとおりです。

・略号

特殊機能レジスタのアドレスを示す略号です。RA78K0Rで予約語に、CC78K0Rでは#pragma sfr指令で、sfr変数として定義されているものです。RA78K0R、ID78K0R-QBおよびSM+ for 78K0R使用時に命令のオペランドとして記述できます。

・R/W

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

・操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を で示します。 - は操作できないビット単位であることを示します。

・リセット時

リセット信号発生時の各レジスタの状態を示します。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

備考 拡張SFR (2nd SFR) については、3.2.5 **拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)** を参照してください。

表3-5 SFR一覧(1/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FFF00H	ポート・レジスタ0	P0	R/W			-	00H
FFF01H	ポート・レジスタ1	P1	R/W			-	00H
FFF02H	ポート・レジスタ2	P2	R/W			-	00H
FFF03H	ポート・レジスタ3	P3	R/W			-	00H
FFF04H	ポート・レジスタ4	P4	R/W			-	00H
FFF05H	ポート・レジスタ5	P5	R/W			-	00H
FFF06H	ポート・レジスタ6	P6	R/W			-	00H
FFF07H	ポート・レジスタ7	P7	R/W			-	00H
FFF08H	ポート・レジスタ8 ^注	P8	R/W			-	00H
FFF09H	ポート・レジスタ9	P9	R/W			-	00H
FFF0BH	ポート・レジスタ11	P11	R/W			-	00H
FFF0CH	ポート・レジスタ12	P12	R/W			-	不定
FFF0DH	ポート・レジスタ13	P13	R/W			-	00H
FFF0EH	ポート・レジスタ14	P14	R/W			-	00H
FFF0FH	ポート・レジスタ15	P15	R/W			-	00H
FFF10H	シリアル・データ・レジスタ00	TXD0/ SIO00	SDR00	R/W	-		0000H
FFF11H					-	-	
FFF12H	シリアル・データ・レジスタ01	RXD0/ SIO01	SDR01	R/W	-		0000H
FFF13H					-	-	
FFF18H	タイマ・データ・レジスタ00	TDR00	R/W	-	-		0000H
FFF19H							
FFF1AH	タイマ・データ・レジスタ01	TDR01	R/W	-	-		0000H
FFF1BH							
FFF1EH	10ビットA/D変換結果レジスタ	ADCR	R	-	-		0000H
FFF1FH	8ビットA/D変換結果レジスタ	ADCRH	R	-	-		00H
FFF20H	ポート・モード・レジスタ0	PM0	R/W			-	FFH
FFF21H	ポート・モード・レジスタ1	PM1	R/W			-	FFH
FFF22H	ポート・モード・レジスタ2	PM2	R/W			-	FFH
FFF23H	ポート・モード・レジスタ3	PM3	R/W			-	FFH
FFF24H	ポート・モード・レジスタ4	PM4	R/W			-	FFH
FFF25H	ポート・モード・レジスタ5	PM5	R/W			-	FFH
FFF26H	ポート・モード・レジスタ6	PM6	R/W			-	FFH
FFF27H	ポート・モード・レジスタ7	PM7	R/W			-	FFH
FFF28H	ポート・モード・レジスタ8 ^注	PM8	R/W			-	FFH
FFF29H	ポート・モード・レジスタ9	PM9	R/W			-	FFH
FFF2BH	ポート・モード・レジスタ11	PM11	R/W			-	FFH
FFF2CH	ポート・モード・レジスタ12	PM12	R/W			-	FFH
FFF2DH	ポート・モード・レジスタ13	PM13	R/W			-	FEH
FFF2EH	ポート・モード・レジスタ14	PM14	R/W			-	FFH
FFF2FH	ポート・モード・レジスタ15	PM15	R/W			-	FFH

注 78K0R/KG3-Cのみ

表3-5 SFR一覧(2/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FFF30H	A/Dコンバータ・モード・レジスタ	ADM	R/W			-	00H
FFF31H	アナログ入力チャンネル指定レジスタ	ADS	R/W			-	00H
FFF37H	キー・リターン・モード・レジスタ	KRM	R/W			-	00H
FFF38H	外部割り込み立ち上がりエッジ許可レジスタ0	EGP0	R/W			-	00H
FFF39H	外部割り込み立ち下がりエッジ許可レジスタ0	EGN0	R/W			-	00H
FFF3AH	外部割り込み立ち上がりエッジ許可レジスタ1	EGP1	R/W			-	00H
FFF3BH	外部割り込み立ち下がりエッジ許可レジスタ1	EGN1	R/W			-	00H
FFF3EH	タイマ入力選択レジスタ0	TIS0	R/W			-	00H
FFF3FH	タイマ入力選択レジスタ1	TIS1	R/W			-	00H
FFF40H	リモコン受信データ・レジスタ0	RMDR0	R	-		-	00H
FFF41H	リモコン受信カウンタ・レジスタ0	RMSCR0	R	-		-	00H
FFF42H	リモコン受信シフト・レジスタ0	RMSR0	R	-		-	00H
FFF43H	リモコン受信エラー・ビット検出レジスタ0	RMERBD0	R	-		-	00H
FFF44H	シリアル・データ・レジスタ02	TXD1/ SIO10	SDR02	R/W	-		0000H
FFF45H		-		-	-		
FFF46H	シリアル・データ・レジスタ03	RXD1	SDR03	R/W	-		0000H
FFF47H		-		-	-		
FFF48H	シリアル・データ・レジスタ10	TXD2/ SIO20	SDR10	R/W	-		0000H
FFF49H		-		-	-		
FFF4AH	シリアル・データ・レジスタ11	RXD2	SDR11	R/W	-		0000H
FFF4BH		-		-	-		
FFF4CH	リモコン受信エラー・ビット検出シフト・レジスタ0	RMERBSR0	R	-		-	00H
FFF4DH	リモコン受信割り込みステータス・レジスタ0	RMINTS0	R/W	-		-	00H
FFF4EH	リモコン受信データ・レジスタ1	RMDR1	R/W	-		-	00H
FFF4FH	リモコン受信カウンタ・レジスタ1	RMSCR1	R/W	-		-	00H
FFF50H	IICAシフト・レジスタ	IICA	R/W	-		-	00H
FFF51H	IICAステータス・レジスタ	IICS	R			-	00H
FFF52H	IICAフラグ・レジスタ	IICF	R/W			-	00H
FFF54H	リモコン受信シフト・レジスタ1	RMSR1	R/W	-		-	00H
FFF55H	リモコン受信エラー・ビット検出レジスタ1	RMERBD1	R/W	-		-	00H
FFF56H	リモコン受信エラー・ビット検出シフト・レジスタ1	RMERBSR1	R/W	-		-	00H
FFF57H	リモコン受信割り込みステータス・レジスタ1	RMINTS1	R/W	-		-	00H
FFF58H	リモコン受信データ・レジスタ2	RMDR2	R/W	-		-	00H
FFF59H	リモコン受信カウンタ・レジスタ2	RMSCR2	R/W	-		-	00H
FFF5AH	リモコン受信シフト・レジスタ2	RMSR2	R/W	-		-	00H
FFF5BH	リモコン受信エラー・ビット検出レジスタ2	RMERBD2	R/W	-		-	00H
FFF5CH	リモコン受信エラー・ビット検出シフト・レジスタ2	RMERBSR2	R/W	-		-	00H
FFF5DH	リモコン受信割り込みステータス・レジスタ2	RMINTS2	R/W	-		-	00H

表3 - 5 SFR一覧 (3/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FFF5EH	リモコン受信データ・レジスタ3	RMDR3	R/W	-		-	00H
FFF5FH	リモコン受信カウンタ・レジスタ3	RMSCR3	R/W	-		-	00H
FFF60H	リモコン受信シフト・レジスタ3	RMSR3	R/W	-		-	00H
FFF61H	リモコン受信エラー・ビット検出レジスタ3	RMERBD3	R/W	-		-	00H
FFF62H	リモコン受信エラー・ビット検出シフト・レジスタ3	RMERBSR3	R/W	-		-	00H
FFF63H	リモコン受信割り込みステータス・レジスタ3	RMINTS3	R/W	-		-	00H
FFF64H	タイマ・データ・レジスタ02	TDR02	R/W	-	-		0000H
FFF65H							
FFF66H	タイマ・データ・レジスタ03	TDR03	R/W	-	-		0000H
FFF67H							
FFF68H	タイマ・データ・レジスタ04	TDR04	R/W	-	-		0000H
FFF69H							
FFF6AH	タイマ・データ・レジスタ05	TDR05	R/W	-	-		0000H
FFF6BH							
FFF6CH	タイマ・データ・レジスタ06	TDR06	R/W	-	-		0000H
FFF6DH							
FFF6EH	タイマ・データ・レジスタ07	TDR07	R/W	-	-		0000H
FFF6FH							
FFF70H	タイマ・データ・レジスタ10	TDR10	R/W	-	-		0000H
FFF71H							
FFF72H	タイマ・データ・レジスタ11	TDR11	R/W	-	-		0000H
FFF73H							
FFF74H	タイマ・データ・レジスタ12	TDR12	R/W	-	-		0000H
FFF75H							
FFF78H	CEC送信バッファ・レジスタ	CTXD	R/W	-		-	00H
FFF79H	CEC受信バッファ・レジスタ	CRXD	R	-		-	00H
FFF7AH	CEC通信エラー・ステータス・レジスタ	CECES	R	-		-	00H
FFF7BH	CEC通信ステータス・レジスタ	CECS	R	-		-	00H
FFF7CH	CEC通信エラー・フラグ・クリア・トリガ・レジスタ	GECFC	R/W			-	00H
FFF7DH	CECコントロール・レジスタ0	CECCTL0	R/W			-	00H
FFF90H	サブカウンタ・レジスタ	RSUBC	R	-	-		0000H
FFF91H							
FFF92H	秒カウンタ・レジスタ	SEC	R/W	-		-	00H
FFF93H	分カウンタ・レジスタ	MIN	R/W	-		-	00H
FFF94H	時カウンタ・レジスタ	HOUR	R/W	-		-	12H ^注
FFF95H	曜日カウンタ・レジスタ	WEEK	R/W	-		-	00H
FFF96H	日カウンタ・レジスタ	DAY	R/W	-		-	01H
FFF97H	月カウンタ・レジスタ	MONTH	R/W	-		-	01H
FFF98H	年カウンタ・レジスタ	YEAR	R/W	-		-	00H
FFF99H	時計誤差補正レジスタ	SUBCUD	R/W	-		-	00H
FFF9AH	アラーム分レジスタ	ALARMWMM	R/W	-		-	00H

注 リセット後に、AMPMビット (RTCC0レジスタのビット3) に1をセットした場合は00Hとなります。

表3-5 SFR一覧(4/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FFF9BH	アラーム時レジスタ	ALARMWH	R/W	-		-	12H
FFF9CH	アラーム曜日レジスタ	ALARMWW	R/W	-		-	00H
FFF9DH	リアルタイム・カウンタ・コントロール・レジスタ0	RTCC0	R/W			-	00H
FFF9EH	リアルタイム・カウンタ・コントロール・レジスタ1	RTCC1	R/W			-	00H
FFF9FH	リアルタイム・カウンタ・コントロール・レジスタ2	RTCC2	R/W			-	00H
FFFA0H	クロック動作モード制御レジスタ	CMC	R/W	-		-	00H
FFFA1H	クロック動作ステータス制御レジスタ	CSC	R/W			-	C0H
FFFA2H	発振安定時間カウンタ状態レジスタ	OSTC	R			-	00H
FFFA3H	発振安定時間選択レジスタ	OSTS	R/W	-		-	07H
FFFA4H	システム・クロック制御レジスタ	CKC	R/W			-	09H
FFFA5H	クロック出力選択レジスタ0	CKS0	R/W			-	00H
FFFA6H	クロック出力選択レジスタ1	CKS1	R/W			-	00H
FFFA8H	リセット・コントロール・フラグ・レジスタ	RESF	R	-		-	00H ^{注1}
FFFA9H	低電圧検出レジスタ	LVIM	R/W			-	00H ^{注2}
FFFAAH	低電圧検出レベル選択レジスタ	LVIS	R/W			-	0EH ^{注3}
FFFABH	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE	R/W	-		-	1A/9A ^{注4}
FFFB0H	DMA SFRアドレス・レジスタ0	DSA0	R/W	-		-	00H
FFFB1H	DMA SFRアドレス・レジスタ1	DSA1	R/W	-		-	00H
FFFB2H	DMA RAMアドレス・レジスタ0L	DRA0L	DRA0	R/W	-		00H
FFFB3H	DMA RAMアドレス・レジスタ0H	DRA0H		R/W	-		00H
FFFB4H	DMA RAMアドレス・レジスタ1L	DRA1L	DRA1	R/W	-		00H
FFFB5H	DMA RAMアドレス・レジスタ1H	DRA1H		R/W	-		00H
FFFB6H	DMA バイト・カウント・レジスタ0L	DBC0L	DBC0	R/W	-		00H
FFFB7H	DMA バイト・カウント・レジスタ0H	DBC0H		R/W	-		00H
FFFB8H	DMA バイト・カウント・レジスタ1L	DBC1L	DBC1	R/W	-		00H
FFFB9H	DMA バイト・カウント・レジスタ1H	DBC1H		R/W	-		00H
FFFB AH	DMA モード・コントロール・レジスタ0	DMC0	R/W			-	00H
FFFB BH	DMA モード・コントロール・レジスタ1	DMC1	R/W			-	00H
FFFB CH	DMA 動作コントロール・レジスタ0	DRC0	R/W			-	00H
FFFB DH	DMA 動作コントロール・レジスタ1	DRC1	R/W			-	00H
FFFB EH	バックグラウンド・イベント・コントロール・レジスタ	BECTL	R/W			-	00H
FFFC0H	-	PFCMD ^{注5}	-	-	-	-	不定
FFFC2H	-	PFS ^{注5}	-	-	-	-	不定
FFFC4H	-	FLPMC ^{注5}	-	-	-	-	不定

注1. RESFのリセット値は、リセット要因により変化します。

2. LVIMのリセット値は、リセット要因およびオプション・バイトの設定により変化します。

3. LVISのリセット値は、リセット要因により変化します。

4. WDTEのリセット値は、オプション・バイトの設定で決定します。

5. セルフ・プログラミング・ライブラリ内で使用するSFRのため、直接操作しないでください。

表3 - 5 SFR一覧 (5/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFFD0H	割り込み要求フラグ・レジスタ2L	IF2L	IF2	R/W				00H
FFFD1H	割り込み要求フラグ・レジスタ2H	IF2H		R/W				00H
FFFD4H	割り込みマスク・フラグ・レジスタ2L	MK2L	MK2	R/W				FFH
FFFD5H	割り込みマスク・フラグ・レジスタ2H	MK2H		R/W				FFH
FFFD8H	優先順位指定フラグ・レジスタ02L	PR02L	PR02	R/W				FFH
FFFD9H	優先順位指定フラグ・レジスタ02H	PR02H		R/W				FFH
FFFDCH	優先順位指定フラグ・レジスタ12L	PR12L	PR12	R/W				FFH
FFDDH	優先順位指定フラグ・レジスタ12H	PR12H		R/W				FFH
FFFE0H	割り込み要求フラグ・レジスタ0L	IF0L	IF0	R/W				00H
FFFE1H	割り込み要求フラグ・レジスタ0H	IF0H		R/W				00H
FFFE2H	割り込み要求フラグ・レジスタ1L	IF1L	IF1	R/W				00H
FFFE3H	割り込み要求フラグ・レジスタ1H	IF1H		R/W				00H
FFFE4H	割り込みマスク・フラグ・レジスタ0L	MK0L	MK0	R/W				FFH
FFFE5H	割り込みマスク・フラグ・レジスタ0H	MK0H		R/W				FFH
FFFE6H	割り込みマスク・フラグ・レジスタ1L	MK1L	MK1	R/W				FFH
FFFE7H	割り込みマスク・フラグ・レジスタ1H	MK1H		R/W				FFH
FFFE8H	優先順位指定フラグ・レジスタ00L	PR00L	PR00	R/W				FFH
FFFE9H	優先順位指定フラグ・レジスタ00H	PR00H		R/W				FFH
FFFEAH	優先順位指定フラグ・レジスタ01L	PR01L	PR01	R/W				FFH
FFFE BH	優先順位指定フラグ・レジスタ01H	PR01H		R/W				FFH
FFFECH	優先順位指定フラグ・レジスタ10L	PR10L	PR10	R/W				FFH
FFFE DH	優先順位指定フラグ・レジスタ10H	PR10H		R/W				FFH
FFFE EH	優先順位指定フラグ・レジスタ11L	PR11L	PR11	R/W				FFH
FFFE FH	優先順位指定フラグ・レジスタ11H	PR11H		R/W				FFH
FFFF0H	乗除算データ・レジスタA (L)	MDAL/MULA		R/W	-	-		0000H
FFFF1H								
FFFF2H	乗除算データ・レジスタA (H)	MDAH/MULB		R/W	-	-		0000H
FFFF3H								
FFFF4H	乗除算データ・レジスタB (H)	MDBH/ MULOH		R/W	-	-		0000H
FFFF5H								
FFFF6H	乗除算データ・レジスタB (L)	MDBL/ MULOL		R/W	-	-		0000H
FFFF7H								
FFFFEH	プロセッサ・モード・コントロール・レジスタ	PMC		R/W			-	00H

備考 拡張SFR (2nd SFR) については、表3 - 6 拡張SFR (2nd SFR) 一覧を参照してください。

3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)

拡張SFR (2nd SFR) は、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

拡張SFR空間は、F0000H-F07FFHの領域です。SFR領域 (FFF00H-FFFFFH) 以外のSFRが割り付けられています。ただし、拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

拡張SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各拡張SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- **1ビット操作**

1ビット操作命令のオペランド (!addr16.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- **8ビット操作**

8ビット操作命令のオペランド (!addr16) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- **16ビット操作**

16ビット操作命令のオペランド (!addr16) にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 6に拡張SFRの一覧を示します。表中の項目の意味は次のとおりです。

- **略号**

拡張SFRのアドレスを示す略号です。RA78K0Rで予約語に、CC78K0Rでは#pragma sfr指令で、sfr変数として定義されているものです。RA78K0R、ID78K0R-QBおよびSM+ for 78K0R使用時に命令のオペランドとして記述できます。

- **R/W**

該当する拡張SFRが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- **操作可能ビット単位**

操作可能なビット単位 (1, 8, 16) を で示します。 - は操作できないビット単位であることを示します。

- **リセット時**

リセット信号発生時の各レジスタの状態を示します。

注意 2nd SFRが割り付けられていないアドレスにアクセスしないでください。

備考 SFR領域のSFRについては、3.2.4 **特殊機能レジスタ (SFR : Special Function Register)** を参照してください。

表3-6 拡張SFR (2nd SFR) 一覧 (1/7)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0017H	A/Dポート・コンフィギュレーション・レジスタ	ADPC		R/W	-		-	10H
F0030H	ブルアップ抵抗オプション・レジスタ0	PU0		R/W			-	00H
F0031H	ブルアップ抵抗オプション・レジスタ1	PU1		R/W			-	00H
F0033H	ブルアップ抵抗オプション・レジスタ3	PU3		R/W			-	00H
F0034H	ブルアップ抵抗オプション・レジスタ4	PU4		R/W			-	00H
F0035H	ブルアップ抵抗オプション・レジスタ5	PU5		R/W			-	00H
F0036H	ブルアップ抵抗オプション・レジスタ6	PU6		R/W			-	00H
F0037H	ブルアップ抵抗オプション・レジスタ7	PU7		R/W			-	00H
F0038H	ブルアップ抵抗オプション・レジスタ8 ^注	PU8		R/W			-	00H
F0039H	ブルアップ抵抗オプション・レジスタ9	PU9		R/W			-	00H
F003BH	ブルアップ抵抗オプション・レジスタ11	PU11		R/W			-	00H
F003CH	ブルアップ抵抗オプション・レジスタ12	PU12		R/W			-	00H
F003DH	ブルアップ抵抗オプション・レジスタ13 ^注	PU13		R/W			-	00H
F003EH	ブルアップ抵抗オプション・レジスタ14	PU14		R/W			-	00H
F0040H	ポート入力モード・レジスタ0	PIM0		R/W			-	00H
F0041H	ポート入力モード・レジスタ1	PIM1		R/W			-	00H
F0046H	ポート入力モード・レジスタ6	PIM6		R/W			-	00H
F004EH	ポート入力モード・レジスタ14	PIM14		R/W			-	00H
F0050H	ポート出力モード・レジスタ0	POM0		R/W			-	00H
F0051H	ポート出力モード・レジスタ1	POM1		R/W			-	00H
F005EH	ポート出力モード・レジスタ14	POM14		R/W			-	00H
F0060H	ノイズ・フィルタ許可レジスタ0	NFEN0		R/W			-	00H
F0061H	ノイズ・フィルタ許可レジスタ1	NFEN1		R/W			-	00H
F0062H	ノイズ・フィルタ許可レジスタ2	NFEN2		R/W			-	00H
F0076H	ポート・ファンクション・レジスタ6	PF6		R/W			-	00H
F007BH	ポート・ファンクション・レジスタ11	PF11		R/W			-	00H
F00E0H	乗除算データ・レジスタC (L)	MDCL		R	-	-		0000H
F00E2H	乗除算データ・レジスタC (H)	MDCH		R	-	-		0000H
F00E8H	乗除算コントロール・レジスタ	MDUC		R/W			-	00H
F00F0H	周辺イネーブル・レジスタ0	PER0		R/W			-	00H
F00F1H	周辺イネーブル・レジスタ1	PER1		R/W			-	00H
F00F3H	動作スピード・モード制御レジスタ	OSMC		R/W	-		-	00H
F00F4H	レギュレータ・モード制御レジスタ	RMC		R/W	-		-	00H
F00F6H	20 MHz高速内蔵発振制御レジスタ	DSCCTL		R/W			-	00H
F00FEH	BCD補正結果レジスタ	BCDADJ		R	-		-	不定
F0100H	シリアル・ステータス・レジスタ00	SSR00L	SSR00	R	-			0000H
F0101H		-			-	-		
F0102H	シリアル・ステータス・レジスタ01	SSR01L	SSR01	R	-			0000H
F0103H		-			-	-		
F0104H	シリアル・ステータス・レジスタ02	SSR02L	SSR02	R	-			0000H
F0105H		-			-	-		

注 78K0R/KG3-Cのみ

表3-6 拡張SFR (2nd SFR) 一覧 (2/7)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0106H	シリアル・ステータス・レジスタ03	SSR03L	SSR03	R	-		0000H	
F0107H		-			-			
F0108H	シリアル・フラグ・クリア・トリガ・レジスタ00	SIR00L	SIR00	R/W	-		0000H	
F0109H		-			-			
F010AH	シリアル・フラグ・クリア・トリガ・レジスタ01	SIR01L	SIR01	R/W	-		0000H	
F010BH		-			-			
F010CH	シリアル・フラグ・クリア・トリガ・レジスタ02	SIR02L	SIR02	R/W	-		0000H	
F010DH		-			-			
F010EH	シリアル・フラグ・クリア・トリガ・レジスタ03	SIR03L	SIR03	R/W	-		0000H	
F010FH		-			-			
F0110H	シリアル・モード・レジスタ00	SMR00		R/W	-	-	0020H	
F0111H								
F0112H	シリアル・モード・レジスタ01	SMR01		R/W	-	-	0020H	
F0113H								
F0114H	シリアル・モード・レジスタ02	SMR02		R/W	-	-	0020H	
F0115H								
F0116H	シリアル・モード・レジスタ03	SMR03		R/W	-	-	0020H	
F0117H								
F0118H	シリアル通信動作設定レジスタ00	SCR00		R/W	-	-	0087H	
F0119H								
F011AH	シリアル通信動作設定レジスタ01	SCR01		R/W	-	-	0087H	
F011BH								
F011CH	シリアル通信動作設定レジスタ02	SCR02		R/W	-	-	0087H	
F011DH								
F011EH	シリアル通信動作設定レジスタ03	SCR03		R/W	-	-	0087H	
F011FH								
F0120H	シリアル・チャンネル許可ステータス・レジスタ0	SE0L	SE0	R			0000H	
F0121H		-			-			
F0122H	シリアル・チャンネル開始レジスタ0	SS0L	SS0	R/W			0000H	
F0123H		-			-			
F0124H	シリアル・チャンネル停止レジスタ0	ST0L	ST0	R/W			0000H	
F0125H		-			-			
F0126H	シリアル・クロック選択レジスタ0	SPS0L	SPS0	R/W	-		0000H	
F0127H		-			-			
F0128H	シリアル出力レジスタ0	SO0		R/W	-	-	0F0FH	
F0129H								
F012AH	シリアル出力許可レジスタ0	SOE0L	SOE0	R/W			0000H	
F012BH		-			-			
F0134H	シリアル出力レベル・レジスタ0	SOL0L	SOL0	R/W	-		0000H	
F0135H		-			-			
F0140H	シリアル・ステータス・レジスタ10	SSR10L	SSR10	R	-		0000H	
F0141H		-			-			

表3 - 6 拡張SFR (2nd SFR) 一覧 (3/7)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0142H	シリアル・ステータス・レジスタ11	SSR11L	SSR11	R	-		0000H	
F0143H		-			-			
F0148H	シリアル・フラグ・クリア・トリガ・レジスタ10	SIR10L	SIR10	R/W	-		0000H	
F0149H		-			-			
F014AH	シリアル・フラグ・クリア・トリガ・レジスタ11	SIR11L	SIR11	R/W	-		0000H	
F014BH		-			-			
F0150H	シリアル・モード・レジスタ10	SMR10		R/W	-	-	0020H	
F0151H								
F0152H	シリアル・モード・レジスタ11	SMR11		R/W	-	-	0020H	
F0153H								
F0158H	シリアル通信動作設定レジスタ10	SCR10		R/W	-	-	0087H	
F0159H								
F015AH	シリアル通信動作設定レジスタ11	SCR11		R/W	-	-	0087H	
F015BH								
F0160H	シリアル・チャンネル許可ステータス・レジスタ1	SE1L	SE1	R			0000H	
F0161H		-			-			
F0162H	シリアル・チャンネル開始レジスタ1	SS1L	SS1	R/W			0000H	
F0163H		-			-			
F0164H	シリアル・チャンネル停止レジスタ1	ST1L	ST1	R/W			0000H	
F0165H		-			-			
F0166H	シリアル・クロック選択レジスタ1	SPS1L	SPS1	R/W	-		0000H	
F0167H		-			-			
F0168H	シリアル出力レジスタ1	SO1		R/W	-	-	0F0FH	
F0169H								
F016AH	シリアル出力許可レジスタ1	SOE1L	SOE1	R/W			0000H	
F016BH		-			-			
F0174H	シリアル出力レベル・レジスタ1	SOL1L	SOL1	R/W	-		0000H	
F0175H		-			-			
F0180H	タイマ・カウンタ・レジスタ00	TCR00		R	-	-	FFFFH	
F0181H								
F0182H	タイマ・カウンタ・レジスタ01	TCR01		R	-	-	FFFFH	
F0183H								
F0184H	タイマ・カウンタ・レジスタ02	TCR02		R	-	-	FFFFH	
F0185H								
F0186H	タイマ・カウンタ・レジスタ03	TCR03		R	-	-	FFFFH	
F0187H								
F0188H	タイマ・カウンタ・レジスタ04	TCR04		R	-	-	FFFFH	
F0189H								
F018AH	タイマ・カウンタ・レジスタ05	TCR05		R	-	-	FFFFH	
F018BH								
F018CH	タイマ・カウンタ・レジスタ06	TCR06		R	-	-	FFFFH	
F018DH								

表3-6 拡張SFR (2nd SFR) 一覧 (4/7)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F018EH	タイマ・カウンタ・レジスタ07	TCR07		R	-	-		FFFFH
F018FH								
F0190H	タイマ・モード・レジスタ00	TMR00		R/W	-	-		0000H
F0191H								
F0192H	タイマ・モード・レジスタ01	TMR01		R/W	-	-		0000H
F0193H								
F0194H	タイマ・モード・レジスタ02	TMR02		R/W	-	-		0000H
F0195H								
F0196H	タイマ・モード・レジスタ03	TMR03		R/W	-	-		0000H
F0197H								
F0198H	タイマ・モード・レジスタ04	TMR04		R/W	-	-		0000H
F0199H								
F019AH	タイマ・モード・レジスタ05	TMR05		R/W	-	-		0000H
F019BH								
F019CH	タイマ・モード・レジスタ06	TMR06		R/W	-	-		0000H
F019DH								
F019EH	タイマ・モード・レジスタ07	TMR07		R/W	-	-		0000H
F019FH								
F01A0H	タイマ・ステータス・レジスタ00	TSR00L	TSR00	R	-	-		0000H
F01A1H		-			-			
F01A2H	タイマ・ステータス・レジスタ01	TSR01L	TSR01	R	-	-		0000H
F01A3H		-			-			
F01A4H	タイマ・ステータス・レジスタ02	TSR02L	TSR02	R	-	-		0000H
F01A5H		-			-			
F01A6H	タイマ・ステータス・レジスタ03	TSR03L	TSR03	R	-	-		0000H
F01A7H		-			-			
F01A8H	タイマ・ステータス・レジスタ04	TSR04L	TSR04	R	-	-		0000H
F01A9H		-			-			
F01AAH	タイマ・ステータス・レジスタ05	TSR05L	TSR05	R	-	-		0000H
F01ABH		-			-			
F01ACH	タイマ・ステータス・レジスタ06	TSR06L	TSR06	R	-	-		0000H
F01ADH		-			-			
F01AEH	タイマ・ステータス・レジスタ07	TSR07L	TSR07	R	-	-		0000H
F01AFH		-			-			
F01B0H	タイマ・チャンネル許可ステータス・レジスタ0	TE0L	TE0	R	-	-		0000H
F01B1H		-			-			
F01B2H	タイマ・チャンネル開始レジスタ0	TS0L	TS0	R/W	-	-		0000H
F01B3H		-			-			
F01B4H	タイマ・チャンネル停止レジスタ0	TT0L	TT0	R/W	-	-		0000H
F01B5H		-			-			
F01B6H	タイマ・クロック選択レジスタ0	TPS0L	TPS0	R/W	-	-		0000H
F01B7H		-			-			

表3 - 6 拡張SFR (2nd SFR) 一覧 (5/7)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F01B8H	タイマ出力レジスタ0	TO0L	TO0	R/W	-		0000H	
F01B9H		-			-			
F01BAH	タイマ出力許可レジスタ0	TOE0L	TOE0	R/W			0000H	
F01BBH		-			-			
F01BCH	タイマ出力レベル・レジスタ0	TOL0L	TOL0	R/W	-		0000H	
F01BDH		-			-			
F01BEH	タイマ出力モード・レジスタ0	TOM0L	TOM0	R/W	-		0000H	
F01BFH		-			-			
F01C0H	タイマ・カウンタ・レジスタ10	TCR10		R	-	-	FFFFH	
F01C1H								
F01C2H	タイマ・カウンタ・レジスタ11	TCR11		R	-	-	FFFFH	
F01C3H								
F01C4H	タイマ・カウンタ・レジスタ12	TCR12		R	-	-	FFFFH	
F01C5H								
F01C8H	タイマ・モード・レジスタ10	TMR10		R/W	-	-	0000H	
F01C9H								
F01CAH	タイマ・モード・レジスタ11	TMR11		R/W	-	-	0000H	
F01CBH								
F01CCH	タイマ・モード・レジスタ12	TMR12		R/W	-	-	0000H	
F01CDH								
F01D0H	タイマ・ステータス・レジスタ10	TSR10L	TSR10	R	-		0000H	
F01D1H		-			-			
F01D2H	タイマ・ステータス・レジスタ11	TSR11L	TSR11	R	-		0000H	
F01D3H		-			-			
F01D4H	タイマ・ステータス・レジスタ12	TSR12L	TSR12	R	-		0000H	
F01D5H		-			-			
F01D8H	タイマ・チャンネル許可ステータス・レジスタ1	TE1L	TE1	R			0000H	
F01D9H		-			-			
F01DAH	タイマ・チャンネル開始レジスタ1	TS1L	TS1	R/W			0000H	
F01DBH		-			-			
F01DCH	タイマ・チャンネル停止レジスタ1	TT1L	TT1	R/W			0000H	
F01DDH		-			-			
F01DEH	タイマ・クロック選択レジスタ1	TPS1L	TPS1	R/W	-		0000H	
F01DFH		-			-			
F01E0H	タイマ出力レジスタ1	TO1L	TO1	R/W	-		0000H	
F01E1H		-			-			

表3 - 6 拡張SFR (2nd SFR) 一覧 (6/7)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F01E2H	タイマ出力許可レジスタ1	TOE1L	TOE1	R/W				0000H
F01E3H		-			-	-		
F01E4H	タイマ出力レベル・レジスタ1	TOL1L	TOL1	R/W	-			0000H
F01E5H		-			-	-		
F01E6H	タイマ出力モード・レジスタ1	TOM1L	TOM1	R/W	-			0000H
F01E7H		-			-	-		
F0230H	IICAコントロール・レジスタ0	IICCTL0		R/W			-	00H
F0231H	IICAコントロール・レジスタ1	IICCTL1		R/W			-	00H
F0232H	IICAロウ・レベル幅設定レジスタ	IICWL		R/W	-		-	FFH
F0233H	IICAハイ・レベル幅設定レジスタ	IICWH		R/W	-		-	FFH
F0234H	スレーブ・アドレス・レジスタ	SVA		R/W	-		-	00H
F0300H	CEC自局アドレス設定レジスタ	CADR		R/W	-	-		0000H
F0302H	CECコントロール・レジスタ1	CECCTL1		R/W			-	00H
F0304H	CEC送信スタート・ビットのビット幅設定レジスタ	STATB		R/W	-	-		0000H
F0306H	CEC送信スタート・ビットのロウ幅設定レジスタ	STATL		R/W	-	-		0000H
F0308H	CEC送信ロジカル0のロウ幅設定レジスタ	LGC0L		R/W	-	-		0000H
F030AH	CEC送信ロジカル1のロウ幅設定レジスタ	LGC1L		R/W	-	-		0000H
F030CH	CEC送信データ・ビットのビット幅設定レジスタ	DATB		R/W	-	-		0000H
F030EH	CEC受信データ・サンプリング時間設定レジスタ	NOMT		R/W	-	-		0000H
F0310H	CEC受信スタート・ビット・ロウ幅のMIN.値設定レジスタ	STATLL		R/W	-	-		0000H
F0312H	CEC受信スタート・ビット・ロウ幅のMAX.値設定レジスタ	STATLH		R/W	-	-		0000H
F0314H	CEC受信スタート・ビットのビット幅のMIN.値設定レジスタ	STATBL		R/W	-	-		0000H
F0316H	CEC受信スタート・ビットのビット幅のMAX.値設定レジスタ	STATBH		R/W	-	-		0000H
F0318H	CEC受信ロジカル0のロウ幅のMIN.値設定レジスタ	LGC0LL		R/W	-	-		0000H
F031AH	CEC受信ロジカル0のロウ幅のMAX.値設定レジスタ	LGC0LH		R/W	-	-		0000H
F031CH	CEC受信ロジカル1のロウ幅のMIN.値設定レジスタ	LGC1LL		R/W	-	-		0000H
F031EH	CEC受信ロジカル1のロウ幅のMAX.値設定レジスタ	LGC1LH		R/W	-	-		0000H
F0320H	CEC受信データ・ビットのビット幅のMIN.値設定レジスタ	DATBL		R/W	-	-		0000H
F0322H	CEC受信データ・ビットのビット幅のMAX.値設定レジスタ	DATBH		R/W	-	-		0000H
F0324H	CECデータ・ビット基準幅設定レジスタ	NOMP		R/W	-	-		0000H
F0330H	リモコン受信制御1レジスタ02	RMCN102		R/W			-	00H
F0331H	リモコン受信制御2レジスタ02	RMCN202		R/W			-	00H
F0332H	リモコン受信GPBSコンペア・レジスタ02	RMGPBS02		R/W	-	-		0000H
	リモコン受信GPLSコンペア・レジスタ02	RMGPLS02		R/W	-	-		00H
F0333H	リモコン受信GPLLコンペア・レジスタ02	RMGPLL02		R/W	-	-		00H

表3-6 拡張SFR (2nd SFR) 一覧 (7/7)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0334H	リモコン受信GPBLコンペア・レジスタ02	RMGPBL02	R/W	-	-		0000H
	リモコン受信GPHSコンペア・レジスタ02	RMGPHS02	R/W	-		-	00H
F0335H	リモコン受信GPHLコンペア・レジスタ02	RMGPHL02	R/W	-		-	00H
F0336H	リモコン受信DB0Sコンペア・レジスタ02	RMDB0S02	R/W	-	-		0000H
	リモコン受信DLSコンペア・レジスタ02	RMDLS02	R/W	-		-	00H
F0337H	リモコン受信DLLコンペア・レジスタ02	RMDLL02	R/W	-		-	00H
F0338H	リモコン受信DB0Lコンペア・レジスタ02	RMDB0L02	R/W	-	-		0000H
	リモコン受信DH0Sコンペア・レジスタ02	RMDH0S02	R/W	-		-	00H
F0339H	リモコン受信DH0Lコンペア・レジスタ02	RMDH0L02	R/W	-		-	00H
F033AH	リモコン受信DB1Sコンペア・レジスタ02	RMDB1S02	R/W	-	-		0000H
	リモコン受信DH1Sコンペア・レジスタ02	RMDH1S02	R/W	-		-	00H
F033BH	リモコン受信DH1Lコンペア・レジスタ02	RMDH1L02	R/W	-		-	00H
F033CH	リモコン受信DB1Lコンペア・レジスタ02	RMDB1L02	R/W	-	-		0000H
F033EH	リモコン受信エンド幅選択レジスタL02	RMERL02	R/W	-		-	00H
F033FH	リモコン受信エンド幅選択レジスタH02	RMERH02	R/W	-		-	00H
F0340H	リモコン受信ノイズ除去期間設定レジスタ02	RMNCP102	R/W	-		-	00H
F0342H	リモコン受信制御1レジスタ13	RMCN113	R/W			-	00H
F0343H	リモコン受信制御2レジスタ13	RMCN213	R/W			-	00H
F0344H	リモコン受信GPBSコンペア・レジスタ13	RMGPBS13	R/W	-	-		0000H
	リモコン受信GPLSコンペア・レジスタ13	RMGPLS13	R/W	-		-	00H
F0345H	リモコン受信GPLLコンペア・レジスタ13	RMGPLL13	R/W	-		-	00H
F0346H	リモコン受信GPBLコンペア・レジスタ13	RMGPBL13	R/W	-	-		0000H
	リモコン受信GPHSコンペア・レジスタ13	RMGPHS13	R/W	-		-	00H
F0347H	リモコン受信GPHLコンペア・レジスタ13	RMGPHL13	R/W	-		-	00H
F0348H	リモコン受信DB0Sコンペア・レジスタ13	RMDB0S13	R/W	-	-		0000H
	リモコン受信DLSコンペア・レジスタ13	RMDLS13	R/W	-		-	00H
F0349H	リモコン受信DLLコンペア・レジスタ13	RMDLL13	R/W	-		-	00H
F034AH	リモコン受信DB0Lコンペア・レジスタ13	RMDB0L13	R/W	-	-		0000H
	リモコン受信DH0Sコンペア・レジスタ13	RMDH0S13	R/W	-		-	00H
F034BH	リモコン受信DH0Lコンペア・レジスタ13	RMDH0L13	R/W	-		-	00H
F034CH	リモコン受信DB1Sコンペア・レジスタ13	RMDB1S13	R/W	-	-		0000H
	リモコン受信DH1Sコンペア・レジスタ13	RMDH1S13	R/W	-		-	00H
F034DH	リモコン受信DH1Lコンペア・レジスタ13	RMDH1L13	R/W	-		-	00H
F034EH	リモコン受信DB1Lコンペア・レジスタ13	RMDB1L13	R/W	-	-		0000H
F0350H	リモコン受信エンド幅選択レジスタL13	RMERL13	R/W	-		-	00H
F0351H	リモコン受信エンド幅選択レジスタH13	RMERH13	R/W	-		-	00H
F0352H	リモコン受信ノイズ除去期間設定レジスタ13	RMNCP113	R/W	-		-	00H
F0353H	リモコン受信データ・スルー制御レジスタ	RMSW	R/W	-		-	00H

備考 SFR領域のSFRについては、表3-5 SFR一覧を参照してください。

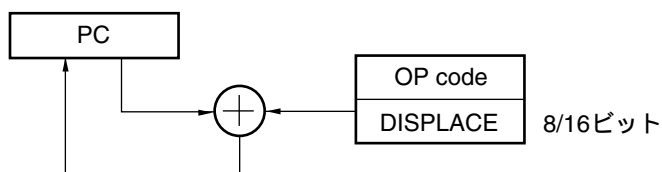
3.3 命令アドレスのアドレッシング

3.3.1 レラティブ・アドレッシング

【機能】

プログラム・カウンタ（PC）の値（次に続く命令の先頭アドレス）に対し、命令語に含まれるディスプレイメント値（符号付きの補数データ：-128～+127または-32768～+32767）を加算した結果を、プログラム・カウンタ（PC）に格納し分岐先プログラム・アドレスを指定するアドレッシングです。レラティブ・アドレッシングは分岐命令のみに適用されます。

図3 - 12 レラティブ・アドレッシングの概略



3.3.2 イミーディエト・アドレッシング

【機能】

命令語中のイミーディエト・データをプログラム・カウンタに格納し、分岐先プログラム・アドレスを指定するアドレッシングです。

イミーディエト・アドレッシングには20ビットのアドレスを指定するCALL !!addr20 / BR !!addr20と、16ビットのアドレスを指定するCALL !addr16 / BR !addr16があります。16ビット・アドレスを指定する場合は上位4ビットには0000が入ります。

図3 - 13 CALL !!addr20/BR !!addr20の例

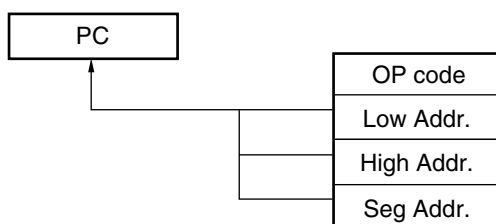
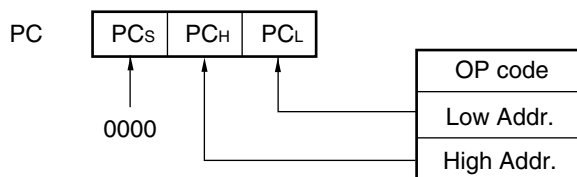


図3 - 14 CALL !addr16/BR !addr16の例



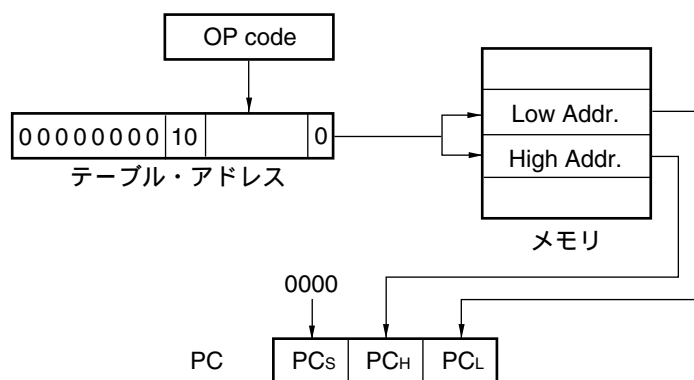
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令語中の5ビット・イミディエト・データによりCALLTテーブル領域(0080H-00BFH)内のテーブル・アドレスを指定し、その内容とそれに続くアドレスの内容を16ビット・データとしてプログラム・カウンタ(PC)に格納し、プログラム・アドレスを指定するアドレッシングです。テーブル・インダイレクト・アドレッシングはCALLT命令にのみ適用されます。

78K0Rマイクロコントローラでは、00000H-0FFFFHの64 Kバイト空間のみ分岐可能です。

図3 - 15 テーブル・インダイレクト・アドレッシングの概略

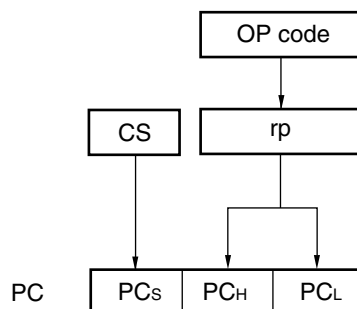


3.3.4 レジスタ・ダイレクト・アドレッシング

【機能】

命令語で指定されるカレント・レジスタ・バンク内の汎用レジスタ・ペア (AX/BC/DE/HL) とCSレジスタの内容を20ビット・データとしてプログラム・カウンタ (PC) に格納し、プログラム・アドレスを指定するアドレッシングです。レジスタ・ダイレクト・アドレッシングはCALL AX / BC / DE / HLとBR AX命令にのみ適用されます。

図3 - 16 レジスタ・ダイレクト・アドレッシングの概略



3.4 処理データ・アドレスに対するアドレッシング

3.4.1 インプライド・アドレッシング

【機能】

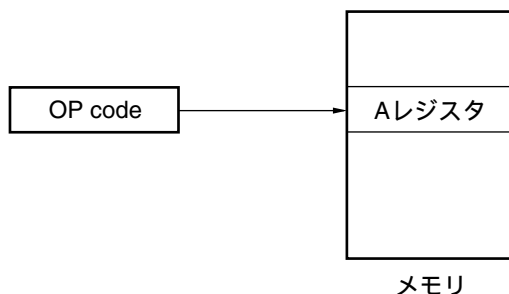
アキュムレータなどの特別な機能を与えられたレジスタをアクセスする命令は、命令語中にはレジスタ指定フィールドを持たず命令語で直接指定します。

【オペランド形式】

命令により自動的に使用できるため特定のオペランド形式を持ちません。

インプライド・アドレッシングはMULU Xのみに適用されます。

図3 - 17 インプライド・アドレッシングの概略



3.4.2 レジスタ・アドレッシング

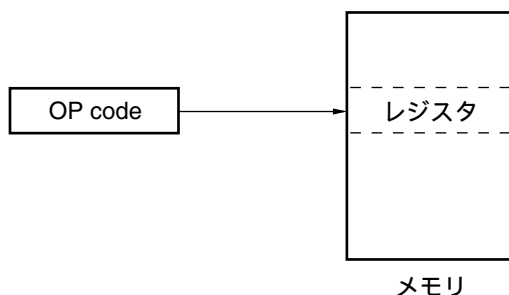
【機能】

汎用レジスタをオペランドとしてアクセスするアドレッシングです。8ビット・レジスタを指定する場合は命令語の3ビット、16ビット・レジスタを指定する場合は命令語の2ビットによりレジスタが選択されます。

【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

図3 - 18 レジスタ・アドレッシングの概略



3.4.3 ダイレクト・アドレッシング

【機能】

命令語中のイミディエト・データがオペランド・アドレスとなり，対象となるアドレスを直接指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
ADDR16	ラベルまたは16ビット・イミディエト・データ (F0000H-FFFFFH空間のみ指定可能)
ES:ADDR16	ラベルまたは16ビット・イミディエト・データ (ESレジスタにて上位4ビット・アドレス指定)

図3 - 19 ADDR16の例

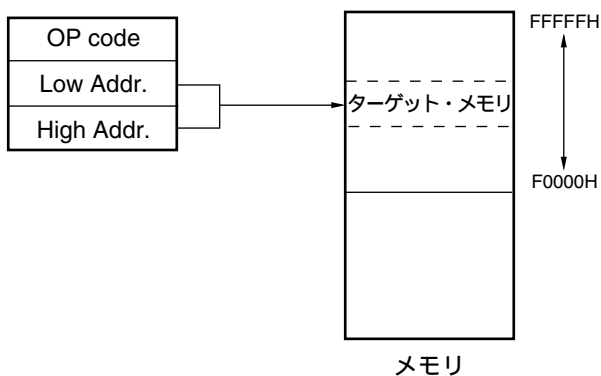
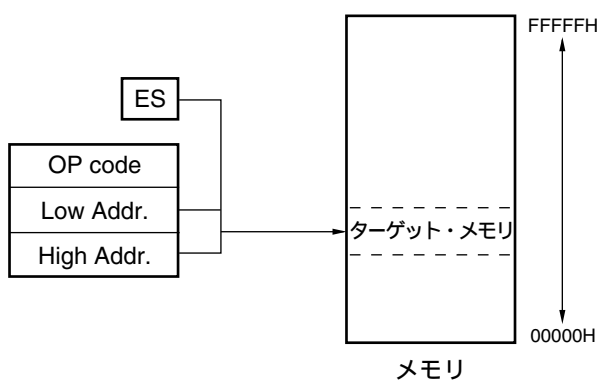


図3 - 20 ES:ADDR16の例



3.4.4 ショート・ダイレクト・アドレッシング

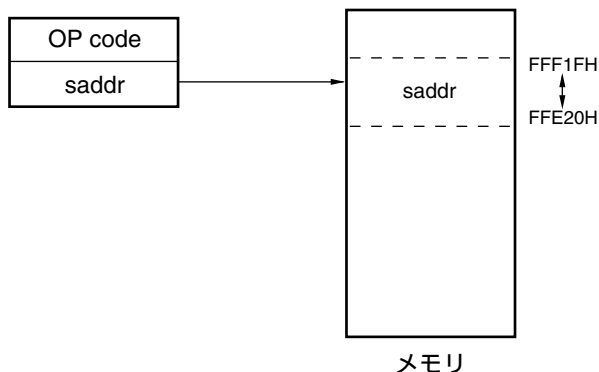
【機能】

命令語中の8ビット・データで対象となるアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFE20H-FFF1FHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SADDR	ラベルまたはFFE20H-FFF1FHのイミューディエト・データまたは0FE20H-0FF1FHのイミューディエト・データ (FFE20H-FFF1FH空間のみ指定可能)
SADDRP	ラベルまたはFFE20H-FFF1FHのイミューディエト・データまたは0FE20H-0FF1FHのイミューディエト・データ (偶数アドレスのみ) (FFE20H-FFF1FH空間のみ指定可能)

図3-21 ショート・ダイレクト・アドレッシングの概略



備考 SADDR, SADDRPは、(実アドレスの上位4ビット・アドレスを省略した) 16ビットのイミューディエト・データでFE20H-FF1FHの値を記述することができます。また、20ビットのイミューディエト・データでFFE20H-FFF1FHの値を記述することもできます。

ただし、どちらの形式で書いても、メモリはFFE20H-FFF1FH空間のアドレスが指定されます。

3.4.5 SFRアドレッシング

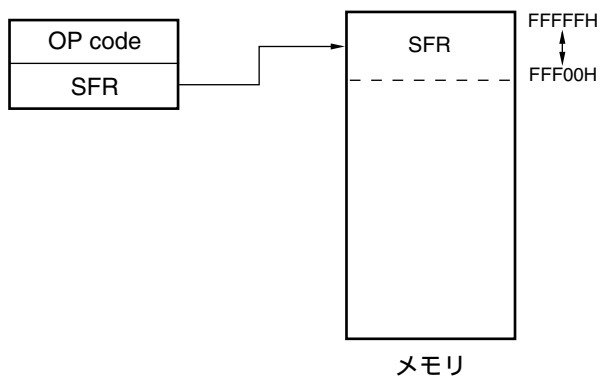
【機能】

命令語中の8ビット・データで対象となるSFRアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFF00H-FFFFFHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SFR	SFRレジスタ名
SFRP	16ビット操作可能なSFRレジスタ名（偶数アドレスのみ）

図3 - 22 SFRアドレッシングの概略



3.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されたレジスタ・ペアの内容がオペランド・アドレスになり，対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
-	[DE] , [HL] (F0000H-FFFFFH空間のみ指定可能)
-	ES:[DE] , ES:[HL] (ESレジスタにて上位4ビット・アドレス指定)

図3 - 23 [DE] , [HL]の例

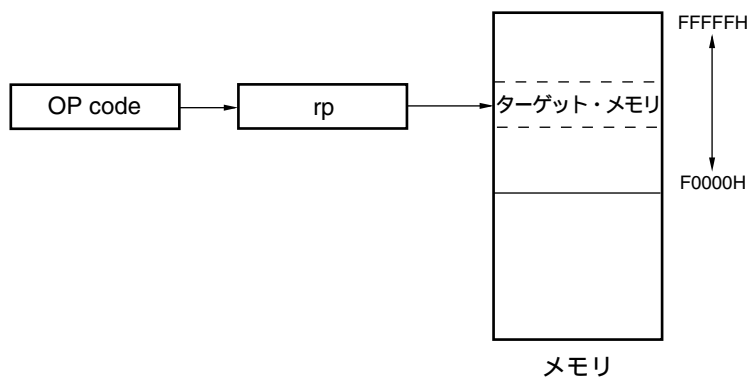
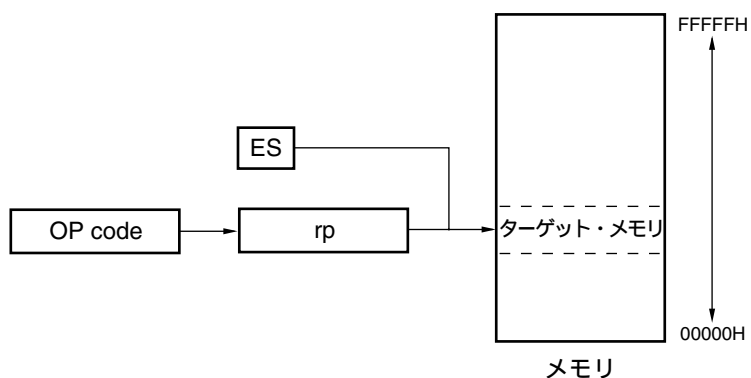


図3 - 24 ES:[DE] , ES:[HL]の例



3.4.7 ベース・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし、8ビット・イミディエト・データまたは16ビット・イミディエト・データをオフセット・データとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
-	[HL + byte], [DE + byte], [SP + byte] (F0000H-FFFFFH空間のみ指定可能)
-	word[B], word[C] (F0000H-FFFFFH空間のみ指定可能)
-	word[BC] (F0000H-FFFFFH空間のみ指定可能)
-	ES:[HL + byte], ES:[DE + byte] (ESレジスタにて上位4ビット・アドレス指定)
-	ES:word[B], ES:word[C] (ESレジスタにて上位4ビット・アドレス指定)
-	ES:word[BC] (ESレジスタにて上位4ビット・アドレス指定)

図3 - 25 [SP+byte]の例

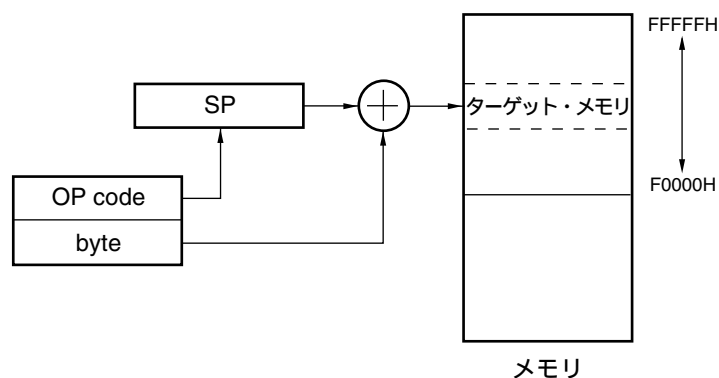


図3 - 26 [HL+byte], [DE+byte]の例

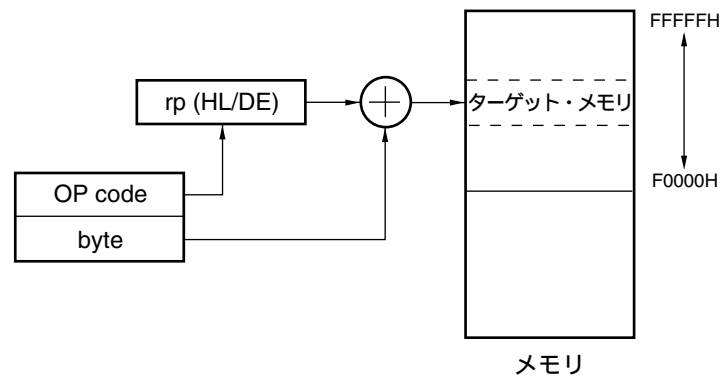


図3 - 27 word[B], word[C]の例

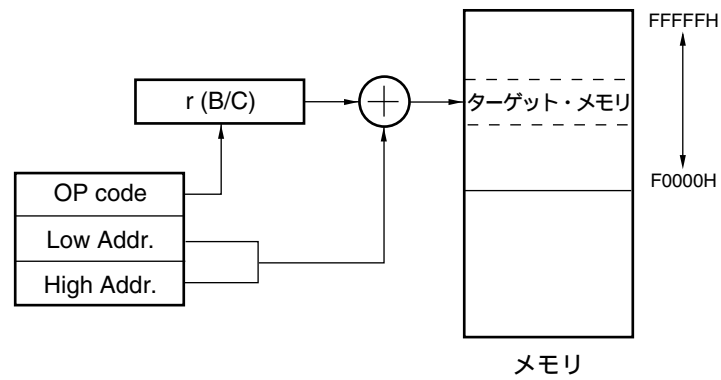


図3 - 28 word[BC]の例

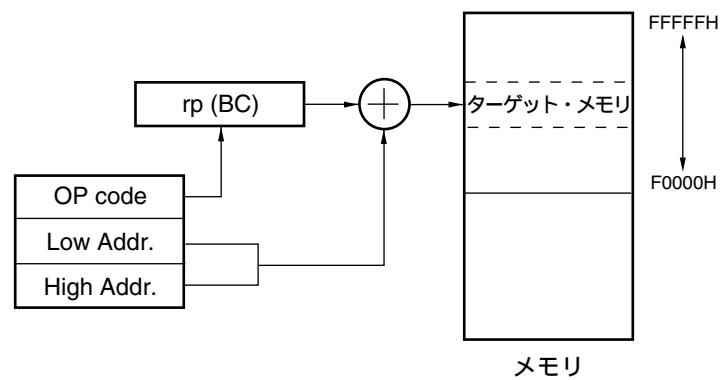


図3 - 29 ES:[HL+byte] , ES:[DE+byte]の例

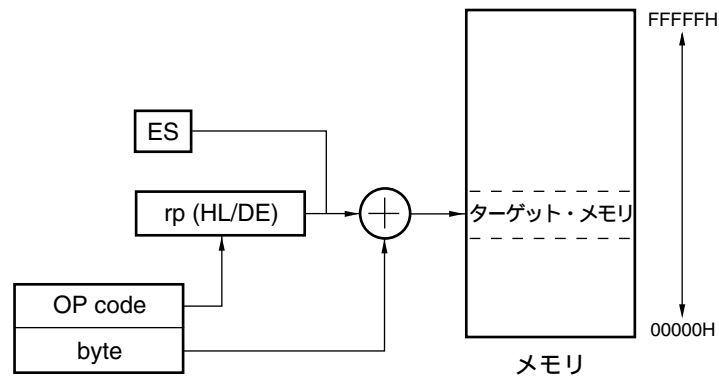


図3 - 30 ES:word[B] , ES:word[C]の例

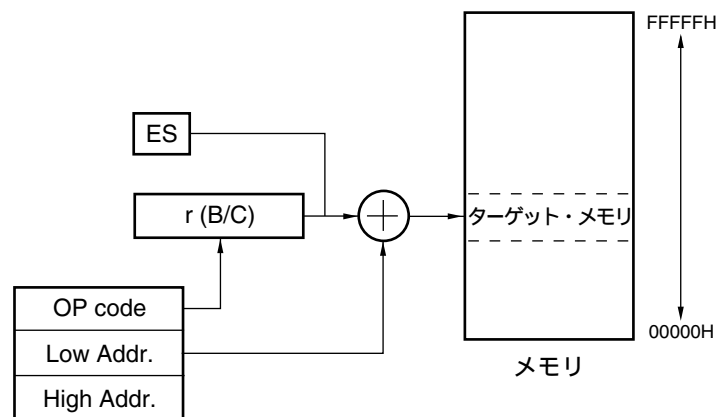
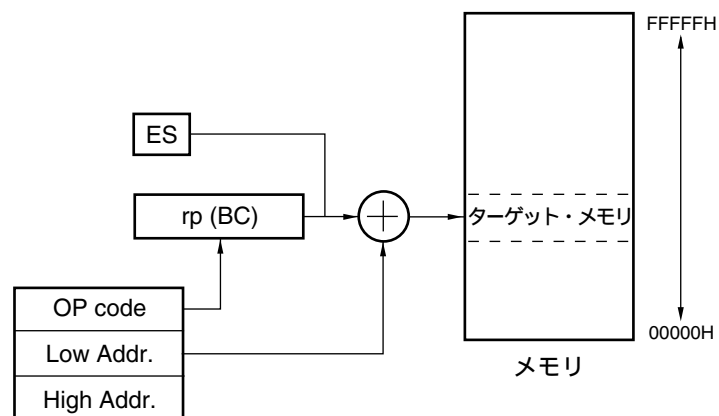


図3 - 31 ES:word[BC]の例



3.4.8 ベース・インデクスト・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし、同様に命令語で指定されるBレジスタまたはCレジスタの内容をオフセット・アドレスとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
-	[HL + B] , [HL + C] (F0000H-FFFFFH空間のみ指定可能)
-	ES:[HL + B] , ES:[HL + C] (ESレジスタにて上位4ビット・アドレス指定)

図3 - 32 [HL+B] , [HL+C]の例

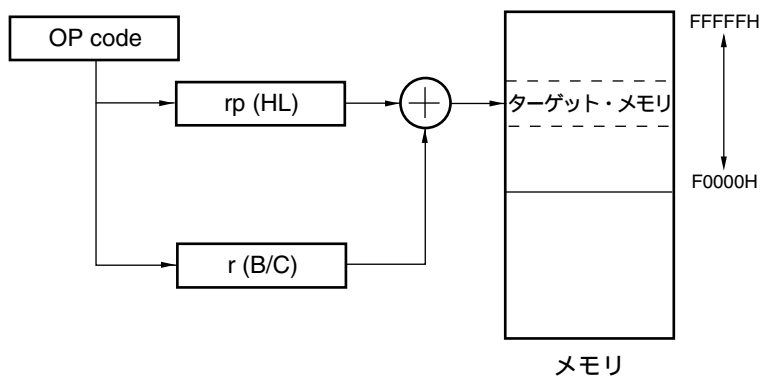
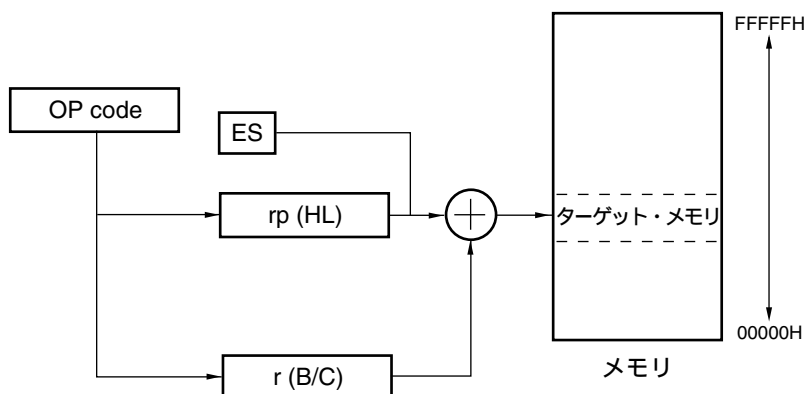


図3 - 33 ES:[HL+B] , ES:[HL+C]の例



3.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ(SP)の内容によりスタック領域を間接的に指定するアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時, および割り込み要求発生によるレジスタの退避/復帰時に自動的に用いられます。

スタック・アクセスは内部RAMのみに用いられます。

【オペランド形式】

表現形式	記述方法
-	PUSH AX/BC/DE/HL POP AX/BC/DE/HL CALL/CALLT RET BRK RETB (割り込み要求発生) RETI

第4章 ポート機能

4.1 ポートの機能

ポート端子の入出力バッファ電源は、製品によって異なります。それぞれの電源と端子の関係を次に示します。

表4 - 1 各端子の入出力バッファ電源 (AVREF, EVDD, VDD)

・78K0R/KF3-C : 80ピン・プラスチックLQFP (ファインピッチ) (12 x 12)

電源	対応する端子
AVREF	P20-P27, P150-P153
EVDD	<ul style="list-style-type: none"> ・ P20-P27, P121-P124, P150-P153以外のポート端子 ・ RESET端子, FLMD0端子
VDD	<ul style="list-style-type: none"> ・ P121-P124 ・ ポート以外の端子 (RESET端子, FLMD0端子を除く)

表4 - 2 各端子の入出力バッファ電源 (AVREF, EVDD0, EVDD1, VDD)

・78K0R/KG3-C : 100ピン・プラスチックLQFP (ファインピッチ) (14 x 14)

電源	対応する端子
AVREF	P20-P27, P150-P157
EVDD0, EVDD1	<ul style="list-style-type: none"> ・ P20-P27, P121-P124, P150-P157以外のポート端子 ・ RESET端子, FLMD0端子
VDD	<ul style="list-style-type: none"> ・ P121-P124 ・ ポート以外の端子 (RESET端子, FLMD0端子を除く)

78K0R/Kx3-Cは、図4 - 1と図4 - 2に示すデジタル入出力ポートを備えており、多様な制御を行うことができます。各ポートの機能は表4 - 3のとおりです。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、第2章端子機能を参照してください。

図4 - 1 ポートの種類 (78K0R/KF3-C)

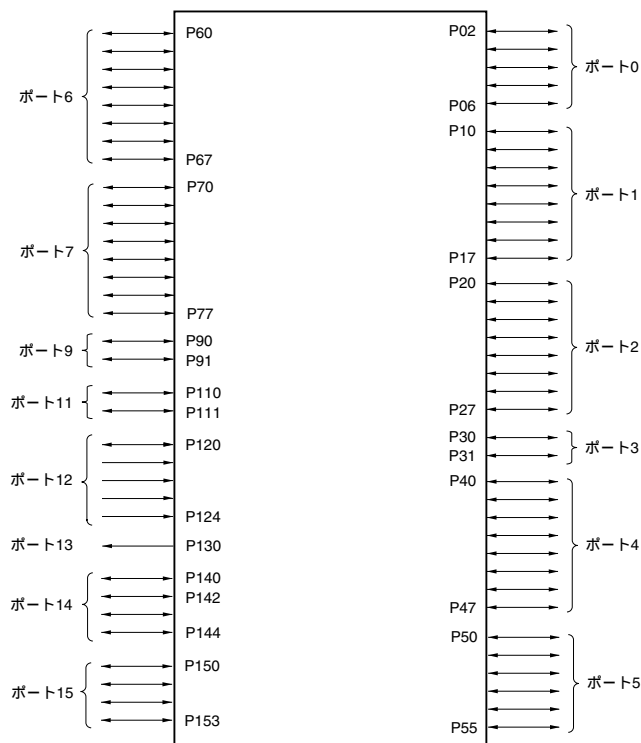


図4 - 2 ポートの種類 (78K0R/KG3-C)

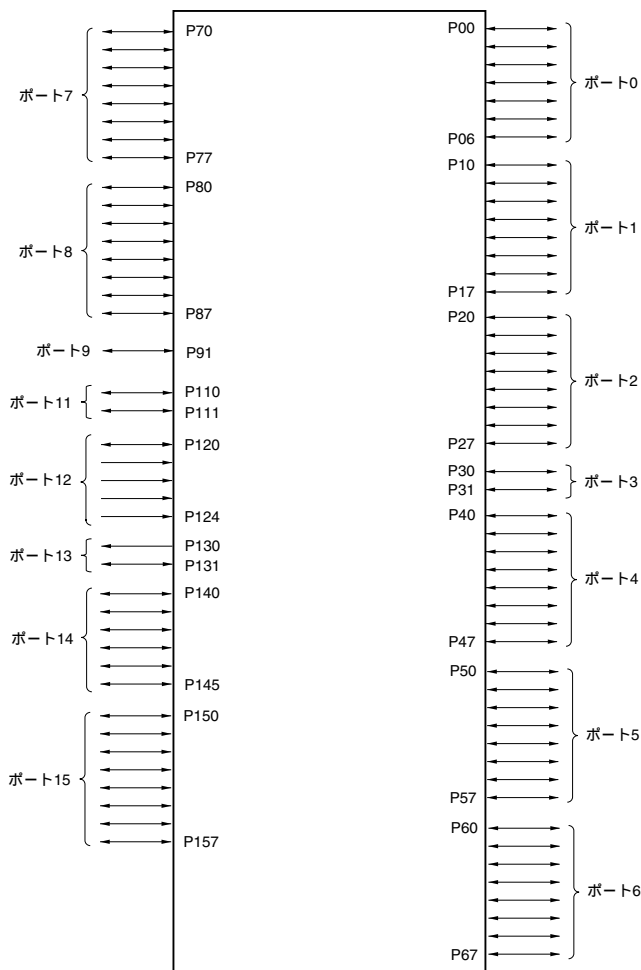


表4-3 ポートの機能(1/3)

KF3-C	KG3-C	機能名称	入出力	機能	リセット時	兼用機能	
						KF3-C	KG3-C
x		P00	入出力	ポート0。 入出力ポート。 P03, P04の入力はTTL入力バッファに設定可能。 P02-P04の出力はN-chオープン・ドレイン出力(V_{DD} 耐圧)に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により,内蔵プルアップ抵抗を使用可能。	入力ポート	-	TI00
x		P01				-	TO00
		P02				SO10/TxD1	
		P03				SI10/RxD1/SDA10	
		P04				SCK10/SCL10	
		P05				TI05/TO05	-
		P06				TI06/TO06	-
		P10	入出力	ポート1。 8ビットの入出力ポート。 P10, P11の入力はTTL入力バッファに設定可能。 P10, P12の出力はN-chオープン・ドレイン出力(V_{DD} 耐圧)に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により,内蔵プルアップ抵抗を使用可能。	入力ポート	SCK00	
		P11				SI00/RxD0	
		P12				SO00/TxD0	
		P13				-	
		P14				-	
		P15				RTCDIV/RTCCL	
		P16				TI01/TO01/INTP5	
		P17				TI02/TO02	
		P20-P27	入出力	ポート2。 8ビットの入出力ポート。 1ビット単位で入力/出力の指定可能。	デジタル 入力ポート	ANI0-ANI7	
		P30	入出力	ポート3。 2ビットの入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により,内蔵プルアップ抵抗を使用可能。	入力ポート	RTC1HZ/INTP3	
		P31				TI03/TO03/INTP4	
		P40 ^注	入出力	ポート4。 8ビットの入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により,内蔵プルアップ抵抗を使用可能。	入力ポート	TOOL0	
		P41				TOOL1	
		P42				TI04/TO04	
		P43				SCK01	
		P44				SI01	
		P45				SO01	
		P46				RIN01	INTP1/TI05/ TO05/RIN01
		P47				RIN23	INTP2/RIN23

注 オプション・バイトで「オンチップ・デバッグ許可」に設定した場合は,必ず外部でP40/TOOL0端子をプルアップしてください(2.2.5 P40-P47 (Port 4)の注意文参照)。

表4-3 ポートの機能(2/3)

KF3-C	KG3-C	機能名称	入出力	機 能	リセット時	兼用機能	
						KF3-C	KG3-C
		P50	入出力	ポート5。 入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により,内蔵プルアップ抵抗を使用可能。	入力ポート	INTP1	-
		P51				INTP2	-
		P52				TO00	-
		P53				TI00	-
		P54				TI07/TO07	-
		P55				PCLBUZ1/ INTP7	-
x		P56				-	-
x		P57	-	-			
		P60	入出力	ポート6。 8ビットの入出力ポート。 P62の入力はCEC入力バッファに設定可能。 P60-P63の出力はN-chオープン・ドレイン出力(6V耐圧)。 1ビット単位で入力/出力の指定可能。 P62, P64-P67のみ,ソフトウェアの設定により,内蔵プルアップ抵抗を使用可能。	入力ポート	SCL0	
		P61				SDA0	
		P62				CECIO	
		P63				-	
		P64				TI10/TO10	
		P65				TI11/TO11	
		P66				TI12/TO12	
		P67				-	
		P70-P73	入出力	ポート7。 8ビットの入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により,内蔵プルアップ抵抗を使用可能。	入力ポート	KR0-KR3	
		P74				KR4/INTP8	
		P75-P77				KR5-KR7	
x		P80-P87	入出力	ポート8。 8ビットの入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により,内蔵プルアップ抵抗を使用可能。	入力ポート	-	
	x	P90	入出力	ポート9。 入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により,内蔵プルアップ抵抗を使用可能。	入力ポート	-	
		P91				ROUT	
		P110	入出力	ポート11。 2ビットの入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により,内蔵プルアップ抵抗を使用可能。	入力ポート	CECIN	
		P111				CECOUT	
		P120	入出力	ポート12。 1ビットの入出力ポートと4ビットの入力ポート。 P120のみ,入力/出力の指定可能。 P120のみ,ソフトウェアの設定により,内蔵プルアップ抵抗を使用可能。	入力ポート	INTP0/EXLVI	
		P121	入力			X1	
		P122				X2/EXCLK	
		P123				XT1	
		P124				XT2	

表4-3 ポートの機能 (3/3)

KF3-C	KG3-C	機能名称	入出力	機 能	リセット時	兼用機能	
						KF3-C	KG3-C
		P130	出力	ポート13。	出力ポート	-	
x		P131	入出力	1ビットの出力ポートと1ビットの入出力ポート。 P131のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	-	TI06/TO06
		P140	入出力	ポート14。 入出力ポート。 P142, P143の入力はTTL入力バッファに設定可能。 P142-P144の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	PCLBUZ0	
x		P141				-	PCLBUZ1/ INTP7
		P142				SCK20/SCL20	
		P143				SI20/RxD2/SDA20	
		P144				SO20/TxD2	
x		P145				-	TI07/TO07
		P150-P153	入出力	ポート15。 入出力ポート。 1ビット単位で入力 / 出力の指定可能。	デジタル 入力ポート	ANI8-ANI11	
x		P154-P157				-	ANI12-ANI15

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-4 ポートの構成

項目	構成
制御レジスタ	<ul style="list-style-type: none"> ・78K0R/KF3-C <ul style="list-style-type: none"> ポート・モード・レジスタ (PM0-PM7, PM9, PM11-PM15) ポート・レジスタ (P0-P7, P9, P11-P15) プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3-PU7, PU9, PU11-PU14) ・78K0R/KG3-C <ul style="list-style-type: none"> ポート・モード・レジスタ (PM0-PM9, PM11-PM15) ポート・レジスタ (P0-P9, P11-P15) プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3-PU9, PU11-PU14) ・共通 <ul style="list-style-type: none"> ポート・ファンクション・レジスタ6 (PF6) ポート・ファンクション・レジスタ11 (PF11) ポート入力モード・レジスタ (PIM0, PIM1, PIM6, PIM14) ポート出力モード・レジスタ (POM0, POM1, POM14) A/Dポート・コンフィギュレーション・レジスタ (ADPC)
ポート	<ul style="list-style-type: none"> ・78K0R/KF3-C : <ul style="list-style-type: none"> 合計 : 71本 (CMOS入出力 : 62本, CMOS入力 : 4本, CMOS出力 : 1本, N-chオープン・ドレイン入出力 : 4本) ・78K0R/KG3-C <ul style="list-style-type: none"> 合計 : 89本 (CMOS入出力 : 80本, CMOS入力 : 4本, CMOS出力 : 1本, N-chオープン・ドレイン入出力 : 4本)
プルアップ抵抗	<ul style="list-style-type: none"> ・78K0R/KF3-C : 合計 : 51本 ・78K0R/KG3-C : 合計 : 65本

4.2.1 ポート0

	78K0R/KF3-C (μ PD78F1846A, 78F1847A)	78K0R/KG3-C (μ PD78F1848A, 78F1849A)
P00/TI00	- 注1	
P01/TO00	- 注1	
P02/SO10/TxD1		
P03/SI10/RxD1/SDA10		
P04/SCK10/SCL10		
P05/TI05/TO05		P05 ^{注2}
P06/TI06/TO06		P06 ^{注2}

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード/出力モードの指定ができます。P00-P06端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ0 (PU0) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P03, P04端子の入力は、ポート入力モード・レジスタ0 (PIM0) の設定により1ビット単位で通常入力バッファ/TTL入力バッファの指定ができます。

P02-P04端子の出力は、ポート出力モード・レジスタ0 (POM0) により1ビット単位でN-chオープン・ドレイン出力 (V_{DD} 耐圧) に設定可能です。

また、兼用機能としてタイマ入出力、シリアル・インタフェースのデータ入出力、クロック入出力があります。

リセット信号の発生により、入力モードになります。

図4-3~4-8にポート0のブロック図を示します。

注1. 78K0R/KF3-Cでは、TI00, TO00はそれぞれ次の端子と兼用しています。

P53/TI00, P52/TO00

2. 78K0R/KG3-Cには兼用機能はありません。

78K0R/KG3-Cでは、TI05/TO05, TI06/TO06端子はそれぞれ次の端子と兼用しています。

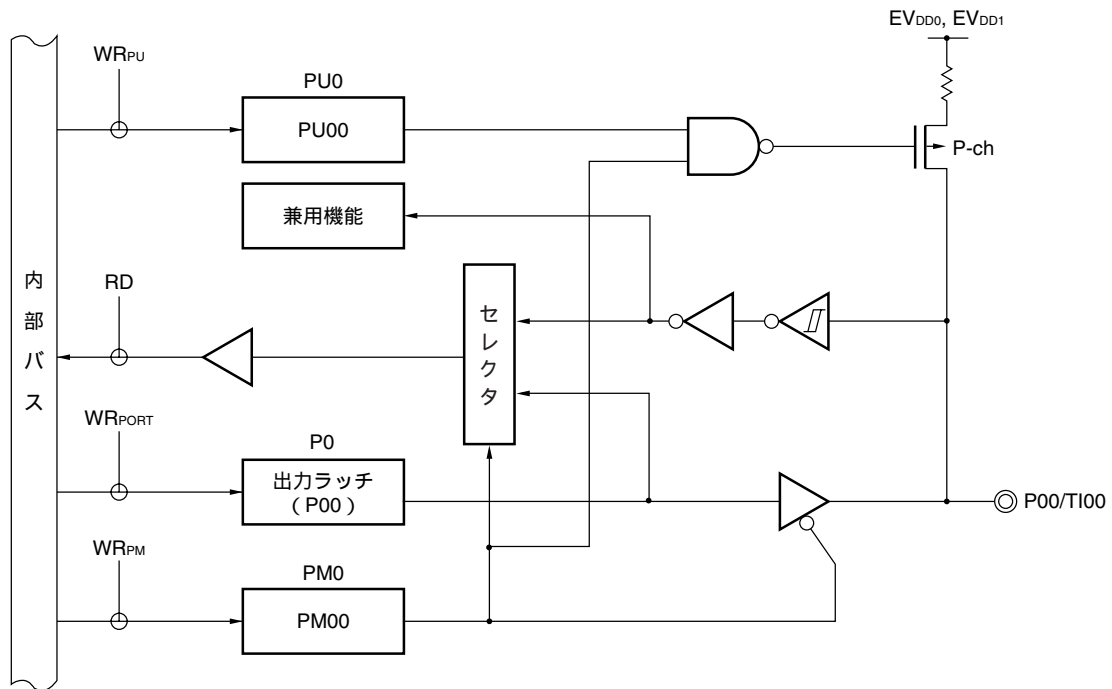
P46/INTP1/TI05/TO05/RIN01, P131/TI06/TO06

注意1. P01/TO00を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0) のビット0 (TO00) とタイマ出力許可レジスタ0 (TOE0) のビット0 (TOE00) を初期状態と同じ設定 "0" で使用してください。

2. P02/SO10/TxD1, P03/SI10/RxD1/SDA10, P04/SCK10/SCL10を汎用ポートとして使用する場合、シリアル・アレイ・ユニット0の設定に注意してください。詳細は、次の表を参照してください。

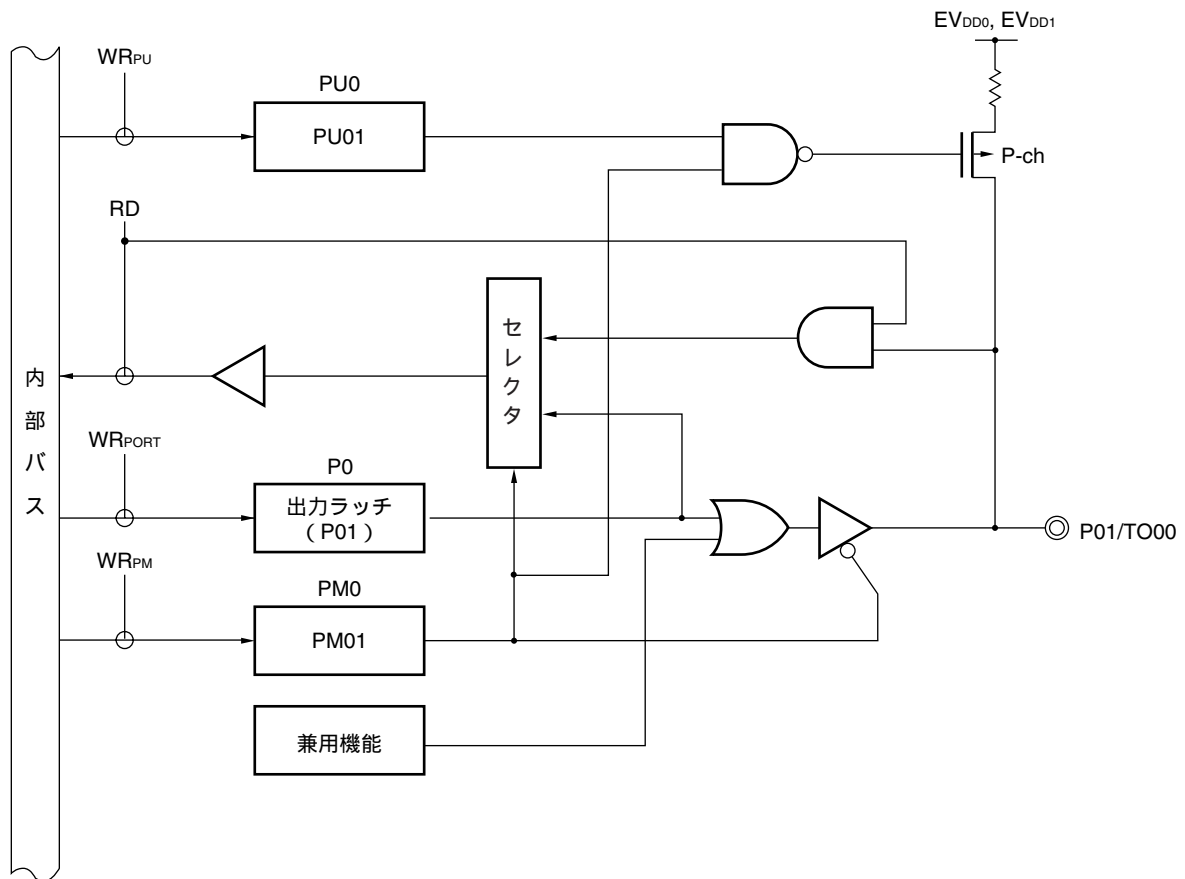
- ・表11-7 レジスタの設定と端子の関係 (ユニット0のチャンネル2: CSI10, UART1送信, IIC10)
- ・表11-8 レジスタの設定と端子の関係 (ユニット0のチャンネル3: UART1受信)

図4 - 3 P00のブロック図



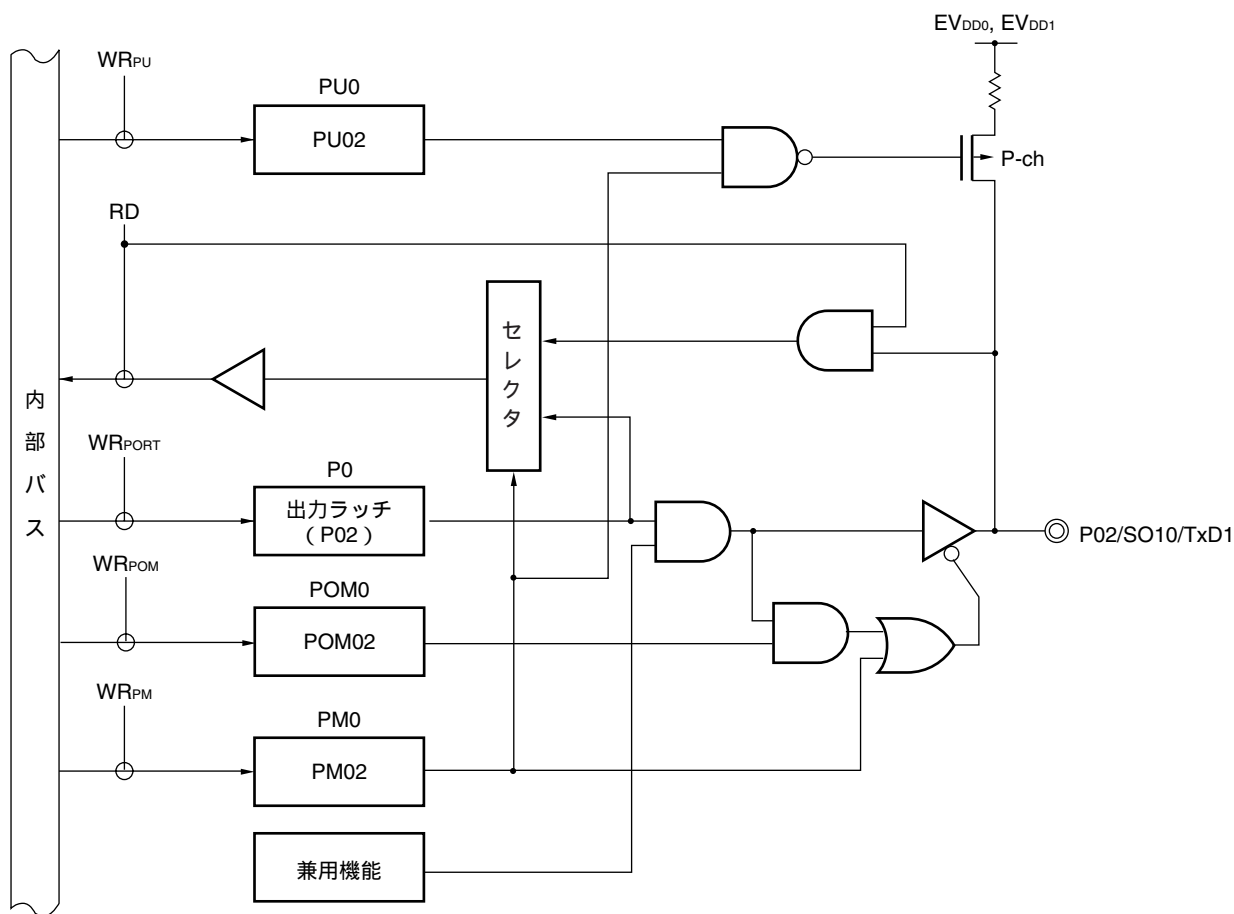
- P0 : ポート・レジスタ0
 PU0 : プルアップ抵抗オプション・レジスタ0
 PM0 : ポート・モード・レジスタ0
 RD : リード信号
 WR_{xx} : ライト信号

図4-4 P01のブロック図



- P0 : ポート・レジスタ0
 PU0 : プルアップ抵抗オプション・レジスタ0
 PM0 : ポート・モード・レジスタ0
 RD : リード信号
 WR_{xx} : ライト信号

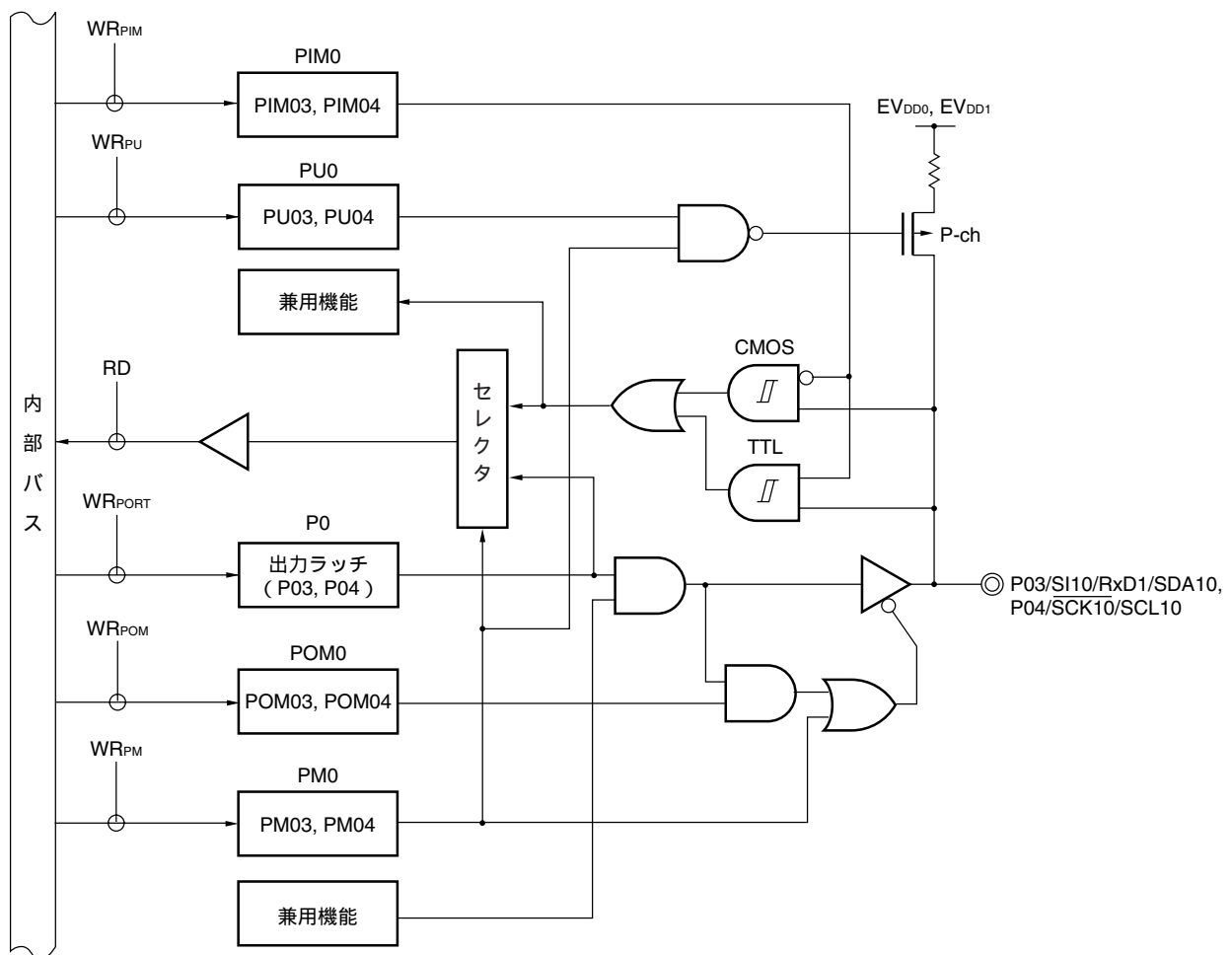
図4 - 5 P02のブロック図



- P0 : ポート・レジスタ0
 PU0 : プルアップ抵抗オプション・レジスタ0
 PM0 : ポート・モード・レジスタ0
 POM0 : ポート出力モード・レジスタ0
 RD : リード信号
 WR_x : ライト信号

備考 78K0R/KF3-Cでは、EV_{DD0}とEV_{DD1}をEV_{DD}に、EV_{SS0}とEV_{SS1}をEV_{SS}に読み替えてください。

図4-6 P03, P04のブロック図



- P0 : ポート・レジスタ0
 PU0 : プルアップ抵抗オプション・レジスタ0
 PM0 : ポート・モード・レジスタ0
 PIM0 : ポート入力モード・レジスタ0
 POM0 : ポート出力モード・レジスタ0
 RD : リード信号
 WR_x : ライト信号

備考 78K0R/KF3-Cでは, EV_{DD0}とEV_{DD1}をEV_{DD}に, EV_{SS0}とEV_{SS1}をEV_{SS}に読み替えてください。

図4 - 7 P05, P06のブロック図 (78K0R/KF3-C)

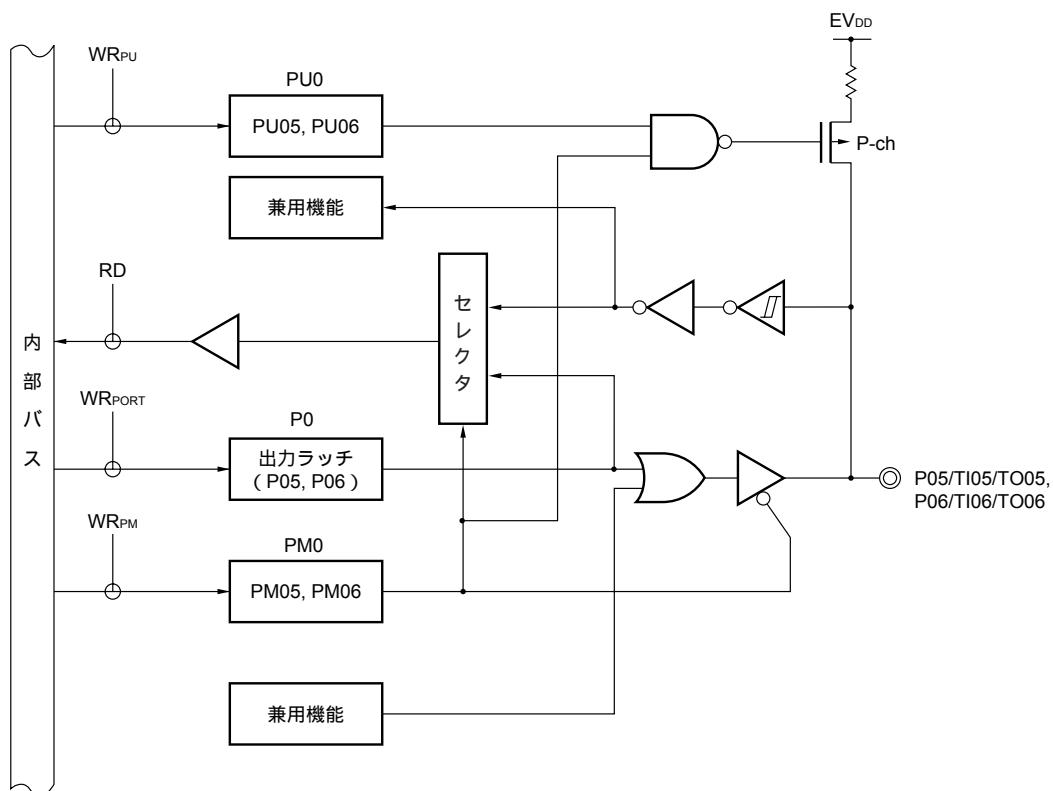
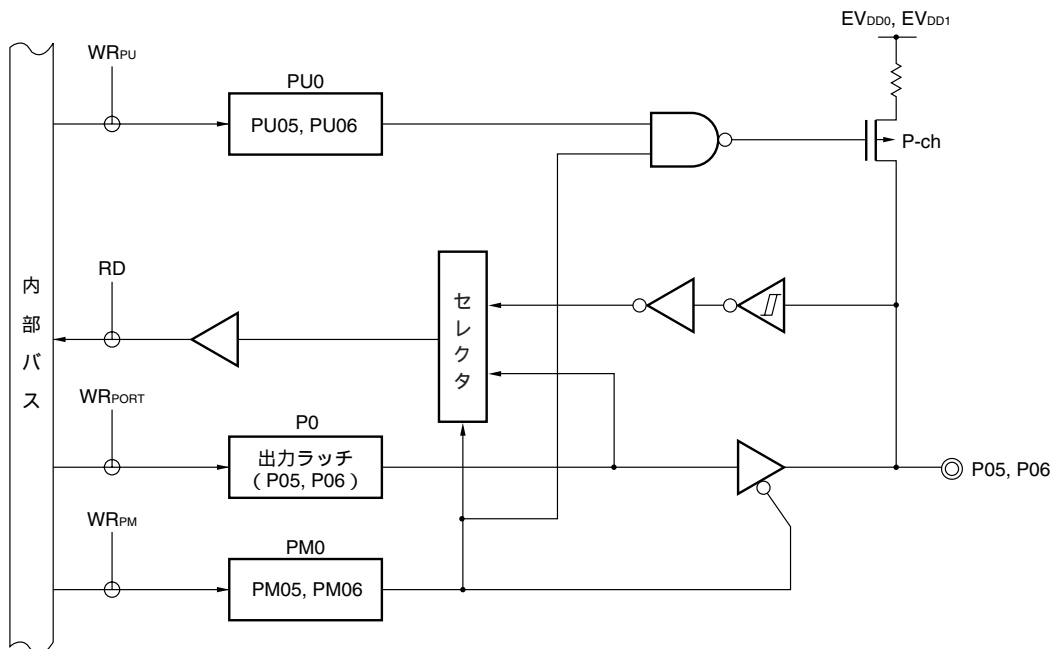


図4 - 8 P05, P06のブロック図 (78K0R/KG3-C)



- P0 : ポート・レジスタ0
 PU0 : プルアップ抵抗オプション・レジスタ0
 PM0 : ポート・モード・レジスタ0
 RD : リード信号
 WR_x : ライト信号

4.2.2 ポート1

出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード / 出力モードの指定ができます。P10-P17端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ1 (PU1) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P10, P11端子の入力は、ポート入力モード・レジスタ1 (PIM1) の設定により1ビット単位で通常入力バッファ / TTL入力バッファの指定ができます。

P10, P12端子の出力は、ポート出力モード・レジスタ1 (POM1) により1ビット単位でN-chオープン・ドレイン出力 (V_{DD} 耐圧) に設定可能です。

また、兼用機能として外部割り込み要求入力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力、リアルタイム・カウンタのクロック出力があります。

リセット信号の発生により、入力モードになります。

図4-9~4-15にポート1のブロック図を示します。

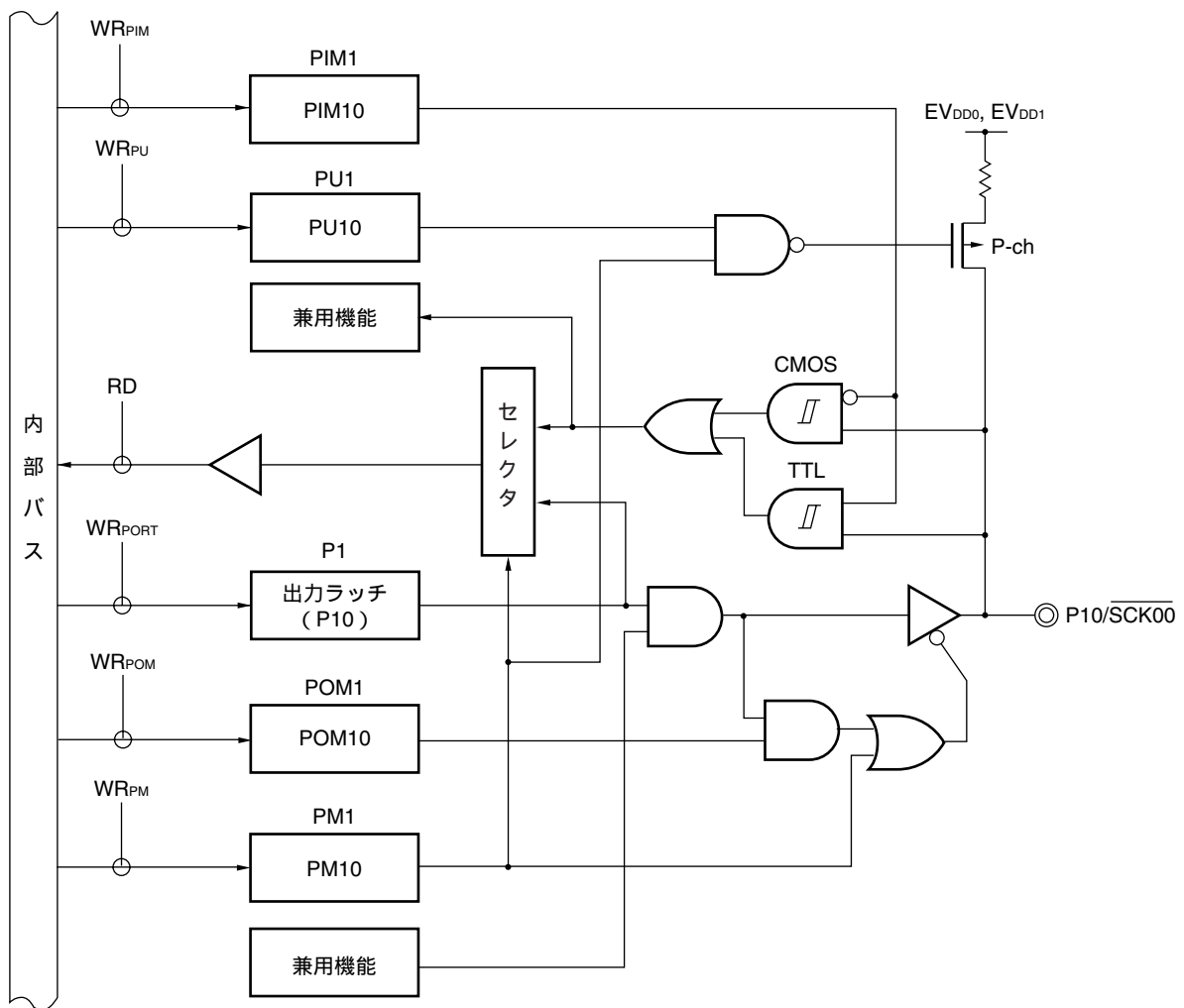
注意1. P10/SCK00, P11/SI00/RxD0, P12/SO00/TxD0を汎用ポートとして使用する場合、シリアル・アレ
イ・ユニットの設定に注意してください。詳細は、次の表を参照してください。

・表11-5 レジスタの設定と端子の関係 (ユニット0のチャンネル0: CSI00, UART0送信)

・表11-6 レジスタの設定と端子の関係 (ユニット0のチャンネル1: CSI01, UART0受信)

2. P16/TI01/TO01/INTP5, P17/TI02/TO02を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0) のビット1, 2 (TO01, TO02) とタイマ出力許可レジスタ0 (TOE0) のビット1, 2 (TOE01, TOE02) を初期状態と同じ設定“0”で使用してください。
3. P15/RTCDIV/RTCCCLを汎用ポートとして使用する場合、リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0) のビット4 (RCLOE0) とリアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2) のビット6 (RCLOE2) を初期状態と同じ設定“0”で使用してください。

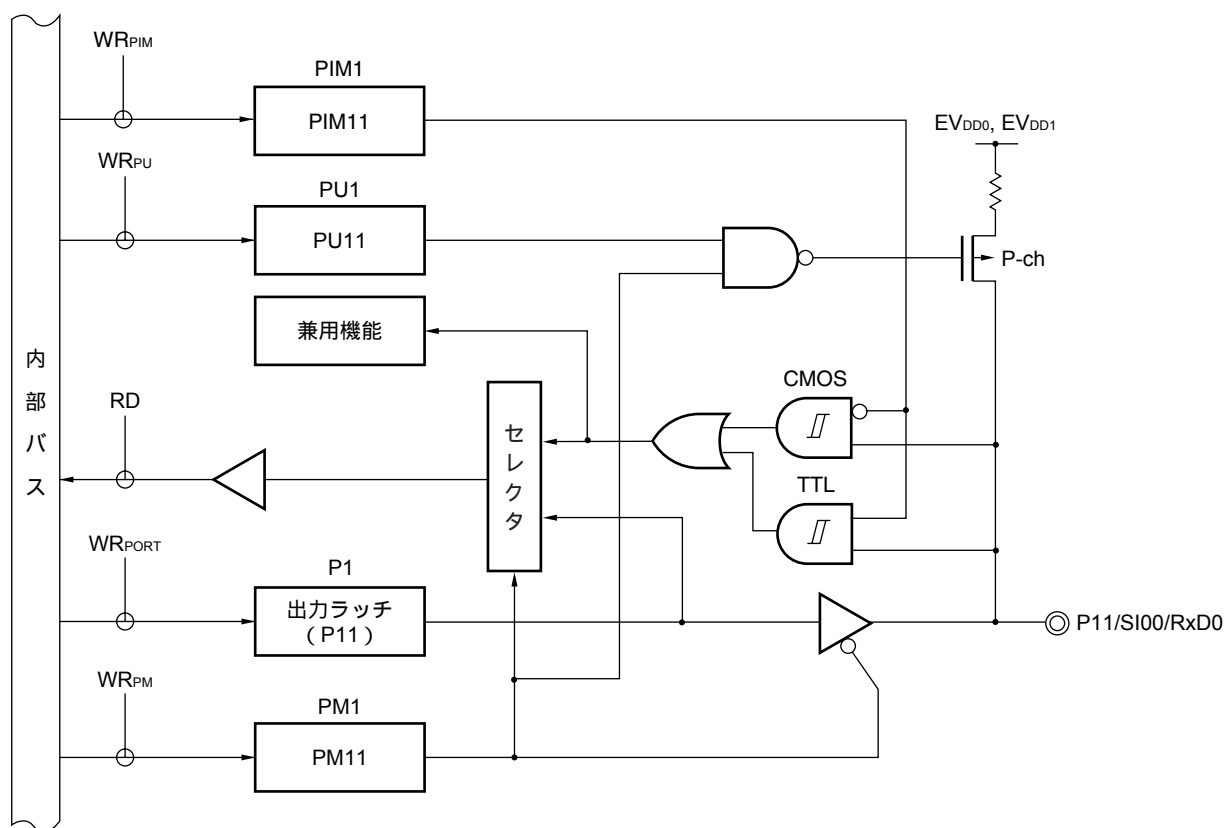
図4-9 P10のブロック図



- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- PIM1 : ポート入力モード・レジスタ1
- POM1 : ポート出力モード・レジスタ1
- RD : リード信号
- WR_x : ライト信号

備考 78K0R/KF3-Cでは、EV_{DD0}とEV_{DD1}をEV_{DD}に、EV_{SS0}とEV_{SS1}をEV_{SS}に読み替えてください。

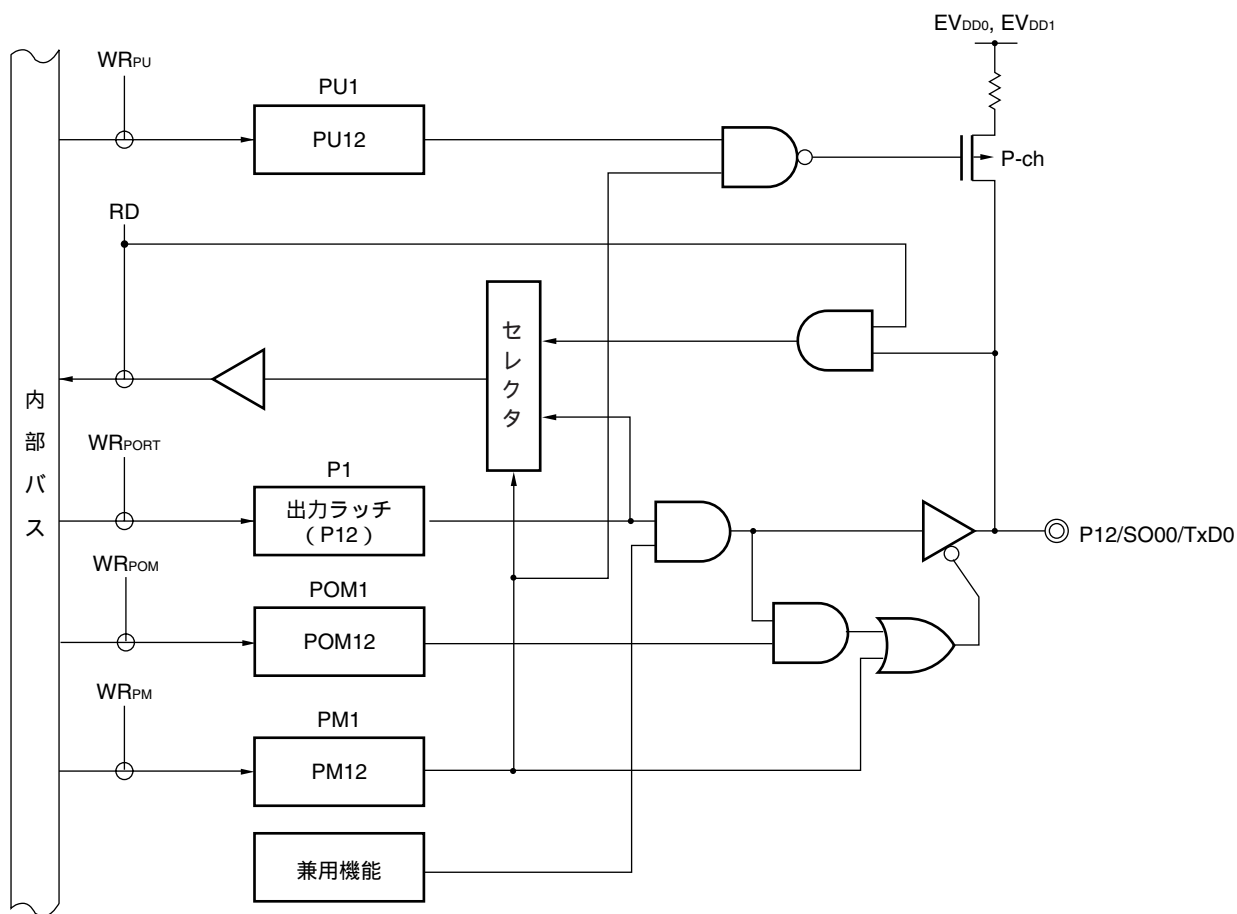
図4 - 10 P11のブロック図



- P1 : ポート・レジスタ1
 PU1 : プルアップ抵抗オプション・レジスタ1
 PM1 : ポート・モード・レジスタ1
 PIM1 : ポート入力モード・レジスタ1
 RD : リード信号
 WR_x : ライト信号

備考 78K0R/KF3-Cでは、EV_{DD0}とEV_{DD1}をEV_{DD}に、EV_{SS0}とEV_{SS1}をEV_{SS}に読み替えてください。

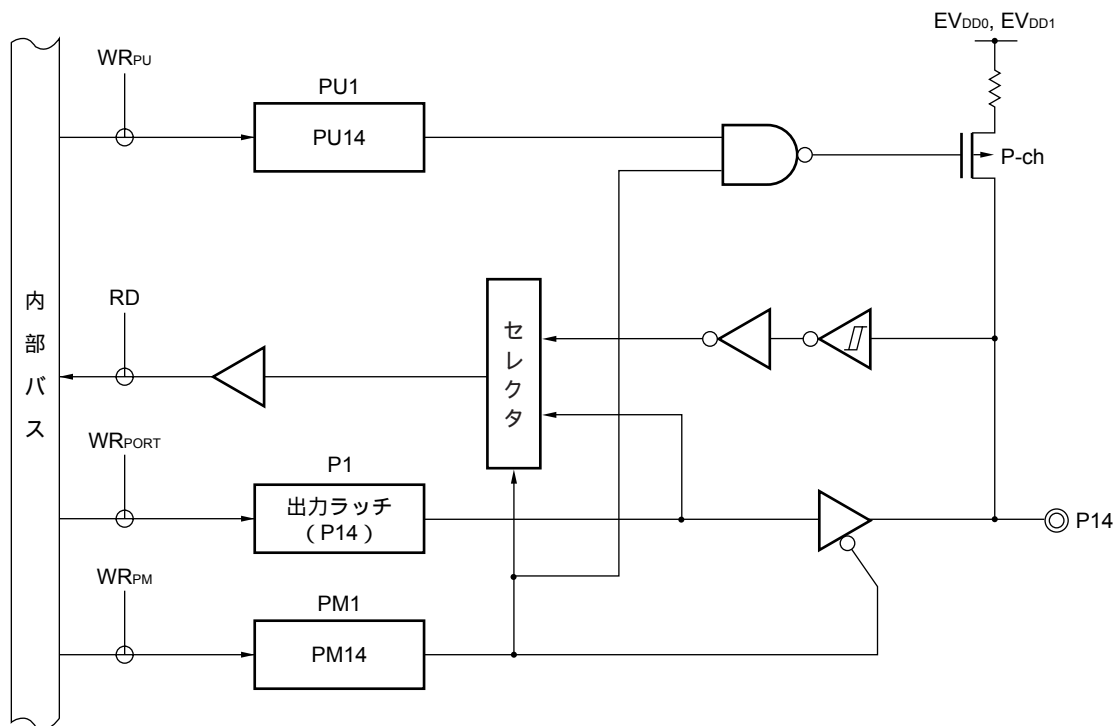
図4 - 11 P12のブロック図



- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- POM1 : ポート出力モード・レジスタ1
- RD : リード信号
- WR_{xx} : ライト信号

備考 78K0R/KF3-Cでは、EV_{DD0}とEV_{DD1}をEV_{DD}に、EV_{SS0}とEV_{SS1}をEV_{SS}に読み替えてください。

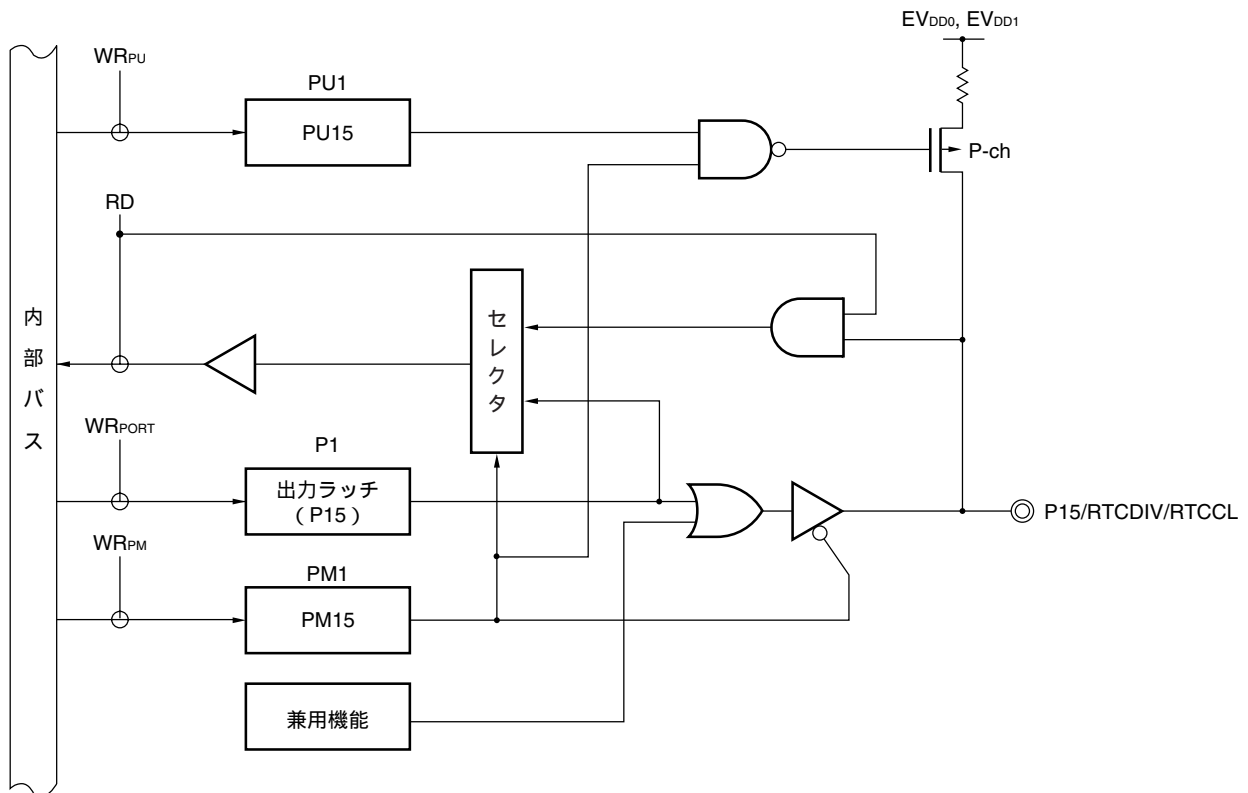
図4 - 13 P14のブロック図



- P1 : ポート・レジスタ1
 PU1 : プルアップ抵抗オプション・レジスタ1
 PM1 : ポート・モード・レジスタ1
 RD : リード信号
 WR_x : ライト信号

備考 78K0R/KF3-Cでは、EV_{DD0}とEV_{DD1}をEV_{DD}に、EV_{SS0}とEV_{SS1}をEV_{SS}に読み替えてください。

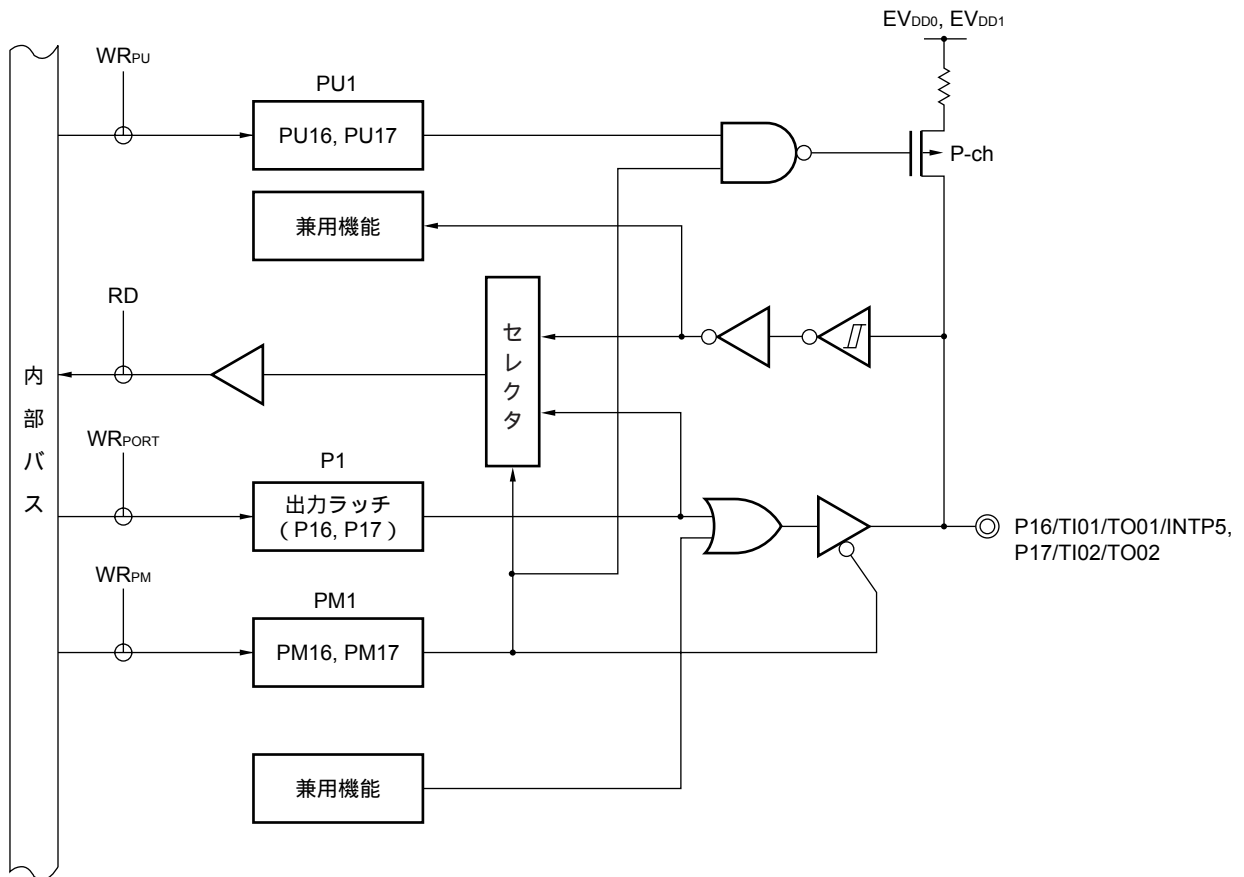
図4 - 14 P15のブロック図



- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR_x : ライト信号

備考 78K0R/KF3-Cでは、EV_{DD0}とEV_{DD1}をEV_{DD}に、EV_{SS0}とEV_{SS1}をEV_{SS}に読み替えてください。

図4 - 15 P16, P17のブロック図



- P1 : ポート・レジスタ1
 PU1 : プルアップ抵抗オプション・レジスタ1
 PM1 : ポート・モード・レジスタ1
 RD : リード信号
 WR_{xx} : ライト信号

備考 78K0R/KF3-Cでは, EV_{DD0}とEV_{DD1}をEV_{DD}に, EV_{SS0}とEV_{SS1}をEV_{SS}に読み替えてください。

4.2.3 ポート2

出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ2 (PM2) により1ビット単位で入力モード / 出力モードの指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力があります。

P20/ANI0-P27/ANI7をデジタル入力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) でデジタル入出力に、かつPM2で入力モードに設定して、下位ビットから使用してください。

P20/ANI0-P27/ANI7をデジタル出力として使用する場合は、ADPCでデジタル入出力に、かつPM2で出力モードに設定してください。

P20/ANI0-P27/ANI7をアナログ入力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) でアナログ入力に、かつPM2で入力モードに設定して、上位ビットから使用してください。

表4 - 5 P20/ANI0-P27/ANI7端子機能の設定

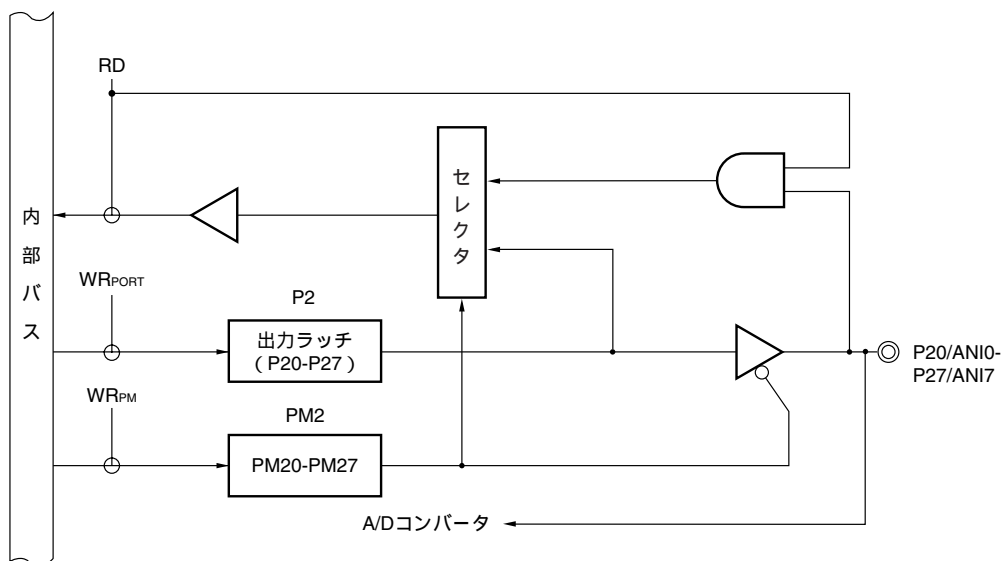
ADPC	PM2	ADS	P20/ANI0-P27/ANI7端子
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力 (変換対象)
		ANI非選択	アナログ入力 (非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

リセット信号の発生により、P20/ANI0-P27/ANI7はすべてデジタル入力になります。

図4 - 16にポート2のブロック図を示します。

注意 ポート2をデジタル入出力として使用する場合のAV_{REF}端子への印加電圧については、2.2.16 AV_{REF}を参照してください。

図4 - 16 P20-P27のブロック図



P2 : ポート・レジスタ2

PM2 : ポート・モード・レジスタ2

RD : リード信号

WR_x : ライト信号

4.2.4 ポート3

出力ラッチ付き2ビットの入出力ポートです。ポート・モード・レジスタ3 (PM3) により1ビット単位で入力モード / 出力モードの指定ができます。P30, P31端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ3 (PU3) により1ビット単位で内蔵プルアップ抵抗を使用できます。

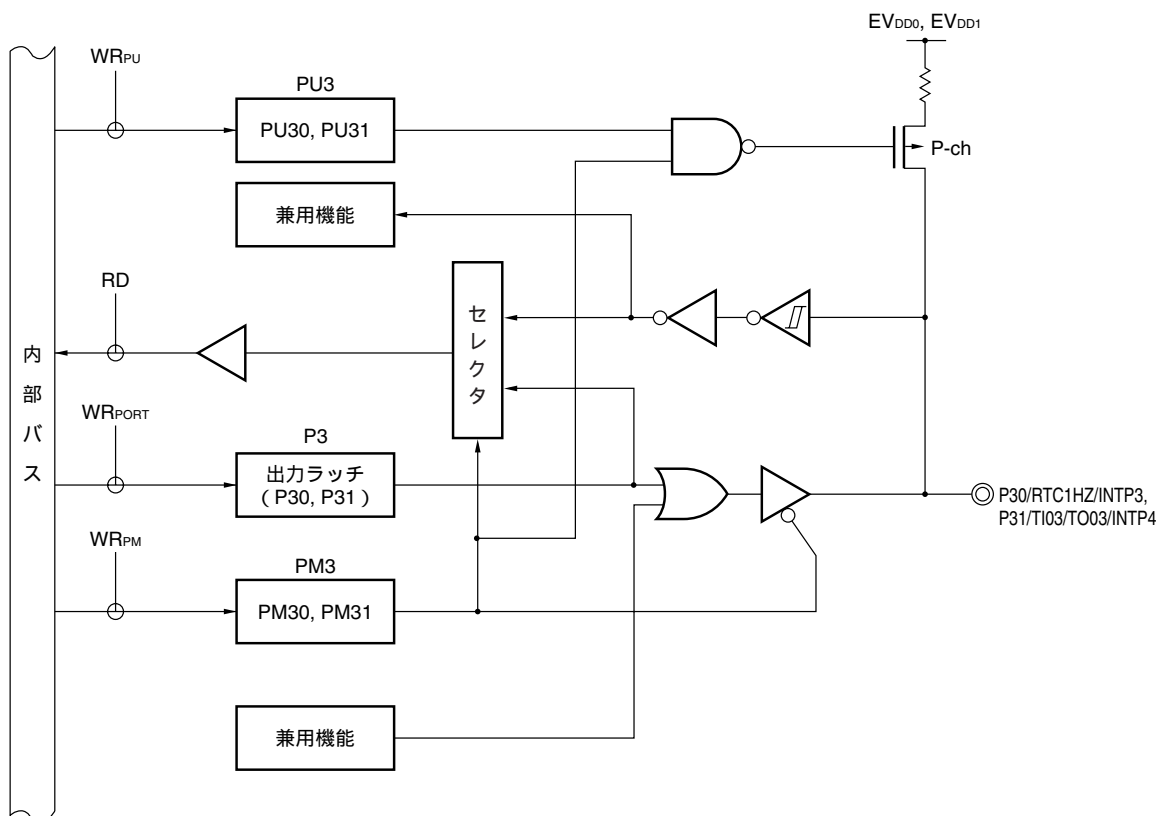
また、兼用機能として外部割り込み要求入力, タイマの入出力, リアルタイム・カウンタの補正クロック出力があります。

リセット信号の発生により, 入力モードになります。

図4 - 17にポート3のブロック図を示します。

- 注意1.** P31/TI03/TO03/INTP4を汎用ポートとして使用する場合, タイマ出力レジスタ0 (TO0) のビット3 (TO03) とタイマ出力許可レジスタ0 (TOE0) のビット3 (TOE03) を初期状態と同じ設定 "0" で使用してください。
- 2.** P30/RTC1HZ/INTP3を汎用ポートとして使用する場合, リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0) のビット5 (RCLOE1) を初期状態と同じ設定 "0" で使用してください。

図4 - 17 P30, P31のブロック図



- P3 : ポート・レジスタ3
 PU3 : プルアップ抵抗オプション・レジスタ3
 PM3 : ポート・モード・レジスタ3
 RD : リード信号
 WR_x : ライト信号

備考 78K0R/KF3-Cでは, EV_{DD0}とEV_{DD1}をEV_{DD}に, EV_{SS0}とEV_{SS1}をEV_{SS}に読み替えてください。

4.2.5 ポート4

	78K0R/KF3-C (μ PD78F1846A, 78F1847A)	78K0R/KG3-C (μ PD78F1848A, 78F1849A)
P40/TOOL0		
P41/TOOL1		
P42/TI04/TO04		
P43/SCK01		
P44/SI01		
P45/SO01		
P46/INTP1/TI05/TO05/RIN01	P46/RIN01 ^{注1}	
P47/INTP2/RIN23	P47/RIN23 ^{注1}	

出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ4 (PM4) により1ビット単位で入力モード / 出力モードの指定ができます。P40-P47端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ4 (PU4) により1ビット単位で内蔵プルアップ抵抗を使用できます^{注2}。

また、兼用機能として外部割り込み要求入力、シリアル・インタフェースのデータ入出力、クロック入出力、フラッシュ・メモリ・プログラマ / デバッガ用データ入出力、クロック出力、タイマの入出力、リモコン受信データ入力があります。

リセット信号の発生により、入力モードになります。

図4 - 18 ~ 4 - 23にポート4のブロック図を示します。

注1. 78K0R/KF3-Cでは、INTP1, TI05/TO05, INTP2端子はそれぞれ次の端子と兼用しています。

P50/INTP1, P05/TI05/TO05, P51/INTP2

2. P40, P41端子は、ツール接続時にはプルアップ抵抗は接続できません。

注意1. P40端子は、ツール接続時はポート端子として使用できません。

P41端子は、オンチップ・デバッグ機能使用時には、デバッガのモード設定により次のようになります。

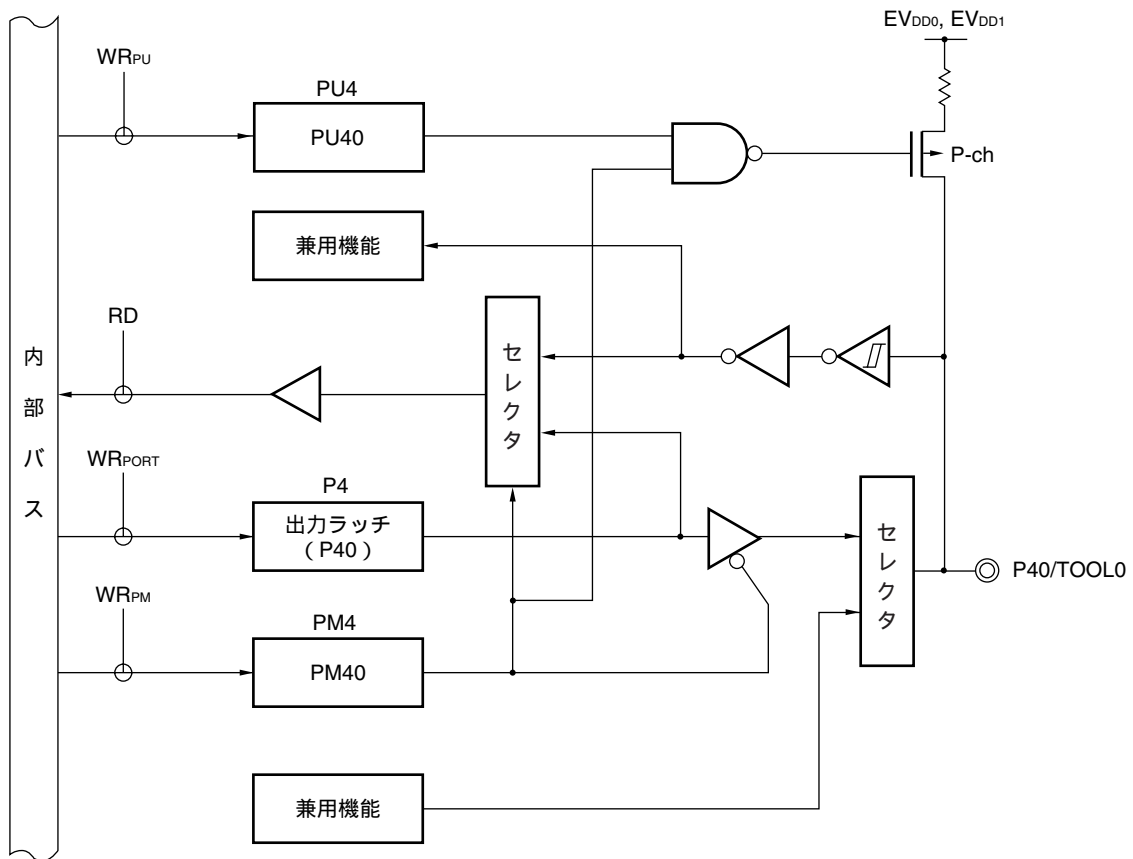
1線モード : ポート (P41) として使用できます。

2線モード : TOOL1端子として使用するためポート (P41) としては使用できません。

2. P43/SCK01, P44/SI01, P45/SO01を汎用ポートとして使用する場合、シリアル・アレイ・ユニット0の設定に注意してください。詳細は、表11 - 6 レジスタの設定と端子の関係 (ユニット0のチャンネル1 : CSI01, UART0受信) を参照してください。

3. P42/TI04/TO04, P46/INTP1/TI05/TO05/RIN01を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0) のビット4, 5 (TO04, TO05) とタイマ出力許可レジスタ0 (TOE0) のビット4, 5 (TOE04, TOE05) を初期状態と同じ設定 "0" で使用してください。

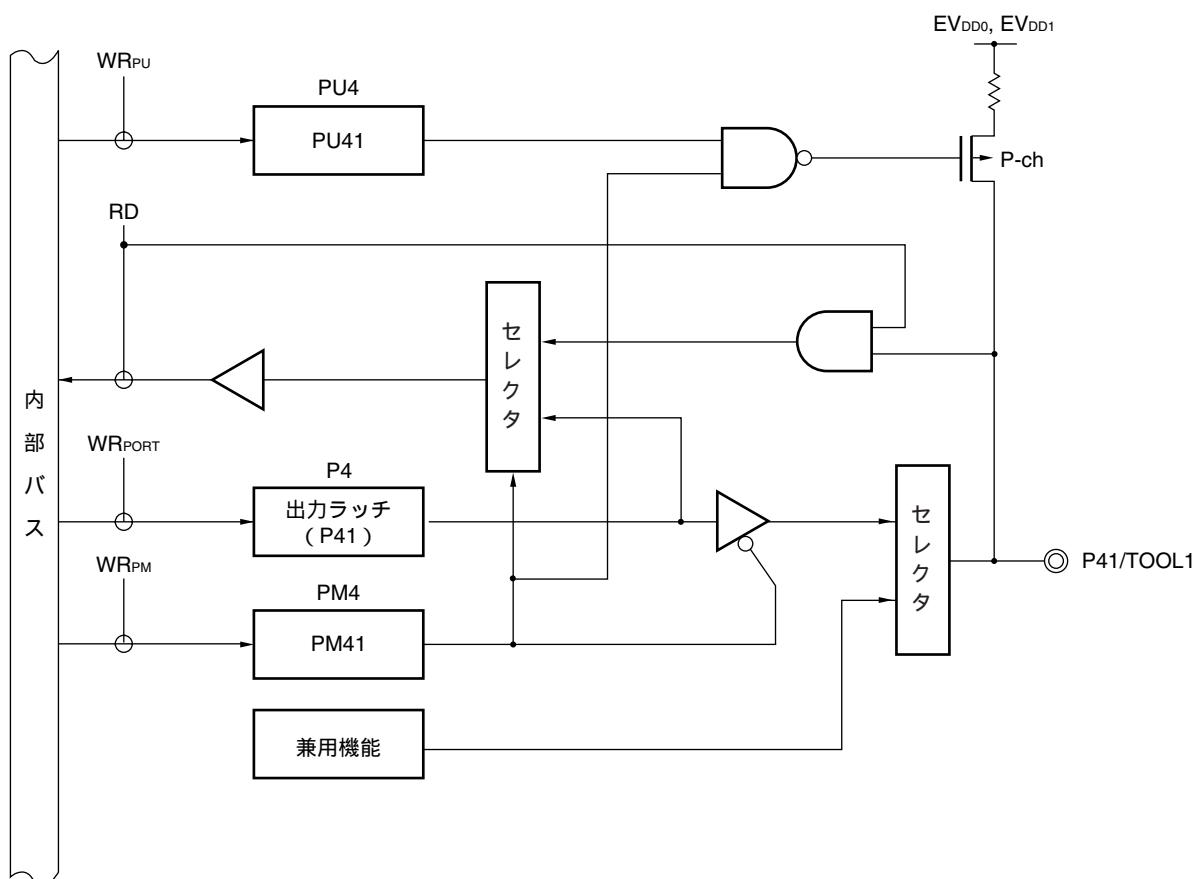
図4 - 18 P40のブロック図



- P4 : ポート・レジスタ4
- PU4 : プルアップ抵抗オプション・レジスタ4
- PM4 : ポート・モード・レジスタ4
- RD : リード信号
- WR_{xx} : ライト信号

備考 78K0R/KF3-Cでは、EV_{DD0}とEV_{DD1}をEV_{DD}に、EV_{SS0}とEV_{SS1}をEV_{SS}に読み替えてください。

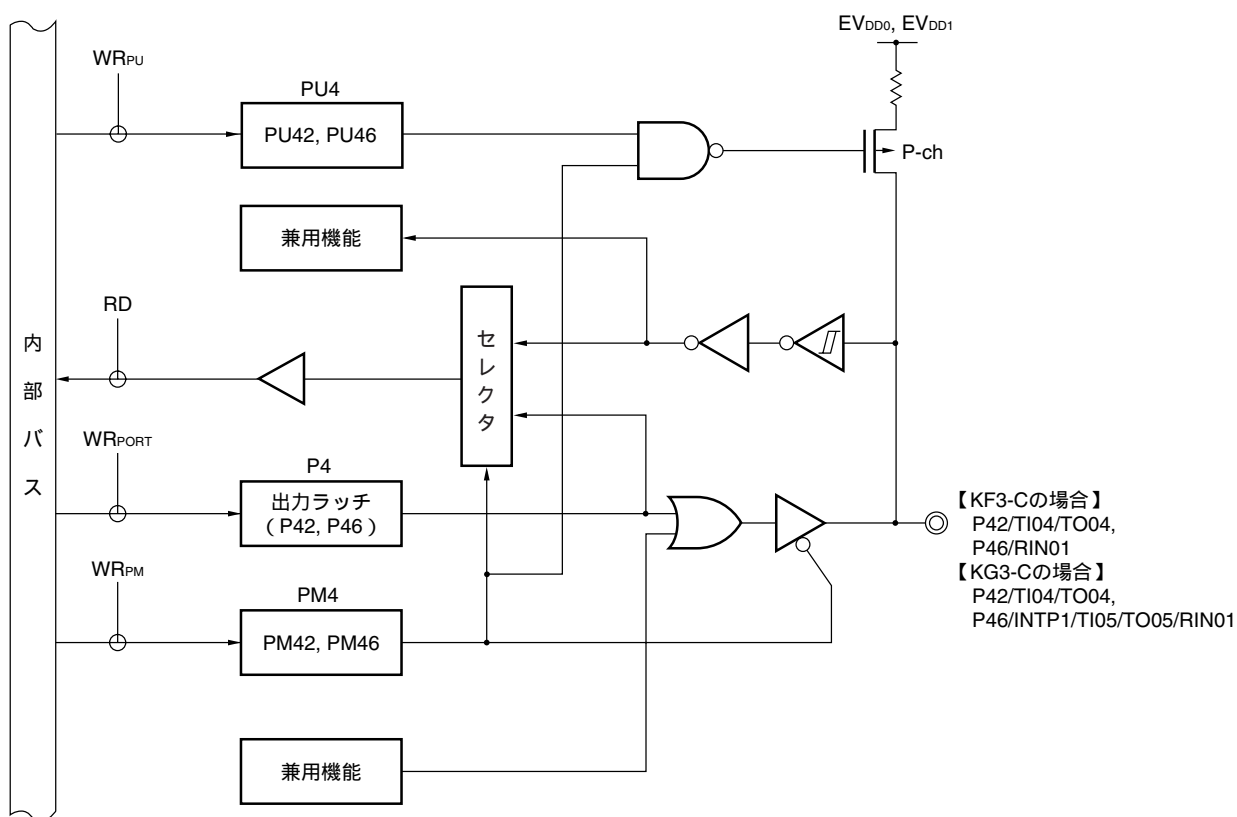
図4-19 P41のブロック図



- P4 : ポート・レジスタ4
- PU4 : プルアップ抵抗オプション・レジスタ4
- PM4 : ポート・モード・レジスタ4
- RD : リード信号
- WR_{xx} : ライト信号

備考 78K0R/KF3-Cでは、EV_{DD0}とEV_{DD1}をEV_{DD}に、EV_{SS0}とEV_{SS1}をEV_{SS}に読み替えてください。

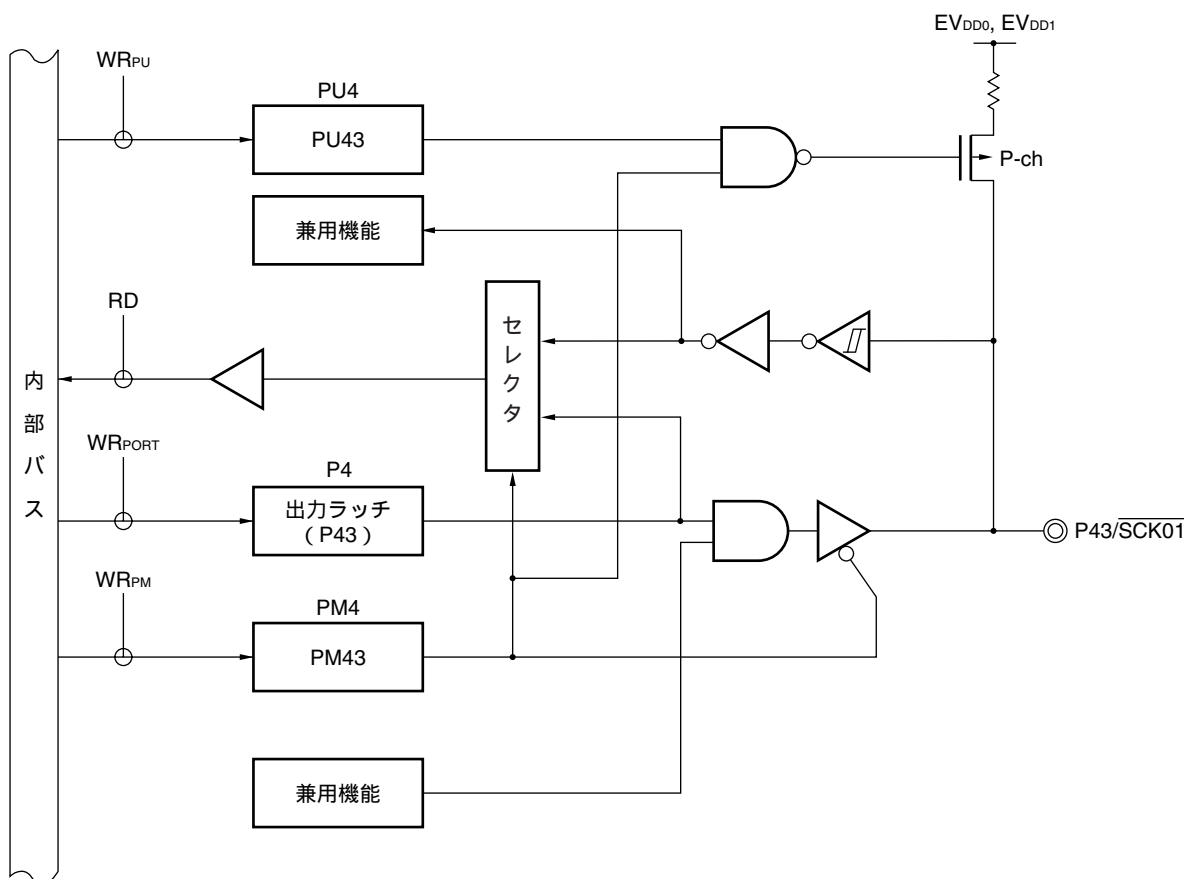
図4 - 20 P42, P46のブロック図



- P4 : ポート・レジスタ4
 PU4 : プルアップ抵抗オプション・レジスタ4
 PM4 : ポート・モード・レジスタ4
 RD : リード信号
 WR_x : ライト信号

備考 78K0R/KF3-Cでは, EV_{DD0}とEV_{DD1}をEV_{DD}に, EV_{SS0}とEV_{SS1}をEV_{SS}に読み替えてください。

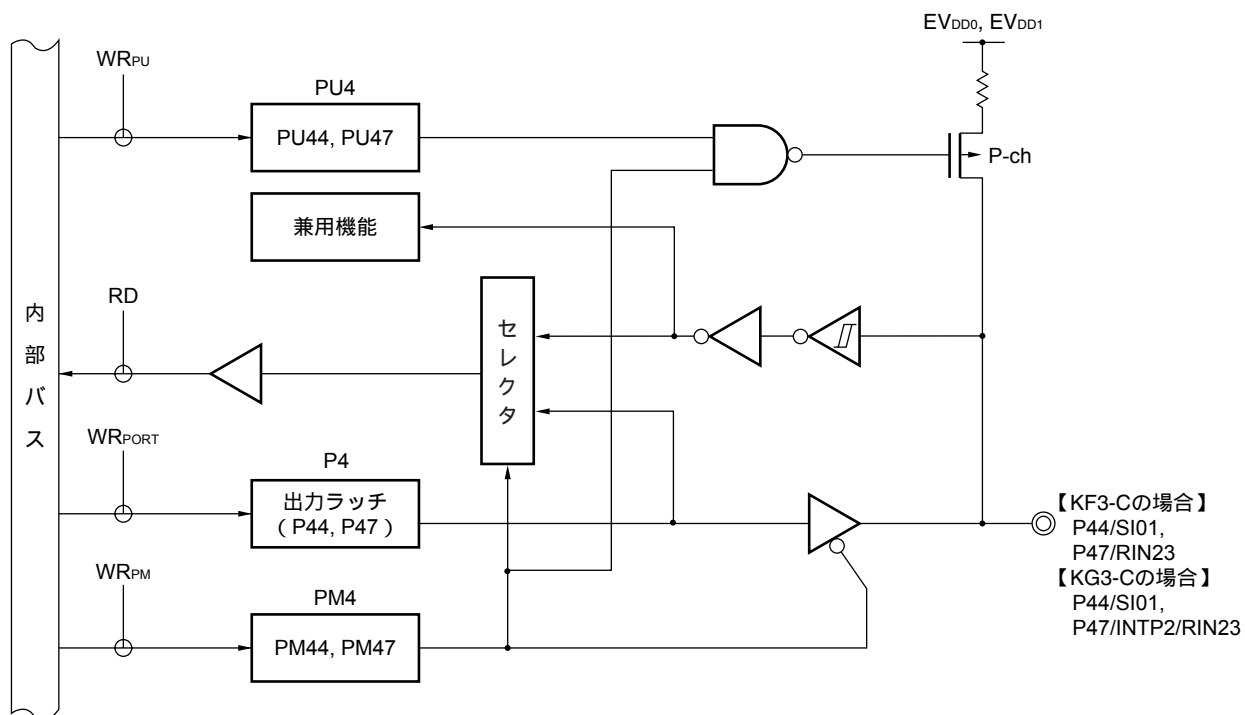
図4-21 P43のブロック図



- P4 : ポート・レジスタ4
- PU4 : プルアップ抵抗オプション・レジスタ4
- PM4 : ポート・モード・レジスタ4
- RD : リード信号
- WR_{xx} : ライト信号

備考 78K0R/KF3-Cでは、EV_{DD0}とEV_{DD1}をEV_{DD}に、EV_{SS0}とEV_{SS1}をEV_{SS}に読み替えてください。

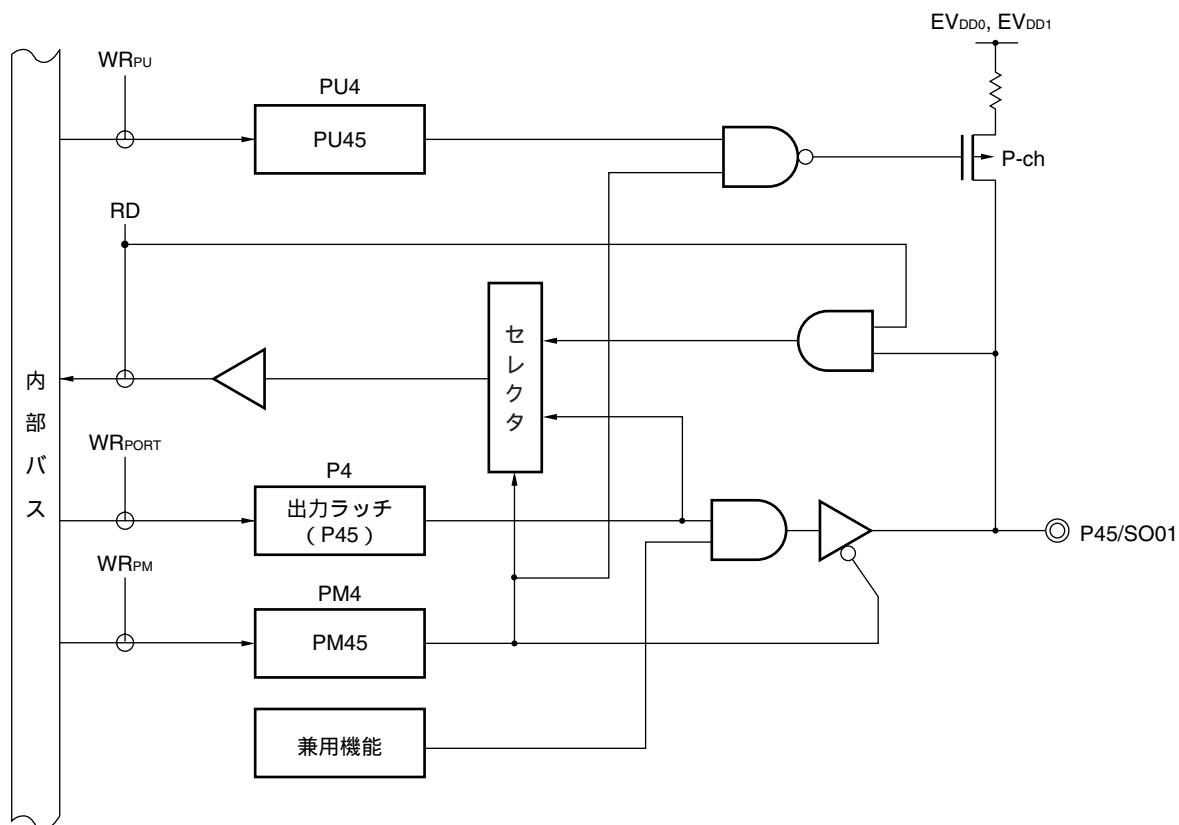
図4-22 P44, P47のブロック図



- P4 : ポート・レジスタ4
 PU4 : プルアップ抵抗オプション・レジスタ4
 PM4 : ポート・モード・レジスタ4
 RD : リード信号
 WR_x : ライト信号

備考 78K0R/KF3-Cでは、EV_{DD0}とEV_{DD1}をEV_{DD}に、EV_{SS0}とEV_{SS1}をEV_{SS}に読み替えてください。

図4-23 P45のブロック図



- P4 : ポート・レジスタ4
- PU4 : プルアップ抵抗オプション・レジスタ4
- PM4 : ポート・モード・レジスタ4
- RD : リード信号
- WR_x : ライト信号

備考 78K0R/KF3-Cでは、EV_{DD0}とEV_{DD1}をEV_{DD}に、EV_{SS0}とEV_{SS1}をEV_{SS}に読み替えてください。

4.2.6 ポート5

	78K0R/KF3-C (μ PD78F1846A, 78F1847A)	78K0R/KG3-C (μ PD78F1848A, 78F1849A)
P50/INTP1		P50 ^注
P51/INTP2		P51 ^注
P52/TO00		P52 ^注
P53/TI00		P53 ^注
P54/TI07/TO07		P54 ^注
P55/PCLBUZ1/INTP7		P55 ^注
P56	-	
P57	-	

注 78K0R/KG3-Cには兼用機能はありません。

78K0R/KG3-Cでは、INTP1、INTP2、TO00、TI00、TI07/TO07、PCLBUZ1/INTP7はそれぞれ次の端子と兼用しています。

P46/INTP1/TI05/TO05/RIN01, P47/INTP2/RIN23, P01/TO00, P00/TI00, P145/TI07/TO07,
P141/PCLBUZ1/INTP7

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ5 (PM5) により1ビット単位で入力モード/出力モードの指定ができます。P50-P57端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ5 (PU5) により1ビット単位で内蔵プルアップ抵抗を使用できます。

リセット信号の発生により、入力モードになります。

図4-24～4-28にポート5のブロック図を示します。

- 注意1. P52/TO00, P54/TI07/TO07を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0) のビット0, 7 (TO00, TO07) とタイマ出力許可レジスタ0 (TOE0) のビット0, 7 (TOE00, TOE07) を初期状態と同じ設定“0”で使用してください。
2. P55/PCLBUZ1/INTP7を汎用ポートとして使用する場合、クロック出力選択レジスタ1 (CKS1) のビット7を初期状態と同じ設定“0”で使用してください。

(1) 78K0R/KF3-C (1/2)

図4 - 24 P50, P51, P53のブロック図

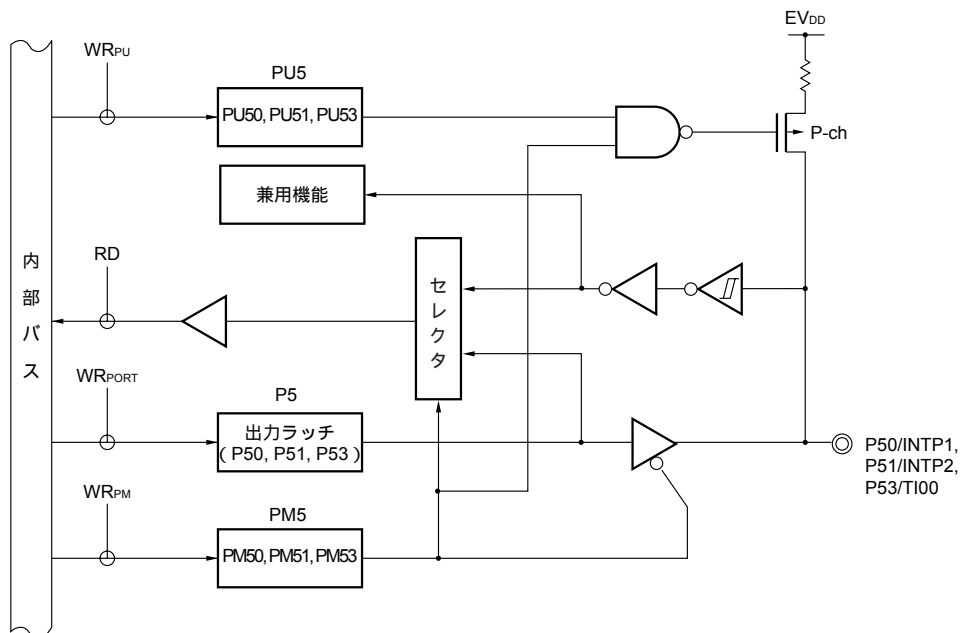
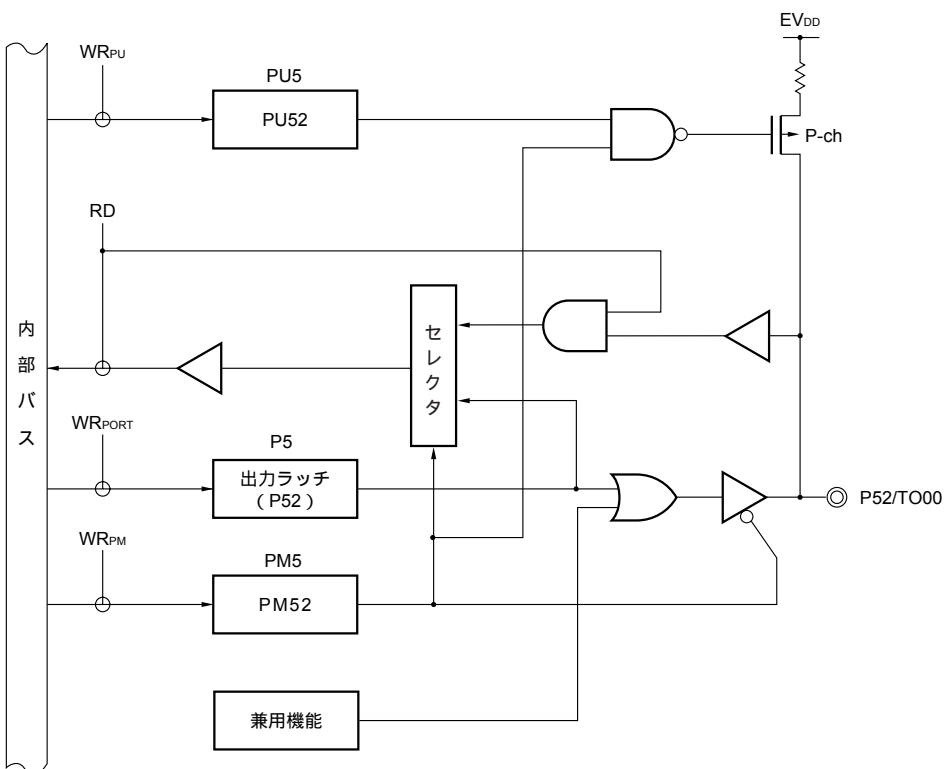


図4 - 25 P52のブロック図



- P5 : ポート・レジスタ5
 PU5 : プルアップ抵抗オプション・レジスタ5
 PM5 : ポート・モード・レジスタ5
 RD : リード信号
 WR_{xx} : ライト信号

(2) 78K0R/KG3-C

図4 - 27 P50, P51, P53-P55のブロック図

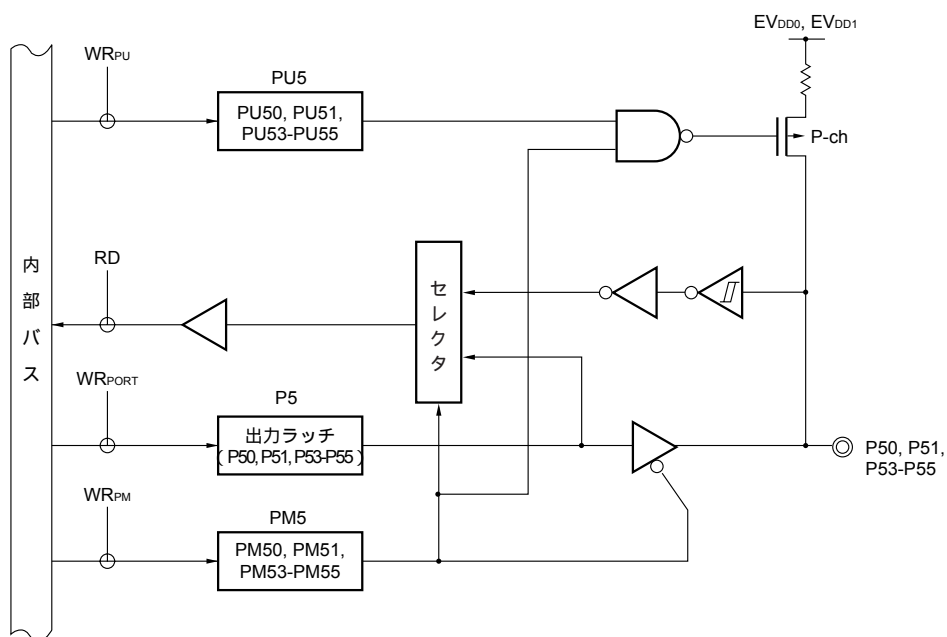
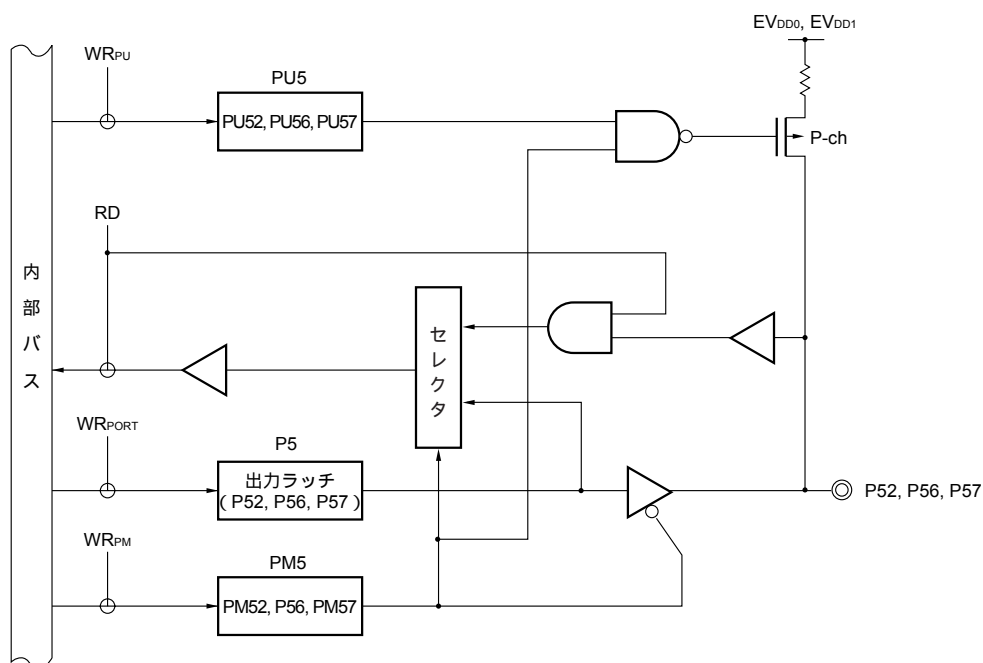


図4 - 28 P52, P56, P57のブロック図



- P5 : ポート・レジスタ5
- PU5 : プルアップ抵抗オプション・レジスタ5
- PM5 : ポート・モード・レジスタ5
- RD : リード信号
- WR_x : ライト信号

4.2.7 ポート6

出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ6 (PM6) により1ビット単位で入力モード / 出力モードの指定ができます。P62, P64-P67端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ6 (PU6) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P60-P63端子の出力は、N-chオープン・ドレイン出力 (6 V耐圧) です。

また、兼用機能としてシリアル・インタフェースのデータ入出力、クロックの入出力、CECのシリアル・データ入出力、タイマ入出力があります。

P62端子は、ポート・ファンクション・レジスタ6 (PF6) とポート入力モード・レジスタ6 (PIM6) の設定により、通常入力バッファまたはCEC入力バッファに指定できます (図4 - 59参照)。

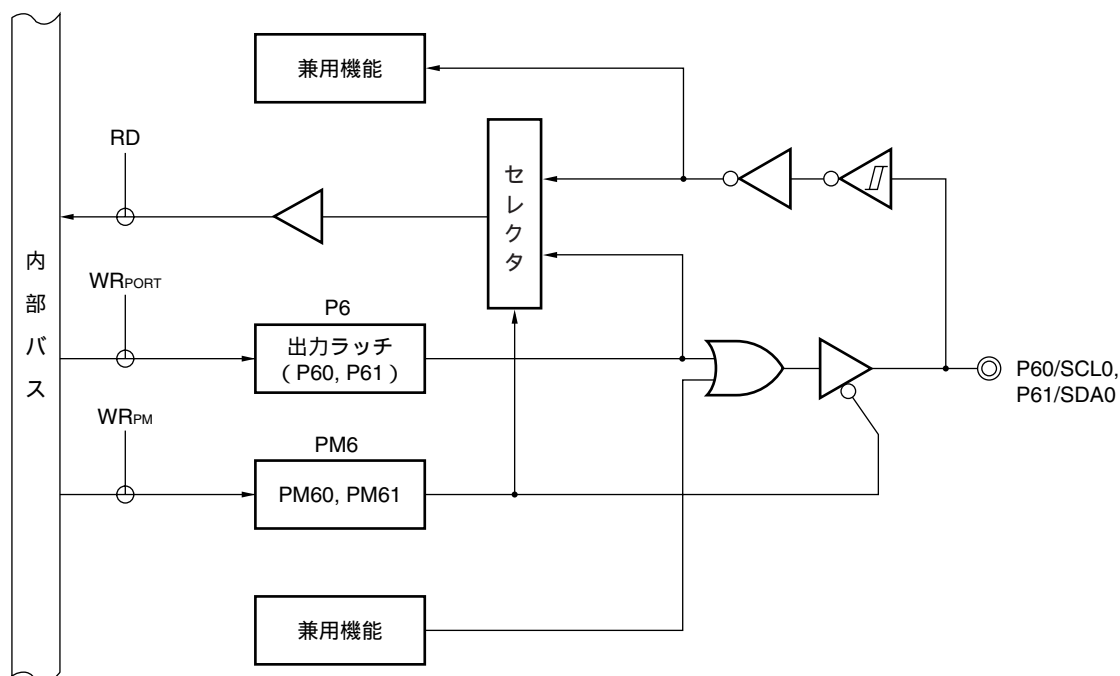
P62端子のみポート・ファンクション・レジスタ6 (PF6) とプルアップ抵抗オプション・レジスタ6 (PU6) の設定により、内蔵のダイオードとプルアップ抵抗を接続できます (図4 - 59参照)。

リセット信号の発生により、入力モードになります。

図4 - 29 ~ 4 - 33にポート6のブロック図を示します。

- 注意1.** P60/SCL0, P61/SDA0を汎用ポートとして使用する場合、シリアル・インタフェースIICAを動作停止にしてください。
- 2.** P64/TI10/TO10-P66/TI12/TO12を汎用ポートとして使用する場合、タイマ出力レジスタ1 (TO1) のビット0-2 (TO10-TO12) とタイマ出力許可レジスタ1 (TOE1) のビット0-2 (TOE10-TOE12) を初期状態と同じ設定“0”で使用してください。

図4 - 29 P60, P61のブロック図



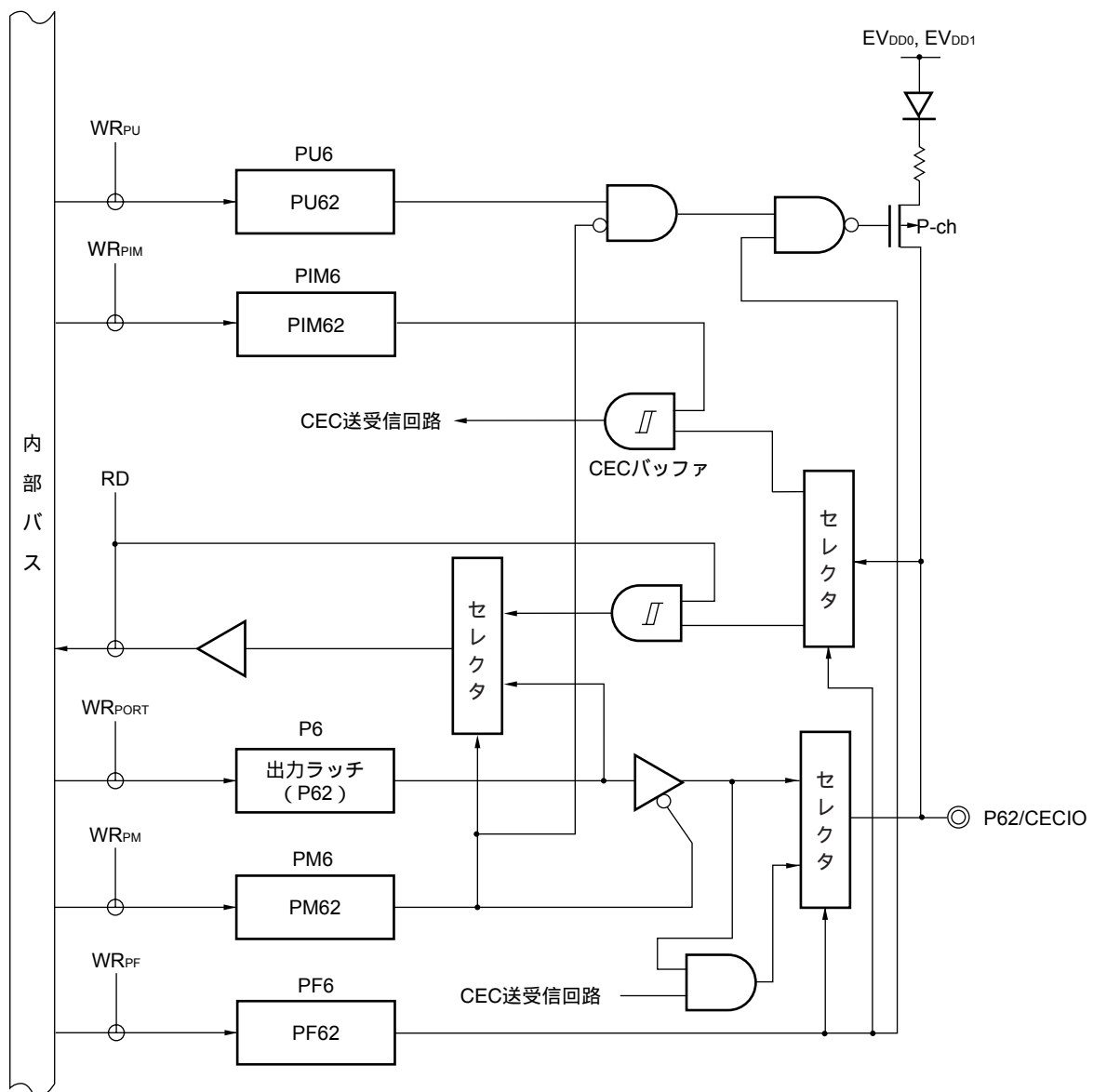
P6 : ポート・レジスタ6

PM6 : ポート・モード・レジスタ6

RD : リード信号

WR_x : ライト信号

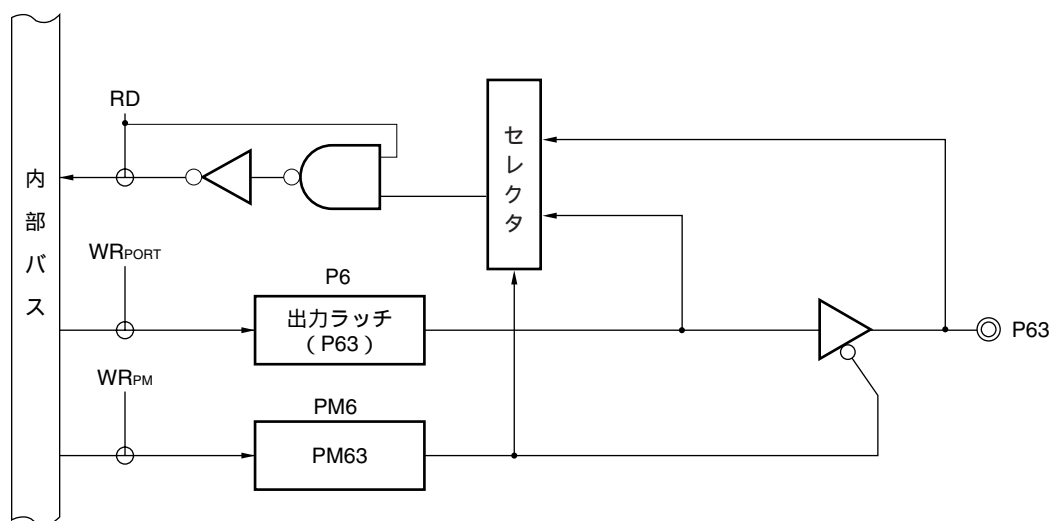
図4-30 P62のブロック図



- P6 : ポート・レジスタ6
- PU6 : プルアップ抵抗オプション・レジスタ6
- PM6 : ポート・モード・レジスタ6
- PIM6 : ポート入力モード・レジスタ6
- PF6 : ポート・ファンクション・レジスタ6
- RD : リード信号
- WR_x : ライト信号

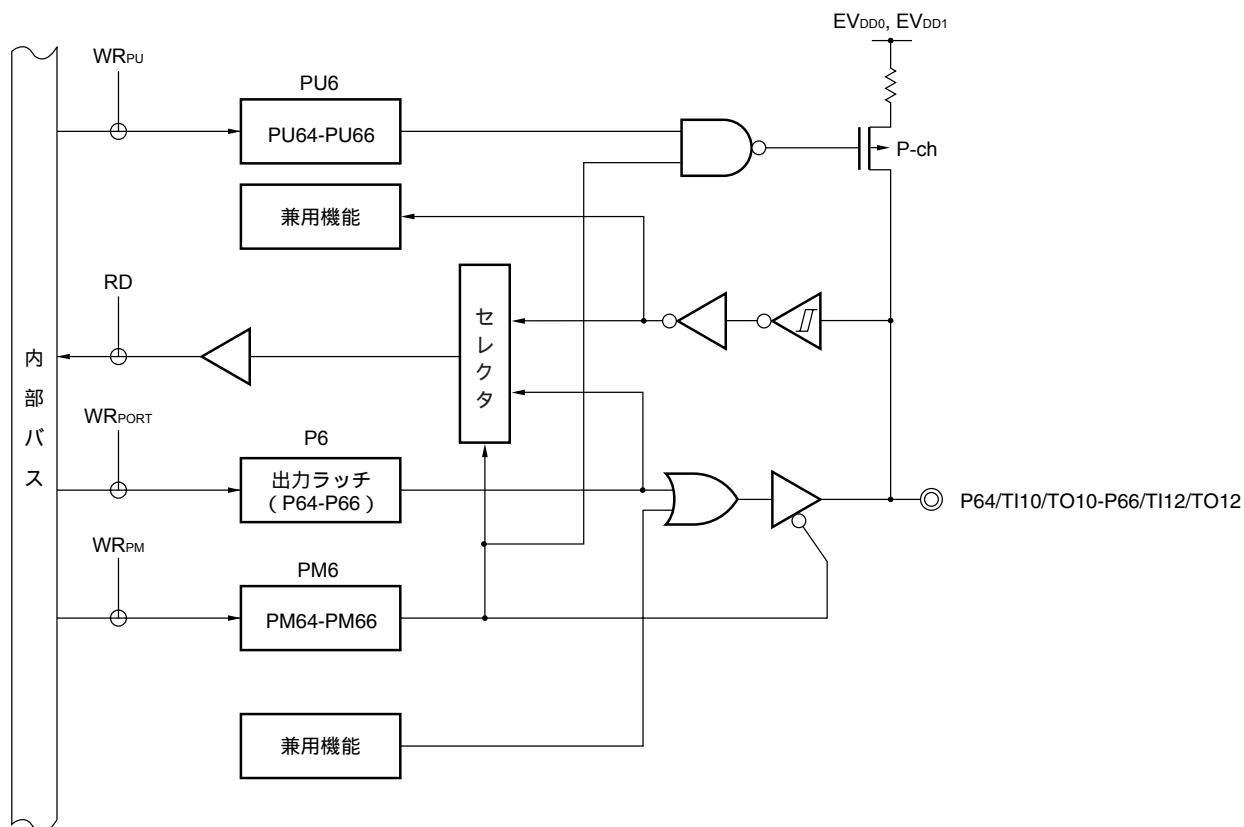
備考 78K0R/KF3-Cでは、EV_{DD0}とEV_{DD1}をEV_{DD}に、EV_{SS0}とEV_{SS1}をEV_{SS}に読み替えてください。

図4 - 31 P63のブロック図



- P6 : ポート・レジスタ6
 PM6 : ポート・モード・レジスタ6
 RD : リード信号
 WR_x : ライト信号

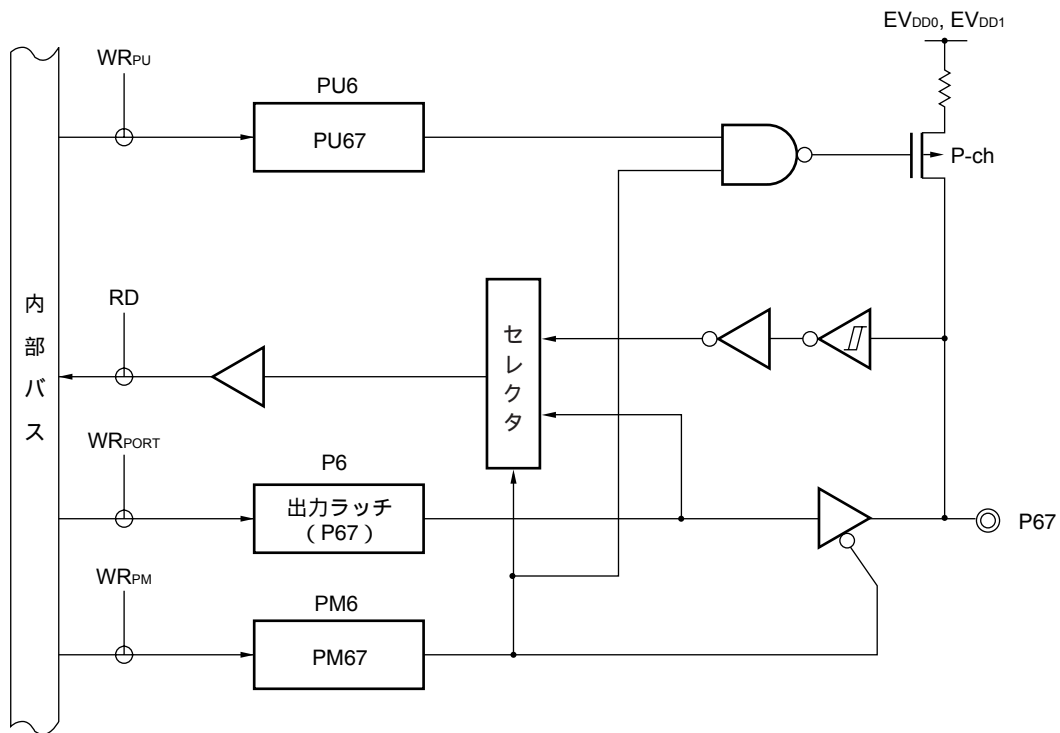
図4 - 32 P64-P66のブロック図



- P6 : ポート・レジスタ6
- PU6 : プルアップ抵抗オプション・レジスタ6
- PM6 : ポート・モード・レジスタ6
- RD : リード信号
- WR_{xx} : ライト信号

備考 78K0R/KF3-Cでは、 EV_{DD0} と EV_{DD1} を EV_{DD} に、 EV_{SS0} と EV_{SS1} を EV_{SS} に読み替えてください。

図4 - 33 P67のブロック図



- P6 : ポート・レジスタ6
 PU6 : プルアップ抵抗オプション・レジスタ6
 PM6 : ポート・モード・レジスタ6
 RD : リード信号
 WR_x : ライト信号

備考 78K0R/KF3-Cでは、EV_{DD0}とEV_{DD1}をEV_{DD}に、EV_{SS0}とEV_{SS1}をEV_{SS}に読み替えてください。

4.2.8 ポート7

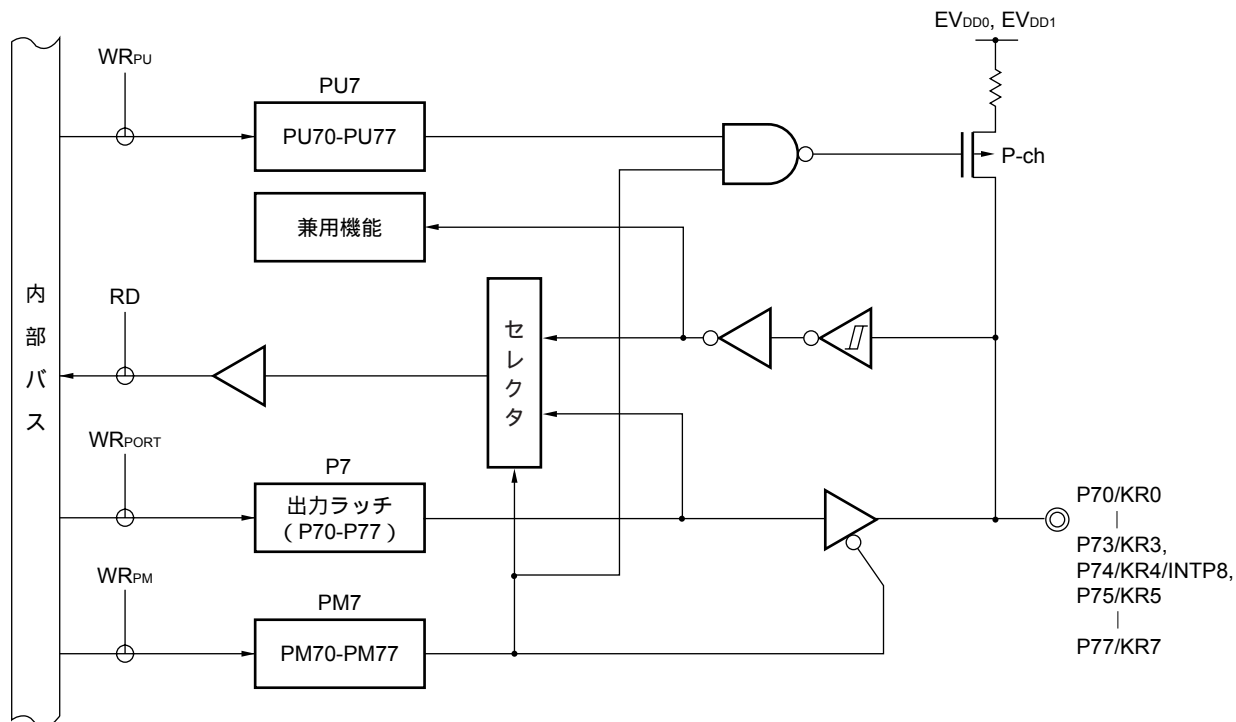
出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ7 (PM7) により1ビット単位で入力モード / 出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ7 (PU7) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてキー・リターン入力、割り込み要求入力があります。

リセット信号の発生により、入力モードになります。

図4 - 34にポート7のブロック図を示します。

図4 - 34 P70-P77のブロック図



- P7 : ポート・レジスタ7
- PU7 : プルアップ抵抗オプション・レジスタ7
- PM7 : ポート・モード・レジスタ7
- RD : リード信号
- WR_x : ライト信号

備考 78K0R/KF3-Cでは、EV_{DD0}とEV_{DD1}をEV_{DD}に、EV_{SS0}とEV_{SS1}をEV_{SS}に読み替えてください。

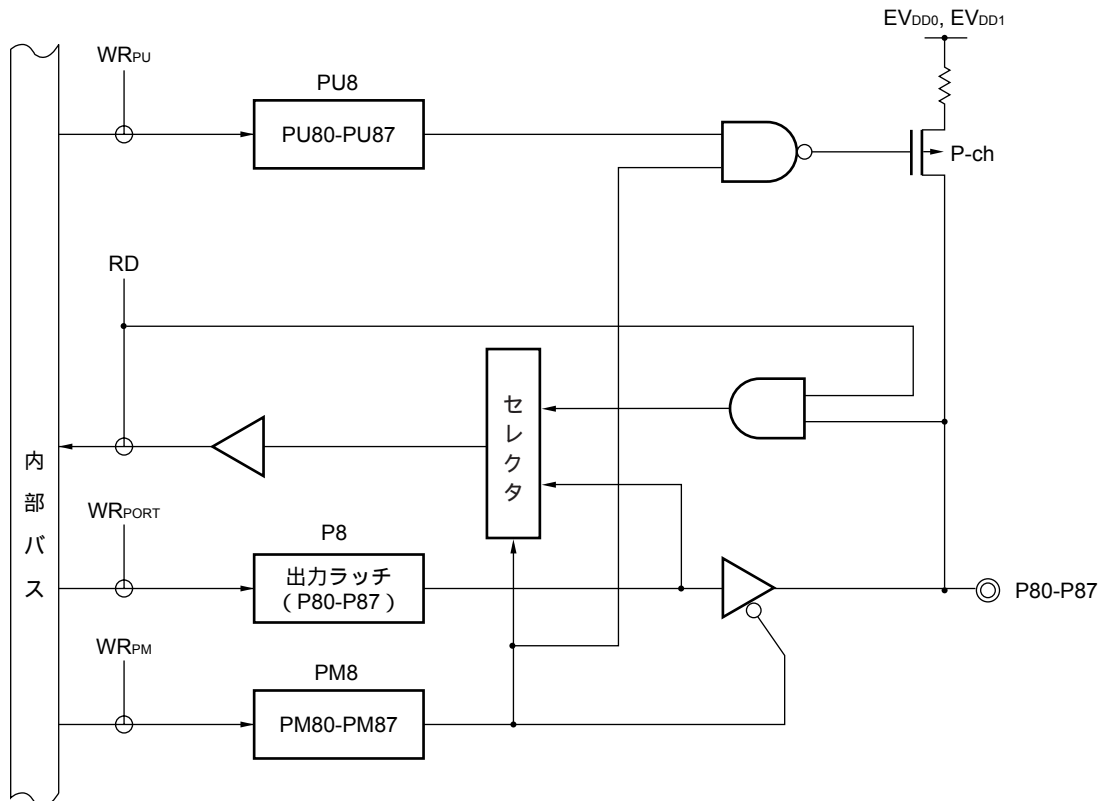
4.2.9 ポート8 (78K0R/KG3-Cのみ)

出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ8 (PM8) により1ビット単位で入力モード / 出力モードの指定ができます。P80-P87端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ8 (PU8) により1ビット単位で内蔵プルアップ抵抗を使用できます。

リセット信号の発生により、入力モードになります。

図4 - 35にポート8のブロック図を示します。

図4 - 35 P80-P87のブロック図



- P8 : ポート・レジスタ8
- PU8 : プルアップ抵抗オプション・レジスタ8
- PM8 : ポート・モード・レジスタ8
- RD : リード信号
- WR_x : ライト信号

4.2.10 ポート9

	78K0R/KF3-C (μ PD78F1846A, 78F1847A)	78K0R/KG3-C (μ PD78F1848A, 78F1849A)
P90		-
P91/ROUT		

P90, P91は出力ラッチ付き入出力ポートです。ポート・モード・レジスタ9 (PM9) により入力モード / 出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ9 (PU9) により内蔵プルアップ抵抗を使用できます。

また、兼用機能としてリモコン受信データ出力があります。

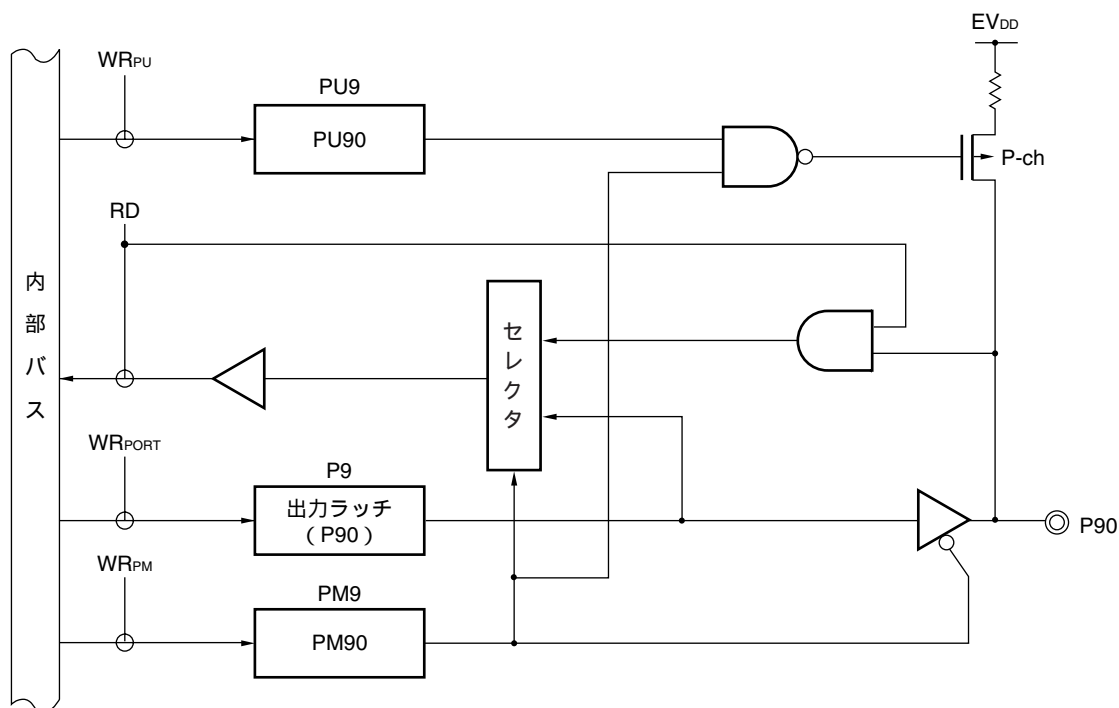
リモコン受信データ・スルー制御レジスタ (RMSW) により、RIN01, RIN23端子から入力されたリモコン受信データをノイズ除去 / デコードせずに出力することもできます (14.3(5) リモコン受信データ・スルー制御レジスタ (RMSW) 参照)。

P90, P91は、リセット信号の発生により、入力モードになります。

図4 - 36, 4 - 37にポート9のブロック図を示します。

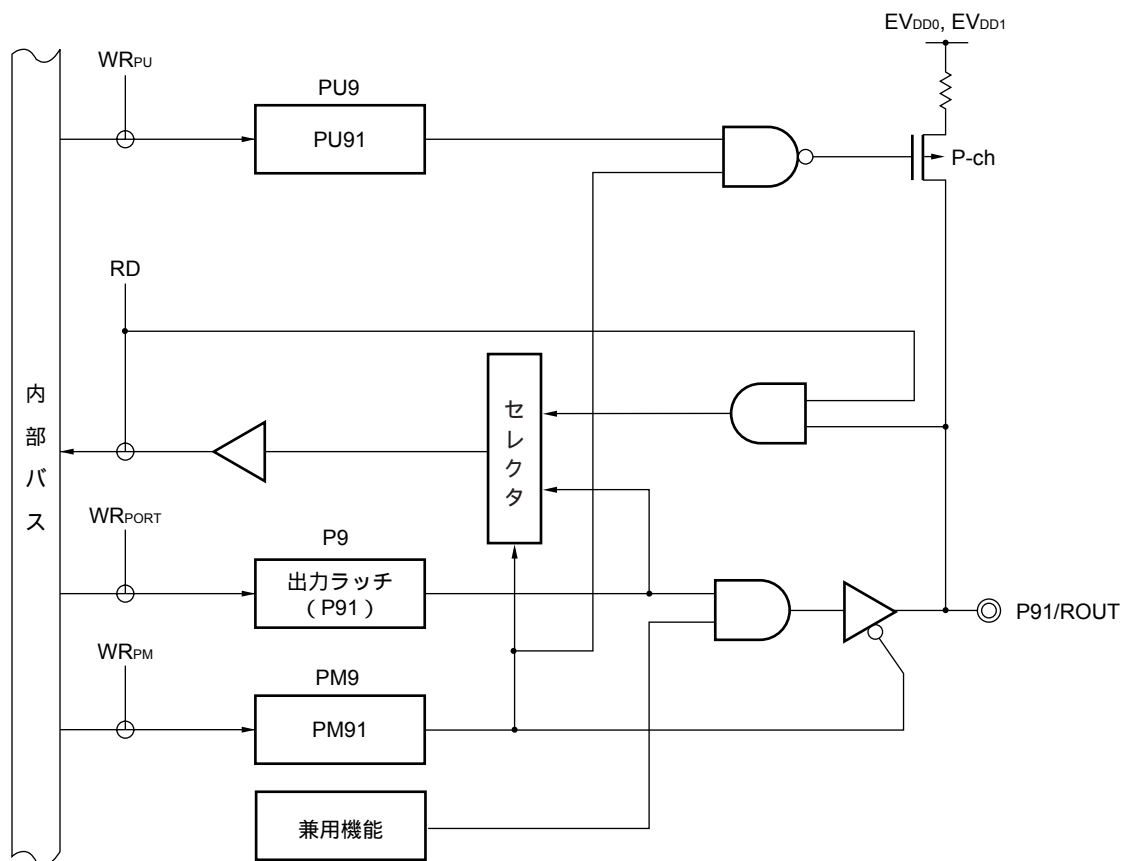
注意 P91/ROUTを汎用ポートとして使用する場合、リモコン受信データ・スルー制御レジスタ (RMSW) を初期状態と同じ設定 “00H” で使用してください。

図4 - 36 P90のブロック図



- P9 : ポート・レジスタ9
- PU9 : プルアップ抵抗オプション・レジスタ9
- PM9 : ポート・モード・レジスタ9
- RD : リード信号
- WR_x : ライト信号

図4 - 37 P91のブロック図



- P9 : ポート・レジスタ9
 PU9 : プルアップ抵抗オプション・レジスタ9
 PM9 : ポート・モード・レジスタ9
 RD : リード信号
 WR_{xx} : ライト信号

備考 78K0R/KF3-Cでは、 EV_{DD0} と EV_{DD1} を EV_{DD} に、 EV_{SS0} と EV_{SS1} を EV_{SS} に読み替えてください。

4.2.11 ポート11

出力ラッチ付き2ビットの入出力ポートです。ポート・モード・レジスタ11 (PM11) により1ビット単位で入力モード/出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ11 (PU11) により内蔵プルアップ抵抗を使用できます。

また、兼用機能としてCECのシリアル・データ入出力があります。

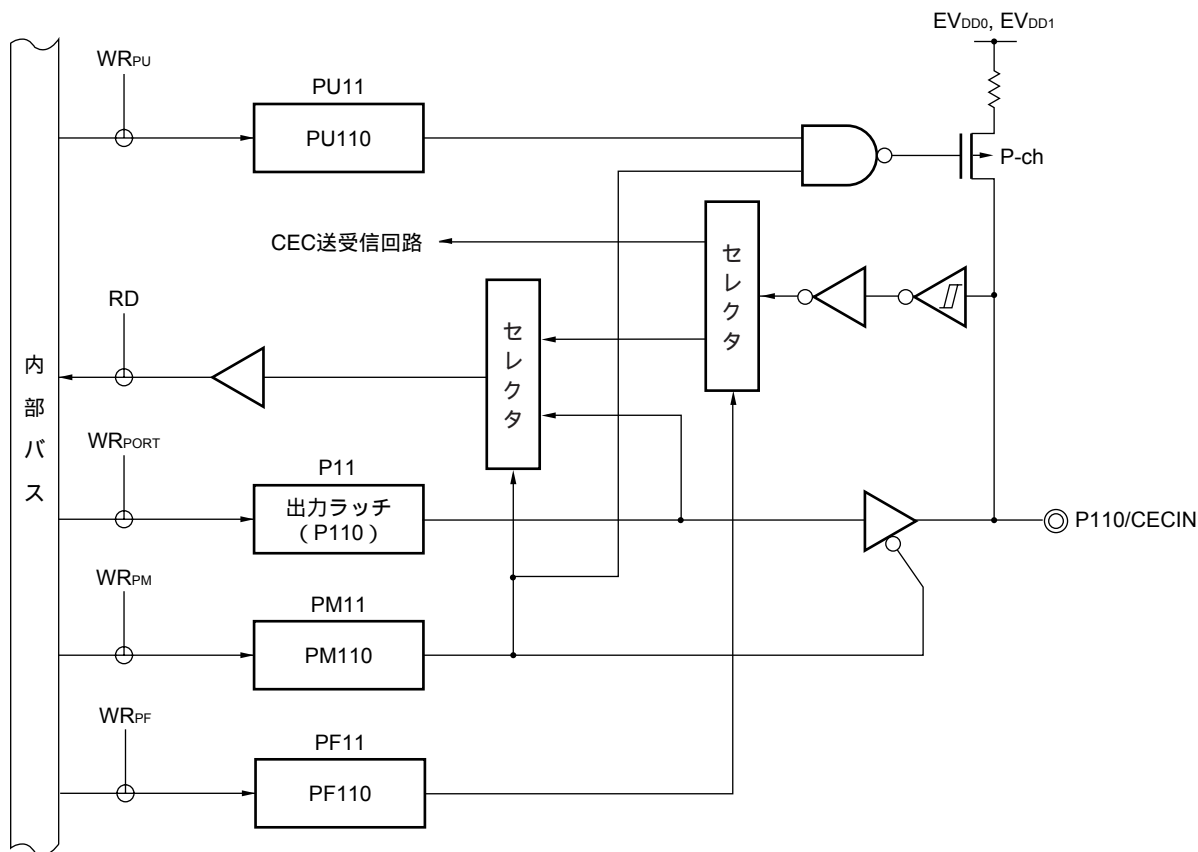
P110は、ポート・ファンクション・レジスタ11 (PF11) により、入出力ポート・モードまたはCECINモードのどちらかを選択できます (図4 - 60参照)。

P111は、ポート・ファンクション・レジスタ11 (PF11) により、入出力ポート・モードまたはCECOUTモードのどちらかを選択できます (図4 - 60参照)。

リセット信号の発生により、入力モードになります。

図4 - 38, 図4 - 39にポート11のブロック図を示します。

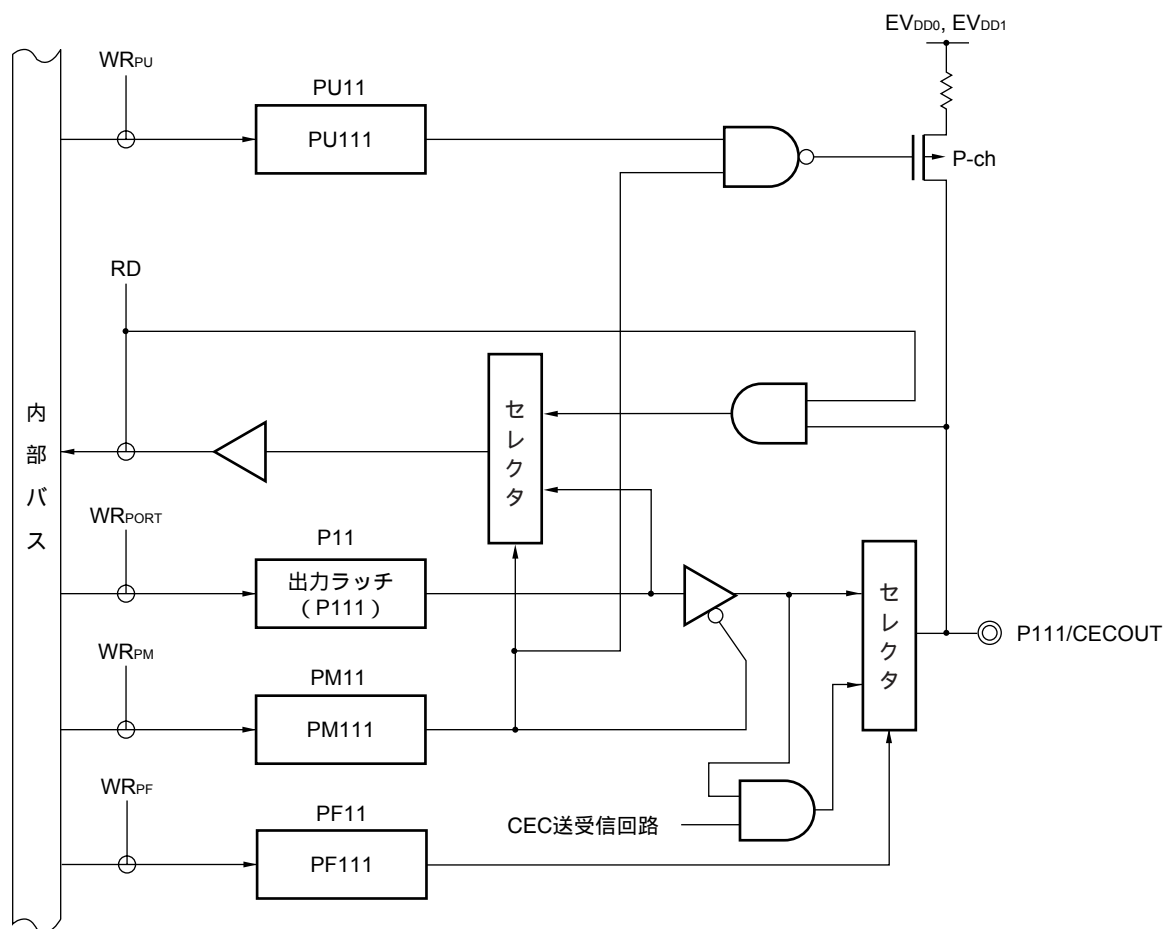
図4 - 38 P110のブロック図



- P11 : ポート・レジスタ11
- PU11 : プルアップ抵抗オプション・レジスタ11
- PM11 : ポート・モード・レジスタ11
- PF11 : ポート・ファンクション・レジスタ11
- RD : リード信号
- WR_x : ライト信号

備考 78K0R/KF3-Cでは、EV_{DD0}とEV_{DD1}をEV_{DD}に、EV_{SS0}とEV_{SS1}をEV_{SS}に読み替えてください。

図4-39 P111のブロック図



- P11 : ポート・レジスタ11
 PU11 : プルアップ抵抗オプション・レジスタ11
 PM11 : ポート・モード・レジスタ11
 PF11 : ポート・ファンクション・レジスタ11
 RD : リード信号
 WR_x : ライト信号

備考 78K0R/KF3-Cでは、EV_{DD0}とEV_{DD1}をEV_{DD}に、EV_{SS0}とEV_{SS1}をEV_{SS}に読み替えてください。

4.2.12 ポート12

P120は出力ラッチ付き1ビットの入出力ポートです。ポート・モード・レジスタ12 (PM12) により, 1ビット単位で入力モード/出力モードの指定ができます。入力ポートとして使用する場合, プルアップ抵抗オプション・レジスタ12 (PU12) により内蔵プルアップ抵抗を使用できます。

P121-P124は4ビットの入力ポートです。

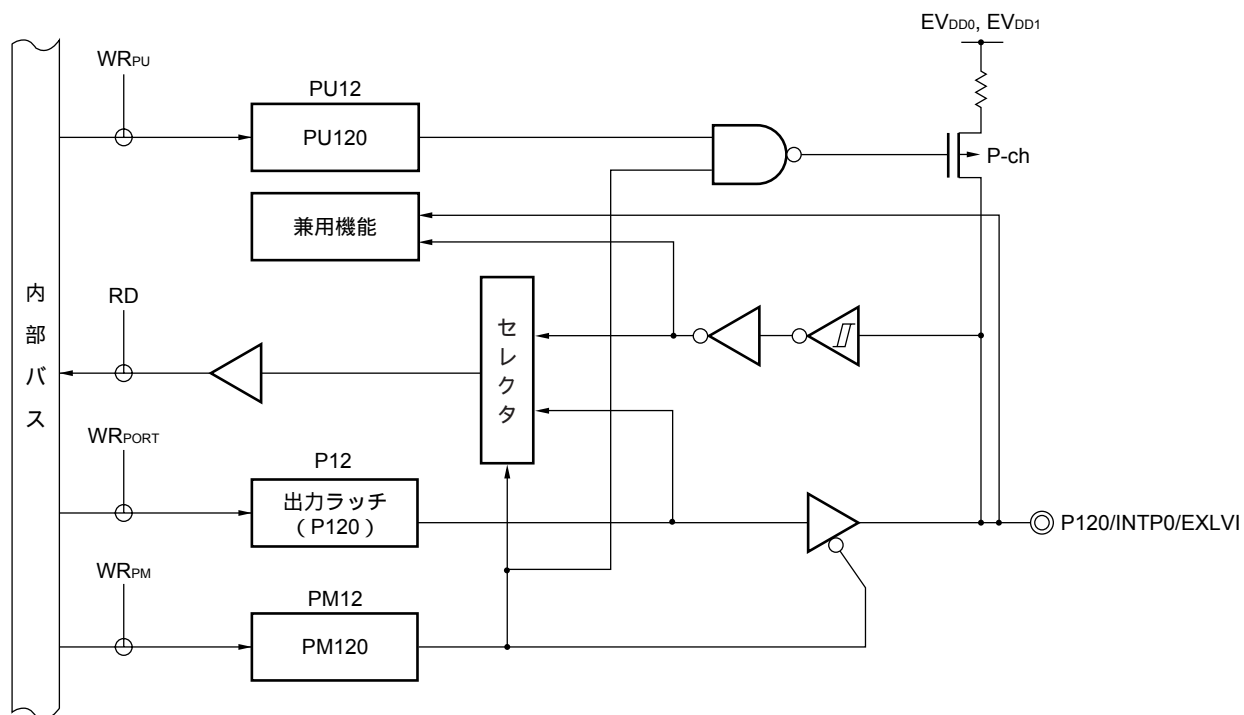
また兼用機能として外部割り込み要求入力, 外部低電圧検出用電位入力, メイン・システム・クロック用発振子接続, サブシステム・クロック用発振子接続, メイン・システム・クロック用外部クロック入力があります。

リセット信号の発生により, 入力モードになります。

図4 - 40 ~ 4 - 42 にポート12のブロック図を示します。

注意 P121-P124の機能設定は, リセット解除後1回のみ可能です。一度, 発振子/発振器接続用に設定したポートは, リセットしないかぎり入力ポートとして使用できません。

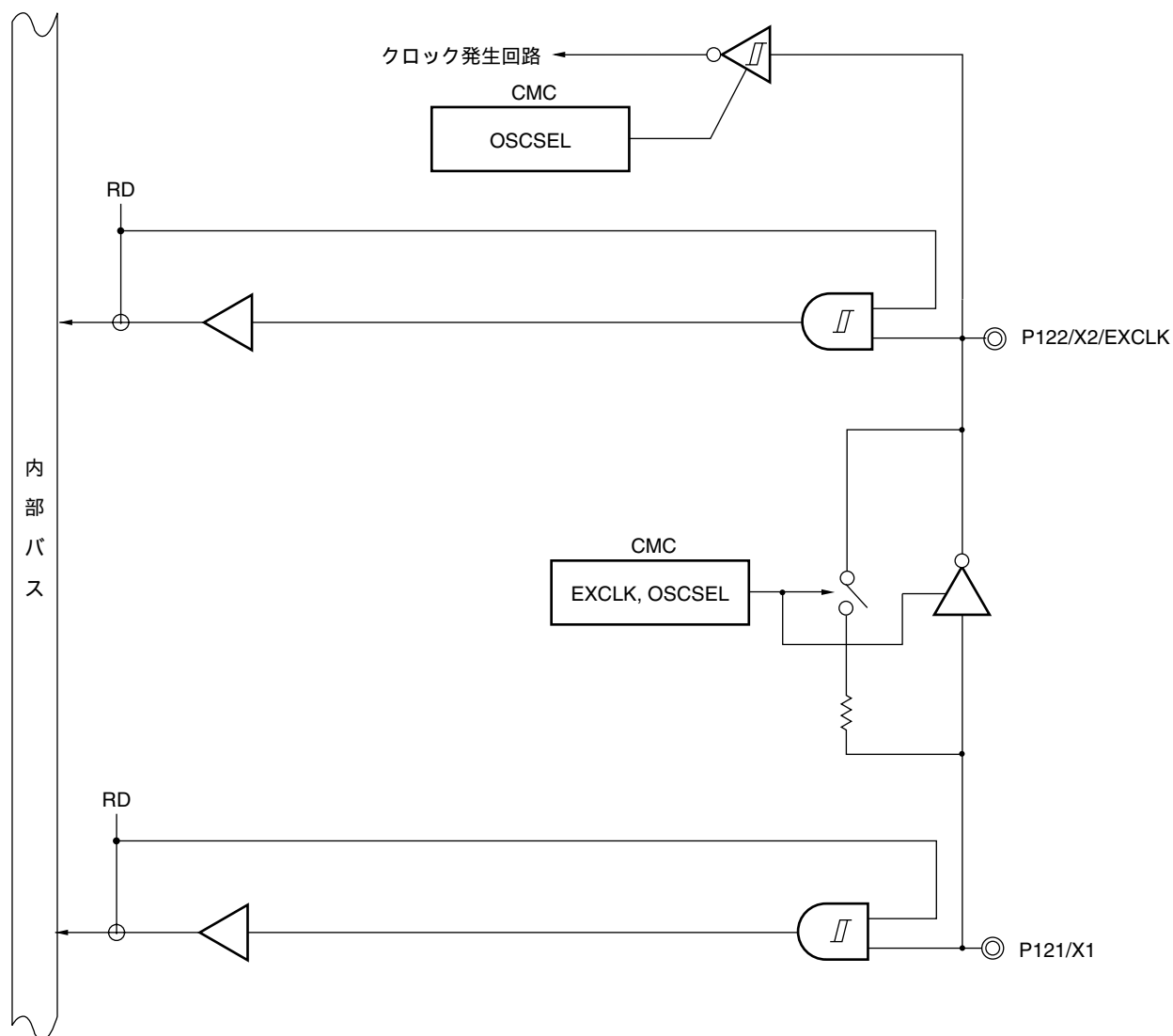
図4 - 40 P120のブロック図



- P12 : ポート・レジスタ12
- PU12 : プルアップ抵抗オプション・レジスタ12
- PM12 : ポート・モード・レジスタ12
- RD : リード信号
- WR_{xx} : ライト信号

備考 78K0R/KF3-Cでは、 EV_{DD0} と EV_{DD1} を EV_{DD} に、 EV_{SS0} と EV_{SS1} を EV_{SS} に読み替えてください。

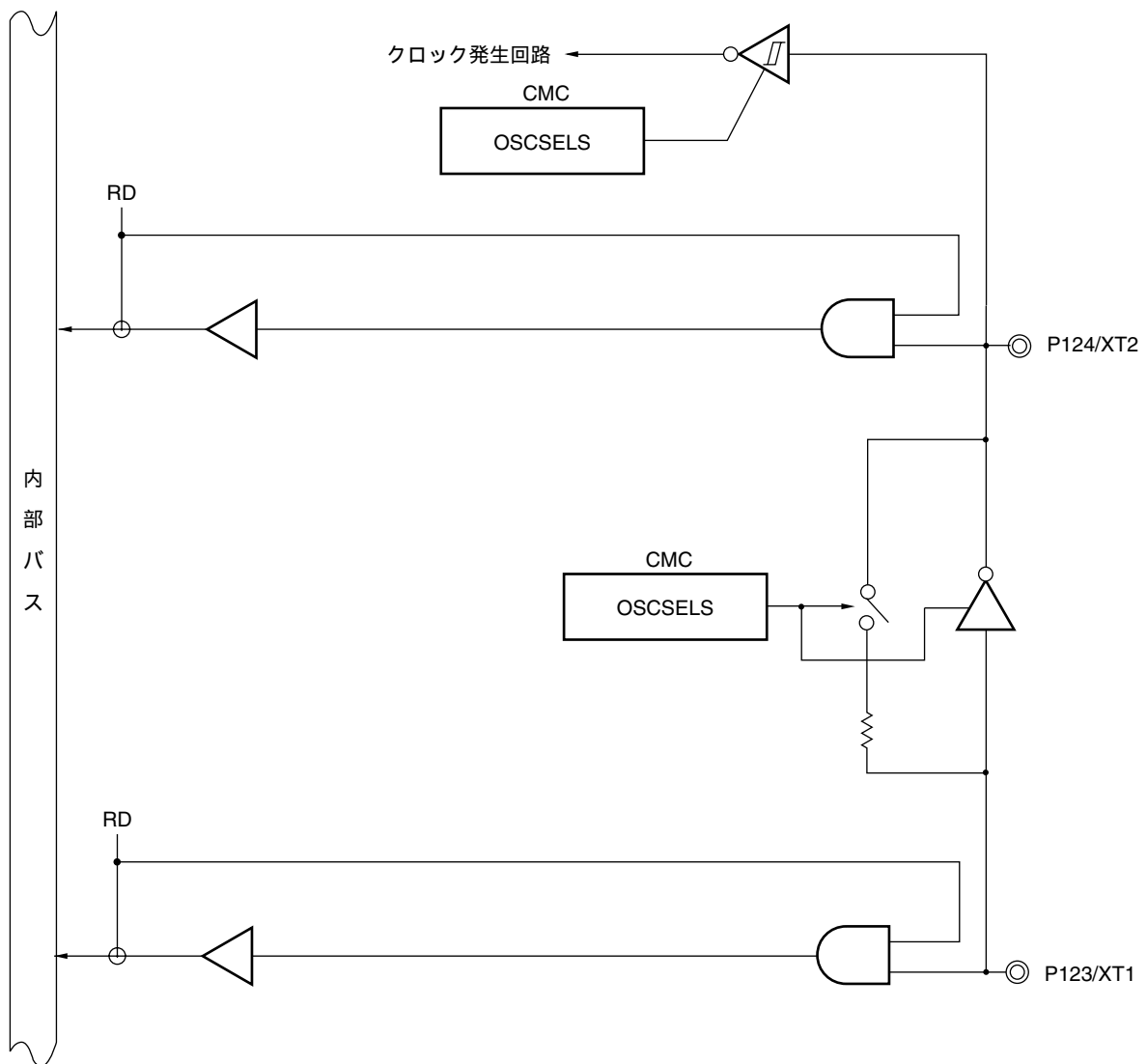
図4 - 41 P121, P122のブロック図



CMC : クロック動作モード制御レジスタ

RD : リード信号

図4 - 42 P123, P124のブロック図



CMC : クロック動作モード制御レジスタ
 RD : リード信号

4.2.13 ポート13

	78K0R/KF3-C (μ PD78F1846A, 78F1847A)	78K0R/KG3-C (μ PD78F1848A, 78F1849A)
P130		
P131/TI06/TO06	注	

注 78K0R/KF3-Cでは、TI06/TO06は次の端子と兼用しています。

P06/TI06/TO06

P130は出力ラッチ付き1ビットの出力専用ポートです。

P131は出力ラッチ付き1ビットの入出力ポートです。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ13 (PU13) により内蔵プルアップ抵抗を使用できます。

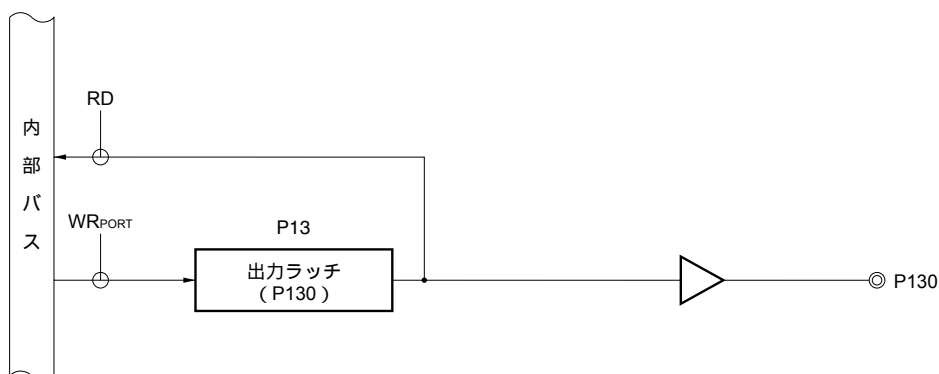
リセット信号の発生により、入力モードになります。

また兼用機能としてタイマの入出力があります。

図4 - 43, 4 - 44にポート13のブロック図を示します。

注意 P131/TI06/TO06を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0) のビット6 (TO06) とタイマ出力許可レジスタ0 (TOE0) のビット6 (TOE06) を初期状態と同じ設定“0”で使用してください。

図4 - 43 P130のブロック図



P13 : ポート・レジスタ13

RD : リード信号

WR_x : ライト信号

備考 P130端子をポート機能として使用する場合、リセットがかかるとP130はロウ・レベルを出力します。リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます。

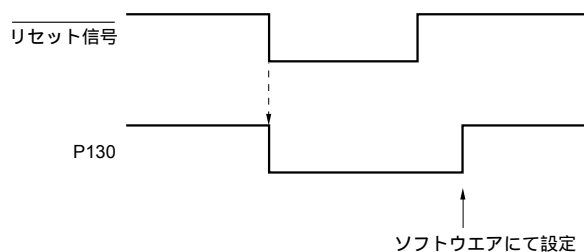
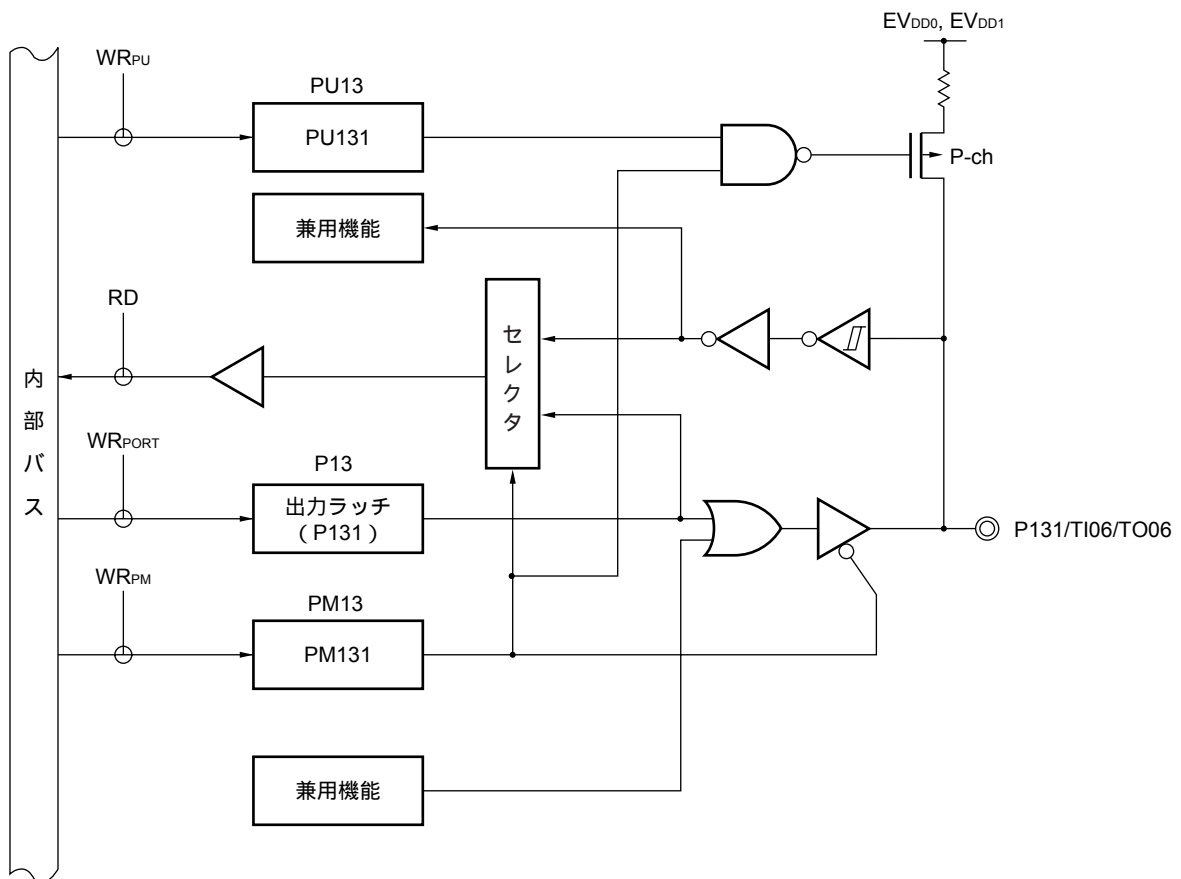


図4-44 P131のブロック図



- P13 : ポート・レジスタ13
 PU13 : プルアップ抵抗オプション・レジスタ13
 PM13 : ポート・モード・レジスタ13
 RD : リード信号
 WR_{xx} : ライト信号

4.2.14 ポート14

	78K0R/KF3-C (μ PD78F1846A, 78F1847A)	78K0R/KG3-C (μ PD78F1848A, 78F1849A)
P140/PCLBUZ0		
P141/PCLBUZ1/INTP7	注	
P142/SCK20/SCL20		
P143/SI20/RxD2/SDA20		
P144/SO20/TxD2		
P145/TI07/TO07	注	

注 78K0R/KF3-Cでは、PCLBUZ1/INTP7、TI07/TO07はそれぞれ次の端子と兼用しています。

P55/PCLBUZ1/INTP7、P54/TI07/TO07

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ14 (PM14) により1ビット単位で入力モード / 出力モードの指定ができます。P140-P145端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ14 (PU14) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P142、P143端子の入力は、ポート入力モード・レジスタ14 (PIM14) の設定により1ビット単位で通常入力バッファ / TTL入力バッファの指定ができます。

P142-P144端子の出力は、ポート出力モード・レジスタ14 (POM14) により1ビット単位でN-chオープン・ドレイン出力 (V_{DD} 耐圧) に設定可能です。

また、兼用機能としてタイマの入出力、外部割り込み要求入力、クロック / ブザー出力、シリアル・インタフェースのデータ入出力、クロック入出力があります。

リセット信号の発生により、入力モードになります。

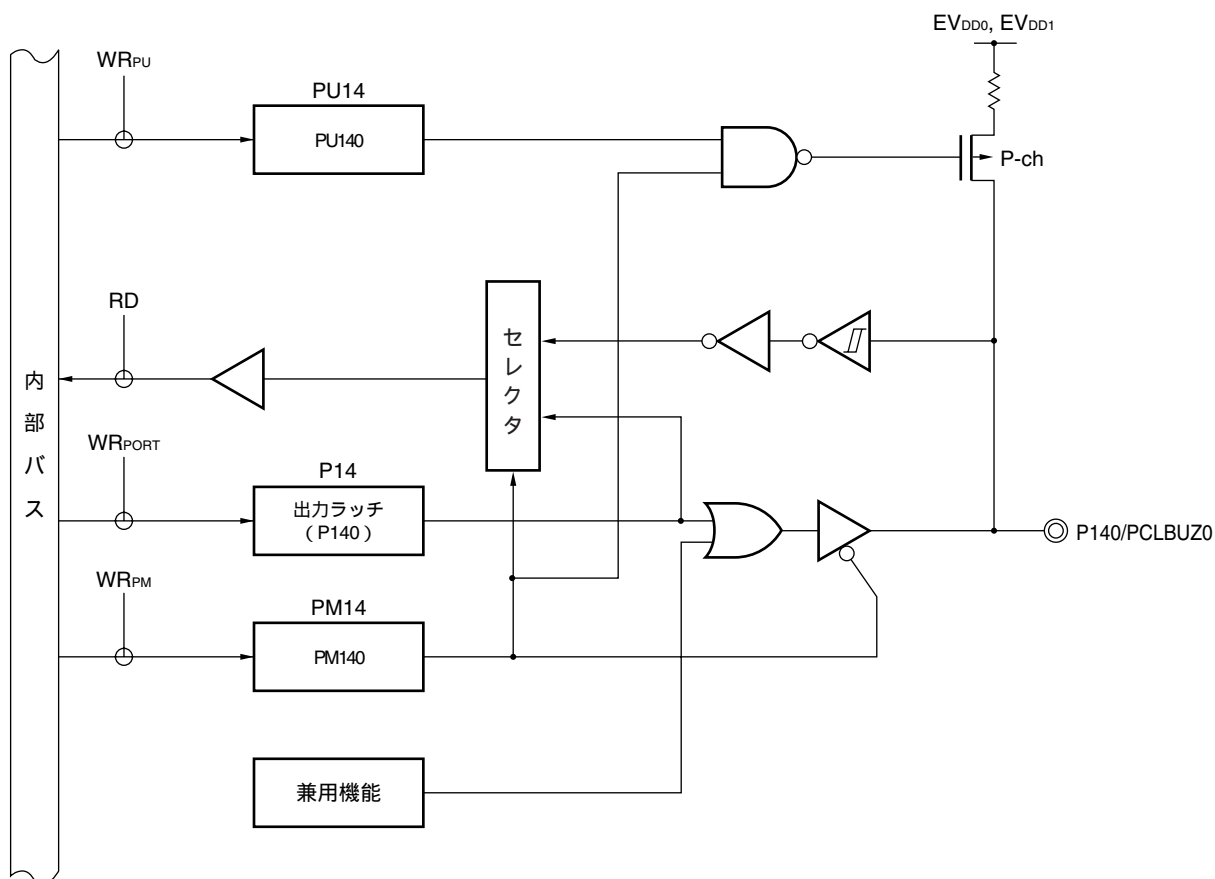
図4 - 45 ~ 4 - 48にポート14のブロック図を示します。

注意1. P142/SCK20/SCL20、P143/SI20/RxD2/SDA20、P144/SO20/TxD2を汎用ポートとして使用する場合、シリアル・アレイ・ユニット1の設定に注意してください。詳細は、次の表を参照してください。

- ・表11 - 9 レジスタの設定と端子の関係 (ユニット1のチャンネル0 : CSI20, UART2送信, IIC20)
- ・表11 - 10 レジスタの設定と端子の関係 (ユニット1のチャンネル1 : UART2受信)

2. P145/TI07/TO07を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0) のビット7 (TO07) とタイマ出力許可レジスタ0 (TOE0) のビット7 (TOE07) を初期状態と同じ設定 "0" で使用してください。
3. P140/PCLBUZ0、P141/PCLBUZ1/INTP7を汎用ポートとして使用する場合、クロック出力選択レジスタ0、1 (CKS0、CKS1) のビット7を初期状態と同じ設定 "0" で使用してください。

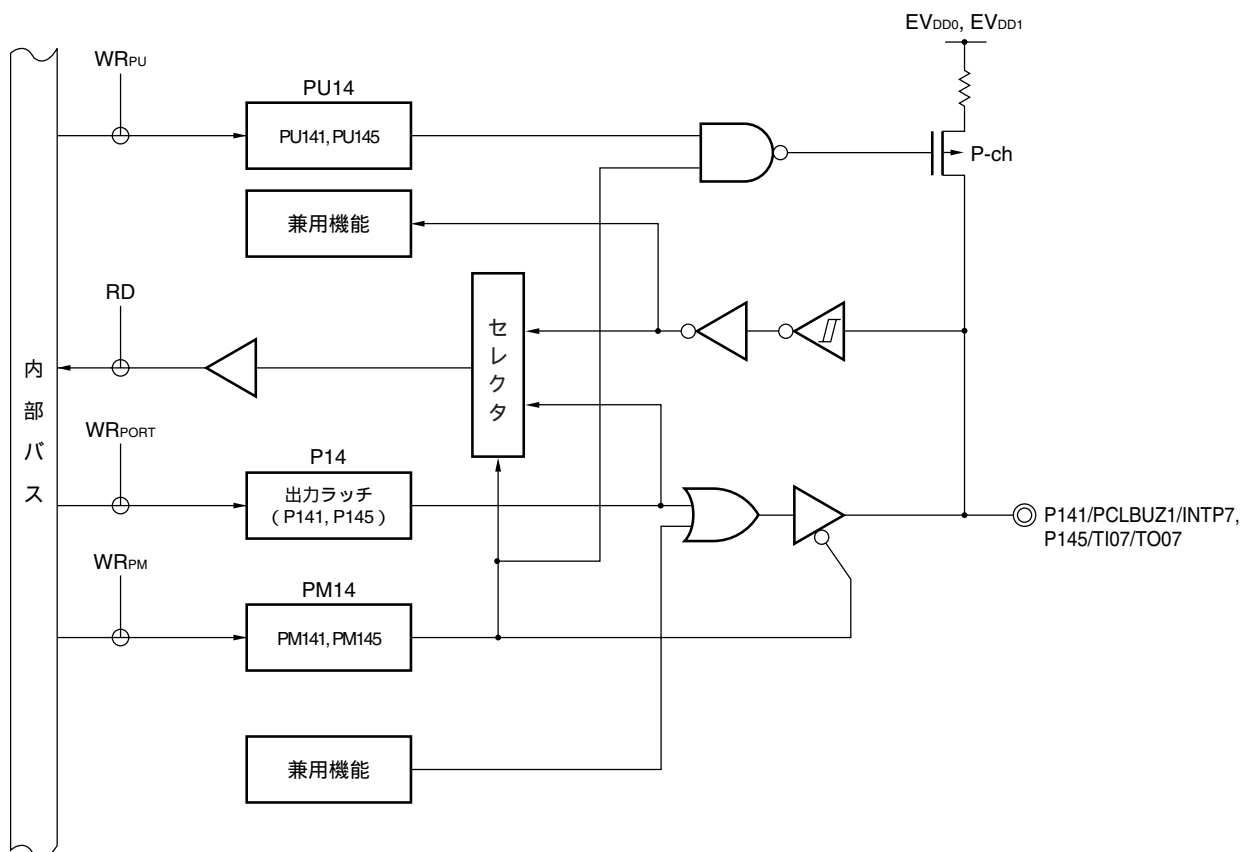
図4 - 45 P140のブロック図



- P14 : ポート・レジスタ14
- PU14 : プルアップ抵抗オプション・レジスタ14
- PM14 : ポート・モード・レジスタ14
- RD : リード信号
- WR_{xx} : ライト信号

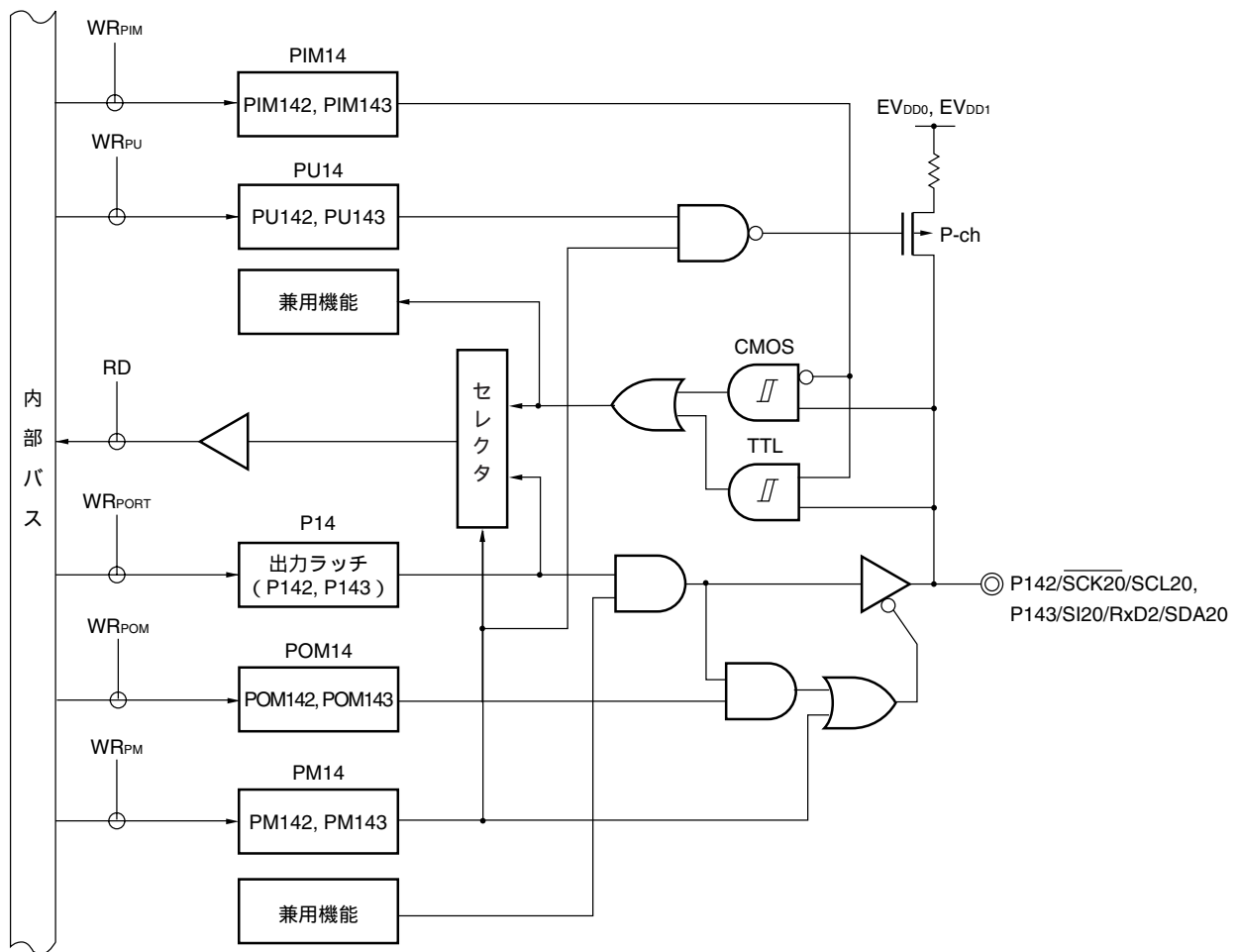
備考 78K0R/KF3-Cでは、 EV_{DD0} と EV_{DD1} を EV_{DD} に、 EV_{SS0} と EV_{SS1} を EV_{SS} に読み替えてください。

図4-46 P141, P145のブロック図



- P14 : ポート・レジスタ14
 PU14 : プルアップ抵抗オプション・レジスタ14
 PM14 : ポート・モード・レジスタ14
 RD : リード信号
 WR_{xx} : ライト信号

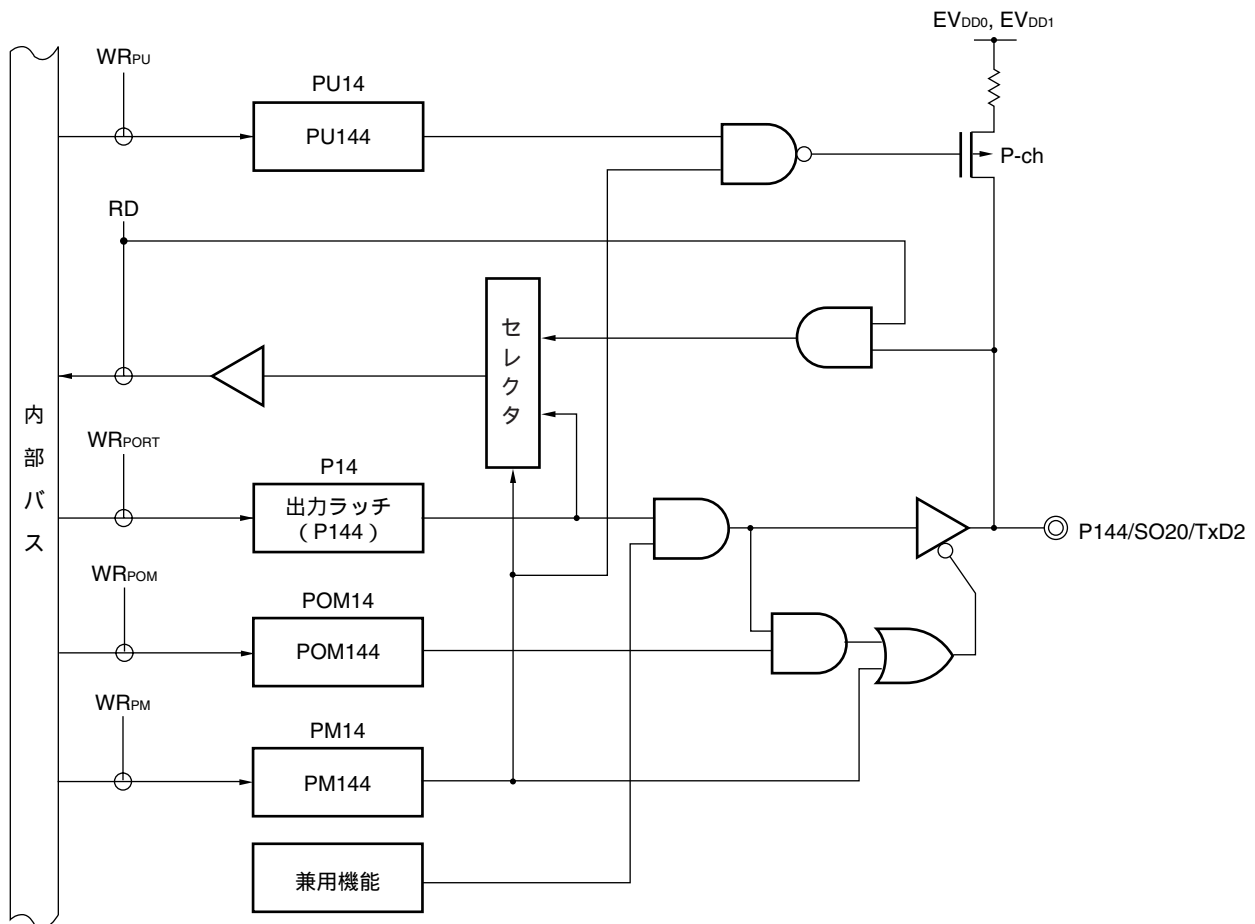
図4 - 47 P142, P143のブロック図



- P14 : ポート・レジスタ14
- PU14 : プルアップ抵抗オプション・レジスタ14
- PM14 : ポート・モード・レジスタ14
- PIM14 : ポート入力モード・レジスタ14
- POM14 : ポート出力モード・レジスタ14
- RD : リード信号
- WR_x : ライト信号

備考 78K0R/KF3-Cでは、EV_{DD0}とEV_{DD1}をEV_{DD}に、EV_{SS0}とEV_{SS1}をEV_{SS}に読み替えてください。

図4 - 48 P144のブロック図



- P14 : ポート・レジスタ14
- PU14 : プルアップ抵抗オプション・レジスタ14
- PM14 : ポート・モード・レジスタ14
- POM14 : ポート出力モード・レジスタ14
- RD : リード信号
- WR_{xx} : ライト信号

備考 78K0R/KF3-Cでは、 EV_{DD0} と EV_{DD1} を EV_{DD} に、 EV_{SS0} と EV_{SS1} を EV_{SS} に読み替えてください。

4.2.15 ポート15

	78K0R/KF3-C (μ PD78F1846A, 78F1847A)	78K0R/KG3-C (μ PD78F1848A, 78F1849A)
P150/ANI8		
P151/ANI9		
P152/ANI10		
P153/ANI11		
P154/ANI12	-	
P155/ANI13	-	
P156/ANI14	-	
P157/ANI15	-	

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ15 (PM15) により1ビット単位で入力モード / 出力モードの指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力があります。

P150/ANI8-P157/ANI15をデジタル入力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) でデジタル入出力に、かつPM15で入力モードに設定して、下位ビットから使用してください。

P150/ANI8-P157/ANI15をデジタル出力として使用する場合は、ADPCでデジタル入出力に、かつPM15で出力モードに設定してください。

表4 - 6 P150/ANI8-P157/ANI15端子機能の設定

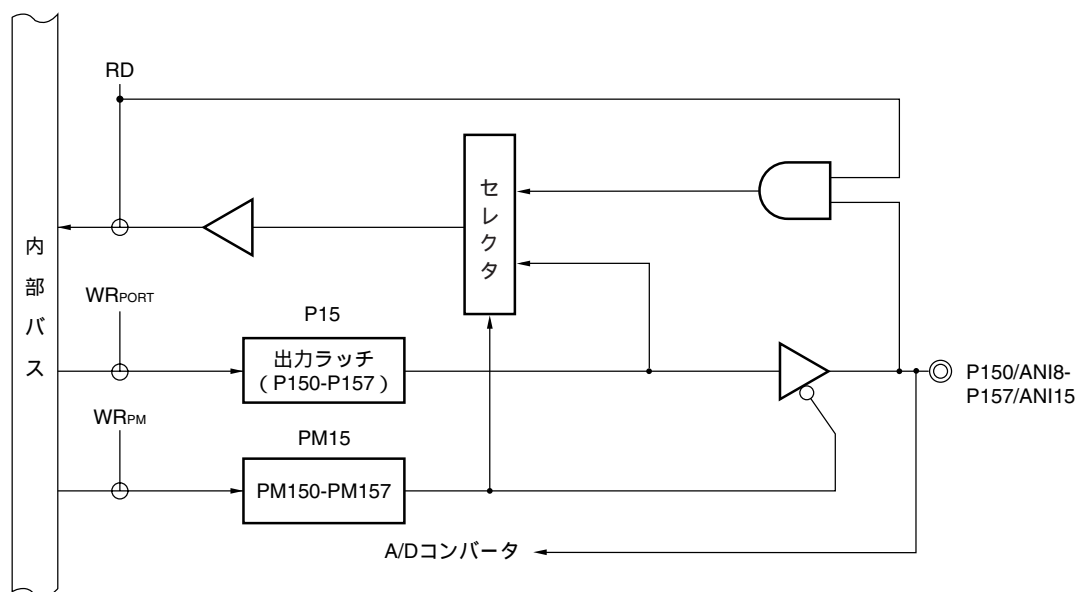
ADPC	PM15	ADS	P150/ANI8-P157/ANI15端子
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力 (変換対象)
		ANI非選択	アナログ入力 (非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

リセット信号の発生により、P150/ANI8-P157/ANI15はすべてデジタル入力になります。

図4 - 49にポート15のブロック図を示します。

注意 ポート15をデジタル入出力として使用する場合はAV_{REF}端子への印加電圧については、2.2.16 AV_{REF}を参照してください。

図4 - 49 P150-P157のブロック図



- P15 : ポート・レジスタ15
 PM15 : ポート・モード・レジスタ15
 RD : リード信号
 WR_{xx} : ライト信号

4.3 ポート機能を制御するレジスタ

ポートは、次の8種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PMxx)
- ・ポート・レジスタ (Pxx)
- ・プルアップ抵抗オプション・レジスタ (PUxx)
- ・ポート・ファンクション・レジスタ6 (PF6)
- ・ポート・ファンクション・レジスタ11 (PF11)
- ・ポート入力モード・レジスタ (PIM0, PIM1, PIM6, PIM14)
- ・ポート出力モード・レジスタ (POM0, POM1, POM14)
- ・A/Dポート・コンフィギュレーション・レジスタ (ADPC)

(1) ポート・モード・レジスタ (PMxx)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生によりFFH (PM13はFEH) になります。

ポート端子を兼用機能の端子として使用する場合、4.5 兼用端子使用時のPF11, PF6, **ポート・モード・レジスタ**, **出力ラッチの設定**を参照し、設定してください。

図4 - 50 ポート・モード・レジスタのフォーマット (78K0R/KF3-C)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	PM06	PM05	PM04	PM03	PM02	1	1	FFF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM3	1	1	1	1	1	1	PM31	PM30	FFF23H	FFH	R/W
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40	FFF24H	FFH	R/W
PM5	1	1	PM55	PM54	PM53	PM52	PM51	PM50	FFF25H	FFH	R/W
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60	FFF26H	FFH	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W
PM9	1	1	1	1	1	1	PM91	PM90	FFF29H	FFH	R/W
PM11	1	1	1	1	1	1	PM111	PM110	FFF2BH	FFH	R/W
PM12	1	1	1	1	1	1	1	PM120	FFF2CH	FFH	R/W
PM14	1	1	1	PM144	PM143	PM142	1	PM140	FFF2EH	FFH	R/W
PM15	1	1	1	1	PM153	PM152	PM151	PM150	FFF2FH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0-7, 9, 11, 12, 14, 15; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注意 PM0のビット0, 1, 7, PM3のビット2-7, PM5のビット6, 7, PM9のビット2-7, PM11のビット2-7, PM12のビット1-7, PM14のビット1, 5-7, PM15のビット4-7には必ず1を設定してください。

図4-51 ポート・モード・レジスタのフォーマット (78K0R/KG3-C)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FFF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM3	1	1	1	1	1	1	PM31	PM30	FFF23H	FFH	R/W
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40	FFF24H	FFH	R/W
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	FFF25H	FFH	R/W
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60	FFF26H	FFH	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W
PM8	PM87	PM86	PM85	PM84	PM83	PM82	PM81	PM80	FFF28H	FFH	R/W
PM9	1	1	1	1	1	1	PM91	1	FFF29H	FFH	R/W
PM11	1	1	1	1	1	1	PM111	PM110	FFF2BH	FFH	R/W
PM12	1	1	1	1	1	1	1	PM120	FFF2CH	FFH	R/W
PM13	1	1	1	1	1	1	PM131	0	FFF2DH	FEH	R/W
PM14	1	1	PM145	PM144	PM143	PM142	PM141	PM140	FFF2EH	FFH	R/W
PM15	PM157	PM156	PM155	PM154	PM153	PM152	PM151	PM150	FFF2FH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0-9, 11-15 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注意 PM0のビット7, PM3のビット2-7, PM9のビット0, 2-7, PM11のビット2-7, PM12のビット1-7, PM13のビット2-7, PM14のビット6, 7には必ず1を設定してください。また, PM13のビット0には必ず0を設定してください。

(2) ポート・レジスタ (Pxx)

ポートの出力ラッチの値を設定するレジスタです。

リードする場合、入力モード時は端子レベルが、出力モード時はポートの出力ラッチの値が読み出されます^注。

ポート・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により、00Hになります。

注 P2, P15をA/Dコンバータのアナログ入力機能として設定した場合に、ポートを入力モード時にリードすると、端子レベルではなく常に0が読み出されます。

図4 - 52 ポート・レジスタのフォーマット (78K0R/KF3-C)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	P06	P05	P04	P03	P02	0	0	FFF00H	00H (出力ラッチ)	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FFF01H	00H (出力ラッチ)	R/W
P2	P27	P26	P25	P24	P23	P22	P21	P20	FFF02H	00H (出力ラッチ)	R/W
P3	0	0	0	0	0	0	P31	P30	FFF03H	00H (出力ラッチ)	R/W
P4	P47	P46	P45	P44	P43	P42	P41	P40	FFF04H	00H (出力ラッチ)	R/W
P5	0	0	P55	P54	P53	P52	P51	P50	FFF05H	00H (出力ラッチ)	R/W
P6	P67	P66	P65	P64	P63	P62	P61	P60	FFF06H	00H (出力ラッチ)	R/W
P7	P77	P76	P75	P74	P73	P72	P71	P70	FFF07H	00H (出力ラッチ)	R/W
P9	0	0	0	0	0	0	P91	P90	FFF09H	00H (出力ラッチ)	R/W
P11	0	0	0	0	0	0	P111	P110	FFF0BH	00H (出力ラッチ)	R/W
P12	0	0	0	P124	P123	P122	P121	P120	FFF0CH	不定	R/W ^注
P13	0	0	0	0	0	0	0	P130	FFF0DH	00H (出力ラッチ)	R/W
P14	0	0	0	P144	P143	P142	0	P140	FFF0EH	00H (出力ラッチ)	R/W
P15	0	0	0	0	P153	P152	P151	P150	FFF0FH	00H (出力ラッチ)	R/W

Pmn	m = 0-7, 9, 11-15 ; n = 0-7	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注 P121-P124はRead Onlyです。

図4-53 ポート・レジスタのフォーマット (78K0R/KG3-C)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	P06	P05	P04	P03	P02	P01	P00	FFF00H	00H (出力ラッチ)	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FFF01H	00H (出力ラッチ)	R/W
P2	P27	P26	P25	P24	P23	P22	P21	P20	FFF02H	00H (出力ラッチ)	R/W
P3	0	0	0	0	0	0	P31	P30	FFF03H	00H (出力ラッチ)	R/W
P4	P47	P46	P45	P44	P43	P42	P41	P40	FFF04H	00H (出力ラッチ)	R/W
P5	P57	P56	P55	P54	P53	P52	P51	P50	FFF05H	00H (出力ラッチ)	R/W
P6	P67	P66	P65	P64	P63	P62	P61	P60	FFF06H	00H (出力ラッチ)	R/W
P7	P77	P76	P75	P74	P73	P72	P71	P70	FFF07H	00H (出力ラッチ)	R/W
P8	P87	P86	P85	P84	P83	P82	P81	P80	FFF08H	00H (出力ラッチ)	R/W
P9	0	0	0	0	0	0	P91	0	FFF09H	00H (出力ラッチ)	R/W
P11	0	0	0	0	0	0	P111	P110	FFF0BH	00H (出力ラッチ)	R/W
P12	0	0	0	P124	P123	P122	P121	P120	FFF0CH	不定	R/W ^注
P13	0	0	0	0	0	0	P131	P130	FFF0DH	00H (出力ラッチ)	R/W
P14	0	0	P145	P144	P143	P142	P141	P140	FFF0EH	00H (出力ラッチ)	R/W
P15	P157	P156	P155	P154	P153	P152	P151	P150	FFF0FH	00H (出力ラッチ)	R/W

Pmn	m = 0-9, 11-15 ; n = 0-7	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注 P121-P124はRead Onlyです。

(3) プルアップ抵抗オプション・レジスタ (PUxx)

内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。内蔵プルアップ抵抗の使用を指定した端子で、入力モードに設定したビットにのみ、ビット単位で内部プルアップ抵抗が使用できます。出力モードに設定したビットは、プルアップ抵抗オプション・レジスタの設定にかかわらず、内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用するときも同様です。

プルアップ抵抗オプション・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4 - 54 プルアップ抵抗オプション・レジスタのフォーマット (78K0R/KF3-C)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	PU06	PU05	PU04	PU03	PU02	0	0	F0030H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	F0031H	00H	R/W
PU3	0	0	0	0	0	0	PU31	PU30	F0033H	00H	R/W
PU4	PU47	PU46	PU45	PU44	PU43	PU42	PU41	PU40	F0034H	00H	R/W
PU5	0	0	PU55	PU54	PU53	PU52	PU51	PU50	F0035H	00H	R/W
PU6	PU67	PU66	PU65	PU64	0	PU62	0	0	F0036H	00H	R/W
PU7	PU77	PU76	PU75	PU74	PU73	PU72	PU71	PU70	F0037H	00H	R/W
PU9	0	0	0	0	0	0	PU91	PU90	F0039H	00H	R/W
PU11	0	0	0	0	0	0	PU111	PU110	F003BH	00H	R/W
PU12	0	0	0	0	0	0	0	PU120	F003CH	00H	R/W
PU14	0	0	0	PU144	PU143	PU142	0	PU140	F003EH	00H	R/W

PUmn	Pmnの内蔵プルアップ抵抗の選択 (m = 0, 1, 3-7, 9, 11, 12, 14 ; n = 0-7)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

図4 - 55 PF6レジスタとPU6レジスタの関係

PF62	PU62	ダイオード接続の使用可否
0	0	プルアップ抵抗とダイオードを接続しない
0	1	
1	0	
1	1	プルアップ抵抗とダイオードを接続

注意 CECIO端子とCECIN/CECOUT端子の同時使用は禁止です。

PF62 = 1のとき, PF110, PF111に1を設定しないでください。

PF110 = 1, PF111 = 1のとき, PF62に1を設定しないでください。

図4 - 56 ブルアップ抵抗オプション・レジスタのフォーマット (78K0R/KG3-C)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	PU06	PU05	PU04	PU03	PU02	PU01	PU00	F0030H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	F0031H	00H	R/W
PU3	0	0	0	0	0	0	PU31	PU30	F0033H	00H	R/W
PU4	PU47	PU46	PU45	PU44	PU43	PU42	PU41	PU40	F0034H	00H	R/W
PU5	PU57	PU56	PU55	PU54	PU53	PU52	PU51	PU50	F0035H	00H	R/W
PU6	PU67	PU66	PU65	PU64	0	PU62	0	0	F0036H	00H	R/W
PU7	PU77	PU76	PU75	PU74	PU73	PU72	PU71	PU70	F0037H	00H	R/W
PU8	PU87	PU86	PU85	PU84	PU83	PU82	PU81	PU80	F0038H	00H	R/W
PU9	0	0	0	0	0	0	PU91	0	F0039H	00H	R/W
PU11	0	0	0	0	0	0	PU111	PU110	F003BH	00H	R/W
PU12	0	0	0	0	0	0	0	PU120	F003CH	00H	R/W
PU13	0	0	0	0	0	0	PU131	0	F003DH	00H	R/W
PU14	0	0	PU145	PU144	PU143	PU142	PU141	PU140	F003EH	00H	R/W

PUmn	Pmnの内蔵ブルアップ抵抗の選択 (m = 0, 1, 3-9, 11-14 ; n = 0-7)
0	内蔵ブルアップ抵抗を接続しない
1	内蔵ブルアップ抵抗を接続する

図4 - 57 PF6レジスタとPU6レジスタの関係

PF62	PU62	ダイオード接続の使用可否
0	0	ブルアップ抵抗とダイオードを接続しない
0	1	
1	0	
1	1	ブルアップ抵抗とダイオードを接続

注意 GECIO端子とCECIN/CECOUT端子の同時使用は禁止です。

PF62 = 1のとき, PF110, PF111に1を設定しないでください。

PF110 = 1, PF111 = 1のとき, PF62に1を設定しないでください。

(4) ポート・ファンクション・レジスタ6 (PF6)

ポート6のP62/CECIO端子を入出力ポート・モード / CECIOモードのどちらで使用するかを設定するレジスタです。

PF6レジスタとポート入力モード・レジスタ6 (PIM6) の設定により、通常入力バッファまたはCEC入力バッファに指定できます。

PF6レジスタとプルアップ抵抗オプション・レジスタ6 (PU6) の設定により、ダイオード接続を使用するかを設定できます。

図4 - 58 ポート・ファンクション・レジスタ6 (PF6) のフォーマット

アドレス : F0076H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PF6	0	0	0	0	0	PF62	0	0

PF62	P62端子の動作モード選択
0	入出力ポート・モード
1	CECIOモード

図4 - 59 PF6レジスタとPIM6レジスタ, PU6レジスタの関係

PF62	PIM62	入力バッファの選択
0	0	通常入力バッファ
0	1	
1	0	
1	1	CEC入力バッファ

PF62	PU62	ダイオード接続の使用可否
0	0	プルアップ抵抗とダイオードを接続しない
0	1	
1	0	
1	1	プルアップ抵抗とダイオードを接続

注意 CECIO端子とCECIN/CECOUT端子の同時使用は禁止です。

PF62 = 1のとき, PF110, PF111に1を設定しないでください。

PF110 = 1, PF111 = 1のとき, PF62に1を設定しないでください。

(5) ポート・ファンクション・レジスタ11 (PF11)

ポート11のP110/CECIN端子を入出力ポート・モード / CECINモードのどちらで使用するかを設定するレジスタです。

ポート11のP111/CECOUT端子を入出力ポート・モード / CECOUTモードのどちらで使用するかを設定するレジスタです。

図4 - 60 ポート・ファンクション・レジスタ11 (PF11) のフォーマット

アドレス : F007BH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PF11	0	0	0	0	0	0	PF111	PF110

PF110	P110端子の動作モード選択
0	入出力ポート・モード
1	CECINモード

PF111	P111端子の動作モード選択
0	入出力ポート・モード
1	CECOUTモード

注意 CECIO端子とCECIN/CECOUT端子の同時使用は禁止です。

PF62 = 1のとき , PF110, PF111に1を設定しないでください。

PF110 = 1, PF111 = 1のとき , PF62に1を設定しないでください。

(6) ポート入力モード・レジスタ (PIM0, PIM1, PIM6, PIM14)

PIM0, PIM1, PIM14は, P03, P04, P10, P11, P62の入力バッファを1ビット単位で設定するレジスタです。異電位の外部デバイスとのシリアル通信時にTTL入力バッファを選択できます。

PIM6レジスタとポート・ファンクション・レジスタ6 (PF6) の設定により, P62の入力バッファを通常入力バッファまたはCEC入力バッファに指定できます。

PIM0, PIM1, PIM6, PIM14は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により, 00Hになります。

図4 - 61 ポート入力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM0	0	0	0	PIM04	PIM03	0	0	0	F0040H	00H	R/W
PIM1	0	0	0	0	0	0	PIM11	PIM10	F0041H	00H	R/W
PIM6	0	0	0	0	0	PIM62	0	0	F0046H	00H	R/W
PIM14	0	0	0	0	PIM143	PIM142	0	0	F004EH	00H	R/W

PIMmn	Pmn端子の入力バッファの選択 (m = 0, 1, 14; n = 0-4)
0	通常入力バッファ
1	TTL入力バッファ

図4 - 62 PIM6レジスタとPF6レジスタの関係

PIM62	PF62	入力バッファの選択
0	0	通常入力バッファ
0	1	
1	0	
1	1	CEC入力バッファ

(7) ポート出力モード・レジスタ (POM0, POM1, POM14)

P02-P04, P10, P12, P142-P144の出力モードを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時および同電位の外部デバイスとの簡易I²C通信時のSDA10, SDA20端子にN-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択できます。

POM0, POM1, POM14は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図4 - 63 ポート出力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM0	0	0	0	POM04	POM03	POM02	0	0	F0050H	00H	R/W
POM1	0	0	0	0	0	POM12	0	POM10	F0051H	00H	R/W
POM14	0	0	0	POM144	POM143	POM142	0	0	F005EH	00H	R/W

POMmn	Pmn端子の出力モードの選択 (m = 0, 1, 14 ; n = 0, 2-4)
0	通常出力モード
1	N-chオープン・ドレイン出力 (V _{DD} 耐圧) モード

(8) A/Dポート・コンフィギュレーション・レジスタ (ADPC)

P20/ANI0-P27/ANI7, P150/ANI8-P157/ANI15端子を, ポートのデジタル入出力 / A/Dコンバータのアナログ入力に切り替えるレジスタです。

ADPCは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 10Hになります。

図4 - 64 A/Dポート・コンフィギュレーション・レジスタ (ADPC) のフォーマット

アドレス : F0017H リセット時 : 10H R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	ADPC4	ADPC3	ADPC2	ADPC1	ADPC0

ADP C4	ADP C3	ADP C2	ADP C1	ADP C0	アナログ入力 (A) / デジタル入出力 (D) の切り替え																			
					ポート15								ポート2											
					ANI15 /P157	ANI14 /P156	ANI13 /P155	ANI12 /P154	ANI11 /P153	ANI10 /P152	ANI9 /P151	ANI8 /P150	ANI7 /P27	ANI6 /P26	ANI5 /P25	ANI4 /P24	ANI3 /P23	ANI2 /P22	ANI1 /P21	ANI0 /P20				
0	0	0	0	0	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
0	0	0	0	1	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	D
0	0	0	1	0	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	D	D
0	0	0	1	1	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	D	D	D
0	0	1	0	0	A	A	A	A	A	A	A	A	A	A	A	A	A	A	D	D	D	D	D	D
0	0	1	0	1	A	A	A	A	A	A	A	A	A	A	A	A	D	D	D	D	D	D	D	D
0	0	1	1	0	A	A	A	A	A	A	A	A	A	A	D	D	D	D	D	D	D	D	D	D
0	0	1	1	1	A	A	A	A	A	A	A	A	A	D	D	D	D	D	D	D	D	D	D	D
0	1	0	0	0	A	A	A	A	A	A	A	A	D	D	D	D	D	D	D	D	D	D	D	D
0	1	0	0	1	A	A	A	A	A	A	A	D	D	D	D	D	D	D	D	D	D	D	D	D
0	1	0	1	1	A	A	A	A	A	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D
0	1	1	0	0	A	A	A	A	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D
0	1	1	0	1	A	A	A	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D
0	1	1	1	0	A	A	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D
0	1	1	1	1	A	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D
1	0	0	0	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D
上記以外					設定禁止																			

注意1. A/D変換で使用するチャンネルは、ポート・モード・レジスタ2, 15 (PM2, PM15) で入力モードに選択してください。

2. ADPCでデジタル入出力として設定する端子を、アナログ入力チャンネル指定レジスタ (ADS) で設定しないでください。

3. P20/ANI0-P27/ANI7, P150/ANI8-P157/ANI15は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) により、P157/ANI15,...,P150/ANI8, P27/ANI7,...,P20/ANI0の順にアナログ入力に設定されます。アナログ入力として使用する場合は、P157/ANI15から設計してください。

4. ADPCレジスタの設定をする際には、必ず最初に周辺イネーブル・レジスタ0 (PER0) のADCEN= 1の設定を行ってください。ADCEN = 0の場合は、ADPCレジスタへの書き込みは無視され、設定値は初期値となります。

備考 P20/ANI0-P27/ANI7, P150/ANI8-P153/ANI11 : 78K0R/KF3-C

P20/ANI0-P27/ANI7, P150/ANI8-P157/ANI15 : 78K0R/KG3-C

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルをリードし、その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.4 異電位 (2.5 V系, 3 V系) 外部デバイスとの接続方法

ポート0, 1, 6, 14の一部は, $V_{DD} = 4.0\text{ V} \sim 5.5\text{ V}$ で動作時に, 2.5 V系, 3 V系の電圧で動作している外部デバイスとの入出力接続が可能です。

入力については, ポート入力モード・レジスタ (PIM0, PIM1, PIM6, PIM14) によりビットごとに通常入力 (CMOS) / TTLを切り換え可能です。

また, 出力については, ポート出力モード・レジスタ (POM0, POM1, POM14) により, 出力バッファをN-chオープン・ドレイン (V_{DD} 耐圧) に切り換えることにより, 異電位に対応可能になります。

(1) UART0, UART1, UART2, CSI00, CSI10, CSI20機能の入出力端子を使用する場合の設定手順

(a) 2.5 V系, 3 V系の入力ポートとして使用

リセット解除後, ポート・モードは入力モード (Hi-Z) になっています。

プルアップが必要な場合は, 使用する端子を外部でプルアップします (内蔵プルアップ抵抗は使用不可)。

UART0の場合 : P11

UART1の場合 : P03

UART2の場合 : P143

CSI00の場合 : P10, P11

CSI10の場合 : P03, P04

CSI20の場合 : P142, P143

PIMnレジスタの該当ビットを1に設定し, TTL入力バッファに切り換えます。

V_{IH}/V_{IL} が2.5 V系, 3 V系の動作電圧で動作します。

備考 n = 0, 1, 14

(b) 2.5 V系, 3 V系の出力ポートとして使用

リセット解除後、ポート・モードは入力モード (Hi-Z) になっています。
使用する端子を外部でプルアップします (内蔵プルアップ抵抗は使用不可)。

UART0の場合 : P12
UART1の場合 : P02
UART2の場合 : P144
CSI00の場合 : P10, P12
CSI10の場合 : P02, P04
CSI20の場合 : P142, P144

該当するポートの出力ラッチに1を設定します。

POMnレジスタの該当ビットを1に設定し、N-chオープン・ドレイン出力 (V_{DD} 耐圧) モードに設定します。

PMnレジスタを操作して出力モードに設定します。

この時点では、出力データはハイ・レベルであるため、端子はHi-Z状態となっています。
シリアル・アレイ・ユニットに設定を行うと通信を開始します。

備考 n = 0, 1, 14

(2) 簡易IIC10, IIC20機能の入出力端子を使用する場合の設定手順

リセット解除後、ポート・モードは入力モード (Hi-Z) になっています。
使用する端子を外部でプルアップします (内蔵プルアップ抵抗は使用不可)。

簡易IIC10の場合 : P03, P04
簡易IIC20の場合 : P142, P143

該当するポートの出力ラッチに1を設定します。

POMnレジスタの該当ビットを1に設定し、N-chオープン・ドレイン出力 (V_{DD} 耐圧) モードに設定します。

PMnレジスタの該当ビットを出力モードに設定します (出力モードのままデータ入出力可能)。

この時点では、出力データはハイ・レベルであるため、端子はHi-Z状態となっています。
シリアル・アレイ・ユニットを動作許可し、簡易I²Cモードに設定します。

備考 n = 0, 14

4.5 兼用機能使用時のPF11, PF6, ポート・モード・レジスタ, 出力ラッチの設定

ポート端子を兼用機能の端子として使用する場合, PF11, PF6, ポート・モード・レジスタ, 出力ラッチを表4-7のように設定してください。

表4-7 兼用機能使用時のPF11, PF6, ポート・モード・レジスタ, 出力ラッチの設定 (1/4)

端子名称	兼用機能		PF11	PF6	PM × ×	P × ×
	名称	入出力				
P00	TI00 ^注	入力			1	×
P01	TO00 ^注	出力			0	0
P02	SO10	出力			0	1
	TxD1	出力			0	1
P03	SI10	入力			1	×
	RxD1	入力			1	×
	SDA10	入出力			0	1
P04	SCK10	入力			1	×
		出力			0	1
	SCL10	入出力			0	1
P05	TI05 ^注	入力			1	×
	TO05 ^注	出力			0	0
P06	TI06 ^注	入力			1	×
	TO06 ^注	出力			0	0
P10	SCK00	入力			1	×
		出力			0	1
P11	SI00	入力			1	×
	RxD0	入力			1	×
P12	SO00	出力			0	1
	TxD0	出力			0	1
P15	RTCDIV	出力			0	0
	RTCCL	出力			0	0
P16	TI01	入力			1	×
	TO01	出力			0	0
	INTP5	入力			1	×
P17	TI02	入力			1	×
	TO02	出力			0	0

備考 × : don't care
 PM × × : ポート・モード・レジスタ
 P × × : ポートの出力ラッチ

注 TI00, TO00, TI05/TO05, TI06/TO06, TI07/TO07端子は, 製品により兼用するポートが異なります。

78K0R/KF3-C : P53/TI00, P52/TO00, P05/TI05/TO05, P06/TI06/TO06, P54/TI07/TO07

78K0R/KG3-C : P00/TI00, P01/TO00, P46/INTP1/TI05/TO05/RIN01, P131/TI06/TO06, P145/TI07/TO07

表4-7 兼用機能使用時のPF11, PF6, ポート・モード・レジスタ, 出力ラッチの設定 (2/4)

端子名称	兼用機能		PF11	PF6	PM××	P××
	名称	入出力				
P20-P27 ^{注1}	ANI0-ANI7 ^{注1}	入力			1	×
P30	RTC1HZ	出力			0	0
	INTP3	入力			1	×
P31	TI03	入力			1	×
	TO03	出力			0	0
	INTP4	入力			1	×
P40	TOOL0	入出力			×	×
P41	TOOL1	出力			×	×
P42	TI04	入力			1	×
	TO04	出力			0	0
P43	SCK01	入力			1	×
		出力			0	1
P44	SI01	入力			1	×
P45	SO01	出力			0	1
P46	TI05 ^{注2}	入力			1	×
	TO05 ^{注2}	出力			0	0
	INTP1 ^{注3}	入力			1	×
	RIN01	入力			1	×

備考 × : don't care

PM×× : ポート・モード・レジスタ

P×× : ポートの出力ラッチ

注1. ANI0/P20-ANI7/P27, ANI8/P150-ANI15/P157端子の機能は, A/Dポート・コンフィギュレータ・レジスタ (ADPC), アナログ入力チャネル指定レジスタ (ADS), PM2, PM15の設定で決定します。

ADPC	PM2, PM15	ADS	ANI0/P20-ANI7/P27, ANI8/P150-ANI15/P157端子
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力 (変換対象)
		ANI非選択	アナログ入力 (非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

また, 製品により搭載するアナログ入力端子が異なります。

P20/ANI0-P27/ANI7, P150/ANI8-P153/ANI11 : 78K0R/KF3-C

P20/ANI0-P27/ANI7, P150/ANI8-P157/ANI15 : 78K0R/KG3-C

2. TI00, TO00, TI05/TO05, TI06/TO06, TI07/TO07端子は, 製品により兼用するポートが異なります。

78K0R/KF3-C : P53/TI00, P52/TO00, P05/TI05/TO05, P06/TI06/TO06, P54/TI07/TO07

78K0R/KG3-C : P00/TI00, P01/TO00, P46/INTP1/TI05/TO05/RIN01, P131/TI06/TO06, P145/TI07/TO07

3. PCLBUZ1/INTP7, INTP1, INTP2端子は, 製品により兼用するポートが異なります。

78K0R/KF3-C : P55/PCLBUZ1/INTP7, P50/INTP1, P51/INTP2

78K0R/KG3-C : P141/PCLBUZ1/INTP7, P46/INTP1/TI05/TO05/RIN01, P47/INTP2

表4-7 兼用機能使用時のPF11, PF6, ポート・モード・レジスタ, 出力ラッチの設定 (3/4)

端子名称	兼用機能		PF11	PF6	PM××	P××
	名称	入出力				
P47	INTP2 ^{注1}	入力			1	×
	RIN23	入力			1	×
P50	INTP1 ^{注1}	入力			1	×
P51	INTP2 ^{注1}	入力			1	×
P52	TO00 ^{注2}	出力			0	0
P53	TI00 ^{注2}	入力			1	×
P54	TI07 ^{注2}	入力			1	×
	TO07 ^{注2}	出力			0	0
P55	PCLBUZ1 ^{注1}	出力			0	0
	INTP7 ^{注1}	入力			1	×
P60	SCL0	入出力			0	0
P61	SDA0	入出力			0	0
P62	CECIO	入出力		PF62 = 1	0	1
P64	TI10	入力			1	×
	TO10	出力			0	0
P65	TI11	入力			1	×
	TO11	出力			0	0
P66	TI12	入力			1	×
	TO12	出力			0	0
P70-P73	KR0-KR3	入力			1	×
P74	INTP8	入力			1	×
	KR4	入力			1	×
P75-P77	KR5-KR7	入力			1	×
P91	ROUT	出力			0	1
P110	CECIN	入力	PF110 = 1		1	×
P111	CECOUT	出力	PF111 = 1		0	1
P120	INTP0	入力			1	×
	EXLVI	入力			1	×

備考 × : don't care
 PM×× : ポート・モード・レジスタ
 P×× : ポートの出力ラッチ

注1. PCLBUZ1/INTP7, INTP1, INTP2端子は, 製品により兼用するポートが異なります。

78K0R/KF3-C : P55/PCLBUZ1/INTP7, P50/INTP1, P51/INTP2

78K0R/KG3-C : P141/PCLBUZ1/INTP7, P46/INTP1/TI05/TO05/RIN01, P47/INTP2

2. TI00, TO00, TI05/TO05, TI06/TO06, TI07/TO07端子は, 製品により兼用するポートが異なります。

78K0R/KF3-C : P53/TI00, P52/TO00, P05/TI05/TO05, P06/TI06/TO06, P54/TI07/TO07

78K0R/KG3-C : P00/TI00, P01/TO00, P46/INTP1/TI05/TO05/RIN01, P131/TI06/TO06, P145/TI07/TO07

表4-7 兼用機能使用時のPF11, PF6, ポート・モード・レジスタ, 出力ラッチの設定 (4/4)

端子名称	兼用機能		PF11	PF6	PM××	P××
	名称	入出力				
P131	TI06 ^{注1}	入力			1	×
	TO06 ^{注1}	出力			0	0
P140	PCLBUZ0	出力			0	0
P141	PCLBUZ1 ^{注2}	出力			0	0
	INTP7 ^{注2}	入力			1	×
P142	SCK20	入力			1	×
		出力			0	1
	SCL20	入出力			0	1
P143	SI20	入力			1	×
	RxD2	入力			1	×
	SDA20	入出力			0	1
P144	SO20	出力			0	1
	TxD2	出力			0	1
P145	TI07 ^{注1}	入力			1	×
	TO07 ^{注1}	出力			0	0
P150-P157 ^{注3}	ANI8-ANI15 ^{注3}	入力			1	×

備考 × : don't care
 PM×× : ポート・モード・レジスタ
 P×× : ポートの出力ラッチ

- 注1. TI00, TO00, TI05/TO05, TI06/TO06, TI07/TO07端子は, 製品により兼用するポートが異なります。
 78K0R/KF3-C : P53/TI00, P52/TO00, P05/TI05/TO05, P06/TI06/TO06, P54/TI07/TO07
 78K0R/KG3-C : P00/TI00, P01/TO00, P46/INTP1/TI05/TO05/RIN01, P131/TI06/TO06, P145/TI07/TO07
2. PCLBUZ1/INTP7, INTP1, INTP2端子は, 製品により兼用するポートが異なります。
 78K0R/KF3-C : P55/PCLBUZ1/INTP7, P50/INTP1, P51/INTP2
 78K0R/KG3-C : P141/PCLBUZ1/INTP7, P46/INTP1/TI05/TO05/RIN01, P47/INTP2
3. ANI0/P20-ANI7/P27, ANI8/P150-ANI15/P157端子の機能は, A/Dポート・コンフィギュレータ・レジスタ (ADPC), アナログ入力チャネル指定レジスタ (ADS), PM2, PM15の設定で決定します。

ADPC	PM2, PM15	ADS	ANI0/P20-ANI7/P27, ANI8/P150-ANI15/P157端子
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力 (変換対象)
		ANI非選択	アナログ入力 (非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

また, 製品により搭載するアナログ入力端子が異なります。

P20/ANI0-P27/ANI7, P150/ANI8-P153/ANI11 : 78K0R/KF3-C

P20/ANI0-P27/ANI7, P150/ANI8-P157/ANI15 : 78K0R/KG3-C

4.6 ポート・レジスタ_n (P_n) に対する1ビット・メモリ操作命令に関する注意事項

入力/出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。

<例> P10は出力ポート, P11-P17は入力ポート(端子状態はすべてハイ・レベル)で、かつポート1の出力ラッチの値が“00H”のとき、出力ポートP10の出力を1ビット・メモリ操作命令により“ロウ・レベル” “ハイ・レベル” とすると、ポート1の出力ラッチの値は、“FFH” になります。

説明: PM_nmビット = 1であるポートのP_nレジスタへの書き込みの対象は出力ラッチ、読み出しの対象は端子状態です。

1ビット・メモリ操作命令は78K0R/Kx3-C内部で、次の順序で行われます。

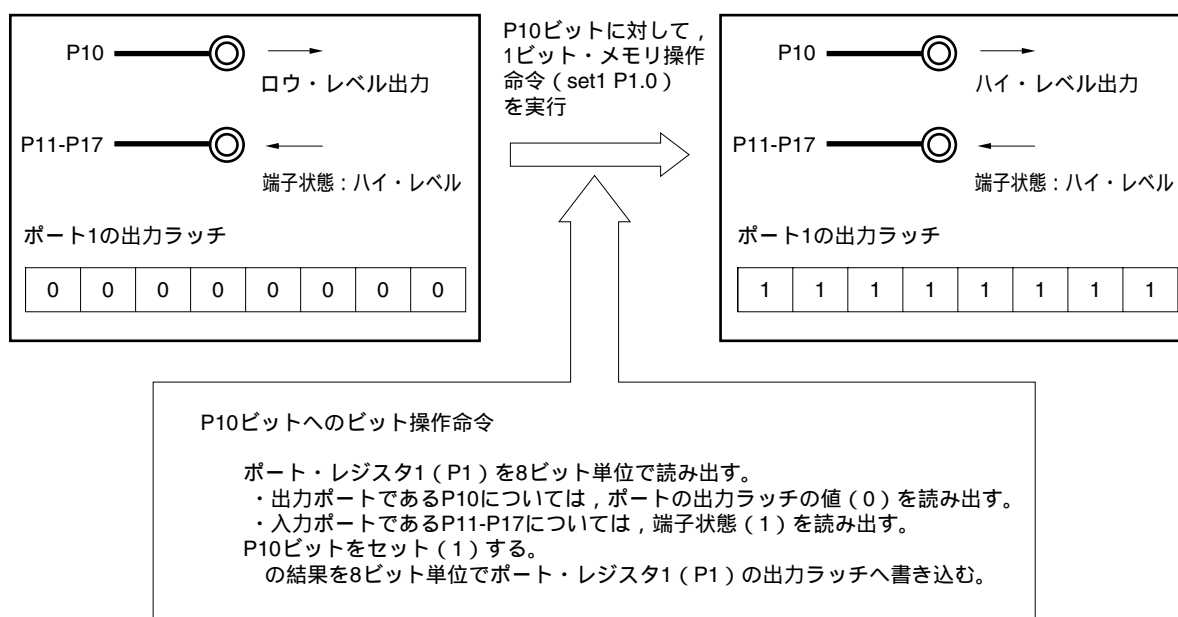
- <1> P_nレジスタを8ビット単位で読み出し
- <2> 対象の1ビットを操作
- <3> P_nレジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP10は出力ラッチの値(0)を読み出し、入力ポートであるP11-P17は端子状態を読み出します。このときP11-P17の端子状態が“ハイ・レベル” とすると、読み出し値は“FEH” となります。

<2> の操作で、値は“FFH” となります。

<3> の操作で、出力ラッチに“FFH” が書き込まれます。

図4 - 65 1ビット・メモリ操作命令 (P10の場合)



第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。
システム・クロックおよびクロック発振回路には、次の種類があります。

(1) メイン・システム・クロック

X1発振回路

X1, X2に発振子を接続することにより、 $f_x = 2 \sim 20$ MHzのクロックを発振させることができます。
STOP命令の実行またはMSTOP（クロック動作ステータス制御レジスタ（CSC）のビット7）の設定により、発振を停止することができます。

高速内蔵発振回路^注

$f_{IH} = 8$ MHz（TYP.）のクロックを発振させることができます。リセット解除後、CPUは必ずこの高速内蔵発振クロックで動作を開始します。STOP命令の実行またはHIOSTOP（CSCのビット0）の設定により、発振を停止することができます。

20 MHz高速内蔵発振クロック発振回路^注

$f_{IH20} = 20$ MHz（TYP.）のクロックを発振させることができます。20 MHz高速内蔵発振制御レジスタ（DSCCTL）のビット0（DSCON）を1に設定すると発振を開始します。DSCONを0に設定すると発振を停止することができます。

注 8, 20 MHz高速内蔵発振クロックを使用する場合、あらかじめオプション・バイトで周波数を設定しておいてください（詳細は、第24章 オプション・バイト参照）。またリセット解除後は高速内蔵発振回路が自動的に発振を開始します。20 MHzの高速内蔵発振回路で動作する場合は、その後、20 MHz高速内蔵発振制御レジスタ（DSCCTL）のビット0（DSCON）を1に設定すると発振を開始します。

また、EXCLK/X2/P122端子から外部メイン・システム・クロック（ $f_{EX} = 2 \sim 20$ MHz）を供給することができます。STOP命令の実行またはMSTOPの設定により、外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは、MCM0（システム・クロック制御レジスタ（CKC）のビット4）の設定により、高速システム・クロック（X1クロックまたは外部メイン・システム・クロック）と高速内蔵発振クロックを切り替えられます。

備考 f_x : X1クロック発振周波数
 f_{IH} : 高速内蔵発振クロック周波数
 f_{IH20} : 20 MHz高速内蔵発振クロック周波数
 f_{EX} : 外部メイン・システム・クロック周波数

(2) サブシステム・クロック

・XT1発振回路

XT1, XT2に32.768 kHzの発振子を接続することにより, $f_{SUB} = 32.768$ kHzのクロックを発振させることができます。XTSTOP (CSCのビット6) の設定により, 発振を停止することができます。

(3) 低速内蔵発振クロック (ウォッチドッグ・タイマ専用クロック)

・低速内蔵発振回路

$f_{IL} = 30$ kHz (TYP.) のクロックを発振させることができます。

低速内蔵発振クロックをCPUクロックとして使用することはできません。低速内蔵発振クロックで動作するハードウェアは, ウォッチドッグ・タイマのみです。

ウォッチドッグ・タイマ動作停止時は, 発振を停止します。

備考1. f_{SUB} : サブシステム・クロック周波数

f_{IL} : 低速内蔵発振クロック周波数

2. ウォッチドッグ・タイマは, 次の場合に動作停止します。

・オプション・バイト (000C0H) のビット4 (WDTON) = 0の場合

・オプション・バイト (000C0H) のビット4 (WDTON) = 1, ビット0 (WDSTBYON) = 0のときに, HALT命令またはSTOP命令を実行した場合

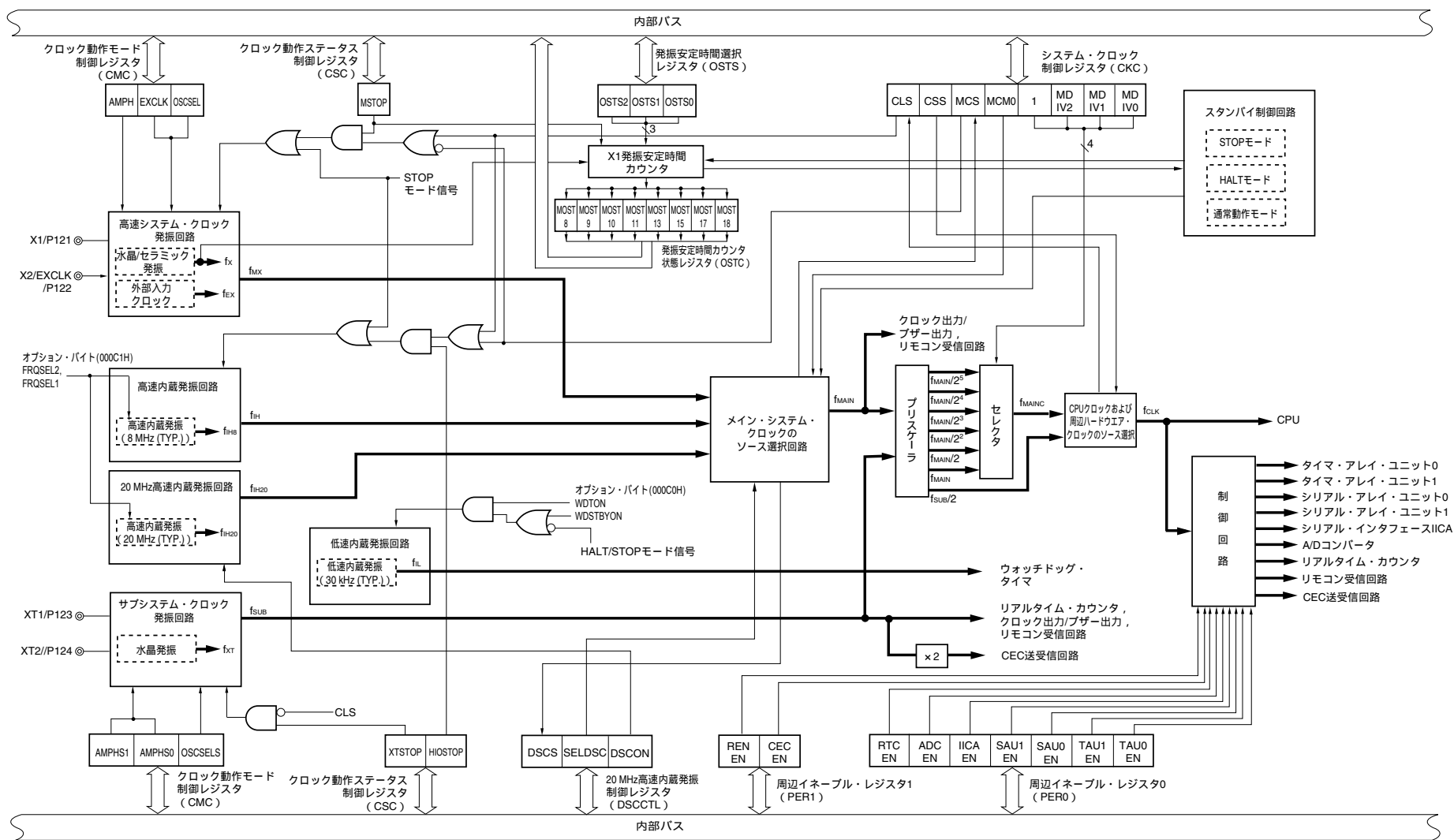
5.2 クロック発生回路の構成

クロック発生回路は, 次のハードウェアで構成しています。

表5 - 1 クロック発生回路の構成

項 目	構 成
制御レジスタ	クロック動作モード制御レジスタ (CMC) クロック動作ステータス制御レジスタ (CSC) 発振安定時間カウンタ状態レジスタ (OSTC) 発振安定時間選択レジスタ (OSTS) システム・クロック制御レジスタ (CKC) 20 MHz高速内蔵発振制御レジスタ (DSCCTL) 周辺イネーブル・レジスタ0, 1 (PER0, PER1) 動作スピード・モード制御レジスタ (OSMC)
発振回路	X1発振回路 XT1発振回路 高速内蔵発振回路 低速内蔵発振回路

図5-1 クロック発生回路のブロック図



(備考は次ページにあります。)

備考

f_x	: X1クロック発振周波数
f_{IH}	: 高速内蔵発振クロック周波数
f_{IH20}	: 20 MHz高速内蔵発振クロック周波数
f_{EX}	: 外部メイン・システム・クロック周波数
f_{MX}	: 高速システム・クロック周波数
f_{MAIN}	: メイン・システム・クロック周波数
f_{MAINC}	: メイン・システム選択クロック周波数
f_{XT}	: XT1クロック発振周波数
f_{SUB}	: サブシステム・クロック周波数
f_{CLK}	: CPU / 周辺ハードウェア・クロック周波数
f_{IL}	: 低速内蔵発振クロック周波数

5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次の8種類のレジスタで制御します。

- ・クロック動作モード制御レジスタ (CMC)
- ・クロック動作ステータス制御レジスタ (CSC)
- ・発振安定時間カウンタ状態レジスタ (OSTC)
- ・発振安定時間選択レジスタ (OSTS)
- ・システム・クロック制御レジスタ (CKC)
- ・20 MHz高速内蔵発振制御レジスタ (DSCCTL)
- ・周辺イネーブル・レジスタ0, 1 (PER0, PER1)
- ・動作スピード・モード制御レジスタ (OSMC)

(1) クロック動作モード制御レジスタ (CMC)

X1/P121, X2/EXCLK/P122端子およびXT1/P123, XT2/P124端子の動作モードの設定と、発振回路のゲインを選択するレジスタです。

CMCは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。読み出す場合は、1ビット・メモリ操作命令、または8ビット・メモリ操作命令で操作可能です。

リセット信号の発生により、00Hになります。

図5-2 クロック動作モード制御レジスタ (CMC) のフォーマット

アドレス : FFFA0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	0	OSCSELS	0	AMPHS1	AMPHS0	AMPH

EXCLK	OSCSEL	高速システム・クロック端子の動作モード	X1/P121端子	X2/EXCLK/P122端子
0	0	入力ポート・モード	入力ポート	
0	1	X1発振モード	水晶 / セラミック発振子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

OSCSELS	サブシステム・クロック端子の動作モード	XT1/P123端子	XT2/P124端子
0	入力ポート・モード	入力ポート	
1	XT1発振モード	水晶振動子接続	

AMPHS1	AMPHS0	XT1発振回路の発振モード選択
0	0	低消費発振 (デフォルト)
0	1	通常発振
1	0	超低消費発振
1	1	

AMPH	X1クロック発振周波数の制御
0	2 MHz f_x 10 MHz
1	10 MHz < f_x 20 MHz

- 注意1. CMCは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。
- リセット解除後、クロック動作ステータス制御レジスタ (CSC) の設定でX1発振またはXT1発振を開始する前に、CMCを設定してください。
 - X1クロック発振周波数が10MHzを越える場合は、必ずAMPHに1を設定してください。
 - CMCを初期値 (00H) のまま使用する場合、暴走時の誤動作を防止するためにリセット解除後は必ず00Hに設定してください。
 - XT1発振回路は低消費電力を実現するために、増幅度が低い回路になっています。設計の際は、次の点に注意してください。
 - 端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い、問題がないことを確認してください。
 - XT1発振回路のモードを超低消費発振 (AMPHS1 = 1) で使用する場合は第29章 電気的特性に記載されている推奨発振子をご使用ください。
 - XT1端子、XT2端子と発振子との配線は極力短くし、寄生容量、配線抵抗を小さくしてください。特に超低消費発振 (AMPHS1 = 1) を選択している場合はご注意ください。

(注意, 備考は次ページに続きます。)

- ・回路基板は寄生容量，配線抵抗の少ない材質で回路を構成してください。
- ・XT1発振回路の周辺には，できるかぎり V_{SS} と同電位のグランド・パターンを配置してください。
- ・XT1端子，XT2端子と発振子の信号線は他の信号と交差させないでください。また，変化する大電流が流れる線と接近させないでください。
- ・高湿度環境における回路基板の吸湿や，基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。このような環境でご使用される場合は，回路基板をコーティングするなどの防湿対策を行ってください。
- ・回路基板上をコーティングする場合は，XT1端子，XT2端子間に容量やリークが生じない材料をご使用ください。

備考 f_x : X1クロック発振周波数

(2) クロック動作ステータス制御レジスタ (CSC)

高速システム・クロック，高速内蔵発振クロック，サブシステム・クロックの動作を制御するレジスタです (20 MHz高速内蔵発振クロック，低速内蔵発振クロックは除く)。

CSCは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，C0Hになります。

図5-3 クロック動作ステータス制御レジスタ (CSC) のフォーマット

アドレス : FFFA1H リセット時 : C0H R/W

略号	[7]	[6]	5	4	3	2	1	[0]
CSC	MSTOP	XTSTOP	0	0	0	0	0	HIOSTOP

MSTOP	高速システム・クロックの動作制御		
	X1発振モード時	外部クロック入力モード時	入力ポート・モード時
0	X1発振回路動作	EXCLK端子からの外部クロック有効	入力ポート
1	X1発振回路停止	EXCLK端子からの外部クロック無効	

XTSTOP	サブシステム・クロックの動作制御	
	XT1発振モード時	入力ポート・モード時
0	XT1発振回路動作	入力ポート
1	XT1発振回路停止	

HIOSTOP	高速内蔵発振クロックの動作制御
0	高速内蔵発振回路動作
1	高速内蔵発振回路停止 [※]

(注，注意は次ページにあります。)

注 8 MHz (TYP.) 高速内蔵発振クロックが停止します。20 MHz高速内蔵発振クロックが動作中 (DSCON = 1) の場合は、高速内蔵発振回路停止 (HIOSTOP = 1) に設定禁止です。20 MHz 高速内蔵発振クロックを停止する場合は、HIOSTOPビットではなく20 MHz高速内蔵発振制御レジスタ (DSCCTL) で設定してください。

- 注意1. リセット解除後は、クロック動作モード制御レジスタ (CMC) を設定してからCSCを設定してください。
2. MSTOPの設定でX1発振を開始する場合、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。
 3. XSTOPビットの設定でXT1発振を開始する場合は、サブシステム・クロックに必要な発振安定時間をソフトウェアにてウエイトしてください。
 4. CPU / 周辺ハードウェア・クロック (f_{CLK}) に選択しているクロックは、CSCレジスタで停止させないでください。
 5. クロック発振停止 (外部クロック入力無効) するためのレジスタのフラグ設定と停止前の条件は、表5 - 2のようになります。
 6. リセット解除後MSTOPビットを0に設定する前に発振安定時間選択レジスタ (OSTS) を設定してください。ただしOSTSレジスタを初期値のまま使用する場合は、OSTSレジスタを設定する必要はありません。

表5 - 2 クロック発振停止前の条件とフラグ設定

クロック	クロック停止 (外部クロック入力無効) 前条件	CSCレジスタのフラグ設定
X1クロック	CPU / 周辺ハードウェア・クロックが高速システム・クロック以外で動作 (CLS = 0かつMCS = 0, またはCLS = 1)	MSTOP = 1
外部メイン・システム・クロック		
サブシステム・クロック	CPU / 周辺ハードウェア・クロックがサブシステム・クロック以外で動作 (CLS = 0)	XTSTOP = 1
高速内蔵発振クロック	CPU / 周辺ハードウェア・クロックが高速内蔵発振クロック, 20 MHz高速内蔵発振クロック以外で動作 (CLS = 0かつMCS = 1, またはCLS = 1)	HIOSTOP = 1

(3) 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウンタ状態を示すレジスタです。

次のときに、X1クロックの発振安定時間を確認することができます。

- ・ CPUクロックが高速内蔵発振クロックまたはサブシステム・クロックで、X1クロックの発振を開始した場合
- ・ CPUクロックが高速内蔵発振クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除した場合

OSTCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生、STOP命令、MSTOP (CSCレジスタのビット7) = 1により、00Hになります。

備考 発振安定時間カウンタは、次の場合にカウンタを開始します。

- ・ X1クロック発振開始時 (EXCLK, OSCSEL = 0, 1 MSTOP = 0)
- ・ STOPモードを解除したとき

図5-4 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFFA2H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
OSTC	MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18

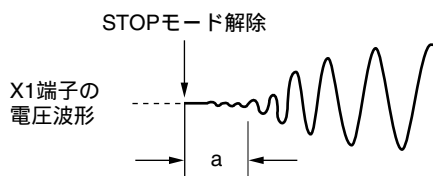
MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18	発振安定時間のステータス		
								$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時	
0	0	0	0	0	0	0	0	$2^8/f_x$ 未満	25.6 μs 未満	12.8 μs 未満
1	0	0	0	0	0	0	0	$2^9/f_x$ 以上	25.6 μs 以上	12.8 μs 以上
1	1	0	0	0	0	0	0	$2^9/f_x$ 以上	51.2 μs 以上	25.6 μs 以上
1	1	1	0	0	0	0	0	$2^{10}/f_x$ 以上	102.4 μs 以上	51.2 μs 以上
1	1	1	1	0	0	0	0	$2^{11}/f_x$ 以上	204.8 μs 以上	102.4 μs 以上
1	1	1	1	1	0	0	0	$2^{13}/f_x$ 以上	819.2 μs 以上	409.6 μs 以上
1	1	1	1	1	1	0	0	$2^{15}/f_x$ 以上	3.27 ms以上	1.64 ms以上
1	1	1	1	1	1	1	0	$2^{17}/f_x$ 以上	13.11 ms以上	6.55 ms以上
1	1	1	1	1	1	1	1	$2^{18}/f_x$ 以上	26.21 ms以上	13.11 ms以上

注意1. 上記時間経過後, MOST8から順番に“1”となっていく, そのまま“1”を保持します。

2. 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントを行いません。
次のときには、「OSTSの発振安定時間」 「OSTCレジスタで確認したいカウント値」
に設定してください。

- CPUクロックが高速内蔵発振クロックまたはサブシステム・クロックで, X1クロックの発振を開始したい場合
- CPUクロックが高速内蔵発振クロックで, X1クロックも発振している状態でSTOPモードに移行し, その後, STOPモードを解除したい場合
(したがって, STOPモード解除後のOSTCは, OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください)

3. X1クロックの発振安定時間は, クロック発振を開始するまでの時間(下図a)は含みません。



備考 f_x : X1クロック発振周波数

(4) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1クロックの発振安定時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合,STOPモード解除後は,OSTSで設定した時間を自動でウェイトします。

CPUクロックに高速内蔵発振クロックを選択した場合,STOPモード解除後は,OSTCで発振安定時間が経過したかを確認してください。OSTCでは,あらかじめOSTSで設定した時間までの確認ができます。

OSTSは,8ビット・メモリ操作命令で設定します。

リセット信号の発生により,07Hになります。

図5 - 5 発振安定時間選択レジスタ (OSTS) のフォーマット

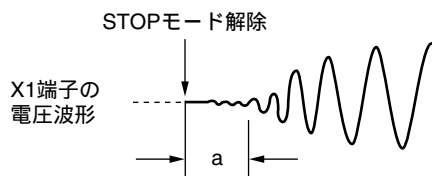
アドレス : FFFA3H リセット時 : 07H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択	発振安定時間の選択	
				$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時
0	0	0	$2^8/f_x$	$25.6 \mu\text{s}$	設定禁止
0	0	1	$2^9/f_x$	$51.2 \mu\text{s}$	$25.6 \mu\text{s}$
0	1	0	$2^{10}/f_x$	$102.4 \mu\text{s}$	$51.2 \mu\text{s}$
0	1	1	$2^{11}/f_x$	$204.8 \mu\text{s}$	$102.4 \mu\text{s}$
1	0	0	$2^{13}/f_x$	$819.2 \mu\text{s}$	$409.6 \mu\text{s}$
1	0	1	$2^{15}/f_x$	3.27 ms	1.64 ms
1	1	0	$2^{17}/f_x$	13.11 ms	6.55 ms
1	1	1	$2^{18}/f_x$	26.21 ms	13.11 ms

注意1 . CPUクロックがX1クロック時にSTOPモードへ移行する場合は、STOP命令の実行よりも前にOSTSレジスタを設定しておいてください。

- 発振安定時間が $20 \mu\text{s}$ 以下は設定禁止です。
- OSTSレジスタの設定を変更する場合は、クロック動作ステータス制御レジスタ (CSC) のMSTOPビットを0に設定する前に行ってください。
- X1クロックの発振安定時間中は、OSTSレジスタを変更しないでください。
- 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントを行いません。次のときには、「OSTSの発振安定時間」 「OSTCレジスタで確認したいカウント値」に設定してください。
 - CPUクロックが高速内蔵発振クロックまたはサブシステム・クロックで、X1クロックの発振を開始したい場合
 - CPUクロックが高速内蔵発振クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したい場合
(したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください)
- X1クロックの発振安定時間は、クロック発振を開始するまでの時間 (下図a) は含みません。



備考 f_x : X1クロック発振周波数

(5) システム・クロック制御レジスタ (CKC)

CPU / 周辺ハードウェア・クロックの選択, 分周比を設定するレジスタです。

CKCは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 09Hになります。

図5-6 システム・クロック制御レジスタ (CKC) のフォーマット

アドレス: FFFA4H リセット時: 09H R/W^{注1}

略号	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0	1	MDIV2	MDIV1	MDIV0

CLS	CPU / 周辺ハードウェア・クロック (f _{CLK}) のステータス
0	メイン・システム・クロック (f _{MAIN})
1	サブシステム・クロックの2分周 (f _{SUB/2})

MCS	メイン・システム・クロック (f _{MAIN}) のステータス
0	高速内蔵発振クロック (f _{IH}) または, 20 MHz高速内蔵発振クロック (f _{IH20})
1	高速システム・クロック (f _{MX})

MCM0	メイン・システム・クロック (f _{MAIN}) の動作制御
0	メイン・システム・クロック (f _{MAIN}) に高速内蔵発振クロック (f _{IH}) または, 20 MHz高速内蔵発振クロック (f _{IH20}) を選択
1	メイン・システム・クロック (f _{MAIN}) に高速システム・クロック (f _{MX}) を選択

CSS	MDIV2	MDIV1	MDIV0	CPU / 周辺ハードウェア・クロック (f _{CLK}) の選択
0	0	0	0	f _{MAIN}
	0	0	1	f _{MAIN} /2 (MCM0 = 0でこの設定が, デフォルト)
	0	1	0	f _{MAIN} /2 ²
	0	1	1	f _{MAIN} /2 ³
	1	0	0	f _{MAIN} /2 ⁴
1	0	1	f _{MAIN} /2 ⁵ ^{注2}	
¹ 注3	x	x	x	f _{SUB/2}
上記以外				設定禁止

注1. ビット7, 5は, Read Onlyです。

2. メイン・システム・クロック (f_{MAIN}) に高速システム・クロック (f_{MX}) を選択している場合, f_{MX} < 4 MHzのときは, 設定禁止です。

3. CSS = 1を設定した状態で, MCM0ビットの値を変更することは禁止です。

(注意, 備考は, 次ページにあります)

- 備考1.** f_{IH} : 高速内蔵発振クロック周波数
 f_{IH20} : 20 MHz高速内蔵発振クロック周波数
 f_{MX} : 高速システム・クロック周波数
 f_{SUB} : サブシステム・クロック周波数
2. x : don't care

注意1. ビット3には、必ず1を設定してください。

2. CSS, MCM0, MDIV2-MDIV0で設定したクロックは、CPUと周辺ハードウェアに供給されます。したがって、CPUクロックを変更すると、周辺ハードウェア・クロックも同時に変更されます(リアルタイム・カウンタ、クロック出力/プザー出力、およびウォッチドッグ・タイマは除く)。よって、CPU/周辺ハードウェア・クロックを変更する場合は、各周辺機能を停止してください。
3. 周辺ハードウェア・クロックとしてサブシステム・クロックが使われている場合、A/Dコンバータ、IICAの動作は保証できません。周辺ハードウェアの動作特性については、各周辺ハードウェアの章および第29章 電気的特性を参照してください。

78K0R/Kx3-Cの一番速い命令はCPUクロック1クロックで実行されます。したがって、CPUクロック(f_{CLK})と最小命令実行時間の関係は、表5-3のようになります。

表5-3 CPUクロックと最小命令実行時間の関係

CPUクロック (MDIV2-MDIV0 ビットで設定)	最小命令実行時間: $1/f_{CLK}$				
	メイン・システム・クロック (CSS = 0)				サブシステム・クロック (CSS = 1)
	高速システム・クロック (MCM0 = 1)		高速内蔵発振クロック (MCM0 = 0)		
	10 MHz動作時	20 MHz動作時	8 MHz (TYP.) 動作時	20 MHz (TYP.) 動作時	32.768 kHz動作時
f_{MAIN}	0.1 μ s	0.05 μ s	0.125 μ s (TYP.)	0.05 μ s (TYP.)	-
$f_{MAIN}/2$	0.2 μ s	0.1 μ s	0.25 μ s (TYP.) (デフォルト)	0.1 μ s (TYP.)	-
$f_{MAIN}/2^2$	0.4 μ s	0.2 μ s	0.5 μ s (TYP.)	0.2 μ s (TYP.)	-
$f_{MAIN}/2^3$	0.8 μ s	0.4 μ s	1.0 μ s (TYP.)	0.4 μ s (TYP.)	-
$f_{MAIN}/2^4$	1.6 μ s	0.8 μ s	2.0 μ s (TYP.)	0.8 μ s (TYP.)	-
$f_{MAIN}/2^5$	3.2 μ s	1.6 μ s	4.0 μ s (TYP.)	1.6 μ s (TYP.)	-
$f_{SUB}/2$	-		-		61 μ s

- 備考** f_{MAIN} : メイン・システム・クロック周波数 (f_{IH} または f_{MX})
 f_{SUB} : サブシステム・クロック周波数

(6) 20 MHz高速内蔵発振制御レジスタ (DSCCTL)

20 MHz高速内蔵発振クロック (DSC) 機能の制御を行うレジスタです。

20 MHz高速内蔵発振クロック (f_{H20}) の発振と、CPU / 周辺ハードウェア・クロックとして20 MHz高速内蔵発振クロック (f_{H20}) の供給を制御することができます。

DSCCTLは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-7 20 MHz高速内蔵発振制御レジスタ (DSCCTL) のフォーマット

アドレス : F00F6H リセット時 : 00H R/W^注

略号	7	6	5	4	3	2	1	0
DSCCTL	0	0	0	0	DSCS	SELDSC	0	DSCON

DSCS	20 MHz高速内蔵発振供給状態フラグ
0	供給していない
1	供給している (CPU/周辺ハードウェア・クロック (f_{CLK}) は20 MHz高速内蔵発振動作)

SELDSC	CPU / 周辺ハードウェア・クロック (f_{CLK}) への20 MHz高速内蔵発振選択
0	20 MHz高速内蔵発振を選択しない (CKCレジスタで選択されたクロックが f_{CLK} へ供給)
1	20 MHz高速内蔵発振を選択 (20 MHz高速内蔵発振が f_{CLK} へ供給)

DSCON	20 MHz高速内蔵発振クロック (f_{H20}) の動作 / 停止
0	停止
1	動作

注 ビット3は、Read Onlyです。

注意1. DSCONを設定後、100 μ s経過後にSELDSCを設定してください。

2. DSCON = 1のときは高速内蔵発振回路を動作 (HIOSTOP = 0) させておく必要があります。

(7) 周辺イネーブル・レジスタ0, 1 (PER0, PER1)

各周辺ハードウェア・マクロの使用可否を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

このレジスタで制御される以下の周辺機能を使用する場合は、周辺機能の初期設定前に対応するビットをセット(1)してください。

- ・リアルタイム・カウンタ
- ・A/Dコンバータ
- ・シリアル・インタフェースIICA
- ・シリアル・アレイ・ユニットSAU0, SAU1
- ・コンパレータ/プログラマブル・ゲイン・アンプ
- ・タイマ・アレイ・ユニットTAU0, TAU1
- ・リモコン受信回路
- ・CEC送受信回路

図5-8 周辺イネーブル・レジスタのフォーマット (1/3)

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICAEN	SAU1EN	SAU0EN	TAU1EN	TAU0EN

アドレス：F00F1H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER1	0	0	REMEM	CECEN	0	0	0	0

RTCEN	リアルタイム・カウンタ (RTC) の入力クロック供給 ^注 の制御
0	入力クロック供給停止 ・リアルタイム・カウンタ (RTC) で使用するSFRへのライト不可 ・リアルタイム・カウンタ (RTC) はリセット状態
1	入力クロック供給 ・リアルタイム・カウンタ (RTC) で使用するSFRへのリード/ライト可

ADCEN	A/Dコンバータの入力クロック供給の制御
0	入力クロック供給停止 ・A/Dコンバータで使用するSFRへのライト不可 ・A/Dコンバータはリセット状態
1	入力クロック供給 ・A/Dコンバータで使用するSFRへのリード/ライト可

IICAEN	シリアル・インタフェースIICAの入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・インタフェースIICAで使用するSFRへのライト不可 ・シリアル・インタフェースIICAはリセット状態
1	入力クロック供給 ・シリアル・インタフェースIICAで使用するSFRへのリード/ライト可

注 RTCENで制御可能な入力クロックは、CPUからリアルタイム・カウンタ (RTC) で使用するレジスタにアクセスする場合に使用されます。RTCENで、RTCの動作クロック (f_{SUB}) の供給を制御することはできません。

注意 PER0レジスタのビット6, PER1レジスタのビット0-3, 6, 7には必ず“0”を設定してください。

図5-8 周辺イネーブル・レジスタのフォーマット (2/3)

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICAEN	SAU1EN	SAU0EN	TAU1EN	TAU0EN

アドレス : F00F1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	0	0	REMEM	CECEN	0	0	0	0

SAU1EN	シリアル・アレイ・ユニット1の入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・アレイ・ユニット1で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット1はリセット状態
1	入カクロック供給 ・シリアル・アレイ・ユニット1で使用するSFRへのリード/ライト可

SAU0EN	シリアル・アレイ・ユニット0の入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・アレイ・ユニット0で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット0はリセット状態
1	入カクロック供給 ・シリアル・アレイ・ユニット0で使用するSFRへのリード/ライト可

TAU1EN	タイマ・アレイ・ユニット1の入カクロック供給の制御
0	入カクロック供給停止 ・タイマ・アレイ・ユニット1で使用するSFRへのライト不可 ・タイマ・アレイ・ユニット1はリセット状態
1	入カクロック供給 ・タイマ・アレイ・ユニット1で使用するSFRへのリード/ライト可

TAU0EN	タイマ・アレイ・ユニット0の入カクロック供給の制御
0	入カクロック供給停止 ・タイマ・アレイ・ユニット0で使用するSFRへのライト不可 ・タイマ・アレイ・ユニット0はリセット状態
1	入カクロック供給 ・タイマ・アレイ・ユニット0で使用するSFRへのリード/ライト可

注意 PER0レジスタのビット6, PER1レジスタのビット0-3, 6, 7には必ず“0”を設定してください。

図5-8 周辺イネーブル・レジスタのフォーマット (3/3)

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICAEN	SAU1EN	SAU0EN	TAU1EN	TAU0EN

アドレス：F00F1H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER1	0	0	REMEM	CECEN	0	0	0	0

REMEM	リモコン受信回路の入カクロック供給の制御
0	入カクロック供給停止 ・リモコン受信回路で使用するSFRへのライト不可 ・リモコン受信回路はリセット状態
1	入カクロック供給 ・リモコン受信回路で使用するSFRへのリード/ライト可

CECEN	CEC送受信回路の入カクロック供給の制御
0	入カクロック供給停止 ・CEC送受信回路で使用するSFRへのライト不可 ・CEC送受信回路はリセット状態
1	入カクロック供給 ・CEC送受信回路で使用するSFRへのリード/ライト可

注意 PER0レジスタのビット6, PER1レジスタのビット0-3, 6, 7には必ず“0”を設定してください。

(8) 動作スピード・モード制御レジスタ (OSMC)

OSMCレジスタは、少しでも不要なクロック機能を停止させることにより、低消費電力化することを目的としたレジスタです。

FLPC, FSELビットでは、フラッシュ・メモリの高速動作昇圧回路の制御をすることが可能です。

10 MHz以上のシステム・クロックで動作する場合は、01Bに設定してください。

システム・クロックを10 MHz以下の低速で動作する際には、初期値00Bで使用するにより昇圧回路を停止できるので、消費電力を低減することができます。また、システム・クロックを1 MHzで動作する際に、FLPC = 1とすることで、さらに消費電力を低減することができます。

また、RTCLPC = 1に設定すると、サブシステム・クロックでCPU動作中のHALTモード時に、リアルタイム・カウンタ以外の周辺機能へのクロック同期回路を停止するので、消費電流を低減することが可能です。

OSMCは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-9 動作スピード・モード制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	0	0	0	FLPC	FSEL

FLPC	FSEL	f _{CLK} の周波数選択
0	0	10 MHz以下の周波数で動作 (デフォルト)
0	1	10 MHzを越える周波数で動作
1	0	1 MHzの周波数で動作
1	1	設定禁止

RTCLPC	サブシステム・クロックHALTモード時の設定
0	周辺機能へのサブシステム・クロック供給許可 (動作許可となる周辺機能については、表19-1参照)
1	リアルタイム・カウンタ以外の周辺機能へのサブシステム・クロック供給停止

注意1. FSELに“1”を書き込む場合は、必ず以下の2つの動作よりも前に行ってください。

- ・ f_{CLK}をf_{IH}以外に切り替える
 - ・ DMAコントローラを動作させる
2. FSELビットに“1”を書き込むと、CPUはウェイト (140.5クロック (f_{CLK})) します。ウェイト中に発生した割り込み要求は保留されます。
ただし、CPUウェイト中も、f_xの発振安定時間のカウンタは継続可能です。
 3. f_{CLK}を10 MHz以上にする場合には、FSELビットを“1”にセットしてから、3クロック以上経過後に切り替えてください。
 4. FSEL = 0に設定する場合は、先にf_{CLK}を10 MHz以下に設定してください。
 5. RTCLPCを1に設定することでサブシステム・クロック時のHALTモード電流を低減できます。ただし、サブシステム・クロックでCPU動作中のHALTモード時はリアルタイム・カウンタ以外の周辺機能へクロックを供給できなくなります。サブシステム・クロックHALTモードに設定する前に、PER0のビット7 (RTCEN) は1に、それ以外のPER0の0-6ビット、PER1の0-7ビットは0にしてください。
 6. FLPCビットは一度1 MHz以下の周波数にしてセット (1) すると、その後にクリア (0) したり、1 MHz以上の周波数にすることは禁止です。
 7. FSEL = 1では、10 MHz以下の周波数でも動作可能です。

5.4 システム・クロック発振回路

5.4.1 X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子（2～20 MHz）によって発振します。

また、外部クロックを入力することができます。その場合はEXCLK端子にクロック信号を入力してください。

X1発振回路を使用する場合、クロック動作モード制御レジスタ（CMC）のビット7, 6（EXCLK, OSCSEL）を次のように設定してください。

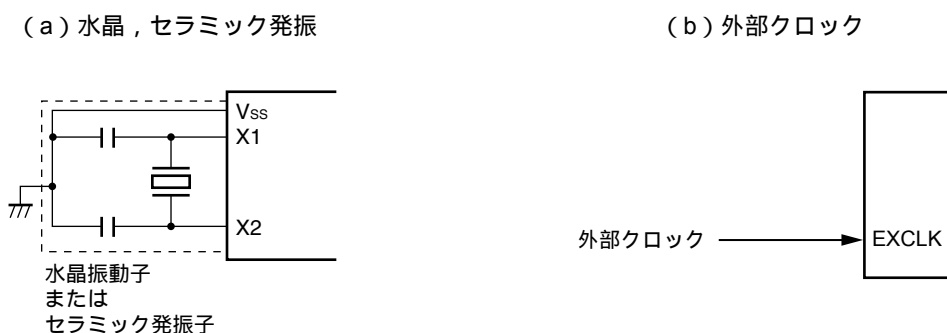
- ・水晶, セラミック発振 : EXCLK, OSCSEL = 0, 1
- ・外部クロック入力 : EXCLK, OSCSEL = 1, 1

X1発振回路を使用しない場合は、入力ポート・モード（EXCLK, OSCSEL = 0, 0）に設定してください。

さらに、入力ポートとしても使用しない場合は、表2-3 各端子の未使用端子処理（78K0R/KF3-C）、表2-4 各端子の未使用端子処理（78K0R/KG3-C）を参照してください。

図5-10にX1発振回路の外付け回路例を示します。

図5-10 X1発振回路の外付け回路例



注意を次ページに示します。

5.4.2 XT1発振回路

XT1発振回路はXT1, XT2端子に接続された水晶振動子（標準：32.768 kHz）によって発振します。

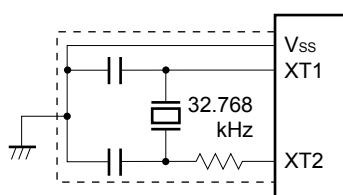
XT1発振回路を使用する場合、クロック動作モード制御レジスタ（CMC）のビット4（OSCSELS）に1を設定してください。

XT1発振回路を使用しない場合は、入力ポート・モード（OSCSELS = 0）に設定してください。

さらに、入力ポートとしても使用しない場合は、表2-3 各端子の未使用端子処理（78K0R/KF3-C）、表2-4 各端子の未使用端子処理（78K0R/KG3-C）を参照してください。

図5-11にXT1発振回路の外付け回路例を示します。

図5-11 XT1発振回路の外付け回路例（水晶発振）



注意を次ページに示します。

注意 X1発振回路およびXT1発振回路を使用する場合は、配線容量などの影響を避けるために、図5-10, 5-11の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位となるようにする。大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

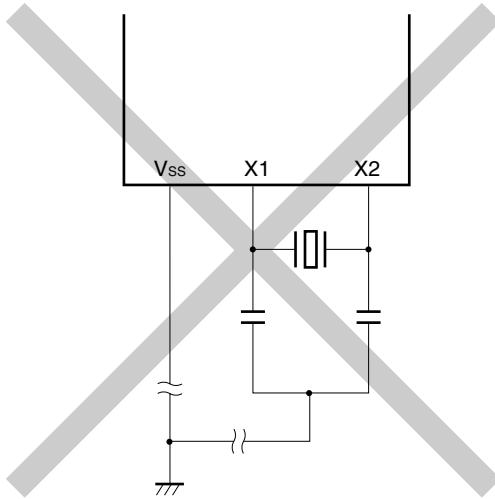
特に、XT1発振回路は、低消費電力にするために増幅度の低い回路になっています。設計の際は、次の点に注意してください。

- ・端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い、問題がないことを確認してください。
- ・XT1発振回路のモードを超低消費発振 (AMPHS1 = 1) で使用する場合は第29章 電気的特性に記載されている推奨発振子をご使用ください。
- ・XT1端子、XT2端子と発振子との配線は極力短くし、寄生容量、配線抵抗を小さくしてください。特に超低消費発振 (AMPHS1 = 1) を選択している場合はご注意ください。
- ・回路基板は寄生容量、配線抵抗の少ない材質で回路を構成してください。
- ・XT1発振回路の周辺には、できるかぎりV_{SS}と同電位のグラウンド・パターンを配置してください。
- ・XT1端子、XT2端子と発振子の信号線は他の信号と交差させないでください。また、変化する大電流が流れる線と接近させないでください。
- ・高湿度環境における回路基板の吸湿や、基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。このような環境でご使用される場合は、回路基板をコーティングするなどの防湿対策を行ってください。
- ・回路基板上をコーティングする場合は、XT1端子、XT2端子間に容量やリークが生じない材料をご使用ください。

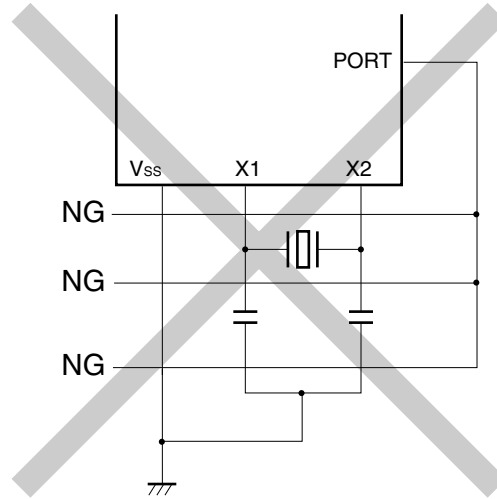
図5 - 12に発振子の接続の悪い例を示します。

図5 - 12 発振子の接続の悪い例 (1/2)

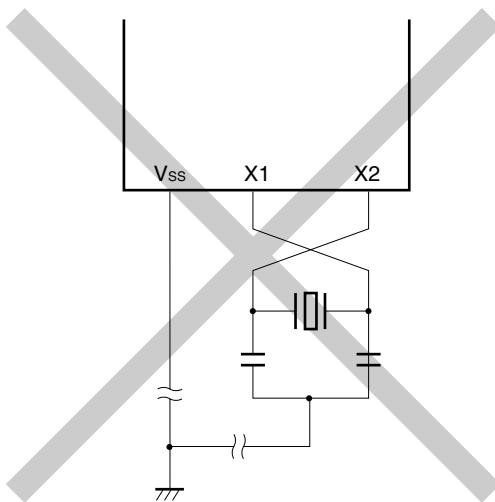
(a) 接続回路の配線が長い



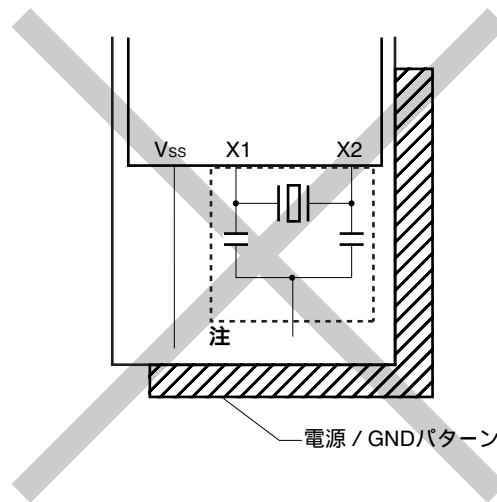
(b) 信号線が交差している



(c) X1, X2の信号線の配線が交差している



(d) X1, X2配線の下に電源 / GNDパターンがある



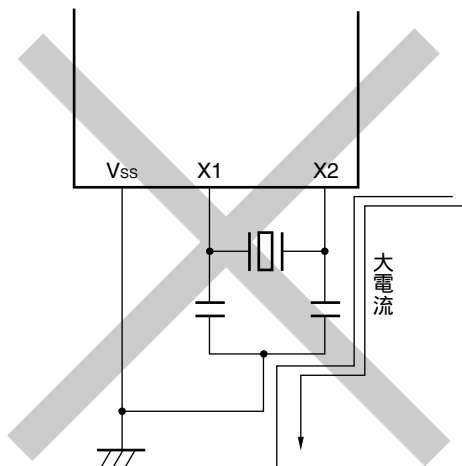
注 多層基板や両面基板において、X1, X2端子と発振子の配線部（図中の点線部分）の下には、電源 / GNDパターンを配置しないでください。

容量成分の原因となり、発振特性に影響を与える配置はしないでください。

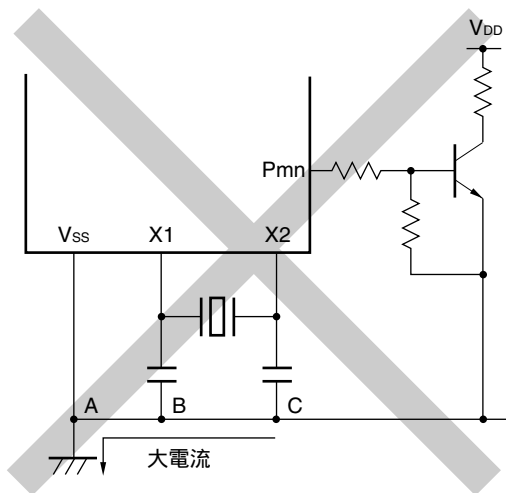
備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

図5-12 発振子の接続の悪い例 (2/2)

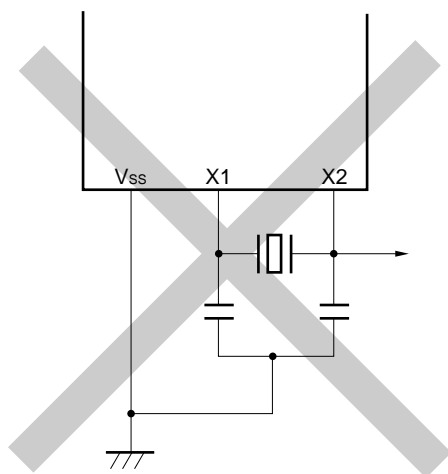
(e) 変化する大電流が信号線に
近接している



(f) 発振回路部のグランド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)



(g) 信号を取り出している



注意 X2とXT1が平行に配線されている場合、X2のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。

備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

5.4.3 高速内蔵発振回路

78K0R/Kx3-Cは、高速内蔵発振回路を内蔵しています（8, 20 MHz（TYP.））。クロック動作ステータス制御レジスタ(CSC)のビット0(HIOSTOP),20 MHz高速内蔵発振制御レジスタ(DSCCTL)のビット0(DSCON)にて発振を制御できます。

リセット解除後、8 MHzの高速内蔵発振回路が自動的に発振を開始します。その後、20 MHz高速内蔵発振制御レジスタ(DSCCTL)のビット0(DSCON)を1に設定すると、20 MHzの高速内蔵発振回路は発振を開始します。

5.4.4 低速内蔵発振回路

78K0R/Kx3-Cは、低速内蔵発振回路を内蔵しています。

低速内蔵発振クロックは、ウォッチドッグ・タイマのクロックとしてのみ使用します。CPUクロックとして使用できません。

リセット解除後、オプション・バイトで「ウォッチドッグ・タイマを動作許可」に設定した場合は、低速内蔵発振回路は自動的に発振を開始し、ウォッチドッグ・タイマを駆動します（30 kHz（TYP.））。

ウォッチドッグ・タイマ停止時以外では、低速内蔵発振回路の発振は継続します。ウォッチドッグ・タイマ動作時に、プログラムが暴走する場合においても、低速内蔵発振クロックが停止することはありません。

5.4.5 プリスケーラ

プリスケーラは、メイン・システム・クロックおよびサブシステム・クロックを分周し、CPU/周辺ハードウェア・クロックを生成します。

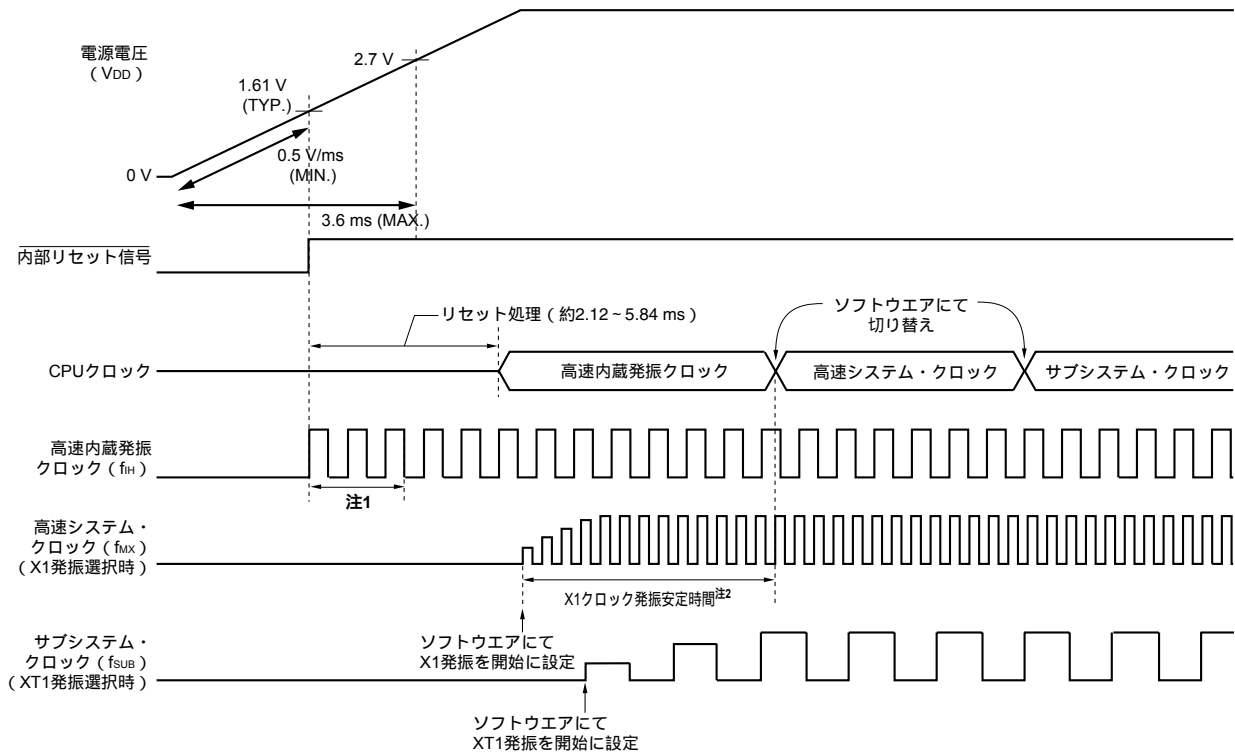
5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します（図5 - 1を参照）。

- メイン・システム・クロック f_{MAIN}
- ・高速システム・クロック f_{MX}
 - X1クロック f_x
 - 外部メイン・システム・クロック f_{EX}
- ・高速内蔵発振クロック f_{IH}
- ・20 MHz高速内蔵発振クロック f_{IH20}
- サブシステム・クロック f_{SUB}
- 低速内蔵発振クロック f_{IL}
- CPU / 周辺ハードウェア・クロック f_{CLK}

78K0R/Kx3-Cでは、リセット解除後、CPUは高速内蔵発振回路の出力により動作を開始します。電源電圧投入時のクロック発生回路の動作を、図5 - 13 ~ 図5 - 16に示します。

図5-13 電源電圧投入時のクロック発生回路の動作
(LVIデフォルト・スタート機能停止に設定時(オプション・バイト:LVI OFF = 1))



電源投入後、パワーオン・クリア (POC) 回路による内部リセット信号が発生されます。

電源電圧が1.61 V (TYP.) を越えると、リセットが解除され、高速内蔵発振器が自動的に発振開始されます。

リセット解除後に電源/レギュレータの電圧安定待ちなどのリセット処理が行われたのちに、CPUが高速内蔵発振クロックで動作開始します。

X1クロックまたはXT1クロックは、ソフトウェアにて発振開始を設定してください(5.6.1 高速システム・クロックの制御例の(1), 5.6.3 サブシステム・クロックの制御例の(1)を参照)。

CPUをX1クロックまたはXT1クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください(5.6.1 高速システム・クロックの制御例の(3), 5.6.3 サブシステム・クロックの制御例の(2)を参照)。

注1. 高速内蔵発振クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。

2. リセット解除時(上図)およびCPUクロックが高速内蔵発振クロックの場合のSTOPモード解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ(OSTC)で確認してください。またCPUクロックが高速システム・クロック(X1発振)の場合、STOPモード解除時の発振安定時間を、発振安定時間選択レジスタ(OSTS)で設定してください。

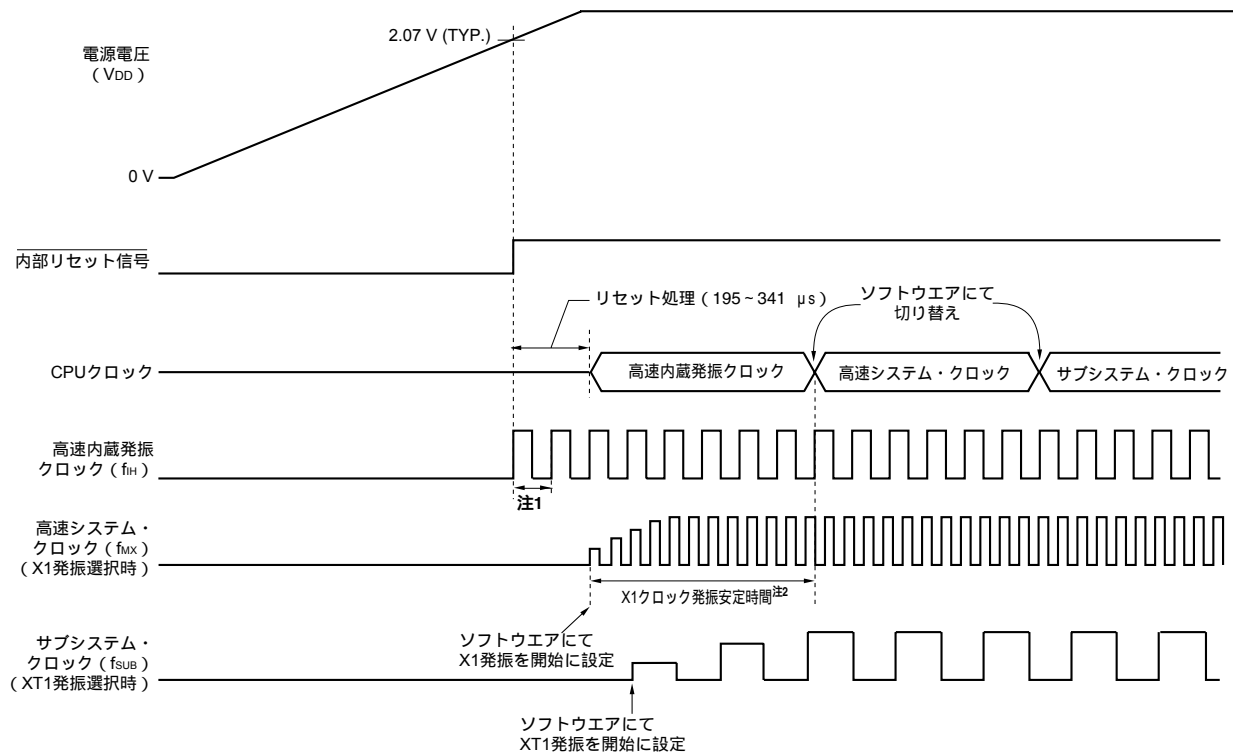
注意1. 電源投入時から2.7 Vに達するまでの時間は、3.6 ms以内にしてください。それよりも時間がかかる場合(0.5 V/ms (MIN.) よりも緩やかな場合)は、電源投入時から2.7 Vに達するまで、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力するか、オプション・バイトでLVIデフォルト・スタート機能動作を設定(LVIOFF = 0)してください(図5-14参照)。2.7 Vに達するまで $\overline{\text{RESET}}$ 端子にロウ・レベルを入力したとき、 $\overline{\text{RESET}}$ 端子によるリセット解除後は、図5-13の以降と同様のタイミングで動作します。

2. EXCLK端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

3. 一部の動作はV_{DD} < 2.7 Vの期間でも実行できます(詳細は、第29章 電気的特性 AC特性(1)基本動作の図を参照)。

備考 マイコン動作中、ソフトウェアの設定により、CPUクロックとして使用していないクロックを停止することができます。また、高速内蔵発振クロックと高速システム・クロックはSTOP命令の実行により、クロックを停止することができます(5.6.1 高速システム・クロックの制御例の(4), 5.6.2 高速内蔵発振クロックの制御例の(3), 5.6.3 サブシステム・クロックの制御例の(3)を参照)。

図5-14 電源電圧投入時のクロック発生回路の動作
(LVIデフォルト・スタート機能動作に設定時(オプション・バイト:LVI0FF=0))



電源投入後、低電圧検出(LVI)回路による内部リセット信号が発生されます。

電源電圧が2.07 V (TYP.) を越えると、リセットが解除され、高速内蔵発振器が自動的に発振開始されます。

リセット解除後、リセット処理が行われたのちに、CPUが高速内蔵発振クロックで動作開始します。

X1クロックまたはXT1クロックは、ソフトウェアにて発振開始を設定してください(5.6.1 高速システム・クロックの制御例の(1), 5.6.3 サブシステム・クロックの制御例の(1)を参照)。

CPUをX1クロックまたはXT1クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください(5.6.1 高速システム・クロックの制御例の(3), 5.6.3 サブシステム・クロックの制御例の(2)を参照)。

注1. 高速内蔵発振クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。

- リセット解除時(上図)およびCPUクロックが高速内蔵発振クロックの場合のSTOPモード解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ(OSTC)で確認してください。またCPUクロックが高速システム・クロック(X1発振)の場合、STOPモード解除時の発振安定時間を、発振安定時間選択レジスタ(OSTS)で設定してください。

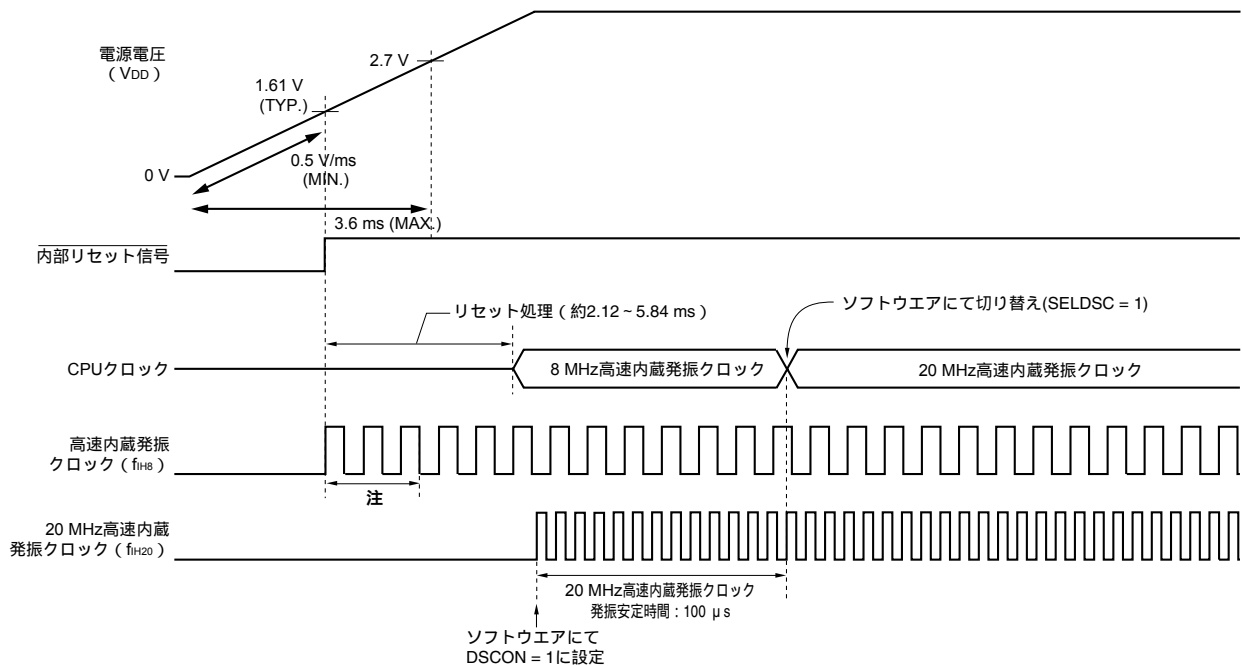
注意 1. 電源電圧が1.61 V (TYP.) に達したあと、電圧安定待ち時間(約2.12~5.84 ms)が必要となります。1.61 V (TYP.) から2.07 V (TYP.) に達する時間が、電圧安定待ち時間より短い場合は、電圧安定待ち時間を経過してからリセット処理に入ります。

2. EXCLK端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

3. 一部の動作は $V_{DD} < 2.7$ Vの期間でも実行できます(詳細は、第29章 電気的特性 AC特性(1)基本動作の図を参照)。

備考 マイコン動作中、ソフトウェアの設定により、CPUクロックとして使用していないクロックを停止することができます。また、高速内蔵発振クロックと高速システム・クロックはSTOP命令の実行により、クロックを停止することができます(5.6.1 高速システム・クロックの制御例の(4), 5.6.2 高速内蔵発振クロックの制御例の(3), 5.6.3 サブシステム・クロックの制御例の(3)を参照)。

図5 - 15 電源電圧投入時のクロック発生回路の動作
(LVIデフォルト・スタート機能停止に設定時(オプション・バイト:LVI0FF = 1),
20 MHz高速内蔵発振クロックに変更する場合)



電源投入後、パワーオン・クリア(POC)回路による内部リセット信号が発生されます。

電源電圧が1.61 V (TYP.) を越えると、リセットが解除され、高速内蔵発振器が自動的に発振開始されます。

リセット解除後に電源/レギュレータの電圧安定待ちなどのリセット処理が行われたのちに、CPUが高速内蔵発振クロックで動作開始します。

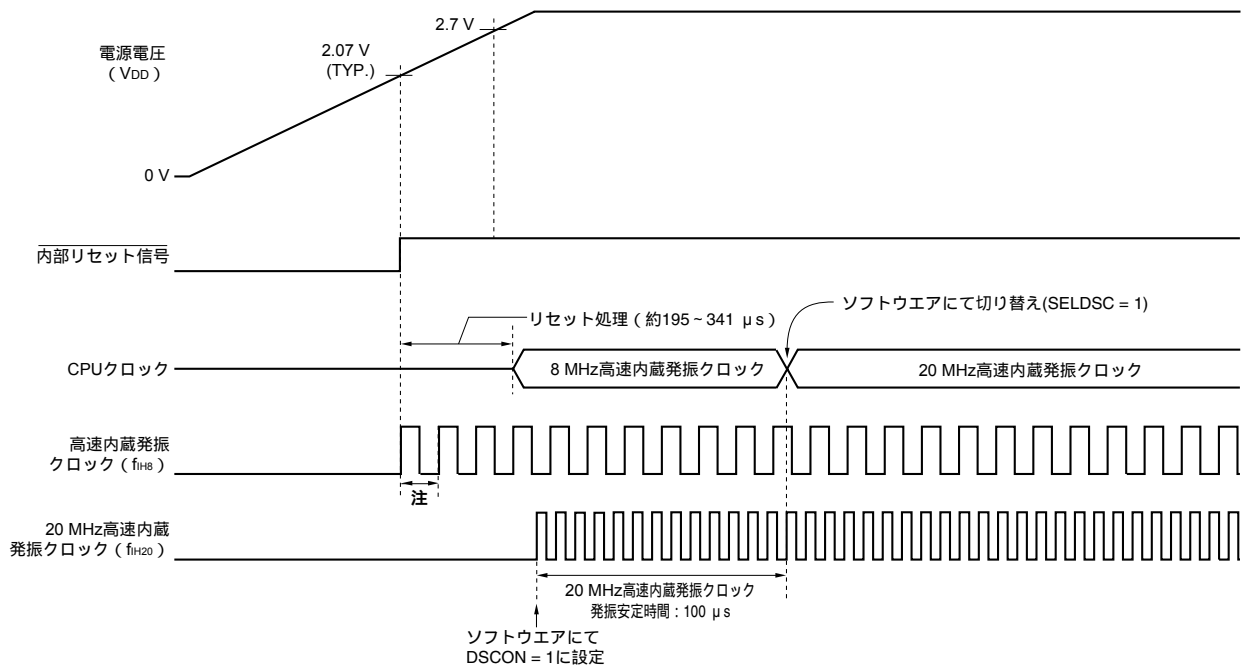
ソフトウェアにてDSCON = 1に設定してください。

100 μ sのウェイト後に、ソフトウェアにてSELDSC = 1に設定することでクロックを切り替えてください。

注 高速内蔵発振クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。

- 注意1.** 20 MHz高速内蔵発振クロックを使用する場合は、あらかじめオプション・バイト(000C1H)のビット2, 1 (FRQSEL2, FRQSEL1)で20 MHzを設定しておいてください(詳細は、第24章 オプション・バイト参照)。
- 2.** 電源投入時から2.7 Vに達するまでの時間は、3.6 ms以内にしてください。それよりも時間がかかる場合(0.5 V/ms (MIN.) よりも緩やかな場合)は、電源投入時から2.7 Vに達するまで、RESET端子にロウ・レベルを入力するか、オプション・バイトでLVIデフォルト・スタート機能動作を設定(LVI0FF = 0)してください(図5 - 16参照)。2.7 Vに達するまでRESET端子にロウ・レベルを入力したとき、RESET端子によるリセット解除後は、図5 - 15の以降と同様のタイミングで動作します。
- 3.** 一部の動作は $V_{DD} < 2.7$ Vの期間でも実行できます(詳細は、第29章 電気的特性 AC特性(1)基本動作の図を参照)。

図5 - 16 電源電圧投入時のクロック発生回路の動作
 (LVIデフォルト・スタート機能動作に設定時(オプション・バイト:LVI0FF = 0),
 20 MHz高速内蔵発振クロックに変更する場合)



電源投入後、低電圧検出(LVI)回路による内部リセット信号が発生されます。

電源電圧が2.07 V (TYP.) を越えると、リセットが解除され、高速内蔵発振器が自動的に発振開始されます。

リセット解除後、リセット処理が行われたのちに、CPUが高速内蔵発振クロックで動作開始します。

ソフトウェアにてDSCON = 1に設定してください。

100 μsのウェイト後に、ソフトウェアにてSELDSC = 1に設定することでクロックを切り替えてください。

注 高速内蔵発振クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。

- 注意1.** 20 MHz高速内蔵発振クロックを使用する場合は、あらかじめオプション・バイト(000C1H)のビット2, 1 (FRQSEL2, FRQSEL1)で20 MHzを設定しておいてください(詳細は、第24章 オプション・バイト参照)。
- 2.** 電源電圧が1.61 V (TYP.) に達したあと、電圧安定待ち時間(約2.12 ~ 5.84 ms)が必要となります。1.61 V (TYP.) から2.07 V (TYP.) に達する時間が、電圧安定待ち時間より短い場合は、電圧安定待ち時間を経過してからリセット処理に入ります。
- 3.** 一部の動作はV_{DD} < 2.7 Vの期間でも実行できます(詳細は、第29章 電気的特性 AC特性(1) 基本動作の図を参照)。

5.6 クロックの制御

5.6.1 高速システム・クロックの制御例

高速システム・クロックは、次の2種類があります。

- ・ X1クロック : X1, X2端子に水晶 / セラミック発振子接続
- ・ 外部メイン・システム・クロック : EXCLK端子に外部クロック入力

また、未使用時では、X1/P121, X2/EXCLK/P122端子を入力ポートとして使用できます。

注意 X1/P121, X2/EXCLK/P122端子のリセット解除時は、入力ポート・モードです。

次の設定手順例を、以下に示します。

- (1) X1クロックを発振する場合
- (2) 外部メイン・システム・クロックを使用する場合
- (3) 高速システム・クロックをCPU / 周辺ハードウェア・クロックとして使用する場合
- (4) 高速システム・クロックを停止する場合

(1) X1クロックを発振する場合の設定手順例

P121/X1, P122/X2/EXCLK端子の設定, 発振周波数の設定 (CMCレジスタ)

・ 2 MHz f_x 10 MHzの場合

EXCLK	OSCSEL	0	OSCSELS	0	AMPHS1	AMPHS0	AMPH
0	1	0	0/1	0	0/1	0/1	0

・ 10 MHz < f_x 20 MHzの場合

EXCLK	OSCSEL	0	OSCSELS	0	AMPHS1	AMPHS0	AMPH
0	1	0	0/1	0	0/1	0/1	1

備考1. f_x : X1クロック発振周波数

2. P123/XT1, P124/XT2端子の設定については、5.6.3 サブシステム・クロックの制御例を参照してください。

X1クロックの発振制御 (CSCレジスタ)

MSTOPを0に設定すると、X1発振回路が発振を開始します。

X1クロックの発振安定待ち

OSTCレジスタを確認し、必要な時間の経過をウエイトします。

ウエイト中は、高速内蔵発振クロックで他のソフトウェア処理を実行できます。

注意1. CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

そのため、OSCSELSビットの値も同時に設定する必要があります。OSCSELSビットについては、5.6.3 サブシステム・クロックの制御例を参照してください。

2. 電源電圧が、使用するクロックの動作可能電圧 (第29章 電気的特性を参照) に達してから、X1クロックの設定を行ってください。

(2) 外部メイン・システム・クロックを使用する場合の設定手順例

P121/X1, P122/X2/EXCLK端子の設定 (CMCレジスタ)

EXCLK	OSCSEL	0	OSCSELS	0	AMPHS1	AMPHS0	AMPH
1	1	0	0/1	0	0/1	0/1	0/1

備考 P123/XT1, P124/XT2端子の設定については、5.6.3(1) サブシステム・クロックを発振する場合の設定手順例を参照してください。

外部メイン・システム・クロックの入力制御 (CSCレジスタ)

MSTOPを0に設定すると、外部メイン・システム・クロックの入力が有効になります。

- 注意1. CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。そのため、OSCSELSビットの値も同時に設定する必要があります。OSCSELSビットについては、5.6.3 サブシステム・クロックの制御例を参照してください。
2. 電源電圧が、使用するクロックの動作可能電圧（第29章 電気的特性を参照）に達してから、外部メイン・システム・クロックの設定を行ってください。

(3) 高速システム・クロックをCPU/周辺ハードウェア・クロックとして使用する場合の設定手順例

高速システム・クロックの発振を設定^注

(5.6.1(1) X1クロックを発振する場合の設定手順例、または(2) 外部メイン・システム・クロックを使用する場合の設定手順例を参照)。

注 高速システム・クロック動作中の場合、の設定不要です。

高速システム・クロックをCPU/周辺ハードウェア・クロックのソース・クロックに設定し、設定したクロックの分周比を設定 (CKCレジスタ)

MCM0	MDIV2	MDIV1	MDIV0	CPU/周辺ハードウェア・クロック (f _{CLK}) の選択
1	0	0	0	f _{MX}
	0	0	1	f _{MX} /2
	0	1	0	f _{MX} /2 ²
	0	1	1	f _{MX} /2 ³
	1	0	0	f _{MX} /2 ⁴
	1	0	1	f _{MX} /2 ⁵ ^注

注 f_{MX} < 4 MHzのとき、設定禁止です。

使用しない周辺ハードウェアがある場合、周辺ハードウェアごとに、入力クロックの供給停止可能

(PER0レジスタ)

RTCEN	0	ADCEN	IICAEN	SAU1EN	SAU0EN	TAU1EN	TAU0EN
-------	---	-------	--------	--------	--------	--------	--------

(PER1レジスタ)

0	0	REMEM	CECEN	0	0	0	0
---	---	-------	-------	---	---	---	---

xxxEN	入力クロックの制御
0	入力クロック供給停止
1	入力クロック供給

注意 PER0レジスタのビット6, PER1レジスタのビット0-3, 6, 7には必ず“0”を設定してください。

備考	RTCEN	:リアルタイム・カウンタの入力クロック制御
	ADCEN	:A/Dコンバータの入力クロック制御
	IICAEN	:シリアル・インタフェースIICAの入力クロック制御
	SAU1EN	:シリアル・アレイ・ユニット1の入力クロック制御
	SAU0EN	:シリアル・アレイ・ユニット0の入力クロック制御
	TAU1EN	:タイマ・アレイ・ユニット1の入力クロック制御
	TAU0EN	:タイマ・アレイ・ユニット0の入力クロック制御
	REMEM	:リモコン受信回路の入力クロック制御
	CECEN	:CEC送受信回路の入力クロック制御

(4) 高速システム・クロックを停止する場合の設定手順例

高速システム・クロックを停止（外部クロックを使用している場合は、クロック入力無効）するには、次の2つの方法があります。

- ・STOP命令を実行する
- ・MSTOPを1に設定する

(a) STOP命令を実行する場合

周辺ハードウェアの停止を設定

STOPモード中に使用できない周辺ハードウェアをすべて停止します（STOPモード中に使用できない周辺ハードウェアについては、第19章 **スタンバイ機能**を参照してください）。

STOPモード解除後のX1クロックの発振安定時間の設定

STOPモード移行前にX1クロックが発振している場合、STOP命令実行前までにOSTSレジスタの値を設定します。

STOP命令の実行

STOP命令を実行すると、STOPモードに移行し、X1発振は停止します（外部クロック入力は無効になります）。

(b) MSTOPを1に設定し、X1発振を停止（外部クロック入力を無効）する場合

CPUクロックのステータスを確認（CKCレジスタ）

CLSとMCSで、CPUクロックが高速システム・クロック以外で動作しているかを確認します。
CLS = 0, MCS = 1の場合、CPUに高速システム・クロックが供給されていますので、CPUクロックをサブシステム・クロックか、高速内蔵発振クロックに変更してください。

CLS	MCS	CPUクロックのステータス
0	0	高速内蔵発振クロックまたは20 MHz高速内蔵発振クロック
0	1	高速システム・クロック
1	x	サブシステム・クロック

X1クロック発振再開後のX1クロックの発振安定時間の設定^注

MSTOPに1を設定する前までに、X1発振再開後にOSTCレジスタで確認したいカウント値より大きい値に、OSTSレジスタの値を設定します。

高速システム・クロックの停止（CSCレジスタ）

MSTOPを1に設定すると、X1発振は停止します（外部クロック入力は無効になります）。

注 高速システム・クロックがX1発振モードで、あとでX1クロックを発振再開する場合に必要です。外部クロック入力モード時は、設定不要です。

注意 MSTOPに1を設定するとき、必ずMCS = 0またはCLS = 1であることを確認してください。また、高速システム・クロックで動作している周辺ハードウェアを停止してください。

5.6.2 高速内蔵発振クロックの制御例

次の設定手順例を、以下に示します。

- (1) 高速内蔵発振クロックの発振を再開する場合
- (2) 高速内蔵発振クロックをCPU / 周辺ハードウェア・クロックとして使用する場合
- (3) 高速内蔵発振クロックを停止する場合

(1) 高速内蔵発振クロックの発振を再開する場合の設定手順例^注

高速内蔵発振クロック発振の再開の設定（CSCレジスタ）

HIOSTOPを0に設定すると高速内蔵発振クロックは発振を再開します。

注 リセット解除後、高速内蔵発振器は自動的に発振し、高速内蔵発振クロックがCPU / 周辺ハードウェア・クロックとして選択されます。

(2) 高速内蔵発振クロックをCPU / 周辺ハードウェア・クロックとして使用する場合

高速内蔵発振クロックの発振を再開^注

(5.6.2 (1) 高速内蔵発振クロックの発振を再開する場合の設定手順例を参照)。

注 高速内蔵発振クロック動作中の場合、 の設定不要です。

高速内蔵発振クロックをCPU/周辺ハードウェア・クロックのソース・クロックに設定し、設定したクロックの分周比を設定（CKCレジスタ）

MCM0	MDIV2	MDIV1	MDIV0	CPU/周辺ハードウェア・クロック (f _{CLK}) の選択
0	0	0	0	f _H
	0	0	1	f _H /2
	0	1	0	f _H /2 ²
	0	1	1	f _H /2 ³
	1	0	0	f _H /2 ⁴
	1	0	1	f _H /2 ⁵

注意 高速内蔵発振クロックを再開後に、CPU/周辺ハードウェア・クロックを高速システム・クロックから高速内蔵発振クロックに切り替える場合は、10 μs以上経過後に行ってください。再開直後に切り替えた場合は、10 μs間の高速内蔵発振の精度が保証できません。

(3) 高速内蔵発振クロックを停止する場合の設定手順例

高速内蔵発振クロックを停止するには、次の2つの方法があります。

- ・ STOP命令を実行する
- ・ HIOSTOPを1に設定する

(a) STOP命令を実行する場合

周辺ハードウェアの設定

STOPモード中に使用できない周辺ハードウェアをすべて停止します（STOPモード中に使用できない周辺ハードウェアについては、第19章 **スタンバイ機能**を参照してください）。

STOPモード解除後のX1クロックの発振安定時間の設定

STOPモード移行前にX1クロックが発振している場合、STOP命令実行前までにOSTSレジスタの値を設定します。

STOP命令の実行

STOP命令を実行すると、STOPモードに移行し、高速内蔵発振クロックは停止します。

(b) HIOSTOPを1に設定し、高速内蔵発振クロックを停止する場合

CPUクロックのステータスを確認（CKCレジスタ）

CLSとMCSで、CPUクロックが高速内蔵発振クロック以外で動作していることを確認します。

CLS = 0, MCS = 0の場合、CPUに高速内蔵発振クロックが供給されていますので、CPUクロックを高速システム・クロックか、サブシステム・クロックに変更してください。

CLS	MCS	CPUクロックのステータス
0	0	高速内蔵発振クロックまたは20 MHz高速内蔵発振クロック
0	1	高速システム・クロック
1	x	サブシステム・クロック

高速内蔵発振クロックの停止 (CSCレジスタ)

HIOSTOPを1に設定すると、高速内蔵発振が停止します。

注意 HIOSTOPに1を設定するとき、必ずMCS = 1またはCLS = 1であることを確認してください。
また、高速内蔵発振クロックで動作している周辺ハードウェアを停止してください。

5.6.3 サブシステム・クロックの制御例

XT1, XT2端子に水晶発振子を接続して、サブシステム・クロックを発振することができます。
また、未使用時では、XT1/P123, XT2/P124端子を入力ポートとして使用できます。

注意 XT1/P123, XT2/P124端子のリセット解除時は、入力ポート・モードです。

次の設定手順例を、以下に示します。

- (1) サブシステム・クロックを発振する場合
- (2) サブシステム・クロックをCPUクロックとして使用する場合
- (3) サブシステム・クロックを停止する場合

注意 サブシステム・クロックをCPUクロックとして使用する場合、同時に周辺ハードウェアにもサブシステム・クロックが供給されます (リアルタイム・カウンタ, クロック出力/ブザー出力, およびウォッチドッグ・タイマは除く)。このとき, A/Dコンバータ, IICAの動作は保証できません。周辺ハードウェアの動作特性については、各周辺ハードウェアの章および第29章 電気的特性を参照してください。

(1) サブシステム・クロックを発振する場合の設定手順例

P123/XT1, P124/XT2端子の設定 (CMCレジスタ)

EXCLK	OSCSEL	0	OSCSLS	0	AMPHS1	AMPHS0	AMPH
0/1	0/1	0	1	0	0/1	0/1	0/1

備考 P121/X1, P122/X2端子の設定については、5.6.1 高速システム・クロックの制御例を参照してください。

サブシステム・クロックの発振制御 (CSCレジスタ)

XTSTOPを0に設定すると、XT1発振回路が発振を開始します。

サブシステム・クロックの発振安定待ち

タイマ機能などを用いて、サブシステム・クロックに必要な発振安定時間をソフトウェアにてウエイトしてください。

注意 CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。
そのため、EXCLK, OSCSELビットの値も同時に設定する必要があります。EXCLK, OSCSELビットについては、5.6.1 (1) X1クロックを発振する場合の設定手順例、または (2) 外部メイン・システム・クロックを使用する場合の設定手順例を参照してください。

(2) サブシステム・クロックをCPUクロックとして使用する場合の設定手順例

サブシステム・クロックを発振[※]

(5.6.3 (1) サブシステム・クロックを発振する場合の設定手順例を参照)

注 サブシステム・クロック動作中の場合、 の設定不要です。

サブシステム・クロックをCPUクロックのソース・クロックに設定 (CKCレジスタ)

CSS	CPU / 周辺ハードウェア・クロック (f _{CLK}) の選択
1	f _{SUB} /2

注意 サブシステム・クロックをCPUクロックとして使用する場合、同時に周辺ハードウェアにもサブシステム・クロックが供給されます (リアルタイム・カウンタ、クロック出力/プザー出力、およびウォッチドッグ・タイマは除く)。このとき、A/Dコンバータ、IICAの動作は保証できません。周辺ハードウェアの動作特性については、各周辺ハードウェアの章および第29章 電気的特性を参照してください。

(3) サブシステム・クロックを停止する場合の設定手順例

CPUクロックのステータスを確認 (CKCレジスタ)

CLSとMCSで、CPUクロックがサブシステム・クロック以外で動作しているかを確認します。

CLS = 1の場合、CPUにサブシステム・クロックが供給されていますので、CPUクロックを高速内蔵発振クロックが高速システム・クロックに変更してください。

CLS	MCS	CPUクロックのステータス
0	0	高速内蔵発振クロックまたは20 MHz高速内蔵発振クロック
0	1	高速システム・クロック
1	x	サブシステム・クロック

サブシステム・クロックの停止 (CSCレジスタ)

XTSTOPを1に設定すると、サブシステム・クロックが停止します。

注意1. XTSTOPに1を設定するとき、必ずCLS = 0であることを確認してください。また、サブシステム・クロックで動作している周辺ハードウェアがある場合は、その周辺ハードウェアの動作を停止してください。

2. STOP命令でサブシステム・クロックの発振を停止することはできません。

5.6.4 低速内蔵発振クロックの制御例

低速内蔵発振クロックは、CPUクロックとして使用することはできません。ウォッチドッグ・タイマのクロックとしてのみ使用します。

リセット解除後、低速内蔵発振器は自動的に発振します。オプション・バイトで「ウォッチドッグ・タイマを動作許可」に設定した場合は、ウォッチドッグ・タイマを駆動します（30 kHz（TYP.））。

ウォッチドッグ・タイマ停止時以外では、低速内蔵発振器の発振は継続します。ウォッチドッグ・タイマ動作時に、プログラムが暴走する場合においても、低速内蔵発振クロックが停止することはありません。

(1) 低速内蔵発振クロックを停止する場合の設定手順例

低速内蔵発振クロックを停止するには、次の2つの方法があります。

- ・ オプション・バイトで「HALT/STOPモード時にウォッチドッグ・タイマ動作停止」に設定（000C0Hのビット0（WDSTBYON）= 0）し、HALT命令またはSTOP命令を実行する
- ・ オプション・バイトで「ウォッチドッグ・タイマ動作停止」に設定（000C0Hのビット4（WDTON）= 0）する

(2) 低速内蔵発振クロックの発振を再開する場合の設定手順例

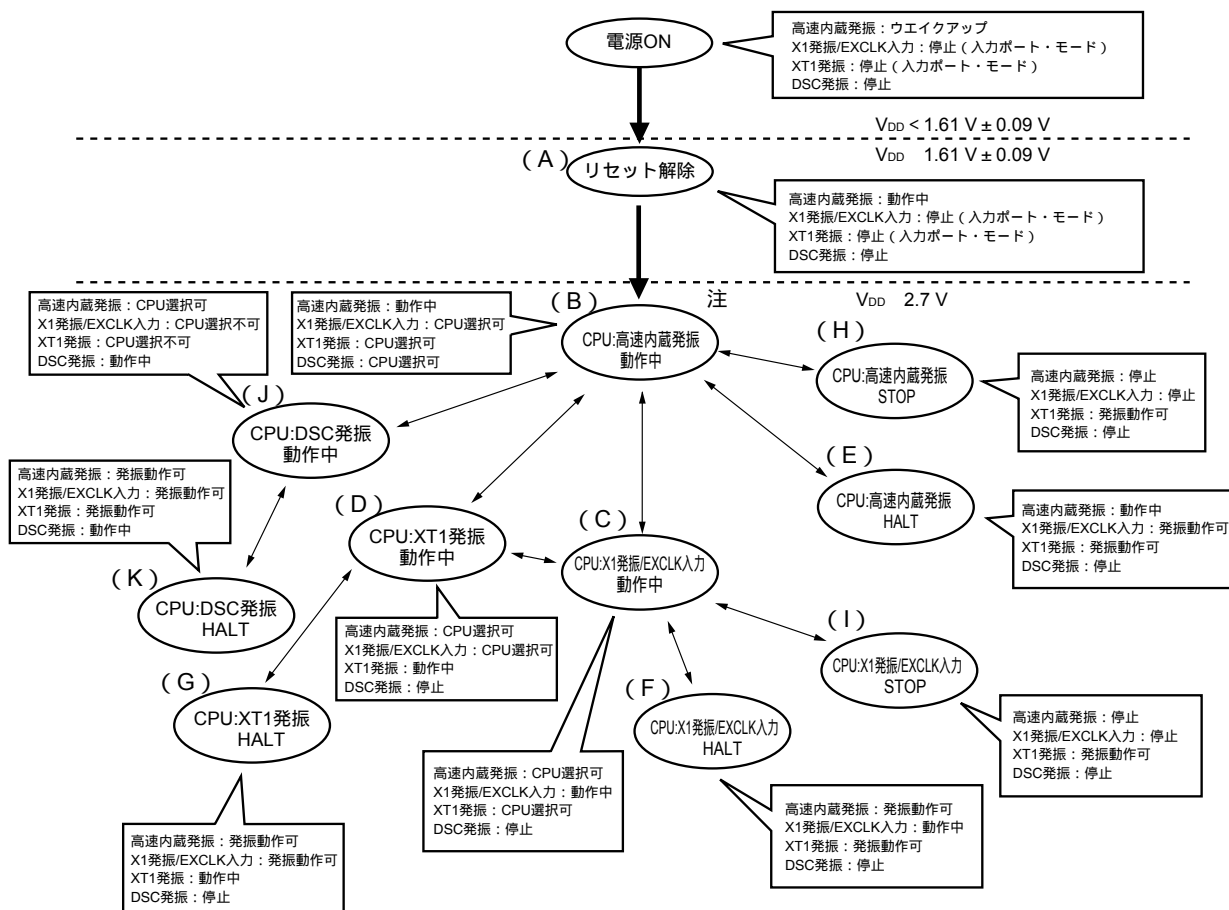
低速内蔵発振クロックを再開するには、次の方法があります。

- ・ HALTモードまたはSTOPモードを解除する
（オプション・バイトで「HALT/STOPモード時にウォッチドッグ・タイマ動作停止」に設定（000C0Hのビット0（WDSTBYON）= 0）し、HALT命令またはSTOP命令の実行で、ウォッチドッグ・タイマの動作が停止している場合のみ）

5.6.5 CPUクロック状態移行図

この製品のCPUクロック状態移行図を図5-17に示します。

図5-17 CPUクロック状態移行図



注 リセット解除後は、システム・クロック制御レジスタ (CKC) = 09Hにより、 $f_{CLK} = f_{IH}/2$ が選択されるため、4 MHz (8 MHz/2) の動作周波数で動作開始します。

備考1. オプション・バイトで、低電圧検出 (LVI) 回路をデフォルトでONに設定した場合は、電源電圧 (V_{DD}) が2.07 V \pm 0.2 Vを越えるまでリセットは解除されません。

そしてリセット処理後に上図の (B) に移行します。

2. DSC : 20 MHz高速内蔵発振クロック

CPUクロックの移行とSFRレジスタの設定例などを表5-4に示します。

表5-4 CPUクロックの移行とSFRレジスタの設定例 (1/6)

(1) リセット解除後 (A) に、CPUを高速内蔵発振クロック動作 (B) へ移行

状態遷移		SFRレジスタの設定
(A)	(B)	SFRレジスタ設定不要 (リセット解除後の初期状態)

(2) リセット解除後 (A) に、CPUを高速システム・クロック動作 (C) へ移行

(リセット解除直後、CPUは高速内蔵発振クロックで動作 (B))

(SFRレジスタの設定順序) →

状態遷移	CMCレジスタ ^{注1}			CSC レジスタ	OSMC レジスタ	OSTC レジスタ	CKC レジスタ
	EXCLK	OSCSEL	AMPH	MSTOP	FSEL		MCM0
(A) (B) (C) (X1クロック: 2 MHz f_x 10 MHz)	0	1	0	0	0	確認 必要	1
(A) (B) (C) (X1クロック: 10 MHz < f_x 20 MHz)	0	1	1	0	1 ^{注2}	確認 必要	1
(A) (B) (C) (外部メイン・クロック)	1	1	x	0	0/1 ^{注2}	確認 不要	1

注1. CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

2. $f_{CLK} > 10$ MHzのときは、FSEL = 1です。

$f_x > 10$ MHzのときでも、分周クロックを選択して $f_{CLK} = 10$ MHzとなる場合は、FSEL = 0で使用可能です。

注意 設定するクロックの動作可能電圧 (第29章 電気的特性を参照) に電源電圧が達してから、クロックを設定してください。

備考 x : don't care

(3) リセット解除後 (A) に、CPUをサブシステム・クロック動作 (D) へ移行

(リセット解除直後、CPUは高速内蔵発振クロックで動作 (B))

(SFRレジスタの設定順序) →

状態遷移	CMCレジスタ ^注			CSC レジスタ	発振安定 待ち	CKC レジスタ
	OSCSELS	AMPHS1	AMPHS0	XTSTOP		CSS
(A) (B) (D)	1	0/1	0/1	0	必要	1

注 CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

備考 表5-4の (A) - (K) は、図5-17の (A) - (K) と対応しています。

表5 - 4 CPUクロックの移行とSFRレジスタの設定例 (2/6)

- (4) リセット解除後 (A) に、CPUを20 MHz高速内蔵発振クロック動作 (J) へ移行
(リセット解除直後、CPUは高速内蔵発振クロックで動作 (B))

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ			DSCCTL レジスタ	発振安定待ち	DSCCTL レジスタ
	(A)	(B)	(J)	DSCON		SELDSC
				1	必要 (100 μs)	1

- (5) CPUを高速内蔵発振クロック動作 (B) から高速システム・クロック動作 (C) へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ			CMCレジスタ ^{注1}			OSTS レジスタ	CSC レジスタ	OSMC レジスタ	OSTC レジスタ	CKC レジスタ
	(B)	(C)	(J)	EXCLK	OSCSEL	AMPH					
(B) (C) (X1クロック : 2 MHz f_x 10 MHz)	0	1	0	注2	0	0	確認 必要	1			
(B) (C) (X1クロック : 10 MHz <math><f_x</math> 20 MHz)	0	1	1	注2	0	1 ^{注3}	確認 必要	1			
(B) (C) (外部メイン・クロック)	1	1	x	注2	0	0/1 ^{注3}	確認 不要	1			

設定済みの場合は不要
高速システム・クロック
動作中の場合は不要

注1. CMCレジスタは、リセット解除後、1回のみ設定可能です。設定済みの場合は不要です。

2. OSTCの発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTCで設定する発振安定時間

3. $f_{CLK} > 10$ MHzのときは、FSEL = 1です。

$f_x > 10$ MHzのときでも、分周クロックを選択して $f_{CLK} = 10$ MHzとなる場合は、FSEL = 0で使用可能です。

注意 設定するクロックの動作可能電圧 (第29章 電気的特性を参照) に電源電圧が達してから、クロックを設定してください。

備考1. x : don't care

2. 表5 - 4の (A) - (K) は、図5 - 17の(A) - (K) と対応しています。

表5-4 CPUクロックの移行とSFRレジスタの設定例(3/6)

(6) CPUを高速内蔵発振クロック動作 (B) から、サブシステム・クロック動作 (D) へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	CMCレジスタ ^注	CSCレジスタ	発振安定待ち	CKCレジスタ
		OSCSELS	XTSTOP		CSS
(B) (D)		1	0	必要	1

サブシステム・クロック動作中の場合は不要

注 CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

(7) CPUを高速内蔵発振クロック動作 (B) から、20 MHz高速内蔵発振クロック動作 (J) へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	DSCCTL レジスタ	発振安定待ち	DSCCTL レジスタ
		DSCON		SELDSC
(B) (J)		1	必要 (100 μs)	1

20 MHz高速内蔵発振クロック
動作中の場合は不要

(8) CPUを高速システム・クロック動作 (C) から、高速内蔵発振クロック動作 (B) へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	CSCレジスタ	発振精度安定待ち	CKCレジスタ
		HIOSTOP		MCM0
(C) (B)		0	10 μs	0

高速内蔵発振クロック
動作中の場合は不要

備考 表5-4の (A) - (K) は、図5-17の(A) - (K) と対応しています。

表5 - 4 CPUクロックの移行とSFRレジスタの設定例 (4/6)

(9) CPUを高速システム・クロック動作 (C) から、サブシステム・クロック動作 (D) へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	CSCレジスタ	発振安定待ち	CKCレジスタ
		XTSTOP		CSS
(C) (D)		0	必要	1

サブシステム・クロック動作中の場合は不要

(10) CPUをサブシステム・クロック動作 (D) から、高速内蔵発振クロック動作 (B) へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	CSCレジスタ	CKCレジスタ	
		HIOSTOP	MCM0	CSS
(D) (B)		0	0	0

高速内蔵発振クロック動作中の場合は不要

設定済みの場合は不要

備考 表5 - 4の (A) - (K) は、図5 - 17の(A) - (K) と対応しています。

表5 - 4 CPUクロックの移行とSFRレジスタの設定例 (5/6)

(11) CPUをサブシステム・クロック動作 (D) から高速システム・クロック動作 (C) へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	OSTS レジスタ	CSC レジスタ	OSMC レジスタ	OSTC レジスタ	CKC レジスタ	
			MSTOP	FSEL		MCM0	CSS
(D) (C) (X1クロック : 2 MHz f_x 10 MHz)		注1	0	0	確認 必要	1	0
(D) (C) (X1クロック : 10 MHz < f_x 20 MHz)		注1	0	1 ^{注2}	確認 必要	1	0
(D) (C) (外部メイン・クロック)		注1	0	0/1 ^{注2}	確認 不要	1	0

高速システム・クロック動作中の場合は不要
設定済みの場合は不要

注1. OSTCの発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTCで設定する発振安定時間

2. $f_{CLK} > 10$ MHzのときは, FSEL = 1です。

$f_x > 10$ MHzのときでも, 分周クロックを選択して $f_{CLK} = 10$ MHzとなる場合は, FSEL = 0で使用可能です。

注意 設定するクロックの動作可能電圧 (第29章 電気的特性を参照) に電源電圧が達してから, クロックを設定してください。

(12) CPUを20 MHz高速内蔵発振クロック動作 (J) から, 高速内蔵発振クロック動作 (B) へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	DSCCTL レジスタ	
		SELDSC	DSCON
(J) (B)		0	0

備考 表5 - 4の (A) - (K) は, 図5 - 17の(A) - (K) と対応しています。

表5 - 4 CPUクロックの移行とSFRレジスタの設定例 (6/6)

- (13) ・ CPUが高速内蔵発振クロック動作中 (B) にHALTモード (E) へ移行
 ・ CPUが高速システム・クロック動作中 (C) にHALTモード (F) へ移行
 ・ CPUがサブシステム・クロック動作中 (D) にHALTモード (G) へ移行
 ・ CPUが20 MHz高速内蔵発振クロック動作中 (J) にHALTモード (K) へ移行

状態遷移	設定内容
(B) (E) (C) (F) (D) (G) (J) (K)	HALT命令を実行する

- (14) ・ CPUが高速内蔵発振クロック動作中 (B) にSTOPモード (H) へ移行
 ・ CPUが高速システム・クロック動作中 (C) にSTOPモード (I) へ移行

(設定順序)

状態遷移		設定内容	
(B) (H)		STOPモード中に動作できない周辺機能を停止する	STOP命令を実行する
(C) (I)	X1発振		OSTSレジスタを設定する
	外部クロック		-

備考 表5 - 4の (A) - (K) は、図5 - 17の(A) - (K) と対応しています。

5.6.6 CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について、次に示します。

表5-5 CPUクロックの移行について(1/2)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速内蔵発振 クロック	X1クロック	X1発振が安定していること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・ 発振安定時間経過後	高速内蔵発振器を停止 (HIOSTOP = 1) すると、動作電流を低減可能
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0	
	サブシステム・クロック	XT1発振が安定していること ・ OSCSELS = 1, XTSTOP = 0 ・ 発振安定時間経過後	
	20 MHz 高速内蔵発振クロック	オプション・バイトで20 MHzが設定されていて、DSC発振が安定していること ・ DSCON = 1に設定して発振安定時間(100 μ s) 経過後 ・ SELDSC = 1	-
X1クロック	高速内蔵発振クロック	高速内蔵発振器が発振されていること ・ HIOSTOP = 0	X1発振停止可能 (MSTOP = 1)
	外部メイン・システム・クロック	移行不可 (変更したい場合は、いったんリセットしてから再設定してください。)	-
	サブシステム・クロック	XT1発振が安定していること ・ OSCSELS = 1, XTSTOP = 0 ・ 発振安定時間経過後	X1発振停止可能 (MSTOP = 1)
	20 MHz 高速内蔵発振クロック	いったん高速内蔵発振クロックに切り替えないと移行できません。	-
外部メイン・システム・クロック	高速内蔵発振クロック	高速内蔵発振器が発振されていること ・ HIOSTOP = 0	外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)
	X1クロック	移行不可 (変更したい場合は、いったんリセットしてから再設定してください。)	-
	サブシステム・クロック	XT1発振が安定していること ・ OSCSELS = 1, XTSTOP = 0 ・ 発振安定時間経過後	外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)
	20 MHz 高速内蔵発振クロック	いったん高速内蔵発振クロックに切り替えないと移行できません。	-

表5-5 CPUクロックの移行について(2/2)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
サブシステム・クロック	高速内蔵発振クロック	高速内蔵発振器が発振され、メイン・システム・クロックに高速内蔵発振クロックが選択されていること ・HIOSTOP = 0, MCS = 0	XT1発振停止に設定可能(XTSTOP = 1)
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCESEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後 ・MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCESEL = 1, EXCLK = 1, MSTOP = 0 ・MCS = 1	
	20 MHz 高速内蔵発振クロック	いったん高速内蔵発振クロックに切り替えないと移行できません。	-
20 MHz 高速内蔵発振クロック	高速内蔵発振クロック	・SELDSC = 0 (移行時に設定します)	20 MHz高速内蔵発振クロック停止に設定可能(DSCON = 0)
	X1クロック	いったん高速内蔵発振クロックに切り替えないと移行できません。	-
	外部メイン・システム・クロック	いったん高速内蔵発振クロックに切り替えないと移行できません。	-
	サブシステム・クロック	いったん高速内蔵発振クロックに切り替えないと移行できません。	-

5.6.7 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間

システム・クロック制御レジスタ (CKC) のビット0-2, 4, 6 (MDIV0-MDIV2, MCM0, CSS) との設定により, CPUクロックの切り替え (メイン・システム・クロック サブシステム・クロック), メイン・システム・クロックの切り替え (高速内蔵発振クロック 高速システム・クロック) およびメイン・システム・クロックの分周比変更をすることができます。

実際の切り替え動作は, CKCを書き換えた直後ではなく, CKCを変更したのち, 数クロックは切り替え前のクロックで動作します (表5-6 ~ 表5-9参照)。

CPUクロックがメイン・システム・クロックで動作しているか, サブシステム・クロックで動作しているかは, CKCのビット7 (CLS) で判定できます。またメイン・システム・クロックが高速システム・クロックで動作しているか, 高速内蔵発振クロックで動作しているかは, CKCのビット5 (MCS) で判定できます。

CPUクロックを切り替えると, 周辺ハードウェア・クロックも同時に切り替わります。

表5-6 メイン・システム・クロックの切り替えに要する最大時間

クロックA	切り替え方向	クロックB	備考
f_{MAINC}	↔ (分周比変更)	f_{MAINC}	表5-7参照
f_{IH}	↔	f_{MX}	表5-8参照
f_{MAINC}	↔	$f_{\text{SUB}}/2$	表5-9参照

表5-7 $f_{\text{MAINC}} \leftrightarrow f_{\text{MAINC}}$ (分周比変更) で要する最大クロック数

切り替え前の設定値	切り替え後の設定値	
	クロックA	クロックB
クロックA		$1 + f_{\text{A}}/f_{\text{B}}$ クロック
クロックB	$1 + f_{\text{B}}/f_{\text{A}}$ クロック	

表5-8 $f_{\text{IH}} \leftrightarrow f_{\text{MX}}$ で要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
MCM0		MCM0	
		0 ($f_{\text{MAIN}} = f_{\text{IH}}$)	1 ($f_{\text{MAIN}} = f_{\text{MX}}$)
0 ($f_{\text{MAIN}} = f_{\text{IH}}$)	$f_{\text{MX}} \geq f_{\text{IH}}$		$1 + f_{\text{IH}}/f_{\text{MX}}$ クロック
	$f_{\text{MX}} < f_{\text{IH}}$		$2f_{\text{IH}}/f_{\text{MX}}$ クロック
1 ($f_{\text{MAIN}} = f_{\text{MX}}$)	$f_{\text{MX}} \geq f_{\text{IH}}$	$2f_{\text{MX}}/f_{\text{IH}}$ クロック	
	$f_{\text{MX}} < f_{\text{IH}}$	$1 + f_{\text{MX}}/f_{\text{IH}}$ クロック	

(備考は次ページにあります。)

表5 - 9 $f_{\text{MAINC}} \leftrightarrow f_{\text{SUB}}$ で要する最大クロック数

切り替え前の設定値	切り替え後の設定値	
CSS	CSS	
	0 ($f_{\text{CLK}} = f_{\text{MAINC}}$)	1 ($f_{\text{CLK}} = f_{\text{SUB}}/2$)
0 ($f_{\text{CLK}} = f_{\text{MAINC}}$)		$1 + 4f_{\text{MAINC}}/f_{\text{SUB}}$ クロック
1 ($f_{\text{CLK}} = f_{\text{SUB}}/2$)	$2 + f_{\text{SUB}}/2f_{\text{MAINC}}$ クロック	

備考1. f_{IH} : 高速内蔵発振クロック周波数

f_{MX} : 高速システム・クロック周波数

f_{MAIN} : メイン・システム・クロック周波数

f_{MAINC} : メイン・システム選択クロック周波数

f_{SUB} : サブシステム・クロック周波数

f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

2. 表5 - 7から表5 - 9のクロック数は、切り替え前のCPUクロックのクロック数です。

3. 表5 - 7から表5 - 9のクロック数は、小数点以下を切り上げてください。

例 メイン・システム・クロックを高速内蔵発振クロックから高速システム・クロックに切り替える場合 ($f_{\text{IH}} = 8 \text{ MHz}$, $f_{\text{MX}} = 10 \text{ MHz}$ 発振時)

$$1 + f_{\text{IH}}/f_{\text{MX}} = 1 + 8/10 = 1 + 0.8 = 1.8 \quad 2\text{クロック}$$

5.6.8 クロック発振停止前の条件

クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件を次に示します。

表5 - 10 クロック発振停止前の条件とフラグ設定

クロック	クロック停止（外部クロック入力無効）前条件	SFRレジスタのフラグ設定
高速内蔵発振クロック	MCS = 1またはCLS = 1 (CPUクロックが高速内蔵発振クロック以外で動作)	HIOSTOP = 1
X1クロック	MCS = 0またはCLS = 1 (CPUクロックが高速システム・クロック以外で動作)	MSTOP = 1
外部メイン・システム・クロック		
サブシステム・クロック	CLS = 0 (CPUクロックがサブシステム・クロック以外で動作)	XTSTOP = 1
20 MHz高速内蔵発振クロック	SELDSC = 0 (メイン・システム・クロックが20 MHz高速内蔵発振クロック以外で動作)	DSCON = 0

第6章 タイマ・アレイ・ユニット

タイマ・アレイ・ユニットには2つのユニットがあります。タイマ・アレイ・ユニット0は8つの16ビット・タイマを、タイマ・アレイ・ユニット1は3つの16ビット・タイマを搭載しています。各16ビット・タイマは「チャンネル」と呼び、それぞれを単独のタイマとして使用することはもちろん、複数のチャンネルを組み合わせることで高度なタイマ機能として使用することもできます。

単体動作機能	連動動作機能
<ul style="list-style-type: none"> ・ インターバル・タイマ ・ 方形波出力 ・ 外部イベント・カウンタ ・ 分周器機能 (ユニット0のチャンネル0のみ) ・ 入力パルス間隔測定 ・ 入力信号のハイ/ロウ・レベル幅測定 	<ul style="list-style-type: none"> ・ PWM出力 ・ ワンショット・パルス出力 ・ 多重PWM出力

6.1 タイマ・アレイ・ユニットの機能

タイマ・アレイ・ユニットには、次のような機能があります。

6.1.1 単独チャンネルで動作する機能

単体動作機能は、他のチャンネルの動作モードに関係なく任意のチャンネルで使用可能な機能です(詳細は6.6.1 単体動作機能と連動動作機能の概要参照)。

(1) インターバル・タイマ

一定間隔で割り込み (INTTMmn) を発生する基準タイマとして利用できます。

(2) 方形波出力

INTTMmnの発生ごとにトグル動作を行い、デューティ50%の方形波をタイマ出力端子 (TOMn) より出力します。

(3) 外部イベント・カウンタ

タイマ入力端子 (TIMn) に入力される信号の有効エッジをカウントし、規定回数に達したら割り込みを発生するイベント・カウンタとして利用できます。

備考 m: ユニット番号 (m = 0, 1), n: チャンネル番号 (n = 0-7),
mn = 00-07, 10-12

(4) 分周器機能 (ユニット0のチャンネル0のみ)

タイマ入力端子 (TI00) から入力されたクロックを、分周して出力端子 (TO00) より出力します。

(5) 入力パルス間隔測定

タイマ入力端子 (TI_{mn}) に入力されるパルス信号の有効エッジでカウントをスタートし、次のパルスの有効エッジでカウント値をキャプチャすることで、入力パルスの間隔を測定します。

(6) 入力信号のハイ/ロウ・レベル幅測定

タイマ入力端子 (TI_{mn}) に入力される信号の片エッジでカウントをスタートし、もう一方の片エッジでカウント値をキャプチャすることで、入力信号のハイ・レベル幅、ロウ・レベル幅を測定します。

備考 m : ユニット番号 (m = 0, 1) , n : チャンネル番号 (n = 0-7) ,
mn = 00-07, 10-12

6.1.2 複数チャンネルで動作する機能

連動動作機能は、マスタ・チャンネル (主に周期を制御する基準タイマ) とスレーブ・チャンネル (マスタ・チャンネルに従い動作するタイマ) を組み合わせて実現する機能です (詳細は6.6.1 **単体動作機能と連動動作機能の概要参照**)。

(1) PWM (Pulse Width Modulation) 出力

2チャンネルをセットで使用し、周期とデューティを任意に設定できるパルスを生成します。

(2) ワンショット・パルス出力

2チャンネルをセットで使用し、ディレイとパルス幅を任意に設定できるワンショット・パルスを生成します。

(3) 多重PWM (Pulse Width Modulation) 出力

PWM機能を拡張し、1つのマスタ・チャンネルと複数のスレーブ・チャンネルとして使用することで、周期一定で任意のデューティのPWM信号を最大7種類生成することができます。

6.2 タイマ・アレイ・ユニットの構成

タイマ・アレイ・ユニットは、次のハードウェアで構成されています。

表6-1 タイマ・アレイ・ユニットの構成

項 目	構 成
タイマ/カウンタ	タイマ・カウンタ・レジスタmn (TCRmn)
レジスタ	タイマ・データ・レジスタmn (TDRmn)
タイマ入力	TI00-TI07, TI10-TI12端子
タイマ出力	TO00-TO07, TO10-TO12端子, 出力制御回路
制御レジスタ	<p><ユニット設定部のレジスタ></p> <ul style="list-style-type: none"> ・周辺イネーブル・レジスタ0 (PER0) ・タイマ・クロック選択レジスタm (TPSm) ・タイマ・チャンネル許可ステータス・レジスタm (TEm) ・タイマ・チャンネル開始レジスタm (TSm) ・タイマ・チャンネル停止レジスタm (TTm) ・タイマ入力選択レジスタm (TISm) ・タイマ出力許可レジスタm (TOEm) ・タイマ出力レジスタm (TOM) ・タイマ出力レベル・レジスタm (TOLm) ・タイマ出力モード・レジスタm (TOMm) <p><各チャンネル部のレジスタ></p> <ul style="list-style-type: none"> ・共通 <ul style="list-style-type: none"> タイマ・モード・レジスタmn (TMRmn) タイマ・ステータス・レジスタmn (TSRmn) ノイズ・フィルタ許可レジスタ1, 2 (NFEN1, NFEN2) ・78K0R/KF3-C <ul style="list-style-type: none"> ポート・モード・レジスタ0, 1, 3-6 (PM0, PM1, PM3-PM6) ポート・レジスタ0, 1, 3-6 (P0, P1, P3-P6) ・78K0R/KG3-C <ul style="list-style-type: none"> ポート・モード・レジスタ0, 1, 3, 4, 6, 13, 14 (PM0, PM1, PM3, PM4, PM6, PM13, PM14) ポート・レジスタ0, 1, 3, 4, 6, 13, 14 (P0, P1, P3, P4, P6, P13, P14)

備考 m: ユニット番号 (m = 0, 1), n: チャンネル番号 (n = 0-7),
mn = 00-07, 10-12

図6-1, 6-2にブロック図を示します。

図6-1 タイマ・アレイ・ユニット0のブロック図

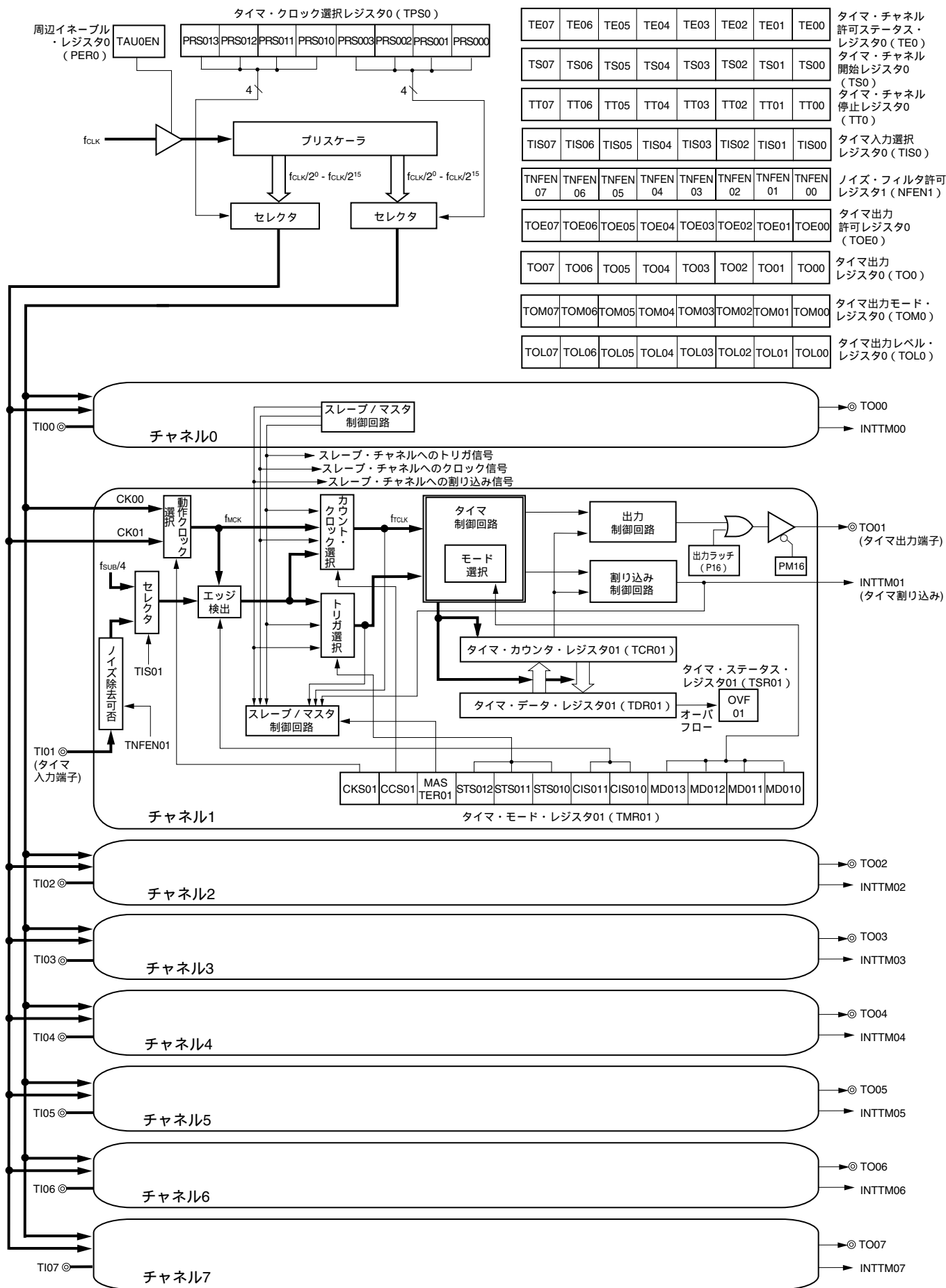
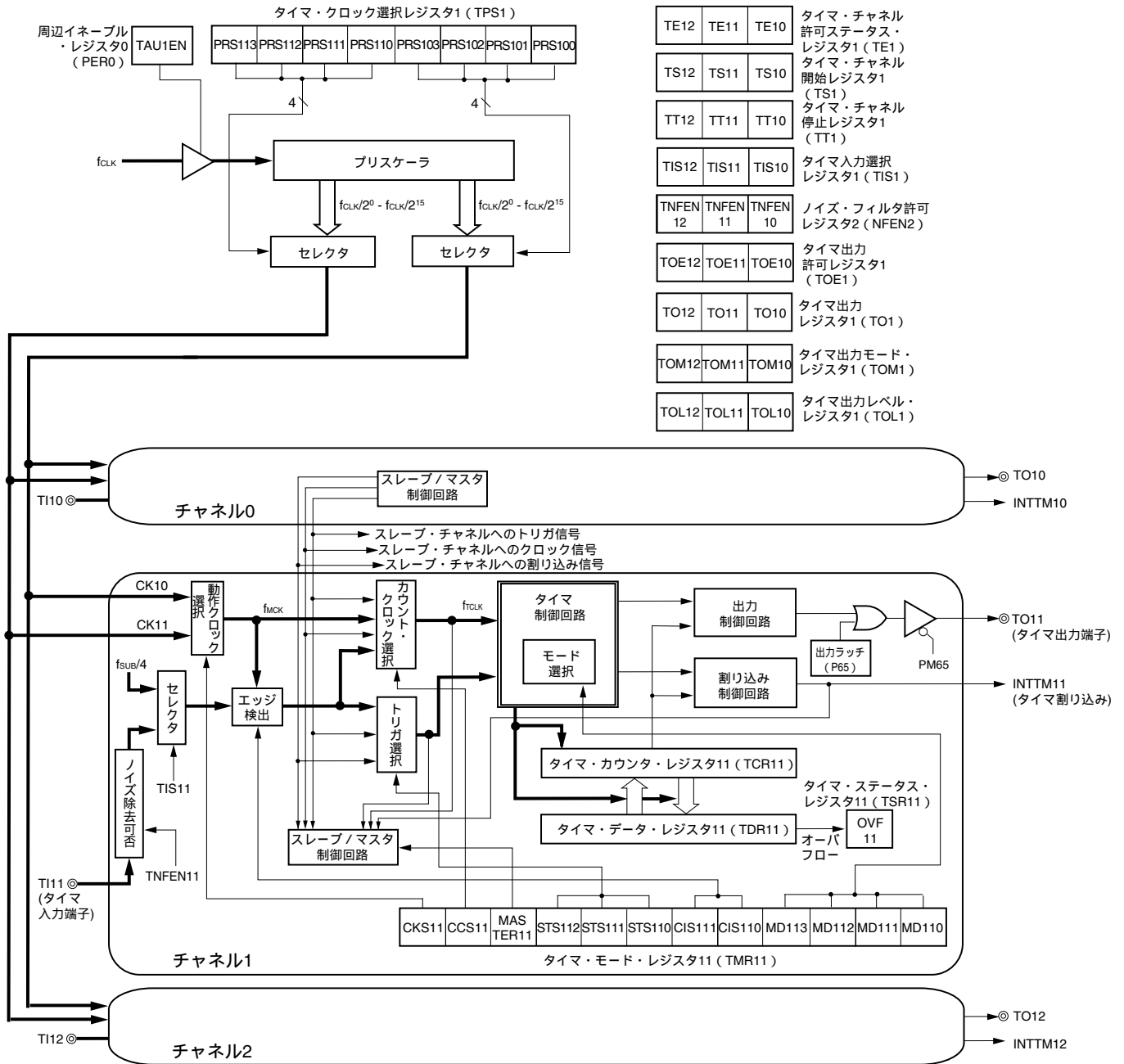


図6-2 タイマ・アレイ・ユニット1のブロック図



(1) タイマ・カウンタ・レジスタ_{mn} (TCR_{mn})

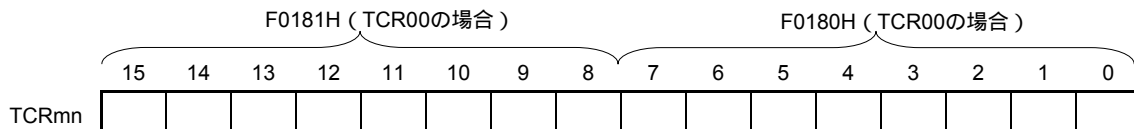
TCR_{mn}は、カウント・クロックをカウントする16ビットのリード専用レジスタです。

カウント・クロックの立ち上がり同期して、カウンタをインクリメント/デクリメントします。

インクリメントかデクリメントかは、TMR_{mn}のMD_{mn3}-MD_{mn0}ビットで動作モードを選択することで切り替わります。

図6-3 タイマ・カウンタ・レジスタ_{mn} (TCR_{mn}) のフォーマット

アドレス：F0180H, F0181H (TCR00) - F018EH, F018FH (TCR07), リセット時：FFFFH R
F01C0H, F01C1H (TCR10) - F01C4H, F01C5H (TCR12)



TCR_{mn}をリードすることにより、カウント値をリードできます。

次の場合、カウント値はFFFFHになります。

- ・リセット信号の発生時
- ・周辺イネーブル・レジスタ0 (PER0) のTAU0ENビット (TAU0の場合), TAU1ENビット (TAU1の場合) をクリアしたとき
- ・PWM出力モードで、スレーブ・チャンネルのカウント完了時
- ・ワンショット・パルス出力モードで、マスタ/スレーブ・チャンネルのカウント完了時
- ・多重PWM出力モードで、スレーブ・チャンネルのカウント完了時

また、次の場合には、カウント値は0000Hになります。

- ・キャプチャ・モード時に、スタート・トリガが入力されたとき
- ・キャプチャ・モード時で、キャプチャ完了時

注意 TCR_{mn}をリードしても、TDR_{mn}にはキャプチャしません。

備考 m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-7),
mn = 00-07, 10-12

TCRmnレジスタ読み出し値は、動作モード変更や動作状態により次のように異なります。

表6-2 各動作モード時のTCRmnレジスタ読み出し値

動作モード	カウント方式	TCRmnレジスタの読み出し値 ^注			
		リセット解除後に動作モード変更	カウント動作を一時停止(TTmn = 1)後、動作モード変更	カウント動作を一時停止(TTmn = 1)後、動作再開	ワンカウント後のスタート・トリガ待ち状態時
インターバル・タイマ・モード	ダウン・カウント	FFFFH	不定	停止値	-
キャプチャ・モード	アップ・カウント	0000H	不定	停止値	-
イベント・カウンタ・モード	ダウン・カウント	FFFFH	不定	停止値	-
ワンカウント・モード	ダウン・カウント	FFFFH	不定	停止値	FFFFH
キャプチャ&ワンカウント・モード	アップ・カウント	0000H	不定	停止値	TDRmnレジスタのキャプチャ値+1

注 TEmn = 0でTSmn = 1にした時点の、TCRmnレジスタの読み出し値を示します。カウント動作開始までこの値がTCRmnレジスタに保持されます。

備考 m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-7) ,
mn = 00-07, 10-12

(2) タイマ・データ・レジスタ_{mn} (TDR_{mn})

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能がコンペア機能かは、TMR_{mn}のMD_{mn3}-MD_{mn0}ビットで動作モードを選択することで切り替わります。

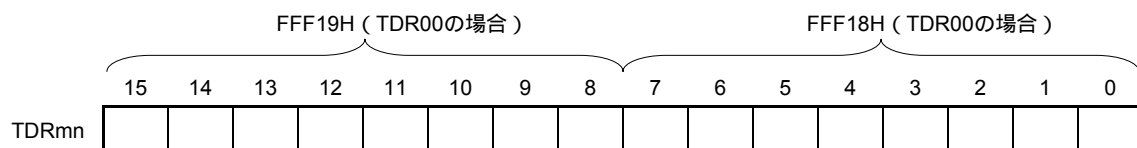
TDR_{mn}は任意のタイミングで書き換えることができます。

16ビット単位でリード/ライト可能です。

リセット信号の発生により、0000Hになります。

図6-4 タイマ・データ・レジスタ_{mn} (TDR_{mn}) のフォーマット

アドレス：FFF18H, FFF19H (TDR00), FFF1AH, FFF1BH (TDR01), リセット時：0000H R/W
 FFF64H, FFF65H (TDR02) - FFF6EH, FFF6FH (TDR07),
 FFF70H, FFF71H (TDR10) - FFF74H, FFF75H (TDR12)

**(i) TDR_{mn}をコンペア・レジスタとして使用するとき**

TDR_{mn}に設定した値からダウン・カウントをスタートして、0000Hになったときに割り込み信号 (INTT_{Mmn}) を発生します。TDR_{mn}は書き換えられるまで値を保持します。

注意 コンペア機能に設定したTDR_{mn}はキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

(ii) TDR_{mn}をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、TCR_{mn}のカウント値をTDR_{mn}にキャプチャします。

キャプチャ・トリガとして、TImn端子の有効エッジの選択ができます。キャプチャ・トリガの選択は、TMR_{mn}で設定します。

備考 m：ユニット番号 (m = 0, 1), n：チャンネル番号 (n = 0-7),
 mn = 00-07, 10-12

6.3 タイマ・アレイ・ユニットを制御するレジスタ

タイマ・アレイ・ユニットを制御するレジスタを次に示します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・タイマ・クロック選択レジスタ m (TPSm)
- ・タイマ・モード・レジスタ mn (TMR mn)
- ・タイマ・ステータス・レジスタ mn (TSR mn)
- ・タイマ・チャンネル許可ステータス・レジスタ m (TE m)
- ・タイマ・チャンネル開始レジスタ m (TSm)
- ・タイマ・チャンネル停止レジスタ m (TT m)
- ・タイマ入力選択レジスタ m (TIS m)
- ・タイマ出力許可レジスタ m (TOE m)
- ・タイマ出力レジスタ m (TOM)
- ・タイマ出力レベル・レジスタ m (TOL m)
- ・タイマ出力モード・レジスタ m (TOM m)
- ・ノイズ・フィルタ許可レジスタ1, 2 (NFEN1, NFEN2)
- ・ポート・モード・レジスタ (PM xx)
- ・ポート・レジスタ (P xx)

備考 m : ユニット番号 ($m = 0, 1$) , n : チャンネル番号 ($n = 0-7$) ,
 $mn = 00-07, 10-12$

(1) 周辺イネーブル・レジスタ0 (PER0)

PER0は、各周辺ハードウェア・マクロの使用可否を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

タイマ・アレイ・ユニット0を使用するときは、ビット0 (TAU0EN) を必ず1に設定してください。

タイマ・アレイ・ユニット1を使用するときは、ビット1 (TAU1EN) を必ず1に設定してください。

PER0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図6-5 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTGEN	0	ADCEN	IICAEN	SAU1EN	SAU0EN	TAU1EN	TAU0EN

TAUmEN	タイマ・アレイ・ユニットmの入カクロックの制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニットmで使用するSFRへのライト不可 ・タイマ・アレイ・ユニットmはリセット状態
1	入力クロック供給 ・タイマ・アレイ・ユニットmで使用するSFRへのリード/ライト可

注意1. タイマ・アレイ・ユニットmの設定をする際には、必ず最初にTAUmEN = 1の設定を行ってください。TAUmEN = 0の場合は、タイマ・アレイ・ユニットmの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります(ノイズ・フィルタ許可レジスタ1, 2(NFEN1, NFEN2), ポート・モード・レジスタ (PMxx), ポート・レジスタ (Pxx) は除く)。

2. PER0レジスタのビット6には必ず“0”を設定してください。

備考 m = 0, 1

(2) タイマ・クロック選択レジスタ_m (TPSm)

TPSmは、各チャンネルに共通して供給される2種類の動作クロック(CKm0, CKm1)を選択する16ビット・レジスタです。TPSmの7-4ビットでCKm1を、3-0ビットでCKm0を選択します。

タイマ動作中のTPSmの書き換えは、次の場合のみ可能です。

PRSm00-PRSm03ビットの書き換え：

CKSmn = 0に設定しているチャンネルがすべて動作停止状態 (TEmn = 0) の場合のみ可能

PRSm10-PRSm13ビットの書き換え：

CKSmn = 1に設定しているチャンネルがすべて動作停止状態 (TEmn = 0) の場合のみ可能

TPSmは16ビット・メモリ操作命令で設定します。

またTPSmの下位8ビットは、TPSmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TPSmは0000Hになります。

備考 m : ユニット番号 (m = 0, 1) , n : チャンネル番号 (n = 0-7) , mn = 00-07, 10-12

図6-6 タイマ・クロック選択レジスタ_m (TPSm) のフォーマット

アドレス : F01B6H, F01B7H (TPS0), リセット時 : 0000H R/W

F01DEH, F01DFH (TPS1)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	0	0	0	0	0	0	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mk3	PRS mk2	PRS mk1	PRS mk0	動作クロック (CKmk) の選択 ^注	動作クロック (CKmk) の選択 ^注			
					f _{CLK} = 2 MHz	f _{CLK} = 5 MHz	f _{CLK} = 10 MHz	f _{CLK} = 20 MHz
0	0	0	0	f _{CLK}	2 MHz	5 MHz	10 MHz	20 MHz
0	0	0	1	f _{CLK} /2	1 MHz	2.5 MHz	5 MHz	10 MHz
0	0	1	0	f _{CLK} /2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz
0	0	1	1	f _{CLK} /2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz
0	1	0	0	f _{CLK} /2 ⁴	125 kHz	312.5 kHz	625 kHz	1.25 MHz
0	1	0	1	f _{CLK} /2 ⁵	62.5 kHz	156.2 kHz	312.5 kHz	625 kHz
0	1	1	0	f _{CLK} /2 ⁶	31.25 kHz	78.1 kHz	156.2 kHz	312.5 kHz
0	1	1	1	f _{CLK} /2 ⁷	15.62 kHz	39.1 kHz	78.1 kHz	156.2 kHz
1	0	0	0	f _{CLK} /2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz
1	0	0	1	f _{CLK} /2 ⁹	3.91 kHz	9.76 kHz	19.5 kHz	39.1 kHz
1	0	1	0	f _{CLK} /2 ¹⁰	1.95 kHz	4.88 kHz	9.76 kHz	19.5 kHz
1	0	1	1	f _{CLK} /2 ¹¹	976 Hz	2.44 kHz	4.88 kHz	9.76 kHz
1	1	0	0	f _{CLK} /2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz
1	1	0	1	f _{CLK} /2 ¹³	244 Hz	610 Hz	1.22 kHz	2.44 kHz
1	1	1	0	f _{CLK} /2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz
1	1	1	1	f _{CLK} /2 ¹⁵	61 Hz	153 Hz	305 Hz	610 Hz

注 f_{CLK}に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニットを停止 (TTm = 00FFH) させてください。

カウント・クロック (f_{CLK}) にCKSmnビットで指定した動作クロック (f_{CK}), TImn端子からの入力信号の有効エッジ, サブシステム・クロックの4分周 (f_{SUB}/4) のどれを選択している場合でも停止する必要があります。

注意 ビット15-8には、必ず0を設定してください。

備考1. f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

2. m : ユニット番号 (m = 0, 1), k = 0, 1

(3) タイマ・モード・レジスタmn (TMRmn)

TMRmnは、チャンネルnの動作モード設定レジスタです。動作クロック (f_{MCK}) の選択、カウント・クロックの選択、マスタ/スレーブの選択、スタート・トリガとキャプチャ・トリガの設定、タイマ入力の有効エッジ選択、動作モード (インターバル、キャプチャ、イベント・カウンタ、ワンカウント、キャプチャ&ワンカウント) 設定を行います。

TMRmnは、動作中 ($TE_m = 1$ のとき) の書き換えは禁止です。ただし、ビット7, 6 (CISmn1, CISmn0) は、一部の機能で動作中 ($TE_m = 1$ のとき) の書き換えが可能です (詳細は6.7 タイマ・アレイ・ユニットの単独チャンネルでの動作, 6.8 タイマ・アレイ・ユニットの複数チャンネルでの動作を参照)。

TMRmnは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図6-7 タイマ・モード・レジスタmn (TMRmn) のフォーマット (1/3)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07), リセット時 : 0000H R/W
F01C8H, F01C9H (TMR10) - F01CCH, F01CDH (TMR12)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKS mn	0	0	CCS mn	MAST ERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CKS mn	チャンネルnの動作クロック (f_{MCK}) の選択
0	TPSmレジスタで設定した動作クロックCKm0
1	TPSmレジスタで設定した動作クロックCKm1
動作クロック (f_{MCK}) は、エッジ検出回路に使用されます。また、CCSmnビットの設定によりサンプリング・クロックおよびカウント・クロック (f_{CLK}) を生成します。	

CCS mn	チャンネルnのカウント・クロック (f_{CLK}) の選択
0	CKSmnビットで指定した動作クロック (f_{MCK})
1	TImn端子からの入力信号の有効エッジ / サブシステム・クロックの4分周 ($f_{SUB}/4$)
カウント・クロック (f_{CLK}) は、タイマ・カウンタ, 出力制御回路, 割り込み制御回路に使用されます。	

注意1. ビット14, 13, 5, 4には、必ず0を設定してください。

2. カウント・クロック (f_{CLK}) にCKSmnビットで指定した動作クロック (f_{MCK}) , TImn端子からの入力信号の有効エッジ, サブシステム・クロックの4分周 ($f_{SUB}/4$) のどれを選択しているも、 f_{CLK} に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニットを停止 ($TT_m = 00FFH$) させてください。

備考 m : ユニット番号 ($m = 0, 1$) , n : チャンネル番号 ($n = 0-7$) ,
mn = 00-07, 10-12

図6-7 タイマ・モード・レジスタmn (TMRmn) のフォーマット (2/3)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) , リセット時 : 0000H R/W
 F01C8H, F01C9H (TMR10) - F01CCH, F01CDH (TMR12)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKS mn	0	0	CCS mn	MAST ERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

MAS TER mn	チャンネルnの単体動作機能，連動動作機能のスレーブ/連動動作機能のマスタの選択
0	単体動作機能，または連動動作機能でスレーブ・チャンネルとして動作
1	連動動作機能でマスタ・チャンネルとして動作
偶数チャンネルのみマスタ・チャンネル (MASTERmn = 1) に設定できます。 奇数チャンネルは必ずスレーブ・チャンネル (MASTERmn = 0) で使用してください。 また，単体動作機能として使用するチャンネルは，MASTERmn = 0 にします。	

STS mn2	STS mn1	STS mn0	チャンネルnのスタート・トリガ，キャプチャ・トリガの設定
0	0	0	ソフトウェア・トリガ・スタートのみ有効 (他のトリガ要因を非選択にする)
0	0	1	Tlmn端子入力の有効エッジを，スタート・トリガ，キャプチャ・トリガの両方に使用
0	1	0	Tlmn端子入力の両エッジを，スタート・トリガとキャプチャ・トリガに分けて使用
1	0	0	マスタ・チャンネルの割り込み信号を使用 (連動動作機能のスレーブ・チャンネル時)
上記以外			設定禁止

CIS mn1	CIS mn0	Tlmn端子の有効エッジ選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	両エッジ (ロウ・レベル幅測定時) スタート・トリガ : 立ち下がりエッジ，キャプチャ・トリガ : 立ち上がりエッジ
1	1	両エッジ (ハイ・レベル幅測定時) スタート・トリガ : 立ち上がりエッジ，キャプチャ・トリガ : 立ち下がりエッジ
STSmn2-STSmn0ビット = 010B時以外で両エッジ指定を使用する場合は，CISmn1-CISmn0ビット = 10Bに設定してください。		

備考 m : ユニット番号 (m = 0, 1) , n : チャンネル番号 (n = 0-7) ,
 mn = 00-07, 10-12

図6-7 タイマ・モード・レジスタmn (TMRmn) のフォーマット (3/3)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07), リセット時 : 0000H R/W
 F01C8H, F01C9H (TMR10) - F01CCH, F01CDH (TMR12)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKS mn	0	0	CCS mn	MAST ERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

MD mn3	MD mn2	MD mn1	MD mn0	チャンネルnの動作モードの設定	TCRのカウント動作	単体動作
0	0	0	1/0	インターバル・タイマ・モード	ダウン・カウント	可
0	1	0	1/0	キャプチャ・モード	アップ・カウント	可
0	1	1	0	イベント・カウンタ・モード	ダウン・カウント	可
1	0	0	1/0	ワンカウント・モード	ダウン・カウント	不可
1	1	0	0	キャプチャ&ワンカウント・モード	アップ・カウント	可
上記以外				設定禁止		

MDmn0ビットの動作は、各動作モードによって変わります(下表を参照)。

動作モード (MDmn3-MDmn1で設定(上表参照))	MD mn0	カウント・スタートと割り込みの設定
・インターバル・タイマ・モード (0, 0, 0)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
・キャプチャ・モード (0, 1, 0)	1	カウント開始時にタイマ割り込みを発生する (タイマ出力も変化させる)。
・イベント・カウンタ・モード (0, 1, 1)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
・ワンカウント・モード ^{注1} (1, 0, 0)	0	カウント動作中のスタート・トリガは無効とする。 その際に割り込みも発生しない。
	1	カウント動作中のスタート・トリガを有効とする ^{注2} 。 その際に割り込みも発生する。
・キャプチャ&ワンカウント・モード (1, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。 カウント動作中のスタート・トリガは無効とする。 その際に割り込みも発生しない。
上記以外		設定禁止

- 注1. ワンカウント・モードでは、カウント動作開始時の割り込み出力 (INTTMmn), TOmn出力は制御しません。
2. 動作中にスタート・トリガ (TSmn = 1) が掛かると、カウンタをクリアし、割り込みを発生して再カウント・スタートします。

備考 m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-7),
 mn = 00-07, 10-12

(4) タイマ・ステータス・レジスタ_{mn} (TSR_{mn})

TSR_{mn}は、チャンネル_nのカウンタのオーバーフロー状況を表示するレジスタです。

TSR_{mn}は、キャプチャ・モード (MD_{mn3}-MD_{mn1} = 010B) とキャプチャ&ワンカウント・モード (MD_{mn3}-MD_{mn1} = 110B) のみ有効です。それ以外のモードでセットされることはありません。各動作モードでのOVFビットの動作とセット/クリア条件は表6-3を参照してください。

TSR_{mn}は、16ビット・メモリ操作命令で読み出します。

またTSR_{mn}の下位8ビットは、TSR_{mnL}で8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TSR_{mn}は0000Hになります。

図6-8 タイマ・ステータス・レジスタ_{mn} (TSR_{mn}) のフォーマット

アドレス：F01A0H, F01A1H (TSR00) - F01AEH, F01AFH (TSR07), リセット時：0000H R
F01D0H, F01D1H (TSR10) - F01D4H, F01D5H (TSR12)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSR _{mn}	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OVF

OVF	チャンネル _n のカウンタのオーバーフロー状況
0	オーバーフローなし
1	オーバーフロー発生
OVF = 1のとき、次にオーバーフローなしでキャプチャしたときにクリア (OVF = 0) されます。	

備考 m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-7),
mn = 00-07, 10-12

表6-3 各動作モードにおけるOVFビットの動作とセット/クリア条件

タイマの動作モード	OVF	セット/クリア条件
・キャプチャ・モード	クリア	キャプチャ時にオーバーフローが発生していない場合
・キャプチャ&ワンカウント・モード	セット	キャプチャ時にオーバーフローが発生していた場合
・インターバル・タイマ・モード	クリア	(使用不可, セット/クリアされない)
・イベント・カウンタ・モード	セット	
・ワンカウント・モード		

備考 OVFビットは、カウンタがオーバーフローしてもすぐには変化せず、その後のキャプチャ時に変化します。

(5) タイマ・チャンネル許可ステータス・レジスタ_m (TE_m)

TE_mは、各チャンネルのタイマ動作許可 / 停止状態を表示するレジスタです。

タイマ・チャンネル開始レジスタ_m (TSM) の各ビットが1にセットされると、その対応ビットが1にセットされます。タイマ・チャンネル停止レジスタ_m (TTM) の各ビットが1にセットされると、その対応ビットが0にクリアされます。

TE_mは、16ビット・メモリ操作命令で読み出します。

またTE_mの下位8ビットは、TE_{mL}で1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TE_mは0000Hになります。

図6-9 タイマ・チャンネル許可ステータス・レジスタ_m (TE_m) のフォーマット

アドレス : F01B0H, F01B1H リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TE0	0	0	0	0	0	0	0	0	TE07	TE06	TE05	TE04	TE03	TE02	TE01	TE00

アドレス : F01D8H, F01D9H リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TE1	0	0	0	0	0	0	0	0	0	0	0	0	0	TE12	TE11	TE10

TE mn	チャンネル _n の動作許可 / 停止状態の表示														
0	動作停止状態														
1	動作許可状態														

備考 m : ユニット番号 (m = 0, 1) , n : チャンネル番号 (n = 0-7) ,
mn = 00-07, 10-12

(6) タイマ・チャンネル開始レジスタ_m (T_{Sm})

T_{Sm}は、タイマ・カウンタ (TCR_{mn}) をクリアし、カウント動作の開始をチャンネルごとに設定するトリガ・レジスタです。

各ビット (T_{Smn}) が1にセットされると、タイマ・チャンネル許可ステータス・レジスタ_m (TE_m) の対応ビット (TE_{mn}) が1にセットされます。T_{Smn}はトリガ・ビットなので、TE_{mn} = 1になるとすぐT_{Smn}はクリアされます。

T_{Sm}は、16ビット・メモリ操作命令で設定します。

またT_{Sm}の下位8ビットは、T_{SmL}で1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、T_{Sm}は0000Hになります。

図6-10 タイマ・チャンネル開始レジスタ_m (T_{Sm}) のフォーマット

アドレス : F01B2H, F01B3H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TS0	0	0	0	0	0	0	0	0	TS07	TS06	TS05	TS04	TS03	TS02	TS01	TS00

アドレス : F01DAH, F01DBH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TS1	0	0	0	0	0	0	0	0	0	0	0	0	0	TS12	TS11	TS10

T _{Smn}	チャンネルnの動作許可 (スタート) トリガ
0	トリガ動作しない
1	TE _{mn} を1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCR _{mn} のカウント動作開始は、各動作モードにより異なります (表6-4参照)。

注意 TS0のビット15-8, TS1のビット15-3には必ず0を設定してください。

備考1. T_{Sm}レジスタの読み出し値は常に0となります。

2. m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-7),
mn = 00-07, 10-12

表6-4 カウント動作許可状態からTCR_{mn}のカウント・スタートまでの動作 (1/2)

タイマの動作モード	T _{Smn} = 1セット時の動作
・インターバル・タイマ・モード	スタート・トリガ検出 (T _{Smn} = 1) 後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDR _{mn} の値をTCR _{mn} にロードし、以降のカウント・クロックでダウン・カウント動作を行います (6.3(6)(a) インターバル・タイマ・モード時のスタート・タイミング参照)。
・イベント・カウンタ・モード	T _{Smn} ビットに1を書き込みにより、TDR _{mn} の値をTCR _{mn} にロードします。 以降のカウント・クロックでダウン・カウント動作を行います。 TMR _{mn} レジスタのSTS _{mn2} -STS _{mn0} ビットで選択した外部トリガ検出では、カウント動作を開始しません (6.3(6)(b) イベント・カウンタ・モード時のスタート・タイミング参照)。

表6-4 カウント動作許可状態からTCRmnのカウント・スタートまでの動作 (2/2)

タイマの動作モード	TSmn = 1セット時の動作
・キャプチャ・モード	スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCRmnにロードし、以降のカウント・クロックでアップ・カウント動作を行います(6.3(6)(c)キャプチャ・モード時のスタート・タイミング参照)。
・ワンカウント・モード	TEmn = 0の状態、TSmnビットに1を書き込みむことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDRmnの値をTCRmnにロードし、以降のカウント・クロックでダウン・カウント動作を行います(6.3(6)(d)ワンカウント・モード時のスタート・タイミング参照)。
・キャプチャ&ワンカウント・モード	TEmn = 0の状態、TSmnビットに1を書き込みむことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCRmnにロードし、以降のカウント・クロックでアップ・カウント動作を行います(6.3(6)(e)キャプチャ&ワンカウント・モード時のスタート・タイミング参照)。

(a) インターバル・タイマ・モード時のスタート・タイミング

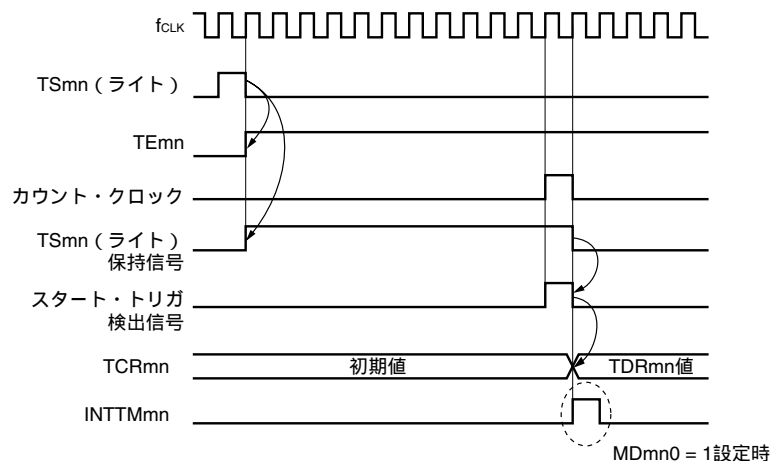
TSmnへ1を書き込むことにより、TEmn = 1となります。

TSmnへの書き込み情報はカウント・クロック発生まで保持されます。

TCRmnは、カウント・クロック発生まで初期値を保持しています。

カウント・クロック発生により、「TDRmn値」をTCRmnにロードし、カウントを開始します。

図6-11 スタート・タイミング(インターバル・タイマ・モード時)



注意 カウント・クロックの1周期目の動作はTSmn書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MDmn0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

(b) イベント・カウンタ・モード時のスタート・タイミング

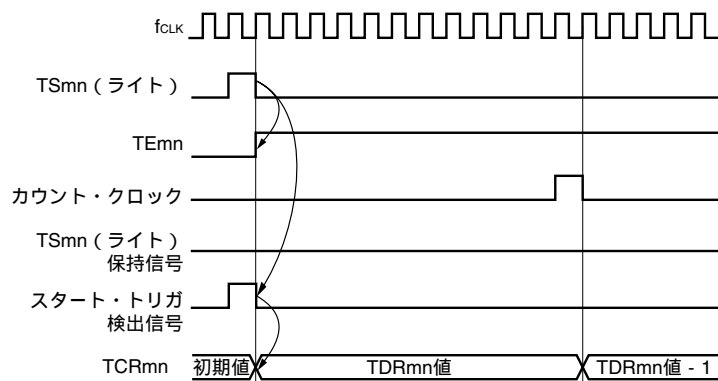
TEmn = 0期間TCRmnは、初期値を保持します。

TSmnへ1を書き込むことにより、TEmn = 1となります。

TSmn = 1 TEmn = 1と同時に、TCRmnに「TDRmn値」をロードし、カウントを開始します。

以降はカウント・クロックに従い、TCRmnの値をダウン・カウントします。

図6-12 スタート・タイミング (イベント・カウンタ・モード時)



(c) キャプチャ・モード時のスタート・タイミング

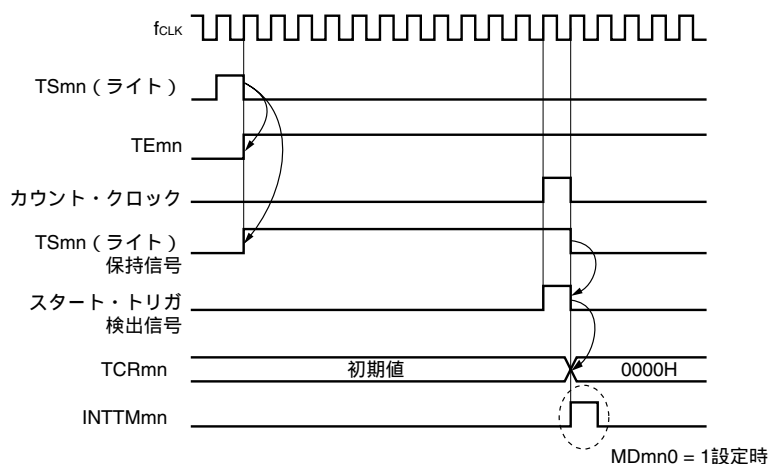
TSmnへ1を書き込むことにより、TEmn = 1となります。

TSmnへの書き込み情報はカウント・クロック発生まで保持されます。

TCRmnは、カウント・クロック発生まで初期値を保持しています。

カウント・クロック発生により、0000HをTCRmnにロードし、カウントを開始します。

図6-13 スタート・タイミング (キャプチャ・モード時)



注意 カウント・クロックの1周期目の動作はTSmn書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MDmn0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

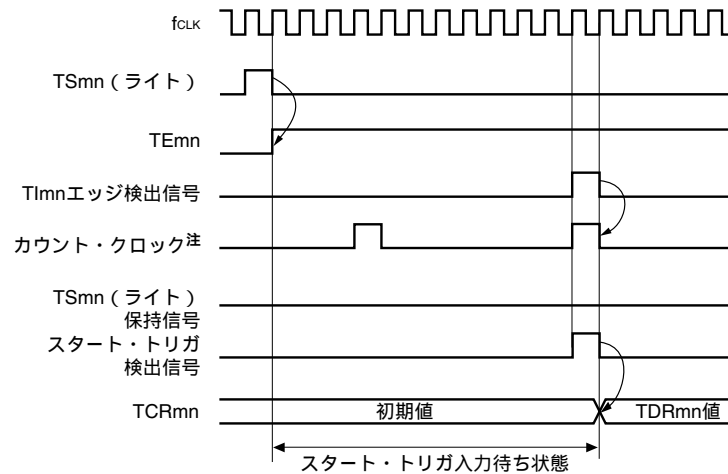
(d) ワンカウント・モード時のスタート・タイミング

TSmnへ1を書き込むことにより、TEmn = 1となります。

スタート・トリガ入力待ち状態となり、TCRmnは初期値を保持します。

スタート・トリガ検出により、「TDRmn値」をTCRmnにロードし、カウントを開始します。

図6 - 14 スタート・タイミング (ワンカウント・モード時)



注 ワンカウント・モード設定時は、カウント・クロックとして動作クロック (f_{MCK}) が選択されます (CCSmn = 0)。

注意 スタート・トリガ検出により動作を開始するため、入力信号のサンプリング誤差が発生します (TImnを使用する場合、カウント・クロック1クロック分の誤差となります)。

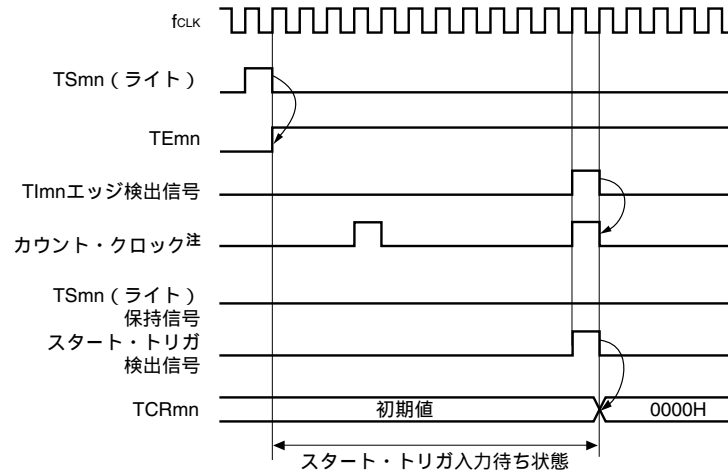
(e) キャプチャ&ワンカウント・モード時のスタート・タイミング

TSmnへ1を書き込むことにより、TEmn = 1となります。

スタート・トリガ入力待ち状態となり、TCRmnは初期値を保持します。

スタート・トリガ検出により、0000HをTCRmnにロードしカウントを開始します。

図6 - 15 スタート・タイミング (キャプチャ&ワンカウント・モード時)



注 キャプチャ&ワンカウント・モード設定時は、カウント・クロックとして動作クロック (f_{MCK}) が選択されず ($CCS_{mn} = 0$)。

注意 スタート・トリガ検出により動作を開始するため、入力信号のサンプリング誤差が発生します (TImnを使用する場合、カウント・クロック1クロック分の誤差となります)。

(7) タイマ・チャンネル停止レジスタ_m (TT_m)

TT_mは、タイマ・カウンタ (TCR_{mn}) をクリアし、カウント動作の停止をチャンネルごとに設定するトリガ・レジスタです。

各ビット (TT_{mn}) が1にセットされると、タイマ・チャンネル許可ステータス・レジスタ_m (TE_m) の対応ビット (TE_{mn}) が0にクリアされます。TT_{mn}はトリガ・ビットなので、TE_{mn} = 0になるとすぐTT_{mn}はクリアされます。

TT_mは、16ビット・メモリ操作命令で設定します。

またTT_mの下位8ビットは、TT_{mL}で1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TT_mは0000Hになります。

図6 - 16 タイマ・チャンネル停止レジスタ_m (TT_m) のフォーマット

アドレス : F01B4H, F01B5H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TT0	0	0	0	0	0	0	0	0	TT07	TT06	TT05	TT04	TT03	TT02	TT01	TT00

アドレス : F01DCH, F01DDH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TT1	0	0	0	0	0	0	0	0	0	0	0	0	0	TT12	TT11	TT10

TT _{mn}	チャンネルnの動作停止トリガ
0	トリガ動作しない
1	動作停止 (停止トリガ発生)

注意 TT0のビット15-8, TT1のビット15-3には必ず0を設定してください。

備考1. TT_mレジスタの読み出し値は常に0となります。

- m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-7),
mn = 00-07, 10-12

(8) タイマ入力選択レジスタ m (TIS m)

TIS m は、タイマ入力端子 (TImn) の入力信号か、サブシステム・クロックの4分周 ($f_{SUB}/4$) か、どちらを有効にするかを各チャンネルごとに選択するレジスタです。

TIS m は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図6 - 17 タイマ入力選択レジスタ m (TIS m) のフォーマット

アドレス : FFF3EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TIS0	TIS07	TIS06	TIS05	TIS04	TIS03	TIS02	TIS01	TIS00

アドレス : FFF3FH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TIS1	0	0	0	0	0	TIS12	TIS11	TIS10

TIS mn	チャンネル n で使用するタイマ入力 / サブシステム・クロックの選択
0	タイマ入力端子 (TImn) の入力信号
1	サブシステム・クロックの4分周 ($f_{SUB}/4$)

備考 m : ユニット番号 ($m = 0, 1$) , n : チャンネル番号 ($n = 0-7$) ,
 $mn = 00-07, 10-12$

(9) タイマ出力許可レジスタ_m (TOEm)

TOEmは、各チャンネルのタイマ出力許可/禁止を設定するレジスタです。

タイマ出力を許可したチャンネル_nは、後述のタイマ出力レジスタ (TO_m) のTO_{mn}の値をソフトウェアによって書き換えできなくなり、カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子 (TO_{mn}) から出力されます。

TOEmは、16ビット・メモリ操作命令で設定します。

またTOEmの低位8ビットは、TOEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOEmは0000Hになります。

図6 - 18 タイマ出力許可レジスタ_m (TOEm) のフォーマット

アドレス : F01BAH, F01BBH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOE0	0	0	0	0	0	0	0	0	TOE 07	TOE 06	TOE 05	TOE 04	TOE 03	TOE 02	TOE 01	TOE 00

アドレス : F01E2H, F01E3H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOE1	0	0	0	0	0	0	0	0	0	0	0	0	0	TOE 12	TOE 11	TOE 10

TOE mn	チャンネル _n のタイマ出力許可/禁止
0	カウント動作によるTO _{mn} (タイマ・チャンネル出力ビット) の動作停止。 TO _{mn} ビットへの書き込みが可能。 TO _{mn} 端子がデータ出力機能となり、TO _{mn} ビットに設定したレベルがTO _{mn} 端子から出力される。 TO _{mn} 端子の出力レベルをソフトウェアで操作することができる。
1	カウント動作によるTO _{mn} (タイマ・チャンネル出力ビット) の動作許可。 TO _{mn} への書き込み不可 (書き込みが無視される)。 TO _{mn} 端子がタイマ出力機能となり、TO _{mn} ビットがタイマの動作によりセット/リセットされる。 TO _{mn} 端子からタイマ動作に合わせた方形波出力やPWM出力ができる。

注意 TOE0のビット15-8, TOE1のビット15-3には必ず0を設定してください。

備考 m : ユニット番号 (m = 0, 1) , n : チャンネル番号 (n = 0-7) ,

mn = 00-07, 10-12

(10) タイマ出力レジスタm (TOm)

TOmは、各チャネルのタイマ出力のバッファ・レジスタです。

このレジスタの各ビットの値が、各チャネルのタイマ出力端子 (TOmn) から出力されます。

このレジスタのTOmnのソフトウェアによる書き換えは、タイマ出力禁止時 (TOEmn = 0) のみ可能です。タイマ出力許可時 (TOEmn = 1) は、ソフトウェアによる書き換えは無視され、タイマ動作によってのみ値が変更されます。

また、次の端子をポート機能として使用する場合は、該当するTOmnビットに“0”を設定してください。

・ 78K0R/KF3-C : P52/TO00, P16/TO01, P17/TO02, P31/TO03, P42/TO04, P05/TO05,
P06/TO06, P54/TO07, P64/TO10, P65/TO11, P66/TO12

・ 78K0R/KG3-C : P01/TO00, P16/TO01, P17/TO02, P31/TO03, P42/TO04, P46/TO05,
P131/TO06, P145/TO07, P64/TO10, P65/TO11, P66/TO12

TOmは、16ビット・メモリ操作命令で設定します。

またTOmの下位8ビットは、TOmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOmは0000Hになります。

図6 - 19 タイマ出力レジスタm (TOm) のフォーマット

アドレス : F01B8H, F01B9H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TO0	0	0	0	0	0	0	0	0	TO0	TO0	TO0	TO0	TO0	TO0	TO0	TO0
									7	6	5	4	3	2	1	0

アドレス : F01E0H, F01E1H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TO1	0	0	0	0	0	0	0	0	0	0	0	0	0	TO1	TO1	TO1
														2	1	0

TOmn	チャンネルnのタイマ出力
0	タイマ出力値が“0”
1	タイマ出力値が“1”

注意 TO0のビット15-8, TO1のビット15-3には必ず0を設定してください。

備考 m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-7) ,
mn = 00-07, 10-12

(11) タイマ出力レベル・レジスタ_m (TOL_m)

TOL_mは、各チャンネルのタイマ出力レベルを制御するレジスタです。

このレジスタによる各チャンネル_nの反転設定は、タイマ出力許可 (TOEmn = 1)、スレーブ・チャンネル出力モード (TOMmn = 1) 時にタイマ出力信号がセット、リセットされるタイミングで反映されます。マスタ・チャンネル出力モード (TOMmn = 0) 時には、このレジスタの設定は無効となります。

TOL_mは、16ビット・メモリ操作命令で設定します。

またTOL_mの低位8ビットは、TOL_{mL}で8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOL_mは0000Hになります。

図6 - 20 タイマ出力レベル・レジスタ_m (TOL_m) のフォーマット

アドレス : F01BCH, F01BDH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOL0	0	0	0	0	0	0	0	0	TOL 07	TOL 06	TOL 05	TOL 04	TOL 03	TOL 02	TOL 01	TOL 00

アドレス : F01E4H, F01E5H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOL1	0	0	0	0	0	0	0	0	0	0	0	0	0	TOL 12	TOL 11	TOL 10

TOL mn	チャンネル _n のタイマ出力レベルの制御														
0	正論理出力 (アクティブ・ハイ)														
1	反転出力 (アクティブ・ロウ)														

注意 TOL0のビット15-8, TOL1のビット15-3には必ず0を設定してください。

備考1. タイマ動作中にこのレジスタの値を書き換えた場合、書き換えた直後のタイミングではなく、次にタイマ出力信号が変化するタイミングで、タイマ出力が反転出力になります。

2. m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-7),
mn = 00-07, 10-12

(12) タイマ出力モード・レジスタ_m (TOM_m)

TOM_mは、各チャンネルのタイマ出力モードを制御するレジスタです。

単体動作機能として使用する場合、使用するチャンネルの対応ビットを0に設定します。

連動動作機能(PWM出力、ワンショット・パルス出力、多重PWM出力)として使用する場合、マスタ・チャンネルの対応ビットを0に設定し、スレーブ・チャンネルの対応ビットを1に設定します。

このレジスタによる各チャンネル_nの設定は、タイマ出力許可(TOEmn = 1)時にタイマ出力信号がセット、リセットされるタイミングで反映されます。

TOM_mは、16ビット・メモリ操作命令で設定します。

またTOM_mの低位8ビットは、TOM_{mL}で8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOM_mは0000Hになります。

図6 - 21 タイマ出力モード・レジスタ_m (TOM_m) のフォーマット

アドレス : F01BEH, F01BFH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOM0	0	0	0	0	0	0	0	0	TOM 07	TOM 06	TOM 05	TOM 04	TOM 03	TOM 02	TOM 01	TOM 00

アドレス : F01E6H, F01E7H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOM1	0	0	0	0	0	0	0	0	0	0	0	0	0	TOM 12	TOM 11	TOM 10

TOM mn	チャンネル _n のタイマ出力モードの制御															
0	マスタ・チャンネル出力モード (タイマ割り込み要求信号 (INTTM _{mn}) によりトグル出力を行う)															
1	スレーブ・チャンネル出力モード (マスタ・チャンネルのタイマ割り込み要求信号 (INTTM _{mn}) で出力がセット、スレーブ・チャンネルのタイマ割り込み要求信号 (INTTM _{mp}) で出力がリセットされる)															

注意 TOM0のビット15-8, TOM1のビット15-3には必ず0を設定してください。

備考 m : ユニット番号, n : チャンネル番号, p : スレーブ・チャンネル番号

m = 0の場合

n = 0-7 (マスタ・チャンネル時 : n = 0, 2, 4, 6)

n < p - 7 (ただしpは, n以降の連続した整数)

m = 1の場合

n = 0-2 (マスタ・チャンネル時 : n = 0)

n < p - 2 (ただしpは, n以降の連続した整数)

(13) ノイズ・フィルタ許可レジスタ1, 2 (NFEN1, NFEN2)

NFEN1は、タイマ・アレイ・ユニット0のタイマ入力端子からの入力信号に対するノイズ・フィルタの使用可否を各チャンネルごとに設定するレジスタです。

NFEN2は、タイマ・アレイ・ユニット1のタイマ入力端子からの入力信号に対するノイズ・フィルタの使用可否を各チャンネルごとに設定するレジスタです。

ノイズ除去が必要な端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、CPU/周辺ハードウェア・クロック (f_{MCK}) で2クロックの一致検出と同期化を行います。ノイズ・フィルタ無効時は、CPU/周辺ハードウェア・クロック (f_{MCK}) で同期化だけ行います。

NFEN1, NFEN2は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図6-22 ノイズ・フィルタ許可レジスタ1 (NFEN1) のフォーマット

アドレス : F0061H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN1	TNFEN07	TNFEN06	TNFEN05	TNFEN04	TNFEN03	TNFEN02	TNFEN01	TNFEN00
TNFEN07	TI07/TO07/P145 (TI07/TO07/P54) ^注 端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタOFF							
1	ノイズ・フィルタON							
TNFEN06	TI06/TO06/P131 (TI06/TO06/P06) ^注 端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタOFF							
1	ノイズ・フィルタON							
TNFEN05	TI05/TO05/INTP1/RIN01/P46 (TI05/TO05/P05) ^注 端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタOFF							
1	ノイズ・フィルタON							
TNFEN04	TI04/TO04/P42端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタOFF							
1	ノイズ・フィルタON							
TNFEN03	TI03/TO03/INTP4/P31端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタOFF							
1	ノイズ・フィルタON							
TNFEN02	TI02/TO02/P17端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタOFF							
1	ノイズ・フィルタON							
TNFEN01	TI01/TO01/INTP5/P16端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタOFF							
1	ノイズ・フィルタON							
TNFEN00	TI00/P00 (TI00/P53) ^注 端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタOFF							
1	ノイズ・フィルタON							

注 78K0R/KF3-Cでは、()内の端子と兼用しています。

図6 - 23 ノイズ・フィルタ許可レジスタ2 (NFEN2) のフォーマット

アドレス : F0062H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN2	0	0	0	0	0	TNFEN12	TNFEN11	TNFEN10

TNFEN12	TI12/TO12/P66端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN11	TI11/TO11/P65端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN10	TI10/TO10/P64端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

(14) ポート・モード・レジスタ (PMxx)

ポートの入力/出力を1ビット単位で設定するレジスタです。

次の端子をタイマ出力として使用するとき、該当するポート・モード・レジスタPMxxおよびPxxの出力ラッチに0を設定してください。

- ・ 78K0R/KF3-C : P52/TO00, P16/TO01/TI01/INTP5, P17/TO02/TI02, P31/TO03/TI03/INTP4,
P42/TO04/TI04, P05/TO05/TI05, P06/TO06/TI06, P54/TO07/TI07,
P64/TI10/TO10-P66/TI12/TO12
- ・ 78K0R/KG3-C : P01/TO00, P16/TO01/TI01/INTP5, P17/TO02/TI02, P31/TO03/TI03/INTP4,
P42/TO04/TI04, P46/TO05/TI05/INTP1/RIN01, P131/TO06/TI06,
P145/TO07/TI07, P64/TI10/TO10-P66/TI12/TO12

例) P16/TO01/TI01/INTP5をタイマ出力として使用する場合

ポート・モード・レジスタ1のPM16ビットを0に設定

ポート・レジスタ1のP16ビットを0に設定

次の端子をタイマ入力として使用するとき、該当するポート・モード・レジスタPMxxに1を設定してください。このとき該当するPxxの出力ラッチは、0または1のどちらでもかまいません。

- ・ 78K0R/KF3-C : P53/TI00, P16/TO01/TI01/INTP5, P17/TO02/TI02, P31/TO03/TI03/INTP4,
P42/TO04/TI04, P05/TO05/TI05, P06/TO06/TI06, P54/TO07/TI07,
P64/TI10/TO10-P66/TI12/TO12
- ・ 78K0R/KG3-C : P00/TI00, P16/TO01/TI01/INTP5, P17/TO02/TI02, P31/TO03/TI03/INTP4,
P42/TO04/TI04, P46/TO05/TI05/INTP1/RIN01, P131/TO06/TI06,
P145/TO07/TI07, P64/TI10/TO10-P66/TI12/TO12

例) P16/TO01/TI01/INTP5をタイマ入力として使用する場合

ポート・モード・レジスタ1のPM16ビットを1に設定

ポート・レジスタ1のP16ビットを0または1に設定

ポート・モード・レジスタPMxxは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図6-24 ポート・モード・レジスタのフォーマット (78K0R/KF3-C)

アドレス : FFF20H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM0	1	PM06	PM05	PM04	PM03	PM02	1	1

アドレス : FFF21H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

アドレス : FFF23H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	1	1	PM31	PM30

アドレス : FFF24H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40

アドレス : FFF25H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM5	1	1	PM55	PM54	PM53	PM52	PM51	PM50

アドレス : FFF26H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60

PMmn	Pmn端子の入出力モードの選択 (m = 0, 1, 3-6 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

図6-25 ポート・モード・レジスタのフォーマット (78K0R/KG3-C)

アドレス : FFF20H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00

アドレス : FFF21H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

アドレス : FFF23H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	1	1	PM31	PM30

アドレス : FFF24H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40

アドレス : FFF26H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60

アドレス : FFF2DH	リセット時 : FEH	R/W						
略号	7	6	5	4	3	2	1	0
PM13	1	1	1	1	1	1	PM131	0

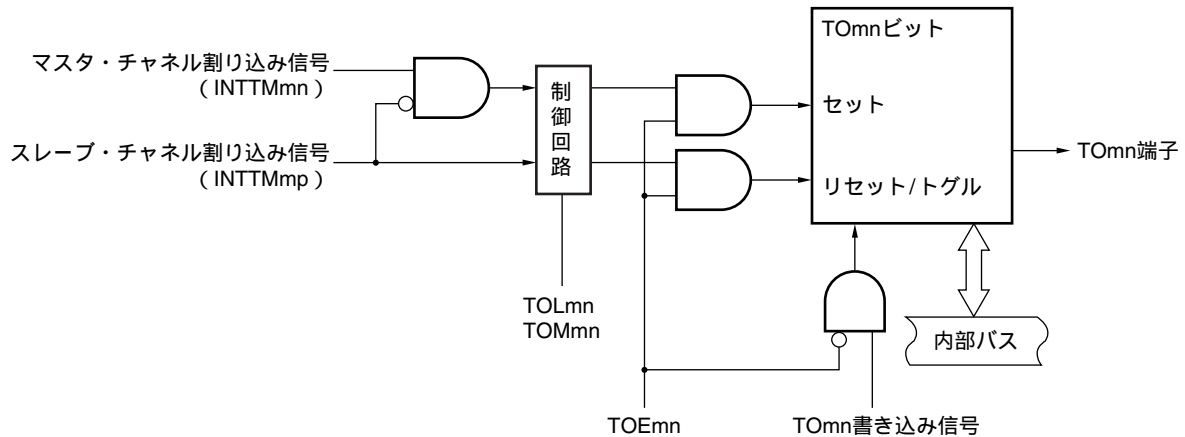
アドレス : FFF2EH	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM14	1	1	PM145	PM144	PM143	PM142	PM141	PM140

PMmn	Pmn端子の入出力モードの選択 (m = 0, 1, 3, 4, 6, 13, 14 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

6.4 チャンネル出力 (TOmn端子) の制御

6.4.1 TOmn端子の出力回路の構成

図6 - 26 出力回路構成図



TOmn端子の出力回路の説明を次に示します。

TOmn = 0 (マスタ・チャンネル出力モード) のときは、TOLmnビットの設定値は無視され、INTTMmp (スレーブ・チャンネル・タイマ割り込み) のみがTOmnビットに伝えられます。

TOmn = 1 (スレーブ・チャンネル出力モード) のときは、INTTMmn (マスタ・チャンネル・タイマ割り込み) とINTTMmp (スレーブ・チャンネル・タイマ割り込み) がTOmnビットに伝えられます。

このとき、TOLmnビットが有効となり、次のように信号を制御します。

TOLmn = 0の場合 : 正転動作 (INTTMmn セット, INTTMmp リセット)

TOLmn = 1の場合 : 反転動作 (INTTMmn リセット, INTTMmp セット)

また、INTTMmnとINTTMmpが同時に発生した場合 (PWM出力の0%出力時) は、INTTMmp (リセット信号) が優先され、INTTMmn (セット信号) はマスクされます。

TOEmn = 1で、INTTMmn (マスタ・チャンネル・タイマ割り込み) とINTTMmp (スレーブ・チャンネル・タイマ割り込み) がTOmnに伝えられます。TOmnビットへの書き込み (TOmnライト信号) は無効となります。

また、TOEmn = 1のとき、割り込み信号以外でTOmn端子の出力が変化することはありません。

TOmn端子の出力レベルを初期化する場合は、TOEmn = 0に設定しTOmnに値を書き込む必要があります。

TOEmn = 0で、対象チャンネルのTOmnビットへの書き込み (TOmnライト信号) が有効となります。

TOEmn = 0のとき、INTTMmn (マスタ・チャンネル・タイマ割り込み) とINTTMmp (スレーブ・チャンネル・タイマ割り込み) はTOmnに伝えられません。

TOmnビットは常に読み出し可能であり、TOmn端子の出力レベルを確認することができます。

(備考は、次ページにあります。)

備考 m : ユニット番号, n : チャネル番号, p : スレーブ・チャネル番号

m = 0の場合

n = 0-7 (マスタ・チャネル時 : n = 0, 2, 4, 6)

n < p - 7 (ただしpは, n以降の連続した整数)

m = 1の場合

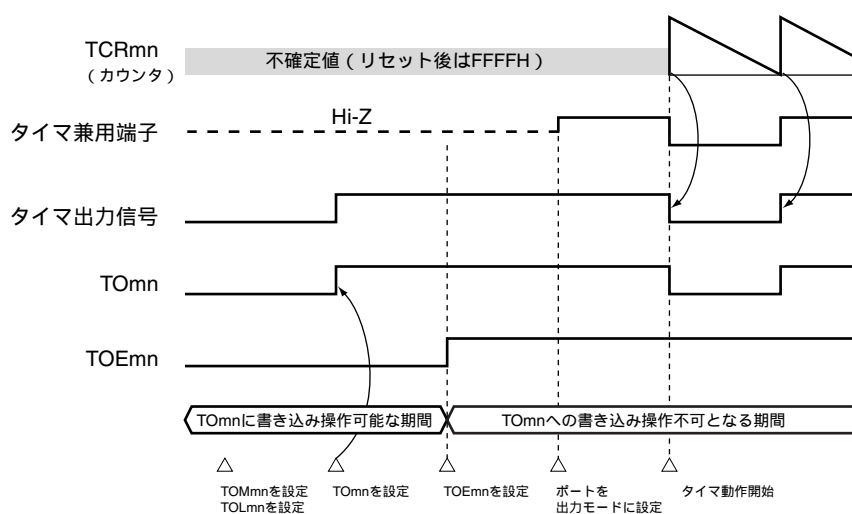
n = 0-2 (マスタ・チャネル時 : n = 0)

n < p - 2 (ただしpは, n以降の連続した整数)

6.4.2 TOmn端子の出力設定

TOmn出力端子の初期設定からタイマ動作開始までの手順と状態変化を次に示します。

図6 - 27 タイマ出力設定から動作開始までの状態変化



タイマ出力の動作モードを設定をします。

- ・ TOMmnビット (0 : マスタ・チャネル出力モード, 1 : スレーブ・チャネル出力モード)
- ・ TOLmnビット (0 : 正転出力, 1 : 反転出力)

TOmnを設定することにより, タイマ出力信号が初期状態に設定されます。

TOEmnに1を書き込み, タイマ出力動作を許可します (TOmnへの書き込みは不可となります)。

ポートの入出力設定を出力に設定します (6.3 (14) ポート・モード・レジスタ0, 1, 3, 4, 6, 13, 14参照)。

タイマを動作許可にします (TSmn = 1)。

備考 m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0-7),

mn = 00-07, 10-12

6.4.3 チャンネル出力操作時の注意事項

(1) タイマ動作中のTOM,TOEm,TOLm,TOMmレジスタの設定値変更について

タイマ動作 (TCRmn, TDRmnの動作) は, TOMn出力回路とは独立しています。よって, TOEm, TOLm, TOMmの設定値変更はタイマ動作に影響しないため, タイマ動作中に設定値の変更が可能です。ただし, 各タイマ動作において期待する波形をTOMn端子から出力するためには, 各動作のレジスタ設定内容例の値に設定してください。

各チャンネルのタイマ割り込み (INTTMmn) 近辺で, TOMを除くTOEm, TOLm, TOMmの設定値変更を行うと, タイマ割り込み (INTTMmn) 信号発生タイミング直前に設定値変更が実施された場合と, タイマ割り込み (INTTMmn) 信号発生タイミング直後に設定値変更が実施された場合とでは, TOMn端子に異なる波形が出力される場合があります。

備考 m : ユニット番号 (m = 0, 1) , n : チャンネル番号 (n = 0-7) ,
mn = 00-07, 10-12

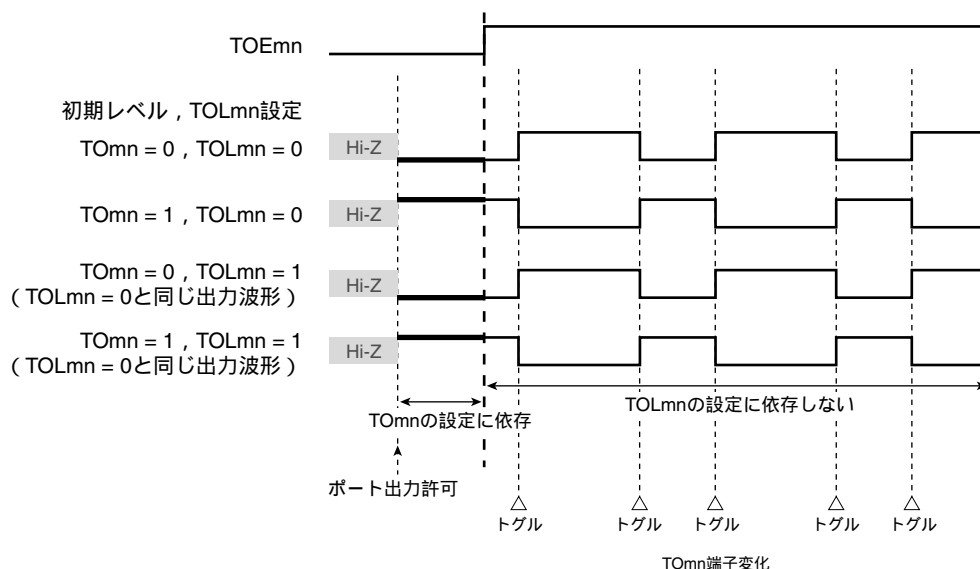
(2) TOMn端子の初期レベルとタイマ動作開始後の出力レベルについて

ポート出力許可前に, TOEmn = 0の状態ではTOMnに書き込みを行い, 初期レベル変更後TOEmn = 1に設定した場合のTOMn端子出力レベルの変化を次に示します。

(a) TOMmn = 0設定で動作を開始した場合 (トグル出力)

TOMmn = 0の時, TOLmnの設定は無効となります。初期レベル設定後, タイマ動作を開始するとトグル信号発生によりTOMn端子の出力レベルを反転します。

図6 - 28 トグル出力時 (TOMmn = 0) のTOMn端子出力状態



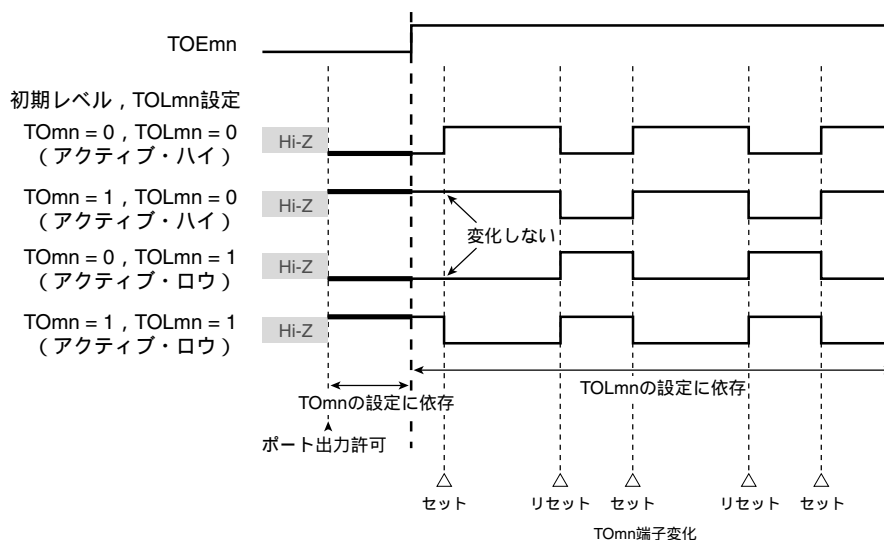
備考1. トグル : TOMn端子の出力状態を反転

2. m : ユニット番号 (m = 0, 1) , n : チャンネル番号 (n = 0-7) ,
mn = 00-07, 10-12

(b) TOMmn = 1 設定で動作を開始した場合 (スレーブ・チャンネル出力モード (PWM出力))

TOMmn = 1 の時、TOLmn の設定によりアクティブ・レベルを決定します。

図6 - 29 PWM出力時 (TOMmn = 1) のTOMn端子出力状態



- 備考1. セット : TOMn端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化
リセット : TOMn端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化
2. m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-7),
mn = 00-07, 10-12

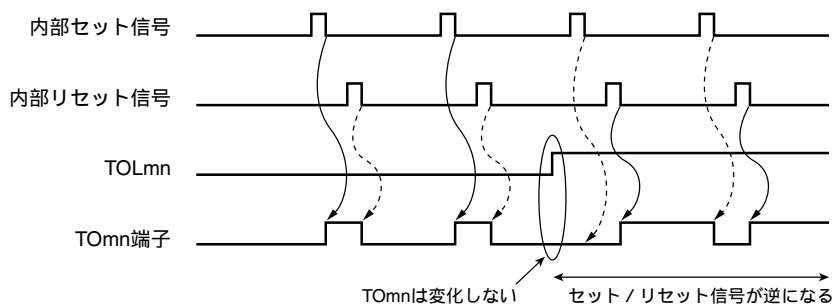
(3) TOMn端子のスレーブ・チャンネル出力モード (TOMmn = 1) での動作について

(a) タイマ動作中にTOLmnの設定を変更した場合

タイマ動作中にTOLmnの設定を変更した場合、設定が有効となるのはTOMn変化条件の発生タイミングです。TOLmnの書き換えでは、TOMnの出力レベルは変化しません。

タイマ動作中 (TOMmn = 1) にTOLmnの値を変更した場合の動作を次に示します。

図6 - 30 タイマ動作中にTOLmnを変更した場合の動作



- 備考1. セット : TOMn端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化
リセット : TOMn端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化
2. m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-7),
mn = 00-07, 10-12

(b) セット/リセット・タイミング

PWM出力時に、0% / 100%出力を実現するため、マスタ・チャンネル・タイマ割り込み (INTTMmn) 発生時のTOMn端子/TOMnセット・タイミングをスレーブ・チャンネルにて1カウント・クロック分遅らせています。

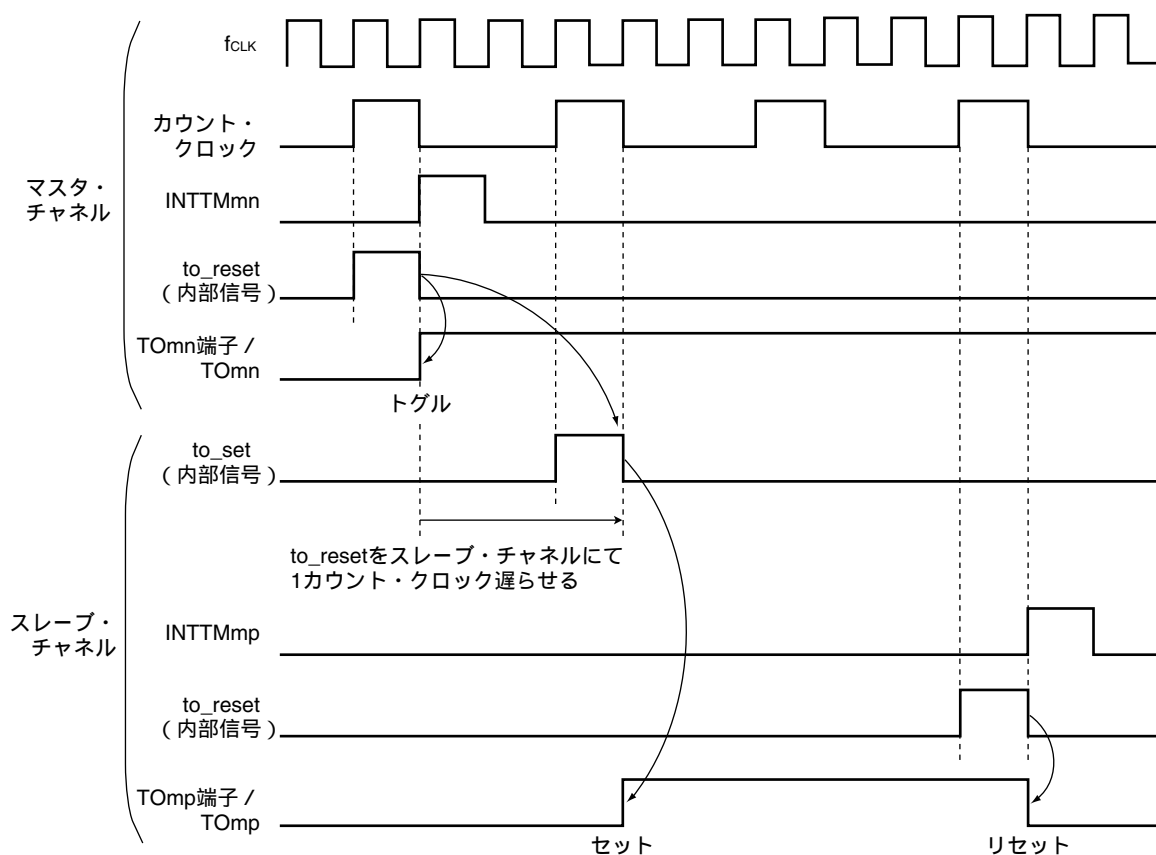
セット条件とリセット条件が同時に発生した場合、リセット条件が優先されます。

マスタ/スレーブ・チャンネルを次のように設定した場合のセット/リセット動作状態を図6 - 31に示します。

マスタ・チャンネル : TOEmn = 1, TOMmn = 0, TOLmn = 0

スレーブ・チャンネル : TOEmp = 1, TOMmp = 1, TOLmp = 0

図6 - 31 セット/リセット・タイミング動作状態



備考1. to_reset : TOMn端子のリセット/トグル信号

to_set : TOMn端子のセット信号

2. m : ユニット番号, n : チャンネル番号, p : スレーブ・チャンネル番号

m = 0の場合

n = 0-7 (マスタ・チャンネル時 : n = 0, 2, 4, 6)

n < p 7 (ただしpは, n以降の連続した整数)

m = 1の場合

n = 0-2 (マスタ・チャンネル時 : n = 0)

n < p 2 (ただしpは, n以降の連続した整数)

6.4.4 TOmnビットの一括操作

TOmレジスタには、TSmレジスタ（チャンネル・スタート・トリガ）と同様に、1レジスタに全チャンネル分の設定ビット（TOmn）が配置されています。よって、全チャンネルのTOmnを一括で操作することが可能です。また、操作対象としたいTOmn（チャンネル出力）に該当するTOEmn = 0とすることによって任意のビットのみ操作することが可能です。

図6 - 32 TO0nビットの一括操作例

書き込み前

TO0	0	0	0	0	0	0	0	0	TO07	0	TO06	0	TO05	1	TO04	0	TO03	0	TO02	0	TO01	1	TO00	0
TOE0	0	0	0	0	0	0	0	0	TOE07	0	TOE06	0	TOE05	1	TOE04	0	TOE03	1	TOE02	1	TOE01	1	TOE00	1

書き込みデータ

0	0	0	0	0	0	0	0	1	1	0	0	0	0	1	1
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

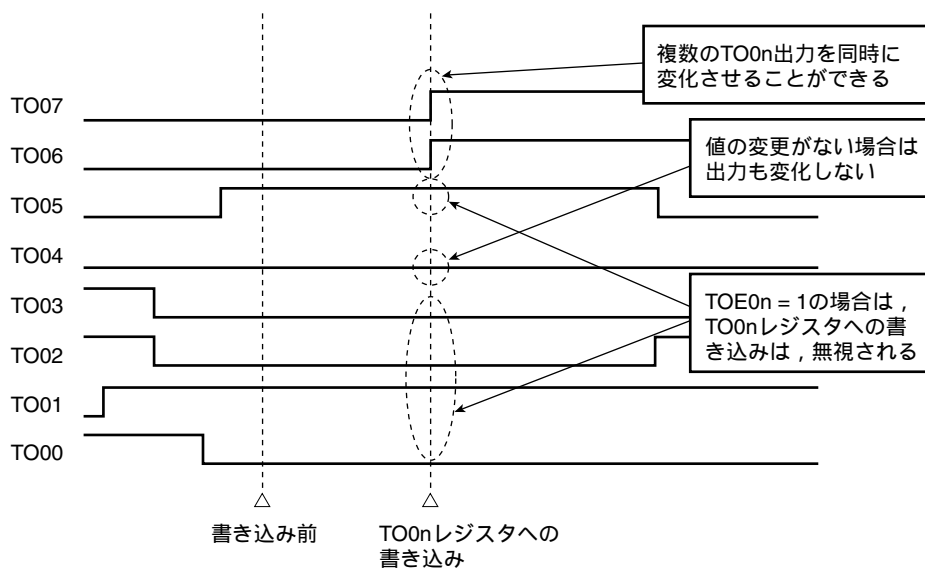
書き込み後

TO0	0	0	0	0	0	0	0	0	TO07	1	TO06	1	TO05	1	TO04	0	TO03	0	TO02	0	TO01	1	TO00	0
-----	---	---	---	---	---	---	---	---	------	---	------	---	------	---	------	---	------	---	------	---	------	---	------	---

TOEmn = 0のTOmnビットのみ書き込みが行われます。TOEmn = 1のTOmnビットへの書き込みは無視されます。

TOEmn = 1に設定されているTOmn（チャンネル出力）は、書き込み操作による影響は受けません。TOmnに書き込み操作が行われても無視し、タイマ動作による出力変化は正常に行われます。

図6 - 33 TO0nビットの一括操作によるTO0nの端子状態



（注意，備考は次ページにあります）

注意 $TOEmn = 1$ の場合に、各チャンネルのタイマ割り込み (INTTMmn) による出力と $TOmn$ への書き込みが競合しても、 $TOmn$ 端子は正常に出力動作が行われます。

備考 m : ユニット番号 ($m = 0, 1$) , n : チャンネル番号 ($n = 0-7$) ,
 $mn = 00-07, 10-12$

6.4.5 カウント動作開始時のタイマ割り込みと $TOmn$ 端子出力について

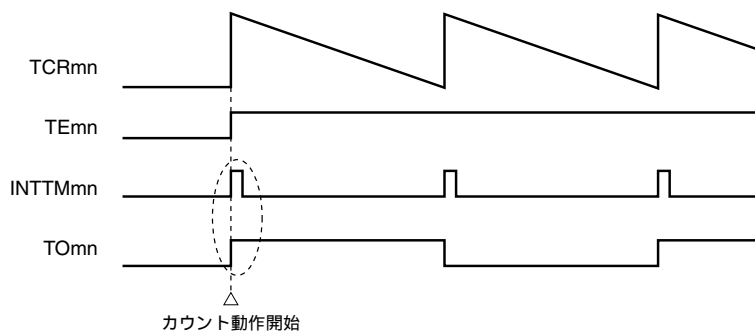
インターバル・タイマ・モード / キャプチャ・モードの場合、 $TMRmn$ レジスタの $MDmn0$ ビットは、「カウント開始時にタイマ割り込みを発生する / しない」を設定するビットとなります。

$MDmn0 = 1$ に設定することで、タイマ割り込み (INTTMmn) の発生によりカウント動作開始タイミングを知ることが可能です。

その他の動作モードでは、カウント動作開始時のタイマ割り込み、 $TOmn$ 出力は制御しません。

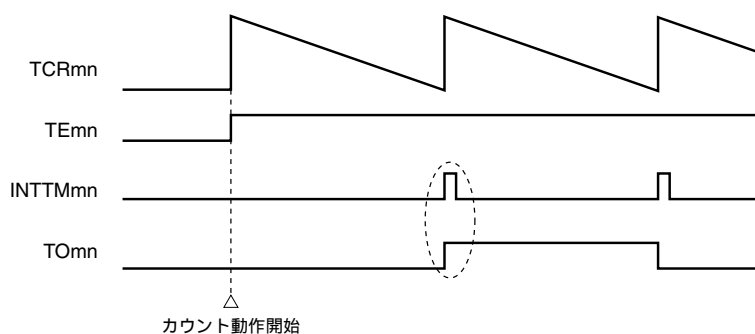
インターバル・タイマ・モード ($TOEmn = 1, TOMmn = 0$) に設定した場合の動作例を次に示します。

図6 - 34 $MDmn0 = 1$ に設定した場合



$MDmn0 = 1$ に設定した場合、カウント動作開始時にタイマ割り込み (INTTMmn) が出力され、 $TOmn$ がトグル動作します。

図6 - 35 $MDmn0 = 0$ に設定した場合



$MDmn0 = 0$ に設定した場合、カウント動作開始時にタイマ割り込み (INTTMmn) を出力しません。 $TOmn$ も変化しません。1周期をカウント後、INTTMmn を出力し、 $TOmn$ がトグル動作します。

備考 m : ユニット番号 ($m = 0, 1$) , n : チャンネル番号 ($n = 0-7$) ,
 $mn = 00-07, 10-12$

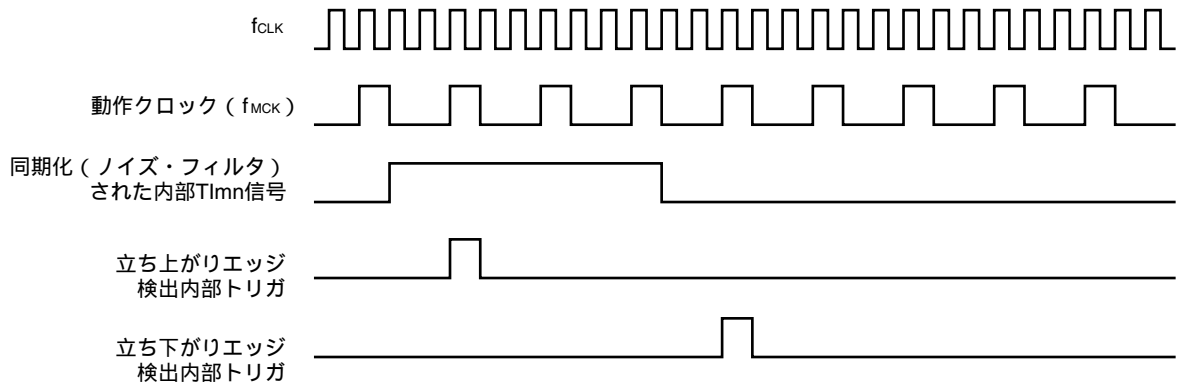
6.5 チャンネル入力 (TImn端子) の制御

6.5.1 TImnエッジ検出回路

(1) エッジ検出基本動作タイミング

エッジ検出回路のサンプリングは動作クロック (f_{MCK}) に合わせて行われます。

図6-36 エッジ検出基本動作タイミング



備考 m : ユニット番号 ($m = 0, 1$) , n : チャンネル番号 ($n = 0-7$) ,
mn = 00-07, 10-12

6.6 タイマ・アレイ・ユニットの基本機能説明

6.6.1 単体動作機能と連動動作機能の概要

タイマ・アレイ・ユニット（以下、TAUと略します）は複数のチャンネルで構成されており、各チャンネル単独で動作する単体動作機能と、いくつかのチャンネルを組み合わせる連動動作機能があります。

単体動作機能は、他のチャンネルの動作モードに関係なく任意のチャンネルで使用可能な機能です。

連動動作機能は、マスタ・チャンネル（主に周期をカウントする基準タイマ）とスレーブ・チャンネル（マスタ・チャンネルに従い動作するタイマ）を組合せて実現する機能で、使用にあたってはいくつかのルールがあります。

6.6.2 連動動作機能の基本ルール

次に連動動作機能の基本的なルールを示します。

(1) マスタ・チャンネルには、偶数チャンネル（チャンネル0, チャンネル2, チャンネル4, ...）のみ設定できます。

(2) スレーブ・チャンネルには、チャンネル0を除くすべてのチャンネルを設定できます。

(3) スレーブ・チャンネルには、マスタ・チャンネルの下位チャンネルのみ設定できます。

例 TAU0のチャンネル2をマスタ・チャンネルにした場合

チャンネル3以降（チャンネル3, チャンネル4, チャンネル5, ...）がスレーブ・チャンネルに設定できます。

TAU1のチャンネル0をマスタ・チャンネルにした場合

チャンネル1, 2（TAU1はチャンネル2までしかないため）がスレーブ・チャンネルに設定できます。

(4) 1つのマスタ・チャンネルに対し、スレーブ・チャンネルは複数設定できます。

(5) マスタ・チャンネルを複数使用する場合、マスタ・チャンネルをまたいだスレーブ・チャンネルの設定はできません。

例 TAU0のチャンネル0, チャンネル4をマスタ・チャンネルにした場合

マスタ・チャンネル0は、チャンネル1-3までをスレーブ・チャンネルとして設定できます。マスタ・チャンネル4は、チャンネル5-7をスレーブ・チャンネルとして設定できません。

(6) マスタ・チャンネルと連動するスレーブ・チャンネルは、同じ動作クロックを設定します。マスタ・チャンネルと連動するスレーブ・チャンネルのCKSPビット（TMRmnレジスタのビット15）が同じ設定値になっている必要があります。

(7) マスタ・チャンネルはINTTMmn（割り込み）/スタート・ソフトウェア・トリガ/カウント・クロックを下位チャンネルに伝えることができます。

(8) スレーブ・チャンネルはマスタ・チャンネルのINTTMmn（割り込み）/スタート・ソフトウェア・トリガ/カウント・クロックを使用できますが、下位チャンネルに自身のINTTMmn（割り込み）/スタート・ソフトウェア・トリガ/カウント・クロックを伝えることはできません。

(9) マスタ・チャンネルは、他の上位のマスタ・チャンネルからのINTTMmn（割り込み）/スタート・ソフトウェア・トリガ/カウント・クロックを使用できません。

(10) 連動させるチャンネルを同時スタートさせるため、連動させるチャンネルのTSMnビットを同時に設定する必要があります。

(11) カウント動作中のTSMnビットの設定は、連動させるすべてのチャンネル、またはマスタ・チャンネルのみ設定できます。スレーブ・チャンネルのTSMnのみの設定では使用できません。

(12) 連動させるチャンネルを同時に停止させるため、連動させるチャンネルのTTmnビットを同時に設定する必要があります。

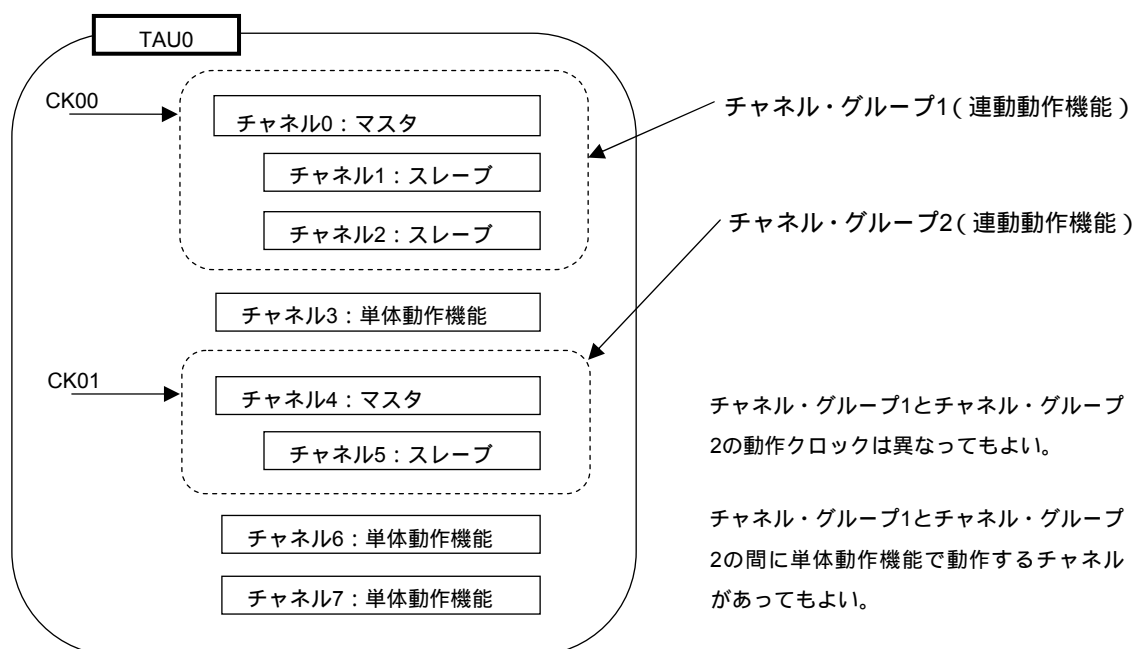
備考 m: ユニット番号 (m = 0, 1), n: チャンネル番号 (n = 0-7),
mn = 00-07, 10-12

6.6.3 連動動作機能の基本ルール適用範囲

連動動作機能のルールは、チャンネル・グループ(1つの連動動作機能を形成するマスタ・チャンネルとスレーブ・チャンネルの集合)内に適用されるルールです。

それぞれが連動しない2つ以上のチャンネル・グループを設定した場合、チャンネル・グループ間には6.6.2 連動動作機能の基本ルールのルールは適用されません。

例



6.7 タイマ・アレイ・ユニットの単独チャンネルでの動作

6.7.1 インターバル・タイマ/方形波出力としての動作

(1) インターバル・タイマ

一定間隔でINTTMmn (タイマ割り込み) を発生する基準タイマとして利用することができます。
割り込み発生周期は、次の式で求めることができます。

$$\text{INTTMmn (タイマ割り込み) の発生周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDRmnの設定値} + 1)$$

カウント・クロックには、CKm0, CKm1のほかにサブシステム・クロックの4分周 ($f_{\text{SUB}}/4$) の選択ができます。これにより、 f_{CLK} の周波数(メイン・システム・クロック, サブシステム・クロック)に関係なく、カウント・クロックを $f_{\text{SUB}}/4$ 固定でインターバル・タイマ動作が可能です。ただし、 f_{CLK} に選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、タイマ・アレイ・ユニット(TAU)を停止(TT0 = 00FFH, TT1 = 0007H)させてから変更してください。

(2) 方形波出力としての動作

TOmnは、INTTMmn発生と同時にトグル動作を行い、デューティ50%の方形波を出力します。
TOmn出力波形の周期と周波数は、次の式で求めることができます。

$$\cdot \text{TOmnからの出力方形波の周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDRmnの設定値} + 1) \times 2$$

$$\cdot \text{TOmnからの出力方形波の周波数} = \text{カウント} \cdot \text{クロックの周波数} / \{ (\text{TDRmnの設定値} + 1) \times 2 \}$$

TCRmnはインターバル・タイマ・モードでダウン・カウンタとして動作します。

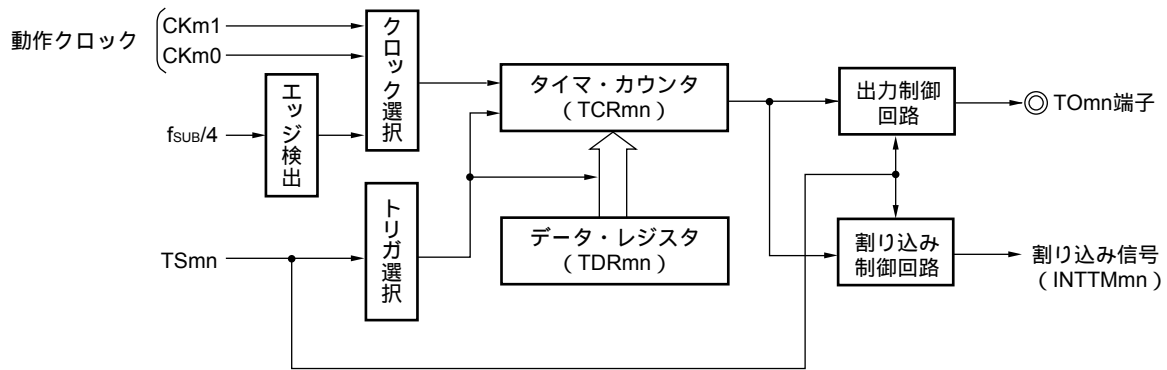
チャンネル・スタート・トリガ・ビット(TSmn)に1を設定後、最初のカウント・クロックでTCRmnはTDRmnの値をロードします。このときTMRmnのMDmn0 = 0ならば、INTTMmnを出力せず、TOmnはトグルしません。TMRmnのMDmn0 = 1ならば、INTTMmnを出力して、TOmnをトグルします。

その後、TCRmnはカウント・クロックに合わせてダウン・カウントを行います。

TCRmn = 0000Hとなったら、次のカウント・クロックでINTTMmnを出力しTOmnをトグルします。また、同タイミングで再びTCRmnはTDRmnの値をロードします。以降、同様の動作を続けます。

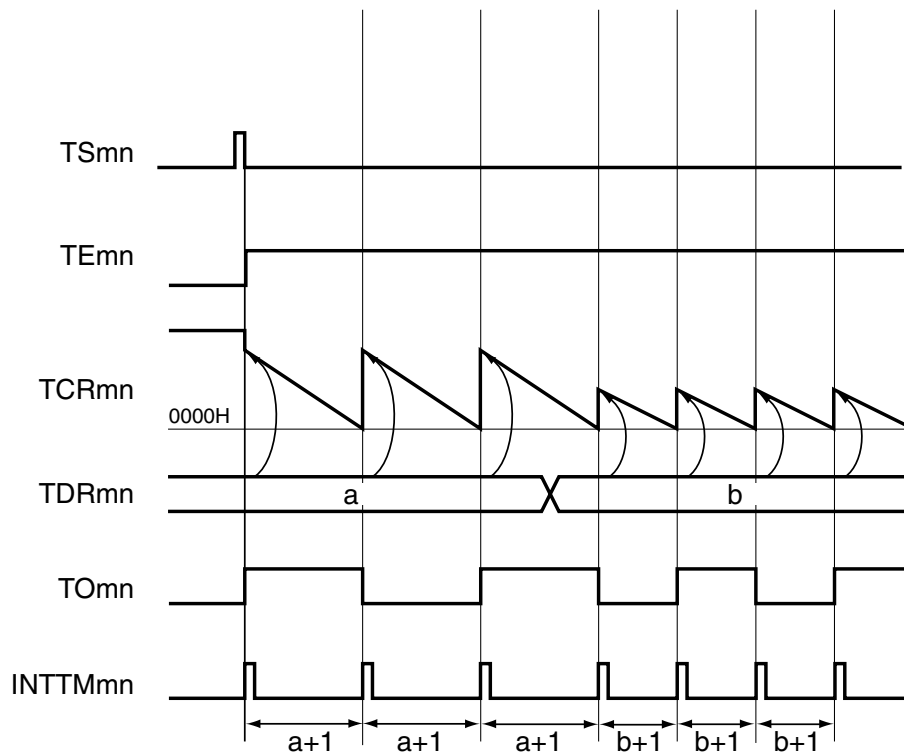
TDRmnは任意のタイミングで書き換えることができます。書き換えたTDRmnの値は、次の周期から有効となります。

図6 - 37 インターバル・タイマ/方形波出力としての動作のブロック図



備考 m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-7) ,
mn = 00-07, 10-12

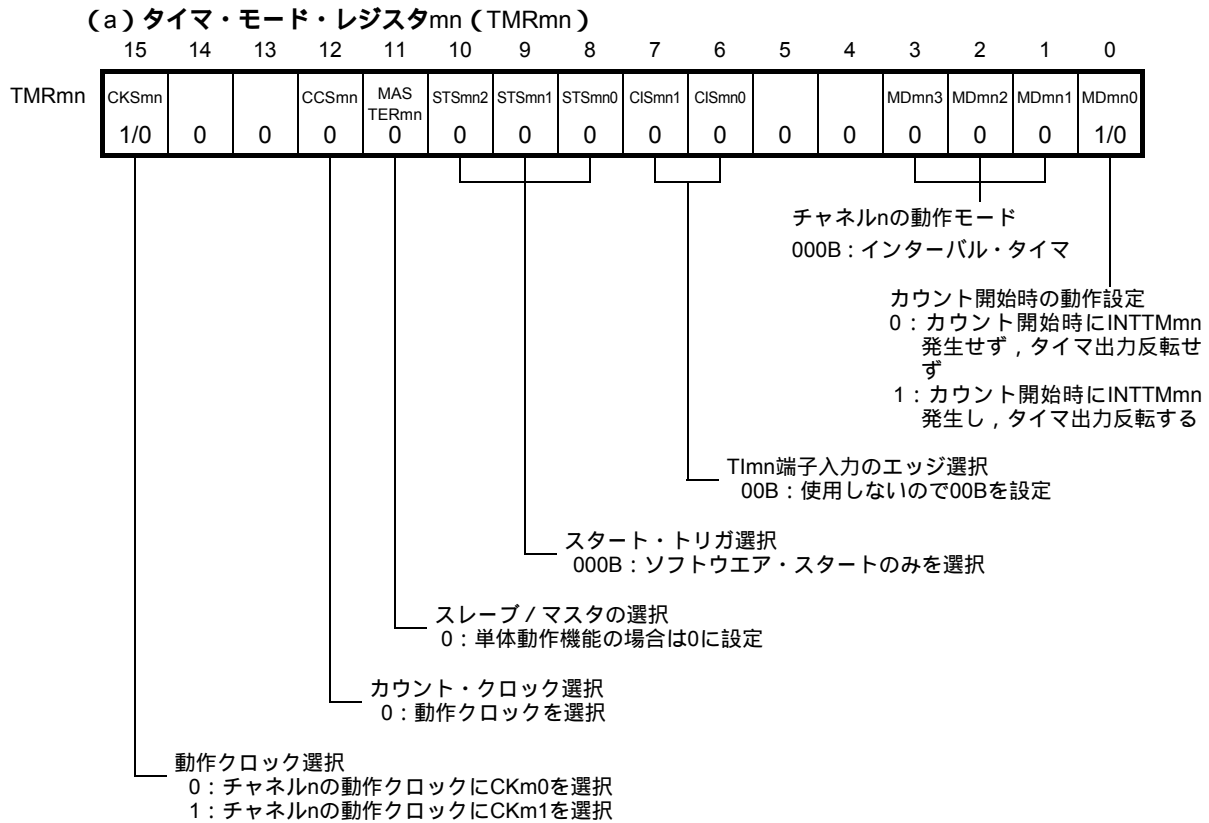
図6 - 38 インターバル・タイマ/方形波出力としての動作の基本タイミング例 (MDmn0 = 1)



備考 m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-7) ,
mn = 00-07, 10-12

図6 - 39 インターバル・タイマ/方形波出力時のレジスタ設定内容例 (1/3)

(1) カウント・クロックにCKm0, CKm1を選択した場合



(b) タイマ出力レジスタm (TOm)

ビットn	TOmn	説明
	0	TOmnより0を出力する
	1/0	1: TOmnより1を出力する

(c) タイマ出力許可レジスタm (TOEm)

ビットn	TOEmn	説明
	0	0: カウント動作によるTOmn出力動作停止
	1/0	1: カウント動作によるTOmn出力動作許可

(d) タイマ出力レベル・レジスタm (TOLm)

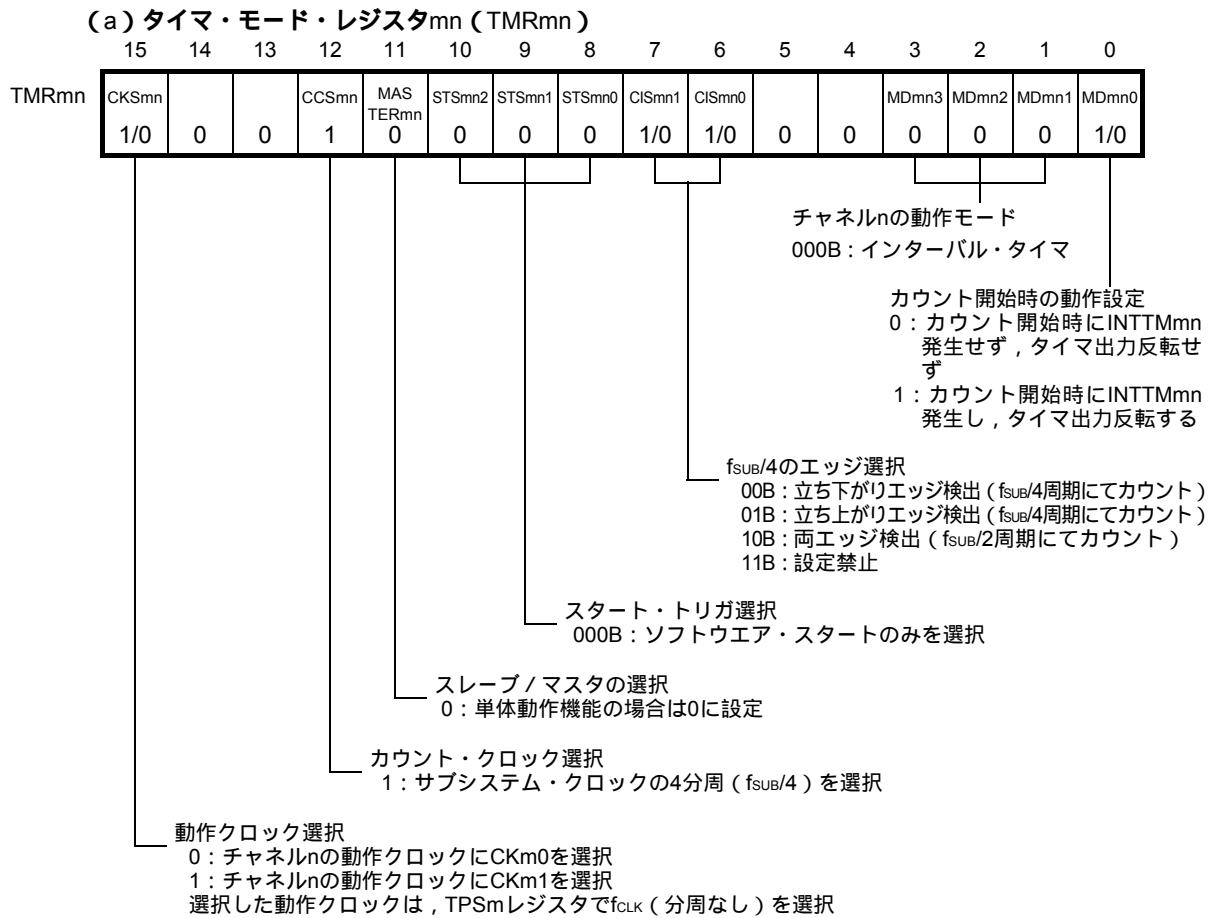
ビットn	TOLmn	説明
	0	0: TOMmn = 0 (マスタ・チャンネル出力モード) では0を設定

(e) タイマ出力モード・レジスタm (TOMm)

ビットn	TOMmn	説明
	0	0: マスタ・チャンネル出力モードを設定

備考 m: ユニット番号 (m = 0, 1), n: チャンネル番号 (n = 0-7),
mn = 00-07, 10-12

図6 - 39 インターバル・タイマ/方形波出力時のレジスタ設定内容例 (2/3)

(2) カウント・クロックに $f_{SUB}/4$ を選択した場合 (1/2)(b) タイマ・クロック選択レジスタ m (TPSm)

ビット7-4, 3-0

TPSm	PRSm $k3$ -PRSm $k0$ 0000	0000B: TMR m_n レジスタのCKSm n で選択した動作クロックに, f_{CLK} (分周なし) を選択 CK $m0$ 選択時は $k=0$ (ビット0-3), CK $m1$ 選択時は $k=1$ (ビット4-7)
------	------------------------------	---

(c) タイマ入力選択レジスタ m (TIS m)ビット n

TIS m	TIS $0m$ 1	1: サブシステム・クロックの4分周 ($f_{SUB}/4$) を選択
---------	---------------	--

(d) タイマ出力レジスタ m (TO m)ビット n

TO m	TO m_n 1/0	0: TO m_n より0を出力する 1: TO m_n より1を出力する
--------	-----------------	--

備考1. m : ユニット番号 ($m=0, 1$), n : チャンネル番号 ($n=0-7$), $mn = 00-07, 10-12$ 2. f_{SUB} : サブシステム・クロック発振周波数

図6 - 39 インターバル・タイマノ方形波出力時のレジスタ設定内容例 (3/3)

(2) カウント・クロックに $f_{SUB}/4$ を選択した場合 (2/2)(e) タイマ出力許可レジスタ m (TOEm)

	ビット n	
TOEm	TOEmn	0 : カウント動作によるTOMn出力動作停止
	1/0	1 : カウント動作によるTOMn出力動作許可

(f) タイマ出力レベル・レジスタ m (TOLm)

	ビット n	
TOLm	TOLmn	0 : TOMmn = 0 (マスタ・チャンネル出力モード) では0を設定
	0	

(g) タイマ出力モード・レジスタ m (TOMm)

	ビット n	
TOMm	TOMmn	0 : マスタ・チャンネル出力モードを設定
	0	

- 備考1. m : ユニット番号 ($m = 0, 1$) , n : チャンネル番号 ($n = 0-7$) ,
 $mn = 00-07, 10-12$
2. f_{SUB} : サブシステム・クロック発振周波数

図6-40 インターバル・タイマ/方形波出力機能時の操作手順(1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	PER0レジスタのTAU0ENビットまたは,TAU1ENビットに1を設定する	パワーオフ状態 (クロック供給停止,各レジスタへの書き込み不可)
	TPSmレジスタを設定する CKm0とCKm1のクロック周波数を確定する	パワーオン状態,各チャンネルは動作停止状態 (クロック供給開始,各レジスタへの書き込み可能)
チャ ネル 初期 設定	TMRmnレジスタを設定する(チャンネルの動作モード確定) カウント・クロックに $f_{sub}/4$ を選択時は,TISmnビットに1($f_{sub}/4$)を設定する TDRmnレジスタにインターバル(周期)値を設定する	チャンネルは動作停止状態 (クロック供給されており,多少の電力を消費する)
	TOmn出力を使用する場合, TOMmnレジスタのTOMmnビットに0(マスタ・チャンネル出力モード)を設定する TOLmnビットに0を設定する TOmnビットを設定し,TOMn出力の初期レベルを確定する TOEmnに1を設定し,TOmnの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TOmn端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は,TOmn初期設定レベルが出力される。 チャンネルは動作停止状態なので,TOmnは変化しない TOmn端子はTOmn設定レベルを出力
動作 開始	(TOmn出力を使用する場合で,かつ動作再開時のみTOEmnビットに1を設定する) TSmnビットに1を設定する TSmnビットはトリガ・ビットなので,自動的に0に戻る	TEmn = 1になり,カウント動作開始 カウント・クロック入力でTCRmnはTDRmnの値をロードする。TMRmnレジスタのMDmn0ビットが1の場合は,INTTMmnを発生し,TOmnもトグル動作する。
	動作 中	TMRmnレジスタ,TOMmn,TOLmnビットは,設定値変更禁止 TDRmnレジスタは,任意に設定値変更が可能 TCRmnレジスタは,常に読み出し可能 TSRmnレジスタは,使用しない TOm,TOEmレジスタは,設定値変更可能
動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので,自動的に0に戻る	TEmn = 0になり,カウント動作停止 TCRmnはカウント値を保持して停止 TOmn出力は初期化されず,状態保持
	TOEmnに0を設定し,TOmnビットに値を設定する	TOmn端子はTOmn設定レベルを出力

備考 m: ユニット番号 (m = 0, 1), n: チャンネル番号 (n = 0-7),

mn = 00-07, 10-12

図6-40 インターバル・タイマ/方形波出力機能時の操作手順(2/2)

	ソフトウェア操作	ハードウェアの状態
TAU 停止	TOmn端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmnビットに0を設定する	TOmn端子出力レベルはポート機能により保持される。
	TOmn端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える	TOmn端子出力レベルはHi-Z出力になる。
	PER0レジスタのTAU0EN,またはTAU1ENビットに0を設定する	▶パワーオフ状態 全回路が初期化され、各チャンネルのSFRも初期化される (TOmnビットが0になり、TOmn端子はポート機能となる)

備考 m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-7) ,
mn = 00-07, 10-12

6.7.2 外部イベント・カウンタとしての動作

TI_{mn}端子入力の有効エッジ検出（外部イベント）をカウントし、規定カウント数に達したら割り込みを発生するイベント・カウンタとして利用することができます。規定カウント数は次の式で求めることができます。

$$\text{規定カウント数} = \text{TDRmnの設定値} + 1$$

TCRmn はイベント・カウンタ・モードでダウン・カウンタとして動作します。

チャンネル・スタート・トリガ・ビット（TS_{mn}）に1を設定することによりTCRmnはTDRmnの値をロードします。

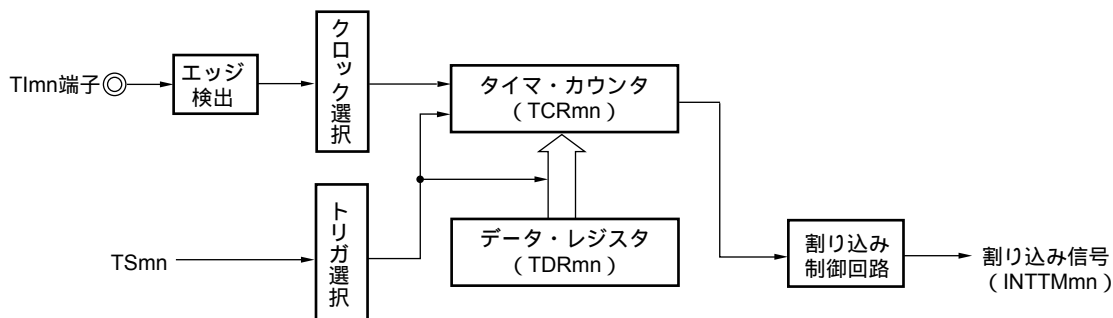
TCRmnはTI_{mn}端子入力の有効エッジ検出に合わせてダウン・カウントを行い、TCRmn = 0000Hとなったら、再びTDRmnの値をロードして、INTTM_{mn}を出力します。

以降、同様の動作を続けます。

TO_{mn}端子出力は外部イベントに依存した不規則な波形となるため、タイマ出力許可レジスタ_m（TOEm）のTOEm_nビットに0を設定して出力動作を停止するようにしてください。

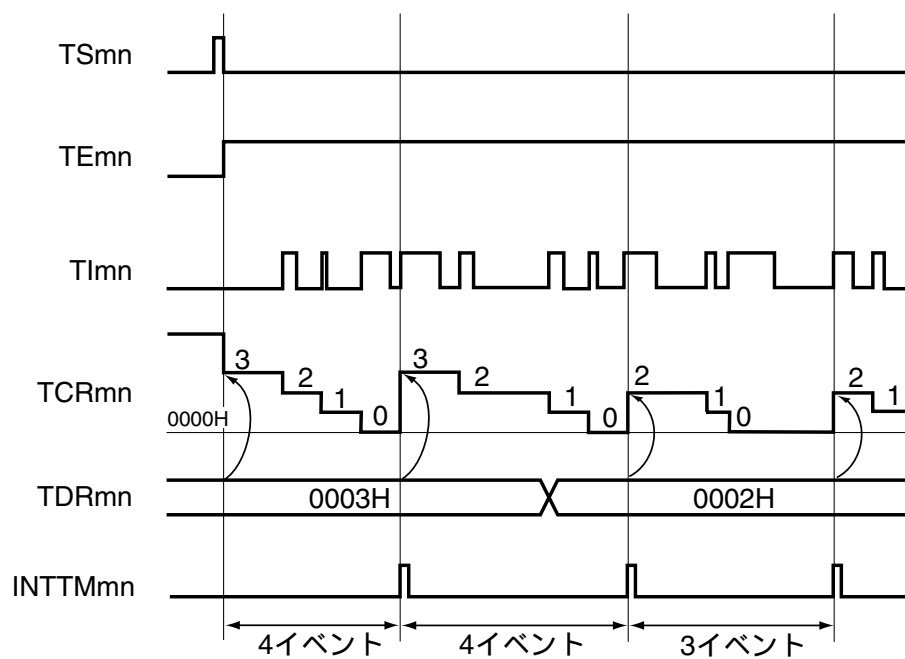
TDRmnは任意のタイミングで書き換えることができます。書き換えたTDRmnの値は次のカウント期間で有効になります。

図6 - 41 外部イベント・カウンタとしての動作のブロック図



備考 m : ユニット番号 (m = 0, 1) , n : チャンネル番号 (n = 0-7) ,
mn = 00-07, 10-12

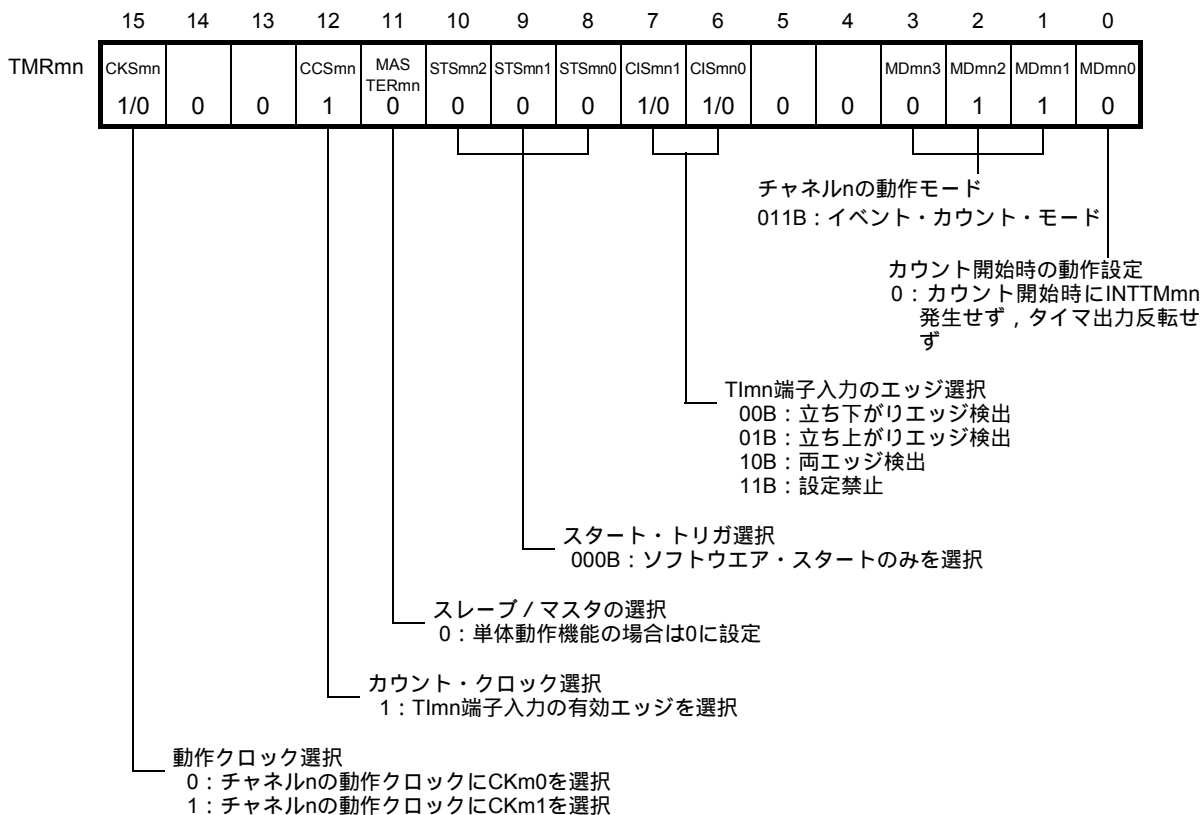
図6 - 42 外部イベント・カウンタとしての動作の基本タイミング例



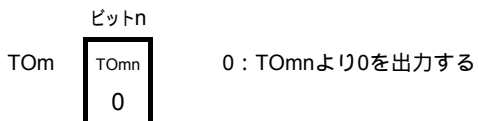
備考 m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-7) ,
mn = 00-07, 10-12

図6-43 外部イベント・カウンタ・モード時のレジスタ設定内容例

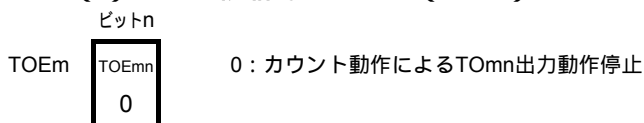
(a) タイマ・モード・レジスタmn (TMRmn)



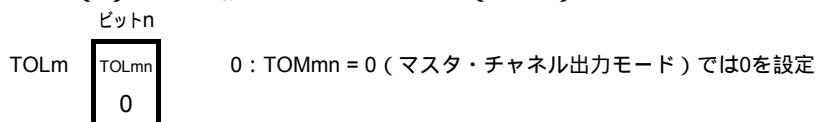
(b) タイマ出力レジスタm (TOm)



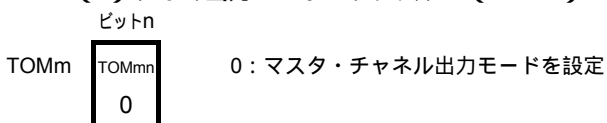
(c) タイマ出力許可レジスタm (TOEm)



(d) タイマ出力レベル・レジスタm (TOLm)



(e) タイマ出力モード・レジスタm (TOMm)



備考 m: ユニット番号 (m = 0, 1), n: チャンネル番号 (n = 0-7),
mn = 00-07, 10-12

図6 - 44 外部イベント・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	PER0レジスタのTAU0ENビット, TAU1ENビットに1を設定する	▶ パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	TPSmレジスタを設定する CKm0とCKm1のクロック周波数を確定する	▶ パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	TMRmnレジスタを設定する (チャンネルの動作モード確定) TDRmnレジスタにカウント数を設定する TOEmnレジスタのTOEmnビットに0を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 再開	▶ 動作開始 TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻る	▶ TEmn = 1になり, カウント動作開始 TCRmnはTDRmnの値をロードし, TImn端子入力のエッジ検出待ち状態になる
	動作中 TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない TMRmnレジスタ, TOMmn, TOLmn, TOMn, TOEmnビットは, 設定値変更禁止	TImn端子入力のエッジが検出されるごとに, カウンタ (TCRmn) はダウン・カウント動作を行う。0000Hまでカウントしたら, 再びTCRmnはTDRmnの値をロードし, カウント動作を継続する。TCRmn = 0000H検出でINTTMmn出力を発生する。 以降, この動作を繰り返す。
	▶ 動作停止 TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る	▶ TEmn = 0になり, カウント動作停止 TCRmnはカウント値を保持して停止
TAU 停止	PER0レジスタのTAU0ENビット, TAU1ENビットに0を設定する	▶ パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される

備考 m : ユニット番号 (m = 0, 1) , n : チャンネル番号 (n = 0-7) ,
mn = 00-07, 10-12

6.7.3 分周器としての動作（ユニット0のチャンネル0のみ）

TI00に入力されたクロックを分周し、TO00から出力する分周器として利用することができます。

TO00出力の分周クロック周波数は次の式で求めることができます。

- ・立ち上がりエッジ / 立ち下がりエッジ選択時 :

$$\text{分周クロック周波数} = \text{入力クロック周波数} / \{ (\text{TDR00 の設定値} + 1) \times 2 \}$$
- ・両エッジ選択時 :

$$\text{分周クロック周波数} = \text{入力クロック周波数} / (\text{TDR00の設定値} + 1)$$

TCR00はインターバル・タイマ・モードでダウン・カウンタとして動作します。

チャンネル・スタート・トリガ・ビット（TS00）に1を設定後、TI00の有効エッジ検出でTCR00はTDR00の値をロードします。このときTMR00のMD000 = 0ならば、INTTM00を出力せず、TO00はトグルしません。TMR00のMD000 = 1ならば、INTTM00を出力して、TO00をトグルします。

その後、TI00の有効エッジに合わせてダウン・カウントを行い、TCR00 = 0000Hとなったら、TO00をトグルします。同時にTCR00はTDR00の値をロードして、カウントを継続します。

TI00の両エッジ検出を選択すると、入力クロックのデューティ誤差がTO00出力の分周クロック周期に影響します。

TO00の出力クロックの周期には、動作クロック1周期分のサンプリング誤差が含まれます。

$$\text{TO00出力のクロック周期} = \text{理想のTO00出力クロック周期} \pm \text{動作クロック周期 (誤差)}$$

TDR00は任意のタイミングで書き換えることができます。書き換えたTDR00の値は次のカウント期間で有効となります。

図6 - 45 分周器としての動作のブロック図

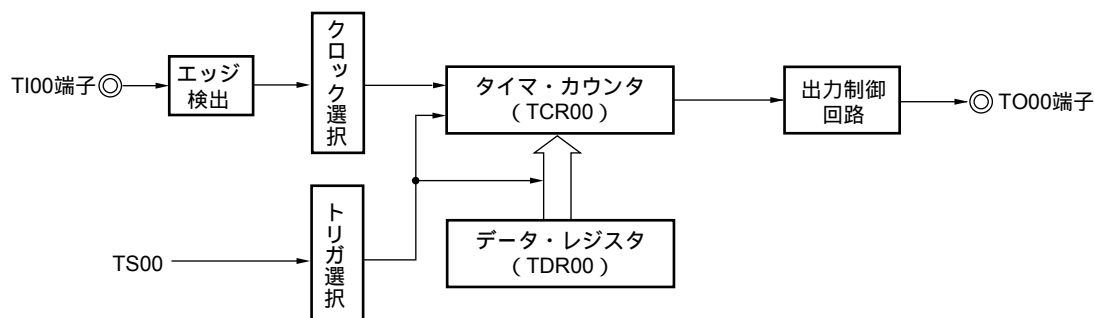


図6 - 46 分周器としての動作の基本タイミング例 (MD000 = 1)

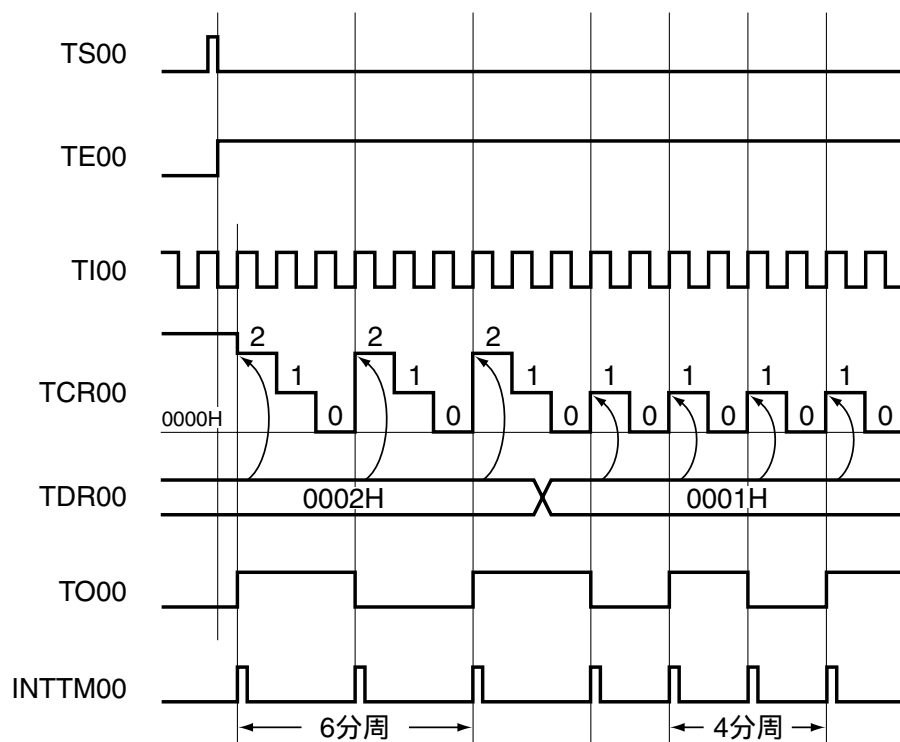
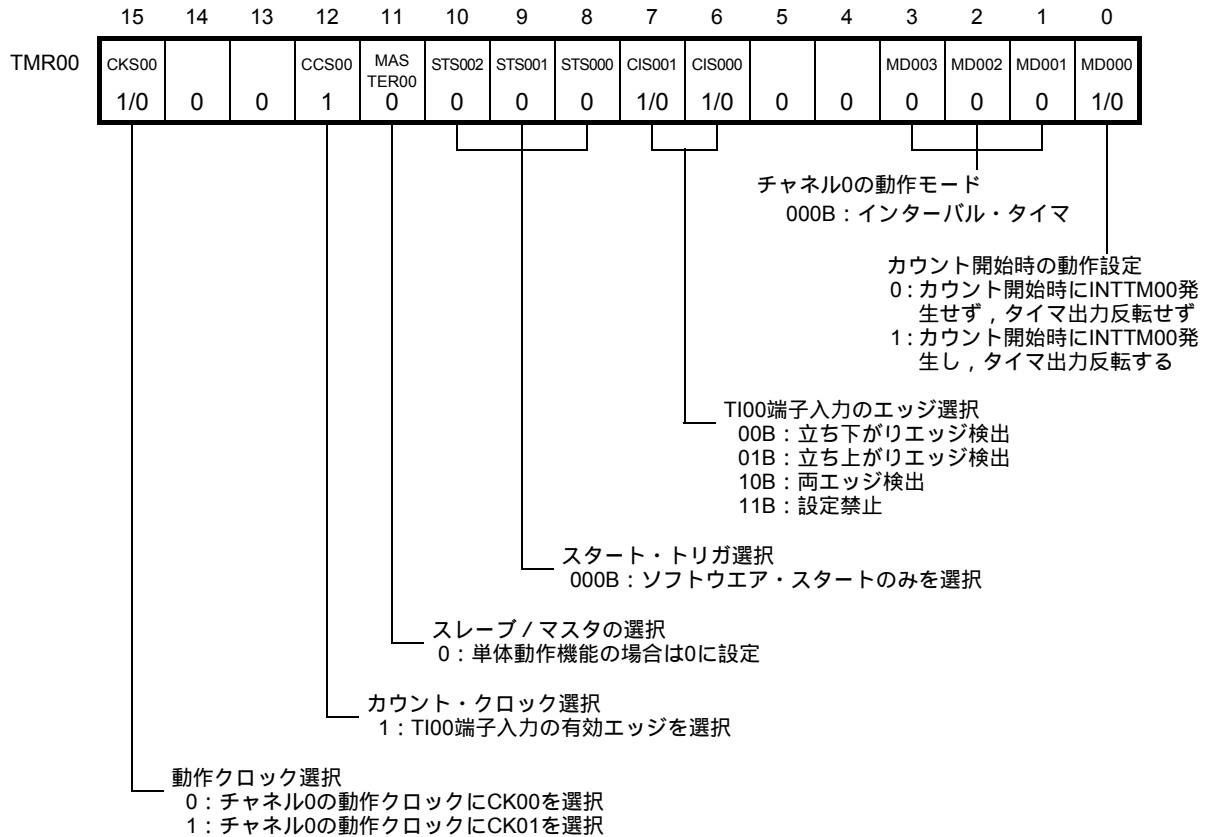


図6-47 分周器として動作時のレジスタ設定内容例

(a) タイマ・モード・レジスタ0 (TMR00)



(b) タイマ出力レジスタ0 (TO0)

TO0	ビット0	
	TO00	0: TO00より0を出力する
	1/0	1: TO00より1を出力する

(c) タイマ出力許可レジスタ0 (TOE0)

TOE0	ビット0	
	TOE00	0: カウント動作によるTO00出力動作停止
	1/0	1: カウント動作によるTO00出力動作許可

(d) タイマ出力レベル・レジスタ0 (TOL0)

TOL0	ビット0	
	TOL00	0: TOM00 = 0 (マスタ・チャンネル出力モード) では0を設定
	0	

(e) タイマ出力モード・レジスタ0 (TOM0)

TOM0	ビット0	
	TOM00	0: マスタ・チャンネル出力モードを設定
	0	

図6 - 48 分周器機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	PER0レジスタのTAU0ENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可) → パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	TPS0レジスタを設定する CK00とCK01のクロック周波数を確定する	
チャ ネル 初期 設定	TMR00レジスタを設定する (チャンネルの動作モード確定)	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	TDR00レジスタにインターバル (周期) 値を設定する	
	TOM0レジスタのTOM00ビットに0 (マスタ・チャンネル出力モード) を設定する TOL00ビットに0を設定する TO00ビットを設定し, TO00出力の初期レベルを確定する	TO00端子はHi-Z出力状態 → ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TO00初期設定レベルが出力される。
	TOE00に1を設定し, TO00の動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	チャンネルは動作停止状態なので, TO00は変化しない → TO00端子はTO00設定レベルを出力
動作 開始	TOE00に1を設定する (動作再開時のみ)	
	TS00ビットに1を設定する TS00ビットはトリガ・ビットなので, 自動的に0に戻る	→ TE00 = 1になり, カウント動作開始 カウント・クロック入力でTCR00はTDR00の値をロードする。TMR00レジスタのMD000ビットが1の場合は、INTTM00を発生し, TO00もトグル動作する。
動作 中	TDR00レジスタは, 任意に設定値変更が可能 TCR00レジスタは, 常に読み出し可能 TSR00レジスタは, 使用しない TO0, TOE00レジスタは, 設定値変更可能 TMR00レジスタ, TOM00, TOL00ビットは, 設定値変更禁止	カウンタ (TCR00) はダウン・カウント動作を行い, 0000Hまでカウントしたら, 再びTCR00はTDR00の値をロードし, カウント動作を継続する。TCR00 = 0000H検出でINTTM00を発生し, TO00はトグル動作する。 以降, この動作を繰り返す。
動作 停止	TT00ビットに1を設定する TT00ビットはトリガ・ビットなので, 自動的に0に戻る	→ TE00 = 0になり, カウント動作停止 TCR00はカウント値を保持して停止 TO00出力は初期化されず, 状態保持
	TOE00に0を設定し, TOmレジスタに値を設定する	→ TO00端子はTO00設定レベルを出力
TAU 停止	TO00端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後, TO00ビットに0を設定する	→ TO00端子出力レベルはポート機能により保持される。
	TO00端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える	→ TO00端子出力レベルはHi-Z出力になる。
	PER0レジスタのTAU0ENビットに0を設定する	→ パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される (TO00ビットが0になり, TO00端子はポート機能となる)

動作再開

6.7.4 入力パルス間隔測定としての動作

TImn有効エッジでカウント値をキャプチャし、TImn入力パルスの間隔を測定することができます。パルス間隔は次の式で求めることができます。

$$\text{TImn入力パルス間隔} = \text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSRmn:OVF}) + (\text{TDRmnのキャプチャ値} + 1))$$

注意 TImn端子入力は、TMRmnレジスタのCKSmnビットで選択した動作クロックでサンプリングされるため、動作クロックの1クロック分の誤差が発生します。

TCRmnはキャプチャ・モードでアップ・カウンタとして動作します。

チャンネル・スタート・トリガ (TSmn) に1を設定するとTCRmnはカウント・クロックに合わせて0000Hからアップ・カウントを開始します。

TImn端子入力の有効エッジを検出すると、カウント値をTDRmnに転送 (キャプチャ) すると同時に、カウンタ (TCRmn) を0000Hにクリアして、INTTMmnを出力します。このとき、カウンタのオーバーフローが発生していたら、TSRmnレジスタのOVFビットが1にセットされ、オーバーフローが発生していなかったらOVFビットはクリアされます。以降、同様の動作を継続します。

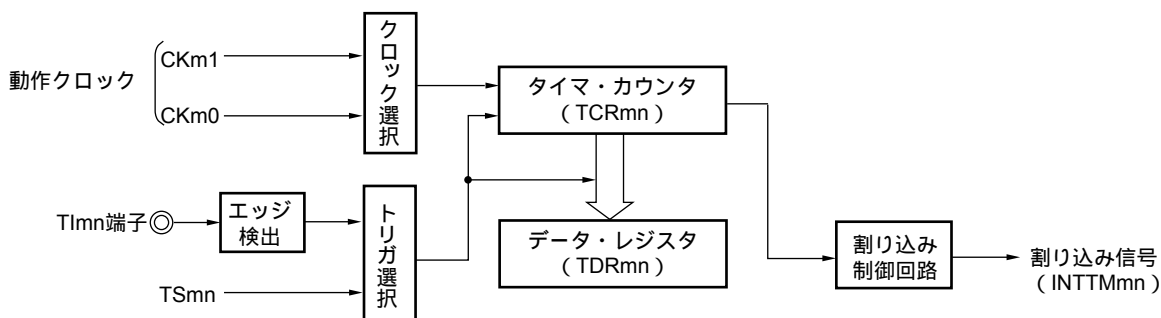
カウント値がTDRmnレジスタにキャプチャされると同時に、測定期間のオーバーフロー有無に応じて、TSRmnレジスタのOVFビットが更新され、キャプチャ値のオーバーフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバーフロー発生とみなされ、TSRmnレジスタのOVFビットがセット (1) されます。しかし、OVFビットは、2回以上のオーバーフローが発生した場合は正常な間隔値を測定できません。

TMRmnレジスタのSTSmn2-STSmn0 = 001Bに設定して、TImn有効エッジをスタート・トリガとキャプチャ・トリガに利用します。

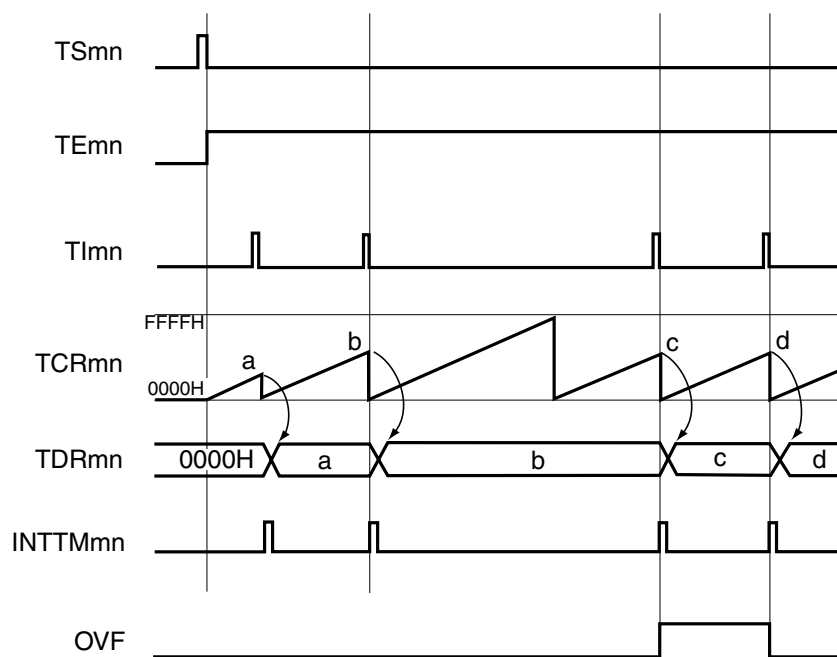
TEmn = 1のときは、TImn端子入力を使用せずに、ソフトウェア操作 (TSmn = 1) をキャプチャ・トリガにすることもできます。

図6-49 入力パルス間隔測定としての動作のブロック図



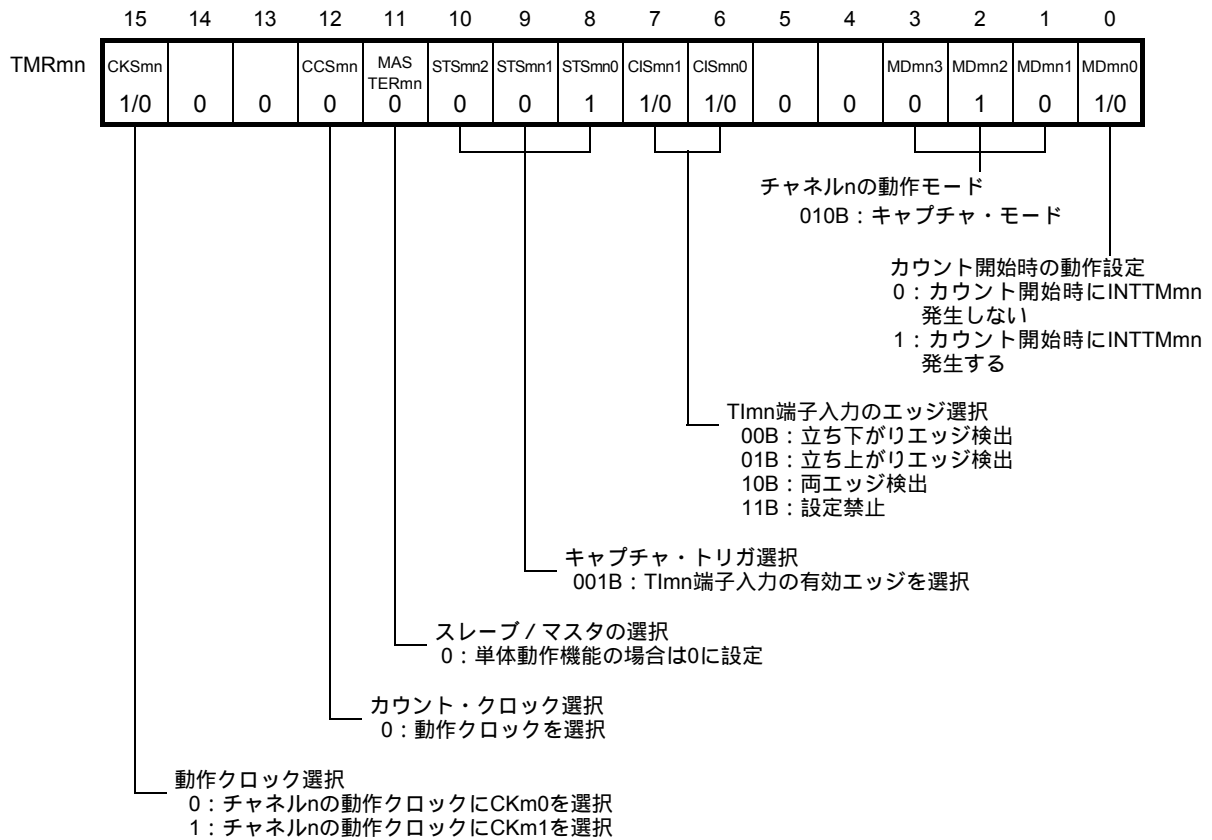
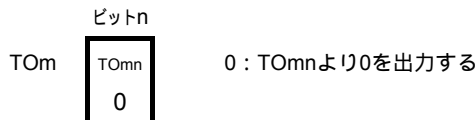
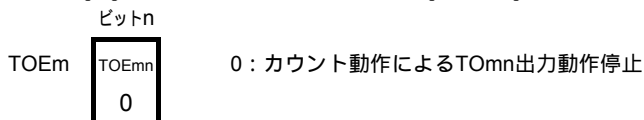
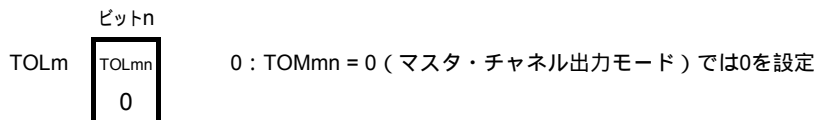
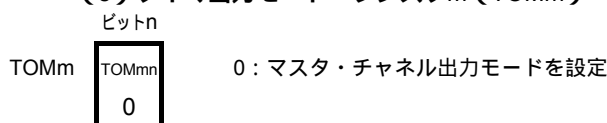
備考 m : ユニット番号 (m = 0, 1) , n : チャンネル番号 (n = 0-7) ,
mn = 00-07, 10-12

図6 - 50 入力パルス間隔測定としての動作の基本タイミング例 (MDmn0 = 0)



備考 m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-7) ,
mn = 00-07, 10-12

図6 - 51 入力パルス間隔測定時のレジスタ設定内容例

(a) タイマ・モード・レジスタ_{mn} (TMR_{mn})(b) タイマ出力レジスタ_m (TO_m)(c) タイマ出力許可レジスタ_m (TOE_m)(d) タイマ出力レベル・レジスタ_m (TOL_m)(e) タイマ出力モード・レジスタ_m (TOM_m)

備考 m : ユニット番号 (m = 0, 1) , n : チャンネル番号 (n = 0-7) ,
 mn = 00-07, 10-12

図6 - 52 入力パルス間隔測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	PER0レジスタのTAU0ENビット, TAU1ENビットに1を設定する	▶パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	TPSmレジスタを設定する CKm0とCKm1のクロック周波数を確定する	▶パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	TMRmnレジスタを設定する(チャンネルの動作モード確定)	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 再開	動作 開始	▶TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻る
	動作 中	▶TEmn = 1になり, カウント動作開始 カウント・クロック入力でTCRmnを0000Hにクリアする。 TMRmnレジスタのMDmn0ビットが1の場合は, INTTMmnを発生する。
	動作 停止	▶カウンタ(TCRmn)は0000Hからアップ・カウント動作を行い, TImn端子入力の有効エッジが検出されたら, カウント値をTDRmnに転送(キャプチャ)する。同時に, TCRmnを0000Hにクリアし, INTTMmnを発生する。 このときオーバーフローが発生していたら, TSRmnレジスタのOVFビットがセットされ, オーバーフローが発生していなかったらOVFビットがクリアされる。 以降, この動作を繰り返す。
TAU 停止	▶TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る	▶TEmn = 0になり, カウント動作停止 TCRmnはカウント値を保持して停止 TSRmnレジスタのOVFビットも保持
	PER0レジスタのTAU0ENビット, TAU1ENビットに0を設定する	▶パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される

備考 m : ユニット番号 (m = 0, 1) , n : チャンネル番号 (n = 0-7) ,
mn = 00-07, 10-12

6.7.5 入力信号のハイ/ロウ・レベル幅測定としての動作

Tlmnの片方のエッジでカウントをスタートし、もう片方のエッジでカウント数をキャプチャすることで、Tlmnの信号幅（ハイ・レベル幅/ロウ・レベル幅）を測定することができます。Tlmnの信号幅は次の式で求めることができます。

$$\text{Tlmn入力の信号幅} = \text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSRmn:OVF}) + (\text{TDRmnのキャプチャ値} + 1))$$

注意 Tlmn端子入力は、TMRmnレジスタのCKSmnビットで選択した動作クロックでサンプリングされるため、動作クロックの1クロック分の誤差が発生します。

TCRmnはキャプチャ&ワンカウント・モードでアップカウンタとして動作します。

チャンネル・スタート・トリガ(TSmn)に1を設定すると、TEmn = 1となりTlmn端子のスタート・エッジ検出待ち状態となります。

Tlmnのスタート・エッジ（ハイ・レベル幅測定ならTlmnの立ち上がりエッジ）を検出すると、カウント・クロックに合わせてアップカウントを行います。その後、キャプチャ有効エッジ（ハイ・レベル幅測定ならTlmnの立ち下がりエッジ）を検出すると、カウンタ値をTDRmnに転送すると同時にINTTMmnを出力します。このとき、カウンタのオーバーフローが発生していたら、TSRmnレジスタのOVFビットがセットされ、オーバーフローが発生していなかったらOVFビットはクリアされます。TCRmnは、「TDRmnに転送した値+1」の値で停止し、Tlmn端子のスタート・エッジ検出待ち状態となります。以降同様の動作を続けます。

カウンタ値がTDRmnレジスタにキャプチャされると同時に、測定期間のオーバーフロー有無に応じて、TSRmnレジスタのOVFビットが更新され、キャプチャ値のオーバーフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバーフロー発生とみなされ、TSRmnレジスタのOVFビットがセット(1)されます。しかし、OVFビットは、2回以上のオーバーフローが発生した場合は正常な間隔値を測定できません。

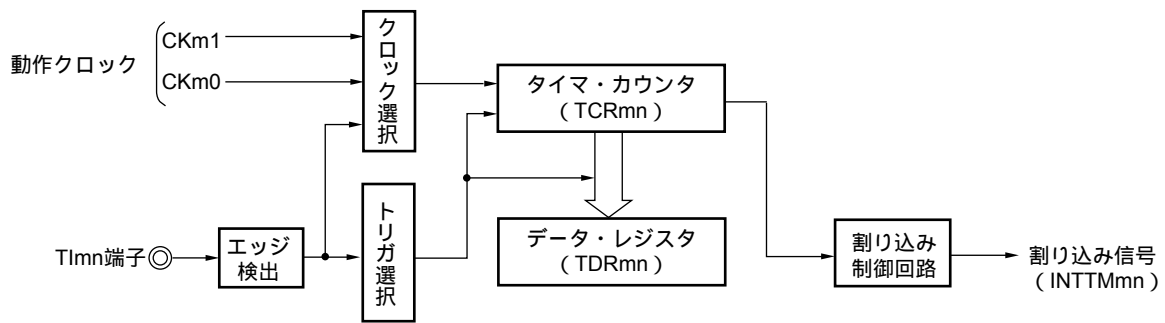
Tlmn端子入力のハイ・レベル幅を測定するか、ロウ・レベル幅を測定するかは、TMRmnレジスタのCISmn1、CISmn0ビットにて設定することができます。

この機能は、Tlmn端子入力の信号幅測定を目的とするため、TEmn = 1期間中のTSmnのセット(1)は使用できません。

TMRmnのCISmn1, CISmn0 = 10B : ロウ・レベル幅を測定する

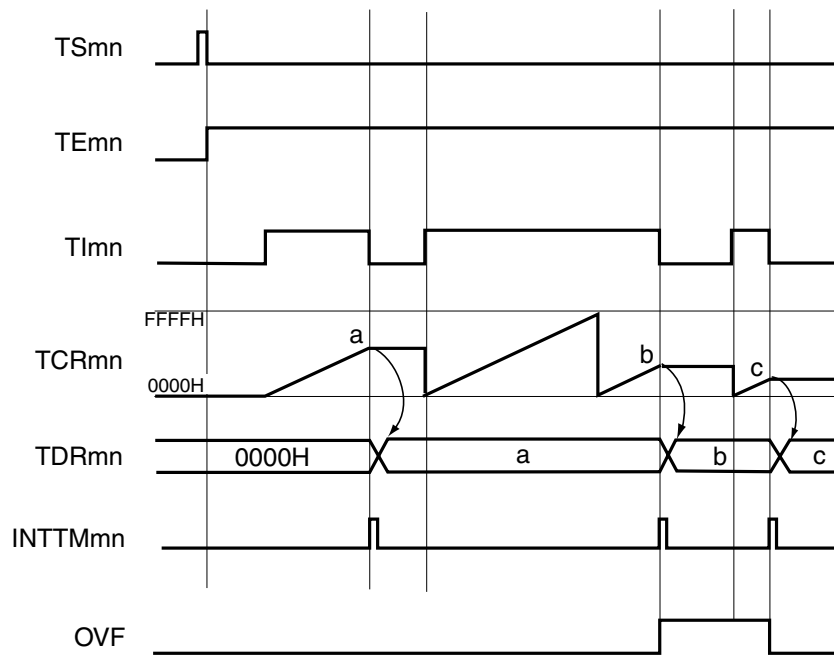
TMRmnのCISmn1, CISmn0 = 11B : ハイ・レベル幅を測定する

図6 - 53 入力信号のハイ/ロウ・レベル幅測定としての動作のブロック図



備考 m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-7) ,
mn = 00-07, 10-12

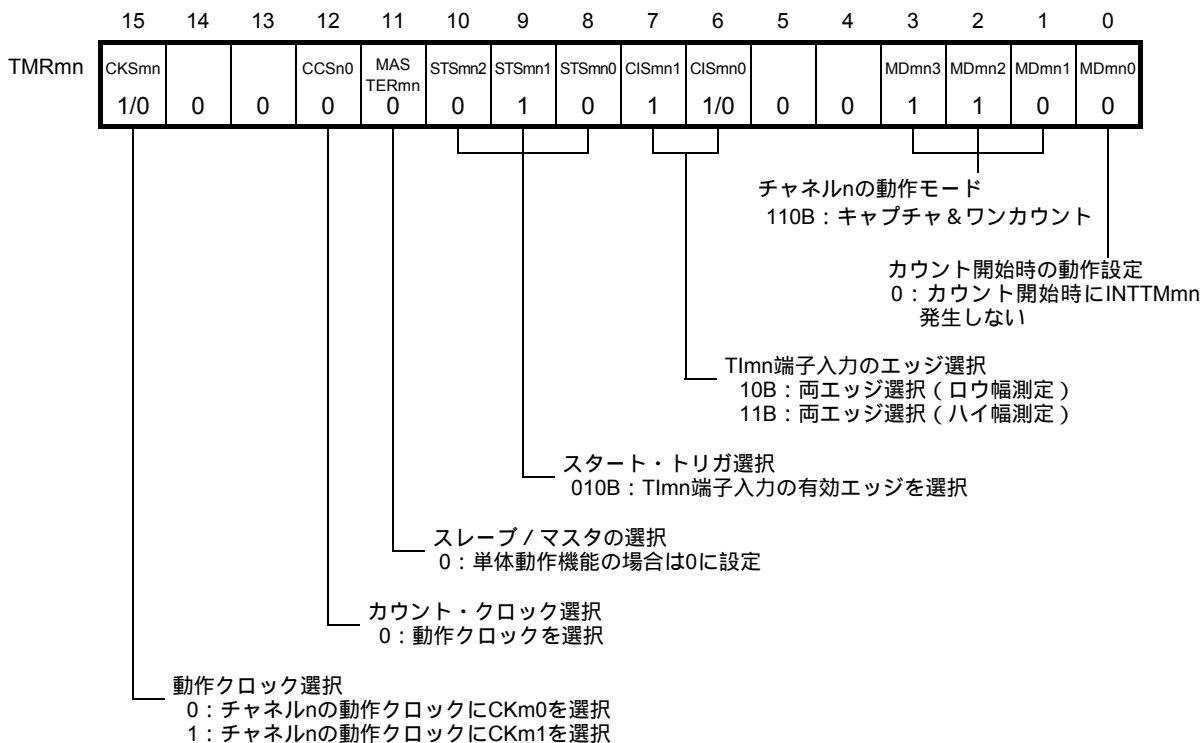
図6 - 54 入力信号のハイ/ロウ・レベル幅測定としての動作の基本タイミング例



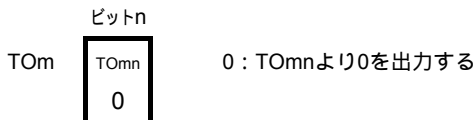
備考 m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-7) ,
mn = 00-07, 10-12

図6 - 55 入力信号のハイ/ロウ・レベル幅測定時のレジスタ設定内容例

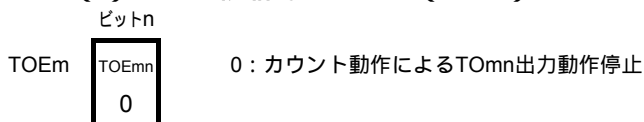
(a) タイマ・モード・レジスタmn (TMRmn)



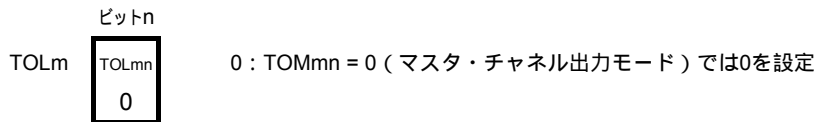
(b) タイマ出力レジスタm (TOM)



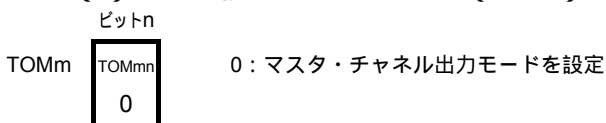
(c) タイマ出力許可レジスタm (TOEm)



(d) タイマ出力レベル・レジスタm (TOLm)



(e) タイマ出力モード・レジスタm (TOMm)



備考 m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-7) ,
mn = 00-07, 10-12

図6 - 56 入力信号のハイ/ロウ・レベル幅測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	PER0レジスタのTAU0ENビット, TAU1ENビットに1を設定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	TPSmレジスタを設定する CKm0とCKm1のクロック周波数を確定する	
チャ ネル 初期 設定	TMRmnレジスタを設定する(チャンネルの動作モード確定) TOEmnに0を設定し, TOmnの動作を停止	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1になり, TImn端子のスタート・エッジ検出待ち状態になる
	TImn端子入力のカウント・スタート・エッジ検出	TCRmnを0000Hにクリアし, カウント・アップ動作を開始する
動作 中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない TMRmnレジスタ, TOMmn, TOLmn, TOMn, TOEmnビットは, 設定値変更禁止	TImn端子のスタート・エッジ検出後, カウンタ(TCRmn)は0000Hからアップ・カウント動作を行う。TImn端子のキャプチャ・エッジが検出されたら, カウント値をTDRmnに転送し, INTTMmnを発生する。 このときオーバフローが発生していたら, TSRmnレジスタのOVFビットがセットされ, オーバフローが発生していなかったらOVFビットがクリアされる。TCRmnは, 次のTImn端子のスタート・エッジ検出までカウント動作を停止する。 以降, この動作を繰り返す。
動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 0になり, カウント動作停止 TCRmnはカウント値を保持して停止 TSRmnレジスタのOVFビットも保持
TAU 停止	PER0レジスタのTAU0ENビット, TAU1ENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される

動作再開

備考 m : ユニット番号 (m = 0, 1) , n : チャンネル番号 (n = 0-7) ,
mn = 00-07, 10-12

6.8 タイマ・アレイ・ユニットの複数チャンネルでの動作

6.8.1 PWM機能としての動作

2チャンネルをセットで使用し、任意の周期およびデューティのパルスを生成することができます。

出力パルスの周期、デューティは次の式で求めることができます。

$$\begin{aligned} \text{パルス周期} &= \{ \text{TDRmn (マスタ) の設定値} + 1 \} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ [\%]} &= \{ \text{TDRmp (スレーブ) の設定値} \} / \{ \text{TDRmn (マスタ) の設定値} + 1 \} \times 100 \\ 0 \% \text{出力} &: \text{TDRmp (スレーブ) の設定値} = 0000\text{H} \\ 100 \% \text{出力} &: \text{TDRmp (スレーブ) の設定値} = \{ \text{TDRmn (マスタ) の設定値} + 1 \} \end{aligned}$$

備考 TDRmp (スレーブ) の設定値 > { TDRmn (マスタ) の設定値 + 1 } の場合は、デューティ値が100 % を越えますが、集約して100 %出力となります。

マスタ・チャンネルはインターバル・タイマ・モードとして動作させます。タイマ・チャンネル開始レジスタm (TSm) のチャンネル・スタート・トリガ・ビット (TSmn) に1を設定すると、割り込み (INTTMmn) を出力して、タイマ・データ・レジスタmn (TDRmn) に設定した値をタイマ・カウンタ・レジスタmn (TCRmn) にロードし、カウント・クロックに合わせてダウン・カウントを行います。カウントが0000Hになったところで、INTTMmnを出力して、再びTDRmnレジスタからTCRmnレジスタに値をロードしてダウン・カウントを行います。以降、タイマ・チャンネル停止レジスタm (TTm) のチャンネル・ストップ・トリガ・ビット (TTmn) に1を設定するまでこの動作を繰り返します。

PWM機能としての動作では、マスタ・チャンネルがダウン・カウントして0000Hになるまでの期間がPWM出力 (TOmp) の周期となります。

スレーブ・チャンネルはワンカウント・モードとして動作させます。マスタ・チャンネルからのINTTMmnをスタート・トリガとして、TDRmpレジスタからTCRmpレジスタに値をロードし、0000Hになるまでダウン・カウントを行います。カウントが0000HになったところでINTTMmpを出力して、次のスタート・トリガ (マスタ・チャンネルからのINTTMmn) が来るまで待機します。

PWM機能としての動作では、スレーブ・チャンネルがダウン・カウントして0000Hになるまでの期間がPWM出力 (TOmp) のデューティとなります。

PWM出力 (TOmp) は、マスタ・チャンネルのINTTMmn発生から1クロック後にアクティブ・レベルとなり、スレーブ・チャンネルのTCRmpレジスタが0000Hになったタイミングでインアクティブ・レベルになります。

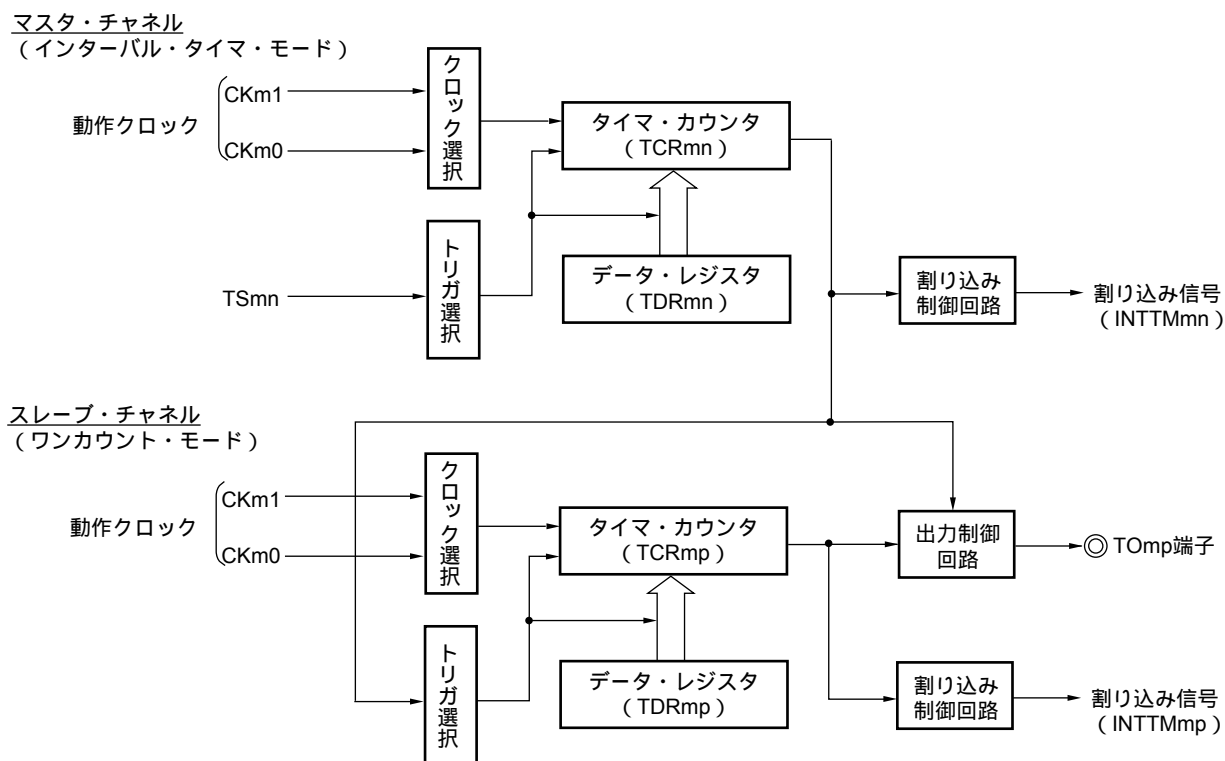
注意 マスタ・チャンネルのTDRmnとスレーブ・チャンネルのTDRmpを両方とも書き換える場合、2回のライト・アクセスが必要となります。TCRmn、TCRmpにTDRmn、TDRmpの値がロードされるのは、マスタ・チャンネルのINTTMmn発生時となります。そのため、書き換えがマスタ・チャンネルのINTTMmn発生前と発生後に分かれて行われるとTOmp端子は期待通りの波形を出力できません。したがって、マスタのTDRmnとスレーブのTDRmpを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTMmn発生直後に両方のレジスタを書き換えてください。

備考 m: ユニット番号, n: マスタ・チャンネル番号, p: スレーブ・チャンネル番号 (p = n + 1)

m = 0の場合: n = 0, 2, 4, 6

m = 1の場合: n = 0

図6-57 PWM機能としての動作のブロック図

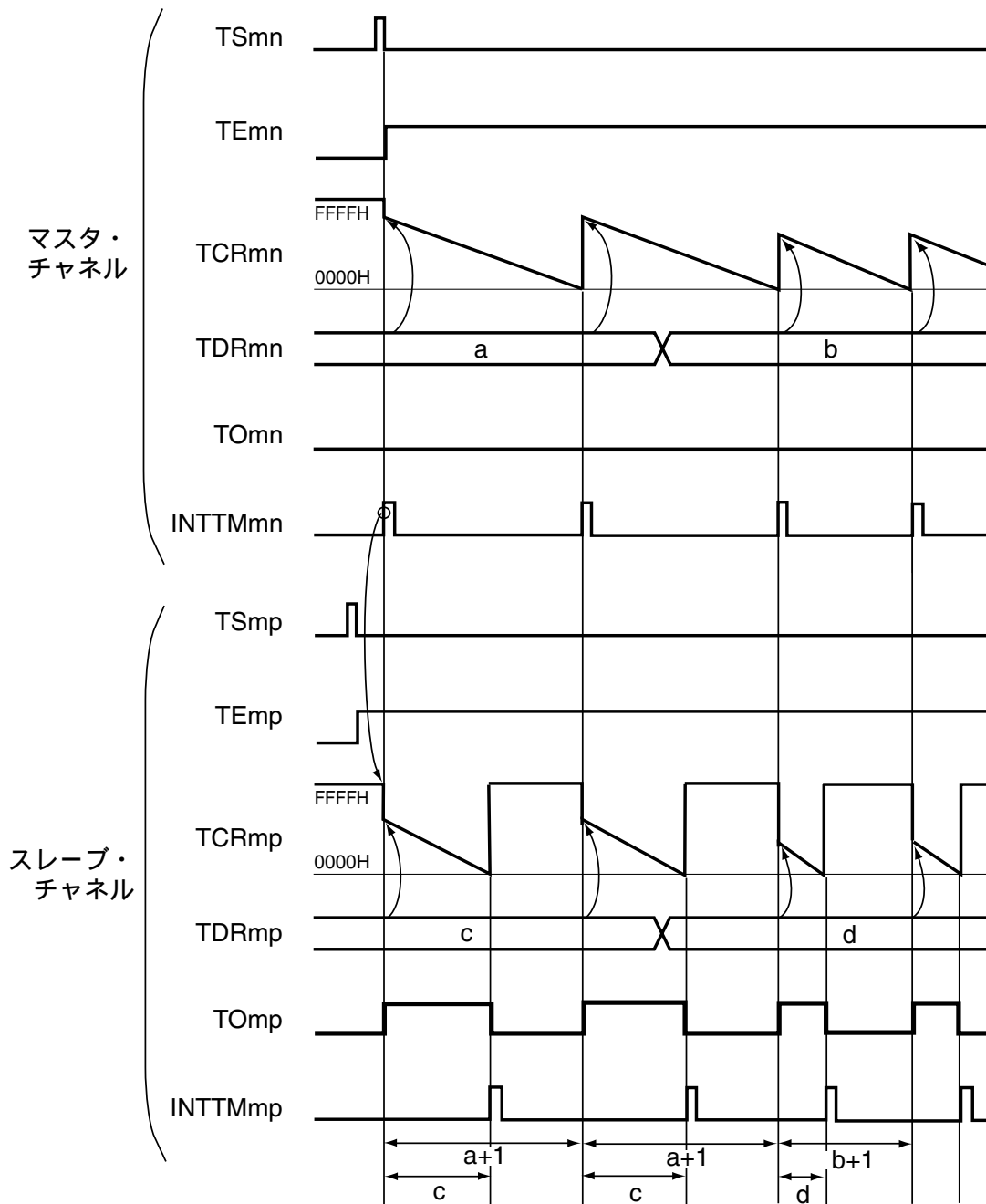


備考 m: ユニット番号, n: マスタ・チャンネル番号, p: スレーブ・チャンネル番号 ($p = n + 1$)

m = 0の場合: n = 0, 2, 4, 6

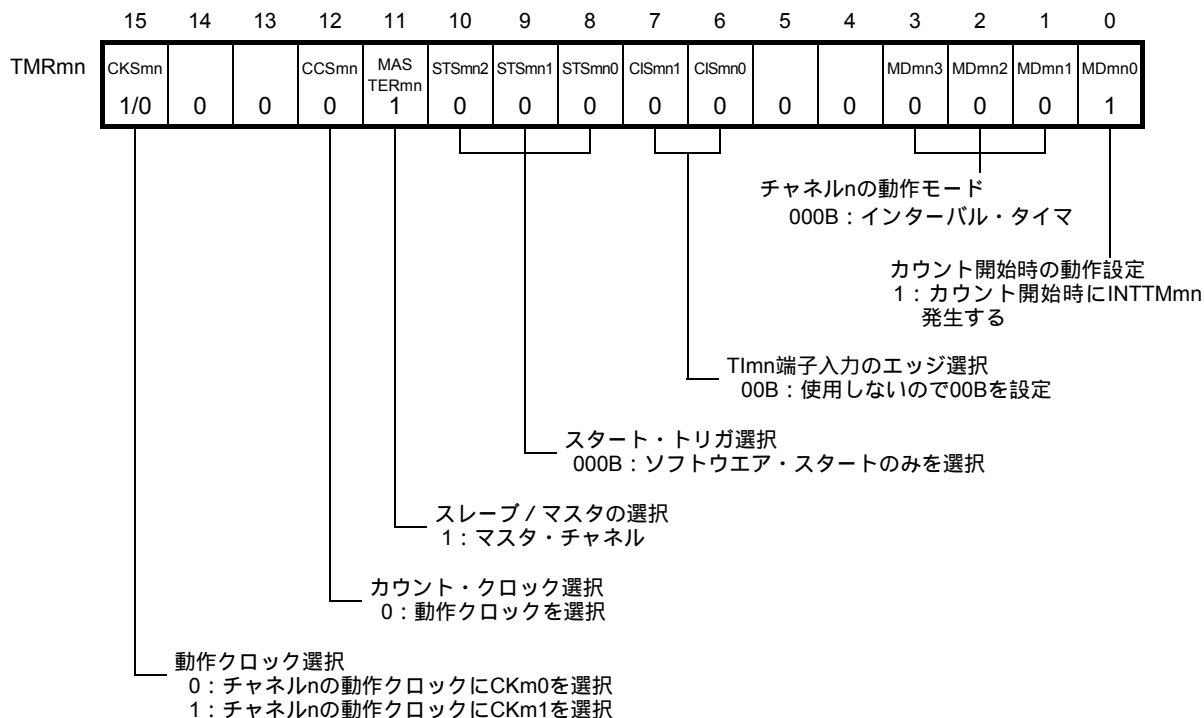
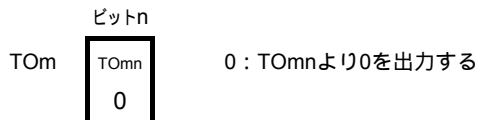
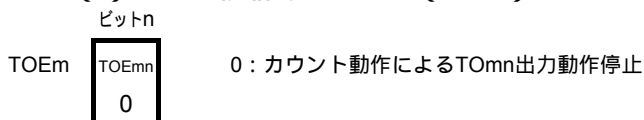
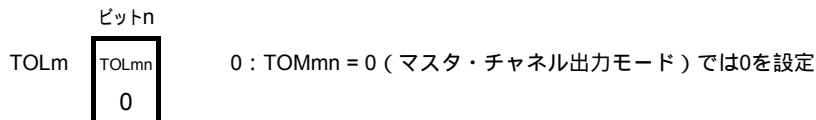
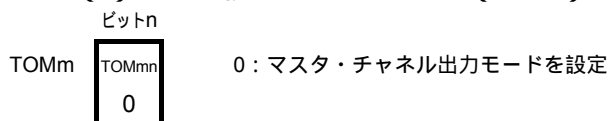
m = 1の場合: n = 0

図6 - 58 PWM機能としての動作の基本タイミング例



備考 m : ユニット番号 , n : マスタ・チャンネル番号 , p : スレーブ・チャンネル番号 ($p = n + 1$)
 m = 0の場合 : n = 0, 2, 4, 6
 m = 1の場合 : n = 0

図6 - 59 PWM機能時 (マスタ・チャンネル) のレジスタ設定内容例

(a) タイマ・モード・レジスタ_{mn} (TMR_{mn})(b) タイマ出力レジスタ_m (TOM_m)(c) タイマ出力許可レジスタ_m (TOEm)(d) タイマ出力レベル・レジスタ_m (TOL_m)(e) タイマ出力モード・レジスタ_m (TOM_m)

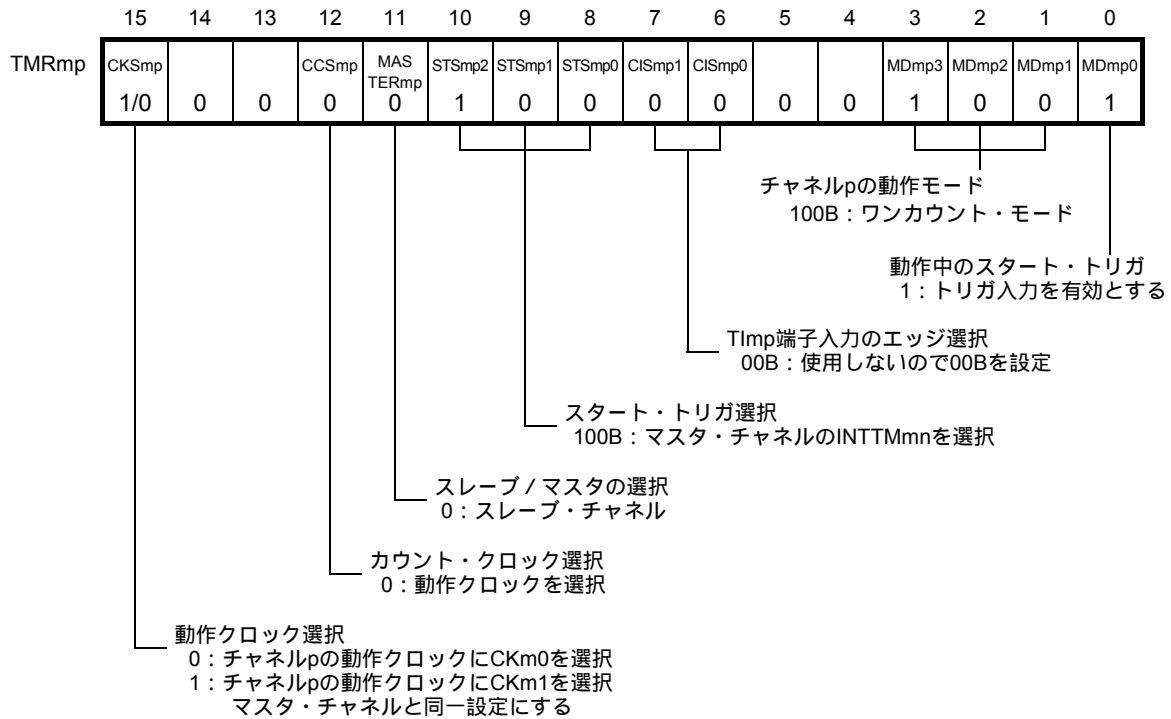
備考 m: ユニット番号, n: マスタ・チャンネル番号

m = 0の場合: n = 0, 2, 4, 6

m = 1の場合: n = 0

図6 - 60 PWM機能時 (スレーブ・チャンネル) のレジスタ設定内容例

(a) タイマ・モード・レジスタmp (TMRmp)



(b) タイマ出力レジスタm (TOM)

ビットp		
TOM	TOmp	0: TOmpより0を出力
	1/0	1: TOmpより1を出力

(c) タイマ出力許可レジスタm (TOEm)

ビットp		
TOEm	TOEmp	0: カウント動作によるTOmp出力動作停止
	1/0	1: カウント動作によるTOmp出力動作許可

(d) タイマ出力レベル・レジスタm (TOLm)

ビットp		
TOLm	TOLmp	0: 正論理出力 (アクティブ・ハイ)
	1/0	1: 反転出力 (アクティブ・ロウ)

(e) タイマ出力モード・レジスタm (TOMm)

ビットp		
TOMm	TOMmp	1: スレーブ・チャンネル出力モードを設定
	1	

備考 m: ユニット番号, n: マスタ・チャンネル番号, p: スレーブ・チャンネル番号 (p = n + 1)

m = 0の場合: n = 0, 2, 4, 6

m = 1の場合: n = 0

図6 - 61 PWM機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	PER0レジスタのTAU0ENビット, TAU1ENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	TPSmレジスタを設定する CKm0とCKm1のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	使用する2チャンネルのTMRmn, TMRmpレジスタを設定する (チャンネルの動作モード確定) マスタ・チャンネルのTDRmnレジスタにインターバル(周期)値, スレーブ・チャンネルのTDRmpレジスタにデューティ値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャンネルの設定 TOMmレジスタのTOMmpビットに1 (スレーブ・チャンネル出力モード) を設定する TOLmpビットを設定する TOmpビットを設定し, TOmp出力の初期レベルを確定する TOEmpに1を設定し, TOmpの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TOmp端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmp初期設定レベルが出力される。 チャンネルは動作停止状態なので, TOmpは変化しない TOmp端子はTOmp設定レベルを出力

備考 m: ユニット番号, n: マスタ・チャンネル番号, p: スレーブ・チャンネル番号 ($p = n + 1$)

m = 0の場合: n = 0, 2, 4, 6

m = 1の場合: n = 0

図6-61 PWM機能時の操作手順(2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開	動作開始 TOEmp (スレーブ) に1を設定する (動作再開時のみ) TSmレジスタのTSmn (マスタ), TSmp (スレーブ) ビットに同時に1を設定する TSmn, TSmpビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1, TEm = 1となる マスタ・チャンネルがカウント動作開始し, INTTMmnを発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。
	動作中 TMRmn, TMRmpレジスタ, TOMmn, TOMmp, TOLmn, TOLmpビットは, 設定値変更禁止 TDRmn, TDRmpレジスタは, マスタ・チャンネルのINTTMmn発生後に設定値変更可能 TCRmn, TCRmpレジスタは, 常に読み出し可能 TSRmn, TSRmpレジスタは, 使用しない TOM, TOEmレジスタは, 設定値変更可能	マスタ・チャンネルでは, TCRmnはTDRmnの値をロードし, ダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmnを発生する。同時に, TCRmnはTDRmnの値をロードし, 再びダウン・カウントを開始する。 スレーブ・チャンネルでは, マスタ・チャンネルのINTTMmnをトリガとして, TCRmpはTDRmpの値をロードし, カウンタはダウン・カウント動作を行う。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そしてTCRmp = 0000HまでカウントしたらTOmp出力レベルをインアクティブ・レベルにして, カウント動作を停止する。 以降, この動作を繰り返す。
	動作停止 TTmn (マスタ), TTmp (スレーブ) ビットに同時に1を設定する TTmn, TTmpビットはトリガ・ビットなので、自動的に0に戻る スレーブ・チャンネルのTOEmpに0を設定し, TOmpビットに値を設定する	TEmn, TEm = 0になり, カウント動作停止 TCRmn, TCRmpはカウント値を保持して停止 TOmp出力は初期化されず, 状態保持 TOmp端子はTOmp設定レベルを出力
	TAU停止 TOmp端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後, TOmpビットに0を設定する TOmp端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える PER0レジスタのTAU0ENビット, TAU1ENビットに0を設定する	TOmp端子出力レベルはポート機能により保持される。 TOmp端子出力レベルはHi-Z出力になる。 パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される (TOmpビットが0になり, TOmp端子はポート機能となる)

備考 m: ユニット番号, n: マスタ・チャンネル番号, p: スレーブ・チャンネル番号 (p = n + 1)

m = 0の場合: n = 0, 2, 4, 6

m = 1の場合: n = 0

6.8.2 ワンショット・パルス出力機能としての動作

2チャンネルをセットで使用して、TImn端子入力により任意のディレイ・パルス幅を持ったワンショット・パルスを生成することができます。

ディレイとパルス幅は次の式で求めることができます。

$\begin{aligned} \text{ディレイ} &= \{ \text{TDRmn (マスタ) の設定値} + 2 \} \times \text{カウント} \cdot \text{クロック周期} \\ \text{パルス幅} &= \{ \text{TDRmp (スレーブ) の設定値} \} \times \text{カウント} \cdot \text{クロック周期} \end{aligned}$

マスタ・チャンネルは、ワンカウント・モードで動作し、ディレイをカウントします。マスタ・チャンネルのTCRmnは、スタート・トリガ検出により動作を開始し、TCRmnはTDRmnの値をロードします。TCRmnはロードしたTDRmnの値からカウント・クロックに合わせてダウン・カウントを行い、TCRmn = 0000HとなったらINTTMmnを出力し、次のスタート・トリガ検出があるまで、カウントを停止します。

スレーブ・チャンネルは、ワンカウント・モードで動作し、パルス幅をカウントします。スレーブ・チャンネルのTCRmpは、マスタ・チャンネルのINTTMmnをスタート・トリガとして動作を開始し、TCRmpはTDRmpの値をロードします。TCRmpはロードしたTDRmpの値からカウント・クロックに合わせてダウン・カウントを行います。そしてTCRmp = 0000HとなったらINTTMmpを出力して、次のスタート・トリガ（マスタ・チャンネルのINTTMmn）検出があるまで、カウントを停止します。TOmpの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000Hとなったらインアクティブ・レベルとなります。

ワンショット・パルス出力は、TImn端子入力を使用せず、ソフトウェア操作（TSmn = 1）をスタート・トリガにすることもできます。

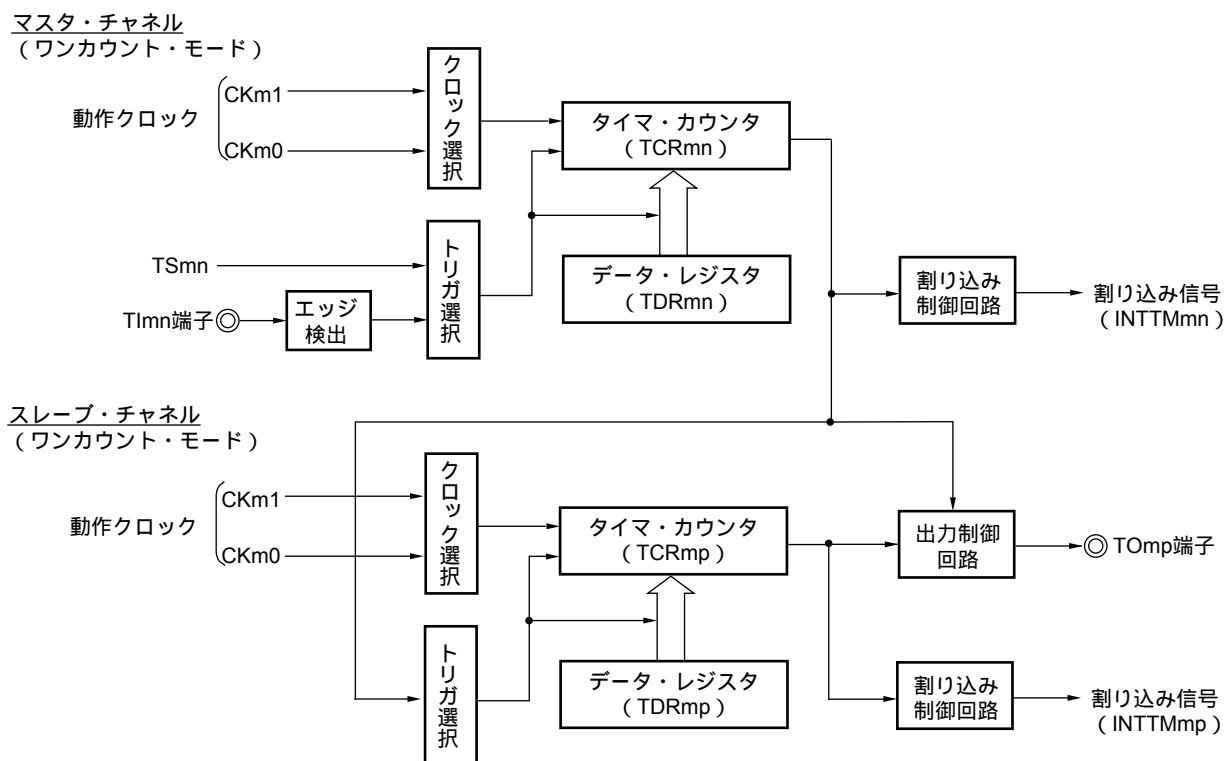
注意 マスタ・チャンネルのTDRmnとスレーブ・チャンネルのTDRmpでは、ロード・タイミングが異なるため、動作中にTDRmn、TDRmpを書き換えると不正波形が出力されます。TDRmnはINTTMmn発生後に、TDRmpはINTTMmp発生後に書き換えてください。

備考 m : ユニット番号, n : マスタ・チャンネル番号, p : スレーブ・チャンネル番号 (p = n + 1)

m = 0の場合 : n = 0, 2, 4, 6

m = 1の場合 : n = 0

図6-62 ワンショット・パルス出力機能としての動作のブロック図

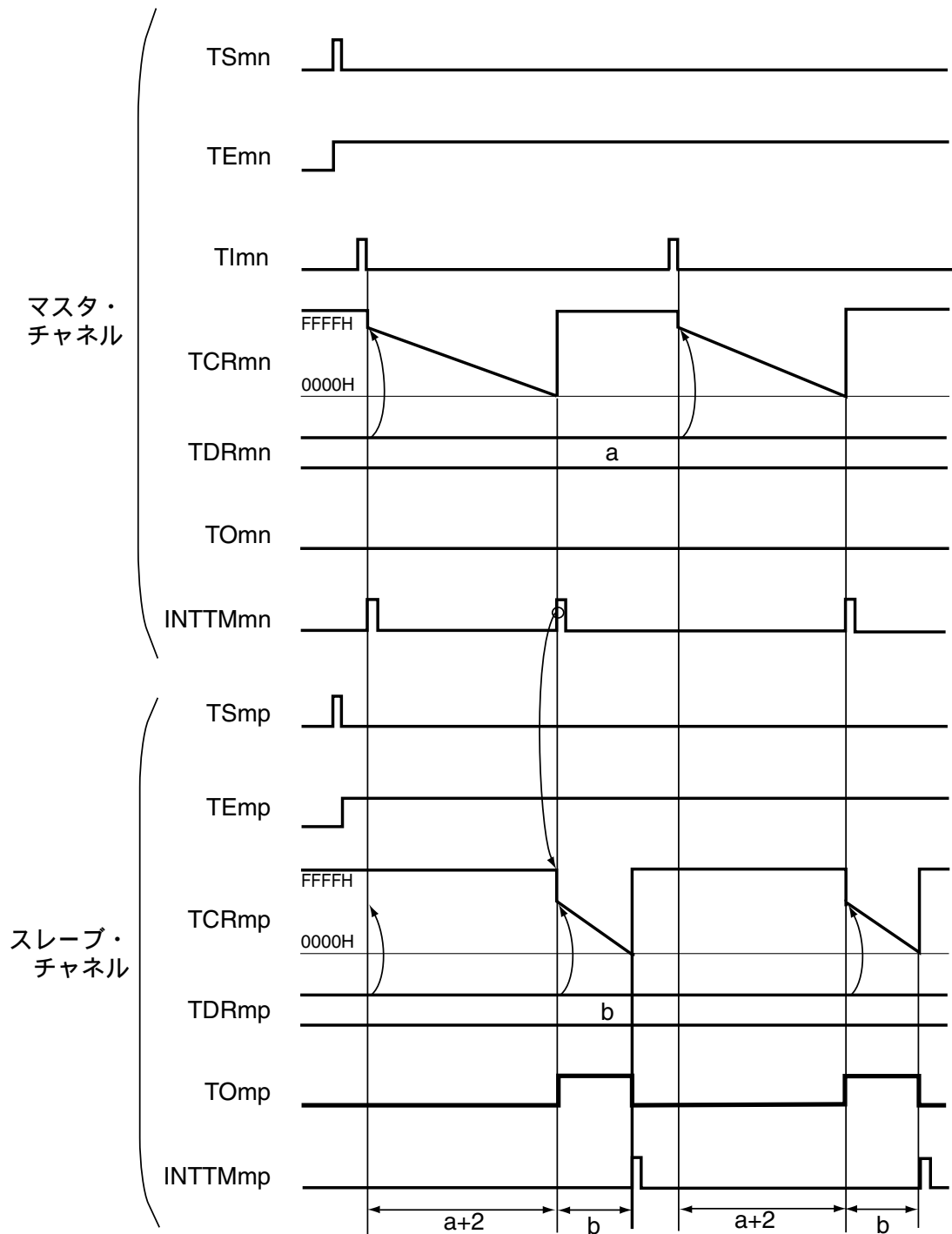


備考 m: ユニット番号, n: マスタ・チャンネル番号, p: スレーブ・チャンネル番号 ($p = n + 1$)

m = 0の場合: n = 0, 2, 4, 6

m = 1の場合: n = 0

図6-63 ワンショット・パルス出力機能としての動作の基本タイミング例



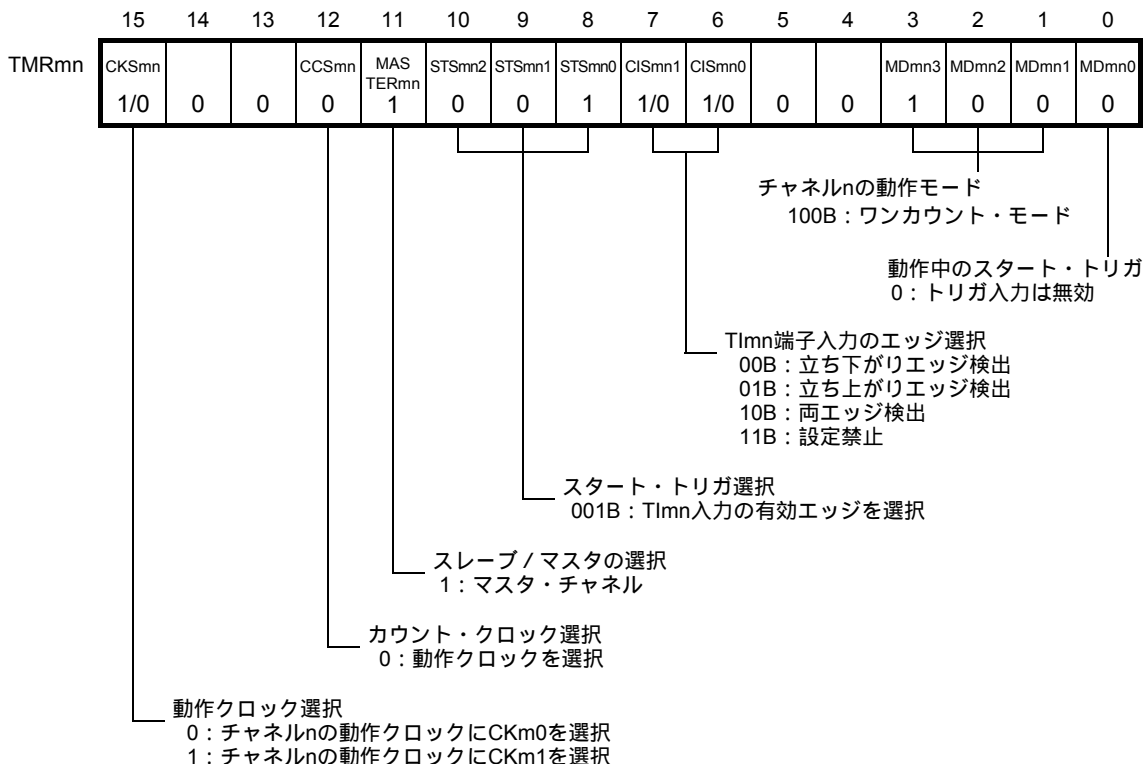
備考 m: ユニット番号, n: マスタ・チャンネル番号, p: スレーブ・チャンネル番号 ($p = n + 1$)

m = 0の場合: n = 0, 2, 4, 6

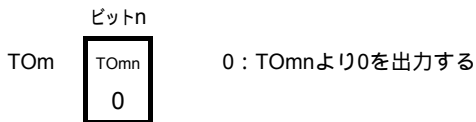
m = 1の場合: n = 0

図6 - 64 ワンショット・パルス出力機能時（マスタ・チャンネル）のレジスタ設定内容例

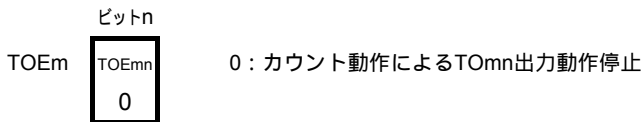
(a) タイマ・モード・レジスタ_{mn} (TMR_{mn})



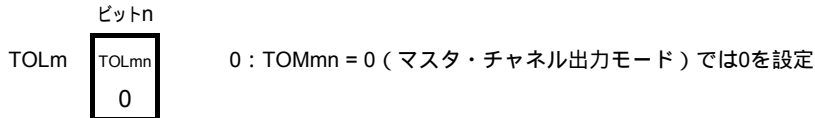
(b) タイマ出力レジスタ_m (TOM)



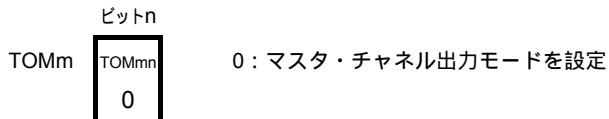
(c) タイマ出力許可レジスタ_m (TOEm)



(d) タイマ出力レベル・レジスタ_m (TOLm)



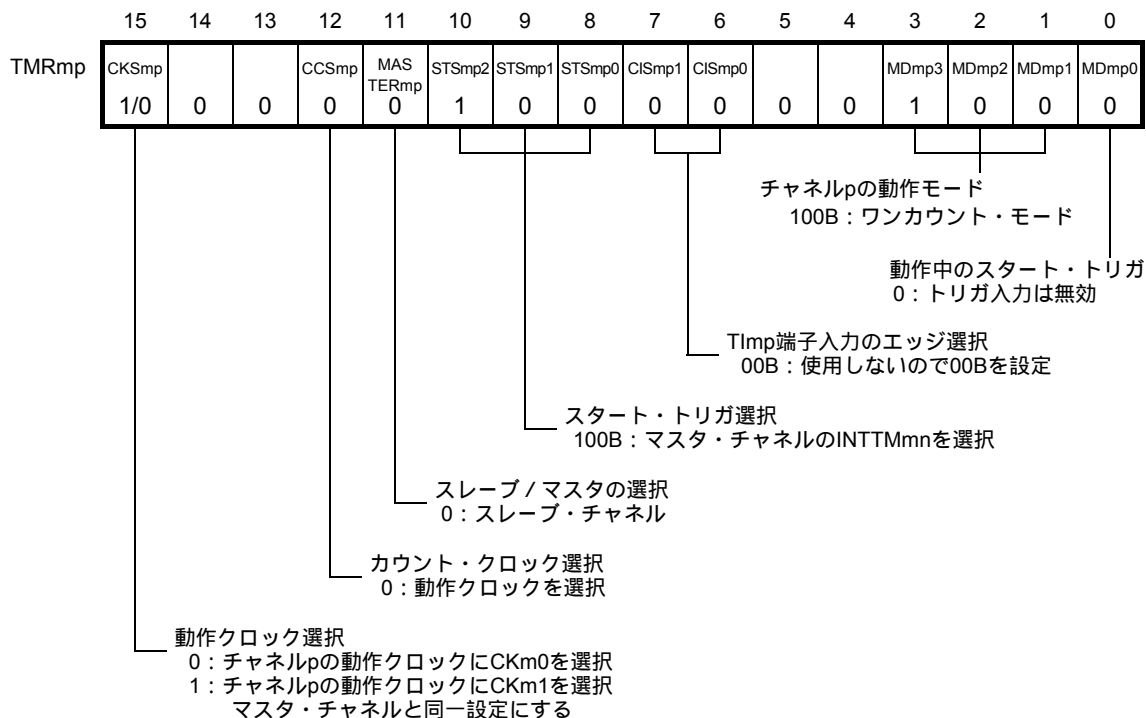
(e) タイマ出力モード・レジスタ_m (TOMm)



備考 m: ユニット番号, n: マスタ・チャンネル番号
 m = 0の場合: n = 0, 2, 4, 6
 m = 1の場合: n = 0

図6 - 65 ワンショット・パルス出力機能時（スレーブ・チャンネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタmp (TMRmp)



(b) タイマ出力レジスタm (TOM)

ビットp		
TOM	TOmp	0: TOmpより0を出力する
	1/0	1: TOmpより1を出力する

(c) タイマ出力許可レジスタm (TOEm)

ビットp		
TOEm	TOEmp	0: カウント動作によるTOmp出力動作停止
	1/0	1: カウント動作によるTOmp出力動作許可

(d) タイマ出力レベル・レジスタm (TOLm)

ビットp		
TOLm	TOLmp	0: 正論理出力 (アクティブ・ハイ)
	1/0	1: 反転出力 (アクティブ・ロウ)

(e) タイマ出力モード・レジスタm (TOMm)

ビットp		
TOMm	TOMmp	1: スレーブ・チャンネル出力モードを設定
	1	

備考 m: ユニット番号, n: マスタ・チャンネル番号, p: スレーブ・チャンネル番号 (p = n + 1)

m = 0の場合: n = 0, 2, 4, 6

m = 1の場合: n = 0

図6-66 ワンショット・パルス出力機能時の操作手順(1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	PER0レジスタのTAU0ENビット, TAU1ENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	TPSmレジスタを設定する CKm0とCKm1のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	使用する2チャンネルのTMRmn, TMRmpレジスタを設定する(チャンネルの動作モード確定) マスタ・チャンネルのTDRmnレジスタに出力遅延時間, スレーブ・チャンネルのTDRmpレジスタにパルス幅を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャンネルの設定 TOMmレジスタのTOMmpビットに1(スレーブ・チャンネル出力モード)を設定する TOLmpビットを設定する TOmpビットを設定し, TOmp出力の初期レベルを確定する TOEmpに1を設定し, TOmpの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TOmn端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmp初期設定レベルが出力される。 チャンネルは動作停止状態なので, TOmpは変化しない TOmp端子はTOmp設定レベルを出力

備考 m: ユニット番号, n: マスタ・チャンネル番号, p: スレーブ・チャンネル番号 ($p = n + 1$)
 m = 0の場合: n = 0, 2, 4, 6
 m = 1の場合: n = 0

図6-66 ワンショット・パルス出力機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態	
動作再開	動作開始	<p>TOEmp (スレーブ) に1を設定する (動作再開時のみ)</p> <p>TSmレジスタのTSmn (マスタ), TSmp (スレーブ) ビットに同時に1を設定する</p> <p>TSmn, TSmpビットはトリガ・ビットなので、自動的に0に戻る</p> <p>マスタ・チャンネルのTImn端子入力の有効エッジ検出</p>	<p>TEmn = 1, TEmp = 1となり, マスタ・チャンネルはTImn入力のエッジ検出待ち状態となる</p> <p>カウンタはまだ停止状態のまま</p> <p>マスタ・チャンネルがカウント動作開始</p>
	動作中	<p>TMRmnレジスタは, CISmn1, CISmn0ビットのみ設定値変更可能</p> <p>TMRmp, TDRmn, TDRmpレジスタ, TOMmn, TOMmp, TOLmn, TOLmpビットは, 設定値変更禁止</p> <p>TCRmn, TCRmpレジスタは, 常に読み出し可能</p> <p>TSRmn, TSRmpレジスタは, 使用しない</p> <p>TOm, TOEmレジスタは, 設定値変更可能</p>	<p>マスタ・チャンネルでは, TImn端子入力の有効エッジが検出されたら, TCRmnはTDRmnの値をロードし, ダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmn出力を発生し, 次のTImn端子入力までカウント動作を停止する。</p> <p>スレーブ・チャンネルでは, マスタ・チャンネルのINTTMmnをトリガとして, TCRmpはTDRmpの値をロードし, カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そしてTCRmp = 0000HまでカウントしたらTOmp出力レベルをインアクティブ・レベルにして, カウント動作を停止する。</p> <p>以降, この動作を繰り返す。</p>
	動作停止	<p>TTmn (マスタ), TTmp (スレーブ) ビットに同時に1を設定する</p> <p>TTmn, TTmpビットはトリガ・ビットなので, 自動的に0に戻る</p> <p>スレーブ・チャンネルのTOEmpに0を設定し, TOmpビットに値を設定する</p>	<p>TEmn, TEmp = 0になり, カウント動作停止</p> <p>TCRmn, TCRmpはカウント値を保持して停止</p> <p>TOmp出力は初期化されず, 状態保持</p> <p>TOmp端子はTOmp設定レベルを出力</p>
	TAU停止	<p>TOmp端子の出力レベルを保持する場合</p> <p>ポート・レジスタに保持したい値を設定後, TOmpビットに0を設定する</p> <p>TOmp端子の出力レベルを保持不要の場合</p> <p>ポート・モード・レジスタを入力モードに切り替える</p> <p>PER0レジスタのTAU0ENビット, TAU1ENビットに0を設定する</p>	<p>TOmp端子出力レベルはポート機能により保持される。</p> <p>TOmp端子出力レベルはHi-Z出力になる。</p> <p>パワーオフ状態</p> <p>全回路が初期化され, 各チャンネルのSFRも初期化される (TOmpビットが0になり, TOmp端子はポート機能となる)</p>

備考 m : ユニット番号, n : マスタ・チャンネル番号, p : スレーブ・チャンネル番号 (p = n + 1)

m = 0の場合 : n = 0, 2, 4, 6

m = 1の場合 : n = 0

6.8.3 多重PWM出力機能としての動作

PWM機能を拡張し、スレーブ・チャンネルを複数使用することで、多数のPWM出力を行う機能です。

たとえばスレーブ・チャンネルを2個使う場合は、出力パルスの周期、デューティは次の式で求めることができます。

$$\begin{aligned} \text{パルス周期} &= \{ \text{TDRmn (マスタ) の設定値} + 1 \} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ1 [\%]} &= \{ \text{TDRmp (スレーブ1) の設定値} \} / \{ \text{TDRmn (マスタ) の設定値} + 1 \} \times 100 \\ \text{デューティ2 [\%]} &= \{ \text{TDRmq (スレーブ2) の設定値} \} / \{ \text{TDRmn (マスタ) の設定値} + 1 \} \times 100 \end{aligned}$$

備考 TDRmp (スレーブ1) の設定値 > { TDRmn (マスタ) の設定値 + 1 } の場合
または TDRmq (スレーブ2) の設定値 > { TDRmn (マスタ) の設定値 + 1 } の場合は、
デューティ値が100 %を越えますが、集約して100 %出力となります。

マスタ・チャンネルのTCRmnは、インターバル・タイマ・モードで動作して、周期をカウントします。

スレーブ・チャンネル1のTCRmpは、ワンカウント・モードで動作して、デューティをカウントし、TOmp端子よりPWM波形を出力します。TCRmpは、マスタ・チャンネルのINTTMmnをスタート・トリガとして、TCRmpにTDRmpの値をロードし、ダウン・カウントを行います。TCRmp = 0000Hとなったら、INTTMmpを出力し、次のスタート・トリガ (マスタ・チャンネルのINTTMmn) が入力されるまでカウントを停止します。TOmpの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000Hとなったらインアクティブ・レベルとなります。

スレーブ・チャンネル2のTCRmqも、スレーブ・チャンネル1のTCRmpと同様に、ワンカウント・モードで動作して、デューティをカウントし、TOmq端子よりPWM波形を出力します。TCRmqは、マスタ・チャンネルのINTTMmnをスタート・トリガとして、TCRmqにTDRmqの値をロードし、ダウン・カウントを行います。TCRmq = 0000Hとなったら、INTTMmqを出力し、次のスタート・トリガ (マスタ・チャンネルのINTTMmn) が入力されるまでカウントを停止します。TOmqの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmq = 0000Hとなったらインアクティブ・レベルとなります。

このようにして、チャンネル0をマスタ・チャンネルとした場合は、タイマ・アレイ・ユニット0で最大7種、タイマ・アレイ・ユニット1では最大2種のPWMを同時に出力できます。

注意 マスタ・チャンネルのTDRmnとスレーブ・チャンネル1のTDRmpを両方とも書き換える場合、最低2回のライト・アクセスが必要となります。TCRmn, TCRmpにTDRmn, TDRmpの値をロードするのは、マスタ・チャンネルのINTTMmn発生後となるため、書き換えがマスタ・チャンネルのINTTMmn発生前と発生後に分かれて行われると、TOmp端子は、期待通りの波形を出力できません。したがって、マスタのTDRmnとスレーブのTDRmpを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTMmn発生直後に両方のレジスタを書き換えてください。(スレーブ・チャンネル2のTDRmqの場合も同様です。)

備考 m: ユニット番号 (m = 0, 1), n: チャンネル番号, p: スレーブ・チャンネル1番号 (n + 1),
q: スレーブ・チャンネル2番号 (n + 2)

m = 0の場合

n = 0, 2, 4

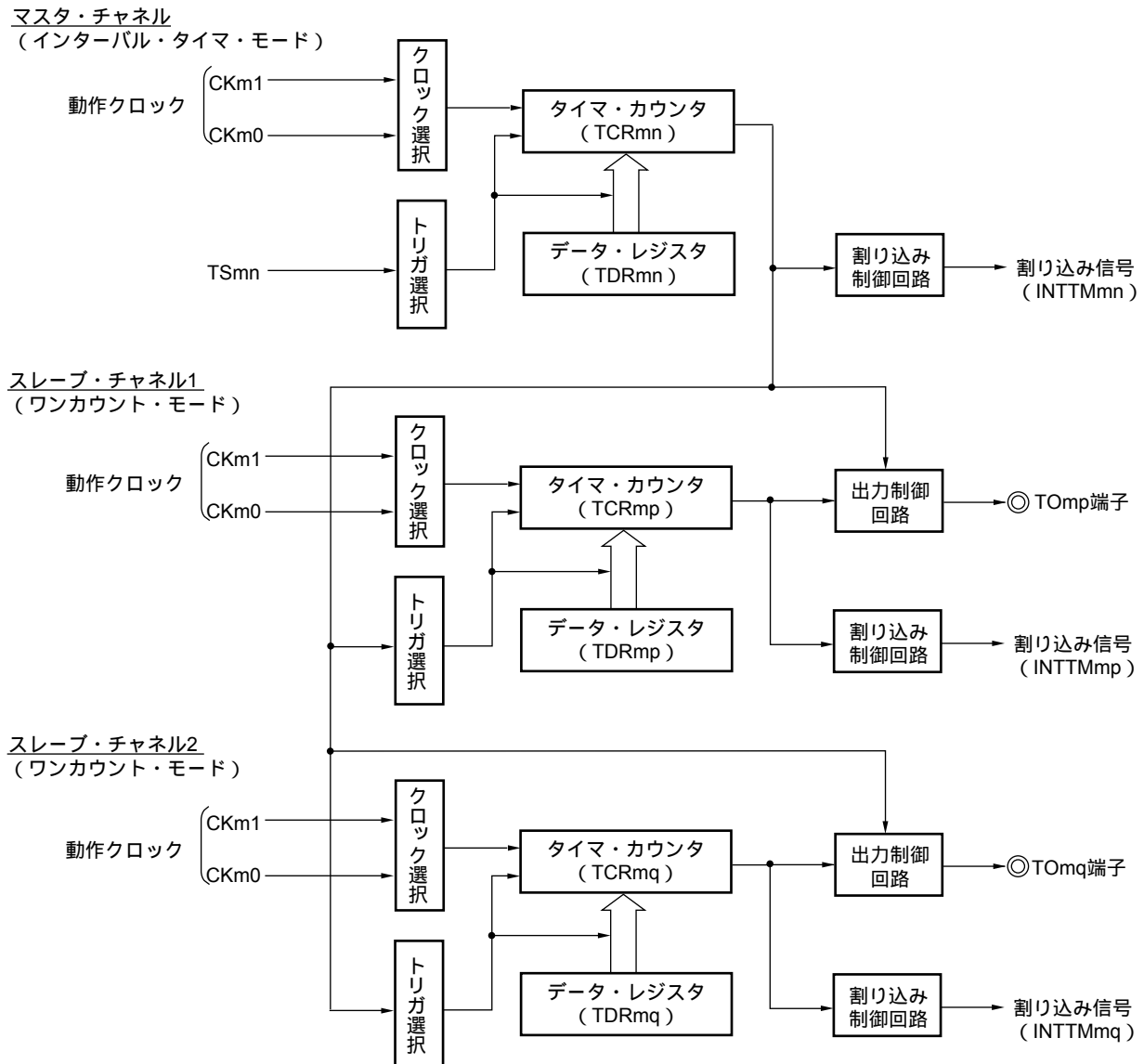
n < p < q 7 (ただしp, qは、n以降の連続した整数)

m = 1の場合

n = 0

n < p < q 2 (ただしp, qは、n以降の連続した整数 (p = 1, q = 2))

図6 - 67 多重PWM出力機能としての動作のブロック図 (2種類のPWMを出力する場合)



備考 m : ユニット番号 (m = 0, 1) , n : チャンネル番号 , p : スレーブ・チャンネル1番号 (n + 1) ,
q : スレーブ・チャンネル2番号 (n + 2)

m = 0の場合

n = 0, 2, 4

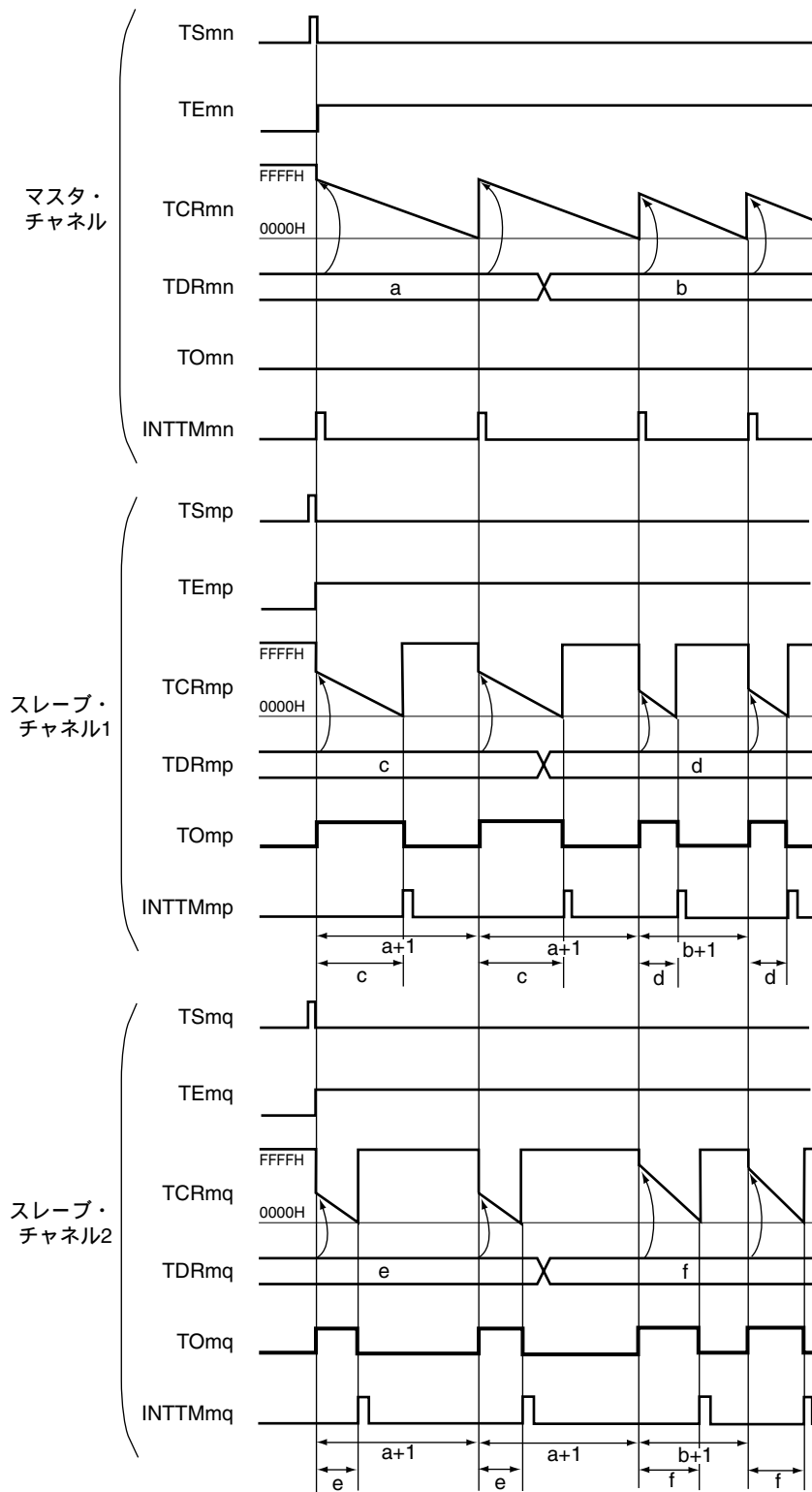
n < p < q 7 (ただしp, qは, n以降の連続した整数)

m = 1の場合

n = 0

n < p < q 2 (ただしp, qは, n以降の連続した整数 (p = 1, q = 2))

図6 - 68 多重PWM出力機能としての動作の基本タイミング例 (2種類のPWMを出力する場合)

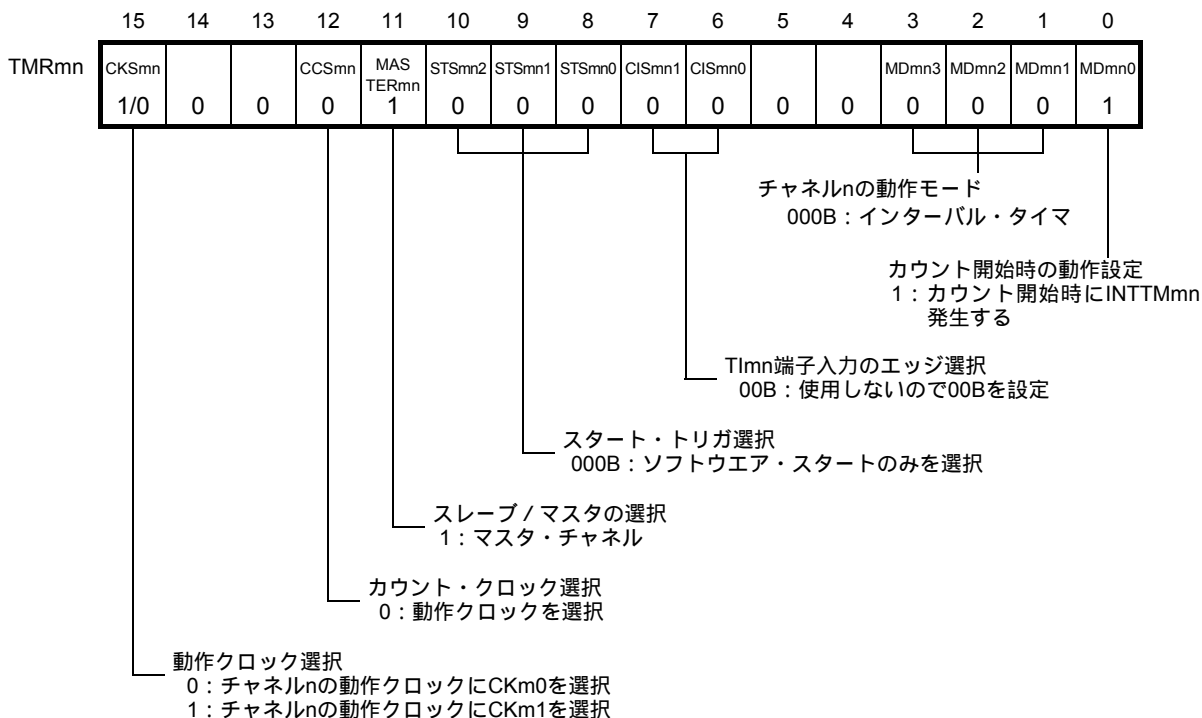


備考 m : ユニット番号 (m = 0, 1) , n : チャンネル番号 , p : スレーブ・チャンネル1番号 (n + 1) ,
 q : スレーブ・チャンネル2番号 (n + 2)

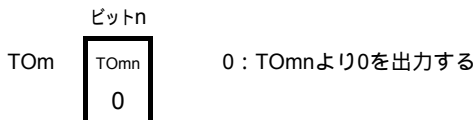
- m = 0の場合
 - n = 0, 2, 4
 - n < p < q 7 (ただし, p, qは, n以降の連続した整数)
- m = 1の場合
 - n = 0
 - n < p < q 2 (ただし, p, qは, n以降の連続した整数 (p = 1, q = 2))

図6 - 69 多重PWM出力機能時（マスタ・チャンネル）のレジスタ設定内容例

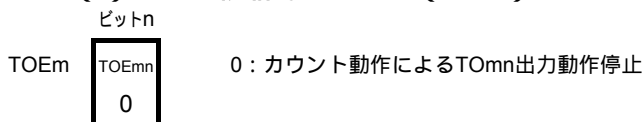
(a) タイマ・モード・レジスタmn (TMRmn)



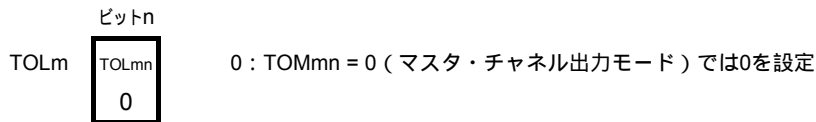
(b) タイマ出力レジスタm (TOM)



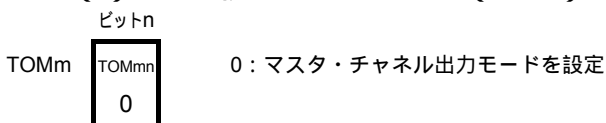
(c) タイマ出力許可レジスタm (TOEm)



(d) タイマ出力レベル・レジスタm (TOLm)

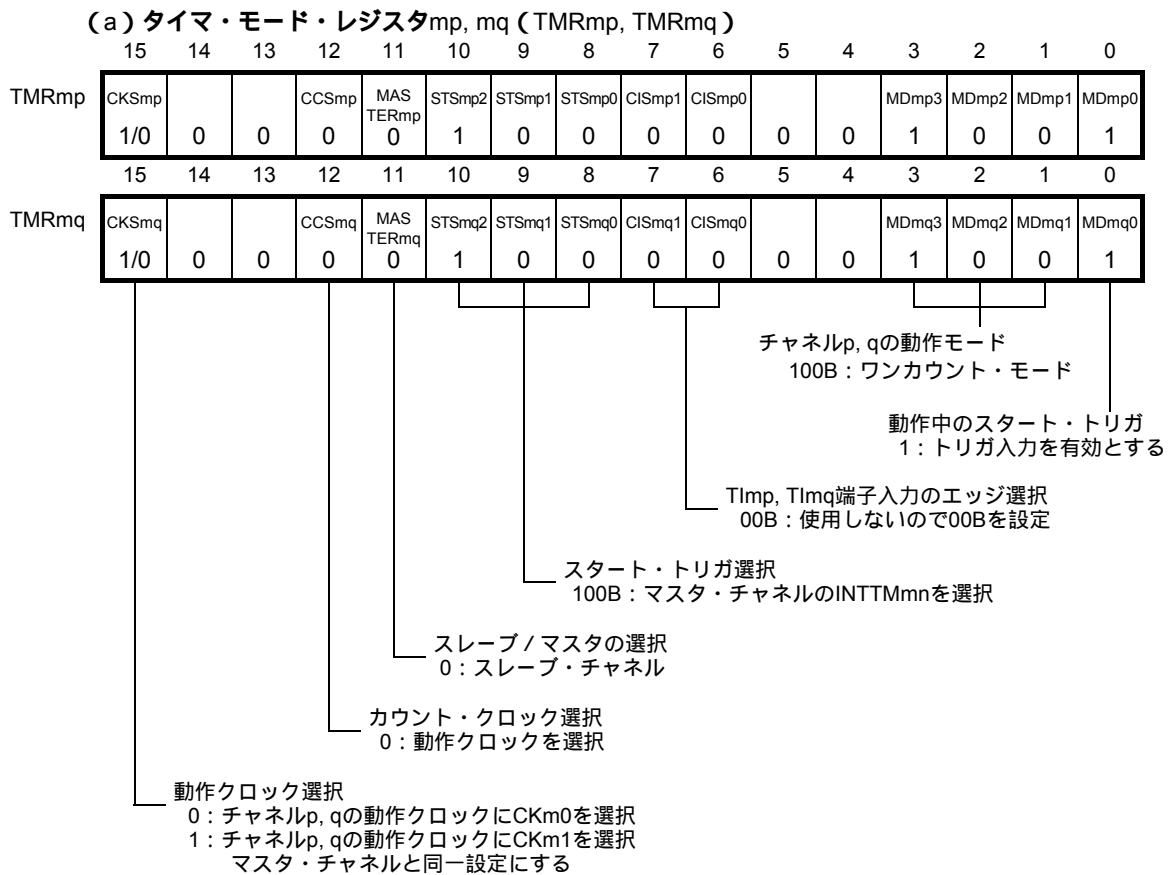


(e) タイマ出力モード・レジスタm (TOMm)



備考 m: ユニット番号 (m = 0, 1), n: チャンネル番号
 m = 0の場合, n = 0, 2, 4
 m = 1の場合, n = 0

図6-70 多重PWM機能時(スレーブ・チャンネル)のレジスタ設定内容例(2種類のPWMを出力する場合)



(b) タイマ出力レジスタm (TOm)

ビットq ビットp

TOm	TOmq	TOmp	
	1/0	1/0	0: TOmp, TOmqより0を出力する
			1: TOmp, TOmqより1を出力する

(c) タイマ出力許可レジスタm (TOEm)

ビットq ビットp

TOEm	TOEmq	TOEmp	
	1/0	1/0	0: カウント動作によるTOmp, TOmq出力動作停止
			1: カウント動作によるTOmp, TOmq出力動作許可

(d) タイマ出力レベル・レジスタm (TOLm)

ビットq ビットp

TOLm	TOLmq	TOLmp	
	1/0	1/0	0: 正論理出力 (アクティブ・ハイ)
			1: 反転出力 (アクティブ・ロウ)

(e) タイマ出力モード・レジスタm (TOMm)

ビットq ビットp

TOMm	TOMmq	TOMmp	
	1	1	1: スレーブ・チャンネル出力モードを設定

(備考は次ページにあります)

備考 m: ユニット番号 (m = 0, 1), n: チャンネル番号, p: スレーブ・チャンネル1番号 (n+1),
q: スレーブ・チャンネル2番号 (n+2)

m = 0の場合

n = 0, 2, 4

n < p < q 7 (ただしp, qは, n以降の連続した整数)

m = 1の場合

n = 0

n < p < q 2 (ただしp, qは, n以降の連続した整数 (p = 1, q = 2))

図6-71 多重PWM機能時の操作手順(2種類のPWMを出力する場合)(1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	PER0レジスタのTAU0ENビット, TAU1ENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	TPSmレジスタを設定する CKm0とCKm1のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	使用する各チャンネルのTMRmn, TMRmp, TMRmqレジスタを設定する(チャンネルの動作モード確定) マスタ・チャンネルのTDRmnレジスタにインターバル(周期)値, スレーブ・チャンネルのTDRmp, TDRmqレジスタにデューティ値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャンネルの設定 TOMmレジスタのTOMmp, TOMmqビットに1(スレーブ・チャンネル出力モード)を設定する TOLmp, TOLmqビットに0を設定する TOMP, TOMqビットを設定し, TOMP, TOMq出力の初期レベルを確定する TOEmp, TOEmqに1を設定し, TOMP, TOMqの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TOmn端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOMP, TOMq初期設定レベルが出力される。 チャンネルは動作停止状態なので, TOMP, TOMqは変化しない TOMP, TOMq端子はTOMP, TOMq設定レベルを出力
動作 開始	TOEmp, TOEmq(スレーブ)に1を設定する(動作再開時のみ) TSMレジスタのTSMn(マスタ), TSMp, TSMq(スレーブ)ビットに同時に1を設定する TSMn, TSMp, TSMqビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1, TEmP, TEmq = 1となる マスタ・チャンネルがカウント動作開始し, INTTMmnを発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。
動作 中	TMRmn, TMRmp, TMRmqレジスタ, TOMmn, TOMmp, TOMmq, TOLmn, TOLmp, TOLmqビットは, 設定値変更禁止 TDRmn, TDRmp, TDRmqレジスタは, マスタ・チャンネルのINTTMmn発生後に設定値変更可能 TCRmn, TCRmp, TCRmqレジスタは, 常に読み出し可能 TSRmn, TSRmp, TSRmqレジスタは, 使用しない TOM, TOEmレジスタは, 設定値変更可能	マスタ・チャンネルでは, TCRmnはTDRmnの値をロードし, ダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmnを発生する。同時に, TCRmnはTDRmnの値をロードし, 再びダウン・カウントを開始する。 スレーブ・チャンネル1では, マスタ・チャンネルのINTTMmn信号をトリガとして, TDRmpレジスタ値をTCRmpに転送し, カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOMP出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTOMP出力レベルをインアクティブ・レベルにして, カウント動作を停止する。 スレーブ・チャンネル2では, マスタ・チャンネルのINTTMmn信号をトリガとして, TDRmqレジスタ値をTCRmqに転送し, カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOMq出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTOMq出力レベルをインアクティブ・レベルにして, カウント動作を停止する。以降, この動作を繰り返す。

動作再開時(次ページより)

図6-71 多重PWM機能時の操作手順(2種類のPWMを出力する場合)(2/2)

動作再開時 (前ページへ)	ソフトウェア操作	ハードウェアの状態
	<p>動作停止</p> <p>TTmn (マスタ), TTmp, TTmq (スレーブ) ビットに同時に1を設定する →</p> <p>TTmn, TTmp, TTmq ビットはトリガ・ビットなので、自動的に0に戻る</p> <hr/> <p>スレーブ・チャンネルのTOEmp, TOEmqに0を設定し、TOmp, TOmq ビットに値を設定する →</p>	<p>TEmn, TEmq, TEmq = 0 になり、カウント動作停止</p> <p>TCRmn, TCRmp, TCRmq はカウント値を保持して停止</p> <p>TOmp, TOmq 出力は初期化されず、状態保持</p> <hr/> <p>TOmp, TOmq 端子は TOmp, TOmq 設定レベルを出力</p>
<p>TAU 停止</p> <p>TOmp, TOmq 端子の出力レベルを保持する場合</p> <p>ポート・レジスタに保持したい値を設定後、TOmp, TOmq ビットに0を設定する →</p> <p>TOmp, TOmq 端子の出力レベルを保持不要の場合</p> <p>ポート・モード・レジスタを入力モードに切り替える →</p> <p>PER0レジスタのTAU0ENビット, TAU1ENビットに0を設定する →</p>	<p>TOmp, TOmq 端子出力レベルはポート機能により保持される。</p> <p>TOmp, TOmq 端子出力レベルはHi-Z出力になる。</p> <hr/> <p>パワーオフ状態</p> <p>全回路が初期化され、各チャンネルのSFRも初期化される (TOmp, TOmq ビットが0になり、TOmp, TOmq 端子はポート機能となる)</p>	

備考 m: ユニット番号 (m = 0, 1), n: チャンネル番号, p: スレーブ・チャンネル1番号 (n+1), q: スレーブ・チャンネル2番号 (n+2)

m = 0の場合

n = 0, 2, 4

n < p < q 7 (ただし, qは, n以降の連続した整数)

m = 1の場合

n = 0

n < p < q 2 (ただし, qは, n以降の連続した整数 (p = 1, q = 2))

第7章 リアルタイム・カウンタ

7.1 リアルタイム・カウンタの機能

リアルタイム・カウンタには、次のような機能があります。

- ・年、月、曜日、日、時、分、秒のカウンタを持ち、最長99年までカウント可能
- ・定周期割り込み機能（周期：1ヶ月～0.5秒）
- ・アラーム割り込み機能（アラーム：曜日・時・分）
- ・インターバル割り込み機能
- ・1 Hzの端子出力機能
- ・512 Hz, 16.384 kHz, 32.768 kHzのいずれかの端子出力機能

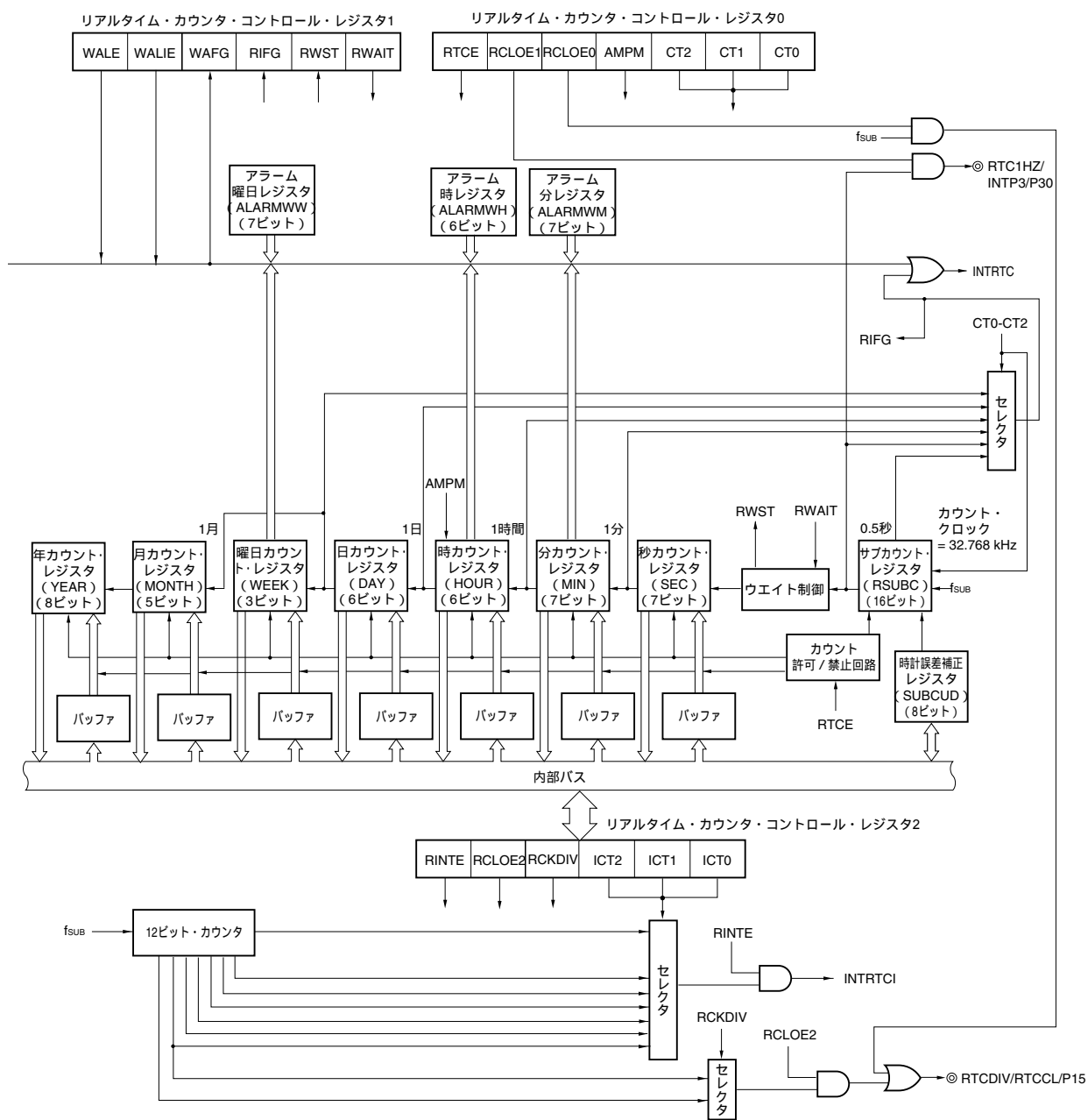
7.2 リアルタイム・カウンタの構成

リアルタイム・カウンタは、次のハードウェアで構成されています。

表7-1 リアルタイム・カウンタの構成

項 目	構 成
制御レジスタ	周辺イネーブル・レジスタ0 (PER0) リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0) リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1) リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2) サブカウント・レジスタ (RSUBC) 秒カウント・レジスタ (SEC) 分カウント・レジスタ (MIN) 時カウント・レジスタ (HOUR) 日カウント・レジスタ (DAY) 曜日カウント・レジスタ (WEEK) 月カウント・レジスタ (MONTH) 年カウント・レジスタ (YEAR) 時計誤差補正レジスタ (SUBCUD) アラーム分レジスタ (ALARMWM) アラーム時レジスタ (ALARMWH) アラーム曜日レジスタ (ALARMWW) ポート・モード・レジスタ1, 3 (PM1, PM3) ポート・レジスタ1, 3 (P1, P3)

図7-1 リアルタイム・カウンタのブロック図



7.3 リアルタイム・カウンタを制御するレジスタ

リアルタイム・カウンタは、次の16種類のレジスタで制御します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0)
- ・リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1)
- ・リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2)
- ・サブカウント・レジスタ (RSUBC)
- ・秒カウント・レジスタ (SEC)
- ・分カウント・レジスタ (MIN)
- ・時カウント・レジスタ (HOUR)
- ・日カウント・レジスタ (DAY)
- ・曜日カウント・レジスタ (WEEK)
- ・月カウント・レジスタ (MONTH)
- ・年カウント・レジスタ (YEAR)
- ・時計誤差補正レジスタ (SUBCUD)
- ・アラーム分レジスタ (ALARMWM)
- ・アラーム時レジスタ (ALARMWH)
- ・アラーム曜日レジスタ (ALARMWW)
- ・ポート・モード・レジスタ1, 3 (PM1, PM3)
- ・ポート・レジスタ1, 3 (P1, P3)

(1) 周辺イネーブル・レジスタ0 (PER0)

PER0は、各周辺ハードウェア・マクロの使用可否を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

リアルタイム・カウンタを使用するときは、必ずビット7 (RTCEN) を1に設定してください。

PER0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-2 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICAEN	SAU1EN	SAU0EN	TAU1EN	TAU0EN

RTCEN	リアルタイム・カウンタ (RTC) の入力クロック ^注 の制御
0	入力クロック供給停止 ・リアルタイム・カウンタ (RTC) で使用するSFRへのライト不可 ・リアルタイム・カウンタ (RTC) はリセット状態
1	入力クロック供給 ・リアルタイム・カウンタ (RTC) で使用するSFRへのリード/ライト可

注 RTCENでは、CPUからリアルタイム・カウンタ (RTC) のレジスタにアクセスするときを使用されるクロックを供給、停止できます。RTCENで、RTCの動作クロック (f_{SUB}) の供給を制御することはできません。

- 注意1.** リアルタイム・カウンタを使用する場合は、サブシステム・クロック (f_{SUB}) が発振安定状態において、最初にRTCEN = 1の設定を行ってください。RTCEN = 0の場合は、リアルタイム・カウンタの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります。
- 2.** 動作スピード・モード制御レジスタ (OSMC) のRTCLPC = 1に設定することにより、サブシステム・クロック時HALTモードで、リアルタイム・カウンタ以外の周辺機能へのクロック供給を停止することが可能です。その場合、RTCENは1に設定し、PER0のその他のビット0-6は0に設定してください。また、PER1レジスタのビット0-7も0に設定してください。
- 3.** PER0レジスタのビット6には必ず“0”を設定してください。

(2) リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0)

リアルタイム・カウンタ動作の開始/停止、RTCCL端子/RTC1HZ端子の制御、12/24時間制、定周期割り込み機能を設定する8ビットのレジスタです。

RTCC0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-3 リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0) のフォーマット

アドレス : FFF9DH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC0	RTCE	0	RCLOE1	RCLOE0	AMPM	CT2	CT1	CT0

RTCE	リアルタイム・カウンタの動作制御
0	カウンタ動作停止
1	カウンタ動作開始

RCLOE1	RTC1HZ端子の出力制御
0	RTC1HZ端子の出力 (1 Hz) 禁止
1	RTC1HZ端子の出力 (1 Hz) 許可

RCLOE0 ^注	RTCCL端子の出力制御
0	RTCCL端子の出力 (32.768 kHz) 禁止
1	RTCCL端子の出力 (32.768 kHz) 許可

AMPM	12時間制 / 24時間制の選択
0	12時間制 (午前 / 午後を表示)
1	24時間制

- ・AMPMの値を変更する場合は、RWAIT (RTCC1のビット0) = 1にしてから書き換えてください。AMPMの値を変更すると、時カウント・レジスタ (HOUR) の値は設定した時間制に対応した値に自動的に変更されます。
- ・時間桁表示表を表7-2に示します。

CT2	CT1	CT0	定周期割り込み (INTRTC) の選択
0	0	0	定周期割り込み機能を使用しない
0	0	1	0.5秒に1度 (秒カウント・アップに同期)
0	1	0	1秒に1度 (秒カウント・アップと同時)
0	1	1	1分に1度 (毎分00秒)
1	0	0	1時間に1度 (毎時00分00秒)
1	0	1	1日に1度 (毎日00時00分00秒)
1	1	×	1月に1度 (毎月1日午前00時00分00秒)

カウンタ動作中 (RTCE = 1) にCT2-CT0の値を変更する場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後は、RIFGフラグ、RTCIFフラグをクリアしてから割り込み処理許可にしてください。

注 RCLOE0とRCLOE2は、同時許可禁止です。

注意 RTCE = 1のときにRCLOE0, RCLOE1を変更すると、32.768 kHz, 1 Hzの出力の最後の波形が短くなる場合があります。

備考 × : don't care

(3) リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1)

アラーム割り込み機能，カウンタのウェイトを制御する8ビットのレジスタです。

RTCC1は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7-4 リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1) のフォーマット (1/2)

アドレス：FFF9EH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
RTCC1	WALE	WALIE	0	WAFG	RIFG	0	RWST	RWAIT

WALE	アラームの動作制御
0	一致動作無効
1	一致動作有効
<p>カウンタ動作中 (RTCE = 1) かつWALIE = 1の時にWALEビットへ設定する場合は，INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また，書き換え後にWAFGフラグ，RTCIFフラグをクリアしてください。アラームの各レジスタ (RTCC1のWALIEフラグ，ALARMWWMレジスタ，ALARMWHレジスタ，ALARMWWレジスタ) を設定する場合，WALEを一致動作無効“0”にしてください。</p>	

WALIE	アラーム割り込み (INTRTC) 機能の動作制御
0	アラームの一致による割り込みを発生しない
1	アラームの一致による割り込みを発生する

WAFG	アラーム検出ステータス・フラグ
0	アラーム不一致
1	アラームの一致検出
<p>アラームとの一致検出を示すステータス・フラグです。WALE = 1のときのみ有効となり，アラーム一致検出し，1クロック (32.768 kHz) 後に“1”となります。</p> <p>“0”を書き込むことでクリアされ，“1”の書き込みは無効となります。</p>	

図7-4 リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1) のフォーマット (2/2)

RIFG	定周期割り込みステータス・フラグ
0	定周期割り込み発生なし
1	定周期割り込み発生あり

定周期割り込み発生ステータス・フラグです。定周期割り込み発生により“1”となります。
“0”を書き込むことでクリアされ，“1”の書き込みは無効となります。

RWST	リアルタイム・カウンタのウェイト状態フラグ
0	カウンタ動作中
1	カウンタ値の読み出し、書き込みモード中

RWAITの設定が有効であることを示すステータスです。
カウンタ値の読み出し、書き込みは、このフラグの値が1になっていることを確認したあとに行ってください。

RWAIT	リアルタイム・カウンタのウェイト制御
0	カウンタ動作設定
1	SEC～YEARカウンタ停止設定。カウンタ値読み出し、書き込みモード。

カウンタの動作を制御します。
カウンタ値を読み出し、書き込みを行う際は必ず“1”を書き込んでください。
RSUBCは動作を継続しますので、1秒以内に読み出し書き込みを完了後、0に戻してください。
RWAIT = 1に設定後、カウンタ値の読み出し、書き込みが可能となるまで最大1クロック (32.768 kHz) の時間がかかります。RSUBCのオーパフローがRWAIT = 1のときに起きた場合は、RWAIT = 0になったあとにカウント・アップします。ただし、秒カウント・レジスタへの書き込みを行った場合は、RSUBCがクリアされます。

注意 RTCC1レジスタに1ビット操作命令で書き込みを行うと、RIFGフラグ、WAFGフラグがクリアされることがあります。そのため、RTCC1レジスタへの書き込みは8ビット操作命令で設定してください。書き込み時に、RIFGフラグ、WAFGフラグをクリアしないようにするためには、該当ビットに書き込みが無効となる“1”を設定してください。なお、RIFGフラグ、WAFGフラグを使用せず値が書き換わっても問題ない場合は、RTCC1レジスタに1ビット操作命令で書き込みを行ってもかまいません。

備考 定周期割り込みとアラーム一致割り込みは、同一割り込み要因 (INTRTC) を使用しています。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ (RIFG) とアラーム検出ステータス・フラグ (WAFG) を確認することで、どちらの割り込みが発生したかを判断することができます。

(4) リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2)

インターバル割り込み機能，RTCDIV端子を制御する8ビットのレジスタです。

RTCC2は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7-5 リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2) のフォーマット

アドレス：FFF9FH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
RTCC2	RINTE	RCLOE2	RCKDIV	0	0	ICT2	ICT1	ICT0

RINTE	ICT2	ICT1	ICT0	インターバル割り込み (INTRTCI) の選択
0	x	x	x	インターバル割り込みを発生しない。
1	0	0	0	$2^6/f_{XT}$ (1.953125 ms)
1	0	0	1	$2^7/f_{XT}$ (3.90625 ms)
1	0	1	0	$2^8/f_{XT}$ (7.8125 ms)
1	0	1	1	$2^9/f_{XT}$ (15.625 ms)
1	1	0	0	$2^{10}/f_{XT}$ (31.25 ms)
1	1	0	1	$2^{11}/f_{XT}$ (62.5 ms)
1	1	1	x	$2^{12}/f_{XT}$ (125 ms)

RCLOE2 ^注	RTCDIV端子の出力制御
0	RTCDIV端子の出力禁止
1	RTCDIV端子の出力許可

RCKDIV	RTCDIV端子の出力周波数の選択
0	RTCDIV端子から512 Hzを出力 (1.95 ms)
1	RTCDIV端子から16.384 kHzを出力 (0.061 ms)

注 RCLOE0とRCLOE2は，同時許可禁止です。

注意1. ICT2, ICT1, ICT0の変更は，RINTE = 0のときに行ってください。

2. RTCDIV端子の出力を停止した場合， f_{XT} の最大2クロック後まで出力を行い，ロウ・レベルとなります。512 Hzを出力している場合でハイ・レベルになった直後に出力を停止すると，最小で f_{XT} の1クロック幅のパルスが発生することがあります。
3. 動作開始後，最初のインターバル期間，RTCDIV端子の出力幅は，設定より短くなる場合があります。

(5) サブカウント・レジスタ (RSUBC)

リアルタイム・カウンタの1秒の基準時間をカウントする16ビットのレジスタです。
通常0000H-7FFFHまでの値をとり、32.768 kHzのクロックで1秒をカウントします。
RSUBCは、16ビット・メモリ操作命令で設定します。
リセット信号の発生により、0000Hになります。

- 注意1.** SUBCUDレジスタにより補正を行う場合は、8000H以上の値になる場合があります。
2. このレジスタは、秒カウント・レジスタへのライトによってもクリアされます。
 3. このレジスタの読み出し値は、動作中に読み出しを行った場合、変化中の値を読み出すため、値は保証されません。

図7-6 サブカウント・レジスタ (RSUBC) のフォーマット

アドレス：FFF90H リセット時：0000H R

略号	7	6	5	4	3	2	1	0
RSUBC	SUBC7	SUBC6	SUBC5	SUBC4	SUBC3	SUBC2	SUBC1	SUBC0

アドレス：FFF91H リセット時：0000H R

略号	7	6	5	4	3	2	1	0
RSUBC	SUBC15	SUBC14	SUBC13	SUBC12	SUBC11	SUBC10	SUBC9	SUBC8

(6) 秒カウント・レジスタ (SEC)

0-59 (10進) までの値を取り、秒のカウント値を示す8ビットのレジスタです。
サブカウンタからのオーバーフローによりカウント・アップします。
書き込みを行った場合は、バッファに書き込まれ、最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は10進の00-59をBCDコードで設定してください。範囲外の値を設定した場合は、1周期後に正常値に戻ります。
SECは、8ビット・メモリ操作命令で設定します。
リセット信号の発生により、00Hになります。

図7-7 秒カウント・レジスタ (SEC) のフォーマット

アドレス：FFF92H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
SEC	0	SEC40	SEC20	SEC10	SEC8	SEC4	SEC2	SEC1

(7) 分カウント・レジスタ (MIN)

0-59 (10進) までの値を取り、分のカウント値を示す8ビットのレジスタです。

秒カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大2クロック (32.768 kHz) 後に、カウンタへ書き込まれます。書き込み中に秒カウント・レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の00-59をBCDコードで設定してください。範囲外の値を設定した場合は、1周期後に正常値に戻ります。

MINは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-8 分カウント・レジスタ (MIN) のフォーマット

アドレス：FFF93H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
MIN	0	MIN40	MIN20	MIN10	MIN8	MIN4	MIN2	MIN1

(8) 時カウント・レジスタ (HOUR)

00-23または01-12, 21-32 (10進) までの値を取り、時のカウント値を示す8ビットのレジスタです。

分カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。書き込み中に分カウント・レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。

また、リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0)のビット3 (AMPM) で設定した時間制に応じて、10進の00-23または01-12, 21-32をBCDコードで設定してください。AMPMビットの値を変更すると、HOURの値は対応する値に自動的に変更されます。範囲外の値を設定した場合は、1周期後に正常値に戻ります。

HOURは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、12Hになります。

ただし、リセット後に、AMPMビット (RTCC0レジスタのビット3) に1をセットした場合は00Hとなります。

図7-9 時カウント・レジスタ (HOUR) のフォーマット

アドレス：FFF94H リセット時：12H R/W

略号	7	6	5	4	3	2	1	0
HOUR	0	0	HOUR20	HOUR10	HOUR8	HOUR4	HOUR2	HOUR1

注意 HOURのビット5 (HOUR20) は、AMPM = 0 (12時間制) を選択した場合、AM (0) / PM (1) を示します。

AMPMビットの設定値，およびHOURレジスタ値と時間の関係を表7 - 2に示します。

表7 - 2 時間桁表示表

24時間表示 (AMPMビット = 1)		12時間表示 (AMPMビット = 0)	
時間	HOURレジスタ	時間	HOURレジスタ
0時	00H	AM0時	12 H
1時	01 H	AM1時	01 H
2時	02 H	AM2時	02 H
3時	03 H	AM3時	03 H
4時	04 H	AM4時	04 H
5時	05 H	AM5時	05 H
6時	06 H	AM6時	06 H
7時	07 H	AM7時	07 H
8時	08 H	AM8時	08 H
9時	09 H	AM9時	09 H
10時	10 H	AM10時	10 H
11時	11 H	AM11時	11 H
12時	12 H	PM0時	32 H
13時	13 H	PM1時	21 H
14時	14 H	PM2時	22 H
15時	15 H	PM3時	23 H
16時	16 H	PM4時	24 H
17時	17 H	PM5時	25 H
18時	18 H	PM6時	26 H
19時	19 H	PM7時	27 H
20時	20 H	PM8時	28 H
21時	21 H	PM9時	29 H
22時	22 H	PM10時	30 H
23時	23 H	PM11時	31 H

HOURレジスタ値は，AMPMビットが“0”のときに12時間表示，“1”のときに24時間表示となります。

12時間表示の場合は，HOURレジスタの5ビット目で午前/午後を表示し，午前（AM）のときに0に，午後（PM）のときに1となります。

(9) 日カウント・レジスタ (DAY)

1-31 (10進) までの値を取り, 日のカウント値を示す8ビットのレジスタです。

時カウンタからのオーバーフローによりカウント・アップします。

カウンタは, 次に示すようにカウントします。

- ・ 01-31 (1, 3, 5, 7, 8, 10, 12月)
- ・ 01-30 (4, 6, 9, 11月)
- ・ 01-29 (2月 うるう年)
- ・ 01-28 (2月 通常年)

書き込みを行った場合は, バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。書き込み中に時カウント・レジスタからのオーバーフローが発生しても無視し, 書き込みをした値に設定されます。また設定する値は, 10進の01-31をBCDコードで設定してください。範囲外の値を設定した場合は, 1周期後に正常値に戻ります。

DAYは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 01Hになります。

図7 - 10 日カウント・レジスタ (DAY) のフォーマット

アドレス : FFF96H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
DAY	0	0	DAY20	DAY10	DAY8	DAY4	DAY2	DAY1

(10) 曜日カウント・レジスタ (WEEK)

0-6 (10進) までの値を取り、曜日のカウント値を示す8ビットのレジスタです。

日カウンタと同期してカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大の2クロック (32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は、10進の00-06をBCDコードで設定してください。範囲外の値を設定した場合は、1周期後に正常値に戻ります。

WEEKは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-11 曜日カウント・レジスタ (WEEK) のフォーマット

アドレス : FFF95H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
WEEK	0	0	0	0	0	WEEK4	WEEK2	WEEK1

注意 曜日カウント・レジスタには、月カウント・レジスタおよび日カウント・レジスタに対応した値が自動的に格納されるわけではありません。

リセット解除後、次のように設定してください。

曜日	WEEK
日	00H
月	01H
火	02H
水	03H
木	04H
金	05H
土	06H

(11) 月カウント・レジスタ (MONTH)

MONTHレジスタは1-12 (10進) までの値を取り, 月のカウント値を示す8ビットのレジスタです。

日カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は, バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。書き込み中に日カウント・レジスタからのオーバーフローが発生しても無視し, 書き込みをした値に設定されます。また設定する値は, 10進の01-12をBCDコードで設定してください。範囲外の値を設定した場合は, 1周期後に正常値に戻ります。

MONTHは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 01Hになります。

図7 - 12 月カウント・レジスタ (MONTH) のフォーマット

アドレス : FFF97H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
MONTH	0	0	0	MONTH10	MONTH8	MONTH4	MONTH2	MONTH1

(12) 年カウント・レジスタ (YEAR)

0-99 (10進) までの値を取り, 年のカウント値を示す8ビットのレジスタです。

月カウンタからのオーバーフローによりカウント・アップします。

00, 04, 08, ..., 92, 96がうるう年となります。

書き込みを行った場合は, バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。書き込み中に月カウント・レジスタからのオーバーフローが発生しても無視し, 書き込みをした値に設定されます。また設定する値は, 10進の00-99をBCDコードで設定してください。範囲外の値を設定した場合は, 1周期後に正常値に戻ります。

YEARは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図7 - 13 年カウント・レジスタ (YEAR) のフォーマット

アドレス : FFF98H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
YEAR	YEAR80	YEAR40	YEAR20	YEAR10	YEAR8	YEAR4	YEAR2	YEAR1

(13) 時計誤差補正レジスタ (SUBCUD)

サブカウント・レジスタ (RSUBC) から秒カウンタ・レジスタへオーバーフローする値 (基準値: 7FFFH) を変化させることにより, 時計の進みや遅れをより高精度に補正することができるレジスタです。

SUBCUDは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図7 - 14 時計誤差補正レジスタ (SUBCUD) のフォーマット

アドレス: FFF99H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
SUBCUD	DEV	F6	F5	F4	F3	F2	F1	F0

DEV	時計誤差補正のタイミングの設定
0	秒桁が00, 20, 40秒時 (20秒ごと) に時計誤差補正
1	秒桁が00秒時のみ (60秒ごと) に時計誤差補正

次に示すタイミングでのSUBCUDレジスタへの書き込みは禁止です。

- ・ DEV = 0設定時: SEC = 00H, 20H, 40Hの期間
- ・ DEV = 1設定時: SEC = 00Hの期間

F6	時計誤差補正值の設定
0	{ (F5, F4, F3, F2, F1, F0) - 1 } × 2だけ増加
1	{ (/F5, /F4, /F3, /F2, /F1, /F0) + 1 } × 2だけ減少

(F6, F5, F4, F3, F2, F1, F0) = (*, 0, 0, 0, 0, 0, *) のときは, 時計誤差補正を行いません。*は0または1です。
/F5 ~ /F0は, ビット反転した値 (111100のときは000011) となります。
補正值の範囲: (F6 = 0のとき) 2, 4, 6, 8, ... 120, 122, 124
(F6 = 1のとき) -2, -4, -6, -8, ... -120, -122, -124

次に, 時計誤差補正レジスタ (SUBCUD) による補正可能範囲を示します。

	DEV = 0 (20秒ごとの補正)	DEV = 1 (60秒ごとの補正)
補正可能範囲	- 189.2 ppm ~ 189.2 ppm	- 63.1 ppm ~ 63.1 ppm
最大量子化誤差	± 1.53 ppm	± 0.51 ppm
最小分解能	± 3.05 ppm	± 1.02 ppm

備考 補正範囲が, - 63.1 ppm以下または63.1 ppm以上のときは, DEV = 0を設定してください。

(14) アラーム分レジスタ (ALARMWM)

アラームの分を設定するレジスタです。

ALARMWMは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 設定する値は、10進の00～59をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

図7 - 15 アラーム分レジスタ (ALARMWM) のフォーマット

アドレス：FFF9AH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ALARMWM	0	WM40	WM20	WM10	WM8	WM4	WM2	WM1

(15) アラーム時レジスタ (ALARMWH)

アラームの時を設定するレジスタです。

ALARMWHは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、12Hになります。

ただし、リセット後に、AMPMビットに1をセットした場合は00Hとなります。

注意 設定する値は、10進の00～23または、01～12, 21～32をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

図7 - 16 アラーム時レジスタ (ALARMWH) のフォーマット

アドレス：FFF9BH リセット時：12H R/W

略号	7	6	5	4	3	2	1	0
ALARMWH	0	0	WH20	WH10	WH8	WH4	WH2	WH1

注意 ALARMWHのビット5 (WH20) は、AMPM = 0 (12時間制) を選択した場合、AM (0) / PM (1) を示します。

(16) アラーム曜日レジスタ (ALARMWW)

アラームの曜日を設定するレジスタです。

ALARMWWは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7 - 17 アラーム曜日レジスタ (ALARMWW) のフォーマット

アドレス：FFF9CH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ALARMWW	0	WW6	WW5	WW4	WW3	WW2	WW1	WW0

次にアラーム時刻の設定例を示します。

アラーム設定時刻	曜日							12時間表示				24時間表示			
	日	月	火	水	木	金	土	10時	1時	10分	1分	10時	1時	10分	1分
	W	W	W	W	W	W	W								
毎日 午前0時00分	1	1	1	1	1	1	1	1	2	0	0	0	0	0	0
毎日 午前1時30分	1	1	1	1	1	1	1	0	1	3	0	0	1	3	0
毎日 午前11時59分	1	1	1	1	1	1	1	1	1	5	9	1	1	5	9
月～金 午後0時00分	0	1	1	1	1	1	0	3	2	0	0	1	2	0	0
日曜 午後1時30分	1	0	0	0	0	0	0	2	1	3	0	1	3	3	0
月水金 午後11時59分	0	1	0	1	0	1	0	3	1	5	9	2	3	5	9

(17) ポート・モード・レジスタ1, 3 (PM1, PM3)

ポート1, 3の入力 / 出力を1ビット単位で設定するレジスタです。

P15/RTCDIV/RTCCL, P30/RTC1HZ/INTP3端子をリアルタイム・カウンタのクロック出力として使用するとき, PM15, PM30およびP15, P30の出力ラッチに0を設定してください。

PM1, PM3は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図7-18 ポート・モード・レジスタ1, 3 (PM1, PM3) のフォーマット

アドレス : FFF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

アドレス : FFF23H リセット時 : FFH R/W

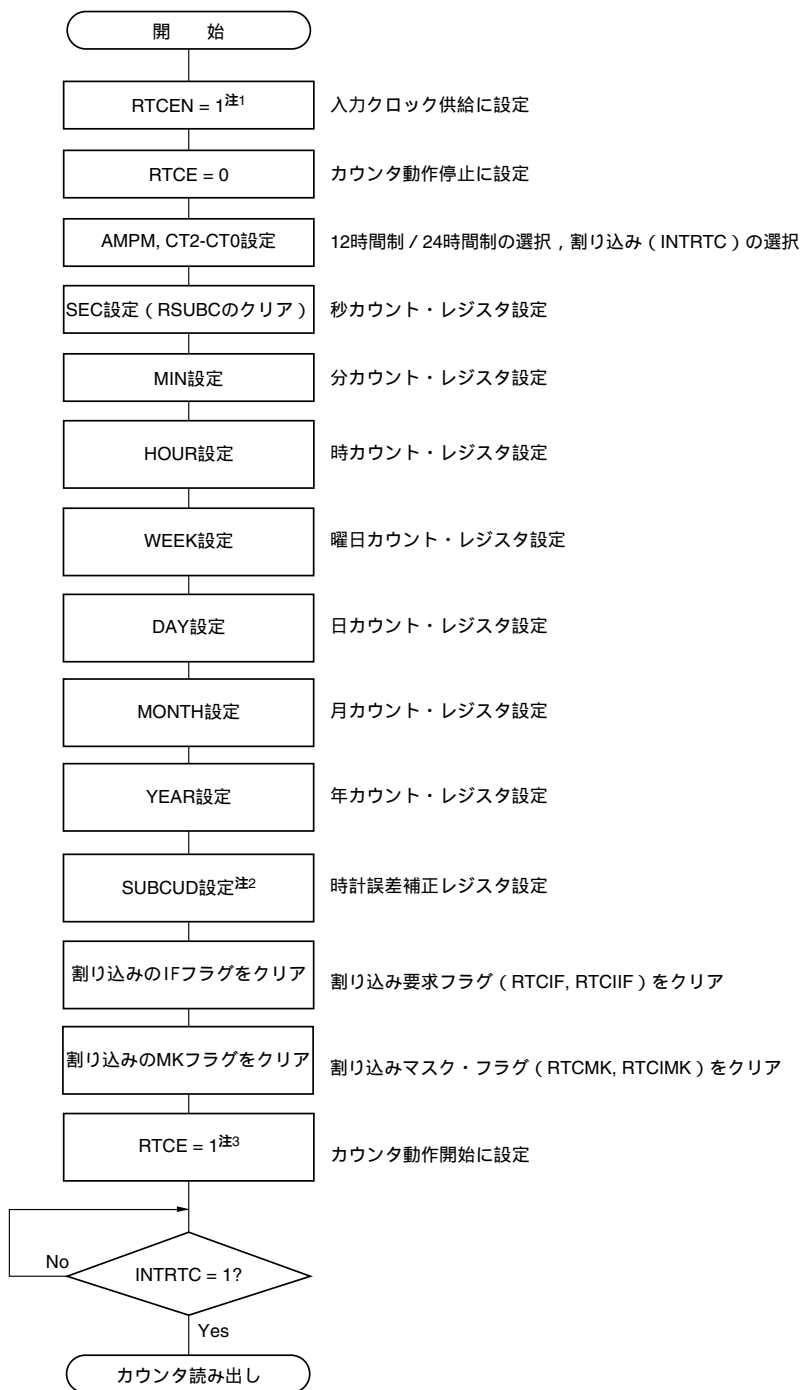
略号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	1	1	PM31	PM30

PMmn	Pmn端子の入出力モードの選択 (m = 1, 3; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

7.4 リアルタイム・カウンタの動作

7.4.1 リアルタイム・カウンタの動作開始

図7-19 リアルタイム・カウンタの動作開始手順



注1. サブシステム・クロック (f_{SUB}) が発振安定状態において、最初にRTCEN = 1の設定を行ってください。

2. 時計誤差補正する必要がある場合のみ。補正値の算出方法は、7.4.8 リアルタイム・カウンタの時計誤差補正例を参照してください。

3. RTCE = 1のあとにINTRTC = 1を待たずにSTOPモードへ移行する場合は、7.4.2 動作開始後のSTOPモードへの移行の手順を確認してください。

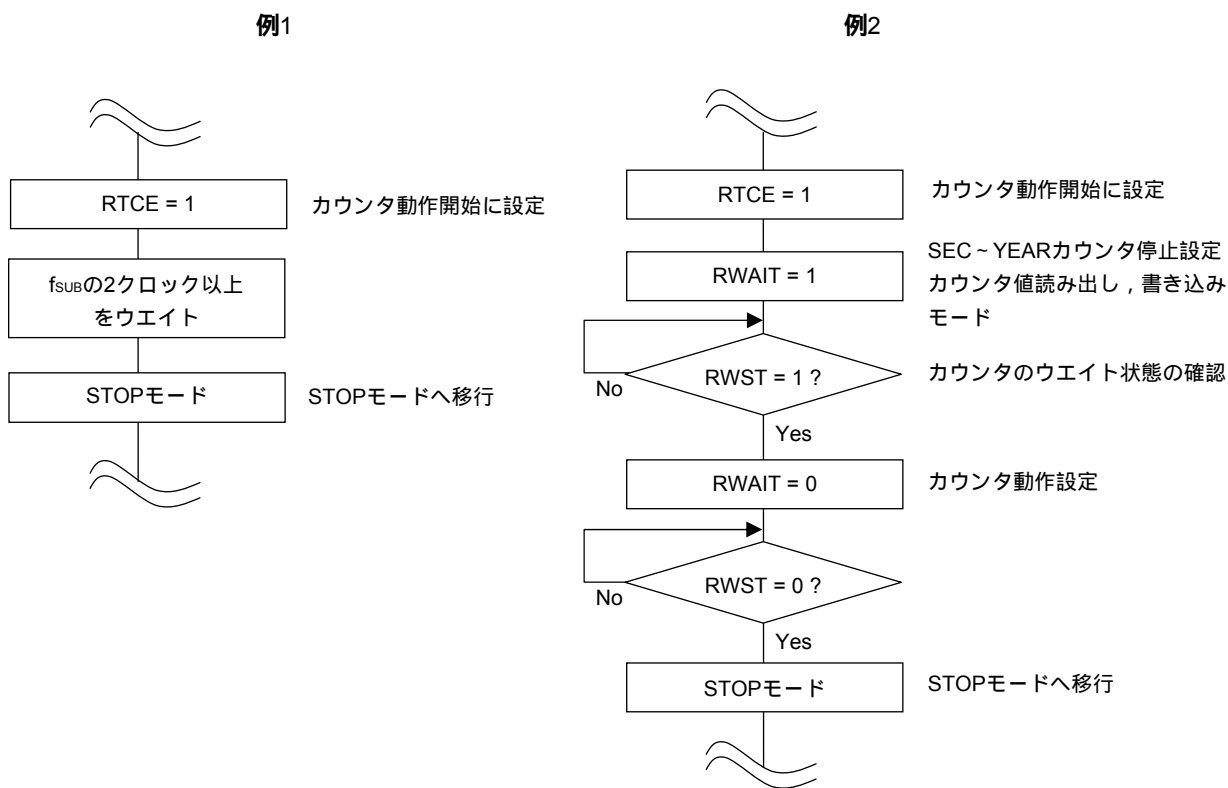
7.4.2 動作開始後のSTOPモードへの移行

RTCE = 1に設定直後にSTOPモードへ移行する場合は、次のどちらかの処理をしてください。

ただし、RTCE = 1に設定後、1回目のINTRTC割り込みの発生以降にSTOPモードへ移行する場合は、これらの処理は必要ありません。

- ・RTCE = 1に設定してから、サブシステム・クロック(f_{SUB})の2クロック分(約62 μs)以上経過後にSTOPモードへ移行する(図7-20 例1参照)。
- ・RTCE = 1に設定後、RWAIT = 1に設定し、RWSTが1になるのをポーリングで確認する。それから、RWAIT = 0に設定し、RWSTが0になったのを再度ポーリングで確認後にSTOPモードへ移行する(図7-20 例2参照)。

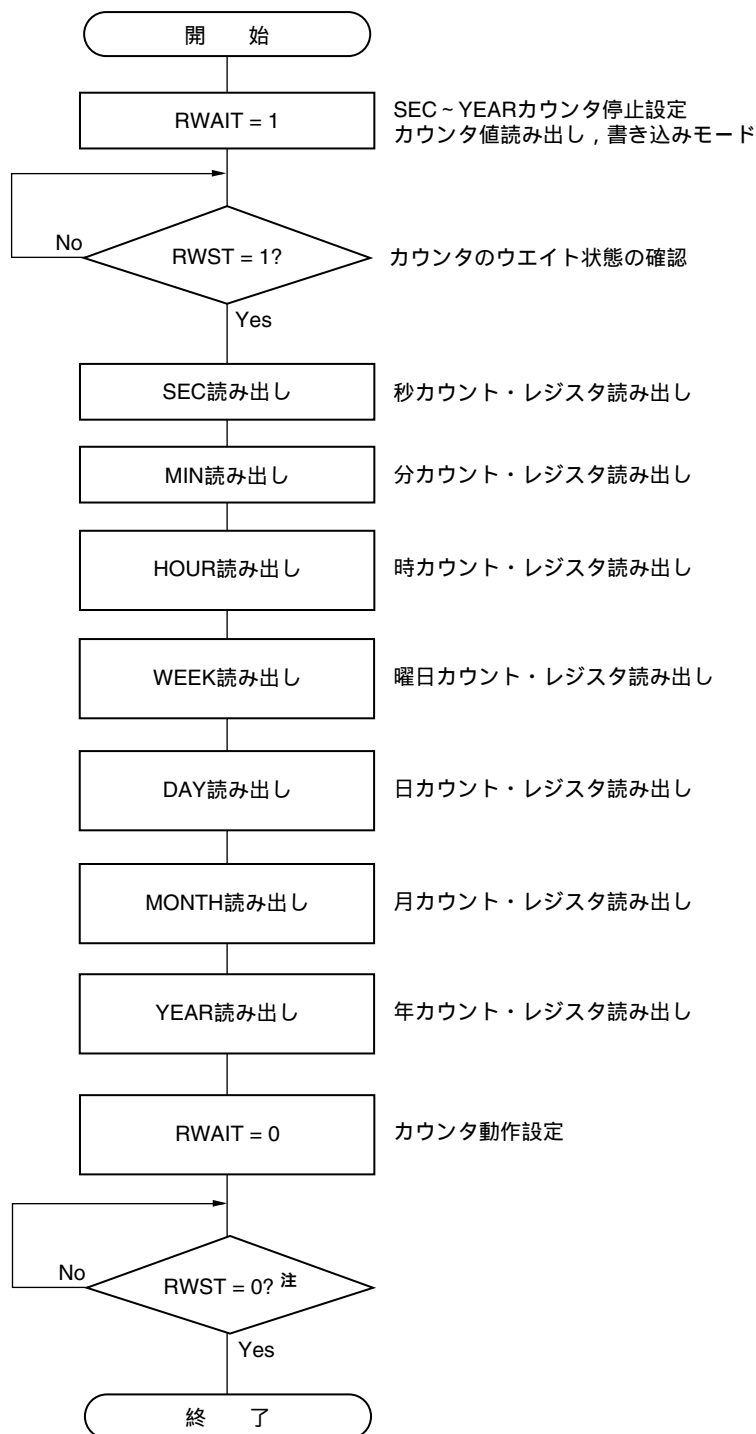
図7-20 RTCE = 1に設定後のSTOPモードへの移行手順



7.4.3 リアルタイム・カウンタのカウンタ読み出し / 書き込み

カウンタの読み出し / 書き込みは、最初にRWAIT = 1にしてから行ってください。

図7-21 リアルタイム・カウンタの読み出し手順

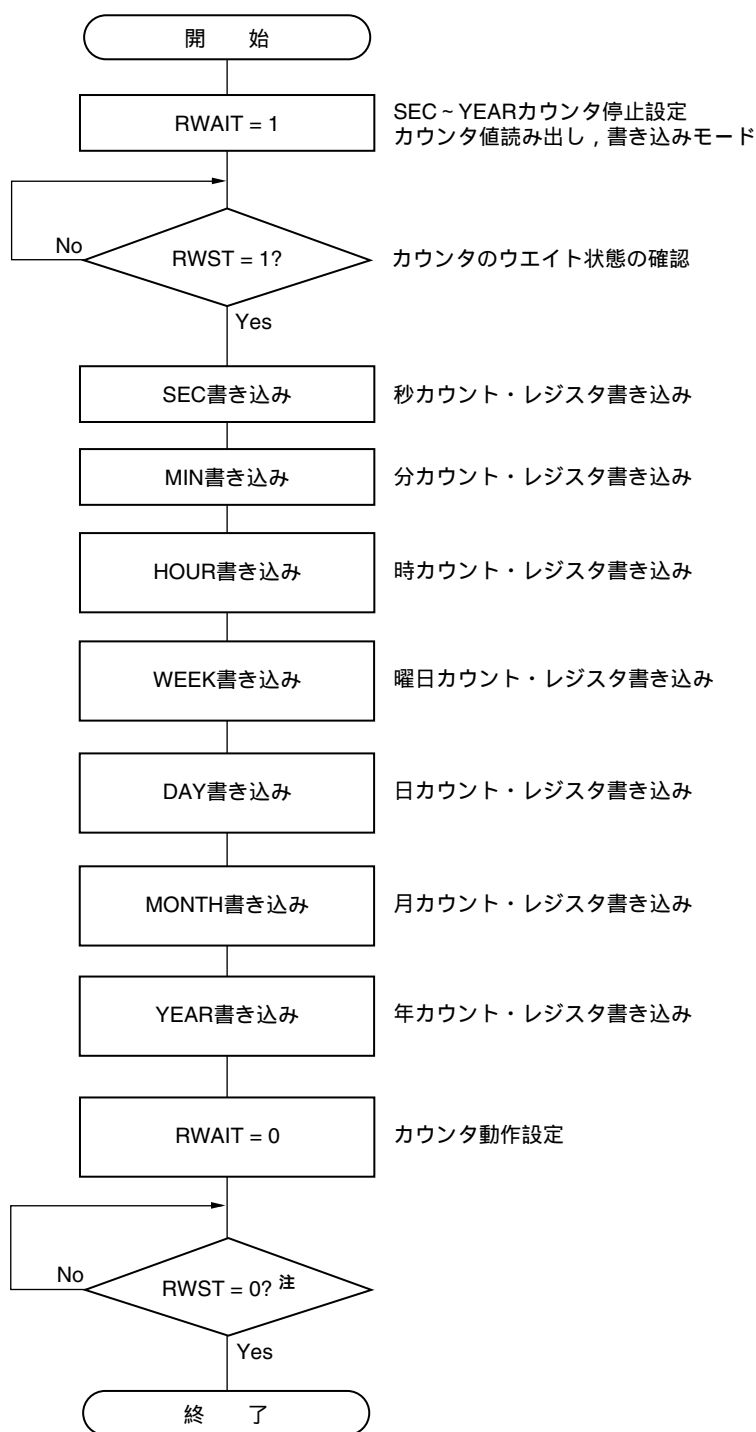


注 STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

注意 RWAIT = 1 からRWAIT = 0とするまで1秒以内で行ってください。

備考 SEC, MIN, HOUR, WEEK, DAY, MONTH, YEARの読み出しの順番に制限はありません。
また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを読み出しても構いません。

図7-22 リアルタイム・カウンタの書き込み手順



注 STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

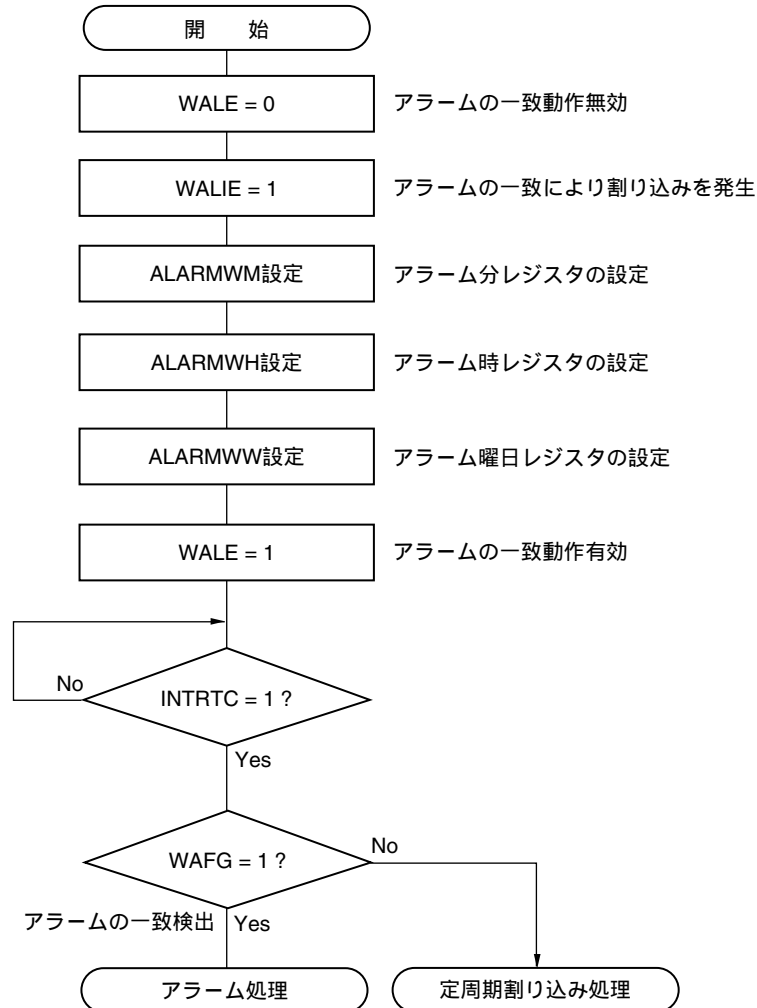
注意 RWAIT = 1からRWAIT = 0とするまでを1秒以内で行ってください。

備考 SEC, MIN, HOUR, WEEK, DAY, MONTH, YEARの書き込みの順番に制限はありません。
また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを書き換えても構いません。

7.4.4 リアルタイム・カウンタのアラーム設定

アラーム時刻設定は、最初にWALE = 0にしてから行ってください。

図7-23 アラーム設定手順

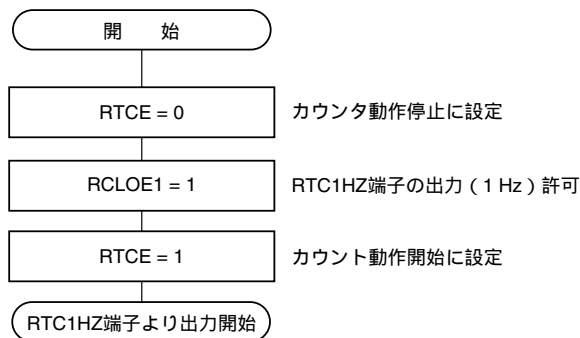


備考1. ALARMWM, ALARMWH, ALARMWWの書き込みの順番に制限はありません。

- 定周期割り込みとアラーム一致割り込みは、同一割り込み要因 (INTRTC) を使用しています。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ (RIFG) とアラーム検出ステータス・フラグ (WAFG) を確認することで、どちらの割り込みが発生したかを判断することができます。

7.4.5 リアルタイム・カウンタの1 Hz出力

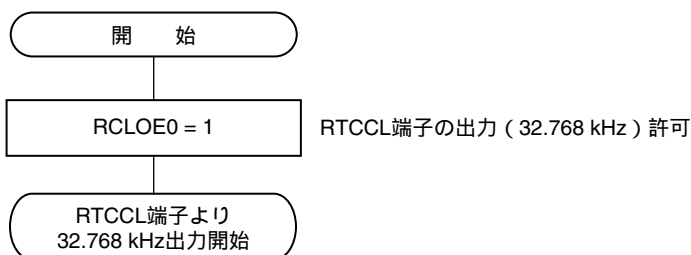
図7 - 24 1 Hz出力の設定手順



注意 サブシステム・クロック (f_{SUB}) が発振安定状態において、最初にRTCEN = 1の設定を行ってください。

7.4.6 リアルタイム・カウンタの32.768 kHz出力

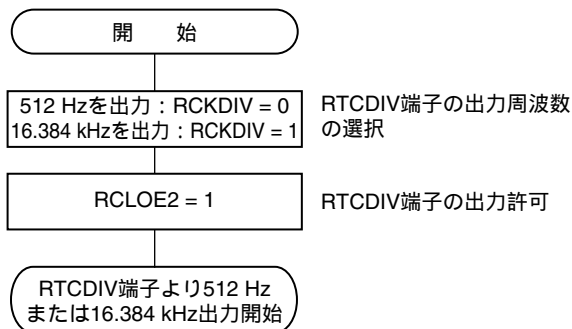
図7 - 25 32.768 kHz出力の設定手順



注意 サブシステム・クロック (f_{SUB}) が発振安定状態において、最初にRTCEN = 1の設定を行ってください。

7.4.7 リアルタイム・カウンタの512 Hz, 16.384 kHz出力

図7 - 26 512 Hz, 16.384 kHz出力の設定手順



注意 サブシステム・クロック (f_{SUB}) が発振安定状態において、最初にRTCEN = 1の設定を行ってください。

7.4.8 リアルタイム・カウンタの時計誤差補正例

時計誤差補正レジスタに値を設定することにより、時計の進みや遅れをより高精度に補正できます。

補正値の算出方法例

サブカウント・レジスタ (RSUBC) のカウント値を補正する際の補正値は、次の式で算出できます。
補正範囲が、- 63.1 ppm以下または63.1 ppm以上のときは、DEV = 0を設定してください。

(DEV = 0の場合)

$$\text{補正値}^{\text{注}} = 1\text{分間の補正カウント数} \div 3 = (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60 \div 3$$

(DEV = 1の場合)

$$\text{補正値}^{\text{注}} = 1\text{分間の補正カウント数} = (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60$$

注 補正値とは、時計誤差補正レジスタ (SUBCUD) のビット6-0の値により求められる時計誤差補正値です。

$$(\text{F6} = 0\text{の場合}) \text{補正値} = \{ (\text{F5}, \text{F4}, \text{F3}, \text{F2}, \text{F1}, \text{F0}) - 1 \} \times 2$$

$$(\text{F6} = 1\text{の場合}) \text{補正値} = - \{ (\text{/F5}, \text{/F4}, \text{/F3}, \text{/F2}, \text{/F1}, \text{/F0}) + 1 \} \times 2$$

(F6, F5, F4, F3, F2, F1, F0) = (*, 0, 0, 0, 0, 0, *) のときは、時計誤差補正を行いません。*は0または1です。

/F5 ~ /F0は、ビット反転した値 (111100のときは000011) となります。

- 備考1.** 補正値は、2, 4, 6, 8, . . . 120, 122, 124, または - 2, - 4, - 6, - 8 . . . - 120, - 122, - 124です。
2. 発振周波数とは、サブシステム・クロック (f_{SUB}) の値です。
RTCCL端子からの32 kHz出力周波数、または時計誤差補正レジスタが初期値 (00H) 時のRTC1HZ端子の出力周波数 × 32768で求めることができます。
3. ターゲット周波数とは、時計誤差補正レジスタを使用した補正後の周波数です。

補正例

32772.3 Hzから32768 Hz (32772.3 Hz - 131.2 ppm) への補正例

【発振周波数の測定】

各製品の発振周波数[※]はRTCCL端子から約32 kHzを出力するか、時計誤差補正レジスタが初期値(00H)時にRTC1HZ端子から約1 Hzを出力して測定します。

注 RTC1HZ出力の設定手順は、7. 4. 5 リアルタイム・カウンタの1 Hz出力を、RTCCL端子から約32 kHzの出力の設定手順は、7. 4. 6 リアルタイム・カウンタの32.768 kHz出力を参照してください。

【補正值の算出】

(RTCCL端子からの出力周波数が32772.3 Hzの場合)

ターゲット周波数を32768 Hz (32772.3 Hz - 131.2 ppm) とすると、- 131.2 ppmは補正範囲が - 63.1 ppm以下なので、DEV = 0とします。

DEV = 0の場合の補正值の算出式を適用します。

$$\begin{aligned} \text{補正值} &= 1分間の補正カウント数 \div 3 = (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60 \div 3 \\ &= (32772.3 \div 32768 - 1) \times 32768 \times 60 \div 3 \\ &= 86 \end{aligned}$$

【(F6 ~ F0) への設定値の算出】

(補正值 = 86の場合)

補正值が0以上(遅くする場合)では、F6 = 0とします。

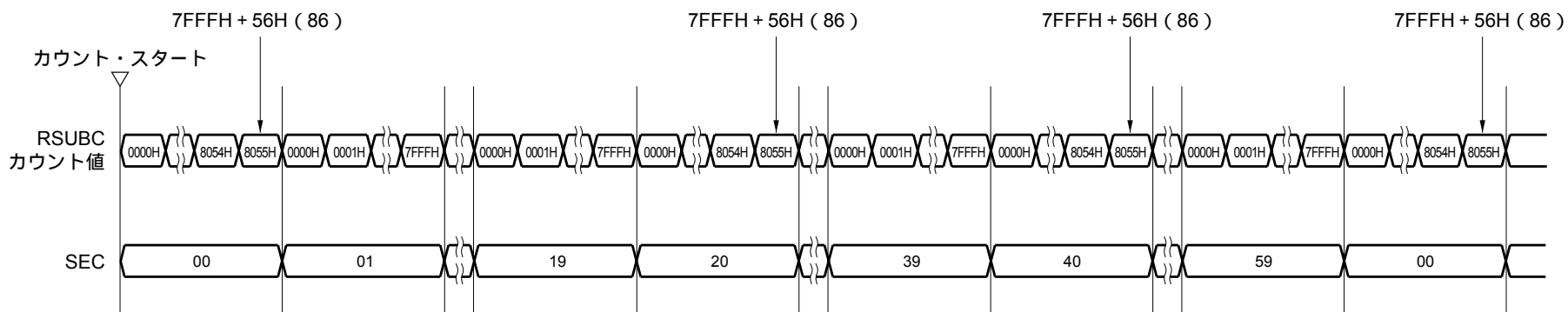
(F5, F4, F3, F2, F1, F0) は、補正值から算出します。

$$\begin{aligned} \{ (F5, F4, F3, F2, F1, F0) - 1 \} \times 2 &= 86 \\ (F5, F4, F3, F2, F1, F0) &= 44 \\ (F5, F4, F3, F2, F1, F0) &= (1, 0, 1, 1, 0, 0) \end{aligned}$$

したがって、32772.3 Hzから32768 Hz (32772.3 Hz - 131.2 ppm) への補正の場合、DEV = 0、補正值 = 86 (SUBCUDのビット6-0 : 0101100) と補正レジスタを設定すると、32768 Hz (0 ppm) となります。

(DEV, F6, F5, F4, F3, F2, F1, F0) = (0, 0, 1, 0, 1, 1, 0, 0) の場合の動作を図7 - 27に示します。

図7-27 (DEV, F6, F5, F4, F3, F2, F1, F0) = (0, 0, 1, 0, 1, 1, 0, 0) の場合の動作



補正例

32767.4 Hzから32768 Hz (32767.4 Hz + 18.3 ppm) への補正例

【発振周波数の測定】

各製品の発振周波数[※]をRTCCL端子から約32 kHzを出力するか、時計誤差補正レジスタが初期値(00H)時にRTC1HZ端子から約1 Hzを出力して測定します。

注 RTC1HZ出力の設定手順は、7. 4. 5 リアルタイム・カウンタの1 Hz出力を、RTCCL端子から約32 kHzの出力の設定手順は、7. 4. 6 リアルタイム・カウンタの32.768 kHz出力を参照してください。

【補正値の算出】

(RTC1HZ端子からの出力周波数が0.9999817 Hzの場合)

$$\text{発振周波数} = 32768 \times 0.9999817 \quad 32767.4 \text{ Hz}$$

ターゲット周波数を32768 Hz (32767.4 Hz + 18.3 ppm) とし、DEV = 1とします。

DEV = 1の場合の補正値の算出式を適用します。

$$\begin{aligned} \text{補正値} = 1\text{分間の補正カウント数} &= (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60 \\ &= (32767.4 \div 32768 - 1) \times 32768 \times 60 \\ &= -36 \end{aligned}$$

【(F6 ~ F0) への設定値の算出】

(補正値 = -36の場合)

補正値が0以下(速くする場合)では、F6 = 1とします。

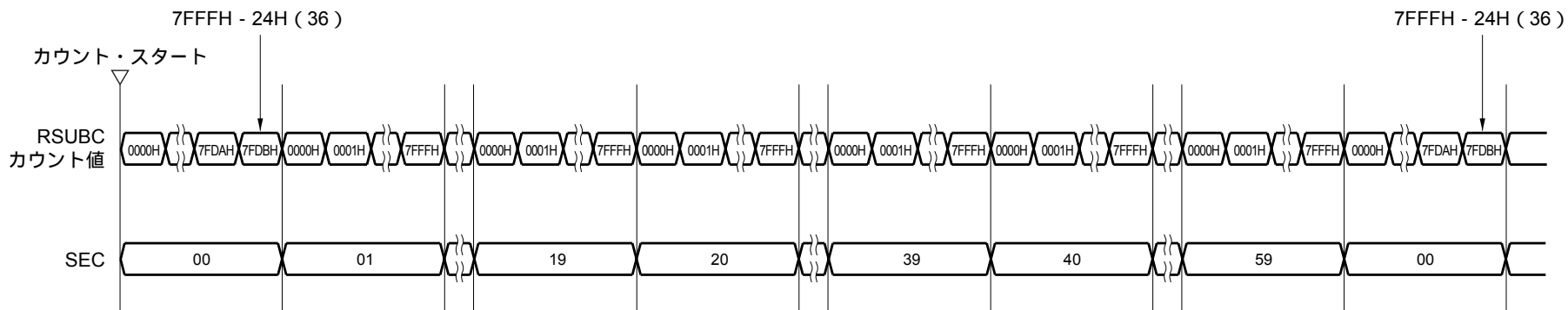
(F5, F4, F3, F2, F1, F0) は、補正値から算出します。

$$\begin{aligned} - \{ (/F5, /F4, /F3, /F2, /F1, /F0) + 1 \} \times 2 &= -36 \\ (/F5, /F4, /F3, /F2, /F1, /F0) &= 17 \\ (/F5, /F4, /F3, /F2, /F1, /F0) &= (0, 1, 0, 0, 0, 1) \\ (F5, F4, F3, F2, F1, F0) &= (1, 0, 1, 1, 1, 0) \end{aligned}$$

したがって、32767.4 Hzから32768 Hz (32767.4Hz + 18.3 ppm) への補正の場合、DEV = 1、補正値 = -36 (SUBCUDのビット6-0 : 1101110) と補正レジスタを設定すると、32768 Hz (0 ppm) となります。

(DEV, F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 0, 1, 1, 1, 0) の場合の動作を図7 - 28に示します。

図7-28 (DEV, F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 0, 1, 1, 1, 0) の場合の動作



第8章 ウォッチドッグ・タイマ

8.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは低速内蔵発振クロックで動作します。

ウォッチドッグ・タイマはプログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

次の場合、プログラムの暴走と判断します。

- ・ウォッチドッグ・タイマ・カウンタがオーバフローした場合
- ・ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に1ビット操作命令を使用した場合
- ・WDTEに“ACH”以外のデータを書き込んだ場合
- ・ウインドウ・クローズ期間中にWDTEにデータを書き込んだ場合

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のビット4 (WDRF) がセット (1) されます。RESFの詳細については**第20章 リセット機能**を参照してください。

また、オーバフロー時間の75%到達時にインターバル割り込みを発生することもできます。

8.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表8-1 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

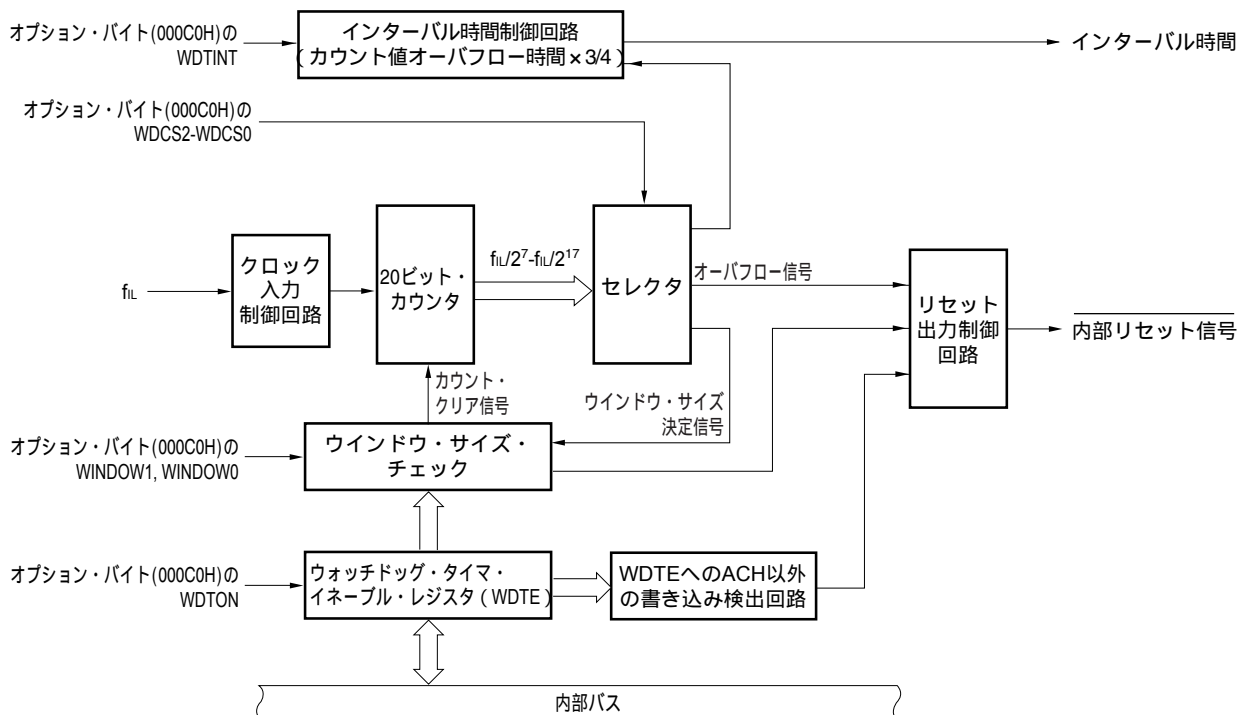
また、オプション・バイトで、カウンタの動作制御、オーバフロー時間の設定、ウインドウ・オープン期間の設定、インターバル割り込みの設定を行います。

表8-2 オプション・バイトとウォッチドッグ・タイマの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト (000C0H)
ウォッチドッグ・タイマのインターバル割り込みの設定	ビット7 (WDTINT)
ウインドウ・オープン期間設定	ビット6, 5 (WINDOW1, WINDOW0)
ウォッチドッグ・タイマのカウンタ動作制御	ビット4 (WDTON)
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1 (WDCS2- WDCS0)
ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOP時)	ビット0 (WDSTBYON)

備考 オプション・バイトについては、第24章 オプション・バイトを参照してください。

図8-1 ウォッチドッグ・タイマのブロック図



8.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) で制御します。

(1) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

WDTEに“ACH”を書き込むことにより、ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始します。

WDTEは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、9AHまたは1AH^注になります。

図8-2 ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) のフォーマット

アドレス : FFFABH リセット時 : 9AH / 1AH^注 R/W

略号	7	6	5	4	3	2	1	0
WDTE								

注 WDTEのリセット値は、オプション・バイト(000C0H)のWDTONの設定値によって、異なります。
ウォッチドッグ・タイマを動作する場合は、WDTONに1を設定してください。

WDTONの設定値	WDTEのリセット値
0 (ウォッチドッグ・タイマのカウント動作禁止)	1AH
1 (ウォッチドッグ・タイマのカウント動作許可)	9AH

注意1 . WDTEに“ACH”以外の値を書き込んだ場合、内部リセット信号を発生します。

2 . WDTEに1ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。

3 . WDTEのリード値は、“9AH / 1AH” (書き込んだ値 (“ACH”)とは異なる値) になります。

8.4 ウォッチドッグ・タイマの動作

8.4.1 ウォッチドッグ・タイマの動作制御

1. ウォッチドッグ・タイマを使用する場合、オプション・バイト（000C0H）で次の内容を設定します。

・オプション・バイト（000C0H）のビット4（WDTON）を1に設定し、ウォッチドッグ・タイマのカウンタ動作を許可（リセット解除後、カウンタは動作開始）にしてください（詳細は、第24章を参照）。

WDTON	ウォッチドッグ・タイマのカウンタ
0	カウンタ動作禁止（リセット解除後、カウンタ停止）
1	カウンタ動作許可（リセット解除後、カウンタ開始）

・オプション・バイト（000C0H）のビット3-1（WDCS2-WDCS0）で、オーバフロー時間を設定してください（詳細は、8.4.2および第24章を参照）。

・オプション・バイト（000C0H）のビット6, 5（WINDOW1, WINDOW0）で、ウインドウ・オープン期間を設定してください（詳細は、8.4.3および第24章を参照）。

2. リセット解除後、ウォッチドッグ・タイマはカウンタ動作を開始します。
3. カウンタ動作開始したあと、オプション・バイトで設定したオーバフロー時間前に、WDTEに“ACH”を書き込むことにより、ウォッチドッグ・タイマはクリアされ、再度カウンタ動作を開始します。
4. 以後、リセット解除後2回目以降のWDTEへの書き込みについては、ウインドウ・オープン期間中に行ってください。ウインドウ・クローズ期間中に書き込んだ場合、内部リセット信号を発生します。
5. WDTEに“ACH”を書き込まずに、オーバフロー時間を越えてしまった場合は、内部リセット信号を発生します。
また、次の場合も、内部リセット信号を発生します。

- ・ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に1ビット操作命令を使用した場合
- ・WDTEに“ACH”以外のデータを書き込んだ場合

- 注意1.** リセット解除後1回目のWDTEへの書き込みだけは、ウインドウ・オープン時間に関係なく、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウンタ動作を開始します。
2. WDTEに“ACH”を書き込んで、ウォッチドッグ・タイマをクリアしたとき、実際のオーバフロー時間は、オプション・バイトで設定したオーバフロー時間より最大 $2/f_{IL}$ 秒の誤差が生じる場合があります。
 3. ウォッチドッグ・タイマのクリアは、カウンタ値がオーバフローする直前まで有効です。

注意4. オプション・バイト(000C0H)のビット0(WDSTBYON)の設定値により、ウォッチドッグ・タイマのHALTおよびSTOPモード時の動作は、次のように異なります。

	WDSTBYON = 0	WDSTBYON = 1
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		

WDSTBYON = 0の場合、HALTおよびSTOPモード解除後は、ウォッチドッグ・タイマのカウントを再開します。このとき、カウンタはクリア(0)して、カウント開始します。

STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。

そのため、STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと、発振安定時間中にオーバフローしてリセットが発生します。

よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバフロー時間を設定してください。

- フラッシュ・メモリのセルフ・プログラミング時およびEEPROM[®]エミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバフロー時間およびウインドウ・サイズを設定してください。

8.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのオーバフロー時間は、オプション・バイト(000C0H)のビット3-1(WDCS2-WDCS0)で設定します。

オーバフロー時は、内部リセット信号を発生します。オーバフロー時間前の、ウインドウ・オープン期間中にWDTEに“ACH”を書き込むことにより、カウントはクリアされ、再度カウント動作を開始します。

設定可能なオーバフロー時間を次に示します。

表8-3 ウォッチドッグ・タイマのオーバフロー時間の設定

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 ($f_{IL} = 33 \text{ kHz (MAX.)}$ の場合)
0	0	0	$2^7/f_{IL}$ (3.88 ms)
0	0	1	$2^8/f_{IL}$ (7.76 ms)
0	1	0	$2^9/f_{IL}$ (15.52 ms)
0	1	1	$2^{10}/f_{IL}$ (31.03 ms)
1	0	0	$2^{12}/f_{IL}$ (124.12 ms)
1	0	1	$2^{14}/f_{IL}$ (496.48 ms)
1	1	0	$2^{15}/f_{IL}$ (992.97 ms)
1	1	1	$2^{17}/f_{IL}$ (3971.88 ms)

注意 フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバフロー時間およびウインドウ・サイズを設定してください。

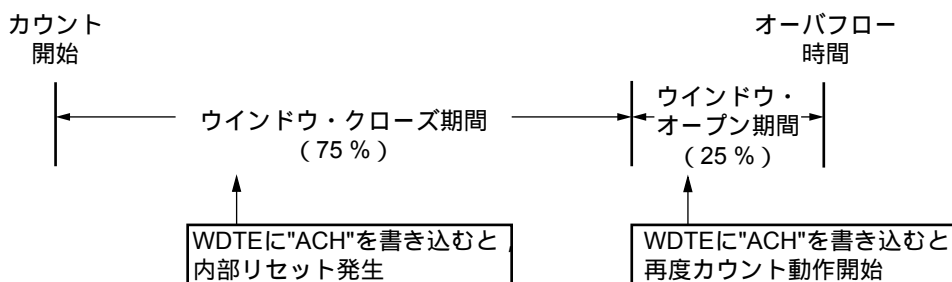
備考 f_{IL} : 低速内蔵発振クロック周波数

8.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ・タイマのウインドウ・オープン期間は、オプション・バイト（000C0H）のビット6, 5（WINDOW1, WINDOW0）で設定します。ウインドウの概要は次のとおりです。

- ・ウインドウ・オープン期間中は、WDTEに“ACH”を書き込むと、ウォッチドッグ・タイマをクリアし、再度カウント動作を開始します。
- ・ウインドウ・クローズ期間中は、WDTEに“ACH”を書き込んでも、異常検出され、内部リセットを発生します。

例 ウインドウ・オープン期間が25%の場合



注意 リセット解除後1回目のWDTEへの書き込みだけは、ウインドウ・オープン時間に関係なく、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

設定可能なウインドウ・オープン期間を次に示します。

表8-4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	25 %
0	1	50 %
1	0	75 %
1	1	100 %

- 注意1.** フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバフロー時間およびウインドウ・サイズを設定してください。
2. オプション・バイト（000C0H）のビット0（WDSTBYON）= 0のときは、WINDOW1, WINDOW0の値に関係なく、ウインドウ・オープン期間100%となります。
 3. 次のどちらかの条件に該当する場合は、ウインドウ・オープン期間を25%に設定しないでください。

- ・STOPモードの使用、もしくはソフトウェアでメイン・システム・クロック（高速内蔵発振クロック，X1クロック，外部メイン・システム・クロック）をすべて停止する場合。
- ・低消費電力モード

備考 オーバフロー時間を $2^{10}/f_{IL}$ に設定した場合、ウインドウ・クローズ時間とオープン時間は、次のようになります。

	ウインドウ・オープン期間の設定			
	25 %	50 %	75 %	100 %
ウインドウ・クローズ時間	0 ~ 28.44 ms	0 ~ 18.96 ms	0 ~ 9.48 ms	なし
ウインドウ・オープン時間	28.44 ~ 31.03 ms	18.96 ~ 31.03 ms	9.48 ~ 31.03 ms	0 ~ 31.03 ms

<ウインドウ・オープン期間25 %のとき>

・ オーバフロー時間 :

$$2^{10}/f_{IL} (\text{MAX.}) = 2^{10}/33 \text{ kHz} (\text{MAX.}) = 31.03 \text{ ms}$$

・ ウインドウ・クローズ時間 :

$$0 \sim 2^{10}/f_{IL} (\text{MIN.}) \times (1 - 0.25) = 0 \sim 2^{10}/27 \text{ kHz} (\text{MIN.}) \times 0.75 = 0 \sim 28.44 \text{ ms}$$

・ ウインドウ・オープン時間 :

$$2^{10}/f_{IL} (\text{MIN.}) \times (1 - 0.25) \sim 2^{10}/f_{IL} (\text{MAX.}) = 2^{10}/27 \text{ kHz} (\text{MIN.}) \times 0.75 \sim 2^{10}/33 \text{ kHz} (\text{MAX.}) = 28.44 \sim 31.03 \text{ ms}$$

8.4.4 ウォッチドッグ・タイマのインターバル割り込みの設定

オプション・バイト (000C0H) のビット7 (WDTINT) の設定により、オーバフロー時間の75%到達時にインターバル割り込み (INTWDTI) を発生することができます。

表8 - 5 ウォッチドッグ・タイマのインターバル割り込みの設定

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用 / 不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75%到達時にインターバル割り込みを発生する

注意 STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。

そのため、STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと、発振安定時間中にオーバフローしてリセットが発生します。

よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバフロー時間を設定してください。

備考 INTWDTI発生後も (WDTEレジスタにACHを書き込むまで) カウントを継続します。オーバフロー時間までにACHが書き込まれない場合は、内部リセット信号を発生します。

第9章 クロック出力/ブザー出力制御回路

9.1 クロック出力/ブザー出力制御回路の機能

クロック出力はリモコン送信時のキャリア出力や周辺ICに供給するクロックを出力する機能です。

また、ブザー出力はブザー周波数の方形波を出力する機能です。

1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

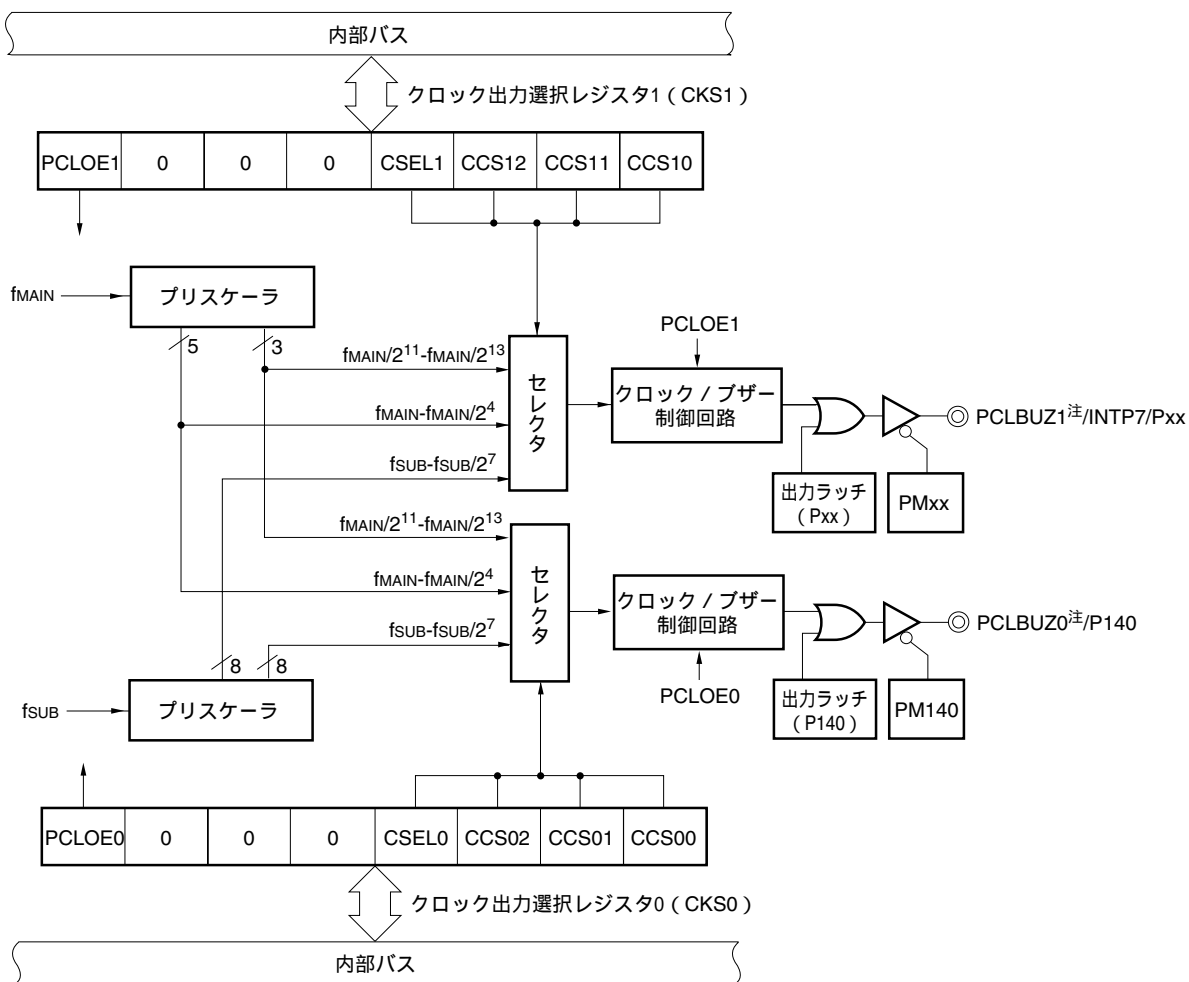
出力端子は、PCLBUZ0とPCLBUZ1の2つがあります。

PCLBUZ0は、クロック出力選択レジスタ0 (CKS0) で選択したクロックを出力します。

PCLBUZ1は、クロック出力選択レジスタ1 (CKS1) で選択したクロックを出力します。

図9-1にクロック出力/ブザー出力制御回路のブロック図を示します。

図9-1 クロック出力/ブザー出力制御回路のブロック図



注 PCLBUZ0, PCLBUZ1端子は、2.7 V V_{DD} で10 MHzまでのクロック出力が可能です。

備考1. xx = 55 (78K0R/KF3-C), xx = 141 (78K0R/KG3-C)

2. f_{MAIN} : メイン・システム・クロック周波数

f_{SUB} : サブシステム・クロック周波数

9.2 クロック出力/ブザー出力制御回路の構成

クロック出力/ブザー出力制御回路は、次のハードウェアで構成されています。

表9-1 クロック出力/ブザー出力制御回路の構成

項目	構成
制御レジスタ	・ 78K0R/KF3-C クロック出力選択レジスタ0, 1 (CKS0, CKS1) ポート・モード・レジスタ5, 14 (PM5, PM14) ポート・レジスタ5, 14 (P5, P14)
	・ 78K0R/KG3-C クロック出力選択レジスタ0, 1 (CKS0, CKS1) ポート・モード・レジスタ14 (PM14) ポート・レジスタ14 (P14)

9.3 クロック出力/ブザー出力制御回路を制御するレジスタ

クロック出力/ブザー出力制御回路は、次の2種類のレジスタで制御します。

- ・ クロック出力選択レジスタ0, 1 (CKS0, CKS1)
- ・ ポート・モード・レジスタ (PMxx)

(1) クロック出力選択レジスタ0, 1 (CKS0, CKS1)

クロック出力またはブザー周波数出力の端子 (PCLBUZ0, PCLBUZ1) の出力許可/禁止、および出力クロックを設定するレジスタです。

CKS0で、PCLBUZ0の出力するクロックを選択します。

CKS1で、PCLBUZ1の出力するクロックを選択します。

CKS0, CKS1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-2 クロック出力選択レジスタ_n (CKSn) のフォーマット

アドレス : FFFA5H (CKS0), FFFA6H (CKS1) リセット時 : 00H R/W

略号	<input checked="" type="checkbox"/>	6	5	4	3	2	1	0
CKSn	PCLOEn	0	0	0	CSELn	CCSn2	CCSn1	CCSn0

PCLOEn	PCLBUZnの出力許可 / 禁止の指定
0	出力禁止 (デフォルト)
1	出力許可

CSELn	CCSn2	CCSn1	CCSn0	PCLBUZnの出力クロックの選択			
				f _{MAIN} = 5 MHz	f _{MAIN} = 10 MHz	f _{MAIN} = 20 MHz	
0	0	0	0	f _{MAIN}	5 MHz	10 MHz	設定禁止 ^注
0	0	0	1	f _{MAIN} /2	2.5 MHz	5 MHz	10 MHz
0	0	1	0	f _{MAIN} /2 ²	1.25 MHz	2.5 MHz	5 MHz
0	0	1	1	f _{MAIN} /2 ³	625 kHz	1.25 MHz	2.5 MHz
0	1	0	0	f _{MAIN} /2 ⁴	312.5 kHz	625 kHz	1.25 MHz
0	1	0	1	f _{MAIN} /2 ¹¹	2.44 kHz	4.88 kHz	9.76 kHz
0	1	1	0	f _{MAIN} /2 ¹²	1.22 kHz	2.44 kHz	4.88 kHz
0	1	1	1	f _{MAIN} /2 ¹³	610 Hz	1.22 kHz	2.44 kHz
1	0	0	0	f _{SUB}	32.768 kHz		
1	0	0	1	f _{SUB} /2	16.384 kHz		
1	0	1	0	f _{SUB} /2 ²	8.192 kHz		
1	0	1	1	f _{SUB} /2 ³	4.096 kHz		
1	1	0	0	f _{SUB} /2 ⁴	2.048 kHz		
1	1	0	1	f _{SUB} /2 ⁵	1.024 kHz		
1	1	1	0	f _{SUB} /2 ⁶	512 Hz		
1	1	1	1	f _{SUB} /2 ⁷	256 Hz		

注 出力クロックは、10 MHz以内の範囲で使用してください。

- 注意1. 出力クロックの切り替えは、出力禁止 (PCLOEn = 0) にしてから行ってください。
2. メイン・システム・クロック選択時 (CSELn = 0) にSTOPモードに移行する場合は、STOP命令前にPCLOEn = 0にしてください。サブシステム・クロック選択時 (CSELn = 1) は、STOPモード時にクロック出力が可能のためPCLOEn = 1に設定可能です。

備考1 . n = 0, 1

- 2 . f_{MAIN} : メイン・システム・クロック周波数
f_{SUB} : サブシステム・クロック周波数

(2) ポート・モード・レジスタ (PM_{xx})

ポートの入力/出力を1ビット単位で設定するレジスタです。

P140/PCLBUZ0, P_{xx}/INTP7/PCLBUZ1端子をクロック出力/ブザー出力機能として使用するとき、該当のポート・モード・レジスタの出力ラッチに0を設定してください。

ポート・モード・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、FFHになります。

備考 xx = 55 (78K0R/KF3-C) , xx = 141 (78K0R/KG3-C)

図9-3 ポート・モード・レジスタのフォーマット (78K0R/KF3-C)

アドレス : FFF25H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM5	1	1	PM55	PM54	PM53	PM52	PM51	PM50

アドレス : FFF2EH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM14	1	1	1	PM144	PM143	PM142	1	PM140

PM _m n	P _m n端子の入出力モードの選択 (m = 5, 14 ; n = 0-5)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

図9-4 ポート・モード・レジスタのフォーマット (78K0R/KG3-C)

アドレス : FFF2EH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM14	1	1	PM145	PM144	PM143	PM142	PM141	PM140

PM14 _n	P14 _n 端子の入出力モードの選択 (n = 0-5)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

9.4 クロック出力/ブザー出力制御回路の動作

1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

出力端子は、PCLBUZ0とPCLBUZ1の2つがあります。

PCLBUZ0は、クロック出力選択レジスタ0 (CKS0) で選択したクロック/ブザーを出力します。

PCLBUZ1は、クロック出力選択レジスタ1 (CKS1) で選択したクロック/ブザーを出力します。

9.4.1 出力端子の動作

PCLBUZnは、次の手順で出力します。

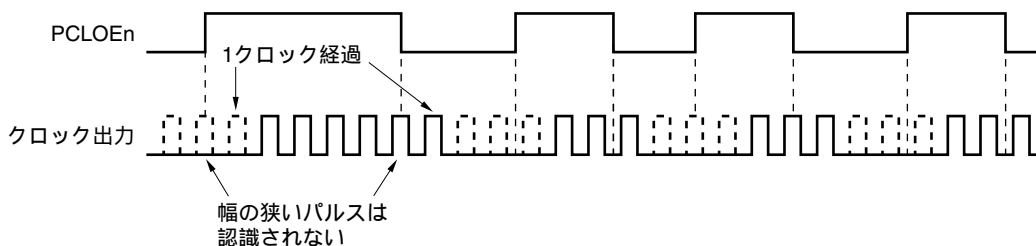
PCLBUZn端子のクロック出力選択レジスタ (CKSn) のビット0-3 (CCSn0-CCSn2, CSELn) で出力周波数を選択する (出力は禁止の状態)。

CKSnのビット7 (PCLOEn) に1を設定し、クロック出力/ブザー出力を許可する。

備考1. クロック出力用として使用するときの制御回路は、クロック出力の出力許可/禁止 (PCLOEn) を切り替えてから1クロック後にクロック出力を開始/停止します。このとき幅の狭いパルスは出力されません。PCLOEnによる出力の許可/停止とクロック出力のタイミングを図9-5に示します。

2. $n = 0, 1$

図9-5 リモコン出力応用例



第10章 A/Dコンバータ

A/Dコンバータのアナログ入力チャンネル数は、製品によって異なります。

	78K0R/KF3-C (μ PD78F1846A, 78F1847A)	78K0R/KG3-C (μ PD78F1848A, 78F1849A)
アナログ入力チャンネル	12ch (ANI0-ANI11)	16ch (ANI0-ANI15)

10.1 A/Dコンバータの機能

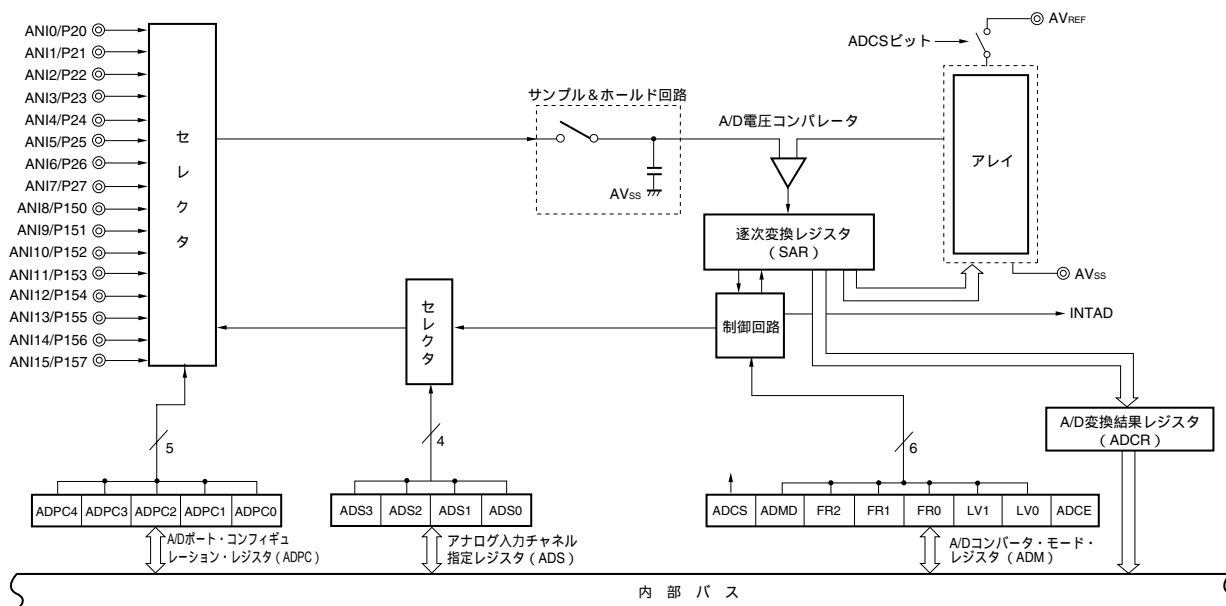
A/Dコンバータは、アナログ入力をデジタル値に変換する10ビット分解能のコンバータで、最大16チャンネルのA/Dコンバータ・アナログ入力 (ANI0-ANI15) アナログ入力を制御できる構成になっています。

A/Dコンバータには、次のような機能があります。

・10ビット分解能A/D変換

ANI0-ANI15からアナログ入力を1チャンネル選択し、10ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求 (INTAD) を発生します。

図10 - 1 A/Dコンバータのブロック図



備考 ANI0-ANI11 : 78K0R/KF3-C

ANI0-ANI15 : 78K0R/KG3-C

10.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

(1) ANI0-ANI15端子

A/Dコンバータの16チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は、入出力ポートとして使用できます。

備考 ANI0-ANI11 : 78K0R/KF3-C

ANI0-ANI15 : 78K0R/KG3-C

(2) サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし、A/D電圧コンパレータに送ります。A/D変換動作中は、サンプリングしたアナログ入力電圧を保持します。

(3) A/D電圧コンパレータ

アレイの電圧タップから発生した電圧と、アナログ入力電圧をA/D電圧コンパレータで比較します。比較した結果、アナログ入力電圧がリファレンス電圧 ($1/2 AV_{REF}$) より大きい場合には、逐次変換レジスタ (SAR) の最上位ビット (MSB) をセットします。アナログ入力電圧がリファレンス電圧 ($1/2 AV_{REF}$) より小さい場合には、SARレジスタのMSBをリセットします。

次にSARレジスタのビット10が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット11の値によって、アレイの電圧タップが選択されます。

ビット11 = 0 : ($1/4 AV_{REF}$)

ビット11 = 1 : ($3/4 AV_{REF}$)

アレイの電圧タップとアナログ入力電圧を比較し、その結果でSARレジスタのビット10を操作します。

アナログ入力電圧 アレイの電圧タップ : ビット10 = 1

アナログ入力電圧 アレイの電圧タップ : ビット10 = 0

このような比較をSARレジスタのビット0まで続けます。

(4) アレイ

アナログ入力より入力された電圧の比較電圧を生成します。

(5) 逐次変換レジスタ (SAR : Successive Approximation Register)

SARレジスタは、アレイからの電圧タップの値がアナログ入力端子の電圧値と一致するデータを、最上位ビット (MSB) から1ビットずつ設定する12ビット・レジスタです。

SARレジスタの最下位ビット (LSB) まで設定すると (A/D変換終了)、そのSARレジスタの内容 (変換結果) は、A/D変換結果レジスタ (ADCR) に保持されます。また、指定されたすべてのA/D変換が終了すると、A/D変換終了割り込み要求信号 (INTAD) が発生します。

(6) 10ビットA/D変換結果レジスタ (ADCR)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果を上位10ビットに保持します（下位6ビットは0に固定）。

(7) 8ビットA/D変換結果レジスタ (ADCRH)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果の上位8ビットを格納します。

(8) 制御回路

A/D変換するアナログ入力の変換時間、変換動作の開始 / 停止などを制御します。A/D変換が終了した場合、INTADを発生します。

(9) AV_{REF}端子

A/Dコンバータの電源端子とA/Dコンバータの基準電圧を入力する端子です。ポート2, 15をすべてアナログ・ポートとして使用する場合は、2.7 V AV_{REF} V_{DD}となる電位にしてください。ポート2, 15のうち、1本でもデジタル・ポートとして使用する場合は、V_{DD}と同電位にしてください。

AV_{REF}, AV_{SS}間にかかる電圧に基づいて、ANI0-ANI15に入力されるアナログ信号をデジタル信号に変換します。

備考 ANI0-ANI11 : 78K0R/KF3-C

ANI0-ANI15 : 78K0R/KG3-C

(10) AV_{SS}端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常にV_{SS}と同電位で使用してください。

10.3 A/Dコンバータで使用するレジスタ

A/Dコンバータは、次の7種類のレジスタを使用します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・A/Dコンバータ・モード・レジスタ (ADM)
- ・A/Dポート・コンフィギュレーション・レジスタ (ADPC)
- ・アナログ入力チャネル指定レジスタ (ADS)
- ・ポート・モード・レジスタ2, 15 (PM2, PM15)
- ・10ビットA/D変換結果レジスタ (ADCR)
- ・8ビットA/D変換結果レジスタ (ADCRH)

(1) 周辺イネーブル・レジスタ0 (PER0)

PER0は、各周辺ハードウェア・マクロの使用可否を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

A/Dコンバータを使用するときは、必ずビット5 (ADCEN) を1に設定してください。

PER0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10 - 2 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICAEN	SAU1EN	SAU0EN	TAU1EN	TAU0EN

ADCEN	A/Dコンバータの入カクロックの制御
0	入力クロック供給停止 ・A/Dコンバータで使用するSFRへのライト不可 ・A/Dコンバータはリセット状態
1	入力クロック供給 ・A/Dコンバータで使用するSFRへのリード/ライト可

注意1. A/Dコンバータの設定をする際には、必ず最初にADCEN = 1の設定を行ってください。ADCEN = 0の場合は、A/Dコンバータの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります。

2. PER0レジスタのビット6には必ず“0”を設定してください。

(2) A/Dコンバータ・モード・レジスタ (ADM)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止を設定するレジスタです。

ADMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-3 A/Dコンバータ・モード・レジスタ (ADM) のフォーマット

アドレス：FFF30H リセット時：00H R/W

略号	[7]	6	5	4	3	2	1	[0]
ADM	ADCS	ADMD	FR2 ^{注1}	FR1 ^{注1}	FR0 ^{注1}	LV1 ^{注1}	LV0 ^{注1}	ADCE

ADCS	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

ADMD	A/D変換動作モードを指定
0	セレクト・モード
1	スキャン・モード

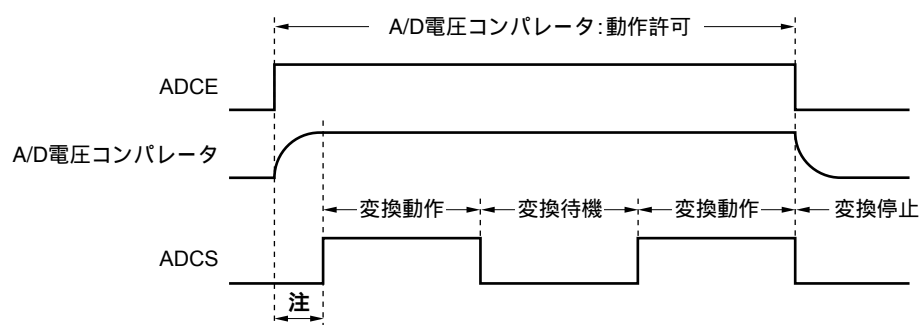
ADCE	A/D電圧コンパレータの動作制御 ^{注2}
0	A/D電圧コンパレータの動作停止
1	A/D電圧コンパレータの動作許可

- 注1. FR2-FR0, LV1, LV0およびA/D変換に関する詳細は、表10-2 A/D変換時間の選択を参照してください。
2. A/D電圧コンパレータはADCSとADCEで動作制御され、動作開始から安定するまでに、1 μ sかかります。このため、ADCEに1を設定してから1 μ s以上経過したあとに、ADCSに1を設定することで、最初の変換データより有効となります。1 μ s以上ウエイトしないでADCSに1を設定した場合は、最初の変換データを無視してください。

表10-1 ADCSとADCEの設定

ADCS	ADCE	A/D変換動作
0	0	停止状態 (DC電力消費バスは存在しません)
0	1	変換待機モード (A/D電圧コンパレータのみ電力消費)
1	0	設定禁止
1	1	変換モード (A/D電圧コンパレータ：動作許可)

図10 - 4 A/D電圧コンパレータ使用時のタイミング・チャート



注 ADCEの立ち上がりから、ADCSの立ち上がりまでの時間は、内部回路安定のため、 $1\mu\text{s}$ 以上必要です。

注意 FR2-FR0, LV1, LV0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止させたのちに行ってください。

表10-2 A/D変換時間の選択 (1/2)

(1) 4.0 V AVREF 5.5 V

A/Dコンバータ・モード・レジスタ (ADM)					モード	変換時間の選択				変換 クロック (f _{AD})
FR2	FR1	FR0	LV1	LV0		f _{CLK} = 2 MHz	f _{CLK} = 5 MHz	f _{CLK} = 10 MHz	f _{CLK} = 20 MHz	
0	0	0	0	0	標準	設定禁止	設定禁止	34.2 μs	17.1 μs	f _{CLK} /20
0	0	1				34.4 μs	17.2 μs	8.6 μs	f _{CLK} /10	
0	1	0				27.6 μs	13.8 μs	6.9 μs	f _{CLK} /8	
0	1	1				52.0 μs	20.8 μs	10.4 μs	5.2 μs	f _{CLK} /6
1	0	0				35.0 μs	14.0 μs	7.0 μs	設定禁止	f _{CLK} /4
1	0	1				26.5 μs	10.6 μs	5.3 μs	設定禁止	f _{CLK} /3
1	1	0				18.0 μs	7.2 μs	設定禁止	設定禁止	f _{CLK} /2
1	1	1				9.5 μs	設定禁止	設定禁止	設定禁止	f _{CLK}
x	x	x	0	1	低電圧	設定禁止				-
0	0	0	1	0	高速1	設定禁止	64.4 μs	32.2 μs	16.1 μs	f _{CLK} /20
0	0	1				32.4 μs	16.2 μs	8.1 μs	f _{CLK} /10	
0	1	0				65.0 μs	26.0 μs	13.0 μs	6.5 μs	f _{CLK} /8
0	1	1				49.0 μs	19.6 μs	9.8 μs	4.9 μs	f _{CLK} /6
1	0	0				33.0 μs	13.2 μs	6.6 μs	3.3 μs	f _{CLK} /4
1	0	1				25.0 μs	10.0 μs	5.0 μs	2.5 μs	f _{CLK} /3
1	1	0				17.0 μs	6.8 μs	3.4 μs	設定禁止	f _{CLK} /2
1	1	1				9.0 μs	3.6 μs	設定禁止	設定禁止	f _{CLK}
0	0	0	1	1	高速2	設定禁止	設定禁止	34.2 μs	17.1 μs	f _{CLK} /20
0	0	1				34.4 μs	17.2 μs	8.6 μs	f _{CLK} /10	
0	1	0				27.6 μs	13.8 μs	6.9 μs	f _{CLK} /8	
0	1	1				52.0 μs	20.8 μs	10.4 μs	5.2 μs	f _{CLK} /6
1	0	0				35.0 μs	14.0 μs	7.0 μs	3.5 μs	f _{CLK} /4
1	0	1				26.5 μs	10.6 μs	5.3 μs	設定禁止	f _{CLK} /3
1	1	0				18.0 μs	7.2 μs	3.6 μs	設定禁止	f _{CLK} /2
1	1	1				9.5 μs	3.8 μs	設定禁止	設定禁止	f _{CLK}

注意1. FR2-FR0, LV1, LV0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止 (ADCS = 0) させたのちに行ってください。

2. 前述の変換時間は、クロック周波数の誤差を含んでいませんので、クロック周波数の誤差を考慮して、変換時間を選択してください。

備考 f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

表10 - 2 A/D変換時間の選択 (2/2)

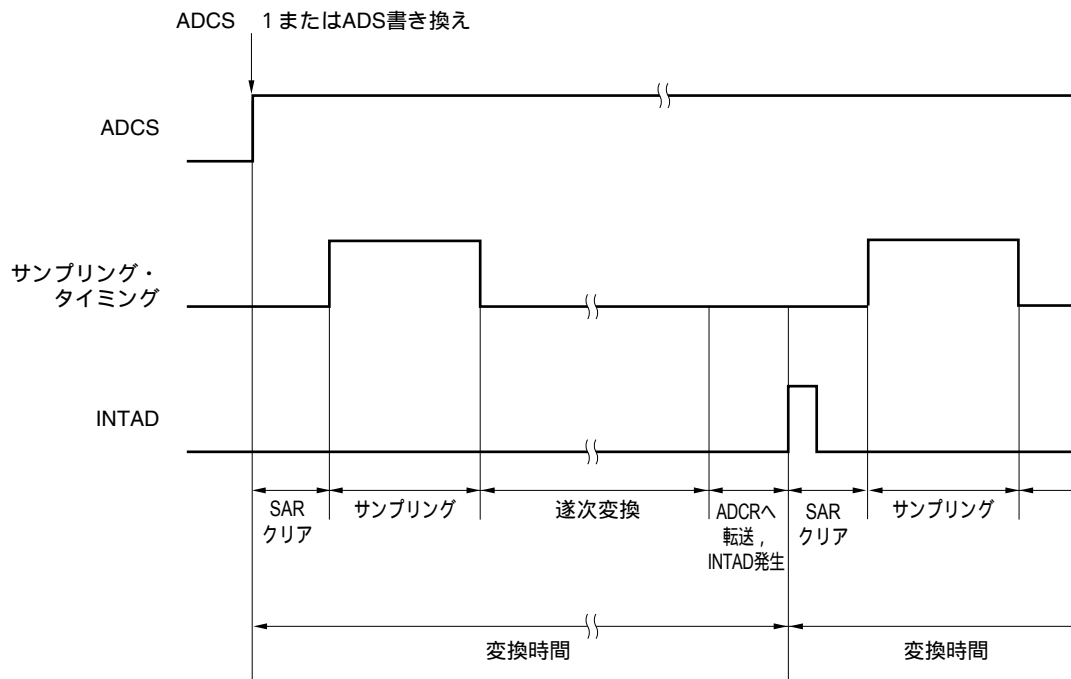
(2) 2.7 V AVREF 5.5 V

A/Dコンバータ・モード・レジスタ (ADM)					モード	変換時間の選択				変換 クロック (f _{AD})
FR2	FR1	FR0	LV1	LV0		f _{CLK} = 2 MHz	f _{CLK} = 5 MHz	f _{CLK} = 10 MHz	f _{CLK} = 20 MHz	
0	0	0	0	0	標準	設定禁止	設定禁止	34.2 μs	17.1 μs	f _{CLK} /20
0	0	1				34.4 μs	17.2 μs	8.6 μs	f _{CLK} /10	
0	1	0				27.6 μs	13.8 μs	設定禁止	f _{CLK} /8	
0	1	1				52.0 μs	20.8 μs	10.4 μs	f _{CLK} /6	
1	0	0				35.0 μs	14.0 μs	設定禁止	f _{CLK} /4	
1	0	1				26.5 μs	10.6 μs	設定禁止	f _{CLK} /3	
1	1	0				18.0 μs	設定禁止	設定禁止	f _{CLK} /2	
1	1	1				9.5 μs	設定禁止	設定禁止	f _{CLK}	
×	×	×	0	1	低電圧	設定禁止				-
×	×	×	1	0	高速1	設定禁止				-
0	0	0	1	1	高速2	設定禁止	設定禁止	34.2 μs	17.1 μs	f _{CLK} /20
0	0	1				34.4 μs	17.2 μs	8.6 μs	f _{CLK} /10	
0	1	0				27.6 μs	13.8 μs	6.9 μs	f _{CLK} /8	
0	1	1				52.0 μs	20.8 μs	10.4 μs	5.2 μs	f _{CLK} /6
1	0	0				35.0 μs	14.0 μs	7.0 μs	3.5 μs	f _{CLK} /4
1	0	1				26.5 μs	10.6 μs	5.3 μs	設定禁止	f _{CLK} /3
1	1	0				18.0 μs	7.2 μs	3.6 μs	設定禁止	f _{CLK} /2
1	1	1				9.5 μs	3.8 μs	設定禁止	設定禁止	f _{CLK}

- 注意1. FR2-FR0, LV1, LV0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止 (ADCS = 0) させたのちに行ってください。
2. 前述の変換時間は、クロック周波数の誤差を含んでいませんので、クロック周波数の誤差を考慮して、変換時間を選択してください。

備考 f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

図10 - 5 A/DコンバータのサンプリングとA/D変換のタイミング



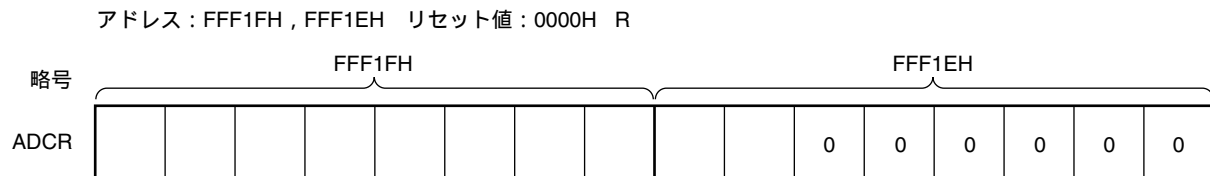
(3) 10ビットA/D変換結果レジスタ (ADCR)

セレクト・モード時にA/D変換結果を保持する16ビットのレジスタです。下位6ビットは“0”固定です。A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされます。変換結果の上位8ビットがFFF1FHに、下位2ビットがFFF1EHの上位2ビットに格納されます。

ADCRは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

図10 - 6 10ビットA/D変換結果レジスタ (ADCR) のフォーマット



注意 A/Dコンバータ・モード・レジスタ (ADM)、アナログ入力チャネル指定レジスタ (ADS)、A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき、ADCRの内容は不定となることがあります。変換結果は、変換動作終了後、ADM、ADS、ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

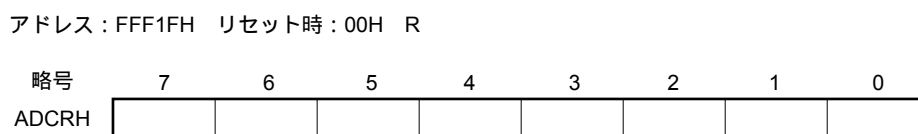
(4) 8ビットA/D変換結果レジスタ (ADCRH)

A/D変換結果を保持する8ビットのレジスタです。10ビット分解能の上位8ビットを格納します。

ADCRHは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

図10 - 7 8ビットA/D変換結果レジスタ (ADCRH) のフォーマット



注意 A/Dコンバータ・モード・レジスタ (ADM)、アナログ入力チャネル指定レジスタ (ADS)、A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき、ADCRHの内容は不定となることがあります。変換結果は、変換動作終了後、ADM、ADS、ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(5) アナログ入力チャンネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力チャンネルを指定するレジスタです。

ADSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10 - 8 アナログ入力チャンネル指定レジスタ (ADS) のフォーマット (1/2)

アドレス : FFF31H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADS	0	0	0	0	ADS3	ADS2	ADS1	ADS0

セレクト・モード (ADMD = 0)

KG3-C	KF3-C	ADS3	ADS2	ADS1	ADS0	アナログ入力 チャンネル	入力ソース
		注1	注1	0	0	0	0
		0	0	0	1	ANI1	P21/ANI1端子
		0	0	1	0	ANI2	P22/ANI2端子
		0	0	1	1	ANI3	P23/ANI3端子
		0	1	0	0	ANI4	P24/ANI4端子
		0	1	0	1	ANI5	P25/ANI5端子
		0	1	1	0	ANI6	P26/ANI6端子
		0	1	1	1	ANI7	P27/ANI7端子
		1	0	0	0	ANI8	P150/ANI8端子
		1	0	0	1	ANI9	P151/ANI9端子
		1	0	1	0	ANI10	P152/ANI10端子
		1	0	1	1	ANI11	P153/ANI11端子
		1	1	0	0	ANI12	P154/ANI12端子
		1	1	0	1	ANI13	P155/ANI13端子
		1	1	1	0	ANI14	P156/ANI14端子
		1	1	1	1	ANI15	P157/ANI15端子
		上記以外				設定禁止	

注1. 設定可

2. 設定不可

注意1. ビット4-7には必ず0を設定してください。

2. A/D変換で使用するチャンネルは、ポート・モード・レジスタ2, 15 (PM2, PM15) で入力モードに選択してください。

3. ADPCでデジタル入出力として設定する端子を、ADSで設定しないでください。

備考 P20/ANI0-P27/ANI7, P150/ANI8-P153/ANI11 : 78K0R/KF3-C

P20/ANI0-P27/ANI7, P150/ANI8-P157/ANI15 : 78K0R/KG3-C

図10 - 8 アナログ入力チャンネル指定レジスタ (ADS) のフォーマット (2/2)

アドレス : FFF31H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADS	0	0	0	0	ADS3	ADS2	ADS1	ADS0

スキャン・モード (ADMD = 1)

ADS3	ADS2	ADS1	ADS0	アナログ入力チャンネル			
				スキャン0	スキャン1	スキャン2	スキャン3
0	0	0	0	ANI0	ANI1	ANI2	ANI3
0	0	0	1	ANI1	ANI2	ANI3	ANI4
0	0	1	0	ANI2	ANI3	ANI4	ANI5
0	0	1	1	ANI3	ANI4	ANI5	ANI6
0	1	0	0	ANI4	ANI5	ANI6	ANI7
0	1	0	1	ANI5	ANI6	ANI7	ANI8
0	1	1	0	ANI6	ANI7	ANI8	ANI9
0	1	1	1	ANI7	ANI8	ANI9	ANI10
上記以外				設定禁止			

注意1. ビット4-7には必ず0を設定してください。

2. A/D変換で使用するチャンネルは、ポート・モード・レジスタ2, 15 (PM2, PM15) で入力モードに選択してください。
3. ADPCでデジタル入出力として設定する端子を、ADSで設定しないでください。

(6) A/Dポート・コンフィギュレーション・レジスタ (ADPC)

ANI0/P20-ANI7/P27, ANI8/P150-ANI15/P157端子を, A/Dコンバータのアナログ入力 / ポートのデジタル入出力に切り替えるレジスタです。

ADPCは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 10Hになります。

図10-9 A/Dポート・コンフィギュレーション・レジスタ (ADPC) のフォーマット

アドレス : F0017H リセット時 : 10H R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	ADPC4	ADPC3	ADPC2	ADPC1	ADPC0

ADP C4	ADP C3	ADP C2	ADP C1	ADP C0	アナログ入力 (A) / デジタル入出力 (D) の切り替え															
					ポート15								ポート2							
					ANI15 /P157	ANI14 /P156	ANI13 /P155	ANI12 /P154	ANI11 /P153	ANI10 /P152	ANI9 /P151	ANI8 /P150	ANI7 /P27	ANI6 /P26	ANI5 /P25	ANI4 /P24	ANI3 /P23	ANI2 /P22	ANI1 /P21	ANI0 /P20
0	0	0	0	0	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	
0	0	0	0	1	A	A	A	A	A	A	A	A	A	A	A	A	A	A	D	
0	0	0	1	0	A	A	A	A	A	A	A	A	A	A	A	A	A	D	D	
0	0	0	1	1	A	A	A	A	A	A	A	A	A	A	A	D	D	D	D	
0	0	1	0	0	A	A	A	A	A	A	A	A	A	A	D	D	D	D	D	
0	0	1	0	1	A	A	A	A	A	A	A	A	A	D	D	D	D	D	D	
0	0	1	1	0	A	A	A	A	A	A	A	A	D	D	D	D	D	D	D	
0	0	1	1	1	A	A	A	A	A	A	A	A	D	D	D	D	D	D	D	
0	1	0	0	0	A	A	A	A	A	A	A	A	D	D	D	D	D	D	D	
0	1	0	0	1	A	A	A	A	A	A	D	D	D	D	D	D	D	D	D	
0	1	0	1	0	A	A	A	A	A	D	D	D	D	D	D	D	D	D	D	
0	1	0	1	1	A	A	A	A	D	D	D	D	D	D	D	D	D	D	D	
0	1	1	0	0	A	A	A	A	D	D	D	D	D	D	D	D	D	D	D	
0	1	1	0	1	A	A	A	D	D	D	D	D	D	D	D	D	D	D	D	
0	1	1	1	0	A	A	D	D	D	D	D	D	D	D	D	D	D	D	D	
0	1	1	1	1	A	D	D	D	D	D	D	D	D	D	D	D	D	D	D	
1	0	0	0	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	
上記以外					設定禁止															

注意1. A/D変換で使用するチャネルは, ポート・モード・レジスタ2, 15 (PM2, PM15) で入力モードに選択してください。

2. ADPCでデジタル入出力として設定する端子を, アナログ入力チャネル指定レジスタ (ADS) で設定しないでください。

3. ADPCレジスタの設定をする際には, 必ず最初に周辺イネーブル・レジスタ0 (PER0) のADCEN = 1の設定を行ってください。ADCEN = 0の場合は, ADPCレジスタへの書き込みは無視され, 設定値は初期値となります。

備考 P20/ANI0-P27/ANI7, P150/ANI8-P153/ANI11 : 78K0R/KF3-C

P20/ANI0-P27/ANI7, P150/ANI8-P157/ANI15 : 78K0R/KG3-C

(7) ポート・モード・レジスタ2, 15 (PM2, PM15)

ANI0/P20-ANI7/P27, ANI8/P150-ANI15/P157 端子をアナログ入力ポートとして使用するとき, PM20-PM27, PM150-PM157にそれぞれ1を設定してください。このときP20-P27, P150-P157の出力ラッチは, 0または1のどちらでもかまいません。

PM20-PM27, PM150-PM157にそれぞれ0を設定した場合は, アナログ入力ポートとして使用することはできません。

PM2, PM15は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

注意 アナログ入力ポートとして設定した端子を読み出した場合は, 端子レベルではなく常に0が読み出されます。

図10 - 11 ポート・モード・レジスタ2, 15 (PM2, PM15) のフォーマット

アドレス : FFF22H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20

アドレス : FFF2FH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM15	PM157	PM156	PM155	PM154	PM153	PM152	PM151	PM150

PMmn	Pmn端子の入出力モードの選択 (mn = 20-27, 150-157)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

備考 PM150-PM153 : 78K0R/KF3-C

PM150-PM157 : 78K0R/KG3-C

ANI0/P20-ANI7/P27, ANI8/P150-ANI15/P157端子の機能は, ADPC, ADS, PM2, PM15の設定で決定します。

表10 - 3 ANI0/P20-ANI7/P27, ANI8/P150-ANI15/P157端子機能の設定

ADPC	PM2, PM15	ADS	ANI0/P20-ANI7/P27, ANI8/P150-ANI15/P157端子
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力 (変換対象)
		ANI非選択	アナログ入力 (非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

備考 P20/ANI0-P27/ANI7, P150/ANI8-P153/ANI11 : 78K0R/KF3-C

P20/ANI0-P27/ANI7, P150/ANI8-P157/ANI15 : 78K0R/KG3-C

10.4 A/Dコンバータの動作

10.4.1 A/Dコンバータの基本動作

周辺イネーブル・レジスタ0 (PER0) のビット5 (ADGEN) をセット (1) し、A/Dコンバータへの入力クロック供給を開始してください。

ADMのビット5-1 (FR2-FR0, LV1, LV0) でA/D変換時間を、ビット6 (ADMD) で動作モードを設定してください。

A/Dコンバータ・モード・レジスタ (ADM) のビット0 (ADCE) をセット (1) し、A/D電圧コンパレータの動作を開始してください。

A/D変換するチャンネルをA/Dポート・コンフィギュレーション・レジスタ (ADPC) でアナログ入力に、ポート・モード・レジスタ (PM2, PM15) で入力モードに設定してください。

A/D変換するチャンネルをアナログ入力チャンネル指定レジスタ (ADS) で選択してください。

ADMのビット7 (ADCS) をセット (1) し、変換動作を開始します。

(から までハードウェアでの動作)

選択したアナログ入力チャンネルに入力している電圧を、サンプル&ホールド回路でサンプリングします。一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、サンプリングされた電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ (SAR) のビット9をセットし、タップ・セレクトは直列抵抗ストリングの電圧タップを (1/2) AV_{REF} にします。

直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差をA/D電圧コンパレータで比較します。もし、アナログ入力 (1/2) AV_{REF} よりも大きければ、SARのMSBをセットしたままです。また、(1/2) AV_{REF} よりも小さければ、MSBはリセットします。

次にSARのビット8が自動的にセットし、次の比較に移ります。ここではすでに結果がセットしているビット9の値によって、次に示すように直列抵抗ストリングの電圧タップを選択します。

・ビット9 = 1 : (3/4) AV_{REF}

・ビット9 = 0 : (1/4) AV_{REF}

この電圧タップとサンプリングされた電圧を比較し、その結果でSARのビット8を次のように操作します。

・サンプリングされた電圧 > 電圧タップ : ビット8 = 1

・サンプリングされた電圧 < 電圧タップ : ビット8 = 0

このような比較をSARのビット0まで続けます。

10ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ (ADCR, ADCRH) に転送され、ラッチします。

同時に、A/D変換終了割り込み要求 (INTAD) を発生させることができます。

以降 から までの動作をADCS = 0になるまで繰り返します。

A/Dコンバータを停止する場合は、ADCS = 0にしてください。

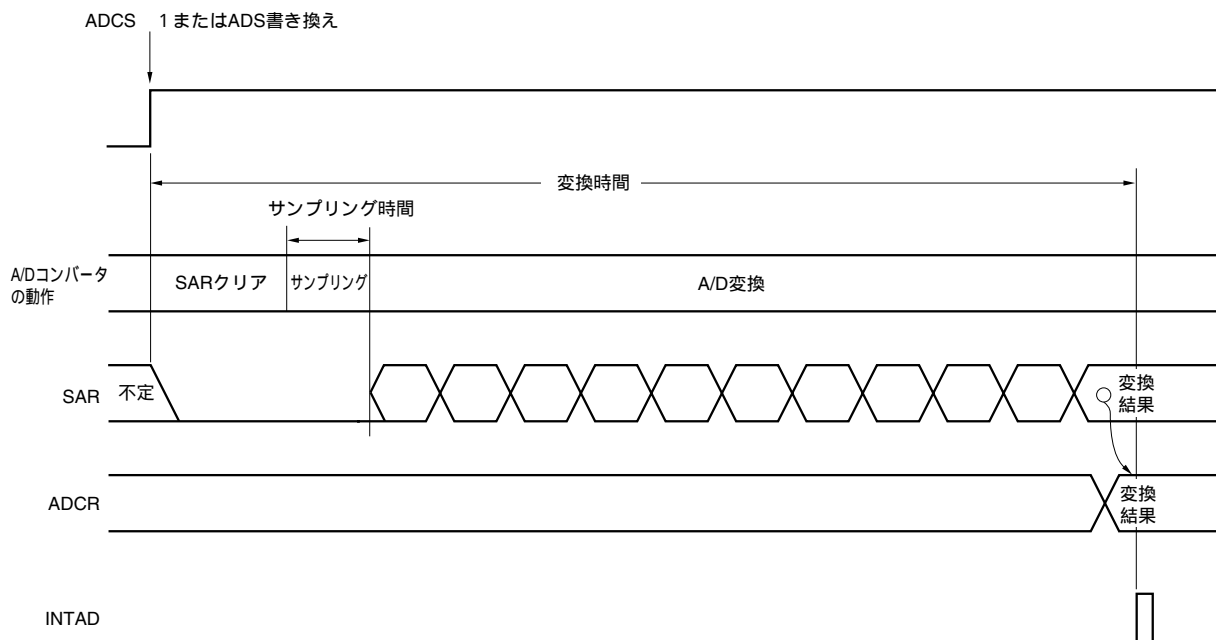
ADCE = 1の状態から、再度A/D変換する場合は、 から開始してください。ADCE = 0の状態から、再度A/D変換する場合は、ADCEをセット (1) し、1 μ s以上ウエイト後に、 を開始してください。また、A/D変換するチャンネルを変更する場合は、 から開始してください。

注意 から までの間は1 μ s以上空けてください。

備考 A/D変換結果レジスタは2種類あります。

- ・ ADCR (16ビット) : 10ビットのA/D変換値を格納します。
- ・ ADCRH (8ビット) : 8ビットのA/D変換値を格納します。

図10 - 12 A/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) をリセット (0) するまで連続的に行われます。

A/D変換動作中に、アナログ入力チャネル指定レジスタ (ADS) に対して書き込み操作を行うと、変換動作は初期化され、ADCSビットがセット (1) されていれば、最初から変換を開始します。

A/D変換結果レジスタ (ADCR, ADCRH) は、リセット信号の発生により0000Hまた00Hとなります。

10.4.2 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI15) に入力されたアナログ入力電圧と理論上のA/D変換結果 (10ビットA/D変換結果レジスタ (ADCR)) には次式に示す関係があります。

$$\text{SAR} = \text{INT} \left(\frac{V_{\text{AIN}}}{V_{\text{REF}}} \times 1024 + 0.5 \right)$$

$$\text{ADCR} = \text{SAR} \times 64$$

または、

$$\left(\frac{\text{ADCR}}{64} - 0.5 \right) \times \frac{V_{\text{REF}}}{1024} < V_{\text{AIN}} < \left(\frac{\text{ADCR}}{64} + 0.5 \right) \times \frac{V_{\text{REF}}}{1024}$$

INT () : () 内の値の整数部を返す関数

V_{AIN} : アナログ入力電圧

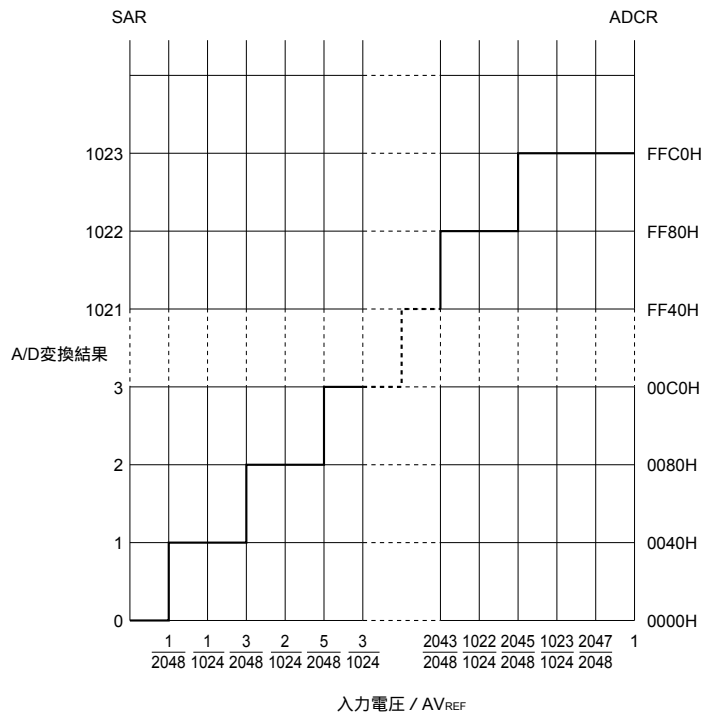
V_{REF} : V_{REF} 端子電圧

ADCR : A/D変換結果レジスタ (ADCR) の値

SAR : 逐次変換レジスタ

図10 - 13にアナログ入力電圧とA/D変換結果の関係を示します。

図10 - 13 アナログ入力電圧とA/D変換結果の関係



備考 ANI0-ANI11 : 78K0R/KF3-C

ANI0-ANI15 : 78K0R/KG3-C

10.4.3 A/Dコンバータの動作モード

A/Dコンバータの動作モードは、セレクト・モードとスキャン・モードがあります。

(1) セレクト・モード

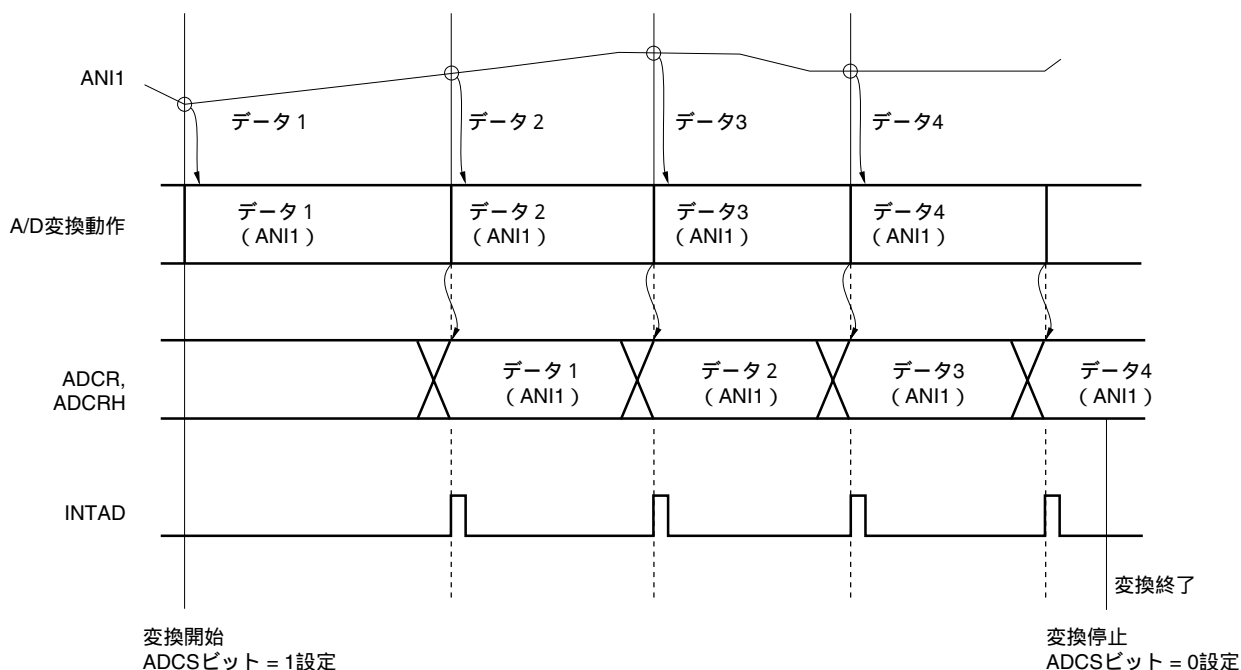
A/Dコンバータ・モード・レジスタ (ADM) のADMDビット = 0の状態では、アナログ入力チャネル指定レジスタ (ADS) で指定された1つのアナログ入力のA/D変換を行います。

A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。

A/D変換終了後は、ADCSビット = 0に設定しない限り連続してA/D変換を繰り返し行います。

変換動作中にADM, ADSに書き込みを行った場合、A/D変換は中断されます。その場合、再度最初からA/D変換を行います。

図10 - 14 セレクト・モード動作タイミング例



(2) スキャン・モード

A/Dコンバータ・モード・レジスタ (ADM) のADMDビット = 1の状態では、アナログ入力チャンネル指定レジスタ (ADS) で指定したスキャン0~スキャン3までの4つのアナログ入力チャンネルのA/D変換を連続して行います。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。

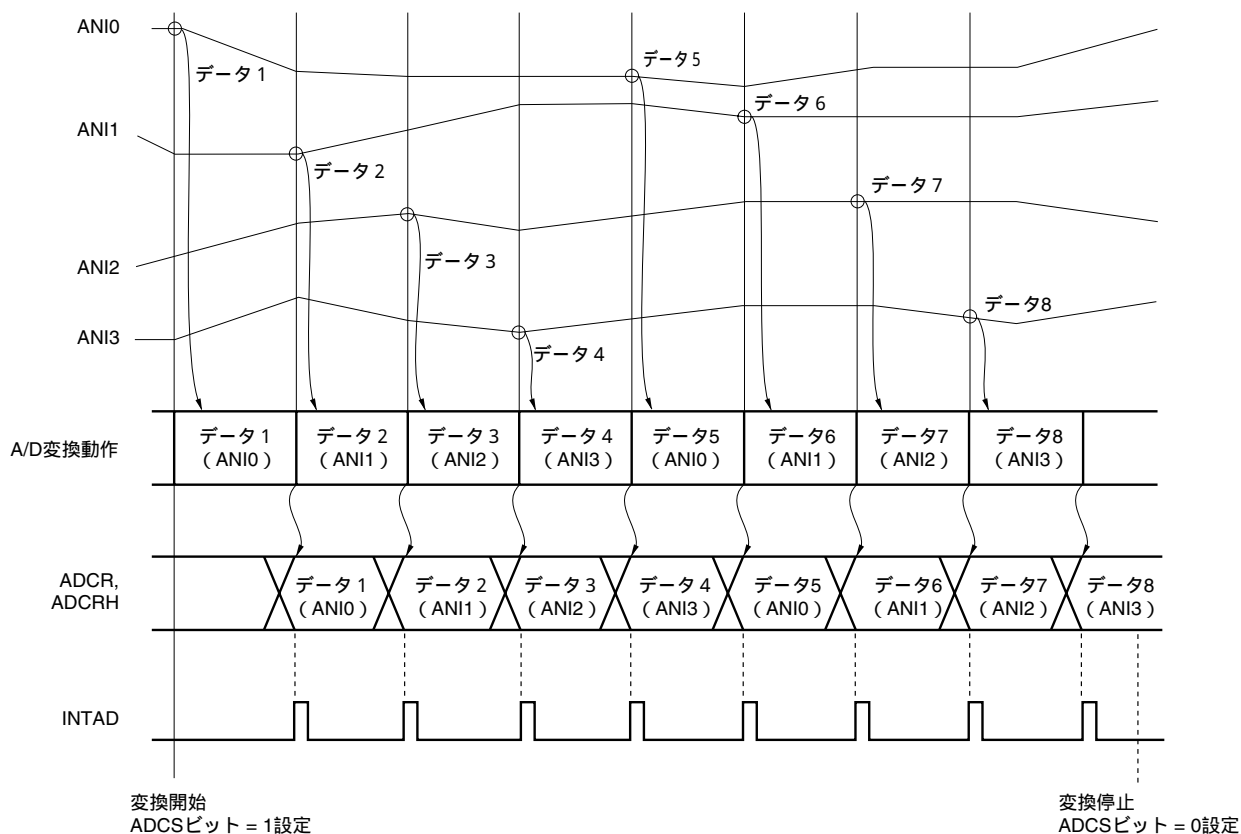
1つのアナログ入力のA/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。

なお、すべてのアナログ入力チャンネルのA/D変換結果は、ADCRに格納されるので、1つのアナログ入力チャンネルのA/D変換が終了したら、ADCRの内容をRAMなどに転送して退避することを推奨します。

A/D変換終了後は、ADCSビット = 0に設定しない限り連続してA/D変換を繰り返し行います。

変換動作中にADM, ADSに書き込みを行った場合、A/D変換は中断されます。その場合、再度スキャン0のアナログ入力チャンネルからA/D変換を行います。

図10 - 15 スキャン・モード動作タイミング例



次に設定方法を説明します。

周辺イネーブル・レジスタ0 (PER0) のビット5 (ADCEN) をセット (1)

ADMのビット5-1 (FR2-FR0, LV1, LV0) で変換時間を, ビット6 (ADMD) で動作モードを選択

A/Dコンバータ・モード・レジスタ (ADM) のビット0 (ADCE) をセット (1)

A/Dポート・コンフィギュレーション・レジスタ (ADPC) のビット4-0 (ADPC4-ADPC0),
ポート・モード・レジスタ2 (PM2) のビット7-0 (PM27-PM20), ポート・モード・レジスタ
15 (PM15) のビット7-0 (PM157-PM150) で使用するチャンネルをアナログ入力に設定
アナログ入力チャンネル指定レジスタ (ADS) のビット3-0 (ADS3-ADS0) で使用するチャンネル
を選択

ADMのビット7 (ADCS) をセット (1) し, A/D変換動作開始

1回のA/D変換が終了し, 割り込み要求信号 (INTAD) 発生

A/D変換データをA/D変換結果レジスタ (ADCR, ADCRH) に転送

<チャンネルを変更する>

ADSのビット3-0 (ADS3-ADS0) で, チャンネルを変更し, A/D変換動作開始

1回のA/D変換が終了し, 割り込み要求信号 (INTAD) 発生

A/D変換データをA/D変換結果レジスタ (ADCR, ADCRH) に転送

< A/D変換を終了する >

ADCSをクリア (0)

ADCEをクリア (0)

周辺イネーブル・レジスタ0 (PER0) のビット5 (ADCEN) をクリア (0)

注意1. から までの間は1 μ s以上空けてください。

2. は, から までの間に行っても, 問題ありません。

3. は省略可能です。ただし, この場合には のあと, 最初の変換データは無視してください。

4. から までの時間は, ADMのビット5-1 (FR2-FR0, LV1, LV0) で設定した変換時間とは
異なります。 から までの時間が, FR2-FR0, LV1, LV0で設定した変換時間となります。

備考 PM153-PM150 : 78K0R/KF3-C

PM157-PM150 : 78K0R/KG3-C

10.5 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。

分解能10ビットのとき

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098 \% \text{FSR} \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2$ LSBの誤差です。A/Dコンバータでは、 $\pm 1/2$ LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

図10 - 16 総合誤差

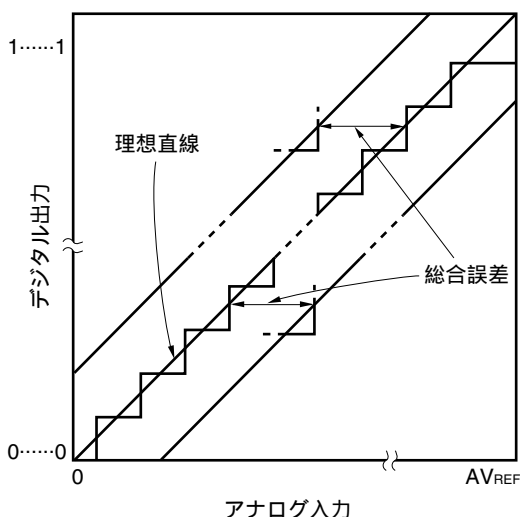
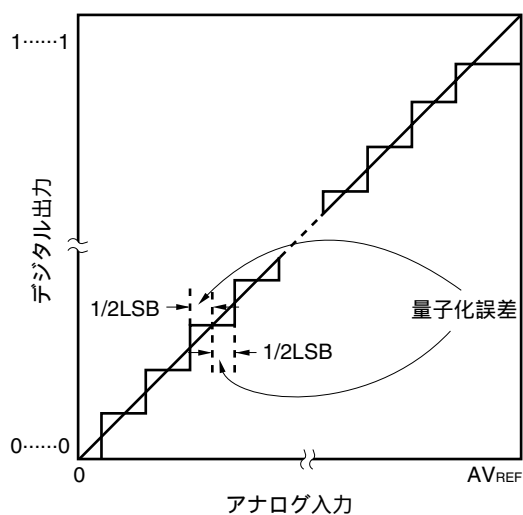


図10 - 17 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値（1/2 LSB）との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0.....001から0.....010に変化するときの、アナログ入力電圧の実測値と理論値（3/2 LSB）との差を表します。

(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値（フルスケール - 3/2 LSB）との差を表します。

(6) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。同一チャンネルのアナログ入力端子に印加する電圧をAV_{SS}からAV_{REF0}まで少しずつ単調増加させた場合のA/D変換の基本特性を示します。入力電圧が増減する場合や複数チャンネルを使用する場合は、10.5 (2) 総合誤差を参照してください。

図10 - 18 ゼロスケール誤差

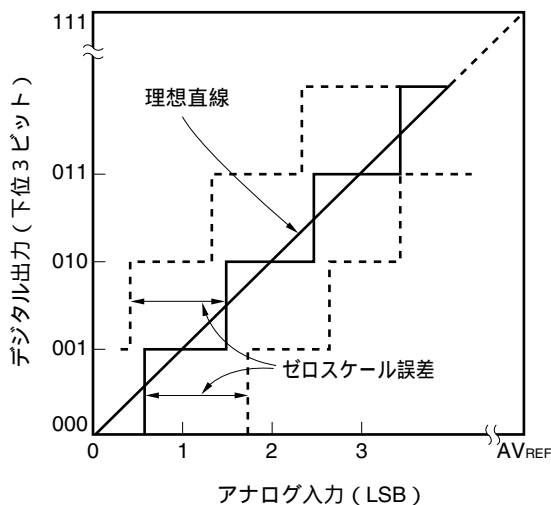


図10 - 19 フルスケール誤差

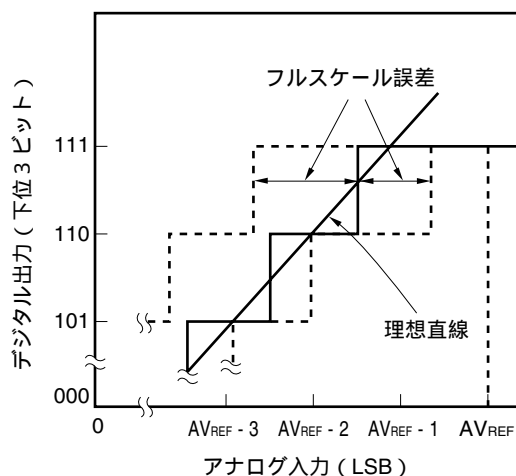


図10 - 20 積分直線性誤差

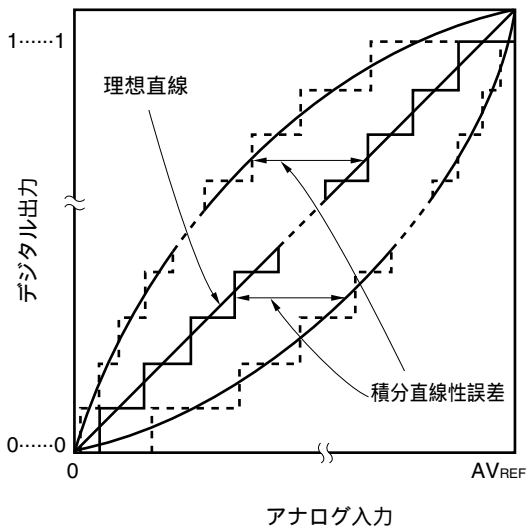
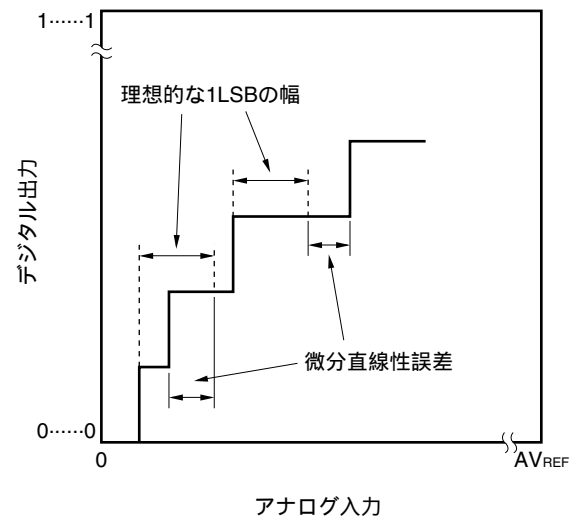


図10 - 21 微分直線性誤差

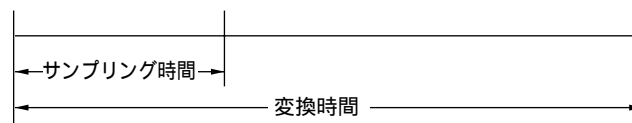
**(8) 変換時間**

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



10.6 A/Dコンバータの注意事項

(1) STOPモード時の動作電流について

STOPモードに移行する場合は、A/Dコンバータを停止（A/Dコンバータ・モード・レジスタ（ADM）のビット7（ADCS）を0）させてから移行してください。このときA/Dコンバータ・モード・レジスタ（ADM）のビット0（ADCE）も0にすることにより、動作電流を低減させることができます。

スタンバイ状態から再度動作する場合、割り込み要求フラグ・レジスタ1L（IF1L）のビット0（ADIF）をクリア（0）してから、動作開始してください。

(2) A/Dコンバータの停止時の電流低減について

A/Dコンバータ停止時は、A/Dコンバータ・モード・レジスタ（ADM）のビット7（ADCS）とビット0（ADCE）を0にしていれば、 AV_{REF} へ電圧を印加していてもA/Dコンバータにより電流が増大することはありません。

(3) ANI0-ANI15入力範囲について

ANI0-ANI15入力電圧は規格の範囲内でご使用ください。特に AV_{REF} 以上、 AV_{SS} 以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

(4) 競合動作について

変換終了時のA/D変換結果レジスタ（ADCR, ADCRH）ライトと命令によるADCR, ADCRHリードとの競合

ADCR, ADCRHリードが優先されます。リードしたあと、新しい変換結果がADCR, ADCRHにライトされます。

変換終了時のADCR, ADCRHライトとA/Dコンバータ・モード・レジスタ（ADM）ライト、アナログ入力チャンネル指定レジスタ（ADS）またはA/Dポート・コンフィギュレーション・レジスタ（ADPC）ライトの競合

ADM, ADS, ADPCへのライトが優先されます。ADCR, ADCRHへのライトはされません。また、変換終了割り込み信号（INTAD）も発生しません。

(5) ノイズ対策について

10ビット分解能を保つためには、 AV_{REF} , ANI0-ANI15端子へのノイズに注意する必要があります。

電源には等価抵抗が小さく、周波数応答のよいコンデンサを接続してください。

アナログ入力源の出カインピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図10-22のようにCを外付けすることを推奨します。

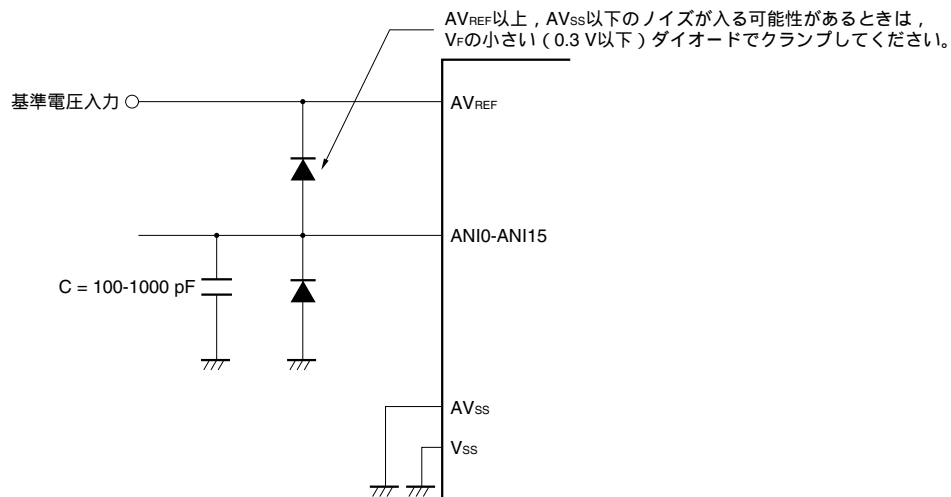
変換中においては、他の端子とスイッチングしないようにしてください。

変換開始直後にHALTモードに設定すると、精度が向上します。

備考 ANI0-ANI11 : 78K0R/KF3-C

ANI0-ANI15 : 78K0R/KG3-C

図10 - 22 アナログ入力端子の処理



(6) ANI0/P20-ANI7/P27, ANI8/P150-ANI15/P157

アナログ入力 (ANI0-ANI15) 端子は入力ポート (P20-P27, P150-P157) 端子と兼用になっています。ANI0-ANI15のいずれかを選択してA/D変換をする場合、変換中にP20-P27, P150-P157に対してアクセスしないでください。変換分解能が低下することがあります。またP20-P27, P150-P157として使用する端子の選択は、AVREFから最も遠いANI0/P20より行うことを推奨します。

A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

(7) ANI0-ANI15端子の入カインピーダンスについて

このA/Dコンバータでは、サンプリング時間で内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを1k以下にし、出力インピーダンスが高いときはANI0-ANI15端子に100 pF程度のコンデンサを付けることを推奨します (図10 - 22参照)。

(8) AVREF端子の入カインピーダンスについて

AVREF端子とAVSS端子の間には数十kの直列抵抗ストリングが接続されています。

したがって、基準電圧源の出力インピーダンスが高い場合、AVREF端子とAVSS端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。

備考 P20/ANI0-P27/ANI7, P150/ANI8-P153/ANI11 : 78K0R/KF3-C
P20/ANI0-P27/ANI7, P150/ANI8-P157/ANI15 : 78K0R/KG3-C

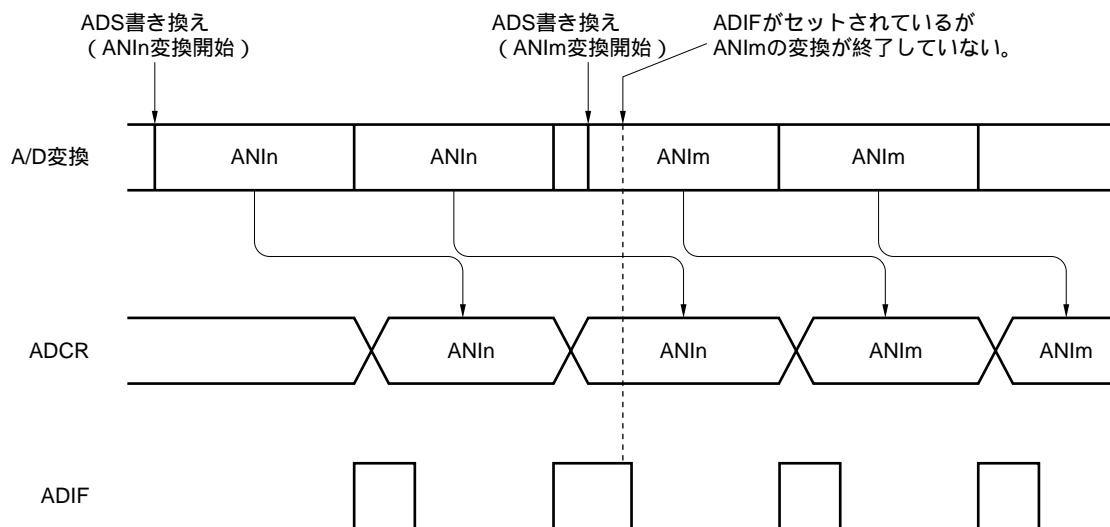
(9) 割り込み要求フラグ (ADIF) について

アナログ入力チャネル指定レジスタ (ADS) を変更しても割り込み要求フラグ (ADIF) はクリア (0) されません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADS書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびADIFがセットされている場合があります。ADS書き換え直後にADIFを読み出すと、変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされていることとなりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFをクリア (0) してください。

図10 - 23 A/D変換終了割り込み要求発生タイミング



備考 n = 0-11, m = 0-11 : 78K0R/KF3-C
n = 0-15, m = 0-15 : 78K0R/KG3-C

(10) A/D変換スタート直後の変換結果について

ADCEビット = 1にしてから、 $1\mu\text{s}$ 以内にADCSビット = 1にした場合、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求(INTAD)をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

(11) A/D変換結果レジスタ (ADCR, ADCRH) の読み出しについて

A/Dコンバータ・モード・レジスタ (ADM)、アナログ入力チャネル指定レジスタ (ADS)、A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき、ADCR, ADCRHの内容は不定となることがあります。変換結果は、変換動作終了後、ADM, ADS, ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されることがあります。

(12) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図10 - 24 ANIn端子内部等価回路

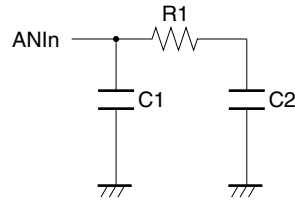


表10 - 4 等価回路の各抵抗と容量値 (参考値)

AVREF	モード	R1	C1	C2
4.0 V V _{DD} 5.5 V	標準	5.2 k	8 pF	6.3 pF
	高速1	5.2 k		
	高速2	7.8 k		
2.7 V V _{DD} < 4.0 V	標準	18.6 k		
	高速2	7.8 k		

備考1. 表10 - 4の各抵抗と容量値は保証値ではありません。

2. 78K0R/KF3-C : n = 0-11

78K0R/KG3-C : n = 0-15

(13) A/Dコンバータの動作開始について

A/Dコンバータの動作は、AVREFの電圧が安定してから開始してください。

第11章 シリアル・アレイ・ユニット

シリアル・アレイ・ユニットは1つのユニットに4つのシリアル・チャンネルを持ち、各種シリアル・インタフェース（3線シリアル（CSI）、UART、簡易I²C）をいくつか組み合わせて使用できます。

78K0R/Kx3-Cで対応している、各チャンネルの機能割り当ては次のようになっています。

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	-
	1	CSI01		-
	2	CSI10	UART1	IIC10
	3	-		-
1	0	CSI20	UART2	IIC20
	1	-		-

（組み合わせ例） ユニット0のチャンネル0, 1で「UART0」を使用するときは、CSI00やCSI01を使用することはできませんが、CSI10またはUART1またはIIC10は使用することができます。

11.1 シリアル・アレイ・ユニットの機能

78K0R/Kx3-Cで対応している各シリアル・インタフェースの特徴を示します。

11.1.1 3線シリアルI/O (CSI00, CSI01, CSI10, CSI20)

シリアル・クロック (f_{SCK}) とシリアル・データ (SI, SO) の3本のラインによる、クロック同期式通信機能です。

[データ送受信]

- ・ 7, 8ビットのデータ長
- ・ 送受信データの位相制御
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定

[クロック制御]

- ・ マスタ/スレーブの選択
- ・ 入出力クロックの位相制御
- ・ プリスケールとチャンネル内カウンタによる転送周期の設定
- ・ 最大転送レート マスタ通信時：Max. f_{CLK}/4, スレーブ通信時：Max. f_{MCK}/6^注

[割り込み機能]

- ・ 転送完了割り込み/バッファ空き割り込み

[エラー検出フラグ]

- ・ オーバラン・エラー

注 ただし、 \overline{SCK} サイクル・タイム (t_{KCY}) の特性を満たす範囲内で使用してください(第29章 電気的特性参照)

11.1.2 UART (UART0, UART1, UART2)

シリアル・データ送信 (TxD) とシリアル・データ受信 (RxD) の2本のラインによる、調歩同期式通信機能です。通信相手と非同期で (内部ポー・レートを使用して)、データを送受信します。送信専用 (偶数チャンネル) と受信専用 (奇数チャンネル) の2チャンネルを使用することで、全2重UART通信が実現できます。

[データ送受信]

- ・ 5, 7, 8ビットのデータ長
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定, 反転の選択
- ・ パリティ・ビット付加, パリティ・チェック機能
- ・ ストップ・ビット付加

[割り込み機能]

- ・ 転送完了割り込み/バッファ空き割り込み
- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラー

11. 1. 3 簡易I²C (IIC10, IIC20)

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは、EEPROM, フラッシュ・メモリ, A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能し、ウエイト検出の機能もありません。

スタート・コンディション, ストップ・コンディションは、制御レジスタの操作とともに、ACスペックを守るようにソフトウェアで処理してください。

[データ送受信]

- ・マスタ送信, マスタ受信 (シングル・マスタでのマスタ機能のみ)
- ・ACK出力機能^注, ACK検出機能
- ・8ビットのデータ長
(アドレス送信時は、上位7ビットでアドレス指定し、最下位1ビットでR/W制御)
- ・スタート・コンディション, ストップ・コンディション手動発生

[割り込み機能]

- ・転送完了割り込み

[エラー検出フラグ]

- ・パリティ・エラー (ACKエラー)

[簡易I²Cでサポートしていない機能]

- ・スレーブ送信, スレーブ受信
- ・アービトレーション負け検出機能
- ・ウエイト検出機能

注 最終データの受信時は、SOEmn (SOEmレジスタ) ビットに0を書き込み、シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は、11. 7. 3 (2) **処理フロー**を参照してください。

備考1. フル機能のI²Cバスをご使用の場合は、**第12章 シリアル・インタフェースIICA** を参照してください。

2. m: ユニット番号 (m = 0, 1) n: チャネル番号 (n = 0, 2)

11.2 シリアル・アレイ・ユニットの構成

シリアル・アレイ・ユニットは、次のハードウェアで構成されています。

表11-1 シリアル・アレイ・ユニットの構成

項 目	構 成
シフト・レジスタ	8ビット
バッファ・レジスタ	シリアル・データ・レジスタmn (SDRmn) の下位8ビット ^注
シリアル・クロック 入出力	SCK00, SCK01, SCK10, SCK20端子 (3線シリアルI/O用) , SCL10, SCL20端子 (簡易I ² C用)
シリアル・データ 入力	SI00, SI01, SI10, SI20端子 (3線シリアルI/O用) , RxD0, RxD1, RxD2端子 (UART用)
シリアル・データ 出力	SO00, SO01, SO10, SO20端子 (3線シリアルI/O用) , TxD0, TxD1, TxD2端子 (UART用) , 出力制御回路
シリアル・データ 入出力	SDA10, SDA20端子 (簡易I ² C用)
制御レジスタ	<p><ユニット設定部のレジスタ></p> <ul style="list-style-type: none"> ・周辺イネーブル・レジスタ0 (PER0) ・シリアル・クロック選択レジスタm (SPSm) ・シリアル・チャンネル許可レジスタm (SEm) ・シリアル・チャンネル開始レジスタm (SSm) ・シリアル・チャンネル停止レジスタm (STm) ・シリアル出力許可レジスタm (SOEm) ・シリアル出力レジスタm (SOm) ・シリアル出力レベル・レジスタm (SOLm) ・ノイズ・フィルタ許可レジスタ0 (NFEN0) <p><各チャンネル部のレジスタ></p> <ul style="list-style-type: none"> ・シリアル・データ・レジスタmn (SDRmn) ・シリアル・モード・レジスタmn (SMRmn) ・シリアル通信動作設定レジスタmn (SCRmn) ・シリアル・ステータス・レジスタmn (SSRmn) ・シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn) ・ポート入力モード・レジスタ0, 1, 14 (PIM0, PIM1, PIM14) ・ポート出力モード・レジスタ0, 1, 14 (POM0, POM1, POM14) ・ポート・モード・レジスタ0, 1, 4, 14 (PM0, PM1, PM4, PM14) ・ポート・レジスタ0, 1, 4, 14 (P0, P1, P4, P14)

注 シリアル・データ・レジスタmn (SDRmn) の下位8ビットは、通信方式により、次のSFR名称でリード/ライト可能です。

- ・CSIp通信時・・・SIOp (CSIpデータ・レジスタ)
- ・UARTq受信時・・・RXDq (UARTq受信データ・レジスタ)
- ・UARTq送信時・・・TXDq (UARTq送信データ・レジスタ)
- ・IICr通信時・・・SIOr (IICrデータ・レジスタ)

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10, 11

p : CSI番号 (p = 00, 01, 10, 20) q : UART番号 (q = 0-2) r : IIC番号 (r = 10, 20)

図11 - 1にシリアル・アレイ・ユニット0のブロック図を示します。

図11 - 1 シリアル・アレイ・ユニット0のブロック図

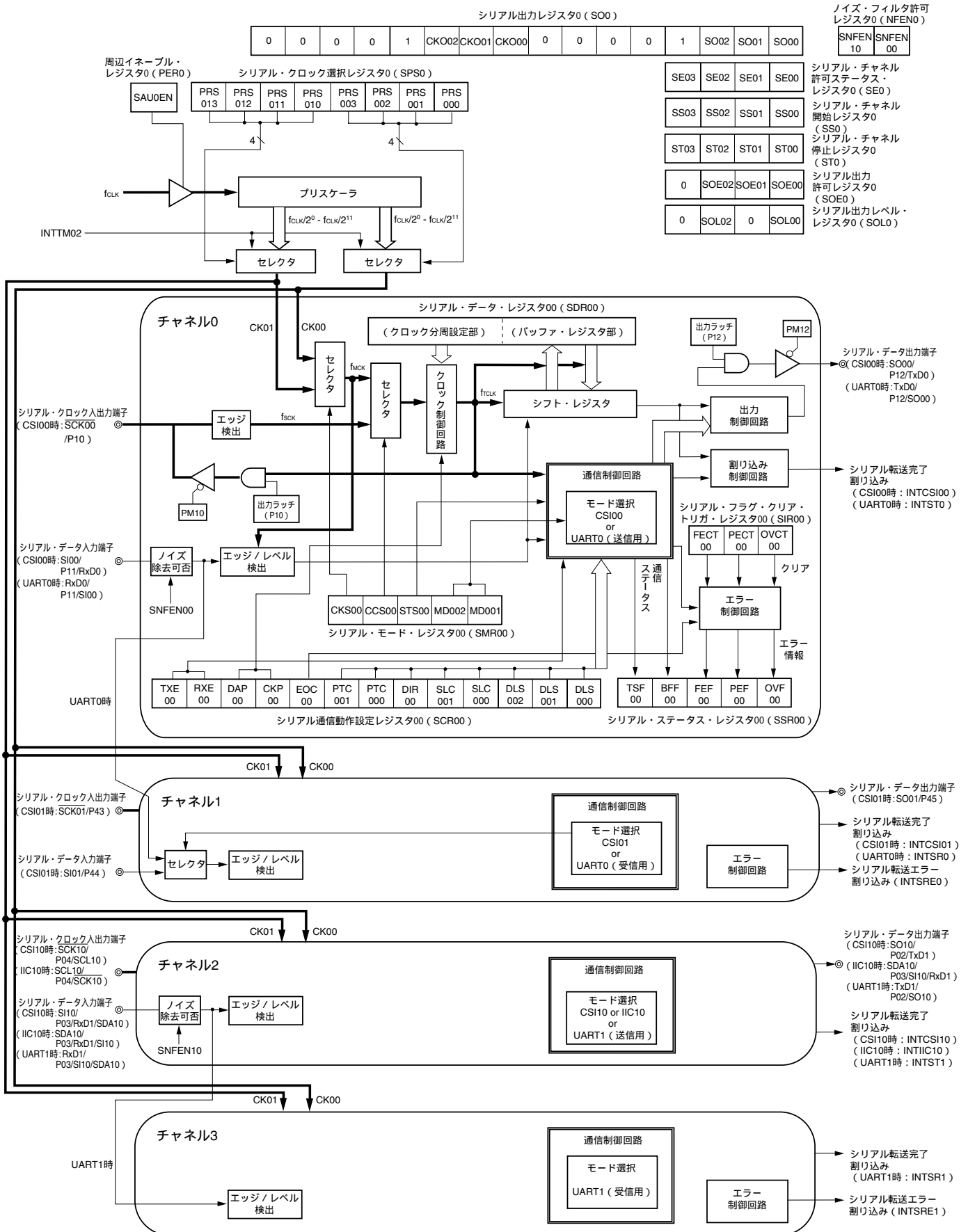
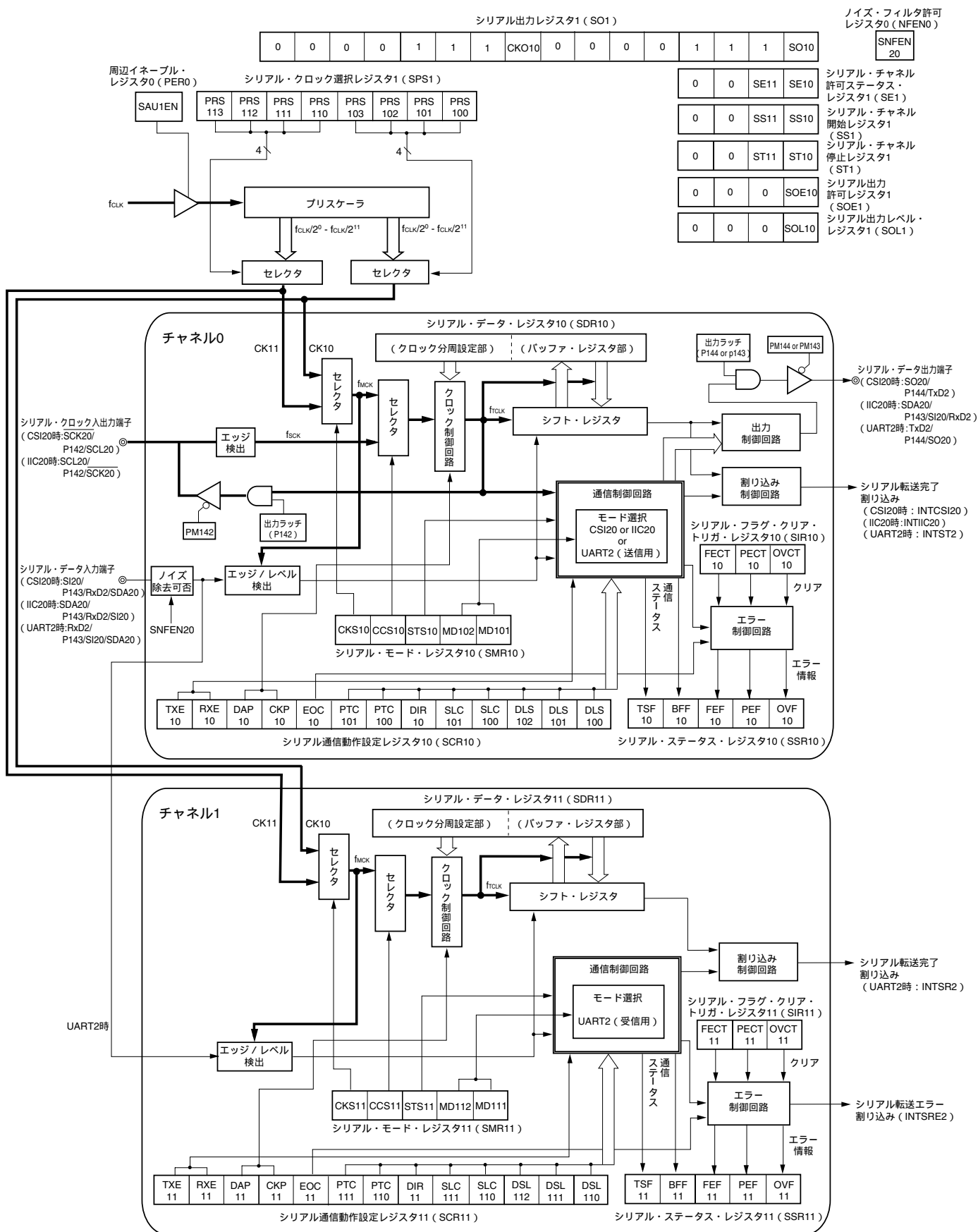


図11 - 2にシリアル・アレイ・ユニット1のブロック図を示します。

図11 - 2 シリアル・アレイ・ユニット1のブロック図



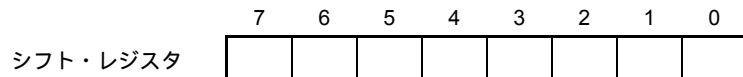
(1) シフト・レジスタ

パラレル シリアルの変換を行う8ビットのレジスタです。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータをリード/ライトするには、シリアル・データ・レジスタmn (SDRmn) の下位8ビットを使用します。

**(2) シリアル・データ・レジスタmn (SDRmn) の下位8ビット**

SDRmnは、チャンネルnの送受信データ・レジスタ (16ビット) です。ビット7-0は送受信バッファ・レジスタとして機能し、ビット15-9の部分は動作クロック (f_{MCK}) の分周設定レジスタとして使われます。

受信時には、シフト・レジスタで変換したパラレル・データを下位8ビットに格納します。送信時は、シフト・レジスタに転送する送信データを下位8ビットに設定します。

下位8ビットに格納するデータは、データ出力順序に関わらず、SCRmnレジスタのビット0-2 (DLSmn0-DLSmn2) の設定によって、次のようになります。

- ・ 5ビット・データ長 (SDRmnレジスタのビット0-4に格納) (UARTモード時のみ設定可)
- ・ 7ビット・データ長 (SDRmnレジスタのビット0-6に格納)
- ・ 8ビット・データ長 (SDRmnレジスタのビット0-7に格納)

SDRmnは16ビット単位でリード/ライト可能です。

またSDRmnの下位8ビットは、通信方式により、次のSFR名称で8ビット単位でリード/ライト可能^注です。

- ・ CSIp通信時・・・SIOp (CSIpデータ・レジスタ)
- ・ UARTq受信時・・・RXDq (UARTq受信データ・レジスタ)
- ・ UARTq送信時・・・TXDq (UARTq送信データ・レジスタ)
- ・ IICr通信時・・・SIOr (IICrデータ・レジスタ)

注 ただし動作停止 (SEmn = 0) 時は、8ビット単位のライト禁止

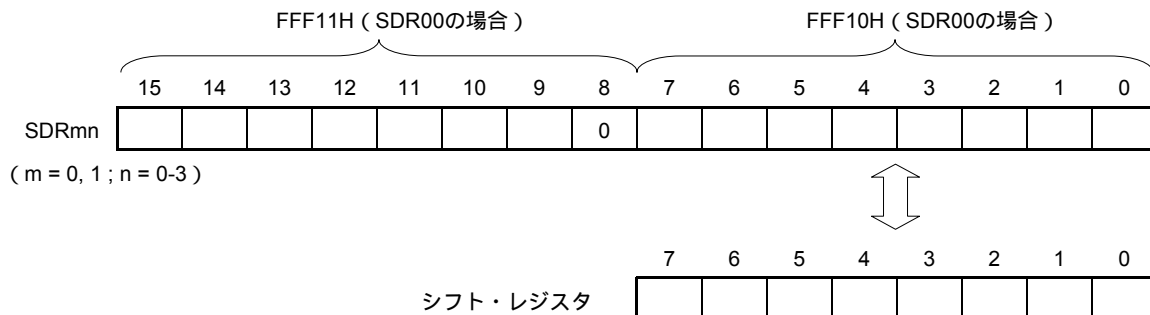
リセット信号の発生により、SDRmnは0000Hになります。

備考1. 受信完了後、ビット0-7内でデータ長を越える部分のビットには、“0”が格納されます。

2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10, 11
 p : CSI番号 (p = 00, 01, 10, 20) q : UART番号 (q = 0-2) r : IIC番号 (r = 10, 20)

図11 - 3 シリアル・データ・レジスタ mn (SDR mn) のフォーマット

アドレス : FFF10H, FFF11H (SDR00) , FFF12H, FFF13H (SDR01) , リセット時 : 0000H R/W
 FFF44H, FFF45H (SDR02) , FFF46H, FFF47H (SDR03) ,
 FFF48H, FFF49H (SDR10) , FFF4AH, FFF4BH (SDR11)



注意 ビット8は、必ず0を設定してください。

備考1. SDR mn の上位7ビットの機能については、11. 3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

2. m : ユニット番号 ($m = 0, 1$) n : チャンネル番号 ($n = 0-3$) $mn = 00-03, 10, 11$

11.3 シリアル・アレイ・ユニットを制御するレジスタ

シリアル・アレイ・ユニットを制御するレジスタを次に示します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・シリアル・クロック選択レジスタm (SPSm)
- ・シリアル・モード・レジスタmn (SMRmn)
- ・シリアル通信動作設定レジスタmn (SCRmn)
- ・シリアル・データ・レジスタmn (SDRmn)
- ・シリアル・ステータス・レジスタmn (SSRmn)
- ・シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)
- ・シリアル・チャンネル許可ステータス・レジスタm (SEm)
- ・シリアル・チャンネル開始レジスタm (SSm)
- ・シリアル・チャンネル停止レジスタm (STm)
- ・シリアル出力許可レジスタm (SOEm)
- ・シリアル出力レベル・レジスタm (SOLm)
- ・シリアル出力レジスタm (SOM)
- ・ノイズ・フィルタ許可レジスタ0 (NFEN0)
- ・ポート入力モード・レジスタ0, 1, 14 (PIM0, PIM1, PIM14)
- ・ポート出力モード・レジスタ0, 1, 14 (POM0, POM1, POM14)
- ・ポート・モード・レジスタ0, 1, 4, 14 (PM0, PM1, PM4, PM14)
- ・ポート・レジスタ0, 1, 4, 14 (P0, P1, P4, P14)

備考 m : ユニット番号 (m = 0, 1)

n : チャンネル番号 (n = 0-3)

mn = 00-03, 10, 11

(1) 周辺イネーブル・レジスタ0 (PER0)

PER0は、各周辺ハードウェア・マクロの使用可否を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を使用するときは、必ずビット2 (SAU0EN) に1を設定してください。

シリアル・アレイ・ユニット1を使用するときは、必ずビット3 (SAU1EN) に1を設定してください。

PER0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11-4 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICAEN	SAU1EN	SAU0EN	TAU1EN	TAU0EN

SAUmEN	シリアル・アレイ・ユニットmの入カクロックの制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニットmで使用するSFRへのライト不可 ・シリアル・アレイ・ユニットmはリセット状態
1	入力クロック供給 ・シリアル・アレイ・ユニットmで使用するSFRへのリード/ライト可

- 注意1.** シリアル・アレイ・ユニットmの設定をする際には、必ず最初にSAUmEN = 1の設定を行ってください。SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります（ノイズ・フィルタ許可レジスタ (NFEN0)、ポート入力モード・レジスタ (PIM0, PIM1, PIM14)、ポート出力モード・レジスタ (POM0, POM1, POM14)、ポート・モード・レジスタ (PM0, PM1, PM4, PM14)、ポート・レジスタ (P0, P1, P4, P14) は除く)。
2. PER0レジスタのSAUmENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからSPSmレジスタを設定してください。
3. PER0レジスタのビット6には必ず“0”を設定してください。

備考 m：ユニット番号 (m = 0, 1)

(2) シリアル・クロック選択レジスタm (SPSm)

SPSmは、各チャンネルに共通して供給される2種類の動作クロック (CKm0, CKm1) を選択する16ビット・レジスタです。SPSmのビット7-4でCKm1を、ビット3-0でCKm0を選択します。

SPSmは、動作中 (SEmn = 1のとき) の書き換えは禁止です。

SPSmは16ビット・メモリ操作命令で設定します。

またSPSmの下位8ビットは、SPSmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SPSmは0000Hになります。

図11 - 5 シリアル・クロック選択レジスタm (SPSm) のフォーマット

アドレス : F0126H, F0127H (SPS0) , F0166H, F0167H (SPS1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPSm	0	0	0	0	0	0	0	0	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mp3	PRS mp2	PRS mp1	PRS mp0	動作クロック (CKmp) の選択 ^{注1}	動作クロック (CKmp) の選択 ^{注1}			
					f _{CLK} = 2 MHz	f _{CLK} = 5 MHz	f _{CLK} = 10 MHz	f _{CLK} = 20 MHz
0	0	0	0	f _{CLK}	2 MHz	5 MHz	10 MHz	20 MHz
0	0	0	1	f _{CLK} /2	1 MHz	2.5 MHz	5 MHz	10 MHz
0	0	1	0	f _{CLK} /2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz
0	0	1	1	f _{CLK} /2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz
0	1	0	0	f _{CLK} /2 ⁴	125 kHz	313 kHz	625 kHz	1.25 MHz
0	1	0	1	f _{CLK} /2 ⁵	62.5 kHz	156 kHz	313 kHz	625 kHz
0	1	1	0	f _{CLK} /2 ⁶	31.3 kHz	78.1 kHz	156 kHz	313 kHz
0	1	1	1	f _{CLK} /2 ⁷	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz
1	0	0	0	f _{CLK} /2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz
1	0	0	1	f _{CLK} /2 ⁹	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz
1	0	1	0	f _{CLK} /2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz
1	0	1	1	f _{CLK} /2 ¹¹	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz
1	1	1	1	m = 0の場合 : INTTM02 ^{注2} , m = 1の場合 : 設定禁止				
上記以外				設定禁止				

注1. f_{CLK}に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、シリアル・アレイ・ユニット (SAU) の動作を停止 (STm = 000FH) させてから変更してください。動作クロックにINTTM02を選択する場合は、タイマ・アレイ・ユニット (TAU0) も停止 (TT0 = 00FFH) させてください。

2. TAU0とSAU0を次のように設定することにより、f_{CLK}の周波数選択に関係なくサブシステム・クロックの分周固定でSAU0を動作させることが可能です。

<TAU0> TAU0のチャンネル2の入力クロックにf_{SUB}/4を選択 (TIS02 = 1)

<SAU0> SPS0レジスタでINTTM02を選択

ただし、f_{CLK}を変更する場合は、上記の注1のようにSAU0, TAU0を停止させる必要があります。

注意1. ビット15-8には、必ず0を設定してください。

2. PER0レジスタのSAUmENビットを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考1. f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

f_{SUB} : サブシステム・クロック周波数

2. m : ユニット番号 (m = 0, 1), p = 0, 1

(3) シリアル・モード・レジスタ_{mn} (SMR_{mn})

SMR_{mn}は、チャンネル_nの動作モード設定レジスタです。動作クロック (f_{MCK}) の選択, シリアル・クロック (f_{SCK}) 入力の使用可否, スタート・トリガ設定, 動作モード (CSI, UART, I²C) 設定, 割り込み要因の選択を行います。またUARTモード時のみ, 受信データのレベル反転の設定を行います。

SMR_{mn}は、動作中 (SE_{mn} = 1のとき) の書き換えは禁止です。ただしMD_{mn0}ビットは、動作中でも書き換えをすることができます。

SMR_{mn}は、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0020Hになります。

図11-6 シリアル・モード・レジスタ_{mn} (SMR_{mn}) のフォーマット (1/2)

アドレス : F0110H, F0111H (SMR00) - F0116H, F0117H (SMR03), リセット時 : 0020H R/W
F0150H, F0151H (SMR10), F0152H, F0153H (SMR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMR _{mn}	CKS mn	CCS mn	0	0	0	0	0	STS mn	0	SIS mn0	1	0	0	MD mn2	MD mn1	MD mn0

CKS mn	チャンネル _n の動作クロック (f _{MCK}) の選択
0	SPSmレジスタで設定した動作クロックCK _{m0}
1	SPSmレジスタで設定した動作クロックCK _{m1}
動作クロック (f _{MCK}) は、エッジ検出回路に使用されます。また、CCS _{mn} ビットとSDR _{mn} レジスタの上位7ビットの設定により、転送クロック (f _{TCLK}) を生成します。	

CCS mn	チャンネル _n の転送クロック (f _{TCLK}) の選択
0	CKS _{mn} ビットで指定した動作クロック (f _{MCK}) の分周クロック
1	SCK端子からの入力クロック (CSIモードのスレーブ転送)
転送クロック (f _{TCLK}) は、シフト・レジスタ, 通信制御回路, 出力制御回路, 割り込み制御回路, エラー制御回路に使用されます。CCS _{mn} = 0の場合は、SDR _{mn} レジスタの上位7ビットで (f _{MCK}) の分周設定を行います。	

STS mn	スタート・トリガ要因の選択
0	ソフトウェア・トリガのみ有効 (CSI, UART送信, 簡易I ² C時に選択)
1	RxD端子の有効エッジ (UART受信時に選択)
SSmレジスタに1を設定後, 上記の要因が満たされてから転送開始となります。	

注意 ビット13-9, 7, 4, 3には、必ず0を設定してください。ビット5には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10, 11

図11-6 シリアル・モード・レジスタmn (SMRmn) のフォーマット (2/2)

アドレス : F0110H, F0111H (SMR00) - F0116H, F0117H (SMR03), リセット時 : 0020H R/W
 F0150H, F0151H (SMR10), F0152H, F0153H (SMR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn	0	SIS mn0	1	0	0	MD mn2	MD mn1	MD mn0

SIS mn0	UARTモードでのチャンネルnの受信データのレベル反転の制御
0	立ち下がりエッジをスタートビットとして検出します。 入力される通信データは、そのまま取り込まれます。
1	立ち上がりエッジをスタートビットとして検出します。 入力される通信データは、反転して取り込まれます。

MD mn2	MD mn1	チャンネルnの動作モードの設定
0	0	CSIモード
0	1	UARTモード
1	0	簡易I ² Cモード
1	1	設定禁止

MD mn0	チャンネルnの割り込み要因の選択
0	転送完了割り込み
1	バッファ空き割り込み (転送データがSDRmnレジスタからシフト・レジスタに転送されたタイミングで発生)
連続送信時はMDmn0 = 1として、SDRmnデータが空になったら次送信データの書き込みを行う。	

注意 ビット13-9, 7, 4, 3には、必ず0を設定してください。ビット5には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10, 11

(4) シリアル通信動作設定レジスタmn (SCRmn)

チャンネルnの通信動作設定レジスタです。データ送受信モード、データとクロックの位相、エラー信号のマスク可否、パリティ・ビット、先頭ビット、ストップ・ビット、データ長、などの設定を行います。

SCRmnは、動作中 (SEmn = 1のとき) の書き換えは禁止です。

SCRmnは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0087Hになります。

図11 - 7 シリアル通信動作設定レジスタmn (SCRmn) のフォーマット (1/2)

アドレス : F0118H, F0119H (SCR00) - F011EH, F011FH (SCR03), リセット時 : 0087H R/W
F0158H, F0159H (SCR10), F015AH, F015BH (SCR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLC mn1	SLC mn0	0	DLS mn2	DLS mn1	DLS mn0

TXE mn	RXE mn	チャンネルnの動作モードの設定
0	0	通信を開始しない
0	1	受信のみ
1	0	送信のみ
1	1	送受信を行う

DAP mn	CKP mn	CSIモードでのデータとクロックの位相選択	タイプ
0	0		1
0	1		2
1	0		3
1	1		4

UARTモード、簡易²Cモード時には、必ずDAPmn, CKPmn = 0, 0に設定してください。

EOC mn	エラー割り込み信号 (INTSREx (x = 0-3)) のマスク可否の選択
0	エラー割り込みINTSRExをマスクする (INTSRxはマスクされない)
1	エラー割り込みINTSRExの発生を許可する (エラー発生時にINTSRxはマスクされる)

CSIモード、簡易²Cモード、UART送信時には、EOCmn = 0に設定してください^注。
UART受信時には、EOCmn = 1に設定してください。

注 CSI01をEOC01 = 0で使用しない場合、エラー割り込みINTSRE0が発生する場合があります。

注意 ビット3, 6, 11には、必ず0を設定してください。ビット2には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) mn = 00-03, 10, 11
p : CSI番号 (p = 00, 01, 10, 20)

図11 - 7 シリアル通信動作設定レジスタmn (SCRmn) のフォーマット (2/2)

アドレス : F0118H, F0119H (SCR00) - F011EH, F011FH (SCR03) , リセット時 : 0087H R/W
F0158H, F0159H (SCR10) , F015AH, F015BH (SCR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLC mn1	SLC mn0	0	DLS mn2	DLS mn1	DLS mn0

PTC mn1	PTC mn0	UARTモードでのパリティ・ビットの設定	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力 [※]	パリティ判定を行わない
1	0	偶数パリティを出力	偶数パリティとして判定を行う
1	1	奇数パリティを出力	奇数パリティとして判定を行う

CSIモード、簡易²Cモード時には、必ずPTCmn1, PTCmn0 = 0, 0に設定してください。

DIR mn	CSI, UARTモードでのデータ転送順序の選択	
0	MSBファーストで入出力を行う	
1	LSBファーストで入出力を行う	

簡易²Cモード時には、必ずDIRmn = 0に設定してください。

SLC mn1	SLC mn0	UARTモードでのストップ・ビットの設定	
0	0	ストップ・ビットなし	
0	1	ストップ・ビット長 = 1ビット	
1	0	ストップ・ビット長 = 2ビット	
1	1	設定禁止	

転送完了割り込みを選択している場合は、全部のストップ・ビットが完了してから割り込みを発生します。
UART受信時、簡易²Cモード時には、1ビット (SLCmn1, SLCmn0 = 0, 1) に設定してください。
CSIモード時には、ストップ・ビットなし (SLCmn1, SLCmn0 = 0, 0) に設定してください。

DLS mn2	DLS mn1	DLS mn0	CSI, UARTモードでのデータ長の設定	
1	0	0	5ビット・データ長 (SDRmnレジスタのビット0-4に格納) (UARTモード時のみ選択可)	
1	1	0	7ビット・データ長 (SDRmnレジスタのビット0-6に格納)	
1	1	1	8ビット・データ長 (SDRmnレジスタのビット0-7に格納)	
その他			設定禁止	

簡易²Cモード時には、必ずDLSmn0 = 1に設定してください。

注 データの内容にかかわらず必ず0が付加されます。

注意 ビット3, 6, 11には、必ず0を設定してください。ビット2には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) mn = 00-03, 10, 11

(5) シリアル・データ・レジスタ_{mn} (SDR_{mn}) の上位7ビット

SDR_{mn}は、チャンネル_nの送受信データ・レジスタ (16ビット) です。ビット7-0は送受信バッファ・レジスタとして機能し、ビット15-9の部分は動作クロック (f_{MCK}) の分周設定レジスタとして使われます。

シリアル・モード・レジスタ_{mn} (SMR_{mn}) でCCS_{mn}ビットを0に設定した場合は、動作クロックをこのSDR_{mn}の上位7ビットで分周設定したクロックが、転送クロックとして使用されます。

SDR_{mn}レジスタの下部8ビットは、送受信バッファ・レジスタとして機能します。受信時には、シフト・レジスタで変換したパラレル・データを下部8ビットに格納し、送信時には、シフト・レジスタに転送する送信データを下部8ビット設定します。

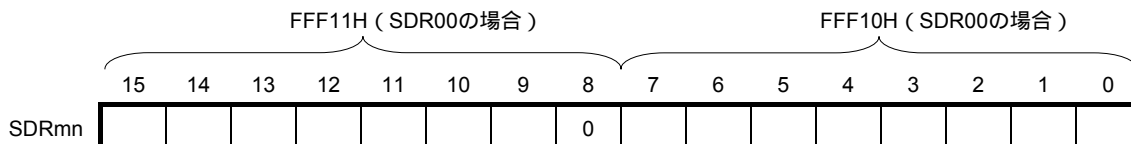
SDR_{mn}は16ビット単位でリード/ライト可能です。

ただし上位7ビットへの書き込みおよび読み出しは動作停止状態 (SE_{mn} = 0) のときのみ有効です。動作中 (SE_{mn} = 1) にSDR_{mn}に書き込みを行ったときは、下部8ビットのみ値が書き込まれます。動作中にSDR_{mn}の読み出しを行ったときは、常に0が読み出されます。

リセット信号の発生により、0000Hになります。

図11-8 シリアル・データ・レジスタ_{mn} (SDR_{mn}) のフォーマット

アドレス : FFF10H, FFF11H (SDR00), FFF12H, FFF13H (SDR01), リセット時 : 0000H R/W
 FFF44H, FFF45H (SDR02), FFF46H, FFF47H (SDR03),
 FFF48H, FFF49H (SDR10), FFF4AH, FFF4BH (SDR11)



SDRmn[15:9]							動作クロック (f _{MCK}) の分周による転送クロック設定
0	0	0	0	0	0	0	f _{MCK} /2
0	0	0	0	0	0	1	f _{MCK} /4
0	0	0	0	0	1	0	f _{MCK} /6
0	0	0	0	0	1	1	f _{MCK} /8
.
.
.
1	1	1	1	1	1	0	f _{MCK} /254
1	1	1	1	1	1	1	f _{MCK} /256

注意1. ビット8は、必ず0を設定してください。

2. UART使用時は、SDRmn[15:9] = (0000000B, 0000001B) は設定禁止です。

3. 簡易I²C使用時は、SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。

4. 動作停止状態 (SE_{mn} = 0) のときに、下部8ビットへ8ビット書き込みは行わないでください(上位7ビットが0にクリアされます)。

備考1. SDRmnの下部8ビットの機能については、11. 2 シリアル・アレイ・ユニットの構成を参照してください。

2. m : ユニット番号 (m = 0, 1)

n : チャンネル番号 (n = 0-3)

mn = 00-03, 10, 11

(6) シリアル・ステータス・レジスタmn (SSRmn)

SSRmnは、チャンネルnの通信ステータス、エラー発生状況を表示するレジスタです。表示するエラーは、フレーミング・エラー、パリティ・エラー、オーバラン・エラーです。

SSRmnは、16ビット・メモリ操作命令で読み出します。

またSSRmnの下位8ビットは、SSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SSRmnは0000Hになります。

図11-9 シリアル・ステータス・レジスタmn (SSRmn) のフォーマット (1/2)

アドレス：F0100H, F0101H (SSR00) - F0106H, F0107H (SSR03), リセット時：0000H R
F0140H, F0141H (SSR10), F0142H, F0143H (SSR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSF mn	BFF mn	0	0	FEF mn	PEF mn	OVF mn

TSF mn	チャンネルnの通信状態表示フラグ
0	通信動作停止状態または通信動作待機状態
1	通信動作状態
<クリア条件>	
<ul style="list-style-type: none"> STmレジスタのSTmnビットに1を設定時（通信停止状態）、もしくはSSmレジスタのSSmnビットに1を設定時（通信待機状態） 通信動作が終了時 	
<セット条件>	
<ul style="list-style-type: none"> 通信動作を開始時 	

BFF mn	チャンネルnのバッファ・レジスタ状態表示フラグ
0	有効なデータがSDRmnレジスタに格納されていない
1	有効なデータがSDRmnレジスタに格納されている
<クリア条件>	
<ul style="list-style-type: none"> 送信時においてSDRmnレジスタからシフト・レジスタへ送信データの転送が終了したとき 受信時においてSDRmnレジスタから受信データの読み出しが終了したとき STmレジスタのSTmnビットに1を設定時（通信停止状態）、SSmレジスタのSSmnビットに1を設定時（通信許可状態）。 	
<セット条件>	
<ul style="list-style-type: none"> SCRmnレジスタのTXEmnビット = 1（各通信モードでの送信、送受信モード時）の状態ですDRmnレジスタに送信データを書き込んだとき SCRmnレジスタのRXEmnビット = 1（各通信モードでの受信、送受信モード時）の状態ですDRmnレジスタに受信データが格納されたとき 受信エラー時 	

備考 m：ユニット番号 (m = 0, 1) n：チャンネル番号 (n = 0-3) mn = 00-03, 10, 11

図11-9 シリアル・ステータス・レジスタmn (SSRmn) のフォーマット (2/2)

アドレス : F0100H, F0101H (SSR00) - F0106H, F0107H (SSR03), リセット時 : 0000H R
 F0140H, F0141H (SSR10), F0142H, F0143H (SSR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSF mn	BFF mn	0	0	FEF mn	PEF mn	OVF mn

FEF mn	チャンネルnのフレーミング・エラー検出フラグ
0	エラーなし
1	エラー発生 (UART受信時)
<クリア条件> ・SIRmnレジスタのFECTmnビットに1を書き込んだとき <セット条件> ・UART受信完了時に、ストップ・ビットが検出されないとき	

PEF mn	チャンネルnのパリティ・エラー検出フラグ
0	エラーなし
1	エラー発生 (UART受信時), またはACK未検出発生 (I ² C送信時)
<クリア条件> ・SIRmnレジスタのPECTmnビットに1を書き込んだとき <セット条件> ・UART受信完了時に、送信データのパリティとパリティ・ビットが一致しないとき (パリティ・エラー) ・I ² C送信時に、ACK受信タイミングにスレーブ側からACK信号の応答がなかったとき (ACK未検出)	

OVF mn	チャンネルnのオーバラン・エラー検出フラグ
0	エラーなし
1	エラー発生
<クリア条件> ・SIRmnレジスタのOVCTmnビットに1を書き込んだとき <セット条件> ・SCRmnレジスタのRXEmnビット = 1 (各通信モードでの受信, 送受信モード時) の状態で、受信データがSDRmnレジスタに格納されているのに、読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをしたとき ・CSIモードのスレーブ送信/送受信で、送信データが準備できていないとき	

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10, 11

(7) シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)

チャンネルnの各エラー・フラグをクリアするためのトリガ・レジスタです。

各ビット (FECTmn, PECTmn, OVCTmn) を1にセットすると, シリアル・ステータス・レジスタmn (SSRmn) の対応ビット (FEFmn, PEFmn, OVFmn) が0にクリアされます。SIRmnはトリガ・レジスタなので, SSRmnの対応ビットをクリアするとすぐSIRmnもクリアされます。

SIRmnは, 16ビット・メモリ操作命令で設定します。

またSIRmnの下位8ビットは, SIRmnLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により, SIRmnは0000Hになります。

図11 - 10 シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn) のフォーマット

アドレス : F0108H, F0109H (SIR00) - F010EH, F010FH (SIR03), リセット時 : 0000H R/W
F0148H, F0149H (SIR10), F014AH, F014BH (SIR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	FEC Tmn	PEC Tmn	OVC Tmn

FEC Tmn	チャンネルnのフレーミング・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのFEFmnビットを0にクリアする

PEC Tmn	チャンネルnのパリティ・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのPEFmnビットを0にクリアする

OVC Tmn	チャンネルnのオーバラン・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのOVFmnビットを0にクリアする

注意 ビット15-3には, 必ず0を設定してください。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10, 11

2. SIRmnレジスタの読み出し値は常に0000Hとなります。

(8) シリアル・チャンネル許可ステータス・レジスタ_m (SE_m)

SE_mは、各チャンネルのシリアル送受信動作許可 / 停止状態を表示するレジスタです。

シリアル・チャンネル開始レジスタ_m (SS_m) の各ビットに1を書き込むと、その対応ビットが1にセットされます。シリアル・チャンネル停止レジスタ_m (ST_m) の各ビットに1を書き込むと、その対応ビットが0にクリアされます。

動作を許可したチャンネル_nは、後述のシリアル出力レジスタ_m (SO_m) のCKO_{mn}の値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・クロック端子から出力されません。

動作を停止したチャンネル_nは、SO_mレジスタのCKO_{mn}の値をソフトウェアで設定することができ、その値をシリアル・クロック端子から出力できます。これにより、スタート・コンディション / ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SE_mは、16ビット・メモリ操作命令で読み出します。

またSE_mの下位8ビットは、SE_{mL}で1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SE_mは0000Hになります。

図11 - 11 シリアル・チャンネル許可ステータス・レジスタ_m (SE_m) のフォーマット

アドレス : F0120H, F0121H (SE0), F0160H, F0161H (SE1) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE _m	0	0	0	0	0	0	0	0	0	0	0	0	SE _m 3	SE _m 2	SE _m 1	SE _m 0

SE _m n	チャンネル _n の動作許可 / 停止状態の表示
0	動作停止状態 (制御レジスタ, シフト・レジスタの値, およびシリアル・クロック入出力端子, シリアル・データ出力端子, FEF, PEF, OVFの各エラー・フラグの状態を保持したまま停止 ^注)
1	動作許可状態

注 ただしSSR_{mn}レジスタのビット6, 5 (TSF_{mn}, BFF_{mn}) はクリアされます。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10, 11

(9) シリアル・チャンネル開始レジスタ_m (SS_m)

SS_mは、通信 / カウント開始の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット (SS_{mn}) に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタ_m (SE_m) の対応ビット (SE_{mn}) が1にセットされます。SS_{mn}はトリガ・ビットなので、SE_{mn} = 1になるとすぐSS_{mn}はクリアされます。

SS_mは、16ビット・メモリ操作命令で設定します。

またSS_mの下位8ビットは、SS_{mL}で1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SS_mは0000Hになります。

図11 - 12 シリアル・チャンネル開始レジスタ_m (SS_m) のフォーマット

アドレス : F0122H, F0123H (SS0), F0162H, F0163H (SS1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS _m	0	0	0	0	0	0	0	0	0	0	0	0	SS _m	SS _m	SS _m	SS _m
													3	2	1	0

SS _m	チャンネル _n の動作開始トリガ														
_n															
0	トリガ動作せず														
1	SE _{mn} に1をセットし、通信待機状態に遷移する (すでに通信動作中の場合は、通信動作を停止し、起動条件待ちの状態となる)														

注意 ビット15-4には、必ず0を設定してください。

- 備考**1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10, 11
2. SS_mレジスタの読み出し値は常に0000Hとなります。

(10) シリアル・チャンネル停止レジスタ_m (ST_m)

ST_mは、通信 / カウント停止の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット (ST_{mn}) に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタ_m (SE_m) の対応ビット (SE_{mn}) が0にクリアされます。ST_{mn}はトリガ・ビットなので、SE_{mn} = 0になるとすぐST_{mn}はクリアされます。

ST_mは、16ビット・メモリ操作命令で設定します。

またST_mの下位8ビットは、ST_{mL}で1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、ST_mは0000Hになります。

図11 - 13 シリアル・チャンネル停止レジスタ_m (ST_m) のフォーマット

アドレス : F0124H, F0125H (ST₀), F0164H, F0165H (ST₁) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST _m	0	0	0	0	0	0	0	0	0	0	0	0	ST _m 3	ST _m 2	ST _m 1	ST _m 0

ST _m n	チャンネルnの動作停止トリガ
0	トリガ動作せず
1	SE _{mn} を0にクリアし、通信動作を停止する (制御レジスタ、シフト・レジスタの値、およびシリアル・クロック入出力端子、シリアル・データ出力端子、FEF、PEF、OVFの各エラー・フラグの状態を保持したまま停止 ^注)

注 ただしSSR_{mn}レジスタのビット6, 5 (TSF_{mn}, BFF_{mn}) はクリアされます。

注意 ビット15-4には、必ず0を設定してください。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10, 11

2. ST_mレジスタの読み出し値は常に0000Hとなります。

(11) シリアル出力許可レジスタ_m (SOE_m)

SOE_mは、各チャンネルのシリアル通信動作の出力許可/停止を設定するレジスタです。

シリアル出力を許可したチャンネル_nは、後述のシリアル出力レジスタ_m (SO_m) のSO_{mn}の値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・データ出力端子から出力されます。

シリアル出力を停止したチャンネル_nは、SO_mレジスタのSO_{mn}の値をソフトウェアで設定することができ、その値をシリアル・データ出力端子から出力できます。これにより、スタート・コンディション/ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SOE_mは、16ビット・メモリ操作命令で設定します。

またSOE_mの下位8ビットは、SOE_{mL}で1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOE_mは0000Hになります。

図11 - 14 シリアル出力許可レジスタ_m (SOE_m) のフォーマット

アドレス : F012AH, F012BH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE 02	SOE 01	SOE 00

アドレス : F016AH, F016BH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE 10

SOE mn	チャンネル _n のシリアル出力許可/停止
0	シリアル通信動作による出力停止
1	シリアル通信動作による出力許可

注意 SOE0のビット15-3, SOE1のビット15-1には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-2) mn = 00-02, 10

(12) シリアル出力レジスタ_m (SO_m)

SO_mは、各チャンネルのシリアル出力のバッファ・レジスタです。

このレジスタのビット_nの値が、チャンネル_nのシリアル・データ出力端子から出力されます。

このレジスタのビット_(n+8)の値が、チャンネル_nのシリアル・クロック出力端子から出力されます。

このレジスタのSO_{mn}のソフトウェアによる書き換えは、シリアル出力禁止 (SOEmn = 0) 時のみ可能です。シリアル出力許可 (SOEmn = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

このレジスタのCKO_{mn}のソフトウェアによる書き換えは、チャンネル動作停止 (SEmn = 0) 時のみ可能です。チャンネル動作許可 (SEmn = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

また、P02/SO10/TxD1, P03/SI10/SDA10/RxD1, P04/SCK10/SCL10, P10/SCK00, P12/SO00/TxD0, P43/SCK01, P45/SO01, P142/SCK20/SCL20, P143/SI20/SDA20/RxD2, P144/SO20/TxD2端子をポート機能として使用する場合は、該当するCKO_{mn}, SO_{mn}ビットに“1”を設定してください。

SO_mは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0F0FHになります。

図11 - 15 シリアル出力レジスタ_m (SO_m) のフォーマット

アドレス : F0128H, F0129H リセット時 : 0F0FH R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO0	0	0	0	0	1	CKO 02	CKO 01	CKO 00	0	0	0	0	1	SO 02	SO 01	SO 00

アドレス : F0168H, F0169H リセット時 : 0F0FH R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO1	0	0	0	0	1	1	1	CKO 10	0	0	0	0	1	1	1	SO 10

CKO mn	チャンネル _n のシリアル・クロック出力															
0	シリアル・クロック出力値が“0”															
1	シリアル・クロック出力値が“1”															

SO mn	チャンネル _n のシリアル・データ出力															
0	シリアル・データ出力値が“0”															
1	シリアル・データ出力値が“1”															

注意 SO0のビット11, 3, SO1のビット11-9, 3-1には、必ず1を設定してください。また、SO_mのビット15-12, 7-4には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-2) mn = 00-02, 10

(13) シリアル出力レベル・レジスタ_m (SOL_m)

SOL_mは、各チャンネルのデータ出力レベルの反転を設定するレジスタです。

このレジスタはUARTモード時のみ設定できます。CSIモード、簡易I²Cモード時は、必ず0000Hを設定してください。

このレジスタによる各チャンネル_nの反転設定は、シリアル出力許可 (SOEmn = 1) 時のみ端子出力に反映されます。シリアル出力禁止 (SOEmn = 0) 時はSOmnビットの値がそのまま出力されます。

SOL_mは、動作中 (SEmn = 1のとき) の書き換えは禁止です。

SOL_mは、16ビット・メモリ操作命令で設定します。

またSOL_mの低位8ビットは、SOL_{mL}で8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOL_mは0000Hになります。

図11 - 16 シリアル出力レベル・レジスタ_m (SOL_m) のフォーマット

アドレス : F0134H, F0135H (SOL0), F0174H, F0175H (SOL1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL _m	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL _{m2}	0	SOL _{m0}

SOL _{mn}	UARTモードでのチャンネル _n の送信データのレベル反転の選択
0	通信データは、そのまま出力されます。
1	通信データは、反転して出力されます。

注意 ビット15-3, 1には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) mn = 00, 02, 10

(14) ノイズ・フィルタ許可レジスタ0 (NFEN0)

NFEN0は、シリアル・データ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

CSI、簡易I²C通信に使用する端子は、対応するビットに0を設定して、ノイズ・フィルタを無効にしてください。

UART通信に使用する端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズフィルタ有効時は、CPU/周辺ハードウェア・クロック (f_{CLK}) で2クロックの一致検出と同期化を行います。

NFEN0は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11-17 ノイズ・フィルタ許可レジスタ0 (NFEN0) のフォーマット

アドレス : F0060H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN0	0	0	0	SNFEN20	0	SNFEN10	0	SNFEN00

SNFEN20	RxD2/SDA20/SI20/P143端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

RxD2端子として使用するときは、SNFEN20 = 1に設定してください。
SDA20, SI20, P143端子として使用するときは、SNFEN20 = 0に設定してください。

SNFEN10	RxD1/SDA10/SI10/P03端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

RxD1端子として使用するときは、SNFEN10 = 1に設定してください。
SDA10, SI10, P03端子として使用するときは、SNFEN10 = 0に設定してください。

SNFEN00	RxD0/SI00/P11端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

RxD0端子として使用するときは、SNFEN00 = 1に設定してください。
SI00, P11端子として使用するときは、SNFEN00 = 0に設定してください。

注意 ビット7-5, 3, 1には、必ず0を設定してください。

(15) ポート入力モード・レジスタ0, 1, 14 (PIM0, PIM1, PIM14)

ポート0, 1, 14の入力バッファを1ビット単位で設定するレジスタです。

PIM0, PIM1, PIM14は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図11 - 18 ポート入力モード・レジスタ0, 1, 14 (PIM0, PIM1, PIM14) のフォーマット

アドレス: F0040H	リセット時: 00H	R/W						
略号	7	6	5	4	3	2	1	0
PIM0	0	0	0	PIM04	PIM03	0	0	0
アドレス: F0041H	リセット時: 00H	R/W						
略号	7	6	5	4	3	2	1	0
PIM1	0	0	0	0	0	0	PIM11	PIM10
アドレス: F004EH	リセット時: 00H	R/W						
略号	7	6	5	4	3	2	1	0
PIM14	0	0	0	0	PIM143	PIM142	0	0

PIMmn	Pmn端子の入力バッファの選択 (m = 0, 1, 14 ; n = 0-4)
0	通常入力バッファ
1	TTL入力バッファ

(16) ポート出力モード・レジスタ0, 1, 14 (POM0, POM1, POM14)

ポート0, 1, 14の出力モードを1ビット単位で設定するレジスタです。

POM0, POM1, POM14は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図11 - 19 ポート出力モード・レジスタ0, 1, 14 (POM0, POM1, POM14) のフォーマット

アドレス: F0050H	リセット時: 00H	R/W						
略号	7	6	5	4	3	2	1	0
POM0	0	0	0	POM04	POM03	POM02	0	0
アドレス: F0051H	リセット時: 00H	R/W						
略号	7	6	5	4	3	2	1	0
POM1	0	0	0	0	0	POM12	0	POM10
アドレス: FFF5EH	リセット時: 00H	R/W						
略号	7	6	5	4	3	2	1	0
POM14	0	0	0	POM144	POM143	POM142	0	0

POMmn	Pmn端子の出力モードの選択 (m = 0, 1, 14 ; n = 0, 2-4)
0	通常出力モード
1	N-chオープン・ドレイン出力 (V _{DD} 耐圧) モード

(17) ポート・モード・レジスタ0, 1, 4, 14 (PM0, PM1, PM4, PM14)

ポート0, 1, 4, 14の入力/出力を1ビット単位で設定するレジスタです。

P02/SO10/TxD1, P03/SI10/SDA10/RxD1, P04/SCK10/SCL10, P10/SCK00, P12/SO00/TxD0, P43/SCK01, P45/SO01, P142/SCK20/SCL20, P143/SI20/SDA20/RxD2, P144/SO20/TxD2端子をシリアル・データ出力またはシリアル・クロック出力として使用するとき, PM02, PM03, PM04, PM10, PM12, PM43, PM45, PM142, PM143, PM144ビットに0を, P02, P03, P04, P10, P12, P43, P45, P142, P143, P144の出力ラッチに1を設定してください。

P03/SI10/RxD1/SDA10, P04/SCK10/SCL10, P10/SCK00, P11/SI00/RxD0, P43/SCK01, P44/SI01, P142/SCK20/SCL20, P143/SI20/RxD2/SDA20端子をシリアル・データ入力またはシリアル・クロック入力として使用するとき, PM03, PM04, PM10, PM11, PM43, PM44, PM142, PM143ビットに1を設定してください。このときP03, P04, P10, P11, P43, P44, P142, P143の出力ラッチは, 0または1のどちらでもかまいません。

PM0, PM1, PM4, PM14は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により, FFHになります。

図11-20 ポート・モード・レジスタ0, 1, 4, 14 (PM0, PM1, PM4, PM14) のフォーマット

アドレス : FFF20H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01 ^注	PM00 ^注

アドレス : FFF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

アドレス : FFF24H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40

アドレス : FFF2EH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM14	1	1	PM145 ^注	PM144	PM143	PM142	PM141 ^注	PM140

PMmn	Pmn端子の入出力モードの選択 (m = 0, 1, 4, 14 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注 78K0R/KF3-Cのみ

11.4 動作停止モード

シリアル・アレイ・ユニットの各シリアル・インタフェースには、動作停止モードがあります。

動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。

また動作停止モードでは、P02/SO10/TxD1, P03/SI10/SDA10/RxD1, P04/SCK10/SCL10, P10/SCK00, P11/SI00/RxD0, P12/SO00/TxD0, P43/SCK01, P44/SI01, P45/SO01, P142/SCK20/SCL20, P143/SI20/SDA20/RxD2, P144/SO20/TxD2をポート機能として使用できます。

11.4.1 ユニット単位で動作停止とする場合

ユニット単位で動作停止とする場合の設定は、周辺イネーブル・レジスタ0 (PER0) で行います。

PER0は、各周辺ハードウェア・マクロの使用可否を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を停止するときは、ビット2 (SAU0EN) に0を設定してください。

シリアル・アレイ・ユニット1を停止するときは、ビット3 (SAU1EN) に0を設定してください。

図11-21 ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ0 (PER0) の設定



注意1. SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります (ノイズフィルタ許可レジスタ (NFEN0), ポート入力モード・レジスタ (PIM0, PIM1, PIM14), ポート出力モード・レジスタ (POM0, POM1, POM14), ポート・モード・レジスタ (PM0, PM1, PM4, PM14), ポート・レジスタ (P0, P1, P4, P14) は除く)。

2. PER0レジスタのビット6には必ず0を設定してください。

備考 m : ユニット番号 (m = 0, 1) □ : 設定不可 (初期値を設定)

x : シリアル・アレイ・ユニットでは使用しないビット (他の周辺機能の設定による)

0/1 : ユーザの用途に応じて0または1に設定

11.4.2 各チャンネルごとに動作停止とする場合

各チャンネルごとに動作停止とする場合の設定は、次の各レジスタで行います。

図11-22 各チャンネルごとに動作停止とする場合の各レジスタの設定

(a) シリアル・チャンネル許可ステータス・レジスタ_m (SE_m)

・・・各チャンネルのシリアル送受信動作許可/停止状態が表示されるレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE _m	0	0	0	0	0	0	0	0	0	0	0	0	SE _{m3}	SE _{m2}	SE _{m1}	SE _{m0}
													0/1	0/1	0/1	0/1

0 : 動作停止状態

SE_mレジスタはRead Onlyのステータス・レジスタであり、ST_mレジスタにて動作停止にします。
動作を停止したチャンネルは、SO_mレジスタのCKO_mの値をソフトウェアで設定できます。

(b) シリアル・チャンネル停止レジスタ_m (ST_m)

・・・各チャンネルの通信/カウント停止の許可を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST _m	0	0	0	0	0	0	0	0	0	0	0	0	ST _{m3}	ST _{m2}	ST _{m1}	ST _{m0}
													0/1	0/1	0/1	0/1

1 : SE_mnを0にクリアし、通信動作を停止

ST_mnはトリガ・ビットなので、SE_mn = 0になるとすぐST_mnはクリアされます。

(c) シリアル出力許可レジスタ_m (SOE_m)

・・・各チャンネルのシリアル通信動作の出力許可/停止を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE ₀	0	0	0	0	0	0	0	0	0	0	0	0	SOE ₀₂	SOE ₀₁	SOE ₀₀	
													0/1	0/1	0/1	

0 : シリアル通信動作による出力停止

シリアル出力を停止したチャンネルは、SO₀レジスタのSO₀nの値をソフトウェアで設定できます。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE ₁	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE ₁₀
																0/1

0 : シリアル通信動作による出力停止

シリアル出力を停止したチャンネルは、SO₁レジスタのSO₁₀の値をソフトウェアで設定できます。

(d) シリアル出力レジスタ_m (SO_m) ・・・各チャンネルのシリアル出力のバッファ・レジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO ₀	0	0	0	0	1	CKO ₀₂	CKO ₀₁	CKO ₀₀	0	0	0	0	0	SO ₀₂	SO ₀₁	SO ₀₀
						0/1	0/1	0/1					0/1	0/1	0/1	

1 : シリアル・クロック出力値が“1” 1 : シリアル・データ出力値が“1”

各チャンネルに対応した端子をポート機能として使用する場合は、該当するCKO₀n, SO₀nビットに“1”を設定してください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO ₁	0	0	0	0	1	1	1	CKO ₁₀	0	0	0	0	1	1	1	SO ₁₀
								0/1								0/1

1 : シリアル・クロック出力値が“1” 1 : シリアル・データ出力値が“1”

各チャンネルに対応した端子をポート機能として使用する場合は、該当するCKO₁₀, SO₁₀ビットに“1”を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)

■ : 設定不可 (初期値を設定) 0/1 : ユーザの用途に応じて0または1に設定

11.5 3線シリアルI/O (CSI00, CSI01, CSI10, CSI20) 通信の動作

シリアル・クロック (f_{sck}) とシリアル・データ (SI, SO) の3本のラインによる、クロック同期式通信機能です。

[データ送受信]

- ・ 7, 8ビットのデータ長
- ・ 送受信データの位相制御
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定

[クロック制御]

- ・ マスタ/スレーブの選択
- ・ 入出力クロックの位相制御
- ・ プリスケアラとチャンネル内カウンタによる転送周期の設定
- ・ 最大転送レート マスタ通信時：Max. f_{CLK}/4，スレーブ通信時：Max. f_{mck}/6[※]

[割り込み機能]

- ・ 転送完了割り込み / バッファ空き割り込み

[エラー検出フラグ]

- ・ オーバラン・エラー

注 ただし、 \overline{SCK} サイクル・タイム (t_{CKY}) の特性を満たす範囲内で使用してください (第29章 電气的特性参照)

3線シリアルI/O (CSI00, CSI01, CSI10, CSI20) に対応しているチャンネルは、SAU0のチャンネル0-2とSAU1のチャンネル0です。

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	-
	1	CSI01		-
	2	CSI10	UART1	IIC10
	3	-		-
1	0	CSI20	UART2	IIC20
	1	-		-

3線シリアルI/O (CSI00, CSI01, CSI10, CSI20) の通信動作は、以下の6種類があります。

- ・ マスタ送信 (11.5.1項を参照)
- ・ マスタ受信 (11.5.2項を参照)
- ・ マスタ送受信 (11.5.3項を参照)
- ・ スレーブ送信 (11.5.4項を参照)
- ・ スレーブ受信 (11.5.5項を参照)
- ・ スレーブ送受信 (11.5.6項を参照)

11.5.1 マスタ送信

マスタ送信とは、この78K0R/Kx3-Cが転送クロックを出力し、78K0R/Kx3-Cから他デバイスへデータを送信する動作です。

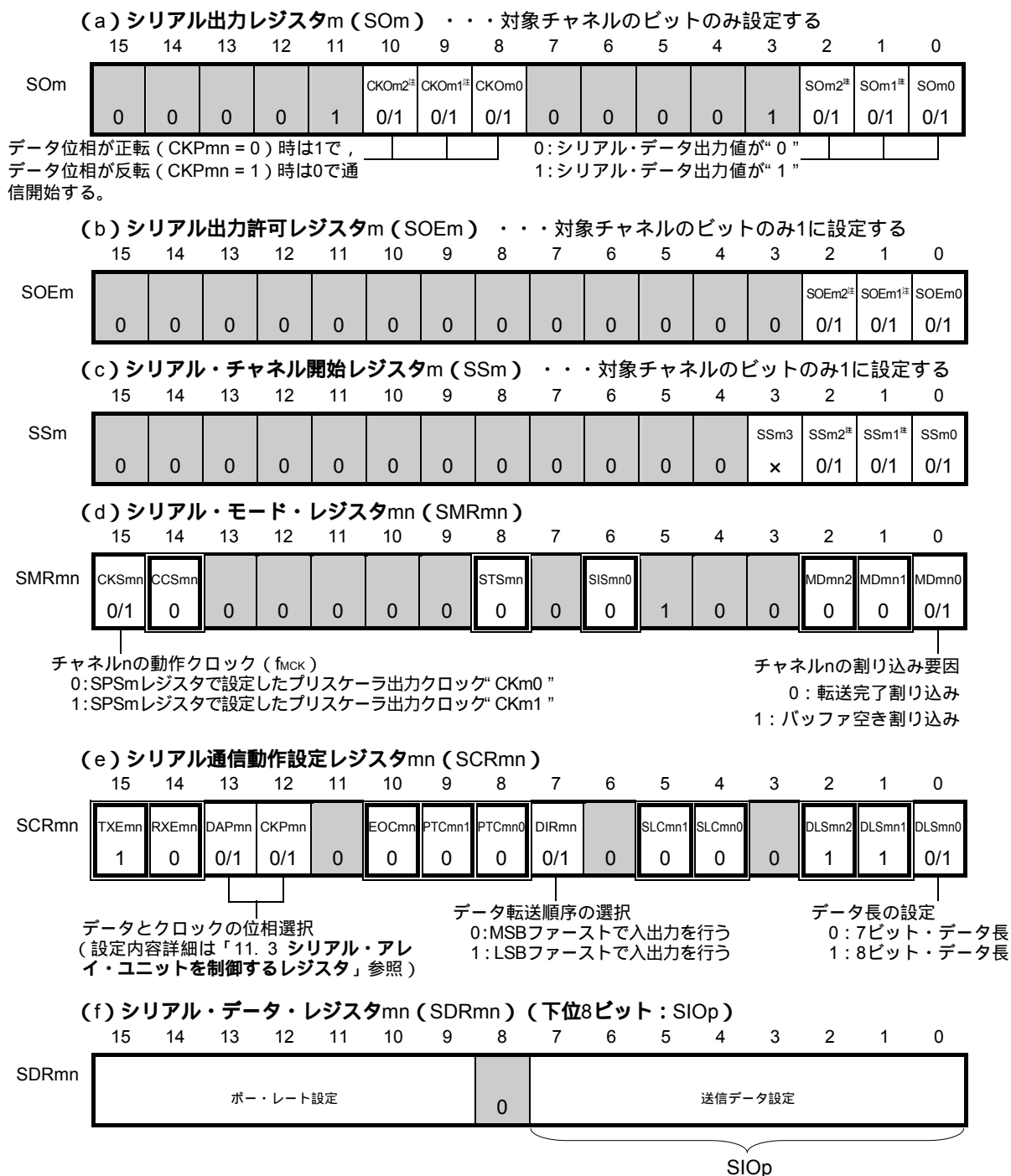
3線シリアルI/O	CSI00	CSI01	CSI10	CSI20
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	$\overline{\text{SCK00}}$, SO00	$\overline{\text{SCK01}}$, SO01	$\overline{\text{SCK10}}$, SO10	$\overline{\text{SCK20}}$, SO20
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI20
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	なし			
転送データ長	7ビットまたは8ビット			
転送レート	Max. $f_{\text{CLK}}/4$ [Hz], Min. $f_{\text{CLK}}/(2 \times 2^{11} \times 128)$ [Hz] ^注 f_{CLK} : システム・クロック周波数			
データ位相	DAPmnビットにより選択可能 <ul style="list-style-type: none"> ・ DAPmn = 0の場合: シリアル・クロックの動作開始からデータ出力を開始 ・ DAPmn = 1の場合: シリアル・クロック動作開始の半クロック前からデータ出力を開始 			
クロック位相	CKPmnビットにより選択可能 <ul style="list-style-type: none"> ・ CKPmn = 0の場合: 正転 ・ CKPmn = 1の場合: 反転 			
データ方向	MSBファーストまたはLSBファースト			

注 この条件を満たし、かつ電気的特性のAC特性（第29章 電気的特性参照）を満たす範囲内で使用してください。

備考 m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0-2) mn = 00-02, 10

(1) レジスタ設定

図11 - 23 3線シリアルI/O (CSI00, CSI01, CSI10, CSI20) のマスタ送信時のレジスタ設定内容例



注 シリアル・アレイ・ユニット0のみ設定します。

備考 m : ユニット番号 ($m = 0, 1$) n : チャンネル番号 ($n = 0-2$) $mn = 00-02, 10$

p : CSI番号 ($p = 00, 01, 10, 20$)

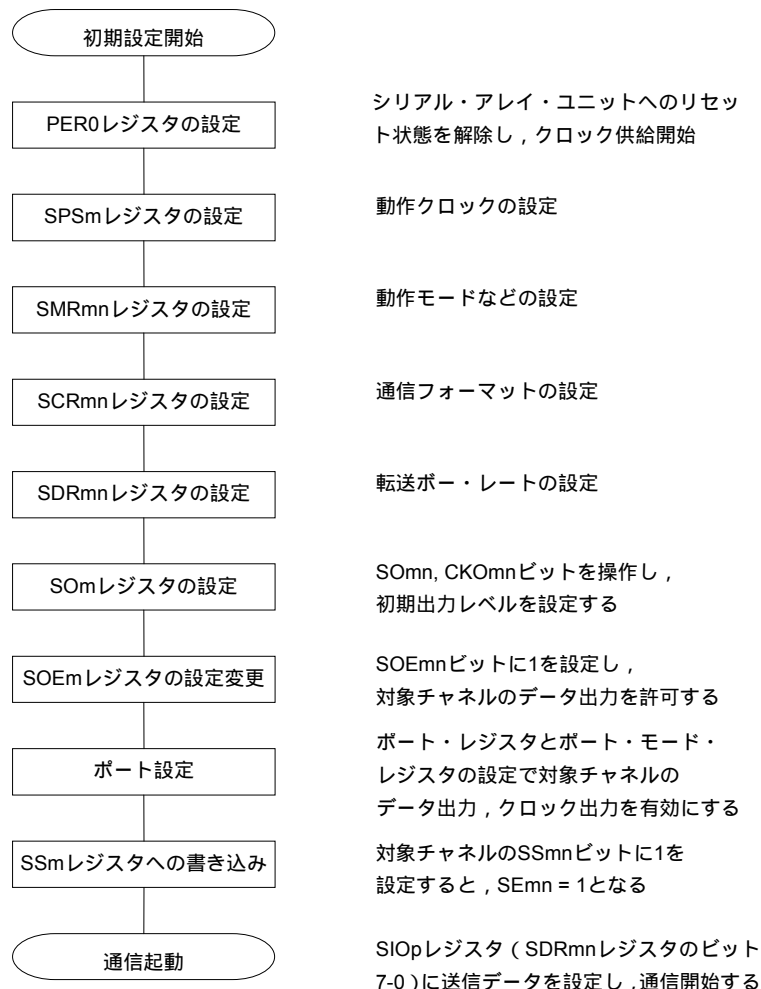
□: CSIマスタ送信モードでは設定固定 ■: 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

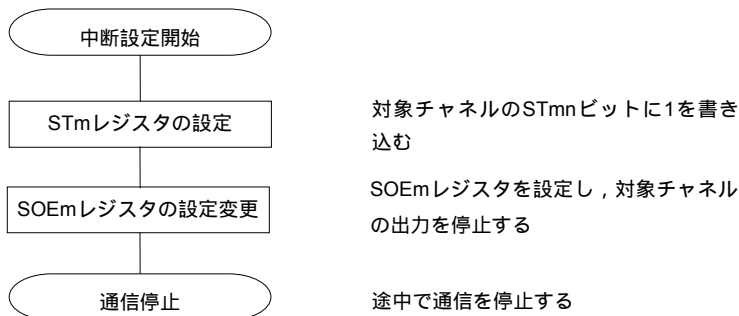
(2) 操作手順

図11 - 24 マスタ送信の初期設定手順



注意 PER0レジスタのSAUmENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからSPSmレジスタを設定してください。

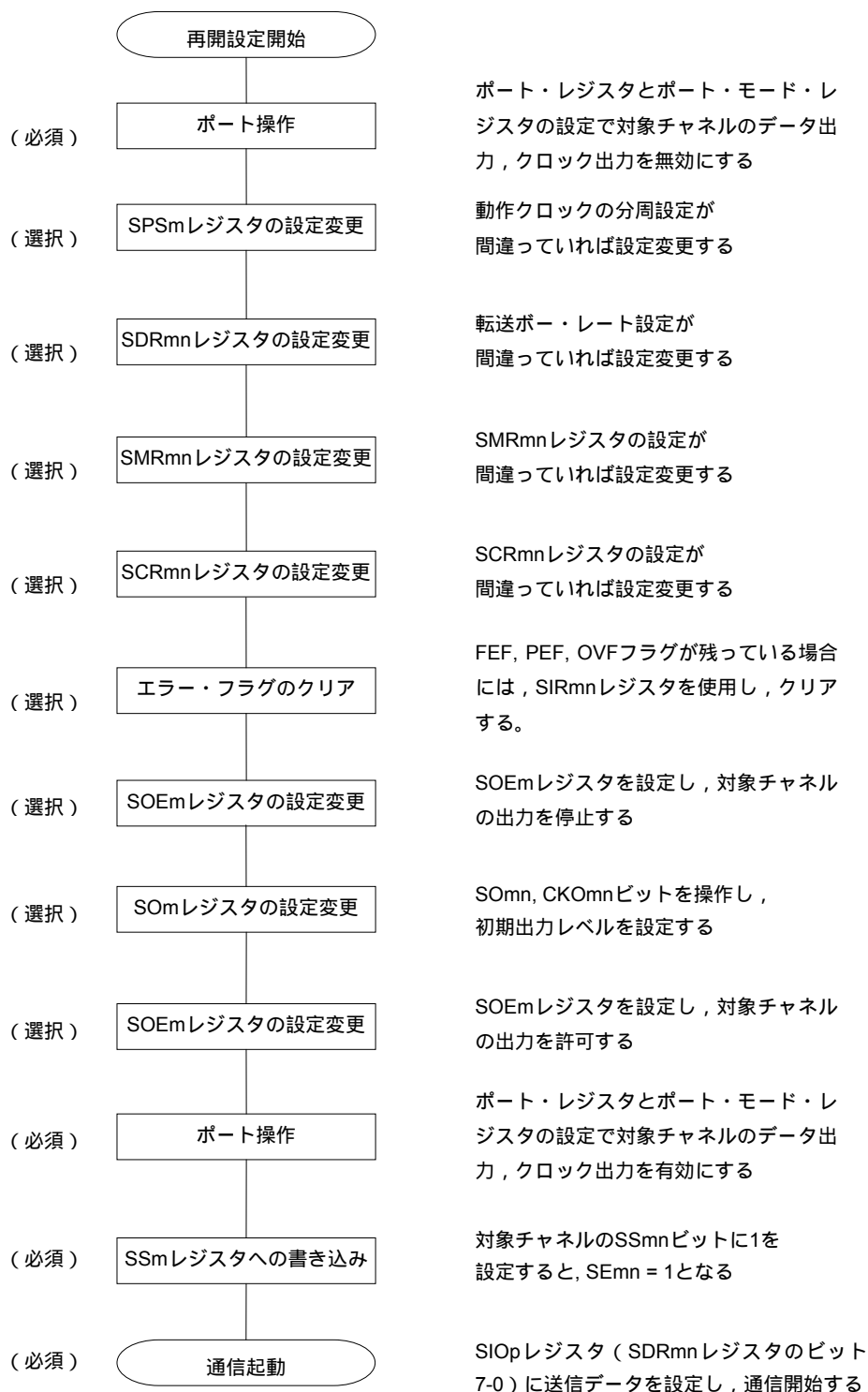
図11 - 25 マスタ送信の中断手順



備考1. 中断後も端子レベルは保持されますので、動作を再開する際にはSOmレジスタを再設定してください (図11 - 26 マスタ送信の再開設定手順参照)。

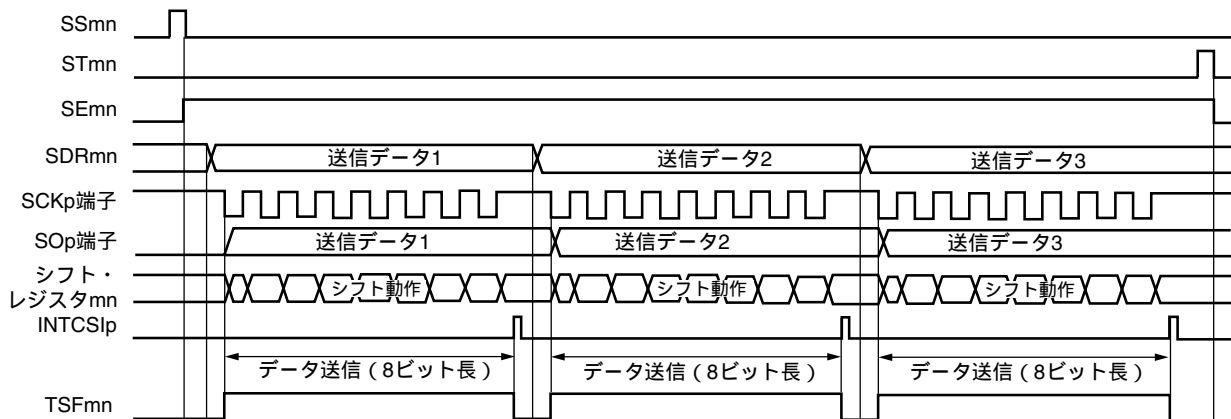
2. p: CSI番号 (p = 00, 01, 10, 20)

図11 - 26 マスタ送信の再開設定手順



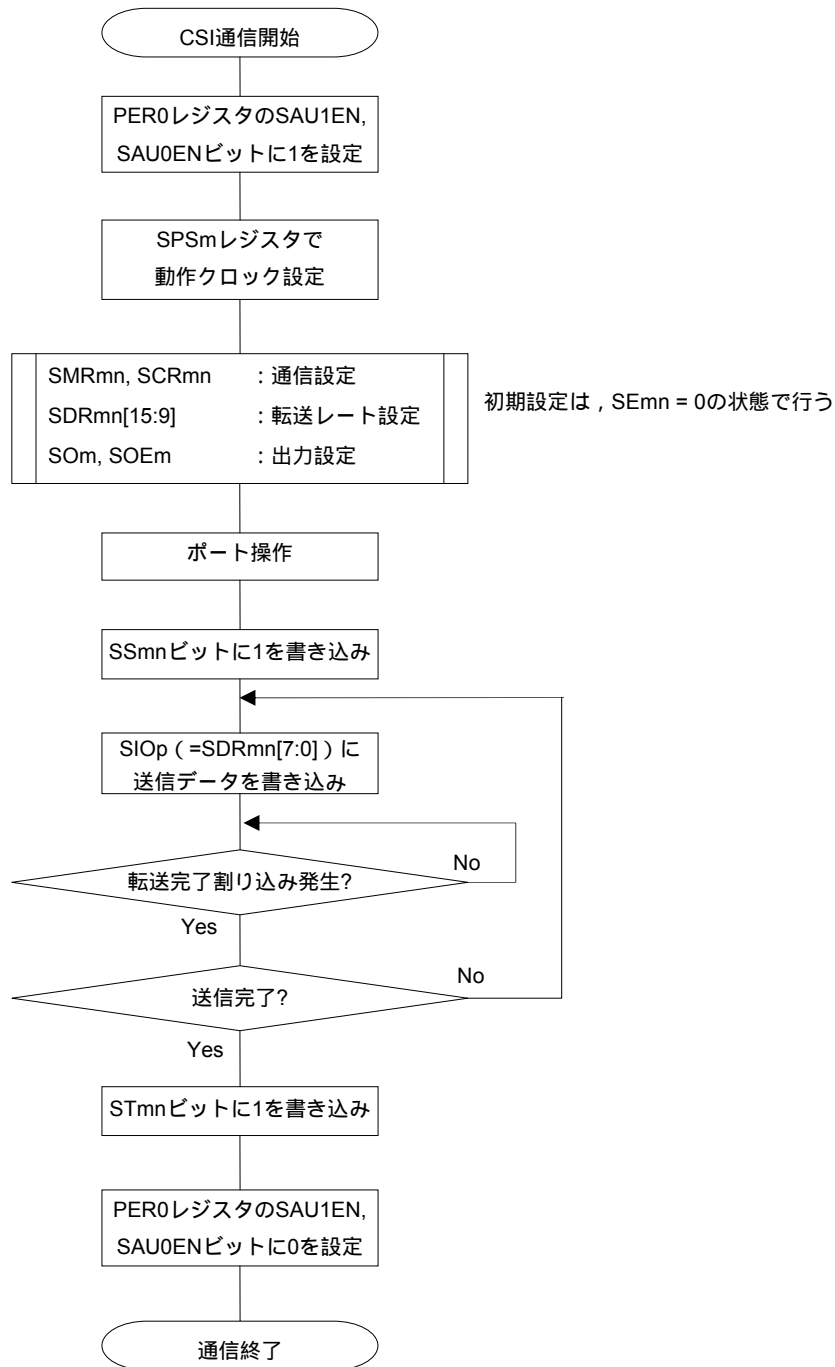
(3) 処理フロー (シングル送信モード時)

図11 - 27 マスタ送信 (シングル送信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-2) mn = 00-02, 10
 p : CSI番号 (p = 00, 01, 10, 20)

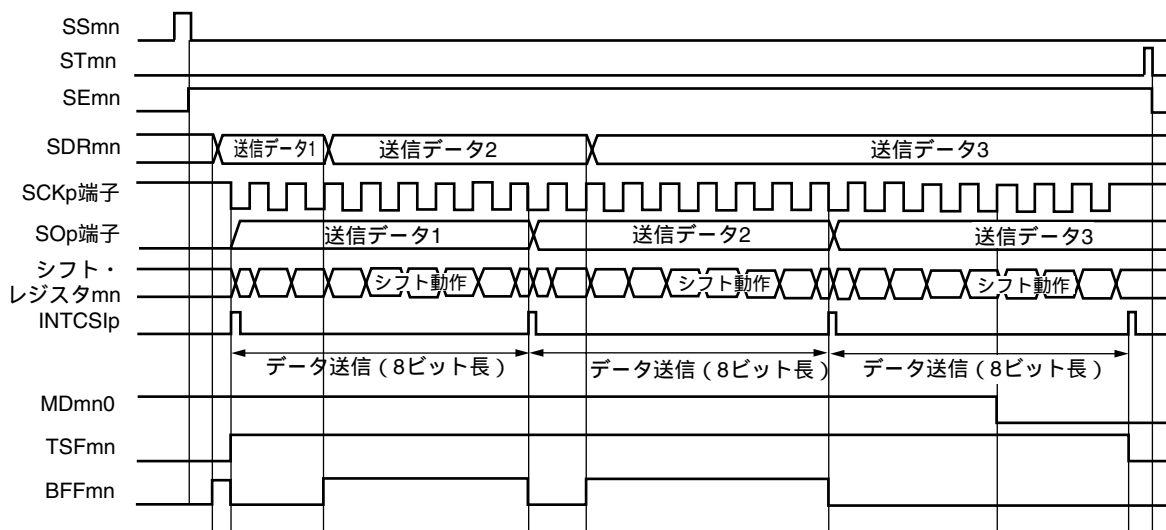
図11 - 28 マスタ送信 (シングル送信モード時) のフロー・チャート



注意 PER0レジスタのSAUmENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからSPSmレジスタを設定してください。

(4) 処理フロー（連続送信モード時）

図11 - 29 マスタ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



(注)

注 BFFmn = 1の期間にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

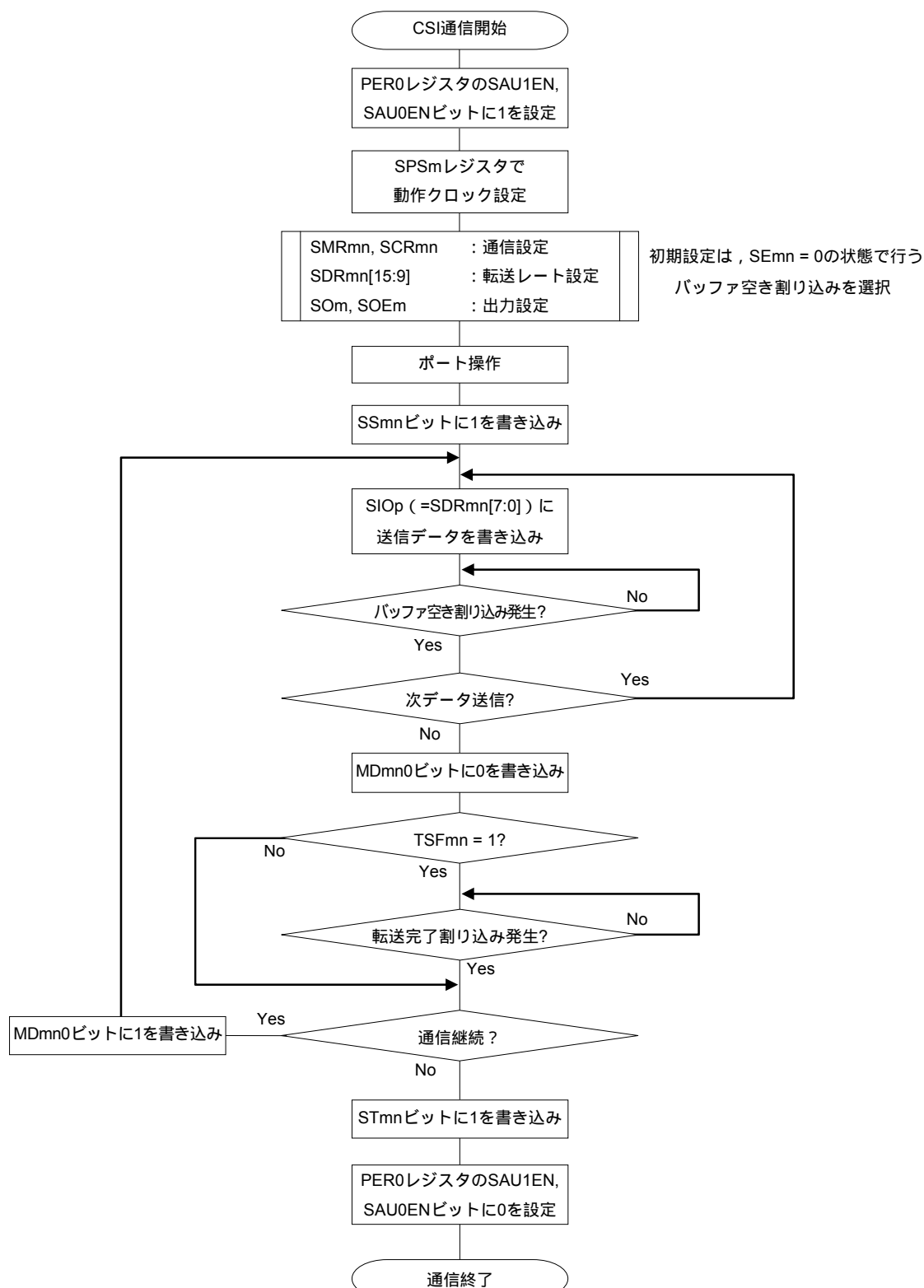
注意 MDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-2) mn = 00-02, 10

p : CSI番号 (p = 00, 01, 10, 20)

図11 - 30 マスタ送信（連続送信モード時）のフロー・チャート



注意 PER0レジスタのSAUmENビットを“1”に設定後に、fCLKの4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考 図中の ~ は、図11 - 29 マスタ送信（連続送信モード時）のタイミング・チャートの ~ に対応しています。

11.5.2 マスタ受信

マスタ受信とは、この78K0R/Kx3-Cが転送クロックを出力し、78K0R/Kx3-Cが他デバイスからデータを受信する動作です。

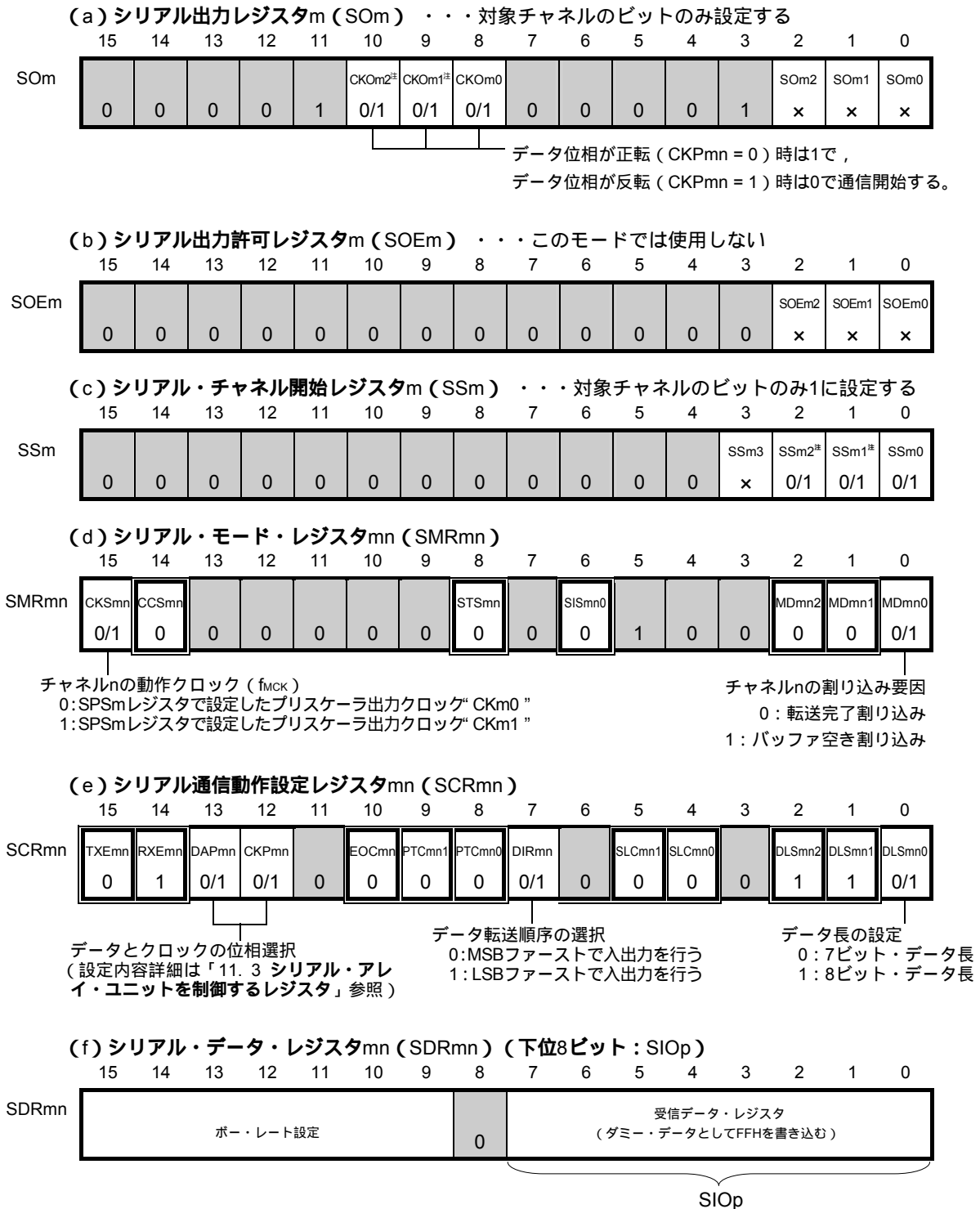
3線シリアルI/O	CSI00	CSI01	CSI10	CSI20
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	SCK00, SI00	SCK01, SI01	SCK10, SI10	SCK20, SI20
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI20
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	7ビットまたは8ビット			
転送レート	Max. $f_{CLK}/4$ [Hz], Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [Hz] ^注 f_{CLK} : システム・クロック周波数			
データ位相	DAPmnビットにより選択可能 <ul style="list-style-type: none"> ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始 			
クロック位相	CKPmnビットにより選択可能 <ul style="list-style-type: none"> ・ CKPmn = 0の場合：正転 ・ CKPmn = 1の場合：反転 			
データ方向	MSBファーストまたはLSBファースト			

注 この条件を満たし、かつ電気的特性のAC特性（第29章 電気的特性参照）を満たす範囲内で使用してください。

備考 m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0-2） mn = 00-02, 10

(1) レジスタ設定

図11 - 31 3線シリアル/I/O (CSI00, CSI01, CSI10, CSI20) のマスタ受信時のレジスタ設定内容例



注 シリアル・アレイ・ユニット0のみ設定します。

備考 m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0-2) mn = 00-02, 10

p: CSI番号 (p = 00, 01, 10, 20)

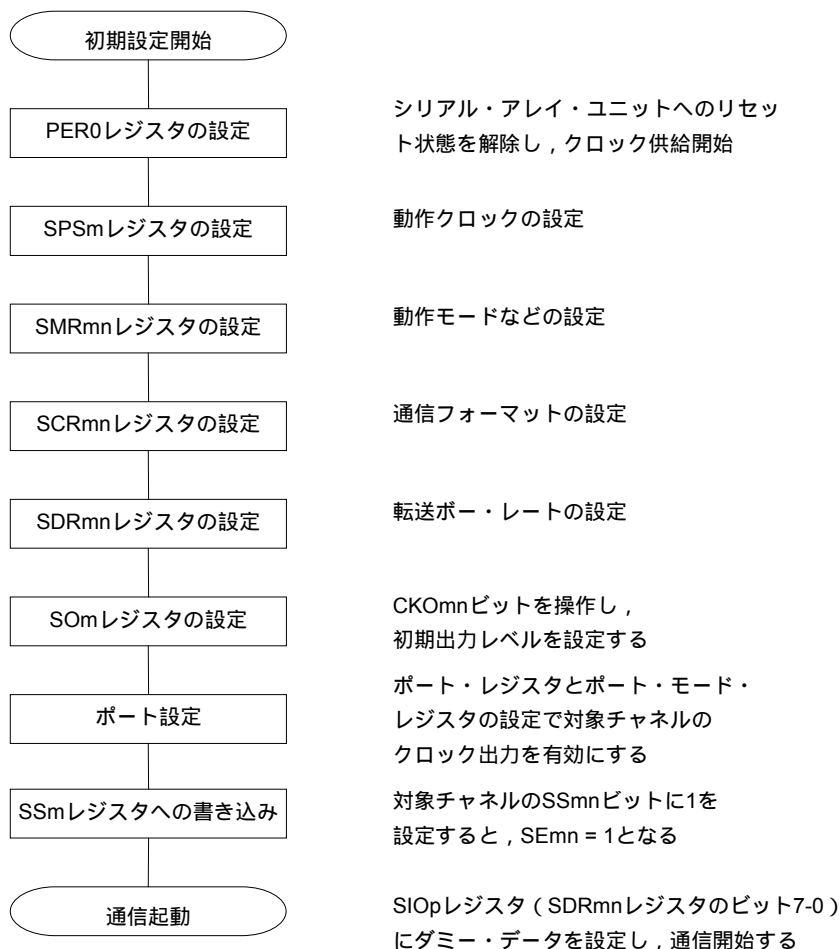
□: CSIマスタ受信モードでは設定固定 ■: 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

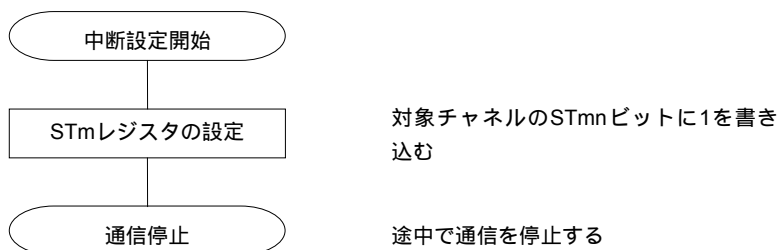
(2) 操作手順

図11 - 32 マスタ受信の初期設定手順



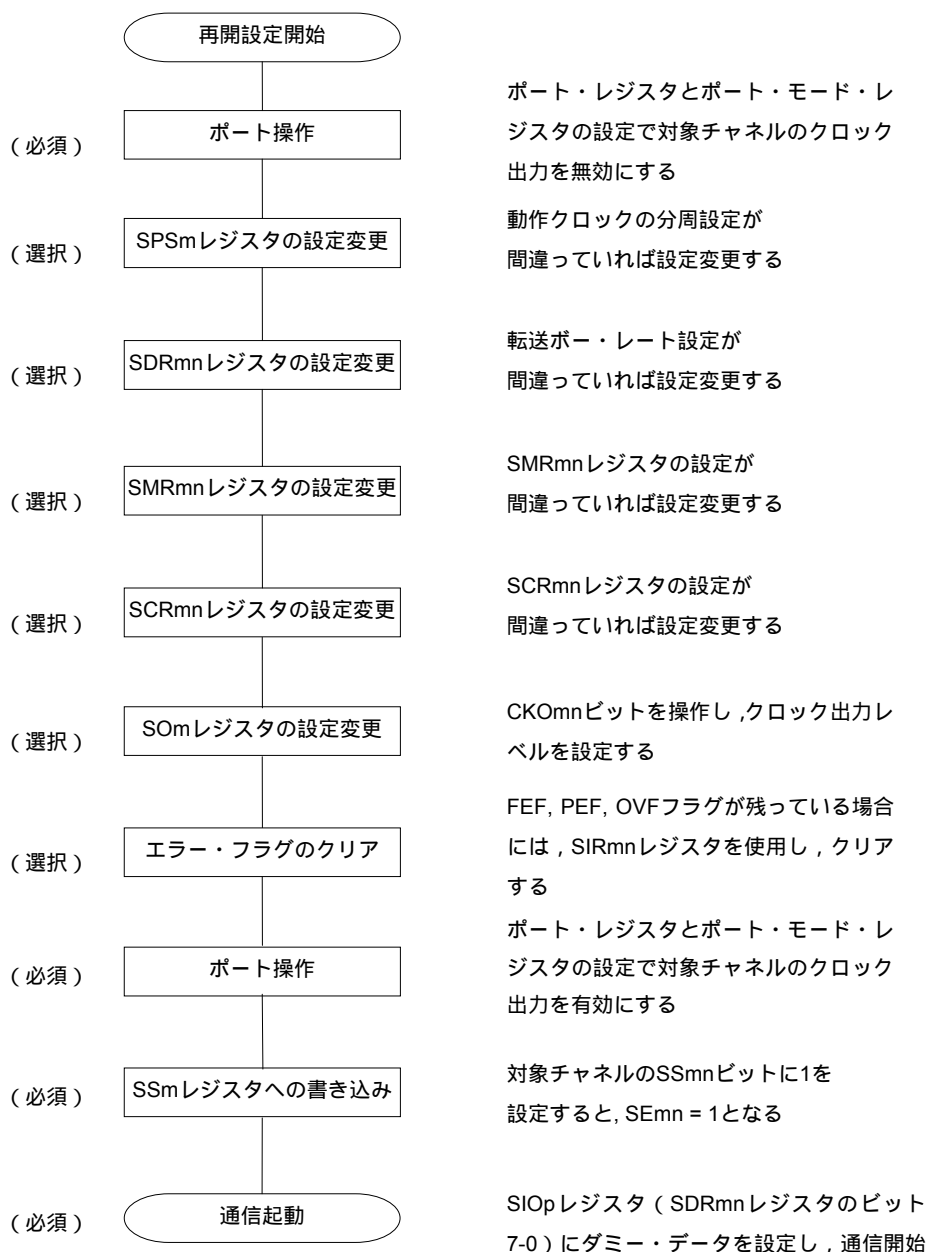
注意 PER0レジスタのSAUmENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからSPSmレジスタを設定してください。

図11 - 33 マスタ受信の中断手順



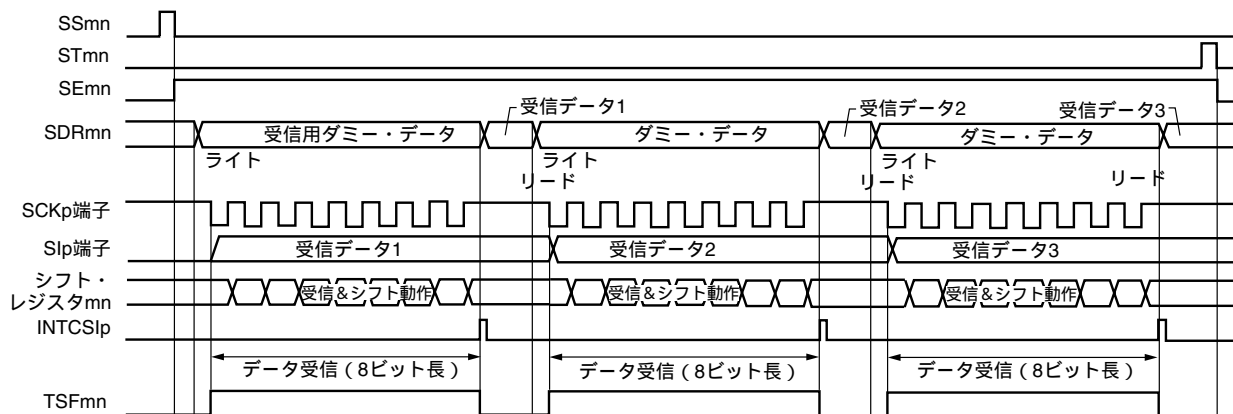
備考 中断後も端子レベルは保持されますので、動作を再開する際にはSOmレジスタを再設定してください (図11 - 34 マスタ受信の再開設定手順参照)。

図11 - 34 マスタ受信の再開設定手順



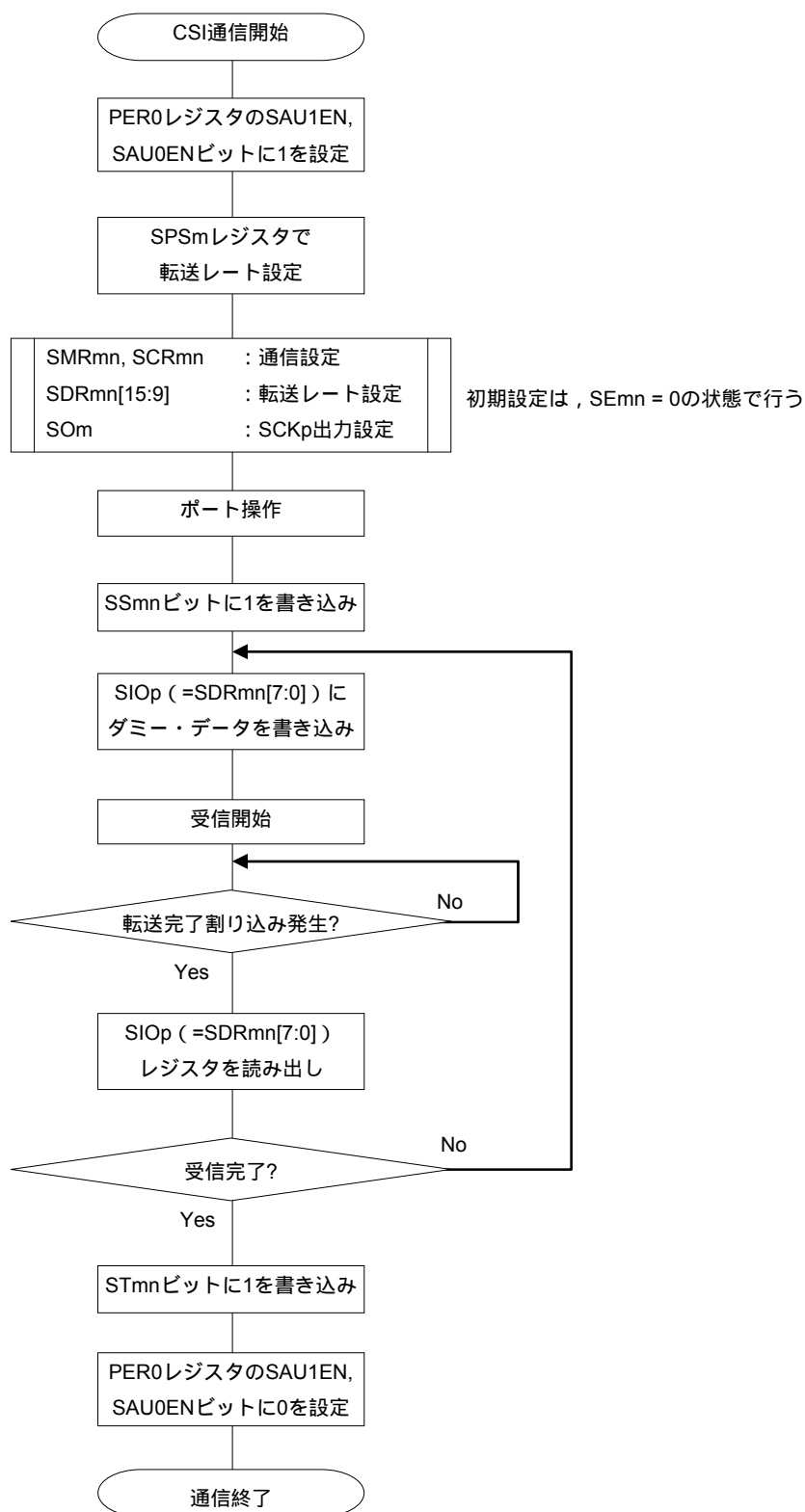
(3) 処理フロー (シングル受信モード時)

図11 - 35 マスタ受信 (シングル受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-2) mn = 00-02, 10
 p : CSI番号 (p = 00, 01, 10, 20)

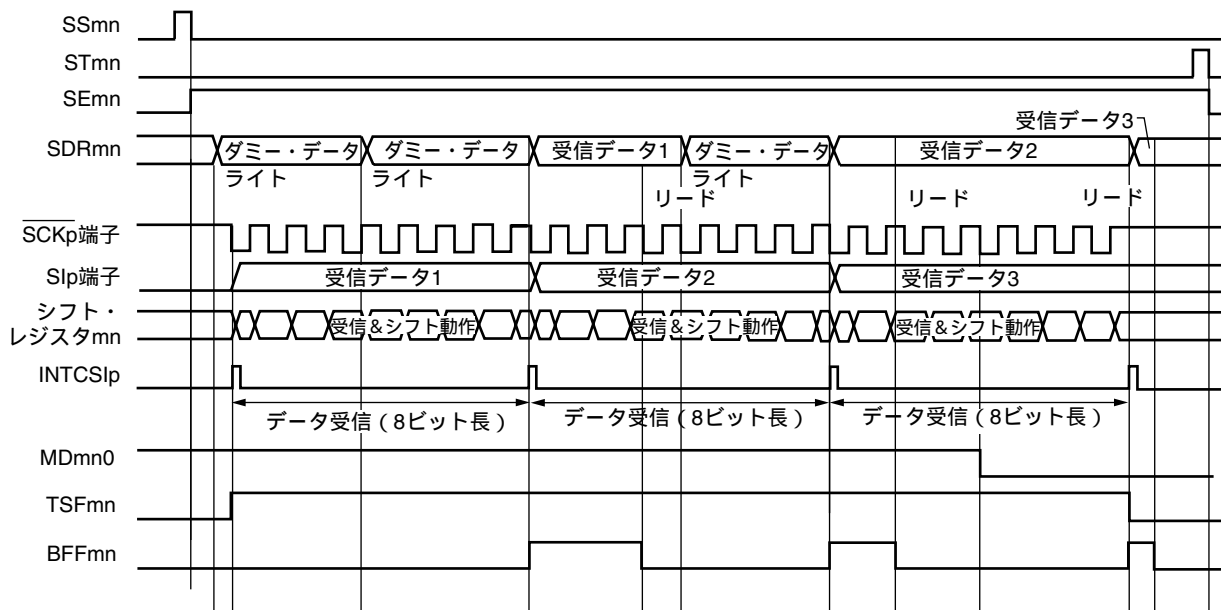
図11 - 36 マスタ受信 (シングル受信モード時) のフロー・チャート



注意 PER0レジスタのSAUmENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからSPSmレジスタを設定してください。

(4) 処理フロー（連続受信モード時）

図11 - 37 マスタ受信（連続受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



注意 MDmn0ビットは、動作中でも書き換えることができます。

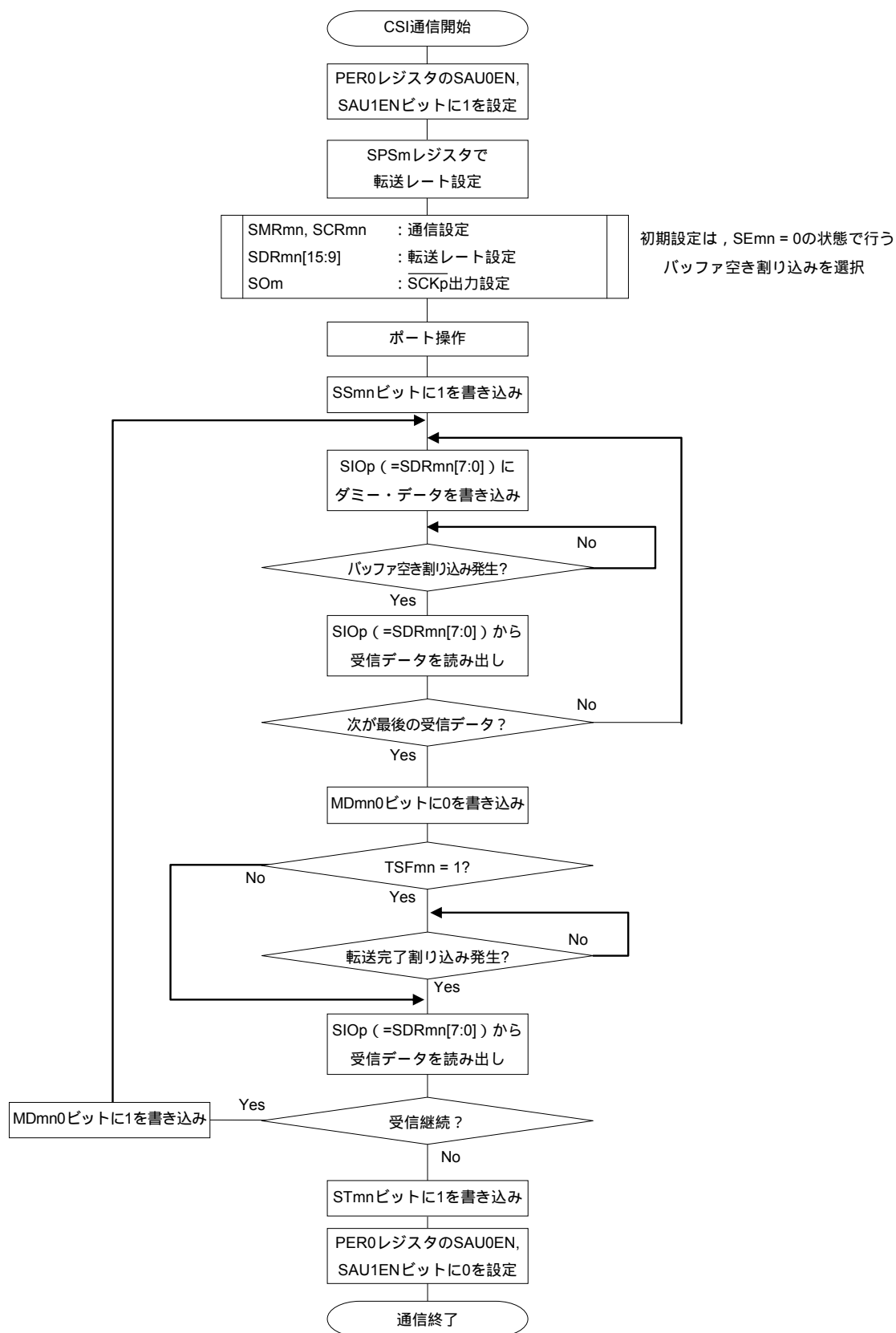
ただし、最後の受信データの転送完了割り込みに間に合わせるために、最終ビットの受信開始前までに書き換えてください。

備考1. 図中の ~ は、図11 - 38 マスタ受信（連続受信モード時）のフロー・チャートの ~ に対応しています。

2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-2)

mn = 00-02, 10 p : CSI番号 (p = 00, 01, 10, 20)

図11 - 38 マスタ受信 (連続受信モード時) のフロー・チャート



注意 PER0レジスタのSAUmENビットを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考 図中の ~ は、図11 - 37 マスタ受信 (連続受信モード時) のタイミング・チャートの ~ に対応しています。

11.5.3 マスタ送受信

マスタ送受信とは、この78K0R/Kx3-Cが転送クロックを出力し、78K0R/Kx3-Cと他デバイスでデータを送受信する動作です。

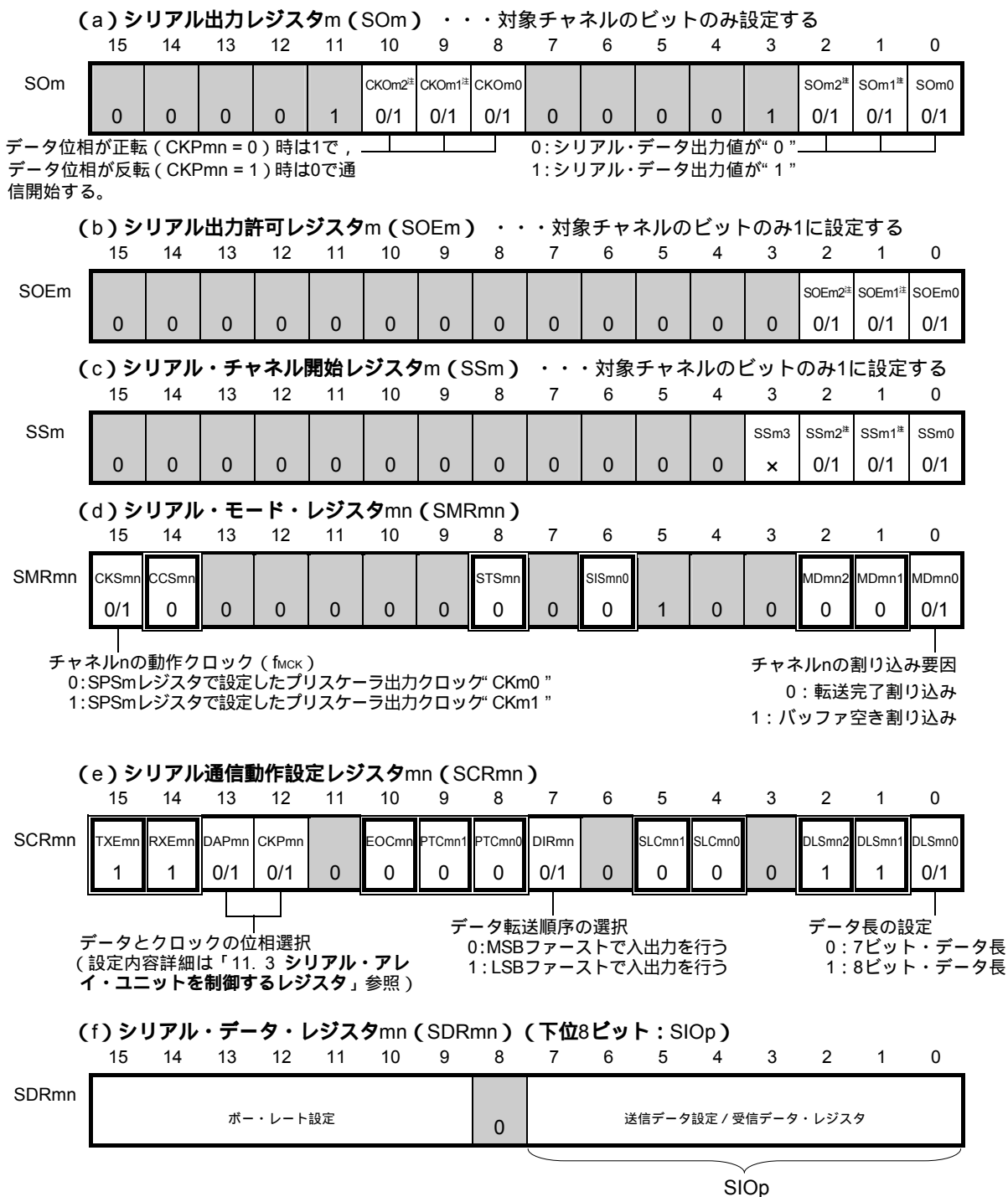
3線シリアルI/O	CSI00	CSI01	CSI10	CSI20
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	SCK00, SI00, SO00	SCK01, SI01, SO01	SCK10, SI10, SO10	SCK20, SI20, SO20
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI20
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	7ビットまたは8ビット			
転送レート	Max. $f_{CLK}/4$ [Hz], Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [Hz] ^注 f_{CLK} : システム・クロック周波数			
データ位相	DAPmnビットにより選択可能 <ul style="list-style-type: none"> ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始 			
クロック位相	CKPmnビットにより選択可能 <ul style="list-style-type: none"> ・ CKPmn = 0の場合：正転 ・ CKPmn = 1の場合：反転 			
データ方向	MSBファーストまたはLSBファースト			

注 この条件を満たし、かつ電気的特性のAC特性（第29章 電気的特性参照）を満たす範囲内で使用してください。

備考 m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0-2） mn = 00-02, 10

(1) レジスタ設定

図11 - 39 3線シリアルI/O (CSI00, CSI01, CSI10, CSI20) のマスタ送受信時のレジスタ設定内容例



注 シリアル・アレイ・ユニット0のみ設定します。

備考 m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0-2) mn = 00-02, 10

p: CSI番号 (p = 00, 01, 10, 20)

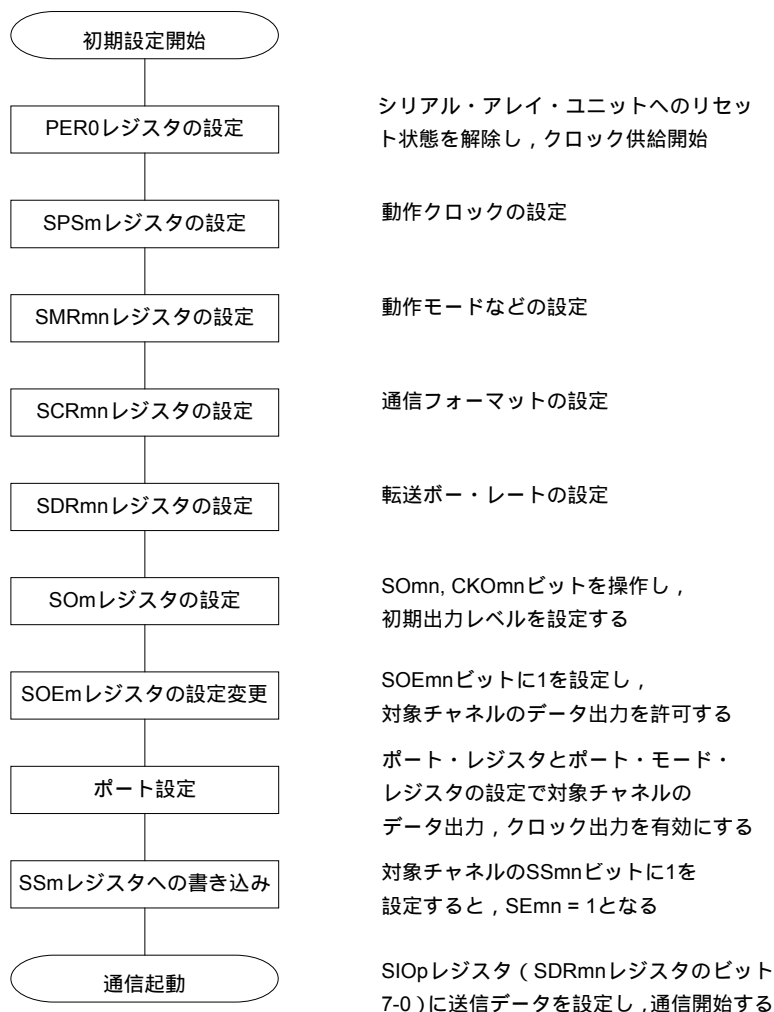
□: CSIマスタ送受信モードでは設定固定 ■: 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

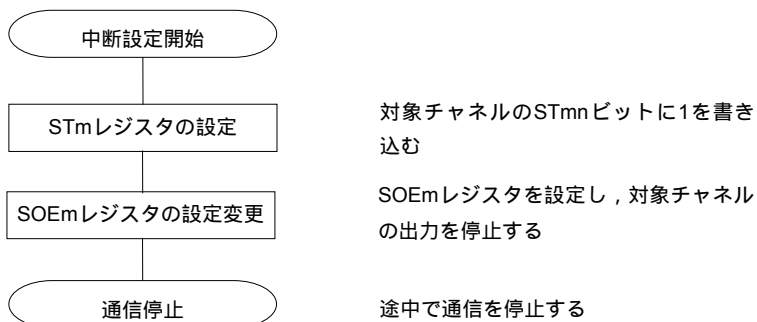
(2) 操作手順

図11 - 40 マスタ送受信の初期設定手順



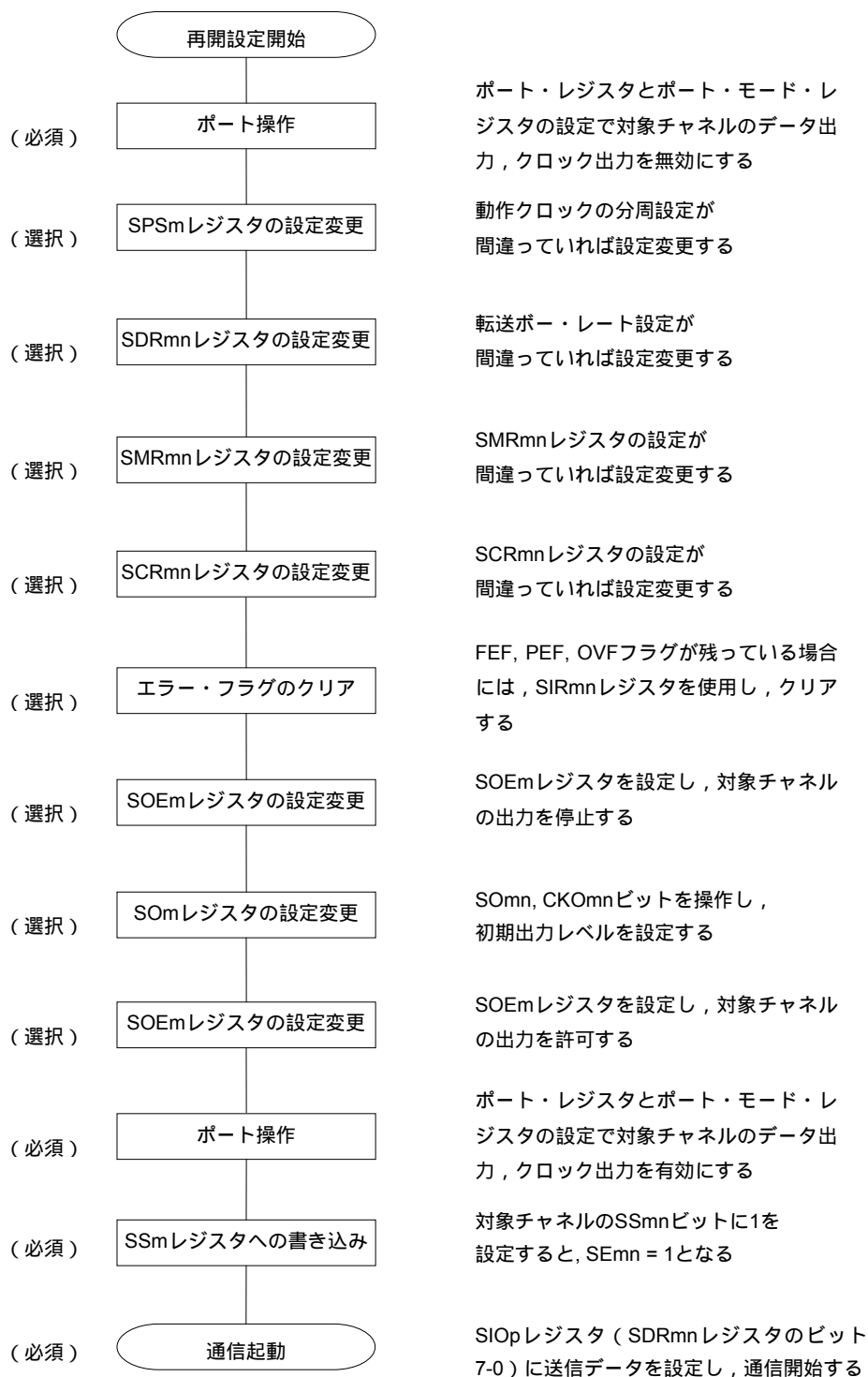
注意 PER0レジスタのSAUmENビットを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからSPSmレジスタを設定してください。

図11 - 41 マスタ送受信の中断手順



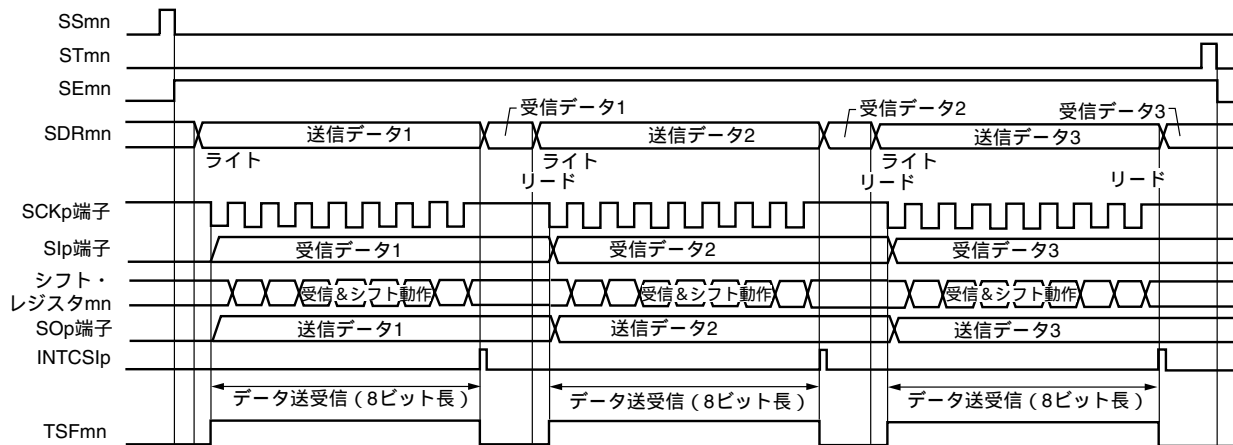
備考 中断後も端子レベルは保持されますので、動作を再開するにはSOmレジスタを再設定してください(図11 - 42 マスタ送受信の再開設定手順参照)。

図11 - 42 マスタ送受信の再開設定手順



(3) 処理フロー (シングル送受信モード時)

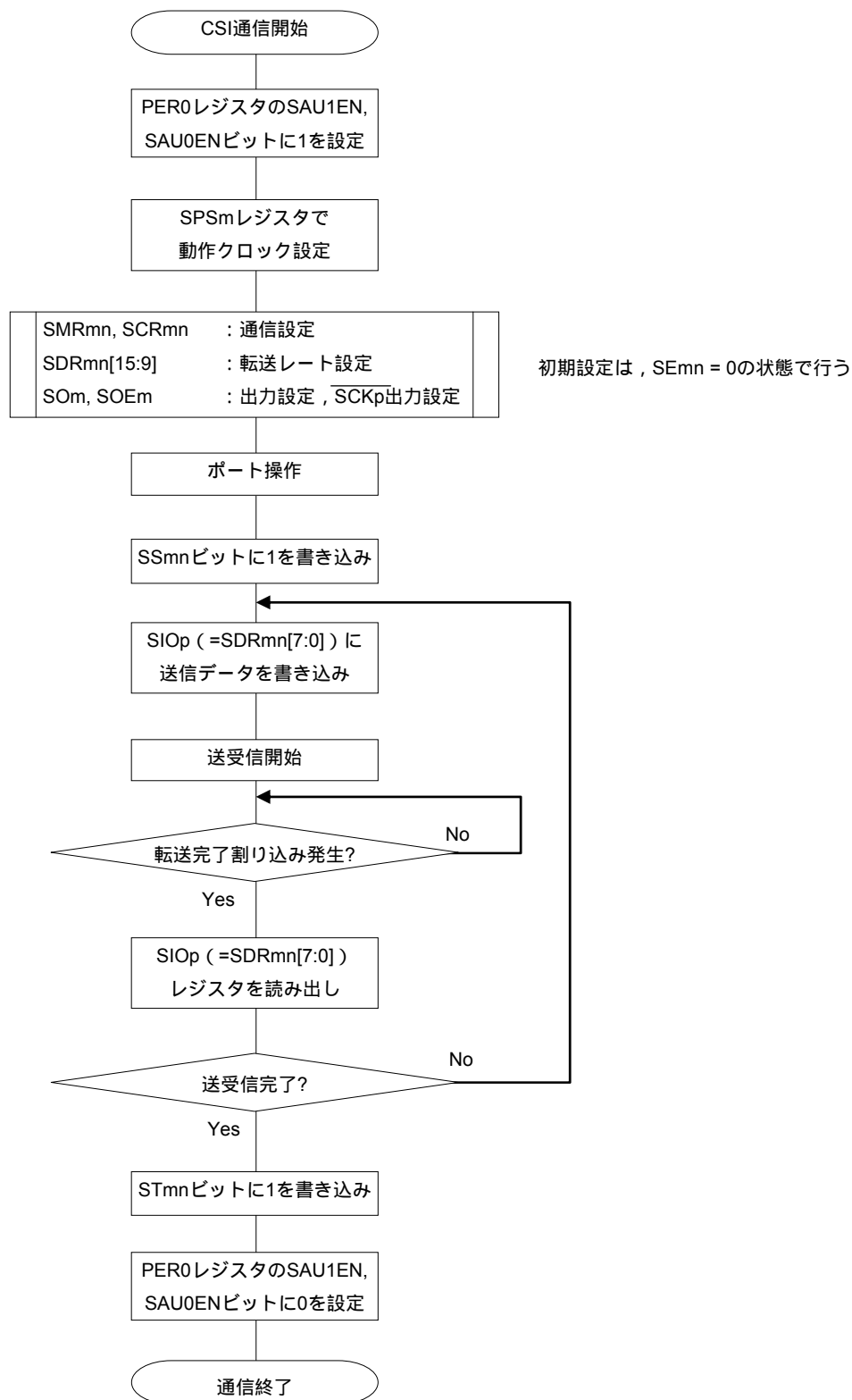
図11 - 43 マスタ送受信 (シングル送受信モード時) のタイミング・チャート (タイプ1: DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-2) mn = 00-02, 10

p : CSI番号 (p = 00, 01, 10, 20)

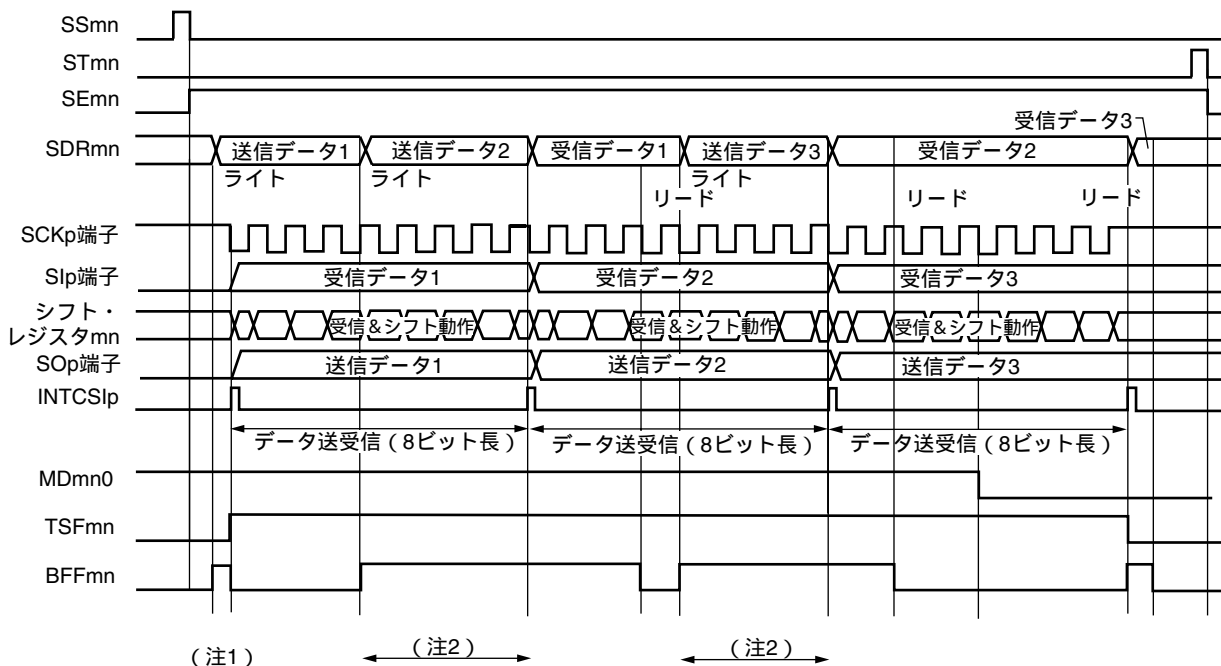
図11 - 44 マスタ送受信 (シングル送受信モード時) のフロー・チャート



注意 PER0レジスタのSAUmENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからSPSmレジスタを設定してください。

(4) 処理フロー（連続送受信モード時）

図11 - 45 マスタ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



注1. BFFmn = 1の期間にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

- この期間にSDRmnレジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

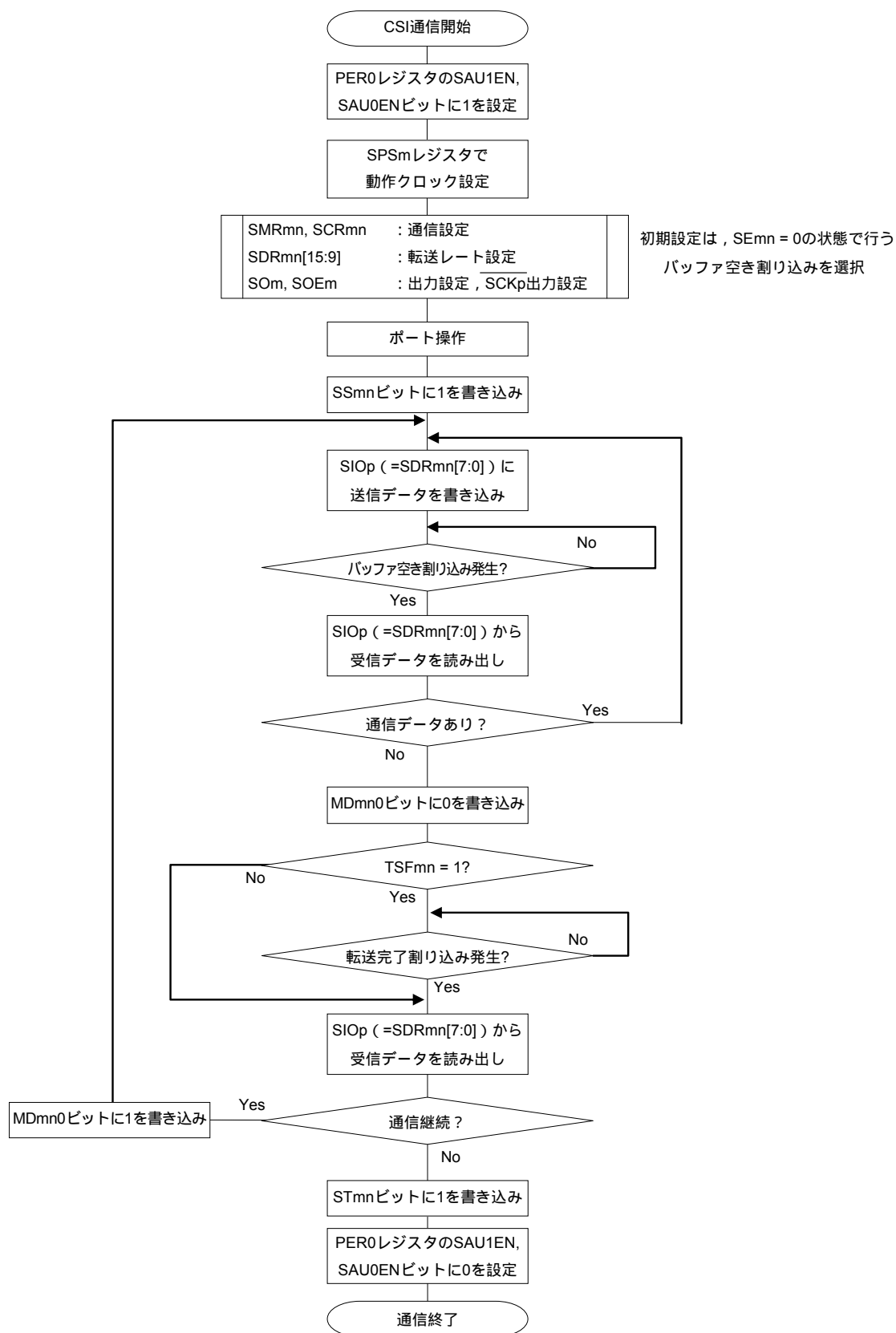
注意 MDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の ~ は、図11 - 46 マスタ送受信（連続送受信モード時）のフロー・チャートの ~ に対応しています。

- m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-2) mn = 00-02, 10
p : CSI番号 (p = 00, 01, 10, 20)

図11 - 46 マスタ送受信（連続送受信モード時）のフロー・チャート



注意 PER0レジスタのSAUmENビットを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考 図中の ~ は、図11 - 45 マスタ送受信（連続送受信モード時）のタイミング・チャートの ~ に対応しています。

11.5.4 スレーブ送信

スレーブ送信とは、他デバイスから転送クロックを入力される状態で、78K0R/Kx3-Cから他デバイスへデータを送信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI10	CSI20
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	$\overline{\text{SCK00}}$, SO00	$\overline{\text{SCK01}}$, SO01	$\overline{\text{SCK10}}$, SO10	$\overline{\text{SCK20}}$, SO20
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI20
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	7ビットまたは8ビット			
転送レート	Max. $f_{\text{MCK}}/6$ [Hz] ^{注1, 2}			
データ位相	DAPmnビットにより選択可能 <ul style="list-style-type: none"> ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始 			
クロック位相	CKPmnビットにより選択可能 <ul style="list-style-type: none"> ・ CKPmn = 0の場合：正転 ・ CKPmn = 1の場合：反転 			
データ方向	MSBファーストまたはLSBファースト			

注1. $\overline{\text{SCK00}}$, $\overline{\text{SCK01}}$, $\overline{\text{SCK10}}$, $\overline{\text{SCK20}}$ 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{\text{MCK}}/6$ [Hz]となります。

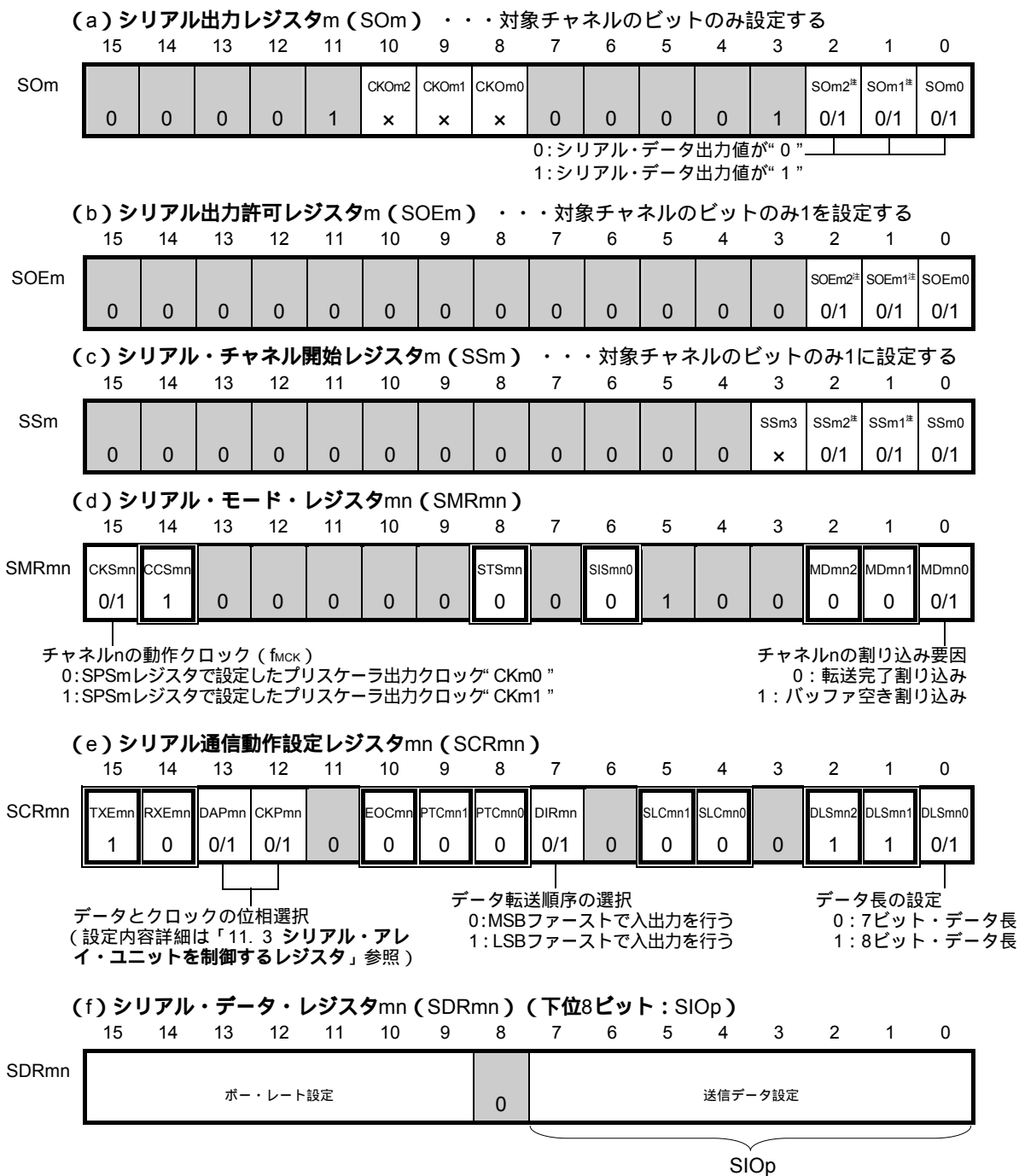
2. この条件を満たし、かつ電気的特性のAC特性（第29章 電気的特性参照）を満たす範囲内で使用してください。

備考1. f_{MCK} ：対象チャンネルの動作クロック周波数

2. m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0-2） mn = 00-02, 10

(1) レジスタ設定

図11 - 47 3線シリアルI/O (CSI00, CSI01, CSI10, CSI20) のスレーブ送信時のレジスタ設定内容例



注 シリアル・アレイ・ユニット0のみ設定します。

備考 m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0-2) mn = 00-02, 10

p: CSI番号 (p = 00, 01, 10, 20)

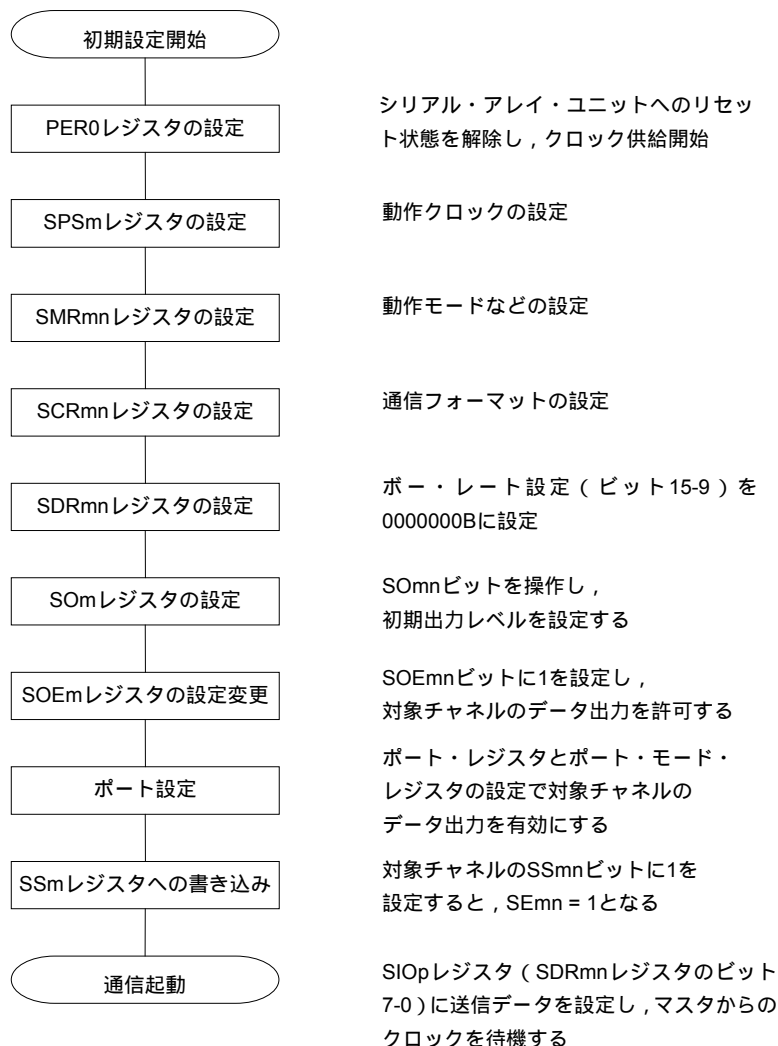
□: CSIスレーブ送信モードでは設定固定 ■: 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

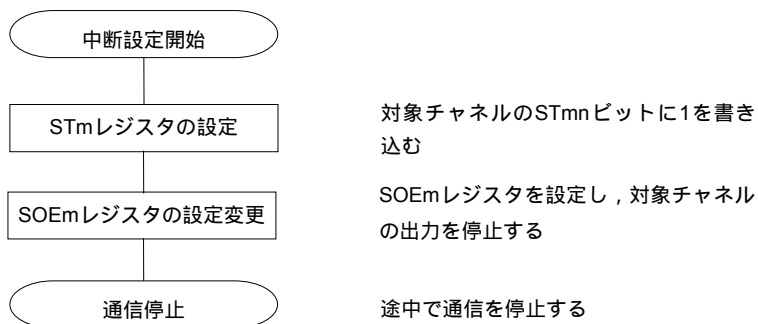
(2) 操作手順

図11 - 48 スレーブ送信の初期設定手順



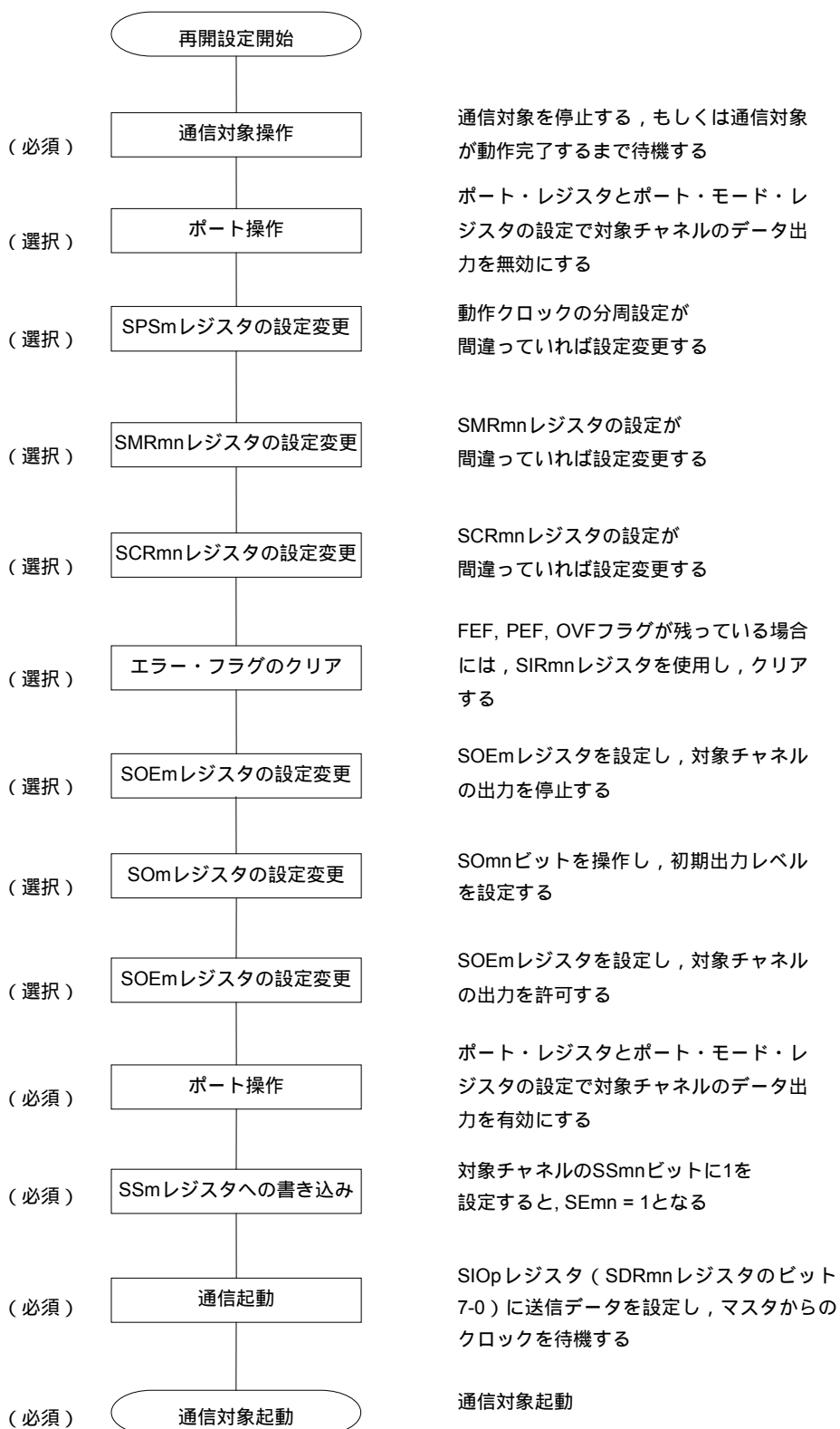
注意 PER0レジスタのSAUmENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔を置いてからSPSmレジスタを設定してください。

図11 - 49 スレーブ送信の中断手順



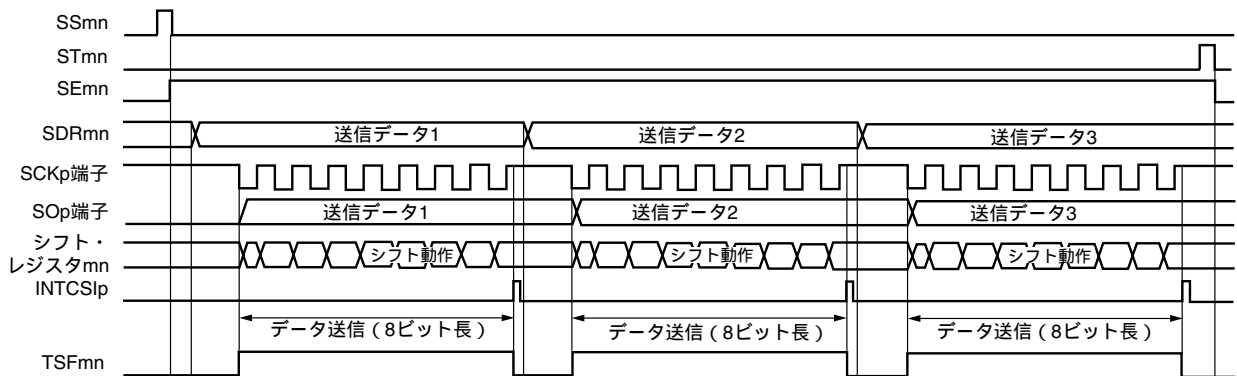
備考 中断後も端子レベルは保持されますので、動作を再開する際にはSOmレジスタを再設定してください（図11 - 50 スレーブ送信の再開設定手順参照）。

図11 - 50 スレーブ送信の再開設定手順



(3) 処理フロー (シングル送信モード時)

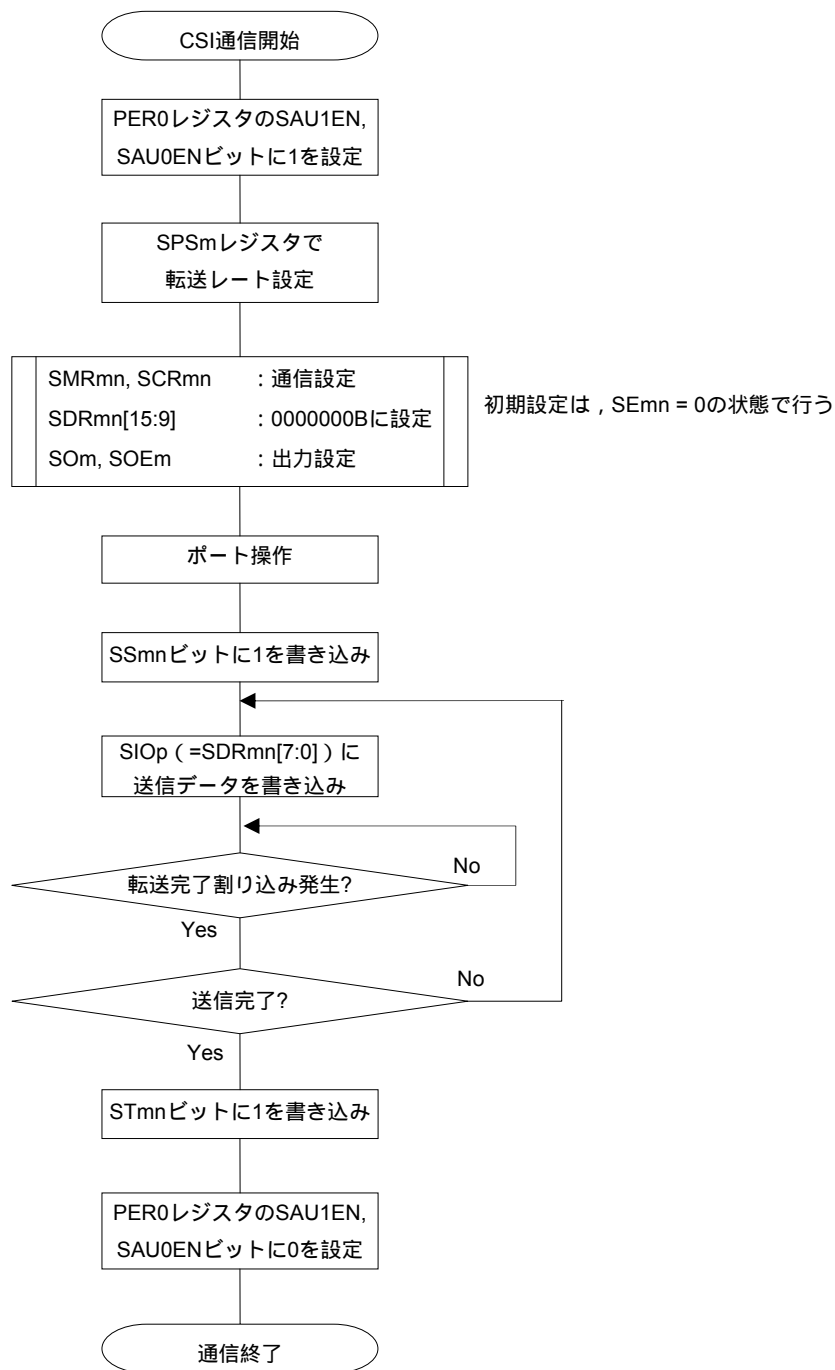
図11 - 51 スレーブ送信 (シングル送信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-2) mn = 00-02, 10

p : CSI番号 (p = 00, 01, 10, 20)

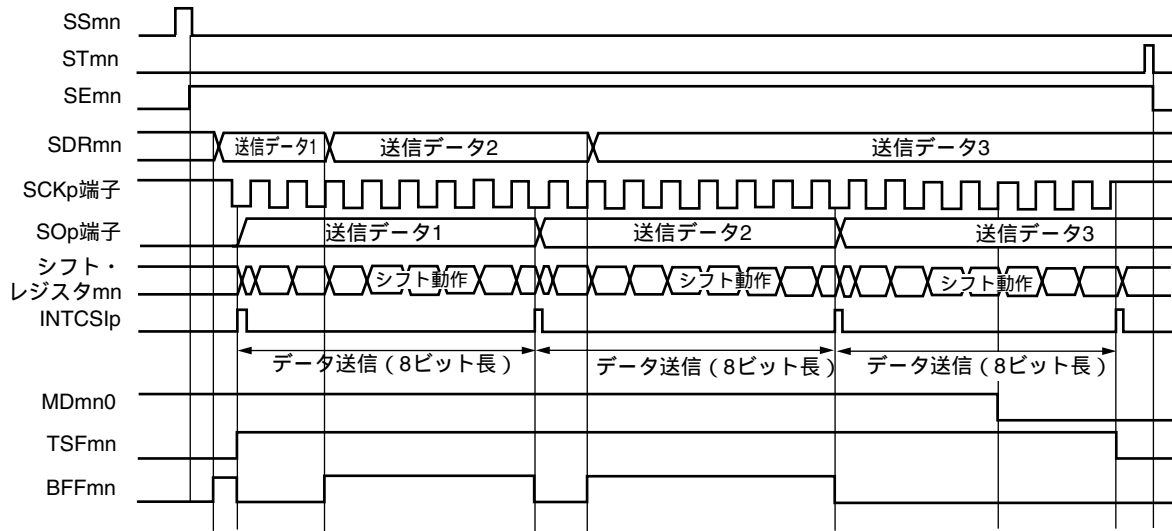
図11 - 52 スレーブ送信 (シングル送信モード時) のフロー・チャート



注意 PER0レジスタのSAUmENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからSPSmレジスタを設定してください。

(4) 処理フロー（連続送信モード時）

図11 - 53 スレーブ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）

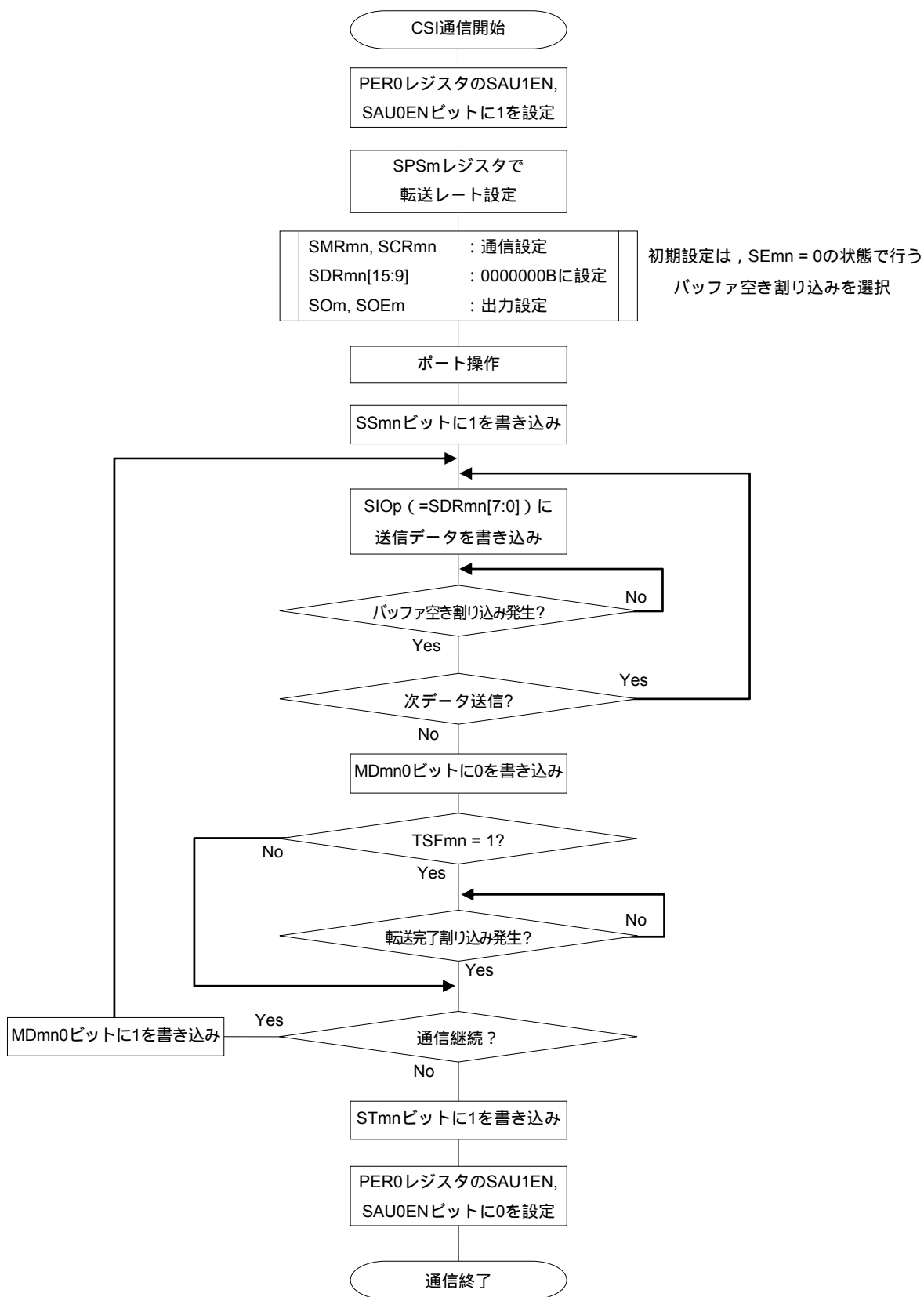


(注)

注 BFFmn = 1の期間にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

注意 MDmn0ビットは、動作中でも書き換えることができます。ただし、最終ビットの転送開始前までに書き換えてください。

図11 - 54 スレープ送信（連続送信モード時）のフロー・チャート



注意 PER0レジスタのSAUmENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考 図中の ~ は、図11 - 53 スレープ送信（連続送信モード時）のタイミング・チャートの ~ に対応しています。

11.5.5 スレーブ受信

スレーブ受信とは、他デバイスから転送クロックを入力される状態で、78K0R/Kx3-Cが他デバイスからデータを受信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI10	CSI20
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	$\overline{\text{SCK00}}$, SI00	$\overline{\text{SCK01}}$, SI01	$\overline{\text{SCK10}}$, SI10	$\overline{\text{SCK20}}$, SI20
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI20
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	7ビットまたは8ビット			
転送レート	Max. $f_{\text{MCK}}/6$ [Hz] ^{注1, 2}			
データ位相	DAPmnビットにより選択可能 <ul style="list-style-type: none"> ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始 			
クロック位相	CKPmnビットにより選択可能 <ul style="list-style-type: none"> ・ CKPmn = 0の場合：正転 ・ CKPmn = 1の場合：反転 			
データ方向	MSBファーストまたはLSBファースト			

注1. $\overline{\text{SCK00}}$, $\overline{\text{SCK01}}$, $\overline{\text{SCK10}}$, $\overline{\text{SCK20}}$ 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用するため、最大転送レートは $f_{\text{MCK}}/6$ [Hz]となります。

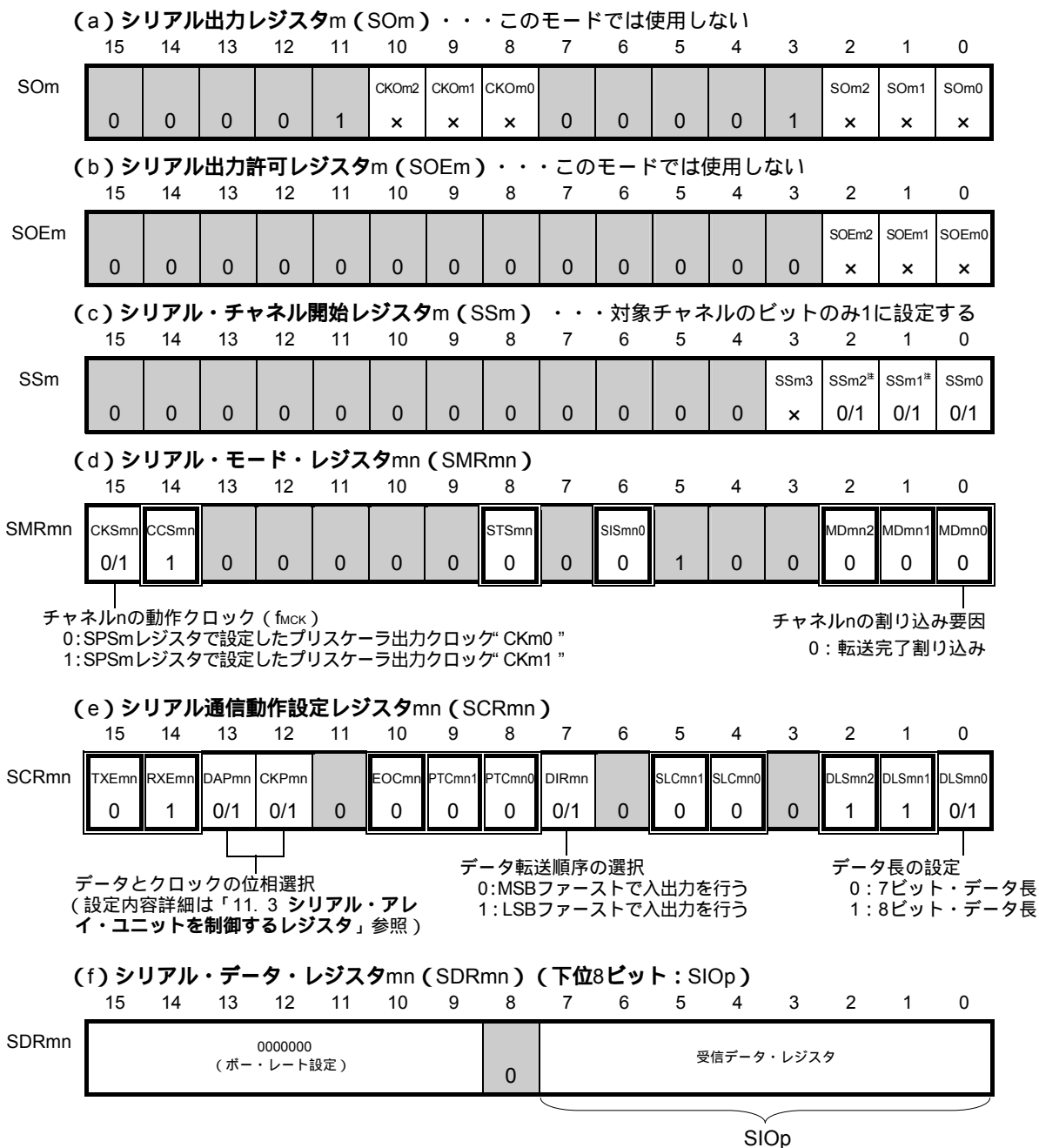
2. この条件を満たし、かつ電気的特性のAC特性（第29章 電気的特性参照）を満たす範囲内で使用してください。

備考1. f_{MCK} ：対象チャンネルの動作クロック周波数

2. m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0-2） mn = 00-02, 10

(1) レジスタ設定

図11 - 55 3線シリアルI/O (CSI00, CSI01, CSI10, CSI20) のスレーブ受信時のレジスタ設定内容例



注 シリアル・アレイ・ユニット0のみ設定します。

備考 m:ユニット番号 (m=0,1) n:チャンネル番号 (n=0-2) mn=00-02, 10

p:CSI番号 (p=00, 01, 10, 20)

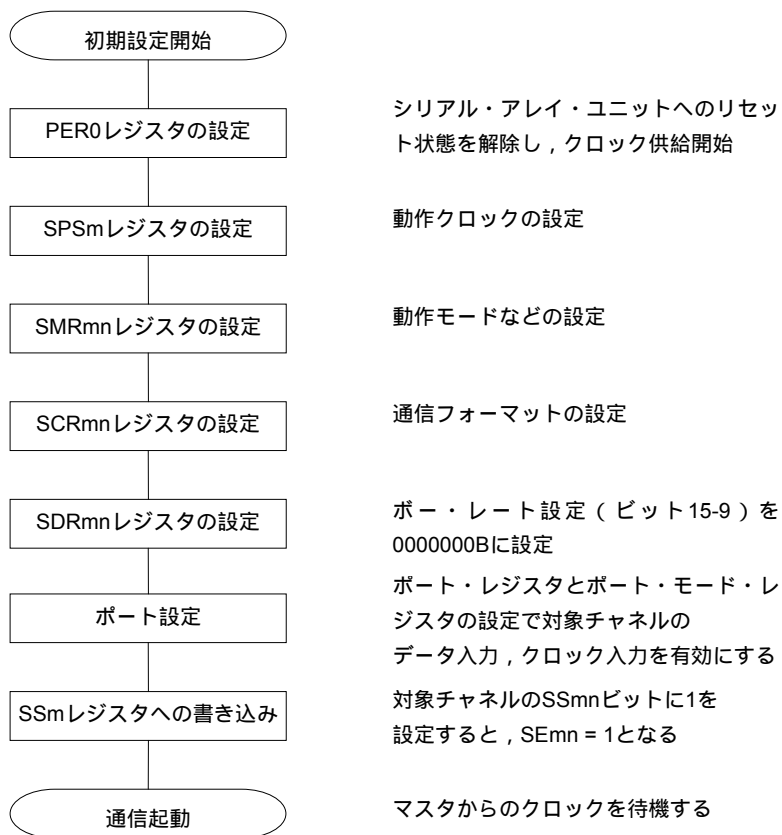
□:CSIスレーブ受信モードでは設定固定 ■:設定不可(初期値を設定)

x:このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)

0/1:ユーザの用途に応じて0または1に設定

(2) 操作手順

図11 - 56 スレーブ受信の初期設定手順



注意 PER0レジスタのSAUmENビットを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからSPSmレジスタを設定してください。

図11 - 57 スレーブ受信の中断手順

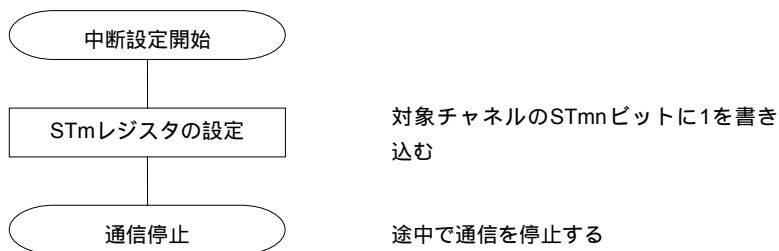
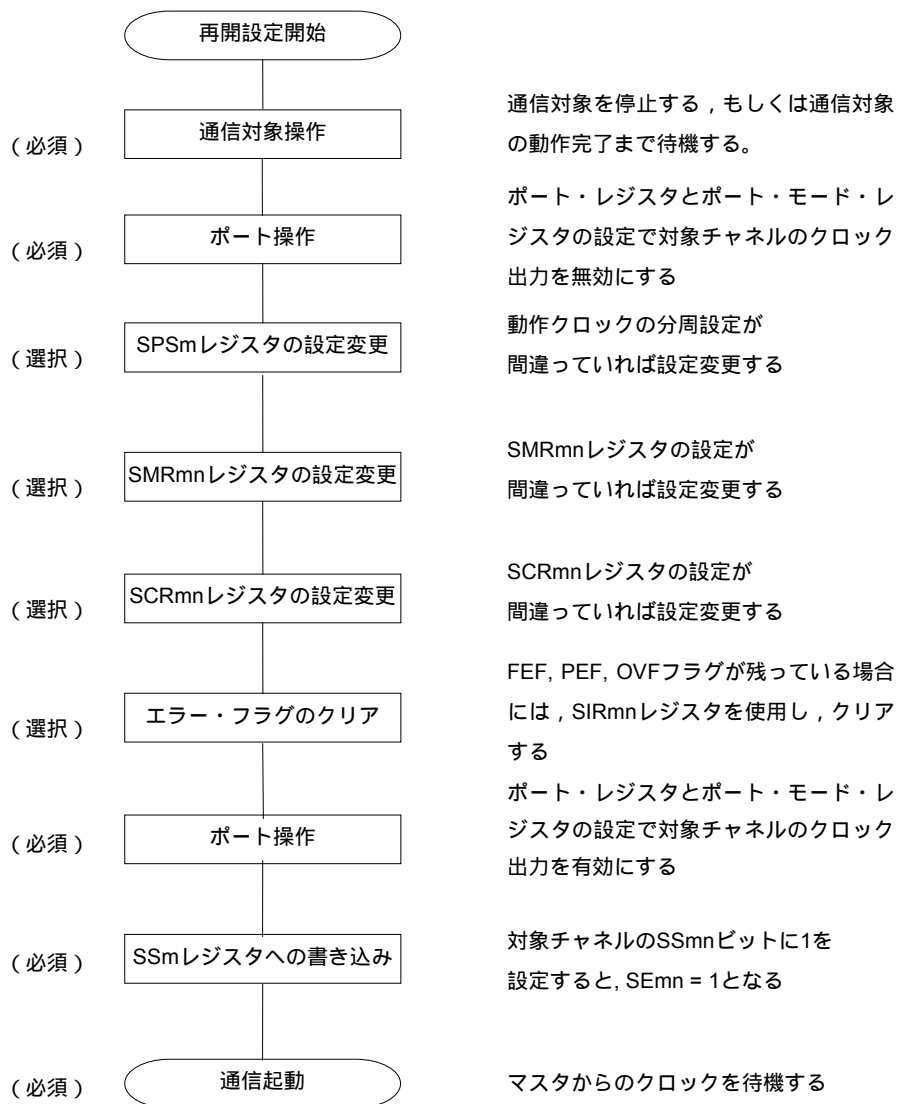
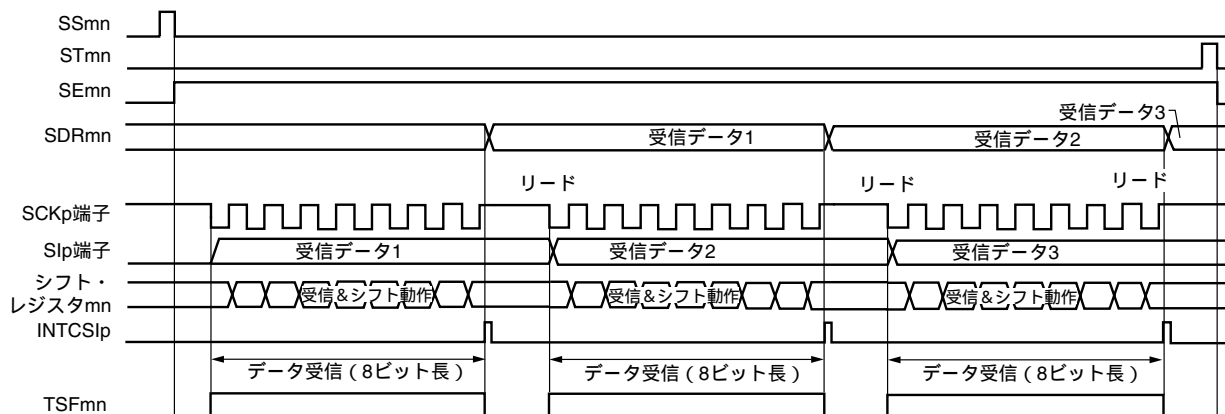


図11 - 58 スレーブ受信の再開設定手順



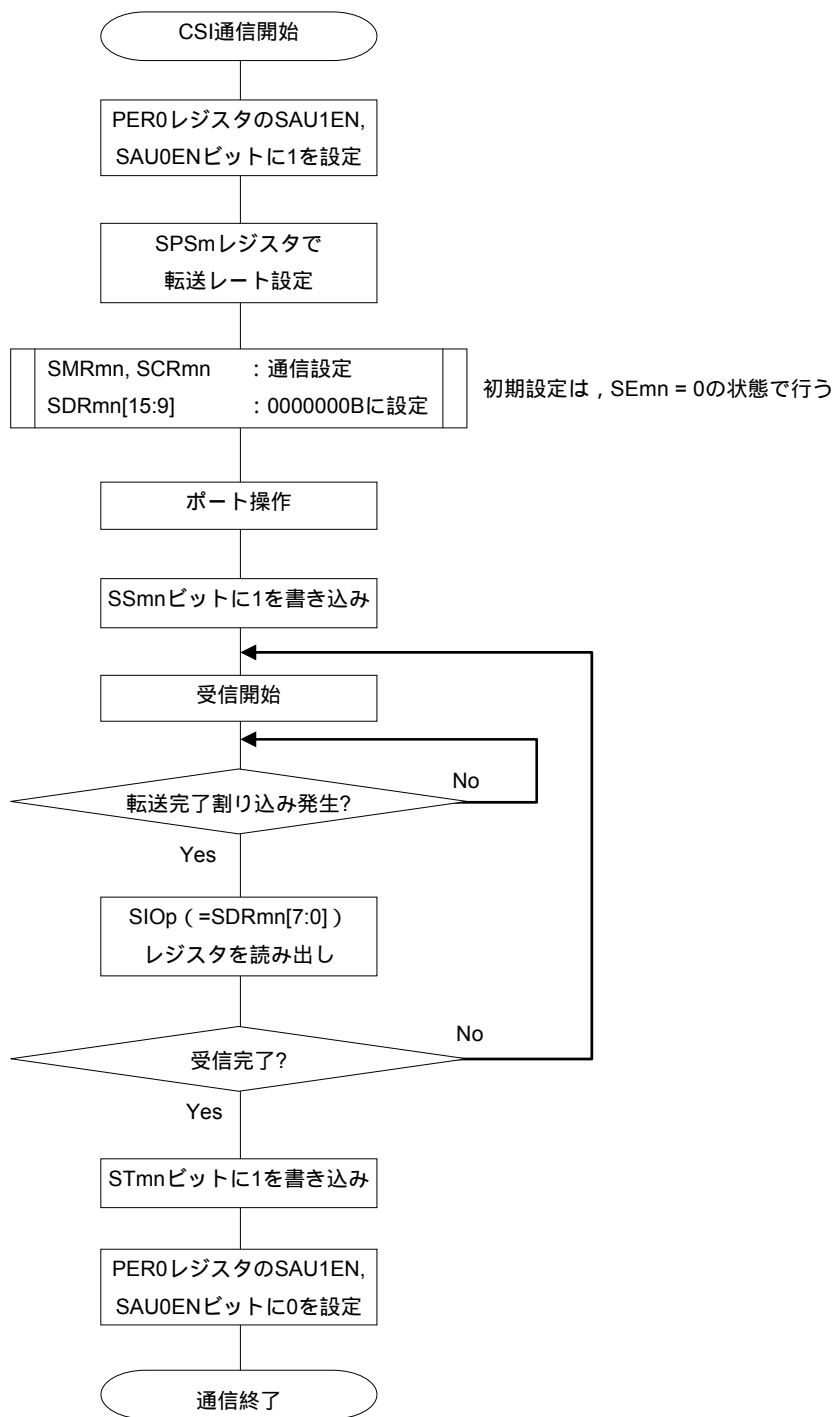
(3) 処理フロー (シングル受信モード時)

図11 - 59 スレーブ受信 (シングル受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-2) mn = 00-02, 10
 p : CSI番号 (p = 00, 01, 10, 20)

図11 - 60 スレーブ受信 (シングル受信モード時) のフロー・チャート



注意 PER0レジスタのSAUmENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからSPSmレジスタを設定してください。

11.5.6 スレーブ送受信

スレーブ送受信とは、他デバイスから転送クロックを入力される状態で、78K0R/Kx3-Cと他デバイスでデータを送受信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI10	CSI20
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	$\overline{\text{SCK00}}$, SI00, SO00	$\overline{\text{SCK01}}$, SI01, SO01	$\overline{\text{SCK10}}$, SI10, SO10	$\overline{\text{SCK20}}$, SI20, SO20
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI20
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	7ビットまたは8ビット			
転送レート	Max. $f_{\text{MCK}}/6$ [Hz] ^{注1, 2}			
データ位相	DAPmnビットにより選択可能 <ul style="list-style-type: none"> ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始 			
クロック位相	CKPmnビットにより選択可能 <ul style="list-style-type: none"> ・ CKPmn = 0の場合：正転 ・ CKPmn = 1の場合：反転 			
データ方向	MSBファーストまたはLSBファースト			

注1. $\overline{\text{SCK00}}$, $\overline{\text{SCK01}}$, $\overline{\text{SCK10}}$, $\overline{\text{SCK20}}$ 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{\text{MCK}}/6$ [Hz]となります。

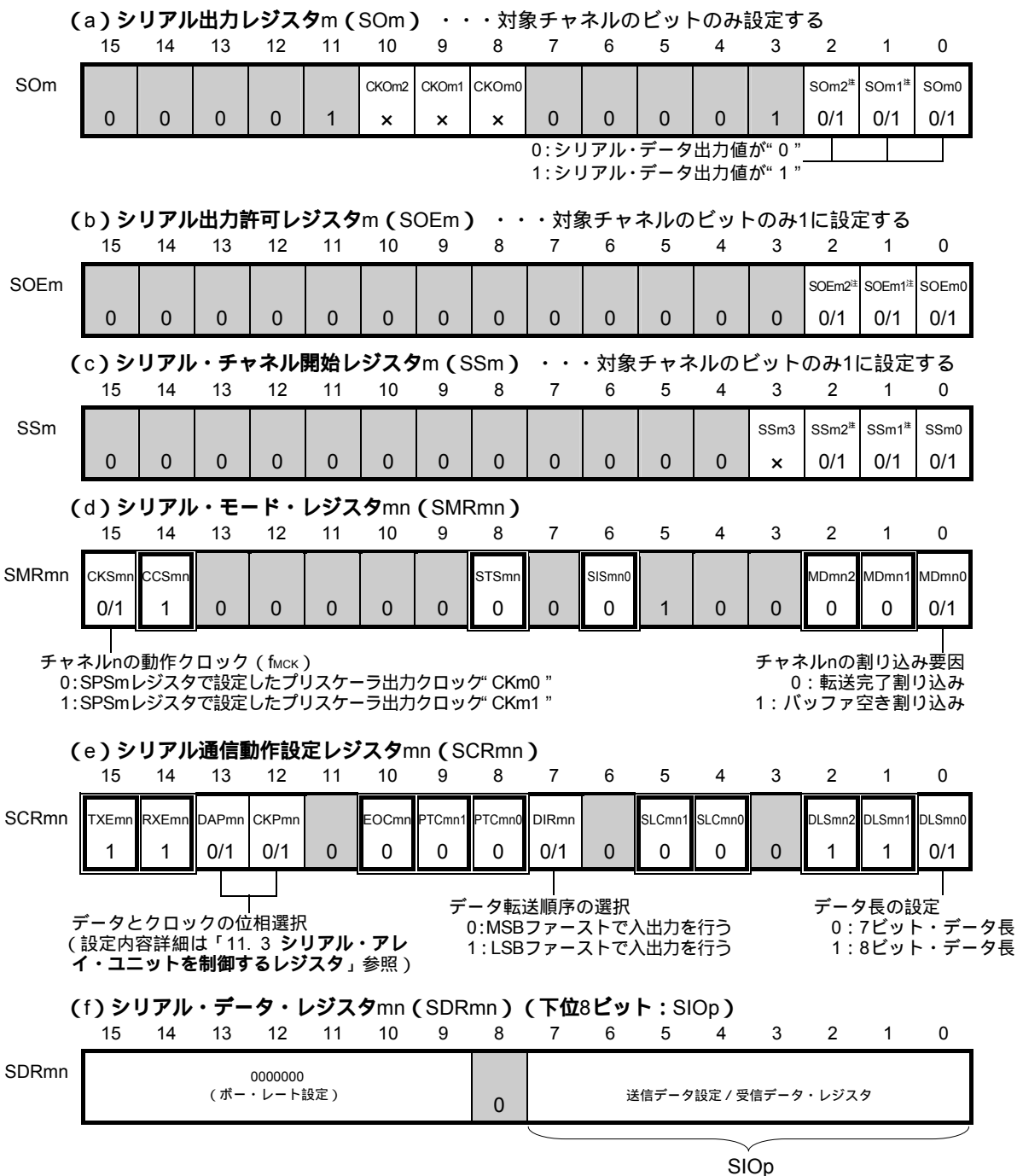
2. この条件を満たし、かつ電気的特性のAC特性（第29章 電気的特性参照）を満たす範囲内で使用してください。

備考1. f_{MCK} ：対象チャンネルの動作クロック周波数

2. m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0-2） mn = 00-02, 10

(1) レジスタ設定

図11 - 61 3線シリアルI/O (CSI00, CSI01, CSI10, CSI20) のスレーブ送受信時のレジスタ設定内容例



注 シリアル・アレイ・ユニット0のみ設定します。

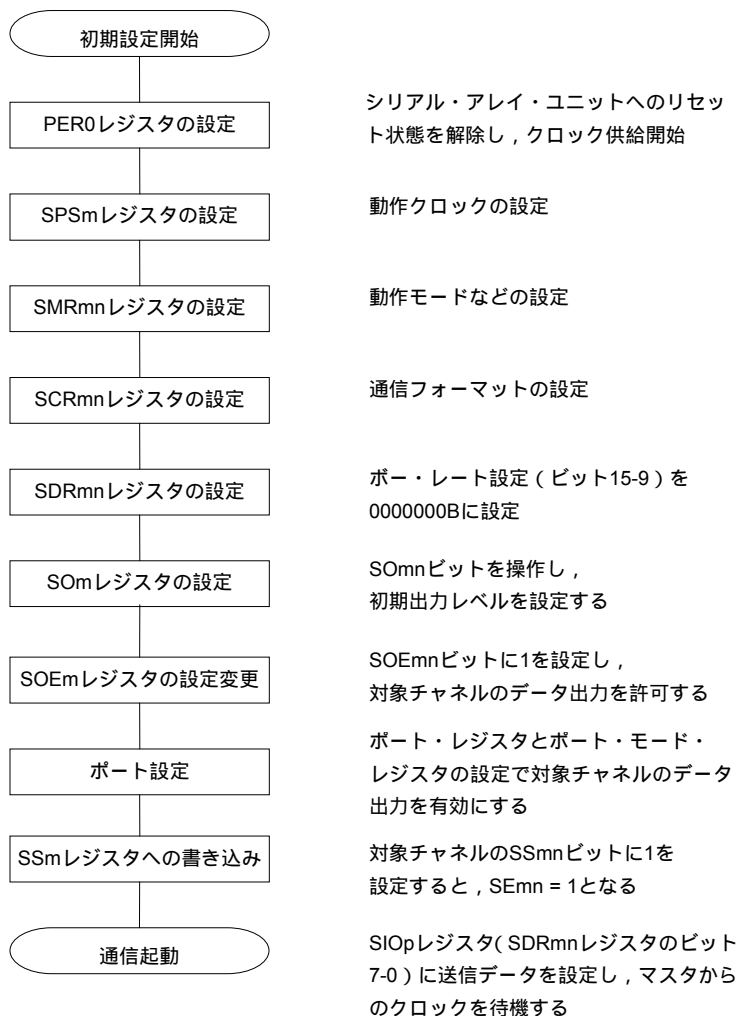
注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考 m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0-2) mn = 00-02, 10
p: CSI番号 (p = 00, 01, 10, 20)

□: CSIスレーブ送受信モードでは設定固定 ■: 設定不可 (初期値を設定)
x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
0/1: ユーザの用途に応じて0または1に設定

(2) 操作手順

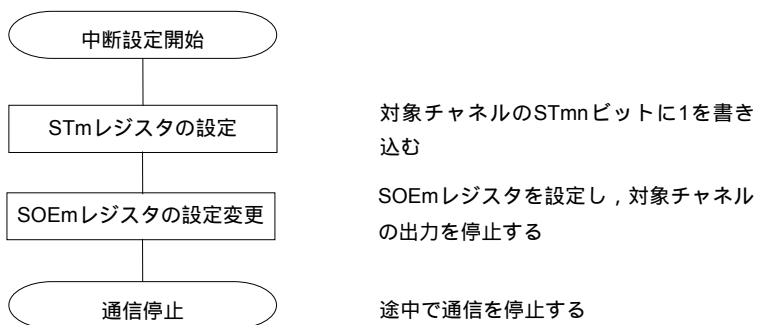
図11 - 62 スレーブ送受信の初期設定手順



注意1. PER0レジスタのSAUmENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからSPSmレジスタを設定してください。

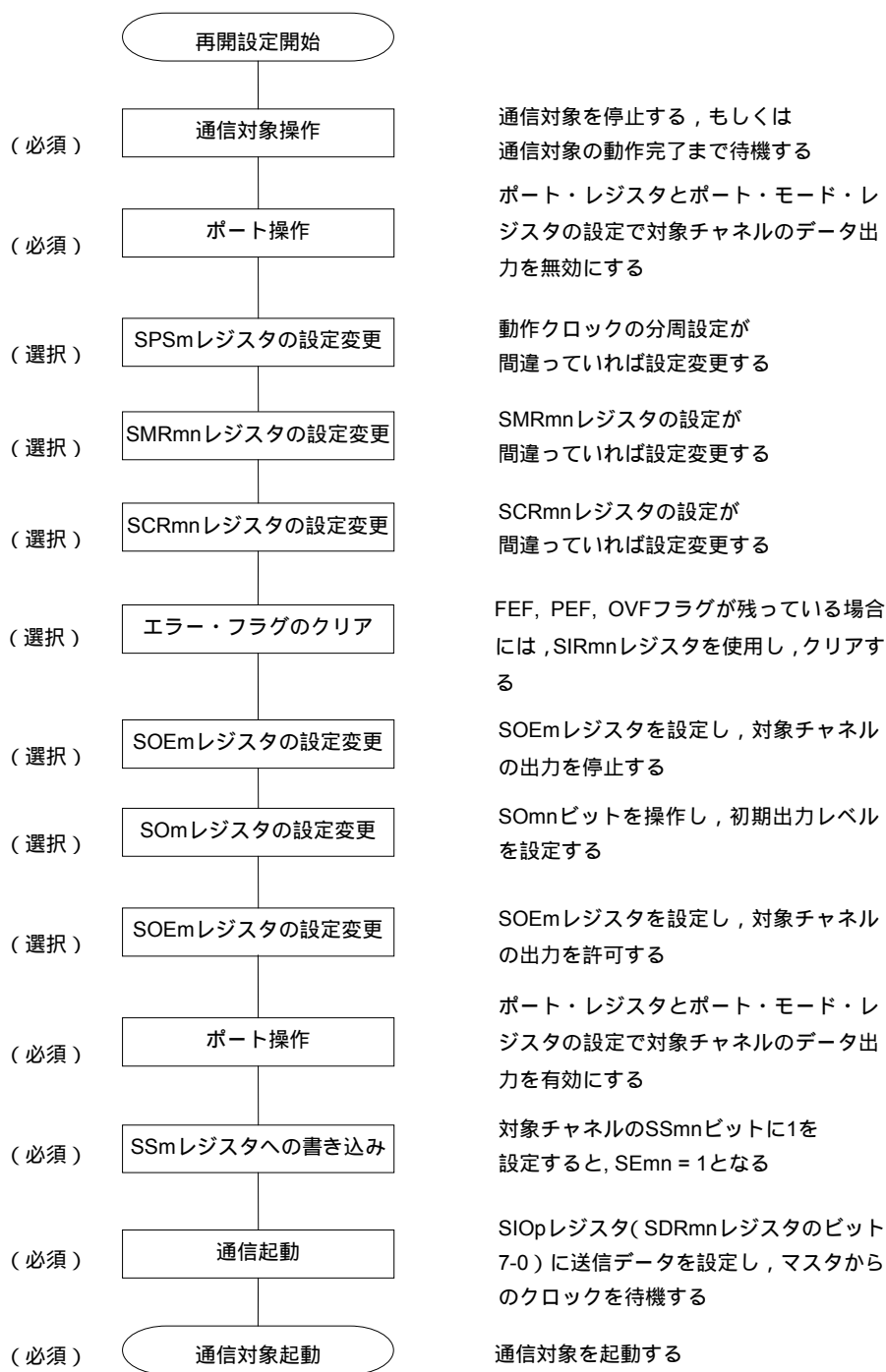
2. マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

図11 - 63 スレーブ送受信の中断手順



備考 中断後も端子レベルは保持されますので、動作を再開する際にはSOmnレジスタを再設定してください（図11 - 64 スレーブ送受信の再開設定手順参照）。

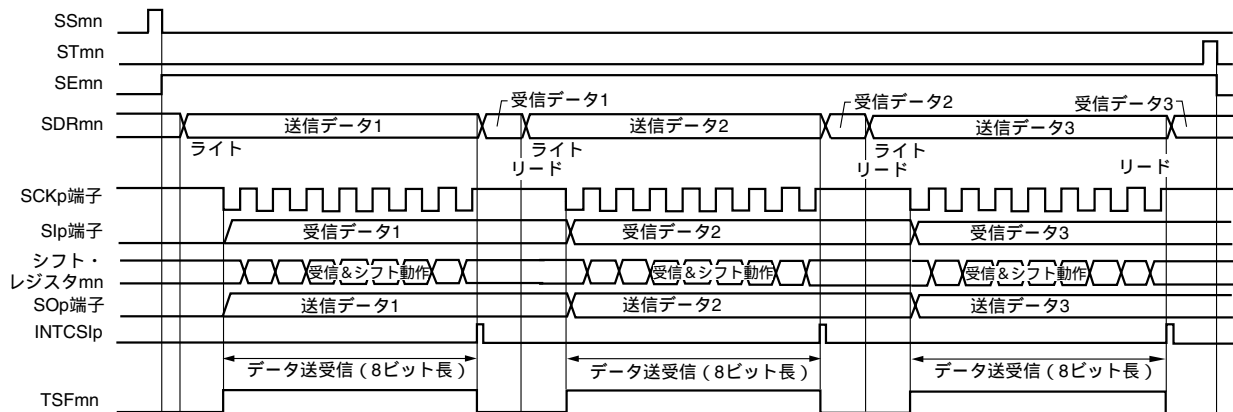
図11 - 64 スレーブ送受信の再開設定手順



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

(3) 処理フロー (シングル送受信モード時)

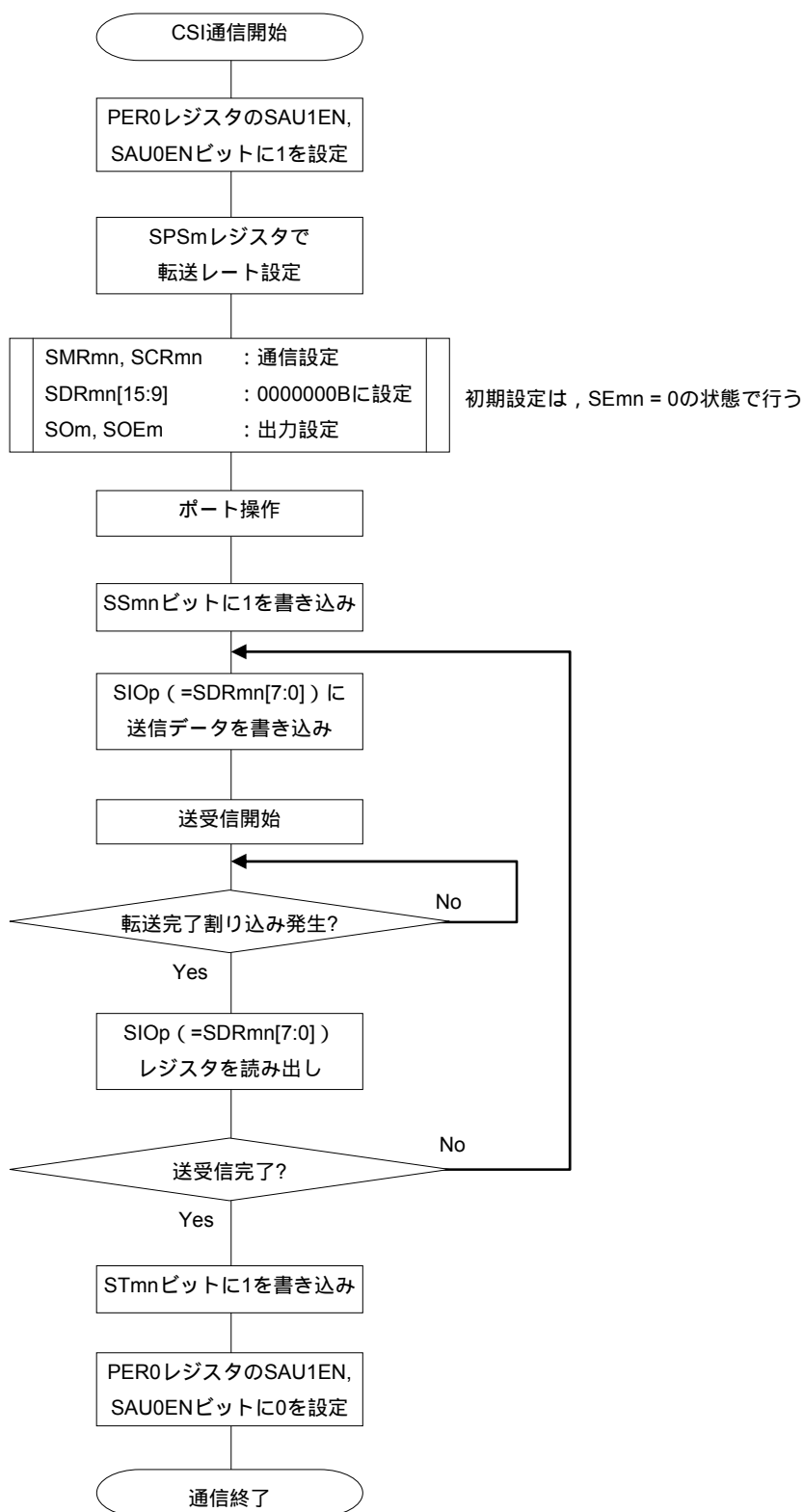
図11 - 65 スレーブ送受信 (シングル送受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-2) mn = 00-02, 10

p : CSI番号 (p = 00, 01, 10, 20)

図11 - 66 スレーブ送受信 (シングル送受信モード時) のフロー・チャート

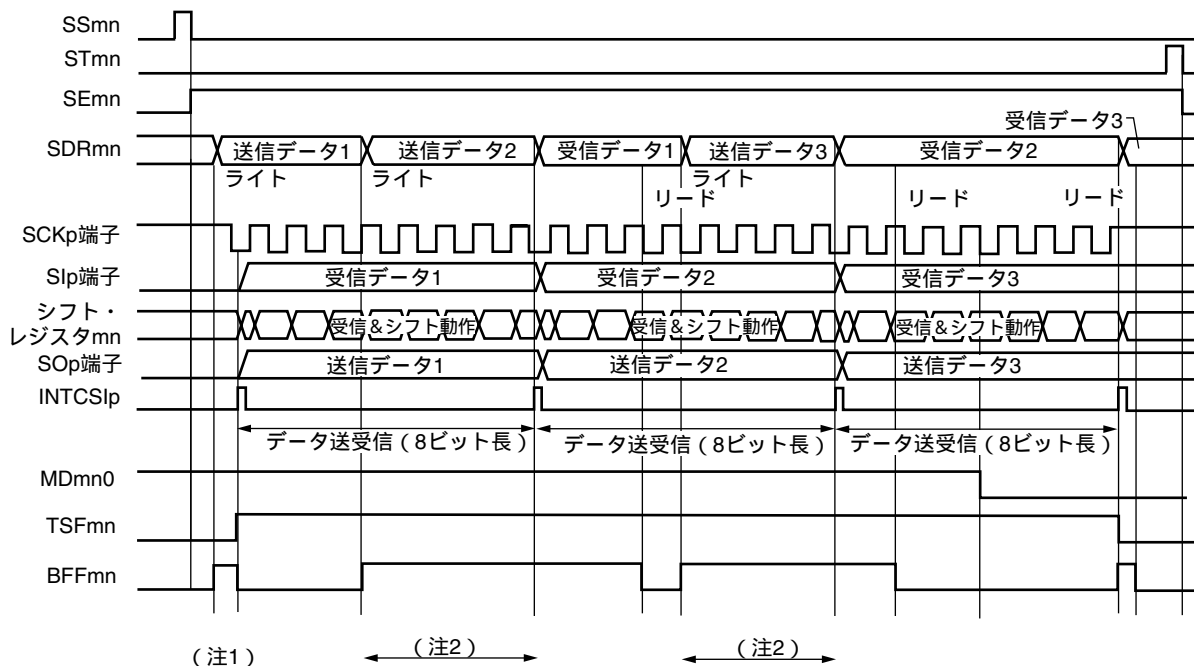


注意1. PER0レジスタのSAUmENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからSPSmレジスタを設定してください。

2. マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

(4) 処理フロー（連続送受信モード時）

図11 - 67 スレーブ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



注1. BFFmn = 1の期間にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

- この期間にSDRmnレジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

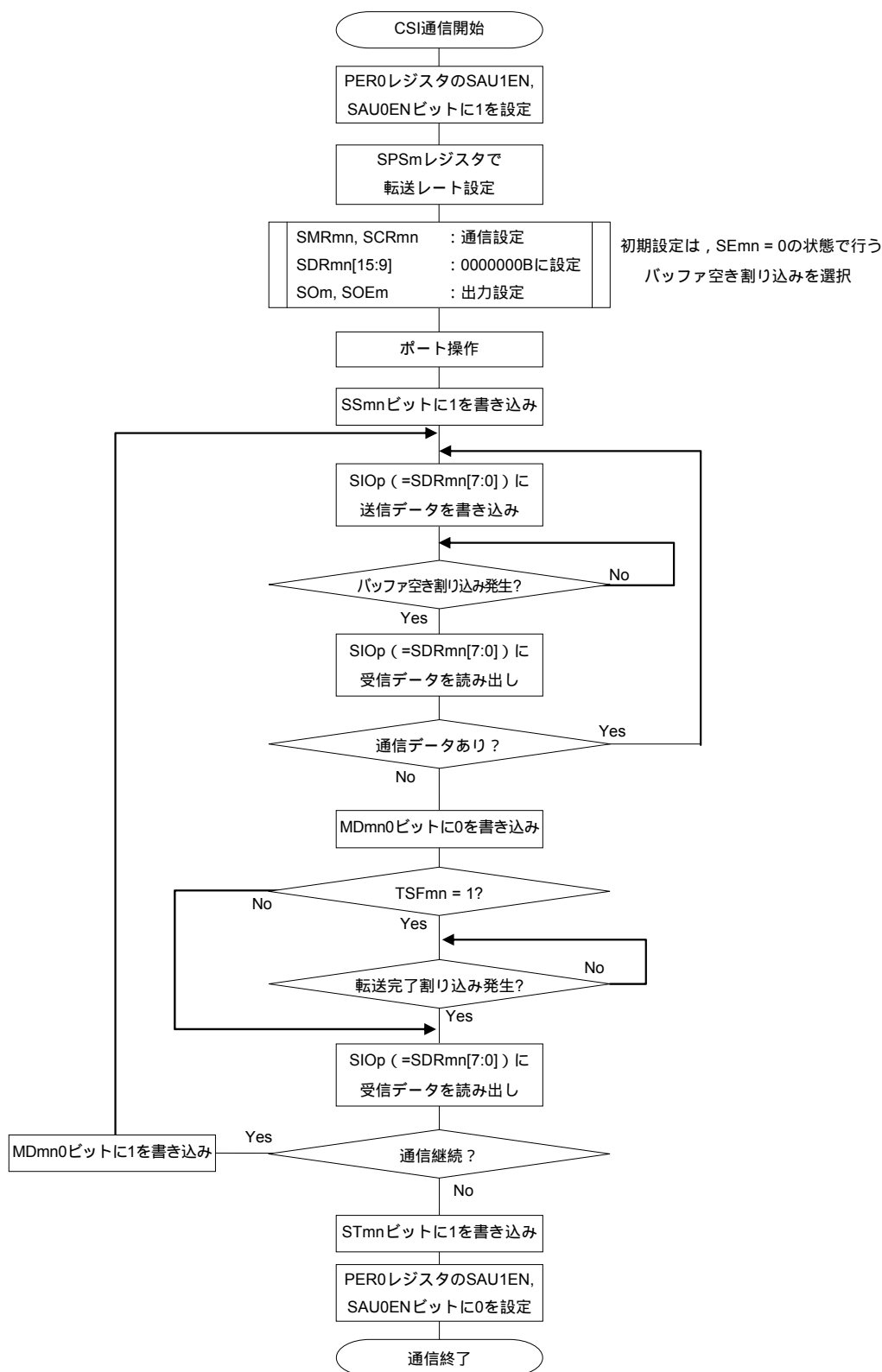
注意 MDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の ~ は、図11 - 68 スレーブ送受信（連続送受信モード時）のフロー・チャートの ~ に対応しています。

- m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-2) mn = 00-02, 10
p : CSI番号 (p = 00, 01, 10, 20)

図11 - 68 スレーブ送受信（連続送受信モード時）のフロー・チャート



注意1. PER0レジスタのSAUmENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからSPSmレジスタを設定してください。

2. マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考 図中の ~ は、図11 - 67 スレーブ送受信（連続送受信モード時）のタイミング・チャートの ~ に対応しています。

11.5.7 転送クロック周波数の算出

3線シリアル/O(CSI00, CSI01, CSI10, CSI20)通信での転送クロック周波数は下記の計算式にて算出できます。

(1) マスタの場合

$$(\text{転送クロック周波数}) = \{ \text{対象チャンネルの動作クロック} (f_{\text{MCK}}) \text{周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2 [\text{Hz}]$$

(2) スレーブの場合

$$(\text{転送クロック周波数}) = \{ \text{マスタが供給するシリアル・クロック} (f_{\text{SCK}}) \text{周波数} \}^{\text{注}} [\text{Hz}]$$

注 ただし、許容最大転送クロック周波数は $f_{\text{MCK}}/6$ となります。

備考1. SDRmn[15:9]は、SDRmnレジスタのビット15-9の値(0000000B-1111111B)なので、0-127になります。

2. m: ユニット番号 (m = 0, 1), n: チャンネル番号 (n = 0-2), mn = 00-02, 10

動作クロック(f_{MCK})は、シリアル・クロック選択レジスタm(SPSm)とシリアル・モード・レジスタmn(SMRmn)のビット15 (CKSmn) で決まります。

表11-2 動作クロックの選択

SMRmn レジスタ	SPS _m レジスタ								動作クロック (f _{MCK}) ^{注1}		
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	f _{CLK} = 20 MHz 動作時	
0		X	X	X	X	0	0	0	0	f _{CLK}	20 MHz
		X	X	X	X	0	0	0	1	f _{CLK} /2	10 MHz
		X	X	X	X	0	0	1	0	f _{CLK} /2 ²	5 MHz
		X	X	X	X	0	0	1	1	f _{CLK} /2 ³	2.5 MHz
		X	X	X	X	0	1	0	0	f _{CLK} /2 ⁴	1.25 MHz
		X	X	X	X	0	1	0	1	f _{CLK} /2 ⁵	625 kHz
		X	X	X	X	0	1	1	0	f _{CLK} /2 ⁶	313 kHz
		X	X	X	X	0	1	1	1	f _{CLK} /2 ⁷	156 kHz
		X	X	X	X	1	0	0	0	f _{CLK} /2 ⁸	78.1 kHz
		X	X	X	X	1	0	0	1	f _{CLK} /2 ⁹	39.1 kHz
		X	X	X	X	1	0	1	0	f _{CLK} /2 ¹⁰	19.5 kHz
		X	X	X	X	1	0	1	1	f _{CLK} /2 ¹¹	9.77 kHz
									m = 0の場合: INTTM02 ^{注2} , m = 1の場合: 設定禁止		
1		0	0	0	0	X	X	X	X	f _{CLK}	20 MHz
		0	0	0	1	X	X	X	X	f _{CLK} /2	10 MHz
		0	0	1	0	X	X	X	X	f _{CLK} /2 ²	5 MHz
		0	0	1	1	X	X	X	X	f _{CLK} /2 ³	2.5 MHz
		0	1	0	0	X	X	X	X	f _{CLK} /2 ⁴	1.25 MHz
		0	1	0	1	X	X	X	X	f _{CLK} /2 ⁵	625 kHz
		0	1	1	0	X	X	X	X	f _{CLK} /2 ⁶	313 kHz
		0	1	1	1	X	X	X	X	f _{CLK} /2 ⁷	156 kHz
		1	0	0	0	X	X	X	X	f _{CLK} /2 ⁸	78.1 kHz
		1	0	0	1	X	X	X	X	f _{CLK} /2 ⁹	39.1 kHz
		1	0	1	0	X	X	X	X	f _{CLK} /2 ¹⁰	19.5 kHz
		1	0	1	1	X	X	X	X	f _{CLK} /2 ¹¹	9.77 kHz
									m = 0の場合: INTTM02 ^{注2} , m = 1の場合: 設定禁止		
上記以外										設定禁止	

注1. f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（STm = 000FH）させてから変更してください。動作クロックにINTTM02を選択する場合は、タイマ・アレイ・ユニット（TAU0）も停止（TT0 = 00FFH）させてください。

2. TAU0とSAU0を次のように設定することにより、f_{CLK}の周波数選択に関係なくサブシステム・クロックの分周固定でSAU0を動作させることが可能です。

<TAU0> TAU0のチャンネル2の入力クロックにf_{SUB}/4を選択（TIS02 = 1）

<SAU0> SPS0レジスタでINTTM02を選択

ただし、f_{CLK}を変更する場合は、上記の注1のようにSAU0, TAU0を停止させる必要があります。

備考1. X : Don't care

2. m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-2), mn = 00-02, 10

11.5.8 3線シリアルI/O(CSI00, CSI01, CSI10, CSI20)通信時におけるエラー発生時の処理手順

3線シリアルI/O (CSI00, CSI01, CSI10, CSI20) 通信時にエラーが発生した場合の処理手順を図11 - 69に示します。

図11 - 69 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタmn (SDRmn) をリードする	SSRmnレジスタのBFFmnビットが“0”となり、チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn) に“1”をライトする	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで、読み出し時のエラーのみをクリアできる

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-2) mn = 00-02, 10

11.6 UART (UART0, UART1, UART2) 通信の動作

シリアル・データ送信 (TxD) とシリアル・データ受信 (RxD) の2本のラインによる、調歩同期式通信機能です。通信相手と非同期で (内部ボー・レートを使用して)、データを送受信します。送信専用 (偶数チャンネル) と受信専用 (奇数チャンネル) の2チャンネルを使用することで、全2重UART通信が実現できます。

[データ送受信]

- ・ 5, 7, 8ビットのデータ長
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定, 反転の選択
- ・ パリティ・ビット付加, パリティ・チェック機能
- ・ ストップ・ビット付加

[割り込み機能]

- ・ 転送完了割り込み / バッファ空き割り込み
- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラー

UART0では, SAU0のチャンネル0, 1を使用します。

UART1では, SAU0のチャンネル2, 3を使用します。

UART2では, SAU1のチャンネル0, 1を使用します。

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	-
	1	CSI01		-
	2	CSI10	UART1	IIC10
	3	-		-
1	0	CSI20	UART2	IIC20
	1	-		-

注意 UARTとして使用する場合は, 送信側 (偶数チャンネル) と受信側 (奇数チャンネル) のどちらのチャンネルもUARTとしてしか使用することはできません。

UARTの通信動作は, 以下の2種類があります。

- ・ UART送信 (11.6.1項を参照)
- ・ UART受信 (11.6.2項を参照)

11.6.1 UART送信

UART送信は、78K0R/Kx3-Cから他デバイスへ、非同期（調歩同期）でデータを送信する動作です。

UART送信では、そのUARTに使用する2チャンネルのうち、偶数チャンネルのほうを使用します。

UART	UART0	UART1	UART2
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	TxD0	TxD1	TxD2
割り込み	INTST0	INTST1	INTST2
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能		
エラー検出フラグ	なし		
転送データ長	5ビットまたは7ビットまたは8ビット		
転送レート	Max. $f_{MCK}/6$ [bps] (SDR $_{mn}[15:9] = 2$ 以上), Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [bps] ^注		
データ位相	正転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）		
パリティ・ビット	以下の選択が可能 ・パリティ・ビットなし ・0パリティ・ビット付加 ・偶数パリティ付加 ・奇数パリティ付加		
ストップ・ビット	以下の選択が可能 ・1ビット付加 ・2ビット付加		
データ方向	MSBファーストまたはLSBファースト		

注 この条件を満たし、かつ電気的特性のAC特性（第29章 電気的特性参照）を満たす範囲内で使用してください。

備考1. f_{MCK} ：対象チャンネルの動作クロック周波数

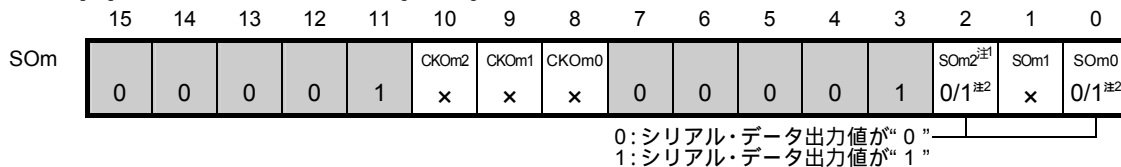
f_{CLK} ：システム・クロック周波数

2. m ：ユニット番号 ($m = 0, 1$) n ：チャンネル番号 ($n = 0, 2$) $mn = 00, 02, 10$

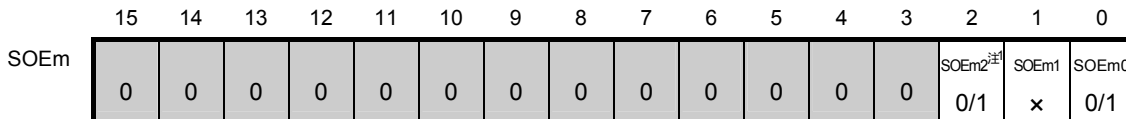
(1) レジスタ設定

図11 - 70 UART (UART0, UART1, UART2) のUART送信時のレジスタ設定内容例

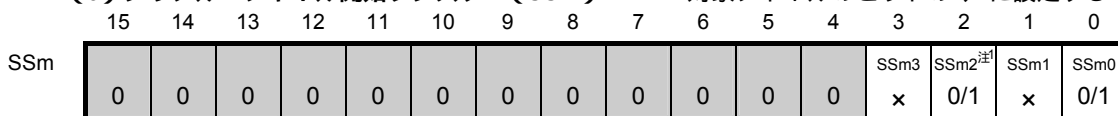
(a) シリアル出力レジスタ_m (SO_m) . . . 対象チャンネルのビットのみ1に設定する



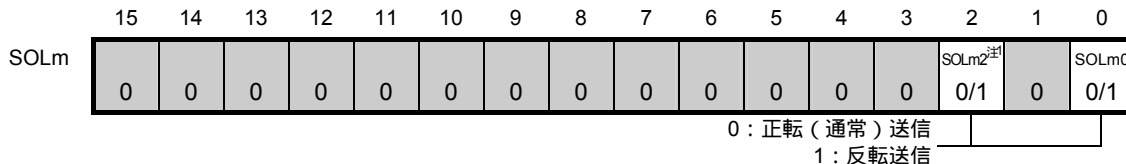
(b) シリアル出力許可レジスタ_m (SOEm) . . . 対象チャンネルのビットのみ1に設定する



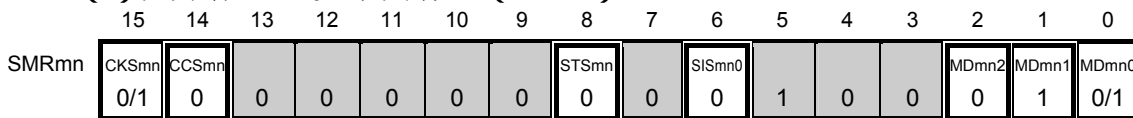
(c) シリアル・チャンネル開始レジスタ_m (SS_m) . . . 対象チャンネルのビットのみ1に設定する



(d) シリアル出力レベル・レジスタ_m (SOL_m) . . . 対象チャンネルのビットのみ設定する



(e) シリアル・モード・レジスタ_{mn} (SMR_{mn})



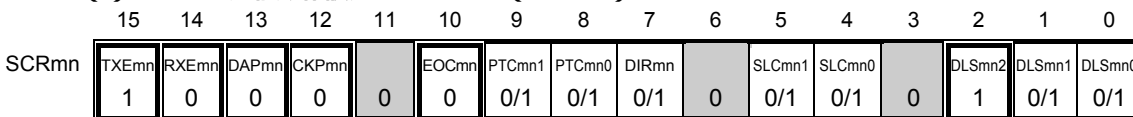
チャンネル_nの動作クロック (f_{MCK})

- 0: SPS_mレジスタで設定したプリスケアラ出力クロック“CK_{m0}”
- 1: SPS_mレジスタで設定したプリスケアラ出力クロック“CK_{m1}”

チャンネル_nの割り込み要因

- 0: 転送完了割り込み
- 1: バッファ空き割り込み

(f) シリアル通信動作設定レジスタ_{mn} (SCR_{mn})



パリティ・ビット設定

- 00B: パリティ・チェックなし
- 01B: パリティ判定を行わない
- 10B: 偶数パリティ・チェック
- 11B: 奇数パリティ・チェック

データ転送順序の選択

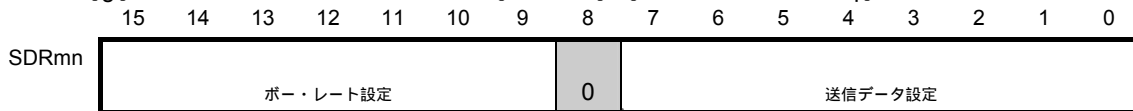
- 0: MSBファーストで出力を行う
- 1: LSBファーストで出力を行う

ストップ・ビット設定

- 01B: 1ビット付加
- 10B: 2ビット不可

データ長の設定

(g) シリアル・データ・レジスタ_{mn} (SDR_{mn}) (下位8ビット: TXD_q)



注1. シリアル・アレイ・ユニット0のみ設定します。

2. 該当するチャンネルのSOL_{mn}ビットに0を設定している場合は“1”に、SOL_{mn}ビットに1を設定している場合は“0”を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

備考 m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0, 2) mn = 00, 02, 10 q: UART番号 (q = 0-2)

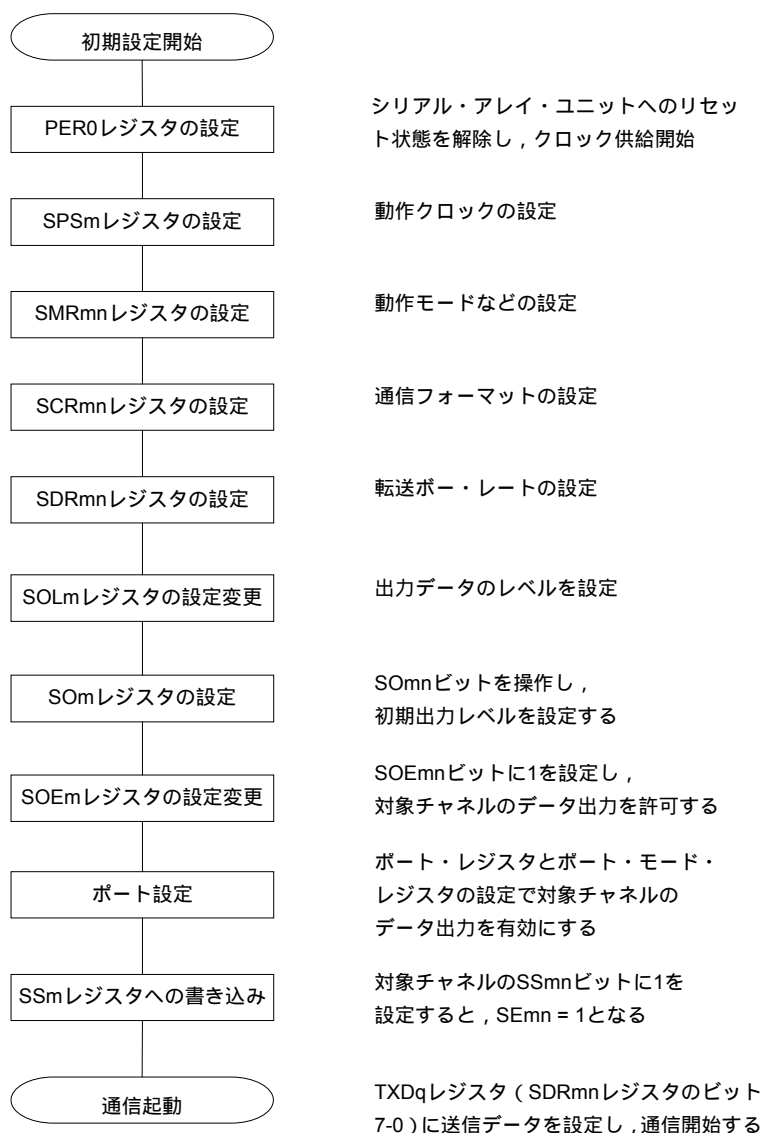
□: UART送信モードでは設定固定 ■: 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

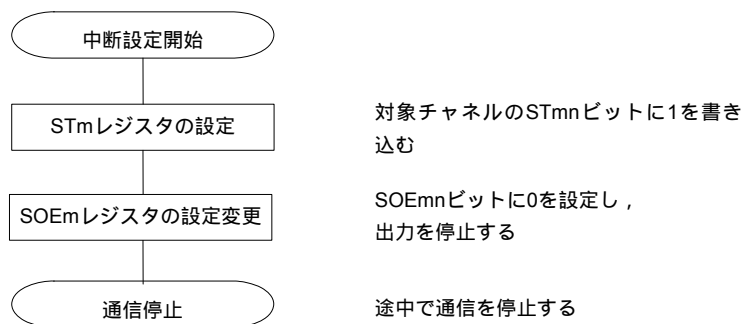
(2) 操作手順

図11 - 71 UART送信の初期設定手順



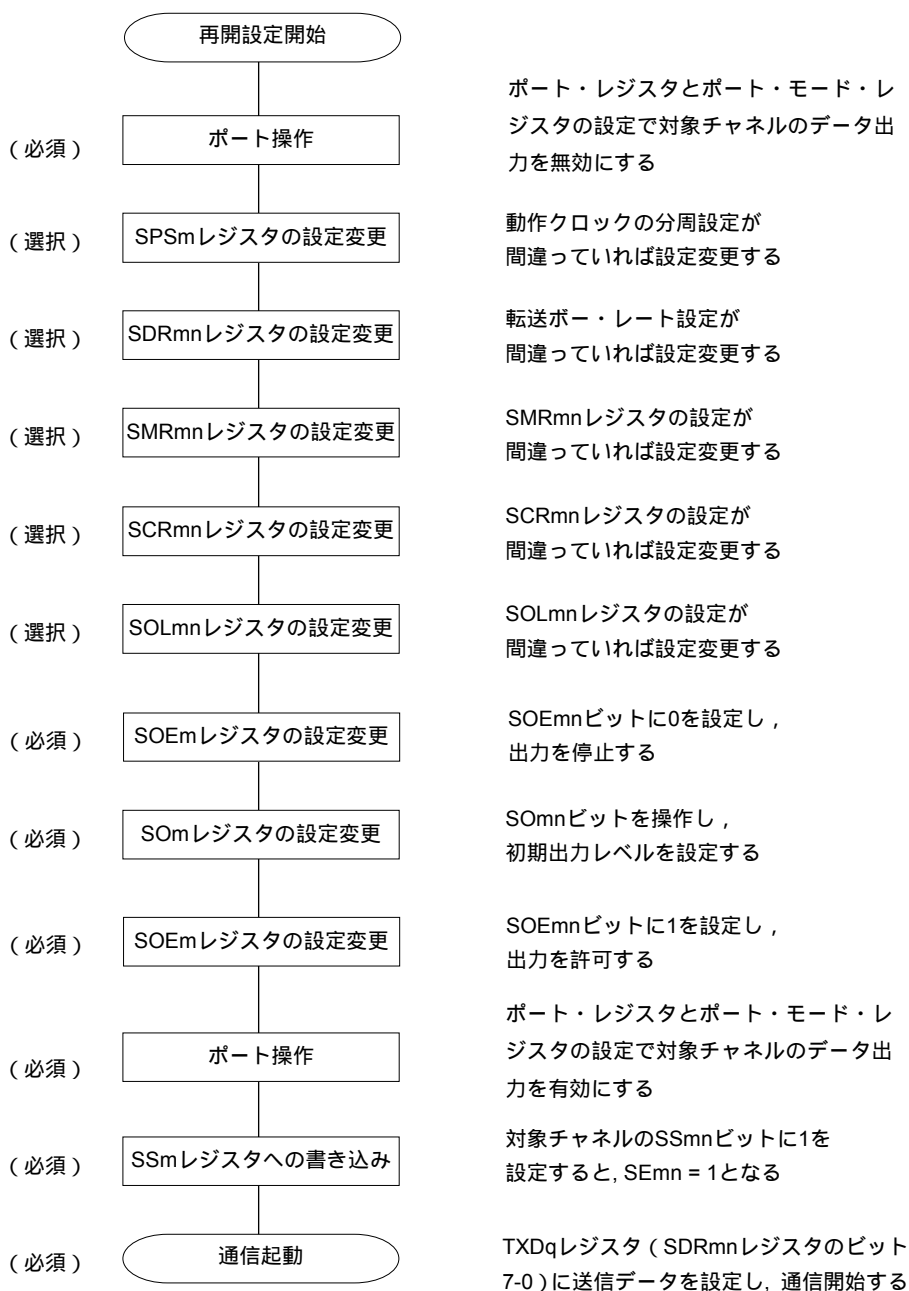
注意 PER0レジスタのSAUmENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔を置いてからSPSmレジスタを設定してください。

図11 - 72 UART送信の中断手順



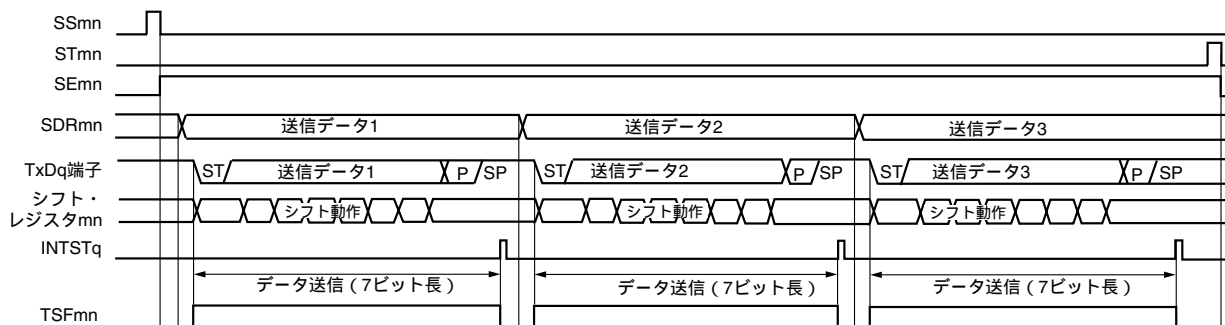
備考 中断後も端子レベルは保持されますので、動作を再開する際にはSOmレジスタを再設定してください (図11 - 73 UART送信の再開設定手順参照)。

図11 - 73 UART送信の再開設定手順



(3) 処理フロー (シングル送信モード時)

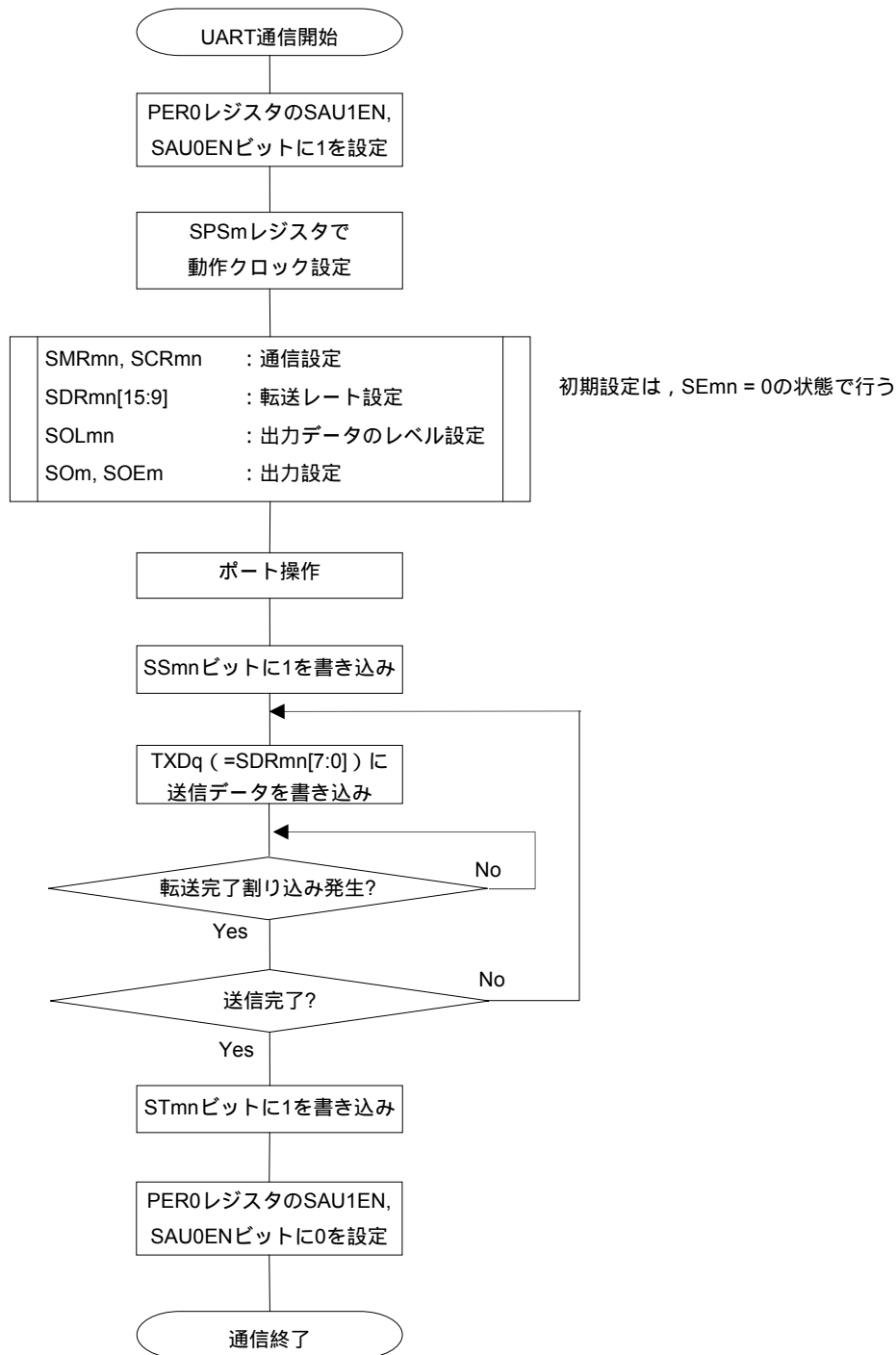
図11 - 74 UART送信 (シングル送信モード時) のタイミング・チャート



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) mn = 00, 02, 10

q : UART番号 (q = 0-2)

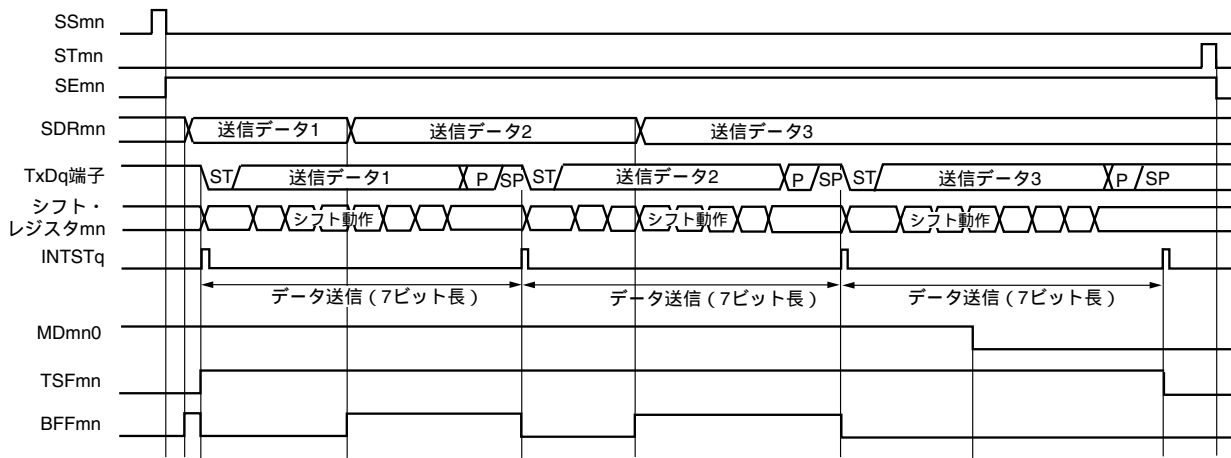
図11 - 75 UART送信 (シングル送信モード時) のフロー・チャート



注意 PER0レジスタのSAUmENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからSPSmレジスタを設定してください。

(4) 処理フロー（連続送信モード時）

図11 - 76 UART送信（連続送信モード時）のタイミング・チャート



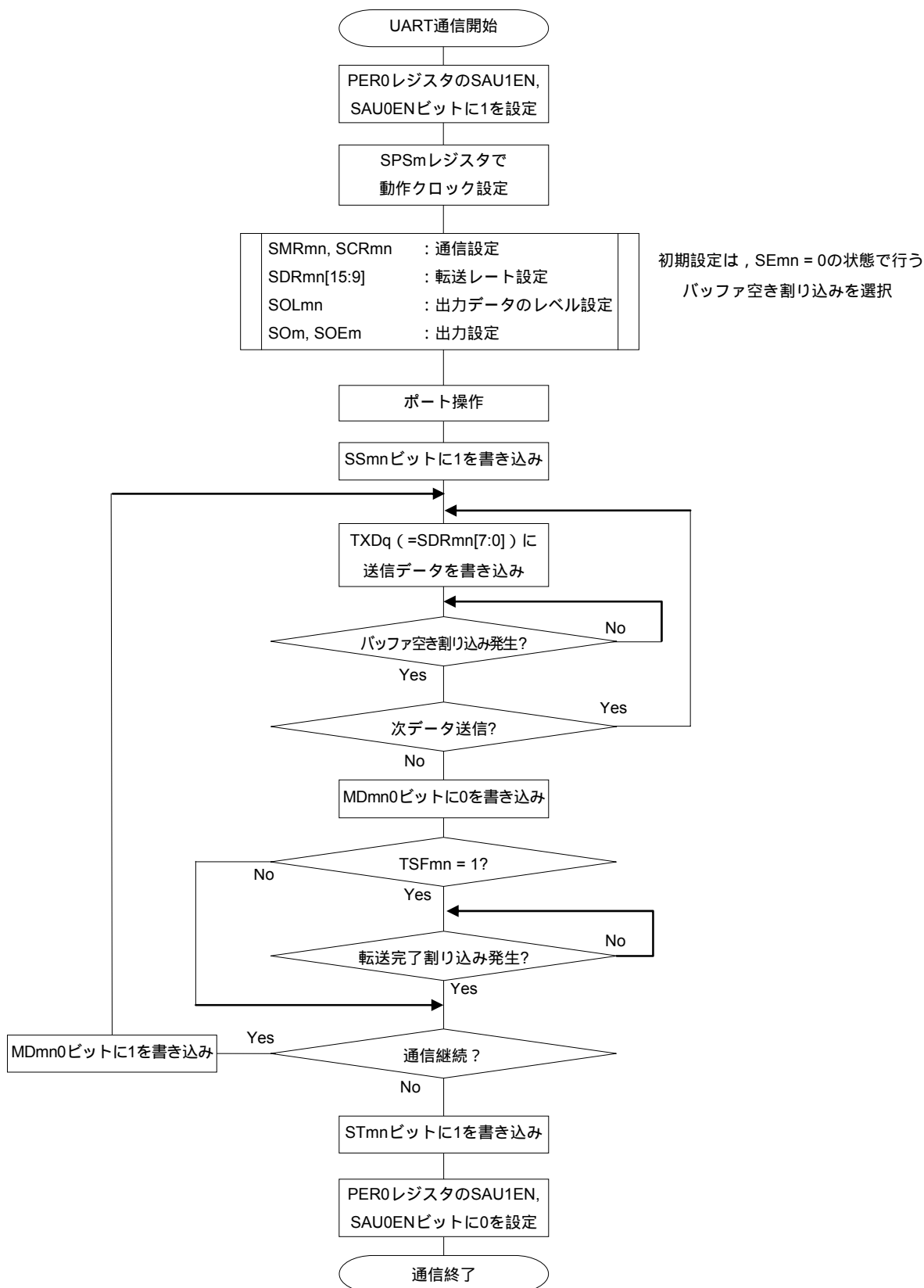
(注)

注 BFFmn = 1の期間にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

注意 MDmn0ビットは、動作中でも書き換えることができます。
ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) mn = 00, 02, 10
q : UART番号 (q = 0-2)

図11 - 77 UART送信（連続送信モード時）のフロー・チャート



注意 PER0レジスタのSAUmENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考 図中の ~ は、図11 - 76 UART送信（連続送信モード時）のタイミング・チャートの ~ に対応しています。

11.6.2 UART受信

UART受信は、他デバイスから78K0R/Kx3-Cが非同期（調歩同期）でデータを受信する動作です。

UART受信では、そのUARTに使用する2チャンネルのうち、奇数チャンネルのほうを使用します。ただし、SMRレジスタは、偶数チャンネルと奇数チャンネルの両方のレジスタを設定する必要があります。

UART	UART0	UART1	UART2
対象チャンネル	SAU0のチャンネル1	SAU0のチャンネル3	SAU1のチャンネル1
使用端子	RxD0	RxD1	RxD2
割り込み	INTSR0	INTSR1	INTSR2
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）		
エラー割り込み	INTSRE0	INTSRE1	INTSRE2
エラー検出フラグ	<ul style="list-style-type: none"> ・ フレーミング・エラー検出フラグ（FEFmn） ・ パリティ・エラー検出フラグ（PEFmn） ・ オーバラン・エラー検出フラグ（OVFmn） 		
転送データ長	5ビットまたは7ビットまたは8ビット		
転送レート	Max. $f_{MCK}/6$ [bps]（ $SDR_{mn}[15:9] = 2$ 以上），Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [bps] ^注		
データ位相	正転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）		
パリティ・ビット	以下の選択が可能 <ul style="list-style-type: none"> ・ パリティ・ビットなし（パリティ・チェックなし） ・ 0パリティ・ビット付加（パリティ・チェックなし） ・ 偶数パリティ・チェック ・ 奇数パリティ・チェック 		
ストップ・ビット	1ビット付加		
データ方向	MSBファーストまたはLSBファースト		

注 この条件を満たし、かつ電気的特性のAC特性（第29章 電気的特性参照）を満たす範囲内で使用してください。

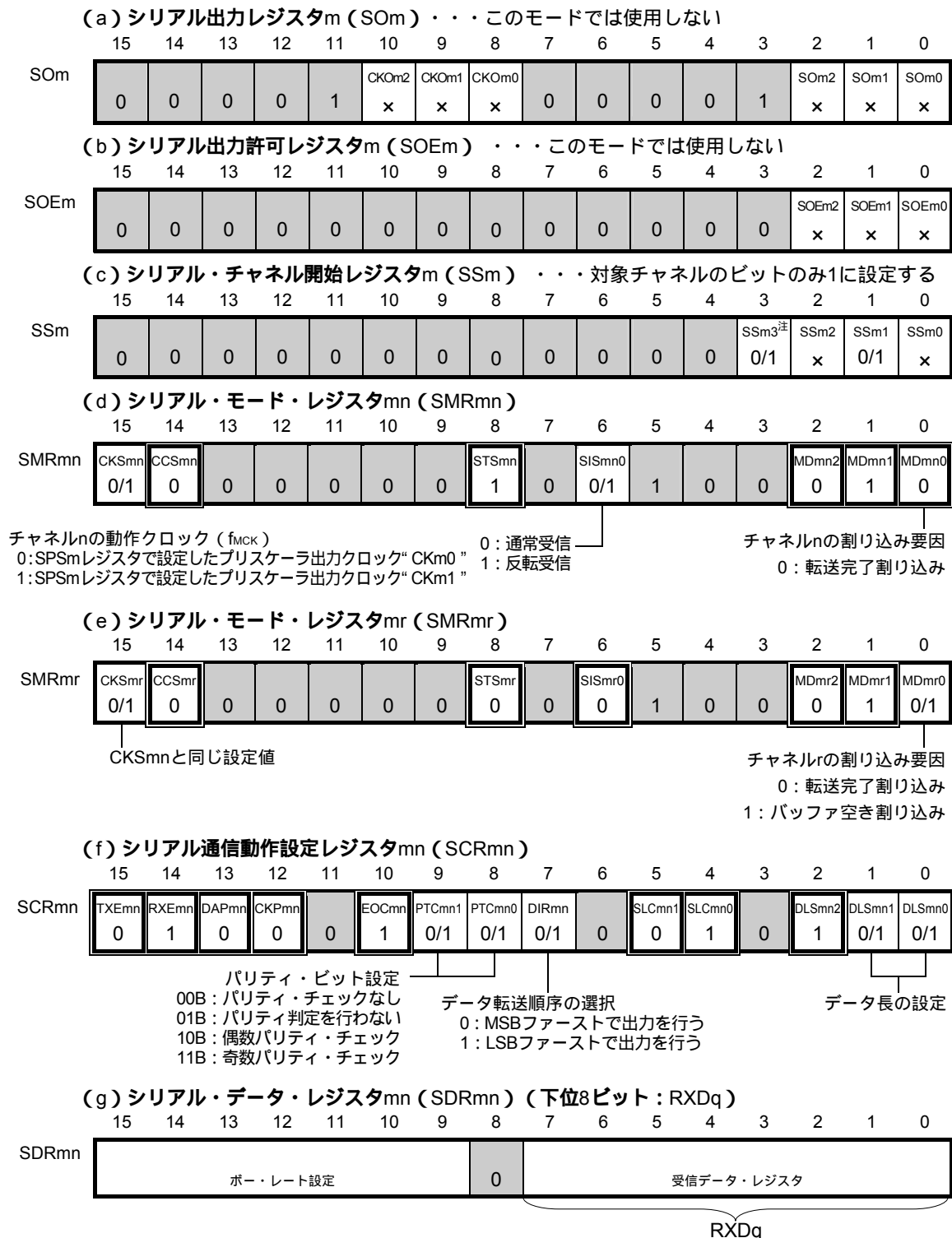
備考1. f_{MCK} ：対象チャンネルの動作クロック周波数

f_{CLK} ：システム・クロック周波数

2. m ：ユニット番号（ $m = 0, 1$ ） n ：チャンネル番号（ $n = 1, 3$ ） $mn = 01, 03, 11$

(1) レジスタ設定

図11 - 78 UART (UART0, UART1, UART2) のUART受信時のレジスタ設定内容例



注 シリアル・アレイ・ユニット0のみ設定します。

注意 UART受信時は、チャンネル n とペアになるチャンネル r のSMR mr も必ず設定してください。

備考 m : ユニット番号 ($m=0, 1$) n : チャンネル番号 ($n=1, 3$) $mn=01, 03, 11$

r : チャンネル番号 ($r=n-1$) q : UART番号 ($q=0-3$)

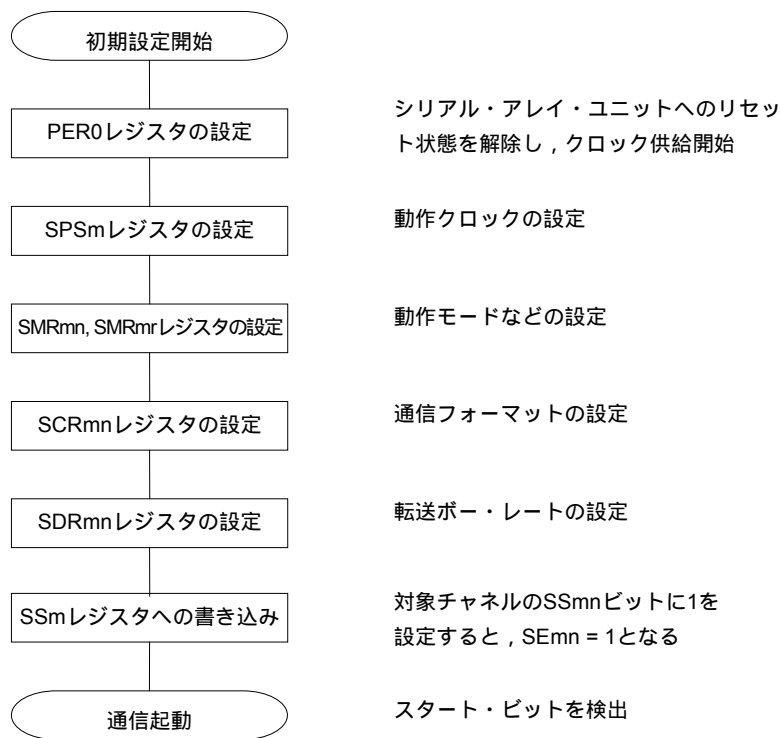
□: UART受信モードでは設定固定 ■: 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

(2) 操作手順

図11 - 79 UART受信の初期設定手順



注意 PER0レジスタのSAUmENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからSPSmレジスタを設定してください。

図11 - 80 UART受信の中断手順

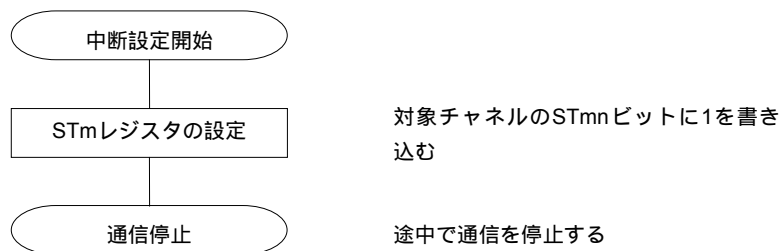
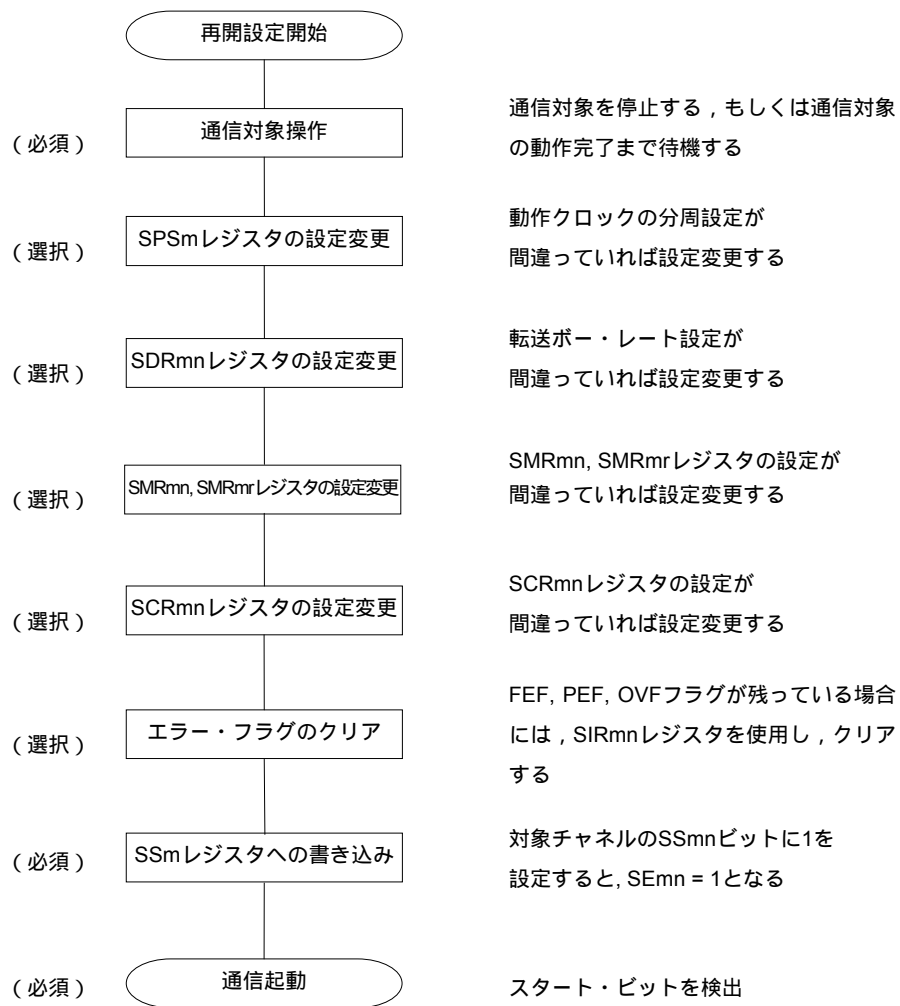
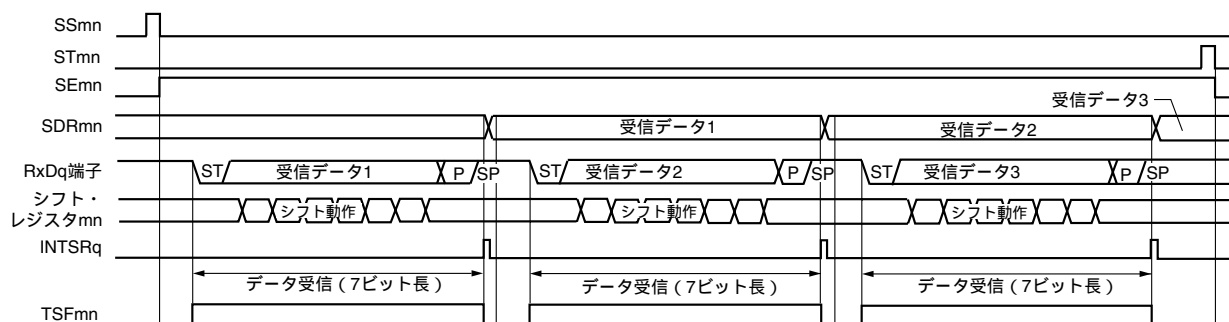


図11 - 81 UART受信の再開設定手順



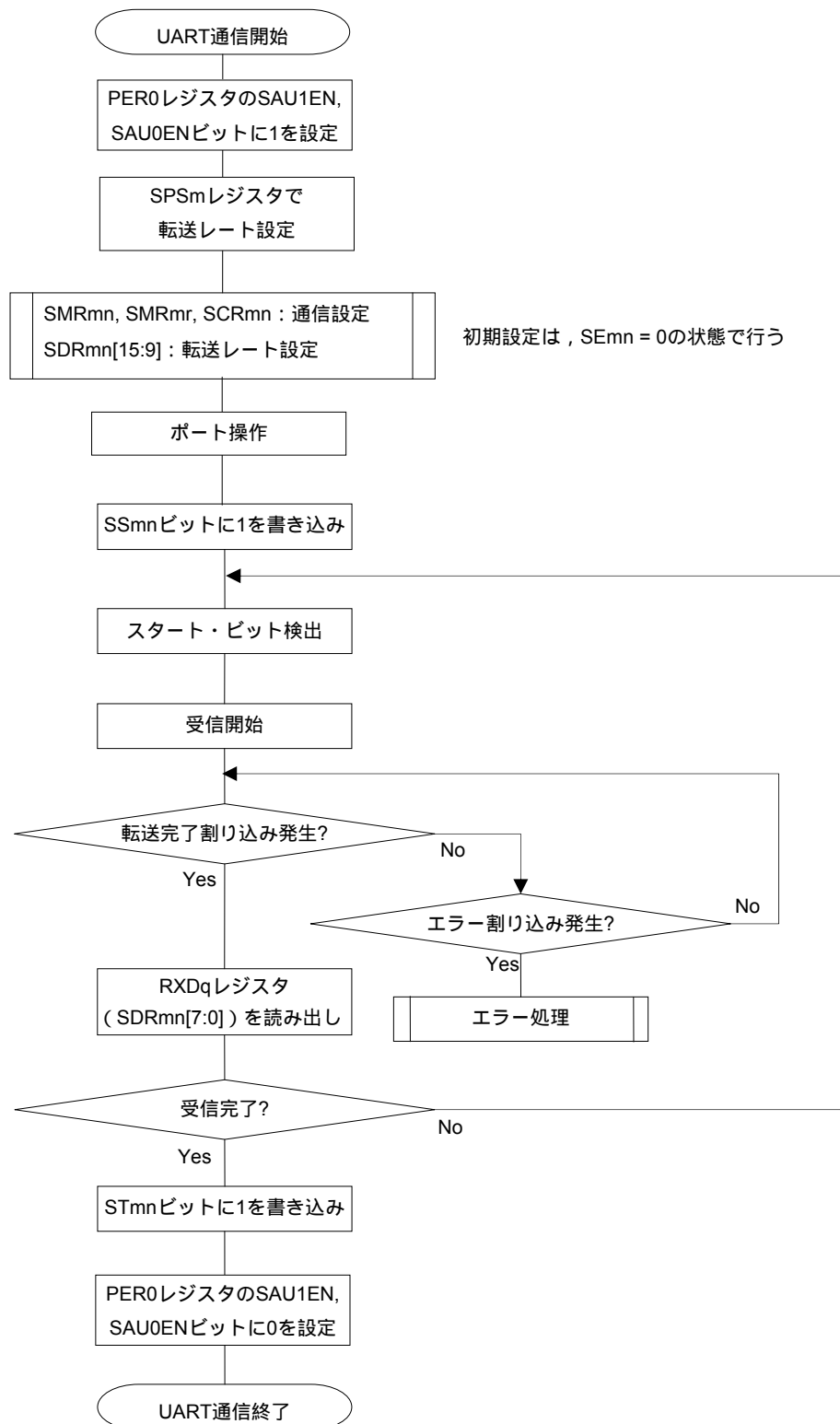
(3) 処理フロー

図11 - 82 UART受信のタイミング・チャート)



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 1, 3) mn = 01, 03, 11 q : UART番号 (q = 0-2)

図11 - 83 UART受信のフロー・チャート



注意 PER0レジスタのSAUmENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからSPSmレジスタを設定してください。

11.6.3 ボー・レートの算出

(1) ボー・レート算出式

UART (UART0, UART1, UART2) 通信でのボー・レートは下記の計算式にて算出できます。

$$(\text{ボー・レート}) = \{ \text{対象チャンネルの動作クロック (f}_{\text{MCK}}) \text{周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2 \text{ [bps]}$$

注意 SDRmn[15:9] = (0000000B, 0000001B) は設定禁止です。

備考1. UART使用時は, SDRmn[15:9]はSDRmnレジスタのビット15-9の値(0000010B-1111111B)なので, 2-127になります。

2. m: ユニット番号 (m = 0, 1), n: チャンネル番号 (n = 0-3) mn = 00-03, 10, 11

動作クロック (f_{MCK}) は, シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のビット15 (CKSmn) で決まります。

表11-3 動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (f _{CLK}) ^{注1}		
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	f _{CLK} = 20 MHz 動作時	
0		X	X	X	X	0	0	0	0	f _{CLK}	20 MHz
		X	X	X	X	0	0	0	1	f _{CLK} /2	10 MHz
		X	X	X	X	0	0	1	0	f _{CLK} /2 ²	5 MHz
		X	X	X	X	0	0	1	1	f _{CLK} /2 ³	2.5 MHz
		X	X	X	X	0	1	0	0	f _{CLK} /2 ⁴	1.25 MHz
		X	X	X	X	0	1	0	1	f _{CLK} /2 ⁵	625 kHz
		X	X	X	X	0	1	1	0	f _{CLK} /2 ⁶	313 kHz
		X	X	X	X	0	1	1	1	f _{CLK} /2 ⁷	156 kHz
		X	X	X	X	1	0	0	0	f _{CLK} /2 ⁸	78.1 kHz
		X	X	X	X	1	0	0	1	f _{CLK} /2 ⁹	39.1 kHz
		X	X	X	X	1	0	1	0	f _{CLK} /2 ¹⁰	19.5 kHz
		X	X	X	X	1	0	1	1	f _{CLK} /2 ¹¹	9.77 kHz
	X	X	X	X	1	1	1	1	m = 0の場合: INTTM02 ^{注2} , m = 1の場合: 設定禁止		
1		0	0	0	0	X	X	X	X	f _{CLK}	20 MHz
		0	0	0	1	X	X	X	X	f _{CLK} /2	10 MHz
		0	0	1	0	X	X	X	X	f _{CLK} /2 ²	5 MHz
		0	0	1	1	X	X	X	X	f _{CLK} /2 ³	2.5 MHz
		0	1	0	0	X	X	X	X	f _{CLK} /2 ⁴	1.25 MHz
		0	1	0	1	X	X	X	X	f _{CLK} /2 ⁵	625 kHz
		0	1	1	0	X	X	X	X	f _{CLK} /2 ⁶	313 kHz
		0	1	1	1	X	X	X	X	f _{CLK} /2 ⁷	156 kHz
		1	0	0	0	X	X	X	X	f _{CLK} /2 ⁸	78.1 kHz
		1	0	0	1	X	X	X	X	f _{CLK} /2 ⁹	39.1 kHz
		1	0	1	0	X	X	X	X	f _{CLK} /2 ¹⁰	19.5 kHz
		1	0	1	1	X	X	X	X	f _{CLK} /2 ¹¹	9.77 kHz
	1	1	1	1	X	X	X	X	m = 0の場合: INTTM02 ^{注2} , m = 1の場合: 設定禁止		
上記以外									設定禁止		

注1. f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（STm = 000FH）させてから変更してください。動作クロックにINTTM02を選択する場合は、タイマ・アレイ・ユニット（TAU0）も停止（TT0 = 00FFH）させてください。

2. TAU0とSAU0を次のように設定することにより、f_{CLK}の周波数選択に関係なくサブシステム・クロックの分周固定でSAU0を動作させることが可能です。

<TAU0> TAU0のチャンネル2の入力クロックにf_{SUB}/4を選択（TIS02 = 1）

<SAU0> SPS0レジスタでINTTM02を選択

ただし、f_{CLK}を変更する場合は、上記の注1のようにSAU0, TAU0を停止させる必要があります。

備考1. X : Don't care

2. m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-3), mn = 00-03, 10, 11

(2) 送信時のボー・レート誤差

UART (UART0, UART1, UART2) 通信での、送信時のボー・レート誤差は、下記の計算式にて算出できます。送信側のボー・レートが、受信側の許容ボー・レート範囲内に収まるように設定してください。

$$(\text{ボー・レート誤差}) = (\text{算出ボー・レート値}) \div (\text{目標ボー・レート値}) \times 100 - 100 [\%]$$

$f_{\text{CLK}} = 20 \text{ MHz}$ の場合の UART ボー・レート設定例を示します。

UART ボー・レート (目標ボー・レート)	$f_{\text{CLK}} = 20 \text{ MHz}$ 時			
	動作クロック (f_{MCK})	SDRmn[15:9]	算出ボー・レート	目標ボー・レートとの誤差
300 bps	$f_{\text{CLK}}/2^9$	64	300.48 bps	+0.16 %
600 bps	$f_{\text{CLK}}/2^8$	64	600.96 bps	+0.16 %
1200 bps	$f_{\text{CLK}}/2^7$	64	1201.92 bps	+0.16 %
2400 bps	$f_{\text{CLK}}/2^6$	64	2403.85 bps	+0.16 %
4800 bps	$f_{\text{CLK}}/2^5$	64	4807.69 bps	+0.16 %
9600 bps	$f_{\text{CLK}}/2^4$	64	9615.38 bps	+0.16 %
19200 bps	$f_{\text{CLK}}/2^3$	64	19230.8 bps	+0.16 %
31250 bps	$f_{\text{CLK}}/2^3$	39	31250.0 bps	± 0.0 %
38400 bps	$f_{\text{CLK}}/2^2$	64	38461.5 bps	+0.16 %
76800 bps	$f_{\text{CLK}}/2$	64	76923.1 bps	+0.16 %
153600 bps	f_{CLK}	64	153846 bps	+0.16 %
312500 bps	f_{CLK}	31	312500 bps	± 0.0 %

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) mn = 00, 02, 10

(3) 受信時のポー・レート許容範囲

UART (UART0, UART1, UART2) 通信での、受信時のポー・レート許容範囲は、下記の計算式にて算出できます。受信側の許容ポー・レート範囲に送信側のポー・レートが収まるように設定してください。

$$(\text{受信可能な最大ポー・レート}) = \frac{2 \times k \times \text{Nfr}}{2 \times k \times \text{Nfr} - k + 2} \times \text{Brate}$$

$$(\text{受信可能な最小ポー・レート}) = \frac{2 \times k \times (\text{Nfr} - 1)}{2 \times k \times \text{Nfr} - k - 2} \times \text{Brate}$$

Brate : 受信側の算出ポー・レート値 (11.6.3(1) ポー・レート算出式参照)

k : SDRmn[15:9] + 1

Nfr : 1データ・フレーム長 [ビット]

= (スタート・ビット) + (データ長) + (パリティ・ビット) + (ストップ・ビット)

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 1, 3) mn = 01, 03, 11

図11-84 受信時の許容ポー・レート範囲 (1データ・フレーム長 = 11ビットの場合)

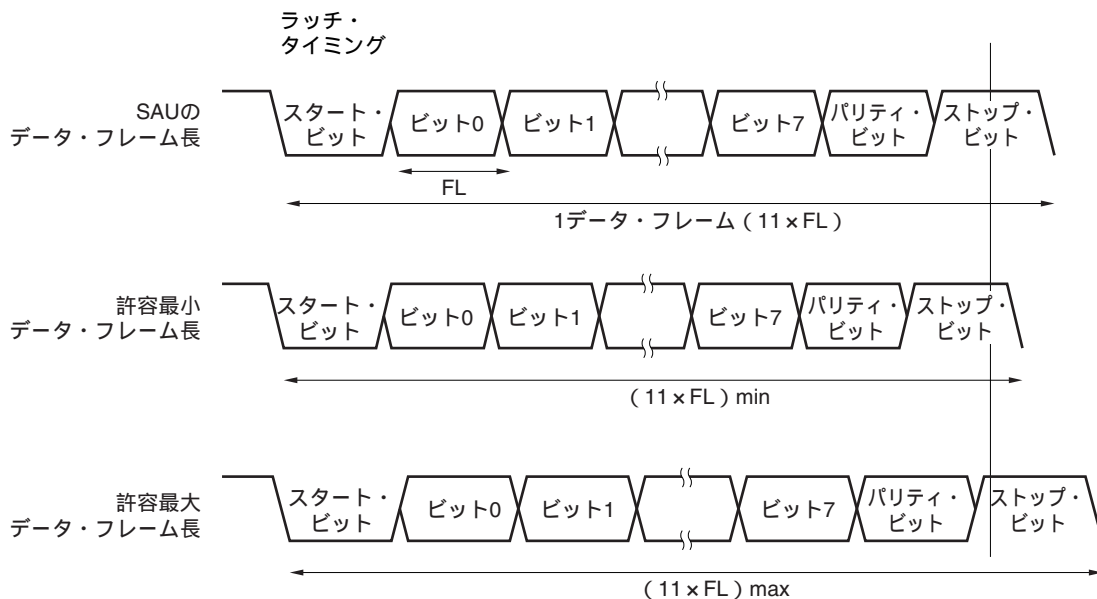


図11-84に示すように、スタート・ビット検出後はシリアル・データ・レジスタmn (SDRmn) のビット15-9で設定した分周比により、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (ストップ・ビット) までが間に合えば正常に受信できます。

11. 6. 4 UART(UART0, UART1, UART2)通信時におけるエラー発生時の処理手順

UART (UART0, UART1, UART2) 通信時にエラーが発生した場合の処理手順を図11 - 85, 図11 - 86に示します。

図11 - 85 パリティ・エラーおよびオーバーラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタmn (SDRmn) をリードする	SSRmnレジスタのBFFmnビットが“0”となり,チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバーラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn (SSRmn) をリードする		エラーの種類の判別を行い,リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn) に“1”をライトする	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで,読み出し時のエラーのみをクリアできる

図11 - 86 フレーミング・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタmn (SDRmn) をリードする	SSRmnレジスタのBFFmnビットが“0”となり,チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバーラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn (SSRmn) をリードする		エラーの種類の判別を行い,リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn) をライトする	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで,読み出し時のエラーのみをクリアできる
シリアル・チャンネル停止レジスタm (STm) のSTmnビットに“1”を設定する	シリアル・チャンネル許可ステータス・レジスタm (SEm) のSEmnビットが“0”となり,チャンネルnは動作停止状態になる	
通信相手との同期処理を行う		スタートがずれているためにフレーミング・エラーが起きたと考えられるため,通信相手との同期を取り直して通信を再開する
シリアル・チャンネル開始レジスタm (SSm) のSSmnビットに“1”を設定する	シリアル・チャンネル許可ステータス・レジスタm (SEm) のSEmnビットが“1”となり,チャンネルnは動作許可状態になる	

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10, 11

11.7 簡易I²C (IIC10, IIC20) 通信の動作

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは、EEPROM、フラッシュ・メモリ、A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能し、ウエイト検出の機能もありません。

スタート・コンディション、ストップ・コンディションは、制御レジスタの操作とともに、ACスペックを守るようにソフトウェアで処理してください。

[データ送受信]

- ・ マスタ送信, マスタ受信 (シングル・マスタでのマスタ機能のみ)
- ・ ACK出力機能^注, ACK検出機能
- ・ 8ビットのデータ長
(アドレス送信時は, 上位7ビットでアドレス指定し, 最下位1ビットでR/W制御)
- ・ スタート・コンディション, ストップ・コンディション手動発生

[割り込み機能]

- ・ 転送完了割り込み

[エラー検出フラグ]

- ・ オーバラン・エラー
- ・ パリティ・エラー (ACKエラー)

[簡易I²Cでサポートしていない機能]

- ・ スレーブ送信, スレーブ受信
- ・ アービトレーション負け検出機能
- ・ ウエイト検出機能

注 最終データの受信時は, SOEmn (SOEmレジスタ) ビットに0を書き込み, シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は, 11.7.3(2) **処理フロー**を参照してください。

備考1. フル機能のI²Cバスをご使用の場合は, **第12章 シリアル・インタフェースIICA**を参照してください。

2. m: ユニット番号 (m = 0, 1) n: チャネル番号 (n = 0, 2) mn = 02, 10

簡易I²C (IIC10, IIC20) に対応しているチャネルは, SAU0のチャネル2と, SAU1のチャネル0です。

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	-
	1	CSI01		-
	2	CSI10	UART1	IIC10
	3	-		-
1	0	CSI20	UART2	IIC20
	1	-		-

簡易 I^2C (IIC10, IIC20) の通信動作は、以下の4種類があります。

- ・ アドレス・フィールド送信 (11.7.1項を参照)
- ・ データ送信 (11.7.2項を参照)
- ・ データ受信 (11.7.3項を参照)
- ・ ストップ・コンディション発生 (11.7.4項を参照)

11.7.1 アドレス・フィールド送信

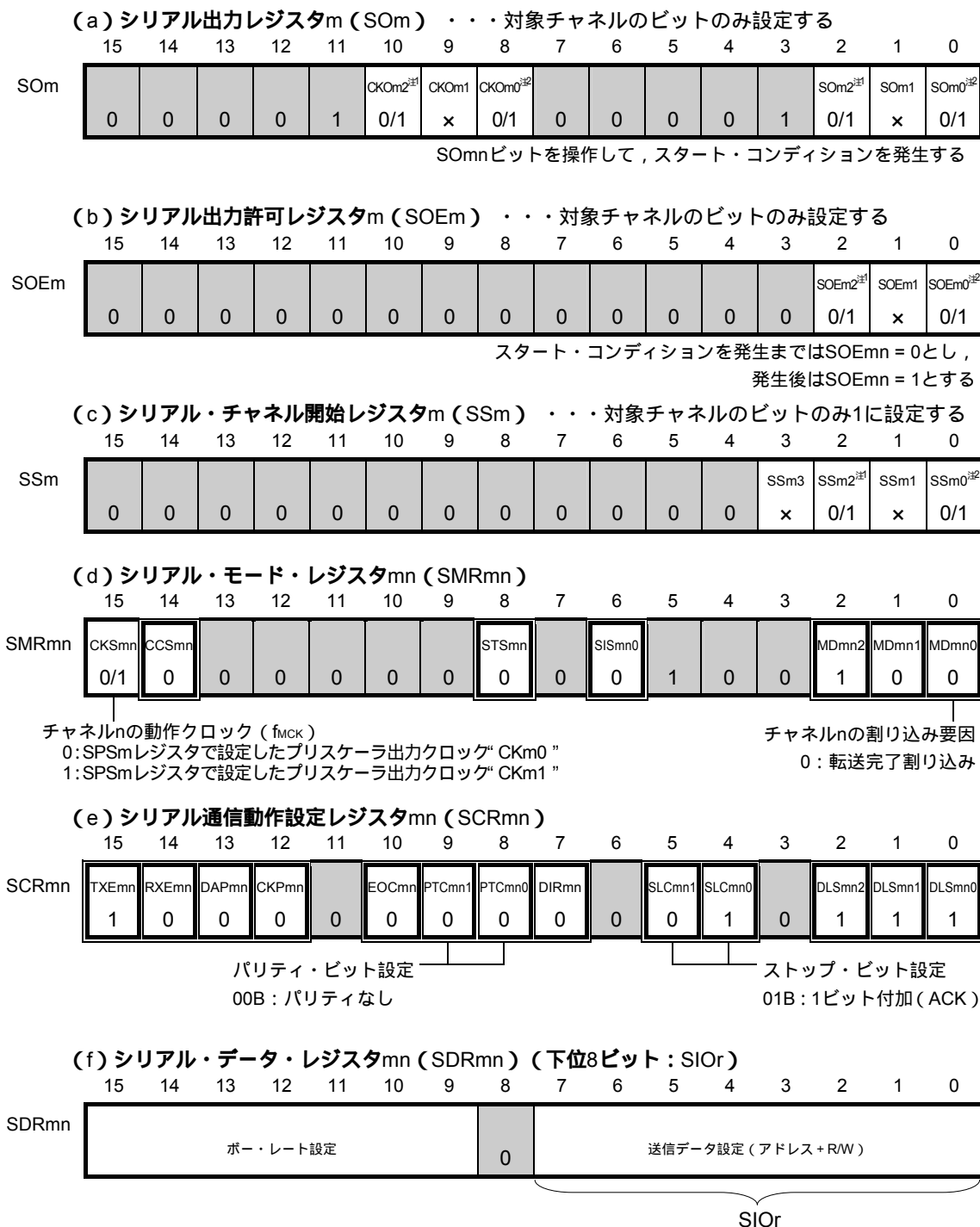
アドレス・フィールド送信は、転送対象 (スレーブ) を特定するために、 I^2C 通信でまず最初に行う送信動作です。スタート・コンディションを発生したあとに、アドレス (7ビット) と転送方向 (1ビット) を1フレームとして送信します。

簡易 I^2C	IIC10	IIC20
対象チャンネル	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	SCL10, SDA10 ^註	SCL20, SDA20 ^註
割り込み	INTIIC10	INTIIC20
	転送完了割り込みのみ (バッファ空き割り込みは選択不可)	
エラー検出フラグ	パリティ・エラー検出フラグ (PEFmn)	
転送データ長	8ビット (上位7ビットをアドレス, 下位1ビットをR/W制御として送信)	
転送レート	Max. $f_{MCK}/4$ [Hz] (SDRmn[15:9] = 1以上) f_{MCK} : 対象チャンネルの動作クロック周波数 ただし、 I^2C の各モードにより、以下の条件を満たしてください。 ・ Max. 400 kHz (ファースト・モード) ・ Max. 100 kHz (標準モード)	
データ・レベル	正転出力 (デフォルト: ハイ・レベル)	
パリティ・ビット	パリティ・ビットなし	
ストップ・ビット	1ビット付加 (ACK受信タイミング用)	
データ方向	MSBファースト	

注 簡易 I^2C による通信を行う場合は、ポート出力モード・レジスタ (POM0, POM14) にてN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを設定 (POM03, POM143 = 1) してください (詳細は4.3 **ポート機能を制御するレジスタ**を参照)。異電位外部デバイスとの通信の場合は、クロック入力/出力端子 (SCL10とSCL20) も同様にN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを設定 (POM04, POM142 = 1) してください (詳細は、4.4.4 **異電位 (2.5V系, 3V系) 外部デバイスとの接続方法を参照**)。

備考 m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0, 2) mn = 02, 10

(1) レジスタ設定

図11 - 87 簡易²C (IIC10, IIC20) のアドレス・フィールド送信時のレジスタ設定内容例

注1. シリアル・アレイ・ユニット0のみ設定します。

2. シリアル・アレイ・ユニット1のみ設定します。

備考 m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0, 2) mn = 02, 10 r: IIC番号 (r = 10, 20)

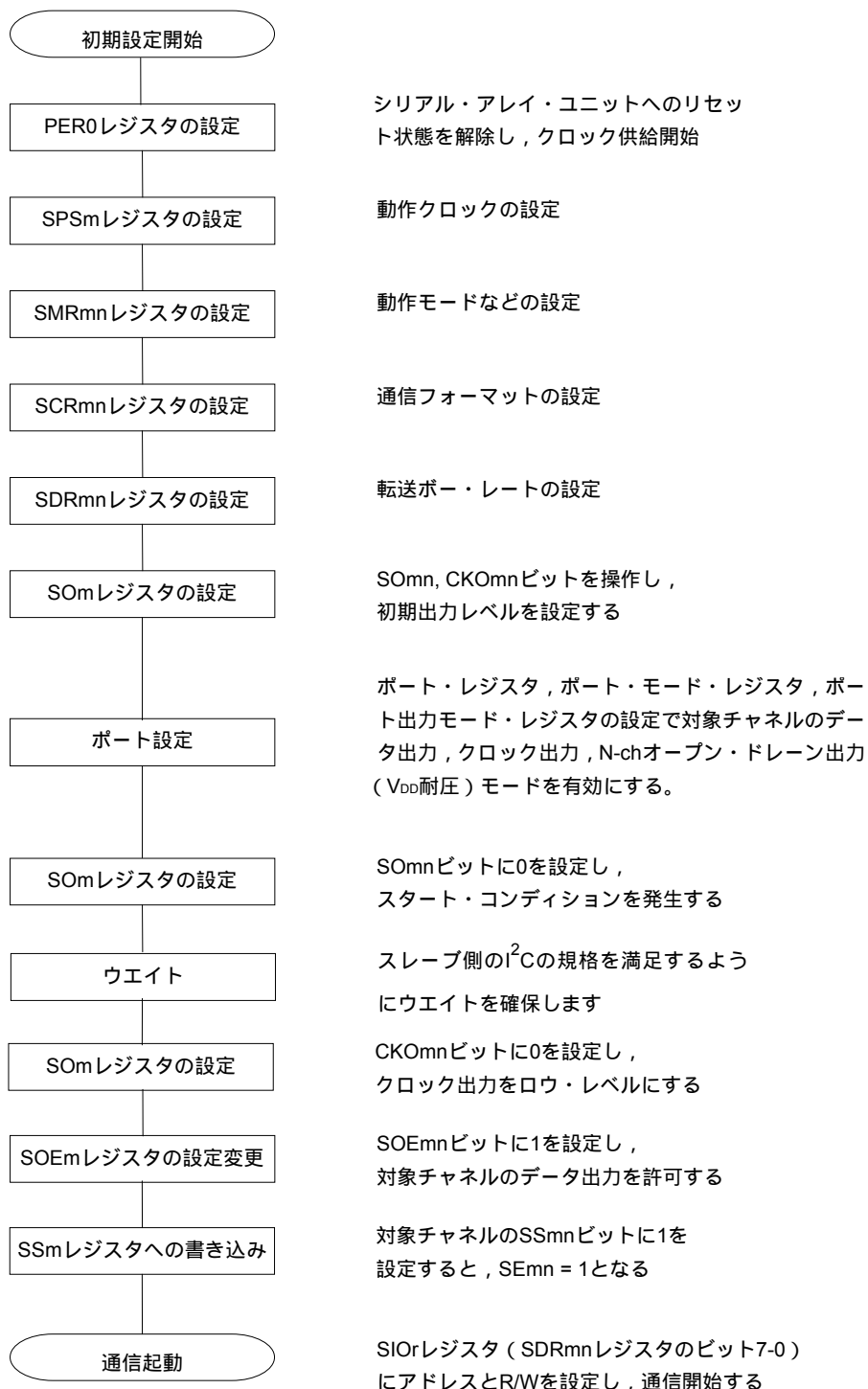
□: IICモードでは設定固定 ■: 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

(2) 操作手順

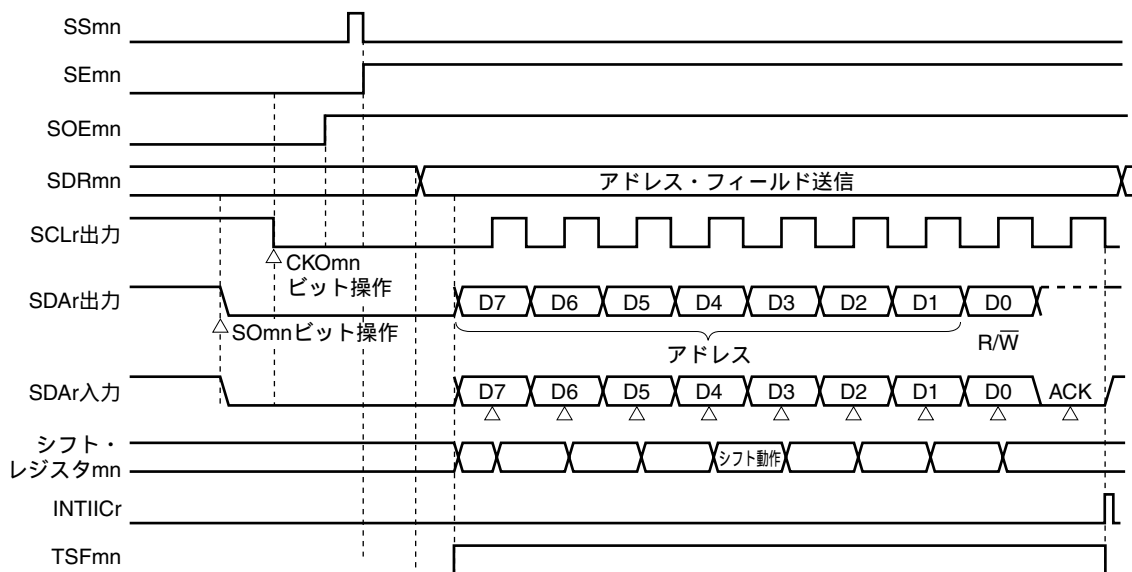
図11 - 88 アドレス・フィールド送信の初期設定手順



注意 PER0レジスタのSAUmENビットを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからSPSmレジスタを設定してください。

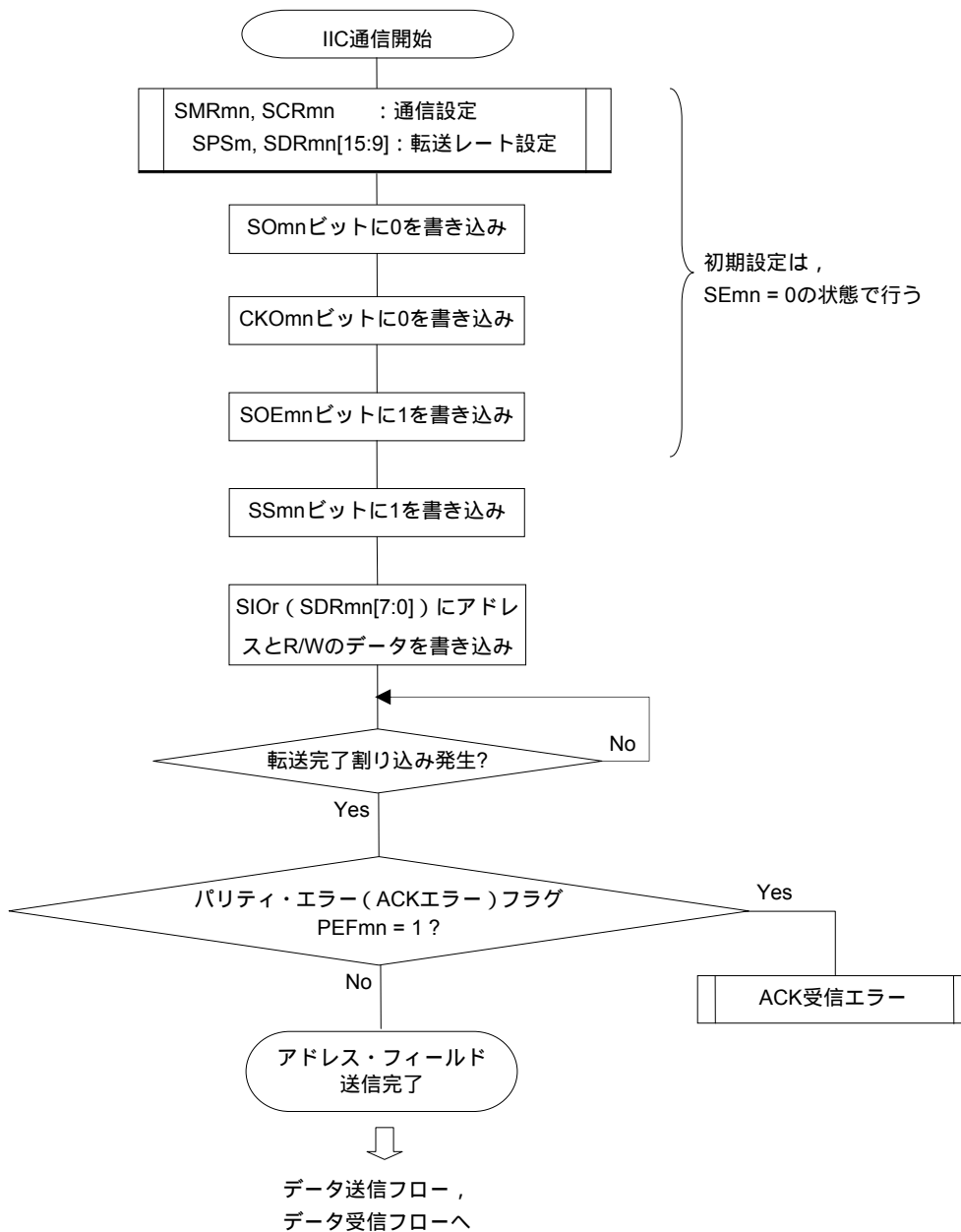
(3) 処理フロー

図11 - 89 アドレス・フィールド送信のタイミング・チャート



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) mn = 02, 10 r : IIC番号 (r = 10, 20)

図11 - 90 アドレス・フィールド送信のフロー・チャート



11.7.2 データ送信

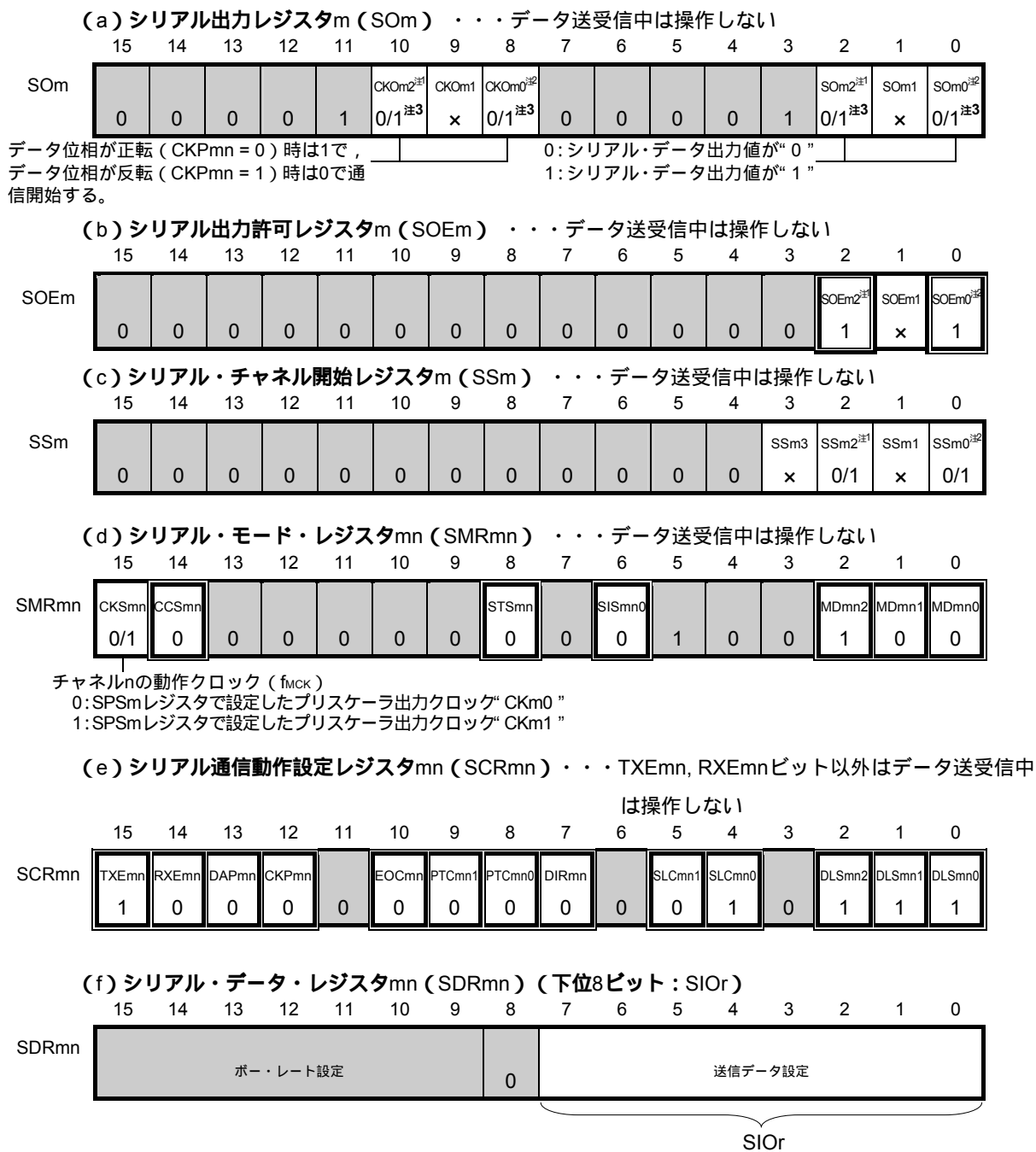
データ送信は、アドレス・フィールド送信後にその転送対象（スレーブ）にデータを送信する動作です。対象スレーブにすべてのデータを送信した後は、ストップ・コンディションを発生し、バスを開放します。

簡易I ² C	IIC10	IIC20
対象チャンネル	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	SCL10, SDA10 ^注	SCL20, SDA20 ^注
割り込み	INTIIC10	INTIIC20
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）	
エラー検出フラグ	パリティ・エラー検出フラグ（PEFmn）	
転送データ長	8ビット	
転送レート	Max. $f_{MCK}/4$ [Hz]（SDRmn[15:9] = 1以上） f_{MCK} ：対象チャンネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 ・ Max. 400 kHz（ファースト・モード） ・ Max. 100 kHz（標準モード）	
データ・レベル	正転出力（デフォルト：ハイ・レベル）	
パリティ・ビット	パリティ・ビットなし	
ストップ・ビット	1ビット付加（ACK受信タイミング用）	
データ方向	MSBファースト	

注 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ（POM0, POM14）にてN-chオープン・ドレイン出力（V_{DD}耐圧）モード（POM03, POM143 = 1）を設定してください（詳細は4.3 **ポート機能を制御するレジスタ**を参照）。異電位外部デバイスとの通信の場合は、クロック入力/出力端子（SCL10とSCL20）も同様にN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定（POM04, POM142 = 1）してください（詳細は、4.4.4 **異電位（2.5V系, 3V系）外部デバイスとの接続方法を参照**）。

備考 m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0, 2） mn = 02, 10

(1) レジスタ設定

図11-91 簡易I²C (IIC10, IIC20) のデータ送信時のレジスタ設定内容例

注1. シリアル・アレイ・ユニット0のみ。

2. シリアル・アレイ・ユニット1のみ。

3. 通信動作中は通信データにより値が変わります。

備考 m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0, 2) mn = 02, 10 r: IIC番号 (r = 10, 20)

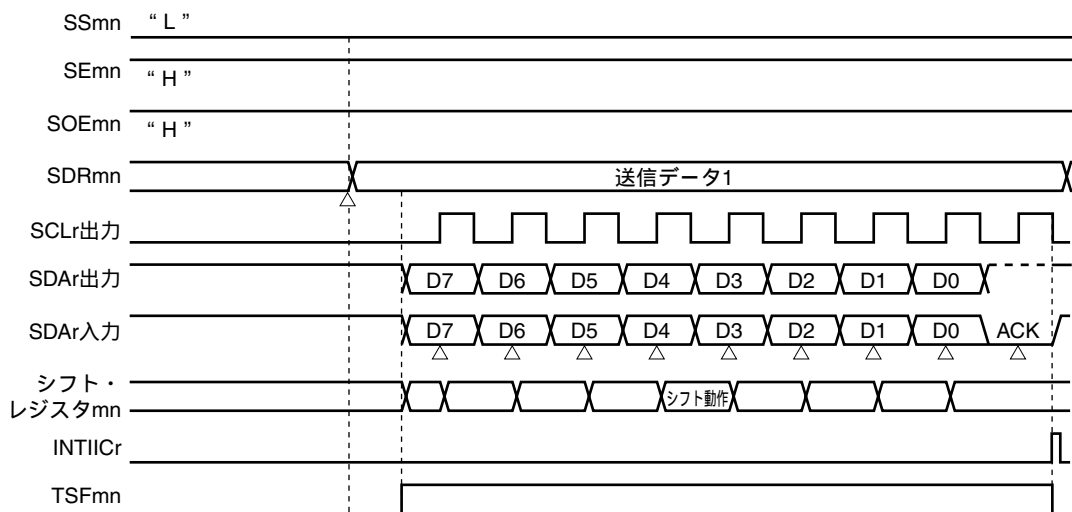
□: IICモードでは設定固定 ■: 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

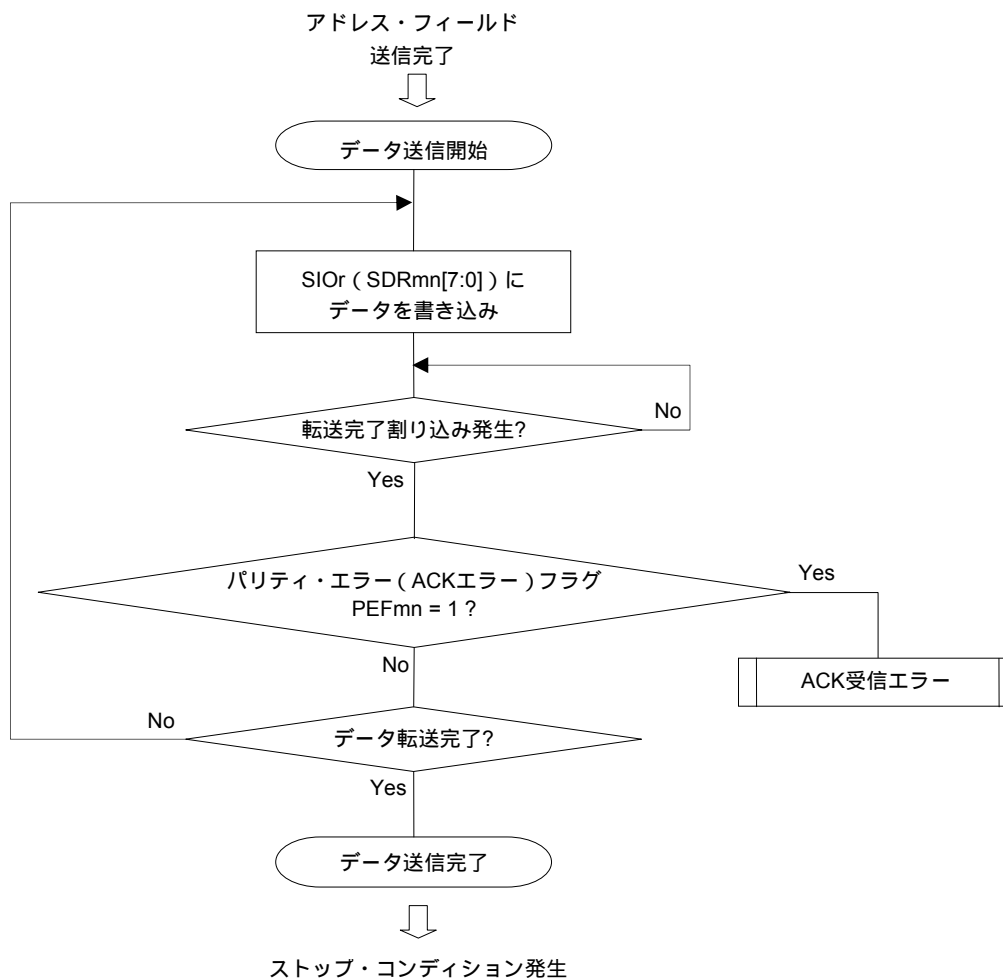
(2) 処理フロー

図11 - 92 データ送信のタイミング・チャート



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) mn = 02, 10 r : IIC番号 (r = 10, 20)

図11 - 93 データ送信のフロー・チャート



11.7.3 データ受信

データ受信は、アドレス・フィールド送信後にその転送対象（スレーブ）にデータを受信する動作です。対象スレーブにすべてのデータを受信した後は、ストップ・コンディションを発生し、バスを開放します。

簡易 ² C	IIC10	IIC20
対象チャンネル	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	SCL10, SDA10 ^注	SCL20, SDA20 ^注
割り込み	INTIIC10	INTIIC20
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）	
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ	
転送データ長	8ビット	
転送レート	Max. $f_{MCK}/4$ [Hz]（SDRmn[15:9] = 1以上） f_{MCK} ：対象チャンネルの動作クロック周波数 ただし、 ² Cの各モードにより、以下の条件を満たしてください。 ・ Max. 400 kHz（ファースト・モード） ・ Max. 100 kHz（標準モード）	
データ・レベル	正転出力（デフォルト：ハイ・レベル）	
パリティ・ビット	パリティ・ビットなし	
ストップ・ビット	1ビット付加（ACK送信）	
データ方向	MSBファースト	

注 簡易²Cによる通信を行う場合は、ポート出力モード・レジスタ（POM0, POM14）にてN-chオープン・ドレイン出力（V_{DD}耐圧）モード（POM03, POM143 = 1）を設定してください（詳細は4.3 **ポート機能を制御するレジスタ**を参照）。異電位外部デバイスとの通信の場合は、クロック入力/出力端子（SCL10とSCL20）も同様にN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定（POM04, POM142 = 1）してください（詳細は、4.4.4 **異電位（2.5V系、3V系）外部デバイスとの接続方法を参照**）。

備考 m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0, 2） mn = 02, 10

(1) レジスタ設定

図11-94 簡易I²C (IIC10, IIC20) のデータ受信時のレジスタ設定内容例

(a) シリアル出力レジスタ_m (SO_m) . . . データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO _m						CKOm2 ^{注1}	CKOm1	CKOm0 ^{注2}						SOm2 ^{注1}	SOm1	SOm0 ^{注2}
	0	0	0	0	1	0/1 ^{注3}	x	0/1 ^{注3}	0	0	0	0	1	0/1 ^{注3}	x	0/1 ^{注3}

データ位相が正転 (CKPmn = 0) 時は1で、
 データ位相が反転 (CKPmn = 1) 時は0で通信開始する。

0: シリアル・データ出力値が“ 0 ”
 1: シリアル・データ出力値が“ 1 ”

(b) シリアル出力許可レジスタ_m (SOEm) . . . データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm														SOEm2 ^{注1}	SOEm1	SOEm0 ^{注2}
	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	x	0/1

(c) シリアル・チャンネル開始レジスタ_m (SS_m) . . . データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SS _m														SSm3	SSm2 ^{注1}	SSm1	SSm0 ^{注2}
	0	0	0	0	0	0	0	0	0	0	0	0	0	x	0/1	x	0/1

(d) シリアル・モード・レジスタ_{mn} (SMR_{mn}) . . . データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMR _{mn}	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0

(e) シリアル通信動作設定レジスタ_{mn} (SCR_{mn}) . . . TXEmn, RXEmnビット以外はデータ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCR _{mn}	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0		DLSmn2	DLSmn1	DLSmn0
	0	1	0	0	0	0	0	0	0	0	0	1	0	1	1	1

(f) シリアル・データ・レジスタ_{mn} (SDR_{mn}) (下位8ビット: SIO_r)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDR _{mn}	ボー・レート設定								0	ダミー送信データ設定 (FFH)						

SIO_r

- 注1. シリアル・アレイ・ユニット0のみ。
- 2. シリアル・アレイ・ユニット1のみ。
- 3. 通信動作中は通信データにより値が変わります。

備考 m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0, 2) mn = 02, 10 r: IIC番号 (r = 10, 20)

□: IICモードでは設定固定 ■: 設定不可 (初期値を設定)

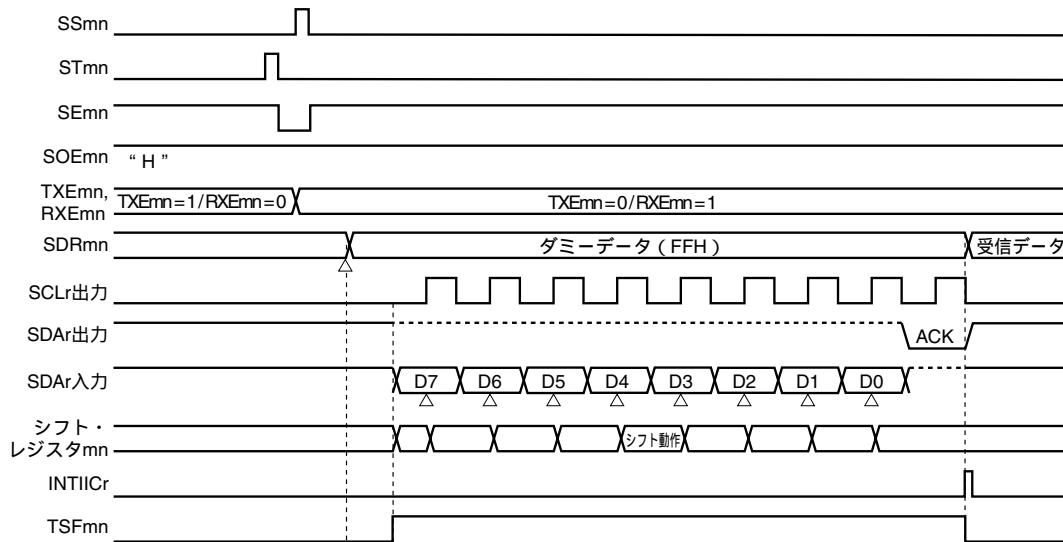
x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

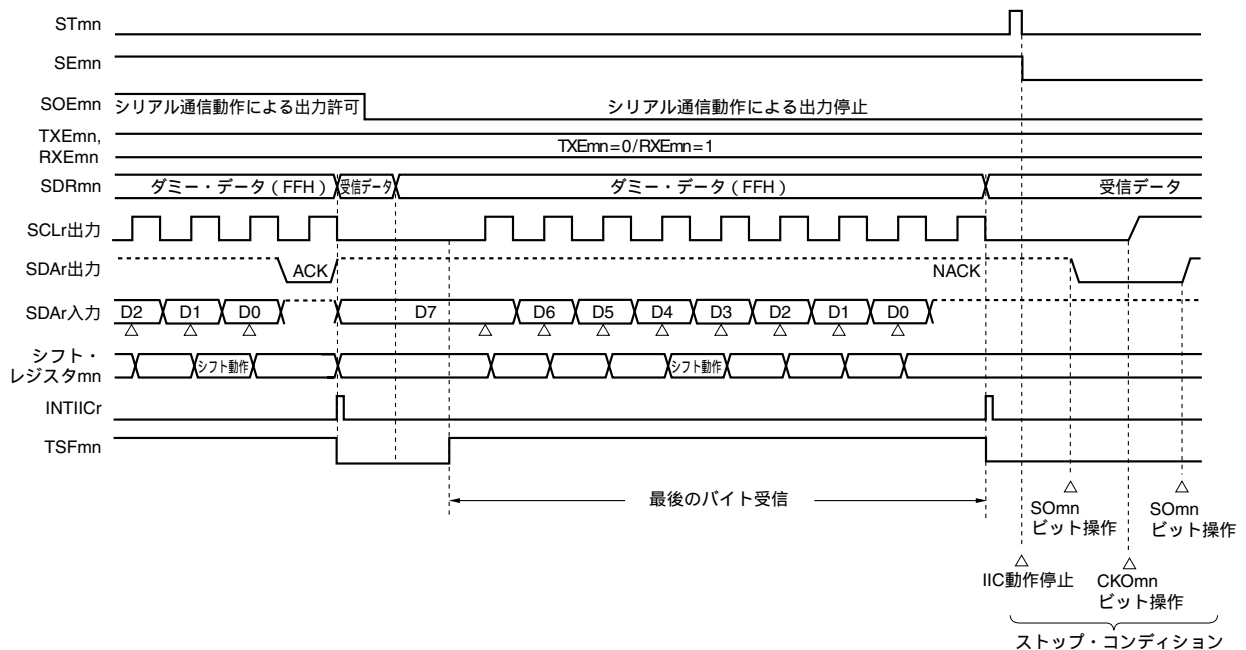
(2) 処理フロー

図11-95 データ受信のタイミング・チャート

(a) データ受信開始時

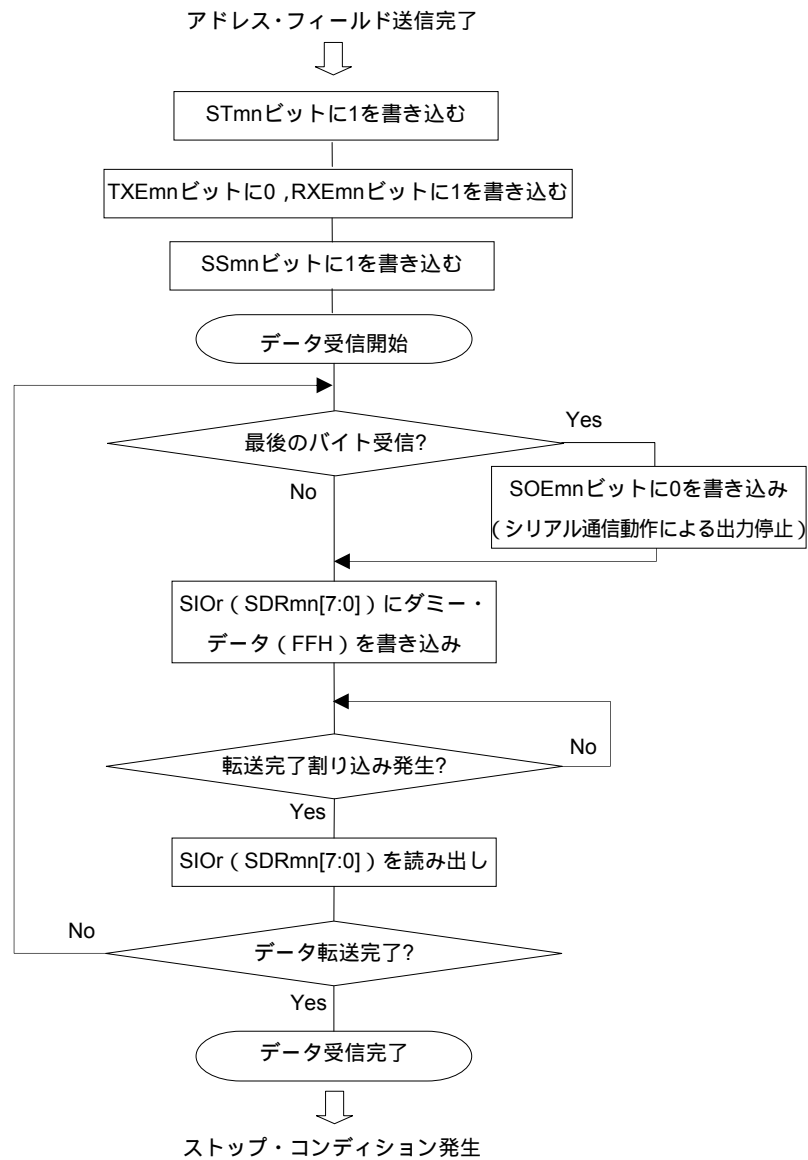


(b) 最終データ受信時



備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) mn = 02, 10 r : IIC番号 (r = 10, 20)

図11 - 96 データ受信のフロー・チャート



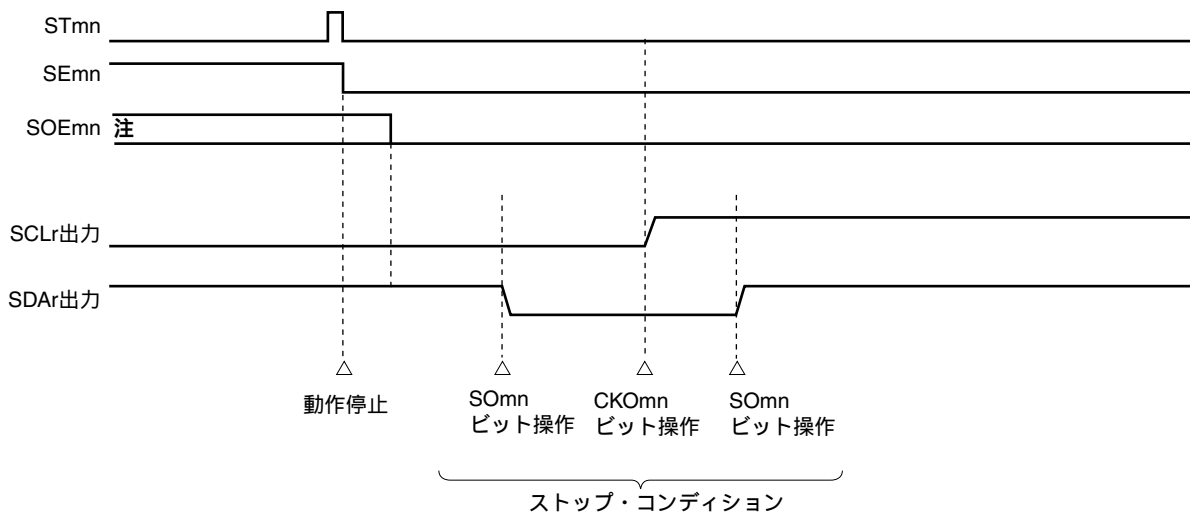
注意 最終データの受信時はACKを出力しません (NACK)。その後、STmnビットに“1”を設定して動作停止と
してから、ストップ・コンディションを発生することにより通信完了します。

11.7.4 ストップ・コンディション発生

対象スレーブにすべてのデータを送信 / 受信した後は、ストップ・コンディションを発生し、バスを開放します。

(1) 処理フロー

図11 - 97 ストップ・コンディション発生のタイミング・チャート

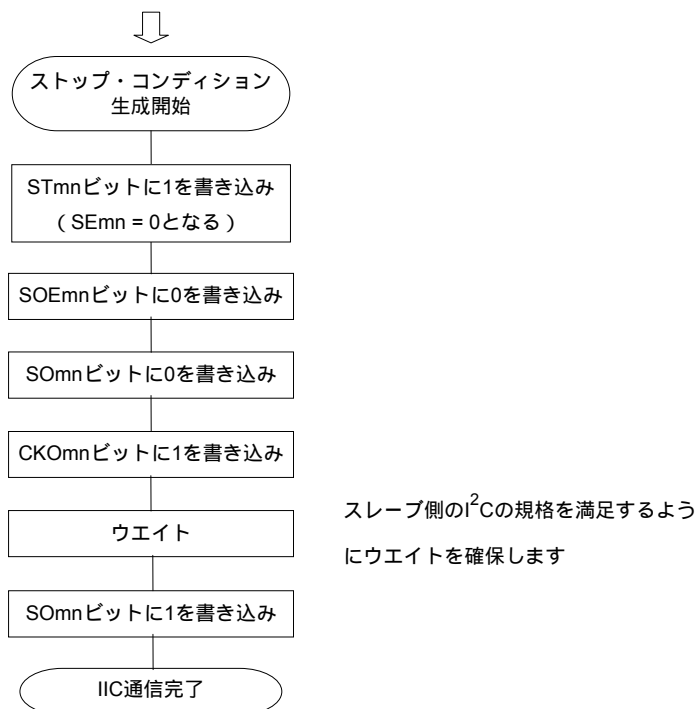


注 受信動作時は最終データを受信する前に、SOEmnビットを0に設定しています。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) mn = 02, 10 r : IIC番号 (r = 10, 20)

図11 - 98 ストップ・コンディション発生のフロー・チャート

データ送信完了 / データ受信完了



11.7.5 転送レートの算出

簡易²C (IIC10, IIC20) 通信での転送レートは下記の計算式にて算出できます。

$$\text{(転送レート)} = \{ \text{対象チャネルの動作クロック (f}_{MCK}\text{) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2$$

注意 簡易²C使用時は、SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。

備考1. SDRmn[15:9]は、SDRmnレジスタのビット15-9の値 (0000001B-1111111B) なので、1-127 になります。

2. m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0, 2) mn = 02, 10

動作クロック (f_{MCK}) は、シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のビット15 (CKSmn) で決まります。

表11-4 動作クロックの選択

SMRmn レジスタ	SPS _m レジスタ								動作クロック (f _{CLK}) ^{注1}		
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	f _{CLK} = 20 MHz 動作時	
0		X	X	X	X	0	0	0	0	f _{CLK}	20 MHz
		X	X	X	X	0	0	0	1	f _{CLK} /2	10 MHz
		X	X	X	X	0	0	1	0	f _{CLK} /2 ²	5 MHz
		X	X	X	X	0	0	1	1	f _{CLK} /2 ³	2.5 MHz
		X	X	X	X	0	1	0	0	f _{CLK} /2 ⁴	1.25 MHz
		X	X	X	X	0	1	0	1	f _{CLK} /2 ⁵	625 kHz
		X	X	X	X	0	1	1	0	f _{CLK} /2 ⁶	313 kHz
		X	X	X	X	0	1	1	1	f _{CLK} /2 ⁷	156 kHz
		X	X	X	X	1	0	0	0	f _{CLK} /2 ⁸	78.1 kHz
		X	X	X	X	1	0	0	1	f _{CLK} /2 ⁹	39.1 kHz
		X	X	X	X	1	0	1	0	f _{CLK} /2 ¹⁰	19.5 kHz
		X	X	X	X	1	0	1	1	f _{CLK} /2 ¹¹	9.77 kHz
									m = 0の場合: INTTM02 ^{注2} , m = 1の場合: 設定禁止		
1		0	0	0	0	X	X	X	X	f _{CLK}	20 MHz
		0	0	0	1	X	X	X	X	f _{CLK} /2	10 MHz
		0	0	1	0	X	X	X	X	f _{CLK} /2 ²	5 MHz
		0	0	1	1	X	X	X	X	f _{CLK} /2 ³	2.5 MHz
		0	1	0	0	X	X	X	X	f _{CLK} /2 ⁴	1.25 MHz
		0	1	0	1	X	X	X	X	f _{CLK} /2 ⁵	625 kHz
		0	1	1	0	X	X	X	X	f _{CLK} /2 ⁶	313 kHz
		0	1	1	1	X	X	X	X	f _{CLK} /2 ⁷	156 kHz
		1	0	0	0	X	X	X	X	f _{CLK} /2 ⁸	78.1 kHz
		1	0	0	1	X	X	X	X	f _{CLK} /2 ⁹	39.1 kHz
		1	0	1	0	X	X	X	X	f _{CLK} /2 ¹⁰	19.5 kHz
		1	0	1	1	X	X	X	X	f _{CLK} /2 ¹¹	9.77 kHz
									m = 0の場合: INTTM02 ^{注2} , m = 1の場合: 設定禁止		
上記以外									設定禁止		

注1. f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（STm = 000FH）させてから変更してください。動作クロックにINTTM02を選択する場合は、タイマ・アレイ・ユニット（TAU0）も停止（TT0 = 00FFH）させてください。

2. TAU0とSAU0を次のように設定することにより、f_{CLK}の周波数選択に関係なくサブシステム・クロックの分周固定でSAU0を動作させることが可能です。

<TAU0> TAU0のチャンネル2の入力クロックにf_{SUB}/4を選択（TIS02 = 1）

<SAU> SPS0レジスタでINTTM02を選択

ただし、f_{CLK}を変更する場合は、上記の注1のようにSAU0, TAU0を停止させる必要があります。

備考1. X : Don't care

2. m : ユニット番号 (m = 0, 1) , n : チャンネル番号 (n = 0, 2) mn = 02, 10

$f_{MCK} = f_{CLK} = 20$ MHzの場合のIIC転送レート設定例を示します。

IIC転送モード (希望転送レート)	$f_{CLK} = 20$ MHz時			
	動作クロック (f_{MCK})	SDRmn[15:9]	算出転送レート	希望転送レートとの誤差
100 kHz	f_{CLK}	99	100 kHz	0.0%
400 kHz	f_{CLK}	24	400 kHz	0.0%

11.7.6 簡易²C (IIC10, IIC20) 通信時におけるエラー発生時の処理手順

簡易²C (IIC10, IIC20) 通信時にエラーが発生した場合の処理手順を図11 - 99, 図11 - 100に示します。

図11 - 99 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタmn (SDRmn)をリードする	SSRmnレジスタのBFFmnビットが "0"となり,チャンネルnは受信可能状態 になる	エラー処理中に次の受信を完了した 場合にオーバーラン・エラーになるのを 防ぐために行う
シリアル・ステータス・レジスタmn (SSRmn)をリードする		エラーの種類を判別を行い,リード値は エラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レ ジスタmn (SIRmn)に"1"をライトす る	エラー・フラグがクリアされる	SSRmnレジスタのリード値を そのままSIRmnレジスタに書き込む ことで,読み出し時のエラーのみを クリアできる

図11 - 100 簡易²Cモード時のパリティ・エラー (ACKエラー) 発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタmn (SDRmn)をリードする	SSRmnレジスタのBFFmnビットが "0"となり,チャンネルnは受信可能状態 になる	エラー処理中に次の受信を完了した 場合にオーバーラン・エラーになるのを 防ぐために行う
シリアル・ステータス・レジスタmn (SSRmn)をリードする		エラーの種類を判別を行い,リード値は エラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レ ジスタmn (SIRmn)をライトする	エラー・フラグがクリアされる	SSRmnレジスタのリード値を そのままSIRmnレジスタに書き込む ことで,読み出し時のエラーのみを クリアできる
シリアル・チャンネル停止レジスタm (STm)のSTmnビットに"1"を設定す る	シリアル・チャンネル許可ステータス・レ ジスタm (SEm)のSEmnビットが"0" となり,チャンネルnは動作停止状態になる	ACKが返信されていないので, スレーブの受信準備ができていない。 そのため,ストップ・コンディション を作成してバスを開放し,再度 スタート・コンディションから通信を 開始する。もしくはリスタート・ コンディションを生成し,アドレス 送信からやり直すことも可能。
ストップ・コンディション作成		
スタート・コンディション作成		
シリアル・チャンネル開始レジスタm (SSm)のSSmnビットに"1"を設定す る	シリアル・チャンネル許可ステータス・レ ジスタm (SEm)のSEmnビットが"1" となり,チャンネルnは動作許可状態になる	

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) r : IIC番号 (r = 10, 20)

11.8 レジスタの設定と端子の関係

シリアル・アレイ・ユニット0, 1のチャンネルごとのレジスタの設定と端子の関係を表11 - 5 ~ 表11 - 10に示します。

表11 - 5 レジスタの設定と端子の関係 (ユニット0のチャンネル0 : CSI00, UART0送信)

SE 00 注1	MD 002	MD 001	SOE 00	SO 00	CKO 00	TXE 00	RXE 00	PM 10	P10	PM 11 注2	P11 注2	PM 12	P12	動作モード	端子機能														
															SCK00/ P10	SI00/RxD0/ P11注2	SO00/TxD0/ P12												
0	0	0	0	1	1	0	0	×	×	×	×	×	×	動作停止 モード	P10	P11	P12												
	0	1														P11/RxD0													
1	0	0	0	1	1	0	1	1	×	1	×	×	×	スレーブCSI00 受信	SCK00 (入力)	SI00	P12												
															1	0/1 注4	1	1	0	1	×	×	×	0	1	スレーブCSI00 送信	SCK00 (入力)	P11	SO00
															1	0/1 注4	1	1	1	1	×	1	×	0	1	スレーブCSI00 送受信	SCK00 (入力)	SI00	SO00
															0	1	0/1 注4	0	1	0	1	1	×	×	×	マスタCSI00 受信	SCK00 (出力)	SI00	P12
															1	0/1 注4	0/1 注4	1	0	0	1	×	×	0	1	マスタCSI00 送信	SCK00 (出力)	P11	SO00
															1	0/1 注4	0/1 注4	1	1	0	1	1	×	0	1	マスタCSI00 送受信	SCK00 (出力)	SI00	SO00
0	1	1	0/1 注4	1	1	0	×	×	×	×	0	1	UART0 送信注5	P10	P11/RxD0	TxD0													

- 注1. SE0レジスタは、Read Onlyのステータス・レジスタであり、SS0レジスタとST0レジスタにて設定します。
2. ユニット0のチャンネル1をUART0受信に設定すると、この端子はRxD0機能となります(表11 - 6参照)。その場合、ユニット0のチャンネル0は動作停止モードまたはUART0送信を必ず選択してください。
3. ポート機能として設定することができます。
4. 通信動作に応じて、0または1となります。詳細は、11. 3 (12) シリアル出力レジスタm (SOm) を参照してください。
5. UART0を送信と受信のペアで使用する場合は、ユニット0のチャンネル1をUART0受信に設定にしてください(表11 - 6参照)。

備考 × : dont' care

表11 - 6 レジスタの設定と端子の関係 (ユニット0のチャンネル1 : CSI01, UART0受信)

SE 01 注1	MD 012	MD 011	SOE 01	SO 01	CKO 01	TXE 01	RXE 01	PM 43	P43	PM 44	P44	PM 45	P45	PM 11 注2	P11 注2	動作 モード	端子機能							
																	SCK01/ P43	SI01/P44	SO01/ P45	SI00/ RxD0/ P11注2				
0	0	0	0	1	1	0	0	×	×	×	×	×	×	×	×	動作 停止 モード	P43	P44	P45	SI00/P11				
	0	1																						
1	0	0	0	1	1	0	1	1	×	1	×	×	×	×	×	スレーブ CSI01 受信	SCK01 (入力)	SI01	P45	SI00/P11				
			1	0/1 注4	1	1	0	1	×	×	×	0	1	×	×		スレーブ CSI01 送信	SCK01 (入力)	P44	SO01	SI00/P11			
			1	0/1 注4	1	1	1	1	×	1	×	0	1	×	×			スレーブ CSI01 送受信	SCK01 (入力)	SI01	SO01	SI00/P11		
			0	1	0/1 注4	0	1	0	1	1	×	×	×	×	×				マスタ CSI01 受信	SCK01 (出力)	SI01	P45	SI00/P11	
			1	0/1 注4	0/1 注4	1	0	0	1	×	×	0	1	×	×					マスタ CSI01 送信	SCK01 (出力)	P44	SO01	SI00/P11
			1	0/1 注4	0/1 注4	1	1	0	1	1	×	0	1	×	×						マスタ CSI01 送受信	SCK01 (出力)	SI01	SO01
0	1	0	1	1	0	1	×	×	×	×	×	×	1	×	UART0 受信 注5,6	P43						P44	P45	RxD0

- 注1. SE0レジスタは、Read Onlyのステータス・レジスタであり、SS0レジスタとST0レジスタにて設定します。
2. ユニット0のチャンネル1をUART0受信に設定すると、この端子はRxD0機能となります。その場合、ユニット0のチャンネル0は動作停止モードまたはUART0送信に設定してください(表11 - 5参照)。
また、ユニット0のチャンネル0をCSI00に設定すると、この端子はRxD0機能として使用できません。その場合、ユニット0のチャンネル1は動作停止モードまたはCSI01に設定してください。
3. ポート機能として設定することができます。
4. 通信動作に応じて、0または1となります。詳細は、11. 3 (12) シリアル出力レジスタm (SOm) を参照してください。
5. UART0を送信と受信のペアで使用する場合は、ユニット0のチャンネル0をUART0送信に設定にしてください(表11 - 5参照)。
6. UART0受信時はユニット0のチャンネル0のSMR00レジスタの設定も必要です。詳細は、11. 6. 2 (1) レジスタ設定を参照してください。

備考 × : don't care

表11-7 レジスタの設定と端子の関係 (ユニット0のチャンネル2 : CSI10, UART1送信, IIC10)

SE 02 注1	MD 022	MD 021	SOE 02	SO 02	CKO 02	TXE 02	RXE 02	PM 04	P04	PM 03 注2	P03 注2	PM 02	P02	動作モード	端子機能			
															SCK10/ SCL10/P04	SI10/SDA10/ RxD1/P03 ^{注2}	SO10/ TxD1/P02	
0	0	0	0	1	1	0	0	×	×	×	×	×	×	動作停止 モード	P04	P03	P02	
	0	1														P03/RxD1		
	1	0														P03		
1	0	0	0	1	1	0	1	1	×	1	×	×	×	スレーブCSI10 受信	SCK10 (入力)	SI10	P02	
			1	0/1 注4	1	1	0	1	×	×	×	0	1	スレーブCSI10 送信	SCK10 (入力)	P03	SO10	
			1	0/1 注4	1	1	1	1	×	1	×	0	1	スレーブCSI10 送受信	SCK10 (入力)	SI10	SO10	
			0	1	0/1 注4	0	1	0	1	1	×	×	×	マスタCSI10 受信	SCK10 (出力)	SI10	P02	
			1	0/1 注4	0/1 注4	1	0	0	1	×	×	0	1	マスタCSI10 送信	SCK10 (出力)	P03	SO10	
			1	0/1 注4	0/1 注4	1	1	0	1	1	×	0	1	マスタCSI10 送受信	SCK10 (出力)	SI10	SO10	
	0	1	1	0/1 注4	1	1	0	×	×	×	0	1	UART1 送信 ^{注5}	P04	P03/RxD1	TxD1		
0	1	0	0	0/1 注6	0/1 注6	0	0	0	1	0	1	×	×	IIC10 スタート・コン ディション	SCL10	SDA10	P02	
						1	0											
						0	1											
	1	0	0	1	0/1 注4	0/1 注4	1	0	0	1	0	1	×	×	IIC10アドレ ス・フィールド 送信	SCL10	SDA10	P02
				1	0/1 注4	0/1 注4	1	0	0	1	0	1	×	×	IIC10データ 送信	SCL10	SDA10	P02
0	0	0	0	0/1 注7	0/1 注7	0	0	0	1	0	1	×	×	IIC10 ストップ・コン ディション	SCL10	SDA10	P02	
						1	0											
						0	1											

- 注1. SE0レジスタは、Read Onlyのステータス・レジスタであり、SS0レジスタとST0レジスタにて設定します。
2. ユニット0のチャンネル3をUART1受信に設定すると、この端子はRxD1機能となります(表11-8参照)。その場合、ユニット0のチャンネル2は動作停止モードまたはUART1送信を必ず選択してください。
3. ポート機能として設定することができます。
4. 通信動作に応じて、0または1となります。詳細は、11.3(12)シリアル出力レジスタm(SOm)を参照してください。
5. UART1を送信と受信のペアで使用する場合は、ユニット0のチャンネル3をUART1受信に設定にしてください(表11-8参照)。
6. CKO02ビットは、スタート・コンディション発生前は1にセットします。SO02ビットは、スタート・コンディション発生時に1 0にクリアします。
7. CKO02ビットは、ストップ・コンディション発生前は1にセットします。SO02ビットは、ストップ・コンディション発生時に0 1にセットします。

備考 × : don't care

表11 - 8 レジスタの設定と端子の関係 (ユニット0のチャンネル3 : UART1受信)

SE03 ^{注1}	MD032	MD031	TXE03	RXE03	PM03 ^{注2}	P03 ^{注2}	動作	端子機能
							モード	SI10/SDA10/RxD1/P03 ^{注2}
0	0	1	0	0	x ^{注3}	x ^{注3}	動作停止 モード	SI10/SDA10/P03 ^{注2}
1	0	1	0	1	1	x	UART1 受信 ^{注4,5}	RxD1

- 注1. SE0レジスタは、Read Onlyのステータス・レジスタであり、SS0レジスタとST0レジスタにて設定します。
2. ユニット0のチャンネル3をUART1受信に設定すると、この端子はRxD1機能となります。その場合、ユニット0のチャンネル2は動作停止モードまたはUART1送信に設定してください (表11 - 7参照)。
また、ユニット0のチャンネル2をCSI10またはIIC10に設定すると、この端子はRxD1機能として使用できません。その場合、ユニット0のチャンネル3は動作停止モードに設定してください。
3. ポート機能として設定することができます。
4. UART1を送信と受信のペアで使用する場合は、ユニット0のチャンネル2をUART1送信に設定にしてください (表11 - 7参照)。
5. UART1受信時はユニット0のチャンネル2のSMR02レジスタの設定も必要です。詳細は、11. 6. 2 (1) **レジスタ設定**を参照してください。

備考 x : dont' care

表11-9 レジスタの設定と端子の関係 (ユニット1のチャンネル0 : CSI20, UART2送信, IIC20)

SE 10 注1	MD 102	MD 101	SOE 10	SO 10	CKO 10	TXE 10	RXE 10	PM 142	P142 ×	PM 143 注2	P143 注2	PM 144	P144 ×	動作モード	端子機能			
															SCK20/ SCL20/P142	SI20/SDA20/ RxD2/P143 ^{注2}	SO20/ TxD2/P144	
0	0	0	0	1	1	0	0	×	×	×	×	×	×	動作停止 モード	P142	P143	P144	
	0	1														P143/RxD2		
	1	0														P143		
1	0	0	0	1	1	0	1	1	×	1	×	×	×	スレーブCSI20 受信	SCK20 (入力)	SI20	P144	
			1	0/1 注4	1	1	0	1	×	×	×	0	1	スレーブCSI20 送信	SCK20 (入力)	P143	SO20	
			1	0/1 注4	1	1	1	1	×	1	×	0	1	スレーブCSI20 送受信	SCK20 (入力)	SI20	SO20	
			0	1	0/1 注4	0	1	0	1	1	×	×	×	×	マスタCSI20 受信	SCK20 (出力)	SI20	P144
			1	0/1 注4	0/1 注4	1	0	0	1	×	×	0	1	マスタCSI20 送信	SCK20 (出力)	P143	SO20	
			1	0/1 注4	0/1 注4	1	1	0	1	1	×	0	1	マスタCSI20 送受信	SCK20 (出力)	SI20	SO20	
	0	1	1	0/1 注4	1	1	0	×	×	×	×	0	1	UART2 送信 ^{注5}	P142	P143/RxD2	TxD2	
0	1	0	0	0/1 注6	0/1 注6	0	0	0	1	0	1	×	×	IIC20 スタート・コン ディション	SCL20	SDA20	P144	
						1	0											
						0	1											
			1	1	0/1 注4	0/1 注4	1	0	0	1	0	1	×	×	IIC20アドレ ス・フィールド 送信	SCL20	SDA20	P144
				1	0/1 注4	0/1 注4	1	0	0	1	0	1	×	×	IIC20データ 送信	SCL20	SDA20	P144
0	1	0	0/1 注7	0/1 注7	0	0	0	1	0	1	×	×	IIC20 ストップ・コン ディション	SCL20	SDA20	P144		
					1	0												
					0	1												

- 注1. SE1レジスタは、Read Onlyのステータス・レジスタであり、SS1レジスタとST1レジスタにて設定します。
2. ユニット1のチャンネル1をUART2受信に設定すると、この端子はRxD2機能となります(表11-10参照)。その場合、ユニット1のチャンネル0は動作停止モードまたはUART2送信を必ず選択してください。
3. ポート機能として設定することができます。
4. 通信動作に応じて、0または1となります。詳細は、11.3(12)シリアル出力レジスタm(SOm)を参照してください。
5. UART2を送信と受信のペアで使用する場合は、ユニット1のチャンネル1をUART2受信に設定にしてください(表11-10参照)。
6. CKO10ビットは、スタート・コンディション発生前は1にセットします。SO10ビットは、スタート・コンディション発生時に1 0にクリアします。
7. CKO10ビットは、ストップ・コンディション発生前は1にセットします。SO10ビットは、ストップ・コンディション発生時に0 1にセットします。

備考 × : don't care

表11 - 10 レジスタの設定と端子の関係 (ユニット1のチャンネル1 : UART2受信)

SE11 ^{注1}	MD112	MD111	TXE11	RXE11	PM143 ^{注2}	P143 ^{注2}	動作 モード	端子機能
								SI20/SDA20/RxD2/P143 ^{注2}
0	0	1	0	0	x ^{注3}	x ^{注3}	動作停止 モード	SI20/SDA20/P143
1	0	1	0	1	1	x	UART2 受信 ^{注4,5}	RxD2

- 注1. SE1レジスタは、Read Onlyのステータス・レジスタであり、SS1レジスタとST1レジスタにて設定します。
2. ユニット1のチャンネル1をUART2受信に設定すると、この端子はRxD2機能となります。その場合、ユニット1のチャンネル0は動作停止モードまたはUART2送信に設定してください (表11 - 9参照)。
また、ユニット1のチャンネル0をCSI20またはIIC20に設定すると、この端子はRxD2機能として使用できません。その場合、ユニット1のチャンネル1は動作停止モードに設定してください。
3. ポート機能として設定することができます。
4. UART2を送信と受信のペアで使用する場合は、ユニット1のチャンネル0をUART2送信に設定にしてください (表11 - 9参照)。
5. UART2受信時はユニット1のチャンネル0のSMR10レジスタの設定も必要です。詳細は、11. 6. 2 (1) **レジスタ設定**を参照してください。

備考 x : dont' care

第12章 シリアル・インタフェースIICA

12.1 シリアル・インタフェースIICAの機能

シリアル・インタフェースIICAには、次の3種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I²Cバス・モード (マルチマスタ対応)

シリアル・クロック (SCL0) とシリアル・データ・バス (SDA0) の2本のラインより、複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており、マスタはスレーブに対して、シリアル・データ・バス上に“スタート・コンディション”、“アドレス”、“転送方向指定”、“データ”および“ストップ・コンディション”を生成できます。スレーブは、受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。

シリアル・インタフェースIICAでは、SCL0端子とSDA0端子はオープン・ドレイン出力で使用するため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

(3) ウェイクアップ・モード

STOPモード状態で、マスタからの拡張コードもしくは自局アドレスを受信した場合に、割り込み要求信号 (INTIICA) を発生しSTOPモードを解除することができます。IICAコントロール・レジスタ1 (IICCTL1) のWUPビットにより設定します。

図12-1に、シリアル・インタフェースIICAのブロック図を示します。

図12 - 1 シリアル・インタフェースIICAのブロック図

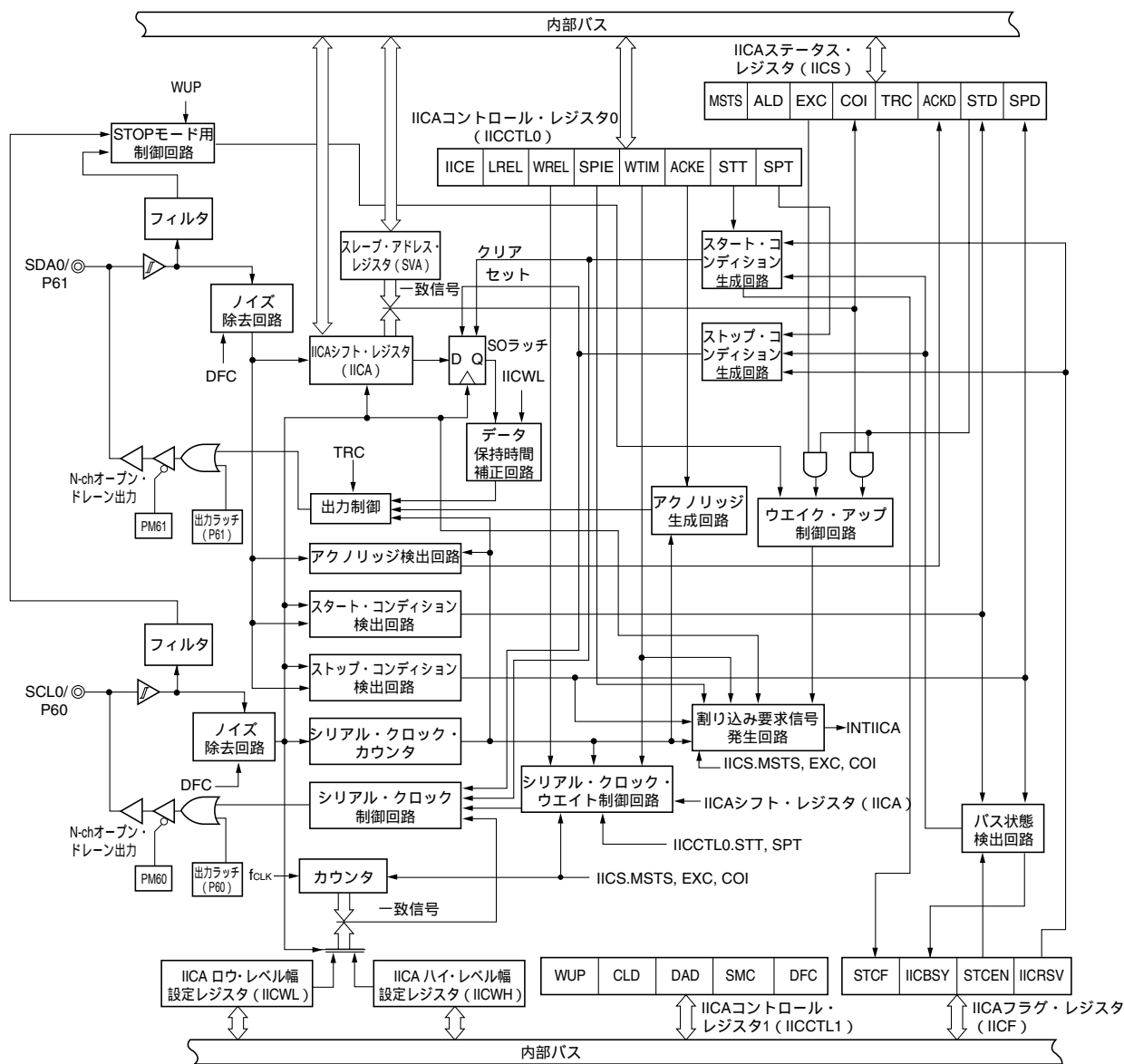
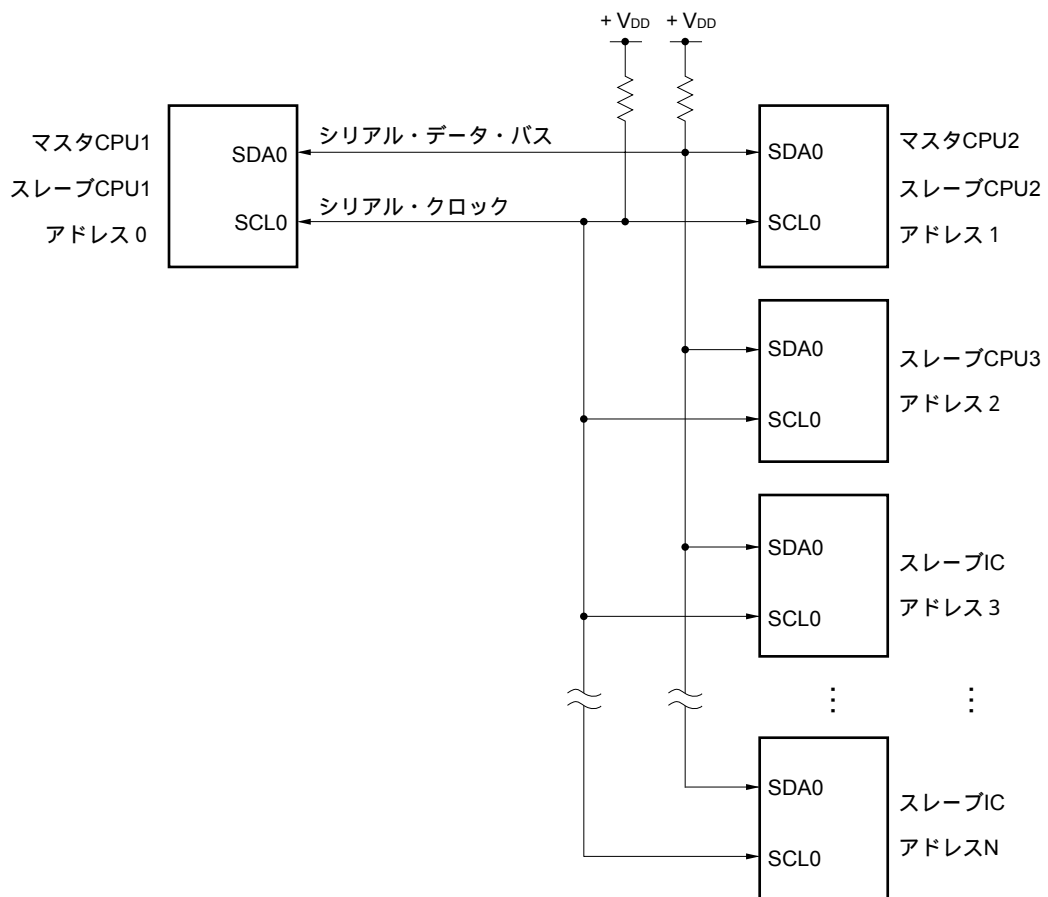


図12 - 2にシリアル・バス構成例を示します。

図12 - 2 I²Cバスによるシリアル・バス構成例



12.2 シリアル・インタフェースIICAの構成

シリアル・インタフェースIICAは、次のハードウェアで構成されています。

表12-1 シリアル・インタフェースIICAの構成

項目	構成
レジスタ	IICAシフト・レジスタ (IICA) スレーブ・アドレス・レジスタ (SVA)
制御レジスタ	周辺イネーブル・レジスタ0 (PER0) IICAコントロール・レジスタ0 (IICCTL0) IICAステータス・レジスタ (IICS) IICAフラグ・レジスタ (IICF) IICAコントロール・レジスタ1 (IICCTL1) IICAロウ・レベル幅設定レジスタ (IICWL) IICAハイ・レベル幅設定レジスタ (IICWH) ポート・モード・レジスタ6 (PM6) ポート・レジスタ6 (P6)

(1) IICAシフト・レジスタ (IICA)

IICAレジスタは、シリアル・クロックに同期して、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IICAレジスタは送信および受信の両方に使用されます。

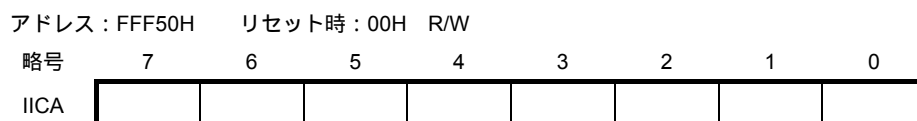
IICAレジスタに対する書き込み/読み出しにより、実際の送受信動作が制御できます。

ウェイト期間中のIICAレジスタへの書き込みにより、ウェイトを解除し、データ転送を開始します。

IICAレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-3 IICAシフト・レジスタ (IICA) のフォーマット



- 注意1. データ転送中はIICAレジスタにデータを書き込まないでください。
- IICAレジスタには、ウェイト期間中にだけ、書き込み/読み出しをしてください。ウェイト期間中を除く通信状態でのIICAレジスタへのアクセスは禁止です。ただし、マスタになる場合は、通信トリガ・ビット (STT) をセット (1) したあと、1回書き込みできます。
 - 通信予約時は、ストップ・コンディションによる割り込み検出のあとにIICAレジスタにデータを書き込んでください。

(2) スレープ・アドレス・レジスタ (SVA)

スレープとして使用する場合に、自局アドレスの7ビット { A6, A5, A4, A3, A2, A1, A0 } を格納するレジスタです。

SVAレジスタは、8ビット・メモリ操作命令で設定します。

ただし、STD = 1 (スタート・コンディション検出) のときの書き換えは禁止です。

リセット信号の発生により、00Hになります。

図12-4 スレープ・アドレス・レジスタ (SVA) のフォーマット

アドレス : F0234H	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
SVA	A6	A5	A4	A3	A2	A1	A0	0 ^注

注 ビット0は0固定です。

(3) SOラッチ

SOラッチは、SDA0端子出力レベルを保持するラッチです。

(4) ウェイク・アップ制御回路

スレープ・アドレス・レジスタ (SVA) に設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に割り込み要求 (INTIICA) を発生させる回路です。

(5) シリアル・クロック・カウンタ

送信 / 受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(6) 割り込み要求信号発生回路

割り込み要求信号 (INTIICA) の発生を制御します。

I²C割り込み要求は、次の2つのトリガで発生します。

- ・シリアル・クロックの8クロック目または9クロック目の立ち下がり (WTIMビットで設定)
- ・ストップ・コンディション検出による割り込み要求発生 (SPIEビットで設定)

備考 WTIMビット : IICAコントロール・レジスタ0 (IICCTL0) のビット3
SPIEビット : " のビット4

(7) シリアル・クロック制御回路

マスタ・モード時に、SCL0端子に出力するクロックをサンプリング・クロックから生成します。

(8) シリアル・クロック・ウェイト制御回路

ウェイト・タイミングを制御します。

**(9) アクノリッジ生成回路, ストップ・コンディション検出回路, スタート・コンディション検出回路,
アクノリッジ検出回路**

各状態の生成および検出を行います。

(10) データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

(11) スタート・コンディション生成回路

STTビットがセット(1)されるとスタート・コンディションを生成します。

ただし通信予約禁止状態(IICRSVビット = 1)で、かつバスが解放されていない(IICBSYビット = 1)場合には、スタート・コンディション要求は無視し、STCFビットをセット(1)します。

(12) ストップ・コンディション生成回路

SPTビットがセット(1)されるとストップ・コンディションを生成します。

(13) バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。

ただし動作直後はバス状態を検出できないため、STCENビットにより、バス状態検出回路の初期状態を設定してください。

備考	STTビット	: IICAコントロール・レジスタ0 (IICCTL0)	のビット1
	SPTビット	: "	のビット0
	IICRSVビット	: IICAフラグ・レジスタ (IICF)	のビット0
	IICBSYビット	: "	のビット6
	STCFビット	: "	のビット7
	STCENビット	: "	のビット1

12.3 シリアル・インタフェースIICAを制御するレジスタ

シリアル・インタフェースIICAは、次の8種類のレジスタで制御します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・IICAコントロール・レジスタ0 (IICCTL0)
- ・IICAフラグ・レジスタ (IICF)
- ・IICAステータス・レジスタ (IICS)
- ・IICAコントロール・レジスタ1 (IICCTL1)
- ・IICAロウ・レベル幅設定レジスタ (IICWL)
- ・IICAハイ・レベル幅設定レジスタ (IICWH)
- ・ポート・モード・レジスタ6 (PM6)
- ・ポート・レジスタ6 (P6)

(1) 周辺イネーブル・レジスタ0 (PER0)

PER0は、各周辺ハードウェア・マクロの使用可否を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・インタフェースIICAを使用するときは、必ずビット4 (IICAEN) を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-5 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	<input checked="" type="checkbox"/>	6	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	3	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
PER0	RTCEN	0	ADCEN	IICAEN	SAU1EN	SAU0EN	TAU1EN	TAU0EN

IICAEN	シリアル・インタフェースIICAの入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・インタフェースIICAで使用するSFRへのライト不可 ・シリアル・インタフェースIICAはリセット状態
1	入力クロック供給許可 ・シリアル・インタフェースIICAで使用するSFRへのリード/ライト可

注意 シリアル・インタフェースIICAの設定をする際には、必ず最初にIICAEN = 1の設定を行ってください。IICAEN = 0の場合は、シリアル・インタフェースIICAの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります (ポート・モード・レジスタ6 (PM6) , ポート・レジスタ6 (P6) は除く)。

(2) IICAコントロール・レジスタ0 (IICCTL0)

I²Cの動作許可/停止, ウェイト・タイミングの設定, その他I²Cの動作を設定するレジスタです。

IICCTL0レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし, SPIE, WTIM, ACKEビットは, IICE = 0のとき, またはウェイト期間中に設定してください。またIICEビットを"0"から"1"に設定するときに, これらのビットを同時に設定できます。

リセット信号の発生により, 00Hになります。

図12 - 6 IICAコントロール・レジスタ0 (IICCTL0) のフォーマット (1/4)

アドレス : F0230H リセット時 : 00H R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
IICCTL0	IICE	LREL	WREL	SPIE	WTIM	ACKE	STT	SPT

IICE	I ² Cの動作許可
0	動作停止。IICAステータス・レジスタ (IICS) をリセット ^{注1} 。内部動作も停止。
1	動作許可。
このビットのセット (1) は、必ずSCL0, SDA0ラインがハイ・レベルの状態で行ってください。	
クリアされる条件 (IICE = 0)	セットされる条件 (IICE = 1)
・ 命令によるクリア ・ リセット時	・ 命令によるセット

LREL ^{注2,3}	通信退避
0	通常動作。
1	現在行っている通信から退避し、待機状態。実行後自動的にクリア (0) される。 自局に関係ない拡張コードを受信したときなどに使用する。 SCL0, SDA0ラインはハイ・インピーダンス状態になる。 IICAコントロール・レジスタ0 (IICCTL0), IICAステータス・レジスタ (IICS) のうち、次のフラグがクリア (0) される。 ・ STT ・ SPT ・ MSTs ・ EXC ・ COI ・ TRC ・ ACKD ・ STD
次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。 ・ ストップ・コンディション検出後、マスタとしての起動 ・ スタート・コンディション後のアドレス一致または拡張コード受信	
クリアされる条件 (LREL = 0)	セットされる条件 (LREL = 1)
・ 実行後、自動的にクリア ・ リセット時	・ 命令によるセット

WREL ^{注2,3}	ウェイト解除
0	ウェイトを解除しない。
1	ウェイトを解除する。ウェイト解除後、自動的にクリアされる。
送信状態 (TRC = 1) で、9クロック目のウェイト期間中にWRELビットをセット (ウェイトを解除) した場合、SDA0ラインをハイ・インピーダンス (TRC = 0) にします。	
クリアされる条件 (WREL = 0)	セットされる条件 (WREL = 1)
・ 実行後、自動的にクリア ・ リセット時	・ 命令によるセット

- 注1. リセットされるのは、IICAステータス・レジスタ (IICA), IICAフラグ・レジスタ (IICF) のSTCF, IICBSYビット, IICAコントロール・レジスタ1 (IICCTL1) レジスタのCLD, DADビットです。
2. IICE = 0の状態では、このビットの信号は無効になります。
3. LREL, WRELビットの読み出し値は常に0になります。

注意 SCL0ラインがハイ・レベル, SDA0ラインがロウ・レベルの状態かつ、デジタル・フィルタ・オン (IICCTL1レジスタのDFC = 1) のときにI²Cを動作許可 (IICE = 1) した場合、直後にスタート・コンディションを検出してしまいます。この場合は、I²Cを動作許可 (IICE = 1) したあと、連続して1ビット・メモリ操作命令により、LRELビットをセット (1) してください。

図12 - 6 IICAコントロール・レジスタ0 (IICCTL0) のフォーマット (2/4)

SPIE ^{注1}	ストップ・コンディション検出による割り込み要求発生 of 許可 / 禁止	
0	禁止	
1	許可	
IICAコントロール・レジスタ1 (IICCTL1) のWUP = 1の場合には、SPIE = 1にしてもストップ・コンディション割り込みは発生しません。		
クリアされる条件 (SPIE = 0)		セットされる条件 (SPIE = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

WTIM ^{注1}	ウェイトおよび割り込み要求発生 of 制御	
0	8クロック目の立ち下がり with 割り込み要求発生。 マスタの場合 : 8クロック出力後、クロック出力をロウ・レベルに shita mama ウェイト スレーブの場合 : 8クロック入力後、クロックをロウ・レベルにしてマスタをウェイト	
1	9クロック目の立ち下がり with 割り込み要求発生。 マスタの場合 : 9クロック出力後、クロック出力をロウ・レベルに shita mama ウェイト スレーブの場合 : 9クロック入力後、クロックをロウ・レベルにしてマスタをウェイト	
アドレス転送中はこのビット of 設定にかかわらず、9クロック目の立ち下がり with 割り込みが発生します。アドレス転送終了後このビット of 設定が有効になります。またマスタ時、アドレス転送中 is 9クロック of 立ち下がり to ウェイトが入ります。自局アドレスを受信したスレーブは、アクリッジ (ACK) 発生後の9クロック目の立ち下がり with ウェイトに入ります。ただし拡張コードを受信したスレーブは、8クロック目の立ち下がり with ウェイトに入ります。		
クリアされる条件 (WTIM = 0)		セットされる条件 (WTIM = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

ACKE ^{注1,2}	アクリッジ制御	
0	アクリッジを禁止。	
1	アクリッジを許可。9クロック期間中にSDA0ラインをロウ・レベルにする。	
クリアされる条件 (ACKE = 0)		セットされる条件 (ACKE = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

注1. IICE = 0 of 状態では、このビット of 信号は無効になります。その期間にビット of 設定を行ってください。

2. アドレス転送中 with、かつ拡張コードでない場合、設定値は無効です。

スレーブかつアドレスが一致した場合は、設定値に関係なくアクリッジを生成します。

図12 - 6 IICAコントロール・レジスタ0 (IICCTL0) のフォーマット (3/4)

STT ^注	スタート・コンディション・トリガ	
0	スタート・コンディションを生成しない。	
1	<p>バスが解放されているとき（待機状態，IICBSYが0のとき）： セット（1）すると，スタート・コンディションを生成する（マスタとしての起動）。</p> <p>第三者が通信中のとき： ・通信予約機能許可の場合（IICRSV = 0） スタート・コンディション予約フラグとして機能する。セット（1）すると，バスが解放されたあと自動的にスタート・コンディションを生成する。 ・通信予約機能禁止の場合（IICRSV = 1） セット（1）してもSTTビットはクリアされ，STTクリア・フラグ（STCF）がセット（1）される。スタート・コンディションは生成しない。</p> <p>ウェイト状態（マスタ時）： ウェイトを解除してリスタート・コンディションを生成する。</p>	
<p>セット・タイミングに関する注意</p> <ul style="list-style-type: none"> ・マスタ受信の場合：転送中のセット（1）は禁止です。ACKE = 0に設定し，受信の最後であることをスレーブに伝えたとのウェイト期間中にだけセット（1）可能です。 ・マスタ送信の場合：アクリッジ期間中は，正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のウェイト期間中にセット（1）してください。 ・ストップ・コンディション・トリガ（SPT）と同時セット（1）することは禁止です。 ・STTビットをセット（1）後，クリア（0）される前に再度セット（1）することは禁止です。 		
クリアされる条件（STT = 0）		セットされる条件（STT = 1）
<ul style="list-style-type: none"> ・通信予約禁止状態でのSTTビットのセット（1） ・アービトレーションに負けたとき ・マスタでのスタート・コンディション生成 ・LREL = 1（通信退避）によるクリア ・IICE = 0（動作停止）のとき ・リセット時 		<ul style="list-style-type: none"> ・命令によるセット

注 IICE = 0の状態では，このビットの信号は無効になります。

備考1. ビット1（STT）は，データ設定後に読み出すと0になっています。

2. IICRSV : IICフラグ・レジスタ（IICF）のビット0
 STCF : " のビット7

図12 - 6 IICAコントロール・レジスタ0 (IICCTL0) のフォーマット (4/4)

SPT	ストップ・コンディション・トリガ	
0	ストップ・コンディションを生成しない。	
1	ストップ・コンディションを生成する (マスタとしての転送終了)。	
セット・タイミングに関する注意 ・マスタ受信の場合：転送中のセット (1) は禁止です。 ACKE = 0に設定し、受信の最後であることをスレーブに伝えたあとのウエイト期間中にだけセット (1) 可能です。 ・マスタ送信の場合：アックノリッジ期間中は、正常にストップ・コンディションが生成されないことがあります。9クロック出力後のウエイト期間中にセットしてください。 ・スタート・コンディション・トリガ (STT) と同時にセット (1) することは禁止です。 ・SPTビットのセット (1) は、マスタのときのみ行ってください。 ・WTIM = 0設定時に、8クロック出力後のウエイト期間中にSPTビットをセット (1) すると、ウエイト解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のウエイト期間中にWTIM = 0 1に設定し、9クロック目出力後のウエイト期間中にSPTビットをセット (1) してください。 ・SPTビットをセット (1) 後、クリア (0) する前に、再度セット (1) することは禁止です。		
クリアされる条件 (SPT = 0)		セットされる条件 (SPT = 1)
<ul style="list-style-type: none"> ・アービトレーションに負けたとき ・ストップ・コンディション検出後、自動的にクリア ・LREL = 1 (通信退避) によるクリア ・IICE = 0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・命令によるセット

注意 IICAステータス・レジスタ (IICS) のビット3 (TRC) = 1 (送信状態) のとき、9クロック目にIICCTL0レジスタのビット5 (WREL) をセット (1) してウエイト解除すると、TRCビットをクリア (受信状態) してSDA0ラインをハイ・インピーダンスにします。TRC = 1 (送信状態) におけるウエイト解除は、IICAシフト・レジスタへの書き込みで行ってください。

備考 ビット0 (SPT) は、データ設定後に読み出すと0になっています。

(3) IICAステータス・レジスタ (IICS)

I²Cのステータスを表すレジスタです。

IICSレジスタは、STT = 1およびウエイト期間中のみ、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00Hになります。

注意 STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可 (WUP=1) 状態でのIICSレジスタの読み出しは禁止です。WUP = 1の状態から、INTIICA割り込み要求と関係なくWUPビットを1 0 (ウエイク・アップ動作停止) に変更した場合には、次のスタート・コンディション/ストップ・コンディション検出までは状態が反映されません。そのため、ウエイク・アップ機能を使用する場合には必ずストップ・コンディション検出による割り込みを許可 (SPIE = 1) して割り込み検出後にIICSレジスタを読み出してください。

備考 STT : IICAコントロール・レジスタ0 (IICCTL0) のビット1

WUP : IICAコントロール・レジスタ1 (IICCTL1) のビット7

図12-7 IICAステータス・レジスタ (IICS) のフォーマット (1/3)

アドレス : FFF51H リセット時 : 00H R

略号 7 6 5 4 3 2 1 0

IICS	MSTS	ALD	EXC	COI	TRC	ACKD	STD	SPD
------	------	-----	-----	-----	-----	------	-----	-----

MSTS	マスタ状態確認フラグ
0	スレープ状態または通信待機状態。
1	マスタ通信状態。
クリアされる条件 (MSTS = 0)	
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・ALD = 1 (アービトレーション負け) のとき ・LREL = 1 (通信回避) によるクリア ・IICE = 1 0 (動作停止) のとき ・リセット時 	
セットされる条件 (MSTS = 1)	
<ul style="list-style-type: none"> ・スタート・コンディション生成時 	

ALD	アービトレーション負け検出
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。
1	アービトレーションに負けた状態。MSTSビットがクリアされる。
クリアされる条件 (ALD = 0)	
<ul style="list-style-type: none"> ・IICSレジスタ読み出し後、自動的にクリア^注 ・IICE = 1 0 (動作停止) のとき ・リセット時 	
セットされる条件 (ALD = 1)	
<ul style="list-style-type: none"> ・アービトレーションに負けたとき 	

注 IICSレジスタのほかのビットに対し1ビット・メモリ操作命令を実行した場合もクリアされます。したがって、ALDビット使用時は、ほかのビットよりも先にデータをリードしてください。

備考 LREL : IICAコントロール・レジスタ0 (IICCTL0) のビット6

IICE : " のビット7

図12-7 IICAステータス・レジスタ (IICS) のフォーマット (2/3)

EXC	拡張コード受信検出	
0	拡張コードを受信していない。	
1	拡張コードを受信している。	
クリアされる条件 (EXC = 0)		セットされる条件 (EXC = 1)
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL = 1 (通信退避) によるクリア ・IICE = 1 0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・受信したアドレス・データの上位4ビットが“0000”または“1111”のとき (8クロック目の立ち上がりでセット)

COI	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
クリアされる条件 (COI = 0)		セットされる条件 (COI = 1)
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL = 1 (通信退避) によるクリア ・IICE = 1 0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・受信アドレスが自局アドレス (スレーブ・アドレス・レジスタ (SVA)) と一致したとき (8クロック目の立ち上がりでセット)

TRC	送信 / 受信状態検出	
0	受信状態 (送信状態以外)。SDA0ラインをハイ・インピーダンスにする。	
1	送信状態。SDA0ラインにSO0ラッチの値が出力できるようにする (1バイト目の9クロック目の立ち下がり以降有効)。	
クリアされる条件 (TRC = 0)		セットされる条件 (TRC = 1)
<p>< マスタ, スレーブ共通 ></p> <ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・LREL = 1 (通信退避) によるクリア ・IICE = 1 0 (動作停止) のとき ・WREL = 1 (ウエイト解除) によるクリア^注 ・ALD = 0 1 (アービトラージン負け) のとき ・リセット時 ・通信不参加の場合 (MSTS, EXC, COI = 0) <p>< マスタの場合 ></p> <ul style="list-style-type: none"> ・1バイト目のLSB (転送方向指定ビット) に“1”を出力したとき <p>< スレーブの場合 ></p> <ul style="list-style-type: none"> ・スタート・コンディション検出時 ・1バイト目のLSB (転送方向指定ビット) に“0”を入力したとき 		<p>< マスタの場合 ></p> <ul style="list-style-type: none"> ・スタート・コンディション生成時 ・1バイト目 (アドレス転送時) のLSB (転送方向指定ビット) に“0” (マスタ送信) を出力したとき <p>< スレーブの場合 ></p> <ul style="list-style-type: none"> ・マスタからの1バイト目 (アドレス転送時) のLSB (転送方向指定ビット) に“1” (スレーブ送信) が入力されたとき

注 IICAステータス・レジスタ (IICS) のビット3 (TRC) = 1 (送信状態) のとき, 9クロック目にIICAコントロール・レジスタ0 (IICCTL0) のビット5 (WREL) をセット (1) してウエイトを解除すると, TRCビットをクリア (受信状態) してSDA0ラインをハイ・インピーダンスにします。TRC = 1 (送信状態) におけるウエイト解除は, IICAシフト・レジスタへの書き込みで行ってください。

備考 LREL : IICAコントロール・レジスタ0 (IICCTL0) のビット6
IICE : " のビット7

図12 - 7 IICAステータス・レジスタ (IICS) のフォーマット (3/3)

ACKD	アクノリッジ (ACK) 検出	
0	アクノリッジを検出していない。	
1	アクノリッジを検出している。	
	クリアされる条件 (ACKD = 0)	セットされる条件 (ACKD = 1)
	<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LREL = 1 (通信退避) によるクリア ・IICE = 1 0 (動作停止) のとき ・リセット時 	<ul style="list-style-type: none"> ・SCL0ラインの9クロック目の立ち上がり時にSDA0ラインがロウ・レベルであったとき

STD	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。	
	クリアされる条件 (STD = 0)	セットされる条件 (STD = 1)
	<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LREL = 1 (通信退避) によるクリア ・IICE = 1 0 (動作停止) のとき ・リセット時 	<ul style="list-style-type: none"> ・スタート・コンディション検出時

SPD	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出している。マスタでの通信が終了し、バスが解放されている。	
	クリアされる条件 (SPD = 0)	セットされる条件 (SPD = 1)
	<ul style="list-style-type: none"> ・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時 ・IICE = 1 0 (動作停止) のとき ・WUP = 1 0のとき ・リセット時 	<ul style="list-style-type: none"> ・ストップ・コンディション検出時

備考 LREL : IICAコントロール・レジスタ0 (IICCTL0) のビット6

IICE : " のビット7

(4) IICAフラグ・レジスタ (IICF)

I^2C の動作モードの設定と、 I^2C バスの状態を表すレジスタです。

IICFレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、STTクリア・フラグ (STCF)、 I^2C バス状態フラグ (IICBSY) は読み出しのみ可能です。

IICRSVビットにより、通信予約機能の禁止 / 許可を設定します。

またSTCENビットにより、IICBSYビットの初期値を設定します。

IICRSV、STCENビットは I^2C が動作禁止 (IICAコントロール・レジスタ0 (IICCTL0) のビット7 (IICE) = 0) のときのみ書き込み可能です。動作許可後、IICFレジスタは読み出しのみ可能となります。

リセット信号の発生により、00Hになります。

図12 - 8 IICAフラグ・レジスタ (IICF) のフォーマット

アドレス : FFF52H リセット時 : 00H R/W^注

略号	7	6	5	4	3	2	1	0
IICF	STCF	IICBSY	0	0	0	0	STCEN	IICRSV

STCF	STTクリア・フラグ
0	スタート・コンディション発行。
1	スタート・コンディション発行できず, STTフラグ・クリア。
クリアされる条件 (STCF = 0)	
<ul style="list-style-type: none"> ・ STT = 1によるクリア ・ IICE = 0 (動作停止) のとき ・ リセット時 	
セットされる条件 (STCF = 1)	
<ul style="list-style-type: none"> ・ 通信予約禁止 (IICRSV = 1) 設定時にスタート・コンディション発行できず, STTビットがクリア (0) されたとき 	

IICBSY	I ² Cバス状態フラグ
0	バス解放状態 (STCEN = 1時の通信初期状態)。
1	バス通信状態 (STCEN = 0時の通信初期状態)。
クリアされる条件 (IICBSY = 0)	
<ul style="list-style-type: none"> ・ ストップ・コンディション検出時 ・ IICE = 0 (動作停止) のとき ・ リセット時 	
セットされる条件 (IICBSY = 1)	
<ul style="list-style-type: none"> ・ スタート・コンディション検出時 ・ STCEN = 0時のIICEビットのセット 	

STCEN	初期スタート許可トリガ
0	動作許可 (IICE = 1) 後, ストップ・コンディションの検出により, スタート・コンディションを生成許可。
1	動作許可 (IICE = 1) 後, ストップ・コンディションを検出せずに, スタート・コンディションを生成許可。
クリアされる条件 (STCEN = 0)	
<ul style="list-style-type: none"> ・ 命令によるクリア ・ スタート・コンディション検出時 ・ リセット時 	
セットされる条件 (STCEN = 1)	
<ul style="list-style-type: none"> ・ 命令によるセット 	

IICRSV	通信予約機能禁止ビット
0	通信予約許可。
1	通信予約禁止。
クリアされる条件 (IICRSV = 0)	
<ul style="list-style-type: none"> ・ 命令によるクリア ・ リセット時 	
セットされる条件 (IICRSV = 1)	
<ul style="list-style-type: none"> ・ 命令によるセット 	

注 ビット6, 7はRead onlyです。

注意1. STCENビットへの書き込みは動作停止 (IICE = 0) 時のみ行ってください。

2. STCEN = 1とした場合, 実際のバス状態にかかわらずバス解放状態 (IICBSY = 0) と認識しますので, 1回目のスタート・コンディションを発行 (STT = 1) する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。

3. IICRSVへの書き込みは動作停止 (IICE = 0) 時のみ行ってください。

備考 STT : IICAコントロール・レジスタ0 (IICCTL0) のビット1
 IICE : " のビット7

(5) IICAコントロール・レジスタ1 (IICCTL1)

I²Cの動作モードの設定やSCL0, SDA0端子状態を検出するためのレジスタです。

IICCTL1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、CLD, DADビットは読み出しのみ可能です。

IICCTL1レジスタは、WUPビットを除きI²Cが動作禁止 (IICAコントロール・レジスタ0 (IICCTL0) のビット7 (IICE) = 0) のときに設定してください。

リセット信号の発生により、00Hになります。

図12-9 IICAコントロール・レジスタ1 (IICCTL1) のフォーマット (1/2)

アドレス : F0231H リセット時 : 00H R/W^{※1}

略号	7	6	5	4	3	2	1	0
IICCTL1	WUP	0	CLD	DAD	SMC	DFC	0	0

WUP	アドレス一致ウエイク・アップの制御
0	STOPモード状態時のアドレス一致ウエイク・アップ機能動作停止
1	STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可
<p>WUP = 1でSTOPモードに移行する場合は、WUPビットをセット (1) して3クロック以上経過後にSTOP命令を実行してください (図12-22 WUP = 1を設定する場合のフロー参照)。</p> <p>アドレス一致、または拡張コード受信後はWUPビットをクリア (0) してください。WUPビットをクリア (0) することで、その後の通信に参加する事ができます (ウエイト解除および送信データ書き込みは、WUPビットをクリア (0) したあとに行う必要があります)。</p> <p>WUP = 1の状態における、アドレス一致および拡張コード受信時の割り込みタイミングは、WUP = 0の場合の割り込みタイミングと同じです (クロックによるサンプリング誤差分の遅延差は生じます)。また、WUP = 1の場合には、SPIE = 1にしてもストップ・コンディション割り込みは発生しません。</p>	
クリアされる条件 (WUP = 0)	セットされる条件 (WUP = 1)
・命令によるクリア (アドレス一致もしくは拡張コード受信後)	・命令によるセット (MSTS, EXC, COI = 0であり、STD = 0 (通信に不参加である事) のとき) ^{※2}

注1. ビット4, 5はRead Onlyです。

2. 次に示す期間に、IICAステータス・レジスタ (IICS) の状態を確認しセットする必要があります。

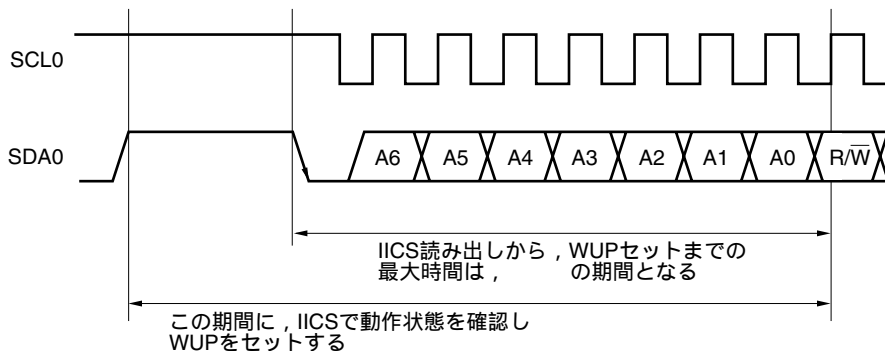


図12-9 IICAコントロール・レジスタ1 (IICCTL1) のフォーマット (2/2)

CLD	SCL0端子のレベル検出 (IICE = 1のときのみ有効)	
0	SCL0端子がロウ・レベルであることを検出	
1	SCL0端子がハイ・レベルであることを検出	
クリアされる条件 (CLD = 0)		セットされる条件 (CLD = 1)
<ul style="list-style-type: none"> ・ SCL0端子がロウ・レベルのとき ・ IICE = 0 (動作停止) のとき ・ リセット時 		<ul style="list-style-type: none"> ・ SCL0端子がハイ・レベルのとき

DAD	SDA0端子のレベル検出 (IICE = 1のときのみ有効)	
0	SDA0端子がロウ・レベルであることを検出	
1	SDA0端子がハイ・レベルであることを検出	
クリアされる条件 (DAD = 0)		セットされる条件 (DAD = 1)
<ul style="list-style-type: none"> ・ SDA0端子がロウ・レベルのとき ・ IICE = 0 (動作停止) のとき ・ リセット時 		<ul style="list-style-type: none"> ・ SDA0端子がハイ・レベルのとき

SMC	動作モードの切り替え	
0	標準モードで動作	
1	ファースト・モードで動作	

DFC	デジタル・フィルタの動作の制御	
0	デジタル・フィルタ・オフ	
1	デジタル・フィルタ・オン	
<p>デジタル・フィルタは、ファースト・モード時にのみ使用できます。</p> <p>ファースト・モード時はDFCビットのセット (1) / クリア (0) により、転送クロックが変化することはありません。</p> <p>デジタル・フィルタは、ファースト・モード時にノイズ除去のために使用します。</p>		

備考 IICE : IICAコントロール・レジスタ0 (IICCTL0) のビット7

(6) IICAロウ・レベル幅設定レジスタ (IICWL)

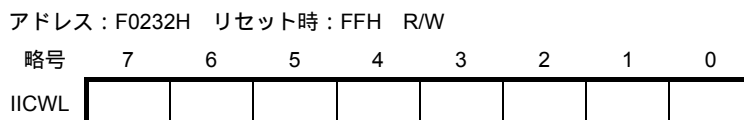
シリアル・インタフェースIICAが、出力するSCL0端子信号のロウ・レベル幅を設定するレジスタです。

IICWLレジスタは、8ビット・メモリ操作命令で設定します。

IICWLレジスタは、I²Cが動作禁止 (IICAコントロール・レジスタ0 (IICCTL0) のビット7 (IICE) = 0) のときに設定してください。

リセット信号の発生により、FFHになります。

図12 - 10 IICAロウ・レベル幅設定レジスタ (IICWL) のフォーマット

**(7) IICAハイ・レベル幅設定レジスタ (IICWH)**

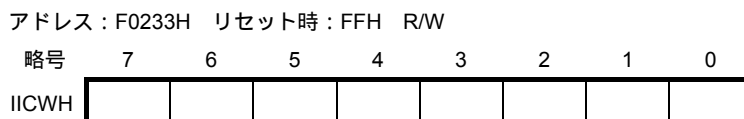
シリアル・インタフェースIICAが、出力するSCL0端子信号のハイ・レベル幅を設定するレジスタです。

IICWHレジスタは、8ビット・メモリ操作命令で設定します。

IICWHレジスタは、I²Cが動作禁止 (IICAコントロール・レジスタ0 (IICCTL0) のビット7 (IICE) = 0) のときに設定してください。

リセット信号の発生により、FFHになります。

図12 - 11 IICAハイ・レベル幅設定レジスタ (IICWH) のフォーマット



備考 IICWL, IICWHレジスタによる転送クロックの設定方法は、12. 4. 2 IICWL, IICWHレジスタによる転送クロック設定方法を参照してください。

(8) ポート・モード・レジスタ6 (PM6)

ポート6の入力 / 出力を1ビット単位で設定するレジスタです。

P60/SCL0端子をクロック入出力, P61/SDA0端子をシリアル・データ入出力として使用するとき, PM60, PM61およびP60, P61の出力ラッチに0を設定してください。

IICE (IICAコントロール・レジスタ0 (IICCTL0) のビット7) が0の場合, P60/SCL0端子およびP61/SDA0端子はロウ・レベル出力 (固定) となるため, 出力モードへの切り替えは, IICEビットに1を設定してから, 行ってください。

PM6レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図12 - 12 ポート・モード・レジスタ6 (PM6) のフォーマット

アドレス : FFF26H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM6	1	1	1	1	1	1	PM61	PM60

PM6n	P6n端子の入出力モードの選択 (n = 0, 1)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

12.4 I²Cバス・モードの機能

12.4.1 端子構成

シリアル・クロック端子 (SCL0) と、シリアル・データ・バス端子 (SDA0) の構成は、次のようになっています。

(1) SCL0.....シリアル・クロックを入出力するための端子。

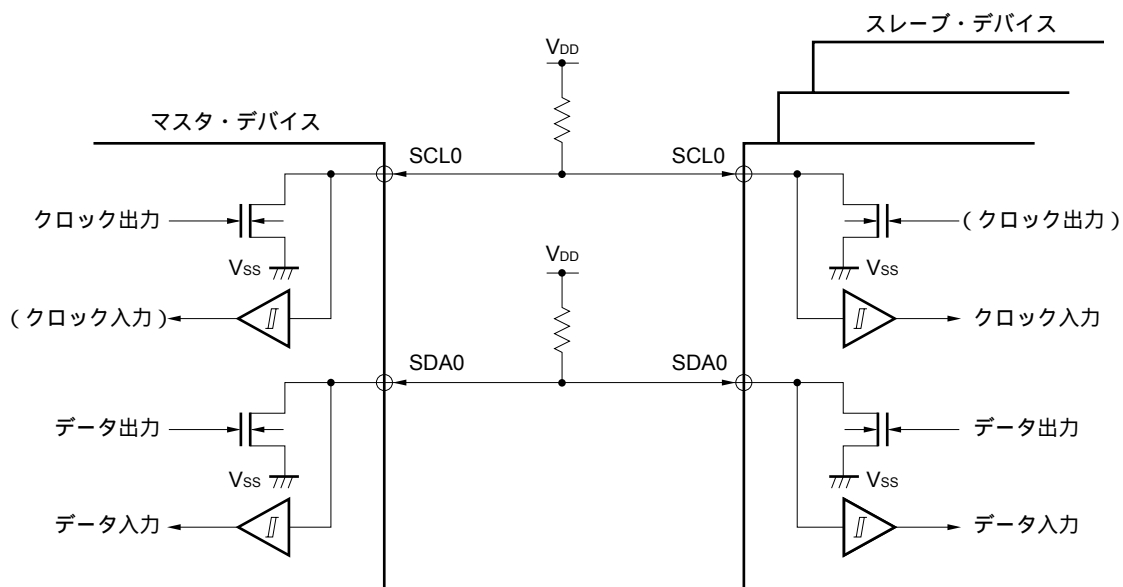
マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

(2) SDA0.....シリアル・データの入出力兼用端子。

マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図12 - 13 端子構成図



12.4.2 IICWL, IICWHレジスタによる転送クロック設定方法

(1) マスタ側の転送クロック設定方法

$$\text{転送クロック} = \frac{f_{\text{CLK}}}{\text{IICWL} + \text{IICWH} + f_{\text{CLK}} (t_{\text{R}} + t_{\text{F}})}$$

このとき、最適なIICWLレジスタとIICWHレジスタの設定値は次のようになります。
(設定値はすべて小数点以下切り上げ)

・ファースト・モード時

$$\text{IICWL} = \frac{0.52}{\text{転送クロック}} \times f_{\text{CLK}}$$

$$\text{IICWH} = \left(\frac{0.48}{\text{転送クロック}} - t_{\text{R}} - t_{\text{F}} \right) \times f_{\text{CLK}}$$

・標準モード時

$$\text{IICWL} = \frac{0.47}{\text{転送クロック}} \times f_{\text{CLK}}$$

$$\text{IICWH} = \left(\frac{0.53}{\text{転送クロック}} - t_{\text{R}} - t_{\text{F}} \right) \times f_{\text{CLK}}$$

(2) スレーブ側のIICWL, IICWHレジスタ設定方法

(設定値はすべて小数点以下切り上げ)

・ファースト・モード時

$$\text{IICWL} = 1.3 \mu\text{s} \times f_{\text{CLK}}$$

$$\text{IICWH} = (1.2 \mu\text{s} - t_{\text{R}} - t_{\text{F}}) \times f_{\text{CLK}}$$

・標準モード時

$$\text{IICWL} = 4.7 \mu\text{s} \times f_{\text{CLK}}$$

$$\text{IICWH} = (5.3 \mu\text{s} - t_{\text{R}} - t_{\text{F}}) \times f_{\text{CLK}}$$

注意 転送クロックを設定する場合は、 f_{CLK} の最低動作周波数に注意してください。シリアル・インタフェースIICAはモードによって f_{CLK} の最低動作周波数が決められています。

ファースト・モード時 : $f_{\text{CLK}} = 3.5 \text{ MHz (Min.)}$

標準モード時 : $f_{\text{CLK}} = 1 \text{ MHz (Min.)}$

備考1. SDA0, SCL0信号の立ち上がり時間 (t_{R}) と立ち下がり時間 (t_{F}) は、プルアップ抵抗と配線容量によって異なるため、各自で算出してください。

2. IICWL : IICAロウ・レベル幅設定レジスタ

IICWH : IICAハイ・レベル幅設定レジスタ

t_{F} : SDA0, SCL0信号の立ち下がり時間

t_{R} : SDA0, SCL0信号の立ち上がり時間

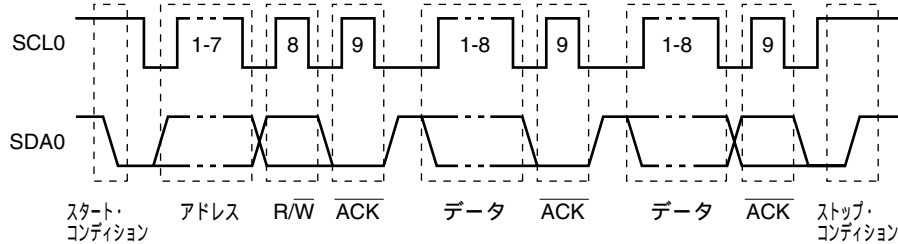
f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

12.5 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”、“アドレス”、“データ”および“ストップ・コンディション”の各転送タイミングを図12-14に示します。

図12-14 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが生成します。

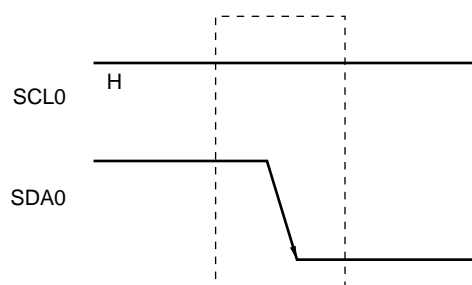
アクノリッジ ($\overline{\text{ACK}}$) は、マスタ、スレーブのどちらでも生成できます（通常、8ビット・データの受信側が出力します）。

シリアル・クロック (SCL0) は、マスタが出力し続けます。ただし、スレーブはSCL0端子のロウ・レベル期間を延長し、ウエイトを挿入できます。

12.5.1 スタート・コンディション

SCL0端子がハイ・レベルのときに、SDA0端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCL0端子、SDA0端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するとき生成する信号です。スレーブとして使用する場合は、スタート・コンディションを検出できます。

図12-15 スタート・コンディション



スタート・コンディションは、ストップ・コンディション検出状態 (SPD: IICAステータス・レジスタ (IICS) のビット0 = 1) のときにIICAコントロール・レジスタ0 (IICCTL0) のビット1 (STT) をセット (1) すると出力されます。また、スタート・コンディションを検出すると、IICSレジスタのビット1 (STD) がセット (1) されます。

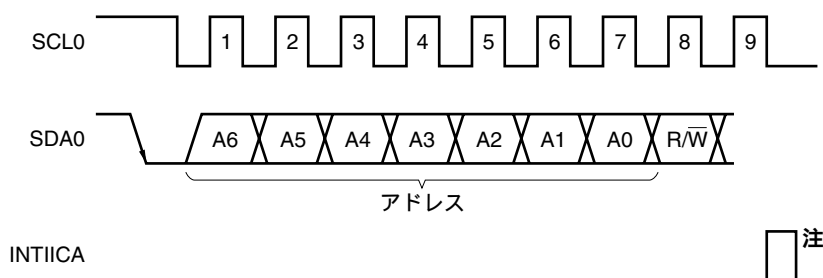
12.5.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタ (SVA) と一致しているかを調べます。このとき、7ビット・データとSVAレジスタの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図12 - 16 アドレス



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICAは発生しません。

アドレスは、スレーブのアドレスと12.5.3 転送方向指定に説明する転送方向を合わせて8ビットとしてIICAシフト・レジスタ (IICA) に書き込むと出力します。また、受信したアドレスはIICAレジスタに書き込まれます。

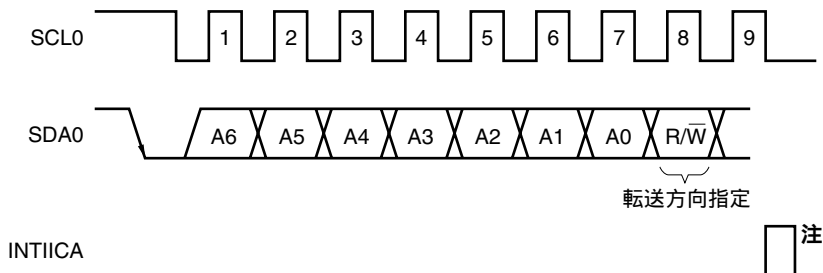
なお、スレーブのアドレスは、IICAレジスタの上位7ビットに割り当てられます。

12.5.3 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図12 - 17 転送方向指定



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICAは発生しません。

12.5.4 アクノリッジ (ACK)

アクノリッジ ($\overline{\text{ACK}}$) によって、送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は、8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。アクノリッジの検出は、IICAステータス・レジスタ (IICS) のビット2 (ACKD) で確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

- 受信が正しく行われていない。
- 最終データの受信が終わっている。
- アドレス指定した受信側が存在しない。

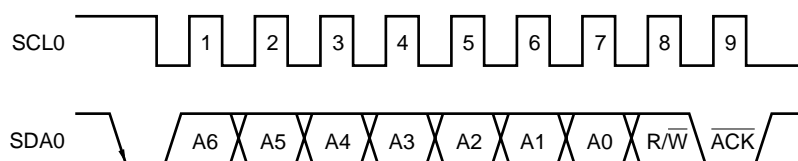
アクノリッジ生成は、受信側が9クロック目にSDA0ラインをロウ・レベルにすることによって行われます(正常受信)。

IICAコントロール・レジスタ0 (IICCTL0) のビット2 (ACKE) をセット (1) することによって、アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICSレジスタのビット3 (TRC) が設定されます。受信 (TRC = 0) の場合は、通常、ACKEビットをセット (1) してください。

スレーブ受信動作時 (TRC = 0) にデータを受信できなくなったとき、または次のデータを必要としないときには、ACKEビットをクリア (0) し、マスタ側に受信ができないことを示してください。

マスタ受信動作時 (TRC = 0) に、次のデータを必要としない場合、アクノリッジを生成しないようにACKEビットをクリア (0) してください。これによって、スレーブ送信側にデータの終わりを知らせます(送信停止)。

図12 - 18 アクノリッジ



自局アドレス受信時は、ACKEビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は、アクノリッジを生成しません (NACK)。

拡張コード受信時は、あらかじめACKEビットをセット (1) しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は、ウエイト・タイミングの設定により次のように異なります。

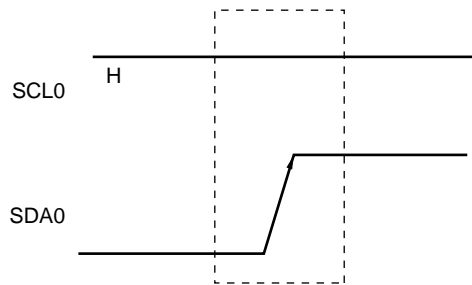
- ・8クロック・ウエイト選択時 (IICCTL0レジスタのビット3 (WTIM) = 0) :
ウエイト解除を行う前にACKEビットをセット (1) することによって、SCL0端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。
- ・9クロック・ウエイト選択時 (IICCTL0レジスタのビット3 (WTIM) = 1) :
あらかじめACKEビットをセット (1) することによって、アクノリッジを生成します。

12.5.5 ストップ・コンディション

SCL0端子がハイ・レベルのときに、SDA0端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は、ストップ・コンディションを検出できます。

図12 - 19 ストップ・コンディション



ストップ・コンディションは、IICAコントロール・レジスタ0 (IICCTL0) のビット0 (SPT) をセット (1) すると発生します。また、ストップ・コンディションを検出するとIICAステータス・レジスタ (IICS) のビット0 (SPD) がセット (1) され、IICCTL0レジスタのビット4 (SPIE) がセット (1) されている場合にはINTIICAが発生します。

12.5.6 ウェイト

ウェイトによっては、マスタまたはスレーブがデータの送受信のための準備中（ウェイト状態）であることを相手に知らせます。

SCL0端子をロウ・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます。

図12 - 20 ウェイト (1/2)

(1) マスタは9クロック・ウェイト，スレーブは8クロック・ウェイト時

(マスタ：送信，スレーブ：受信，ACKE = 1)

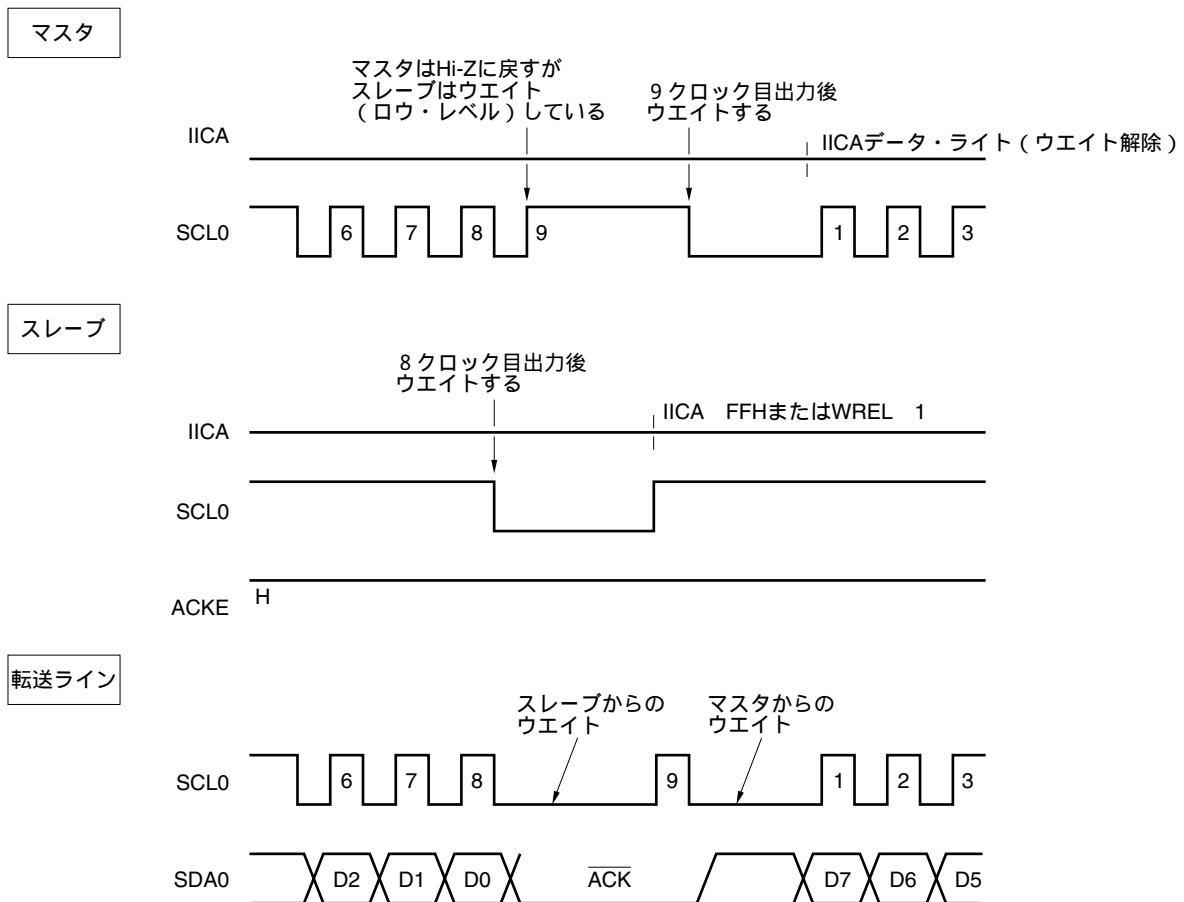
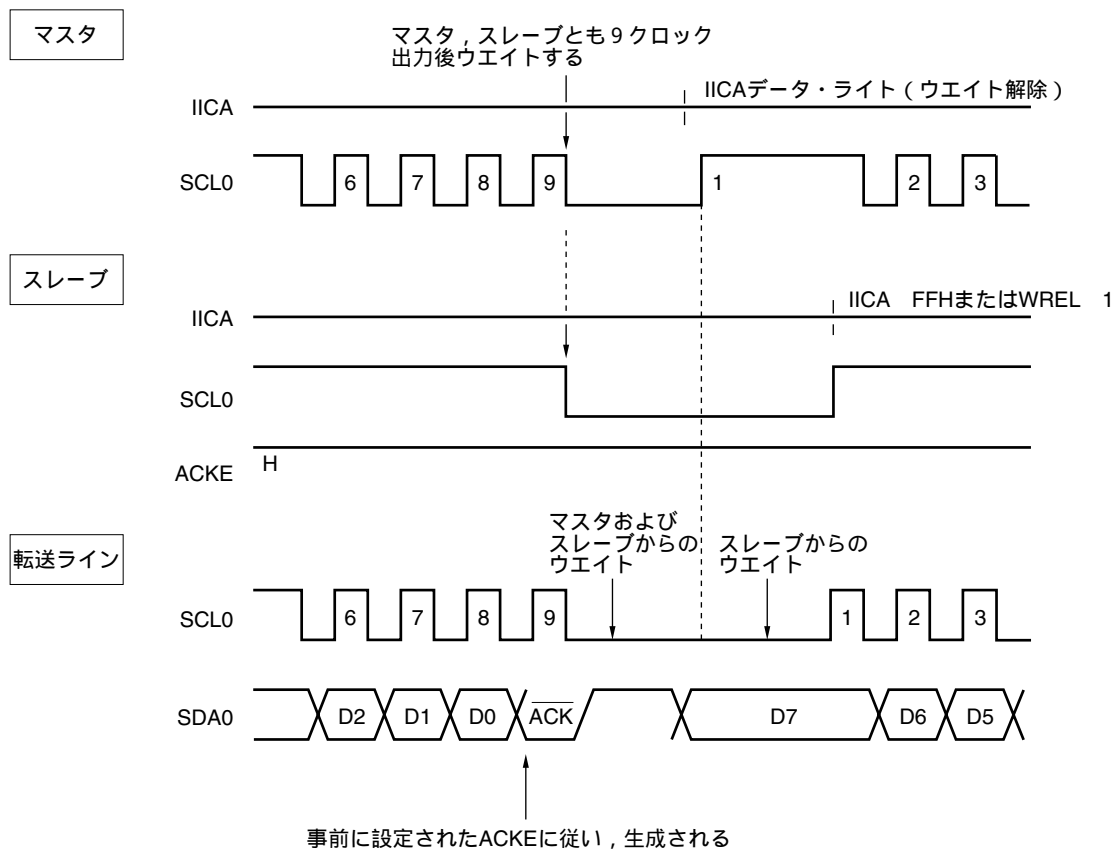


図12 - 20 ウェイト (2/2)

(2) マスタ, スレーブとも9クロック・ウェイト時

(マスタ: 送信, スレーブ: 受信, ACKE = 1)



備考 ACKE : IICAコントロール・レジスタ0 (IICCTL0) のビット2

WREL : " のビット5

ウェイトは、IICAコントロール・レジスタ0 (IICCTL0) のビット3 (WTIM) の設定により自動的に発生します。

通常、受信側はIICCTL0レジスタのビット5 (WRELビット) = 1またはIICAシフト・レジスタ (IICA) にFFHを書き込むとウェイトを解除し、送信側はIICAレジスタにデータを書き込むとウェイトを解除します。

マスタの場合は、次の方法でもウェイトを解除できます。

- ・ IICCTL0レジスタのビット1 (STT) = 1
- ・ IICCTL0レジスタのビット0 (SPT) = 1

12.5.7 ウェイト解除方法

I²Cでは、通常、次のような処理でウェイトを解除できます。

- ・ IICAシフト・レジスタ (IICA) へのデータ書き込み
- ・ IICAコントロール・レジスタ0 (IICCTL0) のビット5 (WREL) のセット (ウェイト解除)
- ・ IICCTL0レジスタのビット1 (STT) のセット (スタート・コンディションの生成)^注
- ・ IICCTL0レジスタのビット0 (SPT) のセット (ストップ・コンディションの生成)^注

注 マスタのみ。

これらのウェイト解除処理を実行した場合、I²Cはウェイトを解除し、通信が再開されます。

ウェイトを解除してデータ (アドレスを含む) を送信する場合には、IICAレジスタにデータを書き込んでください。

ウェイト解除後にデータを受信する場合、またはデータ送信を完了する場合には、IICCTL0レジスタのビット5 (WREL) をセット (1) してください。

ウェイト解除後にリスタート・コンディションを生成する場合には、IICCTL0レジスタのビット1 (STT) をセット (1) してください。

ウェイト解除後にストップ・コンディションを生成する場合には、IICCTL0レジスタのビット0 (SPT) をセット (1) してください。

1回のウェイト状態に対して1回だけ解除処理を実行してください。

たとえば、WRELビットにセット (1) によるウェイト解除後、IICAレジスタへのデータ書き込みを実施した場合には、SDA0ラインの変化タイミングとIICAレジスタへの書き込みタイミングの競合により、SDA0ラインへの出力データが間違った値になる可能性があります。

このような処理以外でも、通信を途中で中止した場合には、IICEビットをクリア (0) すると通信を停止するので、ウェイトを解除できます。

I²Cバスの状態がノイズなどによりデッド・ロックしてしまった場合には、IICCTL0レジスタのビット6 (LREL) をセット (1) すると通信から退避するので、ウェイトを解除できます。

注意 WUP = 1のときにウェイト解除処理を実行した場合、ウェイトは解除されません。

12.5.8 割り込み要求 (INTIICA) 発生タイミングおよびウェイト制御

IICAコントロール・レジスタ0(IICCTL0)のビット3(WTIM)の設定で、表12-2に示すタイミングでINTIICAが発生し、また、ウェイト制御を行います。

表12-2 INTIICA発生タイミングおよびウェイト制御

WTIM	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 ^{注1,2}	8 ^{注2}	8 ^{注2}	9	8	8
1	9 ^{注1,2}	9 ^{注2}	9 ^{注2}	9	9	9

- 注1. スレーブのINTIICA信号およびウェイトは、スレーブ・アドレス・レジスタ(SVA)に設定しているアドレスと一致したときにのみ、9クロック目の立ち下がりで発生します。
また、このとき、IICCTL0レジスタのビット2(ACKE)の設定にかかわらず、アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりですべてINTIICAが発生します。ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりですべてINTIICAが発生しますが、ウェイトは発生しません。
2. スレーブ・アドレス・レジスタ(SVA)と受信したアドレスが一致せず、かつ拡張コードを受信していない場合は、INTIICAもウェイトも発生しません。

備考 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、ウェイト制御ともにシリアル・クロックの立ち下がりに同期します。

(1) アドレス送受信時

- ・スレーブ動作時：WTIMビットにかかわらず、上記の注1,2の条件により、割り込みおよびウェイト・タイミングが決まります。
- ・マスタ動作時：WTIMビットにかかわらず、割り込みおよびウェイト・タイミングは、9クロック目の立ち下がりですべて発生します。

(2) データ受信時

- ・マスタ/スレーブ動作時：WTIMビットにより、割り込みおよびウェイト・タイミングが決まります。

(3) データ送信時

- ・マスタ/スレーブ動作時：WTIMビットにより、割り込みおよびウェイト・タイミングが決まります。

(4) ウェイト解除方法

ウェイトの解除方法には次の4つがあります。

- ・ IICAシフト・レジスタ (IICA) へのデータ書き込み
- ・ IICAコントロール・レジスタ0 (IICCTL0) のビット5 (WREL) のセット (ウェイト解除)
- ・ IICCTL0レジスタのビット1 (STT) のセット (スタート・コンディションの生成)^注
- ・ IICCTL0レジスタのビット0 (SPT) のセット (ストップ・コンディションの生成)^注

注 マスタのみ。

8クロック・ウェイト選択 (WTIM = 0) 時は、ウェイト解除前にアクノリッジの生成の有無を決定する必要があります。

(5) ストップ・コンディション検出

INTIICAは、ストップ・コンディションを検出すると発生します (SPIE = 1のときのみ)。

12.5.9 アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致は、ハードウェアで自動的に検出できます。マスタから送信されたスレーブ・アドレスとスレーブ・アドレス・レジスタ (SVA) に設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIICA割り込み要求が発生します。

12.5.10 エラーの検出

I²Cバス・モードでは、送信中のシリアル・バス (SDA0) の状態が、送信しているデバイスのIICAシフト・レジスタ (IICA) にも取り込まれるため、送信開始前と送信終了後のIICAデータを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

12.5.11 拡張コード

(1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ(EXC)をセット(1)し、8クロック目の立ち下がりで割り込み要求(INTIICA)を発生します。

スレーブ・アドレス・レジスタ(SVA)に格納された自局アドレスは影響しません。

(2) SVAレジスタに“11110xx0”を設定されているときに、10ビット・アドレス転送でマスタから“11110xx0”が転送されてきた場合は、次のようになります。ただし割り込み要求(INTIICA)は、8クロック目の立ち下がりで発生します。

・上位4ビット・データの一致 : EXC = 1

・7ビット・データの一致 : COI = 1

備考 EXC : IICAステータス・レジスタ(IICS)のビット5

COI : " のビット4

(3) 割り込み要求発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアで行います。

スレーブ動作時に、拡張コードを受信した場合は、アドレス不一致でも通信に参加しています。

たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICAコントロール・レジスタ0(IICCTL0)のビット6(LREL) = 1に設定してください。次の通信待機状態にします。

表12-3 主な拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0000 000	0	ジェネラル・コール・アドレス
1111 0xx	0	10ビット・スレーブ・アドレス指定(アドレス認証時)
1111 0xx	1	10ビット・スレーブ・アドレス指定(アドレス一致後、リード・コマンド発行時)

備考 上記以外の拡張コードについては、NXP社発行のI²Cバスの仕様書を参照してください。

12. 5. 12 アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合(STD = 1になる前にSTT = 1にしたとき), データが異なるまでクロックの調整をしながら, マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは, アービトレーションに負けたタイミングで, IICAステータス・レジスタ (IICS) のアービトレーション負けフラグ (ALD) をセット (1) し, SCL0, SDA0ラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは, 次の割り込み要求発生タイミング (8または9クロック目, ストップ・コンディション検出など) で, ソフトウェアでALD = 1になっていることで検出します。

割り込み要求発生タイミングについては, 12. 5. 8 **割り込み要求 (INTIICA) の発生タイミングおよびウェイト制御**を参照してください。

備考 STD : IICAステータス・レジスタ (IICS) のビット1
STT : IICAコントロール・レジスタ0 (IICCTL0) のビット1

図12 - 21 アービトレーション・タイミング例

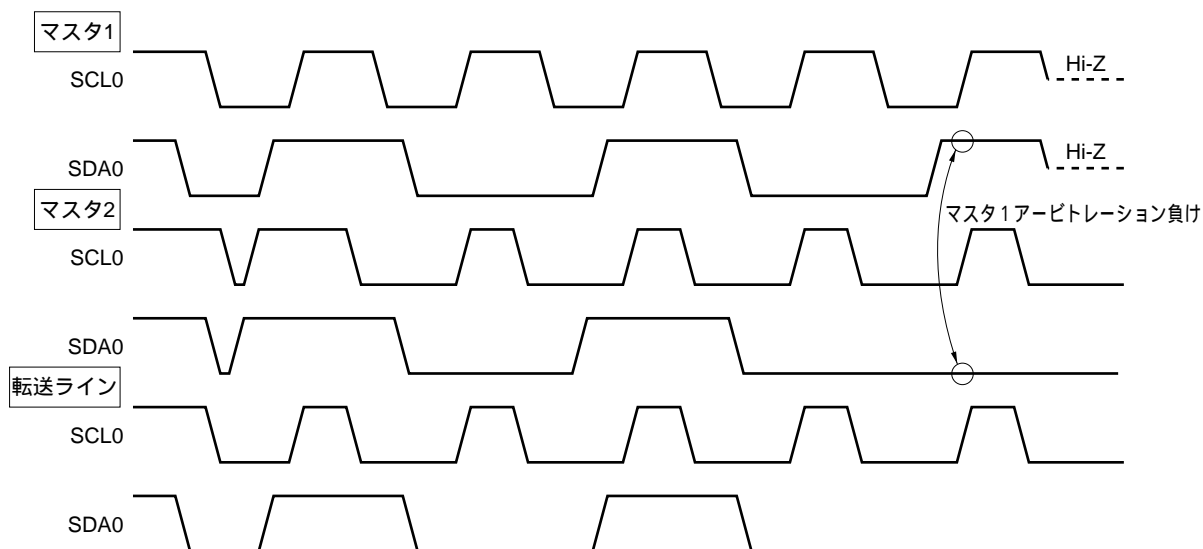


表12-4 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり ^{注1}
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ送信後のアクノリッジ転送期間中	
データ転送中, リスタート・コンディション検出	
データ転送中, ストップ・コンディション検出	ストップ・コンディション生成時 (SPIE = 1時) ^{注2}
リスタート・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時 (SPIE = 1時) ^{注2}
ストップ・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがSCL0がロウ・レベル	

注1. WTIMビット (IICAコントロール・レジスタ0 (IICCTL0) のビット3) = 1の場合には, 9クロック目の立ち下がりタイミングで割り込み要求を発生します。WTIM = 0および拡張コードのスレーブ・アドレス受信時には, 8クロック目の立ち下がりタイミングで割り込み要求を発生します。

2. アービトレーションが起こる可能性がある場合, マスタ動作ではSPIE = 1に設定してください。

備考 SPIE : IICAコントロール・レジスタ0 (IICCTL0) のビット 4

12.5.13 ウェイク・アップ機能

I²Cのスレーブ機能で、自局アドレスと拡張コードを受信したときに割り込み要求信号 (INTIICA) を発生する機能です。

アドレスが一致しないときは不要なINTIICA信号を発生せず、効率よく処理できます。

スタート・コンディションを検出すると、ウェイク・アップ待機状態となります。マスタ (スタート・コンディションを生成した場合) でも、アービトレーション負けでスレーブになる可能性があるため、アドレスを送信しながらウェイク・アップ待機状態になります。

ただしストップ・コンディションを検出すると、ウェイク・アップ機能に関係なく、IICAコントロール・レジスタ0 (IICCTL0) のビット4 (SPIE) の設定によって、割り込み要求の発生許可 / 禁止が決定します。

STOPモード状態時にウェイク・アップ機能を使用する場合には、WUP = 1に設定してください。動作クロックに関係なくアドレス受信を行う事ができます。この場合も、自局アドレスおよび拡張コードを受信したときに割り込み要求信号 (INTIICA) を発生します。この割り込み発生後に命令でWUPビットをクリア (0) することで通常動作に戻ります。

WUP = 1に設定する場合のフローを図12 - 22に、アドレス一致によりWUP = 0に設定する場合のフローを図12 - 23に示します。

図12 - 22 WUP = 1を設定する場合のフロー

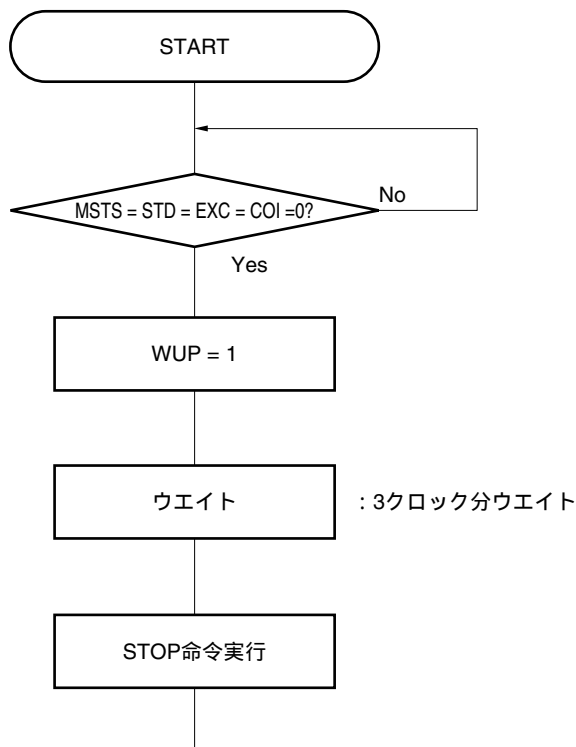
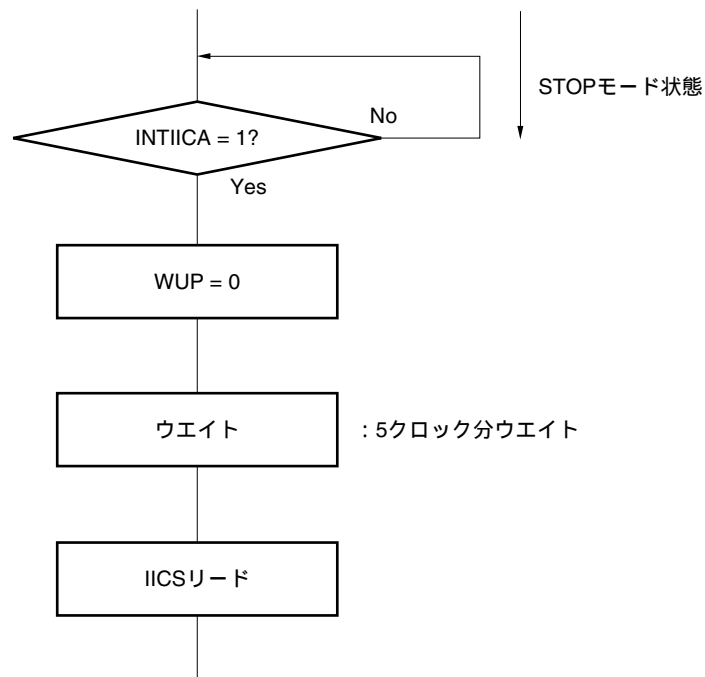


図12 - 23 アドレス一致によりWUP = 0に設定する場合のフロー（拡張コード受信含む）

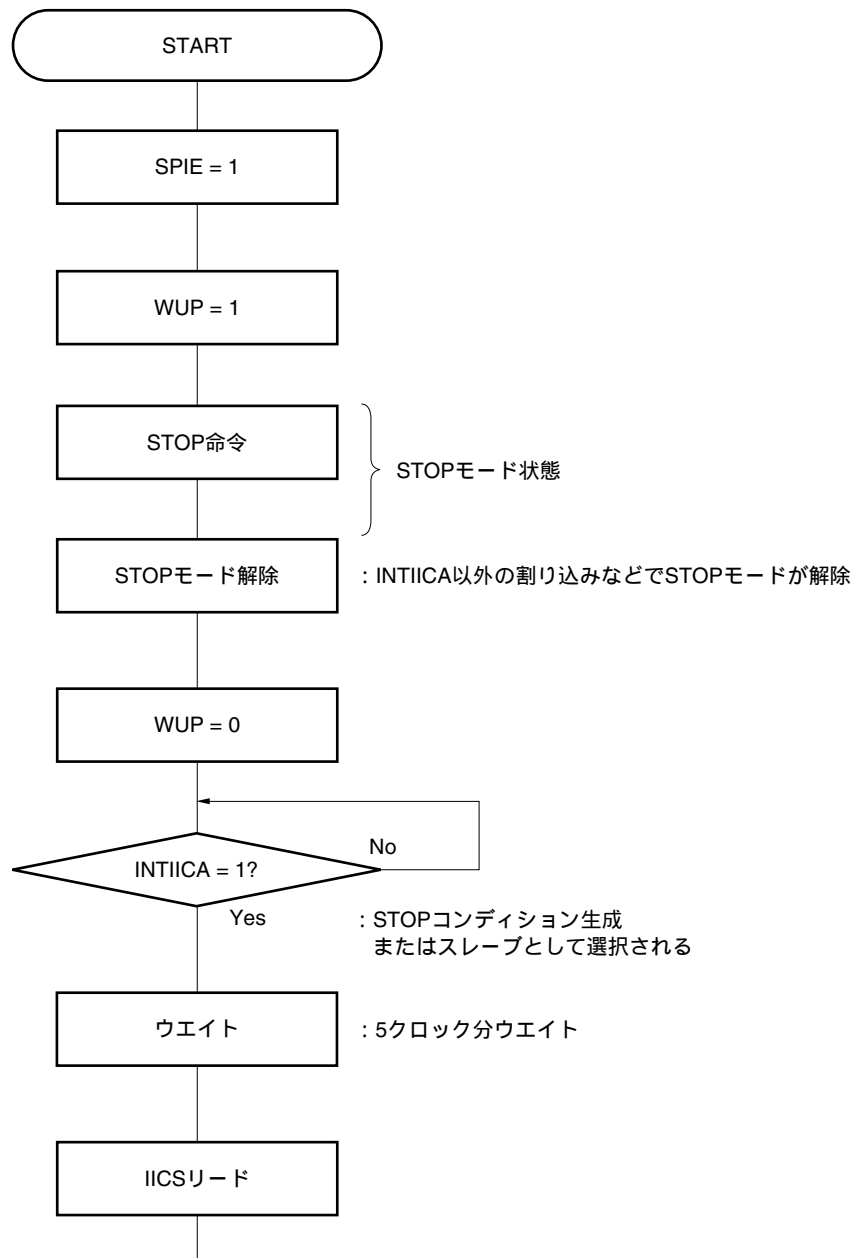


シリアル・インタフェースIICAの動作状態を
確認後、実行したい動作に合わせた処理を実行

また、シリアル・インタフェースIICAからの割り込み要求（INTIICA）以外でSTOPモードを解除する場合の処理は次のフローを行ってください。

- ・マスタとして動作させる場合 : 図12 - 24のフロー
- ・スレーブとして動作させる場合 : 図12 - 23のフローと同じになります。

図12 - 24 INTIICA以外でSTOPモードが解除後にマスタとして動作させる場合



シリアル・インタフェースIICAの動作状態を
確認後、実行したい動作に合わせた処理を実行

12.5.14 通信予約

(1) 通信予約機能許可の場合 (IICAフラグ・レジスタ (IICF) のビット0 (IICRSV) = 0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない (アクリッジを返さず、IICAコントロール・レジスタ0 (IICCTL0) のビット6 (LREL) = 1で通信退避してバスを解放した) とき

バスに不参加の状態、IICCTL0レジスタのビット1 (STT) をセット (1) すると、バスが解放されたあと (ストップ・コンディション検出時) に、自動的にスタート・コンディションを生成し、ウエイト状態になります。

IICCTL0レジスタのビット4 (SPIE) をセット (1) し、割り込み要求信号 (INTIICA) 発生でバスの解放を検出 (ストップ・コンディション検出) したあと、IICAシフト・レジスタ (IICA) にアドレスを書き込むと、自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に、IICAレジスタに書き込まれたデータは、無効です。

STTビットをセット (1) したとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

- ・バスが解放されているとき.....スタート・コンディション生成
- ・バスが解放されていないとき (待機状態)通信予約

通信予約として動作するかどうかは、STTビットをセット (1) し、ウエイト時間をとったあと、MSTSビット (IICAステータス・レジスタ (IICS) のビット7) で確認します。

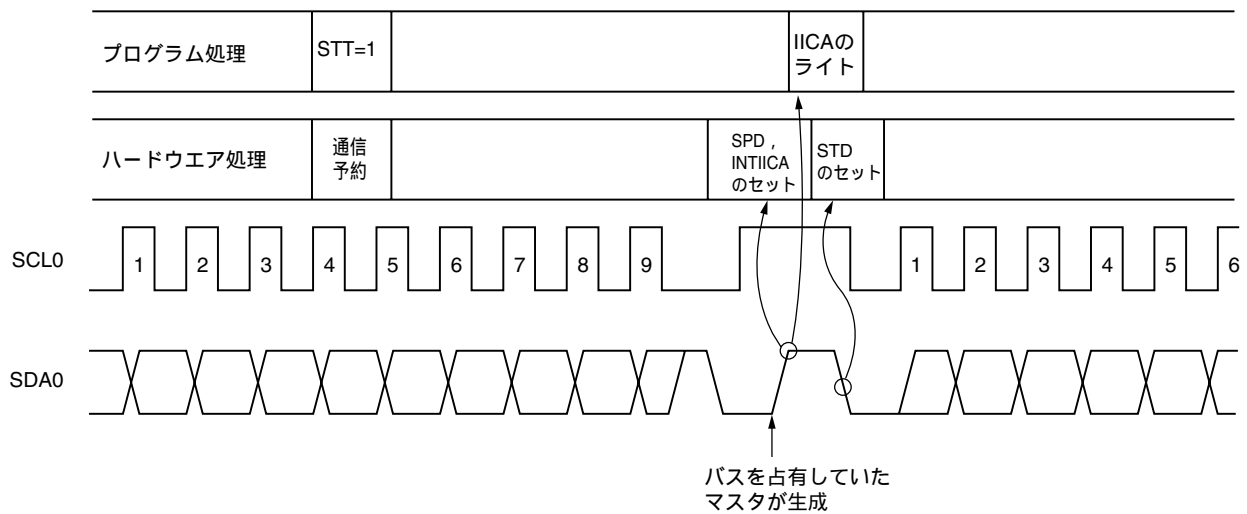
ウエイト時間は、次の式から算出した時間をソフトウェアにより確保してください。

<p>STT = 1からMSTSフラグ確認までのウエイト時間： $(\text{IICWLの設定値} + \text{IICWHの設定値} + 4) + t_f \times 2 \times f_{\text{CLK}}$ [クロック]</p>

- 備考**
- IICWL : IICAロウ・レベル幅設定レジスタ
 - IICWH : IICAハイ・レベル幅設定レジスタ
 - t_f : SDA0, SCL0信号の立ち下がり時間
 - f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

通信予約のタイミングを図12 - 25に示します。

図12 - 25 通信予約のタイミング



備考 IICA : IICAシフト・レジスタ

STT : IICAコントロール・レジスタ0 (IICCTL0) のビット1

STD : IICAステータス・レジスタ (IICS) のビット1

SPD : " のビット0

通信予約は図12 - 26に示すタイミングで受け付けられます。IICAステータス・レジスタ (IICS) のビット1 (STD) = 1になったあと、ストップ・コンディション検出までにIICAコントロール・レジスタ0 (IICCTL0) のビット1 (STT) = 1で通信予約をします。

図12 - 26 通信予約受け付けタイミング

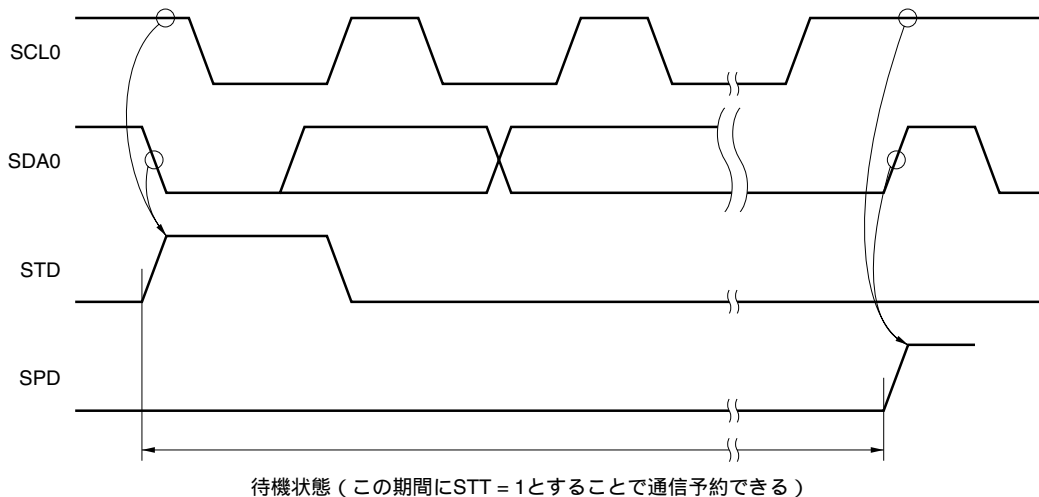
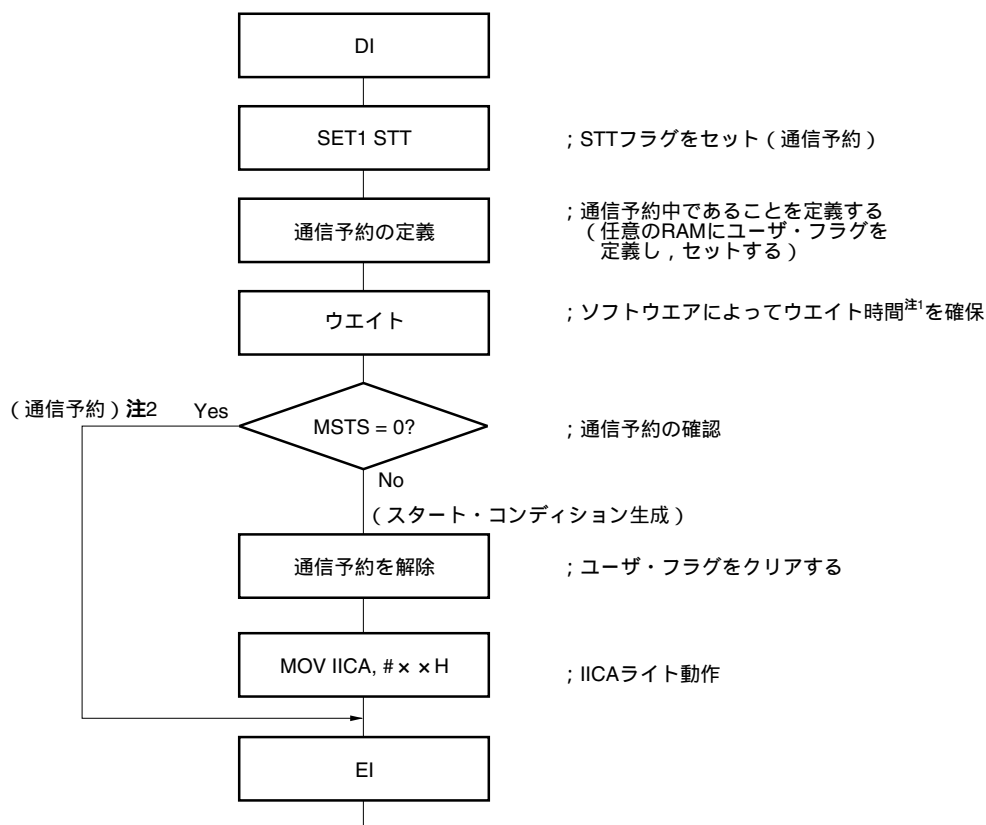


図12 - 27に通信予約の手順を示します。

図12 - 27 通信予約の手順



注1. ウェイト時間は次のようになります。

$$(IICWL\text{の設定値} + IICWH\text{の設定値} + 4) + t_F \times 2 \times f_{CLK} \text{ [クロック]}$$

2. 通信予約動作時は, ストップ・コンディション割り込み要求でIICAシフト・レジスタ (IICA) への書き込みを実行します。

備考 STT : IICAコントロール・レジスタ0 (IICCTL0) のビット1

MSTS : IICAステータス・レジスタ (IICS) のビット7

IICA : IICAシフト・レジスタ

IICWL : IICAロウ・レベル幅設定レジスタ

IICWH : IICAハイ・レベル幅設定レジスタ

t_F : SDA0, SCL0信号の立ち下がり時間

f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

(2) 通信予約機能禁止の場合 (IICAフラグ・レジスタ (IICF) のビット0 (IICRSV) = 1)

バスが通信中で、この通信に不参加の状態 (IICAコントロール・レジスタ0 (IICCTL0) のビット1 (STT)) をセット (1) すると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない (アクノリッジを返さず、IICCTL0レジスタのビット6 (LREL) = 1で通信退避してバスを解放した) とき。

スタート・コンディションが生成されたかまたは拒絶されたかは、STCF (IICFレジスタのビット7) で確認できます。STT = 1としてからSTCFがセット (1) されるまで5クロックの時間がかかりますので、ソフトウェアによりこの時間を確保してください。

12.5.15 その他の注意事項

(1) STCEN = 0の場合

I²C動作許可 (IICE = 1) 直後、実際のバス状態にかかわらず通信状態 (IICBSY = 1) と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。

マルチマスタでは、バスが解放されていない (ストップ・コンディションを検出していない) 状態では、マスタ通信を行うことができません。

ストップ・コンディションの生成は次の順番で行ってください。

IICAコントロール・レジスタ1 (IICCTL1) を設定する

IICAコントロール・レジスタ0 (IICCTL0) のビット7 (IICE) をセット (1) する

IICCTL0レジスタのビット0 (SPT) をセット (1) する

(2) STCEN = 1の場合

I²C動作許可 (IICE = 1) 直後、実際のバス状態にかかわらず解放状態 (IICBSY = 0) と認識しますので、1回目のスタート・コンディションを生成 (STT = 1) する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

(3) すでに他者との間でI²C通信が行われている場合

SDA0端子がロウ・レベルで、かつSCL0端子がハイ・レベルのときに、I²C動作を許可して通信に途中参加すると、I²CのマクロはSDA0端子がハイ・レベルからロウ・レベルに変化したと認識 (スタート・コンディション検出) します。このときにバス上の値が拡張コードと認識できる値の場合は、アクノリッジを返し、他者との間のI²C通信を妨害してしまいます。これを回避するために、次の順番でI²Cを起動してください。

IICCTL0レジスタのビット4 (SPIE) をクリア (0) し、ストップ・コンディション検出による割り込み要求信号 (INTIICA) 発生を禁止する

IICCTL0レジスタのビット7 (IICE) をセット (1) し、I²Cの動作を許可する

スタート・コンディションを検出するまで待つ

アクノリッジを返すまで (IICEビットをセット (1) してから、4~80クロック中) に、IICCTL0レジスタのビット6 (LREL) をセット (1) にし、強制的に検出を無効とする

(4) STT, SPTビット (IICCTL0レジスタのビット1, 0) をセットしたあと、クリア (0) される前の再セットは禁止します。

(5) 送信予約をした場合には、SPIEビット (IICCTL0レジスタのビット4) をセット (1) してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に、IICAシフト・レジスタ (IICA) に通信データを書き込むことによって、転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウエイト状態で停止します。ただし、ソフトウェアでMSTSビット (IICAステータス・レジスタ (IICS) のビット7) を検出する場合には、SPIEビットをセット (1) する必要はありません。

12.5.16 通信動作

ここでは、次の3つの動作手順をフローとして示します。

(1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで、マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し、スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2) マルチマスタ・システムでのマスタ動作

I²Cバスのマルチマスタ・システムでは、通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI²Cバスの仕様だけでは判断できません。ここでは、一定(1フレーム)期間、データとクロックがハイ・レベルであれば、バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」、「通信待ち」、「通信処理」に分かれています。ここでは、アービトレーションで負けてスレーブに指定された場合の処理は省略し、マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で、マスタとしての通信要求、またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で、スレーブとのデータ送受信以外に、ほかのマスタとのアービトレーションにも対応しています。

(3) スレーブ動作

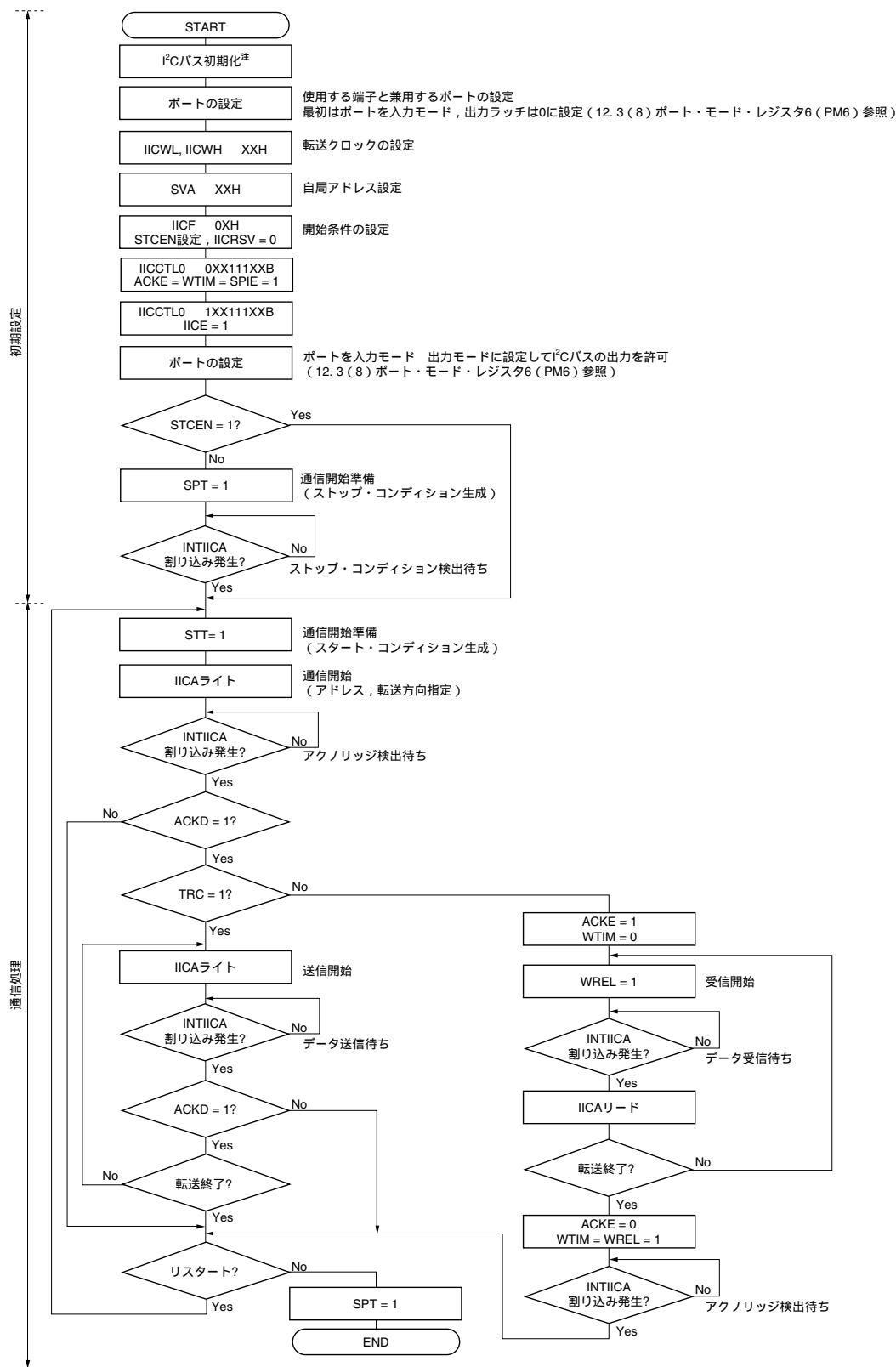
I²Cバスのスレーブとして使用する場合の例を示します。

スレーブの場合には、割り込みによって動作を開始します。起動時に「初期設定」部分を実行し、そのあとは通信待ちでINTIICA割り込みの発生を待ちます。INTIICA割り込みが発生すると、通信状態を判定し、フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより、必要な「通信処理」を行います。

(1) シングルマスタ・システムでのマスタ動作

図12-28 シングルマスタ・システムでのマスタ動作

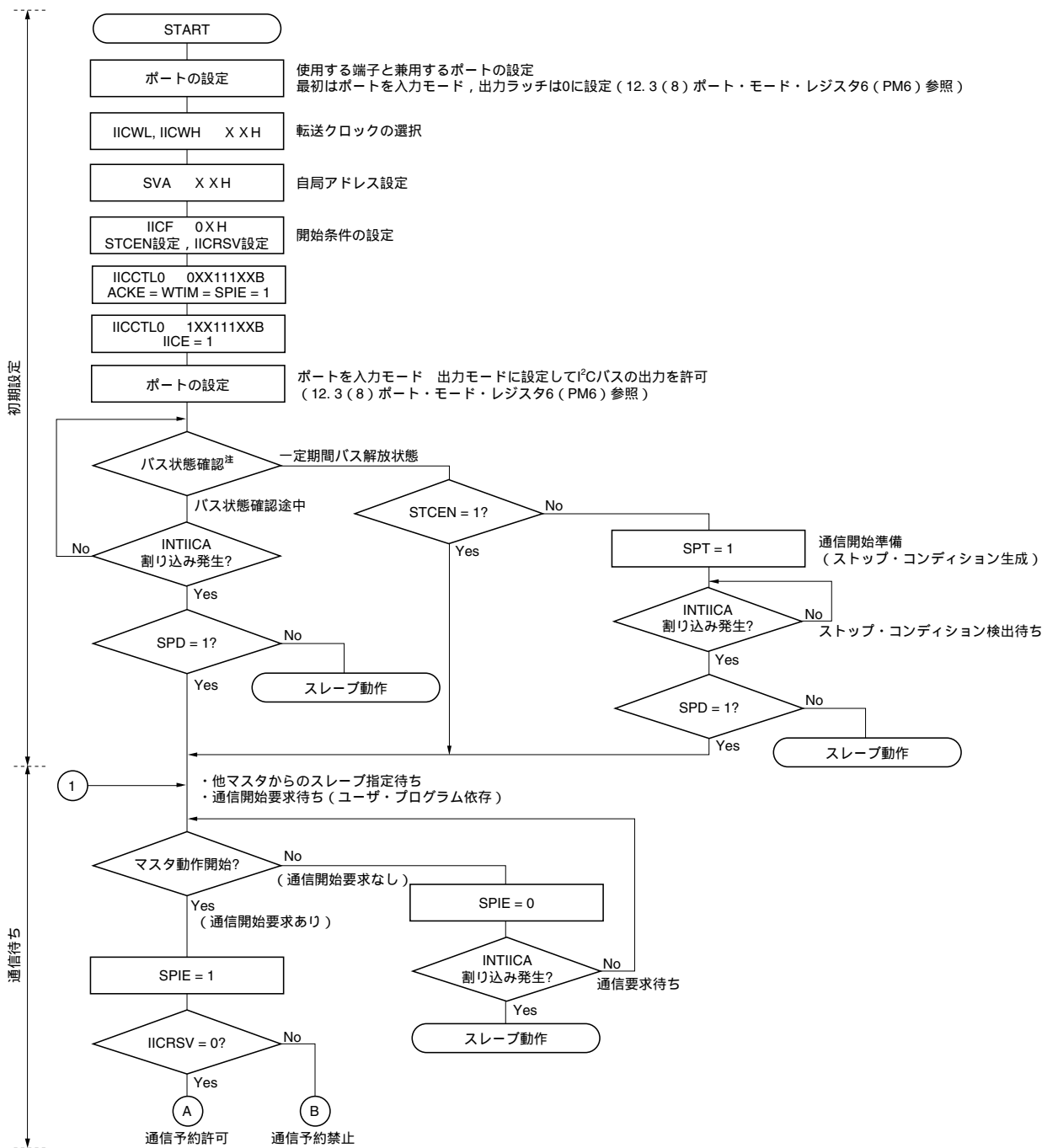


注 通信している製品の仕様に準拠し、I²Cバスを解放 (SCL0, SDA0端子 = ハイ・レベル) してください。たとえば、EEPROMがSDA0端子にロウ・レベルを出力した状態であれば、SCL0端子を出力ポートに設定し、SDA0端子が定常的にハイ・レベルになるまで、出力ポートからクロック・パルスを出力してください。

備考 送信および受信フォーマットは、通信している製品の仕様に準拠してください。

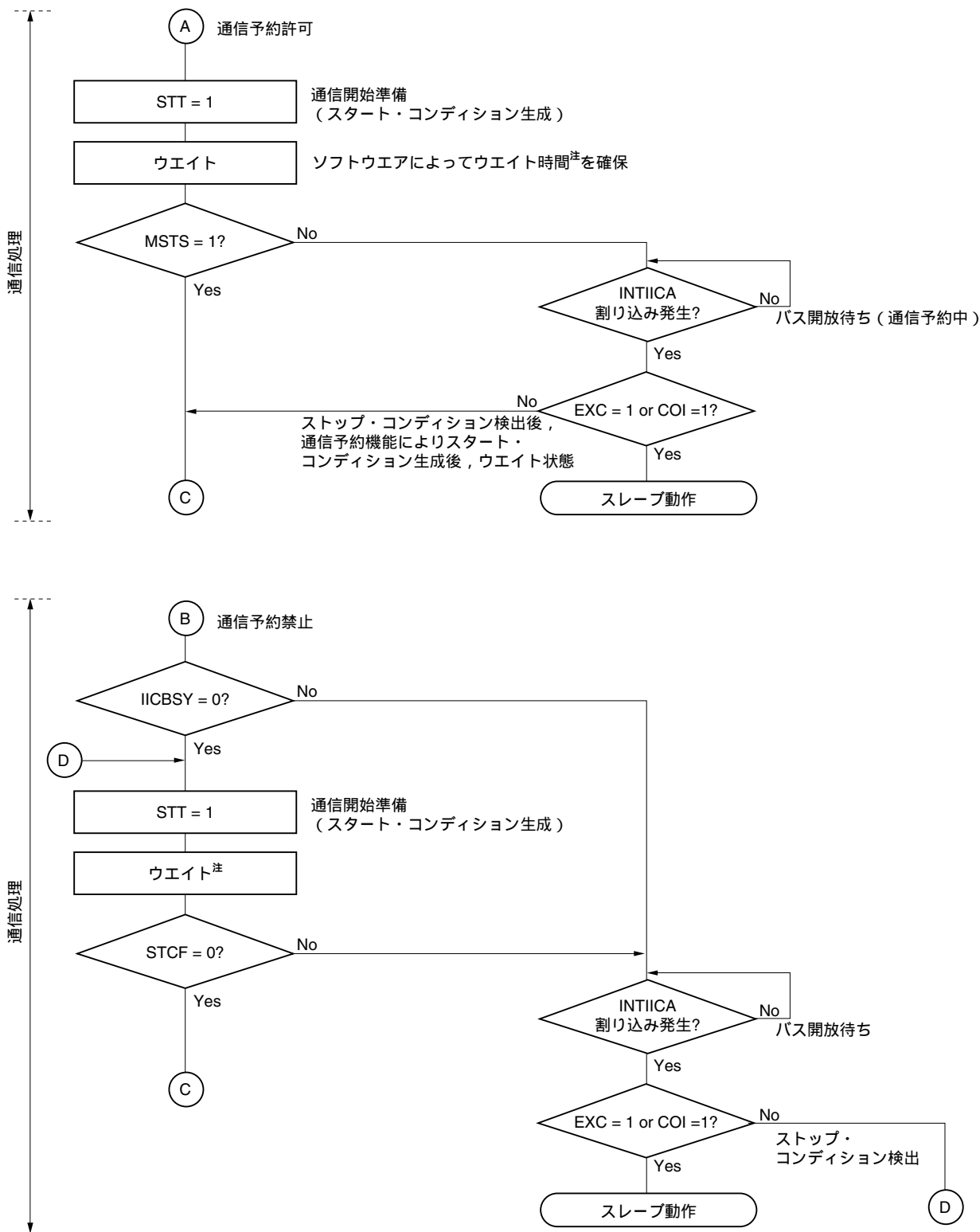
(2) マルチマスタ・システムでのマスタ動作

図12 - 29 マルチマスタ・システムでのマスタ動作 (1/3)



注 一定期間 (たとえば1フレーム分), バス解放状態 (CLDビット = 1, DADビット = 1) であることを確認してください。定常的にSDA0端子がロウ・レベルの場合は, 通信している製品の仕様に準拠し, I²Cバスを解放 (SCL0, SDA0端子 = ハイ・レベル) するか判断してください。

図12 - 29 マルチマスタ・システムでのマスタ動作 (2/3)

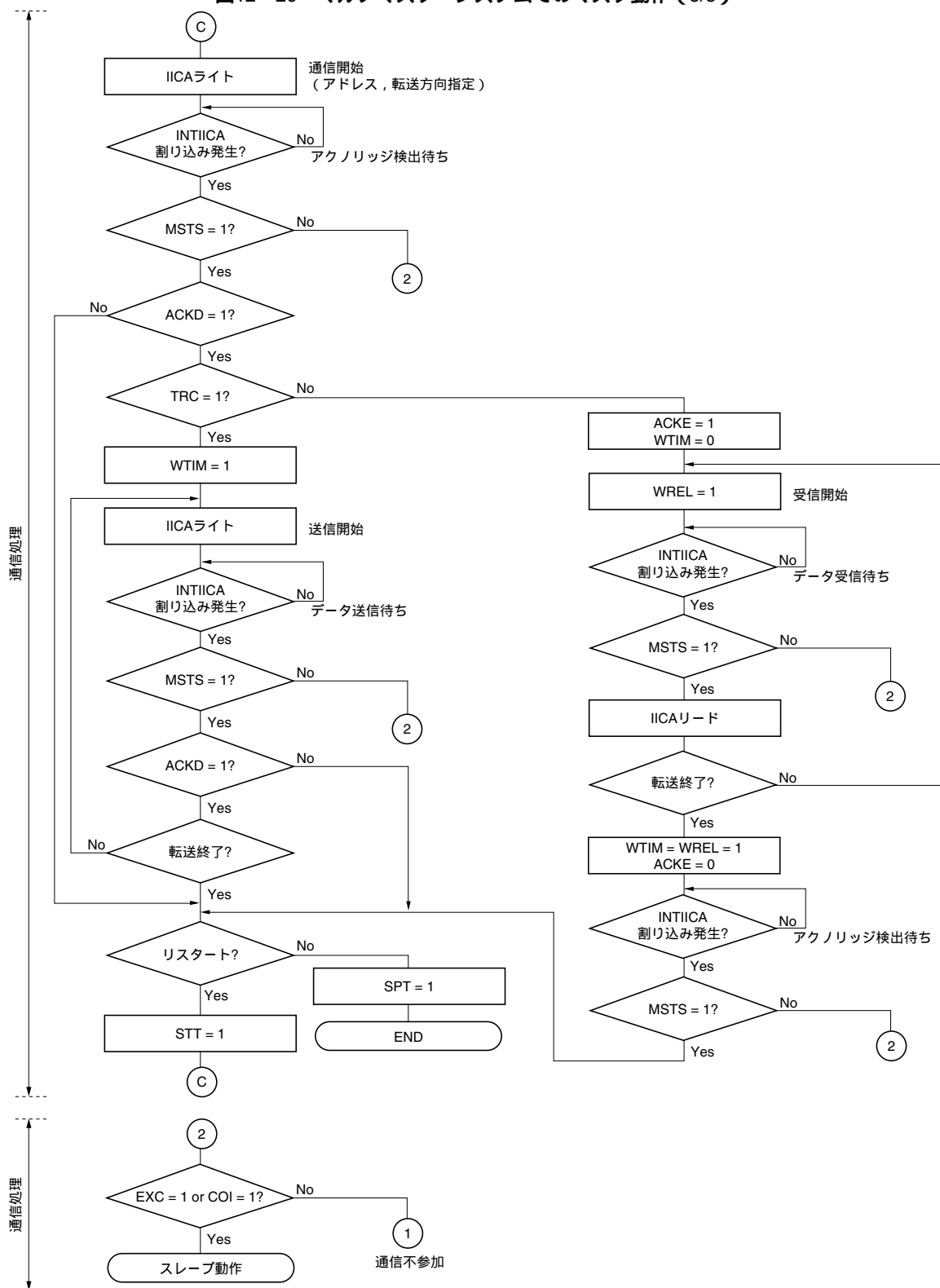


注 ウェイト時間は次のようになります。

$$(IICWL\text{の設定値} + IICWH\text{の設定値} + 4\text{クロック}) / f_{CLK} + t_F \times 2$$

- 備考
- IICWL : IICAロウ・レベル幅設定レジスタ
 - IICWH : IICAハイ・レベル幅設定レジスタ
 - t_F : SDA0, SCL0信号の立ち下がり時間
 - f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

図12 - 29 マルチマスタ・システムでのマスタ動作 (3/3)



備考 1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。

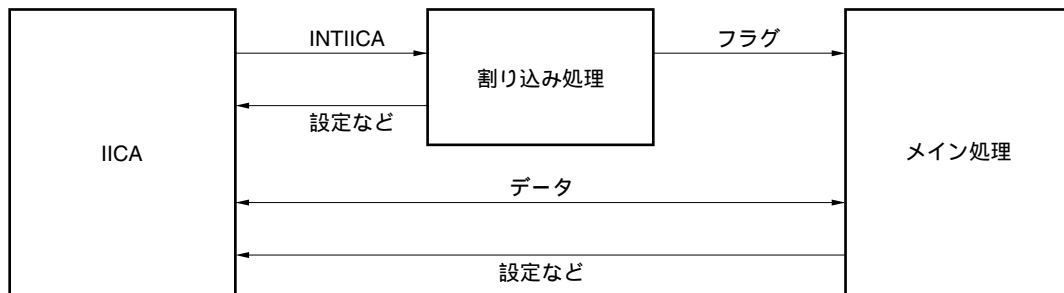
2. マルチマスタ・システムでマスタとして使用する場合は、INTIICA割り込み発生ごとにMSTSビットをリードし、アービトレーション結果を確認してください。
3. マルチマスタ・システムでスレーブとして使用する場合は、INTIICA割り込み発生ごとにIICAステータス・レジスタ (IICS)、IICAフラグ・レジスタ (IICF) でステータスを確認して次に行う処理を決定してください。

(3) スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンでの動作となります。このためINTIICA割り込みによる処理（通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理）が必要となります。

この説明では、データ通信は拡張コードには対応しないものとします。またINTIICA割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。



このため、次の3つのフラグを準備し、これをINTIICAの代わりにメイン処理に渡すという方法で、データ通信処理を行います。

通信モード・フラグ

次の2つの通信状態を示します。

- ・クリア・モード：データ通信を行っていない状態
- ・通信モード：データ通信を行っている状態（有効アドレス検出～ストップ・コンディション検出、マスタからのアクノリッジ未検出、アドレス不一致）

レディ・フラグ

データ通信が可能になったことを示します。通常データ通信ではINTIICA割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータでは、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

通信方向フラグ

通信の方向を示します。TRCビットの値と同じです。

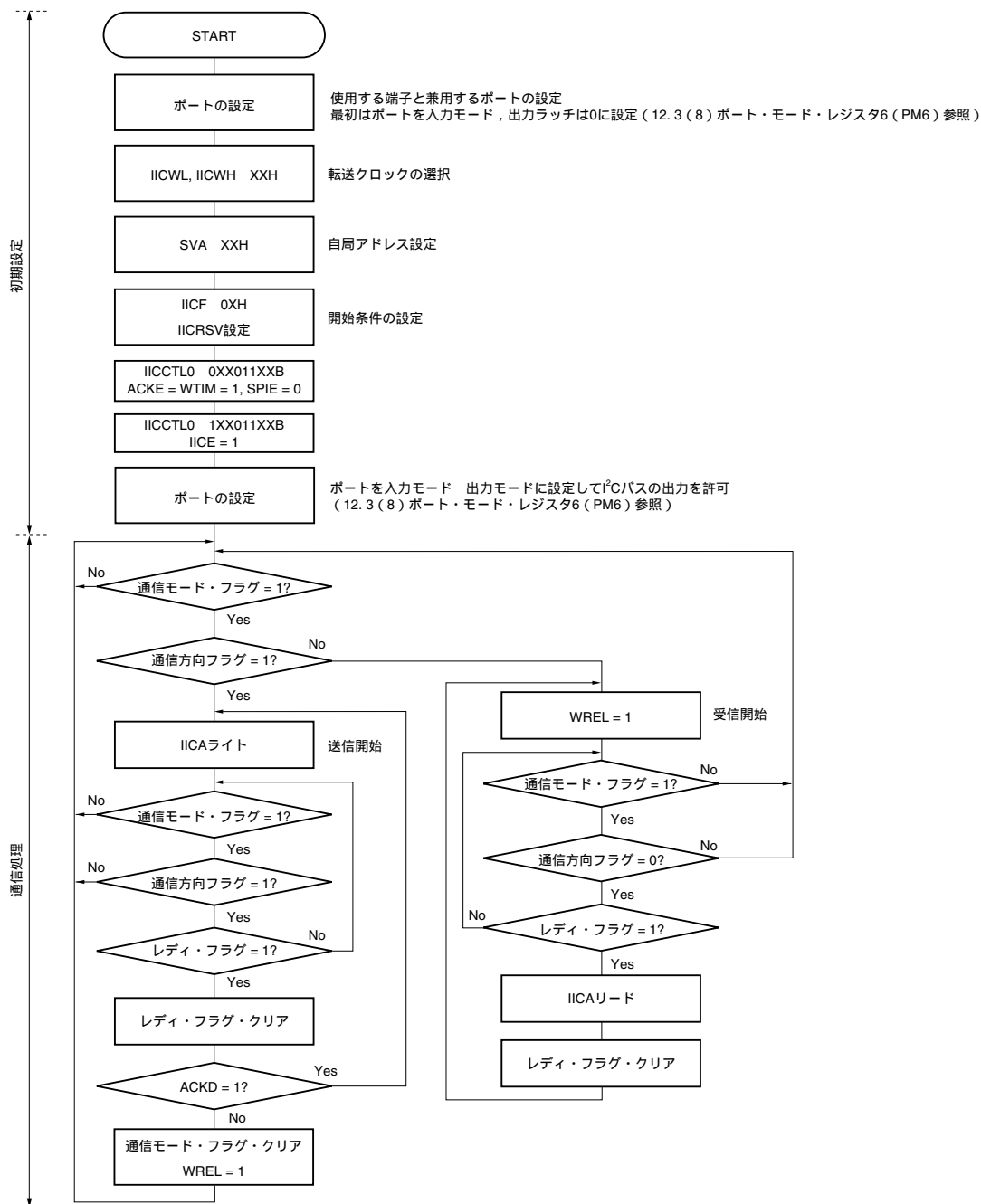
次にスレーブ動作でのメイン処理部の動作を示します。

シリアル・インタフェースIICAを起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って通信を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで状態を確認します）。

送信ではマスタからアクノリッジがなくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら通信を完了します。

受信では必要な数のデータ受信し、通信完了したら次のデータでアクノリッジを戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより、通信状態から抜け出します。

図12-30 スレーブ動作手順(1)



備考 送信および受信フォーマットは通信している製品の仕様に準拠してください。

スレーブのINTIICA割り込みでの処理手順例を示します(ここでは拡張コードはないものとして処理します)。INTIICA割り込みではステータスを確認して、次のように行います。

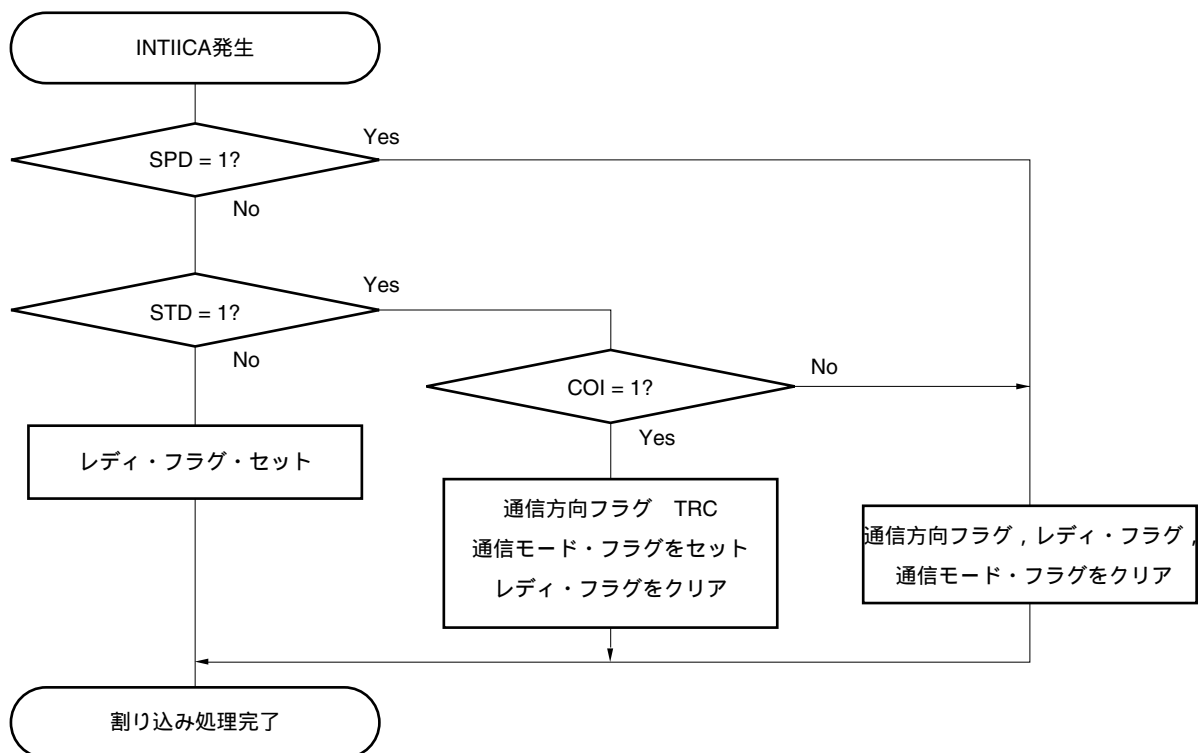
ストップ・コンディションの場合、通信を終了します。

スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。アドレスが一致していれば、モードを通信モードに設定し、ウェイトを解除して、割り込みから戻ります(レディ・フラグはクリアする)。

データ送受信の場合、レディ・フラグをセットするだけで、I²Cバスはウェイト状態のまま、割り込みから戻ります。

備考 上述の ~ は、図12-31 スレーブ動作手順(2)の ~ と対応しています。

図12-31 スレーブ動作手順(2)



12. 5. 17 I²C 割り込み要求 (INTIICA) の発生タイミング

次に、データの送受信、INTIICA 割り込み要求信号発生タイミングと、INTIICA 信号タイミングでの IICA ステータス・レジスタ (IICS) の値を示します。

備考 ST : スタート・コンディション
AD6-AD0 : アドレス
R/ \overline{W} : 転送方向指定
 \overline{ACK} : アクノリッジ
D7-D0 : データ
SP : ストップ・コンディション

(1) マスタ動作

(a) Start ~ Address ~ Data ~ Data ~ Stop (送受信)

(i) WTIM = 0 のとき

SPT = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4 5

1 : IICS = 1000 × 110B
 2 : IICS = 1000 × 000B
 3 : IICS = 1000 × 000B (WTIMビットをセット(1))^注
 4 : IICS = 1000 × × 00B (SPTビットをセット(1))
 5 : IICS = 00000001B

注 ストップ・コンディションを生成するために、WTIMビットをセット(1)し、INTIICA割り込み要求信号の発生タイミングを変更してください。

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(ii) WTIM = 1 のとき

SPT = 1

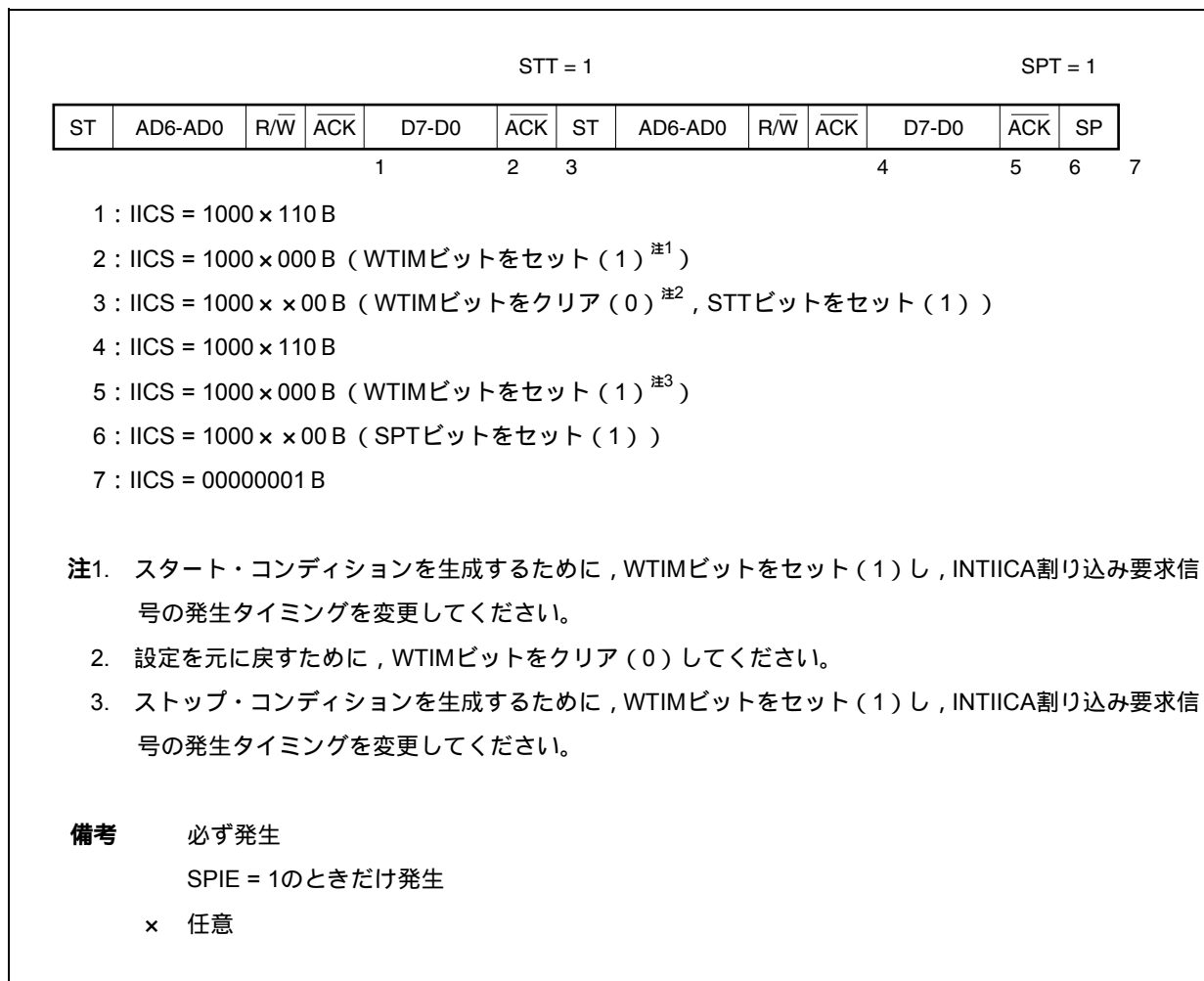
ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4

1 : IICS = 1000 × 110B
 2 : IICS = 1000 × 100B
 3 : IICS = 1000 × × 00B (SPTビットをセット(1))
 4 : IICS = 00000001B

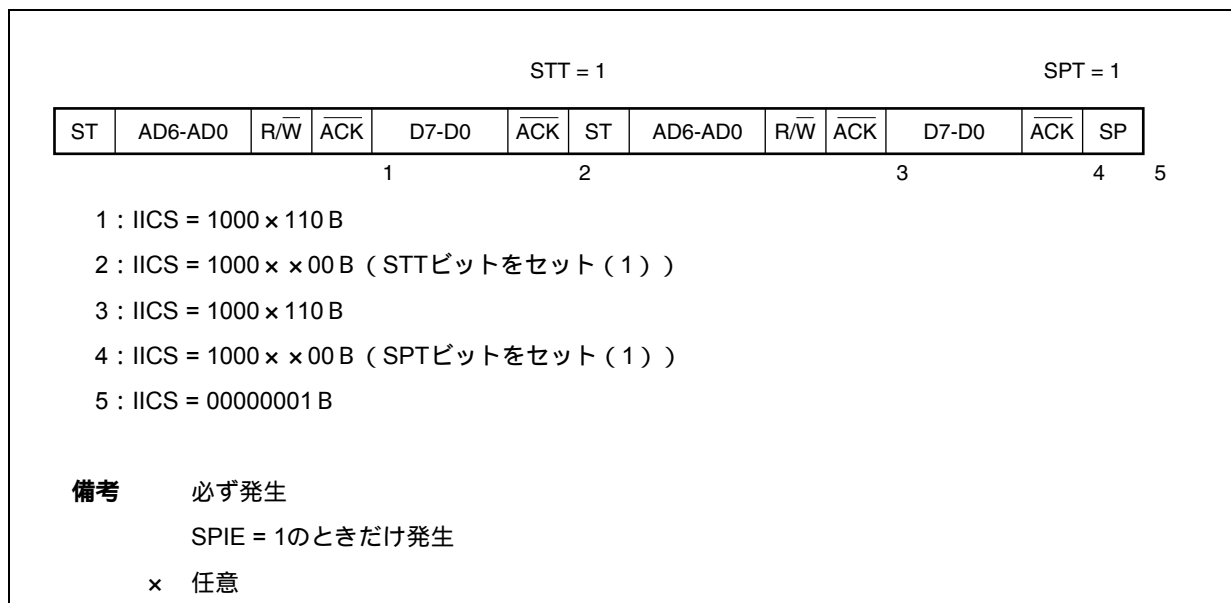
備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop (リスタート)

(i) WTIM = 0 のとき



(ii) WTIM = 1 のとき



(c) Start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信)

(i) WTIM = 0 のとき

SPT = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4 5

1 : IICS = 1010 × 110 B
 2 : IICS = 1010 × 000 B
 3 : IICS = 1010 × 000 B (WTIMビットをセット(1)※)
 4 : IICS = 1010 × × 00 B (SPTビットをセット(1))
 5 : IICS = 00000001 B

注 ストップ・コンディションを生成するために、WTIMビットをセット(1)し、INTIICA割り込み要求信号の発生タイミングを変更してください。

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(ii) WTIM = 1 のとき

SPT = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4

1 : IICS = 1010 × 110 B
 2 : IICS = 1010 × 100 B
 3 : IICS = 1010 × × 00 B (SPTビットをセット(1))
 4 : IICS = 00001001 B

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(2) スレーブ動作 (スレーブ・アドレス受信時)

(a) Start ~ Address ~ Data ~ Data ~ Stop

(i) WTIM = 0 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4

1 : IICS = 0001 × 110 B

2 : IICS = 0001 × 000 B

3 : IICS = 0001 × 000 B

4 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(ii) WTIM = 1 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4

1 : IICS = 0001 × 110 B

2 : IICS = 0001 × 100 B

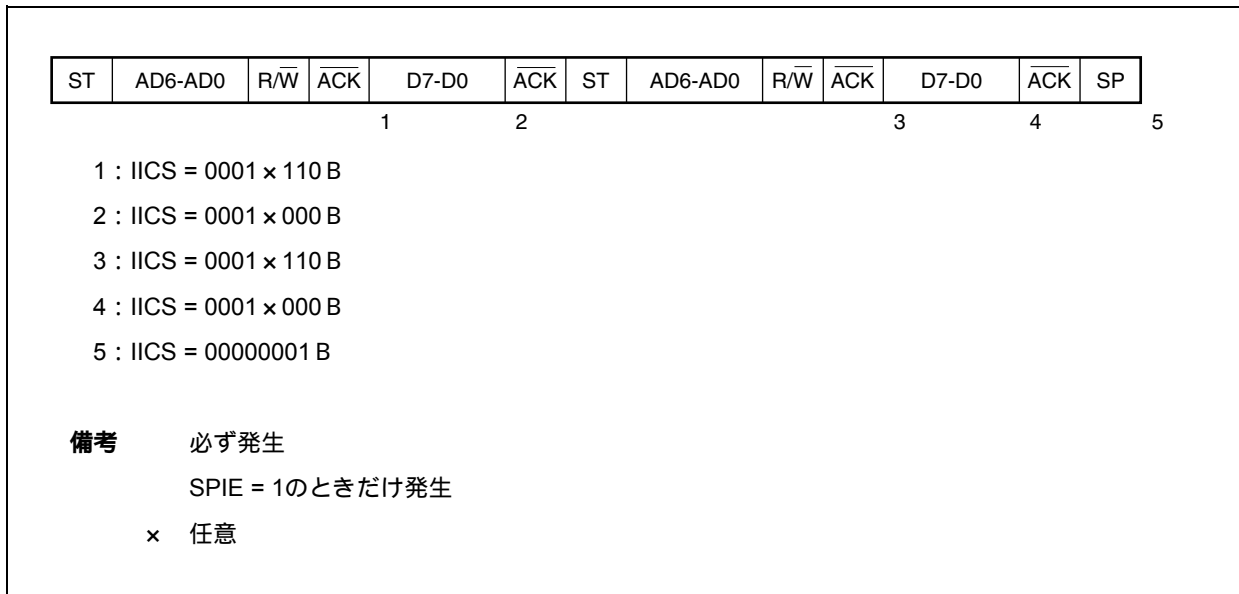
3 : IICS = 0001 × × 00 B

4 : IICS = 00000001 B

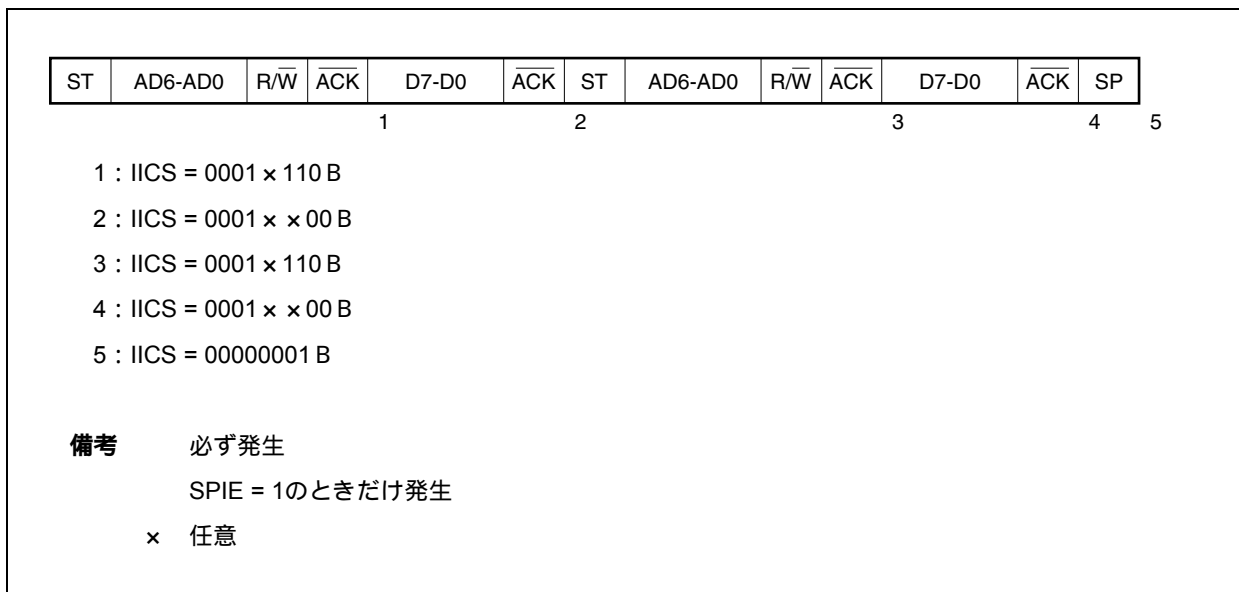
備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM = 0 のとき (リスタート後, SVA一致)

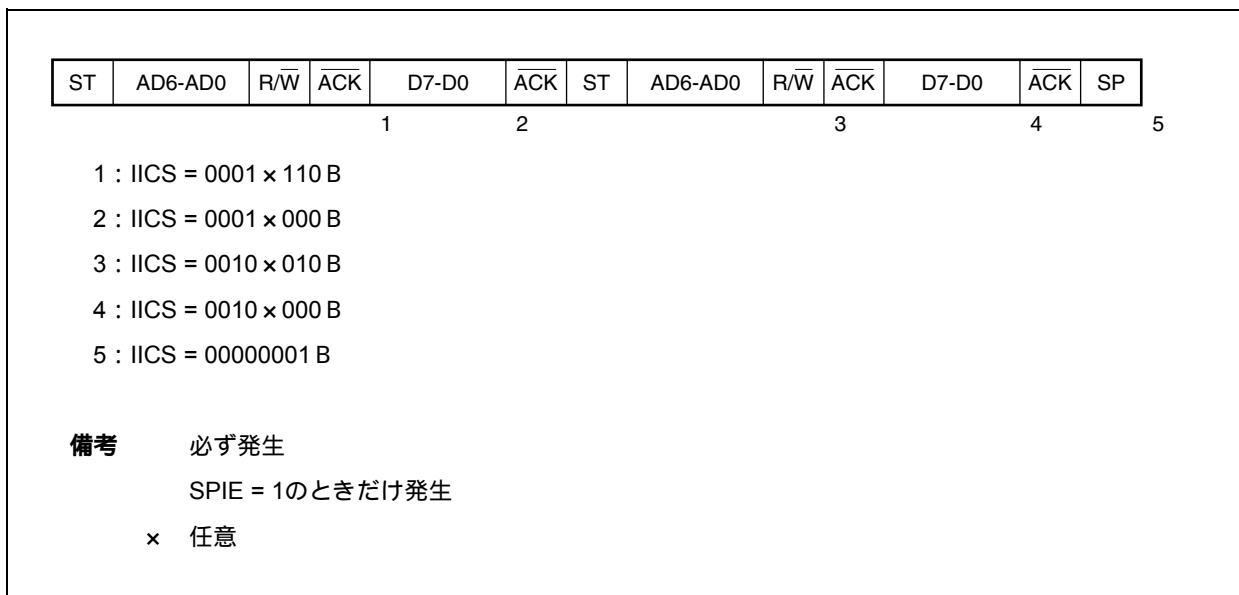


(ii) WTIM = 1 のとき (リスタート後, SVA一致)

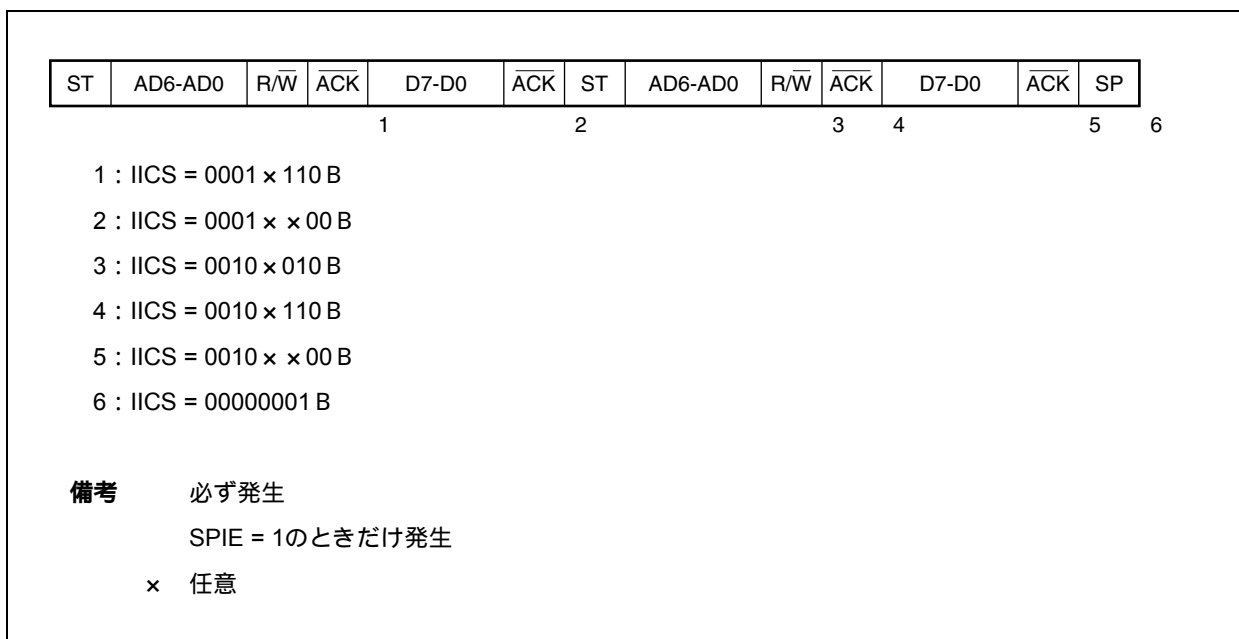


(c) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

(i) WTIM = 0 のとき (リスタート後, アドレス不一致 (拡張コード))

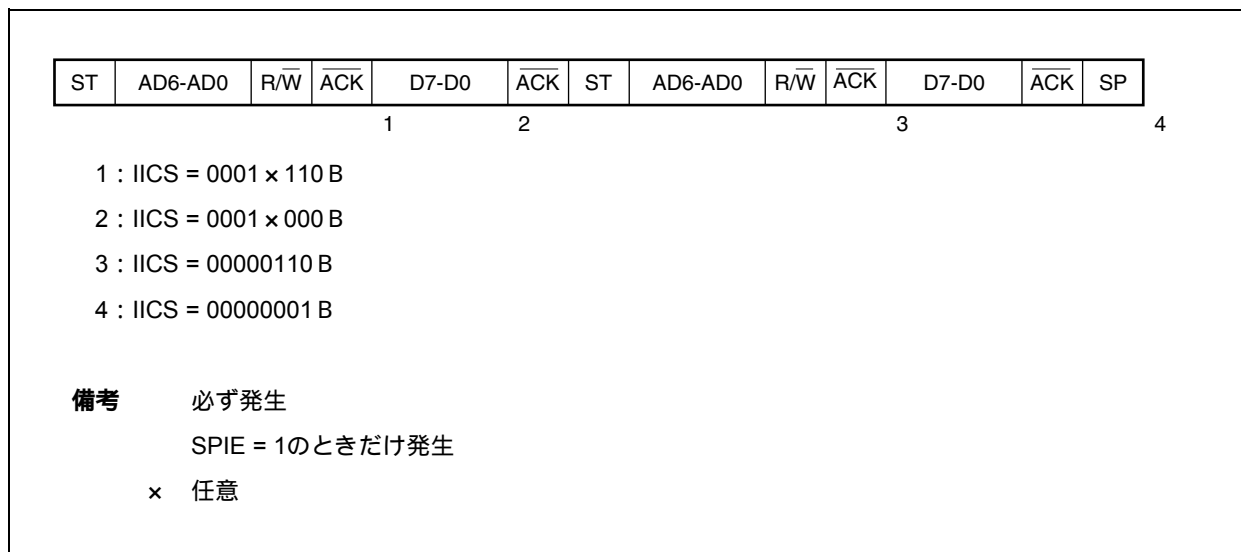


(ii) WTIM = 1 のとき (リスタート後, アドレス不一致 (拡張コード))

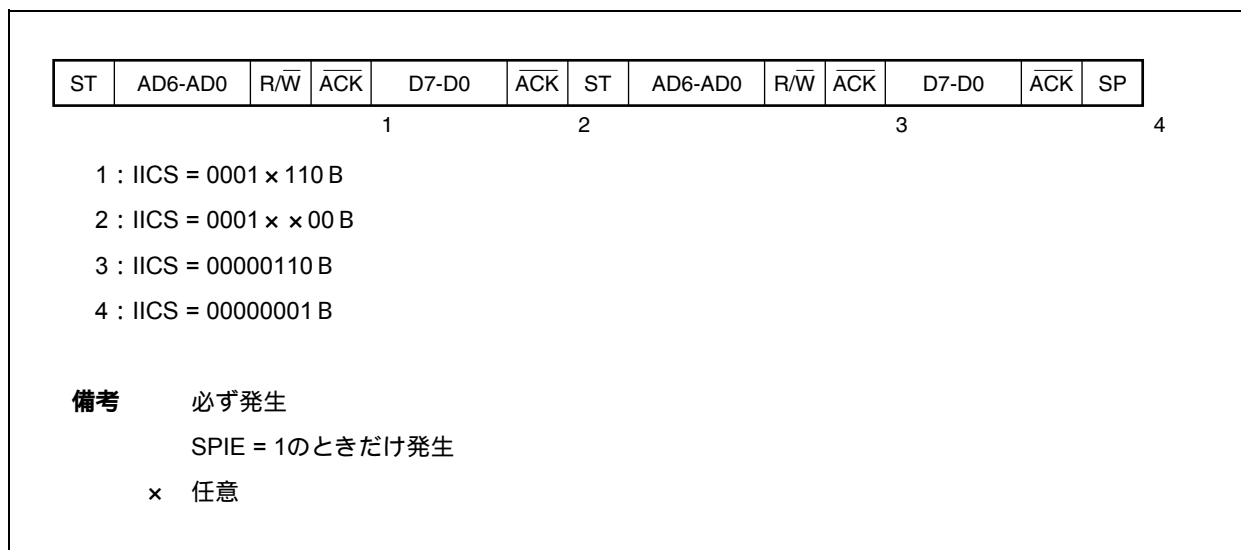


(d) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM = 0 のとき (リスタート後, アドレス不一致 (拡張コード以外))



(ii) WTIM = 1 のとき (リスタート後, アドレス不一致 (拡張コード以外))



(3) スレーブ動作 (拡張コード受信時)

拡張コード受信時は、常に通信に参加しています

(a) Start ~ Code ~ Data ~ Data ~ Stop

(i) WTIM = 0 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1		2		3	4

1 : IICS = 0010 × 010 B

2 : IICS = 0010 × 000 B

3 : IICS = 0010 × 000 B

4 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(ii) WTIM = 1 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1	2	3		4	5

1 : IICS = 0010 × 010 B

2 : IICS = 0010 × 110 B

3 : IICS = 0010 × 100 B

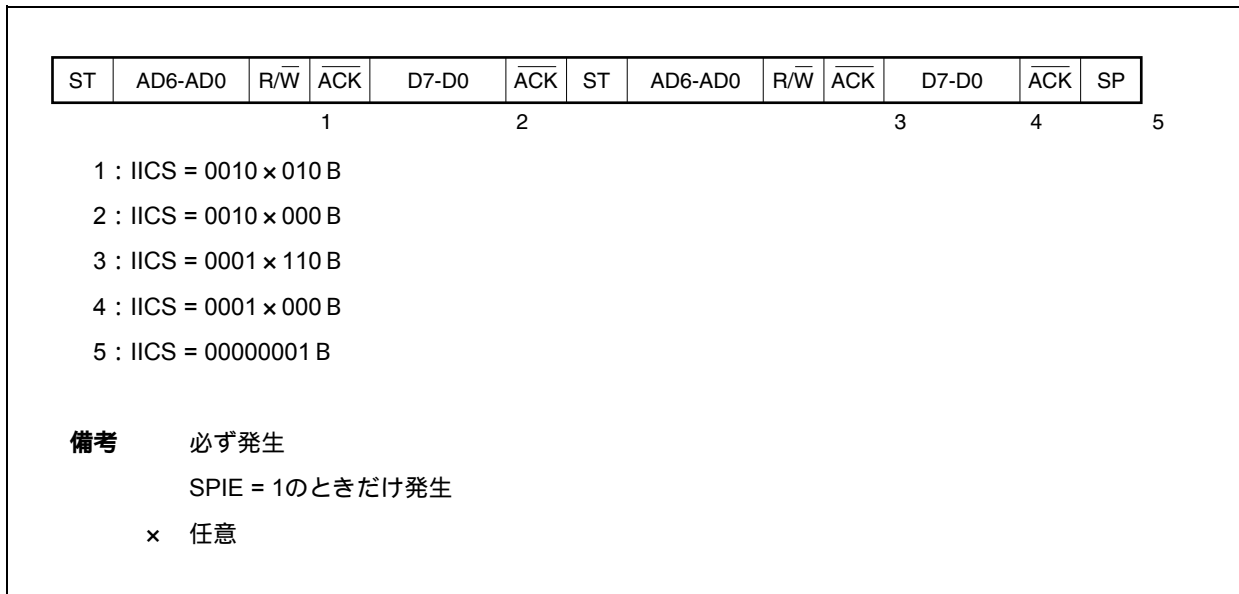
4 : IICS = 0010 × × 00 B

5 : IICS = 00000001 B

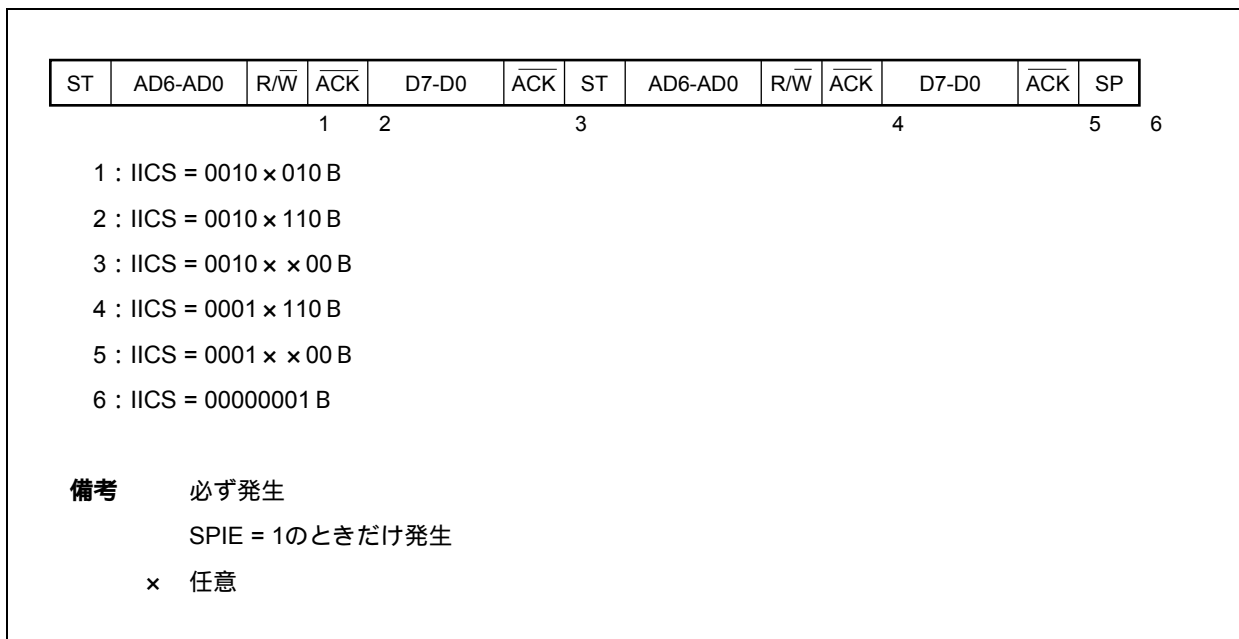
備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(b) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM = 0 のとき (リスタート後, SVA一致)

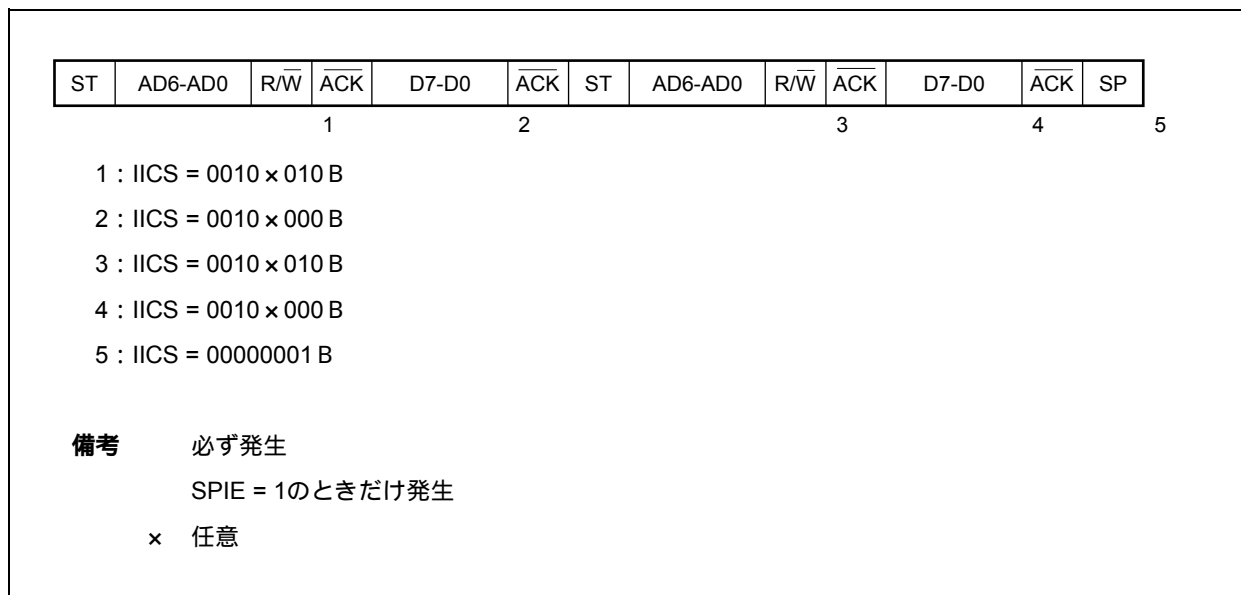


(ii) WTIM = 1 のとき (リスタート後, SVA一致)

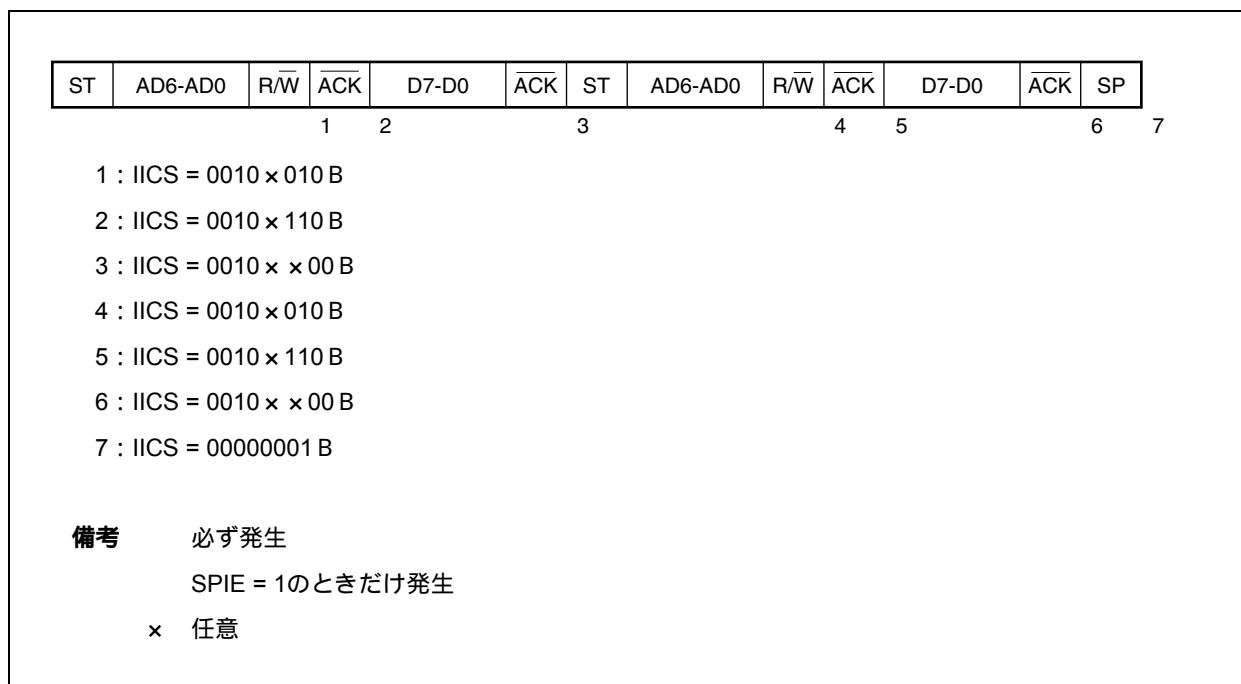


(c) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

(i) WTIM = 0 のとき (リスタート後, 拡張コード受信)

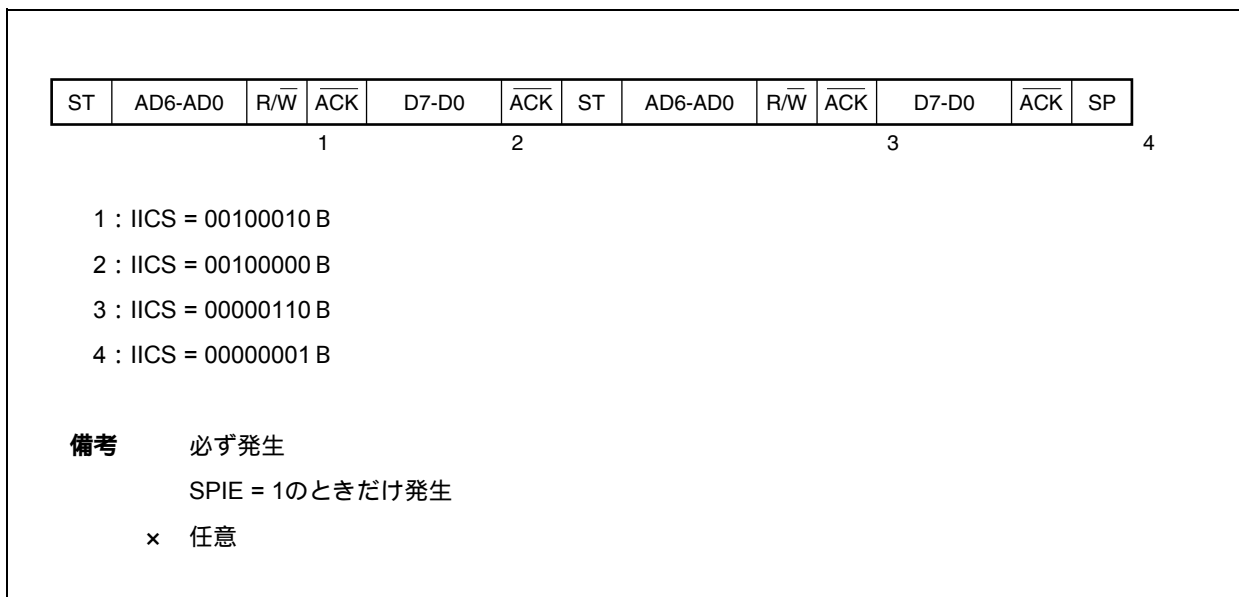


(ii) WTIM = 1 のとき (リスタート後, 拡張コード受信)

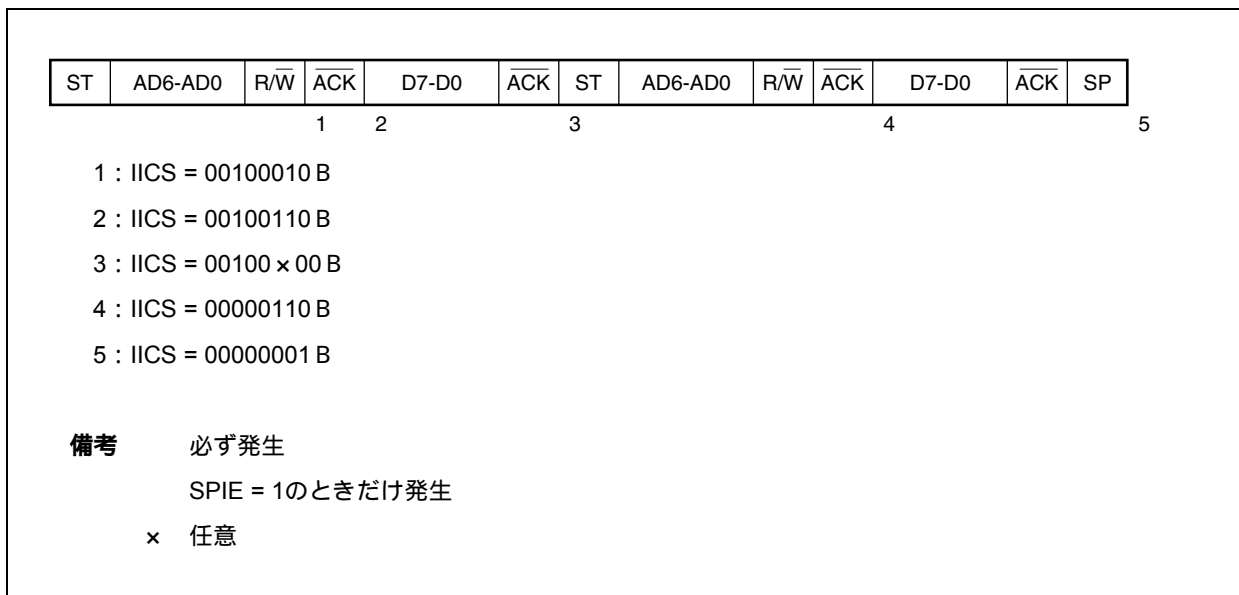


(d) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM = 0 のとき (リスタート後, アドレス不一致 (拡張コード以外))

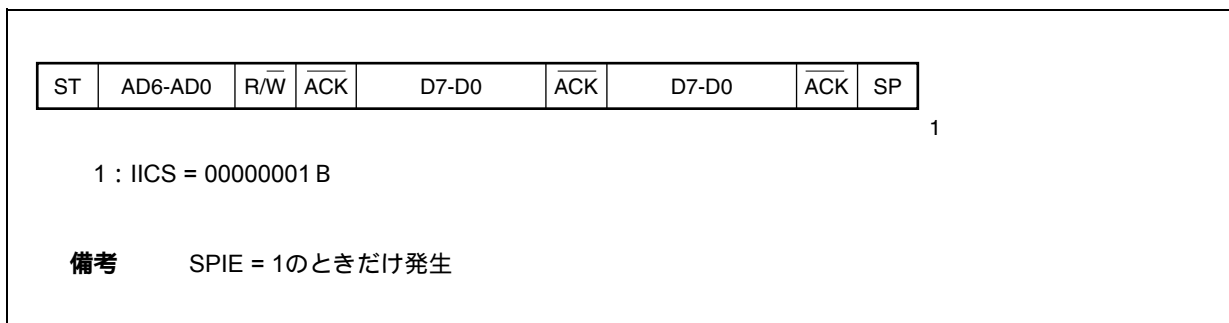


(ii) WTIM = 1 のとき (リスタート後, アドレス不一致 (拡張コード以外))



(4) 通信不参加の動作

(a) Start ~ Code ~ Data ~ Data ~ Stop

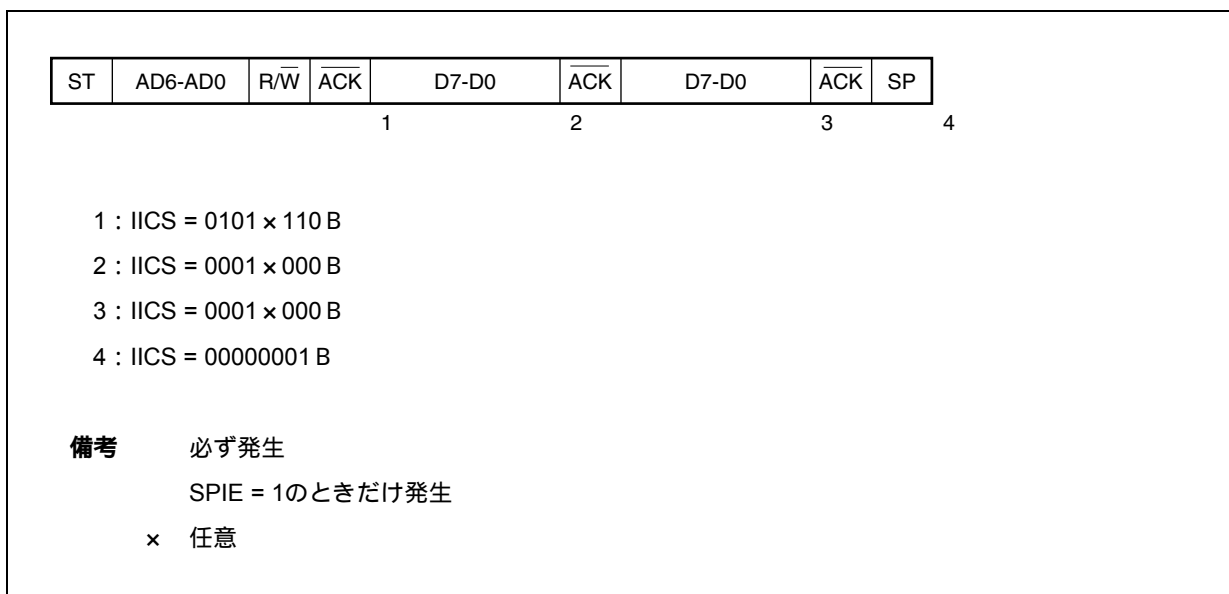


(5) アービトレーション負けの動作 (アービトレーション負けのあと、スレーブとして動作)

マルチマスタ・システムでマスタとして使用する場合は、INTIICA割り込み要求信号の発生ごとにMSTSビットをリードし、アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

(i) WTIM = 0のとき



(ii) WTIM = 1 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4

1 : IICS = 0101 × 110 B

2 : IICS = 0001 × 100 B

3 : IICS = 0001 × × 00 B

4 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(b) 拡張コード送信中にアービトレーションに負けた場合

(i) WTIM = 0 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4

1 : IICS = 0110 × 010 B

2 : IICS = 0010 × 000 B

3 : IICS = 0010 × 000 B

4 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(ii) WTIM = 1 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1 2		3		4 5	

1 : IICS = 0110 × 010 B

2 : IICS = 0010 × 110 B

3 : IICS = 0010 × 100 B

4 : IICS = 0010 × × 00 B

5 : IICS = 00000001 B

備考 必ず発生
SPIE = 1 のときだけ発生
× 任意

(6) アービトレーション負けの動作 (アービトレーション負けのあと, 不参加)

マルチマスタ・システムでマスタとして使用する場合は, INTIICA 割り込み要求信号の発生ごとに MSTS ビットをリードし, アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合 (WTIM = 1 のとき)

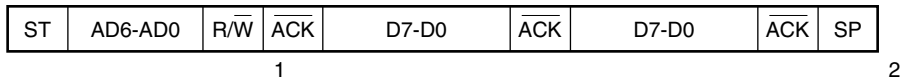
ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1				2	

1 : IICS = 01000110 B

2 : IICS = 00000001 B

備考 必ず発生
SPIE = 1 のときだけ発生

(b) 拡張コード送信中にアービトレーションに負けた場合



1 : IICS = 0110 × 010 B

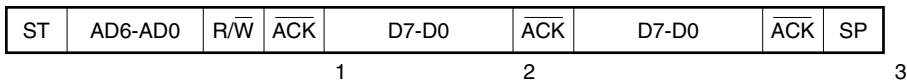
ソフトウェアで LREL = 1 を設定

2 : IICS = 00000001 B

備考 必ず発生
SPIE = 1 のときだけ発生
× 任意

(c) データ転送時にアービトレーションに負けた場合

(i) WTIM = 0 のとき



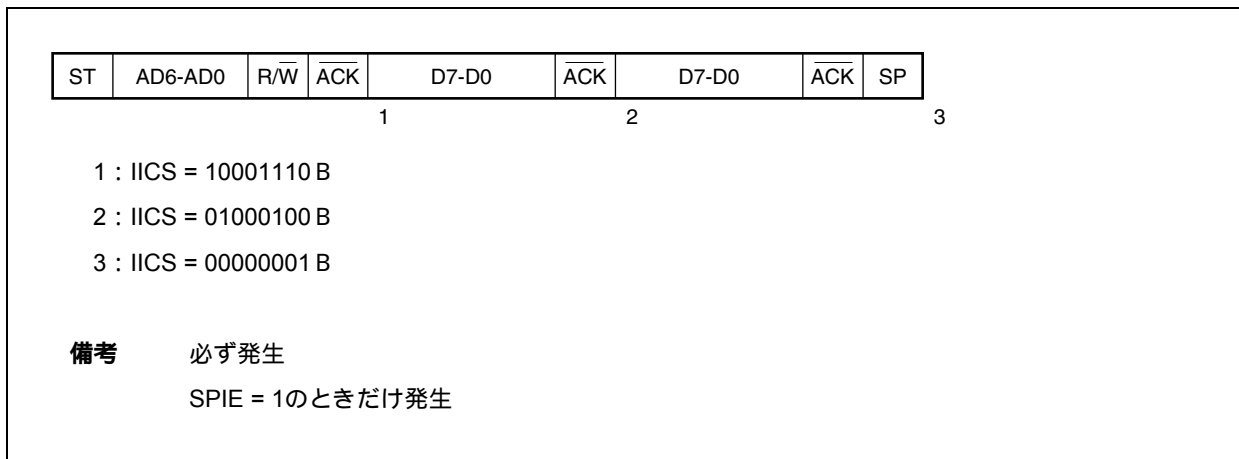
1 : IICS = 10001110 B

2 : IICS = 01000000 B

3 : IICS = 00000001 B

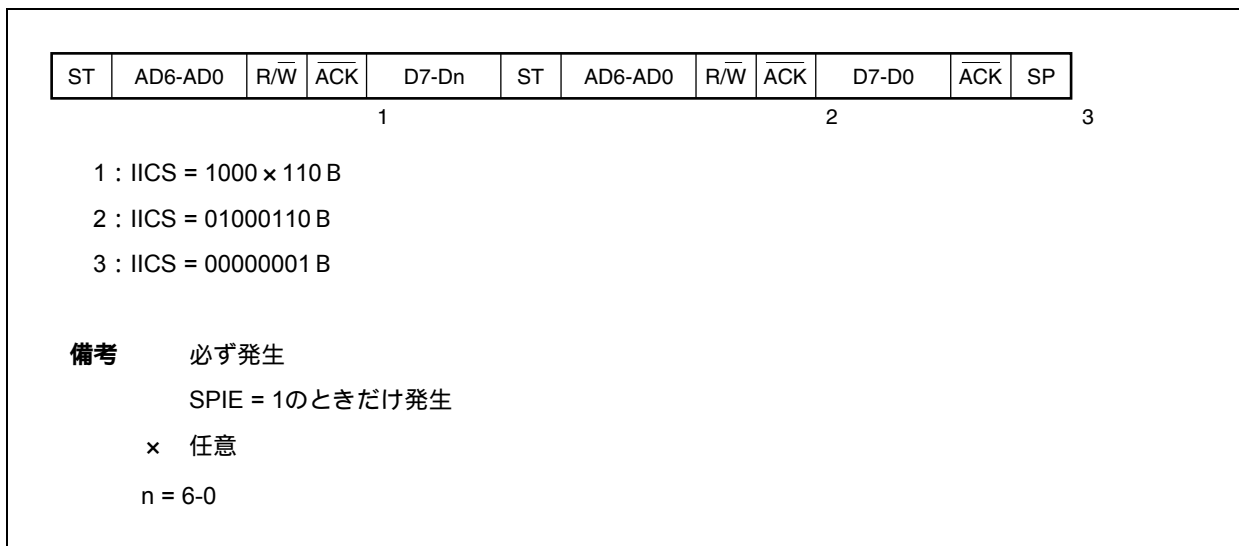
備考 必ず発生
SPIE = 1 のときだけ発生

(ii) WTIM = 1 のとき



(d) データ転送時にリスタート・コンディションで負けた場合

(i) 拡張コード以外 (例 SVA不一致)



(ii) 拡張コード

ST	AD6-AD0	R/W	ACK	D7-Dn	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP		
				1					2				3

1 : IICS = 1000 × 110 B

2 : IICS = 01100010 B

ソフトウェアでLREL = 1を設定

3 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1のときだけ発生
 × 任意
 n = 6-0

(e) データ転送時にストップ・コンディションで負けた場合

ST	AD6-AD0	R/W	ACK	D7-Dn	SP
				1	2

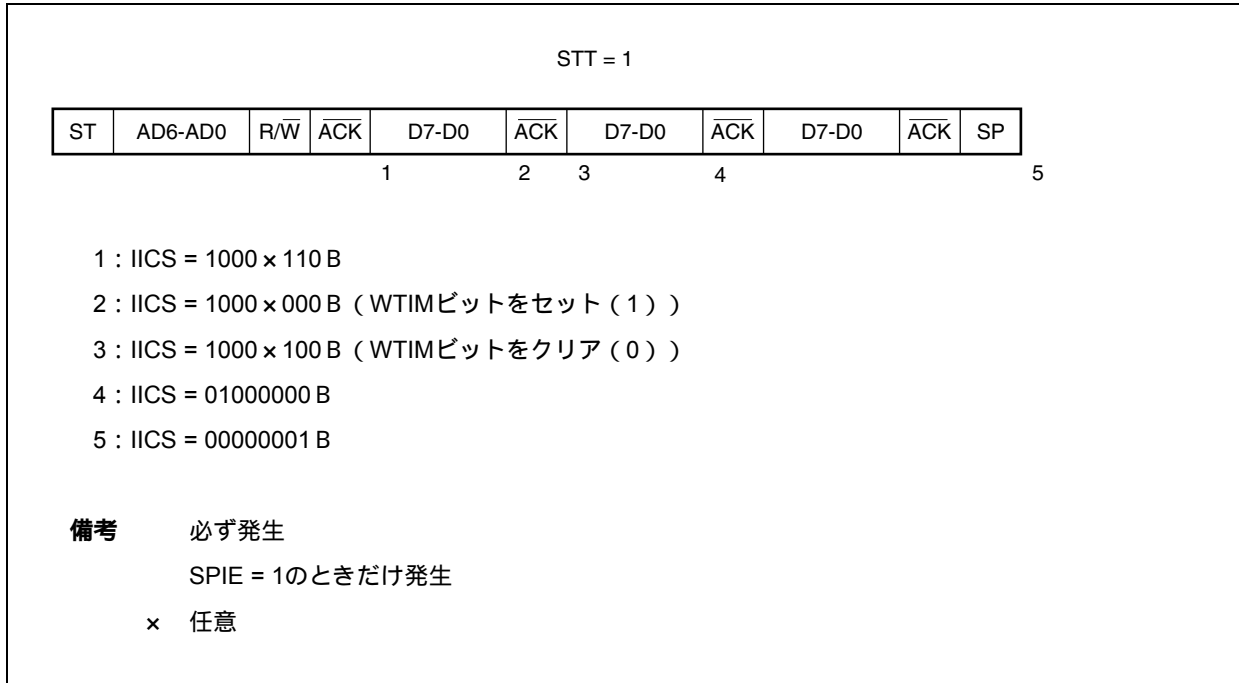
1 : IICS = 10000110 B

2 : IICS = 01000001 B

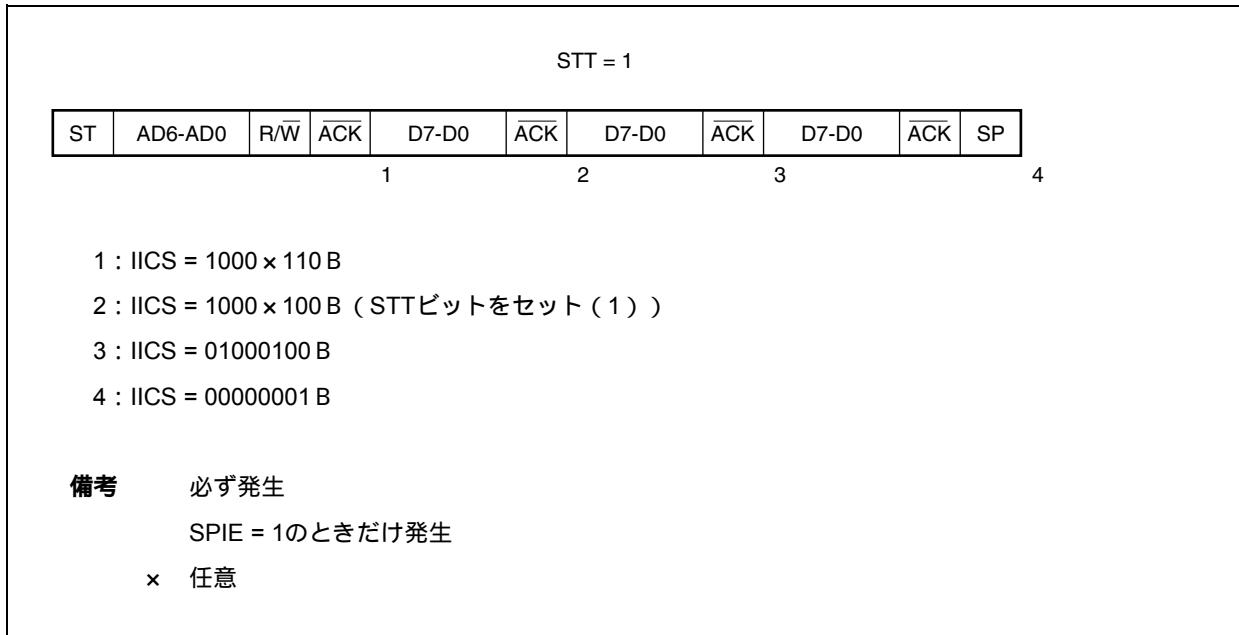
備考 必ず発生
 SPIE = 1のときだけ発生
 × 任意
 n = 6-0

(f) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIM = 0 のとき

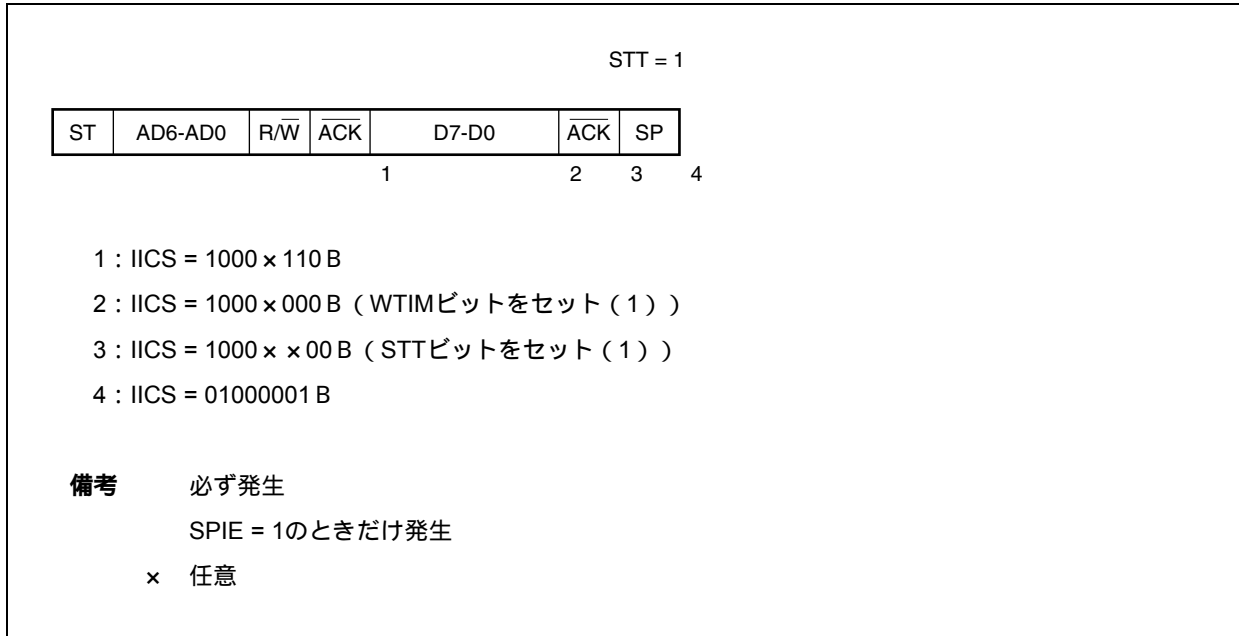


(ii) WTIM = 1 のとき

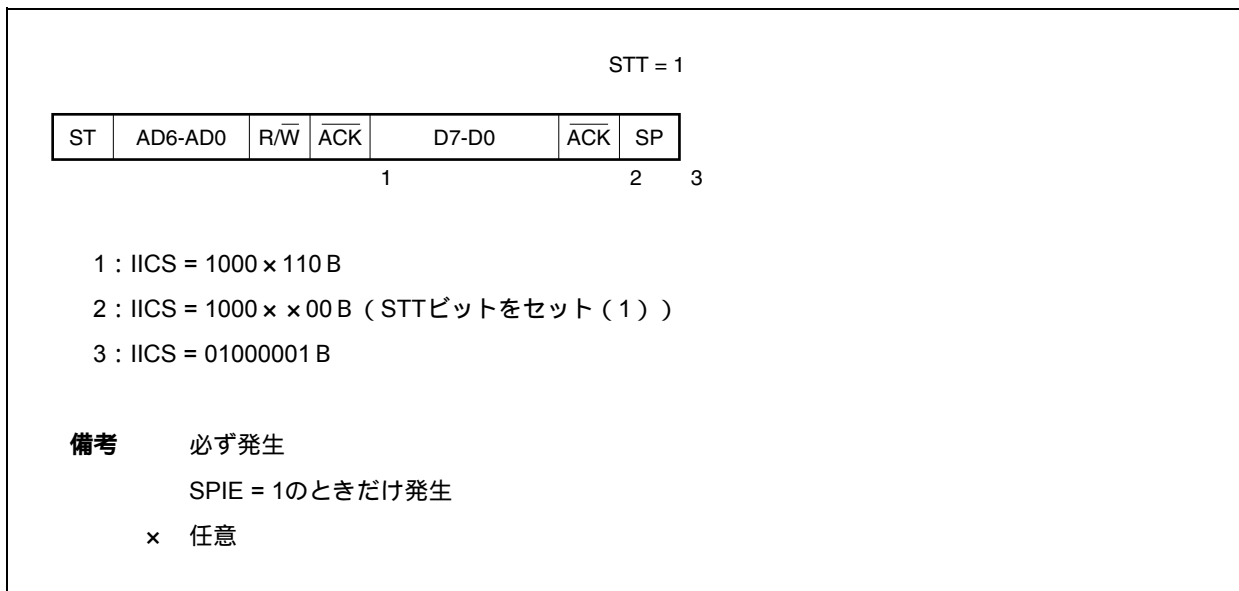


(g) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

(i) WTIM = 0 のとき



(ii) WTIM = 1 のとき



(h) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

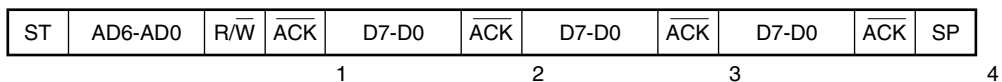
(i) WTIM = 0 のとき

- 1 : IICS = 1000 × 110 B
- 2 : IICS = 1000 × 000 B (WTIMビットをセット(1))
- 3 : IICS = 1000 × 100 B (WTIMビットをクリア(0))
- 4 : IICS = 01000100 B
- 5 : IICS = 00000001 B

備考 必ず発生
SPIE = 1 のときだけ発生
× 任意

(ii) WTIM = 1 のとき

SPT = 1



- 1 : IICS = 1000 × 110 B
- 2 : IICS = 1000 × 100 B (SPTビットをセット(1))
- 3 : IICS = 01000100 B
- 4 : IICS = 00000001 B

備考 必ず発生
SPIE = 1 のときだけ発生
× 任意

12.6 タイミング・チャート

I²Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すTRCビット（IICAステータス・レジスタ（IICS）のビット3）を送信し、スレーブとのシリアル通信を開始します。

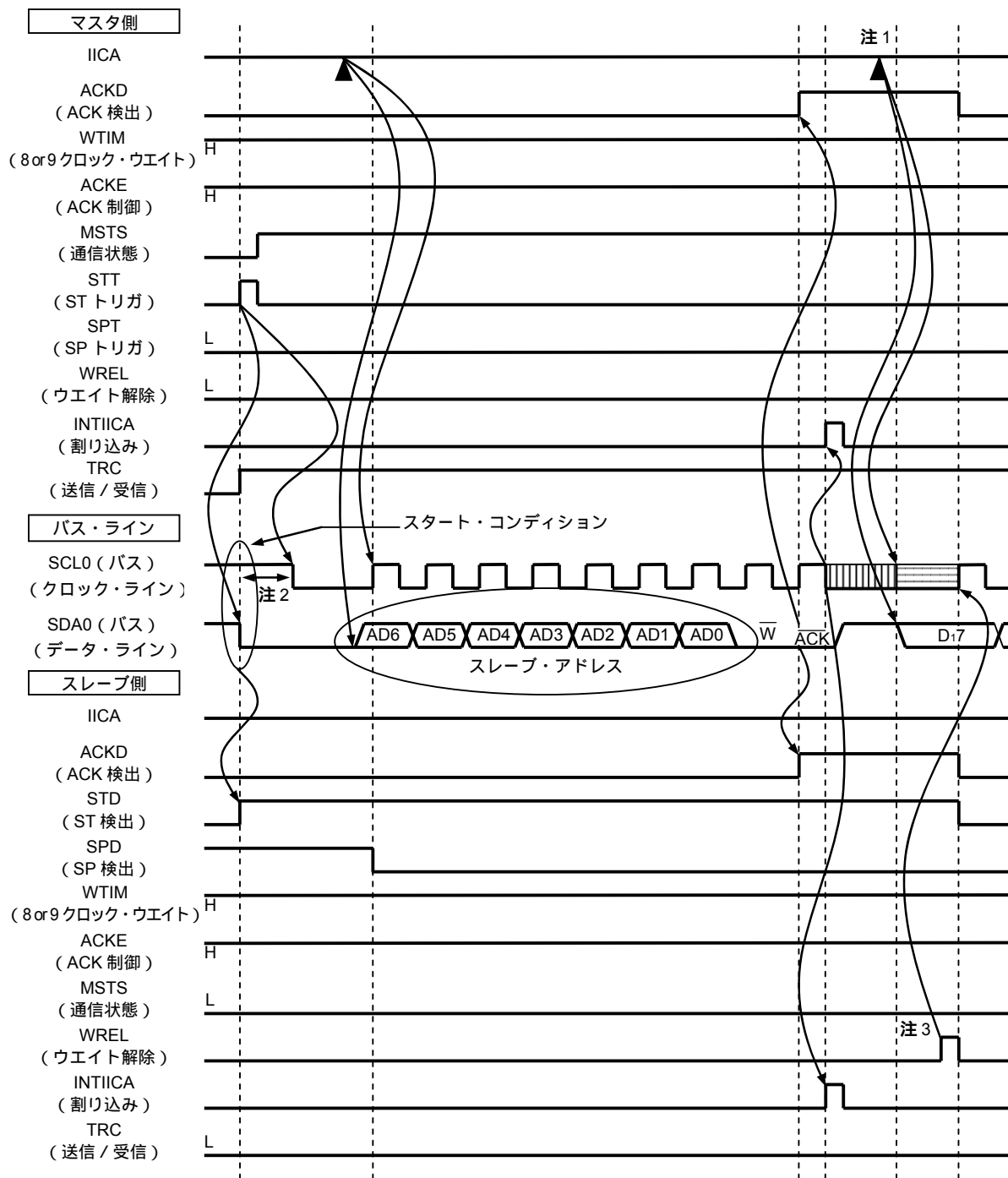
データ通信のタイミング・チャートを図12 - 32，図12 - 33に示します。

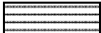

シリアル・クロック（SCL0）の立ち下がりに同期してIICAシフト・レジスタ（IICA）のシフト動作が行われ、送信データがSOラッチに転送され、SDA0端子からMSBファーストで出力されます。

また、SCL0の立ち上がりでSDA0端子に入力されたデータがIICAに取り込まれます。

図12 - 32 マスタ スレーブ通信例 (マスタ: 9クロック, スレーブ: 9クロックでウェイト選択時) (1/4)

(1) スタート・コンディション~アドレス~データ



-  : スレーブによるウェイト
 : マスタ, スレーブによるウェイト

- 注1. マスタ送信時のウェイト解除は, WRELビットのセットではなく, IICAへのデータ書き込みで行ってください。
- 注2. SDA0端子信号が立ち下がってから SCL0端子信号が立ち下がるまでの時間は, 標準モード設定時は $4.0 \mu\text{s}$ 以上, ファースト・モード設定時は $0.6 \mu\text{s}$ 以上です。
- 注3. スレーブ・ウェイト解除は, IICA FFHまたはWRELビットのセットのどちらかで行ってください。

図12 - 32 (1) スタート・コンディション～アドレス～データの ~ の説明を次に示します。

マスタ側でスタート・コンディション・トリガがセット (STT = 1) されると、バス・データ・ライン (SDA0 = 0) が立ち下がり、スタート・コンディション (SDA0 = 0, SCL0 = 1) が生成されます。その後、スタート・コンディションを検出すると、マスタ側はマスタ通信状態 (MSTS = 1) となり、ホールド時間経過後、バス・クロック・ラインが立ち下がり (SCL0 = 0)、通信準備が完了となります。

マスタ側でIICAシフト・レジスタ (IICA) にアドレス + W (送信) が書き込まれると、スレーブ・アドレスが送信されます。

受信したアドレスとスレーブのアドレスが一致した場合[※]、スレーブ側のハードウェアよりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKD = 1) されます。

9クロック目の立ち下がりで、マスタ側の割り込み (INTIICA : アドレス送信完了割り込み) が発生し、スレーブはアドレスが一致した場合、割り込み (INTIICA : アドレス一致割り込み) が発生します。さらに、マスタ側とアドレスが一致したスレーブ側はウエイト (SCL0 = 0) をかけます[※]。

マスタ側がIICAレジスタに送信データを書き込み、マスタ側によるウエイトを解除します。

スレーブ側がウエイトを解除 (WREL = 1) すると、マスタ側からスレーブ側にデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが (NACK : SDA0 = 1)。また、スレーブ側のINTIICA割り込み (アドレス一致割り込み) は発生せず、スレーブ側のウエイトもかかりません。

ただし、マスタ側はACK, NACKの両方に対して、INTIICA割り込み (アドレス送信完了割り込み) が発生します。

備考 図12 - 32の ~ は、I²Cバスによるデータ通信の一連の操作手順です。

図12 - 32 (1) スタート・コンディション～アドレス～データでは手順 ~

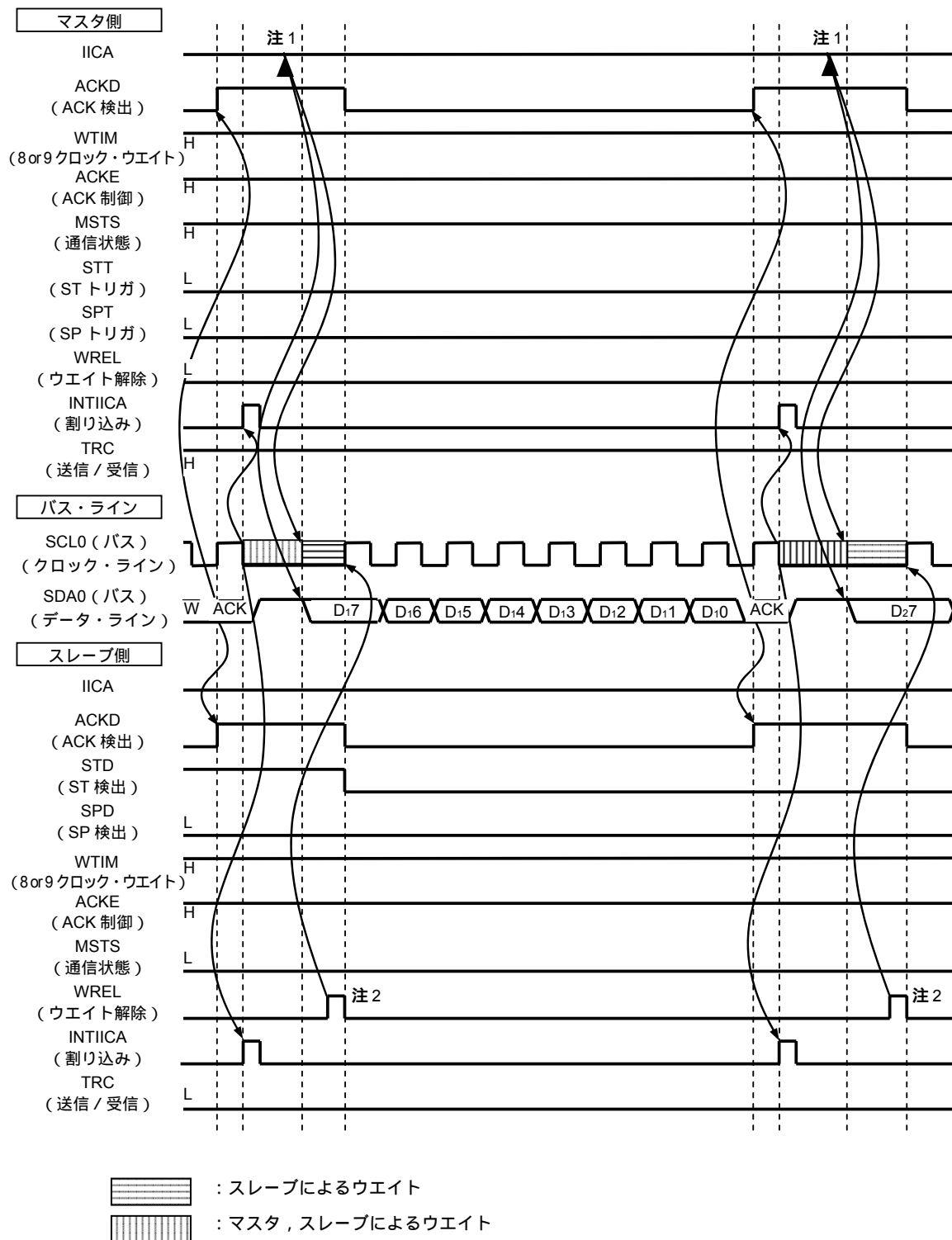
図12 - 32 (2) アドレス～データ～データでは手順 ~

図12 - 32 (3) データ～データ～ストップ・コンディションでは手順 ~

について説明しています。

図12 - 32 マスタ スレーブ通信例 (マスタ: 9クロック, スレーブ: 9クロックでウェイト選択時) (2/4)

(2) アドレス~データ~データ



注1. マスタ送信時のウェイト解除は, WRELビットのセットではなく, IICAへのデータ書き込みで行ってください。

2. スレーブ・ウェイト解除は, IICA FFHまたはWRELビットのセットのどちらかで行ってください。

図12 - 32 (2) アドレス～データ～データの ~ の説明を次に示します。

受信したアドレスとスレーブのアドレスが一致した場合[※]、スレーブ側のハードウェアよりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKD = 1) されます。

9クロック目の立ち下がり時で、マスタ側の割り込み (INTIICA : アドレス送信完了割り込み) が発生し、スレーブはアドレスが一致した場合、割り込み (INTIICA : アドレス一致割り込み) が発生します。さらに、マスタ側とアドレスが一致したスレーブ側はウエイト (SCL0 = 0) をかけます[※]。

マスタ側がIICAシフト・レジスタ (IICA) に送信データを書き込み、マスタ側によるウエイトを解除します。

スレーブ側がウエイトを解除 (WREL = 1) すると、マスタ側からスレーブ側にデータ転送を開始します。データ転送完了後、スレーブ側のハードウェアよりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKD = 1) されます。

9クロック目の立ち下がり時で、マスタ側とスレーブ側によるウエイト (SCL0 = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICA : 転送完了割り込み) が発生します。

マスタ側がIICAレジスタに送信データを書き込み、マスタ側によるウエイトを解除します。

スレーブ側が受信データを読み出して、ウエイトを解除 (WREL = 1) すると、マスタ側からスレーブ側にデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが (NACK : SDA0 = 1)。また、スレーブ側のINTIICA割り込み (アドレス一致割り込み) は発生せず、スレーブ側のウエイトもかかりません。

ただし、マスタ側はACK、NACKの両方に対して、INTIICA割り込み (アドレス送信完了割り込み) が発生します。

備考 図12 - 32の ~ は、I²Cバスによるデータ通信の一連の操作手順です。

図12 - 32 (1) スタート・コンディション～アドレス～データでは手順 ~

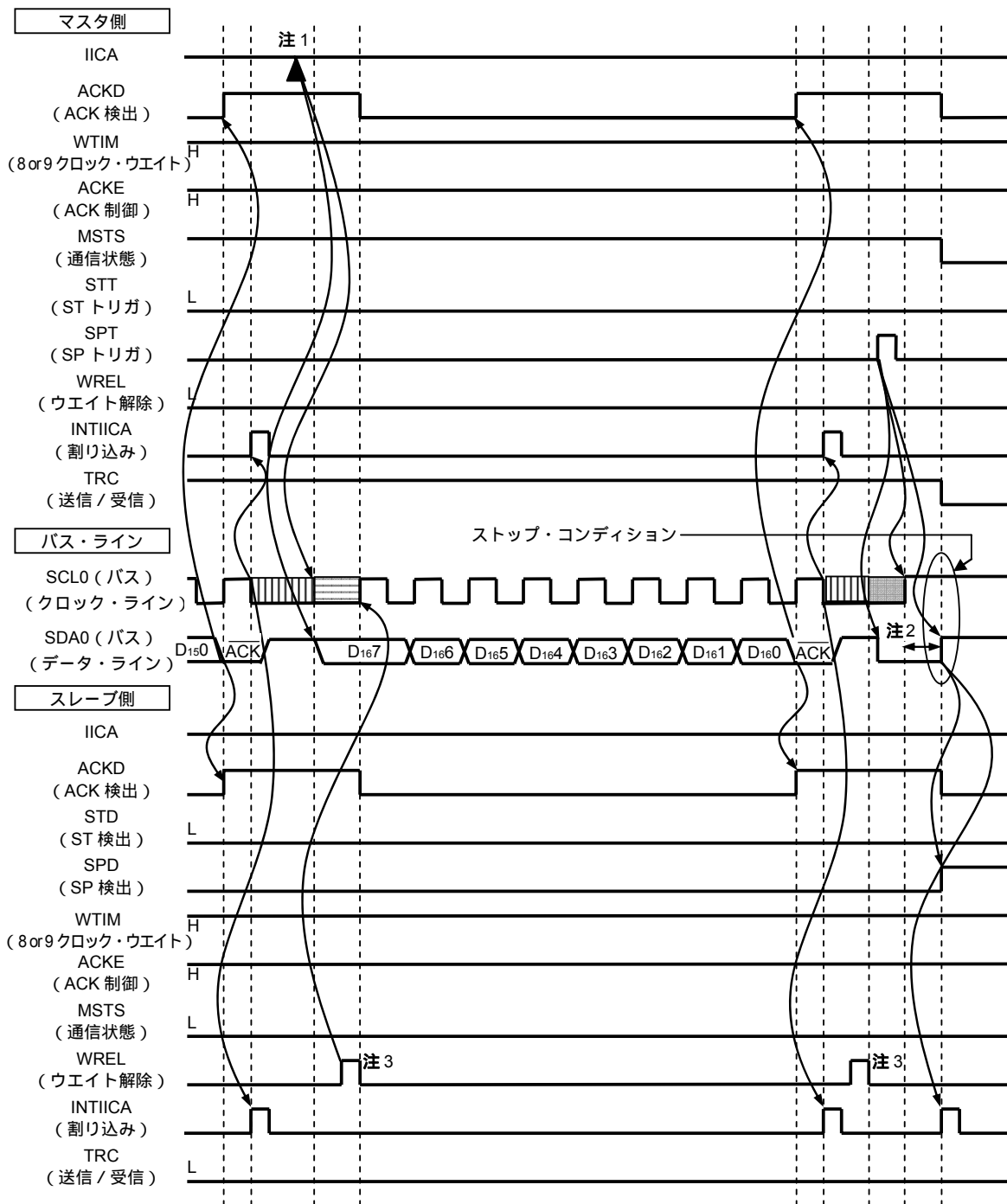
図12 - 32 (2) アドレス～データ～データでは手順 ~




図12 - 32 (3) データ～データ～ストップ・コンディションでは手順 ~

について説明しています。

図12 - 32 マスタ スレーブ通信例 (マスタ:9クロック,スレーブ:9クロックでウェイト選択時) (3/4)

(3) データ~データ~ストップ・コンディション



-  : マスタによるウェイト
-  : スレーブによるウェイト
-  : マスタ,スレーブによるウェイト

- 注1. マスタ送信時のウェイト解除は, WRELビットのセットではなく, IICAへのデータ書き込みで行ってください。
2. ストップ・コンディションの発行後, SCL0端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は, 標準モード設定時は4.0 μ s以上, ファースト・モード設定時は0.6 μ s以上です。
3. スレーブ・ウェイト解除は, IICA FFHまたはWRELビットのセットのどちらかで行ってください。

図12 - 32 (3) データ~データ~ストップ・コンディションの ~ の説明を次に示します。

データ転送完了後、スレーブ側のハードウェアよりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKD = 1) されます。

9クロック目の立ち下がり、マスタ側とスレーブ側によるウェイト (SCL0 = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICA: 転送完了割り込み) が発生します。

マスタ側がIICAシフト・レジスタ (IICA) に送信データを書き込み、マスタ側によるウェイトを解除します。

スレーブ側が受信データを読み出して、ウェイトを解除 (WREL = 1) すると、マスタ側からスレーブ側にデータ転送を開始します。

データ転送完了後、スレーブ側のハードウェアよりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKD = 1) されます。

9クロック目の立ち下がり、マスタ側とスレーブ側によるウェイト (SCL0 = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICA: 転送完了割り込み) が発生します。

スレーブ側が受信データを読み出し、ウェイトを解除 (WREL = 1) します。

ストップ・コンディション・トリガをセットすると、バス・データ・ラインをクリア (SDA0 = 0)、バス・クロック・ラインをセット (SCL0 = 1) し、ストップ・コンディション・セットアップ時間経過後、バス・データ・ラインをセット (SDA0 = 1) することでストップ・コンディションが生成されます。

ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出され、スレーブ側で割り込み (INTIICA: ストップ・コンディション割り込み) が発生します。

備考 図12 - 32の ~ は、I²Cバスによるデータ通信の一連の操作手順です。

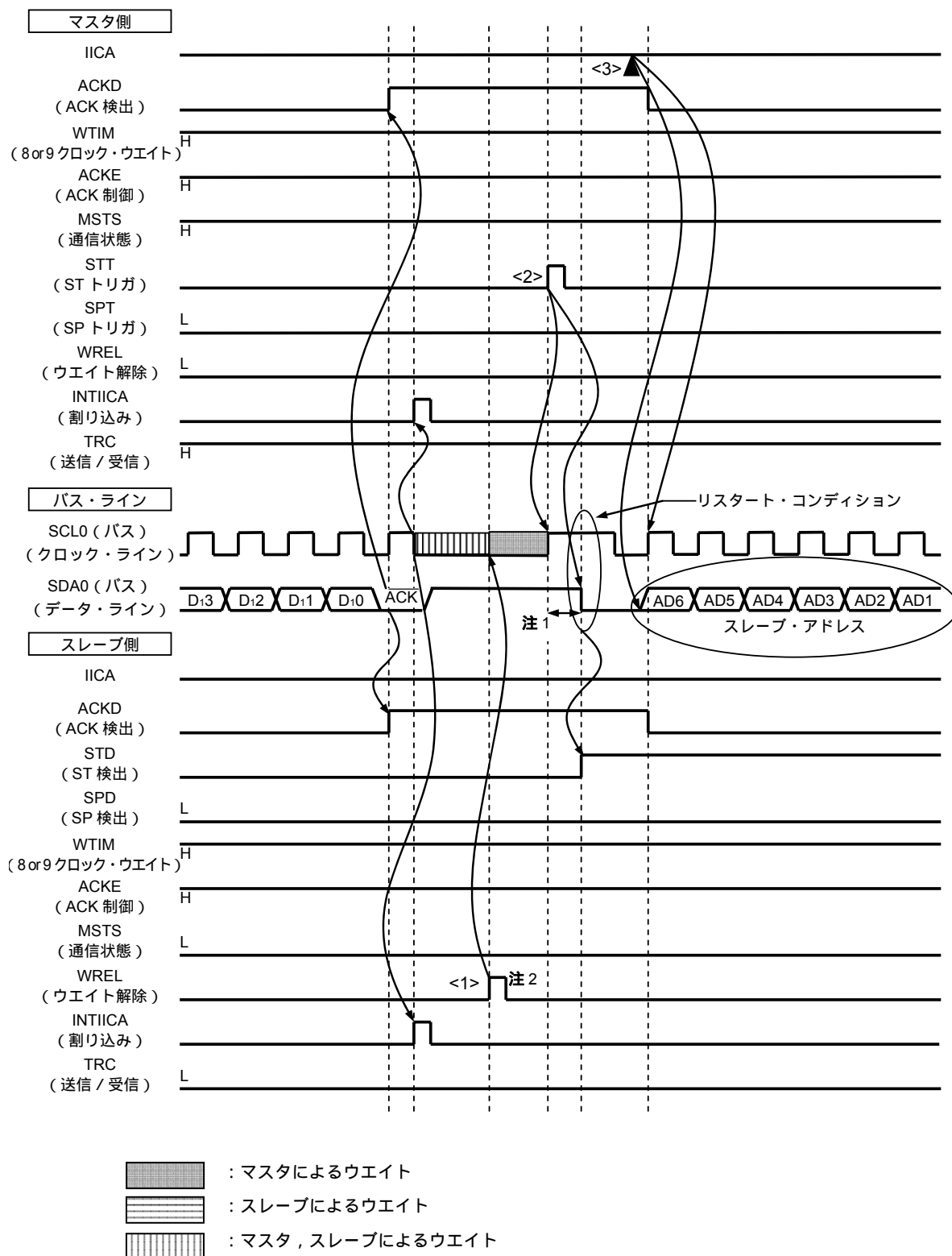
図12 - 32 (1) スタート・コンディション~アドレス~データでは手順 ~

図12 - 32 (2) アドレス~データ~データでは手順 ~

図12 - 32 (3) データ~データ~ストップ・コンディションでは手順 ~
について説明しています。

図12 - 32 マスタ スレーブ通信例 (マスタ: 9クロック, スレーブ: 9クロックでウェイト選択時) (4/4)

(4) データ~リスタート・コンディション~アドレス



注1. リスタート・コンディションの発行後, SCL0端子信号が立ち上がってからスタート・コンディションが生成される時間は, 標準モード設定時は4.7 μ s以上, ファースト・モード設定時は0.6 μ s以上です。

2. スレーブ・ウェイト解除は, IICA FFHまたはWRELビットのセットのどちらかで行ってください。

図12 - 32(4)データ~リスタート・コンディション~アドレスの動作説明を次に示します。手順 1 の動作後、<1>~<3>の動作を行います。それにより、手順 2 のデータの送信手順に戻ります。

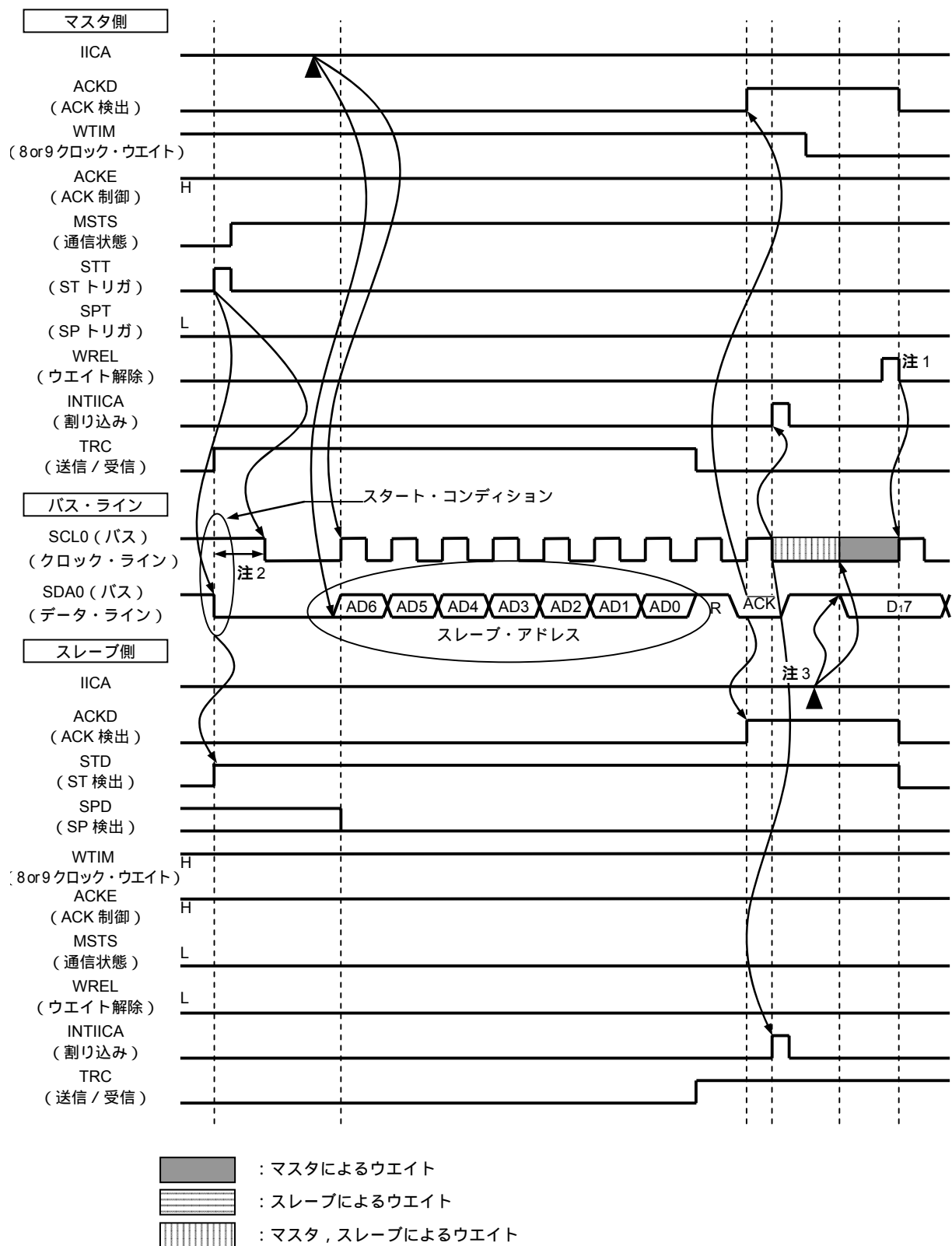
データ転送完了後、スレーブ側のハードウェアよりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKD = 1) されます。

9クロック目の立ち下がりで、マスタ側とスレーブ側によるウェイト (SCL0 = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICA: 転送完了割り込み) が発生します。

- <1> スレーブ側が受信データを読み出して、ウェイトを解除 (WREL = 1) します。
- <2> マスタ側で再度スタート・コンディション・トリガがセット (STT = 1) されると、バス・クロック・ラインが立ち上がり (SCL0 = 1)、リスタート・コンディション・セットアップ時間後バス・データ・ライン (SDA0 = 0) が立ち下がり、スタート・コンディション (SDA0 = 0, SCL0 = 1) が生成されます。その後、スタート・コンディションを検出すると、ホールド時間経過後、バス・クロック・ラインが立ち下がり (SCL0 = 0)、通信準備が完了となります。
- <3> マスタ側でIICAシフト・レジスタ (IICA) にアドレス + R/W (送信) が書き込まれると、スレーブ・アドレスが送信されます。

図12 - 33 スレーブ マスタ通信例 (マスタ: 8クロック, スレーブ: 9クロックでウェイト選択時) (1/3)

(1) スタート・コンディション~アドレス~データ



- 注1. マスタ・ウェイト解除は、IICA FFHまたはWRELビットのセットのどちらかで行ってください。
2. SDA0端子信号が立ち下がってからSCL0端子信号が立ち下がるまでの時間は、標準モード設定時は4.0 μ s以上、ファースト・モード設定時は0.6 μ s以上です。
3. スレーブ送信時のウェイト解除は、WRELビットのセットではなく、IICAへのデータ書き込みで行ってください。

図12 - 33 (1) スタート・コンディション~アドレス~データの ~ の説明を次に示します。

マスタ側でスタート・コンディション・トリガがセット (STT = 1) されると、バス・データ・ライン (SDA0 = 0) が立ち下がり、スタート・コンディション (SDA0 = 0, SCL0 = 1) が生成されます。その後、スタート・コンディションを検出すると、マスタ側はマスタ通信状態 (MSTS = 1) となり、ホールド時間経過後、バス・クロック・ラインが立ち下がり (SCL0 = 0)、通信準備が完了となります。

マスタ側でIICAシフト・レジスタ (IICA) にアドレス+W (送信) が書き込まれると、スレーブ・アドレスが送信されます。

受信したアドレスとスレーブのアドレスが一致した場合[※]、スレーブ側のハードウェアよりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKD = 1) されます。

9クロック目の立ち下がり、マスタ側の割り込み (INTIICA: アドレス送信完了割り込み) が発生し、スレーブはアドレスが一致した場合、割り込み (INTIICA: アドレス一致割り込み) が発生します。さらに、マスタ側とアドレスが一致したスレーブ側によるウェイト (SCL0 = 0) がかけられます[※]。

マスタ側のウェイト・タイミングを8クロック目に (WTIM = 0) に変更します。

スレーブ側がIICAレジスタに送信データを書き込み、スレーブ側によるウェイトを解除します。

マスタ側がウェイトを解除 (WREL = 1) して、スレーブ側はデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが (NACK: SDA0 = 1)。また、スレーブ側のINTIICA割り込み (アドレス一致割り込み) は発生せず、スレーブ側のウェイトもかかりません。

ただし、マスタ側はACK, NACKの両方に対して、INTIICA割り込み (アドレス送信完了割り込み) が発生します。

備考 図12 - 33の ~ は、I²Cバスによるデータ通信の一連の操作手順です。

図12 - 33 (1) スタート・コンディション~アドレス~データでは手順 ~

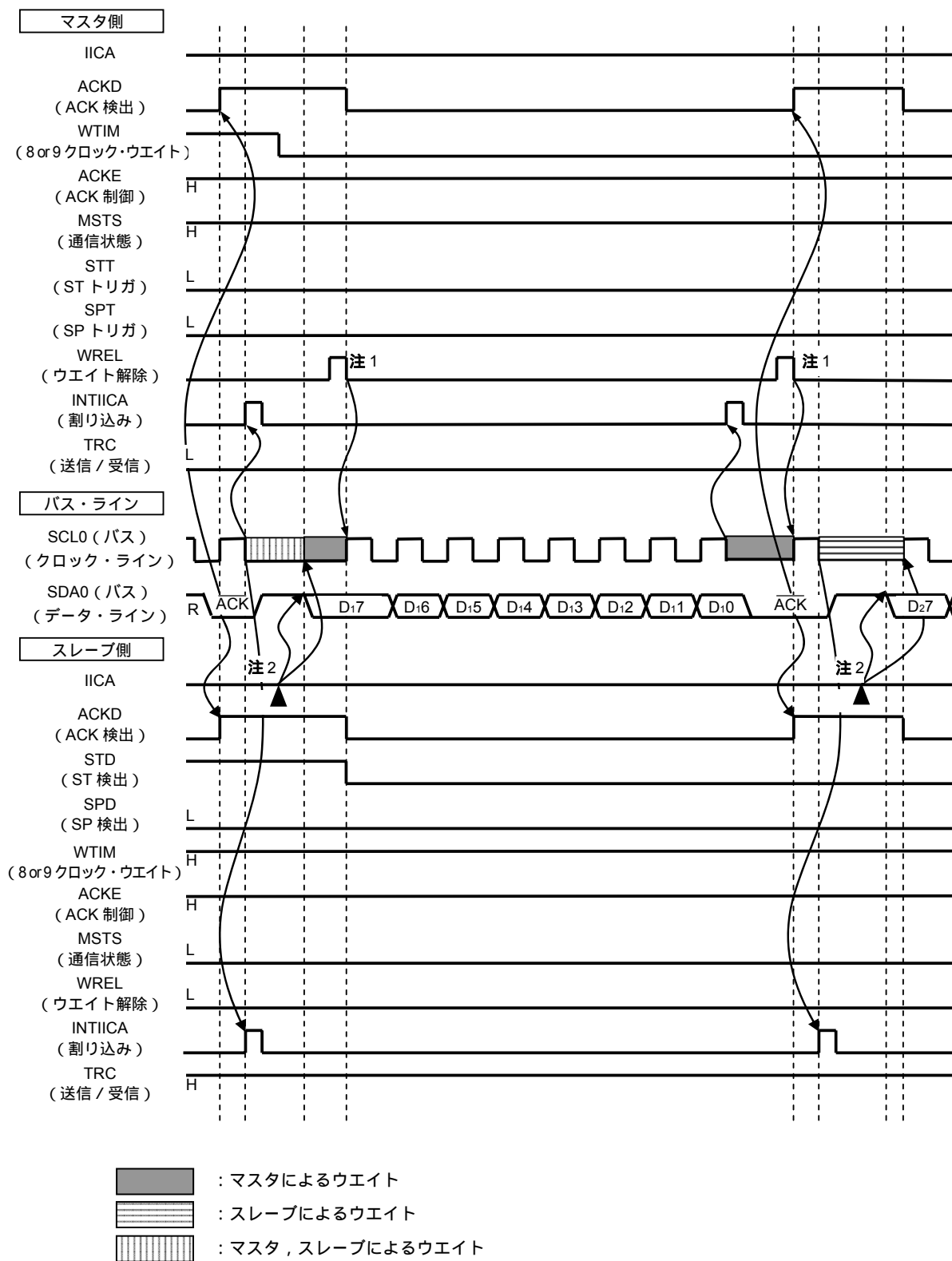
図12 - 33 (2) アドレス~データ~データでは手順 ~

図12 - 33 (3) データ~データ~ストップ・コンディションでは手順 ~

について説明しています。

図12 - 33 スレーブ マスタ通信例 (マスタ: 8クロック, スレーブ: 9クロックでウェイト選択時) (2/3)

(2) アドレス~データ~データ



注1. マスタ・ウェイト解除は, IICA FFHまたはWRELビットのセットのどちらかで行ってください。

2. スレーブ送信時のウェイト解除は, WRELビットのセットではなく, IICAへのデータ書き込みで行ってください。

図12 - 33 (2) アドレス～データ～データの ~ の説明を次に示します。

受信したアドレスとスレーブのアドレスが一致した場合[※]、スレーブ側のハードウェアよりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKD = 1) されます。

9クロック目の立ち下がり時、マスタ側の割り込み (INTIICA : アドレス送信完了割り込み) が発生し、スレーブはアドレスが一致した場合、割り込み (INTIICA : アドレス一致割り込み) が発生します。さらに、マスタ側とアドレスが一致したスレーブ側によるウェイト (SCL0 = 0) がかけられます[※]。

マスタ側のウェイト・タイミングを8クロック目に (WTIM = 0) に変更します。

スレーブ側がIICAシフト・レジスタ (IICA) に送信データを書き込み、スレーブ側によるウェイトを解除します。

マスタ側がウェイトを解除 (WREL = 1) して、スレーブ側はデータ転送を開始します。

8クロック目の立ち下がり時、マスタ側によるウェイト (SCL0 = 0) がかけられ、マスタ側の割り込み (INTIICA : 転送完了割り込み) が発生し、マスタ側のハードウェアよりACKがスレーブ側へ送信されます。

マスタ側は受信したデータを読み出して、ウェイトを解除 (WREL = 1) します。

9クロック目の立ち上がり時に、スレーブ側でACKが検出 (ACKD = 1) されます。

9クロック目の立ち下がり時、スレーブ側によるウェイト (SCL0 = 0) がかけられ、スレーブ側は割り込み (INTIICA : 転送完了割り込み) が発生します。

スレーブ側のIICAレジスタに送信データを書き込むと、スレーブ側のウェイトが解除され、スレーブ マスタにデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが (NACK : SDA0 = 1)。また、スレーブ側のINTIICA割り込み (アドレス一致割り込み) は発生せず、スレーブ側のウェイトもかかりません。

ただし、マスタ側はACK, NACKの両方に対して、INTIICA割り込み (アドレス送信完了割り込み) が発生します。

備考 図12 - 33の ~ は、I²Cバスによるデータ通信の一連の操作手順です。

図12 - 33 (1) スタート・コンディション～アドレス～データでは手順 ~

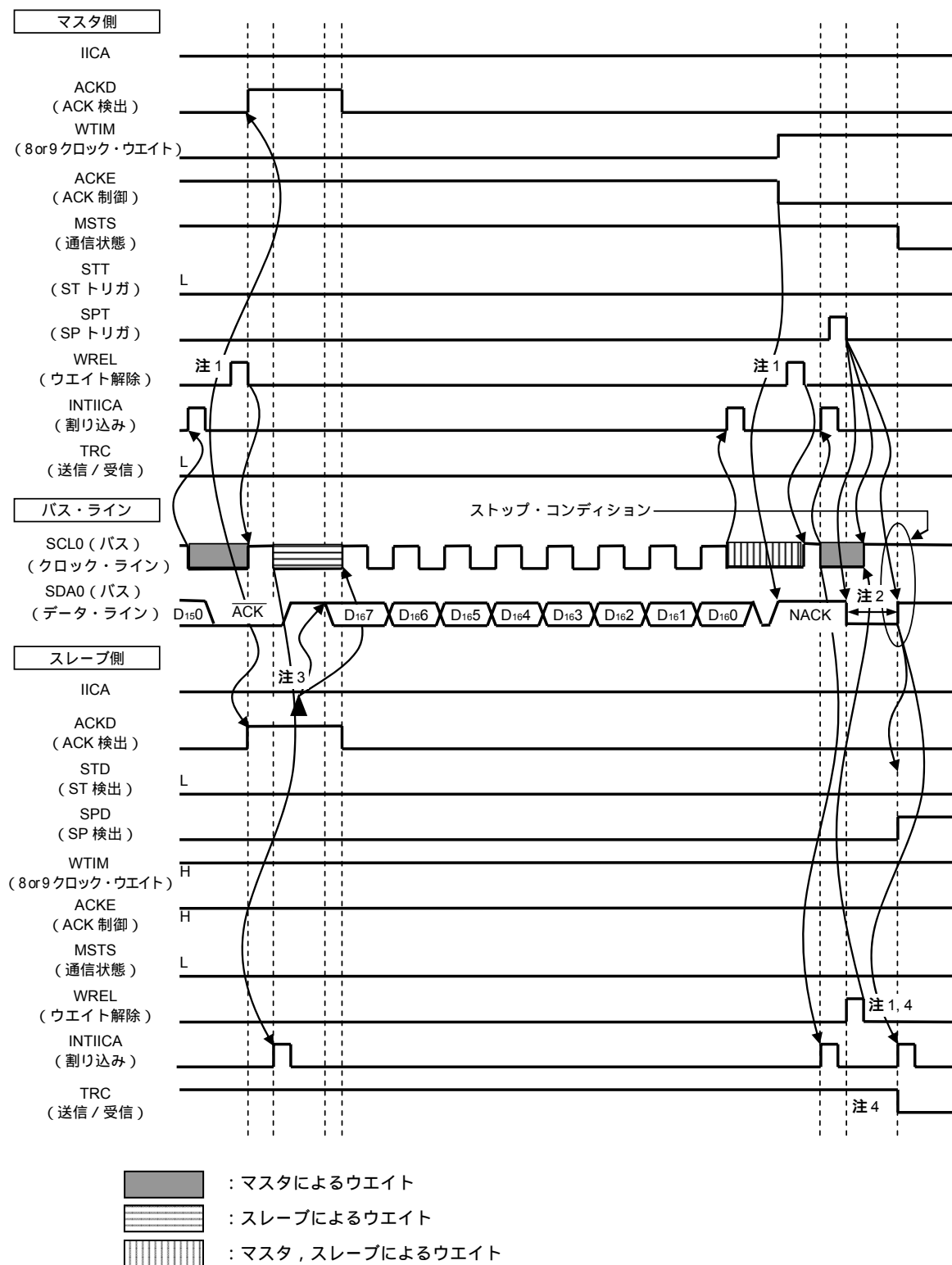
図12 - 33 (2) アドレス～データ～データでは手順 ~

図12 - 33 (3) データ～データ～ストップ・コンディションでは手順 ~

について説明しています。

図12-33 スレーブ マスタ通信例 (マスタ:8 9クロック, スレーブ:9クロックでウエイト選択時) (3/3)

(3) データ~データ~ストップ・コンディション



- 注1. ウエイト解除は、IICA FFHまたはWRELビットのセットのどちらかで行ってください。
2. ストップ・コンディションの発行後、SCL0端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は、標準モード設定時は4.0 μ s以上、ファースト・モード設定時は0.6 μ s以上です。
3. スレーブ送信時のウエイト解除は、WRELビットのセットではなく、IICAへのデータ書き込みで行ってください。
4. スレーブ送信時のウエイトをWRELビットのセットで解除すると、TRCビットはクリアされます。

図12 - 33 (3) データ～データ～ストップ・コンディションの ～ の説明を次に示します。

8クロック目の立ち下がりで、マスタ側によるウェイト (SCL0 = 0) がかかり、マスタ側の割り込み (INTIICA: 転送完了割り込み) が発生し、マスタ側のハードウェアよりACKがスレーブ側へ送信されます。マスタ側は受信したデータを読み出して、ウェイトを解除 (WREL = 1) します。

9クロック目の立ち上がり時に、スレーブ側でACKが検出 (ACKD = 1) されます。

9クロック目の立ち下がりで、スレーブ側によるウェイト (SCL0 = 0) がかかり、スレーブ側は割り込み (INTIICA: 転送完了割り込み) が発生します。

スレーブ側のIICAシフト・レジスタ (IICA) に送信データを書き込むと、スレーブ側のウェイトが解除され、スレーブ マスタにデータ転送を開始します。

8クロック目の立ち下がりで、マスタ側の割り込み (INTIICA: 転送完了割り込み) が発生し、マスタ側によるウェイト (SCL0 = 0) がかかります。ACK制御 (ACKE = 1) されているので、この段階でのバス・データ・ラインはロウ・レベル (SDA0 = 0) となります。

マスタ側はNACK応答に設定 (ACKE = 0) し、ウェイト・タイミングを9クロック目ウェイトに変更します。マスタ側がウェイトを解除 (WREL = 1) すると、スレーブ側は9クロック目の立ち上がりでNACKを検出 (ACK = 0) します。

9クロック目の立ち下がりで、マスタ側とスレーブ側によるウェイト (SCL0 = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICA: 転送完了割り込み) が発生します。

マスタ側でストップ・コンディション発行 (SPT = 1) すると、バス・データ・ラインがクリア (SDA0 = 0) され、マスタ側のウェイトが解除されます。その後、マスタ側はバス・クロック・ラインがセット (SCL0 = 1) されるまで待機します。

スレーブ側はNACKを確認して、送信を止めて通信を完了するためにウェイトを解除 (WREL = 1) します。スレーブによるウェイトが解除されると、バス・クロック・ラインがセット (SCL0 = 1) されます。

マスタ側はバス・クロック・ラインがセット (SCL0 = 1) されたことを確認すると、ストップ・コンディション・セットアップ時間経過後、バス・データ・ラインをセット (SDA0 = 1) してストップ・コンディションを発行します。ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出され、マスタ側、スレーブ側で割り込み (INTIICA: ストップ・コンディション割り込み) が発生します。

備考 図12 - 33の ～ は、I²Cバスによるデータ通信の一連の操作手順です。

図12 - 33 (1) スタート・コンディション～アドレス～データでは手順 ～

図12 - 33 (2) アドレス～データ～データでは手順 ～

図12 - 33 (3) データ～データ～ストップ・コンディションでは手順 ～

について説明しています。

第13章 CEC送受信回路

13.1 CEC送受信回路の機能

CEC送受信回路は、CEC (Consumer Electronics Control) 規格に対応したCEC信号の生成と受信ができ、さらに通信状態の検出をハードウェアが自動的に行います。これらの機能により、CEC送受信の制御を簡単に行うことができます。

- ・CEC規格に対応したシリアル通信が可能
- ・動作クロックをメイン・システム・クロック、またはサブシステム・クロックから選択可能
- ・スタート・ビット、データ・ビットのロウ・レベル幅 / ビット幅を送信、受信とも異なった任意の値に設定可能
- ・ハードウェアによるエラーと通信状態を検出可能
- ・シグナル・フリー・タイムをカウント可能

(1) 各モードの設定について

(a) タイプ1：内蔵のプルアップ抵抗とダイオードを使用する場合

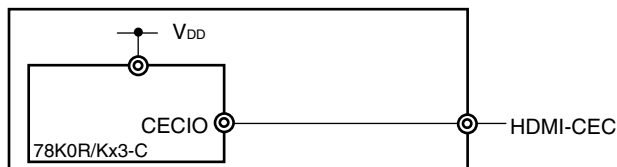
- ・P62を使用
- ・ $V_{DD} = 3.3\text{ V} \pm 10\%$ で使用
- ・外付け回路不要

P62	PM62	PF62	PIM62	PU62
1	0	1	1	1

PF62 = 1 : CECIOモード

PIM62 = 1 : CEC入力バッファ

PU62 = 1 : プルアップ抵抗とダイオード接続



(b) タイプ2：プルアップ抵抗とダイオードを外付けする場合

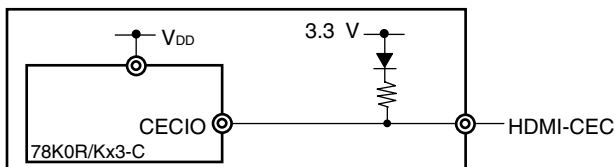
- ・ P62を使用
- ・ $V_{DD} = 3.3\text{ V} \pm 10\%$ で使用
- ・ 外付けにプルアップ抵抗とダイオードの接続が必要

P62	PM62	PF62	PIM62	PU62
1	0	1	1	0

PF62 = 1 : CECIOモード

PIM62 = 1 : CEC入力バッファ

PU62 = 0 : プルアップ抵抗とダイオード接続を使用しない

(c) タイプ3： $V_{DD} = 3.3\text{ V} \pm 10\%$ 以外でCEC送受信機能を使用する場合

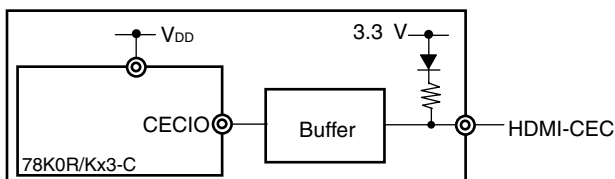
- ・ P62を使用
- ・ CECIO信号の電圧をCECの規格値に変換するための外付け回路が必要
- ・ CECIO端子に入力される前に通常入力バッファの電気的特性を満たすための外付け回路が必要
- ・ $V_{DD} = 2.7\text{-}5.5\text{ V}$ で使用可能

P62	PM62	PF62	PIM62	PU62
1	0	1	0	0

PF62 = 1 : CECIOモード

PIM62 = 0 : 通常入力バッファ

PU62 = 0 : プルアップ抵抗とダイオード接続を使用しない



(d) タイプ4：CEC送受信の入出力を分けて使用する場合

- ・ P110, 111を使用
- ・ CECの入力と出力を分けて使用するときに使用
- ・ CECIN端子に入力される前に通常入力バッファの電気的特性を満たすための外付け回路が必要
- ・ CECOUT信号の電圧をCECの規格値に変換するための外付け回路が必要
- ・ $V_{DD} = 2.7\text{-}5.5\text{ V}$ で使用可能

P110	PM110	P111	PM111	PF110	PF111
-	1	1	0	1	1

PF110 = 1 : CECINモード

PF111 = 1 : CECOUTモード

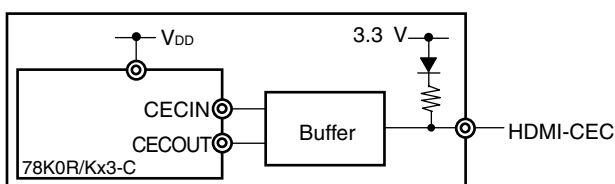
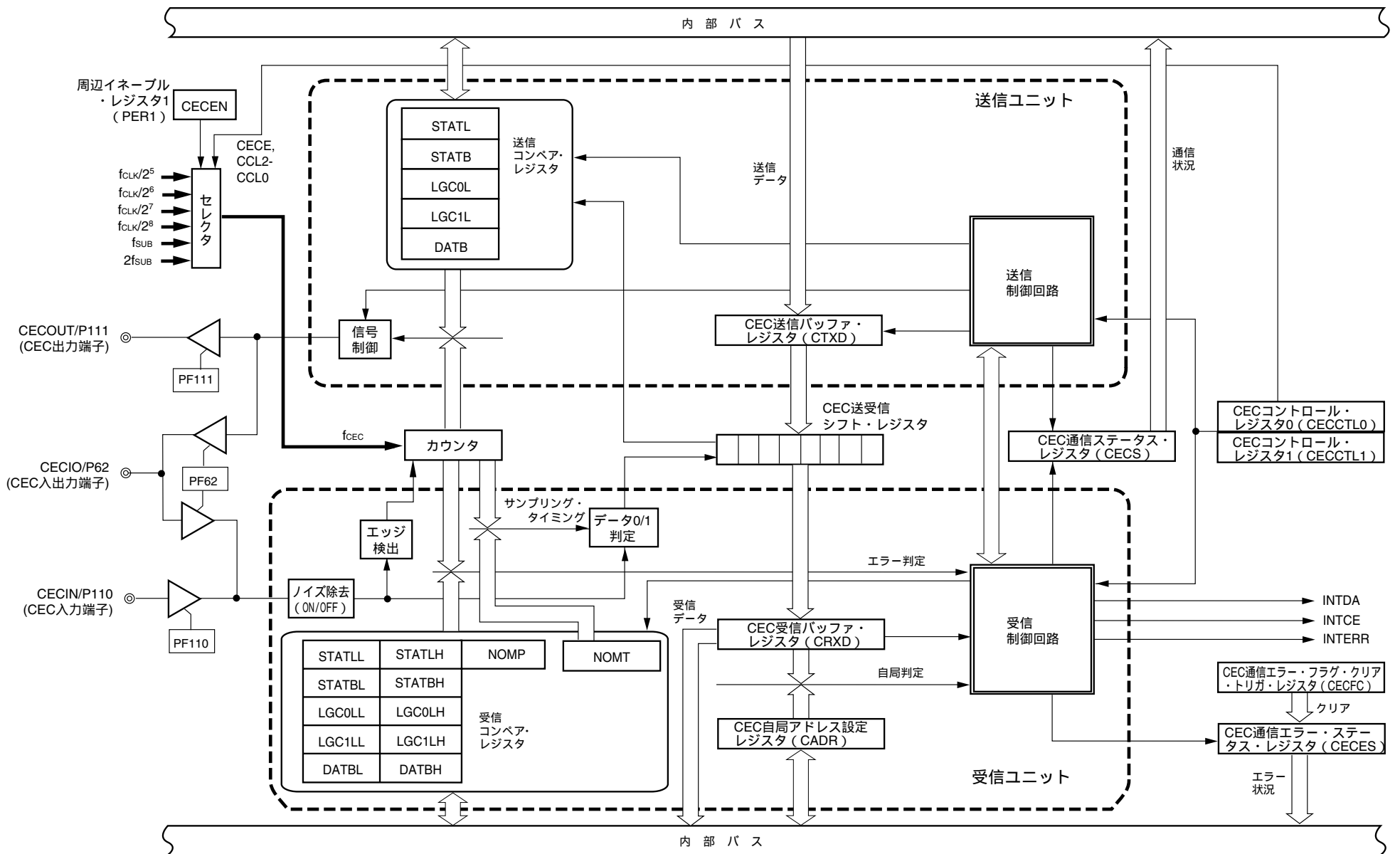


図13-1 CEC送受信回路のブロック図



13.2 CEC送受信回路の構成

CEC送受信回路は、次のハードウェアで構成しています。

表13 - 1 CEC送受信回路の構成

項 目	構 成
制御レジスタ	周辺イネーブル・レジスタ1 (PER1) CECコントロール・レジスタ0 (CECCTL0) CECコントロール・レジスタ1 (CECCTL1) CEC通信ステータス・レジスタ (CECS) CEC通信エラー・ステータス・レジスタ (CECES) CEC通信エラー・フラグ・クリア・トリガ・レジスタ (CECF) CEC自局アドレス設定レジスタ (CADR) ポート・ファンクション・レジスタ6 (PF6) ポート・ファンクション・レジスタ11 (PF11) ポート・レジスタ6 (P6) ポート・モード・レジスタ6 (PM6)
レジスタ ^{注1, 2, 3}	CEC受信バッファ・レジスタ (CRXD) CEC送信バッファ・レジスタ (CTXD) CEC受信スタート・ビットのロウ幅のMIN.値設定レジスタ (STATLL) CEC受信スタート・ビットのロウ幅のMAX.値設定レジスタ (STATLH) CEC受信スタート・ビットのビット幅のMIN.値設定レジスタ (STATBL) CEC受信スタート・ビットのビット幅のMAX.値設定レジスタ (STATBH) CEC受信ロジカル0のロウ幅のMIN.値設定レジスタ (LGC0LL) CEC受信ロジカル0のロウ幅のMAX.値設定レジスタ (LGC0LH) CEC受信ロジカル1のロウ幅のMIN.値設定レジスタ (LGC1LL) CEC受信ロジカル1のロウ幅のMAX.値設定レジスタ (LGC1LH) CEC受信データ・ビットのビット幅のMIN.値設定レジスタ (DATBL) CEC受信データ・ビットのビット幅のMAX.値設定レジスタ (DATBH) CEC送信スタート・ビットのロウ幅設定レジスタ (STATL) CEC送信スタート・ビットのビット幅設定レジスタ (STATB) CEC送信ロジカル0のロウ幅設定レジスタ (LGC0L) CEC送信ロジカル1のロウ幅設定レジスタ (LGC1L) CEC送信データ・ビットのビット幅設定レジスタ (DATB) CECデータ・ビット基準幅設定レジスタ (NOMP) CEC受信データ・サンプリング時間設定レジスタ (NOMT)

注1. レジスタに0を書き込むことは可能ですが、CEC送受信回路は正常な動作をしません。

2. 受信動作または送信動作のみの場合でも、バッファ・レジスタを除く全てのレジスタの設定をしてください。
3. それぞれのレジスタ設定値には、大小関係が必須のレジスタが存在します。以下の関係を守るようにレジスタ設定してください。

- ・ STATL < STATB
- ・ LGC1L < LGC0L < DATB
- ・ STATLL < STATLH
- ・ STATBL < STATBH
- ・ LGC0LL < LGC0LH
- ・ LGC1LL < LGC1LH
- ・ DATBL < DATBH

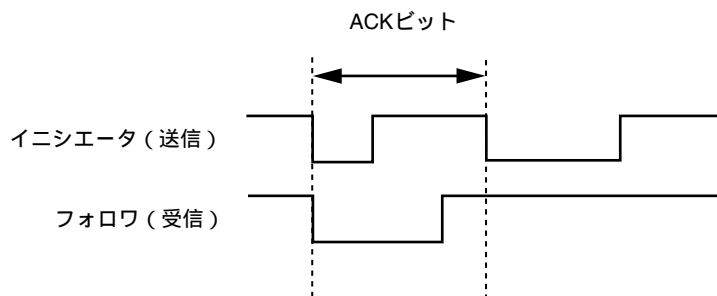
13.3 用語の説明

- ・イニシエータ (Initiator) : CECメッセージを送信する, または送信中のデバイス
- ・フォロワ (Follower) : CECメッセージを受信する, または受信中のデバイス
- ・メッセージ (Message) : スタート・ビットからオペランドまでのすべてのデータ
- ・イニシエータ・アドレス (Initiator Address) : 送り元アドレス
- ・デスティネーション・アドレス (Destination Address) : 送り先アドレス
- ・ダイレクト・アドレス通信 (ダイレクト・アドレス・メッセージ) : フォロワが1つの通信
- ・ブロードキャスト通信 (ダイレクト・アドレス・メッセージ) : フォロワが複数の通信
- ・アービトレーション : 複数のイニシエータがある場合, CECラインにロウ・レベルを出力したデバイスを優先すること
- ・アービトレーション負け : 競合デバイスが優先された状態。このとき, 自局は送信を停止する
- ・バス・フリー : 通信が行われていない状態。送信可能状態。
- ・バス・ビジー : 通信中
- ・エラー・ハンドリング : 設定したデータ・ビットのビット幅よりも短いビット幅を受信した場合, エラー・パルス (ビット幅 × 1.5倍の幅のロウ・レベル) を出力し, 通信待機状態に遷移する。

ACKビットのタイミングで受信する論理レベルは次のようにします。

- ・ACK : ロジカル0を出力
- ・NACK : ロジカル1を出力

例) ACKビット期間にイニシエータがロジカル1を, フォロワがロジカル0を出力する場合
イニシエータは, NACKを送信。フォロワは, ACKを送信



13.4 CEC送受信回路を制御するレジスタ

CEC送受信回路は、次のレジスタで制御します。

- ・周辺イネーブル・レジスタ1 (PER1)
- ・CEC自局アドレス設定レジスタ (CADR)
- ・CEC送信バッファ・レジスタ (CTXD)
- ・CEC受信バッファ・レジスタ (CRXD)
- ・CECコントロール・レジスタ0 (CECCTL0)
- ・CECコントロール・レジスタ1 (CECCTL1)
- ・CEC通信ステータス・レジスタ (CECS)
- ・CEC通信エラー・ステータス・レジスタ (CECES)
- ・CEC通信エラー・フラグ・クリア・トリガ・レジスタ (CECFC)
- ・ポート・ファンクション・レジスタ6 (PF6)
- ・ポート・ファンクション・レジスタ11 (PF11)

(1) 周辺イネーブル・レジスタ1 (PER1)

PER1は、各周辺ハードウェア・マクロの使用可否を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

CEC送受信回路を使用するときは、必ずビット4 (CECEN) を1に設定してください。

PER1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図13-2 周辺イネーブル・レジスタ1 (PER1) のフォーマット

アドレス : F00F1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	0	0	REMEM	CECEN	0	0	0	0

CECEN	CEC送受信回路の入力クロックの制御
0	入力クロック供給停止 ・CEC送受信回路で使用するSFRへのライト不可 ・CEC送受信回路はリセット状態
1	入力クロック供給 ・CEC送受信回路で使用するSFRへのリード/ライト可

注意1. CEC送受信回路の設定をする際には、必ず最初にCECEN = 1の設定を行ってください。CECEN = 0の場合は、CEC送受信回路の制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります。

2. PER1レジスタのビット0-3, 6, 7には必ず0を設定してください。

(2) CEC自局アドレス設定レジスタ (CADR)

CADRは自局アドレスを設定する16ビットのレジスタです。CADRは受信時にのみ有効となるレジスタで、ADR00-ADR14ビットがそれぞれCECのロジカル・アドレス0～14に対応し、最大15個の自局アドレスを設定することができます。アドレス15に設定する場合は、ADR00-ADR14ビットをすべて0に設定してください。なお、ブロードキャスト・アドレスは常に自局アドレスとして動作します。

例えば、アドレス0を自局アドレスとして使用する場合は、ADR00ビットに1を設定します。

CADRは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図13-3 CEC自局アドレス設定レジスタ (CADR) のフォーマット (1/2)

アドレス : F0300H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CADR	0	ADR	ADR	ADR	ADR	ADR	ADR	ADR	ADR	ADR	ADR	ADR	ADR	ADR	ADR	ADR
		14	13	12	11	10	09	08	07	06	05	04	03	02	01	00

ADR00	アドレス0 (TV)
0	自局アドレスに設定しない
1	自局アドレスに設定する

ADR01	アドレス1 (Recording Device1)
0	自局アドレスに設定しない
1	自局アドレスに設定する

ADR02	アドレス2 (Recording Device2)
0	自局アドレスに設定しない
1	自局アドレスに設定する

ADR03	アドレス3 (Tuner1)
0	自局アドレスに設定しない
1	自局アドレスに設定する

ADR04	アドレス4 (Playback Device1)
0	自局アドレスに設定しない
1	自局アドレスに設定する

ADR05	アドレス5 (Audio System)
0	自局アドレスに設定しない
1	自局アドレスに設定する

ADR06	アドレス6 (Tuner2)
0	自局アドレスに設定しない
1	自局アドレスに設定する

図13 - 3 CEC自局アドレス設定レジスタ (CADR) のフォーマット (2/2)

アドレス : F0300H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CADR	0	ADR 14	ADR 13	ADR 12	ADR 11	ADR 10	ADR 09	ADR 08	ADR 07	ADR 06	ADR 05	ADR 04	ADR 03	ADR 02	ADR 01	ADR 00

ADR07	アドレス7 (Tuner3)
0	自局アドレスに設定しない
1	自局アドレスに設定する

ADR08	アドレス8 (Playback Device2)
0	自局アドレスに設定しない
1	自局アドレスに設定する

ADR09	アドレス9 (Recording Device3)
0	自局アドレスに設定しない
1	自局アドレスに設定する

ADR10	アドレス10 (Tuner4)
0	自局アドレスに設定しない
1	自局アドレスに設定する

ADR11	アドレス11 (Playback Device3)
0	自局アドレスに設定しない
1	自局アドレスに設定する

ADR12	アドレス12 (Reserved)
0	自局アドレスに設定しない
1	自局アドレスに設定する

ADR13	アドレス13 (Reserved)
0	自局アドレスに設定しない
1	自局アドレスに設定する

ADR14	アドレス14 (Specific Use)
0	自局アドレスに設定しない
1	自局アドレスに設定する

注意 アドレス15 (Unregistered) に設定する場合は, ADR00-ADR14ビットをすべて0に設定してください。

(3) CEC送信バッファ・レジスタ (CTXD)

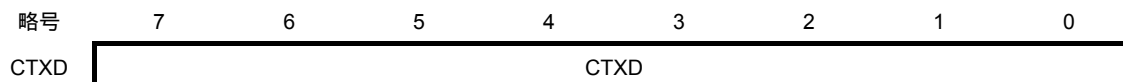
CTXDは送信データを設定する8ビットのレジスタです。ビット7から順に8ビット分のデータを送信します。ヘッダ・ブロック、データ・ブロックの先頭のタイミングで送受信割り込み要求信号 (INTDA) が発生します。INTDA発生後、送信が完了するまでにCTXDに次のデータを書き込むことで連続した送信が可能です。

CTXDは、8ビット・メモリ操作命令で操作します。

リセット信号の発生により、00Hになります。

図13-4 CEC送信バッファ・レジスタ (CTXD) のフォーマット

アドレス : FFF78H リセット時 : 00H R/W



注意 アンダラン・エラーが発生 (UERR = 1) した場合、送信は継続しません。エラー割り込みを発生し送信待ち状態になります。

(4) CEC受信バッファ・レジスタ (CRXD)

CRXDは受信データを保持する8ビットのレジスタです。

本レジスタをリードすることで、受信データをリードすることが可能です。

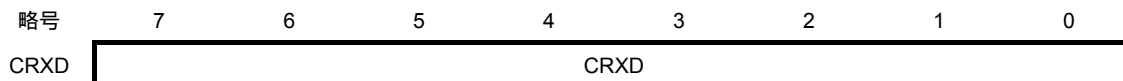
データを1バイト受信するごとにCEC受信シフト・レジスタから新たなデータが転送されます。

CRXDは、8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00Hになります。

図13-5 CEC受信バッファ・レジスタ (CRXD) のフォーマット

アドレス : FFF79H リセット時 : 00H R



注意 オーバラン・エラーが発生 (OERR = 1) した場合、受信バッファ・レジスタのデータは上書きされます。

(5) CECコントロール・レジスタ0 (CECCTL0)

CECCTL0は、動作許可、送信開始、動作クロックの選択を行うレジスタです。

CECCTL0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で操作します。

リセット信号の発生により、00Hになります。

図13 - 6 CECコントロール・レジスタ0 (CECCTL0) のフォーマット (1/2)

アドレス : FFF7DH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CECCTL0	CECE	ACKTEN	CCL2	CCL1	CCL0	TXTRG	CECRXEN	EOM

CECE	CEC動作イネーブル・フラグ
0	CEC動作停止 CECE = 0にしても、制御レジスタをリセットしません。
1	CEC送受信動作許可

ACKTEN	ACKビット・タイミング・エラー (ビット幅) チェック許可
0	ACKビットのタイミング・エラー (ビット幅) を検出しません。
1	ACKビットのタイミング・エラー (ビット幅) を検出する。 ^{注1}

CCL2	CCL1	CCL0	ソース・クロック (f_{CEC}) 選択 ^{注2, 3}
0	0	0	$f_{CLK}/2^5$
0	0	1	$f_{CLK}/2^6$
0	1	0	$f_{CLK}/2^7$
0	1	1	$f_{CLK}/2^8$
1	0	0	f_{SUB} (32.768 kHz)
1	0	1	$f_{SUB} \times 2$ (32.768 kHz $\times 2$)
上記以外			設定禁止

注1. ACKビットのロウ・レベル幅 (LGC0LL/LGC0LH/LGC1LL/LGC1LH設定値) に加え、ビット幅 (DATBL/DATBH設定値) のタイミング・エラーを検出します。ただし、最終フレーム (EOM = 1) のACKビットは、ACKTEN = 1でもビット幅MAX.値 (DATBH) のチェックを行いません。

2. CECE = 0のときのみ書き換え可能です。

3. CECカウンタのソース・クロックは、7.8125-78.125 kHzに設定してください。CECカウンタのソース・クロックの設定例を次に示します。

CEC動作 クロック	CECカウンタのソース・クロック (f_{CEC})					
	$f_{CLK} = 20$ MHz 時	$f_{CLK} = 16$ MHz 時	$f_{CLK} = 12$ MHz 時	$f_{CLK} = 10$ MHz 時	$f_{CLK} = 8$ MHz 時	$f_{CLK} = 2$ MHz 時
$f_{CLK}/2^5$	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	62.5 kHz
$f_{CLK}/2^6$	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	31.25 kHz
$f_{CLK}/2^7$	設定禁止	設定禁止	設定禁止	78.125 kHz	62.5 kHz	15.625 kHz
$f_{CLK}/2^8$	78.125 kHz	62.5 kHz	46.875 kHz	39.0625 kHz	31.25 kHz	7.8125 kHz
f_{SUB}	32.768 kHz ($f_{SUB} = 32.768$ kHz動作時)					
$f_{SUB} \times 2$	65.536 kHz ($f_{SUB} = 32.768$ kHz動作時)					

備考1. f_{CEC} : CECカウンタのソース・クロック (ビット5-3 (CCL2-CCL0) で選択)

2. f_{CLK} : 周辺ハードウェア・クロック発振周波数

3. f_{SUB} : サブシステム・クロック発振周波数

図13 - 6 CECコントロール・レジスタ0 (CECTL0) のフォーマット (2/2)

アドレス : FFF7DH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CECTL0	CECE	ACKTEN	CCL2	CCL1	CCL0	TXTRG	CECRXEN	EOM

TXTRG	送信開始トリガ・ビット ^{注1, 2}
0	CEC送信を開始しない。(読み出すと常に0です。0書き込みは意味を持ちません。)
1	CECE = 1の状態では、CEC送信を開始します。

CECRXEN	受信拒否制御ビット ^{注3, 4, 5}																
1	受信継続を許可または正常受信を通知する(通常はこちらを選択)																
	<table border="1"> <tr> <td>受信状態</td> <td></td> <td>ACK/NACK タイミングの出力</td> </tr> <tr> <td rowspan="2">ダイレクト・アドレス受信時(自局宛)</td> <td>正常受信</td> <td>ACK</td> </tr> <tr> <td>タイミング・エラー発生</td> <td>NACK</td> </tr> <tr> <td rowspan="2">ブロードキャスト・アドレス受信</td> <td>正常受信</td> <td>NACK</td> </tr> <tr> <td>タイミング・エラー発生</td> <td>ACK</td> </tr> <tr> <td>ダイレクト・アドレス受信時(他局宛)</td> <td colspan="2">通信不参加(ハイ・インピーダンス)</td> </tr> </table>	受信状態		ACK/NACK タイミングの出力	ダイレクト・アドレス受信時(自局宛)	正常受信	ACK	タイミング・エラー発生	NACK	ブロードキャスト・アドレス受信	正常受信	NACK	タイミング・エラー発生	ACK	ダイレクト・アドレス受信時(他局宛)	通信不参加(ハイ・インピーダンス)	
受信状態		ACK/NACK タイミングの出力															
ダイレクト・アドレス受信時(自局宛)	正常受信	ACK															
	タイミング・エラー発生	NACK															
ブロードキャスト・アドレス受信	正常受信	NACK															
	タイミング・エラー発生	ACK															
ダイレクト・アドレス受信時(他局宛)	通信不参加(ハイ・インピーダンス)																
0	受信継続を中止または異常受信を通知する																
	<table border="1"> <tr> <td>受信状態</td> <td></td> <td>ACK/NACK タイミングの出力</td> </tr> <tr> <td rowspan="2">ダイレクト・アドレス受信時(自局宛)</td> <td>正常受信</td> <td>NACK</td> </tr> <tr> <td>タイミング・エラー発生</td> <td>NACK</td> </tr> <tr> <td rowspan="2">ブロードキャスト・アドレス受信</td> <td>正常受信</td> <td>ACK</td> </tr> <tr> <td>タイミング・エラー発生</td> <td>ACK</td> </tr> <tr> <td>ダイレクト・アドレス受信時(他局宛)</td> <td colspan="2">通信不参加(ハイ・インピーダンス状態)</td> </tr> </table>	受信状態		ACK/NACK タイミングの出力	ダイレクト・アドレス受信時(自局宛)	正常受信	NACK	タイミング・エラー発生	NACK	ブロードキャスト・アドレス受信	正常受信	ACK	タイミング・エラー発生	ACK	ダイレクト・アドレス受信時(他局宛)	通信不参加(ハイ・インピーダンス状態)	
受信状態		ACK/NACK タイミングの出力															
ダイレクト・アドレス受信時(自局宛)	正常受信	NACK															
	タイミング・エラー発生	NACK															
ブロードキャスト・アドレス受信	正常受信	ACK															
	タイミング・エラー発生	ACK															
ダイレクト・アドレス受信時(他局宛)	通信不参加(ハイ・インピーダンス状態)																

EOM	EOM設定ビット
0	送信継続
1	最終フレーム

注1. TXTRGはトリガ・ビットであり、リード値は常に0になります。

2. CECの送信が終了するまで、TXTRGビットへの書き込み操作を禁止します。

TXTRG = 1にセットするときはバス・フリー状態(BUSST = 0)のときに設定してください。TXTRG = 1にセット後、最大 f_{CEC} の2クロック後に送信が始まります。

3. 通信中(BUSST = 1)のCECRXENビットの書き換えは禁止です。

4. CECRXEN = 0に設定すると、次のACK/NACKタイミングで受信拒否通知を行い、通信待機状態になります。

5. 自局アドレス決定後(CADRレジスタ設定後)、CECRXEN = 1に設定してください。

(6) CECコントロール・レジスタ1 (CECCTL1)

CECCTL1は、デジタル・フィルタの選択、データ割り込み発生の選択、スタート・ビットのエラー割り込みの選択、通信完了割り込みの発生有無、および発生タイミングを選択するレジスタです。

CECCTL1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で操作します。

リセット信号の発生により、00Hになります。

図13-7 CECコントロール・レジスタ1 (CECCTL1) のフォーマット (1/2)

アドレス：F0302H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CECCTL1	CDFC	CINTMK	BLERRD	STERRD	CESEL1	CESEL0	SFT1	SFT0

CDFC	デジタル・フィルタ選択ビット ^{注1, 2}
0	デジタル・フィルタを使用しない。
1	デジタル・フィルタを使用し、 f_{CEC} の1クロック分のノイズを除去します。

CINTMK	CECデータ割り込み (INTDA) 発生選択レジスタ ^{注1, 3}	
0	デスティネーション・アドレスが自局アドレスと一致	データ割り込み (INTDA) を発生する
	デスティネーション・アドレスが自局アドレスと一致しない	データ割り込み (INTDA) を発生しない
1	デスティネーション・アドレスが自局アドレスと一致	データ割り込み (INTDA) を発生する
	デスティネーション・アドレスが自局アドレスと一致しない	

注1. CECE = 0のときのみ書き換え可能です。

2. デジタル・フィルタ使用時のノイズ除去幅の設定例を次に示します。

CEC動作	デジタル・フィルタによるノイズ除去幅					
クロック (f_{CEC})	$f_{CLK} = 20 \text{ MHz}$ 時	$f_{CLK} = 16 \text{ MHz}$ 時	$f_{CLK} = 12 \text{ MHz}$ 時	$f_{CLK} = 10 \text{ MHz}$ 時	$f_{CLK} = 8 \text{ MHz}$ 時	$f_{CLK} = 2 \text{ MHz}$ 時
$f_{CLK}/2^5$	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	16 μs
$f_{CLK}/2^6$	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	32 μs
$f_{CLK}/2^7$	設定禁止	設定禁止	設定禁止	12.8 μs	16 μs	64 μs
$f_{CLK}/2^8$	12.8 μs	16 μs	21.3 μs	25.6 μs	32 μs	128 μs
f_{SUB}	30.5 μs ($f_{SUB} = 32.768 \text{ kHz}$ 動作時)					
$f_{SUB} \times 2$	15.2 μs ($f_{SUB} = 32.768 \text{ kHz}$ 動作時)					

3. CINTMKビットを設定することで、受信時においてデスティネーション・アドレスが自局アドレスと不一致の場合のヘッダ・ブロックのデータ割り込み (INTDA) 発生有無を選択します。詳細は13.7.5 CEC受信を参照してください。

備考1. f_{CEC} : CECカウンタのソース・クロック (CECCTL0レジスタのビット5-3 (CCL2-CCL0) で選択)

2. f_{CLK} : 周辺ハードウェア・クロック発振周波数

3. f_{SUB} : サブシステム・クロック発振周波数

図13 - 7 CECコントロール・レジスタ1 (CECCTL1) のフォーマット (2/2)

アドレス : F0302H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CECCTL1	CDFC	CINTMK	BLERRD	STERRD	CESEL1	CESEL0	SFT1	SFT0

BLERRD	バス・ロック検出選択ビット ^{注1, 2}
0	受信データのハイおよびロウ・レベル張り付きを検出しない。
1	受信データのハイおよびロウ・レベル張り付きを検出する。

STERRD	スタート・ビットのエラー検出選択ビット ^{注1, 3}
0	スタート・ビット受信中のタイミング・エラーを検出しない。
1	スタート・ビット受信中のタイミング・エラーを検出する (推奨)。

CESEL1	CESEL0	通信完了割り込み (INTCE) 発生タイミング ^{注1}
0	0	EOM = 1を検出し, ACK送信 / 受信完了後と, SFT1, SFT0で設定したシグナル・フリー・タイムの検出後の2回通信完了割り込みを発生
0	1	EOM = 1を検出し, ACK送信 / 受信完了後に通信完了割り込みを発生
1	0	SFT1, SFT0で設定したシグナル・フリー・タイム検出後に通信完了割り込みを発生
1	1	設定禁止

SFT1	SFT0	シグナル・フリー・タイムのデータ・ビット幅 ^{注4}
0	0	3データ・ビット幅のシグナル・フリー・タイム
0	1	5データ・ビット幅のシグナル・フリー・タイム
1	0	7データ・ビット幅のシグナル・フリー・タイム
1	1	シグナル・フリー・タイムを検出しない

注1. CECE = 0のときのみ書き換え可能です。

- BLERRDに1を設定すると, CECラインのバス・ロック状態を検出できます。通信待機状態を除いたCECラインの立ち下がりエッジ待ち状態で, NOMPLレジスタで設定した1データ・ビット幅の2.5倍の期間, 次の立ち下がりエッジが入力されない場合, エラー割り込み (INTERR) を発生し, バス・ロック・エラー・フラグ (BLERR) をセットします。その後, 通信待機状態に遷移します。
- スタート・ビット受信時のタイミング・エラーを検出する / しないを設定します。
STERRD = 1に設定することで, STATLL/STATLH/STATBL/STATBH各レジスタ設定値にしたがって, スタート・ビットのタイミング・エラーを検出することが可能です。タイミング・エラーが発生した場合, そのスタート・ビットを無効と判断し通信待機状態になります。STERRD = 0の場合, タイミング・エラーを検出しません。すべてのパルスをスタート・ビットと判定します。
- CECSレジスタのSFTST = 0のときのみ書き換え可能です。
シグナル・フリー・タイムの1データ・ビット幅はNOMPLレジスタで設定します。

(7) CEC通信ステータス・レジスタ (CECS)

CECSは、CECの通信状態を示すレジスタです。

CECSは8ビット・メモリ操作命令で読み出します。

CECE = 0またはリセット信号の発生により、00Hになります。

図13 - 8 CEC通信ステータス・レジスタ (CECS) のフォーマット (1/2)

アドレス : FFF7BH リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
CECS	SFTST	0	0	ITCEF	EOMF	TXST	BUSST	ADRF

SFTST	シグナル・フリー・タイム書き換え禁止通知フラグ
0	SFT1, SFT0書き換え許可 次の場合にSFTST = 0にクリアします。 ・ CECE = 0のとき ・ SFT1, SFT0の書き換え禁止期間を超過したとき (禁止期間は最大で f_{CEC} の3クロック)。
1	SFT1, SFT0書き換え禁止 次の場合SFTST = 1にセットします。 ・ SFT1, SFT0ビット (CECCTL1レジスタ) へのライト・アクセス時。

ITCEF	INTCE発生要因フラグ
0	シグナル・フリー・タイム・カウント完了でINTCEが発生
1	通信完了またはエラー検出でINTCEが発生

CESEL1, CESEL0 = 0, 0設定時のみ有効です。
INTCE発生後にITCEFを確認することで、どちらの発生要因だったかを判定できます (図13 - 9参照)。

EOMF	EOMフラグ
0	直前に受信したEOMビットがロジカル0
1	直前に受信したEOMビットがロジカル1

TXST	送信ステータス・フラグ
0	通信待機中、もしくは受信動作中 (フォロワー動作中)
1	送信動作中 (イニシエータ動作中)

BUSST	バス・ビジー検出フラグ
0	バス・フリー状態。 次の場合にBUSST = 0にリセットされます。 ・ CECE = 0のとき、バス状態に関係なくBUSST = 0にリセットします。 ・ 通信終了後、SFT1, SFT0ビットで設定したシグナル・フリー・タイムを超過した場合 (図13 - 10参照)。
1	バス・ビジー状態。 次の場合にBUSST = 1にセットされます。 ・ CECラインの立ち下がりを検出したとき (図13 - 11参照)。 ・ 受信およびスタンバイ期間中にCECE=1にセットしたとき (図13 - 12参照)。

図13 - 8 CEC通信ステータス・レジスタ (CECS) のフォーマット (2/2)

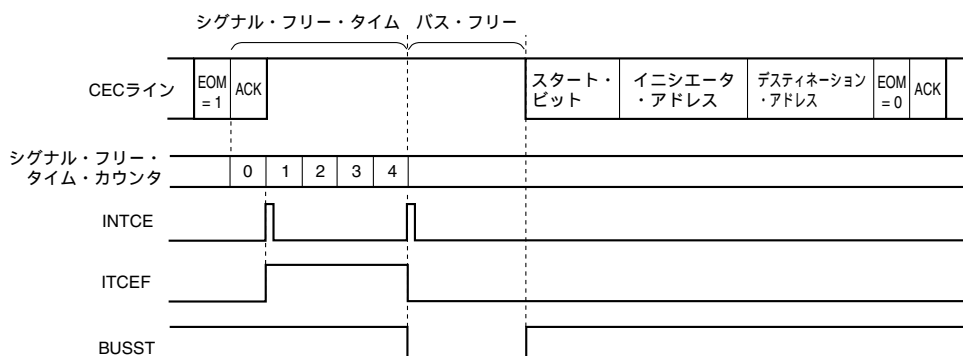
アドレス : FFF7BH リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
CECS	SFTST	0	0	ITCEF	EOMF	TXST	BUSST	ADRF

ADRF	アドレス一致検出フラグ
0	他局間通信中, もしくは通信停止中, もしくは自局送信中。 次の場合にADRF = 0にリセットされます。 ・ CECE = 0のとき ・ 受信が完了したとき
1	自局宛の受信時。 次の場合にADRF = 1にセットされます。 ・ 自局アドレスと受信デスティネーション・アドレスが一致したとき。 ・ ブロードキャスト・アドレスを受信したとき。

図13 - 9 CESEL0, CESEL1 = 0, 0時のITCEFによるINTCE発生要因確認

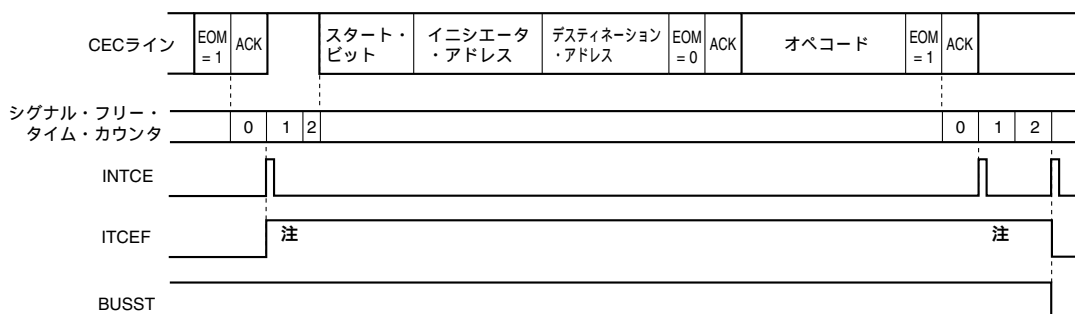
(1) シグナル・フリー・タイム・カウント完了後、受信動作を開始した場合



ITCEF = 1ならばACK受信完了でのINTCE発生 ()

ITCEF = 0ならばシグナル・フリー・タイム・カウント完了でのINTCE発生 ()

(2) シグナル・フリー・タイム中に受信動作を開始した場合



注 シグナル・フリー・タイム・カウント完了でINTCEが発生するまで, ITCEF = 1に保持されます。

図13 - 10 通信終了後，SFT1, SFT0ビットで設定したシグナル・フリー・タイムを経過した場合のタイミング

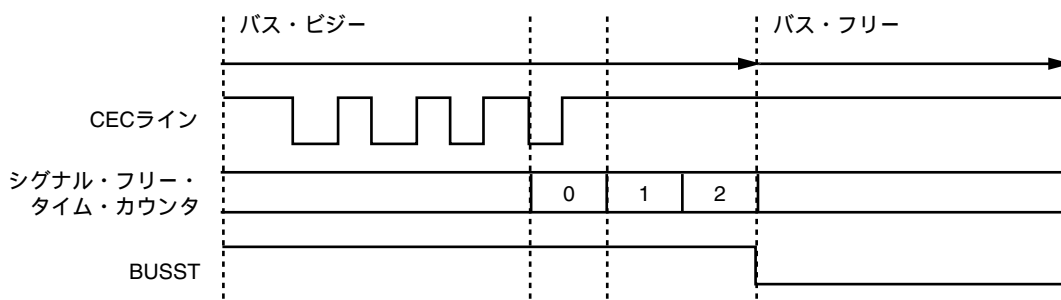


図13 - 11 CECラインの立ち下がり検出タイミング

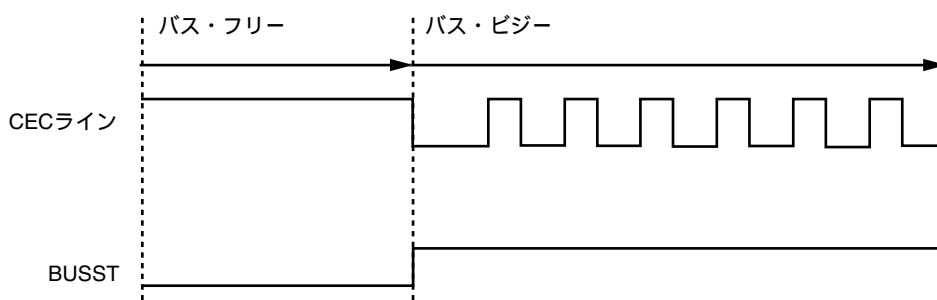
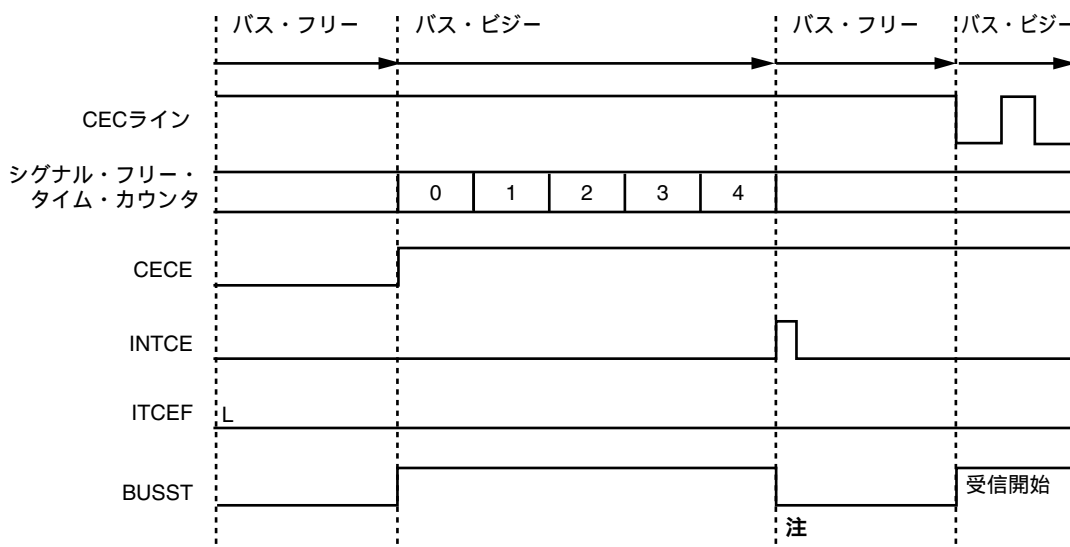


図13 - 12 受信およびスタンバイ期間中にCECE = 1にセットしたときのタイミング



注 シグナル・フリー・タイムをカウント中に受信動作が開始した場合は，BUSSTはクリアされません。

(8) CEC通信エラー・ステータス・レジスタ (CECES)

CECESは、バス・ロック・エラー検出、アービトレーション負け検出、送信エラー検出、タイミング・エラー検出、ACKエラー検出、アンダラン・エラー検出、オーバラン・エラー検出を示すレジスタです。

CECESは、8ビット・メモリ操作命令で読み出します。

CECE = 0またはリセット信号の発生により、00Hになります。

図13 - 13 CEC通信エラー・ステータス・レジスタ (CECES) のフォーマット (1/2)

アドレス：FFF7AH リセット時：00H R

略号	7	6	5	4	3	2	1	0
CECES	0	BLERR	AERR	TXERR	TERR	ACKERR	UERR	OERR

BLERR	バス・ロック・エラー検出フラグ
0	バス・ロック・エラーが発生していない。 次の場合にBLERR = 0にクリアされます。 ・ BLCTRG = 1に設定したとき
1	バス・ロック・エラーが発生している。 次の場合に BLERR = 1 にセットされます。 ・ フレームの途中でCEC受信信号がロウ・レベルまたは、ハイ・レベルに固定されたとき CEC受信信号立ち下がりエッジから、NOMPレジスタで設定した1データ・ビット幅の2.5倍の時間、次の立ち下がりエッジが入力されないとエラーを検出します。

AERR	アービトレーション負け検出フラグ
0	アービトレーション負けが発生していない。もしくは通信停止中。 次の場合にAERR = 0にリセットされます。 ・ ACTRG = 1のとき
1	アービトレーション負け。 次の場合にAERR = 1にセットされます。 ・ スタート・ビット送信中から送り元アドレス送信中の期間に、アービトレーション負けしたとき

TXERR	送信エラー検出フラグ ^注
0	送信エラーが発生していない。 次の場合にTXERR = 0にリセットされます。 ・ TXCTRG = 1のとき
1	送信エラーが発生した。 次の場合にTXERR = 1にセットされます。 ・ イニシエータ動作時、送信データと受信データの論理比較を行い異なった場合。

注 スタート・ビット、ACKビット期間は送信エラーを検出しません。

図13 - 13 CEC通信エラー・ステータス・レジスタ (CECES) のフォーマット (2/2)

アドレス : FFF7AH リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
CECES	0	BLERR	AERR	TXERR	TERR	ACKERR	UERR	OERR

TERR	タイミング・エラー検出フラグ
0	タイミング・エラー発生していない。 以下の場合にTERR = 0にリセットされます。 ・ TCTRG = 1のとき
1	タイミング・エラー発生した。 以下の場合にTERR = 1にセットされます。 ・ 受信したデータのタイミング・チェックで違反が検出されたとき。

ACKERR	ACKエラー検出フラグ
0	ACKエラーが発生していない。 次の場合にACKERR = 0にリセットされます。 ・ ACKCTRG = 1のとき
1	ACKエラーが発生した。 次の場合にACKERR = 1にセットされます。 ・ ダイレクト・アドレス通信時に, NACK (ロジカル1) を受信したとき ・ ブロードキャスト通信時に, ACK (ロジカル0) を受信したとき ・ ロジカル・アドレス・アロケーション送信時に, NACK (ロジカル1) を受信したとき

UERR	アンダラン・エラー検出フラグ
0	アンダラン・エラーが発生していない。 次の場合にUERR = 0にリセットされます。 ・ UECTRG = 1のとき
1	アンダラン・エラーが発生した。 次の場合にUERR = 1にセットされます。 ・ データ割り込み (INTDA) 発生後, 次のデータ割り込み (INTDA) が発生するまでに, 送信バッファ・レジスタ (CTXD) に送信データを書かなかったとき。

OERR	オーバラン・エラー検出フラグ
0	オーバラン・エラーが発生していない。 次の場合にOERR = 0にリセットされます。 ・ OCTRG = 1のとき
1	オーバラン・エラーが発生した。 次の場合にOERR = 1にセットされます。 ・ 受信バッファ・レジスタ (CRXD) に格納された受信データを読み出す前に, 次の受信動作が完了したとき

(9) CEC通信エラー・フラグ・クリア・トリガ・レジスタ (CEFC)

CEFCは、通信エラー・ステータス・レジスタ (CEGES) に書かれたエラー・フラグをクリアするレジスタです。各フラグに“1”をセットすることで、セットされたビットのみクリアすることができます。

CEFCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で操作します。

リセット信号の発生により、00Hになります。

図13 - 14 CEC通信エラー・フラグ・クリア・トリガ・レジスタ (CEFC) のフォーマット

アドレス：FFF7CH リセット時：00H RW

略号	7	6	5	4	3	2	1	0
CEFC	0	BLCTRG	ACTRG	TXCTRG	TCTRG	ACKCTRG	UCTRG	OCTRG

BLCTRG	バス・ロック・エラー・クリア・トリガ
0	バス・ロック・エラー・フラグをクリアしない
1	バス・ロック・エラー・フラグをクリアする

ACTRG	アービトレーション負けフラグ・クリア・トリガ
0	アービトレーション負けフラグをクリアしない。
1	アービトレーション負けフラグをクリアする

TXCTRG	送信エラー・フラグ・クリア・トリガ
0	送信エラー・フラグをクリアしない
1	送信エラー・フラグをクリアする

TCTRG	タイミング・エラー・フラグ・クリア・トリガ
0	タイミング・エラー・フラグをクリアしない
1	タイミング・エラー・フラグをクリアする

ACKCTRG	ACKエラー・フラグ・クリア・トリガ
0	ACKエラー・フラグをクリアしない
1	ACKエラー・フラグをクリアする

UCTRG	アンダラン・エラー・フラグ・クリア・トリガ
0	アンダラン・エラー・フラグをクリアしない
1	アンダラン・エラー・フラグをクリアする

OCTRG	オーバラン・エラー・フラグ・クリア・トリガ
0	オーバラン・エラー・フラグをクリアしない
1	オーバラン・エラー・フラグをクリアする

(10) ポート・ファンクション・レジスタ6 (PF6)

ポート6のP62/CECIO端子を入出力ポート・モード / CECIOモードのどちらで使用するかを設定するレジスタです。

PF6レジスタとポート入力モード・レジスタ6 (PIM6) の設定により、通常入力バッファまたはCEC入力バッファに指定できます。

PF6レジスタとプルアップ抵抗オプション・レジスタ6 (PU6) の設定により、ダイオード接続を使用するかを設定できます。

PF6は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で操作します。

リセット信号の発生により、00Hになります。

図13 - 15 ポート・ファンクション・レジスタ6 (PF6) のフォーマット

アドレス : F0076H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PF6	0	0	0	0	0	PF62	0	0

PF62	P62端子の動作モード選択
0	入出力ポート・モード
1	CECIOモード

図13 - 16 PF6レジスタとPIM6レジスタ, PU6レジスタの関係

PF62	PIM62	入力バッファの選択
0	0	通常入力バッファ
0	1	
1	0	
1	1	CEC入力バッファ

PF62	PU62	入力バッファの選択
0	0	プルアップ抵抗 + ダイオードを接続しない
0	1	
1	0	
1	1	プルアップ抵抗 + ダイオードを接続

注意1. CECIO端子とCECIN/CECOUT端子の同時使用は禁止です。

PF62 = 1のとき, PF110, PF111に1を設定しないでください。

PF110 = 1, PF111 = 1のとき, PF62に1を設定しないでください。

2. PF62 = 1に設定した場合, PM62 = 0, P62 = 1に設定してください。

(11) ポート・ファンクション・レジスタ11 (PF11)

ポート11のP110/CECIN端子を入出力ポート・モード / CECINモードのどちらで使用するかを設定するレジスタです。

ポート11のP111/CECOUT端子を入出力ポート・モード / CECOUTモードのどちらで使用するかを設定するレジスタです。

PF11は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で操作します。

リセット信号の発生により、00Hになります。

図13 - 17 ポート・ファンクション・レジスタ11 (PF11) のフォーマット

アドレス : F007BH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PF11	0	0	0	0	0	0	PF111	PF110

PF110	P110端子の動作モード選択
0	入出力ポート・モード
1	CECINモード

PF111	P111端子の動作モード選択
0	入出力ポート・モード
1	CECOUTモード

注意 CECIO端子とCECIN/CECOUT端子の同時使用は禁止です。

PF62 = 1のとき、PF110、PF111に1を設定しないでください。

PF110 = 1、PF111 = 1のとき、PF62に1を設定しないでください。

13.5 スタート・ビットとデータ・ビットのレジスタ

13.5.1 CEC送信データのロウ・レベル幅/ビット幅設定

送信データのロウ・レベル幅，ビット幅を次のレジスタで設定します。

(1) CEC送信スタート・ビットのロウ幅設定レジスタ (STATL)

送信時のスタート・ビットのロウ・レベル幅を設定する9ビットのレジスタです。

STATLは，16ビット・メモリ操作命令で設定します。CECE = 0のときのみ書き換え可能です。

リセット信号の発生により，0000Hになります。

図13 - 18 CEC送信スタート・ビットのロウ幅設定レジスタ (STATL) のフォーマット

アドレス : F0306H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STATL	0	0	0	0	0	0	0	STATL8-STATL0								

備考 ロウ・レベル幅 = (STATL8-STATL0設定値 + 1) × f_{CEC}のクロック周期

(2) CEC送信スタート・ビットのビット幅設定レジスタ (STATB)

送信時のスタート・ビットのビット幅を設定する9ビットのレジスタです。

STATBは，16ビット・メモリ操作命令で設定します。CECE = 0のときのみ書き換え可能です。

リセット信号の発生により，0000Hになります。

図13 - 19 CEC送信スタート・ビットのビット幅設定レジスタ (STATB) のフォーマット

アドレス : F0304H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STATB	0	0	0	0	0	0	0	STATB8-STATB0								

備考 ビット幅 = (STATB8-STATB0設定値 + 1) × f_{CEC}のクロック周期

(3) CEC送信ロジカル0のロウ幅設定レジスタ (LGC0L)

送信時のロジカル0のロウ・レベル幅を設定する9ビットのレジスタです。

LGC0Lは，16ビット・メモリ操作命令で設定します。CECE = 0のときのみ書き換え可能です。

リセット信号の発生により，0000Hになります。

図13 - 20 CEC送信ロジカル0のロウ幅設定レジスタ (LGC0L) のフォーマット

アドレス : F0308H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LGC0L	0	0	0	0	0	0	0	LGC0L8-LGC0L0								

備考 ロウ・レベル幅 = (LGC0L8-LGC0L0設定値 + 1) × f_{CEC}のクロック周期

(4) CEC送信ロジカル1のロウ幅設定レジスタ (LGC1L)

送信時のロジカル1のロウ・レベル幅を設定する9ビットのレジスタです。

LGC1Lは、16ビット・メモリ操作命令で設定します。CECE = 0のときのみ書き換え可能です。

リセット信号の発生により、0000Hになります。

図13 - 21 CEC送信ロジカル1のロウ幅設定レジスタ (LGC1L) のフォーマット

アドレス : F030AH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LGC1L	0	0	0	0	0	0	0	LGC1L8-LGC1L0								

備考 ロウ・レベル幅 = (LGC1L8-LGC1L0設定値 + 1) × f_{CEC}のクロック周期

(5) CEC送信データ・ビットのビット幅設定レジスタ (DATB)

送信時のデータ・ビットのビット幅を設定する9ビットのレジスタです。

DATBは、16ビット・メモリ操作命令で設定します。CECE = 0のときのみ書き換え可能です。

リセット信号の発生により、0000Hになります。

図13 - 22 CEC送信データ・ビットのビット幅設定レジスタ (DATB) のフォーマット

アドレス : F030CH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATB	0	0	0	0	0	0	0	DATB8-DATB0								

備考 1データ・ビット幅 = (DATB8-DATB0設定値 + 1) × f_{CEC}のクロック周期

13.5.2 CEC受信データのタイミング・チェック

受信データのロウ・レベル幅，ビット幅のエラーを判定するタイミングを次のレジスタで設定します。

(1) CEC受信スタート・ビットのロウ幅のMIN.値設定レジスタ (STATLL)

受信時のスタート・ビットのロウ・レベル幅のMIN.値を検出する9ビットのレジスタです。

STATLLは，16ビット・メモリ操作命令で設定します。CECE = 0のときのみ書き換え可能です。

リセット信号の発生により，0000Hになります。

図13 - 23 CEC受信スタート・ビットのロウ幅のMIN.値設定レジスタ (STATLL) のフォーマット

アドレス：F0310H リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STATLL	0	0	0	0	0	0	0	STATLL8-STATLL0								

備考 ロウ・レベル幅 = (STATLL8-STATLL0設定値 + 1) × f_{CEC}のクロック周期

(2) CEC受信スタート・ビットのロウ幅のMAX.値設定レジスタ (STATLH)

受信時のスタート・ビットのロウ・レベル幅のMAX.値を検出する9ビットのレジスタです。

STATLHは，16ビット・メモリ操作命令で設定します。CECE = 0のときのみ書き換え可能です。

リセット信号の発生により，0000Hになります。

図13 - 24 CEC受信スタート・ビットのロウ幅のMAX.値設定レジスタ (STATLH) のフォーマット

アドレス：F0312H リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STATLH	0	0	0	0	0	0	0	STATLH8-STATLH0								

備考 ロウ・レベル幅 = (STATLH8-STATLH0設定値 + 1) × f_{CEC}のクロック周期

(3) CEC受信スタート・ビットのビット幅のMIN.値設定レジスタ (STATBL)

受信時のスタート・ビットのビット幅のMIN.値を設定する9ビットのレジスタです。

STATBLは，16ビット・メモリ操作命令で設定します。CECE = 0のときのみ書き換え可能です。

リセット信号の発生により，0000Hになります。

図13 - 25 CEC受信スタート・ビットのビット幅のMIN.値設定レジスタ (STATBL) のフォーマット

アドレス：F0314H リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STATBL	0	0	0	0	0	0	0	STATBL8-STATBL0								

備考 ビット幅 = (STATBL8-STATBL0設定値 + 1) × f_{CEC}のクロック周期

(4) CEC受信スタート・ビットのビット幅のMAX.値設定レジスタ (STATBH)

受信時のスタート・ビットのビット幅のMAX.値を設定するレジスタです。

STATBHは、16ビット・メモリ操作命令で設定します。CECE = 0のときのみ書き換え可能です。

リセット信号の発生により、0000Hになります。

図13 - 26 CEC受信スタート・ビットのビット幅のMAX.値設定レジスタ (STATBH) のフォーマット

アドレス : F0316H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STATBH	0	0	0	0	0	0	0	STATBH8-STATBH0								

備考 ビット幅 = (STATBH8-STATBH0設定値 + 1) × f_{CEC}のクロック周期

(5) CEC受信ロジカル0のロウ幅のMIN.値設定レジスタ (LGC0LL)

受信時のロジカル0のロウ・レベル幅のMIN.値を設定する9ビットのレジスタです。

LGC0LLは、16ビット・メモリ操作命令で設定します。CECE = 0のときのみ書き換え可能です。

リセット信号の発生により、0000Hになります。

図13 - 27 CEC受信ロジカル0のロウ幅のMIN.値設定レジスタ (LGC0LL) のフォーマット

アドレス : F0318H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LGC0LL	0	0	0	0	0	0	0	LGC0LL8-LGC0LL0								

備考 ロウ・レベル幅 = (LGC0LL8-LGC0LL0設定値 + 1) × f_{CEC}のクロック周期

(6) CEC受信ロジカル0のロウ幅のMAX.値設定レジスタ (LGC0LH)

受信時のロジカル0のロウ・レベル幅のMAX.値を設定する9ビットのレジスタです。

LGC0LHは、16ビット・メモリ操作命令で設定します。CECE = 0のときのみ書き換え可能です。

リセット信号の発生により、0000Hになります。

図13 - 28 CEC受信ロジカル0のロウ幅のMAX.値設定レジスタ (LGC0LH) のフォーマット

アドレス : F031AH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LGC0LH	0	0	0	0	0	0	0	LGC0LH8-LGC0LH0								

備考 ロウ・レベル幅 = (LGC0LH8-LGC0LH0設定値 + 1) × f_{CEC}のクロック周期

(7) CEC受信ロジカル1のロウ幅のMIN.値設定レジスタ (LGC1LL)

受信時のロジカル1のロウ・レベル幅のMIN.値を設定する9ビットのレジスタです。

LGC1LLは、16ビット・メモリ操作命令で設定します。CECE = 0のときのみ書き換え可能です。

リセット信号の発生により、0000Hになります。

図13 - 29 CEC受信ロジカル1のロウ幅のMIN.値設定レジスタ (LGC1LL) のフォーマット

アドレス : F031CH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LGC1LL	0	0	0	0	0	0	0	LGC1LL8-LGC1LL0								

備考 ロウ・レベル幅 = (LGC1LL8-LGC1LL0設定値 + 1) × f_{CEC}のクロック周期

(8) CEC受信ロジカル1のロウ幅のMAX.値設定レジスタ (LGC1LH)

受信時のロジカル1のロウ・レベル幅のMAX.値を設定する9ビットのレジスタです。

LGC1LHは、16ビット・メモリ操作命令で設定します。CECE = 0のときのみ書き換え可能です。

リセット信号の発生により、0000Hになります。

図13 - 30 CEC受信ロジカル1のロウ幅のMAX.値設定レジスタ (LGC1LH) のフォーマット

アドレス : F031EH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LGC1LH	0	0	0	0	0	0	0	LGC1LH8-LGC1LH0								

備考 ロウ・レベル幅 = (LGC1LH8-LGC1LH0設定値 + 1) × f_{CEC}のクロック周期

(9) CEC受信データ・ビットのビット幅のMIN.値設定レジスタ (DATBL)

受信時のデータ・ビットのビット幅のMIN.値を設定する9ビットのレジスタです。

DATBLは、16ビット・メモリ操作命令で設定します。CECE = 0のときのみ書き換え可能です。

リセット信号の発生により、0000Hになります。

図13 - 31 CEC受信データ・ビットのビット幅のMIN.値設定レジスタ (DATBL) のフォーマット

アドレス : F0320H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATBL	0	0	0	0	0	0	0	DATBL8-DATBL0								

備考 ビット幅 = (DATBL8-DATBL0設定値 + 1) × f_{CEC}のクロック周期

(10) CEC受信データ・ビットのビット幅のMAX.値設定レジスタ (DATBH)

受信時のデータ・ビットのビット幅のMAX.値を設定する9ビットのレジスタです。

DATBHは、16ビット・メモリ操作命令で設定します。CECE = 0のときのみ書き換え可能です。

リセット信号の発生により、0000Hになります。

図13 - 32 データ・ビットのビット幅のMAX.値設定レジスタ (DATBH) のフォーマット

アドレス : F0322H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATBH	0	0	0	0	0	0	0	DATBH8-DATBH0								

備考 ビット幅 = (DATBH8-DATBH0設定値 + 1) × f_{CEC}のクロック周期

13.5.3 CEC受信データの1/0判定

受信データの1/0判定を行うタイミングを以下のレジスタで設定します。

(1) CEC受信データ・サンプリング時間設定レジスタ (NOMT)

受信データのサンプリング時間を決定する9ビットのレジスタです。

NOMTは、16ビット・メモリ操作命令で設定します。CECE = 0のときのみ書き換え可能です。

リセット信号の発生により、0000Hになります。

図13 - 33 CEC受信データ・サンプリング時間設定レジスタ (NOMT) のフォーマット

アドレス : F030EH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOMT	0	0	0	0	0	0	0	NOMT8-NOMT0								

備考 サンプリング時間 = (NOMT8-NOMT0設定値 + 1) × f_{CEC}のクロック周期

LGC1LH < NOMT < LGC0LL期間内に設定してください

13.5.4 エラー・ハンドリング, シグナル・フリー・タイム, バス・ロック検出の1ビット・データ幅設定

エラー・ハンドリング, シグナル・フリー・タイム, バス・ロックを検出する際に使用する“1データ・ビット幅”を次のレジスタで設定します。

(1) CECデータ・ビット基準幅設定レジスタ (NOMP)

1データ・ビット幅を設定する9ビットのレジスタです。

この1データ・ビット幅は, エラー・ハンドリング, シグナル・フリー・タイム, バス・ロック検出でビット数をカウントする際に使用します。

NOMPは, 16ビット・メモリ操作命令で設定します。CECE = 0のときのみ書き換え可能です。

リセット信号の発生により, 0000Hになります。

図13 - 34 CECデータ・ビット基準幅設定レジスタ (NOMP) のフォーマット

アドレス : F0324H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOMP	0	0	0	0	0	0	0	NOMP8-NOMP0								

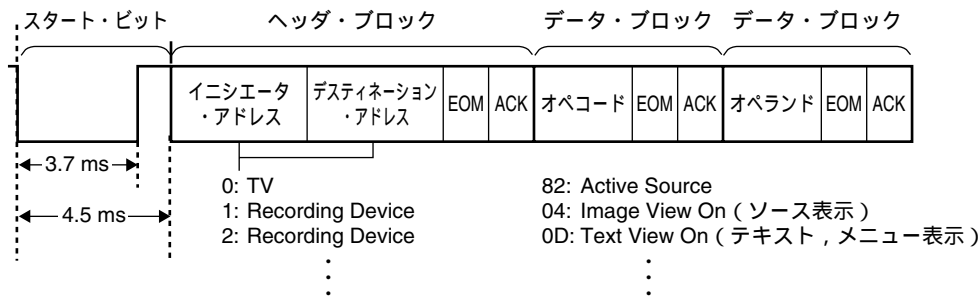
備考 ビット幅 = (NOMP8-NOMP0設定値 + 1) × f_{CEC}のクロック周期

13.6 CEC送受信回路の動作

13.6.1 CEC送受信データ・フォーマット

図13 - 35にCEC通信の基本フォーマットを示します。CECデータ・フレームは、スタート・ビット、ヘッダ・ブロック、データ・ブロック1（オペコード）、データ・ブロック2（オペランド）の4つで構成されています。スタート・ビット以外の3つのブロックは10ビットで構成されています。

図13 - 35 フォーマット例



- スタート・ビット : メッセージのスタートを示すビットです。
- ヘッダ・ブロック (1ブロック) : 送信元と送信先のアドレスを示すブロックです。また、このブロックで送信元アドレスに対して調停が行われ、アドレスの小さいイニシエータが送信権を得ます。
- データ・ブロック (0-15ブロック) : オペコードとオペランドで構成されます。オペランドはオペコードによってデータ長が決められています。

13.6.2 通信種別

CEC送受信には、ダイレクト・アドレス・メッセージとブロードキャスト・アドレス・メッセージの2つの通信状態があります。CEC通信において送信側はスタート・ビットとメッセージ（データ）を送信し、受信側はメッセージを受け取り、所望のアクノリッジを送信側に返信します。CEC送受信は、スタート・ビットとデータ・ビットの2種類のビットで構成され、CECのすべての送受信を行います。

- 備考** ダイレクト・アドレス・メッセージ : 送信相手が自デバイスするとき
- ブロードキャスト・アドレス・メッセージ : 送信相手が自デバイス以外すべて

13.6.3 ビット・タイミング

図13-36にスタート・ビットのパルス・フォーマット例を示します。スタート・ビットはロウ・レベル期間 (a) とビット期間 (b) でスタート・ビットの有効/無効を判断します。

図13-36 スタート・ビットのフォーマット

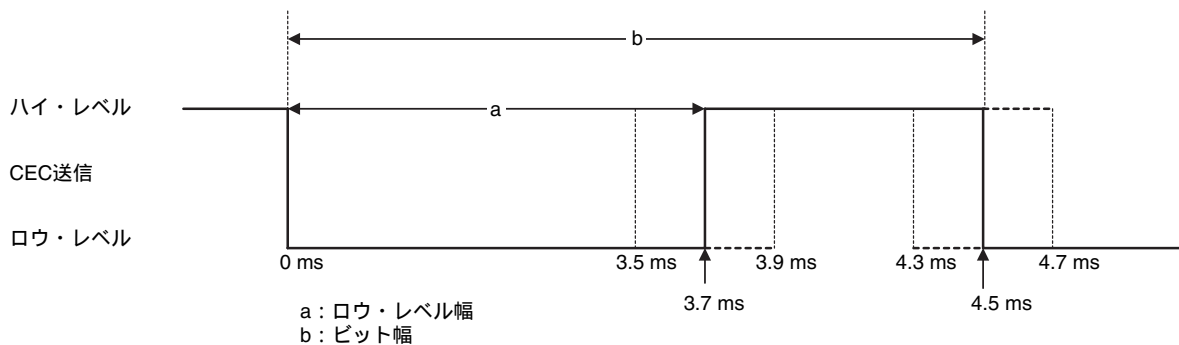
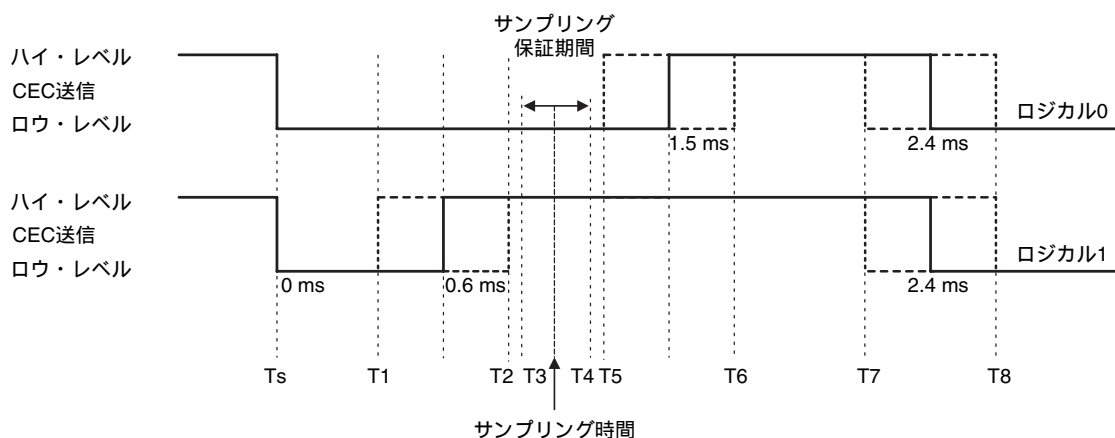


図13-37にデータ・ビット・タイミングのパルス・フォーマット例を示します。データ・ビットはCEC受信データ・サンプリング時間設定レジスタ (NOMT) で設定したサンプリング・タイミングでサンプリングされます。その結果がロウ・レベルだった場合はロジカル0、ハイ・レベルだったらロジカル1となります。データ・ビットの最後のハイ・レベルからロウ・レベルへの変化は、次のデータ・ビットのスタートとなります。よって、最後のデータ・ビットは、ハイ・レベルのままです。

図13-37 データ・ビットのフォーマット



Ts	0 ms	ビット開始イベント
T1	0.4 ms	ロジカル1を表すときのロウ・レベルからハイ・レベルへの遷移の最も早いタイミング
T2	0.8 ms	ロジカル1を表すときのロウ・レベルからハイ・レベルへの遷移の最も遅いタイミング
T3	0.85 ms	信号ラインの状態判定のために安全にサンプリングできる最も早いタイミング
T4	1.25 ms	信号ラインの状態判定のために安全にサンプリングできる最も遅いタイミング
T5	1.3 ms	装置が高インピーダンス状態 (ロジカル0) に戻ってよい最も早いタイミング
T6	1.7 ms	装置が高インピーダンス状態 (ロジカル0) に戻ってよい最も遅いタイミング
T7	2.05 ms	後続ビットの開始の最も早いタイミング
	2.4 ms	データ・ビットのノミナル期間
T8	2.75 ms	後続ビットの開始の最も遅いタイミング

13.6.4 ヘッダ/データ・ブロック

すべてのデータ・ブロックは10ビットで構成され、同じ構造です。図13 - 38にヘッダ・ブロック、データ・ブロックの構成図を示します。インフォメーション・ビットはヘッダ・ブロックとデータ・ブロックでは意味が異なり、データ、オペコード、アドレスを示しています。EOM (End of Message) とACK (Acknowledge) はコントロール・ビットであり、ヘッダ・ブロックとデータ・ブロックでは、同じ意味を持ちます。

図13 - 38 ヘッダ・ブロック、データ・ブロックのフォーマット

ヘッダ/データ・ブロック									
7	6	5	4	3	2	1	0	-	-
インフォメーション・ビット								EOM	ACK

ヘッダ・ブロックは、送信元ロジカル・アドレス (Initiator logical Address) と送信先ロジカル・アドレス (Destination logical Address) , EOM (End of Message) , ACK (Acknowledge) の4つで構成されます。ヘッダ・ブロックでのEOMは、他のデバイスとの ' ping ' に使用されます (他のデバイスが、電源オン状態であることを確認)。EOM = 1としてヘッダ・ブロックのみを送信 (データ・ブロックなしのメッセージを送信) することによって確認できます。ダイレクト・アドレス送信の場合、ACKが帰ってくれば、送信先のデバイスは電源オン状態であることがわかります。

13.6.5 EOM (End of Message)

送信したブロックが、メッセージの最終ブロックか最終ブロックではないかを示します。インフォメーション・ビットに付加され出力します。

注意 EOMビット = 0 : 1つ, または複数のブロックが続くとき
 EOMビット = 1 : 最終ブロックのとき

13. 6. 6 ACK (Acknowledge)

ACKは送信相手がダイレクト・アドレス・メッセージかブロードキャスト・メッセージかによって意味が異なります。受信したデータとCECラインのデータを比較した結果を送信側に、ACKまたはNACK送信します。

ダイレクト通信の場合 : 比較結果が正常だった場合 “ ACK ” を送信
ブロードキャスト通信の場合 : 比較結果が正常だった場合 “ NACK ” を送信

注意1. ダイレクト・アドレス・メッセージの場合、ACK = 0が正常の値です。

ヘッダ・ブロックでエラーなし、かつ自アドレスのとき ACKビットは0
データ・ブロックでエラーなしのとき ACKビットは0
ヘッダ・ブロックで、エラーあり、または他のアドレスのとき ACKビットは1
データ・ブロックで、エラーありのとき ACKビットは1

ブロードキャスト・メッセージの場合、NACK (ACK = 1) が正常の値です。

1つ以上のフォロワがメッセージを破棄したとき ACKビットは0
すべてのフォロワがメッセージを破棄しないとき ACKビットは1

2. ACKビットのタイミングでイニシエータは必ず、ロジカル1を出力します。よって、フォロワがACKビットの論理レベルを決定します。

13.7 CEC通信機能

13.7.1 通信ビット幅調整機能

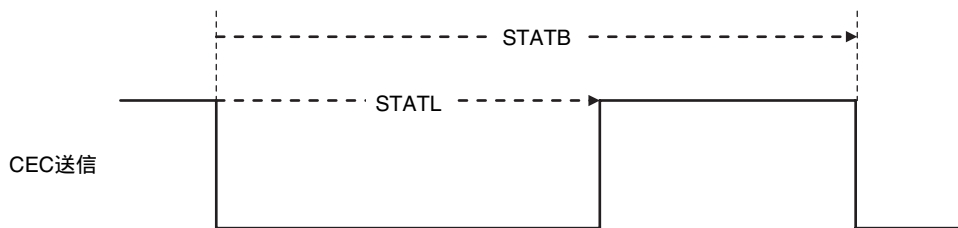
送信時のスタート・ビット，データ・ビットのロウ・レベル幅，ビット幅を設定できます。

次に，各種幅設定レジスタ（13.5.1参照）とビット・タイミングの関係を示します。

<スタート・ビット>

スタート・ビットは，STATLレジスタでロウ・レベル幅を，STATBレジスタでビット幅を設定します。

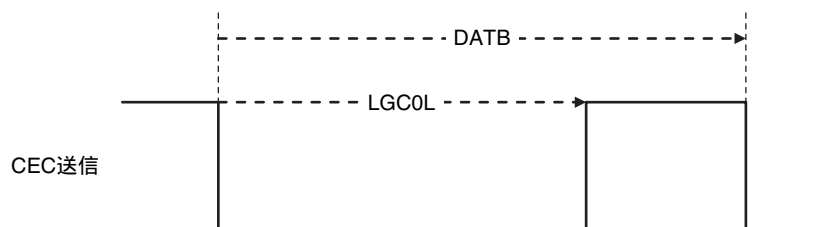
図13 - 39 スタート・ビットの出力波形



<データ・ビット（ロジカル0）>

ロジカル0のデータ・ビットは，LGC0Lレジスタでロウ・レベル幅を，DATBレジスタでビット幅を設定します。

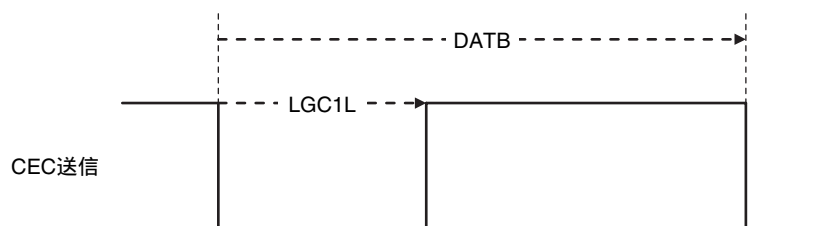
図13 - 40 データ・ビット（ロジカル0）の出力波形



<データ・ビット（ロジカル1）>

ロジカル1のデータ・ビットは，LGC1Lレジスタでロウ・レベル幅を，DATBレジスタでビット幅を設定します。

図13 - 41 データ・ビット（ロジカル1）の出力波形



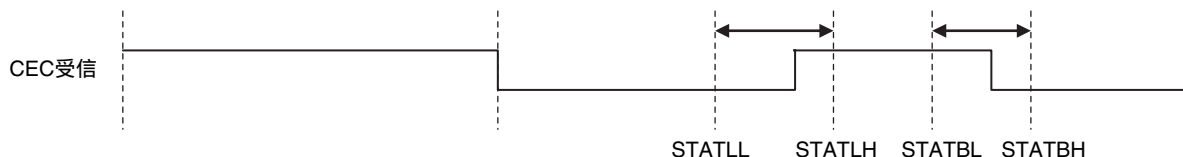
13.7.2 受信ビット・タイミング・チェック機能

CEC送受信回路は、受信時のスタート・ビット、データ・ビットのロウ・レベル幅、ビット幅が設定の範囲内であるか否かを判定するタイミング・チェック機能を持ちます。タイミング・チェック時間は各種タイミング判定レジスタ（13.5.2参照）で設定できます。次に、タイミング判定レジスタとビット・タイミングの関係を示します。

<スタート・ビット>

スタート・ビットのロウ・レベル幅MIN.値はSTATLLレジスタ、ロウ・レベル幅MAX.値はSTATLHレジスタ、スタート・ビット幅のMIN.値はSTATBLレジスタ、スタート・ビット幅のMAX.値はSTATBHレジスタで設定します。

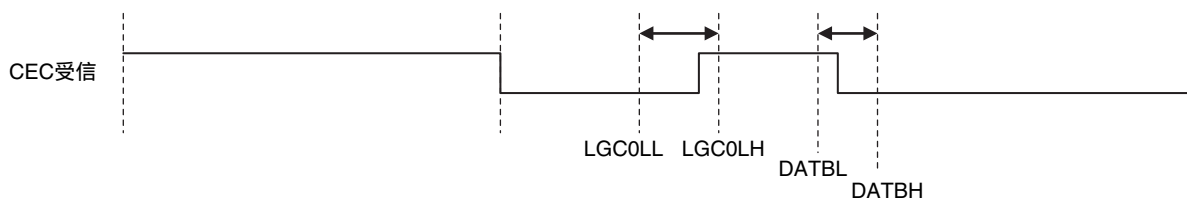
図13 - 42 スタート・ビットの受信タイミング



<データ・ビット（ロジカル0）>

データ・ビット（ロジカル0）のロウ・レベル幅MIN.値はLGC0LLレジスタ、ロウ・レベル幅MAX.値はLGC0LHレジスタ、ビット幅のMIN.値はDATBLレジスタ、ビット幅のMAX.値はDATBHレジスタで設定します。

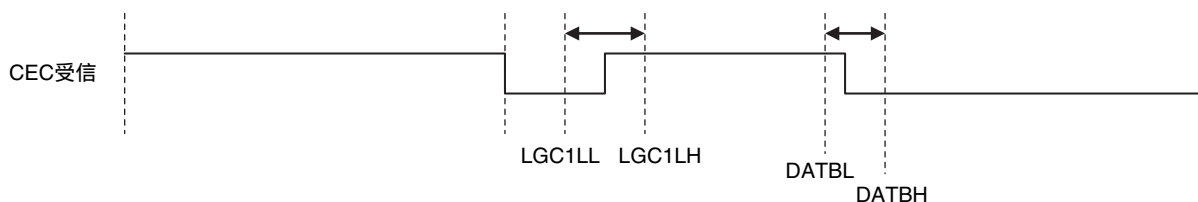
図13 - 43 データ・ビット（ロジカル0）の受信タイミング



<データ・ビット（ロジカル1）>

データ・ビット（ロジカル1）のロウ・レベル幅MIN.値はLGC1LLレジスタ、ロウ・レベル幅MAX.値はLGC1LHレジスタ、ビット幅のMIN.値はDATBLレジスタ、ビット幅のMAX.値はDATBHレジスタで設定します。

図13 - 44 データ・ビット（ロジカル1）の受信タイミング

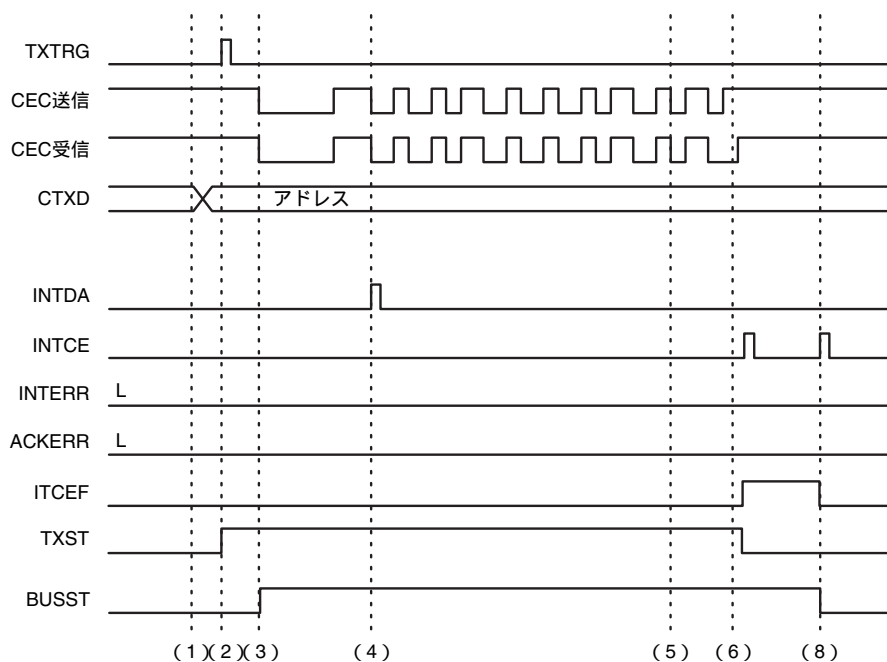


13.7.3 CEC通信初期設定

CEC通信の初期設定フローについて説明します。リセット後、各種制御レジスタの設定を行い、ダイレクト・アドレス送信を利用して、ロジカル・アドレスの取得フローを実行します。ロジカル・アドレス取得送信では、送り元アドレスと送り先アドレスを同一に設定し、ヘッダ・ブロックのみの送信となるため、EOM = 1に設定します。また、自局アドレス確定前に誤ったアドレス一致が発生することを防ぐため、CADR設定までは、CECRXEN = 0に設定しておく必要があります。図13 - 45にロジカル・アロケーション・タイミング図を、図13 - 46に操作手順と動作説明を示します。

図13 - 45 ロジカル・アロケーション (CESEL0, CESEL1 = 0, 0のとき)

・他デバイスがアドレスを使用していた場合



・他デバイスがアドレスを使用していない場合

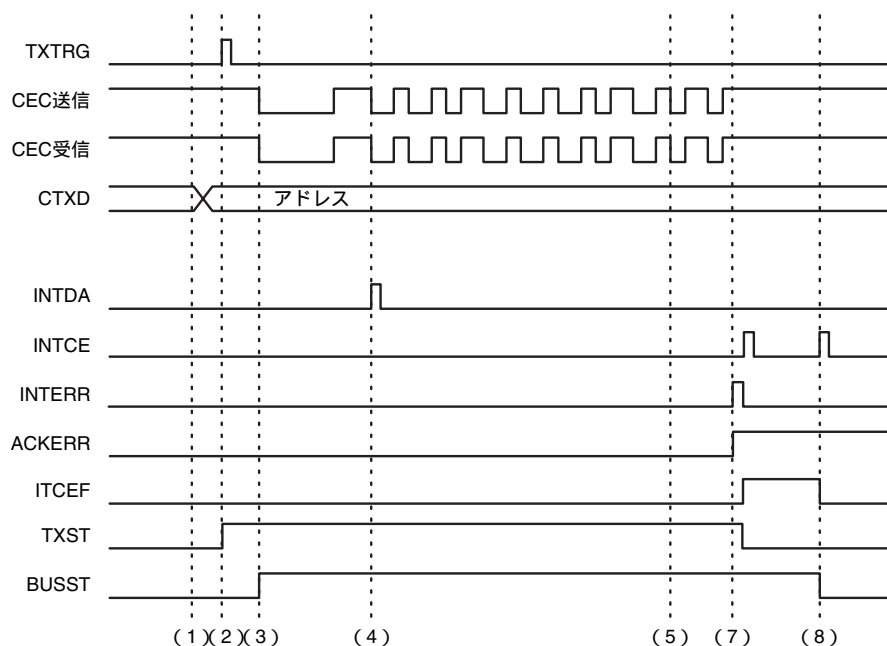


図13 - 46 CEC通信の初期設定手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
CEC初期設定	<p>[動作クロック (f_{CEC}) の設定] CCL2-CCL0を設定</p> <p>[受信拒否制御の設定] CECRXENを0に設定</p> <p>[アドレス不一致の場合の通知設定] CINTMKを設定</p> <p>[ノイズ除去の選択] CDFCを設定 (ノイズ・フィルタを使用するかを設定)</p> <p>[スタート・ビットのロウ・レベル幅/ビット幅の設定] STATL/STATBを設定</p> <p>[ロジカル0/1のロウ・レベル幅/ビット幅の設定] LGC0L/LGC1L/DATBを設定</p> <p>[サンプリング時間の設定] NOMTに受信データをサンプリングする時間を設定</p> <p>[データ・ビットの1ビット幅設定] NOMPに1データ・ビット幅を設定</p> <p>[タイミング・チェック用レジスタの設定] STATLL/STATLHにスタート・ビットのロウ・レベル幅タイミング・チェック時間を設定 STATBL/STATBHにスタート・ビットのビット幅タイミング・チェック時間を設定 LGC0LL/LGC0LHにデータ・ビット (ロジカル0) のロウ・レベル幅タイミング・チェック時間を設定 LGC1LL/LGC1LHにデータ・ビット (ロジカル1) のロウ・レベル幅タイミング・チェック時間を設定 DATBL/DATBHにデータ・ビットのビット幅タイミング・チェック時間を設定</p> <p>[バス・ロック検出の設定] BLERRDの設定 (バス・ロック検出するかを選択)</p> <p>[スタート・ビットのタイミング・エラー検出の設定] STERRDの設定 (スタート・ビットのタイミング・エラーを検出するかを選択)</p> <p>[通信完了割り込みの設定] CESEL1, CESEL0を設定</p> <p>[シグナル・フリー・タイムの設定] SFT1, SFT0を設定 (シグナル・フリー・タイムの検出時間を設定)</p> <p>[動作クロック (f_{CEC}) の供給] CECEを1に設定</p>	<p>動作クロック (f_{CEC}) 停止中。</p> <p>動作クロック (f_{CEC}) を供給。送信可能状態。 シグナル・フリー・タイムを開始。BUSSTが1となる。 SFT1, SFT0の設定値までカウント後, BUSSTが0になり, 通信待機状態となる。</p>

図13 - 46 CEC通信の初期設定手順 (2/2)

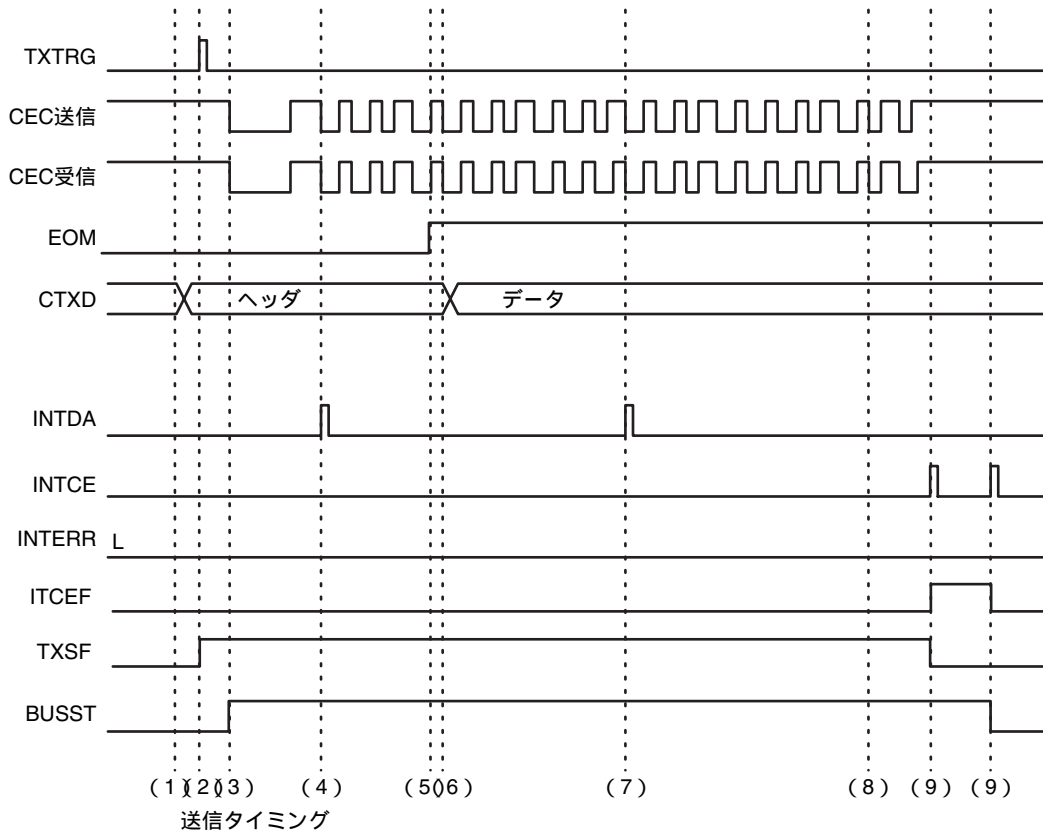
	ソフトウェア操作	ハードウェアの状態
ロジカル・アドレス・アロケーション	<p>[EOMの設定] EOMを1に設定</p> <p>[送信データの設定] (1) CTXDIに送信データ(ロジカル・アドレス)を設定</p> <p>[バス・フリー状態の確認] BUSSTが0になっていることを確認</p> <p>[送信動作の開始] (2) TXTRGを1に設定</p> <p>ヘッダ・ブロックのみの送信であるため、次データの書き込みは行わない。</p> <p>[自局アドレスの設定]</p> <ul style="list-style-type: none"> ・ ACKの場合 送信したアドレスは他局が使用しているので、送信アドレスを変更して再送操作を行う。 ・ NACKの場合 送信したアドレスは他局が使用していないので、送信したアドレスを自局アドレスとして使用する(CADR設定)。 <p>[受信拒否制御の設定] CECRXENを1に設定</p>	<p>送信開始 スタート・ビットを出力する(3)</p> <p>ヘッダ・ブロック出力開始時にINTDAを出力、同時に、CTXDレジスタに設定された値の順次出力(4)</p> <p>EOMビットで1を出力する(5)</p> <p>ACKビットを受信</p> <p>ロジカル0を受信した場合、INTERRを出力せず、ACKERRフラグをセットしない(6)</p> <p>ロジカル1を受信した場合、INTERRを出力し、ACKERRフラグをセットする(7)</p> <p>CESEL1, CESEL0ビット, SFT1, SFT0ビット設定にしたがってINTCEを出力する(8)</p> <p>通信待機状態となる。</p>

13.7.4 CEC送信

ここではCEC送信について説明します。なお、本項の説明は、13.7.3 CEC通信初期設定の初期設定が完了していることが前提です。

CEC送信は、送信時にも受信動作を行い、アービトレーション・チェック、データ・チェック、タイミング・チェックを行います。ただし、送信動作時の受信データ・レジスタ (CRXD) の値は保証されません。

図13 - 47 送信基本タイミング (ダイレクト・アドレス送信) (CESEL0, CESEL1 = 0, 0のとき)



注意 送信途中 (スタート・ビット検出完了から最終フレームのEOM受信完了まで) の新たなスタート・ビットは無視されタイミング・エラーとして検出します。通信の再スタートは行いません。

(1) CEC送信操作手順

図13 - 48 CEC送信操作手順

	ソフトウェア操作	ハードウェアの状態
CEC送信動作	[シグナル・フリー・タイムの設定] SFT1, SFT0を設定 (シグナル・フリー・タイムの検出時間を設定) [EOMの設定] (1) EOMを設定 (EOM = 0) [送信データの設定] (1) CTXDに送信データを設定 [バス・フリー状態の確認] BUSSTが0になっていることを確認 [送信動作の開始] (2) TXTRGを1に設定	送信開始 スタート・ビットを出力する (3)
	[EOMの設定] (5) 次のフレーム開始 (7) までに次フレームのEOM を設定する (EOM = 1)	ヘッダ・ブロック出力開始時にINTDAを出力, 同時に, CTXDレジスタに設定された値を順次出力 (4)
	[送信データの設定] (6) CTXDに送信データを設定	2フレーム目のデータ出力を開始する (7)
		最終フレームなのでEOMビット位置で1を出力する (8)
		CESEL1, CESEL0ビット, SFT1, SFT0ビット設定に したがってINTCEを出力する (9)
		通信待機状態となる。

(2) ブロードキャスト送信

ヘッダ・ブロック送信データ (CTXD) のディスティネーション・アドレス (送り先アドレス) にFHを設定すると、ハードウェアは現在の送信をブロードキャスト送信と認識して動作します。通常はACKビットのタイミングでロジカル0を受信した場合に通信が成功したと判断しますが、ブロードキャスト通信時はACKビットのタイミングでロジカル1を受信した場合に通信成功と判断します。

ハードウェアは、ヘッダ・ブロックの送信データを見て、ダイレクト通信かブロードキャスト通信かを判断し、自動的にロジカル0 / ロジカル1どちらが受信成功かを決定します。

(3) CEC送信割り込み

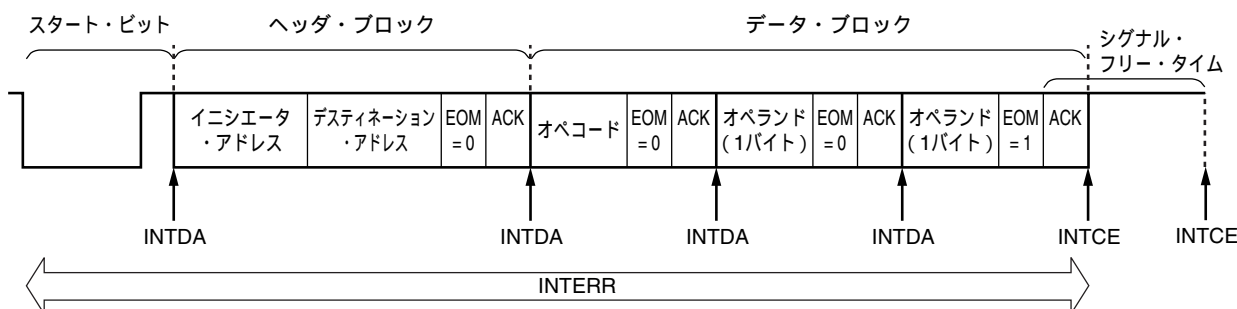
ハードウェアは、データ割り込み (INTDA)、通信終了割り込み (INTCE)、エラー割り込み (INTERR) の3つの割り込み機能を有しています。

データ割り込み (INTDA) は、各ブロックの先頭で発生します。

通信終了割り込み (INTCE) は、CESEL1, CESEL0の設定によって、EOM = 1であるデータ・ブロックのACK受信完了時に発生する場合と、SFT1, SFT0で設定したシグナル・フリー・タイム経過後に発生する場合と、その両方で発生する場合とが選択できます。

エラー割り込み (INTERR) は、通信期間全般において、タイミング・エラー検出時、ACKエラー検出時、アンダラン・エラー検出時、送信エラー検出時、バス・ロック・エラー検出時に発生します。

図13 - 49 割り込み発生タイミング



注意 EOM = 1のACKビット受信途中 (ACKビット完了前) にCECラインの立ち下がりエッジを検出した場合は、そのタイミングによって表13 - 2に示すように通常と異なる動作になります。

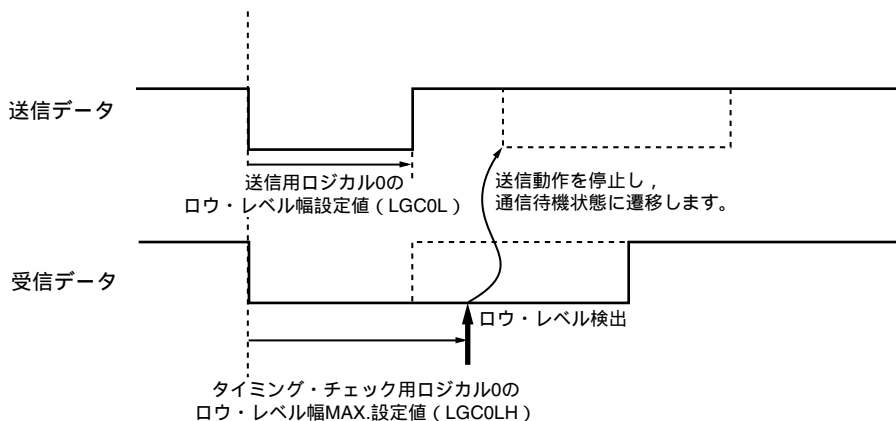
表13 - 2 ACKビット完了前にCECラインの立ち下がりエッジを検出した場合の動作

CECラインの立ち下がりタイミング	CECCTL1レジスタのCESEL1, CESEL0ビットの設定	INTCEの発生	ACKビットの扱い	CECラインの立ち下がり以降の動作
データ・ビットMIN.値以降 (DATBL カウンタ) の場合	CESEL1, CESEL0 = 0, 0 または 0, 1 のとき	CECラインの立ち下がり時点で1回のみ発生する	既定のビット幅を満たしているため有効 (ACK/NACKは正しく判定される)	次の通信開始と認識して、スタート・ビット受信判定を開始します
	CESEL1, CESEL0 = 1, 0 のとき	発生しない		
データ・ビットMIN.値以前 (カウンタ < DATBL) の場合	CESEL1, CESEL0 = 0, 0 または 0, 1 のとき	CECラインの立ち下がり時点で1回のみ発生する	既定のビット幅を満たしていないため、ACKの判定が正しくできません (ACKTEN = 1設定時はタイミング・エラーが発生します)	
	CESEL1, CESEL0 = 1, 0 のとき	発生しない		

(4) エラー・ハンドリング・パルス受信

イニシエータ動作時，ロジカル0のロウ・レベル幅MAX.設定値に達したタイミングで，受信データがロウ・レベルだった場合，エラー・ハンドリング・パルスを受信したと判断し，タイミング・エラーを発生，送信動作を停止して通信待機状態に移移します。

図13 - 50 割り込み発生タイミング



13.7.5 CEC受信

CEC受信について説明します。なお，本項の動作説明は，13.7.3 CEC通信初期設定の設定が完了していることが前提です。受信時は，CEC受信データ・サンプリング時間設定レジスタ (NOMT) にて設定した，サンプリング・タイミングでデータを受信し，CRXDに格納します。

また，受信動作は，CECRXENビット設定値，CINTMKビット設定値，通信種別 (ダイレクト・アドレス通信・ブロードキャスト通信)，受信アドレスと自局アドレスの一致 / 不一致によって異なります。

以下に各種条件と動作の対応表を示します。

表13-3 CEC受信時の動作対応表

CEC RXEN	通信種別	アドレス一致 /不一致	CINTMK ビット	BUSST 動作	INTDA 出力	INTCE 出力	INTERR 出力	エラー・ フラグ動作	エラー検出 (短いビット幅の 検出以外)	エラー検出 (短いビット幅の 検出)	エラー・ハンドリ ング・出力	バス・ロック 検出 ^{注1}	ACK/NACK 出力	シグナル・ フリー・タイム・ カウント	
0	-	-	-		x	x	x	x	x	x	x	注2	x	x	
1	スタート・ ビット	-	-		x	注3	x	x	注4	注4	x		x		
	ヘッダ	不一致	0		x	注3									
			1												
		一致	-												
	ダイレクト (データ)	不一致	0			x	x	x	x	x				x	
			1											x	
		一致	-												
ブロード キャスト (データ)	-	-													

注1. バス・ロック・エラーはBLERRDをセットすることで検出します。

2. バス・ロック・エラーを検出しますがフラグは立ちません。

3. エラー検出時のみ発生します。

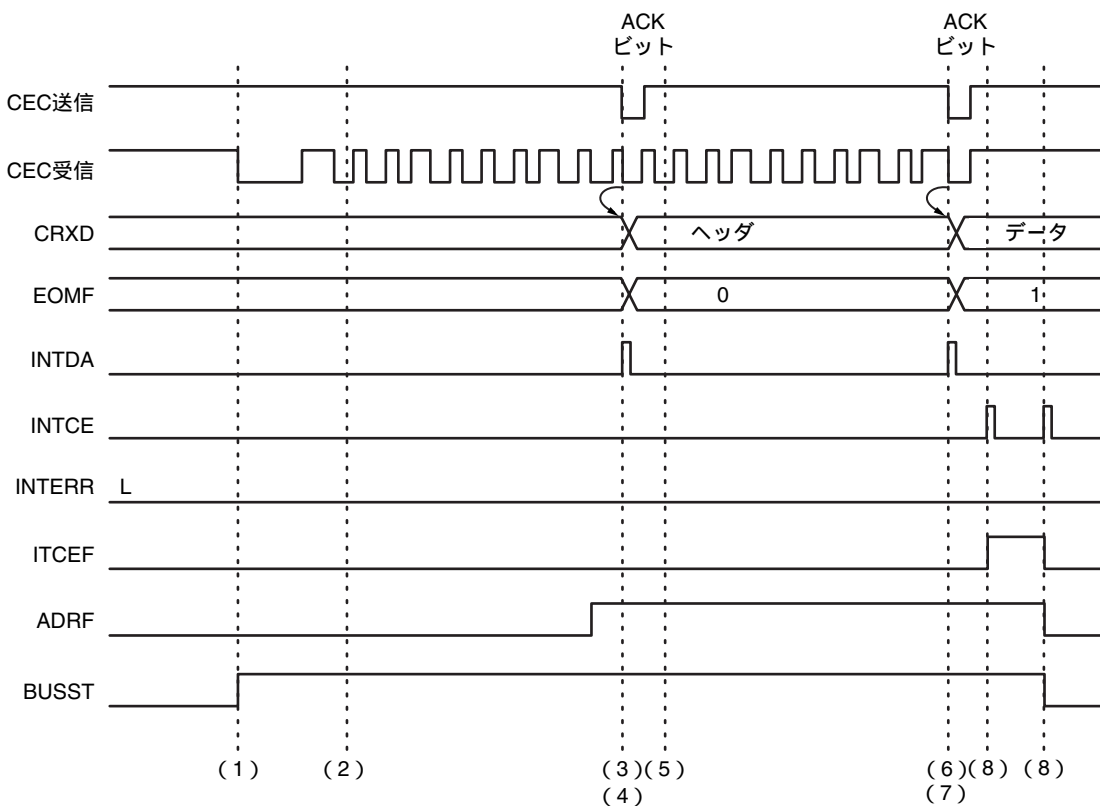
4. スタート・ビットのタイミング・エラーを検出する場合 (STERRD = 1) のみ対応。

エラーを検出しますがフラグは立ちません。

備考. : 対応, x : 非対応, - : don't care

(1) CEC受信操作手順

図13 - 51 受信基本タイミング (1)
 (ダイレクト・アドレス受信, CESEL0, CESEL1 = 0, 0のとき)



注意 受信途中 (スタート・ビット検出完了から最終フレームのEOM受信完了まで) の新たなスタート・ビットは無視されタイミング・エラーとして検出します。

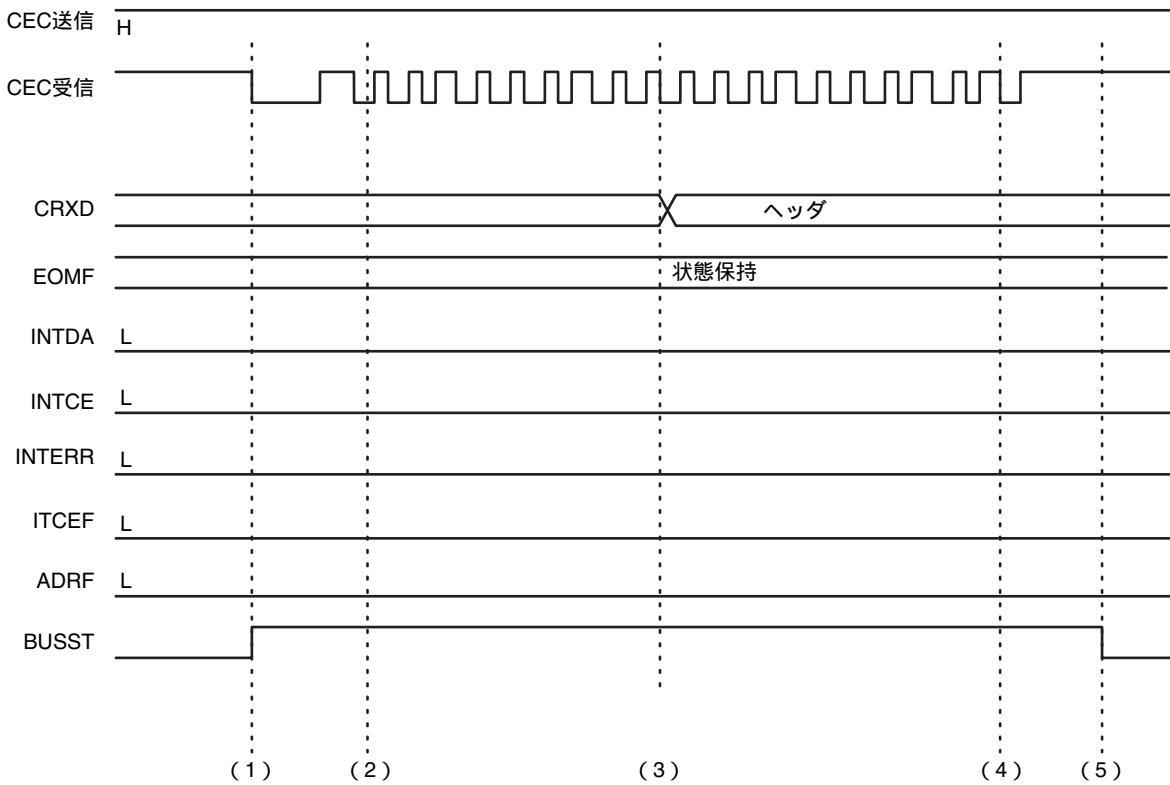
備考 図13 - 51の (1) ~ (8) は, 図13 - 52の (1) ~ (8) に対応しています。

図13 - 52 CEC受信操作手順 (1)

	ソフトウェア操作	ハードウェアの状態
CEC受信動作	<p>INTDA発生を受け、スタンバイ解除等の受信準備を行う。EOMFにより送信継続か最終フレームかを確認する。</p> <p>INTDA発生を受け、CRXDから受信データを読み出す。EOMFにより送信継続か最終フレームかを確認する。</p>	<p>[スタート・ビットの検出] CEC受信信号の立ち下がりエッジを検出し、受信動作を開始(1)</p> <p>[サンプリング] NOMTの設定時間でデータをサンプリングし、順次シフト・レジスタに格納(2)</p> <p>[アドレス一致割り込み] ヘッダ・ブロックで受信したアドレスと、自局アドレスが一致したので、INTDAを発生する(3)</p> <p>[ACKビット送信] 受信が成功したので、ACKビット・タイミングでロジカル0を送信する(4)</p> <p>[受信継続] 続けて2フレーム目のデータを受信する(5)</p> <p>[受信データ割り込み] 8ビットのデータ受信が完了すると、CRXDにデータを転送し、INTDAを発生する(6)</p> <p>[ACKビット送信] 受信が成功したので、ACKビット・タイミングでロジカル0を送信する(7)</p> <p>[受信完了] EOM = 1を受信したので、受信完了と判断し、CESEL1, CESEL0ビット, SFT1, SFT0ビット設定にしたがってINTCEを出力する(8)</p>

図13 - 53 受信基本タイミング (2)

(CECRXEN = 1, ダイレクト・アドレス, アドレス不一致, CINTMK = 0)



備考 図13 - 53の (1) ~ (5) は, 図13 - 54の (1) ~ (5) に対応しています。

図13 - 54 CEC受信操作手順(2)

	ソフトウェア操作	ハードウェアの状態
CEC受信動作		<p>[スタート・ビットの検出] CEC受信信号の立ち下がリエッジを検出し、受信動作を開始。BUSSTフラグをセット(1)</p> <p>[サンプリング] NOMTの設定時間でデータをサンプリングし、順次シフト・レジスタに格納(2)</p> <p>[アドレス一致割り込み] ヘッダ・ブロックで受信したアドレスと自局アドレスが不一致、CINTMK = 0なのでINTDAを発生せず、ACK/NACKも返さない(3)</p> <p>ただし、ビット長チェック、通信完了を検出するため、CECRXDのモニタ動作は継続する。</p> <p>[ACKビット送信] 他者間通信なので、ACK/NACKは返さない(4)</p> <p>[受信完了] EOM = 1を受信したので、他者間通信完了と判断し、SFT1, SFT0ビット設定にしたがってシグナル・フリー・タイムをカウントしBUSSTを0にする(5)</p>

(2) ブロードキャスト受信

受信フロー、タイミング・チェック期間はダイレクト・アドレス受信と同様です。イニシエータが送信した送り先アドレスが“FH”であれば、ブロードキャスト受信として動作します。

ダイレクト・アドレス受信との違いは、以下の通りです。

- ・正常動作の場合、ACKビットのタイミングでロジカル1を送信します。
- ・受信失敗、もしくはCECRXEN = 0が設定されていた場合、ACKビットのタイミングでロジカル0を送信します。

(3) CEC受信割り込み

データ割り込み (INTDA)、通信終了割り込み (INTCE)、エラー割り込み (INTERR) の3つの割り込み機能を有しています。

受信 (フォロウ) 時、データ割り込み (INTDA) は次のタイミングで出力します。

- ・ダイレクト・アドレス通信のヘッダ・ブロックで受信したアドレスと、自局アドレスが一致したとき
- ・CINTMK = 1設定時、ダイレクト・アドレス通信のヘッダ・ブロックでアドレス受信を完了したとき
- ・ヘッダ・ブロックでブロードキャスト通信のアドレス受信を完了したとき
- ・データ・ブロックでデータ受信を完了し、CRXDレジスタに受信データを格納したとき

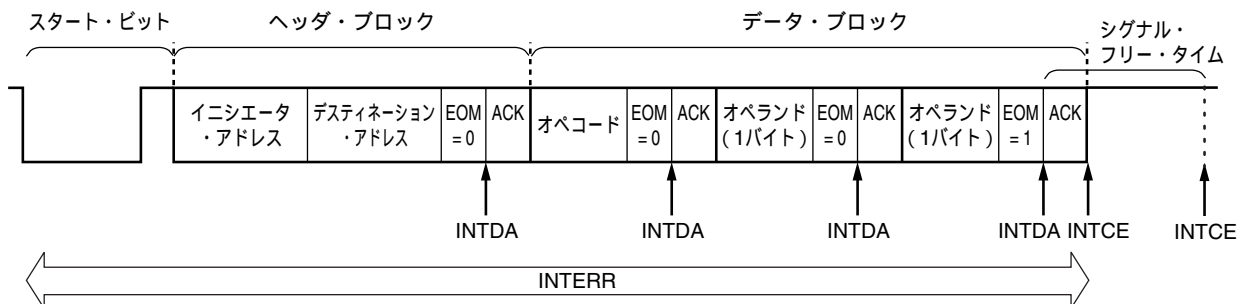
受信 (フォロウ) 時、通信終了割り込みINTCEは次のタイミングで出力します。

- ・CESEL1 = 0かつCESEL0 = 0のとき
最終フレーム (EOM = 1) のACKビット完了時とシグナル・フリー・タイム・カウント完了時。
または、最終フレームのACKビットのハイ・レベル期間からシグナル・フリー・タイム・カウント中にCECラインの立ち下がりエッジを検出したとき。
- ・CESEL1 = 0かつCESEL0 = 1のとき
最終フレーム (EOM = 1) のACKビット完了時。または、最終フレームのACKビットのハイ・レベル期間からシグナル・フリー・タイム・カウント中にCECラインの立ち下がりエッジを検出したとき。
- ・CESEL1 = 1かつCESEL0 = 0のとき
シグナル・フリー・タイム・カウント完了時。

受信 (フォロウ) 時、エラー割り込み (INTERR) は以下のタイミングで出力します。

- ・タイミング・エラーを検出したとき
- ・オーバラン・エラーを検出したとき
- ・BLERRD = 1設定時にバス・ロック・エラーを検出したとき

図13 - 55 受信割り込みタイミング基本タイミング



13.7.6 エラー検出機能

ハードウェアは以下の7つのエラーを検出します。

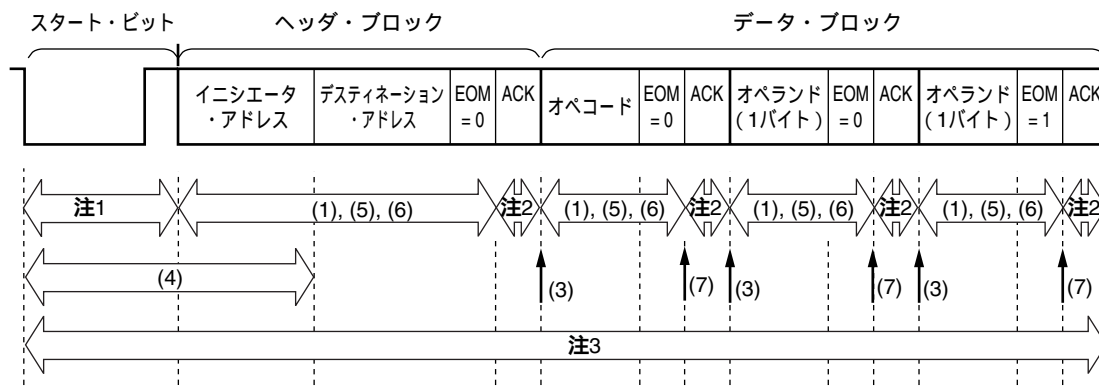
以下にイニシエータ/フォロワ別の検出可能エラーを示します。

表13-4 イニシエータ/フォロワ別の検出可能エラー

エラー	イニシエータ	フォロワ
(1) 送信エラー		×
(2) ACK エラー		×
(3) アンダラン・エラー		×
(4) アービトレーション・エラー		×
(5) タイミング・エラー(ロウ・レベル幅)		
(6) タイミング・エラー(ビット幅)		
(7) オーバラン・エラー	×	
(8) バス・ロック・エラー		

備考 : 検出 × : 未検出

図 13-56 エラーの検出期間



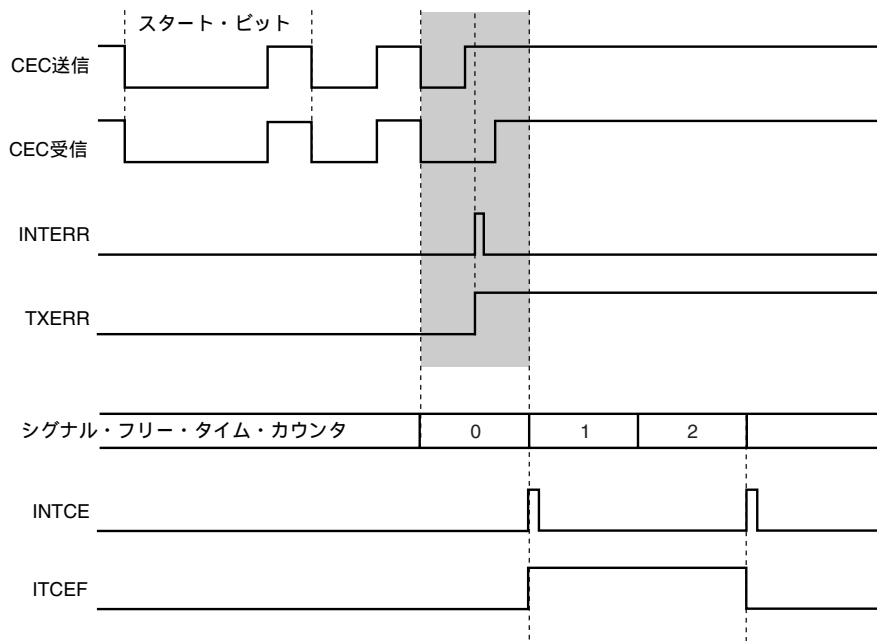
- 注1. スタート・ビットのタイミング・エラーを検出する (STERRD = 1) とき (5), (6)
2. (2), (5) さらに, ACKビットのタイミング・エラーを検出する (ACKTEN = 1) とき (6)
3. バス・ロック・エラーを検出する (BLERRD = 1) とき (8)

以降に各エラーの詳細を示します。

(1) 送信エラー

イニシエータ動作時, 自身が送信したデータと, CECラインの受信データの論理比較を行い, 異なる場合に送信エラーとなります。CEC受信データ・サンプリング時間設定レジスタ (NOMT) の設定値のタイミングでエラー判定をします。エラー判定区間は, EOMビットを含むフレームのデータ・ビット期間でエラー判定を行います。エラー検出後, エラー割り込み (INTERR) を発生させ, 送信エラー・フラグ (TXERR) をセットし, そのビットで送信を停止します。INTCEはCESEL1, CESEL0設定により, 停止したビットの最後および, シグナル・フリー・タイム・カウント後で発生します。

図 13 - 57 送信エラー検出波形 (シグナル・フリー・タイム 3 ビット設定時)



送信エラーを検出すると、CECCTL0レジスタのEOMビット設定値に関わらず、エラーを検出したビットで送信動作を停止します。

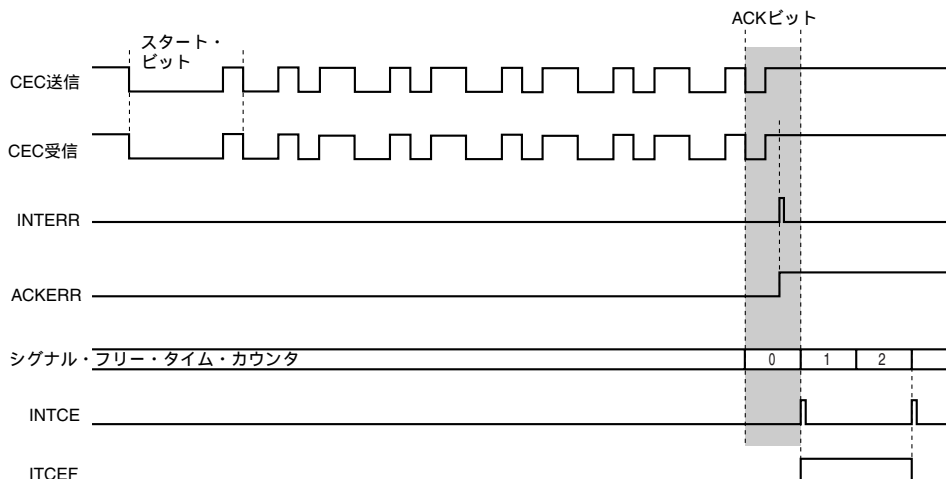
イニシエータがEOM = 1を送信しているにも関わらず、EOM = 0を受信した場合、送信エラーと判断して送信を停止します。フォロウはEOM = 0なので送信が継続すると判断します。そのため、データ受信待ちとなります。BLERRD=1に設定している場合は、受信データのハイおよびロウ・レベル張り付きを検出できます。

(2) ACKエラー

ダイレクト・アドレス送信時は、ACKビット・タイミングでイニシエータがロジカル1を受信した場合ACKエラーとなります。ブロードキャスト送信時は、ACKビット・タイミングでイニシエータがロジカル0を受信した場合にACKエラーとなります。

CEC受信データ・サンプリング時間設定レジスタ (NOMT) の設定値のタイミングでエラー判定をします。エラー検出後、エラー割り込み (INTERR) を発生させ、ACKエラー・フラグ (ACKERR) をセットします。ACKビット終了後、通信待機状態になり、シグナル・フリー・タイムをカウントします。INTCEはCESEL1, CESEL0設定値により、1回もしくは2回発生します。

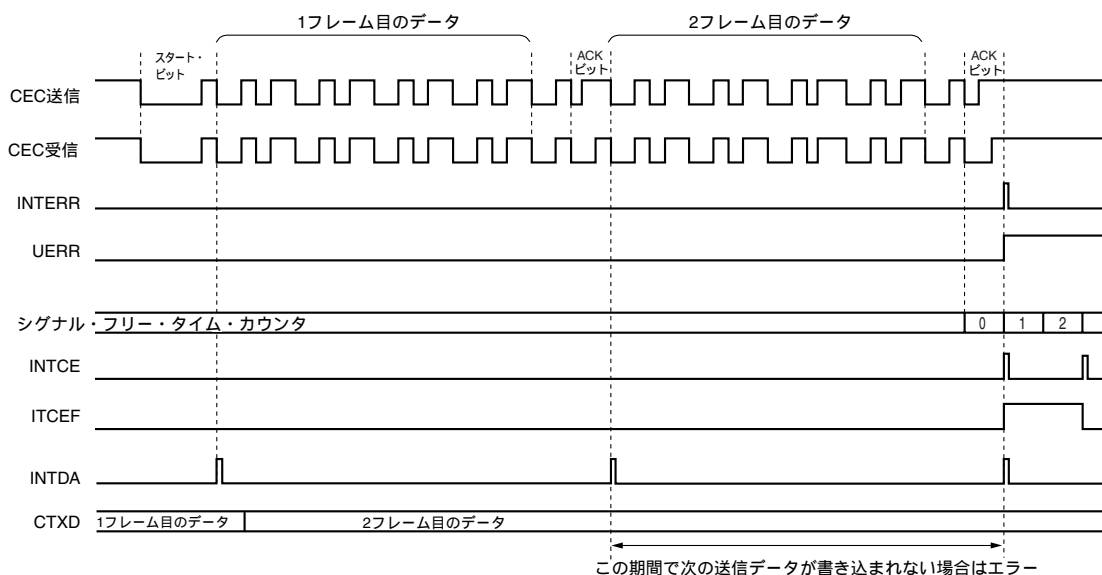
図 13 - 58 ダイレクト・アドレス通信時の ACK エラー (シグナル・フリー・タイム 3 ビットタイム設定時)



(3) アンダラン・エラー

次のデータ送信を開始するタイミングで、送信バッファにデータが設定されていない場合にアンダラン・エラーとなります。エラー割り込み (INTERR) を発生させ、アンダラン・エラー・フラグ (UERR) をセットし、送信を中断し通信待機状態となります。INTCEはCESEL1, CESEL0設定値に依存して1回もしくは2回発生します。

図 13 - 59 アンダラン・エラー・タイミング



(4) アービトレーション・エラー

送信開始フラグの設定～送り元アドレス送信中の期間にロジカル1送信に対して、ロジカル0を受信した場合は、アービトレーション・エラーとなります。送信開始トリガ設定からスタート・ビット出力までのエラー判定は、CEC送信信号にロウ・レベルを出力するタイミングでエラー判定をします。送り元アドレス送信中はCEC受信データ・サンプリング時間設定レジスタ (NOMT) の設定値のタイミングでエラー判定をします。エラー検出後、エラー割り込み (INTERR) を発生させ、アービトレーション・エラー・フラグ (AERR) をセットします。このとき、送信は中断しますが、受信動作は続きます。送り元アドレス検出期間までは、図 13 - 60に示すように、複数同時にエラー・フラグを検出する場合があります。

図13 - 60 アービトレーション・タイミング

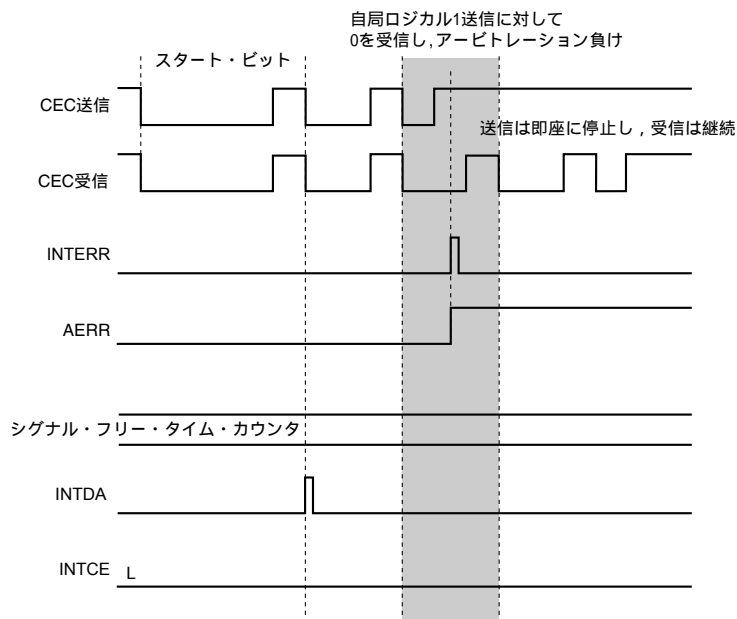
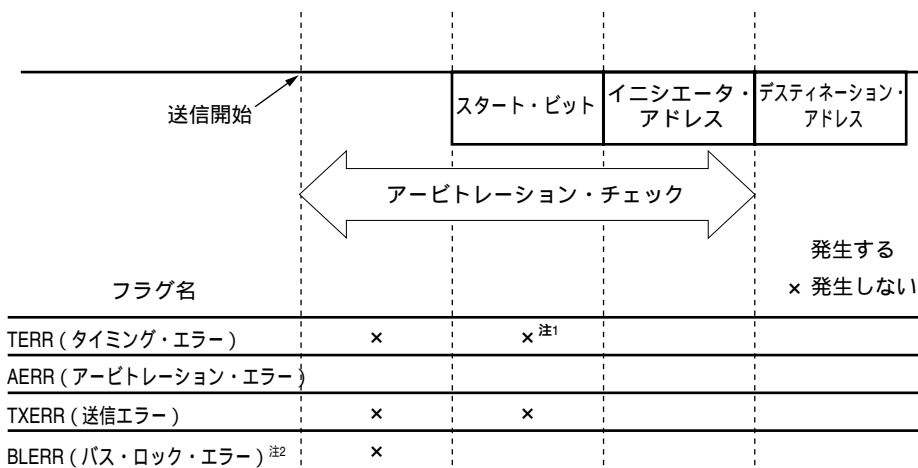


図13 - 61 アービトレーション・エラーと他のエラーの関係



注1. STERRD = 1のとき、スタート・ビットのタイミング・チェックを行います。エラー割り込みは発生しません。

2. BLERRD = 1のとき、パス・ロック・エラーを検出します。

【アービトレーション・エラー詳細説明】

送信開始フラグをセットから、イニシエータ・アドレス出力期間までのアービトレーション・チェックの詳細を次に示します。

(a) 送信開始フラグ・セットでのアービトレーション・チェック

送信開始フラグをセットしてから、 f_{CEC} の2クロック後にアービトレーション・チェックをします。アービトレーション負けと判断すると、エラー割り込み (INTERR) を発生し、アービトレーション負けフラグ (AERR) をセットし、即座に受信モードに切り変わります。

(b) スタート・ビット出力期間

送信開始フラグをセットして、実際にスタート・ビットが出力される際に、受信ラインにロウ・レベルを検出するとアービトレーション負けフラグをセットし、受信モードに切り変わります。また、 $STERRD = 1$ の場合、 $STATLH$ で設定したスタート・ビットのロウ・レベル幅MAX.値を越えて、受信ラインの立ち上がりエッジを検出した場合、アービトレーション負けフラグをセットし、受信モードに切り変わります。

(c) イニシエータ・アドレス出力期間

スタート・ビット送信完了後、イニシエータ・アドレス送信開始と同時に論理チェックを行います。自局アドレスよりも若いアドレスを検出した場合、エラー割り込み (INTERR) を発生し、アービトレーション負けフラグ (AERR) をセットし、即座に受信モードに切り変わります。

(5) タイミング・エラー

イニシエータ/フォロワの動作時でも、CEC受信信号のタイミング・エラー・チェックを行います。設定したレジスタの範囲外であればタイミング・エラーとなります。ロウ・レベル幅のタイミング・エラーの場合は、立ち上がりエッジを検出したタイミングで検出し、ビット幅のタイミング・エラーの場合は、MIN.側は立ち下がりエッジを検出したタイミングでエラーを検出し、MAX.側はビット幅MAX.設定値を越えても立ち下がりエッジが来ない場合にエラーを検出します。ACKビットのタイミング・チェックを行うか否かはCECCTL0レジスタのACKTENビットで選択できます。ただし、ACKTEN = 1に設定時でも、最終データ・ブロック (EOM = 1時) のACKビットのみビット幅MAX.側のチェックを行いません。ビット幅のMIN.側はチェックを行います。ビット幅が短いタイミング・エラーを検出すると、フォロワ動作時はNOMPレジスタで設定した1ビット幅の1.5 倍の期間ロウ・パルス (エラー・ハンドリング・パルス) を送信し、イニシエータ動作時は即座に送信を停止し通信待機状態に遷移します。

エラー・ハンドリング・パルスの送信はスタート・ビットのタイミング・エラー検出では行いません。

ビット幅が短い以外のタイミング・エラーを検出した場合、イニシエータ動作時は即座に送信を停止します。フォロワ動作時は受信を継続しACKビット・タイミングでNACKを送信します。

INTCEの発生タイミングはCESEL1, CESEL0設定値に依存します。

最終ACKビット幅MIN.のタイミング・エラーを検出したら、INTERRと同時にINTCEも出力します。

図13 - 62 イニシエータ動作時のタイミング・エラー

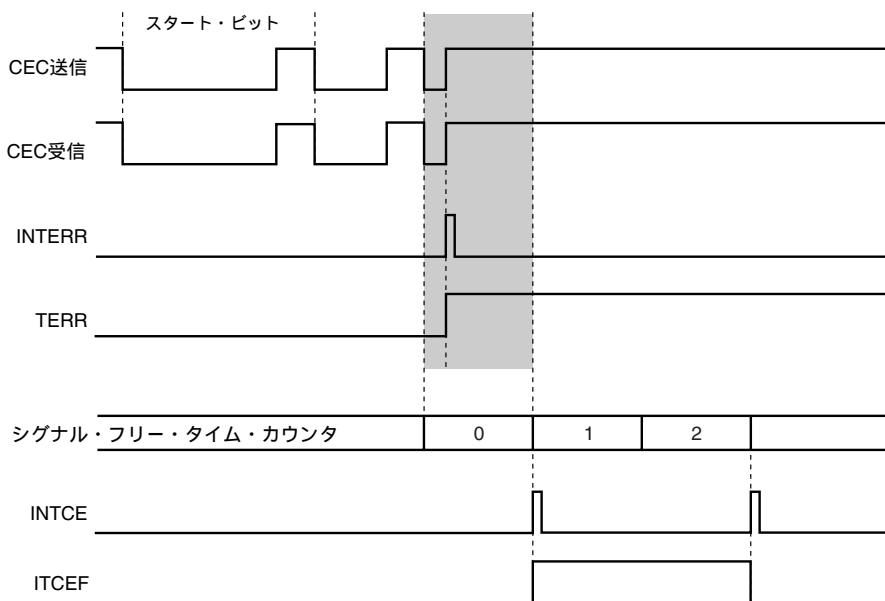


図13 - 63 フォロワ動作時のビット幅が短い場合のタイミング・エラー

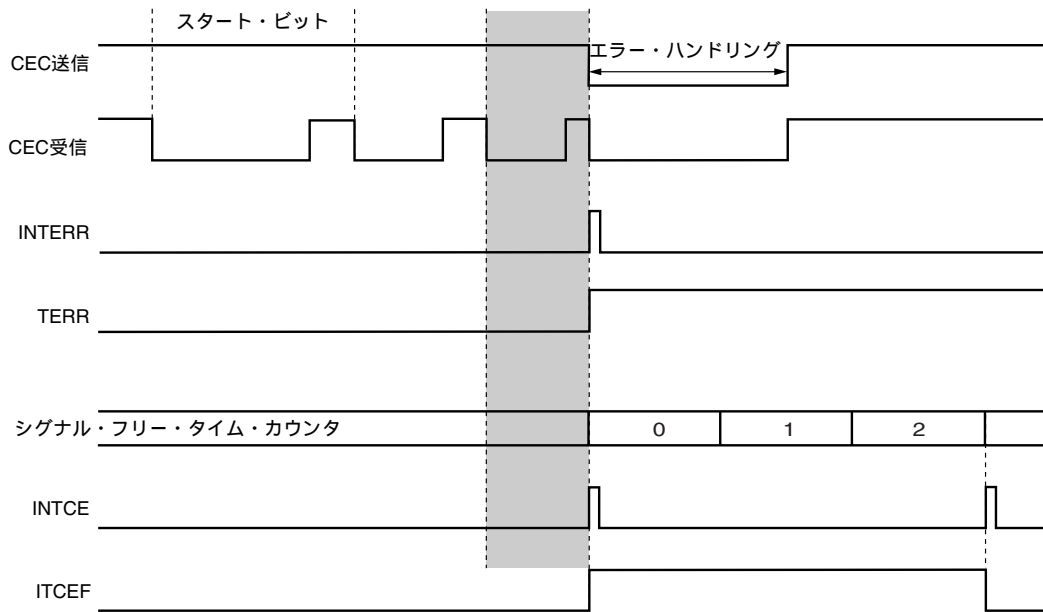
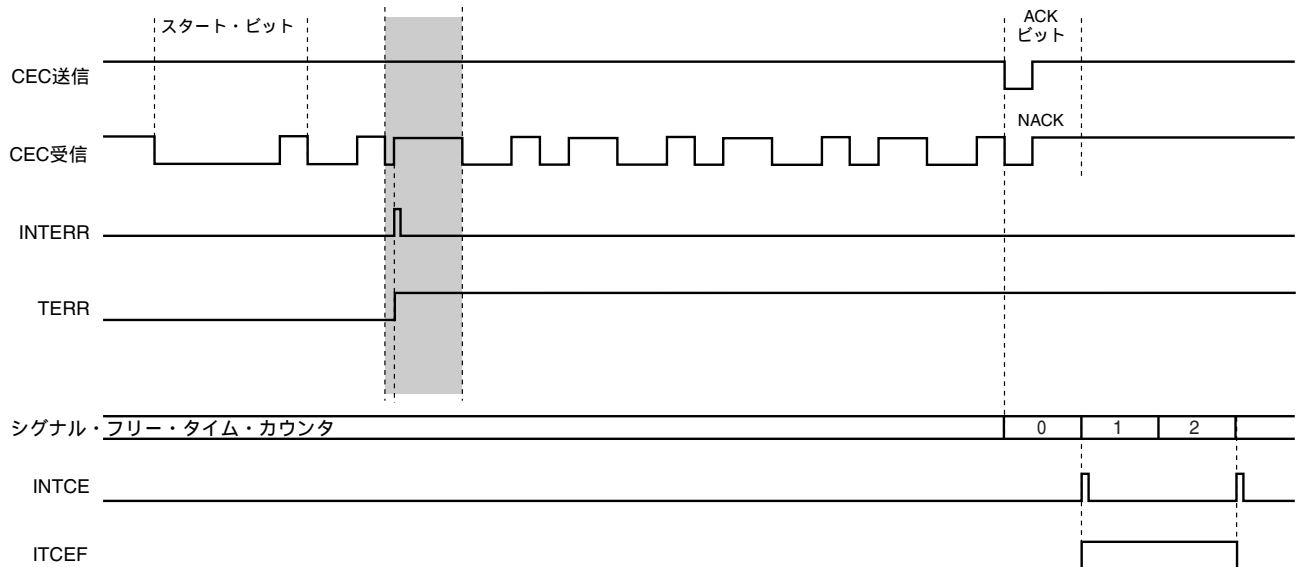


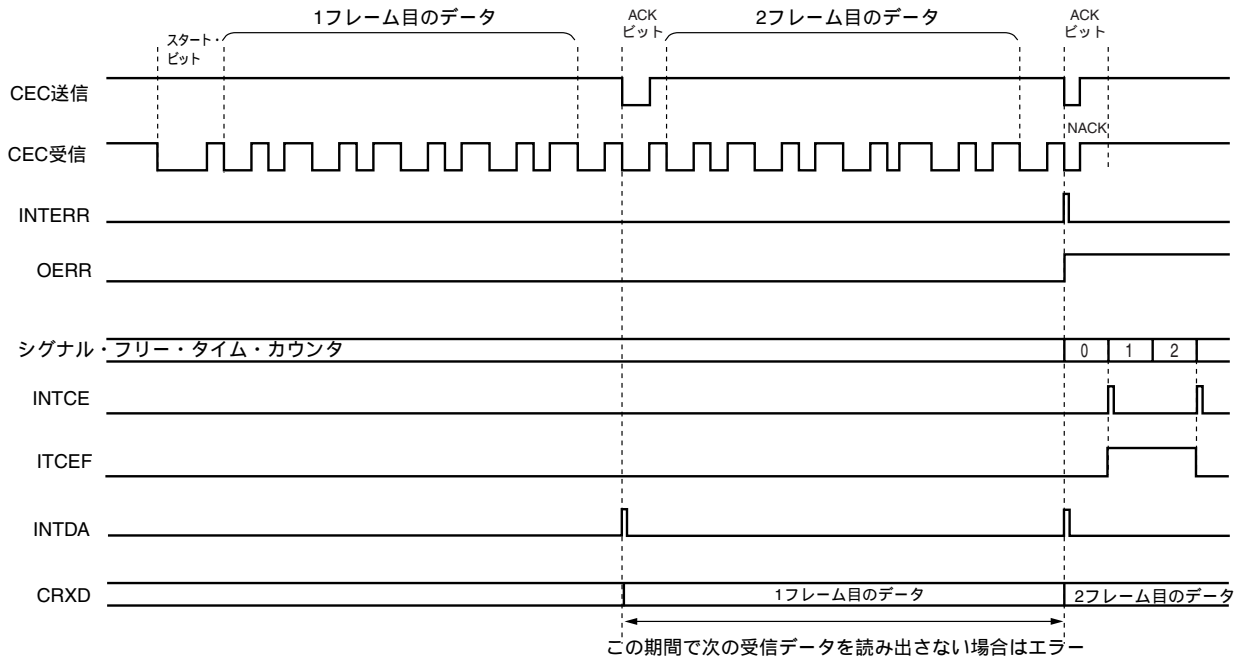
図13 - 64 フォロワ動作時のビット幅が短い場合以外のタイミング・エラー



(6) オーバラン・エラー

フォロワ動作時に、受信バッファ・レジスタ (CRXD) からデータをリードする前に、次のデータ受信が完了した場合にオーバラン・エラーとなります。エラー割り込み (INTERR) を発生させ、オーバラン・エラー・フラグ (OERR) をセットします。CRXDバッファの値は新しい値に書き換えられます。その後、オーバラン・エラーが発生したブロックのACK送信タイミングで、ダイレクト・アドレス通信時はロジカル1、ブロードキャスト通信時はロジカル0を返信し、イニシエータに受信が失敗したことを伝え受信待機状態に遷移します。INTCEはCESEL1, CESEL0設定に依存して動作します。

図13 - 65 オーバラン・エラー (シグナル・フリー・タイム3ビット設定時)



(7) バス・ロック・エラー

NOMPで設定した1データ・ビット幅の2.5倍の期間，CEC受信信号がハイ/ロウ・レベルに張り付いている場合にバス・ロック・エラーとなります[※]。BLERRDを1に設定することで，入力信号がハイ/ロウ・レベルに張り付くことを検出可能です。エラーを検出すると，エラー割り込み (INTERR) を発生させ，バス・ロック・エラー・フラグ (BLERR) をセットし，通信待機状態となり，シグナル・フリー・タイムをカウントします。INTCEはCESEL1, CESEL0設定に依存して動作します。

注 立ち下がりエッジを検出して通信開始となつてからが対象となります。

注意 バス・ロック・エラーを検出しない場合，意図した動作で終了できないことがあります。その場合，再送のタイミングを失い，異常通信を継続します。そのため，受信動作時にはBLERRDをセットし，バス・ロック・エラーを検出するように設定してください。

図13 - 66 イニシエータ動作時 (シグナル・フリー・タイム3ビット設定時)

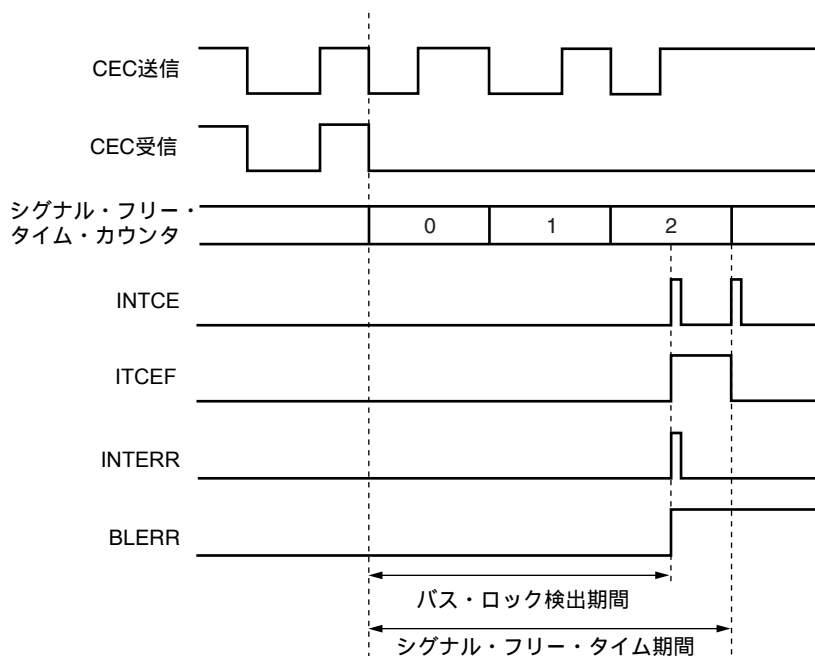
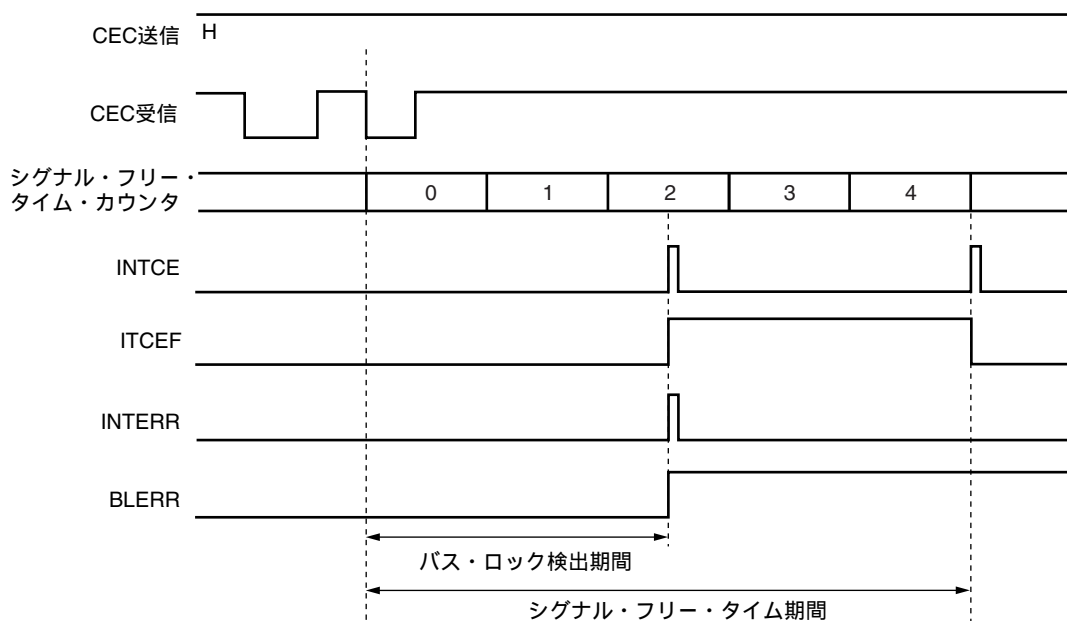


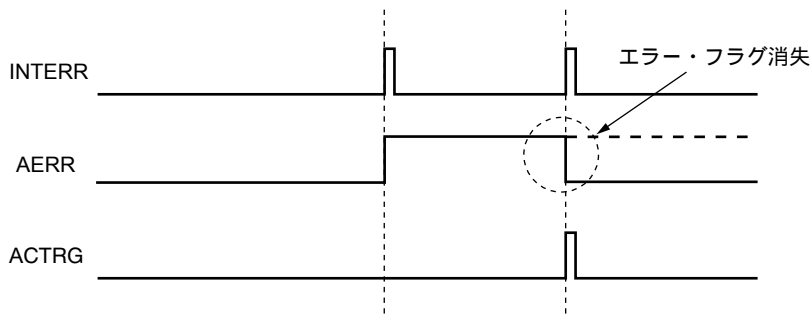
図13 - 67 フォロワ動作時 (シグナル・フリー・タイム5ビット設定時)



13.7.7 エラー・フラグのクリア方法

CEC通信エラー・ステータス・レジスタ (CECES) にセットされたエラー・フラグは、CEC通信エラー・フラグ・クリア・トリガ・レジスタ (CEFC) の対象ビットに1をセットすることでクリアが可能です。図13 - 68はアービトレーション・エラーが発生した場合を示しています。CEFCに20Hにセットすることで、アービトレーション・エラー・フラグをクリア出来ます。

図13 - 68 同一エラーが2回発生し、クリア・トリガと競合したとき



注意 エラー・フラグのクリアと、クリア対象エラー・フラグ・セットが競合した場合、2度目のエラー・フラグがセットされない可能性があります。

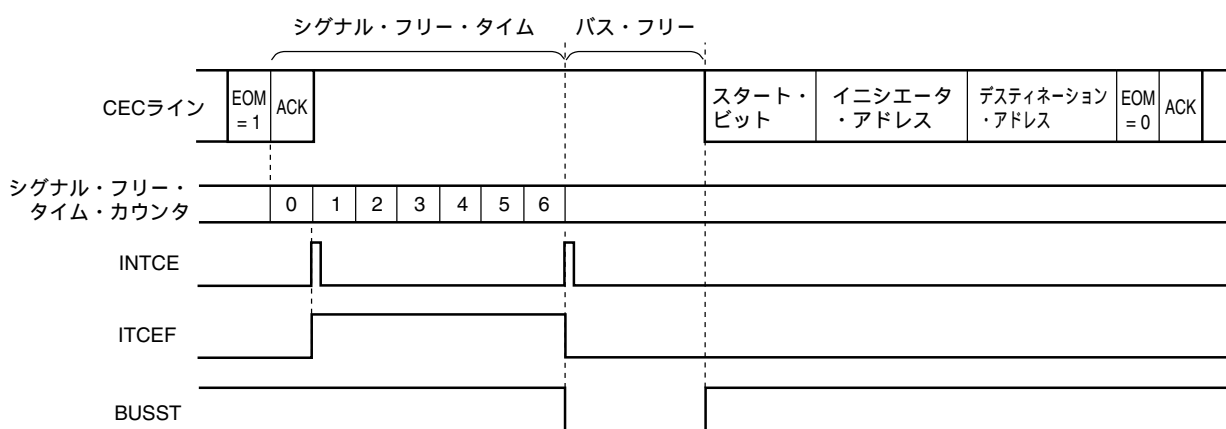
13.7.8 シグナル・フリー・タイム

シグナル・フリー・タイムの完了は、設定した時間（NOMPレジスタで設定した1ビット幅の3/5/7ビット分）との一致検出により、通信完了割り込みを発生する事で通知します。シグナル・フリー・タイムのビット数はSFT1, SFT0で設定し、通信完了割り込みはCESEL1, CESEL0を設定することで割り込み発生タイミングを選択することが可能です。カウント開始タイミングは常に受信データの立ち下がり検出時です。通常の通信では、EOM = 1のACKビット立ち下がりエッジ検出後にシグナル・フリー・タイムのカウントを開始します。

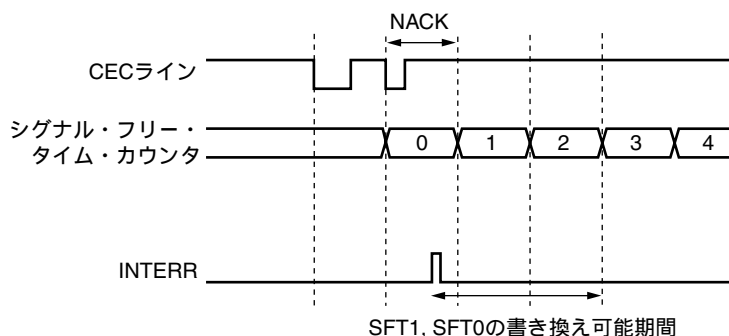
エラーが発生した場合も、通信停止後にシグナル・フリー・タイムのカウントを開始します。

エラー・ハンドリング・パルス（ビット幅1.5倍のロウ・パルス）を受け付けた場合は、エラー・ハンドリング・パルスの立ち下がりエッジからカウント動作を開始します。図13 - 69はCESEL1 = 0, CESEL0 = 0, SFT1 = 1, SFT0 = 0に設定した7データ・ビット幅のシグナル・フリー・タイム検出設定した場合の動作例です。

図13 - 69 シグナル・フリー・タイムの動作



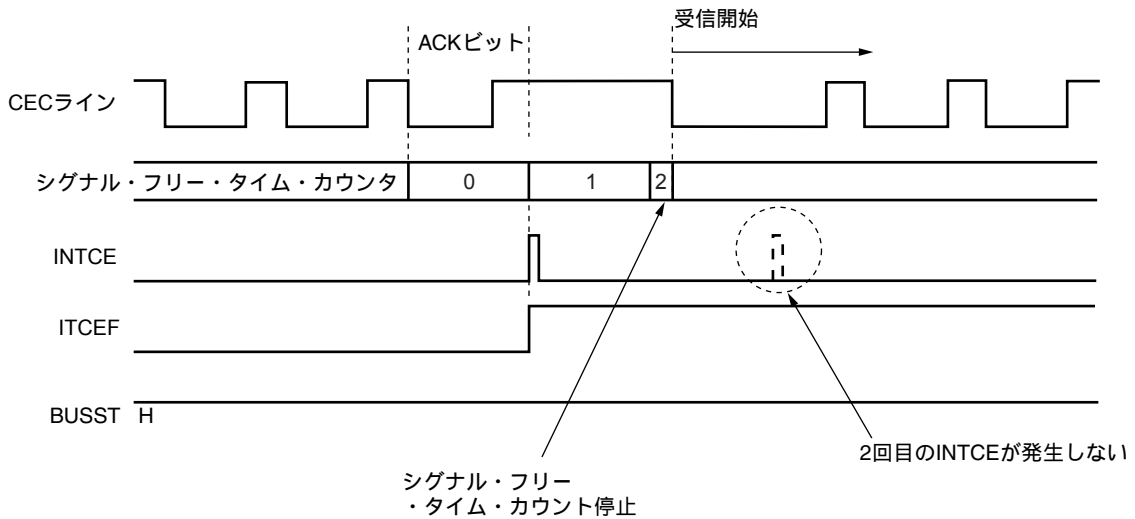
注意 シグナル・フリー・タイム・カウント中にSFT1, SFT0レジスタの値を、現在のビット数より小さく書き換える場合、書き換え後のビット・カウント値までに書き換えを完了してください。書き換えが間に合わなかった場合、カウンタがオーバーフローして、再度ビット数が一致するまで、シグナル・フリー・タイム期間となります。以下に5データ・ビット幅から3データ・ビット幅に変更する場合の例を示します。



<シグナル・フリー・タイム中の受信動作開始>

シグナル・フリー・タイム・カウンタ中に、CEC受信信号に立ち下がりエッジを検出した場合、受信動作を開始します。このときシグナル・フリー・タイム・カウンタのカウント動作は停止するので、シグナル・フリー・タイム・カウンタ後にINTCEを出力する設定でもINTCEが出力されません。

また、同様にシグナル・フリー・タイム・カウンタ中に送信トリガに1をライトした場合も、送信を開始し、シグナル・フリー・タイム・カウンタのカウント動作は停止します。



第14章 リモコン受信回路

14.1 リモコン受信回路の機能

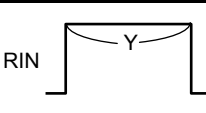
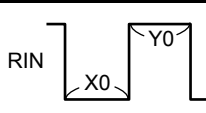
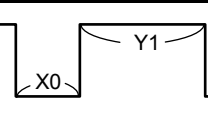
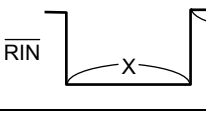
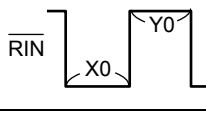
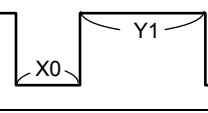
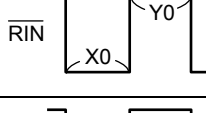

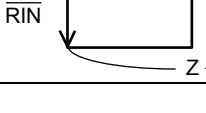
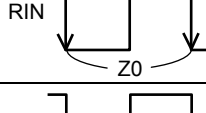
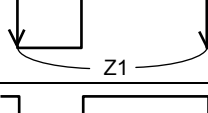
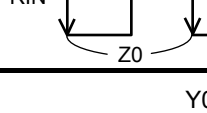
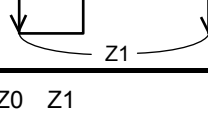
- ・多チャンネル対応（4チャンネル搭載）
- ・リモコン受信波形のハイ/ロウ・レベル幅によるビット検出，または周期によるビット検出が可能
- ・受信エラー発生時も継続して受信可能
- ・ノイズ除去機能（パルス・ノイズ除去/周期ノイズ除去）

また，リモコン受信モードには以下の5種類があります。

- ・A方式受信モード ... ハイ/ロウ・レベル幅によるビット検出，ガイド・パルス（半クロック）あり
- ・B方式受信モード ... ハイ/ロウ・レベル幅によるビット検出，ガイド・パルス（1クロック）あり
- ・C方式受信モード ... ハイ/ロウ・レベル幅によるビット検出，ガイド・パルス なし
- ・B1方式受信モード ... 周期によるビット検出，ガイド・パルス（1周期）あり
- ・C1方式受信モード ... 周期によるビット検出，ガイド・パルス なし

備考 ガイド・パルス（リーダー・コード）：リモコン信号のヘッダ部

表14 - 1 各受信モードのフォーマット（RMINに入力すべき波形）

受信モード	ガイド・パルス	データ0	データ1	フォーマット例
A方式				14. 5. 1参照
B方式				14. 5. 3参照
C方式	なし			14. 5. 5参照
B1方式				14. 5. 7参照
C1方式	なし			14. 5. 9参照

備考1. データ0よりデータ1の方が波形が長くなります。（ $Y_0 < Y_1$, $Z_0 < Z_1$ ）

2. X, X0 : ロウ・レベル幅
Y, Y0, Y1 : ハイ・レベル幅
Z, Z0, Z1 : 周期

3. RIN : リモコン受信データ入力（RIN01, RIN23）端子からの入力信号
 $\overline{\text{RIN}}$: RINの反転信号
RMIN : 図14 - 1参照

14.2 リモコン受信回路の構成

リモコン受信回路は、次のハードウェアで構成しています。

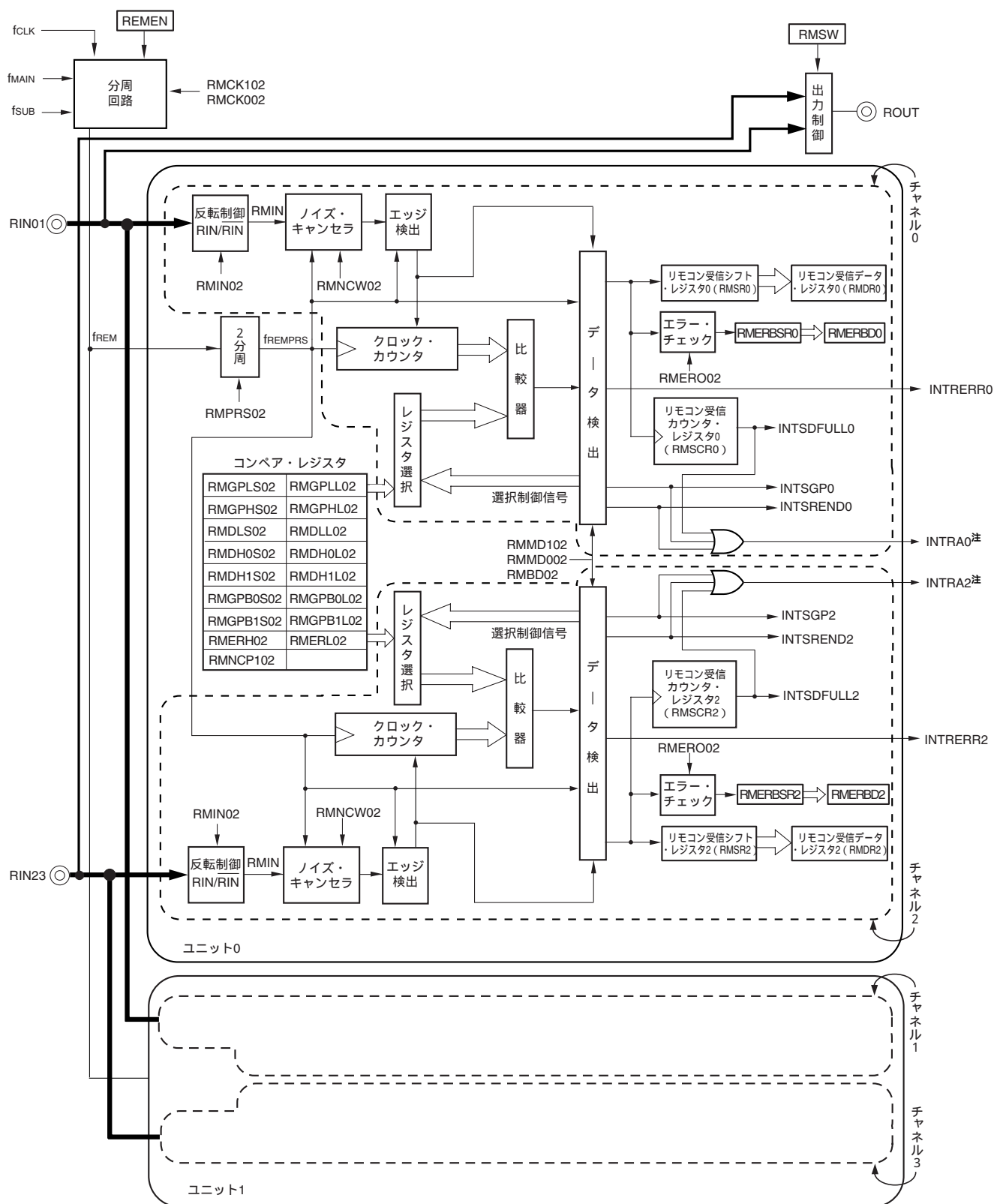
表14-2 リモコン受信回路の構成 (ユニット0)

項 目	構 成
チャンネル0専用レジスタ	リモコン受信データ・レジスタ0 (RMDR0) リモコン受信カウンタ・レジスタ0 (RMSCR0) リモコン受信シフト・レジスタ0 (RMSR0) リモコン受信割り込みステータス・レジスタ0 (RMINTS0) リモコン受信エラー・ビット検出レジスタ0 (RMERBD0) リモコン受信エラー・ビット検出シフト・レジスタ0 (RMERBSR0)
チャンネル2専用レジスタ	リモコン受信データ・レジスタ2 (RMDR2) リモコン受信カウンタ・レジスタ2 (RMSCR2) リモコン受信シフト・レジスタ2 (RMSR2) リモコン受信割り込みステータス・レジスタ2 (RMINTS2) リモコン受信エラー・ビット検出レジスタ2 (RMERBD2) リモコン受信エラー・ビット検出シフト・レジスタ2 (RMERBSR2)
共通レジスタ	周辺イネーブル・レジスタ1 (PER1) リモコン受信制御1レジスタ02 (RMCN102) リモコン受信制御2レジスタ02 (RMCN202) リモコン受信データ・スルー制御レジスタ (RMSW) リモコン受信GPLSコンペア・レジスタ02 (RMGPLS02) リモコン受信GPLLコンペア・レジスタ02 (RMGPLL02) リモコン受信GPHSコンペア・レジスタ02 (RMGPHS02) リモコン受信GPHLコンペア・レジスタ02 (RMGPHL02) リモコン受信DLSコンペア・レジスタ02 (RMDLS02) リモコン受信DLLコンペア・レジスタ02 (RMDLL02) リモコン受信DH0Sコンペア・レジスタ02 (RMDH0S02) リモコン受信DH0Lコンペア・レジスタ02 (RMDH0L02) リモコン受信DH1Sコンペア・レジスタ02 (RMDH1S02) リモコン受信DH1Lコンペア・レジスタ02 (RMDH1L02) リモコン受信GPBS コンペア・レジスタ02 (RMGPBS02) リモコン受信GPBL コンペア・レジスタ02 (RMGPBL02) リモコン受信DB0S コンペア・レジスタ02 (RMDB0S02) リモコン受信DB0L コンペア・レジスタ02 (RMDB0L02) リモコン受信DB1S コンペア・レジスタ02 (RMDB1S02) リモコン受信DB1L コンペア・レジスタ02 (RMDB1L02) リモコン受信エンド幅選択レジスタ02 (RMERH02/RMERL02) リモコン受信ノイズ除去期間設定レジスタ02 (RMNCP102) ポート・モード・レジスタ4, 9 (PM4, PM9) ポート・レジスタ4, 9 (P4, P9)

表14-3 リモコン受信回路の構成 (ユニット1)

項 目	構 成
チャンネル1専用レジスタ	リモコン受信データ・レジスタ1 (RMDR1) リモコン受信カウンタ・レジスタ1 (RMSCR1) リモコン受信シフト・レジスタ1 (RMSR1) リモコン受信割り込みステータス・レジスタ1 (RMINTS1) リモコン受信エラー・ビット検出レジスタ1 (RMERBD1) リモコン受信エラー・ビット検出シフト・レジスタ1 (RMERBSR1)
チャンネル3専用レジスタ	リモコン受信データ・レジスタ3 (RMDR3) リモコン受信カウンタ・レジスタ3 (RMSCR3) リモコン受信シフト・レジスタ3 (RMSR3) リモコン受信割り込みステータス・レジスタ3 (RMINTS3) リモコン受信エラー・ビット検出レジスタ3 (RMERBD3) リモコン受信エラー・ビット検出シフト・レジスタ3 (RMERBSR3)
共通レジスタ	周辺イネーブル・レジスタ1 (PER1) リモコン受信制御1レジスタ13 (RMCN113) リモコン受信制御2レジスタ13 (RMCN213) リモコン受信データ・スルー制御レジスタ (RMSW) リモコン受信GPLSコンペア・レジスタ13 (RMGPLS13) リモコン受信GPLLコンペア・レジスタ13 (RMGPLL13) リモコン受信GPHSコンペア・レジスタ13 (RMGPHS13) リモコン受信GPHLコンペア・レジスタ13 (RMGPHL13) リモコン受信DLSコンペア・レジスタ13 (RMDLS13) リモコン受信DLLコンペア・レジスタ13 (RMDLL13) リモコン受信DH0Sコンペア・レジスタ13 (RMDH0S13) リモコン受信DH0Lコンペア・レジスタ13 (RMDH0L13) リモコン受信DH1Sコンペア・レジスタ13 (RMDH1S13) リモコン受信DH1Lコンペア・レジスタ13 (RMDH1L13) リモコン受信GPBS コンペア・レジスタ13 (RMGPBS13) リモコン受信GPBL コンペア・レジスタ13 (RMGPBL13) リモコン受信DB0S コンペア・レジスタ13 (RMDB0S13) リモコン受信DB0L コンペア・レジスタ13 (RMDB0L13) リモコン受信DB1S コンペア・レジスタ13 (RMDB1S13) リモコン受信DB1L コンペア・レジスタ13 (RMDB1L13) リモコン受信エンド幅選択レジスタ13 (RMERH13/RMERL13) リモコン受信ノイズ除去期間設定レジスタ13 (RMNCP113) ポート・モード・レジスタ4, 9 (PM4, PM9) ポート・レジスタ4, 9 (P4, P9)

図14-1 リモコン受信回路のブロック図



注 このリモコン受信回路では、以下の3つの割り込み要因を「INTRAN」信号として出力します。

- ・ 8ビット・データ受信完了 (INTDFULLn)
- ・ 受信完了 (INTRENDn)
- ・ ガイド・パルス検出 (INTGPn)

この章では、説明の便宜上、「INTDFULLn」「INTRENDn」「INTGPn」としてありますが、それぞれ以下のよ
うに読み替えてください。

- ・ INTDFULLn ... INTRAn割り込み発生かつRMINTSnレジスタのINTSDFULLn = 1
- ・ INTRENDn ... INTRAn割り込み発生かつRMINTSnレジスタのINTSRENDn = 1
- ・ INTGPn ... INTRAn割り込み発生かつRMINTSnレジスタのINTSGPn = 1

備考 n = 0-3

(1) リモコン受信シフト・レジスタn (RMSRn)

リモコン・データ受信用の8ビットのレジスタです。

ビット7からデータが格納され、新たなデータが来るたびに下位ビットに押し出されて行きます。そのた
めビット7が最終データで、ビット0側が先頭データになります。

データ0を正常受信すると、ビット7に“0”が格納され、データ1を正常受信すると、ビット7に“1”が
格納されます。

RMSRnは、8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00Hになります。

また、以下のいずれかの条件で00Hにクリアされます。

- ・ リモコン動作停止 (RMENm = 0)
- ・ INTDFULLn発生
- ・ INTRENDn発生後のRMSRn読み出し
- ・ A方式 / B方式 / C方式で、エラー発生時
- ・ B1方式 / C1方式で、RMEROm = 0, かつエラー発生時

備考 m = 02, 13, n = 0-3

図14 - 2 リモコン受信シフト・レジスタ n (RMSR n) のフォーマット

アドレス : FFF42H, FFF54H, FFF5AH, FFF60H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RMSR n								

注意1. RMSR n は、データ受信中の読み出しは禁止です。INTREND n 発生後、以下のレジスタを読み出したあとに、RMSR n を読み出してください。

- RMSCR n
- RMERBSR n (B1, C1方式受信モードのみ)
- RMERBD n (B1, C1方式受信モードのみ)

また、RMSR n 読み出し動作終了後にRMSR n の内容はクリアされてしまうため、一度読み出した値を保証することはできません。

2. RMSR n に8ビット分のリモコン信号を受信した場合、RMSR n の内容はリモコン受信データ・レジスタ n (RMDR n) に転送され、INTDFULL n が発生します。このとき、RMSR n はクリアされます。
3. INTREND n 発生後は、必ず先にRMSCR n 、次にRMSR n の順序で読み出しを行ってください。RMSR n の読み出し後は、自動的にRMSCR n 、RMSR n はクリアされます。INTREND n 発生後は、RMSR n の読み出しをするまで次のデータ受信はできません。
4. B1方式/C1方式で、エラー発生時に動作継続 (RMCN2 m レジスタのRMEROm = 1) を選択している場合、エラーが発生したビットは“0”が格納されます。

また、この場合にINTREND n 発生後は、必ず先にRMSCR n とRMERBSR n を読み出して、そのあとでRMSR n を読み出してください。RMSR n の読み出し後は、自動的にRMSCR n 、RMERBSR n 、RMSR n はクリアされます。INTREND n 発生後は、RMSR n の読み出しをするまで次のデータ受信はできません。

備考1. $m = 02, 13, n = 0-3$

2. リモコン信号のフォーマットが8ビット整数倍以外でも、リモコン受信可能です。リモコン受信カウンタ・レジスタ n (RMSCR n) の値によって、RMSR n レジスタの上位有効ビット数が判断できます。RMSR n レジスタの有効ビット以外のビットは0になります。

(2) リモコン受信データ・レジスタ_n (RMDR_n)

リモコン受信データを保持するレジスタです。リモコン受信シフト・レジスタ_n (RMSR_n) のオーバーフローで、RMSR_nのデータがRMDR_nに転送されます。ビット7が最終データで、ビット0が先頭データになります。RMSR_nからRMDR_nに転送すると同時に、INTDFULL_nを発生します。

RMDR_nは、8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00Hになります。

また、リモコン動作禁止 (RMEN_m = 0) により、00Hにクリアされます。

図14 - 3 リモコン受信データ・レジスタ_n (RMDR_n) のフォーマット

アドレス : FFF40H, FFF4EH, FFF58H, FFF5EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RMDR _n								

注意 INTDFULL_n発生後、次の8ビット分のデータを受信完了する前に読み出してください。
間に合わずに次のINTDFULL_nが発生した場合は、RMDR_nは上書きされます。

備考 m = 02, 13, n = 0-3

(3) リモコン受信カウンタ・レジスタ_n (RMSCR_n)

リモコン受信終了 (INTREND_n発生) 時に、リモコン受信シフト・レジスタ_n (RMSR_n) に残っている有効ビット数を示すための3ビット・カウンタ・レジスタです。このレジスタの値を読むことで、8ビット整数倍以外のフォーマットのリモコン信号を受信した場合でも、RMSR_nレジスタの上位有効ビット数が判断できます。

RMSCR_nは、8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00Hになります。

また、以下のいずれかの条件で00Hにクリアされます。

- ・リモコン動作停止 (RMEN_m = 0)
- ・INTREND_n発生後のRMSR_n読み出し
- ・A方式 / B方式 / C方式で、エラー発生時
- ・B1方式 / C1方式で、RMERO_m = 0、かつエラー発生時

図14 - 4 リモコン受信カウンタ・レジスタ_n (RMSCR_n) のフォーマット

アドレス : FFF41H, FFF4FH, FFF59H, FFF5FH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RMSCR _n	0	0	0	0	0			

注意 INTREND_n発生後、RMSR_nを読み出す前にRMSCR_nを読み出してください。
それ以外のタイミングで読み出した場合の値は保証できません。

受信ビット数とRMSCR_nレジスタの関係例

受信ビット数	RMSCR _n レジスタ値	受信ビット数	RMSCR _n レジスタ値
3	3 (3 - 8x0)	8	0 (8 - 8x1)
15	7 (15 - 8x1)	16	0 (16 - 8x2)

備考 m = 02, 13, n = 0-3

表14 - 4 1010101011111111B (16ビット) を受信する場合のRMSRn, RMSCRn, RMDRnレジスタの動作例

	RMSRn								RMSCRn	RMDRn
	7	6	5	4	3	2	1	0		
初期値	0	0	0	0	0	0	0	0	00H	00000000B
1ビット受信	1	0	0	0	0	0	0	0	01H	00000000B
2ビット受信	0	1	0	0	0	0	0	0	02H	00000000B
3ビット受信	1	0	1	0	0	0	0	0	03H	00000000B
...
7ビット受信	1	0	1	0	1	0	1	0	07H	00000000B
8ビット受信	0	1	0	1	0	1	0	1	00H	00000000B
RMDRn転送	0	0	0	0	0	0	0	0	00H	01010101B
9ビット受信	1	0	0	0	0	0	0	0	01H	01010101B
10ビット受信	1	1	0	0	0	0	0	0	02H	01010101B
...
16ビット受信	1	1	1	1	1	1	1	1	00H	01010101B
RMDRn転送	0	0	0	0	0	0	0	0	00H	11111111B

備考 n = 0-3

(4) リモコン受信エラー・ビット検出シフト・レジスタn (RMERBSRn) (B1, C1方式受信モードのみ)

リモコン受信時に発生したエラー・ビットを格納する8ビットのレジスタです。

ビット7からデータが格納され、新たなデータが来るたびに下位ビットに押し出されて行きます。そのためビット7が最終データで、ビット0側が先頭データになります。

エラーが発生すると、ビット7に“1”が格納され、正常データを受信すると、ビット7に“0”が格納されます。

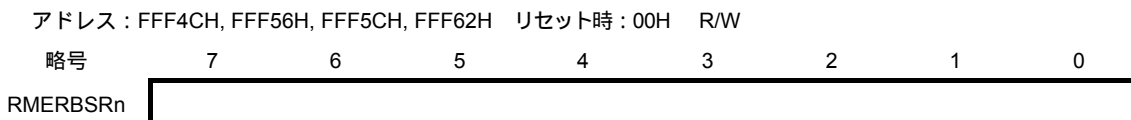
8ビット操作命令でのリードのみ可能です。

リセット信号の発生により、00Hになります。

また、以下のいずれかの条件で00Hにクリアされます。

- ・リモコン動作停止 (RMENm = 0)
- ・RMSRnの読み出し

図14 - 5 リモコン受信エラー・ビット検出シフト・レジスタn (RMERBSRn) のフォーマット



注意1. INTRENDn発生後にRMSRnより先に読み出してください。データ受信中の読み出しは禁止します。

2. B1方式かC1方式で、かつ、RMCN2mレジスタのRMEROm = 1 (エラー発生時、動作を継続) を指定しているときに有効です。

備考 m = 02, 13, n = 0-3

(5) リモコン受信エラー・ビット検出レジスタ_n (RMERBD_n) (B1, C1方式受信モードのみ)

B1方式, C1方式でエラー発生情報を格納するレジスタです。

リモコン受信シフト・レジスタのオーバーフローで, リモコン受信エラー・ビット検出シフト・レジスタ_n (RMERBSR_n) のデータがリモコン受信エラー・ビット検出レジスタに転送されます。

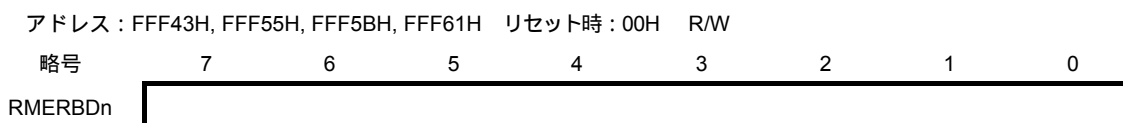
8ビット操作命令でのリードのみ可能です。

リセット信号の発生により, 00Hになります。

また, 以下のいずれかの条件で00Hにクリアされます。

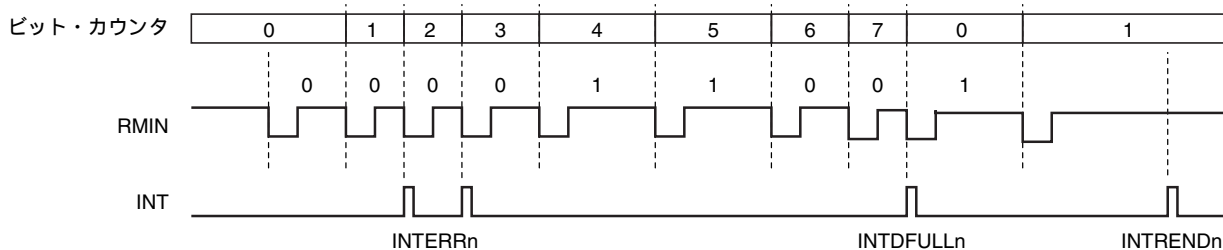
- ・リモコン動作停止 (RMEN_m = 0)
- ・INTREND_n発生後のRMSR_n読み出し

図14 - 6 リモコン受信エラー・ビット検出レジスタ_n (RMERBD_n) のフォーマット



- 注意1. INTDFULL_n発生時に転送されますので, 割り込み発生後に読み出してください。
2. B1方式かC1方式で, かつRMCN2_mレジスタのRMEROM = 1 (エラー発生時, 動作を継続) を指定しているときに有効です。

例 ビット1, 2, 7でエラー発生した場合 (B1方式 / C1方式, RMEROM = 1)



	ビット・カウンタ	RMERBSR _n レジスタ	RMERBD _n レジスタ	RMDR _n レジスタ
	2	80H	00H	00H
	3	C0H	00H	00H
	0	00H (転送&クリア)	86H	30H
	1	00H (転送&クリア)	00H	80H

備考 m = 02, 13, n = 0-3

14.3 リモコン受信回路を制御するレジスタ

リモコン受信回路は、次のレジスタで制御します。

- ・周辺イネーブル・レジスタ1 (PER1)
- ・リモコン受信制御1レジスタm (RMCN1m)
- ・リモコン受信制御2レジスタm (RMCN2m)
- ・リモコン受信割り込みステータス・レジスタn (RMINTSn)
- ・リモコン受信データ・スルー制御レジスタ (RMSW)
- ・ポート・モード・レジスタ4, 9 (PM4, PM9)
- ・ポート・レジスタ4, 9 (P4, P9)

備考 m = 02, 13, n = 0-3

(1) 周辺イネーブル・レジスタ1 (PER1)

PER1は、各周辺ハードウェア・マクロの使用可否を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

リモコン受信回路を使用するときは、必ずビット5 (REMEN) を1に設定してください。

PER1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14-7 周辺イネーブル・レジスタ1 (PER1) のフォーマット

アドレス : F00F1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	0	0	REMEN	CECEN	0	0	0	0

REMEN	リモコン受信回路の入力クロックの制御
0	入力クロック供給停止 ・リモコン受信回路で使用するSFRへのライト不可 ・リモコン受信回路はリセット状態
1	入力クロック供給 ・リモコン受信回路で使用するSFRへのリード/ライト可

- 注意1.** リモコン受信回路の設定をする際には、必ず最初にREMEN = 1の設定を行ってください。
REMEN = 0の場合は、リモコン受信回路の制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります。
2. PER1レジスタのビット0-3, 6, 7には必ず0を設定してください。

(2) リモコン受信制御1レジスタm (RMCN1m)

リモコン受信の動作モードを選択するためのレジスタです。

RMCN1mは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14 - 8 リモコン受信制御1レジスタm (RMCN1m) のフォーマット (1/2)

アドレス : F0330H, F0342H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RMCN102	RMEN02	RMNCW02	RMPRS02	RMIN02	RMD102	RMD002	RMCK102 注1	RMCK002 注1

RMCN113	RMEN13	RMNCW13	RMPRS13	RMIN13	RMD113	RMD013	0	0
---------	--------	---------	---------	--------	--------	--------	---	---

RMENm	リモコン受信許可
0	リモコン受信禁止 (デフォルト)
1	リモコン受信許可

RMNCWm 注2	ノイズ・キャンセル幅制御 (パルス除去)
0	$1/f_{REMPRS}$ 未満のノイズを除去 (デフォルト)
1	$2/f_{REMPRS}$ 未満のノイズを除去

RMPRSm 注2	各チャンネル内部でのクロック分周制御
0	チャンネル内部でクロックを分周しない ($f_{REMPRS} = f_{REM}$) (デフォルト)
1	チャンネル内部でクロックを2分周する ($f_{REMPRS} = f_{REM}/2$)

分周制御 (RMPRSm ^{注2})	ノイズ・キャンセル幅 制御 (RMNCWm ^{注2})	内部動作クロック周期 ($1/f_{REMPRS}$) ^{注3}	キャンセルできるノイズ幅
0	0	$1/f_{REM}$	$1/f_{REM}$ 未満
0	1	$1/f_{REM}$	$2/f_{REM}$ 未満
1	0	$2/f_{REM}$	$2/f_{REM}$ 未満
1	1	$2/f_{REM}$	$4/f_{REM}$ 未満

注意 RMENmを1にセットして f_{REM} の5クロック経過後に、リモコン波形の受信が開始されます。RMENmを1にセットしてから f_{REM} の5クロック分の期間は、リモコン波形を受信できません。

注1. RMCK102, RMCK002はRMCN102のみ。RMCN113のビット1, 0はReadOnlyで、0が読めます。

2. RMENm = 0のときに設定してください。

3. f_{REMPRS} : RMPRSmによる分周制御後の内部動作クロック

f_{REM} : RMCK102, RMCK002で選択されたクロック

備考 m = 02, 13

図14 - 8 リモコン受信制御レジスタm (RMCN1m) のフォーマット (2/2)

アドレス : F0330H, F0342H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RMCN102	RMEN02	RMNCW02	RMPRS02	RMIN02	RMMD102	RMMD002	RMCK102 注1	RMCK002 注1

RMCN113	RMEN13	RMNCW13	RMPRS13	RMIN13	RMMD113	RMMD013	0	0
---------	--------	---------	---------	--------	---------	---------	---	---

RMINm ^{注2}	リモコン入力反転制御
0	リモコン受信データ入力端子の信号を反転しない (デフォルト)
1	リモコン受信データ入力端子の信号を反転する

RMBDm ^{注2, 3}	RMMD1m ^{注2}	RMMD0m ^{注2}	リモコン受信モード
0	0	0	A方式受信モード (ガイド・パルス (半クロック) あり) (デフォルト)
0	0	1	B方式受信モード (ガイド・パルス (1クロック) あり)
0	1	0	C方式受信モード (ガイド・パルスなし)
0	1	1	設定禁止
1	0	0	設定禁止
1	0	1	B1方式受信モード (ガイド・パルス (1周期) あり)
1	1	0	C1方式受信モード (ガイド・パルスなし)
1	1	1	設定禁止

RMCK102 ^{注4}	RMCK002 ^{注4}	リモコン受信回路のソース・クロック (f _{REM})				
		クロック選択	f _{MAIN} = 2 MHz	f _{MAIN} = 5 MHz	f _{MAIN} = 10 MHz	f _{MAIN} = 20 MHz
0	0	f _{MAIN} /2 ⁷	15.625 kHz	39.063 kHz	78.125 kHz	156.250 kHz
0	1	f _{MAIN} /2 ⁸	7.813 kHz	19.531 kHz	39.063 kHz	78.125 kHz
1	0	f _{MAIN} /2 ⁹	3.906 kHz	9.766 kHz	19.531 kHz	39.063 kHz
1	1	f _{SUB}	32.768 kHz			

注1. RMCK102, RMCK002はRMCN102のみ。RMCN113のビット1, 0はReadOnlyで、0が読めます。

- RMENm = 0のときに設定してください。
- RMBDmビットは、RMCN2mレジスタのビット0
- RMCK102, RMCK002により、リモコン受信回路のソース・クロックを指定します。このレジスタで設定したクロック選択がすべてのチャンネルのソース・クロックとなります。このため、すべてのチャンネルの動作が停止しているとき (RMENm = 0) に設定してください。

備考1. m = 02, 13

- f_{MAIN} = 2 ~ 20 MHz, f_{SUB} = 32.768 kHz

(3) リモコン受信制御2レジスタm (RMCN2m)

リモコン受信の動作モードを選択するためのレジスタです。

RMCN2mは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14 - 9 リモコン受信制御2レジスタm (RMCN2m) のフォーマット

アドレス : F0331H, F0343H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RMCN2m	0	0	0	0	0	RMNCEm	RMEROm	RMBDm

RMNCEm 注1, 2	ノイズ除去 (周期除去) 選択
0	周期除去をしない (デフォルト)
1	周期除去をする

RMEROm 注1, 3	エラー発生時の動作選択
0	エラー割り込みを発生し、ビット・カウンタ/シフト・レジスタをクリアしてリスタート (デフォルト)
1	エラー割り込みを発生し、動作を継続。ビット・カウンタ/シフト・レジスタはクリアしない

RMBDm 注1	リモコン受信ビット検出方法
0	ハイ/ロウ幅の検出 (A方式/B方式/C方式) (デフォルト)
1	周期検出 (B1方式/C1方式)

- 注1. RMENm = 0のときに設定してください。
- 周期除去はB1方式/C1方式で有効です。A方式/B方式/C方式で指定した場合は無視されます。
 - エラー発生時の動作継続はB1方式/C1方式で有効です。A方式/B方式/C方式で指定した場合は無視されます。

(4) リモコン受信割り込みステータス・レジスタ_n (RMINTS_n)

リモコン受信割り込み (INTRAn) 発生時に、どの割り込み要求が発生したのかを判別するためのレジスタです。

RMINTS_nは、8ビット・メモリ操作命令で設定します。

リセット信号の発生、またはリモコン動作停止 (RMEN_m = 0) により、00Hになります。

また、対象ビットに1を書き込むことで対象ビットはクリアされます。

図14 - 10 リモコン受信割り込みステータス・レジスタ_n (RMINTS_n) のフォーマット

アドレス : FFF4DH, FFF57H, FFF5DH, FFF63H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RMINTS _n	0	0	0	0	0	INTS DFULL _n	INTS REND _n	INTS GP _n

<リード時の動作>

INTSDFULL _n	8ビット・データ受信完了割り込み要求ステータス
0	8ビット・データ受信完了割り込みが発生していない
1	8ビット・データ受信完了割り込みが発生した

INTSREND _n	受信完了割り込み要求ステータス
0	受信完了割り込みが発生していない
1	受信完了割り込みが発生した

INTSGP _n	ガイド・パルス検出割り込みステータス
0	ガイド・パルス検出割り込みが発生していない
1	ガイド・パルス検出割り込みが発生している

<ライト時の動作>

INTSDFULL _n	8ビット・データ受信完了割り込み要求ステータス
0	8ビット・データ受信完了割り込みステータスをクリアしない
1	8ビット・データ受信完了割り込みステータスをクリアする

INTSREND _n	受信完了割り込み要求ステータス
0	受信完了割り込みステータスをクリアしない
1	受信完了割り込みステータスをクリアする

INTSGP _n	ガイド・パルス検出割り込みステータス
0	ガイド・パルス検出割り込みステータスをクリアしない
1	ガイド・パルス検出割り込みステータスをクリアする

(注意、備考は次ページにあります)

注意 割り込みステータスのセット・タイミングと本レジスタによるクリア・タイミングが競合した場合は割り込みセットが優先されます。このレジスタで対象ビットのステータスをクリアしても、ソース・クロック（RMPRSmの設定に関わらずRMCK102, RMCK002で設定されたクロック）の1クロック分クリアに時間がかかる場合があります。

備考 m = 02, 13, n = 0-3

(5) リモコン受信データ・スルー制御レジスタ (RMSW)

RIN01, RIN23端子から入力されたリモコン受信データをノイズ除去/デコードせずにROUT端子から出力するための出力制御レジスタです。

RMSWは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

図14 - 11 リモコン受信データ・スルー制御レジスタ (RMSW) のフォーマット

アドレス : F0353H リセット時 : 00H R/W

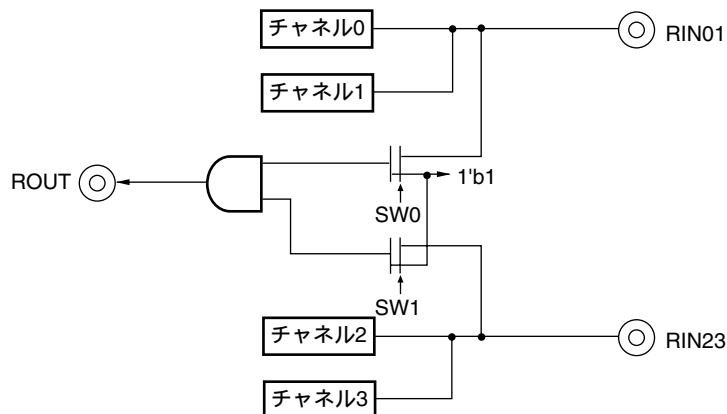
略号	7	6	5	4	3	2	1	0
RMSW	0	0	0	0	0	0	RMSW1	RMSW0

RMSW1	SW1のON/OFF制御
0	SW1をOFF (デフォルト)
1	SW1をON

RMSW0	SW0のON/OFF制御
0	SW0をOFF (デフォルト)
1	SW0をON

受光部から入力されたリモコン受信データはそれぞれSW0/1 を経由してAND 回路に入力され1本の出力端子から出力されます。

図14 - 12 データ・スルー切り替え回路



(6) ポート・モード・レジスタ4, 9 (PM4, PM9)

ポート4, 9の入力 / 出力を1ビット単位で設定するレジスタです。

P90/ROUTをリモコン受信データ出力として使用するとき, PM90ビットに0を, P90の出力ラッチに0を設定してください。

P46/RIN01, P47/RIN23端子 (78K0R/KG3-Cの場合は, P46/RIN01/INTP1/TI05/TO05, P47/RIN23/INTP2端子) をリモコン受信データ入力として使用するとき, PM46, PM47ビットに1を設定してください。P46, P47の出力ラッチは, 0または1のどちらでもかまいません。

PM4, PM9は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図14 - 13 ポート・モード・レジスタ4, 9 (PM4, PM9) のフォーマット

アドレス : FF24H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40

アドレス : FF29H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM9	1	1	1	1	1	1	PM91	PM90 ^注

PMmn	Pmn端子の入出力モードの選択 (m = 4, 9 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注 78K0R/KF3-Cのみ

14.4 リモコン受信回路のコンペア・レジスタ

リモコン受信信号のタイミング判定を設定するレジスタです。

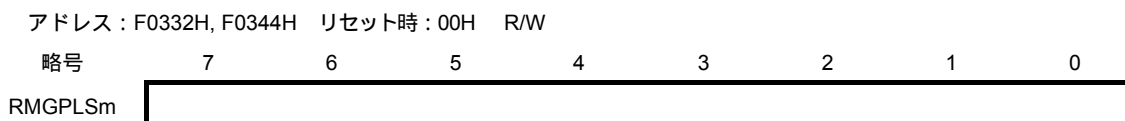
(1) リモコン受信GPLSコンペア・レジスタ m (RMGPLSm) (B方式受信モードのみ)

リモコン・ガイド・パルス・ロウ・レベル検出用レジスタ (ショート側) です。

RMGPLSmは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14 - 14 リモコン受信GPLSコンペア・レジスタ m (RMGPLSm) のフォーマット



注意1. RMEN m = 0の状態 で値を書き込んでください。

- このレジスタは周期検出 (B1方式) のRMGPBS m レジスタの下位8ビットと共有化されています。RMCN2 m レジスタのRMBD m ビットが0のとき、RMGPLSmレジスタとして有効です。RMBD m ビットが1のときは、RMGPBS m の下位8ビットとして使用します。

備考 $m = 02, 13$

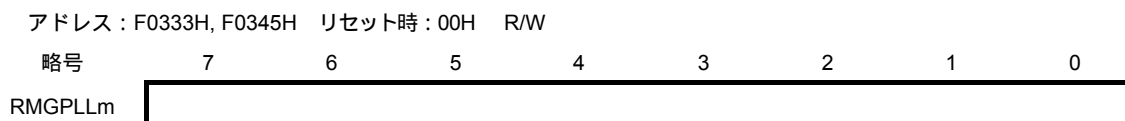
(2) リモコン受信GPLLコンペア・レジスタ m (RMGPLLm) (B方式受信モードのみ)

リモコン・ガイド・パルス・ロウ・レベル検出用レジスタ (ロング側) です。

RMGPLLmは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14 - 15 リモコン受信GPLLコンペア・レジスタ m (RMGPLLm) のフォーマット

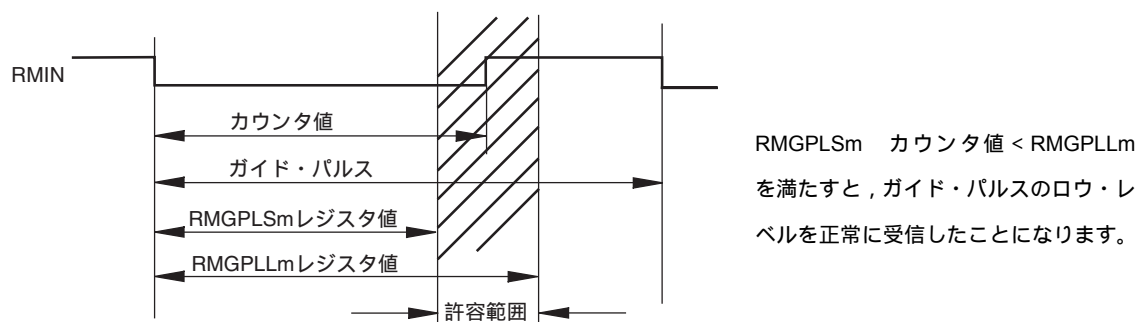


注意1. RMEN m = 0の状態 で値を書き込んでください。

- このレジスタは周期検出 (B1方式) のRMGPBS m レジスタの上位8ビットと共有化されています。RMCN2 m レジスタのRMBD m ビットが0のとき、RMGPLLmレジスタとして有効です。RMBD m ビットが1のときは、RMGPBS m の上位8ビットとして使用されます。

備考 $m = 02, 13$

<ガイド・パルスのロウ・レベル幅の許容範囲>



ガイド・パルスのロウ・レベルを正常に受信すると、ガイド・パルスのハイ・レベル幅を測定しま
す。

備考 m = 02, 13

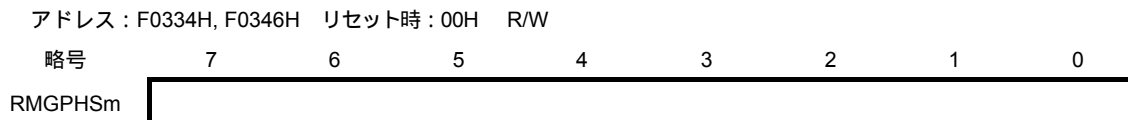
(3) リモコン受信GPHSコンペア・レジスタ_m (RMGPHSm) (A方式, B方式受信モードのみ)

リモコン・ガイド・パルス・ハイ・レベル検出用レジスタ (ショート側) です。

RMGPHSmは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図14 - 16 リモコン受信GPHSコンペア・レジスタ_m (RMGPHSm) のフォーマット



注意1 RMEN_m = 0の状態 で値を書き込んでください。

- 2 このレジスタは周期検出 (B1方式) のRMGPBL_mレジスタの下位8ビットと共有化されています。RMCN2_mレジスタのRMBD_mビットが0のとき, RMGPHSmレジスタとして有効です。RMBD_mビットが1のときは, RMGPBL_mの下位8ビットとして使用されます。

備考 m = 02, 13

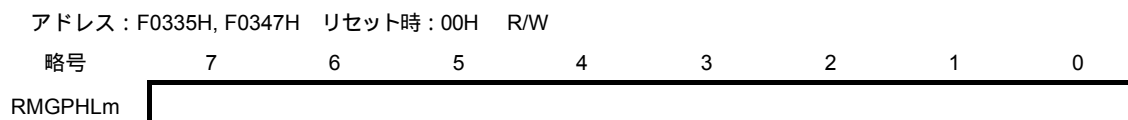
(4) リモコン受信GPHLコンペア・レジスタ_m (RMGPHLm) (A方式, B方式受信モードのみ)

リモコン・ガイド・パルス・ハイ・レベル検出用レジスタ (ロング側) です。

RMGPHLmは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図14 - 17 リモコン受信GPHLコンペア・レジスタ_m (RMGPHLm) のフォーマット



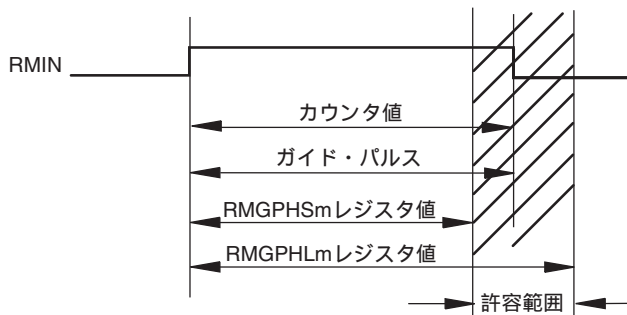
注意1. RMEN_m = 0の状態 で値を書き込んでください。

- 2 このレジスタは周期検出 (B1方式) のRMGPBL_mレジスタの上位8ビットと共有化されています。RMCN2_mレジスタのRMBD_mビットが0のとき, RMGPHLmレジスタとして有効です。RMBD_mビットが1のときは, RMGPBL_mの上位8ビットとして使用されます。

備考 m = 02, 13

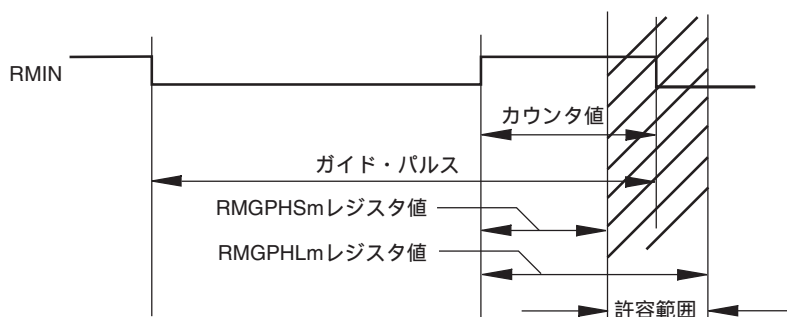
<ガイド・パルスのハイ・レベル幅の許容範囲>

(a) A方式受信モード



RMGPHSm カウンタ値 < RMGPHLm
を満たすと、ガイド・パルスのハイ・レ
ベルを正常に受信したことになります。

(b) B方式受信モード



RMGPHSm カウンタ値 < RMGPHLm
を満たすと、ガイド・パルスのハイ・レ
ベルを正常に受信したことになります。

ガイド・パルスのハイ・レベルを正常に受信すると、INTGPn割り込み信号を出力し、次のデータ・ロウ・レベル幅を測定します。

備考 m = 02, 13, n = 0-3

(5) リモコン受信DLSコンペア・レジスタ_m (RMDLS_m) (A方式, B方式, C方式受信モードのみ)

リモコン・データ・ロウ・レベル検出用レジスタ (ショート側) です。

RMDLS_mは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図14 - 18 リモコン受信DLSコンペア・レジスタ_m (RMDLS_m) のフォーマット



注意1. RMEN_m = 0の状態 で値を書き込んでください。

- このレジスタは周期検出 (B1方式 / C1方式) のRMDB0Smレジスタの下位8ビットと共有化されています。RMCN2_mレジスタのRMBD_mビットが0のとき, RMDLS_mレジスタとして有効です。RMBD_mビットが1のときは, RMDB0Smの下位8ビットとして使用されます。

備考 m = 02, 13

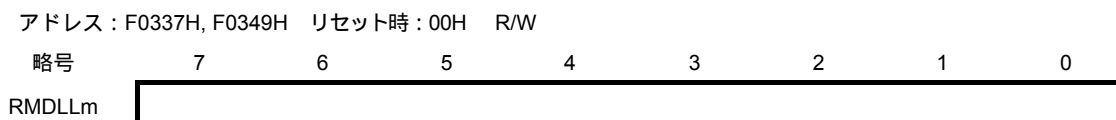
(6) リモコン受信DLLコンペア・レジスタ_m (RMDLL_m) (A方式, B方式, C方式受信モードのみ)

リモコン・データ・ロウ・レベル検出用レジスタ (ロング側) です。

RMDLL_mは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図14 - 19 リモコン受信DLLコンペア・レジスタ_m (RMDLL_m) のフォーマット

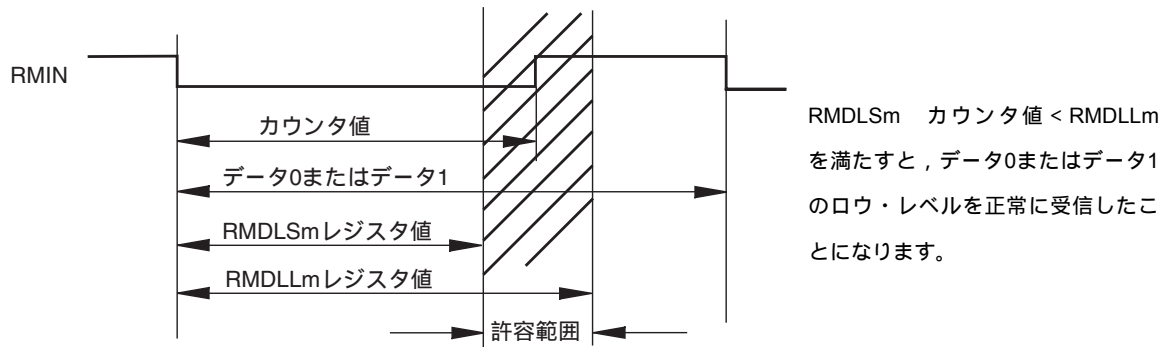


注意1. RMEN_m = 0の状態 で値を書き込んでください。

- このレジスタは周期検出 (B1方式 / C1方式) のRMDB0Smレジスタの上位8ビットと共有化されています。RMCN2_mレジスタのRMBD_mビットが0のとき, RMDLL_mレジスタとして有効です。RMBD_mビットが1のときは, RMDB0Smの上位8ビットとして使用されます。

備考 m = 02, 13

<データ0またはデータ1のロウ・レベル幅の許容範囲>



データのロウ・レベルを正常に受信すると、次のデータ・ハイ・レベル幅を測定します。

備考 m = 02, 13

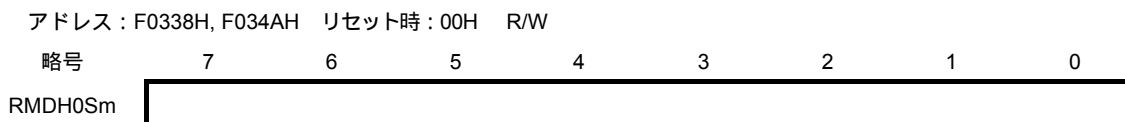
(7) リモコン受信DH0Sコンペア・レジスタ_m (RMDH0Sm) (A方式, B方式, C方式受信モードのみ)

リモコン・データ0ハイ・レベル検出用レジスタ (ショート側) です。

RMDH0Smは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図14 - 20 リモコン受信DH0Sコンペア・レジスタ_m (RMDH0Sm) のフォーマット



注意1. RMEN_m = 0の状態 で値を書き込んでください。

- このレジスタは周期検出(B1方式/C1方式)のRMDB0L_mレジスタの下位8ビットと共有化されています。RMCN2_mレジスタのRMBD_mビットが0のとき, RMDH0Smレジスタとして有効です。RMBD_mビットが1のときは, RMDB0L_mの下位8ビットとして使用されます。

備考 m = 02, 13

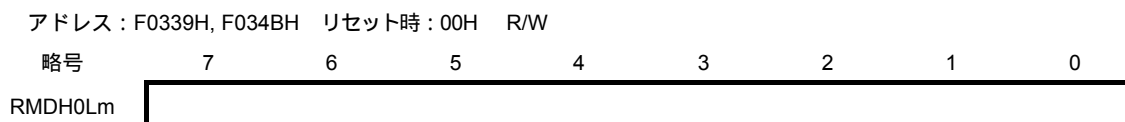
(8) リモコン受信DH0Lコンペア・レジスタ_m (RMDH0Lm) (A方式, B方式, C方式受信モードのみ)

リモコン・データ0ハイ・レベル検出用レジスタ (ロング側) です。

RMDH0Lmは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図14 - 21 リモコン受信DH0Lコンペア・レジスタ_m (RMDH0Lm) のフォーマット

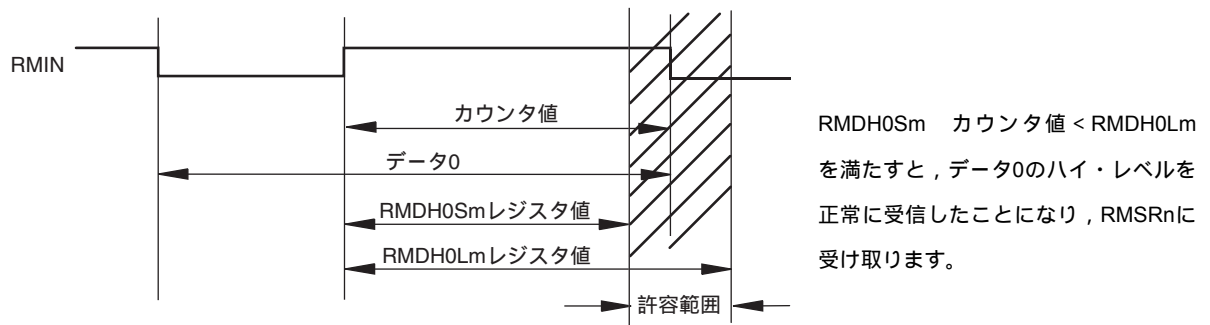


注意1. RMEN_m = 0の状態 で値を書き込んでください。

- このレジスタは周期検出(B1方式/C1方式)のRMDB0L_mレジスタの上位8ビットと共有化されています。RMCN2_mレジスタのRMBD_mビットが0のとき, RMDH0Lmレジスタとして有効です。RMBD_mビットが1のときは, RMDB0L_mの上位8ビットとして使用されます。

備考 m = 02, 13

<データ0のハイ・レベル幅の許容範囲>



データ0を正常に受信すると、シフト・レジスタを右シフトしてビット7に“0”を格納します。そして、次のデータ・ロウ・レベル幅を測定します。

注意 データ0は必ずデータ1より短いハイ・レベル幅に設定してください。

備考 m = 02, 13, n = 0-3

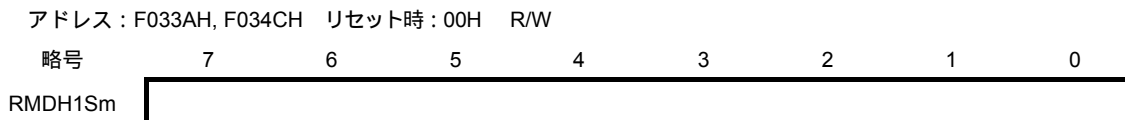
(9) リモコン受信DH1Sコンペア・レジスタ_m (RMDH1Sm) (A方式, B方式, C方式受信モードのみ)

リモコン・データ1ハイ・レベル検出用レジスタ (ショート側) です。

RMDH1Smは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図14 - 22 リモコン受信DH1Sコンペア・レジスタ_m (RMDH1Sm) のフォーマット



注意1. RMEN_m = 0の状態 で値を書き込んでください。

- このレジスタは周期検出 (B1方式 / C1方式) のRMDB1Smレジスタの下位8ビットと共有化されています。RMCN2_mレジスタのRMBD_mビットが0のとき, RMDH1Smレジスタとして有効です。RMBD_mビットが1のときは, RMDB1Smの下位8ビットとして使用されます。

備考 m = 02, 13

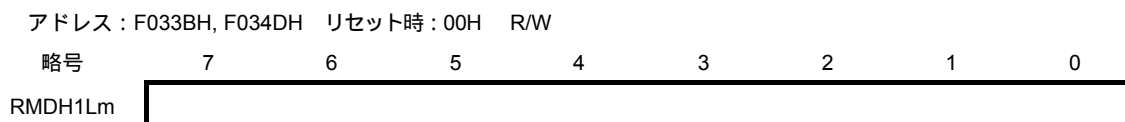
(10) リモコン受信DH1Lコンペア・レジスタ_m (RMDH1Lm) (A方式, B方式, C方式受信モードのみ)

リモコン・データ1ハイ・レベル検出用レジスタ (ロング側) です。

RMDH1Lmは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図14 - 23 リモコン受信DH1Lコンペア・レジスタ_m (RMDH1Lm) のフォーマット

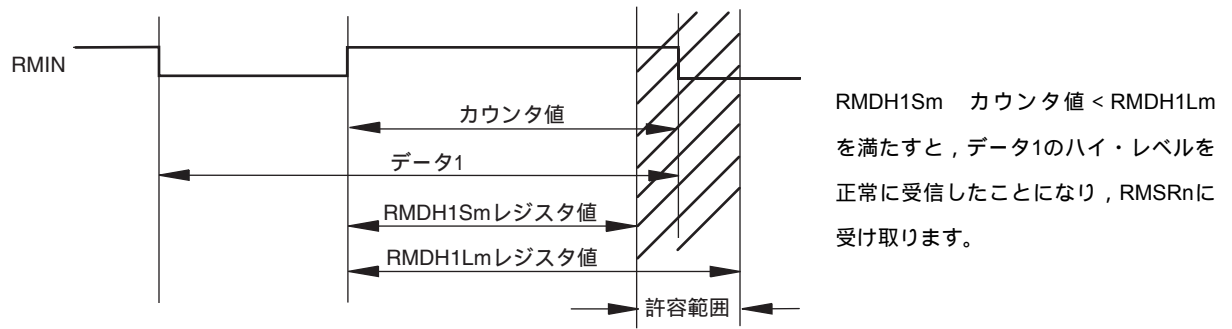


注意1. RMEN_m = 0の状態 で値を書き込んでください。

- このレジスタは周期検出 (B1方式 / C1方式) のRMDB1Smレジスタの上位8ビットと共有化されています。RMCN2_mレジスタのRMBD_mビットが0のとき, RMDH1Lmレジスタとして有効です。RMBD_mビットが1のときは, RMDB1Smの上位8ビットとして使用されます。

備考 m = 02, 13

<データ1のハイ・レベル幅の許容範囲>



データ1を正常に受信すると、シフト・レジスタを右シフトして7ビットに“1”を格納します。そして、次のデータ・ロウ・レベル幅を測定します。

注意 データ1は必ずデータ0より長いハイ・レベル幅に設定してください。

備考 m = 02, 13, n = 0-3

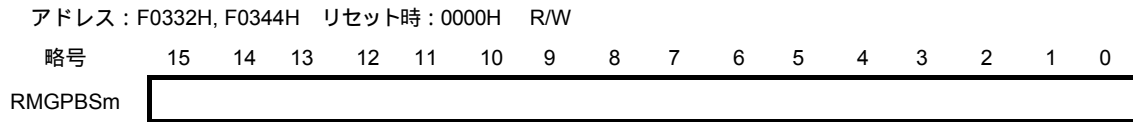
(11) リモコン受信GPBSコンペア・レジスタ_m (RMGPBS_m) (B1方式受信モードのみ)

リモコン・ガイド・パルス周期検出用レジスタ（ショート側）です。

RMGPBS_mは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図14 - 24 リモコン受信GPBSコンペア・レジスタ_m (RMGPBS_m) のフォーマット



注意1. RMEN_m = 0の状態 で値を書き込んでください。

- このレジスタはハイ/ロウ・レベル幅検出 (B方式) のRMGPLS_m, RMGPLL_mレジスタと共有化されています。

このレジスタにアクセスする場合は、RMCN2_mレジスタのRMBD_mビットを1にしてから、16ビット単位で書き込んでください。RMBD_mビットが0の状態 で16ビット書き込みした場合、下位8ビットだけにしか書き込まれず、リードした場合も上位8ビットは0となります。

備考 m = 02, 13

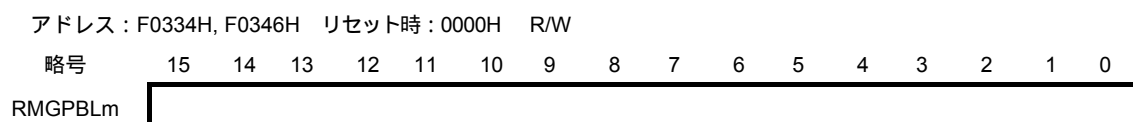
(12) リモコン受信GPBLコンペア・レジスタ_m (RMGPBL_m) (B1方式受信モードのみ)

リモコン・ガイド・パルス周期検出用レジスタ（ロング側）です。

RMGPBL_mは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図14 - 25 リモコン受信GPBLコンペア・レジスタ_m (RMGPBL_m) のフォーマット



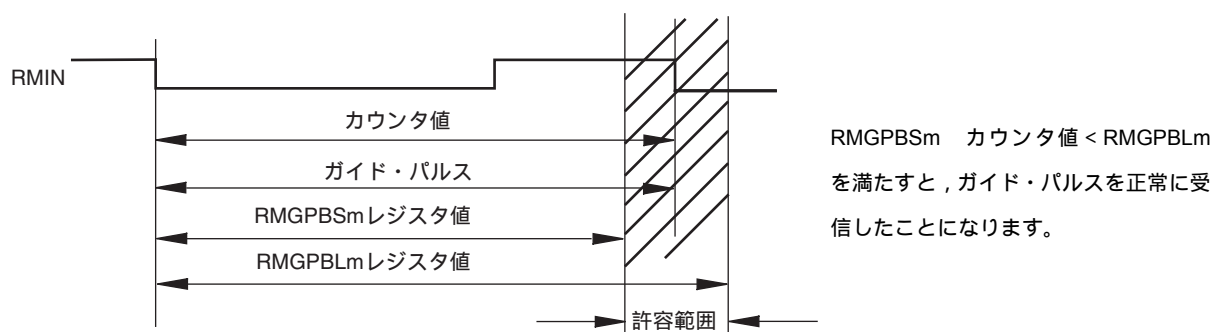
注意1. RMEN_m = 0の状態 で値を書き込んでください。

- このレジスタはハイ/ロウ・レベル幅検出 (A方式/B方式) のRMGPHS_m, RMGPHL_mレジスタと共有化されています。

このレジスタにアクセスする場合は、RMCN2_mレジスタのRMBD_mビットを1にしてから、16ビット単位で書き込んでください。RMBD_mビットが0の状態 で16ビット書き込みした場合、下位8ビットだけにしか書き込まれず、リードした場合も上位8ビットは0となります。

備考 m = 02, 13

<ガイド・パルスの周期の許容範囲>



ガイド・パルスを正常に受信すると、INTGPn割り込み信号を出力し、次のデータ周期を測定します。

備考 m = 02, 13, n = 0-3

(13) リモコン受信DB0Sコンペア・レジスタ_m (RMDB0Sm) (B1方式, C1方式受信モードのみ)

リモコン・データ0周期検出用レジスタ (ショート側) です。

RMDB0Smは, 16ビット・メモリ操作命令で設定します。

リセット信号の発生により, 0000Hになります。

図14 - 26 リモコン受信DB0Sコンペア・レジスタ_m (RMDB0Sm) のフォーマット

アドレス : F0336H, F0348H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RMDB0Sm	[16-bit register box]															

注意1. RMEN_m = 0の状態 で値を書き込んでください。

2. このレジスタはハイ/ロウ・レベル幅検出 (A方式/B方式/C方式) のRMDL_{Sm}, RMDLL_m レジスタと共有化されています。

このレジスタにアクセスする場合は, RMCN2_mレジスタのRMBD_mビットを1にしてから, 16ビット単位で書き込んでください。RMBD_mビットが0の状態 で16ビット書き込みした場合, 下位8ビットだけにしか書き込まれず, リードした場合も上位8ビットは0となります。

備考 m = 02, 13

(14) リモコン受信DB0Lコンペア・レジスタ_m (RMDB0Lm) (B1方式, C1方式受信モードのみ)

リモコン・データ0周期検出用レジスタ (ロング側) です。

RMDB0Lmは, 16ビット・メモリ操作命令で設定します。

リセット信号の発生により, 0000Hになります。

図14 - 27 リモコン受信DB0Lコンペア・レジスタ_m (RMDB0Lm) のフォーマット

アドレス : F0338H, F034AH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RMDB0Lm	[16-bit register box]															

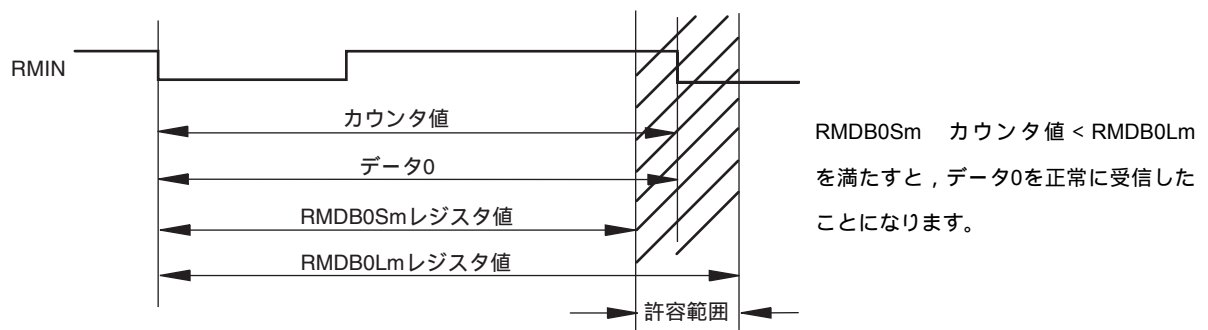
注意1. RMEN_m = 0の状態 で値を書き込んでください。

2. このレジスタはハイ/ロウ・レベル幅検出 (A方式/B方式/C方式) のRMDH0_{Sm}, RMDH0_{Lm} レジスタと共有化されています。

このレジスタにアクセスする場合は, RMCN2_mレジスタのRMBD_mビットを1にしてから, 16ビット単位で書き込んでください。RMBD_mビットが0の状態 で16ビット書き込みした場合, 下位8ビットだけにしか書き込まれず, リードした場合も上位8ビットは0となります。

備考 m = 02, 13

<データ0の周期の許容範囲>



データ0を正常に受信すると、シフト・レジスタを右シフトしてビット7に“0”を格納します。そして、次のデータ周期を測定します。

注意 データ0は必ずデータ1より短い周期に設定してください。

備考 m = 02, 13

(15) リモコン受信DB1Sコンペア・レジスタ_m (RMDB1Sm) (B1方式, C1方式受信モードのみ)

リモコン・データ1周期検出用レジスタ (ショート側) です。

RMDB1Smは, 16ビット・メモリ操作命令で設定します。

リセット信号の発生により, 0000Hになります。

図14 - 28 リモコン受信DB1Sコンペア・レジスタ_m (RMDB1Sm) のフォーマット

アドレス : F033AH, F034CH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RMDB1Sm	[16-bit register box]															

注意1. RMEN_m = 0の状態 で値を書き込んでください。

- このレジスタはハイ/ロウ・レベル幅検出(A方式/B方式/C方式)のRMDH1Sm, RMDH1Lmレジスタと共有化されています。

このレジスタにアクセスする場合は, RMCN2_mレジスタのRMBD_mビットを1にしてから, 16ビット単位で書き込んでください。RMBD_mビットが0の状態 で16ビット書き込みした場合, 下位8ビットだけにしか書き込まれず, リードした場合も上位8ビットは0となります。

備考 m = 02, 13

(16) リモコン受信DB1Lコンペア・レジスタ_m (RMDB1Lm) (B1方式, C1方式受信モードのみ)

リモコン・データ1周期検出用レジスタ (ロング側) です。

RMDB1Lmは, 16ビット・メモリ操作命令で設定します。

リセット信号の発生により, 0000Hになります。

図14 - 29 リモコン受信DB1Lコンペア・レジスタ_m (RMDB1Lm) のフォーマット

アドレス : F033CH, F034EH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RMDB1Lm	[16-bit register box]															

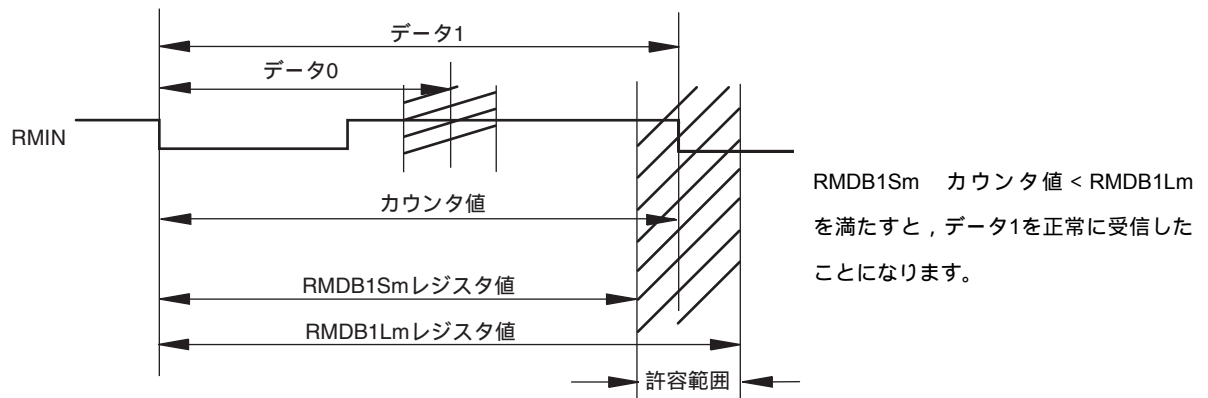
注意1. RMEN_m = 0の状態 で値を書き込んでください。

- このレジスタは他のレジスタとの共有はありません。

このレジスタにアクセスする場合は, RMCN2_mレジスタのRMBD_mビットを1にしてから, 16ビット単位で書き込んでください。RMBD_mビットが0の状態 で16ビット書き込みした場合, 下位8ビットだけにしか書き込まれず, リードした場合も上位8ビットは0となります。

備考 m = 02, 13

<データ1の周期の許容範囲>



データ1を正常に受信すると、シフト・レジスタを右にシフトしてビット7に“1”を格納します。そして、次のデータ周期を測定します。

注意 データ1は必ずデータ0より長い周期に設定してください。

備考 m = 02, 13

(17) リモコン受信エンド幅選択レジスタ_m (RMERH_m/RMERL_m)

INTREND_n信号が出力されるタイミング幅を決めるレジスタです。

エンドの状態に入る条件は、各受信モードで異なります。

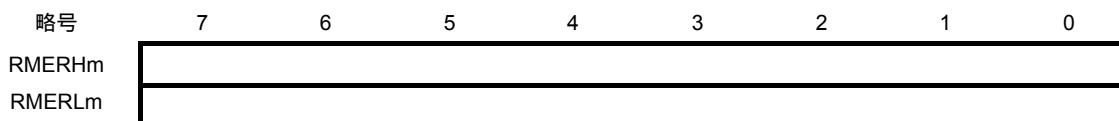
RMERH_mを上位8ビット, RMERL_mを下位8ビットとして、あわせて16ビットのレジスタ (RMER_m) として機能します。

RMERH_m/RMERL_mは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14 - 30 リモコン受信エンド幅選択レジスタ_m (RMERH_m/RMERL_m) のフォーマット

アドレス : F033EH, F033FH, F0350H, F0351H リセット時 : 00H R/W



注意1. エンド幅の測定は、A, B, C方式 (ハイ/ロウ・レベル幅検出) とB1, C1方式 (周期検出) で同じレジスタを使用します。

2. RMEN_m = 0の状態 で値を書き込んでください。

$$RMER_m = \left\lceil \frac{T_{we} \times (1 - X\%)}{1 / f_{REMPRS}} \right\rceil - 1$$

T_{we} : エンド時間

1/f_{REMPRS} : 分周制御後の内部動作クロック周期値

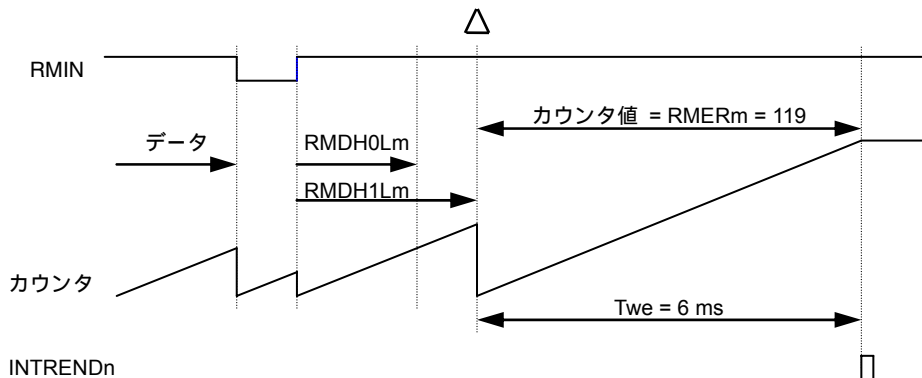
X : 許容誤差

{ } : この中の計算式により発生する小数点以下の値は切り捨ててください。

例1 : B / C方式の場合、仮定エンド時間6 ms、内部動作クロック周期50 μsの場合、RMER_mレジスタ値は、{ 6 ms / 50 μs } - 1 = 119になります。

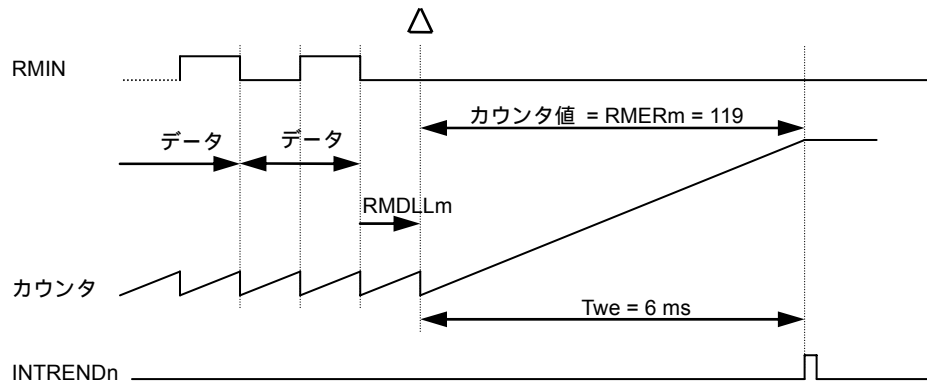
ただし、RMINのハイ・レベル幅は (RMDH1L_m + 1 + RMER_m + 1) × 50 μs

の長さが必要です。満足できない場合、エラー割り込み (INTRERR_n) を発生します。

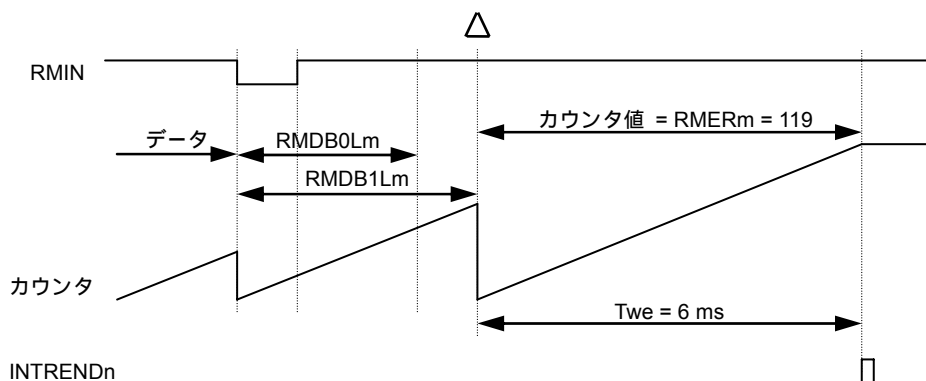


備考 m = 02, 13, n = 0-3

例2：A方式の場合，仮定エンド時間6 ms，内部動作クロック周期50 μ sの場合，RMERmレジスタ値は， $\{6 \text{ ms} / 50 \mu\text{s}\} - 1 = 119$ になります。
 ただし，RMINの口ウ・レベル幅は $(\text{RMDLLm} + 1 + \text{RMERm} + 1) \times 50 \mu\text{s}$ の長さが必要です。満足できない場合，エラー割り込み（INTRERRn）を発生します。



例3：B1/C1方式の場合，仮定エンド時間6 ms，内部動作クロック周期50 μ sの場合，RMERmレジスタ値は， $\{6 \text{ ms} / 50 \mu\text{s}\} - 1 = 119$ になります。
 ただし，RMINの周期は $(\text{RMDB1Lm} + 1 + \text{RMERm} + 1) \times 50 \mu\text{s}$ の長さが必要です。満足できない場合，エラー割り込み（INTRERRn）を発生します。



備考 m = 02, 13, n = 0-3

(18) リモコン受信ノイズ除去期間設定レジスタ_m (RMNCP1_m) (B1方式, C1方式受信モードのみ)

リモコン受信ノイズの除去期間を設定するレジスタです。

ノイズ周期除去を指定した場合 (RMCN2_mレジスタのRMNCE_m = 1) の除去周期を指定します。

指定した除去周期に、 \overline{RIN} 入力の立ち下がりを見逃します。

RMNCP1_mは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14 - 31 リモコン受信ノイズ除去期間設定レジスタ_m (RMNCP1_m) のフォーマット



注意1. RMEN_m = 0の状態ですべてデータ・ライトしてください。

2. ノイズ除去の周期は、分周制御後の内部動作クロック (f_{REMPRS}) でカウントされます。

備考 m = 02, 13

14.5 リモコン受信回路の動作

このリモコン受信回路では、次のリモコン受信モードを使用します。

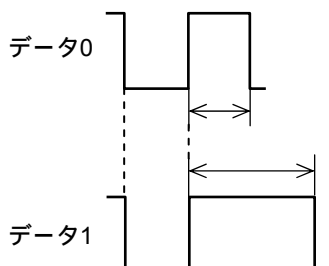
受信モード	ガイド・パルス・ロウ・レベル期間	ガイド・パルス・ハイ・レベル期間	RMIN ^注 への入力波形	検出方法
A方式	なし	あり	RIN	ハイ/ロウ・レベル幅
B方式	あり	あり	$\overline{\text{RIN}}$	
C方式	なし	なし		周期
B1方式	あり	あり		
C1方式	なし	なし		

注 図14-1参照

データの波形は、次のようになっています。

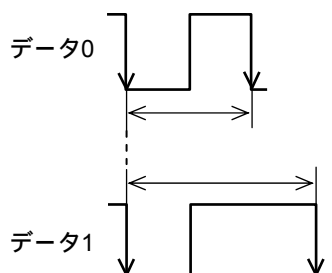
・A方式，B方式，C方式

データ・ロウ・レベル幅は固定で，データ・ハイ・レベル幅の長さ（2種類）によってデータ0とデータ1を判断します。



・B1方式，C1方式

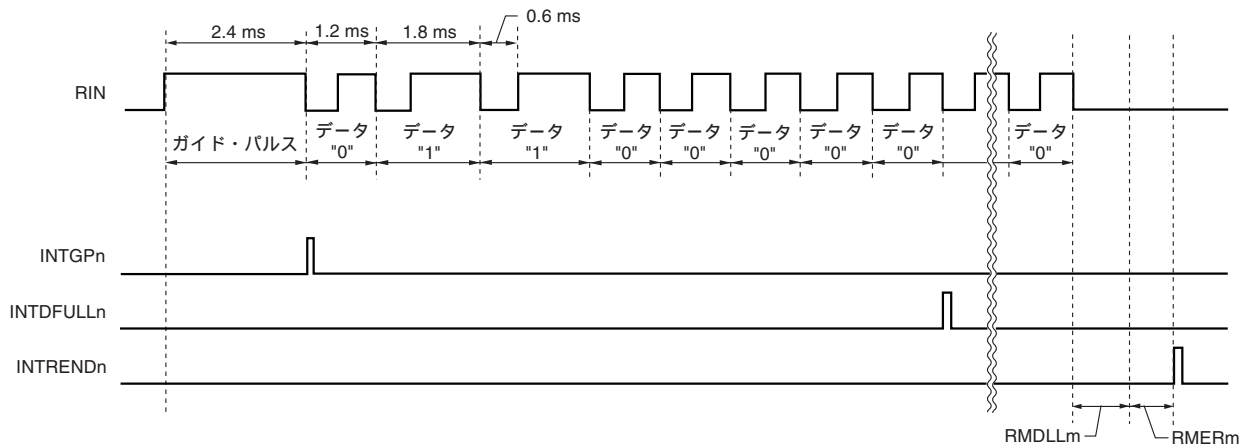
立ち下がりエッジの周期によってデータ0とデータ1を判断します。



14.5.1 A方式受信モードのフォーマット

図14 - 32にA方式のデータ・フォーマットを示します。

図14 - 32 A方式データ・フォーマット例



備考 $m = 02, 13, n = 0-3$

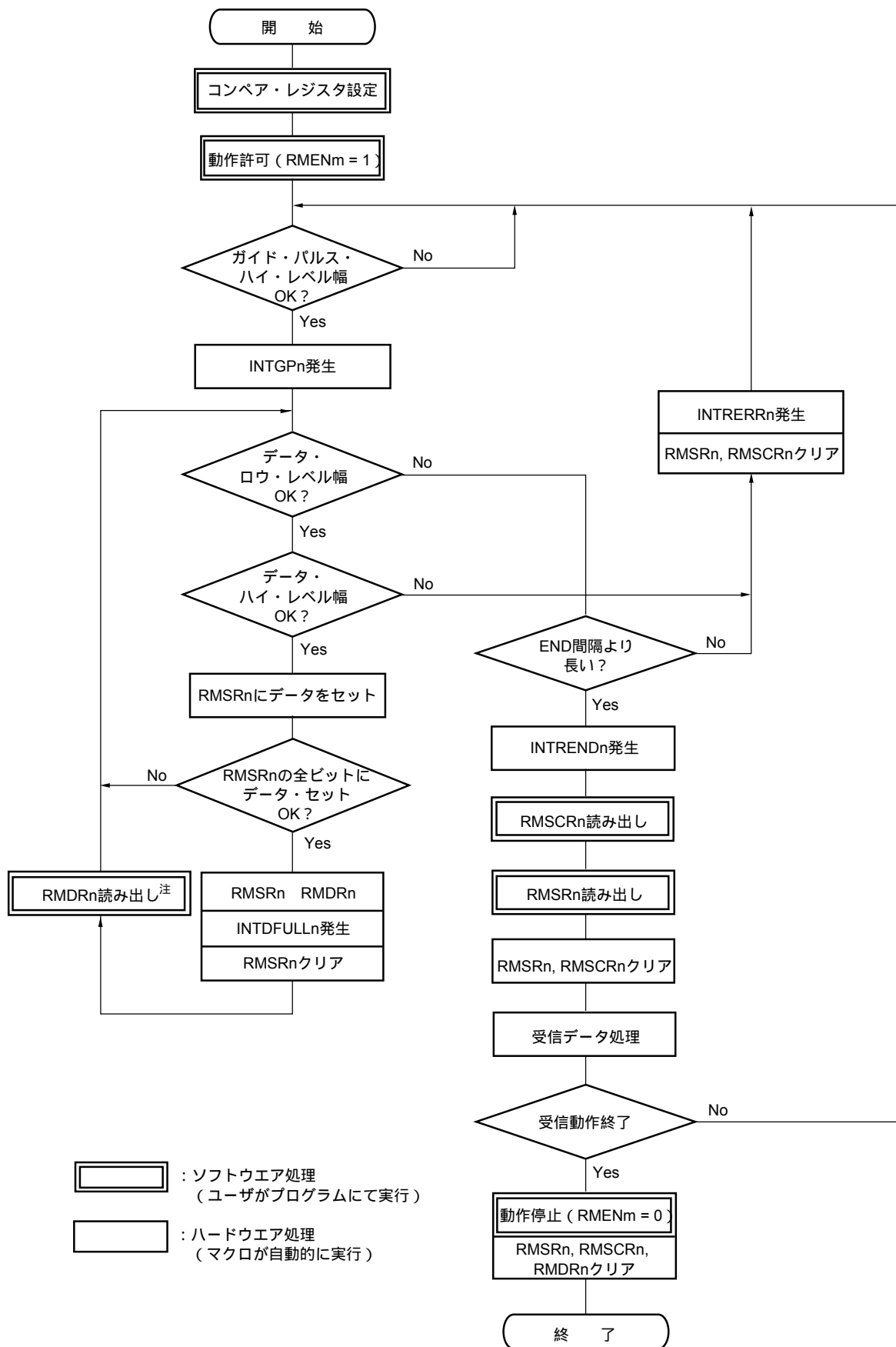
14.5.2 A方式受信モードの動作フロー

図14 - 33に動作フローを示します。

- 注意1.** INTRERR_n発生と同時に、自動的にRMSR_n, RMSCR_nはクリアされます。
2. RMSR_nの全ビットにデータ・セット完了すると、自動的に以下の処理が行われます。
 - ・ RMSR_nの値をRMDR_nに転送
 - ・ INTDFULL_n発生
 - ・ RMSR_nクリア
 その後、次のRMSR_n全ビット・データ・セット完了までに、RMDR_nを読み出してください。
 3. INTREND_n発生後は、必ず先にRMSCR_n、次にRMSR_nの順序で読み出しを行ってください。RMSR_nの読み出し後は、自動的にRMSCR_n, RMSR_nはクリアされます。INTREND_n発生後は、RMSR_nの読み出しをするまで次のデータ受信はできません。
 4. 動作停止 (RMEN_m = 0) と同時に、RMSR_n, RMSCR_n, RMDR_nはクリアされます。

備考 $m = 02, 13, n = 0-3$

図14 - 33 A方式受信モードの動作フロー



 : ソフトウェア処理
 (ユーザがプログラムにて実行)
 : ハードウェア処理
 (マクロが自動的に実行)

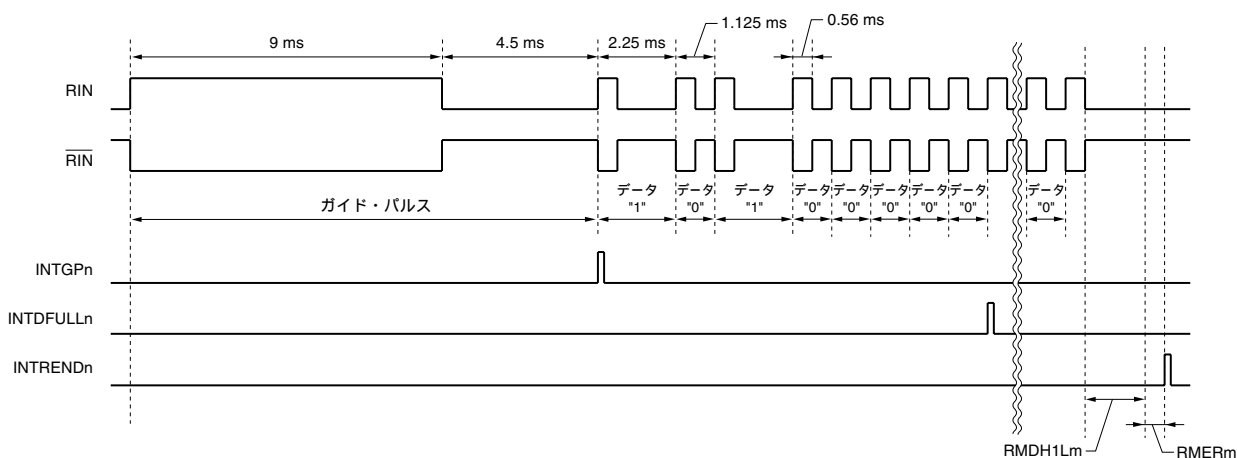
注 RMDRn読み出しは、次のRMSRn全ビット・データ・セット完了までの間に行ってください。

備考 m = 02, 13, n = 0-3

14.5.3 B方式受信モードのフォーマット

図14 - 34にB方式のデータ・フォーマットを示します。

図14 - 34 B方式データ・フォーマット例



備考1. $m = 02, 13, n = 0-3$

2. \overline{RIN} はRINの内部反転信号です。RMIN (図14 - 1参照) には \overline{RIN} の波形を入力してください。

14.5.4 B方式受信モードの動作フロー

図14 - 35に動作フローを示します。

注意1. INTRERRn発生と同時に、自動的にRMSRn, RMSCRnはクリアされます。

2. RMSRnの全ビットにデータ・セット完了すると、自動的に以下の処理が行われます。

- RMSRnの値をRMDRnに転送
- INTDFULLn発生
- RMSRnクリア

その後、次のRMSRn全ビット・データ・セット完了までに、RMDRnを読み出して下さい。

3. INTRENDn発生後は、必ず先にRMSCRn, 次にRMSRnの順序で読み出しを行ってください。

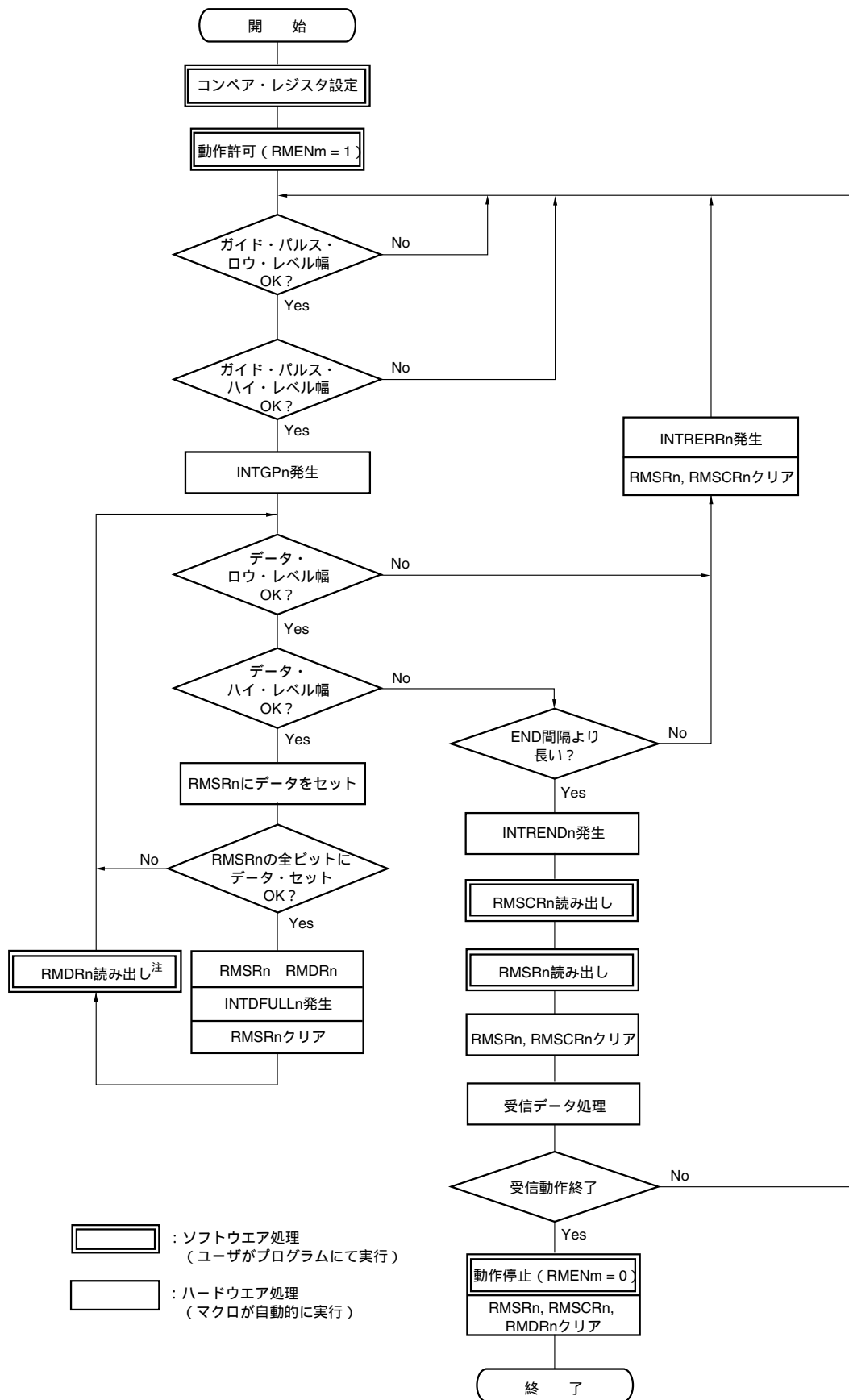
RMSRnの読み出し後は、自動的にRMSCRn, RMSRnはクリアされます。

INTRENDn発生後は、RMSRnの読み出しをするまで次のデータ受信はできません。

4. 動作停止 (RMENm = 0) と同時に、RMSRn, RMSCRn, RMDRnはクリアされます。

備考 $m = 02, 13, n = 0-3$

図14 - 35 B方式受信モードの動作フロー



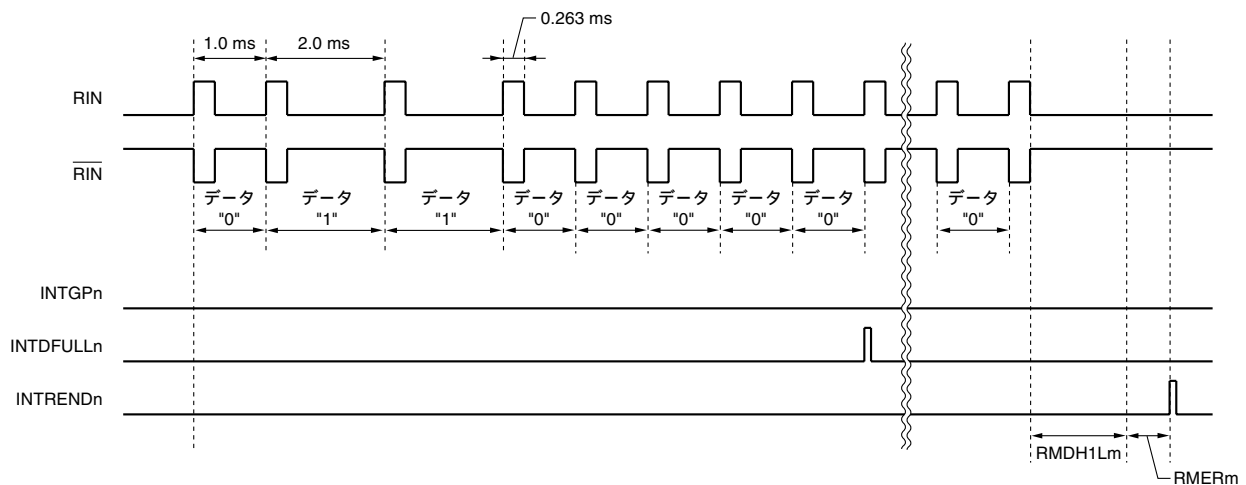
注 RMDRn読み出しは、次のRMSRn全ビット・データ・セット完了までの間に行ってください。

備考 m = 02, 13, n = 0-3

14.5.5 C方式受信モードのフォーマット

図14 - 36にC方式のデータ・フォーマットを示します。

図14 - 36 C方式データ・フォーマット例



備考1. $m = 02, 13, n = 0-3$

2. \overline{RIN} はRINの内部反転信号です。RMIN (図14 - 1参照) には \overline{RIN} の波形を入力してください。

14.5.6 C方式受信モードの動作フロー

図14 - 37に動作フローを示します。

注意1. INTRERRn発生と同時に、自動的にRMSRn, RMSCRnはクリアされます。

2. RMSRnの全ビットにデータ・セット完了すると、自動的に以下の処理が行われます。

- RMSRnの値をRMDRnに転送
- INTDFULLn発生
- RMSRnクリア

その後、次のRMSRn全ビット・データ・セット完了までに、RMDRnを読み出してください。

3. INTRENDn発生後は、必ず先にRMSCRn, 次にRMSRnの順序で読み出しを行ってください。

RMSRnの読み出し後は、自動的にRMSCRn, RMSRnはクリアされます。

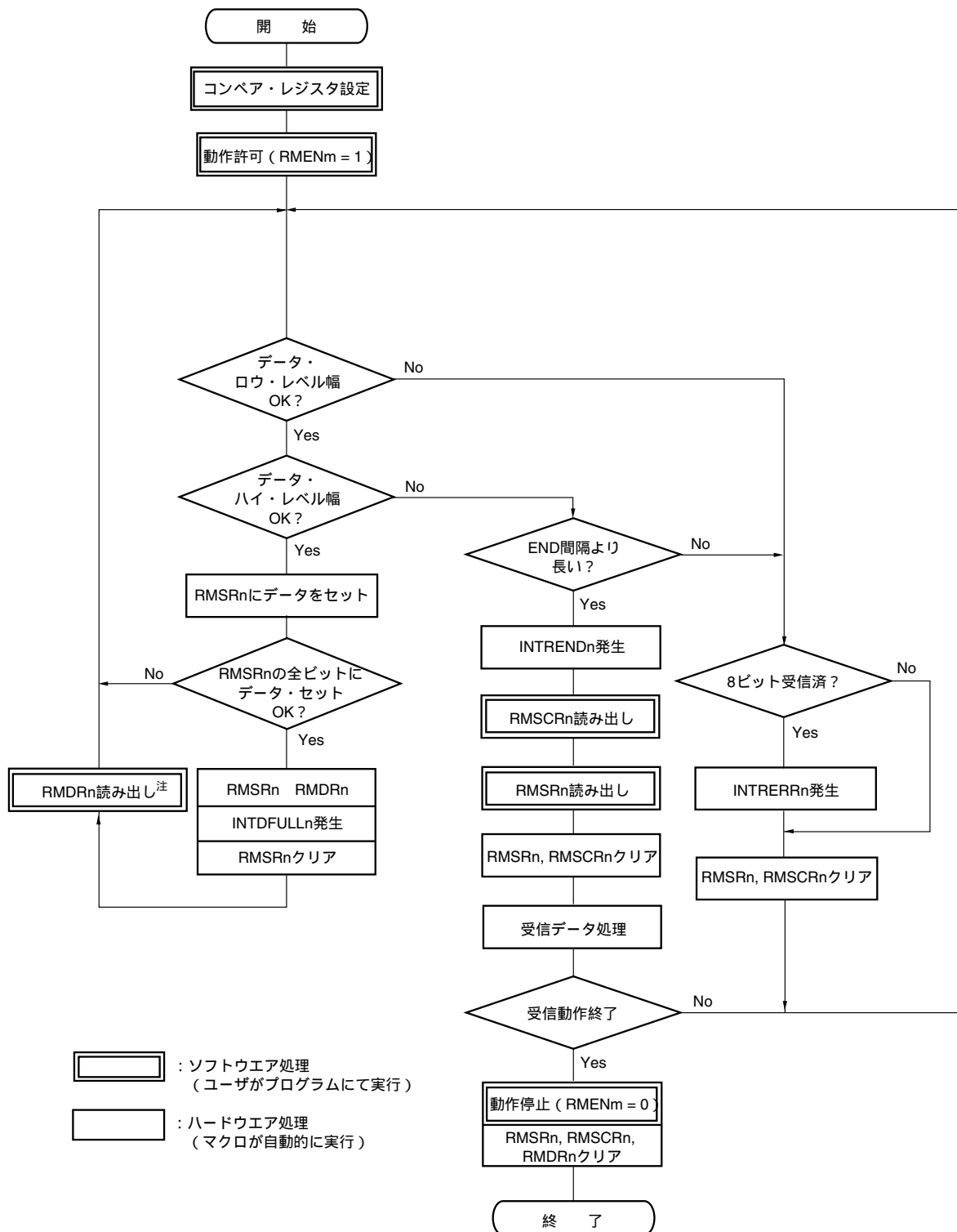
INTRENDn発生後は、RMSRnの読み出しをするまで次のデータ受信はできません。

4. 動作停止 (RMENm = 0) と同時に、RMSRn, RMSCRn, RMDRnはクリアされます。

5. C方式受信モードでは、1回目のINTDFULLn割り込み発生までにデータ・ロウ/ハイ・レベル幅の受信条件を満たさなかった場合、INTRERRnは発生しません。ただし、RMSRn, RMSCRnはクリアされます。

備考 $m = 02, 13, n = 0-3$

図14 - 37 C方式受信モードの動作フロー



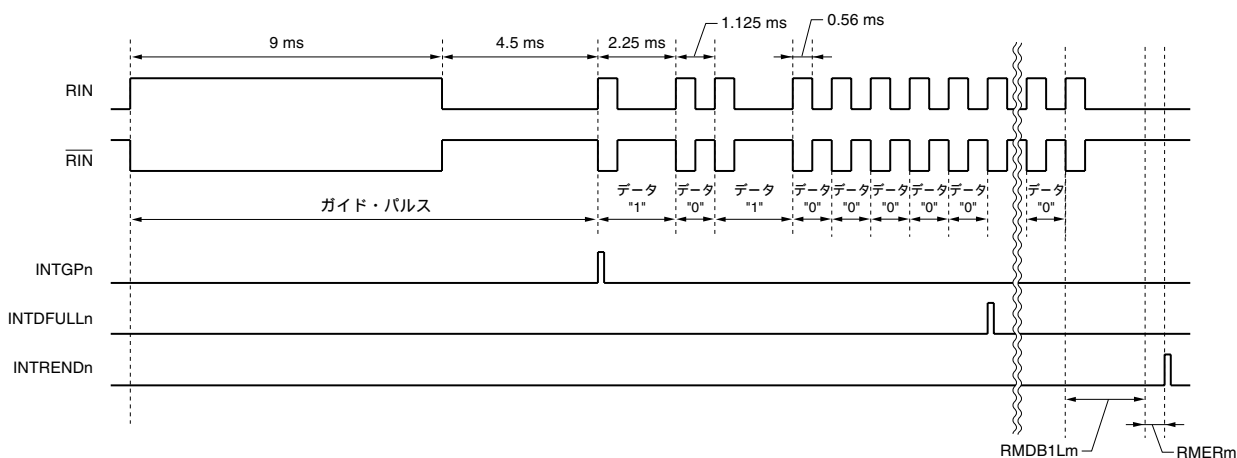
注 RMDRn読み出しは、次のRMSRn全ビット・データ・セット完了までの間に行ってください。

備考 m = 02, 13, n = 0-3

14.5.7 B1方式受信モードのフォーマット

図14 - 38にB1方式のデータ・フォーマットを示します。

図14 - 38 B1方式データ・フォーマット例



備考1. $m = 02, 13, n = 0-3$

2. \overline{RIN} はRINの内部反転信号です。RMIN (図14 - 1参照)にはRINの波形を入力してください。

14.5.8 B1方式受信モードの動作フロー

図14 - 39に動作フローを示します。

注意1. RMSRnの全ビットにデータ・セット完了すると、自動的に以下の処理が行われます。

- RMSRnの値をRMDRnに転送
- RMERBSRnの値をRMERBDnに転送
- INTDFULLn発生
- RMSRnクリア

その後、次のRMSRn全ビット・データ・セット完了までに、RMDRn, RMERBDnを読み出してください。

2. $RMEROm = 0$ のとき、INTRENDn発生後は、必ず先にRMSCRn, 次にRMSRnの順序で読み出しを行ってください。

$RMEROm = 1$ のとき、INTRENDn発生後は、必ず先にRMSCRnとRMERBSRnを読み出して、そのあとでRMSRnを読み出してください。

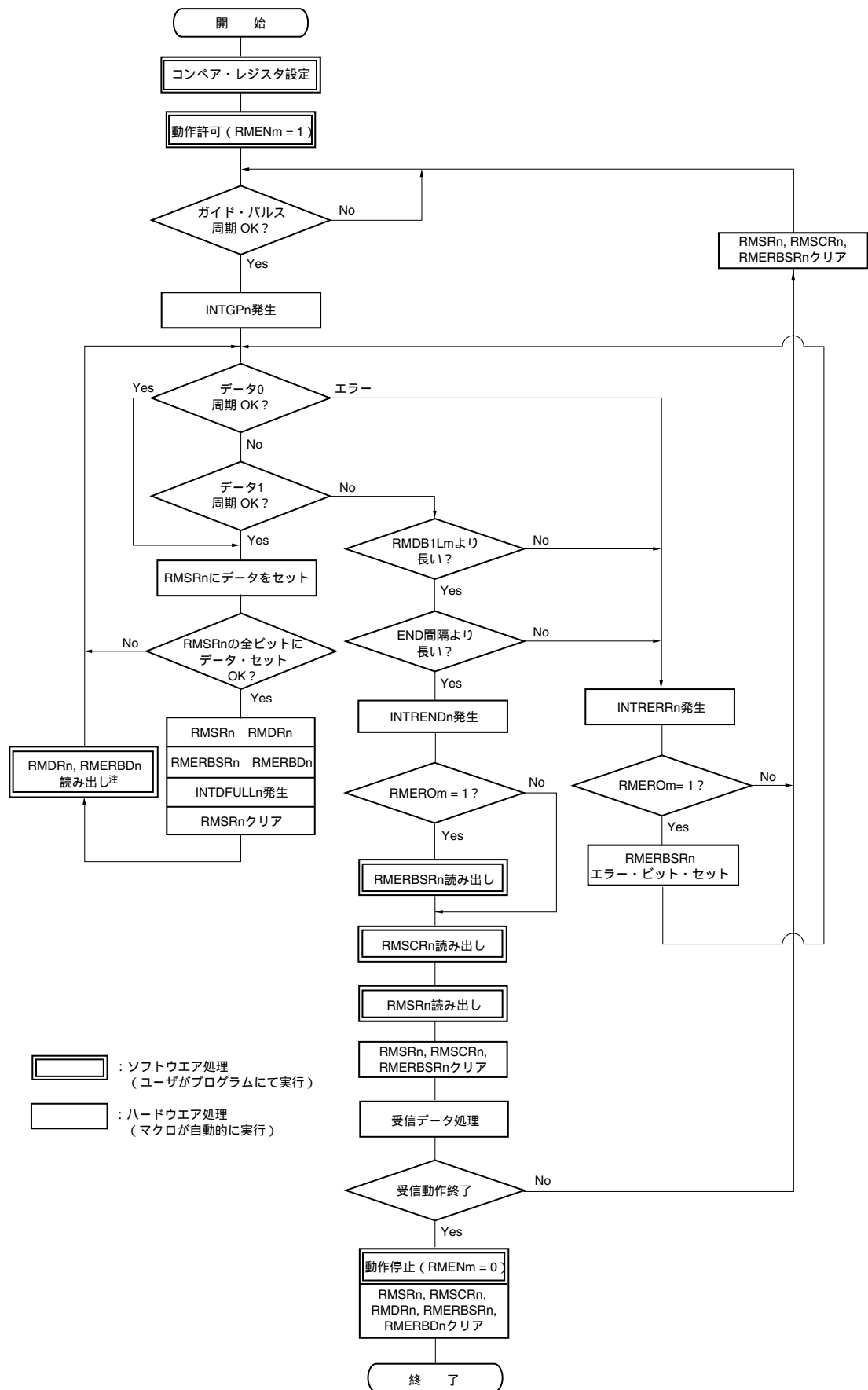
RMSRnの読み出し後は、自動的にRMSCRn, RMSRn, RMERBSRnはクリアされます。

INTRENDn発生後は、RMSRnの読み出しをするまで次のデータ受信はできません。

3. 動作停止 ($RMENm = 0$) と同時に、RMSRn, RMSCRn, RMDRn, RMERBSRn, RMERBDnはクリアされます。

備考 $m = 02, 13, n = 0-3$

図14 - 39 B1方式受信モードの動作フロー



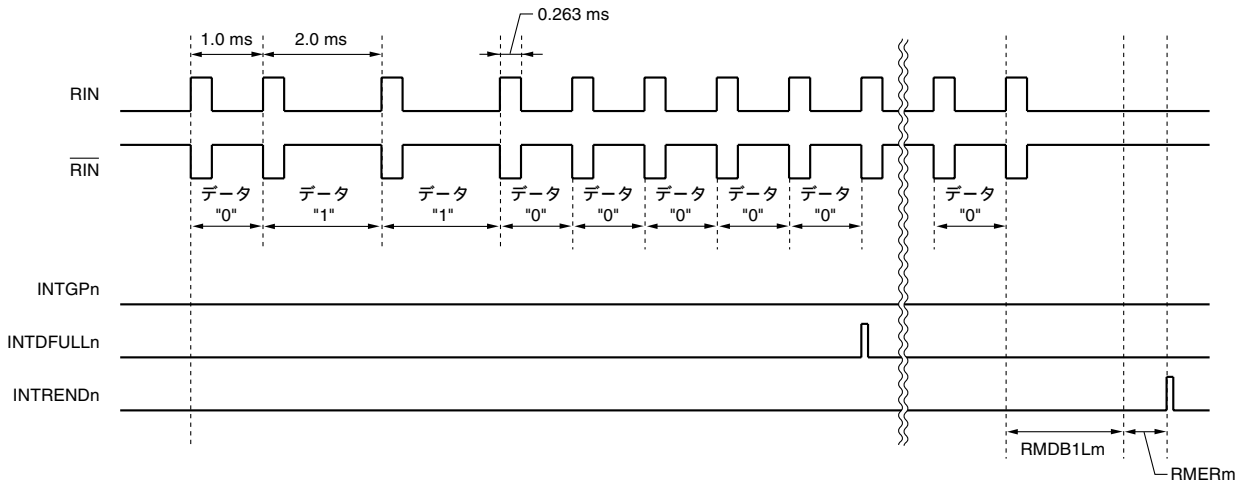
注 RMDRn, RMERBDn読み出しは、次のRMSRn全ビット・データ・セット完了までの間に行ってください。

備考 m = 02, 13, n = 0-3

14.5.9 C1方式受信モードのフォーマット

図14 - 40にC1方式のデータ・フォーマットを示します。

図14 - 40 C1方式データ・フォーマット例



備考1. $m = 02, 13, n = 0-3$

2. RINはRINの内部反転信号です。RMIN (図14 - 1参照) にはRINの波形を入力してください。

14.5.10 C1方式受信モードの動作フロー

図14 - 41に動作フローを示します。

注意1. RMSRnの全ビットにデータ・セット完了すると、自動的に以下の処理が行われます。

- ・RMSRnの値をRMDRnに転送
- ・RMERBSRnの値をRMERBDnに転送
- ・INTDFULLn発生
- ・RMSRnクリア

その後、次のRMSRn全ビット・データ・セット完了までに、RMDRn, RMERBDnを読み出しててください。

2. RMEROm = 0のとき、INTRENDn発生後は、必ず先にRMSCRn, 次にRMSRnの順序で読み出しを行ってください。

RMEROm = 1のとき、INTRENDn発生後は、必ず先にRMSCRnとRMERBSRnを読み出して、そのあとでRMSRnを読み出しててください。

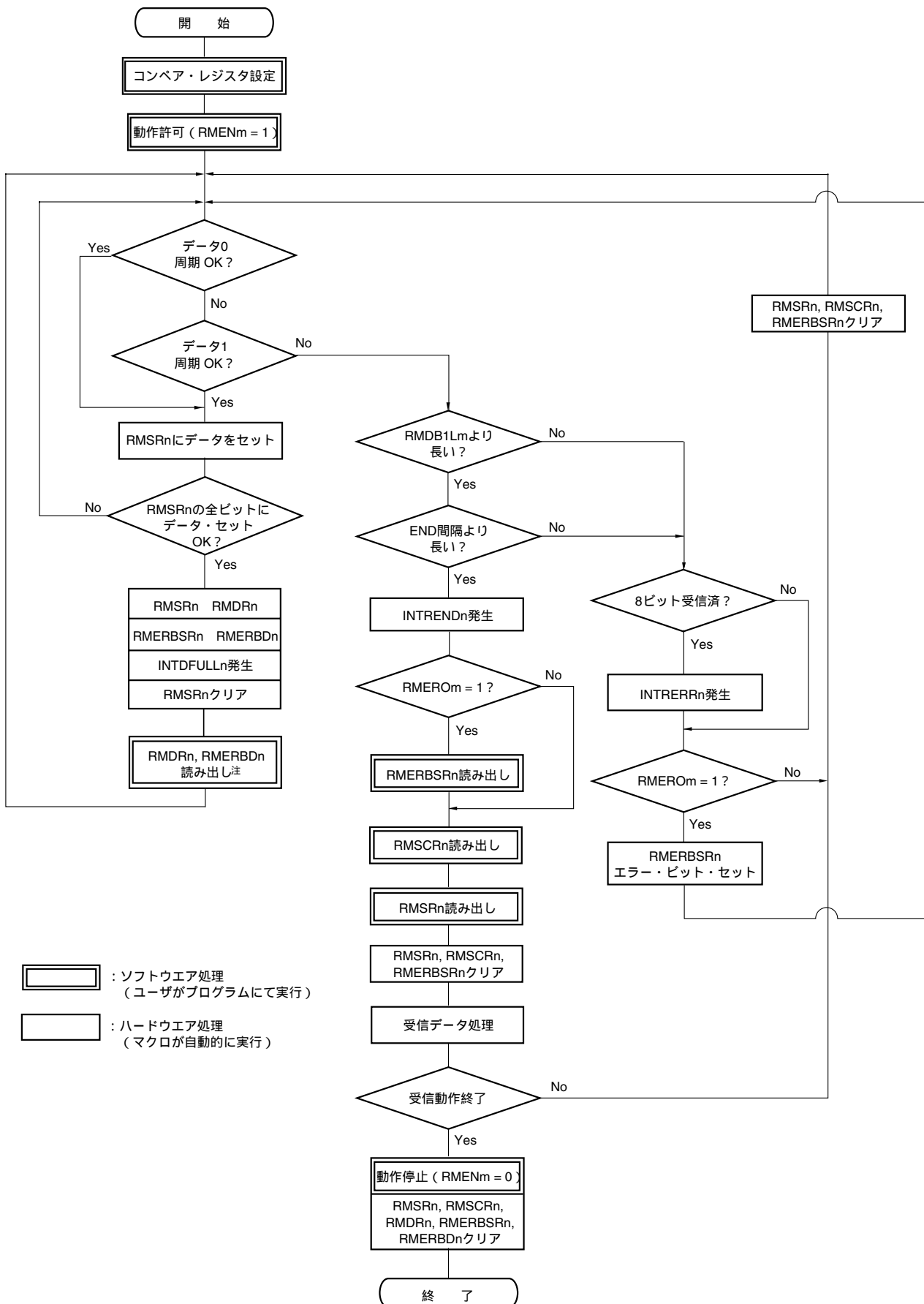
RMSRnの読み出し後は、自動的にRMSCRn, RMSRn, RMERBSRnはクリアされます。

INTRENDn発生後は、RMSRnの読み出しをするまで次のデータ受信はできません。

3. 動作停止 (RMENm = 0) と同時に、RMSRn, RMSCRn, RMDRn, RMERBSRn, RMERBDnはクリアされます。
4. C1方式受信モードでは、1回目のINTDFULLn割り込み発生までにエラー発生した場合、INTRERRnは発生しません。
5. エラー発生時、RMEROmビットによりRMSRn, RMSCRnの処理が異なります。
 - ・RMEROm = 0の場合：エラー発生時、RMSRn, RMSCRnをクリアします。
 - ・RMEROm = 1の場合：エラー発生時、RMSRn, RMSCRnをクリアしません。

備考 $m = 02, 13, n = 0-3$

図14 - 41 C1方式受信モードの動作フロー



 : ソフトウェア処理
 (ユーザがプログラムにて実行)
 : ハードウェア処理
 (マクロが自動的に実行)

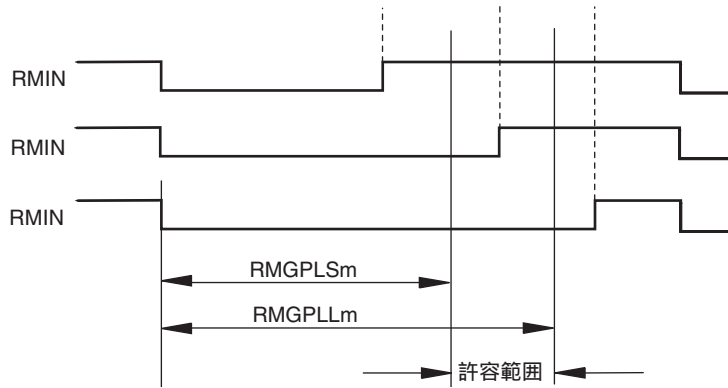
注 RMDRn, RMERBDn読み出しは、次のRMSRn全ビット・データ・セット完了までの間に行ってください。

備考 m = 02, 13, n = 0-3

14. 5. 11 タイミング説明

RMIN入力の波形位置によって、次のような対応動作になります。

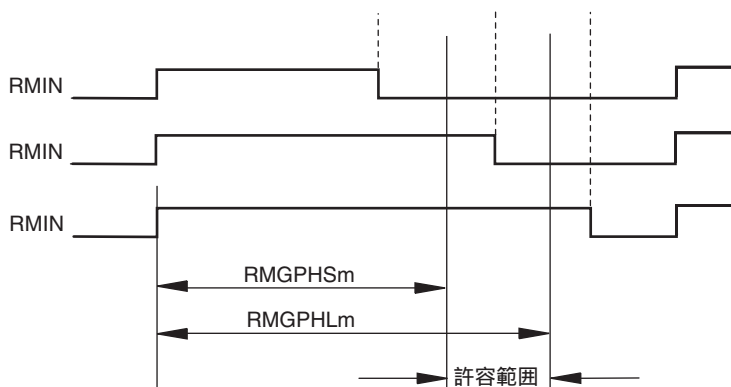
(1) ガイド・パルス・ロウ・レベル幅判断 (B方式受信モードのみ)



条件	判定	その後の動作
カウンタ < RMGPLSm	NG (短い)	ガイド・パルスの検出を継続する。次の立ち下がりエッジからガイド・パルス・ロウ・レベル幅測定開始。
RMGPLSm カウンタ < RMGPLLm	OK (範囲内)	ガイド・パルス・ハイ・レベル幅測定開始
RMGPLLm カウンタ	NG (長い)	ガイド・パルスの検出を継続する。次の立ち下がりエッジからガイド・パルス・ロウ・レベル幅測定開始。

備考 m = 02, 13

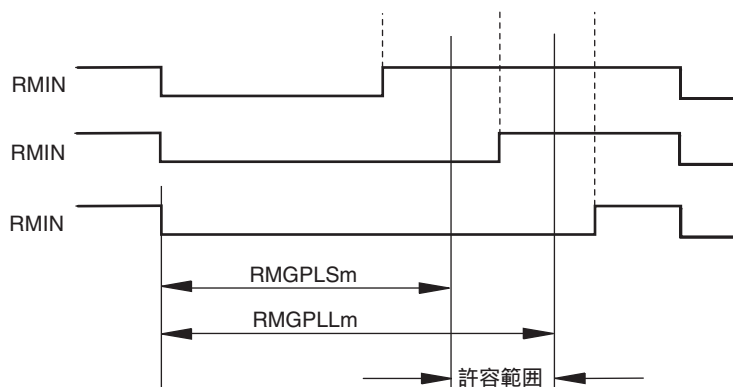
(2) ガイド・パルス・ハイ・レベル幅判断 (A方式, B方式受信モードのみ)



条件	判定	その後の動作
カウンタ < RMGPHSm	NG (短い)	(A方式受信モードの場合) ガイド・パルスの検出を継続する。次の立ち上がりエッジからガイド・パルス・ハイ・レベル幅測定開始。 (B方式受信モードの場合) ガイド・パルスの検出を継続し、ガイド・パルス・ロウ・レベル幅判断から再開する。この立ち下がりエッジからガイド・パルス・ロウ・レベル幅測定開始。
RMGPHSm カウンタ < RMGPHLm	OK (範囲内)	INTGPn発生 データ測定開始
RMGPHLm カウンタ	NG (長い)	(A方式受信モードの場合) ガイド・パルスの検出を継続する。次の立ち上がりエッジからガイド・パルス・ハイ・レベル幅測定開始。 (B方式受信モードの場合) ガイド・パルスの検出を継続し、ガイド・パルス・ロウ・レベル幅判断から再開する。この立ち下がりエッジからガイド・パルス・ロウ・レベル幅測定開始。

備考 m = 02, 13, n = 0-3

(3) データ・ロウ・レベル幅判断 (A方式, B方式, C方式受信モードのみ)

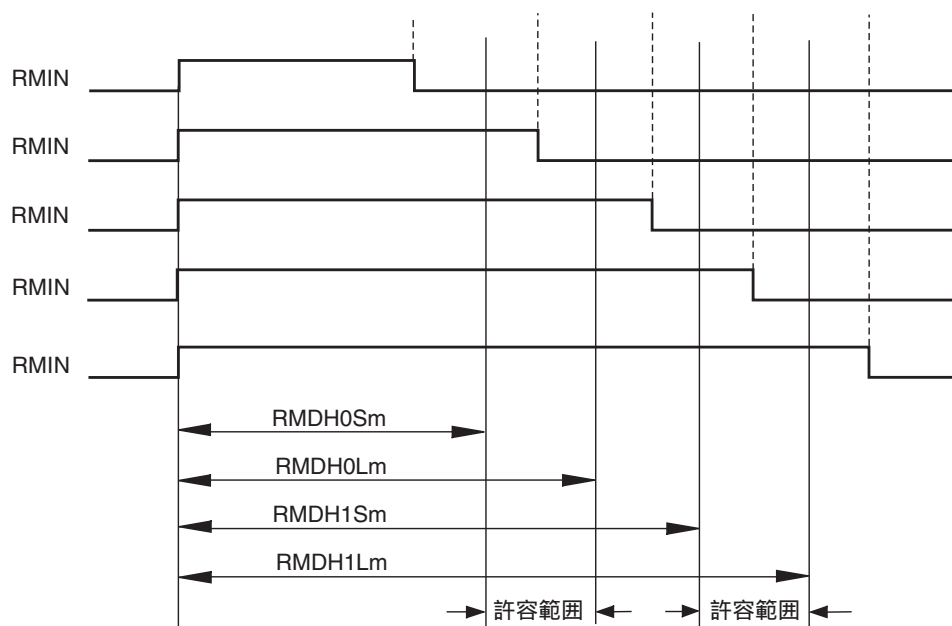


条件	判定	その後の動作
カウンタ < RMDLSm	NG (短い)	エラー割り込みINTRERRn発生 ^注 (A方式受信モードの場合) ガイド・パルスの検出を開始する。この立ち上がりエッジからガイド・パルス・ハイ・レベル幅測定開始。 (B方式受信モードの場合) ガイド・パルスの検出を開始し、ガイド・パルス・ロウ・レベル幅判断から再開する。次の立ち下がりエッジからガイド・パルス・ロウ・レベル幅測定開始。 (C方式受信モードの場合) データの検出を継続し、データ・ロウ・レベル幅判断から再開する。次の立ち下がりエッジからデータ・ロウ・レベル幅測定開始。
RMDLSm カウンタ < RMDLLm	OK (範囲内)	データ・ハイ・レベル幅測定開始
RMDLLm カウンタ	OK (A方式) / NG (B方式, C方式)	(A方式受信モードの場合) 時点からエンド幅測定開始 (B方式受信モードの場合) 時点でエラー割り込みINTRERRn発生。 ガイド・パルスの検出を開始し、ガイド・パルス・ロウ・レベル幅判断から再開する。次の立ち下がりエッジからガイド・パルス・ロウ・レベル幅測定開始。 (C方式受信モードの場合) 時点でエラー割り込みINTRERRn発生 ^注 。 データの検出を継続する。次の立ち下がりエッジからデータ・ロウ・レベル幅測定開始。

注 C方式受信モードでは、1回目のINTDFULLn割り込み発生までは、INTRERRnは発生しません。
ただし、RMSRn, RMSCRnはクリアされます。

備考 m = 02, 13, n = 0-3

(4) データ・ハイ・レベル幅判断 (A方式, B方式, C方式受信モードのみ)



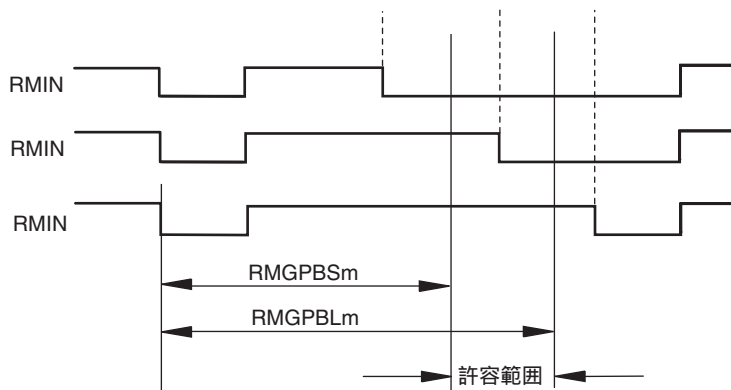
備考 m = 02, 13

条件	判定	その後の動作
カウンタ < RMDH0Sm	NG (短い)	エラー割り込みINTRERRn発生 ^注 (A方式受信モードの場合) ガイド・パルスの検出を開始する。次の立ち上がりエッジからガイド・パルス・ハイ・レベル幅測定開始。 (B方式受信モードの場合) ガイド・パルスの検出を開始する。この立ち下がりエッジからガイド・パルス・ロウ・レベル幅測定開始。 (C方式受信モードの場合) データの検出を継続し、データのロウ・レベル幅判断から再開する。この立ち下がりエッジからデータ・ロウ・レベル幅測定開始。
RMDH0Sm カウンタ < RMDH0Lm	OK (範囲内)	データ0受信 データの検出を継続する。この立ち下がりエッジからデータ・ロウ・レベル幅測定開始。
RMDH0Lm カウンタ < RMDH1Sm	NG (範囲外)	エラー割り込みINTRERRn発生 ^注 (A方式受信モードの場合) ガイド・パルスの検出を開始する。次の立ち上がりエッジからガイド・パルス・ハイ・レベル幅測定開始。 (B方式受信モードの場合) ガイド・パルスの検出を開始する。この立ち下がりエッジからガイド・パルス・ロウ・レベル幅測定開始。 (C方式受信モードの場合) データの検出を継続し、データ・ロウ・レベル幅判断から再開する。この立ち下がりエッジからデータ・ロウ・レベル幅測定開始。
RMDH1Sm カウンタ < RMDH1Lm	OK (範囲内)	データ1受信 データの検出を継続する。この立ち下がりエッジからデータ・ロウ・レベル幅測定開始。
RMDH1Lm カウンタ	NG (A方式) / OK (B方式, C方式)	(A方式受信モードの場合) 時点でエラー割り込みINTRERR発生。 ガイド・パルスの検出を開始する。次の立ち上がりエッジからガイド・パルス・ハイ・レベル幅測定開始。 (B方式, C方式受信モードの場合) 時点からエンド幅測定開始

注 C方式受信モードでは、1回目のINTDFULLn割り込み発生までは、INTRERRnは発生しません。
ただし、RMSRn, RMSCRnはクリアされます。

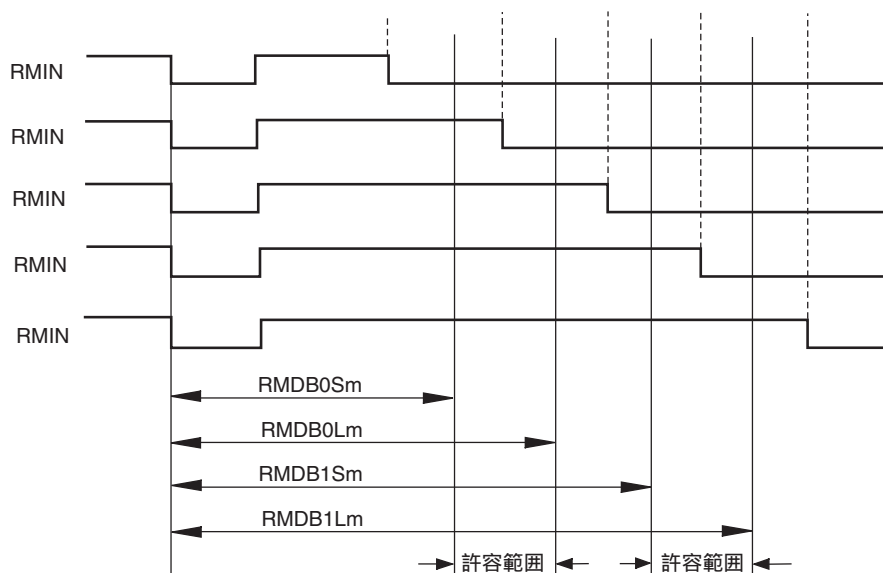
備考 m = 02, 13, n = 0-3

(5) ガイド・パルス周期判断 (B1方式受信モードのみ)



条件	判定	その後の動作
カウンタ < RMGPBSm	NG (短い)	ガイド・パルスの検出を継続し、ガイド・パルス周期測定から再開する。この立ち下がりエッジからガイド・パルス周期測定開始。
RMGPBSm カウンタ < RMGPBLm	OK (範囲内)	INTGPn発生 データ周期測定開始
RMGPBLm カウンタ	NG (長い)	ガイド・パルスの検出を継続し、ガイド・パルス周期測定から再開する。この立ち下がりエッジからガイド・パルス周期測定開始。

(6) データ周期判断 (B1方式, C1方式受信モードのみ)



備考 m = 02, 13, n = 0-3

条件		判定	その後の動作
	カウンタ < RMDB0Sm	NG (短い)	エラー割り込みINTRERRn発生 ^{注1, 2} (B1方式受信モードの場合) ・RMEROm = 1の場合 ガイド・パルスの検出を開始する。RMERBSRnレジスタにエラー情報を書き込み、この立ち下がりエッジからデータ周期測定開始 ・RMEROm = 0の場合 ガイド・パルスの検出を開始する。この立ち下がりエッジからガイド・パルス周期測定開始 (C1方式受信モードの場合) ・RMEROm = 1の場合 RMERBSRnレジスタにエラー情報を書き込み、データの検出を継続し、データ周期測定から再開する。この立ち下がりエッジからデータ周期測定開始 ・RMEROm = 0の場合 データの検出を継続し、データ周期測定から再開する。この立ち下がりエッジからデータ周期測定開始
	RMDB0Sm カウンタ < RMDB0Lm	OK (範囲内)	データ0受信 データの検出を継続する。この立ち下がりエッジからデータ周期測定開始
	RMDB0Lm カウンタ < RMDB1Sm	NG (範囲外)	エラー割り込みINTRERRn発生 ^{注1, 2} (B1方式受信モードの場合) ・RMEROm = 1の場合 ガイド・パルスの検出を開始する。RMERBSRnレジスタにエラー情報を書き込み、この立ち下がりエッジからデータ周期測定開始 ・RMEROm = 0の場合 ガイド・パルスの検出を開始する。この立ち下がりエッジからガイド・パルス周期測定開始 (C1方式受信モードの場合) ・RMEROm = 1の場合 RMERBSRnレジスタにエラー情報を書き込み、データの検出を継続し、データ周期測定から再開する。この立ち下がりエッジからデータ周期測定開始 ・RMEROm = 0の場合 データの検出を継続し、データ周期測定から再開する。この立ち下がりエッジからデータ周期測定開始
	RMDB1Sm カウンタ < RMDB1Lm	OK (範囲内)	データ1受信 データの検出を継続する。この立ち下がりエッジからデータ周期測定開始
	RMDB1Lm カウンタ	OK	時点でエンド判断開始

注1. C1方式受信モードでは、1回目のINTDFULLn割り込み発生までは、INTRERRnは発生しません。

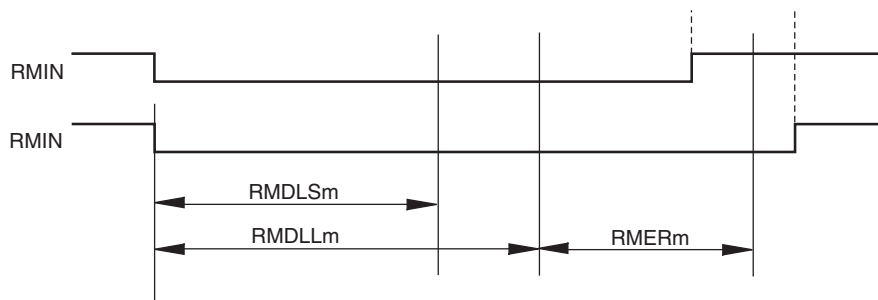
2. エラー発生時、RMEROmビットによりRMSRn, RMSCRnの処理が異なります。

- ・RMEROm = 0の場合：エラー発生時、RMSRn, RMSCRnをクリアします。
- ・RMEROm = 1の場合：エラー発生時、RMSRn, RMSCRnをクリアしません。

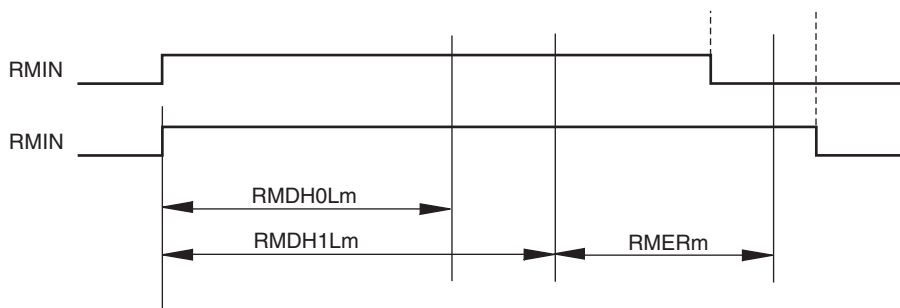
備考 m = 02, 13, n = 0-3

(7) エンド幅判断

(a) A方式受信モード



(b) B方式, C方式受信モード

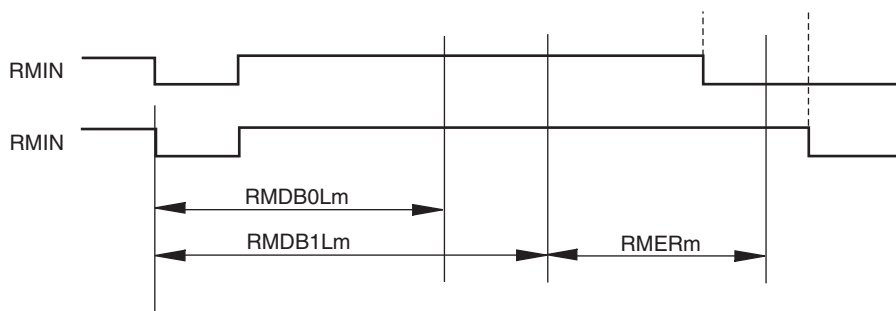


条件	判定	その後の動作
カウンタ < RMERm	NG (短い)	エラー割り込みINTRERRn発生 ^注 (A方式受信モードの場合) ガイド・パルスの検出を開始する。この立ち上がりエッジからガイド・パルス・ハイ・レベル幅測定開始。 (B方式受信モードの場合) ガイド・パルスの検出を開始し、ガイド・パルス・ロウ・レベル幅判断から再開する。この立ち下がりエッジからガイド・パルス・ロウ・レベル幅測定開始。 (C方式受信モードの場合) データの検出を継続し、データ・ロウ・レベル幅判断から再開する。この立ち下がりエッジからデータ・ロウ・レベル幅測定開始。
RMERm カウンタ	OK (長い)	時点でINTRENDn発生 ^注 RMSRnをリードするまで受信停止

注 C方式受信モードでは、1回目のINTDFULLn割り込み発生までは、INTRERRnは発生しません。ただし、RMSRn, RMSCRnはクリアされます。

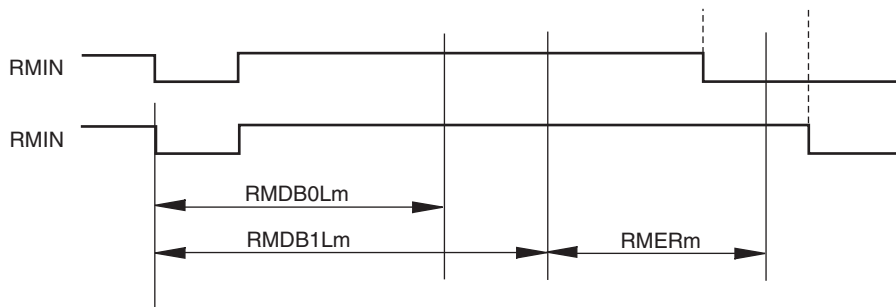
備考 m = 02, 13, n = 0-3

(c) B1方式受信モード



RMERm / カウンタの関係	波形位置	対応動作
カウンタ < RMERm	NG (短い)	エラー割り込みINTRERRn発生 ^{注1} ガイド・パルスの検出を開始し、ガイド・パルス周期測定から再開する。この立ち下がりエッジからガイド・パルス周期測定開始。
RMERm カウンタ	OK (長い)	時点でINTRENDn発生 RMSRnをリードするまで受信停止

(d) C1方式受信モード



RMERm / カウンタの関係	波形位置	対応動作
カウンタ < RMERm	NG (短い)	エラー割り込みINTRERRn発生 ^{注1, 2} データの検出を継続し、データ周期測定から再開する。この立ち下がりエッジからデータ周期測定開始。
RMERm カウンタ	OK (長い)	時点でINTRENDn発生 RMSRnをリードするまで受信停止

注1. エラー発生時、RMEROmビットによりRMSRn, RMSCRnの処理が異なります。

- ・ RMEROm = 0の場合：エラー発生時、RMSRn, RMSCRnをクリアします。
- ・ RMEROm = 1の場合：エラー発生時、RMSRn, RMSCRnをクリアしません。

2. C1方式受信モードでは、1回目のINTDFULLn割り込み発生までは、INTRERRnは発生しません。

備考 m = 02, 13, n = 0-3

14. 5. 12 コンペア・レジスタ設定

このリモコン受信回路には、以下のコンペア・レジスタがあります。

- ・リモコン受信GPLSコンペア・レジスタ m (RMGPLSm)
- ・リモコン受信GPLLコンペア・レジスタ m (RMGPLLm)
- ・リモコン受信GPHSコンペア・レジスタ m (RMGPHSm)
- ・リモコン受信GPHLコンペア・レジスタ m (RMGPHLm)
- ・リモコン受信DLSコンペア・レジスタ m (RMDLSm)
- ・リモコン受信DLLコンペア・レジスタ m (RMDLLm)
- ・リモコン受信DH0Sコンペア・レジスタ m (RMDH0Sm)
- ・リモコン受信DH0Lコンペア・レジスタ m (RMDH0Lm)
- ・リモコン受信DH1Sコンペア・レジスタ m (RMDH1Sm)
- ・リモコン受信DH1Lコンペア・レジスタ m (RMDH1Lm)
- ・リモコン受信GPBSコンペア・レジスタ m (RMGPBSm)
- ・リモコン受信GPBLコンペア・レジスタ m (RMGPBLm)
- ・リモコン受信DB0Sコンペア・レジスタ m (RMDB0Sm)
- ・リモコン受信DB0Lコンペア・レジスタ m (RMDB0Lm)
- ・リモコン受信DB1Sコンペア・レジスタ m (RMDB1Sm)
- ・リモコン受信DB1Lコンペア・レジスタ m (RMDB1Lm)
- ・リモコン受信エンド幅選択レジスタ m (RMERHm/RMERLm)
- ・リモコン受信ノイズ除去期間設定レジスタ m (RMNCP1m)

各コンペア・レジスタの値は、次の(1)～(3)の計算式により設定してください。

許容誤差を考慮しておくことで、ノイズなどの影響でRMIN入力波形が図14 - 42, 図14 - 43のRMIN_1やRMIN_2のようになった場合でも、正常受信動作が可能になります。

注意1. 各コンペア・レジスタは、必ずリモコン受信禁止 (RMEN m = 0) 期間中に設定してください。

2. 設定値は必ず以下の条件をすべて満たすようにしてください。

$$\text{RMGPLSm} < \text{RMGPLLm}$$

$$\text{RMGPHSm} < \text{RMGPHLm}$$

$$\text{RMDLSm} < \text{RMDLLm}$$

$$\text{RMDH0Sm} < \text{RMDH0Lm} \quad \text{RMDH1Sm} < \text{RMDH1Lm}$$

$$\text{RMGPBSm} < \text{RMGPBLm}$$

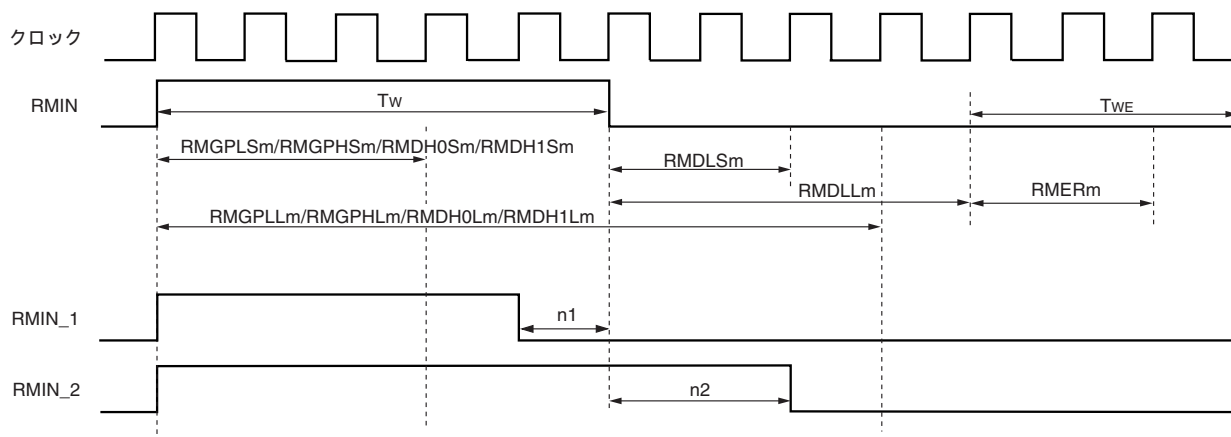
$$\text{RMDB0Sm} < \text{RMDB0Lm} \quad \text{RMDB1Sm} < \text{RMDB1Lm}$$

$$\text{RMNCP1m} < \text{RMGPBSm}, \text{RMGPBLm}, \text{RMDB0Sm}, \text{RMDB0Lm}, \text{RMDB1Sm}, \text{RMDB1Lm},$$

$$\text{RMERm}$$

備考 $m = 02, 13$

図14 - 42 A方式受信モードの設定例 (n1 = 1, n2 = 2のとき)



(1) RMGPLSm, RMGPHSm, RMDLSm, RMDH0Sm, RMDH1Smの計算式

$$\left(\frac{T_w \times (1 - a/100)}{1/f_{REMPRS}} \right)_{INT} - 2 - n1$$

(2) RMGPLLm, RMGPHLm, RMDLLm, RMDH0Lm, RMDH1Lmの計算式

$$\left(\frac{T_w \times (1 + a/100)}{1/f_{REMPRS}} \right)_{INT} + 1 + n2$$

(3) RMERmの計算式

$$\left(\frac{T_{WE} \times (1 - a/100)}{1/f_{REMPRS}} \right)_{INT} - 1$$

T_w : RMIN入力波形の幅

$1/f_{REMPRS}$: RMPRSmによる分周制御後の内部動作クロック周期の幅

a : 許容誤差 (%)

[]_{INT} : この中の計算式により発生する値は小数点以下切り捨て

$n1, n2$: ノイズによる波形変化の変数^{注1}

T_{WE} : RMIN入力でのエンド幅^{注2}

注1. $n1$ と $n2$ の値は、ユーザのシステムによって自由に設定してください。

2. このエンド幅は、RMDLLm後からカウントしたものです。

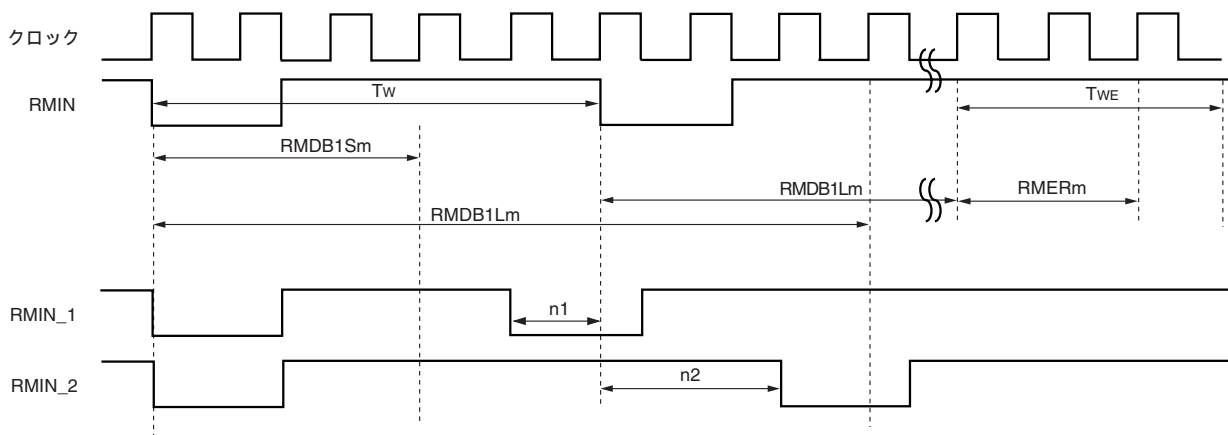
実際に最終データ受信後に必要となるロウ・レベル幅は、

$(RMDLLm + 1 + RMERm + 1) \times (RMPRSm)$ による分周制御後の内部動作クロック周期の幅)

となります。これを満足できない場合 INTRERRnを発生します。

備考 $m = 02, 13, n = 0-3$

図14 - 43 B1方式, C1方式受信モードの設定例 (n1 = 1, n2 = 2のとき)



(1) RMDB1Smの計算式

$$\left(\frac{T_w \times (1 - a/100)}{1/f_{REMPRS}} \right)_{INT} - 2 - n1$$

(2) RMDB1Lmの計算式

$$\left(\frac{T_w \times (1 + a/100)}{1/f_{REMPRS}} \right)_{INT} + 1 + n2$$

(3) RMERmの計算式

$$\left(\frac{T_{WE} \times (1 - a/100)}{1/f_{REMPRS}} \right)_{INT} - 1$$

T_w : RMIN入力波形の幅

$1/f_{REMPRS}$: RMPRSmによる分周制御後の内部動作クロック周期の幅

a : 許容誤差 (%)

[]_{INT} : この中の計算式により発生する値は小数点以下切り捨て

$n1, n2$: ノイズによる波形変化の変数^{注1}

T_{WE} : RMIN入力でのエンド幅^{注2}

注1. $n1$ と $n2$ の値は, ユーザのシステムによって自由に設定してください。

2. このエンド幅は, RMDB1Lm後からカウントしたものです。

実際に最終データ受信後に必要となるエンド周期幅は,

$(RMDB1Lm + 1 + RMERm + 1) \times (RMPRSmによる分周制御後の内部動作クロック周期の幅)$

となります。これを満足できない場合 INTRERRnを発生します。

備考 $m = 02, 13, n = 0-3$

14. 5. 13 エラー割り込み発生タイミング

(1) A方式受信モードの場合

ガイド・パルス正常検出後、以下のいずれかの条件で、INTRERRn信号を発生します。

- ・ RMIN立ち上がり時点で、カウンタ < RMDLSm のとき
- ・ RMIN立ち上がり時点で、RMDLLm カウンタ かつ RMDLLm後のカウンタ < RMERm のとき
- ・ RMIN立ち下がり時点で、カウンタ < RMDH0Sm のとき
- ・ RMIN立ち下がり時点で、RMDH0Lm カウンタ < RMDH1Sm のとき
- ・ RMINハイ・レベル期間に、RMDH1Lm カウンタ になったとき

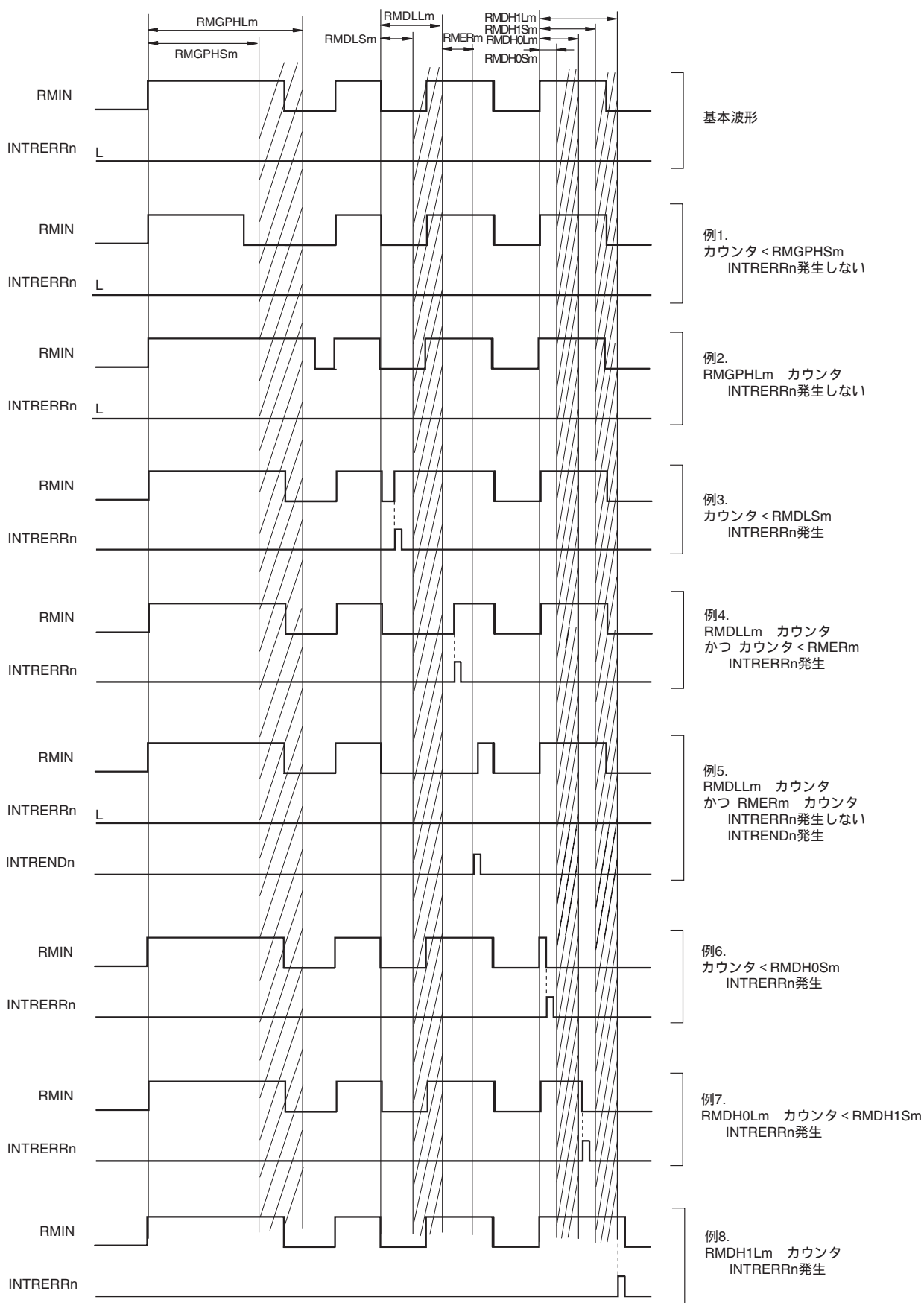
ガイド・パルスが検出されるまでは、INTRERRn信号は発生しません。

また、INTRERRn信号発生後は、次のガイド・パルスを検出するまでINTRERRn信号は発生しません。

図14 - 44にINTRERRn信号の発生タイミングを示します。

備考 m = 02, 13, n = 0-3

図14 - 44 INTRERRn信号の発生タイミング (A方式受信モード)



備考 m = 02, 13, n = 0-3

(2) B方式受信モードの場合

ガイド・パルス正常検出後，以下のいずれかの条件で，INTRERRn信号を発生します。

- ・ RMIN立ち上がり時点で，カウンタ < RMDLSm のとき
- ・ RMINロウ・レベル期間に，RMDLLm カウンタ になったとき
- ・ RMIN立ち下がり時点で，カウンタ < RMDH0Sm のとき
- ・ RMIN立ち下がり時点で，RMDH0Lm カウンタ < RMDH1Sm のとき
- ・ RMIN立ち下がり時点で，RMDH1Lm カウンタ かつ RMDH1Lm後のカウンタ < RMERm のとき

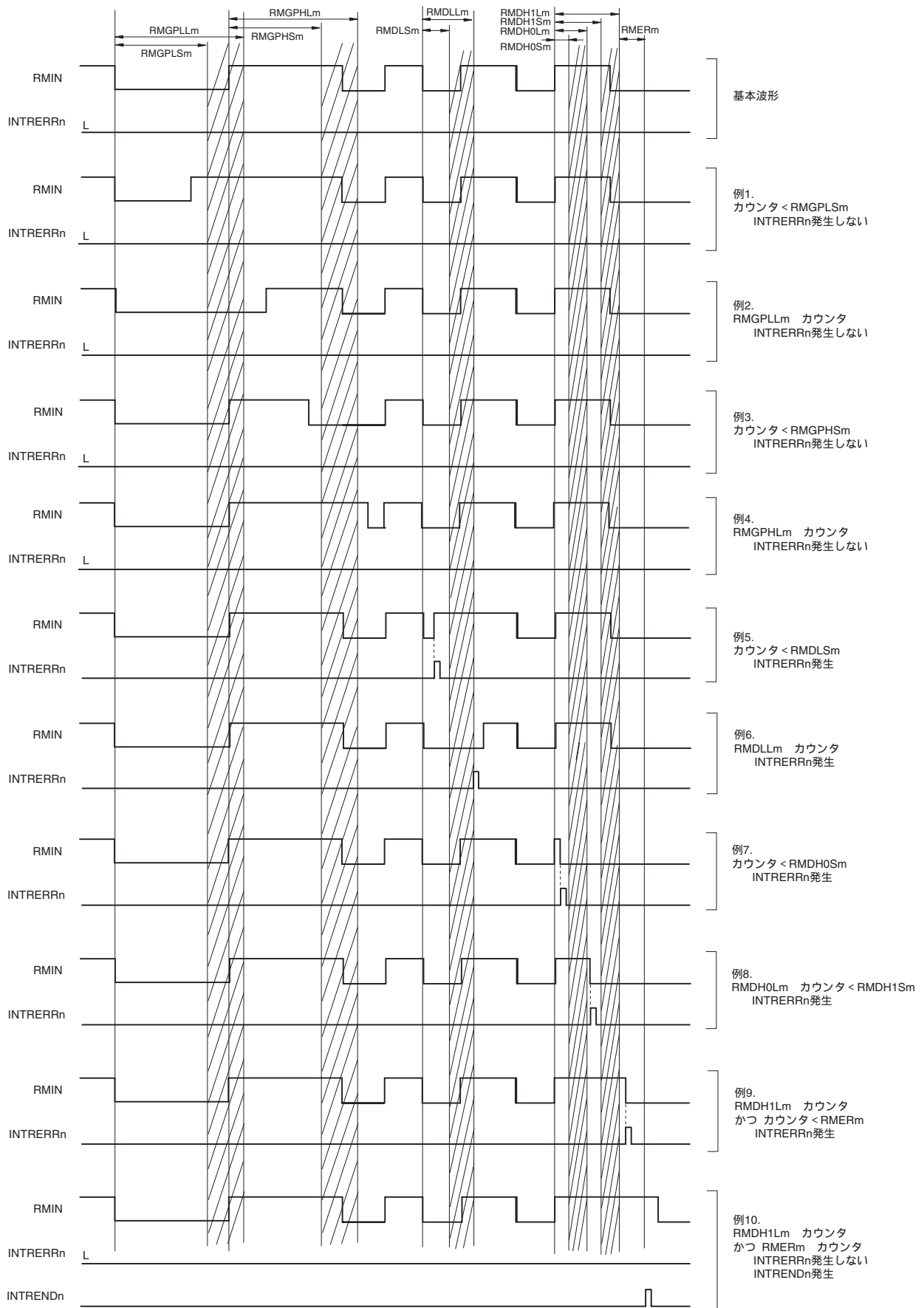
ガイド・パルスが検出されるまでは，INTRERRn信号は発生しません。

また，INTRERRn信号発生後は，次のガイド・パルスを検出するまでINTRERRn信号は発生しません。

図14 - 45にINTRERRn信号の発生タイミングを示します。

備考 m = 02, 13, n = 0-3

図14 - 45 INTRERRn信号の発生タイミング (B方式受信モード)



備考 m = 02, 13, n = 0-3

(3) C方式受信モードの場合

以下のいずれかの条件で、INTRERRn信号を発生します。

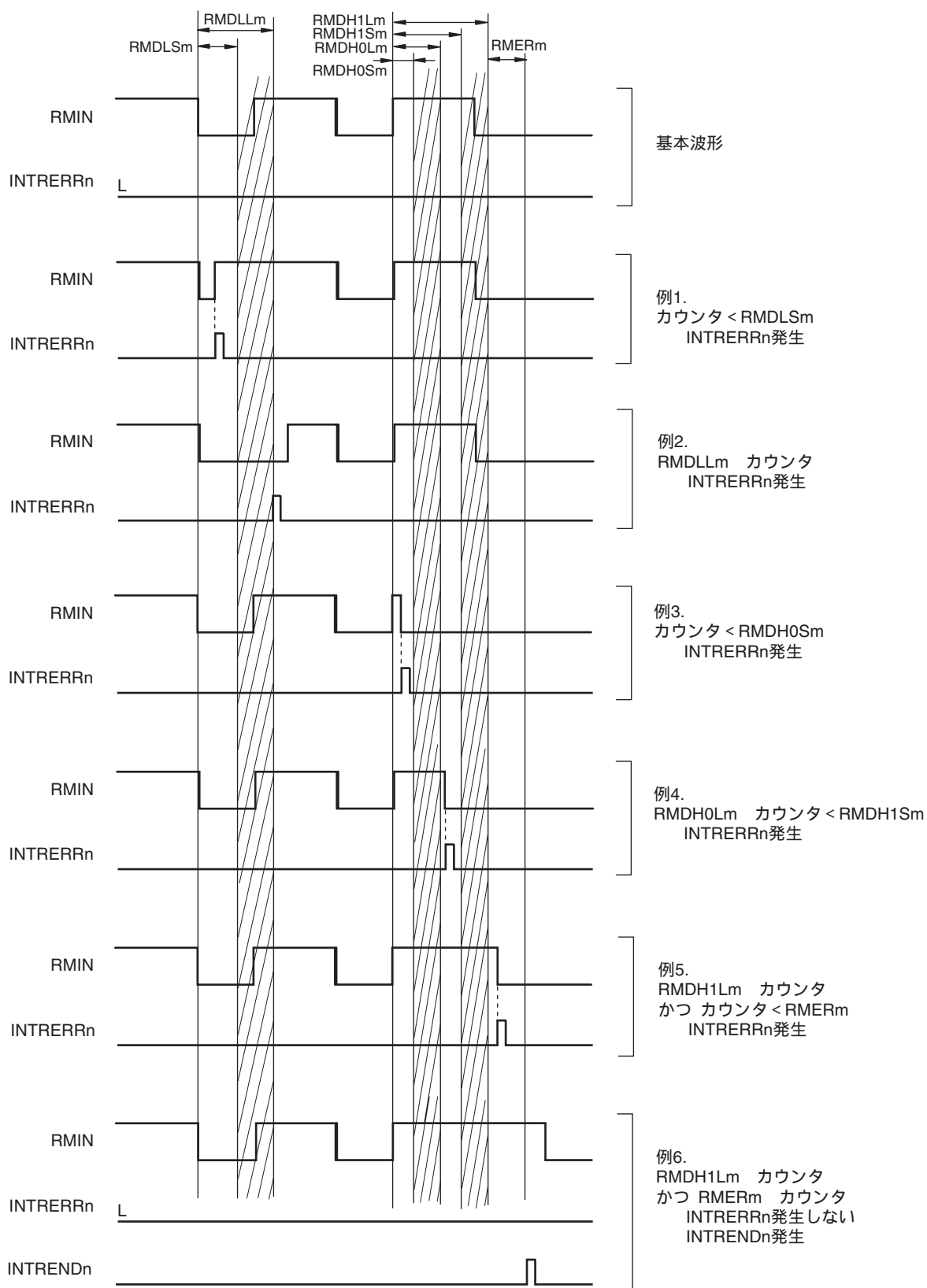
- ・ RMIN立ち上がり時点で、カウンタ < RMDLSm のとき
- ・ RMINロウ・レベル期間に、RMDLLm カウンタ になったとき
- ・ RMIN立ち下がり時点で、カウンタ < RMDH0Sm のとき
- ・ RMIN立ち下がり時点で、RMDH0Lm カウンタ < RMDH1Sm のとき
- ・ RMIN立ち下がり時点で、RMDH1Lm カウンタ かつ RMDH1Lm後のカウンタ < RMERm のとき

ただし、1回目のINTDFULLn割り込み発生までは、INTRERRn信号を発生しません。

図14 - 46にINTRERRn信号の発生タイミングを示します。

備考 m = 02, 13, n = 0-3

図14 - 46 INTRERRn信号の発生タイミング (C方式受信モード)



備考 m = 02, 13, n = 0-3

14. 5. 14 割り込み使用説明

このリモコン受信回路では、以下の3つの割り込み要因を「INTRAn」信号として出力します。

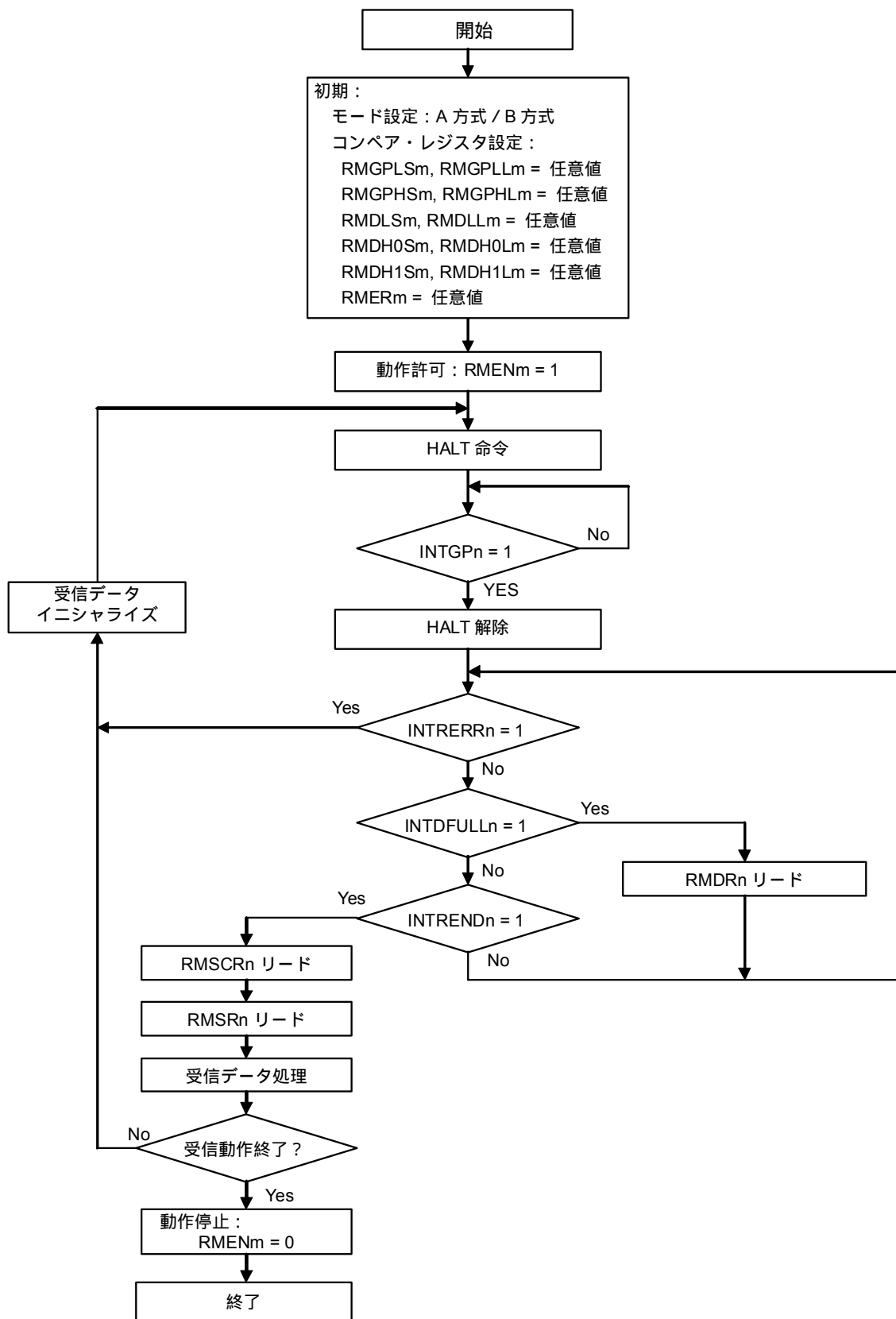
- ・ 8ビット・データ受信完了 (INTDFULLn)
- ・ 受信完了 (INTRENDn)
- ・ ガイド・パルス検出 (INTGPn)

この章では、説明の便宜上、「INTDFULLn」「INTRENDn」「INTGPn」としてはいますが、それぞれ以下のように読み替えてください。

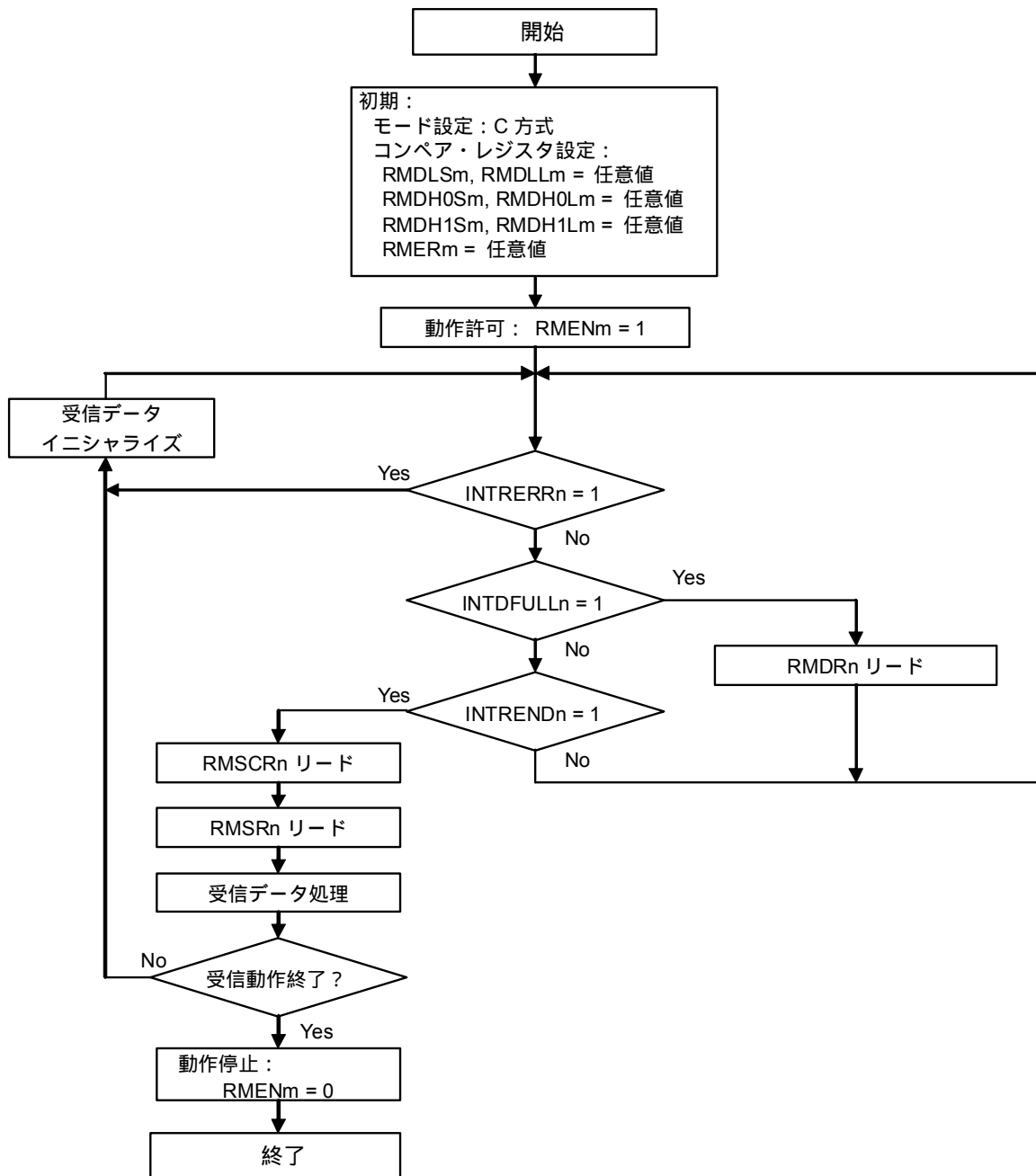
- ・ INTDFULLn ... INTRAn割り込み発生かつRMINTSnレジスタのINTSDFULLn = 1
- ・ INTRENDn ... INTRAn割り込み発生かつRMINTSnレジスタのINTSRENDn = 1
- ・ INTGPn ... INTRAn割り込み発生かつRMINTSnレジスタのINTSGPn = 1

備考 n = 0-3

図14 - 47 INTGPn, INTRERRn, INTRENDn, INTDFULLn使用のS/Wフロー例 (A方式/B方式受信モード)

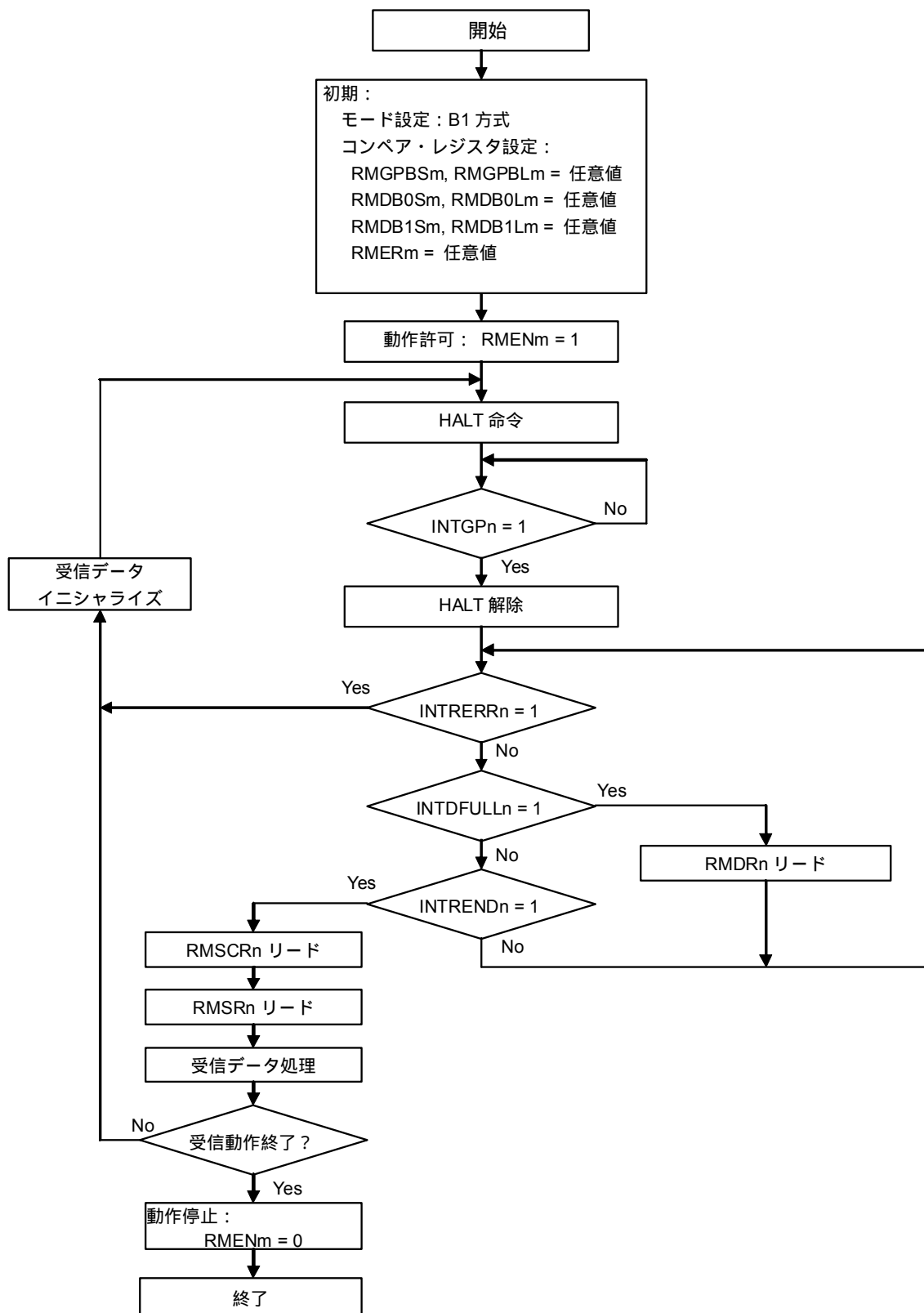


備考 m = 02, 13, n = 0-3

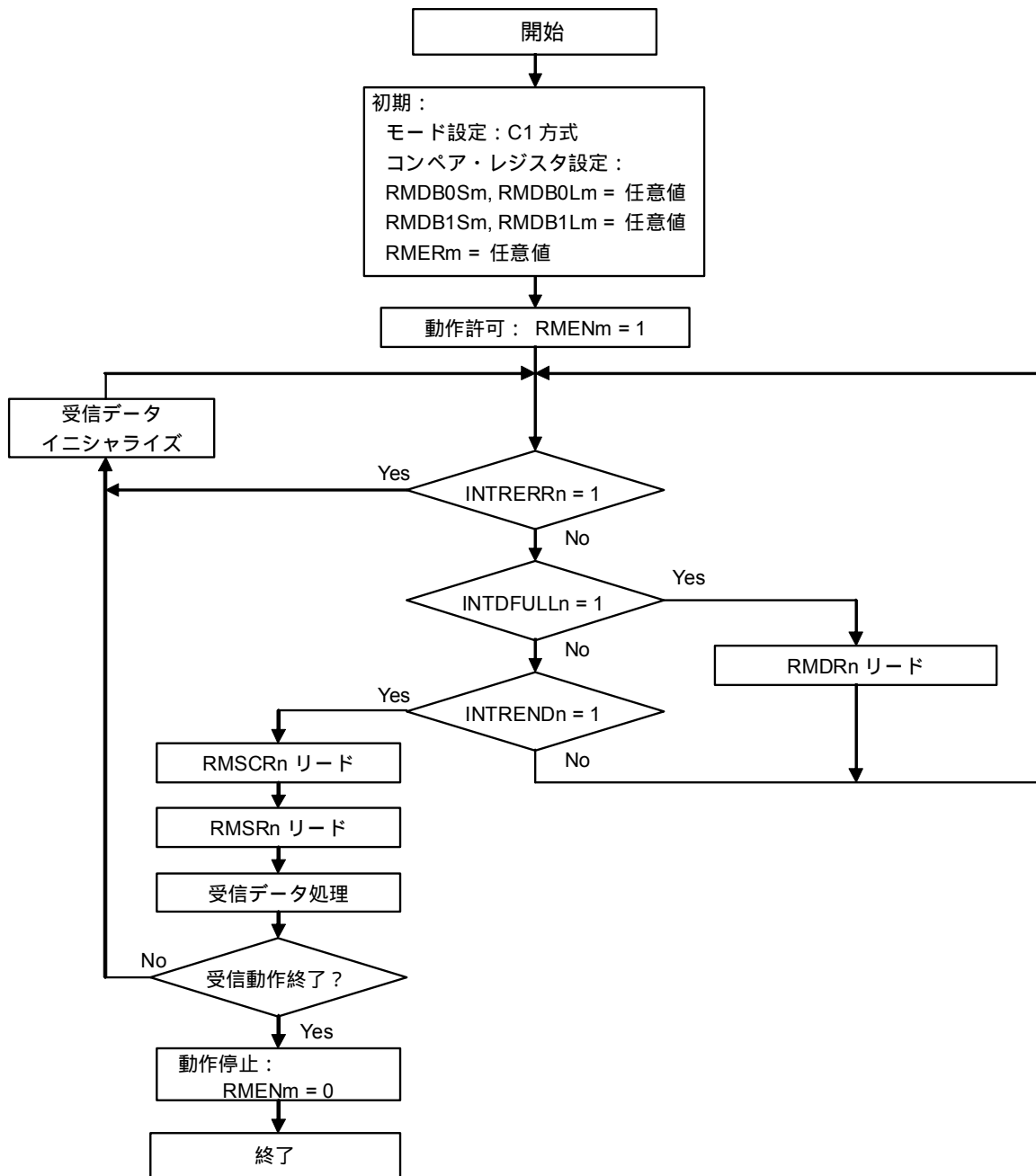
図14 - 48 INTRERR_n, INTREND_n, INTDFULL_n使用のS/Wフロー例 (C方式受信モード)

備考 m = 02, 13, n = 0-3

図14 - 49 INTGPn, INTRERRn, INTRENDn, INTDFULLn使用のS/Wフロー例 (B1方式受信モード)



備考 m = 02, 13, n = 0-3

図14 - 50 INTRERR_n, INTREND_n, INTDFULL_n使用のS/Wフロー例 (C1方式受信モード)

備考 m = 02, 13, n = 0-3

第15章 乗除算器

15.1 乗除算器の機能

乗除算器には、次のような機能があります。

- ・ 16ビット × 16ビット = 32ビット (乗算)
- ・ 32ビット ÷ 32ビット = 32ビット 剰余32ビット (除算)

15.2 乗除算器の構成

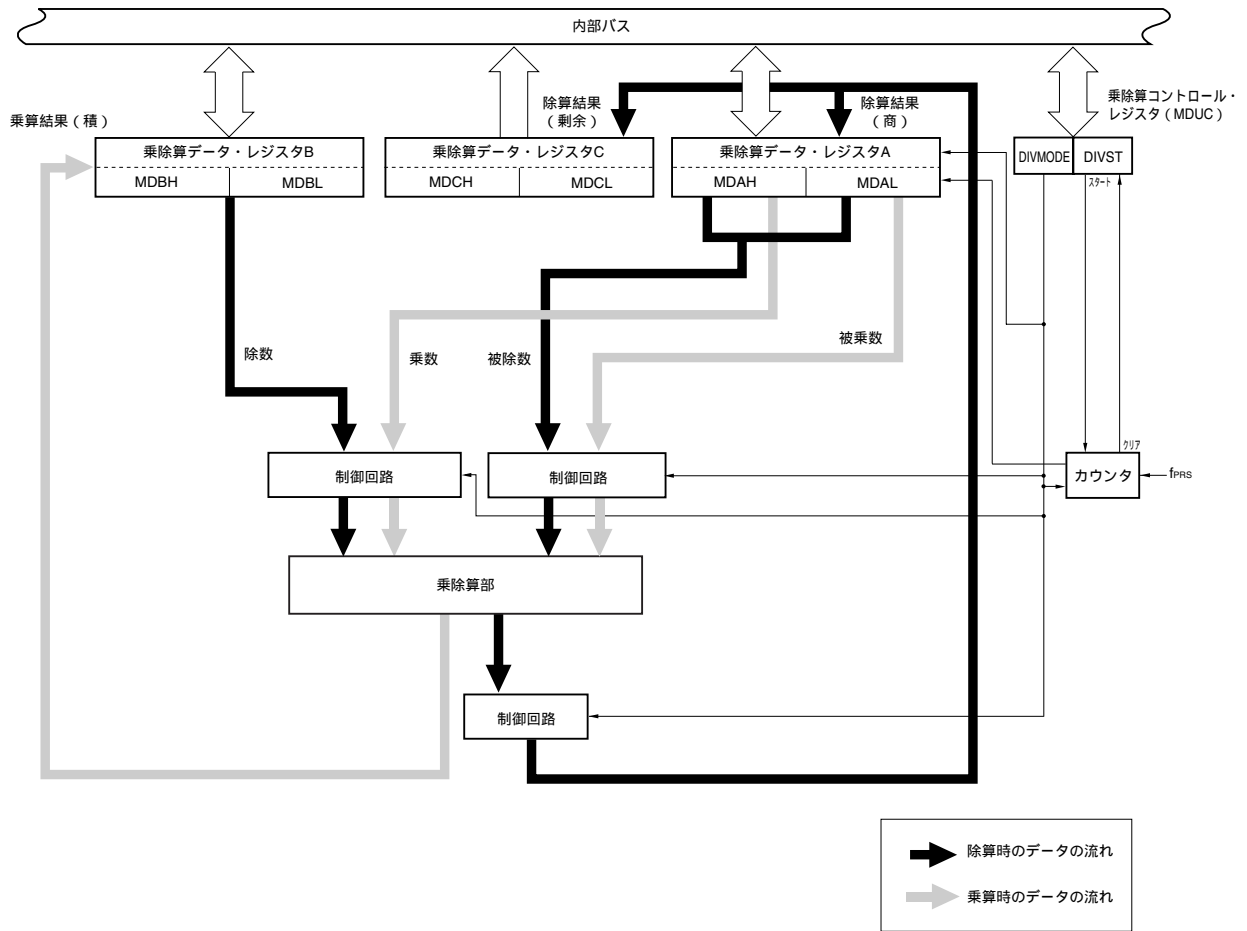
乗除算器は、次のハードウェアで構成されています。

表15 - 1 乗除算器の構成

項 目	構 成
レジスタ	乗除算データ・レジスタA (L) (MDAL) 乗除算データ・レジスタA (H) (MDAH) 乗除算データ・レジスタB (L) (MDBL) 乗除算データ・レジスタB (H) (MDBH) 乗除算データ・レジスタC (L) (MDCL) 乗除算データ・レジスタC (H) (MDCH)
制御レジスタ	乗除算コントロール・レジスタ (MDUC)

乗除算器のブロック図を図15 - 1に示します。

図15 - 1 乗除算器のブロック図



(1) 乗除算データ・レジスタ (MDAH, MDAL)

MDAH, MDALレジスタは、乗除算の演算に利用する値を設定し、演算結果を格納するレジスタです。乗算モード時は乗数と被乗数データを設定し、除算モード時は被除数データを設定します。また、除算モード時は演算結果（商）がMDAH, MDALレジスタに格納されます。

MDAH, MDALは、16ビット操作命令で設定します。

リセット信号の発生により、0000Hになります。

図15 - 2 乗除算データ・レジスタ (MDAH, MDAL) のフォーマット

アドレス：FFFF0H, FFFF1H, FFFF2H, FFFF3H リセット時：0000H, 0000H R/W



- 注意1. 除算演算処理中（乗除算コントロール・レジスタ (MDUC) が81Hのとき）に、MDAH, MDALの値を書き換えないでください。この場合でも演算は実施しますが、演算結果は不定値となります。
2. 除算演算処理中（MDUCが81Hのとき）にMDAH, MDALの値を読み出した場合、その値は保証しません。

MDAH, MDALの演算実行時の機能を次に示します。

表15 - 2 MDAH, MDALの演算実行時の機能

DIVMODE	演算モード	設定	演算結果
0	乗算モード	MDAH：乗数 MDAL：被乗数	-
1	除算モード	MDAH：被除数（上位16ビット） MDAL：被除数（下位16ビット）	MDAH：除算結果（商） 上位16ビット MDAL：除算結果（商） 下位16ビット

備考 DIVMODE：乗除算コントロール・レジスタ (MDUC) のビット7

(2) 乗除算データ・レジスタB (MDBL, MDBH)

MDBH, MDBLレジスタは、乗除算の演算に利用する値を設定し、演算結果を格納するレジスタです。乗算モード時は演算結果（積）を格納し、除算モード時は除数データを設定します。

MDBH, MDBLは、16ビット操作命令で設定します。

リセット信号の発生により、0000Hになります。

図15-3 乗除算データ・レジスタB (MDBH, MDBL) のフォーマット

アドレス：FFFF4H, FFFF5H, FFFF6H, FFFF7H リセット時：0000H, 0000H R/W



注意1. 除算演算処理中（乗除算コントロール・レジスタ (MDUC) が81Hのとき）に、MDBH, MDBLの値をソフトウェアで書き換えないでください。演算結果は不定値となります。

2. 除算モード時は、MDBH, MDBLに0000Hを設定しないでください。設定した場合、演算結果が不定値となります。

MDBH, MDBLの演算実行時の機能を次に示します。

表15-3 MDBH, MDBLの演算実行時の機能

DIVMODE	演算モード	設定	演算結果
0	乗算モード	-	MDBH：乗算結果（積） 上位16ビット MDBL：乗算結果（積） 下位16ビット
1	除算モード	MDBH：除数（上位16ビット） MDBL：除数（下位16ビット）	-

備考 DIVMODE：乗除算コントロール・レジスタ (MDUC) のビット7

(3) 乗除算データ・レジスタC (MDCL, MDCH)

MDCH, MDCLレジスタは、除算モードにおいて演算結果の剰余の値が格納されるレジスタです。乗算モードでは使用しません。

MDCH, MDCLは、16ビット操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

図15-4 乗除算データ・レジスタC (MDCH, MDCL) のフォーマット

アドレス：F00E0H, F00E1H, F00E2H, F00E3H リセット時：0000H, 0000H R



注意 除算演算処理中（乗除算コントロール・レジスタ (MDUC) が81Hのとき）に、MDCH, MDCLの値を読み出した場合、その値は保証されません。

表15-4 MDCH, MDCLの演算実行時の機能

DIVMODE	演算モード	設定	演算結果
0	乗算モード	-	-
1	除算モード	-	MDCH：剰余（上位16ビット） MDCL：剰余（下位16ビット）

備考 DIVMODE：乗除算コントロール・レジスタ (MDUC) のビット7

乗算時と除算時のレジスタ構成を次に示します。

・乗算時のレジスタ構成

< 乗数A > < 乗数B > < 積 >

MDAL (ビット15-0) × MDAH (ビット15-0) = [MDBH (ビット15-0), MDBL (ビット15-0)]

・除算時のレジスタ構成

< 被除数 > < 除数 >

[MDAH (ビット15-0), MDAL (ビット15-0)] ÷ [MDBH (ビット15-0), MDBL (ビット15-0)] =

< 商 > < 剰余 >

[MDAH (ビット15-0), MDAL (ビット15-0)] ... [MDCH (ビット15-0), MDCL (ビット15-0)]

15.3 乗除算器を制御するレジスタ

乗除算器は、乗除算コントロール・レジスタ (MDUC) で制御します。

(1) 乗除算コントロール・レジスタ (MDUC)

MDUCは、乗除算器の動作を制御する8ビット・レジスタです。

MDUCは1ビット・メモリ命令または8ビット・メモリ命令で設定します。

リセット信号の発生により、00Hになります。

図15-5 乗除算コントロール・レジスタ (MDUC) のフォーマット

アドレス：F00E8H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
MDUC	DIVMODE	0	0	0	0	0	0	DIVST

DIVMODE	演算モード (乗算 / 除算) の選択
0	乗算モード
1	除算モード

DIVST ^注	除算演算動作の開始 / 停止
0	除算演算処理完了
1	除算演算開始 / 除算演算処理中

注 DIVSTは除算モード時にのみセット (1) 可能です。除算モード時、DIVSTをセット (1) すると除算演算動作を開始します。演算終了後は自動的にDIVSTがクリア (0) されます。乗算モード時は、MDAH, MDALに乗数、被乗数を設定することにより自動的に演算が開始されます。

- 注意1. 演算処理中 (DIVSTが1のとき) に、DIVMODEを書き換えないでください。書き換えた場合、演算結果が不定値となります。
2. 除算演算処理中 (DIVSTが1のとき) にDIVSTをソフトウェアでクリア (0) することはできません。

15.4 乗除算器の動作

15.4.1 乗算動作

- ・初期設定

乗除算コントロール・レジスタ (MDUC) のビット7 (DIVMODE) を0にする。

乗除算データ・レジスタA (L) (MDAL) に被乗数をセット

乗除算データ・レジスタA (H) (MDAH) に乗数をセット

(, のセットの順はどちらが先でも問題ありません。MDAH, MDALに乗数, 被乗数をセットすると自動的に乗算演算を開始します。)

- ・演算処理中

1クロック以上ウエイトします。演算は1クロックで終了します。

- ・演算終了

乗除算データ・レジスタB (L) (MDBL) から積 (下位16ビット) を読み出します。

乗除算データ・レジスタB (H) (MDBH) から積 (上位16ビット) を読み出します。

(, の読み出しの順はどちらが先でも問題ありません。)

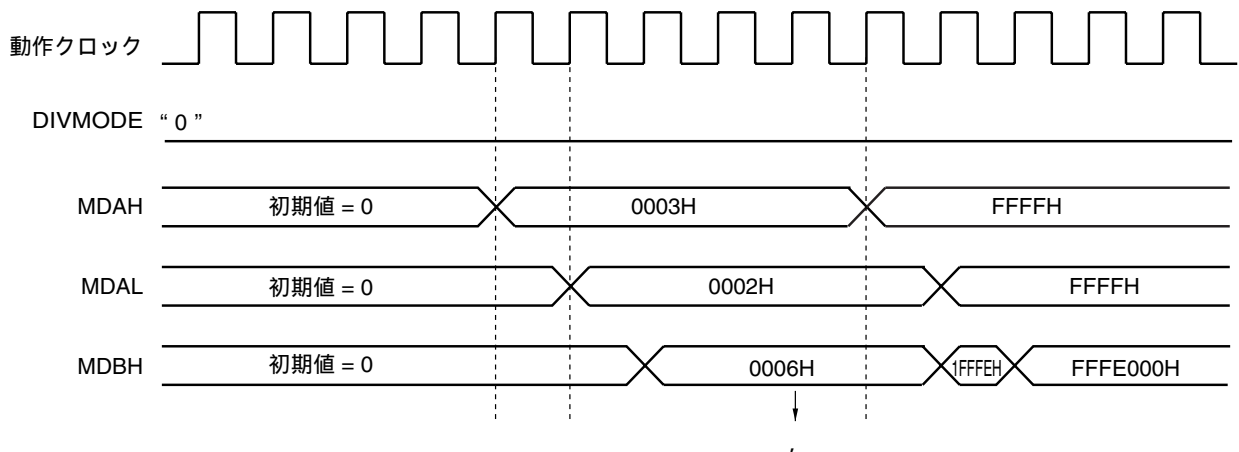
- ・次回演算

次に乗算を行う場合は, 乗算動作の「初期設定」から行ってください。

次に除算を行う場合は, 15.4.2 除算動作の「初期設定」から行ってください。

備考 手順の ~ は, 図15-6の ~ に対応しています。

図15-6 乗算動作のタイミング図 (0003H×0002H)



15.4.2 除算動作

・初期設定

乗除算コントロール・レジスタ (MDUC) のビット7 (DIVMODE) に1をセットする。

乗除算データ・レジスタA (H) (MDAH) に被除数 (上位16ビット) をセット

乗除算データ・レジスタA (L) (MDAL) に被除数 (下位16ビット) をセット

乗除算データ・レジスタB (H) (MDBH) に除数 (上位16ビット) をセット

乗除算データ・レジスタB (L) (MDBL) に除数 (下位16ビット) をセット

MDUCのビット0 (DIVST) に1をセット

(~ の順はどれからセットしても問題ありません。)

・演算処理中

次のいずれかの処理が完了すれば演算が終了します。

・ 16クロック以上ウエイト (16クロックで演算は終了します。)

・ DIVSTがクリアされたことを確認

(演算処理中のMDBL, MDBH, MDCH, MDCLのリード値は保証しません。)

・演算終了

DIVSTがクリア (0) されます (演算終了)。

MDALから商 (下位16ビット) を読み出します。

MDAHから商 (上位16ビット) を読み出します。

乗除算データ・レジスタC (L) (MDCL) から剰余 (下位16ビット) を読み出します。

乗除算データ・レジスタC (H) (MDCH) から剰余 (上位16ビット) を読み出します。

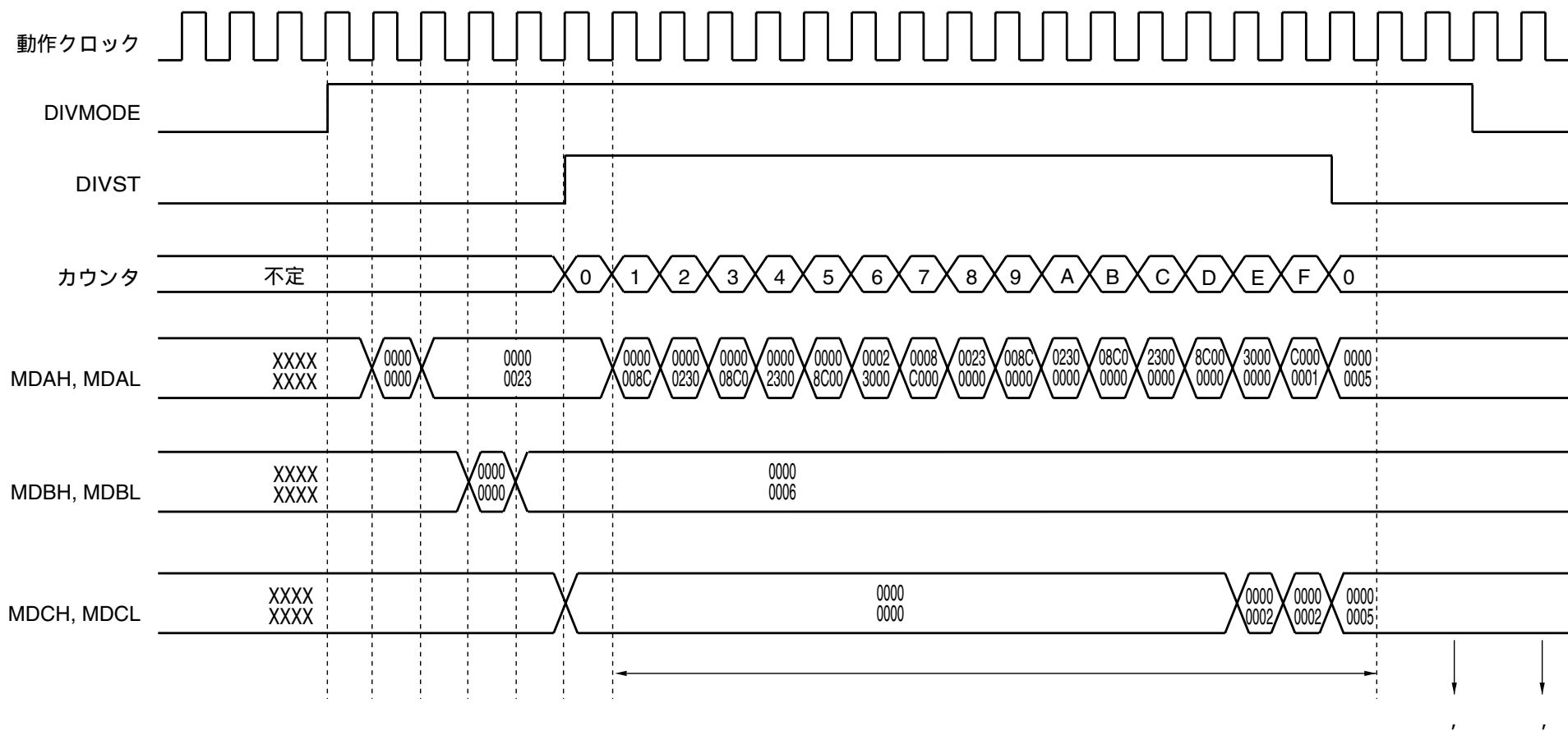
(~ の順はどれから読み出しても問題ありません。)

・次回演算

次に乗算を行う場合は、15.4.1 乗算動作の「初期設定」から行ってください。

次に除算を行う場合は、除算動作の「初期設定」から行ってください。

備考 手順の ~ は、図15-7の ~ に対応しています。

図15-7 除算動作のタイミング図(例: $35 \div 6 = 5$ 余5)

第16章 DMAコントローラ

78K0R/Kx3-Cは、DMA (Direct Memory Access) コントローラを内蔵しています。

DMAに対応している周辺ハードウェアのSFRと内蔵RAMの間は、CPUを介さずに自動でデータのやり取りをすることができます。

これにより、SFR 内蔵RAM間の転送を、通常のCPU内部の演算やデータ転送をしながら行えるため、大容量データの処理も可能になります。また、通信やタイマ、A/Dを駆使したりリアルタイム制御も実現できます。

16.1 DMAコントローラの機能

DMAチャンネル数：2チャンネル

転送単位：8ビット / 16ビット

最大転送単位：1024回

転送タイプ：2サイクル転送（1回の転送を2クロックで処理し、その間はCPU動作が停止します）

転送モード：シングル転送モード

転送要求：以下の周辺ハードウェア割り込みから選択

- ・A/Dコンバータ
- ・シリアル・インタフェース (CSI00, CSI01, CSI10, UART0, UART1, IIC10)
- ・タイマ (チャンネル0, 1, 4, 5)

転送対象：SFR 内蔵RAM

DMAを使った機能例は、次のようなものが考えられます。

- ・シリアル・インタフェースの連続転送
- ・アナログ・データをまとめて転送
- ・一定時間ごとにA/Dの変換結果を取り込む
- ・一定時間ごとにポートの値を取りこむ

16.2 DMAコントローラの構成

DMAコントローラは、次のハードウェアで構成されています。

表16 - 1 DMAコントローラの構成

項 目	構 成
アドレス・レジスタ	・ DMA SFRアドレス・レジスタ0, 1 (DSA0, DSA1) ・ DMA RAMアドレス・レジスタ0, 1 (DRA0, DRA1)
カウント・レジスタ	・ DMAバイト・カウント・レジスタ0, 1 (DBC0, DBC1)
制御レジスタ	・ DMAモード・コントロール・レジスタ0, 1 (DMC0, DMC1) ・ DMA動作コントロール・レジスタ0, 1 (DRC0, DRC1)

(1) DMA SFRアドレス・レジスタ_n (DSAn)

DMAチャンネル_nの転送元 / 転送先となるSFRアドレスを設定する8ビット・レジスタです。

SFRアドレスFFF00H- FFFFFHの下位8ビットを設定してください。

このレジスタは自動的にインクリメント動作せず、固定値となります。

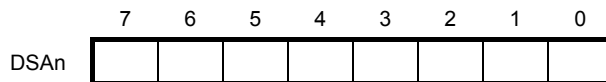
16ビット転送モード時には、最下位ビットは無視され、偶数番地として扱われます。

DSAnは8ビット単位でリード / ライト可能です。ただし、DMA転送中には書き込みができません。

リセット信号の発生により、00Hになります。

図16 - 1 DMA SFRアドレス・レジスタ_n (DSAn) のフォーマット

アドレス : FFFB0H (DSA0), FFFB1H (DSA1) リセット時 : 00H R/W



備考 n : DMAチャンネル番号 (n = 0, 1)

(2) DMA RAMアドレス・レジスタ_n (DRAn)

DMAチャンネル_nの転送先 / 転送元となるRAMアドレスを設定する16ビット・レジスタです。

汎用レジスタ以外の内蔵RAM領域 (μ PD78F1846A, 78F1848Aでは, FE700H-FFEDFH) のアドレスが設定可能です。

RAMアドレスの下位16ビットを設定してください。

このレジスタはDMA転送が始まると、自動的にインクリメントされます。8ビット転送モード時には+1され、16ビット転送モード時には+2されます。DMA転送はこのDRAnレジスタの設定アドレスから開始し、最終アドレスまで転送し終わると、DRAnは8ビット転送モード時には最終アドレス+1、16ビット転送モード時には最終アドレス+2になって停止します。

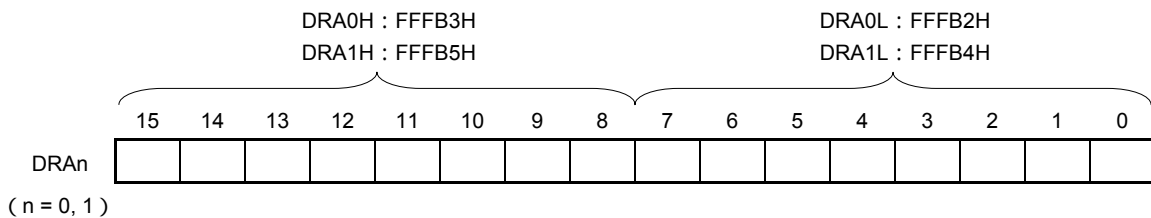
16ビット転送モード時には、最下位ビットは無視され、偶数番地として扱われます。

DRAnは8/16ビット単位でリード/ライト可能です。ただし、DMA転送中には書き込みができません。

リセット信号の発生により、0000Hになります。

図16 - 2 DMA RAMアドレス・レジスタ_n (DRAn) のフォーマット

アドレス : FFFB2H, FFFB3H (DRA0), FFFB4H, FFFB5H (DRA1) リセット時 : 0000H R/W



備考 n : DMAチャンネル番号 (n = 0, 1)

16.3 DMAコントローラを制御するレジスタ

DMAコントローラを制御するレジスタを次に示します。

- ・DMAモード・コントロール・レジスタ n (DMC n)
- ・DMA動作コントロール・レジスタ n (DRC n)

備考 n : DMAチャンネル番号 ($n = 0, 1$)

(1) DMAモード・コントロール・レジスタ_n (DMC_n)

DMC_nは、DMAチャンネル_nの転送モード設定レジスタです。転送方向、データ・サイズ、保留設定、起動要因の選択を行います。ビット7 (STG_n)はDMA起動のソフトウェア・トリガとなります。

DMC_nのビット6, 5, 3-0は、動作中 (DST_n = 1のとき)の書き換えは禁止です。

DMC_nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図16-4 DMAモード・コントロール・レジスタ_n (DMC_n)のフォーマット (1/2)

アドレス：FFFBAH (DMC0), FFFBBH (DMC1) リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
DMC _n	STG _n	DRS _n	DS _n	DWAIT _n	IFC _{n3}	IFC _{n2}	IFC _{n1}	IFC _{n0}

STG _n ^{注1}	DMA転送開始ソフトウェア・トリガ
0	ソフトウェア・トリガ動作しない
1	DMA動作許可 (DEN _n = 1) 時に、DMA転送を開始する
DMA動作許可 (DEN _n = 1) 時に、STG _n に1を書き込むことでDMA転送を開始します。 このビットの読み出し値は常に0となります。	

DRS _n	DMA転送方向の選択
0	SFR 内蔵RAM
1	内蔵RAM SFR

DS _n	DMA転送での転送データ・サイズの指定
0	8ビット
1	16ビット

DWAIT _n ^{注2}	DMA転送の保留
0	DMA起動要求によりDMA転送を行う (保留しない)
1	DMA起動要求が来ても保留する
DWAIT _n の値を1 0にすることで、保留されているDMA転送を開始することができます。 また、DWAIT _n の値を0 1に設定してから、実際に転送が保留されるまでは2クロック必要となります。	

注1. ソフトウェア・トリガ (STG_n) は、IFC_{n3}-IFC_{n0}の値に関係なく使用できます。

2. DMAを2チャンネルともに使用中でDMA転送を保留する場合は、必ず両チャンネルのDMAを保留にしてください (DWAIT₀ = DWAIT₁ = 1)。

備考 n : DMAチャンネル番号 (n = 0, 1)

図16 - 4 DMAモード・コントロール・レジスタ_n (DMC_n) のフォーマット (2/2)

アドレス : FFFBAH (DMC0), FFFBBH (DMC1) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DMC _n	STG _n	DRS _n	DS _n	DWAIT _n	IFC _{n3}	IFC _{n2}	IFC _{n1}	IFC _{n0}

IFC _n 3	IFC _n 2	IFC _n 1	IFC _n 0	DMA起動要因の選択 [※]	
				トリガ信号	トリガ内容
0	0	0	0	-	割り込みによるDMA転送禁止 (ソフトウェア・トリガのみ可)
0	0	1	0	INTTM00	タイマ・チャンネル0割り込み
0	0	1	1	INTTM01	タイマ・チャンネル1割り込み
0	1	0	0	INTTM04	タイマ・チャンネル4割り込み
0	1	0	1	INTTM05	タイマ・チャンネル5割り込み
0	1	1	0	INTST0/INTCSI00	UART0送信完了割り込み / CSI00転送完了割り込み
0	1	1	1	INTSR0/INTCSI01	UART0受信完了割り込み / CSI01転送完了割り込み
1	0	0	0	INTST1/INTCSI10/INTIIC10	UART1送信完了割り込み / CSI10転送完了割り込み / IIC10転送完了割り込み
1	0	0	1	INTSR1	UART1受信完了割り込み
1	1	0	0	INTAD	A/D変換終了割り込み
上記以外				設定禁止	

注 ソフトウェア・トリガ (STG_n) は, IFC_{n3}-IFC_{n0}の値に関係なく使用できます。

備考 n : DMAチャンネル番号 (n = 0, 1)

(2) DMA動作コントロール・レジスタ_n (DRC_n)

DRC_nは、DMAチャンネル_nの転送許可/禁止を設定するレジスタです。

DRC_nのビット7 (DEN_n) は、動作中 (DST_n = 1のとき) の書き換えは禁止です。

DRC_nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図16 - 5 DMA動作コントロール・レジスタ_n (DRC_n) のフォーマット

アドレス : FFFBCH (DRC₀), FFFBDH (DRC₁) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DRC _n	DEN _n	0	0	0	0	0	0	DST _n

DEN _n	DMA動作許可フラグ
0	DMAチャンネル _n の動作禁止 (DMAの動作クロック停止)
1	DMAチャンネル _n の動作許可

DMA動作許可 (DEN_n = 1) にしてから、DST_n = 1にすることでDMAトリガ待ち状態になります。

DST _n	DMA転送モード・フラグ
0	DMAチャンネル _n のDMA転送終了
1	DMAチャンネル _n のDMA転送未終了 (転送中)

DMA動作許可 (DEN_n = 1) にしてから、DST_n = 1にすることでDMAトリガ待ち状態になります。
 そしてソフトウェア・トリガ (STG_n) または IFC_{n3}-IFC_{n0} で設定した起動要因トリガが入力されると、DMA転送を開始します。
 その後、DMA転送が終了すると自動的に0にクリアされます。
 DMA転送中に強制終了したい場合は、0を書き込みます。

注意1. DST_nフラグはDMA転送が終了すると自動的に0にクリアされます。

DEN_nフラグはDST_n = 0のときのみ書き込み許可となるため、DMA_nの割り込み (INTDMA_n) 発生を待たずに終了する場合は、DST_n = 0に設定してからDEN_n = 0としてください (詳細は16.5.5 ソフトウェアでの強制終了参照)。

- OSMCレジスタのFSELビットに1を設定する場合、設定後3クロック以内はDMAを動作許可 (DEN_n = 1) にしないでください。

備考 n : DMAチャンネル番号 (n = 0, 1)

16.4 DMAコントローラの動作

16.4.1 動作手順

DENn = 1により、DMAコントローラの動作許可状態となります。他のレジスタへの書き込みは必ずDENn = 1としたあとに行ってください。8ビット操作命令で書き込む場合は、80Hを書き込みます。

DSAn, DRAn, DBCn, DMCnレジスタにDMA転送のSFRアドレス、RAMアドレス、転送回数、転送モードを設定します。

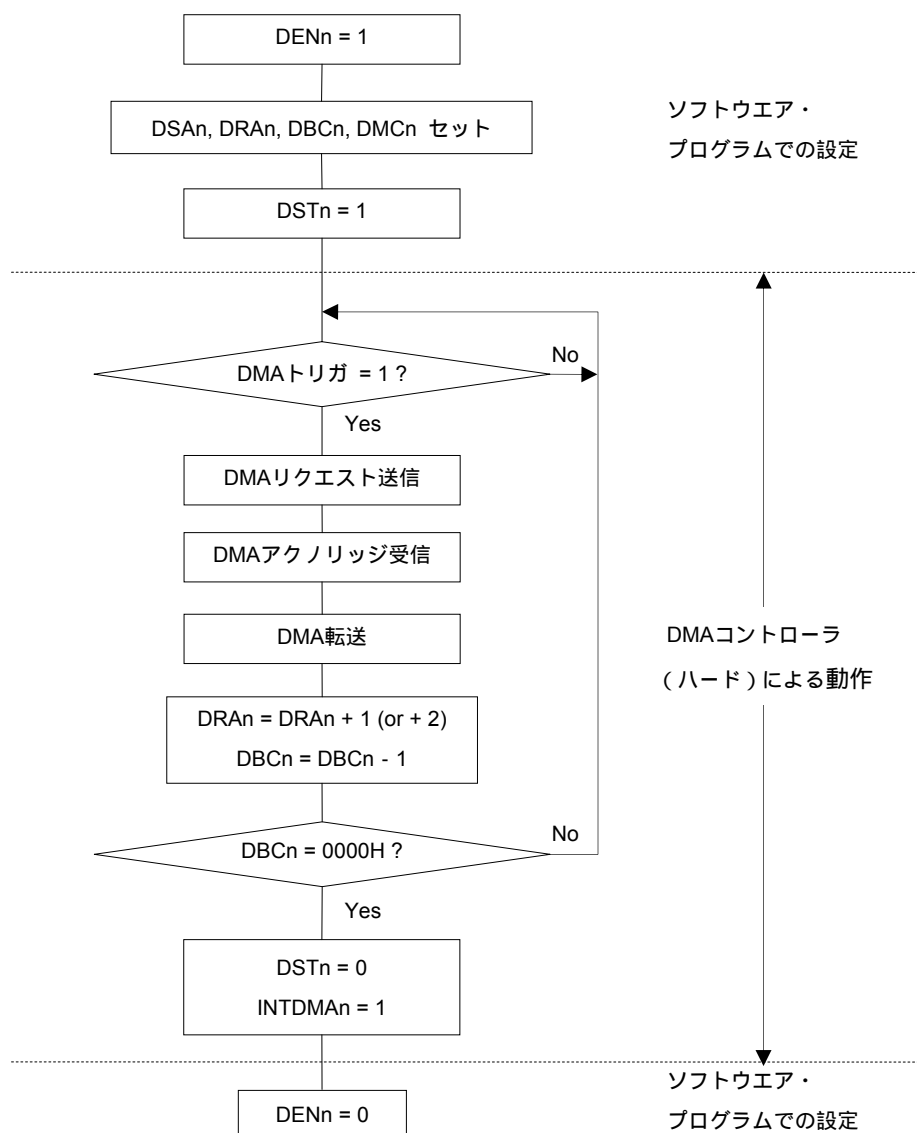
DSTn = 1とすることでDMAトリガ待ち状態になります。8ビット操作命令で書き込む場合は、81Hを書き込みます。

ソフトウェア・トリガ (STGn) またはIFCn3-IFCn0で設定した起動要因トリガが入力されると、DMA転送を開始します。

DBCnレジスタで設定した転送回数が0になると転送が完了し、割り込み (INTDMAn) の発生により自動的に転送が終了します。

その後DMAコントローラを使用しない場合はDENn = 0として動作停止状態としてください。

図16-6 動作手順



備考 n : DMAチャンネル番号 (n = 0, 1)

16.4.2 転送モード

DMA転送には、DMCnレジスタのビット6, 5 (DRSn, DS_n) の設定により、次の4つの転送モードを選択できます。

DRSn	DS _n	DMA転送モード
0	0	1バイト・データのSFR (アドレス固定) からRAM (アドレスは+1のインクリメント) への転送
0	1	2バイト・データのSFR (アドレス固定) からRAM (アドレスは+2のインクリメント) への転送
1	0	1バイト・データのRAM (アドレスは+1のインクリメント) からSFR (アドレス固定) への転送
1	1	2バイト・データのRAM (アドレスは+2のインクリメント) からSFR (アドレス固定) への転送

この転送モードを使用することによって、シリアル・インタフェースを使った最大1024バイトの連続データ転送、A/D変換結果の連続データ転送、タイマを使用した一定時間ごとのポート・データのスキャンなどができます。

16.4.3 DMA転送の終了

DBC_n = 00HとなりDMA転送が完了すると、自動的にDST_nビットがクリア (0) されます。そして割り込み要求 (INTDMA_n) の発生により転送が終了します。

強制終了するためにDST_nビットをクリア (0) すると、DBC_nレジスタとDRAnレジスタは停止したときの値を保持します。

また、強制終了した場合は割り込み要求 (INTDMA_n) は発生しません。

備考 n : DMAチャネル番号 (n = 0, 1)

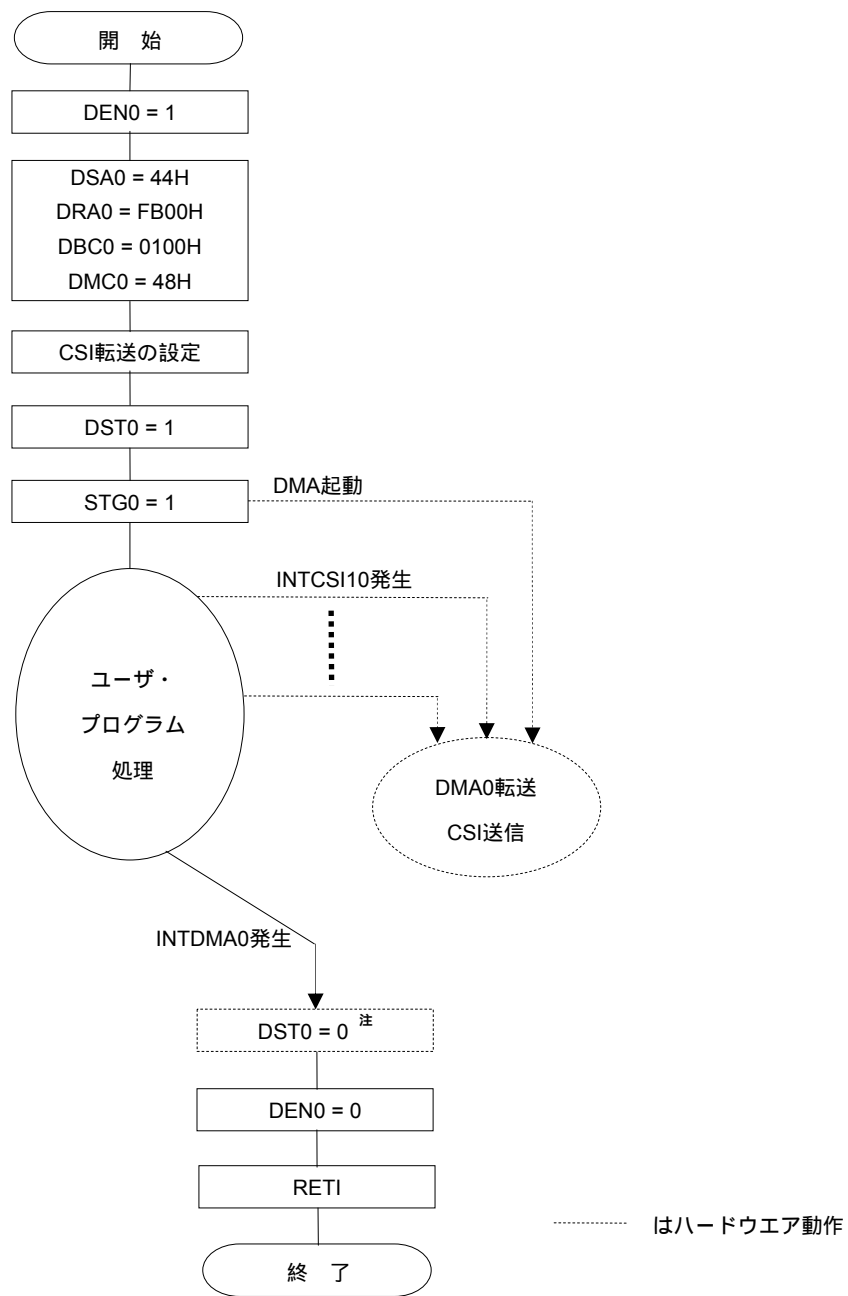
16.5 DMAコントローラの設定例

16.5.1 CSI連続送信

CSI連続送信の設定例のフロー・チャートを次に示します。

- ・ CSI10の連続送信 (256バイト)
- ・ DMAのチャンネル0をDMA転送に使用
- ・ DMA起動要因 : INTCSI10 (最初の起動要因のみソフトウェア・トリガ (STG0))
- ・ CSI10の割り込みはIFC03-IFC00 (DMC0レジスタのビット3-0) = 1000Bに割り当て
- ・ RAMのFFB00H-FFBFFH (256バイト) をCSIのデータ・レジスタ (SIO10) のFFF44Hに転送

図16 - 7 CSI連続送信の設定例



注 DST0フラグはDMA転送が終了すると自動的に0にクリアされます。

DENOフラグはDST0 = 0のときのみ書き込み許可となるため、DMA0の割り込み (INTDMA0) 発生を待たずに終了する場合は、DST0 = 0に設定してからDENO = 0としてください (詳細は16.5.5 ソフトウェアでの強制終了参照)。

連続送信の場合は1回目のトリガはCSIの割り込みでは起動されません。この例ではソフトウェア・トリガにて起動しています。

2回目以降のCSI送信は自動的に転送されます。

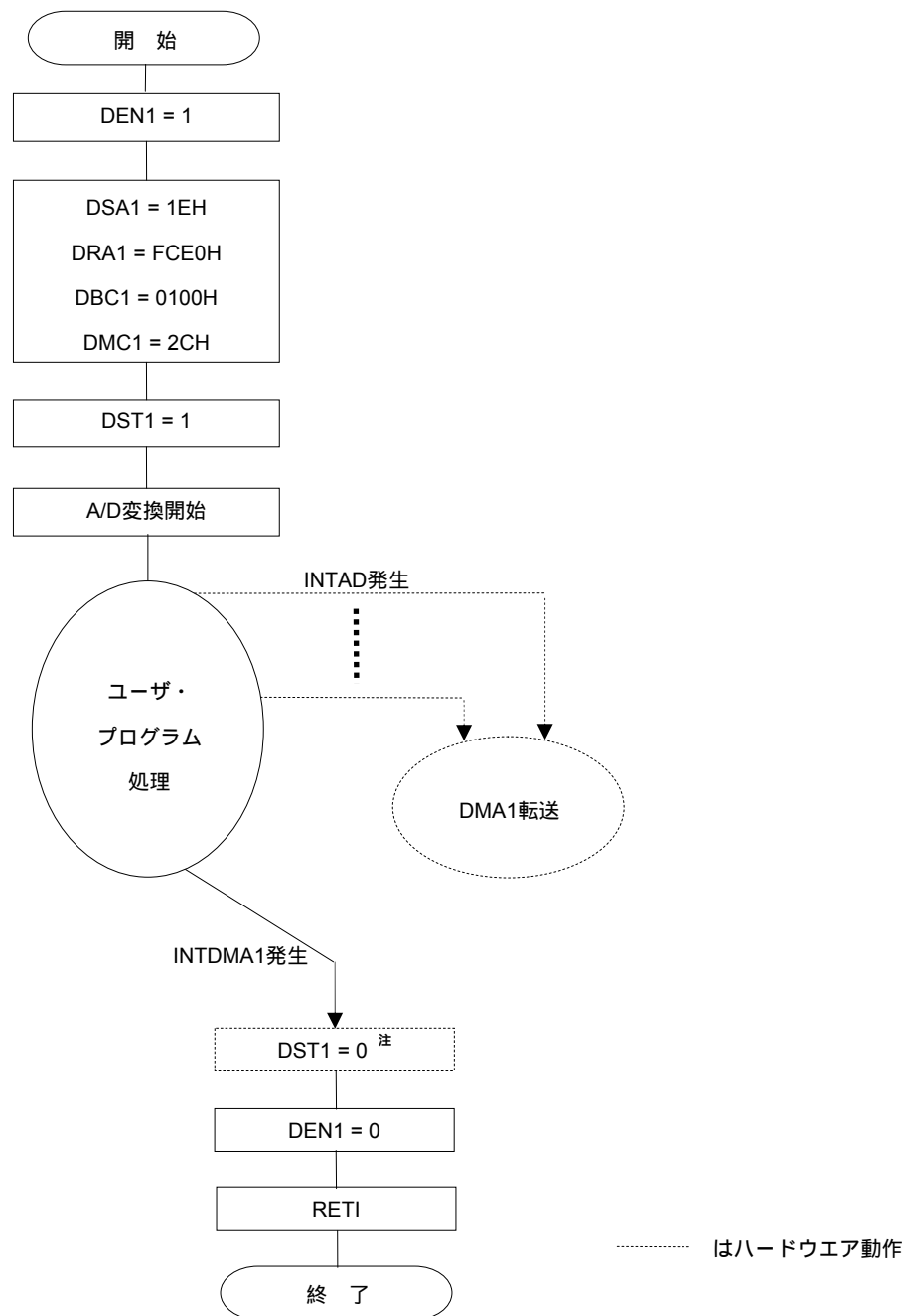
データ・レジスタへの最終の送信データの書き込みが終わった時点で、DMA割り込み (INTDMA0) が発生します。

16. 5. 2 A/D変換結果の連続取り込み

A/D変換結果の連続取り込みの設定例のフロー・チャートを次に示します。

- A/D変換結果の連続取り込み
- DMAのチャンネル1をDMA転送に使用
- DMA起動要因：INTAD
- A/Dの割り込みはIFC13-IFC10 (DMC1レジスタのビット3-0) = 1100Bに割り当て
- 10ビットA/D変換結果レジスタのFFF1EHとFFF1FH (2バイト) をRAMのFFCE0H-FFEDFHの512バイトに転送

図16 - 8 A/D変換結果の連続取り込みの設定例



注 DST1フラグはDMA転送が終了すると自動的に0にクリアされます。

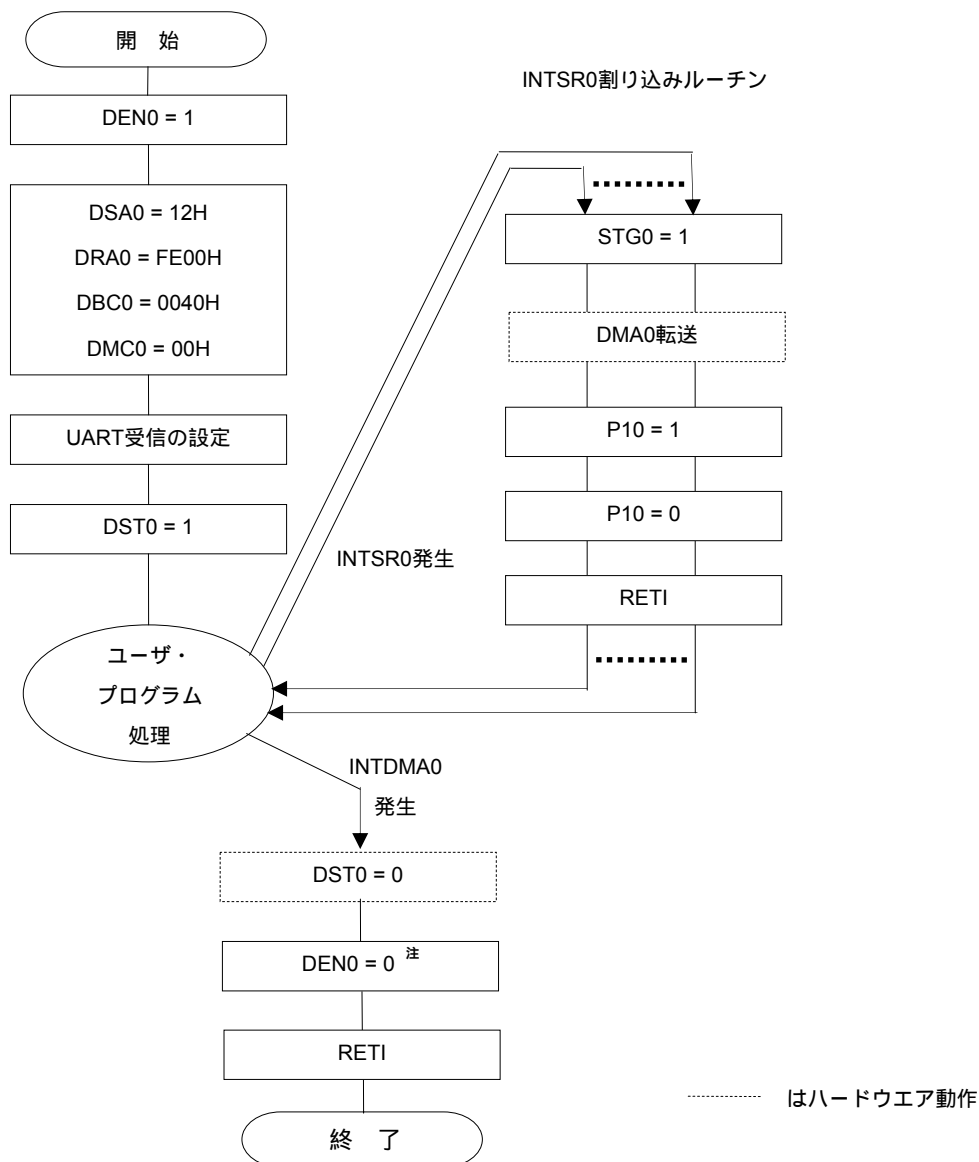
DEN1フラグはDST1 = 0のときのみ書き込み許可となるため、DMA1の割り込み (INTDMA1) 発生を待たずに終了する場合は、DST1 = 0に設定してからDEN1 = 0としてください (詳細は16. 5. 5 ソフトウェアでの強制終了参照)。

16. 5. 3 UART連続受信 + ACK送信

UART連続受信 + ACK送信の設定例のフロー・チャートを次に示します。

- ・ UART0の連続受信を行い，P10に受信完了のACKを出力
- ・ DMAのチャンネル0をDMA転送に使用
- ・ DMA起動要因：ソフトウェア・トリガ（割り込みによるDMA転送禁止）
- ・ UART受信データ・レジスタ0（RXD0）のFFF12HをRAMのFFE00H-FFE3FHの64バイトに転送

図16 - 9 UART連続受信 + ACK送信の設定例



注 DST0フラグはDMA転送が終了すると自動的に0にクリアされます。

DEN0フラグはDST0 = 0のときのみ書き込み許可となるため、DMA0の割り込み (INTDMA0) 発生を待たずに終了する場合は、DST0 = 0に設定してからDEN0 = 0としてください (詳細は16.5.5 ソフトウェアでの強制終了参照)。

備考 DMA起動要因にソフトウェア・トリガを使用した例です。

ACKを送信せずに、UART連続受信だけであれば、UART受信完了割り込み (INTSR0) をDMA起動要因に設定して、受信することもできます。

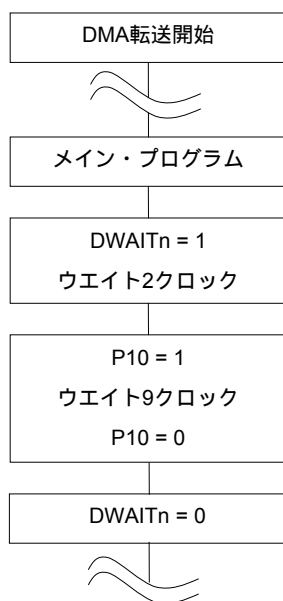
16.5.4 DWAITnによるDMA転送保留

DMA転送が開始されると命令実行中に転送が行われるため、そのときに2クロックCPUの動作が停止して遅れます。そのことがセット・システムの動作として問題となる場合は、DWAITn = 1とすることでDMA転送を保留できます。保留中に発生した転送トリガに対するDMA転送は、保留を解除後に実行されます。ただし、保留できる転送トリガは各チャンネル1つなので、保留中に同一チャンネルの転送トリガが2回以上発生しても、保留解除後に実行されるDMA転送は1回です。

一例として、P10端子より動作周波数の10クロック幅のパルスを入力する場合、DMA転送が途中で開始されると12クロック幅となってしまいます。その際はDWAITn = 1とすることでDMA転送を保留できます。

DWAITn = 1に設定後、DMA転送が保留されるまで2クロック必要となります。

図16 - 10 DWAITnによるDMA転送保留の設定例



注意 DMAを2チャンネルともに使用中でDMA転送を保留したい場合は、必ず両チャンネルのDMAを保留にしてください(DWAIT0 = DWAIT1 = 1)。片方のDMAが保留中にもう一方のDMA転送が実行されると、保留されない場合があります。

- 備考1.** n : DMAチャンネル番号 (n = 0, 1)
2. 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

16.5.5 ソフトウェアでの強制終了

ソフトウェアで $DSTn = 0$ に設定してから、実際にDMA転送が停止し、 $DSTn = 0$ となるまでには最大で2クロックが必要となります。そのため、DMAの割り込み (INTDMA n) 発生を待たずにソフトウェアで強制的にDMA転送を終了する場合は、次のいずれかの処理をしてください。

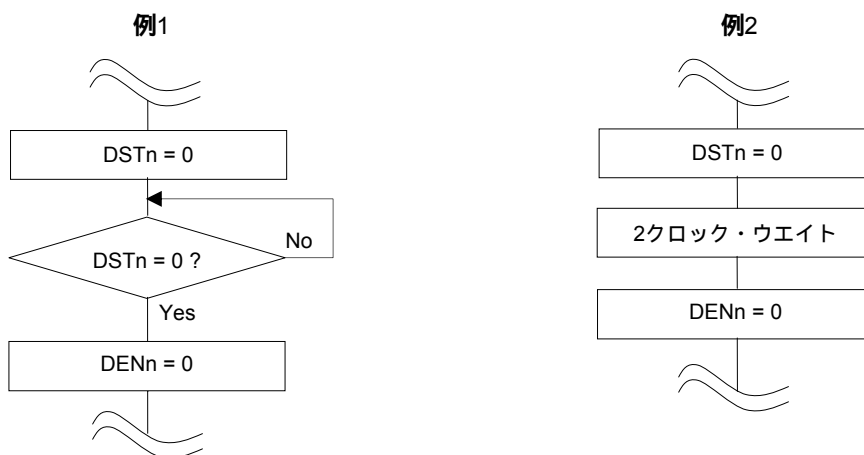
<DMAを1チャンネル使用しているとき>

- ・ソフトウェアで $DSTn = 0$ (バイト操作命令で書き込む場合は $DRCn = 80H$) にしてから、実際に $DSTn$ が 0 になったことをポーリングで確認後、 $DENn = 0$ (バイト操作命令で書き込む場合は $DRCn = 00H$) とする
- ・ソフトウェアで $DSTn = 0$ (バイト操作命令で書き込む場合は $DRCn = 80H$) にしてから、2クロック経過後に $DENn = 0$ (バイト操作命令で書き込む場合は $DRCn = 00H$) とする

<DMAを2チャンネル使用しているとき>

- ・DMAを2チャンネルともに使用しているときにソフトウェアで強制終了 ($DSTn = 0$) する場合は、2チャンネルともに $DWAIT0$, $DWAIT1$ ビットをセット (1) してDMA転送を保留してから、 $DSTn$ ビットをクリア (0) する。その後、2チャンネルともに $DWAIT0$, $DWAIT1$ ビットをクリア (0) し保留を解除してから、 $DENn$ ビットをクリア (0) とする

図16 - 11 DMA転送の強制終了 (1/2)

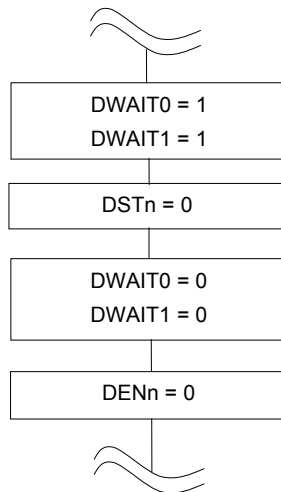


- 備考1. n : DMAチャンネル番号 ($n = 0, 1$)
 2. 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

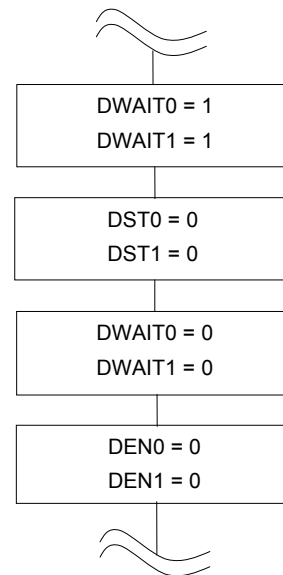
図16 - 11 DMA転送の強制終了 (2/2)

例3

・2チャンネルをともに使用時にどちらかのチャンネルを強制終了する手順



・2チャンネルをともに使用時に2チャンネルともに強制終了する手順



注意 例3では、DWAITnビットのセット(1)後のウエイト2クロックは必要ありません。また、DSTnビットをクリア(0)してからDENnビットをクリア(0)するまで2クロック以上経過しているため、DSTnビットのクリア(0)後にウエイト2クロックする必要はありません。

- 備考1.** n : DMAチャンネル番号 (n = 0, 1)
 2. 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

16.6 DMAコントローラの注意事項

(1) DMAの優先順位

DMA転送中は、他のDMAチャネルの要求が発生しても保留されます。そしてDMA転送終了後に、保留していたDMA転送が開始されます。ただしDMA要求が同時に発生した場合は、DMAチャネル0 > DMAチャネル1の優先順位になります。

また、DMA要求と割り込み要求が同時に発生した場合はDMA転送が優先され、そのあとに割り込み処理が実行されます。

(2) DMA応答時間

DMA転送における応答時間は、次のようになります。

表16 - 2 DMA転送における応答時間

	最小時間	最大時間
応答時間	3クロック	10クロック ^注

注 内部RAMからの命令実行の場合は、最大時間が16クロックになります。

注意1. 上記の応答時間には、DMA転送の2クロック分は含まれていません。

2. DMA保留命令 (16.6(4)参照) 実行の場合は、その保留する命令の実行時間分だけ応答時間が延びます。
3. 最大応答時間 + 1クロック以内での同一チャネルへの連続する転送トリガは、無視される可能性があるため設定しないでください。

備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

(3) スタンバイ時の動作

スタンバイ・モード時のDMAコントローラの動作は、次のようになります。

表16 - 3 スタンバイ・モード時のDMA動作

状態	DMA動作
HALTモード	通常動作。
STOPモード	動作停止。 DMA転送とSTOP命令が競合した場合、DMA転送が壊れることがありますので、STOP命令実行前にDMAを停止してください。

(4) DMA保留命令

DMA要求が発生しても、次の命令直後ではDMA転送は保留されます。

- ・ CALL laddr16
- ・ CALL \$!addr20
- ・ CALL !!addr20
- ・ CALL rp
- ・ CALLT [addr5]
- ・ BRK
- ・ IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PSWの各レジスタに対するビット操作命令

(5) 汎用レジスタ領域内または内蔵RAMの領域外のアドレスを指定した場合の動作

DMA転送中にDRA0nで示すアドレスがインクリメントされていき、汎用レジスタ領域内に入ってしまったら、内蔵RAMの領域を越えてしまった場合、以下に示す動作になります。

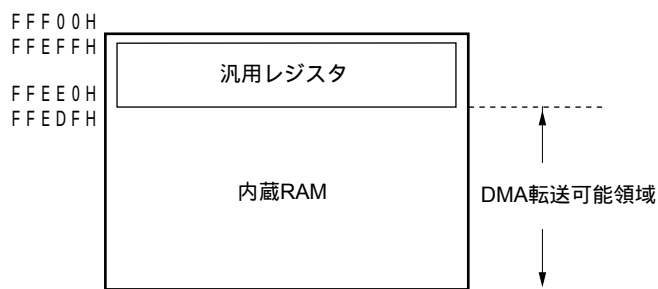
SFRからRAMへの転送モード時

そのアドレスのデータを破壊してしまいます。

RAMからSFRへの転送モード時

不定のデータがSFRへ転送されます。

いずれの場合も、誤動作やシステム破壊の原因となりますので、アドレスが汎用レジスタ以外の内蔵RAMの領域内に収まるよう、十分ご注意ください。



第17章 割り込み機能

17.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H) の設定により、割り込み優先順位を4段階のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときは、ベクタ割り込み処理の優先順位 (プライオリティ) にしたがって処理されます。優先順位 (プライオリティ) については表17 - 1を参照してください。

スタンバイ・リリース信号を発生し、STOPモード、HALTモードを解除します。

マスカブル割り込みには、外部割り込み要求と内部割り込み要求があります。

外部 : 9, 内部 : 39

(2) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

17.2 割り込み要因と構成

割り込み要因には、マスカブル割り込み、ソフトウェア割り込みをあわせて、合計49要因あります。また、それ以外にリセット要因が最大で合計5要因あります (表17 - 1参照)。リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておくベクタ・コードは、各2バイトとしているため割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

表17 - 1 割り込み要因一覧 (1/3)

割り込みの 処理	デフォルト・ プライオリティ ^{注1}	割り込み要因		内部 / 外部	ベクタ・ テーブル・ アドレス	基本構成 タイプ ^{注2}
		名称	トリガ			
マスカブル	0	INTWDTI	ウォッチドッグ・タイマのインターバル ^{注3} (オーバフロー時間の75%)	内部	0004H	(A)
	1	INTLVI	低電圧検出 ^{注4}		0006H	
	2	INTP0	端子入力エッジ検出	外部	0008H	(B)
	3	INTP1			000AH	
	4	INTP2			000CH	
	5	INTP3			000EH	
	6	INTP4			0010H	
	7	INTP5			0012H	
	8	INTDA	CEC1バイト通信完了	内部	0014H	(A)
	9	INTCE	CEC通信完了		0016H	
	10	INTERR	CEC通信エラー発生		0018H	
	11	INTDMA0	DMA0の転送完了		001AH	
	12	INTDMA1	DMA1の転送完了		001CH	
	13	INTST0 /INTCSI00	UART0送信の転送完了,バッファ空き割り込み /CSI00の転送完了,バッファ空き割り込み		001EH	
	14	INTSR0 /INTCSI01	UART0受信の転送完了 /CSI01の転送完了,バッファ空き割り込み		0020H	
	15	INTSRE0	UART0受信の通信エラー発生		0022H	
	16	INTST1 /INTCSI10 /INTIIC10	UART1送信の転送完了,バッファ空き割り込み /CSI10の転送完了,バッファ空き割り込み /IIC10の転送完了		0024H	
	17	INTSR1	UART1受信の転送完了		0026H	
	18	INTSRE1	UART1受信の通信エラー発生		0028H	
	19	INTIICA	IICA通信完了		002AH	
	20	INTTM00	タイマ・チャンネル0のカウント完了またはキャプチャ完了		002CH	
21	INTTM01	タイマ・チャンネル1のカウント完了またはキャプチャ完了	002EH			

注 1. デフォルト・プライオリティは、複数のマスカブル割り込みが発生している場合に、優先する順位です。0が最高順位、47が最低順位です。

2. 基本構成タイプの(A) - (D)は、それぞれ図17 - 1の(A) - (D)に対応しています。

3. オプション・バイト(000C0H)のビット7(WDTINT) = 1選択時。

4. 低電圧検出レジスタ(LVIM)のビット1(LVIMD) = 0選択時。

表17-1 割り込み要因一覧(2/3)

割り込みの 処理	デフォルト・ プライオリティ ^{注1}	割り込み要因		内部/ 外部	ベクタ・ テーブル・ アドレス	基本構成 タイプ ^{注2}		
		名称	トリガ					
マスカブル	22	INTTM02	ユニット0用タイマ・チャンネル2のカウン ト完了またはキャプチャ完了	内部	0030H	(A)		
	23	INTTM03	ユニット0用タイマ・チャンネル3のカウン ト完了またはキャプチャ完了		0032H			
	24	INTAD	A/D変換終了		0034H			
	25	INTRTC	リアルタイム・カウンタの定周期信号 /アラーム一致検出		0036H			
	26	INTRTCI	リアルタイム・カウンタのインターバル信号 検出		0038H			
	27	INTKR	キー・リターン信号検出	外部	003AH	(C)		
	28	INTST2 /INTCSI20 /INTIIC20	UART2送信の転送完了,バッファ空き割り込み /CSI20の転送完了,バッファ空き割り込み /IIC20の転送完了	内部	003CH	(A)		
	29	INTRERR3	リモコン・チャンネル3のエラー発生		003EH			
	30	INTR3	リモコン・チャンネル3のガイド・パルス検出,8 ビット・シフト・データのリード要求,データ 受信完了		0040H			
	31	INTTM04	ユニット0用タイマ・チャンネル4のカウン ト完了またはキャプチャ完了		0042H			
	32	INTTM05	ユニット0用タイマ・チャンネル5のカウン ト完了またはキャプチャ完了		0044H			
	33	INTTM06	ユニット0用タイマ・チャンネル6のカウン ト完了またはキャプチャ完了		0046H			
	34	INTTM07	ユニット0用タイマ・チャンネル7のカウン ト完了またはキャプチャ完了		0048H			
	35	INTSR2	UART2受信の転送完了		004AH			
	36	INTP7	端子入力エッジ検出		外部		004CH	(B)
	37	INTP8					004EH	
	38	INTRERR2	リモコン・チャンネル2のエラー発生	内部	0050H	(A)		
	39	INTR2	リモコン・チャンネル2のガイド・パルス検出,8 ビット・シフト・データのリード要求,データ 受信完了		0052H			
	40	INTRERR1	リモコン・チャンネル1のエラー発生		0054H			

注 1. デフォルト・プライオリティは、複数のマスカブル割り込みが発生している場合に、優先する順位です。0
が最高順位、47が最低順位です。

2. 基本構成タイプの(A)-(D)は、それぞれ図17-1の(A)-(D)に対応しています。

表17-1 割り込み要因一覧 (3/3)

割り込みの 処理	デフォルト・ プライオリティ ^{注1}	割り込み要因		内部/ 外部	ベクタ・ テーブル・ アドレス	基本構成 タイプ ^{注2}
		名称	トリガ			
マスカブル	41	INTTM10	ユニット1用タイマ・チャンネル0のカウンタ完了またはキャプチャ完了	内部	0056H	(A)
	42	INTTM11	ユニット1用タイマ・チャンネル1のカウンタ完了またはキャプチャ完了		0058H	
	43	INTTM12	ユニット1用タイマ・チャンネル2のカウンタ完了またはキャプチャ完了		005AH	
	44	INTSRE2	UART2受信の通信エラー発生		005CH	
	45	INTRA1	リモコン・チャンネル1のガイド・パルス検出, 8ビット・シフト・データのリード要求, データ受信完了		005EH	
	46	INTRERR0	リモコン・チャンネル0のエラー発生		0060H	
	47	INTRA0	リモコン・チャンネル0のガイド・パルス検出, 8ビット・シフト・データのリード要求, データ受信完了		0062H	
ソフトウェア	-	BRK	BRK命令の実行	-	007EH	(D)
リセット	-	RESET	RESET端子入力	-	0000H	-
		POC	パワーオン・クリア			
		LVI	低電圧検出 ^{注3}			
		WDT	ウォッチドッグ・タイマのオーバフロー			
		TRAP	不正命令の実行 ^{注4}			

注 1. デフォルト・プライオリティは、複数のマスカブル割り込みが発生している場合に、優先する順位です。0が最高順位、47が最低順位です。

2. 基本構成タイプの(A)-(D)は、それぞれ図17-1の(A)-(D)に対応しています。

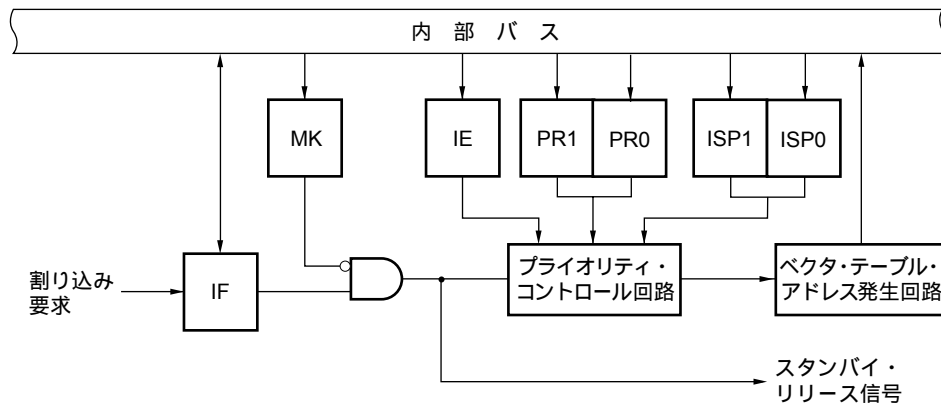
3. 低電圧検出レジスタ(LVIM)のビット1(LVIMD)=1選択時。

4. FFHの命令コードを実行したときに発生します。

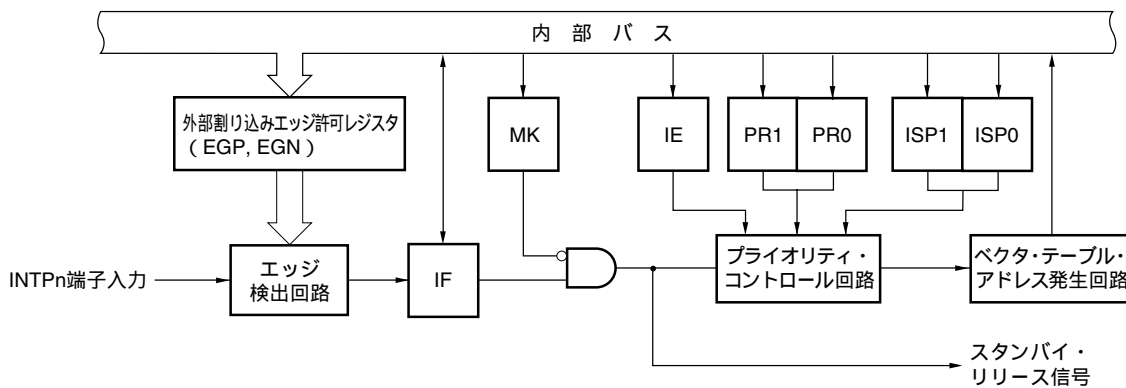
不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

図17 - 1 割り込み機能の基本構成 (1/2)

(A) 内部マスカブル割り込み



(B) 外部マスカブル割り込み (INTPn)

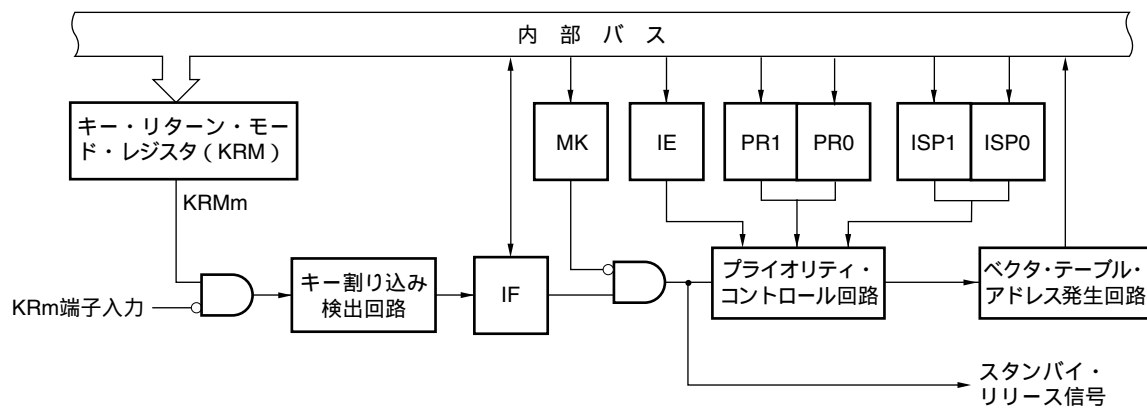


- 備考1. IF : 割り込み要求フラグ
 IE : 割り込み許可フラグ
 ISP0 : インサービス・プライオリティ・フラグ0
 ISP1 : インサービス・プライオリティ・フラグ1
 MK : 割り込みマスク・フラグ
 PR0 : 優先順位指定フラグ0
 PR1 : 優先順位指定フラグ1

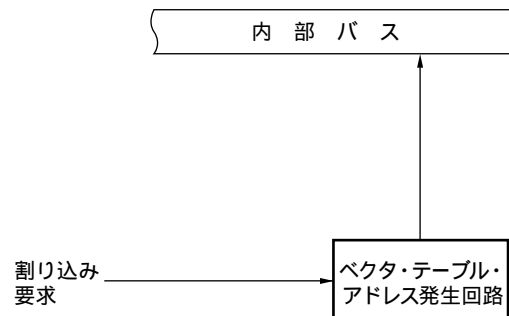
2. n = 0-5, 7, 8

図17 - 1 割り込み機能の基本構成 (2/2)

(C) 外部マスクابل割り込み (INTKR)



(D) ソフトウェア割り込み



- 備考1. IF : 割り込み要求フラグ
 IE : 割り込み許可フラグ
 ISP0 : インサースビス・プライオリティ・フラグ0
 ISP1 : インサースビス・プライオリティ・フラグ1
 MK : 割り込みマスク・フラグ
 PR0 : 優先順位指定フラグ0
 PR1 : 優先順位指定フラグ1

2. $m = 0-7$

17.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)
- ・割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)
- ・優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)
- ・外部割り込み立ち上がりエッジ許可レジスタ (EGP0, EGP1)
- ・外部割り込み立ち下がりエッジ許可レジスタ (EGN0, EGN1)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表17-2に示します。

表17-2 割り込み要求ソースに対応する各種フラグ (1/3)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
		レジスタ		レジスタ		レジスタ
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0, WDTIPR1	PR00L, PR10L
INTLVI	LVIIIF		LVIMK		LVIPR0, LVIPR1	
INTP0	PIF0		PMK0		PPR00, PPR10	
INTP1	PIF1		PMK1		PPR01, PPR11	
INTP2	PIF2		PMK2		PPR02, PPR12	
INTP3	PIF3		PMK3		PPR03, PPR13	
INTP4	PIF4		PMK4		PPR04, PPR14	
INTP5	PIF5		PMK5		PPR05, PPR15	
INTDA	DAIF	IF0H	DAMK	MK0H	DAPR0, DAPR1	PR00H, PR10H
INTCE	CEIF		CEMK		CEPR0, CEPR1	
INTERR	ERRIF		ERRMK		ERRPR0, ERRPR1	
INTDMA0	DMAIF0		DMAMK0		DMAPR00, DMAPR10	
INTDMA1	DMAIF1		DMAMK1		DMAPR01, DMAPR11	
INTST0 ^{注1}	STIF0 ^{注1}		STMK0 ^{注1}		STPR00, STPR10 ^{注1}	
INTCSI00 ^{注1}	CSIIF00 ^{注1}		CSIMK00 ^{注1}		CSIPR000, CSIPR100 ^{注1}	
INTSR0 ^{注2}	SRIF0 ^{注2}		SRMK0 ^{注2}		SRPR00, SRPR10 ^{注2}	
INTCSI01 ^{注2}	CSIIF01 ^{注2}		CSIMK01 ^{注2}		CSIPR001, CSIPR101 ^{注2}	
INTSRE0	SREIF0		SREMK0		SREPR00, SREPR10	

注1. UART0とCSI00は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTST0とINTCSI00のうち、どちらかが発生したら、IF0Hのビット5はセット(1)されます。また、MK0H, PR00H, PR10Hのビット5は、両方の割り込み要因に対応しています。

2. UART0とCSI01は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTSR0とINTCSI01のうち、どちらかが発生したら、IF0Hのビット6はセット(1)されます。また、MK0H, PR00H, PR10Hのビット6は、両方の割り込み要因に対応しています。

表17 - 2 割り込み要求ソースに対応する各種フラグ (2/3)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
		レジスタ		レジスタ		レジスタ
INTST1 ^{注1}	STIF1 ^{注1}	IF1L	STMK1 ^{注1}	MK1L	STPR01, STPR11 ^{注1}	PR01L, PR11L
INTCSI10 ^{注1}	CSIIF10 ^{注1}		CSIMK10 ^{注1}		CSIPR010, CSIPR110 ^{注1}	
INTIIC10 ^{注1}	IICIF10 ^{注1}		IICMK10 ^{注1}		IICPR010, IICPR110 ^{注1}	
INTSR1	SRIF1		SRMK1		SRPR01, SRPR11	
INTSRE1	SREIF1		SREMK1		SREPR01, SREPR11	
INTIICA	IICAIF		IICAMK		IICAPR0, IICAPR1	
INTTM00	TMIF00		TMMK00		TMPR000, TMPR100	
INTTM01	TMIF01		TMMK01		TMPR001, TMPR101	
INTTM02	TMIF02		TMMK02		TMPR002, TMPR102	
INTTM03	TMIF03		TMMK03		TMPR003, TMPR103	
INTAD	ADIF	IF1H	ADMK	MK1H	ADPR0, ADPR1	PR01H, PR11H
INTRTC	RTCIF		RTCMK		RTCPR0, RTCPR1	
INTRTCI	RTCIF		RTCIMK		RTCIPR0, RTCIPR1	
INTKR	KRIF		KRMK		KRPR0, KRPR1	
INTST2 ^{注2}	STIF2 ^{注2}		STMK2 ^{注2}		STPR02, STPR12 ^{注2}	
INTCSI20 ^{注2}	CSIIF20 ^{注2}		CSIMK20 ^{注2}		CSIPR020, CSIPR120 ^{注2}	
INTIIC20 ^{注2}	IICIF20 ^{注2}		IICMK20 ^{注2}		IICPR020, IICPR120 ^{注2}	
INTRERR3	ERRIF3		ERRMK3		ERRPR03, ERRPR13	
INTRA3	RAIF3		RAMK3		RAPR03, RAPR13	
INTTM04	TMIF04		TMMK04		TMPR004, TMPR104	

注1. UART1, CSI10, IIC10は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTST1, INTCSI10, INTIIC10のうち、いずれかが発生したら、IF1Lのビット0はセット(1)されます。また、MK1L, PR01L, PR11Lのビット0は、3つすべての割り込み要因に対応しています。

2. UART2, CSI20, IIC20は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTST2, INTCSI20, INTIIC20のうち、いずれかが発生したら、IF1Hのビット4はセット(1)されます。また、MK1H, PR01H, PR11Hのビット4は、3つすべての割り込み要因に対応しています。

表17 - 2 割り込み要求ソースに対応する各種フラグ (3/3)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
		レジスタ		レジスタ		レジスタ
INTTM05	TMIF05	IF2L	TMMK05	MK2L	TMPR005, TMPR105	PR02L, PR12L
INTTM06	TMIF06		TMMK06		TMPR006, TMPR106	
INTTM07	TMIF07		TMMK07		TMPR007, TMPR107	
INTSR2	SRIF2		SRMK2		SRPR02, SRPR12	
INTP7	PIF7		PMK7		PPR07, PPR17	
INTP8	PIF8		PMK8		PPR08, PPR18	
INTRERR2	ERRIF2		ERRMK2		ERRPR02, ERRPR12	
INTRA2	RAIF2		RAMK2		RAPR02, RAPR12	
INTRERR1	ERRIF1	IF2H	ERRMK1	MK2H	ERRPR01, ERRPR11	PR02H, PR12H
INTTM10	TMIF10		TMMK10		TMPR010, TMPR110	
INTTM11	TMIF11		TMMK11		TMPR011, TMPR111	
INTTM12	TMIF12		TMMK12		TMPR012, TMPR112	
INTSRE2	SREIF2		SREMK2		SREPR02, SREPR12	
INTRA1	RAIF1		RAMK1		RAPR01, RAPR11	
INTRERR0	ERRIF0		ERRMK0		ERRPR00, ERRPR10	
INTRA0	RAIF0		RAMK0		RAPR00, RAPR10	

(1) 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時、リセット信号発生時または命令の実行によりクリア (0) されるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1H, IF2L, IF2Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LとIF0H, IF1LとIF1H, IF2LとIF2Hをあわせて16ビット・レジスタIF0, IF1, IF2として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図17-2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H) のフォーマット (1/2)

アドレス : FFFE0H リセット時 : 00H R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
IF0L	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	LVIIF	WDTIIF

アドレス : FFFE1H リセット時 : 00H R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
IF0H	SREIF0	SRIF0	STIF0	DMAIF1	DMAIF0	ERRIF	CEIF	DAIF
		CSIF01	CSIF00					

アドレス : FFFE2H リセット時 : 00H R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
IF1L	TMIF03	TMIF02	TMIF01	TMIF00	IICAIF	SREIF1	SRIF1	STIF1
								CSIF10
								IICIF10

アドレス : FFFE3H リセット時 : 00H R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
IF1H	TMIF04	RAIF3	ERRIF3	STIF2	KRIF	RTCIF	RTCIF	ADIF
				CSIF20				
				IICIF20				

アドレス : FFFD0H リセット時 : 00H R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
IF2L	RAIF2	ERRIF2	PIF8	PIF7	SRIF2	TMIF07	TMIF06	TMIF05

アドレス : FFFD1H リセット時 : 00H R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
IF2H	RAIF0	ERRIF0	RAIF1	SREIF2	TMIF12	TMIF11	TMIF10	ERRIF1

図17 - 2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H) のフォーマット (2/2)

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意1. タイマ, シリアル・インタフェース, A/Dコンバータなどをスタンバイ解除後に動作させる場合, いったん割り込み要求フラグをクリアしてから動作させてください。ノイズなどにより割り込み要求フラグがセットされる場合があります。

2. 割り込み要求フラグ・レジスタのフラグ操作には, 1ビット・メモリ操作命令 (CLR1) を使用してください。C言語での記述の場合は, コンパイルされたアセンブラが1ビット・メモリ操作命令 (CLR1) になっている必要があるため, 「IF0L.0 = 0;」や「_asm("clr1 IF0L,0");」のようなビット操作命令を使用してください。

なお, C言語で「IF0L & = 0xfe;」のように8ビット・メモリ操作命令で記述した場合, コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合, 「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで, 同一の割り込み要求フラグ・レジスタ (IF0L) の他ビットの要求フラグがセット (1) されても, 「mov IF0L, a」でクリア (0) されます。したがって, C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

(2) 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)

割り込みマスク・フラグは, 対応するマスカブル割り込み処理の許可 / 禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1H, MK2L, MK2Hは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また, MK0LとMK0H, MK1LとMK1H, MK2LとMK2Hをあわせて16ビット・レジスタMK0, MK1, MK2として使用するときには, 16ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

備考 このレジスタへの書き込み命令を行った場合, 命令実行クロック数が2クロック長くなります。

図17 - 3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H) のフォーマット

アドレス : FFFE4H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
MK0L	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK	WDTIMK

アドレス : FFFE5H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
MK0H	SREMK0	SRMK0	STMK0	DMAMK1	DMAMK0	ERRMK	CEMK	DAMK
		CSIMK01	CSIMK00					

アドレス : FFFE6H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
MK1L	TMMK03	TMMK02	TMMK01	TMMK00	IICAMK	SREMK1	SRMK1	STMK1
								CSIMK10
								IICMK10

アドレス : FFFE7H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
MK1H	TMMK04	RAMK3	ERRMK3	STMK2	KRMK	RTCIMK	RTCMK	ADMK
				CSIMK20				
				IICMK20				

アドレス : FFFD4H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
MK2L	RAMK2	ERRMK2	PMK8	PMK7	SRMK2	TMMK07	TMMK06	TMMK05

アドレス : FFFD5H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
MK2H	RAMK0	ERRMK0	RAMK1	SREMK2	TMMK12	TMMK11	TMMK10	ERRMK1

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

(3) 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位レベルを設定するフラグです。

PR0xyレジスタとPR1xyレジスタを組み合わせ、優先順位レベルを設定します(xy = 0L, 0H, 1L, 1H, 2L, 2H)。

PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、PR00LとPR00H, PR01LとPR01H, PR02LとPR02H, PR10LとPR10H, PR11LとPR11H, PR12LとPR12Hをあわせて16ビット・レジスタPR00, PR01, PR02, PR10, PR11, PR12として使用するとき、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図17-4 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H) のフォーマット (1/2)

アドレス: FFFE8H リセット時: FFH R/W

略号	7	6	5	4	3	2	1	0
PR00L	PPR05	PPR04	PPR03	PPR02	PPR01	PPR00	LVIPR0	WDTIPR0

アドレス: FFFECH リセット時: FFH R/W

略号	7	6	5	4	3	2	1	0
PR10L	PPR15	PPR14	PPR13	PPR12	PPR11	PPR10	LVIPR1	WDTIPR1

アドレス: FFFE9H リセット時: FFH R/W

略号	7	6	5	4	3	2	1	0
PR00H	SREPR00	SRPR00	STPR00	DMAPR01	DMAPR00	ERRPR0	CEPR0	DAPR0
		CSIPR001	CSIPR000					

アドレス: FFFEDH リセット時: FFH R/W

略号	7	6	5	4	3	2	1	0
PR10H	SREPR10	SRPR10	STPR10	DMAPR11	DMAPR10	ERRPR1	CEPR1	DAPR1
		CSIPR101	CSIPR100					

アドレス: FFFEAH リセット時: FFH R/W

略号	7	6	5	4	3	2	1	0
PR01L	TMPR003	TMPR002	TMPR001	TMPR000	IICAPR0	SREPR01	SRPR01	STPR01
								CSIPR010
								IICPR010

アドレス: FFFEEH リセット時: FFH R/W

略号	7	6	5	4	3	2	1	0
PR11L	TMPR103	TMPR102	TMPR101	TMPR100	IICAPR1	SREPR11	SRPR11	STPR11
								CSIPR110
								IICPR110

図17 - 4 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H) のフォーマット (2/2)

アドレス : FFFEBH リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR01H	TMPR004	RAPR03	ERRPR03	STPR02 CSIPR020 IICPR020	KRPR0	RTCIPR0	RTCPR0	ADPR0

アドレス : FFFE7H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR11H	TMPR104	RAPR13	ERRPR13	STPR12 CSIPR120 IICPR120	KRPR1	RTCIPR1	RTCPR1	ADPR1

アドレス : FFFD8H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR02L	RAPR02	ERRPR02	PPR08	PPR07	SRPR02	TMPR007	TMPR006	TMPR005

アドレス : FFFDCH リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR12L	RAPR12	ERRPR12	PPR18	PPR17	SRPR12	TMPR107	TMPR106	TMPR105

アドレス : FFFD9H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR02H	RAPR00	ERRPR00	RAPR01	SREPR02	TMPR012	TMPR011	TMPR010	ERRPR01

アドレス : FFFDDH リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR12H	RAPR10	ERRPR10	RAPR11	SREPR12	TMPR112	TMPR111	TMPR110	ERRPR11

XXPR1X	XXPR0X	優先順位レベルの選択
0	0	レベル0を指定 (高優先順位)
0	1	レベル1を指定
1	0	レベル2を指定
1	1	レベル3を指定 (低優先順位)

(4) 外部割り込み立ち上がりエッジ許可レジスタ (EGP0, EGP1), 外部割り込み立ち下がりエッジ許可レジスタ (EGN0, EGN1)

INTP0-INTP5, INTP7, INTP8の有効エッジを設定するレジスタです。

EGP0, EGP1, EGN0, EGN1は, それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図17 - 5 外部割り込み立ち上がりエッジ許可レジスタ (EGP0, EGP1) , 外部割り込み立ち下がりエッジ許可レジスタ (EGN0, EGN1) のフォーマット

アドレス : FFF38H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGP0	EGP7	0	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス : FFF39H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGN0	EGN7	0	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

アドレス : FFF3AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGP1	0	0	0	0	0	0	0	EGP8

アドレス : FFF3BH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGN1	0	0	0	0	0	0	0	EGN8

EGPn	EGNn	INTPn端子の有効エッジの選択 (n = 0-5, 7, 8)
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がりの両エッジ

EGPnとEGNnに対応するポートを表17 - 3に示します。

表17 - 3 EGPnとEGNnに対応するポート

検出許可ビット		エッジ検出ポート	割り込み要求信号
EGP0	EGN0	P120	INTP0
EGP1	EGN1	P50 (78K0R/KF3-C) P46 (78K0R/KG3-C)	INTP1
EGP2	EGN2	P51 (78K0R/KF3-C) P47 (78K0R/KG3-C)	INTP2
EGP3	EGN3	P30	INTP3
EGP4	EGN4	P31	INTP4
EGP5	EGN5	P16	INTP5
EGP7	EGN7	P55 (78K0R/KF3-C) P141 (78K0R/KG3-C)	INTP7
EGP8	EGN8	P74	INTP8

注意 外部割り込み機能からポート機能に切り替える場合に、エッジ検出を行う可能性があるため、EGPnとEGNnを0に設定してからポート・モードに切り替えてください。

備考 n = 0-5, 7, 8

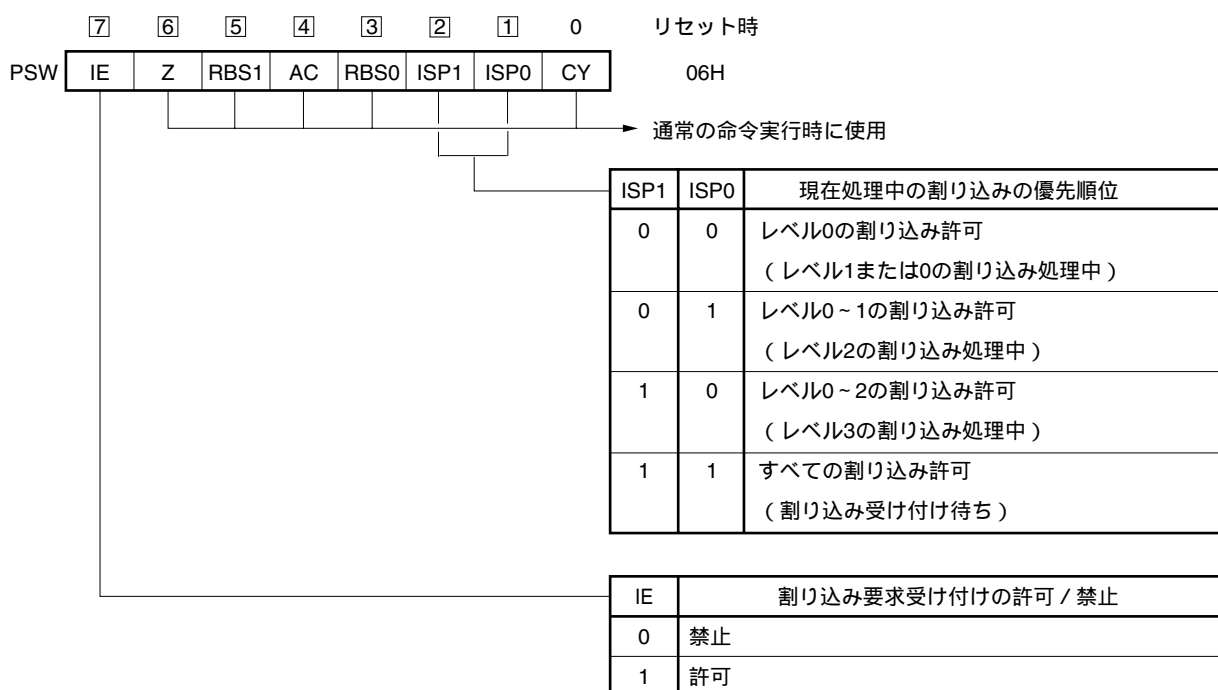
(5) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスク割り込みの許可/禁止を設定するIEフラグと多重割り込み処理の制御を行うISP0, ISP1フラグがマッピングされています。

8ビット単位で読み出し/書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット(0)されます。また、マスク割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグの内容がISP0, ISP1フラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

リセット信号の発生により、PSWは06Hとなります。

図17-6 プログラム・ステータス・ワードの構成



17.4 割り込み処理動作

17.4.1 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット（1）され、その割り込み要求のマスク（MK）フラグがクリア（0）されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態（IEフラグがセット（1）されているとき）であれば受け付けます。ただし、優先順位の高い割り込みを処理中に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表17-4のようになります。

割り込み要求の受け付けタイミングについては、図17-8, 17-9を参照してください。

表17-4 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 ^注
処理時間	9クロック	14クロック

注 RET命令の直前に割り込み要求が発生したとき、ウエイトする時間が最大となります。

備考 1クロック：1/f_{CLK}（f_{CLK}：CPUクロック）

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

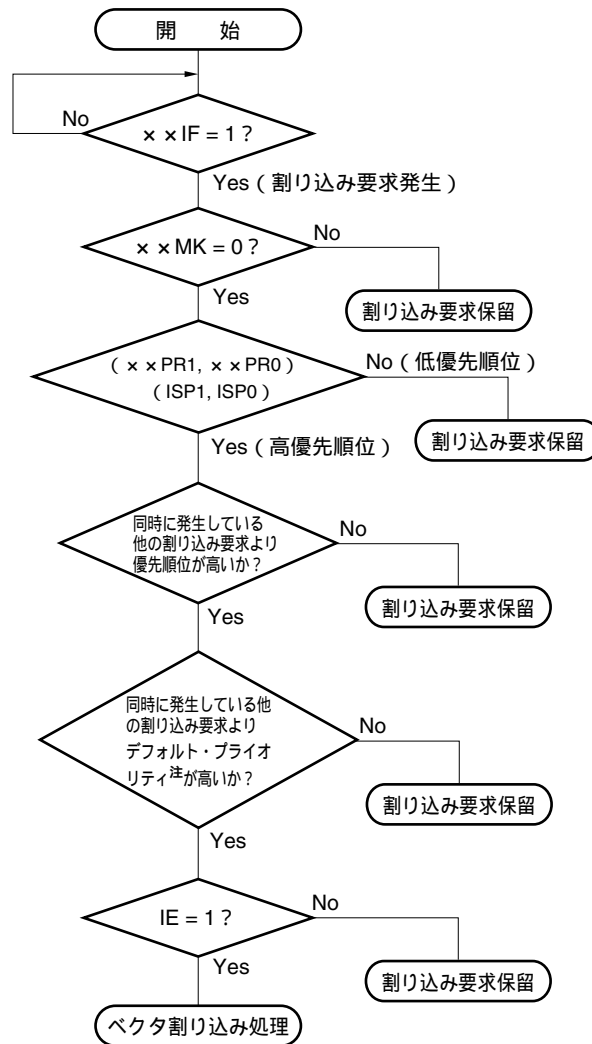
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図17-7に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード（PSW）、プログラム・カウンタ（PC）の順に内容をスタックに退避し、IEフラグをリセット（0）し、受け付けた割り込みの優先順位指定フラグの内容をISP1, ISP0フラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

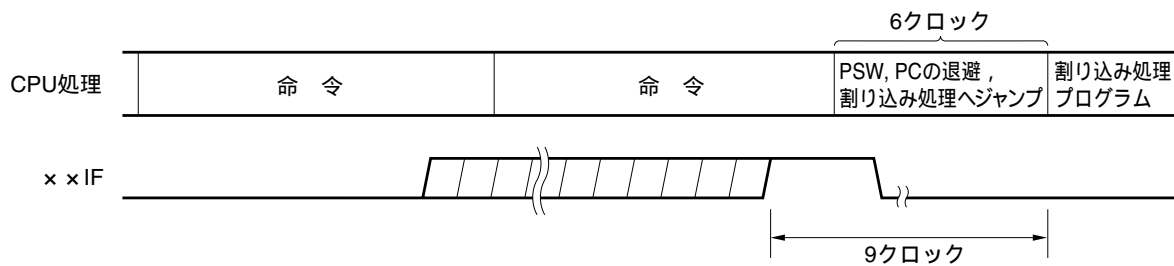
図17 - 7 割り込み要求受け付け処理アルゴリズム



- x x IF : 割り込み要求フラグ
 x x MK : 割り込みマスク・フラグ
 x x PR0 : 優先順位指定フラグ0
 x x PR1 : 優先順位指定フラグ1
 IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可 , 0 = 禁止)
 ISP0, ISP1 : 現在処理中の割り込みの優先順位を示すフラグ (図17 - 6参照)

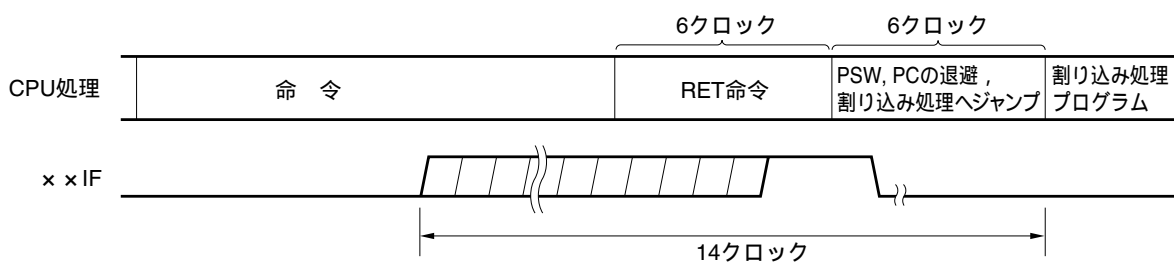
注 デフォルト・プライオリティは、表17 - 1 割り込み要因一覧を参照してください。

図17 - 8 割り込み要求の受け付けタイミング (最小時間)



備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

図17 - 9 割り込み要求の受け付けタイミング (最大時間)



備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

17.4.2 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IEフラグをリセット (0) し、ベクタ・テーブル (0007EH, 0007FH) の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令を使用しないでください。

17.4.3 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態 (IE = 1) になっていなければ発生しません。割り込み要求を受け付けられた時点で、割り込み要求は受け付け禁止状態 (IE = 0) になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット (1) して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みより高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みと同レベルか、より低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。ただしレベル0の割り込み中にIEフラグをセット (1) した場合には、レベル0の他の割り込みも許可されます。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表17-5に多重割り込み可能な割り込み要求の関係を、図17-10に多重割り込みの例を示します。

表17 - 5 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 処理中の割り込み		マスカブル割り込み要求								ソフトウェア 割り込み要求
		優先順位レベル0 (PR = 00)		優先順位レベル1 (PR = 01)		優先順位レベル2 (PR = 10)		優先順位レベル3 (PR = 11)		
		IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	
マスカブル割り込み	ISP1 = 0 ISP0 = 0		x	x	x	x	x	x	x	
	ISP1 = 0 ISP0 = 1		x		x	x	x	x	x	
	ISP1 = 1 ISP0 = 0		x		x		x	x	x	
	ISP1 = 1 ISP0 = 1		x		x		x		x	
	ソフトウェア割り込み		x		x		x		x	

備考1. : 多重割り込み可能。

2. x : 多重割り込み不可能。

3. ISP0, ISP1, IEはPSWに含まれるフラグです。

ISP1 = 0, ISP0 = 0 : レベル1またはレベル0の割り込み処理中

ISP1 = 0, ISP0 = 1 : レベル2の割り込み処理中

ISP1 = 1, ISP0 = 0 : レベル3の割り込み処理中

ISP1 = 1, ISP0 = 1 : 割り込み受け付け待ち

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

4. PRIはPR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12Hに含まれるフラグです。

PR = 00 : x x PR1 x = 0, x x PR0 x = 0でレベル0を指定 (高優先順位)

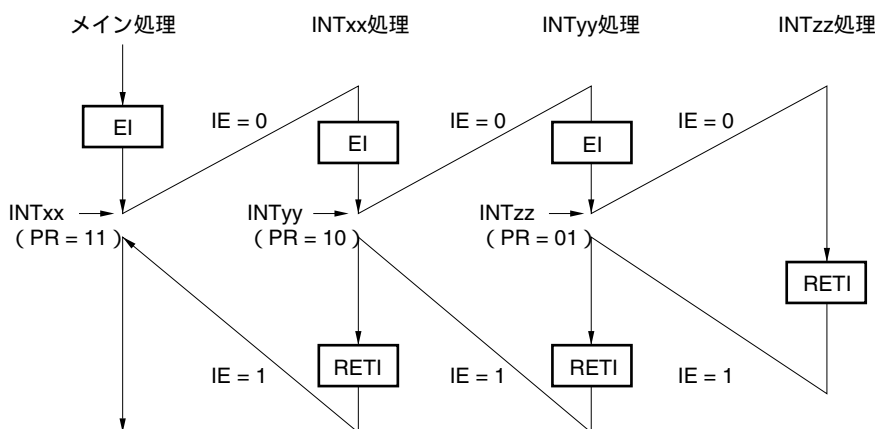
PR = 01 : x x PR1 x = 0, x x PR0 x = 1でレベル1を指定

PR = 10 : x x PR1 x = 1, x x PR0 x = 0でレベル2を指定

PR = 11 : x x PR1 x = 1, x x PR0 x = 1でレベル3を指定 (低優先順位)

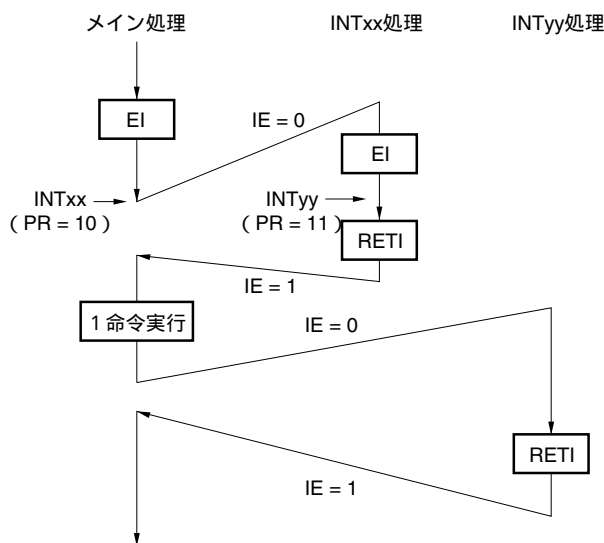
図17 - 10 多重割り込みの例 (1/2)

例1 . 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令を発行し、割り込み要求受け付け許可状態になっている。

例2 . 優先順位制御により、多重割り込みが発生しない例



割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 00 : $x \times PR1x = 0, x \times PR0x = 0$ でレベル0を指定 (高優先順位)

PR = 01 : $x \times PR1x = 0, x \times PR0x = 1$ でレベル1を指定

PR = 10 : $x \times PR1x = 1, x \times PR0x = 0$ でレベル2を指定

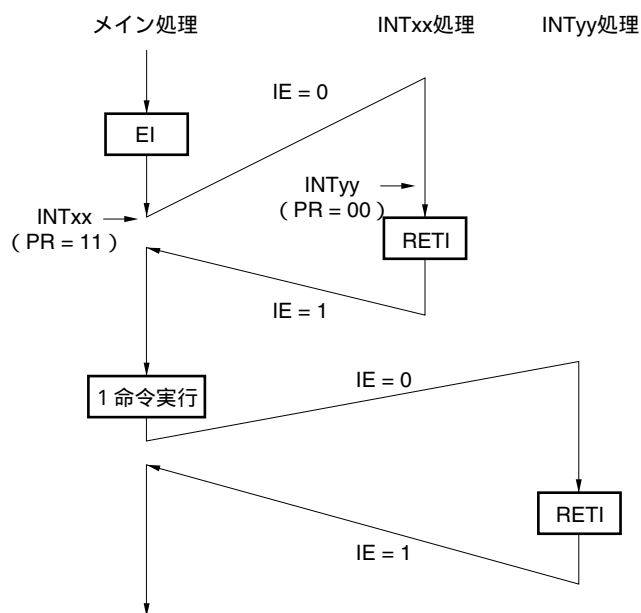
PR = 11 : $x \times PR1x = 1, x \times PR0x = 1$ でレベル3を指定 (低優先順位)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

図17 - 10 多重割り込みの例 (2/2)

例3 . 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない (EI命令が発行されていない) ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 00 : $x \times PR1 x = 0$, $x \times PR0 x = 0$ でレベル0を指定 (高優先順位)

PR = 01 : $x \times PR1 x = 0$, $x \times PR0 x = 1$ でレベル1を指定

PR = 10 : $x \times PR1 x = 1$, $x \times PR0 x = 0$ でレベル2を指定

PR = 11 : $x \times PR1 x = 1$, $x \times PR0 x = 1$ でレベル3を指定 (低優先順位)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

17.4.4 割り込み要求の保留

命令の中には、その命令実行中に割り込み要求が発生しても、その次の命令の実行終了まで割り込み要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・ MOV PSW, # byte
- ・ MOV PSW, A
- ・ MOV1 PSW. bit, CY
- ・ SET1 PSW. bit
- ・ CLR1 PSW. bit
- ・ RETB
- ・ RETI
- ・ POP PSW
- ・ BTCLR PSW. bit, \$addr20
- ・ EI
- ・ DI
- ・ SKC
- ・ SKNC
- ・ SKZ
- ・ SKNZ
- ・ SKH
- ・ SKNH
- ・ IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12Hの各レジスタに対する操作命令

注意 BRK命令は、上述の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウェア割り込みでは、IEフラグが0にクリアされます。したがって、BRK命令実行中にマスクアブル割り込み要求が発生しても、割り込み要求を受け付けません。

割り込み要求が保留されるタイミングを図17-11に示します。

図17-11 割り込み要求の保留



- 備考1** . 命令N：割り込み要求の保留命令
- 2 . 命令M：割り込み要求の保留命令以外の命令
- 3 . x x IF（割り込み要求）の動作は、x x PR（優先順位レベル）の値の影響を受けません。

第18章 キー割り込み機能

18.1 キー割り込みの機能

キー・リターン・モード・レジスタ (KRM) の設定により、キー割り込み入力端子 (KR0-KR7) に立ち下がりエッジを入力することによって、キー割り込み (INTKR) を発生させることができます。

表18 - 1 キー割り込み検出端子の割り当て

フラグ	設定される端子
KRM0	KR0信号を1ビット単位で制御
KRM1	KR1信号を1ビット単位で制御
KRM2	KR2信号を1ビット単位で制御
KRM3	KR3信号を1ビット単位で制御
KRM4	KR4信号を1ビット単位で制御
KRM5	KR5信号を1ビット単位で制御
KRM6	KR6信号を1ビット単位で制御
KRM7	KR7信号を1ビット単位で制御

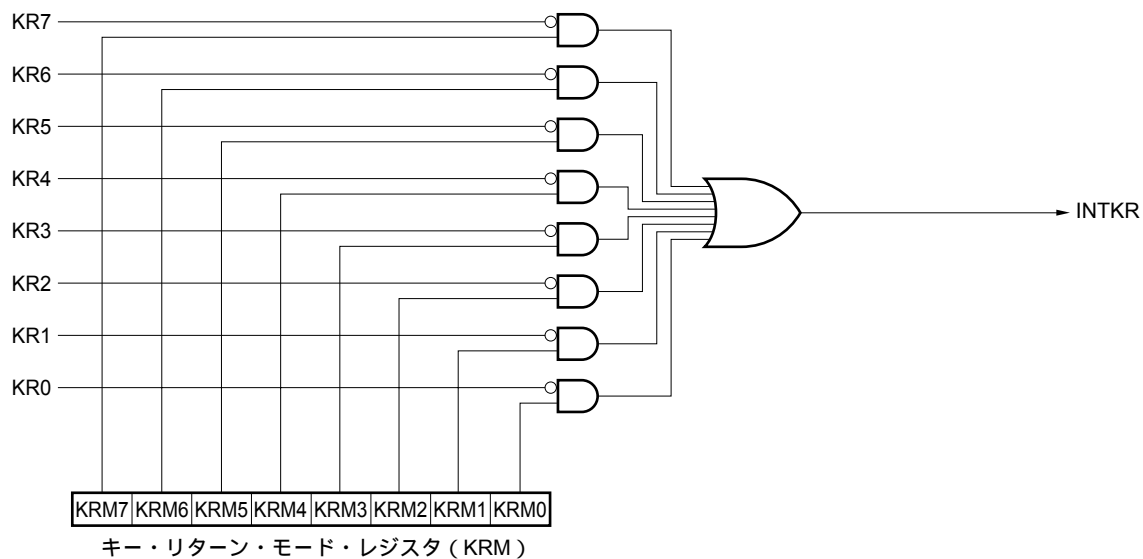
18.2 キー割り込みの構成

キー割り込みは、次のハードウェアで構成されています。

表18-2 キー割り込みの構成

項目	制御レジスタ
制御レジスタ	キー・リターン・モード・レジスタ (KRM) ポート・モード・レジスタ7 (PM7)

図18-1 キー割り込みのブロック図



18.3 キー割り込みを制御するレジスタ

(1) キー・リターン・モード・レジスタ (KRM)

KRM0-KRM7ビットをそれぞれKR0-KR7信号で制御するレジスタです。

KRMは、1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図18-2 キー・リターン・モード・レジスタ (KRM) のフォーマット

アドレス：FFF37H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
KRM	KRM7	KRM6	KRM5	KRM4	KRM3	KRM2	KRM1	KRM0

KRMn	キー割り込みモードの制御
0	キー割り込み信号を検出しない
1	キー割り込み信号を検出する

- 注意1** . KRM0-KRM7のうち使用するビットに1を設定する場合、それに対応するプルアップ抵抗レジスタ7 (PU7) のビット0-7 (PU70-PU77) に1を設定してください。
- 2** . キー割り込み入力端子にロウ・レベルが入力されている状態で、KRMレジスタの対象ビットをセットすると、割り込みが発生します。
- この割り込みを無視したい場合は、割り込みマスク・フラグで割り込み処理禁止にしてから、KRMレジスタをセットしてください。その後、キー割り込み入力ロウ・レベル幅 (250 ns以上) を待ってから、割り込み要求フラグをクリアし、割り込み処理許可にしてください。
- 3** . キー割り込みモードで使用していないビットは通常ポートとして使用可能です。

備考 n = 0-7

(2) ポート・モード・レジスタ (PM7)

ポート7の入力 / 出力を1ビット単位で設定するレジスタです。

P70/KR0-P73/KR3, P74/KR4/INTP8, P75/KR5-P77/KR7端子をキー割り込み入力として使用するとき、PM70-PM77にそれぞれ1を設定してください。このときP70-P77の出力ラッチは、0または1のどちらでもかまいません。

PM7は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図18 - 3 ポート・モード・レジスタ (PM7) のフォーマット

アドレス : FFF27H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70

PM7n	P7n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

備考 n = 0-7

第19章 スタンバイ機能

19.1 スタンバイ機能と構成

19.1.1 スタンバイ機能

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路、高速内蔵発振回路、20 MHz高速内蔵発振回路、サブシステム・クロック発振回路が動作している場合、それぞれのクロックは発振を継続します。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、頻繁に間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、高速システム・クロック発振回路、高速内蔵発振回路を停止させ、システム全体が停止するモードです。CPUの動作電流を、大幅に低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、X1クロックの場合、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならないときにはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

- 注意1** . STOPモードはCPUがメイン・システム・クロックで動作しているときだけ使用します。CPUがサブシステム・クロックで動作しているときは、STOPモードに設定できません。HALTモードはCPUがメイン・システム・クロック、サブシステム・クロックのいずれかの動作状態でも使用できます。
- 2 . STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください。
 - 3 . A/Dコンバータ部の動作電流を低減させるためには、A/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) とビット0 (ADCE) を0にクリアし、A/D変換動作を停止させてから、STOP命令を実行してください。
 - 4 . 低速内蔵発振回路をHALT、STOPモード時に発振継続/停止するかは、オプション・バイトで選択できます。詳細は第24章 オプション・バイトを参照してください。
 - 5 . 20 MHz高速内蔵発振クロックで動作中にSTOP命令を実行することはできません。必ず高速内蔵発振クロック動作に移行してからSTOP命令を実行してください。

19. 1. 2 スタンバイ機能を制御するレジスタ

STOPモード解除時の発振安定時間を制御するレジスタとして、次の2種類があります。

- ・発振安定時間カウンタ状態レジスタ (OSTC)
- ・発振安定時間選択レジスタ (OSTS)

備考 クロックの動作 / 停止, 切り替えを制御するレジスタについては, **第5章 クロック発生回路**を参照してください。

(1) 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウンタ状態を示すレジスタです。

次のときに、X1クロックの発振安定時間を確認することができます。

- ・ CPUクロックが高速内蔵発振クロックまたはサブシステム・クロックで、X1クロックの発振を開始した場合
- ・ CPUクロックが高速内蔵発振クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除した場合

OSTCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生 ($\overline{\text{RESET}}$ 入力, POC, LVI, WDT, 不正命令の実行によるリセット), STOP命令, MSTOP (CSCレジスタのビット7) = 1により、00Hになります。

図19 - 1 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFFA2H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
OSTC	MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18

MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18	発振安定時間のステータス		
								$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時	
0	0	0	0	0	0	0	0	$2^8/f_x$ 未満	25.6 μs 未満	12.8 μs 未満
1	0	0	0	0	0	0	0	$2^9/f_x$ 以上	25.6 μs 以上	12.8 μs 以上
1	1	0	0	0	0	0	0	$2^9/f_x$ 以上	51.2 μs 以上	25.6 μs 以上
1	1	1	0	0	0	0	0	$2^{10}/f_x$ 以上	102.4 μs 以上	51.2 μs 以上
1	1	1	1	0	0	0	0	$2^{11}/f_x$ 以上	204.8 μs 以上	102.4 μs 以上
1	1	1	1	1	0	0	0	$2^{13}/f_x$ 以上	819.2 μs 以上	409.6 μs 以上
1	1	1	1	1	1	0	0	$2^{15}/f_x$ 以上	3.27 ms以上	1.64 ms以上
1	1	1	1	1	1	1	0	$2^{17}/f_x$ 以上	13.11 ms以上	6.55 ms以上
1	1	1	1	1	1	1	1	$2^{18}/f_x$ 以上	26.21 ms以上	13.11 ms以上

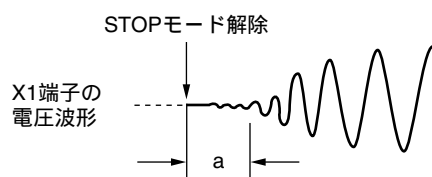
注意1. 上記時間経過後、MOST8から順番に“1”となっていき、そのまま“1”を保持します。

2. 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に、STOPモードに入り、解除するときは、OSTSの発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間

したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないの注意してください。

3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考 f_x : X1クロック発振周波数

(2) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1クロックの発振安定時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合、STOPモード解除後は、OSTSで設定した時間をウエイトします。

CPUクロックに高速内蔵発振クロックを選択した場合、STOPモード解除後は、OSTCで発振安定時間が経過したかを確認してください。OSTCでは、あらかじめOSTSで設定した時間までの確認ができます。

OSTSは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、07Hになります。

図19-2 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス : FFFA3H リセット時 : 07H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択		
			$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時	
0	0	0	$2^8/f_x$	25.6 μs	設定禁止
0	0	1	$2^9/f_x$	51.2 μs	25.6 μs
0	1	0	$2^{10}/f_x$	102.4 μs	51.2 μs
0	1	1	$2^{11}/f_x$	204.8 μs	102.4 μs
1	0	0	$2^{13}/f_x$	819.2 μs	409.6 μs
1	0	1	$2^{15}/f_x$	3.27 ms	1.64 ms
1	1	0	$2^{17}/f_x$	13.11 ms	6.55 ms
1	1	1	$2^{18}/f_x$	26.21 ms	13.11 ms

注意1. CPUクロックがX1クロック時にSTOPモードへ移行する場合は、STOP命令の実行よりも前にOSTSを設定しておいてください。

2. 発振安定時間が20 μs 以下は設定禁止です。

3. OSTSレジスタの設定を変更する場合は、変更前にOSTCレジスタのカウント動作が終了していることを確認してください。

4. X1クロックの発振安定時間中は、OSTSレジスタを変更しないでください。

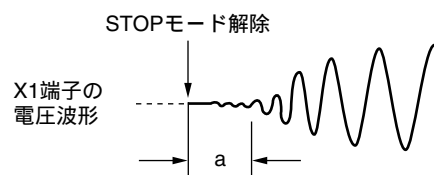
5. 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。

CPUクロックが高速内蔵発振クロック時に、STOPモードに入り、解除するときは、OSTSの発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間

したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないで注意してください。

6. X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考 f_x : X1クロック発振周波数

19.2 スタンバイ機能の動作

19.2.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。設定前のCPUクロックは、高速システム・クロック、高速内蔵発振クロック、20 MHz高速内蔵発振クロック、サブシステム・クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

表 19 - 1 HALTモード時の動作状態 (1/2)

項 目	HALTモード の設定	メイン・システム・クロックでCPU動作中のHALT命令実行時		
		高速内蔵発振クロック (f_{IH}) または20 MHz高速内蔵発振ク ロック (f_{IH20}) でCPU動作時	X1クロック (f_X) でCPU動作時	外部メイン・システム・クロッ ク (f_{EX}) でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システ ム・クロック	f_{IH}, f_{IH20}	動作継続 (停止不可)	HALTモード設定前の状態を継続	
	f_X	HALTモード設定前の状態を継 続	動作継続 (停止不可)	動作不可
	f_{EX}		動作不可	動作継続 (停止不可)
サブシステ ム・クロック	f_{XT}	HALTモード設定前の状態を継続		
	f_{IL}	オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) にて設定 ・ WDTON = 0 : 停止 ・ WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WDTON = 1かつWDSTBYON = 0のとき : 停止		
CPU		動作停止		
フラッシュ・メモリ		動作停止		
RAM		動作停止。ただしPOC検出電圧以上では、HALTモード設定前の状態を保持。		
ポート (ラッチ)		HALTモード設定前の状態を保持		
タイマ・アレイ・ユニット(TAU)		動作可能		
リアルタイム・カウンタ(RTC)				
ウォッチドッグ・タイマ		オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) にて設定 ・ WDTON = 0 : 停止 ・ WDTON = 1かつWDSTBYON = 1のとき : 動作 ・ WDTON = 1かつWDSTBYON = 0のとき : 停止		
クロック出力/ブザー出力		動作可能		
A/Dコンバータ				
シリアル・アレイ・ユニッ ト (SAU)				
シリアル・インタフェース (IICA)				
CEC送受信回路				
リモコン受信回路				
乗除算器				
DMAコントローラ				
パワーオン・クリア機能				
低電圧検出機能				
外部割り込み				
キー割り込み機能				

- 備考**
- f_{IH} : 高速内蔵発振クロック
 - f_{IH20} : 20 MHz高速内蔵発振クロック
 - f_X : X1クロック
 - f_{EX} : 外部メイン・システム・クロック
 - f_{XT} : XT1クロック
 - f_{IL} : 低速内蔵発振クロック

表19 - 1 HALTモード時の動作状態 (2/2)

HALTモードの設定		サブシステム・クロックでCPU動作中のHALT命令実行時	
項 目		XT1クロック (f _{XT}) でCPU動作時	
システム・クロック		CPUへのクロック供給は停止	
メイン・システム・クロック	f _H , f _{H20}	HALTモード設定前の状態を継続	
	f _X		
	f _{EX}		
サブシステム・クロック	f _{XT}	動作継続 (停止不可)	
f _L	オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) にて設定 ・ WDTON = 0 : 停止 ・ WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WDTON = 1かつWDSTBYON = 0のとき : 停止		
CPU		動作停止	
フラッシュ・メモリ		動作停止 (低消費電力モードで待機状態)	
RAM		動作停止。ただしPOC検出電圧以上では, HALTモード設定前の状態を保持。	
ポート (ラッチ)		HALTモード設定前の状態を保持	
タイマ・アレイ・ユニット (TAU)		動作可能	
リアルタイム・カウンタ (RTC)			
ウォッチドッグ・タイマ		オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) にて設定 ・ WDTON = 0 : 停止 ・ WDTON = 1かつWDSTBYON = 1のとき : 動作 ・ WDTON = 1かつWDSTBYON = 0のとき : 停止	
クロック出力 / ブザー出力		動作可能	
A/Dコンバータ		動作不可	
シリアル・アレイ・ユニット (SAU)		動作可能	
シリアル・インタフェース (IICA)		動作不可	
CEC送受信回路		動作可能	
リモコン受信回路			
乗除算器			
DMAコントローラ			
パワーオン・クリア機能			
低電圧検出機能			
外部割り込み			
キー割り込み機能			

- 備考**
- f_H : 高速内蔵発振クロック
 - f_{H20} : 20 MHz高速内蔵発振クロック
 - f_X : X1クロック
 - f_{EX} : 外部メイン・システム・クロック
 - f_{XT} : XT1クロック
 - f_L : 低速内蔵発振クロック

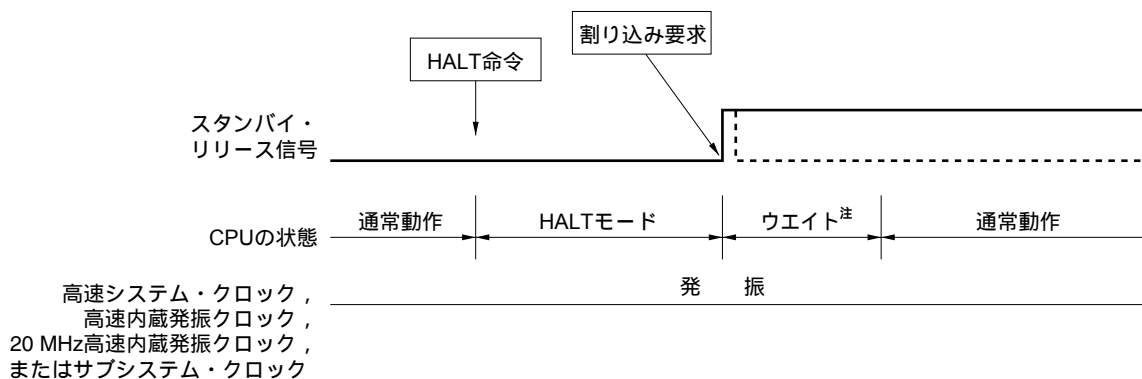
(2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図19-3 HALTモードの割り込み要求発生による解除



注 ウエイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合
 - メイン・システム・クロック時：10～12クロック
 - サブシステム・クロック時：8～10クロック
- ・ベクタ割り込み処理を行わない場合
 - メイン・システム・クロック時：5～6クロック
 - サブシステム・クロック時：3～4クロック

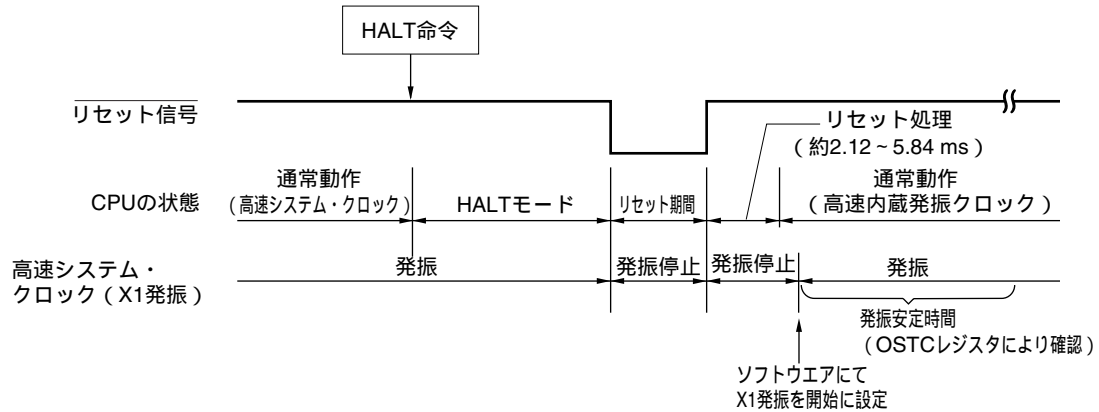
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

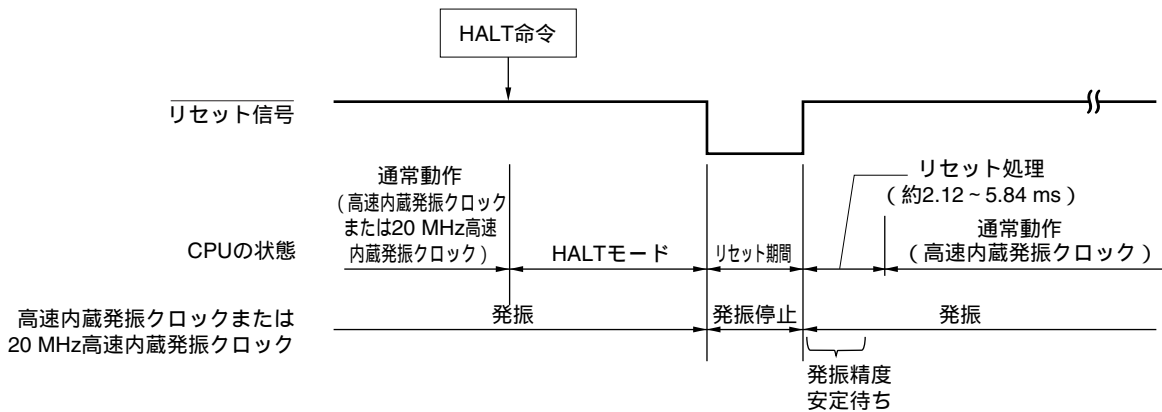
リセット信号の発生により，HALTモードは解除されます。そして，通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと，プログラムが実行されます。

図19 - 4 HALTモードのリセットによる解除 (1/2)

(1) CPUクロックが高速システム・クロックの場合



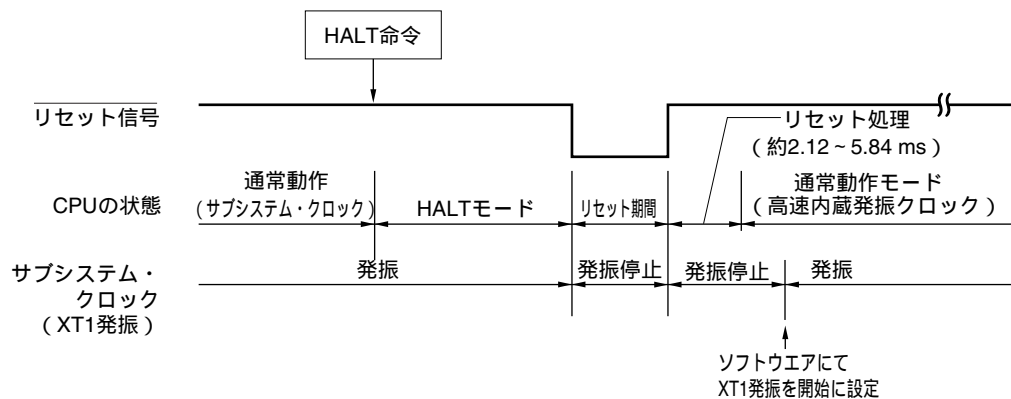
(2) CPUクロックが高速内蔵発振クロックまたは20 MHz高速内蔵発振クロックの場合



備考 f_x : X1クロック発振周波数

図19 - 4 HALTモードのリセットによる解除 (2/2)

(3) CPUクロックがサブシステム・クロックの場合



19.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定前のCPUクロックが、高速内蔵発振クロック、X1クロック、外部メイン・システム・クロックの場合のみ設定可能です。

- 注意1.** 割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードの解除に割り込み要求信号が用いられるため、スタンバイ・モードに入ってもただちに解除されます。したがって、その状況でSTOP命令を実行しても、すぐにHALTモードに入り発振安定時間選択レジスタ(OSTS)による設定時間だけウエイトしたあと動作モードに戻ります。
2. 20 MHz高速内蔵発振クロックで動作中にSTOP命令を実行することはできません。必ず高速内蔵発振クロック動作に移行してからSTOP命令を実行してください。

次にSTOPモード時の動作状態を示します。

表19-2 STOPモード時の動作状態

項 目	STOPモード の設定	メイン・システム・クロックでCPU動作中のSTOP命令実行時		
		高速内蔵発振クロック (f_{IH}) で CPU動作時	X1クロック (f_x) でCPU動作時	外部メイン・システム・クロッ ク (f_{EX}) でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システ ム・クロック	f_{IH}	停止		
	f_x			
	f_{EX}			
サブシステ ム・クロック	f_{XT}	STOPモード設定前の状態を継続		
f_{IL}		オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) にて設定 ・ WDTON = 0 : 停止 ・ WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WDTON = 1かつWDSTBYON = 0のとき : 停止		
CPU		動作停止		
フラッシュ・メモリ		動作停止		
RAM		動作停止。ただしPOC検出電圧以上では、STOPモード設定前の状態を保持。		
ポート (ラッチ)		STOPモード設定前の状態を継続		
タイマ・アレイ・ユニット(TAU)		動作不可		
リアルタイム・カウンタ(RTC)		動作可能		
ウォッチドッグ・タイマ		オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) にて設定 ・ WDTON = 0 : 停止 ・ WDTON = 1かつWDSTBYON = 1のとき : 動作 ・ WDTON = 1かつWDSTBYON = 0のとき : 停止		
クロック出力/ブザー出力		カウント・クロックにサブシステム・クロック選択時のみ動作可能		
A/Dコンバータ		動作不可		
シリアル・アレイ・ユニット (SAU)		動作不可		
シリアル・インタフェース (IICA)		アドレス一致によるウエイク・アップ動作可能		
CEC送受信回路		動作クロックにサブシステム・クロック選択時のみ動作可能		
リモコン受信回路		動作不可		
乗除算器		動作不可		
DMAコントローラ		動作不可		
パワーオン・クリア機能		動作可能		
低電圧検出機能		動作可能		
外部割り込み		動作可能		
キー割り込み機能		動作可能		

備考 f_{IH} : 高速内蔵発振クロック
 f_x : X1クロック
 f_{EX} : 外部メイン・システム・クロック
 f_{XT} : XT1クロック
 f_{IL} : 低速内蔵発振クロック

- 注意1. STOPモード中に動作停止する周辺ハードウェア，および発振停止するクロックを選択している周辺ハードウェアをSTOPモード解除後に使用する場合は，周辺ハードウェアをリスタートしてください。
2. STOPモード中に低速内蔵発振クロックを停止したい場合は，オプション・バイトで「HALT/STOPモード時にウォッチドッグ・タイマ動作停止」に設定（000C0Hのビット0（WDSTBYON）= 0）してから，STOP命令を実行してください。
3. 高速システム・クロック（X1発振）でCPU動作していて，STOPモード解除後の発振安定時間を短縮したい場合は，STOP命令実行前に，CPUクロックを一時的に高速内蔵発振クロックに切り替えてください。STOPモード解除後，CPUクロックを高速内蔵発振クロックから高速システム・クロック（X1発振）に切り替える場合は，発振安定時間カウンタ状態レジスタ（OSTC）で発振安定時間を確認してから，行ってください。
4. 20 MHz高速内蔵発振クロックで動作中にSTOP命令を実行することはできません。必ず高速内蔵発振クロック動作に移行してからSTOP命令を実行してください。

(2) STOPモードの解除

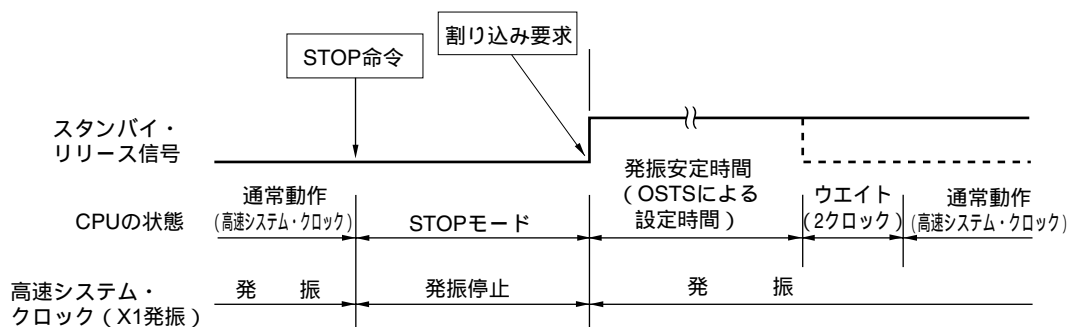
STOPモードは，次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合，STOPモードを解除します。発振安定時間経過後，割り込み受け付け許可状態であれば，ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば，次のアドレスの命令を実行します。

図19 - 5 STOPモードの割り込み要求発生による解除（1/2）

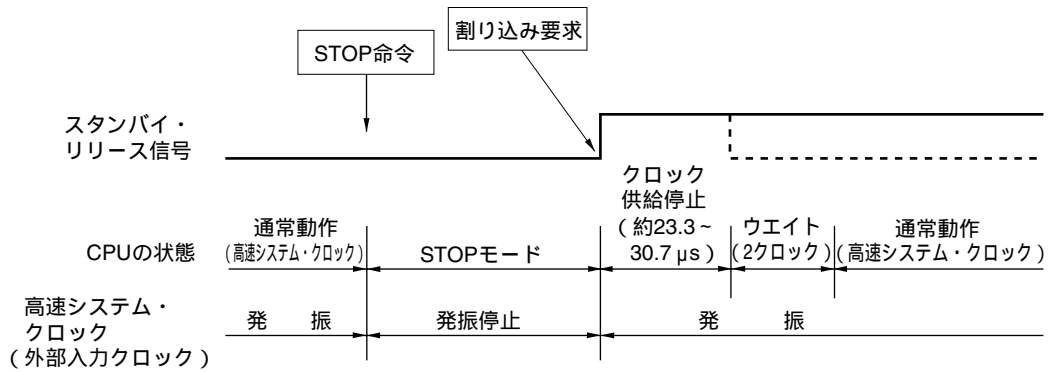
(1) CPUクロックが高速システム・クロック（X1発振）の場合



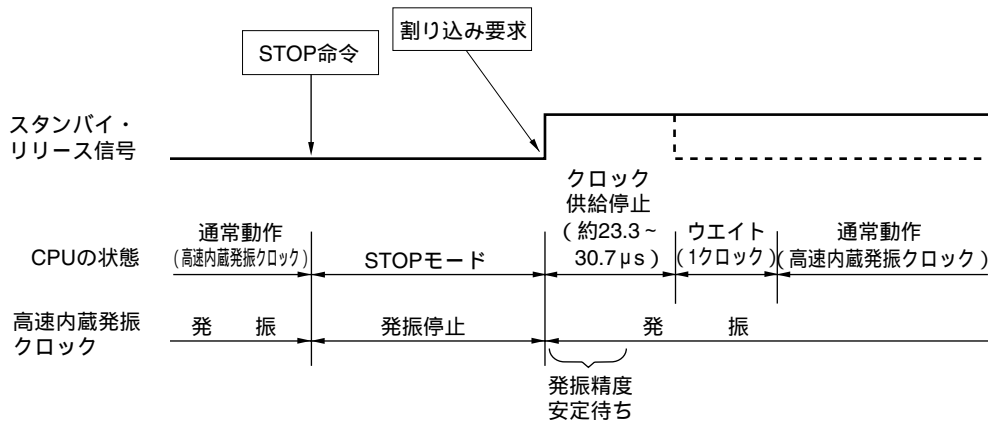
備考 破線は，スタンバイを解除した割り込み要求が受け付けられた場合です。

図19 - 5 STOPモードの割り込み要求発生による解除 (2/2)

(2) CPUクロックが高速システム・クロック (外部クロック入力) の場合



(3) CPUクロックが高速内蔵発振クロックの場合



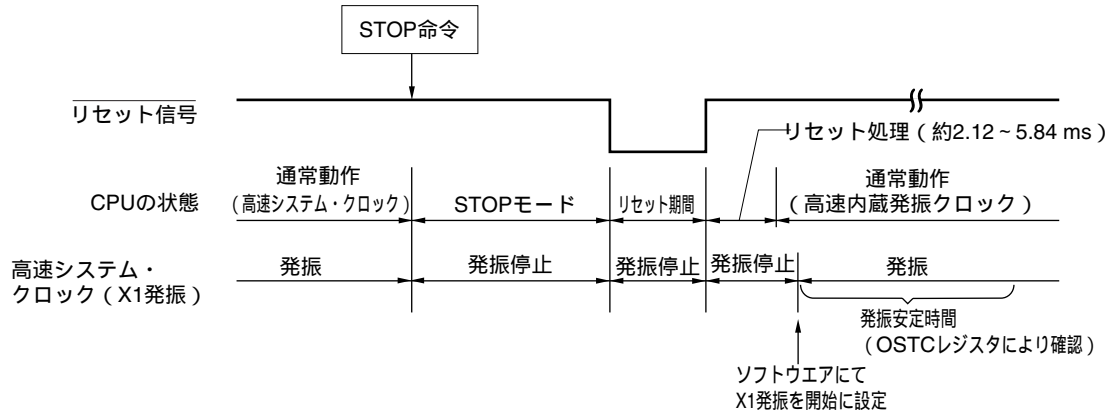
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

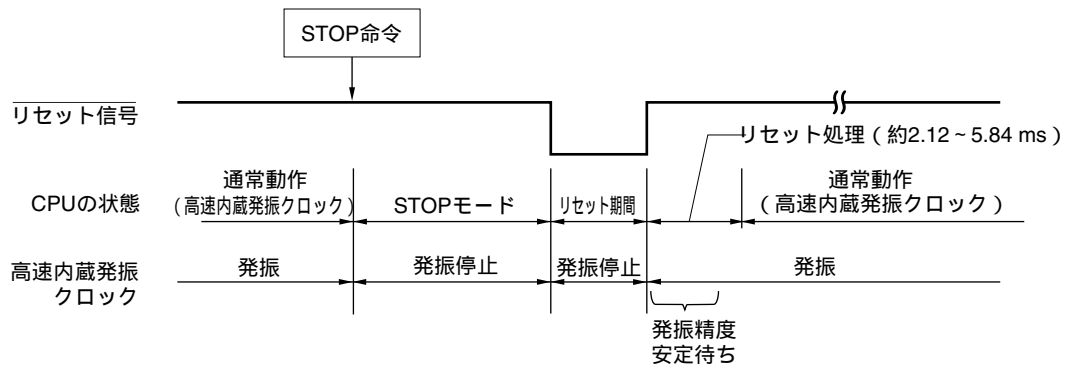
リセット信号の発生により、STOPモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図19 - 6 STOPモードのリセットによる解除

(1) CPUクロックが高速システム・クロックの場合



(2) CPUクロックが高速内蔵発振クロックの場合



備考 f_x : X1クロック発振周波数

第20章 リセット機能

リセット信号を発生させる方法には、次の5種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
- (3) パワーオン・クリア (POC) 回路の電源電圧と検出電圧との比較による内部リセット
- (4) 低電圧検出回路 (LVI) の電源電圧または外部入力端子からの入力電圧 (EXLVI) と検出電圧の比較による内部リセット
- (5) 不正命令の実行による内部リセット^注
- (6) リセット処理のチェック・エラーによる内部リセット

外部リセットと内部リセットは同様に、リセット信号の発生により、0000H、0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマがプログラム暴走を検出するか、POC回路、LVI回路の電圧検出、または不正命令の実行^注により、リセットがかかり、各ハードウェアは表20 - 1、表20 - 2に示すような状態になります。また、リセット信号発生中およびリセット解除直後の発振安定時間中の各端子の状態は、P130のみロウ・レベル出力に、それ以外はハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されて、リセットがかかり、 $\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します。ウォッチドッグ・タイマによるリセットは、自動的にリセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します (図20 - 2から図20 - 4参照)。POC回路、LVI回路の電圧検出によるリセットは、リセット後 V_{DD} V_{POR} または V_{DD} V_{LVI} になったときにリセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します (第21章 パワーオン・クリア回路と第22章 低電圧検出回路参照)。

注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

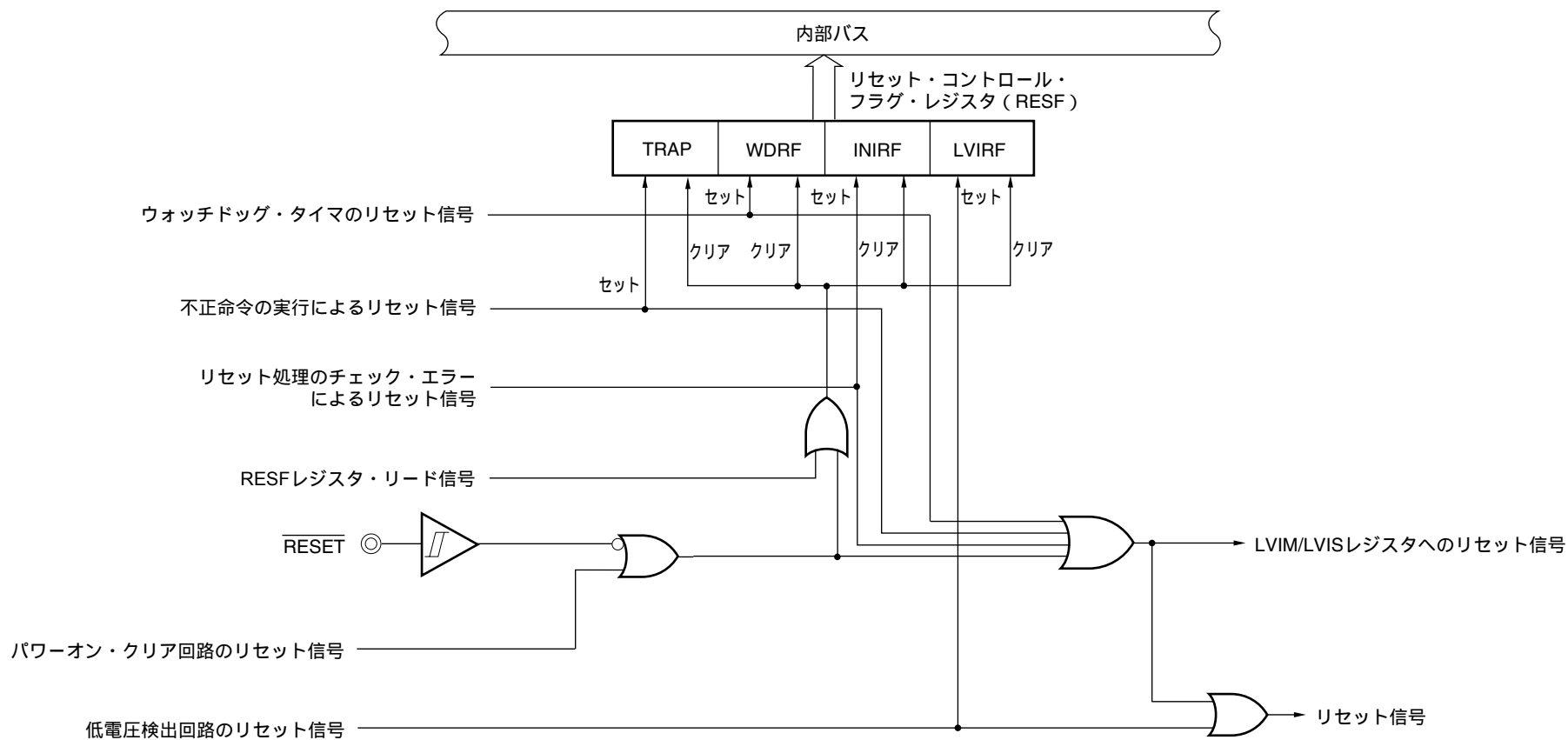
注意1 ．外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μs 以上のロウ・レベルを入力してください。

(電源立ち上げ時に外部リセットを行う場合は、動作電圧範囲内(V_{DD} 2.7 V)の期間に10 μs 以上ロウ・レベルを継続する必要があります。)

- 2．リセット信号発生中では、X1クロック、XT1クロック、高速内蔵発振クロック、低速内蔵発振クロックの発振は停止します。また、外部メイン・システム・クロックの入力は無効となります。
- 3．リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時のRAMの内容を保持します。
- 4．リセットがかかると各SFRと2nd SFRは初期化されるため、ポート端子P130はロウ・レベル出力に、それ以外のポート端子はハイ・インピーダンスとなります。

備考 V_{POR} : POC電源立ち上がり検出電圧

図20 - 1 リセット機能のブロック図



注意 LVI回路の内部リセットの場合、LVI回路はリセットされません。

備考1. LVIM：低電圧検出レジスタ

2. LVIS：低電圧検出レベル選択レジスタ

図20 - 2 RESET入力によるリセット・タイミング

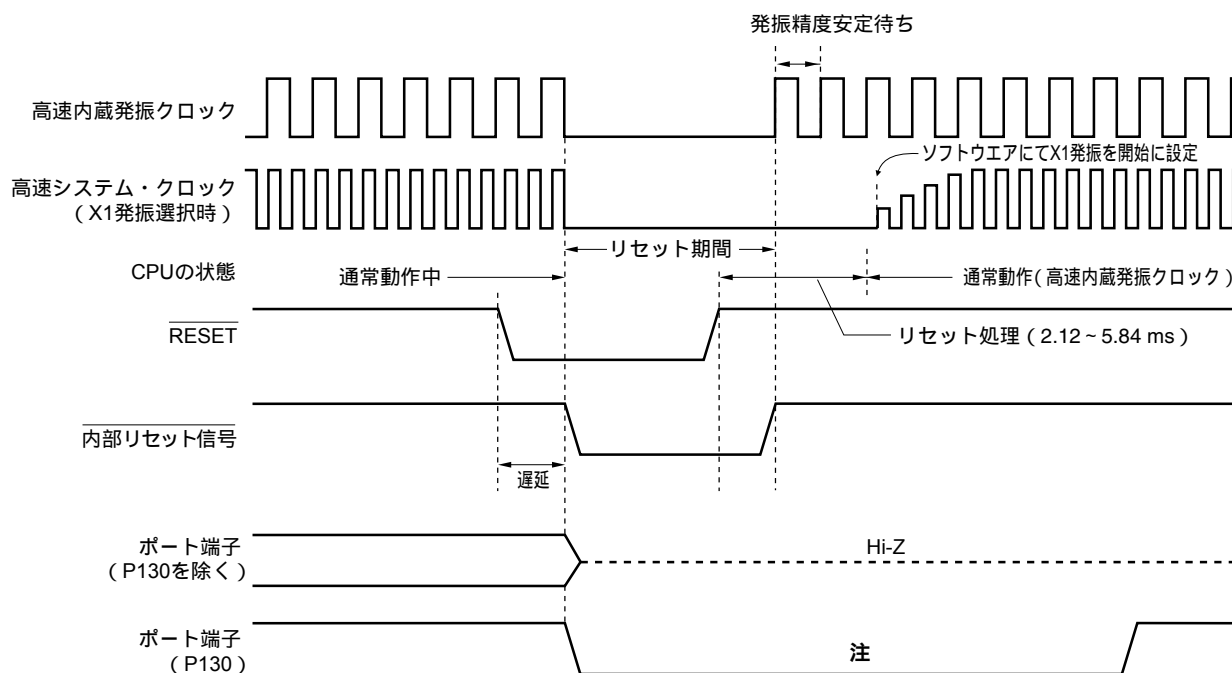
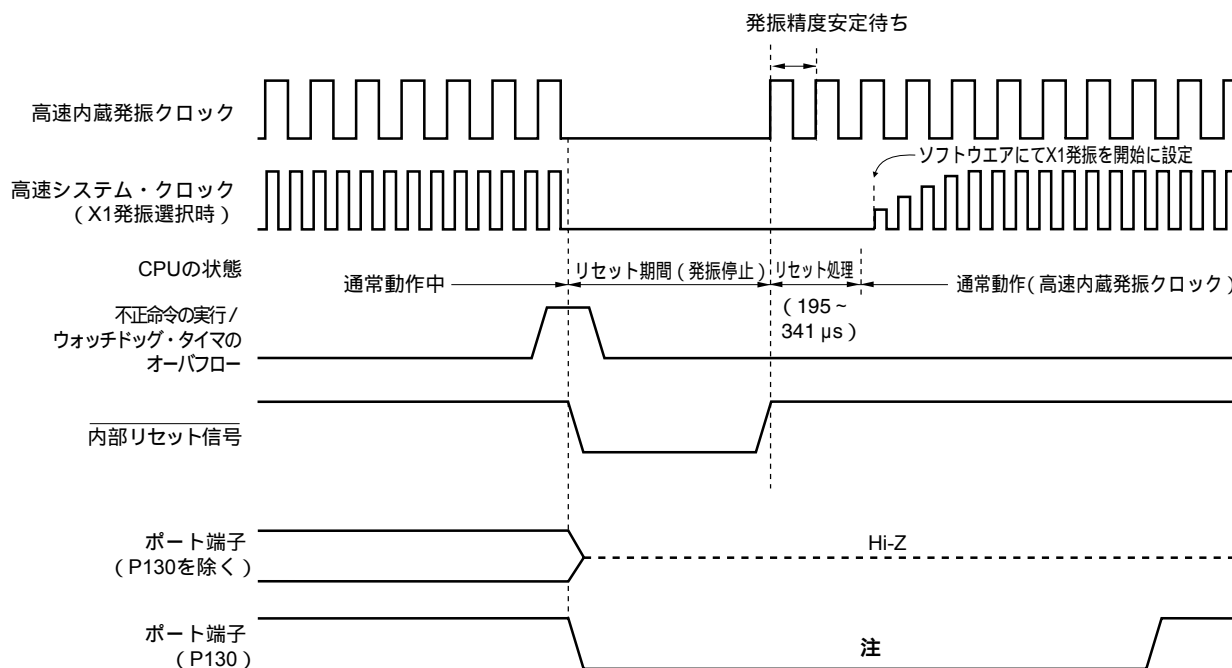


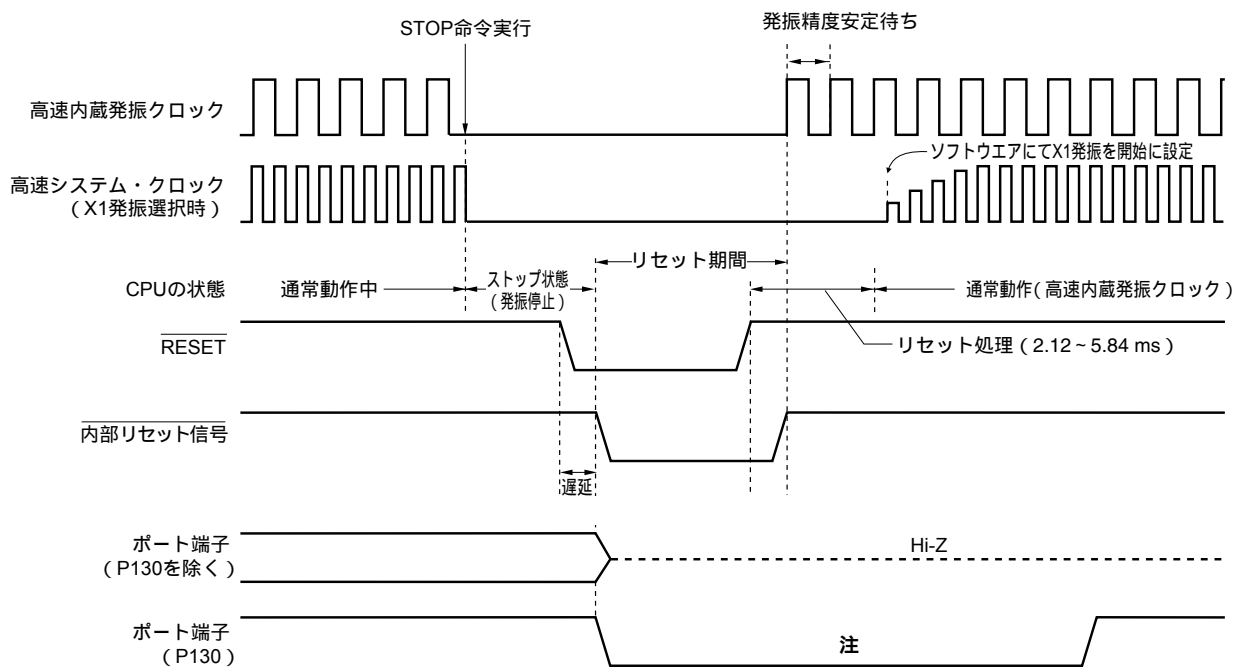
図20 - 3 不正命令の実行/ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング



注 リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力を外部デバイスへのリセット信号として疑似的に出力するという使い方ができます。外部デバイスへのリセット信号を解除する場合には、P130をソフトウェアでハイ・レベル出力にしてください。

注意 ウォッチドッグ・タイマの内部リセットの場合、ウォッチドッグ・タイマもリセットされます。

図20-4 STOPモード中のRESET入力によるリセット・タイミング



注 リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力を外部デバイスへのリセット信号として疑似的に出力するという使い方ができます。外部デバイスへのリセット信号を解除する場合には、P130をソフトウェアでハイ・レベル出力にしてください。

備考 パワーオン・クリア回路と低電圧検出回路のリセット・タイミングは、第21章 **パワーオン・クリア回路**と第22章 **低電圧検出回路**を参照してください。

表20 - 1 リセット期間中の動作状態

項 目	リセット期間中	
システム・クロック	CPUへのクロック供給は停止	
メイン・システム・クロック	f _H , f _{H20}	動作停止
	f _X	動作停止 (X1, X2端子は入力ポート・モード)
	f _{EX}	クロックの入力無効 (端子は入力ポート・モード)
サブシステム・クロック	f _{XT}	動作停止 (XT1, XT2端子は入力ポート・モード)
	f _L	動作停止
CPU		
フラッシュ・メモリ		
RAM	動作停止 (ただし, パワーオン・クリア検出電圧以上時では, 値を保持)	
ポート (ラッチ)	P130は, ロウ・レベル出力。P130以外は, ハイ・インピーダンス。	
タイマ・アレイ・ユニット (TAU)	動作停止	
リアルタイム・カウンタ (RTC)		
ウォッチドッグ・タイマ		
クロック出力/ブザー出力		
A/Dコンバータ		
シリアル・アレイ・ユニット (SAU)		
シリアル・インタフェース (IICA)		
CEC送受信回路		
リモコン受信回路		
乗除算器		
DMAコントローラ		
パワーオン・クリア機能		検出動作可能
低電圧検出機能		動作停止 (ただし, LVIリセット時は動作継続)
外部割り込み		動作停止
キー割り込み機能		

- 備考**
- f_H : 高速内蔵発振クロック
 - f_{H20} : 20 MHz高速内蔵発振クロック
 - f_X : X1発振クロック
 - f_{EX} : 外部メイン・システム・クロック
 - f_{XT} : XT1発振クロック
 - f_L : 低速内蔵発振クロック

表20 - 2 各ハードウェアのリセット受け付け後の状態 (1/6)

ハードウェア		リセット受け付け後の状態 ^{注1}
プログラム・カウンタ (PC)		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		06H
RAM	データ・メモリ	不定 ^{注2}
	汎用レジスタ	不定 ^{注2}
プロセッサ・モード・コントロール・レジスタ (PMC)		00H
ポート・レジスタ (P0-P7, P8 ^{注3} , P9, P11-P15) (出力ラッチ)		00H
ポート・モード・レジスタ	PM0-PM7, PM8 ^{注3} , PM9, PM11, PM12, PM14, PM15	FFH
	PM13	FEH
ポート入力モード・レジスタ0, 1, 6, 14 (PIM0, PIM1, PIM6, PIM14)		00H
ポート出力モード・レジスタ0, 1, 14 (POM0, POM1, POM14)		00H
プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3-PU7, PU8 ^{注3} , PU12-PU14)		00H
ポート・ファンクション・レジスタ6, 11 (PF6, PF11)		00H
クロック動作モード制御レジスタ (CMC)		00H
クロック動作ステータス制御レジスタ (CSC)		C0H
システム・クロック制御レジスタ (CKC)		09H
20 MHz高速内蔵発振制御レジスタ (DSCCTL)		00H
発振安定時間カウンタ状態レジスタ (OSTC)		00H
発振安定時間選択レジスタ (OSTS)		07H
ノイズ・フィルタ許可レジスタ0, 1, 2 (NFEN0, NFEN1, NFEN2)		00H
周辺イネーブル・レジスタ0, 1 (PER0, PER1)		00H
動作スピード・モード制御レジスタ (OSMC)		00H
タイマ・アレイ・ユニット (TAU)	タイマ・データ・レジスタ00, 01, 02, 03, 04, 05, 06, 07, 10, 11, 12 (TDR00, TDR01, TDR02, TDR03, TDR04, TDR05, TDR06, TDR07, TDR10, TDR11, TDR12)	0000H
	タイマ・モード・レジスタ00, 01, 02, 03, 04, 05, 06, 07, 10, 11, 12 (TMR00, TMR01, TMR02, TMR03, TMR04, TMR05, TMR06, TMR07, TMR10, TMR11, TMR12)	0000H
	タイマ・ステータス・レジスタ00, 01, 02, 03, 04, 05, 06, 07, 10, 11, 12 (TSR00, TSR01, TSR02, TSR03, TSR04, TSR05, TSR06, TSR07, TSR10, TSR11, TSR12)	0000H
	タイマ入力選択レジスタ0, 1 (TIS0, TIS1)	00H
	タイマ・カウンタ・レジスタ00, 01, 02, 03, 04, 05, 06, 07, 10, 11, 12 (TCR00, TCR01, TCR02, TCR03, TCR04, TCR05, TCR06, TCR07, TCR10, TCR11, TCR12)	FFFFH
	タイマ・チャンネル許可ステータス・レジスタ0 (TE0)	0000H
	タイマ・チャンネル開始レジスタ0, 1 (TS0, TS1)	0000H
	タイマ・チャンネル停止レジスタ0, 1 (TT0, TT1)	0000H
	タイマ・クロック選択レジスタ0, 1 (TPS0, TPS1)	0000H
	タイマ出力レジスタ0, 1 (TO0, TO1)	0000H

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. スタンバイ・モード時でのリセット後の状態は保持となります。

3. 78K0R/KG3-Cのみ

表20 - 2 各ハードウェアのリセット受け付け後の状態 (2/6)

ハードウェア		リセット受け付け後の状態 ^{注1}
タイマ・アレイ・ユニット (TAU)	タイマ出力許可レジスタ0, 1 (TOE0, TOE1)	0000H
	タイマ出力レベル・レジスタ0, 1 (TOL0, TOL1)	0000H
	タイマ出力モード・レジスタ0, 1 (TOM0, TOM1)	0000H
リアルタイム・カウンタ	サブカウント・レジスタ (RSUBC)	0000H
	秒カウント・レジスタ (SEC)	00H
	分カウント・レジスタ (MIN)	00H
	時カウント・レジスタ (HOUR)	12H
	日カウント・レジスタ (DAY)	01H
	曜日カウント・レジスタ (WEEK)	00H
	月カウント・レジスタ (MONTH)	01H
	年カウント・レジスタ (YEAR)	00H
	時計誤差補正レジスタ (SUBCUD)	00H
	アラーム分レジスタ (ALARMWM)	00H
	アラーム時レジスタ (ALARMWH)	12H
	アラーム曜日レジスタ (ALARMWW)	00H
	コントロール・レジスタ0 (RTCC0)	00H
	コントロール・レジスタ1 (RTCC1)	00H
コントロール・レジスタ2 (RTCC2)	00H	
クロック出力 / ブザー出力 制御回路	クロック出力選択レジスタ0, 1 (CKS0, CKS1)	00H
ウォッチドッグ・タイマ	イネーブル・レジスタ (WDTE)	1AH/9AH ^{注2}
A/Dコンバータ	10ビットA/D変換結果レジスタ (ADCR)	0000H
	8ビットA/D変換結果レジスタ (ADCRH)	00H
	モード・レジスタ (ADM)	00H
	アナログ入力チャネル指定レジスタ (ADS)	00H
	A/Dポート・コンフィギュレーション・レジスタ (ADPC)	10H
シリアル・アレイ・ユニット (SAU)	シリアル・データ・レジスタ00, 01, 02, 03, 10, 11(SDR00, SDR01, SDR02, SDR03, SDR10, SDR11)	0000H
	シリアル・ステータス・レジスタ00, 01, 02, 03, 10, 11(SSR00, SSR01, SSR02, SSR03, SSR10, SSR11)	0000H
	シリアル・フラグ・クリア・トリガ・レジスタ00, 01, 02, 03, 10, 11 (SIR00, SIR01, SIR02, SIR03, SIR10, SIR11)	0000H
	シリアル・モード・レジスタ00, 01, 02, 03, 10, 11(SMR00, SMR01, SMR02, SMR03, SMR10, SMR11)	0020H
	シリアル通信動作設定レジスタ00, 01, 02, 03, 10, 11 (SCR00, SCR01, SCR02, SCR03, SCR10, SCR11)	0087H
	シリアル・チャネル許可ステータス・レジスタ0, 1 (SE0, SE1)	0000H
	シリアル・チャネル開始レジスタ0, 1 (SS0, SS1)	0000H
	シリアル・チャネル停止レジスタ0, 1 (ST0, ST1)	0000H
	シリアル・クロック選択レジスタ0, 1 (SPS0, SPS1)	0000H
	シリアル出力レジスタ0, 1 (SO0, SO1)	0F0FH
	シリアル出力許可レジスタ0, 1 (SOE0, SOE1)	0000H
	シリアル出力レベル・レジスタ0, 1 (SOL0, SOL1)	0000H

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. WDTEのリセット値は、オプション・バイトの設定で決定します。

表20 - 2 各ハードウェアのリセット受け付け後の状態 (3/6)

ハードウェア		リセット受け付け後の状態 ^注
シリアル・インタフェース IICA	IICAシフト・レジスタ (IICA)	00H
	IICAステータス・レジスタ (IICS)	00H
	IICAフラグ・レジスタ (IICF)	00H
	IICAコントロール・レジスタ0 (IICCTL0)	00H
	IICAコントロール・レジスタ1 (IICCTL1)	00H
	IICAロウ・レベル幅設定レジスタ (IICWL)	FFH
	IICAハイ・レベル幅設定レジスタ (IICWH)	FFH
	スレーブ・アドレス・レジスタ (SVA)	00H
CEC送信回路	CEC送信バッファ・レジスタ (CTXD)	00H
	CEC受信バッファ・レジスタ (CRXD)	00H
	CEC通信エラー・ステータス・レジスタ (CEGES)	00H
	CEC通信ステータス・レジスタ (CECS)	00H
	CEC通信エラー・フラグ・クリア・トリガ・レジスタ (CECFC)	00H
	CECコントロール・レジスタ0 (CECCTL0)	00H
	CEC自局アドレス設定レジスタ (CADR)	0000H
	CECコントロール・レジスタ1 (CECCTL1)	00H
	CEC送信スタート・ビットのビット幅設定レジスタ (STATB)	0000H
	CEC送信スタート・ビットのロウ幅設定レジスタ (STATL)	0000H
	CEC送信ロジカル0のロウ幅設定レジスタ (LGC0L)	0000H
	CEC送信ロジカル1のロウ幅設定レジスタ (LGC1L)	0000H
	CEC送信データ・ビットのビット幅設定レジスタ (DATB)	0000H
	CEC受信データ・サンプリング時間設定レジスタ (NOMT)	0000H
	CEC受信スタート・ビット・ロウ幅のMIN.値設定レジスタ (STATLL)	0000H
	CEC受信スタート・ビット・ロウ幅のMAX.値設定レジスタ (STATLH)	0000H
	CEC受信スタート・ビットのビット幅のMIN.値設定レジスタ (STATBL)	0000H
	CEC受信スタート・ビットのビット幅のMAX.値設定レジスタ (STATBH)	0000H
	CEC受信ロジカル0のロウ幅のMIN.値設定レジスタ (LGC0LL)	0000H
	CEC受信ロジカル0のロウ幅のMAX.値設定レジスタ (LGC0LH)	0000H
	CEC受信ロジカル1のロウ幅のMIN.値設定レジスタ (LGC1LL)	0000H
	CEC受信ロジカル1のロウ幅のMAX.値設定レジスタ (LGC1LH)	0000H
CEC受信データ・ビットのビット幅のMIN.値設定レジスタ (DATBL)	0000H	
CEC受信データ・ビットのビット幅のMAX.値設定レジスタ (DATBH)	0000H	
リモコン受信回路	リモコン受信データ・レジスタ0 (RMDR0)	00H
	リモコン受信カウンタ・レジスタ0 (RMSCR0)	00H
	リモコン受信シフト・レジスタ0 (RMSR0)	00H
	リモコン受信エラー・ビット検出レジスタ0 (RMERBD0)	00H
	リモコン受信エラー・ビット検出シフト・レジスタ0 (RMERBSR0)	00H
	リモコン受信割り込みステータス・レジスタ0 (RMINTS0)	00H
	リモコン受信データ・レジスタ1 (RMDR1)	00H
	リモコン受信カウンタ・レジスタ1 (RMSCR1)	00H

注 リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

表20 - 2 各ハードウェアのリセット受け付け後の状態 (4/6)

ハードウェア		リセット受け付け後の状態 ^注
リモコン受信回路	リモコン受信シフト・レジスタ1 (RMSR1)	00H
	リモコン受信エラー・ビット検出レジスタ1 (RMERBD1)	00H
	リモコン受信エラー・ビット検出シフト・レジスタ1 (RMERBSR1)	00H
	リモコン受信割り込みステータス・レジスタ1 (RMINTS1)	00H
	リモコン受信データ・レジスタ2 (RMDR2)	00H
	リモコン受信カウンタ・レジスタ2 (RMSCR2)	00H
	リモコン受信シフト・レジスタ2 (RMSR2)	00H
	リモコン受信エラー・ビット検出レジスタ2 (RMERBD2)	00H
	リモコン受信エラー・ビット検出シフト・レジスタ2 (RMERBSR2)	00H
	リモコン受信割り込みステータス・レジスタ2 (RMINTS2)	00H
	リモコン受信データ・レジスタ3 (RMDR3)	00H
	リモコン受信カウンタ・レジスタ3 (RMSCR3)	00H
	リモコン受信シフト・レジスタ3 (RMSR3)	00H
	リモコン受信エラー・ビット検出レジスタ3 (RMERBD3)	00H
	リモコン受信エラー・ビット検出シフト・レジスタ3 (RMERBSR3)	00H
	リモコン受信割り込みステータス・レジスタ3 (RMINTS3)	00H
	リモコン受信制御1レジスタ02 (RMCN102)	00H
	リモコン受信制御2レジスタ02 (RMCN202)	00H
	リモコン受信GPLSコンペア・レジスタ02 (RMGPLS02)	00H
	リモコン受信GPLLコンペア・レジスタ02 (RMGPLL02)	00H
	リモコン受信GPHSコンペア・レジスタ02 (RMGPHS02)	00H
	リモコン受信GPHLコンペア・レジスタ02 (RMGPHL02)	00H
	リモコン受信DLSコンペア・レジスタ02 (RMDLS02)	00H
	リモコン受信DLLコンペア・レジスタ02 (RMDLL02)	00H
	リモコン受信DH0Sコンペア・レジスタ02 (RMDH0S02)	00H
	リモコン受信DH0Lコンペア・レジスタ02 (RMDH0L02)	00H
	リモコン受信DH1Sコンペア・レジスタ02 (RMDH1S02)	00H
	リモコン受信DH1Lコンペア・レジスタ02 (RMDH1L02)	00H
	リモコン受信GPBSコンペア・レジスタ02 (RMGPBS02)	0000H
	リモコン受信GPBLコンペア・レジスタ02 (RMGPBL02)	0000H
	リモコン受信DB0Sコンペア・レジスタ02 (RMDB0S02)	0000H
	リモコン受信DB0Lコンペア・レジスタ02 (RMDB0L02)	0000H
	リモコン受信DB1Sコンペア・レジスタ02 (RMDB1S02)	0000H
リモコン受信DB1Lコンペア・レジスタ02 (RMDB1L02)	0000H	
リモコン受信エンド幅選択レジスタL02 (RMERL02)	00H	
リモコン受信エンド幅選択レジスタH02 (RMERH02)	00H	
リモコン受信ノイズ除去期間設定レジスタ02 (RMNCP102)	00H	

注 リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

表20 - 2 各ハードウェアのリセット受け付け後の状態 (5/6)

ハードウェア		リセット受け付け後の状態 ^注
リモコン受信回路	リモコン受信制御1レジスタ13 (RMCN113)	00H
	リモコン受信制御2レジスタ13 (RMCN213)	00H
	リモコン受信GPLSコンペア・レジスタ03 (RMGPLS03)	00H
	リモコン受信GPLLコンペア・レジスタ03 (RMGPLL03)	00H
	リモコン受信GPHSコンペア・レジスタ03 (RMGPHS03)	00H
	リモコン受信GPHLコンペア・レジスタ03 (RMGPHL03)	00H
	リモコン受信DLSコンペア・レジスタ03 (RMDLS03)	00H
	リモコン受信DLLコンペア・レジスタ03 (RMDLL03)	00H
	リモコン受信DH0Sコンペア・レジスタ03 (RMDH0S03)	00H
	リモコン受信DH0Lコンペア・レジスタ03 (RMDH0L03)	00H
	リモコン受信DH1Sコンペア・レジスタ03 (RMDH1S03)	00H
	リモコン受信DH1Lコンペア・レジスタ03 (RMDH1L03)	00H
	リモコン受信GPBSコンペア・レジスタ13 (RMGPBS13)	0000H
	リモコン受信GPBLコンペア・レジスタ13 (RMGPBL13)	0000H
	リモコン受信DB0Sコンペア・レジスタ13 (RMDB0S13)	0000H
	リモコン受信DB0Lコンペア・レジスタ13 (RMDB0L13)	0000H
	リモコン受信DB1Sコンペア・レジスタ13 (RMDB1S13)	0000H
	リモコン受信DB1Lコンペア・レジスタ13 (RMDB1L13)	0000H
	リモコン受信エンド幅選択レジスタL13 (RMERL13)	00H
	リモコン受信エンド幅選択レジスタH13 (RMERH13)	00H
リモコン受信ノイズ除去期間設定レジスタ13 (RMNCP113)	00H	
リモコン受信データ・スルー制御レジスタ (RMSW)	00H	
乗除算器	乗除算データ・レジスタA (L) (MDAL)	0000H
	乗除算データ・レジスタA (H) (MDAH)	0000H
	乗除算データ・レジスタB (L) (MDBL)	0000H
	乗除算データ・レジスタB (H) (MDBH)	0000H
	乗除算データ・レジスタC (L) (MDCL)	0000H
	乗除算データ・レジスタC (H) (MDCH)	0000H
	乗除算コントロール・レジスタ (MDUC)	00H

注 リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

表20 - 2 各ハードウェアのリセット受け付け後の状態 (6/6)

ハードウェア		リセット受け付け後の状態 ^{注1}
キー割り込み	キー・リターン・モード・レジスタ (KRM)	00H
リセット機能	リセット・コントロール・フラグ・レジスタ (RESF)	不定 ^{注2}
低電圧検出回路	低電圧検出レジスタ (LVIM)	00H ^{注3}
	低電圧検出レベル選択レジスタ (LVIS)	0EH ^{注2}
レギュレータ	レギュレータ・モード制御レジスタ (RMC)	00H
DMAコントローラ	SFRアドレス・レジスタ0, 1 (DSA0, DSA1)	00H
	RAMアドレス・レジスタ0L, 0H, 1L, 1H (DRA0L, DRA0H, DRA1L, DRA1H)	00H
	バイト・カウンタ・レジスタ0L, 0H, 1L, 1H (DBC0L, DBC0H, DBC1L, DBC1H)	00H
	モード・コントロール・レジスタ0, 1 (DMC0, DMC1)	00H
	動作コントロール・レジスタ0, 1 (DRC0, DRC1)	00H
割り込み	要求フラグ・レジスタ0L, 0H, 1L, 1H, 2L, 2H (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)	00H
	マスク・フラグ・レジスタ0L, 0H, 1L, 1H, 2L, 2H (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)	FFH
	優先順位指定フラグ・レジスタ00L, 00H, 01L, 01H, 02L, 02H, 10L, 10H, 11L, 11H, 12L, 12H (PR00L, PR00H, PR01L, PR01H, PR10L, PR10H, PR11L, PR11H, PR02L, PR02H, PR12L, PR12H)	FFH
	外部割り込み立ち上がりエッジ許可レジスタ0, 1 (EGP0, EGP1)	00H
	外部割り込み立ち下がりエッジ許可レジスタ0, 1 (EGN0, EGN1)	00H
	10進補正 (BCD) 回路	BCD補正結果レジスタ (BCDADJ)

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. リセット要因により、次のように異なります。

リセット要因 レジスタ		RESET入力	POCによる リセット	不正命令の実行 によるリセット	WDTによる リセット	INIRFによる リセット	LVIによる リセット
RESF	TRAPビット	クリア (0)	クリア (0)	セット (1)	保持	保持	保持
	WDRFビット			保持	セット (1)	保持	保持
	INIRFビット			保持	保持	セット (1)	保持
	LVIRFビット			保持	保持	保持	セット (1)
LVIS		クリア (0EH)	クリア (0EH)	クリア (0EH)	クリア (0EH)	クリア (0EH)	保持

3. リセット要因およびオプション・バイトの設定により異なります。

20.1 リセット要因を確認するレジスタ

78K0R/Kx3-Cは内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ (RESF) は、どの要因から発生したリセット要求かを格納するレジスタです。

RESFは、8ビット・メモリ操作命令で、読み出すことができます。

RESET入力、パワーオン・クリア (POC) 回路によるリセットおよびRESFのデータを読み出すことにより、00Hになります。

図20 - 5 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマット

アドレス : FFFA8H リセット時 : 00^{注1} R

略号	7	6	5	4	3	2	1	0
RESF	TRAP	0	0	WDRF	0	0	0	LVIRF

TRAP	不正命令の実行による内部リセット要求 ^{注2}
0	内部リセット要求は発生していない、またはRESFをクリアした
1	内部リセット要求は発生した

WDRF	ウォッチドッグ・タイマ (WDT) による内部リセット要求
0	内部リセット要求は発生していない、またはRESFをクリアした
1	内部リセット要求は発生した

INIRF	リセット処理のチェック・エラーによる内部リセット要求
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした
1	内部リセット要求は発生した

LVIRF	低電圧検出 (LVI) 回路による内部リセット要求
0	内部リセット要求は発生していない、またはRESFをクリアした
1	内部リセット要求は発生した

注1. リセット要因により異なります。

2. FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1. 1ビット・メモリ操作命令でデータを読み出さないでください。

2. LVIデフォルト・スタート機能使用時 (000C1Hのビット0 (LVIOFF) = 0) , 電源立ち上がり波形によっては、LVIRFフラグが最初から1になることがあります。

リセット要求時のRESFの状態を表20 - 3に示します。

表20 - 3 リセット要求時のRESFの状態

リセット要因 フラグ	RESET入力	POCによる リセット	不正命令の実行 によるリセット	WDTによる リセット	INIRFによる リセット	LVIによる リセット
TRAP	クリア (0)	クリア (0)	セット (1)	保持	保持	保持
WDRF			保持	セット (1)	保持	保持
INIRF			保持	保持	セット (1)	保持
LVIRF			保持	保持	保持	セット (1)

第21章 パワーオン・クリア回路

21.1 パワーオン・クリア回路の機能

パワーオン・クリア (POC) 回路は次のような機能を持ちます。

- ・電源投入時に内部リセット信号を発生します。
電源電圧 (V_{DD}) が $1.61\text{ V} \pm 0.09\text{ V}$ を越えた場合に、リセットを解除します。

注意 オプション・バイトで、低電圧検出(LVI)回路をデフォルトでONに設定した場合は、電源電圧(V_{DD})が $2.07\text{ V} \pm 0.2\text{ V}$ を越えるまでリセットは解除されません。

- ・電源電圧 (V_{DD}) と検出電圧 ($V_{PDR} = 1.59\text{ V} \pm 0.09\text{ V}$) を比較し、 $V_{DD} < V_{PDR}$ になったとき内部リセット信号を発生します。

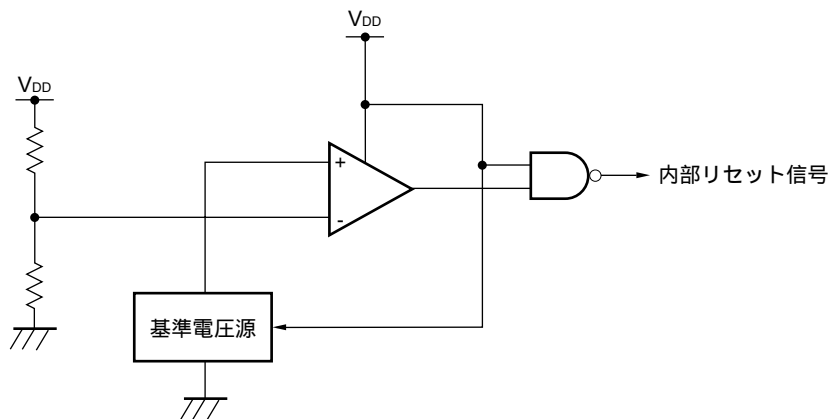
注意 POC回路で内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のTRAP, WDRF, LVIRFがクリアされます。

備考 本製品には内部リセット信号を発生するハードウェアが複数内蔵されています。ウォッチドッグ・タイマ (WDT) / 低電圧検出 (LVI) 回路 / 不正命令の実行による内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがリセット・コントロール・フラグ・レジスタ (RESF) に配置されています。RESFはWDT / LVI / 不正命令のいずれかによる内部リセット信号が発生した場合は、クリア (00H) されずフラグがセット (1) されます。RESFの詳細については、第20章 リセット機能を参照してください。

21.2 パワーオン・クリア回路の構成

パワーオン・クリア回路のブロック図を図21 - 1に示します。

図21 - 1 パワーオン・クリア回路のブロック図



21.3 パワーオン・クリア回路の動作

- ・電源投入時に内部リセット信号を発生し、電源電圧 (V_{DD}) が検出電圧 ($V_{POR} = 1.61\text{ V} \pm 0.09\text{ V}$) を越えたら、リセットを解除します。

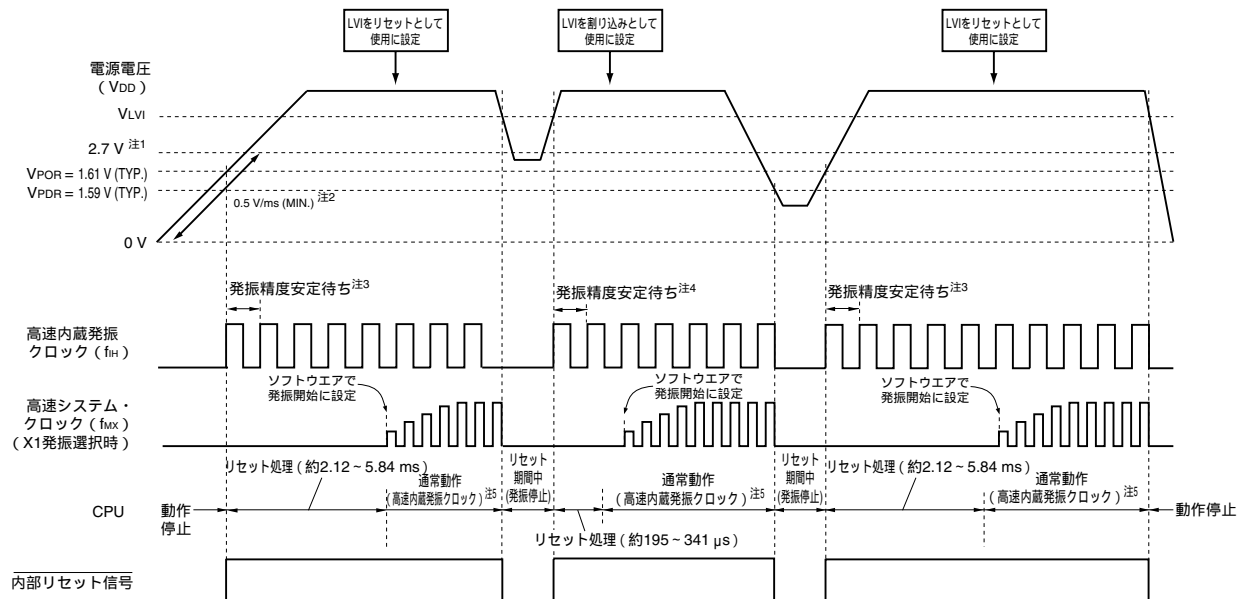
注意 オプション・バイトで、低電圧検出(LVI)回路をデフォルトでONに設定した場合は、電源電圧 (V_{DD}) が $2.07\text{ V} \pm 0.2\text{ V}$ を越えるまでリセットは解除されません。

- ・電源電圧 (V_{DD}) と検出電圧 ($V_{PDR} = 1.59\text{ V} \pm 0.09\text{ V}$) を比較し、 $V_{DD} < V_{PDR}$ になったとき内部リセット信号を発生します。

パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生タイミングを次に示します。

図21 - 2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生のタイミング (1/2)

(1) 電源立ち上げ時のLVIがOFFの場合 (オプション・バイト : LVIOFF = 1)



- 注1. 動作保証範囲は、2.7 V V_{DD} 5.5 Vです。必ず2.7 V以上になってから、通常動作を行ってください。電源立ち下がり時に2.7 V未満をリセット状態にしたい場合は、低電圧検出回路のリセット機能を使用、またはRESET端子にロウ・レベルを入力してください。
2. 電源投入時から2.7 Vに達するまでの電圧の立ち上がり率が、0.5 V/ms (MIN.) よりも緩やかな場合は、電源投入時から2.7 Vに達するまで、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力するか、オプション・バイトでLVIをデフォルトでON (オプション・バイト : LVIOFF = 0) に設定してください。
3. 高速内蔵発振クロックの発振精度安定待ち時間は、内部の電圧安定待ちなどのリセット処理時間に含まれます。
4. 高速内蔵発振クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
5. CPUクロックを高速内蔵発振クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合はOSTCレジスタで、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから、切り替えてください。

注意1. 低電圧検出回路の設定は、リセット解除後にソフトウェアで設定してください(第22章 低電圧検出回路を参照)。

2. 一部の動作は $V_{DD} < 2.7$ Vの期間でも実行できます(詳細は、第29章 電気的特性 AC特性(1)基本動作の図を参照)。

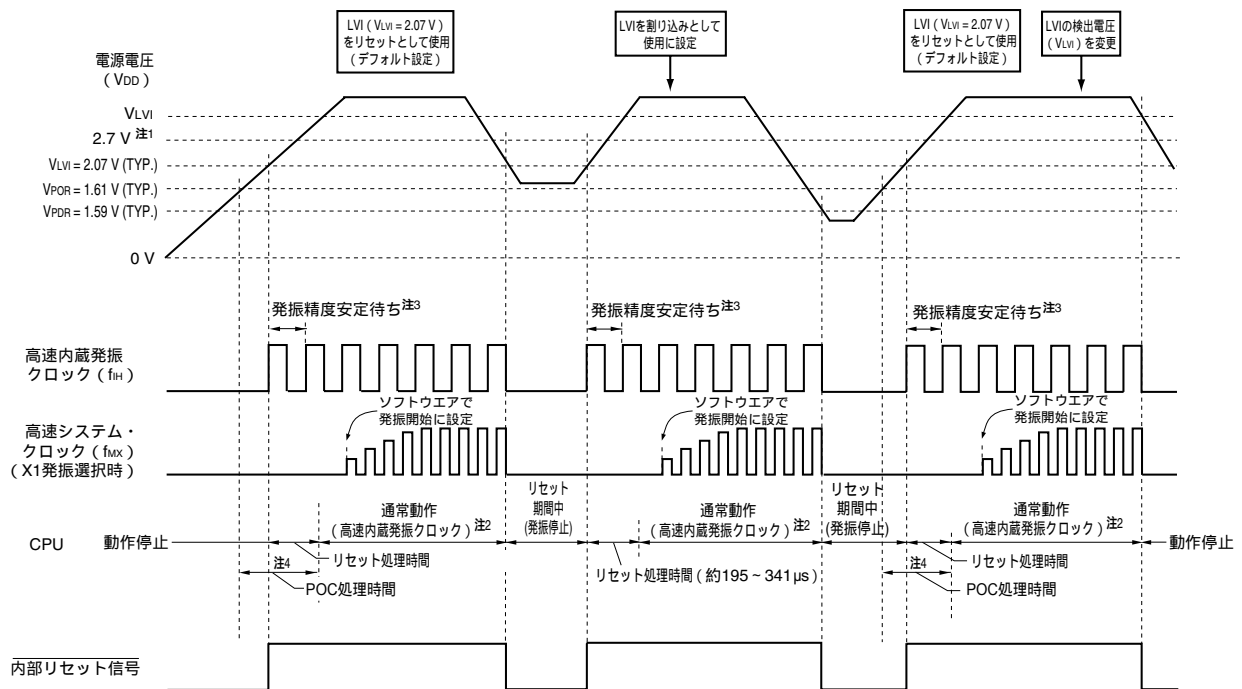
備考 V_{LVI} : LVI検出電圧

V_{POR} : POC電源立ち上がり検出電圧

V_{PDR} : POC電源立ち下がり検出電圧

図21 - 2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生のタイミング (2/2)

(2) 電源立ち上げ時のLVIがONの場合 (オプション・バイト : LVIOFF = 0)



注1. 動作保証範囲は、 $2.7\text{ V} < V_{DD} < 5.5\text{ V}$ です。必ず 2.7 V 以上になってから、通常動作を行ってください。電源立ち下がり時に 2.7 V 未満をリセット状態にしたい場合は、低電圧検出回路のリセット機能を使用、または $\overline{\text{RESET}}$ 端子にロウ・レベルを入力してください。

- CPUクロックを高速内蔵発振クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合はOSTCレジスタで、XT1クロックを使用する場合はタイム機能などを用いて、発振安定時間を確認してから、切り替えてください。
- 高速内蔵発振クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
- POC検出電圧 (1.61 V (TYP.)) に達してから、通常動作を開始するまでには、次に示す時間が必要となります。

・ $1.61\text{ V (TYP.)} < 2.07\text{ V (TYP.)}$ に到達する時間 $< 5.8\text{ ms}$ の場合

$1.61\text{ V (TYP.)} < 2.07\text{ V (TYP.)}$ 通常動作までに $2.12 \sim 5.84\text{ ms}$ のPOC処理時間がかかります。

・ $1.61\text{ V (TYP.)} < 2.07\text{ V (TYP.)}$ に到達する時間 $> 5.8\text{ ms}$ の場合

2.07 V (TYP.) 通常動作までに $195 \sim 341\ \mu\text{s}$ のリセット処理時間がかかります。

注意1. 低電圧検出回路をデフォルトの設定から変更する場合は、リセット解除後にソフトウェアで設定してください (第22章 低電圧検出回路を参照)。

- 一部の動作は $V_{DD} < 2.7\text{ V}$ の期間でも実行できます (詳細は、第29章 電気的特性 AC特性 (1) 基本動作の図を参照)。

備考 V_{LVI} : LVI検出電圧

V_{POR} : POC電源立ち上がり検出電圧

V_{PDR} : POC電源立ち下がり検出電圧

21.4 パワーオン・クリア回路の注意事項

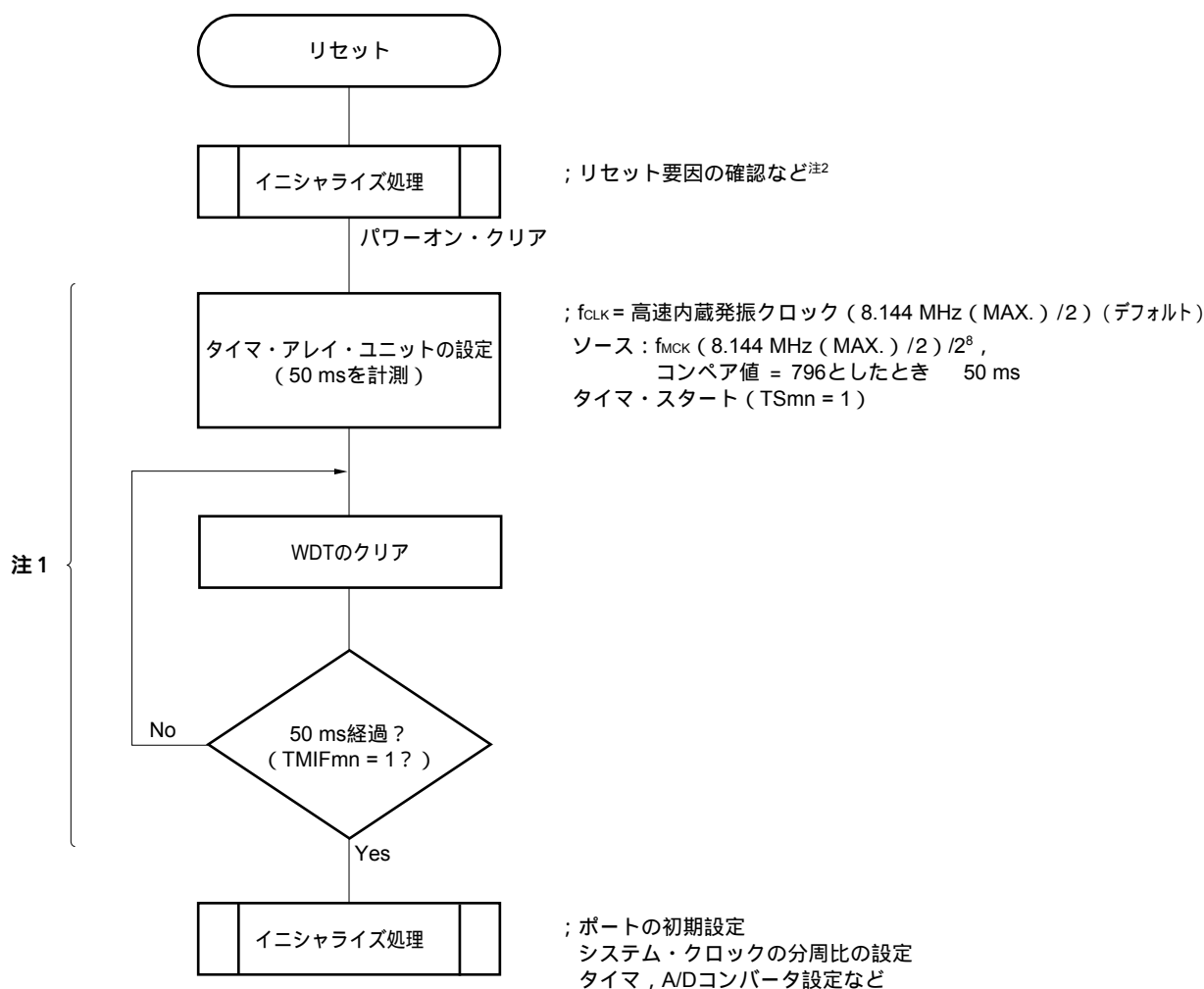
電源電圧 (V_{DD}) が POC 検出電圧 (V_{POR} , V_{PDR}) 付近で、ある期間ふらつくような構成のシステムでは、リセット状態 / リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

< 処 置 >

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

図21-3 リセット解除後のソフト処理例 (1/2)

・ POC 検出電圧付近での電源電圧変動が 50 ms 以下の場合



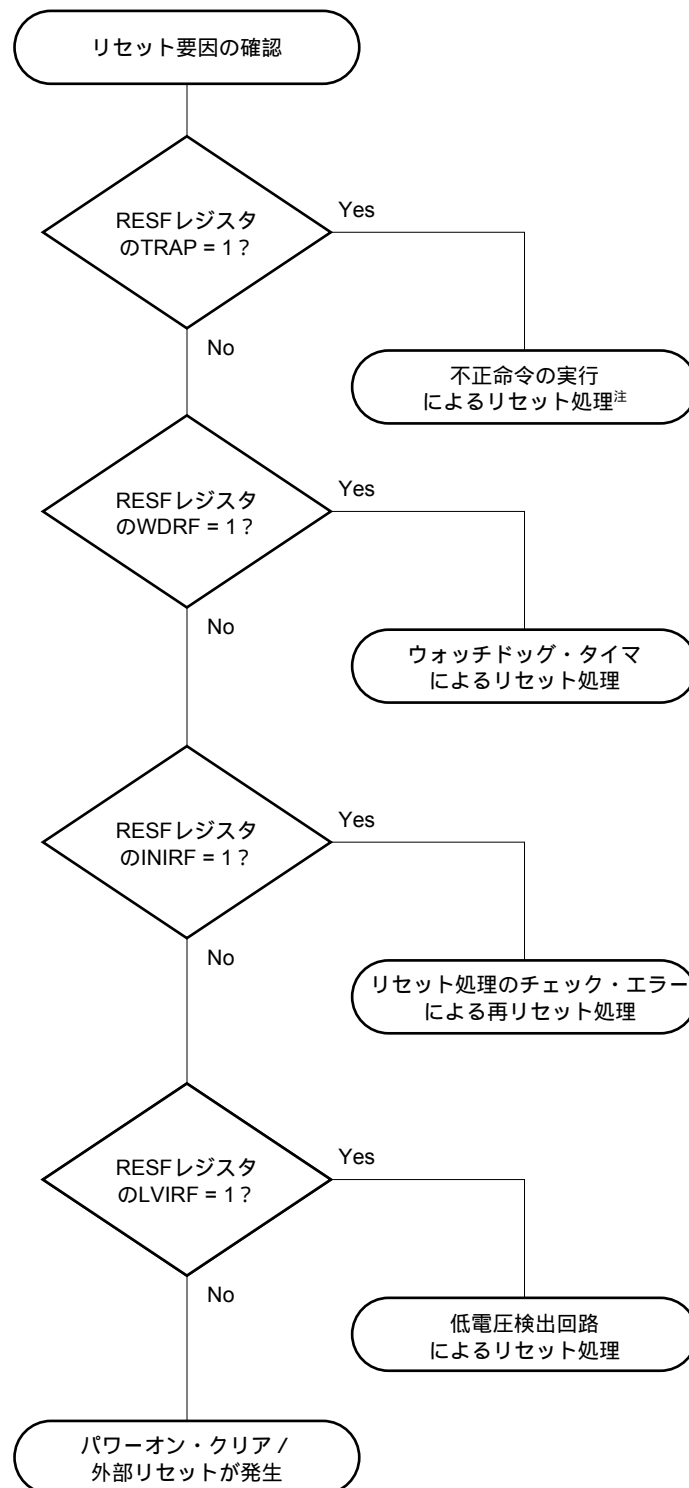
注1. この間に再度リセットが発生した場合、イニシャライズ処理 には移行しません。

2. 次ページにフロー・チャートを示します。

備考 n = 0-7

図21 - 3 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

第22章 低電圧検出回路

22.1 低電圧検出回路の機能

低電圧検出 (LVI) 回路は、次のような機能を持ちます。

- ・電源電圧 (V_{DD}) と検出電圧 (V_{LVI})、または外部入力端子からの入力電圧 ($EXLVI$) と検出電圧 ($V_{EXLVI} = 1.21 V \pm 0.1 V$) を比較し、内部リセットまたは内部割り込み信号を発生します。
- ・オプション・バイトにて、低電圧検出 (LVI) 回路をデフォルトでONに設定できます。ONに設定し、POC 検出電圧 ($V_{POR} = 1.61 V$ (TYP.)) 以下から電源を立ち上げた場合は、電源電圧 (V_{DD}) < 検出電圧 ($V_{LVI} = 2.07 V \pm 0.2 V$) のときに内部リセット信号を発生します。それ以降は、電源電圧 (V_{DD}) < 検出電圧 ($V_{LVI} = 2.07 V \pm 0.1 V$) のときに内部リセット信号を発生します。
- ・検出対象を電源電圧 (V_{DD}) にするか、外部入力端子からの入力電圧 ($EXLVI$) にするかを、ソフトウェアにて選択できます。
- ・検出後にリセットを発生するか、割り込みを発生するかを、ソフトウェアにて選択できます。
- ・電源電圧の検出電圧 (V_{LVI}) は、ソフトウェアにて検出レベルを10段階より選択できます。
- ・STOPモード時においても動作可能です。

リセットと割り込み信号は、ソフトウェアの選択により、次のように発生します。

電源電圧 (V_{DD}) のレベル検出を選択 (LVISEL = 0)		外部入力端子からの入力電圧 ($EXLVI$) のレベル検出を選択 (LVISEL = 1)	
リセット選択 (LVIMD = 1)	割り込み選択 (LVIMD = 0)	リセット選択 (LVIMD = 1)	割り込み選択 (LVIMD = 0)
$V_{DD} < V_{LVI}$ になったときに内部リセットを発生し、 $V_{DD} > V_{LVI}$ になったときに内部リセットを解除	電源電圧降下時に $V_{DD} < V_{LVI}$ になったとき、または電源電圧上昇時に $V_{DD} > V_{LVI}$ になったときに内部割り込み信号を発生	$EXLVI < V_{EXLVI}$ になったときに内部リセットを発生し、 $EXLVI > V_{EXLVI}$ になったときに内部リセットを解除	入力電圧降下時に $EXLVI < V_{EXLVI}$ になったとき、または入力電圧上昇時に $EXLVI > V_{EXLVI}$ になったときに内部割り込み信号を発生

備考 LVISEL : 低電圧検出レジスタ (LVIM) のビット2

LVIMD : LVIMのビット1

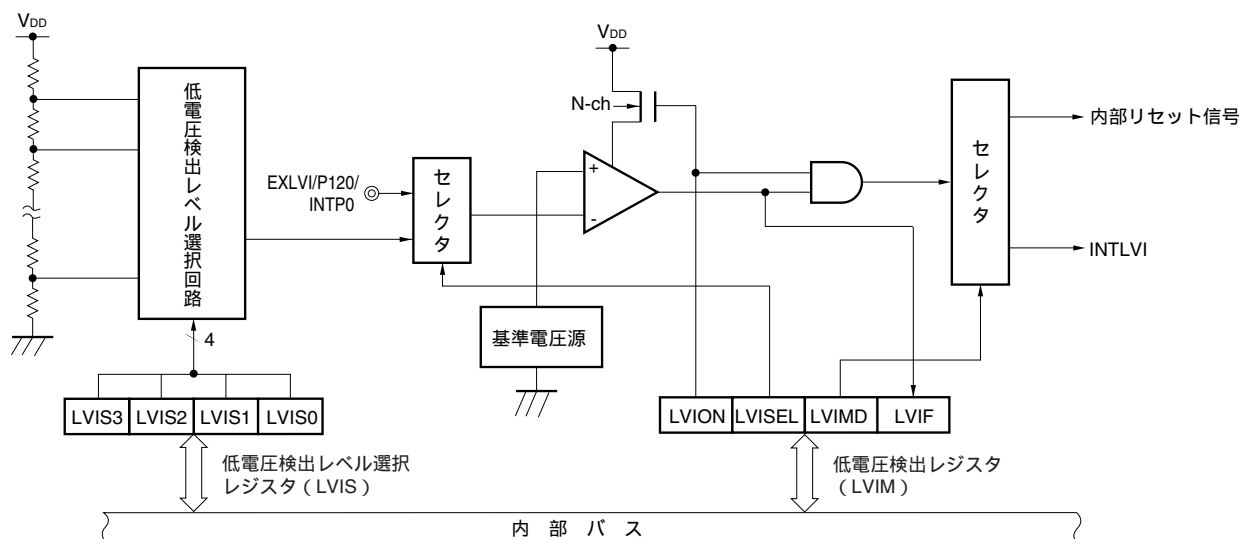
低電圧検出回路動作時では、低電圧検出フラグ (LVIF : LVIMのビット0) を読み出すことにより、電源電圧または外部入力端子からの入力電圧が、検出レベル以上か未満かを知ることができます。

低電圧検出回路をリセットとして使用した場合、リセットが発生するとリセット・コントロール・フラグ・レジスタ (RESF) のビット0 (LVIRF) がセット (1) されます。RESFについての詳細は、**第20章 リセット機能** を参照してください。

22.2 低電圧検出回路の構成

低電圧検出回路のブロック図を図22 - 1に示します。

図22 - 1 低電圧検出回路のブロック図



22.3 低電圧検出回路を制御するレジスタ

低電圧検出回路は次のレジスタで制御します。

- ・低電圧検出レジスタ (LVIM)
- ・低電圧検出レベル選択レジスタ (LVIS)
- ・ポート・モード・レジスタ12 (PM12)

(1) 低電圧検出レジスタ (LVIM)

低電圧検出，動作モードを設定するレジスタです。

LVIMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図22 - 2 低電圧検出レジスタ (LVIM) のフォーマット

アドレス : FFFA9H リセット時 : 00H^{注1} R/W^{注2}

略号	[7]	6	5	4	3	[2]	[1]	[0]
LVIM	LVION	0	0	0	0	LVISEL	LVIMD	LVIF

LVION ^{注3,4}	低電圧検出動作許可
0	動作禁止
1	動作許可

LVISEL ^{注3}	電圧検出の選択
0	電源電圧 (V _{DD}) のレベルを検出
1	外部入力端子からの入力電圧 (EXLVI) のレベルを検出

LVIMD ^{注3}	低電圧検出の動作モード (割り込み/リセット) 選択
0	<ul style="list-style-type: none"> LVISEL=0の場合, 電圧降下時に電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) になったとき, または, 電圧上昇時にV_{DD} > V_{LVI}になったとき内部割り込み信号を発生 LVISEL=1の場合, 電圧降下時に外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI}) になったとき, または電圧上昇時にEXLVI > V_{EXLVI}になったときに割り込み信号発生
1	<ul style="list-style-type: none"> LVISEL=0の場合, 電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) 時に内部リセット発生, V_{DD} > V_{LVI}時に内部リセット解除 LVISEL=1の場合, 外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI}) 時に内部リセット発生, EXLVI > V_{EXLVI}時に内部リセット解除

LVIF	低電圧検出フラグ
0	<ul style="list-style-type: none"> LVISEL=0の場合, 電源電圧 (V_{DD}) > 検出電圧 (V_{LVI}), またはLVI動作禁止時 LVISEL=1の場合, 外部入力端子からの入力電圧 (EXLVI) > 検出電圧 (V_{EXLVI}), またはLVI動作禁止時
1	<ul style="list-style-type: none"> LVISEL=0の場合, 電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) LVISEL=1の場合, 外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI})

注1. リセット値は, リセット要因およびオプション・バイトの設定により変化します。

LVIリセット時は, クリア (00H) されません。

LVI以外のリセット時は, オプション・バイトLVIOFF = 0のときには, “82H” になり, オプション・バイトLVIOFF = 1のときには, “00H” にリセットされます。

2. ビット0はRead Onlyです。

3. LVION, LVIMD, LVISELはLVIリセット以外のリセット時にクリア (0) されます。LVIリセットではクリア (0) されません。

4. LVIONをセット (1) すると, LVI回路内のコンパレータの動作を開始します。LVIONをセット (1) してからLVIFで電圧を確認するまでに, 次の時間をソフトウェアでウェイトしてください。

- 動作安定時間 (10 μ s (MAX.))
- 最小パルス幅 (200 μ s (MIN.))

この期間のLVIFの値は電圧レベルによらず, セット/クリアされる可能性があり使用できません。

また, この期間は割り込み要求フラグのLVIFフラグがセット (1) される可能性もあります。

(注意は, 次ページにあります)

- 注意1. LVIを停止する場合は、必ず1ビット・メモリ操作命令でLVIONをクリア(0)してください。
2. 外部入力端子からの入力電圧 (EXLVI) は、 $EXLVI < V_{DD}$ でなければなりません。
3. LVIを割り込みモード (LVIMD = 0) で使用し、LVISEL = 0の場合は電源電圧 (V_{DD}) 検出電圧 (V_{LVI}) 時 (LVISEL = 1の場合は外部入力端子の入力電圧 (EXLVI) 検出電圧 (V_{EXLVI})) にLVI動作禁止 (LVIONをクリア) とすると割り込み要求信号 (INTLVI) が発生しLVIIF = 1となる場合があります。
4. LVIMレジスタに書き込み後、読み出す際は1クロック以上の時間を確保してください。

(2) 低電圧検出レベル選択レジスタ (LVIS)

低電圧検出レベルを選択するレジスタです。

LVISは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、0EHになります。

図22 - 3 低電圧検出レベル選択レジスタ (LVIS) のフォーマット

アドレス : FFFAAH リセット時 : 0EH R/W

略号	7	6	5	4	3	2	1	0
LVIS	0	0	0	0	LVIS3	LVIS2	LVIS1	LVIS0

LVIS3	LVIS2	LVIS1	LVIS0	検出レベル
0	0	0	0	V_{LV10} (4.22 ± 0.1 V) 注
0	0	0	1	V_{LV11} (4.07 ± 0.1 V) 注
0	0	1	0	V_{LV12} (3.92 ± 0.1 V) 注
0	0	1	1	V_{LV13} (3.76 ± 0.1 V) 注
0	1	0	0	V_{LV14} (3.61 ± 0.1 V) 注
0	1	0	1	V_{LV15} (3.45 ± 0.1 V) 注
0	1	1	0	V_{LV16} (3.30 ± 0.1 V) 注
0	1	1	1	V_{LV17} (3.15 ± 0.1 V) 注
1	0	0	0	V_{LV18} (2.99 ± 0.1 V) 注
1	0	0	1	V_{LV19} (2.84 ± 0.1 V) 注
上記以外				設定禁止

注 リセット値は、リセット要因により変化します。

LVIによるリセットのときには、LVISレジスタの値はリセットされず、そのままの値を保持します。その他のリセットでは、“0EH” にリセットされます。

注意1. ビット7-4には必ず“0”を設定してください。

注意2. LVISの値を変更する場合は、次のいずれかの方法で行ってください。

・LVIを停止させて変更する場合

LVIを停止する (LVION = 0)。

LVISレジスタを変更する。

割り込みとして使用 (LVIMD = 0) モードにする。

LVISの割り込みをマスクする (LVIMK = 1)。

LVIを動作許可する (LVION = 1)。

LVISの割り込みマスクを解除する (LVIMK = 0) 場合は、LVI動作許可時にLVIIIFフラグがセットされることがあるので、ソフトウェアでクリアしてから行う。

・割り込みとして使用 (LVIMD = 0) モードに設定して変更する場合

LVISの割り込みをマスクする (LVIMK = 1)。

割り込みとして使用 (LVIMD = 0) モードにする

LVISレジスタを変更する。

LVISの割り込みマスクを解除する (LVIMK = 0) 場合は、LVISレジスタ変更時にLVIIIFフラグがセットされることがあるので、ソフトウェアでクリアしてから行う。

3. 外部入力端子からの入力電圧 (EXLVI) を検出する場合、検出電圧 (V_{EXLVI}) は固定です。したがって、LVISの設定は不要です。
4. LVIMレジスタに書き込み後、読み出す際は1クロック以上の時間を確保してください。

(3) ポート・モード・レジスタ12 (PM12)

P120/EXLVI/INTP0端子を外部低電圧検出用電位入力として使用するとき、PM120に1を設定してください。このときP120の出力ラッチは、0または1のどちらでもかまいません。

PM12は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図22 - 4 ポート・モード・レジスタ12 (PM12) のフォーマット

アドレス : FFF2CH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM12	1	1	1	1	1	1	1	PM120

PM120	P120端子の入出力モードの選択
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

22.4 低電圧検出回路の動作

低電圧検出回路は、次の2種類の動作モードがあります。

(1) リセットとして使用 (LVIMD = 1)

- ・ LVISEL = 0 の場合、電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、 $V_{DD} < V_{LVI}$ のとき内部リセットを発生し、 $V_{DD} > V_{LVI}$ のとき内部リセットを解除します。
- ・ LVISEL = 1 の場合、外部入力端子からの入力電圧 ($EXLVI$) と検出電圧 ($V_{EXLVI} = 1.21 \text{ V} \pm 0.1 \text{ V}$) を比較し、 $EXLVI < V_{EXLVI}$ のとき内部リセットを発生し、 $EXLVI > V_{EXLVI}$ のとき内部リセットを解除します。

備考 オプション・バイトにて、低電圧検出 (LVI) 回路をデフォルトでONに設定できます。

ONに設定し、POC検出電圧 ($V_{POR} = 1.61 \text{ V (TYP.)}$) 以下から電源を立ち上げた場合は、電源電圧 (V_{DD}) < 検出電圧 ($V_{LVI} = 2.07 \text{ V} \pm 0.2 \text{ V}$) のときに内部リセット信号を発生します。それ以降は、電源電圧 (V_{DD}) < 検出電圧 ($V_{LVI} = 2.07 \text{ V} \pm 0.1 \text{ V}$) のときに内部リセット信号を発生しません。

(2) 割り込みとして使用 (LVIMD = 0)

- ・ LVISEL = 0 の場合、電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、電圧降下時に $V_{DD} < V_{LVI}$ になったとき、または電圧上昇時に $V_{DD} > V_{LVI}$ になったとき、割り込み信号 (INTLVI) を発生します。
- ・ LVISEL = 1 の場合、外部入力端子からの入力電圧 ($EXLVI$) と検出電圧 ($V_{EXLVI} = 1.21 \text{ V} \pm 0.1 \text{ V}$) を比較し、電圧降下時に $EXLVI < V_{EXLVI}$ になったとき、または電圧上昇時に $EXLVI > V_{EXLVI}$ になったとき、割り込み信号 (INTLVI) を発生します。

低電圧検出回路動作時では、低電圧検出フラグ (LVIF: LVIMのビット0) を読み出すことにより、電源電圧または外部入力端子からの入力電圧が、検出レベル以上か未満かを知ることができます。

備考 LVIMD: 低電圧検出レジスタ (LVIM) のビット1
LVISEL: LVIMのビット2

22.4.1 リセットとして使用時の設定

(1) 電源電圧 (V_{DD}) のレベルを検出する場合

(a) LVIデフォルト・スタート機能停止に設定時 (LVIOFF = 1)

動作開始時

LVIの割り込みをマスクする (LVIMK = 1)

低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に "0" (電源電圧 (V_{DD}) のレベルを検出) を設定する (デフォルト値)

低電圧検出レベル選択レジスタ (LVIS) のビット3-0 (LVIS3-LVIS0) で検出電圧を設定する
LVIMのビット7 (LVION) に "1" (LVI動作許可) を設定する

ソフトウェアで次に示す時間（合計 $210\ \mu\text{s}$ ）をウエイトする。

- ・動作安定時間（ $10\ \mu\text{s}$ （MAX.））
- ・最小パルス幅（ $200\ \mu\text{s}$ （MIN.））

「電源電圧（ V_{DD} ） 検出電圧（ V_{LVI} ）」であることを、LVIMのビット0（LVIF）で確認するまで待つ

LVIMのビット1（LVIMD）に“1”（レベル検出時リセット発生）を設定する

図22 - 5に、 ~ と対応した低電圧検出回路の内部リセット信号発生タイミングを示します。

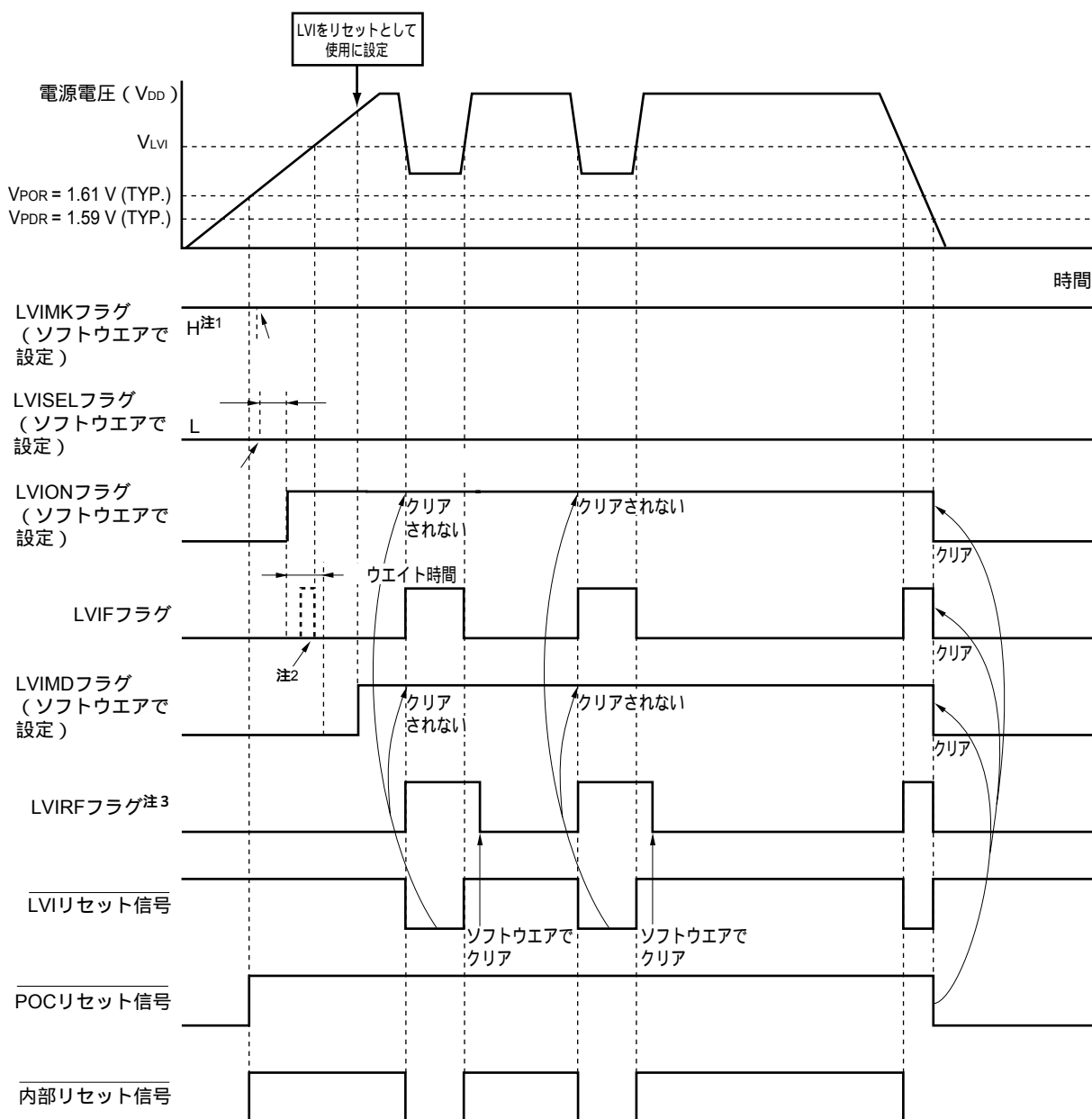
注意1. は必ず行ってください。LVIMK = 0になっている場合、 の処理を行った時点で割り込みが発生する場合があります。

2. LVIMD = 1とした時点で、「電源電圧（ V_{DD} ） 検出電圧（ V_{LVI} ）」であれば内部リセット信号は発生しません。

動作停止時

必ず1ビット・メモリ操作命令でLVIMDをクリア（0） LVIONをクリア（0）を実行してください。

図22 - 5 内部リセット信号発生タイミング (ビット : LVISEL = 0 , オプション・バイト : LVIOFF = 1)



注1 . LVIMKフラグはリセット信号の発生により, “1” になっています。

2 . LVIFフラグと割り込み要求フラグ・レジスタのLVIFフラグが, セット (1) される可能性があります。

3 . LVIRFはリセット・コントロール・フラグ・レジスタ (RESF) のビット0です。RESFについての詳細は, 第20章 リセット機能を参照してください。

備考1. 図22 - 5の ~ は, 22. 4. 1 (1) (a) LVIデフォルト・スタート機能停止に設定時 (LVIOFF = 1) 動作開始時の ~ と対応しています。

2. V_{POR} : POC電源立ち上がり検出電圧

V_{PDR} : POC電源立ち下がり検出電圧

(b) LVIデフォルト・スタート機能動作に設定時 (LVIOFF = 0)

動作開始時

次の初期設定の状態です。

- ・ LVIMのビット7 (LVION) は “ 1 ” (LVI動作許可)
- ・ 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) は “ 0 ” (電源電圧 (V_{DD}) のレベルを検出)
- ・ 低電圧検出レベル選択レジスタ (LVIS) は 0EH (デフォルト値 : V_{LVI} = 2.07 ± 0.1 V)
- ・ LVIMのビット1 (LVIMD) は “ 1 ” (レベル検出時リセット発生)
- ・ LVIMのビット0 (LVIF) は “ 0 ” (「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」)

図22 - 6に、低電圧検出回路の内部リセット信号発生のタイミングを示します。

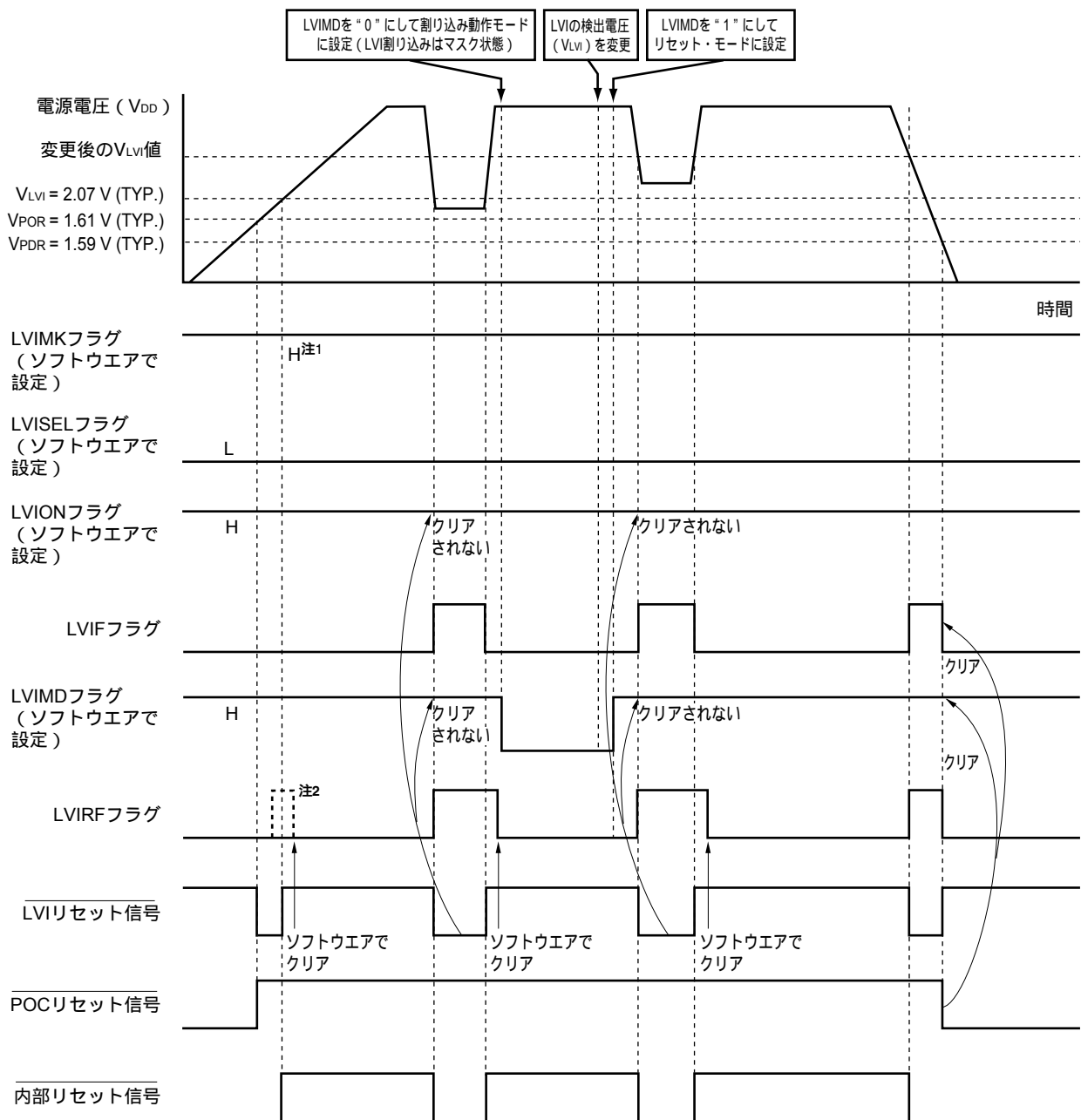
動作停止時

必ず1ビット・メモリ操作命令でLVIMDをクリア (0) LVIONをクリア (0) を実行してください。

注意 LVIデフォルト・スタート機能使用時でも、ソフトウェアでLVI動作禁止 (LVIMレジスタのビット7 (LVION) = 0) に設定した場合には、次の動作となります。

- ・ LVION = 0の期間は低電圧検出しない。
- ・ LVION = 0の期間にリセットが発生した場合、リセット解除後にCPUがスタートするとLVION = 1に再設定されます。しかし、WDTによるリセットと不正命令の実行によるリセットが発生した場合は、正常に低電圧検出できない期間があります。
これはLVIが検出するパルス幅が最大200 μs必要なのに対し、リセット発生によってLVION = 1に設定されて、LVIの動作安定を待たずにCPUが動作を開始するためです。

図22 - 6 内部リセット信号発生タイミング (ビット : LVISEL = 0 , オプション・バイト : LVIOFF = 0)



注1. LVIMKフラグはリセット信号の発生により、“1”になっています。

2. LVIRFはリセット・コントロール・フラグ・レジスタ (RESF) のビット0です。

LVIデフォルト・スタート機能使用時 (000C1Hのビット0 (LVIOFF) = 0) は、電源立ち上がり波形により、LVIRFフラグが最初から1になることがあります。

RESFについての詳細は、第20章 リセット機能を参照してください。

備考 V_{POR} : POC電源立ち上がり検出電圧

V_{PDR} : POC電源立ち下がり検出電圧

(2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合

動作開始時

LVIの割り込みをマスクする (LVIMK = 1)

低電圧検出レジスタ(LVIM)のビット2(LVISEL)に“1”(外部入力端子からの入力電圧(EXLVI)のレベルを検出)を設定する

LVIMのビット7(LVION)に“1”(LVI動作許可)を設定する

ソフトウェアで次に示す時間(合計210 μ s)をウェイトする。

- ・動作安定時間(10 μ s (MAX.))
- ・最小パルス幅(200 μ s (MIN.))

「外部入力端子からの入力電圧(EXLVI) 検出電圧($V_{EXLVI} = 1.21$ V (TYP.))」であることを、LVIMのビット0(LVIF)で確認するまで待つ

LVIMのビット1(LVIMD)に“1”(レベル検出時にリセット発生)を設定する

図22 - 7に、 ~ と対応した低電圧検出回路の内部リセット信号発生タイミングを示します。

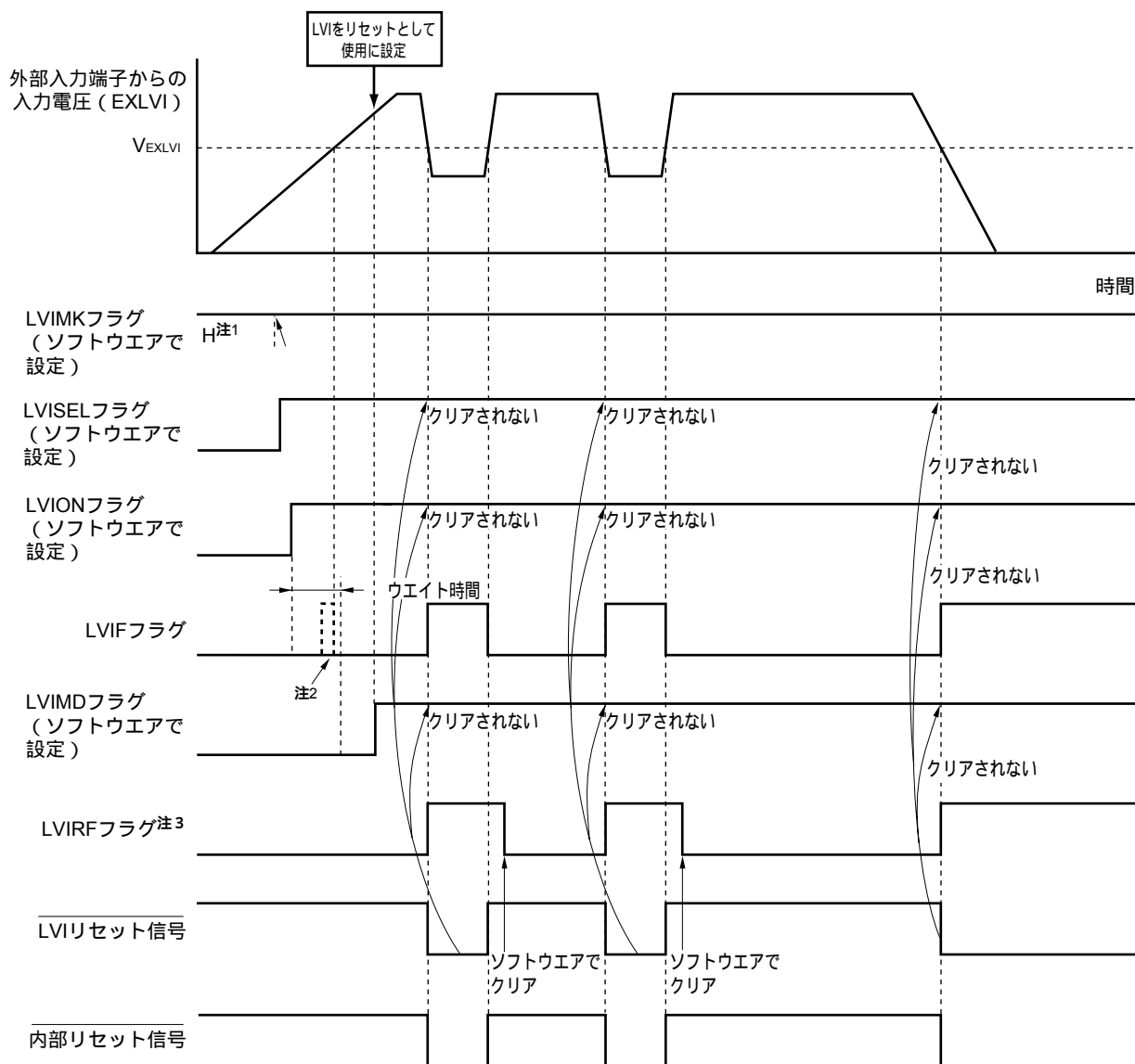
注意1. は必ず行ってください。LVIMK = 0になっている場合、 の処理を行った時点で割り込みが発生する場合があります。

2. LVIMD = 1とした時点で、「外部入力端子からの入力電圧(EXLVI) 検出電圧($V_{EXLVI} = 1.21$ V (TYP.))」であれば内部リセット信号は発生しません。
3. 外部入力端子からの入力電圧(EXLVI)は、 $EXLVI < V_{DD}$ でなければなりません。

動作停止時

必ず1ビット・メモリ操作命令でLVIMDをクリア(0) LVIONをクリア(0)を実行してください。

図22 - 7 内部リセット信号発生タイミング (ビット : LVISEL = 1)



注1 . LVIMKフラグはリセット信号の発生により，“1”になっています。

- 2 . LVIFフラグと割り込み要求フラグ・レジスタのLVIFフラグが、セット(1)される可能性があります。
- 3 . LVIRFはリセット・コントロール・フラグ・レジスタ (RESF) のビット0です。RESFについての詳細は、第20章 リセット機能を参照してください。

備考 図22 - 7の ~ は、22.4.1(2)外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合 動作開始時の ~ と対応しています。

22.4.2 割り込みとして使用時の設定

(1) 電源電圧 (V_{DD}) のレベルを検出する場合

(a) LVIデフォルト・スタート機能停止に設定時 ($LVIOFF = 1$)

動作開始時

LVIの割り込みをマスクする ($LVIMK = 1$)

低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に “0” (電源電圧 (V_{DD}) のレベルを検出) を設定する (デフォルト値)

LVIMのビット1 (LVIMD) に “0” (レベル検出時に割り込み信号発生) を設定する (デフォルト値)

低電圧検出レベル選択レジスタ (LVIS) のビット3-0 (LVIS3-LVIS0) で検出電圧を設定する

LVIMのビット7 (LVION) に “1” (LVI動作許可) を設定する

ソフトウェアで次に示す時間 (合計210 μs) をウェイトする。

- ・動作安定時間 (10 μs (MAX.))

- ・最小パルス幅 (200 μs (MIN.))

立ち下がりを検出する場合は「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」を, 立ち上がりを検出する場合は「電源電圧 (V_{DD}) < 検出電圧 (V_{LVI})」を, LVIMのビット0 (LVIF) で確認する

LVIの割り込み要求フラグ (LVIIF) をクリア (0) する

LVIの割り込みマスク・フラグ (LVIMK) を解除する

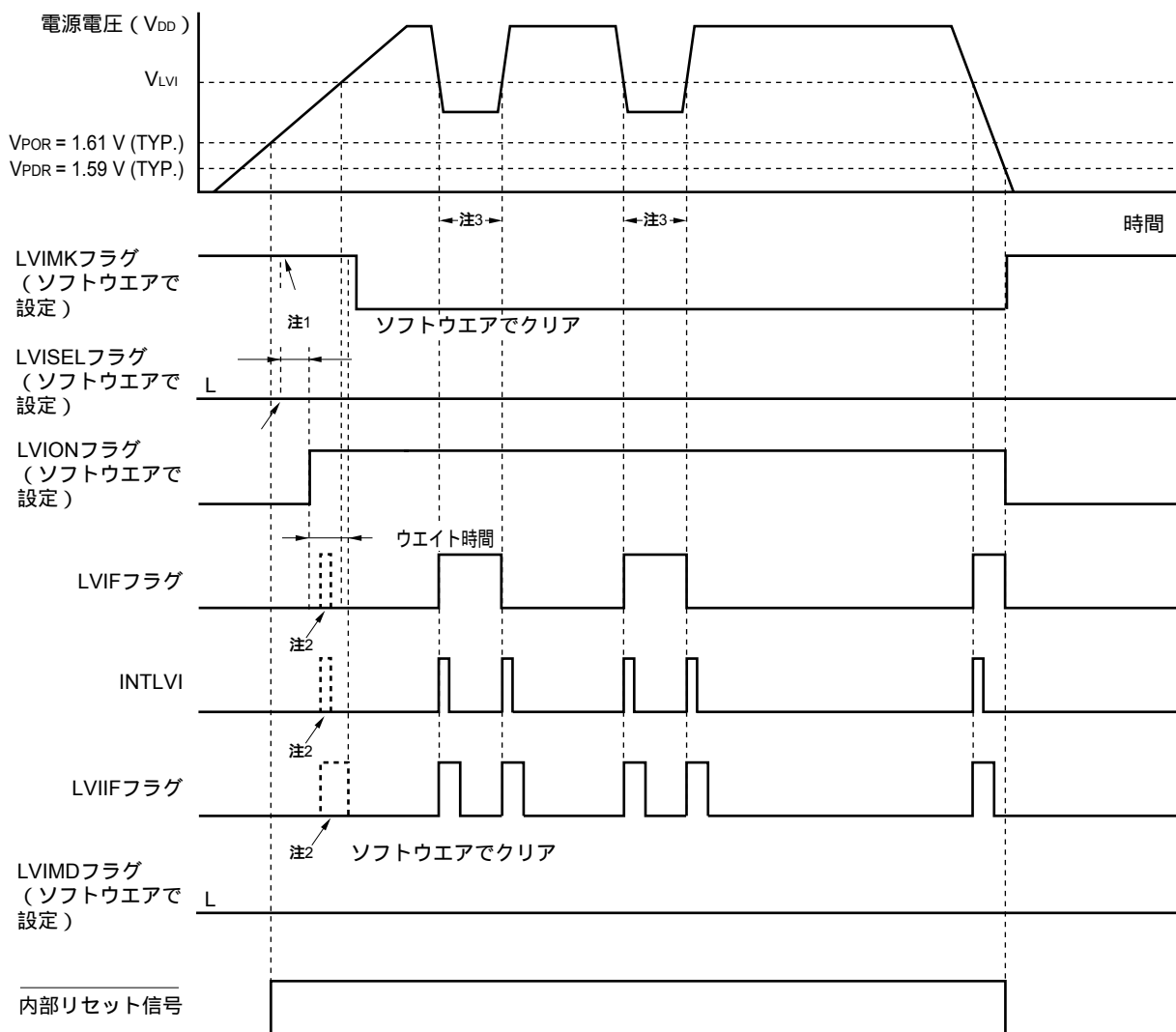
(ベクタ割り込みを使用する場合) EI命令を実行する

図22 - 8に, ~ と対応した低電圧検出回路の割り込み信号発生のタイミングを示します。

動作停止時

必ず1ビット・メモリ操作命令でLVIONをクリア (0) してください。

図22 - 8 割り込み信号発生タイミング (ビット : LVISEL = 0, オプション・バイト : LVIOFF = 1)



- 注1. LVIMKフラグはリセット信号の発生により、“1”になっています。
2. 割り込み要求信号 (INTLVI) が発生し, LVIFフラグ, LVIIIFフラグがセット (1) される可能性があります。
3. 電源電圧 (V_{DD}) 検出電圧 (V_{LVI}) の時にLVI動作禁止 (LVIONをクリア) とすると, 割り込み要求信号 (INTLVI) が発生しLVIIIF = 1となることがあります。

備考1. 図22 - 8の ~ は, 22.4.2(1)(a)LVIデフォルト・スタート機能停止に設定時 (LVIOFF = 1) 動作開始時の ~ と対応しています。

2. V_{POR} : POC電源立ち上がり検出電圧
 V_{PDR} : POC電源立ち下がり検出電圧

(b) LVIデフォルト・スタート機能動作に設定時 (LVIOFF = 0)

動作開始時

次の初期設定の状態です。

- ・ LVIMのビット7 (LVION) は “ 1 ” (LVI動作許可)
- ・ 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) は “ 0 ” (電源電圧 (V_{DD}) のレベルを検出)
- ・ 低電圧検出レベル選択レジスタ (LVIS) は 0EH (デフォルト値: V_{LVI} = 2.07 ± 0.1 V)
- ・ LVIMのビット1 (LVIMD) は “ 1 ” (レベル検出時リセット発生)
- ・ LVIMのビット0 (LVIF) は “ 0 ” (「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」状態からの立ち下がりを検出する)

LVIMのビット1 (LVIMD) に “ 0 ” (レベル検出時に割り込み発生) を設定する

LVIの割り込みマスク・フラグ (LVIMK) を解除する

(ベクタ割り込みを使用する場合) EI命令を実行する

図22 - 9に、 ~ と対応した低電圧検出回路の割り込み信号発生のタイミングを示します。

動作停止時

必ず1ビット・メモリ操作命令でLVIONをクリア (0) してください。

注意1. LVIデフォルト・スタート機能使用時でも、ソフトウェアでLVI動作禁止 (LVIMレジスタのビット7 (LVION) = 0) に設定した場合には、次の動作となります。

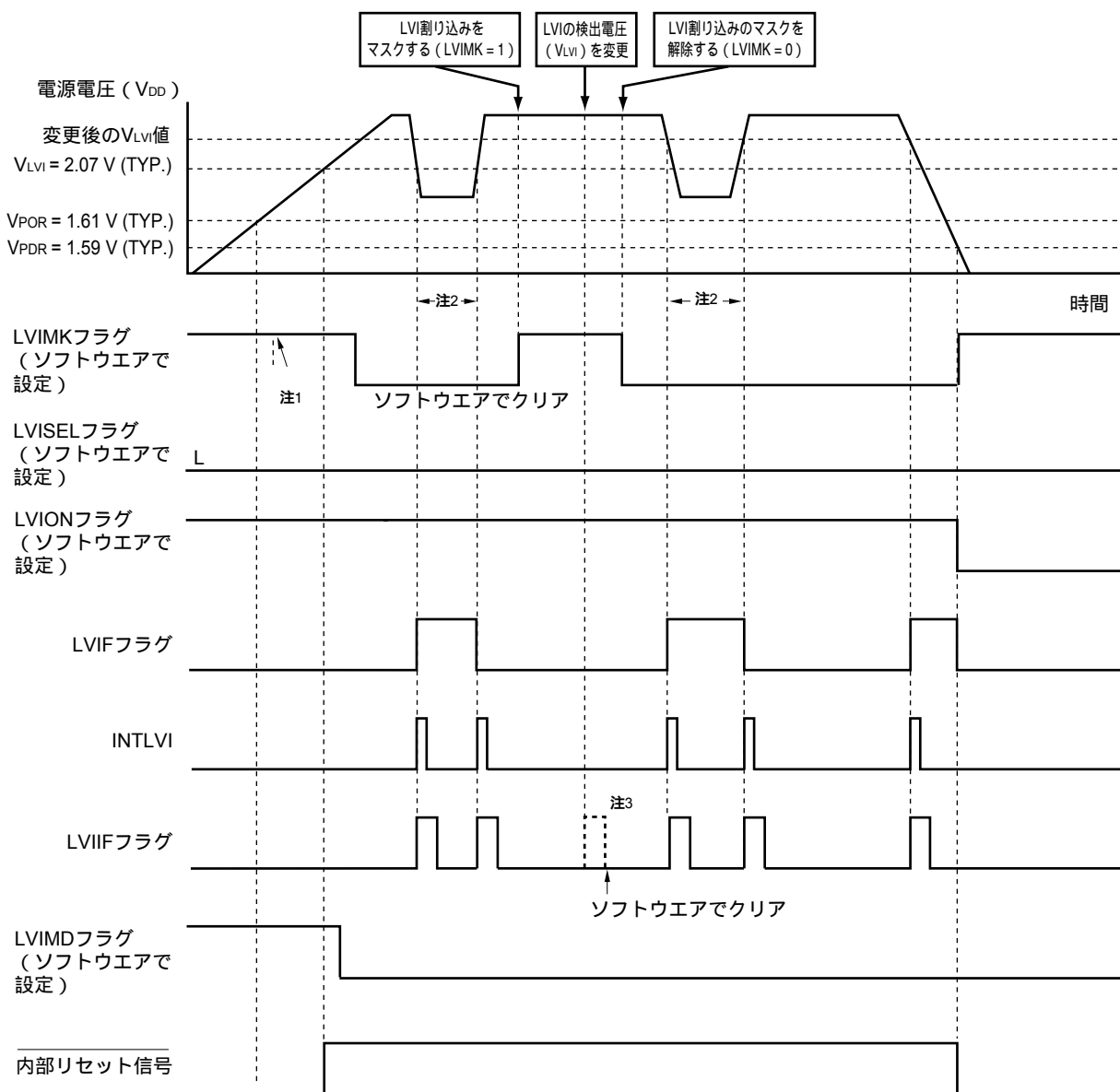
- ・ LVION = 0の期間は低電圧検出しない。
- ・ LVION = 0の期間にリセットが発生した場合、リセット解除後にCPUがスタートするとLVION = 1に再設定されます。しかし、WDTによるリセットと不正命令の実行によるリセットが発生した場合は、正常に低電圧検出できない期間があります。

これはLVIが検出するパルス幅が最大200 μs必要なのに対し、リセット発生によってLVION = 1に設定されて、LVIの動作安定を待たずにCPUが動作を開始するためです。

2. LVIデフォルト・スタート機能使用時 (000C1Hのビット0 (LVIOFF) = 0) は、電源立ち上がり波形により、LVIRFフラグが最初から1になることがあります。

RESFについての詳細は、第20章 リセット機能を参照してください。

図22 - 9 割り込み信号発生タイミング (ビット: LVISEL = 0, オプション・バイト: LVIOFF = 0)



注1. LVIMKフラグはリセット信号の発生により, “1” になっています。

- 電源電圧 (V_{DD}) 検出電圧 (V_{LVI}) の時にLVI動作禁止 (LVIONをクリア) とすると, 割り込み要求信号 (INTLVI) が発生しLVIIIF = 1となることがあります。
- LVIの検出電圧変更時にLVIIIFフラグがセットされることがあります。

備考1. 図22 - 9の ~ は, 22. 4. 2 (1) (b) LVIデフォルト・スタート機能動作に設定時 (LVIOFF = 0) 動作開始時の ~ と対応しています。

- V_{POR} : POC電源立ち上がり検出電圧
 V_{PDR} : POC電源立ち下がり検出電圧

(2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合

動作開始時

LVIの割り込みをマスクする (LVIMK = 1)

低電圧検出レジスタ(LVIM)のビット2(LVISEL)に“1”(外部入力端子からの入力電圧(EXLVI)のレベルを検出)を設定する

LVIMのビット1(LVIMD)に“0”(レベル検出時に割り込み信号発生)を設定する(デフォルト値)

LVIMのビット7(LVION)に“1”(LVI動作許可)を設定する

ソフトウェアで次に示す時間(合計210 μ s)をウエイトする。

- ・動作安定時間(10 μ s (MAX.))
- ・最小パルス幅(200 μ s (MIN.))

立ち下がりを検出する場合は「外部入力端子からの入力電圧(EXLVI) 検出電圧($V_{EXLVI} = 1.21$ V (TYP.))」を, 立ち上がりを検出する場合は「外部入力端子からの入力電圧(EXLVI) < 検出電圧($V_{EXLVI} = 1.21$ V (TYP.))」を, LVIMのビット0(LVIF)で確認する

LVIの割り込み要求フラグ(LVIIF)をクリア(0)する

LVIの割り込みマスク・フラグ(LVIMK)を解除する

(ベクタ割り込みを使用する場合)EI命令を実行する

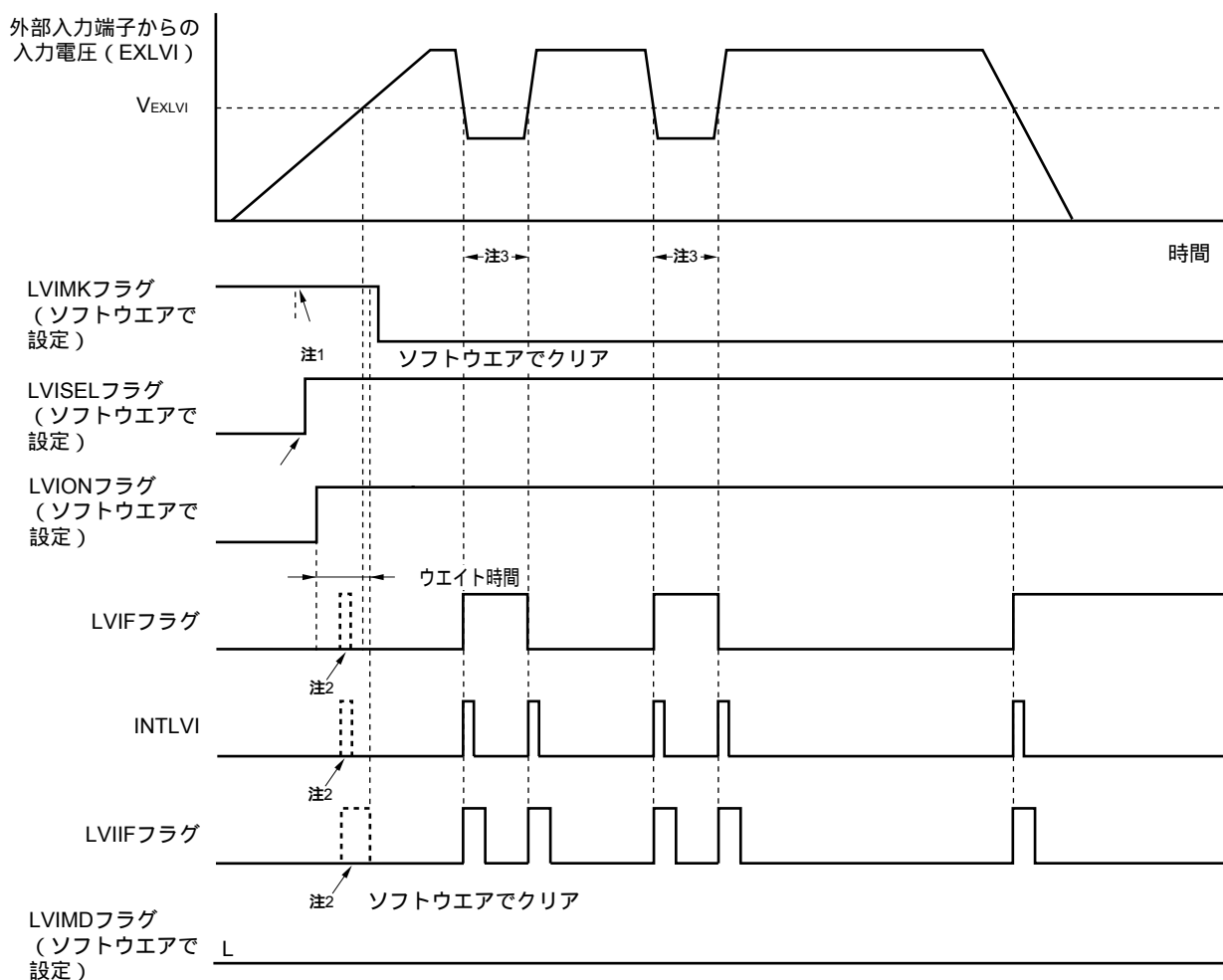
図22 - 10に, ~ と対応した低電圧検出回路の割り込み信号発生のタイミングを示します。

注意 外部入力端子からの入力電圧 (EXLVI) は, $EXLVI < V_{DD}$ でなければなりません。

動作停止時

必ず1ビット・メモリ操作命令でLVIONをクリア(0)してください。

図22 - 10 割り込み信号発生タイミング (ビット : LVISEL = 1)



- 注1 . LVIMKフラグはリセット信号の発生により, “1” になっています。
- 2 . 割り込み要求信号 (INTLVI) が発生し, LVIFフラグ, LVIIIFフラグがセット (1) される可能性があります。
- 3 . 外部入力端子の入力電圧 (EXLVI) 検出電圧 (V_{EXLVI}) の時にLVI動作禁止 (LVIONをクリア) とすると, 割り込み要求信号 (INTLVI) が発生しLVIIIF = 1となることがあります。

備考 図22 - 10の ~ は, 22. 4. 2 (2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合 動作開始時の ~ と対応しています。

22.5 低電圧検出回路の注意事項

(1) 電源電圧 (V_{DD}) が LVI 検出電圧 (V_{LVI}) 付近で頻繁に変動をする場合の処置方法

電源電圧 (V_{DD}) が LVI 検出電圧 (V_{LVI}) 付近で、ある期間ふらつくような構成のシステムでは、低電圧検出回路の使用方法により、次のような動作となります。

動作例1 : リセットとして使用する場合

リセット状態 / リセット解除状態を繰り返すことがあります。

次の処置を行うことにより、リセット解除からマイコン動作開始までの時間を任意に設定できます。

< 処 置 >

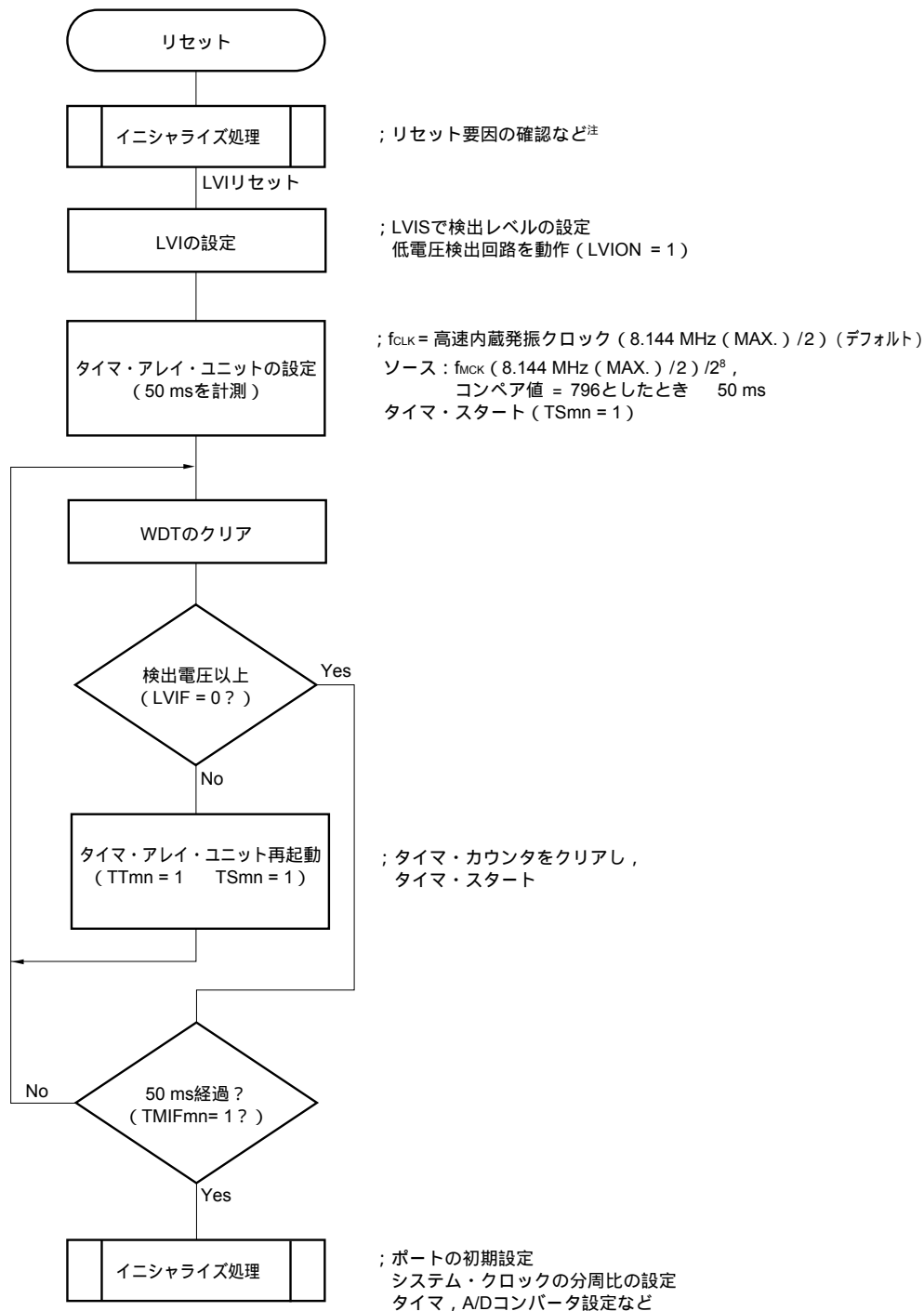
リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください (図22 - 11を参照)。

備考 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に “1” を設定した場合は、上記の語句を次のように読み替えてください。

- ・電源電圧 (V_{DD}) 外部入力端子からの入力電圧 ($EXLVI$)
- ・検出電圧 (V_{LVI}) 検出電圧 ($V_{EXLVI} = 1.21 V$)

図22 - 11 リセット解除後のソフト処理例 (1/2)

・ LVI検出電圧付近での電源電圧変動が50 ms以下の場合



注 次ページにフロー・チャートを示します。

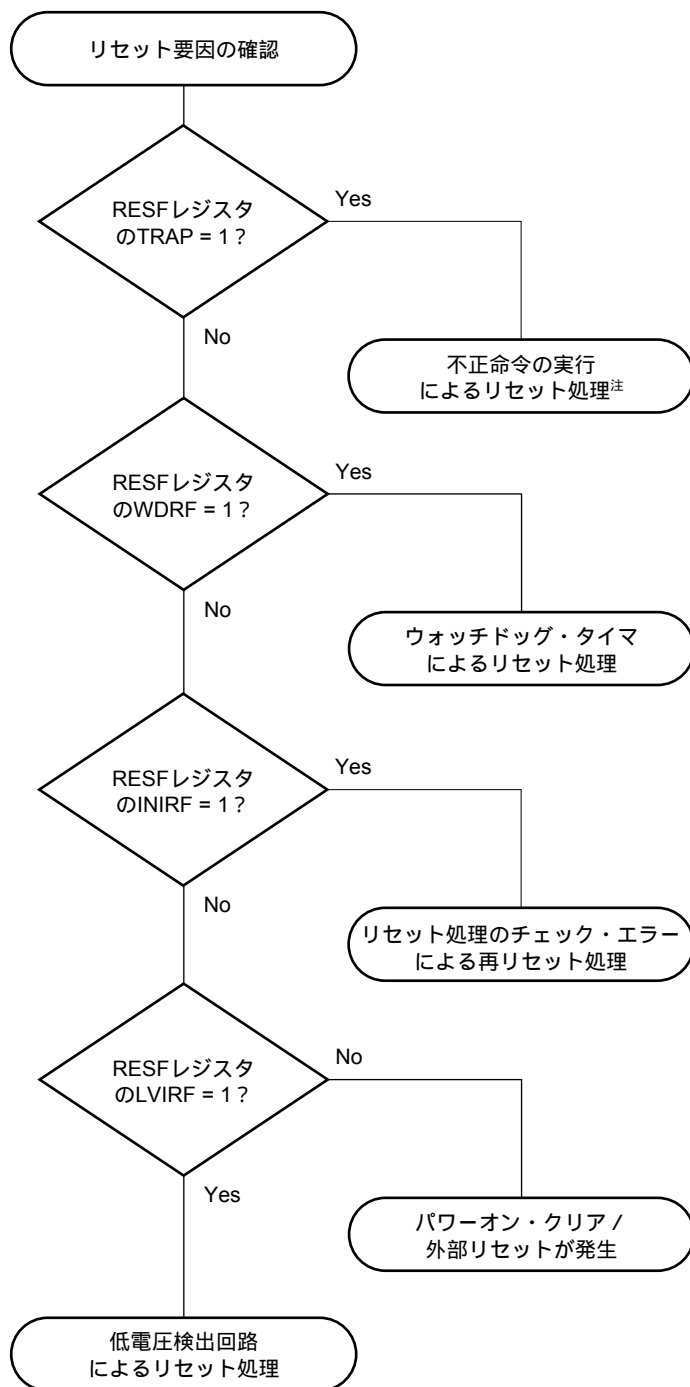
備考1. 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に “1” を設定した場合は, 上記の語句を次のように読み替えてください。

- ・ 電源電圧 (V_{DD}) 外部入力端子からの入力電圧 (EXLVI)
- ・ 検出電圧 (V_{LVI}) 検出電圧 ($V_{EXLVI} = 1.21 V$)

2. $m = 0, 1, n = 0-7, mn = 00-07, 10-12$

図22 - 11 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

備考 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に “1” を設定した場合は、上記の語句を次のように読み替えてください。

- ・電源電圧 (V_{DD}) 外部入力端子からの入力電圧 (EXLVI)
- ・検出電圧 (V_{LVI}) 検出電圧 (V_{EXLVI} = 1.21 V)

動作例2 : 割り込みとして使用する場合

割り込み要求が頻繁に発生することがあります。

次の処置を行うようにしてください。

< 処 置 >

LVI割り込みの処理ルーチン内で、低電圧検出レジスタ (LVIM) のビット0 (LVIF) にて、立ち下がりを検出する場合は“電源電圧 (V_{DD}) 検出電圧 (V_{LVI})”を、立ち上がりを検出する場合は“電源電圧 (V_{DD}) < 検出電圧 (V_{LVI})”を確認し、割り込み要求フラグ・レジスタ0L (IF0L) のビット1 (LVIIF) をクリア (0) してください。

また、LVI検出電圧付近での電源電圧変動期間が長いシステムの場合は、電源電圧変動期間をウェイトしたあとにこれらの処置を行ってください。

備考 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に“1”を設定した場合は、上記の語句を次のように読み替えてください。

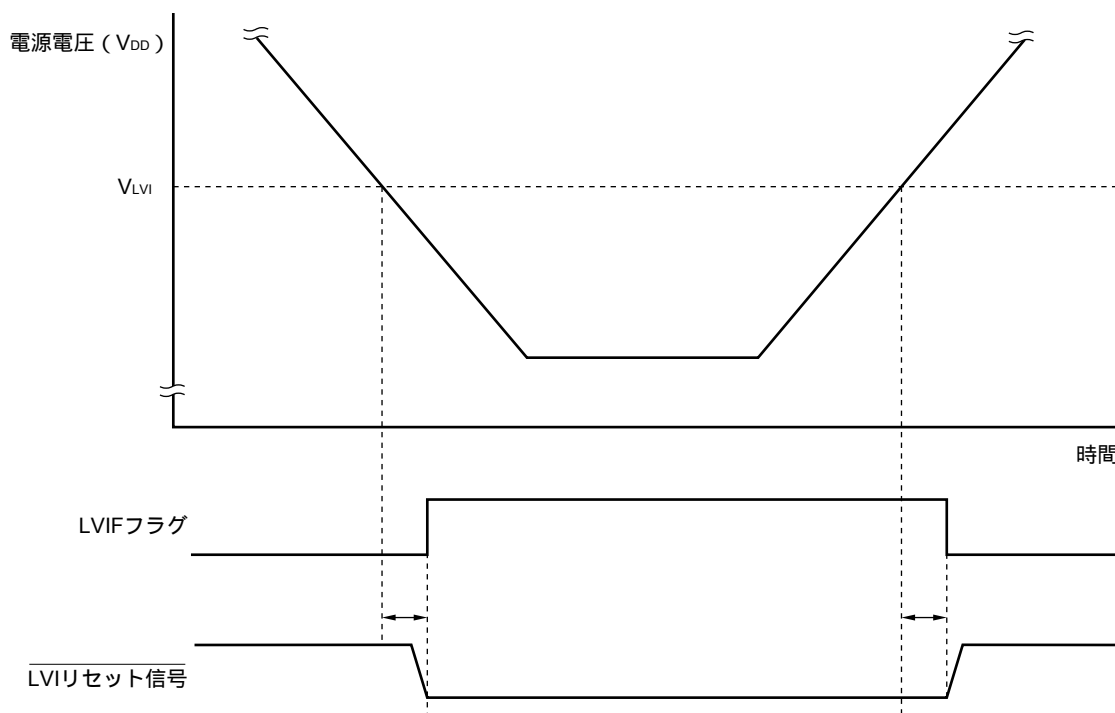
- ・電源電圧 (V_{DD}) 外部入力端子からの入力電圧 (EX_{LVI})
- ・検出電圧 (V_{LVI}) 検出電圧 ($V_{EX_{LVI}} = 1.21V$)

(2) LVIリセット要因発生からLVIリセットが発生または解除されるまでの遅延について

電源電圧 (V_{DD}) < LVI検出電圧 (V_{LVI}) になってから、LVIリセットが発生するまでには遅延が生じます。

同じようにLVI検出電圧 (V_{LVI}) 電源電圧 (V_{DD}) になってから、LVIリセットが解除されるまでにも遅延が生じます (図22 - 12参照)。

図22 - 12 LVIリセット要因発生からLVIリセット発生または解除までの遅延



: 最小パルス幅 (200 μs (MIN.))

第23章 レギュレータ

23.1 レギュレータの概要

78K0R/Kx3-Cは、デバイス内部を定電圧動作させるための回路を内蔵しています。このときレギュレータ出力電圧を安定させるために、REGC端子にはレギュレータ安定として、コンデンサ(0.47~1 μ F)を介し、V_{SS}に接続してください。ただし、高速内蔵発振クロック、外部メイン・システム・クロック動作時からのSTOPモードを使用する場合は、0.47 μ Fを推奨します。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

レギュレータ出力電圧は、通常は2.4V(TYP.)、低消費電力モードでは1.8V(TYP.)です。

23.2 レギュレータを制御するレジスタ

(1) レギュレータ・モード制御レジスタ(RMC)

レギュレータの出力電圧を設定するレジスタです。

RMCは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図23-1 レギュレータ・モード制御レジスタ(RMC)のフォーマット

アドレス：F00F4H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
RMC								

RMC[7:0]	レギュレータの出力電圧の制御
5AH	低消費電力モード(1.8V)固定
00H	条件によって通常消費電力モード(2.4V)と低消費電力モード(1.8V)を切り替える(表23-1参照)
上記以外	設定禁止

注意1. 低消費電力モード固定の設定で使用する場合は、以下の場合にかぎり使用可能です。

<CPUクロックにX1クロック選択時>

f_x 5 MHzかつ f_{CLK} 1 MHz

<CPUクロックに高速内蔵発振クロック、外部入力クロック、サブシステム・クロック選択時>

f_{CLK} 1 MHz

(注意は次ページに続きます。)

注意2. RMCレジスタの変更後に動作スピード・モード制御レジスタ (OSMC) を変更する場合は、ウェイトが必要です。次に示す手順のとおり、低消費電力モードにする場合は3.5 ms、通常消費電力モードにする場合は10 μ sの時間をソフトウェアでウェイトしてください。

・低消費電力モードにする場合

f_{CLK} に1 MHzの周波数を選択

RMC 5AH (レギュレータを低消費電力モードにする)

3.5 msの時間ウェイト

OSMCのFLPC 1, FSEL 0

・通常消費電力モードにする場合

RMC 00H (レギュレータを通常消費電力モードにする)

10 μ sの時間ウェイト

OSMCのFLPC, FSELを変更

f_{CLK} の周波数を変更

表23 - 1 レギュレータ出力電圧条件

モード	出力電圧	条 件
低消費電力モード	1.8 V	STOPモード時 (OCDモード中は除く)
		サブシステム・クロック (f_{XT}) でCPU動作中で、高速システム・クロック (f_{MX}) と高速内蔵発振クロック (f_{IH}) と20 MHz高速内蔵発振クロック (f_{IH20}) が共に停止
		サブシステム・クロック (f_{XT}) でCPU動作設定時のHALTモード中で、高速システム・クロック (f_{MX}) と高速内蔵発振クロック (f_{IH}) と20 MHz高速内蔵発振クロック (f_{IH20}) が共に停止
通常消費電力モード	2.4 V	上記以外

第24章 オプション・バイト

24.1 オプション・バイトの機能

78K0R/Kx3-Cのフラッシュ・メモリの000C0H-000C3Hは、オプション・バイト領域です。

オプション・バイトは、ユーザ・オプション・バイト (000C0H-000C2H) とオンチップ・デバッグ・オプション・バイト (000C3H) で構成されています。

電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。

また、セルフ・プログラミング時にブート・スワップ動作を使用する際には、000C0H-000C3Hは010C0H-010C3Hと切り替わるので、010C0H-010C3Hにも000C0H-000C3Hと同じ値を設定してください。

注意 000C2H (ブート・スワップ使用時は000C2H/010C2H) には、必ずFFHを設定してください。

24.1.1 ユーザ・オプション・バイト (000C0H-000C2H/010C0H-010C2H)

(1) 000C0H/010C0H

ウォッチドッグ・タイマの動作

- ・HALT/STOPモード時の動作停止 / 可能

ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマの動作

- ・動作停止 / 可能

ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ・タイマのインターバル割り込み

- ・使用する / 使用しない

注意 ブート・スワップ時は、000C0Hと010C0Hが切り替わるので、010C0Hにも000C0Hと同じ値を設定してください。

(2) 000C1H/010C1H

リセット解除時 (電源立ち上げ時) のLVIの設定

- ・リセット解除時 (LVIを除くRESET端子, POC, WDT, 不正命令によるリセット), LVIがデフォルトでON / OFF

高速内蔵発振回路の周波数の設定

- ・8 MHz/20 MHzを選択

注意 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

(3) 000C2H/010C2H

予約領域です。必ずFFHを設定してください。

注意 ブート・スワップ時は、000C2Hと010C2Hが切り替わるので、010C2HにもFFHを設定してください。

24. 1. 2 オンチップ・デバッグ・オプション・バイト (000C3H/010C3H)

オンチップ・デバッグ動作制御

・ オンチップ・デバッグ動作禁止 / 許可

セキュリティID認証失敗時のフラッシュ・メモリ・データの処理

・ オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する / 消去しない

注意 ブート・スワップ時は、000C3Hと010C3Hが切り替わるので、010C3Hにも000C3Hと同じ値を設定してください。

24.2 ユーザ・オプション・バイトのフォーマット

図24 - 1 ユーザ・オプション・バイト (000C0H/010C0H) のフォーマット

アドレス : 000C0H/010C0H^{注1}

7	6	5	4	3	2	1	0
WDTINT	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON
WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用 / 不使用						
0	インターバル割り込みを使用しない						
1	オーバフロー時間の75%到達時にインターバル割り込みを発生する						
WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間 ^{注2}					
0	0	25 %					
0	1	50 %					
1	0	75 %					
1	1	100 %					
WDTON	ウォッチドッグ・タイマのカウンタの動作制御						
0	カウンタ動作禁止 (リセット解除後, カウント停止)						
1	カウンタ動作許可 (リセット解除後, カウント開始)						
WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 ($f_{IL} = 33 \text{ kHz (MAX.)}$ の場合)				
0	0	0	$2^7/f_{IL}$ (3.88 ms)				
0	0	1	$2^8/f_{IL}$ (7.76 ms)				
0	1	0	$2^9/f_{IL}$ (15.52 ms)				
0	1	1	$2^{10}/f_{IL}$ (31.03 ms)				
1	0	0	$2^{12}/f_{IL}$ (124.12 ms)				
1	0	1	$2^{14}/f_{IL}$ (496.48 ms)				
1	1	0	$2^{15}/f_{IL}$ (992.97 ms)				
1	1	1	$2^{17}/f_{IL}$ (3971.88 ms)				
WDSTBYON	ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOPモード時)						
0	HALT/STOPモード時, カウンタ動作停止 ^{注2}						
1	HALT/STOPモード時, カウンタ動作許可						

注1. ブート・スワップ時は, 000C0Hと010C0Hが切り替わるので, 010C0Hにも000C0Hと同じ値を設定してください。

2. WDSTBYON = 0のときは, WINDOW1, WINDOW0の値に関係なく, ウインドウ・オープン期間100%となります。

注意 フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも, ウォッチドッグ・タイマの動作は継続します。ただし, これらの処置中には割り込みの受け付け時間が遅れるので, 遅延を考慮し, オーバフロー時間およびウインドウ・サイズを設定してください。

備考 f_{IL} : 低速内蔵発振クロック周波数

図24 - 2 ユーザ・オプション・バイト (000C1H/010C1H) のフォーマット

アドレス : 000C1H/010C1H^{注1}

7	6	5	4	3	2	1	0
1	1	1	1	1	FRQSEL2	FRQSEL1	LVI OFF

FRQSEL2	FRQSEL1	高速内蔵発振回路の周波数
0	1	8 MHz/20 MHz ^{注2}
上記以外		設定禁止

LVI OFF	電源立ち上げ時のLVIの設定
0	リセット解除時 (電源立ち上げ時), LVIがデフォルトでON (LVIデフォルト・スタート機能動作)
1	リセット解除時 (電源立ち上げ時), LVIがデフォルトでOFF (LVIデフォルト・スタート機能停止)

注1. ブート・スワップ時は, 000C1Hと010C1Hが切り替わるので, 010C1Hにも000C1Hと同じ値を設定してください。

2. 8 MHz/20 MHzを選択した場合, リセット解除後は8 MHzの高速内蔵発振回路が自動的に発振を開始します。20 MHzの高速内蔵発振回路で動作する場合は, その後, 20 MHz高速内蔵発振制御レジスタ (DSCCTL) のビット0 (DSCON) を1に設定すると発振を開始します。

注意1. ビット7-3には, 必ず1を書き込んでください。

2. LVIデフォルト・スタート機能使用時でも, ソフトウェアでLVI動作禁止 (LVIMレジスタのビット7 (LVION) = 0) に設定した場合には, 次の動作となります。

- LVION = 0の期間は低電圧検出しない。
- LVION = 0の期間にリセットが発生した場合, リセット解除後にCPUがスタートするとLVION = 1に再設定されます。しかし, WDTによるリセットと不正命令の実行によるリセットが発生した場合は, 正常に低電圧検出できない期間があります。
これはLVIが検出するパルス幅が最大200 μ s必要なのに対し, リセット発生によってLVION = 1に設定されて, LVIの動作安定を待たずにCPUが動作を開始するためです。

図24 - 3 ユーザ・オプション・バイト (000C2H/010C2H) のフォーマット

アドレス : 000C2H/010C2H^注

7	6	5	4	3	2	1	0
1	1	1	1	1	1	1	1

注 000C2Hは予約領域なので, 必ずFFHを設定してください。またブート・スワップ時は, 000C2Hと010C2Hが切り替わるので, 010C2HにもFFHを設定してください。

24.3 オンチップ・デバッグ・オプション・バイトのフォーマット

オンチップ・デバッグ・オプション・バイトのフォーマットを次に示します。

図24-4 オンチップ・デバッグ・オプション・バイト (000C3H/010C3H) のフォーマット

アドレス : 000C3H/010C3H^注

	7	6	5	4	3	2	1	0
OCDENSET	0	0	0	0	0	1	0	OCDERSD

OCDENSET	OCDERSD	オンチップ・デバッグ動作制御
0	0	オンチップ・デバッグ動作禁止
0	1	設定禁止
1	0	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する。
1	1	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない。

注 ブート・スワップ時は、000C3Hと010C3Hが切り替わるので、010C3Hにも000C3Hと同じ値を設定してください。

注意 ビット7, 0 (OCDENSET, OCDERSD) のみ、値を指定できます。
ビット6-1には、必ず000010Bを書き込んでください。

備考 ビット3-1は、オンチップ・デバッグ機能使用時に値が書き変わるので、設定後は不定となります。
ただし、設定時にはビット3-1にも、必ず初期値 (0, 1, 0) を設定してください。

24.4 オプション・バイトの設定

ユーザ・オプション・バイトとオンチップ・デバッグ・オプション・バイトは、ソースへの記述による設定の他にRA78K0RまたはPM+のリンカ・オプションでも設定することができます。その場合、下記のようにソースに記述があってもリンカ・オプションでの設定内容が優先されます。

リンカ・オプションの設定方法については、RA78K0R **アセンブラ・パッケージ ユーザーズ・マニュアル**を参照してください。

オプション・バイト設定のソフトウェア記述例を次に示します。

OPT	CSEG	OPT_BYTE	
	DB	10H	; ウォッチドッグ・タイマのインターバル割り込みを使用しない, ; ウォッチドッグ・タイマ動作許可, ; ウォッチドッグ・タイマのウィンドウ・オープン期間25%, ; ウォッチドッグ・タイマのオーバフロー時間 $2^{10}/f_{IL}$, ; HALT/STOPモード時, ウォッチドッグ・タイマの動作停止
	DB	0FBH	; 高速内蔵発振回路に8 MHz/20 MHzを選択 ; LVIデフォルト・スタート機能停止
	DB	0FFH	; 予約領域
	DB	85H	; オンチップ・デバッグ動作許可, セキュリティID認証失敗時に ; フラッシュ・メモリのデータを消去しない。

セルフ・プログラミング時にブート・スワップ機能を使用する際には、000C0H-000C3Hは010C0H-010C3Hと切り替わります。そのため010C0H-010C3Hにも000C0H-000C3Hと同じ値を、次のように記述してください。

OPT2	CSEG	AT	010C0H	
	DB		10H	; ウォッチドッグ・タイマのインターバル割り込みを使用しない, ; ウォッチドッグ・タイマ動作許可, ; ウォッチドッグ・タイマのウィンドウ・オープン期間25%, ; ウォッチドッグ・タイマのオーバフロー時間 $2^{10}/f_{IL}$, ; HALT/STOPモード時, ウォッチドッグ・タイマの動作停止
	DB		0FBH	; 高速内蔵発振回路に8 MHz/20 MHzを選択 ; LVIデフォルト・スタート機能停止
	DB		0FFH	; 予約領域
	DB		85H	; オンチップ・デバッグ動作許可, セキュリティID認証失敗時に ; フラッシュ・メモリのデータを消去しない。

注意 オプション・バイトをアセンブリ言語により指定する場合、CSEG疑似命令の再配置属性名はOPT_BYTEを使用してください。なお、ブート・スワップ機能を使用するために010C0H～010C3Hにオプション・バイトを指定する場合は、再配置属性ATを使用して絶対番地を指定してください。

第25章 フラッシュ・メモリ

78K0R/Kx3-Cは、基板に実装した状態でプログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵しています。

25.1 フラッシュ・メモリ・プログラマによる書き込み方法

78K0R/Kx3-Cの内蔵フラッシュ・メモリにデータを書き込むために、次の専用フラッシュ・メモリ・プログラマを使用できます。

- ・ PG-FP5, FL-PR5
- ・ QB-MINI2

専用フラッシュ・メモリ・プログラマにより、オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上に78K0R/Kx3-Cを実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上に78K0R/Kx3-Cを実装する前に専用プログラム・アダプタ (FAシリーズ) などでフラッシュ・メモリに書き込みます。

備考 FAシリーズは、(株)内藤電誠町田製作所の製品です。

表25 - 1 78K0R/Kx3-Cと専用フラッシュ・メモリ・プログラムの配線表

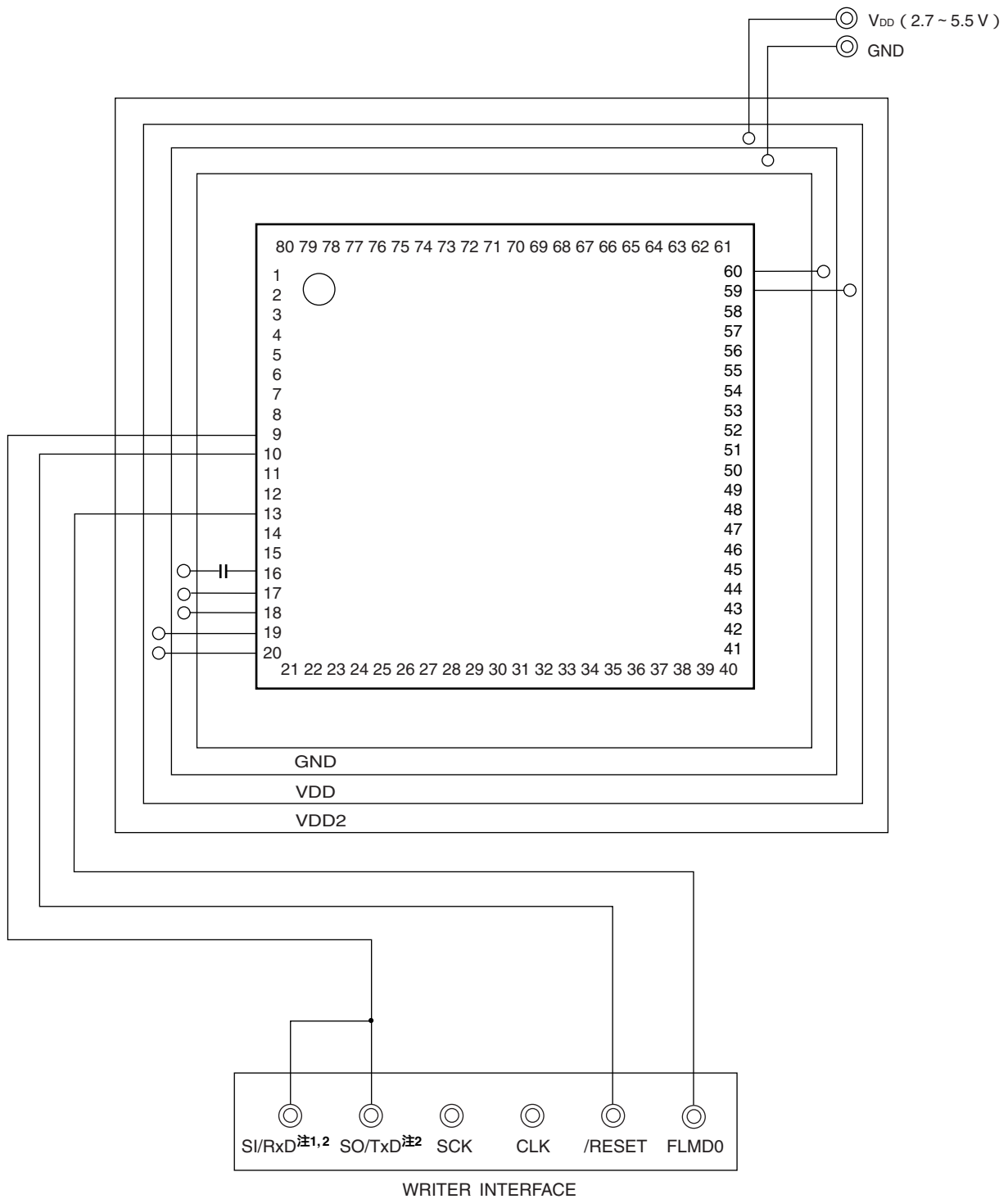
専用フラッシュ・メモリ・プログラムの接続端子			78K0R/KF3-C		78K0R/KG3-C	
信号名	入出力	端子機能	端子名	ピン番号	端子名	ピン番号
SI/RxD ^{注1,2}	入力	受信信号	TOOL0/P40	9	TOOL0/P40	12
SO/TxD ^{注2}	出力	送信信号				
SCK	出力	転送クロック	-	-	-	-
CLK	出力	クロック出力	-	-	-	-
/RESET	出力	リセット信号	<u>RESET</u>	10	<u>RESET</u>	13
FLMD0	出力	モード信号	FLMD0	13	FLMD0	16
V _{DD}	入出力	V _{DD} 電圧生成 / 電源監視	V _{DD}	19	V _{DD}	22
			EV _{DD}	20	EV _{DD0}	23
					EV _{DD1}	53
GND	-	グラウンド	V _{SS}	17	V _{SS}	20
			EV _{SS}	18	EV _{SS0}	21
					EV _{SS1}	43
			AV _{SS}	60	AV _{SS}	74

注1. PG-FP5, FL-PR5使用時は、接続の必要はありません。

2. QB-MINI2使用時は、SI/RxDかSO/TxDのどちらかを接続してください。

フラッシュ書き込み用アダプタ使用時の接続例を示します。

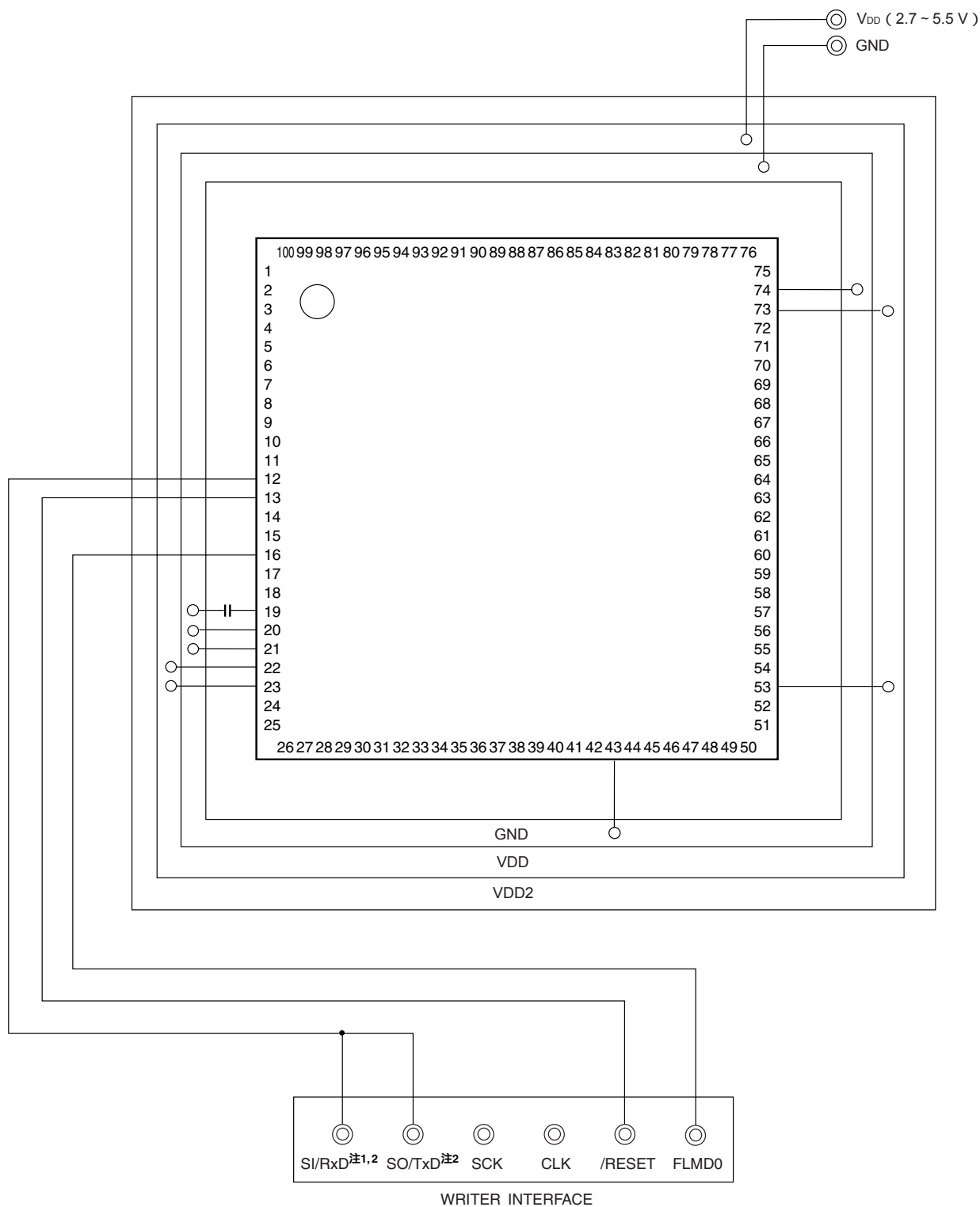
図25 - 1 フラッシュ書き込み用アダプタ配線例 (78K0R/KF3-C)



注1. PG-FP5, FL-PR5使用時は, 接続の必要はありません。

2. QB-MINI2使用時は, SI/RxDかSO/TxDのどちらかを接続してください。

図25 - 2 フラッシュ書き込み用アダプタ配線例 (78K0R/KG3-C)



注1. PG-FP5, FL-PR5使用時は，接続の必要はありません。

2. QB-MINI2使用時は，SI/RxDかSO/TxDのどちらかを接続してください。

25.2 プログラミング環境

78K0R/Kx3-Cのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図25-3 フラッシュ・メモリにプログラムを書き込むための環境



備考 FL-PR5は、(株)内藤電誠町田製作所の製品です。

専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

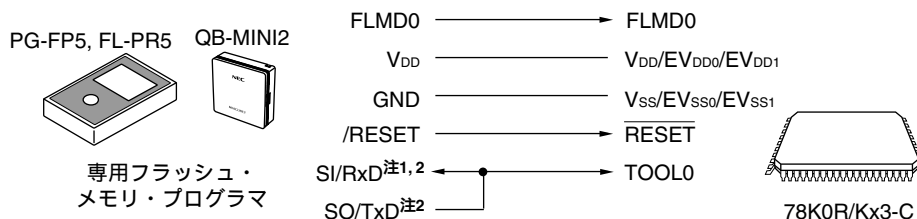
また、専用フラッシュ・メモリ・プログラマと78K0R/Kx3-CとのインタフェースはTOOL0端子を使用して、専用の単線UARTで書き込み/消去の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ(FAシリーズ)が必要です。

25.3 通信方式

専用フラッシュ・メモリ・プログラマと78K0R/Kx3-Cとの通信は、78K0R/Kx3-CのTOOL0端子を使用して、専用の単線UARTによるシリアル通信で行います。

転送レート：115200 bps, 250000 bps, 500000 bps, 1 Mbps

図25-4 専用フラッシュ・メモリ・プログラマとの通信



注1. PG-FP5, FL-PR5使用時は、接続の必要はありません。

2. QB-MINI2使用時は、SI/RxDかSO/TxDのどちらかを接続してください。

備考 78K0R/KF3-Cでは、EVDD0とEVDD1をEVDDに、EVSS0とEVSS1をEVSSに読み替えてください。

専用フラッシュ・メモリ・プログラマは、78K0R/Kx3-Cに対して次の信号を生成します。詳細はPG-FP5, FL-PR5またはMINICUBE2のマニュアルを参照してください。

表25 - 2 端子接続一覧

専用フラッシュ・メモリ・プログラマ			78K0R/KF3-C	78K0R/KG3-C	接続時の処置
信号名	入出力	端子機能	端子名	端子名	
FLMD0	出力	モード信号	FLMD0	FLMD0	
V _{DD}	入出力	V _{DD} 電圧生成 / 電圧監視	V _{DD} , EV _{DD} , AV _{REF}	V _{DD} , EV _{DD0} , EV _{DD1} , AV _{REF}	
GND	-	グラウンド	V _{SS} , EV _{SS} , AV _{SS}	V _{SS} , EV _{SS0} , EV _{SS1} , AV _{SS}	
CLK	出力	クロック出力	-	-	x
/RESET	出力	リセット信号	RESET	RESET	
SI/RxD ^{注1, 2}	入力	受信信号	TOOL0	TOOL0	
SO/TxD ^{注2}	出力	送信信号			
SCK	出力	転送クロック	-	-	x

注1. PG-FP5, FL-PR5使用時は、接続の必要はありません。

2. QB-MINI2使用時は、SI/RxDかSO/TxDのどちらかを接続してください。

備考1. : 必ず接続してください。

x : 接続の必要はありません。

2. 専用フラッシュ・メモリ・プログラマと接続しない端子は、表2 - 3 各端子の未使用端子処理 (78K0R/KF3-C) または表2 - 4 各端子の未使用端子処理 (78K0R/KG3-C) の「未使用時の推奨接続方法」に示されている処理を行うことを推奨します。

25.4 オンボード上の端子処理

オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

25.4.1 FLMD0端子

(1) フラッシュ・メモリ・プログラミング・モード時

フラッシュ・メモリ・プログラマによる書き込み時は、フラッシュ・メモリ・プログラマと直接接続してください。FLMD0端子に V_{DD} レベルの書き込み電圧を供給します。

リセットにより内部でプルダウンされるため、外部でプルダウンする必要はありません。もし外部でもプルダウンするときは、1 k Ω ~ 200 k Ω の抵抗でプルダウンしてください。

(2) 通常動作モード時

通常動作時はオープンにすることを推奨します。

FLMD0端子はリセット解除前から常に V_{SS} レベルにしておく必要がありますが、リセットにより内部でプルダウンされるため、外部でプルダウンする必要はありません。ただし、バックグラウンド・イベント・コントロール・レジスタ (BECTL) のビット7 (FLMDPUP) をプルダウン選択 (初期値 "0") のままにしておく必要があります (25.5 (1) バックグラウンド・イベント・コントロール・レジスタ参照)。もし外部でもプルダウンするときは200 k Ω 以下の抵抗でプルダウンしてください。

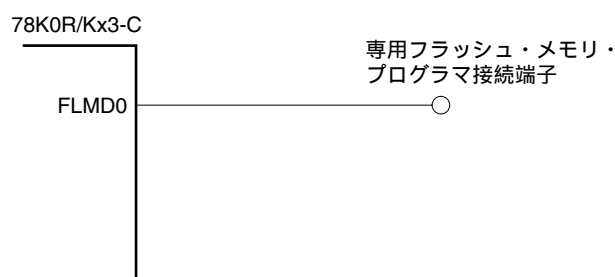
また、セルフ・プログラミングやプログラマによるフラッシュ・メモリの書き換えをハードにより禁止したい場合は、 V_{SS} 端子に直接接続することにより禁止することができます。

(3) セルフ・プログラミング・モード時

セルフ・プログラミング機能を使用する場合は、オープンにすることを推奨します。もし外部でもプルダウンするときは100 k Ω ~ 200 k Ω の抵抗でプルダウンしてください。

セルフ・プログラミング・モード時は、セルフ・プログラミング・ライブラリの中でプルアップ設定に切り替わります。

図25 - 5 FLMD0端子の接続例



25.4.2 TOOL0端子

フラッシュ・メモリ・プログラミング・モード時は、専用フラッシュ・メモリ・プログラマに直接接続するか、外部で抵抗を介してEV_{DD0}またはEV_{DD1}に接続することでプルアップしてください。

通常動作モード時は、オンチップ・デバッグ許可の場合は外部で抵抗を介してEV_{DD0}またはEV_{DD1}に接続することでプルアップし、必ずリセット解除前から常にV_{DD}レベルを入力し続けてください（プルダウン禁止）。

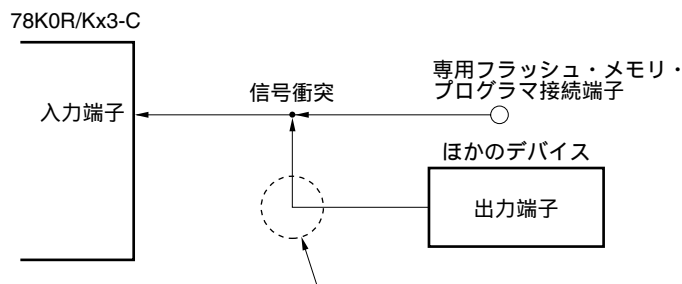
- 備考1.** 78K0R/KF3-Cでは、EV_{DD0}とEV_{DD1}をEV_{DD}に、EV_{SS0}とEV_{SS1}をEV_{SS}に読み替えてください。
- 2.** 78K0R/Kx3-Cと専用フラッシュ・メモリ・プログラマとの通信には、単線UARTを使用するので、SAUやIICAの端子は使用しません。

25.4.3 RESET端子

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・メモリ・プログラマのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマからのリセット信号以外は入力しないでください。

図25-6 信号の衝突 (RESET端子)



フラッシュ・メモリ・プログラミング・モードでは、ほかのデバイスが出力する信号と専用フラッシュ・メモリ・プログラマから送り出される信号が衝突するため、ほかのデバイス側の信号をアイソレートしてください。

25.4.4 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してV_{DD}に接続するか、または抵抗を介してV_{SS}に接続するなどの端子処理が必要です。

25.4.5 REGC端子

REGC端子は、通常動作時と同様に、コンデンサ (0.47 ~ 1 μ F) を介し、GNDに接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

25.4.6 X1, X2端子

X1, X2は、通常動作モード時と同じ状態に接続してください。

備考 フラッシュ・メモリ・プログラミング・モード時は、高速内蔵発振クロック (f_{IH}) を使用します。

25.4.7 電 源

フラッシュ・メモリ・プログラムの電源出力を使用する場合は、 V_{DD} 端子はフラッシュ・メモリ・プログラムの V_{DD} に、 V_{SS} 端子はフラッシュ・メモリ・プログラムのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

ただし、オンボード上の電源を使用する場合においても、フラッシュ・メモリ・プログラムの電圧監視をするため、 V_{DD} 、 V_{SS} 端子はフラッシュ・メモリ・プログラムの V_{DD} 、GNDと必ず接続してください。

その他の電源 (EV_{DD0} , EV_{DD1} , EV_{SS0} , EV_{SS1} , AV_{REF} , AV_{SS}) は、通常動作モード時と同じ電源を供給してください。

備考 78K0R/KF3-Cでは、 EV_{DD0} と EV_{DD1} を EV_{DD} に、 EV_{SS0} と EV_{SS1} を EV_{SS} に読み替えてください。

25.5 フラッシュ・メモリを制御するレジスタ

(1) バックグラウンド・イベント・コントロール・レジスタ (BECTL)

BECTLレジスタにより、FLMD0端子を外部で制御しなくても、ソフトウェアで制御し、セルフ・プログラミング・モードに引き込むことができます。

ただし、FLMD0端子の端子処理によっては、ソフトウェアでセルフ・プログラミング・モードに引き込むことはできません。BECTLを使用する場合は、FLMD0端子をオープンにすることを推奨します。もし外部でプルダウンするときは100 k 以上の抵抗でプルダウンしてください。また、通常動作モード時は、プルダウン選択で使用してください。セルフ・プログラミング・モード時は、セルフ・プログラミング・ライブラリの中でプルアップ設定に切り替わります。

BECTLは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図25-7 バックグラウンド・イベント・コントロール・レジスタ (BECTL) のフォーマット

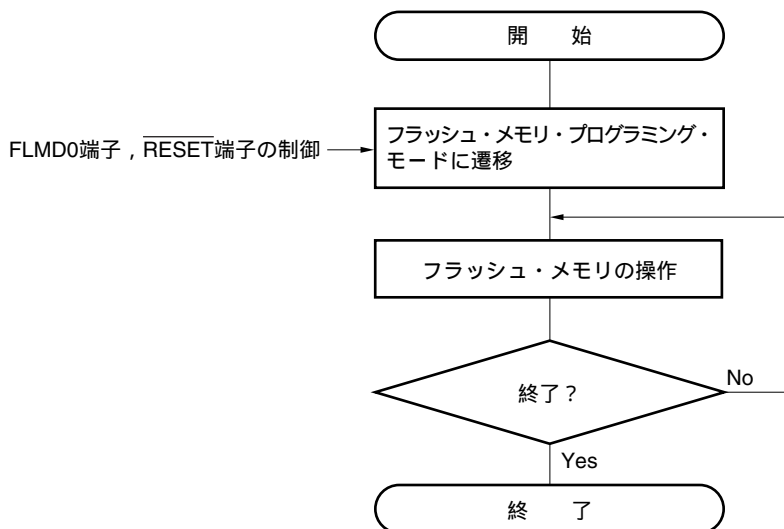
アドレス: FFFBEH	リセット時: 00H	R/W						
略号	<input checked="" type="checkbox"/>	6	5	4	3	2	1	0
BECTL	FLMDPUP	0	0	0	0	0	0	0
	FLMDPUP	FLMD0端子のソフトウェア制御						
	0	プルダウン選択						
	1	プルアップ選択						

25.6 プログラミング方法

25.6.1 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図25-8 フラッシュ・メモリの操作手順



25.6.2 フラッシュ・メモリ・プログラミング・モード

専用フラッシュ・メモリ・プログラマを使用してフラッシュ・メモリの内容を書き換えるときは、78K0R/Kx3-Cをフラッシュ・メモリ・プログラミング・モードにしてください。モードへ遷移するには、FLMD0端子とTOOL0端子をV_{DD}設定後、リセットを解除します。

オンボード書き込みを行うときは、ジャンパ等でモードを切り替えてください。

図25-9 フラッシュ・メモリ・プログラミング・モード

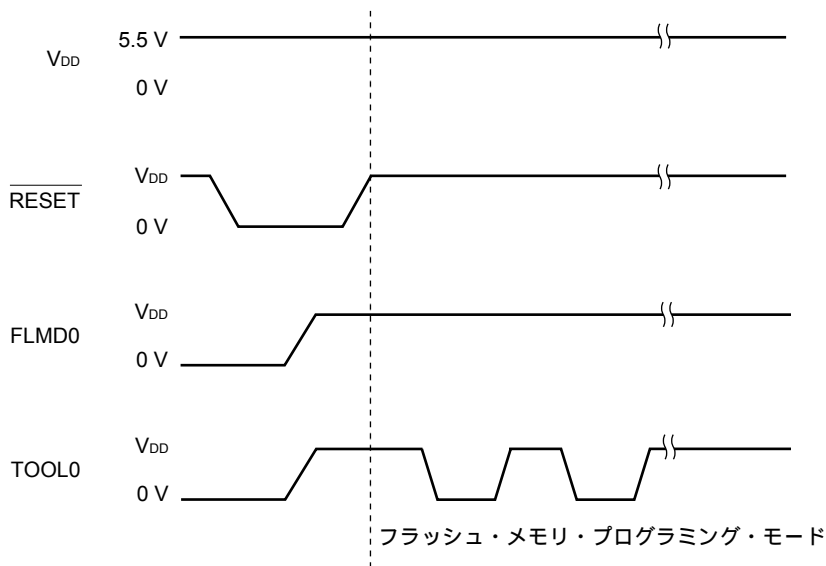


表25-3 リセット解除時のFLMD0端子の動作モードとの関係

FLMD0	動作モード
0 V	通常動作モード
V _{DD}	フラッシュ・メモリ・プログラミング・モード

25.6.3 通信方式

78K0R/Kx3-Cの通信方式は、次のようになります。

表25-4 通信方式

通信方式	Standard設定 ^{注1}				使用端子
	Port	Speed ^{注2}	Frequency	Multiply Rate	
1線モード (単線UART)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	-	-	TOOL0

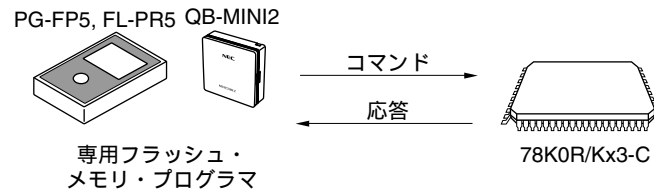
注1. フラッシュ・メモリ・プログラマのGUI上のStandard設定における設定項目です。

2. UART通信にはボー・レート誤差のほか、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

25.6.4 通信コマンド

78K0R/Kx3-Cと専用フラッシュ・メモリ・プログラマは、コマンドを介して通信します。専用フラッシュ・メモリ・プログラマから78K0R/Kx3-Cへ送られる信号を「コマンド」と呼び、78K0R/Kx3-Cから専用フラッシュ・メモリ・プログラマへ送られる信号を「応答」と呼びます。

図25 - 10 通信コマンド



78K0R/Kx3-Cのフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてプログラマから発行され、78K0R/Kx3-Cがコマンドに対応した各処理を行います。

表25 - 5 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Chip Erase	全フラッシュ・メモリを消去します。
	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランクチェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます。
情報取得	Silicon Signature	78K0R/Kx3-C情報（品名、フラッシュ・メモリ構成など）を取得します。
	Version Get	78K0R/Kx3-Cファームウェア・バージョンを取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
その他	Reset	通信の同期検出に使用します。
	Baud Rate Set	UART選択時のボー・レートを設定します。

また、78K0R/Kx3-Cは、専用フラッシュ・メモリ・プログラマから発行されたコマンドに対して、応答を返します。78K0R/Kx3-Cが送出する応答名称を次に示します。

表25 - 6 応答名称

応答名称	機能
ACK	コマンド/データなどのアクノリッジ
NAK	不正なコマンド/データなどのアクノリッジ

25.7 セキュリティ設定

78K0R/Kx3-Cは、フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Setコマンドを使用することにより、次の操作をすることができます。セキュリティの設定は、次のプログラミング・モードより有効になります。

- ・一括消去（チップ消去）禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ全ブロックに対してのブロック消去コマンド、および一括消去（チップ消去）コマンドの実行を禁止します。これを一度禁止に設定すると、一括消去（チップ消去）コマンドが実行できないため、すべての禁止設定（一括消去（チップ消去）禁止も含む）は解除できなくなります。

注意 一括消去のセキュリティの設定をした場合、以降、そのデバイスに対し消去はできなくなります。また、書き込みコマンドを実行しても、消去コマンドが無効になるため、すでにフラッシュ・メモリに書き込まれているデータと異なるデータを書き込むことはできなくなります。

- ・ブロック消去禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし、セルフ・プログラミング時でのブロック消去は可能です。

- ・書き込み禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ内の全ブロックに対しての書き込みコマンド、およびブロック消去コマンドの実行を禁止にします。ただし、セルフ・プログラミング時での書き込みは可能です。

- ・ブート・クラスタ0の書き換え禁止

フラッシュ・メモリ内のブート・クラスタ0（00000H-00FFFH）に対して、ブロック消去コマンド、書き込みコマンドの実行を禁止します。また、一括消去（チップ消去）コマンドの実行を禁止します。

出荷時の初期状態では、一括消去（チップ消去） / ブロック消去 / 書き込み / ブート・クラスタ0の書き換えはすべて許可になっています。セキュリティは、オンボード / オフボード・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

一括消去（チップ消去）コマンドの実行により、すべてのセキュリティ設定は解除されます。

78K0R/Kx3-Cのセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を表25-7に示します。

備考 セルフ・プログラミング時の書き込み / 消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います（詳細は25.8.2を参照）。

表25 - 7 セキュリティ機能有効時とコマンドの関係

(1) オンボード/オフボード・プログラミング時

有効なセキュリティ	実行コマンド		
	一括消去 (チップ消去)	ブロック消去	書き込み
一括消去(チップ消去)禁止	一括消去できない	ブロック消去できない	書き込みできる ^注
ブロック消去禁止	一括消去できる		書き込みできる
書き込み禁止			書き込みできない
ブート・クラスタ0の書き換え禁止	一括消去できない	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。一括消去(チップ消去)禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

(2) セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
一括消去(チップ消去)禁止	ブロック消去できる	書き込みできる
ブロック消去禁止		
書き込み禁止		
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

備考 セルフ・プログラミング時の書き込み/消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います(詳細は25.8.2を参照)。

表25 - 8 各プログラミング・モード時のセキュリティ設定方法

(1) オンボード/オフボード・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
一括消去(チップ消去)禁止	専用フラッシュ・メモリ・プログラマのGUI上などで設定する	設定後、無効にできない
ブロック消去禁止		一括消去(チップ消去)コマンドを実行する
書き込み禁止		設定後、無効にできない
ブート・クラスタ0の書き換え禁止		

(2) セルフ・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
一括消去(チップ消去)禁止	セット・インフォメーション・ライブラリで設定する	設定後、無効にできない
ブロック消去禁止		オンボード/オフボード・プログラミングで、一括消去(チップ消去)コマンドを実行する(セルフ・プログラミングでは無効にできない)
書き込み禁止		
ブート・クラスタ0の書き換え禁止		

25.8 セルフ書き込みによるフラッシュ・メモリ・プログラミング

78K0R/Kx3-Cは、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能は78K0R/Kx3-Cセルフ・プログラミング・ライブラリを利用することにより、ユーザ・アプリケーションでフラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップグレードなどができるようになります。

また、セルフ・プログラミング中に割り込みが発生した場合は、セルフ・プログラミングを一時中断して割り込み処理を実行することができます。EI状態でマスクされていない割り込み要求が発生すると、セルフ・プログラミング・ライブラリから、直接、割り込みルーチンに分岐します。その後、再びセルフ・プログラミング・モードに移行し、セルフ・プログラミングをレジュームすることができます。ただし、割り込み応答時間は、通常動作モード時と異なります。

注意1. CPUがサブシステム・クロック動作時の場合、セルフ・プログラミング機能は使用できません。

2. セルフ・プログラミング時は、セルフ・プログラミング・スタート・ライブラリ (FlashStart) を呼び出してください。
3. セルフ・プログラミング中に割り込みを禁止するためには、通常動作モード時と同様に、DI命令によりIEフラグがクリア (0) されている状態でセルフ・プログラミング・ライブラリを実行してください。
割り込みを許可する場合は、EI命令によりIEフラグがセット (1) されている状態で、受け付ける割り込みの割り込みマスク・フラグをクリア (0) して、セルフ・プログラミング・ライブラリを実行してください。
4. セルフ・プログラミング・ライブラリ関数の実行中は、DMA動作を禁止 (DENn = 0) してください。

備考1. セルフ・プログラム機能の詳細および78K0R/Kx3-Lセルフ・プログラミング・ライブラリの詳細については、78K0Rマイクロコントローラ フラッシュ・セルフ・プログラミング・ライブラリ Type2 ユーザーズ・マニュアル (U19193J) を参照してください。

2. セルフ・プログラミングの実行処理時間に関してはフラッシュ・セルフ・プログラミング・ライブラリのツールに付属している使用上の留意点を参照してください。

25. 8. 1 ブート・スワップ機能

セルフ・プログラミングにてブート領域の書き換え中に、電源の瞬断などにより書き換えが失敗した場合、ブート領域のデータが壊れて、リセットによるプログラムの再スタートや、再書き込みができなくなります。

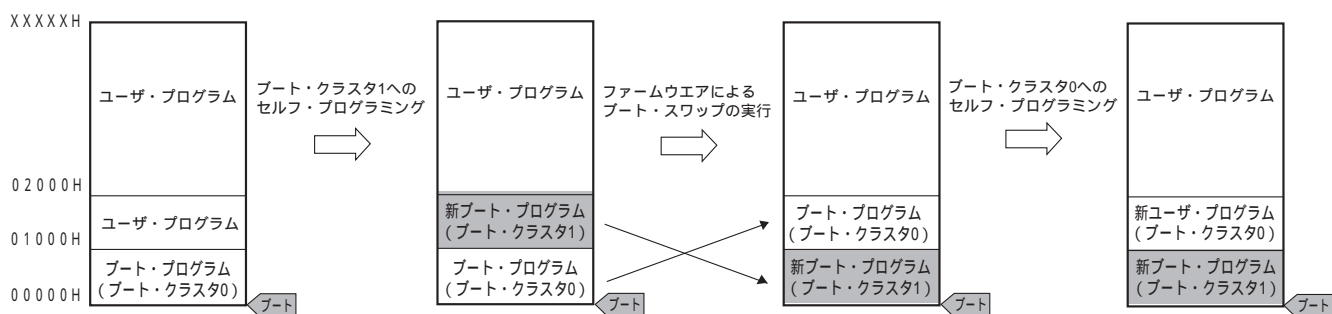
この問題を回避するために、ブート・スワップ機能があります。

セルフ・プログラミングにてブート・プログラム領域であるブート・クラスタ0^註の消去を行う前に、あらかじめ新しいブート・プログラムをブート・クラスタ1に書き込んでおきます。ブート・クラスタ1への書き込みが正常終了したら、78K0R/Kx3-C内蔵のファームウェアのセット・インフォメーション機能で、このブート・クラスタ1とブート・クラスタ0をスワップし、ブート・クラスタ1をブート領域にします。このあと、本来のブート・プログラム領域であるブート・クラスタ0へ消去や書き込みを行います。

これによってブート・プログラミング領域の書き換え中に電源瞬断が発生しても、次のリセット・スタートは、スワップ対象のブート・クラスタ1からブートを行うため、正常にプログラムが動作します。

注 ブート・クラスタは4Kバイトの領域で、ブート・スワップによりブート・クラスタ0とブート・クラスタ1を置換します。

図25 - 12 ブート・スワップ機能

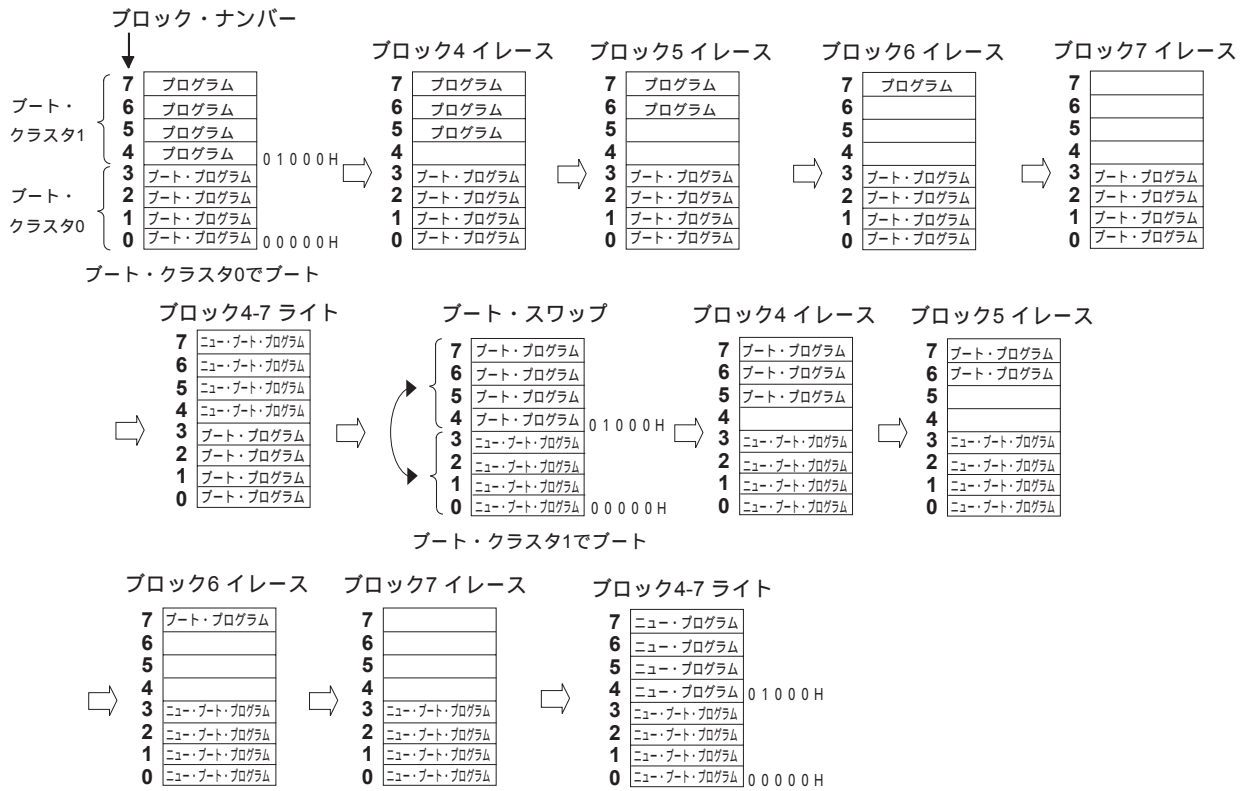


この図の例では、次のようになっています。

ブート・クラスタ0 : ブート・スワップ前のブート・プログラム領域です。

ブート・クラスタ1 : ブート・スワップ後のブート・プログラム領域です。

図25 - 13 ブート・スワップの実行例



25. 8. 2 フラッシュ・シールド・ウインドウ機能

セルフ・プログラミング時のセキュリティ機能の一つとして、フラッシュ・シールド・ウインドウ機能があります。フラッシュ・シールド・ウインドウ機能は、指定したウインドウ範囲以外の書き込みおよび消去を、セルフ・プログラミング時のみ禁止にするセキュリティ機能です。

ウインドウ範囲は、スタート・ブロックとエンド・ブロックを指定することで設定できます。ウインドウ範囲の指定は、オンボード/オフボード・プログラミングおよびセルフ・プログラミングの両方で設定/変更できます。

ウインドウ範囲以外の領域は、セルフ・プログラミング時には書き込み/消去禁止となります。ただし、オンボード/オフボード・プログラミング時にはウインドウとして指定した範囲外にも書き込み/消去可能です。

図25 - 14 フラッシュ・シールド・ウインドウの設定例

(対象デバイス：μPD78F1847A, 78F1849A, スタート・ブロック：04H, エンド・ブロック06Hの場合)



注意 フラッシュ・シールド・ウインドウのウインドウ範囲内にブート・クラスタ0の書き換え禁止領域が重なる場合は、ブート・クラスタ0の書き換え禁止が優先されます。

表25 - 9 フラッシュ・シールド・ウインドウ機能の設定/変更方法とコマンドの関係

プログラミング条件	ウインドウ範囲の設定/変更方法	実行コマンド	
		ブロック消去	書き込み
セルフ・プログラミング時	セット・インフォメーション・ライブラリで、ウインドウの先頭ブロック, 最終ブロックを指定する	ウインドウ範囲内のみブロック消去できる	ウインドウ範囲内のみ書き込みできる
オンボード/オフボード・プログラミング時	専用フラッシュ・メモリ・プログラマのGUI上などで、ウインドウの先頭ブロック, 最終ブロックを指定する	ウインドウ範囲外もブロック消去可能	ウインドウ範囲外も書き込み可能

備考 オンボード/オフボード・プログラミング時の書き込み/消去を禁止したい場合には、25. 7 セキュリティ設定を参照してください。

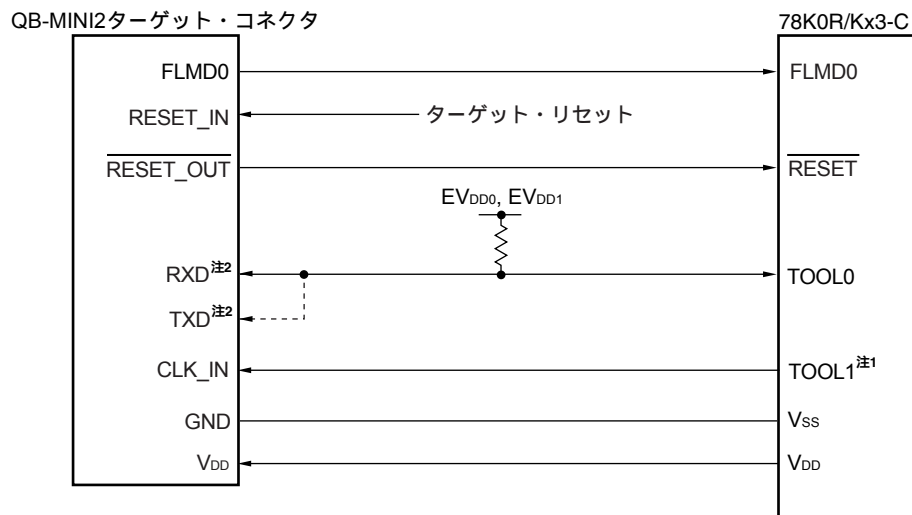
第26章 オンチップ・デバッグ機能

26.1 QB-MINI2と78K0R/Kx3-Cの接続

78K0R/Kx3-Cは、オンチップ・デバッグ対応のオンチップ・デバッグ・エミュレータ（QB-MINI2）を介して、ホスト・マシンとの通信を行う場合、 V_{DD} 、FLMD0、 \overline{RESET} 、TOOL0、TOOL1^{注1}、 V_{SS} 端子を使用します。

注意 78K0R/Kx3-Cには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

図26 - 1 QB-MINI2と78K0R/Kx3-Cの接続例



注1. 1線モードで通信を行う場合、接続する必要はありません。2線モードで通信を行う場合、接続してください。このとき、QB-MINI2未接続時には未使用端子となるため、表2 - 3 各端子の未使用端子処理（78K0R/KF3-C）、表2 - 4 各端子の未使用端子処理（78K0R/KG3-C）に従って、端子処理をしてください。

2. QB-MINI2の場合、RXD、TXDはQB-MINI2内でショートされるため、点線部の接続は必要ありません。ただし、他のフラッシュ・プログラムを使用する場合、プログラム内部でRXDとTXDをショートできない場合があります。この場合、RXD、TXDをターゲット・システム上でショートする必要があります。

注意 2線モードで通信を行う場合、TOOL1端子からCPUクロック周波数の1/2のクロックが出力されます。そのクロックにより、電源に多少の揺れが生じた場合は、対策として抵抗やビーズ・フェライト等などの使用が有効です。

備考1. 78K0R/KF3-Cでは、EV_{DD0}とEV_{DD1}をEV_{DD}に、EV_{SS0}とEV_{SS1}をEV_{SS}に読み替えてください。

2. オンチップ・デバッグでセルフ・プログラミングを行う場合、FLMD0端子はオープンにすることを推奨します。もし外部でプルダウンするときは100 kΩ以上の抵抗でプルダウンしてください。

シリアル通信としては、TOOL0端子を使用した1線モード（単線UART）またはTOOL0、TOOL1端子を使用した2線モードを使用します。フラッシュ・メモリ・プログラミングを行う場合、1線モードを使用します。オンチップ・デバッグを行う場合、1線モードまたは2線モードを使用します。1線モードと2線モードの違いを、表26-1に示します。

表26-1 1線モードと2線モードの違い

通信方式	フラッシュ・プログラミング機能
1線モード	使用可能
2線モード	なし

備考 フラッシュ・プログラミング時に2線モードは使用しませんが、TOOL1端子をQB-MINI2のCLK_INに接続していたとしても問題なく正常に書き込みができます。

26.2 オンチップ・デバッグ・セキュリティID

78K0R/Kx3-Cでは、第三者からメモリの内容を読み取られないようにするために、フラッシュ・メモリの000C3Hにオンチップ・デバッグ動作制御ビット（第24章 オプション・バイトを参照）を、000C4H-000CDHにオンチップ・デバッグ・セキュリティID設定領域を用意しています。

セルフ・プログラミング時にブート・スワップ動作を使用する場合は、000C3H、000C4H-000CDHと010C3H、010C4H-010CDHが切り替わるので、あらかじめ010C3H、010C4H-010CDHにも同じ値を設定してください。

オンチップ・デバッグ・セキュリティIDの詳細につきましては、QB-MINI2 **プログラミング機能付きオンチップ・デバッグ・エミュレータ ユーザーズ・マニュアル**（U18371J）を参照してください。

表26-2 オンチップ・デバッグ・セキュリティID

アドレス	オンチップ・デバッグ・セキュリティIDコード
000C4H-000CDH	10バイトの任意のIDコード
010C4H-010CDH	

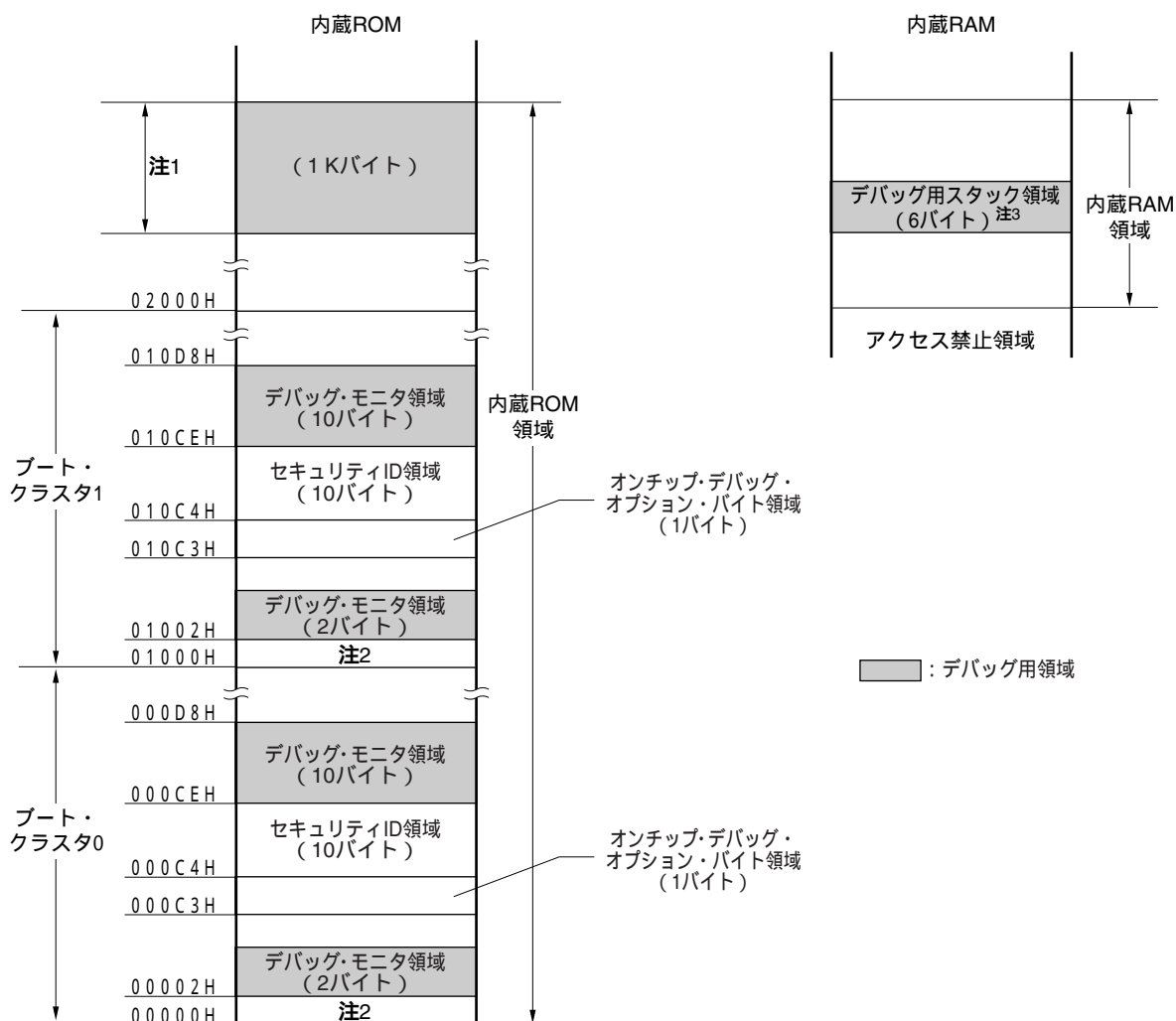
26.3 ユーザ資源の確保

78K0R/Kx3-CとQB-MINI2との通信、または各デバッグ機能を実現するためには、メモリ空間の確保を事前に行う必要があります。また、当社製アセンブラ RA78K0R、コンパイラ CC78K0Rを使用している場合は、リンク・オプションで設定することもできます。

（1）メモリ空間の確保

図26-2のグレーで示す領域はデバッグ用のモニタ・プログラムを組み込むために、ユーザ・プログラムやデータを配置できない空間です。オンチップ・デバッグ機能を使用する場合は、この空間を使用しないように領域を確保する必要があります。また、ユーザ・プログラム内でこの空間を書き換えないようにする必要があります。

図26 - 2 デバッグ用モニタ・プログラムが配置されるメモリ空間



注1. 製品によって、次のようにアドレスが異なります。

製品	内蔵ROM	アドレス
μ PD78F1846A, 78F1848A	96 Kバイト	17C00H-17FFFH
μ PD78F1847A, 78F1849A	128 Kバイト	1FC00H-1FFFFH

2. デバッグ時、リセット・ベクタはモニタ・プログラムの配置アドレスに書き換えられます。
3. この領域はスタック領域の直下に配置されるため、スタックの増減によりデバッグ用スタック領域のアドレスも変動します。つまり使用するスタック領域に対し、6バイト余分に消費します。

メモリ空間の確保方法の詳細は、QB-MINI2 **プログラミング機能付きオンチップ・デバッグ・エミュレータ ユーザーズ・マニュアル (U18371J)** を参照してください。

第27章 10進補正 (BCD) 回路

27.1 10進補正回路の機能

BCDコード (2進化10進数) とBCDコード (2進化10進数) の加減算結果を, BCDコード (2進化10進数) で求めることができます。

Aレジスタをオペランドに持つ加減算命令を行ったあと, さらにBCDADJレジスタを加減算することで10進補正演算結果が求められます。

27.2 10進補正回路で使用するレジスタ

10進補正回路は, 次のレジスタを使用します。

- ・ BCD補正結果レジスタ (BCDADJ)

(1) BCD補正結果レジスタ (BCDADJ)

BCDADJレジスタには, Aレジスタをオペランドにもつ加減算命令によって, BCDコードで加減算結果を求めるための補正値が格納されます。

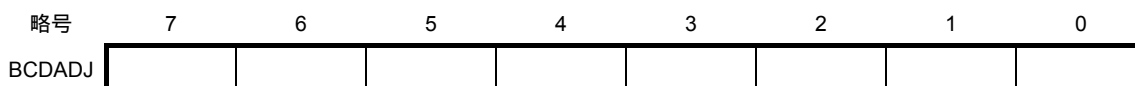
また, BCDADJレジスタの読み出し値は, 読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。

BCDADJは, 8ビット・メモリ操作命令で読み出します。

リセット信号の発生により, 不定になります。

図27 - 1 BCD補正結果レジスタ (BCDADJ) のフォーマット

アドレス : F00FEH リセット時 : 不定 R



27.3 10進補正回路の動作

10進補正回路の基本動作を次に示します。

(1) 加算 BCDコード値とBCDコード値の加算結果を、BCDコード値で求める

加算したいBCDコード値 (被加算値) をAレジスタに格納する。

Aレジスタと第2オペランドの値 (もう1つの加算したいBCDコード値, 加算値) を, そのまま2進数で加算することにより, 2進数での演算結果がAレジスタに格納され, 補正値がBCDADJレジスタに格納される。

Aレジスタ (2進数での加算結果) とBCDADJレジスタの値 (補正値) を2進数で加算することにより10進補正演算を行い, AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は, 読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため, の命令のあとは, 他の命令を行わずに の命令を実施してください。割り込み許可状態でBCD補正を行う場合は, 割り込み関数内でAレジスタの退避, 復帰が必要となります。PSW (CYフラグ, ACフラグ) は, RETI命令によって復帰されます。

例を次に示します。

例1 99 + 89 = 188

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #99H ;	99H	-	-	-
ADD A, #89H ;	22H	1	1	66H
ADD A, !BCDADJ ;	88H	1	0	-

例2 85 + 15 = 100

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #85H ;	85H	-	-	-
ADD A, #15H ;	9AH	0	0	66H
ADD A, !BCDADJ ;	00H	1	1	-

例3 80 + 80 = 160

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #80H ;	80H	-	-	-
ADD A, #80H ;	00H	1	0	60H
ADD A, !BCDADJ ;	60H	1	0	-

(2) 減算 BCDコード値からBCDコード値の減算結果を、BCDコード値で求める

減算されるBCDコード値 (被減算値) をAレジスタに格納する。

Aレジスタから第2オペランドの値 (減算するBCDコード値, 減算値) を, そのまま2進数で減算することにより, 2進数での演算結果がAレジスタに格納され, 補正値がBCDADJレジスタに格納される。

Aレジスタ (2進数での減算結果) からBCDADJレジスタの値 (補正値) を2進数で減算することにより10進補正演算を行い, AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は, 読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため, の命令のあとは, 他の命令を行わずに の命令を実施してください。割り込み許可状態でBCD補正を行う場合は, 割り込み関数内でAレジスタの退避, 復帰が必要となります。PSW (CYフラグ, ACフラグ) は, RETI命令によって復帰されます。

例を次に示します。

例 91 - 52 = 39

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #91H ;	91H	-	-	-
SUB A, #52H ;	3FH	0	1	06H
SUB A, !BCDADJ ;	39H	0	0	-

第28章 命令セットの概要

78K0Rマイクロコントローラの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語(命令コード)については、78K0Rマイクロコントローラ ユーザーズ・マニュアル 命令編(U17792J)を参照してください。

備考 表28 - 5 オペレーション一覧の表内の網掛けされている箇所は、78K0マイクロコントローラから追加されたものを示しています。

28.1 凡 例

28.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様によります）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、!!、\$、\$!、[]、ES:の記号はキーワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・# : イミーディエト・データ指定
- ・! : 16ビット絶対アドレス指定
- ・!! : 20ビット絶対アドレス指定
- ・\$: 8ビット相対アドレス指定
- ・\$! : 16ビット相対アドレス指定
- ・[] : 間接アドレス指定
- ・ES: : 拡張アドレス指定

イミーディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、!!、\$、\$!、[]、ES:記号は必ず記述してください。

また、オペランドのレジスタの記述形式r, rpには、機能名称（X, A, Cなど）、絶対名称（表28 - 1の中のカッコ内の名称, R0, R1, R2など）のいずれの形式でも記述可能です。

表28 - 1 オペランドの表現形式と記述方法

表現形式	記述方法
r	X(R0), A(R1), C(R2), B(R3), E(R4), D(R5), L(R6), H(R7)
rp	AX(RP0), BC(RP1), DE(RP2), HL(RP3)
sfr	特殊機能レジスタ略号（SFR略号）FFF00H-FFFFFH
sfrp	特殊機能レジスタ略号（16ビット操作可能なSFR略号。偶数アドレスのみ ^注 ）FFF00H-FFFFFH
saddr	FFE20H-FFF1FH イミーディエト・データまたはラベル
saddrp	FFE20H-FFF1FH イミーディエト・データまたはラベル（偶数アドレスのみ ^注 ）
addr20	00000H-FFFFFH イミーディエト・データまたはラベル
addr16	0000H-FFFFH イミーディエト・データまたはラベル （16ビット・データ時は偶数アドレスのみ ^注 ）
addr5	0080H-00BFH イミーディエト・データまたはラベル（偶数アドレスのみ）
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル
bit	3ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注 奇数アドレスを指定した場合はビット0が“0”になります。

備考 特殊機能レジスタは、オペランドsfrに略号で記述することができます。特殊機能レジスタの略号は表3 - 5 SFR一覧を参照してください。

拡張特殊機能レジスタは、オペランド!addr16に略号で記述することができます。拡張特殊機能レジスタの略号は表3 - 6 拡張SFR (2nd SFR) 一覧を参照してください。

28.1.2 オペレーション欄の説明

各命令のオペレーション欄には、その命令実行時の動作を次の記号を用いて表します。

表28 - 2 オペレーション欄の記号

記 号	機 能
A	Aレジスタ：8ビット・アキュムレータ
X	Xレジスタ
B	Bレジスタ
C	Cレジスタ
D	Dレジスタ
E	Eレジスタ
H	Hレジスタ
L	Lレジスタ
ES	ESレジスタ
CS	CSレジスタ
AX	AXレジスタ・ペア：16ビット・アキュムレータ
BC	BCレジスタ・ペア
DE	DEレジスタ・ペア
HL	HLレジスタ・ペア
PC	プログラム・カウンタ
SP	スタック・ポインタ
PSW	プログラム・ステータス・ワード
CY	キャリー・フラグ
AC	補助キャリー・フラグ
Z	ゼロ・フラグ
RBS	レジスタ・バンク選択フラグ
IE	割り込み要求許可フラグ
()	() 内のアドレスまたはレジスタの内容で示されるメモリの内容
X _H , X _L	16ビット・レジスタの場合はX _H =上位8ビット, X _L =下位8ビット
X _S , X _H , X _L	20ビット・レジスタの場合はX _S (ビット19-16), X _H (ビット15-8), X _L (ビット7-0)
	論理積 (AND)
	論理和 (OR)
	排他的論理和 (exclusive OR)
	反転データ
addr16	16ビット・イミディエト・データ
addr20	20ビット・イミディエト・データ
jdisp8	符号付き8ビット・データ (ディスプレイメント値)
jdisp16	符号付き16ビット・データ (ディスプレイメント値)

28.1.3 フラグ動作欄の説明

各命令のフラグ欄には、その命令実行時のフラグの変化を下記の記号を用いて表す。

表28 - 3 フラグ欄の記号

記号	フラグ変化
(ブランク)	変化なし
0	0にクリアされる
1	1にセットされる
x	結果にしたがってセット/リセットされる
R	以前に退避した値がリストアされる

28.1.4 PREFIX命令

ES:で示される命令は、PREFIX命令コードを頭に付けることで、アクセスできるデータ領域を F0000H-FFFFFHの64 Kバイト空間から、ESレジスタの値を付加した00000H-FFFFFHの1 Mバイト空間に拡張します。PREFIX命令コードは対象となる命令の先頭に付けることで、PREFIX命令コード直後の1命令だけをESレジスタの値を付加したアドレスとして実行します。

なお、PREFIX命令コードと直後の1命令の間に割り込みやDMA転送を受け付けることはありません。

表28 - 4 PREFIX命令コードの使用例

命令	命令コード				
	1	2	3	4	5
MOV !addr16, #byte	CFH	!addr16		#byte	-
MOV ES:!addr16, #byte	11H	CFH	!addr16		#byte
MOV A, [HL]	8BH	-	-	-	-
MOV A, ES:[HL]	11H	8BH	-	-	-

注意 ESレジスタの値は、PREFIX命令を実行するまでにMOV ES, Aなどで事前に設定しておいてください。

28.2 オペレーション一覧

表28-5 オペレーション一覧 (1/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8ビット・データ転送	MOV	r, #byte	2	1	-	r byte				
		saddr, #byte	3	1	-	(saddr) byte				
		sfr, #byte	3	1	-	sfr byte				
		!addr16, #byte	4	1	-	(addr16) byte				
		A, r <small>注3</small>	1	1	-	A r				
		r, A <small>注3</small>	1	1	-	r A				
		A, saddr	2	1	-	A (saddr)				
		saddr, A	2	1	-	(saddr) A				
		A, sfr	2	1	-	A sfr				
		sfr, A	2	1	-	sfr A				
		A, !addr16	3	1	4	A (addr16)				
		!addr16, A	3	1	-	(addr16) A				
		PSW, #byte	3	3	-	PSW byte		x	x	x
		A, PSW	2	1	-	A PSW				
		PSW, A	2	3	-	PSW A		x	x	x
		ES, #byte	2	1	-	ES byte				
		ES, saddr	3	1	-	ES (saddr)				
		A, ES	2	1	-	A ES				
		ES, A	2	1	-	ES A				
		CS, #byte	3	1	-	CS byte				
		A, CS	2	1	-	A CS				
		CS, A	2	1	-	CS A				
		A, [DE]	1	1	4	A (DE)				
		[DE], A	1	1	-	(DE) A				
		[DE+byte], #byte	3	1	-	(DE + byte) byte				
		A, [DE+byte]	2	1	4	A (DE + byte)				
		[DE+byte], A	2	1	-	(DE + byte) A				
		A, [HL]	1	1	4	A (HL)				
[HL], A	1	1	-	(HL) A						
[HL+byte], #byte	3	1	-	(HL + byte) byte						

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

3. r = Aを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表28 - 5 オペレーション一覧 (2/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	A, [HL+byte]	2	1	4	A (HL + byte)			
		[HL+byte], A	2	1	-	(HL + byte) A			
		A, [HL+B]	2	1	4	A (HL + B)			
		[HL+B], A	2	1	-	(HL + B) A			
		A, [HL+C]	2	1	4	A (HL + C)			
		[HL+C], A	2	1	-	(HL + C) A			
		word[B], #byte	4	1	-	(B + word) byte			
		A, word[B]	3	1	4	A (B + word)			
		word[B], A	3	1	-	(B + word) A			
		word[C], #byte	4	1	-	(C + word) byte			
		A, word[C]	3	1	4	A (C + word)			
		word[C], A	3	1	-	(C + word) A			
		word[BC], #byte	4	1	-	(BC + word) byte			
		A, word[BC]	3	1	4	A (BC + word)			
		word[BC], A	3	1	-	(BC + word) A			
		[SP+byte], #byte	3	1	-	(SP + byte) byte			
		A, [SP+byte]	2	1	-	A (SP + byte)			
		[SP+byte], A	2	1	-	(SP + byte) A			
		B, saddr	2	1	-	B (saddr)			
		B, !addr16	3	1	4	B (addr16)			
		C, saddr	2	1	-	C (saddr)			
		C, !addr16	3	1	4	C (addr16)			
		X, saddr	2	1	-	X (saddr)			
		X, !addr16	3	1	4	X (addr16)			
		ES:!addr16, #byte	5	2	-	(ES, addr16) byte			
		A, ES:!addr16	4	2	5	A (ES, addr16)			
		ES:!addr16, A	4	2	-	(ES, addr16) A			
		A, ES:[DE]	2	2	5	A (ES, DE)			
		ES:[DE], A	2	2	-	(ES, DE) A			
		ES:[DE+byte], #byte	4	2	-	((ES, DE) + byte) byte			
		A, ES:[DE+byte]	3	2	5	A ((ES, DE) + byte)			
		ES:[DE+byte], A	3	2	-	((ES, DE) + byte) A			
A, ES:[HL]	2	2	5	A (ES, HL)					
ES:[HL], A	2	2	-	(ES, HL) A					

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表28 - 5 オペレーション一覧 (3/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット ・ デー タ 転 送	MOV	ES:[HL+byte],#byte	4	2	-	((ES, HL) + byte) byte			
		A, ES:[HL+byte]	3	2	5	A ((ES, HL) + byte)			
		ES:[HL+byte], A	3	2	-	((ES, HL) + byte) A			
		A, ES:[HL+B]	3	2	5	A ((ES, HL) + B)			
		ES:[HL+B], A	3	2	-	((ES, HL) + B) A			
		A, ES:[HL+C]	3	2	5	A ((ES, HL) + C)			
		ES:[HL+C], A	3	2	-	((ES, HL) + C) A			
		ES:word[B], #byte	5	2	-	((ES, B) + word) byte			
		A, ES:word[B]	4	2	5	A ((ES, B) + word)			
		ES:word[B], A	4	2	-	((ES, B) + word) A			
		ES:word[C], #byte	5	2	-	((ES, C) + word) byte			
		A, ES:word[C]	4	2	5	A ((ES, C) + word)			
		ES:word[C], A	4	2	-	((ES, C) + word) A			
		ES:word[BC], #byte	5	2	-	((ES, BC) + word) byte			
		A, ES:word[BC]	4	2	5	A ((ES, BC) + word)			
		ES:word[BC], A	4	2	-	((ES, BC) + word) A			
		B, ES:!addr16	4	2	5	B (ES, addr16)			
		C, ES:!addr16	4	2	5	C (ES, addr16)			
	X, ES:!addr16	4	2	5	X (ES, addr16)				
	XCH	A, r	注3 1 (r = X) 2 (r = X 以外)	1	-	A r			
		A, saddr	3	2	-	A (saddr)			
		A, sfr	3	2	-	A sfr			
		A, !addr16	4	2	-	A (addr16)			
		A, [DE]	2	2	-	A (DE)			
		A, [DE+byte]	3	2	-	A (DE + byte)			
		A, [HL]	2	2	-	A (HL)			
		A, [HL+byte]	3	2	-	A (HL + byte)			
		A, [HL+B]	2	2	-	A (HL + B)			
A, [HL+C]		2	2	-	A (HL + C)				

注1 . 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしない命令のとき。

2 . プログラム・メモリ領域をアクセスしたとき。

3 . r = Aを除く。

備考1 . 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{clk}) の1クロック分です。

2 . クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表28 - 5 オペレーション一覧 (4/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8 ビット ・ データ 転送	XCH	A, ES:!addr16	5	3	-	A (ES, addr16)				
		A, ES:[DE]	3	3	-	A (ES, DE)				
		A, ES:[DE+byte]	4	3	-	A ((ES, DE) + byte)				
		A, ES:[HL]	3	3	-	A (ES, HL)				
		A, ES:[HL+byte]	4	3	-	A ((ES, HL) + byte)				
		A, ES:[HL+B]	3	3	-	A ((ES, HL) + B)				
		A, ES:[HL+C]	3	3	-	A ((ES, HL) + C)				
	ONEB	A	1	1	-	A 01H				
		X	1	1	-	X 01H				
		B	1	1	-	B 01H				
		C	1	1	-	C 01H				
		saddr	2	1	-	(saddr) 01H				
		!addr16	3	1	-	(addr16) 01H				
		ES:!addr16	4	2	-	(ES, addr16) 01H				
	CLRb	A	1	1	-	A 00H				
		X	1	1	-	X 00H				
		B	1	1	-	B 00H				
		C	1	1	-	C 00H				
		saddr	2	1	-	(saddr) 00H				
		!addr16	3	1	-	(addr16) 00H				
		ES:!addr16	4	2	-	(ES,addr16) 00H				
	MOVS	[HL+byte], X	3	1	-	(HL + byte) X	x		x	
		ES:[HL+byte], X	4	2	-	(ES, HL + byte) X	x		x	
	16 ビット ・ データ 転送	MOVW	rp, #word	3	1	-	rp word			
			saddrp, #word	4	1	-	(saddrp) word			
			sfrp, #word	4	1	-	sfrp word			
			AX, saddrp	2	1	-	AX (saddrp)			
			saddrp, AX	2	1	-	(saddrp) AX			
AX, sfrp			2	1	-	AX sfrp				
sfrp, AX			2	1	-	sfrp AX				
AX, rp ^{注3}			1	1	-	AX rp				
rp, AX ^{注3}			1	1	-	rp AX				

注1 . 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2 . プログラム・メモリ領域をアクセスしたとき。

3 . rp = AXを除く。

備考1 . 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2 . クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表28 - 5 オペレーション一覧 (5/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	AX, !addr16	3	1	4	AX (addr16)			
		!addr16, AX	3	1	-	(addr16) AX			
		AX, [DE]	1	1	4	AX (DE)			
		[DE], AX	1	1	-	(DE) AX			
		AX, [DE+byte]	2	1	4	AX (DE + byte)			
		[DE+byte], AX	2	1	-	(DE + byte) AX			
		AX, [HL]	1	1	4	AX (HL)			
		[HL], AX	1	1	-	(HL) AX			
		AX, [HL+byte]	2	1	4	AX (HL + byte)			
		[HL+byte], AX	2	1	-	(HL + byte) AX			
		AX, word[B]	3	1	4	AX (B + word)			
		word[B], AX	3	1	-	(B + word) AX			
		AX, word[C]	3	1	4	AX (C + word)			
		word[C], AX	3	1	-	(C + word) AX			
		AX, word[BC]	3	1	4	AX (BC + word)			
		word[BC], AX	3	1	-	(BC + word) AX			
		AX, [SP+byte]	2	1	-	AX (SP + byte)			
		[SP+byte], AX	2	1	-	(SP + byte) AX			
		BC, saddrp	2	1	-	BC (saddrp)			
		BC, !addr16	3	1	4	BC (addr16)			
		DE, saddrp	2	1	-	DE (saddrp)			
		DE, !addr16	3	1	4	DE (addr16)			
		HL, saddrp	2	1	-	HL (saddrp)			
		HL, !addr16	3	1	4	HL (addr16)			
		AX, ES:!addr16	4	2	5	AX (ES, addr16)			
		ES:!addr16, AX	4	2	-	(ES, addr16) AX			
		AX, ES:[DE]	2	2	5	AX (ES, DE)			
		ES:[DE], AX	2	2	-	(ES, DE) AX			
		AX, ES:[DE+byte]	3	2	5	AX ((ES, DE) + byte)			
		ES:[DE+byte], AX	3	2	-	((ES, DE) + byte) AX			
		AX, ES:[HL]	2	2	5	AX (ES, HL)			
		ES:[HL], AX	2	2	-	(ES, HL) AX			

注1 . 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2 . プログラム・メモリ領域をアクセスしたとき。

備考1 . 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2 . クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表28 - 5 オペレーション一覧 (6/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	AX, ES:[HL+byte]	3	2	5	AX ((ES, HL) + byte)			
		ES:[HL+byte], AX	3	2	-	((ES, HL) + byte) AX			
		AX, ES:word[B]	4	2	5	AX ((ES, B) + word)			
		ES:word[B], AX	4	2	-	((ES, B) + word) AX			
		AX, ES:word[C]	4	2	5	AX ((ES, C) + word)			
		ES:word[C], AX	4	2	-	((ES, C) + word) AX			
		AX, ES:word[BC]	4	2	5	AX ((ES, BC) + word)			
		ES:word[BC], AX	4	2	-	((ES, BC) + word) AX			
		BC, ES:!addr16	4	2	5	BC (ES, addr16)			
		DE, ES:!addr16	4	2	5	DE (ES, addr16)			
	HL, ES:!addr16	4	2	5	HL (ES, addr16)				
	XCHW	AX, rp ^{注3}	1	1	-	AX rp			
	ONEW	AX	1	1	-	AX 0001H			
		BC	1	1	-	BC 0001H			
CLRW	AX	1	1	-	AX 0000H				
	BC	1	1	-	BC 0000H				
8ビット演算	ADD	A, #byte	2	1	-	A, CY A + byte	x	x	x
		saddr, #byte	3	2	-	(saddr), CY (saddr) + byte	x	x	x
		A, r ^{注4}	2	1	-	A, CY A + r	x	x	x
		r, A	2	1	-	r, CY r + A	x	x	x
		A, saddr	2	1	-	A, CY A + (saddr)	x	x	x
		A, !addr16	3	1	4	A, CY A + (addr16)	x	x	x
		A, [HL]	1	1	4	A, CY A + (HL)	x	x	x
		A, [HL+byte]	2	1	4	A, CY A + (HL + byte)	x	x	x
		A, [HL+B]	2	1	4	A, CY A + (HL + B)	x	x	x
		A, [HL+C]	2	1	4	A, CY A + (HL + C)	x	x	x
		A, ES:!addr16	4	2	5	A, CY A + (ES, addr16)	x	x	x
		A, ES:[HL]	2	2	5	A, CY A + (ES, HL)	x	x	x
		A, ES:[HL+byte]	3	2	5	A, CY A + ((ES, HL) + byte)	x	x	x
		A, ES:[HL+B]	3	2	5	A, CY A + ((ES, HL) + B)	x	x	x
		A, ES:[HL+C]	3	2	5	A, CY A + ((ES, HL) + C)	x	x	x

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

3. rp = AXを除く。

4. r = Aを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表28-5 オペレーション一覧 (7/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8ビット演算	ADDC	A, #byte	2	1	-	A, CY	A + byte + CY	x	x	x
		saddr, #byte	3	2	-	(saddr), CY	(saddr) + byte + CY	x	x	x
		A, r ^{注3}	2	1	-	A, CY	A + r + CY	x	x	x
		r, A	2	1	-	r, CY	r + A + CY	x	x	x
		A, saddr	2	1	-	A, CY	A + (saddr) + CY	x	x	x
		A, !addr16	3	1	4	A, CY	A + (addr16) + CY	x	x	x
		A, [HL]	1	1	4	A, CY	A + (HL) + CY	x	x	x
		A, [HL+byte]	2	1	4	A, CY	A + (HL + byte) + CY	x	x	x
		A, [HL+B]	2	1	4	A, CY	A + (HL + B) + CY	x	x	x
		A, [HL+C]	2	1	4	A, CY	A + (HL + C) + CY	x	x	x
		A, ES:!addr16	4	2	5	A, CY	A + (ES, addr16) + CY	x	x	x
		A, ES:[HL]	2	2	5	A, CY	A + (ES, HL) + CY	x	x	x
		A, ES:[HL+byte]	3	2	5	A, CY	A + ((ES, HL) + byte) + CY	x	x	x
		A, ES:[HL+B]	3	2	5	A, CY	A + ((ES, HL) + B) + CY	x	x	x
	A, ES:[HL+C]	3	2	5	A, CY	A + ((ES, HL) + C) + CY	x	x	x	
	SUB	A, #byte	2	1	-	A, CY	A - byte	x	x	x
		saddr, #byte	3	2	-	(saddr), CY	(saddr) - byte	x	x	x
		A, r ^{注3}	2	1	-	A, CY	A - r	x	x	x
		r, A	2	1	-	r, CY	r - A	x	x	x
		A, saddr	2	1	-	A, CY	A - (saddr)	x	x	x
		A, !addr16	3	1	4	A, CY	A - (addr16)	x	x	x
		A, [HL]	1	1	4	A, CY	A - (HL)	x	x	x
		A, [HL+byte]	2	1	4	A, CY	A - (HL + byte)	x	x	x
		A, [HL+B]	2	1	4	A, CY	A - (HL + B)	x	x	x
		A, [HL+C]	2	1	4	A, CY	A - (HL + C)	x	x	x
		A, ES:!addr16	4	2	5	A, CY	A - (ES:addr16)	x	x	x
A, ES:[HL]		2	2	5	A, CY	A - (ES:HL)	x	x	x	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

3. r = Aを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表28 - 5 オペレーション一覧 (8/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8ビット演算	SUBC	A, #byte	2	1	-	A, CY	A - byte - CY	x	x	x
		saddr, #byte	3	2	-	(saddr), CY	(saddr) - byte - CY	x	x	x
		A, r ^{注3}	2	1	-	A, CY	A - r - CY	x	x	x
		r, A	2	1	-	r, CY	r - A - CY	x	x	x
		A, saddr	2	1	-	A, CY	A - (saddr) - CY	x	x	x
		A, !addr16	3	1	4	A, CY	A - (addr16) - CY	x	x	x
		A, [HL]	1	1	4	A, CY	A - (HL) - CY	x	x	x
		A, [HL+byte]	2	1	4	A, CY	A - (HL + byte) - CY	x	x	x
		A, [HL+B]	2	1	4	A, CY	A - (HL + B) - CY	x	x	x
		A, [HL+C]	2	1	4	A, CY	A - (HL + C) - CY	x	x	x
		A, ES:!addr16	4	2	5	A, CY	A - (ES:addr16) - CY	x	x	x
		A, ES:[HL]	2	2	5	A, CY	A - (ES:HL) - CY	x	x	x
		A, ES:[HL+byte]	3	2	5	A, CY	A - ((ES:HL) + byte) - CY	x	x	x
		A, ES:[HL+B]	3	2	5	A, CY	A - ((ES:HL) + B) - CY	x	x	x
	A, ES:[HL+C]	3	2	5	A, CY	A - ((ES:HL) + C) - CY	x	x	x	
	AND	A, #byte	2	1	-	A	A byte	x		
		saddr, #byte	3	2	-	(saddr)	(saddr) byte	x		
		A, r ^{注3}	2	1	-	A	A r	x		
		r, A	2	1	-	r	r A	x		
		A, saddr	2	1	-	A	A (saddr)	x		
		A, !addr16	3	1	4	A	A (addr16)	x		
		A, [HL]	1	1	4	A	A (HL)	x		
		A, [HL+byte]	2	1	4	A	A (HL + byte)	x		
		A, [HL+B]	2	1	4	A	A (HL + B)	x		
		A, [HL+C]	2	1	4	A	A (HL + C)	x		
		A, ES:!addr16	4	2	5	A	A (ES:addr16)	x		
A, ES:[HL]		2	2	5	A	A (ES:HL)	x			

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

3. r = Aを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表28 - 5 オペレーション一覧 (9/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	OR	A, #byte	2	1	-	A A byte	x		
		saddr, #byte	3	2	-	(saddr) (saddr) byte	x		
		A, r ^{注3}	2	1	-	A A r	x		
		r, A	2	1	-	r r A	x		
		A, saddr	2	1	-	A A (saddr)	x		
		A, !addr16	3	1	4	A A (addr16)	x		
		A, [HL]	1	1	4	A A (HL)	x		
		A, [HL+byte]	2	1	4	A A (HL + byte)	x		
		A, [HL+B]	2	1	4	A A (HL + B)	x		
		A, [HL+C]	2	1	4	A A (HL + C)	x		
		A, ES:!addr16	4	2	5	A A (ES:addr16)	x		
		A, ES:[HL]	2	2	5	A A (ES:HL)	x		
		A, ES:[HL+byte]	3	2	5	A A ((ES:HL) + byte)	x		
		A, ES:[HL+B]	3	2	5	A A ((ES:HL) + B)	x		
	A, ES:[HL+C]	3	2	5	A A ((ES:HL) + C)	x			
	XOR	A, #byte	2	1	-	A A byte	x		
		saddr, #byte	3	2	-	(saddr) (saddr) byte	x		
		A, r ^{注3}	2	1	-	A A r	x		
		r, A	2	1	-	r r A	x		
		A, saddr	2	1	-	A A (saddr)	x		
		A, !addr16	3	1	4	A A (addr16)	x		
		A, [HL]	1	1	4	A A (HL)	x		
		A, [HL+byte]	2	1	4	A A (HL + byte)	x		
		A, [HL+B]	2	1	4	A A (HL + B)	x		
		A, [HL+C]	2	1	4	A A (HL + C)	x		
		A, ES:!addr16	4	2	5	A A (ES:addr16)	x		
A, ES:[HL]		2	2	5	A A (ES:HL)	x			
A, ES:[HL+byte]	3	2	5	A A ((ES:HL) + byte)	x				
A, ES:[HL+B]	3	2	5	A A ((ES:HL) + B)	x				
A, ES:[HL+C]	3	2	5	A A ((ES:HL) + C)	x				

注1 . 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2 . プログラム・メモリ領域をアクセスしたとき。

3 . r = Aを除く。

備考1 . 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2 . クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表28 - 5 オペレーション一覧 (10/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	CMP	A, #byte	2	1	-	A - byte	x	x	x
		saddr, #byte	3	1	-	(saddr) - byte	x	x	x
		A, r ^{注3}	2	1	-	A - r	x	x	x
		r, A	2	1	-	r - A	x	x	x
		A, saddr	2	1	-	A - (saddr)	x	x	x
		A, !addr16	3	1	4	A - (addr16)	x	x	x
		A, [HL]	1	1	4	A - (HL)	x	x	x
		A, [HL+byte]	2	1	4	A - (HL + byte)	x	x	x
		A, [HL+B]	2	1	4	A - (HL + B)	x	x	x
		A, [HL+C]	2	1	4	A - (HL + C)	x	x	x
		!addr16, #byte	4	1	4	(addr16) - byte	x	x	x
		A, ES:!addr16	4	2	5	A - (ES:addr16)	x	x	x
		A, ES:[HL]	2	2	5	A - (ES:HL)	x	x	x
		A, ES:[HL+byte]	3	2	5	A - ((ES:HL) + byte)	x	x	x
		A, ES:[HL+B]	3	2	5	A - ((ES:HL) + B)	x	x	x
		A, ES:[HL+C]	3	2	5	A - ((ES:HL) + C)	x	x	x
	ES:!addr16, #byte	5	2	5	(ES:addr16) - byte	x	x	x	
	CMP0	A	1	1	-	A - 00H	x	x	x
		X	1	1	-	X - 00H	x	x	x
		B	1	1	-	B - 00H	x	x	x
		C	1	1	-	C - 00H	x	x	x
		saddr	2	1	-	(saddr) - 00H	x	x	x
		!addr16	3	1	4	(addr16) - 00H	x	x	x
ES:!addr16		4	2	5	(ES:addr16) - 00H	x	x	x	
CMPS	X, [HL+byte]	3	1	4	X - (HL + byte)	x	x	x	
	X, ES:[HL+byte]	4	2	5	X - ((ES:HL) + byte)	x	x	x	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。
3. r = Aを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表28 - 5 オペレーション一覧 (11/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット演算	ADDW	AX, #word	3	1	-	AX, CY AX + word	x	x	x
		AX, AX	1	1	-	AX, CY AX + AX	x	x	x
		AX, BC	1	1	-	AX, CY AX + BC	x	x	x
		AX, DE	1	1	-	AX, CY AX + DE	x	x	x
		AX, HL	1	1	-	AX, CY AX + HL	x	x	x
		AX, saddrp	2	1	-	AX, CY AX + (saddrp)	x	x	x
		AX, !addr16	3	1	4	AX, CY AX + (addr16)	x	x	x
		AX, [HL+byte]	3	1	4	AX, CY AX + (HL + byte)	x	x	x
		AX, ES:!addr16	4	2	5	AX, CY AX + (ES:addr16)	x	x	x
		AX, ES: [HL+byte]	4	2	5	AX, CY AX + ((ES:HL) + byte)	x	x	x
	SUBW	AX, #word	3	1	-	AX, CY AX - word	x	x	x
		AX, BC	1	1	-	AX, CY AX - BC	x	x	x
		AX, DE	1	1	-	AX, CY AX - DE	x	x	x
		AX, HL	1	1	-	AX, CY AX - HL	x	x	x
		AX, saddrp	2	1	-	AX, CY AX - (saddrp)	x	x	x
		AX, !addr16	3	1	4	AX, CY AX - (addr16)	x	x	x
		AX, [HL+byte]	3	1	4	AX, CY AX - (HL + byte)	x	x	x
		AX, ES:!addr16	4	2	5	AX, CY AX - (ES:addr16)	x	x	x
		AX, ES: [HL+byte]	4	2	5	AX, CY AX - ((ES:HL) + byte)	x	x	x
	CMPW	AX, #word	3	1	-	AX - word	x	x	x
		AX, BC	1	1	-	AX - BC	x	x	x
		AX, DE	1	1	-	AX - DE	x	x	x
		AX, HL	1	1	-	AX - HL	x	x	x
		AX, saddrp	2	1	-	AX - (saddrp)	x	x	x
		AX, !addr16	3	1	4	AX - (addr16)	x	x	x
		AX, [HL+byte]	3	1	4	AX - (HL + byte)	x	x	x
		AX, ES:!addr16	4	2	5	AX - (ES:addr16)	x	x	x
AX, ES: [HL+byte]		4	2	5	AX - ((ES:HL) + byte)	x	x	x	
乗算	MULU	X	1	1	-	AX A × X			

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表28-5 オペレーション一覧 (12/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	1	-	r r + 1	x	x	
		saddr	2	2	-	(saddr) (saddr) + 1	x	x	
		!addr16	3	2	-	(addr16) (addr16) + 1	x	x	
		[HL+byte]	3	2	-	(HL + byte) (HL + byte) + 1	x	x	
		ES:!addr16	4	3	-	(ES, addr16) (ES, addr16) + 1	x	x	
		ES: [HL+byte]	4	3	-	((ES:HL) + byte) ((ES:HL) + byte) + 1	x	x	
	DEC	r	1	1	-	r r - 1	x	x	
		saddr	2	2	-	(saddr) (saddr) - 1	x	x	
		!addr16	3	2	-	(addr16) (addr16) - 1	x	x	
		[HL+byte]	3	2	-	(HL + byte) (HL + byte) - 1	x	x	
		ES:!addr16	4	3	-	(ES, addr16) (ES, addr16) - 1	x	x	
		ES: [HL+byte]	4	3	-	((ES:HL) + byte) ((ES:HL) + byte) - 1	x	x	
	INCW	rp	1	1	-	rp rp + 1			
		saddrp	2	2	-	(saddrp) (saddrp) + 1			
		!addr16	3	2	-	(addr16) (addr16) + 1			
		[HL+byte]	3	2	-	(HL + byte) (HL + byte) + 1			
		ES:!addr16	4	3	-	(ES, addr16) (ES, addr16) + 1			
		ES: [HL+byte]	4	3	-	((ES:HL) + byte) ((ES:HL) + byte) + 1			
DECW	rp	1	1	-	rp rp - 1				
	saddrp	2	2	-	(saddrp) (saddrp) - 1				
	!addr16	3	2	-	(addr16) (addr16) - 1				
	[HL+byte]	3	2	-	(HL + byte) (HL + byte) - 1				
	ES:!addr16	4	3	-	(ES, addr16) (ES, addr16) - 1				
	ES: [HL+byte]	4	3	-	((ES:HL) + byte) ((ES:HL) + byte) - 1				
シフト	SHR	A, cnt	2	1	-	(CY A ₀ , A _{m-1} A _m , A ₇ 0) × cnt			x
	SHRW	AX, cnt	2	1	-	(CY AX ₀ , AX _{m-1} AX _m , AX ₁₅ 0) × cnt			x
	SHL	A, cnt	2	1	-	(CY A ₇ , A _m A _{m-1} , A ₀ 0) × cnt			x
		B, cnt	2	1	-	(CY B ₇ , B _m B _{m-1} , B ₀ 0) × cnt			x
		C, cnt	2	1	-	(CY C ₇ , C _m C _{m-1} , C ₀ 0) × cnt			x
	SHLW	AX, cnt	2	1	-	(CY AX ₁₅ , AX _m AX _{m-1} , AX ₀ 0) × cnt			x
		BC, cnt	2	1	-	(CY BC ₁₅ , BC _m BC _{m-1} , BC ₀ 0) × cnt			x
	SAR	A, cnt	2	1	-	(CY A ₀ , A _{m-1} A _m , A ₇ A ₇) × cnt			x
SARW	AX, cnt	2	1	-	(CY AX ₀ , AX _{m-1} AX _m , AX ₁₅ AX ₁₅) × cnt			x	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

3. cntはビット・シフト数です。

表28 - 5 オペレーション一覧 (13/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ローテート	ROR	A, 1	2	1	-	(CY, A ₇ A ₀ , A _{m-1} A _m) × 1			×
	ROL	A, 1	2	1	-	(CY, A ₀ A ₇ , A _{m+1} A _m) × 1			×
	RORC	A, 1	2	1	-	(CY A ₀ , A ₇ CY, A _{m-1} A _m) × 1			×
	ROLC	A, 1	2	1	-	(CY A ₇ , A ₀ CY, A _{m+1} A _m) × 1			×
	ROLWC	AX, 1	2	1	-	(CY AX ₁₅ , AX ₀ CY, AX _{m+1} AX _m) × 1			×
		BC, 1	2	1	-	(CY BC ₁₅ , BC ₀ CY, BC _{m+1} BC _m) × 1			×
ビット操作	MOV1	CY, saddr.bit	3	1	-	CY (saddr).bit			×
		CY, sfr.bit	3	1	-	CY sfr.bit			×
		CY, A.bit	2	1	-	CY A.bit			×
		CY, PSW.bit	3	1	-	CY PSW.bit			×
		CY, [HL].bit	2	1	4	CY (HL).bit			×
		saddr.bit, CY	3	2	-	(saddr).bit CY			
		sfr.bit, CY	3	2	-	sfr.bit CY			
		A.bit, CY	2	1	-	A.bit CY			
		PSW.bit, CY	3	4	-	PSW.bit CY	×	×	
		[HL].bit, CY	2	2	-	(HL).bit CY			
		CY, ES:[HL].bit	3	2	5	CY (ES, HL).bit			×
		ES:[HL].bit, CY	3	3	-	(ES, HL).bit CY			
	AND1	CY, saddr.bit	3	1	-	CY CY (saddr).bit			×
		CY, sfr.bit	3	1	-	CY CY sfr.bit			×
		CY, A.bit	2	1	-	CY CY A.bit			×
		CY, PSW.bit	3	1	-	CY CY PSW.bit			×
		CY, [HL].bit	2	1	4	CY CY (HL).bit			×
		CY, ES:[HL].bit	3	2	5	CY CY (ES, HL).bit			×
	OR1	CY, saddr.bit	3	1	-	CY CY (saddr).bit			×
		CY, sfr.bit	3	1	-	CY CY sfr.bit			×
		CY, A.bit	2	1	-	CY CY A.bit			×
CY, PSW.bit		3	1	-	CY CY PSW.bit			×	
CY, [HL].bit		2	1	4	CY CY (HL).bit			×	
CY, ES:[HL].bit		3	2	5	CY CY (ES, HL).bit			×	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表28 - 5 オペレーション一覧 (14/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, saddr.bit	3	1	-	CY CY (saddr).bit			x
		CY, sfr.bit	3	1	-	CY CY sfr.bit			x
		CY, A.bit	2	1	-	CY CY A.bit			x
		CY, PSW.bit	3	1	-	CY CY PSW.bit			x
		CY, [HL].bit	2	1	4	CY CY (HL).bit			x
		CY, ES:[HL].bit	3	2	5	CY CY (ES, HL).bit			x
	SET1	saddr.bit	3	2	-	(saddr).bit 1			
		sfr.bit	3	2	-	sfr.bit 1			
		A.bit	2	1	-	A.bit 1			
		!addr16.bit	4	2	-	(addr16).bit 1			
		PSW.bit	3	4	-	PSW.bit 1	x	x	x
		[HL].bit	2	2	-	(HL).bit 1			
		ES:!addr16.bit	5	3	-	(ES, addr16).bit 1			
		ES:[HL].bit	3	3	-	(ES, HL).bit 1			
	CLR1	saddr.bit	3	2	-	(saddr).bit 0			
		sfr.bit	3	2	-	sfr.bit 0			
		A.bit	2	1	-	A.bit 0			
		!addr16.bit	4	2	-	(addr16).bit 0			
		PSW.bit	3	4	-	PSW.bit 0	x	x	x
		[HL].bit	2	2	-	(HL).bit 0			
		ES:!addr16.bit	5	3	-	(ES, addr16).bit 0			
		ES:[HL].bit	3	3	-	(ES, HL).bit 0			
	SET1	CY	2	1	-	CY 1			1
	CLR1	CY	2	1	-	CY 0			0
NOT1	CY	2	1	-	CY \overline{CY}			x	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表28 - 5 オペレーション一覧 (15/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
コール・リターン	CALL	rp	2	3	-	(SP - 2) (PC + 2) _s , (SP - 3) (PC + 2) _H , (SP - 4) (PC + 2) _L , PC CS, rp, SP SP - 4				
		!addr20	3	3	-	(SP - 2) (PC + 3) _s , (SP - 3) (PC + 3) _H , (SP - 4) (PC + 3) _L , PC PC + 3 + jdisp16, SP SP - 4				
		!addr16	3	3	-	(SP - 2) (PC + 3) _s , (SP - 3) (PC + 3) _H , (SP - 4) (PC + 3) _L , PC 0000, addr16, SP SP - 4				
		!!addr20	4	3	-	(SP - 2) (PC + 4) _s , (SP - 3) (PC + 4) _H , (SP - 4) (PC + 4) _L , PC addr20, SP SP - 4				
		CALLT	[addr5]	2	5	-	(SP - 2) (PC + 2) _s , (SP - 3) (PC + 2) _H , (SP - 4) (PC + 2) _L , PC _s 0000, PC _H (0000, addr5 + 1), PC _L (0000, addr5), SP SP - 4			
		BRK	-	2	5	-	(SP - 1) PSW, (SP - 2) (PC + 2) _s , (SP - 3) (PC + 2) _H , (SP - 4) (PC + 2) _L , PC _s 0000, PC _H (0007FH), PC _L (0007EH), SP SP - 4, IE 0			
		RET	-	1	6	-	PC _L (SP), PC _H (SP + 1), PC _s (SP + 2), SP SP + 4			
	RETI	-	2	6	-	PC _L (SP), PC _H (SP + 1), PC _s (SP + 2), PSW (SP + 3), SP SP + 4	R	R	R	
	RETB	-	2	6	-	PC _L (SP), PC _H (SP + 1), PC _s (SP + 2), PSW (SP + 3), SP SP + 4	R	R	R	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表28 - 5 オペレーション一覧 (16/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
スタック操作	PUSH	PSW	2	1	-	(SP - 1) PSW, (SP - 2) 00H, SP SP - 2			
		rp	1	1	-	(SP - 1) rpH, (SP - 2) rpL, SP SP - 2			
	POP	PSW	2	3	-	PSW (SP + 1), SP SP + 2	R	R	R
		rp	1	1	-	rpL (SP), rpH (SP + 1), SP SP + 2			
	MOVW	SP, #word	4	1	-	SP word			
		SP, AX	2	1	-	SP AX			
		AX, SP	2	1	-	AX SP			
		HL, SP	3	1	-	HL SP			
		BC, SP	3	1	-	BC SP			
		DE, SP	3	1	-	DE SP			
ADDW	SP, #byte	2	1	-	SP SP + byte				
SUBW	SP, #byte	2	1	-	SP SP - byte				
無条件分岐	BR	AX	2	3	-	PC CS, AX			
		\$addr20	2	3	-	PC PC + 2 + jdisp8			
		\$!addr20	3	3	-	PC PC + 3 + jdisp16			
		!addr16	3	3	-	PC 0000, addr16			
		!!addr20	4	3	-	PC addr20			
条件付き分岐	BC	\$addr20	2	2/4 ^{注3}	-	PC PC + 2 + jdisp8 if CY = 1			
	BNC	\$addr20	2	2/4 ^{注3}	-	PC PC + 2 + jdisp8 if CY = 0			
	BZ	\$addr20	2	2/4 ^{注3}	-	PC PC + 2 + jdisp8 if Z = 1			
	BNZ	\$addr20	2	2/4 ^{注3}	-	PC PC + 2 + jdisp8 if Z = 0			
	BH	\$addr20	3	2/4 ^{注3}	-	PC PC+3+jdisp8 if (Z CY)=0			
	BNH	\$addr20	3	2/4 ^{注3}	-	PC PC+3+jdisp8 if (Z CY)=1			
	BT	saddr.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if (saddr).bit = 1			
		sfr.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if sfr.bit = 1			
		A.bit, \$addr20	3	3/5 ^{注3}	-	PC PC + 3 + jdisp8 if A.bit = 1			
		PSW.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if PSW.bit = 1			
[HL].bit, \$addr20		3	3/5 ^{注3}	6/7	PC PC + 3 + jdisp8 if (HL).bit = 1				
ES:[HL].bit, \$addr20		4	4/6 ^{注3}	7/8	PC PC + 4 + jdisp8 if (ES, HL).bit = 1				

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

3. クロック数は“条件不成立時/条件成立時”を表しています。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表28-5 オペレーション一覧 (17/17)

命令群	二モニク	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	BF	saddr.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if (saddr).bit = 0			
		sfr.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if sfr.bit = 0			
		A.bit, \$addr20	3	3/5 ^{注3}	-	PC PC + 3 + jdisp8 if A.bit = 0			
		PSW.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if PSW.bit = 0			
		[HL].bit, \$addr20	3	3/5 ^{注3}	6/7	PC PC + 3 + jdisp8 if (HL).bit = 0			
		ES:[HL].bit, \$addr20	4	4/6 ^{注3}	7/8	PC PC + 4 + jdisp8 if (ES, HL).bit = 0			
	BTCLR	saddr.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if (saddr).bit = 1 then reset (saddr).bit			
		sfr.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr20	3	3/5 ^{注3}	-	PC PC + 3 + jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if PSW.bit = 1 then reset PSW.bit	x	x	x
		[HL].bit, \$addr20	3	3/5 ^{注3}	-	PC PC + 3 + jdisp8 if (HL).bit = 1 then reset (HL).bit			
		ES:[HL].bit, \$addr20	4	4/6 ^{注3}	-	PC PC + 4 + jdisp8 if (ES, HL).bit = 1 then reset (ES, HL).bit			
条件付きスキップ	SKC	-	2	1	-	Next instruction skip if CY = 1			
	SKNC	-	2	1	-	Next instruction skip if CY = 0			
	SKZ	-	2	1	-	Next instruction skip if Z = 1			
	SKNZ	-	2	1	-	Next instruction skip if Z = 0			
	SKH	-	2	1	-	Next instruction skip if (Z CY)=0			
	SKNH	-	2	1	-	Next instruction skip if (Z CY)=1			
CPU制御	SEL	Rb _n	2	1	-	RBS[1:0] n			
	NOP	-	1	1	-	No Operation			
	EI	-	3	4	-	IE 1(Enable Interrupt)			
	DI	-	3	4	-	IE 0(Disable Interrupt)			
	HALT	-	2	3	-	Set HALT Mode			
	STOP	-	2	3	-	Set STOP Mode			

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

3. クロック数は“条件不成立時/条件成立時”を表しています。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

3. nはレジスタ・バンク数です (n=0-3)。

第29章 電気的特性

注意 78K0R/Kx3-Cには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

絶対最大定格 (TA = 25) (1/2)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		- 0.5 ~ +6.5	V
	EV _{DD0} , EV _{DD1}	EV _{DD0} = EV _{DD1}	- 0.5 ~ +6.5	V
	V _{SS}		- 0.5 ~ +0.3	V
	EV _{SS0} , EV _{SS1}	EV _{SS0} = EV _{SS1}	- 0.5 ~ +0.3	V
	AV _{REF}		- 0.5 ~ V _{DD} + 0.3 ^{注1}	V
	AV _{SS}		- 0.5 ~ +0.3	V
REGC端子入力電圧	V _{I_{REGC}}	REGC	- 0.3 ~ +3.6 かつ - 0.3 ~ V _{DD} + 0.3 ^{注2}	V
入力電圧	V _{I1}	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90, P91, P110, P111, P120-P124, P131, P140-P145, EXCLK, RESET, FLMD0	- 0.3 ~ EV _{DD0} , EV _{DD1} + 0.3 かつ - 0.3 ~ V _{DD} + 0.3 ^{注1}	V
	V _{I2}	P60-P63 (N-chオープン・ドレイン)	- 0.3 ~ +6.5	V
	V _{I3}	P20-P27, P150-P157	- 0.3 ~ AV _{REF} + 0.3 かつ - 0.3 ~ V _{DD} + 0.3 ^{注1}	V

注1. 6.5 V以下であること。

- REGC端子にはコンデンサ (0.47 ~ 1 μF) を介してV_{SS}に接続してください。
この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

- 次に示すポート端子は、製品により端子の有無が異なります。

P90	: 78K0R/KF3-Cのみ
P00, P01, P56, P57, P80-P87, P131, P141, P145, P154-P157	: 78K0R/KG3-Cのみ
- 78K0R/KF3-Cでは、EV_{DD0}とEV_{DD1}をEV_{DD}に、EV_{SS0}とEV_{SS1}をEV_{SS}に読み替えてください。

絶対最大定格 (TA = 25) (2/2)

項目	略号	条件		定格	単位
出力電圧	V _{O1}	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90, P91, P110, P111, P120, P130, P131, P140-P145		- 0.3 ~ EV _{DD0} , EV _{DD1} + 0.3 ^注	V
	V _{O2}	P20-P27, P150-P157		- 0.3 ~ AV _{REF} + 0.3	V
アナログ入力電圧	V _{AN}	ANI0-ANI15		- 0.3 ~ AV _{REF} + 0.3 ^注 かつ - 0.3 ~ V _{DD} + 0.3 ^注	V
ハイ・レベル出力電流	I _{OH1}	1端子	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90, P91, P110, P111, P120, P130, P131, P140-P145	- 10	mA
		端子合計 - 80 mA	P00-P04, P40-P47, P120, P130, P131, P140-P145	- 25	mA
			P05, P06, P10-P17, P30, P31, P50-P57, P64-P67, P70-P77, P80-P87, P90, P91, P110, P111	- 55	mA
	I _{OH2}	1端子	P20-P27, P150-P157	- 0.5	mA
		端子合計		- 2	mA
	ロウ・レベル出力電流	I _{OL1}	1端子	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90, P91, P110, P111, P120, P130, P131, P140-P145	30
端子合計 200 mA			P00-P04, P40-P47, P120, P130, P131, P140-P145	60	mA
			P05, P06, P10-P17, P30, P31, P50-P57, P60-P67, P70-P77, P80-P87, P90, P91, P110, P111	140	mA
I _{OL2}		1端子	P20-P27, P150-P157	1	mA
		端子合計		5	mA
動作周囲温度		T _A	通常動作時		- 40 ~ + 85
	フラッシュ・メモリ・プログラミング時				
保存温度	T _{stg}			- 65 ~ + 150	

注 6.5 V以下であること。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

2. 次に示すポート端子は、製品により端子の有無が異なります。

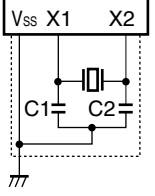
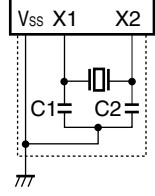
P90 : 78K0R/KF3-Cのみ

P00, P01, P56, P57, P80-P87, P131, P141, P145, P154-P157 : 78K0R/KG3-Cのみ

3. 78K0R/KF3-Cでは、EV_{DD0}とEV_{DD1}をEV_{DD}に、EV_{SS0}とEV_{SS1}をEV_{SS}に読み替えてください。

X1発振回路特性

(TA = -40 ~ +85 , 2.7 V VDD = EVDD0 = EVDD1 5.5 V, VSS = EVSS0 = EVSS1 = AVSS = 0 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック発振子		X1クロック発振周波数 (fx) 注	2.7 V VDD 5.5 V	2.0		20.0	MHz
水晶振動子		X1クロック発振周波数 (fx) 注	2.7 V VDD 5.5 V	2.0		20.0	MHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にVSSと同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. リセット解除後は、高速内蔵発振クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ(OSTC)でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ(OSTS)の発振安定時間を決定してください。

備考1. 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

2. 78K0R/KF3-Cでは、EVDD0とEVDD1をEVDDに、EVSS0とEVSS1をEVSSに読み替えてください。

内蔵発振回路特性

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD0} = EV_{DD1} = 5.5$ V, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

発振子	略号	条件	MIN.	TYP.	MAX.	単位	
高速内蔵発振器発振周波数 ^注	f _{IH8}	2.7 V $V_{DD} = 5.5$ V	7.856	8.0	8.144	MHz	
	f _{IH20}	2.7 V $V_{DD} = 5.5$ V	19.52	20.0	20.48	MHz	
低速内蔵発振器発振周波数	f _{IL}	2.7 V $V_{DD} = 5.5$ V	通常消費電力モード (RMC = 00H)	27	30	33	kHz
			低消費電力モード (RMC = 5AH)	25.5	30	34.5	kHz

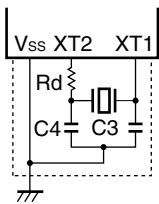
注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

備考1. RMC : レギュレータ・モード制御レジスタ

2. 78K0R/KF3-Cでは、 EV_{DD0} と EV_{DD1} を EV_{DD} に、 EV_{SS0} と EV_{SS1} を EV_{SS} に読み替えてください。

XT1発振回路特性

(TA = -40 ~ +85 , 2.7 V VDD = EVDD0 = EVDD1 5.5 V, VSS = EVSS0 = EVSS1 = AVSS = 0 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		XT1クロック発振周波数 (f _{XT}) ^注		32	32.768	35	kHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. XT1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. XT1発振回路は、低消費電力にするために増幅度の低い回路になっており、ノイズによる誤動作がXT1発振回路よりも起こりやすくなっています。したがって、XT1クロックを使用する場合は、配線方法について特にご注意ください。

備考1. 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

2. 78K0R/KF3-Cでは、EVDD0とEVDD1をEVDDに、EVSS0とEVSS1をEVSSに読み替えてください。

推奨発振回路定数

(1) X1発振：セラミック発振子 (AMPH = 0, RMC = 00H, T_A = -40 ~ +85)

メーカー	品名	SMD/ リード	周波数 (MHz)	水晶回路定数			発振電圧範囲	
				C1 (pF)	C2 (pF)	Rd (k)	MIN. (V)	MAX. (V)
村田製作所 ^注	CSTCC2M00G56-R0	SMD	2.0	内蔵 (47)	内蔵 (47)	0	2.7	5.5
	CSTCR4M00G55-R0	SMD	4.0	内蔵 (39)	内蔵 (39)	0		
	CSTLS4M00G56-B0	リード		内蔵 (47)	内蔵 (47)	0		
	CSTCR4M19G55-R0	SMD	4.194	内蔵 (39)	内蔵 (39)	0		
	CSTLS4M19G56-B0	リード		内蔵 (47)	内蔵 (47)	0		
	CSTCR4M91G55-R0	SMD	4.915	内蔵 (39)	内蔵 (39)	0		
	CSTLS4M91G56-B0	リード		内蔵 (47)	内蔵 (47)	0		
	CSTCR5M00G55-R0	SMD	5.0	内蔵 (39)	内蔵 (39)	0		
	CSTLS5M00G53-B0	リード		内蔵 (15)	内蔵 (15)	0		
	CSTCR6M00G53-R0	SMD	6.0	内蔵 (15)	内蔵 (15)	0		
	CSTLS6M00G53-B0	リード		内蔵 (15)	内蔵 (15)	0		
	CSTCE8M00G55-R0	SMD	8.0	内蔵 (33)	内蔵 (33)	0		
	CSTLS8M00G53-B0	リード		内蔵 (15)	内蔵 (15)	0		
	CSTCE8M38G55-R0	SMD	8.388	内蔵 (33)	内蔵 (33)	0		
	CSTLS8M38G53-B0	リード		内蔵 (15)	内蔵 (15)	0		
	CSTCE10M0G52-R0	SMD	10.0	内蔵 (10)	内蔵 (10)	0		
CSTLS10M0G53-B0	リード	内蔵 (15)		内蔵 (15)	0			

(2) X1発振：水晶振動子 (AMPH = 0, RMC = 00H, T_A = -40 ~ +85)

メーカー	品名	SMD/ リード	周波数 (MHz)	推奨回路定数			発振電圧範囲	
				C1 (pF)	C2 (pF)	Rd (k)	MIN. (V)	MAX. (V)
京セラキンセキ 株式会社	HC49SFWB	リード	4.0	10	10	0	1.8	5.5
	HC49SFWB	リード	4.9152	10	10	0		
	HC49SFWB	リード	5.0	10	10	0		
	HC49SFWB	リード	6.0	10	10	0		
	HC49SFWB	リード	8.0	10	10	0		
	HC49SFWB	リード	8.38	10	10	0		
	HC49SFWB	リード	10.0	10	10	0		

(3) X1発振：セラミック発振子 (AMPH = 1, RMC = 00H, T_A = -40 ~ +85)

メーカー	品名	SMD/ リード	周波数 (MHz)	水晶回路定数			発振電圧範囲	
				C1 (pF)	C2 (pF)	Rd (k)	MIN. (V)	MAX. (V)
村田製作所 ^注	CSTCE12M0G55-R0	SMD	12.0	内蔵 (33)	内蔵 (33)	0	2.7	5.5
	CSTCE16M0V53-R0	SMD	16.0	内蔵 (15)	内蔵 (15)	0		
	CSTLS16M0X51-B0	リード		内蔵 (5)	内蔵 (5)	0		
	CSTCE20M0V53-R0	SMD	20.0	内蔵 (15)	内蔵 (15)	0		
	CSTLS20M0X51-B0	リード		内蔵 (5)	内蔵 (5)	0		

注 この発振子を使用する場合は株式会社村田製作所 (<http://www.murata.co.jp/>) にお問い合わせください。

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、78K0R/KF3-C, 78K0R/KG3-Cの内部動作条件についてはDC, AC特性の規格内で使用してください。

(4) X1発振：水晶振動子 (AMPH = 1, RMC = 00H, T_A = -40 ~ +85)

メーカー	品名	SMD/ リード	周波数 (MHz)	推奨回路定数			発振電圧範囲	
				C1 (pF)	C2 (pF)	Rd (k)	MIN. (V)	MAX. (V)
京セラキンセキ 株式会社	HC49SFWB	リード	12.0	10	10	0	1.8	5.5
	HC49SFWB	リード	16.0	10	10	0		
	HC49SFWB	リード	20.0	10	10	0		

(5) X1発振：セラミック発振子 (AMPH = 1, RMC = 5AH, T_A = -40 ~ +85)

メーカー	品名	SMD/ リード	周波数 (MHz)	水晶回路定数			発振電圧範囲	
				C1 (pF)	C2 (pF)	Rd (k)	MIN. (V)	MAX. (V)
村田製作所 ^{注1}	CSTCC2M00G56-R0	SMD	2.0	内蔵 (47)	内蔵 (47)	0	2.7	5.5
	CSTCR4M00G55-R0	SMD	4.0	内蔵 (39)	内蔵 (39)	0		
	CSTLS4M00G53-B0	リード		内蔵 (15)	内蔵 (15)	0		
	CSTCR4M19G55-R0	SMD	4.194	内蔵 (39)	内蔵 (39)	0		
	CSTLS4M19G53-B0	リード		内蔵 (15)	内蔵 (15)	0		
	CSTCR4M91G55-R0	SMD	4.915	内蔵 (39)	内蔵 (39)	0		
	CSTLS4M91G53-B0	リード		内蔵 (15)	内蔵 (15)	0		
	CSTCR5M00G53-R0	SMD	5.0	内蔵 (15)	内蔵 (15)	0		
CSTLS5M00G53-B0	リード	内蔵 (15)		内蔵 (15)	0			

(6) XT1発振：水晶振動子 (T_A = -40 ~ +85)

メーカー	品名	SMD/ リード	周波数 (kHz)	負荷容量 CL (pF)	XT1発振モード ^{注2}	水晶回路定数			発振電圧範囲	
						C3 (pF)	C4 (pF)	Rd (k)	MIN. (V)	MAX. (V)
シチズン ファインテック クミヨタ 株式会社 ^{注3}	CMR200T	SMD	32.768	7	通常発振	9	9	0	1.8	5.5
					低消費発振	9	9	0		
					超低消費発振	9	9	0		
セイコーイン スツル株式会 社 ^{注4}	SSP-T7-FL	SMD	32.768	6.0	通常発振	9	8	0	1.8	5.5
					低消費発振	6	5	0		
					超低消費発振	4	4	0		
	VT-200-FL	リード		6.0	通常発振	9	8	0		
					低消費発振	6	5	0		
					超低消費発振	4	4	0		

注1. この発振子を使用する場合は株式会社村田製作所 (<http://www.murata.co.jp/>) にお問い合わせください。

2. XT1発振モードは、クロック動作モード制御レジスタ (CMC) のAMPHS0, AMPHS1ビットで設定します。

3. この発振子を使用する場合はシチズンファインテッククミヨタ株式会社 (<http://cfm.citizen.co.jp>) にお問い合わせください。

4. この発振子を使用する場合はセイコーインスツル株式会社 (<http://www.sii-crystal.com>) にお問い合わせください。

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、78K0R/KF3-C 78K0R/KG3-C内部動作条件についてはDC, AC特性の規格内で使用してください。

DC特性 (1/10)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD0} = EV_{DD1}$ $5.5\text{ V}, 2.7\text{ V}$ AV_{REF} $V_{DD}, V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流 ^{注1}	IOH1	P00-P06, P10-P17, P30, P31, 4.0 V V_{DD} 5.5 V			- 3.0	mA	
		P40-P47, P50-P57, P64-P67, 2.7 V $V_{DD} < 4.0\text{ V}$			- 1.0	mA	
	1端子	P70-P77, P80-P87, P90, P91, P110, P111, P120, P130, P131, P140-P145					
		P00-P04, P40-P47, P120, 4.0 V V_{DD} 5.5 V			- 20.0	mA	
	合計 (デューティ = 70 %時 ^{注2})	P130, P131, P140-P145	2.7 V $V_{DD} < 4.0\text{ V}$			- 10.0	mA
		P05, P06, P10-P17, P30, 4.0 V V_{DD} 5.5 V			- 30.0	mA	
	合計 (デューティ = 70 %時 ^{注2})	P31, P50-P57, P64-P67, 2.7 V $V_{DD} < 4.0\text{ V}$			- 19.0	mA	
		P70-P77, P80-P87, P90, P91, P110, P111					
	全端子合計 (デューティ = 60 %時 ^{注2})	4.0 V V_{DD} 5.5 V			- 50.0	mA	
		2.7 V $V_{DD} < 4.0\text{ V}$			- 29.0	mA	
IOH2	P20-P27, P150-P157 1端子	$AV_{REF} = V_{DD}$			- 0.1	mA	

注1. EV_{DD0} , EV_{DD1} 端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

2. デューティ = 60 %または70 %の条件でのスペックです。

デューティ比を変更した出力電流の値は、次の計算式で求めることができます(70 %のデューティをn %に変更する場合)。

$$\cdot \text{端子合計の出力電流} = (I_{OH} \times 0.7) / (n \times 0.01)$$

< 計算例 > $I_{OH} = -20.0\text{ mA}$ の場合, $n = 50\%$

$$\text{端子合計の出力電流} = (-20.0 \times 0.7) / (50 \times 0.01) = -28.0\text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注意 P02-P04, P10, P12, P40, P142-P144は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

2. 次に示すポート端子は、製品により端子の有無が異なります。

P90 : 78K0R/KF3-Cのみ

P00, P01, P56, P57, P80-P87, P131, P141, P145, P154-P157 : 78K0R/KG3-Cのみ

3. 78K0R/KF3-Cでは、 EV_{DD0} と EV_{DD1} を EV_{DD} に、 EV_{SS0} と EV_{SS1} を EV_{SS} に読み替えてください。

DC特性 (2/10)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD0} = EV_{DD1}$ $5.5\text{ V}, 2.7\text{ V}$ AV_{REF} $V_{DD}, V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ロウ・レベル出力電流 ^{注1}	I _{OL1}	P00-P06, P10-P17, P30, P31, 4.0 V $V_{DD} = 5.5\text{ V}$			8.5	mA
		P40-P47, P50-P57, P64-P67, 2.7 V $V_{DD} < 4.0\text{ V}$			1.0	mA
	P70-P77, P80-P87, P90, P91, P110, P111, P120, P130, P131, P140-P145 1端子	4.0 V $V_{DD} = 5.5\text{ V}$			15.0	mA
		2.7 V $V_{DD} < 4.0\text{ V}$			3.0	mA
	P00-P04, P40-P47, P120, P130, P131, P140-P145 合計 (デューティ = 70 %時 ^{注2})	4.0 V $V_{DD} = 5.5\text{ V}$			20.0	mA
		2.7 V $V_{DD} < 4.0\text{ V}$			15.0	mA
	P05, P06, P10-P17, P30, P31, P50-P57, P60-P67, P70-P77, P80-P87, P90, P91, P110, P111 合計 (デューティ = 70 %時 ^{注2})	4.0 V $V_{DD} = 5.5\text{ V}$			45.0	mA
		2.7 V $V_{DD} < 4.0\text{ V}$			35.0	mA
	全端子合計 (デューティ = 60 %時 ^{注2})	4.0 V $V_{DD} = 5.5\text{ V}$			65.0	mA
		2.7 V $V_{DD} < 4.0\text{ V}$			50.0	mA
I _{OL2}	P20-P27, P150-P157 1端子	$AV_{REF} = V_{DD}$			0.4	mA

注1. 出力端子からEV_{SS0}, EV_{SS1}, V_{SS}, AV_{SS}端子に流れ込んでも、デバイスの動作を保証する電流値です。

2. デューティ = 60 %または70 %の条件でのスペックです。

デューティ比を変更した出力電流の値は、次の計算式で求めることができます(70 %のデューティをn %に変更する場合)。

$$\cdot \text{端子合計の出力電流} = (I_{OL} \times 0.7) / (n \times 0.01)$$

< 計算例 > $I_{OL} = 20.0\text{ mA}$ の場合, $n = 50\%$

$$\text{端子合計の出力電流} = (20.0 \times 0.7) / (50 \times 0.01) = 28.0\text{ mA}$$

ただし、1端子当たりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

2. 次に示すポート端子は、製品により端子の有無が異なります。

P90 : 78K0R/KF3-Cのみ

P00, P01, P56, P57, P80-P87, P131, P141, P145, P154-P157 : 78K0R/KG3-Cのみ

3. 78K0R/KF3-Cでは、EV_{DD0}とEV_{DD1}をEV_{DD}に、EV_{SS0}とEV_{SS1}をEV_{SS}に読み替えてください。

DC特性 (3/10)

($T_A = -40 \sim +85$ 2.7 V $V_{DD} = EV_{DD0} = EV_{DD1}$ $5.5\text{ V}, 2.7\text{ V}$ AV_{REF} $V_{DD}, V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	V_{IH1}	P01, P02, P12, P13, P15, P41, P45, P52, P56, P57, P80-P87, P90, P91, P111, P123, P124, P144	$0.7V_{DD}$		V_{DD}	V	
	V_{IH2}	P00, P03-P06, P10, P11, P14, P16, P17, P30, P31, P40, P42-P44, P46, P47, P50, P51, P53-P55, P64-P67, P70-P77, P110, P120-P122, P131, P140-P143, P145, EXCLK, RESET	通常入力バッファ	$0.8V_{DD}$	V_{DD}	V	
	V_{IH3}	P03, P04, P10, P11, P142, P143	TTL入力バッファ $4.0\text{ V } V_{DD} 5.5\text{ V}$	2.2		V_{DD}	V
			TTL入力バッファ $2.7\text{ V } V_{DD} < 4.0\text{ V}$	2.0		V_{DD}	V
	V_{IH4}	P20-P27, P150-P157	$AV_{REF} = V_{DD}$	$0.7AV_{REF}$	AV_{REF}	V	
	V_{IH5}	P60-P63		$0.7V_{DD}$	6.0	V	
	V_{IH6}	P62	CEC入力バッファ $V_{DD} = 3.3\text{ V} \pm 10\%$	2.0		3.63	V
	V_{IH7}	FLMD0		$0.9V_{DD}$ 注1		V_{DD}	V
ロウ・レベル入力電圧	V_{IL1}	P01, P02, P12, P13, P15, P41, P45, P52, P56, P57, P80-P87, P90, P91, P111, P123, P124, P144	0		$0.3V_{DD}$	V	
	V_{IL2}	P00, P03-P06, P10, P11, P14, P16, P17, P30, P31, P40, P42-P44, P46, P47, P50, P51, P53-P55, P64-P67, P70-P77, P110, P120-P122, P131, P140-P143, P145, EXCLK, RESET	通常入力バッファ	0	$0.2V_{DD}$	V	
	V_{IL3}	P03, P04, P10, P11, P142, P143	TTL入力バッファ $4.0\text{ V } V_{DD} 5.5\text{ V}$	0		0.8	V
			TTL入力バッファ $2.7\text{ V } V_{DD} < 4.0\text{ V}$	0		0.5	V
	V_{IL4}	P20-P27, P150-P157	$AV_{REF} = V_{DD}$	0	$0.3AV_{REF}$	V	
	V_{IL5}	P60-P63		0	$0.3V_{DD}$	V	
	V_{IL6}	P62	CEC入力バッファ $V_{DD} = 3.3\text{ V} \pm 10\%$	0		0.8	V
	V_{IL7}	FLMD0 注2		0		$0.1V_{DD}$	V

注1. フラッシュ・メモリ・プログラミング・モードで使用するときには、 $0.9V_{DD}$ 以上にする必要があります。

2. フラッシュ・メモリを書き換え禁止にする場合は、FLMD0端子処理を直接 V_{SS} へ接続し、 $0.1V_{DD}$ 以下の電圧を保つようにしてください。

注意 P02-P04, P10, P12, P40, P142-P144は、N-chオープン・ドレイン・モード時でも V_{IH} の最大値 (MAX.) は V_{DD} です。

備考1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

2. 次に示すポート端子は、製品により端子の有無が異なります。

P90 : 78K0R/KF3-Cのみ

P00, P01, P56, P57, P80-P87, P131, P141, P145, P154-P157 : 78K0R/KG3-Cのみ

3. 78K0R/KF3-Cでは、 EV_{DD0} と EV_{DD1} を EV_{DD} に、 EV_{SS0} と EV_{SS1} を EV_{SS} に読み替えてください。

DC特性 (4/10)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V, 2.7 V AV_{REF} V_{DD} , $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル出力電圧	V _{OH1}	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90, P91, P110, P111, P120, P130, P131, P140-P145	4.0 V V_{DD} 5.5 V, $I_{OH1} = -3.0$ mA	$V_{DD} - 0.7$		V
			2.7 V V_{DD} 5.5 V, $I_{OH1} = -1.0$ mA	$V_{DD} - 0.5$		V
	V _{OH2}	P20-P27, P150-P157	$AV_{REF} = V_{DD}$, $I_{OH2} = -0.1$ mA	$AV_{REF} - 0.5$		V
	V _{OH3}	P62	CECIOモード ^註 $V_{DD} = 3.3$ V \pm 10% $I_{OH1} = -12.0$ μ A	2.5	3.63	V
ロウ・レベル出力電圧	V _{OL1}	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90, P91, P110, P111, P120, P130, P131, P140-P145	4.0 V V_{DD} 5.5 V, $I_{OL1} = 8.5$ mA		0.7	V
			2.7 V V_{DD} 5.5 V, $I_{OL1} = 1.0$ mA		0.5	V
	V _{OL2}	P20-P27, P150-P157	$AV_{REF} = V_{DD}$, $I_{OL2} = 0.4$ mA		0.4	V
	V _{OL3}	P60-P63	4.0 V V_{DD} 5.5 V, $I_{OL1} = 15.0$ mA		2.0	V
			4.0 V V_{DD} 5.5 V, $I_{OL1} = 5.0$ mA		0.4	V
			2.7 V V_{DD} 5.5 V, $I_{OL1} = 3.0$ mA		0.4	V
	V _{OL4}	P62	CECIOモード $V_{DD} = 3.3$ V \pm 10% $I_{OL1} = 3.3$ mA		0.6	V

注 プルアップ抵抗 + ダイオードを接続時

備考1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

2. 次に示すポート端子は、製品により端子の有無が異なります。

P90 : 78K0R/KF3-Cのみ

P00, P01, P56, P57, P80-P87, P131, P141, P145, P154-P157 : 78K0R/KG3-Cのみ

3. 78K0R/KF3-Cでは、 EV_{DD0} と EV_{DD1} を EV_{DD} に、 EV_{SS0} と EV_{SS1} を EV_{SS} に読み替えてください。

DC特性 (5/10)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD0} = EV_{DD1}$ $5.5\text{ V}, 2.7\text{ V}$ AV_{REF} $V_{DD}, V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位				
ハイ・レベル入力リーク電流	I _{LIH1}	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90, P91, P110, P111, P120, P131, P140-P145, FLMD0, RESET	$V_i = V_{DD}$			1	μA			
	I _{LIH2}	P20-P27, P150-P157	$V_i = V_{SS},$ $AV_{REF} = V_{DD}$			1	μA			
	I _{LIH3}	P121-P124 (X1, X2, XT1, XT2)	$V_i = V_{DD}$ 入力ポート時			1	μA			
			発振子接続時			10	μA			
I _{LIH4}	P62	CECIOモード $V_i = 3.63\text{ V}$			1.8	μA				
ロウ・レベル入力リーク電流	I _{LIL1}	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90, P91, P110, P111, P120, P131, P140-P145, FLMD0, RESET	$V_i = V_{SS}$			- 1	μA			
				I _{LIL2}	P20-P27, P150-P157	$V_i = V_{SS},$ $AV_{REF} = V_{DD}$			- 1	μA
				I _{LIL3}	P121-P124 (X1, X2, XT1, XT2)	$V_i = V_{SS}$ 入力ポート時			- 1	μA
						発振子接続時			- 10	μA
I _{LIL4}	P62	CECIOモード $V_i = V_{SS}$			- 1.8	μA				

備考1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

2. 次に示すポート端子は、製品により端子の有無が異なります。

P90 : 78K0R/KF3-Cのみ

P00, P01, P56, P57, P80-P87, P131, P141, P145, P154-P157 : 78K0R/KG3-Cのみ

3. 78K0R/KF3-Cでは、 EV_{DD0} と EV_{DD1} を EV_{DD} に、 EV_{SS0} と EV_{SS1} を EV_{SS} に読み替えてください。

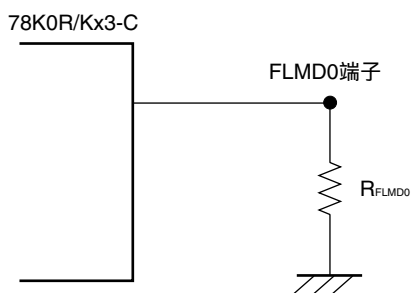
DC特性 (6/10)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD0} = EV_{DD1}$ $5.5\text{ V}, 2.7\text{ V}$ AV_{REF} $V_{DD}, V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
内蔵プルアップ抵抗	R _U	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90, P91, P110, P111, P120, P131, P140-P145	$V_i = V_{SS}$, 入力ポート時	10	20	100	k
		P62	CECIOモード ^{注1}	18	26	28.6	k
FLMDO端子 外付けプルダウン抵抗 ^{注2}	R _{FLMDO}	ソフトウェアでのセルフ・プログラミング・モード設定を有効にする場合	100			k	

注1. プルアップ抵抗 + ダイオードを接続時

- FLMDO端子はオープンにすることを推奨します。もし、外部でもプルダウンする必要がある場合は、R_{FLMDO}を100 k 以上にしてください。



備考1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

- 次に示すポート端子は、製品により端子の有無が異なります。

P90 : 78K0R/KF3-Cのみ

P00, P01, P56, P57, P80-P87, P131, P141, P145, P154-P157 : 78K0R/KG3-Cのみ

- 78K0R/KF3-Cでは、EV_{DD0}とEV_{DD1}をEV_{DD}に、EV_{SS0}とEV_{SS1}をEV_{SS}に読み替えてください。

DC特性 (7/10)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V, 2.7 V AV_{REF} V_{DD} , $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電流	I_{DD1} ^{注1}	$f_{MX} = 20$ MHz ^{注2} , $V_{DD} = 5.0$ V	方形波入力	5.9	8.3	mA
			発振子接続	6.2	8.6	
		$f_{MX} = 20$ MHz ^{注2} , $V_{DD} = 3.0$ V	方形波入力	5.9	8.3	mA
			発振子接続	6.2	8.6	
		$f_{MX} = 10$ MHz ^{注2,3} , $V_{DD} = 5.0$ V	方形波入力	3.3	4.8	mA
			発振子接続	3.4	4.9	
		$f_{MX} = 10$ MHz ^{注2,3} , $V_{DD} = 3.0$ V	方形波入力	3.3	4.8	mA
			発振子接続	3.4	4.9	
		$f_{MX} = 5$ MHz ^{注2,3} , $V_{DD} = 3.0$ V	方形波入力	1.8	2.7	mA
			発振子接続	1.9	2.8	
		$f_{IH20} = 20$ MHz ^{注4}	$V_{DD} = 5.0$ V	6.1	8.6	mA
			$V_{DD} = 3.0$ V	6.1	8.6	
		$f_{IH} = 8$ MHz ^{注4}	$V_{DD} = 5.0$ V	2.6	3.8	mA
			$V_{DD} = 3.0$ V	2.6	3.8	
$f_{SUB} = 32.768$ kHz ^{注5} , $T_A = -40 \sim +50$	$V_{DD} = 5.0$ V	4.3	9.3	μ A		
	$V_{DD} = 3.0$ V	4.3	9.3	μ A		
$f_{SUB} = 32.768$ kHz ^{注5} , $T_A = -40 \sim +70$	$V_{DD} = 5.0$ V	4.3	12.3	μ A		
	$V_{DD} = 3.0$ V	4.3	12.3	μ A		
$f_{SUB} = 32.768$ kHz ^{注5} , $T_A = -40 \sim +85$	$V_{DD} = 5.0$ V	4.3	15.5	μ A		
	$V_{DD} = 3.0$ V	4.3	15.5	μ A		

注1. V_{DD} , EV_{DD0} , EV_{DD1} , AV_{REF} に流れるトータル電流です。入力端子を V_{DD} または V_{SS} に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVI回路、I/Oポート、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。

2. 高速内蔵発振, 20 MHz高速内蔵発振, サブシステム・クロックは停止時。
3. AMPH (クロック動作モード制御レジスタ (CMC) のビット0) = 0, FLPC, FSEL (動作スピード・モード制御レジスタ (OSMC) のビット1, 0) = 0, 0設定時。
4. 高速システム・クロック, サブシステム・クロックは停止時。
5. 高速内蔵発振, 20 MHz高速内蔵発振, 高速システム・クロックは停止時。ウォッチドッグ・タイマは停止時。

備考1. 78K0R/KF3-Cでは, EV_{DD0} と EV_{DD1} を EV_{DD} に, EV_{SS0} と EV_{SS1} を EV_{SS} に読み替えてください。

2. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
 f_{IH20} : 20 MHz高速内蔵発振クロック周波数
 f_{IH} : 高速内蔵発振クロック周波数
 f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)
3. TYP.値の温度条件は, $T_A = 25$ です。

DC特性 (8/10)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V, 2.7 V AV_{REF} V_{DD} , $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
電源電流	I_{DD2} ^{注1}	HALTモード	$f_{MX} = 20$ MHz ^{注2} , $V_{DD} = 5.0$ V	方形波入力	1.2	3.6	mA
				発振子接続	1.5	3.9	
			$f_{MX} = 20$ MHz ^{注2} , $V_{DD} = 3.0$ V	方形波入力	1.2	3.6	mA
				発振子接続	1.5	3.9	
			$f_{MX} = 10$ MHz ^{注2,3} , $V_{DD} = 5.0$ V	方形波入力	0.7	2.1	mA
				発振子接続	0.8	2.2	
			$f_{MX} = 10$ MHz ^{注2,3} , $V_{DD} = 3.0$ V	方形波入力	0.7	2.1	mA
				発振子接続	0.8	2.2	
			$f_{MX} = 5$ MHz ^{注2,3} , $V_{DD} = 3.0$ V	方形波入力	0.41	1.8	mA
				発振子接続	0.46	1.8	
$f_{IH20} = 20$ MHz ^{注4}	$V_{DD} = 5.0$ V	1.4	3.9	mA			
	$V_{DD} = 3.0$ V	1.4	3.9				
$f_{IH} = 8$ MHz ^{注4}	$V_{DD} = 5.0$ V	0.48	1.8	mA			
	$V_{DD} = 3.0$ V	0.48	1.8				

注1. V_{DD} , EV_{DD0} , EV_{DD1} , AV_{REF} に流れるトータル電流です。入力端子を V_{DD} または V_{SS} に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVI回路、I/Oポート、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。フラッシュ・メモリでのHALT命令実行時。

- 高速内蔵発振, 20 MHz高速内蔵発振, サブシステム・クロックは停止時。
- AMPH (クロック動作モード制御レジスタ (CMC) のビット0) = 0, FLPC, FSEL (動作スピード・モード制御レジスタ (OSMC) のビット1, 0) = 0, 0設定時。
- 高速システム・クロック, サブシステム・クロックは停止時。

備考1. 78K0R/KF3-Cでは, EV_{DD0} と EV_{DD1} を EV_{DD} に, EV_{SS0} と EV_{SS1} を EV_{SS} に読み替えてください。

- f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
 f_{IH20} : 20 MHz高速内蔵発振クロック周波数
 f_{IH} : 高速内蔵発振クロック周波数
- TYP.値の温度条件は, $T_A = 25$ です。

DC特性 (9/10)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V, 2.7 V AV_{REF} V_{DD} , $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

項目	略号	条件		MIN.	TYP.	MAX.	単位		
電源電流	I_{DD2} ^{注1}	HALTモード	$f_{SUB} = 32.768$ kHz ^{注2} , $T_A = -40 \sim +50$	$V_{DD} = 5.0$ V		1.0	3.7	μ A	
				$V_{DD} = 3.0$ V		1.0	3.7	μ A	
				$f_{SUB} = 32.768$ kHz ^{注2} , $T_A = -40 \sim +70$	$V_{DD} = 5.0$ V		1.0	6.1	μ A
					$V_{DD} = 3.0$ V		1.0	6.1	μ A
				$f_{SUB} = 32.768$ kHz ^{注2} , $T_A = -40 \sim +85$	$V_{DD} = 5.0$ V		1.0	8.9	μ A
					$V_{DD} = 3.0$ V		1.0	8.9	μ A
	I_{DD3} ^{注3}	STOPモード				0.37	2.8	μ A	
					0.37	5.2	μ A		
					0.37	7.9	μ A		

- 注1. V_{DD} , EV_{DD0} , EV_{DD1} , AV_{REF} に流れるトータル電流です。入力端子を V_{DD} または V_{SS} に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし, A/Dコンバータ, LVI回路, I/Oポート, 内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。フラッシュ・メモリでのHALT命令実行時。
2. 高速内蔵発振, 20 MHz高速内蔵発振, 高速システム・クロックは停止時。ウォッチドッグ・タイマは停止時。RTCLPC = 1 (リアルタイム・カウンタ以外の周辺機能へのサブシステム・クロック供給禁止) 時。
3. V_{DD} , EV_{DD0} , EV_{DD1} , AV_{REF} に流れるトータル電流です。入力端子を V_{DD} または V_{SS} に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流, STOPリーク電流を含みます。ただし, A/Dコンバータ, LVI回路, I/Oポート, 内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。サブシステム・クロック停止時。ウォッチドッグ・タイマは停止時。

- 備考1. 78K0R/KF3-Cでは, EV_{DD0} と EV_{DD1} を EV_{DD} に, EV_{SS0} と EV_{SS1} を EV_{SS} に読み替えてください。
2. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)
3. RTCLPC : 動作スピード・モード制御レジスタのビット7
4. TYP.値の温度条件は, $T_A = 25$ です。

DC特性 (10/10)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD0} = EV_{DD1}$ $5.5 \text{ V}, 2.7 \text{ V}$ AV_{REF} $V_{DD}, V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
RTC動作電流	I_{RTC} 注1, 2	$f_{SUB} = 32.768 \text{ kHz}$	$V_{DD} = 3.0 \text{ V}$		0.2	1.0	μA	
ウォッチドッグ・タイマ動作電流	I_{WDT} 注2, 3	$f_{IL} = 30 \text{ kHz}$			0.31	0.35	μA	
A/Dコンバータ動作電流	I_{ADC} 注4	最高速変換時	高速モード1	$AV_{REF} = V_{DD} = 5.0 \text{ V}$		1.72	3.2	mA
			高速モード2	$AV_{REF} = V_{DD} = 3.0 \text{ V}$		0.72	1.6	mA
			標準モード	$AV_{REF} = V_{DD} = 5.0 \text{ V}$		0.86	1.9	mA
			低電圧モード	$AV_{REF} = V_{DD} = 3.0 \text{ V}$		0.37	0.8	mA
LVI動作電流	I_{LVI} 注5				9	18	μA	

注1. リアルタイム・カウンタにのみ流れる電流です(XT1発振器の動作電流は含みません)。動作モードまたはHALTモード時にリアルタイム・カウンタが動作中の場合、78K0R/Kx3-Cの電流のTYP.値は、 I_{DD1} または I_{DD2} のTYP.値に I_{RTC} のTYP.値を加算した値となります。 I_{DD1} または I_{DD2} のMAX.値にはリアルタイム・カウンタの動作電流も含まれます。 $f_{CLK} = f_{SUB}/2$ 時にリアルタイム・カウンタが動作中の場合、 I_{DD2} のTYP.値にはリアルタイム・カウンタの動作電流を含みます。

2. 高速内蔵発振、高速システム・クロックは停止時。

3. ウォッチドッグ・タイマにのみ流れる電流です(30 kHz内蔵発振器の動作電流を含みます)。 $f_{CLK} = f_{SUB}/2$ またはSTOPモード時にウォッチドッグ・タイマが動作中の場合、 I_{DD1} または I_{DD2} または I_{DD3} に I_{WDT} を加算した値が、78K0R/Kx3-Cの電流値となります。

4. A/Dコンバータ(AV_{REF} 端子)にのみ流れる電流です。動作モードまたはHALTモード時にA/Dコンバータが動作中の場合、 I_{DD1} または I_{DD2} に I_{ADC} を加算した値が、78K0R/Kx3-Cの電流値となります。

5. LVI回路にのみ流れる電流です。動作モードまたはHALTモードまたはSTOPモード時にLVI回路が動作中の場合、 I_{DD1} または I_{DD2} または I_{DD3} に I_{LVI} を加算した値が、78K0R/Kx3-Cの電流値となります。

備考1. 78K0R/KF3-Cでは、 EV_{DD0} と EV_{DD1} を EV_{DD} に、 EV_{SS0} と EV_{SS1} を EV_{SS} に読み替えてください。

2. f_{IL} : 低速内蔵発振クロック周波数

f_{SUB} : サブシステム・クロック周波数(XT1クロック発振周波数)

f_{CLK} : CPU/周辺ハードウェア・クロック周波数

3. TYP.値の温度条件は、 $T_A = 25$ です。

AC特性

(1) 基本動作 (1/6)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V , 2.7 V AV_{REF} V_{DD} , $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	T_{CY}	メイン・システム・クロック (f_{MAN})動作	通常消費電力モード	2.7 V V_{DD} 5.5 V	0.05		8	$\mu\text{ s}$
			低消費電力モード		1		8	$\mu\text{ s}$
		サブシステム・クロック (f_{SUB})動作			57.2	61	62.5	$\mu\text{ s}$
		セルフ・プログラミング時	通常消費電力モード	2.7 V V_{DD} 5.5 V	0.05		1	$\mu\text{ s}$
			低消費電力モード			1		$\mu\text{ s}$
外部メイン・システム・クロック周波数	f_{EX}	2.7 V V_{DD} 5.5 V	通常消費電力モード		2.0		20.0	MHz
			低消費電力モード		2.0		5.0	MHz
外部メイン・システム・クロック入力ハイ、ロウ・レベル幅	t_{EXH} , t_{EXL}	2.7 V V_{DD} 5.5 V	通常消費電力モード		24			ns
			低消費電力モード		96			ns
TI00-TI07, TI10-TI12入力ハイ・レベル幅、ロウ・レベル幅	t_{TIH} , t_{TIL}			$1/f_{MCK} +$ 10				ns
TO00-TO07, TO10-TO12出力周波数	f_{TO}	2.7 V V_{DD} 5.5 V				10		MHz
PCLBUZ0, PCLBUZ1出力周波数	f_{PCL}	2.7 V V_{DD} 5.5 V				10		MHz
割り込み入力ハイ・レベル幅、ロウ・レベル幅	t_{INTH} , t_{INTL}			1				$\mu\text{ s}$
キー割り込み入力ロウ・レベル幅	t_{KR}			250				ns
RESETロウ・レベル幅	t_{RSL}			10				$\mu\text{ s}$

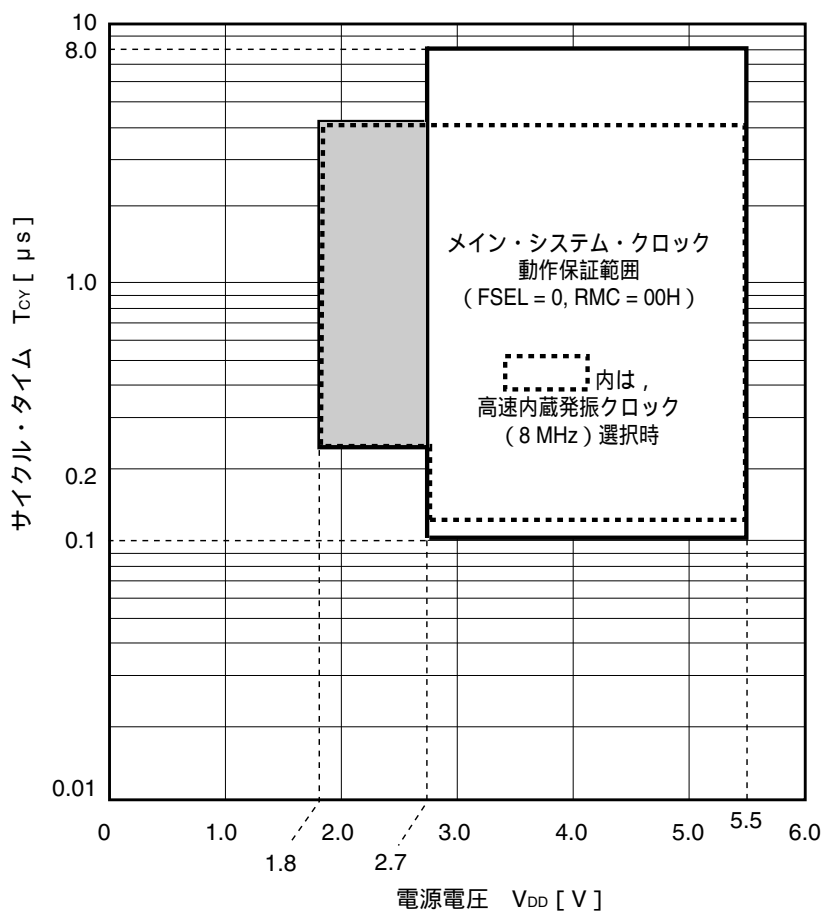
備考1. f_{MCK} : タイマ・アレイ・ユニットの動作クロック周波数。

(TMRmnレジスタのCKSmnビットで設定する動作クロック。m : ユニット番号 ($m = 0, 1$) , n : チャネル番号 ($n = 0-7$))

- レギュレータ出力電圧による通常消費電力モード、低消費電力モードについては、第23章 レギュレータを参照してください。
- 78K0R/KF3-Cでは、 EV_{DD0} と EV_{DD1} を EV_{DD} に、 EV_{SS0} と EV_{SS1} を EV_{SS} に読み替えてください。

(1) 基本動作 (2/6)

メイン・システム・クロック動作時の最小命令実行時間 (FSEL = 0, RMC = 00H)



注意 図内の網掛けされている範囲は次の動作のみ実行できます。

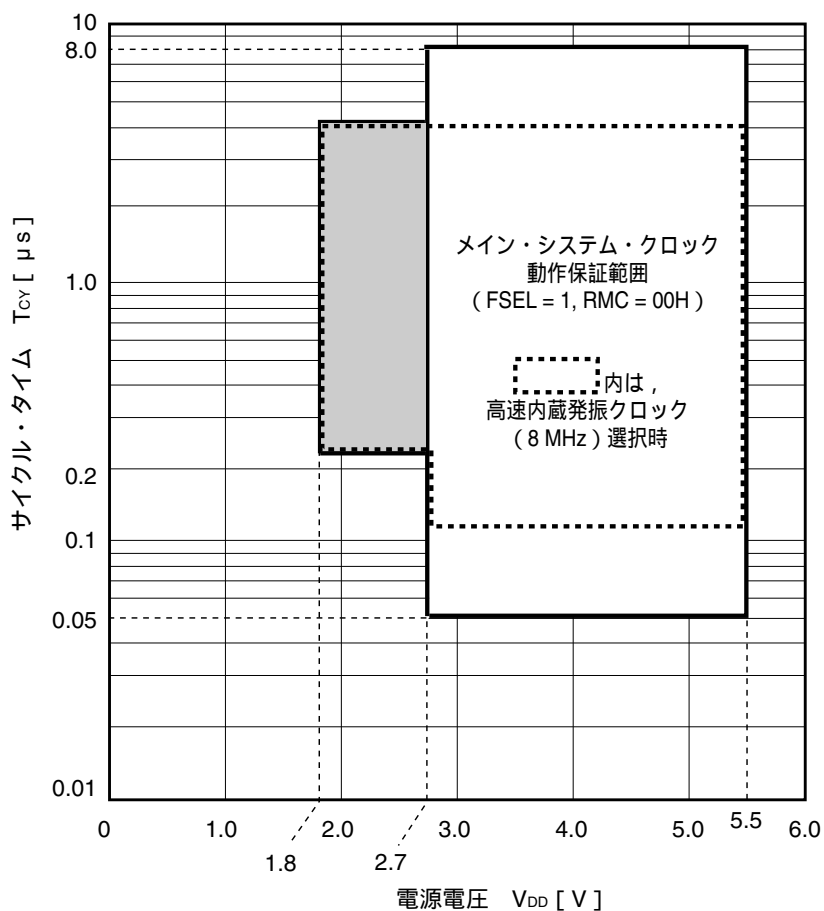
- ・CPU動作 (命令実行)
CPUクロックは、8 MHz高速内蔵発振クロックの分周 ($f_{IH}/2^5 \sim f_{IH}/2$ (250 kHz ~ 4 MHz))
- ・内蔵RAMへのリード/ライト
- ・低電圧検出 (LVI) 回路
- ・タイマ・アレイ・ユニット (TAU) のインターバル・タイマ機能
- ・スタンバイ機能 (STOP/HALTモード) 設定
- ・クロック発生回路の制御レジスタの設定 (クロック出力/ブザー出力制御回路は除く)
ただしクロックの切り替えは、切り替え後のクロックのサイクル・タイムが動作保証範囲内になる場合のみ可。
- ・ウォッチドッグ・タイマ (WDT) (低速内蔵発振回路を含む)

備考 FSEL : 動作スピード・モード制御レジスタ (OSMC) のビット0

RMC : レギュレータ・モード制御レジスタ

(1) 基本動作 (3/6)

メイン・システム・クロック動作時の最小命令実行時間 (FSEL = 1, RMC = 00H)



注意1. FSEL = 0に設定する場合は、先に f_{CLK} を10 MHz以下に設定してください。

2. 図内の網掛けされている範囲は次の動作のみ実行できます。

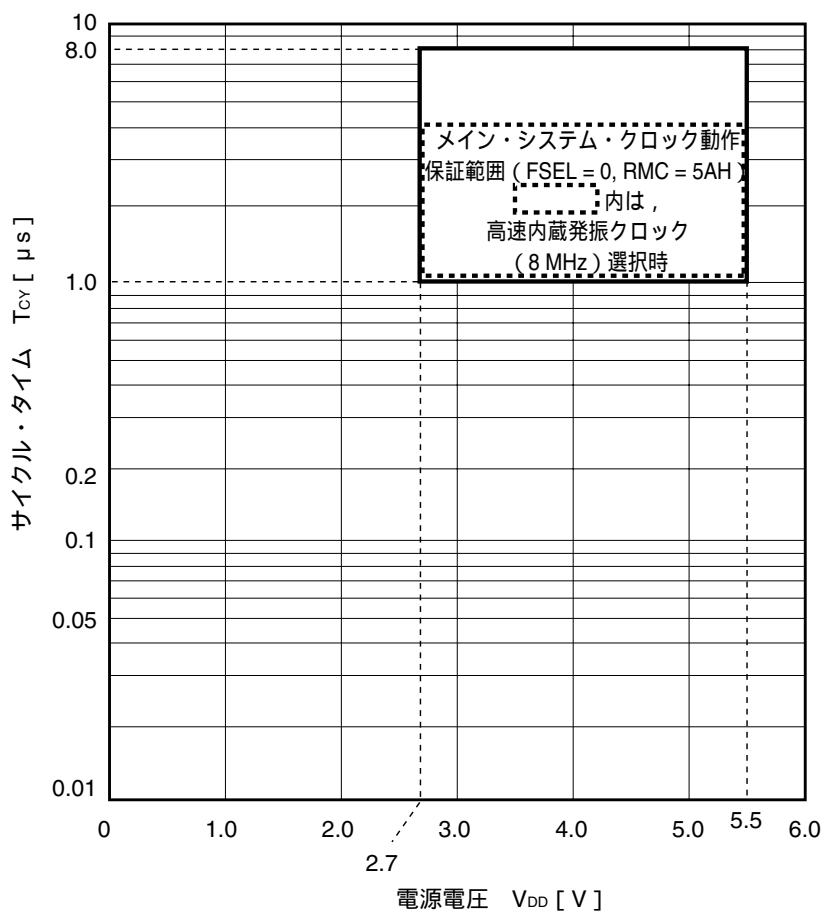
- ・CPU動作 (命令実行)
CPUクロックは、8 MHz高速内蔵発振クロックの分周 ($f_{IH}/2^5 \sim f_{IH}/2$ (250 kHz ~ 4 MHz))
- ・内蔵RAMへのリード/ライト
- ・低電圧検出 (LVI) 回路
- ・タイマ・アレイ・ユニット (TAU) のインターバル・タイマ機能
- ・スタンバイ機能 (STOP/HALTモード) 設定
- ・クロック発生回路の制御レジスタの設定 (クロック出力/ブザー出力制御回路は除く)
ただしクロックの切り替えは、切り替え後のクロックのサイクル・タイムが動作保証範囲内になる場合のみ可。
- ・ウォッチドッグ・タイマ (WDT) (低速内蔵発振回路を含む)

備考 FSEL : 動作スピード・モード制御レジスタ (OSMC) のビット0

RMC : レギュレータ・モード制御レジスタ

(1) 基本動作 (4/6)

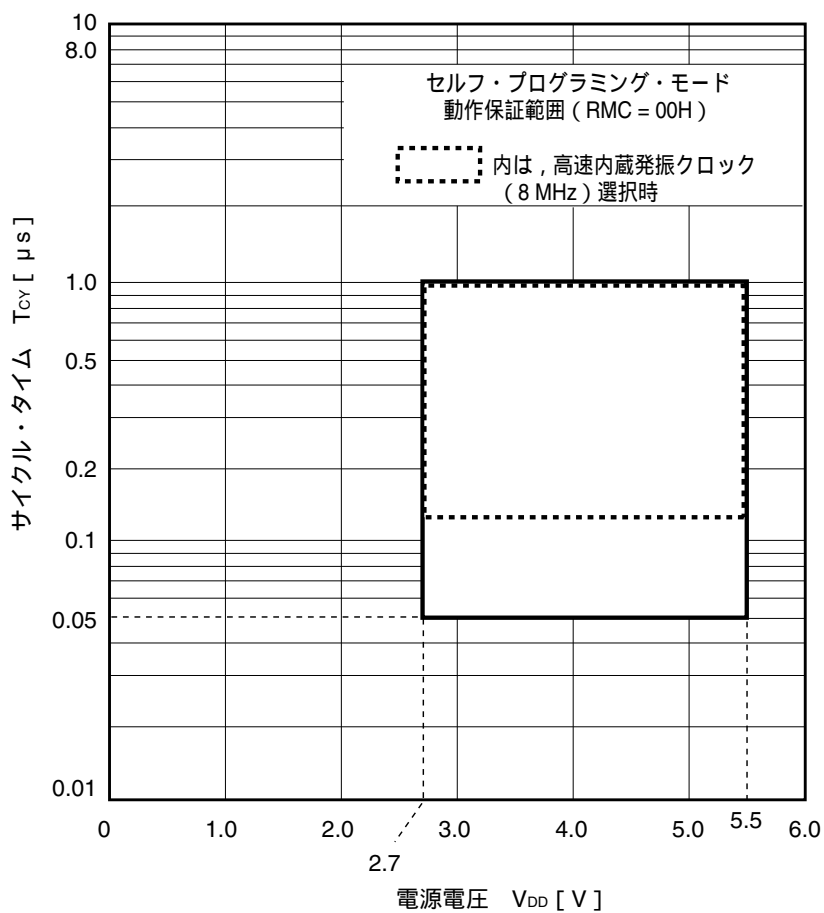
メイン・システム・クロック動作時の最小命令実行時間 (FSEL = 0, RMC = 5AH)



- 備考1. FSEL : 動作スピード・モード制御レジスタ (OSMC) のビット0
RMC : レギュレータ・モード制御レジスタ
2. RMC = 5AH時は, 全電圧範囲で1 MHz (MAX.) となります。

(1) 基本動作 (5/6)

セルフ・プログラミング・モード時の最小命令実行時間 (RMC = 00H)



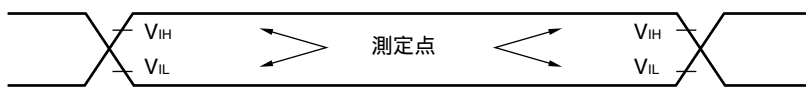
備考1. RMC : レギュレータ・モード制御レジスタ

2. CPUがサブシステム・クロック動作時は、セルフ・プログラミング機能を使用できません。

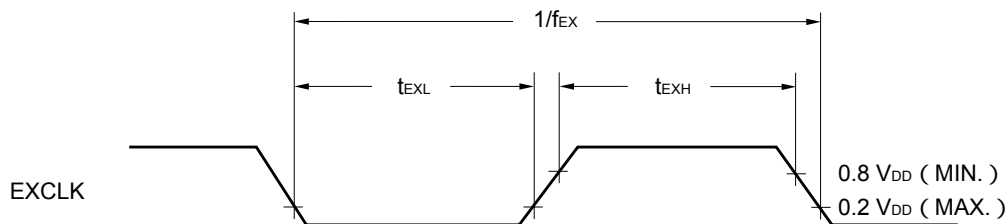
3. RMC = 5AH時は、全電圧範囲で1 MHzとなります。

(1) 基本動作 (6/6)

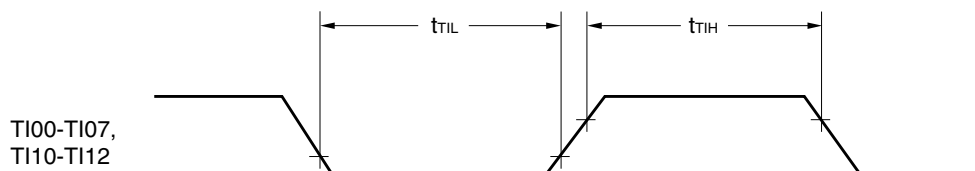
AC タイミング測定点



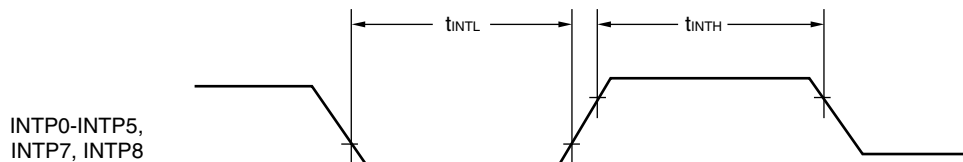
外部メイン・システム・クロック・タイミング



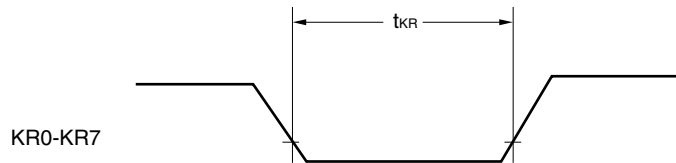
TI タイミング



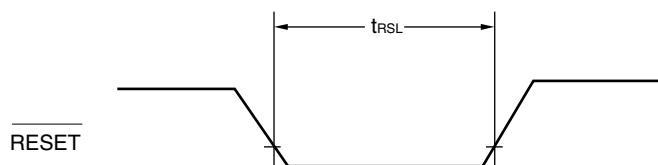
割り込み要求入力タイミング



キー割り込み入力タイミング



RESET 入力タイミング



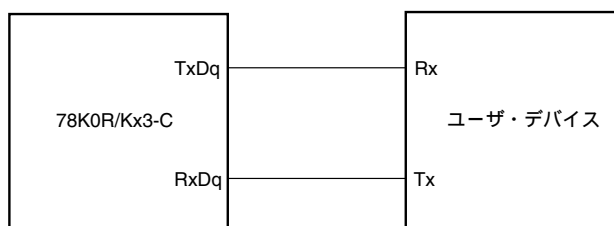
(2) シリアル・インタフェース：シリアル・アレイ・ユニット (1/16)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD0} = EV_{DD1} 5.5 \text{ V}, 2.7 \text{ V}$ $AV_{REF} V_{DD}, V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 \text{ V}$)

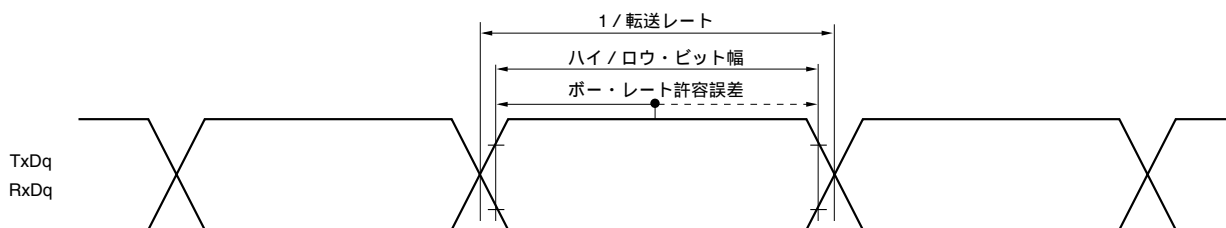
(a) 同電位通信時 (UARTモード) (専用ポー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					$f_{MCK}/6$	bps
		$f_{CLK} = 20 \text{ MHz}, f_{MCK} = f_{CLK}$			3.3	Mbps

UARTモード接続図 (同電位通信時)



UARTモードのビット幅 (同電位通信時) (参考)



注意 PIMgレジスタとPOMgレジスタで、RxDqは通常入力バッファ、TxDqは通常出力モードを選択。

備考1. q : UART番号 (q = 0-2) , g : PIM, POM番号 (g = 0, 1, 14)

2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMRmnレジスタのCKSmnビットで設定する動作クロック。m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-3))

3. 78K0R/KF3-Cでは、 EV_{DD0} と EV_{DD1} を EV_{DD} に、 EV_{SS0} と EV_{SS1} を EV_{SS} に読み替えてください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (2/16)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD0} = EV_{DD1} = 5.5$ V, 2.7 V $AV_{REF} = V_{DD}$, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

(b) 同電位通信時 (CSIモード) (マスタ・モード, \overline{SCKp} ...内部クロック出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCKpサイクル・タイム	t_{KCY1}	4.0 V $V_{DD} = 5.5$ V	200 ^{注1}			ns
		2.7 V $V_{DD} < 4.0$ V	300 ^{注1}			ns
SCKpハイ, ロウ・レベル幅	t_{KH1} , t_{KL1}	4.0 V $V_{DD} = 5.5$ V	$t_{KCY1}/2 - 20$			ns
		2.7 V $V_{DD} < 4.0$ V	$t_{KCY1}/2 - 35$			ns
Slpセットアップ時間 (対 \overline{SCKp}) ^{注2}	t_{SIK1}	4.0 V $V_{DD} = 5.5$ V	70			ns
		2.7 V $V_{DD} < 4.0$ V	100			ns
Slpホールド時間 (対 \overline{SCKp}) ^{注2}	t_{KSI1}		30			ns
SCKp SOP出力遅延時間 ^{注3}	t_{KSO1}	$C = 30$ pF ^{注4}			40	ns

注1. $t_{KCY1} = 4/f_{CLK}$ に設定してください。

- DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 \overline{SCKp} ”となります。
- DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 \overline{SCKp} ”となります。
- Cは、 \overline{SCKp} , SOP出力ラインの負荷容量です。

注意 PIMgレジスタとPOMgレジスタで、Slpは通常入力バッファ, SOPと \overline{SCKp} は通常出力モードを選択。

備考1. p : CSI番号 (p = 00, 01, 10, 20) , g : PIM, POM番号 (g = 0, 1, 14)

2. m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-2)

3. 78K0R/KF3-Cでは、 EV_{DD0} と EV_{DD1} を EV_{DD} に、 EV_{SS0} と EV_{SS1} を EV_{SS} に読み替えてください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (3/16)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD0} = EV_{DD1} = 5.5$ V, 2.7 V $AV_{REF} = V_{DD}$, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

(c) 同電位通信時 (CSIモード) (スレーブ・モード, \overline{SCKp} ...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
SCKpサイクル・タイム	t_{KY2}	4.0 V $V_{DD} = EV_{DD}$	$6/f_{MCK}$			ns	
		2.7V $V_{DD} = EV_{DD} < 4.0V$	$16 \text{ MHz} < f_{MCK}$	$8/f_{MCK}$			ns
			$f_{MCK} = 16 \text{ MHz}$	$6/f_{MCK}$			ns
SCKpハイ, ロウ・レベル幅	t_{KH2} , t_{KL2}		$t_{KY2}/2$			ns	
Slpセットアップ時間 (対 \overline{SCKp}) ^{注1}	t_{SIK2}		80			ns	
Slpホールド時間 (対 \overline{SCKp}) ^{注1}	t_{HSI2}		$1/f_{MCK} +$ 50			ns	
SCKp SOp出力遅延時間 ^{注2}	t_{KSO2}	C = 30 pF ^{注3}	4.0 V $V_{DD} = 5.5$ V			$2/f_{MCK} + 45$	ns
			2.7 V $V_{DD} < 4.0$ V			$2/f_{MCK} + 57$	ns

注1. $DAP_{mn} = 0$, $CKP_{mn} = 0$ または $DAP_{mn} = 1$, $CKP_{mn} = 1$ のとき。 $DAP_{mn} = 0$, $CKP_{mn} = 1$ または $DAP_{mn} = 1$, $CKP_{mn} = 0$ のときは“対 \overline{SCKp} ”となります。

2. $DAP_{mn} = 0$, $CKP_{mn} = 0$ または $DAP_{mn} = 1$, $CKP_{mn} = 1$ のとき。 $DAP_{mn} = 0$, $CKP_{mn} = 1$ または $DAP_{mn} = 1$, $CKP_{mn} = 0$ のときは“対 \overline{SCKp} ”となります。

3. Cは, SOp出力ラインの負荷容量です。

注意 PIMgレジスタとPOMgレジスタで, Slpと \overline{SCKp} は通常入力バッファ, SOpは通常出力モードを選択。

備考1. p : CSI番号 (p = 00, 01, 10, 20) , g : PIM, POM番号 (g = 0, 1, 14)

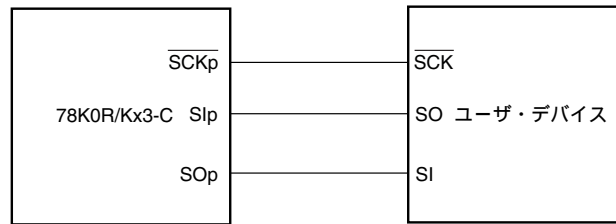
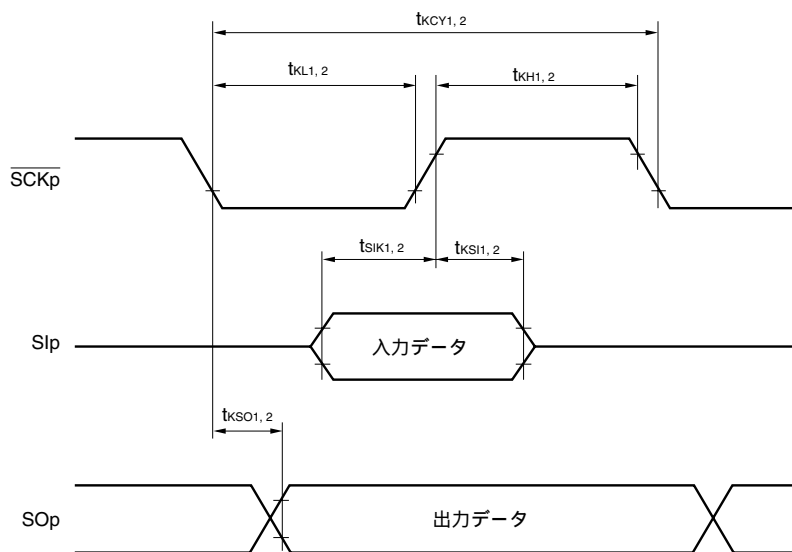
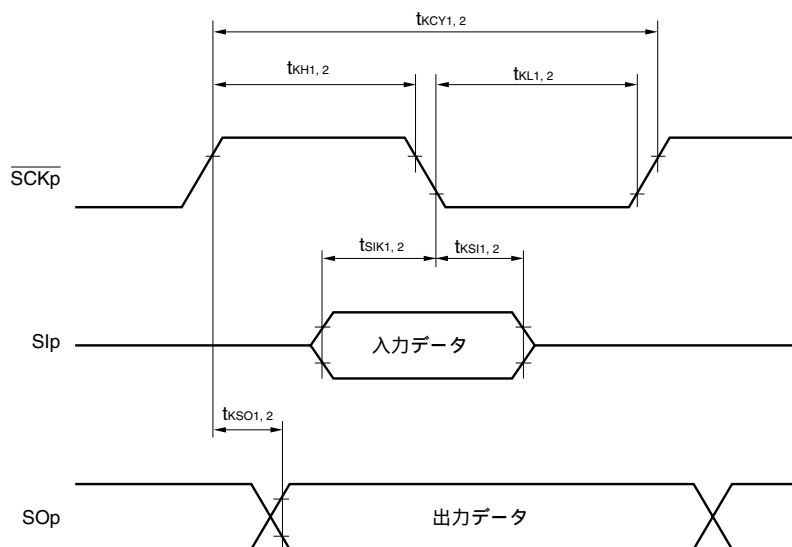
2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMRmnレジスタのCKSmnビットで設定する動作クロック。m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-2))

3. 78K0R/KF3-Cでは, EV_{DD0} と EV_{DD1} を EV_{DD} に, EV_{SS0} と EV_{SS1} を EV_{SS} に読み替えてください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (4/16)

CSIモード接続図 (同電位通信時)

CSIモード・シリアル転送タイミング (同電位通信時)
(DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき)CSIモード・シリアル転送タイミング (同電位通信時)
(DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)

備考1. p : CSI番号 (p = 00, 01, 10, 20)

2. m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-2)

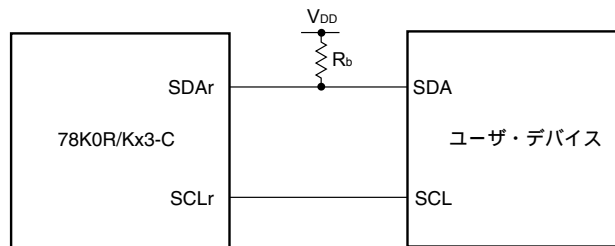
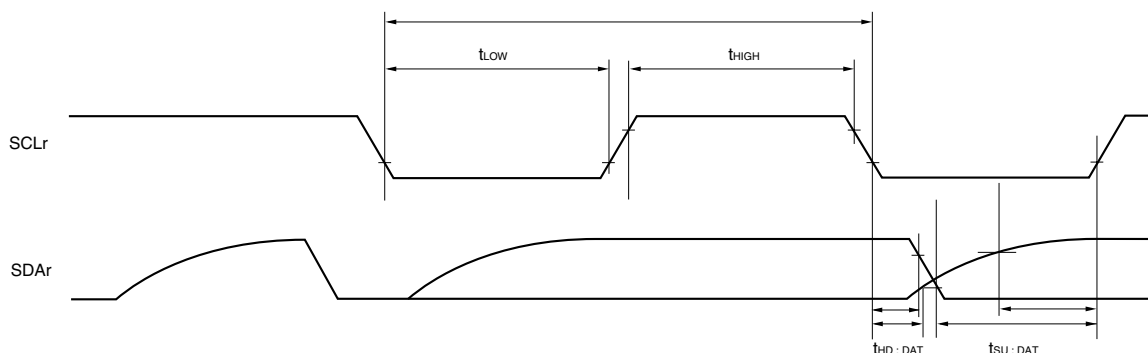
(2) シリアル・インタフェース：シリアル・アレイ・ユニット (5/16)

($T_A = -40 \sim +85$, $2.7 \text{ V} \leq V_{DD} = EV_{DD0} = EV_{DD1} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 \text{ V}$)

(d) 同電位通信時 (簡易 I^2C モード)

項目	略号	条件	MIN.	MAX.	単位
SCLrクロック周波数	f_{SCL}	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $C_b = 100 \text{ pF}$, $R_b = 3 \text{ k}$		400 ^注	kHz
SCLr = "L"のホールド・タイム	t_{LOW}	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $C_b = 100 \text{ pF}$, $R_b = 3 \text{ k}$	1200		ns
SCLr = "H"のホールド・タイム	t_{HIGH}	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $C_b = 100 \text{ pF}$, $R_b = 3 \text{ k}$	1200		ns
データ・セットアップ時間 (受信時)	$t_{SU:DAT}$	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $C_b = 100 \text{ pF}$, $R_b = 3 \text{ k}$	$1/f_{MCK} + 120$		ns
データ・ホールド時間 (送信時)	$t_{HD:DAT}$	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $C_b = 100 \text{ pF}$, $R_b = 3 \text{ k}$	0	660	ns

注 $f_{SCL} = f_{MCK}/4$ に設定してください。

簡易 I^2C モード接続図 (同電位通信時)簡易 I^2C モード・シリアル転送タイミング (同電位通信時)

注意 PIMgレジスタとPOMgレジスタで、SDArは通常入力バッファ、N-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択、SCLrは通常出力モードを選択。

- 備考1.** R_b [Ω] : 通信ライン (SDAr) プルアップ抵抗値, C_b [F] : 通信ライン (SCLr, SDAr) 負荷容量値
2. r : IIC番号 ($r = 10, 20$), g : PIM, POM番号 ($g = 0, 14$)
3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(SMRmnレジスタのCKSmnビットで設定する動作クロック。m : ユニット番号 ($m = 0, 1$), n : チャネル番号 ($n = 0, 2$), mn = 02, 10)
4. 78K0R/KF3-Cでは、 EV_{DD0} と EV_{DD1} を EV_{DD} に、 EV_{SS0} と EV_{SS1} を EV_{SS} に読み替えてください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (6/16)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD0} = EV_{DD1} = 5.5 \text{ V}, 2.7 \text{ V}$ $AV_{REF} = V_{DD}, V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 \text{ V}$)

(e) 異電位 (2.5 V系, 3 V系) 通信時 (UARTモード) (専用ポー・レート・ジェネレータ出力) (1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
転送レート	受信	4.0 V $V_{DD} = 5.5 \text{ V},$	$f_{CLK} = 20 \text{ MHz}, f_{MCK} = f_{CLK}$			$f_{MCK}/6$	bps
		2.7 V $V_b = 4.0 \text{ V}$				3.3	Mbps
		2.7 V $V_{DD} < 4.0 \text{ V},$	$f_{CLK} = 20 \text{ MHz}, f_{MCK} = f_{CLK}$			$f_{MCK}/6$	bps
		2.3 V $V_b = 2.7 \text{ V}$				3.3	Mbps

注意 PIMgレジスタとPOMgレジスタで, RxDqはTTL入力バッファ, TxDqはN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択。

備考1. V_b [V]: 通信ライン電圧

- q: UART番号 (q = 0-2) , g: PIM, POM番号 (g = 0, 1, 14)
- f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(SMRmnレジスタのCKSmnビットで設定する動作クロック。m: ユニット番号 (m = 0, 1) , n: チャネル番号 (n = 0-3))
- シリアル・アレイ・ユニットのUARTモードの異電位通信時のAC特性は下記の V_{IH} と V_{IL} を観測点としています。

4.0 V	$V_{DD} = 5.5 \text{ V}, 2.7 \text{ V}$	$V_b = 4.0 \text{ V}$ のとき: $V_{IH} = 2.2 \text{ V}, V_{IL} = 0.8 \text{ V}$
2.7 V	$V_{DD} = 4.0 \text{ V}, 2.3 \text{ V}$	$V_b = 2.7 \text{ V}$ のとき: $V_{IH} = 2.0 \text{ V}, V_{IL} = 0.5 \text{ V}$
- 78K0R/KF3-Cでは, EV_{DD0} と EV_{DD1} を EV_{DD} に, EV_{SS0} と EV_{SS1} を EV_{SS} に読み替えてください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (7/16)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V , 2.7 V AV_{REF} V_{DD} , $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

(e) 異電位 (2.5 V系, 3 V系) 通信時 (UARTモード) (専用ポー・レート・ジェネレータ出力) (2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
転送レート		送信	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V			注1	
			$f_{CLK} = 16.8\text{ MHz}$, $f_{MCK} = f_{CLK}$, $C_b = 50\text{ pF}$, $R_b = 1.4\text{ k}$, $V_b = 2.7\text{ V}$			2.8 ^{注2}	Mbps
		送信	2.7 V $V_{DD} < 4.0\text{ V}$, 2.3 V V_b 2.7 V			注3	
			$f_{CLK} = 19.2\text{ MHz}$, $f_{MCK} = f_{CLK}$, $C_b = 50\text{ pF}$, $R_b = 2.7\text{ k}$, $V_b = 2.3\text{ V}$			1.2 ^{注4}	Mbps

注1. $f_{MCK}/6$ または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

4.0 V $V_{DD} = EV_{DD}$ 5.5 V, 2.7 V V_b 4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.2}{V_b} \right) \right\} \times 3} \text{ [bps]}$$

$$\text{ポー・レート許容誤差(理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.2}{V_b} \right) \right\}}{\left(\frac{1}{\text{転送レート}} \right) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

この値は送信側と受信側の相対差の理論値となります。

2. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

3. $f_{MCK}/6$ または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

2.7 V $V_{DD} = EV_{DD} < 4.0\text{ V}$, 2.3 V V_b 2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.0}{V_b} \right) \right\} \times 3} \text{ [bps]}$$

$$\text{ポー・レート許容誤差(理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.0}{V_b} \right) \right\}}{\left(\frac{1}{\text{転送レート}} \right) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

この値は送信側と受信側の相対差の理論値となります。

4. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注3により算出してください。

注意 PIMgレジスタとPOMgレジスタで、RxDqはTTL入力バッファ、TxDqはN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択。

備考1. R_b []: 通信ライン (TxDq) プルアップ抵抗値, C_b [F]: 通信ライン (TxDq) 負荷容量値, V_b [V]: 通信ライン電圧

2. q : UART番号 ($q = 0-2$), g : PIM, POM番号 ($g = 0, 1, 14$)

3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMRmnレジスタのCKSmnビットで設定する動作クロック。m: ユニット番号 ($m = 0, 1$), n: チャンネル番号 ($n = 0-3$))

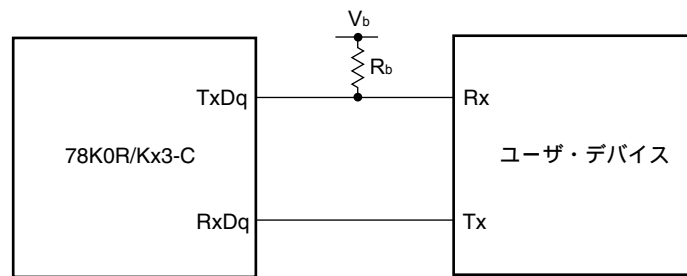
4. シリアル・アレイ・ユニットのUARTモードの異電位通信時のAC特性は下記の V_{IH} と V_{IL} を観測点としています。

4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 Vのとき: $V_{IH} = 2.2\text{ V}$, $V_{IL} = 0.8\text{ V}$
2.7 V V_{DD} 4.0 V, 2.3 V V_b 2.7 Vのとき: $V_{IH} = 2.0\text{ V}$, $V_{IL} = 0.5\text{ V}$

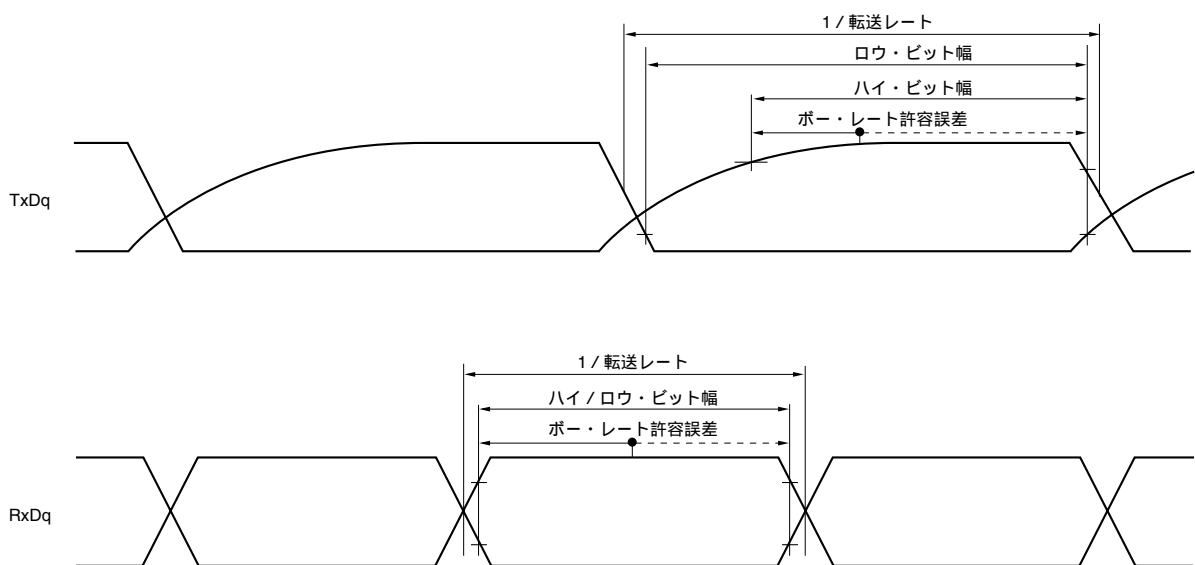
5. 78K0R/KF3-Cでは、 EV_{DD0} と EV_{DD1} を EV_{DD} に、 EV_{SS0} と EV_{SS1} を EV_{SS} に読み替えてください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (8/16)

UARTモード接続図 (異電位通信時)



UARTモードのビット幅 (異電位通信時) (参考)



注意 PIMgレジスタとPOMgレジスタで、RxDqはTTL入力バッファ、TxDqはN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択。

- 備考**1. R_b []: 通信ライン (TxDq) プルアップ抵抗値, V_b [V]: 通信ライン電圧
 2. q: UART番号 (q = 0-2) , g: PIM, POM番号 (g = 0, 1, 14)

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (9/16)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V, 2.7 V AV_{REF} V_{DD} , $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

(f) 異電位 (2.5 V系, 3 V系) 通信時 (CSIモード) (マスタ・モード, \overline{SCKp} ...内部クロック出力) (1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
\overline{SCKp} サイクル・タイム	t_{KCY1}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 30$ pF, $R_b = 1.4$ k	400 ^{注1}			ns
		2.7 V $V_{DD} < 4.0$ V, 2.3 V V_b 2.7 V, $C_b = 30$ pF, $R_b = 2.7$ k	800 ^{注1}			ns
\overline{SCKp} ハイ・レベル幅	t_{KH1}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 30$ pF, $R_b = 1.4$ k	$t_{KCY1}/2 - 75$			ns
		2.7 V $V_{DD} < 4.0$ V, 2.3 V V_b 2.7 V, $C_b = 30$ pF, $R_b = 2.7$ k	$t_{KCY1}/2 - 170$			ns
\overline{SCKp} ロウ・レベル幅	t_{KL1}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 30$ pF, $R_b = 1.4$ k	$t_{KCY1}/2 - 20$			ns
		2.7 V $V_{DD} < 4.0$ V, 2.3 V V_b 2.7 V, $C_b = 30$ pF, $R_b = 2.7$ k	$t_{KCY1}/2 - 35$			ns
Slpセットアップ時間 (対 \overline{SCKp}) ^{注2}	t_{SIK1}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 30$ pF, $R_b = 1.4$ k	150			ns
		2.7 V $V_{DD} < 4.0$ V, 2.3 V V_b 2.7 V, $C_b = 30$ pF, $R_b = 2.7$ k	275			ns
Slpホールド時間 (対 \overline{SCKp}) ^{注2}	t_{KSI1}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 30$ pF, $R_b = 1.4$ k	30			ns
		2.7 V $V_{DD} < 4.0$ V, 2.3 V V_b 2.7 V, $C_b = 30$ pF, $R_b = 2.7$ k	30			ns
\overline{SCKp} SOp出力遅延時間 ^{注2}	t_{KSO1}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 30$ pF, $R_b = 1.4$ k			120	ns
		2.7 V $V_{DD} < 4.0$ V, 2.3 V V_b 2.7 V, $C_b = 30$ pF, $R_b = 2.7$ k			215	ns

注1. t_{KCY1} $4/f_{CLK}$ に設定してください。

2. $DAP_{mn} = 0$, $CKP_{mn} = 0$ または $DAP_{mn} = 1$, $CKP_{mn} = 1$ のとき。

注意 PIMgレジスタとPOMgレジスタで,SlpはTTL入力バッファ,SOpと \overline{SCKp} はN-chオープン・ドレーン出力(V_{DD} 耐圧)モードを選択。

備考1. p: CSI番号 (p = 01, 10, 20), g: PIM, POM番号 (g = 0, 1, 14)

2. m: ユニット番号 (m = 0, 1), n: チャネル番号 (n = 0-2)

3. R_b []: 通信ライン (\overline{SCKp} , SOp) プルアップ抵抗値, C_b [F]: 通信ライン (\overline{SCKp} , SOp) 負荷容量値, V_b [V]: 通信ライン電圧

4. シリアル・アレイ・ユニットのCSIモードの異電位通信時のAC特性は下記の V_{IH} と V_{IL} を観測点としています。

4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 Vのとき: $V_{IH} = 2.2$ V, $V_{IL} = 0.8$ V

2.7 V V_{DD} 4.0 V, 2.3 V V_b 2.7 Vのとき: $V_{IH} = 2.0$ V, $V_{IL} = 0.5$ V

5. 78K0R/KF3-Cでは, EV_{DD0} と EV_{DD1} を EV_{DD} に, EV_{SS0} と EV_{SS1} を EV_{SS} に読み替えてください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (10/16)

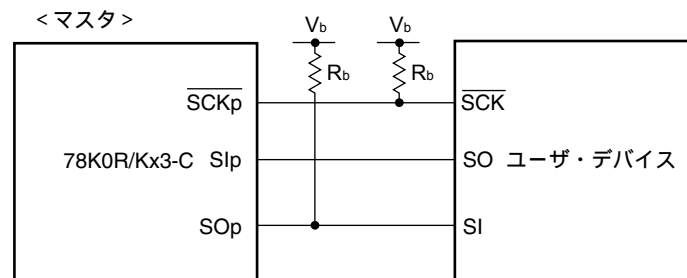
($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V, 2.7 V AV_{REF} V_{DD} , $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

(f) 異電位 (2.5 V系, 3 V系) 通信時 (CSIモード) (マスタ・モード, \overline{SCKp} ...内部クロック出力) (2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
Slpセットアップ時間 (対 \overline{SCKp}) ^注	t _{SIK1}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 30$ pF, $R_b = 1.4$ k	70			ns
		2.7 V $V_{DD} < 4.0$ V, 2.3 V V_b 2.7 V, $C_b = 30$ pF, $R_b = 2.7$ k	100			ns
Slpホールド時間 (対 \overline{SCKp}) ^注	t _{KS11}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 30$ pF, $R_b = 1.4$ k	30			ns
		2.7 V $V_{DD} < 4.0$ V, 2.3 V V_b 2.7 V, $C_b = 30$ pF, $R_b = 2.7$ k	30			ns
\overline{SCKp} SOp出力遅延時間 ^注	t _{KSO1}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 30$ pF, $R_b = 1.4$ k			40	ns
		2.7 V $V_{DD} < 4.0$ V, 2.3 V V_b 2.7 V, $C_b = 30$ pF, $R_b = 2.7$ k			40	ns

注 DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

CSIモード接続図 (異電位通信時)



注意 PIMgレジスタとPOMgレジスタで,SlpはTTL入力バッファ,SOpと \overline{SCKp} はN-chオープン・ドレイン出力(V_{DD} 耐圧)モードを選択。

備考1. p : CSI番号 (p = 01, 10, 20) , g : PIM, POM番号 (g = 0, 1, 14)

2. m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-2)

3. R_b [] : 通信ライン (\overline{SCKp} , SOp) プルアップ抵抗値, C_b [F] : 通信ライン (\overline{SCKp} , SOp) 負荷容量値 ,
 V_b [V] : 通信ライン電圧

4. シリアル・アレイ・ユニットのCSIモードの異電位通信時のAC特性は下記の V_{IH} と V_{IL} を観測点としています。

4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 Vのとき : $V_{IH} = 2.2$ V, $V_{IL} = 0.8$ V

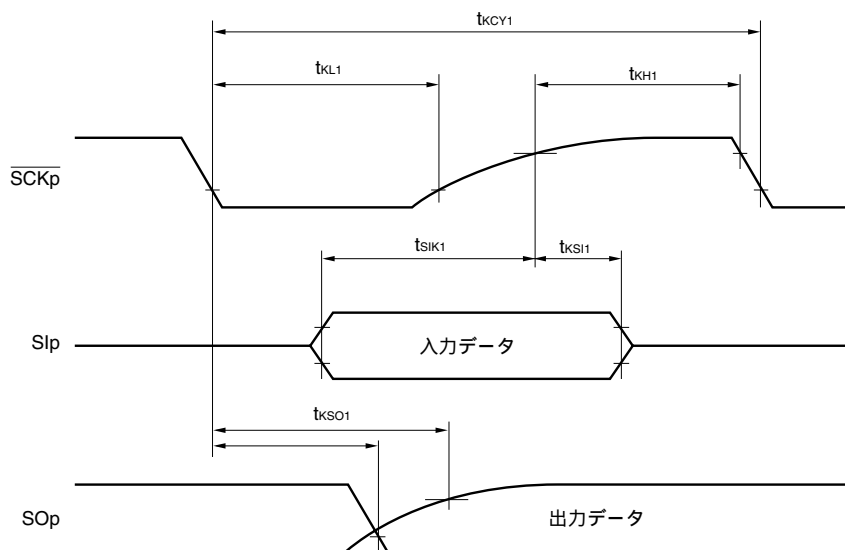
2.7 V V_{DD} 4.0 V, 2.3 V V_b 2.7 Vのとき : $V_{IH} = 2.0$ V, $V_{IL} = 0.5$ V

5. 78K0R/KF3-Cでは, EV_{DD0} と EV_{DD1} を EV_{DD} に, EV_{SS0} と EV_{SS1} を EV_{SS} に読み替えてください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (11/16)

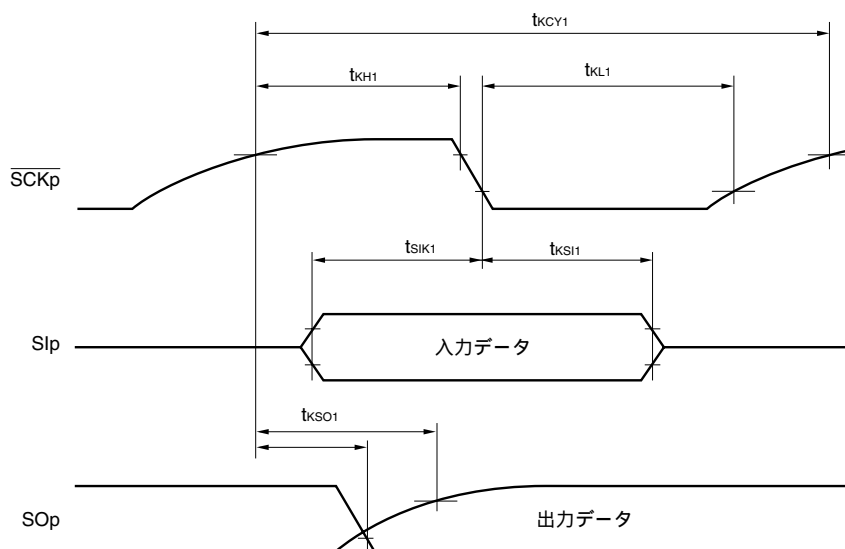
CSIモード・シリアル転送タイミング：マスタ・モード（異電位通信時）

(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



CSIモード・シリアル転送タイミング：マスタ・モード（異電位通信時）

(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



注意 PIMgレジスタとPOMgレジスタで,SIpはTTL入力バッファ,SOpとSCKpはN-chオープン・ドレイン出力(V_{DD} 耐圧)モードを選択。

備考1. p : CSI番号 (p = 01, 10, 20) , g : PIM, POM番号 (g = 0, 1, 14)

2. m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-2)

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (12/16)

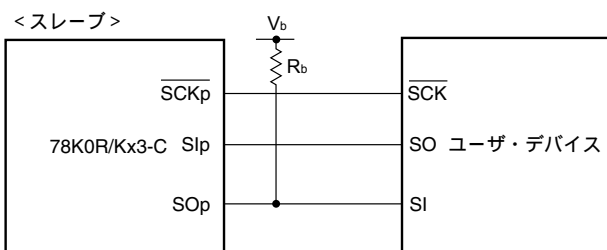
($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD0} = EV_{DD1} 5.5 \text{ V}, 2.7 \text{ V}$ $AV_{REF} V_{DD}, V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 \text{ V}$)

(g) 異電位 (2.5 V系, 3 V系) 通信時 (CSIモード) (スレーブ・モード, $\overline{\text{SCKp}}$...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	t_{KCY2}	4.0 V $V_{DD} 5.5 \text{ V}, 2.7 \text{ V}$ $V_b 4.0 \text{ V}$, $f_{MCK} > 13.6 \text{ MHz}$	10/ f_{MCK}			ns
		$6.8 \text{ MHz} < f_{MCK} < 13.6 \text{ MHz}$	8/ f_{MCK}			ns
		$f_{MCK} 6.8 \text{ MHz}$	6/ f_{MCK}			ns
		2.7 V $V_{DD} < 4.0 \text{ V}, 2.3 \text{ V}$ $V_b 2.7 \text{ V}$, $18.5 \text{ MHz} < f_{MCK}$	16/ f_{MCK}			ns
		$14.8 \text{ MHz} < f_{MCK} < 18.5 \text{ MHz}$	14/ f_{MCK}			ns
		$11.1 \text{ MHz} < f_{MCK} < 14.8 \text{ MHz}$	12/ f_{MCK}			ns
		$7.4 \text{ MHz} < f_{MCK} < 11.1 \text{ MHz}$	10/ f_{MCK}			ns
		$3.7 \text{ MHz} < f_{MCK} < 7.4 \text{ MHz}$	8/ f_{MCK}			ns
		$f_{MCK} 3.7 \text{ MHz}$	6/ f_{MCK}			ns
SCKpハイ, ロウ・レベル幅	t_{KH2}, t_{KL2}	4.0 V $V_{DD} 5.5 \text{ V}, 2.7 \text{ V}$ $V_b 4.0 \text{ V}$	$t_{KCY2}/2 - 20$			ns
		2.7 V $V_{DD} < 4.0 \text{ V}, 2.3 \text{ V}$ $V_b 2.7 \text{ V}$	$t_{KCY2}/2 - 35$			ns
Slpセットアップ時間 (対 $\overline{\text{SCKp}}$) ^{注1}	t_{SIK2}		90			ns
Slpホールド時間 (対 $\overline{\text{SCKp}}$) ^{注1}	t_{KSI2}		$1/f_{MCK} + 50$			ns
SCKp SOp出力遅延時間 ^{注2}	t_{KSO2}	4.0 V $V_{DD} 5.5 \text{ V}, 2.7 \text{ V}$ $V_b 4.0 \text{ V}, C_b = 30 \text{ pF}, R_b = 1.4 \text{ k}$			$2/f_{MCK} + 120$	ns
		2.7 V $V_{DD} < 4.0 \text{ V}, 2.3 \text{ V}$ $V_b 2.7 \text{ V}, C_b = 30 \text{ pF}, R_b = 2.7 \text{ k}$			$2/f_{MCK} + 230$	ns

- 注1. $DAPmn = 0, CKPmn = 0$ または $DAPmn = 1, CKPmn = 1$ のとき。 $DAPmn = 0, CKPmn = 1$ または $DAPmn = 1, CKPmn = 0$ のときは“対 $\overline{\text{SCKp}}$ ”となります。
2. $DAPmn = 0, CKPmn = 0$ または $DAPmn = 1, CKPmn = 1$ のとき。 $DAPmn = 0, CKPmn = 1$ または $DAPmn = 1, CKPmn = 0$ のときは“対 $\overline{\text{SCKp}}$ ”となります。

CSIモード接続図 (異電位通信時)



注意 PIMgレジスタとPOMgレジスタで,Slpと $\overline{\text{SCKp}}$ はTTL入力バッファ,SOpはN-chオープン・ドレイン出力(V_{DD} 耐圧)モードを選択。

(備考は次ページにあります。)

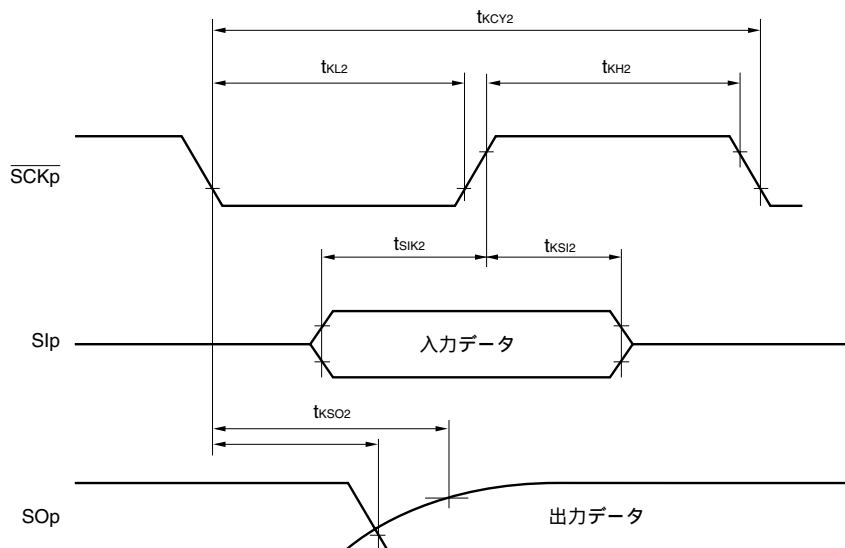
(2) シリアル・インタフェース：シリアル・アレイ・ユニット (13/16)

- 備考1. p : CSI番号 ($p = 01, 10, 20$) , g : PIM, POM番号 ($g = 0, 1, 14$)
2. R_b [] : 通信ライン (SOp) プルアップ抵抗値, C_b [F] : 通信ライン (SOp) 負荷容量値,
 V_b [V] : 通信ライン電圧
3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
 (SMRmnレジスタのCKSmnビットで設定する動作クロック。 m : ユニット番号($m = 0, 1$), n : チャネル番号($n = 0-2$))
4. シリアル・アレイ・ユニットのCSIモードの異電位通信時のAC特性は下記の V_{IH} と V_{IL} を観測点としています。
- | | | | | |
|-------|----------|--------------|-------|---|
| 4.0 V | V_{DD} | 5.5 V, 2.7 V | V_b | 4.0 Vのとき : $V_{IH} = 2.2$ V, $V_{IL} = 0.8$ V |
| 2.7 V | V_{DD} | 4.0 V, 2.3 V | V_b | 2.7 Vのとき : $V_{IH} = 2.0$ V, $V_{IL} = 0.5$ V |
5. 78K0R/KF3-Cでは, EV_{DD0} と EV_{DD1} を EV_{DD} に, EV_{SS0} と EV_{SS1} を EV_{SS} に読み替えてください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (14/16)

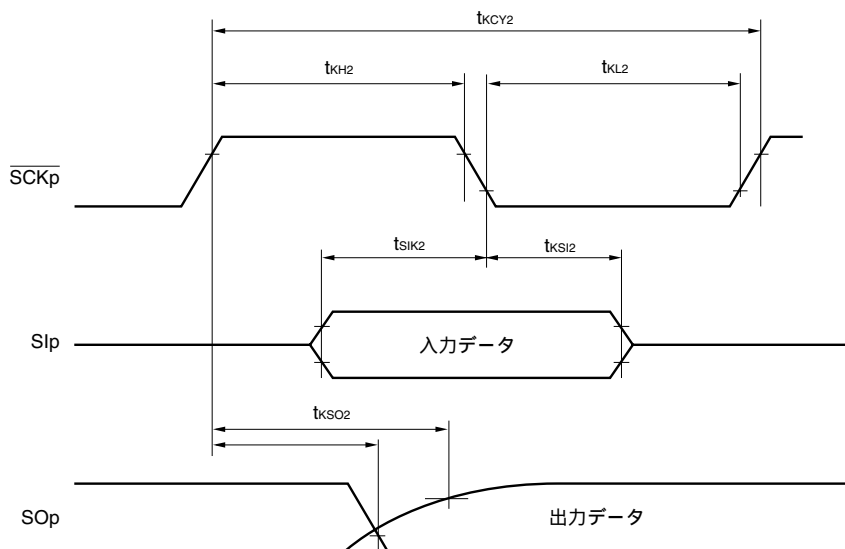
CSIモード・シリアル転送タイミング：スレーブ・モード（異電位通信時）

(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



CSIモード・シリアル転送タイミング：スレーブ・モード（異電位通信時）

(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



注意 PIMgレジスタとPOMgレジスタで、 Slp と $\overline{\text{SCKp}}$ はTTL入力バッファ、 SOp はN-chオープン・ドレイン出力(V_{DD} 耐圧)モードを選択。

備考1. p : CSI番号 (p = 01, 10, 20) , g : PIM, POM番号 (g = 0, 1, 14)

2. m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-2)

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (15/16)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD0} = EV_{DD1}$ $5.5\text{ V}, 2.7\text{ V}$ AV_{REF} $V_{DD}, V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

(h) 異電位 (2.5 V系, 3 V系) 通信時 (簡易I²Cモード)

項目	略号	条件	MIN.	MAX.	単位
SCLrクロック周波数	f _{SCL}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 100\text{ pF}, R_b = 1.4\text{ k}$		400 ^注	kHz
		2.7 V V_{DD} 4.0 V, 2.3 V V_b 2.7 V, $C_b = 100\text{ pF}, R_b = 2.7\text{ k}$		400 ^注	
SCLr = "L"のホールド・タイム	t _{LOW}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 100\text{ pF}, R_b = 1.4\text{ k}$	1275		ns
		2.7 V V_{DD} 4.0 V, 2.3 V V_b 2.7 V, $C_b = 100\text{ pF}, R_b = 2.7\text{ k}$	1275		
SCLr = "H"のホールド・タイム	t _{HIGH}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 100\text{ pF}, R_b = 1.4\text{ k}$	655		ns
		2.7 V V_{DD} 4.0 V, 2.3 V V_b 2.7 V, $C_b = 100\text{ pF}, R_b = 2.7\text{ k}$	655		
データ・セットアップ時間 (受信時)	t _{SU : DAT}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 100\text{ pF}, R_b = 1.4\text{ k}$	1/f _{MCK} + 190		ns
		2.7 V V_{DD} 4.0 V, 2.3 V V_b 2.7 V, $C_b = 100\text{ pF}, R_b = 2.7\text{ k}$	1/f _{MCK} + 190		
データ・ホールド時間 (送信時)	t _{HD : DAT}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 100\text{ pF}, R_b = 1.4\text{ k}$	0	640	ns
		2.7 V V_{DD} 4.0 V, 2.3 V V_b 2.7 V, $C_b = 100\text{ pF}, R_b = 2.7\text{ k}$	0	660	

注 f_{SCL} f_{MCK}/4に設定してください。

注意 PIMgレジスタとPOMgレジスタで、SDArはTTL入力バッファ, N-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択, SCLrはN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択。

備考1. R_b [] : 通信ライン (SDAr, SCLr) プルアップ抵抗値, C_b [F] : 通信ライン (SDAr, SCLr) 負荷容量値, V_b [V] : 通信ライン電圧

2. r : IIC番号 (r = 10, 20), g : PIM, POM番号 (g = 0, 14)

3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(SMRmnレジスタのCKSmnビットで設定する動作クロック。m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0, 2), mn = 02, 10)

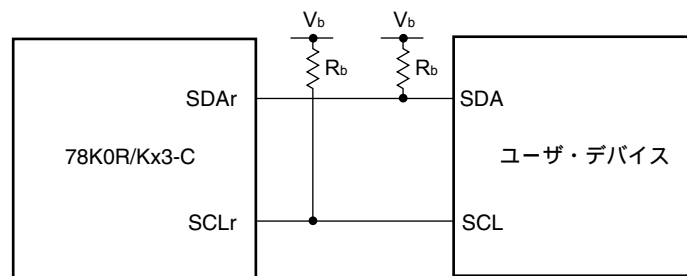
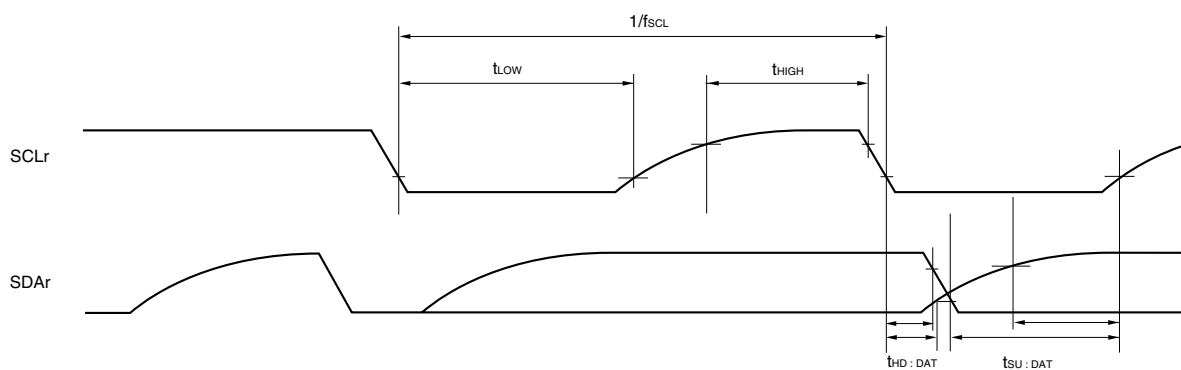
4. シリアル・アレイ・ユニットの簡易I²Cモードの異電位通信時のAC特性は下記のV_{IH}とV_{IL}を観測点としています。

4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 Vのとき : V_{IH} = 2.2 V, V_{IL} = 0.8 V

2.7 V V_{DD} 4.0 V, 2.3 V V_b 2.7 Vのとき : V_{IH} = 2.0 V, V_{IL} = 0.5 V

5. 78K0R/KF3-Cでは, EV_{DD0}とEV_{DD1}をEV_{DD}に, EV_{SS0}とEV_{SS1}をEV_{SS}に読み替えてください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (16/16)

簡易I²Cモード接続図 (異電位通信時)簡易I²Cモード・シリアル転送タイミング (異電位通信時)

注意 PIMgレジスタとPOMgレジスタで、SDArはTTL入力バッファ、N-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択、SCLrはN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択。

備考1. R_b [] : 通信ライン (SDAr, SCLr) プルアップ抵抗値, V_b [V] : 通信ライン電圧

2. r : IIC番号 (r = 10, 20), g : PIM, POM番号 (g = 0, 14)

(3) シリアル・インタフェース : IICA

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V, 2.7 V AV_{REF} V_{DD} , $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

(a) IICA

項目	略号	条件	標準モード		高速モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCL0クロック周波数	f_{SCL}	高速モード : 3.5 MHz f_{CLK} 標準モード : 1 MHz f_{CLK}	0	100	0	400	kHz
リスタート・コンディションのセットアップ時間 ^{注1}	$t_{SU:STA}$		4.7		0.6		μ s
ホールド時間	$t_{HD:STA}$		4.0		0.6		μ s
SCL0 = "L"のホールド・タイム	t_{LOW}		4.7		1.3		μ s
SCL0 = "H"のホールド・タイム	t_{HIGH}		4.0		0.6		μ s
データ・セットアップ時間(受信時)	$t_{SU:DAT}$		250		100		ns
データ・ホールド時間(送信時) ^{注2}	$t_{HD:DAT}$		0	3.45	0	0.9	μ s
ストップ・コンディションのセットアップ時間	$t_{SU:STO}$		4.0		0.6		μ s
パス・フリー時間	t_{BUF}		4.7		1.3		μ s

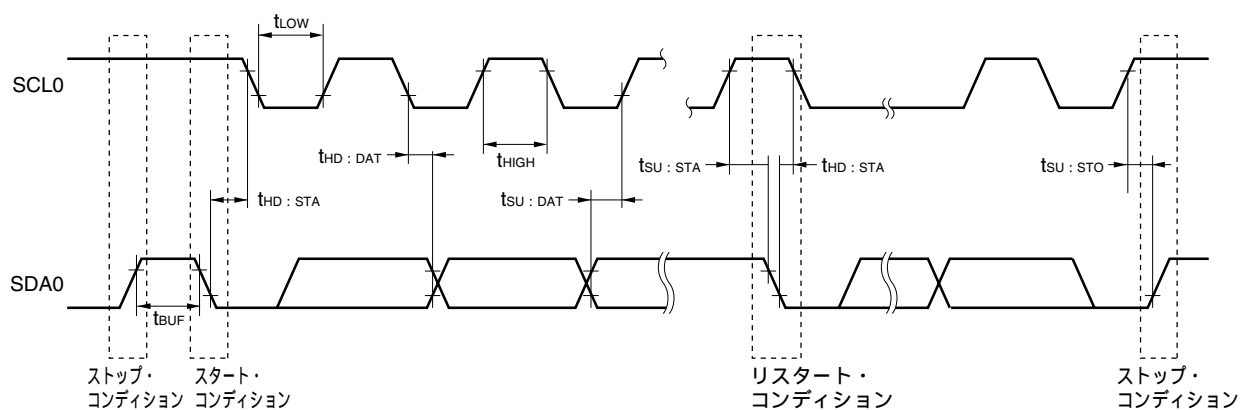
注1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。

2. $t_{HD:DAT}$ の最大値(MAX.)は, 通常転送時の数値であり, \overline{ACK} (アクノリッジ)タイミングでは, ウェイトがかかります。

備考1. 78K0R/KF3-Cでは, EV_{DD0} と EV_{DD1} を EV_{DD} に, EV_{SS0} と EV_{SS1} を EV_{SS} に読み替えてください。

2. f_{CLK} : CPU/周辺ハードウェア・クロック周波数

IICAシリアル転送タイミング



(4) シリアル・インタフェース：オンチップ・デバッグ (UART)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD0} = EV_{DD1} = 5.5 \text{ V}$, 2.7 V $AV_{REF} = V_{DD}$, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 \text{ V}$)

(a) オンチップ・デバッグ (UART)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート			$f_{CLK}/2^{12}$		$f_{CLK}/6$	bps
		フラッシュ・メモリ・プログラミング・モード			3.33	Mbps
TOOL1出力周波数	f_{TOOL1}	2.7 V $V_{DD} = 5.5 \text{ V}$			10	MHz

CEC送受信回路特性

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD0} = EV_{DD1} = 3.63 \text{ V}$, 2.7 V $AV_{REF} = V_{DD}$, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力ヒステリシス幅	IHYS	P62 $V_{DD} = 3.3 \text{ V} \pm 10\%$		0.4		V
CECIO立ち上がり時間	t_R	CECIOモード ^注 , $C_b = 1600 \text{ pF}$, $R_b = 27 \text{ k}\Omega$			250	μs
		CECIOモード ^注 , $C_b = 7700 \text{ pF}$, $R_b = 3 \text{ k}\Omega$			250	μs
CECIO立ち下がり時間	t_F	CECIOモード ^注 , $C_b = 1600 \text{ pF}$, $R_b = 27 \text{ k}\Omega$			50	μs
		CECIOモード ^注 , $C_b = 7700 \text{ pF}$, $R_b = 3 \text{ k}\Omega$			50	μs

注 プルアップ抵抗 + ダイオードを接続時 ($PF62 = 1$, $PU62 = 1$)

備考1. C_b [F]: 通信ライン負荷容量値, R_b [Ω]: 通信ライン外部プルアップ抵抗値

2. 78K0R/KF3-Cでは, EV_{DD0} と EV_{DD1} を EV_{DD} に, EV_{SS0} と EV_{SS1} を EV_{SS} に読み替えてください。

A/Dコンバータ特性

($T_A = -40 \sim +85$ °C, $V_{DD} = EV_{DD0} = EV_{DD1} = 5.5 \text{ V}, 2.7 \text{ V}$, $AV_{REF} = V_{DD}$, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
分解能	RES				10	bit	
総合誤差 ^{注1, 2}	AINL				± 0.35	%FSR	
変換時間	t _{CONV}	4.0 V $AV_{REF} = 5.5 \text{ V}$	高速モード1	2.5		66.6	μs
			通常モード	5.2		66.6	μs
		2.7 V $AV_{REF} < 4.0 \text{ V}$	高速モード2	3.5		66.6	μs
			通常モード	8.6		66.6	μs
ゼロスケール誤差 ^{注1, 2}	EZS				± 0.25	%FSR	
フルスケール誤差 ^{注1, 2}	EFS				± 0.25	%FSR	
積分直線性誤差 ^{注1}	ILE				± 2.5	LSB	
微分直線性誤差 ^{注1}	DLE				± 1.5	LSB	
アナログ入力電圧	V _{AIN}		AV _{SS}		AV _{REF}	V	

注1. 量子化誤差 (± 1/2 LSB) を含みません。

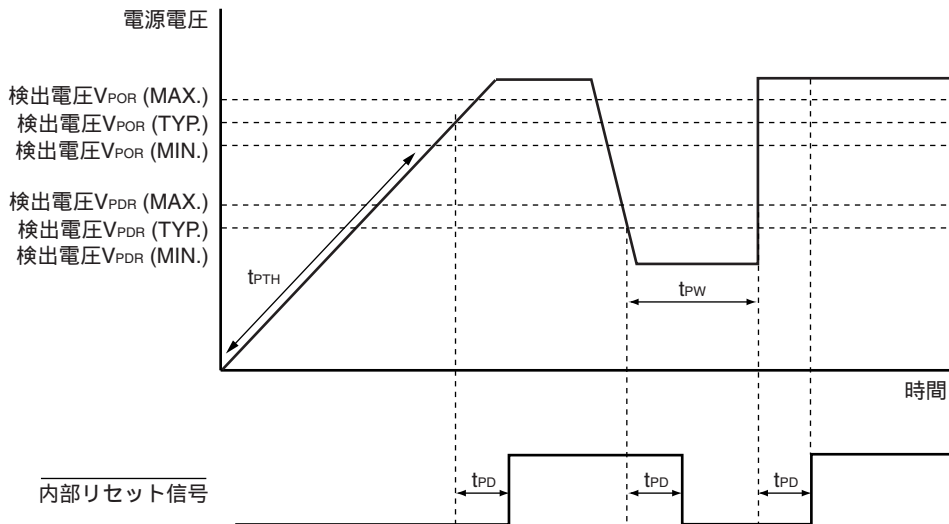
2. フルスケール値に対する比率 (%FSR) で表します。

備考 78K0R/KF3-Cでは, EV_{DD0}とEV_{DD1}をEV_{DD}に, EV_{SS0}とEV_{SS1}をEV_{SS}に読み替えてください。

POC回路特性 ($T_A = -40 \sim +85$, $V_{SS} = 0V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{POR}	電源立ち上がり時	1.52	1.61	1.70	V
	V_{PDR}	電源立ち下がり時	1.5	1.59	1.68	V
電源電圧立ち上がり傾き	t_{PTH}	$V_{DD} : 0V$ V_{POR} の変化傾き	0.5			V/ms
最小パルス幅	t_{PW}	電源降下時	200			μs
検出遅延	t_{PD}				200	μs

POC回路タイミング



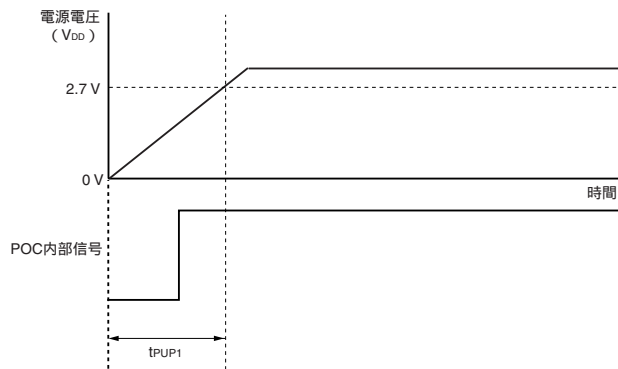
電源電圧立ち上げ時間 ($T_A = -40 \sim +85$, $V_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
2.7 V (V_{DD} (MIN.)) までの立ち上げ最大時間 ^注 ($V_{DD} : 0 V \sim 2.7 V$)	t_{PUP1}	LVIデフォルト・スタート無効 (\overline{LVIOFF} (オプション・バイト) = 1) , \overline{RESET} 入力未使用時			3.6	ms
2.7 V (V_{DD} (MIN.)) までの立ち上げ最大時間 ^注 (\overline{RESET} 入力解除 $V_{DD} : 2.7 V$)	t_{PUP2}	LVIデフォルト・スタート無効 (\overline{LVIOFF} (オプション・バイト) = 1) , \overline{RESET} 入力使用時			1.88	ms

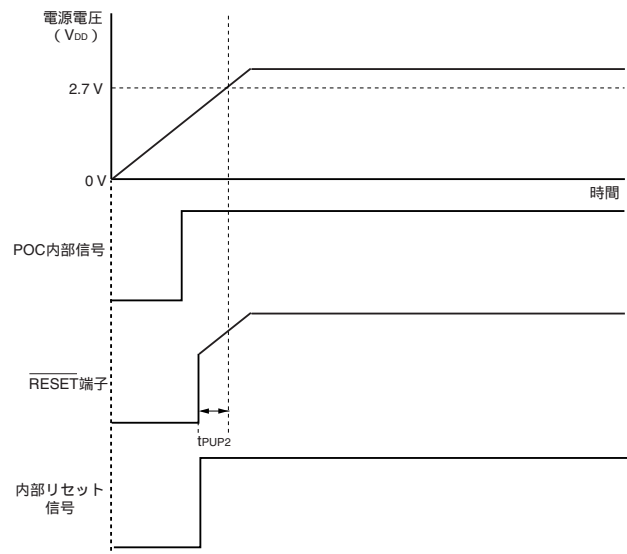
注 この時間より短い時間で電源を立ち上げるようにしてください。

電源電圧立ち上げ時間のタイミング

・ \overline{RESET} 端子入力未使用時



・ \overline{RESET} 端子入力使用時 (POC解除後, \overline{RESET} 端子による外部リセットが解除される場合)



LVI回路特性 ($T_A = -40 \sim +85$, $V_{PDR} = V_{DD} = EV_{DD0} = EV_{DD1} = 5.5 \text{ V}, 2.7 \text{ V}$, $AV_{REF} = V_{DD}, V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	電源電圧レベル	V_{LVI0}	4.12	4.22	4.32	V
		V_{LVI1}	3.97	4.07	4.17	V
		V_{LVI2}	3.82	3.92	4.02	V
		V_{LVI3}	3.66	3.76	3.86	V
		V_{LVI4}	3.51	3.61	3.71	V
		V_{LVI5}	3.35	3.45	3.55	V
		V_{LVI6}	3.20	3.30	3.40	V
		V_{LVI7}	3.05	3.15	3.25	V
		V_{LVI8}	2.89	2.99	3.09	V
		V_{LVI9}	2.74	2.84	2.94	V
	外部入力端子 ^{注1}	V_{EXLVI} , $EXLVI < V_{DD}, 2.7 \text{ V}$, $V_{DD} = 5.5 \text{ V}$	1.11	1.21	1.31	V
	電源立ち上げ時 電源電圧	V_{PULVI} , LVIデフォルト・スタート機能動作時	1.87	2.07	2.27	V
最小パルス幅	t_{LW}		200			μs
検出遅延	t_D				200	μs
動作安定待ち時間 ^{注2}	t_{LWAIT}				10	μs

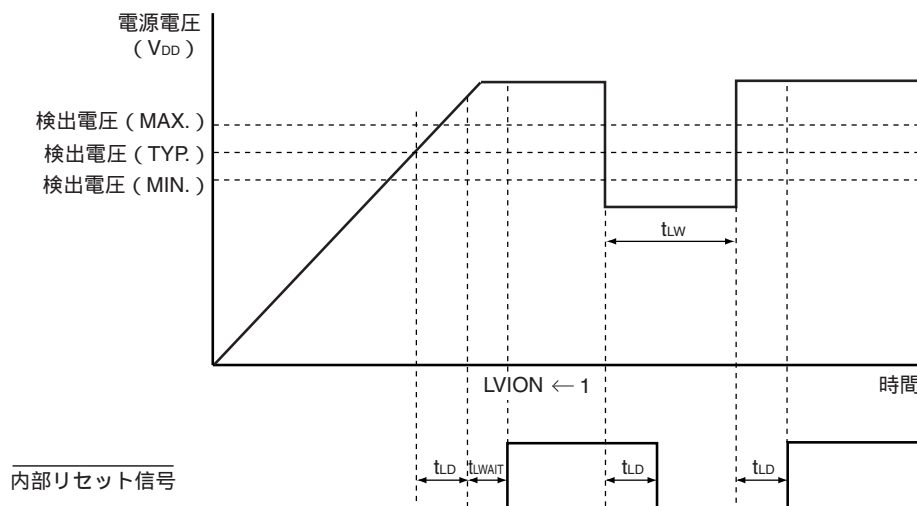
注1. EXLVI/P120/INTP0端子を使用します。

2. 低電圧検出レジスタ (LVIM) のビット7 (LVION) に1を設定してから動作が安定するまでの時間です。

備考1. $V_{LVI(n-1)} > V_{LVI n}$: $n = 1-9$

2. 78K0R/KF3-Cでは、 EV_{DD0} と EV_{DD1} を EV_{DD} に、 EV_{SS0} と EV_{SS1} を EV_{SS} に読み替えてください。

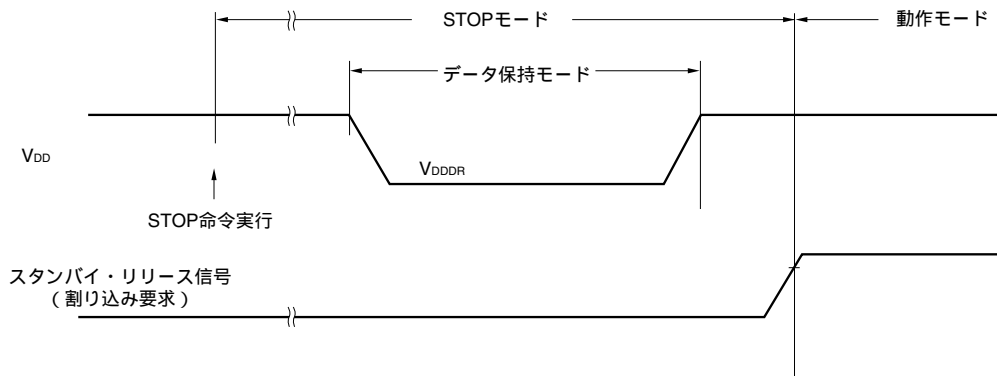
LVI回路タイミング



データ・メモリSTOPモード低電源電圧データ保持特性 ($T_A = -40 \sim +85$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.5 ^注		5.5	V

注 POC検出電圧に依存します。電圧降下時、POCリセットがかかる前まではデータを保持しますが、POCリセットがかかった場合のデータは保持されません。



フラッシュ・メモリ・プログラミング特性

($T_A = -40 \sim +85$ ^注, 2.7 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V, 2.7 V AV_{REF} $V_{DD}, V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
V _{DD} 電源電流	I _{DD}	TYP. = 10 MHz, MAX. = 20 MHz		6	20	mA
CPU / 周辺ハードウェア・クロック周波数	f _{CLK}		2		20	MHz
書き換え回数 (ブロックごとの消去回数)	C _{enwr}	プログラム更新用途 フラッシュ・メモリ・プログラマ 使用時および当社提供のセルフ・ プログラミング・ライブラリを使用時	保持 15年	1,000		回
		データ更新用途 当社提供のEEPROMエミュレーション・ ライブラリ使用時	保持 5年	10,000		回

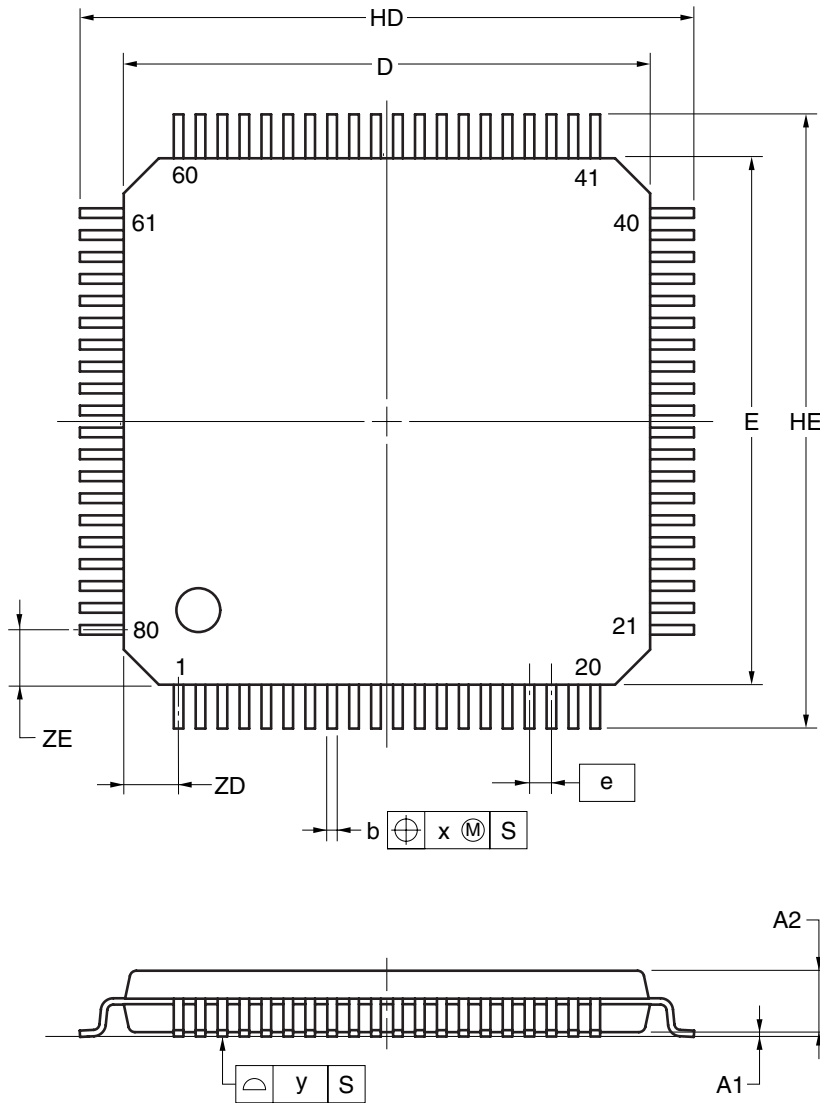
注 フラッシュ・メモリ・プログラマによる書き込み時 : $T_A = 0 \sim +50$

備考1. データを複数回更新する場合は、データ更新用途として使用してください。

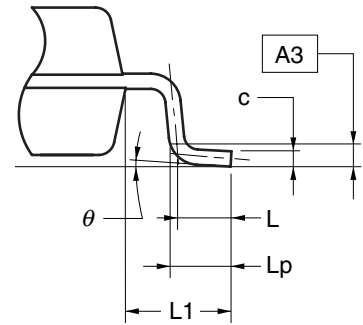
2. 78K0R/KF3-Cでは、EV_{DD0}とEV_{DD1}をEV_{DD}に、EV_{SS0}とEV_{SS1}をEV_{SS}に読み替えてください。

第30章 外形图

80-PIN PLASTIC LQFP (FINE PITCH) (12x12)



detail of lead end



(UNIT:mm)

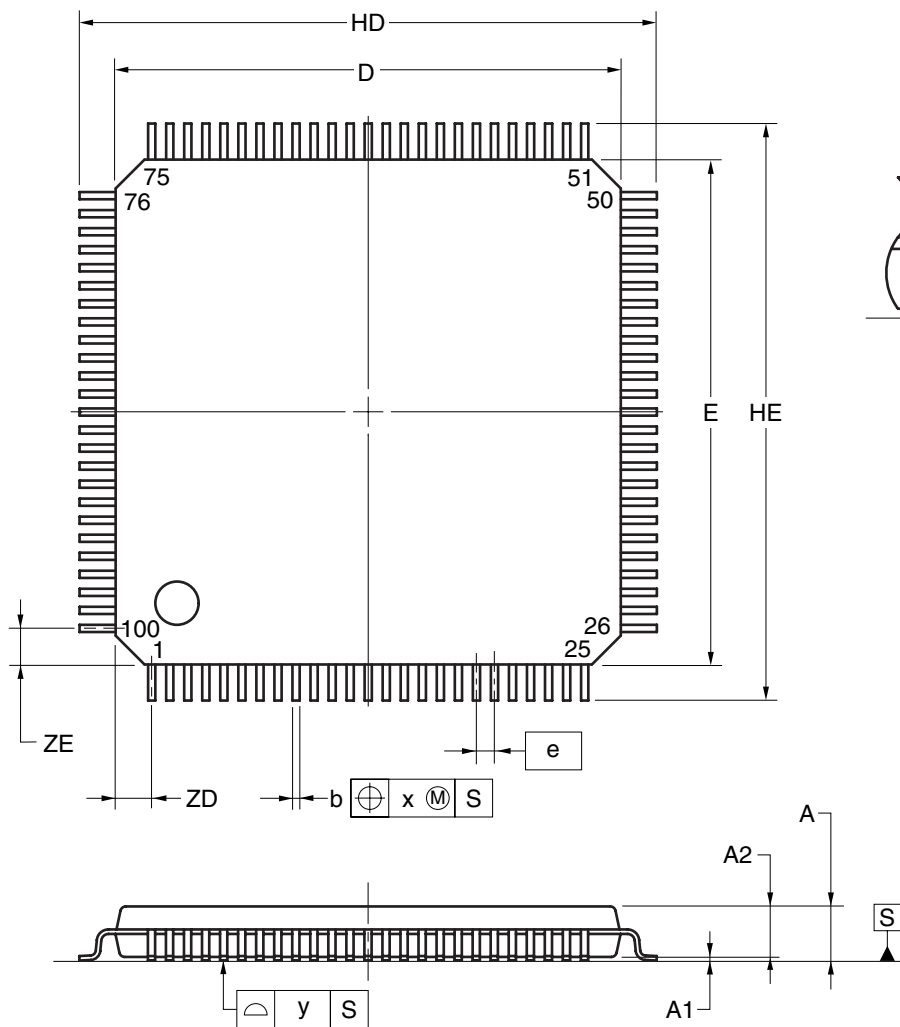
ITEM	DIMENSIONS
D	12.00±0.20
E	12.00±0.20
HD	14.00±0.20
HE	14.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.20 ^{+0.07} _{-0.03}
c	0.125 ^{+0.075} _{-0.025}
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	3° ^{+5°} _{-3°}
e	0.50
x	0.08
y	0.08
ZD	1.25
ZE	1.25

P80GK-50-GAK

NOTE

Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

100-PIN PLASTIC LQFP (FINE PITCH) (14x14)



(UNIT:mm)

ITEM	DIMENSIONS
D	14.00±0.20
E	14.00±0.20
HD	16.00±0.20
HE	16.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.20 ^{+0.07} _{-0.03}
c	0.125 ^{+0.075} _{-0.025}
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	3° ^{+5°} _{-3°}
e	0.50
x	0.08
y	0.08
ZD	1.00
ZE	1.00

P100GC-50-UEU-1

第31章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」(<http://www2.renesas.com/pkg/ja/jissou/index.html>)

表31 - 1 表面実装タイプの半田付け条件

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：60秒以内（220℃以上），回数：3回以内， 制限日数：7日間 ^注 （以降は125℃プリバーク10～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-107-3

注 ドライバック開封後の保管日数で，保管条件は25℃，65 %RH以下。

注意1. 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

2. 78K0R/Kx3-Cマイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合，フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり，製品の信頼性が保証できませんので，量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については，クレーム受け付け対象外となります。

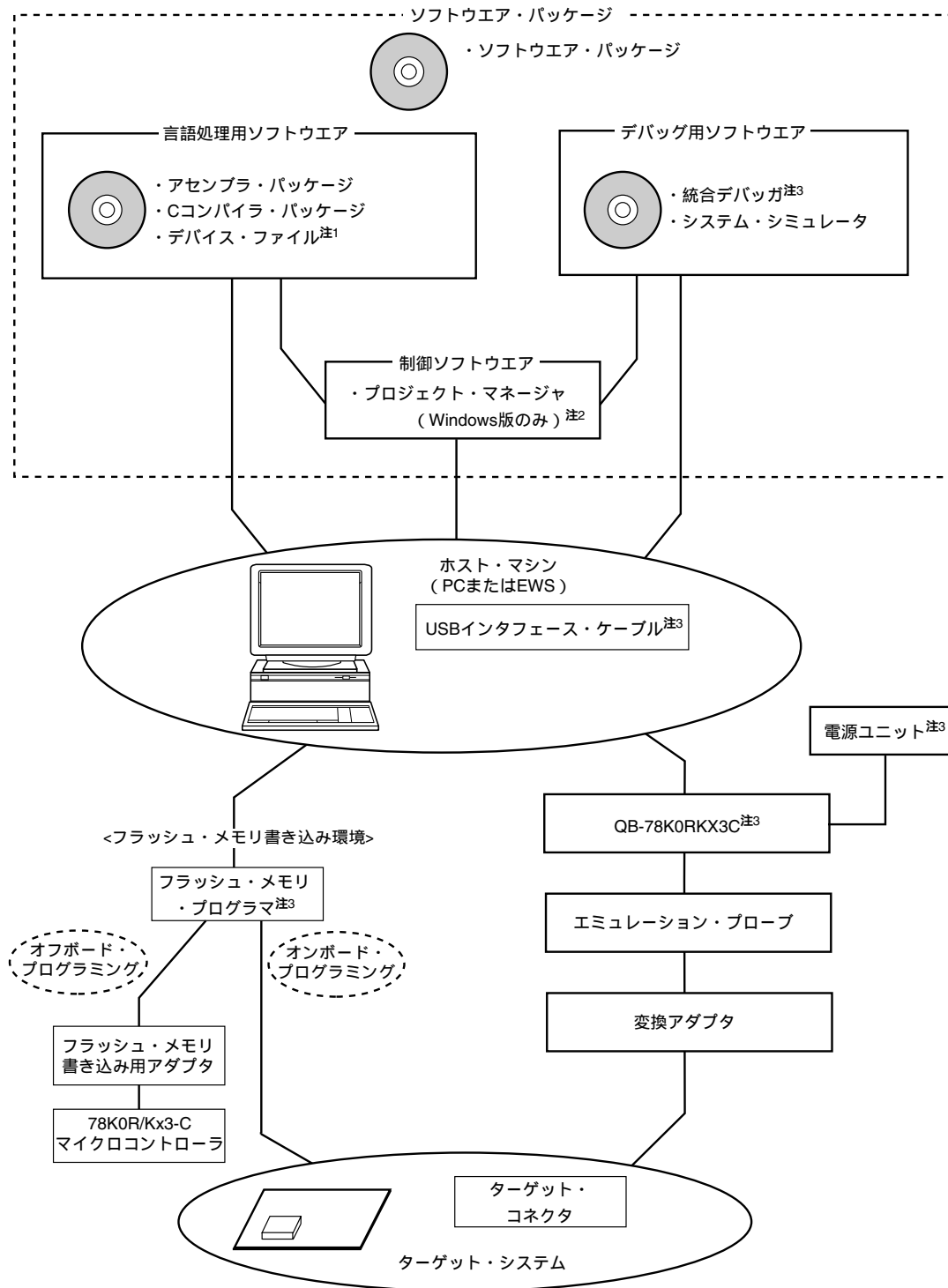
付録A 開発ツール

78K0R/Kx3-Cを使用するシステム開発のために次のような開発ツールを用意しています。

図A - 1に開発ツール構成を示します。

図A-1 開発ツール構成 (1/1)

(1) インサーキット・エミュレータ QB-78K0RKX3Cを使用する場合



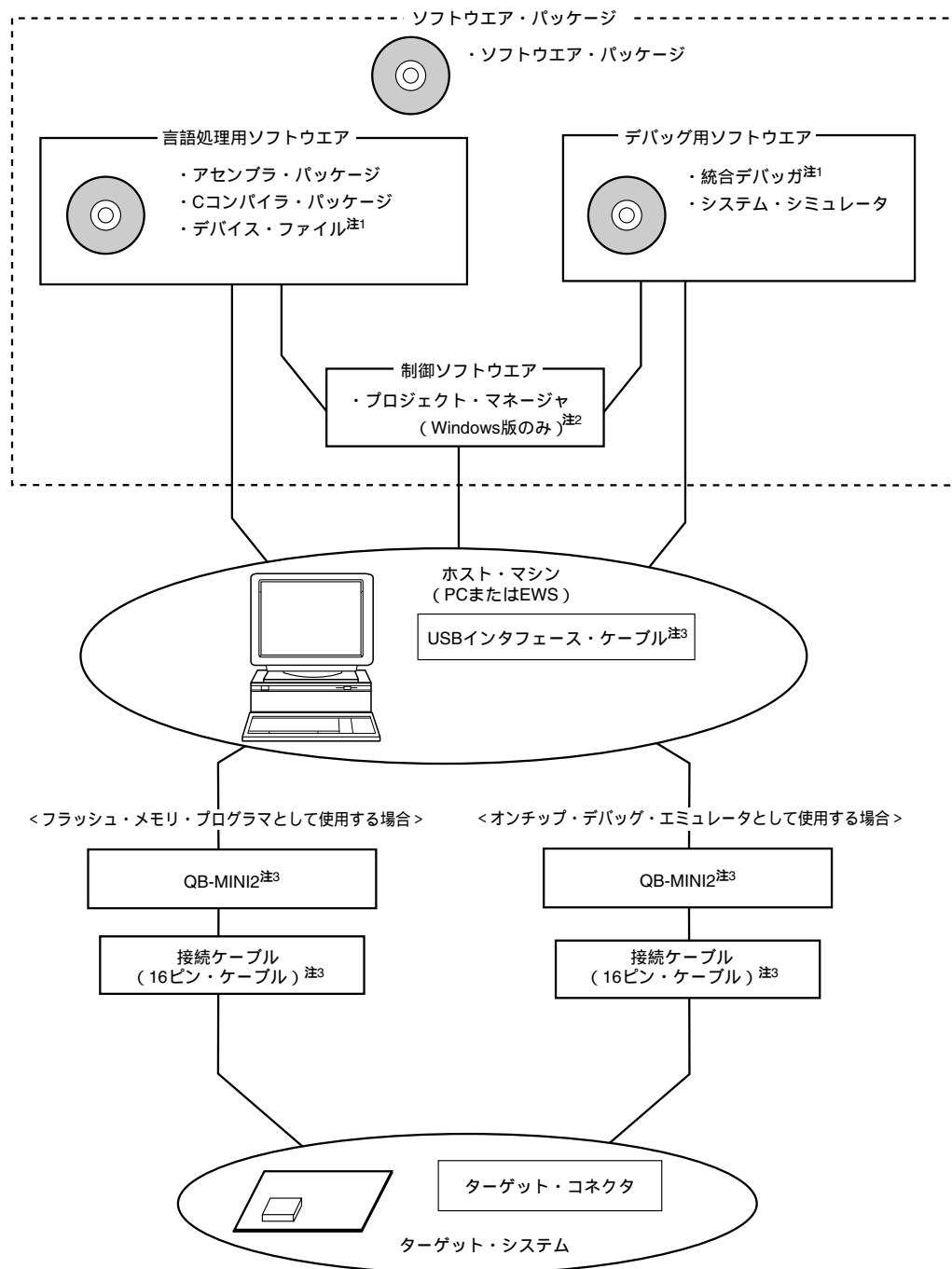
注1. 78K0R/Kx3-C用のデバイス・ファイル (DF781849) は、開発ツールのダウンロード・サイト (<http://www2.renesas.com/micro/ja/ods/index.html>) より入手してください。

2. プロジェクト・マネージャ PM+は、アセンブラ・パッケージに入っています。
また、Windows®以外ではPM+は使用しません。

3. QB-78K0RKX3Cは、統合デバッガ ID78K0R-QB、プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2、電源ユニットとUSBインタフェース・ケーブルを添付しています。それ以外の製品はオプションです。

図A-1 開発ツール構成 (2/2)

(3) プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合



注1 . 78K0R/Kx3-C用のデバイス・ファイル (DF781849) および統合デバッガ ID78K0R-QBは、開発ツールのダウンロード・サイト (<http://www2.renesas.com/micro/ja/ods/index.html>) より入手してください。

2 . プロジェクト・マネージャ PM+は、アセンブラ・パッケージに入っています。

また、Windows以外ではPM+は使用しません。

3 . QB-MINI2は、USBインタフェース・ケーブル、接続ケーブル(10ピン・ケーブル、16ピン・ケーブル)、78K0-OCDボードを添付しています。それ以外の製品はオプションです。また、QB-MINI2を操作するためのソフトウェアを、MINICUBE2のホームページ (<http://www2.renesas.com/micro/ja/development/asia/minicube2/minicube2.html>) より入手してください。

A.1 ソフトウェア・パッケージ

SP78K0R 78K0Rマイクロコントローラ・ソフトウェア・パッケージ	78K0Rマイクロコントローラ共通の開発ツール（ソフトウェア）を1つのパッケージにした製品です。 オーダ名称： $\mu S \times \times \times \times$ SP78K0R
---	--

備考 オーダ名称の $\times \times \times \times$ は、使用するホスト・マシン、OSにより異なります。

$\mu S \times \times \times \times$ SP78K0R

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ、	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

A.2 言語処理用ソフトウェア

RA78K0R アセンブラ・パッケージ	ニモニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。 デバイス・ファイル（DF781849 ^注 ）と組み合わせて使用します。 <PC環境で使用する場合の注意> アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより、Windows環境でも使用できます。 オーダ名称： $\mu S \times \times \times \times$ RA78K0R
CC78K0R Cコンパイラ・パッケージ	C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 別売のアセンブラ・パッケージおよびデバイス・ファイルと組み合わせて使用します。 <PC環境で使用する場合の注意> Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより、Windows環境でも使用できます。 オーダ名称： $\mu S \times \times \times \times$ CC78K0R
DF781849 ^注 デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売の各ツール（RA78K0R、CC78K0R、SM+ for 78K0R、ID78K0R-QB）と組み合わせて使用します。対応OS、ホスト・マシンは組み合わせられる各ツールに依存します。 オーダ名称： $\mu S \times \times \times \times$ DF781849

注 DF781849は、RA78K0R、CC78K0R、SM+ for 78K0R、ID78K0R-QBのすべての製品に共通に使用できます。

開発ツールのダウンロード・サイト（<http://www2.renesas.com/micro/ja/ods/index.html>）より入手してください。

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS××××RA78K0R

μS××××CC78K0R

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

μS××××DF781849

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ,	日本語Windows	3.5インチ2HD FD
BB13	IBM PC/AT互換機	英語Windows	

A.3 制御ソフトウェア

PM+ プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。プロジェクト・マネージャ上から、エディタの起動、ビルド、デバッガの起動など、ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> プロジェクト・マネージャはアセンブラ・パッケージ（RA78K0R）の中に入っています。 Windows以外の環境では使用できません。
---------------------	---

A. 4 フラッシュ・メモリ書き込み用ツール

A. 4.1 フラッシュ・メモリ・プログラマ PG-FP5, FL-PR5を使用する場合

PG-FP5, FL-PR5 フラッシュ・メモリ・プログラマ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。
FA-xxxx ^注 フラッシュ・メモリ書き込み用 アダプタ	フラッシュ・メモリ書き込み用アダプタです。フラッシュ・メモリ・プログラマに接続して使用します。

注 フラッシュ・メモリ書き込み用アダプタの製品名と対象デバイスのパッケージは、次のとおりです。

対象デバイスのパッケージ		フラッシュ・メモリ書き込み用 アダプタ
78K0R/KF3-C	80ピン・プラスチックLQFP (GK-GAKタイプ)	FA-78F1847GK-GAK-RX
78K0R/KG3-C	100ピン・プラスチックLQFP (GC-UEUタイプ)	FA-78F1849GC-UEU-RX

備考1. FL-PR5, FA-xxxxは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (<http://www.ndk-m.co.jp/>) (TEL (042) 750-4172)

2. フラッシュ・メモリ書き込み用アダプタは、最新のものをお使いください。

A. 4.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2 を使用する場合

QB-MINI2 プログラミング機能付きオンチップ・ デバッグ・エミュレータ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。78K0R/Kx3-C マイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェア をデバッグするためのオンチップ・デバッグ・エミュレータとしても使用できます。 USBインタフェース・ケーブル、接続ケーブル (10ピン・ケーブル、16ピン・ケーブル)、 78K0-OCDボードを添付しています。78K0R/Kx3-Cを使用する場合、USBインタフェース・ ケーブルと16ピン接続ケーブルを使用してください。
--	---

備考 QB-MINI2を操作するためのソフトウェアを、MINICUBE2のホームページ

(<http://www2.renesas.com/micro/ja/development/asia/minicube2/minicube2.html>) より入手してください。

A. 5 デバッグ用ツール（ハードウェア）

A. 5. 1 インサーキット・エミュレータを使用する場合

QB-78K0RKX3C ^注 インサーキット・エミュレータ	78K0R/KF3-C, 78K0R/KG3-Cマイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータです。統合デバッガ（ID78K0R-QB）に対応しています。電源ユニット、およびエミュレーション・プローブと組み合わせて使用します。ホスト・マシンとの接続は、USBを使用します。
QB-144-CA-01 チェック・ピン・アダプタ	オシロスコープなどで波形観測を行う際に使用するアダプタです。
QB-144-EP-02S エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのフレキシブル・タイプのプローブです。
QB-xxxx-EA-xxx ^注 エクステンジ・アダプタ	インサーキット・エミュレータからターゲット・コネクタへピン変換を行うアダプタです。
QB-xxxx-YS-xxx ^注 スペース・アダプタ	ターゲット・システムとインサーキット・エミュレータ間の高さを必要に応じて調節するアダプタです。
QB-xxxx-YQ-xxx ^注 YQコネクタ	ターゲット・コネクタとエクステンジ・アダプタを接続するコネクタです。
QB-xxxx-HQ-xxx ^注 マウント・アダプタ	対象デバイスをソケット実装するためのアダプタです。
QB-xxxx-NQ-xxx ^注 ターゲット・コネクタ	ターゲット・システムへ実装するためのコネクタです。

注 エクステンジ・アダプタ、スペース・アダプタ、YQコネクタ、マウント・アダプタ、ターゲット・コネクタの製品名と対象デバイスのパッケージは、次のとおりです。

対象デバイスのパッケージ		エクステンジ・アダプタ	スペース・アダプタ	YQコネクタ	マウント・アダプタ	ターゲット・コネクタ
78K0R/KF3-C	80ピン・プラスチックLQFP（GK-GAKタイプ）	QB-80GK-EA-09T	QB-80GK-YS-01T	QB-80GK-YQ-01T	QB-80GK-HQ-01T	QB-80GK-NQ-01T
78K0R/KG3-C	100ピン・プラスチックLQFP（GC-UEUタイプ）	QB-100GC-EA-07T	QB-100GC-YS-01T	QB-100GC-YQ-01T	QB-100GC-HQ-01T	QB-100GC-NQ-01T

備考1. QB-78K0RKX3Cは、電源ユニットとUSBインタフェース・ケーブルを添付しています。また、コントロール・ソフトウェアとして、統合デバッガ ID78K0R-QB、プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を添付しています。

2. オーダ名称により、QB-78K0RKX3Cの梱包内容は次のように異なります。

梱包内容 オーダ名称	インサーキット・エミュレータ	エミュレーション・プローブ	エクステンジ・アダプタ	YQコネクタ	ターゲット・コネクタ
QB-78K0RKX3C-ZZZ	QB-78K0RKX3C	なし			
QB-78K0RKX3C-T80GK		QB-144-EP-02S	QB-80GK-EA-09T	QB-80GK-YQ-01T	QB-80GK-NQ-01T
QB-78K0RKX3C-T100GC			QB-100GC-EA-07T	QB-100GC-YQ-01T	QB-100GC-NQ-01T

A. 5.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2 を使用する場合

QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	78K0R/Kx3-Cマイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのオンチップ・デバッグ・エミュレータです。フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマとしても使用できます。USBインタフェース・ケーブル、接続ケーブル（10ピン・ケーブル、16ピン・ケーブル）、78K0-OCDボードを添付しています。78K0R/Kx3-Cを使用する場合、USBインタフェース・ケーブルと16ピン接続ケーブルを使用してください。
--	--

備考 QB-MINI2を操作するためのソフトウェアを、MINICUBE2のホームページ

(<http://www2.renesas.com/micro/ja/development/asia/minicube2/minicube2.html>) より入手してください。

A. 6 デバッグ用ツール(ソフトウェア)

SM+ for 78K0R システム・シミュレータ	SM+ for 78K0Rは、Windowsベースのソフトウェアです。 ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのデバッグが可能です。 SM+ for 78K0Rを使用することにより、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。したがって、開発効率やソフトウェア品質の向上が図れます。 デバイス・ファイル（DF781849）と組み合わせて使用します。 オーダ名称： $\mu S \times \times \times SM781000$
ID78K0R-QB 統合デバッガ	78K0Rマイクロコントローラ用のインサーキット・エミュレータに対応したデバッガです。 ID78K0R-QBは、Windowsベースのソフトウェアです。 C言語対応のデバッグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウィンドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 デバイス・ファイル（DF781849）と組み合わせて使用します。 オーダ名称： $\mu S \times \times \times ID78K0R-QB$

備考 オーダ名称の $\times \times \times \times$ は、使用するホスト・マシン、OSにより異なります。

$\mu S \times \times \times SM781000$

$\mu S \times \times \times ID78K0R-QB$

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

付録B 改版履歴

B.1 本版で改訂された主な箇所

箇所	内容	分類
第4章 ポート機能		
p. 169	図4 - 55 PF6レジスタとPU6レジスタの関係を追加	(c)
p. 170	図4 - 57 PF6レジスタとPU6レジスタの関係を追加	(c)
第12章 シリアル・インタフェースIICA		
p. 526	図12 - 7 IICAステータス・レジスタ (IICS) のフォーマット (3/3) を変更	(c)
第13章 CEC送受信回路		
p. 598, 599	13. 1 CEC送受信回路の機能に説明を追加	(c)
第29章 電気的特性		
p. 932	CEC送受信回路特性を変更	(b)

備考 表中の「分類」により，改訂内容を次のように区分しています。

- (a) : 誤記訂正，(b) : 仕様（スペック含む）の追加 / 変更，(c) : 説明，注意事項の追加 / 変更，
 (d) : パッケージ，オーダ名称，管理区分の追加 / 変更，(e) : 関連資料の追加 / 変更

B.2 前版までの改版履歴

これまでの改版履歴を次に示します。なお，適用箇所は各版での章を示します。

版数	内容	適用箇所
第1版	μ PD78F1846A, 78F1847A, 78F1848A, 78F1849Aの開発中 量産中	全般
	78K0R/KF3の80ピン・プラスチックLQFP（ファインピッチ）（12x12）と78K0R/KG3の100ピン・プラスチックLQFP（ファインピッチ）（14x14）のオーダ名称から開発中を削除	
	REGC端子に接続するコンデンサの容量値からターゲットを削除	
	URLをルネサス エレクトロニクス社のWEBサイトに変更	
	図21 - 3 リセット解除後のソフト処理例（1/2）を変更	第21章 パワーオン・クリア回路
	図22 - 11 リセット解除後のソフト処理例（1/2）を変更	第22章 低電圧検出回路
	（ターゲット）を削除	第29章 電気的特性
	内蔵発振回路特性の高速内蔵発振器発振周波数を変更	
	推奨発振回路定数を追加	
	章を追加	第31章 半田付け推奨条件

(メ モ)

78K0R/Kx3-C ユーザーズマニュアル
ハードウェア編

発行年月日 2010年2月17日 Rev.0.01

2011年9月30日 Rev.2.00

発行 ルネサス エレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部 1753



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口 : <http://japan.renesas.com/inquiry>

78K0R/Kx3-C