

EC-1

ユーザーズマニユアル ハードウェア編

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

- 当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因またはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
 8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
 13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 14. 本資料に記載されている内容または当社製品についてご不明点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、リセットを解除してください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

- このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記録したものではありません。詳細は、このマニュアルの本文でご確認ください。

EC-1 では次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクス のホームページに掲載されています。

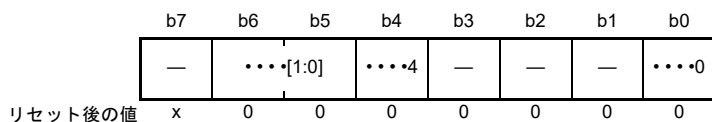
ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	—	—
ユーザズマニュアル ハードウェア編	ハードウェアの仕様（ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング）と動作説明	EC-1 ユーザズマニュアル ハードウェア編	本ユーザズマニュアル
ユーザズマニュアル ソフトウェア編	Arm®社のホームページから情報を入手してください。		
アプリケーションノート	応用例参考プログラムなど	—	—
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報	—	—

2. レジスタの表記

各章において「レジスタの説明」には、ビットの並びを示すビット配置図とビットに設定する内容を説明するビット機能表があります。使用する記号、用語を以下に説明します。

X.X.Xレジスタ

アドレス xxxx xxxh



x: 不定

ビット	シンボル	ビット名	機能	R/W
b00ビット	0: 1: 設定しないでください (3)	R/W (1)
b3-b1	—	予約ビット (2)	読むと“0”が読めます。書く場合、“0”としてください	R/W
b44ビット	0: 1: 上記以外は設定しないでください (3)	R
b6-b5[1:0]ビット	00: 01: 上記以外は設定しないでください (3)	R/(W) (注1)
b7	—	予約ビット	読んだ場合、その値は不定。書き込みは無効になります	R

(1) R/W : 読み出し / 書き込みともに有効です。

R/(W) : 読み出し / 書き込みともに有効ですが、書き込みには制限があります。

制限の内容については、各レジスタの説明や注記を参照ください。

R : 読み出しのみ有効です。書き込みは無効になります。

(2) 予約ビットです。書き込みを行う場合には、指定された値を書き込んでください。指定外の値を書き込んだ場合の動作は保証されません。

(3) 設定しないでください。設定した場合の動作は保証されません。

3. 略語および略称の説明

略語/略称	フルスペル	備考
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
I/O	Input / Output	入出力
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
UART	Universal Asynchronous Receiver / Transmitter	調歩同期式シリアルインタフェース

4. アクセスサイズの表記

アクセスサイズ：

8 bit = バイト

16 bit = ワード

32 bit = ロングワード

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

特長	38
1. 概要	39
1.1 仕様概要	39
1.2 製品一覧	43
1.3 ブロック図	44
1.4 端子機能	45
1.5 ピン配置図	48
2. CPU	59
2.1 概要	59
2.2 コンフィギュレーション情報	60
2.3 CPU 制限事項	60
2.4 レジスタ説明	61
2.4.1 ATCM ウェイト制御レジスタ (SYTATCMWAIT)	61
3. 動作モード	62
3.1 概要	62
3.2 動作モードの種類	62
3.3 SPI ブートモードで使用するハードウェアの情報	62
3.4 動作モードの説明	63
3.4.1 ブート機能	63
3.4.2 ロータ用パラメータ	64
3.4.3 ロータプログラム	66
3.4.4 SPI ブートモード (シリアル・フラッシュ)	66
3.4.4.1 SPI ブートモードにおける動作設定	67
3.4.5 MPU 設定	70
3.4.6 ブート関連情報とエラー処理	71
3.4.7 注意事項	72
3.4.7.1 例外処理	72
3.4.7.2 SPI ブートモード使用時のシリアル・フラッシュについて	72
4. アドレス空間	73
4.1 アドレス空間	73
5. I/O レジスタ	75
5.1 I/O レジスタアドレス一覧 (アドレス順)	76
6. リセット	132
6.1 概要	132
6.2 レジスタの説明	134
6.2.1 リセットステータスレジスタ 0 (RSTSR0)	134
6.2.2 ソフトウェアリセットレジスタ (SWRR1)	135
6.2.3 モジュールリセット制御レジスタ C (MRCTL C)	135
6.3 動作説明	136
6.3.1 RES# 端子リセット	136

6.3.2	ECM リセット.....	136
6.3.3	ソフトウェアリセット	136
6.3.4	リセット発生要因の判定.....	137
6.3.5	リセット出力端子 (RSTOUT#).....	137
6.3.6	リセット入力のノイズ除去.....	137
6.4	使用上の注意事項.....	138
6.4.1	リセット出力端子 (RSTOUT#) について.....	138
7.	クロック発生回路	139
7.1	概要.....	139
7.2	レジスタの説明.....	143
7.2.1	システムクロックコントロールレジスタ (SCKCR).....	143
7.2.2	システムクロックコントロールレジスタ 2 (SCKCR2).....	144
7.2.3	PLL1 コントロールレジスタ 2 (PLL1CR2).....	145
7.2.4	低速オンチップオシレータコントロールレジスタ (LOCOCR).....	146
7.2.5	発振停止検出コントロールレジスタ (OSTDCR).....	147
7.3	メインクロック発振器の入力選択.....	148
7.3.1	発振子を接続する方法.....	148
7.4	発振停止検出機能.....	149
7.4.1	発振停止検出と検出後の動作.....	149
7.4.2	発振停止検出割り込み.....	149
7.5	PLL 発振異常検出機能.....	149
7.6	低速オンチップオシレータ発振異常検出.....	149
7.7	PLL 回路.....	149
7.8	内部クロック.....	150
7.8.1	CPU クロック (CPUCLK).....	150
7.8.2	システムクロック (ICLK).....	150
7.8.3	高速周辺モジュールクロック (PCLKA).....	150
7.8.4	低速周辺モジュールクロック (PCLKB).....	150
7.8.5	低速周辺モジュールクロック (PCLKD、PCLKE).....	150
7.8.6	高速シリアルクロック (SERICLK).....	150
7.8.7	USB クロック M (USBMCLK).....	150
7.8.8	USB クロック P (USBPCLK).....	151
7.8.9	Ethernet クロック (ETCLKA、ETCLKD、ETCLKE、ETCLKF).....	151
7.8.10	CLMA クロック (CLMAMCLKA、CLMAMCLKB、CLMALCLK、CLMAPLCLK0、 CLMAPLCLK1).....	151
7.8.11	IWDT クロック (IWDTCLK).....	151
7.8.12	ECM クロック (ECMCLK).....	151
7.8.13	JTAG 用クロック.....	151
7.8.14	トレース I/F クロック (TCLK).....	151
7.9	使用上の注意事項.....	152

7.9.1	クロック発生回路に関する使用上の注意事項	152
7.9.2	発振子に関する注意事項	152
7.9.3	ボード設計上の注意	152
8.	クロックモニタ回路 (CLMA)	153
8.1	概要	153
8.2	レジスタの説明	155
8.2.1	CLMA _n 制御レジスタ 0 (CLMA _n CTL0) (n = 2-0)	155
8.2.2	CLMA _n コンペアレジスタ L (CLMA _n CMPL) (n = 2-0)	156
8.2.3	CLMA _n コンペアレジスタ H (CLMA _n CMPH) (n = 2-0)	156
8.2.4	CLMA _n コマンドレジスタ (CLMA _n PCMD) (n = 2-0)	157
8.2.5	CLMA _n プロテクションステータスレジスタ (CLMA _n PS) (n = 2-0)	157
8.3	動作説明	158
8.3.1	CLMA _n の動作	158
8.3.2	異常クロック周波数の検出	159
8.3.3	異常クロック周波数の検出	161
8.4	CLMA _n 使用上の注意事項	161
9.	消費電力低減機能	162
9.1	概要	162
9.2	レジスタの説明	163
9.2.1	モジュールストップコントロールレジスタ A (MSTPCRA)	163
9.2.2	モジュールストップコントロールレジスタ B (MSTPCRB)	164
9.2.3	モジュールストップコントロールレジスタ C (MSTPCRC)	166
9.2.4	モジュールストップコントロールレジスタ E (MSTPCRE)	167
9.2.5	モジュールストップコントロールレジスタ F (MSTPCRF)	167
9.3	動作説明	168
9.3.1	モジュールストップ機能	168
9.3.2	Cortex-R4 のスタンバイモード	169
9.3.2.1	Cortex-R4 のスタンバイモードへの遷移	169
9.3.2.2	Cortex-R4 のスタンバイモードの解除	169
9.4	使用上の注意事項	170
9.4.1	I/O ポートの状態	170
9.4.2	DMAC のモジュールストップ	170
9.4.3	モジュールストップ中の内蔵周辺モジュールの割り込み	170
9.4.4	USB の低消費電力	170
9.4.5	EtherCAT 関連機能の低消費電力	170
9.4.6	ライトプロテクション機能	170
10.	デバッグインタフェース	171
10.1	概要	171
10.2	レジスタの説明	176
10.2.1	デバッグインタフェース制御レジスタ (DBGIFCNT)	176

10.3	動作説明	177
10.3.1	JTAG インタフェース	177
10.3.2	SWD インタフェース	178
10.3.3	トレースポートインタフェース	179
10.3.4	SWV インタフェース	180
10.3.5	リセット構成とエミュレータとの接続方法	181
10.3.5.1	nTRST 出力を High ドライブできないエミュレータの接続例	181
10.3.5.2	nTRST 出力を High ドライブできるエミュレータの接続例	182
10.3.6	エミュレータを接続しない場合の JTAG 端子の処置	183
10.3.7	TRST# 端子のノイズ除去	183
10.3.8	使用可能なトレース機能	183
10.4	注意事項	184
10.4.1	メインバスへのアクセス	184
11.	レジスタライトプロテクション機能	185
11.1	概要	185
11.2	レジスタの説明	186
11.2.1	プロテクトレジスタ (PRCR)	186
12.	割り込みコントローラ (ICUA)	187
12.1	概要	187
12.2	レジスタの説明	189
12.2.1	IRQ コントロールレジスタ i (IRQCRi) (i = 0 ~ 4, 6, 7, 9, 11 ~ 14)	189
12.2.2	IRQ 端子デジタルノイズフィルタ許可レジスタ (IRQFLTE)	190
12.2.3	IRQ 端子デジタルノイズフィルタ設定レジスタ (IRQFLTC)	191
12.2.4	ノンマスカブル割り込みステータスレジスタ (NMISR)	193
12.2.5	ノンマスカブル割り込みステータスクリアレジスタ (NMICLR)	194
12.2.6	NMI 端子割り込みコントロールレジスタ (NMICR)	194
12.2.7	NMI 端子デジタルノイズフィルタ許可レジスタ (NMIFLTE)	195
12.2.8	NMI 端子デジタルノイズフィルタ設定レジスタ (NMIFLTC)	196
12.2.9	EtherPHY コントロールレジスタ i (EPHYCRi) (i = 0, 1)	197
12.2.10	EtherPHY 割り込み要求端子デジタルノイズフィルタ許可レジスタ (EPHYFLTE) ...	198
12.2.11	EtherPHY 割り込み要求端子デジタルノイズフィルタ設定レジスタ (EPHYFLTC) ...	199
12.3	動作説明	200
12.3.1	割り込み要求先の選択	200
12.3.2	デジタルノイズフィルタ	202
12.3.3	外部端子割り込み	203
12.3.4	NMI 端子割り込み	204
12.4	Cortex-R4 ベクタ割り込みコントローラ (VIC)	205
12.4.1	概要	205
12.4.2	レジスタの説明	206
12.4.2.1	IRQ ステータスレジスタ n (IRQSn) (n = 0 ~ 9)	206

12.4.2.2	割り込み入力ステータスレジスタ n (RAISn) (n = 0 ~ 9)	211
12.4.2.3	割り込みイネーブルレジスタ n (IENn) (n = 0 ~ 9)	216
12.4.2.4	割り込みイネーブルクリアレジスタ n (IECn) (n = 0 ~ 9)	221
12.4.2.5	割り込み検出タイプ選択レジスタ n (PLSn) (n = 0 ~ 9)	226
12.4.2.6	エッジ検出ビットクリアレジスタ n (PICn) (n = 0 ~ 9)	231
12.4.2.7	割り込み優先レベルマスクレジスタ 0 (PRLM0)	236
12.4.2.8	割り込み優先レベルマスクレジスタ 1 (PRLM1)	237
12.4.2.9	割り込み優先レベルマスククリアレジスタ 0 (PRLC0)	238
12.4.2.10	割り込み優先レベルマスククリアレジスタ 1 (PRLC1)	239
12.4.2.11	ユーザモードイネーブルレジスタ 0 (UEN0)	240
12.4.2.12	ユーザモードイネーブルレジスタ 1 (UEN1)	241
12.4.2.13	割り込みアドレスレジスタ (HVA0)	242
12.4.2.14	割り込みサービスステータスレジスタ n (ISSn) (n = 0 ~ 9)	243
12.4.2.15	割り込みサービスカレントレジスタ n (ISCn) (n = 0 ~ 9)	249
12.4.2.16	割り込みアドレス格納レジスタ 0 (VADn) (n = 1 ~ 255) 割り込みアドレス格納レジスタ 1 (VADn) (n = 256 ~ 300)	254
12.4.2.17	割り込み優先レベル格納レジスタ 0 (PRLn) (n = 1 ~ 255)	255
12.4.2.18	割り込み優先レベル格納レジスタ 1 (PRLn) (n = 256 ~ 300)	256
12.4.3	ベクタテーブル	257
12.4.3.1	割り込みのベクタテーブル	257
12.4.4	動作説明	266
12.4.4.1	VIC のレジスタ初期化	266
12.4.4.2	PLS / PRLM / VAD / PRL レジスタ書き換え手順	267
12.4.4.3	割り込み検出	269
12.4.4.4	割り込み多重制御における優先レベル	272
12.4.4.5	多重割り込み処理	272
12.4.4.6	ポーリングによる IRQ 割り込み処理	275
12.4.5	使用上の注意事項	276
12.4.5.1	VIC の優先レベルに関する制約	276
12.4.5.2	HVA0 レジスタアクセス時の注意点	276
12.4.5.3	レベル検出選択時の注意	277
12.4.5.4	IECn レジスタの書き換え時の注意	277
12.4.5.5	ベクタ設定について	277
12.5	使用上の注意	278
12.5.1	外部端子割り込みを立ち下がりエッジ、または両エッジで使用する場合	278
12.5.2	NMI 端子割り込みを立ち下がりエッジで使用する場合	278
13.	内部バス	280
13.1	概要	280
13.2	内部メインバス	281

14.	DMA コントローラ (DMACAa)	282
14.1	概要	282
14.2	レジスタの説明	283
14.2.1	ネクストソースアドレスレジスタ n (N0SA_n_N, N0SA_n_W, N1SA_n_N, N1SA_n_W)	283
14.2.2	ネクストデスティネーションアドレスレジスタ n (N0DA_n, N1DA_n)	285
14.2.3	ネクストトランザクションバイトレジスタ n (N0TB_n, N1TB_n)	286
14.2.4	カレントソースアドレスレジスタ (CRSA_n)	287
14.2.5	カレントデスティネーションアドレスレジスタ (CRDA_n)	288
14.2.6	カレントトランザクションバイトレジスタ (CRTB_n)	289
14.2.7	チャンネルステータスレジスタ n (CHSTAT_n)	290
14.2.8	DMACAa Unit0 要因選択レジスタ i (DMA0SELi) (i = 0 ~ 15)	294
14.2.9	DMACAa Unit1 要因選択レジスタ i (DMA1SELi) (i = 0 ~ 15)	294
14.2.10	DMACAa ソフトウェア起動レジスタ (DMASTG)	295
14.2.11	チャンネルコントロールレジスタ n (CHCTRL_n)	296
14.2.12	チャンネルコンフィギュレーションレジスタ n (CHCFG_n)	298
14.2.13	チャンネルインターバルレジスタ n (CHITVL_n)	302
14.2.14	ネクストリンクアドレスレジスタ n (NXLA_n)	302
14.2.15	カレントリンクアドレスレジスタ n (CRLA_n)	303
14.2.16	ソースコンティニューアスレジスタ n (SCNT_n)	304
14.2.17	ソーススキップレジスタ n (SSKP_n)	305
14.2.18	デスティネーションコンティニューアスレジスタ n (DCNT_n)	307
14.2.19	デスティネーションスキップレジスタ n (DSKP_n)	308
14.2.20	DMA コントロールレジスタ (DCTRL_X (X = A, B))	310
14.2.21	デスク립タインターバルレジスタ n (DSCITVL_X (X = A, B))	311
14.2.22	DMA ステータス EN レジスタ (DST_EN_X (X = A, B))	312
14.2.23	DMA ステータス ER レジスタ (DST_ER_X (X = A, B))	313
14.2.24	DMA ステータス END レジスタ (DST_END_X (X = A, B))	314
14.2.25	DMA ステータス SUS レジスタ (DST_SUS_X (X = A, B))	315
14.3	動作説明	316
14.3.1	DMA モード	316
14.3.1.1	レジスタ・モード	316
14.3.1.2	リンク・モード	323
14.3.1.3	WRITE ONLY モード	332
14.3.2	転送モード	333
14.3.2.1	シングル転送モード	333
14.3.2.2	ブロック転送モード	333
14.3.3	DMA チャンネルの優先順位制御	333
14.3.3.1	固定優先順位モード	334
14.3.3.2	ラウンドロビン・モード	334
14.3.4	DMA 転送要求	335

14.3.4.1	DMA 転送要求の要因毎の検出動作指定	335
14.3.4.2	エッジ検出	338
14.3.4.3	レベル検出	338
14.3.5	強制排出要求	338
14.3.5.1	ソフトウェア強制排出要求	338
14.3.6	インターバル・カウント機能	339
14.3.7	転送データサイズによる動作の違い	339
14.3.7.1	転送元側の転送データサイズが小さい場合	339
14.3.7.2	転送先の転送データサイズが小さい場合	339
14.3.7.3	転送元と転送先の転送データサイズが同じ場合	339
14.3.8	DMA 転送状態	340
14.3.9	一時停止 (サスペンド)	341
14.3.10	転送中断	342
14.3.10.1	転送中断 (バッファ掃き出しなし : SBE = 0)	342
14.3.10.2	転送中断 (バッファ掃き出しあり : SBE = 1)	343
14.3.10.3	チャンネル停止の確認方法	343
14.3.10.4	転送中断手順	344
14.4	割り込み	345
14.4.1	割り込み要因	345
14.4.2	DMA 転送完了割り込み	345
14.4.3	DMA エラー割り込み	346
14.5	DMA 設定例	347
14.5.1	設定例 1 (レジスタ・モード ソフトウェア・リクエスト)	347
14.5.2	設定例 2 (レジスタ・モード 連続実行)	349
14.5.3	設定例 3 (リンク・モード)	351
14.5.4	Next レジスタ連続実行設定	354
14.6	使用上の注意	357
15.	イベントリンクコントローラ (ELC)	358
15.1	概要	358
15.2	レジスタの説明	359
15.2.1	イベントリンクコントロールレジスタ (ELCR)	359
15.2.2	イベントリンク設定レジスタ n (ELSRn) (n = 7, 18 ~ 27, 33)	359
15.2.3	イベントリンクオプション設定レジスタ C (ELOPC)	361
15.2.4	ポートグループ指定レジスタ n (PGRn) (n = 1, 2)	361
15.2.5	ポートグループコントロールレジスタ n (PGCn) (n = 1, 2)	362
15.2.6	ポートバッファレジスタ n (PDBFn) (n = 1, 2)	363
15.2.7	イベント接続ポート指定レジスタ n (PELn) (n = 0 ~ 3)	364
15.2.8	イベントリンクソフトウェアイベント発生レジスタ (ELSEGR)	365
15.2.9	イベントリンクオプション設定レジスタ H (ELOPH)	366
15.3	動作説明	367

15.3.1	割り込み処理とイベントリンクの関係	367
15.3.2	イベントのリンク	368
15.3.3	タイマ系周辺機能のイベント入力時の動作	369
15.3.4	I/O ポートのイベント入力動作とイベント発生動作	369
15.3.5	イベントリンクの動作設定手順例	374
15.4	使用上の注意事項	375
15.4.1	ELSR18、ELSR19 レジスタの設定について	375
15.4.2	出力ポートグループのビットローテート動作の設定について	375
15.4.3	クロック設定について	375
15.4.4	モジュールストップ機能の設定	375
16.	I/O ポート	376
16.1	概要	376
16.2	入出力ポートの構成	378
16.3	レジスタの説明	381
16.3.1	ポート方向レジスタ (PDR)	381
16.3.2	ポート出力データレジスタ (PODR)	382
16.3.3	ポート入力データレジスタ (PIDR)	383
16.3.4	ポートモードレジスタ (PMR)	384
16.3.5	プルアップ/プルダウン制御レジスタ (PCR)	385
16.4	未使用端子の処理	386
17.	マルチファンクションピンコントローラ (MPC)	387
17.1	概要	387
17.2	レジスタの説明	393
17.2.1	書き込みプロテクトレジスタ (PWPR)	393
17.2.2	P0n 端子機能制御レジスタ (P0nPFS) (n = 0)	394
17.2.3	P1n 端子機能制御レジスタ (P1nPFS) (n = 0、7)	395
17.2.4	P2n 端子機能制御レジスタ (P2nPFS) (n = 1 ~ 3、7)	396
17.2.5	P3n 端子機能制御レジスタ (P3nPFS) (n = 3 ~ 5)	397
17.2.6	P4n 端子機能制御レジスタ (P4nPFS) (n = 0、2、4)	398
17.2.7	P5n 端子機能制御レジスタ (P5nPFS) (n = 0 ~ 4)	399
17.2.8	P6n 端子機能制御レジスタ (P6nPFS) (n = 0 ~ 6)	400
17.2.9	P7n 端子機能制御レジスタ (P7nPFS) (n = 0 ~ 7)	401
17.2.10	P8n 端子機能制御レジスタ (P8nPFS) (n = 0 ~ 7)	402
17.2.11	P9n 端子機能制御レジスタ (P9nPFS) (n = 0 ~ 5、7)	403
17.2.12	PAn 端子機能制御レジスタ (PAnPFS) (n = 0 ~ 7)	404
17.2.13	PBn 端子機能制御レジスタ (PBnPFS) (n = 0 ~ 7)	405
17.2.14	PCn 端子機能制御レジスタ (PCnPFS) (n = 0 ~ 7)	406
17.2.15	PDn 端子機能制御レジスタ (PDnPFS) (n = 5 ~ 7)	407
17.2.16	PEn 端子機能制御レジスタ (PEnPFS) (n = 0 ~ 7)	408
17.2.17	PFn 端子機能制御レジスタ (PFnPFS) (n = 5 ~ 7)	409

17.2.18	PGn 端子機能制御レジスタ (PGnPFS) (n = 2 ~ 6)	410
17.2.19	PJn 端子機能制御レジスタ (PJnPFS) (n = 0 ~ 7)	411
17.2.20	PMn 端子機能制御レジスタ (PMnPFS) (n = 1 ~ 7)	412
17.2.21	PRn 端子機能制御レジスタ (PRnPFS) (n = 1)	413
17.2.22	PSn 端子機能制御レジスタ (PSnPFS) (n = 1, 6, 7)	414
17.2.23	PUn 端子機能制御レジスタ (PUnPFS) (n = 7)	415
17.3	使用上の注意事項	416
17.3.1	端子入出力機能の設定手順	416
17.3.2	MPC レジスタ設定時の注意事項	416
17.3.3	ポートリード機能を使用する場合の注意事項	418
18.	コンペアマッチタイマ (CMT)	419
18.1	概要	419
18.2	レジスタの説明	421
18.2.1	コンペアマッチタイマスタートレジスタ 0 (CMSTR0)	421
18.2.2	コンペアマッチタイマスタートレジスタ 1 (CMSTR1)	421
18.2.3	コンペアマッチタイマスタートレジスタ 2 (CMSTR2)	422
18.2.4	コンペアマッチタイマコントロールレジスタ (CMCR)	423
18.2.5	コンペアマッチタイマカウンタ (CMCNT)	423
18.2.6	コンペアマッチタイマコンスタントレジスタ (CMCOR)	424
18.3	動作説明	425
18.3.1	周期カウント動作	425
18.3.2	CMCNT カウンタのカウントタイミング	425
18.4	割り込み	426
18.4.1	割り込み要因	426
18.4.2	コンペアマッチ割り込みの発生タイミング	426
18.5	イベントリンク動作	427
18.5.1	ELC へのイベント発行	427
18.5.2	ELC からのイベント受け付けによる CMT の動作	428
18.5.3	イベントリンク動作に関する CMT の注意事項	431
18.6	使用上の注意事項	434
18.6.1	モジュールストップ機能の設定	434
18.6.2	CMCNT カウンタへの書き込みとコンペアマッチの競合	434
18.6.3	CMCNT カウンタへの書き込みとカウントアップの競合	435
19.	コンペアマッチタイマ W (CMTW)	436
19.1	概要	436
19.2	レジスタの説明	438
19.2.1	タイマスタートレジスタ (CMWSTR)	438
19.2.2	タイマコントロールレジスタ (CMWCR)	439
19.2.3	タイマ I/O コントロールレジスタ (CMWIOR)	441
19.2.4	タイマカウンタ (CMWCNT)	443

19.2.5	コンペアマッチコンスタントレジスタ (CMWCOR)	443
19.2.6	インプットキャプチャレジスタ 0、1 (CMWICR0、CMWICR1)	444
19.2.7	アウトプットコンペアレジスタ 0、1 (CMWOCR0、CMWOCR1)	444
19.2.8	デジタルノイズフィルタコントロールレジスタ 0 (NFCR0)	445
19.2.9	デジタルノイズフィルタコントロールレジスタ 1 (NFCR1)	446
19.2.10	ECM ダイナミックモードエラー出力選択レジスタ (ECDMESLR)	447
19.3	動作説明	448
19.3.1	周期カウント動作	448
19.3.2	コンペアマッチ機能	448
19.3.3	アウトプットコンペア機能	450
19.3.4	インプットキャプチャ機能	452
19.3.5	カウンタサイズ	454
19.3.6	CMWCNT カウントタイミング	454
19.3.7	アウトプットコンペア出力タイミング	455
19.3.8	インプットキャプチャ信号タイミング	455
19.3.9	デジタルノイズフィルタ機能	456
19.3.10	ECM ダイナミックモードエラー出力選択機能	456
19.4	割り込み	457
19.4.1	CMTW の割り込み要因と DMAC	457
19.4.2	コンペアマッチ割り込みの発生タイミング	458
19.4.3	アウトプットコンペア割り込みの発生タイミング	458
19.4.4	インプットキャプチャ割り込みの発生タイミング	459
19.5	イベントリンク動作	460
19.5.1	ELC へのイベント発行	460
19.5.2	ELC からのイベント受け付けによるアクション	461
19.6	使用上の注意事項	463
19.6.1	モジュールストップ機能	463
19.6.2	CMWCNT カウンタの書き込みとコンペアマッチの競合	463
19.6.3	CMWCNT カウンタの書き込みとカウントアップ/カウンタクリアの競合	464
19.6.4	CMWCOR レジスタの書き込みとコンペアマッチの競合	464
19.6.5	CMWOCR レジスタの書き込みとコンペアマッチの競合	465
19.6.6	CMWCNT カウンタ読み出しとカウントアップ/カウンタクリアの競合	465
19.6.7	CMWICR レジスタ読み出しとインプットキャプチャの競合	466
19.6.8	イベントリンク動作とレジスタアクセスの競合	467
20.	ウォッチドッグタイマ (WDTA)	470
20.1	概要	470
20.2	レジスタの説明	472
20.2.1	WDT リフレッシュレジスタ (WDTRR)	472
20.2.2	WDT コントロールレジスタ (WDTCR)	473
20.2.3	WDT ステータスレジスタ (WDTSR)	477

20.2.4	WDT リセットコントロールレジスタ (WDTRCR)	478
20.3	動作説明	479
20.3.1	カウント開始条件の動作	479
20.3.1.1	レジスタ設定	479
20.3.2	WDTCR レジスタ、WDTRCR レジスタの書き込み制御.....	481
20.3.3	リフレッシュ動作	482
20.3.4	ステータスフラグ	483
20.3.5	エラーコントロールモジュール (ECM) へのエラー通知	484
20.3.6	ダウンカウンタ値の読み出し	484
20.4	低消費電力制御	485
20.4.1	低消費電力モード遷移におけるウォッチドッグタイマの動作.....	485
21.	独立ウォッチドッグタイマ (IWDTa).....	486
21.1	概要	486
21.2	レジスタの説明	488
21.2.1	IWDT リフレッシュレジスタ (IWDTRR)	488
21.2.2	IWDT コントロールレジスタ (IWDTCR)	489
21.2.3	IWDT ステータスレジスタ (IWDTSR)	493
21.2.4	IWDT リセットコントロールレジスタ (IWDTRCR)	494
21.3	動作説明	495
21.3.1	カウント開始条件の動作	495
21.3.1.1	レジスタ設定	495
21.3.2	IWDTCR レジスタ、IWDTRCR レジスタの書き込み制御.....	497
21.3.3	リフレッシュ動作	498
21.3.4	ステータスフラグ	500
21.3.5	エラーコントロールモジュール (ECM) へのエラー通知	500
21.3.6	ダウンカウンタ値の読み出し	501
21.4	低消費電力制御	502
21.4.1	低消費電力モード遷移におけるウォッチドッグタイマの動作.....	502
22.	EtherCAT スレーブ・コントローラ	503
22.1	概要	503
22.2	機能概要	505
22.3	レジスタの説明	508
22.3.1	周辺制御レジスタ	508
22.3.1.1	システムプロテクトコマンドレジスタ (SPCMD)	508
22.3.1.2	MDIO コントローラ リセットレジスタ (EMACRST)	509
22.3.1.3	イーサネットシステムプロテクトコマンドレジスタ (ETSPCMD)	510
22.3.1.4	MAC セレクトレジスタ (MACSEL)	511
22.3.1.5	イーサネット周辺リセットレジスタ (ETHSFTRST)	512
22.3.1.6	イーサネット PHY LINK モードレジスタ (ETHPHYLNK)	513
22.3.1.7	EtherCAT PHY オフセット・アドレス設定レジスタ (CATOFFADD)	514

22.3.1.8	EtherCAT 動作モード設定レジスタ (CATEMMD)	515
22.3.1.9	EtherCAT TXC シフト設定レジスタ (CATTXCSFT)	516
22.3.2	MDIO コントローラレジスタ	517
22.3.2.1	MIIM レジスタ (GMAC_MIIM)	517
22.3.3	ESC 情報レジスタ	518
22.3.3.1	タイプ・レジスタ (TYPE)	518
22.3.3.2	リビジョン・レジスタ (REVISION)	518
22.3.3.3	ビルド・レジスタ (BUILD)	518
22.3.3.4	FMMU サポート・レジスタ (FMMU_NUM)	519
22.3.3.5	SyncManager サポート・レジスタ (SYNC_MANAGER)	519
22.3.3.6	RAM サイズ・レジスタ (RAM_SIZE)	519
22.3.3.7	ポート・ディスクリプタ・レジスタ (PORT_DESC)	520
22.3.3.8	ESC フィーチャー・サポート・レジスタ (FEATURE)	521
22.3.4	ステーションアドレス設定レジスタ	522
22.3.4.1	コンフィギュアド・ステーション・アドレス・レジスタ (STATION_ADR)	522
22.3.4.2	コンフィギュアド・ステーション・エイリアス・レジスタ (STATION_ALIAS)	522
22.3.5	ライトプロテクション設定レジスタ	523
22.3.5.1	ライト・レジスタ・イネーブル・レジスタ (WR_REG_ENABLE)	523
22.3.5.2	ライト・レジスタ・プロテクション・レジスタ (WR_REG_PROTECT)	523
22.3.5.3	ESC ライト・イネーブル・レジスタ (ESC_WR_ENABLE)	524
22.3.5.4	ESC ライト・プロテクション・レジスタ (ESC_WR_PROTECT)	524
22.3.6	データリンク層設定レジスタ	525
22.3.6.1	ESC リセット ECAT レジスタ (ESC_RESET_ECAT)	525
22.3.6.2	ESC リセット PDI レジスタ (ESC_RESET_PDI)	526
22.3.6.3	ESC DL コントロール・レジスタ (ESC_DL_CONTROL)	527
22.3.6.4	フィジカル・リード/ライト・オフセット・レジスタ (PHYSICAL_RW_OFFSET)	528
22.3.6.5	ESC DL ステータス・レジスタ (ESC_DL_STATUS)	529
22.3.7	アプリケーション層設定レジスタ	531
22.3.7.1	AL コントロール・レジスタ (AL_CONTROL)	531
22.3.7.2	AL ステータス・レジスタ (AL_STATUS)	532
22.3.7.3	AL ステータス・コード・レジスタ (AL_STATUS_CODE)	532
22.3.7.4	RUN LED オーバライド・レジスタ (RUN_LED_OVERRIDE)	533
22.3.7.5	ERR LED オーバライド・レジスタ (ERR_LED_OVERRIDE)	534
22.3.8	PDI 設定レジスタ	535
22.3.8.1	PDI コントロール・レジスタ (PDI_CONTROL)	535
22.3.8.2	ESC コンフィギュレーション・レジスタ (ESC_CONFIG)	536
22.3.8.3	PDI コンフィギュレーション・レジスタ (PDI_CONFIG)	537
22.3.8.4	SYNC/LATCH PDI コンフィギュレーション・レジスタ (SYNC_LATCH_CONFIG)	537

22.3.8.5	拡張 PDI コンフィギュレーション・レジスタ (EXT_PDI_CONFIG)	538
22.3.9	割り込み設定レジスタ	539
22.3.9.1	ECAT イベント・マスク・レジスタ (ECAT_EVENT_MASK)	539
22.3.9.2	AL イベント・マスク・レジスタ (AL_EVENT_MASK)	539
22.3.9.3	ECAT イベント・リクエスト・レジスタ (ECAT_EVENT_REQ)	540
22.3.9.4	AL イベント・リクエスト・レジスタ (AL_EVENT_REQ)	541
22.3.10	エラーカウンタ設定レジスタ	543
22.3.10.1	Rx エラーカウンタ n・レジスタ (RX_ERR_COUNTn)	543
22.3.10.2	フォワード Rx エラーカウンタ n・レジスタ (FWD_RX_ERR_COUNTn)	543
22.3.10.3	ECAT プロセッシング・ユニット・エラーカウンタ・レジスタ (ECAT_PROC_ERR_COUNT)	544
22.3.10.4	PDI エラー・カウンタ・レジスタ (PDI_ERR_COUNT)	544
22.3.10.5	ロストリンク・カウンタ n・レジスタ (LOST_LINK_COUNTn)	545
22.3.11	ウォッチドッグ設定レジスタ	546
22.3.11.1	ウォッチドッグ・ディバイダ・レジスタ (WD_DIVIDE)	546
22.3.11.2	ウォッチドッグ・タイム PDI・レジスタ (WDT_PDI)	546
22.3.11.3	ウォッチドッグ・タイム・プロセス・データ・レジスタ (WDT_DATA)	547
22.3.11.4	ウォッチドッグ・ステータス・プロセス・データ・レジスタ (WDS_DATA)	547
22.3.11.5	ウォッチドッグ・カウンタ・プロセス・データ・レジスタ (WDC_DATA)	548
22.3.11.6	ウォッチドッグ・カウンタ PDI・レジスタ (WDC_PDI)	548
22.3.12	SII EEPROM インタフェース設定レジスタ	549
22.3.12.1	EEPROM コンフィギュレーション・レジスタ (EEP_CONF)	549
22.3.12.2	EEPROM PDI アクセス・ステート・レジスタ (EEP_STATE)	549
22.3.12.3	EEPROM コントロール/ステータス・レジスタ (EEP_CONT_STAT)	550
22.3.12.4	EEPROM アドレス・レジスタ (EEP_ADR)	551
22.3.12.5	EEPROM データ・レジスタ (EEP_DATA)	551
22.3.13	MII マネージメント・インタフェース設定レジスタ	552
22.3.13.1	MII マネージメント・コントロール/ステータス・レジスタ (MII_CONT_STAT)	552
22.3.13.2	PHY アドレス・レジスタ (PHY_ADR)	553
22.3.13.3	PHY レジスタ・アドレス・レジスタ (PHY_REG_ADR)	553
22.3.13.4	PHY データ・レジスタ (PHY_DATA)	554
22.3.13.5	MII マネージメント ECAT アクセス・ステート・レジスタ (MII_ECAT_ACS_STAT)	554
22.3.13.6	MII マネージメント PDI アクセス・ステート・レジスタ (MII_PDI_ACS_STAT)	555
22.3.14	FMMU 設定レジスタ	556
22.3.14.1	FMMU ロジカル・スタート・アドレス・レジスタ m (FMMUm_L_START_ADR)	556
22.3.14.2	FMMU 長・レジスタ m (FMMUm_LEN)	556

22.3.14.3	FMMU ロジカル・スタート・ビット・レジスタ m (FMMUm_L_START_BIT)	557
22.3.14.4	FMMU ロジカル・ストップ・ビット・レジスタ m (FMMUm_L_STOP_BIT)	557
22.3.14.5	FMMU フィジカル・スタート・アドレス・レジスタ m (FMMUm_P_START_ADR)	558
22.3.14.6	FMMU フィジカル・スタート・ビット・レジスタ m (FMMUm_P_START_BIT)	558
22.3.14.7	FMMU タイプ・レジスタ m (FMMUm_TYPE)	559
22.3.14.8	FMMU アクティベイト・レジスタ m (FMMUm_ACT)	559
22.3.15	SyncManager 設定レジスタ	560
22.3.15.1	SyncManager フィジカル・スタート・アドレス・レジスタ m (SMm_P_START_ADR)	560
22.3.15.2	SyncManager 長・レジスタ m (SMm_LEN)	560
22.3.15.3	SyncManager コントロール・レジスタ m (SMm_CONTROL)	561
22.3.15.4	SyncManager ステータス・レジスタ m (SMm_STATUS)	562
22.3.15.5	SyncManager アクティベイト・レジスタ m (SMm_ACT)	563
22.3.15.6	SyncManager PDI コントロール・レジスタ m (SMm_PDI_CONT)	564
22.3.16	分散クロック設定レジスタ	565
22.3.16.1	DC レシーブ・タイム設定レジスタ	565
22.3.16.2	タイム・ループ・コントロール・ユニット設定レジスタ	567
22.3.16.3	サイクリック・ユニット・コントロール設定レジスタ	573
22.3.16.4	SYNC 出力ユニット設定レジスタ	574
22.3.16.5	Latch 入力ユニット設定レジスタ	580
22.3.16.6	SyncManager イベント・タイム設定レジスタ	587
22.3.17	その他のレジスタ	589
22.3.17.1	プロダクト ID レジスタ (PRODUCT_ID)	589
22.3.17.2	ベンダ ID レジスタ (VENDOR_ID)	590
22.3.17.3	ユーザ RAM (USER_RAM)	591
22.3.17.4	プロセスデータ RAM (DATA_RAM)	592
22.4	使用上の注意事項	593
22.4.1	プロテクトコマンドレジスタ	593
22.4.2	モジュールストップ機能の設定	595
22.4.3	初期設定	595
22.4.4	リセット回路の構成	596
23.	USB2.0HS ホストモジュール (USBh)	598
23.1	概要	598
23.1.1	USB ホストコントローラ使用時の注意事項	600
23.1.1.1	全般について	600
23.1.1.2	AHB インタフェースについて	600
23.1.1.3	操作方法について	600
23.2	レジスタマッピング	601

23.2.1	レジスタマッピング	601
23.2.2	PCI Configuration Space for AHB-PCI Bridge	603
23.2.3	PCI Configuration Space for OHCI ホスト・ロジック	604
23.2.4	PCI Configuration Space for EHCI ホスト・ロジック	605
23.3	レジスタの説明	606
23.3.1	OHCI Operational レジスタ	606
23.3.1.1	HcRevision レジスタ	606
23.3.1.2	HcControl レジスタ	607
23.3.1.3	HcCommandStatus レジスタ	609
23.3.1.4	HcInterruptStatus レジスタ	610
23.3.1.5	HcInterruptEnable レジスタ	612
23.3.1.6	HcInterruptDisable レジスタ	614
23.3.1.7	HcHCCA レジスタ	616
23.3.1.8	HcPeriodicCurrentED レジスタ	616
23.3.1.9	HcControlHeadED レジスタ	617
23.3.1.10	HcControlCurrentED レジスタ	617
23.3.1.11	HcBulkHeadED レジスタ	618
23.3.1.12	HcBulkCurrentED レジスタ	618
23.3.1.13	HcDoneHead レジスタ	619
23.3.1.14	HcFmInterval レジスタ	620
23.3.1.15	HcFmRemaining レジスタ	621
23.3.1.16	HcFmNumber レジスタ	621
23.3.1.17	HcPeriodicStart レジスタ	622
23.3.1.18	HcRhDescriptorA レジスタ	623
23.3.1.19	HcRhDescriptorB レジスタ	624
23.3.1.20	HcRhStatus_A、HcRhStatus_B レジスタ	625
23.3.1.21	HcRhPortStatus1_A、HcRhPortStatus1_B レジスタ	628
23.3.2	EHCI Operational レジスタ	632
23.3.2.1	HCVERSION / CAPLENGTH レジスタ	632
23.3.2.2	HCSPARAMS レジスタ	633
23.3.2.3	HCCPARAMS レジスタ	634
23.3.2.4	HCSP_PORTROUTE レジスタ	635
23.3.2.5	USBCMD レジスタ	636
23.3.2.6	USBSTS レジスタ	638
23.3.2.7	USBINTR レジスタ	640
23.3.2.8	FRINDEX レジスタ	641
23.3.2.9	CTRLDSSEGMENT レジスタ	642
23.3.2.10	PERIODICLISTBASE レジスタ	642
23.3.2.11	ASYNCLISTADDR レジスタ	643
23.3.2.12	CONFIGFLAG レジスタ	643

23.3.2.13	PORTSC1 レジスタ	644
23.3.3	OHCI 用 PCI Configuration レジスタ	648
23.3.3.1	Offset 00h レジスタ (Vendor ID • Device ID)	648
23.3.3.2	Offset 04h レジスタ (Command • Status)	649
23.3.3.3	Offset 08h レジスタ (Revision ID • Class Code)	650
23.3.3.4	Offset 0Ch レジスタ (Cache Line Size • Latency Timer • Header Type • BIST)	651
23.3.3.5	Offset 10h レジスタ (OHCI Base Address)	652
23.3.3.6	Offset 2Ch レジスタ (Subsystem Vendor ID • Subsystem ID)	653
23.3.3.7	Offset 30h レジスタ (Expansion ROM Base Address)	653
23.3.3.8	Offset 34h レジスタ (Capability Pointer)	654
23.3.3.9	Offset 3Ch レジスタ (Interrupt Line • Interrupt Pin • Min gnt • Max Latency)	654
23.3.3.10	Offset 40h レジスタ (Capability Identifier • Next Item Pointer • Power Management Capabilities)	655
23.3.3.11	Offset 44h レジスタ (Power Management Control / Status • PMCSR Bridge Support Extensions)	656
23.3.3.12	Offset E0h レジスタ (EXT1)	657
23.3.3.13	Offset E4h レジスタ (EXT2)	658
23.3.4	EHCI 用 PCI Configuration レジスタ	659
23.3.4.1	Offset 00h レジスタ (Vendor ID • Device ID)	659
23.3.4.2	Offset 04h レジスタ (Command • Status)	660
23.3.4.3	Offset 08h レジスタ (Revision ID • Class Code)	662
23.3.4.4	Offset 0Ch レジスタ (Cache Line Size • Latency Timer • Header Type • BIST)	663
23.3.4.5	Offset 10h レジスタ (EHCI Base Address)	664
23.3.4.6	Offset 2Ch レジスタ (Subsystem Vendor ID • Subsystem ID)	664
23.3.4.7	Offset 30h レジスタ (Expansion ROM Base Address)	665
23.3.4.8	Offset 34h レジスタ (Capability Pointer)	665
23.3.4.9	Offset 3Ch レジスタ (Interrupt Line • Interrupt Pin • Min gnt • Max Latency)	666
23.3.4.10	Offset 40h レジスタ (Capability Identifier • Next Item Pointer • Power Management Capabilities)	667
23.3.4.11	Offset 44h レジスタ (Power Management Control / Status • PMCSR Bridge Support Extensions)	668
23.3.4.12	Offset 60h レジスタ (SBRN • FLADJ • PORTWAKECAP)	669
23.3.4.13	Offset E0h レジスタ (EXT1)	669
23.3.4.14	Offset E4h レジスタ (EXT2)	669
23.3.5	AHB-PCI Bridge 用 PCI Configuration レジスタ	670
23.3.5.1	Offset 00h レジスタ (Vendor ID • Device ID)	670
23.3.5.2	Offset 04h レジスタ (Command • Status)	671
23.3.5.3	Offset 08h レジスタ (Revision ID • Class Code)	672
23.3.5.4	Offset 0Ch レジスタ (Cache Line Size • Latency Timer • Header Type • BIST)	673
23.3.5.5	Offset 10h レジスタ (AHB-PCI Bridge Base Address)	674
23.3.5.6	Offset 14h レジスタ (PCI-AHB WIN1 Base Address)	675

23.3.5.7	Offset 2Ch レジスタ (Subsystem Vendor ID • Subsystem ID)	676
23.3.5.8	Offset 3Ch レジスタ (Interrupt Line • Interrupt Pin • Min gnt • Max Latency)	677
23.3.6	AHB-PCI Bridge PCI Communication レジスタ	678
23.3.6.1	PCIAHB_WIN1_CTR レジスタ	678
23.3.6.2	AHBPCI_WIN1_CTR レジスタ	679
23.3.6.3	AHBPCI_WIN2_CTR レジスタ	680
23.3.6.4	PCI_INT_ENABLE レジスタ	681
23.3.6.5	PCI_INT_STATUS レジスタ	683
23.3.6.6	AHB_BUS_CTR レジスタ	685
23.3.6.7	USBCTR レジスタ	686
23.3.6.8	PCI_ARBITER_CTR レジスタ	687
23.3.6.9	PCI_UNIT_REV レジスタ	688
23.4	レジスタアクセスについて	689
23.4.1	レジスタアクセス	689
23.4.1.1	PCI Configuration レジスタアクセス	694
23.4.1.2	OHCI / EHCI Operational レジスタアクセス	694
23.5	クロック系統	695
23.5.1	外部供給クロック	695
23.5.2	クロック系統図	696
23.6	割り込みについて	697
23.6.1	割り込み制御レジスタ	697
23.6.1.1	U2H_INT 制御レジスタ	697
23.6.1.2	U2H_OHCI_INT 制御レジスタ	697
23.6.1.3	U2H_EHCI_INT 制御レジスタ	698
23.6.1.4	U2H_PME_INT 制御レジスタ	698
23.6.2	U2H_BIND_INT	699
23.6.3	割り込み信号のクリアに要する時間について	700
23.7	過電流制御と VBUS 制御について	701
23.7.1	過電流制御について	701
23.7.1.1	USB_OVRCUR と USB_VBUSEN 信号の意味	701
23.7.1.2	USB_VBUSEN 出力信号のアサート/ディアサート条件	701
23.7.2	VBUS 制御について	702
23.7.3	PPON1 の初期設定について	703
23.7.4	USB_VBUSEN の過電流検知に関するフロー	705
23.7.5	USB_VBUSEN セットフロー	706
23.8	操作手順	707
23.8.1	初期設定シーケンス	707
23.8.1.1	初期設定例	707
23.8.2	USB ホスト転送フロー	709
23.8.2.1	DMA 転送の停止	709

24.	USB2.0HS ファンクションモジュール (USBf)	710
24.1	概要	710
24.1.1	機能概要	712
24.1.1.1	USB 転送 Speed 認識	712
24.1.1.2	バスインタフェース	712
24.1.1.3	USB イベント	712
24.1.1.4	USB データ転送	713
24.1.1.5	DMAC (ダイレクトメモリアクセスコントローラー) からの アクセス用機能	713
24.2	レジスタの説明	714
24.2.1	システムコンフィグレーションコントロール	714
24.2.1.1	システムコンフィグレーションコントロールレジスタ 0 (SYSCFG0)	714
24.2.1.2	システムコンフィグレーションコントロールレジスタ 1 (SYSCFG1)	716
24.2.1.3	システムコンフィグレーションステータスレジスタ (SYSSTS0)	717
24.2.2	USB 信号制御	718
24.2.2.1	デバイスステートコントロールレジスタ 0 (DVSTCTR0)	718
24.2.3	テストモード	720
24.2.3.1	USB テストモードレジスタ (TESTMODE)	720
24.2.4	DMA-FIFO バスアクセス制御	721
24.2.4.1	DMA0-FIFO バスコンフィグレーションレジスタ (D0FBCFG) DMA1-FIFO バスコンフィグレーションレジスタ (D1FBCFG)	721
24.2.5	FIFO ポート	722
24.2.5.1	CFIFO ポートレジスタ (CFIFO) D0FIFO ポートレジスタ (D0FIFO) D1FIFO ポートレジスタ (D1FIFO)	722
24.2.5.2	CFIFO ポート選択レジスタ (CFIFOSEL)	724
24.2.5.3	D0FIFO ポート選択レジスタ (D0FIFOSEL) D1FIFO ポート選択レジスタ (D1FIFOSEL)	727
24.2.5.4	CFIFO ポートコントロールレジスタ (CFIFOCTR) D0FIFO ポートコントロールレジスタ (D0FIFOCTR) D1FIFO ポートコントロールレジスタ (D1FIFOCTR)	730
24.2.6	割り込み許可	732
24.2.6.1	割り込み許可レジスタ 0 (INTENB0)	732
24.2.6.2	BRDY 割り込み許可レジスタ (BRDYENB)	733
24.2.6.3	NRDY 割り込み許可レジスタ (NRDYENB)	734
24.2.6.4	BEMP 割り込み許可レジスタ (BEMPENB)	735
24.2.7	SOF 制御レジスタ	736
24.2.7.1	SOF ピンコンフィグレーションレジスタ (SOFCFG)	736
24.2.8	割り込みステータス	737
24.2.8.1	割り込みステータスレジスタ 0 (INTSTS0)	737
24.2.8.2	BRDY 割り込みステータスレジスタ (BRDYSTS)	740
24.2.8.3	NRDY 割り込みステータスレジスタ (NRDYSTS)	743

24.2.8.4	BEMP 割り込みステータスレジスタ (BEMPSTS)	745
24.2.9	フレーム番号レジスタ	747
24.2.9.1	フレームナンバレジスタ (FRMNUM)	747
24.2.9.2	μフレームナンバレジスタ (UFRMNUM)	749
24.2.10	USB アドレス	750
24.2.10.1	USB アドレスレジスタ (USBADDR)	750
24.2.11	USB リクエストレジスタ	751
24.2.11.1	USB リクエストタイプレジスタ (USBREQ)	751
24.2.11.2	USB リクエストバリュレジスタ (USBVAL)	752
24.2.11.3	USB リクエストインデックスレジスタ (USBINDX)	752
24.2.11.4	USB リクエストレングスレジスタ (USBLENG)	753
24.2.12	DCP コンフィグレーション	754
24.2.12.1	DCP マックスパケットサイズレジスタ (DCPMAXP)	754
24.2.12.2	DCP コントロールレジスタ (DCPCTR)	755
24.2.13	パイプコンフィグレーションレジスタ	758
24.2.13.1	パイプウィンドウ選択レジスタ (PIPESEL)	758
24.2.13.2	パイプコンフィグレーションレジスタ (PIPECFG)	759
24.2.13.3	パイプバッファ指定レジスタ (PIPEBUF)	764
24.2.13.4	パイプマックスパケットサイズレジスタ (PIPEMAXP)	766
24.2.13.5	パイプ周期制御レジスタ (PIPEPERI)	767
24.2.14	パイプコントロールレジスタ	771
24.2.14.1	PIPE1 コントロールレジスタ (PIPE1CTR) PIPE2 コントロールレジスタ (PIPE2CTR) PIPE3 コントロールレジスタ (PIPE3CTR) PIPE4 コントロールレジスタ (PIPE4CTR) PIPE5 コントロールレジスタ (PIPE5CTR)	771
24.2.14.2	PIPE6 コントロールレジスタ (PIPE6CTR) PIPE7 コントロールレジスタ (PIPE7CTR) PIPE8 コントロールレジスタ (PIPE8CTR) PIPE9 コントロールレジスタ (PIPE9CTR)	777
24.2.15	トランザクションカウンタ	779
24.2.15.1	PIPE1 トランザクションカウンタ許可レジスタ (PIPE1TRE) PIPE2 トランザクションカウンタ許可レジスタ (PIPE2TRE) PIPE3 トランザクションカウンタ許可レジスタ (PIPE3TRE) PIPE4 トランザクションカウンタ許可レジスタ (PIPE4TRE) PIPE5 トランザクションカウンタ許可レジスタ (PIPE5TRE)	779
24.2.15.2	PIPE1 トランザクションカウンタレジスタ (PIPE1TRN) PIPE2 トランザクションカウンタレジスタ (PIPE2TRN) PIPE3 トランザクションカウンタレジスタ (PIPE3TRN) PIPE4 トランザクションカウンタレジスタ (PIPE4TRN) PIPE5 トランザクションカウンタレジスタ (PIPE5TRN)	781
24.2.16	ローパワーステータスレジスタ (LPSTS)	783
24.2.17	FIFO 連続転送ポート	784
24.2.17.1	D0FIFO 連続転送ポートレジスタ n (D0FIFOBn) (n = 0 ~ 7) D1FIFO 連続転送ポートレジスタ n (D1FIFOBn) (n = 0 ~ 7)	784

24.2.18	PHY 設定レジスタ 1	785
24.2.18.1	PHY 設定レジスタ 1 (PHYSET1)	785
24.3	動作説明	787
24.3.1	システム制御および発振制御	787
24.3.2	リセット	788
24.3.3	USB データバス抵抗制御	788
24.3.4	クロック供給	788
24.3.5	クロック停止時の注意点	789
24.4	割り込み機能	790
24.4.1	割り込み機能概要	790
24.4.2	デバイスステート遷移割り込み	793
24.4.3	コントロール転送ステージ遷移割り込み	794
24.5	パイプコントロール	796
24.5.1	マックスパケットサイズ設定	797
24.5.2	応答 PID	797
24.5.3	パイプコントロールレジスタの切り替え手順	798
24.5.4	データ PID シーケンスビット	799
24.6	FIFO バッファ	800
24.6.1	FIFO バッファ割り当て	800
24.6.2	FIFO バッファクリア	801
24.7	FIFO ポートの機能	802
24.7.1	FIFO ポート選択	802
24.7.2	DxFIFO 自動クリアモード (DxFIFO ポート読み出し方向)	803
24.7.3	BRDY 割り込みタイミング選択機能	804
24.8	コントロール転送 (DCP)	805
24.8.1	セットアップステージ	805
24.8.2	データステージ	805
24.8.3	ステータスステージ	806
24.8.4	コントロール転送自動応答機能	806
24.9	バルク転送 (PIPE1-5)	806
24.9.1	NYET ハンドシェイク制御	807
24.10	インタラプト転送 (PIPE6-9)	807
24.11	アイソクロナス転送 (PIPE1-2)	807
24.11.1	アイソクロナス転送のエラー検出	808
24.11.2	DATA-PID	809
24.11.3	インターバルカウンタ	809
24.11.3.1	動作概要	809
24.11.3.2	インターバルカウンタの初期化	810
24.11.4	アイソクロナス転送送信データセットアップ	810
24.11.5	アイソクロナス転送送信バッファフラッシュ	812

24.12	SOF 補間機能.....	813
25.	FIFO 内蔵シリアルコミュニケーションインタフェース (SCIFA).....	814
25.1	概要.....	814
25.2	レジスタの説明.....	816
25.2.1	レシーブシフトレジスタ (RSR).....	816
25.2.2	レシーブ FIFO データレジスタ (FRDR).....	816
25.2.3	トランスミットシフトレジスタ (TSR).....	816
25.2.4	トランスミット FIFO データレジスタ (FTDR).....	817
25.2.5	シリアルモードレジスタ (SMR).....	817
25.2.6	シリアルコントロールレジスタ (SCR).....	819
25.2.7	シリアルステータスレジスタ (FSR).....	821
25.2.8	ビットレートレジスタ (BRR).....	824
25.2.9	モジュレーションデューティレジスタ (MDDR).....	828
25.2.10	FIFO コントロールレジスタ (FCR).....	831
25.2.11	FIFO データ数レジスタ (FDR).....	833
25.2.12	シリアルポートレジスタ (SPTR).....	834
25.2.13	ラインステータスレジスタ (LSR).....	836
25.2.14	シリアル拡張モードレジスタ (SEMR).....	837
25.2.15	FIFO トリガコントロールレジスタ (FTCR).....	839
25.3	動作説明.....	840
25.3.1	概要.....	840
25.3.2	調歩同期式モード時の動作.....	842
25.3.3	クロック同期式モード時の動作.....	851
25.4	ビットモジュレーション機能.....	858
25.5	割り込み要因.....	859
25.6	シリアルポートレジスタ (SPTR) と SCIFA 関連の端子との関係.....	860
25.7	ノイズ除去機能.....	862
25.8	使用上の注意事項.....	863
25.8.1	FTDR レジスタへの書き込みと TDFE フラグ.....	863
25.8.2	FRDR レジスタの読み出しと RDF フラグ.....	863
25.8.3	ブレークの検出と処理.....	863
25.8.4	SPTR レジスタへの書き込み.....	863
25.8.5	ブレークの送出.....	864
25.8.6	調歩同期式モードの受信データサンプリングタイミングと受信マージン.....	864
25.8.7	シリアルステータスレジスタ (FSR) の FER フラグおよび PER フラグの 注意事項.....	865
25.8.8	クロック同期式モードにおける外部クロック入力時の注意事項.....	865
25.8.9	モジュールスタンバイモードの設定.....	865
25.8.10	クロック同期式モードで内部クロック選択時における受信動作の注意事項.....	865
25.8.11	SCIFA 初期化時の注意事項.....	865

26.	I ² C バスインタフェース (R11Ca)	866
26.1	概要	866
26.2	レジスタの説明	869
26.2.1	I ² C バスコントロールレジスタ 1 (ICCR1)	869
26.2.2	I ² C バスコントロールレジスタ 2 (ICCR2)	871
26.2.3	I ² C バスモードレジスタ 1 (ICMR1)	875
26.2.4	I ² C バスモードレジスタ 2 (ICMR2)	876
26.2.5	I ² C バスモードレジスタ 3 (ICMR3)	878
26.2.6	I ² C バスファンクション許可レジスタ (ICFER)	880
26.2.7	I ² C バスステータス許可レジスタ (ICSER)	882
26.2.8	I ² C バス割り込み許可レジスタ (ICIER)	884
26.2.9	I ² C バスステータスレジスタ 1 (ICSR1)	886
26.2.10	I ² C バスステータスレジスタ 2 (ICSR2)	889
26.2.11	I ² C スレーブアドレスレジスタ Ly (ICSARLy) (y = 0 ~ 2)	893
26.2.12	I ² C スレーブアドレスレジスタ Uy (ICSARUy) (y = 0 ~ 2)	894
26.2.13	I ² C バスビットレート Low レジスタ (ICBRL)	895
26.2.14	I ² C バスビットレート High レジスタ (ICBRH)	896
26.2.15	I ² C バス送信データレジスタ (ICDRT)	897
26.2.16	I ² C バス受信データレジスタ (ICDRR)	897
26.2.17	I ² C バスシフトレジスタ (ICDRS)	898
26.3	動作説明	899
26.3.1	通信データフォーマット	899
26.3.2	初期設定	901
26.3.3	マスタ送信動作	902
26.3.4	マスタ受信動作	906
26.3.5	スレーブ送信動作	911
26.3.6	スレーブ受信動作	914
26.4	SCL 同期回路	917
26.5	SDA 出力遅延機能	918
26.6	デジタルノイズフィルタ回路	919
26.7	アドレス一致検出機能	920
26.7.1	スレーブアドレス一致検出機能	920
26.7.2	ジェネラルコールアドレス検出機能	923
26.7.3	デバイス ID アドレス検出機能	924
26.8	SCL の自動 Low ホールド機能	926
26.8.1	送信データ誤送信防止機能	926
26.8.2	NACK 受信転送中断機能	927
26.8.3	受信データ取りこぼし防止機能	928
26.9	アービトレーションロスト検出機能	930
26.9.1	マスタアービトレーションロスト検出機能 (MALE ビット)	930

26.9.2	NACK 送信アービトレーションロスト検出機能 (NALE ビット)	933
26.9.3	スレーブアービトレーションロスト検出機能 (SALE ビット)	934
26.10	スタートコンディション、リスタートコンディション、 ストップコンディション発行機能	935
26.10.1	スタートコンディション発行動作	935
26.10.2	リスタートコンディション発行動作	935
26.10.3	ストップコンディション発行動作	937
26.11	バスハングアップ	938
26.11.1	タイムアウト検出機能	938
26.11.2	SCL クロック追加出力機能	940
26.11.3	RIIC リセット、内部リセット	941
26.12	割り込み要因	942
26.13	リセットと各コンディション発行時のレジスタおよび機能の状態	943
26.14	使用上の注意事項	944
26.14.1	モジュールストップ機能の設定	944
27.	CAN インタフェース (RSCAN)	945
27.1	概要	945
27.1.1	機能概要	945
27.2	レジスタの説明	949
27.2.1	チャンネルコンフィグレーションレジスタ (RSCAN0C1CFG)	949
27.2.2	チャンネル制御レジスタ (RSCAN0C1CTR)	951
27.2.3	チャンネルステータスレジスタ (RSCAN0C1STS)	955
27.2.4	チャンネルエラーフラグレジスタ (RSCAN0C1ERFL)	957
27.2.5	グローバルコンフィグレーションレジスタ (RSCAN0GCFG)	960
27.2.6	グローバル制御レジスタ (RSCAN0GCTR)	962
27.2.7	グローバルステータスレジスタ (RSCAN0GSTS)	964
27.2.8	グローバルエラーフラグレジスタ (RSCAN0GERFL)	965
27.2.9	グローバル TX 割り込みステータスレジスタ 0 (RSCAN0GTINTSTS0)	966
27.2.10	グローバルタイムスタンプカウンタレジスタ (RSCAN0GTSC)	968
27.2.11	受信ルールエントリ制御レジスタ (RSCAN0GAFLECTR)	969
27.2.12	受信ルールコンフィグレーションレジスタ 0 (RSCAN0GAFLCFG0)	970
27.2.13	受信ルール ID レジスタ (RSCAN0GAFLIDj) (j = 0 ~ 15)	971
27.2.14	受信ルールマスクレジスタ (RSCAN0GAFLMj) (j = 0 ~ 15)	972
27.2.15	受信ルールポインタ 0 レジスタ (RSCAN0GAFLP0j) (j = 0 ~ 15)	973
27.2.16	受信ルールポインタ 1 レジスタ (RSCAN0GAFLP1j) (j = 0 ~ 15)	975
27.2.17	受信バッファナンバレジスタ (RSCAN0RMNB)	976
27.2.18	受信バッファ新データレジスタ 0 (RSCAN0RMND0)	977
27.2.19	受信バッファ ID レジスタ (RSCAN0RMIDq) (q = 16 ~ 31)	978
27.2.20	受信バッファポインタレジスタ (RSCAN0RMPTRq) (q = 16 ~ 31)	979
27.2.21	受信バッファデータフィールド 0 レジスタ (RSCAN0RMDF0q) (q = 16 ~ 31)	980

27.2.22	受信バッファデータフィールド1レジスタ (RSCAN0RMDf1q) (q = 16 ~ 31)	981
27.2.23	受信 FIFO バッファコンフィグレーション/制御レジスタ (RSCAN0RFCCx) (x = 0 ~ 7)	982
27.2.24	受信 FIFO バッファステータスレジスタ (RSCAN0RFSTSx) (x = 0 ~ 7)	984
27.2.25	受信 FIFO バッファポインタ制御レジスタ (RSCAN0RFPCTRx) (x = 0 ~ 7)	986
27.2.26	受信 FIFO バッファアクセス ID レジスタ (RSCAN0RFIDx) (x = 0 ~ 7)	987
27.2.27	受信 FIFO バッファアクセスポインタレジスタ (RSCAN0RFPTRx) (x = 0 ~ 7)	988
27.2.28	受信 FIFO バッファアクセスデータフィールド0レジスタ (RSCAN0RDF0x) (x = 0 ~ 7)	989
27.2.29	受信 FIFO バッファアクセスデータフィールド1レジスタ (RSCAN0RDF1x) (x = 0 ~ 7)	990
27.2.30	送受信 FIFO バッファコンフィグレーション/制御レジスタ (RSCAN0CFCCk) (k = 3 ~ 5)	991
27.2.31	送受信 FIFO バッファステータスレジスタ (RSCAN0CFSTS k) (k = 3 ~ 5)	995
27.2.32	送受信 FIFO バッファポインタ制御レジスタ (RSCAN0CFPCTRk) (k = 3 ~ 5)	998
27.2.33	送受信 FIFO バッファアクセス ID レジスタ (RSCAN0CFIDk) (k = 3 ~ 5)	999
27.2.34	送受信 FIFO バッファアクセスポインタレジスタ (RSCAN0CFPTRk) (k = 3 ~ 5)	1001
27.2.35	送受信 FIFO バッファアクセスデータフィールド0レジスタ (RSCAN0CFDF0k) (k = 3 ~ 5)	1003
27.2.36	送受信 FIFO バッファアクセスデータフィールド1レジスタ (RSCAN0CFDF1k) (k = 3 ~ 5)	1004
27.2.37	FIFO エンプティステータスレジスタ (RSCAN0FESTS)	1005
27.2.38	FIFO フルスステータスレジスタ (RSCAN0FFSTS)	1006
27.2.39	FIFO メッセージロスステータスレジスタ (RSCAN0FMSTS)	1007
27.2.40	受信 FIFO バッファ割り込みフラグステータスレジスタ (RSCAN0RFISTS)	1008
27.2.41	送受信 FIFO バッファ 受信割り込みフラグステータスレジスタ (RSCAN0CFRISTS)	1009
27.2.42	送受信 FIFO バッファ 送信割り込みフラグステータスレジスタ (RSCAN0CFTISTS)	1010
27.2.43	送信バッファ制御レジスタ (RSCAN0TMCp) (p = 16 ~ 31)	1011
27.2.44	送信バッファステータスレジスタ (RSCAN0TMSTSp) (p = 16 ~ 31)	1013
27.2.45	送信バッファ送信要求ステータスレジスタ 0 (RSCAN0TMTRSTS0)	1015
27.2.46	送信バッファ送信アボート要求ステータスレジスタ 0 (RSCAN0TMTARSTS0)	1016
27.2.47	送信バッファ送信完了ステータスレジスタ 0 (RSCAN0TMCSTS0)	1017
27.2.48	送信バッファ送信アボートステータスレジスタ 0 (RSCAN0TMTASTS0)	1018
27.2.49	送信バッファ割り込みイネーブルコンフィグレーションレジスタ 0 (RSCAN0TMIEC0)	1019
27.2.50	送信バッファ ID レジスタ (RSCAN0TMIDp) (p = 16 ~ 31)	1020
27.2.51	送信バッファポインタレジスタ (RSCAN0TMPTRp) (p = 16 ~ 31)	1021
27.2.52	送信バッファデータフィールド0レジスタ (RSCAN0TMDF0p) (p = 16 ~ 31)	1022
27.2.53	送信バッファデータフィールド1レジスタ (RSCAN0TMDF1p) (p = 16 ~ 31)	1023
27.2.54	送信キューコンフィグレーション/制御レジスタ (RSCAN0TXQCC1)	1024

27.2.55	送信キューステータスレジスタ (RSCAN0TXQSTS1)	1026
27.2.56	送信キューポインタ制御レジスタ (RSCAN0TXQPCTR1)	1027
27.2.57	送信履歴コンフィグレーション/制御レジスタ (RSCAN0THLCC1)	1028
27.2.58	送信履歴ステータスレジスタ (RSCAN0THLSTS1)	1029
27.2.59	送信履歴アクセスレジスタ (RSCAN0THLACC1)	1031
27.2.60	送信履歴ポインタ制御レジスタ (RSCAN0THLPCTR1)	1032
27.2.61	グローバルテストコンフィグレーションレジスタ (RSCAN0GTSTCFG)	1033
27.2.62	グローバルテスト制御レジスタ (RSCAN0GTSTCTR)	1034
27.2.63	グローバルロックキーレジスタ (RSCAN0GLOCKK)	1035
27.2.64	RAM テストページアクセスレジスタ (RSCAN0RPGACCr) (r = 0 ~ 63)	1036
27.2.65	RSCAN ECC コントロールレジスタ (ECCRCANCTL)	1037
27.2.66	RSCAN ECC エラーアドレスレジスタ z (ECCRCANEADz) (z = 0 ~ 7)	1040
27.3	割り込み要因	1041
27.4	CAN モード	1045
27.4.1	グローバルモード	1045
27.4.1.1	グローバルストップモード	1046
27.4.1.2	グローバルリセットモード	1046
27.4.1.3	グローバルテストモード	1047
27.4.1.4	グローバル動作モード	1047
27.4.2	チャンネルモード	1048
27.4.2.1	チャンネルストップモード	1049
27.4.2.2	チャンネルリセットモード	1049
27.4.2.3	チャンネル待機モード	1050
27.4.2.4	チャンネル通信モード	1050
27.4.2.5	バスオフ状態	1051
27.5	受信機能	1053
27.5.1	受信ルールテーブルを用いたデータ処理	1053
27.5.1.1	アクセプタンスフィルタ処理	1054
27.5.1.2	DLC フィルタ処理	1055
27.5.1.3	ルーティング処理	1055
27.5.1.4	ラベル付加処理	1055
27.5.1.5	ミラー機能の処理	1055
27.5.1.6	タイムスタンプ	1056
27.6	送信機能	1057
27.6.1	送信の優先順位判定	1058
27.6.2	送信バッファを用いた送信	1058
27.6.2.1	送信アボート機能	1058
27.6.2.2	ワンショット送信機能 (再送信禁止機能)	1059
27.6.3	FIFO バッファによる送信	1059
27.6.3.1	インターバル送信機能	1060

27.6.4	送信キューによる送信	1062
27.6.5	送信履歴機能	1063
27.7	ゲートウェイ機能	1064
27.8	テスト機能	1065
27.8.1	標準テストモード	1065
27.8.2	リッスンオンリモード	1065
27.8.3	セルフテストモード (ループバックモード)	1066
27.8.3.1	セルフテストモード 0 (外部ループバックモード)	1066
27.8.3.2	セルフテストモード 1 (内部ループバックモード)	1066
27.8.4	RAM テスト	1067
27.9	RSCAN の設定手順	1068
27.9.1	初期設定	1068
27.9.1.1	クロックの設定	1069
27.9.1.2	ビットタイミングの設定	1069
27.9.1.3	通信速度の設定	1071
27.9.1.4	受信ルールの設定	1072
27.9.1.5	バッファの設定	1073
27.9.2	受信手順	1075
27.9.2.1	受信バッファの読み出し手順	1075
27.9.2.2	FIFO バッファの読み出し手順	1077
27.9.3	送信手順	1080
27.9.3.1	送信バッファからの送信手順	1080
27.9.3.2	送受信 FIFO バッファからの送信手順	1084
27.9.3.3	送信キューからの送信手順	1087
27.9.3.4	送信履歴バッファの読み出し手順	1088
27.9.4	テスト設定	1089
27.9.4.1	セルフテストモードの設定手順	1089
27.9.4.2	プロテクト解除手順	1090
27.9.4.3	RAM テストの設定手順	1091
27.10	RSCAN RAM のエラー検出/訂正	1092
27.10.1	RSCAN RAM ECC	1092
27.10.2	エラー要因出力	1092
27.11	RSCAN モジュールの注意事項	1093
28.	シリアルペリフェラルインタフェース (RSPIa)	1094
28.1	概要	1094
28.2	レジスタの説明	1098
28.2.1	RSPI 制御レジスタ (SPCR)	1098
28.2.2	RSPI スレーブセレクト極性レジスタ (SSLP)	1100
28.2.3	RSPI 端子制御レジスタ (SPPCR)	1101
28.2.4	RSPI ステータスレジスタ (SPSR)	1103

28.2.5	RSPI データレジスタ (SPDR)	1105
28.2.6	RSPI シーケンス制御レジスタ (SPSCR)	1108
28.2.7	RSPI シーケンスステータスレジスタ (SPSSR)	1109
28.2.8	RSPI ビットレートレジスタ (SPBR)	1110
28.2.9	RSPI データコントロールレジスタ (SPDCR)	1111
28.2.10	RSPI クロック遅延レジスタ (SPCKD)	1113
28.2.11	RSPI スレーブセレクトネゲート遅延レジスタ (SSLND)	1114
28.2.12	RSPI 次アクセス遅延レジスタ (SPND)	1115
28.2.13	RSPI 制御レジスタ 2 (SPCR2)	1116
28.2.14	RSPI コマンドレジスタ 0 ~ 7 (SPCMD0 ~ SPCMD7)	1118
28.3	動作説明	1121
28.3.1	RSPI 動作の概要	1121
28.3.2	RSPI 端子の制御	1122
28.3.3	RSPI システム構成例	1124
28.3.3.1	シングルマスタ/シングルスレーブ (本 LSI = マスタ)	1124
28.3.3.2	シングルマスタ/シングルスレーブ (本 LSI = スレーブ)	1125
28.3.3.3	シングルマスタ/マルチスレーブ (本 LSI = マスタ)	1126
28.3.3.4	シングルマスタ/マルチスレーブ (本 LSI = スレーブ)	1127
28.3.3.5	マルチマスタ/マルチスレーブ (本 LSI = マスタ)	1128
28.3.3.6	マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 LSI = マスタ)	1129
28.3.3.7	マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 LSI = スレーブ)	1130
28.3.4	データフォーマット	1131
28.3.4.1	パリティ機能無効時 (SPCR2.SPPE = 0)	1132
28.3.4.2	パリティ機能有効時 (SPCR2.SPPE = 1)	1136
28.3.5	転送フォーマット	1140
28.3.5.1	CPHA ビット = 0 の場合	1140
28.3.5.2	CPHA ビット = 1 の場合	1141
28.3.6	通信動作モード	1142
28.3.6.1	全二重同期式シリアル通信 (SPCR.TXMD = 0)	1142
28.3.6.2	送信のみ動作 (SPCR.TXMD = 1)	1143
28.3.7	送信バッファエンプティ/受信バッファフル割り込み	1144
28.3.8	エラー検出	1146
28.3.8.1	オーバランエラー	1147
28.3.8.2	パリティエラー	1149
28.3.8.3	モードフォルトエラー	1150
28.3.9	RSPI の初期化	1151
28.3.9.1	SPE ビットのクリアによる初期化	1151
28.3.9.2	システムリセット	1151
28.3.10	SPI 動作	1152

28.3.10.1	マスタモード動作	1152
28.3.10.2	スレーブモード動作	1163
28.3.11	クロック同期式動作	1167
28.3.11.1	マスタモード動作	1167
28.3.11.2	スレーブモード動作	1171
28.3.12	ループバックモード	1173
28.3.13	パリティビット機能の自己判断	1174
28.3.14	割り込み要因	1175
28.4	イベントリンク機能によるリンク動作 (RSPI チャンネル 0 のみ)	1176
28.4.1	受信バッファフルイベント出力	1176
28.4.2	送信バッファエンptyイベント出力	1176
28.4.3	モードフォルト/オーバラン/パリティエラーイベント出力	1176
28.4.4	RSPI アイドルイベント出力	1177
28.4.5	送信完了イベント出力	1177
28.5	使用上の注意事項	1178
28.5.1	モジュールストップ機能の設定	1178
28.5.2	消費電力低減機能の注意事項	1178
28.5.3	通信の開始に関する注意事項	1178
29.	SPI マルチ I/O バスコントローラ (SPIBSC)	1179
29.1	概要	1179
29.2	レジスタの説明	1181
29.2.1	共通コントロールレジスタ (CMNCR)	1181
29.2.2	SSL 遅延レジスタ (SSLDR)	1184
29.2.3	ビットレート設定レジスタ (SPBCR)	1185
29.2.4	データリードコントロールレジスタ (DRCCR)	1187
29.2.5	データリードコマンド設定レジスタ (DRCMR)	1188
29.2.6	データリード拡張アドレス設定レジスタ (DREAR)	1189
29.2.7	データリードオプション設定レジスタ (DROPR)	1190
29.2.8	データリードイネーブル設定レジスタ (DRENDR)	1191
29.2.9	SPI モードコントロールレジスタ (SMCR)	1193
29.2.10	SPI モードコマンド設定レジスタ (SMCMR)	1194
29.2.11	SPI モードアドレス設定レジスタ (SMADR)	1195
29.2.12	SPI モードオプション設定レジスタ (SMOPR)	1195
29.2.13	SPI モードイネーブル設定レジスタ (SMENR)	1196
29.2.14	SPI モードリードデータレジスタ 0 (SMRDR0)	1198
29.2.15	SPI モードライトデータレジスタ 0 (SMWDR0)	1199
29.2.16	共通ステータスレジスタ (CMNSR)	1200
29.2.17	データリードダミーサイクル設定レジスタ (DRDMCR)	1201
29.2.18	SPI モードダミーサイクル設定レジスタ (SMDMCR)	1202
29.3	動作説明	1203

29.3.1	システム構成	1203
29.3.2	アドレスマップ	1203
29.3.3	シリアルフラッシュ 32 ビットアドレス	1204
29.3.4	データアライメント	1205
29.3.5	動作モード	1206
29.3.6	外部アドレス空間リードモード	1206
29.3.7	リードキャッシュ	1211
29.3.8	SPI 動作モード	1212
29.3.9	転送フォーマット	1215
29.3.10	データフォーマット	1216
29.3.11	データ端子制御	1219
29.3.12	SPBSSL 端子制御	1220
29.3.13	フラグ	1221
29.4	使用上の注意事項	1222
29.4.1	SPI 動作モードのデータリード転送時の注意事項	1222
29.4.2	SPI 動作モードの SPBSSL 信号保持状態からの転送開始の注意事項	1222
29.4.3	初期設定についての注意事項	1222
30.	CRC 演算器 (CRC)	1223
30.1	概要	1223
30.2	レジスタの説明	1224
30.2.1	CRC データ入力レジスタ (CRCDIR)	1224
30.2.2	CRC データ出力レジスタ (CRCDOR)	1225
30.2.3	CRC コントロールレジスタ (CRCCR)	1226
30.3	動作説明	1227
30.3.1	CRC データ出力レジスタ (CRCDOR) の初期化	1228
31.	バウンダリスキャン	1229
31.1	概要	1229
31.2	レジスタの説明	1231
31.2.1	インストラクションレジスタ (JTIR)	1231
31.2.2	ID コードレジスタ (JTIDR)	1232
31.2.3	バイパスレジスタ (JTBPR)	1232
31.2.4	バウンダリスキャンレジスタ (JTBSR)	1232
31.3	動作説明	1237
31.3.1	TAP コントローラ	1237
31.3.2	コマンド一覧	1239
31.4	使用上の注意事項	1240
32.	エラーコントロールモジュール (ECM)	1241
32.1	概要	1241
32.2	レジスタの説明	1244

32.2.1	ECM マスタ/チェッカエラーセットトリガレジスタ (ECMmESET (m = M/C))	1244
32.2.2	ECM マスタ/チェッカエラークリアトリガレジスタ (ECMmECLR (m = M/C))	1245
32.2.3	ECM マスタ/チェッカエラーソースステータスレジスタ 0 (ECMmESSTR0 (m = M/C))	1246
32.2.4	ECM マスタ/チェッカエラーソースステータスレジスタ 1 (ECMmESSTR1 (m = M/C))	1248
32.2.5	ECM マスタ/チェッカエラーソースステータスレジスタ 2 (ECMmESSTR2 (m = M/C))	1249
32.2.6	ECM マスタ/チェッカ保護コマンドレジスタ (ECMmPCMD0 (m = M/C))	1250
32.2.7	ECM エラーパルスコンフィグレーションレジスタ (ECMEPCFG)	1250
32.2.8	ECM マスカブル割り込みコンフィグレーションレジスタ 0 (ECMMICFG0)	1251
32.2.9	ECM マスカブル割り込みコンフィグレーションレジスタ 1 (ECMMICFG1)	1253
32.2.10	ECM マスカブル割り込みコンフィグレーションレジスタ 2 (ECMMICFG2)	1254
32.2.11	ECM ノンマスカブル割り込みコンフィグレーションレジスタ 0 (ECMNMICFG0)	1255
32.2.12	ECM ノンマスカブル割り込みコンフィグレーションレジスタ 1 (ECMNMICFG1)	1257
32.2.13	ECM ノンマスカブル割り込みコンフィグレーションレジスタ 2 (ECMNMICFG2)	1258
32.2.14	ECM 内部リセットコンフィグレーションレジスタ 0 (ECMIRCFG0)	1259
32.2.15	ECM 内部リセットコンフィグレーションレジスタ 1 (ECMIRCFG1)	1261
32.2.16	ECM 内部リセットコンフィグレーションレジスタ 2 (ECMIRCFG2)	1262
32.2.17	ECM エラーマスクレジスタ 0 (ECMEMK0)	1263
32.2.18	ECM エラーマスクレジスタ 1 (ECMEMK1)	1265
32.2.19	ECM エラーマスクレジスタ 2 (ECMEMK2)	1266
32.2.20	ECM エラーソースステータスクリアトリガレジスタ 0 (ECMESSTC0)	1267
32.2.21	ECM エラーソースステータスクリアトリガレジスタ 1 (ECMESSTC1)	1270
32.2.22	ECM エラーソースステータスクリアトリガレジスタ 2 (ECMESSTC2)	1271
32.2.23	ECM 保護コマンドレジスタ (ECMPCMD1)	1272
32.2.24	ECM 保護ステータスレジスタ (ECMPS)	1272
32.2.25	ECM 擬似エラートリガレジスタ 0 (ECMPE0)	1273
32.2.26	ECM 擬似エラートリガレジスタ 1 (ECMPE1)	1275
32.2.27	ECM 擬似エラートリガレジスタ 2 (ECMPE2)	1276
32.2.28	ECM ディレイタイマコントロールレジスタ (ECMDTMCTL)	1277
32.2.29	ECM ディレイタイマレジスタ (ECMDTMR)	1278
32.2.30	ECM ディレイタイマコンペアレジスタ (ECMDTMCMP)	1278
32.2.31	ECM ディレイタイマコンフィグレーションレジスタ 0 (ECMDTMCFG0)	1279
32.2.32	ECM ディレイタイマコンフィグレーションレジスタ 1 (ECMDTMCFG1)	1282
32.2.33	ECM ディレイタイマコンフィグレーションレジスタ 2 (ECMDTMCFG2)	1283
32.2.34	ECM ディレイタイマコンフィグレーションレジスタ 3 (ECMDTMCFG3)	1284
32.2.35	ECM ディレイタイマコンフィグレーションレジスタ 4 (ECMDTMCFG4)	1287

32.2.36	ECM ディレイタイマコンフィグレーションレジスタ 5 (ECMDTMCFG5)	1288
32.2.37	ECM エラー出力クリア無効コンフィグレーションレジスタ (ECMEOCCFG)	1289
32.2.38	ECM マスク制御レジスタ (ECMMCNT)	1290
32.3	動作説明	1291
32.3.1	エラー出力動作	1291
32.3.1.1	ダイナミックモードを有効にする	1291
32.3.1.2	ダイナミックモードを無効にする	1291
32.3.2	ループバック機能	1291
32.3.3	疑似エラー発生	1292
32.3.4	保護レジスタへの書き込み	1293
32.3.4.1	保護シーケンス解除	1293
32.3.5	ディレイタイマによる割り込み処理のタイムアウト機能	1294
32.3.6	エラー出力クリアの無効設定機能	1294
32.4	使用上の注意事項	1295
32.4.1	ECMCLK に関する注意事項	1295
33.	電气的特性	1296
33.1	絶対最大定格	1296
33.2	電源投入・切断シーケンス	1297
33.3	DC 特性	1298
33.4	AC 特性	1302
33.4.1	クロックタイミング	1303
33.4.2	リセット、割り込みタイミング	1305
33.4.3	内蔵周辺モジュールタイミング	1306
33.4.3.1	I/O ポートタイミング	1306
33.4.3.2	CMTW タイミング	1307
33.4.3.3	SCIFA タイミング	1308
33.4.3.4	RSPIa タイミング	1310
33.4.3.5	SPIBSC タイミング	1314
33.4.3.6	RIICa タイミング	1318
33.4.3.7	CAN インタフェースタイミング	1320
33.4.3.8	ESC タイミング	1321
33.4.3.9	シリアル・マネージメント・インタフェース	1323
33.5	USB 特性	1324
33.6	発振停止検出タイミング	1326
33.7	デバッグインタフェースタイミング	1327
付録 1.	外形寸法図	1330
改訂記録	1331

150 MHz、Arm®社Cortex®-R4 MCU、FPU内蔵、249 DMIPS、EtherCAT、USB2.0ハイスピード、CAN、SPIマルチI/Oバスコントローラなど多種多様な通信機能、安全機能

特長

■ Arm社32ビットCortex-R4プロセッサ内蔵

- 最大動作周波数150 MHzによる高速リアルタイム制御249 DMIPSの性能
- Arm社32ビットCortex-R4 (リビジョンr1p4) 内蔵
- ECC付き密結合メモリ (TCM) 512K/32Kバイト
- ECC付き命令キャッシュ/データキャッシュ各8Kバイト
- 高速割り込み
- FPUは単精度および倍精度の加算、減算、乗算、除算、積和演算、平方根演算をサポート
- 8段階パイプラインのハーバードアーキテクチャ
- メモリプロテクションユニット (MPU) 対応
- Arm社CoreSightアーキテクチャ採用、JTAGおよびSWDインタフェースによるデバッグをサポート

■消費電力低減機能

- スタンバイモードおよびモジュールストップ機能

■データ転送機能

- DMACaA: 16ch × 2ユニット内蔵

■イベントリンクコントローラ

- 割り込みを介さず、イベント信号でモジュール動作が可能
- CPUスリープ状態でも、モジュール間のリンク動作が可能

■リセットおよび電源電圧制御

- 端子リセットなど3種類のリセット要因
- 3.3 V (I/O部)、1.2 V (内部) の2電源構成

■クロック機能

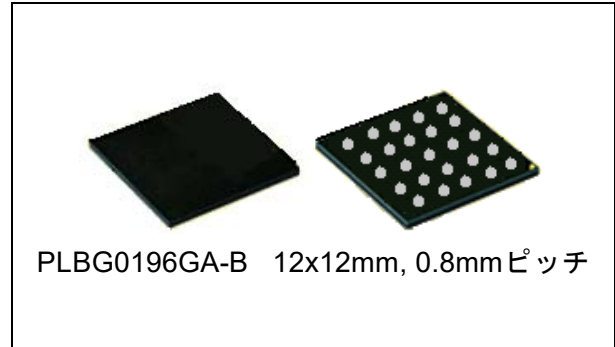
- 発振子入力周波数: 25 MHz
- CPUクロック周波数: 150 MHz
- 低速オンチップオシレータ (LOCO): 240 kHz

■独立ウォッチドッグタイマ内蔵

- 低速オンチップオシレータの分周クロックで動作: ~ 120 kHz

■安全機能

- レジスタライトプロテクション、入力クロック発振停止検出、CRC、IWDtAなど
- 各モジュールからのエラー要因に対し端子信号出力や割り込み、内部リセットを発生可能なエラーコントロールモジュール搭載



■多種多様な通信機能を内蔵

- EtherCAT Slave Controller: 2ポート
- USB2.0ハイスピードホスト/ファンクション: 1ch
- CAN (ISO11898-1準拠): 1ch
- 16バイトの送受信FIFO搭載SCIFA: 5ch
- I²Cバスインタフェース: 最大400Kbps転送を1ch
- RSP1a: 2ch
- SPIBSC: マルチI/O対応シリアルフラッシュメモリを1ch接続可能

■8本の拡張タイマ機能

- 16ビットCMT (6ch)、32ビットCMTW (2ch)

■汎用入出力ポート内蔵

- 5Vトレラント、オープンドレイン、入力プルアップ

■マルチファンクションピンコントローラ

- 周辺機能の入出力端子を複数箇所から選択可能

■動作温度範囲 (注1)

- T_j = -40°C ~ +125°C
- T_j: ジャンクション温度

注1. 動作温度 (ジャンクション温度) を110°C以上で使用する場合は、「EC-1の高温動作に関する注意事項」(R01AN3998)を参照してください。

1. 概要

1.1 仕様概要

本 LSI は、Arm® 社 Cortex®-R4 Processor with FPU を搭載し、システム構成に必要な周辺機能を集積した高性能産業 LSI です。表 1.1 に仕様概要を、表 1.2 に機能一覧を示します。

表 1.1 仕様概要 (1 / 3)

分類	モジュール/機能	説明
CPU	中央演算処理装置 (Cortex-R4)	<ul style="list-style-type: none"> 動作周波数 196ピンFBGA：150 MHz Arm社製32ビットCPU Cortex-R4 (コア・リビジョンr1p4) アドレス空間：4Gバイト 命令キャッシュサイズ：8Kバイト (ECC付き) データキャッシュサイズ：8Kバイト (ECC付き) 密結合メモリ (TCM) サイズ ATCM：512Kバイト (ECC付き) BTCM：32Kバイト (ECC付き) 命令セット：Thumb® / Thumb-2をサポートするArm v7-Rアーキテクチャ データ配置 命令：リトルエンディアン データ：リトルエンディアン メモリプロテクションユニット (MPU)
	FPU (Cortex-R4)	<ul style="list-style-type: none"> 単精度および倍精度の加算、減算、乗算、除算、積和演算、平方根演算をサポート レジスタ 32ビットシングルワードレジスタ：32ビット×32本 (16本のダブルワードレジスタとしても使用可能：64ビット×16本)
動作モード		<ul style="list-style-type: none"> SPIブートモード (シリアル・フラッシュ)
クロック	クロック発生回路	<ul style="list-style-type: none"> 入力クロックは外部発振子を使用可能 入力クロック発振停止検出：あり 下記クロックを生成 CPUクロック：150 MHz (固定) システムクロック：150 MHz (固定) 高速周辺モジュールクロック：150 MHz (固定) 低速周辺モジュールクロック：75 MHz (固定) 低速オンチップオシレータ：240 kHz (固定)
リセット		RES#端子リセット、エラーコントロールモジュール (ECM) リセット、ソフトウェアリセット
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> スタンバイモード (Cortex-R4) モジュールストップ機能
割り込み	Cortex-R4 ベクタ割り込み コントローラ (VIC)	<ul style="list-style-type: none"> 周辺機能割り込み：要因数 87 外部割り込み：要因数 15 (NMI端子、IRQ0～IRQ4, IRQ6, IRQ7, IRQ9, IRQ11～IRQ14端子、ETH0_INT端子、ETH1_INT端子) ノンマスカブル割り込み：要因数 2 16レベルの割り込み優先順位を設定可能
データ転送	ダイレクトメモリ アクセスコントローラ (DMACa)	<ul style="list-style-type: none"> 2ユニット (ユニット0：16チャンネル、ユニット1：16チャンネル) 転送モード：シングル転送モード、ブロック転送モード 転送サイズ ユニット0：1/2/4/16/32/64バイト ユニット1：1/2/4/16バイト 起動要因：外部割り込み、内蔵周辺モジュールリクエスト、ソフトウェアリクエスト
I/Oポート	汎用入出力ポート	<ul style="list-style-type: none"> 196ピンFBGA 入出力：115 入力：8 プルアップ/プルダウン抵抗：115 5Vトレラント：8
イベントリンクコントローラ (ELC)		<ul style="list-style-type: none"> イベント信号でモジュール間動作をリンク可能 タイマ系のモジュールはイベント入力時の動作選択が可能 ポートB、ポートEのイベントリンク動作が可能

表 1.1 仕様概要 (2 / 3)

分類	モジュール/機能	説明
マルチファンクション ピンコントローラ (MPC)		入出力機能を複数の端子から選択可能
タイマ	コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> • (16ビット×2チャンネル) × 3ユニット • 4種類のカウントクロックを選択可能 (最大動作周波数: 75 MHz) • ELCによるイベントリンク機能をサポート (ユニット0のチャンネル1のみ)
	コンペアマッチタイマ W (CMTW)	<ul style="list-style-type: none"> • (32ビット×1チャンネル) × 2ユニット • コンペアマッチ、インプットキャプチャ入力およびアウトプットコンペア出力が可能 • 4種類のカウントクロックを選択可能 (最大動作周波数: 75 MHz) • コンペアマッチ、インプットキャプチャ、およびアウトプットコンペア発生時、割り込み要求の発生を選択可能 • インプットキャプチャ端子におけるデジタルノイズフィルタ機能 • ELCによるイベントリンク機能をサポート
	ウォッチドッグタイマ (WDTA)	<ul style="list-style-type: none"> • 14ビット×1チャンネル • 6種類のカウントクロックを選択可能 (最大動作周波数: 75 MHz)
	独立ウォッチドッグ タイマ (IWDtA)	<ul style="list-style-type: none"> • 14ビット×1チャンネル • カウントクロック: 低速オンチップオシレータ (LOCO) の2分周 カウントクロックの1 / 16 / 32 / 64 / 128 / 256 分周を選択可能 (最大動作周波数: 120 kHz)
通信機能	EtherCATスレーブ コントローラ (ESC) (注1)	<ul style="list-style-type: none"> • 1チャンネル (2ポート) • Beckhoff社製「EtherCAT Slave Controller IP Core」を採用
	USB2.0 HS ホスト/ ファンクション モジュール	<ul style="list-style-type: none"> • 1ポート • USBバージョン2.0準拠 • 転送スピード ハイスピード (480 Mbps)、フルスピード (12 Mbps) • 通信バッファ ホストモード用に1KバイトのRAMを内蔵 ファンクションモード用に8KバイトのRAMを内蔵
	FIFO内蔵シリアル コミュニケーション インタフェース (SCIFA)	<ul style="list-style-type: none"> • 5チャンネル • シリアル通信方式: 調歩同期式/クロック同期式 (注2) • 内蔵ポーレートジェネレータで任意のビットレートを選択可能 • LSB ファースト/MSB ファーストを選択可能 • 送信部、受信部ともに16バイトのFIFOバッファ構造による連続送信、受信が可能 • ビットレートモジュレーション機能をサポート
	I ² Cバスインタフェース (RIICa)	<ul style="list-style-type: none"> • 1チャンネル • I²Cバスフォーマット • マルチマスタ対応 • 最大転送レート: 400 kbps
	CANモジュール (RSCAN)	<ul style="list-style-type: none"> • 1チャンネル • ISO11898-1仕様に準拠 (標準フレーム/拡張フレーム) • メッセージバッファ: 最大64×1チャンネル受信メッセージバッファ 1チャンネルあたり16送信メッセージバッファ • 最大転送レート: 1 Mbps

表 1.1 仕様概要 (3 / 3)

分類	モジュール/機能	説明
通信機能	シリアルペリフェラル インタフェース (RSPIa)	<ul style="list-style-type: none"> 2チャンネル RSPI転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI動作 (4線式) / クロック同期式動作 (3線式) でシリアル通信が可能 マスタ/スレーブモードでのシリアル通信が可能 データフォーマット MSBファースト/LSBファーストの切り替え可能 転送ビット長を8~16、20、24、32ビットに変更可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送 (1フレームは最大32ビット) バッファ構成 送信/受信バッファ構成はダブルバッファ マスタ受信時、RSPCKは受信バッファフルで自動停止可能 ELCによるイベントリンク機能をサポート
	SPIマルチI/Oバス コントローラ (SPIBSC)	<ul style="list-style-type: none"> 1チャンネル マルチI/O (Single / Dual / Quad) 対応のシリアルフラッシュメモリが1個接続可能 外部アドレス空間リードモード (リードキャッシュ内蔵) SPI動作モード クロック極性、クロック位相選択可能 最大転送レート: 300 Mbps (Quad時)
セーフティ	レジスタライト プロテクション	ソフトウェアが暴走したときに備え、重要なレジスタの書き換えを防止
	CRC演算器 (CRC)	<ul style="list-style-type: none"> 8ビット/16ビット/32ビット単位の任意のデータ長に対してCRCコードを生成 4つの多項式から選択可能 $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ (32-Ethernet)、 $X^{16} + X^{12} + X^5 + 1$ (16-CCITT)、 $X^8 + X^4 + X^3 + X^2 + 1$ (8-SAEJ1850)、 $X^8 + X^5 + X^3 + X^2 + X + 1$ (8-0x2F)
	入力クロック発振停止 機能	入力クロック発振停止検出: あり
	クロックモニタ回路 (CLMA)	PLL回路および低速オンチップオシレータの出力クロック周波数異常を監視することが可能
	エラーコントロール モジュール (ECM)	<ul style="list-style-type: none"> 各モジュールからのエラー信号入力に対して、割り込み/内部リセット/エラー出力を行うことが可能 タイムアウト機能 エラー制御をマスタとチェッカで2重化
電源電圧	VDD = PLLVDD0 = PLLVDD1 = DVDD_USB = 1.14 ~ 1.26 V VCCQ33 = VDD33_USB = 3.0 ~ 3.6 V	
動作温度 (注3)	Tj = -40 ~ +125°C	
パッケージ	196ピンFBGA: 12 × 12mm, 0.8mm pitch PLBG0196GA-B	
デバッグインタフェース	<ul style="list-style-type: none"> Arm社のCoreSightアーキテクチャ採用 JTAG/SWDインタフェースによるデバッグ機能、トレースポート/SWVインタフェースによるトレース機能をサポート 	

注1. EtherCATは、Beckhoff Automation GmbH, Germanyの登録商標です。

注2. チャンネル3, 4は調歩同期式のみ

注3. 動作温度 (ジャンクション温度) を110°C以上で使用する場合は、「EC-1の高温動作に関する注意事項」(R01AN3998)を参照してください。

表 1.2 機能一覧

モジュール/機能		EC-1
		196ピン
割り込み	外部割り込み	NMI, IRQ0 ~ 4, IRQ6, IRQ7, IRQ9, IRQ11 ~ IRQ14, ETH0_INT, ETH1_INT
DMA	DMAコントローラ (DMACa)	ch0 ~ 31
タイマ	コンペマツチタイマ (CMT)	ch0 ~ 5
	コンペマツチタイマW (CMTW)	ch0, 1
	ウォッチドッグタイマ (WDTA)	ch0
	独立ウォッチドッグタイマ (IWDa)	有
通信機能	EtherCAT スレーブコントローラ (ESC)	2ポート
	USB2.0 HS ホスト/ファンクションモジュール (USB)	ch0
	FIFO内蔵シリアルコミュニケーションインタフェース (SCIFA)	ch0 ~ 4 (注1)
	I ² Cバスインタフェース (RIICa)	ch1
	シリアルペリフェラルインタフェース (RSPIa)	ch0 ~ 1
	CANモジュール (RSCAN)	ch1
	SPIマルチI/Oバスコントローラ (SPIBSC)	ch0
CRC演算器 (CRC)		有
クロックモニタ回路 (CLMA)		有
イベントリンクコントローラ (ELC)		有

注1. チャネル3, 4は調歩同期式のみ

1.2 製品一覧

表 1.3 に製品一覧表を示します。

表 1.3 製品一覧表

型名	パッケージ	CPU	動作周波数
R9A06G043GBG	196 ピン (PLBG0196GA-B)	Cortex-R4	150 MHz

1.3 ブロック図

図 1.1 に 196 ピン版のブロック図を示します。

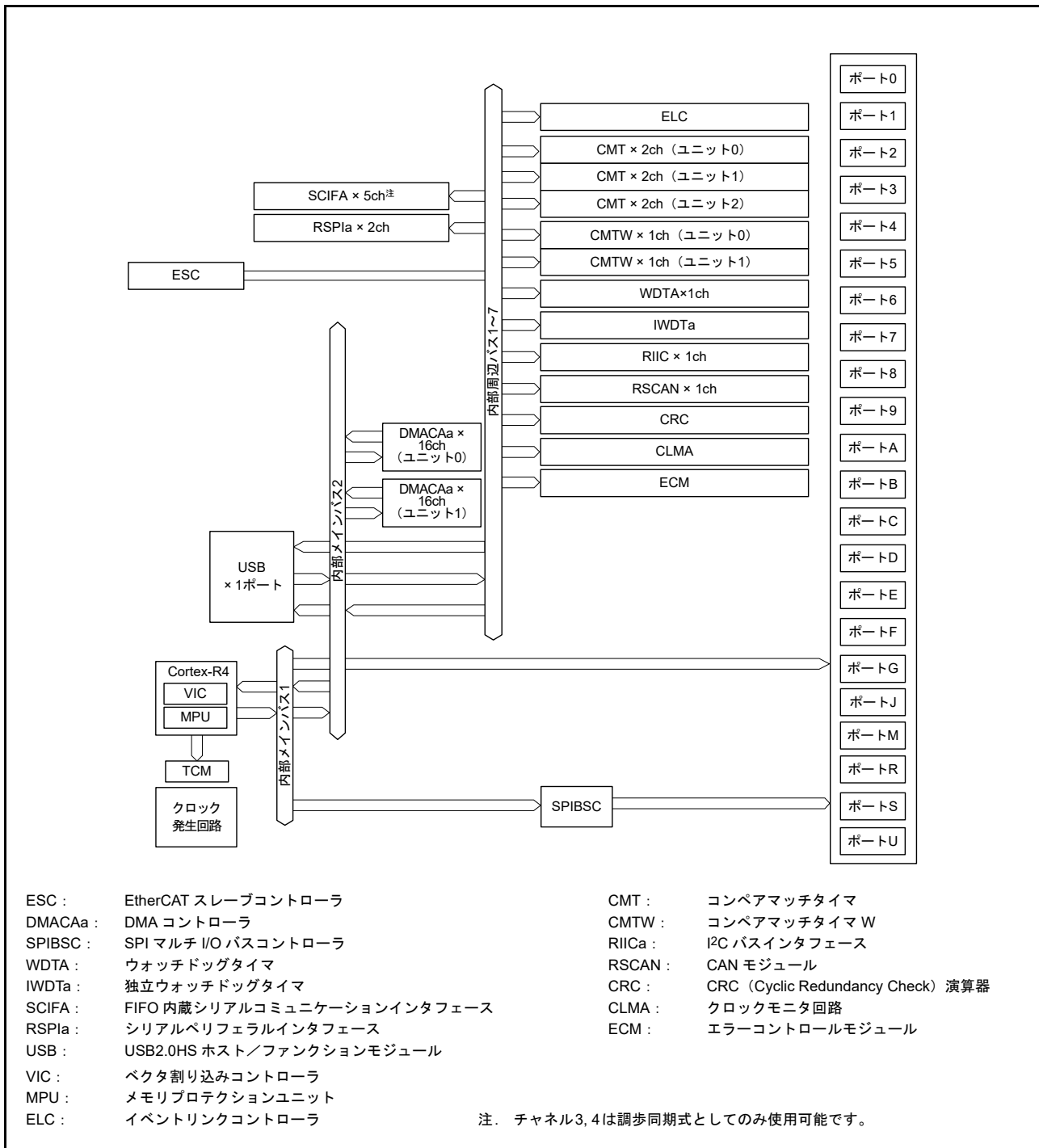


図 1.1 ブロック図

1.4 端子機能

表 1.4 に端子機能一覧を示します。

表 1.4 端子機能一覧 (1 / 3)

分類	端子名	入出力	機能
電源	VDD	入力	電源端子。システムの電源に接続してください
	VSS	入力	グラウンド端子。システムの電源 (0V) に接続してください
	VCCQ33	入力	入出力端子用の電源端子
	PLLVD0、PLLVD1	入力	内蔵PLL発振器用の電源端子
	PLLVS0、PLLVS1	入力	内蔵PLL発振器用のグラウンド端子。システムの電源 (0V) に接続してください
クロック	XTAL	出力	水晶振動子接続端子
	EXTAL	入力	
	CLKOUT25M0、CLKOUT25M1	出力	EtherCAT PHY用の外部クロック出力端子
システム制御	RES#	入力	リセット信号用入力端子。この端子がLowになると、リセット状態となります
	BSCANP	入力	バウンダリスキャン許可信号入力端子です。この端子がHighになると、バウンダリスキャンが有効となります。バウンダリスキャンを使用しない場合は、Lowにしてください
	ERROROUT#	出力	エラーコントロールモジュール (ECM) からのエラー信号出力端子
	RSTOUT#	出力	外部へのリセット信号出力端子
デバッグインタフェース	TRST#	入力	オンチップエミュレータ用テストリセット端子
	TMS	入出力	オンチップエミュレータ用テストモードセレクト端子
	TDI	入力	オンチップエミュレータ用テストデータ入力端子
	TDO	出力	オンチップエミュレータ用テストデータ出力端子
	TCK	入力	オンチップエミュレータ用テストクロック端子
	TRACECLK	出力	トレースデータ同期用のクロック出力端子
	TRACECTL	出力	トレース制御用イネーブル信号出力端子
	TRACEDATA0~7	出力	トレースデータ出力端子
割り込み	NMI	入力	ノンマスクブル割り込み要求信号入力端子
	IRQ0~IRQ4, IRQ6, IRQ7, IRQ9, IRQ11~IRQ14	入力	外部割り込み要求信号入力端子
	ETH0_INT、ETH1_INT	入力	EtherCAT PHY割り込み要求信号入力端子
コンペアマッチタイマW (CMTW)	TIC0~TIC3	入力	CMTWのインプットキャプチャ入力端子
	TOC0~TOC3	出力	CMTWのアウトプットコンペア出力端子
FIFO内蔵シリアルコミュニケーションインタフェース (SCIFA)	SCK0~SCK2	入出力	クロック入出力端子
	RXD0~RXD4	入力	受信データ入力端子
	TXD0~TXD4	出力	送信データ出力端子
	CTS0#~CTS2#	入出力	ハードウェアフロー制御用入力 (送信可信号) / 汎用出力
	RTS0#~RTS2#	出力	ハードウェアフロー制御用出力 (送信要求信号) / 汎用出力
I ² Cバスインタフェース (RIIc)	SCL1	入出力	クロック入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
	SDA1	入出力	データ入出力端子。Nチャネルオープンドレインでバスを直接駆動できます

表 1.4 端子機能一覧 (2 / 3)

分類	端子名	入出力	機能
EtherCAT スレーブ コントローラ (ESC)	ETH0_TXC、ETH1_TXC	入力	送信クロック入力端子
	ETH0_TXEN、 ETH1_TXEN	出力	送信イネーブル信号出力端子
	ETH0_TXD0~3、 ETH1_TXD0~3	出力	送信データ信号出力端子
	ETH0_RXC、 ETH1_RXC	入力	受信クロック入力端子
	ETH0_RXDV、 ETH1_RXDV	入力	受信データ・イネーブル信号入力端子
	ETH0_RXER、 ETH1_RXER	入力	受信データ・エラー信号入力端子
	ETH0_RXD0~3、 ETH1_RXD0~3	入力	受信データ信号入力端子
	ETH_MDC	出力	マネージメント・インタフェース・クロック出力端子
	ETH_MDIO	入出力	マネージメント・データ信号入出力端子
	PHYLINK0、 PHYLINK1	入力	PHY Link 信号入力端子
	PHYRESETOUT#	出力	PHY RESET 用出力信号
	CATLEDRUN	出力	EtherCAT RUN LED 信号出力端子
	CATIRQ	出力	EtherCAT IRQ 信号出力端子
	CATLEDSTER	出力	EtherCAT Dual-color ステート LED 信号出力端子
	CATLEDERR	出力	EtherCAT Error LED 信号出力端子
	CATLINKACT0、 CATLINKACT1	出力	EtherCAT Link / Activity LED 信号出力端子
	CATSYNC0、 CATSYNC1	出力	EtherCAT SYNC 信号出力端子
	CATLATCH0	入力	EtherCAT LATCH 信号入力端子
	CATLATCH1	入力	EtherCAT LATCH 信号入力端子
	CATI2CCLK	出力	EtherCAT EEPROM I2C クロック信号出力端子
CATI2CDATA	入出力	EtherCAT EEPROM I2C データ信号入出力端子	
USB2.0 ホスト/ファンクション モジュール	VDD33_USB	入力	USB用の電源入力端子
	VSS_USB	入力	USB用のグラウンド入力端子
	DVDD_USB	入力	USB用のデジタル電源入力端子
	USB_RREF	入力	USB基準電流源入力端子。200Ω (±1%)を介して、VSS_USB端子に接続してください
	USB_DP	入出力	USBバスのD+データ入出力端子
	USB_DM	入出力	USBバスのD-データ入出力端子
	USB_VBUSEN	出力	USB用VBUSパワーイネーブル信号出力端子
	USB_OVRCUR	入力	USB用オーバカレント信号入力端子
	USB_VBUSIN	入力	USBケーブルの接続/切断検出信号入力端子
CANモジュール (RSCAN)	CRXD1	入力	受信データ入力端子
	CTXD1	出力	送信データ出力端子
シリアルペリフェラル インタフェース (RSPIa)	RSPCK0、RSPCK1	入出力	クロック入出力端子
	MOSI0、MOSI1	入出力	マスタ送出データ入出力端子
	MISO0、MISO1	入出力	スレーブ送出データ入出力端子
	SSL00、SSL10	入出力	スレーブセレクト信号入出力端子
SSL01、SSL02、 SSL03、SSL11	出力	スレーブセレクト信号出力端子	

表 1.4 端子機能一覧 (3 / 3)

分類	端子名	入出力	機能
SPIマルチI/Oバス コントローラ (SPIBSC)	SPBCLK	出力	クロック出力端子
	SPBSSL	出力	スレーブセレクト信号出力端子
	SPBMO/SPBIO0	入出力	マスタ送出データ/データ0入出力端子
	SPBMI/SPBIO1	入出力	マスタ入力データ/データ1入出力端子
	SPBIO2~3	入出力	データ2、データ3入出力端子
I/Oポート	P00	入出力	1ビットの入出力端子
	P10, P12, P16, P17	入出力	4ビットの入出力端子
	P20~P23, P25~P27	入出力	7ビットの入出力端子
	P33~P35	入出力	3ビットの入出力端子
	P40, P42, P44	入出力	3ビットの入出力端子
	P50~P54, P56	入出力	6ビットの入出力端子
	P60~P66	入出力	7ビットの入出力端子
	P70~P77	入出力	8ビットの入出力端子
	P80~P87	入出力	8ビットの入出力端子
	P90~P97	入出力	8ビットの入出力端子
	PA0~PA7	入出力	8ビットの入出力端子
	PB0~PB7	入出力	8ビットの入出力端子
	PC0~PC7	入力	8ビットの入力端子
	PD5~PD7	入出力	3ビットの入出力端子
	PE0~PE7	入出力	8ビットの入出力端子
	PF5~PF7	入出力	3ビットの入出力端子
	PG2~PG6	入出力	5ビットの入出力端子
	PJ0~PJ7	入出力	8ビットの入出力端子
	PM1~PM7	入出力	7ビットの入出力端子
	PR1	入出力	1ビットの入出力端子
PS0~PS7	入出力	8ビットの入出力端子	
PU7	入出力	1ビットの入出力端子	
その他	IC0	入力	抵抗を介してVSSに接続 (プルダウン)

1.5 ピン配置図

図 1.2 にピン配置図を示します。また、表 1.5 に端子配置を、表 1.6 に機能別端子一覧を示します。

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	
A	VSS	PC2	PJ2	PF7	PB5	PB2	PC1	PF5	PD6	P56	P51	IC0	IC0	VSS	A
B	PJ7	PJ4	PJ3	PJ1	PB6	PB1	PB7	P87	PD5	P53	IC0	IC0	P16	P97	B
C	P83	PJ5	PC3	PJ0	PB4	PB0	PF6	PD7	P54	VCCQ3 3	VCCQ3 3	P17	P96	P95	C
D	P84	P81	PJ6	VCCQ3 3	PB3	PC0	P86	P52	P50	VSS	VSS	PA7	P94	P12	D
E	TRST#	P85	P82	P80	VCCQ3 3	VDD	VDD	VDD	VDD	VCCQ3 3	VCCQ3 3	P90	P92	P93	E
F	P34	P33	ERROR OUT#	P35	PLLVD D1	VDD	VSS	VSS	VSS	VDD	P91	PA4	PA5	PA6	F
G	PC4	PC5	TCK	TMS	PLLVSS 1	VSS	VSS	VSS	VSS	VDD	PA3	P77	PA2	PA1	G
H	VCCQ3 3	BSCAN P	PU7	IC0	PLLVD D0	VSS	VSS	VSS	VSS	VDD	P74	P75	P76	PA0	H
J	EXTAL	VSS	PM1	RES#	PLLVSS 0	VDD	VSS	VSS	VSS	VDD	PE7	P71	P72	P73	J
K	XTAL	VSS	PM4	RSTOU T#	VDD33 _USB	VDD	VDD	VDD	VDD	VCCQ3 3	PE1	PE5	PE6	P70	K
L	VSS	PM3	USB_R REF	P62	VCCQ3 3	PG2	VDD	PR1	P27	VDD	VCCQ3 3	PS6	PE3	PE4	L
M	PM2	PM6	VSS_U SB	P60	P64	PG3	PG5	P21	P26	P44	PS0	P00	PS7	PE2	M
N	PM7	PM5	DVDD_ USB	P61	P63	PG4	PG6	P22	P20	P42	PS1	PS3	PS5	PE0	N
P	VSS_U SB	USB_D M	USB_D P	P66	P65	PC6	PC7	P23	P25	P40	P10	PS2	PS4	VSS	P
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	

図 1.2 ピン配置図 (196 ピン FBGA) (上面図)

表 1.5 端子配置 (196ピン FBGA) (1 / 5)

端子番号	端子名
A1	VSS
A2	PC2 / ETH0_TXC
A3	PJ2 / ETH0_TXD1
A4	PF7 / IRQ7
A5	PB5 / ETH_MDIO
A6	PB2 / ETH1_RXC
A7	PC1 / ETH1_RXD3
A8	PF5 / ETH1_TXEN
A9	PD6 / ETH1_TXD2
A10	P56
A11	P51 / PHYLINK1
A12	IC0
A13	IC0
A14	VSS
B1	PJ7 / ETH0_RXD3
B2	PJ4 / ETH0_RXD0
B3	PJ3 / ETH0_TXD0
B4	PJ1 / ETH0_TXD2
B5	PB6 / ETH_MDC
B6	PB1 / ETH1_RXER
B7	PB7 / ETH1_RXD1
B8	P87 / ETH1_TXC
B9	PD5 / ETH1_TXD3
B10	P53 / ETH1_INT
B11	IC0
B12	IC0
B13	P16
B14	P97 / IRQ7
C1	P83 / IRQ11 / CATLINKACT0 / TXD4
C2	PJ5 / ETH0_RXD1
C3	PC3 / ETH0_RXC
C4	PJ0 / ETH0_TXD3
C5	PB4 / ETH0_RXER / CATSYNC0 / CATLATCH0 / RXD3
C6	PB0 / ETH1_RXDV
C7	PF6 / ETH1_RXD0
C8	PD7 / ETH1_TXD1
C9	P54 / CLKOUT25M1
C10	VCCQ33
C11	VCCQ33
C12	P17 / PHYRESETOUT#
C13	P96
C14	P95 / IRQ13 / CTS2#
D1	P84 / CATLINKACT1 / RXD4
D2	P81 / ETH0_RXER
D3	PJ6 / ETH0_RXD2

表 1.5 端子配置 (196ピン FBGA) (2 / 5)

端子番号	端子名
D4	VCCQ33
D5	PB3 / IRQ3 / PHYRESETOUT# / TXD3 / CTXD1
D6	PC0 / ETH1_RXD2
D7	P86 / ETH1_TXD0
D8	P52 / ETH0_INT
D9	P50 / PHYLINK0
D10	VSS
D11	VSS
D12	PA7 / IRQ7 / RTS2#
D13	P94 / IRQ4 / RTS2#
D14	P12
E1	TRST#
E2	P85 / CLKOUT25M0
E3	P82 / ETH0_TXEN
E4	P80 / ETH0_RXDV
E5	VCCQ33
E6	VDD
E7	VDD
E8	VDD
E9	VDD
E10	VCCQ33
E11	VCCQ33
E12	P90 / TXD4
E13	P92 / TOC3 / RXD2
E14	P93 / TIC3 / SCK2
F1	P34 / TDI
F2	P33 / TDO
F3	ERROROUT#
F4	P35 / NMI
F5	PLLVDD1
F6	VDD
F7	VSS
F8	VSS
F9	VSS
F10	VDD
F11	P91 / TXD2
F12	PA4 / ETH1_INT / RXD2
F13	PA5 / ETH0_INT / TXD2
F14	PA6 / IRQ6 / CTS2#
G1	PC4 / CATI2CCLK
G2	PC5 / CATI2CDATA
G3	TCK
G4	TMS
G5	PLLVSS1
G6	VSS
G7	VSS

表 1.5 端子配置 (196ピン FBGA) (3 / 5)

端子番号	端子名
G8	VSS
G9	VSS
G10	VDD
G11	PA3 / SCK2
G12	P77 / RSPCK0 / TRACEDATA5
G13	PA2 / SSL02
G14	PA1 / MISO0 / TRACEDATA7
H1	VCCQ33
H2	BSCANP
H3	PU7 / CATIRQ
H4	IC0
H5	PLLVD0
H6	VSS
H7	VSS
H8	VSS
H9	VSS
H10	VDD
H11	P74 / CTS1# / SSL03 / TRACEDATA2
H12	P75 / IRQ13 / SSL00 / TRACEDATA3
H13	P76 / SSL01 / TRACEDATA4
H14	PA0 / MOSI0 / TRACEDATA6
J1	EXTAL
J2	VSS
J3	PM1 / CATLEDERR
J4	RES#
J5	PLLSS0
J6	VDD
J7	VSS
J8	VSS
J9	VSS
J10	VDD
J11	PE7 / SCK1 / RSPCK0 / TRACEDATA7
J12	P71 / TOC2 / SCK1 / TRACECTL
J13	P72 / TIC2 / TXD1 / TRACEDATA0
J14	P73 / IRQ3 / RXD1 / TRACEDATA1
K1	XTAL
K2	VSS
K3	PM4 / CATLEDRUN
K4	RSTOUT#
K5	VDD33_USB
K6	VDD
K7	VDD
K8	VDD
K9	VDD
K10	VCCQ33
K11	PE1 / SSL03 / TRACEDATA1

表 1.5 端子配置 (196ピン FBGA) (4 / 5)

端子番号	端子名
K12	PE5 / TXD1 / MOSI0 / TRACEDATA5
K13	PE6 / IRQ6 / RXD1 / MISO0 / TRACEDATA6
K14	P70 / IRQ0 / RTS1# / USB_OVRCUR / TRACECLK
L1	VSS
L2	PM3 / CATSYNC0 / CATLATCH0
L3	USB_RREF
L4	P62 / SPBCLK
L5	VCCQ33
L6	PG2 / TOC0 / RSPCK1
L7	VDD
L8	PR1 / IRQ9 / CTS1#
L9	P27 / RTS0#
L10	VDD
L11	VCCQ33
L12	PS6 / IRQ14 / RXD2
L13	PE3 / IRQ3 / CTS1# / SSL01 / TRACEDATA3
L14	PE4 / RTS1# / SSL00 / TRACEDATA4
M1	PM2 / CATSYNC1 / CATLATCH1
M2	PM6 / IRQ6 / CATLINKACT0
M3	VSS_USB
M4	P60 / SPBSSL
M5	P64 / SPBMI/SPBIO1
M6	PG3 / TIC1 / MISO1
M7	PG5 / SSL10
M8	P21 / IRQ1 / CTS0#
M9	P26
M10	P44 / IRQ12 / CTS0#
M11	PS0
M12	P00 / TRACECTL
M13	PS7 / TXD2
M14	PE2 / IRQ2 / SSL02 / TRACEDATA2
N1	PM7 / CATLINKACT1
N2	PM5 / CATLEDSTER
N3	DVDD_USB
N4	P61 / SPBIO3 / CTXD1
N5	P63 / SPBMO/SPBIO0
N6	PG4 / TOC1 / MOSI1
N7	PG6 / SSL11
N8	P22 / IRQ2 / SCK0
N9	P20
N10	P42 / RXD0
N11	PS1 / IRQ1
N12	PS3
N13	PS5
N14	PE0 / TRACEDATA0
P1	VSS_USB

表 1.5 端子配置 (196 ピン FBGA) (5 / 5)

端子番号	端子名
P2	USB_DM
P3	USB_DP
P4	P66 / IRQ14 / CTXD1 / USB_VBUSEN
P5	P65 / SPBIO2
P6	PC6 / SCL1 / USB_VBUSIN
P7	PC7 / TIC0 / SDA1 / CRXD1
P8	P23 / TXD0
P9	P25
P10	P40 / TXD0
P11	P10 / IRQ0 / TRACECLK
P12	PS2
P13	PS4
P14	VSS

表 1.6 機能別端子一覧 (196ピンFBGA) (1/5)

ピン 番号	電源 クロック システム制御	I/O ポート	タイマ (CMTW)	通信			割り込み	その他 (抵抗を介してVSS に接続)
				(ESC)	(SPIBSC)	(SCIFA, RSPIa, RII Ca, RSCAN, USB)		
A1	VSS							
A2		PC2		ETH0_TXC				
A3		PJ2		ETH0_TXD1				
A4		PF7					IRQ7	
A5		PB5		ETH_MDIO				
A6		PB2		ETH1_RXC				
A7		PC1		ETH1_RXD3				
A8		PF5		ETH1_TXEN				
A9		PD6		ETH1_TXD2				
A10		P56						
A11		P51		PHYLINK1				
A12								IC0
A13								IC0
A14	VSS							
B1		PJ7		ETH0_RXD3				
B2		PJ4		ETH0_RXD0				
B3		PJ3		ETH0_TXD0				
B4		PJ1		ETH0_TXD2				
B5		PB6		ETH_MDC				
B6		PB1		ETH1_RXER				
B7		PB7		ETH1_RXD1				
B8		P87		ETH1_TXC				
B9		PD5		ETH1_TXD3				
B10		P53		ETH1_INT				
B11								IC0
B12								IC0
B13		P16						
B14		P97					IRQ7	
C1		P83		CATLINKACT0		TXD4	IRQ11	
C2		PJ5		ETH0_RXD1				
C3		PC3		ETH0_RXC				
C4		PJ0		ETH0_TXD3				
C5		PB4		ETH0_RXER / CATSYNC0 / CATLATCH0		RXD3		
C6		PB0		ETH1_RXDV				
C7		PF6		ETH1_RXD0				
C8		PD7		ETH1_TXD1				
C9		P54		CLKOUT25M1				
C10	VCCQ33							
C11	VCCQ33							
C12		P17		PHYRESETOUT#				
C13		P96						

表 1.6 機能別端子一覧 (196ピンFBGA) (2 / 5)

ピン 番号	電源 クロック システム制御	I/O ポート	タイマ (CMTW)	通信			割り込み	その他 (抵抗を介してVSS に接続)
				(ESC)	(SPIBSC)	(SCIFA, RSPIa, RIICa, RSCAN, USB)		
C14		P95				CTS2#	IRQ13	
D1		P84		CATLINKACT1		RXD4		
D2		P81		ETH0_RXER				
D3		PJ6		ETH0_RXD2				
D4	VCCQ33							
D5		PB3		PHYRESETOUT#		TXD3 / CTXD1	IRQ3	
D6		PC0		ETH1_RXD2				
D7		P86		ETH1_TXD0				
D8		P52		ETH0_INT				
D9		P50		PHYLINK0				
D10	VSS							
D11	VSS							
D12		PA7				RTS2#	IRQ7	
D13		P94				RTS2#	IRQ4	
D14		P12						
E1	TRST#							
E2		P85		CLKOUT25M0				
E3		P82		ETH0_TXEN				
E4		P80		ETH0_RXDV				
E5	VCCQ33							
E6	VDD							
E7	VDD							
E8	VDD							
E9	VDD							
E10	VCCQ33							
E11	VCCQ33							
E12		P90				TXD4		
E13		P92	TOC3			RXD2		
E14		P93	TIC3			SCK2		
F1	TDI	P34						
F2	TDO	P33						
F3	ERROROUT#							
F4		P35					NMI	
F5	PLLVD1							
F6	VDD							
F7	VSS							
F8	VSS							
F9	VSS							
F10	VDD							
F11		P91				TXD2		
F12		PA4		ETH1_INT		RXD2		
F13		PA5		ETH0_INT		TXD2		
F14		PA6				CTS2#	IRQ6	

表 1.6 機能別端子一覧 (196ピンFBGA) (3 / 5)

ピン 番号	電源 クロック システム制御	I/O ポート	タイマ (CMTW)	通信			割り込み	その他 (抵抗を介 してVSS に接続)
				(ESC)	(SPIBSC)	(SCIFA, RSPIa, RII Ca, RSCAN, USB)		
G1		PC4		CATI2CCLK				
G2		PC5		CATI2CDATA				
G3	TCK							
G4	TMS							
G5	PLL VSS1							
G6	VSS							
G7	VSS							
G8	VSS							
G9	VSS							
G10	VDD							
G11		PA3				SCK2		
G12	TRACEDATA5	P77				RSPCK0		
G13		PA2				SSL02		
G14	TRACEDATA7	PA1				MISO0		
H1	VCCQ33							
H2	BSCANP							
H3		PU7		CATIRQ				
H4								IC0
H5	PLL VDD0							
H6	VSS							
H7	VSS							
H8	VSS							
H9	VSS							
H10	VDD							
H11	TRACEDATA2	P74				CTS1# / SSL03		
H12	TRACEDATA3	P75				SSL00	IRQ13	
H13	TRACEDATA4	P76				SSL01		
H14	TRACEDATA6	PA0				MOSI0		
J1	EXTAL							
J2	VSS							
J3		PM1		CATLEDERR				
J4	RES#							
J5	PLL VSS0							
J6	VDD							
J7	VSS							
J8	VSS							
J9	VSS							
J10	VDD							
J11	TRACEDATA7	PE7				SCK1 / RSPCK0		
J12	TRACECTL	P71	TOC2			SCK1		
J13	TRACEDATA0	P72	TIC2			TXD1		
J14	TRACEDATA1	P73				RXD1	IRQ3	
K1	XTAL							

表 1.6 機能別端子一覧 (196ピンFBGA) (4 / 5)

ピン 番号	電源 クロック システム制御	I/O ポート	タイマ (CMTW)	通信			割り込み	その他 (抵抗を介してVSS に接続)
				(ESC)	(SPIBSC)	(SCIFA, RSPIa, RIICa, RSCAN, USB)		
K2	VSS							
K3		PM4		CATLEDRUN				
K4	RSTOUT#							
K5	VDD33_USB							
K6	VDD							
K7	VDD							
K8	VDD							
K9	VDD							
K10	VCCQ33							
K11	TRACEDATA1	PE1				SSL03		
K12	TRACEDATA5	PE5				TXD1 / MOSI0		
K13	TRACEDATA6	PE6				RXD1 / MISO0	IRQ6	
K14	TRACECLK	P70				RTS1# / USB_OVRCUR	IRQ0	
L1	VSS							
L2		PM3		CATSYNCO / CATLATCH0				
L3	USB_RREF							
L4		P62			SPBCLK			
L5	VCCQ33							
L6		PG2	TOC0			RSPCK1		
L7	VDD							
L8		PR1				CTS1#	IRQ9	
L9		P27				RTS0#		
L10	VDD							
L11	VCCQ33							
L12		PS6				RXD2	IRQ14	
L13	TRACEDATA3	PE3				CTS1# / SSL01	IRQ3	
L14	TRACEDATA4	PE4				RTS1# / SSL00		
M1		PM2		CATSYNCO1 / CATLATCH1				
M2		PM6		CATLINKACT0			IRQ6	
M3	VSS_USB							
M4		P60			SPBSSL			
M5		P64			SPBBI/ SPBIO1			
M6		PG3	TIC1			MISO1		
M7		PG5				SSL10		
M8		P21				CTS0#	IRQ1	
M9		P26						
M10		P44				CTS0#	IRQ12	
M11		PS0						
M12	TRACECTL	P00						
M13		PS7				TXD2		

表 1.6 機能別端子一覧 (196ピンFBGA) (5 / 5)

ピン 番号	電源 クロック システム制御	I/O ポート	タイマ (CMTW)	通信			割り込み	その他 (抵抗を介 してVSS に接続)
				(ESC)	(SPIBSC)	(SCIFA, RSPIa, RII Ca, RSCAN, USB)		
M14	TRACEDATA2	PE2				SSL02	IRQ2	
N1		PM7		CATLINKACT1				
N2		PM5		CATLEDSTER				
N3	DVDD_USB							
N4		P61		CTXD1	SPBIO3			
N5		P63			SPBMO/ SPBIO0			
N6		PG4	TOC1			MOSI1		
N7		PG6				SSL11		
N8		P22				SCK0	IRQ2	
N9		P20						
N10		P42				RXD0		
N11		PS1					IRQ1	
N12		PS3						
N13		PS5						
N14	TRACEDATA0	PE0						
P1	VSS_USB							
P2	USB_DM							
P3	USB_DP							
P4		P66		CTXD1		USB_VBUSEN	IRQ14	
P5		P65			SPBIO2			
P6		PC6		USB_VBUSIN		SCL1		
P7		PC7	TIC0			SDA1 / CRXD1		
P8		P23				TXD0		
P9		P25						
P10		P40				TXD0		
P11	TRACECLK	P10					IRQ0	
P12		PS2						
P13		PS4						
P14	VSS							

2. CPU

本 LSI には Cortex-R4 が搭載されています。モジュールのリビジョンは r1p4 (Cortex-R4) です。

2.1 概要

表 2.1 CPU の仕様

	項目	内容
Cortex-R4 (r1p4)	最小命令実行時間	1 命令 1 クロック
	アドレス空間	4G バイト
	命令キャッシュサイズ	8K バイト (ECC 付き)
	データキャッシュサイズ	8K バイト (ECC 付き)
	密結合メモリ (TCM) サイズ	ATCM : 512K バイト (ECC 付き) BTCM : 32K バイト (ECC 付き)
	命令セット	Thumb®/Thumb-2 をサポートする Arm v7-R アーキテクチャ
	データ配置	命令 : リトルエンディアン データ : リトルエンディアン
	メモリ保護	メモリプロテクションユニット (MPU)
	FPU	<ul style="list-style-type: none"> 単精度および倍精度の加算、減算、乗算、除算、積和演算、平方根演算をサポート 32 ビットシングルワードレジスタ : 32 ビット × 32 本 16 本のダブルワードレジスタとしても使用可能 : 64 ビット × 16 本

詳細は、Arm 社より提供される以下のドキュメントを参照してください。

- Arm Architecture Reference Manual Arm v7-A and Arm v7-R edition Issue C
- Arm v7-M Architecture Reference Manual

2.2 コンフィギュレーション情報

表 2.2 に本 LSI の Cortex-R4 に関する構成情報を示します。

表 2.2 Cortex-R4の構成信号設定値

	項目	設定値
エンディアン	CFGEE	0
	CFGIE	0
割り込み	CFGNMFI	1
例外ベクタ	TEINIT	0
	VINITHI	1
TCM構成	INITRAMA	1
	INITRAMB	1
	LOCZRAMA	1
	CFGATCMSZ[3:0]	Ah
	CFGBTCMSZ[3:0]	6h
	ENTCM1IF	0
	SLBTCMSB	1 (don't care)
ECC等	PARECCENRAM[2:0]	000b
	ERRENRAM[2:0]	000b
	RMWENRAM[1:0]	00b
	PARLVRAM	0 (don't care)

2.3 CPU 制限事項

本 LSI に搭載している Cortex-R4 の制限事項の詳細については、Arm 社ホームページにて公開されている情報を参照してください。

2.4 レジスタ説明

2.4.1 ATCM ウェイト制御レジスタ (SYTATCMWAIT)

SYTATCMWAIT レジスタは、ATCM のアクセスウェイトを制御するレジスタです。

このレジスタはレジスタライトプロテクションの対象レジスタです。レジスタに書き込みを行う場合は、プロテクトレジスタ (PRCR) のビット 3 の書き込み保護を解除してください。詳細については「11. レジスタライトプロテクション機能」を参照してください。

アドレス A00B 0800h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ATCMWAIT[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	ATCMWAIT[1:0]	ATCMウェイト設定ビット (注1)	b1 b0 0 0 : 設定禁止 0 1 : 1-wait 1 0 : 0-wait 1 1 : 設定禁止	R/W
b31-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1. ATCMWAIT[1:0]ビットの値が変化したときに、CPUなどバスマスタからATCMのアクセス（命令フェッチを含む）が行われた場合の動作を保証できません。CPUからのフェッチアクセスを防ぐため、本ビットを操作するときは必ずATCM以外のメモリ領域に配置されたプログラムから操作するようにしてください。

ATCMWAIT[1:0] ビット (ATCM ウェイト設定ビット)

ATCM のメモリアクセスウェイト数を指定するビットです。

0-wait に設定することで、ウェイトなしで高速アクセスすることが可能です。

3. 動作モード

3.1 概要

本 LSI は、外付けシリアル・フラッシュメモリからの起動を前提としており、シリアル・フラッシュメモリに対応した動作モードとして SPI ブートモードを設定可能です。SPI ブートモードでは対応する外付けシリアル・フラッシュメモリに格納されたユーザプログラムからブートして動作することが可能です。

3.2 動作モードの種類

外付けシリアル・フラッシュメモリへの接続方式により 1 種類の動作モードが使用可能です。

動作モードの種類を表 3.1 に示します。動作モードの詳細は「3.4 動作モードの説明」を参照してください。

表 3.1 動作モードの種類

動作モード	説明
SPI ブートモード (シリアル・フラッシュ)	SPI マルチ I/O バス空間に接続されたシリアル・フラッシュメモリからブートします。

3.3 SPI ブートモードで使用するハードウェアの情報

SPI ブートモードで使用するハードウェアの情報を表 3.2 に示します。

“使用端子”は SPI ブートモードの実行に必要な端子です。これらの端子機能は、ブート時に自動設定されます。

表 3.2 SPI ブートモードで使用するハードウェアの情報

動作モード	周辺モジュール	使用端子
SPI ブートモード (シリアル・フラッシュ)	SPI マルチ I/O バスコントローラ (SPIBSC)	SPBCLK、SPBSSL SPBMO、SPBMI

3.4 動作モードの説明

3.4.1 ブート機能

本 LSI はリセット解除後、ブート機能により以下のブート処理を行います。ブート処理によりあらかじめユーザが外部接続メモリに格納したローダプログラムを内蔵メモリである密結合メモリ（TCM）領域へ展開し、処理をローダプログラムの先頭番地へ移すことが可能です。

- (1) バスコントローラ（SPIBSC）の設定
- (2) 外部接続されたメモリからローダ用パラメータを読み出し、チェックサム実行
- (3) バスコントローラ（SPIBSC）の高速化設定（ローダ用パラメータで指定）
- (4) 外部接続されたメモリからローダプログラムを読み出し
- (5) 密結合メモリ（TCM）に展開されたローダプログラムの先頭番地に分岐

ローダ用パラメータは、ローダプログラムや、ブート処理高速化のためのキャッシュ設定やバスコントローラ（SPIBSC）設定など、ユーザシステムに合わせた設定情報を持たせることが可能です。ローダ用パラメータはあらかじめユーザが外部接続メモリに格納する必要があります。

図 3.1 にブート処理の動作概要を示します。

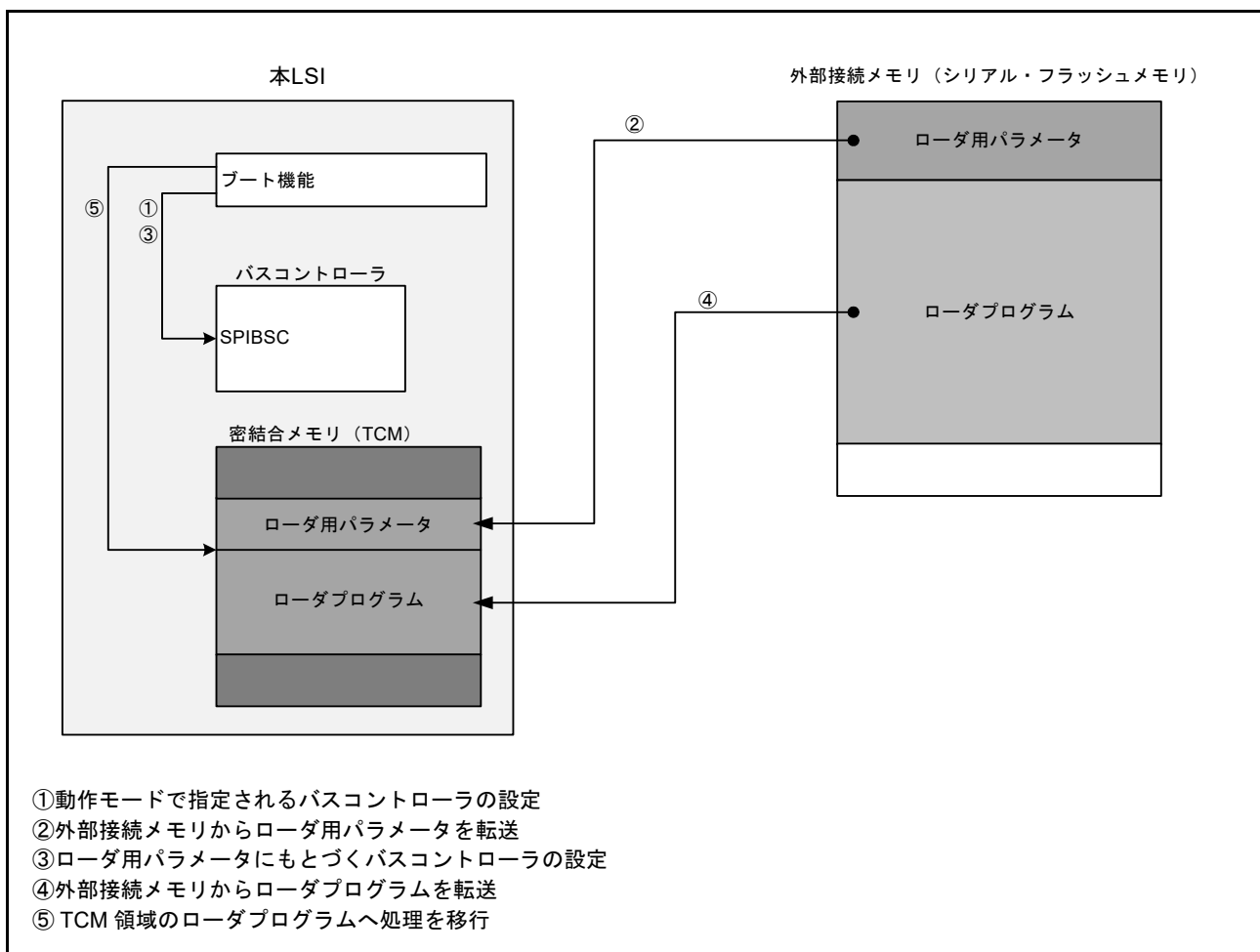


図 3.1 ブート処理の動作概要

3.4.2 ローダ用パラメータ

ローダ用パラメータはブート処理用の設定パラメータで、ブート処理時に外部接続メモリから読み出されてブート機能で使用されます。ローダ用パラメータには各動作モードにおけるブート処理時のキャッシュ設定や、外部メモリ通信用バスコントローラ（SPIBSC）の設定、ローダプログラムサイズ情報などを設定します。

図 3.2 にローダ用パラメータおよびローダプログラムのメモリ配置を示します。

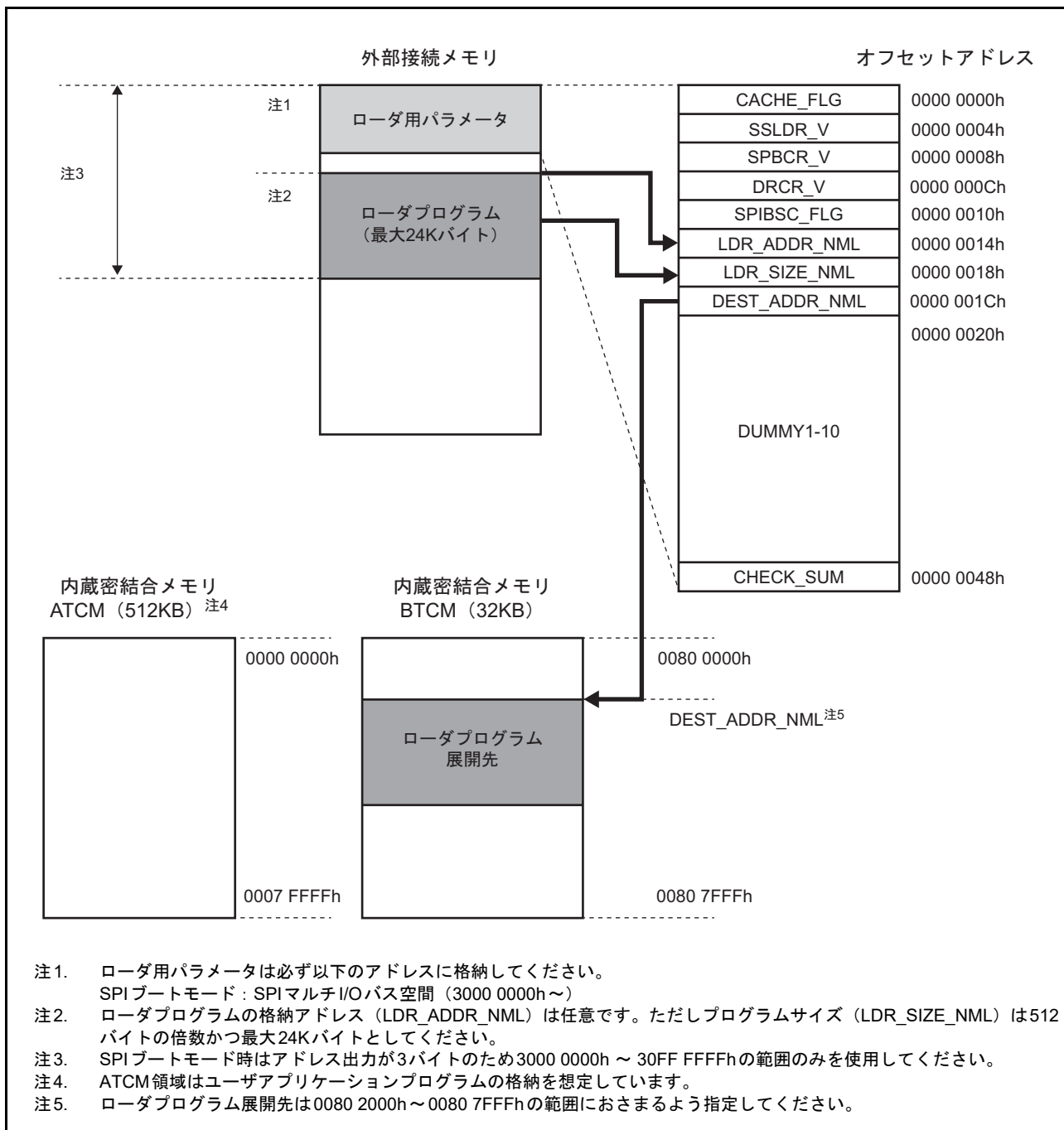


図 3.2 ローダ用パラメータ、ローダプログラムのメモリ配置

表 3.3 に SPI ブートモード時のローダ用パラメータ情報について示します。

表3.3 SPIブートモード時のローダ用パラメータ情報

オフセット・アドレス	パラメータ名	内容
0000 0000h	CACHE_FLG	ブート処理時に、Cortex-R4のI1キャッシュとD1キャッシュをイネーブルにするか選択します（高速化）。 0000 0001h：I1、D1キャッシュをイネーブルにします。 上記以外の設定値：I1、D1キャッシュはディセーブルです。
0000 0004h	SSLDR_V	SSL遅延レジスタ（SSLDR）の設定値 「3.4.1 ブート機能」の（3）にてSPIBSCの高速化設定の際に、このパラメータ値がSSLDRレジスタに設定されます。（注1）
0000 0008h	SPBCR_V	ビットレート設定レジスタ（SPBCR）の設定値 「3.4.1 ブート機能」の（3）にてSPIBSCの高速化設定の際に、このパラメータ値がSPBCRレジスタに設定されます。（注1）
0000 000Ch	DRCR_V	データリードコントロールレジスタ（DRCR）の設定値 「3.4.1 ブート機能」の（3）にてSPIBSCの高速化設定の際に、このパラメータ値がDRCRレジスタに設定されます。（注1）
0000 0010h	SPIBSC_FLG	ブート処理終了後に、SPIBSC設定を初期値に戻すかどうかを選択します。 2236 0679h：ブート処理終了後に、SPIBSC設定値を初期値に戻します。 上記以外の設定値：ブート処理で使用したSPIBSC設定値を保持します。 （注2）
0000 0014h	LDR_ADDR_NML	外部接続メモリ内に格納されたローダプログラムの先頭アドレスを設定します。 （注3）
0000 0018h	LDR_SIZE_NML	ローダプログラムのプログラムサイズを指定します。プログラムサイズは512バイトの倍数かつ、最大24Kバイトとしてください。（注3）
0000 001Ch	DEST_ADDR_NML	ローダプログラムの展開先である密結合メモリ（BTCM）の先頭アドレスを設定します。ローダプログラム展開先は0080 2000h～0080 7FFFhの範囲におさまるよう指定してください。
0000 0020h	DUMMY1	任意（本モードでは使用されません。）
0000 0024h	DUMMY2	任意（本モードでは使用されません。）
0000 0028h	DUMMY3	任意（本モードでは使用されません。）
0000 002Ch	DUMMY4	任意（本モードでは使用されません。）
0000 0030h	DUMMY5	任意（本モードでは使用されません。）
0000 0034h	DUMMY6	任意（本モードでは使用されません。）
0000 0038h	DUMMY7	任意（本モードでは使用されません。）
0000 003Ch	DUMMY8	任意（本モードでは使用されません。）
0000 0040h	DUMMY9	任意（本モードでは使用されません。）
0000 0044h	DUMMY10	任意（本モードでは使用されません。）
0000 0048h	CHECK_SUM	ローダ用パラメータのチェックサム値 オフセットアドレス 0000h～0044hの各パラメータ値を上位16ビットと下位16ビットに分けて、unsigned long（32ビット）型で合計した値を指定します （注4）。

注1. SSLDR、SPBCR、DRCRレジスタの詳細は「29. SPI マルチI/O バスコントローラ（SPIBSC）」を参照してください。

注2. ブート処理終了後の各周辺モジュールの設定状態については、「3.4.4.1 SPIブートモードにおける動作設定」を参照してください。

注3. LDR_ADDR_NMLは外部アドレス空間（SPI）内の3000 004Ch以上、かつLDR_ADDR_NML+LDR_SIZE_NML ≤ 3100 0000hにおさめてください。

注4. CHECK_SUMの計算例を以下に示します。

SSLDR_V = 0007 0707h,

SPBCR_V = 0000 0003h,

LDR_ADDR_NML = 3000 004Ch,

LDR_SIZE_NML = 0000 6000h,

DEST_ADDR_NML = 0080 2000h,

上記以外 = 0000 0000hの場合、CHECK_SUMは以下のように計算します。

（以下では(0000h)は省略します）

CHECK_SUM = (0007h)+(0707h)+(0003h)+(3000h)+(004Ch)+(6000h)+(0080h)+(2000h) = (0000 B7DDh)

3.4.3 ローダプログラム

ローダプログラムはブート機能により外部接続メモリから内部の密結合メモリ（TCM）へ転送され、ブート処理終了後に処理を開始するユーザプログラムです。外部接続メモリからユーザアプリケーションプログラムを内部 TCM 領域へ展開し高速実行するなど、ユーザシステムに応じた処理を行うことが可能です。

ローダプログラムは必ず以下になるよう設定してください。

- プログラムサイズ（LDR_SIZE_NML）：512 バイトの倍数、かつ最大 24K バイト
- SPI ブートモード時の外部メモリ内の格納アドレス（LDR_ADDR_NML）：3000 004Ch 以上、かつ $LDR_ADDR_NML + LDR_SIZE_NML \leq 3100\ 0000h$ のアドレス範囲

この設定値はローダ用パラメータとして同じく外部接続メモリに格納する必要があります。詳細は「3.4.2 ローダ用パラメータ」を参照してください。

3.4.4 SPI ブートモード（シリアル・フラッシュ）

SPI ブートモードは、SPI マルチ I/O バス空間に接続された外付けシリアル・フラッシュメモリからブートします。

本モードでは SPI マルチ I/O バスコントローラが外部アドレス空間リードモードに設定され、SPBCLK、SPBSSL、SPBMO、SPBMO の端子機能が有効となります。

リセット解除後、ブート処理を実行して SPI マルチ I/O バス空間に接続されたシリアル・フラッシュメモリに格納されているローダプログラムを内蔵メモリ（TCM）へ展開して処理を実行します。

図 3.3 にシリアル・フラッシュメモリとの接続図を示します。

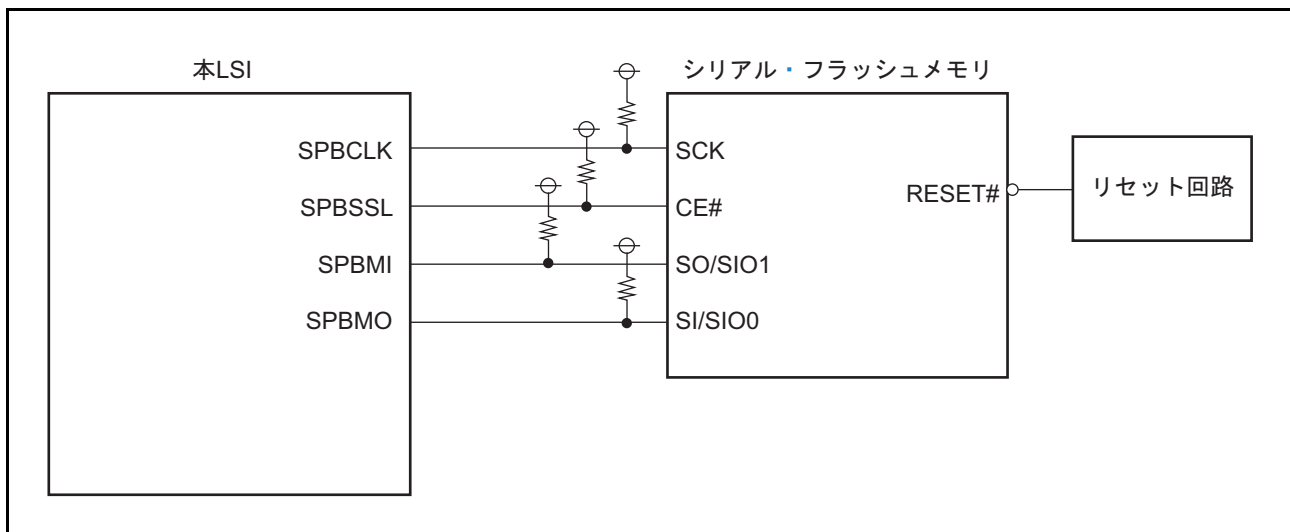


図 3.3 シリアル・フラッシュメモリとの接続図

3.4.4.1 SPI ブートモードにおける動作設定

リセット解除後に SPI ブートモードでブート処理を開始した直後は、以下の初期設定値で動作しローダ用パラメータの転送までを行います。

- CPU クロック (CPUCLK) : 150MHz
- SPIBSC ビットレート (SPBCLK) : 18.75MHz
- 対応コマンド : Read (03h)
- アドレス出力 : 3 バイト
- ダミーサイクル : なし
- データリード幅 : 1 ビット
- SPI モード : CPOL = 0 (正パルス)、
CPHAR = 0 (奇数エッジでデータ受信)、
CPHAT = 0 (偶数エッジでデータ送信)

ローダ用パラメータ読み込み後は、パラメータ CACHE_FLG、SSLDR_V、SPBCR_V、DRCCR_V の値にもとづき Cortex-R4 の I1 キャッシュ、D1 キャッシュ設定と SSLDR、SPBCR、DRCCR レジスタの設定が行われ、処理の高速化を図ることが可能です。

SPI ブートモード終了時の各周辺モジュール/レジスタの設定値について表 3.4 に示します。

また、表 3.5 にブート処理終了時の Arm 汎用レジスタ設定値を、表 3.6 にブート終了時の Arm CP15 レジスタの状態を示します。

表3.4 SPIブートモード終了時の各周辺モジュール/レジスタの設定値

周辺モジュール	レジスタ	ブート処理終了時の設定値	
		SPIBSC を初期化設定 (SPIBSC_FLG = 2236 0679h)	SPIBSC を初期化しない設定 (SPIBSC_FLG ≠ 2236 0679h)
低消費電力	MSTPCRC	0000 7DFEh (初期値)	0000 7DFEh
SPIBSC	SSLDR	0007 0707h (初期値)	SSLDR_V の設定値
	SPBCR	0000 0003h (初期値)	SPBCR_V の設定値
	DRCCR	0000 0000h (初期値)	DRCCR_V の設定値
I/Oポート	PORT6.PMR	1Dh (注1)	1Dh (注1)
	MPC.PmnPFS	1Bh (注1)	1Bh (注1)

注1. SPBCLK、SPBSSL、SPBBI、SPBMO 端子の対応ビット

表3.5 ブート処理終了時のArm汎用レジスタ設定値

No.	レジスタ名	各プロセッサモードにおける設定値					
		ユーザモード/現在のモード	IRQ	FIQ	Undef	Abort	SVC
1	R0	不定値	—	—	—	—	—
2	R1	不定値	—	—	—	—	—
3	R2	不定値	—	—	—	—	—
4	R3	不定値	—	—	—	—	—
5	R4	不定値	—	—	—	—	—
6	R5	不定値	—	—	—	—	—
7	R6	不定値	—	—	—	—	—
8	R7	不定値	—	—	—	—	—
9	R8	不定値	—	不定値	—	—	—
10	R9	不定値	—	不定値	—	—	—
11	R10	不定値	—	不定値	—	—	—
12	R11	不定値	—	不定値	—	—	—
13	R12	不定値	—	不定値	—	—	—
14	R13(sp)	不定値	不定値	不定値	不定値	不定値	不定値
15	R14(lr)	不定値	不定値	不定値	不定値	不定値	不定値
16	R15(pc)	任意	—	—	—	—	—
17	cpsr	xxxx xx93h ([31:8]は不定値) [7]I = 1 [6]F = 0 (注1) [5]T = 0 [4:0]MD = 10011b(SVC)	—	—	—	—	—
18	spsr	—	不定値	不定値	不定値	不定値	不定値

— : 存在しないレジスタ

sp : スタックポインタ

lr : リンクレジスタ (サブルーチンコールを呼び出す時に復帰アドレスを格納)

pc : プログラムカウンタ

cpsr : current program status register の略。内部動作のモニタ/制御

spsr : saved program status register の略。前のモードの cpsr を保存

注1. 本製品ではノンマスカブル割り込みがFIQに割り当ててあります。ブート処理終了後にノンマスカブル割り込みを有効とするためブート処理内でCPSRレジスタの[6]Fビットを1⇒0に設定します。

注. ブート処理内でCPSRレジスタの[6]Fビット=0に設定後、ローダプログラムへの分岐までにノンマスカブル割り込み (FIQ例外) が発生した場合には、FIQ例外ハンドラアドレスへ分岐後に無限ループします。詳細については「3.4.7 注意事項」を参照してください。

表3.6 ブート終了時のArm CP15レジスタの状態

レジスタ名	シンボル	ブート終了時の設定値	備考
システム制御レジスタ	SCTLR	09E5 2878h (注1)	[24]VE = 1 : IRQ例外ベクタアドレスをVICで設定
システム制御補助レジスタ	ACTLR	0E00 0020h (ATCM, BTCM使用時)	TCMはECCイネーブル ATCM, BTCMの全領域は、ブート処理時に32 ビットで書き込み処理され初期化されます。
Invalidate all Instruction Caches Register	—	—	ブート処理終了後もI1キャッシュエントリは無 効化しません。
Invalidate all Data Caches Register	—	—	ブート処理終了後もD1キャッシュエントリは無 効化しません。
MPU Memory Region Number Register	RGNR	0000 0000h	ローダ用パラメータでキャッシュを有効とした 場合でも、MPU設定はすべて初期化します。
Data Region Base Address Register	DRBAR	0000 0000h	
Data Region Size and Enable Register	DRSR	0000 0000h	
Data Region Access Control Register	DRACR	0000 0000h	

注1. ブート処理終了時はV[13] = 1のハイベクタ (FFFF 0000h) 状態です。ローダプログラムで、ロウベクタ (0000 0000h) に適切な処理を書き込んだ後に、V[13] = 0のロウベクタ (0000 0000h) 状態に変更してください。

3.4.5 MPU 設定

ブート機能では、ローダ用パラメータ CACHE_FLG = 0000 0001h と設定されていた場合、Cortex-R4 の一次命令 (I1) キャッシュと、一次データ (D1) キャッシュを使用します。

ただしブート機能で使用するブート専用領域 (FFFF 0000h ~ FFFF 7FFFh) は Cortex-R4 のデフォルトメモリマップで非キャッシュ領域とされているため、ブート処理時に MPU (メモリ保護ユニット) でキャッシュ領域に再定義がされます。

ブート機能では、ハイベクタ領域 (FFFF 0000h ~ FFFF 7FFFh) を Region0 のキャッシュ領域として定義し、その他の領域はデフォルトメモリマップで使用します。

ブート処理終了時には、I1 キャッシュ、D1 キャッシュを無効化し、全領域をデフォルトメモリマップに初期化します。

図 3.4 にブート処理中のメモリマップ定義と Cortex-R4 のデフォルトメモリマップの関係を示します。

Address Map	MPU Setting	Default Memory Map				
		Cache ON		Cache OFF		
		Instruction	Data	Instruction	Data	
0000 0000h 0008 0000h	ATCM	0000 0000h	Normal, Cacheable, Non-shared	Normal, WBWA Cacheable, Non-shared	Normal, Non-cacheable, Non-shared	Normal, Non-cacheable, Shared
0080 0000h 0080 8000h	BTCM					
3000 0000h 3400 0000h	SPIマルチI/Oバス空間 ミラー領域					
		4000 0000h	Normal, Cacheable, Non-shared	Normal, WT Cacheable, Non-shared	Normal, Non-cacheable, Non-shared	Normal, Non-cacheable, Shared
		6000 0000h	Normal, Cacheable, Non-shared	Normal, Non-cacheable, Shared	Normal, Non-cacheable, Non-shared	Normal, Non-cacheable, Shared
		8000 0000h	-	Non-shared Device	-	Non-shared Device
A000 0000h A010 0000h	周辺モジュール	A000 0000h	-	Shared Device	-	Shared Device
		C000 0000h	-	Strongly-ordered	-	Strongly-ordered
		F000 0000h	Normal, Non-cacheable, only if HIVECS is TRUE	Strongly-ordered		
FFFF 0000h	ブート専用領域	[Region 0]	Normal, Cacheable, Non-shared		Normal, Non-cacheable, only if HIVECS is TRUE	Strongly-ordered
FFFF 7FFFh						

注. SCTLR[17] BR = 1に設定されるため、Regionを定義していない領域はデフォルトメモリマップが適用されます。

図 3.4 ブート処理中のメモリマップ定義と Cortex-R4 のデフォルトメモリマップの関係

3.4.6 ブート関連情報とエラー処理

ブート機能はブート処理が正常終了したかどうかを判定し、ブート処理結果として特定アドレスに保持します。エラーと判定された場合はブート処理を中断し、無限ループ処理を実行します。

デバッガを接続しブレーク中に特定アドレスに格納されたブート処理結果を読み出すことで、エラー要因を特定することが可能です。

表 3.7 にエラー要因とブート処理結果の一覧を示します。

表 3.7 エラー要因とブート処理結果一覧

格納アドレス (注1)	格納値 (注1)	エラー要因とブート処理結果
0080 09C4h	0	ブート処理は正常終了
	-2	ローダ用パラメータチェックサムエラー ローダ用パラメータのチェックサム (CHECK_SUM) が一致しない場合
	-3	ローダ用パラメータエラー 以下のいずれかの場合 <ul style="list-style-type: none"> -ローダプログラムサイズが512バイト未満 -ローダプログラムサイズが24Kバイトを超える -ローダプログラムサイズが512バイトの倍数でない -ローダプログラムの転送先アドレスが、転送先のTCM領域外

注1. アクセスサイズは32ビットです。

3.4.7 注意事項

3.4.7.1 例外処理

ブート処理中は RES# 端子リセットによるリセット例外のみが受け付け可能です。リセット例外が発生すると本 LSI はリセットされ、ブート処理を再開します。リセット例外以外の例外処理が発生した場合、発生した例外ハンドラアドレスへのジャンプ命令による無限ループ処理を繰り返します。

表 3.8 ブート処理中の例外処理内容

例外	ハンドラアドレス	ブート処理中の動作
リセット例外	FFFF 0000h	リセット例外ハンドラへ分岐
未定義命令例外	FFFF 0004h	未定義命令例外ハンドラへ分岐（無限ループ）
ソフトウェア割り込み例外	FFFF 0008h	ソフトウェア割り込み例外ハンドラへ分岐（無限ループ）
プリフェッチアポート例外	FFFF 000Ch	プリフェッチアポート例外ハンドラへ分岐（無限ループ）
データアポート例外	FFFF 0010h	データアポート例外ハンドラへ分岐（無限ループ）
IRQ 例外	FFFF 0018h	IRQ 例外ハンドラへ分岐（無限ループ）
FIQ 例外	FFFF 001Ch	FIQ 例外ハンドラへ分岐（無限ループ）

注. ブート処理中終了までは SCTL V[13]=1 のハイベクタ (FFFF 0000h) 状態です。ローダプログラムで、ロウベクタ (0000 0000h) に適切な処理を書き込んだ後に、V[13]=0 のロウベクタ (0000 0000h) 状態に変更してください。

3.4.7.2 SPI ブートモード使用時のシリアル・フラッシュについて

SPI ブートモードでは、リセット解除後に「3.4.4.1 SPI ブートモードにおける動作設定」に示す初期設定値で SPI マルチ I/O バスコントローラ (SPIBSC) を介してシリアル・フラッシュに対し読み出しを行いブートします。

ブート終了後に SPIBSC 経由でシリアル・フラッシュの設定を変更することが可能ですが、設定によってはリセットにより再度ブートする際にシリアル・フラッシュからの読み出しが行えない場合があるため注意が必要です。

本 LSI の RES# 端子リセット入力が発生する場合は、同じリセット信号をシリアル・フラッシュのリセット端子に入力することでシリアル・フラッシュの初期化が可能です。このためシリアル・フラッシュにはリセット端子を備えている製品を推奨します。ただし、小ピンのシリアル・フラッシュにはリセット端子と他の端子機能を兼用している場合もあるため、設定変更によりリセット端子が無効にならないよう注意が必要です。

また、ソフトウェアリセットや ECM リセットなどの内部リセットを発生させる場合には、あらかじめソフトウェアにてシリアル・フラッシュがブート処理時に接続可能な設定に初期化する必要があります。

4. アドレス空間

4.1 アドレス空間

アドレス空間は、0000 0000h 番地から FFFF FFFFh 番地までの 4G バイトあります。プログラム領域およびデータ領域合計最大 4G バイトをリニアにアクセス可能です。

図 4.1 に各バスマスタのメモリマップを示します。

アクセスできる領域は動作モードや各制御ビットの状態によって違います。

また、本製品では、各バスマスタからの非キャッシュアクセス領域を同じ領域に割り当てるため、Cortex-R4 からのアクセスは、ミラー領域をキャッシュ有効領域としています。ミラー領域以外に対しては、MPU でキャッシュを有効にしないでください。

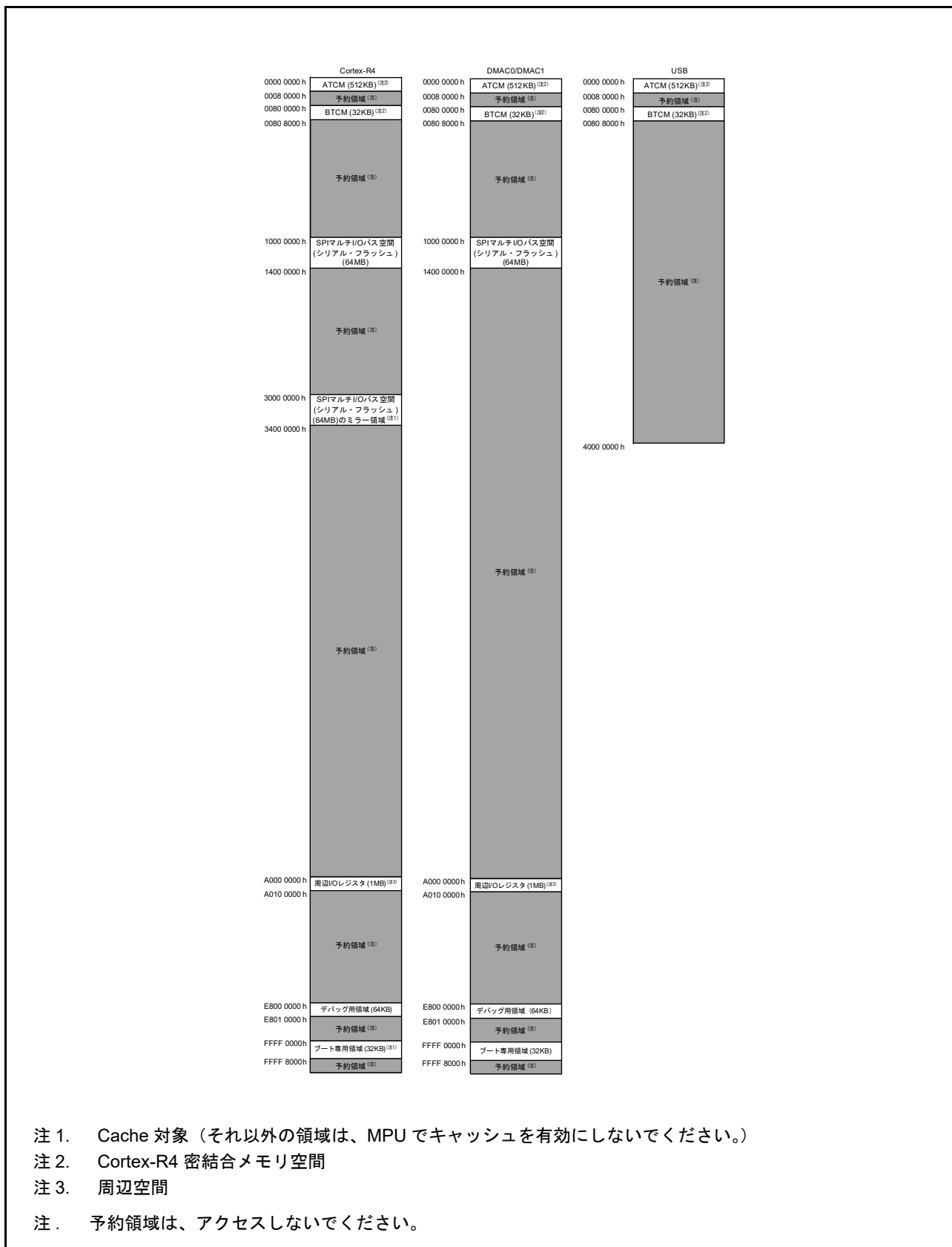


図 4.1 メモリマップ

5. I/O レジスタ

I/O レジスタ一覧では、内蔵レジスタのアドレスに関する情報をまとめています。表記方法は以下のとおりです。

(1) I/O レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載しています。
- モジュールシンボルによる分類をしています。
- 内部 I/O レジスタの領域で、レジスタ一覧に記載のないアドレスの領域は、予約領域です。予約領域のアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

5.1 I/O レジスタアドレス一覧（アドレス順）

表5.1 I/O レジスタアドレス一覧 (1 / 56)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A000 0000h	PORT0	ポート方向レジスタ	PDR	16	16
A000 0002h	PORT1	ポート方向レジスタ	PDR	16	16
A000 0004h	PORT2	ポート方向レジスタ	PDR	16	16
A000 0006h	PORT3	ポート方向レジスタ	PDR	16	16
A000 0008h	PORT4	ポート方向レジスタ	PDR	16	16
A000 000Ah	PORT5	ポート方向レジスタ	PDR	16	16
A000 000Ch	PORT6	ポート方向レジスタ	PDR	16	16
A000 000Eh	PORT7	ポート方向レジスタ	PDR	16	16
A000 0010h	PORT8	ポート方向レジスタ	PDR	16	16
A000 0012h	PORT9	ポート方向レジスタ	PDR	16	16
A000 0014h	PORTA	ポート方向レジスタ	PDR	16	16
A000 0016h	PORTB	ポート方向レジスタ	PDR	16	16
A000 0018h	PORTC	ポート方向レジスタ	PDR	16	16
A000 001Ah	PORTD	ポート方向レジスタ	PDR	16	16
A000 001Ch	PORTE	ポート方向レジスタ	PDR	16	16
A000 001Eh	PORTF	ポート方向レジスタ	PDR	16	16
A000 0020h	PORTG	ポート方向レジスタ	PDR	16	16
A000 0024h	PORTJ	ポート方向レジスタ	PDR	16	16
A000 002Ah	PORTM	ポート方向レジスタ	PDR	16	16
A000 0030h	PORTR	ポート方向レジスタ	PDR	16	16
A000 0032h	PORTS	ポート方向レジスタ	PDR	16	16
A000 0036h	PORTU	ポート方向レジスタ	PDR	16	16
A000 0040h	PORT0	ポート出力データレジスタ	PODR	8	8
A000 0041h	PORT1	ポート出力データレジスタ	PODR	8	8
A000 0042h	PORT2	ポート出力データレジスタ	PODR	8	8
A000 0043h	PORT3	ポート出力データレジスタ	PODR	8	8
A000 0044h	PORT4	ポート出力データレジスタ	PODR	8	8
A000 0045h	PORT5	ポート出力データレジスタ	PODR	8	8
A000 0046h	PORT6	ポート出力データレジスタ	PODR	8	8
A000 0047h	PORT7	ポート出力データレジスタ	PODR	8	8
A000 0048h	PORT8	ポート出力データレジスタ	PODR	8	8
A000 0049h	PORT9	ポート出力データレジスタ	PODR	8	8
A000 004Ah	PORTA	ポート出力データレジスタ	PODR	8	8
A000 004Bh	PORTB	ポート出力データレジスタ	PODR	8	8
A000 004Ch	PORTC	ポート出力データレジスタ	PODR	8	8
A000 004Dh	PORTD	ポート出力データレジスタ	PODR	8	8
A000 004Eh	PORTE	ポート出力データレジスタ	PODR	8	8
A000 004Fh	PORTF	ポート出力データレジスタ	PODR	8	8
A000 0050h	PORTG	ポート出力データレジスタ	PODR	8	8
A000 0052h	PORTJ	ポート出力データレジスタ	PODR	8	8
A000 0055h	PORTM	ポート出力データレジスタ	PODR	8	8
A000 0058h	PORTR	ポート出力データレジスタ	PODR	8	8
A000 0059h	PORTS	ポート出力データレジスタ	PODR	8	8
A000 005Bh	PORTU	ポート出力データレジスタ	PODR	8	8
A000 0060h	PORT0	ポート入力データレジスタ	PIDR	8	8
A000 0061h	PORT1	ポート入力データレジスタ	PIDR	8	8

表5.1 I/O レジスタアドレス一覧 (2 / 56)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A000 0062h	PORT2	ポート入力データレジスタ	PIDR	8	8
A000 0063h	PORT3	ポート入力データレジスタ	PIDR	8	8
A000 0064h	PORT4	ポート入力データレジスタ	PIDR	8	8
A000 0065h	PORT5	ポート入力データレジスタ	PIDR	8	8
A000 0066h	PORT6	ポート入力データレジスタ	PIDR	8	8
A000 0067h	PORT7	ポート入力データレジスタ	PIDR	8	8
A000 0068h	PORT8	ポート入力データレジスタ	PIDR	8	8
A000 0069h	PORT9	ポート入力データレジスタ	PIDR	8	8
A000 006Ah	PORTA	ポート入力データレジスタ	PIDR	8	8
A000 006Bh	PORTB	ポート入力データレジスタ	PIDR	8	8
A000 006Ch	PORTC	ポート入力データレジスタ	PIDR	8	8
A000 006Dh	PORTD	ポート入力データレジスタ	PIDR	8	8
A000 006Eh	PORTE	ポート入力データレジスタ	PIDR	8	8
A000 006Fh	PORTF	ポート入力データレジスタ	PIDR	8	8
A000 0070h	PORTG	ポート入力データレジスタ	PIDR	8	8
A000 0072h	PORTJ	ポート入力データレジスタ	PIDR	8	8
A000 0075h	PORTM	ポート入力データレジスタ	PIDR	8	8
A000 0078h	PORTR	ポート入力データレジスタ	PIDR	8	8
A000 0079h	PORTS	ポート入力データレジスタ	PIDR	8	8
A000 007Bh	PORTU	ポート入力データレジスタ	PIDR	8	8
A000 0080h	PORT0	ポートモードレジスタ	PMR	8	8
A000 0081h	PORT1	ポートモードレジスタ	PMR	8	8
A000 0082h	PORT2	ポートモードレジスタ	PMR	8	8
A000 0083h	PORT3	ポートモードレジスタ	PMR	8	8
A000 0084h	PORT4	ポートモードレジスタ	PMR	8	8
A000 0085h	PORT5	ポートモードレジスタ	PMR	8	8
A000 0086h	PORT6	ポートモードレジスタ	PMR	8	8
A000 0087h	PORT7	ポートモードレジスタ	PMR	8	8
A000 0088h	PORT8	ポートモードレジスタ	PMR	8	8
A000 0089h	PORT9	ポートモードレジスタ	PMR	8	8
A000 008Ah	PORTA	ポートモードレジスタ	PMR	8	8
A000 008Bh	PORTB	ポートモードレジスタ	PMR	8	8
A000 008Ch	PORTC	ポートモードレジスタ	PMR	8	8
A000 008Dh	PORTD	ポートモードレジスタ	PMR	8	8
A000 008Eh	PORTE	ポートモードレジスタ	PMR	8	8
A000 008Fh	PORTF	ポートモードレジスタ	PMR	8	8
A000 0090h	PORTG	ポートモードレジスタ	PMR	8	8
A000 0092h	PORTJ	ポートモードレジスタ	PMR	8	8
A000 0095h	PORTM	ポートモードレジスタ	PMR	8	8
A000 0098h	PORTR	ポートモードレジスタ	PMR	8	8
A000 0099h	PORTS	ポートモードレジスタ	PMR	8	8
A000 009Bh	PORTU	ポートモードレジスタ	PMR	8	8
A000 0100h	PORT0	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 0102h	PORT1	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 0104h	PORT2	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 0106h	PORT3	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 0108h	PORT4	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 010Ah	PORT5	プルアップ/プルダウン制御レジスタ	PCR	16	16

表5.1 I/O レジスタアドレス一覧 (3 / 56)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A000 010Ch	PORT6	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 010Eh	PORT7	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 0110h	PORT8	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 0112h	PORT9	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 0114h	PORTA	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 0116h	PORTB	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 011Ah	PORTD	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 011Ch	PORTE	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 011Eh	PORTF	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 0120h	PORTG	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 0124h	PORTJ	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 012Ah	PORTM	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 0130h	PORTR	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 0132h	PORTS	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 0136h	PORTU	プルアップ/プルダウン制御レジスタ	PCR	16	16
A000 0200h	MPC	P00 端子機能制御レジスタ	P00PFS	8	8
A000 0208h	MPC	P10 端子機能制御レジスタ	P10PFS	8	8
A000 020Fh	MPC	P17 端子機能制御レジスタ	P17PFS	8	8
A000 0211h	MPC	P21 端子機能制御レジスタ	P21PFS	8	8
A000 0212h	MPC	P22 端子機能制御レジスタ	P22PFS	8	8
A000 0213h	MPC	P23 端子機能制御レジスタ	P23PFS	8	8
A000 0217h	MPC	P27 端子機能制御レジスタ	P27PFS	8	8
A000 021Bh	MPC	P33 端子機能制御レジスタ	P33PFS	8	8
A000 021Ch	MPC	P34 端子機能制御レジスタ	P34PFS	8	8
A000 021Dh	MPC	P35 端子機能制御レジスタ	P35PFS	8	8
A000 0220h	MPC	P40 端子機能制御レジスタ	P40PFS	8	8
A000 0222h	MPC	P42 端子機能制御レジスタ	P42PFS	8	8
A000 0224h	MPC	P44 端子機能制御レジスタ	P44PFS	8	8
A000 0228h	MPC	P50 端子機能制御レジスタ	P50PFS	8	8
A000 0229h	MPC	P51 端子機能制御レジスタ	P51PFS	8	8
A000 022Ah	MPC	P52 端子機能制御レジスタ	P52PFS	8	8
A000 022Bh	MPC	P53 端子機能制御レジスタ	P53PFS	8	8
A000 022Ch	MPC	P54 端子機能制御レジスタ	P54PFS	8	8
A000 0230h	MPC	P60 端子機能制御レジスタ	P60PFS	8	8
A000 0231h	MPC	P61 端子機能制御レジスタ	P61PFS	8	8
A000 0232h	MPC	P62 端子機能制御レジスタ	P62PFS	8	8
A000 0233h	MPC	P63 端子機能制御レジスタ	P63PFS	8	8
A000 0234h	MPC	P64 端子機能制御レジスタ	P64PFS	8	8
A000 0235h	MPC	P65 端子機能制御レジスタ	P65PFS	8	8
A000 0236h	MPC	P66 端子機能制御レジスタ	P66PFS	8	8
A000 0238h	MPC	P70 端子機能制御レジスタ	P70PFS	8	8
A000 0239h	MPC	P71 端子機能制御レジスタ	P71PFS	8	8
A000 023Ah	MPC	P72 端子機能制御レジスタ	P72PFS	8	8
A000 023Bh	MPC	P73 端子機能制御レジスタ	P73PFS	8	8
A000 023Ch	MPC	P74 端子機能制御レジスタ	P74PFS	8	8
A000 023Dh	MPC	P75 端子機能制御レジスタ	P75PFS	8	8
A000 023Eh	MPC	P76 端子機能制御レジスタ	P76PFS	8	8
A000 023Fh	MPC	P77 端子機能制御レジスタ	P77PFS	8	8

表 5.1 I/O レジスタアドレス一覧 (4 / 56)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A000 0240h	MPC	P80 端子機能制御レジスタ	P80PFS	8	8
A000 0241h	MPC	P81 端子機能制御レジスタ	P81PFS	8	8
A000 0242h	MPC	P82 端子機能制御レジスタ	P82PFS	8	8
A000 0243h	MPC	P83 端子機能制御レジスタ	P83PFS	8	8
A000 0244h	MPC	P84 端子機能制御レジスタ	P84PFS	8	8
A000 0245h	MPC	P85 端子機能制御レジスタ	P85PFS	8	8
A000 0246h	MPC	P86 端子機能制御レジスタ	P86PFS	8	8
A000 0247h	MPC	P87 端子機能制御レジスタ	P87PFS	8	8
A000 0248h	MPC	P90 端子機能制御レジスタ	P90PFS	8	8
A000 0249h	MPC	P91 端子機能制御レジスタ	P91PFS	8	8
A000 024Ah	MPC	P92 端子機能制御レジスタ	P92PFS	8	8
A000 024Bh	MPC	P93 端子機能制御レジスタ	P93PFS	8	8
A000 024Ch	MPC	P94 端子機能制御レジスタ	P94PFS	8	8
A000 024Dh	MPC	P95 端子機能制御レジスタ	P95PFS	8	8
A000 024Fh	MPC	P97 端子機能制御レジスタ	P97PFS	8	8
A000 0250h	MPC	PA0 端子機能制御レジスタ	PA0PFS	8	8
A000 0251h	MPC	PA1 端子機能制御レジスタ	PA1PFS	8	8
A000 0252h	MPC	PA2 端子機能制御レジスタ	PA2PFS	8	8
A000 0253h	MPC	PA3 端子機能制御レジスタ	PA3PFS	8	8
A000 0254h	MPC	PA4 端子機能制御レジスタ	PA4PFS	8	8
A000 0255h	MPC	PA5 端子機能制御レジスタ	PA5PFS	8	8
A000 0256h	MPC	PA6 端子機能制御レジスタ	PA6PFS	8	8
A000 0257h	MPC	PA7 端子機能制御レジスタ	PA7PFS	8	8
A000 0258h	MPC	PB0 端子機能制御レジスタ	PB0PFS	8	8
A000 0259h	MPC	PB1 端子機能制御レジスタ	PB1PFS	8	8
A000 025Ah	MPC	PB2 端子機能制御レジスタ	PB2PFS	8	8
A000 025Bh	MPC	PB3 端子機能制御レジスタ	PB3PFS	8	8
A000 025Ch	MPC	PB4 端子機能制御レジスタ	PB4PFS	8	8
A000 025Dh	MPC	PB5 端子機能制御レジスタ	PB5PFS	8	8
A000 025Eh	MPC	PB6 端子機能制御レジスタ	PB6PFS	8	8
A000 025Fh	MPC	PB7 端子機能制御レジスタ	PB7PFS	8	8
A000 0260h	MPC	PC0 端子機能制御レジスタ	PC0PFS	8	8
A000 0261h	MPC	PC1 端子機能制御レジスタ	PC1PFS	8	8
A000 0262h	MPC	PC2 端子機能制御レジスタ	PC2PFS	8	8
A000 0263h	MPC	PC3 端子機能制御レジスタ	PC3PFS	8	8
A000 0264h	MPC	PC4 端子機能制御レジスタ	PC4PFS	8	8
A000 0265h	MPC	PC5 端子機能制御レジスタ	PC5PFS	8	8
A000 0266h	MPC	PC6 端子機能制御レジスタ	PC6PFS	8	8
A000 0267h	MPC	PC7 端子機能制御レジスタ	PC7PFS	8	8
A000 026Dh	MPC	PD5 端子機能制御レジスタ	PD5PFS	8	8
A000 026Eh	MPC	PD6 端子機能制御レジスタ	PD6PFS	8	8
A000 026Fh	MPC	PD7 端子機能制御レジスタ	PD7PFS	8	8
A000 0270h	MPC	PE0 端子機能制御レジスタ	PE0PFS	8	8
A000 0271h	MPC	PE1 端子機能制御レジスタ	PE1PFS	8	8
A000 0272h	MPC	PE2 端子機能制御レジスタ	PE2PFS	8	8
A000 0273h	MPC	PE3 端子機能制御レジスタ	PE3PFS	8	8
A000 0274h	MPC	PE4 端子機能制御レジスタ	PE4PFS	8	8
A000 0275h	MPC	PE5 端子機能制御レジスタ	PE5PFS	8	8

表 5.1 I/O レジスタアドレス一覧 (5 / 56)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A000 0276h	MPC	PE6端子機能制御レジスタ	PE6PFS	8	8
A000 0277h	MPC	PE7端子機能制御レジスタ	PE7PFS	8	8
A000 027Dh	MPC	PF5端子機能制御レジスタ	PF5PFS	8	8
A000 027Eh	MPC	PF6端子機能制御レジスタ	PF6PFS	8	8
A000 027Fh	MPC	PF7端子機能制御レジスタ	PF7PFS	8	8
A000 0282h	MPC	PG2端子機能制御レジスタ	PG2PFS	8	8
A000 0283h	MPC	PG3端子機能制御レジスタ	PG3PFS	8	8
A000 0284h	MPC	PG4端子機能制御レジスタ	PG4PFS	8	8
A000 0285h	MPC	PG5端子機能制御レジスタ	PG5PFS	8	8
A000 0286h	MPC	PG6端子機能制御レジスタ	PG6PFS	8	8
A000 0290h	MPC	PJ0端子機能制御レジスタ	PJ0PFS	8	8
A000 0291h	MPC	PJ1端子機能制御レジスタ	PJ1PFS	8	8
A000 0292h	MPC	PJ2端子機能制御レジスタ	PJ2PFS	8	8
A000 0293h	MPC	PJ3端子機能制御レジスタ	PJ3PFS	8	8
A000 0294h	MPC	PJ4端子機能制御レジスタ	PJ4PFS	8	8
A000 0295h	MPC	PJ5端子機能制御レジスタ	PJ5PFS	8	8
A000 0296h	MPC	PJ6端子機能制御レジスタ	PJ6PFS	8	8
A000 0297h	MPC	PJ7端子機能制御レジスタ	PJ7PFS	8	8
A000 02A9h	MPC	PM1端子機能制御レジスタ	PM1PFS	8	8
A000 02AAh	MPC	PM2端子機能制御レジスタ	PM2PFS	8	8
A000 02ABh	MPC	PM3端子機能制御レジスタ	PM3PFS	8	8
A000 02ACh	MPC	PM4端子機能制御レジスタ	PM4PFS	8	8
A000 02ADh	MPC	PM5端子機能制御レジスタ	PM5PFS	8	8
A000 02AEh	MPC	PM6端子機能制御レジスタ	PM6PFS	8	8
A000 02AFh	MPC	PM7端子機能制御レジスタ	PM7PFS	8	8
A000 02C1h	MPC	PR1端子機能制御レジスタ	PR1PFS	8	8
A000 02C9h	MPC	PS1端子機能制御レジスタ	PS1PFS	8	8
A000 02CEh	MPC	PS6端子機能制御レジスタ	PS6PFS	8	8
A000 02CFh	MPC	PS7端子機能制御レジスタ	PS7PFS	8	8
A000 02DFh	MPC	PU7端子機能制御レジスタ	PU7PFS	8	8
A000 02FFh	MPC	書き込みプロテクトレジスタ	PWPR	8	8
A000 5000h	SPIBSC	共通コントロールレジスタ	CMNCR	32	32
A000 5004h	SPIBSC	SSL遅延レジスタ	SSLDR	32	32
A000 5008h	SPIBSC	ビットレート設定レジスタ	SPBCR	32	32
A000 500Ch	SPIBSC	データリードコントロールレジスタ	DRCR	32	32
A000 5010h	SPIBSC	データリードコマンド設定レジスタ	DRCMR	32	32
A000 5014h	SPIBSC	データリード拡張アドレス設定レジスタ	DREAR	32	32
A000 5018h	SPIBSC	データリードオプション設定レジスタ	DROPR	32	32
A000 501Ch	SPIBSC	データリードイネーブル設定レジスタ	DRENR	32	32
A000 5020h	SPIBSC	SPIモードコントロールレジスタ	SMCR	32	32
A000 5024h	SPIBSC	SPIモードコマンド設定レジスタ	SMCMR	32	32
A000 5028h	SPIBSC	SPIモードアドレス設定レジスタ	SMADR	32	32
A000 502Ch	SPIBSC	SPIモードオプション設定レジスタ	SMOPR	32	32
A000 5030h	SPIBSC	SPIモードイネーブル設定レジスタ	SMENR	32	32
A000 5038h	SPIBSC	SPIモードリードデータレジスタ0	SMRDR0	32	8, 16, 32
A000 5040h	SPIBSC	SPIモードライトデータレジスタ0	SMWDR0	32	8, 16, 32
A000 5048h	SPIBSC	共通ステータスレジスタ	CMNSR	32	32
A000 5058h	SPIBSC	データリードダミーサイクル設定レジスタ	DRDMCR	32	32

表5.1 I/O レジスタアドレス一覧 (6 / 56)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A000 5060h	SPIBSC	SPIモードダミーサイクル設定レジスタ	SMDMCR	32	32
A001 0000h	VIC	IRQステータスレジスタ0	IRQS0	32	32
A001 0004h	VIC	IRQステータスレジスタ1	IRQS1	32	32
A001 0008h	VIC	IRQステータスレジスタ2	IRQS2	32	32
A001 000Ch	VIC	IRQステータスレジスタ3	IRQS3	32	32
A001 0010h	VIC	IRQステータスレジスタ4	IRQS4	32	32
A001 0014h	VIC	IRQステータスレジスタ5	IRQS5	32	32
A001 0018h	VIC	IRQステータスレジスタ6	IRQS6	32	32
A001 001Ch	VIC	IRQステータスレジスタ7	IRQS7	32	32
A001 0040h	VIC	割り込み入力ステータスレジスタ0	RAIS0	32	32
A001 0044h	VIC	割り込み入力ステータスレジスタ1	RAIS1	32	32
A001 0048h	VIC	割り込み入力ステータスレジスタ2	RAIS2	32	32
A001 004Ch	VIC	割り込み入力ステータスレジスタ3	RAIS3	32	32
A001 0050h	VIC	割り込み入力ステータスレジスタ4	RAIS4	32	32
A001 0054h	VIC	割り込み入力ステータスレジスタ5	RAIS5	32	32
A001 0058h	VIC	割り込み入力ステータスレジスタ6	RAIS6	32	32
A001 005Ch	VIC	割り込み入力ステータスレジスタ7	RAIS7	32	32
A001 0080h	VIC	割り込みイネーブルレジスタ0	IEN0	32	32
A001 0084h	VIC	割り込みイネーブルレジスタ1	IEN1	32	32
A001 0088h	VIC	割り込みイネーブルレジスタ2	IEN2	32	32
A001 008Ch	VIC	割り込みイネーブルレジスタ3	IEN3	32	32
A001 0090h	VIC	割り込みイネーブルレジスタ4	IEN4	32	32
A001 0094h	VIC	割り込みイネーブルレジスタ5	IEN5	32	32
A001 0098h	VIC	割り込みイネーブルレジスタ6	IEN6	32	32
A001 009Ch	VIC	割り込みイネーブルレジスタ7	IEN7	32	32
A001 00A0h	VIC	割り込みイネーブルクリアレジスタ0	IEC0	32	32
A001 00A4h	VIC	割り込みイネーブルクリアレジスタ1	IEC1	32	32
A001 00A8h	VIC	割り込みイネーブルクリアレジスタ2	IEC2	32	32
A001 00ACh	VIC	割り込みイネーブルクリアレジスタ3	IEC3	32	32
A001 00B0h	VIC	割り込みイネーブルクリアレジスタ4	IEC4	32	32
A001 00B4h	VIC	割り込みイネーブルクリアレジスタ5	IEC5	32	32
A001 00B8h	VIC	割り込みイネーブルクリアレジスタ6	IEC6	32	32
A001 00BCh	VIC	割り込みイネーブルクリアレジスタ7	IEC7	32	32
A001 0100h	VIC	割り込み検出タイプ選択レジスタ0	PLS0	32	32
A001 0104h	VIC	割り込み検出タイプ選択レジスタ1	PLS1	32	32
A001 0108h	VIC	割り込み検出タイプ選択レジスタ2	PLS2	32	32
A001 010Ch	VIC	割り込み検出タイプ選択レジスタ3	PLS3	32	32
A001 0110h	VIC	割り込み検出タイプ選択レジスタ4	PLS4	32	32
A001 0114h	VIC	割り込み検出タイプ選択レジスタ5	PLS5	32	32
A001 0118h	VIC	割り込み検出タイプ選択レジスタ6	PLS6	32	32
A001 011Ch	VIC	割り込み検出タイプ選択レジスタ7	PLS7	32	32
A001 0120h	VIC	エッジ検出ビットクリアレジスタ0	PIC0	32	32
A001 0124h	VIC	エッジ検出ビットクリアレジスタ1	PIC1	32	32
A001 0128h	VIC	エッジ検出ビットクリアレジスタ2	PIC2	32	32
A001 012Ch	VIC	エッジ検出ビットクリアレジスタ3	PIC3	32	32
A001 0130h	VIC	エッジ検出ビットクリアレジスタ4	PIC4	32	32
A001 0134h	VIC	エッジ検出ビットクリアレジスタ5	PIC5	32	32
A001 0138h	VIC	エッジ検出ビットクリアレジスタ6	PIC6	32	32

表5.1 I/O レジスタアドレス一覧 (7 / 56)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 013Ch	VIC	エッジ検出ビットクリアレジスタ7	PIC7	32	32
A001 01C0h	VIC	割り込み優先レベルマスクレジスタ0	PRLM0	32	32
A001 01C4h	VIC	割り込み優先レベルマスククリアレジスタ0	PRLC0	32	32
A001 01C8h	VIC	ユーザモードイネーブルレジスタ0	UEN0	32	32
A001 0200h	VIC	割り込みアドレスレジスタ0	HVA0	32	32
A001 0210h	VIC	割り込みサービスステータスレジスタ0	ISS0	32	32
A001 0214h	VIC	割り込みサービスステータスレジスタ1	ISS1	32	32
A001 0218h	VIC	割り込みサービスステータスレジスタ2	ISS2	32	32
A001 021Ch	VIC	割り込みサービスステータスレジスタ3	ISS3	32	32
A001 0220h	VIC	割り込みサービスステータスレジスタ4	ISS4	32	32
A001 0224h	VIC	割り込みサービスステータスレジスタ5	ISS5	32	32
A001 0228h	VIC	割り込みサービスステータスレジスタ6	ISS6	32	32
A001 022Ch	VIC	割り込みサービスステータスレジスタ7	ISS7	32	32
A001 0230h	VIC	割り込みサービススケレントレジスタ0	ISC0	32	32
A001 0234h	VIC	割り込みサービススケレントレジスタ1	ISC1	32	32
A001 0238h	VIC	割り込みサービススケレントレジスタ2	ISC2	32	32
A001 023Ch	VIC	割り込みサービススケレントレジスタ3	ISC3	32	32
A001 0240h	VIC	割り込みサービススケレントレジスタ4	ISC4	32	32
A001 0244h	VIC	割り込みサービススケレントレジスタ5	ISC5	32	32
A001 0248h	VIC	割り込みサービススケレントレジスタ6	ISC6	32	32
A001 024Ch	VIC	割り込みサービススケレントレジスタ7	ISC7	32	32
A001 0404h	VIC	割り込みアドレス格納レジスタ1	VAD1	32	32
A001 0408h	VIC	割り込みアドレス格納レジスタ2	VAD2	32	32
A001 040Ch	VIC	割り込みアドレス格納レジスタ3	VAD3	32	32
A001 0410h	VIC	割り込みアドレス格納レジスタ4	VAD4	32	32
A001 0414h	VIC	割り込みアドレス格納レジスタ5	VAD5	32	32
A001 0418h	VIC	割り込みアドレス格納レジスタ6	VAD6	32	32
A001 041Ch	VIC	割り込みアドレス格納レジスタ7	VAD7	32	32
A001 0420h	VIC	割り込みアドレス格納レジスタ8	VAD8	32	32
A001 0424h	VIC	割り込みアドレス格納レジスタ9	VAD9	32	32
A001 0428h	VIC	割り込みアドレス格納レジスタ10	VAD10	32	32
A001 042Ch	VIC	割り込みアドレス格納レジスタ11	VAD11	32	32
A001 0430h	VIC	割り込みアドレス格納レジスタ12	VAD12	32	32
A001 0434h	VIC	割り込みアドレス格納レジスタ13	VAD13	32	32
A001 0438h	VIC	割り込みアドレス格納レジスタ14	VAD14	32	32
A001 043Ch	VIC	割り込みアドレス格納レジスタ15	VAD15	32	32
A001 0440h	VIC	割り込みアドレス格納レジスタ16	VAD16	32	32
A001 0444h	VIC	割り込みアドレス格納レジスタ17	VAD17	32	32
A001 0448h	VIC	割り込みアドレス格納レジスタ18	VAD18	32	32
A001 044Ch	VIC	割り込みアドレス格納レジスタ19	VAD19	32	32
A001 0450h	VIC	割り込みアドレス格納レジスタ20	VAD20	32	32
A001 0454h	VIC	割り込みアドレス格納レジスタ21	VAD21	32	32
A001 0458h	VIC	割り込みアドレス格納レジスタ22	VAD22	32	32
A001 045Ch	VIC	割り込みアドレス格納レジスタ23	VAD23	32	32
A001 0460h	VIC	割り込みアドレス格納レジスタ24	VAD24	32	32
A001 0464h	VIC	割り込みアドレス格納レジスタ25	VAD25	32	32
A001 0468h	VIC	割り込みアドレス格納レジスタ26	VAD26	32	32
A001 046Ch	VIC	割り込みアドレス格納レジスタ27	VAD27	32	32

表5.1 I/O レジスタアドレス一覧 (8 / 56)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 0470h	VIC	割り込みアドレス格納レジスタ 28	VAD28	32	32
A001 0474h	VIC	割り込みアドレス格納レジスタ 29	VAD29	32	32
A001 0478h	VIC	割り込みアドレス格納レジスタ 30	VAD30	32	32
A001 047Ch	VIC	割り込みアドレス格納レジスタ 31	VAD31	32	32
A001 0480h	VIC	割り込みアドレス格納レジスタ 32	VAD32	32	32
A001 0484h	VIC	割り込みアドレス格納レジスタ 33	VAD33	32	32
A001 0488h	VIC	割り込みアドレス格納レジスタ 34	VAD34	32	32
A001 048Ch	VIC	割り込みアドレス格納レジスタ 35	VAD35	32	32
A001 0490h	VIC	割り込みアドレス格納レジスタ 36	VAD36	32	32
A001 0494h	VIC	割り込みアドレス格納レジスタ 37	VAD37	32	32
A001 0498h	VIC	割り込みアドレス格納レジスタ 38	VAD38	32	32
A001 049Ch	VIC	割り込みアドレス格納レジスタ 39	VAD39	32	32
A001 04A0h	VIC	割り込みアドレス格納レジスタ 40	VAD40	32	32
A001 04A4h	VIC	割り込みアドレス格納レジスタ 41	VAD41	32	32
A001 04A8h	VIC	割り込みアドレス格納レジスタ 42	VAD42	32	32
A001 04ACh	VIC	割り込みアドレス格納レジスタ 43	VAD43	32	32
A001 04B0h	VIC	割り込みアドレス格納レジスタ 44	VAD44	32	32
A001 04B4h	VIC	割り込みアドレス格納レジスタ 45	VAD45	32	32
A001 04B8h	VIC	割り込みアドレス格納レジスタ 46	VAD46	32	32
A001 04BCh	VIC	割り込みアドレス格納レジスタ 47	VAD47	32	32
A001 04C0h	VIC	割り込みアドレス格納レジスタ 48	VAD48	32	32
A001 04C4h	VIC	割り込みアドレス格納レジスタ 49	VAD49	32	32
A001 04C8h	VIC	割り込みアドレス格納レジスタ 50	VAD50	32	32
A001 04CCh	VIC	割り込みアドレス格納レジスタ 51	VAD51	32	32
A001 04D0h	VIC	割り込みアドレス格納レジスタ 52	VAD52	32	32
A001 04D4h	VIC	割り込みアドレス格納レジスタ 53	VAD53	32	32
A001 04D8h	VIC	割り込みアドレス格納レジスタ 54	VAD54	32	32
A001 04DCh	VIC	割り込みアドレス格納レジスタ 55	VAD55	32	32
A001 04E0h	VIC	割り込みアドレス格納レジスタ 56	VAD56	32	32
A001 04E4h	VIC	割り込みアドレス格納レジスタ 57	VAD57	32	32
A001 04E8h	VIC	割り込みアドレス格納レジスタ 58	VAD58	32	32
A001 04ECh	VIC	割り込みアドレス格納レジスタ 59	VAD59	32	32
A001 04F0h	VIC	割り込みアドレス格納レジスタ 60	VAD60	32	32
A001 04F4h	VIC	割り込みアドレス格納レジスタ 61	VAD61	32	32
A001 04F8h	VIC	割り込みアドレス格納レジスタ 62	VAD62	32	32
A001 04FCh	VIC	割り込みアドレス格納レジスタ 63	VAD63	32	32
A001 0500h	VIC	割り込みアドレス格納レジスタ 64	VAD64	32	32
A001 0504h	VIC	割り込みアドレス格納レジスタ 65	VAD65	32	32
A001 0508h	VIC	割り込みアドレス格納レジスタ 66	VAD66	32	32
A001 050Ch	VIC	割り込みアドレス格納レジスタ 67	VAD67	32	32
A001 0510h	VIC	割り込みアドレス格納レジスタ 68	VAD68	32	32
A001 0514h	VIC	割り込みアドレス格納レジスタ 69	VAD69	32	32
A001 0518h	VIC	割り込みアドレス格納レジスタ 70	VAD70	32	32
A001 051Ch	VIC	割り込みアドレス格納レジスタ 71	VAD71	32	32
A001 0520h	VIC	割り込みアドレス格納レジスタ 72	VAD72	32	32
A001 0524h	VIC	割り込みアドレス格納レジスタ 73	VAD73	32	32
A001 0528h	VIC	割り込みアドレス格納レジスタ 74	VAD74	32	32
A001 052Ch	VIC	割り込みアドレス格納レジスタ 75	VAD75	32	32

表5.1 I/O レジスタアドレス一覧 (9 / 56)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 0530h	VIC	割り込みアドレス格納レジスタ 76	VAD76	32	32
A001 0534h	VIC	割り込みアドレス格納レジスタ 77	VAD77	32	32
A001 0538h	VIC	割り込みアドレス格納レジスタ 78	VAD78	32	32
A001 053Ch	VIC	割り込みアドレス格納レジスタ 79	VAD79	32	32
A001 0540h	VIC	割り込みアドレス格納レジスタ 80	VAD80	32	32
A001 0544h	VIC	割り込みアドレス格納レジスタ 81	VAD81	32	32
A001 0548h	VIC	割り込みアドレス格納レジスタ 82	VAD82	32	32
A001 054Ch	VIC	割り込みアドレス格納レジスタ 83	VAD83	32	32
A001 0550h	VIC	割り込みアドレス格納レジスタ 84	VAD84	32	32
A001 0554h	VIC	割り込みアドレス格納レジスタ 85	VAD85	32	32
A001 0558h	VIC	割り込みアドレス格納レジスタ 86	VAD86	32	32
A001 055Ch	VIC	割り込みアドレス格納レジスタ 87	VAD87	32	32
A001 0560h	VIC	割り込みアドレス格納レジスタ 88	VAD88	32	32
A001 0564h	VIC	割り込みアドレス格納レジスタ 89	VAD89	32	32
A001 0568h	VIC	割り込みアドレス格納レジスタ 90	VAD90	32	32
A001 056Ch	VIC	割り込みアドレス格納レジスタ 91	VAD91	32	32
A001 0570h	VIC	割り込みアドレス格納レジスタ 92	VAD92	32	32
A001 0574h	VIC	割り込みアドレス格納レジスタ 93	VAD93	32	32
A001 0578h	VIC	割り込みアドレス格納レジスタ 94	VAD94	32	32
A001 057Ch	VIC	割り込みアドレス格納レジスタ 95	VAD95	32	32
A001 0580h	VIC	割り込みアドレス格納レジスタ 96	VAD96	32	32
A001 0584h	VIC	割り込みアドレス格納レジスタ 97	VAD97	32	32
A001 0588h	VIC	割り込みアドレス格納レジスタ 98	VAD98	32	32
A001 058Ch	VIC	割り込みアドレス格納レジスタ 99	VAD99	32	32
A001 0590h	VIC	割り込みアドレス格納レジスタ 100	VAD100	32	32
A001 0594h	VIC	割り込みアドレス格納レジスタ 101	VAD101	32	32
A001 0598h	VIC	割り込みアドレス格納レジスタ 102	VAD102	32	32
A001 059Ch	VIC	割り込みアドレス格納レジスタ 103	VAD103	32	32
A001 05A0h	VIC	割り込みアドレス格納レジスタ 104	VAD104	32	32
A001 05A4h	VIC	割り込みアドレス格納レジスタ 105	VAD105	32	32
A001 05A8h	VIC	割り込みアドレス格納レジスタ 106	VAD106	32	32
A001 05ACh	VIC	割り込みアドレス格納レジスタ 107	VAD107	32	32
A001 05B0h	VIC	割り込みアドレス格納レジスタ 108	VAD108	32	32
A001 05B4h	VIC	割り込みアドレス格納レジスタ 109	VAD109	32	32
A001 05B8h	VIC	割り込みアドレス格納レジスタ 110	VAD110	32	32
A001 05BCh	VIC	割り込みアドレス格納レジスタ 111	VAD111	32	32
A001 05C0h	VIC	割り込みアドレス格納レジスタ 112	VAD112	32	32
A001 05C4h	VIC	割り込みアドレス格納レジスタ 113	VAD113	32	32
A001 05C8h	VIC	割り込みアドレス格納レジスタ 114	VAD114	32	32
A001 05CCh	VIC	割り込みアドレス格納レジスタ 115	VAD115	32	32
A001 05D0h	VIC	割り込みアドレス格納レジスタ 116	VAD116	32	32
A001 05D4h	VIC	割り込みアドレス格納レジスタ 117	VAD117	32	32
A001 05D8h	VIC	割り込みアドレス格納レジスタ 118	VAD118	32	32
A001 05DCh	VIC	割り込みアドレス格納レジスタ 119	VAD119	32	32
A001 05E0h	VIC	割り込みアドレス格納レジスタ 120	VAD120	32	32
A001 05E4h	VIC	割り込みアドレス格納レジスタ 121	VAD121	32	32
A001 05E8h	VIC	割り込みアドレス格納レジスタ 122	VAD122	32	32
A001 05ECh	VIC	割り込みアドレス格納レジスタ 123	VAD123	32	32

表5.1 I/O レジスタアドレス一覧 (10 / 56)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 05F0h	VIC	割り込みアドレス格納レジスタ 124	VAD124	32	32
A001 05F4h	VIC	割り込みアドレス格納レジスタ 125	VAD125	32	32
A001 05F8h	VIC	割り込みアドレス格納レジスタ 126	VAD126	32	32
A001 05FCh	VIC	割り込みアドレス格納レジスタ 127	VAD127	32	32
A001 0600h	VIC	割り込みアドレス格納レジスタ 128	VAD128	32	32
A001 0604h	VIC	割り込みアドレス格納レジスタ 129	VAD129	32	32
A001 0608h	VIC	割り込みアドレス格納レジスタ 130	VAD130	32	32
A001 060Ch	VIC	割り込みアドレス格納レジスタ 131	VAD131	32	32
A001 0610h	VIC	割り込みアドレス格納レジスタ 132	VAD132	32	32
A001 0614h	VIC	割り込みアドレス格納レジスタ 133	VAD133	32	32
A001 0618h	VIC	割り込みアドレス格納レジスタ 134	VAD134	32	32
A001 061Ch	VIC	割り込みアドレス格納レジスタ 135	VAD135	32	32
A001 0620h	VIC	割り込みアドレス格納レジスタ 136	VAD136	32	32
A001 0624h	VIC	割り込みアドレス格納レジスタ 137	VAD137	32	32
A001 0628h	VIC	割り込みアドレス格納レジスタ 138	VAD138	32	32
A001 062Ch	VIC	割り込みアドレス格納レジスタ 139	VAD139	32	32
A001 0630h	VIC	割り込みアドレス格納レジスタ 140	VAD140	32	32
A001 0634h	VIC	割り込みアドレス格納レジスタ 141	VAD141	32	32
A001 0638h	VIC	割り込みアドレス格納レジスタ 142	VAD142	32	32
A001 063Ch	VIC	割り込みアドレス格納レジスタ 143	VAD143	32	32
A001 0640h	VIC	割り込みアドレス格納レジスタ 144	VAD144	32	32
A001 0644h	VIC	割り込みアドレス格納レジスタ 145	VAD145	32	32
A001 0648h	VIC	割り込みアドレス格納レジスタ 146	VAD146	32	32
A001 064Ch	VIC	割り込みアドレス格納レジスタ 147	VAD147	32	32
A001 0650h	VIC	割り込みアドレス格納レジスタ 148	VAD148	32	32
A001 0654h	VIC	割り込みアドレス格納レジスタ 149	VAD149	32	32
A001 0658h	VIC	割り込みアドレス格納レジスタ 150	VAD150	32	32
A001 065Ch	VIC	割り込みアドレス格納レジスタ 151	VAD151	32	32
A001 0660h	VIC	割り込みアドレス格納レジスタ 152	VAD152	32	32
A001 0664h	VIC	割り込みアドレス格納レジスタ 153	VAD153	32	32
A001 0668h	VIC	割り込みアドレス格納レジスタ 154	VAD154	32	32
A001 066Ch	VIC	割り込みアドレス格納レジスタ 155	VAD155	32	32
A001 0670h	VIC	割り込みアドレス格納レジスタ 156	VAD156	32	32
A001 0674h	VIC	割り込みアドレス格納レジスタ 157	VAD157	32	32
A001 0678h	VIC	割り込みアドレス格納レジスタ 158	VAD158	32	32
A001 067Ch	VIC	割り込みアドレス格納レジスタ 159	VAD159	32	32
A001 0680h	VIC	割り込みアドレス格納レジスタ 160	VAD160	32	32
A001 0684h	VIC	割り込みアドレス格納レジスタ 161	VAD161	32	32
A001 0688h	VIC	割り込みアドレス格納レジスタ 162	VAD162	32	32
A001 068Ch	VIC	割り込みアドレス格納レジスタ 163	VAD163	32	32
A001 0690h	VIC	割り込みアドレス格納レジスタ 164	VAD164	32	32
A001 0694h	VIC	割り込みアドレス格納レジスタ 165	VAD165	32	32
A001 0698h	VIC	割り込みアドレス格納レジスタ 166	VAD166	32	32
A001 069Ch	VIC	割り込みアドレス格納レジスタ 167	VAD167	32	32
A001 06A0h	VIC	割り込みアドレス格納レジスタ 168	VAD168	32	32
A001 06A4h	VIC	割り込みアドレス格納レジスタ 169	VAD169	32	32
A001 06A8h	VIC	割り込みアドレス格納レジスタ 170	VAD170	32	32
A001 06ACh	VIC	割り込みアドレス格納レジスタ 171	VAD171	32	32

表5.1 I/O レジスタアドレス一覧 (11 / 56)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 06B0h	VIC	割り込みアドレス格納レジスタ 172	VAD172	32	32
A001 06B4h	VIC	割り込みアドレス格納レジスタ 173	VAD173	32	32
A001 06B8h	VIC	割り込みアドレス格納レジスタ 174	VAD174	32	32
A001 06BCh	VIC	割り込みアドレス格納レジスタ 175	VAD175	32	32
A001 06C0h	VIC	割り込みアドレス格納レジスタ 176	VAD176	32	32
A001 06C4h	VIC	割り込みアドレス格納レジスタ 177	VAD177	32	32
A001 06C8h	VIC	割り込みアドレス格納レジスタ 178	VAD178	32	32
A001 06CCh	VIC	割り込みアドレス格納レジスタ 179	VAD179	32	32
A001 06D0h	VIC	割り込みアドレス格納レジスタ 180	VAD180	32	32
A001 06D4h	VIC	割り込みアドレス格納レジスタ 181	VAD181	32	32
A001 06D8h	VIC	割り込みアドレス格納レジスタ 182	VAD182	32	32
A001 06DCh	VIC	割り込みアドレス格納レジスタ 183	VAD183	32	32
A001 06E0h	VIC	割り込みアドレス格納レジスタ 184	VAD184	32	32
A001 06E4h	VIC	割り込みアドレス格納レジスタ 185	VAD185	32	32
A001 06E8h	VIC	割り込みアドレス格納レジスタ 186	VAD186	32	32
A001 06ECh	VIC	割り込みアドレス格納レジスタ 187	VAD187	32	32
A001 06F0h	VIC	割り込みアドレス格納レジスタ 188	VAD188	32	32
A001 06F4h	VIC	割り込みアドレス格納レジスタ 189	VAD189	32	32
A001 06F8h	VIC	割り込みアドレス格納レジスタ 190	VAD190	32	32
A001 06FCh	VIC	割り込みアドレス格納レジスタ 191	VAD191	32	32
A001 0700h	VIC	割り込みアドレス格納レジスタ 192	VAD192	32	32
A001 0704h	VIC	割り込みアドレス格納レジスタ 193	VAD193	32	32
A001 0708h	VIC	割り込みアドレス格納レジスタ 194	VAD194	32	32
A001 070Ch	VIC	割り込みアドレス格納レジスタ 195	VAD195	32	32
A001 0710h	VIC	割り込みアドレス格納レジスタ 196	VAD196	32	32
A001 0714h	VIC	割り込みアドレス格納レジスタ 197	VAD197	32	32
A001 0718h	VIC	割り込みアドレス格納レジスタ 198	VAD198	32	32
A001 071Ch	VIC	割り込みアドレス格納レジスタ 199	VAD199	32	32
A001 0720h	VIC	割り込みアドレス格納レジスタ 200	VAD200	32	32
A001 0724h	VIC	割り込みアドレス格納レジスタ 201	VAD201	32	32
A001 0728h	VIC	割り込みアドレス格納レジスタ 202	VAD202	32	32
A001 072Ch	VIC	割り込みアドレス格納レジスタ 203	VAD203	32	32
A001 0730h	VIC	割り込みアドレス格納レジスタ 204	VAD204	32	32
A001 0734h	VIC	割り込みアドレス格納レジスタ 205	VAD205	32	32
A001 0738h	VIC	割り込みアドレス格納レジスタ 206	VAD206	32	32
A001 073Ch	VIC	割り込みアドレス格納レジスタ 207	VAD207	32	32
A001 0740h	VIC	割り込みアドレス格納レジスタ 208	VAD208	32	32
A001 0744h	VIC	割り込みアドレス格納レジスタ 209	VAD209	32	32
A001 0748h	VIC	割り込みアドレス格納レジスタ 210	VAD210	32	32
A001 074Ch	VIC	割り込みアドレス格納レジスタ 211	VAD211	32	32
A001 0750h	VIC	割り込みアドレス格納レジスタ 212	VAD212	32	32
A001 0754h	VIC	割り込みアドレス格納レジスタ 213	VAD213	32	32
A001 0758h	VIC	割り込みアドレス格納レジスタ 214	VAD214	32	32
A001 075Ch	VIC	割り込みアドレス格納レジスタ 215	VAD215	32	32
A001 0760h	VIC	割り込みアドレス格納レジスタ 216	VAD216	32	32
A001 0764h	VIC	割り込みアドレス格納レジスタ 217	VAD217	32	32
A001 0768h	VIC	割り込みアドレス格納レジスタ 218	VAD218	32	32
A001 076Ch	VIC	割り込みアドレス格納レジスタ 219	VAD219	32	32

表5.1 I/O レジスタアドレス一覧 (12 / 56)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 0770h	VIC	割り込みアドレス格納レジスタ 220	VAD220	32	32
A001 0774h	VIC	割り込みアドレス格納レジスタ 221	VAD221	32	32
A001 0778h	VIC	割り込みアドレス格納レジスタ 222	VAD222	32	32
A001 077Ch	VIC	割り込みアドレス格納レジスタ 223	VAD223	32	32
A001 0780h	VIC	割り込みアドレス格納レジスタ 224	VAD224	32	32
A001 0784h	VIC	割り込みアドレス格納レジスタ 225	VAD225	32	32
A001 0788h	VIC	割り込みアドレス格納レジスタ 226	VAD226	32	32
A001 078Ch	VIC	割り込みアドレス格納レジスタ 227	VAD227	32	32
A001 0790h	VIC	割り込みアドレス格納レジスタ 228	VAD228	32	32
A001 0794h	VIC	割り込みアドレス格納レジスタ 229	VAD229	32	32
A001 0798h	VIC	割り込みアドレス格納レジスタ 230	VAD230	32	32
A001 079Ch	VIC	割り込みアドレス格納レジスタ 231	VAD231	32	32
A001 07A0h	VIC	割り込みアドレス格納レジスタ 232	VAD232	32	32
A001 07A4h	VIC	割り込みアドレス格納レジスタ 233	VAD233	32	32
A001 07A8h	VIC	割り込みアドレス格納レジスタ 234	VAD234	32	32
A001 07ACh	VIC	割り込みアドレス格納レジスタ 235	VAD235	32	32
A001 07B0h	VIC	割り込みアドレス格納レジスタ 236	VAD236	32	32
A001 07B4h	VIC	割り込みアドレス格納レジスタ 237	VAD237	32	32
A001 07B8h	VIC	割り込みアドレス格納レジスタ 238	VAD238	32	32
A001 07BCh	VIC	割り込みアドレス格納レジスタ 239	VAD239	32	32
A001 07C0h	VIC	割り込みアドレス格納レジスタ 240	VAD240	32	32
A001 07C4h	VIC	割り込みアドレス格納レジスタ 241	VAD241	32	32
A001 07C8h	VIC	割り込みアドレス格納レジスタ 242	VAD242	32	32
A001 07CCh	VIC	割り込みアドレス格納レジスタ 243	VAD243	32	32
A001 07D0h	VIC	割り込みアドレス格納レジスタ 244	VAD244	32	32
A001 07D4h	VIC	割り込みアドレス格納レジスタ 245	VAD245	32	32
A001 07D8h	VIC	割り込みアドレス格納レジスタ 246	VAD246	32	32
A001 07DCh	VIC	割り込みアドレス格納レジスタ 247	VAD247	32	32
A001 07E0h	VIC	割り込みアドレス格納レジスタ 248	VAD248	32	32
A001 07E4h	VIC	割り込みアドレス格納レジスタ 249	VAD249	32	32
A001 07E8h	VIC	割り込みアドレス格納レジスタ 250	VAD250	32	32
A001 07ECh	VIC	割り込みアドレス格納レジスタ 251	VAD251	32	32
A001 07F0h	VIC	割り込みアドレス格納レジスタ 252	VAD252	32	32
A001 07F4h	VIC	割り込みアドレス格納レジスタ 253	VAD253	32	32
A001 07F8h	VIC	割り込みアドレス格納レジスタ 254	VAD254	32	32
A001 07FCh	VIC	割り込みアドレス格納レジスタ 255	VAD255	32	32
A001 0804h	VIC	割り込み優先レベル格納レジスタ 1	PRL1	32	32
A001 0808h	VIC	割り込み優先レベル格納レジスタ 2	PRL2	32	32
A001 080Ch	VIC	割り込み優先レベル格納レジスタ 3	PRL3	32	32
A001 0810h	VIC	割り込み優先レベル格納レジスタ 4	PRL4	32	32
A001 0814h	VIC	割り込み優先レベル格納レジスタ 5	PRL5	32	32
A001 0818h	VIC	割り込み優先レベル格納レジスタ 6	PRL6	32	32
A001 081Ch	VIC	割り込み優先レベル格納レジスタ 7	PRL7	32	32
A001 0820h	VIC	割り込み優先レベル格納レジスタ 8	PRL8	32	32
A001 0824h	VIC	割り込み優先レベル格納レジスタ 9	PRL9	32	32
A001 0828h	VIC	割り込み優先レベル格納レジスタ 10	PRL10	32	32
A001 082Ch	VIC	割り込み優先レベル格納レジスタ 11	PRL11	32	32
A001 0830h	VIC	割り込み優先レベル格納レジスタ 12	PRL12	32	32

表5.1 I/O レジスタアドレス一覧 (13 / 56)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 0834h	VIC	割り込み優先レベル格納レジスタ 13	PRL13	32	32
A001 0838h	VIC	割り込み優先レベル格納レジスタ 14	PRL14	32	32
A001 083Ch	VIC	割り込み優先レベル格納レジスタ 15	PRL15	32	32
A001 0840h	VIC	割り込み優先レベル格納レジスタ 16	PRL16	32	32
A001 0844h	VIC	割り込み優先レベル格納レジスタ 17	PRL17	32	32
A001 0848h	VIC	割り込み優先レベル格納レジスタ 18	PRL18	32	32
A001 084Ch	VIC	割り込み優先レベル格納レジスタ 19	PRL19	32	32
A001 0850h	VIC	割り込み優先レベル格納レジスタ 20	PRL20	32	32
A001 0854h	VIC	割り込み優先レベル格納レジスタ 21	PRL21	32	32
A001 0858h	VIC	割り込み優先レベル格納レジスタ 22	PRL22	32	32
A001 085Ch	VIC	割り込み優先レベル格納レジスタ 23	PRL23	32	32
A001 0860h	VIC	割り込み優先レベル格納レジスタ 24	PRL24	32	32
A001 0864h	VIC	割り込み優先レベル格納レジスタ 25	PRL25	32	32
A001 0868h	VIC	割り込み優先レベル格納レジスタ 26	PRL26	32	32
A001 086Ch	VIC	割り込み優先レベル格納レジスタ 27	PRL27	32	32
A001 0870h	VIC	割り込み優先レベル格納レジスタ 28	PRL28	32	32
A001 0874h	VIC	割り込み優先レベル格納レジスタ 29	PRL29	32	32
A001 0878h	VIC	割り込み優先レベル格納レジスタ 30	PRL30	32	32
A001 087Ch	VIC	割り込み優先レベル格納レジスタ 31	PRL31	32	32
A001 0880h	VIC	割り込み優先レベル格納レジスタ 32	PRL32	32	32
A001 0884h	VIC	割り込み優先レベル格納レジスタ 33	PRL33	32	32
A001 0888h	VIC	割り込み優先レベル格納レジスタ 34	PRL34	32	32
A001 088Ch	VIC	割り込み優先レベル格納レジスタ 35	PRL35	32	32
A001 0890h	VIC	割り込み優先レベル格納レジスタ 36	PRL36	32	32
A001 0894h	VIC	割り込み優先レベル格納レジスタ 37	PRL37	32	32
A001 0898h	VIC	割り込み優先レベル格納レジスタ 38	PRL38	32	32
A001 089Ch	VIC	割り込み優先レベル格納レジスタ 39	PRL39	32	32
A001 08A0h	VIC	割り込み優先レベル格納レジスタ 40	PRL40	32	32
A001 08A4h	VIC	割り込み優先レベル格納レジスタ 41	PRL41	32	32
A001 08A8h	VIC	割り込み優先レベル格納レジスタ 42	PRL42	32	32
A001 08ACh	VIC	割り込み優先レベル格納レジスタ 43	PRL43	32	32
A001 08B0h	VIC	割り込み優先レベル格納レジスタ 44	PRL44	32	32
A001 08B4h	VIC	割り込み優先レベル格納レジスタ 45	PRL45	32	32
A001 08B8h	VIC	割り込み優先レベル格納レジスタ 46	PRL46	32	32
A001 08BCh	VIC	割り込み優先レベル格納レジスタ 47	PRL47	32	32
A001 08C0h	VIC	割り込み優先レベル格納レジスタ 48	PRL48	32	32
A001 08C4h	VIC	割り込み優先レベル格納レジスタ 49	PRL49	32	32
A001 08C8h	VIC	割り込み優先レベル格納レジスタ 50	PRL50	32	32
A001 08CCh	VIC	割り込み優先レベル格納レジスタ 51	PRL51	32	32
A001 08D0h	VIC	割り込み優先レベル格納レジスタ 52	PRL52	32	32
A001 08D4h	VIC	割り込み優先レベル格納レジスタ 53	PRL53	32	32
A001 08D8h	VIC	割り込み優先レベル格納レジスタ 54	PRL54	32	32
A001 08DCh	VIC	割り込み優先レベル格納レジスタ 55	PRL55	32	32
A001 08E0h	VIC	割り込み優先レベル格納レジスタ 56	PRL56	32	32
A001 08E4h	VIC	割り込み優先レベル格納レジスタ 57	PRL57	32	32
A001 08E8h	VIC	割り込み優先レベル格納レジスタ 58	PRL58	32	32
A001 08ECh	VIC	割り込み優先レベル格納レジスタ 59	PRL59	32	32
A001 08F0h	VIC	割り込み優先レベル格納レジスタ 60	PRL60	32	32

表5.1 I/O レジスタアドレス一覧 (14 / 56)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 08F4h	VIC	割り込み優先レベル格納レジスタ 61	PRL61	32	32
A001 08F8h	VIC	割り込み優先レベル格納レジスタ 62	PRL62	32	32
A001 08FCCh	VIC	割り込み優先レベル格納レジスタ 63	PRL63	32	32
A001 0900h	VIC	割り込み優先レベル格納レジスタ 64	PRL64	32	32
A001 0904h	VIC	割り込み優先レベル格納レジスタ 65	PRL65	32	32
A001 0908h	VIC	割り込み優先レベル格納レジスタ 66	PRL66	32	32
A001 090Ch	VIC	割り込み優先レベル格納レジスタ 67	PRL67	32	32
A001 0910h	VIC	割り込み優先レベル格納レジスタ 68	PRL68	32	32
A001 0914h	VIC	割り込み優先レベル格納レジスタ 69	PRL69	32	32
A001 0918h	VIC	割り込み優先レベル格納レジスタ 70	PRL70	32	32
A001 091Ch	VIC	割り込み優先レベル格納レジスタ 71	PRL71	32	32
A001 0920h	VIC	割り込み優先レベル格納レジスタ 72	PRL72	32	32
A001 0924h	VIC	割り込み優先レベル格納レジスタ 73	PRL73	32	32
A001 0928h	VIC	割り込み優先レベル格納レジスタ 74	PRL74	32	32
A001 092Ch	VIC	割り込み優先レベル格納レジスタ 75	PRL75	32	32
A001 0930h	VIC	割り込み優先レベル格納レジスタ 76	PRL76	32	32
A001 0934h	VIC	割り込み優先レベル格納レジスタ 77	PRL77	32	32
A001 0938h	VIC	割り込み優先レベル格納レジスタ 78	PRL78	32	32
A001 093Ch	VIC	割り込み優先レベル格納レジスタ 79	PRL79	32	32
A001 0940h	VIC	割り込み優先レベル格納レジスタ 80	PRL80	32	32
A001 0944h	VIC	割り込み優先レベル格納レジスタ 81	PRL81	32	32
A001 0948h	VIC	割り込み優先レベル格納レジスタ 82	PRL82	32	32
A001 094Ch	VIC	割り込み優先レベル格納レジスタ 83	PRL83	32	32
A001 0950h	VIC	割り込み優先レベル格納レジスタ 84	PRL84	32	32
A001 0954h	VIC	割り込み優先レベル格納レジスタ 85	PRL85	32	32
A001 0958h	VIC	割り込み優先レベル格納レジスタ 86	PRL86	32	32
A001 095Ch	VIC	割り込み優先レベル格納レジスタ 87	PRL87	32	32
A001 0960h	VIC	割り込み優先レベル格納レジスタ 88	PRL88	32	32
A001 0964h	VIC	割り込み優先レベル格納レジスタ 89	PRL89	32	32
A001 0968h	VIC	割り込み優先レベル格納レジスタ 90	PRL90	32	32
A001 096Ch	VIC	割り込み優先レベル格納レジスタ 91	PRL91	32	32
A001 0970h	VIC	割り込み優先レベル格納レジスタ 92	PRL92	32	32
A001 0974h	VIC	割り込み優先レベル格納レジスタ 93	PRL93	32	32
A001 0978h	VIC	割り込み優先レベル格納レジスタ 94	PRL94	32	32
A001 097Ch	VIC	割り込み優先レベル格納レジスタ 95	PRL95	32	32
A001 0980h	VIC	割り込み優先レベル格納レジスタ 96	PRL96	32	32
A001 0984h	VIC	割り込み優先レベル格納レジスタ 97	PRL97	32	32
A001 0988h	VIC	割り込み優先レベル格納レジスタ 98	PRL98	32	32
A001 098Ch	VIC	割り込み優先レベル格納レジスタ 99	PRL99	32	32
A001 0990h	VIC	割り込み優先レベル格納レジスタ 100	PRL100	32	32
A001 0994h	VIC	割り込み優先レベル格納レジスタ 101	PRL101	32	32
A001 0998h	VIC	割り込み優先レベル格納レジスタ 102	PRL102	32	32
A001 099Ch	VIC	割り込み優先レベル格納レジスタ 103	PRL103	32	32
A001 09A0h	VIC	割り込み優先レベル格納レジスタ 104	PRL104	32	32
A001 09A4h	VIC	割り込み優先レベル格納レジスタ 105	PRL105	32	32
A001 09A8h	VIC	割り込み優先レベル格納レジスタ 106	PRL106	32	32
A001 09ACh	VIC	割り込み優先レベル格納レジスタ 107	PRL107	32	32
A001 09B0h	VIC	割り込み優先レベル格納レジスタ 108	PRL108	32	32

表5.1 I/O レジスタアドレス一覧 (15 / 56)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 09B4h	VIC	割り込み優先レベル格納レジスタ 109	PRL109	32	32
A001 09B8h	VIC	割り込み優先レベル格納レジスタ 110	PRL110	32	32
A001 09BCCh	VIC	割り込み優先レベル格納レジスタ 111	PRL111	32	32
A001 09C0h	VIC	割り込み優先レベル格納レジスタ 112	PRL112	32	32
A001 09C4h	VIC	割り込み優先レベル格納レジスタ 113	PRL113	32	32
A001 09C8h	VIC	割り込み優先レベル格納レジスタ 114	PRL114	32	32
A001 09CCh	VIC	割り込み優先レベル格納レジスタ 115	PRL115	32	32
A001 09D0h	VIC	割り込み優先レベル格納レジスタ 116	PRL116	32	32
A001 09D4h	VIC	割り込み優先レベル格納レジスタ 117	PRL117	32	32
A001 09D8h	VIC	割り込み優先レベル格納レジスタ 118	PRL118	32	32
A001 09DCh	VIC	割り込み優先レベル格納レジスタ 119	PRL119	32	32
A001 09E0h	VIC	割り込み優先レベル格納レジスタ 120	PRL120	32	32
A001 09E4h	VIC	割り込み優先レベル格納レジスタ 121	PRL121	32	32
A001 09E8h	VIC	割り込み優先レベル格納レジスタ 122	PRL122	32	32
A001 09ECh	VIC	割り込み優先レベル格納レジスタ 123	PRL123	32	32
A001 09F0h	VIC	割り込み優先レベル格納レジスタ 124	PRL124	32	32
A001 09F4h	VIC	割り込み優先レベル格納レジスタ 125	PRL125	32	32
A001 09F8h	VIC	割り込み優先レベル格納レジスタ 126	PRL126	32	32
A001 09FCh	VIC	割り込み優先レベル格納レジスタ 127	PRL127	32	32
A001 0A00h	VIC	割り込み優先レベル格納レジスタ 128	PRL128	32	32
A001 0A04h	VIC	割り込み優先レベル格納レジスタ 129	PRL129	32	32
A001 0A08h	VIC	割り込み優先レベル格納レジスタ 130	PRL130	32	32
A001 0A0Ch	VIC	割り込み優先レベル格納レジスタ 131	PRL131	32	32
A001 0A10h	VIC	割り込み優先レベル格納レジスタ 132	PRL132	32	32
A001 0A14h	VIC	割り込み優先レベル格納レジスタ 133	PRL133	32	32
A001 0A18h	VIC	割り込み優先レベル格納レジスタ 134	PRL134	32	32
A001 0A1Ch	VIC	割り込み優先レベル格納レジスタ 135	PRL135	32	32
A001 0A20h	VIC	割り込み優先レベル格納レジスタ 136	PRL136	32	32
A001 0A24h	VIC	割り込み優先レベル格納レジスタ 137	PRL137	32	32
A001 0A28h	VIC	割り込み優先レベル格納レジスタ 138	PRL138	32	32
A001 0A2Ch	VIC	割り込み優先レベル格納レジスタ 139	PRL139	32	32
A001 0A30h	VIC	割り込み優先レベル格納レジスタ 140	PRL140	32	32
A001 0A34h	VIC	割り込み優先レベル格納レジスタ 141	PRL141	32	32
A001 0A38h	VIC	割り込み優先レベル格納レジスタ 142	PRL142	32	32
A001 0A3Ch	VIC	割り込み優先レベル格納レジスタ 143	PRL143	32	32
A001 0A40h	VIC	割り込み優先レベル格納レジスタ 144	PRL144	32	32
A001 0A44h	VIC	割り込み優先レベル格納レジスタ 145	PRL145	32	32
A001 0A48h	VIC	割り込み優先レベル格納レジスタ 146	PRL146	32	32
A001 0A4Ch	VIC	割り込み優先レベル格納レジスタ 147	PRL147	32	32
A001 0A50h	VIC	割り込み優先レベル格納レジスタ 148	PRL148	32	32
A001 0A54h	VIC	割り込み優先レベル格納レジスタ 149	PRL149	32	32
A001 0A58h	VIC	割り込み優先レベル格納レジスタ 150	PRL150	32	32
A001 0A5Ch	VIC	割り込み優先レベル格納レジスタ 151	PRL151	32	32
A001 0A60h	VIC	割り込み優先レベル格納レジスタ 152	PRL152	32	32
A001 0A64h	VIC	割り込み優先レベル格納レジスタ 153	PRL153	32	32
A001 0A68h	VIC	割り込み優先レベル格納レジスタ 154	PRL154	32	32
A001 0A6Ch	VIC	割り込み優先レベル格納レジスタ 155	PRL155	32	32
A001 0A70h	VIC	割り込み優先レベル格納レジスタ 156	PRL156	32	32

表5.1 I/O レジスタアドレス一覧 (16 / 56)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 0A74h	VIC	割り込み優先レベル格納レジスタ 157	PRL157	32	32
A001 0A78h	VIC	割り込み優先レベル格納レジスタ 158	PRL158	32	32
A001 0A7Ch	VIC	割り込み優先レベル格納レジスタ 159	PRL159	32	32
A001 0A80h	VIC	割り込み優先レベル格納レジスタ 160	PRL160	32	32
A001 0A84h	VIC	割り込み優先レベル格納レジスタ 161	PRL161	32	32
A001 0A88h	VIC	割り込み優先レベル格納レジスタ 162	PRL162	32	32
A001 0A8Ch	VIC	割り込み優先レベル格納レジスタ 163	PRL163	32	32
A001 0A90h	VIC	割り込み優先レベル格納レジスタ 164	PRL164	32	32
A001 0A94h	VIC	割り込み優先レベル格納レジスタ 165	PRL165	32	32
A001 0A98h	VIC	割り込み優先レベル格納レジスタ 166	PRL166	32	32
A001 0A9Ch	VIC	割り込み優先レベル格納レジスタ 167	PRL167	32	32
A001 0AA0h	VIC	割り込み優先レベル格納レジスタ 168	PRL168	32	32
A001 0AA4h	VIC	割り込み優先レベル格納レジスタ 169	PRL169	32	32
A001 0AA8h	VIC	割り込み優先レベル格納レジスタ 170	PRL170	32	32
A001 0AACh	VIC	割り込み優先レベル格納レジスタ 171	PRL171	32	32
A001 0AB0h	VIC	割り込み優先レベル格納レジスタ 172	PRL172	32	32
A001 0AB4h	VIC	割り込み優先レベル格納レジスタ 173	PRL173	32	32
A001 0AB8h	VIC	割り込み優先レベル格納レジスタ 174	PRL174	32	32
A001 0ABCh	VIC	割り込み優先レベル格納レジスタ 175	PRL175	32	32
A001 0AC0h	VIC	割り込み優先レベル格納レジスタ 176	PRL176	32	32
A001 0AC4h	VIC	割り込み優先レベル格納レジスタ 177	PRL177	32	32
A001 0AC8h	VIC	割り込み優先レベル格納レジスタ 178	PRL178	32	32
A001 0ACCh	VIC	割り込み優先レベル格納レジスタ 179	PRL179	32	32
A001 0AD0h	VIC	割り込み優先レベル格納レジスタ 180	PRL180	32	32
A001 0AD4h	VIC	割り込み優先レベル格納レジスタ 181	PRL181	32	32
A001 0AD8h	VIC	割り込み優先レベル格納レジスタ 182	PRL182	32	32
A001 0ADCh	VIC	割り込み優先レベル格納レジスタ 183	PRL183	32	32
A001 0AE0h	VIC	割り込み優先レベル格納レジスタ 184	PRL184	32	32
A001 0AE4h	VIC	割り込み優先レベル格納レジスタ 185	PRL185	32	32
A001 0AE8h	VIC	割り込み優先レベル格納レジスタ 186	PRL186	32	32
A001 0AECh	VIC	割り込み優先レベル格納レジスタ 187	PRL187	32	32
A001 0AF0h	VIC	割り込み優先レベル格納レジスタ 188	PRL188	32	32
A001 0AF4h	VIC	割り込み優先レベル格納レジスタ 189	PRL189	32	32
A001 0AF8h	VIC	割り込み優先レベル格納レジスタ 190	PRL190	32	32
A001 0AFCh	VIC	割り込み優先レベル格納レジスタ 191	PRL191	32	32
A001 0B00h	VIC	割り込み優先レベル格納レジスタ 192	PRL192	32	32
A001 0B04h	VIC	割り込み優先レベル格納レジスタ 193	PRL193	32	32
A001 0B08h	VIC	割り込み優先レベル格納レジスタ 194	PRL194	32	32
A001 0B0Ch	VIC	割り込み優先レベル格納レジスタ 195	PRL195	32	32
A001 0B10h	VIC	割り込み優先レベル格納レジスタ 196	PRL196	32	32
A001 0B14h	VIC	割り込み優先レベル格納レジスタ 197	PRL197	32	32
A001 0B18h	VIC	割り込み優先レベル格納レジスタ 198	PRL198	32	32
A001 0B1Ch	VIC	割り込み優先レベル格納レジスタ 199	PRL199	32	32
A001 0B20h	VIC	割り込み優先レベル格納レジスタ 200	PRL200	32	32
A001 0B24h	VIC	割り込み優先レベル格納レジスタ 201	PRL201	32	32
A001 0B28h	VIC	割り込み優先レベル格納レジスタ 202	PRL202	32	32
A001 0B2Ch	VIC	割り込み優先レベル格納レジスタ 203	PRL203	32	32
A001 0B30h	VIC	割り込み優先レベル格納レジスタ 204	PRL204	32	32

表5.1 I/O レジスタアドレス一覧 (17 / 56)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 0B34h	VIC	割り込み優先レベル格納レジスタ 205	PRL205	32	32
A001 0B38h	VIC	割り込み優先レベル格納レジスタ 206	PRL206	32	32
A001 0B3Ch	VIC	割り込み優先レベル格納レジスタ 207	PRL207	32	32
A001 0B40h	VIC	割り込み優先レベル格納レジスタ 208	PRL208	32	32
A001 0B44h	VIC	割り込み優先レベル格納レジスタ 209	PRL209	32	32
A001 0B48h	VIC	割り込み優先レベル格納レジスタ 210	PRL210	32	32
A001 0B4Ch	VIC	割り込み優先レベル格納レジスタ 211	PRL211	32	32
A001 0B50h	VIC	割り込み優先レベル格納レジスタ 212	PRL212	32	32
A001 0B54h	VIC	割り込み優先レベル格納レジスタ 213	PRL213	32	32
A001 0B58h	VIC	割り込み優先レベル格納レジスタ 214	PRL214	32	32
A001 0B5Ch	VIC	割り込み優先レベル格納レジスタ 215	PRL215	32	32
A001 0B60h	VIC	割り込み優先レベル格納レジスタ 216	PRL216	32	32
A001 0B64h	VIC	割り込み優先レベル格納レジスタ 217	PRL217	32	32
A001 0B68h	VIC	割り込み優先レベル格納レジスタ 218	PRL218	32	32
A001 0B6Ch	VIC	割り込み優先レベル格納レジスタ 219	PRL219	32	32
A001 0B70h	VIC	割り込み優先レベル格納レジスタ 220	PRL220	32	32
A001 0B74h	VIC	割り込み優先レベル格納レジスタ 221	PRL221	32	32
A001 0B78h	VIC	割り込み優先レベル格納レジスタ 222	PRL222	32	32
A001 0B7Ch	VIC	割り込み優先レベル格納レジスタ 223	PRL223	32	32
A001 0B80h	VIC	割り込み優先レベル格納レジスタ 224	PRL224	32	32
A001 0B84h	VIC	割り込み優先レベル格納レジスタ 225	PRL225	32	32
A001 0B88h	VIC	割り込み優先レベル格納レジスタ 226	PRL226	32	32
A001 0B8Ch	VIC	割り込み優先レベル格納レジスタ 227	PRL227	32	32
A001 0B90h	VIC	割り込み優先レベル格納レジスタ 228	PRL228	32	32
A001 0B94h	VIC	割り込み優先レベル格納レジスタ 229	PRL229	32	32
A001 0B98h	VIC	割り込み優先レベル格納レジスタ 230	PRL230	32	32
A001 0B9Ch	VIC	割り込み優先レベル格納レジスタ 231	PRL231	32	32
A001 0BA0h	VIC	割り込み優先レベル格納レジスタ 232	PRL232	32	32
A001 0BA4h	VIC	割り込み優先レベル格納レジスタ 233	PRL233	32	32
A001 0BA8h	VIC	割り込み優先レベル格納レジスタ 234	PRL234	32	32
A001 0BACH	VIC	割り込み優先レベル格納レジスタ 235	PRL235	32	32
A001 0BB0h	VIC	割り込み優先レベル格納レジスタ 236	PRL236	32	32
A001 0BB4h	VIC	割り込み優先レベル格納レジスタ 237	PRL237	32	32
A001 0BB8h	VIC	割り込み優先レベル格納レジスタ 238	PRL238	32	32
A001 0BBCCh	VIC	割り込み優先レベル格納レジスタ 239	PRL239	32	32
A001 0BC0h	VIC	割り込み優先レベル格納レジスタ 240	PRL240	32	32
A001 0BC4h	VIC	割り込み優先レベル格納レジスタ 241	PRL241	32	32
A001 0BC8h	VIC	割り込み優先レベル格納レジスタ 242	PRL242	32	32
A001 0BCCh	VIC	割り込み優先レベル格納レジスタ 243	PRL243	32	32
A001 0BD0h	VIC	割り込み優先レベル格納レジスタ 244	PRL244	32	32
A001 0BD4h	VIC	割り込み優先レベル格納レジスタ 245	PRL245	32	32
A001 0BD8h	VIC	割り込み優先レベル格納レジスタ 246	PRL246	32	32
A001 0BDCh	VIC	割り込み優先レベル格納レジスタ 247	PRL247	32	32
A001 0BE0h	VIC	割り込み優先レベル格納レジスタ 248	PRL248	32	32
A001 0BE4h	VIC	割り込み優先レベル格納レジスタ 249	PRL249	32	32
A001 0BE8h	VIC	割り込み優先レベル格納レジスタ 250	PRL250	32	32
A001 0BECh	VIC	割り込み優先レベル格納レジスタ 251	PRL251	32	32
A001 0BF0h	VIC	割り込み優先レベル格納レジスタ 252	PRL252	32	32

表5.1 I/O レジスタアドレス一覧 (18 / 56)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 0BF4h	VIC	割り込み優先レベル格納レジスタ 253	PRL253	32	32
A001 0BF8h	VIC	割り込み優先レベル格納レジスタ 254	PRL254	32	32
A001 0BFC	VIC	割り込み優先レベル格納レジスタ 255	PRL255	32	32
A001 1000h	VIC	IRQステータスレジスタ 8	IRQS8	32	32
A001 1004h	VIC	IRQステータスレジスタ 9	IRQS9	32	32
A001 1040h	VIC	割り込み入力ステータスレジスタ 8	RAIS8	32	32
A001 1044h	VIC	割り込み入力ステータスレジスタ 9	RAIS9	32	32
A001 1080h	VIC	割り込みイネーブルレジスタ 8	IEN8	32	32
A001 1084h	VIC	割り込みイネーブルレジスタ 9	IEN9	32	32
A001 10A0h	VIC	割り込みイネーブルクリアレジスタ 8	IEC8	32	32
A001 10A4h	VIC	割り込みイネーブルクリアレジスタ 9	IEC9	32	32
A001 1100h	VIC	割り込み検出タイプ選択レジスタ 8	PLS8	32	32
A001 1104h	VIC	割り込み検出タイプ選択レジスタ 9	PLS9	32	32
A001 1120h	VIC	エッジ検出ビットクリアレジスタ 8	PIC8	32	32
A001 1124h	VIC	エッジ検出ビットクリアレジスタ 9	PIC9	32	32
A001 11C0h	VIC	割り込み優先レベルマスクレジスタ 1	PRLM1	32	32
A001 11C4h	VIC	割り込み優先レベルマスククリアレジスタ 1	PRLC1	32	32
A001 11C8h	VIC	ユーザモードイネーブルレジスタ 1	UEN1	32	32
A001 1210h	VIC	割り込みサービスステータスレジスタ 8	ISS8	32	32
A001 1214h	VIC	割り込みサービスステータスレジスタ 9	ISS9	32	32
A001 1230h	VIC	割り込みサービスカレントレジスタ 8	ISC8	32	32
A001 1234h	VIC	割り込みサービスカレントレジスタ 9	ISC9	32	32
A001 1400h	VIC	割り込みアドレス格納レジスタ 256	VAD256	32	32
A001 1404h	VIC	割り込みアドレス格納レジスタ 257	VAD257	32	32
A001 1408h	VIC	割り込みアドレス格納レジスタ 258	VAD258	32	32
A001 140Ch	VIC	割り込みアドレス格納レジスタ 259	VAD259	32	32
A001 1410h	VIC	割り込みアドレス格納レジスタ 260	VAD260	32	32
A001 1414h	VIC	割り込みアドレス格納レジスタ 261	VAD261	32	32
A001 1418h	VIC	割り込みアドレス格納レジスタ 262	VAD262	32	32
A001 141Ch	VIC	割り込みアドレス格納レジスタ 263	VAD263	32	32
A001 1420h	VIC	割り込みアドレス格納レジスタ 264	VAD264	32	32
A001 1424h	VIC	割り込みアドレス格納レジスタ 265	VAD265	32	32
A001 1428h	VIC	割り込みアドレス格納レジスタ 266	VAD266	32	32
A001 142Ch	VIC	割り込みアドレス格納レジスタ 267	VAD267	32	32
A001 1430h	VIC	割り込みアドレス格納レジスタ 268	VAD268	32	32
A001 1434h	VIC	割り込みアドレス格納レジスタ 269	VAD269	32	32
A001 1438h	VIC	割り込みアドレス格納レジスタ 270	VAD270	32	32
A001 143Ch	VIC	割り込みアドレス格納レジスタ 271	VAD271	32	32
A001 1440h	VIC	割り込みアドレス格納レジスタ 272	VAD272	32	32
A001 1444h	VIC	割り込みアドレス格納レジスタ 273	VAD273	32	32
A001 1448h	VIC	割り込みアドレス格納レジスタ 274	VAD274	32	32
A001 144Ch	VIC	割り込みアドレス格納レジスタ 275	VAD275	32	32
A001 1450h	VIC	割り込みアドレス格納レジスタ 276	VAD276	32	32
A001 1454h	VIC	割り込みアドレス格納レジスタ 277	VAD277	32	32
A001 1458h	VIC	割り込みアドレス格納レジスタ 278	VAD278	32	32
A001 145Ch	VIC	割り込みアドレス格納レジスタ 279	VAD279	32	32
A001 1460h	VIC	割り込みアドレス格納レジスタ 280	VAD280	32	32
A001 1464h	VIC	割り込みアドレス格納レジスタ 281	VAD281	32	32

表5.1 I/O レジスタアドレス一覧 (19 / 56)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 1468h	VIC	割り込みアドレス格納レジスタ 282	VAD282	32	32
A001 146Ch	VIC	割り込みアドレス格納レジスタ 283	VAD283	32	32
A001 1470h	VIC	割り込みアドレス格納レジスタ 284	VAD284	32	32
A001 1474h	VIC	割り込みアドレス格納レジスタ 285	VAD285	32	32
A001 1478h	VIC	割り込みアドレス格納レジスタ 286	VAD286	32	32
A001 147Ch	VIC	割り込みアドレス格納レジスタ 287	VAD287	32	32
A001 1480h	VIC	割り込みアドレス格納レジスタ 288	VAD288	32	32
A001 1484h	VIC	割り込みアドレス格納レジスタ 289	VAD289	32	32
A001 1488h	VIC	割り込みアドレス格納レジスタ 290	VAD290	32	32
A001 148Ch	VIC	割り込みアドレス格納レジスタ 291	VAD291	32	32
A001 1490h	VIC	割り込みアドレス格納レジスタ 292	VAD292	32	32
A001 1494h	VIC	割り込みアドレス格納レジスタ 293	VAD293	32	32
A001 1498h	VIC	割り込みアドレス格納レジスタ 294	VAD294	32	32
A001 149Ch	VIC	割り込みアドレス格納レジスタ 295	VAD295	32	32
A001 14A0h	VIC	割り込みアドレス格納レジスタ 296	VAD296	32	32
A001 14A4h	VIC	割り込みアドレス格納レジスタ 297	VAD297	32	32
A001 14A8h	VIC	割り込みアドレス格納レジスタ 298	VAD298	32	32
A001 14ACh	VIC	割り込みアドレス格納レジスタ 299	VAD299	32	32
A001 14B0h	VIC	割り込みアドレス格納レジスタ 300	VAD300	32	32
A001 1800h	VIC	割り込み優先レベル格納レジスタ 256	PRL256	32	32
A001 1804h	VIC	割り込み優先レベル格納レジスタ 257	PRL257	32	32
A001 1808h	VIC	割り込み優先レベル格納レジスタ 258	PRL258	32	32
A001 180Ch	VIC	割り込み優先レベル格納レジスタ 259	PRL259	32	32
A001 1810h	VIC	割り込み優先レベル格納レジスタ 260	PRL260	32	32
A001 1814h	VIC	割り込み優先レベル格納レジスタ 261	PRL261	32	32
A001 1818h	VIC	割り込み優先レベル格納レジスタ 262	PRL262	32	32
A001 181Ch	VIC	割り込み優先レベル格納レジスタ 263	PRL263	32	32
A001 1820h	VIC	割り込み優先レベル格納レジスタ 264	PRL264	32	32
A001 1824h	VIC	割り込み優先レベル格納レジスタ 265	PRL265	32	32
A001 1828h	VIC	割り込み優先レベル格納レジスタ 266	PRL266	32	32
A001 182Ch	VIC	割り込み優先レベル格納レジスタ 267	PRL267	32	32
A001 1830h	VIC	割り込み優先レベル格納レジスタ 268	PRL268	32	32
A001 1834h	VIC	割り込み優先レベル格納レジスタ 269	PRL269	32	32
A001 1838h	VIC	割り込み優先レベル格納レジスタ 270	PRL270	32	32
A001 183Ch	VIC	割り込み優先レベル格納レジスタ 271	PRL271	32	32
A001 1840h	VIC	割り込み優先レベル格納レジスタ 272	PRL272	32	32
A001 1844h	VIC	割り込み優先レベル格納レジスタ 273	PRL273	32	32
A001 1848h	VIC	割り込み優先レベル格納レジスタ 274	PRL274	32	32
A001 184Ch	VIC	割り込み優先レベル格納レジスタ 275	PRL275	32	32
A001 1850h	VIC	割り込み優先レベル格納レジスタ 276	PRL276	32	32
A001 1854h	VIC	割り込み優先レベル格納レジスタ 277	PRL277	32	32
A001 1858h	VIC	割り込み優先レベル格納レジスタ 278	PRL278	32	32
A001 185Ch	VIC	割り込み優先レベル格納レジスタ 279	PRL279	32	32
A001 1860h	VIC	割り込み優先レベル格納レジスタ 280	PRL280	32	32
A001 1864h	VIC	割り込み優先レベル格納レジスタ 281	PRL281	32	32
A001 1868h	VIC	割り込み優先レベル格納レジスタ 282	PRL282	32	32
A001 186Ch	VIC	割り込み優先レベル格納レジスタ 283	PRL283	32	32
A001 1870h	VIC	割り込み優先レベル格納レジスタ 284	PRL284	32	32

表5.1 I/O レジスタアドレス一覧 (20 / 56)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A001 1874h	VIC	割り込み優先レベル格納レジスタ 285	PRL285	32	32
A001 1878h	VIC	割り込み優先レベル格納レジスタ 286	PRL286	32	32
A001 187Ch	VIC	割り込み優先レベル格納レジスタ 287	PRL287	32	32
A001 1880h	VIC	割り込み優先レベル格納レジスタ 288	PRL288	32	32
A001 1884h	VIC	割り込み優先レベル格納レジスタ 289	PRL289	32	32
A001 1888h	VIC	割り込み優先レベル格納レジスタ 290	PRL290	32	32
A001 188Ch	VIC	割り込み優先レベル格納レジスタ 291	PRL291	32	32
A001 1890h	VIC	割り込み優先レベル格納レジスタ 292	PRL292	32	32
A001 1894h	VIC	割り込み優先レベル格納レジスタ 293	PRL293	32	32
A001 1898h	VIC	割り込み優先レベル格納レジスタ 294	PRL294	32	32
A001 189Ch	VIC	割り込み優先レベル格納レジスタ 295	PRL295	32	32
A001 18A0h	VIC	割り込み優先レベル格納レジスタ 296	PRL296	32	32
A001 18A4h	VIC	割り込み優先レベル格納レジスタ 297	PRL297	32	32
A001 18A8h	VIC	割り込み優先レベル格納レジスタ 298	PRL298	32	32
A001 18ACh	VIC	割り込み優先レベル格納レジスタ 299	PRL299	32	32
A001 18B0h	VIC	割り込み優先レベル格納レジスタ 300	PRL300	32	32
A004 0000h	USBh	HcRevision レジスタ	HcRevision	32	32
A004 0004h	USBh	HcControl レジスタ	HcControl	32	32
A004 0008h	USBh	HcCommandStatus レジスタ	HcCommandStatus	32	32
A004 000Ch	USBh	HcInterruptStatus レジスタ	HcIntStatus	32	32
A004 0010h	USBh	HcInterruptEnable レジスタ	HcIntEnable	32	32
A004 0014h	USBh	HcInterruptDisable レジスタ	HcIntDisable	32	32
A004 0018h	USBh	HcHCCA レジスタ	HcHCCA	32	32
A004 001Ch	USBh	HcPeriodicCurrentED レジスタ	HcPeriodCurED	32	32
A004 0020h	USBh	HcControlHeadED レジスタ	HcContHeadED	32	32
A004 0024h	USBh	HcControlCurrentED レジスタ	HcContCurrentED	32	32
A004 0028h	USBh	HcBulkHeadED レジスタ	HcBulkHeadED	32	32
A004 002Ch	USBh	HcBulkCurrentED レジスタ	HcBulkCurrentED	32	32
A004 0030h	USBh	HcDoneHead レジスタ	HcDoneHead	32	32
A004 0034h	USBh	HcFmInterval レジスタ	HcFmInterval	32	32
A004 0038h	USBh	HcFmRemaining レジスタ	HcFmRemaining	32	32
A004 003Ch	USBh	HcFmNumber レジスタ	HcFmNumber	32	32
A004 0040h	USBh	HcPeriodicStart レジスタ	HcPeriodicStart	32	32
A004 0048h	USBh	HcRhDescriptorA レジスタ	HcRhDescriptorA	32	32
A004 004Ch	USBh	HcRhDescriptorB レジスタ	HcRhDescriptorB	32	32
A004 0050h	USBh	HcRhStatus レジスタ	HcRhStatus_A	32	32
A004 0050h	USBh	HcRhStatus レジスタ	HcRhStatus_B	32	32
A004 0054h	USBh	HcRhPortStatus1 レジスタ	HcRhPortStatus1_A	32	32
A004 0054h	USBh	HcRhPortStatus1 レジスタ	HcRhPortStatus1_B	32	32
A004 1000h	USBh	HCIVERSION / CAPLENGTH レジスタ	CAPL_VERSION	32	32
A004 1004h	USBh	HCCPARAMS レジスタ	HCCPARAMS	32	32
A004 1008h	USBh	HCCPARAMS レジスタ	HCCPARAMS	32	32
A004 100Ch	USBh	HCSP_PORTROUTE レジスタ	HCSP_PORTROUTE	32	32
A004 1020h	USBh	USBCMD レジスタ	USBCMD	32	32
A004 1024h	USBh	USBSTS レジスタ	USBSTS	32	32
A004 1028h	USBh	USBINTR レジスタ	USBINTR	32	32
A004 102Ch	USBh	FRINDEX レジスタ	FRINDEX	32	32
A004 1030h	USBh	CTRLDSSEGMENT レジスタ	CTRLDSSEGMENT	32	32

表5.1 I/O レジスタアドレス一覧 (21 / 56)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A004 1034h	USBh	PERIODICLISTBASE レジスタ	PERIODICLIST	32	32
A004 1038h	USBh	ASYNCLISTADDR レジスタ	ASYNCLISTADDR	32	32
A004 1060h	USBh	CONFIGFLAG レジスタ	CONFIGFLAG	32	32
A004 1064h	USBh	PORTSC1 レジスタ	PORTSC1	32	32
A005 0000h	USBh	PCI Configuration Registers for OHCI	VID_DID_O	32	32
A005 0000h	USBh	PCI Configuration Registers for AHB-PCI Bridge	VID_DID_A	32	32
A005 0004h	USBh	PCI Configuration Registers for OHCI	CMND_STS_O	32	32
A005 0004h	USBh	PCI Configuration Registers for AHB-PCI Bridge	CMND_STS_A	32	32
A005 0008h	USBh	PCI Configuration Registers for OHCI	REVID_CC_O	32	32
A005 0008h	USBh	PCI Configuration Registers for AHB-PCI Bridge	REVID_CC_A	32	32
A005 000Ch	USBh	PCI Configuration Registers for OHCI	CLS_LT_HT_BIST_O	32	32
A005 000Ch	USBh	PCI Configuration Registers for AHB-PCI Bridge	CLS_LT_HT_BIST_A	32	32
A005 0010h	USBh	PCI Configuration Registers for OHCI	BASEAD_O	32	32
A005 0010h	USBh	PCI Configuration Registers for AHB-PCI Bridge	BASEAD_A	32	32
A005 0014h	USBh	PCI Configuration Registers for AHB-PCI Bridge	WIN1_BASEAD	32	32
A005 002Ch	USBh	PCI Configuration Registers for OHCI	SSVID_SSID_O	32	32
A005 002Ch	USBh	PCI Configuration Registers for AHB-PCI Bridge	SSVID_SSID_A	32	32
A005 0030h	USBh	PCI Configuration Registers for OHCI	EROM_BASEAD	32	32
A005 0034h	USBh	PCI Configuration Registers for OHCI	CAPPTR	32	32
A005 003Ch	USBh	PCI Configuration Registers for OHCI	INTR_LINE_PIN_O	32	32
A005 003Ch	USBh	PCI Configuration Registers for AHB-PCI Bridge	INTR_LINE_PIN_A	32	32
A005 0040h	USBh	PCI Configuration Registers for OHCI	CAPID_NIP_PMCAP	32	32
A005 0044h	USBh	PCI Configuration Registers for OHCI	PMC_STS_PMCSCR	32	32
A005 00E0h	USBh	PCI Configuration Registers for OHCI	EXT1	32	32
A005 00E4h	USBh	PCI Configuration Registers for OHCI	EXT2	32	32
A005 0100h	USBh	PCI Configuration Registers for EHCI	VID_DID_E	32	32
A005 0104h	USBh	PCI Configuration Registers for EHCI	CMND_STS_E	32	32
A005 0108h	USBh	PCI Configuration Registers for EHCI	REVID_CC_E	32	32
A005 010Ch	USBh	PCI Configuration Registers for EHCI	CLS_LT_HT_BIST_E	32	32
A005 0110h	USBh	PCI Configuration Registers for EHCI	BASEAD_E	32	32
A005 012Ch	USBh	PCI Configuration Registers for EHCI	SSVID_SSID_E	32	32
A005 0130h	USBh	PCI Configuration Registers for EHCI	EROM_BASEAD_E	32	32
A005 0134h	USBh	PCI Configuration Registers for EHCI	CAPPTR_E	32	32
A005 013Ch	USBh	PCI Configuration Registers for EHCI	INTR_LINE_PIN_E	32	32
A005 0140h	USBh	PCI Configuration Registers for EHCI	CAPID_NIP_PMCAP_E	32	32
A005 0144h	USBh	PCI Configuration Registers for EHCI	PMC_STS_PMCSCR_E	32	32
A005 0160h	USBh	PCI Configuration Registers for EHCI	SBRN_FLADJ_PW	32	32
A005 01E0h	USBh	PCI Configuration Registers for EHCI	EXT1_E	32	32
A005 01E4h	USBh	PCI Configuration Registers for EHCI	EXT2_E	32	32
A005 0800h	USBh	PCIAHB_WIN1_CTR レジスタ	PCIAHB_WIN1_CTR	32	32
A005 0810h	USBh	AHBPCI_WIN1_CTR レジスタ	AHBPCI_WIN1_CTR	32	32
A005 0814h	USBh	AHBPCI_WIN2_CTR レジスタ	AHBPCI_WIN2_CTR	32	32
A005 0820h	USBh	PCI_INT_ENABLE レジスタ	PCI_INT_ENABLE	32	32
A005 0824h	USBh	PCI_INT_STATUS レジスタ	PCI_INT_STATUS	32	32
A005 0830h	USBh	AHB_BUS_CTR レジスタ	AHB_BUS_CTR	32	32
A005 0834h	USBh	USBCTR レジスタ	USBCTR	32	32
A005 0840h	USBh	PCI_ARBITER_CTR レジスタ	PCI_ARBITER_CTR	32	32
A005 0848h	USBh	PCI_UNIT_REV レジスタ	PCI_UNIT_REV	32	32

表5.1 I/O レジスタアドレス一覧 (22 / 56)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 0000h	USBf	システムコンフィグレーションコントロールレジスタ0	SYSCFG0	16	16
A006 0002h	USBf	システムコンフィグレーションコントロールレジスタ1	SYSCFG1	16	16
A006 0004h	USBf	システムコンフィグレーションステータスレジスタ	SYSSTS0	16	16
A006 0008h	USBf	デバイスステートコントロールレジスタ0	DVSTCTR0	16	16
A006 000Ch	USBf	USBテストモードレジスタ	TESTMODE	16	16
A006 0010h	USBf	DMA0-FIFOバスコンフィグレーションレジスタ	D0FBCFG	16	16
A006 0012h	USBf	DMA1-FIFOバスコンフィグレーションレジスタ	D1FBCFG	16	16
A006 0014h	USBf	CFIFOポートレジスタ	CFIFO	32	8, 16, 32
A006 0018h	USBf	D0FIFOポートレジスタ	D0FIFO	32	8, 16, 32
A006 001Ch	USBf	D1FIFOポートレジスタ	D1FIFO	32	8, 16, 32
A006 0020h	USBf	CFIFOポート選択レジスタ	CFIFOSEL	16	16
A006 0022h	USBf	CFIFOポートコントロールレジスタ	CFIFOCTR	16	16
A006 0028h	USBf	D0FIFOポート選択レジスタ	D0FIFOSEL	16	16
A006 002Ah	USBf	D0FIFOポートコントロールレジスタ	D0FIFOCTR	16	16
A006 002Ch	USBf	D1FIFOポート選択レジスタ	D1FIFOSEL	16	16
A006 002Eh	USBf	D1FIFOポートコントロールレジスタ	D1FIFOCTR	16	16
A006 0030h	USBf	割り込み許可レジスタ0	INTENB0	16	16
A006 0036h	USBf	BRDY割り込み許可レジスタ	BRDYENB	16	16
A006 0038h	USBf	NRDY割り込み許可レジスタ	NRDYENB	16	16
A006 003Ah	USBf	BEMP割り込み許可レジスタ	BEMPENB	16	16
A006 003Ch	USBf	SOFピンコンフィグレーションレジスタ	SOFCFG	16	16
A006 0040h	USBf	割り込みステータスレジスタ0	INTSTS0	16	16
A006 0046h	USBf	BRDY割り込みステータスレジスタ	BRDYSTS	16	16
A006 0048h	USBf	NRDY割り込みステータスレジスタ	NRDYSTS	16	16
A006 004Ah	USBf	BEMP割り込みステータスレジスタ	BEMPSTS	16	16
A006 004Ch	USBf	フレームナンバレジスタ	FRMNUM	16	16
A006 004Eh	USBf	μフレームナンバレジスタ	UFRMNUM	16	16
A006 0050h	USBf	USBアドレスレジスタ	USBADDR	16	16
A006 0054h	USBf	USBリクエストタイプレジスタ	USBREQ	16	16
A006 0056h	USBf	USBリクエストバリュレジスタ	USBVAL	16	16
A006 0058h	USBf	USBリクエストインデックスレジスタ	USBINDX	16	16
A006 005Ah	USBf	USBリクエストレンガスレジスタ	USBLENG	16	16
A006 005Eh	USBf	DCPマックスパケットサイズレジスタ	DCPMAXP	16	16
A006 0060h	USBf	DCPコントロールレジスタ	DCPCTR	16	16
A006 0064h	USBf	パイプウィンドウ選択レジスタ	PIPESEL	16	16
A006 0068h	USBf	パイプコンフィグレーションレジスタ	PIPECFG	16	16
A006 006Ah	USBf	パイプバッファ指定レジスタ	PIPEBUF	16	16
A006 006Ch	USBf	パイプマックスパケットサイズレジスタ	PIPEMAXP	16	16
A006 006Eh	USBf	パイプ周期制御レジスタ	PIPEPERI	16	16
A006 0070h	USBf	PIPE1コントロールレジスタ	PIPE1CTR	16	16
A006 0072h	USBf	PIPE2コントロールレジスタ	PIPE2CTR	16	16
A006 0074h	USBf	PIPE3コントロールレジスタ	PIPE3CTR	16	16
A006 0076h	USBf	PIPE4コントロールレジスタ	PIPE4CTR	16	16
A006 0078h	USBf	PIPE5コントロールレジスタ	PIPE5CTR	16	16
A006 007Ah	USBf	PIPE6コントロールレジスタ	PIPE6CTR	16	16
A006 007Ch	USBf	PIPE7コントロールレジスタ	PIPE7CTR	16	16
A006 007Eh	USBf	PIPE8コントロールレジスタ	PIPE8CTR	16	16
A006 0080h	USBf	PIPE9コントロールレジスタ	PIPE9CTR	16	16

表5.1 I/O レジスタアドレス一覧 (23 / 56)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 0090h	USBf	PIPE1 トランザクションカウンタ許可レジスタ	PIPE1TRE	16	16
A006 0092h	USBf	PIPE1 トランザクションカウンタレジスタ	PIPE1TRN	16	16
A006 0094h	USBf	PIPE2 トランザクションカウンタ許可レジスタ	PIPE2TRE	16	16
A006 0096h	USBf	PIPE2 トランザクションカウンタレジスタ	PIPE2TRN	16	16
A006 0098h	USBf	PIPE3 トランザクションカウンタ許可レジスタ	PIPE3TRE	16	16
A006 009Ah	USBf	PIPE3 トランザクションカウンタレジスタ	PIPE3TRN	16	16
A006 009Ch	USBf	PIPE4 トランザクションカウンタ許可レジスタ	PIPE4TRE	16	16
A006 009Eh	USBf	PIPE4 トランザクションカウンタレジスタ	PIPE4TRN	16	16
A006 00A0h	USBf	PIPE5 トランザクションカウンタ許可レジスタ	PIPE5TRE	16	16
A006 00A2h	USBf	PIPE5 トランザクションカウンタレジスタ	PIPE5TRN	16	16
A006 0102h	USBf	ローパワーステータスレジスタ	LPSTS	16	16
A006 0160h	USBf	D0FIFO 連続転送ポートレジスタ 0	D0FIFOB0	32	32
A006 0164h	USBf	D0FIFO 連続転送ポートレジスタ 1	D0FIFOB1	32	32
A006 0168h	USBf	D0FIFO 連続転送ポートレジスタ 2	D0FIFOB2	32	32
A006 016Ch	USBf	D0FIFO 連続転送ポートレジスタ 3	D0FIFOB3	32	32
A006 0170h	USBf	D0FIFO 連続転送ポートレジスタ 4	D0FIFOB4	32	32
A006 0174h	USBf	D0FIFO 連続転送ポートレジスタ 5	D0FIFOB5	32	32
A006 0178h	USBf	D0FIFO 連続転送ポートレジスタ 6	D0FIFOB6	32	32
A006 017Ch	USBf	D0FIFO 連続転送ポートレジスタ 7	D0FIFOB7	32	32
A006 0180h	USBf	D1FIFO 連続転送ポートレジスタ 0	D1FIFOB0	32	32
A006 0184h	USBf	D1FIFO 連続転送ポートレジスタ 1	D1FIFOB1	32	32
A006 0188h	USBf	D1FIFO 連続転送ポートレジスタ 2	D1FIFOB2	32	32
A006 018Ch	USBf	D1FIFO 連続転送ポートレジスタ 3	D1FIFOB3	32	32
A006 0190h	USBf	D1FIFO 連続転送ポートレジスタ 4	D1FIFOB4	32	32
A006 0194h	USBf	D1FIFO 連続転送ポートレジスタ 5	D1FIFOB5	32	32
A006 0198h	USBf	D1FIFO 連続転送ポートレジスタ 6	D1FIFOB6	32	32
A006 019Ch	USBf	D1FIFO 連続転送ポートレジスタ 7	D1FIFOB7	32	32
A006 01A0h	USBf	PHY 設定レジスタ 1	PHYSET1	16	16
A006 2000h	DMA0	ネクスト0 ソースアドレスレジスタ 0	DMAC0_N0SA_0_N	32	32
A006 2000h	DMA0	ネクスト0 ソースアドレスレジスタ 0	DMAC0_N0SA_0_W	32	32
A006 2004h	DMA0	ネクスト0 デスティネーションアドレスレジスタ 0	DMAC0_N0DA_0	32	32
A006 2008h	DMA0	ネクスト0 トランザクションバイトレジスタ 0	DMAC0_N0TB_0	32	32
A006 200Ch	DMA0	ネクスト1 ソースアドレスレジスタ 0	DMAC0_N1SA_0_N	32	32
A006 200Ch	DMA0	ネクスト1 ソースアドレスレジスタ 0	DMAC0_N1SA_0_W	32	32
A006 2010h	DMA0	ネクスト1 デスティネーションアドレスレジスタ 0	DMAC0_N1DA_0	32	32
A006 2014h	DMA0	ネクスト1 トランザクションバイトレジスタ 0	DMAC0_N1TB_0	32	32
A006 2018h	DMA0	カレントソースアドレスレジスタ 0	DMAC0_CRSA_0	32	32
A006 201Ch	DMA0	カレントデスティネーションアドレスレジスタ 0	DMAC0_CRDA_0	32	32
A006 2020h	DMA0	カレントトランザクションバイトレジスタ 0	DMAC0_CRTB_0	32	32
A006 2024h	DMA0	チャネルステータスレジスタ 0	DMAC0_CHSTAT_0	32	32
A006 2028h	DMA0	チャネルコントロールレジスタ 0	DMAC0_CHCTRL_0	32	32
A006 202Ch	DMA0	チャネルコンフィギュレーションレジスタ 0	DMAC0_CHCFG_0	32	32
A006 2030h	DMA0	チャネルインターバルレジスタ 0	DMAC0_CHITVL_0	32	32
A006 2038h	DMA0	ネクストリンクアドレスレジスタ 0	DMAC0_NXLA_0	32	32
A006 203Ch	DMA0	カレントリンクアドレスレジスタ 0	DMAC0_CRLA_0	32	32
A006 2040h	DMA0	ネクスト0 ソースアドレスレジスタ 1	DMAC0_N0SA_1_N	32	32
A006 2040h	DMA0	ネクスト0 ソースアドレスレジスタ 1	DMAC0_N0SA_1_W	32	32
A006 2044h	DMA0	ネクスト0 デスティネーションアドレスレジスタ 1	DMAC0_N0DA_1	32	32

表5.1 I/O レジスタアドレス一覧 (24 / 56)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 2048h	DMA0	ネクスト0トランザクションバイトレジスタ1	DMAC0_N0TB_1	32	32
A006 204Ch	DMA0	ネクスト1ソースアドレスレジスタ1	DMAC0_N1SA_1_N	32	32
A006 204Ch	DMA0	ネクスト1ソースアドレスレジスタ1	DMAC0_N1SA_1_W	32	32
A006 2050h	DMA0	ネクスト1デスティネーションアドレスレジスタ1	DMAC0_N1DA_1	32	32
A006 2054h	DMA0	ネクスト1トランザクションバイトレジスタ1	DMAC0_N1TB_1	32	32
A006 2058h	DMA0	カレントソースアドレスレジスタ1	DMAC0_CRSA_1	32	32
A006 205Ch	DMA0	カレントデスティネーションアドレスレジスタ1	DMAC0_CRDA_1	32	32
A006 2060h	DMA0	カレントトランザクションバイトレジスタ1	DMAC0_CRTB_1	32	32
A006 2064h	DMA0	チャネルステータスレジスタ1	DMAC0_CHSTAT_1	32	32
A006 2068h	DMA0	チャネルコントロールレジスタ1	DMAC0_CHCTRL_1	32	32
A006 206Ch	DMA0	チャネルコンフィギュレーションレジスタ1	DMAC0_CHCFG_1	32	32
A006 2070h	DMA0	チャネルインターバルレジスタ1	DMAC0_CHITVL_1	32	32
A006 2078h	DMA0	ネクストリンクアドレスレジスタ1	DMAC0_NXLA_1	32	32
A006 207Ch	DMA0	カレントリンクアドレスレジスタ1	DMAC0_CRLA_1	32	32
A006 2080h	DMA0	ネクスト0ソースアドレスレジスタ2	DMAC0_N0SA_2_N	32	32
A006 2080h	DMA0	ネクスト0ソースアドレスレジスタ2	DMAC0_N0SA_2_W	32	32
A006 2084h	DMA0	ネクスト0デスティネーションアドレスレジスタ2	DMAC0_N0DA_2	32	32
A006 2088h	DMA0	ネクスト0トランザクションバイトレジスタ2	DMAC0_N0TB_2	32	32
A006 208Ch	DMA0	ネクスト1ソースアドレスレジスタ2	DMAC0_N1SA_2_N	32	32
A006 208Ch	DMA0	ネクスト1ソースアドレスレジスタ2	DMAC0_N1SA_2_W	32	32
A006 2090h	DMA0	ネクスト1デスティネーションアドレスレジスタ2	DMAC0_N1DA_2	32	32
A006 2094h	DMA0	ネクスト1トランザクションバイトレジスタ2	DMAC0_N1TB_2	32	32
A006 2098h	DMA0	カレントソースアドレスレジスタ2	DMAC0_CRSA_2	32	32
A006 209Ch	DMA0	カレントデスティネーションアドレスレジスタ2	DMAC0_CRDA_2	32	32
A006 20A0h	DMA0	カレントトランザクションバイトレジスタ2	DMAC0_CRTB_2	32	32
A006 20A4h	DMA0	チャネルステータスレジスタ2	DMAC0_CHSTAT_2	32	32
A006 20A8h	DMA0	チャネルコントロールレジスタ2	DMAC0_CHCTRL_2	32	32
A006 20ACh	DMA0	チャネルコンフィギュレーションレジスタ2	DMAC0_CHCFG_2	32	32
A006 20B0h	DMA0	チャネルインターバルレジスタ2	DMAC0_CHITVL_2	32	32
A006 20B8h	DMA0	ネクストリンクアドレスレジスタ2	DMAC0_NXLA_2	32	32
A006 20BCh	DMA0	カレントリンクアドレスレジスタ2	DMAC0_CRLA_2	32	32
A006 20C0h	DMA0	ネクスト0ソースアドレスレジスタ3	DMAC0_N0SA_3_N	32	32
A006 20C0h	DMA0	ネクスト0ソースアドレスレジスタ3	DMAC0_N0SA_3_W	32	32
A006 20C4h	DMA0	ネクスト0デスティネーションアドレスレジスタ3	DMAC0_N0DA_3	32	32
A006 20C8h	DMA0	ネクスト0トランザクションバイトレジスタ3	DMAC0_N0TB_3	32	32
A006 20CCh	DMA0	ネクスト1ソースアドレスレジスタ3	DMAC0_N1SA_3_N	32	32
A006 20CCh	DMA0	ネクスト1ソースアドレスレジスタ3	DMAC0_N1SA_3_W	32	32
A006 20D0h	DMA0	ネクスト1デスティネーションアドレスレジスタ3	DMAC0_N1DA_3	32	32
A006 20D4h	DMA0	ネクスト1トランザクションバイトレジスタ3	DMAC0_N1TB_3	32	32
A006 20D8h	DMA0	カレントソースアドレスレジスタ3	DMAC0_CRSA_3	32	32
A006 20DCh	DMA0	カレントデスティネーションアドレスレジスタ3	DMAC0_CRDA_3	32	32
A006 20E0h	DMA0	カレントトランザクションバイトレジスタ3	DMAC0_CRTB_3	32	32
A006 20E4h	DMA0	チャネルステータスレジスタ3	DMAC0_CHSTAT_3	32	32
A006 20E8h	DMA0	チャネルコントロールレジスタ3	DMAC0_CHCTRL_3	32	32
A006 20ECh	DMA0	チャネルコンフィギュレーションレジスタ3	DMAC0_CHCFG_3	32	32
A006 20F0h	DMA0	チャネルインターバルレジスタ3	DMAC0_CHITVL_3	32	32
A006 20F8h	DMA0	ネクストリンクアドレスレジスタ3	DMAC0_NXLA_3	32	32
A006 20FCh	DMA0	カレントリンクアドレスレジスタ3	DMAC0_CRLA_3	32	32

表5.1 I/O レジスタアドレス一覧 (25 / 56)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 2100h	DMA0	ネクスト0ソースアドレスレジスタ4	DMAC0_N0SA_4_N	32	32
A006 2100h	DMA0	ネクスト0ソースアドレスレジスタ4	DMAC0_N0SA_4_W	32	32
A006 2104h	DMA0	ネクスト0デスティネーションアドレスレジスタ4	DMAC0_N0DA_4	32	32
A006 2108h	DMA0	ネクスト0トランザクションバイトレジスタ4	DMAC0_N0TB_4	32	32
A006 210Ch	DMA0	ネクスト1ソースアドレスレジスタ4	DMAC0_N1SA_4_N	32	32
A006 210Ch	DMA0	ネクスト1ソースアドレスレジスタ4	DMAC0_N1SA_4_W	32	32
A006 2110h	DMA0	ネクスト1デスティネーションアドレスレジスタ4	DMAC0_N1DA_4	32	32
A006 2114h	DMA0	ネクスト1トランザクションバイトレジスタ4	DMAC0_N1TB_4	32	32
A006 2118h	DMA0	カレントソースアドレスレジスタ4	DMAC0_CRSA_4	32	32
A006 211Ch	DMA0	カレントデスティネーションアドレスレジスタ4	DMAC0_CRDA_4	32	32
A006 2120h	DMA0	カレントトランザクションバイトレジスタ4	DMAC0_CRTB_4	32	32
A006 2124h	DMA0	チャネルステータスレジスタ4	DMAC0_CHSTAT_4	32	32
A006 2128h	DMA0	チャネルコントロールレジスタ4	DMAC0_CHCTRL_4	32	32
A006 212Ch	DMA0	チャネルコンフィギュレーションレジスタ4	DMAC0_CHCFG_4	32	32
A006 2130h	DMA0	チャネルインターバルレジスタ4	DMAC0_CHITVL_4	32	32
A006 2138h	DMA0	ネクストリンクアドレスレジスタ4	DMAC0_NXLA_4	32	32
A006 213Ch	DMA0	カレントリンクアドレスレジスタ4	DMAC0_CRLA_4	32	32
A006 2140h	DMA0	ネクスト0ソースアドレスレジスタ5	DMAC0_N0SA_5_N	32	32
A006 2140h	DMA0	ネクスト0ソースアドレスレジスタ5	DMAC0_N0SA_5_W	32	32
A006 2144h	DMA0	ネクスト0デスティネーションアドレスレジスタ5	DMAC0_N0DA_5	32	32
A006 2148h	DMA0	ネクスト0トランザクションバイトレジスタ5	DMAC0_N0TB_5	32	32
A006 214Ch	DMA0	ネクスト1ソースアドレスレジスタ5	DMAC0_N1SA_5_N	32	32
A006 214Ch	DMA0	ネクスト1ソースアドレスレジスタ5	DMAC0_N1SA_5_W	32	32
A006 2150h	DMA0	ネクスト1デスティネーションアドレスレジスタ5	DMAC0_N1DA_5	32	32
A006 2154h	DMA0	ネクスト1トランザクションバイトレジスタ5	DMAC0_N1TB_5	32	32
A006 2158h	DMA0	カレントソースアドレスレジスタ5	DMAC0_CRSA_5	32	32
A006 215Ch	DMA0	カレントデスティネーションアドレスレジスタ5	DMAC0_CRDA_5	32	32
A006 2160h	DMA0	カレントトランザクションバイトレジスタ5	DMAC0_CRTB_5	32	32
A006 2164h	DMA0	チャネルステータスレジスタ5	DMAC0_CHSTAT_5	32	32
A006 2168h	DMA0	チャネルコントロールレジスタ5	DMAC0_CHCTRL_5	32	32
A006 216Ch	DMA0	チャネルコンフィギュレーションレジスタ5	DMAC0_CHCFG_5	32	32
A006 2170h	DMA0	チャネルインターバルレジスタ5	DMAC0_CHITVL_5	32	32
A006 2178h	DMA0	ネクストリンクアドレスレジスタ5	DMAC0_NXLA_5	32	32
A006 217Ch	DMA0	カレントリンクアドレスレジスタ5	DMAC0_CRLA_5	32	32
A006 2180h	DMA0	ネクスト0ソースアドレスレジスタ6	DMAC0_N0SA_6_N	32	32
A006 2180h	DMA0	ネクスト0ソースアドレスレジスタ6	DMAC0_N0SA_6_W	32	32
A006 2184h	DMA0	ネクスト0デスティネーションアドレスレジスタ6	DMAC0_N0DA_6	32	32
A006 2188h	DMA0	ネクスト0トランザクションバイトレジスタ6	DMAC0_N0TB_6	32	32
A006 218Ch	DMA0	ネクスト1ソースアドレスレジスタ6	DMAC0_N1SA_6_N	32	32
A006 218Ch	DMA0	ネクスト1ソースアドレスレジスタ6	DMAC0_N1SA_6_W	32	32
A006 2190h	DMA0	ネクスト1デスティネーションアドレスレジスタ6	DMAC0_N1DA_6	32	32
A006 2194h	DMA0	ネクスト1トランザクションバイトレジスタ6	DMAC0_N1TB_6	32	32
A006 2198h	DMA0	カレントソースアドレスレジスタ6	DMAC0_CRSA_6	32	32
A006 219Ch	DMA0	カレントデスティネーションアドレスレジスタ6	DMAC0_CRDA_6	32	32
A006 21A0h	DMA0	カレントトランザクションバイトレジスタ6	DMAC0_CRTB_6	32	32
A006 21A4h	DMA0	チャネルステータスレジスタ6	DMAC0_CHSTAT_6	32	32
A006 21A8h	DMA0	チャネルコントロールレジスタ6	DMAC0_CHCTRL_6	32	32
A006 21ACh	DMA0	チャネルコンフィギュレーションレジスタ6	DMAC0_CHCFG_6	32	32

表5.1 I/O レジスタアドレス一覧 (26 / 56)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 21B0h	DMA0	チャンネルインターバルレジスタ6	DMAC0_CHITVL_6	32	32
A006 21B8h	DMA0	ネクストリンクアドレスレジスタ6	DMAC0_NXLA_6	32	32
A006 21BCCh	DMA0	カレントリンクアドレスレジスタ6	DMAC0_CRLA_6	32	32
A006 21C0h	DMA0	ネクスト0ソースアドレスレジスタ7	DMAC0_N0SA_7_N	32	32
A006 21C0h	DMA0	ネクスト0ソースアドレスレジスタ7	DMAC0_N0SA_7_W	32	32
A006 21C4h	DMA0	ネクスト0デスティネーションアドレスレジスタ7	DMAC0_N0DA_7	32	32
A006 21C8h	DMA0	ネクスト0トランザクションバイトレジスタ7	DMAC0_N0TB_7	32	32
A006 21CCh	DMA0	ネクスト1ソースアドレスレジスタ7	DMAC0_N1SA_7_N	32	32
A006 21CCh	DMA0	ネクスト1ソースアドレスレジスタ7	DMAC0_N1SA_7_W	32	32
A006 21D0h	DMA0	ネクスト1デスティネーションアドレスレジスタ7	DMAC0_N1DA_7	32	32
A006 21D4h	DMA0	ネクスト1トランザクションバイトレジスタ7	DMAC0_N1TB_7	32	32
A006 21D8h	DMA0	カレントソースアドレスレジスタ7	DMAC0_CRSA_7	32	32
A006 21DCh	DMA0	カレントデスティネーションアドレスレジスタ7	DMAC0_CRDA_7	32	32
A006 21E0h	DMA0	カレントトランザクションバイトレジスタ7	DMAC0_CRTB_7	32	32
A006 21E4h	DMA0	チャンネルステータスレジスタ7	DMAC0_CHSTAT_7	32	32
A006 21E8h	DMA0	チャンネルコントロールレジスタ7	DMAC0_CHCTRL_7	32	32
A006 21ECh	DMA0	チャンネルコンフィギュレーションレジスタ7	DMAC0_CHCFG_7	32	32
A006 21F0h	DMA0	チャンネルインターバルレジスタ7	DMAC0_CHITVL_7	32	32
A006 21F8h	DMA0	ネクストリンクアドレスレジスタ7	DMAC0_NXLA_7	32	32
A006 21FCh	DMA0	カレントリンクアドレスレジスタ7	DMAC0_CRLA_7	32	32
A006 2200h	DMA0	ソースコンティニューアスレジスタ0	DMAC0_SCNT_0	32	32
A006 2204h	DMA0	ソーススキップレジスタ0	DMAC0_SSKP_0	32	32
A006 2208h	DMA0	デスティネーションコンティニューアスレジスタ0	DMAC0_DCNT_0	32	32
A006 220Ch	DMA0	デスティネーションスキップレジスタ0	DMAC0_DSKP_0	32	32
A006 2220h	DMA0	ソースコンティニューアスレジスタ1	DMAC0_SCNT_1	32	32
A006 2224h	DMA0	ソーススキップレジスタ1	DMAC0_SSKP_1	32	32
A006 2228h	DMA0	デスティネーションコンティニューアスレジスタ1	DMAC0_DCNT_1	32	32
A006 222Ch	DMA0	デスティネーションスキップレジスタ1	DMAC0_DSKP_1	32	32
A006 2240h	DMA0	ソースコンティニューアスレジスタ2	DMAC0_SCNT_2	32	32
A006 2244h	DMA0	ソーススキップレジスタ2	DMAC0_SSKP_2	32	32
A006 2248h	DMA0	デスティネーションコンティニューアスレジスタ2	DMAC0_DCNT_2	32	32
A006 224Ch	DMA0	デスティネーションスキップレジスタ2	DMAC0_DSKP_2	32	32
A006 2260h	DMA0	ソースコンティニューアスレジスタ3	DMAC0_SCNT_3	32	32
A006 2264h	DMA0	ソーススキップレジスタ3	DMAC0_SSKP_3	32	32
A006 2268h	DMA0	デスティネーションコンティニューアスレジスタ3	DMAC0_DCNT_3	32	32
A006 226Ch	DMA0	デスティネーションスキップレジスタ3	DMAC0_DSKP_3	32	32
A006 2280h	DMA0	ソースコンティニューアスレジスタ4	DMAC0_SCNT_4	32	32
A006 2284h	DMA0	ソーススキップレジスタ4	DMAC0_SSKP_4	32	32
A006 2288h	DMA0	デスティネーションコンティニューアスレジスタ4	DMAC0_DCNT_4	32	32
A006 228Ch	DMA0	デスティネーションスキップレジスタ4	DMAC0_DSKP_4	32	32
A006 22A0h	DMA0	ソースコンティニューアスレジスタ5	DMAC0_SCNT_5	32	32
A006 22A4h	DMA0	ソーススキップレジスタ5	DMAC0_SSKP_5	32	32
A006 22A8h	DMA0	デスティネーションコンティニューアスレジスタ5	DMAC0_DCNT_5	32	32
A006 22ACh	DMA0	デスティネーションスキップレジスタ5	DMAC0_DSKP_5	32	32
A006 22C0h	DMA0	ソースコンティニューアスレジスタ6	DMAC0_SCNT_6	32	32
A006 22C4h	DMA0	ソーススキップレジスタ6	DMAC0_SSKP_6	32	32
A006 22C8h	DMA0	デスティネーションコンティニューアスレジスタ6	DMAC0_DCNT_6	32	32
A006 22CCh	DMA0	デスティネーションスキップレジスタ6	DMAC0_DSKP_6	32	32

表5.1 I/O レジスタアドレス一覧 (27 / 56)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 22E0h	DMA0	ソースコンティニューアスレジスタ7	DMAC0_SCNT_7	32	32
A006 22E4h	DMA0	ソーススキップレジスタ7	DMAC0_SSKP_7	32	32
A006 22E8h	DMA0	デスティネーションコンティニューアスレジスタ7	DMAC0_DCNT_7	32	32
A006 22ECh	DMA0	デスティネーションスキップレジスタ7	DMAC0_DSKP_7	32	32
A006 2300h	DMA0	DMAコントロールレジスタA	DMAC0_DCTRL_A	32	32
A006 2304h	DMA0	デスク립タインターバルレジスタA	DMAC0_DSCITVL_A	32	32
A006 2310h	DMA0	DMAステータスENレジスタA	DMAC0_DST_EN_A	32	32
A006 2314h	DMA0	DMAステータスERレジスタA	DMAC0_DST_ER_A	32	32
A006 2318h	DMA0	DMAステータスENDレジスタA	DMAC0_DST_END_A	32	32
A006 2320h	DMA0	DMAステータスSUSレジスタA	DMAC0_DST_SUS_A	32	32
A006 2400h	DMA0	ネクスト0ソースアドレスレジスタ8	DMAC0_N0SA_8_N	32	32
A006 2400h	DMA0	ネクスト0ソースアドレスレジスタ8	DMAC0_N0SA_8_W	32	32
A006 2404h	DMA0	ネクスト0デスティネーションアドレスレジスタ8	DMAC0_N0DA_8	32	32
A006 2408h	DMA0	ネクスト0トランザクションバイトレジスタ8	DMAC0_N0TB_8	32	32
A006 240Ch	DMA0	ネクスト1ソースアドレスレジスタ8	DMAC0_N1SA_8_N	32	32
A006 240Ch	DMA0	ネクスト1ソースアドレスレジスタ8	DMAC0_N1SA_8_W	32	32
A006 2410h	DMA0	ネクスト1デスティネーションアドレスレジスタ8	DMAC0_N1DA_8	32	32
A006 2414h	DMA0	ネクスト1トランザクションバイトレジスタ8	DMAC0_N1TB_8	32	32
A006 2418h	DMA0	カレントソースアドレスレジスタ8	DMAC0_CRSA_8	32	32
A006 241Ch	DMA0	カレントデスティネーションアドレスレジスタ8	DMAC0_CRDA_8	32	32
A006 2420h	DMA0	カレントトランザクションバイトレジスタ8	DMAC0_CRTB_8	32	32
A006 2424h	DMA0	チャネルステータスレジスタ8	DMAC0_CHSTAT_8	32	32
A006 2428h	DMA0	チャネルコントロールレジスタ8	DMAC0_CHCTRL_8	32	32
A006 242Ch	DMA0	チャネルコンフィギュレーションレジスタ8	DMAC0_CHCFG_8	32	32
A006 2430h	DMA0	チャネルインターバルレジスタ8	DMAC0_CHITVL_8	32	32
A006 2438h	DMA0	ネクストリンクアドレスレジスタ8	DMAC0_NXLA_8	32	32
A006 243Ch	DMA0	カレントリンクアドレスレジスタ8	DMAC0_CRLA_8	32	32
A006 2440h	DMA0	ネクスト0ソースアドレスレジスタ9	DMAC0_N0SA_9_N	32	32
A006 2440h	DMA0	ネクスト0ソースアドレスレジスタ9	DMAC0_N0SA_9_W	32	32
A006 2444h	DMA0	ネクスト0デスティネーションアドレスレジスタ9	DMAC0_N0DA_9	32	32
A006 2448h	DMA0	ネクスト0トランザクションバイトレジスタ9	DMAC0_N0TB_9	32	32
A006 244Ch	DMA0	ネクスト1ソースアドレスレジスタ9	DMAC0_N1SA_9_N	32	32
A006 244Ch	DMA0	ネクスト1ソースアドレスレジスタ9	DMAC0_N1SA_9_W	32	32
A006 2450h	DMA0	ネクスト1デスティネーションアドレスレジスタ9	DMAC0_N1DA_9	32	32
A006 2454h	DMA0	ネクスト1トランザクションバイトレジスタ9	DMAC0_N1TB_9	32	32
A006 2458h	DMA0	カレントソースアドレスレジスタ9	DMAC0_CRSA_9	32	32
A006 245Ch	DMA0	カレントデスティネーションアドレスレジスタ9	DMAC0_CRDA_9	32	32
A006 2460h	DMA0	カレントトランザクションバイトレジスタ9	DMAC0_CRTB_9	32	32
A006 2464h	DMA0	チャネルステータスレジスタ9	DMAC0_CHSTAT_9	32	32
A006 2468h	DMA0	チャネルコントロールレジスタ9	DMAC0_CHCTRL_9	32	32
A006 246Ch	DMA0	チャネルコンフィギュレーションレジスタ9	DMAC0_CHCFG_9	32	32
A006 2470h	DMA0	チャネルインターバルレジスタ9	DMAC0_CHITVL_9	32	32
A006 2478h	DMA0	ネクストリンクアドレスレジスタ9	DMAC0_NXLA_9	32	32
A006 247Ch	DMA0	カレントリンクアドレスレジスタ9	DMAC0_CRLA_9	32	32
A006 2480h	DMA0	ネクスト0ソースアドレスレジスタ10	DMAC0_N0SA_10_N	32	32
A006 2480h	DMA0	ネクスト0ソースアドレスレジスタ10	DMAC0_N0SA_10_W	32	32
A006 2484h	DMA0	ネクスト0デスティネーションアドレスレジスタ10	DMAC0_N0DA_10	32	32
A006 2488h	DMA0	ネクスト0トランザクションバイトレジスタ10	DMAC0_N0TB_10	32	32

表5.1 I/O レジスタアドレス一覧 (28 / 56)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 248Ch	DMA0	ネクスト1ソースアドレスレジスタ 10	DMAC0_N1SA_10_N	32	32
A006 248Ch	DMA0	ネクスト1ソースアドレスレジスタ 10	DMAC0_N1SA_10_W	32	32
A006 2490h	DMA0	ネクスト1デスティネーションアドレスレジスタ 10	DMAC0_N1DA_10	32	32
A006 2494h	DMA0	ネクスト1トランザクションバイトレジスタ 10	DMAC0_N1TB_10	32	32
A006 2498h	DMA0	カレントソースアドレスレジスタ 10	DMAC0_CRSA_10	32	32
A006 249Ch	DMA0	カレントデスティネーションアドレスレジスタ 10	DMAC0_CRDA_10	32	32
A006 24A0h	DMA0	カレントトランザクションバイトレジスタ 10	DMAC0_CRTB_10	32	32
A006 24A4h	DMA0	チャネルステータスレジスタ 10	DMAC0_CHSTAT_10	32	32
A006 24A8h	DMA0	チャネルコントロールレジスタ 10	DMAC0_CHCTRL_10	32	32
A006 24ACh	DMA0	チャネルコンフィギュレーションレジスタ 10	DMAC0_CHCFG_10	32	32
A006 24B0h	DMA0	チャネルインターバルレジスタ 10	DMAC0_CHITVL_10	32	32
A006 24B8h	DMA0	ネクストリンクアドレスレジスタ 10	DMAC0_NXLA_10	32	32
A006 24BCh	DMA0	カレントリンクアドレスレジスタ 10	DMAC0_CRLA_10	32	32
A006 24C0h	DMA0	ネクスト0ソースアドレスレジスタ 11	DMAC0_N0SA_11_N	32	32
A006 24C0h	DMA0	ネクスト0ソースアドレスレジスタ 11	DMAC0_N0SA_11_W	32	32
A006 24C4h	DMA0	ネクスト0デスティネーションアドレスレジスタ 11	DMAC0_N0DA_11	32	32
A006 24C8h	DMA0	ネクスト0トランザクションバイトレジスタ 11	DMAC0_N0TB_11	32	32
A006 24CCh	DMA0	ネクスト1ソースアドレスレジスタ 11	DMAC0_N1SA_11_N	32	32
A006 24CCh	DMA0	ネクスト1ソースアドレスレジスタ 11	DMAC0_N1SA_11_W	32	32
A006 24D0h	DMA0	ネクスト1デスティネーションアドレスレジスタ 11	DMAC0_N1DA_11	32	32
A006 24D4h	DMA0	ネクスト1トランザクションバイトレジスタ 11	DMAC0_N1TB_11	32	32
A006 24D8h	DMA0	カレントソースアドレスレジスタ 11	DMAC0_CRSA_11	32	32
A006 24DCh	DMA0	カレントデスティネーションアドレスレジスタ 11	DMAC0_CRDA_11	32	32
A006 24E0h	DMA0	カレントトランザクションバイトレジスタ 11	DMAC0_CRTB_11	32	32
A006 24E4h	DMA0	チャネルステータスレジスタ 11	DMAC0_CHSTAT_11	32	32
A006 24E8h	DMA0	チャネルコントロールレジスタ 11	DMAC0_CHCTRL_11	32	32
A006 24ECh	DMA0	チャネルコンフィギュレーションレジスタ 11	DMAC0_CHCFG_11	32	32
A006 24F0h	DMA0	チャネルインターバルレジスタ 11	DMAC0_CHITVL_11	32	32
A006 24F8h	DMA0	ネクストリンクアドレスレジスタ 11	DMAC0_NXLA_11	32	32
A006 24FCh	DMA0	カレントリンクアドレスレジスタ 11	DMAC0_CRLA_11	32	32
A006 2500h	DMA0	ネクスト0ソースアドレスレジスタ 12	DMAC0_N0SA_12_N	32	32
A006 2500h	DMA0	ネクスト0ソースアドレスレジスタ 12	DMAC0_N0SA_12_W	32	32
A006 2504h	DMA0	ネクスト0デスティネーションアドレスレジスタ 12	DMAC0_N0DA_12	32	32
A006 2508h	DMA0	ネクスト0トランザクションバイトレジスタ 12	DMAC0_N0TB_12	32	32
A006 250Ch	DMA0	ネクスト1ソースアドレスレジスタ 12	DMAC0_N1SA_12_N	32	32
A006 250Ch	DMA0	ネクスト1ソースアドレスレジスタ 12	DMAC0_N1SA_12_W	32	32
A006 2510h	DMA0	ネクスト1デスティネーションアドレスレジスタ 12	DMAC0_N1DA_12	32	32
A006 2514h	DMA0	ネクスト1トランザクションバイトレジスタ 12	DMAC0_N1TB_12	32	32
A006 2518h	DMA0	カレントソースアドレスレジスタ 12	DMAC0_CRSA_12	32	32
A006 251Ch	DMA0	カレントデスティネーションアドレスレジスタ 12	DMAC0_CRDA_12	32	32
A006 2520h	DMA0	カレントトランザクションバイトレジスタ 12	DMAC0_CRTB_12	32	32
A006 2524h	DMA0	チャネルステータスレジスタ 12	DMAC0_CHSTAT_12	32	32
A006 2528h	DMA0	チャネルコントロールレジスタ 12	DMAC0_CHCTRL_12	32	32
A006 252Ch	DMA0	チャネルコンフィギュレーションレジスタ 12	DMAC0_CHCFG_12	32	32
A006 2530h	DMA0	チャネルインターバルレジスタ 12	DMAC0_CHITVL_12	32	32
A006 2538h	DMA0	ネクストリンクアドレスレジスタ 12	DMAC0_NXLA_12	32	32
A006 253Ch	DMA0	カレントリンクアドレスレジスタ 12	DMAC0_CRLA_12	32	32
A006 2540h	DMA0	ネクスト0ソースアドレスレジスタ 13	DMAC0_N0SA_13_N	32	32

表5.1 I/O レジスタアドレス一覧 (29 / 56)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 2540h	DMA0	ネクスト0ソースアドレスレジスタ 13	DMAC0_N0SA_13_W	32	32
A006 2544h	DMA0	ネクスト0デスティネーションアドレスレジスタ 13	DMAC0_N0DA_13	32	32
A006 2548h	DMA0	ネクスト0トランザクションバイトレジスタ 13	DMAC0_N0TB_13	32	32
A006 254Ch	DMA0	ネクスト1ソースアドレスレジスタ 13	DMAC0_N1SA_13_N	32	32
A006 254Ch	DMA0	ネクスト1ソースアドレスレジスタ 13	DMAC0_N1SA_13_W	32	32
A006 2550h	DMA0	ネクスト1デスティネーションアドレスレジスタ 13	DMAC0_N1DA_13	32	32
A006 2554h	DMA0	ネクスト1トランザクションバイトレジスタ 13	DMAC0_N1TB_13	32	32
A006 2558h	DMA0	カレントソースアドレスレジスタ 13	DMAC0_CRSA_13	32	32
A006 255Ch	DMA0	カレントデスティネーションアドレスレジスタ 13	DMAC0_CRDA_13	32	32
A006 2560h	DMA0	カレントトランザクションバイトレジスタ 13	DMAC0_CRTB_13	32	32
A006 2564h	DMA0	チャネルステータスレジスタ 13	DMAC0_CHSTAT_13	32	32
A006 2568h	DMA0	チャネルコントロールレジスタ 13	DMAC0_CHCTRL_13	32	32
A006 256Ch	DMA0	チャネルコンフィギュレーションレジスタ 13	DMAC0_CHCFG_13	32	32
A006 2570h	DMA0	チャネルインターバルレジスタ 13	DMAC0_CHITVL_13	32	32
A006 2578h	DMA0	ネクストリンクアドレスレジスタ 13	DMAC0_NXLA_13	32	32
A006 257Ch	DMA0	カレントリンクアドレスレジスタ 13	DMAC0_CRLA_13	32	32
A006 2580h	DMA0	ネクスト0ソースアドレスレジスタ 14	DMAC0_N0SA_14_N	32	32
A006 2580h	DMA0	ネクスト0ソースアドレスレジスタ 14	DMAC0_N0SA_14_W	32	32
A006 2584h	DMA0	ネクスト0デスティネーションアドレスレジスタ 14	DMAC0_N0DA_14	32	32
A006 2588h	DMA0	ネクスト0トランザクションバイトレジスタ 14	DMAC0_N0TB_14	32	32
A006 258Ch	DMA0	ネクスト1ソースアドレスレジスタ 14	DMAC0_N1SA_14_N	32	32
A006 258Ch	DMA0	ネクスト1ソースアドレスレジスタ 14	DMAC0_N1SA_14_W	32	32
A006 2590h	DMA0	ネクスト1デスティネーションアドレスレジスタ 14	DMAC0_N1DA_14	32	32
A006 2594h	DMA0	ネクスト1トランザクションバイトレジスタ 14	DMAC0_N1TB_14	32	32
A006 2598h	DMA0	カレントソースアドレスレジスタ 14	DMAC0_CRSA_14	32	32
A006 259Ch	DMA0	カレントデスティネーションアドレスレジスタ 14	DMAC0_CRDA_14	32	32
A006 25A0h	DMA0	カレントトランザクションバイトレジスタ 14	DMAC0_CRTB_14	32	32
A006 25A4h	DMA0	チャネルステータスレジスタ 14	DMAC0_CHSTAT_14	32	32
A006 25A8h	DMA0	チャネルコントロールレジスタ 14	DMAC0_CHCTRL_14	32	32
A006 25ACh	DMA0	チャネルコンフィギュレーションレジスタ 14	DMAC0_CHCFG_14	32	32
A006 25B0h	DMA0	チャネルインターバルレジスタ 14	DMAC0_CHITVL_14	32	32
A006 25B8h	DMA0	ネクストリンクアドレスレジスタ 14	DMAC0_NXLA_14	32	32
A006 25BCh	DMA0	カレントリンクアドレスレジスタ 14	DMAC0_CRLA_14	32	32
A006 25C0h	DMA0	ネクスト0ソースアドレスレジスタ 15	DMAC0_N0SA_15_N	32	32
A006 25C0h	DMA0	ネクスト0ソースアドレスレジスタ 15	DMAC0_N0SA_15_W	32	32
A006 25C4h	DMA0	ネクスト0デスティネーションアドレスレジスタ 15	DMAC0_N0DA_15	32	32
A006 25C8h	DMA0	ネクスト0トランザクションバイトレジスタ 15	DMAC0_N0TB_15	32	32
A006 25CCh	DMA0	ネクスト1ソースアドレスレジスタ 15	DMAC0_N1SA_15_N	32	32
A006 25CCh	DMA0	ネクスト1ソースアドレスレジスタ 15	DMAC0_N1SA_15_W	32	32
A006 25D0h	DMA0	ネクスト1デスティネーションアドレスレジスタ 15	DMAC0_N1DA_15	32	32
A006 25D4h	DMA0	ネクスト1トランザクションバイトレジスタ 15	DMAC0_N1TB_15	32	32
A006 25D8h	DMA0	カレントソースアドレスレジスタ 15	DMAC0_CRSA_15	32	32
A006 25DCh	DMA0	カレントデスティネーションアドレスレジスタ 15	DMAC0_CRDA_15	32	32
A006 25E0h	DMA0	カレントトランザクションバイトレジスタ 15	DMAC0_CRTB_15	32	32
A006 25E4h	DMA0	チャネルステータスレジスタ 15	DMAC0_CHSTAT_15	32	32
A006 25E8h	DMA0	チャネルコントロールレジスタ 15	DMAC0_CHCTRL_15	32	32
A006 25ECh	DMA0	チャネルコンフィギュレーションレジスタ 15	DMAC0_CHCFG_15	32	32
A006 25F0h	DMA0	チャネルインターバルレジスタ 15	DMAC0_CHITVL_15	32	32

表5.1 I/O レジスタアドレス一覧 (30 / 56)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 25F8h	DMA0	ネクストリンクアドレスレジスタ 15	DMAC0_NXLA_15	32	32
A006 25FCh	DMA0	カレントリンクアドレスレジスタ 15	DMAC0_CRLA_15	32	32
A006 2600h	DMA0	ソースコンティニューアドレスレジスタ 8	DMAC0_SCNT_8	32	32
A006 2604h	DMA0	ソーススキップレジスタ 8	DMAC0_SSKP_8	32	32
A006 2608h	DMA0	デスティネーションコンティニューアドレスレジスタ 8	DMAC0_DCNT_8	32	32
A006 260Ch	DMA0	デスティネーションスキップレジスタ 8	DMAC0_DSKP_8	32	32
A006 2620h	DMA0	ソースコンティニューアドレスレジスタ 9	DMAC0_SCNT_9	32	32
A006 2624h	DMA0	ソーススキップレジスタ 9	DMAC0_SSKP_9	32	32
A006 2628h	DMA0	デスティネーションコンティニューアドレスレジスタ 9	DMAC0_DCNT_9	32	32
A006 262Ch	DMA0	デスティネーションスキップレジスタ 9	DMAC0_DSKP_9	32	32
A006 2640h	DMA0	ソースコンティニューアドレスレジスタ 10	DMAC0_SCNT_10	32	32
A006 2644h	DMA0	ソーススキップレジスタ 10	DMAC0_SSKP_10	32	32
A006 2648h	DMA0	デスティネーションコンティニューアドレスレジスタ 10	DMAC0_DCNT_10	32	32
A006 264Ch	DMA0	デスティネーションスキップレジスタ 10	DMAC0_DSKP_10	32	32
A006 2660h	DMA0	ソースコンティニューアドレスレジスタ 11	DMAC0_SCNT_11	32	32
A006 2664h	DMA0	ソーススキップレジスタ 11	DMAC0_SSKP_11	32	32
A006 2668h	DMA0	デスティネーションコンティニューアドレスレジスタ 11	DMAC0_DCNT_11	32	32
A006 266Ch	DMA0	デスティネーションスキップレジスタ 11	DMAC0_DSKP_11	32	32
A006 2680h	DMA0	ソースコンティニューアドレスレジスタ 12	DMAC0_SCNT_12	32	32
A006 2684h	DMA0	ソーススキップレジスタ 12	DMAC0_SSKP_12	32	32
A006 2688h	DMA0	デスティネーションコンティニューアドレスレジスタ 12	DMAC0_DCNT_12	32	32
A006 268Ch	DMA0	デスティネーションスキップレジスタ 12	DMAC0_DSKP_12	32	32
A006 26A0h	DMA0	ソースコンティニューアドレスレジスタ 13	DMAC0_SCNT_13	32	32
A006 26A4h	DMA0	ソーススキップレジスタ 13	DMAC0_SSKP_13	32	32
A006 26A8h	DMA0	デスティネーションコンティニューアドレスレジスタ 13	DMAC0_DCNT_13	32	32
A006 26ACh	DMA0	デスティネーションスキップレジスタ 13	DMAC0_DSKP_13	32	32
A006 26C0h	DMA0	ソースコンティニューアドレスレジスタ 14	DMAC0_SCNT_14	32	32
A006 26C4h	DMA0	ソーススキップレジスタ 14	DMAC0_SSKP_14	32	32
A006 26C8h	DMA0	デスティネーションコンティニューアドレスレジスタ 14	DMAC0_DCNT_14	32	32
A006 26CCh	DMA0	デスティネーションスキップレジスタ 14	DMAC0_DSKP_14	32	32
A006 26E0h	DMA0	ソースコンティニューアドレスレジスタ 15	DMAC0_SCNT_15	32	32
A006 26E4h	DMA0	ソーススキップレジスタ 15	DMAC0_SSKP_15	32	32
A006 26E8h	DMA0	デスティネーションコンティニューアドレスレジスタ 15	DMAC0_DCNT_15	32	32
A006 26ECh	DMA0	デスティネーションスキップレジスタ 15	DMAC0_DSKP_15	32	32
A006 2700h	DMA0	DMAコントロールレジスタ B	DMAC0_DCTRL_B	32	32
A006 2704h	DMA0	デスク립タインターバルレジスタ B	DMAC0_DSCITVL_B	32	32
A006 2710h	DMA0	DMAステータスENレジスタ B	DMAC0_DST_EN_B	32	32
A006 2714h	DMA0	DMAステータスERレジスタ B	DMAC0_DST_ER_B	32	32
A006 2718h	DMA0	DMAステータスENDレジスタ B	DMAC0_DST_END_B	32	32
A006 2720h	DMA0	DMAステータスSUSレジスタ B	DMAC0_DST_SUS_B	32	32
A006 3000h	DMA1	ネクスト0ソースアドレスレジスタ 0	DMAC1_N0SA_0_N	32	32
A006 3000h	DMA1	ネクスト0ソースアドレスレジスタ 0	DMAC1_N0SA_0_W	32	32
A006 3004h	DMA1	ネクスト0デスティネーションアドレスレジスタ 0	DMAC1_N0DA_0	32	32
A006 3008h	DMA1	ネクスト0トランザクションバイトレジスタ 0	DMAC1_N0TB_0	32	32
A006 300Ch	DMA1	ネクスト1ソースアドレスレジスタ 0	DMAC1_N1SA_0_N	32	32
A006 300Ch	DMA1	ネクスト1ソースアドレスレジスタ 0	DMAC1_N1SA_0_W	32	32
A006 3010h	DMA1	ネクスト1デスティネーションアドレスレジスタ 0	DMAC1_N1DA_0	32	32
A006 3014h	DMA1	ネクスト1トランザクションバイトレジスタ 0	DMAC1_N1TB_0	32	32

表5.1 I/O レジスタアドレス一覧 (31 / 56)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 3018h	DMA1	カレントソースアドレスレジスタ0	DMAC1_CRSA_0	32	32
A006 301Ch	DMA1	カレントデスティネーションアドレスレジスタ0	DMAC1_CRDA_0	32	32
A006 3020h	DMA1	カレントトランザクションバイトレジスタ0	DMAC1_CRTB_0	32	32
A006 3024h	DMA1	チャネルステータスレジスタ0	DMAC1_CHSTAT_0	32	32
A006 3028h	DMA1	チャネルコントロールレジスタ0	DMAC1_CHCTRL_0	32	32
A006 302Ch	DMA1	チャネルコンフィギュレーションレジスタ0	DMAC1_CHCFG_0	32	32
A006 3030h	DMA1	チャネルインターバルレジスタ0	DMAC1_CHITVL_0	32	32
A006 3038h	DMA1	ネクストリンクアドレスレジスタ0	DMAC1_NXLA_0	32	32
A006 303Ch	DMA1	カレントリンクアドレスレジスタ0	DMAC1_CRLA_0	32	32
A006 3040h	DMA1	ネクスト0ソースアドレスレジスタ1	DMAC1_N0SA_1_N	32	32
A006 3040h	DMA1	ネクスト0ソースアドレスレジスタ1	DMAC1_N0SA_1_W	32	32
A006 3044h	DMA1	ネクスト0デスティネーションアドレスレジスタ1	DMAC1_N0DA_1	32	32
A006 3048h	DMA1	ネクスト0トランザクションバイトレジスタ1	DMAC1_N0TB_1	32	32
A006 304Ch	DMA1	ネクスト1ソースアドレスレジスタ1	DMAC1_N1SA_1_N	32	32
A006 304Ch	DMA1	ネクスト1ソースアドレスレジスタ1	DMAC1_N1SA_1_W	32	32
A006 3050h	DMA1	ネクスト1デスティネーションアドレスレジスタ1	DMAC1_N1DA_1	32	32
A006 3054h	DMA1	ネクスト1トランザクションバイトレジスタ1	DMAC1_N1TB_1	32	32
A006 3058h	DMA1	カレントソースアドレスレジスタ1	DMAC1_CRSA_1	32	32
A006 305Ch	DMA1	カレントデスティネーションアドレスレジスタ1	DMAC1_CRDA_1	32	32
A006 3060h	DMA1	カレントトランザクションバイトレジスタ1	DMAC1_CRTB_1	32	32
A006 3064h	DMA1	チャネルステータスレジスタ1	DMAC1_CHSTAT_1	32	32
A006 3068h	DMA1	チャネルコントロールレジスタ1	DMAC1_CHCTRL_1	32	32
A006 306Ch	DMA1	チャネルコンフィギュレーションレジスタ1	DMAC1_CHCFG_1	32	32
A006 3070h	DMA1	チャネルインターバルレジスタ1	DMAC1_CHITVL_1	32	32
A006 3078h	DMA1	ネクストリンクアドレスレジスタ1	DMAC1_NXLA_1	32	32
A006 307Ch	DMA1	カレントリンクアドレスレジスタ1	DMAC1_CRLA_1	32	32
A006 3080h	DMA1	ネクスト0ソースアドレスレジスタ2	DMAC1_N0SA_2_N	32	32
A006 3080h	DMA1	ネクスト0ソースアドレスレジスタ2	DMAC1_N0SA_2_W	32	32
A006 3084h	DMA1	ネクスト0デスティネーションアドレスレジスタ2	DMAC1_N0DA_2	32	32
A006 3088h	DMA1	ネクスト0トランザクションバイトレジスタ2	DMAC1_N0TB_2	32	32
A006 308Ch	DMA1	ネクスト1ソースアドレスレジスタ2	DMAC1_N1SA_2_N	32	32
A006 308Ch	DMA1	ネクスト1ソースアドレスレジスタ2	DMAC1_N1SA_2_W	32	32
A006 3090h	DMA1	ネクスト1デスティネーションアドレスレジスタ2	DMAC1_N1DA_2	32	32
A006 3094h	DMA1	ネクスト1トランザクションバイトレジスタ2	DMAC1_N1TB_2	32	32
A006 3098h	DMA1	カレントソースアドレスレジスタ2	DMAC1_CRSA_2	32	32
A006 309Ch	DMA1	カレントデスティネーションアドレスレジスタ2	DMAC1_CRDA_2	32	32
A006 30A0h	DMA1	カレントトランザクションバイトレジスタ2	DMAC1_CRTB_2	32	32
A006 30A4h	DMA1	チャネルステータスレジスタ2	DMAC1_CHSTAT_2	32	32
A006 30A8h	DMA1	チャネルコントロールレジスタ2	DMAC1_CHCTRL_2	32	32
A006 30ACh	DMA1	チャネルコンフィギュレーションレジスタ2	DMAC1_CHCFG_2	32	32
A006 30B0h	DMA1	チャネルインターバルレジスタ2	DMAC1_CHITVL_2	32	32
A006 30B8h	DMA1	ネクストリンクアドレスレジスタ2	DMAC1_NXLA_2	32	32
A006 30BCh	DMA1	カレントリンクアドレスレジスタ2	DMAC1_CRLA_2	32	32
A006 30C0h	DMA1	ネクスト0ソースアドレスレジスタ3	DMAC1_N0SA_3_N	32	32
A006 30C0h	DMA1	ネクスト0ソースアドレスレジスタ3	DMAC1_N0SA_3_W	32	32
A006 30C4h	DMA1	ネクスト0デスティネーションアドレスレジスタ3	DMAC1_N0DA_3	32	32
A006 30C8h	DMA1	ネクスト0トランザクションバイトレジスタ3	DMAC1_N0TB_3	32	32
A006 30CCh	DMA1	ネクスト1ソースアドレスレジスタ3	DMAC1_N1SA_3_N	32	32

表5.1 I/O レジスタアドレス一覧 (32 / 56)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 30CCh	DMA1	ネクスト1ソースアドレスレジスタ3	DMAC1_N1SA_3_W	32	32
A006 30D0h	DMA1	ネクスト1デスティネーションアドレスレジスタ3	DMAC1_N1DA_3	32	32
A006 30D4h	DMA1	ネクスト1トランザクションバイトレジスタ3	DMAC1_N1TB_3	32	32
A006 30D8h	DMA1	カレントソースアドレスレジスタ3	DMAC1_CRSA_3	32	32
A006 30DCh	DMA1	カレントデスティネーションアドレスレジスタ3	DMAC1_CRDA_3	32	32
A006 30E0h	DMA1	カレントトランザクションバイトレジスタ3	DMAC1_CRTB_3	32	32
A006 30E4h	DMA1	チャネルステータスレジスタ3	DMAC1_CHSTAT_3	32	32
A006 30E8h	DMA1	チャネルコントロールレジスタ3	DMAC1_CHCTRL_3	32	32
A006 30ECh	DMA1	チャネルコンフィギュレーションレジスタ3	DMAC1_CHCFG_3	32	32
A006 30F0h	DMA1	チャネルインターバルレジスタ3	DMAC1_CHITVL_3	32	32
A006 30F8h	DMA1	ネクストリンクアドレスレジスタ3	DMAC1_NXLA_3	32	32
A006 30FCh	DMA1	カレントリンクアドレスレジスタ3	DMAC1_CRLA_3	32	32
A006 3100h	DMA1	ネクスト0ソースアドレスレジスタ4	DMAC1_N0SA_4_N	32	32
A006 3100h	DMA1	ネクスト0ソースアドレスレジスタ4	DMAC1_N0SA_4_W	32	32
A006 3104h	DMA1	ネクスト0デスティネーションアドレスレジスタ4	DMAC1_N0DA_4	32	32
A006 3108h	DMA1	ネクスト0トランザクションバイトレジスタ4	DMAC1_N0TB_4	32	32
A006 310Ch	DMA1	ネクスト1ソースアドレスレジスタ4	DMAC1_N1SA_4_N	32	32
A006 310Ch	DMA1	ネクスト1ソースアドレスレジスタ4	DMAC1_N1SA_4_W	32	32
A006 3110h	DMA1	ネクスト1デスティネーションアドレスレジスタ4	DMAC1_N1DA_4	32	32
A006 3114h	DMA1	ネクスト1トランザクションバイトレジスタ4	DMAC1_N1TB_4	32	32
A006 3118h	DMA1	カレントソースアドレスレジスタ4	DMAC1_CRSA_4	32	32
A006 311Ch	DMA1	カレントデスティネーションアドレスレジスタ4	DMAC1_CRDA_4	32	32
A006 3120h	DMA1	カレントトランザクションバイトレジスタ4	DMAC1_CRTB_4	32	32
A006 3124h	DMA1	チャネルステータスレジスタ4	DMAC1_CHSTAT_4	32	32
A006 3128h	DMA1	チャネルコントロールレジスタ4	DMAC1_CHCTRL_4	32	32
A006 312Ch	DMA1	チャネルコンフィギュレーションレジスタ4	DMAC1_CHCFG_4	32	32
A006 3130h	DMA1	チャネルインターバルレジスタ4	DMAC1_CHITVL_4	32	32
A006 3138h	DMA1	ネクストリンクアドレスレジスタ4	DMAC1_NXLA_4	32	32
A006 313Ch	DMA1	カレントリンクアドレスレジスタ4	DMAC1_CRLA_4	32	32
A006 3140h	DMA1	ネクスト0ソースアドレスレジスタ5	DMAC1_N0SA_5_N	32	32
A006 3140h	DMA1	ネクスト0ソースアドレスレジスタ5	DMAC1_N0SA_5_W	32	32
A006 3144h	DMA1	ネクスト0デスティネーションアドレスレジスタ5	DMAC1_N0DA_5	32	32
A006 3148h	DMA1	ネクスト0トランザクションバイトレジスタ5	DMAC1_N0TB_5	32	32
A006 314Ch	DMA1	ネクスト1ソースアドレスレジスタ5	DMAC1_N1SA_5_N	32	32
A006 314Ch	DMA1	ネクスト1ソースアドレスレジスタ5	DMAC1_N1SA_5_W	32	32
A006 3150h	DMA1	ネクスト1デスティネーションアドレスレジスタ5	DMAC1_N1DA_5	32	32
A006 3154h	DMA1	ネクスト1トランザクションバイトレジスタ5	DMAC1_N1TB_5	32	32
A006 3158h	DMA1	カレントソースアドレスレジスタ5	DMAC1_CRSA_5	32	32
A006 315Ch	DMA1	カレントデスティネーションアドレスレジスタ5	DMAC1_CRDA_5	32	32
A006 3160h	DMA1	カレントトランザクションバイトレジスタ5	DMAC1_CRTB_5	32	32
A006 3164h	DMA1	チャネルステータスレジスタ5	DMAC1_CHSTAT_5	32	32
A006 3168h	DMA1	チャネルコントロールレジスタ5	DMAC1_CHCTRL_5	32	32
A006 316Ch	DMA1	チャネルコンフィギュレーションレジスタ5	DMAC1_CHCFG_5	32	32
A006 3170h	DMA1	チャネルインターバルレジスタ5	DMAC1_CHITVL_5	32	32
A006 3178h	DMA1	ネクストリンクアドレスレジスタ5	DMAC1_NXLA_5	32	32
A006 317Ch	DMA1	カレントリンクアドレスレジスタ5	DMAC1_CRLA_5	32	32
A006 3180h	DMA1	ネクスト0ソースアドレスレジスタ6	DMAC1_N0SA_6_N	32	32
A006 3180h	DMA1	ネクスト0ソースアドレスレジスタ6	DMAC1_N0SA_6_W	32	32

表5.1 I/O レジスタアドレス一覧 (33 / 56)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 3184h	DMA1	ネクスト0デスティネーションアドレスレジスタ6	DMAC1_N0DA_6	32	32
A006 3188h	DMA1	ネクスト0トランザクションバイトレジスタ6	DMAC1_N0TB_6	32	32
A006 318Ch	DMA1	ネクスト1ソースアドレスレジスタ6	DMAC1_N1SA_6_N	32	32
A006 318Ch	DMA1	ネクスト1ソースアドレスレジスタ6	DMAC1_N1SA_6_W	32	32
A006 3190h	DMA1	ネクスト1デスティネーションアドレスレジスタ6	DMAC1_N1DA_6	32	32
A006 3194h	DMA1	ネクスト1トランザクションバイトレジスタ6	DMAC1_N1TB_6	32	32
A006 3198h	DMA1	カレントソースアドレスレジスタ6	DMAC1_CRSA_6	32	32
A006 319Ch	DMA1	カレントデスティネーションアドレスレジスタ6	DMAC1_CRDA_6	32	32
A006 31A0h	DMA1	カレントトランザクションバイトレジスタ6	DMAC1_CRTB_6	32	32
A006 31A4h	DMA1	チャネルステータスレジスタ6	DMAC1_CHSTAT_6	32	32
A006 31A8h	DMA1	チャネルコントロールレジスタ6	DMAC1_CHCTRL_6	32	32
A006 31ACh	DMA1	チャネルコンフィギュレーションレジスタ6	DMAC1_CHCFG_6	32	32
A006 31B0h	DMA1	チャネルインターバルレジスタ6	DMAC1_CHITVL_6	32	32
A006 31B8h	DMA1	ネクストリンクアドレスレジスタ6	DMAC1_NXLA_6	32	32
A006 31BCh	DMA1	カレントリンクアドレスレジスタ6	DMAC1_CRLA_6	32	32
A006 31C0h	DMA1	ネクスト0ソースアドレスレジスタ7	DMAC1_N0SA_7_N	32	32
A006 31C0h	DMA1	ネクスト0ソースアドレスレジスタ7	DMAC1_N0SA_7_W	32	32
A006 31C4h	DMA1	ネクスト0デスティネーションアドレスレジスタ7	DMAC1_N0DA_7	32	32
A006 31C8h	DMA1	ネクスト0トランザクションバイトレジスタ7	DMAC1_N0TB_7	32	32
A006 31CCh	DMA1	ネクスト1ソースアドレスレジスタ7	DMAC1_N1SA_7_N	32	32
A006 31CCh	DMA1	ネクスト1ソースアドレスレジスタ7	DMAC1_N1SA_7_W	32	32
A006 31D0h	DMA1	ネクスト1デスティネーションアドレスレジスタ7	DMAC1_N1DA_7	32	32
A006 31D4h	DMA1	ネクスト1トランザクションバイトレジスタ7	DMAC1_N1TB_7	32	32
A006 31D8h	DMA1	カレントソースアドレスレジスタ7	DMAC1_CRSA_7	32	32
A006 31DCh	DMA1	カレントデスティネーションアドレスレジスタ7	DMAC1_CRDA_7	32	32
A006 31E0h	DMA1	カレントトランザクションバイトレジスタ7	DMAC1_CRTB_7	32	32
A006 31E4h	DMA1	チャネルステータスレジスタ7	DMAC1_CHSTAT_7	32	32
A006 31E8h	DMA1	チャネルコントロールレジスタ7	DMAC1_CHCTRL_7	32	32
A006 31ECh	DMA1	チャネルコンフィギュレーションレジスタ7	DMAC1_CHCFG_7	32	32
A006 31F0h	DMA1	チャネルインターバルレジスタ7	DMAC1_CHITVL_7	32	32
A006 31F8h	DMA1	ネクストリンクアドレスレジスタ7	DMAC1_NXLA_7	32	32
A006 31FCh	DMA1	カレントリンクアドレスレジスタ7	DMAC1_CRLA_7	32	32
A006 3200h	DMA1	ソースコンティニューアスレジスタ0	DMAC1_SCNT_0	32	32
A006 3204h	DMA1	ソーススキップレジスタ0	DMAC1_SSKP_0	32	32
A006 3208h	DMA1	デスティネーションコンティニューアスレジスタ0	DMAC1_DCNT_0	32	32
A006 320Ch	DMA1	デスティネーションスキップレジスタ0	DMAC1_DSKP_0	32	32
A006 3220h	DMA1	ソースコンティニューアスレジスタ1	DMAC1_SCNT_1	32	32
A006 3224h	DMA1	ソーススキップレジスタ1	DMAC1_SSKP_1	32	32
A006 3228h	DMA1	デスティネーションコンティニューアスレジスタ1	DMAC1_DCNT_1	32	32
A006 322Ch	DMA1	デスティネーションスキップレジスタ1	DMAC1_DSKP_1	32	32
A006 3240h	DMA1	ソースコンティニューアスレジスタ2	DMAC1_SCNT_2	32	32
A006 3244h	DMA1	ソーススキップレジスタ2	DMAC1_SSKP_2	32	32
A006 3248h	DMA1	デスティネーションコンティニューアスレジスタ2	DMAC1_DCNT_2	32	32
A006 324Ch	DMA1	デスティネーションスキップレジスタ2	DMAC1_DSKP_2	32	32
A006 3260h	DMA1	ソースコンティニューアスレジスタ3	DMAC1_SCNT_3	32	32
A006 3264h	DMA1	ソーススキップレジスタ3	DMAC1_SSKP_3	32	32
A006 3268h	DMA1	デスティネーションコンティニューアスレジスタ3	DMAC1_DCNT_3	32	32
A006 326Ch	DMA1	デスティネーションスキップレジスタ3	DMAC1_DSKP_3	32	32

表5.1 I/O レジスタアドレス一覧 (34 / 56)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 3280h	DMA1	ソースコンティニューアスレジスタ4	DMAC1_SCNT_4	32	32
A006 3284h	DMA1	ソーススキップレジスタ4	DMAC1_SSKP_4	32	32
A006 3288h	DMA1	デスティネーションコンティニューアスレジスタ4	DMAC1_DCNT_4	32	32
A006 328Ch	DMA1	デスティネーションスキップレジスタ4	DMAC1_DSKP_4	32	32
A006 32A0h	DMA1	ソースコンティニューアスレジスタ5	DMAC1_SCNT_5	32	32
A006 32A4h	DMA1	ソーススキップレジスタ5	DMAC1_SSKP_5	32	32
A006 32A8h	DMA1	デスティネーションコンティニューアスレジスタ5	DMAC1_DCNT_5	32	32
A006 32ACh	DMA1	デスティネーションスキップレジスタ5	DMAC1_DSKP_5	32	32
A006 32C0h	DMA1	ソースコンティニューアスレジスタ6	DMAC1_SCNT_6	32	32
A006 32C4h	DMA1	ソーススキップレジスタ6	DMAC1_SSKP_6	32	32
A006 32C8h	DMA1	デスティネーションコンティニューアスレジスタ6	DMAC1_DCNT_6	32	32
A006 32CCh	DMA1	デスティネーションスキップレジスタ6	DMAC1_DSKP_6	32	32
A006 32E0h	DMA1	ソースコンティニューアスレジスタ7	DMAC1_SCNT_7	32	32
A006 32E4h	DMA1	ソーススキップレジスタ7	DMAC1_SSKP_7	32	32
A006 32E8h	DMA1	デスティネーションコンティニューアスレジスタ7	DMAC1_DCNT_7	32	32
A006 32ECh	DMA1	デスティネーションスキップレジスタ7	DMAC1_DSKP_7	32	32
A006 3300h	DMA1	DMAコントロールレジスタA	DMAC1_DCTRL_A	32	32
A006 3304h	DMA1	デスク립タインターバルレジスタA	DMAC1_DSCITVL_A	32	32
A006 3310h	DMA1	DMAステータスENレジスタA	DMAC1_DST_EN_A	32	32
A006 3314h	DMA1	DMAステータスERレジスタA	DMAC1_DST_ER_A	32	32
A006 3318h	DMA1	DMAステータスENDレジスタA	DMAC1_DST_END_A	32	32
A006 3320h	DMA1	DMAステータスSUSレジスタA	DMAC1_DST_SUS_A	32	32
A006 3400h	DMA1	ネクスト0ソースアドレスレジスタ8	DMAC1_N0SA_8_N	32	32
A006 3400h	DMA1	ネクスト0ソースアドレスレジスタ8	DMAC1_N0SA_8_W	32	32
A006 3404h	DMA1	ネクスト0デスティネーションアドレスレジスタ8	DMAC1_N0DA_8	32	32
A006 3408h	DMA1	ネクスト0トランザクションバイトレジスタ8	DMAC1_N0TB_8	32	32
A006 340Ch	DMA1	ネクスト1ソースアドレスレジスタ8	DMAC1_N1SA_8_N	32	32
A006 340Ch	DMA1	ネクスト1ソースアドレスレジスタ8	DMAC1_N1SA_8_W	32	32
A006 3410h	DMA1	ネクスト1デスティネーションアドレスレジスタ8	DMAC1_N1DA_8	32	32
A006 3414h	DMA1	ネクスト1トランザクションバイトレジスタ8	DMAC1_N1TB_8	32	32
A006 3418h	DMA1	カレントソースアドレスレジスタ8	DMAC1_CRSA_8	32	32
A006 341Ch	DMA1	カレントデスティネーションアドレスレジスタ8	DMAC1_CRDA_8	32	32
A006 3420h	DMA1	カレントトランザクションバイトレジスタ8	DMAC1_CRTB_8	32	32
A006 3424h	DMA1	チャネルステータスレジスタ8	DMAC1_CHSTAT_8	32	32
A006 3428h	DMA1	チャネルコントロールレジスタ8	DMAC1_CHCTRL_8	32	32
A006 342Ch	DMA1	チャネルコンフィギュレーションレジスタ8	DMAC1_CHCFG_8	32	32
A006 3430h	DMA1	チャネルインターバルレジスタ8	DMAC1_CHITVL_8	32	32
A006 3438h	DMA1	ネクストリンクアドレスレジスタ8	DMAC1_NXLA_8	32	32
A006 343Ch	DMA1	カレントリンクアドレスレジスタ8	DMAC1_CRLA_8	32	32
A006 3440h	DMA1	ネクスト0ソースアドレスレジスタ9	DMAC1_N0SA_9_N	32	32
A006 3440h	DMA1	ネクスト0ソースアドレスレジスタ9	DMAC1_N0SA_9_W	32	32
A006 3444h	DMA1	ネクスト0デスティネーションアドレスレジスタ9	DMAC1_N0DA_9	32	32
A006 3448h	DMA1	ネクスト0トランザクションバイトレジスタ9	DMAC1_N0TB_9	32	32
A006 344Ch	DMA1	ネクスト1ソースアドレスレジスタ9	DMAC1_N1SA_9_N	32	32
A006 344Ch	DMA1	ネクスト1ソースアドレスレジスタ9	DMAC1_N1SA_9_W	32	32
A006 3450h	DMA1	ネクスト1デスティネーションアドレスレジスタ9	DMAC1_N1DA_9	32	32
A006 3454h	DMA1	ネクスト1トランザクションバイトレジスタ9	DMAC1_N1TB_9	32	32
A006 3458h	DMA1	カレントソースアドレスレジスタ9	DMAC1_CRSA_9	32	32

表5.1 I/O レジスタアドレス一覧 (35 / 56)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 345Ch	DMA1	カレントデスティネーションアドレスレジスタ 9	DMAC1_CRDA_9	32	32
A006 3460h	DMA1	カレントトランザクションバイトレジスタ 9	DMAC1_CRTB_9	32	32
A006 3464h	DMA1	チャネルステータスレジスタ 9	DMAC1_CHSTAT_9	32	32
A006 3468h	DMA1	チャネルコントロールレジスタ 9	DMAC1_CHCTRL_9	32	32
A006 346Ch	DMA1	チャネルコンフィギュレーションレジスタ 9	DMAC1_CHCFG_9	32	32
A006 3470h	DMA1	チャネルインターバルレジスタ 9	DMAC1_CHITVL_9	32	32
A006 3478h	DMA1	ネクストリンクアドレスレジスタ 9	DMAC1_NXLA_9	32	32
A006 347Ch	DMA1	カレントリンクアドレスレジスタ 9	DMAC1_CRLA_9	32	32
A006 3480h	DMA1	ネクスト0ソースアドレスレジスタ 10	DMAC1_N0SA_10_N	32	32
A006 3480h	DMA1	ネクスト0ソースアドレスレジスタ 10	DMAC1_N0SA_10_W	32	32
A006 3484h	DMA1	ネクスト0デスティネーションアドレスレジスタ 10	DMAC1_N0DA_10	32	32
A006 3488h	DMA1	ネクスト0トランザクションバイトレジスタ 10	DMAC1_N0TB_10	32	32
A006 348Ch	DMA1	ネクスト1ソースアドレスレジスタ 10	DMAC1_N1SA_10_N	32	32
A006 348Ch	DMA1	ネクスト1ソースアドレスレジスタ 10	DMAC1_N1SA_10_W	32	32
A006 3490h	DMA1	ネクスト1デスティネーションアドレスレジスタ 10	DMAC1_N1DA_10	32	32
A006 3494h	DMA1	ネクスト1トランザクションバイトレジスタ 10	DMAC1_N1TB_10	32	32
A006 3498h	DMA1	カレントソースアドレスレジスタ 10	DMAC1_CRSA_10	32	32
A006 349Ch	DMA1	カレントデスティネーションアドレスレジスタ 10	DMAC1_CRDA_10	32	32
A006 34A0h	DMA1	カレントトランザクションバイトレジスタ 10	DMAC1_CRTB_10	32	32
A006 34A4h	DMA1	チャネルステータスレジスタ 10	DMAC1_CHSTAT_10	32	32
A006 34A8h	DMA1	チャネルコントロールレジスタ 10	DMAC1_CHCTRL_10	32	32
A006 34ACh	DMA1	チャネルコンフィギュレーションレジスタ 10	DMAC1_CHCFG_10	32	32
A006 34B0h	DMA1	チャネルインターバルレジスタ 10	DMAC1_CHITVL_10	32	32
A006 34B8h	DMA1	ネクストリンクアドレスレジスタ 10	DMAC1_NXLA_10	32	32
A006 34BCh	DMA1	カレントリンクアドレスレジスタ 10	DMAC1_CRLA_10	32	32
A006 34C0h	DMA1	ネクスト0ソースアドレスレジスタ 11	DMAC1_N0SA_11_N	32	32
A006 34C0h	DMA1	ネクスト0ソースアドレスレジスタ 11	DMAC1_N0SA_11_W	32	32
A006 34C4h	DMA1	ネクスト0デスティネーションアドレスレジスタ 11	DMAC1_N0DA_11	32	32
A006 34C8h	DMA1	ネクスト0トランザクションバイトレジスタ 11	DMAC1_N0TB_11	32	32
A006 34CCh	DMA1	ネクスト1ソースアドレスレジスタ 11	DMAC1_N1SA_11_N	32	32
A006 34CCh	DMA1	ネクスト1ソースアドレスレジスタ 11	DMAC1_N1SA_11_W	32	32
A006 34D0h	DMA1	ネクスト1デスティネーションアドレスレジスタ 11	DMAC1_N1DA_11	32	32
A006 34D4h	DMA1	ネクスト1トランザクションバイトレジスタ 11	DMAC1_N1TB_11	32	32
A006 34D8h	DMA1	カレントソースアドレスレジスタ 11	DMAC1_CRSA_11	32	32
A006 34DCh	DMA1	カレントデスティネーションアドレスレジスタ 11	DMAC1_CRDA_11	32	32
A006 34E0h	DMA1	カレントトランザクションバイトレジスタ 11	DMAC1_CRTB_11	32	32
A006 34E4h	DMA1	チャネルステータスレジスタ 11	DMAC1_CHSTAT_11	32	32
A006 34E8h	DMA1	チャネルコントロールレジスタ 11	DMAC1_CHCTRL_11	32	32
A006 34ECh	DMA1	チャネルコンフィギュレーションレジスタ 11	DMAC1_CHCFG_11	32	32
A006 34F0h	DMA1	チャネルインターバルレジスタ 11	DMAC1_CHITVL_11	32	32
A006 34F8h	DMA1	ネクストリンクアドレスレジスタ 11	DMAC1_NXLA_11	32	32
A006 34FCh	DMA1	カレントリンクアドレスレジスタ 11	DMAC1_CRLA_11	32	32
A006 3500h	DMA1	ネクスト0ソースアドレスレジスタ 12	DMAC1_N0SA_12_N	32	32
A006 3500h	DMA1	ネクスト0ソースアドレスレジスタ 12	DMAC1_N0SA_12_W	32	32
A006 3504h	DMA1	ネクスト0デスティネーションアドレスレジスタ 12	DMAC1_N0DA_12	32	32
A006 3508h	DMA1	ネクスト0トランザクションバイトレジスタ 12	DMAC1_N0TB_12	32	32
A006 350Ch	DMA1	ネクスト1ソースアドレスレジスタ 12	DMAC1_N1SA_12_N	32	32
A006 350Ch	DMA1	ネクスト1ソースアドレスレジスタ 12	DMAC1_N1SA_12_W	32	32

表5.1 I/O レジスタアドレス一覧 (36 / 56)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 3510h	DMA1	ネクスト1デスティネーションアドレスレジスタ 12	DMAC1_N1DA_12	32	32
A006 3514h	DMA1	ネクスト1トランザクションバイトレジスタ 12	DMAC1_N1TB_12	32	32
A006 3518h	DMA1	カレントソースアドレスレジスタ 12	DMAC1_CRSA_12	32	32
A006 351Ch	DMA1	カレントデスティネーションアドレスレジスタ 12	DMAC1_CRDA_12	32	32
A006 3520h	DMA1	カレントトランザクションバイトレジスタ 12	DMAC1_CRTB_12	32	32
A006 3524h	DMA1	チャネルステータスレジスタ 12	DMAC1_CHSTAT_12	32	32
A006 3528h	DMA1	チャネルコントロールレジスタ 12	DMAC1_CHCTRL_12	32	32
A006 352Ch	DMA1	チャネルコンフィギュレーションレジスタ 12	DMAC1_CHCFG_12	32	32
A006 3530h	DMA1	チャネルインターバルレジスタ 12	DMAC1_CHITVL_12	32	32
A006 3538h	DMA1	ネクストリンクアドレスレジスタ 12	DMAC1_NXLA_12	32	32
A006 353Ch	DMA1	カレントリンクアドレスレジスタ 12	DMAC1_CRLA_12	32	32
A006 3540h	DMA1	ネクスト0ソースアドレスレジスタ 13	DMAC1_N0SA_13_N	32	32
A006 3540h	DMA1	ネクスト0ソースアドレスレジスタ 13	DMAC1_N0SA_13_W	32	32
A006 3544h	DMA1	ネクスト0デスティネーションアドレスレジスタ 13	DMAC1_N0DA_13	32	32
A006 3548h	DMA1	ネクスト0トランザクションバイトレジスタ 13	DMAC1_N0TB_13	32	32
A006 354Ch	DMA1	ネクスト1ソースアドレスレジスタ 13	DMAC1_N1SA_13_N	32	32
A006 354Ch	DMA1	ネクスト1ソースアドレスレジスタ 13	DMAC1_N1SA_13_W	32	32
A006 3550h	DMA1	ネクスト1デスティネーションアドレスレジスタ 13	DMAC1_N1DA_13	32	32
A006 3554h	DMA1	ネクスト1トランザクションバイトレジスタ 13	DMAC1_N1TB_13	32	32
A006 3558h	DMA1	カレントソースアドレスレジスタ 13	DMAC1_CRSA_13	32	32
A006 355Ch	DMA1	カレントデスティネーションアドレスレジスタ 13	DMAC1_CRDA_13	32	32
A006 3560h	DMA1	カレントトランザクションバイトレジスタ 13	DMAC1_CRTB_13	32	32
A006 3564h	DMA1	チャネルステータスレジスタ 13	DMAC1_CHSTAT_13	32	32
A006 3568h	DMA1	チャネルコントロールレジスタ 13	DMAC1_CHCTRL_13	32	32
A006 356Ch	DMA1	チャネルコンフィギュレーションレジスタ 13	DMAC1_CHCFG_13	32	32
A006 3570h	DMA1	チャネルインターバルレジスタ 13	DMAC1_CHITVL_13	32	32
A006 3578h	DMA1	ネクストリンクアドレスレジスタ 13	DMAC1_NXLA_13	32	32
A006 357Ch	DMA1	カレントリンクアドレスレジスタ 13	DMAC1_CRLA_13	32	32
A006 3580h	DMA1	ネクスト0ソースアドレスレジスタ 14	DMAC1_N0SA_14_N	32	32
A006 3580h	DMA1	ネクスト0ソースアドレスレジスタ 14	DMAC1_N0SA_14_W	32	32
A006 3584h	DMA1	ネクスト0デスティネーションアドレスレジスタ 14	DMAC1_N0DA_14	32	32
A006 3588h	DMA1	ネクスト0トランザクションバイトレジスタ 14	DMAC1_N0TB_14	32	32
A006 358Ch	DMA1	ネクスト1ソースアドレスレジスタ 14	DMAC1_N1SA_14_N	32	32
A006 358Ch	DMA1	ネクスト1ソースアドレスレジスタ 14	DMAC1_N1SA_14_W	32	32
A006 3590h	DMA1	ネクスト1デスティネーションアドレスレジスタ 14	DMAC1_N1DA_14	32	32
A006 3594h	DMA1	ネクスト1トランザクションバイトレジスタ 14	DMAC1_N1TB_14	32	32
A006 3598h	DMA1	カレントソースアドレスレジスタ 14	DMAC1_CRSA_14	32	32
A006 359Ch	DMA1	カレントデスティネーションアドレスレジスタ 14	DMAC1_CRDA_14	32	32
A006 35A0h	DMA1	カレントトランザクションバイトレジスタ 14	DMAC1_CRTB_14	32	32
A006 35A4h	DMA1	チャネルステータスレジスタ 14	DMAC1_CHSTAT_14	32	32
A006 35A8h	DMA1	チャネルコントロールレジスタ 14	DMAC1_CHCTRL_14	32	32
A006 35ACh	DMA1	チャネルコンフィギュレーションレジスタ 14	DMAC1_CHCFG_14	32	32
A006 35B0h	DMA1	チャネルインターバルレジスタ 14	DMAC1_CHITVL_14	32	32
A006 35B8h	DMA1	ネクストリンクアドレスレジスタ 14	DMAC1_NXLA_14	32	32
A006 35BCh	DMA1	カレントリンクアドレスレジスタ 14	DMAC1_CRLA_14	32	32
A006 35C0h	DMA1	ネクスト0ソースアドレスレジスタ 15	DMAC1_N0SA_15_N	32	32
A006 35C0h	DMA1	ネクスト0ソースアドレスレジスタ 15	DMAC1_N0SA_15_W	32	32
A006 35C4h	DMA1	ネクスト0デスティネーションアドレスレジスタ 15	DMAC1_N0DA_15	32	32

表5.1 I/O レジスタアドレス一覧 (37 / 56)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 35C8h	DMA1	ネクスト0トランザクションバイトレジスタ 15	DMAC1_N0TB_15	32	32
A006 35CCh	DMA1	ネクスト1ソースアドレスレジスタ 15	DMAC1_N1SA_15_N	32	32
A006 35CCh	DMA1	ネクスト1ソースアドレスレジスタ 15	DMAC1_N1SA_15_W	32	32
A006 35D0h	DMA1	ネクスト1デスティネーションアドレスレジスタ 15	DMAC1_N1DA_15	32	32
A006 35D4h	DMA1	ネクスト1トランザクションバイトレジスタ 15	DMAC1_N1TB_15	32	32
A006 35D8h	DMA1	カレントソースアドレスレジスタ 15	DMAC1_CRSA_15	32	32
A006 35DCh	DMA1	カレントデスティネーションアドレスレジスタ 15	DMAC1_CRDA_15	32	32
A006 35E0h	DMA1	カレントトランザクションバイトレジスタ 15	DMAC1_CRTB_15	32	32
A006 35E4h	DMA1	チャネルステータスレジスタ 15	DMAC1_CHSTAT_15	32	32
A006 35E8h	DMA1	チャネルコントロールレジスタ 15	DMAC1_CHCTRL_15	32	32
A006 35ECh	DMA1	チャネルコンフィギュレーションレジスタ 15	DMAC1_CHCFG_15	32	32
A006 35F0h	DMA1	チャネルインターバルレジスタ 15	DMAC1_CHITVL_15	32	32
A006 35F8h	DMA1	ネクストリンクアドレスレジスタ 15	DMAC1_NXLA_15	32	32
A006 35FCh	DMA1	カレントリンクアドレスレジスタ 15	DMAC1_CRLA_15	32	32
A006 3600h	DMA1	ソースコンティニューアスレジスタ 8	DMAC1_SCNT_8	32	32
A006 3604h	DMA1	ソーススキップレジスタ 8	DMAC1_SSKP_8	32	32
A006 3608h	DMA1	デスティネーションコンティニューアスレジスタ 8	DMAC1_DCNT_8	32	32
A006 360Ch	DMA1	デスティネーションスキップレジスタ 8	DMAC1_DSKP_8	32	32
A006 3620h	DMA1	ソースコンティニューアスレジスタ 9	DMAC1_SCNT_9	32	32
A006 3624h	DMA1	ソーススキップレジスタ 9	DMAC1_SSKP_9	32	32
A006 3628h	DMA1	デスティネーションコンティニューアスレジスタ 9	DMAC1_DCNT_9	32	32
A006 362Ch	DMA1	デスティネーションスキップレジスタ 9	DMAC1_DSKP_9	32	32
A006 3640h	DMA1	ソースコンティニューアスレジスタ 10	DMAC1_SCNT_10	32	32
A006 3644h	DMA1	ソーススキップレジスタ 10	DMAC1_SSKP_10	32	32
A006 3648h	DMA1	デスティネーションコンティニューアスレジスタ 10	DMAC1_DCNT_10	32	32
A006 364Ch	DMA1	デスティネーションスキップレジスタ 10	DMAC1_DSKP_10	32	32
A006 3660h	DMA1	ソースコンティニューアスレジスタ 11	DMAC1_SCNT_11	32	32
A006 3664h	DMA1	ソーススキップレジスタ 11	DMAC1_SSKP_11	32	32
A006 3668h	DMA1	デスティネーションコンティニューアスレジスタ 11	DMAC1_DCNT_11	32	32
A006 366Ch	DMA1	デスティネーションスキップレジスタ 11	DMAC1_DSKP_11	32	32
A006 3680h	DMA1	ソースコンティニューアスレジスタ 12	DMAC1_SCNT_12	32	32
A006 3684h	DMA1	ソーススキップレジスタ 12	DMAC1_SSKP_12	32	32
A006 3688h	DMA1	デスティネーションコンティニューアスレジスタ 12	DMAC1_DCNT_12	32	32
A006 368Ch	DMA1	デスティネーションスキップレジスタ 12	DMAC1_DSKP_12	32	32
A006 36A0h	DMA1	ソースコンティニューアスレジスタ 13	DMAC1_SCNT_13	32	32
A006 36A4h	DMA1	ソーススキップレジスタ 13	DMAC1_SSKP_13	32	32
A006 36A8h	DMA1	デスティネーションコンティニューアスレジスタ 13	DMAC1_DCNT_13	32	32
A006 36ACh	DMA1	デスティネーションスキップレジスタ 13	DMAC1_DSKP_13	32	32
A006 36C0h	DMA1	ソースコンティニューアスレジスタ 14	DMAC1_SCNT_14	32	32
A006 36C4h	DMA1	ソーススキップレジスタ 14	DMAC1_SSKP_14	32	32
A006 36C8h	DMA1	デスティネーションコンティニューアスレジスタ 14	DMAC1_DCNT_14	32	32
A006 36CCh	DMA1	デスティネーションスキップレジスタ 14	DMAC1_DSKP_14	32	32
A006 36E0h	DMA1	ソースコンティニューアスレジスタ 15	DMAC1_SCNT_15	32	32
A006 36E4h	DMA1	ソーススキップレジスタ 15	DMAC1_SSKP_15	32	32
A006 36E8h	DMA1	デスティネーションコンティニューアスレジスタ 15	DMAC1_DCNT_15	32	32
A006 36ECh	DMA1	デスティネーションスキップレジスタ 15	DMAC1_DSKP_15	32	32
A006 3700h	DMA1	DMAコントロールレジスタ B	DMAC1_DCTRL_B	32	32
A006 3704h	DMA1	デスク립タインターバルレジスタ B	DMAC1_DSCITVL_B	32	32

表5.1 I/O レジスタアドレス一覧 (38 / 56)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 3710h	DMA1	DMAステータスENレジスタB	DMAC1_DST_EN_B	32	32
A006 3714h	DMA1	DMAステータスERレジスタB	DMAC1_DST_ER_B	32	32
A006 3718h	DMA1	DMAステータスENDレジスタB	DMAC1_DST_END_B	32	32
A006 3720h	DMA1	DMAステータスSUSレジスタB	DMAC1_DST_SUS_B	32	32
A006 5000h	SCIFA0	シリアルモードレジスタ	SMR	16	16
A006 5002h	SCIFA0	ビットレートレジスタ	BRR	8	8
A006 5002h	SCIFA0	モジュレーションデューティレジスタ	MDDR	8	8
A006 5004h	SCIFA0	シリアルコントロールレジスタ	SCR	16	16
A006 5006h	SCIFA0	トランスミットFIFOデータレジスタ	FTDR	8	8
A006 5008h	SCIFA0	シリアルステータスレジスタ	FSR	16	16
A006 500Ah	SCIFA0	レシーブFIFOデータレジスタ	FRDR	8	8
A006 500Ch	SCIFA0	FIFOコントロールレジスタ	FCR	16	16
A006 500Eh	SCIFA0	FIFOデータ数レジスタ	FDR	16	16
A006 5010h	SCIFA0	シリアルポートレジスタ	SPTR	16	16
A006 5012h	SCIFA0	ラインステータスレジスタ	LSR	16	16
A006 5014h	SCIFA0	シリアル拡張モードレジスタ	SEMR	8	8
A006 5016h	SCIFA0	FIFOトリガコントロールレジスタ	FTCR	16	16
A006 5400h	SCIFA1	シリアルモードレジスタ	SMR	16	16
A006 5402h	SCIFA1	ビットレートレジスタ	BRR	8	8
A006 5402h	SCIFA1	モジュレーションデューティレジスタ	MDDR	8	8
A006 5404h	SCIFA1	シリアルコントロールレジスタ	SCR	16	16
A006 5406h	SCIFA1	トランスミットFIFOデータレジスタ	FTDR	8	8
A006 5408h	SCIFA1	シリアルステータスレジスタ	FSR	16	16
A006 540Ah	SCIFA1	レシーブFIFOデータレジスタ	FRDR	8	8
A006 540Ch	SCIFA1	FIFOコントロールレジスタ	FCR	16	16
A006 540Eh	SCIFA1	FIFOデータ数レジスタ	FDR	16	16
A006 5410h	SCIFA1	シリアルポートレジスタ	SPTR	16	16
A006 5412h	SCIFA1	ラインステータスレジスタ	LSR	16	16
A006 5414h	SCIFA1	シリアル拡張モードレジスタ	SEMR	8	8
A006 5416h	SCIFA1	FIFOトリガコントロールレジスタ	FTCR	16	16
A006 5800h	SCIFA2	シリアルモードレジスタ	SMR	16	16
A006 5802h	SCIFA2	ビットレートレジスタ	BRR	8	8
A006 5802h	SCIFA2	モジュレーションデューティレジスタ	MDDR	8	8
A006 5804h	SCIFA2	シリアルコントロールレジスタ	SCR	16	16
A006 5806h	SCIFA2	トランスミットFIFOデータレジスタ	FTDR	8	8
A006 5808h	SCIFA2	シリアルステータスレジスタ	FSR	16	16
A006 580Ah	SCIFA2	レシーブFIFOデータレジスタ	FRDR	8	8
A006 580Ch	SCIFA2	FIFOコントロールレジスタ	FCR	16	16
A006 580Eh	SCIFA2	FIFOデータ数レジスタ	FDR	16	16
A006 5810h	SCIFA2	シリアルポートレジスタ	SPTR	16	16
A006 5812h	SCIFA2	ラインステータスレジスタ	LSR	16	16
A006 5814h	SCIFA2	シリアル拡張モードレジスタ	SEMR	8	8
A006 5816h	SCIFA2	FIFOトリガコントロールレジスタ	FTCR	16	16
A006 5C00h	SCIFA3	シリアルモードレジスタ	SMR	16	16
A006 5C02h	SCIFA3	ビットレートレジスタ	BRR	8	8
A006 5C02h	SCIFA3	モジュレーションデューティレジスタ	MDDR	8	8
A006 5C04h	SCIFA3	シリアルコントロールレジスタ	SCR	16	16
A006 5C06h	SCIFA3	トランスミットFIFOデータレジスタ	FTDR	8	8

表5.1 I/O レジスタアドレス一覧 (39 / 56)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 5C08h	SCIFA3	シリアルステータスレジスタ	FSR	16	16
A006 5C0Ah	SCIFA3	レシーブFIFOデータレジスタ	FRDR	8	8
A006 5C0Ch	SCIFA3	FIFOコントロールレジスタ	FCR	16	16
A006 5C0Eh	SCIFA3	FIFOデータ数レジスタ	FDR	16	16
A006 5C10h	SCIFA3	シリアルポートレジスタ	SPTR	16	16
A006 5C12h	SCIFA3	ラインステータスレジスタ	LSR	16	16
A006 5C14h	SCIFA3	シリアル拡張モードレジスタ	SEMR	8	8
A006 5C16h	SCIFA3	FIFOトリガコントロールレジスタ	FTCR	16	16
A006 6000h	SCIFA4	シリアルモードレジスタ	SMR	16	16
A006 6002h	SCIFA4	ビットレートレジスタ	BRR	8	8
A006 6002h	SCIFA4	モジュレーションデューティレジスタ	MDDR	8	8
A006 6004h	SCIFA4	シリアルコントロールレジスタ	SCR	16	16
A006 6006h	SCIFA4	トランスミットFIFOデータレジスタ	FTDR	8	8
A006 6008h	SCIFA4	シリアルステータスレジスタ	FSR	16	16
A006 600Ah	SCIFA4	レシーブFIFOデータレジスタ	FRDR	8	8
A006 600Ch	SCIFA4	FIFOコントロールレジスタ	FCR	16	16
A006 600Eh	SCIFA4	FIFOデータ数レジスタ	FDR	16	16
A006 6010h	SCIFA4	シリアルポートレジスタ	SPTR	16	16
A006 6012h	SCIFA4	ラインステータスレジスタ	LSR	16	16
A006 6014h	SCIFA4	シリアル拡張モードレジスタ	SEMR	8	8
A006 6016h	SCIFA4	FIFOトリガコントロールレジスタ	FTCR	16	16
A006 8000h	RSPi0	RSPi制御レジスタ	SPCR	8	8
A006 8001h	RSPi0	RSPiスレーブセレクト極性レジスタ	SSLP	8	8
A006 8002h	RSPi0	RSPi端子制御レジスタ	SPPCR	8	8
A006 8003h	RSPi0	RSPiステータスレジスタ	SPSR	8	8
A006 8004h	RSPi0	RSPiデータレジスタ	SPDR	32	16, 32
A006 8008h	RSPi0	RSPiシーケンス制御レジスタ	SPSCR	8	8
A006 8009h	RSPi0	RSPiシーケンスステータスレジスタ	SPSSR	8	8
A006 800Ah	RSPi0	RSPiビットレートレジスタ	SPBR	8	8
A006 800Bh	RSPi0	RSPiデータコントロールレジスタ	SPDCR	8	8
A006 800Ch	RSPi0	RSPiクロック遅延レジスタ	SPCKD	8	8
A006 800Dh	RSPi0	RSPiスレーブセレクトネゲート遅延レジスタ	SSLND	8	8
A006 800Eh	RSPi0	RSPi次アクセス遅延レジスタ	SPND	8	8
A006 800Fh	RSPi0	RSPi制御レジスタ2	SPCR2	8	8
A006 8010h	RSPi0	RSPiコマンドレジスタ0	SPCMD0	16	16
A006 8012h	RSPi0	RSPiコマンドレジスタ1	SPCMD1	16	16
A006 8014h	RSPi0	RSPiコマンドレジスタ2	SPCMD2	16	16
A006 8016h	RSPi0	RSPiコマンドレジスタ3	SPCMD3	16	16
A006 8018h	RSPi0	RSPiコマンドレジスタ4	SPCMD4	16	16
A006 801Ah	RSPi0	RSPiコマンドレジスタ5	SPCMD5	16	16
A006 801Ch	RSPi0	RSPiコマンドレジスタ6	SPCMD6	16	16
A006 801Eh	RSPi0	RSPiコマンドレジスタ7	SPCMD7	16	16
A006 8400h	RSPi1	RSPi制御レジスタ	SPCR	8	8
A006 8401h	RSPi1	RSPiスレーブセレクト極性レジスタ	SSLP	8	8
A006 8402h	RSPi1	RSPi端子制御レジスタ	SPPCR	8	8
A006 8403h	RSPi1	RSPiステータスレジスタ	SPSR	8	8
A006 8404h	RSPi1	RSPiデータレジスタ	SPDR	32	16, 32
A006 8408h	RSPi1	RSPiシーケンス制御レジスタ	SPSCR	8	8

表5.1 I/O レジスタアドレス一覧 (40 / 56)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A006 8409h	RSPI1	RSPIシーケンスステータスレジスタ	SPSSR	8	8
A006 840Ah	RSPI1	RSPIビットレートレジスタ	SPBR	8	8
A006 840Bh	RSPI1	RSPIデータコントロールレジスタ	SPDCR	8	8
A006 840Ch	RSPI1	RSPIクロック遅延レジスタ	SPCKD	8	8
A006 840Dh	RSPI1	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8
A006 840Eh	RSPI1	RSPI次アクセス遅延レジスタ	SPND	8	8
A006 840Fh	RSPI1	RSPI制御レジスタ2	SPCR2	8	8
A006 8410h	RSPI1	RSPIコマンドレジスタ0	SPCMD0	16	16
A006 8412h	RSPI1	RSPIコマンドレジスタ1	SPCMD1	16	16
A006 8414h	RSPI1	RSPIコマンドレジスタ2	SPCMD2	16	16
A006 8416h	RSPI1	RSPIコマンドレジスタ3	SPCMD3	16	16
A006 8418h	RSPI1	RSPIコマンドレジスタ4	SPCMD4	16	16
A006 841Ah	RSPI1	RSPIコマンドレジスタ5	SPCMD5	16	16
A006 841Ch	RSPI1	RSPIコマンドレジスタ6	SPCMD6	16	16
A006 841Eh	RSPI1	RSPIコマンドレジスタ7	SPCMD7	16	16
A007 8010h	RSCAN	チャンネル1コンフィグレーションレジスタ	RSCAN0C1CFG	32	8, 16, 32
A007 8014h	RSCAN	チャンネル1制御レジスタ	RSCAN0C1CTR	32	8, 16, 32
A007 8018h	RSCAN	チャンネル1ステータスレジスタ	RSCAN0C1STS	32	8, 16, 32
A007 801Ch	RSCAN	チャンネル1エラーフラグレジスタ	RSCAN0C1ERFL	32	8, 16, 32
A007 8084h	RSCAN	グローバルコンフィグレーションレジスタ	RSCAN0GCFG	32	8, 16, 32
A007 8088h	RSCAN	グローバル制御レジスタ	RSCAN0GCTR	32	8, 16, 32
A007 808Ch	RSCAN	グローバルステータスレジスタ	RSCAN0GSTS	32	8, 16, 32
A007 8090h	RSCAN	グローバルエラーフラグレジスタ	RSCAN0GERFL	32	8, 16, 32
A007 8094h	RSCAN	グローバルタイムスタンプカウンタレジスタ	RSCAN0GTSC	32	16, 32
A007 8098h	RSCAN	受信ルールエントリ制御レジスタ	RSCAN0GAFLECTR	32	8, 16, 32
A007 809Ch	RSCAN	受信ルールコンフィグレーションレジスタ0	RSCAN0GAFLCFG0	32	8, 16, 32
A007 80A4h	RSCAN	受信バッファナンバレジスタ	RSCAN0RMNB	32	8, 16, 32
A007 80A8h	RSCAN	受信バッファ新データレジスタ0	RSCAN0RMND0	32	8, 16, 32
A007 80B8h	RSCAN	受信FIFOバッファコンフィグレーション/制御レジスタ0	RSCAN0RFCC0	32	8, 16, 32
A007 80BCh	RSCAN	受信FIFOバッファコンフィグレーション/制御レジスタ1	RSCAN0RFCC1	32	8, 16, 32
A007 80C0h	RSCAN	受信FIFOバッファコンフィグレーション/制御レジスタ2	RSCAN0RFCC2	32	8, 16, 32
A007 80C4h	RSCAN	受信FIFOバッファコンフィグレーション/制御レジスタ3	RSCAN0RFCC3	32	8, 16, 32
A007 80C8h	RSCAN	受信FIFOバッファコンフィグレーション/制御レジスタ4	RSCAN0RFCC4	32	8, 16, 32
A007 80CCh	RSCAN	受信FIFOバッファコンフィグレーション/制御レジスタ5	RSCAN0RFCC5	32	8, 16, 32
A007 80D0h	RSCAN	受信FIFOバッファコンフィグレーション/制御レジスタ6	RSCAN0RFCC6	32	8, 16, 32
A007 80D4h	RSCAN	受信FIFOバッファコンフィグレーション/制御レジスタ7	RSCAN0RFCC7	32	8, 16, 32
A007 80D8h	RSCAN	受信FIFOバッファステータスレジスタ0	RSCAN0RFSTS0	32	8, 16, 32
A007 80DCh	RSCAN	受信FIFOバッファステータスレジスタ1	RSCAN0RFSTS1	32	8, 16, 32
A007 80E0h	RSCAN	受信FIFOバッファステータスレジスタ2	RSCAN0RFSTS2	32	8, 16, 32
A007 80E4h	RSCAN	受信FIFOバッファステータスレジスタ3	RSCAN0RFSTS3	32	8, 16, 32
A007 80E8h	RSCAN	受信FIFOバッファステータスレジスタ4	RSCAN0RFSTS4	32	8, 16, 32
A007 80ECh	RSCAN	受信FIFOバッファステータスレジスタ5	RSCAN0RFSTS5	32	8, 16, 32
A007 80F0h	RSCAN	受信FIFOバッファステータスレジスタ6	RSCAN0RFSTS6	32	8, 16, 32
A007 80F4h	RSCAN	受信FIFOバッファステータスレジスタ7	RSCAN0RFSTS7	32	8, 16, 32
A007 80F8h	RSCAN	受信FIFOバッファポイント制御レジスタ0	RSCAN0RFPCTR0	32	8, 16, 32
A007 80FCh	RSCAN	受信FIFOバッファポイント制御レジスタ1	RSCAN0RFPCTR1	32	8, 16, 32
A007 8100h	RSCAN	受信FIFOバッファポイント制御レジスタ2	RSCAN0RFPCTR2	32	8, 16, 32
A007 8104h	RSCAN	受信FIFOバッファポイント制御レジスタ3	RSCAN0RFPCTR3	32	8, 16, 32

表5.1 I/O レジスタアドレス一覧 (41 / 56)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A007 8108h	RSCAN	受信FIFOバッファポインタ制御レジスタ4	RSCAN0RFPCTR4	32	8, 16, 32
A007 810Ch	RSCAN	受信FIFOバッファポインタ制御レジスタ5	RSCAN0RFPCTR5	32	8, 16, 32
A007 8110h	RSCAN	受信FIFOバッファポインタ制御レジスタ6	RSCAN0RFPCTR6	32	8, 16, 32
A007 8114h	RSCAN	受信FIFOバッファポインタ制御レジスタ7	RSCAN0RFPCTR7	32	8, 16, 32
A007 8124h	RSCAN	送受信FIFOバッファコンフィグレーション/制御レジスタ3	RSCAN0CFCC3	32	8, 16, 32
A007 8128h	RSCAN	送受信FIFOバッファコンフィグレーション/制御レジスタ4	RSCAN0CFCC4	32	8, 16, 32
A007 812Ch	RSCAN	送受信FIFOバッファコンフィグレーション/制御レジスタ5	RSCAN0CFCC5	32	8, 16, 32
A007 8184h	RSCAN	送受信FIFOバッファステータスレジスタ3	RSCAN0CFSTS3	32	8, 16, 32
A007 8188h	RSCAN	送受信FIFOバッファステータスレジスタ4	RSCAN0CFSTS4	32	8, 16, 32
A007 818Ch	RSCAN	送受信FIFOバッファステータスレジスタ5	RSCAN0CFSTS5	32	8, 16, 32
A007 81E4h	RSCAN	送受信FIFOバッファポインタ制御レジスタ3	RSCAN0CFPCTR3	32	8, 16, 32
A007 81E8h	RSCAN	送受信FIFOバッファポインタ制御レジスタ4	RSCAN0CFPCTR4	32	8, 16, 32
A007 81ECh	RSCAN	送受信FIFOバッファポインタ制御レジスタ5	RSCAN0CFPCTR5	32	8, 16, 32
A007 8238h	RSCAN	FIFOエンプティステータスレジスタ	RSCAN0FESTS	32	8, 16, 32
A007 823Ch	RSCAN	FIFOフルステータスレジスタ	RSCAN0FFSTS	32	8, 16, 32
A007 8240h	RSCAN	FIFOメッセージロスステータスレジスタ	RSCAN0FMSTS	32	8, 16, 32
A007 8244h	RSCAN	受信FIFOバッファ割り込みフラグステータスレジスタ	RSCAN0RFISTS	32	8, 16, 32
A007 8248h	RSCAN	送受信FIFOバッファ受信割り込みフラグステータスレジスタ	RSCAN0CFRISTS	32	8, 16, 32
A007 824Ch	RSCAN	送受信FIFOバッファ送信割り込みフラグステータスレジスタ	RSCAN0CFTISTS	32	8, 16, 32
A007 8260h	RSCAN	送信バッファ制御レジスタ16	RSCAN0TMC16	8	8
A007 8261h	RSCAN	送信バッファ制御レジスタ17	RSCAN0TMC17	8	8
A007 8262h	RSCAN	送信バッファ制御レジスタ18	RSCAN0TMC18	8	8
A007 8263h	RSCAN	送信バッファ制御レジスタ19	RSCAN0TMC19	8	8
A007 8264h	RSCAN	送信バッファ制御レジスタ20	RSCAN0TMC20	8	8
A007 8265h	RSCAN	送信バッファ制御レジスタ21	RSCAN0TMC21	8	8
A007 8266h	RSCAN	送信バッファ制御レジスタ22	RSCAN0TMC22	8	8
A007 8267h	RSCAN	送信バッファ制御レジスタ23	RSCAN0TMC23	8	8
A007 8268h	RSCAN	送信バッファ制御レジスタ24	RSCAN0TMC24	8	8
A007 8269h	RSCAN	送信バッファ制御レジスタ25	RSCAN0TMC25	8	8
A007 826Ah	RSCAN	送信バッファ制御レジスタ26	RSCAN0TMC26	8	8
A007 826Bh	RSCAN	送信バッファ制御レジスタ27	RSCAN0TMC27	8	8
A007 826Ch	RSCAN	送信バッファ制御レジスタ28	RSCAN0TMC28	8	8
A007 826Dh	RSCAN	送信バッファ制御レジスタ29	RSCAN0TMC29	8	8
A007 826Eh	RSCAN	送信バッファ制御レジスタ30	RSCAN0TMC30	8	8
A007 826Fh	RSCAN	送信バッファ制御レジスタ31	RSCAN0TMC31	8	8
A007 82E0h	RSCAN	送信バッファステータスレジスタ16	RSCAN0TMSTS16	8	8
A007 82E1h	RSCAN	送信バッファステータスレジスタ17	RSCAN0TMSTS17	8	8
A007 82E2h	RSCAN	送信バッファステータスレジスタ18	RSCAN0TMSTS18	8	8
A007 82E3h	RSCAN	送信バッファステータスレジスタ19	RSCAN0TMSTS19	8	8
A007 82E4h	RSCAN	送信バッファステータスレジスタ20	RSCAN0TMSTS20	8	8
A007 82E5h	RSCAN	送信バッファステータスレジスタ21	RSCAN0TMSTS21	8	8
A007 82E6h	RSCAN	送信バッファステータスレジスタ22	RSCAN0TMSTS22	8	8
A007 82E7h	RSCAN	送信バッファステータスレジスタ23	RSCAN0TMSTS23	8	8
A007 82E8h	RSCAN	送信バッファステータスレジスタ24	RSCAN0TMSTS24	8	8
A007 82E9h	RSCAN	送信バッファステータスレジスタ25	RSCAN0TMSTS25	8	8

表5.1 I/O レジスタアドレス一覧 (42 / 56)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A007 82EAh	RSCAN	送信バッファステータスレジスタ 26	RSCAN0TMSTS26	8	8
A007 82EBh	RSCAN	送信バッファステータスレジスタ 27	RSCAN0TMSTS27	8	8
A007 82ECh	RSCAN	送信バッファステータスレジスタ 28	RSCAN0TMSTS28	8	8
A007 82EDh	RSCAN	送信バッファステータスレジスタ 29	RSCAN0TMSTS29	8	8
A007 82EEh	RSCAN	送信バッファステータスレジスタ 30	RSCAN0TMSTS30	8	8
A007 82EFh	RSCAN	送信バッファステータスレジスタ 31	RSCAN0TMSTS31	8	8
A007 8350h	RSCAN	送信バッファ送信要求ステータスレジスタ 0	RSCAN0TMTRSTS0	32	8, 16, 32
A007 8360h	RSCAN	送信バッファ送信アポート要求ステータスレジスタ 0	RSCAN0TMTARSTS0	32	8, 16, 32
A007 8370h	RSCAN	送信バッファ送信完了ステータスレジスタ 0	RSCAN0TMCSTSTS0	32	8, 16, 32
A007 8380h	RSCAN	送信バッファ送信アポートステータスレジスタ 0	RSCAN0TMTASTS0	32	8, 16, 32
A007 8390h	RSCAN	送信バッファ割り込みイネーブルコンフィグレーションレジスタ 0	RSCAN0TMIEC0	32	8, 16, 32
A007 83A4h	RSCAN	送信キューコンフィグレーション/制御レジスタ 1	RSCAN0TXQCC1	32	8, 16, 32
A007 83C4h	RSCAN	送信キューステータスレジスタ 1	RSCAN0TXQSTS1	32	8, 16, 32
A007 83E4h	RSCAN	送信キューポインタ制御レジスタ 1	RSCAN0TXQPCTR1	32	8, 16, 32
A007 8404h	RSCAN	送信履歴コンフィグレーション/制御レジスタ 1	RSCAN0THLCC1	32	8, 16, 32
A007 8424h	RSCAN	送信履歴ステータスレジスタ 1	RSCAN0THLSTS1	32	8, 16, 32
A007 8444h	RSCAN	送信履歴ポインタ制御レジスタ 1	RSCAN0THLPCTR1	32	8, 16, 32
A007 8460h	RSCAN	グローバルTX割り込みステータスレジスタ 0	RSCAN0GTINTSTS0	32	8, 16, 32
A007 8468h	RSCAN	グローバルテストコンフィグレーションレジスタ	RSCAN0GTSTCFG	32	8, 16, 32
A007 846Ch	RSCAN	グローバルテスト制御レジスタ	RSCAN0GTSTCTR	32	8, 16, 32
A007 847Ch	RSCAN	グローバルロックキーレジスタ	RSCAN0GLOCKK	32	16, 32
A007 8500h	RSCAN	受信ルールID レジスタ 0	RSCAN0GAFLID0	32	8, 16, 32
A007 8504h	RSCAN	受信ルールマスクレジスタ 0	RSCAN0GAFLM0	32	8, 16, 32
A007 8508h	RSCAN	受信ルールポインタ 0 レジスタ 0	RSCAN0GAFLP00	32	8, 16, 32
A007 850Ch	RSCAN	受信ルールポインタ 1 レジスタ 0	RSCAN0GAFLP10	32	8, 16, 32
A007 8510h	RSCAN	受信ルールID レジスタ 1	RSCAN0GAFLID1	32	8, 16, 32
A007 8514h	RSCAN	受信ルールマスクレジスタ 1	RSCAN0GAFLM1	32	8, 16, 32
A007 8518h	RSCAN	受信ルールポインタ 0 レジスタ 1	RSCAN0GAFLP01	32	8, 16, 32
A007 851Ch	RSCAN	受信ルールポインタ 1 レジスタ 1	RSCAN0GAFLP11	32	8, 16, 32
A007 8520h	RSCAN	受信ルールID レジスタ 2	RSCAN0GAFLID2	32	8, 16, 32
A007 8524h	RSCAN	受信ルールマスクレジスタ 2	RSCAN0GAFLM2	32	8, 16, 32
A007 8528h	RSCAN	受信ルールポインタ 0 レジスタ 2	RSCAN0GAFLP02	32	8, 16, 32
A007 852Ch	RSCAN	受信ルールポインタ 1 レジスタ 2	RSCAN0GAFLP12	32	8, 16, 32
A007 8530h	RSCAN	受信ルールID レジスタ 3	RSCAN0GAFLID3	32	8, 16, 32
A007 8534h	RSCAN	受信ルールマスクレジスタ 3	RSCAN0GAFLM3	32	8, 16, 32
A007 8538h	RSCAN	受信ルールポインタ 0 レジスタ 3	RSCAN0GAFLP03	32	8, 16, 32
A007 853Ch	RSCAN	受信ルールポインタ 1 レジスタ 3	RSCAN0GAFLP13	32	8, 16, 32
A007 8540h	RSCAN	受信ルールID レジスタ 4	RSCAN0GAFLID4	32	8, 16, 32
A007 8544h	RSCAN	受信ルールマスクレジスタ 4	RSCAN0GAFLM4	32	8, 16, 32
A007 8548h	RSCAN	受信ルールポインタ 0 レジスタ 4	RSCAN0GAFLP04	32	8, 16, 32
A007 854Ch	RSCAN	受信ルールポインタ 1 レジスタ 4	RSCAN0GAFLP14	32	8, 16, 32
A007 8550h	RSCAN	受信ルールID レジスタ 5	RSCAN0GAFLID5	32	8, 16, 32
A007 8554h	RSCAN	受信ルールマスクレジスタ 5	RSCAN0GAFLM5	32	8, 16, 32
A007 8558h	RSCAN	受信ルールポインタ 0 レジスタ 5	RSCAN0GAFLP05	32	8, 16, 32
A007 855Ch	RSCAN	受信ルールポインタ 1 レジスタ 5	RSCAN0GAFLP15	32	8, 16, 32
A007 8560h	RSCAN	受信ルールID レジスタ 6	RSCAN0GAFLID6	32	8, 16, 32
A007 8564h	RSCAN	受信ルールマスクレジスタ 6	RSCAN0GAFLM6	32	8, 16, 32
A007 8568h	RSCAN	受信ルールポインタ 0 レジスタ 6	RSCAN0GAFLP06	32	8, 16, 32

表5.1 I/O レジスタアドレス一覧 (43 / 56)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A007 856Ch	RSCAN	受信ルールポインタ1レジスタ6	RSCAN0GAFLP16	32	8, 16, 32
A007 8570h	RSCAN	受信ルールIDレジスタ7	RSCAN0GAFLID7	32	8, 16, 32
A007 8574h	RSCAN	受信ルールマスクレジスタ7	RSCAN0GAFLM7	32	8, 16, 32
A007 8578h	RSCAN	受信ルールポインタ0レジスタ7	RSCAN0GAFLP07	32	8, 16, 32
A007 857Ch	RSCAN	受信ルールポインタ1レジスタ7	RSCAN0GAFLP17	32	8, 16, 32
A007 8580h	RSCAN	受信ルールIDレジスタ8	RSCAN0GAFLID8	32	8, 16, 32
A007 8584h	RSCAN	受信ルールマスクレジスタ8	RSCAN0GAFLM8	32	8, 16, 32
A007 8588h	RSCAN	受信ルールポインタ0レジスタ8	RSCAN0GAFLP08	32	8, 16, 32
A007 858Ch	RSCAN	受信ルールポインタ1レジスタ8	RSCAN0GAFLP18	32	8, 16, 32
A007 8590h	RSCAN	受信ルールIDレジスタ9	RSCAN0GAFLID9	32	8, 16, 32
A007 8594h	RSCAN	受信ルールマスクレジスタ9	RSCAN0GAFLM9	32	8, 16, 32
A007 8598h	RSCAN	受信ルールポインタ0レジスタ9	RSCAN0GAFLP09	32	8, 16, 32
A007 859Ch	RSCAN	受信ルールポインタ1レジスタ9	RSCAN0GAFLP19	32	8, 16, 32
A007 85A0h	RSCAN	受信ルールIDレジスタ10	RSCAN0GAFLID10	32	8, 16, 32
A007 85A4h	RSCAN	受信ルールマスクレジスタ10	RSCAN0GAFLM10	32	8, 16, 32
A007 85A8h	RSCAN	受信ルールポインタ0レジスタ10	RSCAN0GAFLP010	32	8, 16, 32
A007 85ACh	RSCAN	受信ルールポインタ1レジスタ10	RSCAN0GAFLP110	32	8, 16, 32
A007 85B0h	RSCAN	受信ルールIDレジスタ11	RSCAN0GAFLID11	32	8, 16, 32
A007 85B4h	RSCAN	受信ルールマスクレジスタ11	RSCAN0GAFLM11	32	8, 16, 32
A007 85B8h	RSCAN	受信ルールポインタ0レジスタ11	RSCAN0GAFLP011	32	8, 16, 32
A007 85BCh	RSCAN	受信ルールポインタ1レジスタ11	RSCAN0GAFLP111	32	8, 16, 32
A007 85C0h	RSCAN	受信ルールIDレジスタ12	RSCAN0GAFLID12	32	8, 16, 32
A007 85C4h	RSCAN	受信ルールマスクレジスタ12	RSCAN0GAFLM12	32	8, 16, 32
A007 85C8h	RSCAN	受信ルールポインタ0レジスタ12	RSCAN0GAFLP012	32	8, 16, 32
A007 85CCh	RSCAN	受信ルールポインタ1レジスタ12	RSCAN0GAFLP112	32	8, 16, 32
A007 85D0h	RSCAN	受信ルールIDレジスタ13	RSCAN0GAFLID13	32	8, 16, 32
A007 85D4h	RSCAN	受信ルールマスクレジスタ13	RSCAN0GAFLM13	32	8, 16, 32
A007 85D8h	RSCAN	受信ルールポインタ0レジスタ13	RSCAN0GAFLP013	32	8, 16, 32
A007 85DCh	RSCAN	受信ルールポインタ1レジスタ13	RSCAN0GAFLP113	32	8, 16, 32
A007 85E0h	RSCAN	受信ルールIDレジスタ14	RSCAN0GAFLID14	32	8, 16, 32
A007 85E4h	RSCAN	受信ルールマスクレジスタ14	RSCAN0GAFLM14	32	8, 16, 32
A007 85E8h	RSCAN	受信ルールポインタ0レジスタ14	RSCAN0GAFLP014	32	8, 16, 32
A007 85ECh	RSCAN	受信ルールポインタ1レジスタ14	RSCAN0GAFLP114	32	8, 16, 32
A007 85F0h	RSCAN	受信ルールIDレジスタ15	RSCAN0GAFLID15	32	8, 16, 32
A007 85F4h	RSCAN	受信ルールマスクレジスタ15	RSCAN0GAFLM15	32	8, 16, 32
A007 85F8h	RSCAN	受信ルールポインタ0レジスタ15	RSCAN0GAFLP015	32	8, 16, 32
A007 85FCh	RSCAN	受信ルールポインタ1レジスタ15	RSCAN0GAFLP115	32	8, 16, 32
A007 8700h	RSCAN	受信バッファIDレジスタ16	RSCAN0RMID16	32	8, 16, 32
A007 8704h	RSCAN	受信バッファポインタレジスタ16	RSCAN0RMPTR16	32	8, 16, 32
A007 8708h	RSCAN	受信バッファデータフィールド0レジスタ16	RSCAN0RMDF016	32	8, 16, 32
A007 870Ch	RSCAN	受信バッファデータフィールド1レジスタ16	RSCAN0RMDF116	32	8, 16, 32
A007 8710h	RSCAN	受信バッファIDレジスタ17	RSCAN0RMID17	32	8, 16, 32
A007 8714h	RSCAN	受信バッファポインタレジスタ17	RSCAN0RMPTR17	32	8, 16, 32
A007 8718h	RSCAN	受信バッファデータフィールド0レジスタ17	RSCAN0RMDF017	32	8, 16, 32
A007 871Ch	RSCAN	受信バッファデータフィールド1レジスタ17	RSCAN0RMDF117	32	8, 16, 32
A007 8720h	RSCAN	受信バッファIDレジスタ18	RSCAN0RMID18	32	8, 16, 32
A007 8724h	RSCAN	受信バッファポインタレジスタ18	RSCAN0RMPTR18	32	8, 16, 32
A007 8728h	RSCAN	受信バッファデータフィールド0レジスタ18	RSCAN0RMDF018	32	8, 16, 32

表5.1 I/O レジスタアドレス一覧 (44 / 56)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A007 872Ch	RSCAN	受信バッファデータフィールド1レジスタ 18	RSCAN0RMDF118	32	8, 16, 32
A007 8730h	RSCAN	受信バッファ IDレジスタ 19	RSCAN0RMID19	32	8, 16, 32
A007 8734h	RSCAN	受信バッファポインタレジスタ 19	RSCAN0RMPTR19	32	8, 16, 32
A007 8738h	RSCAN	受信バッファデータフィールド0レジスタ 19	RSCAN0RMDF019	32	8, 16, 32
A007 873Ch	RSCAN	受信バッファデータフィールド1レジスタ 19	RSCAN0RMDF119	32	8, 16, 32
A007 8740h	RSCAN	受信バッファ IDレジスタ 20	RSCAN0RMID20	32	8, 16, 32
A007 8744h	RSCAN	受信バッファポインタレジスタ 20	RSCAN0RMPTR20	32	8, 16, 32
A007 8748h	RSCAN	受信バッファデータフィールド0レジスタ 20	RSCAN0RMDF020	32	8, 16, 32
A007 874Ch	RSCAN	受信バッファデータフィールド1レジスタ 20	RSCAN0RMDF120	32	8, 16, 32
A007 8750h	RSCAN	受信バッファ IDレジスタ 21	RSCAN0RMID21	32	8, 16, 32
A007 8754h	RSCAN	受信バッファポインタレジスタ 21	RSCAN0RMPTR21	32	8, 16, 32
A007 8758h	RSCAN	受信バッファデータフィールド0レジスタ 21	RSCAN0RMDF021	32	8, 16, 32
A007 875Ch	RSCAN	受信バッファデータフィールド1レジスタ 21	RSCAN0RMDF121	32	8, 16, 32
A007 8760h	RSCAN	受信バッファ IDレジスタ 22	RSCAN0RMID22	32	8, 16, 32
A007 8764h	RSCAN	受信バッファポインタレジスタ 22	RSCAN0RMPTR22	32	8, 16, 32
A007 8768h	RSCAN	受信バッファデータフィールド0レジスタ 22	RSCAN0RMDF022	32	8, 16, 32
A007 876Ch	RSCAN	受信バッファデータフィールド1レジスタ 22	RSCAN0RMDF122	32	8, 16, 32
A007 8770h	RSCAN	受信バッファ IDレジスタ 23	RSCAN0RMID23	32	8, 16, 32
A007 8774h	RSCAN	受信バッファポインタレジスタ 23	RSCAN0RMPTR23	32	8, 16, 32
A007 8778h	RSCAN	受信バッファデータフィールド0レジスタ 23	RSCAN0RMDF023	32	8, 16, 32
A007 877Ch	RSCAN	受信バッファデータフィールド1レジスタ 23	RSCAN0RMDF123	32	8, 16, 32
A007 8780h	RSCAN	受信バッファ IDレジスタ 24	RSCAN0RMID24	32	8, 16, 32
A007 8784h	RSCAN	受信バッファポインタレジスタ 24	RSCAN0RMPTR24	32	8, 16, 32
A007 8788h	RSCAN	受信バッファデータフィールド0レジスタ 24	RSCAN0RMDF024	32	8, 16, 32
A007 878Ch	RSCAN	受信バッファデータフィールド1レジスタ 24	RSCAN0RMDF124	32	8, 16, 32
A007 8790h	RSCAN	受信バッファ IDレジスタ 25	RSCAN0RMID25	32	8, 16, 32
A007 8794h	RSCAN	受信バッファポインタレジスタ 25	RSCAN0RMPTR25	32	8, 16, 32
A007 8798h	RSCAN	受信バッファデータフィールド0レジスタ 25	RSCAN0RMDF025	32	8, 16, 32
A007 879Ch	RSCAN	受信バッファデータフィールド1レジスタ 25	RSCAN0RMDF125	32	8, 16, 32
A007 87A0h	RSCAN	受信バッファ IDレジスタ 26	RSCAN0RMID26	32	8, 16, 32
A007 87A4h	RSCAN	受信バッファポインタレジスタ 26	RSCAN0RMPTR26	32	8, 16, 32
A007 87A8h	RSCAN	受信バッファデータフィールド0レジスタ 26	RSCAN0RMDF026	32	8, 16, 32
A007 87ACh	RSCAN	受信バッファデータフィールド1レジスタ 26	RSCAN0RMDF126	32	8, 16, 32
A007 87B0h	RSCAN	受信バッファ IDレジスタ 27	RSCAN0RMID27	32	8, 16, 32
A007 87B4h	RSCAN	受信バッファポインタレジスタ 27	RSCAN0RMPTR27	32	8, 16, 32
A007 87B8h	RSCAN	受信バッファデータフィールド0レジスタ 27	RSCAN0RMDF027	32	8, 16, 32
A007 87BCh	RSCAN	受信バッファデータフィールド1レジスタ 27	RSCAN0RMDF127	32	8, 16, 32
A007 87C0h	RSCAN	受信バッファ IDレジスタ 28	RSCAN0RMID28	32	8, 16, 32
A007 87C4h	RSCAN	受信バッファポインタレジスタ 28	RSCAN0RMPTR28	32	8, 16, 32
A007 87C8h	RSCAN	受信バッファデータフィールド0レジスタ 28	RSCAN0RMDF028	32	8, 16, 32
A007 87CCh	RSCAN	受信バッファデータフィールド1レジスタ 28	RSCAN0RMDF128	32	8, 16, 32
A007 87D0h	RSCAN	受信バッファ IDレジスタ 29	RSCAN0RMID29	32	8, 16, 32
A007 87D4h	RSCAN	受信バッファポインタレジスタ 29	RSCAN0RMPTR29	32	8, 16, 32
A007 87D8h	RSCAN	受信バッファデータフィールド0レジスタ 29	RSCAN0RMDF029	32	8, 16, 32
A007 87DCh	RSCAN	受信バッファデータフィールド1レジスタ 29	RSCAN0RMDF129	32	8, 16, 32
A007 87E0h	RSCAN	受信バッファ IDレジスタ 30	RSCAN0RMID30	32	8, 16, 32
A007 87E4h	RSCAN	受信バッファポインタレジスタ 30	RSCAN0RMPTR30	32	8, 16, 32
A007 87E8h	RSCAN	受信バッファデータフィールド0レジスタ 30	RSCAN0RMDF030	32	8, 16, 32

表5.1 I/O レジスタアドレス一覧 (45 / 56)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A007 87ECh	RSCAN	受信バッファデータフィールド1レジスタ30	RSCAN0RMDf130	32	8, 16, 32
A007 87F0h	RSCAN	受信バッファ IDレジスタ31	RSCAN0RMID31	32	8, 16, 32
A007 87F4h	RSCAN	受信バッファポインタレジスタ31	RSCAN0RMPTR31	32	8, 16, 32
A007 87F8h	RSCAN	受信バッファデータフィールド0レジスタ31	RSCAN0RMDf031	32	8, 16, 32
A007 87FCh	RSCAN	受信バッファデータフィールド1レジスタ31	RSCAN0RMDf131	32	8, 16, 32
A007 8E00h	RSCAN	受信FIFOバッファアクセスIDレジスタ0	RSCAN0RFID0	32	8, 16, 32
A007 8E04h	RSCAN	受信FIFOバッファアクセスポインタレジスタ0	RSCAN0RFPTR0	32	8, 16, 32
A007 8E08h	RSCAN	受信FIFOバッファアクセスデータフィールド0レジスタ0	RSCAN0RFDf00	32	8, 16, 32
A007 8E0Ch	RSCAN	受信FIFOバッファアクセスデータフィールド1レジスタ0	RSCAN0RFDf10	32	8, 16, 32
A007 8E10h	RSCAN	受信FIFOバッファアクセスIDレジスタ1	RSCAN0RFID1	32	8, 16, 32
A007 8E14h	RSCAN	受信FIFOバッファアクセスポインタレジスタ1	RSCAN0RFPTR1	32	8, 16, 32
A007 8E18h	RSCAN	受信FIFOバッファアクセスデータフィールド0レジスタ1	RSCAN0RFDf01	32	8, 16, 32
A007 8E1Ch	RSCAN	受信FIFOバッファアクセスデータフィールド1レジスタ1	RSCAN0RFDf11	32	8, 16, 32
A007 8E20h	RSCAN	受信FIFOバッファアクセスIDレジスタ2	RSCAN0RFID2	32	8, 16, 32
A007 8E24h	RSCAN	受信FIFOバッファアクセスポインタレジスタ2	RSCAN0RFPTR2	32	8, 16, 32
A007 8E28h	RSCAN	受信FIFOバッファアクセスデータフィールド0レジスタ2	RSCAN0RFDf02	32	8, 16, 32
A007 8E2Ch	RSCAN	受信FIFOバッファアクセスデータフィールド1レジスタ2	RSCAN0RFDf12	32	8, 16, 32
A007 8E30h	RSCAN	受信FIFOバッファアクセスIDレジスタ3	RSCAN0RFID3	32	8, 16, 32
A007 8E34h	RSCAN	受信FIFOバッファアクセスポインタレジスタ3	RSCAN0RFPTR3	32	8, 16, 32
A007 8E38h	RSCAN	受信FIFOバッファアクセスデータフィールド0レジスタ3	RSCAN0RFDf03	32	8, 16, 32
A007 8E3Ch	RSCAN	受信FIFOバッファアクセスデータフィールド1レジスタ3	RSCAN0RFDf13	32	8, 16, 32
A007 8E40h	RSCAN	受信FIFOバッファアクセスIDレジスタ4	RSCAN0RFID4	32	8, 16, 32
A007 8E44h	RSCAN	受信FIFOバッファアクセスポインタレジスタ4	RSCAN0RFPTR4	32	8, 16, 32
A007 8E48h	RSCAN	受信FIFOバッファアクセスデータフィールド0レジスタ4	RSCAN0RFDf04	32	8, 16, 32
A007 8E4Ch	RSCAN	受信FIFOバッファアクセスデータフィールド1レジスタ4	RSCAN0RFDf14	32	8, 16, 32
A007 8E50h	RSCAN	受信FIFOバッファアクセスIDレジスタ5	RSCAN0RFID5	32	8, 16, 32
A007 8E54h	RSCAN	受信FIFOバッファアクセスポインタレジスタ5	RSCAN0RFPTR5	32	8, 16, 32
A007 8E58h	RSCAN	受信FIFOバッファアクセスデータフィールド0レジスタ5	RSCAN0RFDf05	32	8, 16, 32
A007 8E5Ch	RSCAN	受信FIFOバッファアクセスデータフィールド1レジスタ5	RSCAN0RFDf15	32	8, 16, 32
A007 8E60h	RSCAN	受信FIFOバッファアクセスIDレジスタ6	RSCAN0RFID6	32	8, 16, 32
A007 8E64h	RSCAN	受信FIFOバッファアクセスポインタレジスタ6	RSCAN0RFPTR6	32	8, 16, 32
A007 8E68h	RSCAN	受信FIFOバッファアクセスデータフィールド0レジスタ6	RSCAN0RFDf06	32	8, 16, 32
A007 8E6Ch	RSCAN	受信FIFOバッファアクセスデータフィールド1レジスタ6	RSCAN0RFDf16	32	8, 16, 32
A007 8E70h	RSCAN	受信FIFOバッファアクセスIDレジスタ7	RSCAN0RFID7	32	8, 16, 32
A007 8E74h	RSCAN	受信FIFOバッファアクセスポインタレジスタ7	RSCAN0RFPTR7	32	8, 16, 32
A007 8E78h	RSCAN	受信FIFOバッファアクセスデータフィールド0レジスタ7	RSCAN0RFDf07	32	8, 16, 32
A007 8E7Ch	RSCAN	受信FIFOバッファアクセスデータフィールド1レジスタ7	RSCAN0RFDf17	32	8, 16, 32
A007 8EB0h	RSCAN	送受信FIFOバッファアクセスIDレジスタ3	RSCAN0CFID3	32	8, 16, 32
A007 8EB4h	RSCAN	送受信FIFOバッファアクセスポインタレジスタ3	RSCAN0CFPTR3	32	8, 16, 32
A007 8EB8h	RSCAN	送受信FIFOバッファアクセスデータフィールド0レジスタ3	RSCAN0CFDf03	32	8, 16, 32
A007 8EBCh	RSCAN	送受信FIFOバッファアクセスデータフィールド1レジスタ3	RSCAN0CFDf13	32	8, 16, 32
A007 8EC0h	RSCAN	送受信FIFOバッファアクセスIDレジスタ4	RSCAN0CFID4	32	8, 16, 32
A007 8EC4h	RSCAN	送受信FIFOバッファアクセスポインタレジスタ4	RSCAN0CFPTR4	32	8, 16, 32
A007 8EC8h	RSCAN	送受信FIFOバッファアクセスデータフィールド0レジスタ4	RSCAN0CFDf04	32	8, 16, 32
A007 8ECCh	RSCAN	送受信FIFOバッファアクセスデータフィールド1レジスタ4	RSCAN0CFDf14	32	8, 16, 32
A007 8ED0h	RSCAN	送受信FIFOバッファアクセスIDレジスタ5	RSCAN0CFID5	32	8, 16, 32

表5.1 I/O レジスタアドレス一覧 (46 / 56)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A007 8ED4h	RSCAN	送受信FIFOバッファアクセスポインタレジスタ5	RSCAN0CFPTR5	32	8, 16, 32
A007 8ED8h	RSCAN	送受信FIFOバッファアクセスデータフィールド0レジスタ5	RSCAN0CFDF05	32	8, 16, 32
A007 8EDCh	RSCAN	送受信FIFOバッファアクセスデータフィールド1レジスタ5	RSCAN0CFDF15	32	8, 16, 32
A007 9100h	RSCAN	送信バッファ ID レジスタ 16	RSCAN0TMID16	32	8, 16, 32
A007 9104h	RSCAN	送信バッファポインタレジスタ 16	RSCAN0TMPTR16	32	8, 16, 32
A007 9108h	RSCAN	送信バッファデータフィールド0レジスタ 16	RSCAN0TMDf016	32	8, 16, 32
A007 910Ch	RSCAN	送信バッファデータフィールド1レジスタ 16	RSCAN0TMDf116	32	8, 16, 32
A007 9110h	RSCAN	送信バッファ ID レジスタ 17	RSCAN0TMID17	32	8, 16, 32
A007 9114h	RSCAN	送信バッファポインタレジスタ 17	RSCAN0TMPTR17	32	8, 16, 32
A007 9118h	RSCAN	送信バッファデータフィールド0レジスタ 17	RSCAN0TMDf017	32	8, 16, 32
A007 911Ch	RSCAN	送信バッファデータフィールド1レジスタ 17	RSCAN0TMDf117	32	8, 16, 32
A007 9120h	RSCAN	送信バッファ ID レジスタ 18	RSCAN0TMID18	32	8, 16, 32
A007 9124h	RSCAN	送信バッファポインタレジスタ 18	RSCAN0TMPTR18	32	8, 16, 32
A007 9128h	RSCAN	送信バッファデータフィールド0レジスタ 18	RSCAN0TMDf018	32	8, 16, 32
A007 912Ch	RSCAN	送信バッファデータフィールド1レジスタ 18	RSCAN0TMDf118	32	8, 16, 32
A007 9130h	RSCAN	送信バッファ ID レジスタ 19	RSCAN0TMID19	32	8, 16, 32
A007 9134h	RSCAN	送信バッファポインタレジスタ 19	RSCAN0TMPTR19	32	8, 16, 32
A007 9138h	RSCAN	送信バッファデータフィールド0レジスタ 19	RSCAN0TMDf019	32	8, 16, 32
A007 913Ch	RSCAN	送信バッファデータフィールド1レジスタ 19	RSCAN0TMDf119	32	8, 16, 32
A007 9140h	RSCAN	送信バッファ ID レジスタ 20	RSCAN0TMID20	32	8, 16, 32
A007 9144h	RSCAN	送信バッファポインタレジスタ 20	RSCAN0TMPTR20	32	8, 16, 32
A007 9148h	RSCAN	送信バッファデータフィールド0レジスタ 20	RSCAN0TMDf020	32	8, 16, 32
A007 914Ch	RSCAN	送信バッファデータフィールド1レジスタ 20	RSCAN0TMDf120	32	8, 16, 32
A007 9150h	RSCAN	送信バッファ ID レジスタ 21	RSCAN0TMID21	32	8, 16, 32
A007 9154h	RSCAN	送信バッファポインタレジスタ 21	RSCAN0TMPTR21	32	8, 16, 32
A007 9158h	RSCAN	送信バッファデータフィールド0レジスタ 21	RSCAN0TMDf021	32	8, 16, 32
A007 915Ch	RSCAN	送信バッファデータフィールド1レジスタ 21	RSCAN0TMDf121	32	8, 16, 32
A007 9160h	RSCAN	送信バッファ ID レジスタ 22	RSCAN0TMID22	32	8, 16, 32
A007 9164h	RSCAN	送信バッファポインタレジスタ 22	RSCAN0TMPTR22	32	8, 16, 32
A007 9168h	RSCAN	送信バッファデータフィールド0レジスタ 22	RSCAN0TMDf022	32	8, 16, 32
A007 916Ch	RSCAN	送信バッファデータフィールド1レジスタ 22	RSCAN0TMDf122	32	8, 16, 32
A007 9170h	RSCAN	送信バッファ ID レジスタ 23	RSCAN0TMID23	32	8, 16, 32
A007 9174h	RSCAN	送信バッファポインタレジスタ 23	RSCAN0TMPTR23	32	8, 16, 32
A007 9178h	RSCAN	送信バッファデータフィールド0レジスタ 23	RSCAN0TMDf023	32	8, 16, 32
A007 917Ch	RSCAN	送信バッファデータフィールド1レジスタ 23	RSCAN0TMDf123	32	8, 16, 32
A007 9180h	RSCAN	送信バッファ ID レジスタ 24	RSCAN0TMID24	32	8, 16, 32
A007 9184h	RSCAN	送信バッファポインタレジスタ 24	RSCAN0TMPTR24	32	8, 16, 32
A007 9188h	RSCAN	送信バッファデータフィールド0レジスタ 24	RSCAN0TMDf024	32	8, 16, 32
A007 918Ch	RSCAN	送信バッファデータフィールド1レジスタ 24	RSCAN0TMDf124	32	8, 16, 32
A007 9190h	RSCAN	送信バッファ ID レジスタ 25	RSCAN0TMID25	32	8, 16, 32
A007 9194h	RSCAN	送信バッファポインタレジスタ 25	RSCAN0TMPTR25	32	8, 16, 32
A007 9198h	RSCAN	送信バッファデータフィールド0レジスタ 25	RSCAN0TMDf025	32	8, 16, 32
A007 919Ch	RSCAN	送信バッファデータフィールド1レジスタ 25	RSCAN0TMDf125	32	8, 16, 32
A007 91A0h	RSCAN	送信バッファ ID レジスタ 26	RSCAN0TMID26	32	8, 16, 32
A007 91A4h	RSCAN	送信バッファポインタレジスタ 26	RSCAN0TMPTR26	32	8, 16, 32
A007 91A8h	RSCAN	送信バッファデータフィールド0レジスタ 26	RSCAN0TMDf026	32	8, 16, 32
A007 91ACh	RSCAN	送信バッファデータフィールド1レジスタ 26	RSCAN0TMDf126	32	8, 16, 32

表5.1 I/O レジスタアドレス一覧 (47 / 56)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A007 91B0h	RSCAN	送信バッファ IDレジスタ 27	RSCAN0TMID27	32	8, 16, 32
A007 91B4h	RSCAN	送信バッファポインタレジスタ 27	RSCAN0TMPTR27	32	8, 16, 32
A007 91B8h	RSCAN	送信バッファデータフィールド0レジスタ 27	RSCAN0TMDF027	32	8, 16, 32
A007 91BCh	RSCAN	送信バッファデータフィールド1レジスタ 27	RSCAN0TMDF127	32	8, 16, 32
A007 91C0h	RSCAN	送信バッファ IDレジスタ 28	RSCAN0TMID28	32	8, 16, 32
A007 91C4h	RSCAN	送信バッファポインタレジスタ 28	RSCAN0TMPTR28	32	8, 16, 32
A007 91C8h	RSCAN	送信バッファデータフィールド0レジスタ 28	RSCAN0TMDF028	32	8, 16, 32
A007 91CCh	RSCAN	送信バッファデータフィールド1レジスタ 28	RSCAN0TMDF128	32	8, 16, 32
A007 91D0h	RSCAN	送信バッファ IDレジスタ 29	RSCAN0TMID29	32	8, 16, 32
A007 91D4h	RSCAN	送信バッファポインタレジスタ 29	RSCAN0TMPTR29	32	8, 16, 32
A007 91D8h	RSCAN	送信バッファデータフィールド0レジスタ 29	RSCAN0TMDF029	32	8, 16, 32
A007 91DCh	RSCAN	送信バッファデータフィールド1レジスタ 29	RSCAN0TMDF129	32	8, 16, 32
A007 91E0h	RSCAN	送信バッファ IDレジスタ 30	RSCAN0TMID30	32	8, 16, 32
A007 91E4h	RSCAN	送信バッファポインタレジスタ 30	RSCAN0TMPTR30	32	8, 16, 32
A007 91E8h	RSCAN	送信バッファデータフィールド0レジスタ 30	RSCAN0TMDF030	32	8, 16, 32
A007 91ECh	RSCAN	送信バッファデータフィールド1レジスタ 30	RSCAN0TMDF130	32	8, 16, 32
A007 91F0h	RSCAN	送信バッファ IDレジスタ 31	RSCAN0TMID31	32	8, 16, 32
A007 91F4h	RSCAN	送信バッファポインタレジスタ 31	RSCAN0TMPTR31	32	8, 16, 32
A007 91F8h	RSCAN	送信バッファデータフィールド0レジスタ 31	RSCAN0TMDF031	32	8, 16, 32
A007 91FCh	RSCAN	送信バッファデータフィールド1レジスタ 31	RSCAN0TMDF131	32	8, 16, 32
A007 9804h	RSCAN	送信履歴アクセスレジスタ 1	RSCAN0THLACC1	32	8, 16, 32
A007 9900h	RSCAN	RAMテストページアクセスレジスタ 0	RSCAN0RPGACC0	32	8, 16, 32
A007 9904h	RSCAN	RAMテストページアクセスレジスタ 1	RSCAN0RPGACC1	32	8, 16, 32
A007 9908h	RSCAN	RAMテストページアクセスレジスタ 2	RSCAN0RPGACC2	32	8, 16, 32
A007 990Ch	RSCAN	RAMテストページアクセスレジスタ 3	RSCAN0RPGACC3	32	8, 16, 32
A007 9910h	RSCAN	RAMテストページアクセスレジスタ 4	RSCAN0RPGACC4	32	8, 16, 32
A007 9914h	RSCAN	RAMテストページアクセスレジスタ 5	RSCAN0RPGACC5	32	8, 16, 32
A007 9918h	RSCAN	RAMテストページアクセスレジスタ 6	RSCAN0RPGACC6	32	8, 16, 32
A007 991Ch	RSCAN	RAMテストページアクセスレジスタ 7	RSCAN0RPGACC7	32	8, 16, 32
A007 9920h	RSCAN	RAMテストページアクセスレジスタ 8	RSCAN0RPGACC8	32	8, 16, 32
A007 9924h	RSCAN	RAMテストページアクセスレジスタ 9	RSCAN0RPGACC9	32	8, 16, 32
A007 9928h	RSCAN	RAMテストページアクセスレジスタ 10	RSCAN0RPGACC10	32	8, 16, 32
A007 992Ch	RSCAN	RAMテストページアクセスレジスタ 11	RSCAN0RPGACC11	32	8, 16, 32
A007 9930h	RSCAN	RAMテストページアクセスレジスタ 12	RSCAN0RPGACC12	32	8, 16, 32
A007 9934h	RSCAN	RAMテストページアクセスレジスタ 13	RSCAN0RPGACC13	32	8, 16, 32
A007 9938h	RSCAN	RAMテストページアクセスレジスタ 14	RSCAN0RPGACC14	32	8, 16, 32
A007 993Ch	RSCAN	RAMテストページアクセスレジスタ 15	RSCAN0RPGACC15	32	8, 16, 32
A007 9940h	RSCAN	RAMテストページアクセスレジスタ 16	RSCAN0RPGACC16	32	8, 16, 32
A007 9944h	RSCAN	RAMテストページアクセスレジスタ 17	RSCAN0RPGACC17	32	8, 16, 32
A007 9948h	RSCAN	RAMテストページアクセスレジスタ 18	RSCAN0RPGACC18	32	8, 16, 32
A007 994Ch	RSCAN	RAMテストページアクセスレジスタ 19	RSCAN0RPGACC19	32	8, 16, 32
A007 9950h	RSCAN	RAMテストページアクセスレジスタ 20	RSCAN0RPGACC20	32	8, 16, 32
A007 9954h	RSCAN	RAMテストページアクセスレジスタ 21	RSCAN0RPGACC21	32	8, 16, 32
A007 9958h	RSCAN	RAMテストページアクセスレジスタ 22	RSCAN0RPGACC22	32	8, 16, 32
A007 995Ch	RSCAN	RAMテストページアクセスレジスタ 23	RSCAN0RPGACC23	32	8, 16, 32
A007 9960h	RSCAN	RAMテストページアクセスレジスタ 24	RSCAN0RPGACC24	32	8, 16, 32
A007 9964h	RSCAN	RAMテストページアクセスレジスタ 25	RSCAN0RPGACC25	32	8, 16, 32
A007 9968h	RSCAN	RAMテストページアクセスレジスタ 26	RSCAN0RPGACC26	32	8, 16, 32

表5.1 I/O レジスタアドレス一覧 (48 / 56)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A007 996Ch	RSCAN	RAMテストページアクセスレジスタ 27	RSCAN0RPGACC27	32	8, 16, 32
A007 9970h	RSCAN	RAMテストページアクセスレジスタ 28	RSCAN0RPGACC28	32	8, 16, 32
A007 9974h	RSCAN	RAMテストページアクセスレジスタ 29	RSCAN0RPGACC29	32	8, 16, 32
A007 9978h	RSCAN	RAMテストページアクセスレジスタ 30	RSCAN0RPGACC30	32	8, 16, 32
A007 997Ch	RSCAN	RAMテストページアクセスレジスタ 31	RSCAN0RPGACC31	32	8, 16, 32
A007 9980h	RSCAN	RAMテストページアクセスレジスタ 32	RSCAN0RPGACC32	32	8, 16, 32
A007 9984h	RSCAN	RAMテストページアクセスレジスタ 33	RSCAN0RPGACC33	32	8, 16, 32
A007 9988h	RSCAN	RAMテストページアクセスレジスタ 34	RSCAN0RPGACC34	32	8, 16, 32
A007 998Ch	RSCAN	RAMテストページアクセスレジスタ 35	RSCAN0RPGACC35	32	8, 16, 32
A007 9990h	RSCAN	RAMテストページアクセスレジスタ 36	RSCAN0RPGACC36	32	8, 16, 32
A007 9994h	RSCAN	RAMテストページアクセスレジスタ 37	RSCAN0RPGACC37	32	8, 16, 32
A007 9998h	RSCAN	RAMテストページアクセスレジスタ 38	RSCAN0RPGACC38	32	8, 16, 32
A007 999Ch	RSCAN	RAMテストページアクセスレジスタ 39	RSCAN0RPGACC39	32	8, 16, 32
A007 99A0h	RSCAN	RAMテストページアクセスレジスタ 40	RSCAN0RPGACC40	32	8, 16, 32
A007 99A4h	RSCAN	RAMテストページアクセスレジスタ 41	RSCAN0RPGACC41	32	8, 16, 32
A007 99A8h	RSCAN	RAMテストページアクセスレジスタ 42	RSCAN0RPGACC42	32	8, 16, 32
A007 99ACh	RSCAN	RAMテストページアクセスレジスタ 43	RSCAN0RPGACC43	32	8, 16, 32
A007 99B0h	RSCAN	RAMテストページアクセスレジスタ 44	RSCAN0RPGACC44	32	8, 16, 32
A007 99B4h	RSCAN	RAMテストページアクセスレジスタ 45	RSCAN0RPGACC45	32	8, 16, 32
A007 99B8h	RSCAN	RAMテストページアクセスレジスタ 46	RSCAN0RPGACC46	32	8, 16, 32
A007 99BCh	RSCAN	RAMテストページアクセスレジスタ 47	RSCAN0RPGACC47	32	8, 16, 32
A007 99C0h	RSCAN	RAMテストページアクセスレジスタ 48	RSCAN0RPGACC48	32	8, 16, 32
A007 99C4h	RSCAN	RAMテストページアクセスレジスタ 49	RSCAN0RPGACC49	32	8, 16, 32
A007 99C8h	RSCAN	RAMテストページアクセスレジスタ 50	RSCAN0RPGACC50	32	8, 16, 32
A007 99CCh	RSCAN	RAMテストページアクセスレジスタ 51	RSCAN0RPGACC51	32	8, 16, 32
A007 99D0h	RSCAN	RAMテストページアクセスレジスタ 52	RSCAN0RPGACC52	32	8, 16, 32
A007 99D4h	RSCAN	RAMテストページアクセスレジスタ 53	RSCAN0RPGACC53	32	8, 16, 32
A007 99D8h	RSCAN	RAMテストページアクセスレジスタ 54	RSCAN0RPGACC54	32	8, 16, 32
A007 99DCh	RSCAN	RAMテストページアクセスレジスタ 55	RSCAN0RPGACC55	32	8, 16, 32
A007 99E0h	RSCAN	RAMテストページアクセスレジスタ 56	RSCAN0RPGACC56	32	8, 16, 32
A007 99E4h	RSCAN	RAMテストページアクセスレジスタ 57	RSCAN0RPGACC57	32	8, 16, 32
A007 99E8h	RSCAN	RAMテストページアクセスレジスタ 58	RSCAN0RPGACC58	32	8, 16, 32
A007 99ECh	RSCAN	RAMテストページアクセスレジスタ 59	RSCAN0RPGACC59	32	8, 16, 32
A007 99F0h	RSCAN	RAMテストページアクセスレジスタ 60	RSCAN0RPGACC60	32	8, 16, 32
A007 99F4h	RSCAN	RAMテストページアクセスレジスタ 61	RSCAN0RPGACC61	32	8, 16, 32
A007 99F8h	RSCAN	RAMテストページアクセスレジスタ 62	RSCAN0RPGACC62	32	8, 16, 32
A007 99FCh	RSCAN	RAMテストページアクセスレジスタ 63	RSCAN0RPGACC63	32	8, 16, 32
A007 B000h	RSCAN	RSCAN ECCコントロールレジスタ	ECCRCANCTL	32	8, 16, 32
A007 B010h	RSCAN	RSCAN ECCエラーアドレスレジスタ 0	ECCRCANEAD0	32	8, 16, 32
A007 B014h	RSCAN	RSCAN ECCエラーアドレスレジスタ 1	ECCRCANEAD1	32	8, 16, 32
A007 B018h	RSCAN	RSCAN ECCエラーアドレスレジスタ 2	ECCRCANEAD2	32	8, 16, 32
A007 B01Ch	RSCAN	RSCAN ECCエラーアドレスレジスタ 3	ECCRCANEAD3	32	8, 16, 32
A007 B020h	RSCAN	RSCAN ECCエラーアドレスレジスタ 4	ECCRCANEAD4	32	8, 16, 32
A007 B024h	RSCAN	RSCAN ECCエラーアドレスレジスタ 5	ECCRCANEAD5	32	8, 16, 32
A007 B028h	RSCAN	RSCAN ECCエラーアドレスレジスタ 6	ECCRCANEAD6	32	8, 16, 32
A007 B02Ch	RSCAN	RSCAN ECCエラーアドレスレジスタ 7	ECCRCANEAD7	32	8, 16, 32
A007 C000h	CRC	CRCデータ入力レジスタ	CRCDIR	32	32
A007 C004h	CRC	CRCデータ出力レジスタ	CRCDOR	32	32

表5.1 I/O レジスタアドレス一覧 (49 / 56)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A007 C020h	CRC	CRCコントロールレジスタ	CRCCR	8	8
A007 D000h	ECMM	ECMマスタエラーセットトリガレジスタ	ECMMESET	8	8
A007 D004h	ECMM	ECMマスタエラークリアトリガレジスタ	ECMMECLR	8	8
A007 D008h	ECMM	ECMマスタエラーソースステータスレジスタ0	ECMMESSTR0	32	32
A007 D00Ch	ECMM	ECMマスタエラーソースステータスレジスタ1	ECMMESSTR1	32	32
A007 D010h	ECMM	ECMマスタエラーソースステータスレジスタ2	ECMMESSTR2	32	32
A007 D014h	ECMM	ECMマスタ保護コマンドレジスタ	ECMMPCMD0	32	32
A007 D040h	ECMC	ECMチェッカエラーセットトリガレジスタ	ECMCESET	8	8
A007 D044h	ECMC	ECMチェッカエラークリアトリガレジスタ	ECMCECLR	8	8
A007 D048h	ECMC	ECMチェッカエラーソースステータスレジスタ0	ECMCESSTR0	32	32
A007 D04Ch	ECMC	ECMチェッカエラーソースステータスレジスタ1	ECMCESSTR1	32	32
A007 D050h	ECMC	ECMチェッカエラーソースステータスレジスタ2	ECMCESSTR2	32	32
A007 D054h	ECMC	ECMチェッカ保護コマンドレジスタ	ECMCPCMD0	32	32
A007 D080h	ECM	ECMエラーパルスコンフィグレーションレジスタ	ECMEPCFG	8	8
A007 D084h	ECM	ECMマスカブル割り込みコンフィグレーションレジスタ0	ECMMICFG0	32	32
A007 D088h	ECM	ECMマスカブル割り込みコンフィグレーションレジスタ1	ECMMICFG1	32	32
A007 D08Ch	ECM	ECMマスカブル割り込みコンフィグレーションレジスタ2	ECMMICFG2	32	32
A007 D090h	ECM	ECMノンマスカブル割り込みコンフィグレーションレジスタ0	ECNMICFG0	32	32
A007 D094h	ECM	ECMノンマスカブル割り込みコンフィグレーションレジスタ1	ECNMICFG1	32	32
A007 D098h	ECM	ECMノンマスカブル割り込みコンフィグレーションレジスタ2	ECNMICFG2	32	32
A007 D09Ch	ECM	ECM内部リセットコンフィグレーションレジスタ0	ECMIRCFG0	32	32
A007 D0A0h	ECM	ECM内部リセットコンフィグレーションレジスタ1	ECMIRCFG1	32	32
A007 D0A4h	ECM	ECM内部リセットコンフィグレーションレジスタ2	ECMIRCFG2	32	32
A007 D0A8h	ECM	ECMエラーマスクレジスタ0	ECMEMK0	32	32
A007 D0ACh	ECM	ECMエラーマスクレジスタ1	ECMEMK1	32	32
A007 D0B0h	ECM	ECMエラーマスクレジスタ2	ECMEMK2	32	32
A007 D0B4h	ECM	ECMエラーソースステータスクリアトリガレジスタ0	ECMESSTC0	32	32
A007 D0B8h	ECM	ECMエラーソースステータスクリアトリガレジスタ1	ECMESSTC1	32	32
A007 D0BCh	ECM	ECMエラーソースステータスクリアトリガレジスタ2	ECMESSTC2	32	32
A007 D0C0h	ECM	ECM保護コマンドレジスタ	ECMPCMD1	32	32
A007 D0C4h	ECM	ECM保護ステータスレジスタ	ECMPS	8	8
A007 D0C8h	ECM	ECM疑似エラートリガレジスタ0	ECMPE0	32	32
A007 D0CCh	ECM	ECM疑似エラートリガレジスタ1	ECMPE1	32	32
A007 D0D0h	ECM	ECM疑似エラートリガレジスタ2	ECMPE2	32	32
A007 D0D4h	ECM	ECMディレイタイムコントロールレジスタ	ECMDTMCTL	8	8
A007 D0D8h	ECM	ECMディレイタイムレジスタ	ECMDTMR	16	16
A007 D0DCh	ECM	ECMディレイタイムコンペアレジスタ	ECMDTMCMP	32	32
A007 D0E0h	ECM	ECMディレイタイムコンフィグレーションレジスタ0	ECMDTMCFG0	32	32
A007 D0E4h	ECM	ECMディレイタイムコンフィグレーションレジスタ1	ECMDTMCFG1	32	32
A007 D0E8h	ECM	ECMディレイタイムコンフィグレーションレジスタ2	ECMDTMCFG2	32	32
A007 D0ECh	ECM	ECMディレイタイムコンフィグレーションレジスタ3	ECMDTMCFG3	32	32
A007 D0F0h	ECM	ECMディレイタイムコンフィグレーションレジスタ4	ECMDTMCFG4	32	32
A007 D0F4h	ECM	ECMディレイタイムコンフィグレーションレジスタ5	ECMDTMCFG5	32	32
A007 D0F8h	ECM	ECMエラー出カクリア無効コンフィグレーションレジスタ	ECMEOCCFG	32	32
A008 0000h	CMT	コンペアマッチタイムスタートレジスタ0	CMSTR0	16	16
A008 0002h	CMT0	コンペアマッチタイムコントロールレジスタ	CMCR	16	16
A008 0004h	CMT0	コンペアマッチタイムカウンタ	CMCNT	16	16

表5.1 I/O レジスタアドレス一覧 (50 / 56)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A008 0006h	CMT0	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16
A008 0008h	CMT1	コンペアマッチタイマコントロールレジスタ	CMCR	16	16
A008 000Ah	CMT1	コンペアマッチタイマカウンタ	CMCNT	16	16
A008 000Ch	CMT1	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16
A008 0020h	CMT	コンペアマッチタイマスタートレジスタ1	CMSTR1	16	16
A008 0022h	CMT2	コンペアマッチタイマコントロールレジスタ	CMCR	16	16
A008 0024h	CMT2	コンペアマッチタイマカウンタ	CMCNT	16	16
A008 0026h	CMT2	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16
A008 0028h	CMT3	コンペアマッチタイマコントロールレジスタ	CMCR	16	16
A008 002Ah	CMT3	コンペアマッチタイマカウンタ	CMCNT	16	16
A008 002Ch	CMT3	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16
A008 0040h	CMT	コンペアマッチタイマスタートレジスタ2	CMSTR2	16	16
A008 0042h	CMT4	コンペアマッチタイマコントロールレジスタ	CMCR	16	16
A008 0044h	CMT4	コンペアマッチタイマカウンタ	CMCNT	16	16
A008 0046h	CMT4	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16
A008 0048h	CMT5	コンペアマッチタイマコントロールレジスタ	CMCR	16	16
A008 004Ah	CMT5	コンペアマッチタイマカウンタ	CMCNT	16	16
A008 004Ch	CMT5	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16
A008 0300h	CMTW0	タイマスタートレジスタ	CMWSTR	16	16
A008 0304h	CMTW0	タイマコントロールレジスタ	CMWCR	16	16
A008 0308h	CMTW0	タイマI/Oコントロールレジスタ	CMWIOR	16	16
A008 0310h	CMTW0	タイマカウンタ	CMWCNT	32	32
A008 0314h	CMTW0	コンペアマッチコンスタントレジスタ	CMWCOR	32	32
A008 0318h	CMTW0	インプットキャプチャレジスタ0	CMWICR0	32	32
A008 031Ch	CMTW0	インプットキャプチャレジスタ1	CMWICR1	32	32
A008 0320h	CMTW0	アウトプットコンペアレジスタ0	CMWOCR0	32	32
A008 0324h	CMTW0	アウトプットコンペアレジスタ1	CMWOCR1	32	32
A008 0380h	CMTW1	タイマスタートレジスタ	CMWSTR	16	16
A008 0384h	CMTW1	タイマコントロールレジスタ	CMWCR	16	16
A008 0388h	CMTW1	タイマI/Oコントロールレジスタ	CMWIOR	16	16
A008 0390h	CMTW1	タイマカウンタ	CMWCNT	32	32
A008 0394h	CMTW1	コンペアマッチコンスタントレジスタ	CMWCOR	32	32
A008 0398h	CMTW1	インプットキャプチャレジスタ0	CMWICR0	32	32
A008 039Ch	CMTW1	インプットキャプチャレジスタ1	CMWICR1	32	32
A008 03A0h	CMTW1	アウトプットコンペアレジスタ0	CMWOCR0	32	32
A008 03A4h	CMTW1	アウトプットコンペアレジスタ1	CMWOCR1	32	32
A008 0400h	CMTW	デジタルノイズフィルタコントロールレジスタ0	NFCR0	32	32
A008 0404h	CMTW	デジタルノイズフィルタコントロールレジスタ1	NFCR1	32	32
A008 0410h	CMTW	ECMダイナミックモードエラー出力選択レジスタ	ECDMESLR	32	32
A008 0600h	WDT0	WDTリフレッシュレジスタ	WDTRR	8	8
A008 0602h	WDT0	WDTコントロールレジスタ	WDTCR	16	16
A008 0604h	WDT0	WDTステータスレジスタ	WDTSR	16	16
A008 0606h	WDT0	WDTリセットコントロールレジスタ	WDTRCR	8	8
A008 0700h	IWDT	IWDTリフレッシュレジスタ	IWDTRR	8	8
A008 0702h	IWDT	IWDTコントロールレジスタ	IWDTCR	16	16
A008 0704h	IWDT	IWDTステータスレジスタ	IWDTSR	16	16
A008 0706h	IWDT	IWDTリセットコントロールレジスタ	IWDTRCR	8	8
A008 0940h	RIIC1	I ² Cバスコントロールレジスタ1	ICCR1	8	8

表5.1 I/O レジスタアドレス一覧 (51 / 56)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A008 0941h	RIIC1	I ² Cバスコントロールレジスタ2	ICCR2	8	8
A008 0942h	RIIC1	I ² Cバスモードレジスタ1	ICMR1	8	8
A008 0943h	RIIC1	I ² Cバスモードレジスタ2	ICMR2	8	8
A008 0944h	RIIC1	I ² Cバスモードレジスタ3	ICMR3	8	8
A008 0945h	RIIC1	I ² Cバスファンクション許可レジスタ	ICFER	8	8
A008 0946h	RIIC1	I ² Cバスステータス許可レジスタ	ICSER	8	8
A008 0947h	RIIC1	I ² Cバス割り込み許可レジスタ	ICIER	8	8
A008 0948h	RIIC1	I ² Cバスステータスレジスタ1	ICSR1	8	8
A008 0949h	RIIC1	I ² Cバスステータスレジスタ2	ICSR2	8	8
A008 094Ah	RIIC1	スレーブアドレスレジスタL0	ICSARL0	8	8
A008 094Bh	RIIC1	スレーブアドレスレジスタU0	ICSARU0	8	8
A008 094Ch	RIIC1	スレーブアドレスレジスタL1	ICSARL1	8	8
A008 094Dh	RIIC1	スレーブアドレスレジスタU1	ICSARU1	8	8
A008 094Eh	RIIC1	スレーブアドレスレジスタL2	ICSARL2	8	8
A008 094Fh	RIIC1	スレーブアドレスレジスタU2	ICSARU2	8	8
A008 0950h	RIIC1	I ² CバスビットレートLowレジスタ	ICBRL	8	8
A008 0951h	RIIC1	I ² CバスビットレートHighレジスタ	ICBRH	8	8
A008 0952h	RIIC1	I ² Cバス送信データレジスタ	ICDRT	8	8
A008 0953h	RIIC1	I ² Cバス受信データレジスタ	ICDRR	8	8
A008 0B00h	ELC	イベントリンクコントロールレジスタ	ELCR	8	8
A008 0B08h	ELC	イベントリンク設定レジスタ7	ELSR7	8	8
A008 0B13h	ELC	イベントリンク設定レジスタ18	ELSR18	8	8
A008 0B14h	ELC	イベントリンク設定レジスタ19	ELSR19	8	8
A008 0B15h	ELC	イベントリンク設定レジスタ20	ELSR20	8	8
A008 0B16h	ELC	イベントリンク設定レジスタ21	ELSR21	8	8
A008 0B17h	ELC	イベントリンク設定レジスタ22	ELSR22	8	8
A008 0B18h	ELC	イベントリンク設定レジスタ23	ELSR23	8	8
A008 0B19h	ELC	イベントリンク設定レジスタ24	ELSR24	8	8
A008 0B1Ah	ELC	イベントリンク設定レジスタ25	ELSR25	8	8
A008 0B1Bh	ELC	イベントリンク設定レジスタ26	ELSR26	8	8
A008 0B1Ch	ELC	イベントリンク設定レジスタ27	ELSR27	8	8
A008 0B21h	ELC	イベントリンクオプション設定レジスタC	ELOPC	8	8
A008 0B23h	ELC	ポートグループ指定レジスタ1	PGR1	8	8
A008 0B24h	ELC	ポートグループ指定レジスタ2	PGR2	8	8
A008 0B25h	ELC	ポートグループコントロールレジスタ1	PGC1	8	8
A008 0B26h	ELC	ポートグループコントロールレジスタ2	PGC2	8	8
A008 0B27h	ELC	ポートバッファレジスタ1	PDBF1	8	8
A008 0B28h	ELC	ポートバッファレジスタ2	PDBF2	8	8
A008 0B29h	ELC	イベント接続ポート指定レジスタ0	PEL0	8	8
A008 0B2Ah	ELC	イベント接続ポート指定レジスタ1	PEL1	8	8
A008 0B2Bh	ELC	イベント接続ポート指定レジスタ2	PEL2	8	8
A008 0B2Ch	ELC	イベント接続ポート指定レジスタ3	PEL3	8	8
A008 0B2Dh	ELC	イベントリンクソフトウェアイベント発生レジスタ	ELSEGR	8	8
A008 0B31h	ELC	イベントリンク設定レジスタ33	ELSR33	8	8
A008 0B41h	ELC	イベントリンクオプション設定レジスタH	ELOPH	8	8
A009 0000h	CLMA0	CLMA0制御レジスタ0	CLMA0CTL0	8	8
A009 0008h	CLMA0	CLMA0コンペアレジスタL	CLMA0CMPL	16	16
A009 000Ch	CLMA0	CLMA0コンペアレジスタH	CLMA0CMPH	16	16

表5.1 I/O レジスタアドレス一覧 (52 / 56)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A009 0010h	CLMA0	CLMA0 コマンドレジスタ	CLMA0PCMD	8	8
A009 0014h	CLMA0	CLMA0 プロテクションステータスレジスタ	CLMA0PS	8	8
A009 0020h	CLMA1	CLMA1 制御レジスタ 0	CLMA1CTL0	8	8
A009 0028h	CLMA1	CLMA1 コンペアレジスタ L	CLMA1CMPL	16	16
A009 002Ch	CLMA1	CLMA1 コンペアレジスタ H	CLMA1CMPH	16	16
A009 0030h	CLMA1	CLMA1 コマンドレジスタ	CLMA1PCMD	8	8
A009 0034h	CLMA1	CLMA1 プロテクションステータスレジスタ	CLMA1PS	8	8
A009 0040h	CLMA2	CLMA2 制御レジスタ 0	CLMA2CTL0	8	8
A009 0048h	CLMA2	CLMA2 コンペアレジスタ L	CLMA2CMPL	16	16
A009 004Ch	CLMA2	CLMA2 コンペアレジスタ H	CLMA2CMPH	16	16
A009 0050h	CLMA2	CLMA2 コマンドレジスタ	CLMA2PCMD	8	8
A009 0054h	CLMA2	CLMA2 プロテクションステータスレジスタ	CLMA2PS	8	8
A009 4000h	DMA0	DMAC Unit0 要因選択レジスタ 0	DMA0SEL0	32	32
A009 4004h	DMA0	DMAC Unit0 要因選択レジスタ 1	DMA0SEL1	32	32
A009 4008h	DMA0	DMAC Unit0 要因選択レジスタ 2	DMA0SEL2	32	32
A009 400Ch	DMA0	DMAC Unit0 要因選択レジスタ 3	DMA0SEL3	32	32
A009 4010h	DMA0	DMAC Unit0 要因選択レジスタ 4	DMA0SEL4	32	32
A009 4014h	DMA0	DMAC Unit0 要因選択レジスタ 5	DMA0SEL5	32	32
A009 4018h	DMA0	DMAC Unit0 要因選択レジスタ 6	DMA0SEL6	32	32
A009 401Ch	DMA0	DMAC Unit0 要因選択レジスタ 7	DMA0SEL7	32	32
A009 4020h	DMA0	DMAC Unit0 要因選択レジスタ 8	DMA0SEL8	32	32
A009 4024h	DMA0	DMAC Unit0 要因選択レジスタ 9	DMA0SEL9	32	32
A009 4028h	DMA0	DMAC Unit0 要因選択レジスタ 10	DMA0SEL10	32	32
A009 402Ch	DMA0	DMAC Unit0 要因選択レジスタ 11	DMA0SEL11	32	32
A009 4030h	DMA0	DMAC Unit0 要因選択レジスタ 12	DMA0SEL12	32	32
A009 4034h	DMA0	DMAC Unit0 要因選択レジスタ 13	DMA0SEL13	32	32
A009 4038h	DMA0	DMAC Unit0 要因選択レジスタ 14	DMA0SEL14	32	32
A009 403Ch	DMA0	DMAC Unit0 要因選択レジスタ 15	DMA0SEL15	32	32
A009 4040h	DMA1	DMAC Unit1 要因選択レジスタ 0	DMA1SEL0	32	32
A009 4044h	DMA1	DMAC Unit1 要因選択レジスタ 1	DMA1SEL1	32	32
A009 4048h	DMA1	DMAC Unit1 要因選択レジスタ 2	DMA1SEL2	32	32
A009 404Ch	DMA1	DMAC Unit1 要因選択レジスタ 3	DMA1SEL3	32	32
A009 4050h	DMA1	DMAC Unit1 要因選択レジスタ 4	DMA1SEL4	32	32
A009 4054h	DMA1	DMAC Unit1 要因選択レジスタ 5	DMA1SEL5	32	32
A009 4058h	DMA1	DMAC Unit1 要因選択レジスタ 6	DMA1SEL6	32	32
A009 405Ch	DMA1	DMAC Unit1 要因選択レジスタ 7	DMA1SEL7	32	32
A009 4060h	DMA1	DMAC Unit1 要因選択レジスタ 8	DMA1SEL8	32	32
A009 4064h	DMA1	DMAC Unit1 要因選択レジスタ 9	DMA1SEL9	32	32
A009 4068h	DMA1	DMAC Unit1 要因選択レジスタ 10	DMA1SEL10	32	32
A009 406Ch	DMA1	DMAC Unit1 要因選択レジスタ 11	DMA1SEL11	32	32
A009 4070h	DMA1	DMAC Unit1 要因選択レジスタ 12	DMA1SEL12	32	32
A009 4074h	DMA1	DMAC Unit1 要因選択レジスタ 13	DMA1SEL13	32	32
A009 4078h	DMA1	DMAC Unit1 要因選択レジスタ 14	DMA1SEL14	32	32
A009 407Ch	DMA1	DMAC Unit1 要因選択レジスタ 15	DMA1SEL15	32	32
A009 4080h	DMAC	DMAC ソフトウェア起動レジスタ	DMASTG	32	32
A009 4200h	ICU	IRQ コントロールレジスタ 0	IRQCR0	32	32
A009 4204h	ICU	IRQ コントロールレジスタ 1	IRQCR1	32	32
A009 4208h	ICU	IRQ コントロールレジスタ 2	IRQCR2	32	32

表5.1 I/O レジスタアドレス一覧 (53 / 56)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A009 420Ch	ICU	IRQコントロールレジスタ3	IRQCR3	32	32
A009 4210h	ICU	IRQコントロールレジスタ4	IRQCR4	32	32
A009 4218h	ICU	IRQコントロールレジスタ6	IRQCR6	32	32
A009 421Ch	ICU	IRQコントロールレジスタ7	IRQCR7	32	32
A009 4224h	ICU	IRQコントロールレジスタ9	IRQCR9	32	32
A009 422Ch	ICU	IRQコントロールレジスタ11	IRQCR11	32	32
A009 4230h	ICU	IRQコントロールレジスタ12	IRQCR12	32	32
A009 4234h	ICU	IRQコントロールレジスタ13	IRQCR13	32	32
A009 4238h	ICU	IRQコントロールレジスタ14	IRQCR14	32	32
A009 4240h	ICU	IRQ端子デジタルノイズフィルタ許可レジスタ	IRQFLTE	32	32
A009 4244h	ICU	IRQ端子デジタルノイズフィルタ設定レジスタ	IRQFLTC	32	32
A009 4248h	ICU	ノンマスカブル割り込みステータスレジスタ	NMISR	32	32
A009 424Ch	ICU	ノンマスカブル割り込みステータスクリアレジスタ	NMICLR	32	32
A009 4250h	ICU	NMI端子割り込みコントロールレジスタ	NMICR	32	32
A009 4254h	ICU	NMI端子デジタルノイズフィルタ許可レジスタ	NMIFLTE	32	32
A009 4258h	ICU	NMI端子デジタルノイズフィルタ設定レジスタ	NMIFLTC	32	32
A009 425Ch	ICU	EtherPHYコントロールレジスタ0	EPHYCR0	32	32
A009 4260h	ICU	EtherPHYコントロールレジスタ1	EPHYCR1	32	32
A009 4268h	ICU	EtherPHY割り込み要求端子デジタルノイズフィルタ許可レジスタ	EPHYFLTE	32	32
A009 426Ch	ICU	EtherPHY割り込み要求端子デジタルノイズフィルタ設定レジスタ	EPHYFLTC	32	32
A00B 0020h	SYSTEM	システムクロックコントロールレジスタ	SCKCR	32	32
A00B 0024h	SYSTEM	システムクロックコントロールレジスタ2	SCKCR2	32	32
A00B 0038h	SYSTEM	PLL1コントロールレジスタ2	PLL1CR2	32	32
A00B 0040h	SYSTEM	低速オンチップオシレータコントロールレジスタ	LOCOCR	32	32
A00B 004Ch	SYSTEM	発振停止検出コントロールレジスタ	OSTDCR	32	32
A00B 0200h	SYSTEM	リセットステータスレジスタ0	RSTSR0	32	32
A00B 0210h	SYSTEM	ソフトウェアリセットレジスタ	SWRR1	32	32
A00B 0248h	SYSTEM	モジュールリセット制御レジスタC	MRCTLC	32	32
A00B 0300h	SYSTEM	モジュールストップコントロールレジスタA	MSTPCRA	32	32
A00B 0304h	SYSTEM	モジュールストップコントロールレジスタB	MSTPCRB	32	32
A00B 0308h	SYSTEM	モジュールストップコントロールレジスタC	MSTPCRC	32	32
A00B 0310h	SYSTEM	モジュールストップコントロールレジスタE	MSTPCRE	32	32
A00B 0314h	SYSTEM	モジュールストップコントロールレジスタF	MSTPCRF	32	32
A00B 0800h	SYSTEM	ATCMウェイト制御レジスタ	SYTATCMWAIT	32	32
A00B 0A00h	SYSTEM	デバッグインタフェース制御レジスタ	DBGIFCNT	32	32
A00B 0A80h	SYSTEM	ECMマスク制御レジスタ	ECMMCNT	32	32
A00B 0B00h	SYSTEM	プロテクトレジスタ	PRCR	32	32
A00B F000h	ESC	イーサネットシステムプロテクトコマンドレジスタ	ETSPCMD	32	32
A00B F004h	ESC	MACセレクトレジスタ	MACSEL	32	32
A00B F014h	ESC	イーサネットPHY LINKモードレジスタ	ETHPHYLNK	32	32
A00B F100h	ESC	EtherCAT PHYオフセットアドレス設定レジスタ	CATOFFADD	32	32
A00B F104h	ESC	EtherCAT動作モード設定レジスタ	CATEMMD	32	32
A00B F10Ch	ESC	EtherCAT TXCシフト設定レジスタ	CATTXCSFT	32	32
A00B F118h	ESC	イーサネット周辺リセットレジスタ	ETHSFTRST	32	32
A00D 0000h	ESC	タイプレジスタ	TYPE	8	8
A00D 0001h	ESC	リビジョンレジスタ	REVISION	8	8
A00D 0002h	ESC	ビルドレジスタ	BUILD	16	16

表5.1 I/O レジスタアドレス一覧 (54 / 56)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A00D 0004h	ESC	FMMUサポートレジスタ	FMMU_NUM	8	8
A00D 0005h	ESC	SyncManagerサポートレジスタ	SYNC_MANAGER	8	8
A00D 0006h	ESC	RAMサイズレジスタ	RAM_SIZE	8	8
A00D 0007h	ESC	ポートディスクリプタレジスタ	PORT_DESC	8	8
A00D 0008h	ESC	ESCフィーチャーサポートレジスタ	FEATURE	16	16
A00D 0010h	ESC	コンフィギュアドステーションアドレスレジスタ	STATION_ADR	16	16
A00D 0012h	ESC	コンフィギュアドステーションエイリアスレジスタ	STATION_ALIAS	16	16
A00D 0020h	ESC	ライトレジスタイネーブルレジスタ	WR_REG_ENABLE	8	8
A00D 0021h	ESC	ライトレジスタプロテクションレジスタ	WR_REG_PROTECT	8	8
A00D 0030h	ESC	ESCライトイネーブルレジスタ	ESC_WR_ENABLE	8	8
A00D 0031h	ESC	ESCライトプロテクションレジスタ	ESC_WR_PROTECT	8	8
A00D 0040h	ESC	ESCリセットECATレジスタ	ESC_RESET_ECAT	8	8
A00D 0041h	ESC	ESCリセットPDIレジスタ	ESC_RESET_PDI	8	8
A00D 0100h	ESC	ESC DLコントロールレジスタ	ESC_DL_CONTROL	32	32
A00D 0108h	ESC	フィジカルリード/ライトオフセットレジスタ	PHYSICAL_RW_OFFSET	16	16
A00D 0110h	ESC	ESC DLステータスレジスタ	ESC_DL_STATUS	16	16
A00D 0120h	ESC	ALコントロールレジスタ	AL_CONTROL	16	16
A00D 0130h	ESC	ALステータスレジスタ	AL_STATUS	16	16
A00D 0134h	ESC	ALステータスコードレジスタ	AL_STATUS_CODE	16	16
A00D 0138h	ESC	RUN LEDオーバライドレジスタ	RUN_LED_OVERRIDE	8	8
A00D 0139h	ESC	ERR LEDオーバライドレジスタ	ERR_LED_OVERRIDE	8	8
A00D 0140h	ESC	PDIコントロールレジスタ	PDI_CONTROL	8	8
A00D 0141h	ESC	ESCコンフィギュレーションレジスタ	ESC_CONFIG	8	8
A00D 0150h	ESC	PDIコンフィギュレーションレジスタ	PDI_CONFIG	8	8
A00D 0151h	ESC	SYNC/LATCH PDIコンフィギュレーションレジスタ	SYNC_LATCH_CONFIG	8	8
A00D 0152h	ESC	拡張PDIコンフィギュレーションレジスタ	EXT_PDI_CONFIG	16	16
A00D 0200h	ESC	ECATイベントマスクレジスタ	ECAT_EVENT_MASK	16	16
A00D 0204h	ESC	ALイベントマスクレジスタ	AL_EVENT_MASK	32	32
A00D 0210h	ESC	ECATイベントリクエストレジスタ	ECAT_EVENT_REQ	16	16
A00D 0220h	ESC	ALイベントリクエストレジスタ	AL_EVENT_REQ	32	32
A00D 0300h + 0002h*n	ESC	Rxエラーカウンタnレジスタ	RX_ERR_COUNTn	16	16
A00D 0308h + 0001h*n	ESC	フォワードRxエラーカウンタnレジスタ	FWD_RX_ERR_COUNTn	8	8
A00D 030Ch	ESC	ECATプロセッシングユニットエラーカウンタレジスタ	ECAT_PROC_ERR_COUNT	8	8
A00D 030Dh	ESC	PDIエラーカウンタレジスタ	PDI_ERR_COUNT	8	8
A00D 0310h + 0001h*n	ESC	ロストリンクカウンタnレジスタ	LOST_LINK_COUNTn	8	8
A00D 0400h	ESC	ウォッチドッグディバイダレジスタ	WD_DIVIDE	16	16
A00D 0410h	ESC	ウォッチドッグタイムPDIレジスタ	WDT_PDI	16	16
A00D 0420h	ESC	ウォッチドッグタイムプロセスデータレジスタ	WDT_DATA	16	16
A00D 0440h	ESC	ウォッチドッグステータスプロセスデータレジスタ	WDS_DATA	16	16
A00D 0442h	ESC	ウォッチドッグカウンタプロセスデータレジスタ	WDC_DATA	8	8
A00D 0443h	ESC	ウォッチドッグカウンタPDIレジスタ	WDC_PDI	8	8
A00D 0500h	ESC	EEPROMコンフィギュレーションレジスタ	EEP_CONF	8	8
A00D 0501h	ESC	EEPROM PDIアクセスステートレジスタ	EEP_STATE	8	8
A00D 0502h	ESC	EEPROMコントロール/ステータスレジスタ	EEP_CONT_STAT	16	16
A00D 0504h	ESC	EEPROMアドレスレジスタ	EEP_ADR	32	32
A00D 0508h	ESC	EEPROMデータレジスタ	EEP_DATA	32	32

表5.1 I/O レジスタアドレス一覧 (55 / 56)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A00D 0510h	ESC	MII マネージメントコントロール/ステータスレジスタ	MII_CONT_STAT	16	16
A00D 0512h	ESC	PHYアドレスレジスタ	PHY_ADR	8	8
A00D 0513h	ESC	PHYレジスタアドレスレジスタ	PHY_REG_ADR	8	8
A00D 0514h	ESC	PHYデータレジスタ	PHY_DATA	16	16
A00D 0516h	ESC	MII マネージメントECATアクセスステートレジスタ	MII_ECAT_ACS_STAT	8	8
A00D 0517h	ESC	MII マネージメントPDIアクセスステートレジスタ	MII_PDI_ACS_STAT	8	8
A00D 0600h + 0010h*m	ESC	FMMU ロジカルスタートアドレスmレジスタ	FMMUm_L_START_ADR	32	32
A00D 0604h + 0010h*m	ESC	FMMU長mレジスタ	FMMUm_LEN	16	16
A00D 0606h + 0010h*m	ESC	FMMU ロジカルスタートビットmレジスタ	FMMUm_L_START_BIT	8	8
A00D 0607h + 0010h*m	ESC	FMMU ロジカルストップビットmレジスタ	FMMUm_L_STOP_BIT	8	8
A00D 0608h + 0010h*m	ESC	FMMU フィジカルスタートアドレスmレジスタ	FMMUm_P_START_ADR	16	16
A00D 060Ah + 0010h*m	ESC	FMMU フィジカルスタートビットmレジスタ	FMMUm_P_START_BIT	8	8
A00D 060Bh + 0010h*m	ESC	FMMUタイプmレジスタ	FMMUm_TYPE	8	8
A00D 060Ch + 0010h*m	ESC	FMMU アクティベートmレジスタ	FMMUm_ACT	8	8
A00D 0800h + 0008h*m	ESC	SyncManager フィジカルスタートアドレスmレジスタ	SMm_P_START_ADR	16	16
A00D 0802h + 0008h*m	ESC	SyncManager長mレジスタ	SMm_LEN	16	16
A00D 0804h + 0008h*m	ESC	SyncManager コントロールmレジスタ	SMm_CONTROL	8	8
A00D 0805h + 0008h*m	ESC	SyncManager ステータスmレジスタ	SMm_STATUS	8	8
A00D 0806h + 0008h*m	ESC	SyncManager アクティベートmレジスタ	SMm_ACT	8	8
A00D 0807h + 0008h*m	ESC	SyncManager PDI コントロールmレジスタ	SMm_PDI_CONT	8	8
A00D 0900h	ESC	レシーブタイムポート0レジスタ	DC_RCV_TIME_PORT0	32	32
A00D 0904h	ESC	レシーブタイムポート1レジスタ	DC_RCV_TIME_PORT1	32	32
A00D 0910h	ESC	システムタイムレジスタ	DC_SYS_TIME	64	32
A00D 0918h	ESC	レシーブタイムECAT プロセッシングユニットレジスタ	DC_RCV_TIME_UNIT	64	32
A00D 0920h	ESC	システムタイムオフセットレジスタ	DC_SYS_TIME_OFFSET	64	32
A00D 0928h	ESC	システムタイムディレイレジスタ	DC_SYS_TIME_DELAY	32	32
A00D 092Ch	ESC	システムタイムディフレジスタ	DC_SYS_TIME_DIFF	32	32
A00D 0930h	ESC	スピードカウンタスタートレジスタ	DC_SPEED_COUNT_STA RT	16	16
A00D 0932h	ESC	スピードカウンタディフレジスタ	DC_SPEED_COUNT_DIF F	16	16
A00D 0934h	ESC	システムタイムディフフィルタ深さレジスタ	DC_SYS_TIME_DIFF_FIL _DEPTH	8	8
A00D 0935h	ESC	スピードカウンタフィルタ深さレジスタ	DC_SPEED_COUNT_FIL _DEPTH	8	8
A00D 0980h	ESC	サイクリックユニットコントロールレジスタ	DC_CYC_CONT	8	8
A00D 0981h	ESC	アクティベーションレジスタ	DC_ACT	8	8
A00D 0982h	ESC	SYNC信号パルス長レジスタ	DC_PULSE_LEN	16	16
A00D 0984h	ESC	アクティベーションステータスレジスタ	DC_ACT_STAT	8	8
A00D 098Eh	ESC	SYNC0ステータスレジスタ	DC_SYNC0_STAT	8	8
A00D 098Fh	ESC	SYNC1ステータスレジスタ	DC_SYNC1_STAT	8	8

表5.1 I/O レジスタアドレス一覧 (56 / 56)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ
A00D 0990h	ESC	スタートタイムサイクリックオペレーション/ ネクスト SYNC0パルスレジスタ	DC_CYC_START_TIME	64	32
A00D 0998h	ESC	ネクスト SYNC1パルスレジスタ	DC_NEXT_SYNC1_PULSE	64	32
A00D 09A0h	ESC	SYNC0サイクルタイムレジスタ	DC_SYNC0_CYC_TIME	32	32
A00D 09A4h	ESC	SYNC1サイクルタイムレジスタ	DC_SYNC1_CYC_TIME	32	32
A00D 09A8h	ESC	ラッチ0コントロールレジスタ	DC_LATCH0_CONT	8	8
A00D 09A9h	ESC	ラッチ1コントロールレジスタ	DC_LATCH1_CONT	8	8
A00D 09AEh	ESC	ラッチ0ステータスレジスタ	DC_LATCH0_STAT	8	8
A00D 09AFh	ESC	ラッチ1ステータスレジスタ	DC_LATCH1_STAT	8	8
A00D 09B0h	ESC	ラッチ0タイムポジティブエッジレジスタ	DC_LATCH0_TIME_POS	64	32
A00D 09B8h	ESC	ラッチ0タイムネガティブエッジレジスタ	DC_LATCH0_TIME_NEG	64	32
A00D 09C0h	ESC	ラッチ1タイムポジティブエッジレジスタ	DC_LATCH1_TIME_POS	64	32
A00D 09C8h	ESC	ラッチ1タイムネガティブエッジレジスタ	DC_LATCH1_TIME_NEG	64	32
A00D 09F0h	ESC	EtherCATバッファチェンジイベントタイムレジスタ	DC_ECAT_CNG_EV_TIME	32	32
A00D 09F8h	ESC	PDIバッファスタートイベントタイムレジスタ	DC_PDI_START_EV_TIME	32	32
A00D 09FCh	ESC	PDIバッファチェンジイベントタイムレジスタ	DC_PDI_CNG_EV_TIME	32	32
A00D 0E00h	ESC	プロダクトIDレジスタ	PRODUCT_ID	64	32
A00D 0E08h	ESC	ベンダIDレジスタ	VENDOR_ID	64	32
A00D 0F80h – A00D 0FFFh	ESC	ユーザRAM	USER_RAM	1024	8, 16, 32
A00D 1000h – A00D 2FFFh	ESC	プロセスデータRAM	DATA_RAM	65536	8, 16, 32
A00F 00A0h	ESC	MIIMレジスタ	GMAC_MIIM	32	32
A00F 2100h	ESC	システムプロテクトコマンドレジスタ	SPCMD	32	32
A00F 2110h	ESC	MDIOコントローラリセットレジスタ	EMACRST	32	32

6. リセット

6.1 概要

リセットには、RES# 端子リセット、エラーコントロールモジュール（ECM）リセット、ソフトウェアリセットがあります。

表 6.1 にリセットの名称と要因を示します。

表6.1 リセットの名称と要因

リセットの名称	要因
RES#端子リセット	RES#端子の入力電圧がLow
ECMリセット	エラーコントロールモジュール（ECM）からのリセット要求
ソフトウェアリセット	SWRR1レジスタ設定

リセットによって内部状態は初期化され、端子は初期状態になります。

表 6.2 にリセット種別ごとの初期化対象を示します。デバッグ時のリセット制御の詳細については「10.3.5 リセット構成とエミュレータとの接続方法」を参照してください。

表6.2 リセット種別ごとの初期化対象（○：初期化対象、—：変化しない）

リセット対象	リセット要因		
	RES#端子リセット	ECMリセット	ソフトウェアリセット
RES#端子リセットフラグ（RSTSR0.TRF）	—	○	○
ECMリセット検出フラグ（RSTSR0.ECMRF）	○	—	○
ソフトウェアリセット検出フラグ（RSTSR0.SWRF1）	○	○	—
端子の状態	○	○	○
ECM ECM マスタエラーソースステータスレジスタ0~2 ECM チェッカエラーソースステータスレジスタ0~2 ECM エラー出カクリア無効設定レジスタ	○	—	—
上記以外のレジスタ、および内部状態	○	○	○
RSTOUT#端子出力	○ (Low) (注1)	○ (Low) (注1)	○ (Low) (注1)
ERROROUT#端子出力	○ (Low)	(注2)	—

注1. Lowを出力する期間は「6.3.5 リセット出力端子（RSTOUT#）」を参照してください。

注2. ECMの設定により異なります。詳細については「32. エラーコントロールモジュール（ECM）」を参照してください。

表 6.3 にリセットに関連する入出力端子を示します。

表6.3 リセット関連の入出力端子

端子名	入出力	機能
RES#	入力	リセット端子。デバッグ部およびTAP（Test Access Port）以外のLSI全体をリセットします。EC-1にはパワーオンリセット回路を内蔵していないため、リセット回路を本LSIの外部に実装する必要があります。外付けリセット回路の構成例については、「10.3.5 リセット構成とエミュレータとの接続方法」を参照してください。
TRST#	入力	テストリセット端子。TAPをリセットします。エミュレータを使用可能なボードを設計する場合は、電源投入時にRES#端子と重複する期間TRST#端子をLowにしてください。またTRST#端子単独でも制御可能となるようにしてください。未使用時は、Lowに固定するか、RES#端子と同じ信号と接続してください。詳細については「10.3.5 リセット構成とエミュレータとの接続方法」を参照してください。
RSTOUT#	出力	リセット出力端子。リセットが発生するとロウレベルを出力します。詳細は「6.3.5 リセット出力端子（RSTOUT#）」を参照してください。外部デバイスのリセットとして利用できます。

注． デバッグ部のリセットについては「10. デバッグインタフェース」を参照してください。

6.2 レジスタの説明

リセットステータスレジスタ 0 にはリセット種別毎の発生要因を示すビットが配置されています。RSTSR0, SWRR1 はレジスタライトプロテクションの対象レジスタです。レジスタに書き込みを行う場合は、プロテクトレジスタ (PRCR) のビット 1 の書き込み保護を解除してください。レジスタライトプロテクションの詳細については「11. レジスタライトプロテクション機能」を参照してください。

6.2.1 リセットステータスレジスタ 0 (RSTSR0)

RSTSR0 レジスタは、リセットの発生要因を示すレジスタです。

アドレス RSTSR0 : A00B 0200h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	SWR1F	ECMRF	TRF	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	(注1)	(注1)	(注1)	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/(W)
b1	TRF	RES#端子リセット検出フラグ	0: RES#端子リセット未検出 1: RES#端子リセット検出 [“1”になる条件] • RES#端子にLowが入力されたとき [“0”になる条件] • ECMリセット、ソフトウェアリセットが発生したとき • RSTSR0を読み出した後、RSTSR0に“0000 0000h”を書き込んだとき	R/(W) (注2)
b2	ECMRF	ECMリセット検出フラグ	0: ECMリセット未検出 1: ECMリセット検出 [“1”になる条件] • ECMの設定で予めリセット要因と指定されたエラー要因が発生したとき [“0”になる条件] • RES#端子リセット、ソフトウェアリセットが発生したとき • RSTSR0を読み出した後、RSTSR0に“0000 0000h”を書き込んだとき	R/(W) (注2)
b3	SWR1F	ソフトウェアリセット検出フラグ	0: ソフトウェアリセットの未検出 1: ソフトウェアリセットの検出 [“1”になる条件] • ソフトウェアリセットが発生したとき [“0”になる条件] • RES#端子リセット、ECMリセットが発生したとき • RSTSR0を読み出した後、RSTSR0に“0000 0000h”を書き込んだとき	R/(W) (注2)
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/(W)

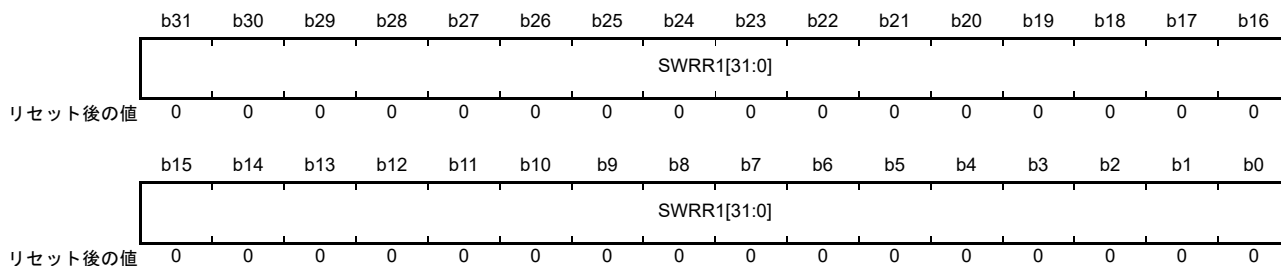
注1. リセット要因に依存して初期値が異なります。

注2. フラグをクリアするための“0”書き込みのみ可能です。

6.2.2 ソフトウェアリセットレジスタ (SWRR1)

SWRR1 レジスタは、ソフトウェアリセットを制御するレジスタです。

アドレス SWRR1 : A00B 0210h

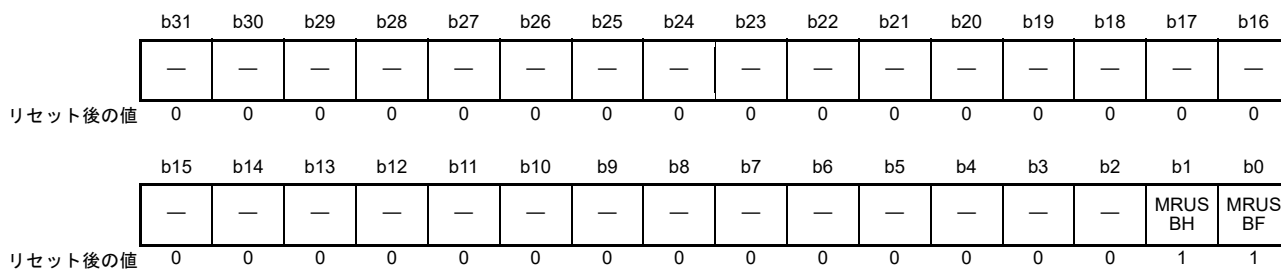


ビット	シンボル	ビット名	機能	R/W
b31-b0	SWRR1[31:0]	ソフトウェアリセットビット	"4321 A501h"を書くとソフトウェアリセットが発生します。読むと"0000 0000h"が読めます	R/W

6.2.3 モジュールリセット制御レジスタ C (MRCTL C)

MRCTL C レジスタは、周辺モジュールのリセットを制御するレジスタです。

アドレス MRCTL C : A00B 0248h



ビット	シンボル	ビット名	機能	R/W
b0	MRUSBF	USB (Func部) リセット制御	0 : USB (Func部) はリセット解除中 1 : USB (Func部) はリセット中	R/W
b1	MRUSBH	USB (Host部) リセット制御	0 : USB (Host部) はリセット解除中 1 : USB (Host部) はリセット中	R/W
b31-b2	—	予約ビット	読むと"0"が読み出されず。書き込みは"0"としてください。	R/W

6.3 動作説明

6.3.1 RES# 端子リセット

外部に接続された外付けリセット回路から RES# 端子への信号入力により発生するリセットです。RES# 端子が Low になると実行中の処理はすべて打ち切られ、本 LSI はリセット状態になります。確実にリセットするために、電源投入後は規定の時間は、RES# 端子が Low を保持するようにしてください。リセット構成の詳細については「10.3.5 リセット構成とエミュレータとの接続方法」を参照してください。

リセット解除後、CPU (Cortex-R4) がリセット例外処理を開始します。

RES# 端子リセットが発生すると、RSTSR0.TRF フラグに“1”がセットされます。

6.3.2 ECM リセット

ECM (Error Control Module) からのリセット要求により発生するリセットです。

ECM は発振停止検出などの重大なエラーを LSI 内部の各モジュールから受け付けており、エラー要因毎にリセットの要求を発生することができます。ECM の動作の詳細については「32. エラーコントロールモジュール (ECM)」を参照してください。ECM リセットが発生すると実行中の処理はすべて打ち切られ、本 LSI はリセット状態になります。

リセット解除後、CPU (Cortex-R4) がリセット例外処理を開始します。

ECM リセットが発生すると、RSTSR0.ECMRF フラグに“1”がセットされます。

6.3.3 ソフトウェアリセット

SWRR1 レジスタに“4321 A501h”を書くと発生する、ソフトウェアリセットです。ソフトウェアリセットが発生すると実行中の処理はすべて打ち切られ、本 LSI はリセット状態になります。

リセット解除後、CPU (Cortex-R4) がリセット例外処理を開始します。

ソフトウェアリセットが発生すると、RSTSR0.SWR1F フラグに“1”がセットされます。

6.3.4 リセット発生要因の判定

RSTSR0レジスタをリードすることで、どのリセット要因によりリセットが実行されたかを確認することができます。図 6.1 にリセット発生要因の判定フローを示します。

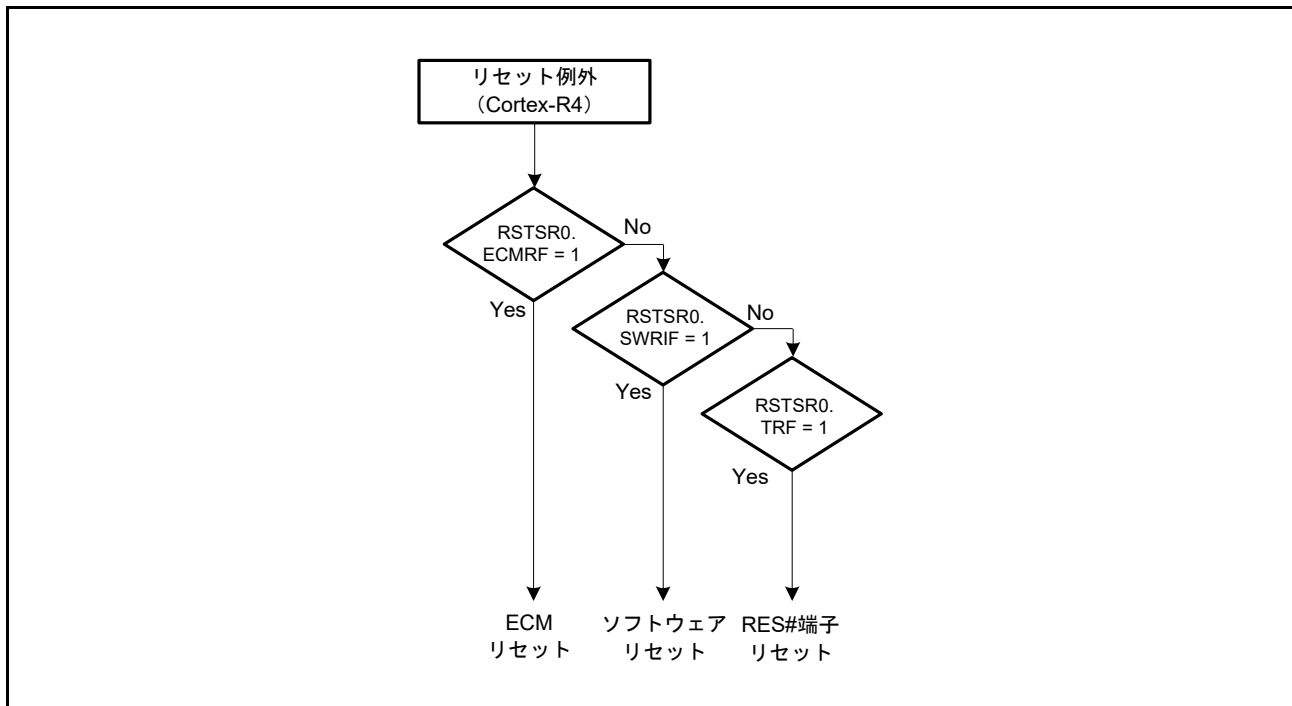


図 6.1 リセット発生要因判定フロー例

6.3.5 リセット出力端子 (RSTOUT#)

リセット出力端子 (RSTOUT#) は、RES# 端子の入力が Low でリセットが発生した時に Low を出力します。また、ECM リセット、ソフトウェアリセットが発生した場合も Low を出力します。

RES# 端子が規定時間だけ Low となった後に、High に変化すると、リセット出力は 500us (Typ.) の間、Low を保持した後で High に変化します。ECM リセット、ソフトウェアリセットが発生した場合もリセット出力は 500us (Typ.) の間、Low を保持した後で High に変化します。

6.3.6 リセット入力のノイズ除去

RES# 端子は、アナログ・ディレイによるノイズ対策を行っています。このノイズ対策により、100ns (Min.) 以内のノイズを除去できます。

6.4 使用上の注意事項

6.4.1 リセット出力端子 (RSTOUT#) について

RSTOUT# 信号が規定時間 Low を出力するのは、RES# 信号によるリセット解除後のタイミングです。このため、リセット出力端子 (RSTOUT#) を本 LSI のブート用フラッシュメモリのリセット信号として直接接続しないよう注意してください。

使用した場合、フラッシュメモリのリセット解除より前に本 LSI のリセットが解除される場合があります。RSTOUT# 信号の出力タイミングを満たす外部デバイスのリセット信号として使用することは可能です。

詳細については「6.3.5 リセット出力端子 (RSTOUT#)」を参照してください。

7. クロック発生回路

7.1 概要

本 LSI は、クロック発生回路を内蔵しています。

表 7.1 にクロック発生回路の仕様を示します。図 7.1 にクロック発生回路のブロック図を示します。

表 7.1 クロック発生回路の仕様

項目	仕様
メインクロック発振器	発振子周波数：25MHz
	接続できる発振子または付加回路：セラミック共振子、水晶振動子 接続端子：EXTAL、XTAL
	発振停止検出機能：メインクロックの発振停止検出時、LOCOに切り替える機能
PLL0回路	入力クロックソース：メインクロック発振器
	入力周波数：25MHz
	逡倍比：48逡倍
	PLL0回路出力クロック周波数：1200MHz 発振異常検出機能：CLMA0によるPLL0の発振異常検出時、メインクロックに切り替える機能
PLL1回路	入力クロックソース：PLL0の80分周クロック
	入力周波数：15MHz
	逡倍比：80逡倍
	PLL1回路出力クロック周波数：1200MHz 発振異常検出機能：CLMA1によるPLL1の発振異常検出時、メインクロックに切り替える機能
低速オンチップオシレータ (LOCO)	発振周波数：240kHz
	発振異常検出機能：CLMA2によるLOCOの発振異常検出が可能
JTAG用外部クロック入力 (TCK)	入力周波数：50MHz (max.)

表7.2 クロック発生回路の仕様（内部クロック）

項目	クロックソース	供給先	周波数
CPUクロック (CPUCLK)	PLL0 / PLL1の分周クロックから選択	CPU (Cortex-R4)	150MHz
システムクロック (ICLK)	PLL0 / PLL1の分周クロックから選択	DMAC、割り込みコントローラ	150MHz
高速周辺モジュールクロック (PCLKA)	PLL0 / PLL1の分周クロックから選択	周辺モジュール	150MHz
低速周辺モジュールクロック (PCLKB)	PLL0 / PLL1の分周クロックから選択	周辺モジュール	75MHz
低速周辺モジュールクロック (PCLKD)	PLL0の分周クロック	周辺モジュール (CRC, ECM, ELC, CMT, CMTW, RIICa)	75MHz
低速周辺モジュールクロック (PCLKE)	PLL0の分周クロック	周辺モジュール (WDTA)	~75MHz
高速シリアルクロック (SERICK)	PLL0の分周クロック	RSPIa、SCIFA	150MHz, 120MHz
USBクロック M (USBMCLK)	PLL0の分周クロック	USB PHY	50MHz
USBクロック P (USBPCLK)	PLL0の分周クロック	USB	30MHz
Ethernetクロック A (ETCLKA)	PLL0の分周クロック	EtherCAT	100MHz
Ethernetクロック D (ETCLKD)	PLL0の分周クロック	MDIOコントローラ (MDC_CLK)	~12.5MHz
Ethernetクロック E (ETCLKE)	メインクロック	Ether-PHY	25MHz
Ethernetクロック F (ETCLKF)	PLL0の分周クロック	EtherCAT	25MHz
RSCAN用クロック A (CANCLKA)	PLL0の分周クロック	RSCAN	24MHz
RSCAN用クロック B (CANCLKB)	メインクロック	RSCAN	25MHz
CLMA _n サンプリングクロック (CLMAMCLKA) (n = 1, 0)	メインクロックの2分周クロック	CLMA0, CLMA1	12.5MHz
CLMA2サンプリングクロック (CLMAMCLKB)	メインクロックの256分周クロック	CLMA2	97.6kHz
CLMA2モニタクロック (CLMALCLK)	LOCO	CLMA2	240kHz
CLMA0モニタクロック (CLMAPLCLK0)	PLL0の16分周クロック	CLMA0	75MHz
CLMA1モニタクロック (CLMAPLCLK1)	PLL1の16分周クロック	CLMA1	75MHz
IWDTクロック (IWDTCLK)	LOCOの2分周クロック	IWDT	120kHz
ECMクロック (ECMCKL)	LOCO	ECM	240kHz
JTAGクロック (JTAGTCK)	TCK	JTAG	~50MHz
トレースI/Fクロック (TCLK)	PLL0 / PLL1の分周クロックから選択	CoreSight TPIU	75MHz

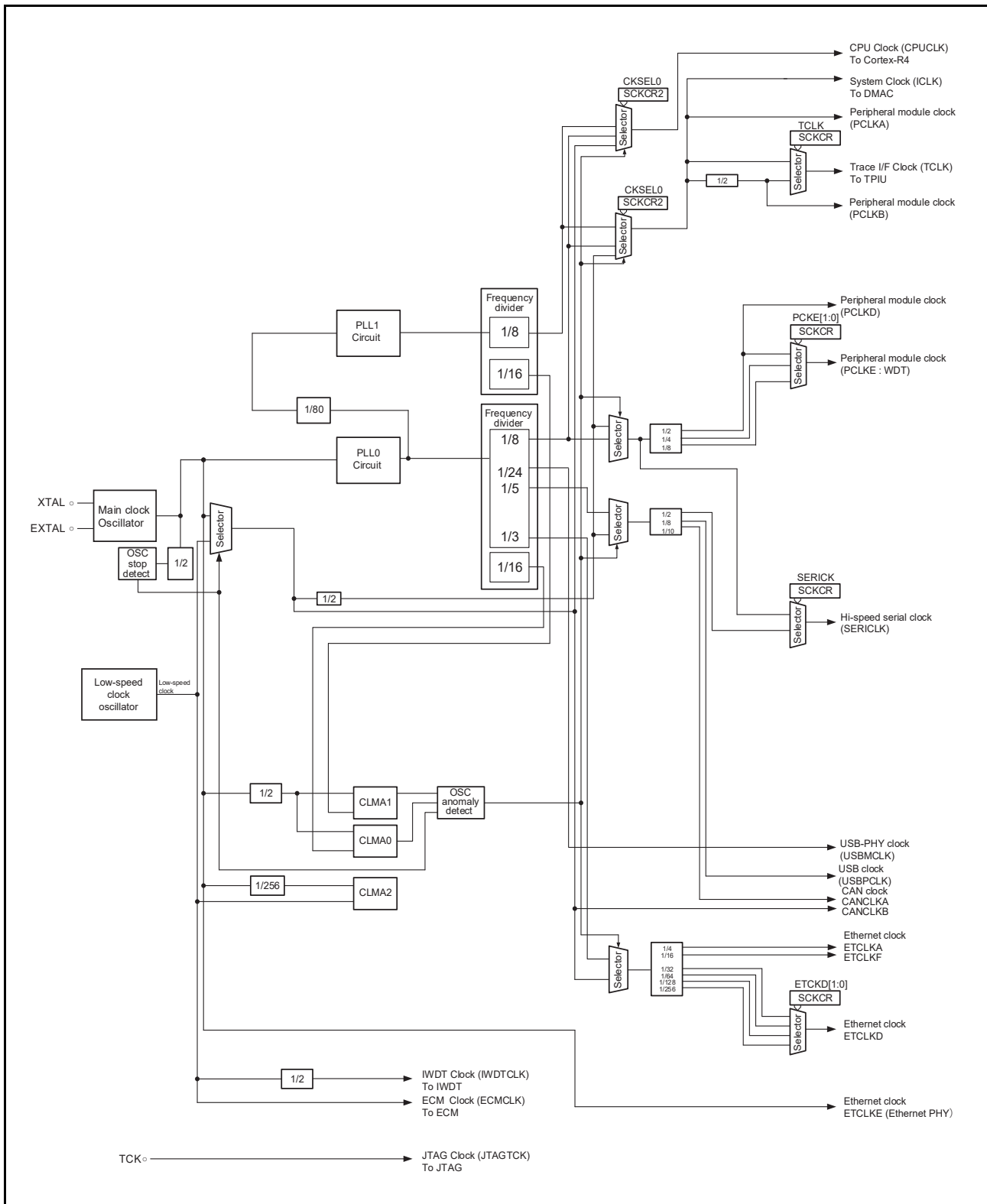


図 7.1 クロック発生回路のブロック図

表 7.3 にクロック発生回路の入出力端子を示します。

表 7.3 クロック発生回路の入出力端子

端子名	入出力	機能
XTAL	出力	発振子接続端子です。
EXTAL	入力	
TCK	入力	JTAG用のクロック入力です。
CLKOUT25M0	出力	EtherCAT PHY0にメインクロック (25MHz)、もしくはPLL0の分周クロック (50MHz) を供給します。
CLKOUT25M1	出力	EtherCAT PHY1にメインクロック (25MHz)、もしくはPLL0の分周クロック (50MHz) を供給します。

7.2 レジスタの説明

クロック発生器関連レジスタはレジスタライトプロテクションの対象レジスタです。レジスタに書き込みを行う場合は、プロテクトレジスタ (PRCR) のビット 0 の書き込み保護を解除してください。詳細については「11. レジスタライトプロテクション機能」を参照してください。

7.2.1 システムクロックコントロールレジスタ (SCKCR)

SCKCR レジスタはトレース I/F クロック (TCLK)、高速シリアルクロック (SERICK)、Ethernet クロック (ETCLKD)、周辺モジュールクロック (PCKE) の周波数を選択します。

アドレス A00B 0020h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	TCLK	—	—	—	SERICK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ETCKD[1:0]	—	—	—	—	—	—	—	—	—	PCKE[1:0]	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。	R/W
b5-b4	PCKE[1:0]	周辺モジュールクロック E (PCKE) セレクトビット	低速周辺モジュールクロック PCKE (WDTA) の供給クロックを選択します。 00 : 75MHz 01 : 37.5MHz 10 : 18.75MHz 上記以外は、設定しないでください。	R/W
b7-b6	—	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。	R/W
b8	—	予約ビット	読むと“1”が読み出されます。書き込みは“1”としてください。	R/W
b13-b9	—	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。	R/W
b15-b14	ETCKD[1:0]	Ethernet クロック D (ETCLKD) セレクトビット	Ethernet クロック ETCLKD (MDIO コントローラ) の供給クロックを選択します 00 : 12.5MHz 01 : 6.25MHz 10 : 3.125MHz 11 : 1.563MHz	R/W
b16	SERICK	高速シリアルクロック (SERICK) セレクトビット	高速シリアルクロック SERICK (RSPIa, SCIFA) の供給クロックを選択します。 0 : 150MHz 1 : 120MHz	R/W
b19-b17	—	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。	R/W
b20	TCLK	トレース I/F クロック (TCLK)	トレース I/F クロック TCLK (CoreSight TPIU) の供給クロックを選択します。 0 : 設定禁止 1 : 75MHz	R/W
b31-b21	—	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。	R/W

7.2.2 システムクロックコントロールレジスタ 2 (SCKCR2)

SCKCR2 レジスタは、システムクロックに供給するクロックソース (PLL0、PLL1) の選択を行います。

アドレス A00B 0024h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CKSEL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CKSEL0	システムクロックソース 選択ビット	CPUクロック (CPUCLK)、システムクロック (ICLK)、高速周辺モジュールクロック (PCLKA)、低速周辺モジュールクロック (PCLKB) のクロックソースを選択します。 停止しているクロックソースへの切替は禁止です。 0 : PLL0 選択 1 : PLL1 選択	R/W
b31-b1	—	予約ビット	読むと“0”が読み出されます。 書き込みは“0”としてください。	R/W

7.2.3 PLL1 コントロールレジスタ 2 (PLL1CR2)

PLL1CR2 レジスタは PLL1 回路の動作を制御します。

アドレス A00B 0038h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PLL1 EN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PLL1EN	PLL1 動作制御ビット	PLL1の動作/停止を制御します。 0 : PLL1停止 1 : PLL1動作 PLL1ENビット = “1”とした後、PLL発振安定待ち時間として100usをCPU内のループ処理、またはタイマでカウントしてください。PLL1の設定手順は図7.2を参照してください。	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

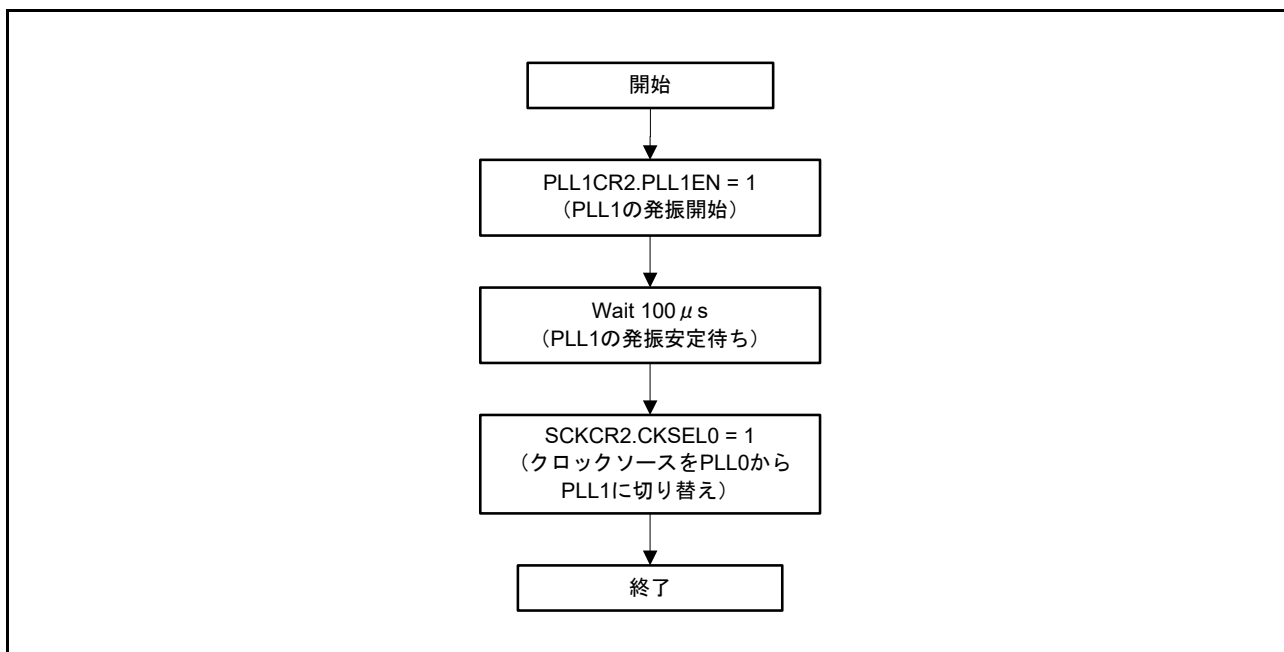


図 7.2 PLL1 の設定手順

7.2.4 低速オンチップオシレータコントロールレジスタ (LOCOCR)

LOCOCR レジスタは低速オンチップオシレータの動作を制御します。

アドレス A00B 0040h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LCSTP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	LCSTP	LOCO停止ビット	低速オンチップオシレータ (LOCO) の動作/停止を制御します。 0: 動作 1: 停止 LOCOクロックを使用する場合、本ビットでLOCOを動作設定した後、LOCO発振安定時間 (t_{LOCOWT}) が経過した後に、使用してください。	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- 注1. LOCOを停止した後、再度動作に設定にする場合、LCSTPビットで停止設定した後にLOCO発振安定時間 (t_{LOCOWT}) 以上経過してから、LCSTPビットの動作設定をしてください。
またLOCOの停止設定は、LOCOの発振が安定している状態で行ってください。
- 注2. OSTDCR.OSTDEビットで発振停止検出機能を有効にしているとき、LCSTPビットを“1” (LOCO停止) にする書き込みは禁止です。

7.2.5 発振停止検出コントロールレジスタ (OSTDCR)

OSTDCR レジスタは、メインクロックの発振停止検出機能の制御を行います。

アドレス A00B 004Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	OSTDE	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDIE	発振停止検出割り込み許可ビット	発振停止検出割り込み (OSTDI) の許可/禁止を設定します。 0: 発振停止割り込みを禁止 1: 発振停止割り込みを許可	R/W
b6-b1	—	予約ビット	読むと“0”が読み出されます。 書き込みは“0”としてください。	R/W
b7	OSTDE	発振停止検出機能許可ビット	発振停止検出機能の有効/無効の動作を設定します。 発振停止検出機能を有効に設定すると、低速オンチップオシレータコントロールレジスタ (LOCOCR) のLCSTP ビットも“0”となり、低速オンチップオシレータが動作します。(注1) 0: 発振停止検出機能は無効 1: 発振停止検出機能は有効	R/W
b31-b8	—	予約ビット	読むと“0”が読み出されます。 書き込みは“0”としてください。	R/W

注1. 発振停止検出機能が有効 (OSTDE ビット = “1”) のとき、低速オンチップオシレータを停止させることはできません。LOCOCR.LCSTP ビットへ“1”を書き込んでも、その書き込みは無視されます。

7.3 メインクロック発振器の入力選択

メインクロック発振器へクロックを供給するには、発振子を接続します。

7.3.1 発振子を接続する方法

発振子を接続する場合の接続例を図 7.3 に示します。

必要に応じてダンピング抵抗 (R_d) を挿入してください。抵抗値は発振子、発振駆動能力によって異なりますので発振子メーカーの推奨する値に設定してください。また、発振子メーカーから外部に帰還抵抗 (R_f) を追加するよう指示があった場合は、その指示にしたがって EXTAL、XTAL 間に R_f を挿入してください。

発振子を接続してクロックを供給する場合、接続する発振子は表 7.1 のメインクロック発振器の発振子周波数の範囲内としてください。

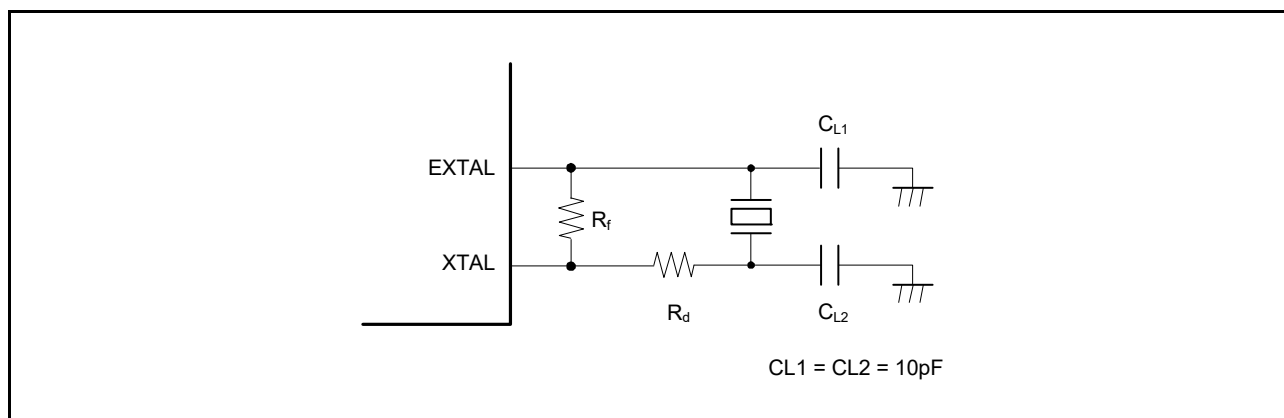


図 7.3 水晶振動子の接続例

表 7.4 ダンピング抵抗 (参考値)

周波数 (MHz)	25
R_d (Ω)	2.2K

水晶振動子の等価回路を図 7.4 に示します。水晶振動子は表 7.5 に示す特性のものを使用してください。

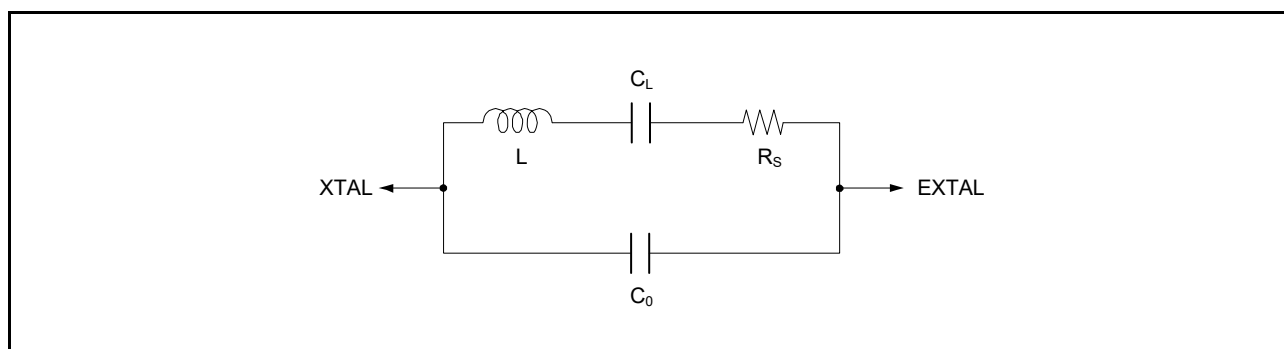


図 7.4 水晶振動子の等価回路

表 7.5 水晶振動子の特性 (参考値)

周波数 (MHz)	25
R_s max (Ω)	100

7.4 発振停止検出機能

7.4.1 発振停止検出と検出後の動作

発振停止検出機能は、メインクロック発振器の停止を検出し、システムクロックのクロックソースとしてメインクロック PLL0 クロックおよび PLL1 クロックの代わりに低速オンチップオシレータが出力する LOCO クロックを供給する機能です。

発振停止検出時には発振停止検出割り込み要求を発生させることができます。

本 LSI では、メインクロック発振器の異常などによって入力クロックが一定期間“0”または“1”となった場合に（「33.6 発振停止検出タイミング」の「表 33.26 発振停止検出回路特性」参照）、メインクロックの発振停止を検出します。

発振停止を検出すると、LOCO クロックに切り替わります。

リセット解除後、発振停止検出機能は無効です。発振停止検出機能を有効にする場合は、OSTDCR.OSTDE ビットを“1”にセットしてください。

発振停止検出によって LOCO クロックに切り替わるクロックは、PLL 0 クロック、PLL1 クロック、RSCAN 用クロック B (CANCLKB) です。

7.4.2 発振停止検出割り込み

発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) が“1” (発振停止検出割り込みを許可) のとき、発振停止検出割り込み (OSTDI) 要求が発生します。

また発振停止検出割り込みはエラー割り込みとして ECM (エラーコントロールモジュール) に接続されます。リセット解除後の初期状態では、「割り込み禁止」となっていますので、発振停止検出割り込みを使用する場合は、ECM でエラー割り込み検出時の動作として、マスクブル割り込み、もしくはノンマスクブル割り込みを選択してください。詳細は「32. エラーコントロールモジュール (ECM)」を参照してください。

7.5 PLL 発振異常検出機能

PLL 発振異常検出機能は、クロックモニタ回路 (CLMA0, CLMA1) による周波数監視により PLL0、PLL1 の発振異常を検出し、PLL0 クロック、PLL1 クロックの代わりにメインクロックを供給する機能です。CLMA の詳細については、「8. クロックモニタ回路 (CLMA)」を参照してください。

7.6 低速オンチップオシレータ発振異常検出

クロックモニタ回路 (CLMA2) による低速オンチップオシレータの発振異常検出を行うことができます。CLMA の詳細については、「8. クロックモニタ回路 (CLMA)」を参照してください。

7.7 PLL 回路

PLL 回路は、発振器からの周波数を通倍する機能を持っています。

7.8 内部クロック

内部クロックは、クロックソースとしてメインクロック、LOCO クロック、PLL0 クロック、PLL1 クロック、JTAG 用外部クロックがあり、これらのクロックから以下に示す 11 種類の内部クロックを生成します。

- (1) CPU の動作クロック：CPU クロック (CPUCLK)
- (2) DMAC、および割り込みコントローラの動作クロック：システムクロック (ICLK)
- (3) 周辺モジュールの動作クロック：周辺モジュールクロック (PCLKA、PCLKB、PCLKD、PCLKE)
- (4) 高速シリアルクロック用の動作クロック：高速シリアルクロック (SERICLK)
- (5) USB-PHY 用の動作クロック：USB クロック M (USBMCLK)
- (6) USB 用の動作クロック：USB クロック P (USBPCLK)
- (7) Ether 用の動作クロック：Ethernet クロック (ETCLKA、ETCLKD、ETCLKE、ETCLKF)
- (8) CLMA モジュール用の動作クロック：CLMA クロック (CLMAMCLKA、CLMAMCLKB、CLMALCLK、CLMAPLCLK0、CLMAPLCLK1)
- (9) IWDT モジュール用の動作クロック：IWDT 専用クロック (IWDTCLK)
- (10) JTAG モジュール用の動作クロック：JTAG クロック (JTAGTCK)
- (11) トレース I/F 用の動作クロック：トレース I/F クロック (TCLK)

7.8.1 CPU クロック (CPUCLK)

CPU クロック (CPUCLK) は、CPU の動作クロックです。
CPU の動作周波数は固定 (150MHz) です。設定することはできません。

7.8.2 システムクロック (ICLK)

システムクロック (ICLK) は、DMAC、および割り込みコントローラの動作クロックです。
ICLK の周波数は固定 (150MHz) です。設定することはできません。

7.8.3 高速周辺モジュールクロック (PCLKA)

高速周辺モジュールクロック (PCLKA) は、高速周辺モジュール用の動作クロックです。
PCLKA の周波数は固定 (150MHz) です。設定することはできません。

7.8.4 低速周辺モジュールクロック (PCLKB)

低速周辺モジュールクロック (PCLKB) は、低速周辺モジュール用の動作クロックです。
PCLKB の周波数は固定 (75MHz) です。設定することはできません。

7.8.5 低速周辺モジュールクロック (PCLKD、PCLKE)

非変調低速周辺モジュールクロック (PCLKD、PCLKE) は、低速周辺モジュール用の動作クロックです。
PCLKD の周波数は固定 (75MHz) です。設定することはできません。PCLKE の周波数は、SCKCR.PCKE[1:0] ビットにより設定します。

7.8.6 高速シリアルクロック (SERICLK)

高速シリアルクロック (SERICLK) は、SCIFA、および RSPIa の動作クロックです。
SERICLK の動作周波数は、SCKCR.SERICK ビットにより設定します。

7.8.7 USB クロック M (USBMCLK)

USB クロック M (USBMCLK) は、USB PHY 用の動作クロックです。
USBMCLK の動作周波数は固定 (50MHz) です。設定することはできません。

7.8.8 USB クロック P (USBPCLK)

USB クロック P (USBPCLK) は、USB 用の動作クロックです。
USBPCLK の動作周波数は固定 (30MHz) です。設定することはできません。

7.8.9 Ethernet クロック (ETCLKA、ETCLKD、ETCLKE、ETCLKF)

Ethernet クロック (ETCLKA、ETCLKD、ETCLKE、ETCLKF) は、EtherCAT 関連の動作クロックです。
ETCLKD の動作周波数は、SCKCR.ETCKD[1:0] ビットにより設定します。
ETCLKD 以外の動作周波数は固定です。設定することはできません。

7.8.10 CLMA クロック (CLMAMCLKA、CLMAMCLKB、CLMALCLK、CLMAPLCLK0、CLMAPLCLK1)

CLMA クロック (CLMAMCLKA、CLMAMCLKB、CLMALCLK、CLMAPLCLK0、CLMAPLCLK1) は、CLMA モジュール用の動作クロックです。

CLMAMCLKA/CLMAMCLKB は、メインクロックを分周したクロックです。

CLMALCLK は、低速オンチップオシレータで内部発振により生成されたクロックです。

CLMAPLCLK0/CLMAPLCLK1 は、PLL0/PLL1 回路で内部発振により生成されたクロックを分周したクロックです。

7.8.11 IWDT クロック (IWDTCLK)

IWDT クロック (IWDTCLK) は、IWDT モジュールの動作クロックです。

IWDTCLK は、低速オンチップオシレータで内部発振により生成されたクロックを2分周したクロックです。

7.8.12 ECM クロック (ECMCLK)

ECM クロック (ECMCLK) は、ECM モジュールのディレイカウンタ動作クロックです。

ECMCLK は、低速オンチップオシレータで内部発振により生成されたクロックです。

7.8.13 JTAG 用クロック

JTAG 用クロック (JTAGTCK) は、JTAG 用の動作クロックです。

JTAGTCK は、JTAG 用外部クロック (TCK) から生成されたクロックです。

7.8.14 トレース I/F クロック (TCLK)

トレース I/F クロック (TCLK) は、CoreSight 内のトレース I/F 用の動作クロックです。

TCLK は、PLL0 回路、PLL1 回路で内部発振により生成されたクロックを分周したクロックです。

本クロックを2分周したクロックがオンチップデバッガ用 CPU トレースクロック (TRACECLK) として、LSI 外部に出力されます。

7.9 使用上の注意事項

7.9.1 クロック発生回路に関する使用上の注意事項

- (1) SCKCR レジスタの設定により各モジュールに供給される高速シリアルクロック (SERICLK) は周波数変更前後で動作周波数が変わりますので注意してください。
- (2) WDTA カウント開始後に、PCLKE のクロック周波数の変更を実施しないでください。またクロック周波数の変更後に WDTA のカウントを開始する場合は、周波数変更が完了後に WDTA のカウントを開始するようにしてください。
- (3) MDIO コントローラ動作中に、ETCLKD のクロック周波数の変更を実施しないでください。また、クロック周波数の変更後にモジュールストップを解除する場合は、周波数変更が完了した事を確認してからモジュールストップを解除するようにしてください。
- (4) RSP1a (ch.0, ch.1)、SCIFA (ch.0 ~ ch.4) 動作中に、SERICLK のクロック周波数の変更を実施しないでください。またクロック周波数の変更後にモジュールストップを解除する場合は、周波数変更が完了した事を確認してからモジュールストップを解除するようにしてください。
- (5) クロック周波数を変更後、確実に次の処理を実行するためには、周波数変更の書き込みをした後、同レジスタを 3 回以上、ダミーリードしてから次の処理を実行してください。

7.9.2 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので、本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定数は発振子、実装回路の浮遊容量などによって異なるため、発振子メーカと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

7.9.3 ボード設計上の注意

発振子を使用する場合は、発振子およびコンデンサはできるだけ発振子接続端子の近くに配置してください。図 7.5 に示すように発振回路の近くには信号線を通過させないでください。電磁誘導によって正常に発振しなくなることがあります。

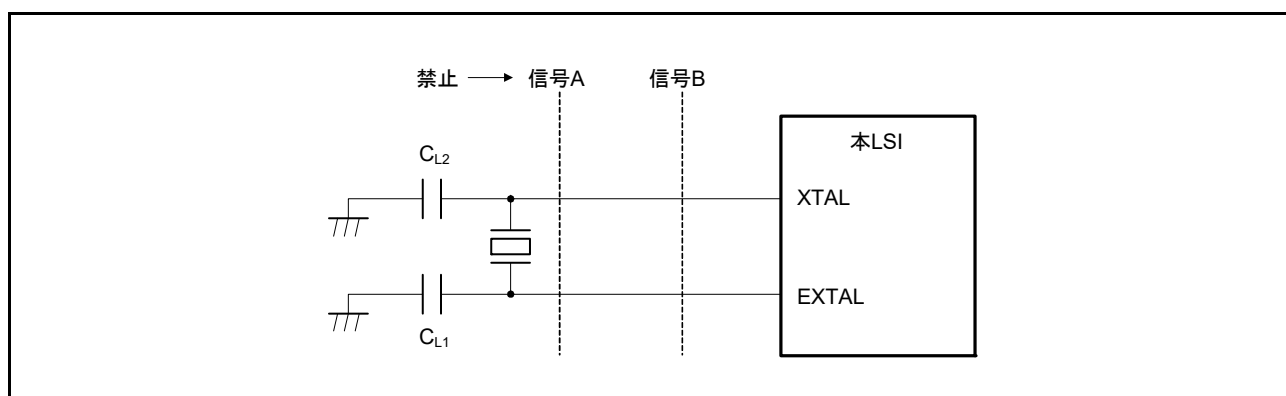


図 7.5 発振回路部のボード設計に関する注意事項

8. クロックモニタ回路 (CLMA)

クロックモニタ回路 (CLMA_n) (n=2-0) は、PLL0 出力、PLL1 出力および低速オンチップオシレータ (LOCO) 出力の周波数異常を検出し、エラー信号を出力します。

8.1 概要

CLMA_n (n=2-0) は PLL0 出力、PLL1 出力、およびオンチップオシレータ (LOCO) 出力の周波数異常を検出することが可能です。サンプリングクロックの 16 周期の間、モニタクロック (PLL0 出力、PLL1 出力、および LOCO 出力の分周クロック) の立ち上がりエッジをカウントし、カウント値をコンペア・レジスタと比較します。

CLMA_n (n=2-0) は異常検出時にエラーコントロールモジュール (ECM) に対してエラー信号を出力します。また PLL0 出力、PLL1 出力の異常検出時には、PLL0 出力、PLL1 出力の代わりにメインクロックを供給するようクロック切り替えを行います。

エラー信号の詳細については「32. エラーコントロールモジュール (ECM)」を参照してください。

表 8.1 CLMA_nの仕様 (n=2-0)

項目	内容
モニタクロック	以下のモニタクロック周波数の異常検出が可能です。 <ul style="list-style-type: none"> • PLL0出カクロックを16分周したクロック (CLMAPLCLK0、供給先はCLMA0) : 75MHz • PLL1出カクロックを16分周したクロック (CLMAPLCLK1、供給先はCLMA1) : 75MHz • 低速オンチップオシレータ (LOCO) 出カクロック (CLMALCLK、供給先はCLMA2) : 240kHz
サンプリングクロック	以下をサンプリングクロックとして、クロック周波数異常をモニタします。 <ul style="list-style-type: none"> • メインクロック周波数を2分周したクロック (CLMAMCLKA、供給先はCLMA0) : 12.5MHz • メインクロック周波数を2分周したクロック (CLMAMCLKA、供給先はCLMA1) : 12.5MHz • メインクロック周波数を256分周したクロック (CLMAMCLKB、供給先はCLMA2) : 97.66kHz
エラー信号出力	CLMA _n が周波数異常を検出すると、エラーコントロールモジュール (ECM) に対して、エラー信号を出力します。 <ul style="list-style-type: none"> • CLMA0発振停止検出エラー信号 • CLMA1発振停止検出エラー信号 • CLMA2発振停止検出エラー信号
異常検出時 クロック切り替え機能	PLL0出力、PLL1出力の異常検出時に、PLL0出力、PLL1出力の代わりにメインクロックを供給するようクロック切り替えを行います。

図 8.1 に CLMA_n (n=2-0) のブロック図を示します。

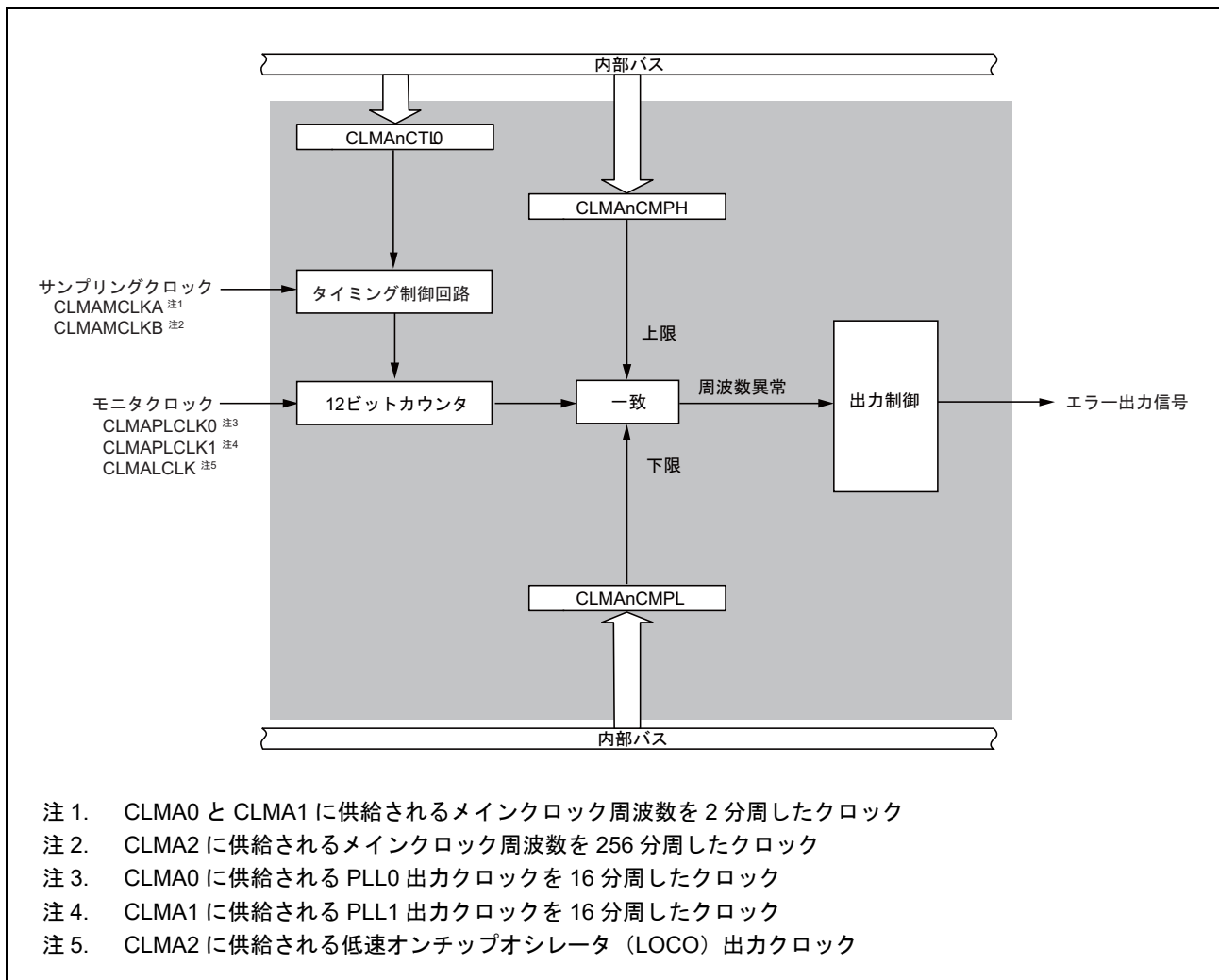


図 8.1 CLMA_n のブロック図 (n = 2-0)

8.2 レジスタの説明

8.2.1 CLMA_n 制御レジスタ 0 (CLMA_nCTL0) (n = 2-0)

CLMA_nCTL0 レジスタは、クロックモニタ回路 CLMA_n の動作を制御するレジスタです。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「8.3.1 CLMA_n の動作 (1) 動作許可」を参照してください。

アドレス CLMA0CTL0 : A009 0000h
 CLMA1CTL0 : A009 0020h
 CLMA2CTL0 : A009 0040h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	CLMA _n CLME

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CLMA _n CLME	クロックモニタ・イネーブル ビットn	クロックモニタ回路CLMA _n の動作許可／禁止を設定します (n = 2-0) 0 : CLMA _n 動作禁止 1 : CLMA _n 動作許可	R/W
b7-b1	—	予約ビット	読むと“0”が読み出されます。書く場合、“0”としてください。	R/(W)

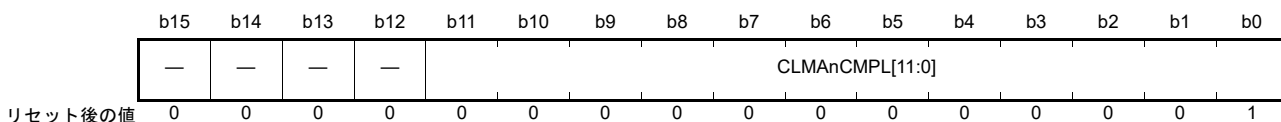
注1. 一度CLMA_nCLMEビット=“1”に設定した場合、リセット以外ではクリアされません。

8.2.2 CLMA_n コンペアレジスタ L (CLMA_nCMPL) (n = 2-0)

CLMA_nCMPL レジスタは、周波数領域比較の下限值を設定するレジスタです。

CLMA_nCMPL レジスタは、CLMA_nCLME ビット = “0” のとき、書き込み可能です。CLMA_nCLME ビット = “1” のときの書き込み動作は無効になります。

アドレス CLMA0CMPL : A009 0008h
 CLMA1CMPL : A009 0028h
 CLMA2CMPL : A009 0048h



ビット	シンボル	ビット名	機能	R/W
b11-b0	CLMA _n CMPL[11:0]	クロックモニタ・コンペアLビット	周波数領域の下限のしきい値を指定します (注1) • 詳細は「(2) しきい値 CLMA _n CMPL.CLMA _n CMPL[11:0] と CLMA _n CMPH.CLMA _n CMPH[11:0]の算出方法」を参照してください。 推奨値: $f_{\text{CLMATMON}}(\text{min}) / f_{\text{CLMATSMP}}(\text{max}) \times 16 - 1$ f_{CLMATMON} : モニタクロック周波数 f_{CLMATSMP} : サンプリングクロック周波数 • 最小値: 0001h	R/W
b15-b12	—	予約ビット	読むと“0”が読み出されます。書く場合、“0”としてください。	R/(W)

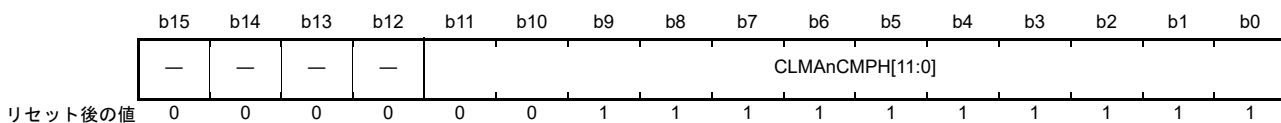
注1. CLMA_nCMPL レジスタの設定は次の条件を満たすように設定してください。
 • $1 \leq \text{CLMA}_n\text{CMPL}$
 • $\text{CLMA}_n\text{CMPL} + 3 \leq \text{CLMA}_n\text{CMPH}$

8.2.3 CLMA_n コンペアレジスタ H (CLMA_nCMPH) (n = 2-0)

CLMA_nCMPH レジスタは、周波数領域比較の上限値を設定するレジスタです。

CLMA_nCMPH レジスタは、CLMA_nCLME ビット = “0” のとき、書き込み可能です。CLMA_nCLME ビット = “1” のときの書き込み動作は無効になります。

アドレス CLMA0CMPH : A009 000Ch
 CLMA1CMPH : A009 002Ch
 CLMA2CMPH : A009 004Ch



ビット	シンボル	ビット名	機能	R/W
b11-b0	CLMA _n CMPH[11:0]	クロックモニタ・コンペアHビット	周波数領域の上限のしきい値を指定します (注1) • 詳細は「(2) しきい値 CLMA _n CMPL.CLMA _n CMPL[11:0] と CLMA _n CMPH.CLMA _n CMPH[11:0]の算出方法」を参照してください。 推奨値: $f_{\text{CLMATMON}}(\text{max}) / f_{\text{CLMATSMP}}(\text{min}) \times 16 + 1$ f_{CLMATMON} : モニタクロック周波数 f_{CLMATSMP} : サンプリングクロック周波数 • 最小値: CLMA _n CMPL + 0003h	R/W
b15-b12	—	予約ビット	読むと“0”が読み出されます。書く場合、“0”としてください。	R/(W)

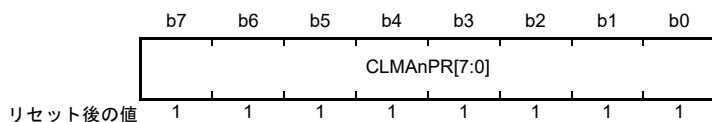
注1. CLMA_nCMPH レジスタの設定は次の条件を満たすように設定してください。
 • $1 \leq \text{CLMA}_n\text{CMPL}$
 • $\text{CLMA}_n\text{CMPL} + 3 \leq \text{CLMA}_n\text{CMPH}$

8.2.4 CLMA_n コマンドレジスタ (CLMA_nPCMD) (n = 2-0)

CLMA_nPCMD レジスタは、保護されたレジスタへの書き込み制御を行うレジスタです。

詳細は「8.3.1 CLMA_n の動作 (1) 動作許可」を参照してください。

アドレス CLMA0PCMD : A009 0010h
 CLMA1PCMD : A009 0030h
 CLMA2PCMD : A009 0050h



リセット後の値

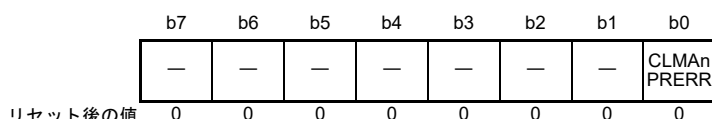
ビット	シンボル	ビット名	機能	R/W
b7-b0	CLMA _n PR[7:0]	CLMA _n プロテクトキーコード	特定の命令シーケンスを書き込みます。	W

8.2.5 CLMA_n プロテクションステータスレジスタ (CLMA_nPS) (n = 2-0)

CLMA_nPS レジスタは、保護されたレジスタに対して、正しく書き込みが行われたかどうかのステータスを示すレジスタです。書き込みが正しく行われなかった場合、プロテクション・エラーが発生し、CLMA_nPS.CLMA_nPRERR ビット = “1” となります。

詳細は「8.3.1 CLMA_n の動作 (1) 動作許可」を参照してください。

アドレス CLMA0PS : A009 0014h
 CLMA1PS : A009 0034h
 CLMA2PS : A009 0054h



リセット後の値

ビット	シンボル	ビット名	機能	R/W
b0	CLMA _n PRERR	CLMA _n エラービット	0 : プロテクション・エラーは発生していない 1 : プロテクション・エラーが発生している	R
b7-b1	—	予約ビット	読むと“0”が読み出されます。	R

8.3 動作説明

8.3.1 CLMA_n の動作

(1) 動作許可

クロックモニタ回路 CLMA_n (n=2-0) によるモニタクロック (PLL0 出力の 16 分周、PLL1 出力の 16 分周、LOCO 出力) の監視は、CLMA_nCTL0.CLMA_nCLME ビット="1" によって開始されます。

CLMA_nCTL0.CLMA_nCLME ビット="1" を書き込むには、次の命令シーケンスにしたがってください。

1. A5h を CLMA_nPCMD レジスタに書き込む。
2. 次のシーケンスで CLMA_nCTL0 に書き込む。
 - 目的の設定値 (01h) を書き込む
 - 目的の反転値 (FEh) を書き込む
 - 再度目的の値 (01h) を書き込む
3. CLMA_nCTL0 を読み出します。

CLMA_nCTL0 の値が 01h になっていれば、CLMA_n の動作が有効になっています。

それ以外の場合は、CLMA_n プロテクションステータスレジスタ (CLMA_nPS) の値を確認します。

CLMA_nPS = 01h の場合、命令シーケンスが正しく実行されていません。手順 1 から再度シーケンスを実行し、書き込みを行ってください。

(2) 動作停止

モニタクロックがレジスタ操作により停止した場合は、対応するクロックモニタ回路 CLMA_n も自動的に無効になります。その後、モニタクロックが再度、発振を開始して、安定すると、クロックモニタ回路 CLMA_n は動作を再開します。

8.3.2 異常クロック周波数の検出

(1) 検出方法

- CLMA_nは、サンプリングクロック（メインクロック周波数の分周クロック）の16周期内でモニタクロック（PLL0出力の16分周、PLL1出力の16分周、LOCO出力）の立ち上がりエッジをカウントし、このカウント値と設定したしきい値とを比較します（ $n=2-0$ ）。
 - CLMA_nCMPL.CLMA_nCMPL[11:0]は周波数領域下限のしきい値を指定します。
 - CLMA_nCMPH.CLMA_nCMPH[11:0]は周波数領域上限のしきい値を指定します。
- モニタクロックが停止した場合、または期待する周波数よりも低い場合は、カウント値はCLMA_nCMPL.CLMA_nCMPL[11:0]の設定値を下回ります。
- モニタクロックが期待する周波数よりも高い場合は、カウント値がCLMA_nCMPH.CLMA_nCMPH[11:0]の設定値を上回ります。

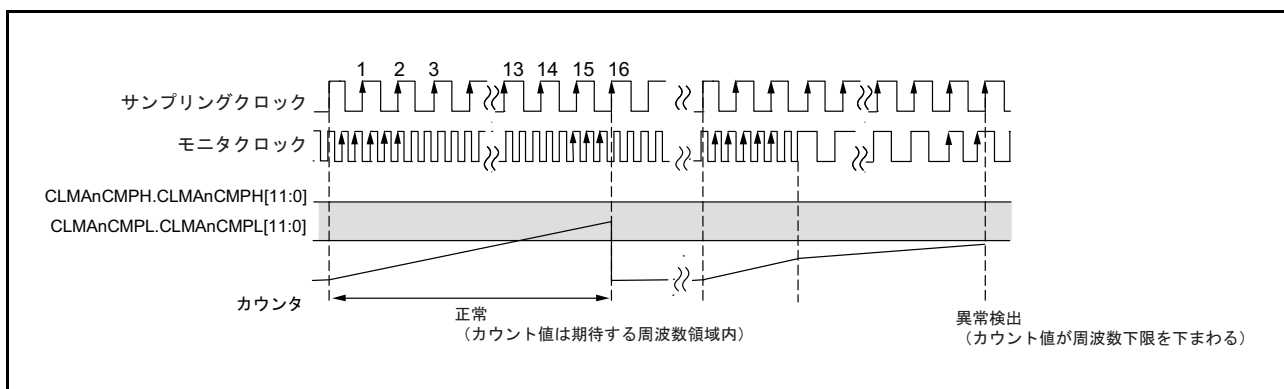


図 8.2 モニタクロックが期待する周波数より低い場合の例

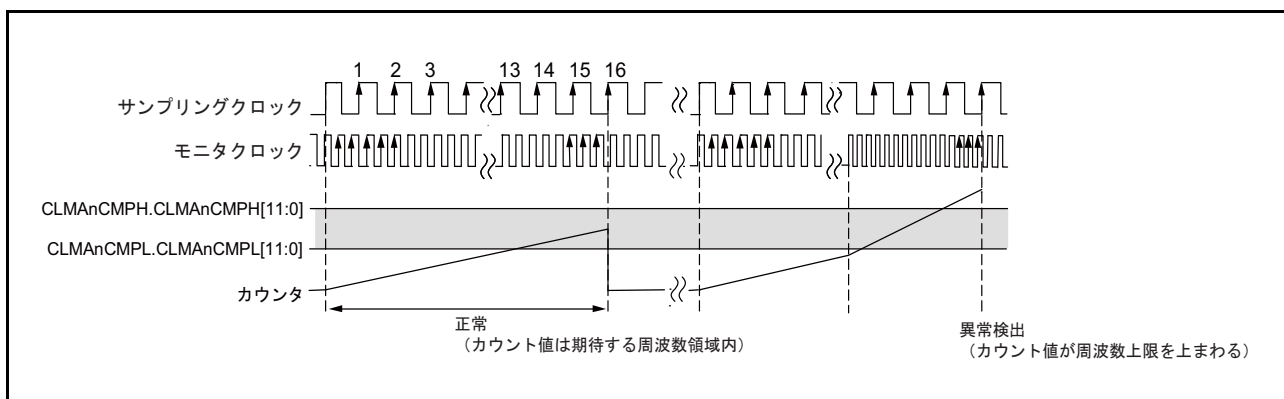


図 8.3 モニタクロックが期待する周波数より高い場合の例

- 注 1. サンプリング周期内でモニタクロック周波数が変化し、結果的に有効なカウント値に収まる場合は異常検出されません。モニタクロックの異常検出は1回のサンプリング周期（サンプリングクロックの16周期）の後に検出されます。

(2) しきい値 CLMA_nCMPL.CLMA_nCMPL[11:0] と CLMA_nCMPH.CLMA_nCMPH[11:0] の算出方法

コンペアレジスタ CLMA_nCMPL と CLMA_nCMPH には、サンプリングクロック（メインクロック周波数の分周クロック）の 16 周期内で正常と想定されるモニタクロックのサイクル数（立ち上がりエッジ数）の最小値と最大値を設定します。

サンプリングクロック周波数を $f_{\text{CLMATSMPL}}$ 、モニタクロック周波数を f_{CLMATMON} 、またサンプリングクロック 16 周期内で期待される、モニタクロックのサイクル数（立ち上がりエッジ数）を N で表します。

$$\frac{16}{f_{\text{CLMATSMPL}}} = \frac{N}{f_{\text{CLMATMON}}}$$

$$N = \frac{f_{\text{CLMATMON}}}{f_{\text{CLMATSMPL}}} \times 16$$

モニタクロックとサンプリングクロックの許容周波数偏差を考慮して、次の式でしきい値を計算します。

$$\begin{aligned} \text{下限しきい値} &= N_{\min} \\ &= \frac{f_{\text{CLMATMON}(\min)}}{f_{\text{CLMATSMPL}(\max)}} \times 16 - 1 \end{aligned}$$

$$\begin{aligned} \text{上限しきい値} &= N_{\max} \\ &= \frac{f_{\text{CLMATMON}(\max)}}{f_{\text{CLMATSMPL}(\min)}} \times 16 + 1 \end{aligned}$$

注. しきい値は必ず次の範囲で設定してください。

$$\text{CLMA}_n\text{CMPL} \geq 0001_{\text{H}}$$

$$\text{CLMA}_n\text{CMPH} \geq \text{CLMA}_n\text{CMPL} + 0003_{\text{H}}$$

例 CLMA0 の場合

例えば、サンプリングクロックがメインクロック周波数の 2 分周 $f_{\text{CLMATSMPL}} = 12.5\text{MHz}$ ($\pm 5\%$)、またモニタクロックが PLL0 出力の 16 分周 $f_{\text{CLMATMON}} = 75\text{MHz}$ ($\pm 5\%$) の場合、推奨されるしきい値は次のようになります。

$$\begin{aligned} N_{\min} &= f_{\text{CLMATMON}}(\min) / f_{\text{CLMATSMPL}}(\max) = 71.25 / 13.125 \times 16 - 1 \\ &= 85.86 \\ \text{CLMA}_{\text{n}}\text{CMPL} &= 86 = 0056\text{h} \end{aligned}$$

$$\begin{aligned} N_{\max} &= f_{\text{CLMATMON}}(\max) / f_{\text{CLMATSMPL}}(\min) = 78.75 / 11.875 \times 16 + 1 \\ &= 107.11 \\ \text{CLMA}_{\text{n}}\text{CMPH} &= 107 = 006\text{Bh} \end{aligned}$$

8.3.3 異常クロック周波数の検出

モニタクロック周波数 (PLL0 出力の 16 分周、PLL1 出力の 16 分周、LOCO 出力) がしきい値の上限よりも高い、もしくは下限よりも低い場合、エラーコントロールモジュール (ECM) に対して、それぞれ以下のエラー信号を出力します。

- CLMA0 発振停止検出エラー信号
- CLMA1 発振停止検出エラー信号
- CLMA2 発振停止検出エラー信号

エラー信号の詳細については「32. エラーコントロールモジュール (ECM)」を参照してください。

8.4 CLMA_n 使用上の注意事項

CLMA_n が異常を検出したクロックは使用しないでください。使用した場合、デバイスの動作は保証されません。

9. 消費電力低減機能

9.1 概要

本 LSI は、消費電力低減機能として Cortex-R4 のスタンバイ機能、周辺モジュールごとに機能を停止するモジュールストップ機能があります。また CLKOUT25Mn 出力制御機能 (n = 1, 0) などのクロック制御による消費電力低減が可能です。

表 9.1 に消費電力低減機能の仕様を、表 9.2 に各周辺モジュールの停止、動作の方法を示します。

表 9.1 消費電力低減機能の仕様

項目	内容
低消費電力状態	スタンバイモード (Cortex-R4)
モジュールストップ機能	周辺モジュールごとに機能を停止させることが可能
CLKOUT25Mn (n = 1, 0) 出力制御機能	CLKOUT25Mn (n = 1, 0) クロック出力または停止 (Low 固定) の選択が可能

表 9.2 各周辺モジュールの動作停止、解除方法

モジュール	動作停止、解除方法	初期状態 (注1)
Cortex-R4	停止条件: Wait For Interrupt (WFI) 命令の実行 解除条件: 割り込み	動作
内部バス	常に動作	動作
密結合メモリ (ATCM, BTCM)	アクセス時のみ動作	アクセス時のみ動作
割り込みコントローラ	常に動作	動作
エラーコントロールモジュール (ECM)	常に動作	動作
コンペアマッチタイマ (CMT)	制御レジスタ設定による停止、解除	停止
コンペアマッチタイマ W (CMTW)	制御レジスタ設定による停止、解除	停止
EtherCAT スレーブコントローラ (ESC)	制御レジスタ設定による解除 (注2)	停止
MDIO コントローラ	制御レジスタ設定による解除 (注2)	停止
シリアルペリフェラルインタフェース (RSPIa)	制御レジスタ設定による停止、解除	停止
FIFO 内蔵シリアルコミュニケーションインタフェース (SCIFA)	制御レジスタ設定による停止、解除	停止
I ² C バスインタフェース (RIICa)	制御レジスタ設定による停止、解除	停止
CAN モジュール (RSCAN)	制御レジスタ設定による停止、解除	停止
クロックモニタ回路 (CLMA)	制御レジスタ設定による停止、解除	停止
CRC 演算器 (CRC)	制御レジスタ設定による停止、解除	停止
SPI マルチ I/O バスコントローラ (SPIBSC)	制御レジスタ設定による停止、解除	停止 (注3)
イベントリンクコントローラ (ELC)	制御レジスタ設定による停止、解除	停止
USB	制御レジスタ設定による停止、解除	停止
ダイレクトメモリアクセスコントローラ (DMAC)	制御レジスタ設定による停止、解除	動作
I/O ポート	常に動作	動作
CoreSight	制御レジスタ設定による停止、解除	動作
ウォッチドッグタイマ (WDTA)	常に動作	動作
独立ウォッチドッグタイマ (IWDTa)	常に動作	動作

注 1. RES# 端子リセット、エラーコントロールモジュール (ECM) リセットおよびソフトウェアリセットによって各モジュールは初期状態になります。

注 2. 本モジュールは、制御レジスタ設定による停止は禁止です。詳細については「9.2.2 モジュールストップコントロールレジスタ B (MSTPCRB)」を参照してください。

注 3. SPI マルチ I/O バスコントローラ (SPIBSC) は、リセット解除後に選択した動作モードによってブート処理後の状態が異なります。詳細については「3. 動作モード」を参照してください。

9.2 レジスタの説明

各レジスタはレジスタライトプロテクション機能の対象です。レジスタに書き込みを行う場合は、プロテクトレジスタ (PRCR) のビット1の書き込み保護を解除してください。詳細については「11. レジスタライトプロテクション機能」を参照してください。

9.2.1 モジュールストップコントロールレジスタ A (MSTPCRA)

MSTPCRA レジスタは、モジュールストップ状態の制御を行います。

モジュールストップ状態の解除を行う手順については「9.3.1 モジュールストップ機能」を参照してください。

アドレス A00B 0300h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	MSTPCRA4	MSTPCRA3	MSTPCRA2	MSTPCRA1	MSTPCRA0
リセット後の値	0	0	0	0	1	0	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	MSTPCRA0	CMTW ユニット1 モジュールストップ設定ビット	対象モジュール：CMTW ユニット1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b1	MSTPCRA1	CMTW ユニット0 モジュールストップ設定ビット	対象モジュール：CMTW ユニット0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b2	MSTPCRA2	CMT ユニット2 モジュールストップ設定ビット	対象モジュール：CMT ユニット2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b3	MSTPCRA3	CMT ユニット1 モジュールストップ設定ビット	対象モジュール：CMT ユニット1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b4	MSTPCRA4	CMT ユニット0 モジュールストップ設定ビット	対象モジュール：CMT ユニット0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b9-b5	—	予約ビット	読むと“1”が読み出されます。書き込みは“1”としてください。	R/W
b10	—	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。	R/W
b11	—	予約ビット	読むと“1”が読み出されます。書き込みは“1”としてください。	R/W
b31-b12	—	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。	R/W

9.2.2 モジュールストップコントロールレジスタ B (MSTPCRB)

MSTPCRB レジスタは、モジュールストップ状態の制御を行います。

モジュールストップ状態の解除を行う手順については「9.3.1 モジュールストップ機能」を参照してください。

アドレス A00B 0304h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	MSTPC RB19	MSTPC RB18	—	MSTPC RB16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MSTPC RB15	—	MSTPC RB13	MSTPC RB12	—	—	MSTPC RB9	MSTPC RB8	MSTPC RB7	MSTPC RB6	MSTPC RB5	—	—	MSTPC RB2	MSTPC RB1	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。	R/W
b1	MSTPCRB1	RSCAN モジュールストップ設定ビット	対象モジュール：RSCAN 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b2	MSTPCRB2	RIICa チャンネル1 モジュールストップ設定ビット	対象モジュール：RIICa チャンネル1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b4-b3	—	予約ビット	読むと“1”が読み出されます。書き込みは“1”としてください。	R/W
b5	MSTPCRB5	SCIFA チャンネル4 モジュールストップ設定ビット	対象モジュール：SCIFA チャンネル4 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b6	MSTPCRB6	SCIFA チャンネル3 モジュールストップ設定ビット	対象モジュール：SCIFA チャンネル3 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b7	MSTPCRB7	SCIFA チャンネル2 モジュールストップ設定ビット	対象モジュール：SCIFA チャンネル2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b8	MSTPCRB8	SCIFA チャンネル1 モジュールストップ設定ビット	対象モジュール：SCIFA チャンネル1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b9	MSTPCRB9	SCIFA チャンネル0 モジュールストップ設定ビット	対象モジュール：SCIFA チャンネル0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b11-b10	—	予約ビット	読むと“1”が読み出されず。書き込みは“1”としてください。	R/W
b12	MSTPCRB12	RSPIa チャンネル1 モジュールストップ設定ビット	対象モジュール：RSPIa チャンネル1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b13	MSTPCRB13	RSPIa チャンネル0 モジュールストップ設定ビット	対象モジュール：RSPIa チャンネル0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b14	—	予約ビット	読むと“1”が読み出されます。書き込みは“1”としてください。	R/W
b15 (注1)	MSTPCRB15	ESC モジュールストップ設定ビット	対象モジュール：ESC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

ビット	シンボル	ビット名	機能	R/W
b16 (注1)	MSTPCRB16	MDIOコントローラ モジュールストップ設定ビット	対象モジュール：MDIOコントローラ 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b17	—	予約ビット	読むと“1”が読み出されます。書き込みは“1”としてください。	R/W
b18 (注1)	MSTPCRB18	MDIOコントローラ モジュールストップ設定ビット	対象モジュール：MDIOコントローラ 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b19 (注1)	MSTPCRB19	CLKOUT25Mn (Ether PHYク ロック出力) 停止設定ビット (n = 1, 0)	0：CLKOUT25Mn端子のクロック出力を許可 1：CLKOUT25Mn端子のクロック出力を停止 (Low固 定)	R/W
b31-b20	—	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。	R/W

注1. EtherCAT関連機能は、初期状態は停止状態となっています。使用する場合はMSTPCRB.MSTPCRB15, MSTPCRB16, MSTPCRB18, MSTPCRB19ビットの設定を行い、モジュールストップを解除してください。ただし、いったん、モジュールストップを解除した後に再度モジュールストップ設定を行うことは禁止です。2度目のモジュールストップ解除後の動作を保証することができません。リセットにより初期状態（停止状態）となった後に、改めてモジュールストップを解除することは可能です。また、MDIOコントローラのモジュールストップを解除する場合、MSTPCRB.MSTPCRB16ビットとMSTPCRB.MSTPCRB18ビットはいずれも“0”に設定する必要があります。

9.2.3 モジュールストップコントロールレジスタ C (MSTPCRC)

MSTPCRC レジスタは、モジュールストップ状態の制御を行います。

モジュールストップ状態の解除を行う手順については「9.3.1 モジュールストップ機能」を参照してください。

アドレス A00B 0308h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	MSTPCRC14	MSTPCRC13	MSTPCRC12	MSTPCRC11	—	MSTPCRC9	—	—	MSTPCRC6	—	—	—	—	MSTPCRC1	—
リセット後の値	0	1	1	1	1	1	1 (注1)	1	0	1	1	1	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。	R/W
b1	MSTPCRC1	USB モジュールストップ設定ビット	対象モジュール：USB 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b5-b2	—	予約ビット	読むと“1”が読み出されます。書き込みは“1”としてください。	R/W
b6	MSTPCRC6	ELC モジュールストップ設定ビット	対象モジュール：ELC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b7	—	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。	R/W
b8	—	予約ビット	読むと“1”が読み出されます。書き込みは“1”としてください。	R/W
b9	MSTPCRC9	SPIBSC モジュールストップ設定ビット	対象モジュール：SPIBSC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b10	—	予約ビット	読むと“1”が読み出されます。書き込みは“1”としてください。	R/W
b11	MSTPCRC11	CRC モジュールストップ設定ビット	対象モジュール：CRC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b12	MSTPCRC12	CLMA ユニット2 モジュールストップ設定ビット	対象モジュール：CLMA ユニット2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b13	MSTPCRC13	CLMA ユニット1 モジュールストップ設定ビット	対象モジュール：CLMA ユニット1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b14	MSTPCRC14	CLMA ユニット0 モジュールストップ設定ビット	対象モジュール：CLMA ユニット0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31-b15	—	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。	R/W

注1. SPIマルチI/Oバスコントローラ (SPIBSC) は、ローダ用パラメータの設定によってブート処理後の状態が異なります。詳細については「3.4.2 ローダ用パラメータ」を参照してください。

9.2.4 モジュールストップコントロールレジスタ E (MSTPCRE)

MSTPCRE レジスタは、モジュールストップ状態の制御を行います。

モジュールストップ状態の解除を行う手順については「9.3.1 モジュールストップ機能」を参照してください。

アドレス A00B 0310h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	MSTPCRE5	MSTPCRE4	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“1”が読み出されます。書き込みは“1”としてください。	R/W
b3-b1	—	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。	R/W
b4	MSTPCRE4	DMAC ユニット1 モジュールストップ設定ビット	対象モジュール：DMAC ユニット1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b5	MSTPCRE5	DMAC ユニット0 モジュールストップ設定ビット	対象モジュール：DMAC ユニット0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31-b6	—	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。	R/W

9.2.5 モジュールストップコントロールレジスタ F (MSTPCRF)

MSTPCRF レジスタは、モジュールストップ状態の制御を行います。

モジュールストップ状態の解除を行う手順については「9.3.1 モジュールストップ機能」を参照してください。

アドレス A00B 0314h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MSTPCRF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTPCRF0	CoreSight モジュールストップ設定ビット	対象モジュール：CoreSight 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31-b1	—	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。	R/W

9.3 動作説明

9.3.1 モジュールストップ機能

モジュールストップ機能は内蔵周辺機能のモジュール単位で動作の停止設定をすることができます。

MSTPCRA ~ MSTPCRC、MSTPCRE、MSTPCRF レジスタの対応する MSTPmi ビット (m = A-C, E, F, i = 31-0) を“1”にセットすると、モジュールは動作を停止してモジュールストップ状態へ遷移します。

対応する MSTPmi ビット (m = A-C, E, F, i = 31-0) を“0”にクリアすることによって、モジュールストップ状態は解除されます。

表 9.3 に示す周辺モジュールのモジュールストップ状態を解除する場合は、以下の手順でモジュールストップ状態を解除してください。表 9.3 に記載のない周辺モジュールは下記の手順は不要です。ただし各周辺機能の章に記載される初期化手順にしたがって設定をしてください。

手順：

- (1) モジュールストップ状態を解除するため、モジュールストップコントロールレジスタ MSTPCRm (m = A ~ C, E, F) の対応ビットを“0”にクリアした直後に、当該 MSTPCRm レジスタを一度ダミーリードしてください。
- (2) モジュールストップ状態を解除した対象周辺機能の任意のレジスタに対し、一度ダミーリードしてください。その後、対象周辺機能の各レジスタへアクセスが可能です。

備考：MPU による周辺 I/O レジスタ領域属性の設定は、ストロングリオーダまたはデバイスを前提としています。

記述例：

```
volatile unsigned long dummy;           // 変数の最適化防止のためvolatileを宣言

SYSTEM.MSTPCRA.BIT.MSTPCRA0 = 0;      // CMTWユニット1のモジュールストップ解除
dummy = SYSTEM.MSTPCRA.BIT.MSTPCRA0;  // 手順(1) MSTPCRm レジスタのダミーリード

dummy = CMTW1.CMWIOR.WORD;            // 手順(2) CMTWユニット1の任意レジスタをダミーリード
CMTW1.CMWIOR.WORD = 0x81;             // CMTWユニット1の最初の設定（設定値は例）
```

リセット解除後のモジュールの初期状態については、「表 9.2 各周辺モジュールの動作停止、解除方法」を参照してください。

注． モジュールストップ設定直後に、そのモジュールの制御レジスタに書き込みを行なった場合、書きこめる場合があります。

表9.3 モジュールストップ解除手順の必要な周辺機能 (1/2)

周辺機能	対応するモジュールストップコントロールレジスタ
CMTWユニット1	MSTPCRAレジスタ MSTPCRA0ビット
CMTWユニット0	MSTPCRAレジスタ MSTPCRA1ビット
CMTユニット2	MSTPCRAレジスタ MSTPCRA2ビット
CMTユニット1	MSTPCRAレジスタ MSTPCRA3ビット
CMTユニット0	MSTPCRAレジスタ MSTPCRA4ビット
RSCAN	MSTPCRBレジスタ MSTPCRB1ビット
RIICa チャンネル1	MSTPCRBレジスタ MSTPCRB2ビット

表9.3 モジュールストップ解除手順の必要な周辺機能 (2 / 2)

周辺機能	対応するモジュールストップコントロールレジスタ
SCIFA チャンネル4	MSTPCRB レジスタ MSTPCRB5 ビット
SCIFA チャンネル3	MSTPCRB レジスタ MSTPCRB6 ビット
SCIFA チャンネル2	MSTPCRB レジスタ MSTPCRB7 ビット
SCIFA チャンネル1	MSTPCRB レジスタ MSTPCRB8 ビット
SCIFA チャンネル0	MSTPCRB レジスタ MSTPCRB9 ビット
RSPIa チャンネル1	MSTPCRB レジスタ MSTPCRB12 ビット
RSPIa チャンネル0	MSTPCRB レジスタ MSTPCRB13 ビット
ELC	MSTPCRC レジスタ MSTPCRC6 ビット
SPIBSC	MSTPCRC レジスタ MSTPCRC9 ビット
CRC	MSTPCRC レジスタ MSTPCRC11 ビット
CLMA ユニット2	MSTPCRC レジスタ MSTPCRC12 ビット
CLMA ユニット1	MSTPCRC レジスタ MSTPCRC13 ビット
CLMA ユニット0	MSTPCRC レジスタ MSTPCRC14 ビット
DMAC ユニット1	MSTPCRE レジスタ MSTPCRE4 ビット
DMAC ユニット0	MSTPCRE レジスタ MSTPCRE5 ビット

9.3.2 Cortex-R4 のスタンバイモード

9.3.2.1 Cortex-R4 のスタンバイモードへの遷移

Cortex-R4 のスタンバイモードへの遷移については WFI 命令の実行により行われます。スタンバイモードへの遷移により Cortex-R4 は動作を停止し、電力を低減することが可能です。詳細については Arm 社提供のテクニカルリファレンスマニュアルを参照してください。

9.3.2.2 Cortex-R4 のスタンバイモードの解除

Cortex-R4 のスタンバイモードの解除は、割り込み、RES# 端子リセット、ECM リセットおよびソフトウェアリセットによって行われます。

- 割り込みによる解除

割り込みが発生すると、割り込みが発生した CPU のスタンバイモードまたはスリープモードが解除され、割り込み例外処理を開始します。ノンマスカブル割り込み、および以下の条件を満たすマスカブル割り込みによって解除されます。

- (1) 割り込みイネーブル・レジスタにより該当する割り込み要求が許可されている
- (2) DMAC 要因選択レジスタによって、DMAC への割り付けがされていない

- リセットによる解除

Cortex-R4 は RES# 端子リセット、ECM リセットおよびソフトウェアリセット解除後に、リセット例外処理を開始します。

リセットの詳細については「6. リセット」を参照してください。

9.4 使用上の注意事項

9.4.1 I/O ポートの状態

I/O の消費電力を低減させるためには、I/O のコントロールによる端子処理が必要です。詳細は「16. I/O ポート」を参照してください。

9.4.2 DMAC のモジュールストップ

DMAC 動作中にモジュールストップ設定を行うことは禁止です。モジュールストップ設定を行う前に必ず DMAC が動作停止していることを確認してください。

詳細は、「14. DMA コントローラ (DMACAa)」を参照してください。

9.4.3 モジュールストップ中の内蔵周辺モジュールの割り込み

モジュールストップ状態の周辺モジュールは割り込みの動作ができません。このためモジュールの割り込み処理中、または DMAC による DMA 転送中などに当該モジュールのモジュールストップ設定を行うと、CPU の割り込み要因または DMAC の起動要因のクリアが行えません。モジュールストップ設定の前に、該当する割り込みをディスエーブルにするなどした後に設定を行ってください。

9.4.4 USB の低消費電力

USB のモジュールストップ設定を解除する手順、および低消費電力状態にする方法は、「23. USB2.0HS ホストモジュール (USBh)」および「24. USB2.0HS ファンクションモジュール (USBf)」を参照してください。

9.4.5 EtherCAT 関連機能の低消費電力

EtherCAT 関連機能は、初期状態は停止状態となっています。使用する場合は MSTPCRB.MSTPCRB15, MSTPCRB16, MSTPCRB18, MSTPCRB19 ビットの設定を行い、モジュールストップを解除してください。ただし、いったん、モジュールストップを解除した後に再度モジュールストップ設定を行うことは禁止です。2 度目のモジュールストップ解除後の動作を保証することができません。リセットにより初期状態（停止状態）となった後に、改めてモジュールストップを解除することは可能です。

9.4.6 ライトプロテクション機能

モジュールストップコントロールレジスタ (MSTPCRA ~ MSTPCRC、MSTPCRE、MSTPCRF) はレジスタライトプロテクションの対象レジスタです。MSTPCRA ~ MSTPCRC、MSTPCRE、MSTPCRF レジスタに書き込みを行う場合は、ライトプロテクトレジスタ (PRCR) のビット 1 の書き込み保護を解除してください。詳細については「11. レジスタライトプロテクション機能」を参照してください。

10. デバッグインタフェース

本 LSI に内蔵のデバッグインタフェースは CoreSight アーキテクチャを採用しています。プログラムのダウンロード/ラン/ブレイクといったデバッグ機能のほか、プログラムの実行履歴を出力するトレース機能をサポートしています。

10.1 概要

デバッグ用インタフェースとして JTAG インタフェースおよび SWD インタフェース、トレース用インタフェースとして、トレースポートインタフェースおよび SWV インタフェースをサポートしています。

本 LSI はバウンダリスキャン用 TAP コントローラと CoreSight デバッグ用 TAP コントローラを内蔵し、BSCANP 端子の入力レベルによって選択することが可能です。デバッグ機能を使用する場合は、BSCANP 端子を Low としてください。

バウンダリスキャンの詳細については「31. バウンダリスキャン」を参照してください。

表 10.1 に CoreSight の仕様、図 10.1 に CoreSight のブロック図を示します。また、CoreSight のアドレスマップを表 10.4、表 10.5 に示します。CoreSight の詳細は、Arm 社のテクニカルリファレンスマニュアルを参照してください。

表 10.1 CoreSight の仕様

項目	内容
デバッグ機能	<ul style="list-style-type: none"> • JTAG インタフェース • SWD (Serial Wire Debug) インタフェース
トレース機能	<ul style="list-style-type: none"> • トレースポートインタフェース 8bit × 75Mbps (37.5MHz、DDR) のトレースデータ端子出力 Embedded Trace Buffer (ETB) 4KB • SWV (Serial Wire Viewer) インタフェース

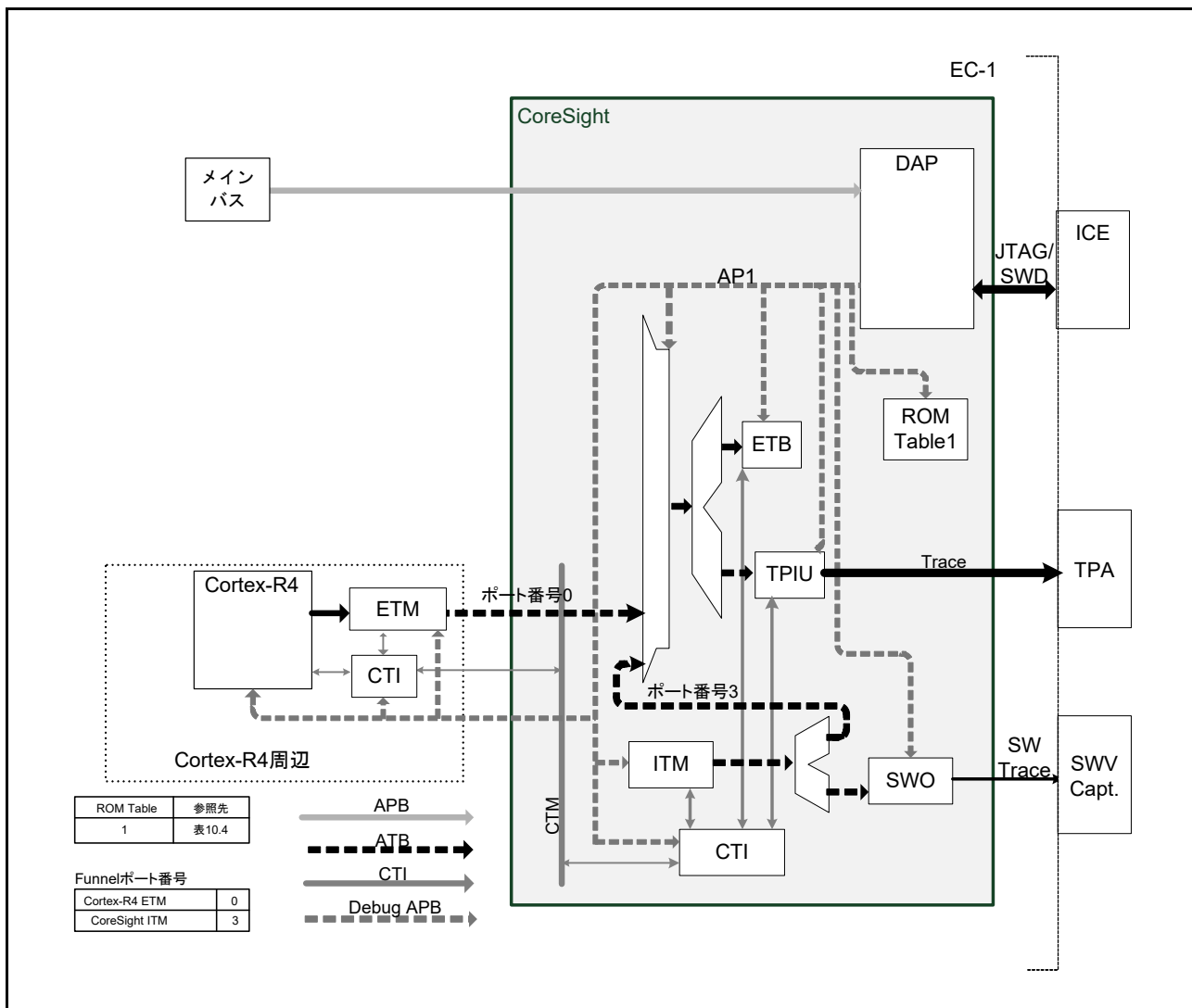


図 10.1 CoreSight のブロック図

表 10.2 CTI Trigger Input and Output (CoreSight)

CTI 入力端子	Source device	signal	CTI 出力端子	Destination device	signal
CTITRIGIN[0]	—	—	CTITRIGOUT[0]	ETB	FLUSHIN
CTITRIGIN[1]	—	—	CTITRIGOUT[1]	ETB	TRIGIN
CTITRIGIN[2]	ETB	FULL	CTITRIGOUT[2]	TPIU	FLUSHIN
CTITRIGIN[3]	ETB	ACQCOMP	CTITRIGOUT[3]	TPIU	TRIGIN
CTITRIGIN[4]	ITM	TRIGOUT	CTITRIGOUT[4]	—	—
CTITRIGIN[5]	—	—	CTITRIGOUT[5]	—	—
CTITRIGIN[6]	—	—	CTITRIGOUT[6]	—	—
CTITRIGIN[7]	—	—	CTITRIGOUT[7]	—	—

表 10.3 CTI Trigger Input and Output (Cortex-R4)

CTI 入力端子	Source device	signal	CTI 出力端子	Destination device	signal
CTITRIGIN[0]	Cortex-R4	DBGTRIGGER	CTITRIGOUT[0]	Cortex-R4	EDBGRQ
CTITRIGIN[1]	Cortex-R4	nPMUIRQ	CTITRIGOUT[1]	ETM-R4	EXTIN[0]
CTITRIGIN[2]	ETM-R4	EXOUT[0]	CTITRIGOUT[2]	ETM-R4	EXTIN[1]
CTITRIGIN[3]	ETM-R4	EXOUT[1]	CTITRIGOUT[3]	VIC	TRIGINT
CTITRIGIN[4]	Cortex-R4	COMMRX	CTITRIGOUT[4]	—	—
CTITRIGIN[5]	Cortex-R4	COMMTX	CTITRIGOUT[5]	—	—
CTITRIGIN[6]	ETM-R4	TRIGGER	CTITRIGOUT[6]	—	—
CTITRIGIN[7]	—	—	CTITRIGOUT[7]	Cortex-R4	DBGRESTART

表 10.4 CoreSight アドレスマップ (Debug-APB)

Cortex-R4 CPU View	Debugger View (注1) (AP = 1)	module
H'E8000000 ~ H'E8000FFF	H'00000000 ~ H'00000FFF	CoreSight / DAP ROM
H'E8001000 ~ H'E8001FFF	H'00001000 ~ H'00001FFF	CoreSight / ETB
H'E8002000 ~ H'E8002FFF	H'00002000 ~ H'00002FFF	CoreSight / CTI
H'E8003000 ~ H'E8003FFF	H'00003000 ~ H'00003FFF	CoreSight / TPIU
H'E8004000 ~ H'E8004FFF	H'00004000 ~ H'00004FFF	CoreSight / Funnel
H'E8005000 ~ H'E8005FFF	H'00005000 ~ H'00005FFF	CoreSight / ITM
H'E8006000 ~ H'E8006FFF	H'00006000 ~ H'00006FFF	CoreSight / SWO
H'E8007000 ~ H'E8007FFF	H'00007000 ~ H'00007FFF	—
H'E8008000 ~ H'E8008FFF	H'00008000 ~ H'00008FFF	Cortex-R4 / CPU
H'E8009000 ~ H'E8009FFF	H'00009000 ~ H'00009FFF	Cortex-R4 / CTI
H'E800A000 ~ H'E800AFFF	H'0000A000 ~ H'0000AFFF	Cortex-R4 / ETM-R4
H'E800B000 ~ H'E800BFFF	H'0000B000 ~ H'0000BFFF	—
H'E800C000 ~ H'E800CFFF	H'0000C000 ~ H'0000CFFF	—
H'E800D000 ~ H'E800DFFF	H'0000D000 ~ H'0000DFFF	—
H'E800E000 ~ H'E800EFFF	H'0000E000 ~ H'0000EFFF	—
H'E800F000 ~ H'E800FFFF	H'0000F000 ~ H'0000FFFF	—

注1. A31 (アドレスの最上位ビット) を1にすると、LockAccessをはずさずにアクセスできます。

表 10.5 CoreSight アドレスマップ

Cortex-R4 CPU View	module
E800 0000h ~ E800 0FFFh	CoreSight / DAP ROM
E800 1000h ~ E800 1FFFh	CoreSight / ETB
E800 2000h ~ E800 2FFFh	CoreSight / CTI
E800 3000h ~ E800 3FFFh	CoreSight / TPIU
E800 4000h ~ E800 4FFFh	CoreSight / Funnel
E800 5000h ~ E800 5FFFh	CoreSight / ITM
E800 6000h ~ E800 6FFFh	CoreSight / SWO
E800 7000h ~ E800 7FFFh	—
E800 8000h ~ E800 8FFFh	Cortex-R4 / CPU
E800 9000h ~ E800 9FFFh	Cortex-R4 / CTI
E800 A000h ~ E800 AFFFh	Cortex-R4 / ETM-R4
E800 B000h ~ E800 BFFFh	—
E800 C000h ~ E800 CFFFh	—
E800 D000h ~ E800 DFFFh	—
E800 E000h ~ E800 EFFFh	—
E800 F000h ~ E800 FFFFh	—

表 10.6 にデバッグインタフェースの入出力端子を示します。

表 10.6 デバッグインタフェースの入出力端子

名称	端子名	入出力	機能
テストクロック	TCK	入力	データはこのクロックに同期してデータ入力端子 (TDI) から本モジュールにシリアルに供給され、データ出力端子 (TDO) から出力されます。 SWDモードの際は、SWDCLK端子として機能します。
テストモードセレクト	TMS	入力/入出力	TCKに同期してこの信号を変化させることによってTAP (Test Access Port) 制御回路の状態が決まります。プロトコルは、JTAG規格 (IEEE Std.1149.1) に対応しています。 SWDモードの際は、SWDIO端子として機能します。
テストリセット	TRST# (注1)	入力	TCKとは非同期で入力を受け付けLowでTAP (Test Access Port) をリセットします。TRST#端子に加え、RES#端子もLowの場合は、TAPに加えてデバッグ回路部もリセットされます。
テストデータ入力	TDI	入力	TCKに同期してこの端子を変化させることによって本モジュールにデータを送ります。 本端子は汎用ポートとしても使用可能です。初期機能はTDIです。
テストデータ出力	TDO	出力	TCKに同期してこの端子を読み出すことによって本モジュールからデータを読み取ります。 SWVの出力端子として選択することができます。 本端子は汎用ポートとしても使用可能です。初期機能はTDOです
トレースクロック出力	TRACECLK	出力	トレースデータ同期用のクロック出力端子です。
トレースイネーブル出力	TRACECTL	出力	トレース制御用イネーブル信号出力端子です。 SWVの出力端子として選択することができます。
トレースデータ出力	TRACEDATA7 ~ TRACEDATA0	出力	トレースデータ出力端子です。 TRACEDATA0をSWVの出力端子として選択することができます。
バウンダリスキャン設定	BSCANP	入力	バウンダリスキャンテスト時にハイレベルを入力します。 CoreSightによるデバッグ時はLowを入力してください。 バウンダリスキャンの詳細については「31. バウンダリスキャン」を参照してください。

注1. エミュレータを使用可能なボードを設計する場合は、電源投入時にRES#端子と重複する期間TRST#端子をLowにし、かつTRST#端子単独でも制御可能となるようにしてください。未使用時は、Lowに固定するか、RES#端子と同じ信号が入力されるように接続してください。詳細については「10.3.5 リセット構成とエミュレータとの接続方法」を参照してください。

10.2 レジスタの説明

10.2.1 デバッグインタフェース制御レジスタ (DBGIFCNT)

DBGIFCNT レジスタはデバッグインタフェースで用いる端子制御を行うレジスタです。

アドレス A00B 0A00h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SWVSEL[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SWVSEL[1:0]	SWV出力選択ビット	SWV (Serial Wire Viewer) 出力される端子を選択します。 b1 b0 00 : SWV出力は端子出力されない 01 : SWV出力をTDO端子から出力 10 : SWV出力をTRACEDATA0端子から出力 11 : SWV出力をTRACECTL端子から出力	R/W
b31-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/(W)

10.3 動作説明

10.3.1 JTAG インタフェース

JTAG インタフェースは、TCK / TMS / TDO / TDI / TRST# の 5 本の信号により、エミュレータを介してホスト・マシン (PC) との通信を行います。RES# 端子の接続と合わせて図 10.2 に接続例を示します。

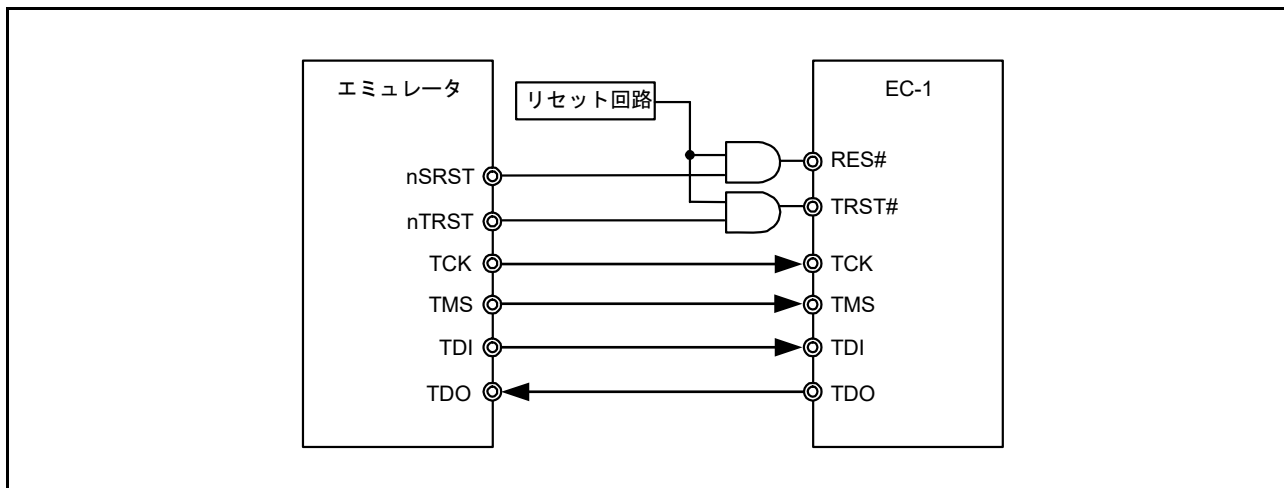


図 10.2 JTAG インタフェース接続例

10.3.2 SWD インタフェース

SWD (Serial Wire Debug) インタフェースは、SWCLK (TCK) / SWDIO (TMS) の2本の信号により、エミュレータを介してホスト・マシン (PC) との通信を行います。RES# 端子の接続と合わせて図 10.3 に接続例を示します。

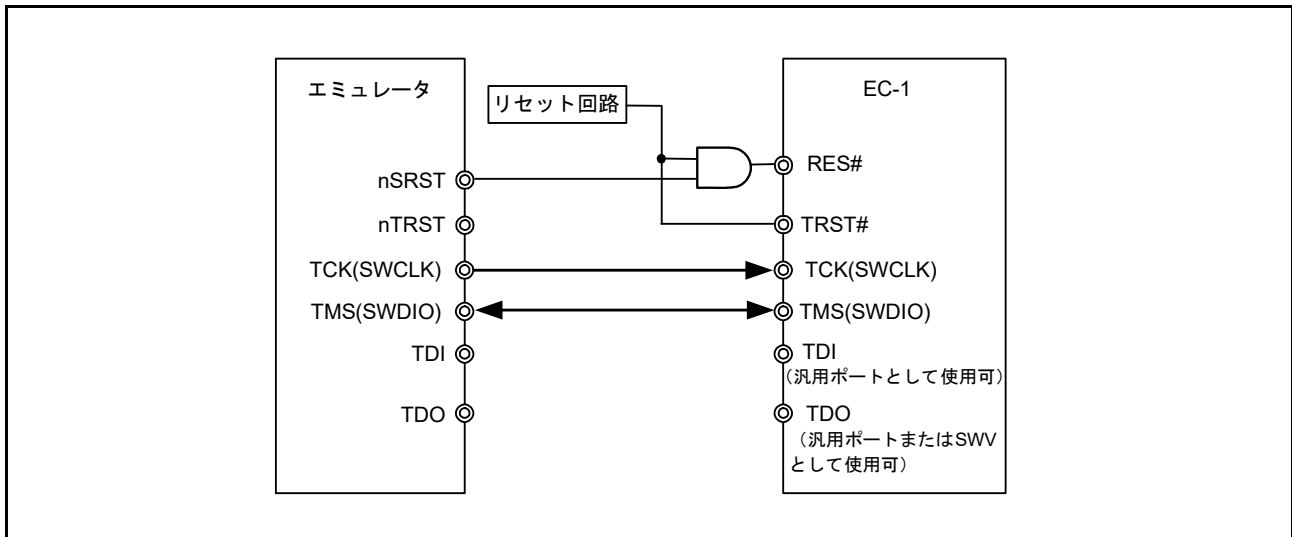


図 10.3 SWD インタフェース接続例

SWD インタフェースにてデバッグを行う場合、TDI 端子と TDO 端子を汎用ポートとして使うことができます。汎用ポートとして用いる場合は、「17. マルチファンクションピンコントローラ (MPC)」を参照して端子設定を行ってください。

注意事項 : 本 LSI の初期状態では、デバッグインタフェースは JTAG モードです。TDI 端子、TDO 端子を汎用ポートとして使用してエミュレータ接続にてデバッグを行う際は、デバッガからの制御で SWD (Serial Wire Debug) モードに切り替えてからデバッグを開始してください。

10.3.3 トレースポートインタフェース

トレースポートインタフェースは、TRACECLK / TRACECTL / TRACEDATA7 ~ TRACEDATA0 の 10 本の信号により、トレース情報の出力を行います。トレースポートインタフェースでは、ETM (Embedded Trace Macrocell) のトレースにより得られた「実行されたプログラムの分岐命令情報」が出力され、その情報をデバッガが補完することにより、分岐時の分岐元および分岐先の情報を知ることができます。トレース情報に関する詳細は、各エミュレータメーカのマニュアルを参照してください。

TRACECLK 端子と TRACEDATA 端子の同期関係は DDR クロッキングモードのみ対応しています。

TRACEDATA の本数は最大 8 本まで使用可能です。8 本より少ない場合は LSB 側 (TRACEDATA0 側) の端子が使用されます。TRACECTL 端子は、接続する TPA (Trace Port Analyzer) のトレースデータ転送フォーマット仕様に合わせて接続の有無を設定してください。

TRACECLK 端子の出力周波数はトレース I/F クロック (TCLK) を 2 分周した 37.5MHz が設定可能です。詳細は「7. クロック発生回路」を参照してください。

初期状態では、TRACECLK、TRACEDATA0 ~ TRACEDATA7、TRACECTL の各端子には別の機能が割り当てられています。「17. マルチファンクションピンコントローラ (MPC)」を参照して端子設定を行ってください。

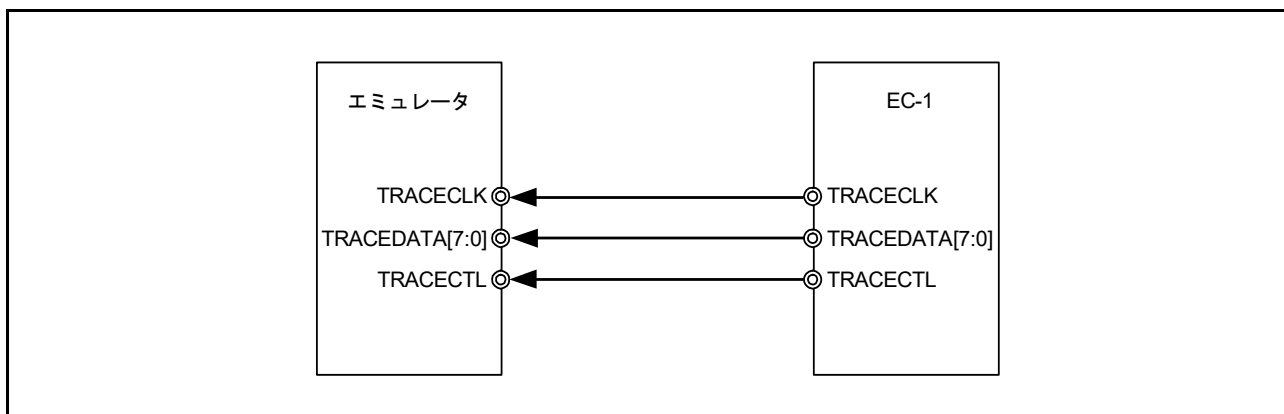


図 10.4 トレースポートインタフェース接続例

10.3.4 SWV インタフェース

SWV (Serial Wire Viewer) インタフェースは、TDO (SWV)、TRACEDATA0 (SWV)、または TRACECTL (SWV) のうち、DBGIFCNT レジスタで設定された端子より、トレース情報の出力を行います。JTAG インタフェースを使用している場合は、TDO (SWV) は使用できません。SWV トレースは、指定したサンプリング・サイクル間隔で指定したデータをサンプリングする機能です。なお、トレース情報に関する詳細については、各エミュレータメーカーのマニュアルを参照してください。

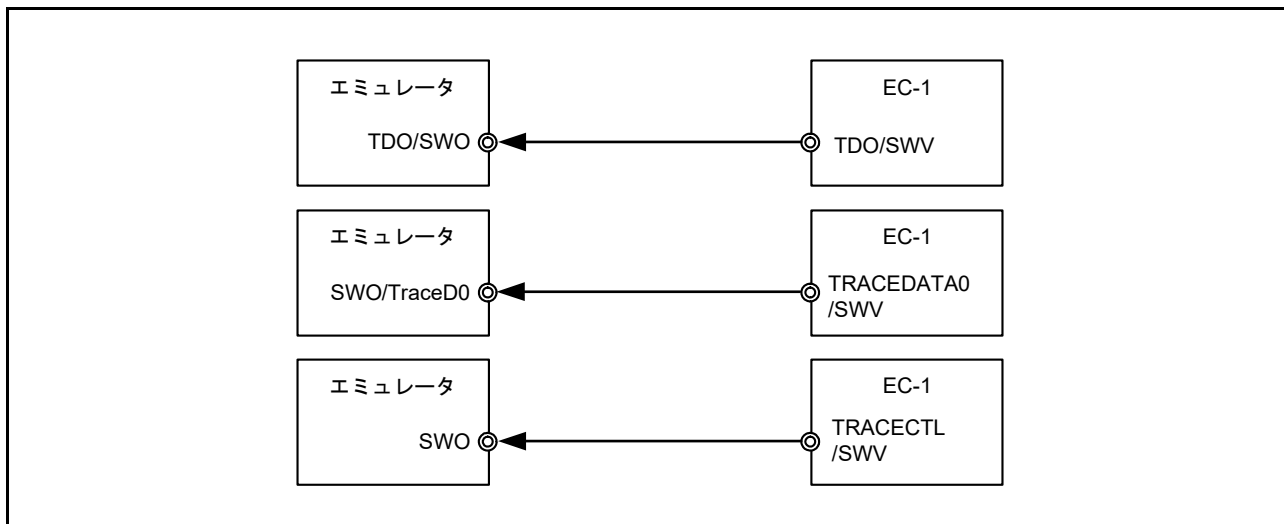


図 10.5 SWV インタフェース接続例

10.3.5 リセット構成とエミュレータとの接続方法

エミュレータを使用可能なボードを設計する場合は、電源投入時に RES# 端子と重複する期間 TRST# 端子を Low にしてください。また TRST# 端子単独でも制御可能となるようにしてください。

デバッグ時は、はじめに RES# 端子と TRST# 端子が共に Low のとき、CPU とデバッグ部はリセット状態となります。次に RES# 端子を Low に保った状態で、TRST# 端子を High にすることで CPU 起動前のデバッグ設定が可能です。

エミュレータ未接続時は、TRST# 端子は Low に固定するか、RES# 端子と同じ信号が入力されるようにしてください。

注. CoreSight によるデバッグ時は、BSCANP 端子に Low を入力してバウンダリスキャン機能を無効にしてください。

10.3.5.1 nTRST 出力を High ドライブできないエミュレータの接続例

図 10.6 に nTRST 出力を High ドライブできないエミュレータを使用する場合の接続回路例を示します。TRST# 端子はプルアップされており、エミュレータから Low にアサートされます。CPU 起動前にデバッグ設定を行うには図 10.6 のエミュレータ接続時のタイミングチャートにしたがってください。

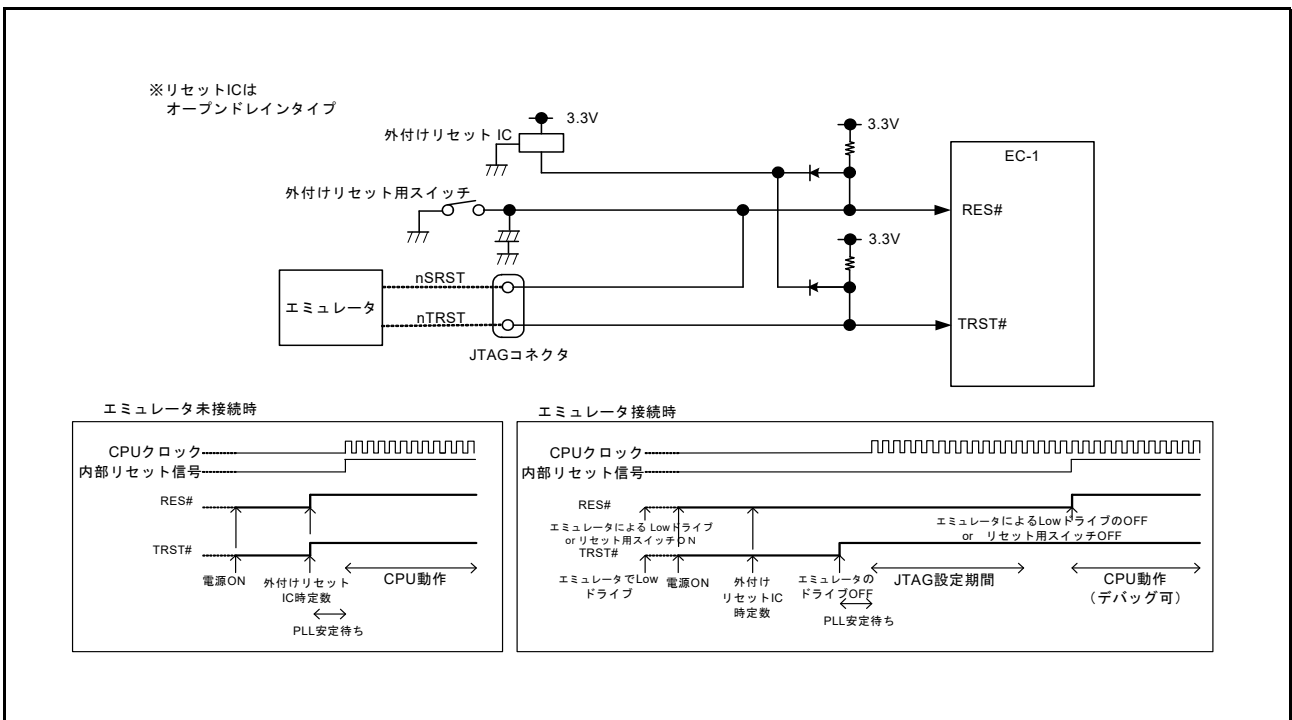


図 10.6 nTRST 出力を High ドライブできないエミュレータの接続回路例

10.3.5.2 nTRST 出力を High ドライブできるエミュレータの接続例

図 10.7 に nTRST 出力を High ドライブできるエミュレータを使用する場合の接続回路例を示します。TRST# 端子は High, Low ともにエミュレータより制御されます。CPU 起動前にデバッグ設定を行うには図 10.7 のエミュレータ接続時のタイミングチャートにしたがってください。

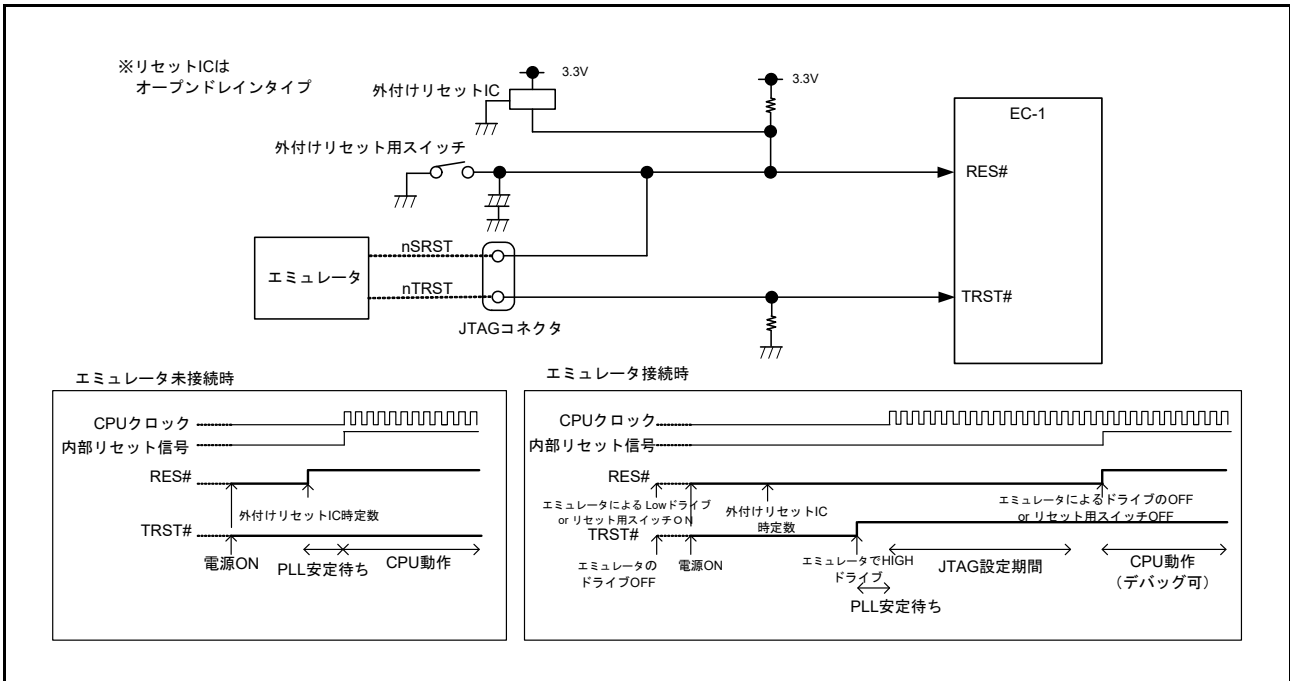


図 10.7 nTRST 出力を High ドライブできるエミュレータの接続回路例

10.3.6 エミュレータを接続しない場合の JTAG 端子の処置

エミュレータを接続しない場合、表 10.7 にしたがって端子処置を行ってください。

表 10.7 エミュレータを接続しない場合の JTAG 端子の処置

端子	処置
TCK	プルダウン
TMS	プルアップ
TDI	プルアップ（汎用ポートとして使用する場合を除きます）
TDO	オープン（汎用ポートとして使用する場合を除く）
TRST#	プルダウンするか、RES#端子と同じ信号が入力されるようにしてください。

10.3.7 TRST# 端子のノイズ除去

TRST# 端子は、アナログ・ディレイによるノイズ対策を行っています。このノイズ対策により、100ns (Min.) 以内のノイズを除去できます。

10.3.8 使用可能なトレース機能

各デバッグポート（TracePortI/F、SWV、SWD/JTAG）経由にて使用可能なトレース機能を表 10.8 に示します。

表 10.8 使用可能なトレース機能

モジュール	デバッグポート	トレース機能
Cortex-R4 (CR4)	TracePortI/F	CR4 内の ETM でのフル命令トレース CoreSight 内の ITM でのソフトウェアトレース
	SWV	CoreSight 内の ITM でのソフトウェアトレースのみ
	SWD/JTAG	TracePortI/F と同一情報を ETB 経由で取得可

CoreSight 内の ITM でのソフトウェアトレースを使用する場合は、CPU からソフトウェアで ITM をアクセスしてください。CoreSight 内の ITM のアドレスについては表 10.5 を参照してください。

10.4 注意事項

10.4.1 メインバスへのアクセス

DAP からメインバスにアクセスする場合は、Cortex-R4 を経由してください。

11. レジスタライトプロテクション機能

11.1 概要

レジスタライトプロテクション機能は、プログラムが暴走したときに備え、重要なレジスタを書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ（PRCR）で設定します。

表 11.1 に PRCR レジスタと保護されるレジスタの対応を示します。

表 11.1 PRCR レジスタと保護されるレジスタの対応

PRCR レジスタ	保護されるレジスタ
PRC0 ビット	<ul style="list-style-type: none"> クロック発生回路関連レジスタ SCKCR、SCKCR2、PLL1CR2、LOCOCR、OSTDCR
PRC1 ビット	<ul style="list-style-type: none"> 消費電力低減機能関連レジスタ MSTPCRA、MSTPCRB、MSTPCRC、MSTPCRE、MSTPCRF リセット関連レジスタ RSTSR0、SWRR1、MRCTL
PRC3 ビット	<ul style="list-style-type: none"> ATCM ウェイト制御レジスタ SYTATCMWAIT

11.2 レジスタの説明

11.2.1 プロテクトレジスタ (PRCR)

PRCR レジスタは、保護されたレジスタへの書き込み制御を行うレジスタです。

アドレス A00B 0B00h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRKEY[7:0]							—	—	—	—	PRC3	—	PRC1	PRC0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	クロック発生回路関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b1	PRC1	プロテクトビット1	消費電力低減機能、リセット関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3	PRC3	プロテクトビット3	ATCM ウェイト制御レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b15-b8	PRKEY[7:0]	PRC キーコードビット	PRCR レジスタの書き込み許可または禁止を制御します。 PRCR レジスタを書き換える場合、PRKEY[7:0]に“A5h”を書き込んでください。“A5h”以外の値の場合は、PRCR レジスタへの書き込みは無効になります。	R/(W) (注1)
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1. 書き込みデータは保持されず、読むと“00h”が読めます。

PRCi ビット (プロテクトビット i) (i = 0、1、3)

保護するレジスタへの書き込み許可/禁止を選択します。

PRCi ビットが“1”のとき、保護されるレジスタへの書き込みができます。PRCi ビットが“0”のとき、レジスタへの書き込みができません。

12. 割り込みコントローラ (ICUA)

12.1 概要

割り込みコントローラは、Cortex-R4 向けにベクタ割り込みコントローラ (VIC) があります。割り込みコントローラは、周辺モジュール、および Ether PHY からの割り込み要求を含む外部端子からの割り込み要求を受け付けます。割り込みコントローラが受け付けた割り込みは、CPU (Cortex-R4) への割り込み通知、もしくは DMACAa への起動トリガ信号のどちらかに設定することができます。

表 12.1 に割り込みの仕様を、図 12.1 に割り込みコントローラのブロック図を示します。

表 12.1 割り込みコントローラの仕様

項目		内容
割り込み	割り込み接続先	<ul style="list-style-type: none"> Cortex-R4 DMACAa 2Units (Unit0: 16ch., Unit1: 16ch.)
	周辺機能割り込み	周辺モジュールからの割り込み (注1) 割り込み検出: エッジ検出/レベル検出
	外部端子割り込み	Ether PHY0, Ether PHY1, IRQ0~IRQ4, IRQ6, IRQ7, IRQ9, IRQ11~IRQ14端子からの割り込み 要因数: 14 要因 割り込み検出: ローレベル/立ち下がりエッジ/立ち上がりエッジ/両エッジを要因ごとに設定可能 デジタルノイズフィルタ機能: あり
	割り込み優先レベル	CPUに対する割り込みはレジスタにより16段階で優先レベルを設定 (注2)
	DMACAa制御	割り込み要因によりDMACAaを起動可能。 各周辺からの割り込みをDMA転送完了割り込みに切り替え (注3)
ノンマスクابل割り込み	NMI端子割り込み	NMI端子からの割り込み 割り込み検出: 立ち下がりエッジ/立ち上がりエッジ デジタルノイズフィルタ機能: あり
	Cortex-R4向け	下記2要因をマスク不可の高速割り込み (FIQ) 要因として割り付け可能 <ul style="list-style-type: none"> ECM (Error Control Module)からのノンマスクابل割り込み NMI端子からのノンマスクابل割り込み
スタンバイモードからの復帰		ノンマスクابل割り込み、マスクしていないすべての割り込み要因で復帰

- 注1. 各割り込みの接続先により割り込み要因が異なります。各起動要因については、「表 12.3 Cortex-R4/DMACAa 割り込みベクタテーブル」を参照してください。
- 注2. 16段階での優先レベルはCR4 (VIC)のベクタ番号1~255の全要因に対し有効です。CR4 (VIC)の256以降のベクタ番号の割り込み要因は、1~255のベクタ番号の割り込み要因に対して優先順位が下がります。詳細は「12.4.5.1 VICの優先レベルに関する制約」を参照してください。
- 注3. 割り込み信号をDMACAaの起動要因に選択した場合、割り込み信号が発生すると割り込み処理への分岐は行われずに、DMACAaの起動が行われます。DMACAaの転送が完了すると転送完了割り込みが発生します。詳細は「12.3.1 割り込み要求先の選択」を参照してください。

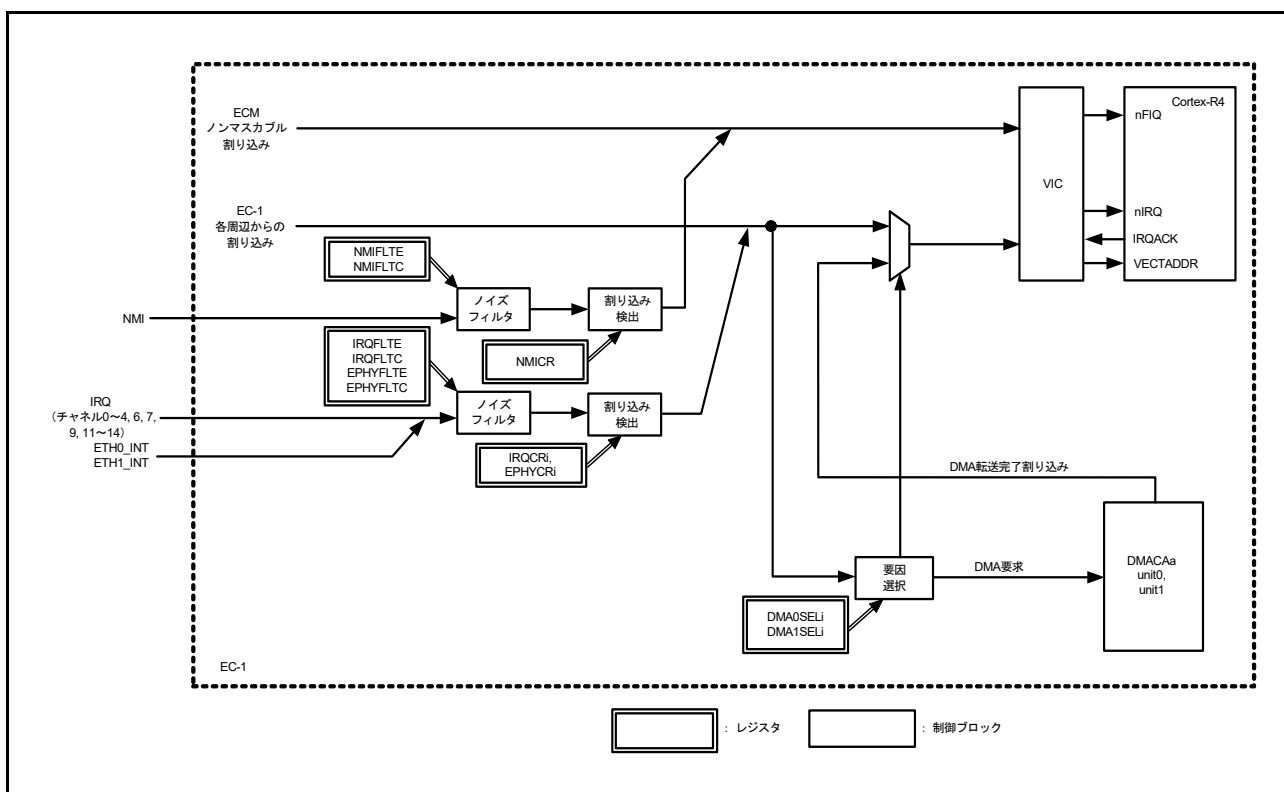


図 12.1 割り込みコントローラのブロック図

表 12.2 に割り込みコントローラで使用する入出力端子を示します。

表 12.2 割り込みコントローラの入出力端子

端子名	入出力	機能
NMI	入力	ノンマスクابل割り込み要求端子
IRQ0~4, 6, 7, 9, 11~14	入力	マスクابل割り込み要求端子
ETH0_INT	入力	Ether PHY0 割り込み要求端子
ETH1_INT	入力	Ether PHY1 割り込み要求端子

12.2 レジスタの説明

12.2.1 IRQ コントロールレジスタ i (IRQCRi) (i = 0 ~ 4, 6, 7, 9, 11 ~ 14)

IRQCRi レジスタは、外部端子割り込み要因 (IRQ0 ~ 4, 6, 7, 9, 11 ~ 14) の検出方法を設定するレジスタです。

アドレス ICU.IRQCR0 A009 4200h、ICU.IRQCR1 A009 4204h、ICU.IRQCR2 A009 4208h、ICU.IRQCR3 A009 420Ch、
ICU.IRQCR4 A009 4210h、ICU.IRQCR6 A009 4218h、ICU.IRQCR7 A009 421Ch、ICU.IRQCR9 A009 4224h、
ICU.IRQCR11 A009 422Ch、ICU.IRQCR12 A009 4230h、ICU.IRQCR13 A009 4234h、ICU.IRQCR14 A009 4238h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	IRQMD[1:0]	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3-b2	IRQMD[1:0]	IRQ 検出設定ビット	b3 b2 0 0 : Low レベル 0 1 : 立ち下がりエッジ 1 0 : 立ち上がりエッジ 1 1 : 両エッジ	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

IRQMD[1:0] ビット (IRQ 検出設定ビット)

外部端子割り込み要因 (IRQ0 ~ 4, 6, 7, 9, 11 ~ 14) の検出方法を設定するビットです。

外部端子割り込みの検出方法の設定は、「12.3.3 外部端子割り込み」を参照してください。

注. VIC の PLSn レジスタにも、本レジスタで設定した検出方法と同じ検出方法を設定してください。

12.2.2 IRQ 端子デジタルノイズフィルタ許可レジスタ (IRQFLTE)

IRQFLTE レジスタは、外部端子割り込み要因 (IRQ0 ~ 4, 6, 7, 9, 11 ~ 14) のデジタルノイズフィルタの使用を設定するレジスタです。

アドレス ICU.IRQFLTE A009 4240h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	FLTEN ₁₄	FLTEN ₁₃	FLTEN ₁₂	FLTEN ₁₁	—	FLTEN ₉	—	FLTEN ₇	FLTEN ₆	—	FLTEN ₄	FLTEN ₃	FLTEN ₂	FLTEN ₁	FLTEN ₀
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FLTEN0	IRQ0 デジタルノイズフィルタ許可ビット	0 : デジタルノイズフィルタ無効 1 : デジタルノイズフィルタ有効	R/W
b1	FLTEN1	IRQ1 デジタルノイズフィルタ許可ビット		R/W
b2	FLTEN2	IRQ2 デジタルノイズフィルタ許可ビット		R/W
b3	FLTEN3	IRQ3 デジタルノイズフィルタ許可ビット		R/W
b4	FLTEN4	IRQ4 デジタルノイズフィルタ許可ビット		R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b6	FLTEN6	IRQ6 デジタルノイズフィルタ許可ビット	0 : デジタルノイズフィルタ無効 1 : デジタルノイズフィルタ有効	R/W
b7	FLTEN7	IRQ7 デジタルノイズフィルタ許可ビット		R/W
b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b9	FLTEN9	IRQ9 デジタルノイズフィルタ許可ビット	0 : デジタルノイズフィルタ無効 1 : デジタルノイズフィルタ有効	R/W
b10	—	予約ビット		読むと“0”が読めます。書く場合、“0”としてください。
b11	FLTEN11	IRQ11 デジタルノイズフィルタ許可ビット	0 : デジタルノイズフィルタ無効 1 : デジタルノイズフィルタ有効	R/W
b12	FLTEN12	IRQ12 デジタルノイズフィルタ許可ビット		R/W
b13	FLTEN13	IRQ13 デジタルノイズフィルタ許可ビット		R/W
b14	FLTEN14	IRQ14 デジタルノイズフィルタ許可ビット		R/W
b31-b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

FLTEN_i ビット (IRQ_i デジタルノイズフィルタ許可ビット) (i = 0 ~ 4, 6, 7, 9, 11 ~ 14)

FLTEN_i ビットは、外部端子割り込み要因 (IRQ0 ~ 4, 6, 7, 9, 11 ~ 14) のデジタルノイズフィルタの使用を許可するビットです。

本ビットが“1”のとき、デジタルノイズフィルタが有効になります。“0”のとき、デジタルノイズフィルタ機能は無効です。

IRQFLTE.FCLKSEL_i[1:0] ビットで設定したサンプリングクロック毎に IRQ_i 端子のレベルをサンプリングし、レベルが 3 回一致したときにデジタルノイズフィルタからの出力レベルを変更します。

デジタルノイズフィルタの詳細は「12.3.2 デジタルノイズフィルタ」を参照してください。

12.2.3 IRQ 端子デジタルノイズフィルタ設定レジスタ (IRQFLTC)

IRQFLTC レジスタは、外部端子割り込み要求端子 (IRQ0 ~ 4, 6, 7, 9, 11 ~ 14) のデジタルノイズフィルタのサンプリングクロックを設定するレジスタです。

アドレス ICU.IRQFLTC A009 4244h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	FCLKSEL14 [1:0]	FCLKSEL13 [1:0]	FCLKSEL12 [1:0]	FCLKSEL11 [1:0]	—	—	FCLKSEL9 [1:0]	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
FCLKSEL7 [1:0]	FCLKSEL6 [1:0]	—	—	FCLKSEL4 [1:0]	FCLKSEL3 [1:0]	FCLKSEL2 [1:0]	FCLKSEL1 [1:0]	FCLKSEL0 [1:0]	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W	
b1-b0	FCLKSEL0[1:0]	IRQ0 デジタルノイズフィルタ サンプリングクロック設定ビット	奇数b 偶数b 0 0: PCLKB 0 1: PCLKB/8 1 0: PCLKB/32 1 1: PCLKB/64	R/W	
b3-b2	FCLKSEL1[1:0]	IRQ1 デジタルノイズフィルタ サンプリングクロック設定ビット		R/W	
b5-b4	FCLKSEL2[1:0]	IRQ2 デジタルノイズフィルタ サンプリングクロック設定ビット		R/W	
b7-b6	FCLKSEL3[1:0]	IRQ3 デジタルノイズフィルタ サンプリングクロック設定ビット		R/W	
b9-b8	FCLKSEL4[1:0]	IRQ4 デジタルノイズフィルタ サンプリングクロック設定ビット		R/W	
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W	
b13-b12	FCLKSEL6[1:0]	IRQ6 デジタルノイズフィルタ サンプリングクロック設定ビット	奇数b 偶数b 0 0: PCLKB 0 1: PCLKB/8 1 0: PCLKB/32 1 1: PCLKB/64	R/W	
b15-b14	FCLKSEL7[1:0]	IRQ7 デジタルノイズフィルタ サンプリングクロック設定ビット		R/W	
b17-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W	
b19-b18	FCLKSEL9[1:0]	IRQ9 デジタルノイズフィルタ サンプリングクロック設定ビット	奇数b 偶数b 0 0: PCLKB 0 1: PCLKB/8 1 0: PCLKB/32 1 1: PCLKB/64	R/W	
b21-b20	—	予約ビット		読むと“0”が読めます。書く場合、“0”としてください。	R/W
b23-b22	FCLKSEL11[1:0]	IRQ11 デジタルノイズフィルタ サンプリングクロック設定ビット		奇数b 偶数b 0 0: PCLKB 0 1: PCLKB/8 1 0: PCLKB/32 1 1: PCLKB/64	R/W
b25-b24	FCLKSEL12[1:0]	IRQ12 デジタルノイズフィルタ サンプリングクロック設定ビット			R/W
b27-b26	FCLKSEL13[1:0]	IRQ13 デジタルノイズフィルタ サンプリングクロック設定ビット	R/W		
b29-b28	FCLKSEL14[1:0]	IRQ14 デジタルノイズフィルタ サンプリングクロック設定ビット		R/W	
b31-b30	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W	

FCLKSELi[1:0] ビット (IRQi デジタルノイズフィルタサンプリングクロック設定ビット) (i = 0 ~ 4, 6, 7, 9, 11 ~ 14)

FCLKSELi[1:0] ビットは、外部端子割り込み要求端子 (IRQ0 ~ 4, 6, 7, 9, 11 ~ 14) のデジタルノイズフィルタのサンプリングクロックを選択するビットです。

サンプリングクロックは、PCLKB (毎クロック)、PCLKB/8 (8 クロックに 1 回)、PCLKB/32 (32 クロックに 1 回)、PCLKB/64 (64 クロックに 1 回) より選択します。

デジタルノイズフィルタの詳細は「12.3.2 デジタルノイズフィルタ」を参照してください。なお、割り込みをサンプリングする PCLKB は、デジタルノイズフィルタを無効にしても停止しません。

12.2.4 ノンマスクابل割り込みステータスレジスタ (NMISR)

NMISR レジスタは、ノンマスクابل割り込み要因のステータスをモニタするレジスタです。NMISR レジスタへの書き込みは無視されます。

ECM からのノンマスクابل割り込み要求については、ECM の ECMm error source status レジスタ m (ECMmESSTRm, m = 0 ~ 2) を読み出し、エラー要因を確認してください。

ノンマスクابل割り込みハンドラ処理を終了する前に NMISR レジスタを読み出し、他のノンマスクابل割り込みの発生状況を確認してください。必ず NMISR レジスタの全ビットが“0”であることを確認してから、割り込みハンドラ処理を終了してください。

アドレス ICU.NMISR A009 4248h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EC MST	NMIST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMIST	NMIステータスフラグ	0 : NMI端子割り込み要求なし 1 : NMI端子割り込み要求あり	R
b1	ECMST	ECMエラーステータスフラグ	0 : ECMノンマスクابل割り込み要求なし 1 : ECMノンマスクابل割り込み要求あり	R
b31-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R

NMIST フラグ (NMI ステータスフラグ)

NMI 端子割り込み要求の有無を示します。

NMIST フラグは読み出しのみ可能で、クリアは NMICLR.NMICLR ビットによって行います。

[“1”になる条件]

- NMI 端子に NMICR.NMIMD ビットに設定したエッジが入力されたとき

[“0”になる条件]

- NMICLR.NMICLR ビットに“1”を書いたとき。

ECMST フラグ (ECM エラーステータスフラグ)

ECM ノンマスクابل割り込み要求の有無を示します。

ECMST フラグは読み出しのみ可能で、クリアは NMICLR.ECMCLR ビットによって行います。

[“1”になる条件]

- ECM ノンマスクابل割り込みが発生したとき。

[“0”になる条件]

- NMICLR.ECMCLR ビットに“1”を書いたとき。

12.2.5 ノンマスカブル割り込みステータスクリアレジスタ (NMICLR)

NMI や ECM ノンマスカブル割り込み要求をクリアするレジスタです。

アドレス ICU.NMICLR A009 424Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ECMCLR	NMICLR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMICLR	NMIクリアビット	読むと“0”が読めます。 “1”書き込みで、NMISR.NMISTフラグをクリアします。 “0”書き込みは無効です。	R/(W) (注1)
b1	ECMCLR	ECMクリアビット	読むと“0”が読めます。 “1”書き込みで、NMISR.ECMSTフラグをクリアします。 “0”書き込みは無効です。	R/(W) (注1)
b31-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1. “1”のみ書けます。

12.2.6 NMI 端子割り込みコントロールレジスタ (NMICR)

NMICR レジスタは、NMI 端子割り込みの検出方法を設定するレジスタです。

アドレス ICU.NMICR A009 4250h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	NMIMD	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3	NMIMD	NMI検出設定ビット	0: 立ち下がリエッジ 1: 立ち上がりエッジ	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

NMIMD ビット (NMI 検出設定ビット)

NMI 端子割り込みの検出方法を設定するビットです。

12.2.7 NMI 端子デジタルノイズフィルタ許可レジスタ (NMIFLTE)

NMIFLTE レジスタは、NMI 端子割り込みのデジタルノイズフィルタの使用を設定するレジスタです。

アドレス ICU.NMIFLTE A009 4254h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	NFL TEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFLTEN	NMI デジタルノイズフィルタ許可ビット	0 : デジタルノイズフィルタ無効 1 : デジタルノイズフィルタ有効	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

NFLTEN ビット (NMI デジタルノイズフィルタ許可ビット)

NMI 端子割り込みのデジタルノイズフィルタの使用を許可するビットです。

本ビットが“1”のとき、デジタルノイズフィルタが有効になります。“0”のとき、デジタルノイズフィルタ機能は無効です。

NMIFLTC.NFCLKSEL[1:0] ビットで設定したサンプリングクロック毎に NMI 端子のレベルをサンプリングし、レベルが 3 回一致したときにデジタルノイズフィルタからの出力レベルを変更します。

デジタルノイズフィルタの詳細は、「12.3.2 デジタルノイズフィルタ」を参照してください。

12.2.8 NMI 端子デジタルノイズフィルタ設定レジスタ (NMIFLTC)

NMIFLTC レジスタは、NMI 端子割り込みのデジタルノイズフィルタのサンプリングクロックを設定するレジスタです。

アドレス ICU.NMIFLTC A009 4258h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	NFCLKSEL [1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NFCLKSEL[1:0]	NMI デジタルノイズフィルタ サンプリングクロック設定ビット	b1 b0 0 0 : PCLKB 0 1 : PCLKB/8 1 0 : PCLKB/32 1 1 : PCLKB/64	R/W
b31-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

NFCLKSEL[1:0] ビット (NMI デジタルノイズフィルタサンプリングクロック設定ビット)

NMI 端子割り込みのデジタルノイズフィルタのサンプリングクロックを設定するビットです。

サンプリングクロックは、PCLKB (毎クロック)、PCLKB/8 (8 クロックに 1 回)、PCLKB/32 (32 クロックに 1 回)、PCLKB/64 (64 クロックに 1 回) より選択します。

デジタルノイズフィルタの詳細は、「12.3.2 デジタルノイズフィルタ」を参照してください。なお、割り込みをサンプリングする PCLKB は、デジタルノイズフィルタを無効にしても停止しません。

12.2.9 EtherPHY コントロールレジスタ i (EPHYCRi) (i = 0, 1)

EPHYCRi レジスタは、EtherPHY 割り込み要因 (ETH0_INT/ETH1_INT) の検出方法を設定するレジスタです。

アドレス ICU.EPHYCR0 A009 425Ch、ICU.EPHYCR1 A009 4260h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	EPHYMD [1:0]	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3-b2	EPHYMD[1:0]	EtherPHY 割り込み 検出設定ビット	b3 b2 0 0 : Low レベル 0 1 : 立ち下がリエッジ 1 0 : 立ち上がりエッジ 1 1 : 両エッジ	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

EPHYMD[1:0] ビット (EtherPHY 割り込み検出設定ビット)

EtherPHY 割り込み要因 (ETH0_INT/ETH1_INT) の検出方法を設定するビットです。EtherPHY 割り込み要因の検出方法の設定は、「12.3.3 外部端子割り込み」を参照してください。

注. VIC の PLS レジスタにも、本レジスタで設定した検出方法と同じ検出方法を設定してください。

12.2.10 EtherPHY 割り込み要求端子デジタルノイズフィルタ許可レジスタ (EPHYFLTE)

EPHYFLTE レジスタは、Ether PHY 割り込み要因 (ETH0_INT/ETH1_INT) のデジタルノイズフィルタの使用を許可するレジスタです。

アドレス ICU.EPHYFLTE A009 4268h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EFLTE N1	EFLTE N0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EFLTEN0	Ether PHY0割り込みデジタルノイズフィルタ許可ビット	0 : デジタルノイズフィルタ無効 1 : デジタルノイズフィルタ有効	R/W
b1	EFLTEN1	Ether PHY1割り込みデジタルノイズフィルタ許可ビット	0 : デジタルノイズフィルタ無効 1 : デジタルノイズフィルタ有効	R/W
b31-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

EFLTEN_i ビット (Ether PHY 割り込みデジタルノイズフィルタ許可ビット) (i = 0, 1)

Ether PHY 割り込み要因 (ETH0_INT/ETH1_INT) のデジタルノイズフィルタの使用を許可するビットです。

本ビットが“1”のとき、デジタルノイズフィルタが有効になります。“0”のとき、デジタルノイズフィルタ機能は無効です。

EPHYFLTE.FLTEN_i[1:0] ビットで設定したサンプリングクロック毎に ETH0_INT/ETH1_INT 端子のレベルをサンプリングし、レベルが3回一致したときにデジタルノイズフィルタからの出力レベルを変更します。

デジタルノイズフィルタの詳細は、「12.3.2 デジタルノイズフィルタ」を参照してください。

12.2.11 EtherPHY 割り込み要求端子デジタルノイズフィルタ設定レジスタ (EPHYFLTC)

EPHYFLTC レジスタは、Ether PHY 割り込み要求端子 (ETH0_INT/ETH1_INT) のデジタルノイズフィルタのサンプリングクロックを選択するレジスタです。

アドレス ICU.EPHYFLTC A009 426Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	EFCLKSEL1 [1:0]	EFCLKSEL0 [1:0]	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	EFCLKSEL0[1:0]	Ether PHY0 割り込み デジタルノイズフィルタ サンプリングクロック設定ビット	奇数b 偶数b 0 0 : PCLKB 0 1 : PCLKB/8 1 0 : PCLKB/32 1 1 : PCLKB/64	R/W
b3-b2	EFCLKSEL1[1:0]	Ether PHY1 割り込み デジタルノイズフィルタ サンプリングクロック設定ビット		R/W
b31-b4	—	予約ビット		読むと“0”が読めます。書く場合、“0”としてください。

EFCLKSELi[1:0] ビット (Ether PHYi 割り込みデジタルノイズフィルタサンプリングクロック設定ビット) (i = 0, 1)

Ether PHY 割り込み要求端子 (ETH0_INT/ETH1_INT) のデジタルノイズフィルタのサンプリングクロックを選択するビットです。

サンプリングクロックは、PCLKB (毎クロック)、PCLKB/8 (8クロックに1回)、PCLKB/32 (32クロックに1回)、PCLKB/64 (64クロックに1回) より選択します。

デジタルノイズフィルタの詳細は「12.3.2 デジタルノイズフィルタ」を参照してください。なお、割り込みをサンプリングする PCLKB は、デジタルノイズフィルタを無効にしても停止しません。

12.3 動作説明

12.3.1 割り込み要求先の選択

「表 12.3 Cortex-R4 / DMACAa 割り込みベクタテーブル」に示す割り込み要求の要求先を、CPU または DMACAa から選択可能です。CPU を選択した場合は、割り込み要求により割り込み処理へ分岐します。DMACAa を選択した場合は、割り込み要求により DMA 転送が開始され、DMA 転送が完了すると DMA 転送完了割り込みが発生します。「表 12.3 Cortex-R4 / DMACAa 割り込みベクタテーブル」で要求先に“○”の記載がない割り込み要求先は選択しないでください。

ベクタ番号 m を DMA 要因として DMACAa Unit0 のチャンネル N に割り付けた場合の割り込み要因選択の流れを図 12.2 に示します。DMA 要因選択レジスタで選択されたベクタ番号の割り込みは割り込みコントローラ (VIC) に接続されず、DMACAa の対応するチャンネルに DMA 転送要求として接続されます。DMA 転送後に VIC に対しては、DMACAa 各チャンネルの転送完了割り込みがベクタ番号 m の割り込みとして接続されます。

例えば、DMACAa Unit0 要因選択レジスタ 0 (DMA0SEL0) の IFC0[7:0] に、割り込みベクタ番号 21 (CMT Unit0 のコンペアマッチ割り込み_ch.0) を選択した場合、本割り込み要因が発生すると、DMACAa Unit0 のチャンネル 0 に DMA 転送要求が発生します。DMA 転送後、DMA 転送完了割り込みが発生する場合、VIC に対しては同一の割り込みベクタ番号 21 に DMACAa Unit0 チャンネル 0 に対する DMA 転送完了割り込み要求が接続されます。

ベクタ番号 m が要因選択レジスタで選択されていない場合、外部端子、各周辺からの割り込みが CPU 用の割り込みコントローラ VIC に接続されます (図 12.3)。

注. 割り込み (ベクタ番号 m) の要求先を DMACAa に選択した場合、DMA 転送後に DMA 転送完了割り込み信号が、割り込みコントローラのベクタ番号 m として通知されます。このため、要求先を DMACAa に選択した割り込み (ベクタ番号 m) の割り込み検出タイプは、ベクタ番号によらず必ずエッジ検出に設定する必要があります。

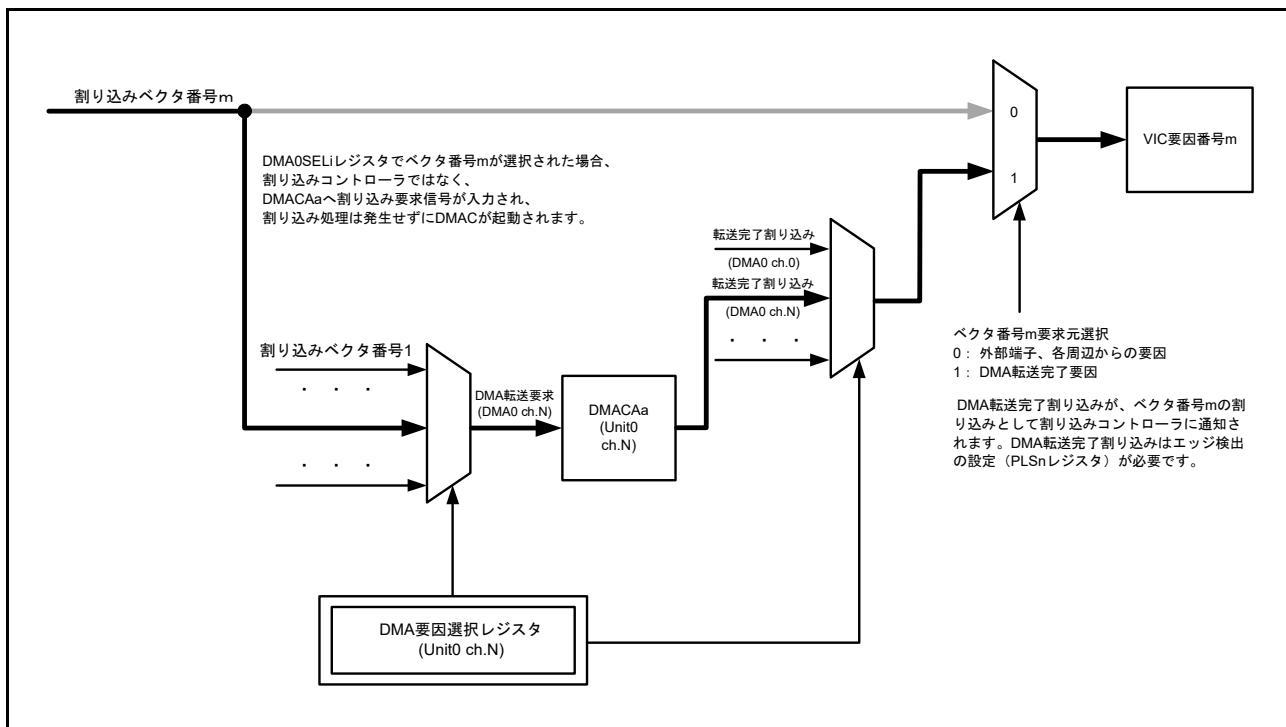


図 12.2 割り込み要求先を DMACAa に選択した場合

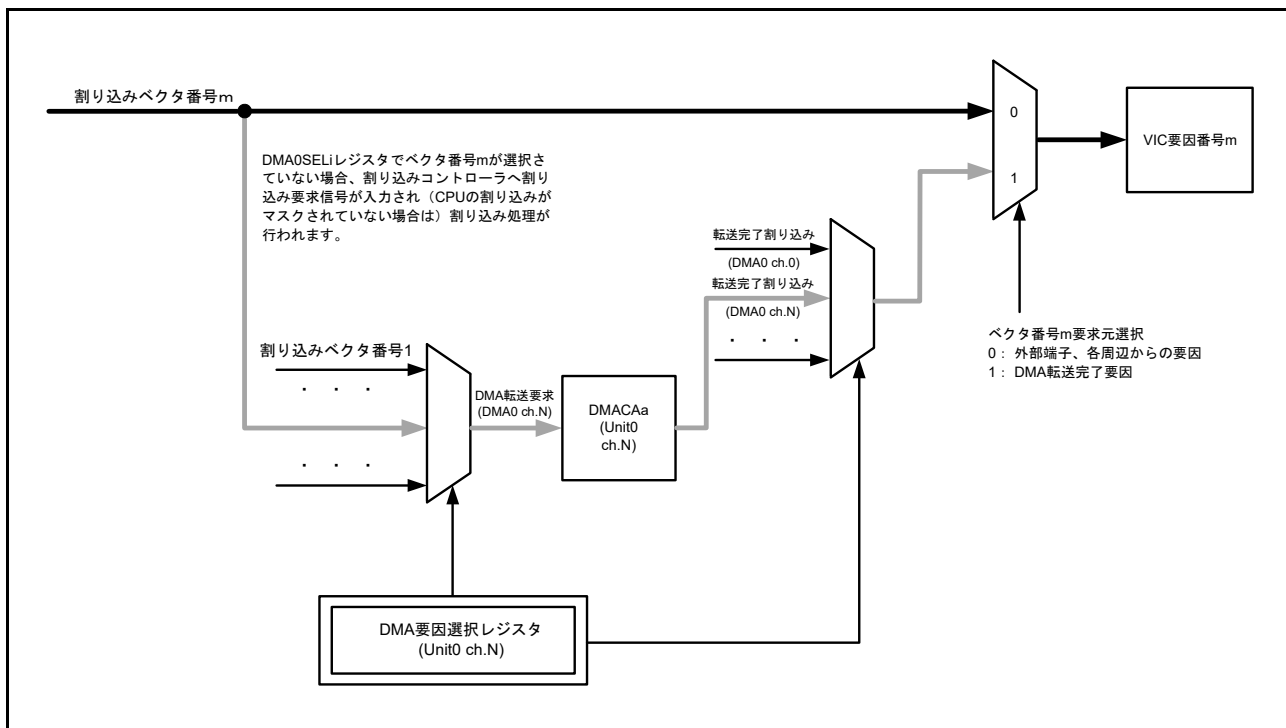


図 12.3 割り込み要求先を CPU（割り込みコントローラ）に選択した場合

12.3.2 デジタルノイズフィルタ

外部割り込み要求端子 IRQ_i ($i=0 \sim 4, 6, 7, 9, 11 \sim 14$)、NMI 端子割り込み、Ether PHY 割り込み端子 ETH_n_INT ($n=0, 1$) は、デジタルノイズフィルタ機能を持っています。

デジタルノイズフィルタは入力信号をフィルタ用サンプリングクロック (PCLKB) でサンプリングし、サンプリング 3 回に満たないパルスを除去します。

外部割り込み要求端子 IRQ_i ($i=0 \sim 4, 6, 7, 9, 11 \sim 14$) のデジタルノイズフィルタを使用する場合、 $IRQFLTC.FCLKSEL_i[1:0]$ ビット ($i=0 \sim 4, 6, 7, 9, 11 \sim 14$) でサンプリング周波数 (PCLKB、PCLKB/8、PCLKB/32、PCLKB/64) を設定し、 $IRQFLTE.FLTEN_i$ ビット ($i=0 \sim 4, 6, 7, 9, 11 \sim 14$) を“1”にしてください。

NMI 端子割り込みのデジタルノイズフィルタを使用する場合、 $NMICR.NFCLKSEL[1:0]$ ビットでサンプリング周波数 (PCLKB、PCLKB/8、PCLKB/32、PCLKB/64) を設定し、 $NMICR.NFLTEN$ ビットを“1”にしてください。

Ether PHY 割り込み端子 ETH_n_INT ($n=0, 1$) のデジタルノイズフィルタを使用する場合、 $EPHYFLTC.FCLKSEL_n[1:0]$ ビット ($n=0, 1$) でサンプリング周波数 (PCLKB、PCLKB/8、PCLKB/32、PCLKB/64) を設定し、 $EPHYFLTE.FLTEN_n$ ビット ($n=0, 1$) を“1”にしてください。

図 12.4 にデジタルノイズフィルタの動作例を示します。

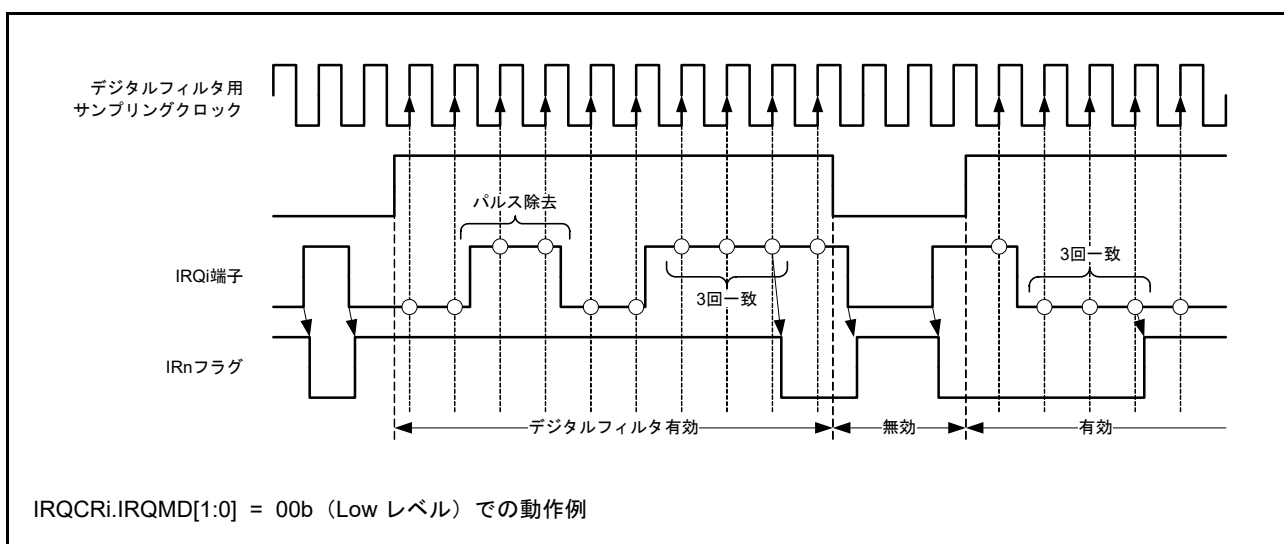


図 12.4 デジタルノイズフィルタ動作例

12.3.3 外部端子割り込み

外部端子割り込みを Cortex-R4 に接続する手順は以下のとおりです。VIC の詳細については、「12.4 Cortex-R4 ベクタ割り込みコントローラ (VIC)」を参照してください。

また、外部端子割り込みを立ち下がりエッジ、または両エッジで使用する場合は「12.5.1 外部端子割り込みを立ち下がりエッジ、または両エッジで使用する場合」も参照してください。

[IRQ 端子の場合]

1. 該当する IENn ビットを“0”にする (IECn ビットをセットする)。
2. IRQFLTE.FLTENi ビットを“0”にする。(注1)
3. IRQFLTC.FCLKSEL[1:0] でデジタルノイズフィルタのサンプリングクロックを設定する。(注1)
4. I/O ポートのポート方向レジスタ (PDR) Pmn 方向制御ビットに、“10b (入力)”を設定する。
5. I/O ポート (PmnPFS.ISEL ビット) の設定を行う。
6. IRQCRi.IRQMD[1:0] ビットで検出方法を設定する。
7. IRQFLTE.FLTENi ビットを“1”にする。(注1)
8. 該当する PICn レジスタを“1”にする (エッジ検出の場合)。
9. 該当する IENn ビットを“1”にする。

注1. デジタルノイズフィルタを使用する場合のみ設定が必要

[ETH0_INT/ETH1_INT の場合]

1. 該当する IENn ビットを“0”にする (IECn ビットをセットする)。
2. EPHYFLTE.EFLTENi ビットを“0”にする。(注1)
3. EPHYFLTC.EFCLKSEL[1:0] でデジタルノイズフィルタのサンプリングクロックを設定する。(注1)
4. I/O ポートのポート方向レジスタ (PDR) Pmn 方向制御ビットに、“10b (入力)”を設定する。
5. I/O ポート (PmnPFS.PSEL[5:0] ビットおよび PMR レジスタ) の設定を行う。
6. EPHYCRi.EPHYMD[1:0] ビットで検出方法を設定する。
7. EPHYFLTE.EFLTENi ビットを“1”にする。(注1)
8. 該当する PICn レジスタを“1”にする (エッジ検出の場合)。
9. 該当する IENn ビットを“1”にする。

注1. デジタルノイズフィルタを使用する場合のみ設定が必要

12.3.4 NMI 端子割り込み

リセット後の該当端子は、汎用入出力ポートになっています。NMI 端子を使用する場合は、以下の手順で設定してください。

また、NMI 端子として設定した後に、汎用入出力ポート機能に変更することは禁止です。

NMI 端子を立ち下がリエッジで使用する場合は「12.5.2 NMI 端子割り込みを立ち下がリエッジで使用する場合」も参照してください。

1. NMIFLTC.NFCLKSEL[1:0] ビットを“0”にする。(注1)
2. NMIFLTC.NFCLKSEL[1:0] でデジタルノイズフィルタのサンプリングクロックを設定する。(注1)
3. NMICR.NMIMD ビットで検出エッジを設定する。
4. NMICLR.NMICLR ビットに“1”をセットし、NMISR.NMIST フラグを“0”にする。
5. NMIFLTC.NFCLKSEL ビットを“1”にセットする。(注1)
6. I/O ポートのポート方向レジスタ (PDR) P35 方向制御ビットに、“10b (入力)”を設定する。
7. I/O ポートの設定 (P35PFS.ISEL ビット)、および確認を行う。

注1. デジタルノイズフィルタを使用する場合のみ設定が必要です。

12.4 Cortex-R4 ベクタ割り込みコントローラ (VIC)

12.4.1 概要

EC-1 では、Cortex-R4 に対する割り込み制御として、ベクタ割り込みコントローラ (VIC: Vector Interrupt Controller) を採用しています。NMI 端子や ECM からのノンマスクブル割り込み要求は、FIQ 割り込みとして扱われ、高速かつ常に受け付けられます。NMI を除いた外部からの割り込みや内蔵周辺からの割り込みは、IRQ 割り込み (マスクブル割り込み) として受け付けられます。IRQ 割り込みは、各割り込み要因ごとに準備される割り込みアドレス格納レジスタ (VADn) にあらかじめ分岐先アドレスを格納することで、割り込み発生時に割り込みコントローラから Cortex-R4 へベクタアドレスが提供され、VADn レジスタの設定値アドレスへ直接分岐することが可能です。

12.4.2 レジスタの説明

12.4.2.1 IRQ ステータスレジスタ n (IRQSn) (n = 0 ~ 9)

IRQSn (n=0~9) レジスタは、IRQ 割り込みマスク後の割り込みステータスを示すレジスタです。本レジスタは割り込み許可 (IENn = 1) 状態のときに有効です。割り込み禁止 (IENn = 0) 状態では割り込みステータスが反映されません。

IRQSn レジスタは、32 ビット単位でリードのみ可能です。

レベル割り込みを完了させる際に、本レジスタで割り込み要求が発生していないことを確認します。

(「12.4.4.3 (2) IRQ 割り込み (レベル割り込み)」を参照)

- IRQS0

アドレス VIC.IRQS0 A001 0000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IRQ31	IRQ30	IRQ29	IRQ28	IRQ27	IRQ26	IRQ25	IRQ24	IRQ23	IRQ22	IRQ21	IRQ20	IRQ19	IRQ18	IRQ17	IRQ16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IRQ15	IRQ14	IRQ13	IRQ12	IRQ11	IRQ10	IRQ9	IRQ8	IRQ7	IRQ6	IRQ5	IRQ4	IRQ3	IRQ2	IRQ1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。	R
b31-b1	IRQ[31:1]	割り込みステータスフラグ	0 : IRQ 割り込み要求なし 1 : IRQ 割り込み要求あり	R

- IRQS1

アドレス VIC.IRQS1 A001 0004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IRQ63	IRQ62	IRQ61	IRQ60	IRQ59	IRQ58	IRQ57	IRQ56	IRQ55	IRQ54	IRQ53	IRQ52	IRQ51	IRQ50	IRQ49	IRQ48
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IRQ47	IRQ46	IRQ45	IRQ44	IRQ43	IRQ42	IRQ41	IRQ40	IRQ39	IRQ38	IRQ37	IRQ36	IRQ35	IRQ34	IRQ33	IRQ32
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IRQ[63:32]	割り込みステータスフラグ	0 : IRQ 割り込み要求なし 1 : IRQ 割り込み要求あり	R

IRQi フラグ (割り込みステータスフラグ) (i = 1 ~ 63)

IEN レジスタによる割り込みマスク後の割り込みのステータスを示すフラグです。

• IRQS2

アドレス VIC.IRQS2 A001 0008h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IRQ95	IRQ94	IRQ93	IRQ92	IRQ91	IRQ90	IRQ89	IRQ88	IRQ87	IRQ86	IRQ85	IRQ84	IRQ83	IRQ82	IRQ81	IRQ80
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IRQ79	IRQ78	IRQ77	IRQ76	IRQ75	IRQ74	IRQ73	IRQ72	IRQ71	IRQ70	IRQ69	IRQ68	IRQ67	IRQ66	IRQ65	IRQ64
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IRQ[95:64]	割り込みステータスフラグ	0 : IRQ割り込み要求なし 1 : IRQ割り込み要求あり	R

• IRQS3

アドレス VIC.IRQS3 A001 000Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IRQ127	IRQ126	IRQ125	IRQ124	IRQ123	IRQ122	IRQ121	IRQ120	IRQ119	IRQ118	IRQ117	IRQ116	IRQ115	IRQ114	IRQ113	IRQ112
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IRQ111	IRQ110	IRQ109	IRQ108	IRQ107	IRQ106	IRQ105	IRQ104	IRQ103	IRQ102	IRQ101	IRQ100	IRQ99	IRQ98	IRQ97	IRQ96
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IRQ[127:96]	割り込みステータスフラグ	0 : IRQ割り込み要求なし 1 : IRQ割り込み要求あり	R

IRQ_i フラグ (割り込みステータスフラグ) (i = 64 ~ 127)

IEN レジスタによる割り込みマスク後の割り込みのステータスを示すフラグです。

• IRQS4

アドレス VIC.IRQS4 A001 0010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IRQ159	IRQ158	IRQ157	IRQ156	IRQ155	IRQ154	IRQ153	IRQ152	IRQ151	IRQ150	IRQ149	IRQ148	IRQ147	IRQ146	IRQ145	IRQ144
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IRQ143	IRQ142	IRQ141	IRQ140	IRQ139	IRQ138	IRQ137	IRQ136	IRQ135	IRQ134	IRQ133	IRQ132	IRQ131	IRQ130	IRQ129	IRQ128
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IRQ[159:128]	割り込みステータスフラグ	0 : IRQ割り込み要求なし 1 : IRQ割り込み要求あり	R

• IRQS5

アドレス VIC.IRQS5 A001 0014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IRQ191	IRQ190	IRQ189	IRQ188	IRQ187	IRQ186	IRQ185	IRQ184	IRQ183	IRQ182	IRQ181	IRQ180	IRQ179	IRQ178	IRQ177	IRQ176
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IRQ175	IRQ174	IRQ173	IRQ172	IRQ171	IRQ170	IRQ169	IRQ168	IRQ167	IRQ166	IRQ165	IRQ164	IRQ163	IRQ162	IRQ161	IRQ160
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IRQ[191:160]	割り込みステータスフラグ	0 : IRQ割り込み要求なし 1 : IRQ割り込み要求あり	R

IRQ_i フラグ (割り込みステータスフラグ) (i = 128 ~ 191)

IEN レジスタによる割り込みマスク後の割り込みのステータスを示すフラグです。

• IRQS6

アドレス VIC.IRQS6 A001 0018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IRQ223	IRQ222	IRQ221	IRQ220	IRQ219	IRQ218	IRQ217	IRQ216	IRQ215	IRQ214	IRQ213	IRQ212	IRQ211	IRQ210	IRQ209	IRQ208
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IRQ207	IRQ206	IRQ205	IRQ204	IRQ203	IRQ202	IRQ201	IRQ200	IRQ199	IRQ198	IRQ197	IRQ196	IRQ195	IRQ194	IRQ193	IRQ192
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IRQ[223:192]	割り込みステータスフラグ	0 : IRQ 割り込み要求なし 1 : IRQ 割り込み要求あり	R

• IRQS7

アドレス VIC.IRQS7 A001 001Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IRQ255	IRQ254	IRQ253	IRQ252	IRQ251	IRQ250	IRQ249	IRQ248	IRQ247	IRQ246	IRQ245	IRQ244	IRQ243	IRQ242	IRQ241	IRQ240
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IRQ239	IRQ238	IRQ237	IRQ236	IRQ235	IRQ234	IRQ233	IRQ232	IRQ231	IRQ230	IRQ229	IRQ228	IRQ227	IRQ226	IRQ225	IRQ224
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IRQ[255:224]	割り込みステータスフラグ	0 : IRQ 割り込み要求なし 1 : IRQ 割り込み要求あり	R

IRQ_i フラグ (割り込みステータスフラグ) (i = 192 ~ 255)

IEN レジスタによる割り込みマスク後の割り込みのステータスを示すフラグです。

• IRQS8

アドレス VIC.IRQS8 A001 1000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IRQ287	IRQ286	IRQ285	IRQ284	IRQ283	IRQ282	IRQ281	IRQ280	IRQ279	IRQ278	IRQ277	IRQ276	IRQ275	IRQ274	IRQ273	IRQ272
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IRQ271	IRQ270	IRQ269	IRQ268	IRQ267	IRQ266	IRQ265	IRQ264	IRQ263	IRQ262	IRQ261	IRQ260	IRQ259	IRQ258	IRQ257	IRQ256
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IRQ[287:256]	割り込みステータスフラグ	0 : IRQ割り込み要求なし 1 : IRQ割り込み要求あり	R

• IRQS9

アドレス VIC.IRQS9 A001 1004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	IRQ300	IRQ299	IRQ298	IRQ297	IRQ296	IRQ295	IRQ294	IRQ293	IRQ292	IRQ291	IRQ290	IRQ289	IRQ288
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b12-b0	IRQ[300:288]	割り込みステータスフラグ	0 : IRQ割り込み要求なし 1 : IRQ割り込み要求あり	R
b31-b13	—	予約ビット	読むと“0”が読めます。	R

IRQ_i フラグ (割り込みステータスフラグ) (i = 256 ~ 300)

IEN レジスタによる割り込みマスク後の割り込みのステータスを示すフラグです。

12.4.2.2 割り込み入力ステータスレジスタ n (RAISn) (n = 0 ~ 9)

RAISn (n = 0 ~ 9) レジスタは、IRQ (マスカブル割り込み) マスク前の割り込み入力ステータスを示すレジスタです。本レジスタは IENn レジスタの設定 (割り込み許可/禁止) に関係なく、割り込みステータスが反映されます。

RAISn レジスタは、32 ビット単位でリードのみ可能です。割り込みをポーリングで使用するなど、割り込み禁止状態 (IENn = 0) で割り込みステータスを確認することが可能です (「12.4.4.6 ポーリングによる IRQ 割り込み処理」を参照)

- RAIS0

アドレス VIC.RAIS0 A001 0040h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RAI31	RAI30	RAI29	RAI28	RAI27	RAI26	RAI25	RAI24	RAI23	RAI22	RAI21	RAI20	RAI19	RAI18	RAI17	RAI16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RAI15	RAI14	RAI13	RAI12	RAI11	RAI10	RAI9	RAI8	RAI7	RAI6	RAI5	RAI4	RAI3	RAI2	RAI1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。	R
b31-b1	RAI[31:1]	割り込み入力ステータスフラグ	0 : 割り込み要求なし 1 : 割り込み要求あり	R

- RAIS1

アドレス VIC.RAIS1 A001 0044h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RAI63	RAI62	RAI61	RAI60	RAI59	RAI58	RAI57	RAI56	RAI55	RAI54	RAI53	RAI52	RAI51	RAI50	RAI49	RAI48
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RAI47	RAI46	RAI45	RAI44	RAI43	RAI42	RAI41	RAI40	RAI39	RAI38	RAI37	RAI36	RAI35	RAI34	RAI33	RAI32
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	RAI[63:32]	割り込み入力ステータスフラグ	0 : 割り込み要求なし 1 : 割り込み要求あり	R

RAIi フラグ (割り込み入力ステータスフラグ) (i = 1 ~ 63)

割り込みマスク前の割り込み要求の入力のステータスを示すフラグです。

• RAIS2

アドレス VIC.RAIS2 A001 0048h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RAI95	RAI94	RAI93	RAI92	RAI91	RAI90	RAI89	RAI88	RAI87	RAI86	RAI85	RAI84	RAI83	RAI82	RAI81	RAI80
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RAI79	RAI78	RAI77	RAI76	RAI75	RAI74	RAI73	RAI72	RAI71	RAI70	RAI69	RAI68	RAI67	RAI66	RAI65	RAI64
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	RAI[95:64]	割り込み入力ステータスフラグ	0 : 割り込み要求なし 1 : 割り込み要求あり	R

• RAIS3

アドレス VIC.RAIS3 A001 004Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RAI127	RAI126	RAI125	RAI124	RAI123	RAI122	RAI121	RAI120	RAI119	RAI118	RAI117	RAI116	RAI115	RAI114	RAI113	RAI112
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RAI111	RAI110	RAI109	RAI108	RAI107	RAI106	RAI105	RAI104	RAI103	RAI102	RAI101	RAI100	RAI99	RAI98	RAI97	RAI96
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	RAI[127:96]	割り込み入力ステータスフラグ	0 : 割り込み要求なし 1 : 割り込み要求あり	R

RAI_i フラグ (割り込み入力ステータスフラグ) (i = 64 ~ 127)

割り込みマスク前の割り込み要求の入力のステータスを示すフラグです。

• RAIS4

アドレス VIC.RAIS4 A001 0050h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RAI159	RAI158	RAI157	RAI156	RAI155	RAI154	RAI153	RAI152	RAI151	RAI150	RAI149	RAI148	RAI147	RAI146	RAI145	RAI144
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RAI143	RAI142	RAI141	RAI140	RAI139	RAI138	RAI137	RAI136	RAI135	RAI134	RAI133	RAI132	RAI131	RAI130	RAI129	RAI128
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	RAI[159:128]	割り込み入力ステータスフラグ	0 : 割り込み要求なし 1 : 割り込み要求あり	R

• RAIS5

アドレス VIC.RAIS5 A001 0054h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RAI191	RAI190	RAI189	RAI188	RAI187	RAI186	RAI185	RAI184	RAI183	RAI182	RAI181	RAI180	RAI179	RAI178	RAI177	RAI176
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RAI175	RAI174	RAI173	RAI172	RAI171	RAI170	RAI169	RAI168	RAI167	RAI166	RAI165	RAI164	RAI163	RAI162	RAI161	RAI160
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	RAI[191:160]	割り込み入力ステータスフラグ	0 : 割り込み要求なし 1 : 割り込み要求あり	R

RAIi フラグ (割り込み入力ステータスフラグ) (i = 128 ~ 191)

割り込みマスク前の割り込み要求の入力のステータスを示すフラグです。

• RAIS6

アドレス VIC.RAIS6 A001 0058h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RAI223	RAI222	RAI221	RAI220	RAI219	RAI218	RAI217	RAI216	RAI215	RAI214	RAI213	RAI212	RAI211	RAI210	RAI209	RAI208
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RAI207	RAI206	RAI205	RAI204	RAI203	RAI202	RAI201	RAI200	RAI199	RAI198	RAI197	RAI196	RAI195	RAI194	RAI193	RAI192
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	RAI[223:192]	割り込み入力ステータスフラグ	0 : 割り込み要求なし 1 : 割り込み要求あり	R

• RAIS7

アドレス VIC.RAIS7 A001 005Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RAI255	RAI254	RAI253	RAI252	RAI251	RAI250	RAI249	RAI248	RAI247	RAI246	RAI245	RAI244	RAI243	RAI242	RAI241	RAI240
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RAI239	RAI238	RAI237	RAI236	RAI235	RAI234	RAI233	RAI232	RAI231	RAI230	RAI229	RAI228	RAI227	RAI226	RAI225	RAI224
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	RAI[255:224]	割り込み入力ステータスフラグ	0 : 割り込み要求なし 1 : 割り込み要求あり	R

RAIi フラグ (割り込み入力ステータスフラグ) (i = 192 ~ 255)

割り込みマスク前の割り込み要求の入力のステータスを示すフラグです。

• RAIS8

アドレス VIC.RAIS8 A001 1040h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RAI287	RAI286	RAI285	RAI284	RAI283	RAI282	RAI281	RAI280	RAI279	RAI278	RAI277	RAI276	RAI275	RAI274	RAI273	RAI272
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RAI271	RAI270	RAI269	RAI268	RAI267	RAI266	RAI265	RAI264	RAI263	RAI262	RAI261	RAI260	RAI259	RAI258	RAI257	RAI256
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	RAI[287:256]	割り込み入力ステータスフラグ	0 : 割り込み要求なし 1 : 割り込み要求あり	R

• RAIS9

アドレス VIC.RAIS9 A001 1044h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	RAI300	RAI299	RAI298	RAI297	RAI296	RAI295	RAI294	RAI293	RAI292	RAI291	RAI290	RAI289	RAI288
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b12-b0	RAI[300:288]	割り込み入力ステータスフラグ	0 : 割り込み要求なし 1 : 割り込み要求あり	R
b31-b13	—	予約ビット	読むと“0”が読めます。	R

RAIi フラグ (割り込み入力ステータスフラグ) (i = 256 ~ 300)

割り込みマスク前の割り込み要求の入力のステータスを示すフラグです。

12.4.2.3 割り込みイネーブルレジスタ n (IENn) (n = 0 ~ 9)

IENn (n=0~9) レジスタは、IRQ 割り込みの許可/マスクを選択するレジスタです。リセット時は、すべての割り込み要求はマスクされています。

このレジスタは、ビットをセット (1) すると、クリア (0) はできません。クリアは割り込みイネーブルクリアレジスタ n (IECn) で行ってください。

IENn レジスタは、32 ビット単位でリード/ライト可能です。

- IEN0

アドレス VIC.IEN0 A001 0080h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEN31	IEN30	IEN29	IEN28	IEN27	IEN26	IEN25	IEN24	IEN23	IEN22	IEN21	IEN20	IEN19	IEN18	IEN17	IEN16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEN15	IEN14	IEN13	IEN12	IEN11	IEN10	IEN9	IEN8	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b31-b1	IEN[31:1]	割り込み要求許可ビット	0 : 割り込みマスク (ディスエーブル) 状態 1 : 割り込み許可 (イネーブル) 状態	R/W

- IEN1

アドレス VIC.IEN1 A001 0084h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEN63	IEN62	IEN61	IEN60	IEN59	IEN58	IEN57	IEN56	IEN55	IEN54	IEN53	IEN52	IEN51	IEN50	IEN49	IEN48
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEN47	IEN46	IEN45	IEN44	IEN43	IEN42	IEN41	IEN40	IEN39	IEN38	IEN37	IEN36	IEN35	IEN34	IEN33	IEN32
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEN[63:32]	割り込み要求許可ビット	0 : 割り込みマスク (ディスエーブル) 状態 1 : 割り込み許可 (イネーブル) 状態	R/W

IENi ビット (割り込み要求許可ビット) (i = 1 ~ 63)

割り込み要求の許可設定を行うビットです。一度許可に設定すると IENn レジスタではマスクすることはできません。

割り込みマスクは、IECn レジスタで行ってください。

• IEN2

アドレス VIC.IEN2 A001 0088h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEN95	IEN94	IEN93	IEN92	IEN91	IEN90	IEN89	IEN88	IEN87	IEN86	IEN85	IEN84	IEN83	IEN82	IEN81	IEN80
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEN79	IEN78	IEN77	IEN76	IEN75	IEN74	IEN73	IEN72	IEN71	IEN70	IEN69	IEN68	IEN67	IEN66	IEN65	IEN64
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEN[95:64]	割り込み要求許可ビット	0 : 割り込みマスク (ディスエーブル) 状態 1 : 割り込み許可 (イネーブル) 状態	R/W

• IEN3

アドレス VIC.IEN3 A001 008Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEN127	IEN126	IEN125	IEN124	IEN123	IEN122	IEN121	IEN120	IEN119	IEN118	IEN117	IEN116	IEN115	IEN114	IEN113	IEN112
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEN111	IEN110	IEN109	IEN108	IEN107	IEN106	IEN105	IEN104	IEN103	IEN102	IEN101	IEN100	IEN99	IEN98	IEN97	IEN96
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEN[127:96]	割り込み要求許可ビット	0 : 割り込みマスク (ディスエーブル) 状態 1 : 割り込み許可 (イネーブル) 状態	R/W

IENi ビット (割り込み要求許可ビット) (i = 64 ~ 127)

割り込み要求の許可設定を行うビットです。一度許可に設定すると IENn レジスタではマスクすることはできません。

割り込みマスクは、IECn レジスタで行ってください。

• IEN4

アドレス VIC.IEN4 A001 0090h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEN159	IEN158	IEN157	IEN156	IEN155	IEN154	IEN153	IEN152	IEN151	IEN150	IEN149	IEN148	IEN147	IEN146	IEN145	IEN144
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEN143	IEN142	IEN141	IEN140	IEN139	IEN138	IEN137	IEN136	IEN135	IEN134	IEN133	IEN132	IEN131	IEN130	IEN129	IEN128
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEN[159:128]	割り込み要求許可ビット	0 : 割り込みマスク (ディスエーブル) 状態 1 : 割り込み許可 (イネーブル) 状態	R/W

• IEN5

アドレス VIC.IEN5 A001 0094h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEN191	IEN190	IEN189	IEN188	IEN187	IEN186	IEN185	IEN184	IEN183	IEN182	IEN181	IEN180	IEN179	IEN178	IEN177	IEN176
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEN175	IEN174	IEN173	IEN172	IEN171	IEN170	IEN169	IEN168	IEN167	IEN166	IEN165	IEN164	IEN163	IEN162	IEN161	IEN160
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEN[191:160]	割り込み要求許可ビット	0 : 割り込みマスク (ディスエーブル) 状態 1 : 割り込み許可 (イネーブル) 状態	R/W

IENi ビット (割り込み要求許可ビット) (i = 128 ~ 191)

割り込み要求の許可設定を行うビットです。一度許可に設定すると IENn レジスタではマスクすることはできません。

割り込みマスクは、IECn レジスタで行ってください。

• IEN6

アドレス VIC.IEN6 A001 0098h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEN223	IEN222	IEN221	IEN220	IEN219	IEN218	IEN217	IEN216	IEN215	IEN214	IEN213	IEN212	IEN211	IEN210	IEN209	IEN208
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEN207	IEN206	IEN205	IEN204	IEN203	IEN202	IEN201	IEN200	IEN199	IEN198	IEN197	IEN196	IEN195	IEN194	IEN193	IEN192
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEN[223:192]	割り込み要求許可ビット	0 : 割り込みマスク (ディスエーブル) 状態 1 : 割り込み許可 (イネーブル) 状態	R/W

• IEN7

アドレス VIC.IEN7 A001 009Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEN255	IEN254	IEN253	IEN252	IEN251	IEN250	IEN249	IEN248	IEN247	IEN246	IEN245	IEN244	IEN243	IEN242	IEN241	IEN240
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEN239	IEN238	IEN237	IEN236	IEN235	IEN234	IEN233	IEN232	IEN231	IEN230	IEN229	IEN228	IEN227	IEN226	IEN225	IEN224
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEN[255:224]	割り込み要求許可ビット	0 : 割り込みマスク (ディスエーブル) 状態 1 : 割り込み許可 (イネーブル) 状態	R/W

IENi ビット (割り込み要求許可ビット) (i = 192 ~ 255)

割り込み要求の許可設定を行うビットです。一度許可に設定すると IENn レジスタではマスクすることはできません。

割り込みマスクは、IECn レジスタで行ってください。

• IEN8

アドレス VIC.IEN8 A001 1080h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEN287	IEN286	IEN285	IEN284	IEN283	IEN282	IEN281	IEN280	IEN279	IEN278	IEN277	IEN276	IEN275	IEN274	IEN273	IEN272
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEN271	IEN270	IEN269	IEN268	IEN267	IEN266	IEN265	IEN264	IEN263	IEN262	IEN261	IEN260	IEN259	IEN258	IEN257	IEN256
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEN[287:256]	割り込み要求許可ビット	0 : 割り込みマスク (ディスエーブル) 状態 1 : 割り込み許可 (イネーブル) 状態	R/W

• IEN9

アドレス VIC.IEN9 A001 1084h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	IEN300	IEN299	IEN298	IEN297	IEN296	IEN295	IEN294	IEN293	IEN292	IEN291	IEN290	IEN289	IEN288
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b12-b0	IEN[300:288]	割り込み要求許可ビット	0 : 割り込みマスク (ディスエーブル) 状態 1 : 割り込み許可 (イネーブル) 状態	R/W
b31-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

IENi ビット (割り込み要求許可ビット) (i = 256 ~ 300)

割り込み要求の許可設定を行うビットです。一度許可に設定すると IENn レジスタではマスクすることはできません。

割り込みマスクは、IECn レジスタで行ってください。

12.4.2.4 割り込みイネーブルクリアレジスタ n (IECn) (n = 0 ~ 9)

IECn (n=0~9) レジスタは、IENn レジスタのビットをクリアし、該当する割り込み要求をマスク (ディスエーブル) 状態に設定するレジスタです。

IECn レジスタは、32 ビット単位でライトのみ可能です。

IECn レジスタを書き換える場合は、割り込み禁止状態で行う必要があります。割り込み禁止は Arm CPU の CPSR レジスタの I ビットをセット (1) することで行ってください。

• IEC0

アドレス VIC.IEC0 A001 00A0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEC31	IEC30	IEC29	IEC28	IEC27	IEC26	IEC25	IEC24	IEC23	IEC22	IEC21	IEC20	IEC19	IEC18	IEC17	IEC16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEC15	IEC14	IEC13	IEC12	IEC11	IEC10	IEC9	IEC8	IEC7	IEC6	IEC5	IEC4	IEC3	IEC2	IEC1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	書く場合、“0”としてください。	W
b31-b1	IEC[31:1]	割り込み要求クリアビット	0 : 何も変わりません。 1 : 割り込みマスク (ディスエーブル) 状態、IEN レジスタの該当ビットをクリア (0)	W

• IEC1

アドレス VIC.IEC1 A001 00A4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEC63	IEC62	IEC61	IEC60	IEC59	IEC58	IEC57	IEC56	IEC55	IEC54	IEC53	IEC52	IEC51	IEC50	IEC49	IEC48
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEC47	IEC46	IEC45	IEC44	IEC43	IEC42	IEC41	IEC40	IEC39	IEC38	IEC37	IEC36	IEC35	IEC34	IEC33	IEC32
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEC[63:32]	割り込み要求クリアビット	0 : 何も変わりません。 1 : 割り込みマスク (ディスエーブル) 状態、IEN レジスタの該当ビットをクリア (0)	W

IECi ビット (割り込み要求クリアビット) (i = 1 ~ 63)

割り込み要求のマスク (ディスエーブル) 設定を行うビットです。あるビットをセット (1) すると、IEN レジスタの同ビットがクリア (0) され、その割り込み要求はマスク (ディスエーブル) 状態になります。

• IEC2

アドレス VIC.IEC2 A001 00A8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEC95	IEC94	IEC93	IEC92	IEC91	IEC90	IEC89	IEC88	IEC87	IEC86	IEC85	IEC84	IEC83	IEC82	IEC81	IEC80
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEC79	IEC78	IEC77	IEC76	IEC75	IEC74	IEC73	IEC72	IEC71	IEC70	IEC69	IEC68	IEC67	IEC66	IEC65	IEC64
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEC[95:64]	割り込み要求クリアビット	0 : 何も変わりません。 1 : 割り込みマスク (ディスエーブル) 状態、IENレジスタの該当ビットをクリア (0)	W

• IEC3

アドレス VIC.IEC3 A001 00ACh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEC127	IEC126	IEC125	IEC124	IEC123	IEC122	IEC121	IEC120	IEC119	IEC118	IEC117	IEC116	IEC115	IEC114	IEC113	IEC112
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEC111	IEC110	IEC109	IEC108	IEC107	IEC106	IEC105	IEC104	IEC103	IEC102	IEC101	IEC100	IEC99	IEC98	IEC97	IEC96
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEC[127:96]	割り込み要求クリアビット	0 : 何も変わりません。 1 : 割り込みマスク (ディスエーブル) 状態、IENレジスタの該当ビットをクリア (0)	W

IECi ビット (割り込み要求クリアビット) (i = 64 ~ 127)

割り込み要求のマスク (ディスエーブル) 設定を行うビットです。あるビットをセット (1) すると、IENレジスタの同ビットがクリア (0) され、その割り込み要求はマスク (ディスエーブル) 状態になります。

• IEC4

アドレス VIC.IEC4 A001 00B0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEC159	IEC158	IEC157	IEC156	IEC155	IEC154	IEC153	IEC152	IEC151	IEC150	IEC149	IEC148	IEC147	IEC146	IEC145	IEC144
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEC143	IEC142	IEC141	IEC140	IEC139	IEC138	IEC137	IEC136	IEC135	IEC134	IEC133	IEC132	IEC131	IEC130	IEC129	IEC128
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEC[159:128]	割り込み要求クリアビット	0 : 何も変わりません。 1 : 割り込みマスク (ディスエーブル) 状態、IENレジスタの該当ビットをクリア (0)	W

• IEC5

アドレス VIC.IEC5 A001 00B4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEC191	IEC190	IEC189	IEC188	IEC187	IEC186	IEC185	IEC184	IEC183	IEC182	IEC181	IEC180	IEC179	IEC178	IEC177	IEC176
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEC175	IEC174	IEC173	IEC172	IEC171	IEC170	IEC169	IEC168	IEC167	IEC166	IEC165	IEC164	IEC163	IEC162	IEC161	IEC160
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEC[191:160]	割り込み要求クリアビット	0 : 何も変わりません。 1 : 割り込みマスク (ディスエーブル) 状態、IENレジスタの該当ビットをクリア (0)	W

IEC_i ビット (割り込み要求クリアビット) (i = 128 ~ 191)

割り込み要求のマスク (ディスエーブル) 設定を行うビットです。あるビットをセット (1) すると、IENレジスタの同ビットがクリア (0) され、その割り込み要求はマスク (ディスエーブル) 状態になります。

• IEC6

アドレス VIC.IEC6 A001 00B8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEC223	IEC222	IEC221	IEC220	IEC219	IEC218	IEC217	IEC216	IEC215	IEC214	IEC213	IEC212	IEC211	IEC210	IEC209	IEC208
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEC207	IEC206	IEC205	IEC204	IEC203	IEC202	IEC201	IEC200	IEC199	IEC198	IEC197	IEC196	IEC195	IEC194	IEC193	IEC192
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEC[223:192]	割り込み要求クリアビット	0 : 何も変わりません。 1 : 割り込みマスク (ディスエーブル) 状態、IENレジスタの該当ビットをクリア (0)	W

• IEC7

アドレス VIC.IEC7 A001 00BCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEC255	IEC254	IEC253	IEC252	IEC251	IEC250	IEC249	IEC248	IEC247	IEC246	IEC245	IEC244	IEC243	IEC242	IEC241	IEC240
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEC239	IEC238	IEC237	IEC236	IEC235	IEC234	IEC233	IEC232	IEC231	IEC230	IEC229	IEC228	IEC227	IEC226	IEC225	IEC224
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEC[255:224]	割り込み要求クリアビット	0 : 何も変わりません。 1 : 割り込みマスク (ディスエーブル) 状態、IENレジスタの該当ビットをクリア (0)	W

IECi ビット (割り込み要求クリアビット) (i = 192 ~ 255)

割り込み要求のマスク (ディスエーブル) 設定を行うビットです。あるビットをセット (1) すると、IENレジスタの同ビットがクリア (0) され、その割り込み要求はマスク (ディスエーブル) 状態になります。

• IEC8

アドレス VIC.IEC8 A001 10A0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IEC287	IEC286	IEC285	IEC284	IEC283	IEC282	IEC281	IEC280	IEC279	IEC278	IEC277	IEC276	IEC275	IEC274	IEC273	IEC272
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IEC271	IEC270	IEC269	IEC268	IEC267	IEC266	IEC265	IEC264	IEC263	IEC262	IEC261	IEC260	IEC259	IEC258	IEC257	IEC256
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	IEC[287:256]	割り込み要求クリアビット	0 : 何も変わりません。 1 : 割り込みマスク (ディスエーブル) 状態、IENレジスタの該当ビットをクリア (0)	W

• IEC9

アドレス VIC.IEC9 A001 10A4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	IEC300	IEC299	IEC298	IEC297	IEC296	IEC295	IEC294	IEC293	IEC292	IEC291	IEC290	IEC289	IEC288
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b12-b0	IEC[300:288]	割り込み要求クリアビット	0 : 何も変わりません。 1 : 割り込みマスク (ディスエーブル) 状態、IENレジスタの該当ビットをクリア (0)	W
b31-b13	—	予約ビット	書く場合、“0”としてください。	W

IECi ビット (割り込み要求クリアビット) (i = 256 ~ 300)

割り込み要求のマスク (ディスエーブル) 設定を行うビットです。あるビットをセット (1) すると、IENレジスタの同ビットがクリア (0) され、その割り込み要求はマスク (ディスエーブル) 状態になります。

12.4.2.5 割り込み検出タイプ選択レジスタ n (PLSn) (n = 0 ~ 9)

PLSn (n = 0 ~ 9) レジスタは、割り込み入力ごとのエッジ検出/レベル検出を選択するレジスタです。

PLSn レジスタは、32 ビット単位でリード/ライト可能です。

- PLS0

アドレス VIC.PLS0 A001 0100h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PLS31	PLS30	PLS29	PLS28	PLS27	PLS26	PLS25	PLS24	PLS23	PLS22	PLS21	PLS20	PLS19	PLS18	PLS17	PLS16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PLS15	PLS14	PLS13	PLS12	PLS11	PLS10	PLS9	PLS8	PLS7	PLS6	PLS5	PLS4	PLS3	PLS2	PLS1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b31-b1	PLS[31:1]	割り込み入力検出タイプ選択ビット	0 : レベル検出を行います 1 : エッジ検出を行います	R/W

- PLS1

アドレス VIC.PLS1 A001 0104h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PLS63	PLS62	PLS61	PLS60	PLS59	PLS58	PLS57	PLS56	PLS55	PLS54	PLS53	PLS52	PLS51	PLS50	PLS49	PLS48
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PLS47	PLS46	PLS45	PLS44	PLS43	PLS42	PLS41	PLS40	PLS39	PLS38	PLS37	PLS36	PLS35	PLS34	PLS33	PLS32
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PLS[63:32]	割り込み入力検出タイプ選択ビット	0 : レベル検出を行います 1 : エッジ検出を行います	R/W

PLSi ビット (割り込み入力検出タイプ選択ビット) (i = 1 ~ 63)

割り込み入力の検出タイプを選択するビットです。

PLS[63:1] にベクタ番号 63-1 が対応します。

• PLS2

アドレス VIC.PLS2 A001 0108h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PLS95	PLS94	PLS93	PLS92	PLS91	PLS90	PLS89	PLS88	PLS87	PLS86	PLS85	PLS84	PLS83	PLS82	PLS81	PLS80
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PLS79	PLS78	PLS77	PLS76	PLS75	PLS74	PLS73	PLS72	PLS71	PLS70	PLS69	PLS68	PLS67	PLS66	PLS65	PLS64
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PLS[95:64]	割り込み入力検出タイプ選択ビット	0 : レベル検出を行います 1 : エッジ検出を行います	R/W

• PLS3

アドレス VIC.PLS3 A001 010Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PLS127	PLS126	PLS125	PLS124	PLS123	PLS122	PLS121	PLS120	PLS119	PLS118	PLS117	PLS116	PLS115	PLS114	PLS113	PLS112
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PLS111	PLS110	PLS109	PLS108	PLS107	PLS106	PLS105	PLS104	PLS103	PLS102	PLS101	PLS100	PLS99	PLS98	PLS97	PLS96
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PLS[127:96]	割り込み入力検出タイプ選択ビット	0 : レベル検出を行います 1 : エッジ検出を行います	R/W

PLSi ビット (割り込み入力検出タイプ選択ビット) (i = 64 ~ 127)

割り込み入力の検出タイプを選択するビットです。

PLS[127:64] にベクタ番号 127-64 が対応します。

- PLS4

アドレス VIC.PLS4 A001 0110h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PLS159	PLS158	PLS157	PLS156	PLS155	PLS154	PLS153	PLS152	PLS151	PLS150	PLS149	PLS148	PLS147	PLS146	PLS145	PLS144
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PLS143	PLS142	PLS141	PLS140	PLS139	PLS138	PLS137	PLS136	PLS135	PLS134	PLS133	PLS132	PLS131	PLS130	PLS129	PLS128
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PLS[159:128]	割り込み入力検出タイプ選択ビット	0 : レベル検出を行います 1 : エッジ検出を行います	R/W

- PLS5

アドレス VIC.PLS5 A001 0114h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PLS191	PLS190	PLS189	PLS188	PLS187	PLS186	PLS185	PLS184	PLS183	PLS182	PLS181	PLS180	PLS179	PLS178	PLS177	PLS176
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PLS175	PLS174	PLS173	PLS172	PLS171	PLS170	PLS169	PLS168	PLS167	PLS166	PLS165	PLS164	PLS163	PLS162	PLS161	PLS160
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PLS[191:160]	割り込み入力検出タイプ選択ビット	0 : レベル検出を行います 1 : エッジ検出を行います	R/W

PLSi ビット (割り込み入力検出タイプ選択ビット) (i = 128 ~ 191)

割り込み入力の検出タイプを選択するビットです。

PLS[191:128] にベクタ番号 191-128 が対応します。

• PLS6

アドレス VIC.PLS6 A001 0118h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PLS223	PLS222	PLS221	PLS220	PLS219	PLS218	PLS217	PLS216	PLS215	PLS214	PLS213	PLS212	PLS211	PLS210	PLS209	PLS208
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PLS207	PLS206	PLS205	PLS204	PLS203	PLS202	PLS201	PLS200	PLS199	PLS198	PLS197	PLS196	PLS195	PLS194	PLS193	PLS192
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PLS[223:192]	割り込み入力検出タイプ選択ビット	0 : レベル検出を行います 1 : エッジ検出を行います	R/W

• PLS7

アドレス VIC.PLS7 A001 011Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PLS255	PLS254	PLS253	PLS252	PLS251	PLS250	PLS249	PLS248	PLS247	PLS246	PLS245	PLS244	PLS243	PLS242	PLS241	PLS240
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PLS239	PLS238	PLS237	PLS236	PLS235	PLS234	PLS233	PLS232	PLS231	PLS230	PLS229	PLS228	PLS227	PLS226	PLS225	PLS224
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PLS[255:224]	割り込み入力検出タイプ選択ビット	0 : レベル検出を行います 1 : エッジ検出を行います	R/W

PLSi ビット (割り込み入力検出タイプ選択ビット) (i = 192 ~ 255)

割り込み入力の検出タイプを選択するビットです。

PLS[255:192] にベクタ番号 255-192 が対応します。

• PLS8

アドレス VIC.PLS8 A001 1100h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PLS287	PLS286	PLS285	PLS284	PLS283	PLS282	PLS281	PLS280	PLS279	PLS278	PLS277	PLS276	PLS275	PLS274	PLS273	PLS272
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PLS271	PLS270	PLS269	PLS268	PLS267	PLS266	PLS265	PLS264	PLS263	PLS262	PLS261	PLS260	PLS259	PLS258	PLS257	PLS256
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PLS[287:256]	割り込み入力検出タイプ選択ビット	0 : レベル検出を行います 1 : エッジ検出を行います	R/W

• PLS9

アドレス VIC.PLS9 A001 1104h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	PLS300	PLS299	PLS298	PLS297	PLS296	PLS295	PLS294	PLS293	PLS292	PLS291	PLS290	PLS289	PLS288
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b12-b0	PLS[300:288]	割り込み入力検出タイプ選択ビット	0 : レベル検出を行います 1 : エッジ検出を行います	R/W
b31-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PLSi ビット (割り込み入力検出タイプ選択ビット) (i = 256 ~ 300)

割り込み入力の検出タイプを選択するビットです。

PLS[300:256] にベクタ番号 300-256 が対応します。

12.4.2.6 エッジ検出ビットクリアレジスタ n (PICn) (n = 0 ~ 9)

エッジ検出を行った場合、割り込み入力ビットごとに割り込み検出状態を保持します。(「12.4 Cortex-R4 ベクタ割り込みコントローラ (VIC)」、および「12.4.4.3 (3) IRQ 割り込み (エッジ割り込み)」を参照)

PICn (n = 0 ~ 9) レジスタは、エッジ検出を行った割り込み入力ビットのエッジ検出回路をクリア (0) します。

PICn レジスタは、32 ビット単位でライトのみ可能です。

● PIC0

アドレス VIC.PIC0 A001 0120h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PIC31	PIC30	PIC29	PIC28	PIC27	PIC26	PIC25	PIC24	PIC23	PIC22	PIC21	PIC20	PIC19	PIC18	PIC17	PIC16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PIC15	PIC14	PIC13	PIC12	PIC11	PIC10	PIC9	PIC8	PIC7	PIC6	PIC5	PIC4	PIC3	PIC2	PIC1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	書く場合、“0”としてください。	W
b31-b1	PIC[31:1]	エッジ検出クリアビット	0 : 何も変わりません 1 : エッジ検出をクリアします	W

● PIC1

アドレス VIC.PIC1 A001 0124h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PIC63	PIC62	PIC61	PIC60	PIC59	PIC58	PIC57	PIC56	PIC55	PIC54	PIC53	PIC52	PIC51	PIC50	PIC49	PIC48
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PIC47	PIC46	PIC45	PIC44	PIC43	PIC42	PIC41	PIC40	PIC39	PIC38	PIC37	PIC36	PIC35	PIC34	PIC33	PIC32
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PIC[63:32]	エッジ検出クリアビット	0 : 何も変わりません 1 : エッジ検出をクリアします	W

PICi ビット (エッジ検出クリアビット) (i = 1 ~ 63)

エッジ検出を行った割り込み要求に対し、割り込み要求ごとにエッジ検出回路のクリアを行うビットです。

• PIC2

アドレス VIC.PIC2 A001 0128h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PIC95	PIC94	PIC93	PIC92	PIC91	PIC90	PIC89	PIC88	PIC87	PIC86	PIC85	PIC84	PIC83	PIC82	PIC81	PIC80
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PIC79	PIC78	PIC77	PIC76	PIC75	PIC74	PIC73	PIC72	PIC71	PIC70	PIC69	PIC68	PIC67	PIC66	PIC65	PIC64
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PIC[95:64]	エッジ検出クリアビット	0 : 何も変わりません 1 : エッジ検出をクリアします	W

• PIC3

アドレス VIC.PIC3 A001 012Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PIC127	PIC126	PIC125	PIC124	PIC123	PIC122	PIC121	PIC120	PIC119	PIC118	PIC117	PIC116	PIC115	PIC114	PIC113	PIC112
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PIC111	PIC110	PIC109	PIC108	PIC107	PIC106	PIC105	PIC104	PIC103	PIC102	PIC101	PIC100	PIC99	PIC98	PIC97	PIC96
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PIC[127:96]	エッジ検出クリアビット	0 : 何も変わりません 1 : エッジ検出をクリアします	W

PIC_i ビット (エッジ検出クリアビット) (i = 64 ~ 127)

エッジ検出を行った割り込み要求に対し、割り込み要求ごとにエッジ検出回路のクリアを行うビットです。

• PIC4

アドレス VIC.PIC4 A001 0130h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PIC159	PIC158	PIC157	PIC156	PIC155	PIC154	PIC153	PIC152	PIC151	PIC150	PIC149	PIC148	PIC147	PIC146	PIC145	PIC144
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PIC143	PIC142	PIC141	PIC140	PIC139	PIC138	PIC137	PIC136	PIC135	PIC134	PIC133	PIC132	PIC131	PIC130	PIC129	PIC128
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PIC[159:128]	エッジ検出クリアビット	0 : 何も変わりません 1 : エッジ検出をクリアします	W

• PIC5

アドレス VIC.PIC5 A001 0134h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PIC191	PIC190	PIC189	PIC188	PIC187	PIC186	PIC185	PIC184	PIC183	PIC182	PIC181	PIC180	PIC179	PIC178	PIC177	PIC176
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PIC175	PIC174	PIC173	PIC172	PIC171	PIC170	PIC169	PIC168	PIC167	PIC166	PIC165	PIC164	PIC163	PIC162	PIC161	PIC160
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PIC[191:160]	エッジ検出クリアビット	0 : 何も変わりません 1 : エッジ検出をクリアします	W

PIC_i ビット (エッジ検出クリアビット) (i = 128 ~ 191)

エッジ検出を行った割り込み要求に対し、割り込み要求ごとにエッジ検出回路のクリアを行うビットです。

• PIC6

アドレス VIC.PIC6 A001 0138h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PIC223	PIC222	PIC221	PIC220	PIC219	PIC218	PIC217	PIC216	PIC215	PIC214	PIC213	PIC212	PIC211	PIC210	PIC209	PIC208
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PIC207	PIC206	PIC205	PIC204	PIC203	PIC202	PIC201	PIC200	PIC199	PIC198	PIC197	PIC196	PIC195	PIC194	PIC193	PIC192
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PIC[223:192]	エッジ検出クリアビット	0 : 何も変わりません 1 : エッジ検出をクリアします	W

• PIC7

アドレス VIC.PIC7 A001 013Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PIC255	PIC254	PIC253	PIC252	PIC251	PIC250	PIC249	PIC248	PIC247	PIC246	PIC245	PIC244	PIC243	PIC242	PIC241	PIC240
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PIC239	PIC238	PIC237	PIC236	PIC235	PIC234	PIC233	PIC232	PIC231	PIC230	PIC229	PIC228	PIC227	PIC226	PIC225	PIC224
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PIC[255:224]	エッジ検出クリアビット	0 : 何も変わりません 1 : エッジ検出をクリアします	W

PIC_i ビット (エッジ検出クリアビット) (i = 192 ~ 255)

エッジ検出を行った割り込み要求に対し、割り込み要求ごとにエッジ検出回路のクリアを行うビットです。

• PIC8

アドレス VIC.PIC8 A001 1120h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PIC287	PIC286	PIC285	PIC284	PIC283	PIC282	PIC281	PIC280	PIC279	PIC278	PIC277	PIC276	PIC275	PIC274	PIC273	PIC272
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PIC271	PIC270	PIC269	PIC268	PIC267	PIC266	PIC265	PIC264	PIC263	PIC262	PIC261	PIC260	PIC259	PIC258	PIC257	PIC256
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	PIC[287:256]	エッジ検出クリアビット	0 : 何も変わりません 1 : エッジ検出をクリアします	W

• PIC9

アドレス VIC.PIC9 A001 1124h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	PIC300	PIC299	PIC298	PIC297	PIC296	PIC295	PIC294	PIC293	PIC292	PIC291	PIC290	PIC289	PIC288
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b12-b0	PIC[300:288]	エッジ検出クリアビット	0 : 何も変わりません 1 : エッジ検出をクリアします	W
b31-b13	—	予約ビット	書く場合、“0”としてください。	W

PIC_i ビット (エッジ検出クリアビット) (i = 256 ~ 300)

エッジ検出を行った割り込み要求に対し、割り込み要求ごとにエッジ検出回路のクリアを行うビットです。

12.4.2.7 割り込み優先レベルマスクレジスタ 0 (PRLM0)

PRLM0 レジスタは、割り込み優先レベルに対する割り込みのマスク制御をするレジスタです。

このレジスタは、ビットをセット (1) すると、クリア (0) はできません。クリアは割り込み優先レベルマスククリアレジスタ 0 (PRLC0) で行ってください。

PRLM0 レジスタは、32 ビット単位でリード/ライト可能です。

アドレス VIC.PRLM0 A001 01C0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRLM 15	PRLM 14	PRLM 13	PRLM 12	PRLM 11	PRLM 10	PRLM 9	PRLM8	PRLM7	PRLM6	PRLM5	PRLM4	PRLM3	PRLM2	PRLM1	PRLM0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	PRLM[15:0]	割り込み優先レベル設定ビット	0 : 何も変わりません。 1 : 対応するビット番号と同じ優先レベルをマスクします。	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PRLMi ビット (割り込み優先レベル設定ビット) (i = 0 ~ 15)

割り込み優先レベル設定ビットです。ベクタ番号 1 ~ 255 の要因に対し、割り込み優先レベルに対する割り込みのマスクを設定します。

レジスタのビット位置は、それぞれの優先レベルに等しく、セット (1) すると、対応するビット番号と同じ優先レベルをマスクします。

12.4.2.8 割り込み優先レベルマスクレジスタ 1 (PRLM1)

PRLM1 レジスタは、割り込み優先レベルに対する割り込みのマスク制御を行うレジスタです。

このレジスタは、ビットをセット (1) すると、クリア (0) はできません。クリアは割り込み優先レベルマスククリアレジスタ 1 (PRLC1) で行ってください。

PRLM1 レジスタは、32 ビット単位でリード/ライト可能です。

アドレス VIC.PRLM1 A001 11C0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRLM 15	PRLM 14	PRLM 13	PRLM 12	PRLM 11	PRLM 10	PRLM 9	PRLM8	PRLM7	PRLM6	PRLM5	PRLM4	PRLM3	PRLM2	PRLM1	PRLM0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	PRLM[15:0]	割り込み優先レベル設定ビット	0 : 何も変わりません。 1 : 対応するビット番号 (PRLMi) + 16 と同じ優先レベルをマスクします。	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PRLMi ビット (割り込み優先レベル設定ビット) (i = 0 ~ 15)

割り込み優先レベル設定ビットです。ベクタ番号 256 ~ 300 の要因に対し、割り込み優先レベルに対する割り込みのマスクを設定します。

セット (1) すると、対応するビット番号 (PRLMi) + 16 と同じ優先レベルをマスクします。

12.4.2.9 割り込み優先レベルマスククリアレジスタ 0 (PRLC0)

PRLC0 レジスタは、PRLM0 レジスタの各ビットをクリアするレジスタです。

PRLC0 レジスタは、32 ビット単位でライトのみ可能です。

アドレス VIC.PRLC0 A001 01C4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRLC 15	PRLC 14	PRLC 13	PRLC 12	PRLC 11	PRLC 10	PRLC 9	PRLC8	PRLC7	PRLC6	PRLC5	PRLC4	PRLC3	PRLC2	PRLC1	PRLC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	PRLC[15:0]	割り込み優先レベルクリアビット	0: 何も変わりません。 1: ビットの番号に対応するビットがクリア (0) されます。	W
b31-b16	—	予約ビット	書く場合、"0"としてください。	W

PRLCi ビット (割り込み優先レベルクリアビット) (i = 0 ~ 15)

割り込み優先レベルクリアビットです。ベクタ番号 1 ~ 255 の要因に対し、割り込み優先レベルマスクレジスタ 0 (PRLM0) のクリアを行います。

セット (1) すると、そのセットしたビットの番号に対応するビットがクリア (0) されます。

12.4.2.10 割り込み優先レベルマスククリアレジスタ 1 (PRLC1)

PRLC1 レジスタは、PRLM1 レジスタの各ビットをクリアするレジスタです。

PRLC1 レジスタは、32 ビット単位でライトのみ可能です。

アドレス VIC.PRLC1 A001 11C4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRLC 15	PRLC 14	PRLC 13	PRLC 12	PRLC 11	PRLC 10	PRLC 9	PRLC8	PRLC7	PRLC6	PRLC5	PRLC4	PRLC3	PRLC2	PRLC1	PRLC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	PRLC[15:0]	割り込み優先レベルクリアビット	0: 何も変わりません。 1: ビットの番号に対応するビットがクリア (0) されます。	W
b31-b16	—	予約ビット	書く場合、"0"としてください。	W

PRLCi ビット (割り込み優先レベルクリアビット) (i = 0 ~ 15)

割り込み優先レベルクリアビットです。ベクタ番号 256 ~ 300 の要因に対し、割り込み優先レベルマスクレジスタ 1 (PRLM1) のクリアを行います。

セット (1) すると、そのセットしたビットの番号に対応するビットがクリア (0) されます。

12.4.2.11 ユーザモードイネーブルレジスタ 0 (UEN0)

UEN0 レジスタは、特権モードによる、割り込み制御レジスタ (UEN0/1 レジスタを除く VIC の制御レジスタ) へのアクセスの許可/禁止を選択します。

バスマスタが正確にプロテクション情報を生成できない場合は UE ビットをセット (1) し、ユーザモードによる割り込み制御レジスタへのアクセスを許可してください。UE ビットの初期値は 1 で、ユーザモードによる割り込み制御レジスタに対するアクセスが許可されています。

UEN0 レジスタは、32 ビット単位でリード可能です。

UEN0 レジスタは他のレジスタと異なり、特権モード時のみ 32 ビット単位でライト可能です。

アドレス VIC.UEN0 A001 01C8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	UE (注1)	割り込み制御レジスタに対するアクセス選択ビット	0 : ユーザモードによるアクセスを禁止します。特権モードによるアクセスのみ許可されます。 1 : ユーザモードによるアクセスを許可します。ユーザモードと特権モードの両方で割り込み制御レジスタのアクセスが可能です。(初期値)	W
b31-b1	—	予約ビット	書く場合、“0”としてください。	W

注1. 本レジスタへのライトアクセスは、特権モードでのみ可能です。

UE ビット (割り込み制御レジスタに対するアクセス選択ビット)

ベクタ番号 1 ~ 255 の要因に対し、割り込み制御レジスタに対するアクセスの許可/禁止を設定します。

12.4.2.12 ユーザモードイネーブルレジスタ 1 (UEN1)

UEN1 レジスタは、特権モードによる、割り込み制御レジスタ (UEN0/1 レジスタを除く VIC の制御レジスタ) へのアクセスの許可/禁止を選択します。

バスマスタが正確にプロテクション情報を生成できない場合は UE ビットをセット (1) し、ユーザモードによる割り込み制御レジスタへのアクセスを許可してください。UE ビットの初期値は 1 で、ユーザモードによる割り込み制御レジスタに対するアクセスが許可されています。

UEN1 レジスタは、32 ビット単位でリード可能です。

UEN1 レジスタは他のレジスタと異なり、特権モード時のみ 32 ビット単位でライト可能です。

アドレス VIC.UEN1 A001 11C8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	UE (注1)	割り込み制御レジスタに対するアクセス選択ビット	0 : ユーザモードによるアクセスを禁止します。特権モードによるアクセスのみ許可されます。 1 : ユーザモードによるアクセスを許可します。ユーザモードと特権モードの両方で割り込み制御レジスタのアクセスが可能です。(初期値)	W
b31-b1	—	予約ビット	書く場合、“0”としてください。	W

注1. 本レジスタへのライトアクセスは、特権モードでのみ可能です。

UE ビット (割り込み制御レジスタに対するアクセス選択ビット)

ベクタ番号 256 ~ 300 の要因に対し、割り込み制御レジスタに対するアクセスの許可/禁止を設定します。

12.4.2.13 割り込みアドレスレジスタ (HVA0)

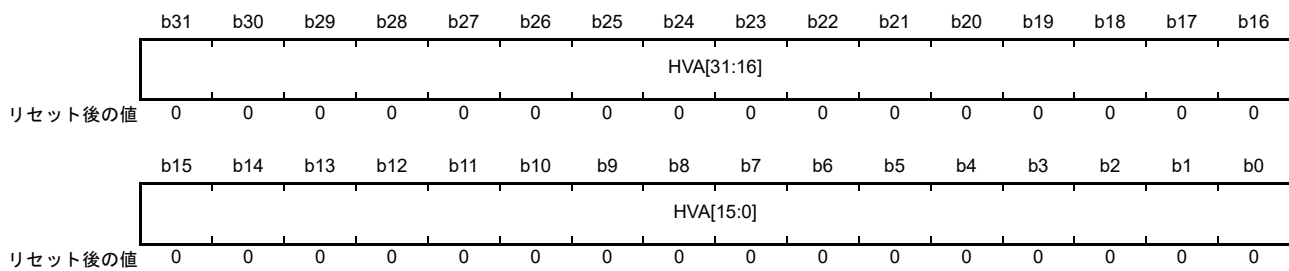
リセット解除後に一度、VIC を初期化するために HVA0 レジスタに任意の値をライトする必要があります。

また、割り込み処理 (ISR) の最後で、HVA0 レジスタに任意の値をライトする必要があります。HVA レジスタへのライトにより、割り込みコントローラは割り込み処理が終了することを認識し、記憶していた割り込みの優先レベルをクリアします。このことで、今完了した割り込みの次の優先レベルの割り込みが処理されます。なお、HVA0 レジスタにライトしたデータはレジスタには反映されません。

リセット解除後の VIC 初期化時と割り込み処理の完了以外で、このレジスタをアクセスしないでください。上記タイミングのライト以外でこのレジスタをアクセスした場合、不正な割り込み動作を引き起こす可能性があります。

HVA0 レジスタは、32 ビット単位でライトのみ可能です。

アドレス VIC.HVA0 A001 0200h



ビット	シンボル	ビット名	機能	R/W
b31-b0	HVA[31:0]	割り込み処理終了通知ビット	割り込み処理終了を通知 (任意の値をライト)	W

12.4.2.14 割り込みサービスステータスレジスタ n (ISSn) (n = 0 ~ 9)

ISSn (n = 0 ~ 9) レジスタは、IRQ 割り込みのサービス状態を示すレジスタです。
Cortex-R4 が割り込みサービスルーチン (ISR) を実行中、または保留中の情報が格納されます。
ISSn レジスタは、32 ビット単位でリードのみ可能です。

• ISS0

アドレス VIC.ISS0 A001 0210h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISS31	ISS30	ISS29	ISS28	ISS27	ISS26	ISS25	ISS24	ISS23	ISS22	ISS21	ISS20	ISS19	ISS18	ISS17	ISS16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISS15	ISS14	ISS13	ISS12	ISS11	ISS10	ISS9	ISS8	ISS7	ISS6	ISS5	ISS4	ISS3	ISS2	ISS1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。	R
b31-b1	ISS[31:1]	IRQ 割り込み要求サービスフラグ	0 : サービスされていない 1 : 割り込みサービスルーチン (ISR) 実行中、または、保留中	R

• ISS1

アドレス VIC.ISS1 A001 0214h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISS63	ISS62	ISS61	ISS60	ISS59	ISS58	ISS57	ISS56	ISS55	ISS54	ISS53	ISS52	ISS51	ISS50	ISS49	ISS48
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISS47	ISS46	ISS45	ISS44	ISS43	ISS42	ISS41	ISS40	ISS39	ISS38	ISS37	ISS36	ISS35	ISS34	ISS33	ISS32
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISS[63:32]	IRQ 割り込み要求サービスフラグ	0 : サービスされていない 1 : 割り込みサービスルーチン (ISR) 実行中、または、保留中	R

ISSi ビット (IRQ 割り込み要求サービスフラグ) (i = 1 ~ 63)

ベクタ番号 1-63 からの IRQ 割り込み要求のサービス状態を示すフラグです。

• ISS2

アドレス VIC.ISS2 A001 0218h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISS95	ISS94	ISS93	ISS92	ISS91	ISS90	ISS89	ISS88	ISS87	ISS86	ISS85	ISS84	ISS83	ISS82	ISS81	ISS80
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISS79	ISS78	ISS77	ISS76	ISS75	ISS74	ISS73	ISS72	ISS71	ISS70	ISS69	ISS68	ISS67	ISS66	ISS65	ISS64
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISS[95:64]	IRQ 割り込み要求サービスフラグ	0 : サービスされていない 1 : 割り込みサービスルーチン (ISR) 実行中、または、保留中	R

• ISS3

アドレス VIC.ISS3 A001 021Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISS127	ISS126	ISS125	ISS124	ISS123	ISS122	ISS121	ISS120	ISS119	ISS118	ISS117	ISS116	ISS115	ISS114	ISS113	ISS112
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISS111	ISS110	ISS109	ISS108	ISS107	ISS106	ISS105	ISS104	ISS103	ISS102	ISS101	ISS100	ISS99	ISS98	ISS97	ISS96
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISS[127:96]	IRQ 割り込み要求サービスフラグ	0 : サービスされていない 1 : 割り込みサービスルーチン (ISR) 実行中、または、保留中	R

ISS_i ビット (IRQ 割り込み要求サービスフラグ) (i = 64 ~ 127)

ベクタ番号 127-64 からの IRQ 割り込み要求のサービス状態を示すフラグです。

• ISS4

アドレス VIC.ISS4 A001 0220h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISS159	ISS158	ISS157	ISS156	ISS155	ISS154	ISS153	ISS152	ISS151	ISS150	ISS149	ISS148	ISS147	ISS146	ISS145	ISS144
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISS143	ISS142	ISS141	ISS140	ISS139	ISS138	ISS137	ISS136	ISS135	ISS134	ISS133	ISS132	ISS131	ISS130	ISS129	ISS128
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISS[159:128]	IRQ 割り込み要求サービスフラグ	0 : サービスされていない 1 : 割り込みサービスルーチン (ISR) 実行中、または、保留中	R

• ISS5

アドレス VIC.ISS5 A001 0224h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISS191	ISS190	ISS189	ISS188	ISS187	ISS186	ISS185	ISS184	ISS183	ISS182	ISS181	ISS180	ISS179	ISS178	ISS177	ISS176
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISS175	ISS174	ISS173	ISS172	ISS171	ISS170	ISS169	ISS168	ISS167	ISS166	ISS165	ISS164	ISS163	ISS162	ISS161	ISS160
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISS[191:160]	IRQ 割り込み要求サービスフラグ	0 : サービスされていない 1 : 割り込みサービスルーチン (ISR) 実行中、または、保留中	R

ISS_i ビット (IRQ 割り込み要求サービスフラグ) (i = 128 ~ 191)

ベクタ番号 191-128 からの IRQ 割り込み要求のサービス状態を示すフラグです。

• ISS6

アドレス VIC.ISS6 A001 0228h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISS223	ISS222	ISS221	ISS220	ISS219	ISS218	ISS217	ISS216	ISS215	ISS214	ISS213	ISS212	ISS211	ISS210	ISS209	ISS208
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISS207	ISS206	ISS205	ISS204	ISS203	ISS202	ISS201	ISS200	ISS199	ISS198	ISS197	ISS196	ISS195	ISS194	ISS193	ISS192
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISS[223:192]	IRQ 割り込み要求サービスフラグ	0 : サービスされていない 1 : 割り込みサービスルーチン (ISR) 実行中、または、保留中	R

• ISS7

アドレス VIC.ISS7 A001 022Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISS255	ISS254	ISS253	ISS252	ISS251	ISS250	ISS249	ISS248	ISS247	ISS246	ISS245	ISS244	ISS243	ISS242	ISS241	ISS240
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISS239	ISS238	ISS237	ISS236	ISS235	ISS234	ISS233	ISS232	ISS231	ISS230	ISS229	ISS228	ISS227	ISS226	ISS225	ISS224
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISS[255:224]	IRQ 割り込み要求サービスフラグ	0 : サービスされていない 1 : 割り込みサービスルーチン (ISR) 実行中、または、保留中	R

ISS_i ビット (IRQ 割り込み要求サービスフラグ) (i = 192 ~ 255)

ベクタ番号 255-192 からの IRQ 割り込み要求のサービス状態を示すフラグです。

• ISS8

アドレス VIC.ISS8 A001 1210h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISS287	ISS286	ISS285	ISS284	ISS283	ISS282	ISS281	ISS280	ISS279	ISS278	ISS277	ISS276	ISS275	ISS274	ISS273	ISS272
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISS271	ISS270	ISS269	ISS268	ISS267	ISS266	ISS265	ISS264	ISS263	ISS262	ISS261	ISS260	ISS259	ISS258	ISS257	ISS256
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISS[287:256]	IRQ 割り込み要求サービスフラグ	0 : サービスされていない 1 : 割り込みサービスルーチン (ISR) 実行中、または、保留中	R

• ISS9

アドレス VIC.ISS9 A001 1214h

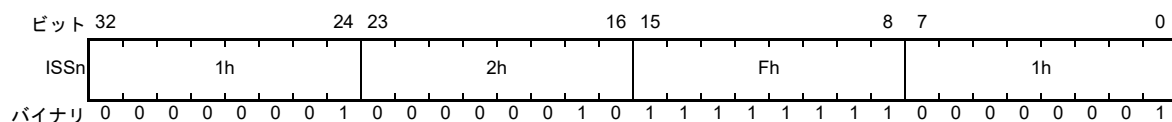
	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	ISS300	ISS299	ISS298	ISS297	ISS296	ISS295	ISS294	ISS293	ISS292	ISS291	ISS290	ISS289	ISS288
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b12-b0	ISS[300:288]	IRQ 割り込み要求サービスフラグ	0 : サービスされていない 1 : 割り込みサービスルーチン (ISR) 実行中、または、保留中	R
b31-b13	—	予約ビット	読み出すと“0”が読めます。	R

ISS_i ビット (IRQ 割り込み要求サービスフラグ) (i = 256 ~ 300)

ベクタ番号 300-256 からの IRQ 割り込み要求のサービス状態を示すフラグです。

例えば、割り込みコントローラに複数の割り込み要求があった場合、ISSn レジスタの状態は以下のようになります。



現在、ベクタ番号 24, 17, 15-8, 0 から割り込み要求があることを示しています。割り込みサービスルーチン (ISR) は PRLm レジスタで設定された優先レベルが高い順から順にサービスされます。PRLm レジスタの値が同じ場合は、ベクタ番号の小さい割り込み要求の優先レベルが高くなります。ISR が終了すると、ISSn レジスタの該当ビットはクリアされ、次に優先レベルの高い ISR を開始します。また、ISR 中に他の割り込み要求があると、その割り込みも本レジスタに反映されます。

12.4.2.15 割り込みサービスカレントレジスタ n (ISCn) (n = 0 ~ 9)

ISCn (n=0~9) レジスタは、割り込みサービスステータスレジスタ n (ISSn) でセット (1) されている IRQ 割り込みの中で、最も優先レベルの高い IRQ 割り込みを示すレジスタです。

ISCn レジスタは、32 ビット単位でリードのみ可能です。

• ISC0

アドレス VIC.ISC0 A001 0230h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISC31	ISC30	ISC29	ISC28	ISC27	ISC26	ISC25	ISC24	ISC23	ISC22	ISC21	ISC20	ISC19	ISC18	ISC17	ISC16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISC15	ISC14	ISC13	ISC12	ISC11	ISC10	ISC9	ISC8	ISC7	ISC6	ISC5	ISC4	ISC3	ISC2	ISC1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。	R
b31-b1	ISC[31:1]	IRQ 割り込み要求サービスフラグ	0 : 優先レベルが最上位ではない、もしくは割り込みサービス・ルーチン (ISR) が実行されていない 1 : 最も優先レベルの高い割り込み	R

• ISC1

アドレス VIC.ISC1 A001 0234h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISC63	ISC62	ISC61	ISC60	ISC59	ISC58	ISC57	ISC56	ISC55	ISC54	ISC53	ISC52	ISC51	ISC50	ISC49	ISC48
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISC47	ISC46	ISC45	ISC44	ISC43	ISC42	ISC41	ISC40	ISC39	ISC38	ISC37	ISC36	ISC35	ISC34	ISC33	ISC32
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISC[63:32]	IRQ 割り込み要求サービスフラグ	0 : 優先レベルが最上位ではない、もしくは割り込みサービス・ルーチン (ISR) が実行されていない 1 : 最も優先レベルの高い割り込み	R

ISCi ビット (IRQ 割り込み要求サービスフラグ) (i = 1 ~ 63)

割り込みサービスステータスレジスタ n (ISSn, n=0~9) の IRQ 割り込み要求のサービス状態を示すフラグです。

• ISC2

アドレス VIC.ISC2 A001 0238h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISC95	ISC94	ISC93	ISC92	ISC91	ISC90	ISC89	ISC88	ISC87	ISC86	ISC85	ISC84	ISC83	ISC82	ISC81	ISC80
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISC79	ISC78	ISC77	ISC76	ISC75	ISC74	ISC73	ISC72	ISC71	ISC70	ISC69	ISC68	ISC67	ISC66	ISC65	ISC64
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISC[95:64]	IRQ 割り込み要求サービスフラグ	0 : 優先レベルが最上位ではない、もしくは割り込みサービス・ルーチン (ISR) が実行されていない 1 : 最も優先レベルの高い割り込み	R

• ISC3

アドレス VIC.ISC3 A001 023Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISC127	ISC126	ISC125	ISC124	ISC123	ISC122	ISC121	ISC120	ISC119	ISC118	ISC117	ISC116	ISC115	ISC114	ISC113	ISC112
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISC111	ISC110	ISC109	ISC108	ISC107	ISC106	ISC105	ISC104	ISC103	ISC102	ISC101	ISC100	ISC99	ISC98	ISC97	ISC96
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISC[127:96]	IRQ 割り込み要求サービスフラグ	0 : 優先レベルが最上位ではない、もしくは割り込みサービス・ルーチン (ISR) が実行されていない 1 : 最も優先レベルの高い割り込み	R

ISC_i ビット (IRQ 割り込み要求サービスフラグ) (i = 64 ~ 127)

割り込みサービスステータスレジスタ n (ISS_n, n = 0 ~ 9) の IRQ 割り込み要求のサービス状態を示すフラグです。

• ISC4

アドレス VIC.ISC4 A001 0240h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISC159	ISC158	ISC157	ISC156	ISC155	ISC154	ISC153	ISC152	ISC151	ISC150	ISC149	ISC148	ISC147	ISC146	ISC145	ISC144
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISC143	ISC142	ISC141	ISC140	ISC139	ISC138	ISC137	ISC136	ISC135	ISC134	ISC133	ISC132	ISC131	ISC130	ISC129	ISC128
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISC[159:128]	IRQ 割り込み要求サービスフラグ	0 : 優先レベルが最上位ではない、もしくは割り込みサービス・ルーチン (ISR) が実行されていない 1 : 最も優先レベルの高い割り込み	R

• ISC5

アドレス VIC.ISC5 A001 0244h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISC191	ISC190	ISC189	ISC188	ISC187	ISC186	ISC185	ISC184	ISC183	ISC182	ISC181	ISC180	ISC179	ISC178	ISC177	ISC176
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISC175	ISC174	ISC173	ISC172	ISC171	ISC170	ISC169	ISC168	ISC167	ISC166	ISC165	ISC164	ISC163	ISC162	ISC161	ISC160
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISC[191:160]	IRQ 割り込み要求サービスフラグ	0 : 優先レベルが最上位ではない、もしくは割り込みサービス・ルーチン (ISR) が実行されていない 1 : 最も優先レベルの高い割り込み	R

ISC_i ビット (IRQ 割り込み要求サービスフラグ) (i = 128 ~ 191)

割り込みサービスステータスレジスタ n (ISS_n, n = 0 ~ 9) の IRQ 割り込み要求のサービス状態を示すフラグです。

• ISC6

アドレス VIC.ISC6 A001 0248h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISC223	ISC222	ISC221	ISC220	ISC219	ISC218	ISC217	ISC216	ISC215	ISC214	ISC213	ISC212	ISC211	ISC210	ISC209	ISC208
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISC207	ISC206	ISC205	ISC204	ISC203	ISC202	ISC201	ISC200	ISC199	ISC198	ISC197	ISC196	ISC195	ISC194	ISC193	ISC192
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISC[223:192]	IRQ 割り込み要求サービスフラグ	0 : 優先レベルが最上位ではない、もしくは割り込みサービス・ルーチン (ISR) が実行されていない 1 : 最も優先レベルの高い割り込み	R

• ISC7

アドレス VIC.ISC7 A001 024Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISC255	ISC254	ISC253	ISC252	ISC251	ISC250	ISC249	ISC248	ISC247	ISC246	ISC245	ISC244	ISC243	ISC242	ISC241	ISC240
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISC239	ISC238	ISC237	ISC236	ISC235	ISC234	ISC233	ISC232	ISC231	ISC230	ISC229	ISC228	ISC227	ISC226	ISC225	ISC224
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISC[255:224]	IRQ 割り込み要求サービスフラグ	0 : 優先レベルが最上位ではない、もしくは割り込みサービス・ルーチン (ISR) が実行されていない 1 : 最も優先レベルの高い割り込み	R

ISC_i ビット (IRQ 割り込み要求サービスフラグ) (i = 192 ~ 255)

割り込みサービスステータスレジスタ n (ISS_n, n = 0 ~ 9) の IRQ 割り込み要求のサービス状態を示すフラグです。

• ISC8

アドレス VIC.ISC8 A001 1230h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ISC287	ISC286	ISC285	ISC284	ISC283	ISC282	ISC281	ISC280	ISC279	ISC278	ISC277	ISC276	ISC275	ISC274	ISC273	ISC272
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ISC271	ISC270	ISC269	ISC268	ISC267	ISC266	ISC265	ISC264	ISC263	ISC262	ISC261	ISC260	ISC259	ISC258	ISC257	ISC256
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	ISC[287:256]	IRQ 割り込み要求サービスフラグ	0 : 優先レベルが最上位ではない、もしくは割り込みサービス・ルーチン (ISR) が実行されていない 1 : 最も優先レベルの高い割り込み	R

• ISC9

アドレス VIC.ISC9 A001 1234h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	ISC300	ISC299	ISC298	ISC297	ISC296	ISC295	ISC294	ISC293	ISC292	ISC291	ISC290	ISC289	ISC288
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b12-b0	ISC[300:288]	IRQ 割り込み要求サービスフラグ	0 : 優先レベルが最上位ではない、もしくは割り込みサービス・ルーチン (ISR) が実行されていない 1 : 最も優先レベルの高い割り込み	R
b31-b13	—	予約ビット	読み出すと“0”が読めます。	R

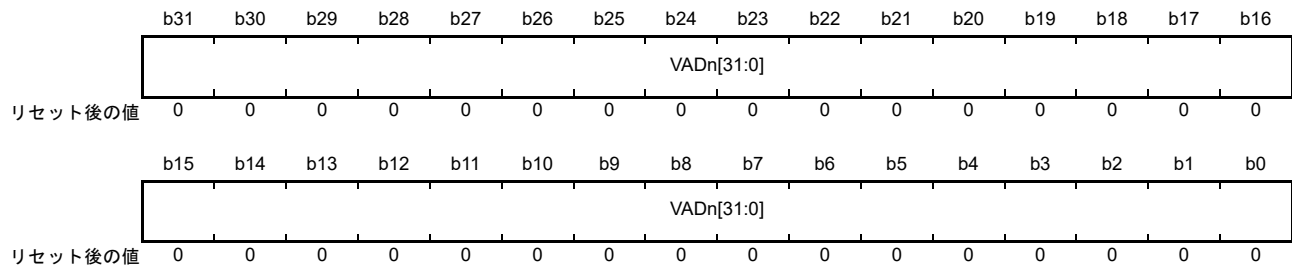
ISC_i ビット (IRQ 割り込み要求サービスフラグ) (i = 256 ~ 300)

割り込みサービスステータスレジスタ n (ISS_n, n = 0 ~ 9) の IRQ 割り込み要求のサービス状態を示すフラグです。

12.4.2.16 割り込みアドレス格納レジスタ 0 (VADn) (n = 1 ~ 255) 割り込みアドレス格納レジスタ 1 (VADn) (n = 256 ~ 300)

VADn (n = 1 ~ 300) レジスタは、各割り込み入力に対応したベクタアドレスを格納するレジスタです。
VADn レジスタは、32 ビット単位でリード/ライト可能です。

アドレス VIC.VAD1 A001 0404h ~ VIC.VAD255 A001 07FCh
VIC.VAD256 A001 1400h ~ VIC.VAD300 A001 14B0h



ビット	シンボル	ビット名	機能	R/W
b31-b0	VADn[31:0]	ベクタアドレス格納ビット	VAD1-VAD300とベクタ番号1-300がペアで対応しています。	R/W

VADn[31:0] ビット (ベクタアドレス格納ビット) (n = 1 ~ 300)

ベクタアドレス格納ビットです。VAD1-VAD300 とベクタ番号 1-300 がペアで対応しています。

- 割り込み要求を CPU に接続する場合
割り込み要求 n が発生した際に分岐する割り込み処理の先頭アドレスを本レジスタにあらかじめ設定してください。
- 割り込み要求を DMACAa に接続する場合
割り込み要求 n が発生し DMA 転送が起動されます。DMA 転送完了割り込みが発生した際に、分岐する割り込み処理の先頭アドレスを本レジスタにあらかじめ設定してください。
DMACAa に接続する場合は「14.2.8 DMACAa Unit0 要因選択レジスタ i (DMA0SELi) (i = 0 ~ 15)」、「14.2.9 DMACAa Unit1 要因選択レジスタ i (DMA1SELi) (i = 0 ~ 15)」にベクタ番号 n を設定して割り込み要求 n を DMA 起動要因に選択してください。

12.4.2.17 割り込み優先レベル格納レジスタ 0 (PRLn) (n = 1 ~ 255)

PRLn (n = 1 ~ 255) レジスタは、各割り込み入力に対応した割り込み優先レベルを格納するレジスタです。

PRLn レジスタは、32 ビット単位でリード/ライト可能です。

アドレス VIC.PRL1 A001 0804h ~ VIC.PRL255 A001 0BFCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	PRL3	PRL2	PRL1	PRL0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	PRL[3:0]	割り込み優先レベル格納ビット	割り込み優先レベルは、0が最も高く、15が最も低くなります。	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PRL[3:0] ビット (割り込み優先レベル格納ビット)

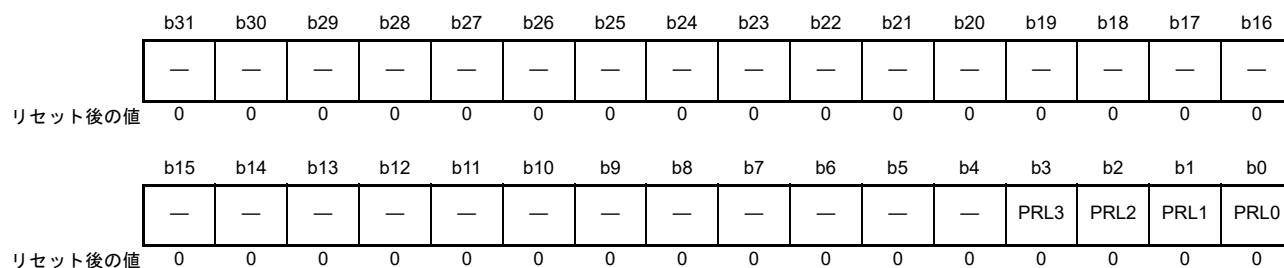
ベクタ番号 1-255 の割り込み優先レベルを格納するビットです。割り込み優先レベルは、0 が最も高く、15 が最も低くなります。

12.4.2.18 割り込み優先レベル格納レジスタ 1 (PRLn) (n = 256 ~ 300)

PRLn (n = 256 ~ 300) レジスタは、各割り込み入力に対応した割り込み優先レベルを格納するレジスタです。

PRLn レジスタは、32 ビット単位でリード/ライト可能です。

アドレス VIC.PRL256 A001 1800h~VIC.PRL300 A001 18B0h



ビット	シンボル	ビット名	機能	R/W
b3-b0	PRL[3:0]	割り込み優先レベル格納ビット	割り込み優先レベルは、PRLn+16の値となり、16が最も高く、31が最も低くなります。	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PRL[3:0] ビット (割り込み優先レベル格納ビット)

ベクタ番号 256-300 の割り込み優先レベルを格納するビットです。割り込み優先レベルは、PRLn+16 の値となり、16 が最も高く、31 が最も低くなります。

12.4.3 ベクタテーブル

12.4.3.1 割り込みのベクタテーブル

Cortex-R4、およびDMACAAに対する割り込みのベクタテーブルを表 12.3 に示します。DMACAA 要因選択レジスタで選択されたベクタ番号は、各周辺からの割り込み要因ではなく、DMACAA 要因選択レジスタで選択された DMACAA 各チャネルの転送完了要因が接続されます。

ベクタ番号 42-44 は、Cortex-R4 と DMACAA の割り込み要因が異なります。ベクタ番号 42 は、Cortex-R4 向けは USB (func) の CPU 割り込み要因が接続されています。ベクタ番号 43, 44 は USB (func) の DMA 転送要因として使用してください。詳細は、「12.3.1 割り込み要求先の選択」を参照してください。USB からの割り込みの詳細については、「23. USB2.0HS ホストモジュール (USBh)」、「24. USB2.0HS ファンクションモジュール (USBf)」を参照してください。

EtherCAT 割り込み (ベクタ番号 75) など、一部の要因は Cortex-R4 への割り込みと、DMACAA 起動要因になる場合で割り込み検出が異なる場合があります。詳細は、「14.3.4 DMA 転送要求」および各章の DMA 転送に関する注意事項を参照してください。

Cortex-R4 / DMACAA 割り込みベクタテーブルの各項目は以下のとおりです。

項目	内容
ベクタ番号	Cortex-R4 の VIC における IRQ 割り込み要因のベクタ番号を示します。
要求元	割り込み要求発生元の名称を示します。
要因	割り込み名称を示します。
検出タイプ	各周辺からの割り込みに対する検出タイプを示します。 DMACAA からの転送完了割り込みを接続する場合は、必ずエッジを選択してください。
CR4	Cortex-R4 (VIC) の割り込み要因を“○”で示します。
DMACAA	DMACAA 起動要因を“○”で示します。

注. 各モジュールのエラー信号は、直接、CPU に入力されず、エラーコントロールモジュール (ECM) に入力され、他のエラーと統合し、エラー検出要因として、CPU に伝搬します。詳細は、「32. エラーコントロールモジュール (ECM)」を参照してください。

表 12.3 Cortex-R4 / DMACAa 割り込みベクタテーブル (1 / 8)

ベクタ番号	要求元	要因		検出タイプ	CR4	DMACAa (注4)
1	System (CR4)	—	Reserved	—	—	—
2		INTCTI	CTI (Cross Trigger Interface) 割り込み	エッジ	○	×
3		FPUEX	FPU 例外	レベル	○	×
4	外部	IRQ0	IRQ 端子割り込み 0	レベル/エッジ	○	○
5		IRQ1	IRQ 端子割り込み 1	レベル/エッジ	○	○
6		IRQ2	IRQ 端子割り込み 2	レベル/エッジ	○	○
7		IRQ3	IRQ 端子割り込み 3	レベル/エッジ	○	○
8		IRQ4	IRQ 端子割り込み 4	レベル/エッジ	○	○
9		—	Reserved	—	—	—
10		IRQ6	IRQ 端子割り込み 6	レベル/エッジ	○	○
11		IRQ7	IRQ 端子割り込み 7	レベル/エッジ	○	○
12		—	Reserved	—	—	—
13		IRQ9	IRQ 端子割り込み 9	レベル/エッジ	○	○
14		—	Reserved	—	—	—
15		IRQ11	IRQ 端子割り込み 11	レベル/エッジ	○	○
16		IRQ12	IRQ 端子割り込み 12	レベル/エッジ	○	○
17		IRQ13	IRQ 端子割り込み 13	レベル/エッジ	○	○
18	IRQ14	IRQ 端子割り込み 14	レベル/エッジ	○	○	
19	—	Reserved	—	—	—	
20	ECM	ERRD	エラー検出 (マスカブル)	エッジ	○	×
21	CMT Unit0	CMI0	コンペアマッチ割り込み _ch0	エッジ	○	○
22		CMI1	コンペアマッチ割り込み _ch1	エッジ	○	○
23	CMT Unit1	CMI2	コンペアマッチ割り込み _ch0	エッジ	○	○
24		CMI3	コンペアマッチ割り込み _ch1	エッジ	○	○
25	CMTW Unit0	CMWI0	コンペアマッチ割り込み	エッジ	○	○
26		IC0I0	インプットキャプチャ 0 割り込み	エッジ	○	○
27		IC1I0	インプットキャプチャ 1 割り込み	エッジ	○	○
28		OC0I0	アウトプットコンペア 0 割り込み	エッジ	○	○
29		OC1I0	アウトプットコンペア 1 割り込み	エッジ	○	○
30	CMTW Unit1	CMWI1	コンペアマッチ割り込み	エッジ	○	○
31		IC0I1	インプットキャプチャ 0 割り込み	エッジ	○	○
32		IC1I1	インプットキャプチャ 1 割り込み	エッジ	○	○
33		OC0I1	アウトプットコンペア 0 割り込み	エッジ	○	○
34		OC1I1	アウトプットコンペア 1 割り込み	エッジ	○	○
35	—	—	Reserved	—	—	—
36		—	Reserved	—	—	—
37		—	Reserved	—	—	—
38		—	Reserved	—	—	—
39		—	Reserved	—	—	—
40		—	Reserved	—	—	—

表 12.3 Cortex-R4 / DMACAa 割り込みベクタテーブル (2 / 8)

ベクタ番号	要求元	要因		検出タイプ	CR4	DMACAa (注4)
41	USB	USBHI	USB (Host) CPU 割り込み	レベル	○	×
42		USBFI	USB (Func) CPU 割り込み	レベル/エッジ	○	×
43		USBFDR1	USB (Func) DMA 要求 1	レベル	× (注3)	○
44		USBFDR2	USB (Func) DMA 要求 2	レベル	× (注3)	○
45	—	—	Reserved	—	—	—
46		—	Reserved	—	—	—
47		—	Reserved	—	—	—
48	Ether PHY	ETHPHYI0	Ether PHY 割り込み 0	レベル/エッジ	○	○
49		ETHPHYI1	Ether PHY 割り込み 1	レベル/エッジ	○	○
50	—	—	Reserved	—	—	—
51		—	Reserved	—	—	—
52		—	Reserved	—	—	—
53		—	Reserved	—	—	—
54		—	Reserved	—	—	—
55		—	Reserved	—	—	—
56		—	Reserved	—	—	—
57		—	Reserved	—	—	—
58		—	Reserved	—	—	—
59		—	Reserved	—	—	—
60		—	Reserved	—	—	—
61		—	Reserved	—	—	—
62		—	Reserved	—	—	—
63		—	Reserved	—	—	—
64		—	Reserved	—	—	—
65		—	Reserved	—	—	—
66		—	Reserved	—	—	—
67		—	Reserved	—	—	—
68		—	Reserved	—	—	—
69		—	Reserved	—	—	—
70		—	Reserved	—	—	—
71		—	Reserved	—	—	—
72		—	Reserved	—	—	—
73	ESC	ETHCSI0	EtherCAT Sync0 割り込み	レベル/エッジ (注2)	○	○
74		ETHCSI1	EtherCAT Sync1 割り込み	レベル/エッジ (注2)	○	○
75		ETHCI	EtherCAT 割り込み	レベル/エッジ (注1)	○	○
76		ETHCSOFI	EtherCAT SOF 割り込み	エッジ	○	○
77		ETHCEOFI	EtherCAT EOF 割り込み	エッジ	○	○
78		ETHCWDTI	EtherCAT WDT 割り込み	エッジ	○	×
79		ETHCRSTI	EtherCAT RESET 割り込み	エッジ	○	×

表 12.3 Cortex-R4 / DMACAa 割り込みベクタテーブル (3 / 8)

ベクタ番号	要求元	要因		検出タイプ	CR4	DMACAa (注4)
80	RSPIa ch0	SPRI0	受信バッファフル	エッジ	○	○
81		SPTI0	送信バッファエンプティ	エッジ	○	○
82		SPEI0	モードフォルトエラー / オーバランエラー / パリティエラー	レベル	○	×
83		SPII0	RSPIアイドル	レベル	○	×
84	RSPIa ch1	SPRI1	受信バッファフル	エッジ	○	○
85		SPTI1	送信バッファエンプティ	エッジ	○	○
86		SPEI1	モードフォルトエラー / オーバランエラー / パリティエラー	レベル	○	×
87		SPII1	RSPIアイドル	レベル	○	×
88	—	—	Reserved	—	—	—
89		—	Reserved	—	—	—
90		—	Reserved	—	—	—
91		—	Reserved	—	—	—
92		—	Reserved	—	—	—
93		—	Reserved	—	—	—
94		—	Reserved	—	—	—
95		—	Reserved	—	—	—
96	SCIFA ch0	BRIF0	ブレイク / オーバラン / フレーミングエラー / パリティエラー	レベル	○	×
97		RXIF0	受信FIFOデータフル (RDF)	レベル	○	○
98		TXIF0	送信FIFOデータエンプティ (TDFE)	レベル	○	○
99		DRIF0	トランスミットエンド / 受信データレディ	レベル	○	×
100	SCIFA ch1	BRIF1	ブレイク / オーバラン / フレーミングエラー / パリティエラー	レベル	○	×
101		RXIF1	受信FIFOデータフル (RDF)	レベル	○	○
102		TXIF1	送信FIFOデータエンプティ (TDFE)	レベル	○	○
103		DRIF1	トランスミットエンド / 受信データレディ	レベル	○	×
104	RSCAN	CANRFI	CAN 受信FIFO	レベル	○	×
105		—	Reserved	—	—	—
106		—	Reserved	—	—	—
107		CANFIR1	CAN1 送受信FIFO受信完了	レベル	○	×
108	CANT11	CAN1 送信	レベル	○	×	
109	SCIFA ch2	BRIF2	ブレイク / オーバラン / フレーミングエラー / パリティエラー	レベル	○	×
110		RXIF2	受信FIFOデータフル (RDF)	レベル	○	○
111		TXIF2	送信FIFOデータエンプティ (TDFE)	レベル	○	○
112		DRIF2	トランスミットエンド / 受信データレディ	レベル	○	×
113	SCIFA ch3	BRIF3	ブレイク / オーバラン / フレーミングエラー / パリティエラー	レベル	○	×
114		RXIF3	受信FIFOデータフル (RDF)	レベル	○	○
115		TXIF3	送信FIFOデータエンプティ (TDFE)	レベル	○	○
116		DRIF3	トランスミットエンド / 受信データレディ	レベル	○	×

表 12.3 Cortex-R4 / DMACAa 割り込みベクタテーブル (4 / 8)

ベクタ番号	要求元	要因		検出タイプ	CR4	DMACAa (注4)
117	SCIFA ch4	BRIF4	ブレイク/オーバーラン/フレーミングエラー/パリティエラー	レベル	○	×
118		RXIF4	受信FIFOデータフル (RDF)	レベル	○	○
119		TXIF4	送信FIFOデータエンプティ (TDFE)	レベル	○	○
120		DRIF4	トランスミットエンド/受信データレディ	レベル	○	×
121	—	—	Reserved	—	—	—
122		—	Reserved	—	—	—
123		—	Reserved	—	—	—
124	RIICa ch1	TEI1	データ送信終了 (TEND)	レベル	○	×
125		RXI1	データ受信終了 (RDRF)	エッジ	○	○
126		TXI1	送信データエンプティ (TDRE)	エッジ	○	○
127	—	—	Reserved	—	—	—
128		—	Reserved	—	—	—
129		—	Reserved	—	—	—
130		—	Reserved	—	—	—
131		—	Reserved	—	—	—
132		—	Reserved	—	—	—
133		—	Reserved	—	—	—
134		—	Reserved	—	—	—
135		—	Reserved	—	—	—
136		—	Reserved	—	—	—
137		—	Reserved	—	—	—
138		—	Reserved	—	—	—
139		—	Reserved	—	—	—
140		—	Reserved	—	—	—
141		—	Reserved	—	—	—
142		—	Reserved	—	—	—
143		—	Reserved	—	—	—
144		—	Reserved	—	—	—
145		—	Reserved	—	—	—
146		—	Reserved	—	—	—
147		—	Reserved	—	—	—
148		—	Reserved	—	—	—
149		—	Reserved	—	—	—
150		—	Reserved	—	—	—
151		—	Reserved	—	—	—
152		—	Reserved	—	—	—
153		—	Reserved	—	—	—
154		—	Reserved	—	—	—
155		—	Reserved	—	—	—
156		—	Reserved	—	—	—
157		—	Reserved	—	—	—
158		—	Reserved	—	—	—
159	—	Reserved	—	—	—	

表 12.3 Cortex-R4 / DMACAa 割り込みベクタテーブル (5 / 8)

ベクタ番号	要求元	要因		検出タイプ	CR4	DMACAa (注4)
160	—	—	Reserved	—	—	—
161	—	—	Reserved	—	—	—
162	—	—	Reserved	—	—	—
163	—	—	Reserved	—	—	—
164	—	—	Reserved	—	—	—
165	—	—	Reserved	—	—	—
166	—	—	Reserved	—	—	—
167	—	—	Reserved	—	—	—
168	—	—	Reserved	—	—	—
169	—	—	Reserved	—	—	—
170	—	—	Reserved	—	—	—
171	—	—	Reserved	—	—	—
172	—	—	Reserved	—	—	—
173	—	—	Reserved	—	—	—
174	—	—	Reserved	—	—	—
175	—	—	Reserved	—	—	—
176	—	—	Reserved	—	—	—
177	—	—	Reserved	—	—	—
178	—	—	Reserved	—	—	—
179	—	—	Reserved	—	—	—
180	—	—	Reserved	—	—	—
181	—	—	Reserved	—	—	—
182	—	—	Reserved	—	—	—
183	—	—	Reserved	—	—	—
184	—	—	Reserved	—	—	—
185	—	—	Reserved	—	—	—
186	—	—	Reserved	—	—	—
187	—	—	Reserved	—	—	—
188	—	—	Reserved	—	—	—
189	—	—	Reserved	—	—	—
190	—	—	Reserved	—	—	—
191	—	—	Reserved	—	—	—
192	—	—	Reserved	—	—	—
193	—	—	Reserved	—	—	—
194	—	—	Reserved	—	—	—
195	—	—	Reserved	—	—	—
196	—	—	Reserved	—	—	—
197	—	—	Reserved	—	—	—
198	—	—	Reserved	—	—	—
199	—	—	Reserved	—	—	—
200	—	—	Reserved	—	—	—
201	—	—	Reserved	—	—	—
202	—	—	Reserved	—	—	—
203	—	—	Reserved	—	—	—

表 12.3 Cortex-R4 / DMACAa 割り込みベクタテーブル (6 / 8)

ベクタ番号	要求元	要因		検出タイプ	CR4	DMACAa (注4)
204	—	—	Reserved	—	—	—
205		—	Reserved	—	—	—
206		—	Reserved	—	—	—
207		—	Reserved	—	—	—
208		—	Reserved	—	—	—
209		—	Reserved	—	—	—
210		—	Reserved	—	—	—
211		—	Reserved	—	—	—
212		—	Reserved	—	—	—
213		—	Reserved	—	—	—
214		—	Reserved	—	—	—
215		—	Reserved	—	—	—
216		—	Reserved	—	—	—
217		—	Reserved	—	—	—
218		—	Reserved	—	—	—
219		—	Reserved	—	—	—
220		—	Reserved	—	—	—
221		—	Reserved	—	—	—
222		—	Reserved	—	—	—
223		—	Reserved	—	—	—
224		—	Reserved	—	—	—
225		—	Reserved	—	—	—
226		—	Reserved	—	—	—
227		—	Reserved	—	—	—
228	—	Reserved	—	—	—	
229	—	Reserved	—	—	—	
230	—	Reserved	—	—	—	
231	—	Reserved	—	—	—	
232	—	Reserved	—	—	—	
233	—	Reserved	—	—	—	
234	—	Reserved	—	—	—	
235	—	Reserved	—	—	—	
236	—	Reserved	—	—	—	
237	—	Reserved	—	—	—	
238	—	Reserved	—	—	—	
239	—	Reserved	—	—	—	
240	—	Reserved	—	—	—	
241	—	Reserved	—	—	—	
242	ELC	ELCIRQ1	割り込み1 (ELSR18)	エッジ	○	○
243		ELCIRQ2	割り込み2 (ELSR19)	エッジ	○	○
244	—	—	Reserved	—	—	—
245		—	Reserved	—	—	—
246		—	Reserved	—	—	—
247		—	Reserved	—	—	—

表 12.3 Cortex-R4 / DMACAa 割り込みベクタテーブル (7 / 8)

ベクタ番号	要求元	要因		検出タイプ	CR4	DMACAa (注4)
248	—	—	Reserved	—	—	—
249	—	—	Reserved	—	—	—
250	—	—	Reserved	—	—	—
251	DMACAa	DMASRQ0	DMA転送 ソフトウェア起動 (Unit0)	エッジ	× (注3)	○
252	DMACAa	DMASRQ1	DMA転送 ソフトウェア起動 (Unit1)	エッジ	× (注3)	○
253	—	—	Reserved	—	—	—
254	—	—	Reserved	—	—	—
255	—	—	Reserved	—	—	—
256	—	—	Reserved	—	—	—
257	—	—	Reserved	—	—	—
258	—	—	Reserved	—	—	—
259	—	—	Reserved	—	—	—
260	—	—	Reserved	—	—	—
261	RII Ca ch1	EEl1	停止条件検知 / スタート条件検知 / NACK検知 / アービトレーションロスト / タイムアウト発生	レベル	○	×
262	RSCAN	CANGE	CAN グローバルエラー	レベル	○	×
263	RSCAN	—	Reserved	—	—	—
264	RSCAN	CANIE1	CAN1 エラー	レベル	○	×
265	—	—	Reserved	—	—	—
266	—	—	Reserved	—	—	—
267	—	—	Reserved	—	—	—
268	—	—	Reserved	—	—	—
269	—	—	Reserved	—	—	—
270	—	—	Reserved	—	—	—
271	—	—	Reserved	—	—	—
272	—	—	Reserved	—	—	—
273	—	—	Reserved	—	—	—
274	—	—	Reserved	—	—	—
275	—	—	Reserved	—	—	—
276	—	—	Reserved	—	—	—
277	—	—	Reserved	—	—	—
278	—	—	Reserved	—	—	—
279	—	—	Reserved	—	—	—
280	—	—	Reserved	—	—	—
281	—	—	Reserved	—	—	—
282	—	—	Reserved	—	—	—
283	—	—	Reserved	—	—	—
284	—	—	Reserved	—	—	—
285	—	—	Reserved	—	—	—
286	—	—	Reserved	—	—	—
287	—	—	Reserved	—	—	—
288	—	—	Reserved	—	—	—

表 12.3 Cortex-R4 / DMACAa 割り込みベクタテーブル (8 / 8)

ベクタ番号	要求元	要因		検出タイプ	CR4	DMACAa (注4)
289	—	—	Reserved	—	—	—
290	—	—	Reserved	—	—	—
291	—	—	Reserved	—	—	—
292	—	—	Reserved	—	—	—
293	DMACAa	DMAERR0	DMA転送 転送エラー (Unit0)	エッジ	○	×
294	DMACAa	DMAERR1	DMA転送 転送エラー (Unit1)	エッジ	○	×
295	—	—	Reserved	—	—	—
296	—	—	Reserved	—	—	—
297	—	—	Reserved	—	—	—
298	—	—	Reserved	—	—	—
299	CMT Unit2	CMI4	コンペアマッチ割り込み_ch0	エッジ	○	×
300	CMT Unit2	CMI5	コンペアマッチ割り込み_ch1	エッジ	○	×

注. 要求先に"○"の記載がない割り込み要求先は、選択しないでください。

- 注1. CPUの割り込み要因として用いる場合はレベル検出を、DMA起動要因として用いる場合はエッジ検出を選択してください。
- 注2. CPUの割り込み要因として用いる場合は、用途によりレベルまたはエッジ検出を、DMA起動要因として用いる場合はエッジ検出を選択してください。
- 注3. DMA起動要因による割り込みは発生しませんが、DMA転送完了時には、DMA転送完了割り込みのベクタ番号として扱われます。詳細については、「12.3.1 割り込み要求先の選択」、「14.4.2 DMA転送完了割り込み」を参照してください。
- 注4. DMACAaからの転送完了割り込みを接続する場合は、割り込み検出タイプ選択レジスタ n (PLSn) の設定は、常にエッジを選択してください。詳細は「12.4.4.3 (1) 割り込み検出タイプの指定方法」を参照してください。

12.4.4 動作説明

12.4.4.1 VIC のレジスタ初期化

VIC のレジスタ初期化手順を図 12.5 に示します。

リセットを解除した時点では、VIC は割り込み優先レベル設定など、レジスタが動作可能な状態になっていません。このため、リセット解除後に必ず初期化してください。

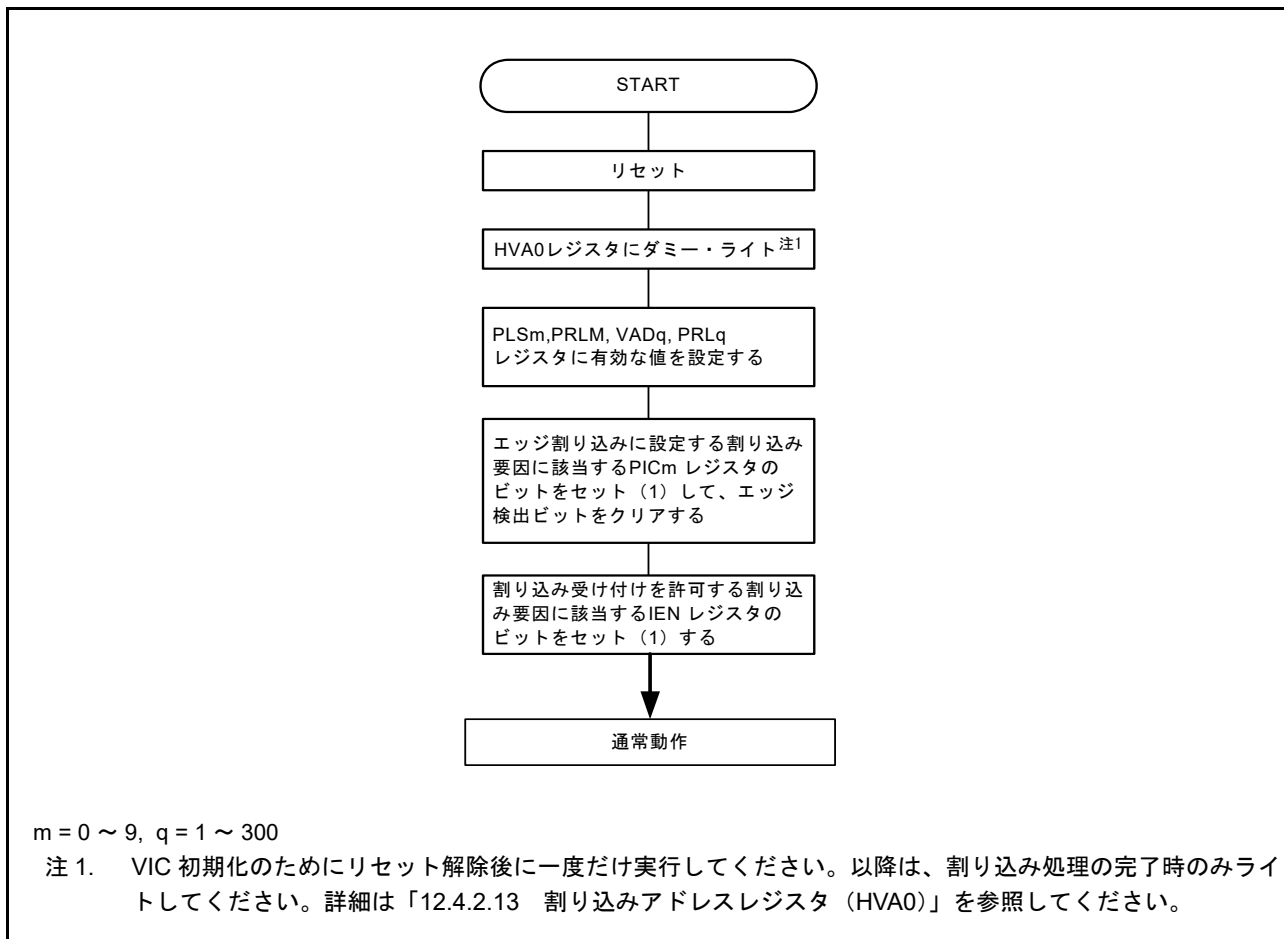


図 12.5 VIC のレジスタ初期化

12.4.4.2 PLS / PRLM / VAD / PRL レジスタ書き換え手順

VIC が動作中に、以下のレジスタを書き換える場合は、割り込み処理をすべて終了させ、割り込み禁止状態にして書き換えてください。

割り込み禁止は、Cortex-R4 の CPSR レジスタの I ビットをセット (1) することで行ってください。

- PLS (割り込み検出タイプ選択レジスタ)
- PRLM (割り込み優先レベルマスクレジスタ)
- VAD (割り込みアドレス格納レジスタ)
- PRL (割り込み優先レベル格納レジスタ)

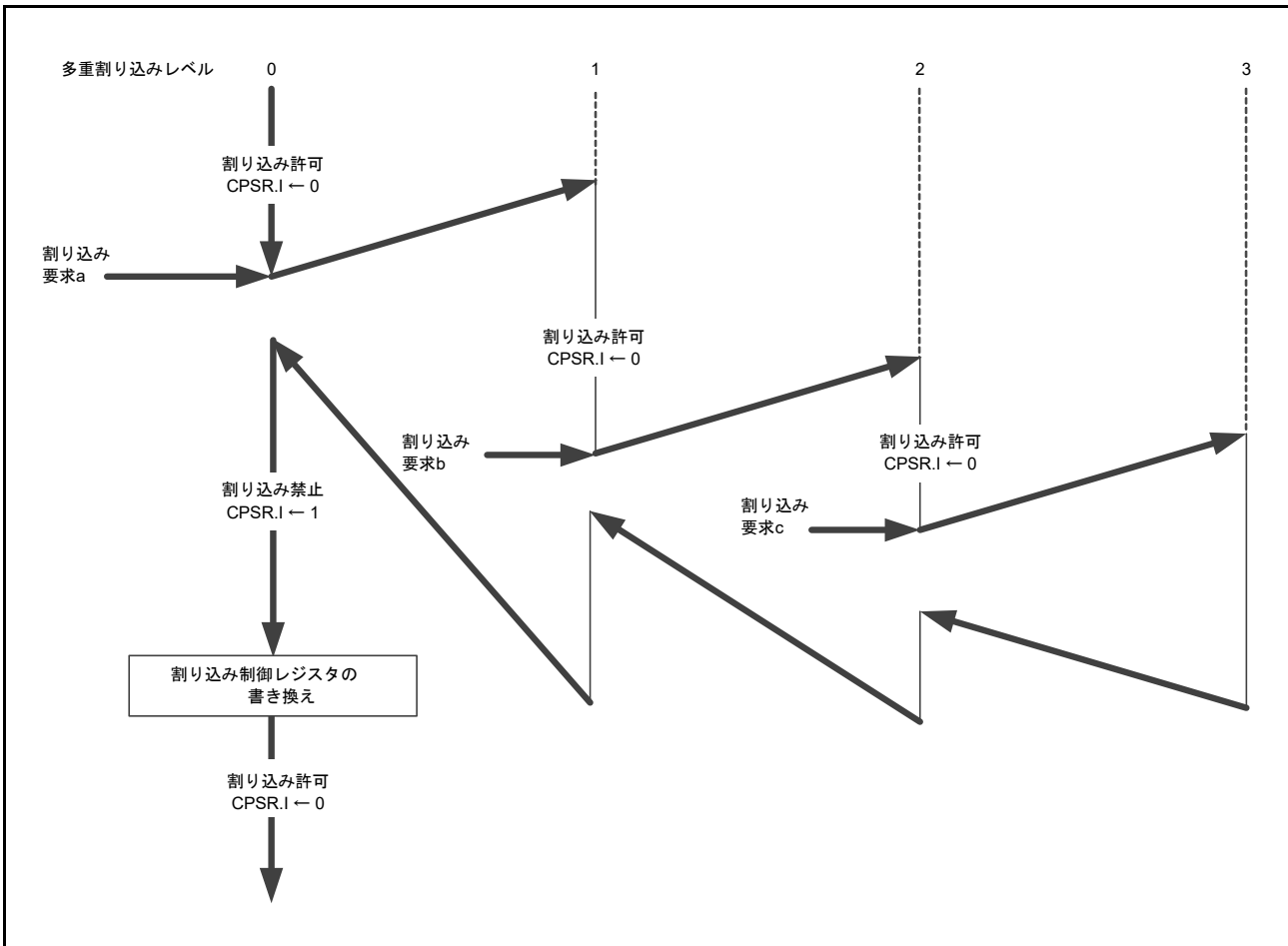


図 12.6 レジスタ設定変更期間

実際の書き換え処理は、以下のフローにしたがってソフトウェアで処理してください。

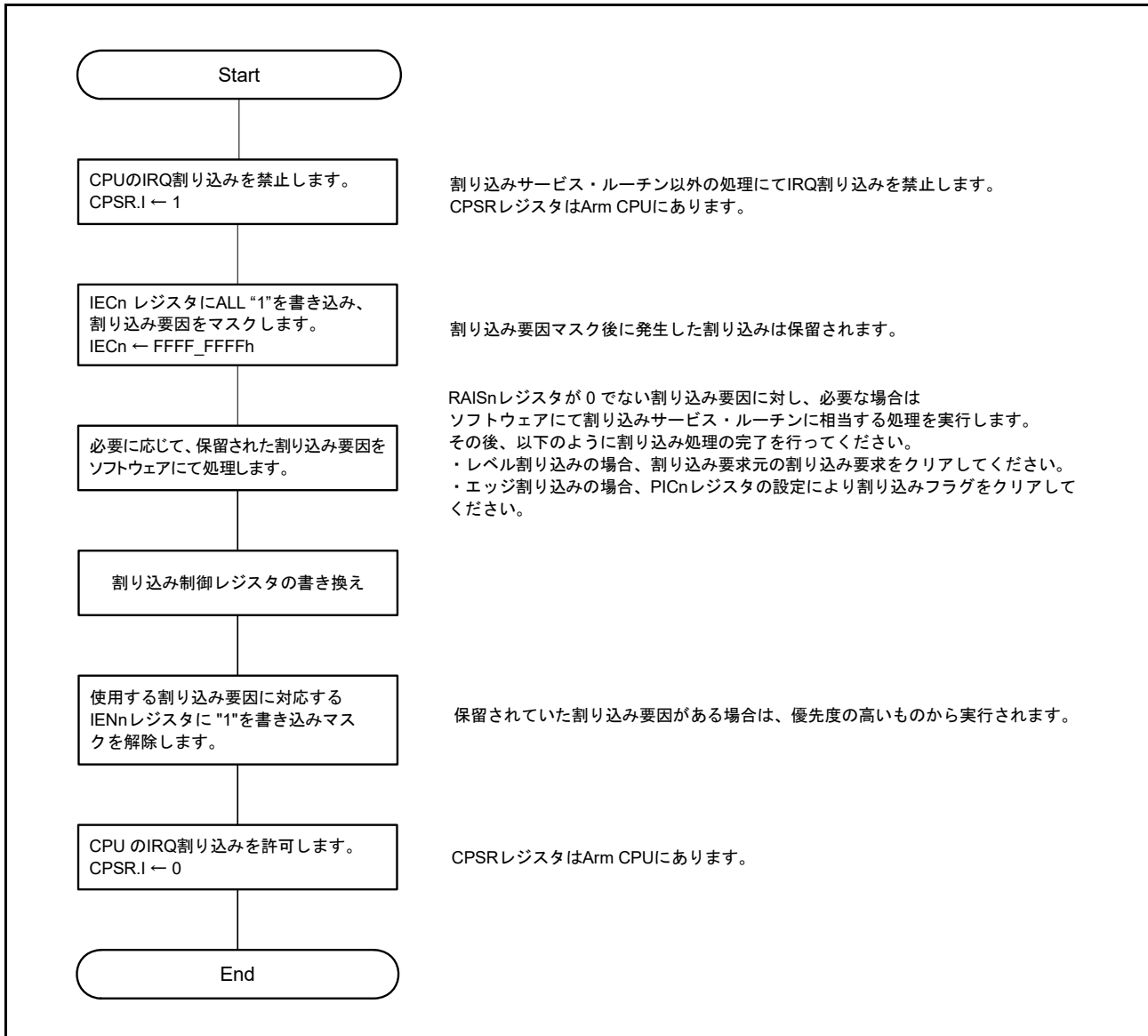


図 12.7 レジスタ書き換えフロー

12.4.4.3 割り込み検出

(1) 割り込み検出タイプの指定方法

NMI 端子からの割り込みを除く外部割り込み、および内蔵周辺から割り込みを Cortex-R4 に接続する場合、VIC でエッジまたはレベル検出を割り込み検出タイプ選択レジスタ n (PLSn) で選択する必要があります。表 12.4 に VIC の割り込み検出タイプの設定を示します。DMACAa からの転送完了割り込みを接続する場合は、常にエッジを選択してください。

表 12.4 VIC の割り込み検出タイプ別の設定

割り込み要求タイプ	PLSm
エッジ割り込み	1
レベル割り込み	0

m : 割り込みベクタ番号 (0 ~ 300)

(2) IRQ 割り込み (レベル割り込み)

図 12.8 にレベル割り込みの動作を示します。

なお、レベル割り込みを完了させる場合、レベル割り込みの要求元の割り込み出力を停止させると同時に、IRQ ステータスレジスタ n (IRQSn, $n=0 \sim 9$) の該当ビットがクリア (0) され、その割り込み要求が発生していないことを確認してください。これは、ソフトウェアによる割り込み要求元の割り込み出力停止処理が、ハードウェアに反映されるまでに遅延が生じ、復帰後に同一の割り込みが受け付けられてしまうことを防止するためです。また、割り込み要求元の割り込み出力停止処理は、要求元の動作に応じて、サービスルーチン (ISR) の適切な箇所で行ってください。

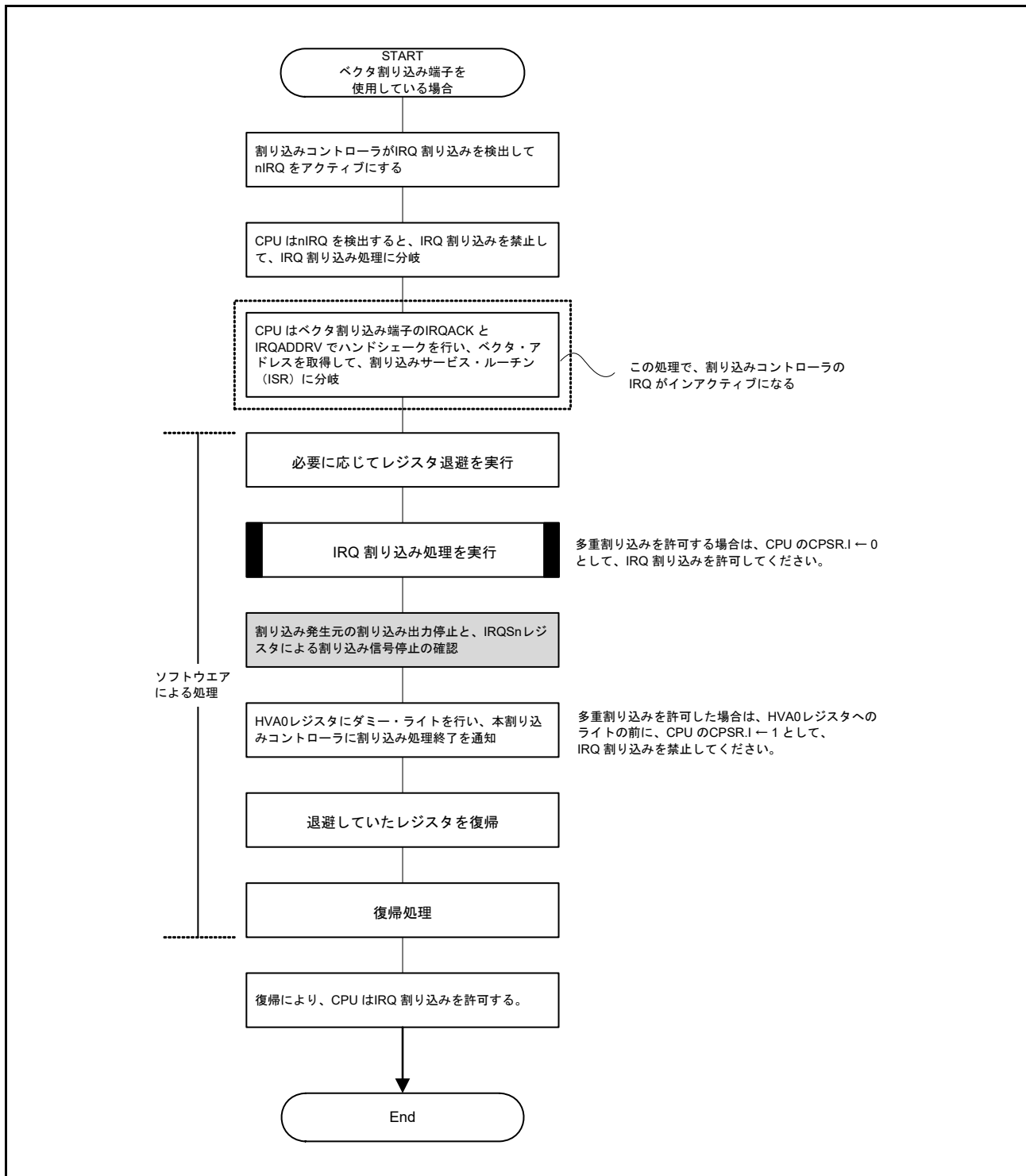


図 12.8 IRQ 割り込み動作 (レベル動作)

(3) IRQ 割り込み (エッジ割り込み)

図 12.9 にエッジ割り込み動作を示します。

なお、エッジ割り込み要求のクリアは、エッジ検出ビットクリアレジスタ n (PICn, n=0~9)で行ってください。

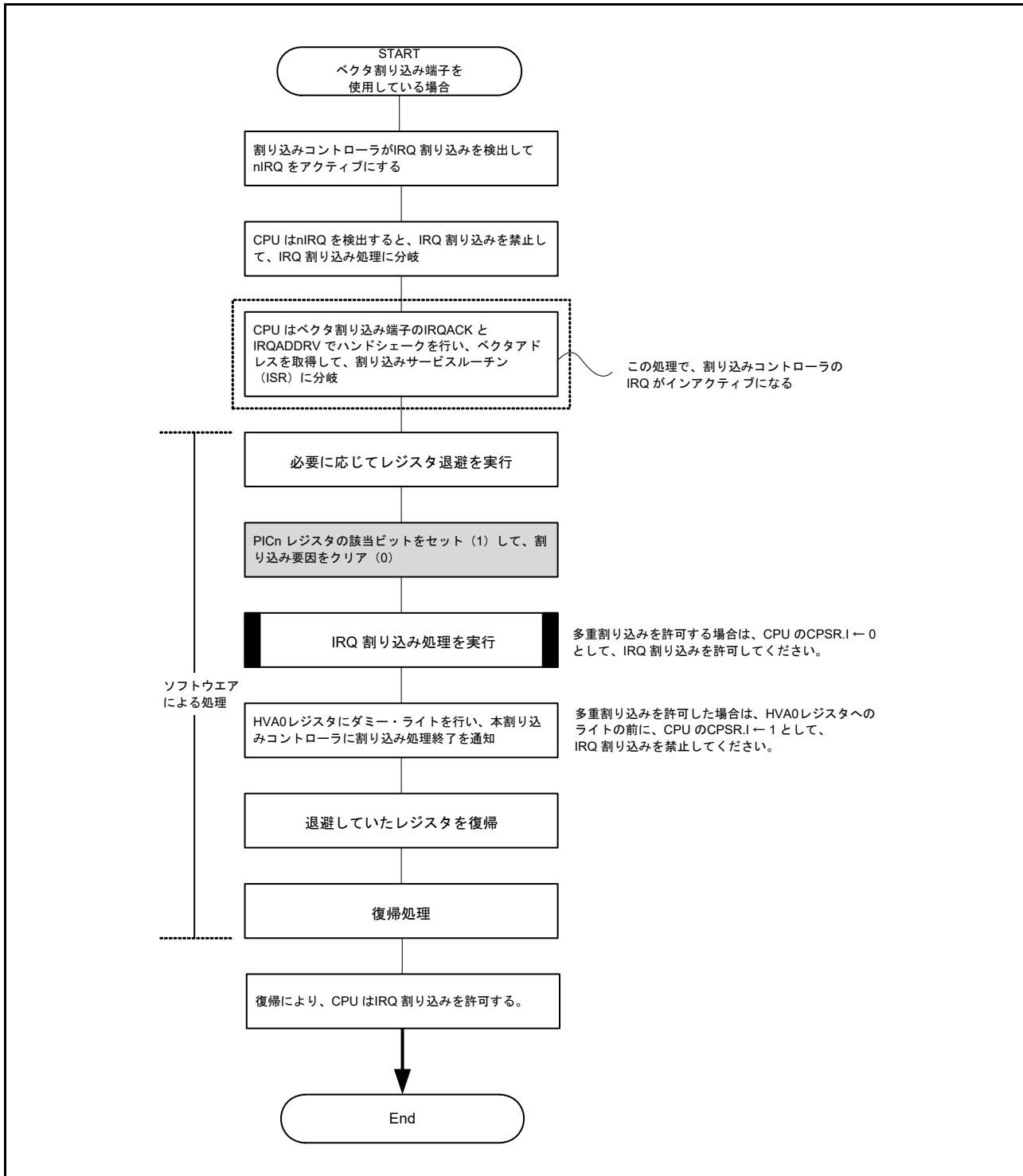


図 12.9 IRQ 割り込み動作 (エッジ割り込み)

12.4.4.4 割り込み多重制御における優先レベル

割り込み処理中（割り込み多重制御を行っている場合に限る）の場合、現在サービス中の割り込みより優先レベルの高い割り込みのみ受け付けます。このとき、サービス中の割り込みの優先レベル以下の割り込みは保留されます。

12.4.4.5 多重割り込み処理

割り込み処理中に、さらに別の割り込みを受け付ける多重割り込みの処理例を図 12.10 に示します。

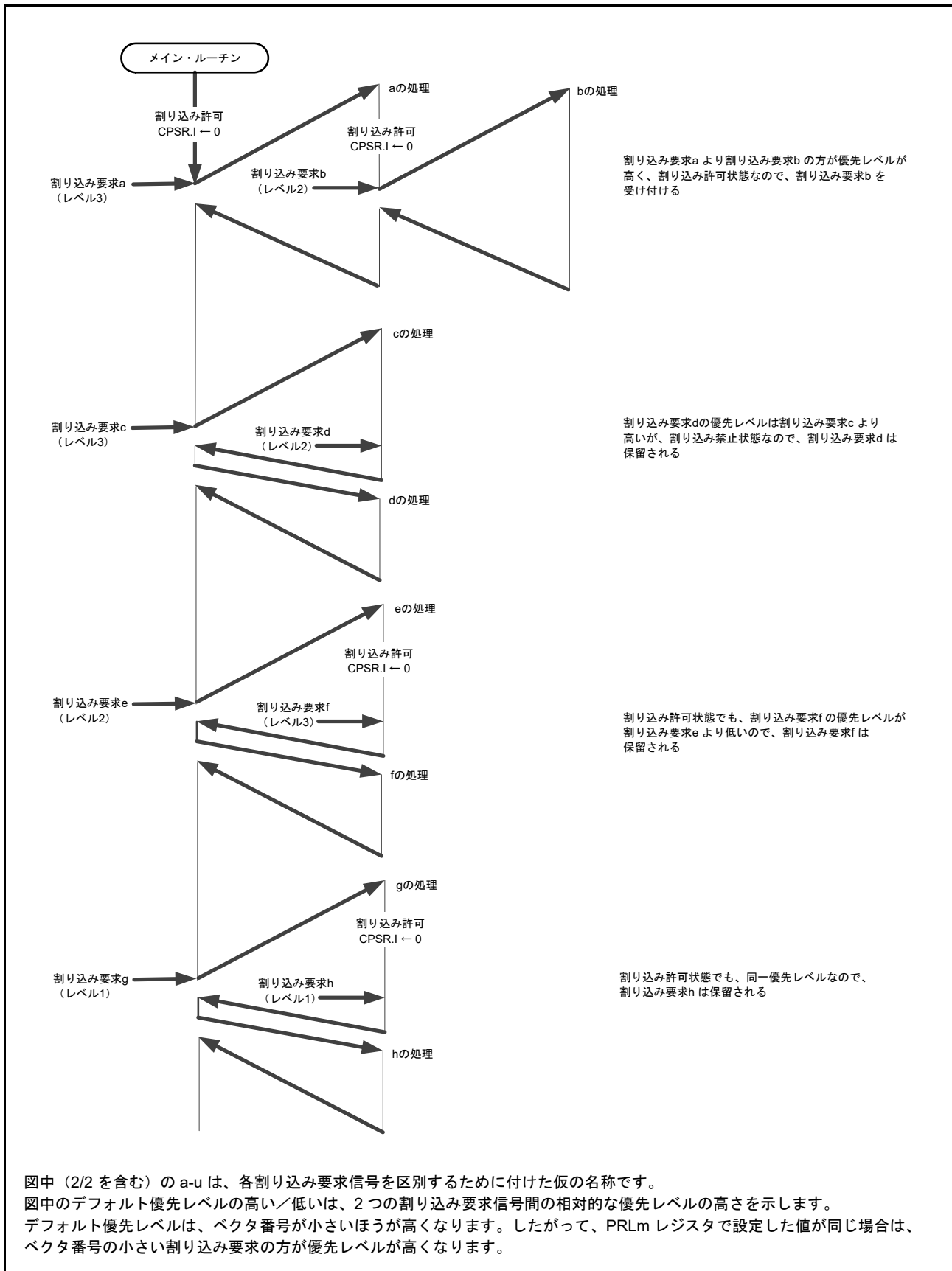


図 12.10 多重割り込み処理の概念 (1 / 2)

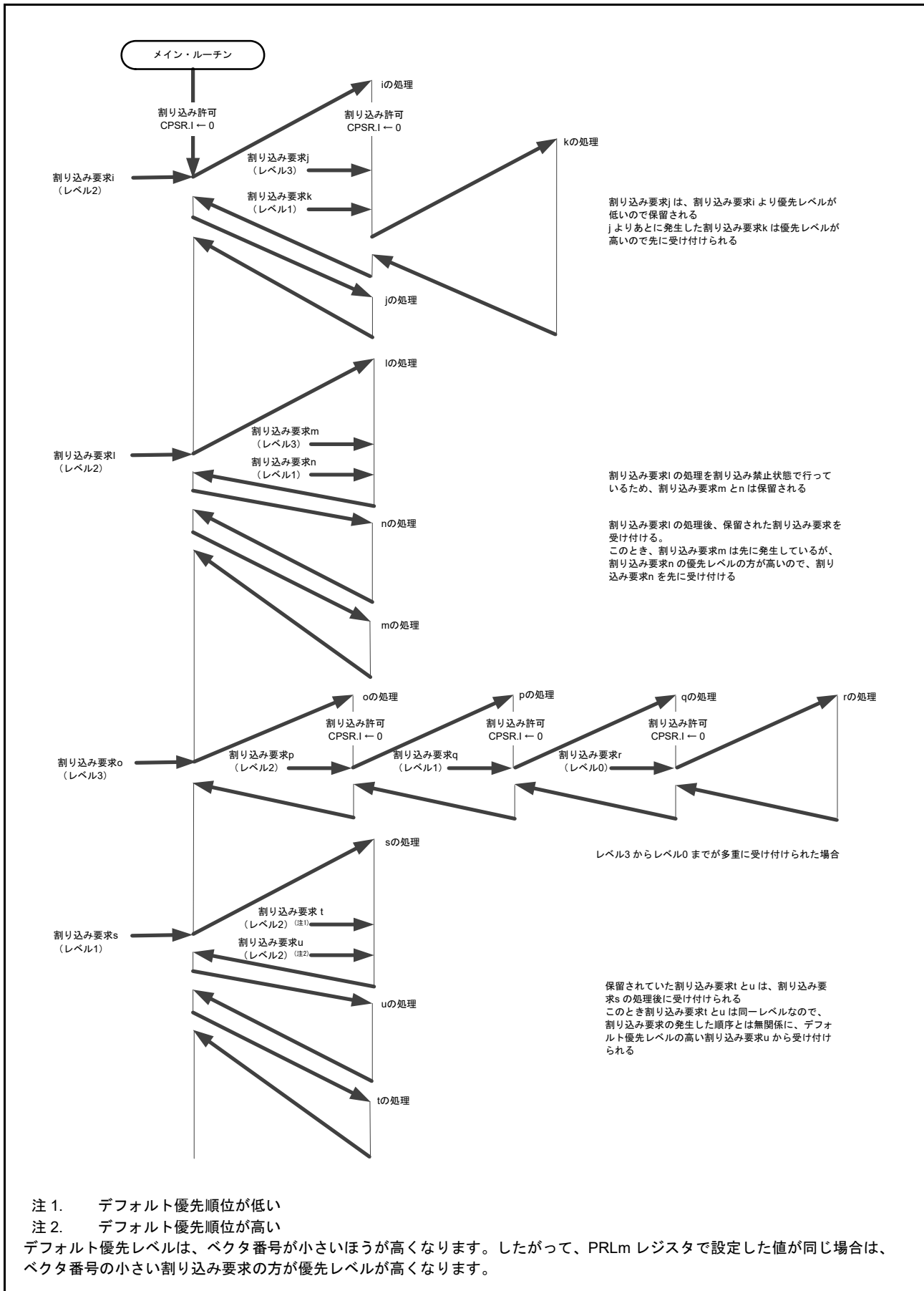


図 12.10 多重割り込み処理の概念 (2 / 2)

12.4.4.6 ポーリングによる IRQ 割り込み処理

図 12.11 に割り込みステータスレジスタ (RAISn) のポーリングにより、IRQ 割り込みを処理する手順を示します。

割り込みイネーブルレジスタ (IENn) を割り込みマスク状態のまま、割り込み入力ステータスレジスタ (RAISn) で IRQ 割り込みを検出することで割り込みサービス・ルーチン (ISR) へ分岐することなく、割り込み処理を行うことが可能です。

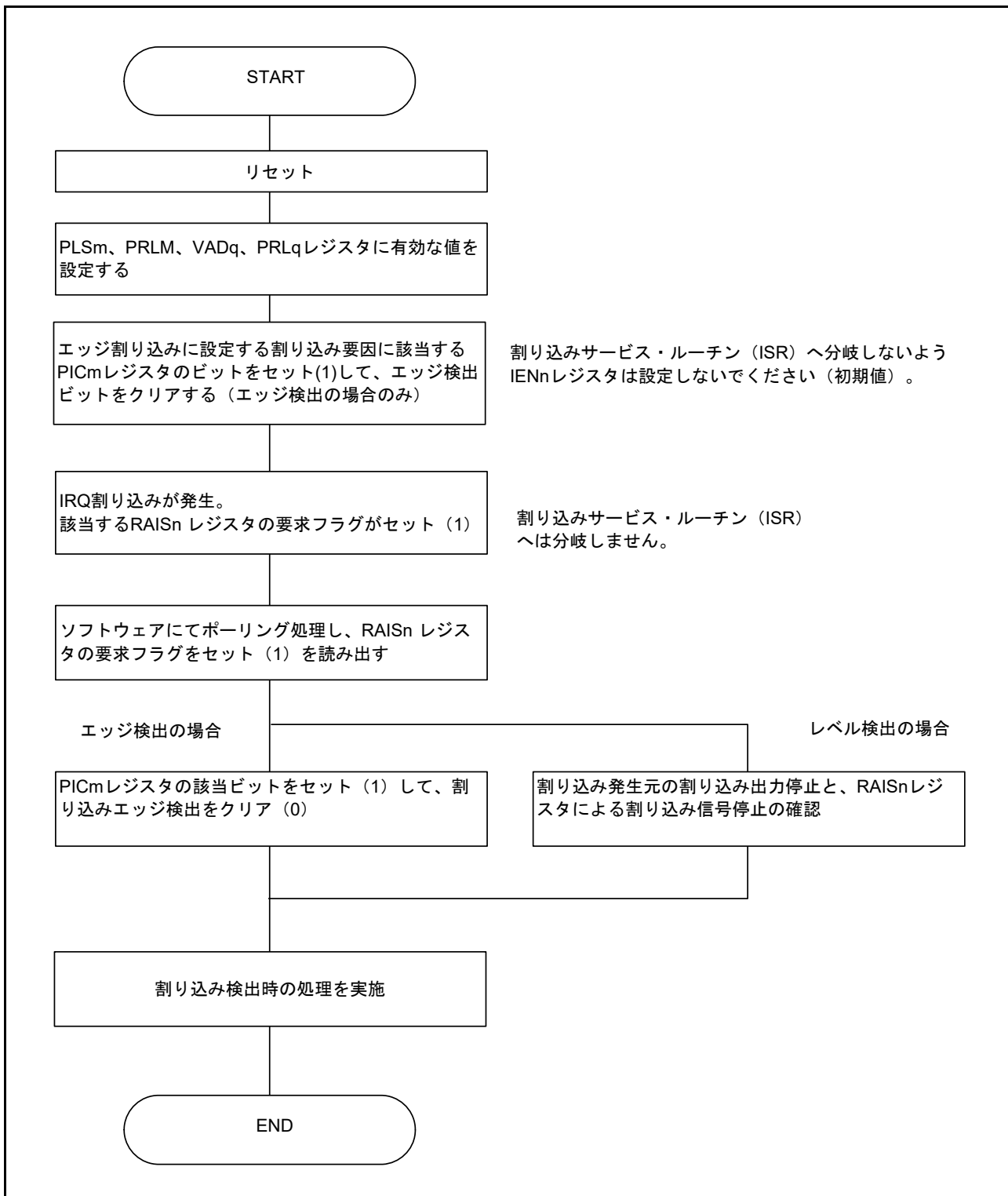


図 12.11 ポーリングによる IRQ 割り込み動作 (エッジ検出、レベル検出)

12.4.5 使用上の注意事項

12.4.5.1 VIC の優先レベルに関する制約

VIC は割り込み優先レベル格納レジスタ n (PRL n , $n = 1 \sim 300$) により要因毎に 16 段階の優先順位を指定することができますが、ベクタ番号 256 以降の要因については、ベクタ番号 1 ~ 255 の要因に対して優先順位が下がります。表 12.5 にベクタ番号と優先レベルの関係を示します。

表 12.5 ベクタ番号と優先レベルの関係

ベクタ番号	優先レベル (注1)
1 ~ 255	PRL n
256 ~ 300	PRL $n + 16$

$n = 1 \sim 300$

注1. 優先レベルは0が最高

12.4.5.2 HVA0 レジスタアクセス時の注意点

ベクタ割り込みと HVA0 レジスタへのライト動作が競合した場合、AHB バスが HVA0 レジスタにダミーライトを行い、そのライトの完了応答があるまで CPU の IRQ 割り込みを禁止することにより、ベクタ割り込み応答がアクティブにならないようにしています。

HVA0 レジスタへのライトを行う場合、必ずライト完了応答を待ってから CPU の IRQ 割り込みを許可するようにしてください。図 12.8 に示す手順通りの動作を行い、かつ HVA0 レジスタへのライト直後に DMB 命令を実行する (プログラム例を参照) ことにより確実にライトが完了できるため必ず守るようにしてください。

- プログラム例

```
VIC.HVA0.LONG = 0x00000000;
asm("dmb"); // DMB 命令
```

注. プログラムの書式はコンパイラによって異なる場合がありますので、各社コンパイラのマニュアルを確認してください。

12.4.5.3 レベル検出選択時の注意

割り込み要求をレベル検出に設定している場合、一度発生した割り込み要求を CPU からの割り込み解除処理以外で取り消さないでください。正常なベクタアドレスが出力されない可能性があります。例えば、レベル割り込み A が発生した場合には、「12.4.4.3 割り込み検出」の図 12.8 にあるよう、本来は当該割り込み処理 A で割り込み発生元の割り込み出力 A をクリアする必要がありますが、別の割り込み処理 B で割り込み出力 A のクリアやマスク処理を行ってしまった場合に割り込み出力 A が過渡的に取り消しされる可能性があります。

本割り込みコントローラが割り込みを受け付け、CPU がベクタアドレスを取得する前に割り込み要求が取り消された場合、同時に他の割り込み要求が発生しているときは、0000 0014h をベクタアドレスとして出力します。このように割り込み要求が過渡的なタイミングで取り下げられたケースを処置するために、CPU の 0000 0014h には復帰命令のみを配置することを推奨します。(プログラム例を参照)

また、多重割り込みを許可している割り込み処理中に、割り込み要求が過渡的なタイミングで取り下げられた場合は、サービス中の割り込み処理に再び分岐します。この割り込み処理で HVA0 レジスタへのライトを行うと、本割り込みコントローラは割り込み処理が終了したと認識するため、CPU が認識している割り込み要因とずれが生じますので、注意してください。

- プログラム例
reserved_handler:
subs pc, lr, #4 ; 0000 0014h に配置してください。

注 . プログラムの書式はコンパイラによって異なる場合がありますので、各社コンパイラのマニュアルを確認してください。

12.4.5.4 IECn レジスタの書き換え時の注意

IECn レジスタを書き換える場合は、必ず割り込み禁止状態で書き換えをしてください。
割り込み禁止は、Arm CPU の CPSR レジスタ I ビットをセット (1) することで行ってください。

12.4.5.5 ベクタ設定について

本製品は仕様上、SCTLR.[24]VE ビット = 0 の固定ベクタ設定は禁止です。SCTLR.[24]VE ビット = 1 の VIC からのアドレス提供のみ可能です。アドレスは VADn レジスタ (n : ベクタ番号) で設定が可能です。

12.5 使用上の注意

12.5.1 外部端子割り込みを立ち下がりエッジ、または両エッジで使用する場合

リセット後の外部端子割り込みの内部レベルは、High となっているため、端子の初期入力レベルが Low かつ立ち下がりエッジ、または両エッジで使用される場合は、以下の手順で設定してください。

その他の条件で使用する場合は、「12.3.3 外部端子割り込み」の手順で設定してください。

また、本設定完了前に外部端子割り込みへ立ち下がりエッジが入力されないようにしてください。

[IRQ 端子の場合]

1. 該当する IENn ビットを“0”にする (IECn ビットをセットする)。
2. I/O ポートのポート方向レジスタ (PDR) Pmn 方向制御ビットに、“10b (入力)”を設定する。
3. I/O ポート (PmnPFS.ISEL ビット) の設定、および確認を行う (PmnPFS レジスタをリードする)。
4. IRQFLTE.FLTENi ビットを“0”にする。(注1)
5. IRQFLTC.FCLKSEL[1:0] でデジタルノイズフィルタのサンプリングクロックを設定する。(注1)
6. IRQFLTE.FLTENi ビットを“1”にする。(注1)
7. IRQCRi.IRQMD[1:0] ビットで立ち下がりエッジ、または両エッジに設定。
8. 該当する PICn レジスタを“1”にする (エッジ検出の場合)。
9. 該当する IENn ビットを“1”にする。

注1. デジタルノイズフィルタを使用する場合のみ設定が必要です。

[ETH0_INT/ETH1_INT 端子] の場合

1. 該当する IENn ビットを“0”にする (IECn ビットをセットする)。
2. I/O ポートのポート方向レジスタ (PDR) Pmn 方向制御ビットに、“10b (入力)”を設定する。
3. I/O ポート (PmnPFS.PSEL[5:0] ビットおよび PMR レジスタ) の設定、および確認を行う (PmnPFS レジスタをリードする)。
4. EPHYFLTE.EFLTENi ビットを“0”にする。(注1)
5. EPHYFLTC.EFCLKSEL[1:0] でデジタルノイズフィルタのサンプリングクロックを設定する。(注1)
6. EPHYFLTE.EFLTENi ビットを“1”にする。(注1)
7. EPHYCRi.EPHYMD[1:0] ビットで立ち下がりエッジ、または両エッジに設定。
8. 該当する PICn レジスタを“1”にする (エッジ検出の場合)。
9. 該当する IENn ビットを“1”にする。

注1. デジタルノイズフィルタを使用する場合のみ設定が必要です。

12.5.2 NMI 端子割り込みを立ち下がりエッジで使用する場合

リセット後の NMI 端子の内部レベルは High となっているため、NMI 端子の初期入力レベルが Low かつ立ち下がりエッジで使用される場合は、以下の手順で設定してください。

その他の条件で使用する場合は「12.3.4 NMI 端子割り込み」の手順で設定してください。

また、本設定完了前に NMI 端子へ立ち下がりエッジが入力されないようにしてください。

1. NMICR.NMIMD ビットで検出エッジを立ち上がりエッジ“1”に設定する。
2. I/O ポートの設定 (P35PFS.ISEL ビット)、および確認を行う。
3. NMIFLTE.NFLTEN ビットを“0”にする。(注1)
4. NMIFLTC.NFCLKSEL[1:0] ビットでデジタルノイズフィルタのサンプリングクロックを設定する。(注1)
5. NMICR.NMIMD ビットで検出エッジを立ち下がりエッジ“0”に設定する。
6. NMICLR.NMICLR ビットに“1”をセットし、NMISR.NMIST フラグを“0”にする。

7. NMIFLTE.NFLTEN ビットを“1”にセットする。(注1)
8. I/O ポートのポート方向レジスタ (PDR) P35 方向制御ビットに、“10b (入力)”を設定する。

注1. デジタルノイズフィルタを使用する場合のみ設定が必要です。

13. 内部バス

13.1 概要

本製品は、2種類の内部メインバスとメモリバス、および複数の内部周辺バスを有しています。
表 13.1 に内部バスの仕様を、図 13.1 に内部バスの構成図を示します。

表 13.1 内部バスの仕様

内部バスの種類		内容
内部メインバス	内部メインバス1	<ul style="list-style-type: none"> ICLKに同期して動作 バスプロトコル：AMBA AXI 優先順位判定：ラウンドロビン
	内部メインバス2	<ul style="list-style-type: none"> ICLKに同期して動作 バスプロトコル：AMBA AHB 優先順位判定：固定優先付きラウンドロビン (DMA0 最優先)
Ethernet 用バス	Communicationバス	ICLKに同期して動作
周辺バス1	ESC	PCLKAに同期して動作
周辺バス2	SCIFA、RSPIa	SERICKLに同期して動作
周辺バス3	RSCAN、CRC、ECM	PCLKDに同期して動作
周辺バス4	ELC、CMT、CMTW、WDTA、IWDTa、RIICa	PCLKDに同期して動作
周辺バス5	クロック発生回路、CLMA	PCLKBに同期して動作
外部 Serial Flashバス		ICLKに同期して動作

注. 周辺バス4、5は同じスレーブレイヤで内部メインバス2に接続されています。

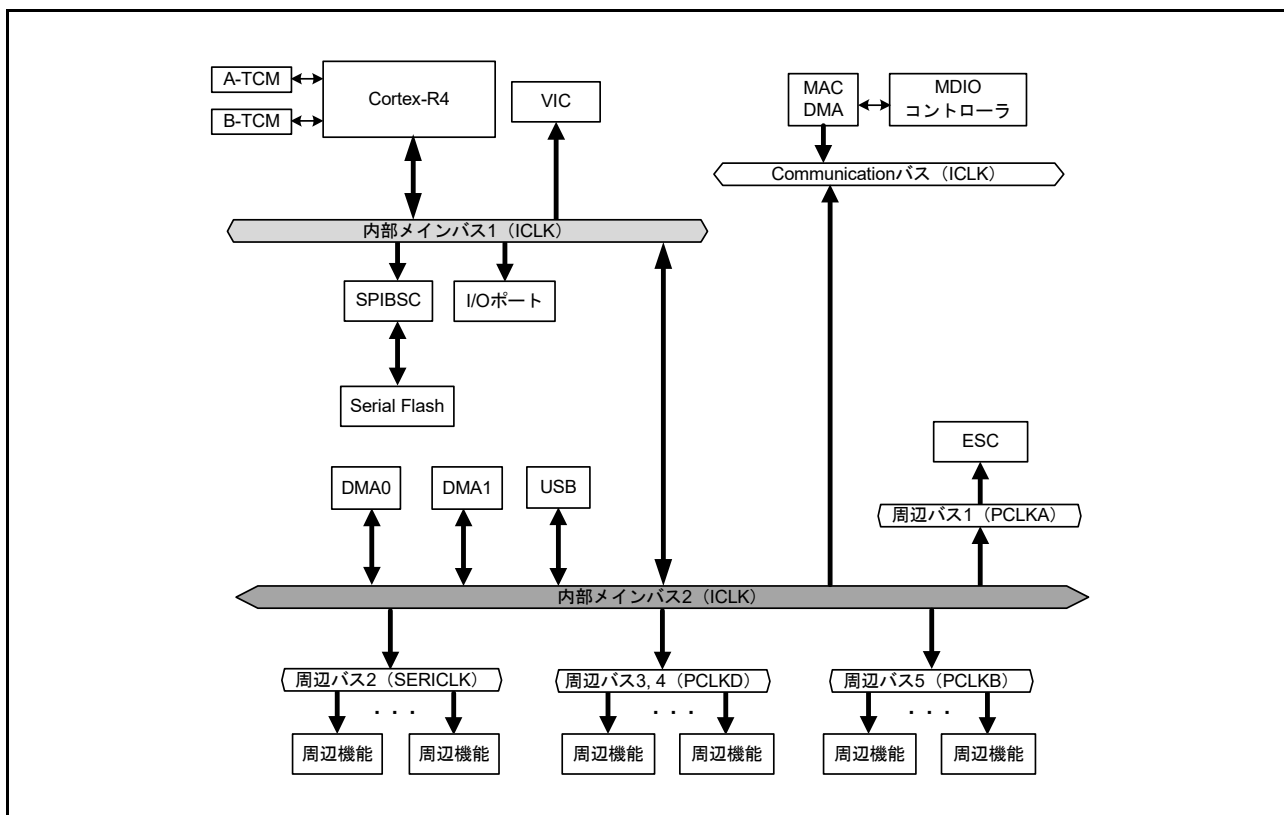


図 13.1 バスの構成図

13.2 内部メインバス

本 LSI の内部メインバス 1、内部メインバス 2 は共にマルチレイヤ構成となっています。各バスマスタが異なるバススレーブにアクセスした場合、各アクセスは並列に実行されます。各バスマスタが同一のバススレーブにアクセスした場合、優先順位判定が行われ、優先順位の高い順にアクセスを行います。

表 13.2 に内部メインバス 1、表 13.3 に内部メインバス 2 のバスマスタ・バススレーブ間接続を示します。

表 13.2 内部メインバス1 バスマスタ・バススレーブ間接続

バススレーブ \ バスマスタ	CPU(Cortex-R4)	内部メインバス2
CPU (Cortex-R4)	○	○
I/Oポート	○	○
SPIBSC	○	○
VIC	○	○
内部メインバス2	○	—

○ : アクセス可

— : アクセス不可

表 13.3 内部メインバス2 バスマスタ・バススレーブ間接続

バススレーブ \ バスマスタ	内部メインバス1	DMA0	DMA1	USB
内部メインバス1	—	○	○	○
DMA0	○	—	—	—
DMA1	○	—	—	—
USB	○	○	○	—
周辺バス1	○	○	○	—
周辺バス2	○	○	○	—
周辺バス3	○	○	○	—
周辺バス4	○	○	○	—
周辺バス5	○	○	○	—

○ : アクセス可

— : アクセス不可

14. DMAコントローラ (DMACAa)

本 LSI は、2 ユニット (DMACAa0、DMACAa1) の DMACAa (Direct Memory Access Controller) を内蔵しています。

DMACAa は、CPU を介さずにデータ転送を行います。DMACAa は転送要求が発生すると、転送元アドレスのデータを転送先アドレスへ転送します。

14.1 概要

表 14.1 に DMACAa の仕様を示します。

表 14.1 DMACAa の仕様

項目	内容	
	DMACAa0	DMACAa1
チャンネル数	16チャンネル	16チャンネル
アドレス空間	4Gバイト	
DMACAa起動要因	外部割り込み (IRQ) 内蔵周辺モジュールリクエスト/ソフトウェアリクエスト (注1)	
チャンネル優先順位	<ul style="list-style-type: none"> チャンネル0~7内およびチャンネル8~15内は固定優先順位/ラウンドロビンの2種類から選択可能。 チャンネル0~7、チャンネル8~15間はラウンドロビンで動作 	
転送データ単位	8bit/16bit/32bit/128bit/256bit/512bit	8bit/16bit/32bit/128bit
最大転送サイズ	2 ³² -1バイト	
転送モード	シングル転送	1回のDMA起動要求に対して、1回のDMA転送を実行
	ブロック転送	1回のDMACAa転送要求に対して、指定した転送サイズ分のDMA転送を実行
DMAモード	レジスタモード	<ul style="list-style-type: none"> DMA転送の設定値：DMAコントローラ内部の制御レジスタ値 レジスタで指定した転送元/転送先に対するDMA転送
	リンクモード	<ul style="list-style-type: none"> DMA転送の設定値：内蔵RAMに配置したディスクリプタ ディスクリプタで指定した多様なDMA転送が実現可能 (応答性はレジスタモード>リンクモード)
インターバル機能	DMA転送間隔を指定可能 (バス占有率の調整)	
スキップ機能	<ul style="list-style-type: none"> DMA転送でアクセスする領域に対し、連続アクセスサイズと離散アクセス (スキップ) サイズをそれぞれ設定可能 連続アクセス設定サイズ分転送した後、次にアクセスするアドレスをレジスタで設定したサイズ分、スキップ可能 	
サスペンド機能	実行中のDMA転送を一時停止することが可能	
バッファ掃出し機能	DMACAaを強制停止した際、バッファ内データの掃出しが可能	
割り込み要求	チャンネル毎に下記の割り込み要求を持つ <ul style="list-style-type: none"> 転送完了 (指定転送サイズ完了。チャンネルごと) にあり。 転送エラー (バスエラー。ユニット0とユニット1共に1本ずつの計二本) 	

注1. ソフトウェアリクエストは、割り込みコントローラから内蔵周辺モジュールリクエストの1要因として出力されます。ソフトウェアリクエストの設定方法は「12. 割り込みコントローラ (ICUA)」を参照してください。

14.2 レジスタの説明

14.2.1 ネクストソースアドレスレジスタ n (N0SA_n_N, N0SA_n_W, N1SA_n_N, N1SA_n_W)

N0SA_n, N1SA_nは、DMA チャンネル n の DMA 転送元アドレスを設定するレジスタです (n = 15-0)。

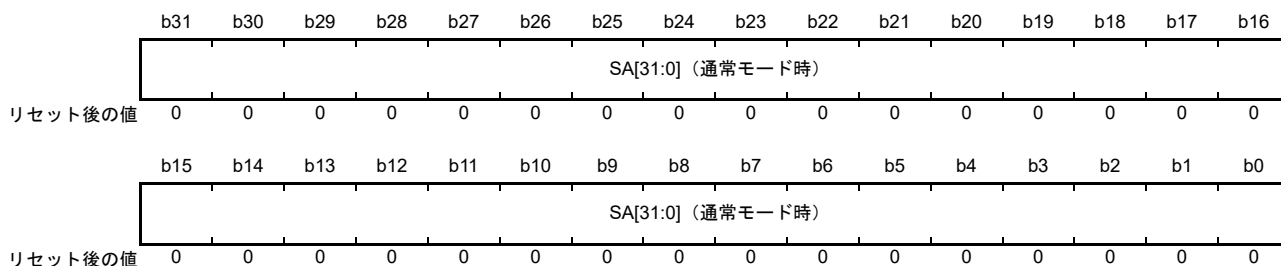
N0SA_n は Next0 Register Set 用、N1SA_n は Next1 Register Set 用です。

Write Only モード (CHCFG_n レジスタ WONLY = 1) 時には、ライト・データの設定に使用します。

- N0SA_n_N, N1SA_n_N (通常モード) の場合

```

DMACAa0
N0SA_0_N : A006 2000h, N0SA_1_N : A006 2040h, N0SA_2_N : A006 2080h, N0SA_3_N : A006 20C0h,
N0SA_4_N : A006 2100h, N0SA_5_N : A006 2140h, N0SA_6_N : A006 2180h, N0SA_7_N : A006 21C0h,
N0SA_8_N : A006 2400h, N0SA_9_N : A006 2440h, N0SA_10_N : A006 2480h, N0SA_11_N : A006 24C0h,
N0SA_12_N : A006 2500h, N0SA_13_N : A006 2540h, N0SA_14_N : A006 2580h, N0SA_15_N : A006 25C0h
アドレス DMACAa1
N0SA0_N : A006 3000h, N0SA_1_N : A006 3040h, N0SA_2_N : A006 3080h, N0SA_3_N : A006 30C0h,
N0SA_4_N : A006 3100h, N0SA_5_N : A006 3140h, N0SA_6_N : A006 3180h, N0SA_7_N : A006 31C0h,
N0SA_8_N : A006 3400h, N0SA_9_N : A006 3440h, N0SA_10_N : A006 3480h, N0SA_11_N : A006 34C0h,
N0SA_12_N : A006 3500h, N0SA_13_N : A006 3540h, N0SA_14_N : A006 3580h, N0SA_15_N : A006 35C0h
DMACAa0
N1SA0_N : A006 200Ch, N1SA_1_N : A006 204Ch, N1SA_2_N : A006 208Ch, N1SA_3_N : A006 20CCh,
N1SA_4_N : A006 210Ch, N1SA_5_N : A006 214Ch, N1SA_6_N : A006 218Ch, N1SA_7_N : A006 21CCh,
N1SA_8_N : A006 240Ch, N1SA_9_N : A006 244Ch, N1SA_10_N : A006 248Ch, N1SA_11_N : A006 24CCh,
N1SA_12_N : A006 250Ch, N1SA_13_N : A006 254Ch, N1SA_14_N : A006 258Ch, N1SA_15_N : A006 25CCh
DMACAa1
N1SA0_N : A006 300Ch, N1SA_1_N : A006 304Ch, N1SA_2_N : A006 308Ch, N1SA_3_N : A006 30CCh,
N1SA_4_N : A006 310Ch, N1SA_5_N : A006 314Ch, N1SA_6_N : A006 318Ch, N1SA_7_N : A006 31CCh,
N1SA_8_N : A006 340Ch, N1SA_9_N : A006 344Ch, N1SA_10_N : A006 348Ch, N1SA_11_N : A006 34CCh,
N1SA_12_N : A006 350Ch, N1SA_13_N : A006 354Ch, N1SA_14_N : A006 358Ch, N1SA_15_N : A006 35CCh
    
```

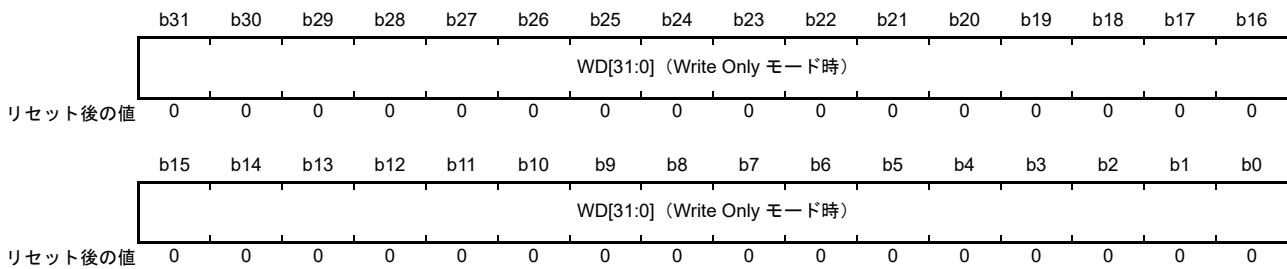


ビット	シンボル	ビット名	機能	R/W
b31-b0	SA[31:0] (通常モード時)	ソースアドレス	DMA転送元の開始アドレスを設定します。	R/W

注. リンク・モード転送時は、ディスクリプタ・リード・データが自動的に、N0SA_n_Nレジスタにセットされます。

- N0SA_n_W, N1SA_n_W (Write Only モード) の場合

DMACAa0
 N0SA_0_W : A006 2000h, N0SA_1_W : A006 2040h, N0SA_2_W : A006 2080h, N0SA_3_W : A006 20C0h,
 N0SA_4_W : A006 2100h, N0SA_5_W : A006 2140h, N0SA_6_W : A006 2180h, N0SA_7_W : A006 21C0h,
 N0SA_8_W : A006 2400h, N0SA_9_W : A006 2440h, N0SA_10_W : A006 2480h, N0SA_11_W : A006 24C0h,
 N0SA_12_W : A006 2500h, N0SA_13_W : A006 2540h, N0SA_14_W : A006 2580h, N0SA_15_W : A006 25C0h
 アドレス DMACAa1
 N0SA_0_W : A006 3000h, N0SA_1_W : A006 3040h, N0SA_2_W : A006 3080h, N0SA_3_W : A006 30C0h,
 N0SA_4_W : A006 3100h, N0SA_5_W : A006 3140h, N0SA_6_W : A006 3180h, N0SA_7_W : A006 31C0h,
 N0SA_8_W : A006 3400h, N0SA_9_W : A006 3440h, N0SA_10_W : A006 3480h, N0SA_11_W : A006 34C0h,
 N0SA_12_W : A006 3500h, N0SA_13_W : A006 3540h, N0SA_14_W : A006 3580h, N0SA_15_W : A006 35C0h
 DMACAa0
 N1SA_0_W : A006 200Ch, N1SA_1_W : A006 204Ch, N1SA_2_W : A006 208Ch, N1SA_3_W : A006 20CCh,
 N1SA_4_W : A006 210Ch, N1SA_5_W : A006 214Ch, N1SA_6_W : A006 218Ch, N1SA_7_W : A006 21CCh,
 N1SA_8_W : A006 240Ch, N1SA_9_W : A006 244Ch, N1SA_10_W : A006 248Ch, N1SA_11_W : A006 24CCh,
 N1SA_12_W : A006 250Ch, N1SA_13_W : A006 254Ch, N1SA_14_W : A006 258Ch, N1SA_15_W : A006 25CCh
 DMACAa1
 N1SA_0_W : A006 300Ch, N1SA_1_W : A006 304Ch, N1SA_2_W : A006 308Ch, N1SA_3_W : A006 30CCh,
 N1SA_4_W : A006 310Ch, N1SA_5_W : A006 314Ch, N1SA_6_W : A006 318Ch, N1SA_7_W : A006 31CCh,
 N1SA_8_W : A006 340Ch, N1SA_9_W : A006 344Ch, N1SA_10_W : A006 348Ch, N1SA_11_W : A006 34CCh,
 N1SA_12_W : A006 350Ch, N1SA_13_W : A006 354Ch, N1SA_14_W : A006 358Ch, N1SA_15_W : A006 35CCh



ビット	シンボル	ビット名	機能	R/W
b31-b0	WD[31:0] (Write Onlyモード時)	ライト・データ	Write Onlyモード時のライト・データを設定します。	R/W

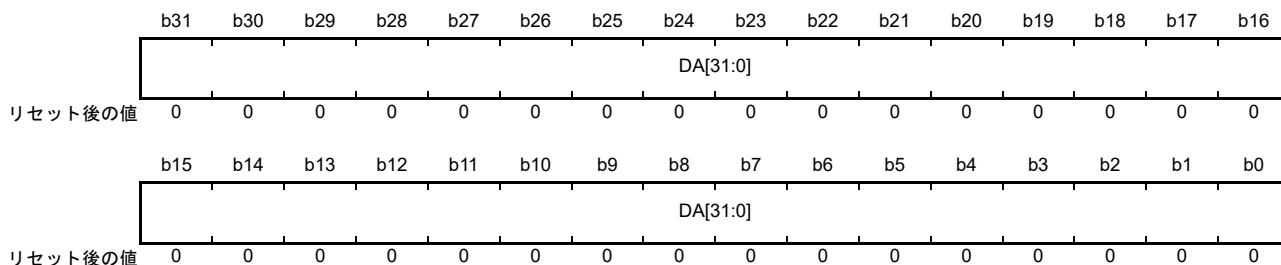
注. リンク・モード転送時は、ディスクリプタ・リード・データが自動的に、N0SA_n_Wレジスタにセットされます。

14.2.2 ネクストデスティネーションアドレスレジスタ n (N0DA_n, N1DA_n)

N0DA_n, N1DA_n は、DMA チャンネル n の DMA 転送先アドレスを設定するレジスタです (n = 15-0)。

N0DA_n は Next0 Register Set 用、N1DA_n は Next1 Register Set 用です。

	DMACAa0
	N0DA_0 : A006 2004h, N0DA_1 : A006 2044h, N0DA_2 : A006 2084h, N0DA_3 : A006 20C4h, N0DA_4 : A006 2104h, N0DA_5 : A006 2144h, N0DA_6 : A006 2184h, N0DA_7 : A006 21C4h, N0DA_8 : A006 2404h, N0DA_9 : A006 2444h, N0DA_10 : A006 2484h, N0DA_11 : A006 24C4h, N0DA_12 : A006 2504h, N0DA_13 : A006 2544h, N0DA_14 : A006 2584h, N0DA_15 : A006 25C4h
アドレス	DMACAa1
	N0DA_0 : A006 3004h, N0DA_1 : A006 3044h, N0DA_2 : A006 3084h, N0DA_3 : A006 30C4h, N0DA_4 : A006 3104h, N0DA_5 : A006 3144h, N0DA_6 : A006 3184h, N0DA_7 : A006 31C4h, N0DA_8 : A006 3404h, N0DA_9 : A006 3444h, N0DA_10 : A006 3484h, N0DA_11 : A006 34C4h, N0DA_12 : A006 3504h, N0DA_13 : A006 3544h, N0DA_14 : A006 3584h, N0DA_15 : A006 35C4h
	DMACAa0
	N1DA_0 : A006 2010h, N1DA_1 : A006 2050h, N1DA_2 : A006 2090h, N1DA_3 : A006 20D0h, N1DA_4 : A006 2110h, N1DA_5 : A006 2150h, N1DA_6 : A006 2190h, N1DA_7 : A006 21D0h, N1DA_8 : A006 2410h, N1DA_9 : A006 2450h, N1DA_10 : A006 2490h, N1DA_11 : A006 24D0h, N1DA_12 : A006 2510h, N1DA_13 : A006 2550h, N1DA_14 : A006 2590h, N1DA_15 : A006 25D0h
	DMACAa1
	N1DA_0 : A006 3010h, N1DA_1 : A006 3050h, N1DA_2 : A006 3090h, N1DA_3 : A006 30D0h, N1DA_4 : A006 3110h, N1DA_5 : A006 3150h, N1DA_6 : A006 3190h, N1DA_7 : A006 31D0h, N1DA_8 : A006 3410h, N1DA_9 : A006 3450h, N1DA_10 : A006 3490h, N1DA_11 : A006 34D0h, N1DA_12 : A006 3510h, N1DA_13 : A006 3550h, N1DA_14 : A006 3590h, N1DA_15 : A006 35D0h



ビット	シンボル	ビット名	機能	R/W
b31-b0	DA[31:0]	デスティネーションアドレス	DMA転送先の開始アドレスを設定します。	R/W

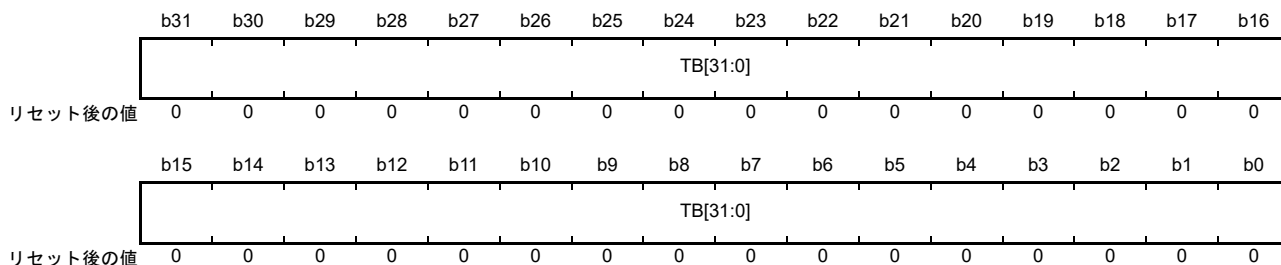
注. リンク・モード転送時は、ディスクリプタ・リード・データが自動的に、N0DA_nレジスタにセットされます。

14.2.3 ネクストランザクションバイトレジスタ n (N0TB_n, N1TB_n)

N0TB_n、N1TB_nは、DMA チャンネル n の総転送バイト数を設定するレジスタです (n = 15-0)。

N0TB_n は Next0 Register Set 用、N1TB_n は Next1 Register Set 用です。

	DMACAa0
	N0TB_0 : A006 2008h, N0TB_1 : A006 2048h, N0TB_2 : A006 2088h, N0TB_3 : A006 20C8h, N0TB_4 : A006 2108h, N0TB_5 : A006 2148h, N0TB_6 : A006 2188h, N0TB_7 : A006 21C8h, N0TB_8 : A006 2408h, N0TB_9 : A006 2448h, N0TB_10 : A006 2488h, N0TB_11 : A006 24C8h, N0TB_12 : A006 2508h, N0TB_13 : A006 2548h, N0TB_14 : A006 2588h, N0TB_15 : A006 25C8h
アドレス	DMACAa1
	N0TB_0 : A006 3008h, N0TB_1 : A006 3048h, N0TB_2 : A006 3088h, N0TB_3 : A006 30C8h, N0TB_4 : A006 3108h, N0TB_5 : A006 3148h, N0TB_6 : A006 3188h, N0TB_7 : A006 31C8h, N0TB_8 : A006 3408h, N0TB_9 : A006 3448h, N0TB_10 : A006 3488h, N0TB_11 : A006 34C8h, N0TB_12 : A006 3508h, N0TB_13 : A006 3548h, N0TB_14 : A006 3588h, N0TB_15 : A006 35C8h
	DMACAa0
	N1TB_0 : A006 2014h, N1TB_1 : A006 2054h, N1TB_2 : A006 2094h, N1TB_3 : A006 20D4h, N1TB_4 : A006 2114h, N1TB_5 : A006 2154h, N1TB_6 : A006 2194h, N1TB_7 : A006 21D4h, N1TB_8 : A006 2414h, N1TB_9 : A006 2454h, N1TB_10 : A006 2494h, N1TB_11 : A006 24D4h, N1TB_12 : A006 2514h, N1TB_13 : A006 2554h, N1TB_14 : A006 2594h, N1TB_15 : A006 25D4h
	DMACAa1
	N1TB_0 : A006 3014h, N1TB_1 : A006 3054h, N1TB_2 : A006 3094h, N1TB_3 : A006 30D4h, N1TB_4 : A006 3114h, N1TB_5 : A006 3154h, N1TB_6 : A006 3194h, N1TB_7 : A006 31D4h, N1TB_8 : A006 3414h, N1TB_9 : A006 3454h, N1TB_10 : A006 3494h, N1TB_11 : A006 34D4h, N1TB_12 : A006 3514h, N1TB_13 : A006 3554h, N1TB_14 : A006 3594h, N1TB_15 : A006 35D4h



ビット	シンボル	ビット名	機能	R/W
b31-b0	TB[31:0]	トランザクションバイト	総転送バイト数を設定します。 注1. 0を設定した状態でDMA転送を開始しないでください。	R/W

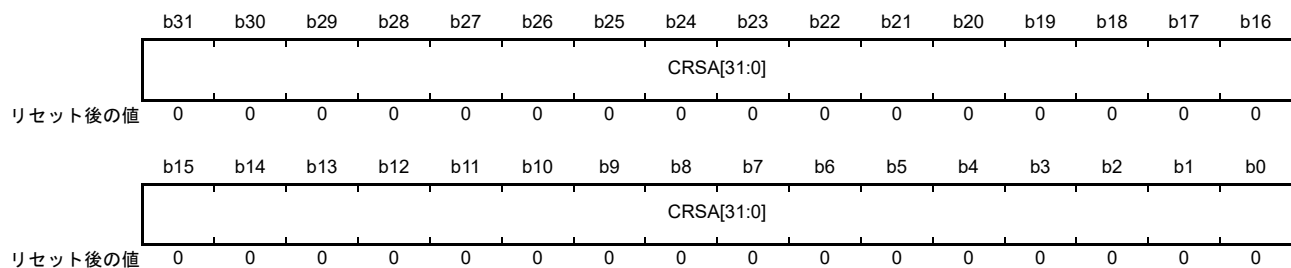
注. リンク・モード転送時は、ディスクリプタ・リード・データが自動的に、N0TB_nレジスタにセットされます。

14.2.4 カレントソースアドレスレジスタ (CRSA_n)

CRSA_nは、DMA チャンネル n の DMA 転送元アドレスを表示するレジスタです。(n = 15-0)。

DMA 転送中は、自動的にインクリメントされます (CHCFG_n レジスタの SAD = 1 の場合は固定、CHCFG_n レジスタの WONLY = 1 の場合は不定)。

DMACAa0
 CRSA_0 : A006 2018h, CRSA_1 : A006 2058h, CRSA_2 : A006 2098h, CRSA_3 : A006 20D8h,
 CRSA_4 : A006 2118h, CRSA_5 : A006 2158h, CRSA_6 : A006 2198h, CRSA_7 : A006 21D8h,
 CRSA_8 : A006 2418h, CRSA_9 : A006 2458h, CRSA_10 : A006 2498h, CRSA_11 : A006 24D8h,
 CRSA_12 : A006 2518h, CRSA_13 : A006 2558h, CRSA_14 : A006 2598h, CRSA_15 : A006 25D8h
 アドレス DMACAa1
 CRSA_0 : A006 3018h, CRSA_1 : A006 3058h, CRSA_2 : A006 3098h, CRSA_3 : A006 30D8h,
 CRSA_4 : A006 3118h, CRSA_5 : A006 3158h, CRSA_6 : A006 3198h, CRSA_7 : A006 31D8h,
 CRSA_8 : A006 3418h, CRSA_9 : A006 3458h, CRSA_10 : A006 3498h, CRSA_11 : A006 34D8h,
 CRSA_12 : A006 3518h, CRSA_13 : A006 3558h, CRSA_14 : A006 3598h, CRSA_15 : A006 35D8h



ビット	シンボル	ビット名	機能	R/W
b31-b0	CRSA[31:0]	カレントソースアドレス	次のDMA転送のリード・アドレスを表示します。	R

リセット後の値は以下のレジスタからロードされます。

レジスタ・モード :

Next0/1 レジスタから転送元アドレスをロード。

リンク・モード :

ディスクリプタ・リード・データから転送元アドレスをロード。(ハードウェアにより自動的にディスクリプタ・リード・データが N0SA_n レジスタへ入力され、転送開始時に CRSA_n レジスタへロードされます。)

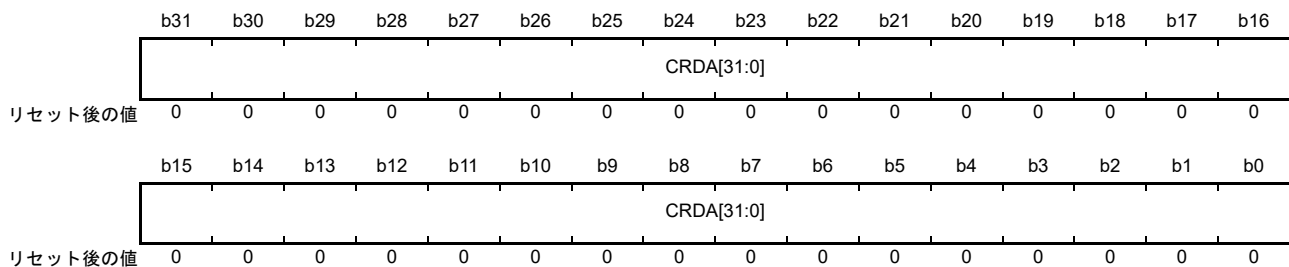
インクリメントは転送元へのリード動作完了時に行われます。

本レジスタは、DMA が停止 (CHSTAT_n レジスタの TACT = 0) してからリードしてください。(DMA 動作中の値は参考値として扱ってください。)

14.2.5 カレントデスティネーションアドレスレジスタ (CRDA_n)

CRDA_n は、DMA チャンネル n の DMA 転送先アドレスを表示するレジスタです (n = 15-0)。
 DMA 転送中は、自動的にインクリメントされます (CHCFG_n レジスタの DAD = 1 の場合は固定)。

DMACAa0
 CRDA_0 : A006 201Ch, CRDA_1 : A006 205Ch, CRDA_2 : A006 209Ch, CRDA_3 : A006 20DCh,
 CRDA_4 : A006 211Ch, CRDA_5 : A006 215Ch, CRDA_6 : A006 219Ch, CRDA_7 : A006 21DCh,
 CRDA_8 : A006 241Ch, CRDA_9 : A006 245Ch, CRDA_10 : A006 249Ch, CRDA_11 : A006 24DCh,
 CRDA_12 : A006 251Ch, CRDA_13 : A006 255Ch, CRDA_14 : A006 259Ch, CRDA_15 : A006 25DCh
 DMACAa1
 CRDA_0 : A006 301Ch, CRDA_1 : A006 305Ch, CRDA_2 : A006 309Ch, CRDA_3 : A006 30DCh,
 CRDA_4 : A006 311Ch, CRDA_5 : A006 315Ch, CRDA_6 : A006 319Ch, CRDA_7 : A006 31DCh,
 CRDA_8 : A006 341Ch, CRDA_9 : A006 345Ch, CRDA_10 : A006 349Ch, CRDA_11 : A006 34DCh,
 CRDA_12 : A006 351Ch, CRDA_13 : A006 355Ch, CRDA_14 : A006 359Ch, CRDA_15 : A006 35DCh



ビット	シンボル	ビット名	機能	R/W
b31-b0	CRDA[31:0]	カレントデスティネーションアドレス	次のDMA転送のライト・アドレスを表示します。	R

リセット後の値は以下のレジスタからロードされます。

レジスタ・モード :
 Next0/1 レジスタから転送先アドレスをロード。

リンク・モード :
 ディスクリプタ・リード・データから転送先アドレスをロード。(ハードウェアにより自動的にディスクリプタ・リード・データが N0DA_n レジスタへ入力され、転送開始時に CRDA_n レジスタへロードされます。)

インクリメントは転送先へのライト動作完了時に行われます。

本レジスタは、DMA が停止 (CHSTAT_n レジスタの TACT = 0) してからリードしてください。(DMA 動作中の値は参考値として扱ってください。)

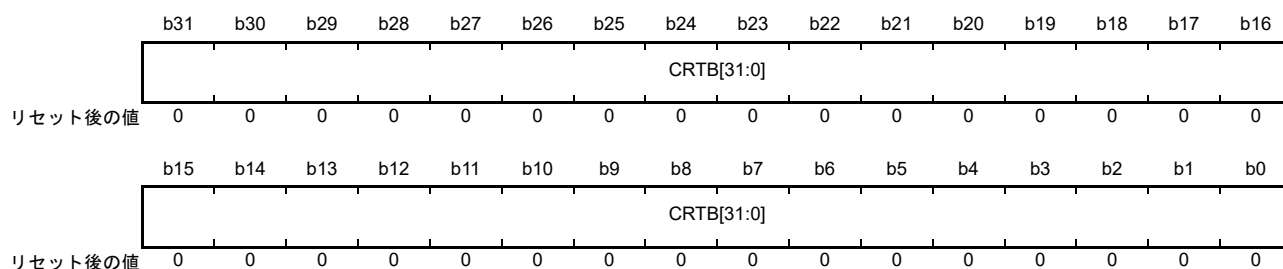
14.2.6 カレントランザクションバイトレジスタ (CRTB_n)

CRTB_nは、DMA チャンネル n の総転送バイト数を表示するレジスタです (n = 15-0)。転送終了時には0になります。

DMA 転送中は、自動的にデクリメントします。

```

DMACAa0
CRTB_0 : A006 2020h, CRTB_1 : A006 2060h, CRTB_2 : A006 20A0h, CRTB_3 : A006 20E0h,
CRTB_4 : A006 2120h, CRTB_5 : A006 2160h, CRTB_6 : A006 21A0h, CRTB_7 : A006 21E0h,
CRTB_8 : A006 2420h, CRTB_9 : A006 2460h, CRTB_10 : A006 24A0h, CRTB_11 : A006 24E0h,
CRTB_12 : A006 2520h, CRTB_13 : A006 2560h, CRTB_14 : A006 25A0h, CRTB_15 : A006 25E0h
アドレス
DMACAa1
CRTB_0 : A006 3020h, CRTB_1 : A006 3060h, CRTB_2 : A006 30A0h, CRTB_3 : A006 30E0h,
CRTB_4 : A006 3120h, CRTB_5 : A006 3160h, CRTB_6 : A006 31A0h, CRTB_7 : A006 31E0h,
CRTB_8 : A006 3420h, CRTB_9 : A006 3460h, CRTB_10 : A006 34A0h, CRTB_11 : A006 34E0h,
CRTB_12 : A006 3520h, CRTB_13 : A006 3560h, CRTB_14 : A006 35A0h, CRTB_15 : A006 35E0h
    
```



ビット	シンボル	ビット名	機能	R/W
b31-b0	CRTB[31:0]	カレントランザクションバイト	現在実行しているDMA転送の残りの転送バイト数を表示します。	R

リセット後の値は以下のレジスタからロードされます。

レジスタ・モード :

Next0/1 レジスタから転送バイト数をロード。

リンク・モード :

ディスクリプタ・リード・データから転送バイト数をロード。(ハードウェアにより自動的にディスクリプタ・リード・データが N0TB_n レジスタへ入力され、転送開始時に CRTB_n レジスタへロードされます。)

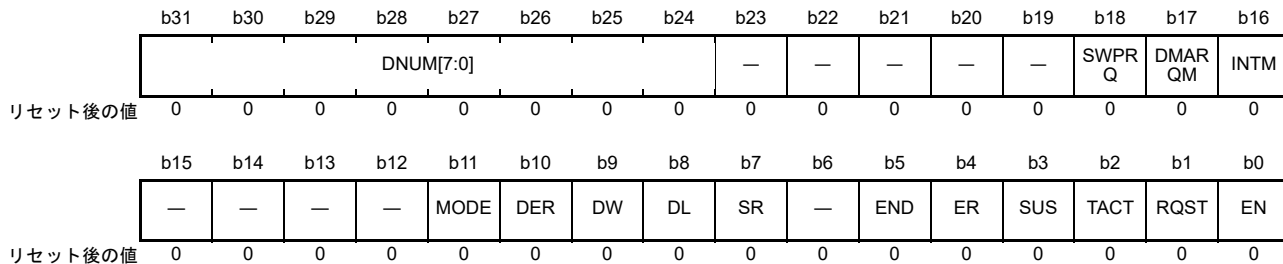
デクリメントは、転送先へのライト動作完了時に行われます。

本レジスタは、DMA が停止 (CHSTAT_n レジスタの TACT = 0) してからリードしてください。(DMA 動作中の値は参考値として扱ってください。)

14.2.7 チャネルステータスレジスタ n (CHSTAT_n)

CHSTAT_nは、DMA チャネル n の状態を表示するレジスタです (n = 15-0)。

DMACAa0
 CHSTAT_0 : A006 2024h, CHSTAT_1 : A006 2064h, CHSTAT_2 : A006 20A4h, CHSTAT_3 : A006 20E4h,
 CHSTAT_4 : A006 2124h, CHSTAT_5 : A006 2164h, CHSTAT_6 : A006 21A4h, CHSTAT_7 : A006 21E4h,
 CHSTAT_8 : A006 2424h, CHSTAT_9 : A006 2464h, CHSTAT_10 : A006 24A4h, CHSTAT_11 : A006 24E4h,
 CHSTAT_12 : A006 2524h, CHSTAT_13 : A006 2564h, CHSTAT_14 : A006 25A4h, CHSTAT_15 : A006 25E4h
 アドレス DMACAa1
 CHSTAT_0 : A006 3024h, CHSTAT_1 : A006 3064h, CHSTAT_2 : A006 30A4h, CHSTAT_3 : A006 30E4h,
 CHSTAT_4 : A006 3124h, CHSTAT_5 : A006 3164h, CHSTAT_6 : A006 31A4h, CHSTAT_7 : A006 31E4h,
 CHSTAT_8 : A006 3424h, CHSTAT_9 : A006 3464h, CHSTAT_10 : A006 34A4h, CHSTAT_11 : A006 34E4h,
 CHSTAT_12 : A006 3524h, CHSTAT_13 : A006 3564h, CHSTAT_14 : A006 35A4h, CHSTAT_15 : A006 35E4h



ビット	シンボル	ビット名	機能	R/W
b0	EN	DMA起動許可ビット	DMAチャネルnの動作許可/停止状態を表示します。 0 : 動作停止状態 1 : 動作許可状態 セット条件 : • CHCTRL_nレジスタのSETENビットに1をライト クリア条件 : 以下のいずれかの条件成立時 • CHCTRL_nレジスタのCLRENビットに1をライト • 転送中にバスエラーを受けた場合 • レジスタ・モードですべてのDMA転送が完了した場合 (CHCFG_nレジスタのREN = 0で転送完了) • リンク・モードで、最後のディスクリプタ (LE = 1) のDMA転送 (WBD = 0の場合はライトバック) が終了した場合 • リンク・モードのディスクリプタ読み込みで停止 (LV = 0、かつCHCFG_nレジスタのDRRP = 0) した場合	R
b1	RQST	DMA転送要求	転送要求を受け付けていることを示すビットです。 0 : DMA転送要求を受けていない 1 : DMA転送要求を受けている セット条件 : • 転送要求を受け付けた場合 クリア条件 : 以下のいずれかの条件成立時 • CHCTRL_nレジスタのSWRSTビットに1をライト • CHCTRL_nレジスタのCLRRQビットに1をライト • レジスタ・モードで、すべてのDMA転送が完了した場合 (CHCFG_nレジスタのREN = 0で転送完了) • リンク・モードで、最後のディスクリプタ (LE = 1) のDMA転送が終了した場合 • リンク・モード時、ディスクリプタ読み込みで停止 (LV = 0、かつCHCFG_nレジスタのDRRP = 0) した場合 • リンク・モード時、CHCFG_nレジスタのDEM = 0の状態 で、DMA転送が終了した場合 • マスタ・インタフェースがバスエラーを受けた場合	R

ビット	シンボル	ビット名	機能	R/W
b2	TACT	DMACAa動作状態	<p>DMACAaが動作中であることを示すビットです。チャンネルが完全に停止していることを確認するためのビットです。詳細は「14.3.8 DMA転送状態」を参照してください。</p> <p>0 : Channel_nのDMAが停止状態 1 : Channel_nのDMAが動作中</p> <p>セット条件 :</p> <ul style="list-style-type: none"> CHCTRL_nレジスタのSETENビットに1をライト(ディスクリプタ・リード開始、またはDMA要求待ち) <p>クリア条件 :</p> <ul style="list-style-type: none"> 内部状態がアイドル状態 (CHSTAT_nレジスタのENがクリアされており、かつすべてのDMA転送が完了) 	R
b3	SUS	サスペンド	<p>チャンネルが一時停止状態 (サスペンド) にあることを示すビットです。詳細は「14.3.9 一時停止 (サスペンド)」を参照してください。</p> <p>0 : Channel_nが一時停止状態でない 1 : Channel_nが一時停止中</p> <p>セット条件 :</p> <ul style="list-style-type: none"> Channel_nのDMA転送実行中にCHCTRL_nレジスタのSETSUSビットに1をライトし、内部がサスペンド状態になったとき <p>クリア条件 :</p> <p>以下のいずれかの条件成立時</p> <ul style="list-style-type: none"> CHCTRL_nレジスタのCLRSUSビットに1をライト CHCTRL_nレジスタのCLRENビットに1をライト CHSTAT_nレジスタのENビットのクリア条件 	R
b4	ER	DMAエラー	<p>DMA転送中に、バスエラーが発生した結果、DMAエラー割り込みが発生したことを示します。</p> <p>0 : バスエラーは発生していない 1 : バスエラーが発生</p> <p>セット条件 :</p> <ul style="list-style-type: none"> バス・サイクルでバスエラーを受けた場合 <p>クリア条件 :</p> <ul style="list-style-type: none"> CHCTRL_nレジスタのSWRSTビットに1をライト 	R
b5	END	DMA転送完了割り込み	<p>DMA転送が完了し、DMA割り込みが発生したことを示すビットです。</p> <p>0 : DMA転送未了 1 : DMA転送完了</p> <p>セット条件 :</p> <p>以下のいずれかの条件成立時</p> <ul style="list-style-type: none"> CHCFG_nレジスタのDEM = 0の場合に、以下の条件を満たした時 <ul style="list-style-type: none"> ①レジスタ・モードで、CRTBレジスタに設定された総転送バイト数分の転送が終了した場合 ②リンク・モードで、ディスクリプタのheaderのWBD = 1で、CRTBレジスタに設定された総転送バイト数分の転送が終了した場合 ③リンク・モードで、ディスクリプタのheaderのWBD = 0で、ディスクリプタ・ライト・バックが終了した場合 リンク・モードで、ディスクリプタ・リード時に、headerのLV = 0、かつCHCFG_nレジスタのDRRP = 0、かつDIM = 0の場合 <p>クリア条件 :</p> <p>以下のいずれかの条件成立時</p> <ul style="list-style-type: none"> CHCTRL_nレジスタのCLRENDビットに1をライト CHCTRL_nレジスタのSWRSTビットに1をライト 	R
b6	—	予約ビット	読むと“0”が読み出されます。	R

ビット	シンボル	ビット名	機能	R/W
b7	SR	Nextレジスタ選択	レジスタ・モード時、選択しているレジスタ・セットを示します。 0 : Next0 Register Set 1 : Next1 Register Set セット条件： • CHCFG_nレジスタのRSELビットに1をセット クリア条件： • CHCFG_nレジスタのRSELビットを0にクリア	R
b8	DL	ディスクリプタロード	ディスクリプタ・リード状態であることを示します。また、ディスクリプタ・リード時にバスエラーを受けた場合、1を保持します。 0 : ディスクリプタ・リード以外 1 : (ER = 0時) リンク・モードのディスクリプタ・リード中 (ER = 1時) リンク・モードのディスクリプタ・リード中にバスエラーが発生 セット条件： • リンク・モードのディスクリプタ・リード開始時 クリア条件： 以下のいずれかの条件成立時 • リンク・モードのディスクリプタ・リードがOKレスポンスで終了 • CHCTRL_nレジスタのSWRSTビットに1をライト (バスエラーで1を保持した場合は、SWRSTビットでのみクリアすることができます。)	R
b9	DW	ディスクリプタライト・バック	ディスクリプタ・ライト・バック状態であることを示します。また、ディスクリプタ・ライト・バック時にバスエラーを受けた場合、1を保持します。 0 : リンク・モードのheaderをライト・バック以外 1 : (CHSTAT_nレジスタのER = 0時) リンク・モードのheaderをライト・バック中 (CHSTAT_nレジスタのER = 1時) リンク・モードのheaderをライト・バック中にバスエラーが発生 セット条件： • リンク・モードのheaderをライト・バック開始時 クリア条件： • リンク・モードのheaderライト・バックがOKレスポンスで終了 • CHCTRL_nレジスタのSWRSTビットに1をライト (バスエラーで1を保持した場合は、SWRSTビットでのみクリアすることができます。)	R
b10	DER	ディスクリプタエラー	リードしたディスクリプタが無効 (LV = 0) であったことを示します (CHCFG_nレジスタのDIMビットの値には依存しません)。 0 : ディスクリプタ・エラー未発生 1 : ディスクリプタ・エラー発生 セット条件： • リンク・モード時、CHCFG_nレジスタのDRRP = 0の状態、リードしたディスクリプタのLVが0 クリア条件： 以下のいずれかの条件成立時 • CHCTRL_nレジスタのCLRDEビットに1をライト • CHCTRL_nレジスタのSWRSTビットに1をライト	R
b11	MODE	DMAモード	DMAモードを示します。CHCFG_nレジスタのDMSビットの設定値を表示します。 0 : レジスタ・モード 1 : リンク・モード	R
b15-b12	—	予約ビット	読むと“0”が読み出されます。	R

ビット	シンボル	ビット名	機能	R/W
b16	INTM	割り込み要求マスク	DMA割り込み出力の一時マスクの状態を表示します。 1:一時マスク状態 0:一時マスク解除状態 セット条件: • CHCTRL_nレジスタのSETINTMビットに1をライト クリア条件: 以下のいずれかの条件成立時 • CHCTRL_nレジスタのCLRINTMビットに1をライト • CHCTRL_nレジスタのSWRSTビットに1をライト	R
b17	DMARQM	DMA起動要求マスク	DMAリクエストの、一時マスクの状態を示します。 1:一時マスク状態 0:一時マスク解除状態 セット条件: • CHCTRL_nレジスタのSETDMARQMビットのセット クリア条件: 以下のいずれかの条件成立時 • CHCTRL_nレジスタのCLRDMARQMビットに1をライト • CHCTRL_nレジスタのSWRSTビットに1をライト	R
b18	SWPRQ	強制排出要求	強制排出要求状態を表示します。 ソフトウェア強制排出要求 (CHCTRL_nレジスタのSETSSWPRQビットで起動した要求) を示します。 1:強制排出要求あり 0:強制排出要求なし セット条件: • CHCTRL_nレジスタのSETSSWPRQビットがセットされた時 クリア条件: 以下のいずれかの条件成立時 • 強制排出によりバッファ内のデータ量が0になった時 • CHCTRL_nレジスタのSWRSTビットに1をライト	R
b23-b19	—	予約ビット	読むと“0”が読み出されます。	R
b31-b24	DNUM	バッファ内データ量	バッファ内の有効データ量を表示します。 DMA転送元からリードして、まだ転送先にライトをしていないデータ量を表示します。(単位: Byte) インクリメント条件: • DMAリード・トランスファ完了時 デクリメント条件: • DMAライト・トランスファ完了時 クリア条件: 以下のいずれかの条件成立時 • ENビットのクリア条件 • CHCTRL_nレジスタのSWRSTビットに1をライト	R

注1. CHSTAT_nレジスタのERビットがセットされた転送は、その一連の転送が無効であるものとして処理してください。

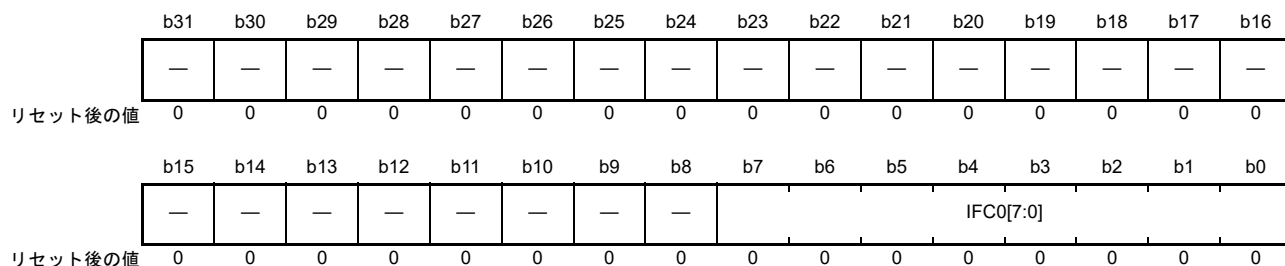
注2. DMA転送を中断する場合は、転送要求をマスク、またはクリアするか、CHSTAT_nレジスタのENビットをクリアすることで行ってください(手順は「14.3.10 転送中断」にしたがってください)。

注3. ソフトウェアによる転送要求を行う場合、前回要求したDMA転送動作が完了 (Current Registerなどで確認) してから、DMACAaソフト起動レジスタ (DMASTG) のDMREQビットをセットしてDMAを起動してください。

14.2.8 DMACAa Unit0 要因選択レジスタ i (DMA0SELi) (i = 0 ~ 15)

DMA0SELi レジスタは、DMACAa Unit0 のチャンネル i (i = 0 ~ 15) の起動トリガ要因を選択するレジスタです。本要因選択で選択される番号は、「表 12.3 Cortex-R4 / DMACAa 割り込みベクタテーブル」のベクタ番号を参照してください。また、複数の DMA0SELi、DMA1SELi レジスタに同一要因を設定しないでください。同一要因を設定した場合の動作は保証できません。

アドレス DMA0.DMA0SEL0 A009 4000h, DMA0.DMA0SEL1 A009 4004h, DMA0.DMA0SEL2 A009 4008h, DMA0.DMA0SEL3 A009 400Ch, DMA0.DMA0SEL4 A009 4010h, DMA0.DMA0SEL5 A009 4014h, DMA0.DMA0SEL6 A009 4018h, DMA0.DMA0SEL7 A009 401Ch, DMA0.DMA0SEL8 A009 4020h, DMA0.DMA0SEL9 A009 4024h, DMA0.DMA0SEL10 A009 4028h, DMA0.DMA0SEL11 A009 402Ch, DMA0.DMA0SEL12 A009 4030h, DMA0.DMA0SEL13 A009 4034h, DMA0.DMA0SEL14 A009 4038h, DMA0.DMA0SEL15 A009 403Ch

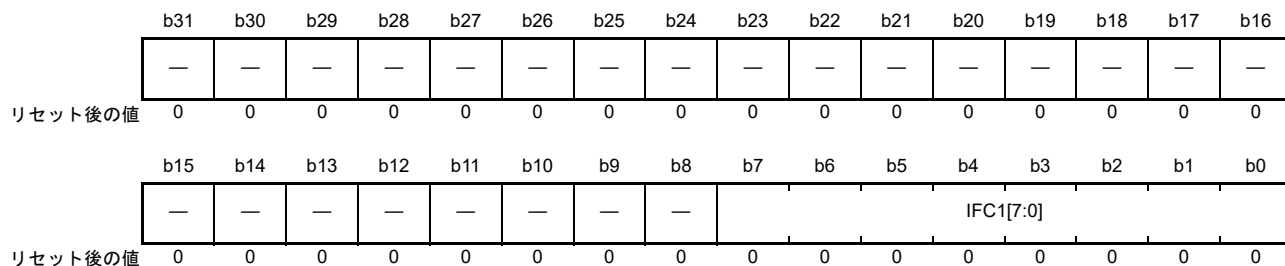


ビット	シンボル	ビット名	機能	R/W
b7-b0	IFC0[7:0]	DMAチャンネル要因選択ビット	DMAチャンネルのトリガ要因を選択します。	R/W
b31-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

14.2.9 DMACAa Unit1 要因選択レジスタ i (DMA1SELi) (i = 0 ~ 15)

DMA1SELi レジスタは、DMACAa Unit1 のチャンネル i (i = 0 ~ 15) の起動トリガ要因を選択するレジスタです。本要因選択で選択される番号は、「表 12.3 Cortex-R4 / DMACAa 割り込みベクタテーブル」のベクタ番号を参照してください。また、複数の DMA0SELi、DMA1SELi レジスタに同一要因を設定しないでください。同一要因を設定した場合の動作は保証できません。

アドレス DMA1.DMA1SEL0 A009 4040h, DMA1.DMA1SEL1 A009 4044h, DMA1.DMA1SEL2 A009 4048h, DMA1.DMA1SEL3 A009 404Ch, DMA1.DMA1SEL4 A009 4050h, DMA1.DMA1SEL5 A009 4054h, DMA1.DMA1SEL6 A009 4058h, DMA1.DMA1SEL7 A009 405Ch, DMA1.DMA1SEL8 A009 4060h, DMA1.DMA1SEL9 A009 4064h, DMA1.DMA1SEL10 A009 4068h, DMA1.DMA1SEL11 A009 406Ch, DMA1.DMA1SEL12 A009 4070h, DMA1.DMA1SEL13 A009 4074h, DMA1.DMA1SEL14 A009 4078h, DMA1.DMA1SEL15 A009 407Ch



ビット	シンボル	ビット名	機能	R/W
b7-b0	IFC1[7:0]	DMAチャンネル要因選択ビット	DMAチャンネルのトリガ要因を選択します。	R/W
b31-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

14.2.10 DMACAa ソフトウェア起動レジスタ (DMASTG)

DMASTG レジスタは、ソフトウェアによる DMACAa の起動を制御するレジスタです。

アドレス DMAC.DMASTG A009 4080h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMREQ1	DMREQ0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DMREQ0	DMA Unit0 ソフトウェア起動ビット	0 : DMA 転送要求なし 1 : DMA 転送要求あり	W
b1	DMREQ1	DMA Unit1 ソフトウェア起動ビット	0 : DMA 転送要求なし 1 : DMA 転送要求あり	W
b31-b2	—	予約ビット	書く場合、“0”としてください。	W

DMREQ0、DMREQ1 ビット (DMA Unit 0/1 ソフトウェア起動ビット)

DMA0SELi レジスタ、DMA1SELi レジスタ (i=0~15) にソフトウェアによる DMA 起動を選択した後、DMREQ0、DMREQ1 ビットに“1”を書き込むと DMA 転送要求が発生します。

本ビットは書き込みのみ可能です。読むと“0”が読めます。

14.2.11 チャネルコントロールレジスタ n (CHCTRL_n)

CHCTRL_nは、DMA チャネル n の DMA 転送動作を制御するレジスタです (n=15-0)。

本レジスタは、各機能を起動するためのものであり、ライトした値を保持しません。本レジスタをリードすると 0 が読めます。

CLRDMARQM、SETDMARQM ビットによる、強制排出要求、DMA 転送要求入力の一時的マスクは、このチャネル n の資源だけをマスクします。

DMACAa0
 CHCTRL_0 : A006 2028h, CHCTRL_1 : A006 2068h, CHCTRL_2 : A006 20A8h, CHCTRL_3 : A006 20E8h,
 CHCTRL_4 : A006 2128h, CHCTRL_5 : A006 2168h, CHCTRL_6 : A006 21A8h, CHCTRL_7 : A006 21E8h,
 CHCTRL_8 : A006 2428h, CHCTRL_9 : A006 2468h, CHCTRL_10 : A006 24A8h, CHCTRL_11 : A006 24E8h,
 CHCTRL_12 : A006 2528h, CHCTRL_13 : A006 2568h, CHCTRL_14 : A006 25A8h, CHCTRL_15 : A006 25E8h
 アドレス DMACAa1
 CHCTRL_0 : A006 3028h, CHCTRL_1 : A006 3068h, CHCTRL_2 : A006 30A8h, CHCTRL_3 : A006 30E8h,
 CHCTRL_4 : A006 3128h, CHCTRL_5 : A006 3168h, CHCTRL_6 : A006 31A8h, CHCTRL_7 : A006 31E8h,
 CHCTRL_8 : A006 3428h, CHCTRL_9 : A006 3468h, CHCTRL_10 : A006 34A8h, CHCTRL_11 : A006 34E8h,
 CHCTRL_12 : A006 3528h, CHCTRL_13 : A006 3568h, CHCTRL_14 : A006 35A8h, CHCTRL_15 : A006 35E8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	CLRDMARQM	SETDMARQM	CLRINTM	SETINTM
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	SETSSWPRQ	—	SETREN	—	—	CLRSUS	SETSUS	CLRDE	—	CLREND	CLRRQ	SWRST	—	CLREN	SETEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SETEN	DMA起動許可セット	DMAチャネルnのDMA転送の許可を設定します。SWRSTビットと同時にセットした場合には、SWRSTビットによるクリアが優先され、転送は開始しません。 このビットをリードすると0が読めます。 1: DMA転送の許可 (CHSTAT_nレジスタのENビットをセット) 0: 動作に影響を与えません。 注: DMAのレジスタを再設定する場合は、CLRENビットをセットし、DMA転送を停止した後、SETENビットをセットしてください。	R/W
b1	CLREN	DMA起動許可クリア	CHSTAT_nレジスタのENビットのクリアを行います (詳細は「14.3.10 転送中断」節参照)。 このビットをリードすると0が読めます。 1: DMA転送の停止 (CHSTAT_nレジスタのENビットをクリア) 0: 動作に影響を与えません。	R/W
b2	—	予約ビット	読むと“0”が読み出されます。書き込む場合は、“0”を書いてください。	R/W
b3	SWRST	ソフトウェアリセット	CHSTAT_nレジスタの各ビットのクリアを行います (クリアされるビットは、各ビットの説明を参照してください)。このビットのセットは、ENビットが0かつTACTビットが0のときに行ってください。 このビットをリードすると0が読めます。 1: CHSTAT_nレジスタの各ビットのクリア 0: 動作に影響を与えません。	R/W
b4	CLRRQ	DMA転送要求クリア	CHSTAT_nレジスタのRQSTビットのクリアを行います。 このビットをリードすると0が読めます。 1: CHSTAT_nレジスタのRQSTビットのクリア 0: 動作に影響を与えません。	R/W
b5	CLREND	ENDクリア	CHSTAT_nレジスタのENDビットのクリアを行います。このビットをリードすると0が読めます。 1: ENDビットのクリア 0: 動作に影響を与えません。	R/W
b6	—	予約ビット	読むと“0”が読み出されます。書き込む場合は、“0”を書いてください。	R/W

ビット	シンボル	ビット名	機能	R/W
b7	CLRDE	DERクリア	CHSTAT_nレジスタのDER (ディスクリプタ・エラー) ビットのクリアを行います。 このビットをリードすると0が読めます。 1: DERビットのクリア 0: 動作に影響を与えません。	R/W
b8	SETSUS	サスペンド要求	CHSTAT_nレジスタのENが1のときに、このビットに1をセットすると、実行中のDMA転送を一時停止 (サスペンド) します。 このビットをリードすると0が読めます。 1: 実行中のDMA転送の一時停止 0: 動作に影響を与えません。	R/W
b9	CLRSUS	サスペンドクリア	CHSTAT_nレジスタのSUSビットが1のときに、このビットに1をセットすると、一時停止 (サスペンド) 状態を解除します。 このビットをリードすると0が読めます。 1: 実行中のDMA転送の一時停止解除 0: 動作に影響を与えません。	R/W
b11-b10	—	予約ビット	読むと“0”が読み出されます。書き込む場合は、“0”を書いてください。	R/W
b12	SETREN	RENセット許可	CHCFG_nレジスタのREN (レジスタ・セット許可) ビットをセットします。 このビットをリードすると0が読めます。 1: CHCFG_nレジスタのRENビットをセットします。 0: 動作に影響を与えません。	R/W
b13	—	予約ビット	読むと“0”が読み出されます。書き込む場合は、“0”を書いてください。	R/W
b14	SETSSWPRQ	ソフトウェア強制排出要求	バッファ内にあるデータを転送先に強制排出します (「14.3.5 強制排出要求」を参照)。 リードをすると0が読めます。 1: バッファ内にある、まだライトしていないデータを、転送先にライトします。 0: 動作に影響を与えません。	R/W
b15	—	予約ビット	読むと“0”が読み出されます。書き込む場合は、“0”を書いてください。	R/W
b16	SETINTM	割り込み要求マスク	DMA転送完了割り込み出力を一時的にマスクします。また、CHSTATnレジスタのINTMビットが1となります。 リードをすると0が読めます。 1: DMA転送完了割り込みをマスクします。 0: 動作に影響を与えません。	R/W
b17	CLRINTM	割り込み要求マスククリア	DMA転送完了割り込み出力のマスク状態を解除します。また、CHSTATnレジスタのINTMビットが0となります。 DCTRLレジスタのLVINT = 1、CHSTAT_nレジスタのEND = 1の状態 でマスクを解除した場合、DMA転送完了割り込み出力がアクティブになります。(LVINT = 0の場合は、アクティブにはなりません) リードをすると0が読めます。 1: SETINTMビットでセットしたマスクを解除します。 0: 動作に影響を与えません。	R/W
b18	SETDMARQM	DMA起動要求マスク	DMA転送要求入力を一時的にマスクします。また、CHSTATnレジスタのDMARQMビットが1となります。 リードをすると0が読めます。 1: DMA転送要求入力をマスクします。 0: 動作に影響を与えません。	R/W
b19	CLRDMARQM	DMA起動要求マスククリア	DMA転送要求入力のマスク状態を解除します。また、CHSTATnレジスタのDMARQMビットが0となります。 リードをすると0が読めます。 1: SETDMARQMビットでセットしたマスク状態を解除します。 0: 動作に影響を与えません	R/W
b31-b20	—	予約ビット	読むと“0”が読み出されます。書き込む場合は、“0”を書いてください。	R/W

14.2.12 チャネルコンフィギュレーションレジスタ n (CHCFG_n)

CHCFG_nは、DMA チャネル n の DMA 転送動作を制御するレジスタです (n = 15-0)。

使用する DMA 転送要因ごとに、検出方法を設定してください。DMA 要求信号の検出については、「14.3.4.1 DMA 転送要求の要因毎の検出動作指定」を参照してください。

アドレス
 DMACAa0
 CHCFG_0 : A006 202Ch、CHCFG_1 : A006 206Ch、CHCFG_2 : A006 20ACh、CHCFG_3 : A006 20ECh、
 CHCFG_4 : A006 212Ch、CHCFG_5 : A006 216Ch、CHCFG_6 : A006 21ACh、CHCFG_7 : A006 21ECh、
 CHCFG_8 : A006 242Ch、CHCFG_9 : A006 246Ch、CHCFG_10 : A006 24ACh、CHCFG_11 : A006 24ECh、
 CHCFG_12 : A006 252Ch、CHCFG_13 : A006 256Ch、CHCFG_14 : A006 25ACh、CHCFG_15 : A006 25ECh
 DMACAa1
 CHCFG_0 : A006 302Ch、CHCFG_1 : A006 306Ch、CHCFG_2 : A006 30ACh、CHCFG_3 : A006 30ECh、
 CHCFG_4 : A006 312Ch、CHCFG_5 : A006 316Ch、CHCFG_6 : A006 31ACh、CHCFG_7 : A006 31ECh、
 CHCFG_8 : A006 342Ch、CHCFG_9 : A006 346Ch、CHCFG_10 : A006 34ACh、CHCFG_11 : A006 34ECh、
 CHCFG_12 : A006 352Ch、CHCFG_13 : A006 356Ch、CHCFG_14 : A006 35ACh、CHCFG_15 : A006 35ECh

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
DMS	REN	RSW	RSEL	SBE	DIM	—	DEM	WONL Y	TM	DAD	SAD		DDS[3:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SDS[3:0]			DRRP	—	—	—	—	LVL	HIEN	LOEN	—		SEL[2:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-0	SEL[2:0]	端子選択	DMACAaのチャンネルを設定するビットです。CHCFG_n (n = 0-15) のチャンネルとSELで設定するチャンネルが等しくなるように、以下の値を設定してください。 例えば、CHCFG_1の場合、SELビットには、001bを設定してください。同様にCHCFG_9の場合もSELビットには001bを設定してください。 DMACAa0/1 b2 b0 000 : チャンネル0/8 001 : チャンネル1/9 010 : チャンネル2/10 011 : チャンネル3/11 100 : チャンネル4/12 101 : チャンネル5/13 110 : チャンネル6/14 111 : チャンネル7/15	R/W
b3	—	予約ビット	読むと“0”が読み出されます。書き込む場合は、“0”を書いてください。	R/W
b4	LOEN	'L'検出許可	DMA 要求信号の検出方法を指定します。 LVL = 0の場合： LOEN = 1 : DMA 転送要求入力に立ち下がリエッジを検出した場合、要求があったと認識します。 LOEN = 0 : DMA 転送要求入力立ち下がっても要求を認識しません (リセット後の値)。 LVL = 1の場合： LOEN = 1 : DMA 転送要求入力にLowレベルを検出した場合、要求があったと認識します。 LOEN = 0 : DMA 転送要求入力にLowレベルでも要求を認識しません (リセット後の値)。	R/W

ビット	シンボル	ビット名	機能	R/W
b5	HIEN	'H' 検出許可	DMA要求信号の検出方法を指定します。 LVL = 0の場合： HIEN = 1 : DMA転送要求入力に立ち上がりエッジを検出した場合、要求があったと認識します。 HIEN = 0 : DMA転送要求入力に立ち上がりでも要求を認識しません (リセット後の値)。 LVL = 1の場合： HIEN = 1 : DMA転送要求入力が高レベルを検出した場合、要求があったと認識します。 HIEN = 0 : DMA転送要求入力が高レベルでも要求を認識しません (リセット後の値)。	R/W
b6	LVL	レベル検出許可	DMA要求信号の検出方法を指定します。 0 : エッジで検出します (リセット後の値) 1 : レベルで検出します	R/W
b8-b7	—	予約ビット	読むと“0”が読み出されます。書き込む場合は、“0”を書いてください。	R/W
b9	—	予約ビット	必ず初期設定時に“1”を書き込んでください。	R/W
b10	—	予約ビット	読むと“0”が読み出されます。書き込む場合は、“0”を書いてください。	R/W
b11	DRRP	ディスクリプタ再読み込み許可	ディスクリプタリード時における、headerのLV = 0の場合の動作を指定します (「14.3.1.2 リンク・モード(1) リンク・モードの動作フロー」を参照)。 0 : CHSTAT_nレジスタのDERビットをセットし、動作を停止します。(リセット後の値) 1 : LVが1になるまで同じディスクリプタをリードし続け、LVが1になればそのディスクリプタ値を使ったDMA転送を開始します。ディスクリプタ・リードの間隔は、DSCITVLレジスタで制御します。	R/W
b15-b12	SDS[3:0]	ソースデータサイズ	一度に転送する転送元のデータサイズを設定します。シングル転送の場合、1回の要求で設定値分転送します。ブロック転送の場合、CRTBレジスタが0になるまで転送サイズの設定値 × N回の転送を行います。32bit以上の転送においては32bit × N回のバースト転送を行います。 SDS[3]で通常モードとスキップ・モードの切り替えを行います。 0 : 通常モード (リセット後の値) 1 : スキップ・モード SDS[2:0]で転送サイズを設定します。 b14 b12 000 : 8ビット (リセット後の値) 001 : 16ビット 010 : 32ビット 011 : 設定禁止 100 : 128ビット (注2) 101 : 256ビット (DMACAa0のみ設定可能) 110 : 512ビット (DMACAa0のみ設定可能) (注1) 111 : 設定禁止	R/W
b19-b16	DDS[3:0]	デスティネーションデータサイズ	一度に転送する転送先のデータサイズを設定します。 DDS[3]で通常モードとスキップ・モードの切り替えを行います。 0 : 通常モード (リセット後の値) 1 : スキップ・モード DDS[2:0]で転送サイズを設定します。 b18 b16 000 : 8ビット (リセット後の値) 001 : 16ビット 010 : 32ビット 011 : 設定禁止 100 : 128ビット (注2) 101 : 256ビット (DMACAa0のみ設定可能) 110 : 512ビット (DMACAa0のみ設定可能) (注1) 111 : 設定禁止	R/W

ビット	シンボル	ビット名	機能	R/W
b20	SAD	ソースアドレス カウント方向	DMAチャンネルnの転送元アドレスのカウント方向を設定します。 0: インクリメント (リセット後の値) 1: 固定 転送元側でスキップモードを使う場合、SAD = 1 (固定) は指定しないでください。また、SAD = 1 (固定) を設定した場合は、転送元アドレスがSDS[3:0]ビットで指定されるソースデータサイズのラインとなるよう設定してください。	R/W
b21	DAD	デスティネーション アドレスカウント方向	DMAチャンネルnの転送先アドレスのカウント方向を設定します。 0: インクリメント (リセット後の値) 1: 固定 転送先側でスキップモードを使う場合、DAD = 1 (固定) は指定しないでください。また、DAD = 1 (固定) を設定した場合は、転送先アドレスがDDS[3:0]ビットで指定されるデスティネーションデータサイズのラインとなるよう設定してください。	R/W
b22	TM	転送モード	DMA転送モードを設定します。 0: シングル転送モード (リセット後の値) 1: ブロック転送モード	R/W
b23	WONLY	ライトオンリーモード	Write Onlyモード (「14.3.1.3 WRITE ONLYモード」参照) を設定します。 0: 通常動作 (リセット後の値) 1: Write Onlyモード	R/W
b24	DEM	転送完了割り込み マスク	DMA転送完了割り込み検出をマスクします。 DMA転送完了割り込み出力タイミングでこのビットが1の場合、DMA転送完了割り込みをアクティブにしません。また、CHSTAT_nレジスタのENDビットもセットしません。レジスタ・モードの場合、DEMビットは自動的に0クリアされます。リンク・モードの場合はクリアされません。 0: マスクしない (リセット後の値) 1: マスクする クリア条件: DEM = 1でDMA転送完了時	R/W
b25	—	予約ビット	読むと“0”が読み出されます。書き込む場合は、“0”を書いてください。	R/W
b26	DIM	ディスクリプタ割り込み マスク	ディスクリプタのheaderリード時におけるLV = 0の場合のDMA転送完了割り込みのマスクを設定します。 0: DMA転送完了割り込みをマスクしない。(リセット後の値) 1: DMA転送完了割り込みをマスクする。	R/W
b27	SBE	バッファ掃出し許可	DMA転送中にCHSTAT_nレジスタのENビットを0にした場合、すでにリードしてバッファに取り込んでいるデータを掃き出して (ライト) 停止するか否かを選択します。 0: バッファの掃き出しをせずに転送中止 (リセット後の値) 1: バッファを掃き出し転送中止	R/W
b28	RSEL	Nextレジスタ選択	次に実行するNextレジスタ・セットを選択します。このビットはレジスタ・モード時のみ有効です。 RSW = 1の場合、DMA転送完了時に自動的に反転 (0の場合1、1の場合0) します。 0: Next0 Register Setを実行する (リセット後の値) 1: Next1 Register Setを実行する 遷移条件: RSW = 1でDMA転送完了時	R/W
b29	RSW	RSEL反転	DMA転送完了後に、RSELビットを自動的に反転 (0の場合1、1の場合0) します。このビットはレジスタ・モード時のみ有効です。 0: DMA転送完了後にRSELビットを反転しない (リセット後の値) 1: DMA転送完了後にRSELビットを反転する	R/W

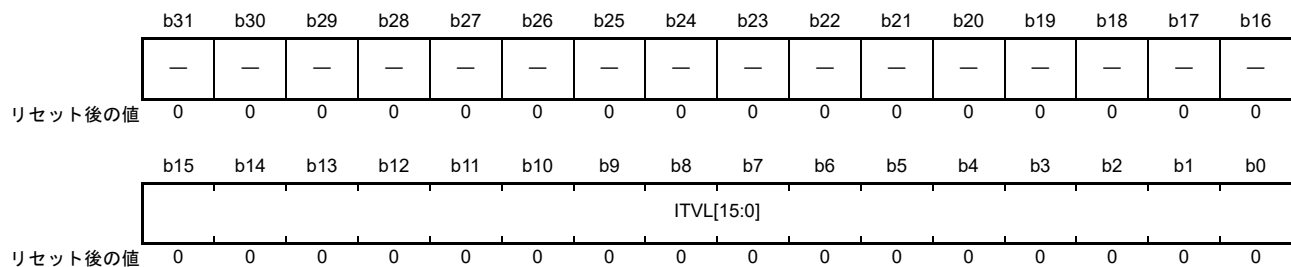
ビット	シンボル	ビット名	機能	R/W
b30	REN	レジスタ・セット許可	<p>DMA転送完了後に、続けてRSELビットで選択されているNextレジスタ・セットのDMA転送を行います。このビットはレジスタ・モード時のみ有効です。</p> <p>0：続けてDMA転送を実行しない。 1：続けてDMA転送を実行する。</p> <p>セット条件 以下のいずれかの条件成立時</p> <ul style="list-style-type: none"> • 本ビットに1をライト • CHCTRL_nレジスタのSETRENビットに1をライト <p>クリア条件</p> <ul style="list-style-type: none"> • 本ビットに0をライト • REN = 1でDMA転送完了時 <p>DMA転送中にRENビットを再セットする場合は、CHCTRL_nレジスタのSETRENビットを使用してください。また、CHCFG_n.DEMビットも再設定し、DMA転送完了割り込み検出をマスクしてください。</p>	R/W
b31	DMS	DMAモード選択	<p>DMAモードを設定します。</p> <p>0：レジスタ・モード（リセット後の値） 1：リンク・モード</p>	R/W

- 注1. 転送サイズを512ビットに設定する場合は、転送元／転送先アドレスを512ビットのラインとなるように設定してください。
- 注2. DMAC1を使用時に転送サイズを128ビットに設定する場合は、転送元／転送先アドレスを128ビットのラインとなるように設定してください。

14.2.13 チャンネルインターバルレジスタ n (CHITVL_n)

CHITVL_nは、DMA チャンネル n のDMA トランスファ間隔を設定するレジスタです (n = 15-0)。
 詳細は、「14.3.6 インターバル・カウント機能」を参照してください。

DMACAa0
 CHITVL_0 : A006 2030h, CHITVL_1 : A006 2070h, CHITVL_2 : A006 20B0h, CHITVL_3 : A006 20F0h,
 CHITVL_4 : A006 2130h, CHITVL_5 : A006 2170h, CHITVL_6 : A006 21B0h, CHITVL_7 : A006 21F0h,
 CHITVL_8 : A006 2430h, CHITVL_9 : A006 2470h, CHITVL_10 : A006 24B0h, CHITVL_11 : A006 24F0h,
 CHITVL_12 : A006 2530h, CHITVL_13 : A006 2570h, CHITVL_14 : A006 25B0h, CHITVL_15 : A006 25F0h
 アドレス DMACAa1
 CHITVL_0 : A006 3030h, CHITVL_1 : A006 3070h, CHITVL_2 : A006 30B0h, CHITVL_3 : A006 30F0h,
 CHITVL_4 : A006 3130h, CHITVL_5 : A006 3170h, CHITVL_6 : A006 31B0h, CHITVL_7 : A006 31F0h,
 CHITVL_8 : A006 3430h, CHITVL_9 : A006 3470h, CHITVL_10 : A006 34B0h, CHITVL_11 : A006 34F0h,
 CHITVL_12 : A006 3530h, CHITVL_13 : A006 3570h, CHITVL_14 : A006 35B0h, CHITVL_15 : A006 35F0h

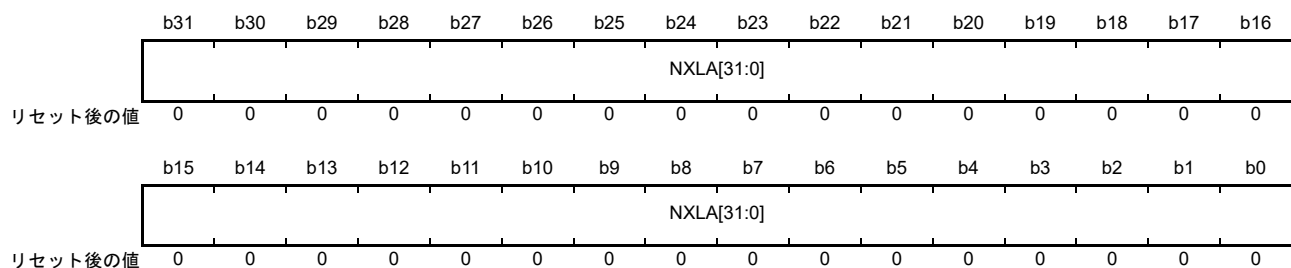


ビット	シンボル	ビット名	機能	R/W
b15-b0	ITVL	インターバル	DMA トランスファの転送間隔を設定します。	R/W
b31-b16	—	予約ビット	読むと“0”が読み出されます。書き込む場合は、“0”を書いてください。	R/W

14.2.14 ネクストリンクアドレスレジスタ n (NXLA_n)

NXLA_nは、DMA チャンネル n のリンク・アドレスを設定するレジスタです (n = 15-0)。

DMACAa0
 NXLA_0 : A006 2038h, NXLA_1 : A006 2078h, NXLA_2 : A006 20B8h, NXLA_3 : A006 20F8h,
 NXLA_4 : A006 2138h, NXLA_5 : A006 2178h, NXLA_6 : A006 21B8h, NXLA_7 : A006 21F8h,
 NXLA_8 : A006 2438h, NXLA_9 : A006 2478h, NXLA_10 : A006 24B8h, NXLA_11 : A006 24F8h,
 NXLA_12 : A006 2538h, NXLA_13 : A006 2578h, NXLA_14 : A006 25B8h, NXLA_15 : A006 25F8h
 アドレス DMACAa1
 NXLA_0 : A006 3038h, NXLA_1 : A006 3078h, NXLA_2 : A006 30B8h, NXLA_3 : A006 30F8h,
 NXLA_4 : A006 3138h, NXLA_5 : A006 3178h, NXLA_6 : A006 31B8h, NXLA_7 : A006 31F8h,
 NXLA_8 : A006 3438h, NXLA_9 : A006 3478h, NXLA_10 : A006 34B8h, NXLA_11 : A006 34F8h,
 NXLA_12 : A006 3538h, NXLA_13 : A006 3578h, NXLA_14 : A006 35B8h, NXLA_15 : A006 35F8h

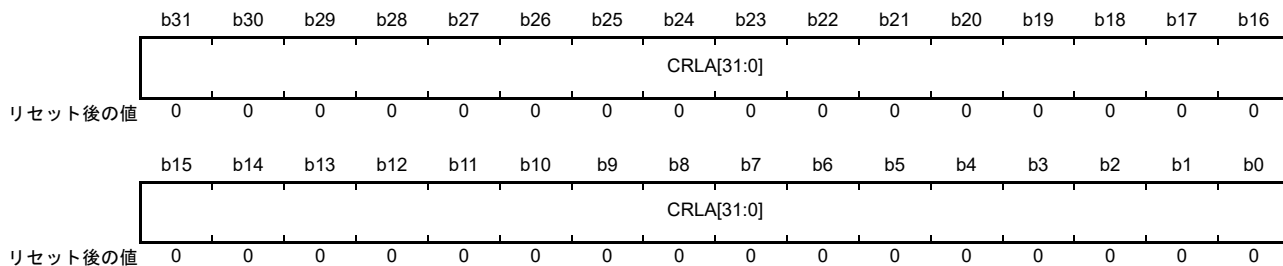


ビット	シンボル	ビット名	機能	R/W
b1-b0	NXLA[31:0]	ネクストリンクアドレス	リンク先のアドレスを設定します。下位2ビットは0固定のため、ワード・アラインされたアドレスのみ設定可能です。	R/W
b31-b2				R/W

14.2.15 カレントリンクアドレスレジスタ n (CRLA_n)

CRLA_n は、DMA チャンネル n のリンク・アドレスを設定するレジスタです (n = 15-0)。

DMACAa0
 CRLA_0 : A006 203Ch、CRLA_1 : A006 207Ch、CRLA_2 : A006 20BCh、CRLA_3 : A006 20FCh、
 CRLA_4 : A006 213Ch、CRLA_5 : A006 217Ch、CRLA_6 : A006 21BCh、CRLA_7 : A006 21FCh、
 CRLA_8 : A006 243Ch、CRLA_9 : A006 247Ch、CRLA_10 : A006 24BCh、CRLA_11 : A006 24FCh、
 CRLA_12 : A006 253Ch、CRLA_13 : A006 257Ch、CRLA_14 : A006 25BCh、CRLA_15 : A006 25FCh
 アドレス DMACAa1
 CRLA_0 : A006 303Ch、CRLA_1 : A006 307Ch、CRLA_2 : A006 30BCh、CRLA_3 : A006 30FCh、
 CRLA_4 : A006 313Ch、CRLA_5 : A006 317Ch、CRLA_6 : A006 31BCh、CRLA_7 : A006 31FCh、
 CRLA_8 : A006 343Ch、CRLA_9 : A006 347Ch、CRLA_10 : A006 34BCh、CRLA_11 : A006 34FCh、
 CRLA_12 : A006 353Ch、CRLA_13 : A006 357Ch、CRLA_14 : A006 35BCh、CRLA_15 : A006 35FCh



ビット	シンボル	ビット名	機能	R/W
b31-b0	CRLA[31:0]	カレントリンクアドレス	現在実行しているディスクリプタのアドレスを表示します。	R

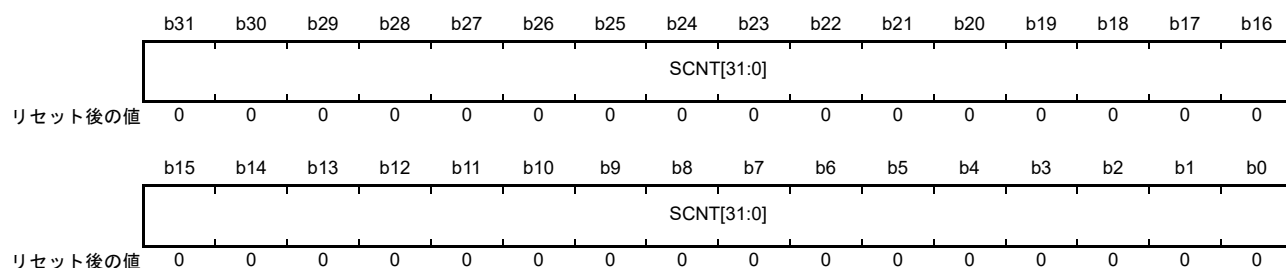
14.2.16 ソースコンティニューアスレジスタ n (SCNT_n)

SCNT_nは、DMA 転送元へのリード・アクセス時における連続アクセスする空間サイズを設定するレジスタです (n = 15-0)。

本レジスタは、SSKP_n レジスタとペアで使用します (図 14.1 参照)。

本レジスタ設定を行う場合、CHCFG_n レジスタの SDS[3] ビットは 1 にしてください。

DMACAa0
 SCNT_0 : A006 2200h, SCNT_1 : A006 2220h, SCNT_2 : A006 2240h, SCNT_3 : A006 2260h,
 SCNT_4 : A006 2280h, SCNT_5 : A006 22A0h, SCNT_6 : A006 22C0h, SCNT_7 : A006 22E0h,
 SCNT_8 : A006 2600h, SCNT_9 : A006 2620h, SCNT_10 : A006 2640h, SCNT_11 : A006 2660h,
 SCNT_12 : A006 2680h, SCNT_13 : A006 26A0h, SCNT_14 : A006 26C0h, SCNT_15 : A006 26E0h
 アドレス DMACAa1
 SCNT_0 : A006 3200h, SCNT_1 : A006 3220h, SCNT_2 : A006 3240h, SCNT_3 : A006 3260h,
 SCNT_4 : A006 3280h, SCNT_5 : A006 32A0h, SCNT_6 : A006 32C0h, SCNT_7 : A006 32E0h,
 SCNT_8 : A006 3600h, SCNT_9 : A006 3620h, SCNT_10 : A006 3640h, SCNT_11 : A006 3660h,
 SCNT_12 : A006 3680h, SCNT_13 : A006 36A0h, SCNT_14 : A006 36C0h, SCNT_15 : A006 36E0h



ビット	シンボル	ビット名	機能	R/W
b31-b0	SCNT[31:0]	ソース連続アクセスサイズ	DMA転送元へのリード・アクセス時における連続アクセス空間サイズを設定します。(単位 : Byte)	R/W

転送元側でスキップ転送を行う場合、CHCFG_n レジスタの SAD ビットを 1 (固定) に設定しないでください。また、本レジスタを 0000 0000h にしてスキップ転送を行わないでください。

14.2.17 ソーススキップレジスタ n (SSKP_n)

SSKP_n は、DMA 転送元へのリードアクセス時のスキップ量を設定するレジスタです。

DMA 転送元へのリード・アクセス時、SCNT_n レジスタで設定したデータ・サイズ分アクセスした後、本レジスタに設定したサイズ分、次の DMA 転送元アドレスをスキップします (n=15-0)。

本レジスタは SCNT_n レジスタとペアで使用します (図 14.1 参照)。

本レジスタ設定を行う場合、CHCFG_n レジスタの SDS[3] ビットは 1 にしてください。

	DMACAa0
	SSKP_0 : A006 2204h, SSKP_1 : A006 2224h, SSKP_2 : A006 2244h, SSKP_3 : A006 2264h, SSKP_4 : A006 2284h, SSKP_5 : A006 22A4h, SSKP_6 : A006 22C4h, SSKP_7 : A006 22E4h, SSKP_8 : A006 2604h, SSKP_9 : A006 2624h, SSKP_10 : A006 2644h, SSKP_11 : A006 2664h, SSKP_12 : A006 2684h, SSKP_13 : A006 26A4h, SSKP_14 : A006 26C4h, SSKP_15 : A006 26E4h
アドレス	DMACAa1
	SSKP_0 : A006 3204h, SSKP_1 : A006 3224h, SSKP_2 : A006 3244h, SSKP_3 : A006 3264h, SSKP_4 : A006 3284h, SSKP_5 : A006 32A4h, SSKP_6 : A006 32C4h, SSKP_7 : A006 32E4h, SSKP_8 : A006 3604h, SSKP_9 : A006 3624h, SSKP_10 : A006 3644h, SSKP_11 : A006 3664h, SSKP_12 : A006 3684h, SSKP_13 : A006 36A4h, SSKP_14 : A006 36C4h, SSKP_15 : A006 36E4h



ビット	シンボル	ビット名	機能	R/W
b31-b0	SSKP[31:0]	ソーススキップサイズ	DMA転送元へのリードアクセス時のスキップ量を設定します。(単位: Byte)	R/W

転送元側でスキップ転送を行う場合、CHCFG_n レジスタの SAD ビットを 1 (固定) に設定しないでください。

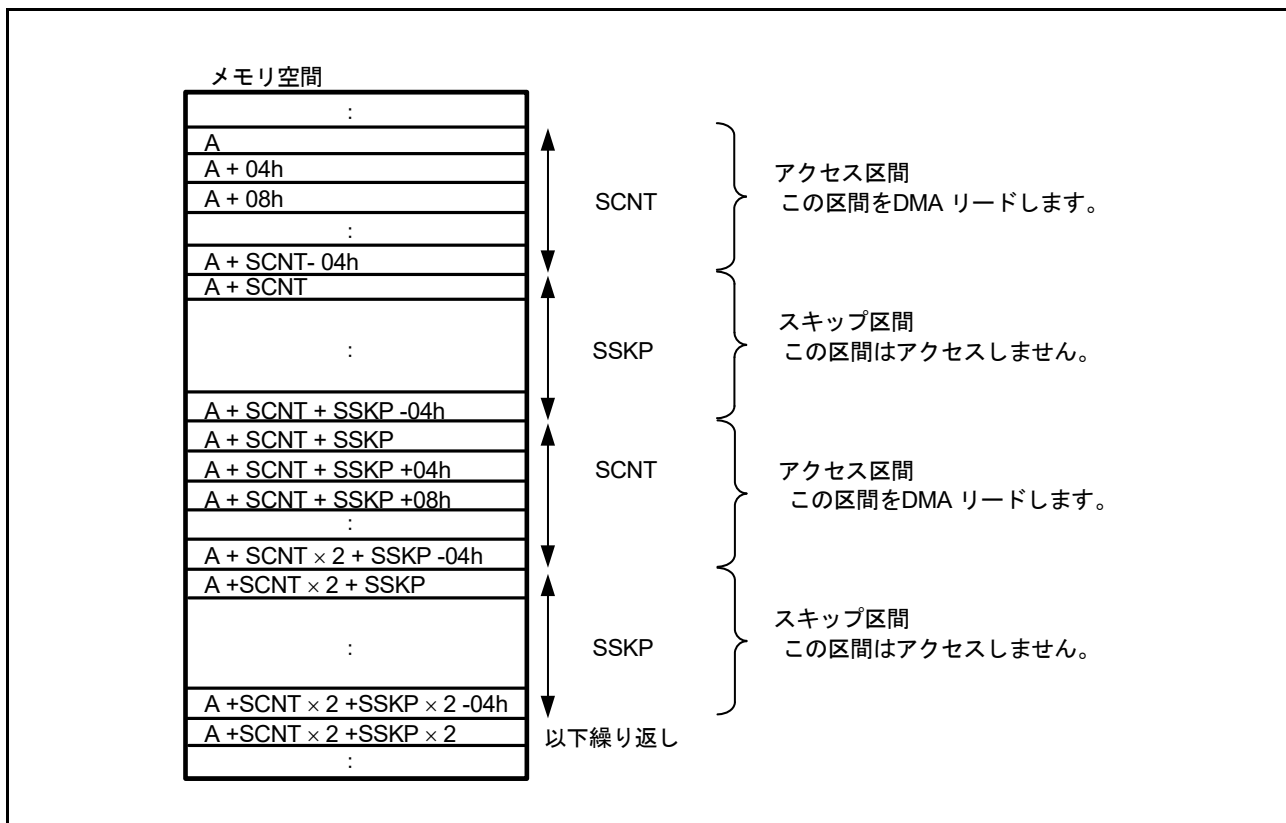


図 14.1 SSKP と SCNT の関係

SCNT、SSKP の値は、ソース・アドレスおよび CHCFG_n レジスタの SDS フィールドの設定値に関係無く設定することができます。DMACAA は、CHCFG_n レジスタの SDS フィールドの設定サイズでアクセスし、有効なデータのみバッファに取り込みます。

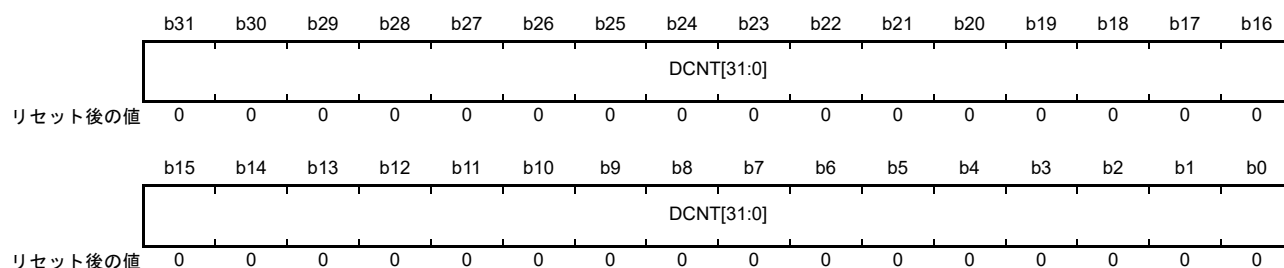
14.2.18 デスティネーションコンティニューアスレジスタ n (DCNT_n)

DCNT_n は、DMA 転送先へのライト・アクセス時における連続アクセスする空間サイズを設定するレジスタです (n = 15-0)。

本レジスタは、DSKP_n レジスタとペアで使用します (図 14.2 参照)。

本レジスタ設定を行う場合、CHCFG_n レジスタの DDS[3] ビットは 1 にしてください。

	DMACAa0
	DCNT_0 : A006 2208h, DCNT_1 : A006 2228h, DCNT_2 : A006 2248h, DCNT_3 : A006 2268h, DCNT_4 : A006 2288h, DCNT_5 : A006 22A8h, DCNT_6 : A006 22C8h, DCNT_7 : A006 22E8h, DCNT_8 : A006 2608h, DCNT_9 : A006 2628h, DCNT_10 : A006 2648h, DCNT_11 : A006 2668h, DCNT_12 : A006 2688h, DCNT_13 : A006 26A8h, DCNT_14 : A006 26C8h, DCNT_15 : A006 26E8h
アドレス	DMACAa1
	DCNT_0 : A006 3208h, DCNT_1 : A006 3228h, DCNT_2 : A006 3248h, DCNT_3 : A006 3268h, DCNT_4 : A006 3288h, DCNT_5 : A006 32A8h, DCNT_6 : A006 32C8h, DCNT_7 : A006 32E8h, DCNT_8 : A006 3608h, DCNT_9 : A006 3628h, DCNT_10 : A006 3648h, DCNT_11 : A006 3668h, DCNT_12 : A006 3688h, DCNT_13 : A006 36A8h, DCNT_14 : A006 36C8h, DCNT_15 : A006 36E8h



ビット	シンボル	ビット名	機能	R/W
b31-b0	DCNT[31:0]	デスティネーション 連続アクセスサイズ	転送先へのライト・アクセス時における連続アクセス 空間サイズを設定します。(単位 : Byte)	R/W

デスティネーション側でスキップ転送を行う場合、CHCFG_n レジスタの DAD ビットを 1 (固定) に設定しないでください。

また、本レジスタを 0000 0000h にしてスキップ転送を行わないでください。

14.2.19 デスティネーションスキップレジスタ n (DSKP_n)

DSKP_n は、DMA 転送先へのライト・アクセス時におけるスキップ量を設定するレジスタです。

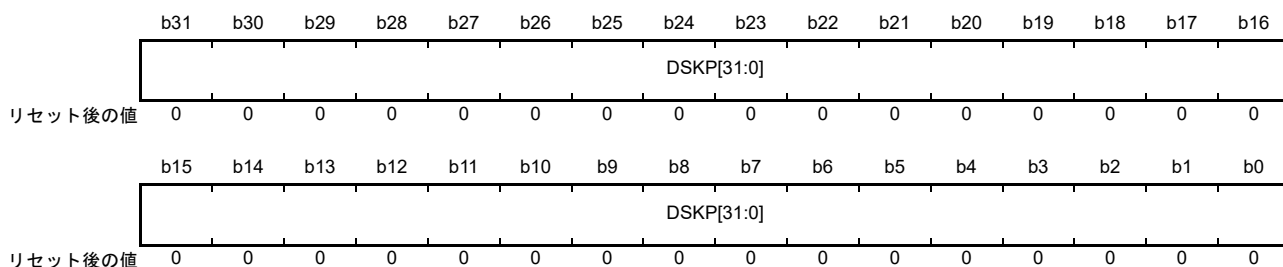
DMA 転送先へのライト・アクセス時、DCNT_n レジスタで設定したデータ・サイズ分アクセスした後、本レジスタに設定したサイズ分、次の DMA 転送先アドレスをスキップします (n = 15-0)。

本レジスタは DCNT_n レジスタとペアで使用します (図 14.2 参照)。

本レジスタ設定を行う場合、CHCFG_n レジスタの DDS[3] ビットは 1 にしてください。

```

DMACAa0
DSKP_0 : A006 220Ch、DSKP_1 : A006 222Ch、DSKP_2 : A006 224Ch、DSKP_3 : A006 226Ch、
DSKP_4 : A006 228Ch、DSKP_5 : A006 22ACh、DSKP_6 : A006 22CCh、DSKP_7 : A006 22ECh、
DSKP_8 : A006 260Ch、DSKP_9 : A006 262Ch、DSKP_10 : A006 264Ch、DSKP_11 : A006 266Ch、
DSKP_12 : A006 268Ch、DSKP_13 : A006 26ACh、DSKP_14 : A006 26CCh、DSKP_15 : A006 26ECh
アドレス
DMACAa1
DSKP_0 : A006 320Ch、DSKP_1 : A006 322Ch、DSKP_2 : A006 324Ch、DSKP_3 : A006 326Ch、
DSKP_4 : A006 328Ch、DSKP_5 : A006 32ACh、DSKP_6 : A006 32CCh、DSKP_7 : A006 32ECh、
DSKP_8 : A006 360Ch、DSKP_9 : A006 362Ch、DSKP_10 : A006 364Ch、DSKP_11 : A006 366Ch、
DSKP_12 : A006 368Ch、DSKP_13 : A006 36ACh、DSKP_14 : A006 36CCh、DSKP_15 : A006 36ECh
    
```



ビット	シンボル	ビット名	機能	R/W
b31-b0	DSKP[31:0]	デスティネーションスキップサイズ	DMA 転送先へのライト・アクセス時におけるスキップ量を設定します。(単位: Byte)	R/W

デスティネーション側でスキップ転送を行う場合、CHCFG_n レジスタの DAD ビットを 1 (固定) に設定しないでください。

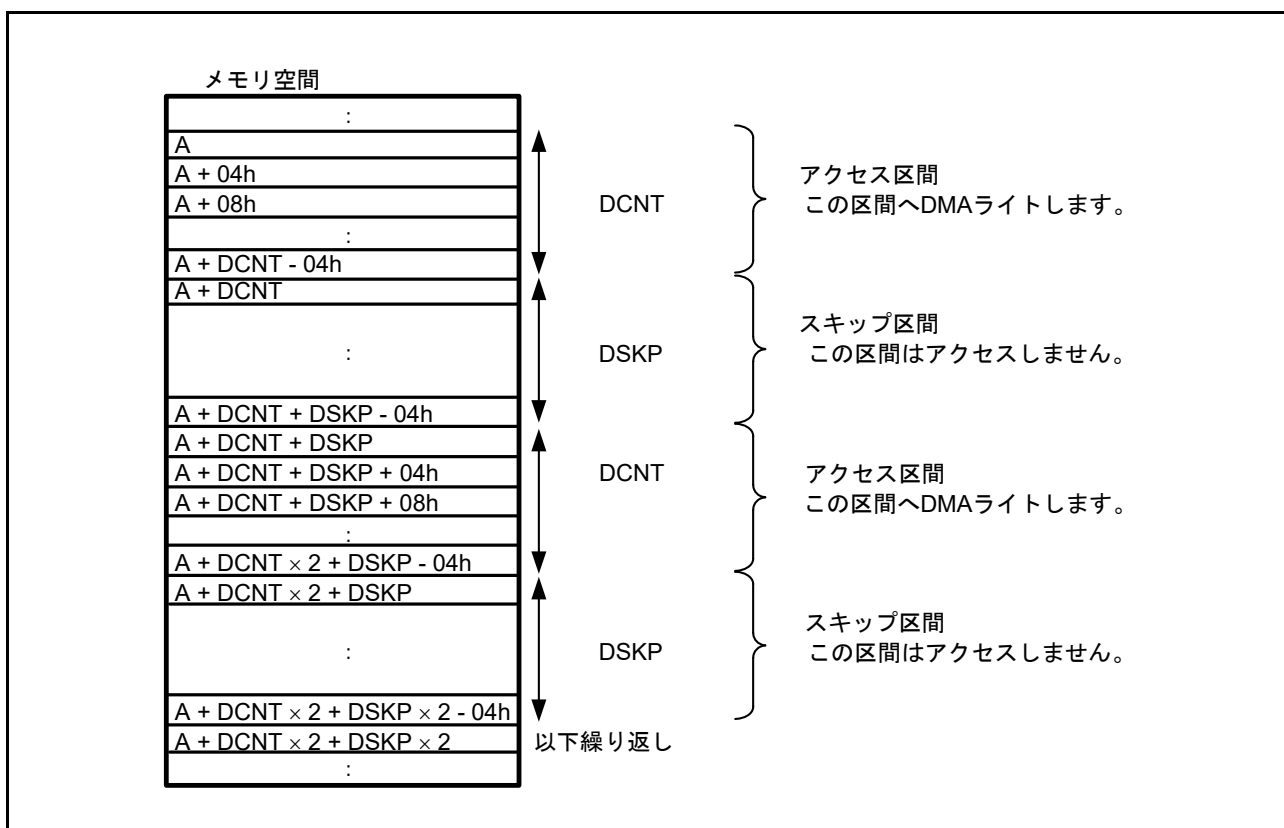


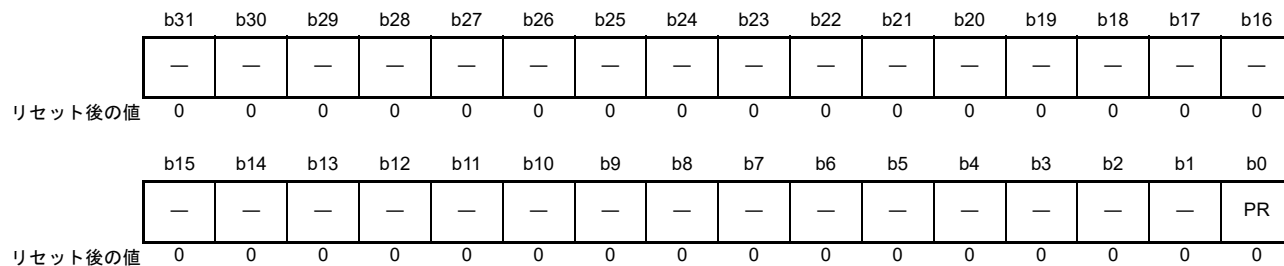
図 14.2 DSKP と DCNT の関係

DCNT、DSKP の値は、ディスティネーション・アドレスおよび CHCFG_n レジスタの DDS フィールドの設定値に関係無く設定することができます。DMACAa は、CHCFG_n レジスタの DDS フィールド設定サイズ以下の組み合わせで、指定された空間へのみライト・アクセスを行います。

14.2.20 DMA コントロールレジスタ (DCTRL_X (X = A, B))

DCTRL_X は、全チャンネル (DCTRL_A = チャンネル 0 ~ 7、DCTRL_B = チャンネル 8 ~ 15) において、チャンネル間のアービトラージを設定するレジスタです。

DMACAA0
 アドレス DCTRL_A : A006 2300h、DCTRL_B : A006 2700h
 DMACAA1
 DCTRL_A : A006 3300h、DCTRL_B : A006 3700h



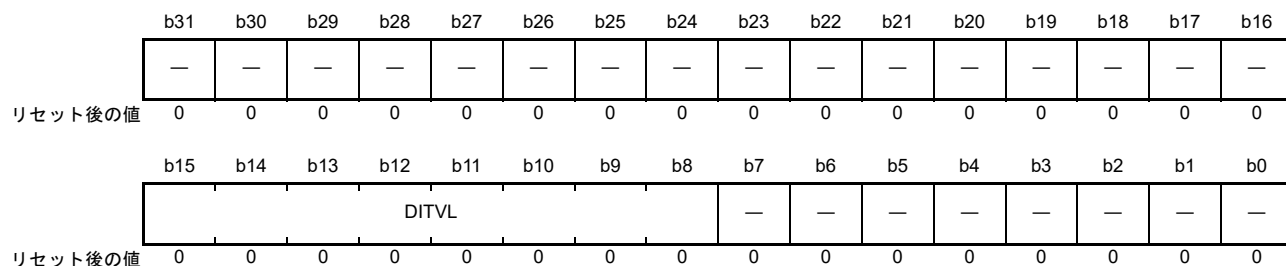
ビット	シンボル	ビット名	機能	R/W
b0	PR	優先順位制御選択	転送優先順位制御モードを設定します (「14.3.3 DMAチャンネルの優先順位制御」を参照)。 0 : 固定優先順位モード 1 : ラウンドロビン・モード	R/W
b31-b1	—	予約ビット	読むと“0”が読み出されます。書き込む場合は、“0”を書いてください。	R/W

14.2.21 デスクリプタインターバルレジスタ n (DSCITVL_X (X = A, B))

DSCITVL_Xは、全チャンネル (DSCITVL_A = チャンネル 0 ~ 7、DSCITVL_B = チャンネル 8 ~ 15) において、デスクリプタ・リード間隔を設定するレジスタです。

CHCFG_nレジスタのDRRPビットを1に設定することで、デスクリプタのLV=1となるまでデスクリプタをリードし続けます。本レジスタで、そのリード間隔を設定します。

DMACAa0
 アドレス DSCITVL_A : A006 2304h、DSCITVL_B : A006 2704h
 DMACAa1
 DSCITVL_A : A006 3304h、DSCITVL_B : A006 3704h



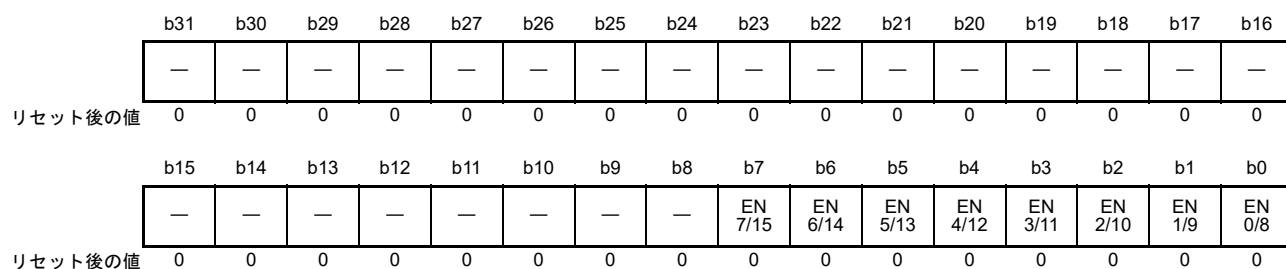
ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読み出されます。書き込む場合は、“0”を書いてください。	R/W
b15-b8	DITVL	デスクリプタインターバル	デスクリプタ・リード間隔を設定します。 (DITVL × 256) サイクルの間隔で、デスクリプタの再リードを行います。 デスクリプタ・リード間隔は、DITVLビットの設定値 × 256 × ICLKの周期です。	R/W
b31-b16	—	予約ビット	読むと“0”が読み出されます。書き込む場合は、“0”を書いてください。	R/W

14.2.22 DMA ステータス EN レジスタ (DST_EN_X (X = A, B))

DST_EN_X は、全チャンネル (DST_EN_A = チャンネル 0 ~ 7、DST_EN_B = チャンネル 8 ~ 15) の EN ビットの状態を表示するレジスタです。

このレジスタへライトを行っても、各ビットの値は変化しません。

DMACAa0
 アドレス DST_EN_A : A006 2310h、DST_EN_B : A006 2710h
 DMACAa1
 DST_EN_A : A006 3310h、DST_EN_B : A006 3710h



ビット	シンボル	ビット名	機能	R/W
b0	EN0/8	チャンネル0 /8EN	DMAチャンネル0/8のENビットの状態を表示します。	R
b1	EN1/9	チャンネル1 /9EN	DMAチャンネル1/9のENビットの状態を表示します。	R
b2	EN2/10	チャンネル2 /10EN	DMAチャンネル2/10のENビットの状態を表示します。	R
b3	EN3/11	チャンネル3 /11EN	DMAチャンネル3/11のENビットの状態を表示します。	R
b4	EN4/12	チャンネル4 /12EN	DMAチャンネル4/12のENビットの状態を表示します。	R
b5	EN5/13	チャンネル5 /13EN	DMAチャンネル5/13のENビットの状態を表示します。	R
b6	EN6/14	チャンネル6 /14EN	DMAチャンネル6/14のENビットの状態を表示します。	R
b7	EN7/15	チャンネル7 /15EN	DMAチャンネル7/15のENビットの状態を表示します。	R
b31-b8	—	予約ビット	読むと“0”が読み出されます。	R

14.2.23 DMA ステータス ER レジスタ (DST_ER_X (X = A, B))

DST_ER_X は、全チャンネル (DST_ER_A = チャンネル 0 ~ 7、DST_ER_B = チャンネル 8 ~ 15) の ER ビットの状態を表示するレジスタです。

このレジスタへライトを行っても、各ビットの値は変化しません。

DMACAa0
 アドレス DST_ER_A : A006 2314h、DST_ER_B : A006 2714h
 DMACAa1
 DST_ER_A : A006 3314h、DST_ER_B : A006 3714h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ER 7/15	ER 6/14	ER 5/13	ER 4/12	ER 3/11	ER 2/10	ER 1/9	ER 0/8
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ER0/8	チャンネル0 /8ER	DMAチャンネル0/8のERビットの状態を表示します。	R
b1	ER1/9	チャンネル1 /9ER	DMAチャンネル1/9のERビットの状態を表示します。	R
b2	ER2/10	チャンネル2 /10ER	DMAチャンネル2/10のERビットの状態を表示します。	R
b3	ER3/11	チャンネル3 /11ER	DMAチャンネル3/11のERビットの状態を表示します。	R
b4	ER4/12	チャンネル4 /12ER	DMAチャンネル4/12のERビットの状態を表示します。	R
b5	ER5/13	チャンネル5 /13ER	DMAチャンネル5/13のERビットの状態を表示します。	R
b6	ER6/14	チャンネル6 /14ER	DMAチャンネル6/14のERビットの状態を表示します。	R
b7	ER7/15	チャンネル7 /15ER	DMAチャンネル7/15のERビットの状態を表示します。	R
b31-b8	—	予約ビット	読むと“0”が読み出されます。	R

14.2.24 DMA ステータス END レジスタ (DST_END_X (X = A, B))

DST_END_X は、全チャンネル (DST_END_A = チャンネル 0 ~ 7、DST_END_B = チャンネル 8 ~ 15) の END ビットの状態を表示するレジスタです。このレジスタへライトを行っても、各ビットの値は変化しません。

DMACaA0
 アドレス DST_END_A : A006 2318h、DST_END_B : A006 2718h
 DMACaA1
 DST_END_A : A006 3318h、DST_END_B : A006 3718h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	END 7/15	END 6/14	END 5/13	END 4/12	END 3/11	END 2/10	END 1/9	END 0/8
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	END0/8	チャンネル0 /8END	DMA チャンネル0/8のENDビットの状態を表示します。	R
b1	END1/9	チャンネル1 /9END	DMA チャンネル1/9のENDビットの状態を表示します。	R
b2	END2/10	チャンネル2 /10END	DMA チャンネル2/10のENDビットの状態を表示します。	R
b3	END3/11	チャンネル3 /11END	DMA チャンネル3/11のENDビットの状態を表示します。	R
b4	END4/12	チャンネル4 /12END	DMA チャンネル4/12のENDビットの状態を表示します。	R
b5	END5/13	チャンネル5 /13END	DMA チャンネル5/13のENDビットの状態を表示します。	R
b6	END6/14	チャンネル6 /14END	DMA チャンネル6/14のENDビットの状態を表示します。	R
b7	END7/15	チャンネル7 /15END	DMA チャンネル7/15のENDビットの状態を表示します。	R
b31-b8	—	予約ビット	読むと“0”が読み出されます。	R

14.2.25 DMA ステータス SUS レジスタ (DST_SUS_X (X = A, B))

DST_SUS_X は、全チャンネル (DST_SUS_A = チャンネル 0 ~ 7、DST_SUS_B = チャンネル 8 ~ 15) の SUS ビットの状態を表示するレジスタです。このレジスタへライトを行っても、各ビットの値は変化しません。

DMACaA0
 アドレス DST_SUS_A : A006 2320h、DST_SUS_B : A006 2720h
 DMACaA1
 DST_SUS_A : A006 3320h、DST_SUS_B : A006 3720h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	SUS 7/15	SUS 6/14	SUS 5/13	SUS 4/12	SUS 3/11	SUS 2/10	SUS 1/9	SUS 0/8
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SUS0/8	チャンネル0 /8SUS	DMAチャンネル0/8のSUSビットの状態を表示します。	R
b1	SUS1/9	チャンネル1 /9SUS	DMAチャンネル1/9のSUSビットの状態を表示します。	R
b2	SUS2/10	チャンネル2 /10SUS	DMAチャンネル2/10のSUSビットの状態を表示します。	R
b3	SUS3/11	チャンネル3 /11SUS	DMAチャンネル3/11のSUSビットの状態を表示します。	R
b4	SUS4/12	チャンネル4 /12SUS	DMAチャンネル4/12のSUSビットの状態を表示します。	R
b5	SUS5/13	チャンネル5 /13SUS	DMAチャンネル5/13のSUSビットの状態を表示します。	R
b6	SUS6/14	チャンネル6 /14SUS	DMAチャンネル6/14のSUSビットの状態を表示します。	R
b7	SUS7/15	チャンネル7 /15SUS	DMAチャンネル7/15のSUSビットの状態を表示します。	R
b31-b8	—	予約ビット	読むと“0”が読み出されます。	R

14.3 動作説明

14.3.1 DMA モード

CHCFG_n レジスタの DMS ビットにより、レジスタ・モードとリンク・モードを切り替えることができます。

表 14.2 DMAモード設定

DMS (CHCFG_n)	機能	用途
0	レジスタ・モード	Next Register Set に設定された値で DMA 転送を行います。
1	リンク・モード	ディスクリプタ領域にアクセスし、ディスクリプタに設定された値で DMA 転送を実行します。ディスクリプタによる設定、またはコントロールレジスタで停止しない限り、ディスクリプタのリードと DMA 転送を繰り返します。

14.3.1.1 レジスタ・モード

レジスタ・モードは、内部レジスタに設定した値を用いて、DMA 転送を行います。

転送元アドレス、転送先アドレス、転送バイト数を 2 セット (Next0 Register Set、Next1 Register Set) 設定できます。Next Register Set を選択しての転送や、2 つの Next Register Set を連続して転送することができます。

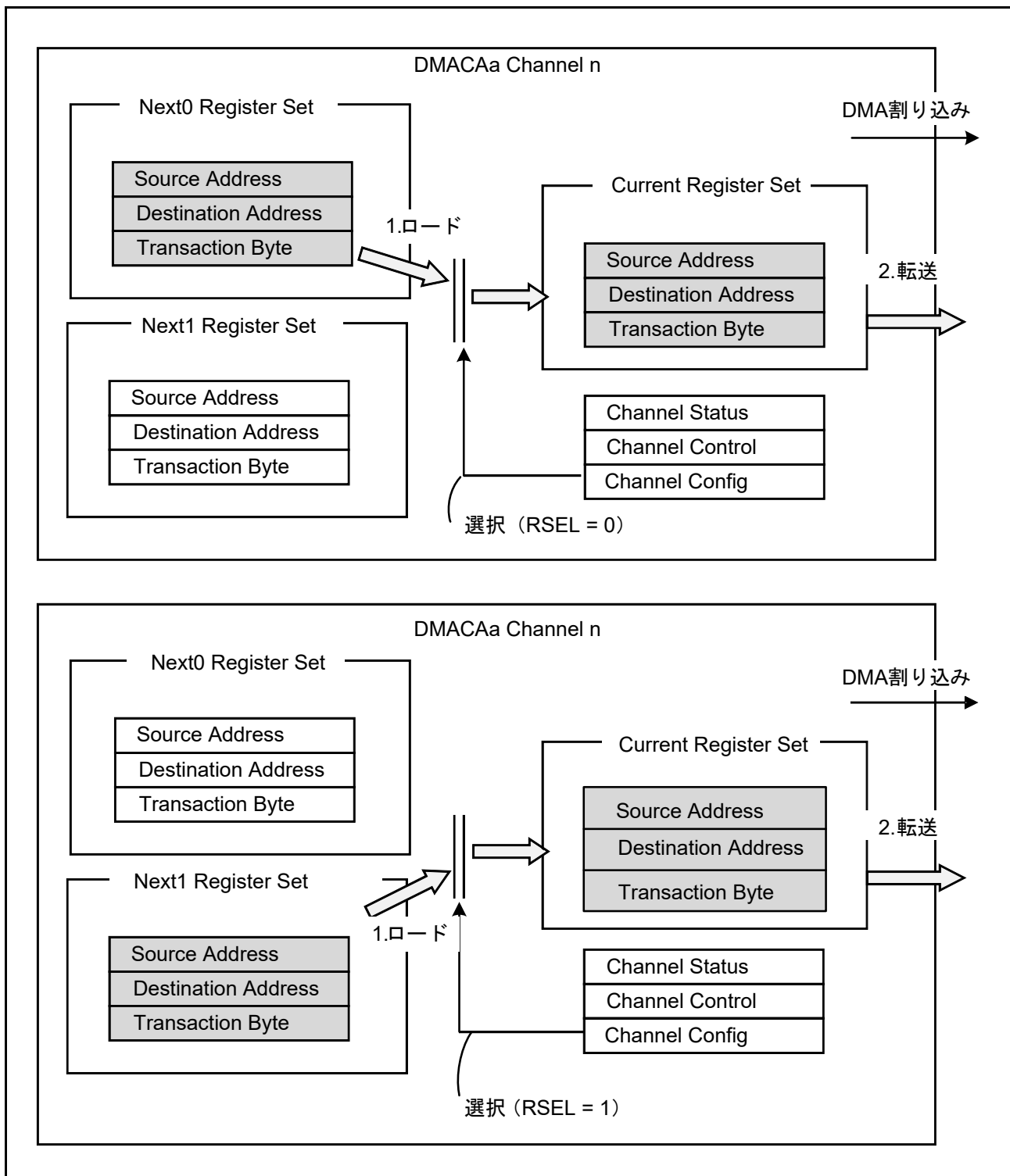


図 14.3 Register 通常モードの概要

図 14.3 は、Next0 Register Set を実行する場合（図上）と、Next1 Register Set を実行する場合（図下）を示しています。

(1) レジスタ・モードの動作フロー

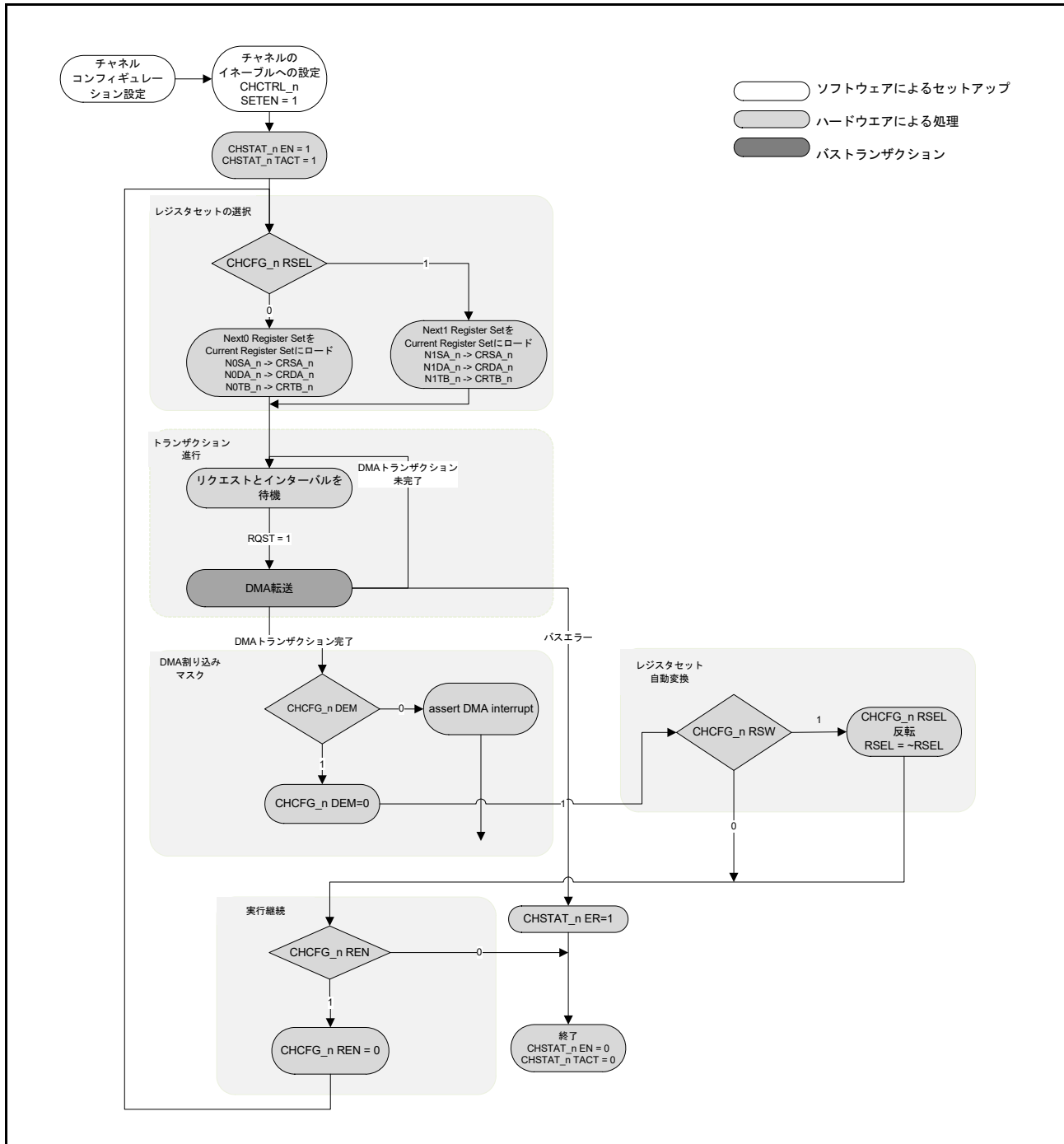


図 14.4 レジスタ・モード・フロー

< レジスタ・モード・フローの説明 >

1. チャンネル設定

Next0 または Next1 Register Set (転送先アドレス、転送元アドレス、総転送バイト数) を設定します。また、チャンネル毎の設定レジスタ CHCTRL_n、CHCFG_n 等で DMA 転送要求の検出方法、転送量等の設定を行います。

2. レジスタ・セットの選択

CHCTRL_n レジスタの SETEN ビットに 1 をライトすると、CHSTAT_n レジスタの EN ビットおよび TACT ビットが 1 になり、CHCFG_n レジスタの RSEL ビットで選択した Next Register Set の設定値を Current Register Set にロードします。

3. DMA 転送

設定した値にしたがって、DMA 転送が行われます。転送の詳細については、「14.3.2 転送モード」～「14.3.10 転送中断」を参照してください。

4. DMA 転送完了割り込みマスク

CHCFG_n レジスタの DEM ビットに設定した値により、DMA 転送完了割り込みがマスクされます。DEM = 1 の場合、DMA 転送完了割り込みはマスクされます。また、DMA 転送完了割り込み条件を満たした直後、自動的に DEM ビットは 0 にクリアされます。

5. レジスタ・セットの自動切換え

CHCFG_n レジスタの RSW ビットに設定された値により、もう一方の Next Register Set に切り替えます。

6. 継続実行

CHCFG_n レジスタの REN ビットに設定した値により、DMA 転送を連続実行します。REN = 0 の場合、CHSTAT_n レジスタの EN ビットおよび TACT ビットは 0 にクリアされ、DMACAa は動作を停止します。REN = 1 の場合、DMA 転送を継続して実行します。また、REN ビットにより DMA 転送が再実行される条件を満たした直後、自動的に REN ビットは 0 にクリアされます。

(2) レジスタ・モードの設定

- レジスタ・モード設定

実行するレジスタ・セットを選択します。

表 14.3 レジスタ・モード設定

DMS (CHCFG_n)	RSEL (CHCFG_n)	説明
0	0	Next0 Register Set を実行します
	1	Next1 Register Set を実行します

- DMA 転送完了割り込みマスク設定

DMA 転送完了割り込みをマスクすることができます。

表 14.4 DMA 転送完了割り込みマスク設定

DEM (CHCFG_n)	説明
0	DMA 転送が完了すると、DMA 転送完了割り込みを発生します。
1	DMA 転送が完了しても、DMA 転送完了割り込みを発生しません。 DMA 転送完了後に、DEM ビットは自動的に 0 にクリアされます。

- レジスタ・セットの自動実行設定
DMA転送後に、継続してDMA転送を実行することができます。

表 14.5 レジスタ・セットの自動実行設定

REN (CHCFG_n)	動作	備考
0	RSELビットに設定されているレジスタ・セットのDMA転送が完了すると、ENビットをクリアしてDMA動作を終了します	DMA転送を1回実行したい場合に設定してください。
1	DMA転送完了後に、続けて選択されているレジスタ・セットの内容をDMA転送します。連続転送が成立した場合、RENビットは0にクリアされず。	連続してレジスタ・セットの内容を実行したい場合に設定してください。

- レジスタ・セットの自動切り替え設定
DMA転送完了後に、次に実行するレジスタ・セットを切り替えることができます。

表 14.6 レジスタ・セット自動切り替え設定

RSW (CHCFG_n)	動作	備考
0	DMA転送完了時に、レジスタ・セットの切り替えを行いません。	1つのレジスタ・セットのみを使う場合に設定してください。
1	DMA転送完了時に、自動的にRSELビットを反転して、もう一方のレジスタ・セットを選択します。	レジスタ・セットを切り替える場合に設定してください。

(3) レジスタ・モードの設定例

- Next0 レジスタ・セットのみを使用する場合

表 14.7 レジスタ・モード設定例1

DMS (CHCFG_n)	RSEL (CHCFG_n)	DEM (CHCFG_n)	RSW (CHCFG_n)	REN (CHCFG_n)
0 (レジスタ・モード)	0 (Next0)	0 (マスクなし)	0 (スイッチなし)	0 (連続実行なし)

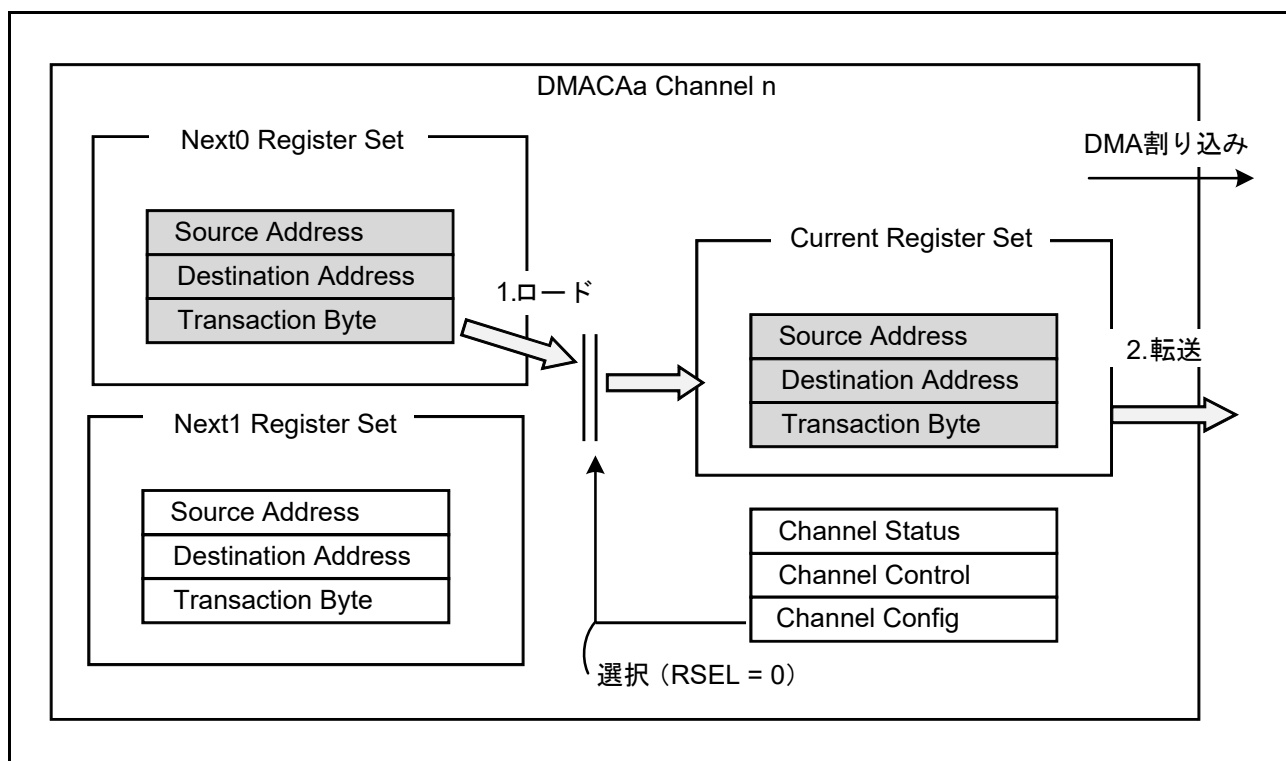


図 14.5 レジスタ・モード設定例 1

1. CHCTRL_n レジスタの SETEN ビットに 1 をライトすることで、CHSTAT_n レジスタの EN ビットが 1 になり、Next0 Register Set が Current Register Set にロードされます。
2. Current Register Set と Channel Register Set の値によって DMA 転送を実行します。
3. CHCFG_n レジスタの DEM ビットが 0 であるため、DMA 転送完了後に DMA 転送完了割り込みが発生します。
4. CHCFG_n レジスタの REN ビットが 0 であるため、CHSTAT_n レジスタの EN ビットが 0 にクリアされ動作を終了します。

- 2つのレジスタ・セットを連続して使用する場合

表 14.8 レジスタ・モード設定例 2

DMS (CHCFG_n)	RSEL (CHCFG_n)	DEM (CHCFG_n)	RSW (CHCFG_n)	REN (CHCFG_n)
0 (レジスタ・モード)	0 (Next0)	1 (マスクあり)	1 (スイッチあり)	1 (連続実行あり)

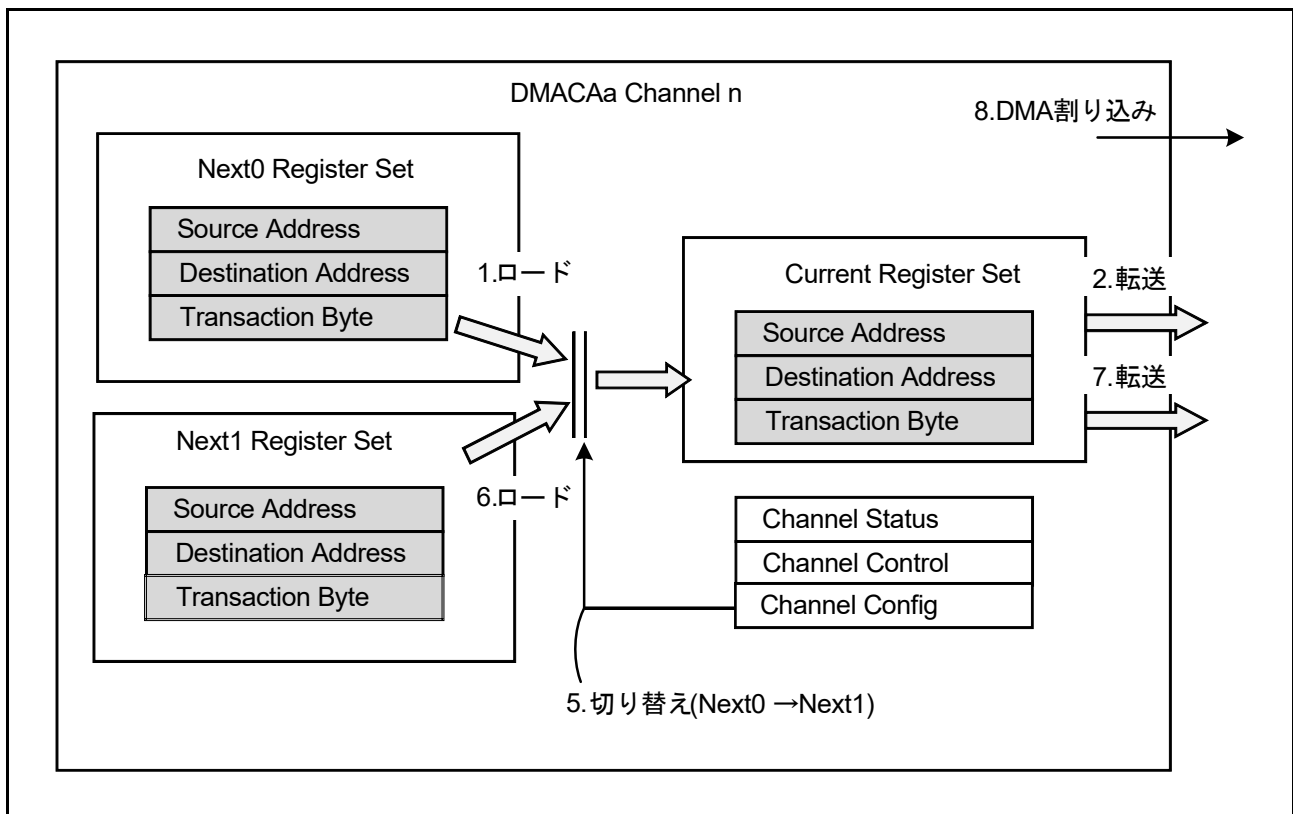


図 14.6 レジスタ・モード設定例 2

1. CHCTRL_nレジスタのSETENビットに1をライトすることで、CHSTAT_nレジスタのENビットが1になり、Next0 Register SetがCurrent Register Setにロードされます。
2. Current Register SetとChannel Register Setの値によってDMA転送を実行します。
3. CHCFG_nレジスタのDEMビットが1であるため、DMA転送完了後、DMA転送完了割り込みは発生しません。また自動的にDEMビットは0にクリアされます。
4. CHCFG_nレジスタのRENビットが1であるため、DMA転送を継続実行します。また自動的にRENビットは0にクリアされます。
5. CHCFG_nレジスタのRSWビットが1であるため、次に実行するレジスタ・セットを切り替えます (RSEL = 0 → 1)。
6. Next1 Register SetをCurrent Register Setにロードします。
7. Current Register SetとChannel Register Setの値によりDMA転送を実行します。
8. CHCFG_nレジスタのDEMビットが0であるため、DMA転送完了後にDMA転送完了割り込みが発生します。
9. CHCFG_nレジスタのRENビットが0であるため、CHSTAT_nレジスタのENビットが自動的に0にクリアされ動作を終了します。

14.3.1.2 リンク・モード

リンク・モードは、DMAC 外部の記憶領域に置かれたディスクリプタを設定値としてリードすることで、DMA 転送を実行するモードです。DMACAa 内部にはチャンネル毎に Next Link Address (NXLA_n) レジスタと Current Link Address (CRLA_n) レジスタがあり、それぞれ、次に実行するディスクリプタ・アドレスの設定と、現在実行中の DMA 転送のディスクリプタ・アドレスの表示に使用されます。

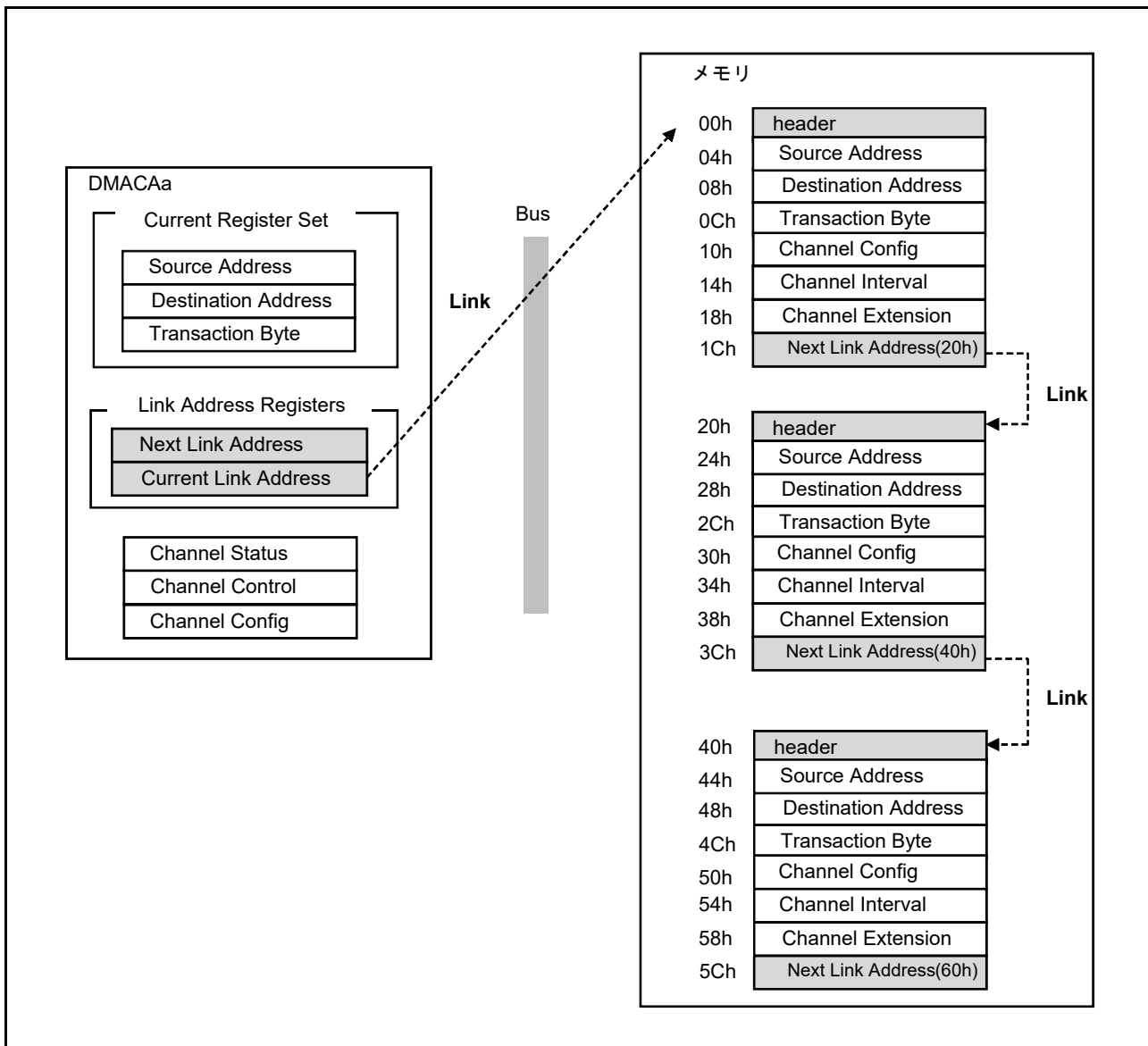


図 14.7 リンク・モードの概要

(1) リンク・モードの動作フロー

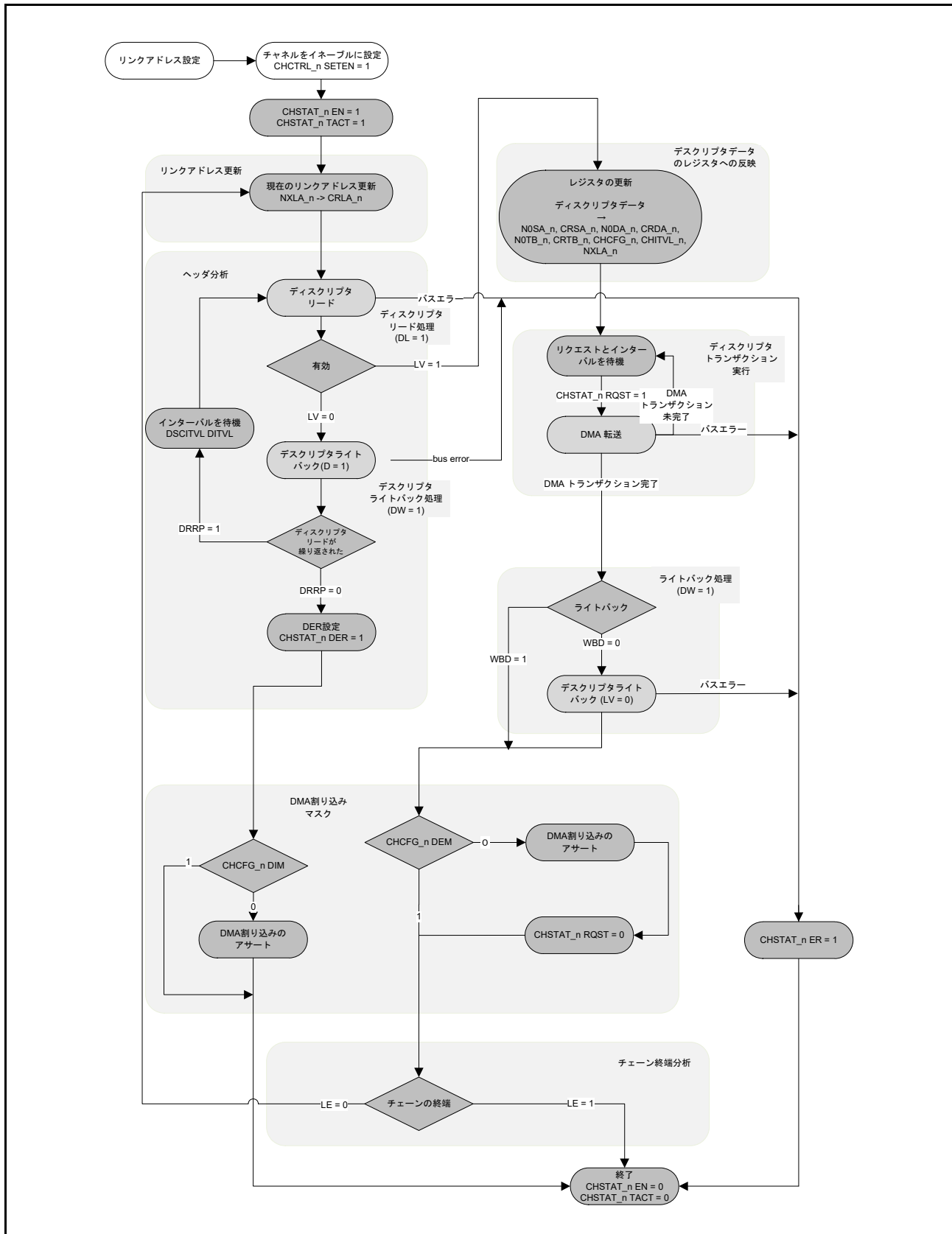


図 14.8 リンク・モードのフロー

< リンク・モードのフロー説明 >

1. チャンネル設定
NXLA_n レジスタにリンク先の先頭アドレスを設定します。
2. リンク・アドレス更新
CHCTRL_n レジスタの SETEN ビットに 1 をライトすると、CHSTAT_n レジスタの EN ビットおよび TACT ビットが 1 になり、NXLA_n レジスタに設定したリンク・アドレスが CRLA_n レジスタにロードされます。
3. ディスクリプタ読み出しと header 判定
ディスクリプタ・リードを開始し、DMACAa は header の内容を確認します。LV=0 の場合、header の D ビットに 1 をライト・バックします。ライト・バック後、CHCFG_n レジスタの DRRP=1 の場合、DSCITVL レジスタに設定されたサイクル後、再び同じディスクリプタをリードします。DRRP=0 の場合、CHSTAT_n レジスタの DER=1 になり終了状態 (CHSTAT_n レジスタの EN=0、TACT=0) になります。このとき、CHCFG_n レジスタの DIM ビットが 0 ならば、DMA 転送完了割り込みが発生します。
4. ディスクリプタ設定
LV=1 の場合は、リードしたディスクリプタのデータが Current Register Set と、Channel Register Set にロードされます。また、NXLA_n レジスタに次のリンク先がロードされます。
5. DMA 転送
設定された値により、DMA 転送が行われます。転送の詳細については、「14.3.2 転送モード」～「14.3.10 転送中断」を参照してください。
6. header 書き戻し (ライト・バック)
header の WBD=0 の場合、DMACAa は header 領域へ LV=0 をライト・バックします。
7. DMA 割り込みマスク
CHCFG_n の DEM ビットが 0 の場合、DMA 転送完了割り込みが発生します。
8. リンク終了判定
header の LE=1 の場合、CHSTAT_n レジスタの EN ビットおよび TACT ビットは 0 にクリアされ、DMACAa は動作を終了します。LE=0 の場合は、Current Register Set を更新し、次のディスクリプタ・リードを開始します。

(2) レジスタ設定

- リンク・モード設定

リンク・モードを使用する場合は、CHCFG_n レジスタの DMS ビットを 1 に設定してください。

表 14.9 リンク・モード設定

DMS (CHCFG_n)	説明
1	リンク・モードで動作します。 ディスクリプタによって、このビットを書き換えることはできません。

- LINK アドレス設定

リンク先を示すレジスタとして、Next Link Address (NXLA_n) レジスタと Current Link Address (CRLA_n) レジスタがあります。

リンク・モードを開始するには、NXLA_n レジスタにリンク先を設定してください。

NXLA_n レジスタは、ディスクリプタ・リード後に、次のリンクに更新されます。また、CRLA_n レジスタは現在実行中のリンク・アドレスを示します。

表 14.10 リンクアドレス・レジスタ・セット

レジスタ	説明
NXLA_n	次のリンク先の設定、および表示を行います。リンク・モード開始前に、このレジスタにリンク先のアドレスを設定してください。
CRLA_n	現在実行中のリンク先を表示します。このレジスタは読み出しのみ可能です。

(3) ディスクリプタ設定

DMACAa は、複数のディスクリプタ・フォーマットをサポートします。

フォーマットの切り替えは、ディスクリプタの 1word 目 (header) の bit[31:28] の DSCFM フィールドで指定します。

以下に、DSCFM ビットの値とディスクリプタ・フォーマットの関係を示します。

表 14.11 ディスクリプタ・フォーマット

DSCFM	ディスクリプタ サイズ	Next Link Address	Channel Interval	Channel Config	Transaction Size	Destination Address	Source Address	header
3	4word	○	— (リロード)	— (リロード)	— (header)	○	○	○ (STS 有)
1	8word	○	○	○	○	○	○	○ (STS 無)
上記以外	設定禁止							

表 14.12 「表 14.11 ディスクリプタ・フォーマット」中の起動の説明

フィールド	記号	説明	備考
header	○ (STS 有)	headerの[15:0]のSTSフィールドが有効であることを示します。STSフィールドに設定した値を、総転送バイト数 (Transaction Size) として使用します。	—
	○ (STS 無)	headerの[15:0]のSTSフィールドは無効です。総転送バイト数は、ディスクリプタの Transaction Size を使用します。	
Source Address	○	Source Addressを指定します。	—
Destination Address	○	Destination Addressを指定します。	—
Transaction Size	○	Transaction Sizeを指定します	—
	— (header)	Transaction Sizeを省略します。headerのSTSフィールドに設定した値を、総転送バイト数 (Transaction Size) として使用します。	
Channel Config Channel Interval	○	Channel Config、Channel Intervalを指定します。	—
	— (reload)	Channel Config、Channel Intervalを省略します。前回の設定値 (その時の CHCFG_n、CHITVL_nレジスタの値) を引き続き使用します。	—
Next Link Address	○	本ディスクリプタのDMA転送の後にリードする、次のディスクリプタ・アドレス (Next Link Address) を指定します。	—

DMACAa はディスクリプタ・リードして得たデータを、順番に解釈します。DSCFM フィールドで 8word 未満を指定した場合、「表 14.11 ディスクリプタ・フォーマット」の『○』の付いたディスクリプタ・データを、メモリ上へ配置してください。

表 14.13 ディスクリプタ配置例

DSCFM	アドレス (Link Address + N)							
	+1Ch	+18h	+14h	+10h	+0Ch	+08h	+04h	+00h
3h	—	—	—	—	Next Link Address	Destination Address	Source Address	header
1h	Next Link Address	—	Interval	Config	Transaction Byte	Destination Address	Source Address	header

• header

header は以下に示すように、ディスクリプタの状態等を表します。

この領域は、リンク・モードでの DMA 転送開始前に、DMACAa によってリードされます。また、DMA 転送終了後に、転送状況が DMACAa によってライト・バックされます。



図 14.9 header 領域

表 14.14 header領域

ビット位置	ビット名	意味
b15-b0	STS	DSCFM = 3の場合にTransaction Sizeを設定します (単位: Byte)。設定できる転送バイト数は最大65535 Byteです。 DSCFM = 3の場合、STSビットに0を設定しないでください。0を設定した場合の動作は保証しません。
b22-b16	—	Reserved領域です。0を設定してください。
b23	D	ディスクリプタのアクセス・エラーを示すビットです。ディスクリプタのリード時にLV = 0の場合、DMACAaは本ビットに対し1をライト・バックします。 0: ディスクリプタ・エラーなし 1: ディスクリプタのリード時、LV = 0
b24	LV	このディスクリプタが有効であることを示します。 WBD = 0の場合、DMACAaがディスクリプタに書かれたDMA転送実行後に0を書き込みます。header設定時には1を設定してください。 0: ディスクリプタ無効 1: ディスクリプタ有効
b25	LE	このディスクリプタのDMA転送でリンクが終了することを示します。 リンクの最後を示す場合にこのビットを1に設定してください。 0: リンク継続 1: リンク終了
b26	WBD	LVビットのライト・バック実行をマスクします。このビットが1の場合、DMACAaはライト・バック動作を行いません。 0: LVビットを0に書き戻す。 1: LVビットを書き戻さない。
b27	—	Reserved領域です。0を設定してください。
b31-b28	DSCFM	ディスクリプタのフォーマット (ディスクリプタの長さ、組み合わせ) を指定します。 詳細は表 14.11を参照してください。

DMA 転送完了処理中 (ディスクリプタへのライトバック中) にディスクリプタを追加すると、CPU が LV ビットを 1 にセットするアクセスと、DMACAa が D ビットに 1 をライト・バックするアクセスが競合する恐れがあります。これにより、先に書いた側のデータが、後に書いたデータで上書きされてしまいます。

この問題を避けるため、D ビットのバイト・レーンと LV ビットのバイト・レーンは異なる配置になっています。DMACAa は D ビットのライト・バックをバイト・ライトで行うため、LV = 1 のセットもバイト・ライトで行ってください。

- header 以外のディスクリプタの設定

header 以外のディスクリプタの各データは、内蔵レジスタの仕様と同じです。内蔵レジスタの仕様は「14.2 レジスタの説明」を参照してください。

ディスクリプタの設定例は「14.5.3 設定例 3 (リンク・モード)」を参照してください。

- ディスクリプタ領域と DMA 転送領域

以下に、DMACAa がアクセスするディスクリプタ領域と DMA 転送領域の概略を示します。

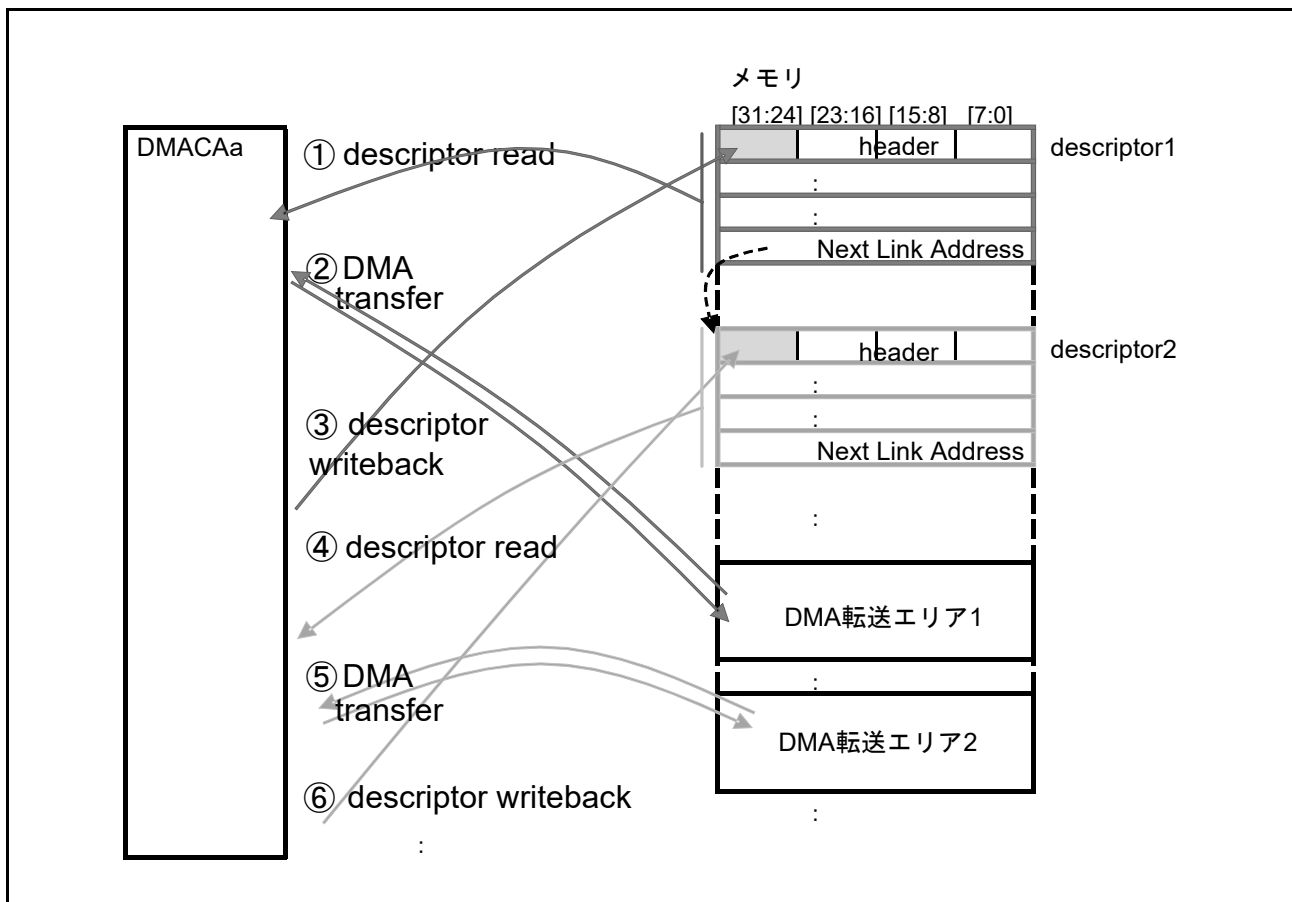


図 14.10 header 領域

① ディスクリプタ・リード

内蔵の NXLA_n レジスタに設定した値を、CRLA_n レジスタにロードし、CRLA_n レジスタの示すメモリ空間 (descriptor1) から、ディスクリプタをリード

② DMA 転送

ディスクリプタの header 内の LV ビットが 1 であった場合、ディスクリプタ情報にしたがい、DMA 転送を実行

③ ディスクリプタ・ライト・バック

設定バイト数 DMA 転送後、header 内の WBD ビットが 0 であった場合、descriptor1 の header[31:24] に対し、LV ビットは 0、その他のフィールドは①でリードした値をデータとして、バイト・サイズでのライト・バックを実行。

④ ディスクリプタ・リード

前回 (①) リードしたディスクリプタの header 内の LE ビットが 0 であった場合、ディスクリプタ中の Next Link Address で示されるアドレス (descriptor2) から、次のディスクリプタをリード。

⑤ DMA 転送

ディスクリプタの header 内の LV ビットが 1 であった場合、ディスクリプタ情報にしたがい、DMA 転送を実行

⑥ディスクリプタ・ライト・バック

設定バイト数 DMA 転送後、header 内の WBD ビットが 0 であった場合、descriptor2 の header[31:24] に対し、LV ビット 0、その他のフィールドは④でリードした値をライト・データとして、バイト・サイズでのライト・バックを実行。

以降④～⑥の繰り返し

header の LE = 1、WBD = 0 であった場合、そのディスクリプタ設定での DMA 転送、および header の LV ビットに 0 をライト・バックして終了。

header の LE = 1、WBD = 1 であった場合、そのディスクリプタ設定での DMA 転送を行って終了（ライト・バックは行わない）。

header の LV = 0 であった場合、header の D ビットに 1 をライト・バック。ライト・バック後、CHCFG_n レジスタの DRRP = 1 の場合は、DSCITVL_n レジスタの DITVL フィールドに指定されているインターバル後、再度ディスクリプタをリード。DRRP = 0 の場合は動作を停止。

● ディスクリプタに関する注意事項

- リンク・モードでは、ディスクリプタ・リードにより設定を変更することができますが、設定の変更タイミングとハードウェア・リクエストとの同期を取ることができません。このため、ハードウェア・リクエスト（外部割り込み）を使う場合、CHCTRL_n レジスタの SETEN ビットをセットする前に CHCFG_n レジスタの LVL、HIEN、LOEN、SEL ビットを設定し、かつディスクリプタ中でこれらの設定ビットを変更しないようにしてください。
- ディスクリプタで、CHCFG_n レジスタの DMS フィールドの設定を変更することはできません（常にリンク・モードとなります）。また、ディスクリプタで CHCFG_n レジスタの REN、RSW、RSEL フィールドの設定を変更できますが、動作に影響を与えません。
- DMACAa は header の DSCFM フィールドと LV ビットを参照して、そのディスクリプタが有効なのか無効なのかを判断します。このため、ディスクリプタの DSCFM フィールドと LV ビットに相当するメモリ領域を、DMACAa がアクセスする前に初期化（DSCFM = 1 または 3、LV = 1）しておいてください。
- DMA の転送設定を読み出し中（ディスクリプタのリード中）に次のディスクリプタをメモリ上に設定する場合、LV ビットへの 1 のライトは、header 以降のディスクリプタ（Source Address、Destination Address、・・・Next Link Address）を設定した後に行ってください。これは、CPU によるディスクリプタの設定と DMACAa のディスクリプタ・リードが競合し、CPU によるディスクリプタ設定の途中で DMACAa のディスクリプタ・リードが割り込んだ場合に、設定前のディスクリプタ値（Source Address、Destination Address、・・・）を使って DMA 転送してしまうことを防ぐためです。
- header の D ビットへのライト・バック情報を残したい場合、header の LV ビットへの 1 のライトは、バイトアクセスで行ってください。

(4) LINK 構成例

リンク・モードでは、ディスクリプタを以下のように構成することが可能です。

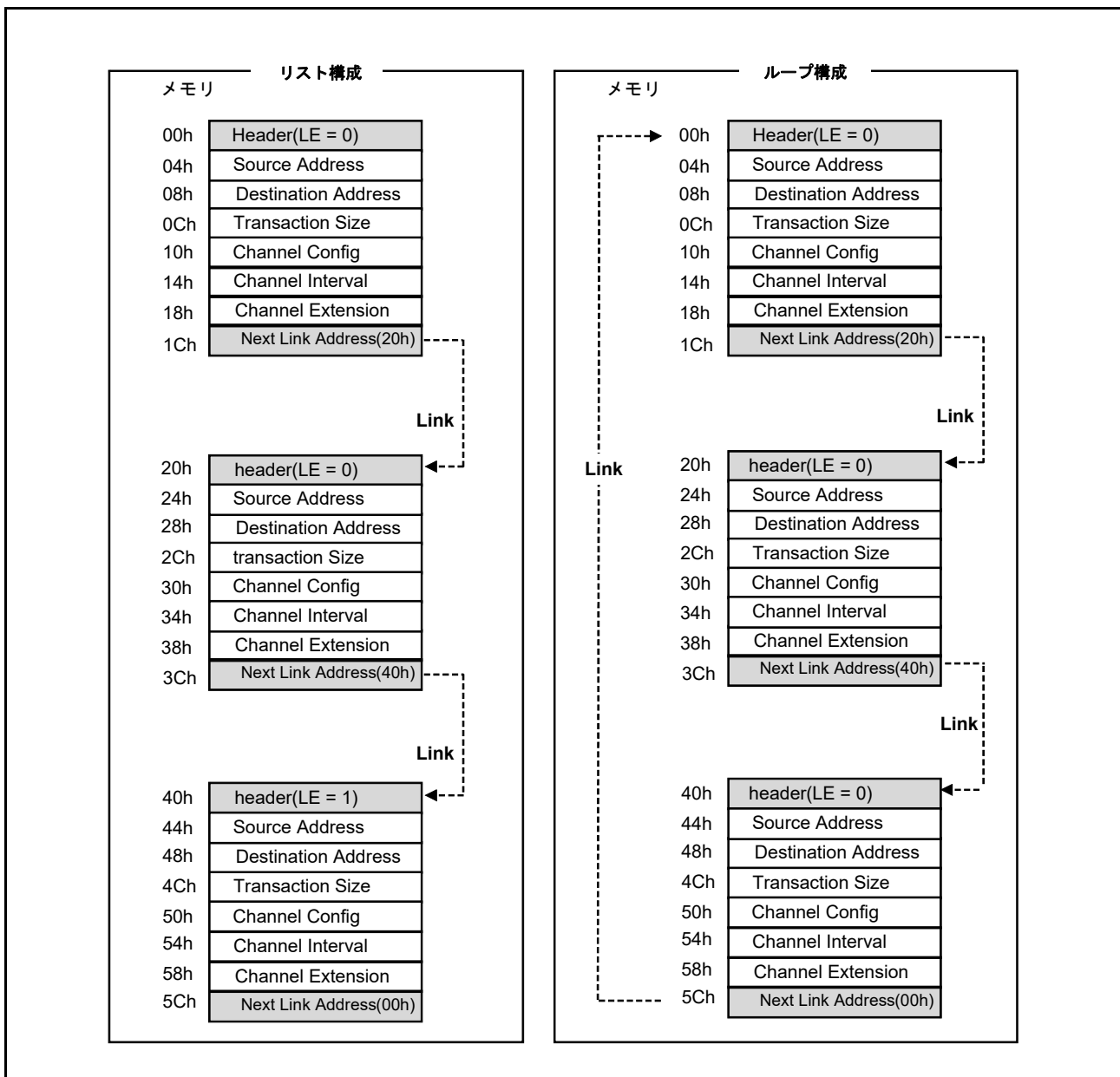


図 14.11 header 領域

- リスト構成

最後のディスクリプタの header にある LE ビットを 1 に設定することで、リンクを終了します。

- ループ構成

最後のディスクリプタのリンク先を、前のディスクリプタのアドレスに設定することで、ディスクリプタをループ構成にすることができます。ループを終了するためには、DMACAa がディスクリプタ・リードする前に header の LE ビットを 1 に書き換えるか、転送中断手順にしたがって停止してください。

14.3.1.3 WRITE ONLY モード

CHCFG_n レジスタの WONLY ビットに 1 を設定することで、WRITE ONLY モードになります。

表 14.15 WRITE ONLYモード設定

WONLY (CHCFG_n)	モード	説明
0	通常モード	Next Register Setに設定された値でDMA転送を行います。
1	WRITE ONLYモード	DMAリード・トランスファを行わず、DMAライト・トランスファだけ行います。

WRITE ONLY モードでは、DMA 転送でのリード動作を行いません（ディスクリプタのリードは通常モードと同様に行います）。レジスタ・モードでは、NxSA_n レジスタ（RSEL = 0 の場合 x = 0、RSEL = 1 の場合 x = 1）に設定した値をライト・データとして使用します。リンク・モードでは、ディスクリプタの SA フィールドの値をライト・データとして使用します。

本モードはメモリ領域の初期化等に使用してください。

14.3.2 転送モード

シングル転送モードとブロック転送モードをサポートします。

モードの選択は、チャンネル毎に CHCFG_n レジスタの TM ビットで設定してください。

表 14.16 基本転送設定

転送モード	TM (CHCFG_n)	機 能
シングル転送	0	1回のDMAリクエストに対して、1回のDMA転送を実行します。
ブロック転送	1	1回のDMAリクエストに対して、DMA転送が完了するまで、転送を実行します。

14.3.2.1 シングル転送モード

DMA 転送要求を受け付けると、DMA 転送を 1 回実行します。転送要求を受け付ける度に 1 回の転送を行い、この動作を N0TB_n, N1TB_n レジスタから CRTB_n レジスタにロードされた転送サイズ分続けます (チャンネル間のアービトレーションは、DMA 転送毎に行います)。

14.3.2.2 ブロック転送モード

DMA 転送要求を 1 度受け付けると、N0TB_n, N1TB_n レジスタから DMA 転送バイト・レジスタ (CRTB_n レジスタ) にロードされたバイト数分の転送が完了 (DMA 転送完了) するまで転送を続けます (チャンネル間のアービトレーションは、DMA 転送毎に行います)。

14.3.3 DMA チャンネルの優先順位制御

チャンネル間のアービトレーション方式として、固定優先順位モードとラウンドロビン・モードをサポートしています。モードの選択は、DCTRL レジスタの PR ビットで行います。PR ビットが 0 の場合、固定優先順位モードとなり、PR ビットが 1 の場合、ラウンドロビン・モードとなります。

表 14.17 優先順位制御設定

転送モード	PR (DCTRL)	機 能	用 途
固定優先順位	0	チャンネル0~7/チャンネル8~15固定優先順位 CH0(CH8) > CH1(CH9) > CH2(CH10) > CH3(CH11) > CH4 (CH12) > CH5(CH13) > CH6(CH14) > CH7(CH15)	チャンネルに優先順位が有る場合に 使用してください
ラウンドロビン	1	ラウンドロビンでリクエストを制御します。	各リクエストに対して均等に実行 させたい場合に使用してください。

14.3.3.1 固定優先順位モード

固定優先順位モードでは、チャンネル0～7内およびチャンネル8～15内の優先順位は固定となります。また、チャンネル0～7グループとチャンネル8～15グループ間の優先順位はラウンドロビンとなります。以下の図 14.12 に、リセット直後の優先順位と DMA チャンネル 0 の転送が行われた後の優先順位について示します。

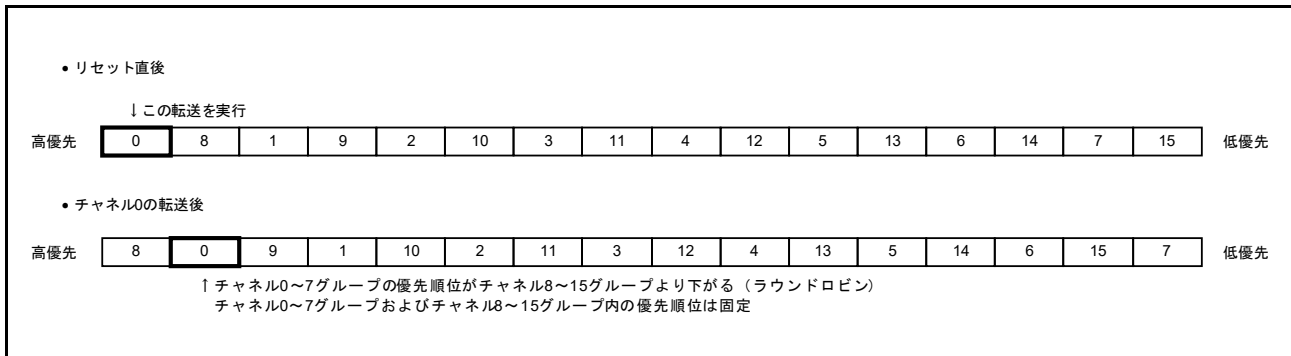


図 14.12 リセット直後の優先順位と DMA チャンネル 0 の転送が行われた後の優先順位

DMA 転送要求が複数のチャンネルで同時に発生した場合、チャンネル番号の小さい DMA 転送要求を優先します。

注. チャンネル 0 が最優先で行われますが、チャンネル 0 の転送元へのリード動作後、バス調停が行われるため、次に優先順位の高いチャンネルの転送が行われます (同一チャンネルのリード動作⇒ライト動作の間に別のチャンネルのリード動作等が割り込む可能性があります)。

14.3.3.2 ラウンドロビン・モード

ラウンドロビン・モードでは、各チャンネルの転送受け付け毎に、直前の転送を行ったチャンネルの優先順位が一番低くなるように優先順位を変更します。

以下の図 14.13 に、リセット直後の優先順位と DMA チャンネル 2 の転送が行われた後の優先順位について示します。

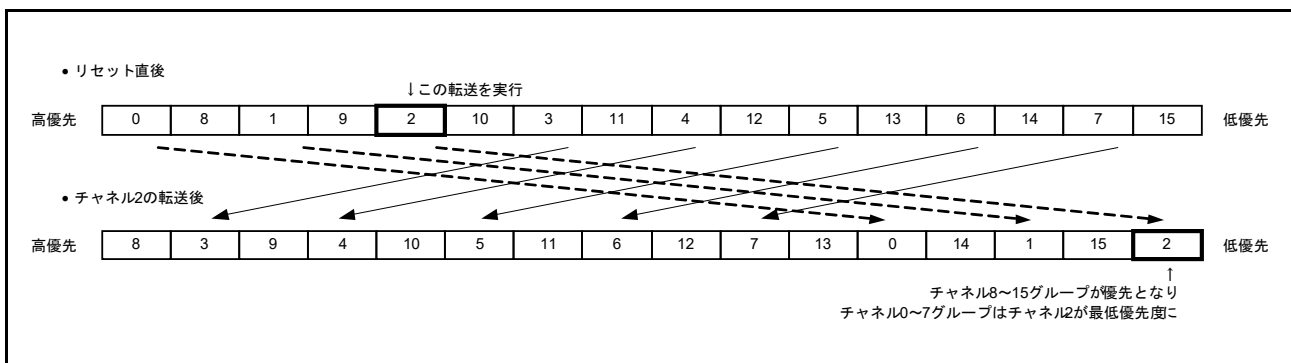


図 14.13 リセット直後の優先順位と DMA チャンネル 2 の転送が行われた後の優先順位

14.3.4 DMA 転送要求

DMA 起動要求には、ソフトウェアリクエスト、内蔵周辺モジュールリクエスト、外部割り込みの3種類があります。

内蔵周辺モジュールリクエスト、外部割り込み、ソフトウェアリクエストの転送要求元の選択は DMAmSELn (m=0, 1 n=0~15) レジスタで行います。

DMAmSELn (m=0, 1 n=0~15) レジスタの詳細については「14.2.8 DMACAa Unit0 要因選択レジスタ i (DMA0SELi) (i=0~15)」、および「14.2.9 DMACAa Unit1 要因選択レジスタ i (DMA1SELi) (i=0~15)」を参照してください。

14.3.4.1 DMA 転送要求の要因毎の検出動作指定

内蔵周辺モジュールリクエスト、外部割り込み、ソフトウェアリクエストの DMA 転送要求は、要因によって検出方法が指定されているものがあります。

DMA 転送要因毎に、表 14.18、表 14.19、表 14.20 を元に CHCFG_n レジスタの LVL、HIEN、LOEN ビットを設定してください。

表 14.18 DMA 転送要求の要因毎の検出動作指定

DMA 転送要求要因	DMA 転送要求の検出動作指定
内蔵周辺モジュールリクエスト	DMA 転送要求元の仕様依存 (表 14.20 参照)
外部割り込み	立ち上がりエッジ検出 ハイレベル検出
ソフトウェアリクエスト	立ち上がりエッジ検出

表 14.19 DMA 転送要求信号の検出方法

モード	LVL (CHCFG_n)	HIEN (CHCFG_n)	LOEN (CHCFG_n)	機能
エッジ検出	0	0	0	検出無効
			1	立ち下がりエッジ検出
		1	0	立ち上がりエッジ検出
			1	設定禁止
レベル検出	1	0	0	検出無効
			1	設定禁止
		1	0	ハイレベル検出
			1	設定禁止

表 14.20 DMA転送要求検出動作設定表 (1/2)

DMA転送 要求元	DMA 転送要因	転送元	転送先	DMAm SELn[7:0]	CHCFG_n												
					TM	LVL	HIEN	LOEN	SEL[2:0]								
外部割り込み	IRQ0	任意	任意	04h	0/1	0/1 (注1)	1 (注1)	0 (注1)	DMACAa0/1 ch0/8 : 0h ch1/9 : 1h ch2/10 : 2h ch3/11 : 3h ch4/12 : 4h ch5/13 : 5h ch6/14 : 6h ch7/15 : 7h								
	IRQ1																
	IRQ2																
	IRQ3																
	IRQ4																
	IRQ6																
	IRQ7																
	IRQ9																
	IRQ11																
	IRQ12																
	IRQ13																
	IRQ14																
	CMT Unit0			コンペアマッチ0						任意	任意	15h	0/1	0	1	0	
				コンペアマッチ1													
CMT Unit1	コンペアマッチ0	任意	任意	17h	0/1	0	1	0									
	コンペアマッチ1																
CMTW Unit0	コンペアマッチ	任意	任意	19h	0/1	0	1	0									
	インプット キャプチャ0																
	インプット キャプチャ1																
	アウトプット コンペア0																
	アウトプット コンペア1																
CMTW Unit1	コンペアマッチ	任意	任意	1Eh	0/1	0	1	0									
	インプット キャプチャ0																
	インプット キャプチャ1																
	アウトプット コンペア0																
	アウトプット コンペア1																
DMACAa0	DMACAa0 ソフトウェア トリガ	任意	任意	FBh	0/1	0	1	0									
DMACAa1	DMACAa1 ソフトウェア トリガ	任意	任意	FCh	0/1	0	1	0									
USB	FuncDMA要求1	任意 (送信時)/ D0FIFO (受信時)	D0FIFO (送信時) /任意 (受信時)	2Bh	0	1	1	0									
	Func DMA要求2																
Ether PHY	Ether PHY 割り込み0	任意	任意	30h	0/1	0/1	1	0									
	Ether PHY 割り込み1																

表 14.20 DMA転送要求検出動作設定表 (2 / 2)

DMA転送 要求元	DMA 転送要因	転送元	転送先	DMAm SELn[7:0]	CHCFG_n				
					TM	LVL	HIEN	LOEN	SEL[2:0]
ESC	Sync0 割り込み	任意	任意	49h	0/1	0	1	0	DMACAa0/1 ch0/8 : 0h ch1/9 : 1h ch2/10 : 2h ch3/11 : 3h ch4/12 : 4h ch5/13 : 5h ch6/14 : 6h ch7/15 : 7h
	Sync1 割り込み			4Ah					
	Ether CAT 割り込み			4Bh					
	SOF割り込み			4Ch					
	EOF割り込み			4Dh					
RSPI チャンネル0	受信バッファフル	SPDR	任意	50h	0	0	1	0	
	送信バッファ エンプティ	任意	SPDR	51h	0	0	1	0	
RSPI チャンネル1	受信バッファフル	SPDR	任意	54h	0	0	1	0	
	送信バッファ エンプティ	任意	SPDR	55h	0	0	1	0	
SCIFA チャンネル0	受信バッファフル	FRDR	任意	61h	0	1	1	0	
	送信バッファ エンプティ	任意	FTDR	62h	0	1	1	0	
SCIFA チャンネル1	受信バッファフル	FRDR	任意	65h	0	1	1	0	
	送信バッファ エンプティ	任意	FTDR	66h	0	1	1	0	
SCIFA チャンネル2	受信バッファフル	FRDR	任意	6Eh	0	1	1	0	
	送信バッファ エンプティ	任意	FTDR	6Fh	0	1	1	0	
SCIFA チャンネル3	受信バッファフル	FRDR	任意	72h	0	1	1	0	
	送信バッファ エンプティ	任意	FTDR	73h	0	1	1	0	
SCIFA チャンネル4	受信バッファフル	FRDR	任意	76h	0	1	1	0	
	送信バッファ エンプティ	任意	FTDR	77h	0	1	1	0	
RIIC チャンネル1	データ受信終了	ICDRR	任意	7Dh	0	0	1	0	
	送信データ エンプティ	任意	ICDRT	7Eh	0	0	1	0	
ELC	ELCIRQ1	任意	任意	F2h	0/1	0	1	0	
	ELCIRQ2			F3h					

注1. 外部割り込み (IRQ0~15) のLVL、HIEN、LOENビットの設定は、以下のとおりになります。
 IRQCRi (i=0~15) レジスタの設定は「12.3.1 割り込み要求先の選択」を参照してください。
 LVL : IRQCRiレジスタのレベル/エッジ設定に合わせてください。
 HIEN : IRQCRiレジスタの検出レベルに関係なく、1を設定してください。
 LOEN : IRQCRiレジスタの検出レベルに関係なく、0を設定してください。

備考 CHCFG_n レジスタ設定値

TM ビット

0 : シングル転送

1 : ブロック転送

LVL ビット

0 : DMA 要求をエッジ検出

1 : DMA 要求をレベル検出

注. DMACAa 要因選択レジスタで選択されたベクタ番号は、各周辺からの割り込み要因ではなく、DMACAa 要因選択レジスタで選択されたDMACAa各チャンネルの転送完了要因が接続されます。

注. DMACAaの転送完了割り込みの検出タイプは、必ずPLSnレジスタで、エッジ検出を選択してください。

14.3.4.2 エッジ検出

CHCFG_n レジスタの LVL ビットを 0 に設定することにより、エッジ検出となります。

CHCFG_n レジスタの HIEN ビットを 1 に設定することにより立ち上がりエッジ検出となります。

14.3.4.3 レベル検出

CHCFG_n レジスタの LVL ビットを 1 に設定することにより、レベル検出となります。

DMA 転送要求が、連続した 2 クロック (ICLK) 以上の期間アクティブ (HIEN、LOEN の設定による) である場合、DMA 要求として認識します。

14.3.5 強制排出要求

強制排出要求が入力されると、バッファ内にある未転送データを DMA 転送先アドレスへ転送します。掃き出し動作が終了した後、DMA 転送を継続します。

以下に強制排出要求の注意点を示します。

- 強制排出要求と DMA 転送要求入力競合した場合、強制排出動作を優先し、その後 DMA 転送を実行します。
- 「14.3.10.2 転送中断 (バッファ掃き出しあり : SBE = 1)」の掃き出しモード (CHCFG_n レジスタの SBE = 1 で EN ビットをクリア) との違い
 掃き出しモード : バッファ内のデータをライト後、DMACAa が動作を停止
 強制排出要求 : 掃き出し動作終了後も DMA 転送を継続

14.3.5.1 ソフトウェア強制排出要求

ソフトウェア強制排出要求には CHCTRL_n レジスタの SETSSWPRQ ビットを使用します。

強制排出要求をする場合は、SETSSWPRQ ビットに 1 をライトしてください。DMACAa は、バッファ内のデータを DMA 転送先に出力します。

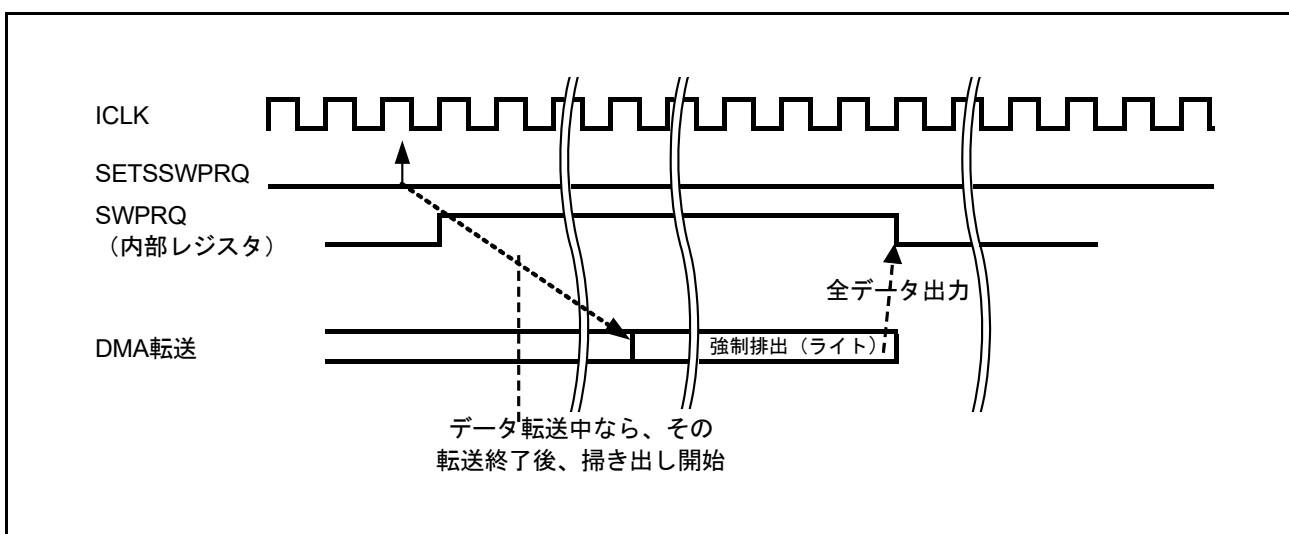


図 14.14 ソフトウェア強制排出タイミング

14.3.6 インターバル・カウント機能

CHITVL_n レジスタの ITVL フィールドの設定によって、DMA 転送の実行間隔を調整することが可能です。

この機能は、DMACAa がバスを占有し続けることを無くすための機能です。カウント値が 0 になるまでは、次の DMA 要求に対する DMA 転送を実行しません。

14.3.7 転送データサイズによる動作の違い

14.3.7.1 転送元側の転送データサイズが小さい場合

転送先の転送データサイズが大きいため、転送元に対する複数回のリード動作後、転送先にライト動作が発生します。

14.3.7.2 転送先の転送データサイズが小さい場合

転送元の転送データサイズが大きいため、転送元に対する 1 回のリード動作後、数回の転送先へのライト動作が発生します。

14.3.7.3 転送元と転送先の転送データサイズが同じ場合

DMA 転送要求を検出するたびに転送元のリード動作と転送先へのライト動作を行います。

14.3.8 DMA 転送状態

CHSTAT_n レジスタは各チャンネルの DMA 転送状態を示します。

CHSTAT_n レジスタの TACT ビットはチャンネル n が DMA 動作中であることを示します。CHCTRL_n レジスタの SETEN ビットに 1 をライトすることで 1 がセットされます。TACT ビットは、ディスクリプタ・アクセス中や DMA リクエスト待ちの間も 1 のままです。

CHSTAT_n レジスタの EN ビットがクリア (クリア条件に関しては「14.2.7 チャンネルステータスレジスタ n (CHSTAT_n)」参照) され、かつ設定回数分の DMA 転送が終了した時点で TACT ビットはクリアされます。

DMA 転送が終了しても、EN ビットがクリアされない状態 (レジスタ・モードで CHCFG_n レジスタの REN = 1 の場合や、リンク・モードで次のディスクリプタ・アクセスを行う場合) では、TACT ビットはクリアされません。

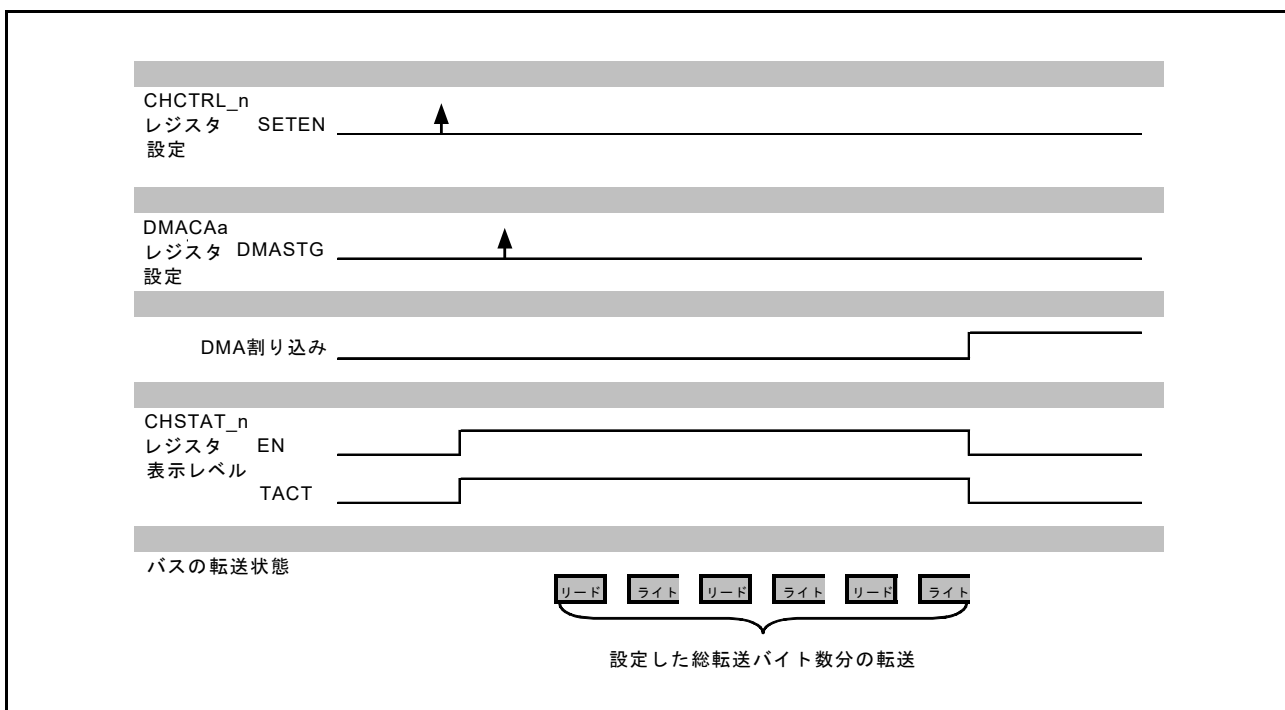


図 14.15 DMACAa 状態例 (ソフトウェア・リクエスト)

14.3.9 一時停止 (サスペンド)

CHCTRL_n レジスタの SETSUS ビットで DMA 転送を一時停止することができます。この時、すでに実行されているバス・サイクルがあれば、その完了を待って、一時停止状態になります。CHCTRL_n レジスタの CLRSUS ビットに 1 をライトすることで停止状態から復帰することができます。

一時停止状態であることを確認するためには、CHCTRL_n レジスタの SETSUS ビットをセットした後、CHSTAT_n レジスタの SUS ビット、または DST_SUS レジスタの該当チャンネルの SUS ビットが 1 になっていることを確認してください。

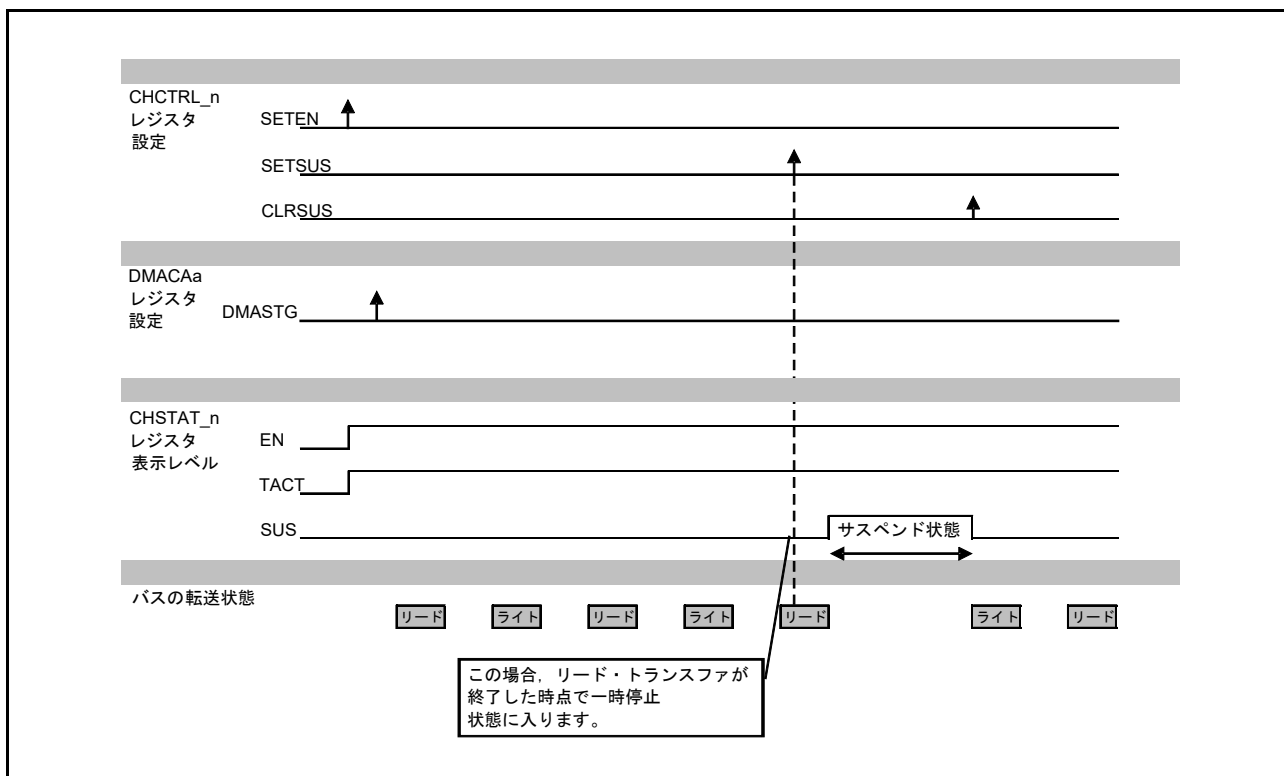


図 14.16 DMACAa 一時停止状態 (ソフトウェア・リクエスト ブロック転送)

14.3.10 転送中断

DMA 転送中に CHCTRL_n レジスタの CLREN ビットに 1 をライトすると、そのチャンネルの DMA 転送を中断することができます。中断後の処理として、CHCFG_n レジスタの SBE ビットで、中断したタイミングでバッファに残ったデータを掃き出すモードと、掃き出しを行わないモードを選択することができます。デフォルトは SBE=0 (掃き出しを行わないモード) です。

このデータを掃き出すモードが有効な場合で、CHCTRL_n レジスタの CLREN = 1 で進行中の転送が中断されると、DMACAa のバッファに残っていたデータを掃き出して、動作を停止します。

14.3.10.1 転送中断 (バッファ掃き出しなし : SBE = 0)

DMA 転送中に CHCTRL_n レジスタの CLREN ビットに 1 をライトすると、DMA 転送を中断して停止します。停止後は CHCTRL_n レジスタの SWRST ビットに 1 をライトし、DMACAa 内部状態をクリアしてから、次の転送設定を行ってください。

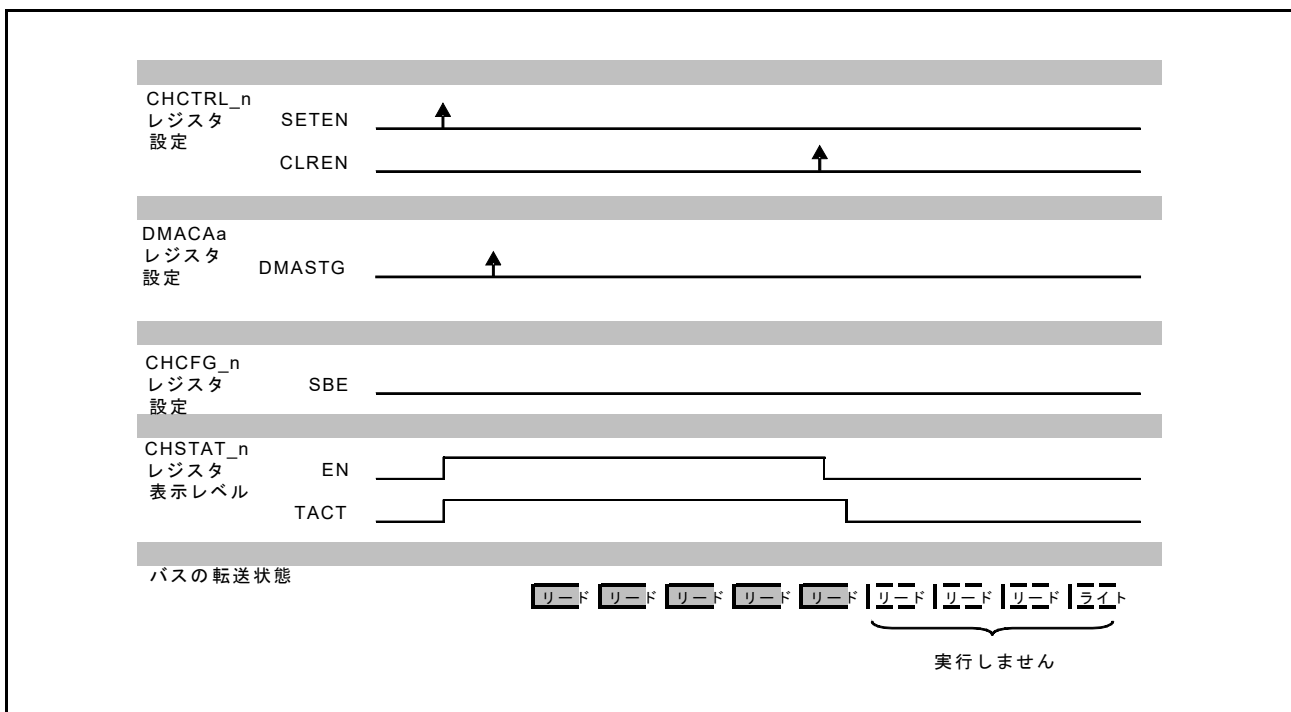


図 14.17 DMA 転送中断

- CHSTAT_n レジスタの TACT ビットがクリアされた時点でチャンネルが完全に停止したことを確認できます。
- DMA 転送の途中で中断した場合、DMA 転送完了割り込みは発生しません。
- DMA 転送の途中で中断した場合、中断したタイミングの次のリードが完了した時点で停止します (ただし、ライトできるデータがバッファ内にある場合はライトして停止します)。

14.3.10.2 転送中断 (バッファ掃き出しあり : SBE = 1)

DMA 転送中に CHCTRL_n レジスタの CLREN ビットに 1 をライトすると、DMA 転送を中断します。

停止後は CHCTRL_n レジスタの SWRST ビットをセットし、DMACAa 内部状態をクリアしてから、次の転送設定を行ってください。

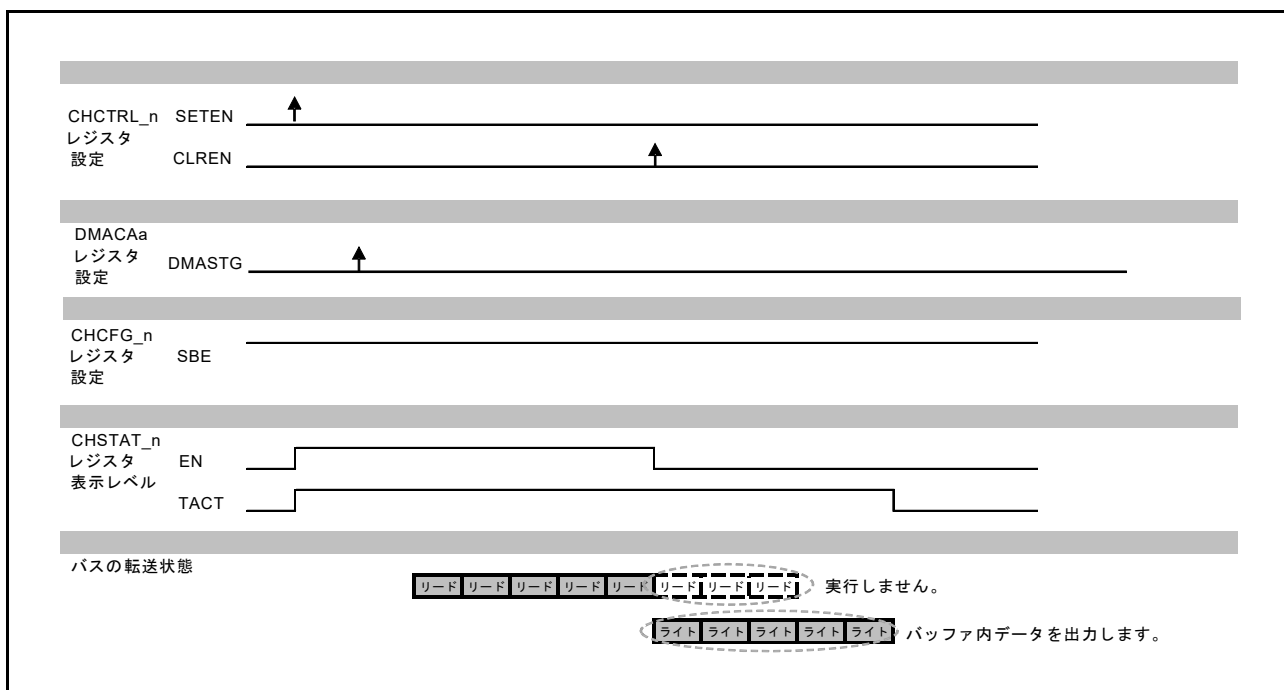


図 14.18 DMA 転送中断 (バッファ掃き出しモード)

- 上記は、掃き出しモード (CHCFG_n レジスタの SBE = 1) で、5 回目のリード転送中に CHCTRL_n レジスタの CLREN ビットに 1 をライトして転送を中断した場合の例です。リードしたデータをライトして、DMA 転送が停止する様子を示しています。
- CHSTAT_n レジスタの TACT ビットが 0 になった時点でチャンネルが完全に停止したことを確認できます。

14.3.10.3 チャンネル停止の確認方法

CHCTRL_n レジスタの CLREN ビットに 1 をライトして、CHSTAT_n レジスタの EN ビットが 0 にクリアされても、すでにバス上で転送が実行されている場合、DMACAa はすぐに停止することができません。DMA が完全に停止したことを確認するためには、EN ビットが 0 かつ CHSTAT_n レジスタの TACT ビットが 0 であることを確認してください。

14.3.10.4 転送中断手順

以下に転送停止手順を示します。

1. CHCTRL_nレジスタのCLRENビットへ1をライトします。
2. CHSTAT_nレジスタをリードしてTACTビットが0になっていることを確認します。TACT=0ならば、DMAが完全に停止したことを意味します。TACT=1の場合は、0になるまでポーリングしてください。
3. 中断後、次のDMA転送を行う場合、次の転送を開始する直前までに必ずCHCTRL_nレジスタのSWRST (ソフトウェア・リセット) ビットをセットしてください。

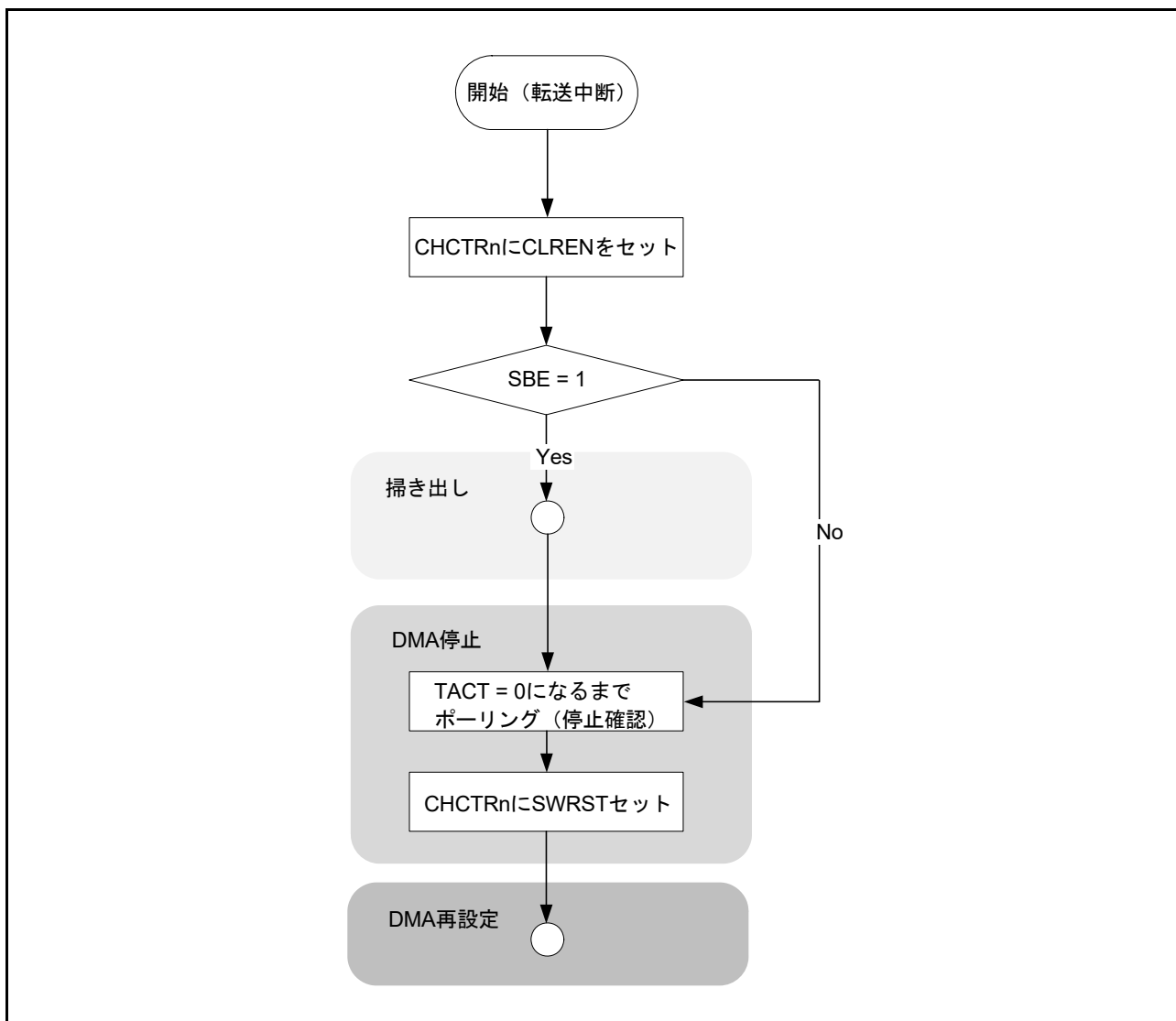


図 14.19 転送中断フロー

14.4 割り込み

14.4.1 割り込み要因

DMACAaはチャンネル毎にDMA転送完了割り込みと、DMAエラー割り込みの2種類の割り込み要因を持っています。

表 14.21 に各割り込み要因と許可ビット、およびステータスフラグの関係を示します。

表 14.21 DMACAaの割り込み要因

割り込み要因		割り込み許可ビット	割り込みステータスフラグ	出力条件
DMA転送完了割り込み	DMA転送完了	CHCFG_n.DEM	CHSTAT_n.END	CRTB_nレジスタにロードされた総転送バイト数分の転送が完了した時（リンク・モードでライト・バックを行う場合は、ライト・バック後）
	ディスクリプタ無効	CHCFG_n.DIM		リンク・モードにおいて、CHCFG_nレジスタのDRRP=0、DIM=0の状態、リードしたディスクリプタのheaderがLV=0だった時
DMAエラー割り込み		— (マスク不可)	CHSTAT_n.ER	DMA転送およびディスクリプタ・アクセスに対して、バスエラーを受けた場合

14.4.2 DMA転送完了割り込み

DMA転送完了割り込みは、DMA転送が完了したことを示す割り込み要求信号です。

DMA転送完了割り込みの各ビットは、各チャンネルに対応しています。

CRTB_nレジスタにロードされた総転送バイト数分の転送が完了した場合、CHSTAT_nレジスタのENDビットが1にセットされます。この時、CHCFG_nレジスタのDEM=0だった場合、DMA転送完了割り込みを発生します（n=15-0）。（リンク・モードでライト・バックを行う場合は、ライト・バック後に割り込みが発生します。）

また、リンク・モードにおいてCHCFG_nレジスタのDRRP=0の状態、リードしたディスクリプタのheaderがLV=0だった場合、CHSTAT_nレジスタのDERビットが1にセットされます。この時、CHCFG_nレジスタのDIM=0だった場合、DMA転送完了割り込みを発生します。

注． DMACAa 要因選択レジスタ（DMA0SELi、DMA1SELi）で選択したベクタ番号は、各周辺からの割り込み要因ではなく、DMACAa 要因選択レジスタで選択されたDMACAa各チャンネルの転送完了要因が接続されます（DMA 要因選択レジスタで選択した割り込みベクタ番号が、DMA転送完了割り込みのベクタ番号として扱われます）。

注． DMACAa の転送完了割り込みの検出タイプは、必ず PLSn レジスタで、エッジ検出を選択してください。

詳細については、「12.3.1 割り込み要求先の選択」を参照してください。

14.4.3 DMA エラー割り込み

DMA 転送およびディスクリプタ・アクセスに対して、バスエラーを受けた場合、本モジュールはエラーと判断し、転送を中止します。バスエラーを受けると、転送中のチャンネル n の CHSTAT_n レジスタの EN ビットを 0 にクリアし、ER ビットを 1 にセットします ($n=15-0$)。また、DMA エラー割り込みを発生します。

DMA エラー割り込みをマスクすることはできません。

エラーとなった一連の転送はそのデータを保証できません。必ず下記の手順にて、最初から転送をやり直してください。

1. CHCTRL_n レジスタの SWRST ビットを 1 にセット
2. 各レジスタを再設定

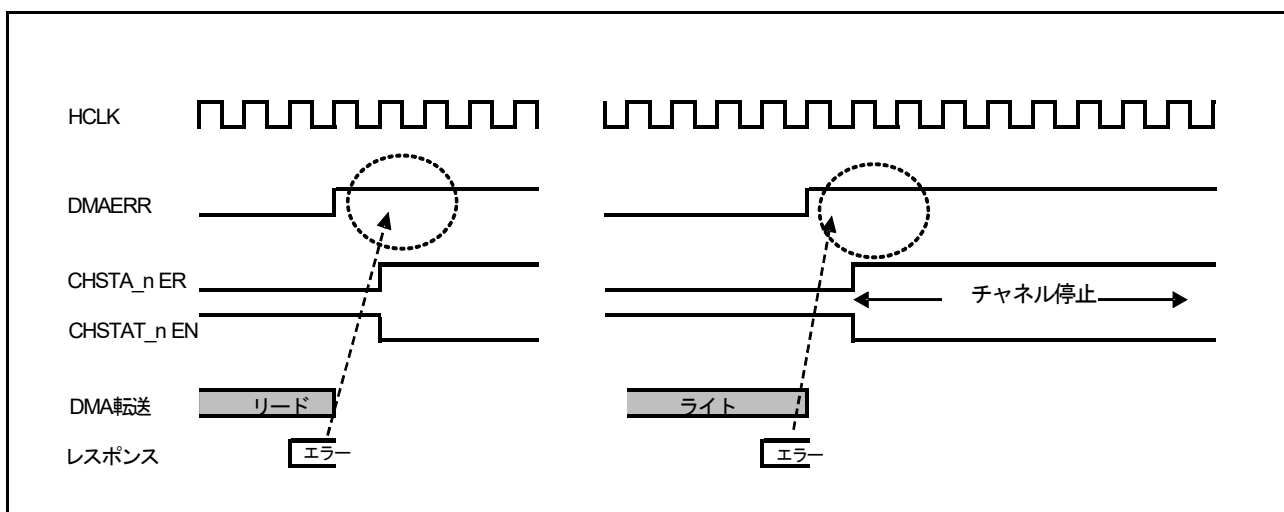


図 14.20 バスエラー応答による停止タイミング

注. CPU から DMACAa のレジスタにアクセスした際に、バスエラーが起こっても DMA エラー割り込みは発生しません。

14.5 DMA 設定例

以下に、DMA 転送例を示します。各設定例の転送条件は次のとおりです。

表 14.22 DMA 転送設定例の転送条件一覧

設定例	DMAモード	転送モード	転送要求
設定例1	レジスタ・モード	ブロック転送モード	ソフトウェア
設定例2	レジスタ・モード (連続実行)	ブロック転送モード	ソフトウェア
設定例3	リンク・モード	ブロック転送モード	ソフトウェア

14.5.1 設定例 1 (レジスタ・モード ソフトウェア・リクエスト)

レジスタ・モードでソフトウェア・リクエストを使った DMA 転送を行う場合の設定例を示します。

表 14.23 DMA 転送の設定例 1

項目	内容	
使用チャンネル	DMACAa0 チャンネル2	
優先順位制御	ラウンドロビン	
DMAモード	レジスタ・モード	
転送モード	ブロック転送モード	
使用レジスタ・セット	Next1 レジスタ・セット	
転送元/転送先	転送元	転送先
	開始アドレス	0000 0080h
	アドレス方向	インクリメント
	データ・サイズ	8ビット
DMA転送バイト数	128バイト	
DMA転送要求	ソフトウェア・リクエスト	
DMA転送完了割り込み出力マスク	なし	

設定例 1

DCTRL = 0000 0001h (DMA 設定)

N1SA = 0000 0080h (転送元アドレス)

N1DA = 0080 0080h (転送先アドレス)

N1TB = 0000 0080h (転送バイト数)

CHCFG = 1045 0222h (コンフィグ)

CHITVL = 0000 0000h (インターバル)

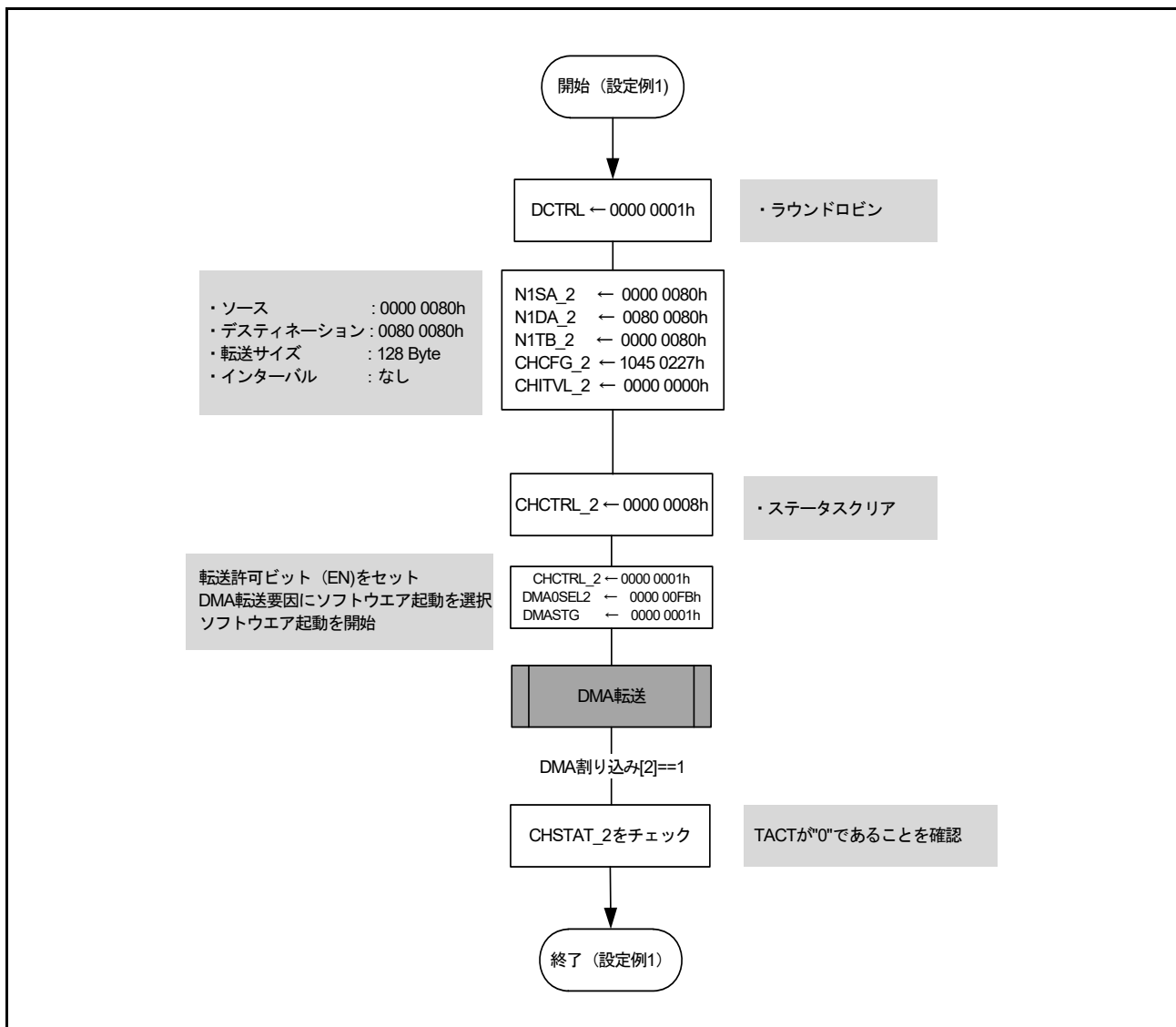


図 14.21 設定例 1

注 . DMA 割り込み [2] は ch2 に割り当てた DMA 転送要因の割り込みになります。

14.5.2 設定例 2 (レジスタ・モード 連続実行)

レジスタ・モードで Next0/1 Register Set を連続して使用し、DMA 転送を行う場合の設定例を示します。

表 14.24 DMA 転送の設定例 2

項目		内容	
使用チャンネル		DMACAa0 チャンネル1	
優先順位制御		ラウンドロビン	
DMAモード		レジスタ・モード	
転送モード		ブロック転送モード	
使用レジスタ・セット		Next0 レジスタ・セット→Next1 レジスタ・セット 連続	
転送元／転送先 (Next0)		転送元	転送先
	開始アドレス	1111 0000h	0080 0080h
	アドレス方向	固定	固定
	データ・サイズ	32ビット	512ビット
	DMA転送バイト数	512バイト	
転送元／転送先 (Next1)		転送元	転送先
	開始アドレス	0000 0080h	1000 0000h
	アドレス方向	固定	固定
	データ・サイズ	32ビット	512ビット
	DMA転送バイト数	2048バイト	
DMA転送要求		ソフトウェア・リクエスト	
DMA転送完了割り込み出力マスク		Next0完了時にマスク	

設定例 2

DCTR = 0000 0001h (DMA 設定)

N0SA = 1111 0000h (転送元アドレス)

N0DA = 0080 0080h (転送先アドレス)

N0TB = 0000 0200h (転送バイト数)

N1SA = 0000 0080h (転送元アドレス)

N1DA = 1000 0000h (転送先アドレス)

N1TB = 0000 0800h (転送バイト数)

CHCFG = 6176 2007h (コンフィグ)

CHITVL = 0000 0000h (インターバル)

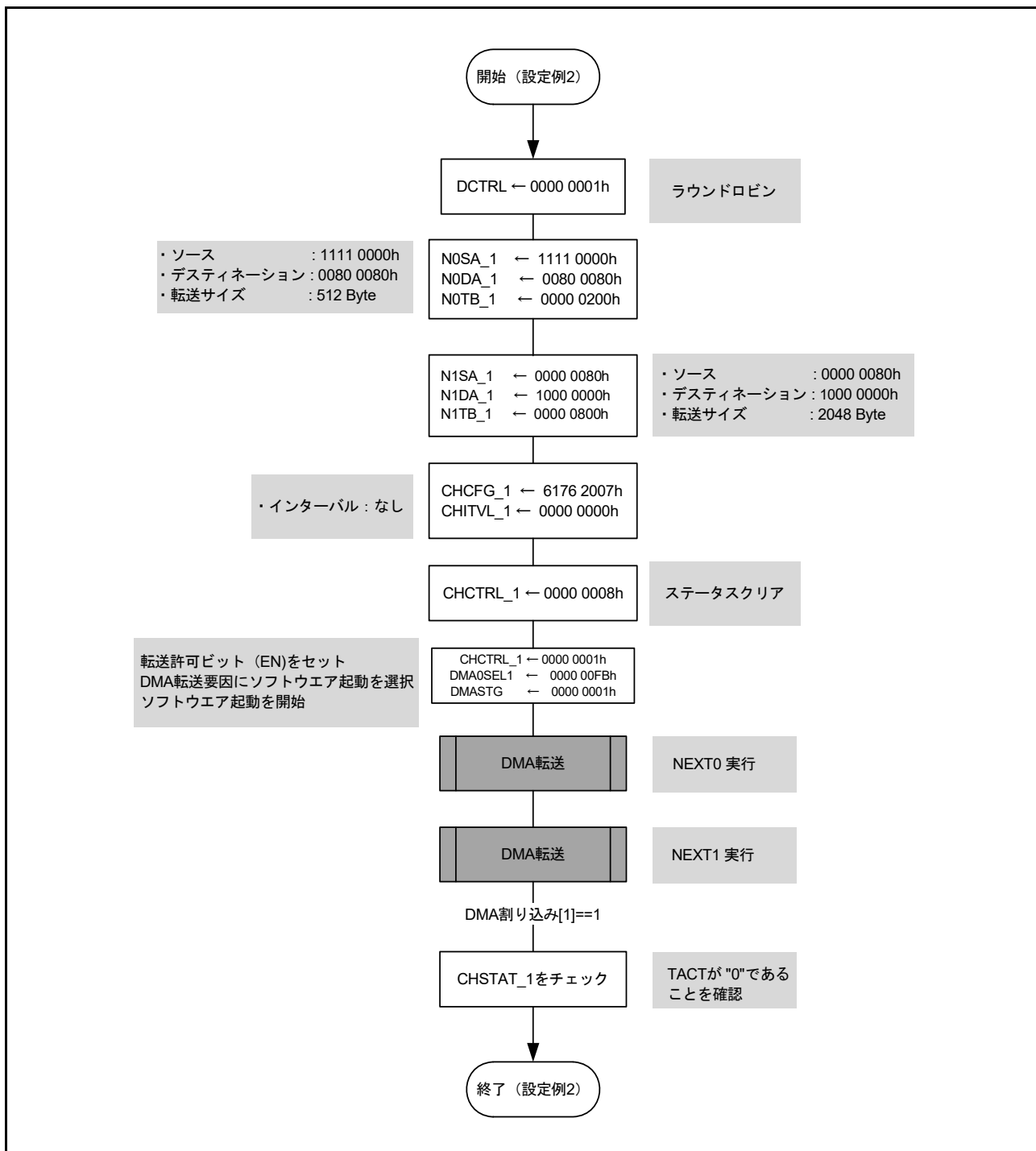


図 14.22 設定例 2

注. DMA 割り込み [1] は ch1 に割り当てた DMA 転送要因の割り込みになります。

14.5.3 設定例 3 (リンク・モード)

リンク・モードで DMA 転送を行う場合の設定例を示します。

表 14.25 DMA 転送の設定例 3

項目	内容
使用チャンネル	DMACAa0 チャンネル0
優先順位制御	ラウンドロビン
DMAモード	リンク・モード
転送モード	ブロック転送モード
ディスクリプタ開始アドレス	0080 0000h

表 14.26 DMA 転送の設定例 3 (ディスクリプタ 1)

項目	内容	
ディスクリプタ先頭アドレス	0080 0000h	
次ディスクリプタ先頭アドレス	0080 1000h	
転送モード	ブロック転送モード	
転送元/転送先	転送元	転送先
開始アドレス	1111 0000h	0000 0080h
アドレス方向	インクリメント	インクリメント
データ・サイズ	32ビット	32ビット
DMA転送バイト数	2048バイト	
DMA転送要求	ソフトウェア・リクエスト	
DMA転送完了割り込み出力マスク	ディスクリプタ1でのDMA転送完了時はマスク	
ディスクリプタ・フォーマット	1 (8ワード)	
ディスクリプタのヘッダ		
LVビットの書き戻し	許可 (WBD = 0)	
次のリンク先	あり (LE = 0)	
ディスクリプタ有効	有効 (LV = 1)	

表 14.27 DMA転送の設定例3 (ディスクリプタ2)

項目		項目	
ディスクリプタ先頭アドレス		0080 1000h	
次ディスクリプタ先頭アドレス		0080 2000h	
転送モード		ブロック転送モード	
転送元/転送先		転送元	転送先
	開始アドレス	0080 0080h	0000 0080h
	アドレス方向	インクリメント	インクリメント
	データ・サイズ	256ビット	256ビット
DMA転送バイト数		1024バイト	
DMA転送要求		ソフトウェア・リクエスト	
DMA転送完了割り込み出力マスク		ディスクリプタ2でのDMA転送完了時はマスク	
ディスクリプタ・フォーマット		1 (8ワード)	
ディスクリプタのヘッダ			
	LVビットの書き戻し	許可 (WBD = 0)	
	次のリンク先	あり (LE = 0)	
	ディスクリプタ有効	有効 (LV = 1)	

表 14.28 DMA転送の設定例3 (ディスクリプタ3)

項目		項目	
ディスクリプタ先頭アドレス		0080 2000h	
次ディスクリプタ先頭アドレス		—	
転送モード		ブロック転送モード	
転送元/転送先		転送元	転送先
	開始アドレス	0000 0080h	0080 2000h
	アドレス方向	インクリメント	インクリメント
	データ・サイズ	512ビット	512ビット
DMA転送バイト数		4096バイト	
DMA転送要求		ソフトウェア・リクエスト	
DMA転送完了割り込み出力マスク		マスクしない	
ディスクリプタ・フォーマット		1 (8ワード)	
ディスクリプタのヘッダ			
	LVビットの書き戻し	許可 (WBD = 0)	
	次のリンク先	なし (LE = 1)	
	ディスクリプタ有効	有効 (LV = 1)	

設定例 3

DCTRL = 0000 0001h (DMA 設定)

NXLA = 0080 0000h (ディスクリプタ先頭アドレス)

CHCFG = 8000 0000h (コンフィグ)

表 14.29 ディスクリプタ設定

項目	ディスクリプタ1	ディスクリプタ2	ディスクリプタ3
header	1100 0000h	1100 0000h	1300 0000h
SA (Source Address)	1111 0000h	0080 0080h	0000 0080h
DA (Destination Address)	0000 0800h	0000 0080h	0080 2000h
TB (transaction Byte)	0000 0800h	0000 0400h	0000 1000h
CFG (Configuration)	8142 2220h	8145 5220h	8046 6220h
ITVL (Interval)	0000 0000h	0000 0000h	0000 0000h
EXT (Extension)	0000 0000h	0000 0000h	0000 0000h
NXLA (Next Link Address)	0080 1000h	0080 2000h	0000 0000h

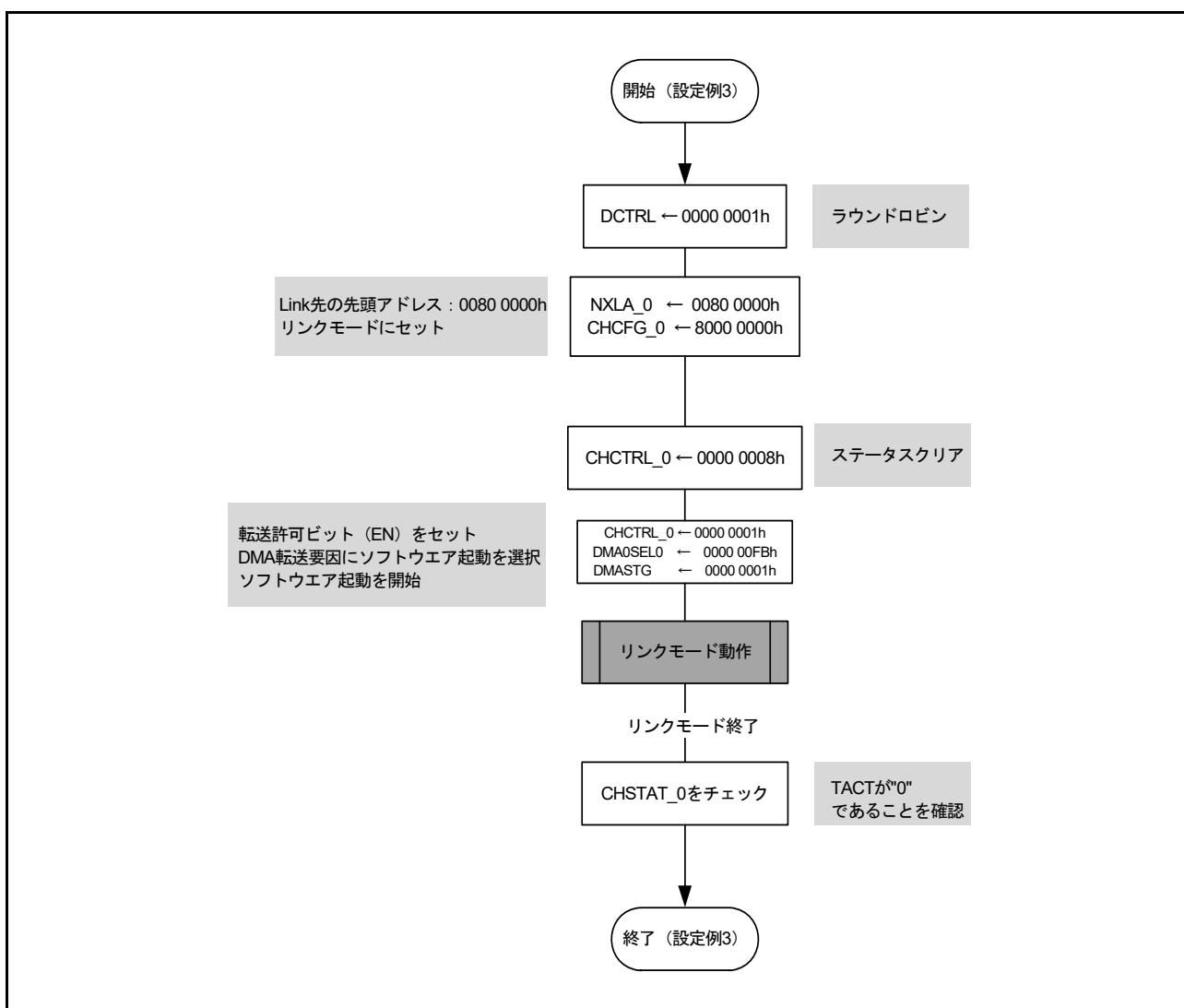


図 14.23 設定例 3

14.5.4 Next レジスタ連続実行設定

レジスタ・モードで2つのNextレジスタ・セットを使用して、DMA転送を継続する場合のフローチャートを示します。一方のNextレジスタのDMA転送を実行中に、もう一方のNextレジスタの設定を行い、DMA転送を継続して実行します。

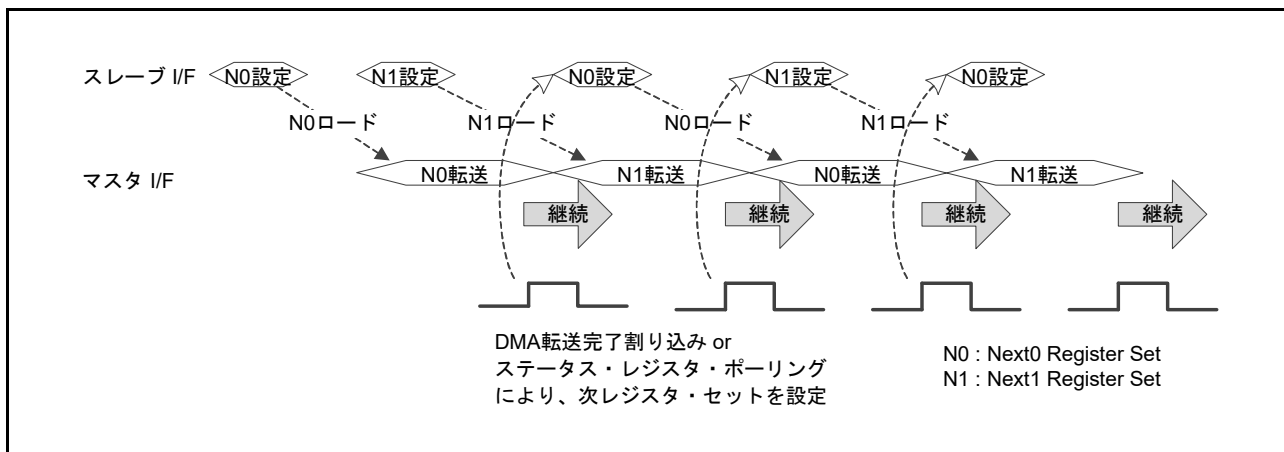


図 14.24 Next レジスタ連続実行イメージ

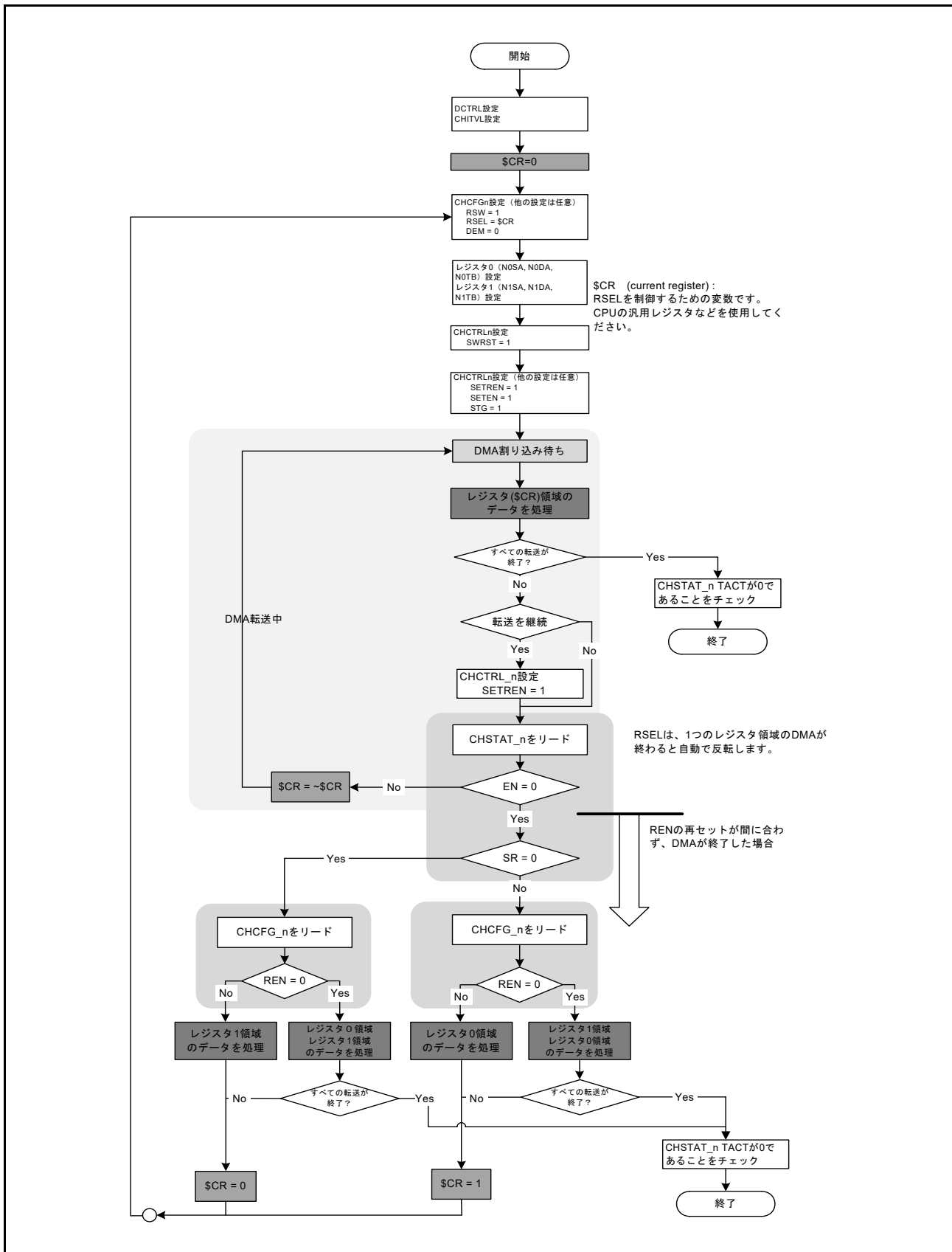


図 14.25 Next レジスタ連続実行の設定例

- 補足

最初に転送するレジスタ・セット (0 (N0SA_n, N0DA_n, N0TB_n レジスタ)、1 (N1SA_n, N1DA_n, N1TB_n レジスタ)) を汎用レジスタなどに保存してください (このレジスタの値を便宜上 \$ CR と呼びます。)

1つのレジスタ・セットのDMA転送が終わる (DMA転送完了割り込みが発生) ごとに、CHCFG_n レジスタのRENビットは自動的に0にクリアされます。続けて実行するには、CHCTR_n レジスタのSETRENビットに1をライトしてください。これによりCHCFG_n レジスタのRENビットもセットされます。

本モードでは2つのNextレジスタを連続して実行しますが、SETRENビットのセットがDMA転送完了 (次のDMA転送完了割り込みが発生) までに行われなかった場合、連続実行は止まります。この場合、CHSTAT_n レジスタのSR、ENビットと、CHCFG_n レジスタのRENビットをリードすることで、どこまで転送ができたかを確認することができます。再開する場合には上記のフローチャートの手順にしたがって実行してください。

14.6 使用上の注意

以下に、本モジュールの注意事項を示します。

- 転送先と転送元の領域が同じ、または一部を共有するような転送を行った場合、データの一貫性を保証することができません。したがって、転送元と転送先アドレス領域が重複する転送は行わないでください。
- DAD = 1 (転送先アドレス固定)、かつ転送先側でスキップ転送を行うことはできません。このような設定で転送を行った場合、動作を保証できません。このような転送は行わないでください。
- SAD = 1 (転送元アドレス固定)、かつ転送元側でスキップ転送を行うことはできません。このような設定で転送を行った場合、動作を保証できません。このような転送は行わないでください。
- 周辺 I/O レジスタ領域の A00E 0000h ~ A010 0000h はアクセスができないため、転送先および転送元に設定した転送を行わないでください。

15. イベントリンクコントローラ (ELC)

15.1 概要

イベントリンクコントローラ (ELC) は、各周辺モジュールが出力するイベントをモジュール間で相互に接続 (リンク) します。イベントリンクにより、CPU を介さず直接モジュール間での連携動作が可能になります。

表 15.1 に ELC の仕様を示します。図 15.1 に ELC のブロック図を示します。

表 15.1 ELCの仕様

項目	内容
イベントリンク機能	<ul style="list-style-type: none"> 16種類のイベント信号を、直接モジュールへリンク可能 タイマ系のモジュールは、イベント入力時の動作の選択が可能 ポートB、ポートEのイベントリンク動作が可能 シングルポート (注1) : 指定した1ビットのポートにイベントリンクの動作設定が可能 ポートグループ (注1) : 8本あるI/Oポート内で、指定した複数ビットをグループ化してイベントリンクの動作設定が可能
消費電力低減機能	モジュールストップ状態への設定が可能

注1. 入力に指定されるシングルポートまたはポートグループでは、接続している信号値の変化によりイベントが発生します。

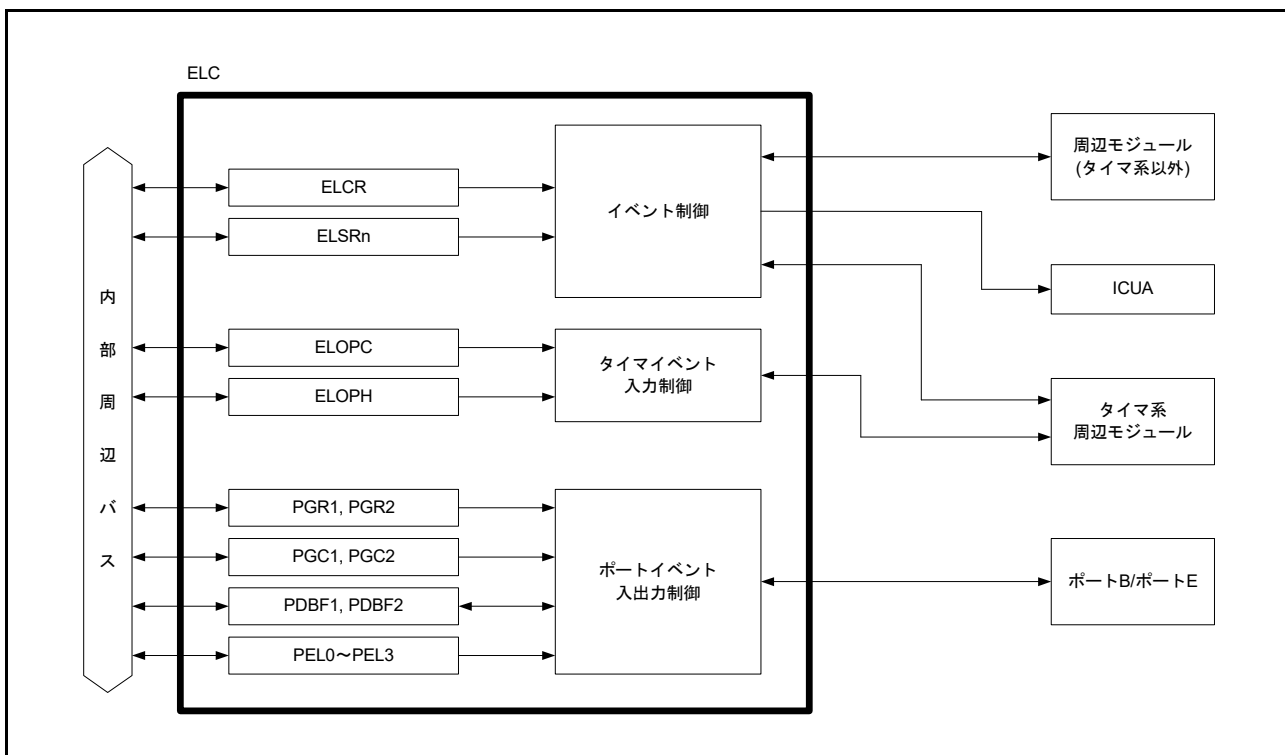


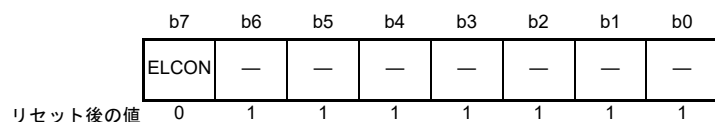
図 15.1 ELC のブロック図 (n = 7、18 ~ 27、33)

15.2 レジスタの説明

15.2.1 イベントリンクコントロールレジスタ (ELCR)

ELCR レジスタは、ELC の動作を制御するレジスタです。

アドレス A008 0B00h

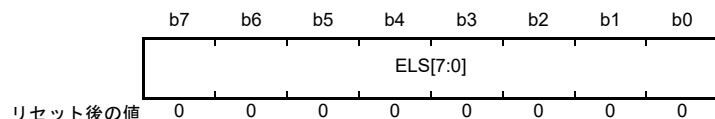


ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	ELCON	全イベントリンク許可ビット	0 : ELC機能は無効 1 : ELC機能は有効	R/W

15.2.2 イベントリンク設定レジスタ n (ELSRn) (n = 7、18 ~ 27、33)

ELSRn レジスタは、周辺モジュールごとに、リンクするイベント信号を指定するレジスタです。ELSRn レジスタと周辺モジュールの対応を表 15.2 に示します。また、ELSRn レジスタに設定するイベント信号の名称と信号番号の対応を表 15.3 に示します。

アドレス ELSR7 A008 0B08h、ELSR18 A008 0B13h、ELSR19 A008 0B14h、ELSR20 A008 0B15h、ELSR21 A008 0B16h、
ELSR22 A008 0B17h、ELSR23 A008 0B18h、ELSR24 A008 0B19h、ELSR25 A008 0B1Ah、ELSR26 A008 0B1Bh、
ELSR27 A008 0B1Ch、ELSR33 A008 0B31h



ビット	シンボル	ビット名	機能	R/W
b7-b0	ELS[7:0]	イベントリンク選択ビット	b7 b0 00000000 : 該当する周辺モジュールへのイベントの出力は無効 00011111 ~ 01111110 : リンクするイベント信号の番号を指定 上記以外は設定しないでください	R/W

表 15.2 ELSRn レジスタと周辺機能の対応

レジスタ名	周辺機能 (モジュール)
ELSR7	CMT1
ELSR18	割り込み1 (ELCIRQ1)
ELSR19	割り込み2 (ELCIRQ2)
ELSR20	出力ポートグループ1
ELSR21	出力ポートグループ2
ELSR22	入力ポートグループ1
ELSR23	入力ポートグループ2
ELSR24	シングルポート0
ELSR25	シングルポート1
ELSR26	シングルポート2
ELSR27	シングルポート3
ELSR33	CMTW0

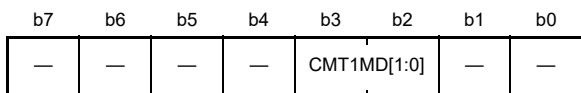
表 15.3 ELSRn.ELSR[7:0]ビットに設定するイベント信号名と信号番号の対応

ELSR[7:0]ビットの値	周辺モジュール	ELSR設定イベント信号
1Fh	コンペアマッチタイマ	CMT1・コンペアマッチ1
23h	EtherCATスレーブコントローラ	ESC・Sync0
24h		ESC・Sync1
52h	シリアルペリフェラルインタフェース	RSPI0・エラー (モードフォルト・オーバラン・パリティエラー)
53h		RSPI0・アイドル
54h		RSPI0・受信データフル
55h		RSPI0・送信データエンプティ
56h		RSPI0・送信完了
63h	I/Oポート	入力ポートグループ1・入力エッジ検出
64h		入力ポートグループ2・入力エッジ検出
65h		シングル入力ポート0・入力エッジ検出
66h		シングル入力ポート1・入力エッジ検出
67h		シングル入力ポート2・入力エッジ検出
68h		シングル入力ポート3・入力エッジ検出
69h	イベントリンクコントローラ	ソフトウェアイベント
7Eh	コンペアマッチタイマW	CMTW・チャンネル0・コンペアマッチ
上記以外は設定しないでください		

15.2.3 イベントリンクオプション設定レジスタ C (ELOPC)

ELOPC レジスタは、CMT1 のイベント入力時の動作を設定するレジスタです。ELC 機能を使用しない場合は、必ずイベント無効に設定してください。

アドレス A008 0B21h



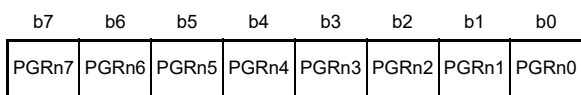
リセット後の値 1 1 1 1 1 1 1 1

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b3-b2	CMT1MD[1:0]	CMT1動作選択ビット	b3 b2 0 0 : カウントスタート 0 1 : カウントクリア 1 0 : イベントカウンタ 1 1 : イベント無効	R/W
b7-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

15.2.4 ポートグループ指定レジスタ n (PGRn) (n = 1, 2)

PGRn レジスタは、入出力ポートのグループ設定をするレジスタです。8本ある I/O ポート内の個々のポート (1 ビット) に対してグループ指定を行います。1 ~ 8 ビットの任意のポートを同一グループに指定できます。表 15.4 に PGRn レジスタとポートの対応を示します。

アドレス PGR1 A008 0B23h、PGR2 A008 0B24h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	PGRn0	ポートグループ指定 n0 ビット	0 : ポートグループ指定しない 1 : ポートグループ指定する	R/W
b1	PGRn1	ポートグループ指定 n1 ビット		R/W
b2	PGRn2	ポートグループ指定 n2 ビット		R/W
b3	PGRn3	ポートグループ指定 n3 ビット		R/W
b4	PGRn4	ポートグループ指定 n4 ビット		R/W
b5	PGRn5	ポートグループ指定 n5 ビット		R/W
b6	PGRn6	ポートグループ指定 n6 ビット		R/W
b7	PGRn7	ポートグループ指定 n7 ビット		R/W

表 15.4 ポートグループ関連レジスタとポート番号の対応

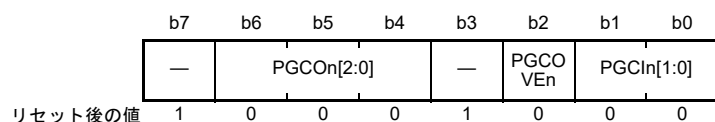
ポート番号	ポートグループ指定レジスタ (PGR)	ポートグループコントロールレジスタ (PGC)	ポートバッファレジスタ (PDBF)
ポートB	PGR1 レジスタ	PGC1 レジスタ	PDBF1 レジスタ
ポートE	PGR2 レジスタ	PGC2 レジスタ	PDBF2 レジスタ

15.2.5 ポートグループコントロールレジスタ n (PGCn) (n = 1、2)

PGCn レジスタは、出力に設定されたポートグループに対して、イベント信号入力時のポートから外部へ出力する信号の出力形式を指定するレジスタです。また、入力ポートグループに対して、PDBF レジスタへの書き込み有効/無効の指定およびイベント発生条件（外部からの入力する信号の変化）を設定します。

PGRn レジスタとポートの対応については、表 15.4 を参照してください。

アドレス PGC1 A008 0B25h、PGC2 A008 0B26h



ビット	シンボル	ビット名	機能	R/W
b1-b0	PGCIn[1:0]	イベント出力エッジ 選択ビット	b1 b0 0 0 : 外部入力信号の立ち上がりエッジを検出して、イベント発生 0 1 : 外部入力信号の立ち下がりエッジを検出して、イベント発生 1 X : 外部入力信号の立ち上がり/立ち下がりの両エッジを検出して、 イベント発生	R/W
b2	PGCOVEn	PDBF書き込み指定 ビット	0 : PDBFnレジスタへの書き込み無効 1 : PDBFnレジスタへの書き込み有効	R/W
b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6-b4	PGCO _n [2:0]	ポートグループ動作 セレクトビット	b6 b4 0 0 0 : イベント入力時、0を出力 0 0 1 : イベント入力時、1を出力 0 1 0 : イベント入力時、トグル（反転）出力 0 1 1 : イベント入力時、バッファ値を出力 1 X X : イベント入力時、グループ内でビットローテート出力 (MSB→LSBへローテート)	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

X : Don't care

15.2.6 ポートバッファレジスタ n (PDBFn) (n = 1, 2)

PDBFn レジスタは、PGRn レジスタと対になる 8 ビットのレジスタです。PDBFn レジスタの動作については、「15.3.4 I/O ポートのイベント入力動作とイベント発生動作」を参照してください。

PGRn レジスタとポートの対応については、表 15.4 を参照してください。

アドレス PDBF1 A008 0B27h、PDBF2 A008 0B28h

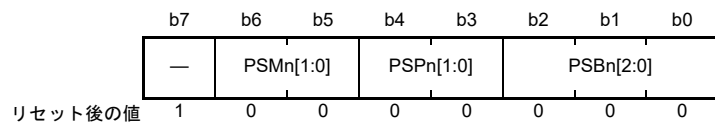
	b7	b6	b5	b4	b3	b2	b1	b0
	PDBFn 7	PDBFn 6	PDBFn 5	PDBFn 4	PDBFn 3	PDBFn 2	PDBFn 1	PDBFn 0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PDBFn0	ポートバッファ n0 ビット	ポートの入出力により以下の動作を行います。 • 出力ポートのとき PDBFn に書き込んだ値を PODR に転送します。 • 入力ポートのとき 外部端子の信号値を PDBFn に転送します。 入力ポートグループに指定したビットへの書き込みは無効になります。 詳細は、「15.3 動作説明」を参照してください	R/W
b1	PDBFn1	ポートバッファ n1 ビット		R/W
b2	PDBFn2	ポートバッファ n2 ビット		R/W
b3	PDBFn3	ポートバッファ n3 ビット		R/W
b4	PDBFn4	ポートバッファ n4 ビット		R/W
b5	PDBFn5	ポートバッファ n5 ビット		R/W
b6	PDBFn6	ポートバッファ n6 ビット		R/W
b7	PDBFn7	ポートバッファ n7 ビット		R/W

15.2.7 イベント接続ポート指定レジスタ n (PELn) (n = 0 ~ 3)

PELn レジスタは、イベントをリンクするシングルポートの指定とイベント入力時の動作、およびイベント発生条件を設定するレジスタです。本 LSI では、ポート B、E の内、いずれかのビットに対して、全 4 つのシングルポートを設定できます。

アドレス PEL0 A008 0B29h、PEL1 A008 0B2Ah、PEL2 A008 0B2Bh、PEL3 A008 0B2Ch



ビット	シンボル	ビット名	機能	R/W
b2-b0	PSBn[2:0]	ビット番号指定ビット	8本あるI/Oポートのビット番号を指定	R/W
b4-b3	PSPn[1:0]	ポート番号指定ビット	b4 b3 0 0 : 設定しないでください 0 1 : ポートB (PGR1レジスタに対応) 1 0 : ポートE (PGR2レジスタに対応) 1 1 : 設定しないでください	R/W
b6-b5	PSMn[1:0]	イベントリンク指定ビット	<ul style="list-style-type: none"> ポート出力設定時：ポート出力データを指定 b6 b5 0 0 : イベント入力時、0を出力 0 1 : イベント入力時、1を出力 1 X : イベント入力時、トグル（反転）出力 <ul style="list-style-type: none"> ポート入力設定時：イベント出力エッジ選択 b6 b5 0 0 : 立ち上がりエッジを検出して、イベント出力 0 1 : 立ち下がりエッジを検出して、イベント出力 1 X : 立ち上がり／立ち下がりの両エッジを検出して、イベント出力	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

X : Don't care

15.2.8 イベントリンクソフトウェアイベント発生レジスタ (ELSEGR)

ELSEGR レジスタは、ソフトウェアによるイベント発生を制御するレジスタです。

アドレス A008 0B2Dh

b7	b6	b5	b4	b3	b2	b1	b0
WI	WE	—	—	—	—	—	SEG

リセット後の値 1 0 1 1 1 1 1 0

ビット	シンボル	ビット名	機能	R/W
b0	SEG	ソフトウェアイベント発生ビット	0 : 通常動作 1 : ソフトウェアイベント発生	W
b5-b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6	WE	SEGビット書き込み許可ビット	0 : SEGビットへの書き込み禁止 1 : SEGビットへの書き込み許可	R/W
b7	WI	ELSEGRレジスタ書き込み禁止ビット	0 : ELSEGRレジスタへの書き込み許可 1 : ELSEGRレジスタへの書き込み禁止	W

SEG ビット (ソフトウェアイベント発生ビット)

WE ビットが“1”の状態、本ビットに“1”を書き込むとソフトウェアイベントが発生します。本ビットは読むと“0”が読み出されます。“1”を書き込んでもデータは格納されません。

WE ビット (SEG ビット書き込み許可ビット)

WE ビットが“1”のときのみ、SEG ビットに対する書き込みが可能になります。

[“1”になる条件]

WI ビットに“0”、WE ビットに“1”を書き込んだとき

[“0”になる条件]

WI ビットに“0”、WE ビットに“0”を書き込んだとき

WI ビット (ELSEGR レジスタ書き込み禁止ビット)

WI ビットの書き込み値が“0”のときのみ、ELSEGR レジスタに対する書き込みが可能になります。読むと“1”が読み出されます。

注 1. WI ビットと WE ビットを同時に設定した時のみ、WE ビットを更新可能です。

同様に、SEG ビットを更新する際も、WI ビットを同時に設定する必要があります。

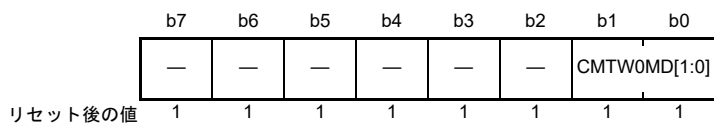
(事前に WI ビットと WE ビットを同時に設定し、WE = 1 に設定してから、WI ビットと SEG ビットを設定します。SEG 設定時に WE = 1 であれば WE ビットは 1 を保持します。)

ただし、WI = 1, WE = 0, SEG = 0 の時に、3bit を同時設定してもソフトウェアトリガは出力されません。この 3bit を同時に設定した後であれば、WE = 1 になるため、再度、3bit を同時に設定することでソフトウェアトリガが出力されます。)

15.2.9 イベントリンクオプション設定レジスタ H (ELOPH)

ELOPH レジスタは、CMTW のチャンネル 0 のイベント入力時の動作を設定するレジスタです。
ELC 機能を使用しない場合は、必ずイベント無効に設定してください。

アドレス A008 0B41h



ビット	シンボル	ビット名	機能	R/W
b1-b0	CMTW0MD[1:0]	CMTW0 動作選択ビット	b1 b0 0 0 : カウントスタート 0 1 : カウントクリア 1 0 : イベントカウンタ 1 1 : イベント無効	R/W
b7-b2	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

15.3 動作説明

15.3.1 割り込み処理とイベントリンクの関係

本 LSI に内蔵しているモジュールには、割り込み要求ステータスフラグと、これらの割り込みの許可/禁止を制御する許可ビットがあります。各モジュールで割り込み要求が発生すると、割り込み要求ステータスフラグがセットされ、当該割り込み要求が許可のとき、CPU に対して割り込みを要求します。

これに対して、ELC は、ESC を除く各周辺モジュールで発生する割り込み要求をイベント信号とし、モジュール間を相互に接続 (リンク) することにより、CPU を介さず直接モジュール間で連携動作ができます。イベント信号は、該当する割り込み要求許可ビットの設定に関係なく出力することができます。ESC は割り込み信号をイベント信号として使用するため、割り込み制御を許可することが必要です。図 15.2 に割り込み処理と ELC の関係を示します。

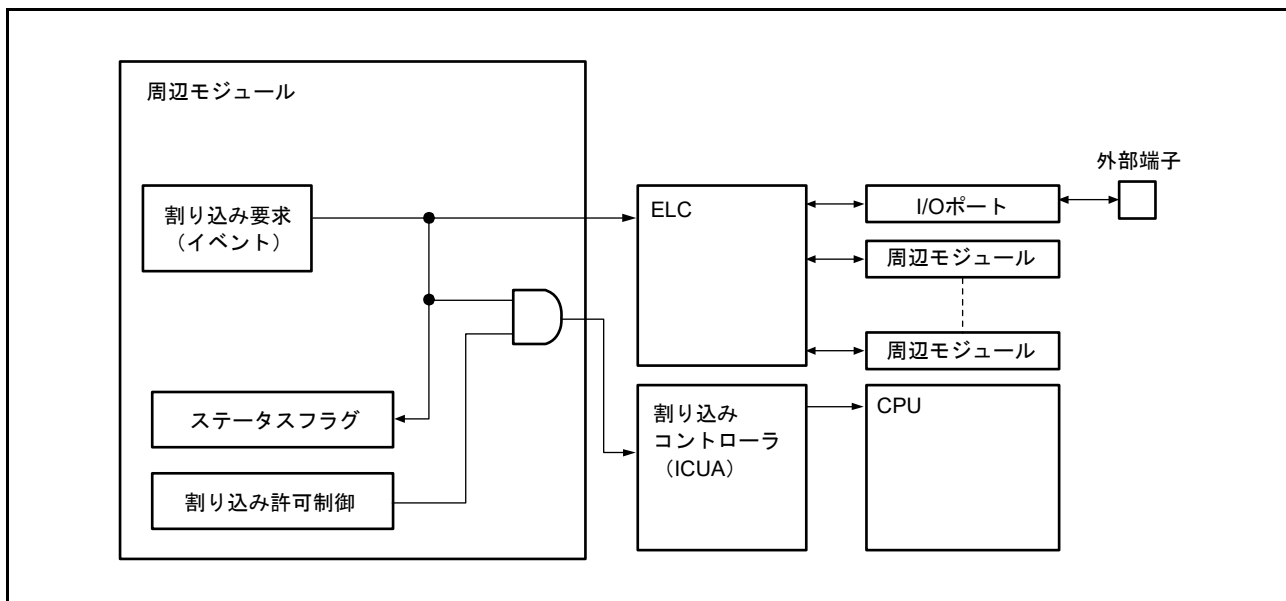


図 15.2 割り込み処理と ELC の関係 (ESC は除く)

15.3.2 イベントのリンク

イベントリンク先のモジュールの ELSRn レジスタにイベントを設定してください。設定したイベントが発生した場合、イベントリンク先のモジュールが ELOPm レジスタ (m = C、H) に設定した動作を行います。1つのモジュールに対して1種類のイベントのみリンクできます。詳細な動作設定手順は「15.3.5 イベントリンクの動作設定手順例」を参照してください。表 15.5 にイベントを入力したときのモジュール別動作一覧を示します。

表 15.5 イベント入力時のモジュール別動作一覧

モジュール	イベント入力時の動作	
CMT、CMTW	ELOPmレジスタ (m = C、H) により以下の動作となります <ul style="list-style-type: none"> • イベント信号入力により、カウントスタート • イベント信号入力により、カウントクリア (タイマのスタートビットが“1”のとき、カウントリスタート動作が可能) • 入力したイベント数をカウント 	
I/Oポート (出力)	ポートグループ	<ul style="list-style-type: none"> • PODRレジスタの値がPGCnレジスタで指定した値に変化 • PDBFnレジスタの値をPODRレジスタに転送 • ビットローテート出力
	シングルポート	PODRレジスタの値がPELnレジスタで指定した値に変化
I/Oポート (入力)	ポートグループ	外部端子の信号値をPDBFnレジスタに転送
	シングルポート	イベントの接続はできません
割り込み制御	CPUへ割り込み要求、DMACAaデータ転送開始	

15.3.3 タイマ系周辺機能のイベント入力時の動作

ELOPm レジスタ (m=C、H) によりイベント入力時の動作を設定します。

(1) カウントスタート動作

イベント入力により、タイマのカウントをスタートし、各タイマの制御レジスタのカウントスタートビット (注1) が“1”にセットされます。カウントスタートビットが“1”の状態を入力されたイベントは、無効です。

(2) カウントクリア動作

イベント入力により、タイマのカウントを初期化します。このとき各タイマの制御レジスタのカウントスタートビット (注1) が“1”にセットされていると、カウント動作を継続しカウントリスタート動作をすることができます。

(3) イベントカウンタ動作

タイマのクロックソースとして、イベント入力を選択されタイマが動作します。

注1. 各タイマ系周辺機能章にあるタイマスタートに関するレジスタの説明を参照してください。

15.3.4 I/O ポートのイベント入力動作とイベント発生動作

I/O ポートは、イベント入力による動作の設定とイベントを発生させる動作の設定ができます。

(1) シングルポートとポートグループ

I/O ポートへのイベントリンクは、8本ある I/O ポートへのイベントリンク (シングルポートへのイベントリンク) と、8本ある I/O ポート内の任意の複数ビットをまとめたグループへのイベントリンク (ポートグループへのイベントリンク) ができます。

シングルポートは、イベント接続が可能な I/O ポート (注1) 内の任意のビットを PEIn レジスタで指定します。ポートグループは、イベント接続が可能な I/O ポート (注1) の任意のビット (1ビット以上) を PGRn レジスタで指定します。また、グループ指定として、同一 I/O ポート内で入力ポートグループと出力ポートグループ、それぞれ1つのグループが設定できます。

当該ビットにシングルポートとポートグループの両方の指定があるとき、入力ポートは、両方の機能が有効となり、出力ポートの場合は、ポートグループの機能のみが有効となります。

I/O ポートの入力、出力は、PDR レジスタにより設定してください。

注1. ポートB、ポートEです。

(2) シングル入力ポートでのイベント発生動作

PDR レジスタで入力に設定されているシングルポートは当該ポートに接続している外部端子（外部ピン）の信号値の変化により、イベントを発生します。イベント発生条件は、PELn レジスタで設定します。図 15.3(1) にシングル入力ポートのイベントリンク動作を示します。

(3) シングル出力ポートのイベント入力動作

PDR レジスタで出力に設定されているシングルポートにイベントが入力されると、PELn レジスタの設定により、当該ポートに接続している外部端子（外部ピン）の信号が変化します。これにより、当該ポートに接続している外部端子（外部ピン）の信号値が変化します。図 15.3(2) にシングル出力ポートのイベントリンク動作を示します。

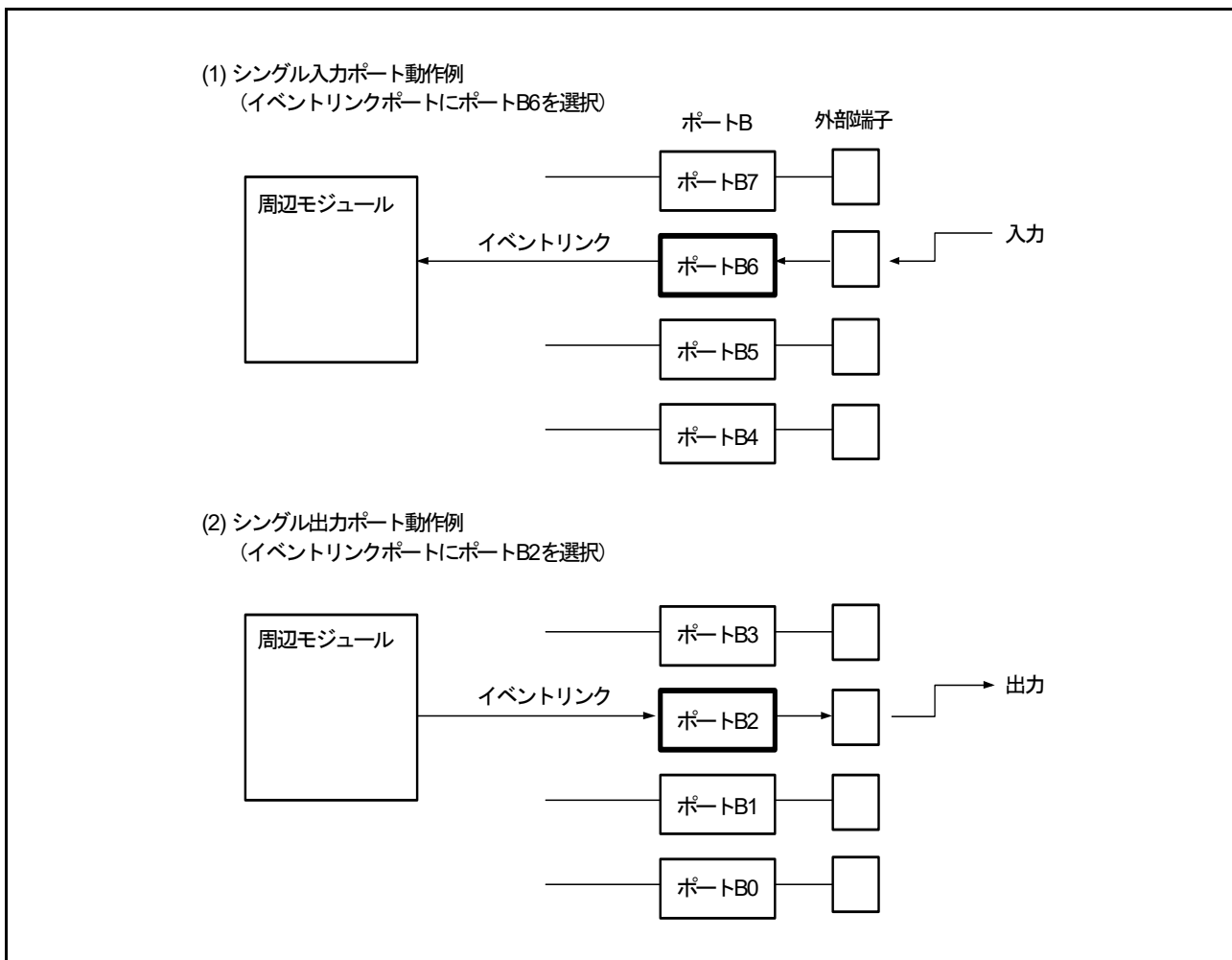


図 15.3 シングルポートのイベントリンク動作（ポート B の場合）

(4) 入力ポートグループのイベント発生動作

PDR レジスタで入力に設定されているポートグループは当該ポートに接続しているいずれかの外部端子 (外部ピン) の信号値の変化により、イベントを発生します。イベント発生条件は $PGCn.PGCIn$ ビットで、設定します。

(5) 入力ポートグループのイベント入力動作

入力ポートグループにイベントが入力されると、イベント入力時の外部端子の信号値が $PDBFn$ レジスタに転送されます。入力ポートグループに指定されたビットのみ転送されます。この状態で、再度入力ポートグループにイベントが入力されると、 $PGCn.PGCOVE_n$ ビットの設定により以下の動作となります。図 15.4 に入力ポートグループのイベント入力時の動作を示します。

- $PGCn.PGCOVE_n = 0$ (上書き無効) のとき
 前回のイベント入力により $PDBFn$ レジスタに転送された値が CPU によりリードされているとき、外部端子の信号値が $PDBFn$ レジスタに転送されます。リードされていないときは外部端子の信号値は $PDBFn$ レジスタに転送されず、入力したイベントは無効になります。
- $PGCn.PGCOVE_n = 1$ (上書き有効) のとき
 入力ポートグループにイベントが入力されると、外部端子の信号値が $PDBFn$ レジスタに転送されます。

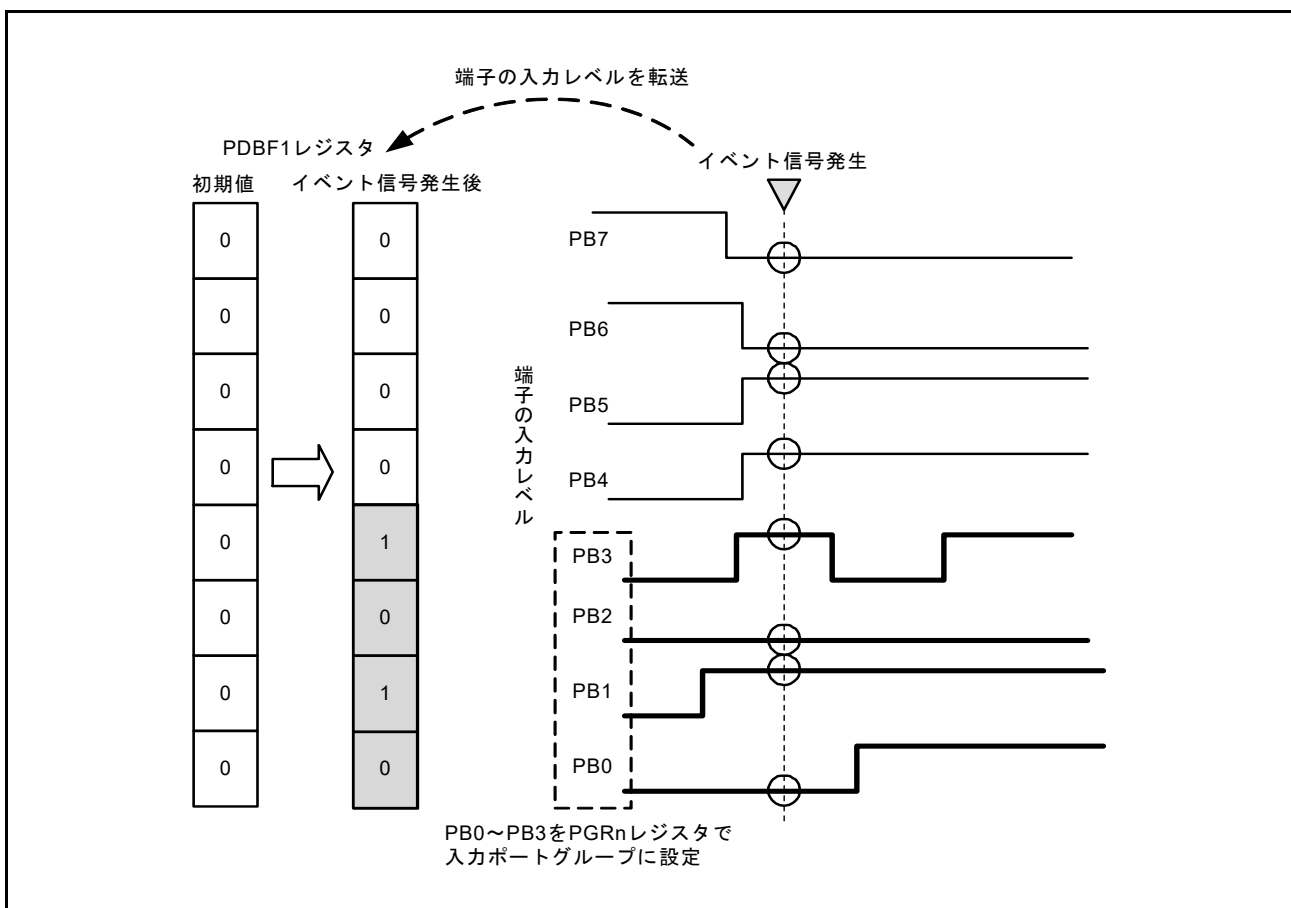


図 15.4 入力ポートグループのイベント入力時の動作 (ポート B の場合)

(6) 出力ポートグループのイベント入力動作

イベント入力時の端子出力は PGCn.PGCO_n ビットの設定により、以下のような動作となります。

- PGCn.PGCO_n ビットが 000b、001b、010b のとき
出力ポートグループにイベントが入力されると、PODR レジスタの値が PGCn レジスタで設定された値に変化します。
- PGCn.PGCO_n ビットが 011b のとき
出力ポートグループにイベントが入力されると、PDBFn レジスタの値が PGRn レジスタに設定されているポートの PODR レジスタに転送されます。図 15.5 に出力ポートグループのイベント入力時の動作を示します (PGCn.PGCO_n = 011b のとき)。
- PGCn.PGCO_n ビットが 1XXb のとき
出力ポートグループにイベントが入力されたとき、PDBFn レジスタの値が PGRn レジスタに設定されているポートの PODR レジスタに転送され、当該グループ内で PODR レジスタ値が MSB → LSB にローテートしながら出力します。動作を開始する前に、ポートに出力する初期値を PDBFn レジスタに設定してください。図 15.6 に出力ポートグループのイベント入力時のビットローテート動作を示します (PGCn.PGCO_n = 1XXb のとき)。

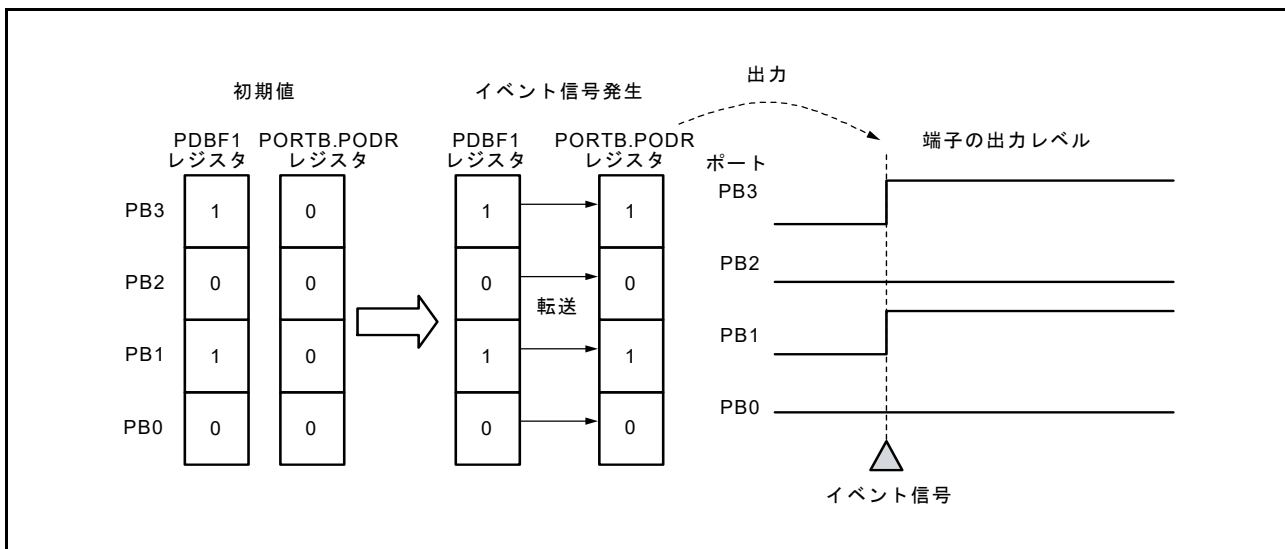


図 15.5 出力ポートグループのイベントリンク動作 (ポート B の場合)

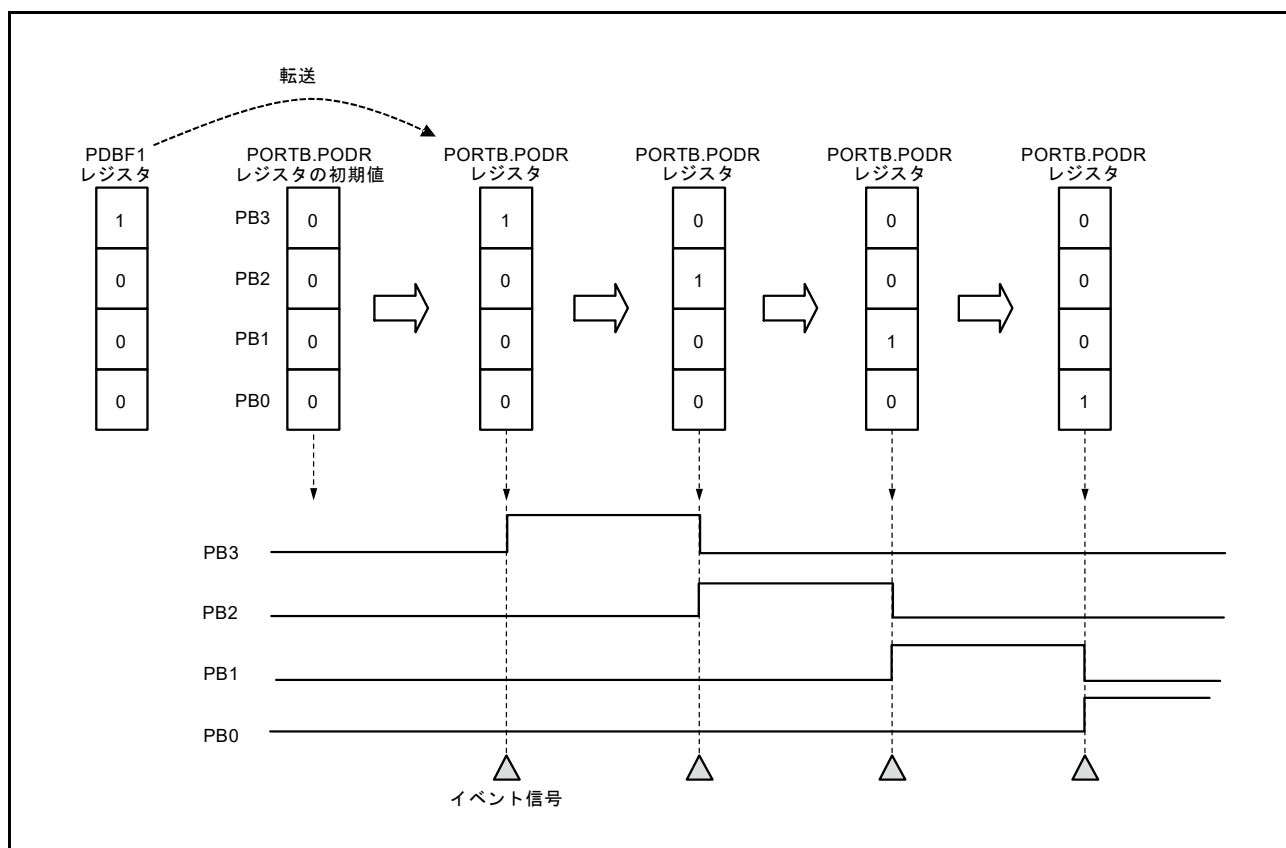


図 15.6 出力ポートグループのビットローテート出力の動作（ポート B の場合）

(7) PODR レジスタ、PDBFn レジスタへの CPU での書き込み制限

I/O ポートでイベントリンクするとき、CPU による PODR レジスタまたは PDBFn レジスタへの書き込みに以下のような制限があります。

- 入力ポートグループに指定すると、PDBFn レジスタの当該ビットへの書き込みは無効になります。
- 出力ポートグループに指定すると、PODR レジスタの当該ビットへの書き込みは無効になります。
- シングル出力ポートに指定されているとき、当該ポートへイベント接続設定 (ELSRn レジスタの設定) をすると、PODR レジスタの当該ビットへの書き込みは無効になります。

15.3.5 イベントリンクの動作設定手順例

イベントリンク動作手順を以下に示します。

1. イベントをリンクするモジュールの初期設定をします。
2. ポートに対してイベントリンクを設定するときは、対応するポートの以下のレジスタを設定します。

- I/O ポートの設定

PODR レジスタ :出力に設定したポートの初期値を設定します。

PDR レジスタ :ポートの入力または出力を設定します。

- ELC の設定

PGRn レジスタ :ポートグループとして動作させるときに、グループ化の対象となるポート (ビット単位) を設定します。

PGCn レジスタ :ポートグループとして動作させるときの動作を設定します。

PELn レジスタ :シングルポートとして動作させるときの対象とするポートとイベント入力の動作およびイベント発生条件の設定をします。

備考 : PDBFn レジスタの設定について

- ①出力ポートグループの場合

PGCn レジスタの設定後に PDBFn レジスタを設定してください。

PODR レジスタの値を変更したいイベントトリガの前であれば、PGCn レジスタの前に設定しても構いません。

- ②入力ポートグループの場合

PDBFn レジスタの設定は不要です。ただし、リセット後の値 = 0x00 のため、イベント入力で H → L の変化を PDBFn レジスタで確認する場合は、確認したいポートの PDBFn ビットを 1 に設定してください。

3. イベントをリンクするモジュールの ELSRn レジスタに、リンクするイベント信号の番号を設定します。
4. イベントをリンクするモジュールがタイマ系の周辺機能のときは、必要に応じて対応する ELOPm レジスタ (m = C, H) を設定します。
5. ELCR.ELCON ビットを“1”にします。これによりイベントリンクが設定されている全モジュールのイベントリンク動作が有効になります。
6. イベント出力元のモジュールの初期設定を行い、起動させます。モジュールから出力されるイベントにより、イベントリンク先のモジュールが事前に設定した動作を開始します。
7. モジュール単位でイベントリンク動作を停止するときは、対応する ELSRn.ELS[7:0] ビットに“0000 0000b”を設定してください。また ELCR.ELCON ビットを“0”にすることにより、全モジュールのイベントリンク動作が停止します。

15.4 使用上の注意事項

15.4.1 ELSR18、ELSR19 レジスタの設定について

割り込みコントローラにイベントリンクする場合、ELSR18、ELSR19 レジスタに設定するイベント信号は 63h ~ 7Eh の中から指定してください。それ以外の値は、設定禁止です。

15.4.2 出力ポートグループのビットローテート動作の設定について

出力ポートグループのビットローテート動作モードで、PDBFn レジスタの値を変更する場合、PDBFn レジスタを変更した後、ELSRn レジスタを再度設定してください。

15.4.3 クロック設定について

イベントリンクを使用するには ELC の設定の他に ELC と対象モジュールを動作可能状態にしておく必要があります。対象のモジュールがモジュールストップ状態の場合や低消費電力状態の中でモジュールが停止状態となるモード（全モジュールストップモード）の場合では動作できません。

15.4.4 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、ELC の動作を禁止/許可することが可能です。初期値では、ELC の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「9. 消費電力低減機能」を参照してください。

16. I/Oポート

16.1 概要

I/Oポートは、汎用入出力ポートと周辺機能の入出力、または割り込み入力端子として機能します。

各ポートは、周辺モジュールの入出力端子や、割り込み入力端子と兼用となっています。リセット直後は不使用（Hi-Z入力保護）になっていますが、レジスタの設定により機能を切り替えることができます。各ポートの設定は、I/Oポートのレジスタ、および内蔵周辺モジュールのレジスタの設定によって決まります。

各ポートは、不使用/入力/出力を指定するポート方向レジスタ（PDR）、出力データを格納するポート出力データレジスタ（PODR）、端子の状態を反映するポート入力データレジスタ（PIDR）、入力プルアップ/プルダウン抵抗の有効/無効を制御するプルアップ/プルダウン制御レジスタ（PCR）、機能端子を指定するポートモードレジスタ（PMR）を備えています。PMRレジスタの詳細については、「17. マルチファンクションピンコントローラ（MPC）」を参照してください。

表 16.1 に I/Oポートの仕様を、表 16.2 に I/Oポートの機能を示します。

表 16.1 I/Oポートの仕様

ポート シンボル	パッケージ	
	196ピン	本数
PORT0	P00	1
PORT1	P10, P12, P16, P17	4
PORT2	P20~P23, P25~P27	7
PORT3	P33~P35	3
PORT4	P40, P42, P44	3
PORT5	P50~P54, P56	6
PORT6	P60~P66	7
PORT7	P70~P77	8
PORT8	P80~P87	8
PORT9	P90~P97	8
PORTA	PA0~PA7	8
PORTB	PB0~PB7	8
PORTC	PC0~PC7	8
PORTD	PD5~PD7	3
PORTE	PE0~PE7	8
PORTF	PF5~PF7	3
PORTG	PG2~PG6	5
PORTJ	PJ0~PJ7	8
PORTM	PM1~PM7	7
PORTR	PR1	1
PORTS	PS0~PS7	8
PORTU	PU7	1
	ポートの合計数	123

表 16.2 I/Oポートの機能

ポートシンボル	ポート	入力プルアップ/ プルダウン機能	5Vトレラント	シュミット入力
PORT0	P00	○	—	—
PORT1	P10, P12, P16, P17	○	—	○
PORT2	P20 ~ P23, P25 ~ P27	○	—	○
PORT3	P33, P35	○	—	○
	P34	○	—	—
PORT4	P40, P42, P44	○	—	○
PORT5	P50 ~ P54, P56	○	—	○
PORT6	P60 ~ P66	○	—	○
PORT7	P70 ~ P77	○	—	—
PORT8	P80 ~ P87	○	—	○
PORT9	P90 ~ P97	○	—	○
PORTA	PA0 ~ PA7	○	—	—
PORTB	PB0 ~ PB7	○	—	○
PORTC	PC0 ~ PC7	—	○	○
PORTD	PD5 ~ PD7	○	—	○
PORTE	PE0 ~ PE7	○	—	—
PORTF	PF5 ~ PF7	○	—	○
PORTG	PG2 ~ PG6	○	—	○
PORTJ	PJ0 ~ PJ7	○	—	○
PORTM	PM1 ~ PM7	○	—	○
PORTR	PR1	○	—	○
PORTS	PS0 ~ PS7	○	—	○
PORTU	PU7	○	—	○

入力プルアップ/プルダウン機能、駆動能力切り替え機能は、汎用入出力ポートと端子を共有している他の信号に対しても有効です。

16.2 入出力ポートの構成

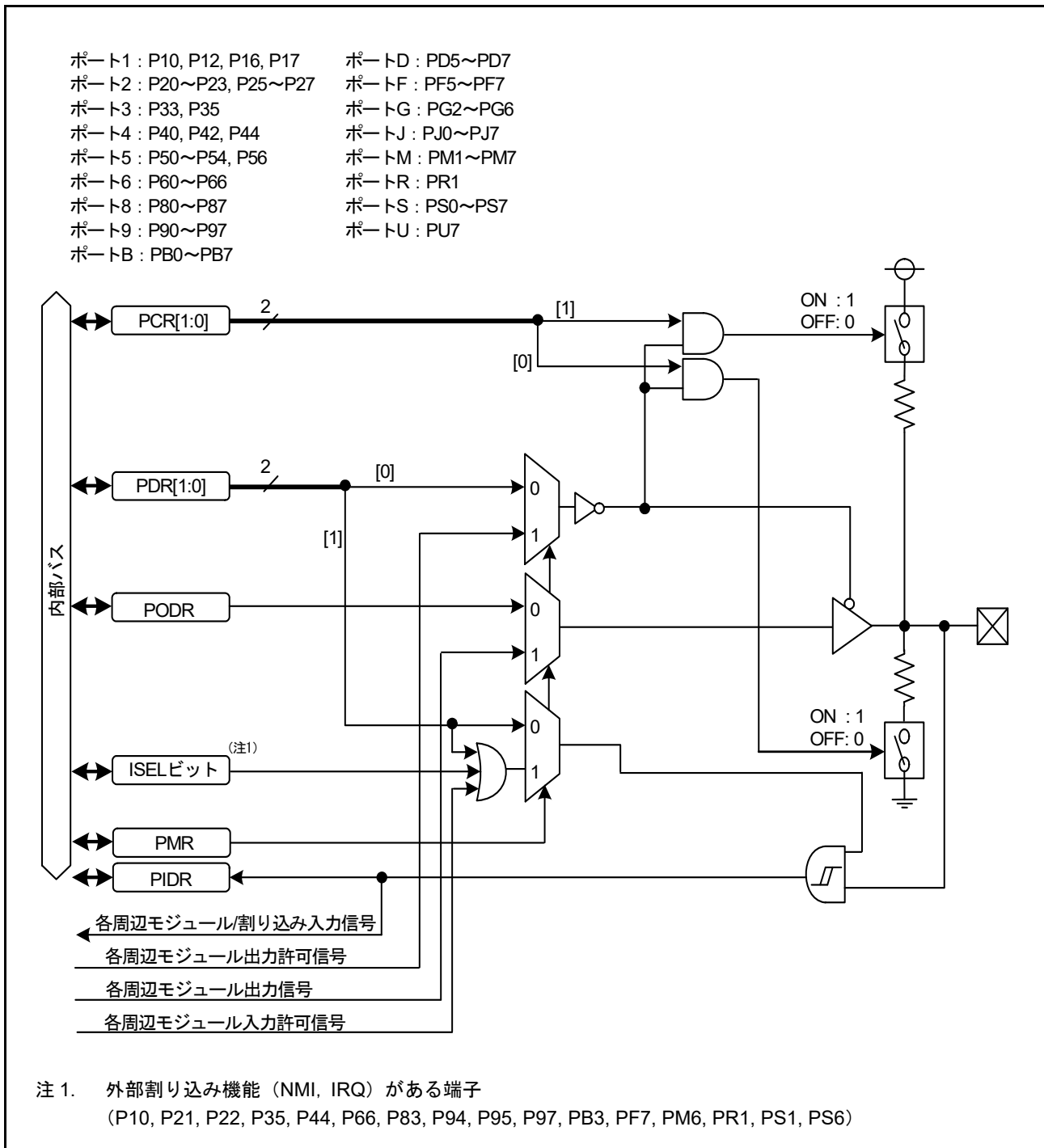


図 16.1 入出力ポートの構成 (1)

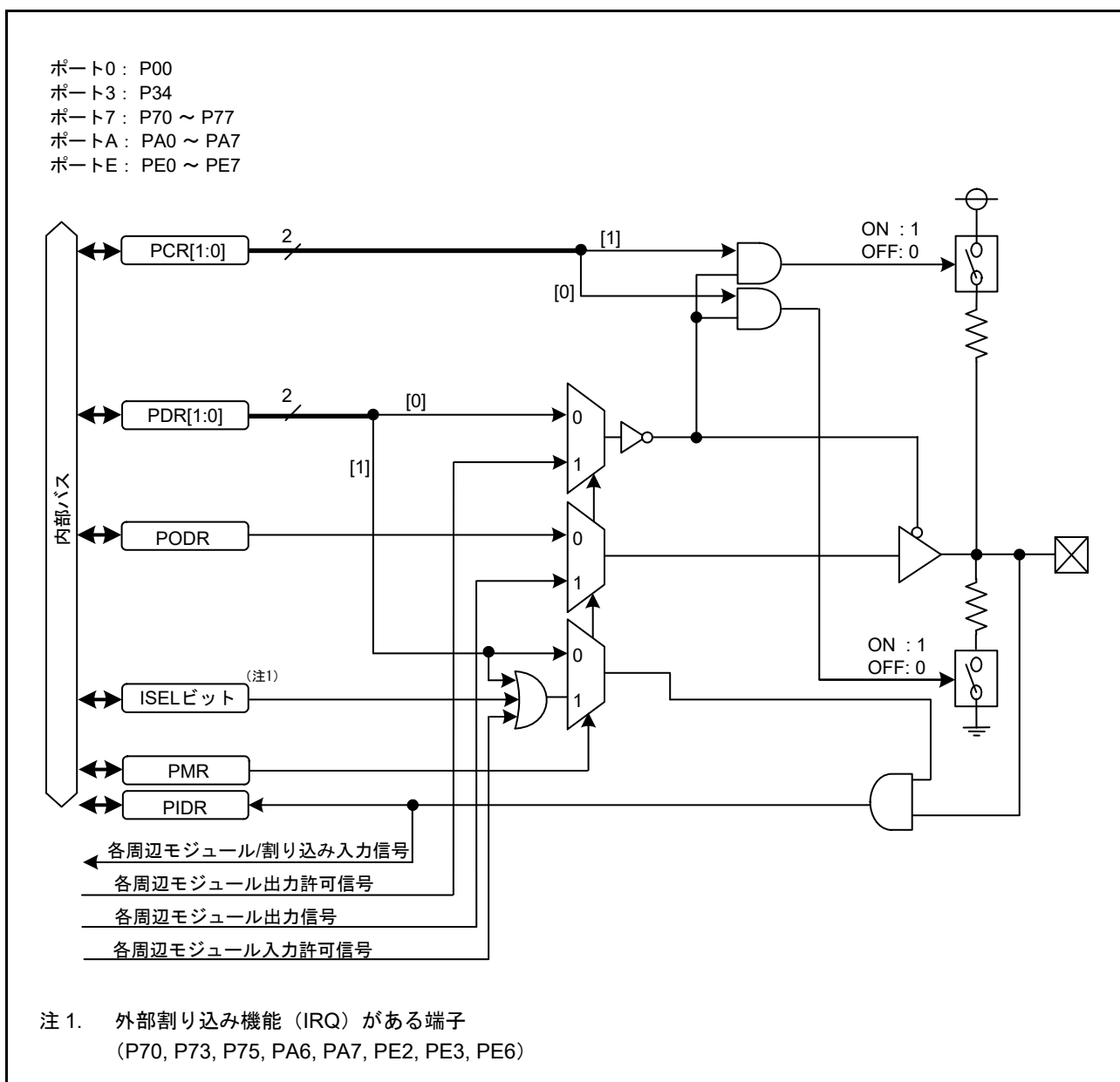


図 16.2 入出力ポートの構成 (2)

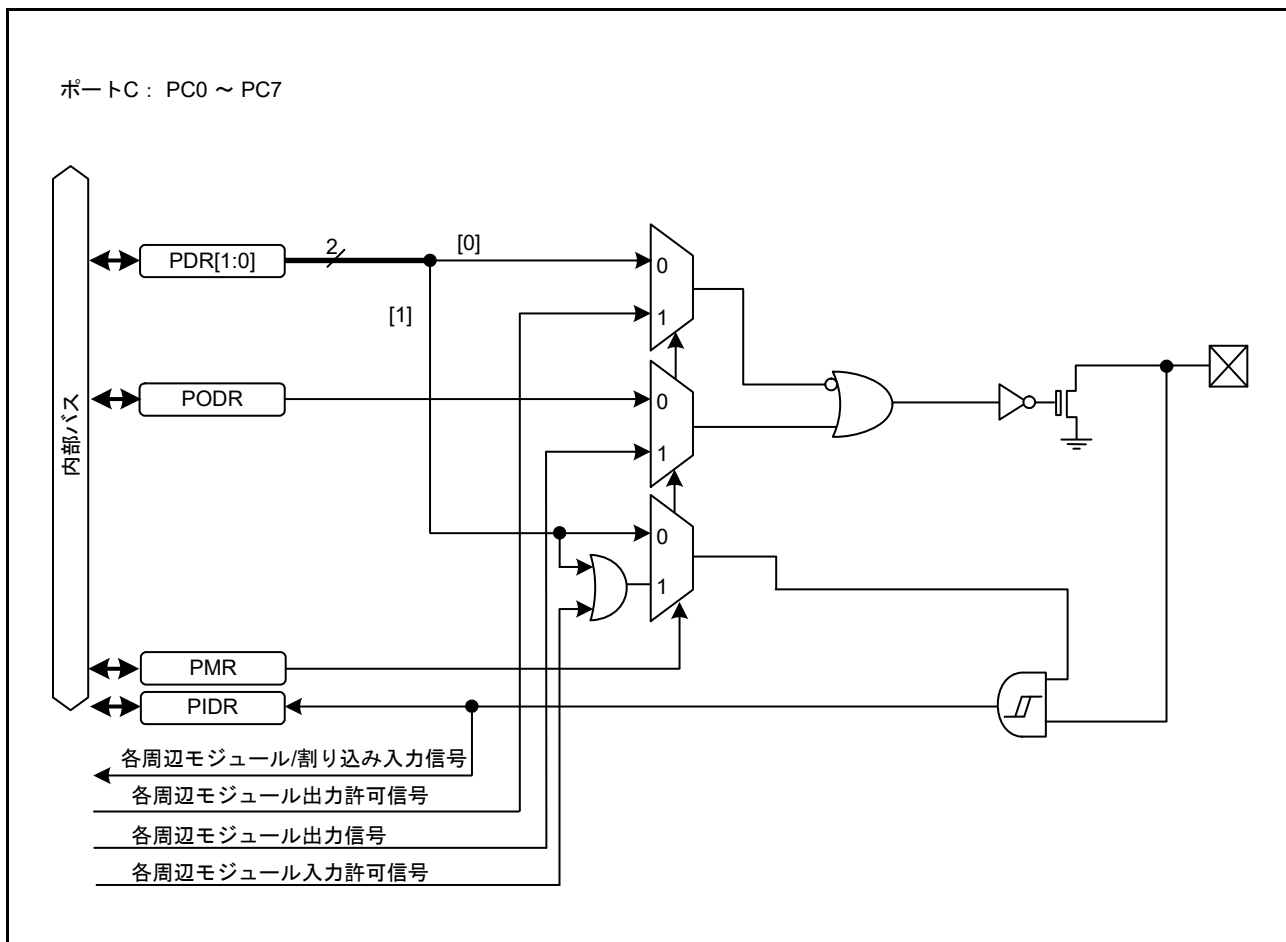


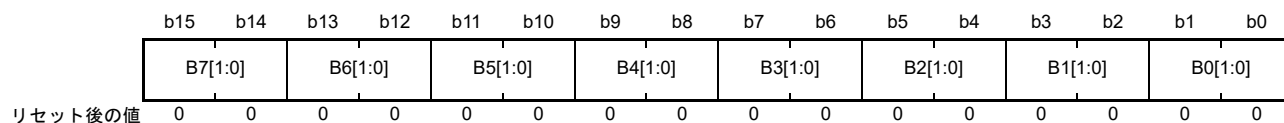
図 16.3 入出力ポートの構成 (3)

16.3 レジスタの説明

16.3.1 ポート方向レジスタ (PDR)

PDR レジスタは、汎用入出力ポートの機能が選択されているとき、ポートの不使用/入力/出力（入力許可）を指定するレジスタです。“00”（不使用）を設定した場合、入力 Hi-Z 状態から本 LSI を保護することができます。

アドレス PORT0.PDR A000 0000h, PORT1.PDR A000 0002h, PORT2.PDR A000 0004h, PORT3.PDR A000 0006h, PORT4.PDR A000 0008h, PORT5.PDR A000 000Ah, PORT6.PDR A000 000Ch, PORT7.PDR A000 000Eh, PORT8.PDR A000 0010h, PORT9.PDR A000 0012h, PORTA.PDR A000 0014h, PORTB.PDR A000 0016h, PORTC.PDR A000 0018h, PORTD.PDR A000 001Ah, PORTE.PDR A000 001Ch, PORTF.PDR A000 001Eh, PORTG.PDR A000 0020h, PORTJ.PDR A000 0024h, PORTM.PDR A000 002Ah, PORTR.PDR A000 0030h, PORTS.PDR A000 0032h, PORTU.PDR A000 0036h



ビット	シンボル	ビット名	機能	R/W
b1-b0	B0[1:0]	Pm0方向制御ビット	奇数b 偶数b 0 0 : 不使用 (Hi-Z入力保護) 0 1 : 設定禁止 1 0 : 入力 (入力ポートとして機能) 1 1 : 出力 (出力ポートとして機能 (ポートリード可能))	R/W
b3-b2	B1[1:0]	Pm1方向制御ビット		R/W
b5-b4	B2[1:0]	Pm2方向制御ビット		R/W
b7-b6	B3[1:0]	Pm3方向制御ビット		R/W
b9-b8	B4[1:0]	Pm4方向制御ビット		R/W
b11-b10	B5[1:0]	Pm5方向制御ビット		R/W
b13-b12	B6[1:0]	Pm6方向制御ビット		R/W
b15-b14	B7[1:0]	Pm7方向制御ビット		R/W

m = 0 ~ 9, A ~ G, J, M, R, S, U

PORTm.PDR レジスタの各ビットは、それぞれポート m の各端子に対応しており、2 ビット単位で指定できます。

PC0 ~ PC7 端子は入力専用のため、PORTC.PDR.Bn (n = 0 ~ 7) ビットには“00”（不使用）または“10”（入力）を書き込んでください。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書き込む場合は、必ず“0”を書き込んでください。

16.3.2 ポート出力データレジスタ (PODR)

PODR レジスタは、汎用出力ポートとして使用する端子の出力データを格納するレジスタです。

アドレス PORT0.PODR A000 0040h、PORT1.PODR A000 0041h、PORT2.PODR A000 0042h、PORT3.PODR A000 0043h、PORT4.PODR A000 0044h、PORT5.PODR A000 0045h、PORT6.PODR A000 0046h、PORT7.PODR A000 0047h、PORT8.PODR A000 0048h、PORT9.PODR A000 0049h、PORTA.PODR A000 004Ah、PORTB.PODR A000 004Bh、PORTC.PODR A000 004Ch、PORTD.PODR A000 004Dh、PORTE.PODR A000 004Eh、PORTF.PODR A000 004Fh、PORTG.PODR A000 0050h、PORTJ.PODR A000 0052h、PORTM.PODR A000 0055h、PORTR.PODR A000 0058h、PORTS.PODR A000 0059h、PORTU.PODR A000 005Bh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0出力データ格納ビット	0 : Low出力 1 : High出力	R/W
b1	B1	Pm1出力データ格納ビット		R/W
b2	B2	Pm2出力データ格納ビット		R/W
b3	B3	Pm3出力データ格納ビット		R/W
b4	B4	Pm4出力データ格納ビット		R/W
b5	B5	Pm5出力データ格納ビット		R/W
b6	B6	Pm6出力データ格納ビット		R/W
b7	B7	Pm7出力データ格納ビット		R/W

m = 0 ~ 9、A ~ G、J、M、R、S、U

PC0 ~ PC7 端子は入力専用のため、PORTC.PODR.Bn (n = 0 ~ 7) ビットは予約ビットです。存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書き込む場合は、必ず“0”を書き込んでください。

16.3.3 ポート入力データレジスタ (PIDR)

PIDR レジスタは、入力ポート端子の状態を反映するレジスタです。

アドレス PORT0.PIDR A000 0060h、PORT1.PIDR A000 0061h、PORT2.PIDR A000 0062h、PORT3.PIDR A000 0063h、PORT4.PIDR A000 0064h、PORT5.PIDR A000 0065h、PORT6.PIDR A000 0066h、PORT7.PIDR A000 0067h、PORT8.PIDR A000 0068h、PORT9.PIDR A000 0069h、PORTA.PIDR A000 006Ah、PORTB.PIDR A000 006Bh、PORTC.PIDR A000 006Ch、PORTD.PIDR A000 006Dh、PORTE.PIDR A000 006Eh、PORTF.PIDR A000 006Fh、PORTG.PIDR A000 0070h、PORTJ.PIDR A000 0072h、PORTM.PIDR A000 0075h、PORTR.PIDR A000 0078h、PORTS.PIDR A000 0079h、PORTU.PIDR A000 007Bh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 x x x x x x x x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0 ビット	0 : Low入力 1 : High入力	R
b1	B1	Pm1 ビット		R
b2	B2	Pm2 ビット		R
b3	B3	Pm3 ビット		R
b4	B4	Pm4 ビット		R
b5	B5	Pm5 ビット		R
b6	B6	Pm6 ビット		R
b7	B7	Pm7 ビット		R

m = 0 ~ 9、A ~ G、J、M、R、S、U

PORTm.PDR レジスタが“10”または“11”に設定されている場合、PORTm.PIDR レジスタを読むと、PORTm.PMR レジスタの値に関係なく端子の状態が読めます。

存在しない端子のビットは予約ビットです。予約ビットに対する読み出し値は不定です。書き込みは無効になります。

16.3.4 ポートモードレジスタ (PMR)

PMR レジスタは、ポートの端子機能を指定するレジスタです。

アドレス PORT0.PMR A000 0080h、PORT1.PMR A000 0081h、PORT2.PMR A000 0082h、PORT3.PMR A000 0083h、PORT4.PMR A000 0084h、PORT5.PMR A000 0085h、PORT6.PMR A000 0086h、PORT7.PMR A000 0087h、PORT8.PMR A000 0088h、PORT9.PMR A000 0089h、PORTA.PMR A000 008Ah、PORTB.PMR A000 008Bh、PORTC.PMR A000 008Ch、PORTD.PMR A000 008Dh、PORTE.PMR A000 008Eh、PORTF.PMR A000 008Fh、PORTG.PMR A000 0090h、PORTJ.PMR A000 0092h、PORTM.PMR A000 0095h、PORTR.PMR A000 0098h、PORTS.PMR A000 0099h、PORTU.PMR A000 009Bh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値
(注1) 0 0 0 0 0 0 0 0

注1. ポート3のPMRレジスタのリセット後の値は18hです。

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0 端子モード制御ビット	0 : 汎用入出力ポートとして使用 1 : 周辺機能として使用	R/W
b1	B1	Pm1 端子モード制御ビット		R/W
b2	B2	Pm2 端子モード制御ビット		R/W
b3	B3	Pm3 端子モード制御ビット		R/W
b4	B4	Pm4 端子モード制御ビット		R/W
b5	B5	Pm5 端子モード制御ビット		R/W
b6	B6	Pm6 端子モード制御ビット		R/W
b7	B7	Pm7 端子モード制御ビット		R/W

m = 0 ~ 9、A ~ G、J、M、R、S、U

PORTm.PMR レジスタの各ビットは、それぞれポート m の各端子に対応しており、1 ビット単位で指定できます。存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書き込む場合は、必ず“0”を書き込んでください。

16.3.5 プルアップ／プルダウン制御レジスタ（PCR）

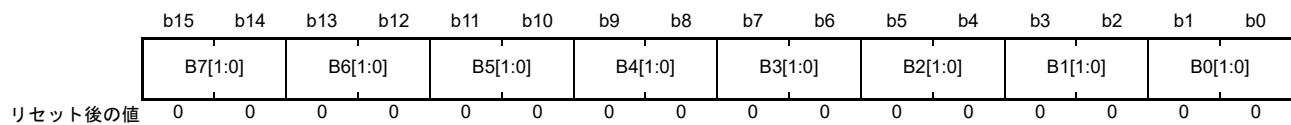
PCR レジスタは、ポートの入力プルアップ／プルダウン抵抗の有効／無効を制御するレジスタです。

汎用ポート、周辺モジュールの端子が入力状態のとき、PORTm.PCR レジスタが“10”のビットに対応する端子の入力プルアップ抵抗が有効になり、“01”のビットに対応する端子は入力プルダウン抵抗が有効になります。

汎用ポート出力、周辺モジュール出力として使用している場合には、PCR レジスタの設定値にかかわらず、プルアップ抵抗は無効になります。なお、PC0～PC7 端子には、本機能はありません。

また、リセット中もプルアップ／プルダウン抵抗は無効になります。

アドレス PORT0.PCR A000 0100h, PORT1.PCR A000 0102h, PORT2.PCR A000 0104h, PORT3.PCR A000 0106h, PORT4.PCR A000 0108h, PORT5.PCR A000 010Ah, PORT6.PCR A000 010Ch, PORT7.PCR A000 010Eh, PORT8.PCR A000 0110h, PORT9.PCR A000 0112h, PORTA.PCR A000 0114h, PORTB.PCR A000 0116h, PORTD.PCR A000 011Ah, PORTE.PCR A000 011Ch, PORTF.PCR A000 011Eh, PORTG.PCR A000 0120h, PORTJ.PCR A000 0124h, PORTM.PCR A000 012Ah, PORTR.PCR A000 0130h, PORTS.PCR A000 0132h, PORTU.PCR A000 0136h



ビット	シンボル	ビット名	機能	R/W
b1-b0	B0[1:0]	Pm0入力プルアップ／プルダウン抵抗制御ビット	奇数b 偶数b 0 0 : 入力プルアップ抵抗／プルアップ抵抗無効 0 1 : 入力プルダウン抵抗有効 1 0 : 入力プルアップ抵抗有効 1 1 : 設定禁止	R/W
b3-b2	B1[1:0]	Pm1入力プルアップ／プルダウン抵抗制御ビット		R/W
b5-b4	B2[1:0]	Pm2入力プルアップ／プルダウン抵抗制御ビット		R/W
b7-b6	B3[1:0]	Pm3入力プルアップ／プルダウン抵抗制御ビット		R/W
b9-b8	B4[1:0]	Pm4入力プルアップ／プルダウン抵抗制御ビット		R/W
b11-b10	B5[1:0]	Pm5入力プルアップ／プルダウン抵抗制御ビット		R/W
b13-b12	B6[1:0]	Pm6入力プルアップ／プルダウン抵抗制御ビット		R/W
b15-b14	B7[1:0]	Pm7入力プルアップ／プルダウン抵抗制御ビット		R/W

m = 0～9、A、B、D～G、J、M、R、S、U

存在しない端子のビットは予約ビットです。予約ビットは、読むと“00b”が読めます。書き込む場合は、必ず“00b”を書き込んでください。

16.4 未使用端子の処理

表 16.3 に未使用端子の処理内容を示します。

表 16.3 未使用端子の処理内容

端子名	処理内容
ERROROUT#、RSTOUT#	端子を開放（オープン）
TCK	抵抗を介してVSSに接続（プルダウン）
TRST#	抵抗を介してVSSに接続（プルダウン）、もしくはRES#端子と同じ信号が入力されるようにしてください。
TMS、ポート34（TDI）	抵抗を介してVCCQ33に接続（プルアップ）
ポート0～9、A～G、J、M、R、S、U（ポート34を除く） (注1)	端子を解放（オープン）、または抵抗を介してVCCQ33に接続（プルアップ）、または抵抗を介してVSSに接続（プルダウン）
USB0_DP、 USB0_DM	端子を開放（オープン）
USB_RREF	端子を開放（オープン）

注1. 未使用端子とする場合は、ポート方向レジスタ（PDR）の設定をリセット解除後の値である"不使用（Hi-Z入力保護）"に設定してください。

17. マルチファンクションピンコントローラ (MPC)

17.1 概要

本 LSI は、周辺機能の入出力、および割り込み端子を複数のポートに兼用しています。マルチファンクションピンコントローラ (MPC) は、使用する周辺機能の入出力、および割り込み端子を兼用している複数のポートの中から選択し、選択した端子に機能を割り付けるモジュールです。

表 17.1 に兼用端子構成一覧を示します。同一機能を複数の端子で有効にすることは禁止です。

表 17.1 兼用端子構成一覧 (1/6)

モジュール/機能	チャンネル	端子機能	割り当てポート
デバッグインタフェース		TDI (入力)	P34
		TDO (出力)	P33
		TRACECLK (出力)	P10
			P70
		TRACECTL (出力)	P00
			P71
		TRACEDATA0 (出力)	P72
			PE0
		TRACEDATA1 (出力)	P73
			PE1
		TRACEDATA2 (出力)	P74
			PE2
		TRACEDATA3 (出力)	P75
			PE3
	TRACEDATA4 (出力)	P76	
		PE4	
	TRACEDATA5 (出力)	P77	
		PE5	
	TRACEDATA6 (出力)	PA0	
		PE6	
	TRACEDATA7 (出力)	PA1	
		PE7	

表 17.1 兼用端子構成一覧 (2 / 6)

モジュール/機能	チャンネル	端子機能	割り当てポート
割り込み	NMI	NMI (入力)	P35
	IRQ0	IRQ0 (入力)	P10
			P70
	IRQ1	IRQ1 (入力)	P21
			PS1
	IRQ2	IRQ2 (入力)	P22
			PE2
	IRQ3	IRQ3 (入力)	P73
			PB3
			PE3
	IRQ4	IRQ4 (入力)	P94
	IRQ6	IRQ6 (入力)	PA6
			PE6
			PM6
	IRQ7	IRQ7 (入力)	P97
			PA7
PF7			
IRQ9	IRQ9 (入力)	PR1	
IRQ11	IRQ11 (入力)	P83	
IRQ12	IRQ12 (入力)	P44	
IRQ13	IRQ13 (入力)	P75	
		P95	
IRQ14	IRQ14 (入力)	P66	
		PS6	
コンペアマッチタイマW	CMTW0	TOC0 (出力)	PG2
		TIC0 (入力)	PC7
	CMTW1	TOC1 (出力)	PG4
		TIC1 (入力)	PG3
	CMTW2	TOC2 (出力)	P71
		TIC2 (入力)	P72
	CMTW3	TOC3 (出力)	P92
		TIC3 (入力)	P93

表 17.1 兼用端子構成一覧 (3 / 6)

モジュール/機能	チャンネル	端子機能	割り当てポート
FIFO内蔵シリアルコミュニケーションインタフェース (SCIFA)	SCIFA0	RXD0 (入力)	P42
		TXD0 (出力)	P23
			P40
		SCK0 (入出力)	P22
		CTS0# (入出力)	P21
			P44
	RTS0# (出力)	P27	
	SCIFA1	RXD1 (入力)	P73
			PE6
		TXD1 (出力)	P72
			PE5
		SCK1 (入出力)	P71
		CTS1# (入出力)	PE7
			P74
			PE3
		RTS1# (出力)	PR1
			P70
	PE4		
	SCIFA2	RXD2 (入力)	P92
			PA4
			PS6
		TXD2 (出力)	P91
			PA5
			PS7
SCK2 (入出力)		P93	
CTS2# (入出力)		PA3	
		P95	
RTS2# (出力)		PA6	
	P94		
PA7			
SCIFA3	RXD3 (入力)	PB4	
	TXD3 (出力)	PB3	
SCIFA4	RXD4 (入力)	P84	
	TXD4 (出力)	P83	
		P90	
I ² Cバス インタフェース	RIIC1	SCL1 (入出力)	PC6
		SDA1 (入出力)	PC7

表 17.1 兼用端子構成一覧 (4 / 6)

モジュール/機能	チャンネル	端子機能	割り当てポート
EtherCAT スレーブ コントローラ (MDIOコントローラ)	MDIOC0	CLKOUT25M0 (出力)	P85
		ETH0_TXC (入力)	PC2
		ETH0_TXEN (出力)	P82
		ETH0_TXD0 (出力)	PJ3
		ETH0_TXD1 (出力)	PJ2
		ETH0_TXD2 (出力)	PJ1
		ETH0_TXD3 (出力)	PJ0
		ETH0_INT (入力)	P52
			PA5
		ETH0_RXC (入力)	PC3
		ETH0_RXDV (入力)	P80
		ETH0_RXER (入力)	P81
			PB4
		ETH0_RXD0 (入力)	PJ4
		ETH0_RXD1 (入力)	PJ5
		ETH0_RXD2 (入力)	PJ6
		ETH0_RXD3 (入力)	PJ7
		PHYLINK0 (入力)	P50
	ETH_MDC (出力)	PB6	
	ETH_MDIO (入出力)	PB5	
	MDIOC1	CLKOUT25M1 (出力)	P54
		ETH1_TXC (入力)	P87
		ETH1_TXEN (出力)	PF5
		ETH1_TXD0 (出力)	P86
		ETH1_TXD1 (出力)	PD7
		ETH1_TXD2 (出力)	PD6
		ETH1_TXD3 (出力)	PD5
		ETH1_INT (入力)	P53
			PA4
		ETH1_RXC (入力)	PB2
		ETH1_RXDV (入力)	PB0
		ETH1_RXER (入力)	PB1
ETH1_RXD0 (入力)		PF6	
ETH1_RXD1 (入力)		PB7	
ETH1_RXD2 (入力)	PC0		
ETH1_RXD3 (入力)	PC1		
PHYLINK1 (入力)	P51		

表 17.1 兼用端子構成一覧 (5 / 6)

モジュール/機能	チャンネル	端子機能	割り当てポート
EtherCATスレーブ コントローラ	ESC0	CATLEDRUN (出力)	PM4
		CATIRQ (出力)	PU7
		CATLEDSTER (出力)	PM5
		CATLEDERR (出力)	PM1
		CATLINKACT0 (出力)	P83
			PM6
		CATLINKACT1 (出力)	P84
			PM7
		CATSYNC1 (出力)	PM2
		CATSYNC0 (出力)	PB4
			PM3
		CATLATCH1 (入力)	PM2
		CATLATCH0 (入力)	PB4
			PM3
CATI2CCLK (入出力)	PC4		
CATI2CDATA (入出力)	PC5		
PHYRESETOUT# (出力)	P17		
	PB3		
USB2.0ホスト/ ファンクション モジュール	USB	USB_VBUSIN (入力)	PC6
		USB_VBUSEN (出力)	P66
		USB_OVRCUR (入力)	P70
CAN モジュール	CAN1	CRXD1 (入力)	PC7
		CTXD1 (出力)	P61
			P66
	PB3		
シリアルペリフェラル インタフェース	RSPi0	RSPCK0 (入出力)	P77
			PE7
		MOSI0 (入出力)	PA0
			PE5
		MISO0 (入出力)	PA1
			PE6
		SSL00 (入出力)	P75
			PE4
		SSL01 (出力)	P76
			PE3
	SSL02 (出力)	PA2	
		PE2	
	SSL03 (出力)	P74	
		PE1	
	RSPi1	RSPi1	RSPCK1 (入出力)
MOSI1 (入出力)			PG4
MISO1 (入出力)			PG3
SSL10 (入出力)			PG5
SSL11 (出力)			PG6

表 17.1 兼用端子構成一覧 (6 / 6)

モジュール/機能	チャンネル	端子機能	割り当てポート
SPI マルチ I/O バスコントローラ		SPBCLK (出力)	P62
		SPBMO/SPBIO0 (入出力)	P63
		SPBBI/SPBIO1 (入出力)	P64
		SPBIO2 (入出力)	P65
		SPBIO3 (入出力)	P61
		SPBSSL (出力)	P60

17.2 レジスタの説明

パッケージの違いにより、端子がないレジスタ、ビットは予約です。該当するビットに値を書き込む場合は、リセット後の値を書いてください。

17.2.1 書き込みプロテクトレジスタ (PWPR)

PWPR レジスタは、PFS レジスタ、および本レジスタの PFSWE ビットに対する書き込みの許可/禁止を設定するレジスタです。

アドレス A000 02FFh

b7	b6	b5	b4	b3	b2	b1	b0
BOWI	PFSWE	—	—	—	—	—	—

リセット後の値 1 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	PFSWE	PFSレジスタ書き込み許可ビット	0 : PFSレジスタへの書き込みを禁止 1 : PFSレジスタへの書き込みを許可	R/W
b7	BOWI	PFSWEビット書き込み禁止ビット	0 : PFSWEビットへの書き込みを許可 1 : PFSWEビットへの書き込みを禁止	R/W

PFSWE ビット (PFS レジスタ書き込み許可ビット)

PFSWE ビットを“1”に設定したときのみ、PmnPFS レジスタ (m=0~9、A~G、J、M、R、S、U、n=0~7) に対する書き込みが許可されます。

PFSWE ビットを“1”にする場合は、BOWI ビットに“0”を書いた後、PFSWE ビットを“1”にしてください。

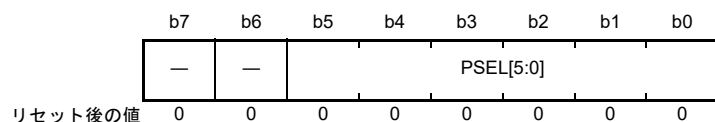
BOWI ビット (PFSWE ビット書き込み禁止ビット)

BOWI ビットを“0”に設定したときのみ、PFSWE ビットに対する書き込みが許可されます。

17.2.2 P0n 端子機能制御レジスタ (P0nPFS) (n = 0)

P0n 端子機能制御レジスタ (P0nPFS) は、使用する端子の機能を選択するレジスタです。P0nPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合は、プロテクトを解除してから行ってください。

アドレス P00PFS A000 0200h



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 17.2 を参照してください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PSEL[5:0] ビット (端子機能選択ビット)

端子に割り付ける周辺機能を設定します。

表 17.2 196ピンFBGA 端子入出力機能レジスタ設定

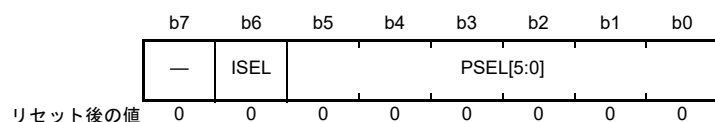
PSEL[5:0] ビット 設定値	端子
	P00
000000b (リセット後の値)	Hi-Z
100111b	TRACECTL

注. 上記以外の値は設定しないでください。

17.2.3 P1n 端子機能制御レジスタ (P1nPFS) (n = 0, 7)

P1n 端子機能制御レジスタ (P1nPFS) は、使用する端子の機能を選択するレジスタです。P1nPFS レジスタは、書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス P10PFS A000 0208h、P17PFS A000 020Fh



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 17.3 を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PSEL[5:0] ビット (端子機能選択ビット)

端子に割り付ける周辺機能を設定します。

ISEL ビット (割り込み入力機能選択ビット)

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn (外部端子割り込み) を 2 つ以上の端子で許可することは禁止です。

表 17.3 196 ピン FBGA 端子入出力機能レジスタ設定

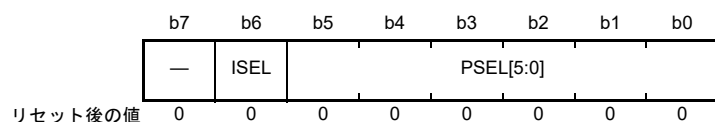
PSEL[5:0] ビット 設定値	端子	
	P10	P17
000000b (リセット後の値)	Hi-Z	
010110b	—	PHYRESETOUT#
100111b	TRACECLK	—

注. — : 設定しないでください。
上記以外の値は設定しないでください。

17.2.4 P2n 端子機能制御レジスタ (P2nPFS) (n = 1 ~ 3、7)

P2n 端子機能制御レジスタ (P2nPFS) は、使用する端子の機能を選択するレジスタです。P2nPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス P21PFS A000 0211h、P22PFS A000 0212h、P23PFS A000 0213h、P27PFS A000 0217h



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 17.4 を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PSEL[5:0] ビット (端子機能選択ビット)

端子に割り付ける周辺機能を設定します。

ISEL ビット (割り込み入力機能選択ビット)

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn (外部端子割り込み) を 2 つ以上の端子で許可することは禁止です。

表 17.4 196 ピンFBGA 端子入出力機能レジスタ設定

PSEL[5:0] ビット 設定値	端子			
	P21	P22	P23	P27
000000b (リセット後の値)	Hi-Z			
001010b	—	—	—	RTS0#
001011b	CTS0#	SCK0	TXD0	—

注. — : 設定しないでください。
上記以外の値は設定しないでください。

17.2.5 P3n 端子機能制御レジスタ (P3nPFS) (n = 3 ~ 5)

P3n 端子機能制御レジスタ (P3nPFS) は、使用する端子の機能を選択するレジスタです。P3nPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。P35 には周辺機能は割り付けられていません。P35 を NMI 端子として、使用する場合は、「12.3.4 NMI 端子割り込み」を参照してください。

アドレス P33PFS A000 021Bh、P34PFS A000 021Ch、P35PFS A000 021Dh

	b7	b6	b5	b4	b3	b2	b1	b0		
	—	ISEL	PSEL[5:0]							
リセット後の値	0	0	0	0	0	0	0	0	(注1)	
	0	0	1	0	0	1	1	1	(注2)	
注1.	P35PFS									
注2.	P33PFS, P34PFS									

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 17.5 を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn 入力端子または NMI 入力端子として使用しない 1 : IRQn 入力端子または NMI 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PSEL[5:0] ビット (端子機能選択ビット)

端子に割り付ける周辺機能を設定します。

ISEL ビット (割り込み入力機能選択ビット)

IRQ 入力端子、または NMI 入力端子 (P35) として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn (外部端子割り込み) を 2 つ以上の端子で許可することは禁止です。NMI 端子として、使用する場合は、「12.3.4 NMI 端子割り込み」を参照してください。

表 17.5 196 ピン FBGA 端子入出力機能レジスタ設定

PSEL[5:0] ビット 設定値	端子	
	P33	P34
000000b (リセット後の値) (注1)	Hi-Z	
100111b (リセット後の値) (注2)	TDO	TDI

注1. P35

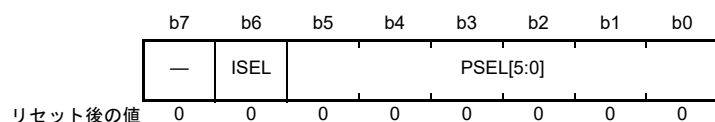
注2. P33、P34

注. 上記以外の値は設定しないでください。

17.2.6 P4n 端子機能制御レジスタ (P4nPFS) (n = 0、2、4)

P4n 端子機能制御レジスタ (P4nPFS) は、使用する端子の機能を選択するレジスタです。P4nPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス P40PFS A000 0220h、P42PFS A000 0222h、P44PFS A000 0224h、



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 17.6 を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PSEL[5:0] ビット (端子機能選択ビット)

端子に割り付ける周辺機能を設定します。

ISEL ビット (割り込み入力機能選択ビット)

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn (外部端子割り込み) を 2 つ以上の端子で許可することは禁止です。

表 17.6 196 ピン FBGA 端子入出力機能レジスタ設定

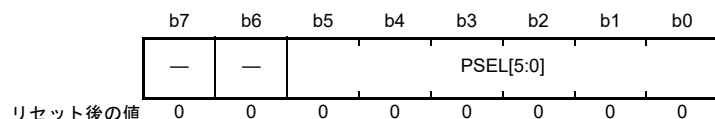
PSEL[5:0] ビット 設定値	端子		
	P40	P42	P44
000000b (リセット後の値)	Hi-Z		
001010b	TXD0	RXD0	CTS0#

注. 上記以外の値は設定しないでください。

17.2.7 P5n 端子機能制御レジスタ (P5nPFS) (n = 0 ~ 4)

P5n 端子機能制御レジスタ (P5nPFS) は、使用する端子の機能を選択するレジスタです。P5nPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

アドレス P50PFS A000 0228h、P51PFS A000 0229h、P52PFS A000 022Ah、P53PFS A000 022Bh、P54PFS A000 022Ch



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 17.7 を参照してください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PSEL[5:0] ビット (端子機能選択ビット)

端子に割り付ける周辺機能を設定します。

表 17.7 196ピンFBGA端子入出力機能レジスタ設定

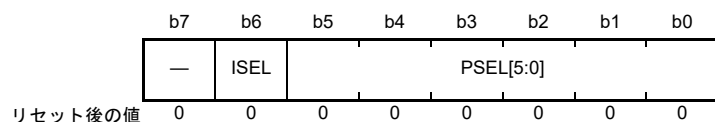
PSEL[5:0] ビット 設定値	端子				
	P50	P51	P52	P53	P54
000000b (リセット後の値)	Hi-Z				
010001b	PHYLINK0	PHYLINK1	ETH0_INT	ETH1_INT	CLKOUT25M1

注. 上記以外の値は設定しないでください。

17.2.8 P6n 端子機能制御レジスタ (P6nPFS) (n = 0 ~ 6)

P6n 端子機能制御レジスタ (P6nPFS) は、使用する端子の機能を選択します。P6nPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス P60PFS A000 0230h、P61PFS A000 0231h、P62PFS A000 0232h、P63PFS A000 0233h、
P64PFS A000 0234h、P65PFS A000 0235h、P66PFS A000 0236h



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 17.8 を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PSEL[5:0] ビット (端子機能選択ビット)

端子に割り付ける周辺機能を設定します。

ISEL ビット (割り込み入力機能選択ビット)

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn (外部端子割り込み) を 2 つ以上の端子で許可することは禁止です。

表 17.8 196ピンFBGA端子入出力機能レジスタ設定

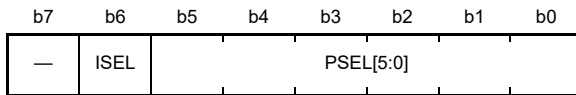
PSEL[5:0] ビット 設定値	端子						
	P60	P61	P62	P63	P64	P65	P66
000000b (リセット後の値)	Hi-Z						
010000b	—	CTXD1	—	—	—	—	CTXD1
011001b	—	—	—	—	—	—	USB_VBUSEN
011011b	SPBSSL	SPBIO3	SPBCLK	SPBMO/ SPBIO0	SPBMI/ SPBIO1	SPBIO2	—

注. — : 設定しないでください。
上記以外の値は設定しないでください。

17.2.9 P7n 端子機能制御レジスタ (P7nPFS) (n = 0 ~ 7)

P7n 端子機能制御レジスタ (P7nPFS) は、使用する端子の機能を選択するレジスタです。P7nPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス P70PFS A000 0238h、P71PFS A000 0239h、P72PFS A000 023Ah、P73PFS A000 023Bh、P74PFS A000 023Ch、P75PFS A000 023Dh、P76PFS A000 023Eh、P77PFS A000 023Fh



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 17.9 を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PSEL[5:0] ビット (端子機能選択ビット)

端子に割り付ける周辺機能を設定します。

ISEL ビット (割り込み入力機能選択ビット)

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn (外部端子割り込み) を 2 つ以上の端子で許可することは禁止です。

表 17.9 196ピンFBGA端子入出力機能レジスタ設定

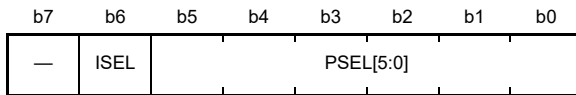
PSEL[5:0] ビット 設定値	端子							
	P70	P71	P72	P73	P74	P75	P76	P77
000000b (リセット 後の値)	Hi-Z							
001010b	RTS1#	SCK1	TXD1	RXD1	CTS1#	—	—	—
001101b	—	—	—	—	SSL03	SSL00	SSL01	RSPCK0
011001b	USB_OVRCUR	—	—	—	—	—	—	—
011101b	—	TOC2	TIC2	—	—	—	—	—
100111b	TRACECLK	TRACECTL	TRACEDATA0	TRACEDATA1	TRACEDATA2	TRACEDATA3	TRACEDATA4	TRACEDATA5

注. — : 設定しないでください。
上記以外の値は設定しないでください。

17.2.10 P8n 端子機能制御レジスタ (P8nPFS) (n = 0 ~ 7)

P8n 端子機能制御レジスタ (P8nPFS) は、使用する端子の機能を選択するレジスタです。P8nPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス P80PFS A000 0240h、P81PFS A000 0241h、P82PFS A000 0242h、P83PFS A000 0243h、P84PFS A000 0244h、P85PFS A000 0245h、P86PFS A000 0246h、P87PFS A000 0247h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 17.10 参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PSEL[5:0] ビット (端子機能選択ビット)

端子に割り付ける周辺機能を設定します。

ISEL ビット (割り込み入力機能選択ビット)

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn (外部端子割り込み) を 2 つ以上の端子で許可することは禁止です。

表 17.10 196ピンFBGA端子入出力機能レジスタ設定

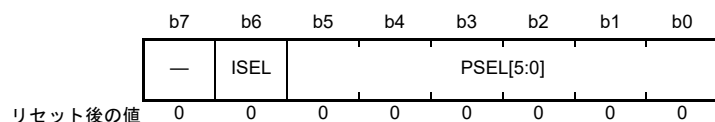
PSEL[5:0] ビット 設定値	端子							
	P80	P81	P82	P83	P84	P85	P86	P87
000000b (リセット後の値)	Hi-Z							
001011b	—	—	RTS3#	TXD4	RXD4	SCK4	—	—
010001b	ETH0_RXDV	ETH0_RXER	ETH0_TXEN	—	—	CLKOUT25M0	ETH1_TXD0	ETH1_TXC
010101b	—	—	—	CATLINKACT0	CATLINKACT1	—	—	—

注. — : 設定しないでください。
上記以外の値は設定しないでください。

17.2.11 P9n 端子機能制御レジスタ (P9nPFS) (n = 0 ~ 5、7)

P9n 端子機能制御レジスタ (P9nPFS) は、使用する端子の機能を選択するレジスタです。P9nPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス P90PFS A000 0248h、P91PFS A000 0249h、P92PFS A000 024Ah、P93PFS A000 024Bh、P94PFS A000 024Ch、P95PFS A000 024Dh、P97PFS A000 024Fh



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 17.11 を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PSEL[5:0] ビット (端子機能選択ビット)

端子に割り付ける周辺機能を設定します。

ISEL ビット (割り込み入力機能選択ビット)

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn (外部端子割り込み) を 2 つ以上の端子で許可することは禁止です。

表 17.11 196ピンFBGA端子入出力機能レジスタ設定

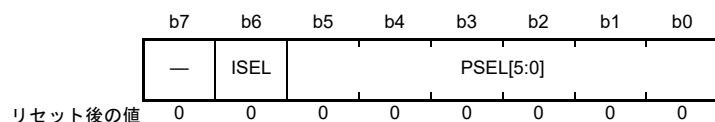
PSEL[5:0] ビット 設定値	端子						
	P90	P91	P92	P93	P94	P95	P97
000000b (リセット後の値)	Hi-Z						
001011b	—	TXD2	RXD2	SCK2	RTS2#	CTS2#	—
001100b	TXD4	—	—	—	—	—	—
011101b	—	—	TOC3	TIC3	—	—	—

注. — : 設定しないでください。
上記以外の値は設定しないでください。

17.2.12 PAn 端子機能制御レジスタ (PAnPFS) (n = 0 ~ 7)

PAn 端子機能制御レジスタ (PAnPFS) は、使用する端子の機能を選択するレジスタです。PAnPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス PA0PFS A000 0250h、PA1PFS A000 0251h、PA2PFS A000 0252h、PA3PFS A000 0253h、PA4PFS A000 0254h、PA5PFS A000 0255h、PA6PFS A000 0256h、PA7PFS A000 0257h



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 17.12 を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PSEL[5:0] ビット (端子機能選択ビット)

端子に割り付ける周辺機能を設定します。

ISEL ビット (割り込み入力機能選択ビット)

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn (外部端子割り込み) を 2 つ以上の端子で許可することは禁止です。

表 17.12 196ピンFBGA端子入出力機能レジスタ設定

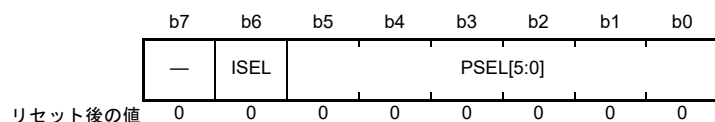
PSEL[5:0] ビット 設定値	端子							
	PA0	PA1	PA2	PA3	PA4	PA5	PA6	PA7
000000b (リセット後の値)	Hi-Z							
001010b	—	—	—	SCK2	RXD2	TXD2	CTS2#	RTS2#
001101b	MOSIO	MISO0	SSL02	—	—	—	—	—
010001b	—	—	—	—	—	ETH0_INT	—	—
010010b	—	—	—	—	ETH1_INT	—	—	—
100111b	TRACEDATA6	TRACEDATA7	—	—	—	—	—	—

注. — : 設定しないでください。
上記以外の値は設定しないでください。

17.2.13 PBn 端子機能制御レジスタ (PBnPFS) (n = 0 ~ 7)

PBn 端子機能制御レジスタ (PBnPFS) は、使用する端子の機能を選択するレジスタです。PBnPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス PB0PFS A000 0258h、PB1PFS A000 0259h、PB2PFS A000 025Ah、PB3PFS A000 025Bh、PB4PFS A000 025Ch、PB5PFS A000 025Dh、PB6PFS A000 025Eh、PB7PFS A000 025Fh



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 17.13 を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PSEL[5:0] ビット (端子機能選択ビット)

端子に割り付ける周辺機能を設定します。

ISEL ビット (割り込み入力機能選択ビット)

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn (外部端子割り込み) を 2 つ以上の端子で許可することは禁止です。

表 17.13 196ピンFBGA端子入出力機能レジスタ設定

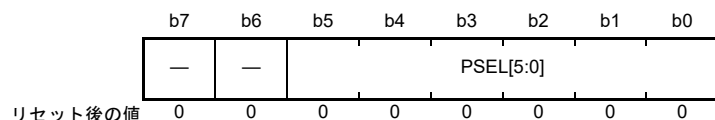
PSEL[5:0] ビット 設定値	端子							
	PB0	PB1	PB2	PB3	PB4	PB5	PB6	PB7
000000b (リセット 後の値)	Hi-Z							
001010b	—	—	—	TXD3	RXD3	—	—	—
010000b	—	—	—	CTXD1	—	—	—	—
010001b	ETH1_RXDV	ETH1_RXER	ETH1_RXC	—	—	ETH_MDIO	ETH_MDC	ETH1_RXD1
010010b	—	—	—	—	ETH0_RXER	—	—	—
010101b	—	—	—	PHYRESETOUT#	CATSYNC0	—	—	—
010110b	—	—	—	—	CATLATCH0	—	—	—

注. — : 設定しないでください。
上記以外の値は設定しないでください。

17.2.14 PCn 端子機能制御レジスタ (PCnPFS) (n = 0 ~ 7)

PCn 端子機能制御レジスタ (PCnPFS) は、使用する端子の機能を選択するレジスタです。PCnPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

アドレス PC0PFS A000 0260h、PC1PFS A000 0261h、PC2PFS A000 0262h、PC3PFS A000 0263h、
PC4PFS A000 0264h、PC5PFS A000 0265h、PC6PFS A000 0266h、PC7PFS A000 0267h



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 17.14 を参照してください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PSEL[5:0] ビット (端子機能選択ビット)

端子に割り付ける周辺機能を設定します。

表 17.14 196ピンFBGA端子入出力機能レジスタ設定

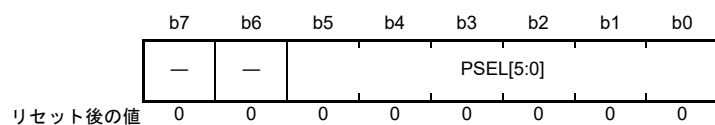
PSEL[5:0]ビット 設定値	端子							
	PC0	PC1	PC2	PC3	PC4	PC5	PC6	PC7
000000b (リセット後の値)	Hi-Z							
001111b	—	—	—	—	—	—	SCL1	SDA1
010000b	—	—	—	—	—	—	—	CRXD1
010001b	ETH1_RXD2	ETH1_RXD3	ETH0_TXC	ETH0_RXC	—	—	—	—
010110b	—	—	—	—	CAT12CCLK	CAT12CDATA	—	—
011001b	—	—	—	—	—	—	USB_VBUSIN	—
011101b	—	—	—	—	—	—	—	TIC0

注. — : 設定しないでください。
上記以外の値は設定しないでください。

17.2.15 PDn 端子機能制御レジスタ (PDnPFS) (n = 5 ~ 7)

PDn 端子機能制御レジスタ (PDnPFS) は、使用する端子の機能を選択するレジスタです。PDnPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

アドレス PD5PFS A000 026Dh、PD6PFS A000 026Eh、PD7PFS A000 026Fh



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 17.15 を参照してください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PSEL[5:0] ビット (端子機能選択ビット)

端子に割り付ける周辺機能を設定します。

表 17.15 196 ピン FBGA 端子入出力機能レジスタ設定

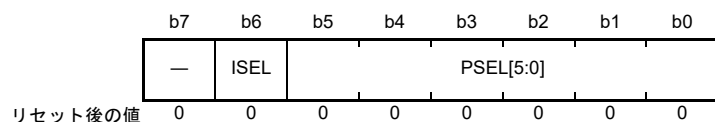
PSEL[5:0] ビット 設定値	端子		
	PD5	PD6	PD7
000000b (リセット後の値)	Hi-Z		
010001b	ETH1_TXD3	ETH1_TXD2	ETH1_TXD1

注. 上記以外の値は設定しないでください。

17.2.16 PEn 端子機能制御レジスタ (PEnPFS) (n = 0 ~ 7)

PEn 端子機能制御レジスタ (PEnPFS) は、使用する端子の機能を選択するレジスタです。PEnPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス PE0PFS A000 0270h、PE1PFS A000 0271h、PE2PFS A000 0272h、PE3PFS A000 0273h、PE4PFS A000 0274h、PE5PFS A000 0275h、PE6PFS A000 0276h、PE7PFS A000 0277h



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 17.16 を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PSEL[5:0] ビット (端子機能選択ビット)

端子に割り付ける周辺機能を設定します。

ISEL ビット (割り込み入力機能選択ビット)

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn (外部端子割り込み) を 2 つ以上の端子で許可することは禁止です。

表 17.16 196 ピン FBGA 端子入出力機能レジスタ設定

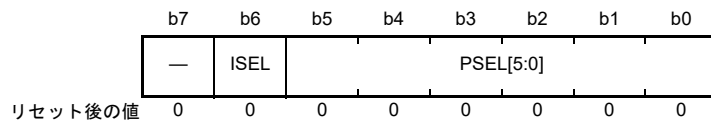
PSEL[5:0] ビット 設定値	端子							
	PE0	PE1	PE2	PE3	PE4	PE5	PE6	PE7
000000b (リセット 後の値)	Hi-Z							
001100b	—	—	—	CTS1#	RTS1#	TXD1	RXD1	SCK1
001110b	—	SSL03	SSL02	SSL01	SSL00	MOSI0	MISO0	RSPCK0
100111b	TRACEDATA0	TRACEDATA1	TRACEDATA2	TRACEDATA3	TRACEDATA4	TRACEDATA5	TRACEDATA6	TRACEDATA7

注. — : 設定しないでください。
上記以外の値は設定しないでください。

17.2.17 PF_n 端子機能制御レジスタ (PF_nPFS) (n = 5 ~ 7)

PF_n 端子機能制御レジスタ (PF_nPFS) は、使用する端子の機能を選択するレジスタです。PF_nPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQ_n 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス PF5PFS: A000 027Dh、PF6PFS: A000 027Eh、PF7PFS: A000 027Fh



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 17.17 を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQ _n 入力端子として使用しない 1 : IRQ _n 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PSEL[5:0] ビット (端子機能選択ビット)

端子に割り付ける周辺機能を設定します。

ISEL ビット (割り込み入力機能選択ビット)

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQ_n (外部端子割り込み) を 2 つ以上の端子で許可することは禁止です。

表 17.17 196 ピンFBGA 端子入出力機能レジスタ設定

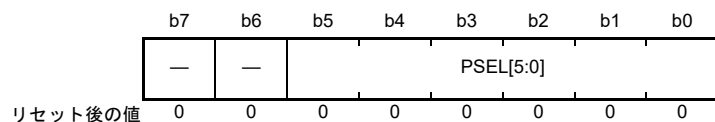
PSEL[5:0] ビット 設定値	端子		
	PF5	PF6	PF7
00000b (リセット後の値)	Hi-Z		
010001b	ETH1_TXEN	ETH1_RXD0	—

注. — : 設定しないでください。
上記以外の値は設定しないでください。

17.2.18 PGn 端子機能制御レジスタ (PGnPFS) (n = 2 ~ 6)

PGn 端子機能制御レジスタ (PGnPFS) は、使用する端子の機能を選択するレジスタです。PGnPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

アドレス PG2PFS A000 0282h、PG3PFS A000 0283h、PG4PFS A000 0284h、
PG5PFS A000 0285h、PG6PFS A000 0286h



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 17.18 を参照してください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PSEL[5:0] ビット (端子機能選択ビット)

端子に割り付ける周辺機能を設定します。

表 17.18 196 ピンFBGA 端子入出力機能レジスタ設定

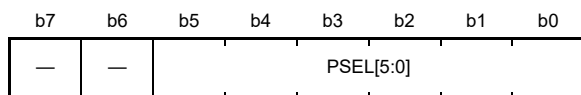
PSEL[5:0] ビット 設定値	端子				
	PG2	PG3	PG4	PG5	PG6
000000b (リセット後の値)	Hi-Z				
001101b	RSPCK1	MISO1	MOSI1	SSL10	SSL11
011101b	TOC0	TIC1	TOC1	—	—

注. — : 設定しないでください。
上記以外の値は設定しないでください。

17.2.19 PJn 端子機能制御レジスタ (PJnPFS) (n = 0 ~ 7)

PJn 端子機能制御レジスタ (PJnPFS) は、使用する端子の機能を選択するレジスタです。PJnPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

アドレス PJ0PFS A000 0290h、PJ1PFS A000 0291h、PJ2PFS A000 0292h、PJ3PFS A000 0293h、PJ4PFS A000 0294h、PJ5PFS A000 0295h、PJ6PFS A000 0296h、PJ7PFS A000 0297h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 17.19 を参照してください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PSEL[5:0] ビット (端子機能選択ビット)

端子に割り付ける周辺機能を設定します。

表 17.19 196 ピンFBGA 端子入出力機能レジスタ設定

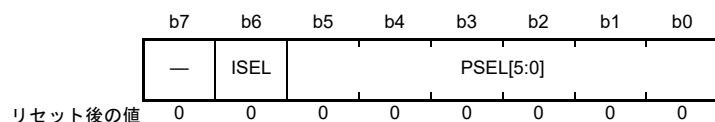
PSEL[5:0] ビット 設定値	端子							
	PJ0	PJ1	PJ2	PJ3	PJ4	PJ5	PJ6	PJ7
000000b (リセット後の値)	Hi-Z							
010001b	ETH0_TXD3	ETH0_TXD2	ETH0_TXD1	ETH0_TXD0	ETH0_RXD0	ETH0_RXD1	ETH0_RXD2	ETH0_RXD3

注. 上記以外の値は設定しないでください。

17.2.20 PMn 端子機能制御レジスタ (PMnPFS) (n = 1 ~ 7)

PMn 端子機能制御レジスタ (PMnPFS) は、使用する端子の機能を選択するレジスタです。PMnPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス PM1PFS A000 02A9h、PM2PFS A000 02AAh、PM3PFS A000 02ABh、
PM4PFS A000 02ACh、PM5PFS A000 02ADh、PM6PFS A000 02AEh、PM7PFS A000 02AFh



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 17.20 を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PSEL[5:0] ビット (端子機能選択ビット)

端子に割り付ける周辺機能を設定します。

ISEL ビット (割り込み入力機能選択ビット)

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn (外部端子割り込み) を 2 つ以上の端子で許可することは禁止です。

表 17.20 196ピンFBGA端子入出力機能レジスタ設定

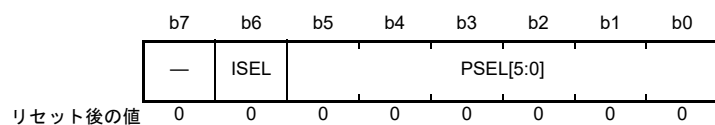
PSEL[5:0]ビット 設定値	端子						
	PM1	PM2	PM3	PM4	PM5	PM6	PM7
000000b (リセット後の値)	Hi-Z						
010101b	—	CATSYNC1	CATSYNC0	—	—	—	—
010110b	CATLEDERR	CATLATCH1	CATLATCH0	CATLEDRUN	CATLEDSTER	CATLINKACT0	CATLINKACT1

注. — : 設定しないでください。
上記以外の値は設定しないでください。

17.2.21 PRn 端子機能制御レジスタ (PRnPFS) (n = 1)

PRn 端子機能制御レジスタ (PRnPFS) は、使用する端子の機能を選択するレジスタです。PRnPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス PR1PFS A000 02C1h



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 17.21 を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PSEL[5:0] ビット (端子機能選択ビット)

端子に割り付ける周辺機能を設定します。

ISEL ビット (割り込み入力機能選択ビット)

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn (外部端子割り込み) を 2 つ以上の端子で許可することは禁止です。

表 17.21 196 ピン FBGA 端子入出力機能レジスタ設定

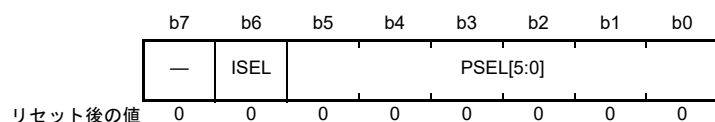
PSEL[5:0] ビット 設定値	端子
	PR1
000000b (リセット後の値)	Hi-Z
001011b	CTS1#

注. 上記以外の値は設定しないでください。

17.2.22 PSn 端子機能制御レジスタ (PSnPFS) (n = 1、6、7)

PSn 端子機能制御レジスタ (PSnPFS) は、使用する端子の機能を選択するレジスタです。PSnPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

アドレス PS1PFS A000 02C9h、PS6PFS A000 02CEh、PS7PFS A000 02CFh



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 17.22 を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PSEL[5:0] ビット (端子機能選択ビット)

端子に割り付ける周辺機能を設定します。

ISEL ビット (割り込み入力機能選択ビット)

IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn (外部端子割り込み) を 2 つ以上の端子で許可することは禁止です。

表 17.22 196 ピン FBGA 端子入出力機能レジスタ設定

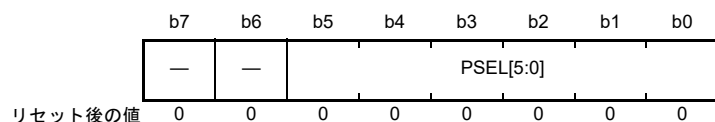
PSEL[5:0] ビット 設定値	端子		
	PS1	PS6	PS7
000000b (リセット後の値)	Hi-Z		
001100b	—	RXD2	TXD2

注. — : 設定しないでください。
上記以外の値は設定しないでください。

17.2.23 PUn 端子機能制御レジスタ (PUnPFS) (n = 7)

PUn 端子機能制御レジスタ (PUnPFS) は、使用する端子の機能を選択するレジスタです。PUnPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

アドレス PU7PFS A000 02DFh



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 17.23 を参照してください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PSEL[5:0] ビット (端子機能選択ビット)

端子に割り付ける周辺機能を設定します。

表 17.23 196ピンFBGA 端子入出力機能レジスタ設定

PSEL[5:0] ビット 設定値	端子
	PU7
000000b (リセット後の値)	Hi-Z
010110b	CATIRQ

注. 上記以外の値は設定しないでください。

17.3 使用上の注意事項

17.3.1 端子入出力機能の設定手順

端子入出力機能の設定は下記の手順で行ってください。

1. 当該端子のポート方向レジスタ (PDR) を“00”、ポートモードレジスタ (PMR) を“0”にして汎用入出力ポートに設定します。
2. 各周辺機能モジュールで、当該端子にアサインする入出力信号を設定します。
3. PWPR.BOWI ビットを“0”にした後、PWPR.PFSWE ビットを“1”に設定することで、Pmn 端子機能制御レジスタ (PmnPFS) ($m=0\sim 9, A\sim G, J, M, R, S, U, n=0\sim 7$) を書き込み可能にします。
4. PmnPFS.PSEL[5:0] ビットにより端子入出力機能を設定します。
5. PWPR.PFSWE ビットを“0”にして、PmnPFS レジスタへの書き込みを禁止してください。
6. 必要に応じて選択した端子に対する PMR レジスタの該当ビットを“1”にして、周辺機能の端子入出力機能に切り替えます。
7. 必要に応じて PDR レジスタを“10”にすることで、ポート状態をリードできます。

17.3.2 MPC レジスタ設定時の注意事項

1. Pmn 端子機能制御レジスタ (PmnPFS) ($m=0\sim 9, A\sim G, J, M, R, S, U, n=0\sim 7$) を設定するときは、PMR レジスタの当該端子に相当するビットが“0”の状態を設定してください。PMR レジスタの当該ビットが“1”の状態では PmnPFS レジスタを設定すると、入力機能の場合は意図しないエッジが入力される可能性があります。また出力機能の場合は意図しないパルスが出力される可能性があります。
2. PmnPFS.ISEL ビットを設定し IRQ、NMI 端子割り込みを使用する場合、当該端子の PMR レジスタの値にかかわらず、「12.3.3 外部端子割り込み」の [IRQ 端子の場合] および「12.3.4 NMI 端子割り込み」の手順にしたがって設定してください。異なる手順で PmnPFS.ISEL ビットを設定した場合、意図しないエッジが入力され誤動作を起こす可能性があります。
3. PmnPFS レジスタで設定可能な機能以外には設定しないでください。指定機能以外に設定した場合の動作は保証されません。
4. MPC のレジスタ設定で同一の機能を複数の端子に割り当てないでください。
5. 機能を兼用している端子のポートモードレジスタ (PMR)、ポート方向レジスタ (PDR)、Pmn 端子機能制御レジスタ (PmnPFS) の設定および注意事項を表 17.24 に示します。PSEL[5:0] ビットの変更は、PMR レジスタの当該端子に相当するビットが“0”のときに行ってください。

表 17.24 レジスタの設定

項目	PMR.Bn	PDR.Bn[1:0]	PmnPFS		注意事項
			ISEL	PSEL[5:0]	
リセット解除後	0 (注1)	00	0	000000b (注1)	リセット解除後は不使用 (Hi-Z入力保護) 状態です
不使用時	0	00	0	x	
汎用入出力ポート	0	10/11 (注2)	0/1 (注3)	x	割り込み入力と併用する場合は、PmnPFS.ISEL ビットを“1”にしてください
周辺機能	1	00/10 (注4)	0/1 (注3)	周辺機能 (表 17.2 ~ 表 17.23 を参照)	割り込み入力と併用する場合は、PmnPFS.ISEL ビットを“1”にしてください ポートリード機能 (PIDR.Bn ビットでポートの端子状態読み出し) と併用する場合は、PDR.Bn[1:0] ビットを“10”にしてください
割り込み入力 (NMI, IRQ0 ~ 4、 6、7、9、11 ~ 14)	0	10	1	x	

x : 設定不要

- 注1. PORT3.PMR, P33PFS.PSEL[5:0], P34PFS.PSEL[5:0] はリセット解除後の値が異なります。PSEL[5:0] ビットの詳細は、「17.2.5 P3n端子機能制御レジスタ (P3nPFS) (n = 3 ~ 5)」を参照してください。PORT3.PMRについては、「16.3.4 ポートモードレジスタ (PMR)」を参照してください。
- 注2. PDR.Bn[1:0] ビットを“10”にすることで、汎用入力ポートとして機能します。PDR.Bn[1:0] ビットを“11”にすることで、汎用出力ポートとして機能します。
- 注3. PmnPFS.ISEL ビットを“0”にした場合、IRQ 端子として機能しません。PmnPFS.ISEL ビットを“1”にすることで、IRQ 端子として機能します (IRQ 機能を兼用している場合)。
- 注4. PDR.Bn[1:0] ビットを“00”にした場合、ポートリード機能 (PIDR.Bn ビットでポートの端子状態読み出し) は使用できません。PDR.Bn[1:0] ビットを“10”にすることで、ポート端子の状態を読み出すことができます。

17.3.3 ポートリード機能を使用する場合の注意事項

周辺機能で端子方向が双方向または出力である機能を使用する場合、端子の PDR レジスタを“00”（初期値）から“10”（入力許可）にすることで、周辺機能を使用しながら PIDR レジスタでポートの端子状態を読み出す（ポートリード機能）ことができます。

周辺機能において端子方向が入力の機能および表 17.25 に示す入出力の機能は、常に入力が許可されており、PDR レジスタの設定をすることなくポートリード機能と併用することができます。

ただし、該当する外部端子が Hi-Z 状態になると貫通電流が流れるため、外部端子が Hi-Z 状態になる場合は端子をプルアップもしくはプルダウンして使用してください。

表 17.25 常時入力許可機能一覧

モジュール/機能	チャネル	端子機能
FIFO 内蔵シリアルコミュニケーションインタフェース (SCIFA)	SCIFA0	RXD0 (入力)
		SCK0 (入出力)
		CTS0# (入出力)
		RTS0# (出力)
	SCIFA1	RXD1 (入力)
		SCK1 (入出力)
		CTS1# (入出力)
		RTS1# (出力)
	SCIFA2	RXD2 (入力)
		SCK2 (入出力)
		CTS2# (入出力)
		RTS2# (出力)
SCIFA3	RXD3 (入力)	
SCIFA4	RXD4 (入力)	
EtherCAT スレーブコントローラ (MDIO コントローラ)	MDIOC0	ETH_MDIO (入出力)
EtherCAT スレーブコントローラ	ESC0	CATI2CCLK (入出力)
シリアルペリフェラルインタフェース	RSPI0	RSPCK0 (入出力)
		MOSI0 (入出力)
		MISO0 (入出力)
		SSL00 (入出力)
	RSPI1	RSPCK1 (入出力)
		MOSI1 (入出力)
		MISO1 (入出力)
		SSL10 (入出力)
		SSL11 (出力)
SPI マルチ I/O バスコントローラ		SPBMO/SPBIO0 (入出力)
		SPBMI/SPBIO1 (入出力)
		SPBIO2 (入出力)
		SPBIO3 (入出力)

18. コンペアマッチタイマ (CMT)

CMT は、2チャンネルの16ビットタイマにより構成されるコンペアマッチタイマ (CMT) で、16ビットのカウンタを持ち、設定した周期ごとに割り込みを発生させることができます。

18.1 概要

表 18.1 に CMT の仕様を示します。

図 18.1 に CMT のブロック図を示します。

表 18.1 CMTの仕様

項目	機能
内蔵チャンネル数	2チャンネル×3ユニット
タイマカウンタ (チャンネルごと)	16ビットアップカウンタ (プリスケアラが出力するカウントイネーブルによりカウント) コンペアマッチ後に0000hに戻る
プリスケアラ (チャンネルごと)	9ビットカウンタ (タイマカウンタの動作許可/禁止と連動) <ul style="list-style-type: none"> 4種類のカウンティネーブルを出力 PCLKD/8、PCLKD/32、PCLKD/128、PCLKD/512の中から選択可能
イベントリンク機能 (ユニット0のチャンネル1のみ)	イベントの受け付けにより3種類の内、何れかの動作が可能 <ul style="list-style-type: none"> カウントスタート動作 イベントカウント動作 カウントクリア動作 コンペアマッチイベントを発行可能
リセット	非同期リセット

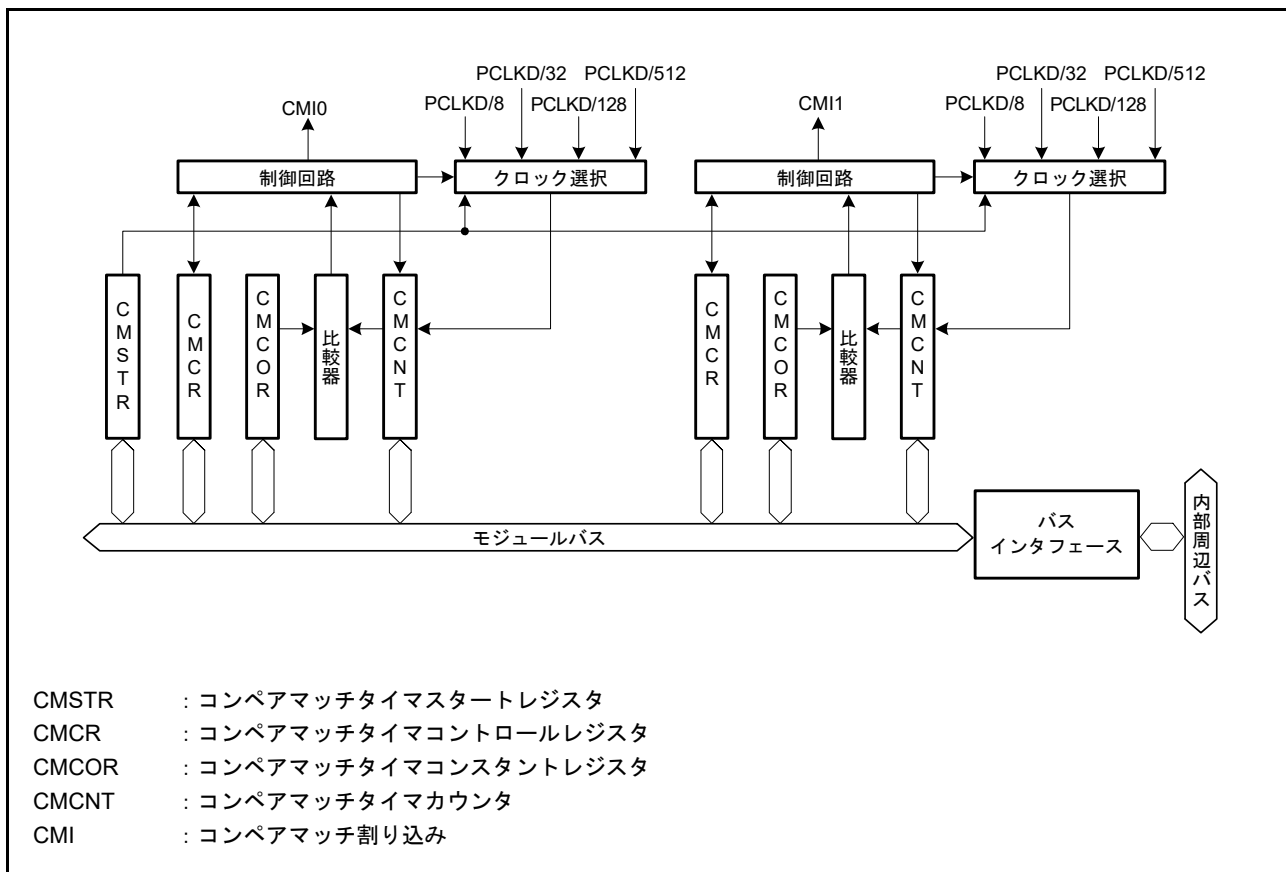


図 18.1 CMT 各ユニット (ユニット 0 ~ 2) のブロック図

18.2 レジスタの説明

18.2.1 コンペアマッチタイマスタートレジスタ 0 (CMSTR0)

ユニット 0 の CMT0.CMCNT カウンタ、CMT1.CMCNT カウンタの動作開始、停止の設定を行うレジスタです。

アドレス A008 0000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR1	STR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR0	カウントスタート0ビット	CMT0.CMCNTカウンタの動作開始/停止を選択します。本ビットの設定にしたがって、対応するプリスケアラも連動して動作/停止します。 0 : CMT0.CMCNTカウンタのカウント動作停止 1 : CMT0.CMCNTカウンタのカウント動作開始	R/W
b1	STR1	カウントスタート1ビット	CMT1.CMCNTカウンタの動作開始/停止を選択します。本ビットの設定にしたがって、対応するプリスケアラも連動して動作/停止します。 0 : CMT1.CMCNTカウンタのカウント動作停止 1 : CMT1.CMCNTカウンタのカウント動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

18.2.2 コンペアマッチタイマスタートレジスタ 1 (CMSTR1)

ユニット 1 の CMT2.CMCNT カウンタ、CMT3.CMCNT カウンタの動作開始、停止の設定を行うレジスタです。

アドレス A008 0020h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR3	STR2
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR2	カウントスタート2ビット	CMT2.CMCNTカウンタの動作開始/停止を選択します。本ビットの設定にしたがって、対応するプリスケアラも連動して動作/停止します。 0 : CMT2.CMCNTカウンタのカウント動作停止 1 : CMT2.CMCNTカウンタのカウント動作開始	R/W
b1	STR3	カウントスタート3ビット	CMT3.CMCNTカウンタの動作開始/停止を選択します。本ビットの設定にしたがって、対応するプリスケアラも連動して動作/停止します。 0 : CMT3.CMCNTカウンタのカウント動作停止 1 : CMT3.CMCNTカウンタのカウント動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

18.2.3 コンペアマッチタイマスタートレジスタ 2 (CMSTR2)

ユニット 2 の CMT4.CMCNT カウンタ、CMT5.CMCNT カウンタの動作開始、停止の設定を行うレジスタです。

アドレス A008 0040h

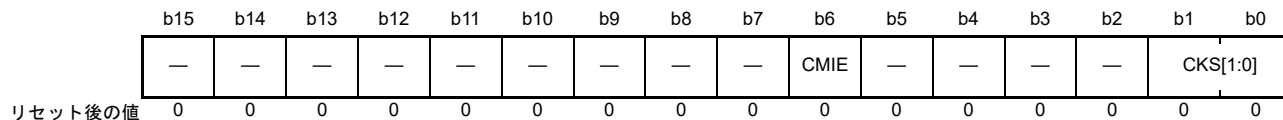
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR5	STR4
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR4	カウントスタート4ビット	CMT4.CMCNTカウンタの動作開始/停止を選択します。本ビットの設定にしたがって、対応するプリスケアラも連動して動作/停止します。 0 : CMT4.CMCNTカウンタのカウント動作停止 1 : CMT4.CMCNTカウンタのカウント動作開始	R/W
b1	STR5	カウントスタート5ビット	CMT5.CMCNTカウンタの動作開始/停止を選択します。本ビットの設定にしたがって、対応するプリスケアラも連動して動作/停止します。 0 : CMT5.CMCNTカウンタのカウント動作停止 1 : CMT5.CMCNTカウンタのカウント動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

18.2.4 コンペアマッチタイマコントロールレジスタ (CMCR)

カウントアップに用いるクロックを設定するレジスタです。

アドレス CMT0: A008 0002h, CMT1: A008 0008h, CMT2: A008 0022h, CMT3: A008 0028h, CMT4: A008 0042h, CMT5: A008 0048h



ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択ビット	低速周辺モジュールクロック (PCLKD) を分周した内部クロックから、CMTn.CMCNTカウンタに入力するクロックを選択します。 CMSTRm.STRnビットを“1”に設定すると、CKS[1:0]ビットで選択されたクロックにより、対応するCMCNTカウンタがカウントアップ動作を開始します。(m = 0~2, n = 0~5) b1 b0 0 0 : PCLKD/8 0 1 : PCLKD/32 1 0 : PCLKD/128 1 1 : PCLKD/512	R/W
b5-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b6	CMIE	コンペアマッチ割り込み許可ビット	CMCNTカウンタとCMCORレジスタの値が一致した時のコンペアマッチ割り込み (CMIn) 発生を許可/禁止を選択します。(n = 0~5) 0 : コンペアマッチ割り込み (CMIn) を禁止 1 : コンペアマッチ割り込み (CMIn) を許可	R/W
b7	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください。	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

18.2.5 コンペアマッチタイマカウンタ (CMCNT)

CMCNT カウンタは、コンペアマッチタイマの本体であるアップカウンタで、リード/ライト可能です。

CMCR.CKS[1:0] ビットで内部クロックを選択し、CMSTRm.STRn (m = 0~2, n = 0~5) ビットを“1”に設定することで内部クロックにより CMCNT カウンタはカウントアップ動作を開始します。

CMCNT カウンタの値がCMCOR レジスタの値と一致すると、CMCNT カウンタは“0000h”にクリアされます。このとき、コンペアマッチ割り込み (CMIn) が発生します。(n = 0~5)

アドレス CMT0: A008 0004h, CMT1: A008 000Ah, CMT2: A008 0024h, CMT3: A008 002Ah, CMT4: A008 0044h, CMT5: A008 004Ah



18.2.6 コンペアマッチタイマコンスタントレジスタ (CMCOR)

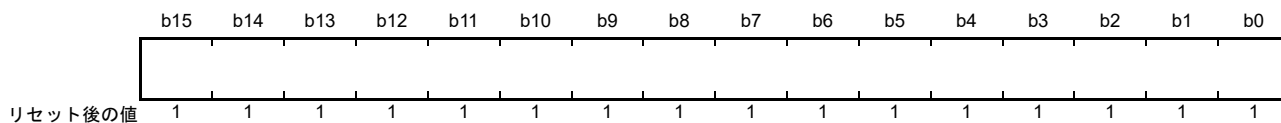
CMCOR レジスタは、CMCNT カウンタとのコンペアマッチ周期を設定するレジスタで、リード/ライト可能です。

コンペアマッチ周期は次のようになります。

$$\text{コンペアマッチ周期} = (\text{CMCOR レジスタ設定値} + 1) \times \text{カウントクロック周期 (注1)}$$

注1. CMCR.CKS[1:0] ビットで設定するクロック周期です。

アドレス CMT0: A008 0006h、CMT1: A008 000Ch、CMT2: A008 0026h、CMT3: A008 002Ch、CMT4: A008 0046h、CMT5: A008 004Ch



18.3 動作説明

18.3.1 周期カウント動作

CMCRn.CKS[1:0] ビットで内部クロックを選択し、CMSTRm.STRn ($m=0\sim 2, n=0\sim 5$) ビットを“1”にすると、選択したクロックによって CMCNT カウンタはカウントアップを開始します。

CMCNT カウンタの値が CMCOR レジスタの値と一致すると、CMCNT カウンタは“0000h”にクリアされます。このとき、コンペアマッチ割り込み (CMI_n) が発生します。CMCNT カウンタは“0000h”からカウントアップ動作を再開します。CMCNT カウンタの動作を図 18.2 に示します。

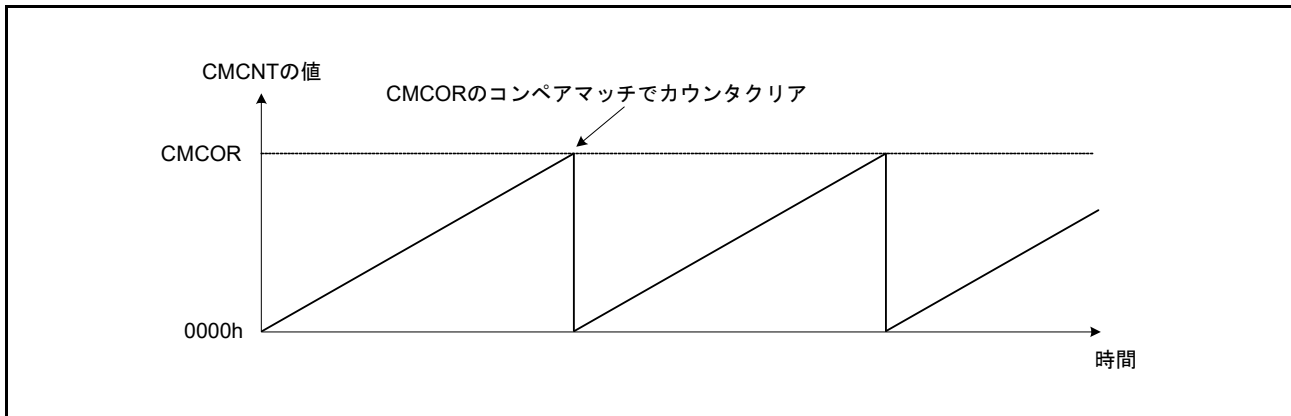


図 18.2 カウンタの動作

18.3.2 CMCNT カウンタのカウントタイミング

CMCR.CKS[1:0] ビットで、低速周辺モジュールクロック (PCLKD) を分周した 4 種類の内部クロック (PCLKD/8、PCLKD/32、PCLKD/128、PCLKD/512) からカウントクロックを選択できます。このときの CMCNT カウンタのカウントタイミングを図 18.3 に示します。

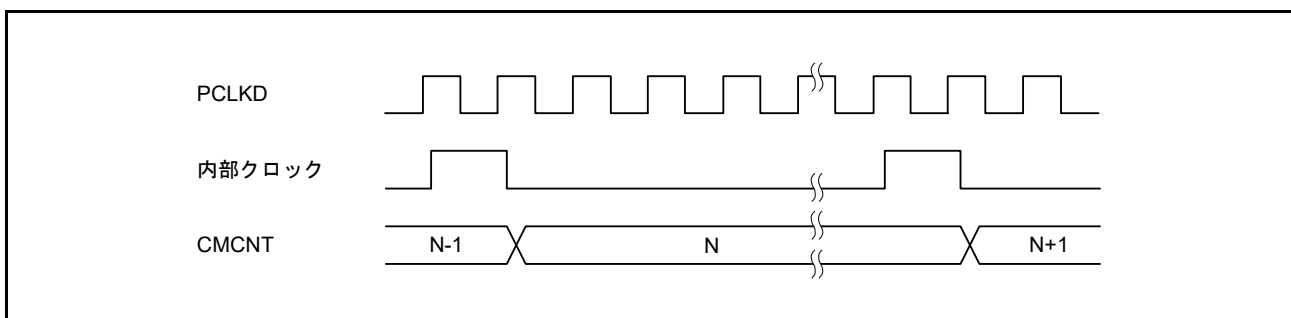


図 18.3 CMCNT カウンタのカウントタイミング

18.4 割り込み

18.4.1 割り込み要因

CMT は、チャンネルごとにコンペアマッチ割り込み (CMI_n) があり、それぞれ独立なベクタアドレスが割り当てられています。チャンネル間の優先順位は割り込みコントローラの設定により変更可能です。

表 18.2 CMTの割り込み要因

名称	割り込み要因
CMI0	CMT0.CMCNTカウンタとCMT0.CMCORレジスタのコンペアマッチ
CMI1	CMT1.CMCNTカウンタとCMT1.CMCORレジスタのコンペアマッチ
CMI2	CMT2.CMCNTカウンタとCMT2.CMCORレジスタのコンペアマッチ
CMI3	CMT3.CMCNTカウンタとCMT3.CMCORレジスタのコンペアマッチ
CMI4	CMT4.CMCNTカウンタとCMT4.CMCORレジスタのコンペアマッチ
CMI5	CMT5.CMCNTカウンタとCMT5.CMCORレジスタのコンペアマッチ

18.4.2 コンペアマッチ割り込みの発生タイミング

CMCNT カウンタの値と CMCOR レジスタの値が一致したときに、コンペアマッチ割り込み (CMI_n) が発生します。

コンペアマッチ信号は、一致した最後のステート (CMCNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、CMCNT カウンタの値と CMCOR レジスタの値とが一致した後、CMCNT カウンタ入力クロックが発生するまでコンペアマッチ信号は発生しません。

コンペアマッチ割り込みのタイミングを図 18.4 に示します。(n = 0 ~ 5)

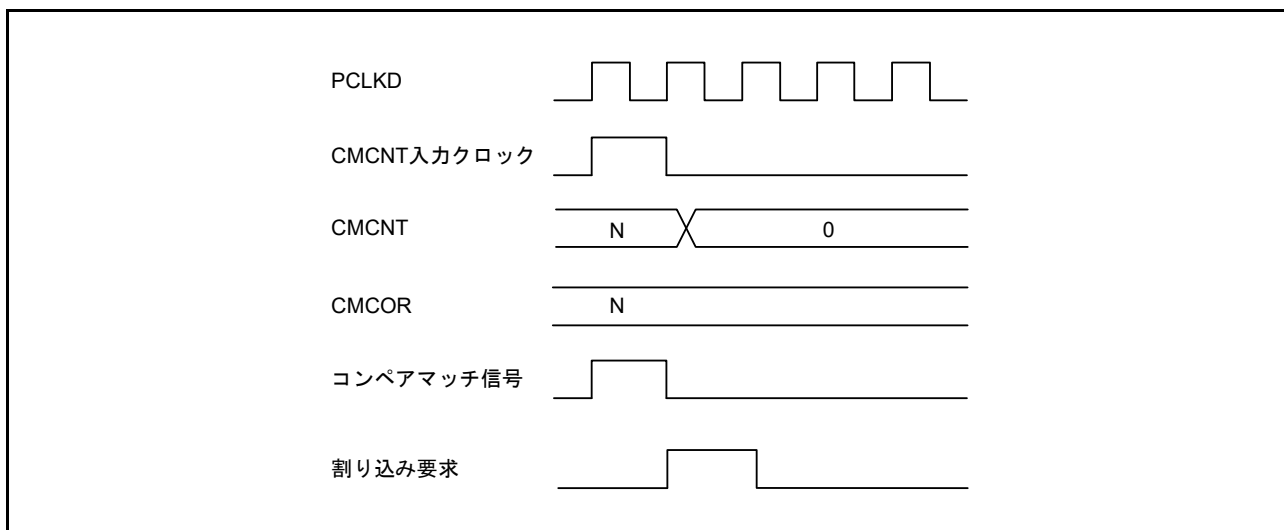


図 18.4 コンペアマッチ割り込みのセットタイミング

18.5 イベントリンク動作

18.5.1 ELC へのイベント発行

CMT はコンペアマッチが発生すると割り込みを要求しますが、同時にイベントリンクコントローラ (ELC) により、割り込み要求信号をイベント信号として使うことで、あらかじめ設定したモジュールに対してリンク動作が可能です。

イベント信号は、対応する割り込みの割り込み要求許可ビット (CMT1.CMCR.CMIE ビット) の設定に関係なく出力されます。

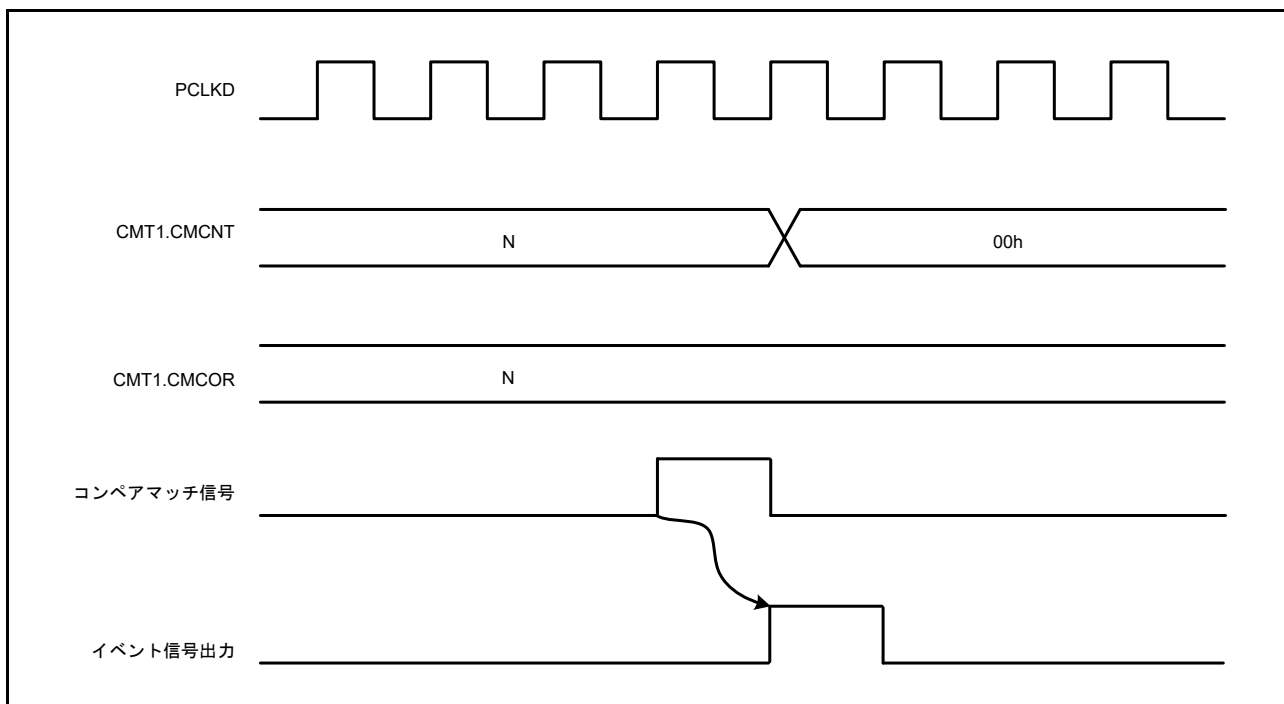


図 18.5 イベント発行タイミング

18.5.2 ELC からのイベント受け付けによる CMT の動作

CMT はイベントリンクコントローラ (ELC) にあらかじめ設定したイベントにより、次の 3 通りの動作が可能です。

(1) カウントスタート動作

ELC で CMT のカウントスタート動作を選択した場合、イベントを受け付けると、対応する CMSTR0 (コンペアマッチタイマスタートレジスタ 0) の STR1 ビットが“1”にセットされカウントがスタートします。

ただし、CMSTR0.STR1 ビットが“1”にセットされた状態で指定したイベントが発生した場合、そのイベントは無効となります。

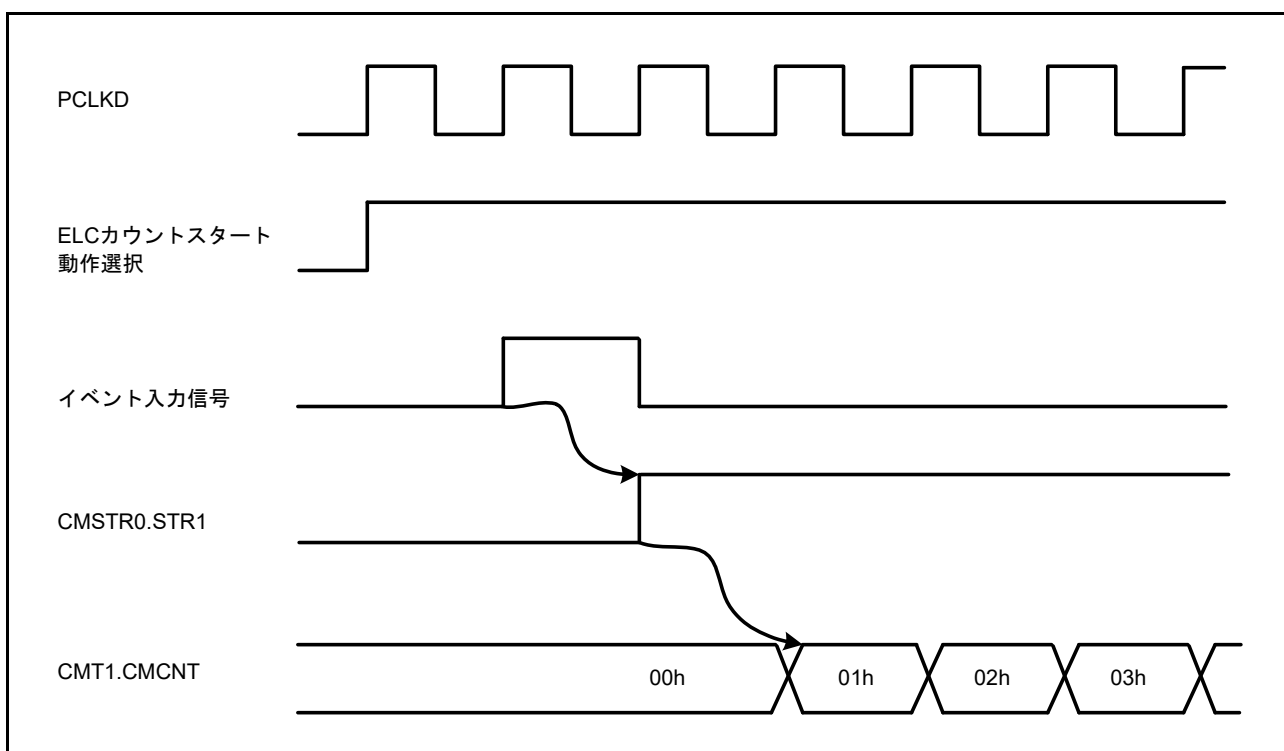


図 18.6 イベント受け付けによるカウントスタート動作

(2) イベントカウンタ動作

ELCでCMTのイベントカウンタ動作を選択した場合、イベントを受け付けると、CMT1.CMCR (コンペアマッチタイマコントロールレジスタ) のCKS[1:0]ビットの設定に関係なく、CMT1.CMCNT (コンペアマッチタイマカウンタ) をインクリメントします。イベントを受け付ける前にCMSTR0 (コンペアマッチタイマスタートレジスタ0) のSTR1ビットを“1”にセットしておく必要があります。

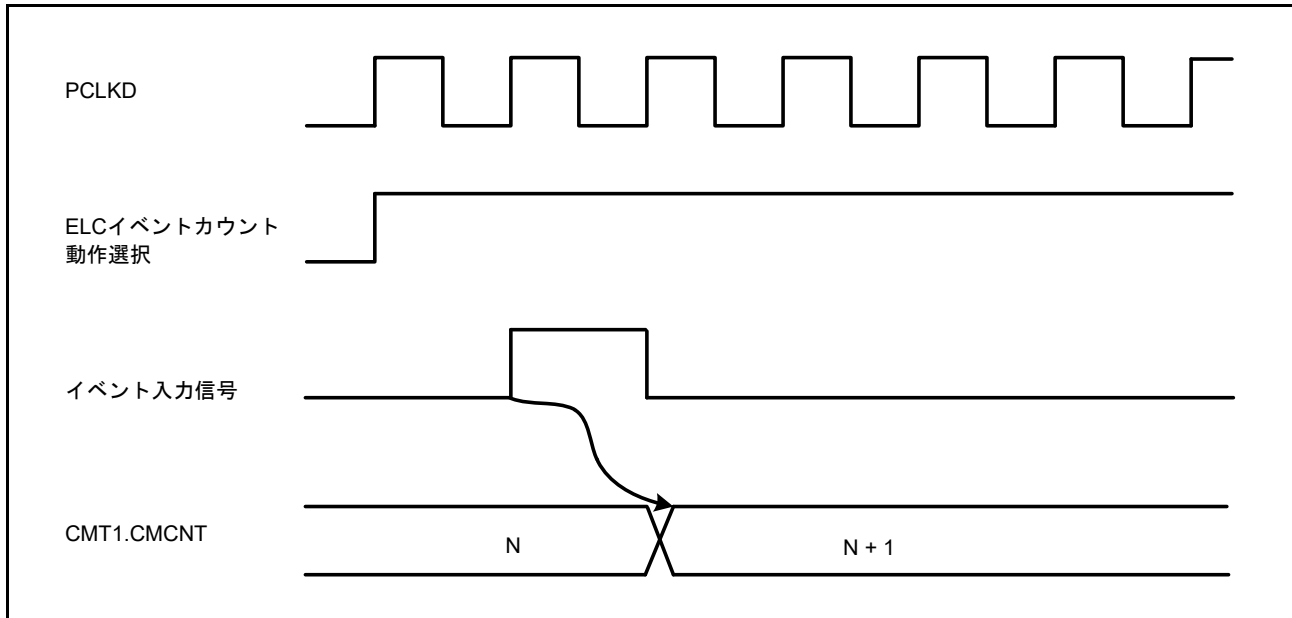


図 18.7 イベント受け付けによるイベントカウンタ動作

(3) カウントクリア動作

ELCでCMTのカウントクリア動作を選択した場合、イベントを受け付けると、CMT1.CMCNT（コンペアマッチタイマカウンタ）の値が初期値に書き換わります。このときCMSTR0（コンペアマッチタイマスタートレジスタ0）のSTR1ビットが“1”であればカウント動作を継続しカウントリスタート動作をすることができます。

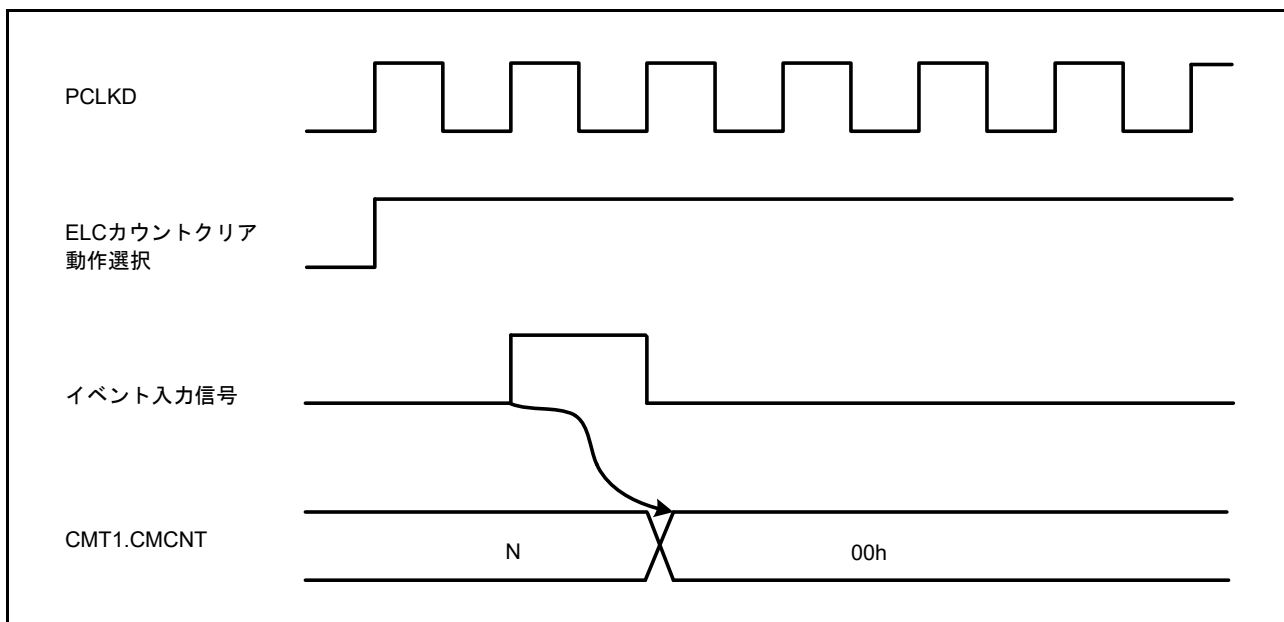


図 18.8 イベント受け付けによるカウントクリア動作

18.5.3 イベントリンク動作に関する CMT の注意事項

CMT をイベントリンクによる動作で使用するときは、以下のことに注意してください。

(1) カウントスタート動作

CMSTR0 (コンペアマッチタイマスタートレジスタ 0) の STR1 ビットへのライトアクセス中にイベントが発生すると、CMSTR0 (コンペアマッチタイマスタートレジスタ 0) の STR1 ビットへの書き込みは行われず、イベント発生による“1”セットが優先されます。

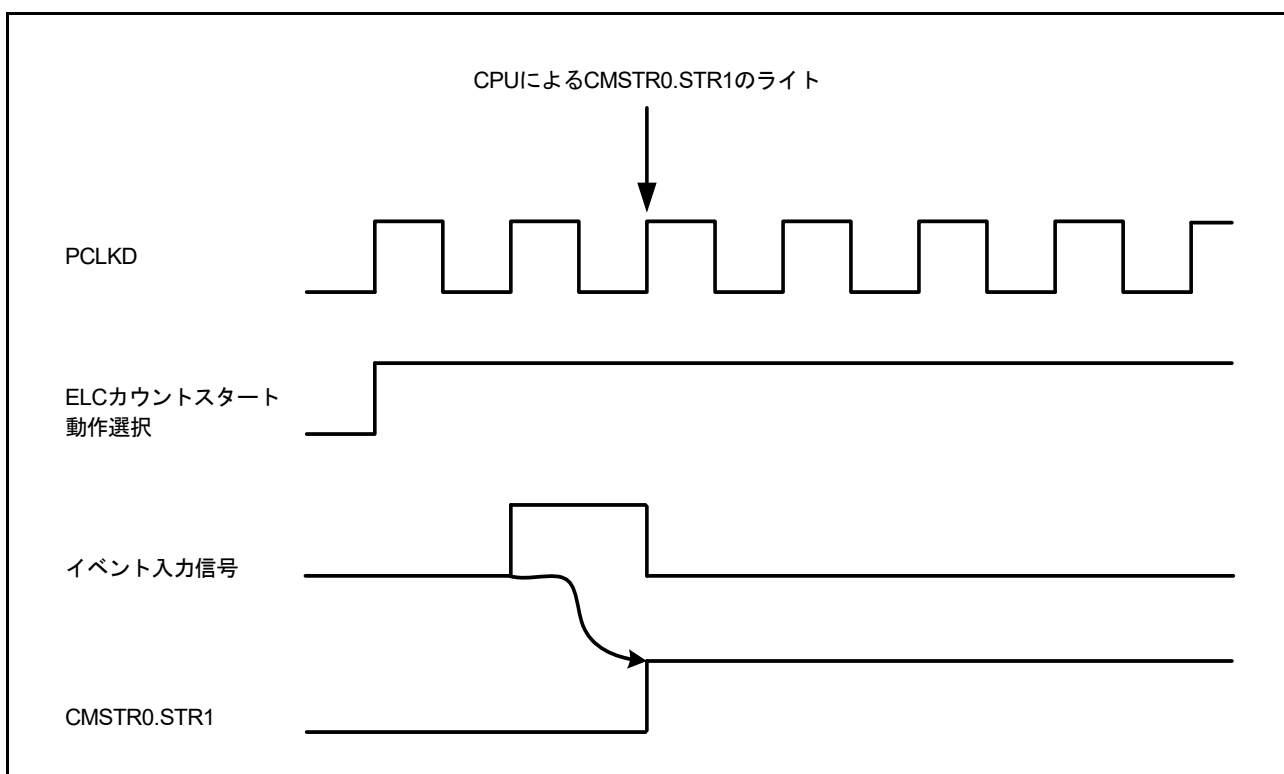


図 18.9 カウントスタート動作でのイベント受け付けとレジスタアクセスの競合

(2) イベントカウンタ動作

CMT1.CMCNT (コンペアマッチタイマカウンタ) へのライトアクセス中にイベントが発生すると、CMT1.CMCNT (コンペアマッチタイマカウンタ) への書き込みは行われず、イベント発生によるカウント動作が優先されます。

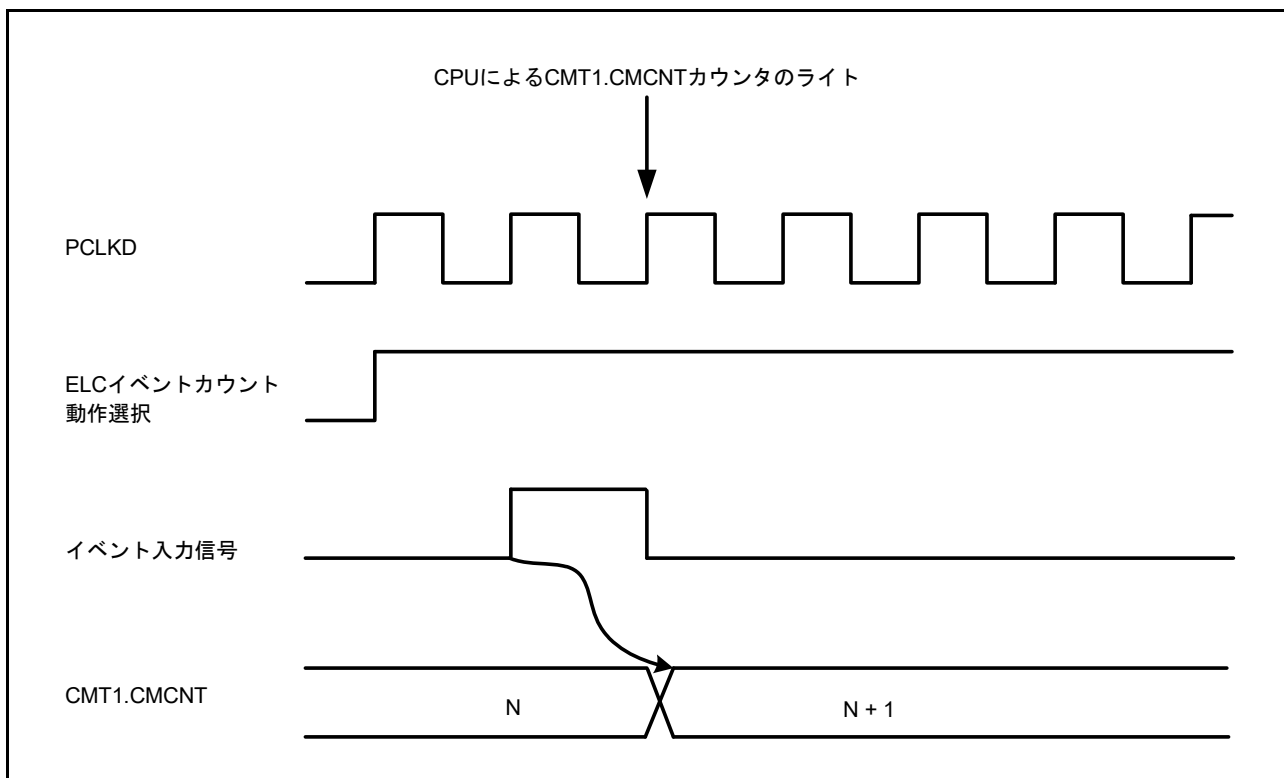


図 18.10 イベントカウンタ動作でのイベント受け付けとレジスタアクセスの競合

(3) カウントクリア動作

CMT1.CMCNT (コンペアマッチタイマカウンタ) へのライトアクセス中にイベントが発生すると、CMT1.CMCNT (コンペアマッチタイマカウンタ) への書き込みは行われず、イベント発生によるカウント値の初期化が優先されます。

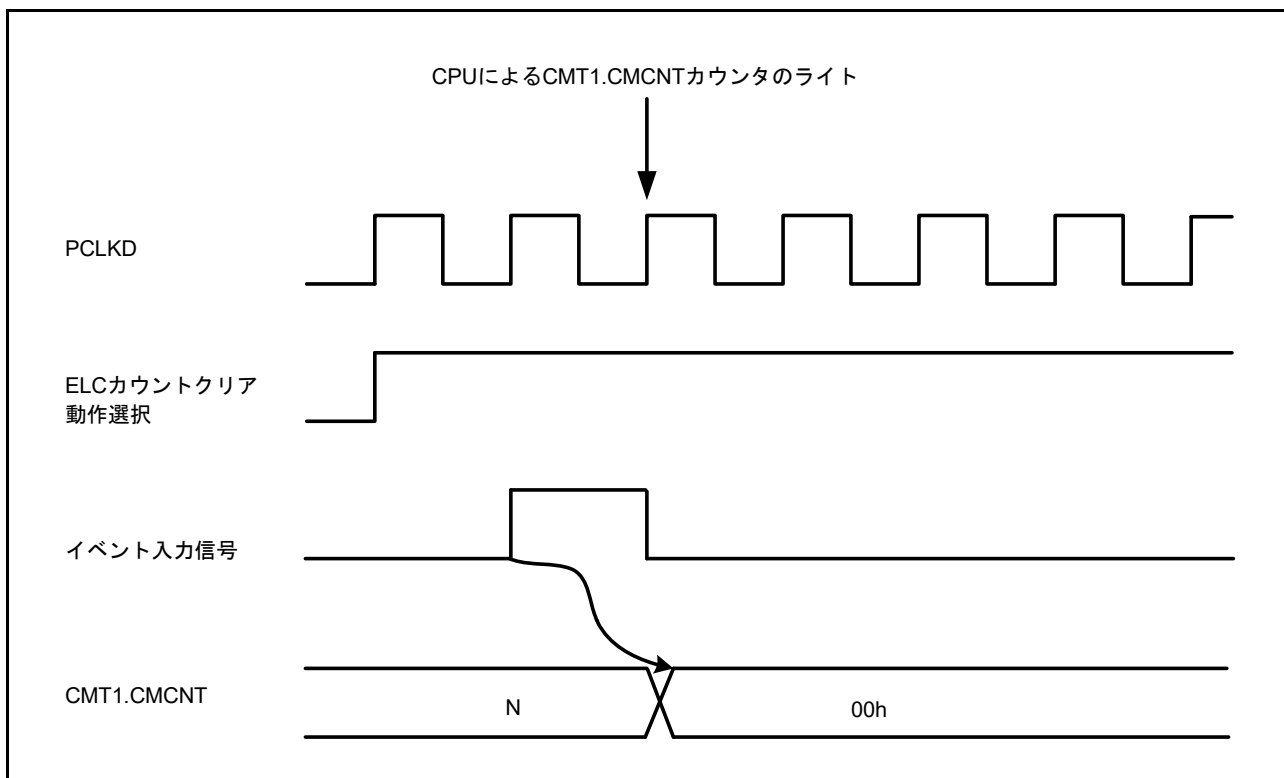


図 18.11 カウントクリア動作でのイベント受け付けとレジスタアクセスの競合

18.6 使用上の注意事項

18.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、CMT の動作を禁止/許可することが可能です。リセット後、CMT はモジュールストップ状態です。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「9. 消費電力低減機能」を参照してください。

18.6.2 CMCNT カウンタへの書き込みとコンペアマッチの競合

CMCNT カウンタへの書き込み中にコンペアマッチ信号が発生すると、CMCNT カウンタへの書き込みは行われず CMCNT カウンタのクリアが優先されます。このタイミングを図 18.12 に示します。

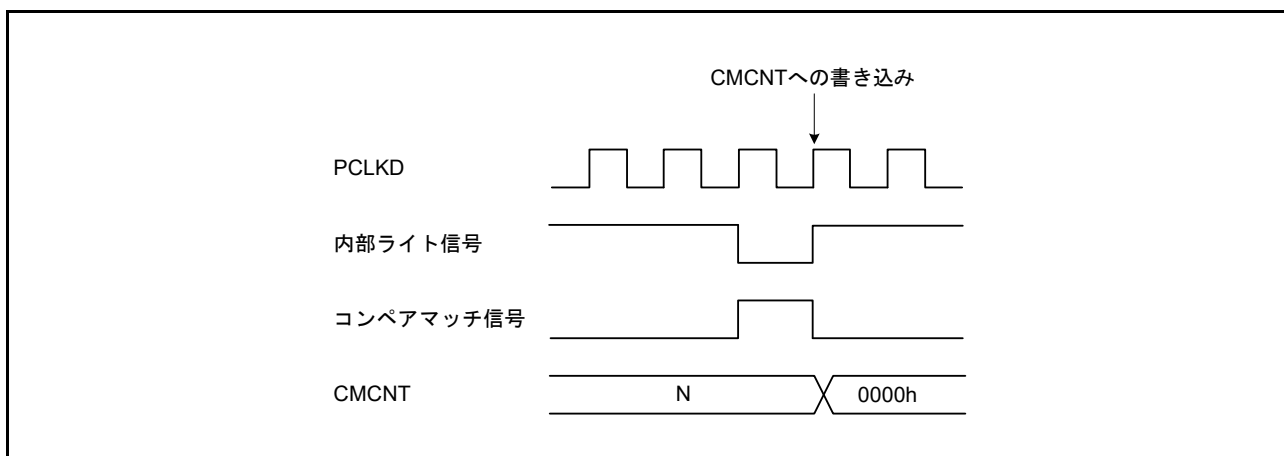


図 18.12 CMCNT カウンタへの書き込みとコンペアマッチの競合

18.6.3 CMCNT カウンタへの書き込みとカウントアップの競合

CMCNT カウンタへのライト中にカウントアップが発生しても、CMCNT カウンタはカウントアップされずに CMCNT カウンタへの書き込みが優先されます。

このタイミングを図 18.13 に示します。

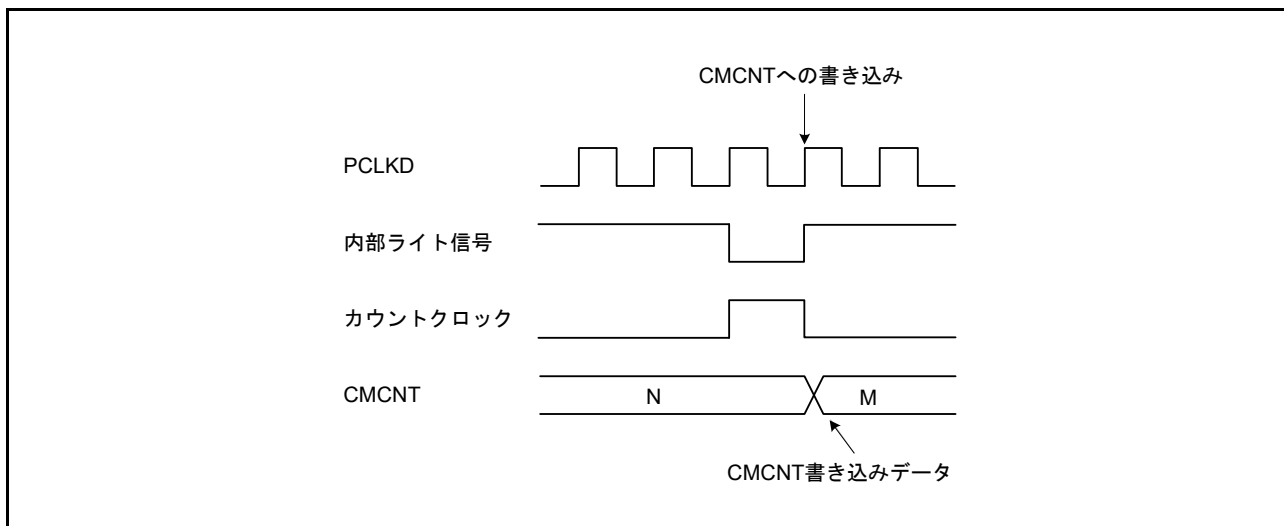


図 18.13 CMCNT カウンタへの書き込みとカウントアップの競合

表 18.3 イベントリンク動作/レジスタアクセス/カウンタ状態の競合動作まとめ

イベントリンク動作	レジスタアクセス	CMCNTの状態	実行される動作
カウントスタート	CMSTR0.STR1への書き込み	停止状態 コンペアマッチ カウントアップ	カウントスタート カウントスタート カウントスタート
イベントカウント	CMCNTへの書き込み CMCORへの書き込み	— コンペアマッチ	イベントカウント コンペアマッチ
カウントクリア	CMCNTへの書き込み CMCNTへの書き込み (レジスタアクセスなし)	コンペアマッチ以外 コンペアマッチ コンペアマッチ	カウントクリア コンペアマッチ コンペアマッチ
(イベントなし)	CMCNTへの書き込み CMCORへの書き込み	コンペアマッチ カウントアップ コンペアマッチ	コンペアマッチ CMCNTへの書き込み コンペアマッチ

19. コンペアマッチタイマ W (CMTW)

本 LSI は、1 チャンネルの 32 ビットタイマにより構成されるコンペアマッチタイマ W (CMTW) を 2 ユニット内蔵しています。CMTW は 32 ビットのカウンタを備え、設定した周期ごとに割り込みを発生させることができます。

19.1 概要

表 19.1 に CMTW の仕様を示します。図 19.1 に CMTW のブロック図を示します。

表 19.1 CMTW の仕様

項目	機能
チャンネル数	1チャンネル × 2ユニット
タイマカウンタ	16ビット/32ビット切り替え可能なアップカウンタ (プリスケアラが出力するカウント許可によりカウント) コンペアマッチ後に0000 0000hに戻る
プリスケアラ	9ビットカウンタ (タイマカウンタの動作許可/禁止と連動) <ul style="list-style-type: none"> 4種類のカウンタイネーブルを出力 PCLKD/8、PCLKD/32、PCLKD/128、PCLKD/512の中から選択可能
インプットキャプチャ	最大2本のインプットキャプチャ入力が可能
アウトプットコンペア	最大2本のアウトプットコンペア出力が可能
コンペアマッチ	1本のコンペアマッチが可能
割り込み	<ul style="list-style-type: none"> コンペアマッチ割り込み インプットキャプチャ0、インプットキャプチャ1割り込み アウトプットコンペア0、アウトプットコンペア1割り込み
イベントリンク	イベント受け付けにより以下の3種類の内、いずれかの動作が可能 <ul style="list-style-type: none"> カウントスタート動作 イベントカウント動作 カウントクリア動作 また、以下のイベントを発行可能 <ul style="list-style-type: none"> コンペアマッチイベント
消費電力低減機能	ユニットごとにモジュールストップ状態への設定が可能

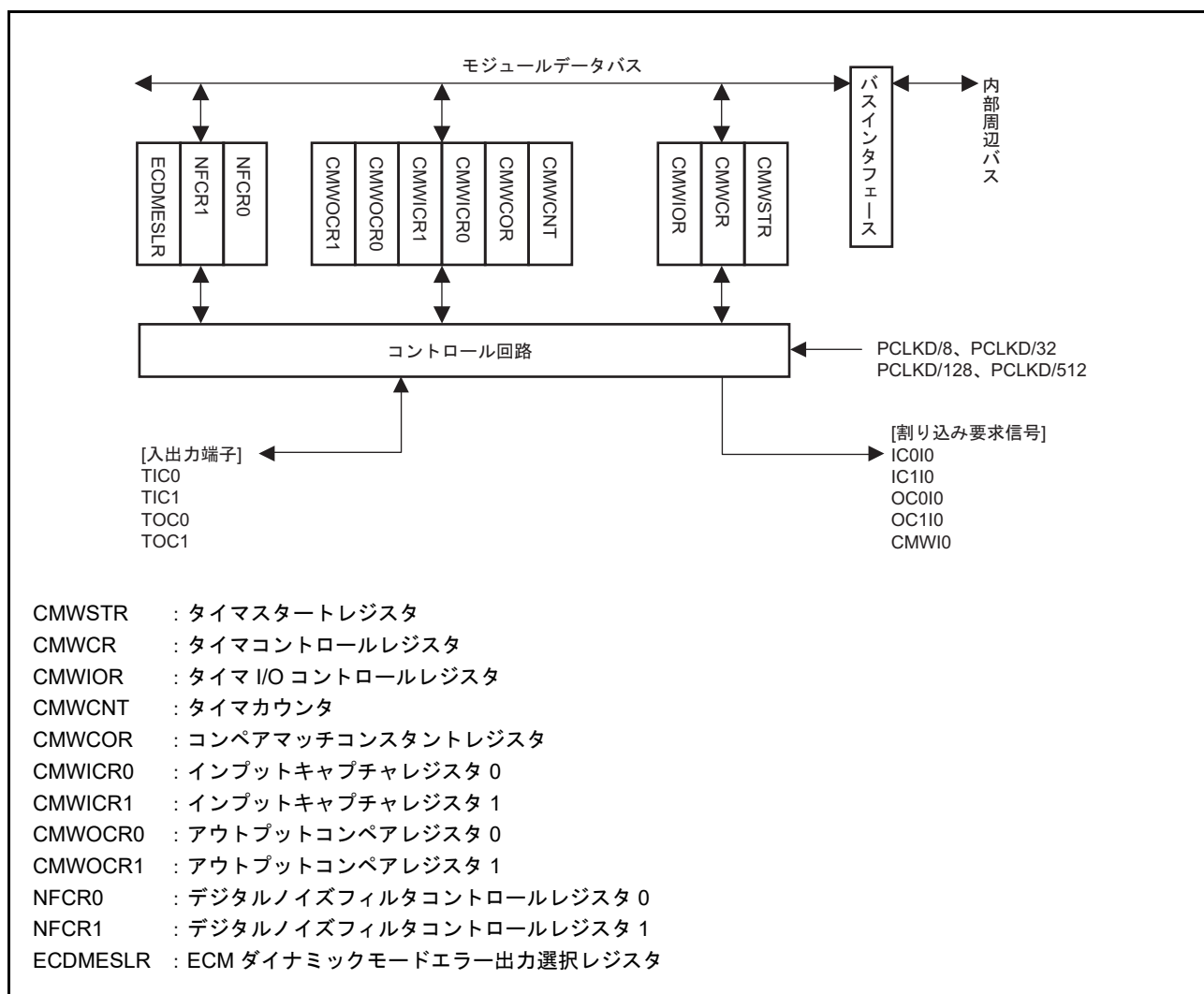


図 19.1 CMTW (ユニット 0) のブロック図

表 19.2 に CMTW の入出力端子を示します。

表 19.2 CMTWの入出力端子

ユニット	端子名	入出力	機能
CMTW0	TIC0	入力	インพุットキャプチャ入力0
	TIC1	入力	インพุットキャプチャ入力1
	TOC0	出力	アウトプットコンペア出力0
	TOC1	出力	アウトプットコンペア出力1
CMTW1	TIC2	入力	インพุットキャプチャ入力2
	TIC3	入力	インพุットキャプチャ入力3
	TOC2	出力	アウトプットコンペア出力2
	TOC3	出力	アウトプットコンペア出力3

19.2 レジスタの説明

19.2.1 タイマスタートレジスタ (CMWSTR)

CMWSTR レジスタは、CMWCNT カウンタの動作開始、停止の設定を行うレジスタです。

アドレス CMTW0.CMWSTR A008 0300h、CMTW1.CMWSTR A008 0380h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR	カウントスタートビット	0 : CMWCNT カウンタはカウントを停止 (カウント動作停止直前の値を保持して、カウント動作を停止) 1 : CMWCNT カウンタはカウント動作を開始	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

STR ビット (カウントスタートビット)

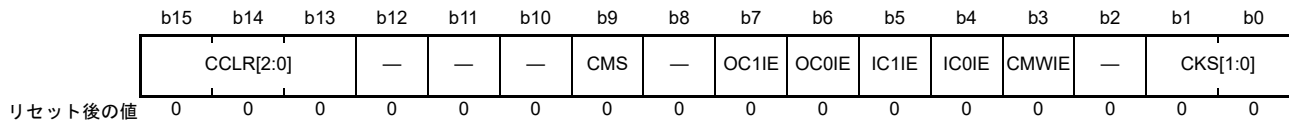
タイマカウンタの動作/停止を選択します。STR ビットの設定にしたがって、対応するプリスケラも連動して動作/停止します。

19.2.2 タイマコントロールレジスタ (CMWCR)

CMWCR レジスタは、カウンタクリア要因、カウンタ入力クロック、および割り込みの禁止/許可の設定を行うレジスタです。

CMWCR レジスタの設定は、タイマカウンタ (CMWCNT) の動作が停止した状態で行ってください。

アドレス CMTW0.CMWCR A008 0304h、CMTW1.CMWCR A008 0384h



ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロックセレクトビット	b1 b0 0 0 : PCLKD/8 0 1 : PCLKD/32 1 0 : PCLKD/128 1 1 : PCLKD/512	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3	CMWIE	コンペアマッチ割り込み許可ビット	0 : コンペアマッチ割り込み要求 (CMWI) を禁止 1 : コンペアマッチ割り込み要求 (CMWI) を許可	R/W
b4	IC0IE	インプットキャプチャ0割り込み許可ビット	0 : インプットキャプチャ0ビットによる割り込み要求 (IC0I) を禁止 1 : インプットキャプチャ0ビットによる割り込み要求 (IC0I) を許可	R/W
b5	IC1IE	インプットキャプチャ1割り込み許可ビット	0 : インプットキャプチャ1ビットによる割り込み要求 (IC1I) を禁止 1 : インプットキャプチャ1ビットによる割り込み要求 (IC1I) を許可	R/W
b6	OC0IE	アウトプットコンペア0割り込み許可ビット	0 : アウトプットコンペア0ビットによる割り込み要求 (OC0I) を禁止 1 : アウトプットコンペア0ビットによる割り込み要求 (OC0I) を許可	R/W
b7	OC1IE	アウトプットコンペア1割り込み許可ビット	0 : アウトプットコンペア1ビットによる割り込み要求 (OC1I) を禁止 1 : アウトプットコンペア1ビットによる割り込み要求 (OC1I) を許可	R/W
b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b9	CMS	タイマカウンタサイズビット	0 : 32ビットカウンタ動作 1 : 16ビットカウンタ動作	R/W
b12-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b15-b13	CCLR[2:0]	カウンタクリアビット	b15 b13 0 0 0 : CMWCORレジスタのコンペアマッチで CMWCNTカウンタクリア 0 0 1 : クリアしない 0 1 0 : クリアしない 0 1 1 : クリアしない 1 0 0 : CMWICR0レジスタのインプットキャプチャで CMWCNTカウンタクリア 1 0 1 : CMWICR1レジスタのインプットキャプチャで CMWCNTカウンタクリア 1 1 0 : CMWOCR0レジスタのコンペアマッチで CMWCNTカウンタクリア 1 1 1 : CMWOCR1レジスタのコンペアマッチで CMWCNTカウンタクリア	R/W

CKS[1:0] ビット (クロックセレクトビット)

周辺クロック (PCLKD) を分周した4種類の内部クロックから CMWCNT カウンタに入力するクロックを選択します。CMWSTR.STR ビットを“1”に設定すると、CMWCNT.CKS[1:0] ビットにより選択されたクロックで CMWCNT カウンタがカウントアップ動作を開始します。

CMWIE ビット (コンペアマッチ割り込み許可ビット)

CMWCNT カウンタと CMWCOR レジスタの値が一致したとき、コンペアマッチ割り込み要求 (CMWI) の発生を許可するか禁止するかを選択します。

IC0IE ビット (インプットキャプチャ0 割り込み許可ビット)

CMWICR0 レジスタにインプットキャプチャが発生したとき、インプットキャプチャ割り込み0 (IC0I) の発生を許可するか禁止するかを選択します。

IC1IE ビット (インプットキャプチャ1 割り込み許可ビット)

CMWICR1 レジスタにインプットキャプチャが発生したとき、インプットキャプチャ割り込み1 (IC1I) の発生を許可するか禁止するかを選択します。

OC0IE ビット (アウトプットコンペア0 割り込み許可ビット)

CMWCNT カウンタと CMWOCR0 レジスタの値が一致したとき、アウトプットコンペア割り込み0 (OC0I) の発生を許可するか禁止するかを選択します。

OC1IE ビット (アウトプットコンペア1 割り込み許可ビット)

CMWCNT カウンタと CMWOCR1 レジスタの値が一致したとき、アウトプットコンペア割り込み1 (OC1I) の発生を許可するか禁止するかを選択します。

CMS ビット (タイマカウンタサイズビット)

タイマカウンタ (CMWCNT) を、16 ビットまたは 32 ビットのどちらのカウンタとして使用するかを選択します。CMS ビットの設定がコンペアマッチコンスタントレジスタ (CMWCOR)、インプットキャプチャレジスタ (CMWICR0、CMWICR1)、アウトプットコンペアレジスタ (CMWOCR0、CMWOCR1) の有効ビットサイズになります。

CCLR[2:0] ビット (カウンタクリアビット)

CMWCNT カウンタのカウンタクリア要因を選択します。

19.2.3 タイマ I/O コントロールレジスタ (CMWIOR)

CMWIOR レジスタは CMWCOR、CMWICR0、CMWICR1、CMWOCR0、CMWOCR1 レジスタを制御するレジスタです。

CMWIOR の設定は、タイマカウンタ (CMWCNT) の動作が停止した状態で行ってください。

アドレス CMTW0.CMWIOR A008 0308h、CMTW1.CMWIOR A008 0388h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CMWE	—	OC1E	OC0E	OC1[1:0]	OC0[1:0]	—	—	IC1E	IC0E	IC1[1:0]	IC0[1:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	IC0[1:0]	インプットキャプチャコントロール0ビット	b1 b0 0 0 : TIC0端子の立ち上がりエッジでインプットキャプチャ 0 1 : TIC0端子の立ち下がりエッジでインプットキャプチャ 1 0 : TIC0端子の両エッジでインプットキャプチャ 1 1 : 設定しないでください	R/W
b3-b2	IC1[1:0]	インプットキャプチャコントロール1ビット	b3 b2 0 0 : TIC1端子の立ち上がりエッジでインプットキャプチャ 0 1 : TIC1端子の立ち下がりエッジでインプットキャプチャ 1 0 : TIC1端子の両エッジでインプットキャプチャ 1 1 : 設定しないでください	R/W
b4	IC0E	インプットキャプチャ許可0ビット	0 : CMWICR0レジスタのインプットキャプチャ動作を禁止 1 : CMWICR0レジスタのインプットキャプチャ動作を許可	R/W
b5	IC1E	インプットキャプチャ許可1ビット	0 : CMWICR1レジスタのインプットキャプチャ動作を禁止 1 : CMWICR1レジスタのインプットキャプチャ動作を許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b9-b8	OC0[1:0]	アウトプットコンペアコントロール0ビット	b9 b8 0 0 : 出力保持 (注1) 0 1 : 初期出力は“0”出力 コンペアマッチでトグル出力 1 0 : 初期出力は“1”出力 コンペアマッチでトグル出力 1 1 : 設定しないでください	R/W
b11-b10	OC1[1:0]	アウトプットコンペアコントロール1ビット	b11 b10 0 0 : 出力保持 (注1) 0 1 : 初期出力は“0”出力 コンペアマッチでトグル出力 1 0 : 初期出力は“1”出力 コンペアマッチでトグル出力 1 1 : 設定しないでください	R/W
b12	OC0E	コンペアマッチ許可0ビット	0 : CMWOCR0レジスタによるコンペアマッチ動作を禁止 1 : CMWOCR0レジスタによるコンペアマッチ動作を許可	R/W
b13	OC1E	コンペアマッチ許可1ビット	0 : CMWOCR1レジスタによるコンペアマッチ動作を禁止 1 : CMWOCR1レジスタによるコンペアマッチ動作を許可	R/W
b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b15	CMWE	コンペアマッチ許可ビット	0 : CMWCORレジスタによるコンペアマッチ動作を禁止 1 : CMWCORレジスタによるコンペアマッチ動作を許可	R/W

注1. リセット後、CMWIORレジスタを設定するまでは“0”が出力されます。

IC0[1:0] ビット (インプットキャプチャコントロール0ビット)

CMWICR0 レジスタのインプットキャプチャ動作を選択します。

IC1[1:0] ビット (インプットキャプチャコントロール1ビット)

CMWICR1 レジスタのインプットキャプチャ動作を選択します。

IC0E ビット (インプットキャプチャ許可 0 ビット)

CMWICR0 レジスタのインプットキャプチャ動作の禁止/許可を設定します。

IC1E ビット (インプットキャプチャ許可 1 ビット)

CMWICR1 レジスタのインプットキャプチャ動作の禁止/許可を設定します。

OC0[1:0] ビット (アウトプットコンペアコントロール 0 ビット)

CMWOCR0 レジスタによるアウトプットコンペア動作を設定します。

OC1[1:0] ビット (アウトプットコンペアコントロール 1 ビット)

CMWOCR1 レジスタによるアウトプットコンペア動作を設定します。

OC0E ビット (コンペアマッチ許可 0 ビット)

CMWOCR0 レジスタによるコンペアマッチ動作の禁止/許可を設定します。

OC1E ビット (コンペアマッチ許可 1 ビット)

CMWOCR1 レジスタによるコンペアマッチ動作の禁止/許可を設定します。

CMWE ビット (コンペアマッチ許可ビット)

CMWCOR レジスタによるコンペアマッチ動作の禁止/許可を設定します。

19.2.4 タイマカウンタ (CMWCNT)

CMWCNT カウンタは、書き込み/読み出し可能なアップカウンタとして使用します。

カウント動作を開始する前に、タイマコントロールレジスタ (CMWCR) の設定を完了してください。

CMWCR.CMS ビットで 16 ビットカウンタ動作とした場合、CMWCNT カウンタの b15 ~ b0 が有効となります。本レジスタは、32 ビットアクセスのみ可能なため、書き込む場合は、上位に 0000h を加えた 32 ビットデータを書き込んでください。上位に 0000h 以外の値を設定した場合、本レジスタを読み出した際、0000 FFFFh より大きい値が読み出されることがあります。

なお、STR ビットを“1”にした場合、CMWCNT カウンタはカウント動作を開始し、STR ビットを“0”にした場合、CMWCNT カウンタはカウント動作停止直前の値を保持して停止します。

アドレス CMTW0.CMWCNT A008 0310h、CMTW1.CMWCNT A008 0390h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

19.2.5 コンペアマッチコンスタントレジスタ (CMWCOR)

CMWCOR レジスタは、書き込み/読み出し可能なレジスタで、タイマカウンタ (CMWCNT) とコンペアマッチするまでの期間を設定するレジスタです。タイマコントロールレジスタ (CMWCR) の CMS ビットで 16 ビットカウンタ動作に設定した場合、本レジスタの b15 ~ b0 が有効となります。本レジスタは、32 ビットアクセスのみ可能なため、書き込む場合は、上位に 0000h を加えた 32 ビットデータで書き込んでください。

コンペアマッチ周期は次のようになります。

$$\text{コンペアマッチ周期} = (\text{CMWCOR レジスタ設定値} + 1) \times \text{カウントクロック周期 (注 1)}$$

注 1. CMWCR.CKS[1:0] ビットで設定するクロック周期です。

アドレス CMTW0.CMWCOR A008 0314h、CMTW1.CMWCOR A008 0394h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

19.2.6 インプットキャプチャレジスタ 0、1 (CMWICR0、CMWICR1)

CMWICR0、CMWICR1 レジスタは、インプットキャプチャ時の CMWCNT カウンタ値を格納する読み出し専用のレジスタです。

タイマコントロールレジスタ (CMWCR) の CMS ビットで 16 ビットカウンタ動作に設定した場合、本レジスタの b15 ~ b0 が有効となります。本レジスタへの書き込みは無効です。

アドレス CMTW0.CMWICR0 A008 0318h、CMTW0.CMWICR1 A008 031Ch、
CMTW1.CMWICR0 A008 0398h、CMTW1.CMWICR1 A008 039Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

19.2.7 アウトプットコンペアレジスタ 0、1 (CMWOCR0、CMWOCR1)

CMWOCR0、CMWOCR1 レジスタは、アウトプットコンペア時のコンペア値を設定する書き込み/読み出し可能なレジスタです。

タイマコントロールレジスタ (CMWCR) の CMS ビットで 16 ビットカウンタ動作に設定した場合、本レジスタの b15 ~ b0 が有効となります。本レジスタは、32 ビットアクセスのみ可能なため、書き込む場合は、上位に 0000h を加えた 32 ビットデータで書き込んでください。

アドレス CMTW0.CMWOCR0 A008 0320h、CMTW0.CMWOCR1 A008 0324h、
CMTW1.CMWOCR0 A008 03A0h、CMTW1.CMWOCR1 A008 03A4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

19.2.8 デジタルノイズフィルタコントロールレジスタ 0 (NFCR0)

NFCR0 レジスタは、CMTW0 のインプットキャプチャ信号 (TICn, n=0, 1) のデジタルノイズフィルタを制御するレジスタです。

NFCR0 レジスタの設定は、CMTW0.CMWCNT カウンタの動作が停止した状態で行ってください。

アドレス CMTW.NFCR0 A008 0400h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	NFCS0[1:0]	NF1EN	NF0EN	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NF0EN	デジタルノイズフィルタ有効0ビット	0 : TIC0 端子のデジタルノイズフィルタは無効 1 : TIC0 端子のデジタルノイズフィルタは有効	R/W
b1	NF1EN	デジタルノイズフィルタ有効1ビット	0 : TIC1 端子のデジタルノイズフィルタは無効 1 : TIC1 端子のデジタルノイズフィルタは有効	R/W
b3-b2	NFCS0[1:0]	デジタルノイズフィルタクロック選択0ビット	b3 b2 0 0 : PCLKD/1 0 1 : PCLKD/8 1 0 : PCLKD/32 1 1 : PCLKD/64	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

NF0EN ビット (デジタルノイズフィルタ有効0ビット)

TIC0 端子のデジタルノイズフィルタを有効または無効にします。本ビットは、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で切り替えてください。(アウトプットコンペア機能に設定せずに本ビットを切り替えた場合、意図しない内部エッジが発生することがあります。)

NF1EN ビット (デジタルノイズフィルタ有効1ビット)

TIC1 端子のデジタルノイズフィルタを有効または無効にします。本ビットは、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で切り替えてください。(アウトプットコンペア機能に設定せずに本ビットを切り替えた場合、意図しない内部エッジが発生することがあります。)

NFCS0[1:0] ビット (デジタルノイズフィルタクロック選択0ビット)

CMTW0 のデジタルノイズフィルタのサンプリングクロックを選択します。

選択されたクロックの立ち上がりエッジでインプットキャプチャ入力信号をサンプリングします。サンプリングしたレベルが3回連続して一致した場合に、そのレベルをインプットキャプチャ信号とみなし、一致しない場合は、前のレベルを保持します。

本ビットを設定した後、設定したサンプリング周期の2周期分待った後でインプットキャプチャ機能に設定してください。

19.2.9 デジタルノイズフィルタコントロールレジスタ 1 (NFCR1)

NFCR1 レジスタは、CMTW1 のインプットキャプチャ信号 (TICn, n=2, 3) のデジタルノイズフィルタを制御します。

NFCR1 レジスタの設定は、CMTW1.CMWCNT カウンタの動作が停止した状態で行ってください。

アドレス CMTW.NFCR1 A008 0404h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	NFCS1[1:0]	NF3EN	NF2EN	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NF2EN	デジタルノイズフィルタ有効2ビット	0 : TIC2端子のデジタルノイズフィルタは無効 1 : TIC2端子のデジタルノイズフィルタは有効	R/W
b1	NF3EN	デジタルノイズフィルタ有効3ビット	0 : TIC3端子のデジタルノイズフィルタは無効 1 : TIC3端子のデジタルノイズフィルタは有効	R/W
b3-b2	NFCS1[1:0]	デジタルノイズフィルタクロック選択1ビット	b3 b2 0 0 : PCLKD/1 0 1 : PCLKD/8 1 0 : PCLKD/32 1 1 : PCLKD/64	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

NF2EN ビット (デジタルノイズフィルタ有効2ビット)

TIC2 端子のデジタルノイズフィルタを有効または無効にします。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で本ビットを切り替えてください。

NF3EN ビット (デジタルノイズフィルタ有効3ビット)

TIC3 端子のデジタルノイズフィルタを有効または無効にします。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で本ビットを切り替えてください。

NFCS1[1:0] ビット (デジタルノイズフィルタクロック選択1ビット)

CMTW1 のデジタルノイズフィルタのサンプリングクロックを選択します。

選択されたクロックの立ち上がりエッジでインプットキャプチャ入力信号をサンプリングします。サンプリングしたレベルが3回連続して一致した場合に、そのレベルをインプットキャプチャ信号とみなし、一致しない場合は、前のレベルを保持します。

本ビットを設定した後、設定したサンプリング周期の2周期分待った後でインプットキャプチャ機能に設定してください。

19.2.10 ECM ダイナミックモードエラー出力選択レジスタ (ECDMESLR)

エラーコントロールモジュール (ECM) ダイナミックモード時のエラー出力を選択するレジスタです。

アドレス CMTW.ECDMESLR A008 0410h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	DMERSL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	DMERSL [2:0]	ECMダイナミックモードエラー出力選択ビット	b2 b1 b0 0 0 0 : 0固定 (アウトプットコンペア信号未使用) 0 0 1 : CMTW0.CMWCOR0のアウトプットコンペア信号 0 1 0 : CMTW0.CMWCOR1のアウトプットコンペア信号 0 1 1 : CMTW1.CMWCOR0のアウトプットコンペア信号 1 0 0 : CMTW1.CMWCOR1のアウトプットコンペア信号 上記以外は設定禁止	R/W
b31-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

DMERSL[2:0] ビット (ECM ダイナミックモードエラー出力選択ビット)

ECM ダイナミックモード時のエラー出力をいずれかのCMTW アウトプットコンペア信号から選択します。

ECM ダイナミックモードの詳細は「32. エラーコントロールモジュール (ECM)」を参照してください。

19.3 動作説明

CMTWはCMWCRレジスタの設定後にCMWSTR.STRビットを“1”にすることによって、カウント動作を開始します。CMWSTR.STRビットを“0”にすることによって、CMWCNTカウンタはカウント動作停止直前の値を保持して、カウント動作を停止します。また、CMWIORレジスタを設定することにより、コンペアマッチ機能、インプットキャプチャ入力機能、およびアウトプットコンペア出力機能を使用することが可能です。

19.3.1 周期カウント動作

CMWCR.CKS[1:0]ビットで内部クロックを選択し、CMWSTR.STRビットを“1”にすると、選択したクロックによってCMWCNTカウンタはカウントアップ動作を開始します。CMWCR.CCLR[2:0]ビットでカウンタをクリアする条件に設定した場合は、カウンタクリア要因が発生するとCMWCNTカウンタは0000 0000hにクリアされ、カウントアップを続けます。カウンタをクリアしない条件に設定した場合、オーバフロー発生時(FFFF FFFFh → 0000 0000h (32ビットカウンタ動作時) / 0000 FFFFh → 0000 0000h (16ビットカウンタ動作時))のみCMWCNTカウンタは0000 0000hにクリアされ、カウントアップを続けます。

19.3.2 コンペアマッチ機能

CMWCNTカウンタの値がCMWCORレジスタの値と一致すると、コンペアマッチ割り込み(CMWI)が発生します。また、CMWCR.CCLR[1:0]の設定によって、CMWCNTカウンタは以下のように動作します。

1. CMWCR.CCLR[2:0] = 000b の場合

CMWCNTカウンタの値がCMWCORレジスタの値と一致すると、CMWCNTカウンタは“0000 0000h”にクリアされます。その後、CMWCNTカウンタは“0000 0000h”から再びカウントアップ動作を再開します。

2. CMWCR.CCLR[2:0] ≠ 000b の場合

CMWCNTカウンタの値がCMWCORレジスタの値と一致しても、CMWCNTカウンタは“0000 0000h”にクリアされず、CMWCR.CCLR[1:0]で設定されたクリア条件成立時、または“FFFF FFFFh (32ビットカウンタ動作時) / ****FFFFh (16ビットカウンタ動作時)”までカウントアップ動作を続けます。その後、CMWCNTカウンタは“0000 0000h”にクリアされ、“0000 0000h”から再びカウントアップ動作を再開します。

コンペアマッチ動作の設定手順例を図 19.2 に示します。

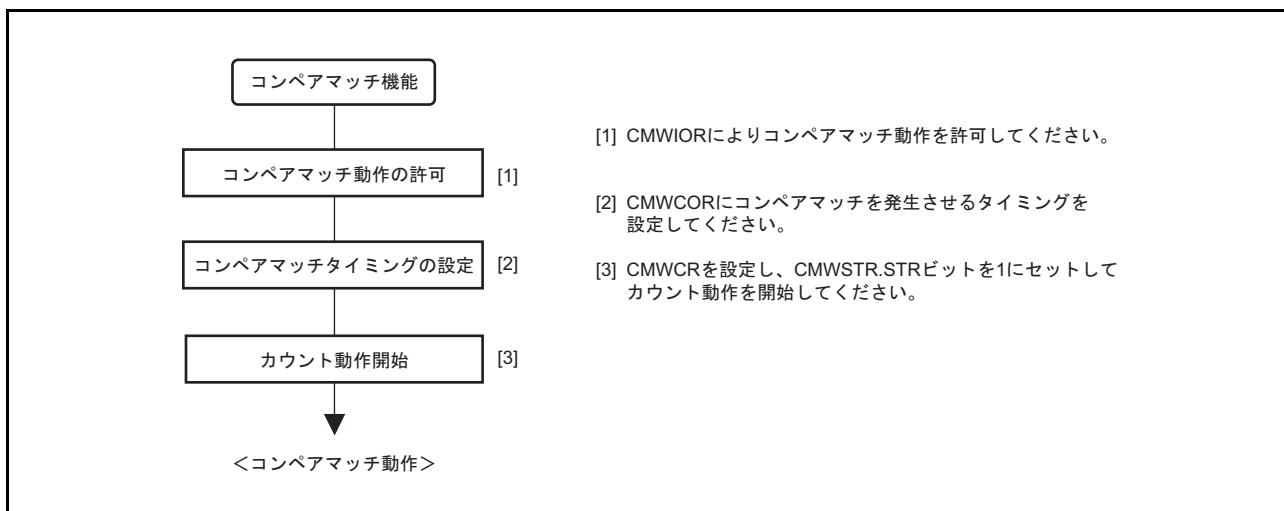


図 19.2 コンペアマッチ動作の設定手順例

CMWCOR レジスタとのコンペアマッチをカウンタクリア要因とした場合の例を図 19.3 に示します。

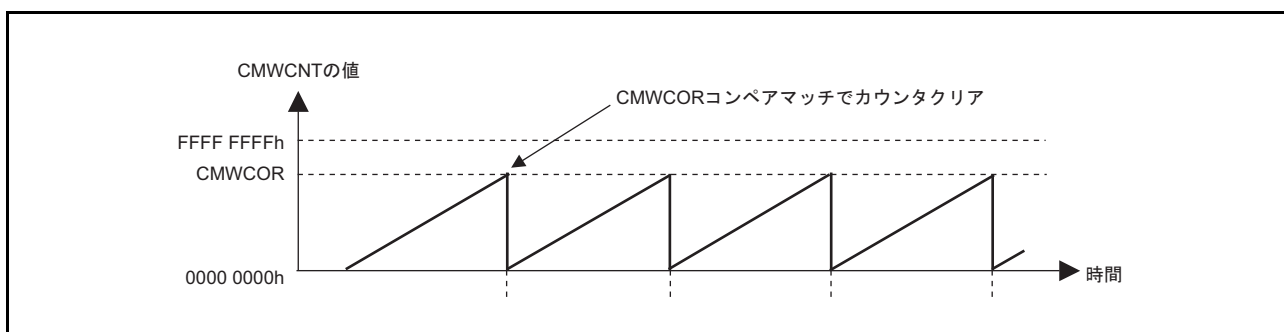


図 19.3 コンペアマッチ動作例

CMWCOR = FFFF FFFFh とし、オーバーフロー検出をした場合の例を図 19.4 に示します。

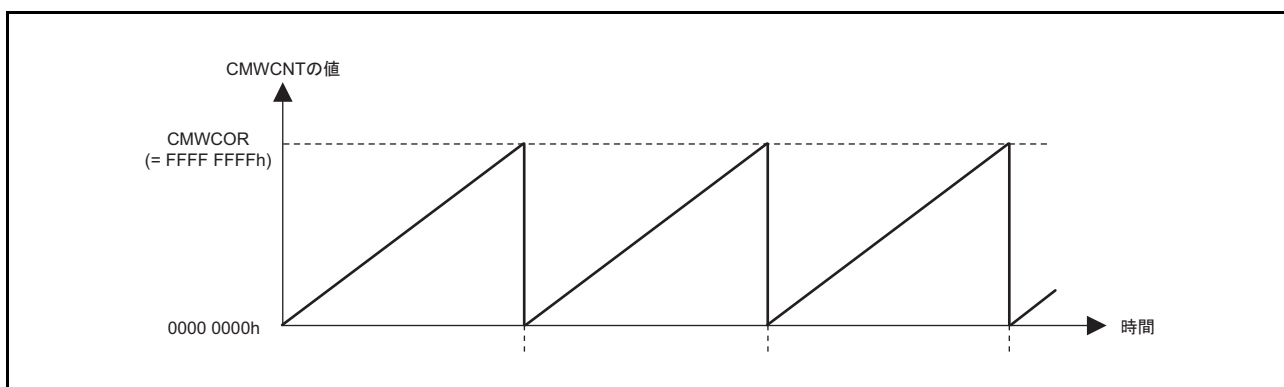


図 19.4 コンペアマッチ動作例 (オーバーフロー検出時)

19.3.3 アウトプットコンペア機能

アウトプットコンペア機能により、対応する出力端子からトグル出力を行うことができます。また、CMWCNT カウンタの値が CMWOCR0 レジスタまたは CMWOCR1 レジスタの値と一致すると、アウトプットコンペア割り込み (OC0I または OC1I) が発生します。また、CMWCR.CCLR[2:0] の設定によって、CMWCNT カウンタは以下のように動作します。

1. CMWCR.CCLR[2:0] = 110b の場合

CMWCNT カウンタの値が CMWOCR0 レジスタの値と一致すると、CMWCNT カウンタは“0000 0000h”にクリアされます。その後、CMWCNT カウンタは“0000 0000h”から再びカウントアップ動作を再開します。

2. CMWCR.CCLR[2:0] = 111b の場合

CMWCNT カウンタの値が CMWOCR1 レジスタの値と一致すると、CMWCNT カウンタは“0000 0000h”にクリアされます。その後、CMWCNT カウンタは“0000 0000h”から再びカウントアップ動作を再開します。

3. CMWCR.CCLR[2:0] ≠ 110b/111b の場合

CMWCNT カウンタの値が CMWOCR0/CMWOCR1 レジスタの値と一致しても、CMWCNT カウンタは“0000 0000h”にクリアされず、CMWCR.CCLR[2:0] で設定されたクリア条件成立時、または“FFFF FFFFh (32 ビットカウンタ動作時) / **** FFFFh (16 ビットカウンタ動作時)”までカウントアップ動作を続けます。その後、CMWCNT カウンタは“0000 0000h”にクリアされ、“0000 0000h”から再びカウントアップ動作を再開します。

アウトプットコンペア動作の設定手順例を図 19.5 に示します。

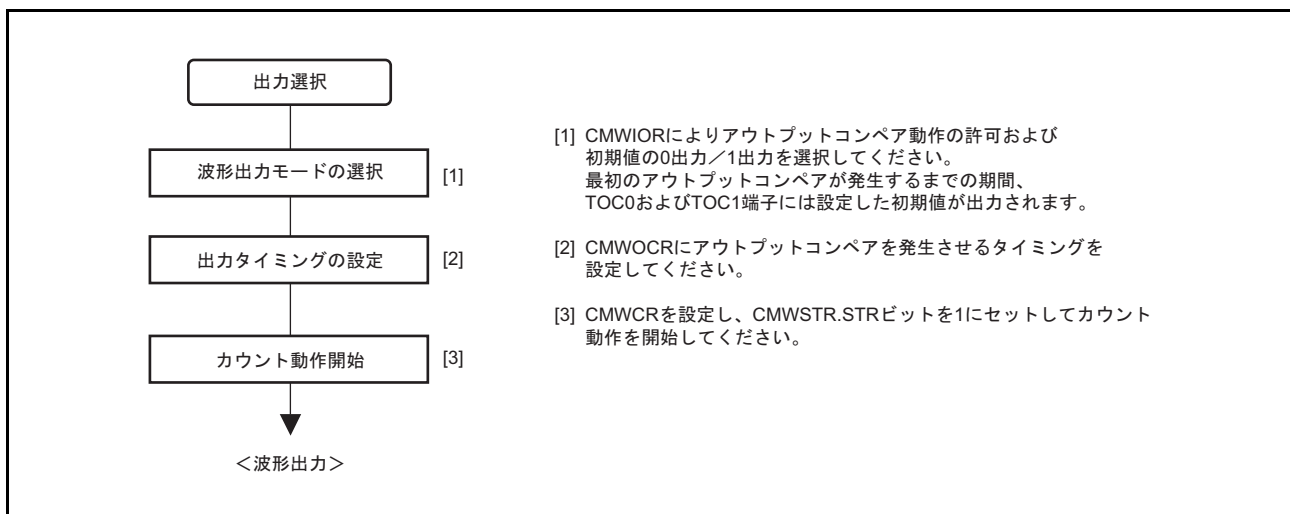


図 19.5 アウトプットコンペア動作の設定手順例

CMWOCR1 レジスタによりカウンタクリア、TOC0 および TOC1 端子をトグル出力とした場合の例を図 19.6 に示します。

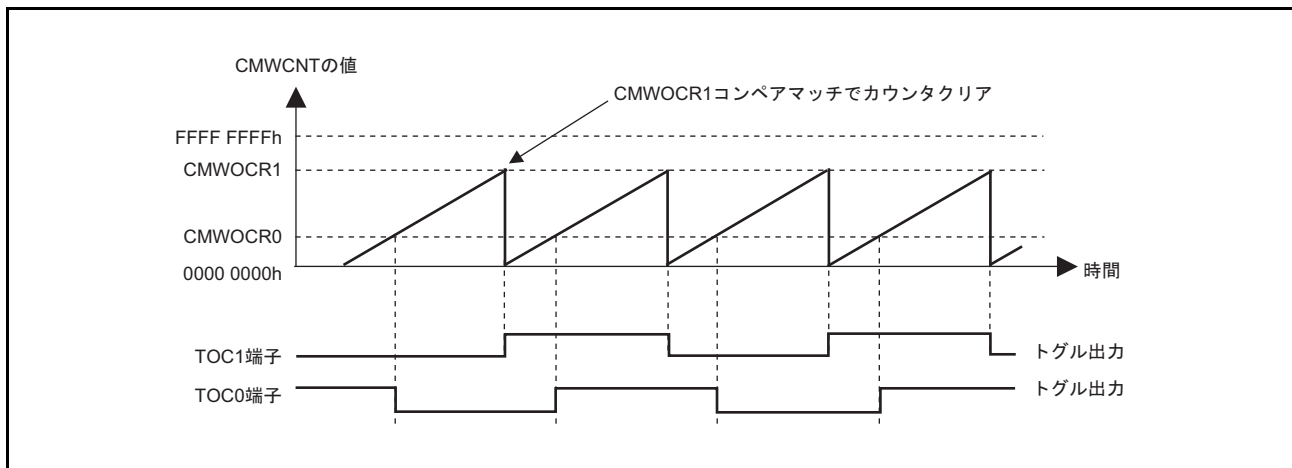


図 19.6 アウトプットコンペア動作例

19.3.4 インพุットキャプチャ機能

TIC0、TIC1 端子の入力エッジを検出して CMWCNT カウンタの値を CMWICR0、CMWICR1 レジスタにそれぞれ転送することができます。検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。また、インพุットキャプチャ機能により CMWCNT カウンタの値が CMWICR0 または CMWICR1 レジスタに転送されると、インพุットキャプチャ割り込み (IC0I または IC1I) が発生します。また、CMWCR.CCLR[2:0] の設定によって、CMWCNT カウンタは以下のように動作します。

1. CMWCR.CCLR[2:0] = 100b の場合
インพุットキャプチャにより CMWCNT の値が CMWICR0 に転送されると、CMWCNT カウンタは“0000 0000h”にクリアされます。
その後、CMWCNT カウンタは“0000 0000h”から再びカウントアップ動作を再開します。
2. CMWCR.CCLR[2:0] = 101b の場合
インพุットキャプチャにより CMWCNT の値が CMWICR1 に転送されると、CMWCNT カウンタは“0000 0000h”にクリアされます。
その後、CMWCNT カウンタは“0000 0000h”から再びカウントアップ動作を再開します。
3. CMWCR.CCLR[2:0] ≠ 100b/101b の場合
インพุットキャプチャにより CMWCNT の値が CMWICR0 または CMWICR1 に転送されても、CMWCNT カウンタは“0000 0000h”にクリアされず、CMWCR.CCLR[2:0] で設定されたクリア条件成立時、または“FFFF FFFFh (32 ビットカウンタ動作時) / **** FFFFh (16 ビットカウンタ動作時)”までカウントアップ動作を続けます。その後、CMWCNT カウンタは“0000 0000h”にクリアされ、“0000 0000h”から再びカウントアップ動作を再開します。

インพุットキャプチャ動作の設定手順例を図 19.7 に示します。

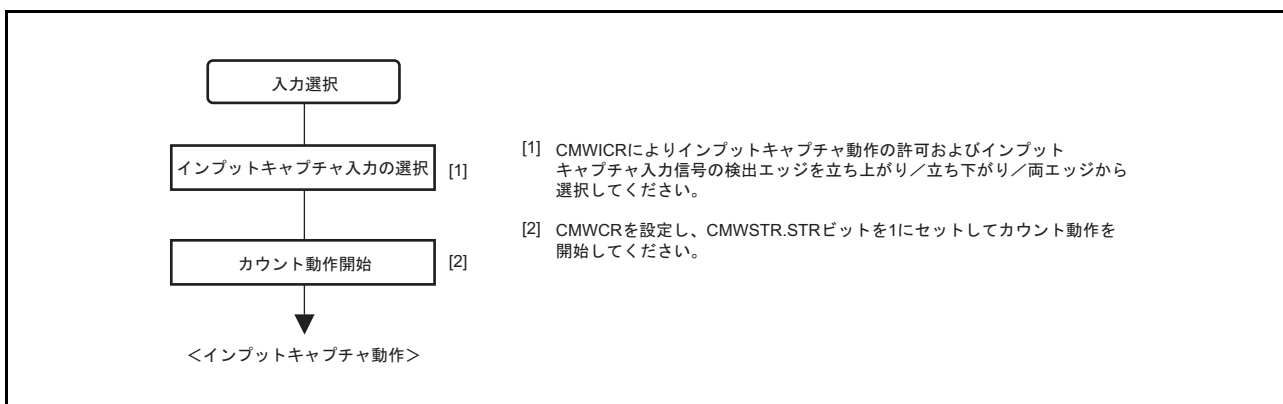


図 19.7 インพุットキャプチャ動作の設定手順例

TIC0 端子のインプットキャプチャ入力エッジを立ち上がり／立ち下がりの両エッジ、TIC1 端子を立ち下がりエッジに設定し、CMWICR1 レジスタのインプットキャプチャで CMWCNT カウンタがクリアされるように設定した場合の例を図 19.8 に示します。

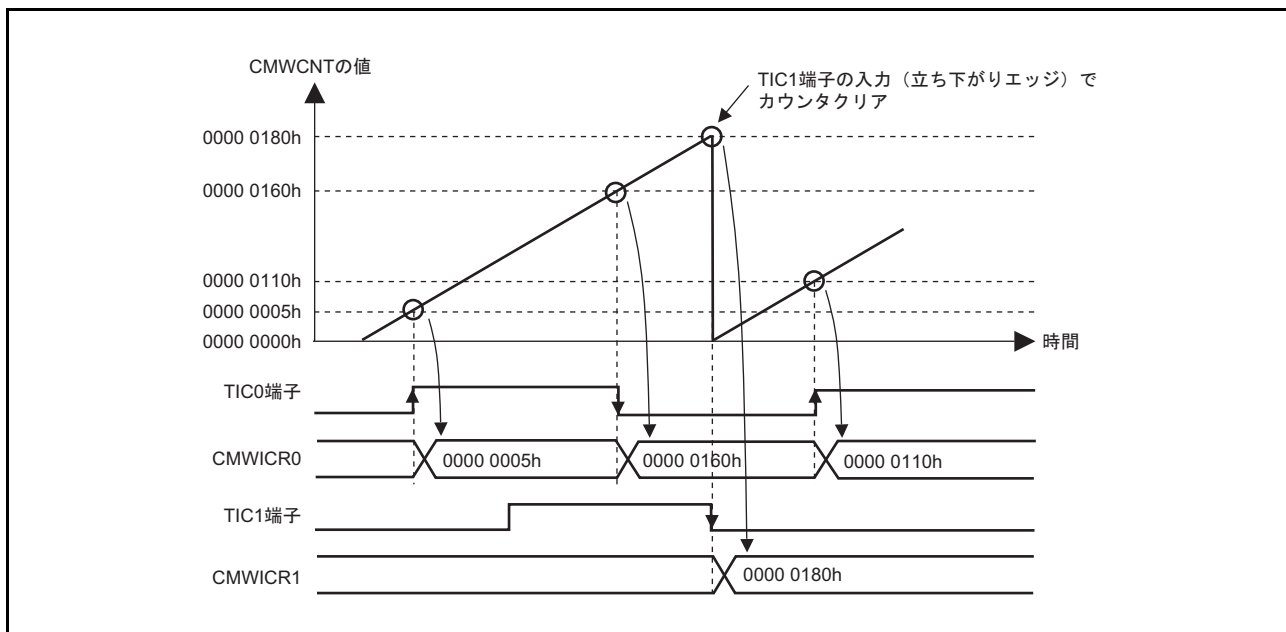


図 19.8 インプットキャプチャ動作例

19.3.5 カウンタサイズ

CMTW は、カウンタサイズを 16 ビットカウンタと 32 ビットカウンタから選択可能です。カウンタサイズの選択は CMWCR.CMS ビットで行います。32 ビットカウンタとして使う場合、CMWCOR、CMWOCR0、CMWOCR1 レジスタには所望のデータを 32 ビットでセットしてください。CMWICR0、CMWICR1 は 32 ビットすべてが有効な値として読み出されます。16 ビットカウンタとして使う場合、CMWCOR レジスタの値は上位に 0000h を加えた 32 ビットでセットしてください。CMWOCR0、CMWOCR1 レジスタの値は上位に 0000h を加えた 32 ビットでセットしてください。CMWICR0、CMWICR1 レジスタは上位に 0000h を加えた 32 ビットの値が読み出されます。

19.3.6 CMWCNT カウントタイミング

CMWCR.CKS[1:0] ビットで、周辺クロック (PCLKD) を分周して得られた 4 種類のクロック (PCLKD/8、PCLKD/32、PCLKD/128、PCLKD/512) のうち 1 つを CMWCR.CKS[1:0] ビットにより選択することができます。図 19.9 にそのタイミングを示します。

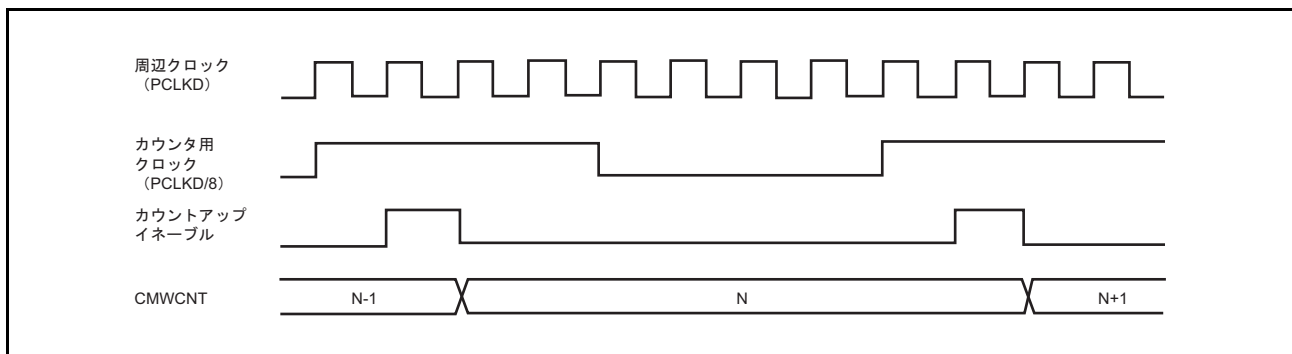


図 19.9 カウントタイミング (PCLKD/8 のとき)

19.3.7 アウトプットコンペア出カタイミング

CMWOCR レジスタと CMWCNT カウンタが一致した最後のステート (CMWCNT カウンタの値が更新されるタイミング) でコンペアマッチ信号が発生します。つまり、CMWOCR レジスタと CMWCNT カウンタの一致後、CMWCNT カウンタのカウント用クロックが入力されないとコンペアマッチ信号は発生しません。コンペアマッチ信号が発生したとき、CMWIOR レジスタの OC0/1 ビットの設定にしたがい、アウトプットコンペア出力端子 (TOC 端子) が変化します。アウトプットコンペア出カタイミングを図 19.10 に示します。

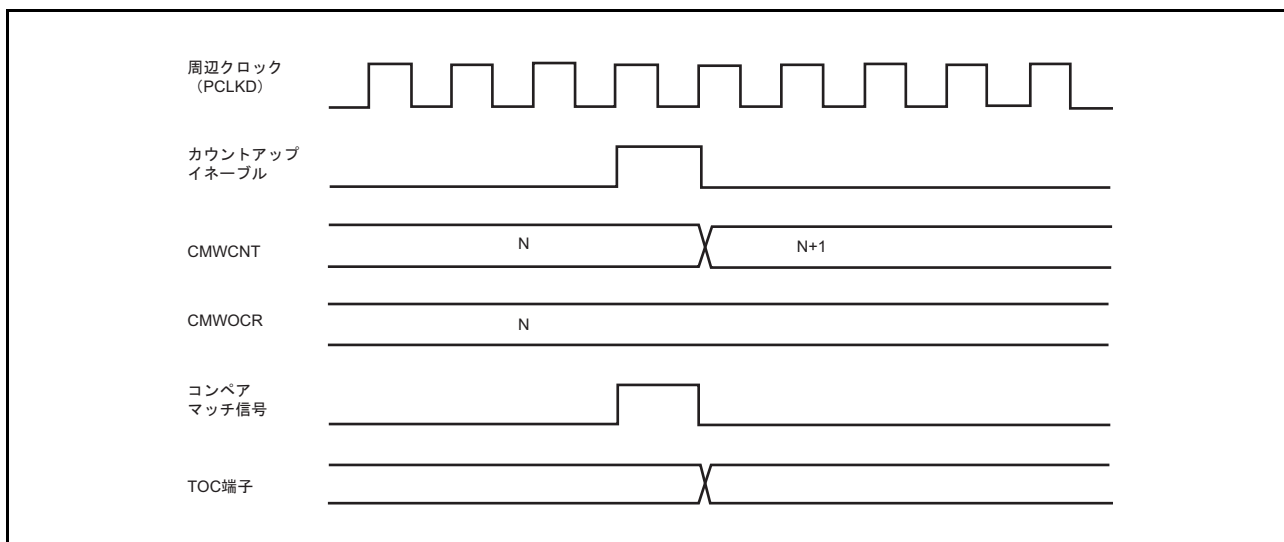


図 19.10 アウトプットコンペア出カタイミング

19.3.8 インプットキャプチャ信号タイミング

インプットキャプチャのタイミングを図 19.11 に示します。

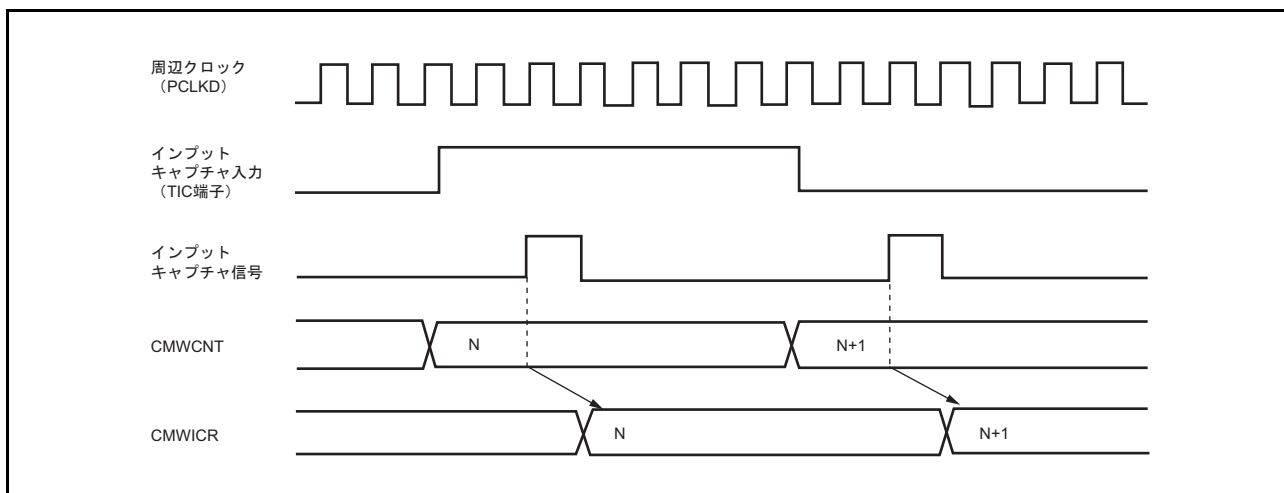


図 19.11 インプットキャプチャ入力信号タイミング

19.3.9 デジタルノイズフィルタ機能

デジタルノイズフィルタ機能は、CMTW のインプットキャプチャ入力信号をサンプリングクロックでサンプリングし、サンプリング3回に満たないパルスを除去する機能です。

デジタルノイズフィルタは、端子ごとにデジタルノイズフィルタ機能の有効/無効が設定できます。図 19.12 にデジタルノイズフィルタのタイミングを示します。

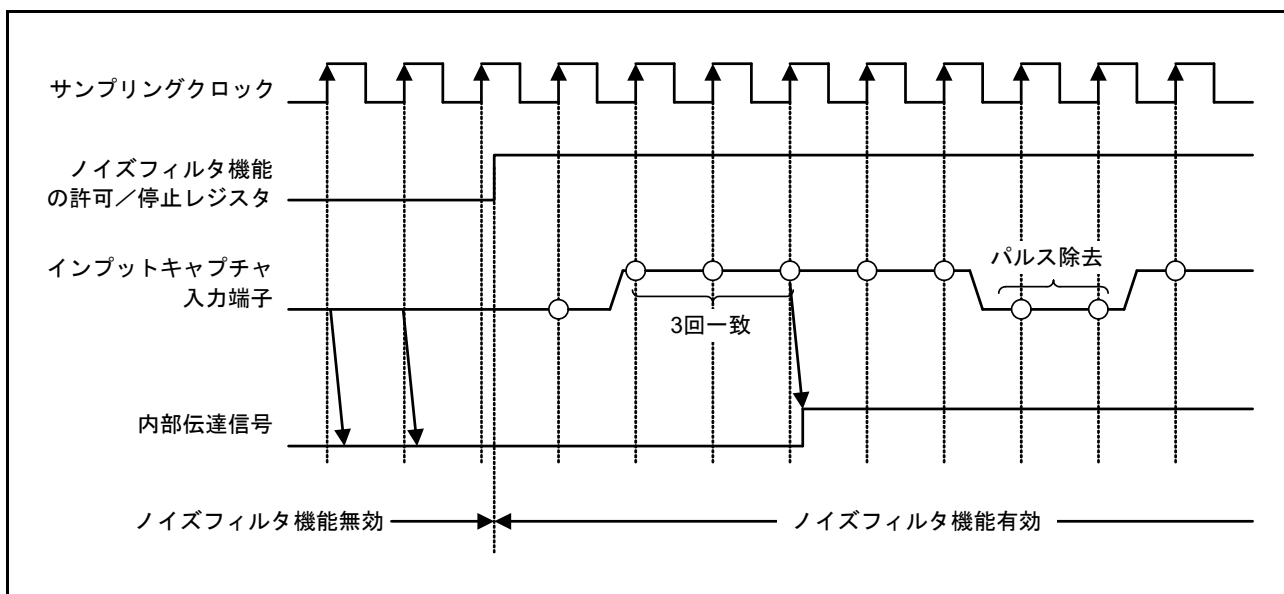


図 19.12 デジタルノイズフィルタ タイミングチャート

デジタルノイズフィルタを有効にした場合は、インプットキャプチャ入力に対するノイズフィルタリングにより最短で「サンプリングサイクル×2 + PCLKD」だけ遅延したデジタルノイズフィルタ後の信号のエッジに対してインプットキャプチャ動作が行われます。

19.3.10 ECM ダイナミックモードエラー出力選択機能

本 LSI は、CMTW のアウトプットコンペア信号を ECM ダイナミックモード時のエラー出力信号として使用します。ECM ダイナミックモード時のエラー出力をいずれかの CMTW のアウトプットコンペア信号から選択します。

ECM に CMTW のアウトプットコンペア信号を出力する場合は、使用する CMTW のチャンネルをアウトプットコンペア機能に設定した後、ECDMESLR レジスタを設定してください。

アウトプットコンペア機能の設定方法は「19.3.3 アウトプットコンペア機能」を参照してください。

ECM ダイナミックモードの詳細は「32. エラーコントロールモジュール (ECM)」を参照してください。



19.4 割り込み

19.4.1 CMTW の割り込み要因と DMAC

CMTW はインプットキャプチャ割り込み要求 (IC0In、IC1In)、アウトプットコンペア割り込み要求 (OC0In、OC1In) と、コンペアマッチ割り込み要求 (CMWIn) の 5 種類の割り込み要因を持っています。

表 19.3 に各割り込み要因と優先順位を示します。各割り込み要因は、CMWCR レジスタの IC0IE、IC1IE、OC0IE、OC1IE、CMWIE ビットで許可/禁止の設定ができます。各割り込み要求はそれぞれ独立に割り込みコントローラに送られます (n = 0, 1)。

表 19.3 CMTW 割り込み要因

割り込み要因	内容	割り込み許可ビット	DMACの起動	優先順位
CMWIn	コンペアマッチによる割り込み	CMWIE	可	高   低
IC0In	インプットキャプチャ 0 による割り込み	IC0IE	可	
IC1In	インプットキャプチャ 1 による割り込み	IC1IE	可	
OC0In	アウトプットコンペア 0 による割り込み	OC0IE	可	
OC1In	アウトプットコンペア 1 による割り込み	OC1IE	可	

19.4.2 コンペアマッチ割り込みの発生タイミング

CMWCNT カウンタと CMWCOR レジスタの値が一致したときに、コンペアマッチ割り込み (CMWI) が発生します。コンペアマッチ信号は、一致した最後のステート (CMWCNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、CMWCNT カウンタの値と CMWCOR レジスタの値とが一致した後、CMWCNT カウンタ入力クロック (PCLKD/8、PCLKD/32、PCLKD/128、PCLKD/512) が発生するまでコンペアマッチ信号は発生しません。図 19.13 にコンペアマッチ割り込みのセットタイミングを示します。

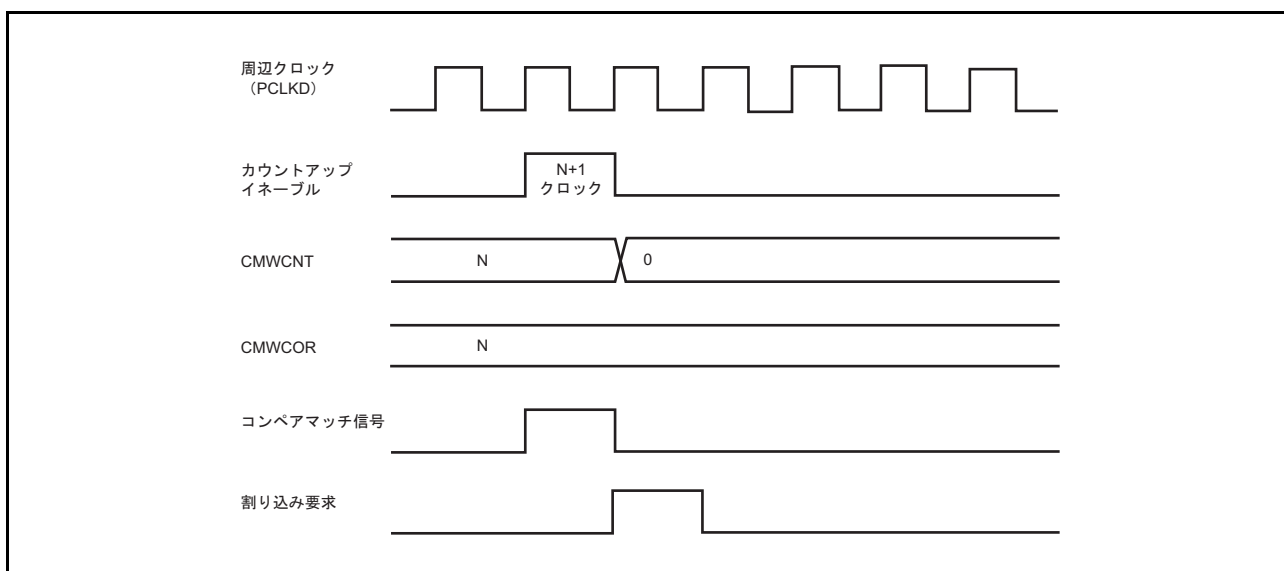


図 19.13 コンペアマッチ割り込みのセットタイミング

19.4.3 アウトプットコンペア割り込みの発生タイミング

図 19.14 にアウトプットコンペア割り込みのセットタイミングを示します。

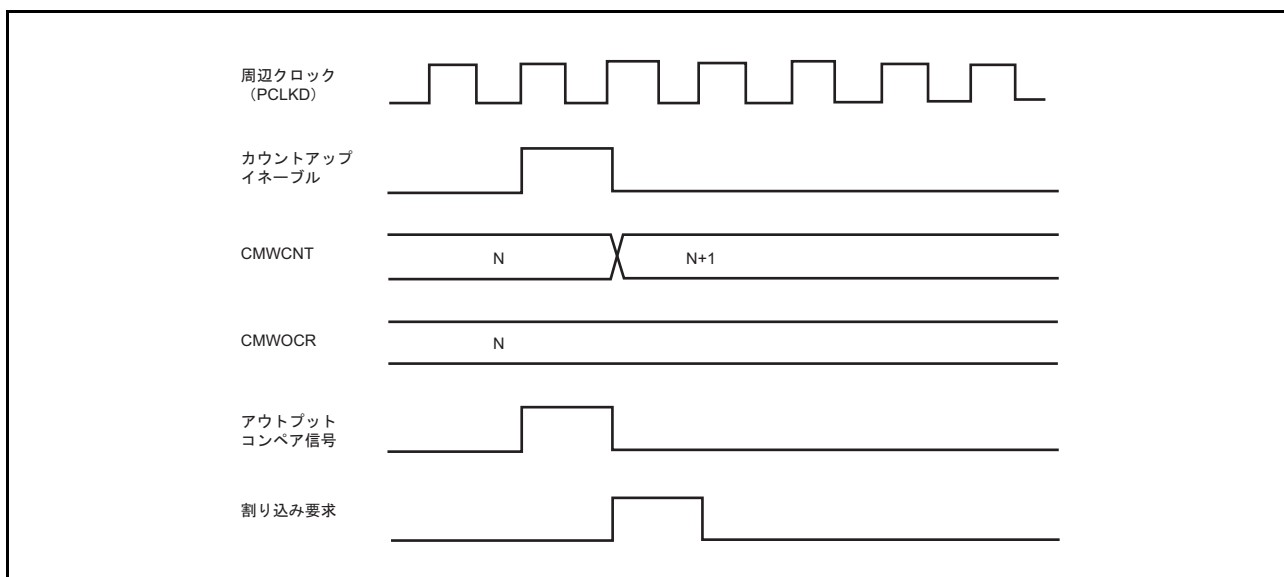


図 19.14 アウトプットコンペア割り込みのセットタイミング

19.4.4 インพุットキャプチャ割り込みの発生タイミング

図 19.15 にインพุットキャプチャ割り込みのセットタイミングを示します。

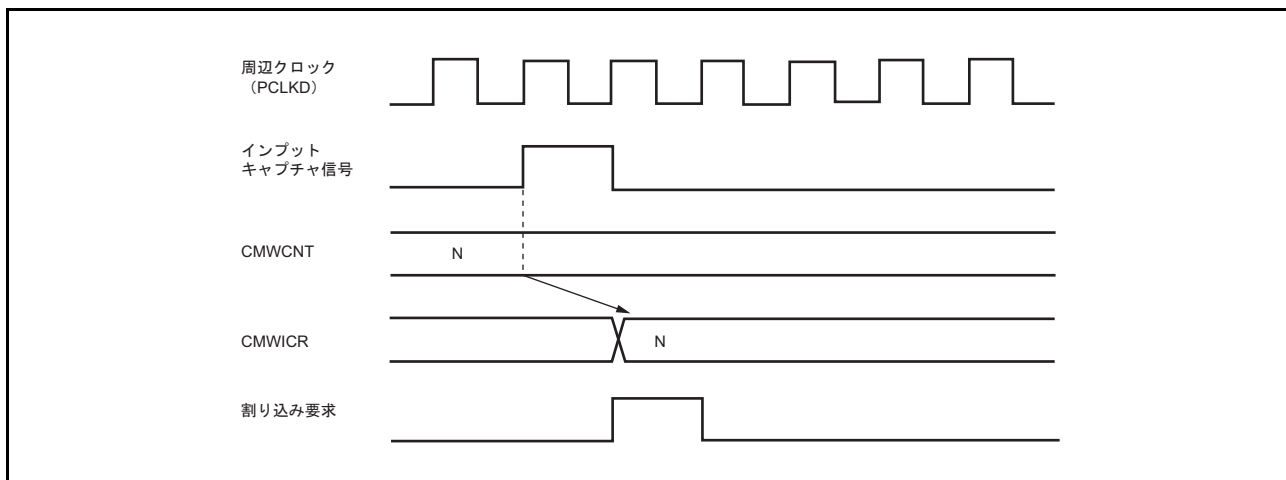


図 19.15 インพุットキャプチャ割り込みのセットタイミング

19.5 イベントリンク動作

19.5.1 ELC へのイベント発行

CMTW は、イベントリンクコントローラ (ELC) に対し以下のイベントを発行することができます。

コンペアマッチイベント

CMTW は、コンペアマッチが発生すると割り込み要求を発生しますが、同時に ELC へコンペアマッチイベントを発行します。このイベントは、対応する割り込みの割り込み要求許可ビット (CMWCR.CMWIE ビット) の設定に関係なく発行されます。

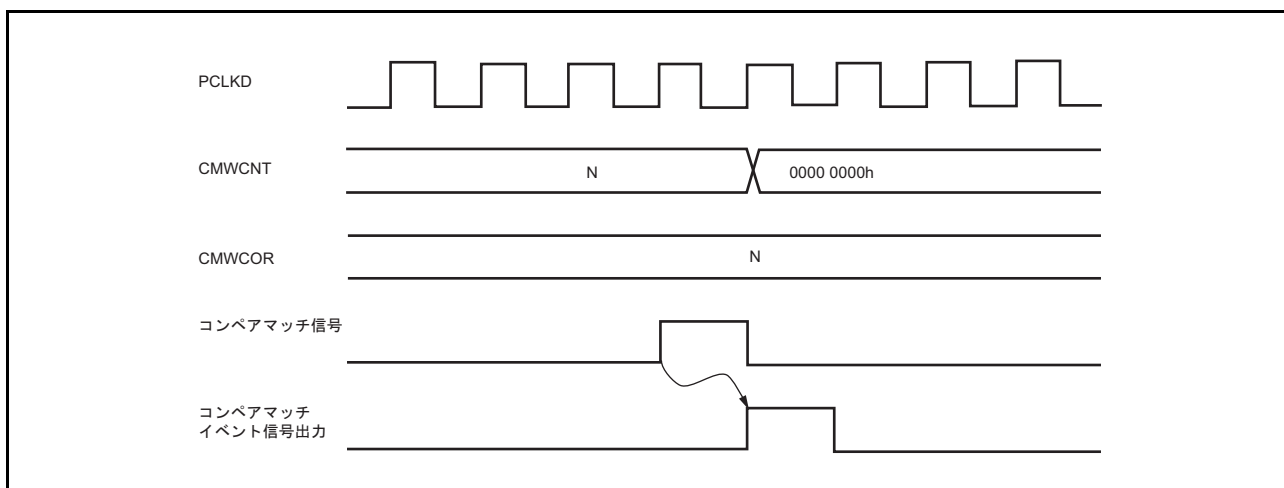


図 19.16 コンペアマッチイベント発行タイミング

19.5.2 ELCからのイベント受け付けによるアクション

イベントリンクコントローラ (ELC) に、CMTW のイベント受け付け時のアクションを設定することで、CMTW は3通りの動作をすることができます。

(1) カウントスタート動作

カウントスタート動作のアクションが選択されている時にイベントを受け付けると、CMWSTR (タイマスタートレジスタ) のSTR ビットが“1”にセットされカウントがスタートします。

CMWSTR.STR ビットが“1”にセットされた状態でイベントを受け付けた場合は、無視されます。

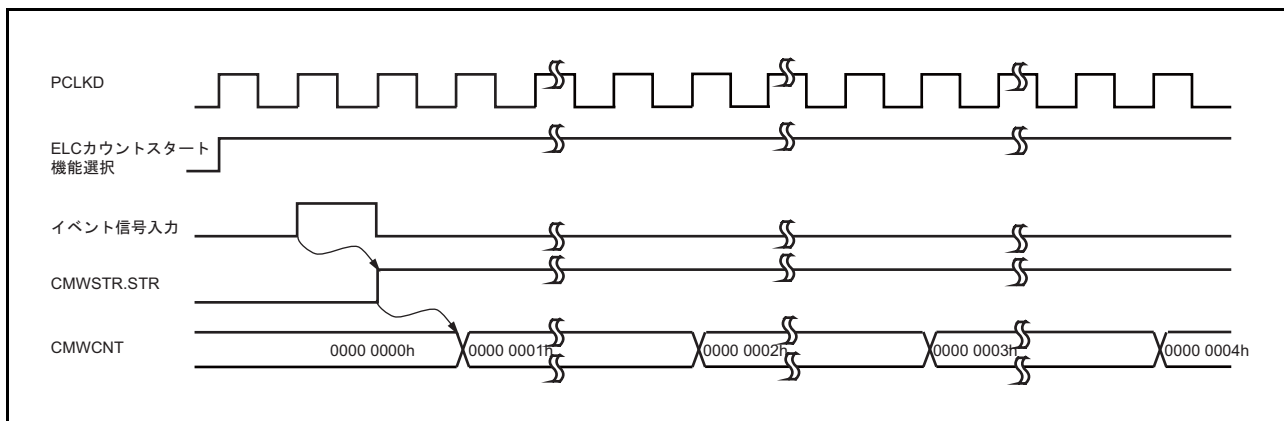


図 19.17 イベント受け付けによるカウントスタート動作

(2) イベントカウント動作

イベントカウント動作のアクションが選択されているときにイベントを受け付けると、CMWCNT (タイマカウンタ) をインクリメントします。イベントを受け付ける前に CMWSTR (タイマスタートレジスタ) のSTR ビットを“1”に設定しておく必要があります。

イベントカウント動作では、CMWCR (タイマコントロールレジスタ) のCKS[1:0] ビットの設定は無効です。

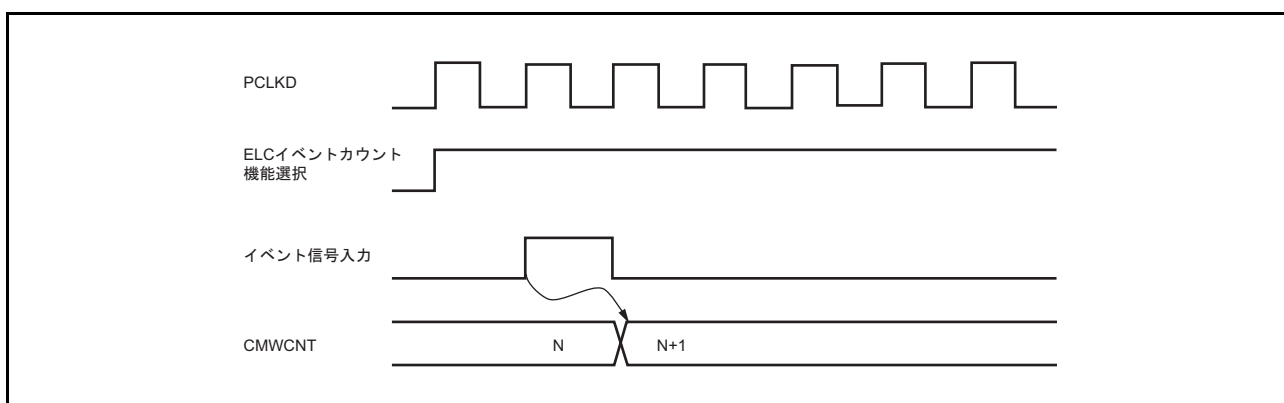


図 19.18 イベント受け付けによるイベントカウント動作

(3) カウントクリア動作

ELC の ELOPH レジスタで CMTW のカウントクリア動作を選択します。ELSRn レジスタで指定したイベントが発生すると、CMWCNT (タイマカウンタ) の値が初期値 (0000h) に書き換わります。このとき、CMWSTR (タイマスタートレジスタ) の STR ビットが “1” にセットされていればカウント動作を継続しカウントリスタート動作をすることができます。カウントリスタート動作のタイミングを図 19.19 に示します。

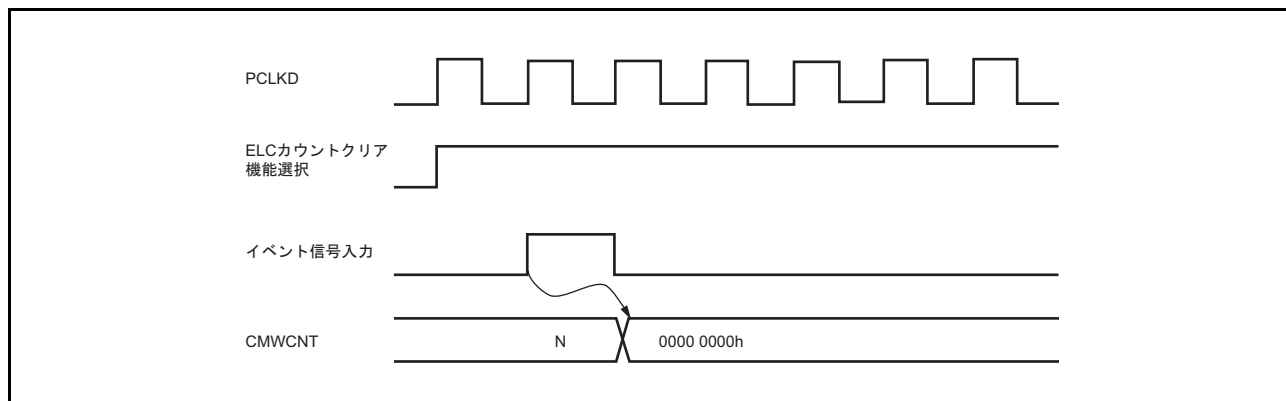


図 19.19 イベント受け付けによるカウントリスタート動作

19.6 使用上の注意事項

19.6.1 モジュールストップ機能

モジュールストップコントロールレジスタ (MSTPCRA) により、CMTW の動作禁止/許可を設定することが可能です。初期値では CMTW はモジュールストップ状態です。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「9. 消費電力低減機能」を参照してください。

19.6.2 CMWCNT カウンタの書き込みとコンペアマッチの競合

CPU による CMWCNT カウンタへのライト動作中にコンペアマッチ信号が発生した場合、コンペアマッチ割り込み要求は出力されますが、CMWCNT カウンタはカウンタクリアされずに、CPU による CMWCNT カウンタへの書き込みが優先されます。

このタイミングを図 19.20 に示します。

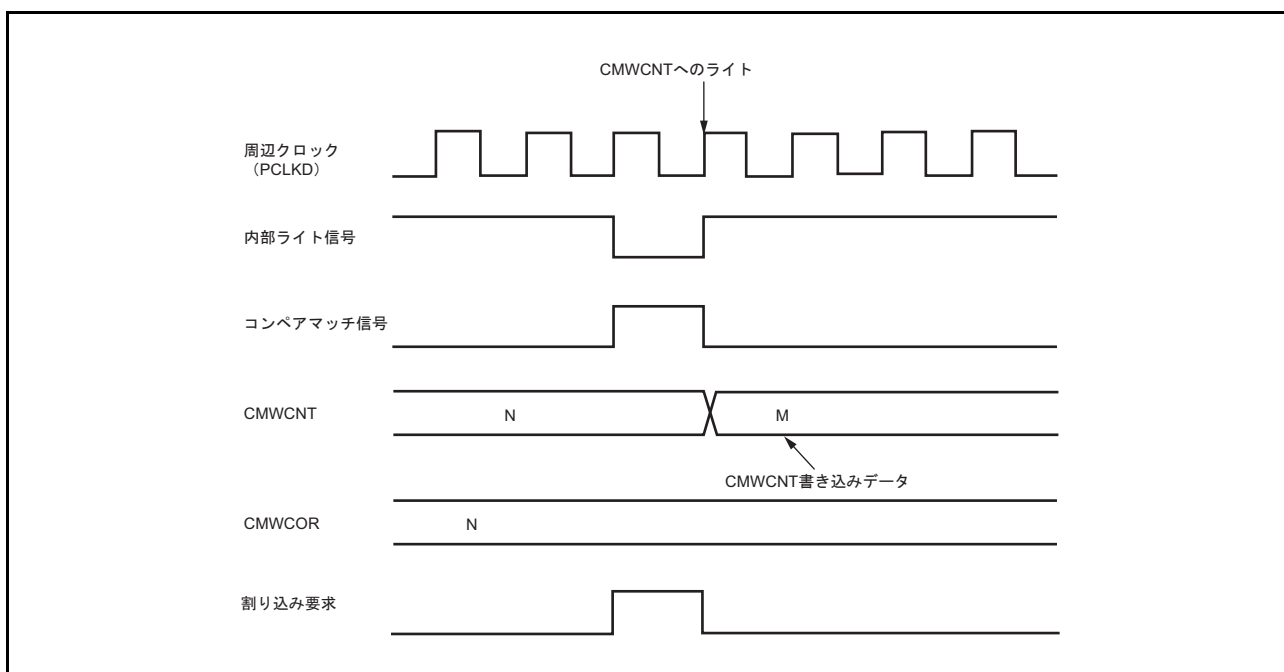


図 19.20 CMWCNT カウンタの書き込みとコンペアマッチの競合

19.6.3 CMWCNT カウンタの書き込みとカウントアップ/カウンタクリアの競合

CPU による CMWCNT カウンタへのライト動作中にカウントアップまたはカウンタクリアが発生しても、CMWCNT カウンタはカウントアップまたはカウンタクリアされず、CPU による CMWCNT カウンタへの書き込みが優先されます。

このタイミングを図 19.21 に示します。

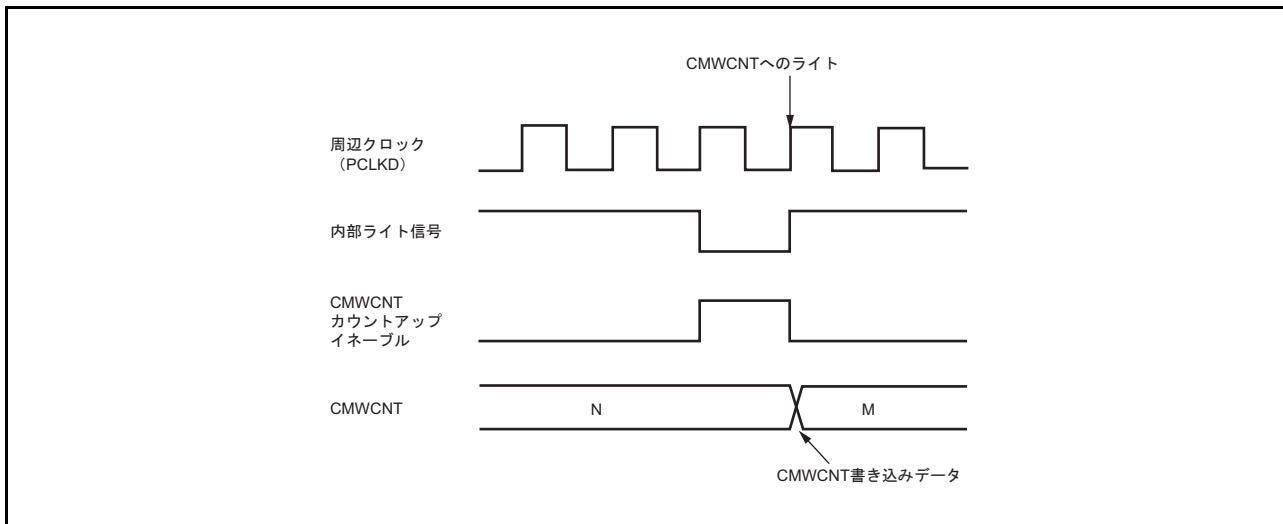


図 19.21 CMWCNT カウンタの書き込みとカウントアップの競合

19.6.4 CMWCOR レジスタの書き込みとコンペアマッチの競合

CPU による CMWCOR レジスタへのライト動作中にコンペアマッチが発生した場合、CPU による CMWCOR レジスタへの書き込みが実行され、コンペアマッチ信号も発生します。このタイミングを図 19.22 に示します。

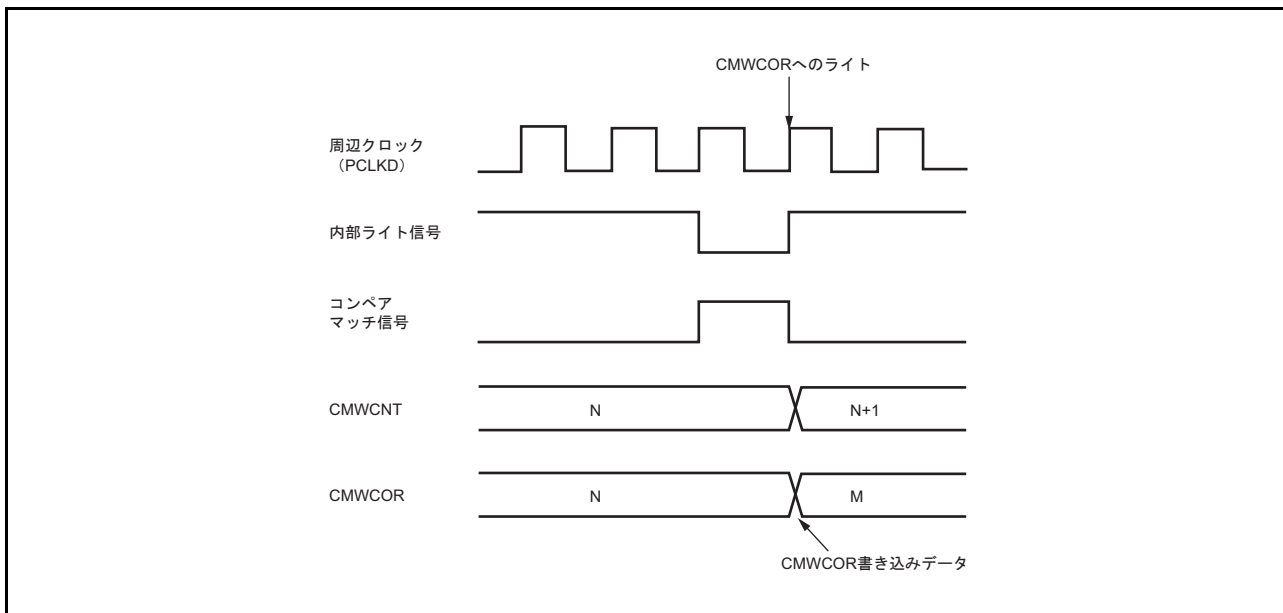


図 19.22 CMWCOR レジスタの書き込みとコンペアマッチの競合

19.6.5 CMWOCR レジスタの書き込みとコンペアマッチの競合

CPU による CMWOCR レジスタへのライト動作中にコンペアマッチが発生した場合、CPU による CMWOCR レジスタへの書き込みが実行され、コンペアマッチ信号も発生します。このタイミングを図 19.23 に示します。

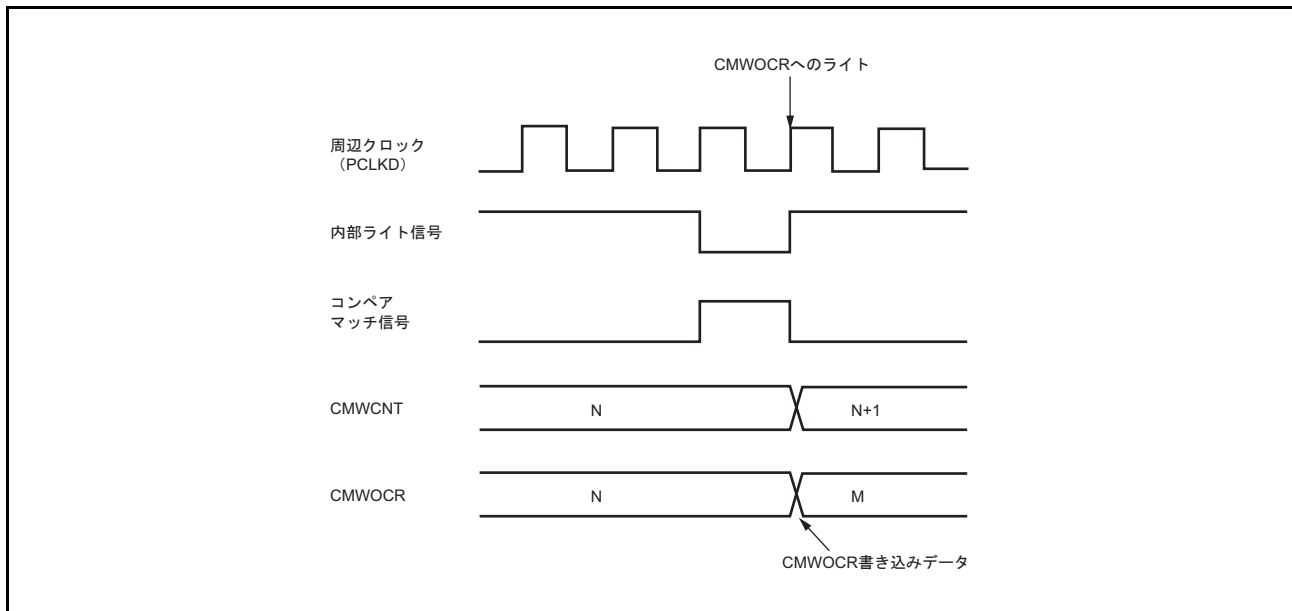


図 19.23 CMWOCR レジスタの書き込みとコンペアマッチの競合

19.6.6 CMWCNT カウンタ読み出しとカウントアップ/カウンタクリアの競合

CMWCNT カウンタのデータの読み出しと同時にカウントアップまたはカウンタクリアが発生した場合、読み出し値はカウントアップまたはカウンタクリア前のカウント値が読み出されます。

CMWCNT カウンタの読み出しとカウントアップが競合した場合のタイミングを図 19.24 に示します。

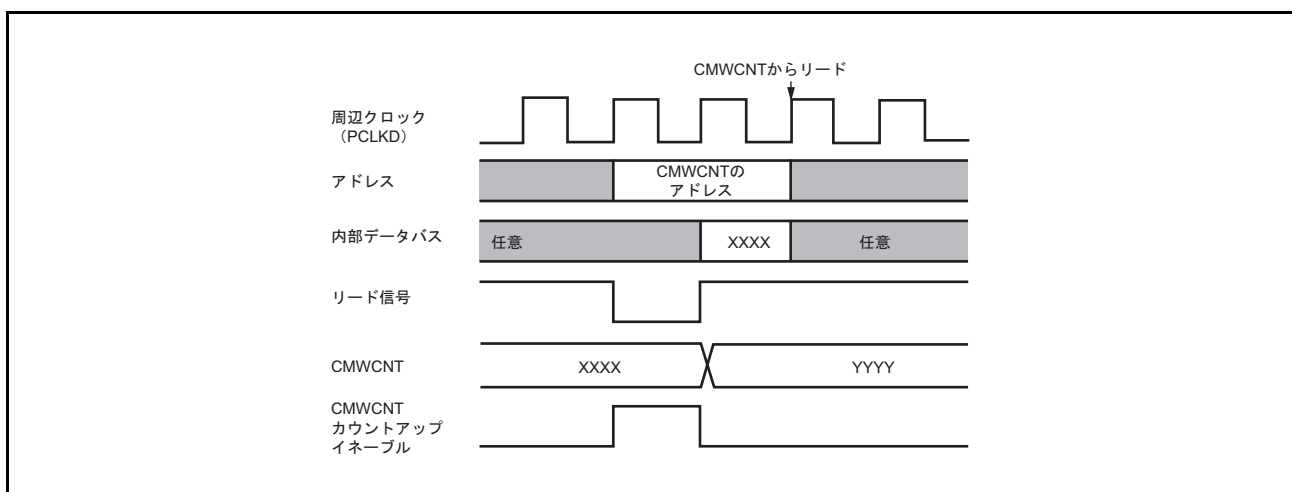


図 19.24 CMWCNT カウンタ読み出しとカウントアップの競合
(データの読み出しとカウントアップが同時に発生した場合)

19.6.7 CMWICR レジスタ読み出しとインプットキャプチャの競合

CMWICR レジスタの読み出しと同時にインプットキャプチャ信号が発生した場合、読み出し値はインプットキャプチャ転送前の値が読み出されます。

CMWICR レジスタの読み出しとインプットキャプチャが競合した場合のタイミングを図 19.25 に示します。

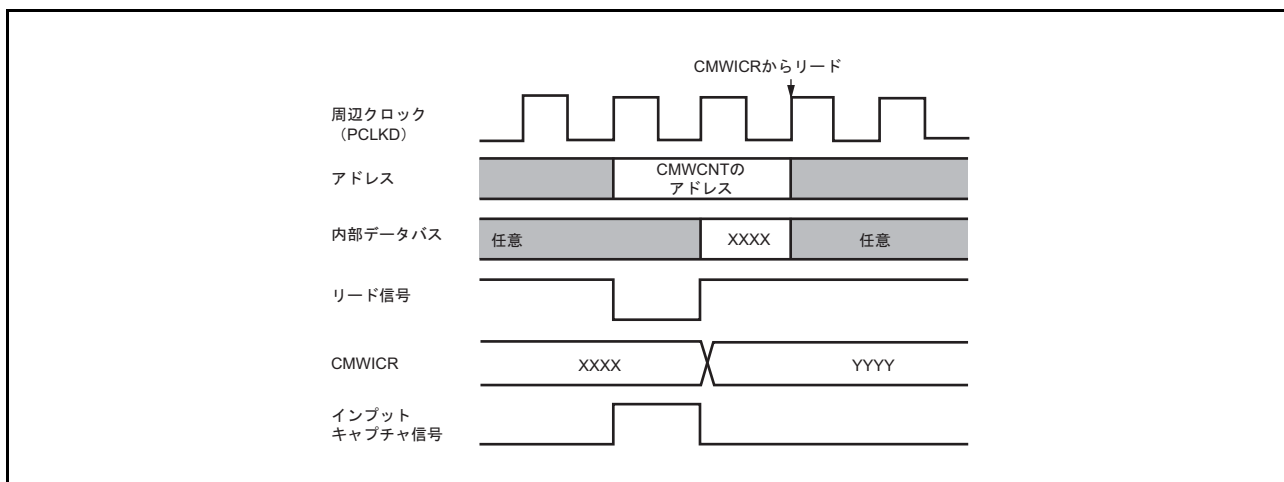


図 19.25 CMWICR レジスタ読み出しとインプットキャプチャの競合
(データの読み出しとインプットキャプチャ信号が同時に発生した場合)

19.6.8 イベントリンク動作とレジスタアクセスの競合

CMTW をイベントリンクによる動作で使用するときは、以下のことに注意してください。

表 19.4 にイベントリンク動作 / レジスタアクセス / カウンタ状態の競合動作まとめを示します。

(1) カウントスタート動作

CMWSTR (タイマスタートレジスタ) の STR ビットへのライトアクセスとイベントの受け付けが競合すると、CPU による CMWSTR (タイマスタートレジスタ) の STR ビットへの書き込み動作は無視され、イベントの受け付けによる STR ビットへの“1”動作が優先されます。

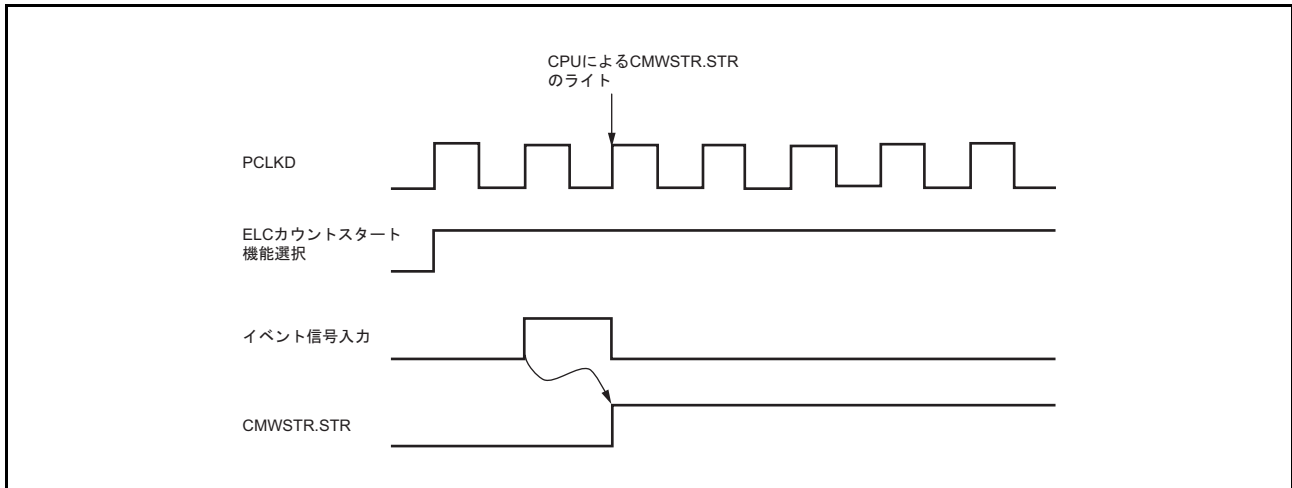


図 19.26 カウントスタート動作でのイベント受け付けとレジスタアクセスの競合

(2) イベントカウント動作

CMWCNT (タイマカウンタ) へのライトアクセスとイベントの受け付けが競合すると、CPU による CMWCNT (タイマカウンタ) への書き込み動作は無視され、イベントの受け付けによるカウント動作が優先されます。

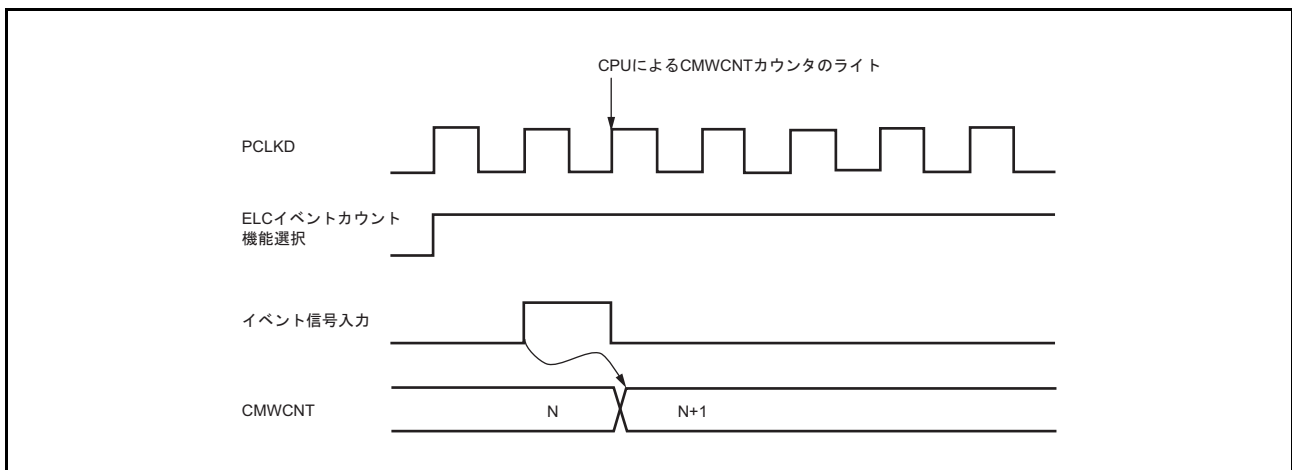


図 19.27 イベントカウント動作でのイベント受け付けとレジスタアクセスの競合

(3) カウントクリア動作

CMWCNT (タイマカウンタ) へのライトアクセスとイベントの受け付けが競合すると、CPU による CMWCNT (タイマカウンタ) への書き込み動作は無視され、イベントの受け付けによるカウント値の初期化が優先されます。

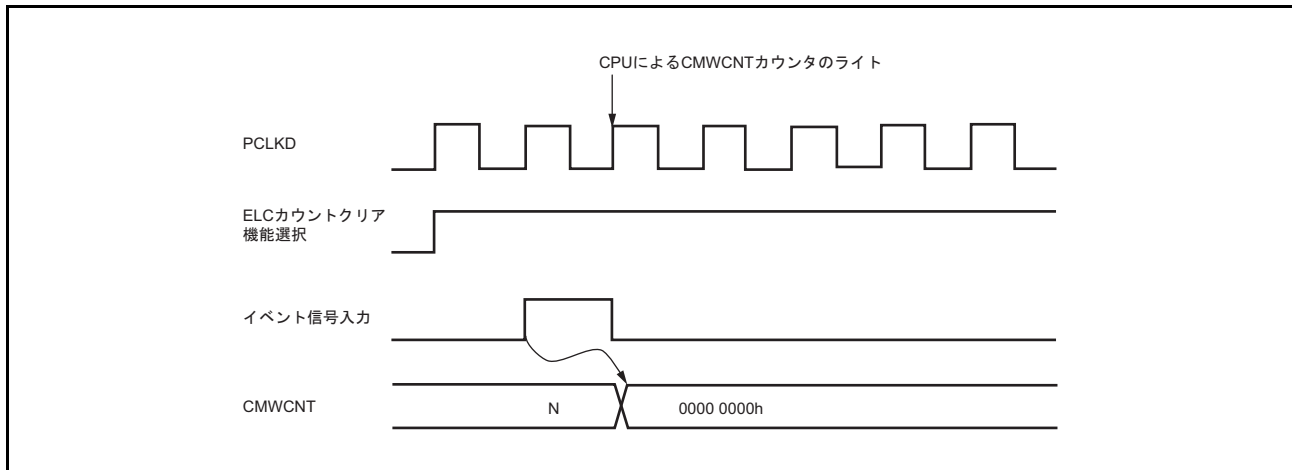


図 19.28 カウントクリア動作でのイベント受け付けとレジスタアクセスの競合

表 19.4 イベントリンク動作/レジスタアクセス/カウンタ状態の競合動作まとめ

イベントリンク動作	レジスタアクセス	CMWCNTの状態	CMWICR0/1の状態	実行される動作
カウントスタート	CMWSTR.STRへの書き込み	停止状態	—	カウントスタート
		動作状態	—	カウントスタート
		コンペアマッチ	—	カウントスタート (CMWSTR.STR = 1を保持) とコンペアマッチ
		カウントアップ	—	カウントスタート (CMWSTR.STR = 1を保持) とカウントアップ
イベントカウント	CMWCNTへの書き込み	—	—	イベントカウント
	CMWCORへの書き込み	コンペアマッチ	—	コンペアマッチ
カウントクリア	CMWCNTへの書き込み	コンペアマッチ以外	—	カウントクリア
	CMWCNTへの書き込み	コンペアマッチ	—	コンペアマッチとカウントクリア
	(レジスタアクセスなし)	コンペアマッチ	—	コンペアマッチとカウントクリア
(イベントなし)	CMWCNTへの書き込み	コンペアマッチ	—	コンペアマッチの割り込み 要求を出力/CMWCNTへの 書き込み
		カウントアップ	—	CMWCNTへの書き込み
	CMWCORへの書き込み	コンペアマッチ	—	コンペアマッチ
	CMWOCR0への書き込み	アウトプットコンペア0	—	アウトプットコンペア0
	CMWOCR1への書き込み	アウトプットコンペア1	—	アウトプットコンペア1
	CMWCNTの読み出し	カウントアップ	—	カウントアップと その前の値の読み出し
	CMWICR0の読み出し	—	インプットキャプチャ0	インプットキャプチャ0と 転送前の値の読み出し
	CMWICR1の読み出し	—	インプットキャプチャ1	インプットキャプチャ1と 転送前の値の読み出し

20. ウォッチドッグタイマ (WDTA)

ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタを内蔵しており、ダウンカウントしたカウント値がアンダフローすると、ECM へのエラー通知が発生します。ダウンカウンタのカウント値をリフレッシュすることによりカウント値をリセット後の値に戻し、再びカウントすることができます。また、リフレッシュ可能な期間を設定することができます。リフレッシュ可能な期間にリフレッシュ (レジスタ書き込み) を行うとカウンタを初期化し再度カウントすることができますが、リフレッシュ可能期間外にリフレッシュを行うと、エラーコントロールモジュール (ECM) へのエラー通知が発生します。これによりリフレッシュ間隔を加味したプログラムの暴走を検知できます。なお、アンダフローの発生、もしくはリフレッシュ可能期間外にリフレッシュを行った場合、WDT はカウントを停止します。カウントは、リフレッシュ実施後に再開します。(リフレッシュ動作については、「20.3.3 リフレッシュ動作」を参照してください。)

エラーコントロールモジュール (ECM) については「32. エラーコントロールモジュール (ECM)」を参照してください。

20.1 概要

WDT はリセット解除後、リフレッシュ (レジスタ書き込み) によりカウントを開始します。

カウント開始前に WDT コントロールレジスタ (WDTCR) に対して、クロック分周比、ウィンドウ開始/終了位置、タイムアウト期間の各設定を行います。

表 20.1 に WDT の仕様を示します。図 20.1 に WDT のブロック図を示します。

表 20.1 WDT の仕様

項目	内容
内蔵チャンネル数	1チャンネル
カウントソース	周辺クロック (PCLK)
クロック分周比	4分周/64分周/128分周/512分周/2048分周/8192分周
カウント動作	14ビットのダウンカウンタによるダウンカウント
カウント開始条件	リフレッシュ (WDTRR レジスタに 00h を書き込み後、FFh を書き込む) によりカウント開始
カウント停止条件	<ul style="list-style-type: none"> リセット (ダウンカウンタ、レジスタはリセット後の値に戻ります) アンダフロー、リフレッシュエラー発生時
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可期間)
ECM へのエラー通知出力要因	<ul style="list-style-type: none"> ダウンカウンタがアンダフローしたとき リフレッシュ許可期間以外でリフレッシュを行ったとき (リフレッシュエラー)
カウンタ値の読み出し	WDTSR レジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能
WDT レジスタ制御	<ul style="list-style-type: none"> リフレッシュ動作後のクロック分周比の選択 (WDTCR.CKS[3:0] ビット) ウォッチドッグタイマのタイムアウト期間の選択 (WDTCR.TOPS[1:0] ビット) ウォッチドッグタイマのウィンドウ開始位置の選択 (WDTCR.RPSS[1:0] ビット) ウォッチドッグタイマのウィンドウ終了位置の選択 (WDTCR.RPES[1:0] ビット)

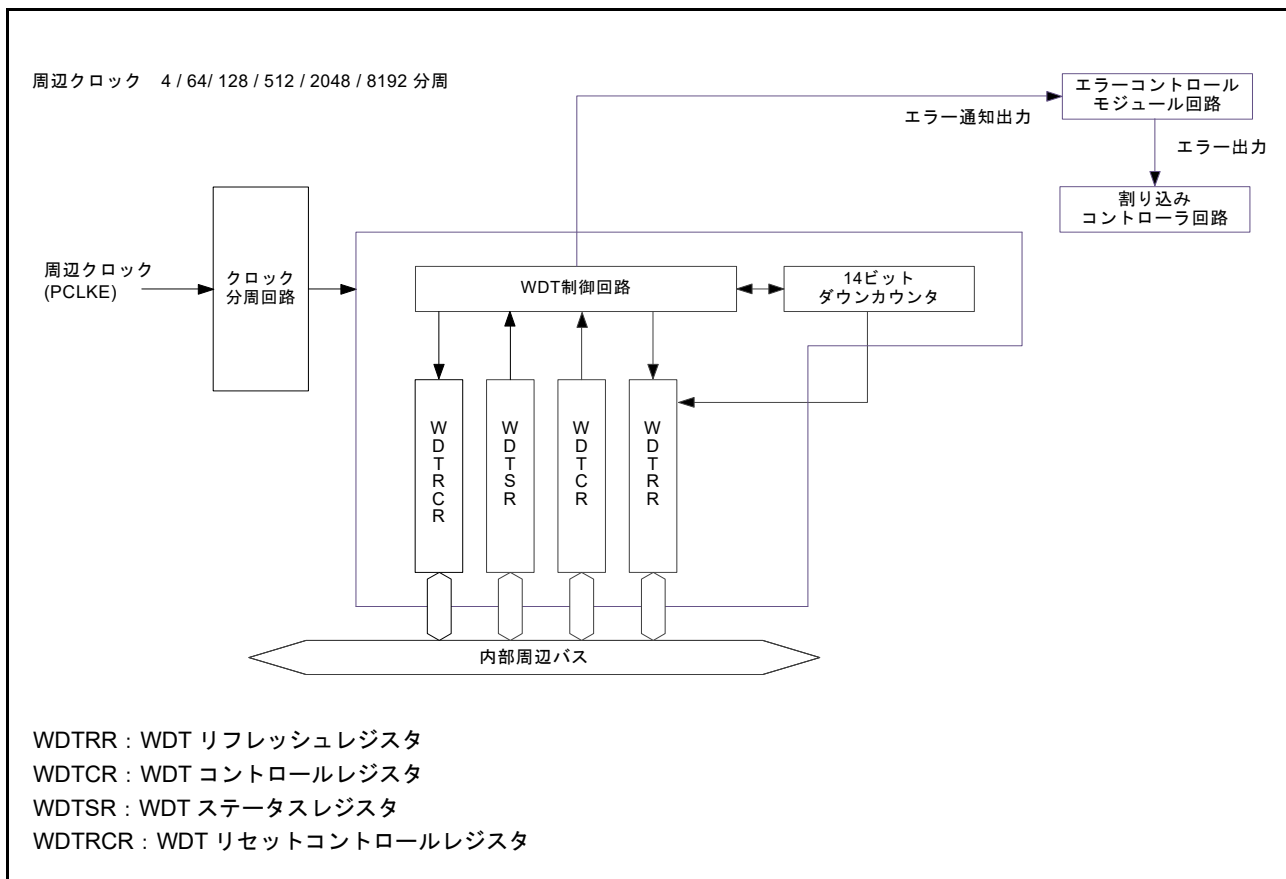


図 20.1 WDT のブロック図

20.2 レジスタの説明

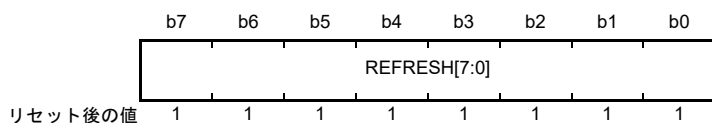
20.2.1 WDT リフレッシュレジスタ (WDTRR)

WDTRR レジスタは、WDT のダウンカウンタをリフレッシュするレジスタです。

リフレッシュ許可期間中に、WDTRR レジスタに 00h を書き込んだ後、FFh を書き込む（リフレッシュ動作）ことにより WDT のダウンカウンタをリフレッシュします。ダウンカウンタはリフレッシュされると WDTCR.TOPS[1:0] ビットで設定した値からダウンカウントを開始します。

読み出される値は 00h を書き込んだ場合は 00h が、00h 以外の値を書き込んだ場合は常に FFh となります。リフレッシュ動作の詳細については、「20.3.3 リフレッシュ動作」を参照してください。

アドレス WDT0.WDTRR A008 0600h



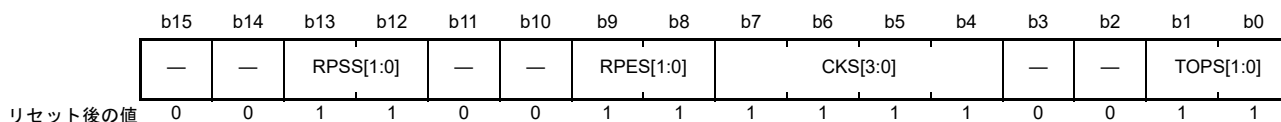
ビット	シンボル	ビット名	機能	R/W
b7-b0	REFRESH[7:0]	リフレッシュレジスタ	"00h" 書き込んだ後、"FFh" の書き込みでリフレッシュ	R/W

20.2.2 WDT コントロールレジスタ (WDTCR)

WDTCR レジスタは、ダウンカウンタがアンダフローを発生するまでのタイムアウト期間、クロック分周比、リフレッシュのウィンドウ開始/終了位置を設定するレジスタです。

本レジスタの書き込みには制限があります。詳細については、「20.3.2 WDTCR レジスタ、WDTRCR レジスタの書き込み制御」を参照してください。

アドレス WDT0.WDTCR A008 0602h



ビット	シンボル	ビット名	機能	R/W
b1-b0	TOPS[1:0]	タイムアウト期間選択ビット	b1 b0 0 0 : 1024サイクル (03FFh) 0 1 : 4096サイクル (0FFFh) 1 0 : 8192サイクル (1FFFh) 1 1 : 16384サイクル (3FFFh) () 内の値は、ダウンカウンタの開始値です。	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R/W
b7-b4	CKS[3:0]	クロック分周比選択ビット	b7 b4 0 0 0 1 : PCLK/4 0 1 0 0 : PCLK/64 1 1 1 1 : PCLK/128 0 1 1 0 : PCLK/512 0 1 1 1 : PCLK/2048 1 0 0 0 : PCLK/8192 上記以外は設定しないでください	R/W
b9-b8	RPES[1:0]	ウィンドウ終了位置選択ビット	b9 b8 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R/W
b13-b12	RPSS[1:0]	ウィンドウ開始位置選択ビット	ダウンカウンタのウィンドウ開始位置を、カウント期間 (カウント開始を100%、アンダフロー発生時を0%) の100%/75%/50%/25%から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。 図20.2にRPSS[1:0]、RPES[1:0]ビットの設定値とリフレッシュ許可/禁止期間の関係を示します。	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R/W

TOPS[1:0] ビット (タイムアウト期間選択ビット)

ダウンカウンタのアンダフローが発生するまでのタイムアウト期間を、CKS[3:0] ビットで設定した分周クロックを1サイクルとして、1024 サイクル / 4096 サイクル / 8192 サイクル / 16384 サイクルから選択します。リフレッシュ後アンダフローが発生するまでの時間 (周辺クロック (PCLK)) は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせにより決定します。

表 20.2 に WDT の CKS[3:0]、TOPS[1:0] ビットの設定とタイムアウト期間、および周辺クロック (PCLK) 数の関係を示します。

CKS[3:0] ビット (クロック分周比選択ビット)

周辺クロック (PCLK) を分周する分周比設定を 4 分周 / 64 分周 / 128 分周 / 512 分周 / 2048 分周 / 8192 分周から選択します。TOPS[1:0] ビットの設定と合わせて、WDT のカウント期間を周辺クロック (PCLK) の 4096 ~ 134217728 クロックの間で設定できます。

RPES[1:0] ビット (ウィンドウ終了位置選択ビット)

ダウンカウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より、必ず小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

RPES[1:0]、RPSS[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウント値は、TOPS[1:0] ビットの設定により変わります。

表 20.3 に TOPS[1:0] ビットの値に対応した、ウィンドウ開始 / 終了位置のカウント値を示します。

RPSS[1:0] ビット (ウィンドウ開始位置選択ビット)

ダウンカウンタのウィンドウ開始位置を、カウント期間 (カウント開始を 100%、アンダフロー発生時を 0%) の 100% / 75% / 50% / 25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

図 20.2 に RPSS[1:0]、RPES[1:0] ビットの設定値とリフレッシュ許可 / 禁止期間の関係を示します。

表 20.2 タイムアウト期間設定表

CKS[3:0]ビット				TOPS[1:0]ビット		クロック分周比	タイムアウト期間 (サイクル数)	周辺クロック (PCLK) 数 @カウントクロック = PCLK
b7	b6	b5	b4	b1	b0			
0	0	0	1	0	0	カウントクロック/ 4	1024	4096
				0	1		4096	16384
				1	0		8192	32768
				1	1		16384	65536
0	1	0	0	0	0	カウントクロック/ 64	1024	65536
				0	1		4096	262144
				1	0		8192	524288
				1	1		16384	1048576
1	1	1	1	0	0	カウントクロック/ 128	1024	131072
				0	1		4096	524288
				1	0		8192	1048576
				1	1		16384	2097152
0	1	1	0	0	0	カウントクロック/ 512	1024	524288
				0	1		4096	2097152
				1	0		8192	4194304
				1	1		16384	8388608
0	1	1	1	0	0	カウントクロック/ 2048	1024	2097152
				0	1		4096	8388608
				1	0		8192	16777216
				1	1		16384	33554432
1	0	0	0	0	0	カウントクロック/ 8192	1024	8388608
				0	1		4096	33554432
				1	0		8192	67108864
				1	1		16384	134217728

表 20.3 タイムアウト期間とウィンドウ開始/終了カウンタ値対応表

TOPS[1:0]ビット		タイムアウト期間		ウィンドウ開始/終了カウンタ値			
b1	b0	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
0	1	4096	0FFFh	0FFFh	0BFFh	07FFh	03FFh
1	0	8192	1FFFh	1FFFh	17FFh	0FFFh	07FFh
1	1	16384	3FFFh	3FFFh	2FFFh	1FFFh	0FFFh

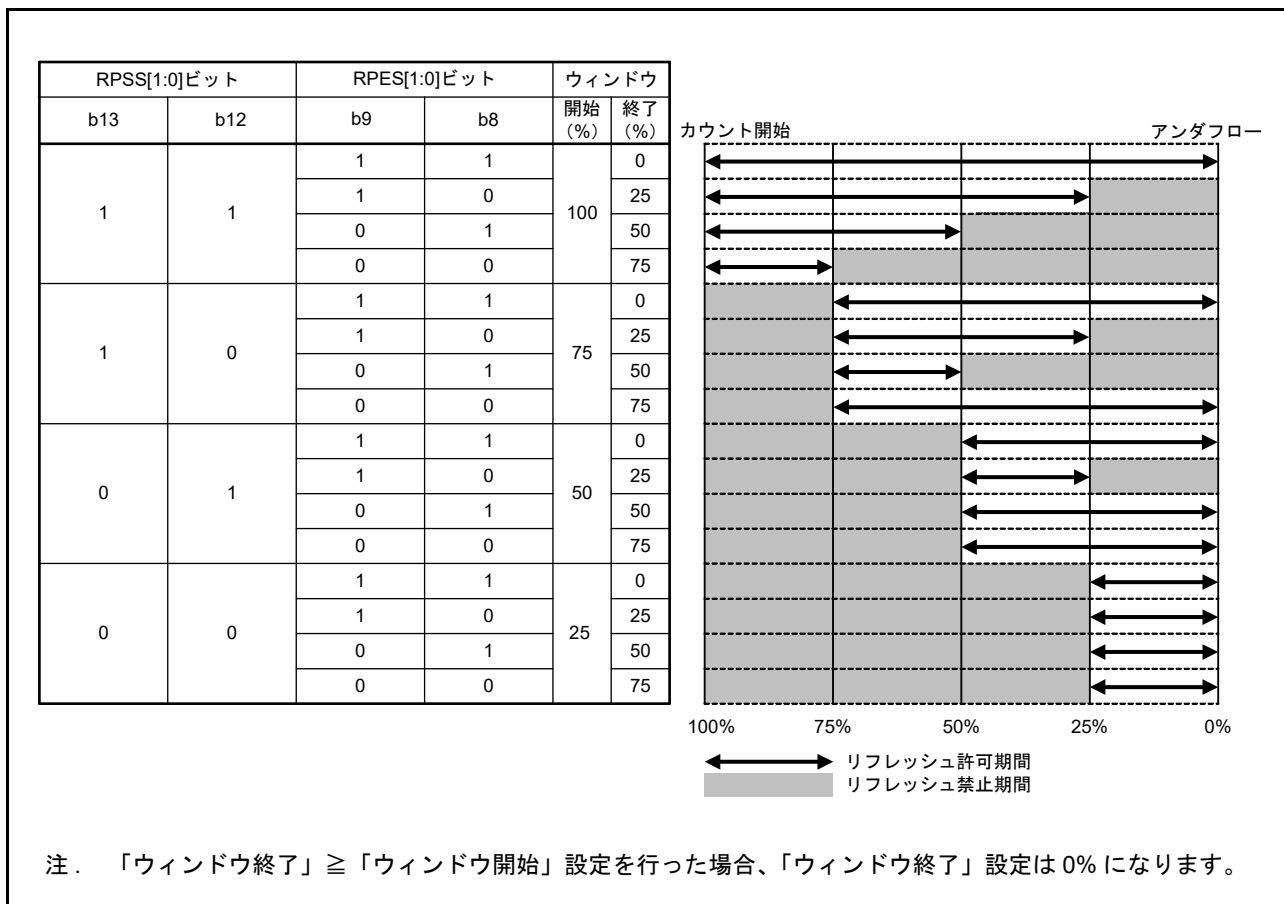
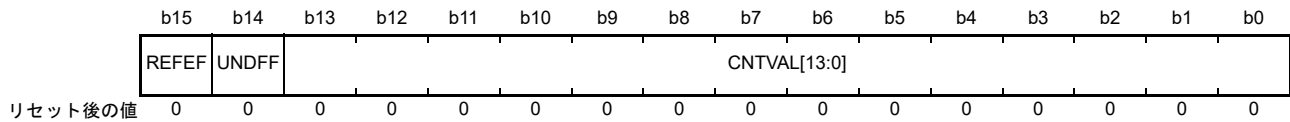


図 20.2 RPSS[1:0] ビット、RPES[1:0] ビットとリフレッシュ許可／禁止期間

20.2.3 WDT ステータスレジスタ (WDTSR)

WDTSR レジスタは、ダウンカウンタのカウンタ値の表示、およびアンダフロー、リフレッシュエラーの発生状態を表示するレジスタです。

アドレス WDT0.WDTSR A008 0604h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	ダウンカウンタ値ビット	ダウンカウンタのカウンタ値	R
b14	UNDFE	アンダフローフラグ	0 : アンダフローなし 1 : アンダフロー発生	R/(W)
b15	REFEF	リフレッシュエラーフラグ	0 : リフレッシュエラーなし 1 : リフレッシュエラー発生	R/(W)

CNTVAL[13:0] ビット (ダウンカウンタ値ビット)

ダウンカウンタのカウンタ値を確認することができます。ただし、読み出されるカウンタ値は、ダウンカウンタの実際の値に対し1カウントずれることがあります。

UNDFE フラグ (アンダフローフラグ)

ダウンカウンタのアンダフロー発生状態を確認することができます。読み出した値が“1”のとき、ダウンカウンタはアンダフローが発生した状態です。読み出した値が“0”のとき、アンダフローは発生していません。

値を“0”にするには、UNDFE フラグに“0”を書き込んでください。“1”の書き込みは無効です。

REFEF ビット (リフレッシュエラーフラグ)

リフレッシュエラー (リフレッシュ禁止期間中のリフレッシュ動作) の発生状態を確認することができます。

読み出した値が“1”のとき、リフレッシュエラーが発生した状態です。読み出した値が“0”のとき、リフレッシュエラーは発生していません。

値を“0”にするには、REFEF フラグに“0”を書き込んでください。“1”の書き込みは無効です。

20.2.4 WDT リセットコントロールレジスタ (WDTRCR)

WDTRCR レジスタは、エラーコントロールモジュール (ECM) に対し WDT のダウンカウンタのアンダフロー発生のエラー通知を制御するレジスタです。

本レジスタへの書き込みには制限があります。詳細については、「20.3.2 WDTCR レジスタ、WDTRCR レジスタの書き込み制御」を参照してください。

アドレス WDT0.WDTRCR A008 0606h

	b7	b6	b5	b4	b3	b2	b1	b0
RSTIRQS	—	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R/W
b7	RSTIRQS	リセット割り込み要求選択ビット	0 : ECMへのエラー通知を許可 1 : ECMにエラー通知しない	R/W

RSTIRQS ビット (リセット割り込み要求選択ビット)

ダウンカウンタのアンダフロー、またはリフレッシュエラーによるエラーコントロールモジュール (ECM) へのエラー通知制御を行います。

20.3 動作説明

20.3.1 カウント開始条件の動作

WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR) が設定された状態で、WDT リフレッシュレジスタ (WDTRR) へのリフレッシュ動作によりカウントが開始されます。

20.3.1.1 レジスタ設定

リセット解除後、WDTCR レジスタにクロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、また WDTRCR レジスタにエラーコントロールモジュール (ECM) へのエラー通知出力制御の各設定を行います。その後、リフレッシュ動作によりダウンカウンタに WDTCR.TOPS[1:0] ビットで設定された値がセットされ、ダウンカウントを開始します。

以後、プログラムが正常に動作し、リフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、WDT は ECM へのエラー通知を出力しません。

しかし、プログラムの暴走などによりダウンカウンタのリフレッシュが行われず、ダウンカウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合、ECM へのエラー通知を出力します。

図 20.3 に以下の条件での動作例を示します。

- リセット割り込み要求選択ビット (RSTIRQS) : 0b (ECM へのエラー通知許可)
- ウィンドウ開始位置選択ビット (RPSS[1:0]) : 10b (75%)
- ウィンドウ終了位置選択ビット (RPES[1:0]) : 10b (25%)

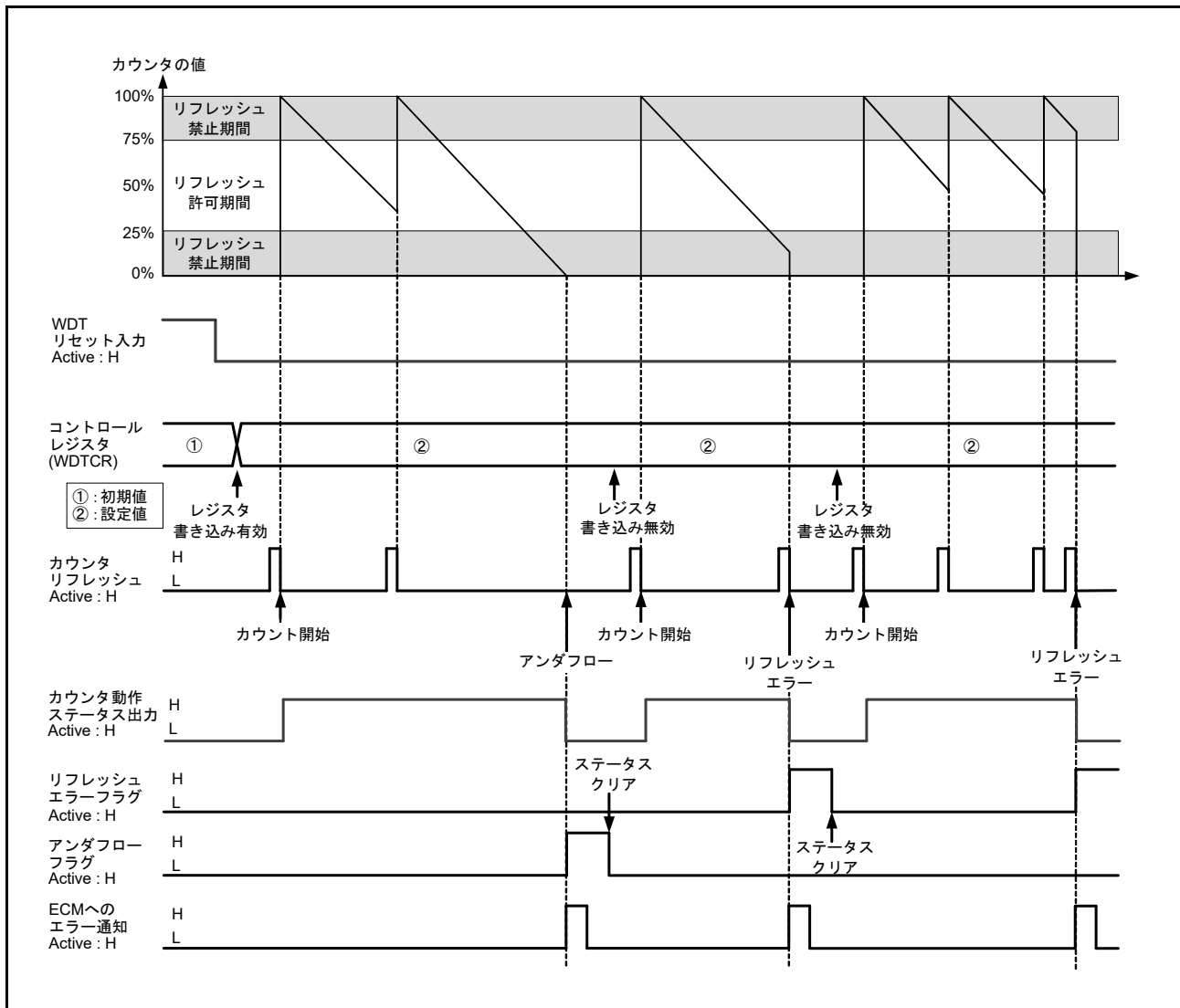


図 20.3 レジスタスタートモード動作例

20.3.2 WDTCR レジスタ、WDTRCR レジスタの書き込み制御

WDT コントロールレジスタ (WDTCR) への書き込みは、リセット解除後から最初のリフレッシュ動作までの間に 1 回のみ可能です。

リフレッシュ動作 (カウントスタート) 後、もしくは WDTCR レジスタに書き込み後には、WDT 内部のプロテクト信号が “1” となり、以後 WDTCR レジスタに対する書き込みをプロテクトします。

WDT リセットコントロールレジスタ (WDTRCR) についても、同様に制御されます。

WDT に対するリセット要因により、プロテクトは解除されます。それ以外のリセット要因では解除されません。

図 20.4 に WDTCR レジスタ書き込み制御波形を示します。

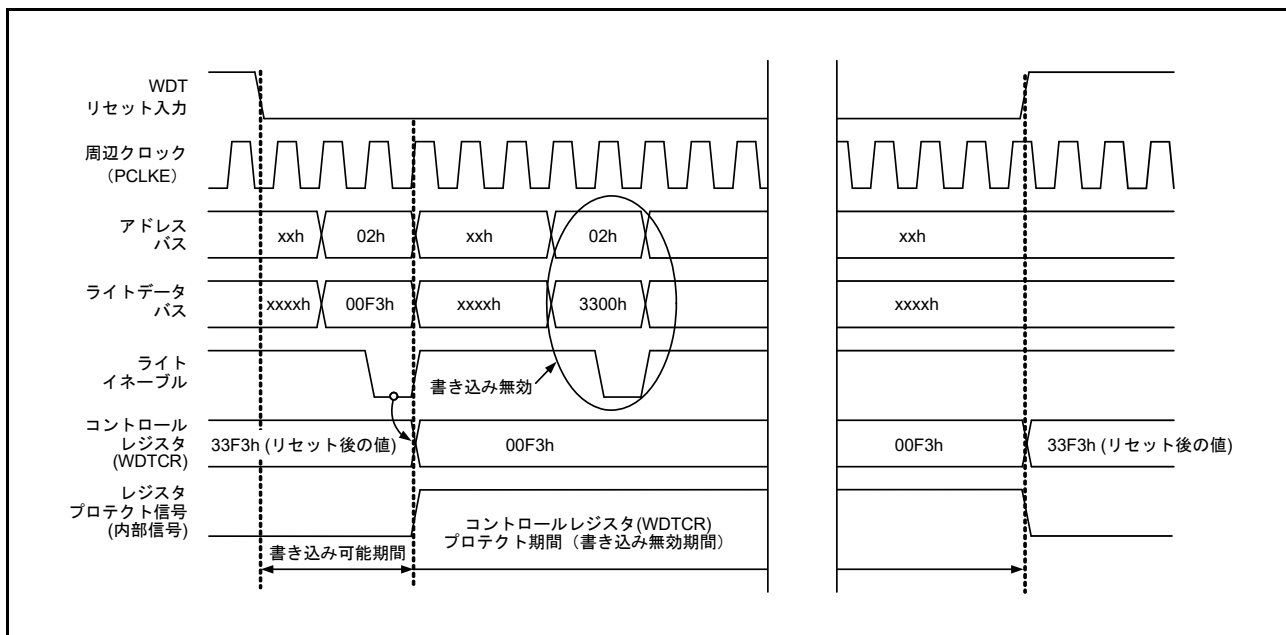


図 20.4 WDTCR レジスタ書き込み制御波形

20.3.3 リフレッシュ動作

ダウンカウンタのリフレッシュ、およびダウンカウンタ動作開始（リフレッシュによるカウント開始）を行うには、WDT リフレッシュレジスタ (WDTRR) に“00h”を書き込んだ後、続けて“FFh”を書き込みます。“00h”を書き込んだ後、“FFh”以外の値を書き込んだ場合、リフレッシュは行いません。再度、WDTRR レジスタに“00h”→“FFh”の順で値を書き込むことにより、リフレッシュを正常に行うことができます。

なお、00h（1回目）→00h（2回目）の書き込みを行った場合でも、その後FFhを書き込むことにより、00h→FFhの書き込み動作が成立するため、00h（n-1回目）→00h（n回目）→FFhのような書き込み動作も有効となり、リフレッシュを行います。

また、WDTRR レジスタへの“00h”書き込みと“FFh”書き込みの間に、WDTRR レジスタ以外へのアクセス、またはWDTRR レジスタの読み出しを行った場合でも、リフレッシュを行います。

【リフレッシュが有効な書き込み例】

- “00h” → “FFh”
- “00h”（n-1回目） → “00h”（n回目） → “FFh”
- “00h” → 別レジスタへのアクセス、またはWDTRR レジスタの読み出し → “FFh”

【リフレッシュが無効な書き込み例】

- “23h”（“00h”以外） → “FFh”
- “00h” → “54h”（“FFh”以外）
- “00h” → “AAh”（“00h”および“FFh”以外） → “FFh”

リフレッシュ動作として、WDTRR レジスタへの00hの書き込みがリフレッシュ許可期間外であっても、WDTRR レジスタに対するFFhの書き込みがリフレッシュ許可期間内であれば、書き込み動作が成立し、リフレッシュを行います。（書き込みが、リフレッシュ許可期間内かどうかの判定は、“FFh”の書き込み時に行っています。）

なお、ダウンカウンタがリフレッシュされるタイミングは、WDT リフレッシュレジスタ (WDTRR) に“FFh”を書き込んだ後、カウントサイクル数で最大4サイクル必要となります。（1サイクル間の周辺クロック (PCLK) 数は、クロック分周比選択ビット (WDTCR.CKS[3:0]) の設定値により異なります。）

そのため、リフレッシュ許可期間終了位置から4カウント前、もしくはダウンカウンタがアンダフローする4カウント前までに、WDTRR レジスタへの“FFh”書き込みを完了してください。ダウンカウンタの値はダウンカウンタ値ビット (WDTSR.CNTVAL[13:0]) で確認できます。

【リフレッシュ動作タイミング例】

- 例えば、ウィンドウ開始位置が1FFFhの場合、WDTRR レジスタへ00hの書き込みが1FFFhよりも前（例えば、2002h）であっても、WDTSR.CNTVAL[13:0]の値が1FFFhになった後、WDTRR レジスタにFFhを書き込むことで、リフレッシュを行います。
- ウィンドウ終了位置が1FFFhの場合、WDTRR レジスタに00h→FFhを書き込んだ直後に、WDTSR.CNTVAL[13:0]の値が2003h（1FFFhの4カウント前）以上であれば、リフレッシュを行います。
- 0000hまでがリフレッシュ許可期間である場合、アンダフロー直前にリフレッシュが可能ですが、この場合WDTRR レジスタに00h→FFhを書き込んだ直後に、WDTSR.CNTVAL[13:0]の値が0003h（アンダフローの4カウント前）以上であればアンダフローは発生せず、リフレッシュを行います。

図 20.5 にクロック分周比が PCLK/64 の WDT リフレッシュ動作波形を示します。

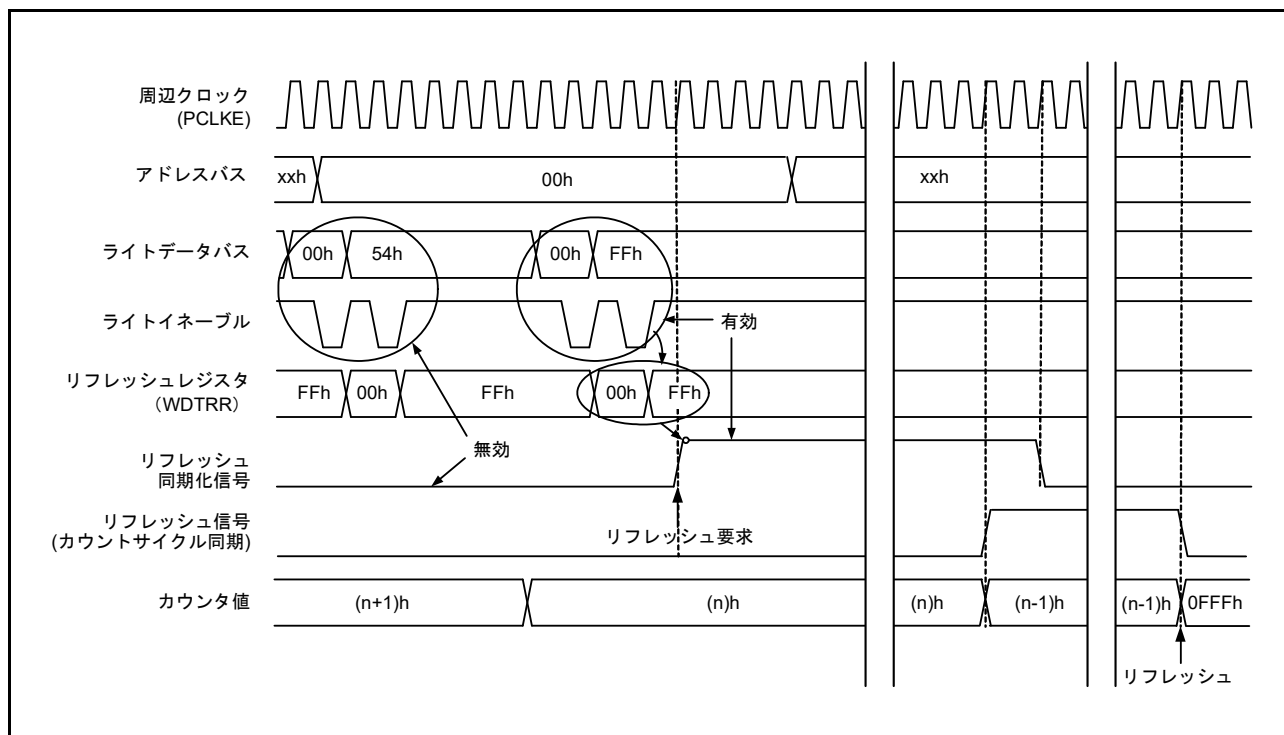


図 20.5 WDT リフレッシュ動作波形 (WDTCR.CKS[3:0] = 0100b、WDTCR.TOPS[1:0] = 01b)

20.3.4 ステータスフラグ

リフレッシュエラーフラグ (WDTSR.REFEF)、アンダフローフラグ (WDTSR.UNDFE) は、WDT のエラーコントロールモジュール (ECM) に対するエラー通知が発生した場合のエラー要因を保持します。

リセット解除後、もしくは ECM へのエラー通知発生時に WDTSR.REFEF フラグ、または WDTSR.UNDFE フラグを読み出すことで、ECM に対するエラー通知の発生状態を確認することができます。

各フラグの値をクリアするには“0”を書き込んでください。“1”の書き込みは無効です。

各フラグは、クリアしなくても動作に影響を与えません。クリアしない場合は、次に WDT の ECM に対するエラー通知が発生した時に古いエラー通知はクリアされ、新しい ECM へのエラー通知が書き込まれます。

20.3.5 エラーコントロールモジュール (ECM) へのエラー通知

リセット割り込み選択ビット (WDTRCR.RSTIRQS) を“0”に設定した場合、ダウンカウンタのアンダフローまたはリフレッシュエラーにより、1カウントサイクル間 ECM に対するエラー通知が発生します。

20.3.6 ダウンカウンタ値の読み出し

WDT はカウンタ値を WDT ステータスレジスタのダウンカウンタ (WDTSR.CNTVAL[13:0] ビット) へ格納します。WDTSR.CNTVAL[13:0] ビットへ格納された値を読み出すことで、カウンタ値を確認することができます。

なお、読み出しには周辺クロック (PCLKE) で最大4クロック必要となるため、読み出したカウンタ値は、ダウンカウンタの実際の値に対し、1カウントずれることがあります。

図 20.6 にクロック分周比が PCLKE/64 のダウンカウンタ値の読み出し処理を示します。

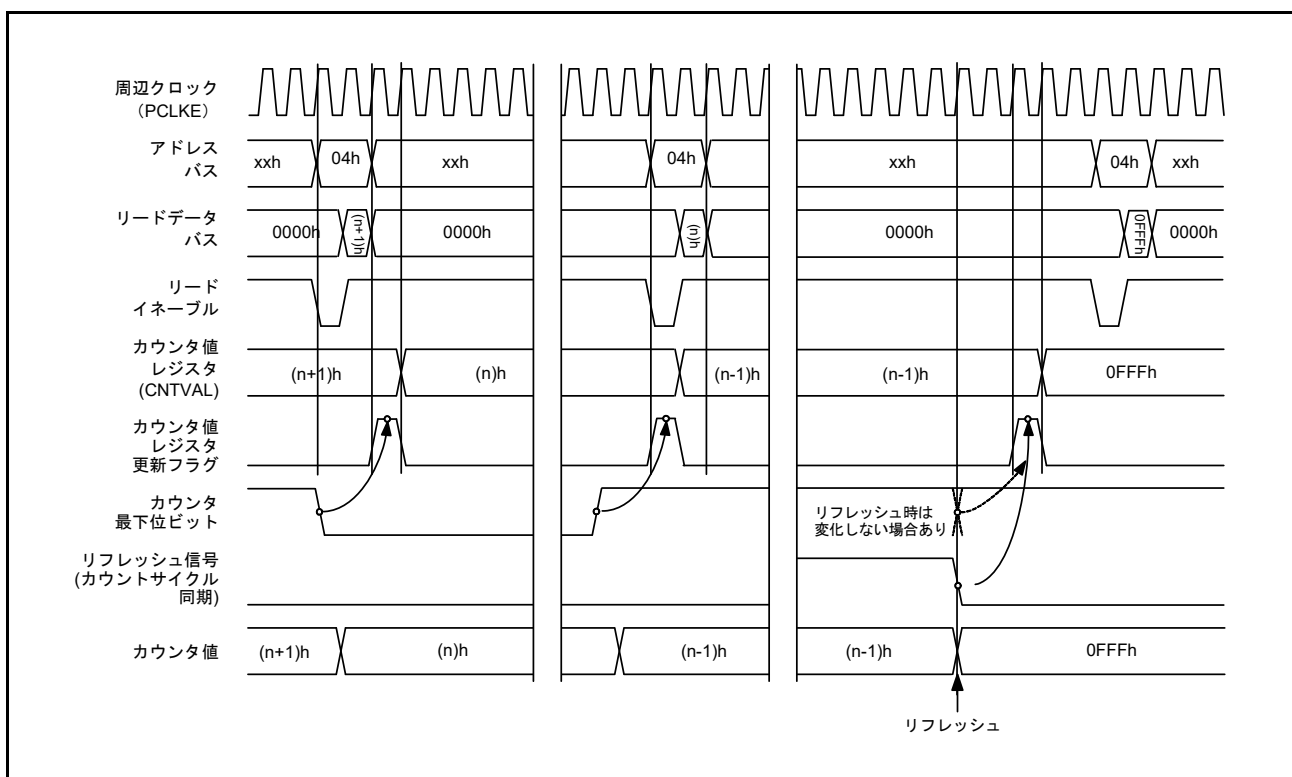


図 20.6 WDT ダウンカウンタ値の読み出し処理
(WDTCR.CKS[3:0] = 0100b、WDTCR.TOPS[1:0] = 01b)

20.4 低消費電力制御

20.4.1 低消費電力モード遷移におけるウォッチドッグタイマの動作

WDT のダウンカウンタが動作している時、Cortex-R4 のスタンバイモードへの遷移時に WDT に対するクロック供給制御が可能です。

表 20.4 に低消費電力モード遷移時の WDT 動作を示します。

表 20.4 低消費電力モード遷移時の WDT 動作<低消費電力モード遷移時>

低消費電力モード	WDT0クロック供給	WDT0動作
Cortex-R4スタンバイ	○	○

○ : 動作

21. 独立ウォッチドッグタイマ (IWDTa)

独立ウォッチドッグタイマ (IWDT) は 14 ビットのダウンカウンタを内蔵しており、ダウンカウントしたカウント値がアンダフローすると、エラーコントロールモジュール (ECM) へのエラー通知が発生します。ダウンカウンタのカウント値をリフレッシュすることによりカウント値をリセット後の値に戻し、再びカウントすることができます。また、リフレッシュ可能な期間を設定することができます。リフレッシュ可能な期間にリフレッシュ (レジスタ書き込み) を行うとカウンタを初期化し再度カウントすることができますが、リフレッシュ可能期間外にリフレッシュを行うと、ECM へのエラー通知が発生します。これによりリフレッシュ間隔を加味したプログラムの暴走を検知できます。なお、アンダフローの発生、もしくはリフレッシュ可能期間外にリフレッシュを行った場合、IWDT はカウントを停止します。カウントは、リフレッシュ実施後に再開します。(リフレッシュ動作については、「21.3.3 リフレッシュ動作」を参照してください。)

エラーコントロールモジュール (ECM) については「32. エラーコントロールモジュール (ECM)」を参照してください。

21.1 概要

IWDT はリセット解除後、リフレッシュ (レジスタ書き込み) によりカウントを開始します。

カウント開始前に IWDT コントロールレジスタ (IWDTCR) に対して、クロック分周比、ウィンドウ開始/終了位置、タイムアウト期間の各設定を行います。

表 21.1 に IWDT の仕様を示します。

表 21.1 IWDT の仕様

項目	内容
カウントソース	IWDT クロック (IWDTCLK)
クロック分周比	1分周 / 16分周 / 32分周 / 64分周 / 128分周 / 256分周
IWDT クロック (IWDTCLK) 発振イネーブル	リフレッシュ動作により、IWDT クロック (IWDTCLK) の発振開始
カウント動作	14 ビットのダウンカウンタによるダウンカウント
カウント開始条件	リフレッシュ (IWDTRR レジスタに 00h を書き込み後、FFh を書き込む) によりカウント開始
カウント停止条件	<ul style="list-style-type: none"> リセット (ダウンカウンタ、レジスタはリセット後の値に戻ります) アンダフロー、リフレッシュエラー発生時
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可期間)
ECM へのエラー通知出力要因	<ul style="list-style-type: none"> ダウンカウンタがアンダフローした場合 リフレッシュ許可期間以外でリフレッシュを行った場合 (リフレッシュエラー)
カウンタ値の読み出し	IWDTSR レジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能
IWDT レジスタ制御	<ul style="list-style-type: none"> リフレッシュ動作後のクロック分周比の選択 (IWDTCR.CKS[3:0] ビット) 独立ウォッチドッグタイマのタイムアウト期間の選択 (IWDTCR.TOPS[1:0] ビット) 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (IWDTCR.RPSS[1:0] ビット) 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (IWDTCR.RPES[1:0] ビット)

IWDT は、意図せず周辺クロック (PCLKB) が停止した場合でも動作するように、周辺クロック (PCLKB) と IWDT クロック (IWDTCLK) の 2 つのクロックで動作します。バスインタフェース部とレジスタ部は周辺クロック (PCLKB) で動作し、14 ビットのダウンカウンタと制御回路は IWDT クロック (IWDTCLK) で動作します。

周辺クロック (PCLKB) 動作ブロックと IWDT クロック (IWDTCLK) 動作ブロック間の信号は、同期化回路を介して接続されます。

図 21.1 に IWDT のブロック図を示します。

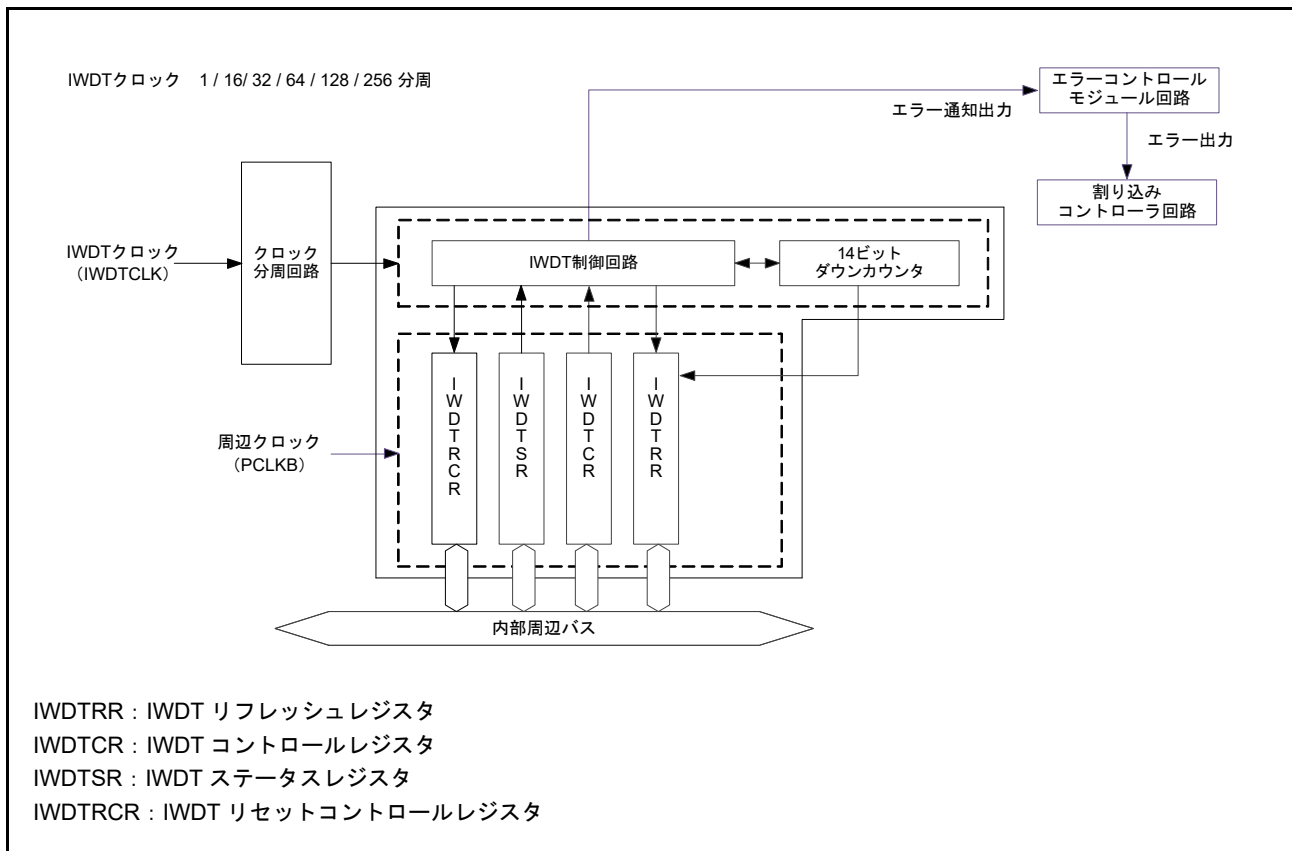


図 21.1 IWDT のブロック図

21.2 レジスタの説明

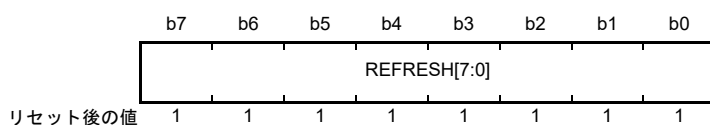
21.2.1 IWDTRR リフレッシュレジスタ (IWDTRR)

IWDTRR レジスタは、IWDT のダウンカウンタをリフレッシュするレジスタです。

リフレッシュ許可期間中に、IWDTRR レジスタに 00h を書き込んだ後、FFh を書き込む (リフレッシュ動作) ことにより IWDT のダウンカウンタをリフレッシュします。ダウンカウンタはリフレッシュされると IWDTCR.TOPS[1:0] ビットで設定した値からダウンカウントを開始します。

読み出される値は 00h を書き込んだ場合は 00h が、00h 以外の値を書き込んだ場合は常に FFh となります。リフレッシュ動作の詳細については、「21.3.3 リフレッシュ動作」を参照してください。

アドレス A008 0700h



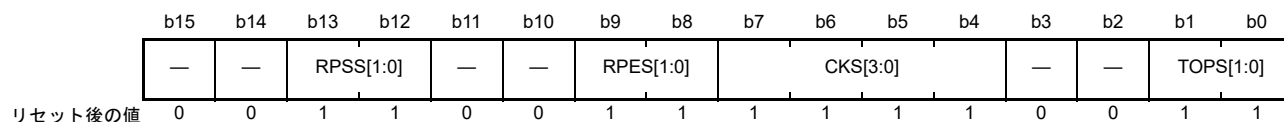
ビット	シンボル	ビット名	機能	R/W
b7-b0	REFRESH[7:0]	リフレッシュレジスタ	"00h" 書き込んだ後、"FFh" の書き込みでリフレッシュ	R/W

21.2.2 IWDT コントロールレジスタ (IWDTCR)

IWDTCR レジスタは、ダウンカウンタがアンダフローを発生するまでのタイムアウト期間、クロック分周比、リフレッシュのウィンドウ開始/終了位置を設定するレジスタです。

本レジスタの書き込みには制限があります。詳細については、「21.3.2 IWDTCR レジスタ、IWDTRCR レジスタの書き込み制御」を参照してください。

アドレス A008 0702h



ビット	シンボル	ビット名	機能	R/W
b1-b0	TOPS[1:0]	タイムアウト期間選択ビット	b1 b0 0 0 : 1024サイクル (03FFh) 0 1 : 4096サイクル (0FFFh) 1 0 : 8192サイクル (1FFFh) 1 1 : 16384サイクル (3FFFh) () 内の値は、ダウンカウンタの開始値です。	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R/W
b7-b4	CKS[3:0]	クロック分周比選択ビット	b7 b4 0 0 0 0 : IWDTCLK 0 0 1 0 : IWDTCLK/16 0 0 1 1 : IWDTCLK/32 0 1 0 0 : IWDTCLK/64 1 1 1 1 : IWDTCLK/128 0 1 0 1 : IWDTCLK/256 上記以外の設定は禁止	R/W
b9-b8	RPES[1:0]	ウィンドウ終了位置選択ビット	b9 b8 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R/W
b13-b12	RPSS[1:0]	ウィンドウ開始位置選択ビット	b13 b12 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウの開始位置設定なし)	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R/W

TOPS[1:0] ビット (タイムアウト期間選択ビット)

ダウンカウンタのアンダフローが発生するまでのタイムアウト期間を、CKS[3:0] ビットで設定した分周クロックを1サイクルとして、1024 サイクル/4096 サイクル/8192 サイクル/16384 サイクルから選択します。リフレッシュ後アンダフローが発生するまでの時間 IWDT クロック (IWDTCLK) 数は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせにより決定します。

表 21.2 に IWDT の CKS[3:0]、TOPS[1:0] ビットの設定とタイムアウト期間、および IWDT クロック (IWDTCLK) 数の関係を示します。

CKS[3:0] ビット (クロック分周比選択ビット)

IWDT クロック (IWDTCLK) を分周する分周比設定を 1 分周 / 16 分周 / 32 分周 / 64 分周 / 128 分周 / 256 分周から選択します。TOPS[1:0] ビット設定と合わせて、IWDT のカウント期間を IWDT クロック (IWDTCLK) の 1024 ~ 4194304 クロックの間で設定できます。なお、最低周辺クロック (PCLKB) 周波数と最大 IWDT クロック (IWDTCLK) 周波数の関係によっては、ダウンカウンタ値が正常に読み出せない場合があります。

RPES[1:0] ビット (ウィンドウ終了位置選択ビット)

ダウンカウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より、必ず小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

RPES[1:0]、RPSS[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウンタ値は、TOPS[1:0] ビットの設定により変わります。

表 21.3 に TOPS[1:0] ビットの値に対応した、ウィンドウ開始 / 終了位置のカウンタ値を示します。

RPSS[1:0] ビット (ウィンドウ開始位置選択ビット)

ダウンカウンタのウィンドウ開始位置を、カウント期間 (カウント開始を 100%、アンダフロー発生時を 0%) の 100% / 75% / 50% / 25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

図 21.2 に RPSS[1:0]、RPES[1:0] ビットの設定値とリフレッシュ許可 / 禁止期間の関係を示します。

表21.2 タイムアウト期間設定表

CKS[3:0]ビット				TOPS[1:0]ビット		クロック分周比	タイムアウト期間 (サイクル数)	IWDTクロック (IWDTCLK) 数
b7	b6	b5	b4	b1	b0			
0	0	0	0	0	0	IWDTCLK	1024	1024
				0	1		4096	4096
				1	0		8192	8192
				1	1		16384	16384
0	0	1	0	0	0	IWDTCLK/16	1024	16384
				0	1		4096	65536
				1	0		8192	131072
				1	1		16384	262144
0	0	1	1	0	0	IWDTCLK/32	1024	32768
				0	1		4096	131072
				1	0		8192	262144
				1	1		16384	524288
0	1	0	0	0	0	IWDTCLK/64	1024	65536
				0	1		4096	262144
				1	0		8192	524288
				1	1		16384	1048576
1	1	1	1	0	0	IWDTCLK/128	1024	131072
				0	1		4096	524288
				1	0		8192	1048576
				1	1		16384	2097152
0	1	0	1	0	0	IWDTCLK/256	1024	262144
				0	1		4096	1048576
				1	0		8192	2097152
				1	1		16384	4194304

表21.3 タイムアウト期間とウィンドウ許可/終了カウンタ値対応表

TOPS[1:0]ビット		タイムアウト期間		リフレッシュ許可/終了カウンタ値			
b1	b0	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
0	1	4096	0FFFh	0FFFh	0BFFh	07FFh	03FFh
1	0	8192	1FFFh	1FFFh	17FFh	0FFFh	07FFh
1	1	16384	3FFFh	3FFFh	2FFFh	1FFFh	0FFFh

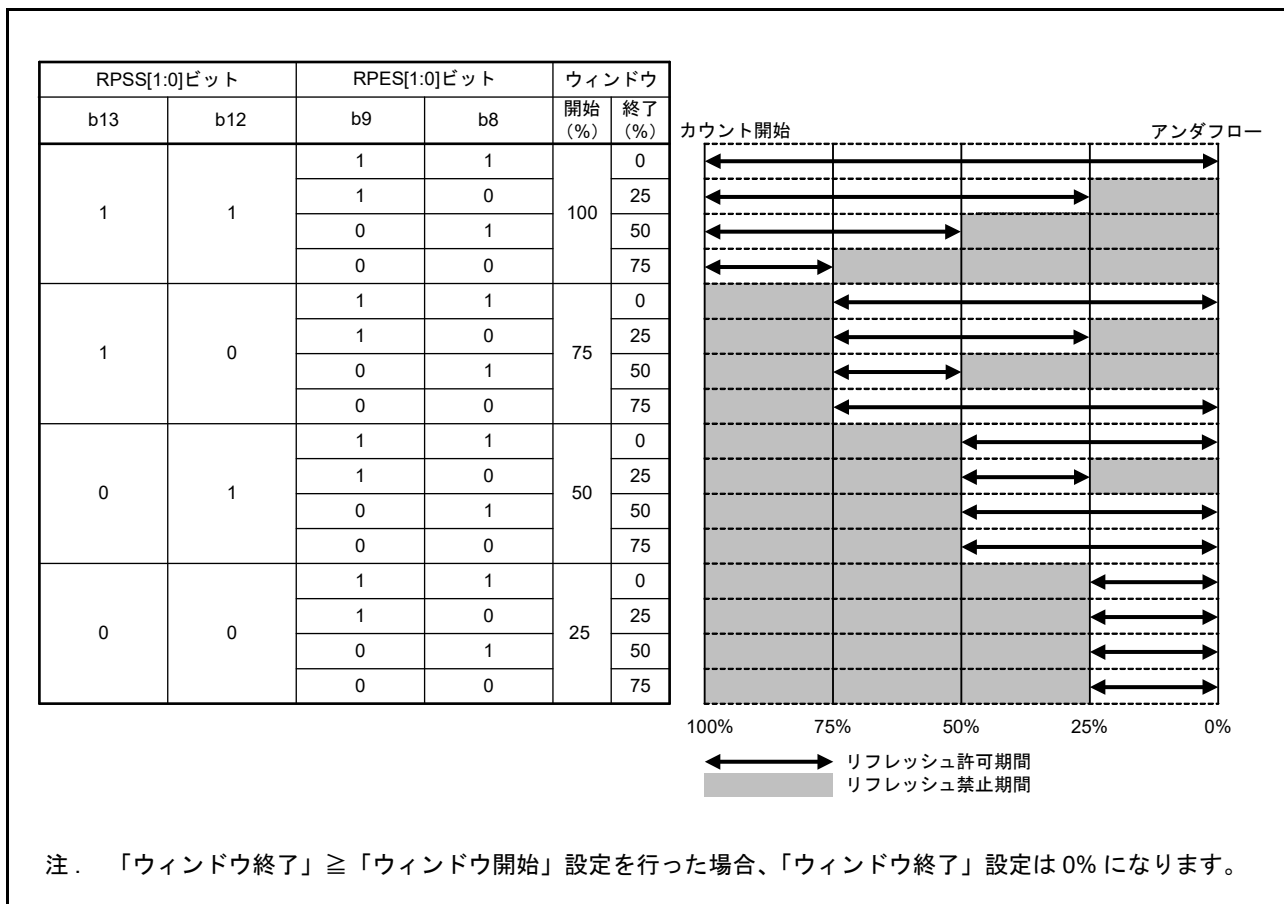
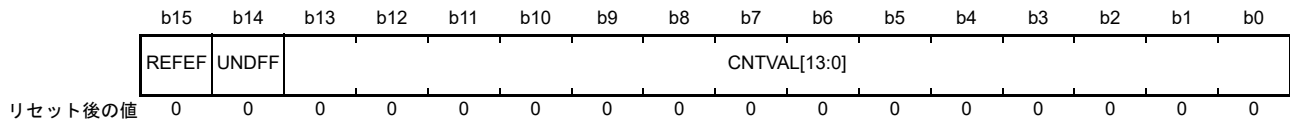


図 21.2 RPSS[1:0] ビット、RPES[1:0] ビットとリフレッシュ許可期間

21.2.3 IWDT ステータスレジスタ (IWDTSR)

IWDTSR レジスタは、ダウンカウンタのカウンタ値の表示、およびアンダフロー、リフレッシュエラーの発生状態を表示するレジスタです。

アドレス A008 0704h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	カウンタ値ビット	カウンタのカウンタ値	R
b14	UNDFE	アンダフローフラグ	0: アンダフローなし 1: アンダフロー発生	R/(W)
b15	REFEF	リフレッシュエラーフラグ	0: リフレッシュエラーなし 1: リフレッシュエラー発生	R/(W)

CNTVAL[13:0] ビット (カウンタ値ビット)

ダウンカウンタのカウンタ値を確認することができます。ただし、読み出されるカウンタ値は、ダウンカウンタの実際の値に対し1カウントずれることがあります。

UNDFE フラグ (アンダフローフラグ)

ダウンカウンタのアンダフロー発生状態を確認することができます。読み出した値が“1”のとき、ダウンカウンタはアンダフローが発生した状態です。読み出した値が“0”のとき、アンダフローは発生していません。

値を“0”にするには、UNDFE フラグに“0”を書き込んでください。“1”の書き込みは無効です。

REFEF ビット (リフレッシュエラーフラグ)

リフレッシュエラー (リフレッシュ禁止期間中のリフレッシュ動作) の発生状態を確認することができます。

読み出した値が“1”のとき、リフレッシュエラーが発生した状態です。読み出した値が“0”のとき、リフレッシュエラーは発生していません。

値を“0”にするには、REFEF フラグに“0”を書き込んでください。“1”の書き込みは無効です。

21.2.4 IWDT リセットコントロールレジスタ (IWDTRCR)

IWDTRCR レジスタは、エラーコントロールモジュール (ECM) に対し IWDT のダウンカウンタのアンダフロー発生のエラー通知を制御するレジスタです。

本レジスタへの書き込みには制限があります。詳細については、「21.3.2 IWDTa レジスタ、IWDTRCR レジスタの書き込み制御」を参照してください。

アドレス A008 0706h

	b7	b6	b5	b4	b3	b2	b1	b0
RSTIRQS	—	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R/W
b7	RSTIRQS	リセット割り込み要求選択ビット	0 : ECMへのエラー通知を許可 1 : ECMにエラー通知しない	R/W

RSTIRQS ビット (リセット割り込み要求選択ビット)

ダウンカウンタのアンダフロー、またはリフレッシュエラーによるエラーコントロールモジュール (ECM) へのエラー通知制御を行います。

21.3 動作説明

21.3.1 カウント開始条件の動作

IWDT コントロールレジスタ (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR) が設定された状態で、IWDT リフレッシュレジスタ (IWDTRR) へのリフレッシュ動作によりカウントが開始されます。

21.3.1.1 レジスタ設定

リセット解除後、IWDTCR レジスタにクロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、IWDTRCR レジスタにエラーコントロールモジュール (ECM) へのエラー通知出力制御の各設定を行います。その後、リフレッシュ動作によりダウンカウンタにタイムアウト期間選択ビット (IWDTCR.TOPS[1:0]) で設定された値がセットされ、ダウンカウントを開始します。

以後、プログラムが正常に動作し、リフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、IWDT は ECM へのエラー通知を出力しません。

しかし、プログラムの暴走などによりカウンタのリフレッシュが行われず、カウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合、ECM へのエラー通知を出力します。

図 21.3 に以下の条件での動作例を示します。

- リセット割り込み要求選択ビット (IWDTRCR.RSTIRQS) : 0b (ECM へのエラー通知許可)
- ウィンドウ開始位置選択ビット (IWDTCR.RPSS[1:0]) : “10b” (75%)
- ウィンドウ終了位置選択ビット (IWDTCR.RPES[1:0]) : “10b” (25%)

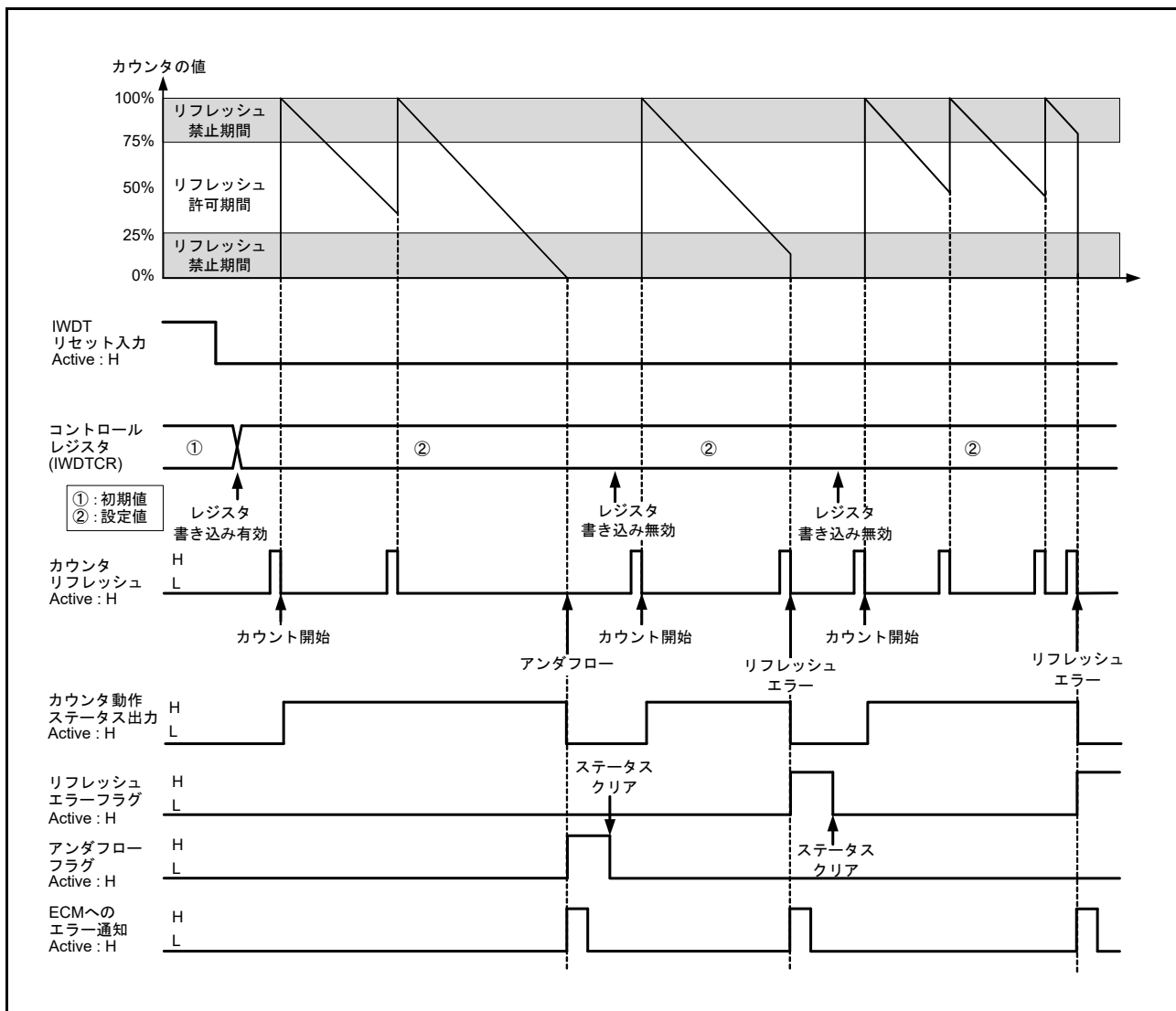


図 21.3 レジスタスタートモード動作例

21.3.2 IWDTCR レジスタ、IWDTRCR レジスタの書き込み制御

IWDT コントロールレジスタ (IWDTCR) への書き込みは、リセット解除後から最初のリフレッシュ動作までの間に 1 回のみ可能です。

リフレッシュ動作 (カウントスタート) 後、もしくは IWDTCR レジスタへ書き込み後に、IWDT 内部のプロテクト信号が “1” となり、以後 IWDTCR レジスタに対する書き込みをプロテクトします。

IWDT リセットコントロールレジスタ (IWDTRCR) についても、同様に制御されます。

IWDT に対するリセット要因により、プロテクトは解除されます。それ以外のリセット要因では解除されません。

図 21.4 に IWDTCR レジスタ書き込み制御波形を示します。

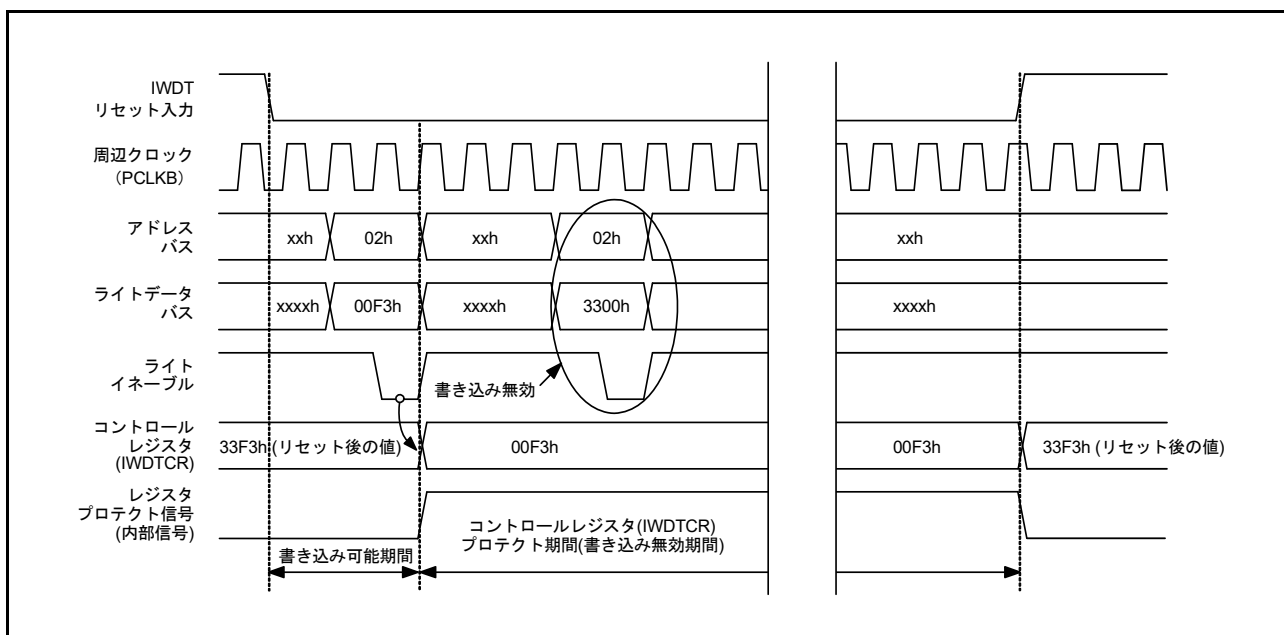


図 21.4 IWDTCR レジスタ書き込み制御波形

21.3.3 リフレッシュ動作

カウンタのリフレッシュ、およびカウンタ動作開始（リフレッシュによるカウント開始）を行うには、IWDTR リフレッシュレジスタ (IWDTRR) に“00h”を書き込んだ後、続けて“FFh”を書き込みます。“00h”を書き込んだ後に“FFh”以外の値を書き込んだ場合、リフレッシュは行いません。再度、IWDTRR レジスタに“00h”→“FFh”の順で値を書き込むことにより、リフレッシュを正常に行うことができます。

なお、“00h” (1 回目) → “00h” (2 回目) の書き込みを行った場合でも、その後“FFh”を書き込むことにより、“00h” → “FFh”の書き込み動作が成立するため、“00h” (n-1 回目) → “00h” (n 回目) → “FFh”のような書き込み動作も有効となり、リフレッシュを行います。また、IWDTRR レジスタへの“00h”書き込みと“FFh”書き込みの間に、IWDTRR レジスタ以外へのアクセス、または IWDTRR レジスタの読み出しを行った場合でもリフレッシュを行います。

【リフレッシュが有効な書き込み例】

- “00h” → “FFh”
- “00h” (n-1 回目) → “00h” (n 回目) → “FFh”
- “00h” → 別レジスタへのアクセス、または IWDTRR レジスタの読み出し → “FFh”

【リフレッシュが無効な書き込み例】

- “23h” (“00h” 以外) → “FFh”
- “00h” → “54h” (“FFh” 以外)
- “00h” → “AAh” (“00h” および “FFh” 以外) → “FFh”

リフレッシュ動作として、IWDTRR レジスタへの“00h”の書き込みがリフレッシュ許可期間外であっても、IWDTRR レジスタへ対する“FFh”の書き込みがリフレッシュ許可期間内であれば、書き込み動作が成立しリフレッシュを行います。(書き込みが、リフレッシュ許可期間内かどうかの判定は、“FFh”の書き込み時に行っています。)

なお、カウンタがリフレッシュされるタイミングは、IWDTRR レジスタに“FFh”を書き込んだ後、カウントサイクル数で最大 4 サイクル必要となります (1 サイクル間の IWDTC クロック (IWDTCCLK) 数は、クロック分周比選択ビット (IWDTCR.CKS[3:0]) の設定値により異なります)。そのため、リフレッシュ許可期間終了位置から 4 カウント前、もしくはカウンタがアンダフローする 4 カウント前までに、IWDTRR レジスタへの“FFh”書き込みを完了してください。ダウンカウンタの値はダウンカウンタ値ビット (IWDTSR.CNTVAL[13:0]) で確認できます。

【リフレッシュ動作タイミング例】

- 例えば、ウィンドウ開始位置が“1FFFh”の場合、IWDTRR レジスタへの“00h”書き込みが“1FFFh”よりも前 (たとえば“2002h”) であっても、IWDTSR.CNTVAL[13:0] ビットの値が“1FFFh”になった後、IWDTRR レジスタに“FFh”を書き込むことで、リフレッシュを行います。
- ウィンドウ終了位置が“1FFFh”の場合、IWDTRR レジスタに“00h” → “FFh”を書き込んだ直後に、IWDTSR.CNTVAL[13:0] ビットの値が“2003h” (“1FFFh”の 4 カウント前) 以上であればリフレッシュを行います。
- “0000h”までがリフレッシュ許可期間である場合、アンダフロー直前にリフレッシュが可能ですが、この場合、IWDTRR レジスタに“00h” → “FFh”を書き込んだ直後に、IWDTSR.CNTVAL[13:0] ビットの値が“0003h” (アンダフローの 4 カウント前) 以上であればアンダフローは発生せず、リフレッシュを行います。

図 21.5 に、周辺クロック (PCLKB) > IWDTC クロック (IWDTCCLK)、クロック分周比 : IWDTCCLK の IWDTC リフレッシュ動作波形を、図 21.6 に、周辺クロック (PCLKB) < IWDTC クロック

(IWDTCLK)、クロック分周比 : IWDTCLK /16 の IWDT リフレッシュ動作波形を示します。

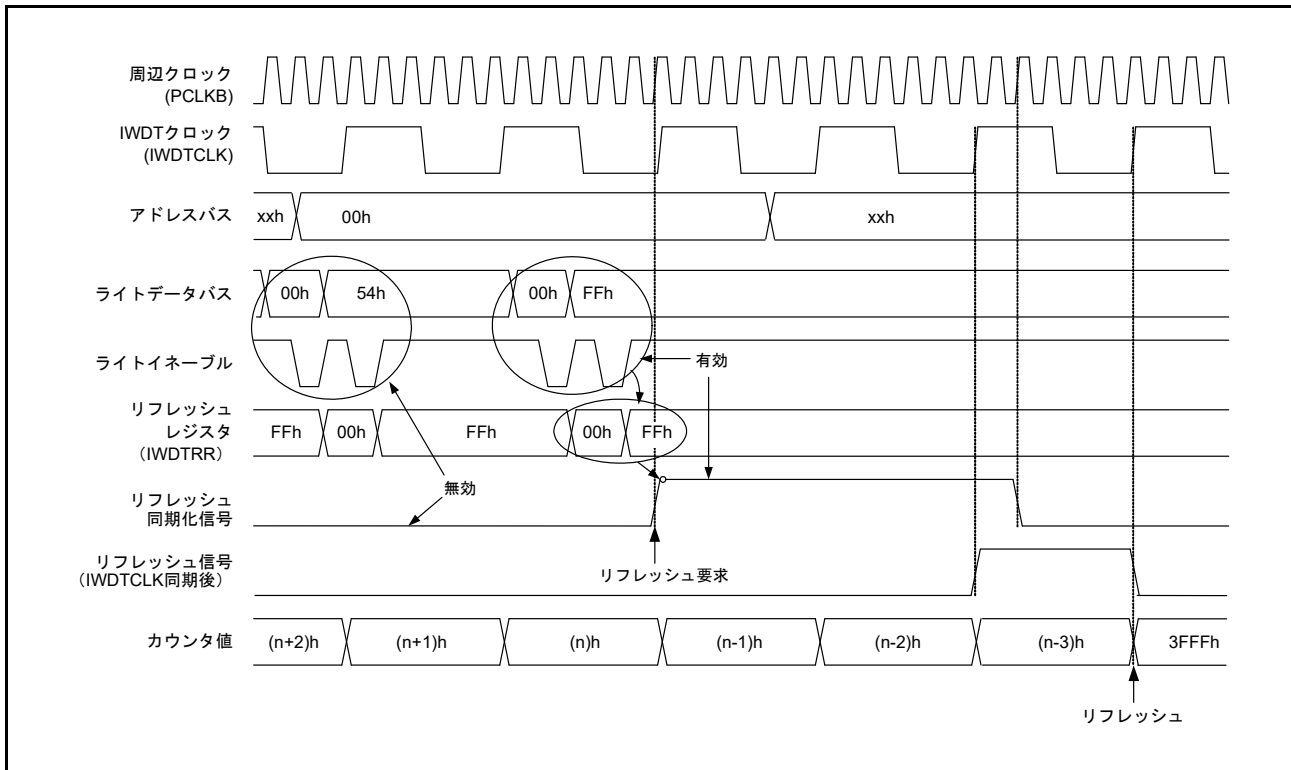


図 21.5 IWDT リフレッシュ動作波形 (IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 11b)

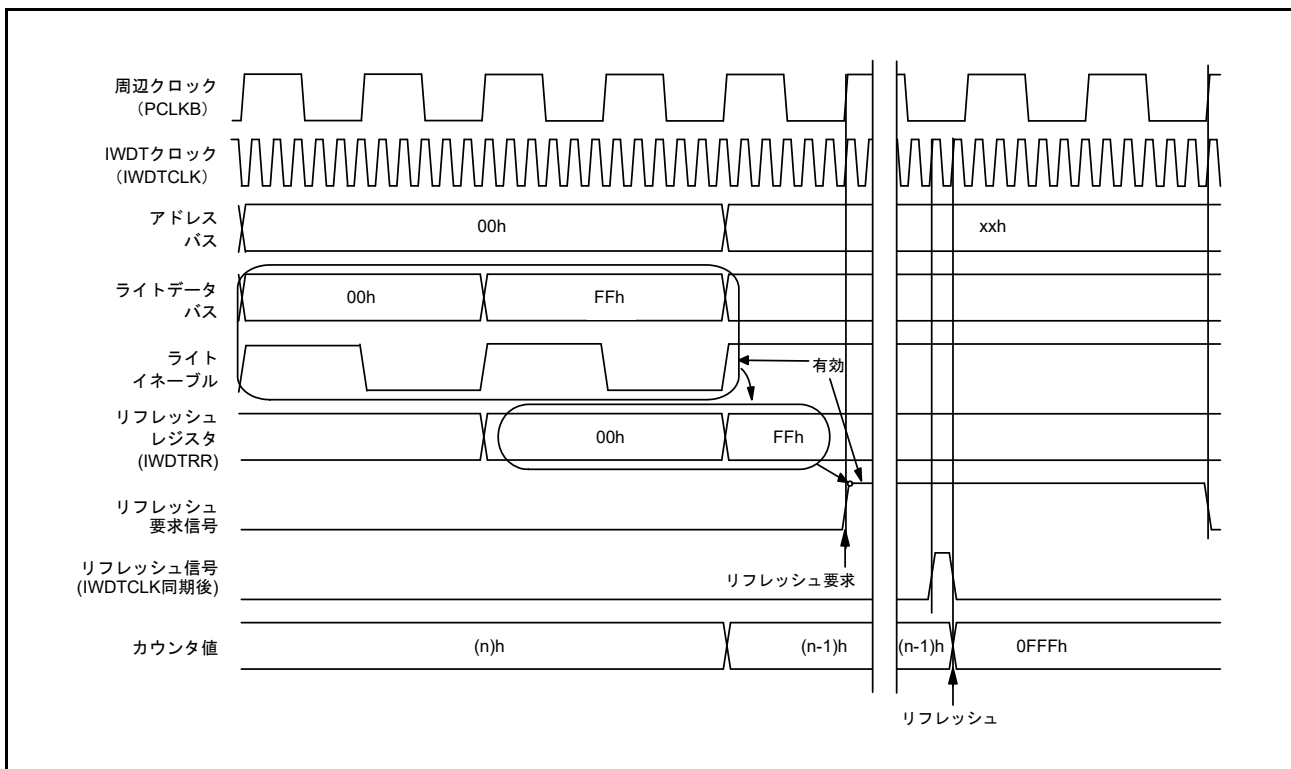


図 21.6 IWDT リフレッシュ動作波形 (IWDTCR.CKS[3:0] = 0010b、IWDTCR.TOPS[1:0] = 01b)

21.3.4 ステータスフラグ

リフレッシュエラーフラグ (IWDTSR.REFEEF)、アンダフローフラグ (IWDTSR.UNDFE) は、IWDT のエラーコントロールモジュール (ECM) に対するエラー通知が発生した場合のエラー要因を保持します。

リセット解除後、もしくは ECM へのエラー通知発生時に IWDTSR.REFEEF フラグ、または IWDTSR.UNDFE フラグを読み出すことで、ECM に対するエラー通知の発生状態を確認することができます。

各フラグの値を“0”にするには“0”を書き込んでください。“1”の書き込みは無効です。

各フラグは、“0”にしなくても動作に影響を与えません。クリアしない場合は、次に IWDT の ECM に対するエラー通知が発生したときに古いエラー通知はクリアされ、新しい ECM へのエラー通知が書き込まれます。

21.3.5 エラーコントロールモジュール (ECM) へのエラー通知

リセット割り込み選択ビット (IWDTRCR.RSTIRQS) を“0”に設定した場合、ダウンカウンタのアンダフローまたはリフレッシュエラーにより、1 カウントサイクル間 ECM に対するへのエラー通知が発生します。

21.3.6 ダウンカウンタ値の読み出し

IWDT のカウンタは IWDT クロック (IWDTCLK) で動作しているため、カウンタ値を直接読み出すことはできません。このため、IWDT はカウンタ値を周辺クロック (PCLKB) で同期化し、IWDT ステータスレジスタのカウンタ (IWDTSR.CNTVAL[13:0] ビット) に格納します。IWDTSR.CNTVAL[13:0] ビットに格納された値を読み出すことで、間接的にカウンタ値を確認することができます。

なお、読み出しには PCLKB で数クロック (最大 4 クロック) 必要となるため、読み出したカウンタ値は、カウンタの実際の値に対し 1 カウントずれることがあります。

図 21.7 に IWDT ダウンカウンタ値の読み出し処理を示します。

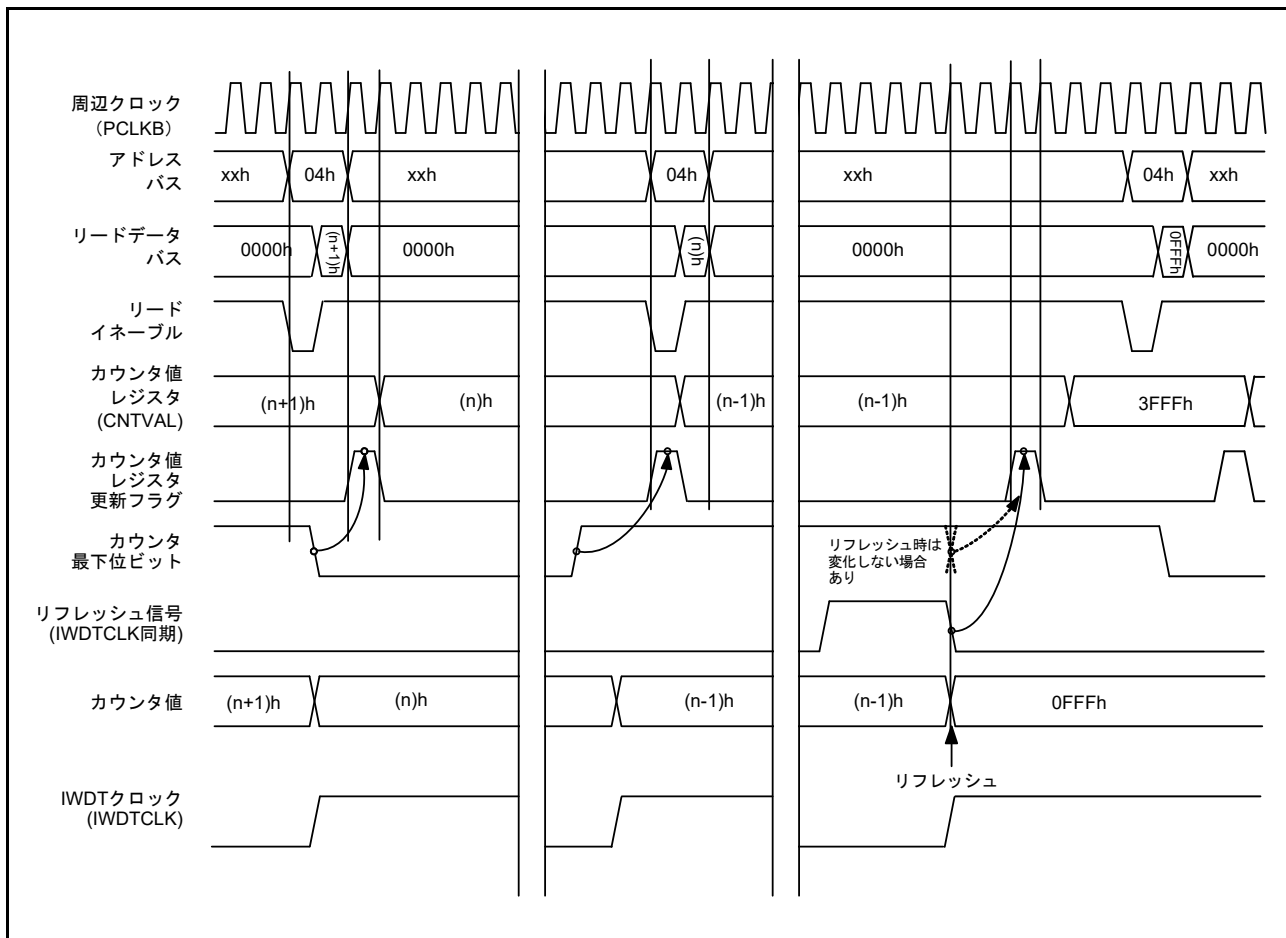


図 21.7 IWDT カウンタ値の読み出し処理
(IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 11b)

21.4 低消費電力制御

21.4.1 低消費電力モード遷移におけるウォッチドッグタイマの動作

IWDT のダウンカウンタが動作している時、Cortex-R4 のスタンバイモードへの遷移時に IWDT に対するクロック供給制御が可能です。

表 21.4 に低消費電力モード遷移時の IWDT 動作を示します。

表21.4 低消費電力モード遷移時のIWDT動作<低消費電力モード遷移時>

低消費電力モード	IWDTクロック供給	IWDT動作
Cortex-R4 スタンバイ	○	○

○ : 動作

22. EtherCATスレーブ・コントローラ

22.1 概要

EtherCATスレーブ・コントローラ (EtherCAT Slave Controller : ESC) は、Beckhoff Automation社製の「EtherCAT Slave Controller IP Core」を採用しています。

ESCは、EtherCATフィールドバスとスレーブアプリケーションの間のインタフェースとして、EtherCAT通信処理を行います。

表22.1 EtherCATスレーブ・コントローラの仕様

項目	内容
ポート数	2
FMMU	8
SyncManager	8
プロセスデータRAM [Kbyte]	8
分散クロック (Distributed Clock)	64bit
EBus	なし
プロセスデータインタフェース (PDI)	
Digital I/O	なし
SPI Slave	なし
HOST CPU I/F	On-chip bus

図22.1にEtherCATスレーブ・コントローラのブロック図を示します。EtherCATスレーブ・コントローラのマネージメント I/F(MDC/MDIO)は、EtherCATスレーブ・コントローラがMasterと通信が確立するまで使用できません。EtherCATスレーブ・コントローラが起動する前にマネージメント I/F 経由でPHYの設定が必要な場合にはMDIOコントローラを使用してください。PHYの初期設定やStrap Optionで動作可能な場合は、MDIOコントローラは使用しません。

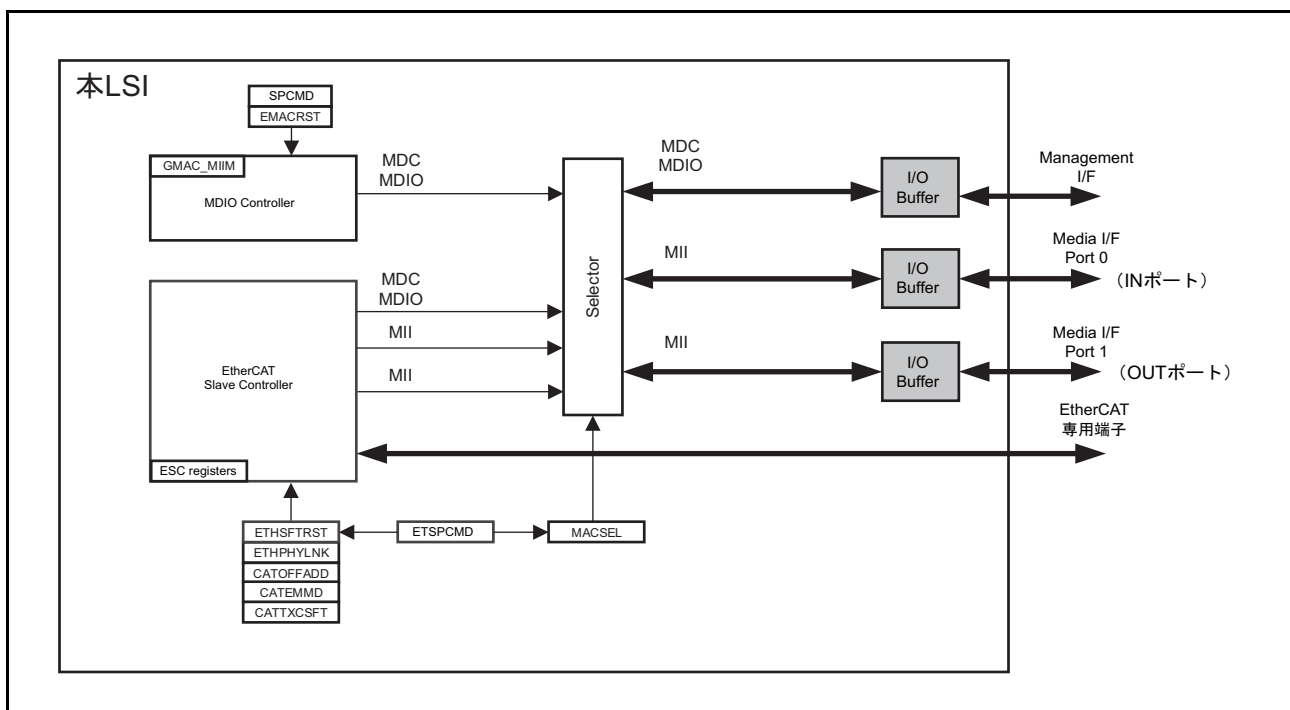


図22.1 EtherCATスレーブ・コントローラのブロック図

表 22.2 に EtherCAT スレーブ・コントローラの入出力端子を示します。

表 22.2 EtherCATスレーブ・コントローラの入出力端子

端子名	入出力	機能	アクティブ
ETH0_TXC、 ETH1_TXC	入力	100M送信クロック (25MHz) 入力端子	—
ETH0_TXEN、 ETH1_TXEN	出力	送信イネーブル信号出力端子	—
ETH0_TXD0 ~ 3、 ETH1_TXD0 ~ 3	出力	送信データ信号出力端子	—
ETH0_RXC、 ETH1_RXC	入力	受信クロック入力端子	—
ETH0_RXDV、 ETH1_RXDV	入力	受信データイネーブル信号入力端子	—
ETH0_RXER、 ETH1_RXER	入力	受信データエラー信号入力端子	—
ETH0_RXD0 ~ 3、 ETH1_RXD0 ~ 3	入力	受信データ信号入力端子	—
ETH_MDC	出力	マネージメントインタフェースクロック出力端子	—
ETH_MDIO	入出力	マネージメントデータ信号入出力端子	—
PHYLINK0、 PHYLINK1	入力	PHY Link 信号入力端子	—
PHYRESETOUT#	出力	PHY RESET 用出力信号	ロウ
CATLEDRUN	出力	EtherCAT RUN LED信号出力端子	ハイ
CATIRQ	出力	EtherCAT IRQ信号出力端子	ハイ
CATLEDSTER	出力	EtherCAT Dual-color ステートLED信号出力端子	ハイ
CATLEDERR	出力	EtherCAT Error LED信号出力端子	ハイ
CATLINKACT0	出力	EtherCAT Link / Activity LED信号出力端子 (ポート 0)	ハイ
CATLINKACT1	出力	EtherCAT Link / Activity LED信号出力端子 (ポート 1)	ハイ
CATSYNC0	出力	EtherCAT SYNC0信号出力端子	ハイ
CATSYNC1	出力	EtherCAT SYNC1信号出力端子	ハイ
CATLATCH0	入力	EtherCAT LATCH0信号入力端子	ハイ
CATLATCH1	入力	EtherCAT LATCH1信号入力端子	ハイ
CATI2CLK	出力	EtherCAT EEPROM I ² Cクロック信号出力端子	—
CATI2CDATA	入出力	EtherCAT EEPROM I ² Cデータ信号入出力端子	—

22.2 機能概要

EtherCAT スレーブ・コントローラ（ESC）の代表的な機能と本 LSI でサポートしている内容について示します。EtherCAT および ESC の詳細な仕様は、EtherCAT Technology Group（ETG）から入手できる文書（ETG.1000 EtherCAT Specification 他）や Beckhoff Automation 社の EtherCAT Slave Controller IP Core（v2.04）のデータシートを参照してください。

表 22.3 EtherCATスレーブ・コントローラの代表的な機能と本 LSI でのサポート (1 / 3)

項目	内容	サポート
EtherCAT Protocol	<ul style="list-style-type: none"> • Ether Type : 88A4hのフレームの処理 • UDP/IPにカプセル化されたEtherCATフレームの処理 • VLAN Tag付きのEtherCATフレームの処理 • 通常のEthernetフレームの処理 	○
アドレッシングモード	デバイスアドレッシング <ul style="list-style-type: none"> • 自動インクリメント・アドレス • コンフィギュアド・ステーション・アドレス • ブロードキャストアドレス 	○
	論理アドレッシング	○
ワーキングカウンタ	リード/ライトの数を管理	○
EtherCATコマンドタイプ	マスタからスレーブに対するアドレッシングモード毎に用意されたコマンドの処理	○
ループコントロール	ESC内のループの処理と状態の表示	○
シャドー・バッファ	レジスタのリード/ライト時のシャドー・バッファ機能	○
循環フレーム	障害時の循環フレームの処理	○
リンク検出	リンク MII 信号（PHYのリンク信号）	○
	MI リンク・ディテクション&コンフィギュレーション （マネージメント・インタフェース経由でのPHYレジスタモニタ）	×
	エンハンスト・リンク・ディテクション （MIIのRXエラーモニタによる通信状態のモニタ）	○
FIFOサイズ削減	伝搬遅延削減のためのRX FIFOサイズの削減	○
Ethernet物理層	MII	○
	EBUS	×
	Back-to-Back MII 接続	○
	MII マネージメント・インタフェース	○
	MII マネージメント・インタフェースによるPHYレジスタ操作	○
	PHYアドレスオフセット設定	○
	マニュアルTXクロックシフト補償	○
	自動TXクロックシフト補償	○
FMMU	論理アドレスと物理アドレスのマッピング機能	○
SyncManager	バッファモード	○
	メールボックス・モード	○
	バッファへのリード/ライト完了時の割り込みやラッチイベントの生成	○
	メールボックス通信のやり直し	○
	PDIによるSyncManager無効化	○

表22.3 EtherCATスレーブ・コントローラの代表的な機能と本LSIでのサポート (2 / 3)

項目	内容	サポート
分散クロック (Distributed Clocks)	伝搬遅延、ドリフト補正を考慮したクロック同期	○
	同期出力信号 (SYNC0/1信号) <ul style="list-style-type: none"> サイクリック・モード シングルショット・モード サイクリック・アクノリッジ・モード シングルショット・アクノリッジ・モード 	○
	入カイベント (LATCH0/1信号) に対するタイムスタンプ <ul style="list-style-type: none"> シングルイベントモード 連続モード SyncManager イベントモード (デバッグ用) 	○
	同期割り込みの生成	○
	デジタル出力更新/入力サンプリングの同期化	×
	SYNC信号/LATCH信号のECATあるいはPDIに排他制御	○
	PDIによるシステム時刻の管理	×
	通信タイミング <ul style="list-style-type: none"> フリーラン 出カイベント同期 SYNC信号同期 	○
EtherCATステートマシン	EtherCATステートマシンの制御/状態表示/エラーコード表示	○
	デバイス・エミュレーション	×
SII EEPROM	SII EEPROMへのコマンド	○
	SII EEPROMのエラー状態	○
	SII EEPROMアクセス端子	○
	EEPROMサイズ選択	○
	EEPROMエミュレーション	×
割り込み	ALイベント要求 (PDI割り込み)	○
	ECATイベント要求 (ECAT割り込み)	○
ウォッチドッグ	プロセスデータ・ウォッチドッグ機能	○
	PDIウォッチドッグ機能	○
エラーカウンタ	ポートエラー・カウンタ	○
	転送RXエラーカウンタ	○
	ECATプロセッシングユニットエラー・カウンタ	○
	PDIエラーカウンタ	○
	ロストリンク・カウンタ	○
	ウォッチドッグ・カウンタ : プロセスデータ	○
	ウォッチドッグ・カウンタ : PDI	○
LED信号	RUN LED信号	○
	ERR LED信号	○
	STATE LED and STATE_RUN LED信号	○
	LINK/ACT LED信号	○
	Portエラー LED信号	×
	RUN/ERR LEDのオーバライド機能	○
Process Data Interface (PDI)	デジタルI/O	×
	SPI	×
	8b/16ビット 同期/非同期 マイコン・インタフェース	×
	オンチップ・バス	○
	汎用I/O	×

表22.3 EtherCATスレーブ・コントローラの代表的な機能と本LSIでのサポート (3 / 3)

項目	内容	サポート
ライトプロテクション	レジスタ領域 (0000h-0FFFh) に対するライトプロテクション	○
	ユーザRAMやプロセスデータRAMを含む全領域 (0000h-2FFFh) に対するライトプロテクション	○
ESCリセット	マスタやPDI経由でのESCのリセット	○

22.3 レジスタの説明

22.3.1 周辺制御レジスタ

22.3.1.1 システムプロテクトコマンドレジスタ (SPCMD)

SPCMD レジスタは、保護されたレジスタへの書き込み制御を行うレジスタです。詳細は「22.4.1 プロテクトコマンドレジスタ」を参照してください。

SPCMD レジスタは、32 ビット単位でリード/ライトアクセス可能です。

アドレス A00F 2100h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PROTR EL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PROTREL	プロテクト解除許可ビット	プロテクト対象レジスタへのライトアクセスを許可します。特定の命令シーケンスでのみ書き込みが可能です。 1: ライトアクセス許可 0: ライトアクセス禁止 (プロテクト状態)	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注. 保護対象レジスタへの書き込みが完了した後は、必ずSPCMD.PROTRELビットをクリア (0) してプロテクト状態にしてください。

22.3.1.2 MDIO コントローラ リセットレジスタ (EMACRST)

EMACRST レジスタは、ソフトウェアで MDIO コントローラのリセット状態を制御するレジスタです。リセット解除後の初期値は EMACRST ビット = 0 のため、MDIO コントローラ はリセット状態です。MAC セレクトレジスタの設定後に本レジスタにてリセット状態を解除してください。動作中に MDIO コントローラにリセットをかける場合は、本レジスタに 0 を書き込み後にソフトウェアで EMACRST ビットをリードし、0 に設定されていることを確認した後に 1 を書き込んでリセット解除状態に設定してください。

このレジスタはシステムプロテクトコマンドレジスタ (SPCMD) で保護されています。このレジスタへ書き込みを行うには SPCMD レジスタで書き込み保護を解除してください。

アドレス A00F 2110h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EMACRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EMACRST	MDIO コントローラ リセット制御 ビット	MDIO コントローラのリセット状態の制御を行います。 1 : リセット解除状態 0 : リセット状態 (初期値)	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

22.3.1.3 イーサネットシステムプロテクトコマンドレジスタ (ETSPCMD)

ETSPCMD レジスタは、保護されたレジスタへの書き込み制御を行うレジスタです。詳細は「22.4.1 プロテクトコマンドレジスタ」を参照してください。

ETSPCMD レジスタは、32 ビット単位でリード/ライトアクセス可能です。

アドレス A00B F000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PROTREL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PROTREL	プロテクト解除許可ビット	プロテクト対象レジスタへのライトアクセスを許可します。 特定の命令シーケンスでのみ書き込みが可能です。 1: ライトアクセス許可 0: ライトアクセス禁止 (プロテクト状態)	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注. 保護対象レジスタへの書き込みが完了した後は、必ずETSPCMD.PROTRELビットをクリア (0) してプロテクト状態にしてください。

22.3.1.4 MACセレクトレジスタ (MACSEL)

MACSELレジスタはイーサネットインタフェースの機能を選択するレジスタです。このレジスタを書き換える場合は、EMACRSTレジスタでMDIOコントローラを、ETHSFTRSTレジスタでEtherCATスレーブ・コントローラをリセット状態にしてから書き込みをしてください。またレジスタの設定変更後は、必ずPHYをリセットし、その後MDIOコントローラあるいはEtherCATスレーブ・コントローラの設定を行ってください。32ビット単位でリード/ライトアクセス可能です。MAC機能の構成については、図22.1、表22.4を参照してください。

このレジスタはイーサネットシステムプロテクトコマンドレジスタ (ETSPCMD) で保護されています。このレジスタへ書き込みを行うにはETSPCMDレジスタで書き込み保護を解除してください。

アドレス A00B F004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MAC[2:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	MAC[2:0]	イーサネットMACモード 選択ビット	使用するMACのMedia / Managementインタフェースの機能を選択します。 表22.4を参照してください。	R/W
b31-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

表22.4 MAC機能の選択方法

MAC[2:0]	Media I/F Port 0	Media I/F Port 1	Management I/F 0
001	EtherCAT Slave Port 0	EtherCAT Slave Port 1	EtherCAT
011	未使用	未使用	MDIOコントローラ
上記以外	設定禁止		

22.3.1.5 イーサネット周辺リセットレジスタ (ETHSFTRST)

ETHSFTRST レジスタは、ソフトウェアで EtherCAT スレーブ・コントローラおよび PHYRESETOUT# 端子出力のリセット状態を制御するレジスタです。リセット解除後の初期値は 0 のため、EtherCAT スレーブ・コントローラおよび PHYRESETOUT# 出力端子はリセット状態です。MAC セレクトレジスタ、EtherCAT 用周辺レジスタ (ETHPHYLNK, CATOFFADD, CATEMMD, CATTXCSFT レジスタ) の設定後に本レジスタにて各リセット状態を解除してください。

動作中に EtherCAT スレーブ・コントローラ、PHYRESETOUT# 端子へリセットをかける場合は、本レジスタに 0 を書き込み後にソフトウェアで対象ビットをリードし、0 に設定されていることを確認してから 1 を書き込んでリセット解除状態に設定してください。

このレジスタはイーサネットシステムプロテクトコマンドレジスタ (ETSPCMD) で保護されています。このレジスタへ書き込みを行うには ETSPCMD レジスタで書き込み保護を解除してください。

アドレス A00B F118h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	PHYRST	—	CATRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CATRST	EtherCAT リセット制御ビット	EtherCAT スレーブ・コントローラのリセットを行います。 1: リセット解除状態 0: リセット状態 (初期値)	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b2	PHYRST	PHYRESETOUT# 端子リセット制御ビット	PHYRESETOUT# 出力端子のリセットを行います。EtherCAT からの RESETOUT 信号の機能も機能的に OR した状態で出力します。 1: リセット解除状態 0: リセット状態 (初期値)	R/W
b31-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

22.3.1.6 イーサネット PHY LINK モードレジスタ (ETHPHYLNK)

ETHPHYLNK レジスタは、イーサネットインタフェースの LINK 信号のアクティブレベルを設定するレジスタです。このレジスタはイーサネットシステムプロテクトコマンドレジスタ (ETSPCMD) で保護されています。このレジスタへ書き込みを行うには ETSPCMD レジスタで書き込み保護を解除してください。

アドレス A00B F014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	CATLIN K1	CATLIN K0	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W
b2	CATLINK0	EtherCAT 使用時の PHYLINK0 端子のアクティブレベル切り替えビット	EtherCAT インタフェースの PHYLINK0 端子のアクティブレベルを切り替えます。 0: アクティブハイの PHYLNK 信号を接続 1: アクティブロウの PHYLNK 信号を接続 (初期値)	R/W
b3	CATLINK1	EtherCAT 使用時の PHYLINK1 端子のアクティブレベル切り替えビット	EtherCAT インタフェースの PHYLINK1 端子のアクティブレベルを切り替えます。 0: アクティブハイの PHYLNK 信号を接続 1: アクティブロウの PHYLNK 信号を接続 (初期値)	R/W
b31-b4	—	予約ビット	読み出した値は不定です。書く場合、“0”としてください。	R/W

22.3.1.7 EtherCAT PHY オフセット・アドレス設定レジスタ (CATOFFADD)

EtherCAT 使用時の PHY のオフセット・アドレスを設定します。

32 ビット単位でリード/ライト可能です。

このレジスタはイーサネットシステムプロテクトコマンドレジスタ (ETSPCMD) で保護されています。このレジスタへ書き込みを行うには ETSPCMD レジスタで書き込み保護を解除してください。

アドレス A00B F100h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	OADD4	OADD3	OADD2	OADD1	OADD0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b4-b0	OADD4-OADD0	PHYオフセットアドレス設定ビット	EtherCATのPHYのオフセット・アドレスを設定します。	R/W
b31-b5	—	予約ビット	読み出した場合は不定値が読めます。書く場合、“0”としてください。	R/W

22.3.1.8 EtherCAT 動作モード設定レジスタ (CATEMMD)

EtherCAT 使用時の EEPROM メモリサイズを設定します。

本レジスタは、32 ビット単位でリード/ライト・アクセス可能です。

このレジスタはイーサネットシステムプロテクトコマンドレジスタ (ETSPCMD) で保護されています。このレジスタへ書き込みを行うには ETSPCMD レジスタで書き込み保護を解除してください。

アドレス A00B F104h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EEPROMSIZE
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	EEPROMSIZE	EEPROMメモリサイズ指定ビット	EtherCATのEEPROMメモリのサイズを設定します。 0: 16Kビット以下 1: 32Kビット〜4Mビット	R/W
b31-b1	—	予約ビット	読み出した場合は不定値が読めます。書く場合、“0”としてください。	R/W

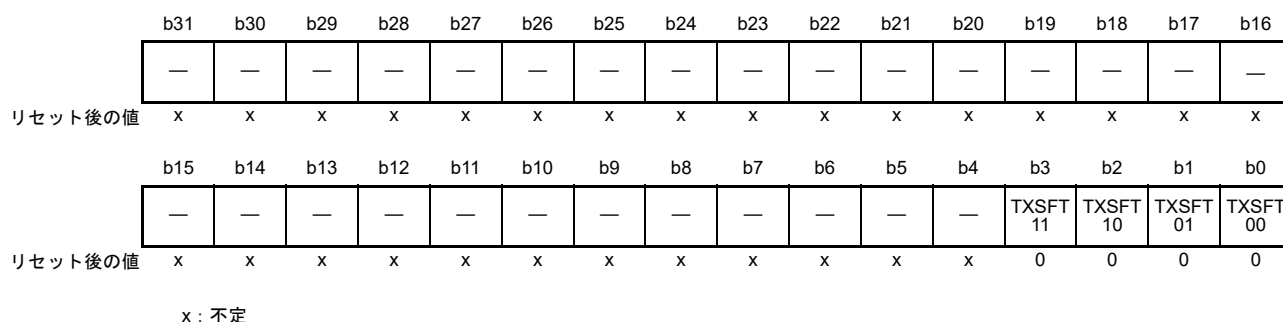
22.3.1.9 EtherCAT TXC シフト設定レジスタ (CATTXCSFT)

EtherCAT の TXC の遅延時間を設定します。

本レジスタは、32 ビット単位でリード/ライト・アクセス可能です。

このレジスタはイーサネットシステムプロテクトコマンドレジスタ (ETSPCMD) で保護されています。このレジスタへ書き込みを行うには ETSPCMD レジスタで書き込み保護を解除してください。

アドレス A00B F10Ch



ビット	シンボル	ビット名	機能	R/W
b1-b0	TXSFT01, TXSFT00	ETH0_TXCの遅延時間設定ビット	EtherCATのETH0_TXCの遅延時間を設定します。 00 : 0ns 01 : 10ns 10 : 20ns 11 : 30ns	R/W
b3-b2	TXSFT11, TXSFT10	ETH1_TXCの遅延時間設定ビット	EtherCATのETH1_TXCの遅延時間を設定します。 00 : 0ns 01 : 10ns 10 : 20ns 11 : 30ns	R/W
b31-b4	—	予約ビット	読み出した場合は不定値が読めます。書く場合、“0”としてください。	R/W

22.3.2 MDIO コントローラレジスタ

22.3.2.1 MIIM レジスタ (GMAC_MIIM)

GMAC_MIIM レジスタは MDIO コントローラから Ethernet PHY のレジスタアクセスを制御するレジスタです。以下の手順で行ってください。

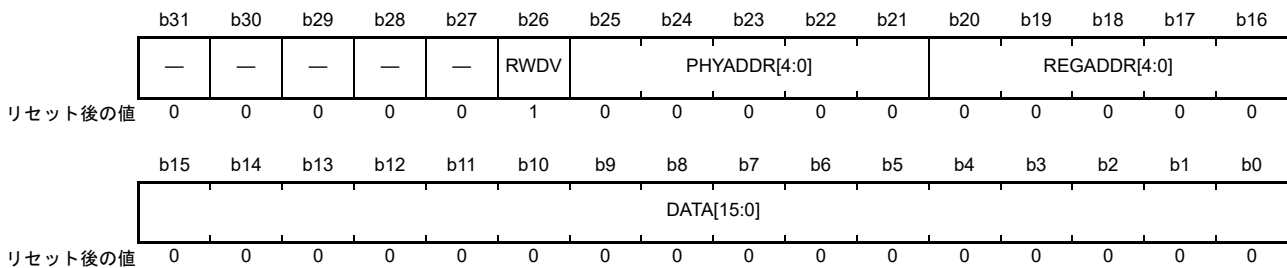
(1) Write の場合 :

1. Write オペレーションの開始 : RWDV ビット = 1、PHYADDR[4:0] ビットに PHY アドレス、REGADDR[4:0] ビットに PHY のレジスタアドレス、DATA[15:0] ビットに Write データを設定
2. オペレーションの完了待ち : RWDV ビットの読み出し値が 1 になるまで待つ
3. オペレーションの完了 : RWDV ビットの読み出し値が 1 になると、Write オペレーションが完了

(2) Read の場合 :

1. Read オペレーションの開始 : RWDV ビット = 0、PHYADDR[4:0] ビットに PHY アドレス、REGADDR[4:0] ビットに PHY のレジスタアドレスを設定
2. オペレーションの完了待ち : RWDV ビットの読み出し値が 1 になるまで待つ
3. オペレーションの完了 : RWDV ビットの読み出し値が 1 になり、DATA[15:0] ビットから有効なデータを読み出して、Read オペレーションが完了

アドレス A00F 00A0h



ビット	シンボル	ビット名	機能	R/W
b15-b0	DATA[15:0]	データビット	Write データ、または Read データを示します。	R/W
b20-b16	REGADDR [4:0]	PHY レジスタアドレス ビット	アクセス先の PHY の Register Address を指定します。ライトオンリーのため、リード値は不定です。	W
b25-b21	PHYADDR [4:0]	PHY アドレスビット	アクセス先の PHY アドレスを指定します。ライトオンリーのため、リード値は不定です。	W
b26	RWDV	Read/Write オペレーションビット	以下の値を書き込むことで、Read/Write オペレーションが開始します。本ビットを設定する際は、同時に本レジスタ内の他のビットも設定してください。 1 : Write オペレーションを開始 0 : Read オペレーションを開始	W
			Read / Write オペレーションを開始した後に、本ビットの値を読み出すことで、オペレーションのステータスが確認できます。(注1) 1 : オペレーションが完了 0 : オペレーション実行待ち	R
b31-b27	—	予約ビット	読み出した場合は不定値が読めます。書く場合、“0”としてください。	R/W

注1. リセット解除後は RWDV ビット = 1 になりますが、このときの DATA[15:0] ビットは有効な値ではありません。RWDV ビットでステータスを確認する場合は、必ずオペレーションの開始処理を行った後に読み出しを行うことで、正常なステータスを確認できます。

22.3.3 ESC 情報レジスタ

表中の ECAT はマスタからのアクセス、PDI はローカル CPU からのアクセスを意味します。

22.3.3.1 タイプ・レジスタ (TYPE)

EtherCAT スレーブ・コントローラのタイプを示します。

アドレス A00D 0000h

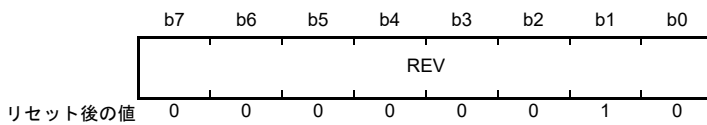


ビット	シンボル	ビット名	機能	PDI	ECAT
b7-b0	TYPE	スレーブコントローラ タイプ表示ビット	EtherCATコントローラのタイプ	R	R

22.3.3.2 リビジョン・レジスタ (REVISION)

EtherCAT スレーブ・コントローラのリビジョンを示します。

アドレス A00D 0001h

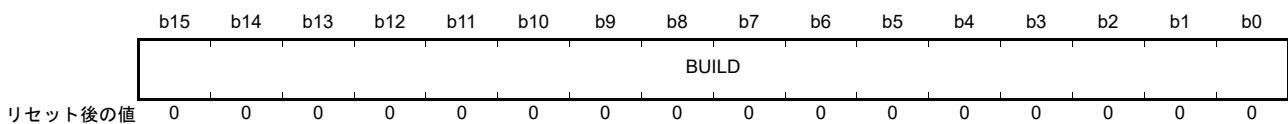


ビット	シンボル	ビット名	機能	PDI	ECAT
b7-b0	REV	スレーブコントローラ タイプ表示ビット	コントローラのリビジョン表示ビット	R	R

22.3.3.3 ビルド・レジスタ (BUILD)

EtherCAT スレーブ・コントローラのビルド番号を示します。

アドレス A00D 0002h

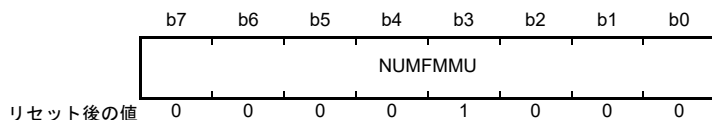


ビット	シンボル	ビット名	機能	PDI	ECAT
b15-b0	BUILD	スレーブコントローラの ビルド番号表示ビット	EtherCATスレーブ・コントローラのビルド番号	R	R

22.3.3.4 FMMU サポート・レジスタ (FMMU_NUM)

サポートしている FMMU チャンネル数を示します。

アドレス A00D 0004h

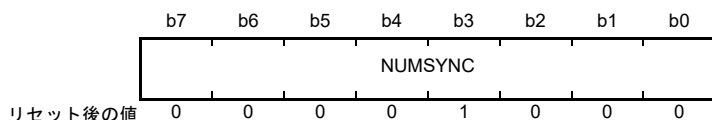


ビット	シンボル	ビット名	機能	PDI	ECAT
b7-b0	NUMFMMU	FMMUチャンネル数表示ビット	サポートFMMUチャンネルの数	R	R

22.3.3.5 SyncManager サポート・レジスタ (SYNC_MANAGER)

サポートしている SyncManager チャンネル数を示します。

アドレス A00D 0005h

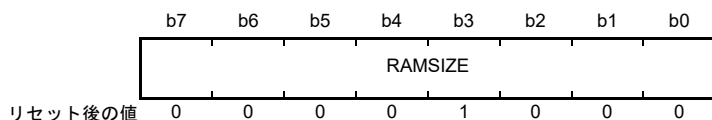


ビット	シンボル	ビット名	機能	PDI	ECAT
b7-b0	NUMSYNC	SyncManagerチャンネル数表示ビット	サポートSyncManagerはチャンネルの数	R	R

22.3.3.6 RAM サイズ・レジスタ (RAM_SIZE)

サポートしているプロセスデータ RAM のサイズを示します。

アドレス A00D 0006h

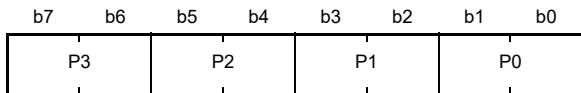


ビット	シンボル	ビット名	機能	PDI	ECAT
b7-b0	RAMSIZE	プロセスデータRAMサイズ表示ビット	プロセスデータRAMのサイズ (単位: Kbyte)	R	R

22.3.3.7 ポート・ディスクリプタ・レジスタ (PORT_DESC)

ポートの設定を示します。

アドレス A00D 0007h



リセット後の値 0 0 0 0 1 1 1 1

ビット	シンボル	ビット名	機能	PDI	ECAT
b1-b0	P0	ポート0設定ビット	ポート0の設定：本LSIではMII接続（11）固定です。 00：未実装 01：構成されていません（SII EEPROM） 10：EBUS 11：MII	R	R
b3-b2	P1	ポート1設定ビット	ポート1の設定：本LSIではMII接続（11）固定です。 00：未実装 01：構成されていません（SII EEPROM） 10：EBUS 11：MII	R	R
b5-b4	P2	ポート2設定ビット	ポート2の設定：本LSIでは実装されていません。 (00) 固定です。 00：未実装 01：構成されていません（SII EEPROM） 10：EBUS 11：MII	R	R
b7-b6	P3	ポート3設定ビット	ポート3の設定：本LSIでは実装されていません。 (00) 固定です。 00：未実装 01：構成されていません（SII EEPROM） 10：EBUS 11：MII	R	R

22.3.3.8 ESC フィーチャー・サポート・レジスタ (FEATURE)

サポートする機能を示します。

アドレス A00D 0008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	FSCONFIG	RWSUPP	LRW	DCSYNC	FCS	LINKDECMII	—	—	DCWID	DC	—	FMMU
リセット後の値	x	x	x	x	0	0	0	1	1	1	x	x	1	1	x	0

x : 不定

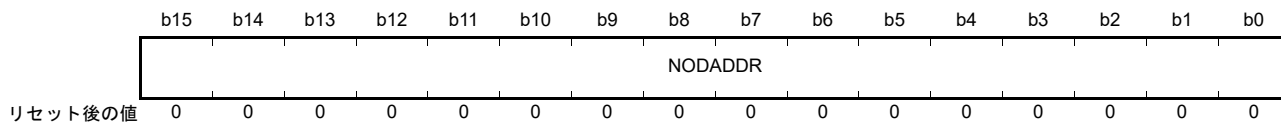
ビット	シンボル	ビット名	機能	PDI	ECAT
b0	FMMU	FMMU操作指定ビット	FMMU操作： 0：ビットオリент 1：バイトオリент	R	R
b1	—	予約ビット	読み出した場合は不定値が読めます。	R	R
b2	DC	分散クロック指定ビット	分散クロック： 0：使用不可能 1：使用可能	R	R
b3	DCWID	分散クロック幅指定ビット	分散クロック（幅）： 0：32 bit 1：64 bit	R	R
b5-b4	—	予約ビット	読み出した場合は不定値が読めます。	R	R
b6	LINKDECMII	エンハンスドリンクディテクション指定ビット	MIIにおけるエンハンスド・リンク・ディテクション 0：使用不可能 1：使用可能	R	R
b7	FCS	FCSエラー指定ビット	FCSエラーの個別取扱い 0：未サポート 1：サポート。誤ったFCSおよび追加のニブルを持つフレームは、転送RXエラーカウンタで別々にカウントされます。	R	R
b8	DCSYNC	DC SYNC 指定ビット	エンハンスドDC SYNC アクティベーション 0：利用不可能 1：利用可能	R	R
b9	LRW	LRWコマンドサポート指定ビット	EtherCAT LRW コマンド・サポート 0：サポート 1：未サポート	R	R
b10	RWSUPP	コマンドサポート指定ビット	EtherCAT リード/ライト・コマンド・サポート (BRW, APRW, FPRW)： 0：サポート 1：未サポート	R	R
b11	FSCONFIG	FMMU/SyncManager 指定ビット	固定FMMU/SyncManager設定 0：可変設定 1：固定設定	R	R
b15-b12	—	予約ビット	読み出した場合は不定値が読めます。	R	R

22.3.4 ステーションアドレス設定レジスタ

22.3.4.1 コンフィギュアド・ステーション・アドレス・レジスタ (STATION_ADR)

ノードアドレッシングに使用するアドレスを示します。

アドレス A00D 0010h

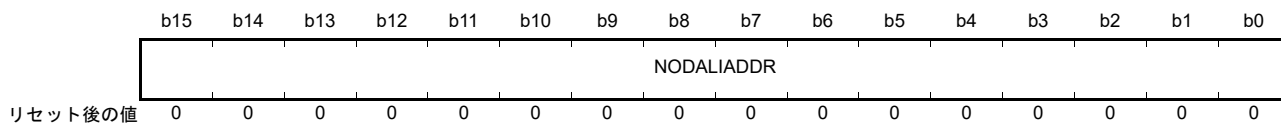


ビット	シンボル	ビット名	機能	PDI	ECAT
b15-b0	NODADDR	ノードアドレッシング アドレス表示ビット	ノードアドレッシング (FPxxコマンド) に使用するアドレス	R	R/W

22.3.4.2 コンフィギュアド・ステーション・エイリアス・レジスタ (STATION_ALIAS)

ノードアドレッシングに使用するエイリアス・アドレスを示します。

アドレス A00D 0012h



ビット	シンボル	ビット名	機能	PDI	ECAT
b15-b0	NODALIADDR	エイリアスアドレス表示 ビット	ノードアドレッシング (FPxxコマンド) に使用するエイリアス・アドレス拡張ESC DLコントロール・レジスタ (ESC_EX_DL_CONTROL : 0102h) のビット8を1にセットすることによりエイリアスを使用できます。	R/W	R

注. EEPROMをロードするまでの初期値は0です。その後EEPROMのアドレス0004hに格納されている値になります。電源投入またはリセット後の最初のEEPROMロード時のみ値が取り込まれます。

22.3.5 ライトプロテクション設定レジスタ

22.3.5.1 ライト・レジスタ・イネーブル・レジスタ (WR_REG_ENABLE)

レジスタへのライトが保護されている状態で一時的にプロテクションを解除するために使用します。

アドレス A00D 0020h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ENAB LE
リセット後の値	x	x	x	x	x	x	x	0

x: 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	ENABLE	レジスタライト保護解除ビット	レジスタへのライトが保護されているとき (ライト・レジスタ・プロテクション・レジスタ (WR_REG_PROTECT : 0021h) のビット0が1) に、このノードの任意のレジスタへのライト動作を許可する場合、ライト命令と同じフレーム上で本ビットに任意の値を書き込む必要があります。このフレームが通過した後も、ライト保護は有効のままです (ライトプロテクトレジスタが変更されていない場合)。	R	R/W
b7-b1	—	予約ビット	読み出した場合は不定値が読めます。	R	R

22.3.5.2 ライト・レジスタ・プロテクション・レジスタ (WR_REG_PROTECT)

レジスタへのライトを保護します。A00D 0000h ~ A00D 0FFFh のレジスタがライト保護されます (ただし、WR_REG_ENABLE レジスタ (0020h) と ESC_WR_ENABLE レジスタ (0030h) を除く)。

アドレス A00D 0021h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	PROTE CT
リセット後の値	x	x	x	x	x	x	x	0

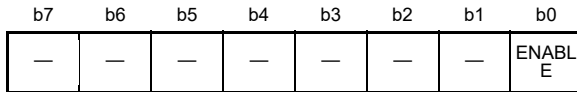
x: 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	PROTECT	レジスタライト保護指定ビット	レジスタへのライト保護 0: 保護を無効にします。 1: 保護を有効にします。	R	R/W
b7-b1	—	予約ビット	読み出した場合は不定値が読めます。	R	R

22.3.5.3 ESC ライト・イネーブル・レジスタ (ESC_WR_ENABLE)

ESC ライト・プロテクションでレジスタ／メモリへのライトが保護されている状態で、一時的にプロテクションを解除するために使用します。

アドレス A00D 0030h



リセット後の値 x x x x x x x 0

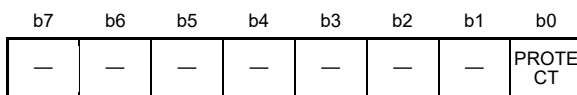
x: 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	ENABLE	レジスタ／メモリライト保護解除ビット	ESCライト・プロテクションによりライトが保護されているとき (ESCライト・プロテクション・レジスタ (ESC_WR_PROTECT : 0031h) のビット0が1) に、このノードの任意のレジスタへのライト動作を許可する場合、ライト命令と同じフレーム上で本ビットに任意の値を書き込む必要があります。このフレームが通過した後も、ライト保護は有効のままです (ESCライトプロテクトレジスタが変更されていない場合)。	R	R/W
b7-b1	—	予約ビット	読み出した場合は不定値が読めます。	R	R

22.3.5.4 ESC ライト・プロテクション・レジスタ (ESC_WR_PROTECT)

レジスタへのライトを保護します。プロセスデータ RAM を含めた A00D 0000h ~ A00D 2FFFh のレジスタ／メモリがライト保護されます (ただし、WR_REG_ENABLE レジスタ (0020h) と ESC_WR_ENABLE レジスタ (0030h) を除く)。

アドレス A00D 0031h



リセット後の値 x x x x x x x 0

x: 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	PROTECT	レジスタ／メモリライト保護指定ビット	レジスタ／プロセス・メモリへのライト保護 0: 保護を無効にします。 1: 保護を有効にします。	R	R/W
b7-b1	—	予約ビット	読み出した場合は不定値が読めます。	R	R

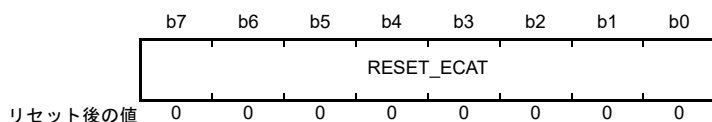
22.3.6 データリンク層設定レジスタ

22.3.6.1 ESC リセット ECAT レジスタ (ESC_RESET_ECAT)

EtherCAT スレーブ・コントローラを ECAT (マスタ) からソフトリセットします。

ライトの時: ESC_RESET_ECAT_W

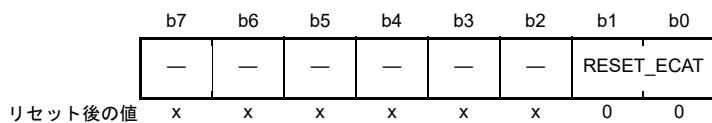
アドレス A00D 0040h



ビット	シンボル	ビット名	機能	PDI	ECAT
b7-b0	RESET_ECAT	ソフトリセット設定ビット	本レジスタに52h ("R")、45h ("E")、53h ("S")を連続してライトすると、リセットが有効になります。	R	R/W

リードの時: ESC_RESET_ECAT_R

アドレス A00D 0040h



x: 不定

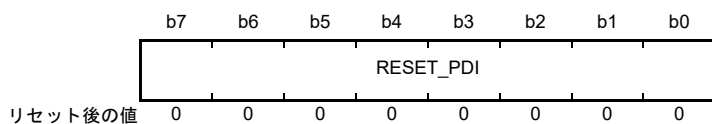
ビット	シンボル	ビット名	機能	PDI	ECAT
b1-b0	RESET_ECAT	リセット進捗ステータスビット	リセット手順の進捗状況 01: 52hをライトした後 10: 45hをライトした後 (先に52hがライトされている場合) 00: その他	R	R/W
b7-b2	—	予約ビット	読み出した場合は不定値が読めます。書く場合、“0”としてください。	R	R/W

22.3.6.2 ESC リセット PDI レジスタ (ESC_RESET_PDI)

EtherCAT スレーブ・コントローラを PDI からソフトリセットします。

ライトの時: ESC_RESET_PDI_W

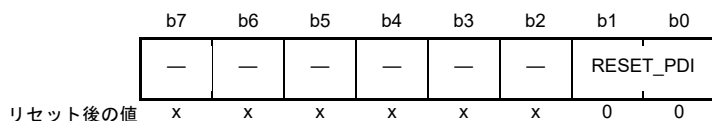
アドレス A00D 0041h



ビット	シンボル	ビット名	機能	PDI	ECAT
b7-b0	RESET_PDI	ソフトリセット設定ビット	本レジスタに52h ("R")、45h ("E")、53h ("S")を連続してライトすると、リセットが有効になります。	R/W	R

リードの時: ESC_RESET_PDI_R

アドレス A00D 0041h



x: 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b1-b0	RESET_PDI	リセット進捗ステータスビット	リセット手順の進捗状況 01: 52hをライトした後 10: 45hをライトした後 (先に52hがライトされている場合) 00: その他	R/W	R
b7-b2	—	予約ビット	読み出した場合は不定値が読めます。	R	R

22.3.6.3 ESC DL コントロール・レジスタ (ESC_DL_CONTROL)

EtherCAT スレーブ・コントローラ内のループのコントロール、RX FIFO のサイズやステーション・エイリアスの使用の有無を行います。

アドレス A00D 0100h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	STAALIAS	—	—	—	—	—	RXFIFO		
リセット後の値	x	x	x	x	x	x	x	0	x	x	x	x	x	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LP3		LP2		LP1		LP0		—	—	—	—	—	—	TEMPUSE	FWDRULE
リセット後の値	1	1	0	0	0	0	0	0	x	x	x	x	x	x	0	1

x: 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	FWDRULE	転送ルール指定ビット	転送ルールの設定 0: EtherCAT フレームは処理されます。EtherCATでないフレームは処理せずに転送します。 1: EtherCAT フレームは処理されます。EtherCATでないフレームは破棄されます。 転送ルールにかかわらず、送信元MACアドレスはすべてのフレームに対して変更されます (SOURCE_MAC[1] が1に設定されます (ローカル管理アドレス))。	R	R/W
b1	TEMPUSE	ビット 15-8 の一時使用設定ビット	ビット 15-8 の設定の一時使用 0: 常に使用 1: 約 1 秒間使用し、直前の設定に戻します	R	R/W
b7-b2	—	予約ビット	読み出した場合は不定値が読めます。	R	R
b9-b8	LP0	ループポート0設定ビット	ループポート0の設定 00: オート 01: オートクローズ 10: オープン 11: クローズ	R	R/W
b11-b10	LP1	ループポート1設定ビット	ループポート1の設定 00: オート 01: オートクローズ 10: オープン 11: クローズ	R	R/W
b13-b12	LP2	ループポート2設定ビット	ループポート2の設定 (本 LSI ではポート 2 は使用できません) 00: オート 01: オートクローズ 10: オープン 11: クローズ	R	R/W
b15-b14	LP3	ループポート3設定ビット	ループポート3の設定 (本 LSI ではポート 3 は使用できません) 00: オート 01: オートクローズ 10: オープン 11: クローズ	R	R/W
b18-b16	RXFIFO	RX FIFO サイズ指定ビット	RX FIFO サイズを設定します。FIFO サイズを小さくすることで、転送時間を短くすることができます。 0-3: 40 ns 短縮 4-6: 変更なし 7: デフォルト	R	R/W
b23-b19	—	予約ビット	読み出した場合は不定値が読めます。	R	R

ビット	シンボル	ビット名	機能	PDI	ECAT
b24	STAALIAS	ステーションエイリアス状態指定ビット	ステーション・エイリアス： 0：ステーション・エイリアスを無視します。 1：エイリアスは、設定されたすべてのアドレスコマンドタイプに使用することができます（FPRD, FPWR, ...）。	R	R/W
b31-b25	—	予約ビット	読み出した場合は不定値が読めます。	R	R

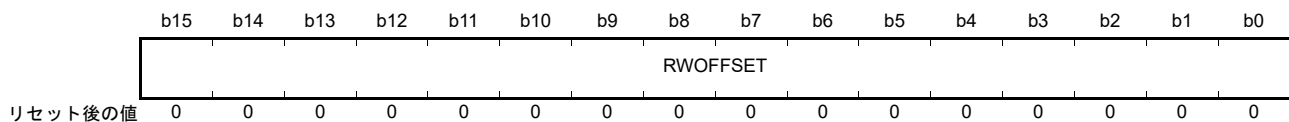
注. ループ構成の変更は、ポートで現在受信又は送信されているフレームが通過した後で行われます。

注. RX FIFOサイズを削減するためには、EtherCATのネットワークに接続されているすべてのスレーブやマスタのクロックを高精度にする必要があります。デフォルトでは100ppmで十分ですが、RX FIFOのサイズを0-3に設定した場合、25ppmの精度が必要です。

22.3.6.4 フィジカル・リード/ライト・オフセット・レジスタ (PHYSICAL_RW_OFFSET)

R/W コマンドにおけるリードアドレスとライトアドレスのオフセットを設定します。

アドレス A00D 0108h



ビット	シンボル	ビット名	機能	PDI	ECAT
b15-b0	RWOFFSET	リード/ライトアドレス間のオフセット設定ビット	リードアドレスとライトアドレス間のR/Wコマンド（FPRW, APRW）のオフセットです。 RD_ADR = ADR（リードはそのADRに対して実行します） WR_ADR = ADR + R/W オフセット（ライトはそのADR + 本レジスタの設定値だけオフセットしたアドレスにライトします）	R	R/W

22.3.6.5 ESC DL ステータス・レジスタ (ESC_DL_STATUS)

EtherCAT スレーブ・コントローラの状態を示します。

アドレス A00D 0110h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	COMP3	LP3	COMP2	LP2	COMP1	LP1	COMP0	LP0	PHYP3	PHYP2	PHYP1	PHYP0	—	ENHLINKD	PDIWDST	PDIOP E	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	x	1	0	0

x: 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	PDIOP E	PDI/EEPROMのロード状態表示ビット	PDIの動作/EEPROMのロード状態 0: EEPROMがロードされず、PDIは動作不能 (プロセス・データRAMにアクセス不可) 1: EEPROMが正しくロードされており、PDIは動作可能 (プロセス・データRAMにアクセス可能)	R	R (ack)
b1	PDIWDST	ウォッチドッグステータスビット	PDIウォッチドッグ・ステータス 0: ウォッチドッグのタイムアウト 1: ウォッチドッグのリロード	R	R (ack)
b2	ENHLINKD	エンハンスドリンクディテクション設定表示ビット	エンハンスド・リンク・ディテクションの設定 0: すべてのポートで無効化 1: 少なくとも1つのポートに対して有効化 注: EEPROMのアドレス0000hのビット9の値がセットされます。電源投入またはリセット後の最初のEEPROMからのロード時のみ取り込まれます。	R	R (ack)
b3	—	予約ビット	読み出した場合は不定値が読めます。	R	R (ack)
b4	PHYP0	ポート0のリンク状態表示ビット	ポート0上の物理的なリンク 0: リンクなし 1: リンク検出	R	R (ack)
b5	PHYP1	ポート1のリンク状態表示ビット	ポート1上の物理的なリンク 0: リンクなし 1: リンク検出	R	R (ack)
b6	PHYP2	ポート2のリンク状態表示ビット	ポート2上の物理的なリンク (本LSIではポート2は使用できません) 0: リンクなし 1: リンク検出	R	R (ack)
b7	PHYP3	ポート3のリンク状態表示ビット	ポート3上の物理的なリンク (本LSIではポート3は使用できません) 0: リンクなし 1: リンク検出	R	R (ack)
b8	LP0	ループポート0状態表示ビット	ループポート0 0: オープン 1: クローズ	R	R (ack)
b9	COMP0	ポート0の通信状態表示ビット	ポート0上の通信 0: 安定した通信なし 1: 通信確立	R	R (ack)
b10	LP1	ループポート1状態表示ビット	ループポート1 0: オープン 1: クローズ	R	R (ack)
b11	COMP1	ポート1の通信状態表示ビット	ポート1上の通信 0: 安定した通信なし 1: 通信確立	R	R (ack)
b12	LP2	ループポート2状態表示ビット	ループポート2 (本LSIではポート2は使用できません) 0: オープン 1: クローズ	R	R (ack)

ビット	シンボル	ビット名	機能	PDI	ECAT
b13	COMP2	ポート2の通信状態表示ビット	ポート2上の通信（本LSIではポート2は使用できません） 0：安定した通信なし 1：通信確立	R	R (ack)
b14	LP3	ループポート3状態表示ビット	ループポート3（本LSIではポート3は使用できません） 0：オープン 1：クローズ	R	R (ack)
b15	COMP3	ポート3の通信状態表示ビット	ポート3上の通信状態（本LSIではポート3は使用できません） 0：安定した通信なし 1：通信確立	R	R (ack)

注. ECATから本レジスタをリードすると、ECATイベント・リクエスト・レジスタ（ECAT_EVENT_REQ：0210h）のビット2をクリアします。

22.3.7 アプリケーション層設定レジスタ

22.3.7.1 ALコントロール・レジスタ (AL_CONTROL)

マスタによって要求されるステートマシンの遷移状態を示します。また、スレーブからのエラー・インディケーションをアクノリッジします。

アドレス A00D 0120h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	DEVIC EID	ERRIN DACK	INISTATE			
リセット後の値	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	1

x: 不定

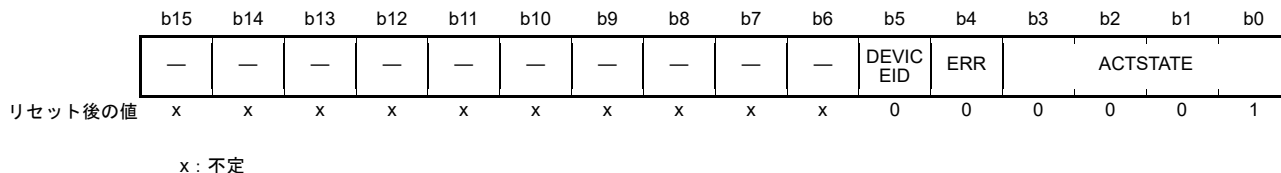
ビット	シンボル	ビット名	機能	PDI	ECAT
b3-b0	INISTATE	ステートマシン状態の変更指定ビット	デバイス・ステート・マシンの状態遷移を変更します 1: Initステート要求 3: Bootstrapステート要求 2: Pre-Operationalステート要求 4: Safe-Operationalステート要求 8: Operationalステート要求	R (clear)	R/(W)
b4	ERRINDACK	エラーインディケーションアクノリッジビット	エラー・インディケーションのアクノリッジ (応答) 0: ALステータス・レジスタのエラー・インディケーションをアクノリッジしない。 1: ALステータス・レジスタのエラー・インディケーションをアクノリッジする。	R (clear)	R/(W)
b5	DEVICEID	デバイスID要求ビット	デバイスID要求 0: 要求なし 1: 要求あり	R (clear)	R/(W)
b15-b6	—	予約ビット	読み出した場合は不定値が読めます。	R (clear)	R/(W)

注. ECATから本レジスタをライトした後は、PDIから本レジスタをリードしてください。PDIからリードしていない場合、ECATから本レジスタを再度ライトすることができません。PDIからリードすると、ALイベント・リクエスト・レジスタ (AL_EVENT_REQ: 0220h) のビット0をクリアします。

22.3.7.2 AL ステータス・レジスタ (AL_STATUS)

スレーブアプリケーションの状態を示します。

アドレス A00D 0130h



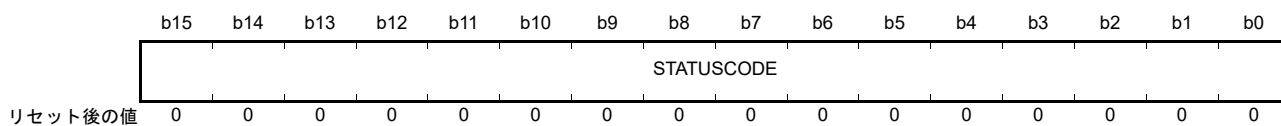
ビット	シンボル	ビット名	機能	PDI	ECAT
b3-b0	ACTSTATE	ステートマシンの状態表示ビット	デバイス・ステート・マシンの実際の状態: 1: Initステート 3: Request Bootstrapステート 2: Pre-Operationalステート 4: Safe-Operationalステート 8: Operationalステート	R/(W)	R (ack)
b4	ERR	エラー状態表示ビット	エラー・インジケータ 0: デバイスは要求されたステートになっている。あるいはコマンドにクリアされている状態。 1: デバイスは要求されたステートになっていない。あるいはローカルアクションの結果として状態が変更された。	R/(W)	R (ack)
b5	DEVICEID	デバイスIDロード状態表示ビット	デバイスIDのロード状態 0: デバイスIDのロード失敗 1: デバイスIDのロード成功	R/(W)	R (ack)
b15-b6	—	予約ビット	読み出した場合は不定値が読めます。	R/(W)	R (ack)

注. ECATから本レジスタをリードすると、ECATイベント・リクエスト・レジスタ (ECAT_EVENT_REQ : 0210h) のビット3をクリアします。

22.3.7.3 AL ステータス・コード・レジスタ (AL_STATUS_CODE)

スレーブアプリケーションからのエラーコードを示します。

アドレス A00D 0134h

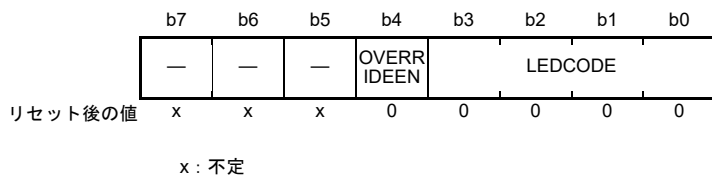


ビット	シンボル	ビット名	機能	PDI	ECAT
b15-b0	STATUSCODE	エラーコード表示ビット	ALステータス・コード	R/W	R

22.3.7.4 RUN LED オーバライド・レジスタ (RUN_LED_OVERRIDE)

RUN LED 端子の制御をオーバライドします。

アドレス A00D 0138h



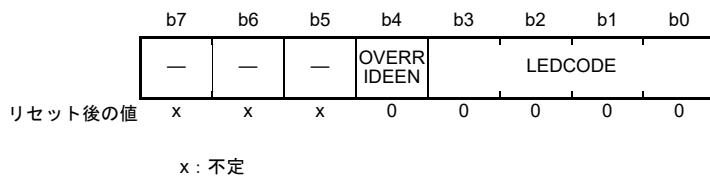
ビット	シンボル	ビット名	機能		PDI	ECAT
b3-b0	LEDCODE	LEDコード表示 ビット	LEDコード 0h: オフ 1h-Ch: フラッシュ 1x – 12x Dh: ブリンク Eh: フリッカ Fh: 点灯	(FSMステート) (1-Init) (4-SafeOp 1x) (2-PreOp) (3-Bootstrap) (8-Op) 備考: ALステータス・レジ スタ (AL_STATUS) の ビット3-0。	R/W	R/W
b4	OVERRIDEEN	オーバライド設定 ビット	オーバライド・イネーブル: 0: オーバライドを無効にします。 1: オーバライドを有効にします。		R/W	R/W
b7-b5	—	予約ビット	読み出した場合は不定値が読めます。書く場合、“0”としてください。		R/W	R/W

- 注. ビット4 (オーバライド・イネーブル) は、ALステータス・レジスタを適切な値に変更するとクリアされます。通常、RUN LEDはALステータス・レジスタ (AL_STATUS: 0130h) により自動的に制御されます。したがって、一般的なステートマシンの状態を示すためにはRUN LEDのオーバライドは必要ありません。例えば、特定のスレーブの位置を表すために、特殊な点灯をさせるような使い方ができます。

22.3.7.5 ERR LED オーバライド・レジスタ (ERR_LED_OVERRIDE)

エラー LED 端子の制御をオーバライドします。

アドレス A00D 0139h



ビット	シンボル	ビット名	機能	PDI	ECAT
b3-b0	LEDCODE	LEDコード表示ビット	LEDコード 0h : オフ 1h-Ch : フラッシュ 1x – 12x Dh : プリンク Eh : フリッカ Fh : 点灯	R/W	R/W
b4	OVERRIDEEN	オーバライド設定ビット	オーバライド・イネーブル: 0 : オーバライドを無効にします。 1 : オーバライドを有効にします。	R/W	R/W
b7-b5	—	予約ビット	読み出した場合は不定値が読めます。書く場合、“0”としてください。	R/W	R/W

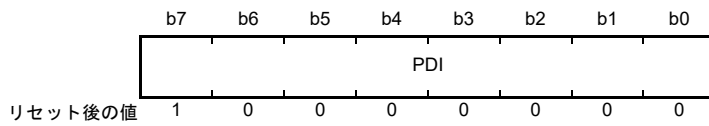
- 注. ビット4 (オーバライド・イネーブル) は、新たにエラーが発生するとクリアされます。
ESCは以下の条件に対しては自動的にエラー LEDの制御を行います。それ以外のエラーに関しては、本レジスタを使用して、アプリケーションでエラー LEDを制御する必要があります。
- ・SII EEPROM ロードエラー
 - ・PDI ウォッチドッグ・タイムアウト

22.3.8 PDI 設定レジスタ

22.3.8.1 PDI コントロール・レジスタ (PDI_CONTROL)

PDI の種類を示します。

アドレス A00D 0140h



ビット	シンボル	ビット名	機能	PDI	ECAT
b7-b0	PDI	PDIの種類表示ビット	プロセスデータインタフェース。本LSIでは以下の値を示します。 80h : オンチップ・バス	R	R

22.3.8.2 ESC コンフィギュレーション・レジスタ (ESC_CONFIG)

EtherCAT スレーブ・コントローラの構成を示します。

アドレス A00D 0141h

b7	b6	b5	b4	b3	b2	b1	b0
ENLP3	ENLP2	ENLP1	ENLP0	DCLATCH	DCSYN C	ENLAL LP	DEVEM U

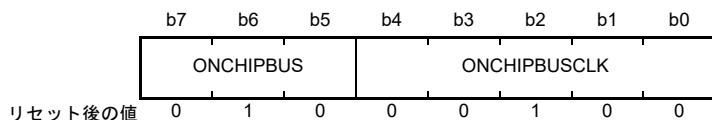
リセット後の値 0 0 0 0 1 1 0 0

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	DEVEMU	デバイスエミュレーション設定表示ビット	デバイス・エミュレーション (ALステータスコントロール) 0: ALステータス・レジスタは、PDIで設定します。 1: ALステータス・レジスタは、ALコントロール・レジスタに書き込まれた値を自動的に設定します。	R	R
b1	ENLALLP	全ポートのエンハンストリンクディテクション設定表示ビット	すべてのポートに対するエンハンスト・リンク・ディテクションの設定 0: 無効 (EEPROMのアドレス0のビット15-12が0の場合) 1: すべてのポートで有効	R	R
b2	DCSYN C	SYNC出カユニット状態表示ビット	分散クロックのSYNC出カユニットの設定。本LSIでは1固定です。 0: 無効 (パワーセーブ) 1: 有効	R	R
b3	DCLATCH	ラッチ入カユニット設定表示ビット	分散クロックのラッチ入カユニットの設定。本LSIでは1固定です。 0: 無効 (パワーセーブ) 1: 有効	R	R
b4	ENLP0	ポート0のエンハンストリンクディテクション設定表示ビット	ポート0のエンハンスト・リンク・ディテクションの設定 0: 無効 (EEPROMのアドレス0のビット9が0の場合) 1: 有効	R	R
b5	ENLP1	ポート1のエンハンストリンクディテクション設定表示ビット	ポート1のエンハンスト・リンク・ディテクションの設定 0: 無効 (EEPROMのアドレス0のビット9が0の場合) 1: 有効	R	R
b6	ENLP2	ポート2のエンハンストリンクディテクション設定表示ビット	ポート2のエンハンスト・リンク・ディテクションの設定 (本LSIではポート2は使用できません) 0: 無効 (EEPROMのアドレス0のビット9が0の場合) 1: 有効	R	R
b7	ENLP3	ポート3のエンハンストリンクディテクション設定表示ビット	ポート3のエンハンスト・リンク・ディテクションの設定 (本LSIではポート3は使用できません) 0: 無効 (EEPROMのアドレス0のビット9が0の場合) 1: 有効	R	R

22.3.8.3 PDI コンフィギュレーション・レジスタ (PDI_CONFIG)

PDI の構成を示します。

アドレス A00D 0150h

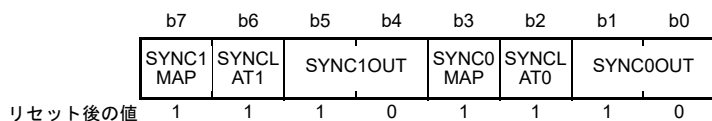


ビット	シンボル	ビット名	機能	PDI	ECAT
b4-b0	ONCHIPBUSCLK	オンチップバスクロック表示ビット	オンチップ・バスのクロックを示します。本LSIでは常に4 (100MHz) を示します。	R	R
b7-b5	ONCHIPBUS	オンチップバスの種類表示ビット	オンチップ・バスの種類を示します。本LSIでは常に010を示します。	R	R

22.3.8.4 SYNC/LATCH PDI コンフィギュレーション・レジスタ (SYNC_LATCH_CONFIG)

SYNC 出力 / LATCH 入力の設定を示します。

アドレス A00D 0151h



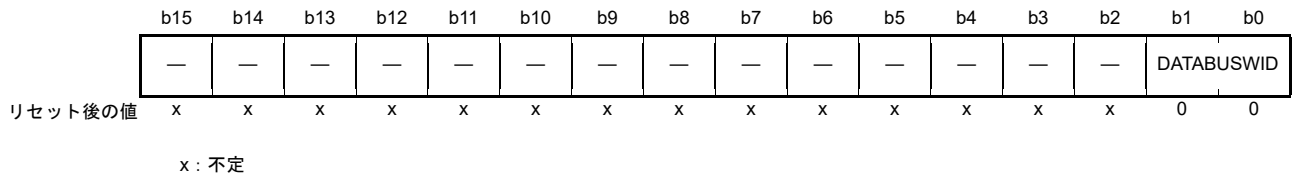
ビット	シンボル	ビット名	機能	PDI	ECAT
b1-b0	SYNC0OUT	SYNC0の極性表示ビット	SYNC0出力ドライバ/極性を示します。本LSIでは常に10 (プッシュプル アクティブハイ) を示します。	R	R
b2	SYNCLAT0	SYNC0/LATCH0表示ビット	SYNC0/LATCH0設定の設定を表します。本LSIでは常に1を示します (注1)。 0: LATCH0 入力 1: SYNC0 出力	R	R
b3	SYNC0MAP	SYNC0状態のマッピング状態表示ビット	AL イベント・リクエスト・レジスタ (AL_EVENT_REQ : 0220h) のビット2にSYNC0状態のマッピングの有効/無効を示します。本LSIでは常に1 (有効) です。 0: 無効 1: 有効	R	R
b5-b4	SYNC1OUT	SYNC1の極性表示ビット	SYNC1出力ドライバ/極性を示します。本LSIでは常に10 (プッシュプル アクティブハイ) を示します。	R	R
b6	SYNCLAT1	SYNC1/LATCH1表示ビット	SYNC1/LATCH1の設定を表します。本LSIでは常に1を示します。 (注1) 0: LATCH1 入力 1: SYNC1 出力	R	R
b7	SYNC1MAP	SYNC1状態のマッピング状態表示ビット	AL イベント・リクエスト・レジスタ (AL_EVENT_REQ : 0220h) のビット3にSYNC1状態のマッピングの有効/無効を示します。本LSIでは常に1 (有効) です。 0: 無効 1: 有効	R	R

注1. 常にSYNC出力を表していますが、LATCH入力も使用できます。SYNC出力とLATCH入力の切り替えは、MPC機能の設定で切り替えてください。

22.3.8.5 拡張 PDI コンフィギュレーション・レジスタ (EXT_PDI_CONFIG)

PDI の構成を示します。

アドレス A00D 0152h



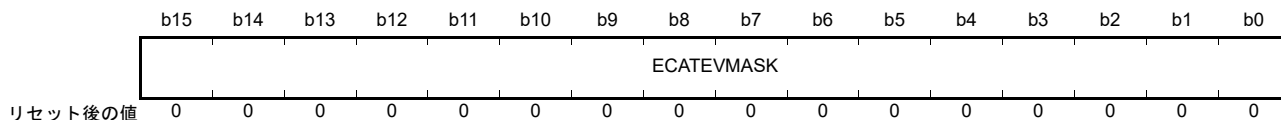
ビット	シンボル	ビット名	機能	PDI	ECAT
b1-b0	DATABUSWID	PDIデータバス幅表示ビット	PDIのデータ・バス幅を示します。本LSIでは0（4バイト）を示します。 00：4バイト 01：1バイト 10：2バイト 11：リザーブ	R	R
b15-b2	—	予約ビット	読み出した場合は不定値が読めます。	R	R

22.3.9 割り込み設定レジスタ

22.3.9.1 ECAT イベント・マスク・レジスタ (ECAT_EVENT_MASK)

EtherCAT マスタにスレーブのイベントを伝えるために、ECAT イベント・リクエスト (ECAT 割り込み) が使用されます。本レジスタで ECAT イベント・リクエスト・レジスタ (ECAT_EVENT_REQ : 0210h) の各イベントに対してマスクを設定します。本レジスタと ECAT イベント・リクエスト・レジスタの AND が行われ、それが割り込みに使用されます。

アドレス A00D 0200h

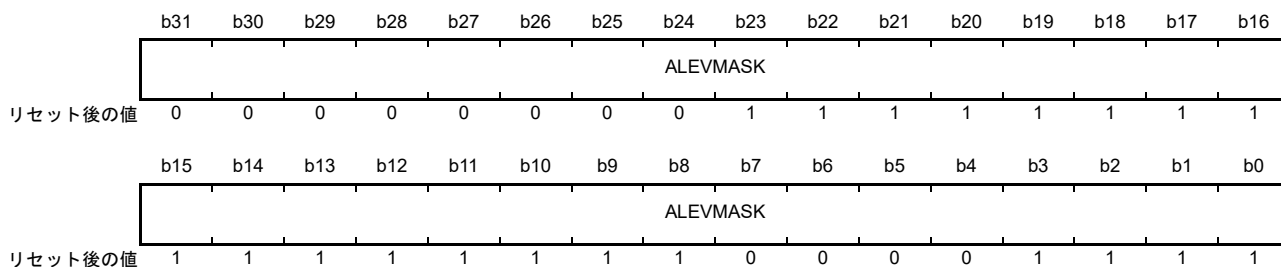


ビット	シンボル	ビット名	機能	PDI	ECAT
b15-b0	ECATEVMASK	イベントリクエストマスク設定ビット	0 : 対応する ECAT イベント・リクエスト・レジスタ (ECAT_EVENT_REQ : 0210h) のビットがマップされません。 1 : 対応する ECAT イベント・リクエスト・レジスタのビットがマップされます。	R	R/W

22.3.9.2 AL イベント・マスク・レジスタ (AL_EVENT_MASK)

スレーブアプリケーションに ESC の割り込みを伝えるために、AL イベント・リクエスト (PDI 割り込み) が使用されます。本レジスタで AL イベント・リクエスト・レジスタ (AL_EVENT_REQ : 0220h) の各イベントに対してマスクを設定します。本レジスタと AL イベント・リクエスト・レジスタの AND が行われ、それが割り込みに使用されます。

アドレス A00D 0204h



ビット	シンボル	ビット名	機能	PDI	ECAT
b31-b0	ALEVMASK	イベントリクエストマスク設定ビット	0 : 対応する AL イベント・リクエスト・レジスタ (AL_EVENT_REQ : 0220h) のビットがマップされません。 1 : 対応する AL イベント・リクエスト・レジスタのビットがマップされます。	R/W	R

22.3.9.3 ECAT イベント・リクエスト・レジスタ (ECAT_EVENT_REQ)

ECAT イベント・リクエスト (ECAT 割り込み) の要因を示します。

アドレス A00D 0210h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	SMSTA 7	SMSTA 6	SMSTA 5	SMSTA 4	SMSTA 3	SMSTA 2	SMSTA 1	SMSTA 0	ALSTA	DLSTA	—	DCLAT CH
リセット後の値	x	x	x	x	0	0	0	0	0	0	0	0	0	0	x	0

x: 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	DCLATCH	DCラッチイベント状態表示ビット	DCラッチのイベント 0: DCラッチ入力変更なし 1: 少なくとも一つのDCラッチ入力変更 ECATからECATコントロールラッチユニットに対してDCラッチのイベント時間をリードすることにより、本ビットはクリアされます。そのためラッチ0/1ステータス・レジスタ (DC_LATCH_STAT0/1: 09AEh:09AFh) はイベントを示しません。	R	R
b1	—	予約ビット	読み出した場合は不定値が読めます。	R	R
b2	DLSTA	DLステータスイベント状態表示ビット	DLステータスのイベント 0: DLステータス変更なし 1: DLステータス変更 ECATからDLステータス・レジスタ (ESC_DL_STATUS: 0110h:0111h) をリードすることにより、本ビットはクリアされます。	R	R
b3	ALSTA	ALステータスイベント状態表示ビット	ALステータスのイベント 0: ALステータス変更なし 1: ALステータス変更 ECATからALステータス・レジスタ (AL_STATUS: 0130h:0131h) をリードすることにより、本ビットはクリアされます。	R	R
b4	SMSTA0	SyncManager0のステータス表示ビット	SyncManager0ステータスのミラー値: 0: Syncチャンネル0イベントなし 1: Syncチャンネル0イベントペンディング	R	R
b5	SMSTA1	SyncManager1のステータス表示ビット	SyncManager1ステータスのミラー値: 0: Syncチャンネル1イベントなし 1: Syncチャンネル1イベントペンディング	R	R
b6	SMSTA2	SyncManager2のステータス表示ビット	SyncManager2ステータスのミラー値: 0: Syncチャンネル2イベントなし 1: Syncチャンネル2イベントペンディング	R	R
b7	SMSTA3	SyncManager3のステータス表示ビット	SyncManager3ステータスのミラー値: 0: Syncチャンネル3イベントなし 1: Syncチャンネル3イベントペンディング	R	R
b8	SMSTA4	SyncManager4のステータス表示ビット	SyncManager4ステータスのミラー値: 0: Syncチャンネル4イベントなし 1: Syncチャンネル4イベントペンディング	R	R
b9	SMSTA5	SyncManager5のステータス表示ビット	SyncManager5ステータスのミラー値: 0: Syncチャンネル5イベントなし 1: Syncチャンネル5イベントペンディング	R	R
b10	SMSTA6	SyncManager6のステータス表示ビット	SyncManager6ステータスのミラー値: 0: Syncチャンネル6イベントなし 1: Syncチャンネル6イベントペンディング	R	R
b11	SMSTA7	SyncManager7のステータス表示ビット	SyncManager7のステータスのミラー値: 0: Syncチャンネル7イベントなし 1: Syncチャンネル7イベントペンディング	R	R
b15-b12	—	予約ビット	読み出した場合は不定値が読めます。	R	R

22.3.9.4 AL イベント・リクエスト・レジスタ (AL_EVENT_REQ)

AL イベント・リクエスト (PDI 割り込み) の要因を示します。

アドレス A00D 0220h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SMINT 7	SMINT 6	SMINT 5	SMINT 4	SMINT 3	SMINT 2	SMINT 1	SMINT 0	—	WDPD	—	SYNCA CT	DCSYN C1STA	DCSYN C0STA	DCLAT CH	ALCTR L
リセット後の値	0	0	0	0	0	0	0	0	x	0	x	0	0	0	0	0

x: 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	ALCTRL	ALコントロールイベント状態表示ビット	ALコントロールイベント 0: ALコントロール・レジスタ変化なし 1: ALコントロール・レジスタにライトされたPDIからALコントロール・レジスタ (AL_CONTROL : 0120h:0121h) をリードすることにより、本ビットはクリアされます。	R	R
b1	DCLATCH	DCラッチイベント状態表示ビット	DCラッチイベント 0: DCラッチ入力変化なし 1: 少なくとも一つのDCラッチ入力に変化 PDIからPDIコントロールラッチユニットに対してDCラッチのイベント時刻をリードすることにより、本ビットはクリアされます。そのためラッチ0/1ステータス・レジスタ (DC_LATCH_STAT0/1 : 09AEh:09AFh) はイベントを示しません。	R	R
b2	DCSYNCOSTA	DC SYNC0状態表示ビット	DC SYNC0の状態 PDIからSYNC0ステータス・レジスタ (DC_SYNC0_STAT : 098Eh) をリードすることにより、本ビットはクリアされます。	R	R
b3	DCSYNCO1STA	DC SYNC1状態表示ビット	DC SYNC1の状態 PDIからSYNC1ステータス・レジスタ (DC_SYNC1_STAT : 098Fh) をリードすることにより、本ビットはクリアされます。	R	R
b4	SYNCACT	SyncManagerアクティベイト表示ビット	SyncManagerアクティベイト・レジスタ (SMm_ACT : 0806h+8H*m) 変化 0: SyncManagerに変化なし 1: 少なくとも一つのSyncManagerが変化 PDIからSyncManagerアクティベイト・レジスタ (SMm_ACT) をリードすることにより、本ビットはクリアされます。	R	R
b5	—	予約ビット	読み出した場合は不定値が読めます。	R	R
b6	WDPD	ウォッチドッグプロセスデータ表示ビット	ウォッチドッグ・プロセスデータ 0: 有効 1: タイムアウト PDIからウォッチドッグ・ステータス・プロセスデータ・レジスタ (WDS_DATA : 0440h) をリードすることにより、本ビットはクリアされます。	R	R
b7	—	予約ビット	読み出した場合は不定値が読めます。	R	R
b8	SMINT0	SyncManager0割り込みステータスビット	SyncManager0割り込み (SyncManagerステータス・レジスタ (0805h) のビット0 or 1) 0: SyncManager0割り込みなし 1: SyncManager0割り込みペンディング	R	R

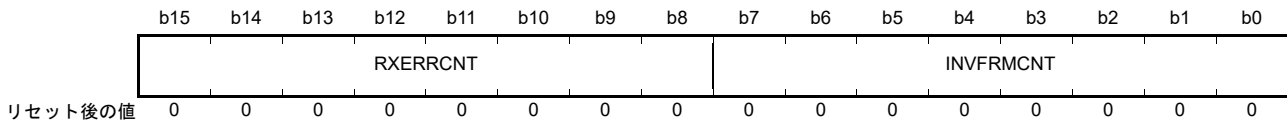
ビット	シンボル	ビット名	機能	PDI	ECAT
b9	SMINT1	SyncManager1 割り込みステータスビット	SyncManager1 割り込み (SyncManager ステータス・レジスタ (080Dh) のビット 0 or 1) 0 : SyncManager1 割り込みなし 1 : SyncManager1 割り込みペンディング	R	R
b10	SMINT2	SyncManager2 割り込みステータスビット	SyncManager2 割り込み (SyncManager ステータス・レジスタ (0815h) のビット 0 or 1) 0 : SyncManager2 割り込みなし 1 : SyncManager2 割り込みペンディング	R	R
b11	SMINT3	SyncManager3 割り込みステータスビット	SyncManager3 割り込み (SyncManager ステータス・レジスタ (081Dh) のビット 0 or 1) 0 : SyncManager3 割り込みなし 1 : SyncManager3 割り込みペンディング	R	R
b12	SMINT4	SyncManager4 割り込みステータスビット	SyncManager4 割り込み (SyncManager ステータス・レジスタ (0825h) のビット 0 or 1) 0 : SyncManager4 割り込みなし 1 : SyncManager4 割り込みペンディング	R	R
b13	SMINT5	SyncManager5 割り込みステータスビット	SyncManager5 割り込み (SyncManager ステータス・レジスタ (082Dh) のビット 0 or 1) 0 : SyncManager5 割り込みなし 1 : SyncManager5 割り込みペンディング	R	R
b14	SMINT6	SyncManager6 割り込みステータスビット	SyncManager6 割り込み (SyncManager ステータス・レジスタ (0835h) のビット 0 or 1) 0 : SyncManager6 割り込みなし 1 : SyncManager6 割り込みペンディング	R	R
b15	SMINT7	SyncManager7 割り込みステータスビット	SyncManager7 割り込み (SyncManager ステータス・レジスタ (083Dh) のビット 0 or 1) 0 : SyncManager7 割り込みなし 1 : SyncManager7 割り込みペンディング	R	R
b31-b16	—	予約ビット	読み出した場合は不定値が読めます。	R	R

22.3.10 エラーカウンタ設定レジスタ

22.3.10.1 Rx エラーカウンタ n・レジスタ (RX_ERR_COUNTn)

受信フレームのエラーの数をカウントします。

アドレス A00D 0300h + 0002h*n



ビット	シンボル	ビット名	機能	PDI	ECAT
b7-b0	INVFRMCNT	無効なフレームのカウン ト値表示ビット	ポートnにおける無効なフレームのカウン ト値 FFhに達するとカウン トは停止します。 RXエラー関係のカウン タ (RX_ERR_COUNTn、 FWD_RX_ERR_COUNTn) の一つにライトすれば、ク リアされます。	R	R/W (clr)
b15-b8	RXERRCNT	受信フレームのエラー数 カウン ト値表示ビット	ポートnにおける受信エラーのカウン ト値 FFhに達するとカウン トは停止します。MII インタフェ ースのRX ERRの数を カウントします。 RXエラー関係のカウン タ (RX_ERR_COUNTn、 FWD_RX_ERR_COUNTn) の一つにライトすれば、ク リアされます。	R	R/W (clr)

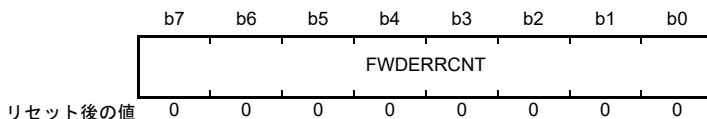
n = 0-1

n = 0 はポート 0、n = 1 はポート 1

22.3.10.2 フォワード Rx エラーカウンタ n・レジスタ (FWD_RX_ERR_COUNTn)

転送エラーの数をカウントします。

アドレス A00D 0308h + 0001h*n



ビット	シンボル	ビット名	機能	PDI	ECAT
b7-b0	FWDERRCNT	転送エラー数のカウ ント値表示ビット	ポートnにおける転送された受信エラーフレームのカウン ト値 FFhに達するとカウン トは停止します。 RXエラー関係のカウン タ (RX_ERR_COUNTn、 FWD_RX_ERR_COUNTn) の一つにライトすれば、ク リアされます。	R	R/W (clr)

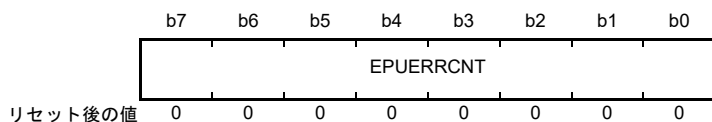
n = 0-1

n = 0 はポート 0、n = 1 はポート 1

22.3.10.3 ECAT プロセッシング・ユニット・エラーカウンタ・レジスタ (ECAT_PROC_ERR_COUNT)

ECAT プロセッシング・ユニットを通るフレームのエラーをカウントします。

アドレス A00D 030Ch

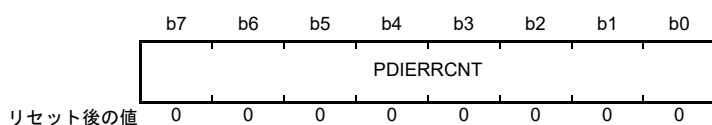


ビット	シンボル	ビット名	機能	PDI	ECAT
b7-b0	EPUERRCNT	プロセッシングユニット エラーカウンタ値表示 ビット	ECAT プロセッシング・ユニット・エラーカウンタ値。 FFhに達するとカウンタは停止します。プロセッシング・ ユニットを通るフレームのエラーをカウントします。 本レジスタをライトすると、本レジスタはクリアされま す。	R	R/W (clr)

22.3.10.4 PDI エラー・カウンタ・レジスタ (PDI_ERR_COUNT)

PDI のアクセスエラーをカウントします。

アドレス A00D 030Dh

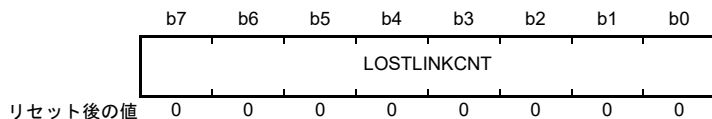


ビット	シンボル	ビット名	機能	PDI	ECAT
b7-b0	PDIERRCNT	PDIエラーカウンタ値 表示ビット	PDIエラーのカウンタ値 FFhに達するとカウンタは停止します。PDIのアクセスでイ ンタフェースエラーが発生すれば、カウントします。 本レジスタをライトすると、本レジスタはクリアされます。	R	R/W (clr)

22.3.10.5 ロストリンク・カウンタ n・レジスタ (LOST_LINK_COUNTn)

ポートにおけるロストリンクをカウントします。

アドレス A00D 0310h + 0001h*n



ビット	シンボル	ビット名	機能	PDI	ECAT
b7-b0	LOSTLINKCNT	ロストリンクカウンタ値表示ビット	ポートnにおけるロストリンクのカウント値 FFhに達するとカウントは停止します。ポートループがAutoまたはAuto-Closeの時のみカウントします。オープンであるポートのロストリンクのみカウントされません。 ロストリンクカウンタレジスタの一つにライトすると、本レジスタはクリアされます。	R	R/W (clr)

n = 0-1

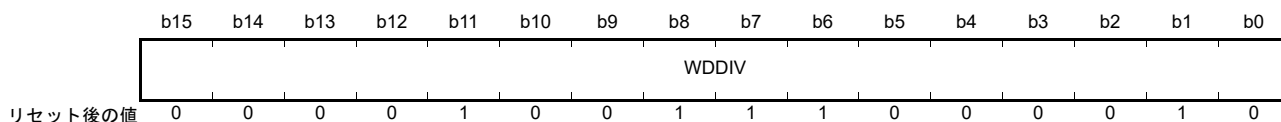
n = 0 はポート 0、n = 1 はポート 1

22.3.11 ウォッチドッグ設定レジスタ

22.3.11.1 ウォッチドッグ・ディバイダ・レジスタ (WD_DIVIDE)

ウォッチドッグの基本インクリメントとなる 25MHz に対する分周比を設定します。

アドレス A00D 0400h



ビット	シンボル	ビット名	機能	PDI	ECAT
b15-b0	WDDIV	ウォッチドッグクロック分周比設定ビット	25MHzに対するウォッチドッグのクロックの分周比を設定します。 設定した値+2で分周した周期が、基本のウォッチドッグ・インクリメントとなります。デフォルト値は100μs = 2498です。	R	R/W

22.3.11.2 ウォッチドッグ・タイム PDI・レジスタ (WDT_PDI)

PDI ウォッチドッグのオーバフロー時間を設定します。

アドレス A00D 0410h

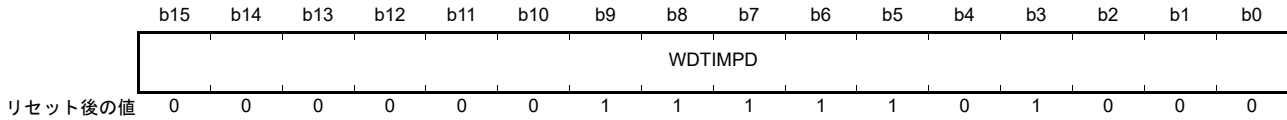


ビット	シンボル	ビット名	機能	PDI	ECAT
b15-b0	WDTIMPDI	ウォッチドッグのオーバフロー時間設定ビット	PDIウォッチドッグのオーバフロー時間を基本ウォッチドッグ・インクリメントの数で設定します。 デフォルト値は、ウォッチドッグ・ディバイダでの設定値が100μsの場合、100μs × 1000 = 100msのウォッチドッグ・オーバフローとなります。 0を設定すると、ウォッチドッグは無効になります。PDIアクセスごとにウォッチドッグはリスタートします。	R	R/W

22.3.11.3 ウォッチドッグ・タイム・プロセス・データ・レジスタ (WDT_DATA)

プロセスデータ・ウォッチドッグのオーバフロー時間を設定します。

アドレス A00D 0420h

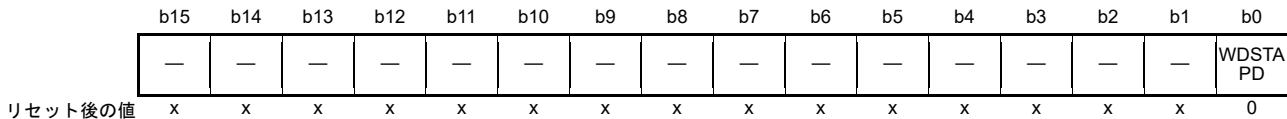


ビット	シンボル	ビット名	機能	PDI	ECAT
b15-b0	WDTIMPD	ウォッチドッグのオーバフロー時間設定ビット	プロセスデータ・ウォッチドッグのオーバフロー時間を基本ウォッチドッグ・インクリメントの数で設定します。デフォルト値は、ウォッチドッグ・ディバイダでの設定値が100μsの場合、100μs × 1000 = 100msのウォッチドッグ・オーバフローとなります。すべてのSyncManagerに対してウォッチドッグは1つです。0を設定すると、ウォッチドッグは無効になります。SyncManagerのウォッチドッグ・トリガ・イネーブルビットへのライトアクセスごとにウォッチドッグはリスタートします。	R	R/W

22.3.11.4 ウォッチドッグ・ステータス・プロセス・データ・レジスタ (WDS_DATA)

プロセスデータ・ウォッチドッグの状態を示します。

アドレス A00D 0440h



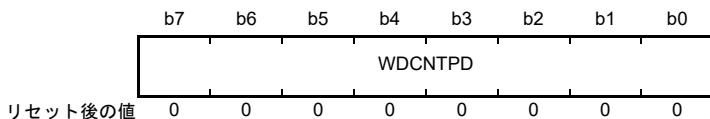
x: 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	WDSTAPD	ウォッチドッグの状態表示ビット	SyncManagerによってトリガされるプロセスデータ・ウォッチドッグの状態を示します。 0: プロセスデータ・ウォッチドッグがタイムアウト 1: プロセスデータ・ウォッチドッグはアクティブか無効 本レジスタをリードすることにより、ALイベント・リクエスト・レジスタ (AL_EVENT_REQ : 0220h) のビット6がクリアされます。	R (ack)	R
b15-b1	—	予約ビット	読み出した場合は不定値が読めます。	R (ack)	R

22.3.11.5 ウォッチドッグ・カウンタ・プロセス・データ・レジスタ (WDC_DATA)

プロセスデータ・ウォッチドッグのタイムアウトのカウンタ数を示します。

アドレス A00D 0442h

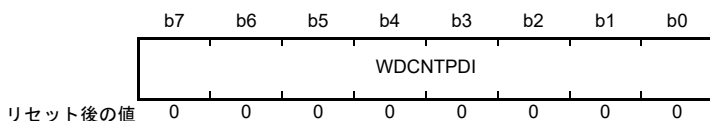


ビット	シンボル	ビット名	機能	PDI	ECAT
b7-b0	WDCNTPD	ウォッチドッグのカウンタ値表示ビット	プロセスデータ・ウォッチドッグのカウンタ値 FFhに達するとカウンタは停止します。プロセスデータ・ウォッチドッグがタイムアウトするとカウンタします。ウォッチドッグ・カウンタ・レジスタ (WDC_DATA、WDC_PDI : 0442h:0443h) のいずれかにライトすれば、カウンタはクリアされます。	R	R/W (clr)

22.3.11.6 ウォッチドッグ・カウンタ PDI・レジスタ (WDC_PDI)

PDI ウォッチドッグのタイムアウトのカウンタ数を示します。

アドレス A00D 0443h



ビット	シンボル	ビット名	機能	PDI	ECAT
b7-b0	WDCNTPDI	ウォッチドッグのカウンタ値表示ビット	PDIウォッチドッグのカウンタ値 FFhに達するとカウンタは停止します。PDIウォッチドッグがタイムアウトするとカウンタします。ウォッチドッグ・カウンタ・レジスタ (WDC_DATA、WDC_PDI : 0442h:0443h) のいずれかにライトすれば、カウンタはクリアされます。	R	R/W (clr)

22.3.12 SII EEPROM インタフェース設定レジスタ

EEPROM コンフィギュレーション・レジスタ (EEP_CONF : 0500h) のビット0が0、かつ EEPROM PDI アクセス・ステート・レジスタ (EEP_PDI_ACCESS : 0501h) のビット0が0の場合、EtherCATがSII EEPROM インタフェースをコントロールします。それ以外の場合は、PDIからEEPROMインタフェースをコントロールします。

22.3.12.1 EEPROM コンフィギュレーション・レジスタ (EEP_CONF)

EEPROM へのアクセス権について設定します。

アドレス A00D 0500h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	FORCE ECAT	CTRLP DI
リセット後の値	x	x	x	x	x	x	0	0

x: 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	CTRLPDI	PDIによるEEPROM制御設定ビット	EEPROMのコントロールをPDIに持たせるか否かを指定します。 0: PDIがEEPROMをコントロールしない 1: PDIがEEPROMをコントロールする	R	R/W
b1	FORCEECAT	EEPROMへのアクセス権変更設定ビット	ECATからのアクセスに強制的に変更します。 0: 現状から変更なし 1: EEPROM PDIアクセス・ステート・レジスタ (EEP_PDI_ACCESS : 0501h) のビット0を0にリセットします。つまり、PDIからのEEPROMアクセス権を解放します。	R	R/W
b7-b2	—	予約ビット	読み出した場合は不定値が読めます。	R	R

22.3.12.2 EEPROM PDI アクセス・ステート・レジスタ (EEP_STATE)

PDIからEEPROMへのアクセス権を設定します。

アドレス A00D 0501h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	PDIAC CESS
リセット後の値	x	x	x	x	x	x	x	0

x: 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	PDIACCESS	EEPROMへのアクセス権設定ビット	EEPROMへのアクセス件を設定します。 0: PDIはEEPROMアクセスを解放します。 1: PDIはEEPROMアクセスを取得します。 PDIからのライトはEEPROMコンフィギュレーション・レジスタ (EEP_CONF : 0500h) のビット0が1、かつビット1が0のときのみ可能です。	R/(W)	R
b7-b1	—	予約ビット	読み出した場合は不定値が読めます。書く場合、“0”としてください。	R/(W)	R

22.3.12.3 EEPROM コントロール/ステータス・レジスタ (EEP_CONT_STAT)

EEPROM へのアクセスの設定とステータスを示します。

アドレス A00D 0502h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BUSY	WREN ERR	ACKCM DERR	LOADS TA	CKSU MERR	COMMAND			PROM SIZE	READB YTE	—	—	—	—	—	ECATW REN
リセット後の値	0	0	0	0	0	0	0	0	0	0	x	x	x	x	x	0

x: 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	ECATWREN	ライトイネーブルビット	ECATライト・イネーブル (注2) 0: ライト要求は無効 1: ライト要求は有効 PDIがEEPROMをコントロールしている場合、このビットは常に1です。	R	R/(W)
b5-b1	—	予約ビット	読み出した場合は不定値が読めます。	R	R
b6	READBYTE	EEPROMリードバイト表示ビット	サポートするEEPROMリードバイトを示します。 0: 4バイト 1: 8バイト	R	R
b7	PROMSIZE	EEPROMのアルゴリズム表示ビット	選択されたEEPROMのアルゴリズムを示します。 0: 1アドレスバイト (1KBit -16KBit EEPROMs) 1: 2アドレスバイト (32KBit - 4MBit EEPROMs)	R	R
b10-b8	COMMAND	コマンド設定/表示ビット	コマンド (注2) ライト: 下記のコマンドを開始します。 リード: 現在実行中のコマンドを示します。 コマンド: 000: コマンドなし/EEPROMアイドル状態 (エラービットをクリアします) 001: リード 010: ライト 100: リロード その他: リザーブ/無効なコマンド (実行しないでください)	R/(W)	R/(W)
b11	CKSUMERR	チェックサムエラー表示ビット	ESCの設定エリア内でのチェックサムエラーを示します。 0: チェックサムは問題なし 1: チェックサムエラー	R	R
b12	LOADSTA	EEPROMローディング状態表示ビット	EEPROMローディング状態を示します。 0: EEPROMのロードが完了し、デバイス情報は問題なし 1: EEPROMがロードされておらず、デバイス情報を利用できない (EEPROMはロード中または失敗で終了)。	R	R
b13	ACKCMDERR	アクノリッジ/コマンドのエラー表示ビット	アクノリッジ/コマンドのエラーを示します。(注1) 0: エラーなし 1: EEPROMアクノリッジ欠落、あるいは無効なコマンド	R	R
b14	WRENERR	ライトイネーブルエラー表示ビット	ライト・イネーブルのエラーを示します。(注1) 0: エラーなし 1: ライトイネーブルなしでのライトコマンド	R	R
b15	BUSY	EEPROMインタフェース状態表示ビット	EEPROMインタフェースのビジー状態を示します。 0: アイドル状態 1: ビジー状態	R	R

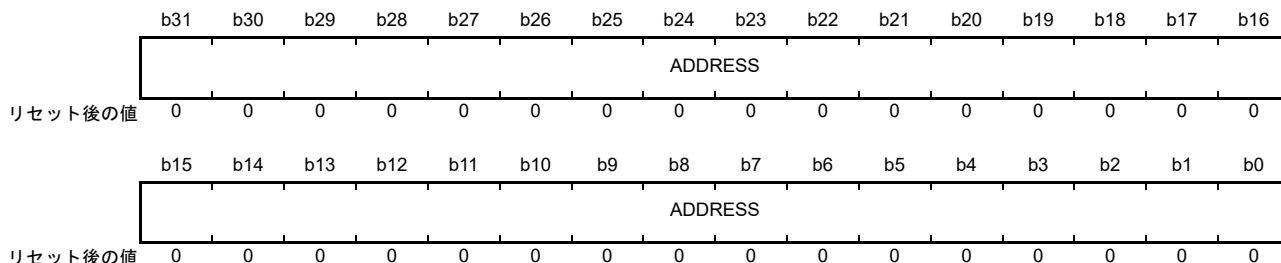
ライトアクセスはEEPROMインタフェースの割り当てに依存します (ECAT/PDI)。一般的に、EEPROMインタフェースがビジーの場合 (ビット15が1)、ライトアクセスはブロックされます。

注1. コマンド・ビットb10-b8に"000" (あるいは他の有効コマンド) をライトすると、エラービットはクリアされます。
注2. ECATライト・イネーブル・ビットb0は、次のフレームのSOFでセルフクリアされます。また、コマンド・ビットb10-b8も、コマンド実行後 (EEPROMのビジーが終了後) にセルフクリアされます。
コマンド・ビットb10-b8に"000"をライトするとエラービットb14-b13がクリアされます。アクノリッジ/コマンド・エラービットb13が1の場合、コマンド・ビットb10-b8のコマンドは無視されます。

22.3.12.4 EEPROM アドレス・レジスタ (EEP_ADR)

アクセスする EEPROM のアドレスを設定します。

アドレス A00D 0504h



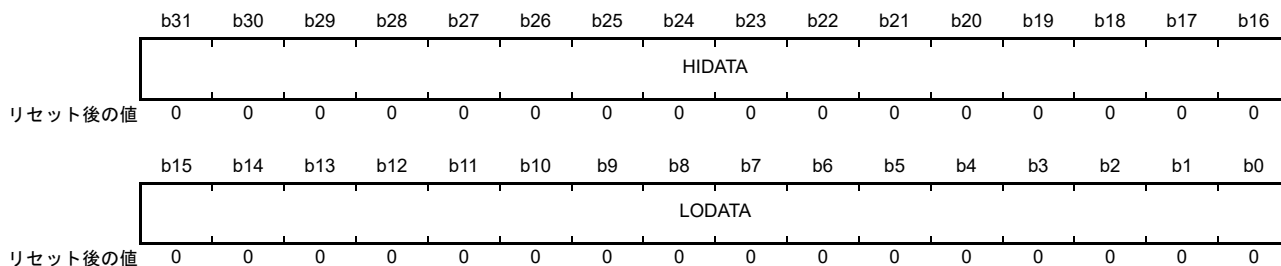
ビット	シンボル	ビット名	機能	PDI	ECAT
b31-b0	ADDRESS	EEPROMアドレス設定ビット	EEPROM アドレス 0 : 第1ワード (= 16ビット) 1 : 第2ワード ... 実際に使用されるEEPROMアドレスビットは以下になります。 [9:0] : 最大 16 kBit のEEPROMサイズ [17:0] : 32 kBit – 4 MbitのEEPROMサイズ	R/(W)	R/(W)

ライトアクセスはEEPROM インタフェースの割り当てに依存します (ECAT/PDI)。一般的に、EEPROM インタフェースがビジーの場合 (EEPROM コントロール/ステータス・レジスタ (EEP_CONT_STAT : 0502h) のビット 15 が 1)、ライトアクセスはブロックされます。

22.3.12.5 EEPROM データ・レジスタ (EEP_DATA)

EEPROM へのライトデータを設定します。あるいはEEPROM からのリードデータを示します。ライトは 1 ワード単位、リードは 2 ワード単位です。

アドレス A00D 0508h



ビット	シンボル	ビット名	機能	PDI	ECAT
b15-b0	LODATA	EEPROMへのライトデータ設定ビット	EEPROMへのライトデータ、あるいはEEPROMからのリードデータ (下位2バイト)	R/(W)	R/(W)
b31-b16	HIDATA	EEPROMからのリードデータ表示ビット	EEPROMからのリードデータ (上位2バイト)	R	R

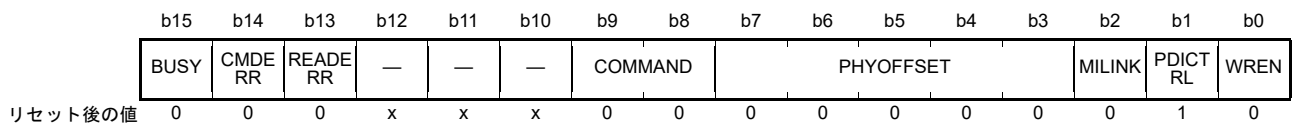
ライトアクセスはEEPROM インタフェースの割り当てに依存します (ECAT/PDI)。一般的に、EEPROM インタフェースがビジーの場合 (EEPROM コントロール/ステータス・レジスタ (EEP_CONT_STAT : 0502h) のビット 15 が 1)、ライトアクセスはブロックされます。

22.3.13 MII マネージメント・インタフェース設定レジスタ

22.3.13.1 MII マネージメント・コントロール/ステータス・レジスタ (MII_CONT_STAT)

MII マネージメント・インタフェースの設定とステータスを示します。

アドレス A00D 0510h



x: 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	WREN	ライトイネーブルビット	ライト・イネーブル 0: 無効 1: 有効 PDIがMII マネージメント・インタフェースをコントロールしている場合、このビットは常に1です。	R	R/(W)
b1	PDICTRL	PDI制御可否表示ビット	MII マネージメント・インタフェースのPDIによるコントロールの可否を示します。 0: ECATによるコントロールのみ 1: PDIによるコントロール可能 MII マネージメントECATアクセス・ステート・レジスタ (MII_ECAC_ACS_STAT : 0516h)、およびMII マネージメントPDIアクセス・ステート・レジスタ (MII_PDI_ACS_STAT : 0517h) により制御されます。	R	R
b2	MILINK	リンクディテクション使用状態表示ビット	MIリンク・ディテクションの使用可否 0: 使用不可 1: 使用可能	R	R
b7-b3	PHYOFFSET	PHYアドレスオフセット表示ビット	PHYアドレスオフセットを示します。	R	R
b9-b8	COMMAND	コマンドビット	コマンド ライト: 以下のコマンドを開始します。 リード: 現在実行中のコマンドを示します。 コマンド: 00: コマンドなし/MIアイドル状態 (エラービットをクリアします) 01: リード 10: ライト その他: リザーブ/無効なコマンド (実行しないでください)	R/(W)	R/(W)
b12-b10	—	予約ビット	読み出した場合は不定値が読めます。	R	R
b13	READERR	リードエラー表示ビット	リードエラー発生の有無を示します。 0: リードエラーなし 1: リードエラー発生 (PHYあるいはレジスタは利用不可) 本ビットは本レジスタにライトすることでクリアされます。	R/(W)	R/(W)
b14	CMDERR	コマンドエラー表示ビット	コマンドエラーの発生の有無を示します。 0: 最後のコマンドは成功 1: 無効なコマンドあるいはライトイネーブルなしのライトコマンド 有効なコマンドを実行するか、コマンド・ビット9-8に“00”を書き込むことで本ビットはクリアされます。	R	R
b15	BUSY	MII マネージメント状態表示ビット	MII マネージメント・インタフェースがビジーであることを示します。 0: アイドル状態 1: ビジー状態	R	R

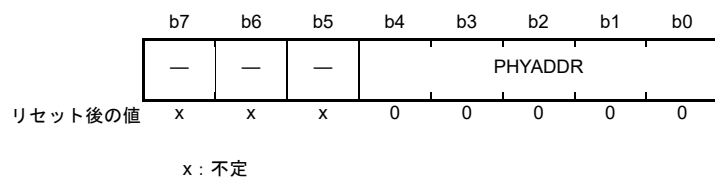
ライトアクセスはマネージメント・インタフェースの割り当てに依存します (ECAT/PDI)。一般的に、マネージメント・インタフェースがビジーの場合 (本レジスタのビット b15 が 1)、ライトアクセスはブロックされます。

注. ライト・イネーブル・ビット b0 は、次のフレームの SOF (あるいは PDI アクセスの終わり) でセルフクリアされます。また、コマンド・ビット b9-b8 も、コマンド実行後 (ビジーが終了後) にセルフクリアされます。コマンド・ビットに "00" をライトするとエラービット b14-b13 がクリアされます。コマンド実行後は、コマンド・ビットはクリアされます。

22.3.13.2 PHY アドレス・レジスタ (PHY_ADR)

PHY アドレスを設定します。

アドレス A00D 0512h



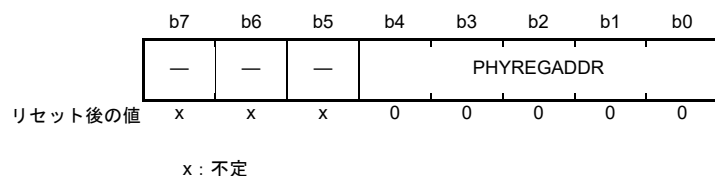
ビット	シンボル	ビット名	機能	PDI	ECAT
b4-b0	PHYADDR	PHYアドレス設定ビット	PHYアドレス	R/(W)	R/(W)
b7-b5	—	予約ビット	読み出した場合は不定値が読めます。	R	R

ライトアクセスはマネージメント・インタフェースの割り当てに依存します (ECAT/PDI)。一般的に、マネージメント・インタフェースがビジーの場合 (MII マネージメント・コントロール/ステータス・レジスタ (MII_CONT_STAT : 0510h) のビット 15 が 1)、ライトアクセスはブロックされます。

22.3.13.3 PHY レジスタ・アドレス・レジスタ (PHY_REG_ADR)

PHY レジスタのアドレスを設定します。

アドレス A00D 0513h



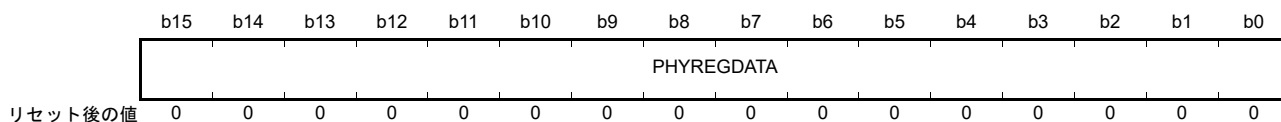
ビット	シンボル	ビット名	機能	PDI	ECAT
b4-b0	PHYREGADDR	PHYアドレス設定ビット	PHYレジスタのアドレス	R/(W)	R/(W)
b7-b5	—	予約ビット	読み出した場合は不定値が読めます。	R	R

ライトアクセスはマネージメント・インタフェースの割り当てに依存します (ECAT/PDI)。一般的に、マネージメント・インタフェースがビジーの場合 (MII マネージメント・コントロール/ステータス・レジスタ (MII_CONT_STAT : 0510h) のビット 15 が 1)、ライトアクセスはブロックされます。

22.3.13.4 PHY データ・レジスタ (PHY_DATA)

PHY レジスタに書き込むデータを設定します。あるいは PHY レジスタから読み込んだデータを示します。

アドレス A00D 0514h



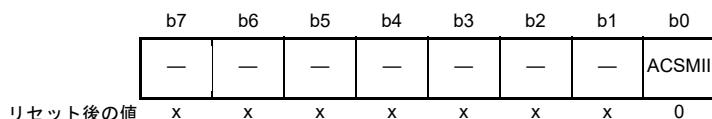
ビット	シンボル	ビット名	機能	PDI	ECAT
b15-b0	PHYREGDATA	PHYレジスタデータ表示/ 設定ビット	PHYレジスタのリード/ライトデータ	R/(W)	R/(W)

ライトアクセスはマネージメント・インタフェースの割り当てに依存します (ECAT/PDI)。一般的に、マネージメント・インタフェースがビジーの場合 (MII マネージメント・コントロール/ステータス・レジスタ (MII_CONT_STAT : 0510h) のビット 15 が 1)、ライトアクセスはブロックされます。

22.3.13.5 MII マネージメント ECAT アクセス・ステート・レジスタ (MII_ECAC_ACCESS_STATE)

MII マネージメント・インタフェースのアクセス権を設定します。

アドレス A00D 0516h



x : 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	ACSMII	MII マネージメントインタ フェースへのアクセス権 設定ビット	MII マネージメント・インタフェースへのアクセス権 0 : PDIによるMII マネージメント・インタフェースのアクセスを許可 1 : ECATによるMII マネージメント・インタフェースの排他的アクセス	R	R/(W)
b7-b1	—	予約ビット	読み出した場合は不定値が読めます。	R	R

ライトアクセスは MII マネージメント PDI アクセス・ステート・レジスタ (MII_PDI_ACCESS_STATE : 0517h) のビット 0 が 0 の場合のみ可能です。

22.3.13.6 MII マネージメント PDI アクセス・ステート・レジスタ (MII_PDI_ACS_STAT)

MII マネージメント・インタフェースのアクセス権を設定します。

アドレス A00D 0517h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	FORPDI	ACSMII
リセット後の値	x	x	x	x	x	x	0	0

x: 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	ACSMII	MII マネージメントインタフェースのアクセス権変更ビット	MII マネージメント・インタフェースへのアクセス権 0: ECATによるMII マネージメント・インタフェースのアクセス 1: PDIによるMII マネージメント・インタフェースへのアクセス	R/(W)	R
b1	FORPDI	PDIによるアクセス状態変更ビット	PDIによるアクセス状態の強制変更 (ビット0の強制変更) 0: 本レジスタのビット0を変更しない 1: 本レジスタのビット0を0にリセット (ECATにアクセス権を変更)	R	R/W
b7-b2	—	予約ビット	読み出した場合は不定値が読めます。	R	R

PDIからのビット0へのライトアクセスは、以下の2つの条件を満たす場合のみ可能です。

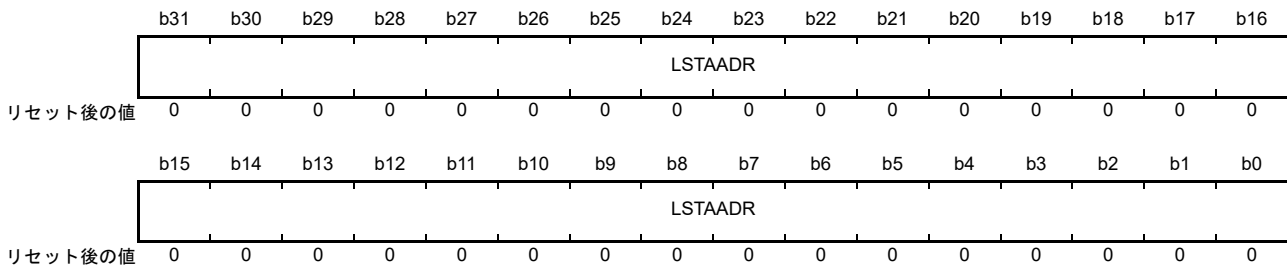
- MII マネージメントECATアクセス・ステート・レジスタ (MII_ECAT_ACS_STAT : 0516h) のビット0
- MII マネージメントPDIアクセス・ステート・レジスタ (MII_PDI_ACS_STAT : 0517h) のビット1が0

22.3.14 FMMU 設定レジスタ

22.3.14.1 FMMU ロジカル・スタート・アドレス・レジスタ m (FMMUm_L_START_ADR)

FMMU の対象となる EtherCAT アドレス空間の論理スタートアドレスを設定します。

アドレス
 A00D 0600h : FMMU0_L_START_ADR
 A00D 0610h : FMMU1_L_START_ADR
 A00D 0620h : FMMU2_L_START_ADR
 A00D 0630h : FMMU3_L_START_ADR
 A00D 0640h : FMMU4_L_START_ADR
 A00D 0650h : FMMU5_L_START_ADR
 A00D 0660h : FMMU6_L_START_ADR
 A00D 0670h : FMMU7_L_START_ADR



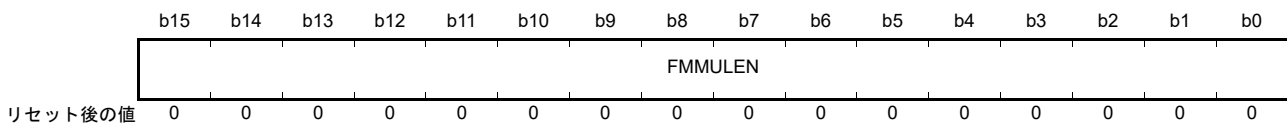
ビット	シンボル	ビット名	機能	PDI	ECAT
b31-b0	LSTAADR	論理スタートアドレス 設定ビット	EtherCAT アドレス空間における論理アドレスの始点を設定します。	R	R/W

m = 0-7

22.3.14.2 FMMU 長・レジスタ m (FMMUm_LEN)

FMMU の対象となるエリアのサイズをバイトで指定します。

アドレス
 A00D 0604h : FMMU0_LEN
 A00D 0614h : FMMU1_LEN
 A00D 0624h : FMMU2_LEN
 A00D 0634h : FMMU3_LEN
 A00D 0644h : FMMU4_LEN
 A00D 0654h : FMMU5_LEN
 A00D 0664h : FMMU6_LEN
 A00D 0674h : FMMU7_LEN



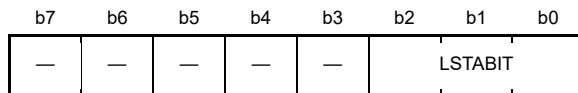
ビット	シンボル	ビット名	機能	PDI	ECAT
b15-b0	FMMULEN	エリアサイズ指定ビット	エリアのサイズをバイト単位で設定します。 FMMUで設定する論理アドレスの終点 - FMMUで設定する論理アドレスの始点 + 1	R	R/W

m = 0-7

22.3.14.3 FMMU ロジカル・スタート・ビット・レジスタ m (FMMUm_L_START_BIT)

FMMU の対象となる論理スタートアドレスにおけるスタートビットを設定します。

アドレス
 A00D 0606h : FMMU0_L_START_BIT
 A00D 0616h : FMMU1_L_START_BIT
 A00D 0626h : FMMU2_L_START_BIT
 A00D 0636h : FMMU3_L_START_BIT
 A00D 0646h : FMMU4_L_START_BIT
 A00D 0656h : FMMU5_L_START_BIT
 A00D 0666h : FMMU6_L_START_BIT
 A00D 0676h : FMMU7_L_START_BIT



リセット後の値 x x x x x 0 0 0

x : 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b2-b0	LSTABIT	スタートビット設定ビット	FMMUの対象となる論理スタートアドレスにおけるスタートビットを設定します。	R	R/W
b7-b3	—	予約ビット	読み出した場合は不定値が読めます。	R	R

m = 0-7

22.3.14.4 FMMU ロジカル・ストップ・ビット・レジスタ m (FMMUm_L_STOP_BIT)

FMMU の対象となる論理最終アドレスにおける最終ビットを設定します。

アドレス
 A00D 0607h : FMMU0_L_STOP_BIT
 A00D 0617h : FMMU1_L_STOP_BIT
 A00D 0627h : FMMU2_L_STOP_BIT
 A00D 0637h : FMMU3_L_STOP_BIT
 A00D 0647h : FMMU4_L_STOP_BIT
 A00D 0657h : FMMU5_L_STOP_BIT
 A00D 0667h : FMMU6_L_STOP_BIT
 A00D 0677h : FMMU7_L_STOP_BIT



リセット後の値 x x x x x 0 0 0

x : 不定

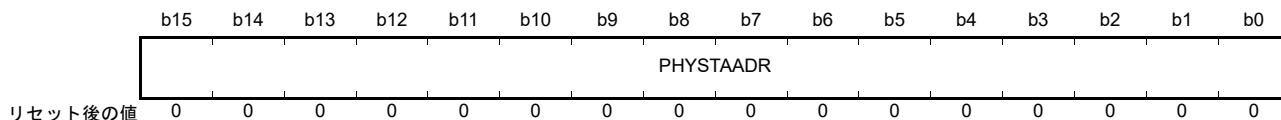
ビット	シンボル	ビット名	機能	PDI	ECAT
b2-b0	LSTPBIT	最終ビット設定ビット	FMMUの対象となる論理最終アドレスにおける最終ビットを設定します。	R	R/W
b7-b3	—	予約ビット	読み出した場合は不定値が読めます。	R	R

m = 0-7

22.3.14.5 FMMU フィジカル・スタート・アドレス・レジスタ m (FMMUm_P_START_ADR)

FMMU の論理スタートアドレスにマッピングされる ESC の物理スタートアドレスを設定します。

アドレス
 A00D 0608h : FMMU0_P_START_ADR
 A00D 0618h : FMMU1_P_START_ADR
 A00D 0628h : FMMU2_P_START_ADR
 A00D 0638h : FMMU3_P_START_ADR
 A00D 0648h : FMMU4_P_START_ADR
 A00D 0658h : FMMU5_P_START_ADR
 A00D 0668h : FMMU6_P_START_ADR
 A00D 0678h : FMMU7_P_START_ADR



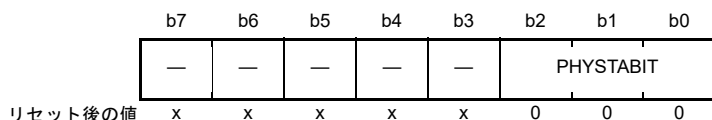
ビット	シンボル	ビット名	機能	PDI	ECAT
b15-b0	PHYSTAADR	物理スタートアドレス設定ビット	論理スタートアドレスにマッピングされる物理スタートアドレスを設定します。ベースアドレス (A00D 0000h) に対するオフセットで設定します。	R	R/W

m = 0-7

22.3.14.6 FMMU フィジカル・スタート・ビット・レジスタ m (FMMUm_P_START_BIT)

FMMU の論理スタートアドレスのスタートビットにマッピングされる ESC の物理スタートアドレスのスタートビットを設定します。

アドレス
 A00D 060Ah : FMMU0_P_START_BIT
 A00D 061Ah : FMMU1_P_START_BIT
 A00D 062Ah : FMMU2_P_START_BIT
 A00D 063Ah : FMMU3_P_START_BIT
 A00D 064Ah : FMMU4_P_START_BIT
 A00D 065Ah : FMMU5_P_START_BIT
 A00D 066Ah : FMMU6_P_START_BIT
 A00D 067Ah : FMMU7_P_START_BIT



x: 不定

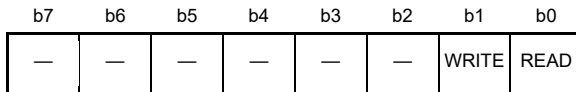
ビット	シンボル	ビット名	機能	PDI	ECAT
b2-b0	PHYSTABIT	物理スタートビット設定ビット	論理スタートアドレスのスタートビットにマッピングされる物理スタートアドレスのスタートビットを設定します。	R	R/W
b7-b3	—	予約ビット	読み出した場合は不定値が読めます。	R	R

m = 0-7

22.3.14.7 FMMU タイプ・レジスタ m (FMMUm_TYPE)

FMMU のアクセスタイプを設定します。

アドレス
 A00D 060Bh : FMMU0_TYPE
 A00D 061Bh : FMMU1_TYPE
 A00D 062Bh : FMMU2_TYPE
 A00D 063Bh : FMMU3_TYPE
 A00D 064Bh : FMMU4_TYPE
 A00D 065Bh : FMMU5_TYPE
 A00D 066Bh : FMMU6_TYPE
 A00D 067Bh : FMMU7_TYPE



リセット後の値 x x x x x x 0 0

x : 不定

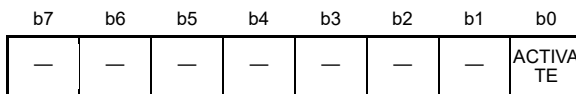
ビット	シンボル	ビット名	機能	PDI	ECAT
b0	READ	リードアクセスのマッピング設定ビット	リードアクセスに対するマッピングを設定します。 0 : 無効 1 : 有効	R	R/W
b1	WRITE	ライトアクセスのマッピング設定ビット	ライトアクセスに対するマッピングを設定します。 0 : 無効 1 : 有効	R	R/W
b7-b2	—	予約ビット	読み出した場合は不定値が読めます。	R	R

m = 0-7

22.3.14.8 FMMU アクティベート・レジスタ m (FMMUm_ACT)

FMMU の有効/無効を設定します。

アドレス
 A00D 060Ch : FMMU0_ACT
 A00D 061Ch : FMMU1_ACT
 A00D 062Ch : FMMU2_ACT
 A00D 063Ch : FMMU3_ACT
 A00D 064Ch : FMMU4_ACT
 A00D 065Ch : FMMU5_ACT
 A00D 066Ch : FMMU6_ACT
 A00D 067Ch : FMMU7_ACT



リセット後の値 x x x x x x x 0

x : 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	ACTIVATE	FMMUの有効/無効設定ビット	FMMUの有効/無効を設定します。 0 : 無効 1 : 有効	R	R/W
b7-b1	—	予約ビット	読み出した場合は不定値が読めます。	R	R

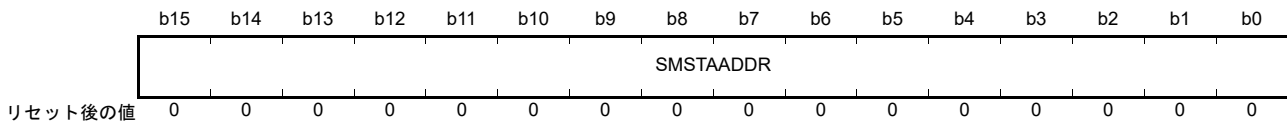
m = 0-7

22.3.15 SyncManager 設定レジスタ

22.3.15.1 SyncManager フィジカル・スタート・アドレス・レジスタ m (SMm_P_START_ADR)

SyncManager に割り当てるエリアの物理スタートアドレスを設定します。

アドレス
 A00D 0800h : SM0_P_START_ADR
 A00D 0808h : SM1_P_START_ADR
 A00D 0810h : SM2_P_START_ADR
 A00D 0818h : SM3_P_START_ADR
 A00D 0820h : SM4_P_START_ADR
 A00D 0828h : SM5_P_START_ADR
 A00D 0830h : SM6_P_START_ADR
 A00D 0838h : SM7_P_START_ADR



ビット	シンボル	ビット名	機能	PDI	ECAT
b15-b0	SMSTAADDR	物理スタートアドレス設定ビット	SyncManagerに割り当てるエリアの物理スタートアドレスを設定します。	R	R/(W)

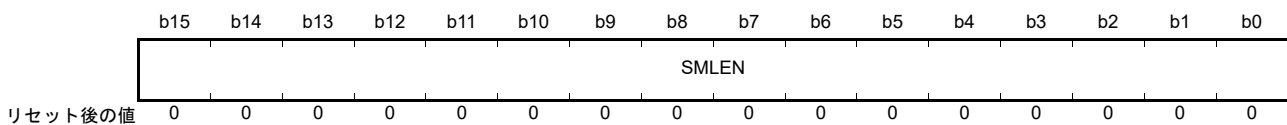
m = 0-7

SyncManager が無効の時 (SyncManager アクティブイト・レジスタ m (SMm_ACT : 0806h+8*m) のビット0が0) のみ、本レジスタにライトすることができます。

22.3.15.2 SyncManager 長・レジスタ m (SMm_LEN)

SyncManager に割り当てるエリアのサイズをバイトで設定します。

アドレス
 A00D 0802h : SM0_LEN
 A00D 080Ah : SM1_LEN
 A00D 0812h : SM2_LEN
 A00D 081Ah : SM3_LEN
 A00D 0822h : SM4_LEN
 A00D 082Ah : SM5_LEN
 A00D 0832h : SM6_LEN
 A00D 083Ah : SM7_LEN



ビット	シンボル	ビット名	機能	PDI	ECAT
b15-b0	SMLLEN	エリアサイズ設定ビット	SyncManagerに割り当てるバイト数を設定します。1より大きな値を設定してください。そうでなければ、SyncManagerは無効になりません。	R	R/(W)

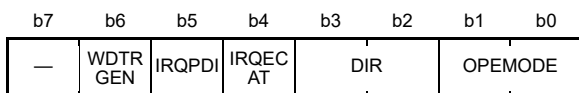
m = 0-7

SyncManager が無効の時 (SyncManager アクティブイト・レジスタ m (SMm_ACT : 0806h+8*m) のビット0が0) のみ、本レジスタにライトすることができます。

22.3.15.3 SyncManager コントロール・レジスタ m (SMm_CONTROL)

SyncManager の動作を設定します。

アドレス
 A00D 0804h : SM0_CONTROL
 A00D 080Ch : SM1_CONTROL
 A00D 0814h : SM2_CONTROL
 A00D 081Ch : SM3_CONTROL
 A00D 0824h : SM4_CONTROL
 A00D 082Ch : SM5_CONTROL
 A00D 0834h : SM6_CONTROL
 A00D 083Ch : SM7_CONTROL



リセット後の値 x 0 0 0 0 0 0 0

x : 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b1-b0	OPEMODE	動作モード設定ビット	動作モード 00 : バッファモード (3バッファモード) 10 : メールボックス・モード (シングルバッファモード) その他 : リザーブ	R	R/(W)
b3-b2	DIR	転送方向設定ビット	転送方向 00 : リード (ECAT : リードアクセス、PDI : ライトアクセス) 01 : ライト (ECAT : ライトアクセス、PDI : リードアクセス) その他 : リザーブ	R	R/(W)
b4	IRQECAT	ECATイベント割り込み設定ビット	ECATイベント・リクエスト・レジスタ (ECAT_EVENT_REQ : 0210h) による割り込み (ECAT割り込み) の設定 0 : 無効 1 : 有効	R	R/(W)
b5	IRQPDI	ALイベント割り込み設定ビット	ALイベント・リクエスト・レジスタ (AL_EVENT_REQ : 0220h) による割り込み (PDI割り込み) の設定 0 : 無効 1 : 有効	R	R/(W)
b6	WDTRGEN	ウォッチドッグトリガ設定ビット	ウォッチドッグトリガの設定 0 : 無効 1 : 有効	R	R/(W)
b7	—	予約ビット	読み出した場合は不定値が読めます。	R	R

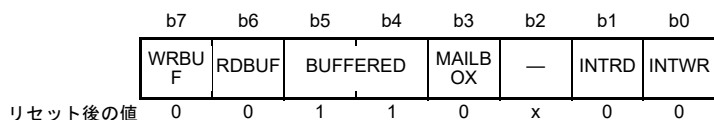
m = 0-7

SyncManager が無効の時 (SyncManager アクティベート・レジスタ m (SMm_ACT : 0806h+8*m) のビット0が0) のみ、本レジスタにライトすることができます。

22.3.15.4 SyncManager ステータス・レジスタ m (SMm_STATUS)

SyncManager の状態を示します。

アドレス A00D 0805h : SM0_STATUS
 A00D 080Dh : SM1_STATUS
 A00D 0815h : SM2_STATUS
 A00D 081Dh : SM3_STATUS
 A00D 0825h : SM4_STATUS
 A00D 082Dh : SM5_STATUS
 A00D 0835h : SM6_STATUS
 A00D 083Dh : SM7_STATUS



x : 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	INTWR	ライト完了割り込み状態表示ビット	ライト完了割り込みを示します。 0 : バッファの先頭バイトがリードされたことを示します (割り込みはクリアされます)。 1 : バッファのライトがエラー無く完了したことを示します。	R	R
b1	INTRD	リード完了割り込み状態表示ビット	リード完了割り込みを示します。 0 : バッファの先頭バイトがライトされたことを示します (割り込みはクリアされます)。 1 : バッファのリードがエラー無く完了したことを示します。	R	R
b2	—	予約ビット	読み出した場合は不定値が読めます。	R	R
b3	MAILBOX	メールボックス状態表示ビット	メールボックス・モードにおけるメールボックスの状態を示します。 0 : メールボックス空 1 : メールボックスフル バッファモード時は未使用	R	R
b5-b4	BUFFERED	バッファ状態表示ビット	バッファモードにおけるバッファの状態を示します (最後にライトしたバッファを示します) 00 : 1番目のバッファ 01 : 2番目のバッファ 10 : 3番目のバッファ 11 : バッファはライトされていません。 メールボックス・モード時は未使用	R	R
b6	RDBUF	リード状態表示ビット	バッファがリード中であることを示します。	R	R
b7	WRBUF	ライト状態表示ビット	バッファがライト中であることを示します。	R	R

m = 0-7

22.3.15.5 SyncManager アクティベート・レジスタ m (SMm_ACT)

SyncManager の動作を設定します。

アドレス A00D 0806h : SM0_ACT
 A00D 080Eh : SM1_ACT
 A00D 0816h : SM2_ACT
 A00D 081Eh : SM3_ACT
 A00D 0826h : SM4_ACT
 A00D 082Eh : SM5_ACT
 A00D 0836h : SM6_ACT
 A00D 083Eh : SM7_ACT

b7	b6	b5	b4	b3	b2	b1	b0
LATCH PDI	LATCH ECAT	—	—	—	—	REPEATREQ	SMEN

リセット後の値

0 0 x x x x 0 0

x : 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	SMEN	SyncManager有効/無効設定ビット	SyncManagerの有効/無効設定 0 : 無効。SyncManagerのコントロールなしでメモリへアクセスします。 1 : 有効。SyncManagerは有効となり、コンフィギュレーションで設定されたメモリ領域をコントロールします。	R(ack)	R/W
b1	REPEATREQ	リピートリクエストビット	リピートリクエスト リピートリクエストのトグルは、メールボックス再試行が必要であることを意味します (主にECATリードメールボックスと組み合わせて使用)。	R(ack)	R/W
b5-b2	—	予約ビット	読み出した場合は不定値が読めます。	R(ack)	R
b6	LATCHECAT	ECATのラッチイベント指定ビット	ECATにおけるラッチイベント 0 : なし 1 : EtherCATマスターがバッファの交換を行うと、ラッチイベントを生成します。	R(ack)	R/W
b7	LATCHPDI	PDIのラッチイベント指定ビット	PDIにおけるラッチイベント 0 : なし 1 : PDIがバッファの交換を行うか、バッファのスタートアドレスをアクセスすることで、ラッチイベントを生成します。	R(ack)	R/W

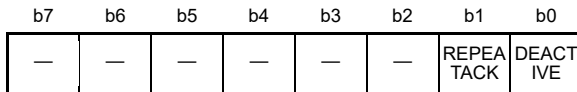
m = 0-7

アクティベーションを変更したすべての SyncManager で PDI から本レジスタをリードすると、AL イベント・リクエスト・レジスタ (AL_EVENT_REQ : 0220h) のビット 4 はクリアされます。

22.3.15.6 SyncManager PDI コントロール・レジスタ m (SMm_PDI_CONT)

PDI から SyncManager の動作を設定します。

アドレス A00D 0807h : SM0_PDI_CONT
 A00D 080Fh : SM1_PDI_CONT
 A00D 0817h : SM2_PDI_CONT
 A00D 081Fh : SM3_PDI_CONT
 A00D 0827h : SM4_PDI_CONT
 A00D 082Fh : SM5_PDI_CONT
 A00D 0837h : SM6_PDI_CONT
 A00D 083Fh : SM7_PDI_CONT



リセット後の値

x x x x x x 0 0

x : 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	DEACTIVE	SyncManager 動作表示 / 設定ビット	SyncManager を非アクティブにします: リード: 0 : 通常動作。SyncManager は有効です。 1 : SyncManager は無効になり、リセットされています。 SyncManager はメモリ領域へのアクセスをロックします。 ライト: 0 : SyncManager を有効にします。 1 : SyncManager の無効にします。 注. 1 をライトする場合、現在処理されているフレームが通過した後に行われます。	R/W	R
b1	REPEATACK	リピートアクリッジビット	リピートアクリッジ 本ビットが SyncManager アクティベート・レジスタ (SMm_ACT : 0806h+8*m) のビット1 (リピートリクエスト) と同じ値が設定されている場合、PDI はリピートリクエストをアクリッジします。	R/W	R
b7-b2	—	予約ビット	読み出した場合は不定値が読めます。	R	R

m = 0-7

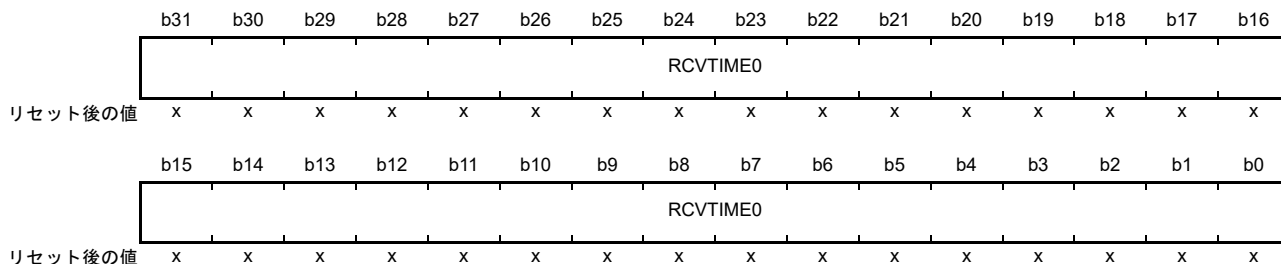
22.3.16 分散クロック設定レジスタ

22.3.16.1 DC レシーブ・タイム設定レジスタ

(1) レシーブ・タイム・ポート 0 レジスタ (DC_RCV_TIME_PORT0)

本レジスタへのライトにより、すべてのポートでフレームの受信時刻をラッチします。本レジスタをリードすると、ポート 0 でラッチされたフレームの受信時刻を示します。

アドレス A00D 0900h



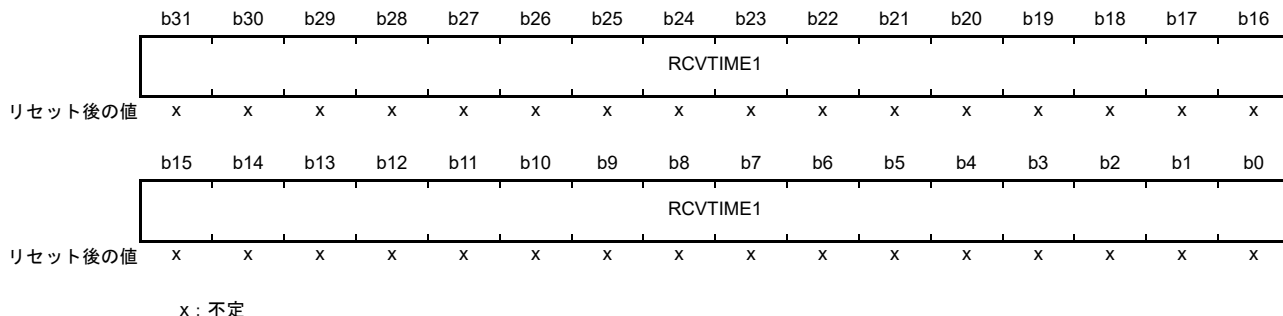
x: 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b31-b0	RCVTIME0	受信時刻表示／ラッチビット	ライト： 本レジスタへBWR、APWR（任意のアドレス）、FPWR（指定アドレス）コマンドでライトすると、各ポートでフレームの受信を開始したとき（プリアンブルの最初のスタートビット）のローカル時刻をラッチします。 リード： 本レジスタへのライトアクセスを含む直近のフレームの受信を開始したときのローカル時刻を示します。 注. 本レジスタへのライト命令が含まれたフレームと同じフレームでタイムスタンプをリードすることはできません。	R	R/W

(2) レシーブ・タイム・ポート1レジスタ (DC_RCV_TIME_PORT1)

ポート1でラッチされたフレームの受信時刻を示します。

アドレス A00D 0904h



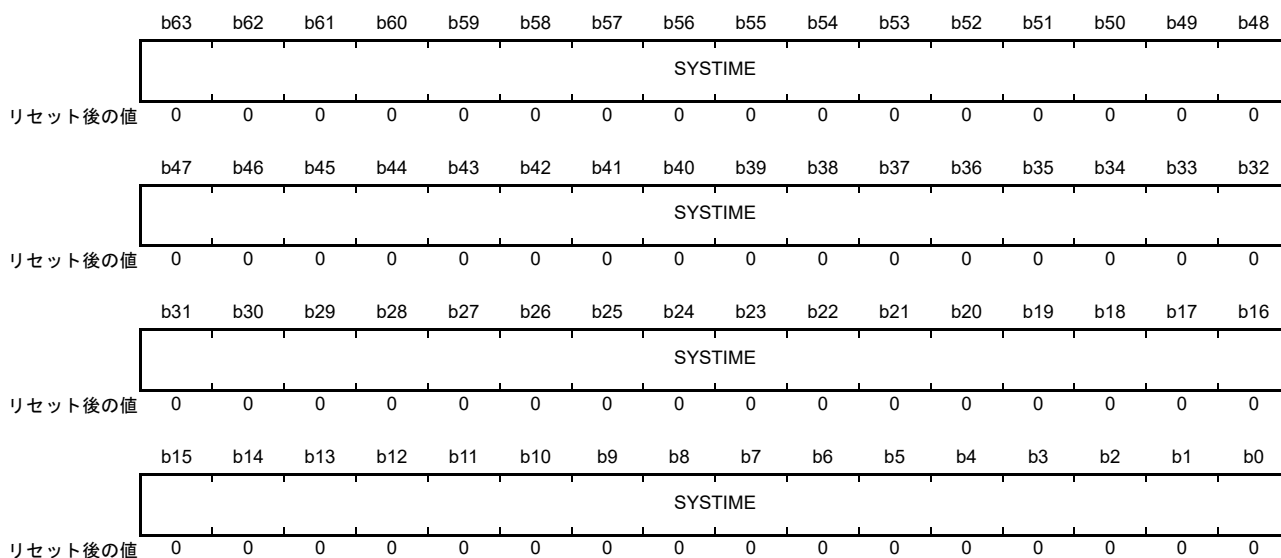
ビット	シンボル	ビット名	機能	PDI	ECAT
b31-b0	RCVTIME1	受信時刻表示ビット	レシーブ・タイム・ポート0レジスタ (DC_RCV_TIME_PORT0 : 0900h) へのBWR, APWR, FPWRコマンドを含むフレームがポート1で受信を開始したとき (プリアンプルの最初のスタートビット) のローカル時刻を示します。	R	R

22.3.16.2 タイム・ループ・コントロール・ユニット設定レジスタ

(1) システム・タイム・レジスタ (DC_SYS_TIME)

システム時刻のローカルコピーを示します。

アドレス A00D 0910h

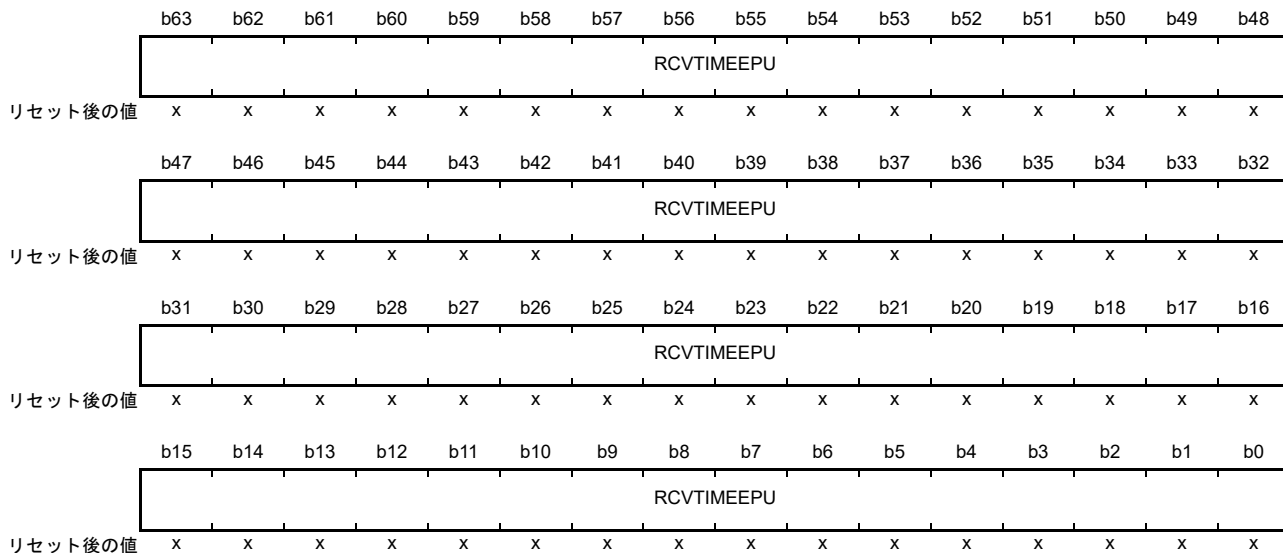


ビット	シンボル	ビット名	機能	PDI	ECAT
b63-b0	SYSTIME	システム時刻表示ビット	ECATからのアクセス リード： フレームがリファレンス・クロックを通過したときのシステム時刻のローカルコピーを示します。伝搬遅延も考慮されています。フレームの始まり (SOF) でラッチされた時刻を示します。 ライト： ライトされた値は、システム時刻のローカルコピーと比較され、その結果がタイム・コントロール・ループ・ユニットに入力されます。	R	R/W
			PDIからのアクセス リード： システム時刻のローカルコピーを示します。本レジスタの最初のバイトを読んだ時にラッチされた時刻を示します。	R	R

(2) レシーブ・タイム ECAT プロセッシング・ユニット・レジスタ (DC_RCV_TIME_UNIT)

EtherCAT プロセッシング・ユニットでラッチされたフレームの受信時刻を示します。

アドレス A00D 0918h



x : 不定

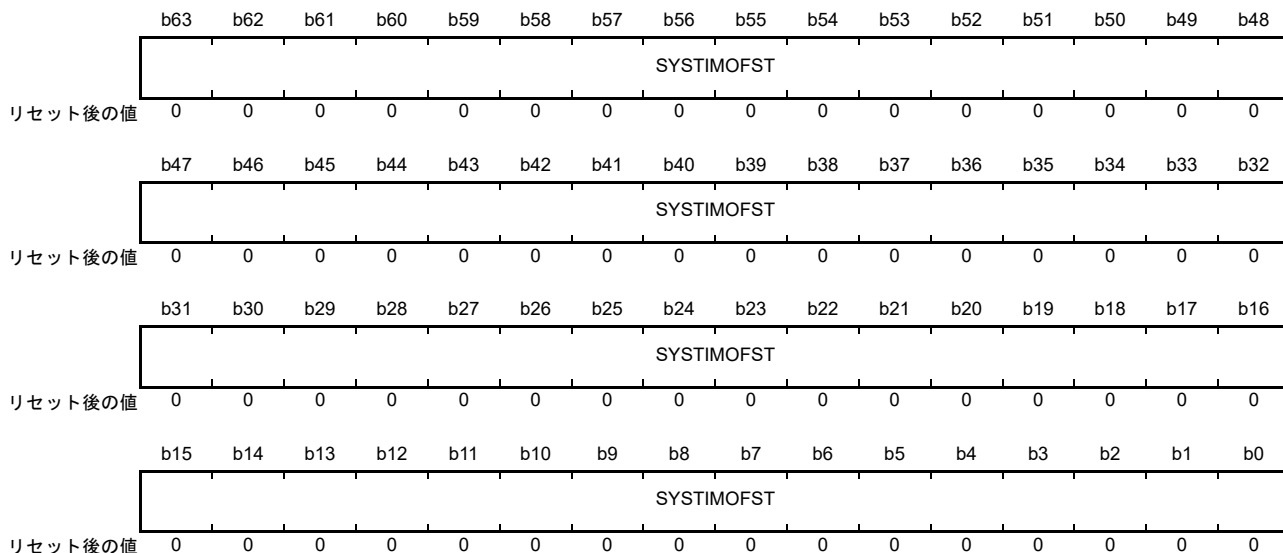
ビット	シンボル	ビット名	機能	PDI	ECAT
b63-b0	RCVTIMEEPU	受信時刻表示ビット	レシーブ・タイム・ポート0レジスタ (DC_RCV_TIME_PORT0 : 0900h) へのライトアクセスを含むフレームがEtherCATプロセッシング・ユニットで受信を開始したとき (プリアンプルの最初のスタートビット) のローカル時刻を示します。	R	R

ポート0がオープンであれば、本レジスタはレシーブ・タイム・ポート0レジスタ (DC_RCV_TIME_PORT0 : 0900h) を64ビットで表したものになります。

(3) システム・タイム・オフセット・レジスタ (DC_SYS_TIME_OFFSET)

システム時刻とローカル時刻の間の時刻の差分（オフセット）を示します。

アドレス A00D 0920h

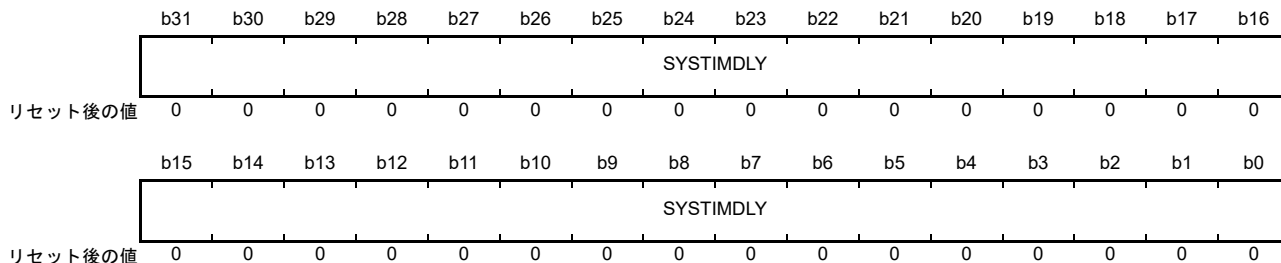


ビット	シンボル	ビット名	機能	PDI	ECAT
b63-b0	SYSTIMOFST	システム時刻-ローカル時刻差分表示ビット	システム時刻とローカル時刻の間の時刻の差分を示します。この値がローカルタイムに加算されてローカルでのシステム時刻となります。	R	RW

(4) システム・タイム・ディレイ・レジスタ (DC_SYS_TIME_DELAY)

リファレンスクロックとスレーブ (ESC) 間の伝搬遅延を示します。

アドレス A00D 0928h

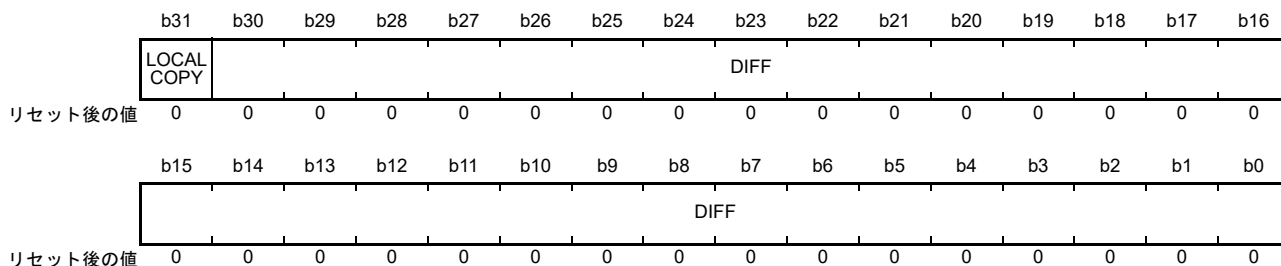


ビット	シンボル	ビット名	機能	PDI	ECAT
b31-b0	SYSTIMDLY	伝搬遅延表示ビット	リファレンスクロックとESCの間の伝搬遅延を示します。	R	R/W

(5) システム・タイム・ディフ・レジスタ (DC_SYS_TIME_DIFF)

システム時刻のローカルコピーと受信したシステム時刻の間の差分の平均を示します。

アドレス A00D 092Ch

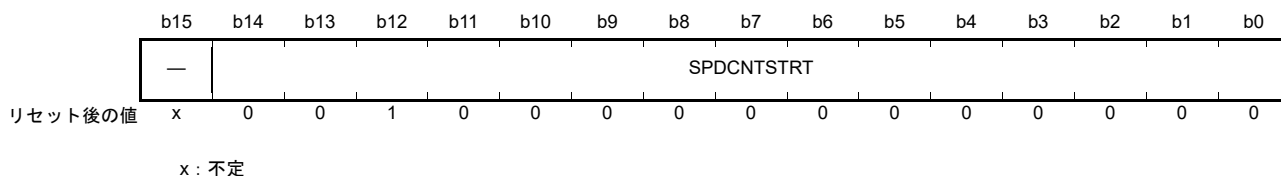


ビット	シンボル	ビット名	機能	PDI	ECAT
b31	LOCALCOPY	システム時刻の大小関係表示ビット	システム時刻のローカルコピーと受信したシステムコピーの値の大小関係を示します。 0: システム時刻のローカルコピー ≥ 受信したシステム時刻 1: システム時刻のローカルコピー < 受信したシステム時刻	R	R
b30-b0	DIFF	システム時刻の平均値表示ビット	システム時刻のローカルコピーと受信したシステム時刻の間の差分への平均値を示します。	R	R

(6) スピード・カウンタ・スタート・レジスタ (DC_SPEED_COUNT_START)

システム時刻のローカルコピーのドリフト補正のバンド幅を設定します。

アドレス A00D 0930h

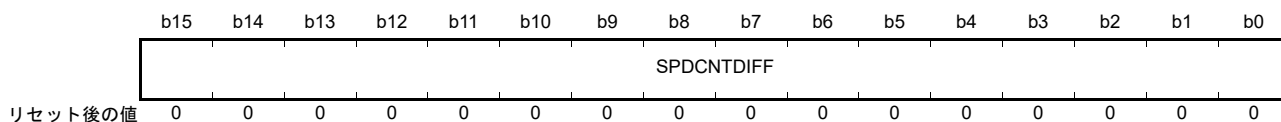


ビット	シンボル	ビット名	機能	PDI	ECAT
b14-b0	SPDCNTSTRT	ドリフト補正バンド幅設定ビット	システム時刻のローカルコピーを調整するために使用されるバンド幅を設定します。(大きな値を設定すると、バンド幅は小さくなり、スムーズに調整ができます。) ライトアクセスにより、システムタイム・ディフ・レジスタ (DC_SYS_TIME_DIFF : 092Ch) とスピード・カウンタ・ディフ・レジスタ (DC_SPEED_COUNT_DIFF : 0932h) がリセットされます。有効な値の範囲は0080h~3FFFhです。	R	R/W
b15	—	予約ビット	読み出した場合は不定値が読めます。書く場合、“0”としてください。	R	R/W

(7) スピード・カウンタ・ディフ・レジスタ (DC_SPEED_COUNT_DIFF)

ローカルクロックの周期とリファレンスクロックのクロック周期の偏差を示します。

アドレス A00D 0932h

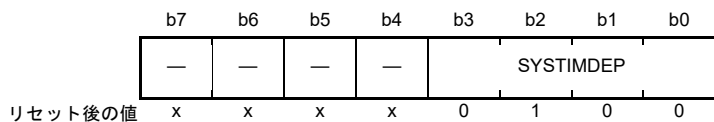


ビット	シンボル	ビット名	機能	PDI	ECAT
b15-b0	SPDCNTDIFF	クロック周期の偏差表示ビット	ローカルクロックの周期とリファレンスクロックのクロック周期の偏差を示します。2の補数で表されます。範囲: ± (スピード・カウンタ・スタートの値 - 7Fh)	R	R

(8) システム・タイム・ディフ・フィルタ深さレジスタ (DC_SYS_TIME_DIFF_FIL_DEPTH)

受信したシステム・タイムの偏差を平均化するためのフィルタの深さを設定します。

アドレス A00D 0934h



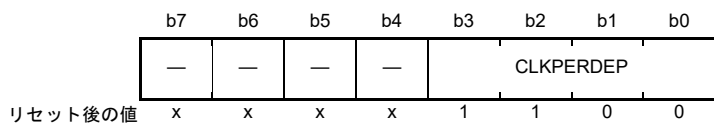
x : 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b3-b0	SYSTMDEP	フィルタ深さ設定ビット	受信したシステム・タイムの偏差を平均化するためのフィルタの深さを設定します。 ライトアクセスにより、システムタイム・ディフ・レジスタ (DC_SYS_TIME_DIFF : 092Ch) がリセットされます。	R	R/W
b7-b4	—	予約ビット	読み出した場合は不定値が読めます。書く場合、“0”としてください。	R	R/W

(9) スピード・カウンタ・フィルタ深さレジスタ (DC_SPEED_COUNT_FIL_DEPTH)

クロック周期の偏差を平均化するためのフィルタの深さを設定します。

アドレス A00D 0935h



x : 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b3-b0	CLKPERDEP	フィルタ深さ設定ビット	クロック周期の偏差を平均化するためのフィルタの深さを設定します。 ライトアクセスにより、内部スピード・カウンタ・フィルタがリセットされます。	R	R/W
b7-b4	—	予約ビット	読み出した場合は不定値が読めます。書く場合、“0”としてください。	R	R/W

22.3.16.3 サイクリック・ユニット・コントロール設定レジスタ

(1) サイクリック・ユニット・コントロール・レジスタ (DC_CYC_CONT)

SYNC、ラッチユニットをECAT/PDIのどちらでコントロールするかを設定します。

アドレス A00D 0980h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	LATCH 1	LATCH 0	—	—	—	SYNCO UT
リセット後の値	x	x	0	0	x	x	x	0

x: 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	SYNCO UT	SYNC出カユニットの コントロール設定ビット	SYNC出カユニットのコントロールを設定します。 0: ECATコントロール 1: PDIコントロール	R	R/W
b3-b1	—	予約ビット	読み出した場合は不定値が読めます。	R	R
b4	LATCH0	ラッチ入カユニット0の コントロール設定ビット	ラッチ入カユニット0のコントロールを設定します。 0: ECATコントロール 1: PDIコントロール 注. ラッチ割り込みは、この設定に応じてECAT/ PDIに伝えられます。	R	R/W
b5	LATCH1	ラッチ入カユニット1の コントロール設定ビット	ラッチ入カユニット1のコントロールを設定します。 0: ECATコントロール 1: PDIコントロール 注. ラッチ割り込みは、この設定に応じてECAT/ PDIに伝えられます。	R	R/W
b7-b6	—	予約ビット	読み出した場合は不定値が読めます。	R	R

22.3.16.4 SYNC 出力ユニット設定レジスタ

(1) アクティベーション・レジスタ (DC_ACT)

SYNC 出力の有効/無効の設定を行います。

アドレス A00D 0981h

	b7	b6	b5	b4	b3	b2	b1	b0
	DBGPU LSE	NEARF UTURE	START TIME	EXTSTA RTTIME	AUTOA CT	SYNC1	SYNC0	SYNCA CT
リセット後の値	0	0	0	0	0	0	0	0

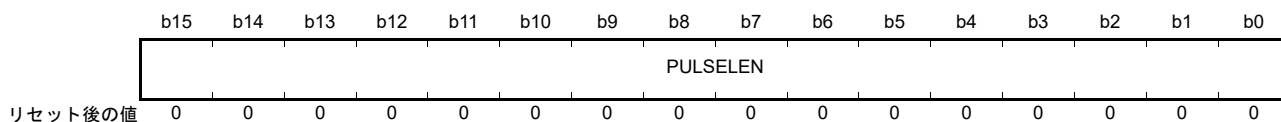
ビット	シンボル	ビット名	機能	PDI	ECAT
b0	SYNCACT	Sync出力ユニット有効/ 無効設定ビット	Sync出力ユニットの有効/無効を設定します。 0: 無効 1: 有効 注. スタートタイムをライトした後に1をライトし てください。	R/(W)	R/(W)
b1	SYNC0	SYNC0出力設定ビット	SYNC0出力の使用を設定します。 0: 未使用 1: SYNC0パルス出力を生成します。	R/(W)	R/(W)
b2	SYNC1	SYNC1出力設定ビット	SYNC1出力の使用を設定します。 0: 未使用 1: SYNC1パルス出力を生成します。	R/(W)	R/(W)
b3	AUTOACT	SYNC出力ユニット有効/ 無効設定ビット	スタート・タイム・サイクリック・オペレーション・レ ジスタ (DC_CYC_START_TIME : 0990h) にライトする ことで自動的にSYNC出力ユニットを有効にするかどう かを設定します。 0: 無効 1: 有効。スタートタイムをライトした後に自動的に本レ ジスタのビット0に1が設定されます。	R/(W)	R/(W)
b4	EXTSTARTTIME	スタートタイムサイクリッ クオペレーション 拡張設定ビット	スタート・タイム・サイクリック・オペレーションを拡 張させます。 0: 拡張なし 1: 32 bitでライトされたスタートタイムを64 bitに拡張し ます。	R/(W)	R/(W)
b5	STARTTIME	スタートタイムの妥当性 チェックビット	スタートタイムの妥当性をチェックします。 0: 無効。スタートタイムに到達した場合、Sync信号を 生成します。 1: スタートタイムがニア・フューチャーの範囲外の場 合、すぐにSync信号を生成します。	R/(W)	R/(W)
b6	NEARFUTURE	ニアフューチャー範囲 設定ビット	ニア・フューチャーの範囲を設定します。 0: 2 ⁶³ nsの範囲 (DCのビット幅の半分) 1: 2 ³¹ nsの範囲 (約2.1秒)	R/(W)	R/(W)
b7	DBGPULSE	デバッグパルス設定 ビット	SYNC信号デバッグパルスを発生します。 0: 無効 1: 本レジスタのビット2と1の設定に応じて、即時に SYNC0とSYNC1端子にシングルデバッグピングを生 成します。 このビットはセルフクリアで、リードは常に0です。	R/(W)	R/(W)

本レジスタへのライトは、サイクリック・ユニット・コントロール・レジスタ (DC_CYC_CONT : 0980h) のビット0の設
定により決まります。

(2) SYNC 信号パルス長レジスタ (DC_PULSE_LEN)

SYNC 信号のパルス長を示します。

アドレス A00D 0982h

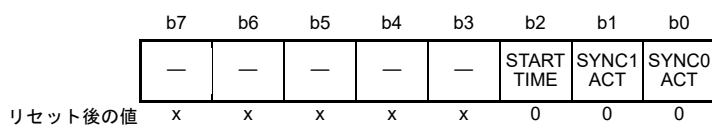


ビット	シンボル	ビット名	機能	PDI	ECAT
b15-b0	PULSELEN	SYNC 信号のパルス長表示ビット	SYNC 信号のパルス長を示します (10ns 単位)。0 はアクリッジ・モードです。アクリッジ・モードでは SYNC0 / SYNC1 ステータス・レジスタ (DC_SYNC0 / 1_STAT : 098Eh:098Fh) をリードすることで SYNC 信号はクリアされます。	R	R

(3) アクティベーション・ステータス・レジスタ (DC_ACT_STAT)

SYNC 出力のアクティベーションの状態を示します。

アドレス A00D 0984h



x : 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	SYNC0ACT	SYNC0 の状態表示ビット	SYNC0 のアクティベーションの状態を示します。0 : 最初の SYNC0 パルスはベンディングしていない。1 : 最初の SYNC0 パルスはベンディングしている。	R	R
b1	SYNC1ACT	SYNC1 の状態表示ビット	SYNC1 のアクティベーションの状態を示します。0 : 最初の SYNC1 パルスはベンディングしていない。1 : 最初の SYNC1 パルスはベンディングしている。	R	R
b2	STARTTIME	妥当性結果表示ビット	SYNC 出力ユニットが有効の時、スタートタイム・サイクリック・オペレーション・レジスタ (DC_CYC_START_TIME : 0990h) の妥当性チェックの結果を示します。0 : スタートタイムはニア・フューチャーの範囲内。1 : スタートタイムはニア・フューチャーの範囲外。	R	R
b7-b3	—	予約ビット	読み出した場合は不定値が読めます。	R	R

(4) SYNC0 ステータス・レジスタ (DC_SYNC0_STAT)

SYNC0 出力のステータスを示します。アクノリッジ・モードで使用されます。

アドレス A00D 098Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SYNC0 STA
リセット後の値	x	x	x	x	x	x	x	0

x: 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	SYNC0STA	SYNC0状態表示ビット	アクノリッジ・モード用のSYNC0の状態を示します。アクノリッジ・モードでPDIから本レジスタをリードすることにより、SYNC0はクリアされます。アクノリッジ・モードでのみ使用します。	R(ack)	R
b7-b1	—	予約ビット	読み出した場合は不定値が読めます。	R	R

(5) SYNC1 ステータス・レジスタ (DC_SYNC1_STAT)

SYNC1 出力のステータスを示します。アクノリッジ・モードで使用されます。

アドレス A00D 098Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SYNC1 STA
リセット後の値	x	x	x	x	x	x	x	0

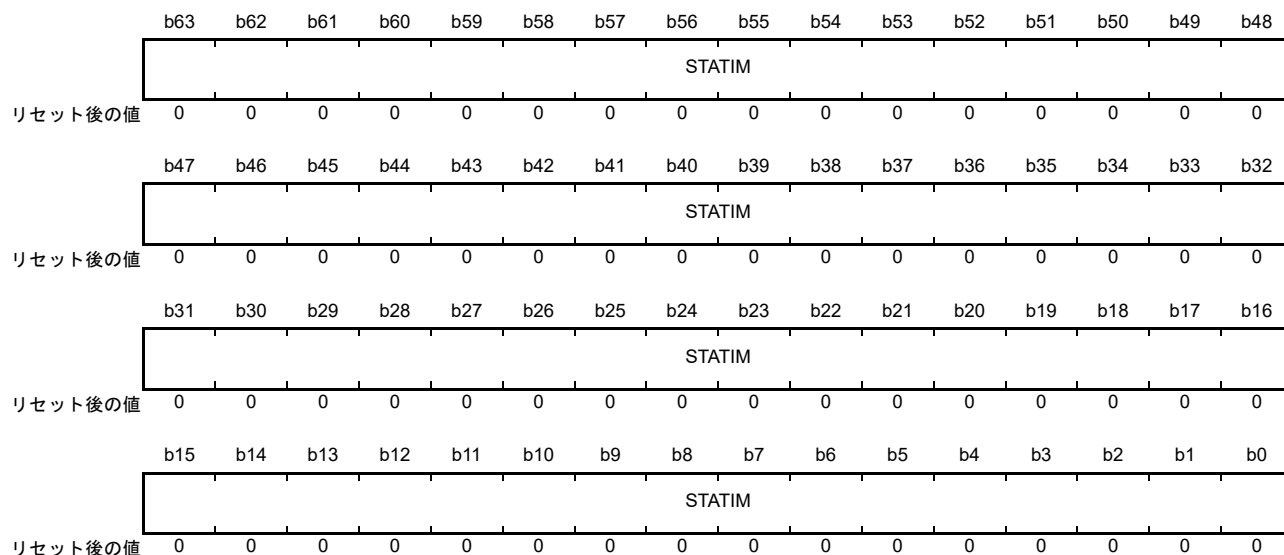
x: 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	SYNC1STA	SYNC1状態表示ビット	アクノリッジ・モード用のSYNC1の状態を示します。アクノリッジ・モードでPDIから本レジスタをリードすることにより、SYNC1はクリアされます。アクノリッジ・モードでのみ使用します。	R(ack)	R
b7-b1	—	予約ビット	読み出した場合は不定値が読めます。	R	R

(6) スタート・タイム・サイクリック・オペレーション/ネクスト SYNC0 パルス・レジスタ (DC_CYC_START_TIME)

ライトでサイクル動作のスタート時刻を設定します。リードで次の SYNC0 パルスのシステム時刻を示します。

アドレス A00D 0990h



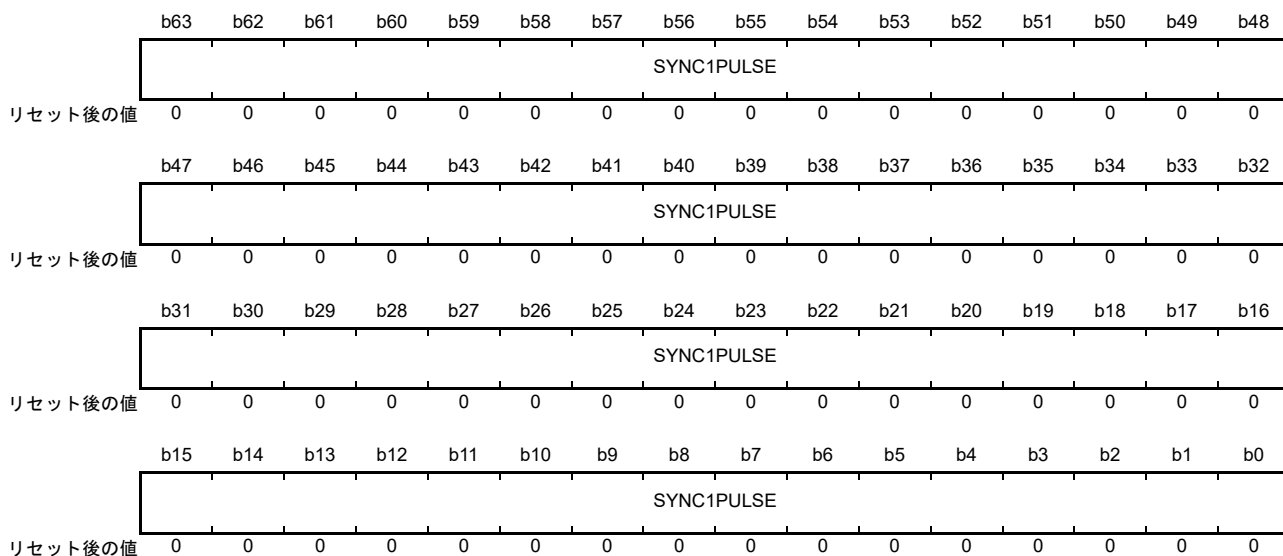
ビット	シンボル	ビット名	機能	PDI	ECAT
b63-b0	STATIM	スタート時刻設定／システム時刻表示ビット	ライト： サイクリック動作のスタートタイム（システム時刻において）をnsの単位で設定します。 リード： 次のSYNC0パルスのシステム時刻をnsの単位で示します。	R/(W)	R/(W)

本レジスタへのライトは、サイクリック・ユニット・コントロール・レジスタ (DC_CYC_CONT : 0980h) のビット0の設定により決まります。SYNC アクティベーション・レジスタ (DC_ACT : 0981h) のビット0が0の場合のみライト可能です。オートアクティベーションが有効である場合、一つのフレーム内に下位 32 ビットのみのライトされていれば、上位 32 ビットも自動的に拡張されます。

(7) ネクスト SYNC1 パルス・レジスタ (DC_NEXT_SYNC1_PULSE)

次の SYNC1 パルスのシステム時刻を示します。

アドレス A00D 0998h

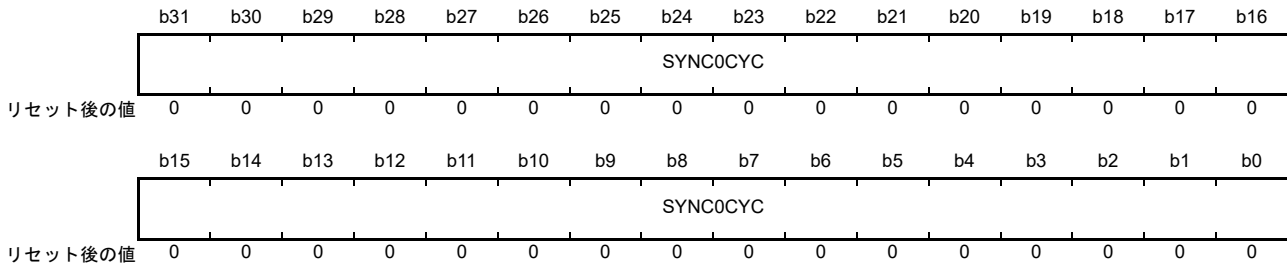


ビット	シンボル	ビット名	機能	PDI	ECAT
b63-b0	SYNC1PULSE	SYNC1パルスのシステム時刻表示ビット	次のSYNC1パルスのシステム時刻をnsの単位で示します。	R	R

(8) SYNC0 サイクル・タイム・レジスタ (DC_SYNC0_CYC_TIME)

連続する SYNC0 パルス間の時間を設定します。

アドレス A00D 09A0h



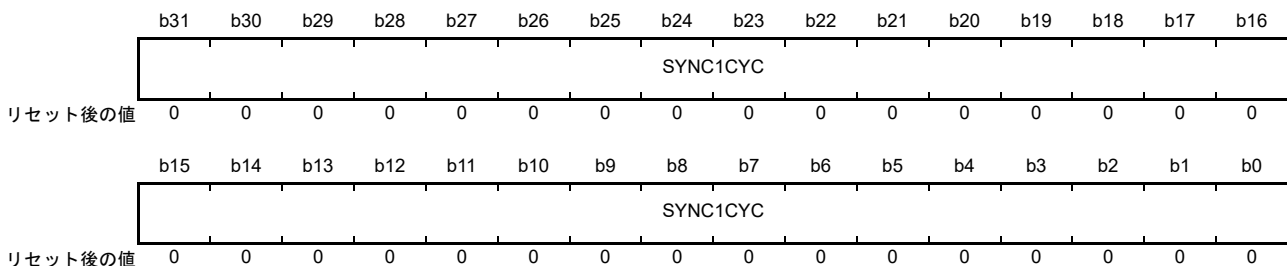
ビット	シンボル	ビット名	機能	PDI	ECAT
b31-b0	SYNC0CYC	連続する SYNC0パルス間の時間設定ビット	2つの連続する SYNC0パルス間の時間を ns 単位で設定します。 0の場合はシングルショットモードです。シングルショットモードでは SYNC0パルスを1度だけ生成します。	R/(W)	R/(W)

本レジスタへのライトは、サイクリック・ユニット・コントロール・レジスタ (DC_CYC_CONT : 0980h) のビット 0 の設定により決まります。

(9) SYNC1 サイクル・タイム・レジスタ (DC_SYNC1_CYC_TIME)

SYNC1 パルスと SYNC0 パルス間の時間を設定します。

アドレス A00D 09A4h



ビット	シンボル	ビット名	機能	PDI	ECAT
b31-b0	SYNC1CYC	SYNC1パルスと SYNC0パルス間の時間設定ビット	SYNC1パルスと SYNC0パルス間の時間を ns 単位で設定します。	R/(W)	R/(W)

本レジスタへのライトは、サイクリック・ユニット・コントロール・レジスタ (DC_CYC_CONT : 0980h) のビット 0 の設定により決まります。

22.3.16.5 Latch 入力ユニット設定レジスタ

(1) ラッチ0コントロール・レジスタ (DC_LATCH0_CONT)

ラッチ0入力のエッジの機能を設定します。

アドレス A00D 09A8h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	NEGED GE	POSED GE
リセット後の値	x	x	x	x	x	x	0	0

x: 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	POSEDGE	ラッチ0ポジティブエッジの機能設定ビット	ラッチ0のポジティブエッジの機能を設定します。 0: 連続ラッチアクティブ 1: シングルイベント (最初のイベントのみアクティブ)	R/(W)	R/(W)
b1	NEGEDGE	ラッチ0ネガティブエッジの機能設定ビット	ラッチ0のネガティブエッジの機能を設定します。 0: 連続ラッチアクティブ 1: シングルイベント (最初のイベントのみアクティブ)	R/(W)	R/(W)
b7-b2	—	予約ビット	読み出した場合は不定値が読めます。	R/(W)	R

本レジスタへのライトは、サイクリック・ユニット・コントロール・レジスタ (DC_CYC_CONT : 0980h) のビット4の設定により決まります。

(2) ラッチ1コントロール・レジスタ (DC_LATCH1_CONT)

ラッチ1入力のエッジの機能を設定します。

アドレス A00D 09A9h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	NEGED GE	POSED GE
リセット後の値	x	x	x	x	x	x	0	0

x: 不定

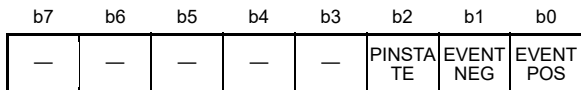
ビット	シンボル	ビット名	機能	PDI	ECAT
b0	POSEDGE	ラッチ1ポジティブエッジの機能設定ビット	ラッチ1のポジティブエッジの機能を設定します。 0: 連続ラッチアクティブ 1: シングルイベント (最初のイベントのみアクティブ)	R/(W)	R/(W)
b1	NEGEDGE	ラッチ1ネガティブエッジの機能設定ビット	ラッチ1のネガティブエッジの機能を設定します。 0: 連続ラッチアクティブ 1: シングルイベント (最初のイベントのみアクティブ)	R/(W)	R/(W)
b7-b2	—	予約ビット	読み出した場合は不定値が読めます。	R/(W)	R

本レジスタへのライトは、サイクリック・ユニット・コントロール・レジスタ (DC_CYC_CONT : 0980h) のビット5の設定により決まります。

(3) ラッチ0ステータス・レジスタ (DC_LATCH0_STAT)

ラッチ0入力の状態を示します。

アドレス A00D 09AEh



リセット後の値 x x x x x 0 0 0

x: 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	EVENTPOS	ラッチ0ポジティブエッジのイベント表示ビット	ラッチ0入力のポジティブエッジのイベントを示します。 0: ポジティブエッジが検出されない、あるいは連続モード。 1: ポジティブエッジはシングルイベントモードのみ検出。 ラッチ0タイム・ポジティブ・エッジ・レジスタ (DC_LATCH0_TIME_POS: 09B0h) をリードすることでフラグはクリアされます。	R	R
b1	EVENTNEG	ラッチ0ネガティブエッジのイベント表示ビット	ラッチ0入力のネガティブエッジのイベントを示します。 0: ネガティブエッジが検出されない、あるいは連続モード。 1: ネガティブエッジはシングルイベントモードのみ検出。 ラッチ0タイム・ネガティブ・エッジ・レジスタ (DC_LATCH0_TIME_NEG: 09B8h) をリードすることでフラグはクリアされます。	R	R
b2	PINSTATE	ラッチ0入力端子状態表示ビット	ラッチ0入力端子の状態を示します。	R	R
b7-b3	—	予約ビット	読み出した場合は不定値が読めます。	R	R

(4) ラッチ 1 ステータス・レジスタ (DC_LATCH1_STAT)

ラッチ 1 入力の状態を示します。

アドレス A00D 09AFh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	PINSTATE	EVENTNEG	EVENTPOS

リセット後の値 x x x x x 0 0 0

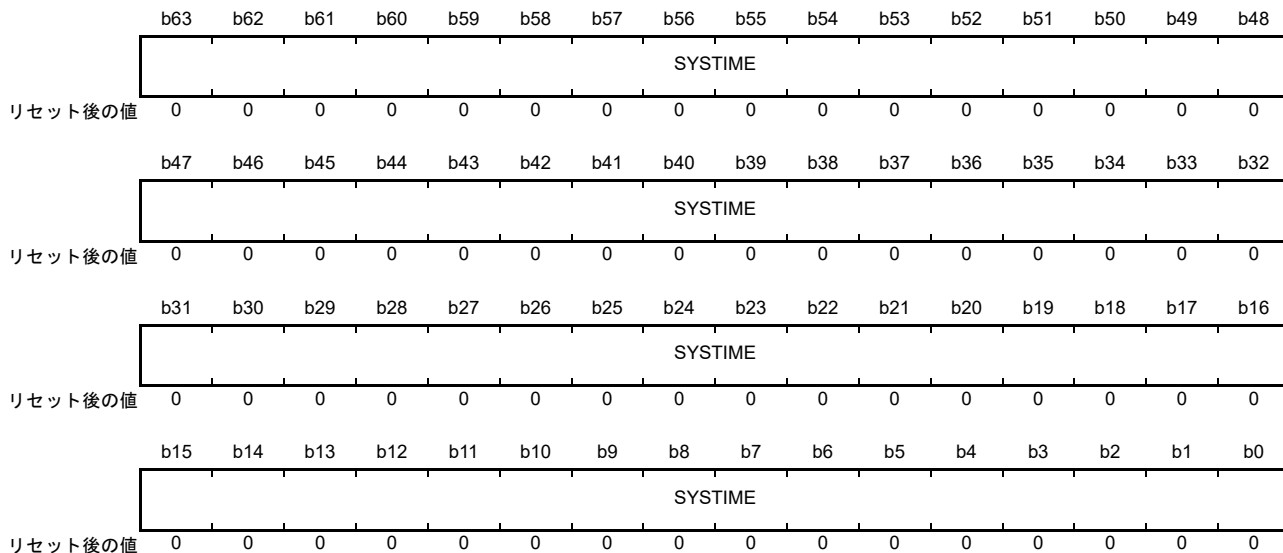
x: 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b0	EVENTPOS	ラッチ1ポジティブエッジのイベント表示ビット	ラッチ1入力のポジティブエッジのイベントを示します。 0: ポジティブエッジが検出されない、あるいは連続モード。 1: ポジティブエッジはシングルイベントモードのみ検出。 ラッチ1タイム・ポジティブ・エッジ・レジスタ (DC_LATCH1_TIME_POS: 09C0h) をリードすることでフラグはクリアされます。	R	R
b1	EVENTNEG	ラッチ1ネガティブエッジのイベント表示ビット	ラッチ1入力のネガティブエッジのイベントを示します。 0: ネガティブエッジが検出されない、あるいは連続モード。 1: ネガティブエッジはシングルイベントモードのみ検出。 ラッチ1タイム・ネガティブ・エッジ・レジスタ (DC_LATCH1_TIME_NEG: 09C8h) をリードすることでフラグはクリアされます。	R	R
b2	PINSTATE	ラッチ1入力端子状態表示ビット	ラッチ1入力端子の状態を示します。	R	R
b7-b3	—	予約ビット	読み出した場合は不定値が読めます。	R	R

(5) ラッチ0タイム・ポジティブ・エッジ・レジスタ (DC_LATCH0_TIME_POS)

ラッチ0入力端子のポジティブエッジで取得されるシステム時刻を示します。

アドレス A00D 09B0h



ビット	シンボル	ビット名	機能	PDI	ECAT
b63-b0	SYSTIME	システム時刻表示ビット	ラッチ0入力端子のポジティブエッジで取得されたシステム時刻を示します。 本レジスタをリードすることにより、ラッチ0ステータス・レジスタ (DC_LATCH0_STAT : 09AEh) のビット0をクリアします。	R(ack)	R(ack)

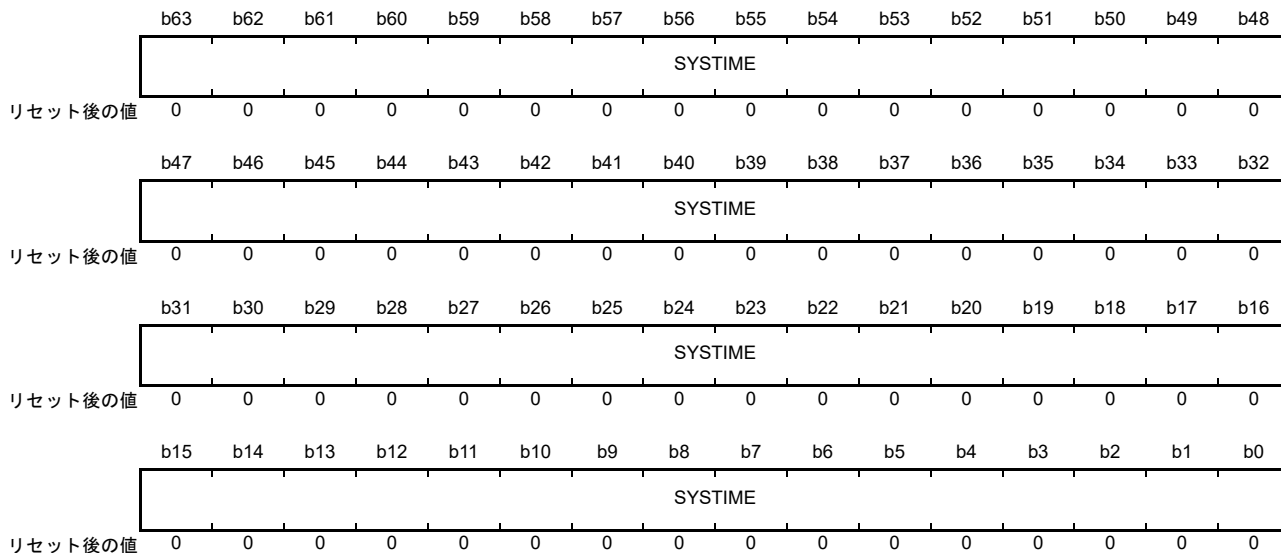
ビット7-0がリードされる時、ビット63-8は内部的にECAT/PDIとは独立にラッチされます。それにより、一致した値をリードすることが保証できます。

ラッチ0ステータスのフラグ機能のクリアは、サイクリック・ユニット・コントロール・レジスタ (DC_CYC_CONT : 0980h) のビット4の設定により決まります。

(6) ラッチ0タイム・ネガティブ・エッジ・レジスタ (DC_LATCH0_TIME_NEG)

ラッチ0入力端子のネガティブエッジで取得されるシステム時刻を示します。

アドレス A00D 09B8h



ビット	シンボル	ビット名	機能	PDI	ECAT
b63-b0	SYSTIME	システム時刻表示ビット	ラッチ0入力端子のネガティブエッジで取得されたシステム時刻を示します。 本レジスタをリードすることにより、ラッチ0ステータス・レジスタ (DC_LATCH0_STAT : 09AEh) のビット1をクリアします。	R(ack)	R(ack)

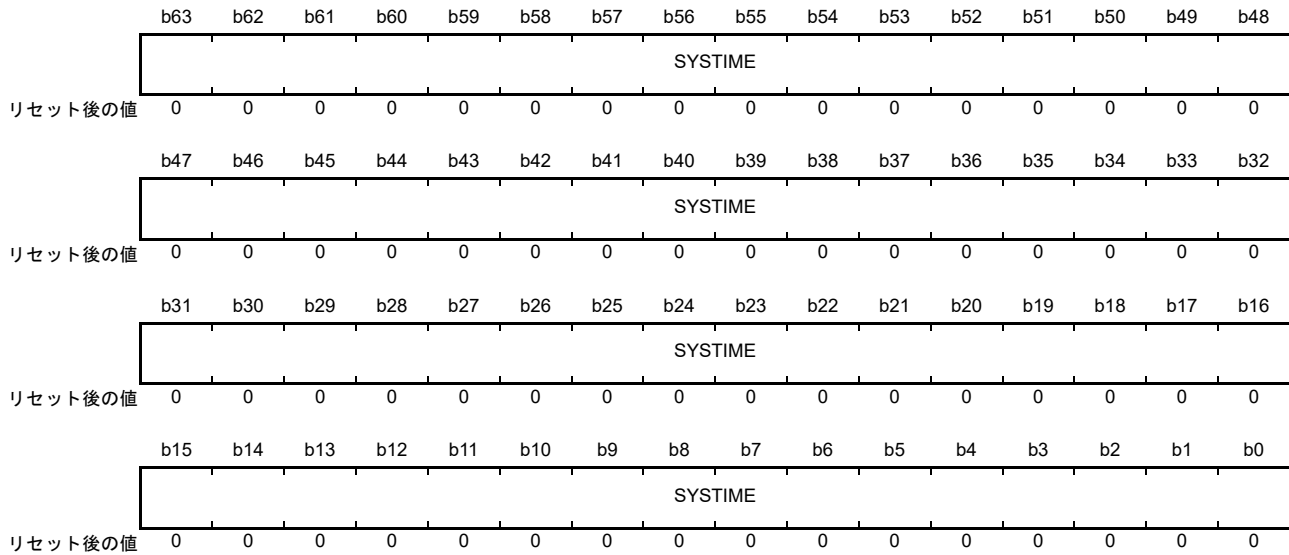
ビット7-0がリードされる時、ビット63-8は内部的にECAT/PDIとは独立にラッチされます。それにより、一致した値をリードすることが保証できます。

ラッチ0ステータスのフラグ機能のクリアは、サイクリック・ユニット・コントロール・レジスタ (DC_CYC_CONT : 0980h) のビット4の設定により決まります。

(7) ラッチ 1 タイム・ポジティブ・エッジ・レジスタ (DC_LATCH1_TIME_POS)

ラッチ 1 入力端子のポジティブエッジで取得されるシステム時刻を示します。

アドレス A00D 09C0h



ビット	シンボル	ビット名	機能	PDI	ECAT
b63-b0	SYSTIME	システム時刻表示ビット	ラッチ1入力端子のポジティブエッジで取得されたシステム時刻を示します。 本レジスタをリードすることにより、ラッチ1ステータス・レジスタ (DC_LATCH1_STAT : 09AFh) のビット0をクリアします。	R(ack)	R(ack)

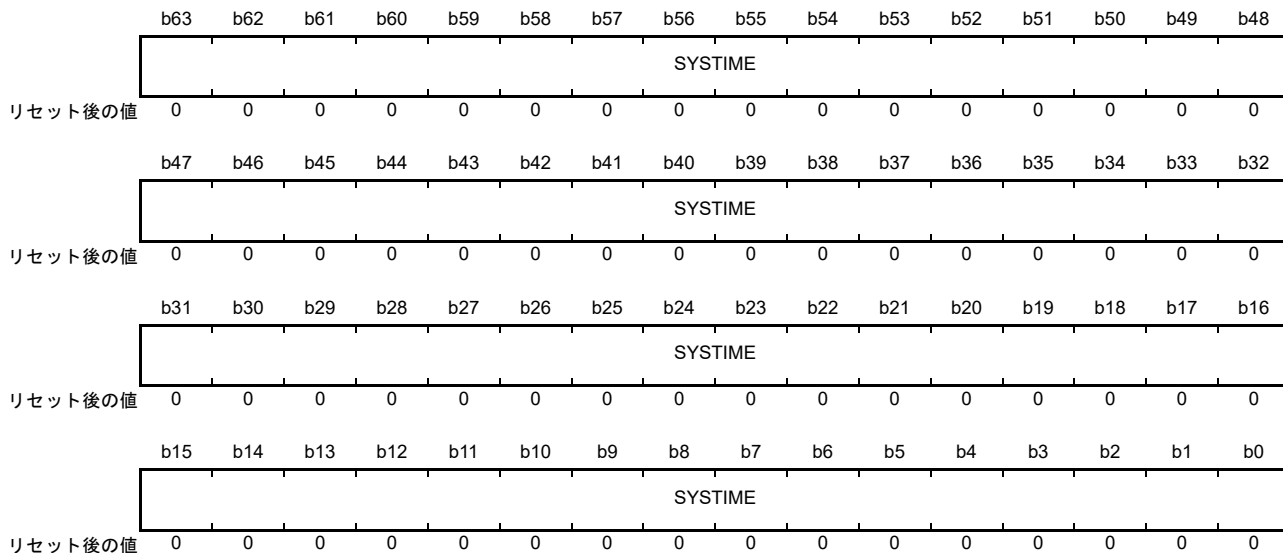
ビット 7-0 がリードされる時、ビット 63-8 は内部的に ECAT/PDI とは独立にラッチされます。それにより、一致した値をリードすることが保証できます。

ラッチ 1 ステータスのフラグ機能のクリアは、サイクリック・ユニット・コントロール・レジスタ (DC_CYC_CONT : 0980h) のビット 5 の設定により決まります。

(8) ラッチ1タイム・ネガティブ・エッジ・レジスタ (DC_LATCH1_TIME_NEG)

ラッチ1入力端子のネガティブエッジで取得されるシステム時刻を示します。

アドレス A00D 09C8h



ビット	シンボル	ビット名	機能	PDI	ECAT
b63-b0	SYSTIME	システム時刻表示ビット	ラッチ1入力端子のネガティブエッジで取得されたシステム時刻を示します。 本レジスタをリードすることにより、ラッチ1ステータス・レジスタ (DC_LATCH1_STAT : 09AFh) のビット1をクリアします。	R(ack)	R(ack)

ビット7-0がリードされる時、ビット63-8は内部的にECAT/PDIとは独立にラッチされます。それにより、一致した値をリードすることが保証できます。

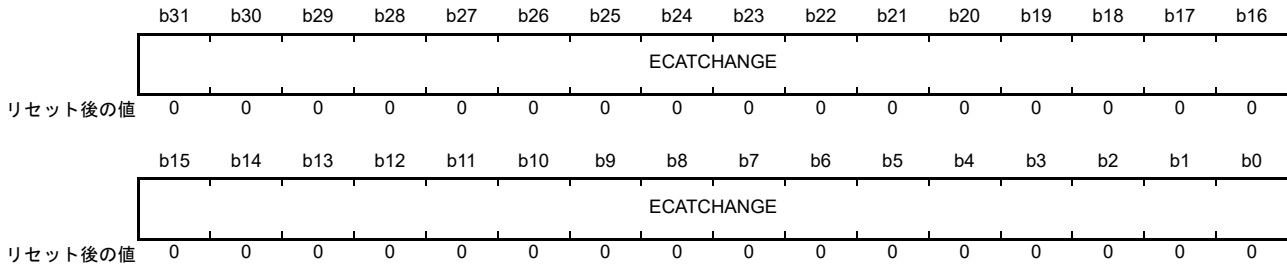
ラッチ1ステータスのフラグ機能のクリアは、サイクリック・ユニット・コントロール・レジスタ (DC_CYC_CONT : 0980h) のビット5の設定により決まります。

22.3.16.6 SyncManager イベント・タイム設定レジスタ

(1) EtherCAT バッファ・チェンジ・イベント・タイム・レジスタ (DC_EC_CNG_EV_TIME)

SyncManager による ECAT イベント (バッファの交換) を引き起こすフレームを受信開始したローカルの時刻を示します。

アドレス A00D 09F0h



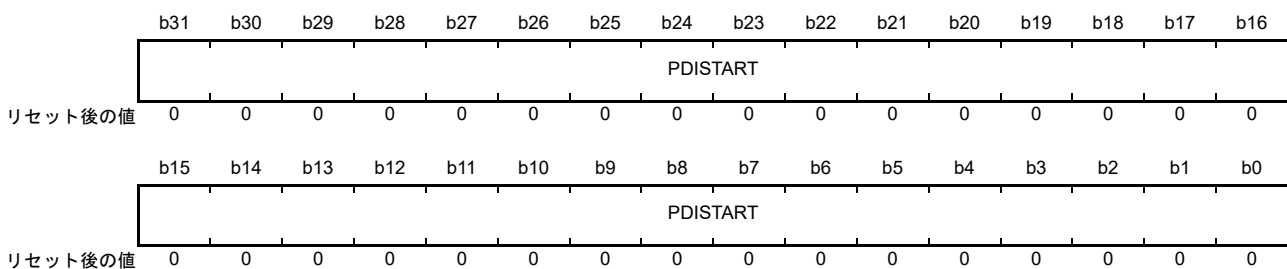
ビット	シンボル	ビット名	機能	PDI	ECAT
b31-b0	ECATCHANGE	ローカル時刻表示ビット	一つ以上のSyncManagerによって、ECATイベント (バッファの交換) を引き起こすフレームを受信開始したローカルの時刻を示します。	R	R

ビット 7-0 がリードされる時、ビット 31-8 は内部的に ECAT/PDI とは独立にラッチされます。それにより、一致した値をリードすることが保証できます。

(2) PDI バッファ・スタート・イベント・タイム・レジスタ (DC_PDI_START_EV_TIME)

SyncManager による PDI イベント (バッファのスタートアドレスへのアクセス) が発生したときのローカル時刻を示します。

アドレス A00D 09F8h



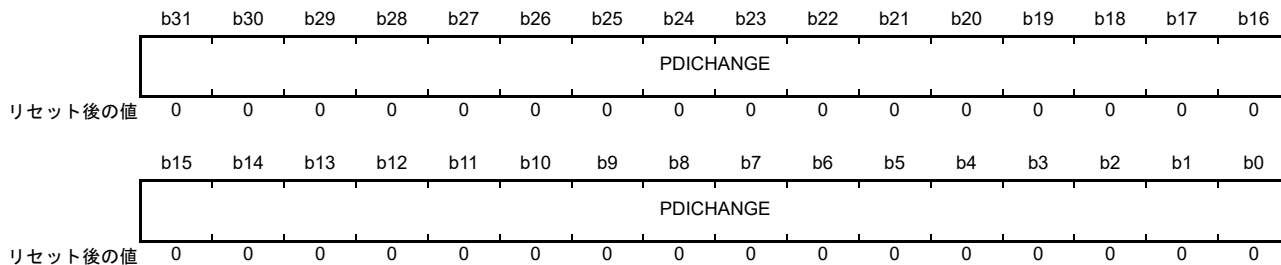
ビット	シンボル	ビット名	機能	PDI	ECAT
b31-b0	PDISTART	ローカル時刻表示ビット	一つ以上のSyncManagerによって、PDIイベント (バッファのスタートアドレスへのアクセス) が発生したときのローカル時刻を示します。	R	R

ビット 7-0 がリードされる時、ビット 31-8 は内部的に ECAT/PDI とは独立にラッチされます。それにより、一致した値をリードすることが保証できます。

(3) PDI バッファ・チェンジ・イベント・タイム・レジスタ (DC_PDI_CNG_EV_TIME)

SyncManager による PDI イベント (バッファの交換) が発生したときのローカル時刻を示します。

アドレス A00D 09FCh



ビット	シンボル	ビット名	機能	PDI	ECAT
b31-b0	PDICHANGE	ローカル時刻表示ビット	一つ以上の SyncManager によって、PDI イベント (バッファの交換) が発生したときのローカル時刻を示します。	R	R

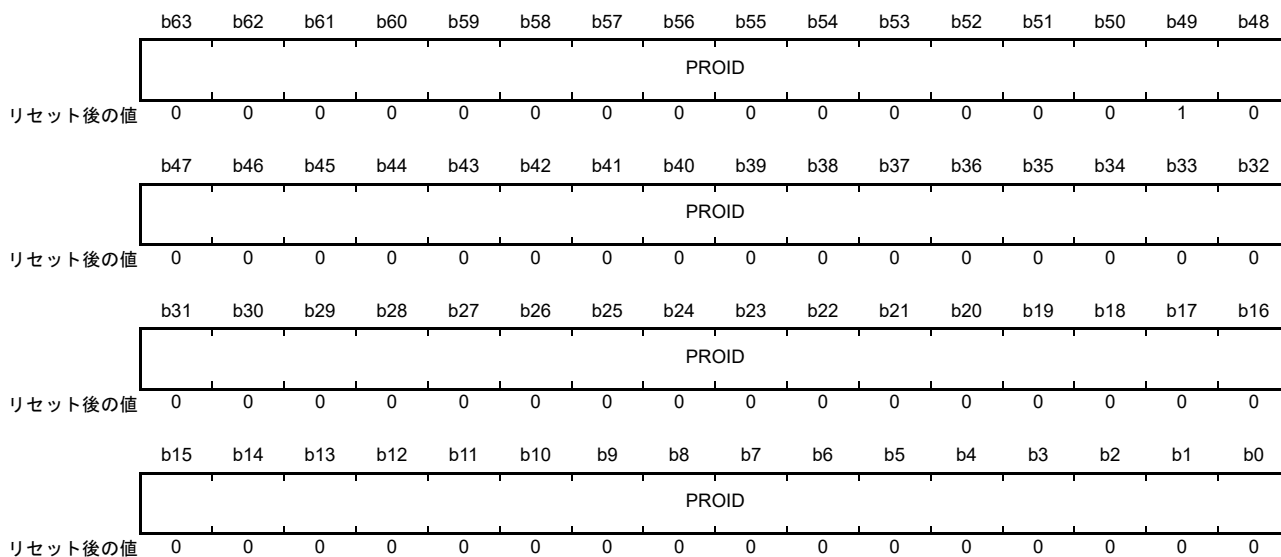
ビット 7-0 がリードされる時、ビット 31-8 は内部的に ECAT/PDI とは独立にラッチされます。それにより、一致した値をリードすることが保証できます。

22.3.17 その他のレジスタ

22.3.17.1 プロダクト ID レジスタ (PRODUCT_ID)

プロダクト ID を示します。

アドレス A00D 0E00h

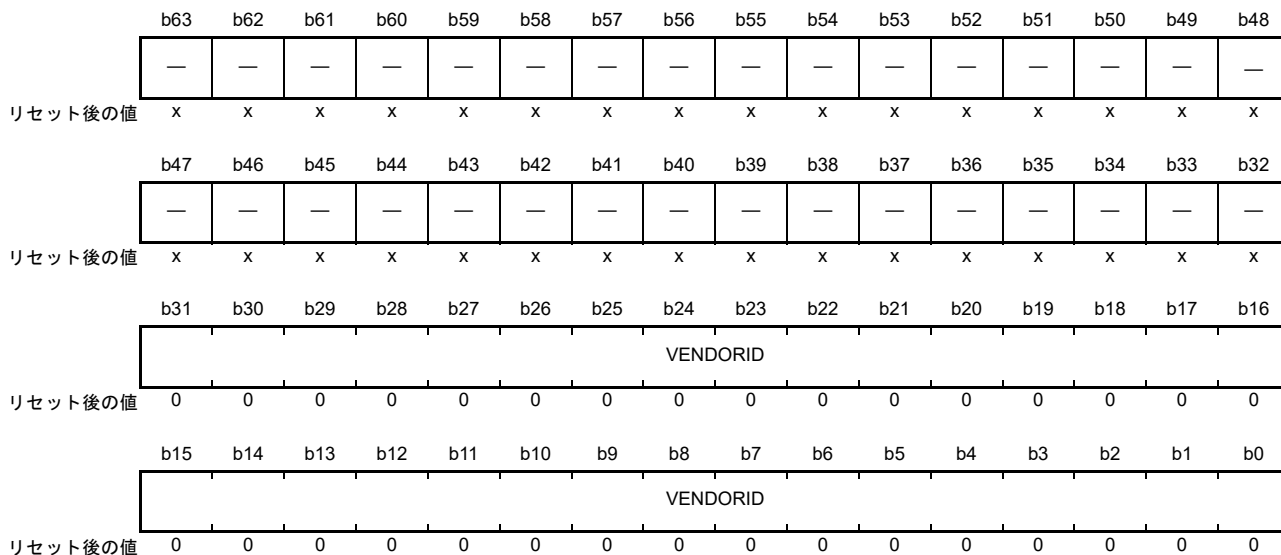


ビット	シンボル	ビット名	機能	PDI	ECAT
b63-b0	PROID	プロダクトID表示ビット	プロダクト ID	R	R

22.3.17.2 ベンダ ID レジスタ (VENDOR_ID)

ベンダ ID を示します。

アドレス A00D 0E08h



x : 不定

ビット	シンボル	ビット名	機能	PDI	ECAT
b31-b0	VENDORID	ベンダID表示ビット	ベンダID	R	R
b63-b32	—	予約ビット	読み出した場合は不定値が読めます。	R	R

22.3.17.3 ユーザ RAM (USER_RAM)

IP コアのコンフィギュレーションに依存する機能のサポートの有無を示します。A00D 0F80h から A00D 0FFFh までの 128 ビットのサイズです。初期値が 1 の機能がサポートされています。ただし、ビット 7-0 はユーザ RAM 内で定義されたビット数を表しており、本 LSI では 33h を示します。

ビット位置	説明	初期値
7-0	拡張された機能定義のビット数。本 LSI では 51 ビットです。	33h
8	拡張 DL コントロール・レジスタ (0102h:0103h)	1
9	AL ステータス・コード・レジスタ (0134h:0135h)	1
10	ECAT イベント・マスク (0200h:0201h)	1
11	コンフィギュアド・ステーション・エイリアス (0012h:0013h)	1
12	汎用入力 (0F18h:0F1Fh)	0
13	汎用出力 (0F10h:0F17h)	0
14	AL イベント・マスク (0204h:0207h)	1
15	フィジカル・リード/ライト・オフセット (0108h:0109h)	1
16	ウォッチドッグ・ディバイダ・書き込み可能 (0400h:0401h) と ウォッチドッグ PDI (0410h:0F11h)	1
17	ウォッチドッグ・カウンタ (0442h:0443h)	1
18	ライトプロテクション (0020h:0031h)	1
19	リセット (0040h:0041h)	1
20	Reserved	0
21	DC SyncManager イベント・タイム (09F0h:09FFh)	1
22	ECAT プロセッシング・ユニット/PDI エラーカウンタ (030Ch:030Dh)	1
23	EEPROM サイズ設定可能 (0502h のビット 7) 0 : EEPROM サイズは 16K ビットまでのサイズに固定されます 1 : EEPROM サイズ変更可能	1
26-24	Reserved	0
27	ロストリンク・カウンタ (0310h:0313h)	1
28	MII マネージメント・インタフェース (0510h:0515h)	1
29	エンハンスト・リンク・ディテクション MII	1
30	エンハンスト・リンク・ディテクション EBUS	0
31	RUN LED	1
32	リンク/アクティビティ LED	1
33	Reserved	0
35-34	Reserved	1
36	Reserved	0
37	Reserved	1
38	PDI に割り当てられた DC タイム・ループ・コントロール	0
39	MI によるリンク検出と構成 (MI リンク・ディテクション・アンド・コンフィギュレーション)	0
40	PDI による MI コントロール	1
41	自動 TX シフト	1
42	EEPROM エミュレーション	0
49-43	Reserved	0
50	ERR LED, RUN/ERR LED オーバライド	1
その他	Reserved	Reserved

22.3.17.4 プロセスデータ RAM (DATA_RAM)

プロセスデータ RAM は、プロセスデータ、Mailbox に使用されます。A00D 1000h から A00D 2FFFh までの 8KB のサイズです。

EEPROM が正常にロードされた場合のみ (ESC DL ステータス・レジスタ (ESC_DL_STATUS : 0110h) のビット 0 が 1 の場合のみ)、プロセスデータ RAM はアクセス可能になります。

22.4 使用上の注意事項

22.4.1 プロテクトコマンドレジスタ

プログラムの暴走などにより応用システムが不用意に停止しないように、システムに重大な影響を与える可能性があるレジスタへの書き込みをプロテクトコマンドレジスタで保護しています。以下のプロテクトコマンドレジスタがあります。

- システムプロテクトコマンドレジスタ (SPCMD)
- イーサネットシステムプロテクトコマンドレジスタ (ETSPCMD)

プロテクトコマンドレジスタ SPCMD、ETSPCMD のプロテクト解除許可ビットにセット (1) して、保護を解除しなければ保護対象レジスタへの書き込みが行えません。

プロテクトコマンドレジスタにセット (1) する場合には、以下の特定シーケンスでの書き込みのみ受け付けられます。クリア (0) もしくはリードする場合には、特別なシーケンス等はありません。

- (1) プロテクトコマンドレジスタに特定値として、0000 00A5h を書き込む。
- (2) プロテクトコマンドレジスタに、期待値の 0000 00001h を書き込む。
- (3) プロテクトコマンドレジスタに、反転値の 0000 FFFEh を書き込む。
- (4) プロテクトコマンドレジスタに、期待値の 0000 0001h を書き込む。

注 1. (2)、(3) では、レジスタへの書き込みは行われていません。

注 2. 対象レジスタへの書き込み完了後は、必ずプロテクト解除許可ビットをクリア (0) して保護を有効にしてください。

図 22.2 に状態遷移図を示します。

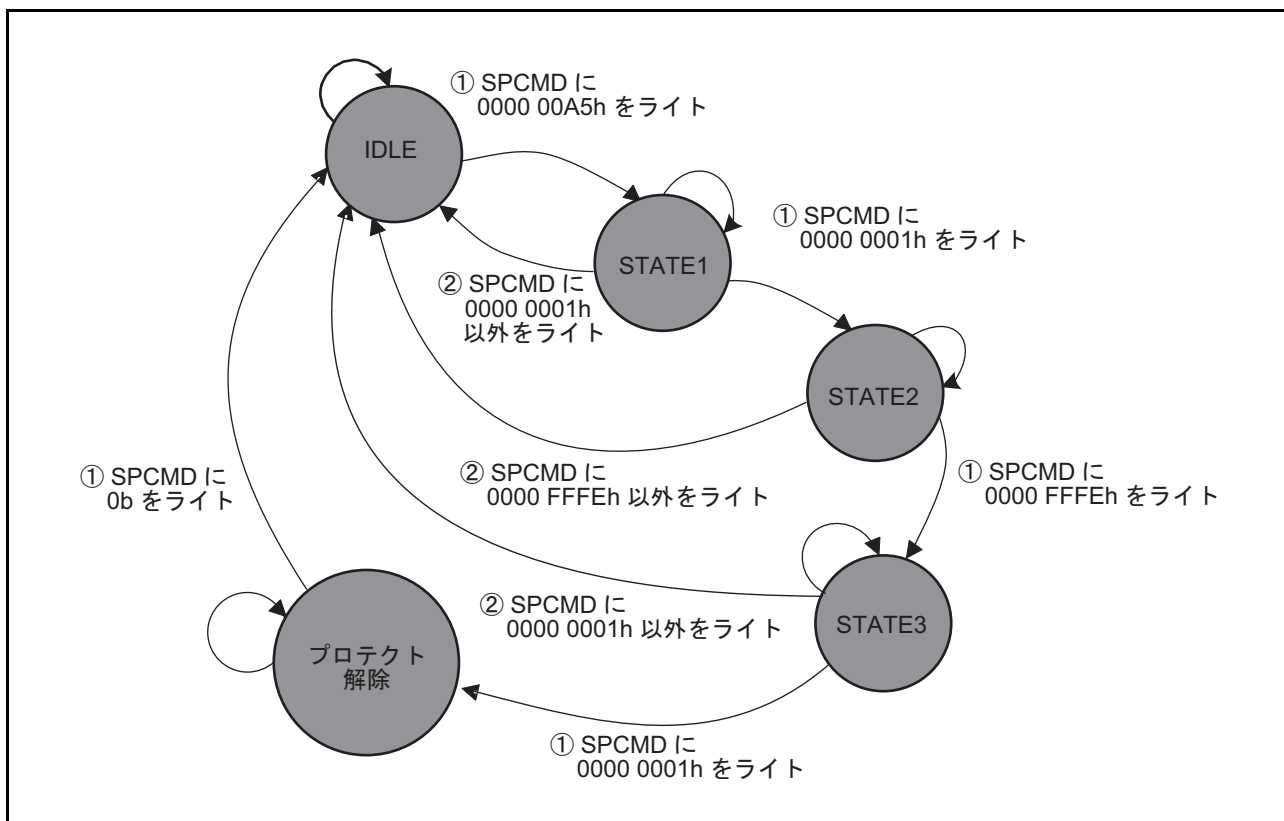


図 22.2 プロテクトコマンドレジスタ状態遷移図 (SPCMD の例)

22.4.2 モジュールストップ機能の設定

EtherCAT スレーブ・コントローラ 関連機能は、初期状態は停止状態となっています。使用する場合は MSTPCRB.MSTPCRB15, 16, 18, 19 ビットの設定を行い、モジュールストップを解除してください。ただし、いったん、モジュールストップを解除した後に再度モジュールストップ設定を行うことは禁止です。2度目のモジュールストップ解除後の動作を保証することができません。リセットにより初期状態（停止状態）となった後に、改めてモジュールストップを解除することは可能です。

22.4.3 初期設定

EtherCAT の初期化は以下の手順で行ってください。

- CATOFFADD レジスタで PHY のオフセット・アドレスを設定
- CATEMMD レジスタで EEPROM のサイズを設定
- CATTXCSFT レジスタで TXC 端子の遅延時間を設定
- MSTPCRB レジスタの MSTPCRB15 でモジュールストップの解除
- ETHSFTRST レジスタの CATRST と PHYRST で ESC と PHY のリセットを解除
リセットが解除されると、ESC は自動的に EEPROM のデータのロードを行い起動します。

22.4.4 リセット回路の構成

ESCのリセット回路の構成を図 22.3 に示します。ECAT によるリセット要求 (0040h) あるいは PDI によるリセット要求 (0041h) を受けると、ESC は停止し、ESC からのリセット出力がハイになります。ESC からのリセット出力により PHYRESETOUT# 端子がロウレベルになり、外部に接続した Ethernet PHY がリセットされます。同時に ETHCRSTI 割り込みが発生します。

ESC のリセットを解除するためには、ETHCRSTI 割り込み検出後に、ETHSFTRST レジスタの CATRST ビットを 1 → 0 → 1 に切り替える必要があります。なお、ESC のリセット入力が 1 → 0 になるタイミングで ESC のリセット出力が 0 になります。ESC のリセット入力が 0 → 1 になるタイミングで ESC が再起動を始め、EEPROM のロードが開始されます。EEPROM のロードは約 1ms で完了します。Ethernet PHY の再起動は必ず ESC の起動が完了した後になるように Ethernet PHY のリセット解除のタイミングを設定してください。タイミングチャートを図 22.4 に示します。

また、ECAT/PDI によるリセット要求 (0040h / 0041h) でなく、ETHSFTRST レジスタの CATRST ビットにて ESC をリセットすることも可能です。この場合、自動的に PHYRESETOUT# 端子はロウレベルにならないため、予め ETHSFTRST レジスタの PHYRST ビットで Ethernet PHY をリセット状態にしておいてください。タイミングチャートを図 22.5 に示します。

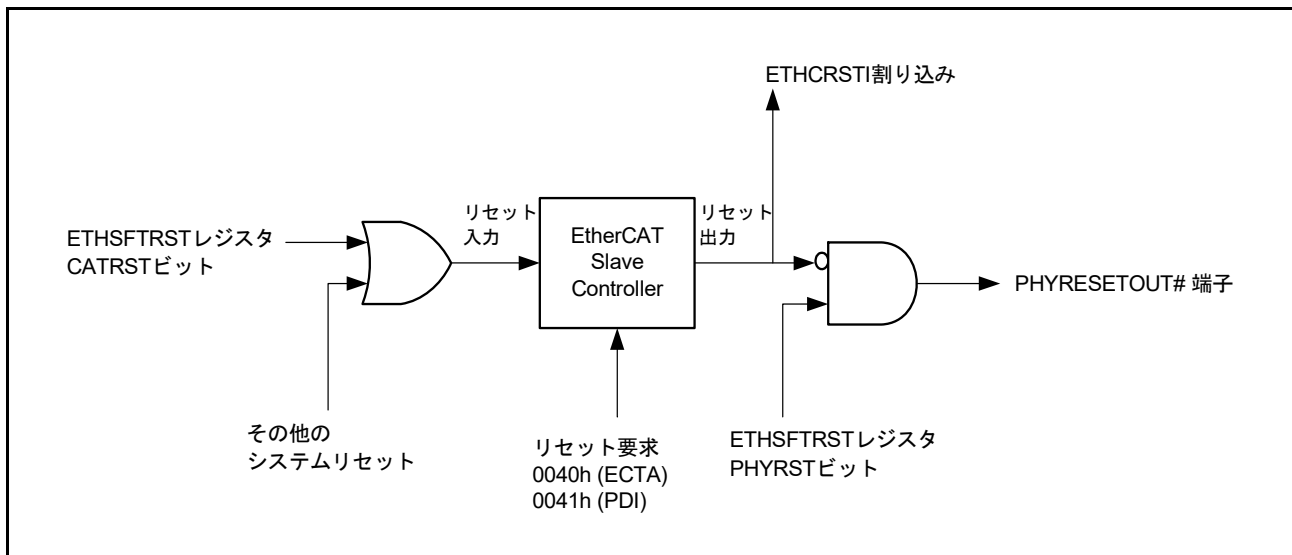


図 22.3 EtherCAT スレーブ・コントローラのリセット回路の構成

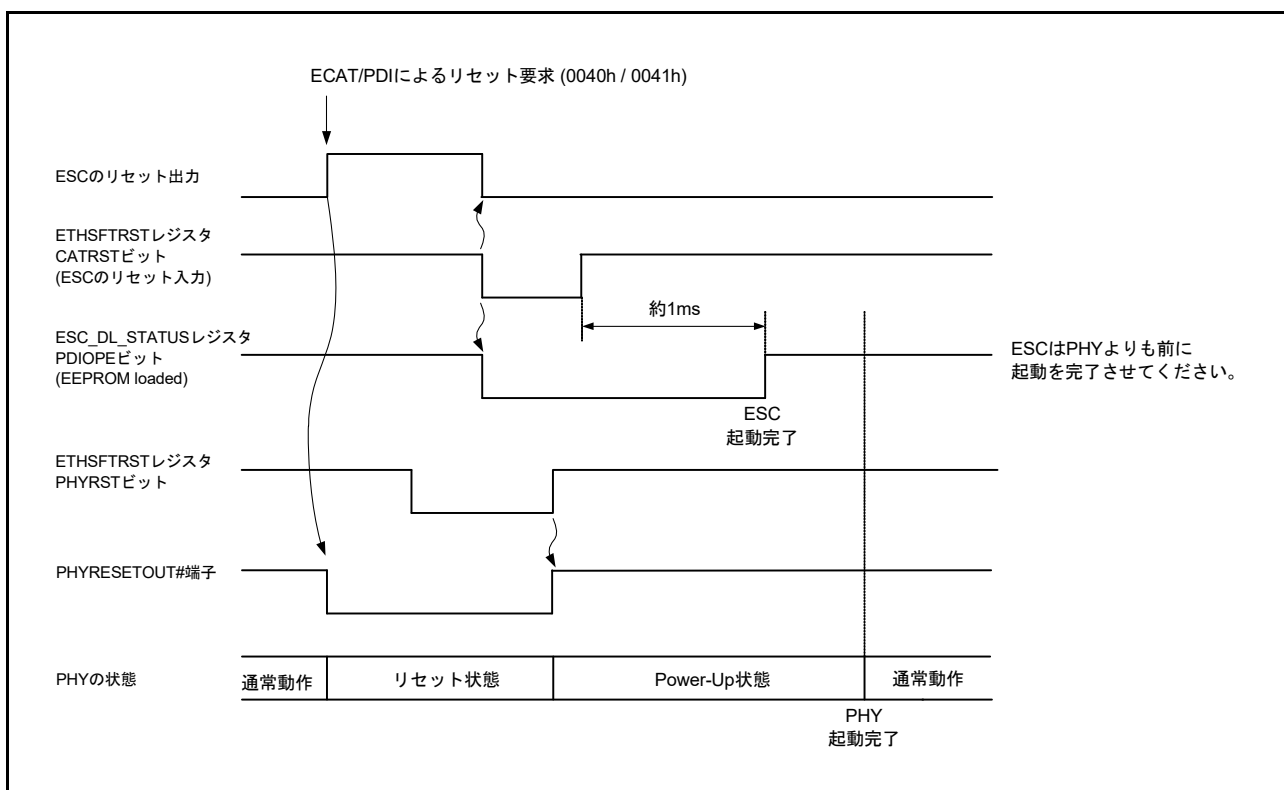


図 22.4 EtherCATスレーブ・コントローラのリセットタイミング (ECAT/PDIによるリセット要求時)

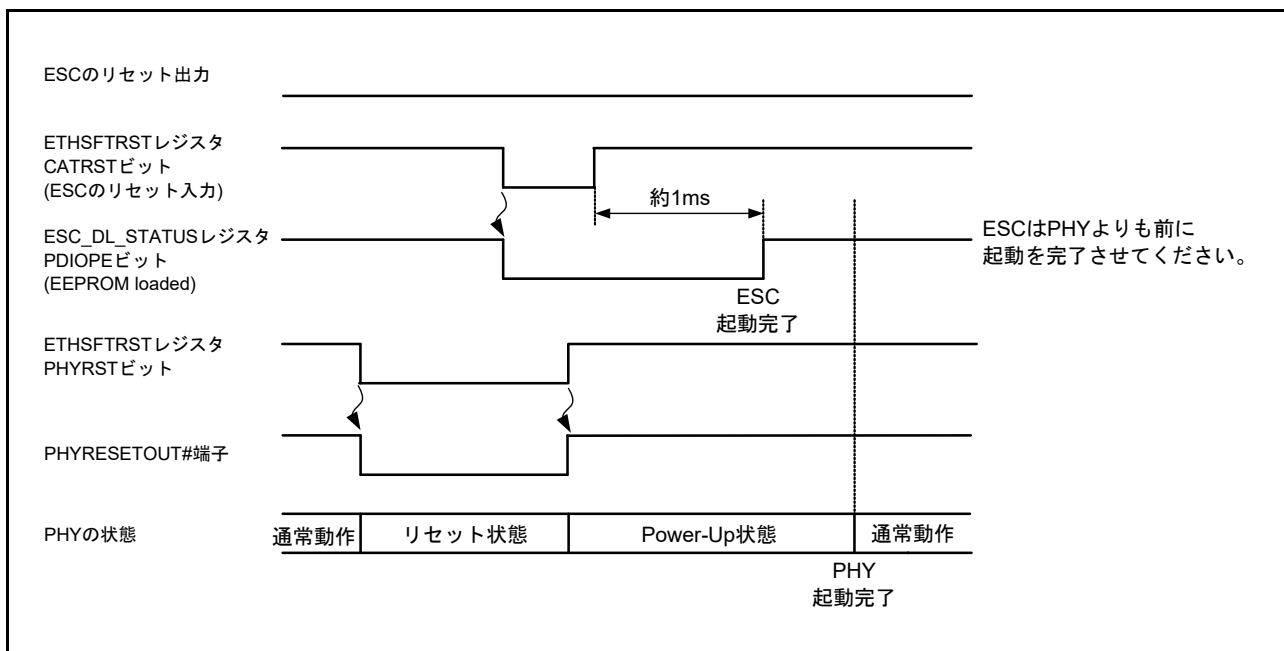


図 22.5 EtherCATスレーブ・コントローラのリセットタイミング (ETHSFTRSTレジスタのCATRSTビットでのリセット時)

23. USB2.0HS ホストモジュール (USBh)

23.1 概要

本 LSI の USB は、USB2.0 ホストモジュールおよび USB2.0 ファンクションモジュールをもつデュアル・ロール・デバイスです。ただし、ID ステータス検出機能を持っていないため、On-the-Go (OTG) 機能には対応していません。

本 LSI は、ホスト機能とファンクション機能の 2 つの機能に対して 1 つの USB ポートを共有しており、ポート接続経路選択入力信号ビット (PHYSET1.P1PORTSEL[1:0] ビット) により、ホスト機能とファンクション機能とを切り替えて使用する事が可能です。

ホスト機能とファンクション機能とは排他的に動作するため、動的には切り替わりません。

本章では、ホストコントローラについて説明します。

USB2.0 ホスト機能

- Universal Serial Bus Specification Revision 2.0 準拠
- Open Host Controller Interface (OHCI) Specification for USB Rev 1.0a 準拠
- Enhanced Host Controller Interface (EHCI) Specification for USB Rev 1.0 準拠
- USB2.0 High-Speed (480Mbps) / Full-Speed (12Mbps) の転送をサポート

注. Low-Speed (1.5Mbps) には対応していません。

- USB2.0 コンプライアンステスト機能をサポート

図 23.1 に USB のブロック図を示します。

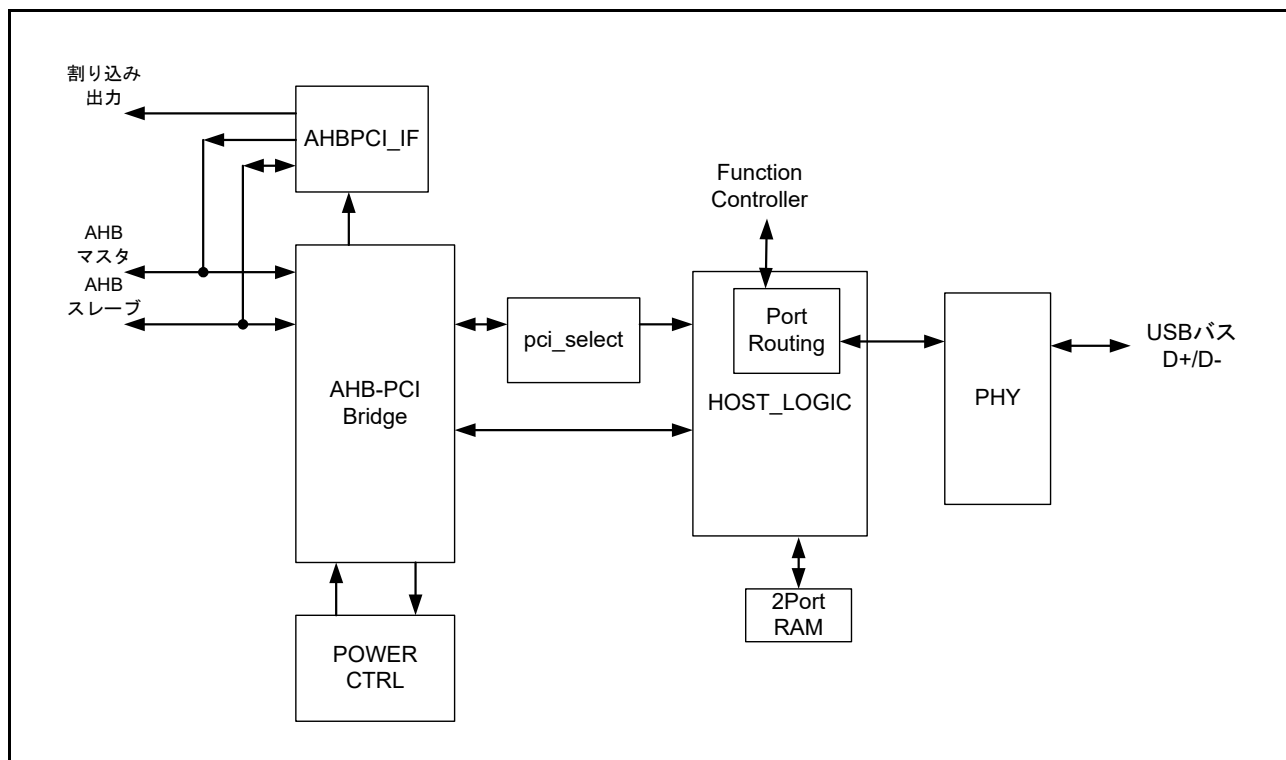


図 23.1 USB のブロック図

(1) Host Logic

EHCI / OHCI 規格に準拠した USB2.0 ホスト・ロジックです。リスト処理回路・シリアルパラレル回路・USB Buffer の制御回路などを持ち、USB の High-Speed 転送 / Full-Speed 転送を行います。

(2) UTMI+ Transceiver

UTMI+ 規格に準拠したインタフェースをもつ USB2.0 UTMI Transceiver でハードマクロです。

(3) AHB-PCI Bridge

AHB バスサイクルとホスト・ロジックへの PCI バスサイクルを変換するモジュールです。CPU から Bridge 内やホスト・ロジックへのレジスタアクセスは、Bridge の Slave インタフェースを介して行われます。ホスト・ロジックが PCI がマスタとなるアクセスは、Bridge の Master インタフェースを介して AHB バスに伝達されます。

23.1.1 USB ホストコントローラ使用時の注意事項

USB ホストコントローラを使用するにあたっての注意事項を以下に示します。

23.1.1.1 全般について

- (1) クロック停止以外の PCLKA/USBPCLK/USBMCLK の動的な変更には対応しておりません。
- (2) Isochronous 転送を使用する場合は、想定した性能を満たすことをアプリケーションレベルの性能評価によりご確認ください。
- (3) USB ホストコントローラは、4 本の割り込み要因を 1 本にまとめて出力します。詳細は、「23.6 割り込みについて」を参照してください。
- (4) 割り込みをクリアするレジスタアクセスから、実際の割り込みのクリアまでの時間が長くなる場合があります。対処方法については、「23.6.3 割り込み信号のクリアに要する時間について」を参照してください。

23.1.1.2 AHB インタフェースについて

- (1) USB ホストコントローラに対する AHB Slave アクセスは、32bit アクセスのみです。8/16bit でのアクセスはできません。
- (2) HRESP = RETRY を使用した WAIT モード使用時は、AHB Bridge 内のモード切り替えレジスタを最初にアクセスしてください。
 - ・ AHB_BUS_CTR レジスタ bit17 SMODE_READY_CTR ビット
- (3) クロック停止中にレジスタアクセスを行った場合の Read データ / Write データは保証外です。

23.1.1.3 操作方法について

- (1) 操作フローを以下に示します。
 - 初期設定 : 「23.8 操作手順」
 - AHB 空間と PCI 空間のマッピング方法 : 「23.4.1 レジスタアクセス」

23.2 レジスタマッピング

23.2.1 レジスタマッピング

レジスタは、大きく以下の3つの領域に分割されます。

1. OHCI / EHCI Operational Registers 領域
2. PCI Configuraiton Space 領域
3. AHB-PCI Bridge PCI Communication 領域

各 PCI Configuration Space 領域へのアクセスは、AHB-PCI Bridge Register の AHBPCI_WIN1_CTR レジスタの操作が必要です。また、AHB 空間におけるレジスタマッピングとは別に、USB ホストコントローラ内部の PCI 空間上に OHCI / EHCI Operational Registers、PCI Communication Space 等のアドレスを正しくマッピングしてください。各レジスタへのアクセス、アドレスマッピング方法については「23.4 レジスタアクセスについて」を参照してください。

アドレス入力範囲は A004 0000h ~ A005 FFFFh です。ただし、A005 0C00h ~ A005 FFFFh は Reserved 領域のためアクセスしないでください。

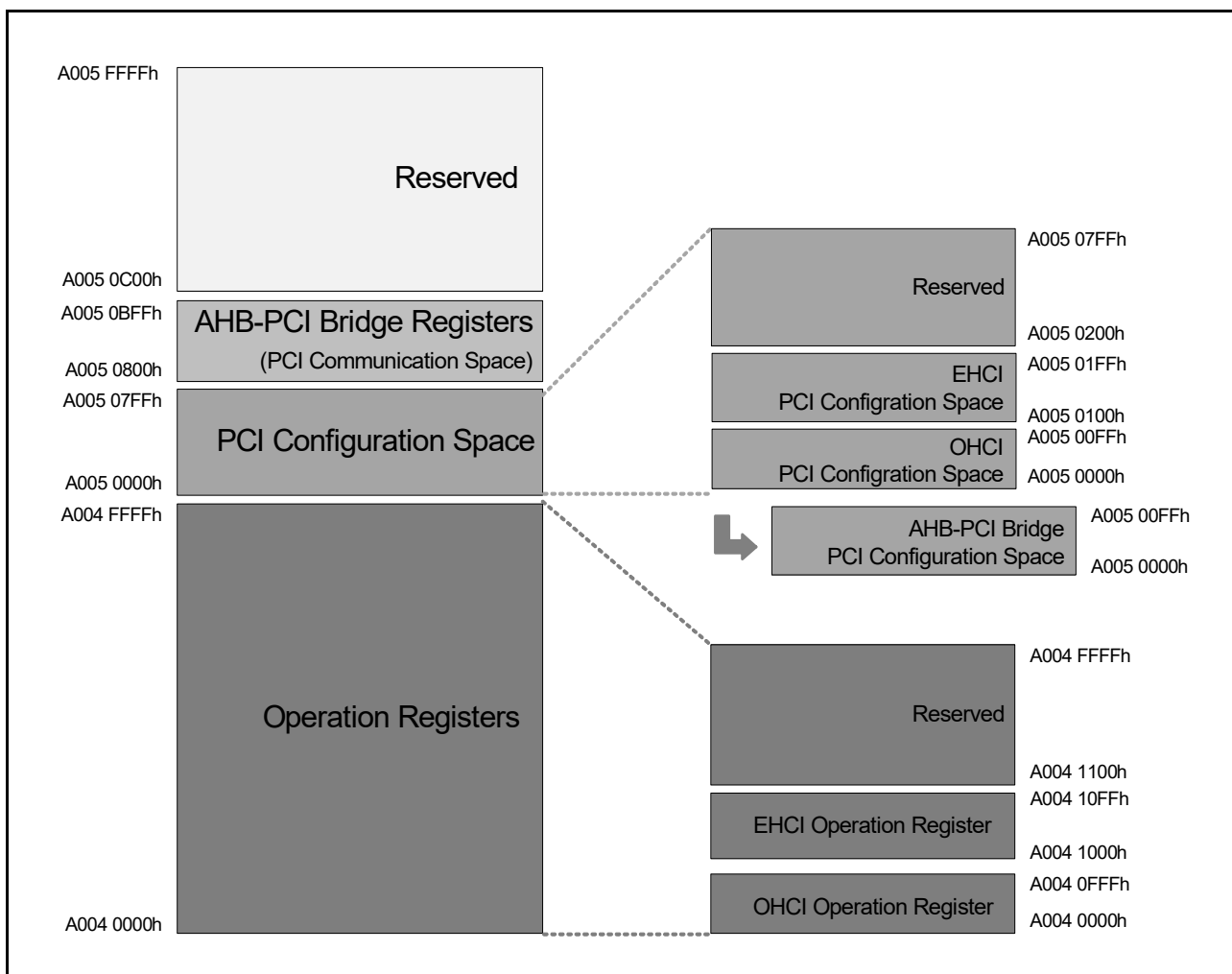


図 23.2 レジスタマッピングイメージ

表23.1 レジスタマッピング一覧表 (1/2)

アドレス	レジスタ名	シンボル
A004 0000h	HcRevision	HcRevision
A004 0004h	HcControl	HcControl
A004 0008h	HcCommandStatus	HcCommandStatus
A004 000Ch	HcInterruptStatus	HcIntStatus
A004 0010h	HcInterruptEnable	HcIntEnable
A004 0014h	HcInterruptDisable	HcIntDisable
A004 0018h	HcHCCA	HcHCCA
A004 001Ch	HcPeriodicCurrentED	HcPeriodCurED
A004 0020h	HcControlHeadED	HcContHeadED
A004 0024h	HcControlCurrentED	HcContCurrentED
A004 0028h	HcBulkHeadED	HcBulkHeadED
A004 002Ch	HcBulkCurrentED	HcBulkCurrentED
A004 0030h	HcDoneHead	HcDoneHead
A004 0034h	HcFmInterval	HcFmInterval
A004 0038h	HcFmRemaining	HcFmRemaining
A004 003Ch	HcFmNumber	HcFmNumber
A004 0040h	HcPeriodicStart	HcPeriodicStart
A004 0044h	Reserved	—
A004 0048h	HcRhDescriptorA	HcRhDescriptorA
A004 004Ch	HcRhDescriptorB	HcRhDescriptorB
A004 0050h	HcRhStatus	HcRhStatus1_A, HcRhStatus1_B
A004 0054h	HcRhPortStatus1	HcRhPortStatus1_A, HcRhPortStatus1_B
A004 0058Ch ~ A004 0FFCh	Reserved	—
A004 1000h	HCVERSION / CAPLENGTH	CAPL_VERSION
A004 1004h	HCSPARAMS	HCSPARAMS
A004 1008h	HCCPARAMS	HCCPARAMS
A004 100Ch	HCSP_PORTROUTE	HCSP_PORTROUTE
A004 1010h ~ A004 101Ch	Reserved	—
A004 1020h	USBCMD	USBCMD
A004 1024h	USBSTS	USBSTS
A004 1028h	USBINTR	USBINTR
A004 102Ch	FRINDEX	FRINDEX
A004 1030h	CTRLDSSEGMENT	CTRLDSSEGMENT
A004 1034h	PERIODICLISTBASE	PERIODICLIST
A004 1038h	ASYNCLISTADDR	ASYNCLISTADDR
A004 103Ch ~ A004 105Ch	Reserved	—
A004 1060h	CONFIGFLAG	CONFIGFLAG
A004 1064h	PORTSC1	PORTSC1
A004 1068h ~ A004FFFCh	Reserved	—
A005 0000h ~ A005 07FCh	PCI Configuration Space (AHB-PCI Bridge / OHCI / EHCI)	—
A005 0800h	PCIAHB_WIN1_CTR	PCIAHB_WIN1_CTR
A005 0804h	Reserved	—
A005 0808h ~ A005 080Ch	Reserved	—
A005 0810h	AHBPCI_WIN1_CTR	AHBPCI_WIN1_CTR

表 23.1 レジスタマッピング一覧表 (2 / 2)

アドレス	レジスタ名	シンボル
A005 0814h	AHBPCI_WIN2_CTR	AHBPCI_WIN2_CTR
A005 0818h ~ A005 081Ch	Reserved	—
A005 0820h	PCI_INT_ENABLE	PCI_INT_ENABLE
A005 0824h	PCI_INT_STATUS	PCI_INT_STATUS
A005 0828h ~ A005 082Ch	Reserved	—
A005 0830h	AHB_BUS_CTR	AHB_BUS_CTR
A005 0834h	USBCTR	USBCTR
A005 0838h ~ A005 083Ch	Reserved	—
A005 0840h	PCI_ARBITER_CTR	PCI_ARBITER_CTR
A005 0844h	Reserved	—
A005 0848h	PCI_UNIT_REV	PCI_UNIT_REV
A005 084Ch ~ A005 FFFCh	Reserved	—

23.2.2 PCI Configuration Space for AHB-PCI Bridge

AHB-PCI Bridge における PCI-Configuration Space のレジスタマッピングを表 23.2 に示します。

表 23.2 AHB-PCI Bridge における PCI Configuration Space

Offset	31	24	23	16	15	8	7	0	略称
000h	Device ID				Vendor ID				VID_DID_A
004h	Status				Command				CMND_STS_A
008h	Class Code					Revision ID			REVID_CC_A
00Ch	BIST	Header Type		Latency Timer		Cache Line Size			CLS_LT_HT_BIST_A
010h	AHB-PCI Bridge Registers Base Address								BASEAD_A
014h	PCI-AHB Window1 Base Address								WIN1_BASEAD
01Ch	Reserved								—
020h	Reserved								—
024h	Reserved								—
028h	Reserved								—
02Ch	Subsystem ID				Subsystem Vendor ID				SSVID_SSID_A
030h	Reserved								—
034h	Reserved								—
038h	Reserved								—
03Ch	Max_Lat	Min_Gnt		Interrupt Pin		Interrupt Line			INTR_LINE_PIN_A
040h	Reserved								—
...	Reserved								—
0FCh	Reserved								—

23.2.3 PCI Configuration Space for OHCI ホスト・ロジック

ホスト・ロジック (OHCI) における PCI-Configuration Space のレジスタマッピングを 表 23.3 に示します。

表 23.3 OHCIにおける PCI Configuration Space

Offset	31	24	23	16	15	8	7	0	略称
000h	Device ID				Vendor ID				VID_DID_O
004h	Status				Command				CMND_STS_O
008h	Class Code					Revision ID			REVID_CC_O
00Ch	BIST	Header Type		Latency Timer	Cache Line Size			CLS_LT_HT_BIST_O	
010h	OHCI Base Address								BASEAD_O
014h	Reserved								—
018h									
01Ch									
020h									
024h									
028h									
02Ch									
030h	Expansion ROM Base Address								EROM_BASEAD
034h	Reserved					Cap_ptr		CAPPTR	
038h	Reserved								—
03Ch	Max_Lat	Min_Gnt		Interrupt Pin		Interrupt Line		INTR_LINE_PIN_O	
040h	PMC				Next_Item_Ptr		Cap_ID		CAPID_NIP_PMCAP
044h	Data	PMCSR_BSE		PMCSR				PMC_STS_PMCSR	
048h - 0DCh	Reserved								—
0E0h	EXT1								EXT1
0E4h	EXT2								EXT2
0E8h - 0ECh	Reserved								—
0F0h	Reserved								—
0F4h	Reserved								—
0F8h - 0FCh	Reserved								—

23.2.4 PCI Configuration Space for EHCI ホスト・ロジック

ホスト・ロジック (EHCI) における PCI-Configuration Space のレジスタマッピングを 表 23.4 に示します。

表 23.4 EHCIにおける PCI Configuration Space

Offset	31	24	23	16	15	8	7	0	略称	
100h	Device ID				Vendor ID				VID_DID_E	
104h	Status				Command				CMND_STS_E	
108h	Class Code					Revision ID			REVID_CC_E	
10Ch	BIST	Header Type		Latency Timer		Cache Line Size			CLS_LT_HT_BIST_E	
110h	EHCI Base Address								BASEAD_E	
114h	Reserved								—	
118h										
11Ch										
120h										
124h										
128h										
12Ch	Subsystem ID				Subsystem Vendor ID					SSVID_SSID_E
130h	Expansion ROM Base Address								EROM_BASEAD_E	
134h	Reserved					Cap_ptr			CAPPTR_E	
138h	Reserved								—	
13Ch	Max_Lat	Min_Gnt		Interrupt Pin		Interrupt Line			INTR_LINE_PIN_E	
140h	PMC				Next_Item_Ptr		Cap_ID			CAPID_NIP_PMCAP_E
144h	Data	PMCSR_BSE		PMCSR					PMC_STS_PMCSR_E	
148h	Reserved								—	
~										
15Ch										
160h	PORTWAKECAP				FLAD		SBRN			SBRN_FLADJ_PW
164h - 1DCh	Reserved								—	
1E0h	EXT1								EXT1_E	
1E4h	EXT2								EXT2_E	
1E8h - 1ECh	Reserved								—	
1F0h	Reserved								—	
1F4h	Reserved								—	
1F8h - 1FCh	Reserved								—	

23.3 レジスタの説明

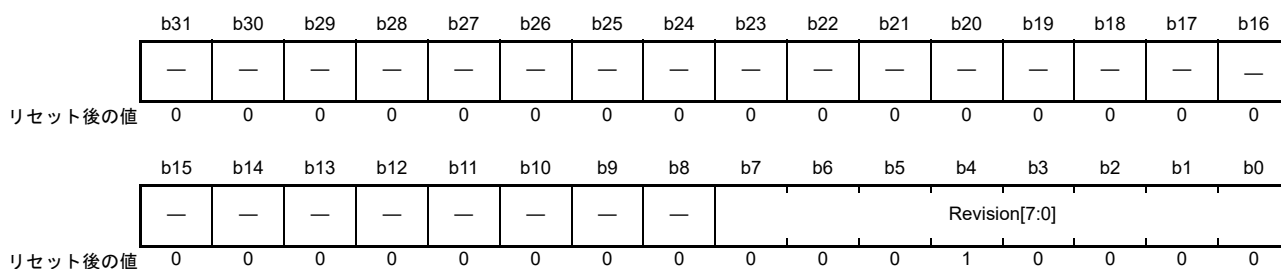
レジスタ機能の詳細について説明します。

23.3.1 OHCI Operational レジスタ

OHCI Operation レジスタは、PHY 内蔵 PLL 起動後にアクセスしてください。詳細は、「[図 23.13 初期設定シーケンス](#)」を参照してください。

23.3.1.1 HcRevision レジスタ

アドレス A004 0000h



ビット	シンボル	ビット名	機能	R/W
b7-b0	Revision[7:0]	HCI リビジョン	ホスト・ロジックにインプリメントされたHCI仕様のバージョンを示すビットです。 本ホスト・ロジックはOHCI規格 1.0aに準拠しているため10hを示します。	R
b31-b8	—	予約ビット	Don't care	R

23.3.1.2 HcControl レジスタ

アドレス A004 0004h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	RWE	RWC	—	HCFS[1:0]	BLE	CLE	IE	PLE	CBSR[1:0]	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W										
b1-b0	CBSR[1:0] (ControlBulk ServiceRatio)	Control/Bulk 転送サービス比 規定ビット	Control 転送と Bulk 転送のサービス比を規定するビットです。 Periodic リスト処理の際、本ビットで規定されるサービス比を維持し、転送を行います。 <table border="1" data-bbox="762 891 1201 1077"> <tr> <th>CBSR</th> <th>Bulk ED : Control ED サービス比</th> </tr> <tr> <td>00</td> <td>1 : 1</td> </tr> <tr> <td>01</td> <td>2 : 1</td> </tr> <tr> <td>10</td> <td>3 : 1</td> </tr> <tr> <td>11</td> <td>4 : 1</td> </tr> </table>	CBSR	Bulk ED : Control ED サービス比	00	1 : 1	01	2 : 1	10	3 : 1	11	4 : 1	R/W
CBSR	Bulk ED : Control ED サービス比													
00	1 : 1													
01	2 : 1													
10	3 : 1													
11	4 : 1													
b2	PLE (PeriodicList Enable)	Periodic リスト設定ビット	Periodic リスト処理の実行を設定するビットです。 本ビットへの設定値は、次のフレームから有効になります。 0 : Periodic リスト処理を行わない 1 : Periodic リスト処理を行う	R/W										
b3	IE (Isochronous Enable)	Isochronous ED 処理設定ビット	Isochronous ED 処理の実行を設定するビットです。 本ビットへの設定値は、次のフレームから有効になります。 リスト処理中に Isochronous ED を発見した場合に、本ビットをチェックし Isochronous ED の処理実行を選択します。 0 : Isochronous 転送の処理を行わない 1 : Isochronous 転送の処理を行う	R/W										
b4	CLE (ControlList Enable)	Control リスト処理設定ビット	Control リスト処理の実行を設定するビットです。 本ビットへの設定値は、次のフレームから有効になります。 なお、Control リストを修正する場合には、必ず本ビットが 0 でなければなりません。 0 : Control リスト処理を行わない 1 : Control リスト処理を行う	R/W										
b5	BLE (BulkList Enable)	Bulk リスト処理設定するビット	Bulk リスト処理の実行を設定するビットです。 本ビットの設定値は、次のフレームから有効になります。 なお、Bulk リストを修正する場合には、必ず本ビットが 0 でなければなりません。 0 : Bulk リスト処理を行わない 1 : Bulk リスト処理を行う	R/W										

ビット	シンボル	ビット名	機能	R/W
b7-b6	HCFS[1:0] (Host Controller Functional State)	ホスト・ロジック動作ステートビット	ホスト・ロジックの動作ステートを示すビットです。USB Operationalに遷移すると1msで区切られたフレームの管理を開始します。 この動作ステートはUSB Suspend時のRemoteWakeUpによるUSB Resumeの遷移以外は常にソフトウェアにより制御されます。 ハードウェアリセット後、本ビットはUSB Reset状態になりますが、ソフトウェアリセット後はUSB Suspendに遷移します。 b7 b6 00 : USB Reset 01 : USB Resume 10 : USB Operational 11 : USB Suspend	R/W
b8	—	予約ビット	書き込み時は、0を書き込んでください。	R/W
b9	RWC (RemoteWake UpConnect)	RemoteWakeUpサポート設定ビット	ホスト・ロジックによるRemoteWakeUpサポートを設定するビットです。 RemoteWakeUpをシステムでサポートする場合は、初期化処理で本ビットをセットしてください。 0 : RemoteWakeUpをサポートしない 1 : RemoteWakeUpをサポートする	R/W
b10	RWE (RemoteWake UpEnable)	PMEアサート制御ビット	PMEのアサート制御ビットです。 本ビットが1にセットされている場合、HcInterruptStatusレジスタ bit3 RDビットが1にセットされるとPMEがアサートされます。 0 : Resume検出でPMEをアサートしない (PME無効) 1 : Resume検出でPMEをアサートする (PME有効)	R/W
b31-b11	—	予約ビット	書き込み時は、0を書き込んでください。	R/W

23.3.1.3 HcCommandStatus レジスタ

アドレス A004 0008h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOC[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	OCR	BLF	CLF	HCR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	HCR (HostControllerReset)	ホスト・ロジックソフトウェアリセット起動ビット	ホスト・ロジックのソフトウェアリセットを起動するためのビットです。 本ビットをセットすると、ホスト・ロジックの機能ステートにかかわらずUSB Suspendに遷移します。	W
b1	CLF (ControlList Filled)	Control リスト TD ビット	Control リスト上にTDが存在するかどうかを示すビットです。 ホスト・ロジックはControl リストの先頭EDの処理を始めるとき、本ビットをチェックします。 ホスト・ロジックは本ビットが0の場合、リスト処理を開始しません。1ならばControl リスト処理を開始し、本ビットに0をセットします。ホスト・ロジックはリストにTDを見つけた場合、本ビットに再度1をセットし、Control リスト処理を継続します。 ホスト・ロジックによるリスト処理が完了したとき本ビットは0になりますが、リストにTDが見つからない場合、またはソフトウェアが本ビットに1をセットしない場合、本ビットは0のままとなり、リスト処理は停止します。 なお、リストを再構築しリスト処理を実施する場合は、HcCommand レジスタのbit4 CLE ビットをセットしリスト処理を開始する前に本ビットをセットしてください。	R/W
b2	BLF (BulkList Filled)	Bulk リスト TD ビット	Bulk リスト上にTDが存在するかどうかを示すビットです。 ホスト・ロジックはBulk リストの先頭EDの処理を始めるとき、本ビットをチェックします。 ホスト・ロジックは本ビットが0の場合は、リスト処理を開始しません。1ならばBulk リスト処理を開始し、本ビットに0をセットします。ホスト・ロジックはリストにTDを見つけた場合、本ビットに再度1をセットし、Bulk リスト処理を継続します。 ホスト・ロジックによるリスト処理が完了したとき本ビットは0になりますが、リストにTDが見つからない場合、またはソフトウェアが本ビットに1をセットしない場合、本ビットは0のままとなり、リスト処理は停止します。 なお、リストを再構築しリスト処理を実施する場合は、HcCommand レジスタのbit5 BLE ビットをセットしリスト処理を開始する前に本ビットをセットしてください。	R/W
b3	OCR (Ownership Change Request)	ホスト・ロジック制御権変更ビット	ホスト・ロジックの制御権を変更するためのビットです。(詳細は、OHCIの規格を確認してください。)	W
b15-b4	—	予約ビット	書き込み時は、0を書き込んでください。	R/W
b17-b16	SOC[1:0] (Scheduling Overrun Count)	スケジュールオーバラン数カウンタビット	スケジュールオーバラン数をカウントするためのビットです。 スケジュールオーバランのたびにカウントアップします。11bまでインクリメントすると、00bに戻ります。 HcInterruptStatus レジスタのbit0 SO ビットがセットされた状態でもカウントアップは続けます。	R
b31-b18	—	予約ビット	書き込み時は、0を書き込んでください。	R/W

23.3.1.4 HcInterruptStatus レジスタ

アドレス A004 000Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	RHSC	FNO	UE	RD	SF	WDH	SO
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SO (Scheduling Overrun)	USBスケジューリングオーバーランビット	フレームにおいてUSBスケジューリングがオーバーランした事を示すビットです。 USBスケジューリングがオーバーランした場合、次のフレームのHccaFrameNumber更新後にセットされます。本ビットがセットされる時にはHcCommandStatusレジスタのbit[17:16] SOCビットもインクリメントされます。 本ビットに1を書き込む事で割り込みはクリアされます。 0 : SO割り込みは発生していない 1 : SO割り込みが発生している	R/W
b1	WDH (Writeback Done Head)	ホスト・ロジック HccaDoneHead更新ビット	ホスト・ロジックがHccaDoneHeadの内容を更新した事を示すビットです。 ホスト・ロジックはHccaDoneHeadを更新した直後に本ビットをセットし、クリアするまでHccaDoneHeadの更新は行いません。 本ビットに1を書き込む事で割り込みはクリアされます。 0 : WDH割り込みは発生していない 1 : WDH割り込みが発生している	R/W
b2	SF (StartOf Frame)	HccaFrameNumber更新ビット	各フレームの開始時にHccaFrameNumberを更新した事を示すビットです。 ホスト・ロジックはSOFパケットの送出と共にHccaFrameNumberの更新を行い、本ビットをセットします。 本ビットに1を書き込む事で割り込みはクリアされます。 0 : SF割り込みは発生していない 1 : SF割り込みが発生している	R/W
b3	RD (Resume Detected)	Resume検出ビット	Resumeを検出した事を示すビットです。 USB上のデバイスがResume信号をアサートしていることを検出したときにセットされます。ソフトウェアによりUSB Resumeが発行された場合には、本ビットはセットされません。 本ビットに1を書き込む事で割り込みはクリアされます。 0 : RD割り込みは発生していない 1 : RD割り込みが発生している	R/W
b4	UE (Unrecoverable Error)	USB無関係システムエラー検出ビット	USBに関係のないPCIバス上のシステムエラーを検出したことを示すビットです。 本ビットに1を書き込む事で割り込みはクリアされます。 0 : UE割り込みは発生していない 1 : UE割り込みが発生している	R/W
b5	FNO (Frame Number Overflow)	FrameNumberビットMSB変化ビット	HcFmNumberレジスタ bit[15:0] FrameNumberビットのMSBが変化した事を示すビットです。 FrameNumberビットのMSBが0→1/1→0に変化するフレームにおいて、HccaFrameNumberの更新後にセットされます。 本ビットに1を書き込む事で割り込みはクリアされます。 0 : FNO割り込みは発生していない 1 : FNO割り込みが発生している	R/W

ビット	シンボル	ビット名	機能	R/W
b6	RHSC (RootHubSt atusChange)	HcRhStatus / HcRhPortStatus レジスタ ステータスビット	HcRhStatus レジスタまたは HcRhPortStatus レジスタの状態が 変化した事を示すビットです。 ハードウェア要因により HcRhStatus レジスタまたは HcRhPortStatus レジスタが変化した場合にセットされます。 本ビットに 1 を書き込むことで割り込みはクリアされます。 0 : RHSC 割り込みは発生していない 1 : RHSC 割り込みが発生している	R/W
b31-b7	—	予約ビット	書き込み時は、0 を書き込んでください。	R/W

23.3.1.5 HcInterruptEnable レジスタ

アドレス A004 0010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MIE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	RHSCE	FNOE	UEE	RDE	SFE	WDHE	SOE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SOE (Scheduling Overrun Enable)	SO 割り込み要因イネーブルビット	SO を割り込み要因として有効にするためのビットです。本ビットに 1 を書き込む事でセットすることができます。クリアする場合は HcInterruptDisable レジスタの該当ビットに 1 を書き込みます。 0 : 何もしない 1 : SO 割り込み有効	R/W
b1	WDHE (Writeback DoneHead Enable)	WDH 割り込み要因イネーブルビット	WDH を割り込み要因として有効にするためのビットです。本ビットに 1 を書き込む事でセットすることができます。クリアする場合は HcInterruptDisable レジスタの該当ビットに 1 を書き込みます。 0 : 何もしない 1 : WDH 割り込み有効	R/W
b2	SFE (StartOf Frame Enable)	SF 割り込み要因イネーブルビット	SF を割り込み要因として有効にするためのビットです。本ビットに 1 を書き込む事でセットすることができます。クリアする場合は HcInterruptDisable レジスタの該当ビットに 1 を書き込みます。 0 : 何もしない 1 : SF 割り込み有効	R/W
b3	RDE (Resume Detected Enable)	RD 割り込み要因イネーブルビット	RD を割り込み要因として有効にするためのビットです。本ビットに 1 を書き込む事でセットすることができます。クリアする場合は HcInterruptDisable レジスタの該当ビットに 1 を書き込みます。 0 : 何もしない 1 : RD 割り込み有効	R/W
b4	UEE (UnrecoverableError Enable)	UE 割り込み要因イネーブルビット	UE を割り込み要因として有効にするためのビットです。本ビットに 1 を書き込む事でセットすることができます。クリアする場合は HcInterruptDisable レジスタの該当ビットに 1 を書き込みます。 0 : 何もしない 1 : UE 割り込み有効	R/W
b5	FNOE (Frame Number Overflow Enable)	FNO 割り込み要因イネーブルビット	FNO を割り込み要因として有効にするためのビットです。本ビットに 1 を書き込む事でセットすることができます。クリアする場合は HcInterruptDisable レジスタの該当ビットに 1 を書き込みます。 0 : 何もしない 1 : FNO 割り込み有効	R/W
b6	RHSCE (RootHubStatusChange Enable)	RHSC 割り込み要因イネーブルビット	RHSC を割り込み要因として有効にするためのビットです。本ビットに 1 を書き込む事でセットすることができます。クリアする場合は HcInterruptDisable レジスタの該当ビットに 1 を書き込みます。 0 : 何もしない 1 : RHSC 割り込み有効	R/W
b30-b7	—	予約ビット	書き込み時は、0 を書き込んでください。	R/W

ビット	シンボル	ビット名	機能	R/W
b31	MIE (MasterInterruptEnable)	割り込み7要因イネーブル ビット	本レジスタのbit[6:0]で設定された割り込み要因を有効にするためのビットです。 本ビットが0の場合、すべての割り込みはマスクされます。 クリアする場合はHcInterruptDisableレジスタの該当ビットに1を書き込みます。 0: 何もしない 1: 設定された割り込みは有効	R/W

23.3.1.6 HcInterruptDisable レジスタ

アドレス A004 0014h

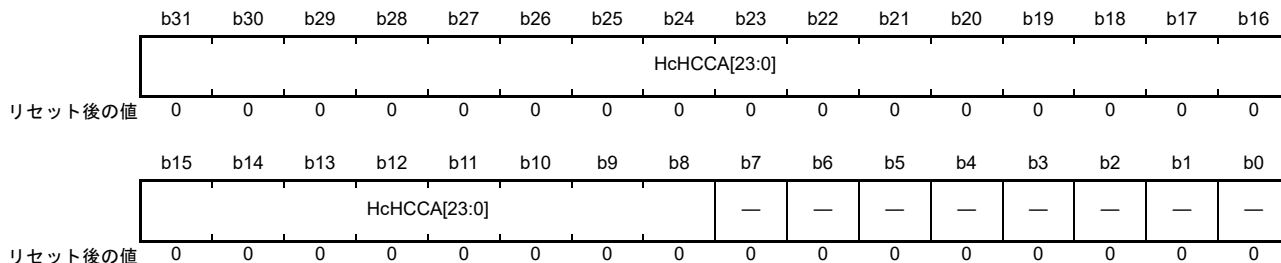
	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MID	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	RHSCD	FNOD	UED	RDD	SFD	WDHD	SOD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SOD (Scheduling Overrun Disable)	SO 割り込み要因ディセーブルビット	SO を割り込み要因から無効にするためのビットです。本ビットに 1 を書き込む事でクリアする事ができます。セットする場合は HcInterruptEnable レジスタの該当ビットに 1 を書き込みます。 0 : 何もしない 1 : SO を割り込み要因から無効に	R/W
b1	WDHD (Writeback DoneHead Disable)	WDH 割り込み要因ディセーブルビット	WDH を割り込み要因から無効にするためのビットです。本ビットに 1 を書き込む事でクリアする事ができます。セットする場合は HcInterruptEnable レジスタの該当ビットに 1 を書き込みます。 0 : 何もしない 1 : WDH を割り込み要因から無効に	R/W
b2	SFD (StartOfFrameDisable)	SF 割り込み要因ディセーブルビット	SF を割り込み要因から無効にするためのビットです。本ビットに 1 を書き込む事でクリアする事ができます。セットする場合は HcInterruptEnable レジスタの該当ビットに 1 を書き込みます。 0 : 何もしない 1 : SF を割り込み要因から無効に	R/W
b3	RDD (Resume Detected Disable)	RD 割り込み要因ディセーブルビット	RD を割り込み要因から無効にするためのビットです。本ビットに 1 を書き込む事でクリアする事ができます。セットする場合は HcInterruptEnable レジスタの該当ビットに 1 を書き込みます。 0 : 何もしない 1 : RD を割り込み要因から無効に	R/W
b4	UED (UnrecoverableError Disable)	UE 割り込み要因ディセーブルビット	UE を割り込み要因から無効にするためのビットです。本ビットに 1 を書き込む事でクリアする事ができます。セットする場合は HcInterruptEnable レジスタの該当ビットに 1 を書き込みます。 0 : 何もしない 1 : UE を割り込み要因から無効に	R/W
b5	FNOD (FrameNumberOverflow Disable)	FNO 割り込み要因ディセーブルビット	FNO を割り込み要因から無効にするためのビットです。本ビットに 1 を書き込む事でクリアする事ができます。セットする場合は HcInterruptEnable レジスタの該当ビットに 1 を書き込みます。 0 : 何もしない 1 : FNO を割り込み要因から無効に	R/W
b6	RHSCD (RootHubStatusChange Disable)	RHSC 割り込み要因ディセーブルビット	RHSC を割り込み要因から無効にするためのビットです。本ビットに 1 を書き込む事でクリアする事ができます。セットする場合は HcInterruptEnable レジスタの該当ビットに 1 を書き込みます。 0 : 何もしない 1 : RHSC を割り込み要因から無効に	R/W
b30-b7	—	予約ビット	書き込み時は、0 を書き込んでください。	R/W

ビット	シンボル	ビット名	機能	R/W
b31	MID (MasterInterruptDisable)	割り込み7要因ディセーブル ビット	HcInterruptEnable bit[6:0]で設定された割り込み要因を無効にするビットです。 本ビットが0の場合、すべての割り込みはマスクされます。 本ビットに1を書き込む事でクリアする事ができます。 セットする場合はHcInterruptEnableレジスタの該当ビットに1を書き込みます。 0: 何もしない 1: 設定された割り込みを無効にする	R/W

23.3.1.7 HcHCCA レジスタ

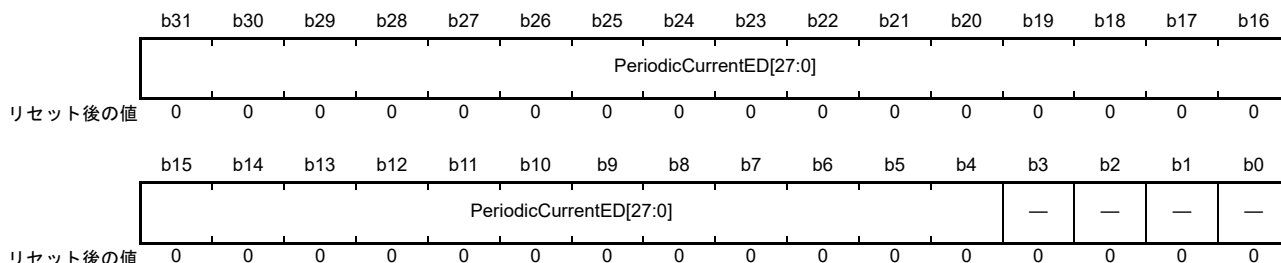
アドレス A004 0018h



ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	書き込み時は、0を書き込んでください。	R/W
b31-b8	HcHCCA [23:0]	RAMベースアドレス設定ビット	Host Controller Communication Areaとして割り当てられたRAMのベースアドレスを設定するためのビットです。初期化時に設定してください。ホスト・ロジックはHCCAとして本ビットで指定するベースアドレスから256バイトの領域を要求します。	R/W

23.3.1.8 HcPeriodicCurrentED レジスタ

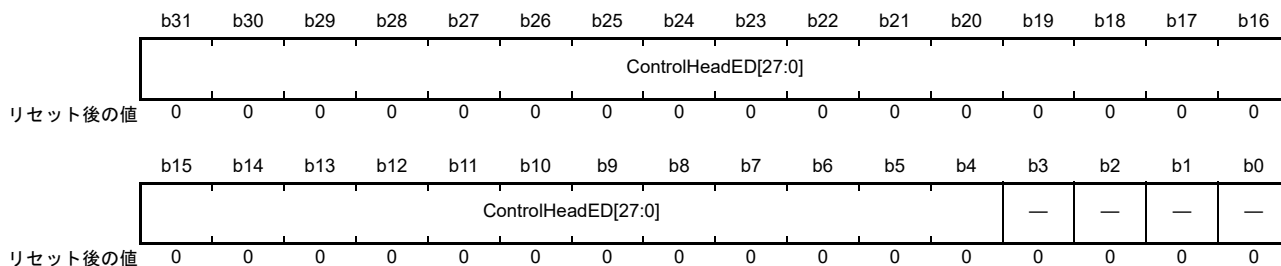
アドレス A004 001Ch



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	Don't care	R
b31-b4	PeriodicCurrentED [27:0]	ED物理アドレスビット	現在処理しているPeriodicリスト上のEDの物理アドレスを示すビットです。ホスト・ロジックはEDのリスト処理が完了すると、本ビットを更新します。	R

23.3.1.9 HcControlHeadED レジスタ

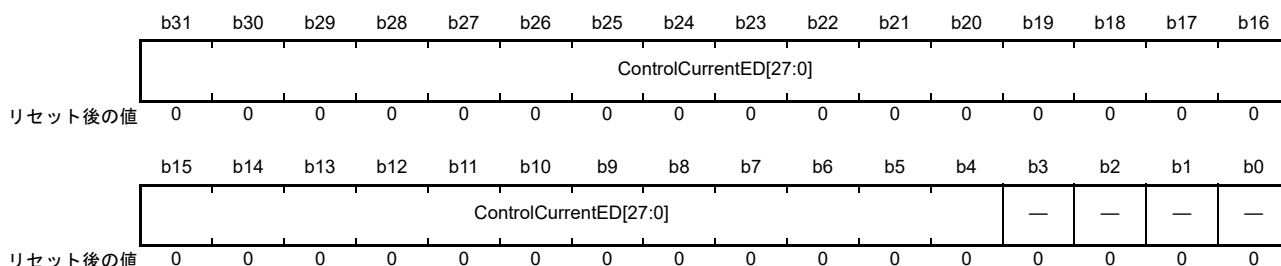
アドレス A004 0020h



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	書き込み時は、0を書き込んでください。	R/W
b31-b4	ControlHeadED [27:0]	先頭ED物理アドレス指定ビット	Controlリストの先頭EDの物理アドレスを指定するためのビットです。 Control転送を行うため、HcControlレジスタのCLEビットをセットする前に本ビットを設定してください。	R/W

23.3.1.10 HcControlCurrentED レジスタ

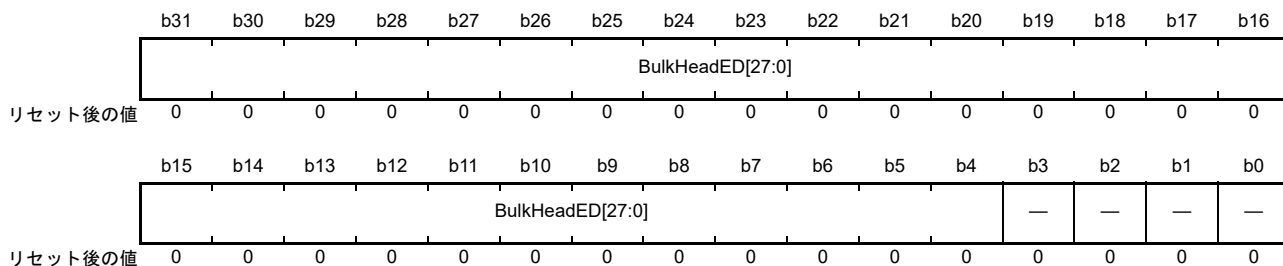
アドレス A004 0024h



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	書き込み時は、0を書き込んでください。	R/W
b31-b4	ControlCurrentED [27:0]	ED物理アドレスビット	Controlリストにおいて現在処理中のEDの物理アドレスを示すビットです。 ホスト・ロジックはControl ED処理完了のたびに本ビット値を更新します。 新規でリストを構築する場合、本ビットはリストの末尾を示す0000 0000hに設定します。転送を一度中断し再開する際に、ControlCurrentEDのリンクポインタが示すEDが存在することを保証してください。	R/W

23.3.1.11 HcBulkHeadED レジスタ

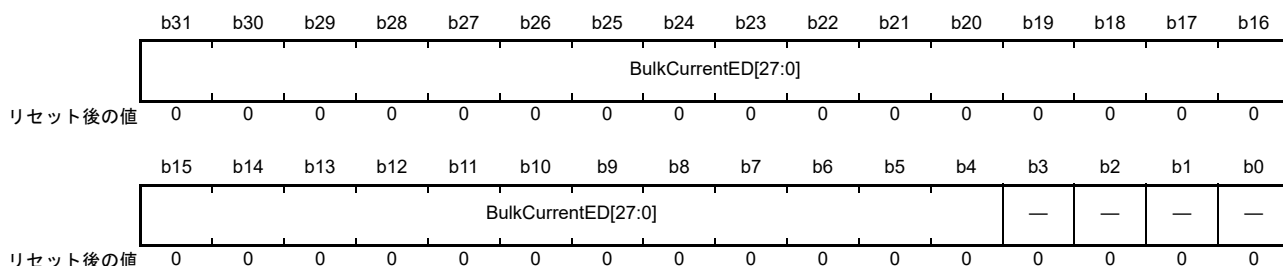
アドレス A004 0028h



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	書き込み時は、0を書き込んでください。	R/W
b31-b4	BulkHeadED [27:0]	先頭ED物理アドレス指定ビット	Bulk リストの先頭EDの物理アドレスを指定するためのビットです。 Bulk転送を行うため、HcControlレジスタ bit5 BLEビットをセットする前に設定してください。	R/W

23.3.1.12 HcBulkCurrentED レジスタ

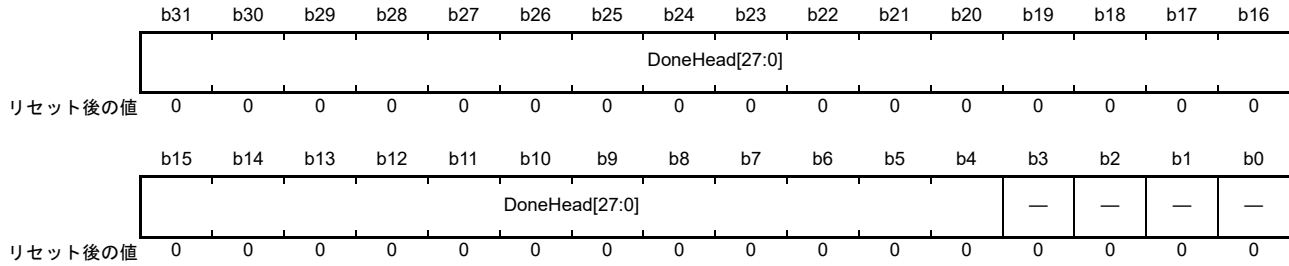
アドレス A004 002Ch



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	書き込み時は、0を書き込んでください。	R/W
b31-b4	BulkCurrentED [27:0]	ED物理アドレスアドレスビット	Bulk リストにおいて現在処理中のEDの物理アドレスアドレスを示すビットです。 ホスト・ロジックはBulk ED処理完了のたびに本ビット値を更新します。 新規でリストを構築する場合、本ビットはリストの末尾を示す0000 0000hに設定します。 転送を一度中断し再開する際に、BulkCurrentEDのリンクポイントが示すEDが存在することを保証してください。	R/W

23.3.1.13 HcDoneHead レジスタ

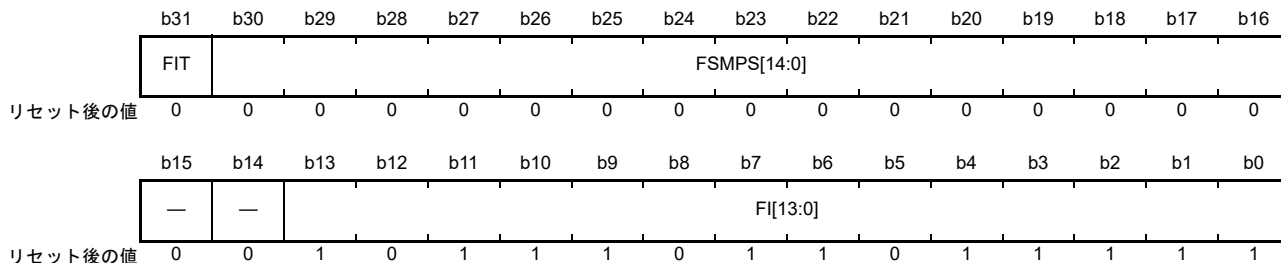
アドレス A004 0030h



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	Don't care	R
b31-b4	DoneHead [27:0]	HcDoneHead 物理アドレス ビット	ホスト・ロジックのHcDoneHeadの物理アドレスを示すビットです。Doneキューに追加される最後に完了したTDの物理アドレスを示します。	R

23.3.1.14 HcFmInterval レジスタ

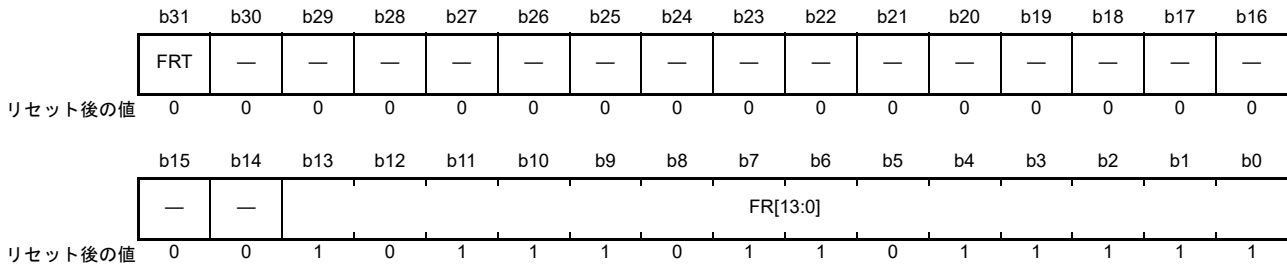
アドレス A004 0034h



ビット	シンボル	ビット名	機能	R/W
b13-b0	FI[13:0] (FrameInterval)	フレーム長設定ビット	本ビットはFS転送で使用するフレームの長さ (bit time) を設定するため使用します。 USB規格の1フレーム (= 1ms) を満たすため、本ビットは2EDFhに設定してください。	R/W
b15-b14	—	予約ビット	書き込み時は、0を書き込んでください。	R/W
b30-b16	FSMPS[14:0] (FSLargestDataPacket)	FSt転送最大パケットサイズ指定ビット	スケジュールオーバーランを起こさずに送受信できる最大のデータ量を設定するビットです。現在のフレーム位置と設定値を比較し、フレームのどこまでが転送開始可能か判断します。システムバスの能力などにより異なるため、この値はドライバから設定します。	R/W
b31	FIT (FrameIntervalToggle)	フレーム同期ビット	本ビットは、ソフトウェアとホスト・ロジック間のフレーム設定値の同期を取るために使用します。 FIビットを更新する際、ソフトウェアで本ビットをトグルしてください。 ホスト・ロジックはFIビットをロードするとき、HcFmRemainingレジスタのbit31 FRTビットにFITの値を反映します。FIビットを書き込む際に設定した本ビットの値と、読み出したFRTビットの値を比較する事で、新たに設定したFIビットが反映されたか確認する事ができます。	R/W

23.3.1.15 HcFmRemaining レジスタ

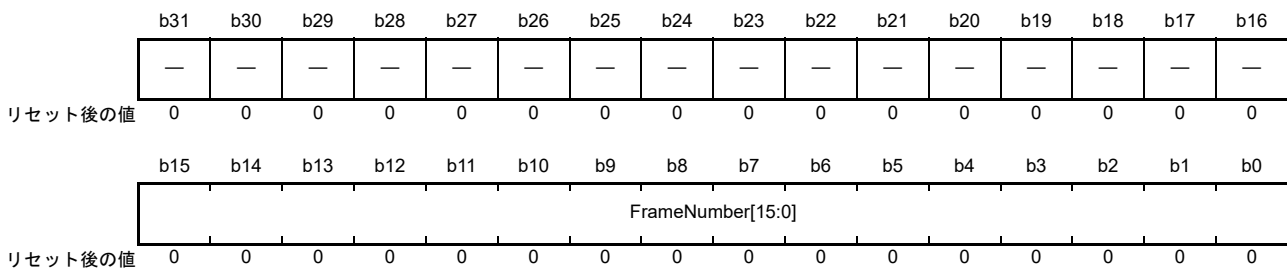
アドレス A004 0038h



ビット	シンボル	ビット名	機能	R/W
b13-b0	FR[13:0] (FrameRemaining)	ダウンカウンタフレームビット	本ビットは、14bitのダウンカウンタにおけるフレームの現在値を示します。 経過時刻と共に、本ビットの値はカウントダウンします。 0000hになるとフレームの値を再ロードするため、HcFmIntervalレジスタのbit[13:0] FIビットの値を本ビットにコピーし、再びカウントダウンします。	R
b30-b14	—	予約ビット	Don't care	R
b31	FRT (FrameRemainingToggle)	フレーム同期ビット	本ビットは、ソフトウェアとホスト・ロジック間のフレーム設定値の同期を取るために使用します。 FRビットが0000hになった時、ホスト・ロジックはHcFmIntervalレジスタ bit[13:0] FIビット値をFRビットにコピーしますが、あわせてHcFmIntervalレジスタのbit31 FITビットの値を本ビットにコピーします。 FITビットと本ビットの値を比較する事により、ソフトウェアはFIビットへの設定値がFRビットに設定された事を確認する事ができます。	R

23.3.1.16 HcFmNumber レジスタ

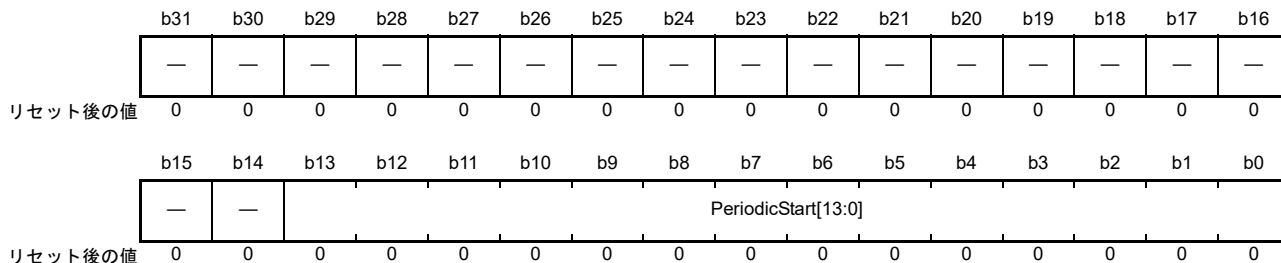
アドレス A004 003Ch



ビット	シンボル	ビット名	機能	R/W
b15-b0	FrameNumber[15:0]	経過フレーム数ビット	本ビットは経過したフレーム数を示します。 HcFmRemaining bit[13:0]レジスタ FRビットが0000hになると、本ビットはカウントアップします。	R
b31-b16	—	予約ビット	Don't care	R

23.3.1.17 HcPeriodicStart レジスタ

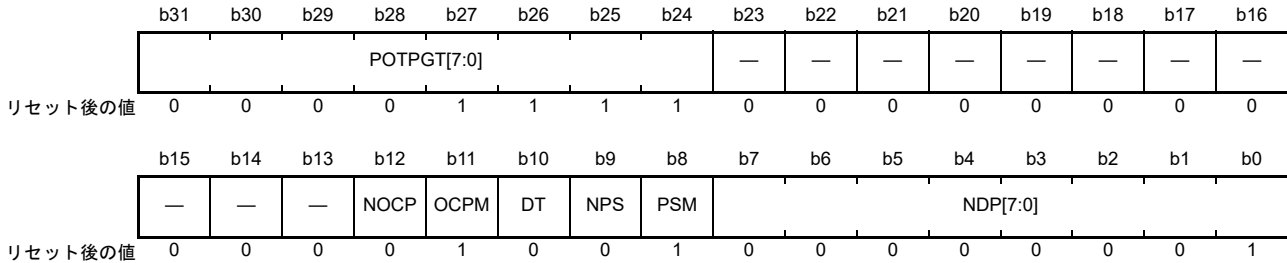
アドレス A004 0040h



ビット	シンボル	ビット名	機能	R/W
b13-b0	PeriodicStart [13:0]	Periodic リスト処理開始時間	ホスト・ロジックがフレーム内でPeriodic リスト処理を開始する時間を示します。 ホスト・ロジックの初期化時に、ソフトウェアにより本ビットの値を設定してください。設定した値よりもHcFmRemaining レジスタ bit[13:0] FR ビットの値が大きいときはPeriodic リストに対しNonPeriodic リストが優先されます。 この設定値は、HcFmInterval レジスタ bit[13:0] FI ビットの90%程度に設定することがOHCI規格で推奨されています。推奨値は2A2Fhです。	R/W
b31-b14	—	予約ビット	書き込み時は、0を書き込んでください。	R/W

23.3.1.18 HcRhDescriptorA レジスタ

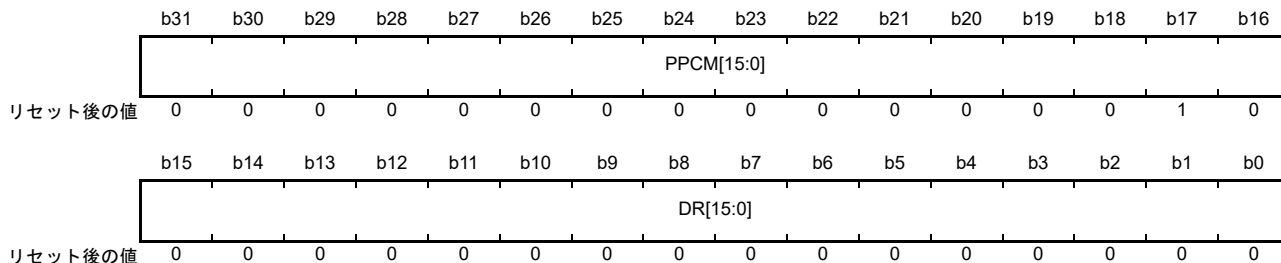
アドレス A004 0048h



ビット	シンボル	ビット名	機能	R/W
b7-b0	NDP[7:0] (NumberDownstreamPort)	ダウンストリームポート数	ホスト・ロジックのルートハブによりサポートされるダウンストリームポート数を規定するビットです。	R
b8	PSM (PowerSwitchingMode)	パワースイッチ制御ビット	ルートハブの各ポートに対するパワースイッチの制御方法を設定するビットです。 HcRhDescriptorB レジスタ bit[31:16] PPCM ビットがセットされている場合、各ポートはSet/ClearPortPower だけに応答します。クリアされている場合はSet/ClearGlobalPower によって制御されます。 本ビットは、NPS ビットがクリアされている場合のみ有効になります。 0：すべてのポートは同時に電源制御される 1：ポートは個別に電源制御される	R/W
b9	NPS (NoPowerSwitching)	電源制御ビット	ポートの電源制御方法を設定するビットです。 0：ポートの電源はOn/Offのスイッチが可能 1：ホスト・ロジックが動作中は常にパワーオンされる	R/W
b10	DT (DeviceType)	デバイスタイプ	ルートハブが複合デバイスでない事を示します。 ルートハブは複合デバイスである事を認められていないため、本ビットは常に0が読めます。	R
b11	OCPM (OverCurrentProtectionMode)	過電流状態通知ビット	ルートハブの過電流状態の通知方法を設定するビットです。 本ビットは、PSM ビットと同じモードを反映している必要があります。 本ビットは、NOCP ビットがクリアされている場合のみ有効になります。 0：過電流状態は全ポート一括で通知される 1：過電流状態はポート単位で通知される	R/W
b12	NOCP (NoOverCurrentProtection)	過電流機能サポートビット	ルートハブの過電流機能をサポートするかどうかを設定するビットです。 0：過電流状態をサポートする 1：過電流状態はサポートされない	R/W
b23-b13	—	予約ビット	書き込み時は、0を書き込んでください。	R/W
b31-b24	POTPGT[7:0] (PowerOnToPowerGoodTime)	wait時間	ルートハブのポートに電源が供給されてからソフトウェアがアクセスするまでにwaitしなければならない時間を設定します。 時間単位は2msです。したがって、待機時間はPOTPGT × 2ms となります。	R/W

23.3.1.19 HcRhDescriptorB レジスタ

アドレス A004 004Ch



ビット	シンボル	ビット名	機能	R/W														
b0	DR[15:0] (DeviceRemovable)	デバイスリムーバブルビット	ルートハブの各ポートがリムーバブル（取り外し可能）であることを示すビットです。 各ビットは各ポート専用になっています。 USBホストコントローラはポート1のみです。	R														
b1				R/W														
b15-2				R														
			<table border="1"> <thead> <tr> <th>bit</th> <th>value</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>—</td> <td>Reserved</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>ポート1に接続されているデバイスは取り外し不可</td> </tr> <tr> <td>1</td> <td>ポート1に接続されているデバイスは取り外し可能</td> </tr> <tr> <td>[15:2]</td> <td>—</td> <td>Reserved</td> </tr> </tbody> </table>	bit	value	説明	0	—	Reserved	1	0	ポート1に接続されているデバイスは取り外し不可	1	ポート1に接続されているデバイスは取り外し可能	[15:2]	—	Reserved	
bit	value	説明																
0	—	Reserved																
1	0	ポート1に接続されているデバイスは取り外し不可																
	1	ポート1に接続されているデバイスは取り外し可能																
[15:2]	—	Reserved																
b16	PPCM[15:0] (PortPowerControlMask)	電源制御コマンドビット	各ポートの電源制御コマンドを設定するビットです。 HcRhDescriptorA レジスタ bit8 PSM ビットがセットされているとき有効になります。 各ビットは各ポート専用になっています。 USBホストコントローラはポート1のみです。	R														
b17				R/W														
b31-b18				R														
			<table border="1"> <thead> <tr> <th>bit</th> <th>value</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>—</td> <td>Reserved</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>全ポート一括 (Set/ClearGlobalPower) で制御されます。</td> </tr> <tr> <td>1</td> <td>ポート1は個別 (Set/ClearPort1Power) で制御されます。</td> </tr> <tr> <td>[15:2]</td> <td>—</td> <td>Reserved</td> </tr> </tbody> </table>	bit	value	説明	0	—	Reserved	1	0	全ポート一括 (Set/ClearGlobalPower) で制御されます。	1	ポート1は個別 (Set/ClearPort1Power) で制御されます。	[15:2]	—	Reserved	
bit	value	説明																
0	—	Reserved																
1	0	全ポート一括 (Set/ClearGlobalPower) で制御されます。																
	1	ポート1は個別 (Set/ClearPort1Power) で制御されます。																
[15:2]	—	Reserved																

23.3.1.20 HcRhStatus_A、HcRhStatus_B レジスタ

(1) HcRhStatus_A レジスタ

アドレス A004 0050h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CRWE	—	—	—	—	—	—	—	—	—	—	—	—	—	OCIC	SGP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SRWE	—	—	—	—	—	—	—	—	—	—	—	—	—	OCI	CGP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W																			
b0	CGP (ClearGlobalPower)	グローバルパワークリアビット	<p>本ビットに1をセットすると、ポートへの電源をOFFします。電源がOFFになるポートは、HcRhDescriptorA レジスタ bit8 PSM ビットと、HcRhDescriptorB レジスタ bit[31:16] PPCM ビットの設定で決まります。USB ホストコントローラはポート1のみです。</p> <table border="1"> <thead> <tr> <th>value</th> <th>PSM</th> <th>PPCM[1]</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>—</td> <td>—</td> <td>No Change</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>—</td> <td>HcRhPortStatus1 レジスタの PPS ビットをクリア</td> </tr> <tr> <td>1</td> <td>0</td> <td>HcRhPortStatus1 レジスタの PPS ビットをクリア</td> </tr> <tr> <td></td> <td></td> <td>1</td> <td>No Change</td> </tr> </tbody> </table>	value	PSM	PPCM[1]	説明	0	—	—	No Change	1	0	—	HcRhPortStatus1 レジスタの PPS ビットをクリア	1	0	HcRhPortStatus1 レジスタの PPS ビットをクリア			1	No Change	W
value	PSM	PPCM[1]	説明																				
0	—	—	No Change																				
1	0	—	HcRhPortStatus1 レジスタの PPS ビットをクリア																				
	1	0	HcRhPortStatus1 レジスタの PPS ビットをクリア																				
		1	No Change																				
b1	OCI (OverCurrentIndicator)	過電流状態インジケータビット	<p>グローバル過電流検出モードにおいて、過電流状態を示すビットです。ポート単位の過電流時には、本ビットは常に0を示します。0: ポート状態は正常 1: ポートは過電流状態</p>	R																			
b14-b2	—	予約ビット	書き込み時は、0を書き込んでください。	R/W																			
b15	SRWE (SetRemoteWakeupEnable)	DRWE ビットイネーブルビット	<p>DRWE ビットをセットするためのビットです。本ビットをセットすると DRWE ビットをセットする事ができます。0の書き込みでは何も影響しません。</p>	W																			
b16	SGP (SetGlobalPower)	ポート電源設定ビット	<p>本ビットに1をセットすると、ポートへの電源をONします。電源がONになるポートは、HcRhDescriptorA レジスタ bit8 PSM ビットと、HcRhDescriptorB レジスタ bit[31:16] PPCM ビットの設定で決まります。USB ホストコントローラはポート1のみです。</p> <table border="1"> <thead> <tr> <th>value</th> <th>PSM</th> <th>PPCM[1]</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>—</td> <td>—</td> <td>No Change</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>—</td> <td>HcRhPortStatus1 レジスタの PPS ビットをセット</td> </tr> <tr> <td>1</td> <td>0</td> <td>HcRhPortStatus1 レジスタの PPS ビットをセット</td> </tr> <tr> <td></td> <td></td> <td>1</td> <td>No Change</td> </tr> </tbody> </table>	value	PSM	PPCM[1]	説明	0	—	—	No Change	1	0	—	HcRhPortStatus1 レジスタの PPS ビットをセット	1	0	HcRhPortStatus1 レジスタの PPS ビットをセット			1	No Change	W
value	PSM	PPCM[1]	説明																				
0	—	—	No Change																				
1	0	—	HcRhPortStatus1 レジスタの PPS ビットをセット																				
	1	0	HcRhPortStatus1 レジスタの PPS ビットをセット																				
		1	No Change																				

ビット	シンボル	ビット名	機能	R/W
b17	OCIC (OverCurrent IndicateChange)	OCIビット変化通知ビット	OCIビットに変化があった事を通知するためのビットです。 OCIビットに変化があった場合にセットされます。本ビットが セットされているときに1を書き込むと、本ビットをクリアする 事ができます。 0を書き込んで影響しません。 0 : OverCurrent状態に何もしない 1 : OverCurrent状態に変化あり	R/W
b30-b18	—	予約ビット	書き込み時は、0を書き込んでください。	R/W
b31	CRWE (ClearRemoteWakeupEnable)	DRWEビットクリアビット	DRWEビットをクリアするためのビットです。 本ビットをセットするとDRWEビットをクリアする事ができます。 0を書き込んで影響しません。	W

(2) HcRhStatus_B レジスタ

アドレス A004 0050h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CRWE	—	—	—	—	—	—	—	—	—	—	—	—	—	OCIC	LPSC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DRWE	—	—	—	—	—	—	—	—	—	—	—	—	—	OCI	LPS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LPS (LocalPower Status)	ローカルパワーステータ スビット	LocalPowerStatusをサポートしていないため、本ビットは常に0が読めます。	R
b1	OCI (OverCurrent Indicator)	過電流状態インジケータ ビット	グローバル過電流検出モードにおいて、過電流状態を示すビットです。 ポート単位の過電流時には、本ビットは常に0を示します。 0：ポート状態は正常 1：ポートは過電流状態	R
b14-b2	—	予約ビット	書き込み時は、0を書き込んでください。	R/W
b15	DRWE (DeviceRemote WakeupEnable)	デバイスリモート起動 イネーブルビット	RemoteWakeup イベントとしてHcRhPortStatus1 レジスタ bit16 CSCビットを含むかどうかを設定するビットです。 本ビットがセットされているときにConnectStatusChange イベントが発生した場合、USB SuspendからUSB Resume状態に遷移し、ResumeDetect割り込みを発生させます。 0：ConnectStatusChangeはRemoteWakeup 要因でない 1：ConnectStatusChangeはRemoteWakeup 要因である	R
b16	LPSC (LocalPower StatusChange)	ローカルパワーステータ スチェンジビット	LocalPowerStatusをサポートしていないため、本ビットは常に0として読み出されます。	R
b17	OCIC (OverCurrent IndicateChange)	OCIビット変化通知ビット	OCIビットに変化があった事を通知するためのビットです。 OCIビットに変化があった場合にセットされます。本ビットがセットされているときに1を書き込むと、本ビットをクリアする事ができます。 0を書き込んでも影響しません。 0：OverCurrent状態に何もしない 1：OverCurrent状態に変化あり	R/W
b30-b18	—	予約ビット	書き込み時は、0を書き込んでください。	R/W
b31	CRWE (ClearRemote WakeupEnable)	DRWEビットクリア ビット	DRWEビットをクリアするためのビットです。 本ビットをセットするとDRWEビットをクリアする事ができます。 0を書き込んでも影響しません。	W

23.3.1.21 HcRhPortStatus1_A、HcRhPortStatus1_B レジスタ

(1) HcRhPortStatus1_A レジスタ

アドレス A004 0054h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	PRSC	OCIC	PSSC	PESC	CSC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CPP	SPP	—	—	—	SPR	CSS	SPS	SPE	CPE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CPE (ClearPortEnable)	PESビットクリア ビット	PESビットをクリアするためのビットです。 1を書き込むとポートをDisableに移行します。0の書き込みは影響しません。	W
b1	SPE (SetPortEnable)	PESビットイネーブル ビット	PESビットをセットするためのビットです。 1を書き込むとポートをEnableに移行します。0の書き込みは影響しません。 注1. ポート状態の遷移は、HcRhPortStatus1_Aレジスタ bit4 SPRビットで行ってください。OHCI規格ではSPEビットによるポートEnableへの遷移をサポートしていますが、USB規格ではサポートしていません。	W
b2	SPS (SetPortSuspend)	ポート状態 Suspend 遷移ビット	ポート状態を Suspend に遷移させるためのビットです。 1を書き込むとポートを Suspend に移行します。0の書き込みは影響しません。 CCSビットがクリアされているときに本ビットへの書き込みを行うと、CSCビットをセットしドライバにディスコネクトポートを Suspend しようとしたことを通知します。	W
b3	CSS (ClearSuspendStatus)	Suspend クリアビット	Suspend を終了させ Resume シーケンスを起動させるためのビットです。 1を書き込むと Resume シーケンスを起動します。0の書き込みは影響しません。 PSSビットがセットされているときのみ Resume が起動します。	W
b4	SPR (SetPortReset)	ポートリセット発行 ビット	ダウンストリームポートに対しポートリセットを発行するためのビットです。 本ビットに1を書き込むと10msのポートリセットが起動します。 CCSビットがクリアされているときに、本ビットへの書き込みを行うと PRS ビットへの書き込みができませんが、CSCビットをセットし、ソフトウェアに対しデバイスが接続されていないとポートをリセットしようとしたことを通知します。 0の書き込みは影響しません。	W
b7-b5	—	予約ビット	書き込み時は、0を書き込んでください。	R/W
b8	SPP (SetPortPower)	ポートパワーオンビット	ポート毎のパワー制御が行われている場合に、ポートパワーをオンにするビットです。 1を書き込むとポートをオンします。0の書き込みは影響しません。	W
b9	CPP (ClearPortPower)	ポートパワークリア ビット	ポートごとのパワー制御が行われている場合に、ポートパワーをオフするためのビットです。 1を書き込むとポートをオフします。0の書き込みは影響しません。	W
b15-b10	—	予約ビット	書き込み時は、0を書き込んでください。	R/W

ビット	シンボル	ビット名	機能	R/W
b16	CSC (ConnectStatusChange)	CCSビットステータスビット	CCSビットが変化したことを示すビットです。 ホスト・ロジックは、CCSがデバイスのConnect/Disconnectにより変化するとき本ビットをセットします。 また、Disconnect中にポートリセット・ポートSuspend・ポート有効化の要求があった場合も、ソフトウェアにデバイス接続確認をさせるため、本ビットをセットします。 ソフトウェアにより1がセットされると本ビットはクリアされません。 0: CCSに何もしない 1: CCSに変化あり	R/W
b17	PESC (PortEnableStatusChange)	PESビットステータスビット	PESビットが変化したことを示すビットです。 過電流状態・Disconnect・パワーオフ・Babbleエラーなどハードウェアイベントによりポートが変化した場合にセットされるビットです。ソフトウェアにより1がセットされると本ビットはクリアされます。 0: PES状態に何もしない 1: PES状態に変化あり	R/W
b18	PSSC (PortSuspendStatusChange)	RESUMEシーケンス終了ビット	RESUMEシーケンスが終了した事示すビットです。 ハードウェアによるすべてのRESUME処理が終了した場合にセットされます。 ソフトウェアにより1がセットされると本ビットはクリアされます。 また本ビットは、PRSCビットがセットされているときにクリアされます。 0: RESUMEが未了 1: RESUMEが完了	R/W
b19	OCIC (OverCurrentIndicateChange)	過電流状態検出ビット	ポートの過電流状態を検出した場合にセットされるビットです。 本ビットは、過電流状態をポート単位に通知する設定(HcRhDescriptorAレジスタのOCPM=1)されているときだけ有効になります。 ソフトウェアにより1がセットされると本ビットはクリアされません。 0: OverCurrent状態に何もしない 1: OverCurrent状態に変化あり	R/W
b20	PRSC (PortResetStatusChange)	ポートリセット完了ビット	ポートリセットが完了した事示すビットです。 本ビットは、ホスト・ロジックにより10msのハードウェアリセットが終了したときにセットされます。 ソフトウェアにより1がセットされると、本ビットはクリアされます。 0: ポートリセット未了、またはPRSビットに何もしない 1: ポートリセットが完了	R/W
b31-b21	—	予約ビット	書き込み時は、0を書き込んでください。	R/W

(2) HcRhPortStatus1_B レジスタ

アドレス A004 0054h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	PRSC	OCIC	PSSC	PESC	CSC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LSDA	PPS	—	—	—	PRS	POCI	PSS	PES	CCS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CCS (CurrentConnectStatus)	接続ステータス反映ビット	ダウストリームポートの現在の接続ステータスを反映するビットです。 0: デバイスが接続されていない 1: デバイスが接続されている	R
b1	PES (PortEnableStatus)	ポート状態イネーブルステータスビット	ポート状態が有効か無効かを示すビットです。 過電流状態・Disconnect検出・パワーオフ・Babbleエラーなどを検出すると、ホスト・ロジックが自動的にクリアします。このとき、PESCビットがセットされます。 CCSビットがクリアされているとき（デバイス未接続状態）、本ビットはをセットすることはできません。 本ビットは、ポートリセット完了時、またはポートSuspend完了時にホスト・ロジックによってセットされます。 0: ポート状態は無効 1: ポート状態は有効	R
b2	PSS (PortSuspendStatus)	Suspend/Resumeステータスビット	ポート状態がSuspendかResumeシーケンス中であることを示すビットです。 SPSビットへの書き込みでセットされます。 CCSビットがクリアされているとき（デバイス未接続状態）、本ビットはセットすることができません。 また本ビットは以下のタイミングでクリアされます。 • Resumeシーケンスが完了し、PSSCビットがセットされる時 • ポートリセットが完了し、PRSCビットがセットされる時 • USB RESUMEステートにいるとき 0: ポートは通常転送状態 1: ポートはSuspend中	R
b3	POCI (PortOverCurrentIndicator)	ダウストリームポート過電流検出ビット	ダウストリームポートが過電流状態になったことを示すビットです。 本ビットは、過電流状態をポート単位に報告する設定（HcRhDescriptorA レジスタのOCPM = 1）されているときだけ有効になります。全ポート一括で通知する設定になっている場合、本ビットは0bに設定されます。 0: ポートは通常状態 1: ポートは過電流状態	R
b4	PRS (PortResetStatus)	ポートリセットステータスビット	本ビットは、ポートリセット状態を示します。 10msのポートリセットが完了するとPRSCビットのセットとともにクリアされます。CCSビットがクリアされているとき（デバイス未接続状態）、本ビットはセットすることができません。 0: ポートリセット中ではない 1: ポートリセット中	R
b7-b5	—	予約ビット	書き込み時は、0を書き込んでください。	R/W
b8	PPS (PortPowerStatus)	電源ステータスビット	ポートの電源ステータスを示すビットです。 本ビットは、過電流が検出されるとクリアされます。 0: ポートパワーオフ 1: ポートパワーオン	R

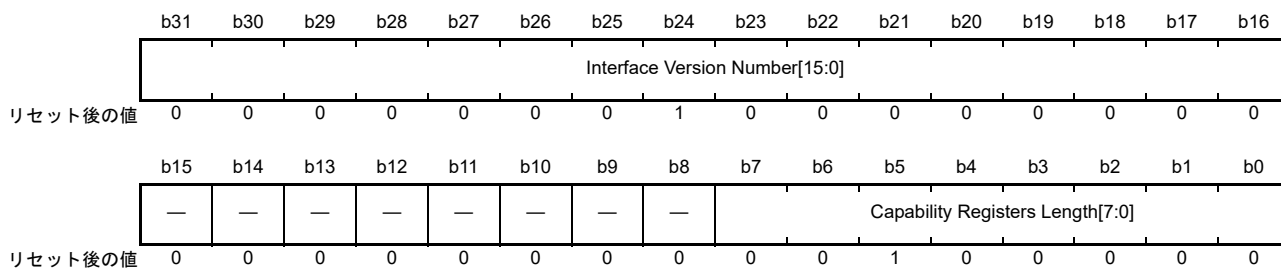
ビット	シンボル	ビット名	機能	R/W
b9	LSDA (LowSpeed DeviceAttach ed)	デバイススピードビット	ポートに接続されたデバイススピードを示すビットです。 このステータスビットはCCSビットがセットされているときの み有効になります。 0: FSデバイスが接続 1: LSデバイスが接続	R
b15-b10	—	予約ビット	書き込み時は、0を書き込んでください。	R/W
b16	CSC (ConnectSt atusChange)	CCS ビットステータス ビット	CCSビットが変化したことを示すビットです。 ホスト・ロジックは、CCSがデバイスのConnect/Disconnect により変化するときに本ビットをセットします。 また、Disconnect中にポートリセット・ポートSuspend・ポート 有効化の要求があった場合も、ソフトウェアにデバイス接続確認 をさせるため、本ビットをセットします。 ソフトウェアにより1がセットされると本ビットはクリアされま す。 0: CCSに何もしない 1: CCSに変化あり	R/W
b17	PESC (PortEnable StatusChang e)	PES ビットステータスビット	PESビットが変化したことを示すビットです。 過電流状態・Disconnect・パワーオフ・Babbleエラーなどハード ウェアイベントによりポートが変化した場合にセットされる ビットです。ソフトウェアにより1がセットされると本ビットは クリアされます。 0: PES状態に何もしない 1: PES状態に変化あり	R/W
b18	PSSC (PortSuspe ndStatusCha nge)	RESUMEシーケンス終了 ビット	RESUMEシーケンスが終了した事を示すビットです。 ハードウェアによるすべてのRESUME処理が終了した場合に セットされます。 ソフトウェアにより1がセットされると本ビットはクリアされま す。 また本ビットは、PRSCビットがセットされているときにクリア されます。 0: RESUMEが未了 1: RESUMEが完了	R/W
b19	OCIC (OverCurrent IndicateChan ge)	過電流状態検出ビット	ポートの過電流状態を検出した場合にセットされるビットです。 本ビットは、過電流状態をポート単位に通知する設定 (HcRhDescriptorA レジスタのOCPM = 1) されているときだけ 有効になります。 ソフトウェアにより1がセットされると本ビットはクリアされま す。 0: OverCurrent状態に何もしない 1: OverCurrent状態に変化あり	R/W
b20	PRSC (PortReset StatusChang e)	ポートリセット完了ビット	ポートリセットが完了した事を示すビットです。 本ビットは、ホスト・ロジックにより10msのハードウェアリ セットが終了したときにセットされます。 ソフトウェアにより1がセットされると、本ビットはクリアされ ます。 0: ポートリセット未了、またはPRSビットに何もしない 1: ポートリセットが完了	R/W
b31-b21	—	予約ビット	書き込み時は、0を書き込んでください。	R/W

23.3.2 EHCI Operational レジスタ

EHCI Operation レジスタは、PHY 内蔵 PLL 起動後にアクセスしてください。詳細は、「図 23.13 初期設定シーケンス」を参照してください。

23.3.2.1 HCIVERSION / CAPLENGTH レジスタ

アドレス A004 1000h



ビット	シンボル	ビット名	機能	R/W
b7-b0	Capability Registers Length [7:0]	ホスト・ロジック Operational Register 開始アドレス	ホスト・ロジックの Operational Register の開始アドレスを示します。 ホスト・ロジックは、Operation Register は 20h から始まるため、20h を示します。	R
b15-b8	—	予約ビット	Don't care	R
b31-b16	Interface Version Number [15:0]	EHCIバージョン	ホスト・ロジックがサポートする EHCI のバージョンを示します。 ホスト・ロジックは、EHCI Rev1.0 に準拠しているため、0100h を示します。	R

23.3.2.2 HCSPARAMS レジスタ

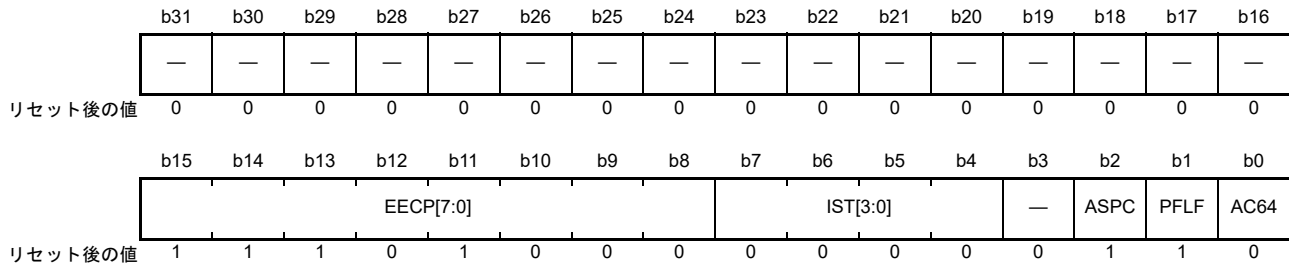
アドレス A004 1004h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
—	—	—	—	—	—	—	—	Debug Port Number[3:0]			—	—	—	P_INDICATOR		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
N_CC[3:0]			N_PCC[3:0]				Port Routing Rules	—	—	PPC	N_PORTS[3:0]					
リセット後の値	0	0	0	1	0	0	0	1	1	0	0	1	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	N_PORTS [3:0] (Number of Ports)	ダウストリームポート数	ホスト・ロジックで使用する物理的なダウストリームポート数を示すビットです。 PCI Configuration EXT1 レジスタ bit[1:0] Port_no ビットの設定値が反映されます。 USBホストコントローラは1ポートのため、1hを示します。	R
b4	PPC (Port Power Control)	ポートパワー制御ビット	ホスト・ロジックのポートパワー制御方法を示すビットです。 USBホストコントローラは、電源供給制御をサポートするため、1を示します。	R
b6-b5	—	予約ビット	Don't care	R
b7	Port Routing Rules	ポートルートルール	各ポートがどのようにOHCIホスト・ロジックにマッピングされているかを示すビットです。 ホスト・ロジックは、HCSP_PORTROUTE レジスタの内容がマッピング方法を示すため、1hを示します。	R
b11-b8	N_PCC[3:0] (Number of Ports per Companion Controller)	ポート数	1基のOHCIホスト・ロジックによってサポートされるポート数を示すビットです。 本ビットには、PCI Configuration EXT1 レジスタ bit[1:0] Port_no ビットの設定値が反映されます。 USBホストコントローラは1ポートのため、1hを示します。	R
b15-b12	N_CC[3:0] (Number of Companion Controller)	OHCIホスト・ロジック数	EHCIホスト・ロジックに関連するOHCIホスト・ロジックの数を示すビットです。 ホスト・ロジックは1基のOHCIホスト・ロジックを搭載しているため、1hを示します。	R
b16	P_INDICATOR	ポート・インジケータ制御サポートビット	ホスト・ロジックがポート・インジケータ制御をサポートするかどうかを示すビットです。 ホスト・ロジックはポート・インジケータ制御をサポートしないため、0を示します。	R
b19-b17	—	予約ビット	Don't care	R
b23-b20	Debug Port Number[3:0]	デバッグ用ポート番号	ホスト・ロジックのポートがデバッグ用ポートであることを示すビットです。 ホスト・ロジックはデバッグポートを持たないため、0000bを示します。	R
b31-b24	—	予約ビット	Don't care	R

23.3.2.3 HCCPARAMS レジスタ

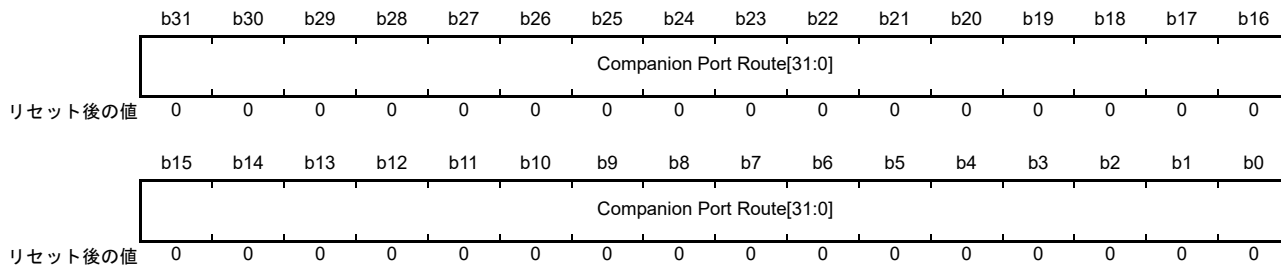
アドレス A004 1008h



ビット	シンボル	ビット名	機能	R/W
b0	AC64	メモリポインタ選択ビット	データ構造が、32bit・アドレスのメモリポインタと64bit・アドレスのメモリポインタのどちらを使用するかを示すビットです。ホスト・ロジックは32bit・アドレスのメモリポインタを使用するデータ構造であるため、0を示します。64bitはサポートしていません。	R
b1	PFLF	プログラミングフレームリストフラグ	ソフトウェアが使用できるフレームリストサイズに対する設定を示すビットです。ホスト・ロジックは1を示します。1に設定されている場合、USBCMDレジスタ bit[3:2] Frame List Size 経由で使用可能なフレームリストサイズを設定でき、4Kバイトよりも小さなフレームリストサイズが設定可能です。	R
b2	ASPC	AsynchronousスケジュールParkサポート可否ビット	Asynchronousスケジュールにおいて、High Speed QH (Queue Head) に対するParkモードのサポート可否を示すビットです。ホスト・ロジックは上記機能をサポートしているため、1を示します。	R
b3	—	予約ビット	Don't care	R
b7-b4	IST[3:0]	Isochronousデータ構造しきい値	ホスト・ロジックはフレーム全体のIsochronousデータ構造のキャッシュをサポートしないため、0hを示します。	R
b15-b8	EECP[7:0] (EHCI Extend Capabilities Pointer)	オフセットアドレスビット	EHCI拡張機能レジスタ (EHCI Extend Capabilities Registers) のオフセットアドレスを示すビットです。EHCI Configuration SpaceのE8hに拡張レジスタが存在することを示します。ホスト・ロジックはレガシー機能をサポートしていないため、本ビットの読み出しは意味を持ちません。	R
b31-b16	—	予約ビット	Don't care	R

23.3.2.4 HCSP_PORTROUTE レジスタ

アドレス A004 100Ch



ビット	シンボル	ビット名	機能	R/W
b31-b0	Companion Port Route[31:0]	OHCIホストのポート表示ビット	OHCIホスト・ロジックが担当するポートを示すビットです。ホスト・ロジックはOHCIホスト・ロジックを1基搭載しているため、0000 0000hを示します。	R

23.3.2.5 USBCMD レジスタ

アドレス A004 1020h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
—	—	—	—	—	—	—	—	Interrupt Threshold Control[7:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	—	—	Asynchronous Schedule Park Mode Enable	—	ASPMC[1:0]	Light Host Controller Reset	Interrupt on Async Advance Doorbell	ASPME	Periodic Schedule Enable	Frame List Size[1:0]	HCRES ET	RS			
リセット後の値	0	0	0	0	1	0	1	1	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b0	RS (Run/Stop)	EHCIホスト・ロジック 実行・停止ビット	EHCIホスト・ロジックを実行・停止させるビットです。 本ビットを1にセットすると、ホスト・ロジックが動作を開始します。 本ビットに1がセットされている限り、ホスト・ロジックは実行し続けます。 なお本ビットは、ホスト・ロジックがHalt状態のときに、1にセットしてください。 USBSTS レジスタ ビット 12 HCHalted ビットは、ホスト・ロジックがトランザクションを終了し、停止状態に入ったことを示します。 0：停止（ホスト・ロジックはトランザクションを完了し、Halt しています） 1：実行（ホスト・ロジックはスケジュールを実行します）	R/W
b1	HCRESET (Host Controller Reset)	ホスト・ロジック初期化 ビット	ホスト・ロジックを初期化するビットです。 本ビットを1にセットすると、ホスト・ロジックは、内部のパイプラインやステートマシンを初期化します。USB上の通信は直ちに停止します。このとき、ダウンストリームポートにUSB Resetは発行されません。 本リセットにより、PCI Configuration Registerは初期化されませんが、EHCI Operation Registerは、初期化され、Port Ownerは、OHCIに戻ります。 本ビットはリセットの完了時にホスト・ロジックにより、自動的に0にクリアされます。ソフトウェアによる0書き込みにより、リセットを中止することはできません。 本ビットはUSBSTS レジスタ 12 HCHalted = 1のときにセットしてください。	R/W
b3-b2	Frame List Size[1:0]	フレームリストサイズ	フレームリストサイズを指定するビットです。 本ビットの設定値が、FRINDEX レジスタのFrame List Current indexのサイズを決定します。 b3 b2 00：1024 elements（4096バイト） 01：512 elements（2048バイト） 10：256 elements（1024バイト） 11：Reserved	R/W
b4	Periodic Schedule Enable	Periodicスケジュールイネーブルビット	Periodicリスト処理を進めるかスキップするかを設定するビットです。 0：Periodicリスト処理を進めない（スキップする） 1：PERIODICLISTBASE レジスタを使用してPeriodicリスト処理を進める。 注. 0の状態では、USBデータ転送を行う場合は、EXT1レジスタ b12ビットを0に設定してください。詳細は「23.3.3.12 Offset E0h レジスタ（EXT1）」を参照してください。	R/W

ビット	シンボル	ビット名	機能	R/W
b5	ASPME	非同期スケジュールイネーブルビット	Asynchronous リスト処理を進めるかスキップするかを設定するビットです。 0 : Asynchronous リスト処理を進めない (スキップする) 1 : ASYNCLISTADDR レジスタを使用して Asynchronous リスト処理を進める。	R/W
b6	Interrupt on Async Advance Doorbell	Doorbell ビット	ソフトウェアが Doorbell として使用するビットです。 次の QH (Queue) 処理に進むときに割り込みを発生させたい場合、本ビットに 1 をセットします。 USBINTR レジスタ ビット 5 Interrupt on Async Advance Enable が 1 にセットされている場合、本ビットに 1 をセットした次の割り込みタイミングで、割り込みが発生します。 USBINTR レジスタ ビット 5 Interrupt on Async Advance Enable が 0 のときに本ビットをセットした場合の動作は保証しません。 本ビットのクリアはホスト・ロジックにより行われます。 ホスト・ロジックは、1 つの QH の処理が正常に完了すると本ビットを 0 にクリアし、USBSTS レジスタ ビット 5 Interrupt on Async Advance ビットに 1 をセットします。	R/W
b7	Light Host Controller Reset	Light Host Controller Reset 実行ステータスビット	Light Host Controller Reset の実行ステータスを示すビットです。 ホスト・ロジックは、Light Host Controller Reset をサポートしないため、0 固定です。	R
b9-b8	ASPMC[1:0]	非同期 Schedule Park トランザクション数	1 つの QH (Queue Head) から連続実行可能なトランザクション数を設定するビットです。 1h ~ 3h までが有効な値となります。 本ビットは、ビット 11 Asynchronous Schedule Park Mode Enable が 1 のとき有効になります。	R/W
b10	—	予約ビット	書き込み時は、0 を書き込んでください。	R/W
b11	Asynchronous Schedule Park Mode Enable	Park モードイネーブルビット	Park モードの有効/無効を設定するビットです。 0 : 無効 1 : 有効	R/W
b15-b12	—	予約ビット	書き込み時は、0 を書き込んでください。	R/W
b23-b16	Interrupt Threshold Control[7:0]	ホスト・ロジック割り込み発生最大レート	ホスト・ロジックが割り込みを発生するまでの最大レートを示します。 以下に示した値以外の書き込みは保証しません。 00h : Reserved 01h : 1 micro-frame 02h : 2 micro-frames 04h : 4 micro-frames 08h : 8 micro-frames (1 ms) 10h : 16 micro-frames (2 ms) 20h : 32 micro-frames (4 ms) 40h : 64 micro-frames (8 ms)	R/W
b31-b24	—	予約ビット	書き込み時は、0 を書き込んでください。	R/W

23.3.2.6 USBSTS レジスタ

アドレス A004 1024h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Asynchronous Schedule Status	Periodic Schedule Status	Reclamation	HCHalted	—	—	—	—	—	—	Interrupt on Async Advance	Host System Error	Frame List Rollover	Port Change Detect	USBERRINT	USBINT
リセット後の値	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	USBINT (USB Interrupt)	USB 転送完了ビット	USB 転送が完了したことを示すビットです。 ホスト・ロジックは以下の条件が発生した場合、本ビットに1をセットします。 <ul style="list-style-type: none"> • USB 転送が完了したとき • ショートパケットを受信したとき また、USB 転送がエラーで完了してもTDのIOC (Interrupt On Complete) に1がセットされている場合、本ビットに1がセットされます。 1を書き込むと本ビットをクリアすることができます。0の書き込みは影響しません 0: USB 転送は完了していない 1: USB 転送が完了	R/W
b1	USBERRINT (USB Error Interrupt)	USB トランザクション ステータスビット	USB トランザクションがエラーで完了したことを示すビットです。 ホスト・ロジックはUSB トランザクションがエラーで完了したとき、本ビットに1をセットします。本ビットがセットされるエラーとして、エラーカウンタがアンダフローした場合などがあります。 1を書き込むと本ビットをクリアすることができます。0の書き込みは影響しません 0: USB トランザクションは正常 1: USB トランザクションがエラーで完了	R/W
b2	Port Change Detect	ポート状態変化検出ビット	ポート状態に変化が生じたことを示すビットです。 ホスト・ロジックは、PORTSC[n] レジスタ ビット13 Port Ownerが0にセットされているいずれかのポートにおいて、以下の条件が1つでも満たされた時、本ビットに1をセットします。 [1セット条件] <ul style="list-style-type: none"> • PORTSC[n] レジスタ ビット1 Connect Status Change ビットが0→1に変化 (デバイスのConnect/Disconnectを検出したとき) • PORTSC[n] レジスタ ビット3 Port Enable/Disable Change ビットが0→1に変化 (ポートのEnable状態が変化したとき) • PORTSC[n] レジスタ ビット5 Over-current Change Change ビットが0→1に変化 (過電流状態を検出したとき) • PORTSC[n] レジスタ ビット6 Force Port Resume ビットが0→1に変化 (SuspendされているポートでJ-Kの遷移が検出されたとき) ソフトウェアが1を書き込むと本ビットをクリアすることができます。0の書き込みは影響しません。	R/W

ビット	シンボル	ビット名	機能	R/W
b3	Frame List Rollover	Frame List Rollover ビット	FRINDEX レジスタの Frame Index ビットが最大値から 000h に戻った (rollover) ときに、ホスト・ロジックは本ビットを 1 にセットします。最大値 (rollover は生じる値) は、USBCMD レジスタ ビット [3:2] Frame List Size に依存します。 1 を書き込むと本ビットをクリアすることができます。0 の書き込みは影響しません 0 : フレームリストが 000h に戻っていない 1 : フレームリストが 000h に戻った	R/W
b4	Host System Error	ホストシステムエラービット	ホスト・ロジックに深刻なエラーが発生した場合、本ビットに 1 がセットされます。 例として PCI システム上でパリティエラーが発生した場合などがあります。本エラーが発生した場合、ホスト・ロジックはそれ以降の TD を実行しないように、USBCMD レジスタ ビット 0 RS ビットを 0 にクリアします。 1 を書き込むと本ビットをクリアすることができます。0 の書き込みは影響しません。 0 : システムエラーは発生していない 1 : システムエラー発生	R/W
b5	Interrupt on Async Advance	Aync Advance 割り込みステータスビット	Aync Advance 割り込みステータスを示すビットです。 ホスト・ロジックは QH をフェッチすると、USBCMD レジスタ ビット 6 Interrupt on Async Advance Doorbell (IAAD) ビットをチェックします。IAAD ビットに 1 がセットされていた場合、ホスト・ロジックは QH の処理が正常に完了すると IAAD ビットをクリアし、本ビットをセットします。 USBINTR レジスタ ビット 5 Interrupt on Async Advance Enable が 1 にセットされている場合、本ビットに 1 がセットされた次の割り込みタイミングで本要因による割り込みが発生します。 1 を書き込むと本ビットをクリアすることができます。0 の書き込みは影響しません。 0 : Async Advance 割り込みは発生していない 1 : Async Advance 割り込み状態を検出	R/W
b11-b6	—	予約ビット	書き込み時は、0 を書き込んでください。	R/W
b12	HCHalted	EHCI ホスト・ロジックステータスビット	本ビットは、USBCMD レジスタ ビット 0 RS ビットが 1 の場合、0 を示します。 ホスト・ロジック、またはソフトウェアにより RS ビットに 0 がセットされると、EHCI ホスト・ロジックは実行を停止し、本ビットはホスト・ロジックによって 1 がセットされます。 0 : EHCI ホスト・ロジックは実行中 1 : EHCI ホスト・ロジックは停止中	R
b13	Reclamation	Asynchronous スケジュール空き検出ビット	空の Asynchronous スケジュールを検出するために使用するビットです。 ホスト・ロジックは、リセット後または H = 1 の QH をフェッチした場合に本ビットを 0 にクリアします。 また、ホスト・ロジックは、Asynchronous トランザクションを実行するとき、または開始イベントを検知したときに本ビットを 1 にセットします。 ホスト・ロジックは、本ビットが 0 の状態で H = 1b の QH をフェッチした場合、Async Sched Sleeping モードに移行します。	R
b14	Periodic Schedule Status	Periodic スケジュールステータスビット	現在の Periodic スケジュールの状態を示すビットです。 Periodic スケジュールは、本ビットおよび USBCMD レジスタ ビット 4 Periodic Schedule Enable が同じ値の場合に有効 (1) / 無効 (0) のどちらかになります。 0 : Periodic スケジュールが無効 1 : Periodic スケジュールが有効	R
b15	Asynchronous Schedule Status	Asynchronous スケジュールステータスビット	現在の Asynchronous スケジュールの状態を示すビットです。 Asynchronous スケジュールは、本ビットおよび USBCMD レジスタ ビット 5 ASPME が同じ値の場合に有効 (1) / 無効 (0) のどちらかになります。 0 : Asynchronous スケジュールが無効 1 : Asynchronous スケジュールが有効	R
b31-b16	—	予約ビット	書き込み時は、0 を書き込んでください。	R/W

23.3.2.7 USBINTR レジスタ

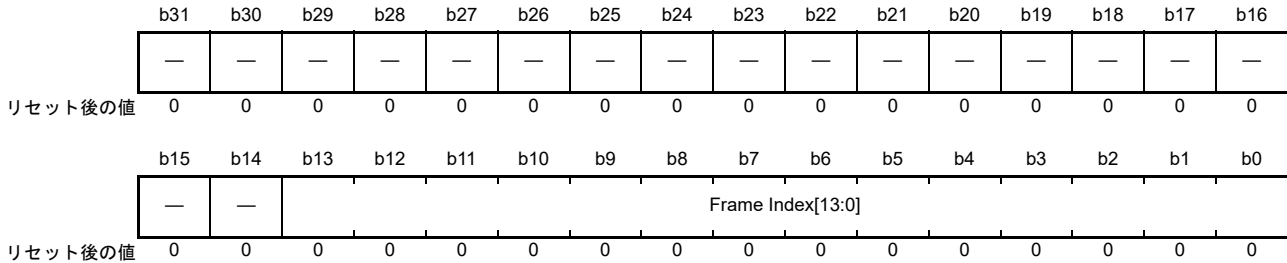
アドレス A004 1028h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	Interrupt on Async Advance Enable	Host System Error Enable	Frame List Rollover Enable	Port Change Interrupt Enable	USB Error Interrupt Enable	USB Interrupt Enable
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	USB Interrupt Enable	USB Interruptイネーブルビット	USBSTSレジスタ ビット0 USBINTの有効/無効を設定します。割り込みのクリアはUSBINTで行ってください。 0：無効 1：有効	R/W
b1	USB Error Interrupt Enable	USB Error Interruptイネーブルビット	USBSTSレジスタ ビット1 USBERRINTの有効/無効を設定します。割り込みのクリアはUSBERRINTで行ってください。 0：無効 1：有効	R/W
b2	Port Change Interrupt Enable	Port Change Interruptイネーブルビット	USBSTSレジスタ ビット2 Port Change Detectの有効/無効を設定します。割り込みのクリアはPort Change Detectで行ってください。 0：無効 1：有効	R/W
b3	Frame List Rollover Enable	Frame List Rolloverイネーブルビット	USBSTSレジスタ ビット3 Frame List Rolloverの有効/無効を設定します。割り込みのクリアはFrame List Rolloverで行ってください。 0：無効 1：有効	R/W
b4	Host System Error Enable	Host System Errorイネーブルビット	USBSTSレジスタ ビット4 Host System Errorの有効/無効を設定します。割り込みのクリアはHost System Errorで行ってください。 0：無効 1：有効	R/W
b5	Interrupt on Async Advance Enable	Interrupt on Async Advanceイネーブルビット	USBSTSレジスタ ビット5 Interrupt on Async Advanceの有効/無効を設定します。割り込みのクリアはInterrupt on Async Advanceで行ってください。 0：無効 1：有効	R/W
b31-b6	—	予約ビット	書き込み時は、0を書き込んでください。	R/W

23.3.2.8 FRINDEX レジスタ

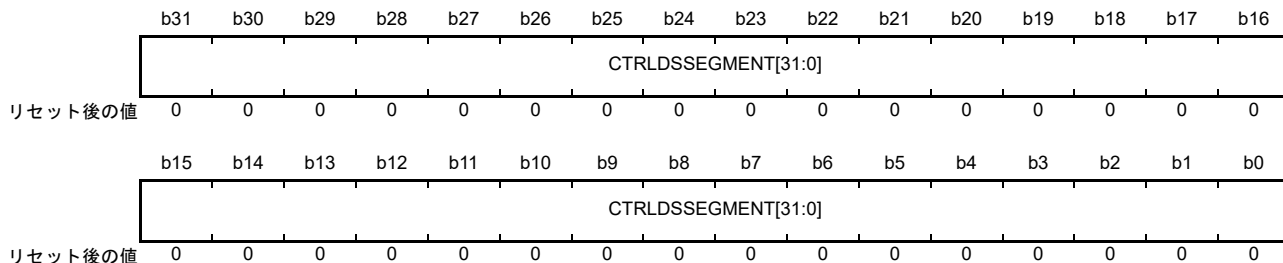
アドレス A004 102Ch



ビット	シンボル	ビット名	機能	R/W															
b13-b0	Frame Index[13:0]	フレームインデックス	<p>ホスト・ロジックが、Periodicフレームリストにインデックスを付けるため使用するビットです。本ビットの値は、マイクロフレームの終わりでインクリメントされます。</p> <p>本ビットの[N:3]は、Frame List Current indexとして使用されます。これは次のインデックスに移る前に、現在のフレームリストに8回アクセスすることを意味しています。Nの値は、USBCMDレジスタ ビット[3:2] Frame List Size ビットの設定値で以下のようになります。</p> <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>Frame List Size</th> <th>Number Elements</th> <th>N</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>(1024)</td> <td>12</td> </tr> <tr> <td>01</td> <td>(512)</td> <td>11</td> </tr> <tr> <td>10</td> <td>(256)</td> <td>10</td> </tr> <tr> <td>11</td> <td colspan="2">Reserved</td> </tr> </tbody> </table> <p>本レジスタへのアクセスは、ホスト・ロジックが停止状態 (USBSTS レジスタ ビット12 HCHalted = 1) の時のみとしてください。</p> <p>なお、本ビットの設定値は、SOFトークンのSOFフレーム番号に反映されます。</p>	Frame List Size	Number Elements	N	00	(1024)	12	01	(512)	11	10	(256)	10	11	Reserved		R/W
Frame List Size	Number Elements	N																	
00	(1024)	12																	
01	(512)	11																	
10	(256)	10																	
11	Reserved																		
b31-b14	—	予約ビット	書き込み時は、0を書き込んでください。	R/W															

23.3.2.9 CTRLDSSEGMENT レジスタ

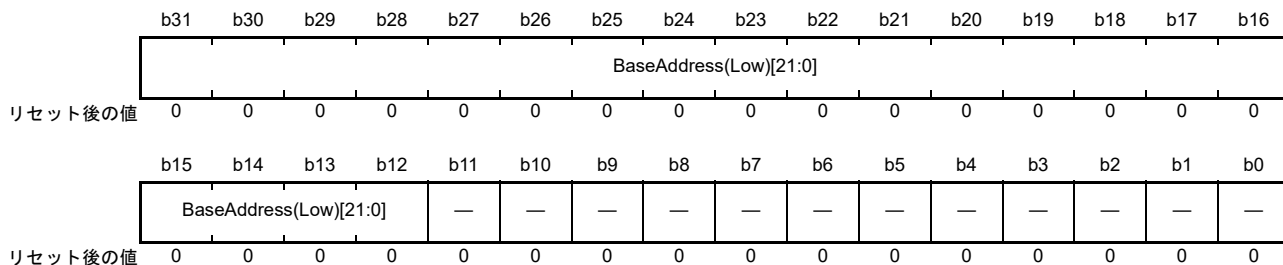
アドレス A004 1030h



ビット	シンボル	ビット名	機能	R/W
b31-b0	CTRLDSSEGMENT[31:0]	—	ホスト・ロジックは、64 ビットアドレス方式をサポートしていないため、本レジスタは使用しません。したがって、本レジスタにはアクセスしないでください。	R

23.3.2.10 PERIODICLISTBASE レジスタ

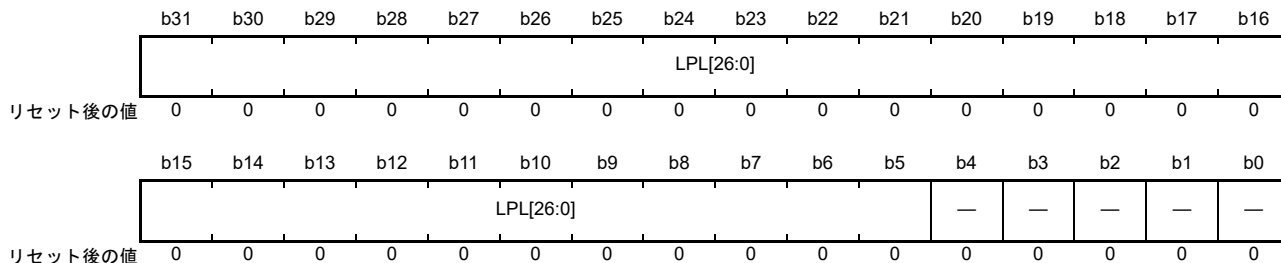
アドレス A004 1034h



ビット	シンボル	ビット名	機能	R/W
b11-b0	—	予約ビット	書き込み時は、0を書き込んでください。	R/W
b31-b12	BaseAddress (Low)[21:0]	Periodic フレームリスト先頭アドレス	システムメモリ上にあるPeriodic フレームリストの先頭アドレスを示すビットです。 ソフトウェアは、ホスト・ロジックがリスト処理を開始する前に本レジスタをロードします。 ホスト・ロジックは、本ビットとFRINDEXレジスタ ビット [13:0] Frame Indexにより、処理するフレームリストを決定します。 Periodic フレームリストのアドレスは、4Kバイトでアラインしてください。 動作中にこれらのビットを変更した場合の動作は保証しません。	R/W

23.3.2.11 ASYNCLISTADDR レジスタ

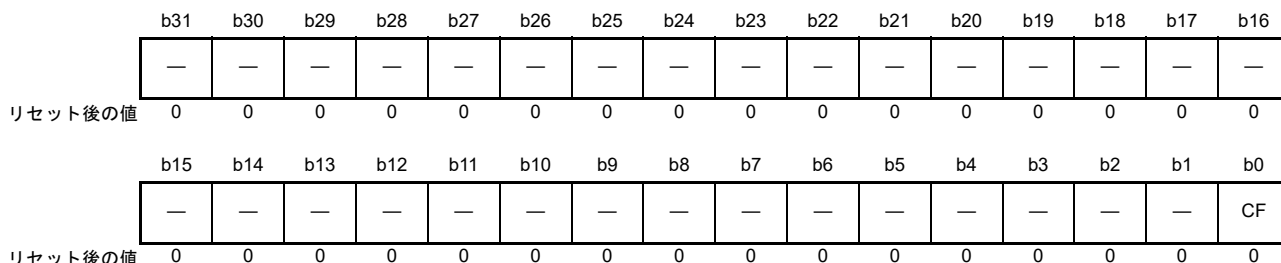
アドレス A004 1038h



ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	書き込み時は、0を書き込んでください。	R/W
b31-b5	LPL[26:0] (Link Pointer Low)	Asynchronous Queue Head リンクポインタアドレス	次に処理される Asynchronous Queue Head のシステムメモリ上のアドレスを示すビットです。 Asynchronous Queue Head のアドレスは、32バイトでアラインしてください。	R/W

23.3.2.12 CONFIGFLAG レジスタ

アドレス A004 1060h



ビット	シンボル	ビット名	機能	R/W
b0	CF (Configure Flag)	ポートルーティング制御回路 構成フラグ	ポートルーティング制御回路が、デフォルトで OHCI / EHCI のどちらをルーティングするかを制御するビットです。 ソフトウェアは、ホスト・ロジックをコンフィグレーションする過程の最後で本ビットに1をセットします。 0: ポートルーティング制御回路はデフォルトで各ポートを OHCI ホスト・ロジックにルーティングします。 1: ポートルーティング制御回路はデフォルトで各ポートを EHCI ホスト・ロジックにルーティングします。	R/W
b31-b1	—	予約ビット	書き込み時は、0を書き込んでください。	R/W

23.3.2.13 PORTSC1 レジスタ

アドレス A004 1064h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	WKOC_E	WKDSC_NNT_E	WKCNT_E	Port Test Control [3:0]			
リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Port Indicator Control[1:0]	Port Owner	PP	Line Status[1:0]	—	Port Reset	Suspended	Force Port Resume	Over-current Change	Over-current Active	Port Enabled/Disable Change	Port Enabled/Disabled	Connect Status Change	Current Connect Status		
リセット後の値 0 0 1 0 0 0 0 0 0 0 0 0 0 0 0 0															

ビット	シンボル	ビット名	機能	R/W
b0	Current Connect Status	ポート接続ステータスビット	<p>ポートの接続ステータスを示すビットです。ホスト・ロジックは、デバイスの接続を検出すると本ビットに1をセットします。また、デバイスが接続されていない状態でもPort Test Control[3:0] = 0101b (Test FORCE_ENABLE) の場合、1をセットします。一方、デバイスの切断を検出すると0をセットします。なお、PPビットが0、またはPort Ownerビットが0の場合、本ビットは0になります。</p> <p>0：ポートにデバイスが接続されていない 1：ポートにデバイスが接続されている</p>	R
b1	Connect Status Change	Connect Status Change ビット	<p>ビット0 Current Connect Status ビットが変化したことを示すビットです。1を書き込むと本ビットをクリアすることができます。0の書き込みは影響しません。PPビットが0の場合、本ビットは0になります。</p> <p>0：何もしない 1：ビット0 Current Connect Status ビットが変化した</p>	R/W
b2	Port Enabled / Disabled	ポート Enable / Disable ステータスビット	<p>ポートの Enable / Disable ステータスを示すビットです。ホスト・ロジックは、ポートをリセットし、接続されたデバイスがHSデバイスと認識した場合、ポートをEnableにし、本ビットに1をセットします。ソフトウェアで本ビットに1をセットすることはできません。ホスト・ロジックはデバイスの切断またはその他のエラーを検出した場合、ポートをDisableにし、本ビットを0にクリアします。また、ソフトウェアによる0書き込みによってもポートはDisableになります。ただし、本ビットへの書き込みは、ポートの状態が実際に変化するまでは反映されません。ポートがDisableの場合、ポートリセットを除き、ダウンストリームポートへのデータ転送はブロックされます。PPビットが0の場合、本ビットは0になります。なお、Port Test Control[3:0] = 0101b (Test FORCE_ENABLE) の場合、ポートの状態に関係なくポートはEnableとなり、本ビットに1がセットされます。</p> <p>0：ポートがDisable 1：ポートがEnable</p>	R/W
b3	Port Enable / Disable Change	ポート Enable / Disable ステータス変化ビット	<p>ポートの Enable / Disable ステータスに変化があったことを示すビットです。ホスト・ロジックがFrame Babbleを検出したとき、ポートをDisableにし、本ビットに1をセットします。1を書き込むと本ビットをクリアすることができます。0の書き込みは影響しません。また、PPビットが0の場合、本ビットは0になります。</p> <p>0：何もしない 1：ポートの Enable ステータスから Disable ステータスに移した</p>	R/W

ビット	シンボル	ビット名	機能	R/W												
b4	Over-current Active	ポート過電流ステータスビット	<p>ポートの過電流ステータスを示すビットです。ホスト・ロジックが過電流を検出すると、ビット12 PPビットとその関連ビットをクリアし、本ビットに1bをセットします。本ビットは過電流状態が解除されると自動的に1→0にクリアされます。</p> <p>0: ポートは過電流状態ではない 1: ポートは過電流状態である</p>	R												
b5	Over-current Change	Over-current Changeビット	<p>ビット4 Over-current Activeビットが変化したことを示すビットです。</p> <p>1を書き込むと本ビットをクリアすることができます。0の書き込みは影響しません。</p> <p>0: 何もしない 1: ビット4 Over-current Activeビットが変化</p>	R/W												
b6	Force Port Resume	ポート Resume 検出フラグ	<p>ポートがResume状態を検出したことを示すビットです。ポートがSuspend中にJからK Stateへの遷移を検出した場合 (RemoteWakeUp)、ホスト・ロジックは、本ビットとUSBSTS レジスタ ビット2 Port Change Detectビットに1をセットします。また、レジューム信号を出力するために、本ビットに1をセットします。この場合、Port Change Detectビットはセットしてはいけません。</p> <p>本ビットが1の間、Resume信号 (FS K State) がUSBポートにドライブされます。適切な時間が経過した後、本ビットを0にクリアしてください。</p> <p>本ビットが1のときに0を書き込むことで、ポートはHS Idle状態に復帰します。復帰するまで本ビットには1が維持されます。また、PPビットが0の場合、本ビットは0になります。</p> <p>0: Resume (K-state) が検出/出力されていない 1: Resume (K-state) が検出/出力された</p>	R/W												
b7	Suspend	ポート Suspendビット	<p>ポートのSuspend状態を示すビットです。</p> <p>0: ポートはSuspend中ではない 1: ポートはSuspend中である</p> <p>本ビットと ビット2 Port Enabled/Disabledビットにより、ポートの状態は以下のようになります。</p> <table border="1" data-bbox="740 1234 1342 1379"> <thead> <tr> <th>Port Enabled/Disabled</th> <th>Suspend</th> <th>ポート状態</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>X</td> <td>無効</td> </tr> <tr> <td>1</td> <td>0</td> <td>有効</td> </tr> <tr> <td>1</td> <td>1</td> <td>Suspend</td> </tr> </tbody> </table> <p>Suspend状態では、ポートリセットを除き、ダウンストリームポートへのデータ転送はこのポートでブロックされます。データ転送中に本ビットに1がセットされた場合、現在の転送終了後に、ステータスの反映およびデータ転送がブロックされます。本ビットへの1のセットは、ソフトウェアより行います。ソフトウェアによる1のセットは、ホスト・ロジックのレジスタがPPビット = 1かつPort Ownerビット = 0かつCurrent Connect Statusビット = 1の場合のみ可能です。</p> <p>本ビットは、以下の場合、無条件で0にクリアされます。</p> <ul style="list-style-type: none"> ソフトウェアでForce Port Resumeビットを0にクリアした場合 ソフトウェアでPort Resetビットを1にセットした場合 また、PPビットが0の場合、本ビットは0になります。 	Port Enabled/Disabled	Suspend	ポート状態	0	X	無効	1	0	有効	1	1	Suspend	R/W
Port Enabled/Disabled	Suspend	ポート状態														
0	X	無効														
1	0	有効														
1	1	Suspend														

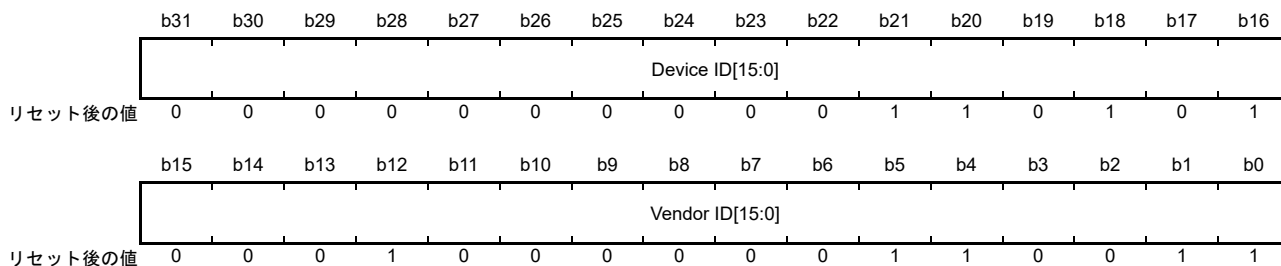
ビット	シンボル	ビット名	機能	R/W																				
b8	Port Reset	ポートリセットステータスビット	<p>ポートのリセットステータスを示すビットです。</p> <p>0: ポートはリセット中ではない</p> <p>1: ポートはリセット中である</p> <p>本ビットが0の状態に1を書き込むと、USB2.0規格で定義された Bus Resetのシーケンスが開始されます。Bus Resetシーケンスを終了させるため、本ビットに0を書き込む必要があります。ただしUSB2.0規格に基づき、Bus Resetシーケンスが完了するまで十分に長い時間、本ビットを1に保持してください。</p> <p>USBSTSレジスタ ビット12 HCHaltedが1の場合、ポートをリセットしないでください。</p> <p>なお、本ビットは、PPビット、Port Ownerビット、Current Connect Statusビットの何れかが以下の状態の場合、0となります。</p> <ul style="list-style-type: none"> • PPビット = 0 • Port Ownerビット = 1 • Current Connect Statusビット = 0 	R/W																				
b9	—	予約ビット	書き込み時は、0を書き込んでください。	R/W																				
b11-b10	Line Status[1:0]	D+ / D-論理レベル	<p>現在のUSBポートのD+ / D-の論理レベルを示すビットです。(ビット11:D+ / ビット10:D-)</p> <p>本ビットは、ポートリセットやポートをイネーブルにするシーケンスの前にLSデバイスを検出するために使用します。したがって、ビット3 Port Enable / Disableビット = 0かつビット0 Current Connect Status = 1のときのみ、本ビットは有効になります。</p> <p>なお、PPビットが0の場合、本ビットは0になります。</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>bit11 (D+)</th> <th>bit10 (D-)</th> <th>USB State</th> <th>Interpretation</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>SE0</td> <td>LSデバイスではない。 EHCIポートリセット実行へ移行。</td> </tr> <tr> <td>0</td> <td>1</td> <td>K State</td> <td>LSデバイスが接続された。 ポート所有権をEHCIからOHCIに開放する。</td> </tr> <tr> <td>1</td> <td>0</td> <td>J State</td> <td>LSデバイスではない。 EHCIポートリセット実行へ移行。</td> </tr> <tr> <td>1</td> <td>1</td> <td>未定義</td> <td>LSデバイスではない。 EHCIポートリセット実行へ移行。</td> </tr> </tbody> </table>	bit11 (D+)	bit10 (D-)	USB State	Interpretation	0	0	SE0	LSデバイスではない。 EHCIポートリセット実行へ移行。	0	1	K State	LSデバイスが接続された。 ポート所有権をEHCIからOHCIに開放する。	1	0	J State	LSデバイスではない。 EHCIポートリセット実行へ移行。	1	1	未定義	LSデバイスではない。 EHCIポートリセット実行へ移行。	R
bit11 (D+)	bit10 (D-)	USB State	Interpretation																					
0	0	SE0	LSデバイスではない。 EHCIポートリセット実行へ移行。																					
0	1	K State	LSデバイスが接続された。 ポート所有権をEHCIからOHCIに開放する。																					
1	0	J State	LSデバイスではない。 EHCIポートリセット実行へ移行。																					
1	1	未定義	LSデバイスではない。 EHCIポートリセット実行へ移行。																					
b12	PP (Port Power)	ポート電源供給制御ビット	<p>ポートに対する電源供給を制御します。</p> <p>本ビットが0の場合、ポートに電源が供給されていないため、ポートは機能せず、接続 / 切断を認識しません。</p> <p>本ビットに1がセットされている状態で過電流が検出されると、ホスト・ロジックによって本ビットは0にクリアされ、ポートへの電源の供給が停止されます。</p> <p>0: ポートに電源供給していない</p> <p>1: ポートに電源供給している</p> <p>なお、本ビットの機能は、HCSPARAMSレジスタ ビット4 PPCビットの値に依存します。</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>PPC</th> <th>PP</th> <th>Function</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>本ビットは1固定となり、ポートには常に電源が供給されます。</td> </tr> <tr> <td>1</td> <td>0/1</td> <td>ポートへの電源供給は、本ビットにしたがいます。</td> </tr> </tbody> </table>	PPC	PP	Function	0	1	本ビットは1固定となり、ポートには常に電源が供給されます。	1	0/1	ポートへの電源供給は、本ビットにしたがいます。	R/W											
PPC	PP	Function																						
0	1	本ビットは1固定となり、ポートには常に電源が供給されます。																						
1	0/1	ポートへの電源供給は、本ビットにしたがいます。																						
b13	Port Owner	ポート所有権ビット	<p>ポートの所有権がOHCI / EHCIのどちらにあるのかを示すビットです。</p> <p>0: ポートの所有権はEHCI</p> <p>1: ポートの所有権はOHCI</p> <p>CONFIGFLAGレジスタ ビット0 CFビットが0→1に変化すると、本ビットは0にクリアされます。また、CFビットが0の場合、本ビットは1になります。</p> <p>ソフトウェアは、接続されたデバイスがHigh Speedデバイスでない場合、ポートの所有権をOHCIに渡すため、本ビットに1をセットします。</p>	R/W																				

ビット	シンボル	ビット名	機能	R/W																
b15-b14	Port Indicator Control[1:0]	—	ホスト・ロジックはPort Indicator Controlをサポートしないため、00bを示します。 本ビットへの書き込みは影響しません。	R																
b19-b16	Port Test Control[3:0]	端子テスト制御ビット	テストモードを制御するビットです。 テストモードの詳細はUSB2.0 Specification Chapter7を参照してください。 <table border="1" data-bbox="730 465 1310 757"> <thead> <tr> <th>Port Test Control[3:0]</th> <th>Mode</th> </tr> </thead> <tbody> <tr> <td>0000b</td> <td>Normal</td> </tr> <tr> <td>0001b</td> <td>Test J_STATE</td> </tr> <tr> <td>0010b</td> <td>Test K_STATE</td> </tr> <tr> <td>0011b</td> <td>Test SE0_NAK</td> </tr> <tr> <td>0100b</td> <td>Test Packet</td> </tr> <tr> <td>0101b</td> <td>Test FORCE_ENABLE</td> </tr> <tr> <td>上記以外</td> <td>Reserved</td> </tr> </tbody> </table>	Port Test Control[3:0]	Mode	0000b	Normal	0001b	Test J_STATE	0010b	Test K_STATE	0011b	Test SE0_NAK	0100b	Test Packet	0101b	Test FORCE_ENABLE	上記以外	Reserved	R/W
Port Test Control[3:0]	Mode																			
0000b	Normal																			
0001b	Test J_STATE																			
0010b	Test K_STATE																			
0011b	Test SE0_NAK																			
0100b	Test Packet																			
0101b	Test FORCE_ENABLE																			
上記以外	Reserved																			
b20	WKCNTT_E (Wake on Connect Enable)	デバイス接続検知イネーブルビット	本ビットに1を書き込むことで、デバイスの接続をWakeUpイベントとして検知することができます。本ビットはホスト・ロジックの動作に影響を与えません。 PPビットが0の場合、本ビットは0になります。	R/W																
b21	WKDSCNNT_E (Wake on Disconnect Enable)	デバイス切断検知イネーブルビット	本ビットに1を書き込むことで、デバイスの切断をWakeUpイベントとして検知することができます。本ビットはホスト・ロジックの動作に影響を与えません。 PPビットが0の場合、本ビットは0になります。	R/W																
b22	WKOC_E (Wake on Over-current Enable)	過電流状態検知イネーブルビット	本ビットに1を書き込むことで、過電流状態をWakeUpイベントとして検知することができます。本ビットはホスト・ロジックの動作に影響を与えません。 PPビットが0の場合、本ビットは0になります。	R/W																
b31-b23	—	予約ビット	書き込み時は、0を書き込んでください。	R/W																

23.3.3 OHCI 用 PCI Configuration レジスタ

23.3.3.1 Offset 00h レジスタ (Vendor ID・Device ID)

アドレス A005 0000h



ビット	シンボル	ビット名	機能	R/W
b15-b0	Vendor ID[15:0]	デバイスベンダー ID	デバイスのベンダーを示すレジスタです。 PCI規格においてデバイスを動作させるドライバを選択するために使用されます。 組み込み系のホストの場合、使用する必要はありません。	R
b31-b16	Device ID[15:0]	デバイス ID	デバイスの種類を示すレジスタです。 PCI規格においてデバイスを動作させるドライバを選択するために使用されます。 組み込み系のホストの場合、使用する必要はありません。	R

23.3.3.2 Offset 04h レジスタ (Command・Status)

アドレス A005 0004h

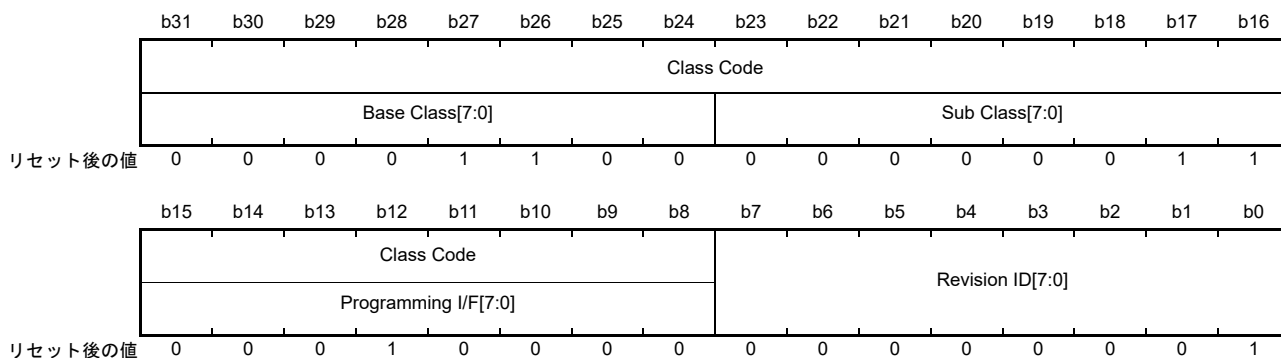
	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	Detected Parity Error	Signaled System Error	Received Master Abort	Received Target Abort	Signaled Target Abort	DevsSel Timing[1:0]	Data Parity Error Detected	Fast Back to Back Capable	—	—	Capabilities List	—	—	—	—	
リセット後の値	0	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	Fast Back to Back Enable	SERR Enable	Wait Cycle Control	Parity Error Response	VGA Palette Snoop	Memory Write and Invalidate Enable	Special Cycle	Bus Master	Memory Space	I/O Space
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	I/O Space	I/O空間アクセスイネーブルビット	I/O空間へのアクセスイネーブルビットです。ホスト・ロジックはI/Oアクセスを受け付けないため常に0になります。	R
b1	Memory Space	メモリ空間アクセスイネーブルビット	メモリ空間へのアクセスイネーブルビットです。PCI規格におけるメモリアクセスを行うためのEnable信号であり、レジスタアクセスを行う場合、1に設定してください。ホスト・ロジックの初期設定時に1を設定してください。	R/W
b2	Bus Master	バスMasterイネーブルビット	バスMasterのイネーブルビットです。PCIバスに対しMasterアクセスを行うためのEnable信号であり、システムバスのSRAMにアクセスする場合、1に設定してください。ホスト・ロジックの初期設定時に1を設定してください。	R/W
b3	Special Cycle	Special Cycleイネーブルビット	Special Cycleのイネーブルビットです。ホスト・ロジックはSpecial Cycleに対応しないため常に0になります。	R
b4	Memory Write and Invalidate Enable	Memory Write and Invalidateイネーブルビット	Memory Write and Invalidateのイネーブルビットです。USBホストコントローラではリセット後の値0のままとしてください。 0: Memory write and invalidate コマンドは無効 1: Memory write and invalidate コマンドは有効	R/W
b5	VGA Palette Snoop	VGA Palette Snoopイネーブルビット	VGA Palette Snoopのイネーブルビットです。ホスト・ロジックはVGA Palette Snoopに対応しないため常に0になります	R
b6	Parity Error Response	Parity Error 応答イネーブルビット	Parity Error 応答のイネーブルビットです。 0: PERR0をアサートしない 1: PERR0をアサートする Parity Error 検出時、本ビットが0に設定されている場合でも、Detected parity error ビットは1にセットされます。	R/W
b7	Wait Cycle Control	Wait Cycle Controlイネーブルビット	Wait Cycle Controlのイネーブルビットです。ホスト・ロジックはAddress/Data Steppingに対応しないため常に0になります。	R
b8	SERR Enable	システムエラー応答イネーブルビット	システムエラー応答のイネーブルビットです。 0: SERR0をアサートしない 1: SERR0をアサートする システムエラーをSERR信号に伝達させる場合は1に設定してください。	R/W
b9	Fast Back to Back Enable	Fast Back to Backイネーブルビット	Fast Back to Backのイネーブルビットです。ホスト・ロジックはFast Back to Backに対応していないため常に0になります。	R
b19-b10	—	予約ビット	書き込み時は、0を書き込んでください。	R/W
b20	Capabilities List	Power Management Mode サポートビット	Power Management Mode サポートを示すビットです。常に1に固定になります。	R

ビット	シンボル	ビット名	機能	R/W
b22-b21	—	予約ビット	書き込み時は、0を書き込んでください。	R/W
b23	Fast Back to Back Capable	Fast Back to Back 対応ビット	Fast Back to Backに対応しているかを示すビットです。Fast Back to Backに対応しないため0固定となります。	R
b24	Data Parity Error Detected	データパリティエラー検出フラグ	Master 動作時にパリティエラーを検出した場合にセットされます。PCIバスからの1書き込みによりクリアされます。Parity Error Response ビットがDisableの場合は0固定となります。	R/W
b26-b25	Devsel Timing[1:0]	DEVSEL 応答速度	DEVSEL 応答速度を示すビットです。01b (中速応答) 固定となります。	R
b27	Signaled Target Abort	Slave / Target Abort ステータスビット	Slave / Target Abortのステータスビットです。Slave 動作において、ホスト・ロジックがアクセスされたバスサイクルをTarget Abortによって終了させた場合に1がセットされます。PCIバスからの1書き込みによりクリアされます。	R/W
b28	Received Target Abort	Master / Target Abort ステータスビット	Master / Target Abortのステータスビットです。Master 動作において、ホスト・ロジックが実行していたバスサイクルがTarget Abortによって終了した場合に1がセットされます。PCIバスからの1書き込みでクリアされます。	R/W
b29	Received Master Abort	Master / Master Abort ステータスビット	Master / Master Abortのステータスビットです。Master 動作において、ホスト・ロジックが実行していたバスサイクルがMASTER Abortによって終了した場合に1がセットされます。PCIバスからの1書き込みによりクリアされます。	R/W
b30	Signaled System Error	SERRステータスビット	SERRのステータスビットです。システムエラーが発生した場合に1がセットされます。PCIバスからの1書き込みによりクリアされます。	R/W
b31	Detected Parity Error	パリティエラーステータスビット	パリティエラーのステータスビットです。アドレスまたはデータパリティエラーを検出した場合にセットされます。PCIバスからの1書き込みによりクリアされます。	R/W

23.3.3.3 Offset 08h レジスタ (Revision ID・Class Code)

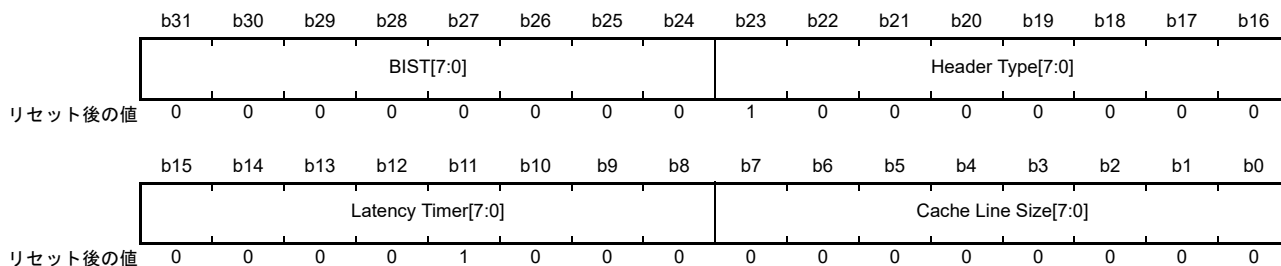
アドレス A005 0008h



ビット	シンボル	ビット名	機能	R/W
b7-b0	Revision ID[7:0]	ホスト・ロジックリビジョンビット	ホスト・ロジックのリビジョンを示すビットです。01hを示します。	R
b15-b8	Programming I/F[7:0]	PCI規格プログラム・インタフェースビット	PCI規格におけるプログラム・インタフェースを示すビットです。OHCIを示す10hを示します。	R
b23-b16	Sub Class[7:0]	PCI規格サブクラスビット	PCI規格におけるサブクラスを示すビットです。USBデバイスを示す03hを示します。	R
b31-b24	Base Class[7:0]	PCI規格基本クラスビット	PCI規格における基本クラスを示すビットです。シリアル周辺バスのコントローラを示す0Chを示します。	R

23.3.3.4 Offset 0Ch レジスタ (Cache Line Size・Latency Timer・Header Type・BIST)

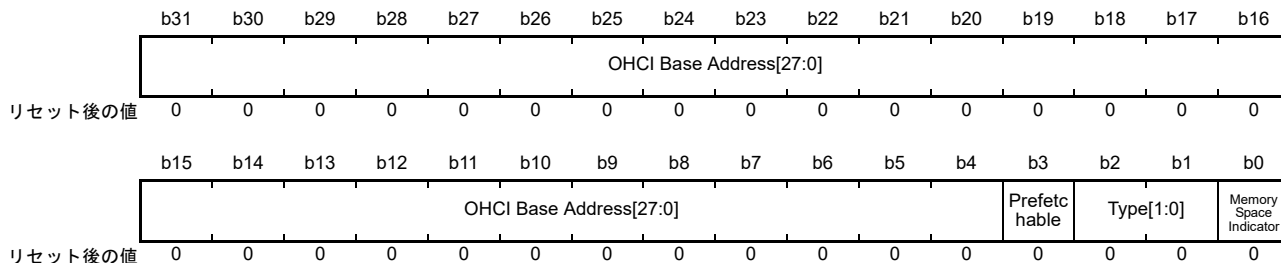
アドレス A005 000Ch



ビット	シンボル	ビット名	機能	R/W
b7-b0	Cache Line Size[7:0]	Cache Line Size	Cache Line Size をシステムに通知するためのビットです。	R/W
b9-b8	Latency Timer[7:0]	Latency Timer	Latency Timer をシステムに通知するためのビットです。 最下位2ビットは00b固定です。	R
b15-b10				R/W
b23-b16	Header Type[7:0]	Header Type	Header Type をシステムに通知するためのビットです。 ヘッダタイプがType0のためビット[22:16]は00h固定です。 MultiFunction デバイスのためビット 23は1固定です。	R
b31-b24	BIST[7:0]	セルフテストビット	セルフテスト用のビットです。 ホスト・ロジックはセルフテストに対応しないため、常に00hです。	R

23.3.3.5 Offset 10h レジスタ (OHCI Base Address)

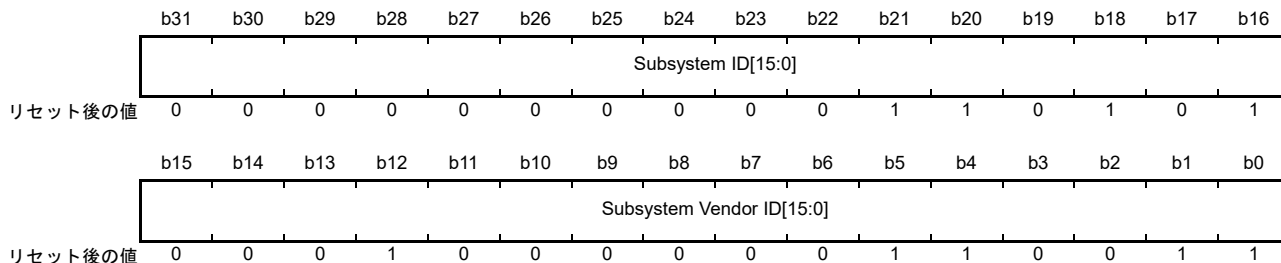
アドレス A005 0010h



ビット	シンボル	ビット名	機能	R/W
b0	Memory Space Indicator	Memory Spaceインジケータ	OHCI Operational Resisterがシステムメモリ空間にマッピングされることを示します。 0固定になります。	R
b2-b1	Type[1:0]	ベースアドレスタイプ	OHCI Operational Registerのベースアドレスが32 ビット幅であり、32 ビットメモリ空間の任意の位置に配置可能であることを示します。00b固定になります。	R
b3	Prefetchable	プリフェッチ設定ビット	ホスト・ロジックはメモリリードサイクルにおけるプリフェッチをサポートしていないため、0固定になります。	R
b11-b4 b31-b12	OHCI Base Address [27:0]	OHCI ベースアドレス	ビット[31:12]にてOperational Registerのアドレスを指定します。 初期化時にシステムにより決定されたOperational Registerのベースアドレス値を設定してください。ビット[11:4]はOperational Registerが4K バイトのアドレス空間を持つこと示し、00h固定になります。	R R/W

23.3.3.6 Offset 2Ch レジスタ (Subsystem Vendor ID・Subsystem ID)

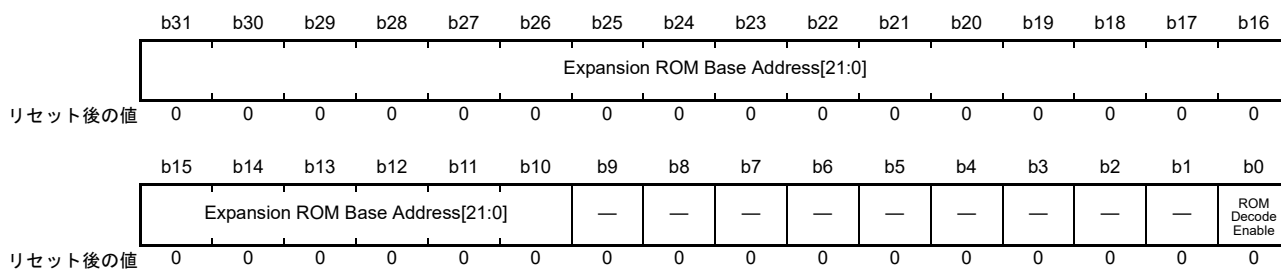
アドレス A005 002Ch



ビット	シンボル	ビット名	機能	R/W
b15-b0	Subsystem Vendor ID [15:0]	サブシステムベンダID	デバイスのベンダーを示すレジスタです。PCI規格においてデバイスを動作させるドライバを選択するために使用されます。組み込み系のホストの場合、使用する必要はありません。	R
b31-b16	Subsystem ID [15:0]	サブシステムID	デバイスの種類を示すレジスタです。PCI規格においてデバイスを動作させるドライバを選択するために使用されます。組み込み系のホストの場合、使用する必要はありません。	R

23.3.3.7 Offset 30h レジスタ (Expansion ROM Base Address)

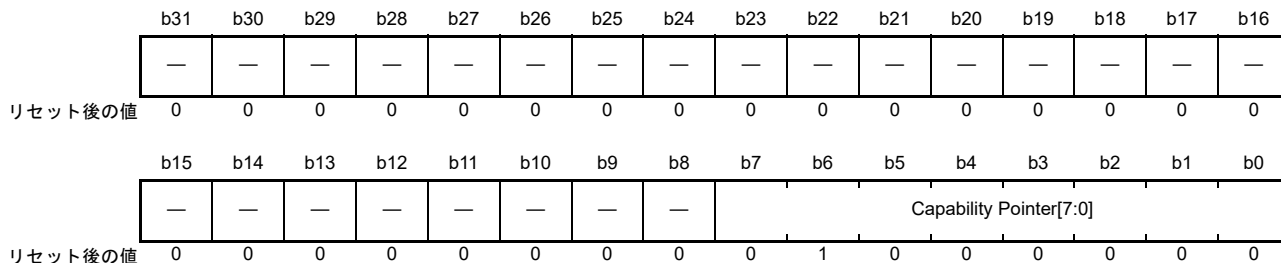
アドレス A005 0030h



ビット	シンボル	ビット名	機能	R/W
b0	ROM Decode Enable	拡張ROM デコードイネーブル	拡張ROMのデコードは禁止のため、常に0が読み出されます。書き込みはできません。	R
b9-b1	—	予約ビット	Don't care	R
b31-b10	Expansion ROM Base Address [21:0]	拡張ROM ベースアドレス	拡張ROMのデコードは禁止のため、常に000000hが読み出されます。書き込みはできません。	R

23.3.3.8 Offset 34h レジスタ (Capability Pointer)

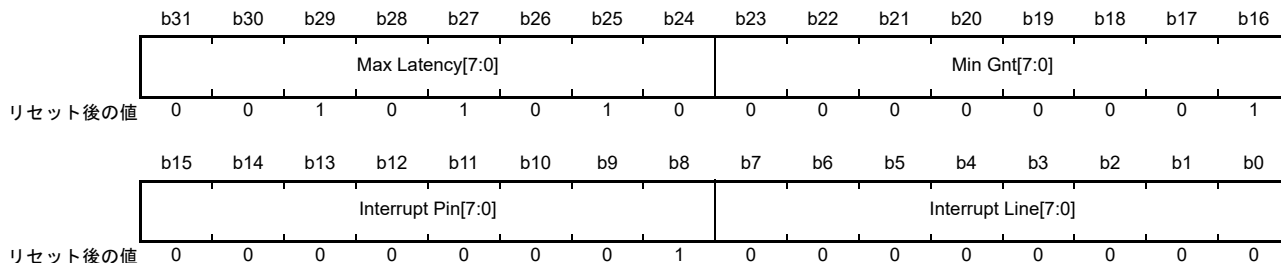
アドレス A005 0034h



ビット	シンボル	ビット名	機能	R/W
b7-b0	Capability Pointer[7:0]	Capability Identifier ポインタ	Capability Identifier へのポインタを示します。ホスト・ロジックでは、40hに実装されているため、40hを示します。	R
b31-b8	—	予約ビット	Don't care	R

23.3.3.9 Offset 3Ch レジスタ (Interrupt Line・Interrupt Pin・Min gnt・Max Latency)

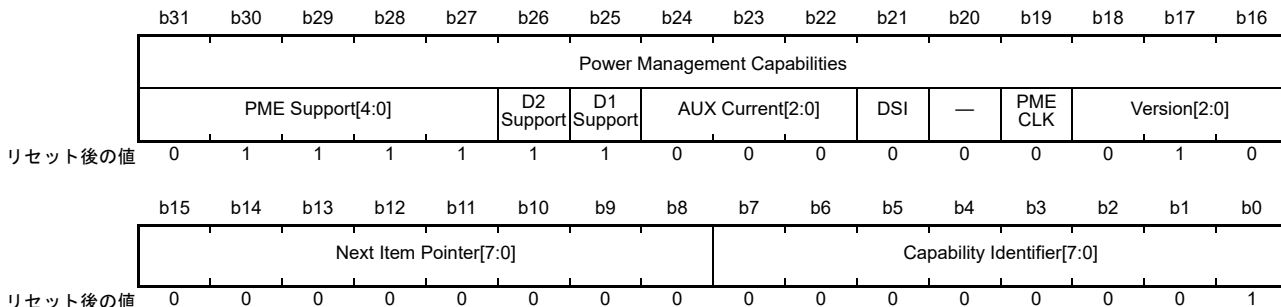
アドレス A005 003Ch



ビット	シンボル	ビット名	機能	R/W
b7-b0	Interrupt Line[7:0]	割り込みライン	割り込みラインを示します。USBホストコントローラではリセット後の値00hのまま固定としてください。	R/W
b15-b8	Interrupt Pin[7:0]	割り込み出力端子	割り込み出力端子を示します。INTAであるため01h固定になります。	R
b23-b16	Min Gnt[7:0]	最小バースト転送時間	最小バースト転送時間を示します。ホスト・ロジックでは01hに実装されているため、01hを示します。	R
b31-b24	Max Latency[7:0]	PCIバス最大獲得頻度	PCIバスの最大獲得頻度を示します。ホスト・ロジックでは2Ahに実装されているため、2Ahを示します。	R

23.3.3.10 Offset 40h レジスタ (Capability Identifier・Next Item Pointer・Power Management Capabilities)

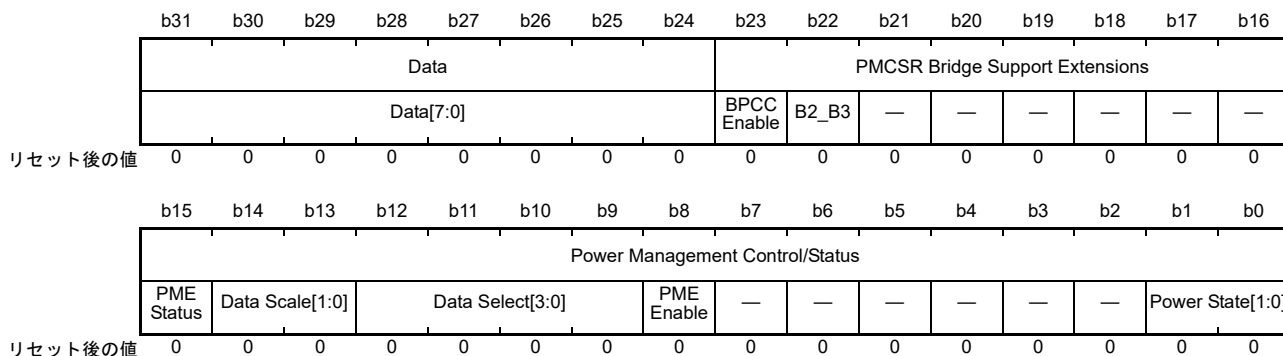
アドレス A005 0040h



ビット	シンボル	ビット名	機能	R/W
b7-b0	Capability Identifier [7:0]	PCI Power Management Register ID	PCI Power Management Register ID を示すビットです。01hの固定値です。	R
b15-b8	Next Item Pointer[7:0]	Next Item 不存在ビット	Next Item が存在しないことを示すビットです。00hの固定値です。	R
b18-b16	Version[2:0]	バージョン	「PCI power management interface specification release 1.1」に準拠していることを示します。010b 固定値です。	R
b19	PME CLK	USBPCLK 不要ビット	PME 割り込み生成に USBPCLK が不要でない事を示します。0 固定です。	R
b20	—	予約ビット	Don't care	R
b21	DSI	Power Management 初期化 不要ビット	Power Management 使用の際に特殊な初期化が必要でない事を示します。0 固定です。	R
b24-b22	Aux Current[2:0]	電流設定値	3.3V 補助電源に必要な電流の設定値を示します。D3 Cold ステートからの PME 割り込み発生をサポートしていません。000b 固定値を示します。	R
b25	D1 Support	PCI Power State D1 対応ビット	PCI Power State の D1 に対応している事を示します。1 固定を示します。	R
b26	D2 Support	PCI Power State D2 対応ビット	PCI Power State の D2 に対応している事を示します。1 固定を示します。	R
b30-b27	PME Support[4:0]	PME 割り込みサポートビット	PCI Power State のすべてのステート (D0~D3) で PME 割り込み発生をサポートする事を示します。1111b の固定値を示します。	R
b31		D3 Cold 状態サポートビット	D3 Cold 状態をサポートしているかを示します。D3 Cold 状態をサポートしないため 0 の固定値を示します。	R

23.3.3.11 Offset 44h レジスタ (Power Management Control / Status・PMCSR Bridge Support Extensions)

アドレス A005 0044h



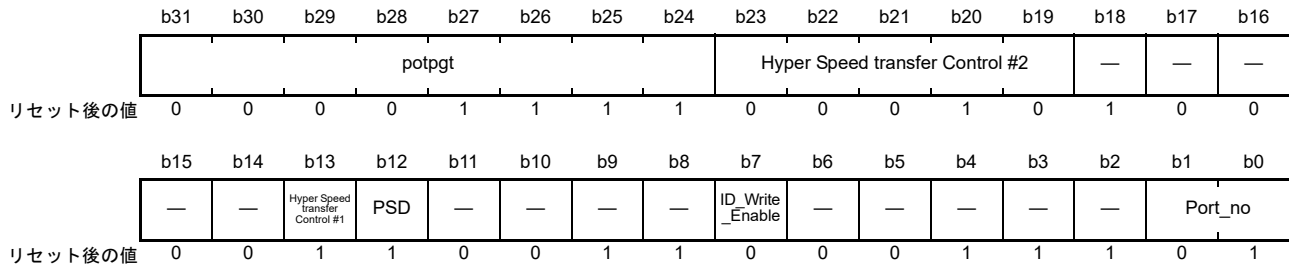
ビット	シンボル	ビット名	機能	R/W
b1-b0	Power State[1:0]	PCI Power Status ビット	PCIのPower Statusを示すビットです。 [1:0]の状態により以下の状態となります。 b1 b0 00 : D0 State 01 : D1 State 10 : D2 State 11 : D3 hot State	R/W
b7-b2	—	予約ビット	書き込み時は、0を書き込んでください。	R/W
b8	PME Enable	PME イネーブルビット	PMEの使用を設定するビットです。 1に設定するとPower Managementからの復帰時にPME割り込みが発生します。	R/W
b12-b9	Data Select[3:0]	データ選択フィールド	0hを示します。 PCI規格において本ビットはオプションフィールドであり、ホスト・ロジックは未対応です。	R
b14-b13	Data Scale[1:0]	データスケールフィールド	00bを示します。 PCI規格において本ビットはオプションフィールドであり、ホスト・ロジックは未対応です。	R
b15	PME Status	PME 割り込みステータス ビット	PMEの割り込みステータスを示します。 PMEの発生条件になると1がセットされます。 [PME発生条件] HcControl レジスタ ビット10 RWE ビットが1にセットされている状態で、HcInterruptStatus レジスタ ビット3 RD ビットに1がセットされたとき。 PCIバスから1を書き込むと0にクリアされます。	R/W
b21-b16	—	予約ビット	書き込み時は、0を書き込んでください。	R/W
b22	B2_B3	Bridge用ビット	0を示します。 Bridge用のビットでありホスト・ロジックは未対応です。	R
b23	BPCC Enable	BPCC イネーブルビット	0を示します。 Bridge用のビットでありホスト・ロジックは未対応です。	R
b31-b24	Data[7:0]	データフィールド	00hを示します。 PCI規格において本ビットはオプションフィールドであり、ホスト・ロジックは未対応です。	R

23.3.3.12 Offset E0h レジスタ (EXT1)

本レジスタは、EHCI コンフィグレーション空間にある EXT1 レジスタと同一です。

したがって、EHCI Configuration レジスタのオフセットアドレスによっても本レジスタはアクセス可能です

アドレス A005 00E0h



ビット	シンボル	ビット名	機能	R/W								
b1-b0	Port_no	USB ダウンストリームポート数	有効な USB ダウンストリームポート数を設定します。 <table border="1" style="margin: 5px 0; width: 100%;"> <thead> <tr> <th>設定値</th> <th>有効なポート</th> </tr> </thead> <tbody> <tr> <td>01b</td> <td>Port1</td> </tr> <tr> <td>10b</td> <td>Port1 および Port2</td> </tr> <tr> <td>上記以外</td> <td>Reserved</td> </tr> </tbody> </table> USB ホストコントローラではリセット後の値 1h のままとしてください	設定値	有効なポート	01b	Port1	10b	Port1 および Port2	上記以外	Reserved	R/W
設定値	有効なポート											
01b	Port1											
10b	Port1 および Port2											
上記以外	Reserved											
b6-b2	—	予約ビット	リセット後の値から変更しないでください	R/W								
b7	ID_Write_Enable	書き込み保護制御ビット	Subsystem ID, Subsystem Vendor ID, Max Latency, Min Gnt の書き込み保護制御を行います。 0: 書き込み不可 1: 書き込み可能	R/W								
b11-b8	—	予約ビット	リセット後の値から変更しないでください。	R/W								
b12	PSD	Periodic スケジュールディセーブルビット	0: USBCMD.Periodic Schedule Enable ビットを 0 の設定で USB データ転送する場合は必ず 0 をセットしてください。 1: 設定なし (初期値) Periodic Schedule Enable ビットが 1 の時は本ビットの値は任意です。	R/W								
b13	Hyper Speed transfer Control #1 (HS Async OUT advance Mode)	Hyper-Speed 転送モード機能設定ビット	Asynchronous OUT 転送に対する Hyper-Speed 転送モード機能を設定します。 1 で本機能が有効 (転送レート向上) になります。	R/W								
b18-b14	—	予約ビット	リセット後の値から変更しないでください。	R/W								
b23-b19	Hyper Speed transfer Control #2	HS Asynchronous FIFO threshold 設定フィールド	02h (HS Asynchronous FIFO threshold = 64 バイト) 以外設定禁止です。	R/W								
b31-b24	Potpgt	POTPGT 設定フィールド	OHCI HcRhDescriptorA レジスタ ビット [31:24] PPOTPGT ビットの設定をします。POTPGT とは、ルートハブのポートに電源が供給されてからソフトウェアがアクセスするまでに wait しなければならない時間です。	R/W								

23.3.3.13 Offset E4h レジスタ (EXT2)

本レジスタは、EHCI コンフィグレーション空間にある EXT2 レジスタと同一です。

したがって、EHCI Configuration レジスタのオフセットアドレスによっても本レジスタはアクセス可能です。

ただし、ビット 0 (EHCI_mask ビット) は OHCI 側からのみ Write 可能です。

アドレス A005 00E4h

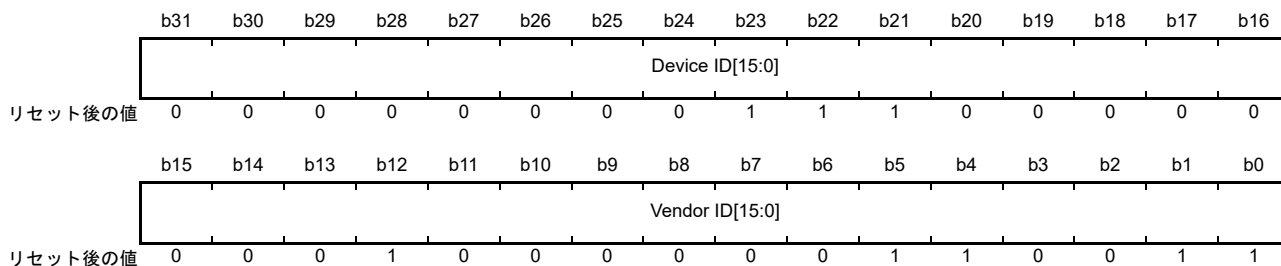
	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	RAM Connect Check Result	RAM Connect Check END Flag	RUN RAM Connect Check
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	Hyper Speed transfer Control #3	EHCI_mask
リセット後の値	0	1	1	0	1	1	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	EHCI_mask	EHCIホスト・ロジックマスクビット	EHCIホスト・ロジックの有効/無効を設定します。 0: EHCIホスト・ロジックはEnable 1: EHCIホスト・ロジックはDisable 本ビットを1にセットするとEHCIのPCI Configuration空間およびメモリ空間へのレジスタアクセスは無効となるため、EHCIホスト・ロジックは動作しません。	R/W
b1	Hyper Speed transfer Control #3	Hyper-Speed転送モード設定ビット	Asynchronous IN/OUT転送に対するHyper-Speed転送モード機能を設定します。 1で本機能が有効(転送レート向上)になります。	R/W
b15-b2	—	予約ビット	リセット後の値から変更しないでください	R/W
b16	RUN RAM Connect Check	RAM接続チェック回路起動ビット	RAM接続チェック回路の起動ビットです。 RAM接続チェック開始時に1をセットします。チェック完了後も本ビットはクリアされません。再度チェックを実行する場合には、本ビットに0を書き込んでビットをクリアし、再度1を書き込んでチェックを行ってください。 本ビットが0→1になると接続チェック回路がリセットされ、RAM Connect Check END FlagビットおよびRAM Connect Check Resultビットがクリアされます。	R/W
b17	RAM Connect Check END Flag	RAM接続チェック終了フラグ	RAM接続チェックの終了を示すビットです。 0: 接続チェック未実施/未了 1: 接続チェック終了 RUN RAM Connect Checkを0→1に設定後、RAMの接続チェックが開始され一定時間経過(約2μs)すると本ビットがセットされます。	R
b18	RAM Connect Check Result	RAM接続チェック結果ビット	RAM接続チェックのチェック結果を示すビットです。 0: 接続チェックNG 1: 接続チェックOK RAM Connect Check END Flagビットが1の場合のみ有効です。 一度接続チェックを行うとRUN RAM Connect Checkビットが0→1となるまで値はクリアされません。	R
b31-b19	—	予約ビット	リセット後の値から変更しないでください	R/W

23.3.4 EHCI 用 PCI Configuration レジスタ

23.3.4.1 Offset 00h レジスタ (Vendor ID・Device ID)

アドレス A005 0100h



ビット	シンボル	ビット名	機能	R/W
b15-b0	Vendor ID[15:0]	ベンダー ID	デバイスのベンダーを示すレジスタです。 PCI規格においてデバイスを動作させるドライバを選択するために使用されます。 組み込み系のホストの場合、使用する必要はありません。	R
b31-b16	Device ID[15:0]	デバイス ID	デバイスの種類を示すレジスタです。 PCI規格においてデバイスを動作させるドライバを選択するために使用されます。 組み込み系のホストの場合、使用する必要はありません。	R

23.3.4.2 Offset 04h レジスタ (Command・Status)

アドレス A005 0104h

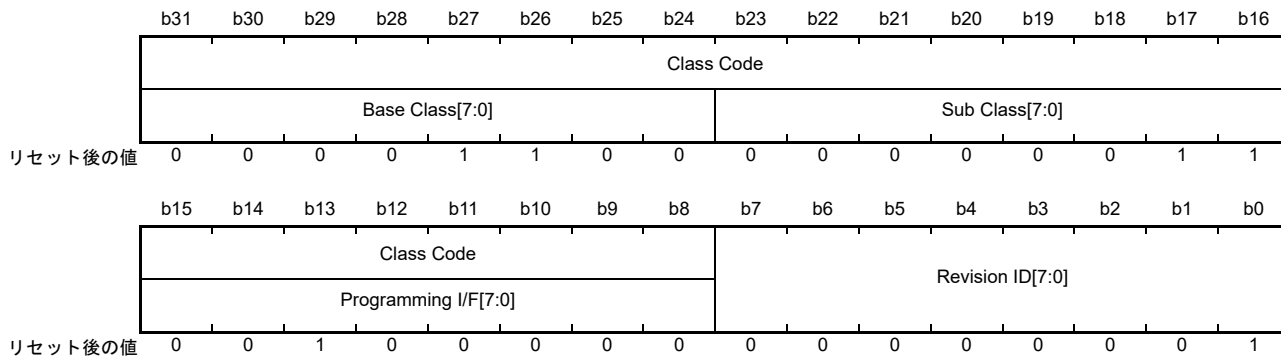
b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
Detected Parity Error	Signaled System Error	Received Master Abort	Received Target Abort	Signaled Target Abort	Devsel Timing[1:0]	Data Parity Error Detected	Fast Back to Back Capable	—	Capable66 MHz	Capabilities List	—	—	—	—	
リセット後の値	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	Fast Back to Back Enable	SERR Enable	Wait Cycle Control	Parity Error Response	VGA Palette Snoop	Memory Write and Invalidate Enable	Special Cycle	Bus Master	Memory Space	I/O Space
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	I/O Space	I/O空間アクセスイネーブルビット	I/O空間へのアクセスイネーブルビットです。ホスト・ロジックはI/Oアクセスを受け付けられないため、常に0になります。	R
b1	Memory Space	メモリ空間アクセスイネーブルビット	メモリ空間へのアクセスイネーブルビットです。PCI規格におけるメモリアクセスを行うためのEnable信号であり、レジスタアクセスを行う場合、1に設定してください。ホスト・ロジックの初期設定時に1を設定してください。	R/W
b2	Bus Master	バスMasterイネーブルビット	バスMasterのイネーブルビットです。PCIバスに対しMasterアクセスを行うためのEnable信号であり、システムバスのSRAMにアクセスする場合、1に設定してください。ホスト・ロジックの初期設定時に1を設定してください。	R/W
b3	Special Cycle	Special Cycleイネーブルビット	Special Cycleのイネーブルビットです。ホスト・ロジックはSpecial Cycleに対応しないため、常に0になります。	R
b4	Memory Write and Invalidate Enable	Memory Write and Invalidateイネーブルビット	Memory Write and Invalidateのイネーブルビットです。USBホストコントローラではリセット後の値0のままとしてください。 0 : Memory write and invalidate コマンドは無効 1 : Memory write and invalidate コマンドは有効	R/W
b5	VGA Palette Snoop	VGA Palette Snoopイネーブルビット	VGA Palette Snoopのイネーブルビットです。ホスト・ロジックはVGA Palette Snoopに対応しないため常に0になります。	R
b6	Parity Error Response	Parity Error 応答イネーブルビット	Parity Error 応答のイネーブルビットです。 0 : PERR0 をアサートしない 1 : PERR0 をアサートする Parity Error 検出時、本ビットが0に設定されている場合でも、Detected Parity Error ビットは1に設定されます。	R/W
b7	Wait Cycle Control	Wait Cycle Controlイネーブルビット	Wait Cycle Controlのイネーブルビットです。ホスト・ロジックはAddress/Data Steppingに対応しないため常に0になります。	R
b8	SERR Enable	システムエラー応答イネーブルビット	システムエラー応答のイネーブルビットです。 0 : SERR0 をアサートしない 1 : SERR0 をアサートする システムエラーをSERR信号に伝達させる場合には1に設定してください。	R/W
b9	Fast Back to Back Enable	Fast Back to Backイネーブルビット	Fast Back to Backのイネーブルビットです。ホスト・ロジックはFast Back to Backに対応していないため常に0になります。	R
b19-b10	—	予約ビット	書き込み時は、0を書き込んでください。	R/W
b20	Capabilities List	Power Management Mode サポートビット	Power Management Modeをサポートすることを示すビットです。1固定になります。	R

ビット	シンボル	ビット名	機能	R/W
b21	Capable66MHz	66MHz動作可能ビット	66MHzで動作可能かどうかを示すビットです。33MHzでのみ動作するため、0固定になります。	R
b22	—	予約ビット	書き込み時は、0を書き込んでください。	R/W
b23	Fast Back to Back Capable	Fast Back to Back対応ビット	Fast Back to Backに対応しているかを示すビットです。Fast Back to Backに対応しないため0固定になります。	R
b24	Data Parity Error Detected	パリティエラー検出ビット	Master動作時にパリティエラーを検出した場合にセットされません。PCIバスからの1書き込みによりクリアされます。Parity Error ResponseビットがDisableの場合は0固定になります。	R/W
b26-b25	Devsel Timing[1:0]	DEVSEL応答速度ビットフィールド	DEVSEL応答速度を示すビットです。01b(中速応答)固定になります。	R
b27	Signaled Target Abort	Slave/Target Abortステータスビット	Slave/Target Abortのステータスビットです。Slave動作において、ホスト・ロジックが、アクセスされたバスサイクルをTarget Abortによって終了させた場合に1がセットされます。PCIバスからの1書き込みによりクリアされます。	R/W
b28	Received Target Abort	Master/Target Abortステータスビット	Master/Target Abortのステータスビットです。Master動作において、ホスト・ロジックが実行していたバスサイクルがTarget Abortによって終了した場合に1がセットされます。PCIバスからの1書き込みでクリアされます。	R/W
b29	Received Master Abort	Master/Master Abortステータスビット	Master/Master Abortのステータスビットです。Master動作において、ホスト・ロジックが実行していたバスサイクルがMaster Abortによって終了した場合に1がセットされます。PCIバスからの1書き込みによりクリアされます。	R/W
b30	Signaled System Error	SERRステータスビット	SERRのステータスビットです。システムエラーが発生した場合にセットされます。PCIバスからの1書き込みによりクリアされます。	R/W
b31	Detected Parity Error	パリティエラーステータスビット	パリティエラーのステータスビットです。アドレスまたはデータパリティエラーを検知した場合にセットされます。PCIバスからの1書き込みによりクリアされます。	R/W

23.3.4.3 Offset 08h レジスタ (Revision ID・Class Code)

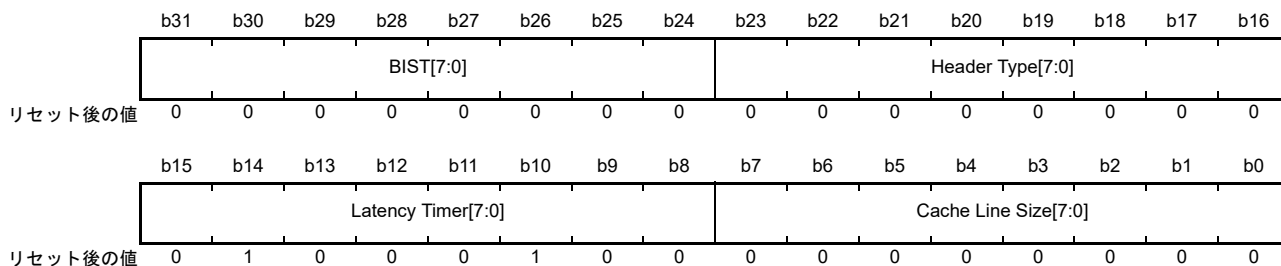
アドレス A005 0108h



ビット	シンボル	ビット名	機能	R/W
b7-b0	Revision ID[7:0]	ホスト・ロジックリビジョン	ホスト・ロジックのリビジョンを示すビットです。01h固定になります。	R
b15-b8	Programming I/F[7:0]	PCI規格プログラム・インタフェースビットフィールド	PCI規格におけるプログラム・インタフェースを示すビットです。EHCIを示す20hを示します。	R
b23-b16	Sub Class[7:0]	PCI規格サブクラス	PCI規格におけるサブクラスを示すビットです。USB デバイスを示す03hを示します。	R
b31-b24	Base Class[7:0]	PCI規格基本クラス	PCI規格における基本クラスを示すビットです。シリアル周辺バスのコントローラを示す0Chを示します。	R

23.3.4.4 Offset 0Ch レジスタ (Cache Line Size・Latency Timer・Header Type・BIST)

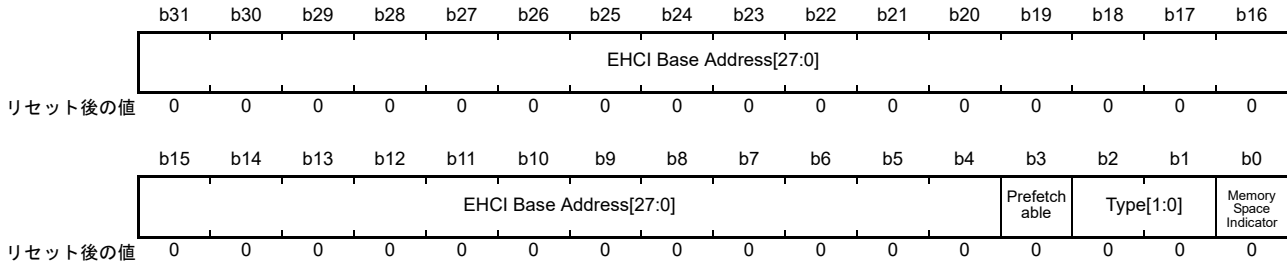
アドレス A005 010Ch



ビット	シンボル	ビット名	機能	R/W
b7-b0	Cache Line Size[7:0]	Cache Line Size	Cache Line Size をシステムに通知するためのビットです。	R/W
b9-b8	Latency Timer[7:0]	Latency Timer	Latency Timer をシステムに通知するためのビットです。最下位 2 ビットは 00b 固定です。	R
b15-b10				R/W
b23-b16	Header Type[7:0]	Header Type	Header Type をシステムに通知するためのビットです。ヘッダタイプが Type0 のため ビット [22:16] は 00h 固定になります。MultiFunction は非対応のため ビット 23 は 0 固定になります。	R
b31-b24	BIST[7:0]	セルフテスト用フィールド	セルフテスト用のビットです。ホスト・ロジックはセルフテストに対応しないため、常に 00h になります。	R

23.3.4.5 Offset 10h レジスタ (EHCI Base Address)

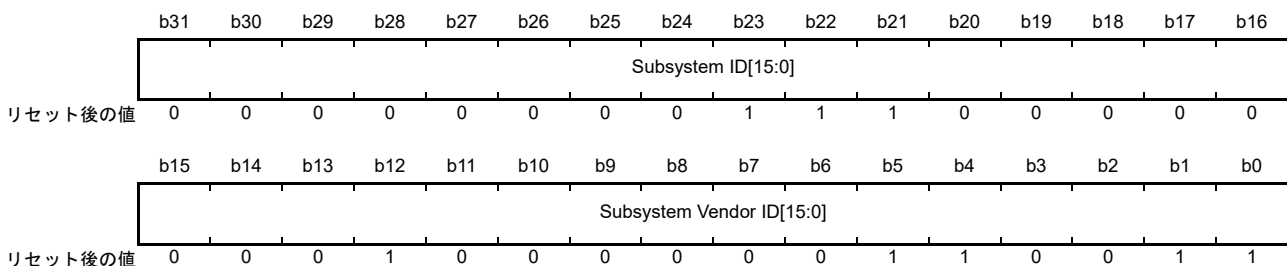
アドレス A005 0110h



ビット	シンボル	ビット名	機能	R/W
b0	Memory Space Indicator	システムメモリ空間インジケータ	EHCI Operational Resisterがシステムメモリ空間にマッピングされることを示します。0固定になります。	R
b2-b1	Type[1:0]	ベースアドレス配置タイプ	EHCI Operational Registerのベースアドレスが32ビット幅であり、32ビットメモリ空間の任意の位置に配置可能であることを示します。00b固定になります。	R
b3	Prefetchable	プリフェッチサポートビット	ホスト・ロジックはメモリリードサイクルにおけるプリフェッチをサポートしていないため、0固定になります。	R
b7-b4	EHCI Base Address [27:0]	EHCI ベースアドレス	ビット[31:8]にて Operational Register のアドレスを指定します。初期化時にシステムにより決定された Operational Register のベースアドレス値を設定してください。ビット[7:4]は Operational Register が 256 バイトのアドレス空間を持つこと示し、0h 固定になります。	R
b31-b8				R/W

23.3.4.6 Offset 2Ch レジスタ (Subsystem Vendor ID ・ Subsystem ID)

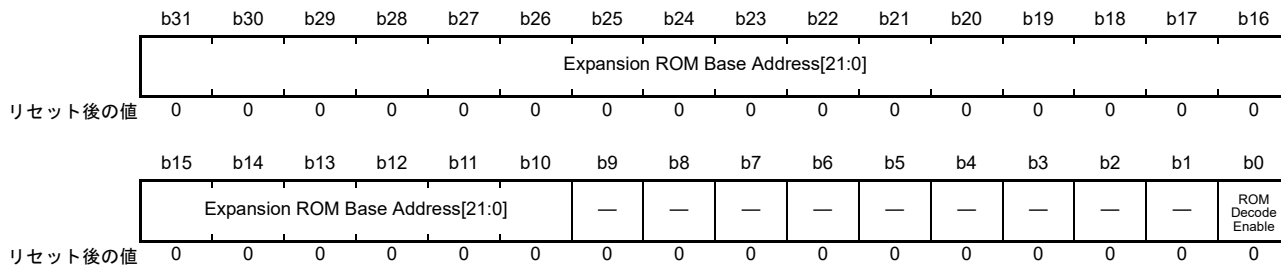
アドレス A005 012Ch



ビット	シンボル	ビット名	機能	R/W
b15-b0	Subsystem Vendor ID [15:0]	サブシステムベンダー ID	デバイスのベンダーを示すレジスタです。PCI規格においてデバイスを動作させるドライバを選択するために使用されます。組み込み系のホストの場合、使用する必要はありません。	R
b31-b16	Subsystem ID [15:0]	サブシステムID	デバイスの種類を示すレジスタです。PCI規格においてデバイスを動作させるドライバを選択するために使用されます。組み込み系のホストの場合、使用する必要はありません。	R

23.3.4.7 Offset 30h レジスタ (Expansion ROM Base Address)

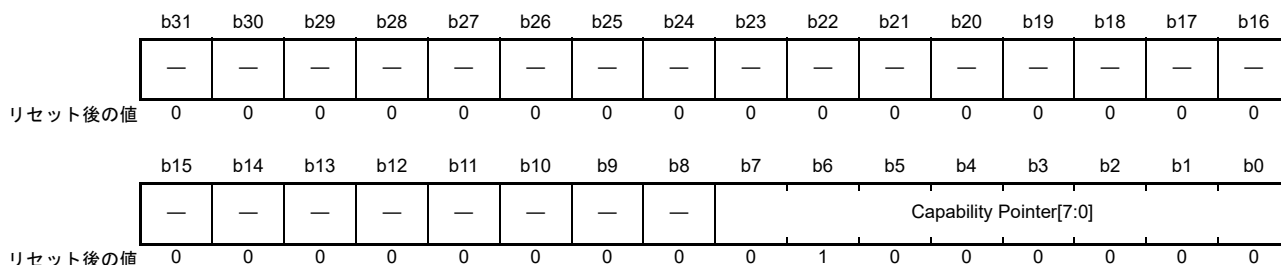
アドレス A005 0130h



ビット	シンボル	ビット名	機能	R/W
b0	ROM Decode Enable	ROMデコードイネーブル	拡張ROMのデコードは禁止のため、常に0が読み出されます。書き込みアクセスはできません。	R
b9-b1	—	予約ビット	Don't care	R
b31-b10	Expansion ROM Base Address[21:0]	拡張ROMベースアドレス	拡張ROMのデコードは禁止のため、常に000000hが読み出されます。書き込みアクセスはできません。	R

23.3.4.8 Offset 34h レジスタ (Capability Pointer)

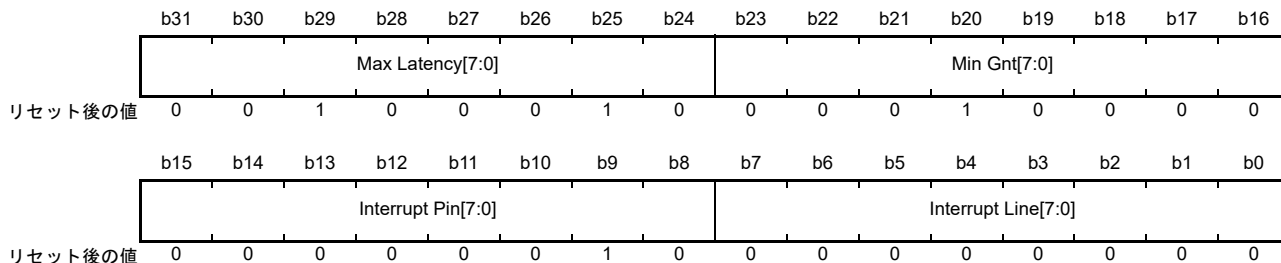
アドレス A005 0134h



ビット	シンボル	ビット名	機能	R/W
b7-b0	Capability Pointer[7:0]	Capability Identifierへのポインタ	Capability Identifierへのポインタを示します。ホスト・ロジックでは、40hに実装されているため、40hを示します。	R
b31-b8	—	予約ビット	Don't care	R

23.3.4.9 Offset 3Ch レジスタ (Interrupt Line・Interrupt Pin・Min gnt・Max Latency)

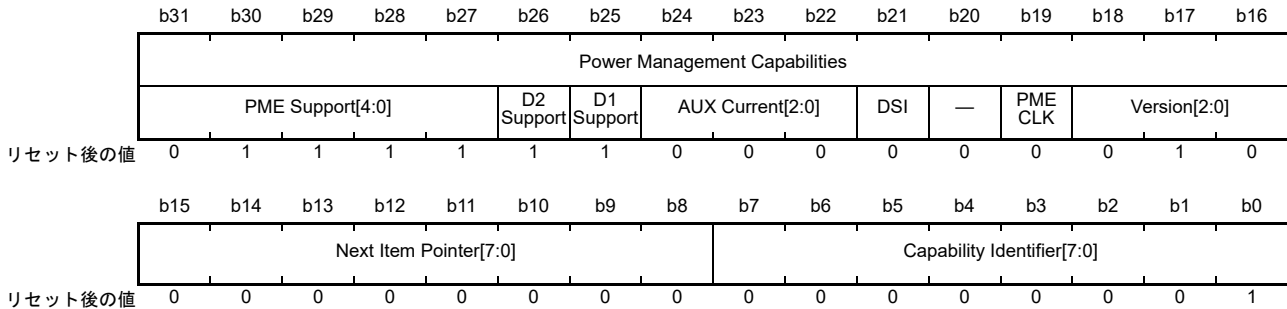
アドレス A005 013Ch



ビット	シンボル	ビット名	機能	R/W
b7-b0	Interrupt Line[7:0]	割り込みライン	割り込みラインを示します。 USBホストコントローラではリセット後の値00hのまま固定としてください。	R/W
b15-b8	Interrupt Pin[7:0]	割り込み出力端子	割り込み出力端子を示します。INTBであるため02h固定になります。	R
b23-b16	Min Gnt[7:0]	最小バースト転送時間	最小バースト転送時間を示します。 ホスト・ロジックでは10hに実装されているため、10hを示します。	R
b31-b24	Max Latency[7:0]	PCIバス最大獲得頻度	PCIバスの最大獲得頻度を示します。 ホスト・ロジックでは22hに実装されているため、22hを示します。	R

23.3.4.10 Offset 40h レジスタ (Capability Identifier・Next Item Pointer・Power Management Capabilities)

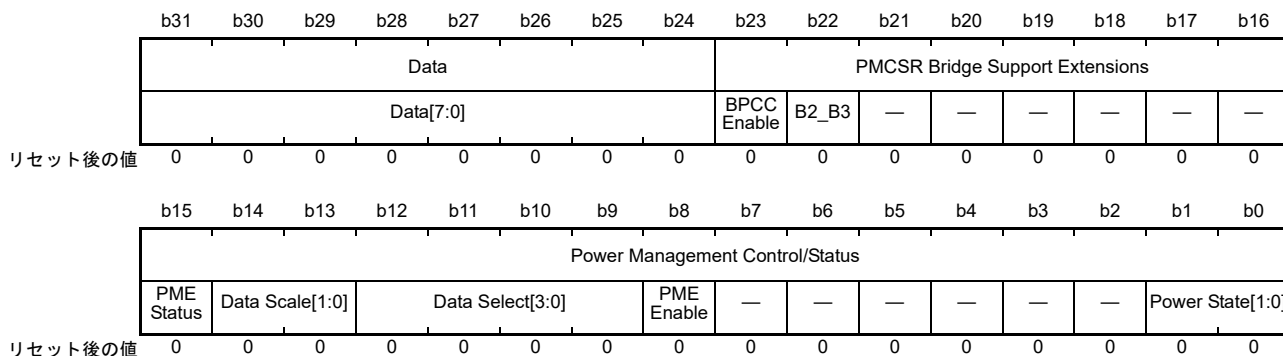
アドレス A005 0140h



ビット	シンボル	ビット名	機能	R/W
b7-b0	Capability Identifier [7:0]	Power Management Register ID	Power Management Register ID を示すビットです。01h の固定値を示します。	R
b15-b8	Next Item Pointer[7:0]	Next Item ポインタ	Next Item が存在しないことを示すビットです。00h 固定になります。	R
b18-b16	Version[2:0]	PCIバージョン	「PCI power management interface specification release 1.1」に準拠していることを示します。010b 固定になります。	R
b19	PME CLK	USBPCLKPCLK 必要性ビット	PME 割り込み生成に USBPCLKPCLK が不要でない事を示します。0 固定になります。	R
b20	—	予約ビット	—	R
b21	DSI	特殊初期化必要性ビット	Power Management 使用の際に特殊な初期化が必要でない事を示します。0 固定になります。	R
b24-b22	Aux Current[2:0]	電流設定値	3.3V 補助電源に必要な電流の設定値を示します。D3 Cold ステートからの PME 割り込み発生をサポートしておりません。したがって、000b 固定になります。	R
b25	D1 Support	PCI Power State D1 サポートビット	PCI Power State の D1 に対応している事を示します。1 固定になります。	R
b26	D2 Support	PCI Power State D2 サポートビット	PCI Power State の D2 に対応している事を示します。1 固定になります。	R
b30-b27	PME Support[4:0]	PME 割り込みサポートビットフィールド	PCI Power State のすべてのステート (D0~D3) で PME 割り込み発生をサポートする事を示します。1111b 固定になります。	R
b31		D3 Cold 状態サポートビット	D3 Cold 状態をサポートしているかを示します。D3 Cold 状態をサポートしないため 0 固定になります。	R

23.3.4.11 Offset 44h レジスタ (Power Management Control / Status・PMCSR Bridge Support Extensions)

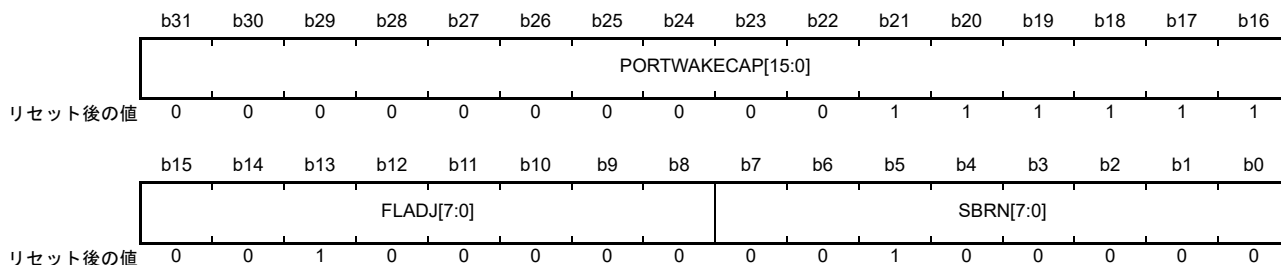
アドレス A005 0144h



ビット	シンボル	ビット名	機能	R/W
b1-b0	Power State[1:0]	PCI Power Status ビット	PCIのPower Statusを示すビットです。 [1:0]の状態により以下の状態になります。 b1 b0 00 : D0 State 01 : D1 State 10 : D2 State 11 : D3 hot State	R/W
b7-b2	—	予約ビット	書き込み時は、0を書き込んでください。	R/W
b8	PME Enable	PME イネーブル	外部端子PMEの使用を設定するビットです。 1に設定するとPower Managementからの復帰時にPME割り込みを発生します。	R/W
b12-b9	Data Select[3:0]	データ選択フィールド	0hを示します。 PCI規格において本ビットはオプションフィールドであり、ホスト・ロジックは未対応です。	R
b14-b13	Data Scale[1:0]	データスケールフィールド	00bを示します。 PCI規格において本ビットはオプションフィールドであり、ホスト・ロジックは未対応です。	R
b15	PME Status	PME 割り込みステータス ビット	PMEの割り込みステータスを示します。 PMEが発生する条件になると1がセットされます。 PCIバスから1を書き込むと0にクリアされます。	R/W
b21-b16	—	予約ビット	書き込み時は、0を書き込んでください。	R/W
b22	B2_B3	Bridge用ビット	0を示します。 Bridge用のビットであり、ホスト・ロジックは未対応です。	R
b23	BPCC Enable	BPCC イネーブル	0を示します。 Bridge用のビットであり、ホスト・ロジックは未対応です。	R
b31-b24	Data[7:0]	PCI規格オプションフィールド	00hを示します。 PCI規格において本ビットはオプションフィールドであり、ホスト・ロジックは未対応です。	R

23.3.4.12 Offset 60h レジスタ (SBRN・FLADJ・PORTWAKECAP)

アドレス A005 0160h



ビット	シンボル	ビット名	機能	R/W
b7-b0	SBRN[7:0]	Serial Bus Release Number	Serial Bus Release Number を示します。 20h 固定になります。	R
b13-b8	FLADJ[7:0]	1 マイクロフレーム長	1 マイクロフレームの長さを 16HS bit time 単位で調整します。 リセット後の値は 20h (60000d HS bit time) を示します。	R/W
b15-b14				R
b31-b16	PORTWAKECAP[15:0]	Wakeup イベントマスク フィールド	本ビットは、接続されるデバイスのうち、どのポートを Wakeup イベントとして使用するかをマスクするために使用します。本ビット操作は、ホスト・ロジックの動作に影響しません。 USB ホストコントローラでは、ポート数は 1 ポートなので本レジスタを使用する必要はありません。	R/W

23.3.4.13 Offset E0h レジスタ (EXT1)

本レジスタは、OHCI コンフィグレーション空間にある EXT1 レジスタと同一のため、OHCI Configuration レジスタの項を参照してください。

23.3.4.14 Offset E4h レジスタ (EXT2)

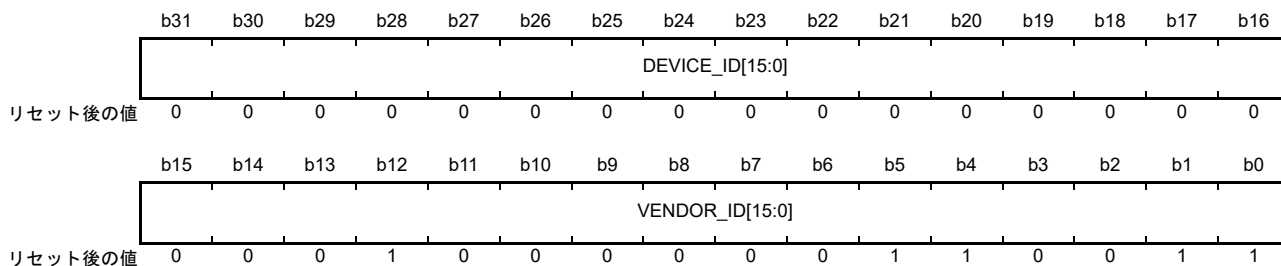
本レジスタは、OHCI コンフィグレーション空間にある EXT2 レジスタと同一のため、OHCI Configuration レジスタの項を参照してください。

ただし、ビット 0 (EHCI_mask ビット) は EHCI 側からアクセスできません。

23.3.5 AHB-PCI Bridge 用 PCI Configuration レジスタ

23.3.5.1 Offset 00h レジスタ (Vendor ID・Device ID)

アドレス A005 0000h



ビット	シンボル	ビット名	機能	R/W
b15-b0	VENDOR_ID [15:0]	ベンダー ID	デバイスのベンダーを示すレジスタです。PCI規格においてデバイスを動作させるドライバを選択するために使用されます。組み込み系のホストの場合、使用する必要はありません。本レジスタをリードした場合、1033hが読み出されます。	R
b31-b16	DEVICE_ID [15:0]	デバイス ID	デバイスの種類を示すレジスタです。PCI規格においてデバイスを動作させるドライバを選択するために使用されます。組み込み系のホストの場合、使用する必要はありません。	R

23.3.5.2 Offset 04h レジスタ (Command・Status)

アドレス A005 0004h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
DETPE RR	SIGSE RR	REMA BORT	RETA BORT	SIGTA BORT	DEVTIM [1:0]	MDPE RR	FBTBC AP	—	CAP66 M	CAPLIS T	—	—	—	—	
リセット後の値	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	FBTBE N	SERRE N	STEPC TR	PERRE N	VGAPS NP	MWINV EN	SPECI ALC	MASTE REN	MEME N	IOEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOEN	I/O空間アクセスイネーブルビット	I/O空間へのアクセスイネーブルビットです。本ビットは0固定です。	R
b1	MEMEN	PCI Slave動作設定ビット	PCI Slave動作を設定します。USBホストコントローラでは初期設定時に1をセットしてください。 0: メモリ・サイクル受信不可 (リセット後の値) 1: メモリ・サイクル受信可	R/W
b2	MASTEREN	PCI Master動作設定ビット	PCI Master動作を設定します。USBホストコントローラでは初期設定時に1をセットしてください。 0: Master動作禁止 (リセット後の値) 1: Master動作許可	R/W
b3	SPECIALC	Special Cycleイネーブルビット	Special Cycleのイネーブルビットです。本ビットは0固定です。	R
b4	MWINVEN	Memory Write and Invalidateイネーブルビット	Memory Write and Invalidateのイネーブルビットです。本ビットは0固定です。	R
b5	VGAPSNP	VGA Palette Snoopイネーブルビット	VGA Palette Snoopのイネーブルビットです。本ビットは0固定です。	R
b6	PERREN	パリティエラー検出動作設定ビット	パリティエラー検出時の動作を設定します。USBホストコントローラでは初期設定時に1をセットしてください。 0: 何もしない (リセット後の値) 1: PERR#をアサートする	R/W
b7	STEPCTR	Address Stepping制御ビット	Address Stepping制御ビットです。本ビットは0固定です。(Address Steppingを行わない)	R
b8	SERREN	システムエラー検出動作設定ビット	システムエラー検出時の動作を設定します。USBホストコントローラでは初期設定時に1をセットしてください。 0: 何もしない (リセット後の値) 1: SERR#をアサートする	R/W
b9	FBTBEN	Fast Back to Backイネーブルビット	Fast Back to Backのイネーブルビットです。本ビットは0固定です。	R
b19-b10	—	予約ビット	書き込み時は、0を書き込んでください。	R/W
b20	CAPLIST	Capabilities List対応ビット	Capabilities Listに対応しているかを示すビットです。本ビットは0固定です。(Capabilities List非対応)	R
b21	CAP66M	66MHz動作対応ビット	66MHz動作に対応しているかを示すビットです。本ビットは0固定です。(66MHz非対応)	R
b22	—	予約ビット	書き込み時は、0を書き込んでください。	R/W
b23	FBTBCAP	Fast Back to Back対応ビット	Fast Back to Backに対応しているかを示すビットです。本ビットは0固定です。(Fast Back to Back非対応)	R

ビット	シンボル	ビット名	機能	R/W
b24	MDPERR	パリティエラー検出フラグ	Master動作時にパリティエラーを検出した場合にセットされます。 本ビットは1を書き込むことでクリアされます。 0: パリティエラー未検出 1: パリティエラー検出	R/W
b26-b25	DEVTIM[1:0]	DEVSEL 応答速度	DEVSEL 応答速度を示すビットです。 01b (Medium Mode) になります。	R
b27	SIGTABORT	Slave Target Abort ステータスビット	Slave Target Abort のステータスビットです。 Target Abort を送信した場合にセットされます。 本ビットは1を書き込むことでクリアされます。 0: Target Abort を送信していない 1: Target Abort を送信した	R/W
b28	RETABORT	Master Target Abort ステータスビット	Master Target Abort のステータスビットです。 Target Abort を受信した場合にセットされます。 本ビットは1を書き込むことでクリアされます。 0: Target Abort を受信していない 1: Target Abort を受信した	R/W
b29	REMABORT	Master Abort ステータスビット	Master Abort のステータスビットです。 Master Abort を受信した場合にセットされます。 本ビットは1を書き込むことでクリアされます。 0: Master Abort を受信していない 1: Master Abort を受信した	R/W
b30	SIGSERR	SERR ステータスビット	SERR のステータスビットです。 システムエラーが発生した場合にセットされます。 本ビットは1を書き込むことでクリアされます。 0: SERR# をアサートしていない 1: SERR# をアサートした	R/W
b31	DETPERR	パリティエラー ステータスビット	パリティエラーのステータスビットです。 アドレスまたはデータパリティエラーを検出した場合にセットされます。 本ビットは1を書き込むことでクリアされます。 0: パリティエラー未検出 1: パリティエラー検出	R/W

23.3.5.3 Offset 08h レジスタ (Revision ID ・ Class Code)

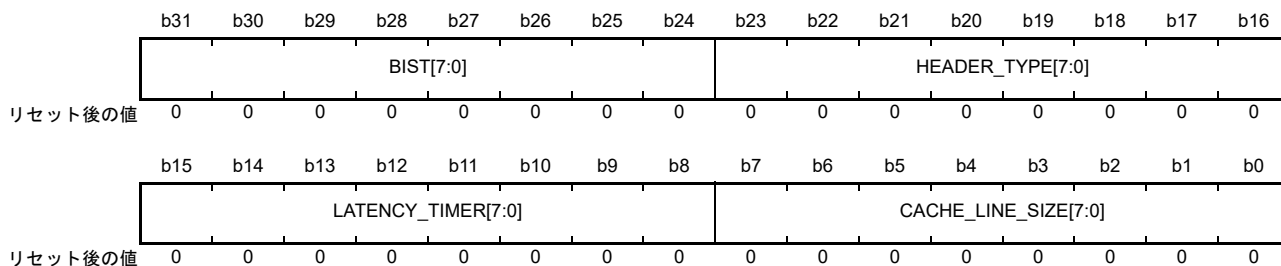
アドレス A005 0008h



ビット	シンボル	ビット名	機能	R/W
b7-b0	REVISION_ID[7:0]	リビジョンID	01hを示します。	R
b31-b8	CLASS_CODE[23:0]	CLASS CODE	060000hを示します。	R

23.3.5.4 Offset 0Ch レジスタ (Cache Line Size・Latency Timer・Header Type・BIST)

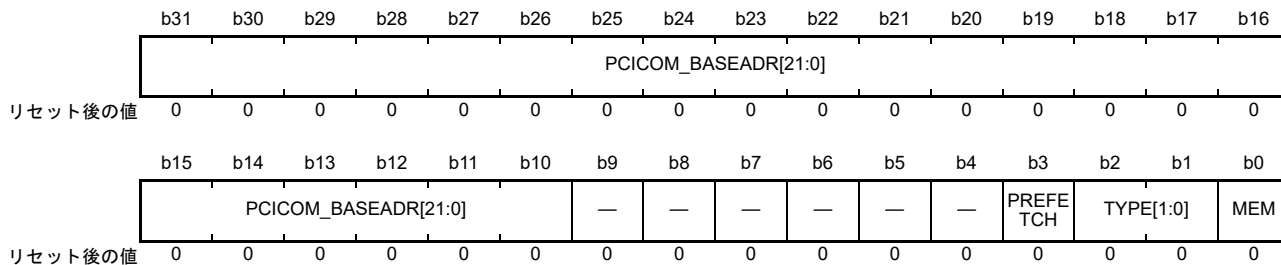
アドレス A005 000Ch



ビット	シンボル	ビット名	機能	R/W
b7-b0	CACHE_LINE_SIZE[7:0]	CACHE LINE SIZE	00h (Cache未サポート) を示します。	R
b15-b8	LATENCY_TIMER[7:0]	Latency Timer	Latency Timerをシステムに通知するためのビットです。USBホストコントローラではLatency Timerを使用しないため、リセット後の値00hのままとしてください。	R/W
b23-b16	HEADER_TYPE[7:0]	HEADER TYPE	00h (Single Function Device) を示します。	R
b31-b24	BIST[7:0]	BIST	00h (BIST未実装) を示します。	R

23.3.5.5 Offset 10h レジスタ (AHB-PCI Bridge Base Address)

アドレス A005 0010h



ビット	シンボル	ビット名	機能	R/W
b0	MEM	ベースアドレス指定メモリ空間ビット	ベースアドレスで指定するビットがメモリ空間であることを示すビットです。 本ビットは0固定です。	R
b2-b1	TYPE[1:0]	ベースアドレス Type	ベースアドレス Type を示すビットです。 本ビットは00b (4Gバイト空間の任意の領域に配置可能) を示します。	R
b3	PREFETCH	データ・プリフェッチ可・不可ビット	データ・プリフェッチの可・不可を示すビットです。 本ビットは0固定です。(データ・プリフェッチ不可)	R
b9-b4	—	予約ビット	書き込み時は、0を書き込んでください。	R/W
b31-b10	PCICOM_BASEADR [21:0]	AHB-PCI Bridge PCI Communication Register 領域ベースアドレス	AHB-PCI Bridge PCI Communication Register 領域のベースアドレスを設定します。 1Kバイト空間を要求するため、上位24ビットがベースアドレスになります。	R/W

23.3.5.6 Offset 14h レジスタ (PCI-AHB WIN1 Base Address)

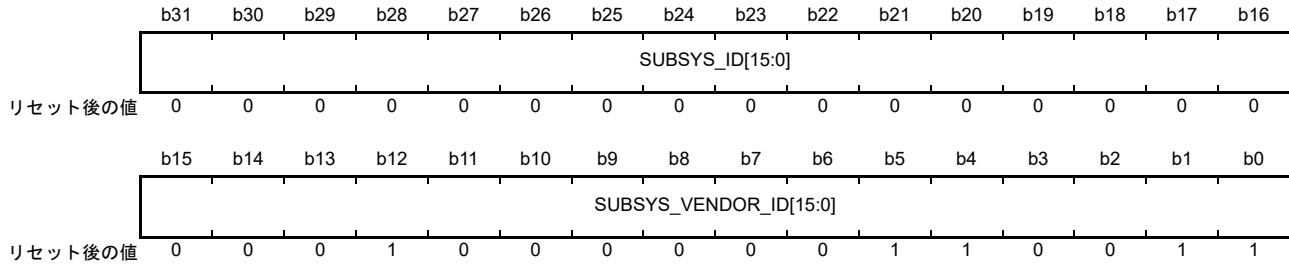
アドレス A005 0014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PCI_WIN1_BASEADR [3:0]				—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	PREFETCH	TYPE[1:0]	MEM	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W				
b0	MEM	ベースアドレス指定メモリ空間ビット	ベースアドレスで指定するフィールドがメモリ空間であることを示すビットです。 本ビットは0固定です。	R				
b2-b1	TYPE[1:0]	ベースアドレス Type	ベースアドレス Type を示すビットです。 本ビットは00b (4Gバイト空間の任意の領域に配置可能) を示します。	R				
b3	PREFETCH	データ・プリフェッチ可・不可ビット	データ・プリフェッチの可・不可を示すビットです。 本ビットは1固定です。(データ・プリフェッチ可能)	R				
b27-b4	—	予約ビット	書き込み時は、0を書き込んでください。	R/W				
b31-b28	PCI_WIN1_BASE ADR[3:0]	PCI-AHB Window1 ベースアドレス	PCI-AHB Window1のベースアドレスを設定します。 PCI-AHB Window 1空間はUSBCTR レジスタ ビット [11:10] PCI_AHB_WIN1_SIZEにより1Gバイトの領域にアクセス可能となります。 <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 50%;">PCI-AHB Window 1空間</td> <td style="width: 50%;">AHB_BASEADR[31:28]</td> </tr> <tr> <td style="text-align: center;">1G バイト</td> <td>上位2bit[31:30]がベースアドレス それ以外のビットは、0でマスクされます。</td> </tr> </table> レジスタの設定方法については、「23.4.1 レジスタアクセス」を参照してください。	PCI-AHB Window 1空間	AHB_BASEADR[31:28]	1G バイト	上位2bit[31:30]がベースアドレス それ以外のビットは、0でマスクされます。	R/W
PCI-AHB Window 1空間	AHB_BASEADR[31:28]							
1G バイト	上位2bit[31:30]がベースアドレス それ以外のビットは、0でマスクされます。							

23.3.5.7 Offset 2Ch レジスタ (Subsystem Vendor ID・Subsystem ID)

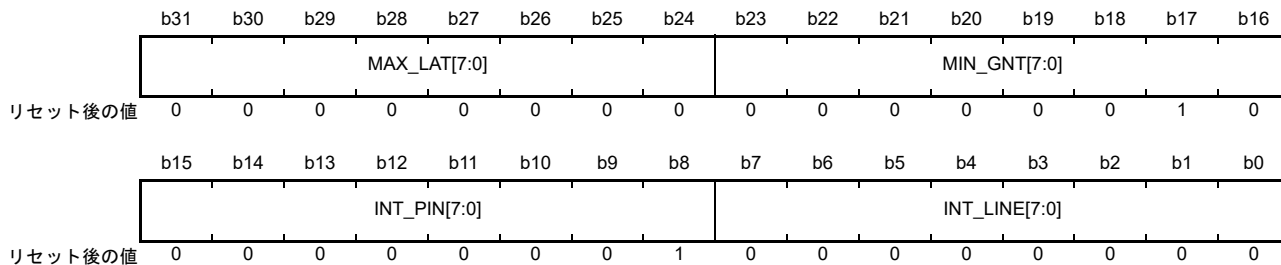
アドレス A005 002Ch



ビット	シンボル	ビット名	機能	R/W
b15-b0	SUBSYS_VENDOR_ID [15:0]	サブシステムベンダー ID	1033h を示します。	R
b31-b16	SUBSYS_ID [15:0]	サブシステム ID	0000h を示します。	R

23.3.5.8 Offset 3Ch レジスタ (Interrupt Line・Interrupt Pin・Min gnt・Max Latency)

アドレス A005 003Ch



ビット	シンボル	ビット名	機能	R/W
b7-b0	INT_LINE[7:0]	割り込みライン	割り込みラインを設定します。 USBホストコントローラではリセット後の値00hのまま としてください。	R
b15-b8	INT_PIN[7:0]	割り込み端子フィールド	01h (INTA#を使用) を示します。	R
b23-b16	MIN_GNT[7:0]	レイテンシ・タイマー要求 フィールド	02h (レイテンシ・タイマー要求 16バースト) を示しま す。	R
b31-b24	MAX_LAT[7:0]	バス使用頻度要求フィールド	00h (バス使用頻度の要求なし) を示します。	R

23.3.6 AHB-PCI Bridge PCI Communication レジスタ

23.3.6.1 PCIAHB_WIN1_CTR レジスタ

本レジスタは、ホスト・ロジックから AHB へアクセスする際の設定を行います。

アドレス A005 0800h

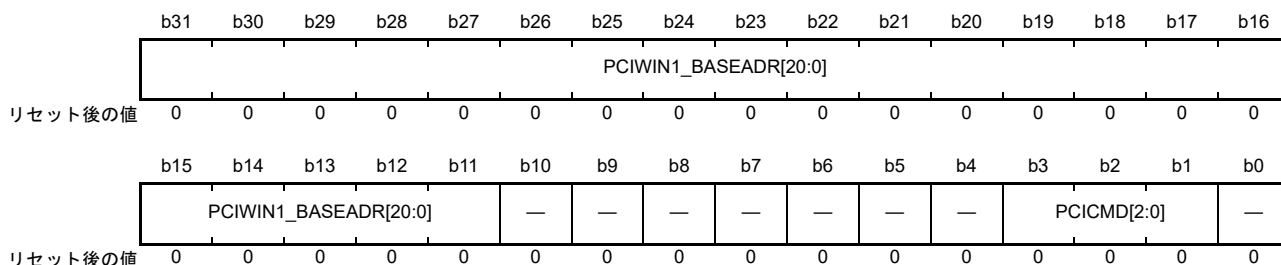
	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	AHB_BASEADR[3:0]			—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PREFETCH[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W				
b1-b0	PREFETCH [1:0]	AHBバス先読み設定ビットフィールド	ホスト・ロジックからのリード要求に対して、AHBバスに対する先読みを設定します。 USBホストコントローラでは初期設定時に11bに設定して、変更しないでください。 b1 b0 00：先読み禁止 01：先読み許可 (Max4バーストまで) 10：先読み許可 (Max8バーストまで) 11：先読み許可 (Max16バーストまで)	R/W				
b27-b2	—	予約ビット	書き込み時は、0を書き込んでください。	R/W				
b31-b28	AHB_BASEADR[3:0]	AHBパスペースアドレス	ホスト・ロジックからPCI-AHB Window1へアクセスする際のAHBバスのベースアドレスを設定します。 PCI-AHB Window 1空間はUSBCTR レジスタ ビット [11:10] PCI_AHB_WIN1_SIZEにより1Gバイトの領域にアクセス可能になります。 リセット後の値0000bから変更しないでください。 <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 50%;">PCI-AHB Window 1空間</td> <td style="width: 50%;">AHB_BASEADR[31:28]</td> </tr> <tr> <td>1Gバイト</td> <td>上位2bit[31:30]がベースアドレス</td> </tr> </table> レジスタの設定方法については、「23.4.1 レジスタアクセス」を参照してください。	PCI-AHB Window 1空間	AHB_BASEADR[31:28]	1Gバイト	上位2bit[31:30]がベースアドレス	R/W
PCI-AHB Window 1空間	AHB_BASEADR[31:28]							
1Gバイト	上位2bit[31:30]がベースアドレス							

23.3.6.2 AHBPCI_WIN1_CTR レジスタ

PCI Configuration Space へのアクセスに必要な設定を行います。

アドレス A005 0810h

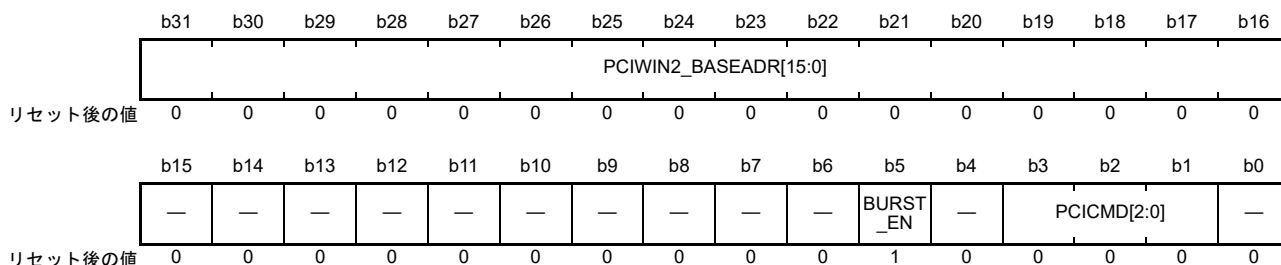


ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	書き込み時は、0を書き込んでください。	R/W
b3-b1	PCICMD[2:0]	PCIバスサイクルタイプ	PCIバスのサイクルタイプを設定します。 USBホストコントローラでは初期設定時に101bを設定して、変更しないでください。 b3 b1 000 : Interrupt Acknowledge / Special Cycle 001 : IO Read / IO Write 011 : Memory Read / Memory Write 101 : Configuration Read / Configuration Write 110 : Memory Read Multiple / Memory Write 111 : Memory Read Line / Memory Write 上記以外は設定禁止	R/W
b10-b4	—	予約ビット	書き込み時は、0を書き込んでください。	R/W
b31-b11	PCIWIN1_BASEADR [20:0]	PCIバスベースアドレス	AHBからAHB-PCI Window 1エリアへのアクセス時のPCIバスのベースアドレスを設定します。 本レジスタは、ホスト・ロジックおよびAHB-PCI BridgeのPCI Configuration Spaceにアクセスする際、設定が必要です。設定方法については「23.4.1.1 PCI Configuration レジスタアクセス」を参照してください。	R/W

23.3.6.3 AHBPCI_WIN2_CTR レジスタ

OHCI Operational Registers 領域へのアクセスに必要な設定を行います。

アドレス A005 0814h



ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	書き込み時は、0を書き込んでください。	R/W
b3-b1	PCICMD[2:0]	PCIバスサイクルタイプ	PCIバスのサイクルタイプを設定します。 USBホストコントローラでは初期設定時に011bを設定して、変更しないでください。 b3 b1 001 : IO Read / IO Write 011 : Memory Read / Memory Write 110 : Memory Read Multiple / Memory Write 111 : Memory Read Line / Memory Write 上記以外は設定禁止	R/W
b4	—	予約ビット	書き込み時は、0を書き込んでください。	R/W
b5	BURST_EN	PCIバスバースト転送イネーブルビット	PCIバスへのバースト転送を許可します。 USBホストコントローラでは初期設定時に0を設定して、変更しないでください。 0 : バースト禁止 1 : バースト許可	R/W
b15-b6	—	予約ビット	書き込み時は、0を書き込んでください。	R/W
b31-b16	PCIWIN2_BASEADR[15:0]	PCIバスベースアドレス	AHBからAHB-PCI Window 2エリアへのアクセス時のPCIバスのベースアドレスを設定します。本レジスタは、OHCI Operational Register 領域へのアクセスに使用します。設定方法は「23.4.1.1 PCI Configuration レジスタアクセス」を参照してください。	R/W

23.3.6.4 PCI_INT_ENABLE レジスタ

PCI_INT_STATUS レジスタのそれぞれの割り込み要因に対して有効/無効の選択をします。無効にした場合は、その割り込み要因が発生し、PCI_INT_STATUS レジスタの当該ビットに 1 がセットされても割り込み信号はアサートしません。

アドレス A005 0820h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	USBH_PMEEN	—	USBH_INTBEN	USBH_INTAEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	PCIAHB_WIN2_INTEN	PCIAHB_WIN1_INTEN	—	—	—	—	—	—	RESERR_INTEN	SIGSERR_INTEN	PERR_INTEN	REMABORT_INTEN	RETABORT_INTEN	SIGTABORT_INTEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SIGTABORT_INTEN	SIGTABORT 割り込みイネーブルビット	PCI_INT_STATUS ビット0 SIGTABORT_INTの有効/無効を選択します。 0: 無効 1: 有効	R/W
b1	RETABORT_INTEN	RETABORT 割り込みイネーブルビット	PCI_INT_STATUS ビット1 RETABORT_INTの有効/無効を選択します。 0: 無効 1: 有効	R/W
b2	REMABORT_INTEN	REMABORT 割り込みイネーブルビット	PCI_INT_STATUS ビット2 REMABORT_INTの有効/無効を選択します。 0: 無効 1: 有効	R/W
b3	PERR_INTEN	PERR 割り込みイネーブルビット	PCI_INT_STATUS ビット3 PERR_INTの有効/無効を選択します。 0: 無効 1: 有効	R/W
b4	SIGSERR_INTEN	SIGSERR 割り込みイネーブルビット	PCI_INT_STATUS ビット4 SIGSERR_INTの有効/無効を選択します。 0: 無効 1: 有効	R/W
b5	RESERR_INTEN	RESERR 割り込みイネーブルビット	PCI_INT_STATUS ビット5 RESERR_INTの有効/無効を選択します。 0: 無効 1: 有効	R/W
b11-b6	—	予約ビット	書き込み時は、0を書き込んでください。	R/W
b12	PCIAHB_WIN1_INTEN	PCIAHB_WIN1 割り込みイネーブルビット	PCI_INT_STATUS ビット12 PCIAHB_WIN1_INTの有効/無効を選択します。 0: 無効 1: 有効	R/W
b13	PCIAHB_WIN2_INTEN	PCIAHB_WIN2 割り込みイネーブルビット	PCI_INT_STATUS ビット13 PCIAHB_WIN2_INTの有効/無効を選択します。 0: 無効 1: 有効	R/W
b15-b14	—	予約ビット	書き込み時は、0を書き込んでください。	R/W
b16	USBH_INTAEN	USBH 割り込みイネーブルビット	PCI_INT_STATUS ビット16 USBH_INTAの有効/無効を選択します。 0: 無効 1: 有効	R/W

ビット	シンボル	ビット名	機能	R/W
b17	USBH_INTB EN	USBH 割り込みイネーブル ビット	PCI_INT_STATUS ビット 17 USBH_INTB の有効/無効を選択し ます。 0: 無効 1: 有効	R/W
b18	—	予約ビット	書き込み時は、0 を書き込んでください。	R/W
b19	USBH_PME EN	USBH_PME イネーブルビッ ト	PCI_INT_STATUS ビット 19 USBH_PME の有効/無効を選択し ます。 0: 無効 1: 有効	R/W
b31-b20	—	予約ビット	書き込み時は、0 を書き込んでください。	R/W

23.3.6.5 PCI_INT_STATUS レジスタ

AHB-PCI Bridge の割り込み要因の状態、およびホスト・ロジックからの割り込み信号の状態を示します。

アドレス A005 0824h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	USBH_PME	—	USBH_INTB	USBH_INTA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	PCIAHB_WIN2_INT	PCIAHB_WIN1_INT	—	—	—	—	—	—	RESERR_INT	SIGSERR_INT	PERR_INT	REMAORT_INT	RETAORT_INT	SIGTAORT_INT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SIGTABORT_INT	Target Abort通知ビット	PCIターゲット動作時にTarget Abortを通知したことを示します。本ビットは1を書き込むことでクリアされます。 0: Target Abortを通知していない 1: Target Abortを通知した	R/W
b1	RETAORT_INT	Target Abort受信ビット	PCI Master動作時にTarget Abortを受信したことを示します。本ビットは1を書き込むことでクリアされます。 0: Target Abortを受信していない 1: Target Abortを受信した	R/W
b2	REMAORT_INT	MasterAbort受信ビット	PCI Master動作時にMasterAbortを受信したことを示します。本ビットは1を書き込むことでクリアされます。 0: Master Abortを受信していない 1: Master Abortを受信した	R/W
b3	PERR_INT	PERR#入出力割り込み要因ステータスビット	PERR#入力および出力による割り込み要因の状態を示します。本ビットは1を書き込むことでクリアされます。 0: PERR#がアサートしていない 1: PERR#がアサートした	R/W
b4	SIGSERR_INT	SERR#出力割り込み要因ステータスビット	SERR#出力による割り込み要因の状態を示します。本ビットは1を書き込むことでクリアされます。 0: SERR#をアサートしていない 1: SERR#をアサートした	R/W
b5	RESERR_INT	SERR#入力割り込み要因ステータスビット	SERR#入力による割り込み要因の状態を示します。本ビットは1を書き込むことでクリアされます。 0: SERR#アサートを検出していない 1: SERR#アサートを検出した	R/W
b11-b6	—	予約ビット	書き込み時は、0を書き込んでください。	R/W
b12	PCIAHB_WIN1_INT	AHBバスエラー発生フラグ	PCIAHB Window 1におけるAHBバスエラーが発生したことを示します。本ビットは1を書き込むことでクリアされます。 0: AHBバスエラーが発生していない 1: AHBバスエラーが発生した	R/W
b13	PCIAHB_WIN2_INT	AHBバスエラー発生フラグ	PCIAHB Window 2におけるAHBバスエラーが発生したことを示します。本ビットは1を書き込むことでクリアされます。 0: AHBバスエラーが発生していない 1: AHBバスエラーが発生した	R/W
b15-b14	—	予約ビット	書き込み時は、0を書き込んでください。	R/W
b16	USBH_INTA	ホスト・ロジックINTA#割り込みステータスビット	ホスト・ロジックからのINTA#割り込みの状態を示します。割り込みのクリアはホスト・ロジックで行ってください。 0: INTA割り込みなし 1: INTA割り込みあり	R

ビット	シンボル	ビット名	機能	R/W
b17	USBH_INTB	ホスト・ロジック INTB#割り込みステータスビット	ホスト・ロジックからの INTB#割り込みの状態を示します。 割り込みのクリアはホスト・ロジックで行ってください。 0: INTB 割り込みなし 1: INTB 割り込みあり	R
b18	—	予約ビット	書き込み時は、0を書き込んでください。	R/W
b19	USBH_PME	ホスト・ロジック PME#割り込みステータスビット	ホスト・ロジックからの PME#割り込みの状態を示します。 割り込みのクリアはホスト・ロジックで行ってください。 0: PME 割り込みなし 1: PME 割り込みあり	R
b31-b20	—	予約ビット	書き込み時は、0を書き込んでください。	R/W

23.3.6.6 AHB_BUS_CTR レジスタ

ホスト・ロジックの AHB Master / Slave 機能の設定を行います。

アドレス A005 0830h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SMODE_RE EADY_CTR	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	MMODE_HBUSREQ	—	—	—	—	MMODE_WR_INCR	MMODE_BYTE_BURST	MMODE_HTRANS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MMODE_HTRANS	HTRANS 信号動作モード設定ビット	AHB Master 動作時の HTRANS 信号の動作モードを設定します。 USB ホストコントローラでは初期設定時に 1 を設定して、変更しないでください。 0 : サイクル分割時、連続で NONSEQ を出力する 1 : サイクル分割時、IDLE を追加して再度 HBUSREQ でバスを要求する	R/W
b1	MMODE_BYTE_BURST	バースト転送制御ビット	AHB Master 動作時の 16 ビット / 8 ビット転送におけるバーストの転送を制御します。 USB ホストコントローラでは初期設定時に 1 を設定して、変更しないでください。 0 : 16 ビット / 8 ビット時のバースト転送許可 1 : 16 ビット / 8 ビット時のバースト転送禁止	R/W
b2	MMODE_WR_INCR	不定長バースト転送使用条件設定ビット	AHB Master 動作時のライト転送における不定長バースト転送使用条件を設定します。 USB ホストコントローラでは初期設定時に 1 を設定して、変更しないでください。 0 : 転送数が 4/8/16 以外は INCR を使用 1 : INCR 4/8/16 を使用し、残りが 2~3 ビートの時に INCR を使用	R/W
b6-b3	—	予約ビット	書き込み時は、0 を書き込んでください。	R/W
b7	MMODE_HBUSREQ	HBUSREQ デアサートタイミング設定ビット	AHB Master 動作時の HBUSREQ のデアサートタイミングを設定します。 USB ホストコントローラでは初期設定時に 1 を設定して、変更しないでください。 0 : サイクルの最後のアドレスフェーズでデアサート 1 : 最初の HGRANT = 1 & HREADY = 1 でデアサート	R/W
b16-b8	—	予約ビット	書き込み時は、0 を書き込んでください。	R/W
b17	SMODE_READY_CTR	Wait 動作制御ビット	AHB Slave 動作時の Wait 動作制御を行います。 RETRY/SPLIT を使用するシステムでは、本ビットを 0 に設定してください。 初期設定時以外で値を変更しないでください。 0 : Wait 制御は HRESP = RETRY で行う 1 : Wait 制御は HREADY = 0 で行う	R/W
b31-b18	—	予約ビット	書き込み時は、0 を書き込んでください。	R/W

23.3.6.7 USBCTR レジスタ

ホスト・ロジックに対する設定を行います。

アドレス A005 0834h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	PCI_AHB_WIN1_SIZE[1:0]	PCI_AHB_WIN2_EN	—	—	—	—	—	—	—	—	PCICLK_MASK	USBH_RST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	USBH_RST	リセット信号制御ビット	ホスト・ロジックに供給されるリセット信号を制御します。ホスト・ロジックへのアクセスは、リセット解除後、最大3CLK@USBPCLK後から有効になります。 0：ホスト・ロジックリセット解除 1：ホスト・ロジックリセット発行	R/W
b1	PCICLK_MASK	PCIクロック供給マスクビット	ホスト・ロジックのPCIクロックの供給を停止します。本レジスタを1にセットした場合、ホスト・ロジックへのアクセスはできませんのでご注意ください。 0：PCIクロック供給 1：PCIクロック停止	R/W
b8-b2	—	予約ビット	書き込み時は、0を書き込んでください。	R/W
b9	PCI_AHB_WIN2_EN	PCI-AHB Window2イネーブルビット	PCI-AHB Window2の動作許可を制御します。詳細は、「23.4.1 レジスタアクセス」を参照してください。 0：PCI-AHB Window2 使用不可 上記以外設定しないでください。設定を変更した場合の動作保証はできません。	R/W
b11-b10	PCI_AHB_WIN1_SIZE[1:0]	PCI-AHB Window1領域	PCI-AHB Window1の領域を制御します。詳細は、「23.4.1 レジスタアクセス」を参照してください。初期設定時以外で値を変更しないでください。 b11 b10 10：1Gバイト	R/W
b31-b12	—	予約ビット	書き込み時は、0を書き込んでください。	R/W

23.3.6.8 PCI_ARBITER_CTR レジスタ

PCIバスのアービトレーション機能の設定を行います。

アドレス A005 0840h

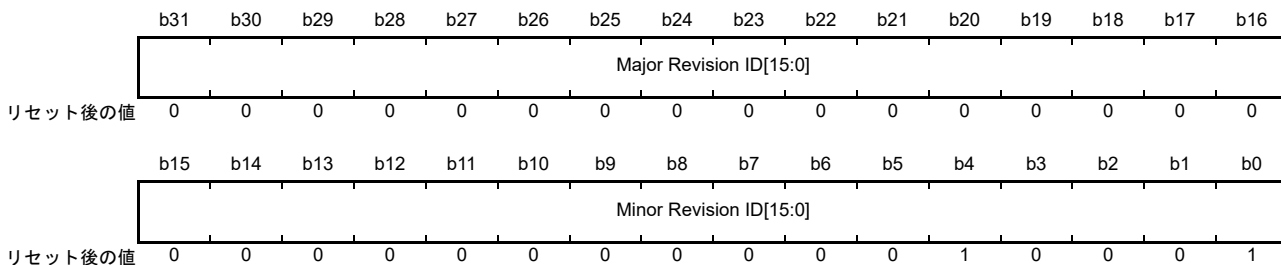
	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	PCIBP MODE	—	—	—	—	—	—	—	—	—	—	PCIRE Q1	PCIRE Q0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PCIREQ0	PCI Bus Request 信号マスク ビット0	本ユニットのPCI Bus Request 信号の有効/無効を選択します。 USBホストコントローラでは初期設定時に1を設定して、変更し ないでください。 0 : Request 信号を無効とする 1 : Request 信号を有効とする	R/W
b1	PCIREQ1	PCI Bus Request 信号マスク ビット1	ホスト・ロジックからのPCI Bus Request 信号の有効/無効を選 択します。 USBホストコントローラでは初期設定時に1を設定して、変更し ないでください。 0 : Request 信号を無効とする 1 : Request 信号を有効とする	R/W
b11-b2	—	予約ビット	書き込み時は、0を書き込んでください。	R/W
b12	PCIBP_MOD E	Master 設定ビット	PCIバスのBus Parking 時のMaster を設定します。 USBホストコントローラでは初期設定時に1を設定して、変更し ないでください。 0 : Bus Parking Master は本ユニットとする 1 : Bus Parking Master は最後にアクセスしたMaster を選択する	R/W
b31-b13	—	予約ビット	リセット後の値から変更しないでください。	R/W

23.3.6.9 PCI_UNIT_REV レジスタ

AHB-PCI Bridge マクロのバージョンを表示します。

アドレス A005 0848h



ビット	シンボル	ビット名	機能	R/W
b15-b0	Minor Revision ID [15:0]	Minor Revision ID	本ユニットのMinor Revision IDを示します。	R
b31-b16	Major Revision ID [15:0]	Major Revision ID	本ユニットのMajor Revision IDを示します。	R

23.4 レジスタアクセスについて

23.4.1 レジスタアクセス

レジスタへのアクセスは、内部の PCI バス経由で行います。AHB バスでのアクセスを正しく行うためには、AHB バスのメモリ空間と USB ホストコントローラ内部の PCI バスのメモリ空間を正しくマッピングしてください（「23.8.1.1 初期設定例」を参照）。また、PCI は、PCI バスの転送設定や PCI Memory Space 上でベースアドレスの設定を行う PCI Configuration Space と、実際のデータ転送を行う PCI Memory Space の 2 つの空間を持ちます。

AHB からホスト・ロジックへのアクセス、およびホスト・ロジックから AHB への Master アクセスは、AHBPCI Bridge が持つ Window 領域を通じて行います。レジスタ領域および各 Window 領域との関係を図 23.3、表 23.5 を用いて説明します。

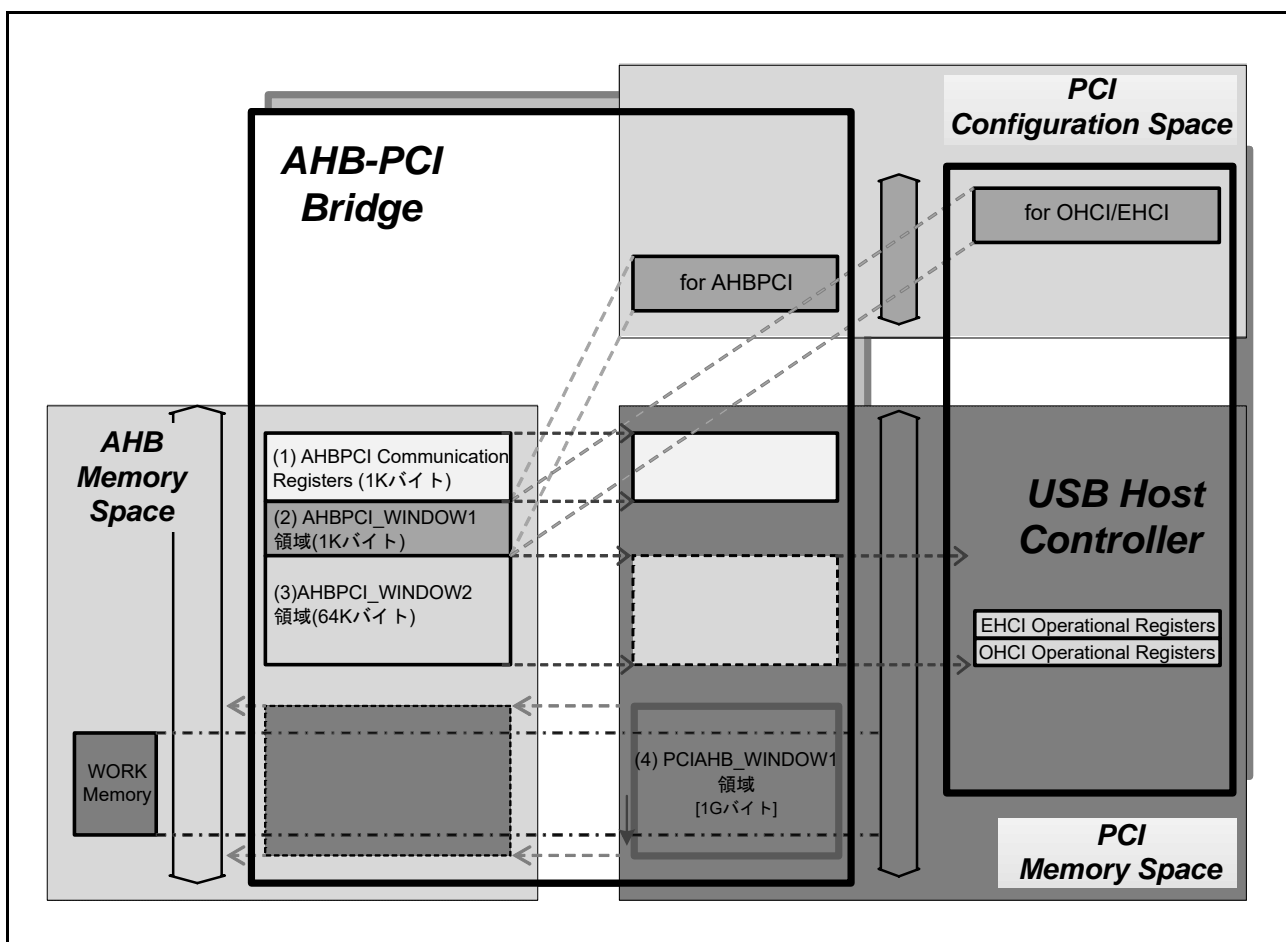


図 23.3 AHB と PCI 空間のマッピングイメージ

表 23.5 各領域の説明

AHB 領域名	サイズ	説明
(1) AHBPCI Commucation Registers	1Kバイト	AHBの各種設定、および各Window領域のベースアドレス設定を行います。 本領域は、PCI Memory Space上にもマッピングされるため、他の領域と重複しないようにマッピングしてください。
(2) AHBPCI_WINDOW1領域	1Kバイト	PCI Configuration Registersには本領域を通じてアクセスします。 OHCI/EHCI Configurationレジスタにアクセスするか、AHBPCI Bridgeのレジスタにアクセスするかは、AHBPCI_WIN1_CTR レジスタで切り替えます。
(3) AHBPCI_WINDOW2領域	64Kバイト	OHCI/EHCI Operational Registerには本領域を通じてアクセスします。
(4) PCIAHB_WINDOW1領域	1Gバイト	ホスト・ロジックは本領域を通じてAHBバス上のWork Memoryにアクセスします。 USBCTR レジスタでサイズを変更可能です。

AHBPCI Communication Registers と AHBPCI_WINDOW2 領域 (OHCI/EHCI Operational Registers)、および PCIAHB_WINDOW1 領域は、PCI Memory Space 上で、領域が重複しないように設定してください。

通常は、AHB Memory Space と、PCI Memory Space を同一アドレスにマッピングするのが容易ですが、AHB バスのメモリマップにより、上記の領域が重複する場合は、PCI Configuration Registers の設定 (OHCI / EHCI / AHBPCI Base Address) により、PCIAHB_WINDOW1 領域との重複を避けてベースアドレスを設定してください。この場合のマッピングイメージを図 23.4 に示します。

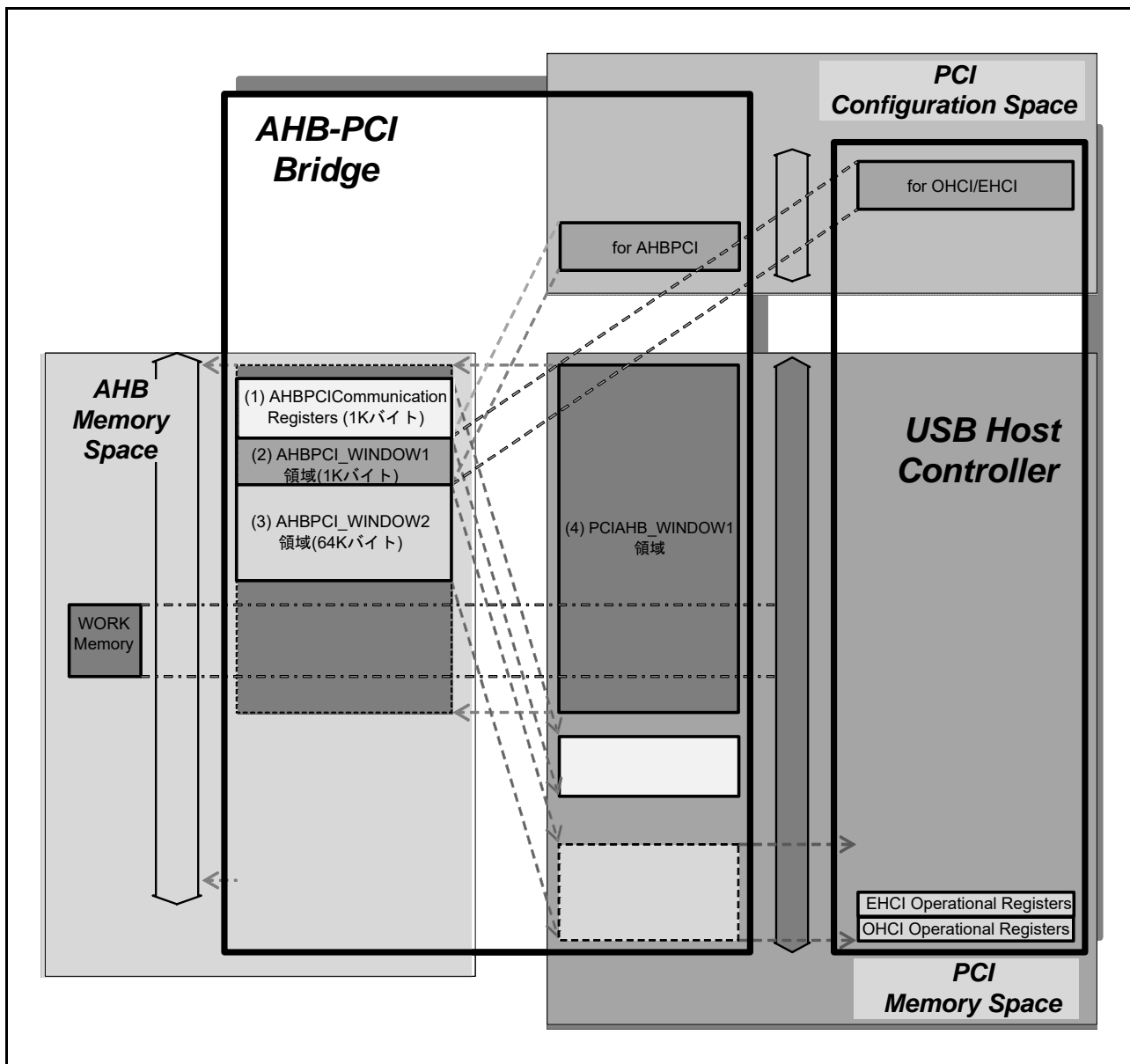


図 23.4 AHB と PCI 空間のマッピングイメージ (領域が重複する場合)

次に、AHB 空間と PCI 空間をマッピングするために設定するレジスタと、それらの設定値が示す値との関係を、図 23.5、表 23.6 を用いて説明します。

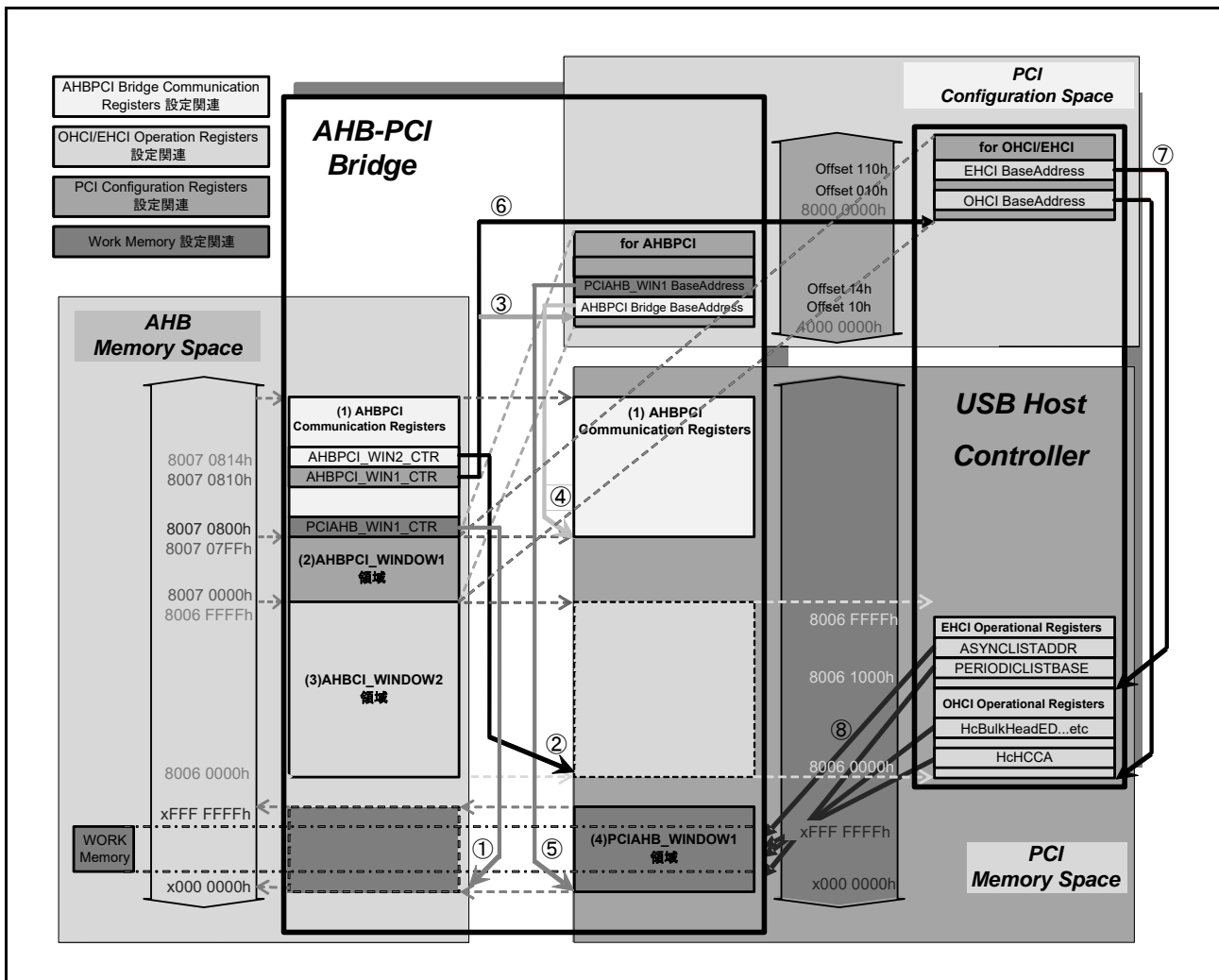


図 23.5 アドレス設定レジスタ値と AHB/PCI 空間のマッピングの関係図

表 23.6 アドレス設定レジスタ値の説明

レジスタ	説明
① PCIAHB_WIN1_CTR	ホスト・ロジックがPCIAHB_WINDOW1領域に対するMasterアクセスを行った場合に、AHBバスのアドレスは、本レジスタで設定したベースアドレスに変換されます。 通常、使用するWork Memoryを含んだ領域を設定します。
② AHBPCI_WIN2_CTR	AHBPCI_WINDOW2領域に対してアクセスを行った場合に、PCIバスのアドレスは、本レジスタで設定したベースアドレスに変換されます。 通常は、AHBPCI_WINDOW2領域と同じ値を設定すれば問題ありませんが、①で設定したWork Memoryを含んだ領域と重複する場合は、重複を避けるようにマッピングしてください。
③ AHBPCI_WIN1_CTR	本レジスタのベースアドレスを4000 0000hに設定した場合、PCI Configuration Register for AHBPCIにアクセスします。
④ AHBPCI Bridge Base Address	PCI空間上におけるAHB-PCI Bridgeのベースアドレスを設定します。PCIバスから本レジスタにアクセスすることはありませんが、他の領域の重複を避けるように設定してください。
⑤ PCIAHB_WIN1 Base Address	PCI空間上におけるPCIAHB_WINDOW1領域のベースアドレスを設定します。 通常、①と同じベースアドレスを設定します。
⑥ AHBPCI_WIN1_CTR	本レジスタのベースアドレスを8000 0000hに設定した場合、PCI Configuration Register for OHCI/EHCIにアクセスします。
⑦ OHCI / EHCI Base Address	PCI空間上におけるOHCI / EHCI Operational Registersのベースアドレスを設定します。 通常OHCI Base Addressは、②で設定したベースアドレスと同じ値を設定します。 EHCI Base Addressは、②で設定したベースアドレスに1000hのオフセットを与えたものになります。
⑧ OHCI / EHCI Operational Registers各種レジスタ	①～⑦の設定が完了することで、ホスト・ロジックがPCIを経由してAHBのWork RAM上に展開されたデータ (Descriptorなど) にアクセスすることができます。 WorkRAMに存在するデータのアドレスを指定するレジスタには、以下があります。 ● OHCI / EHCI Operational Register <ul style="list-style-type: none"> • HcHCCA レジスタ • HcPeriodicCurrentED レジスタ • HcControlHeadED レジスタ • HcControlCurrentED レジスタ • HcBulkHeadED レジスタ • HcBulkCurrentED レジスタ • HcDoneHead レジスタ ● EHCI Operational Register <ul style="list-style-type: none"> • PERIODICLISTBASE レジスタ • ASYNCLISTADDR レジスタ

23.4.1.1 PCI Configuration レジスタアクセス

PCI Configuration Space のレジスタアクセスは、AHB-PCI Window1 エリア（アドレス 10000h ~ 107FFh : 2K バイト空間）を通して行います。その際、AHBPCI_WIN1_CTR レジスタを正しく設定してください。以下に OHCI/EHCI、および AHB-PCI Bridge の各 PCI Configuration Space にアクセスする際の、AHBPCI_WIN1_CTR レジスタの設定方法を示します。

表 23.7 AHBPCI_WIN1_CTR レジスタ設定

アクセス対象領域	AHBPCI_WIN1_CTR レジスタ設定値	
	PCIWIN1_BASEADR[31:11]	PCICMD[2:0]
OHCI/EHCI PCI Configuration Space	ビット 31 のみ 1 にセット	101b
AHB-PCI Bridge PCI Configuration Space	ビット 30 のみ 1 にセット	

23.4.1.2 OHCI / EHCI Operational レジスタアクセス

OHCI / EHCI Operational Registers 領域にレジスタアクセスする際は、PCI 空間のアドレスマッピングの設定の他、OHCI / EHCI PCI Configuration Space、および AHBPCI_WIN2_CTR レジスタの設定が必要です。以下に必要な設定を示します。

表 23.8 OHCI/EHCI Operational Registers 領域アクセスに必要な設定

設定箇所	設定
OHCI/EHCI PCI Configuration Space Offset 04h (Command Status) bit1 Memory Space	1 (メモリ空間へのアクセス許可)
AHBPCI_WIN2_CTR レジスタ bit[3:1] PCICMD[2:0]	011b (Memory Read / Memory Write)

23.5 クロック系統

23.5.1 外部供給クロック

USB ホストコントローラは EC-1 内部から以下 3 本のクロックが供給されます。

表 23.9 外部供給クロック一覧

クロック信号	機能	周波数
PCLKA	AHB クロック Power Management 用 AHB クロック	150MHz
USBMCLK	リファレンスクロック	50MHz
USBPCLK	USB ホストコントローラ内部 PCI クロック	30MHz

23.5.2 クロック系統図

図 23.6 にクロック系統図を示します。

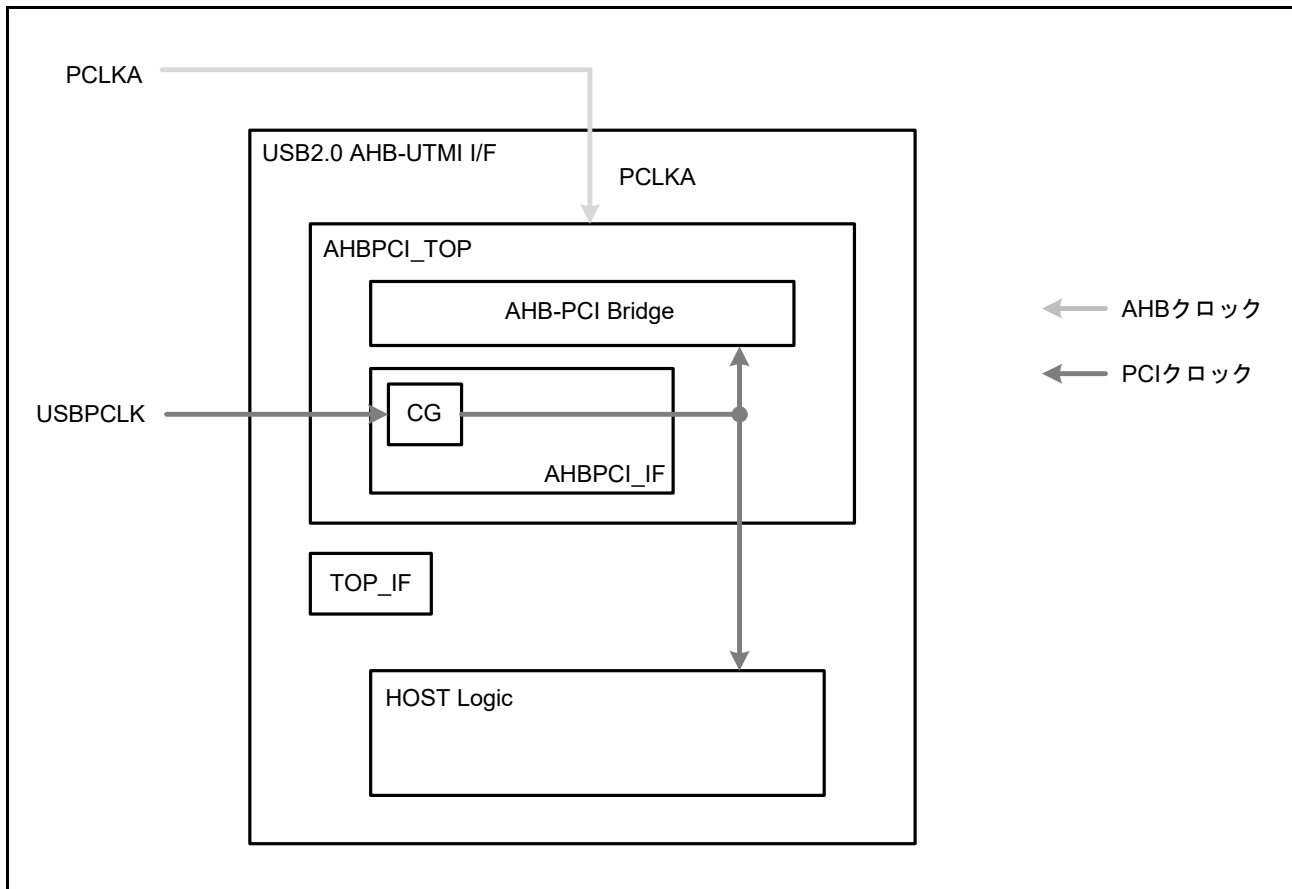


図 23.6 クロック系統図

23.6 割り込みについて

23.6.1 割り込み制御レジスタ

23.6.1.1 U2H_INT 制御レジスタ

AHB-PCI Bridge が発生する割り込みです。割り込みステータス確認・クリア、割り込みイネーブルの設定は、いずれも AHB-PCI Bridge が持つレジスタで行います。

表 23.10 U2H_INT 制御レジスタ

制御	対象レジスタ
割り込みステータス確認・クリア	PCI_INT_STATUS レジスタ
割り込みイネーブル設定	PCI_INT_ENABLE レジスタ

23.6.1.2 U2H_OHCI_INT 制御レジスタ

ホスト・ロジックからの INTA 割り込みです。各割り込みの制御は、基本的にホスト・ロジックが持つレジスタで行いますが、割り込み信号をアサートするには AHB-PCI Bridge の割り込みイネーブルも有効にしてください。

表 23.11 U2H_OHCI_INT 制御レジスタ

制御	対象レジスタ
割り込みステータス確認・クリア	HcInterruptStatus レジスタ
割り込みイネーブル設定	HcInterruptEnable レジスタ HcInterruptDisable レジスタ PCI_INT_ENABLE レジスタ (ビット 16 USBH_INTAEN)

23.6.1.3 U2H_EHCI_INT 制御レジスタ

ホスト・ロジックからの INTB 割り込みです。各割り込みの制御は、基本的にホスト・ロジックが持つレジスタで行いますが、割り込み信号をアサートするには AHB-PCI Bridge の割り込みイネーブルも有効にしてください。

表 23.12 U2H_EHCI_INT 制御レジスタ

制御	対象レジスタ
割り込みステータス確認・クリア	USBSTS レジスタ
割り込みイネーブル設定	USBINTR レジスタ PCI_INT_ENABLE レジスタ (ビット 17 USBH_INTBEN)

23.6.1.4 U2H_PME_INT 制御レジスタ

ホスト・ロジックからの PME 割り込みです。各割り込みの制御は、基本的にホスト・ロジックが持つレジスタで行いますが、割り込み信号をアサートするには AHB-PCI Bridge の割り込みイネーブルも有効にしてください。

表 23.13 U2H_PME_INT 制御レジスタ

制御	対象レジスタ
割り込みステータス確認・クリア	PCI Configuration レジスタ for OHCI/EHCI offset 44h
割り込みイネーブル設定	PCI Configuration レジスタ for OHCI/EHCI offset 44h PCI_INT_ENABLE レジスタ (ビット 19 USBH_PMEEN)

23.6.2 U2H_BIND_INT

U2H_BIND_INT 割り込み信号は、各割り込み要因信号 (U2H_INT, U2H_OHCI_INT, U2H_EHCI_INT, U2H_PME_INT) の論理和をとった信号です。

U2H_PME_INT / U2H_OHCI_INT / U2H_EHCI_INT 信号のステータスは、AHB-PCI Bridge の PCI_INT_STATUS レジスタに反映されますので、同レジスタをリードすることにより、割り込み要因の確認が可能です。

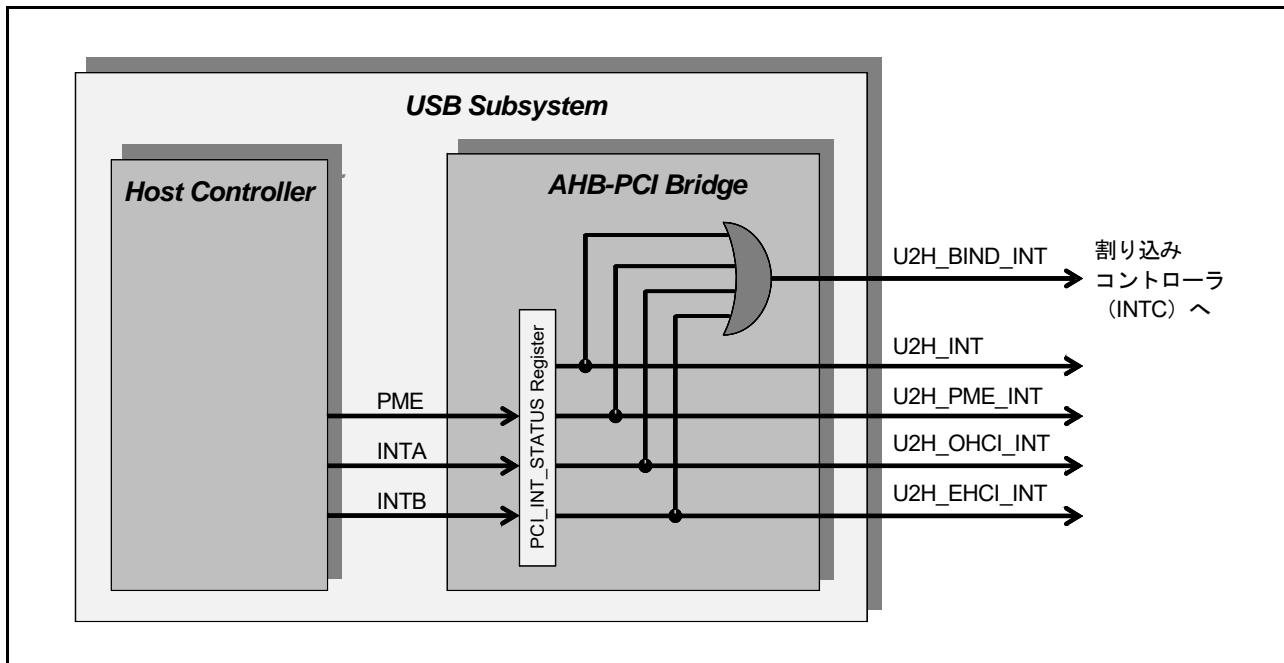


図 23.7 割り込み信号集約イメージ

23.6.3 割り込み信号のクリアに要する時間について

USB ホストコントローラが発生する割り込みは、AHB Bridge が Posted Write を行うため、内部バスのアクセス状況によっては、割り込み要因のクリアを行うレジスタアクセスから、実際の割り込みのクリアまでの時間が長くなり、同一のステータス割り込みを複数回認識してしまう可能性があります。(「**図 23.8 割り込みのクリア時間**」を参照してください。)

レジスタクリアアクセス完了後から、次の割り込みを認識するまでに、誤認識を行わない対策を行ってください。

一例として、割り込み要因のクリアを行うレジスタアクセス (①) 後に、ホスト・ロジックへレジスタアクセス (②) を行ってください。①が完了するまで②を WAIT (SHREADY/MHREADY = 0 または RETRY 応答) するため、②のレジスタアクセス完了時点で割り込みが確実にクリアされます。

(1) ホスト・ロジック

U2H_OHCI_INT / U2H_EHCI_INT / U2H_PME_INT のクリアを行うレジスタアクセス完了から割り込みのクリアまでに時間を要する場合があります。

PCLKA = 150MHz の場合、通常は 300ns 程度ですが、内部 PCI バス上で Master 転送中の場合、ワーストケースとして $36\text{CLK}@\text{USBPCLK} + 3\text{CLK}@\text{PCLKA} + 2\text{CLK}@12\text{MHz}$ となり、USBPCLK = 30MHz の場合、約 1.4 μs となります。

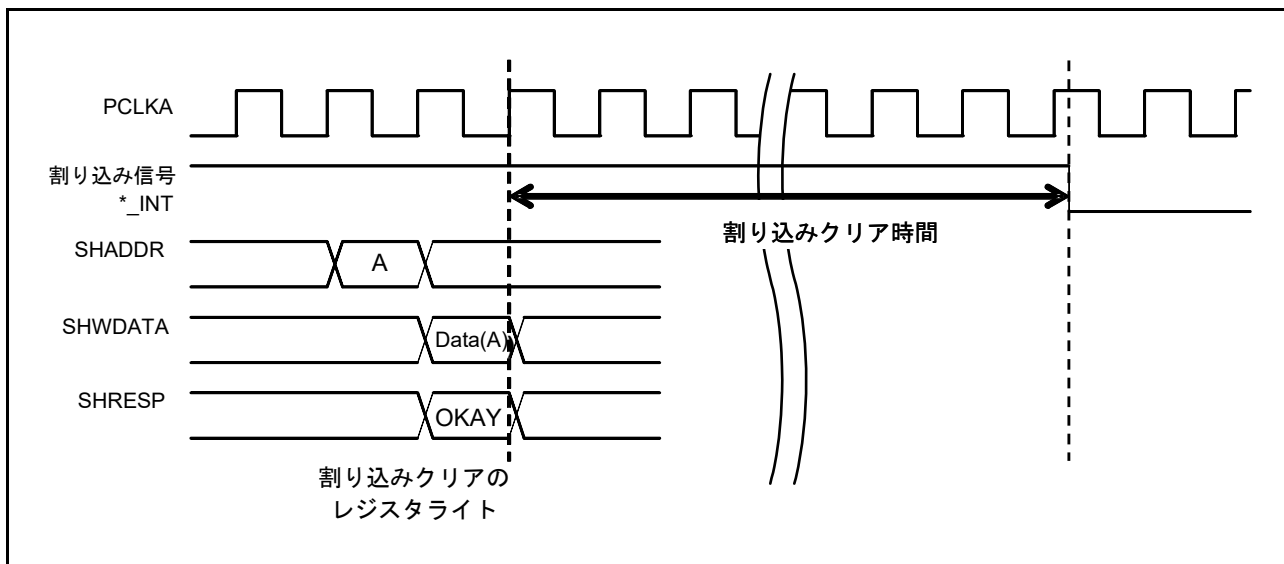


図 23.8 割り込みのクリア時間

23.7 過電流制御とVBUS 制御について

23.7.1 過電流制御について

USB ポートの過電流検出と VBUS 制御を行うための外部回路制御に用いる USB_OVRCUR / USB_VBUSEN 信号の動作を説明します。

23.7.1.1 USB_OVRCUR と USB_VBUSEN 信号の意味

USB_OVRCUR と USB_VBUSEN 信号の意味は、表 23.14 のとおりです。

表 23.14 USB_OVRCUR と USB_VBUSEN

端子	入出力	レベル	意味
USB_OVRCUR	入力	1	過電流を検出していない
		0	過電流を検出した
USB_VBUSEN	出力	1	VBUS への電源供給 ON
		0	VBUS への電源供給 OFF

23.7.1.2 USB_VBUSEN 出力信号のアサート/ディアサート条件

USB_OVRCUR と USB_VBUSEN のアサート/ディアサート時のタイミングチャートを図 23.9 に示します。

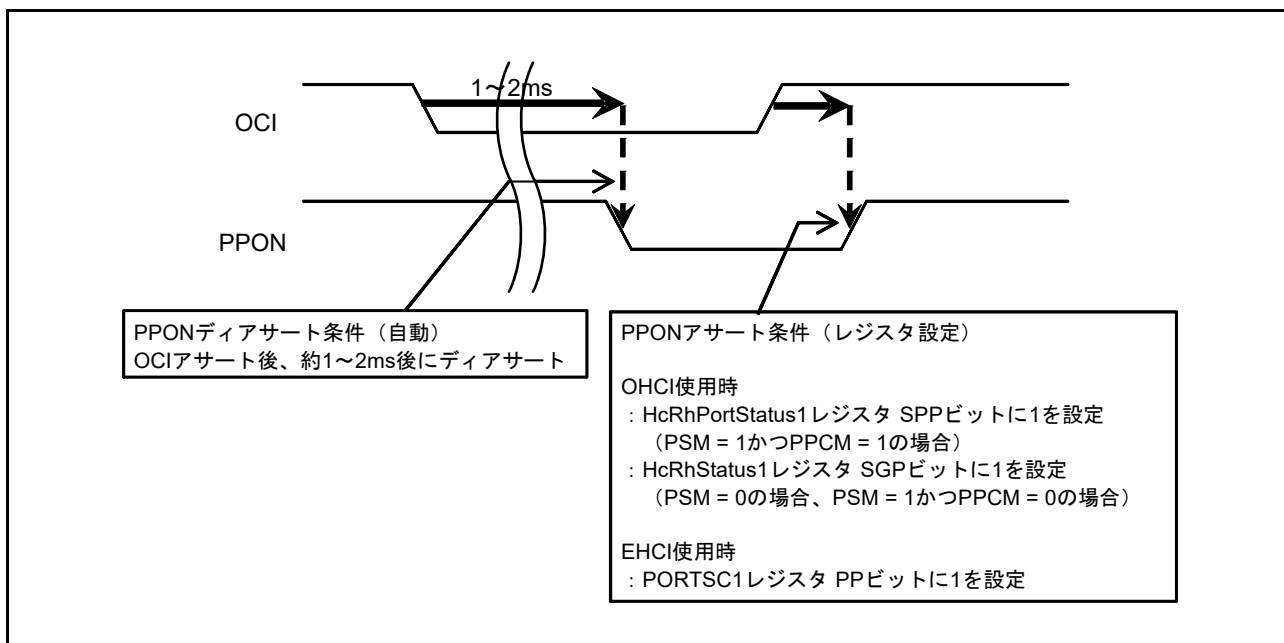


図 23.9 USB_OVRCUR と USB_VBUSEN のアサート/ディアサートタイミングチャート

USB_OVRCUR がディアサートされても、USB_VBUSEN は自動的にアサートされません。USB_OVRCUR がディアサート後に、ソフトウェアでポートパワービットを設定することで USB_VBUSEN がアサートされます。

23.7.2 VBUS 制御について

周辺回路との接続構成にも依存しますが、USB_OVRCUR / USB_VBUSEN 端子とハイサイドスイッチを接続することにより、USB ポートを未使用時に VBUS を停止して電力を削減することが可能になります。

USB_VBUSEN、VBUS の関係は以下のようになります。

表 23.15 USB_VBUSEN と VBUS の関係

USB_VBUSEN	VBUS
0	停止
1	動作

PCI Configuration レジスタと OHCI Operational レジスタにより、USB_OVRCUR アサート時の USB_VBUSEN 動作が異なります。以下にその関係を示します。

表 23.16 レジスタ設定と USB_VBUSEN との関係

OHCI Operational Register				USB_VBUSEN 出力端子動作
HcRhDescriptorA レジスタ			HcRhDescriptorB レジスタ	
NOCP ビット	NPS ビット	PSM ビット	PPCM[1] ビット	
1	—	—	—	1 固定
—	1	—	—	1 固定
0	0	0	—	USB_OVRCUR アサート (0) により ディアサート (0) されます
		1	0	
			1	

注. NPS = 1 の場合、ホスト・ロジックは過電流を検出しますが USB_VBUSEN をディアサートしません。

23.7.3 PPON1 の初期設定について

HcRhDescriptorA レジスタの NOCP、NPS ビットの設定を行わずリセット後の設定で使用する通常ケースの場合、PPON1 (PortPower) の ON/OFF 制御は、以下に示す OHCI/EHCI Operational レジスタの Port 制御レジスタにより行います。以下のビット (SPP, SGP, PP) のどれか1つでも 1 (ON) にすると、PPON1 は ON 状態になります。

また通常ケースの場合、過電流を検出すると以下のビット (SPP、SGP、PP) は 0 にクリアされます。

	レジスタ	ビット	シンボル
OHCI 使用時	HcRhPortStatus1 レジスタ	8	SPP
	HcRhPortStatus レジスタ	16	SGP (注1)
EHCI 使用時	PORTSC1 レジスタ	12	PP

注1. 1Port版の場合、通常は使用しません。
本ビットによるPPON制御を行う場合、「PSM = 0」または「PSM = 1 かつPPCM = 0」のビット状態にしてください。

一方、NOCP ビットまたは NPS ビットを 1 にすることで、上記 Port 毎の Port Power ビットに関係なく PPON1 は ON 状態になります。

上述した 5 つの PPON1 制御ビット (SPP, SGP, PP, NOCP, NPS ビット) の初期状態は、すべて 0 (OFF) となっていますが、初期設定時に ON (1) にする場合は以下のフローにしたがってください。

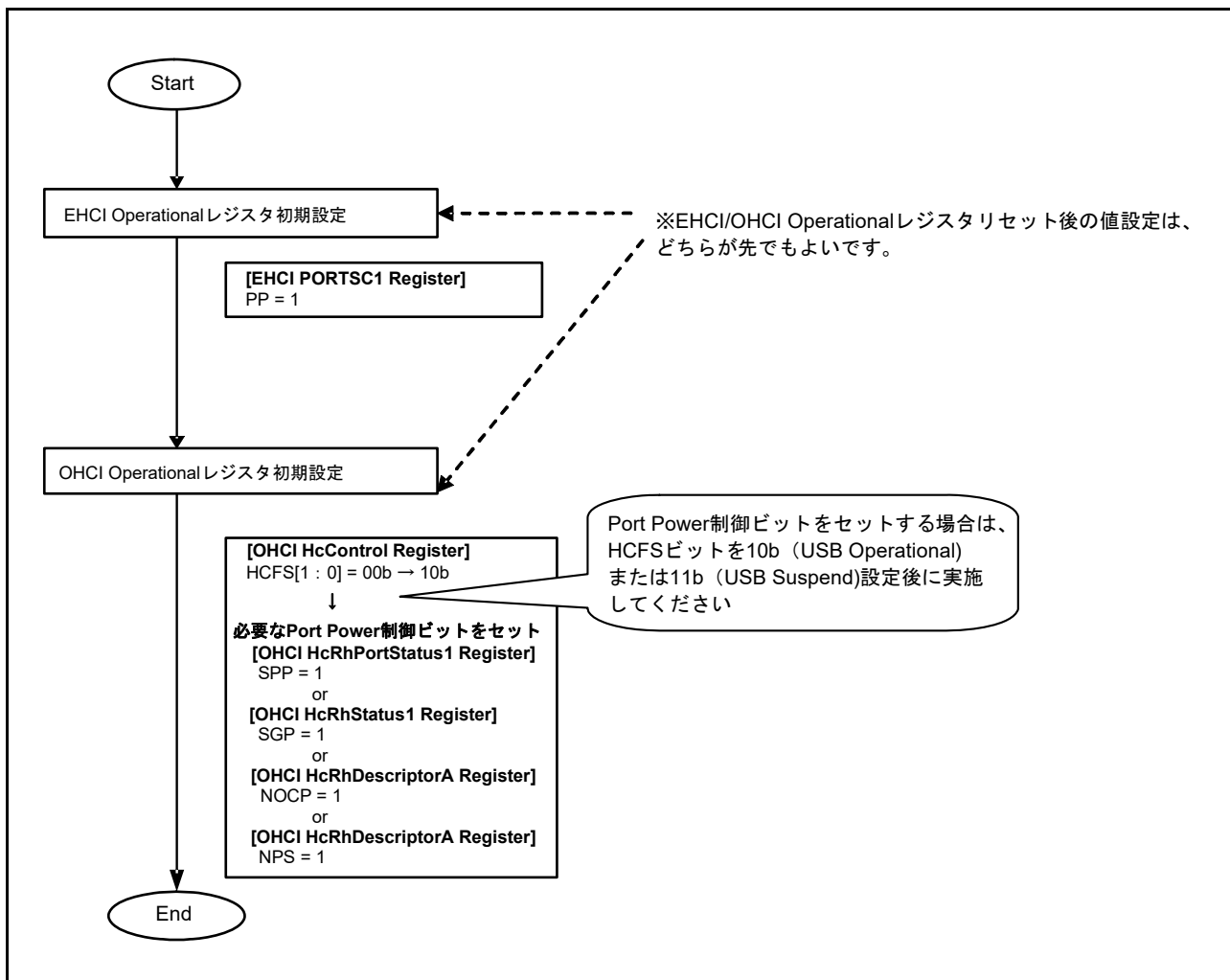


図 23.10 PPON1 の初期設定フロー

23.7.4 USB_VBUSEN の過電流検知に関するフロー

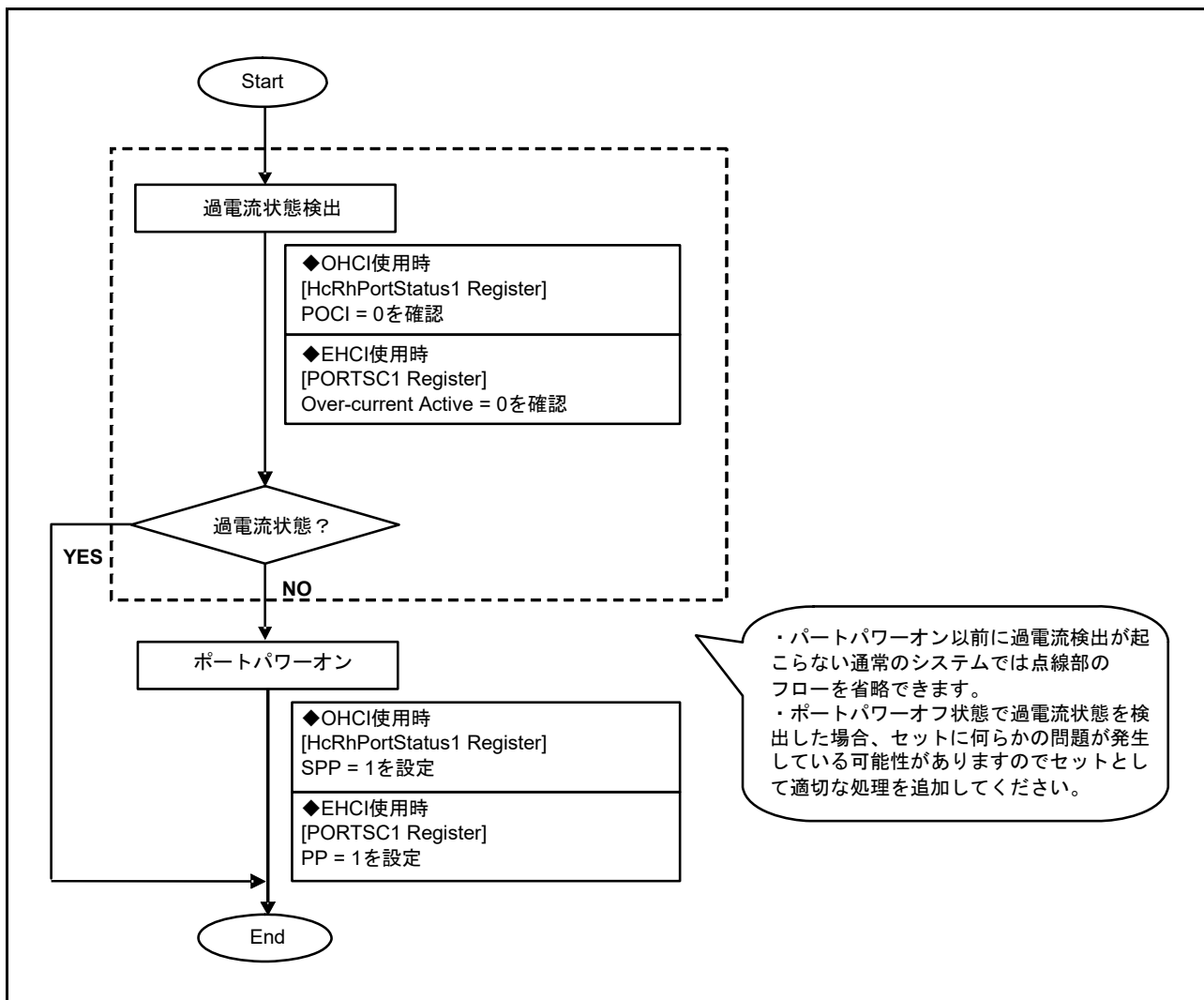


図 23.11 USB_VBUSEN 時の過電流検知に関するフロー

23.7.5 USB_VBUSEN セットフロー

システム起動時に、USB_OVRCUR がアクティブ (0) 状態である可能性があるシステムの USB_VBUSEN セットフローを示します。

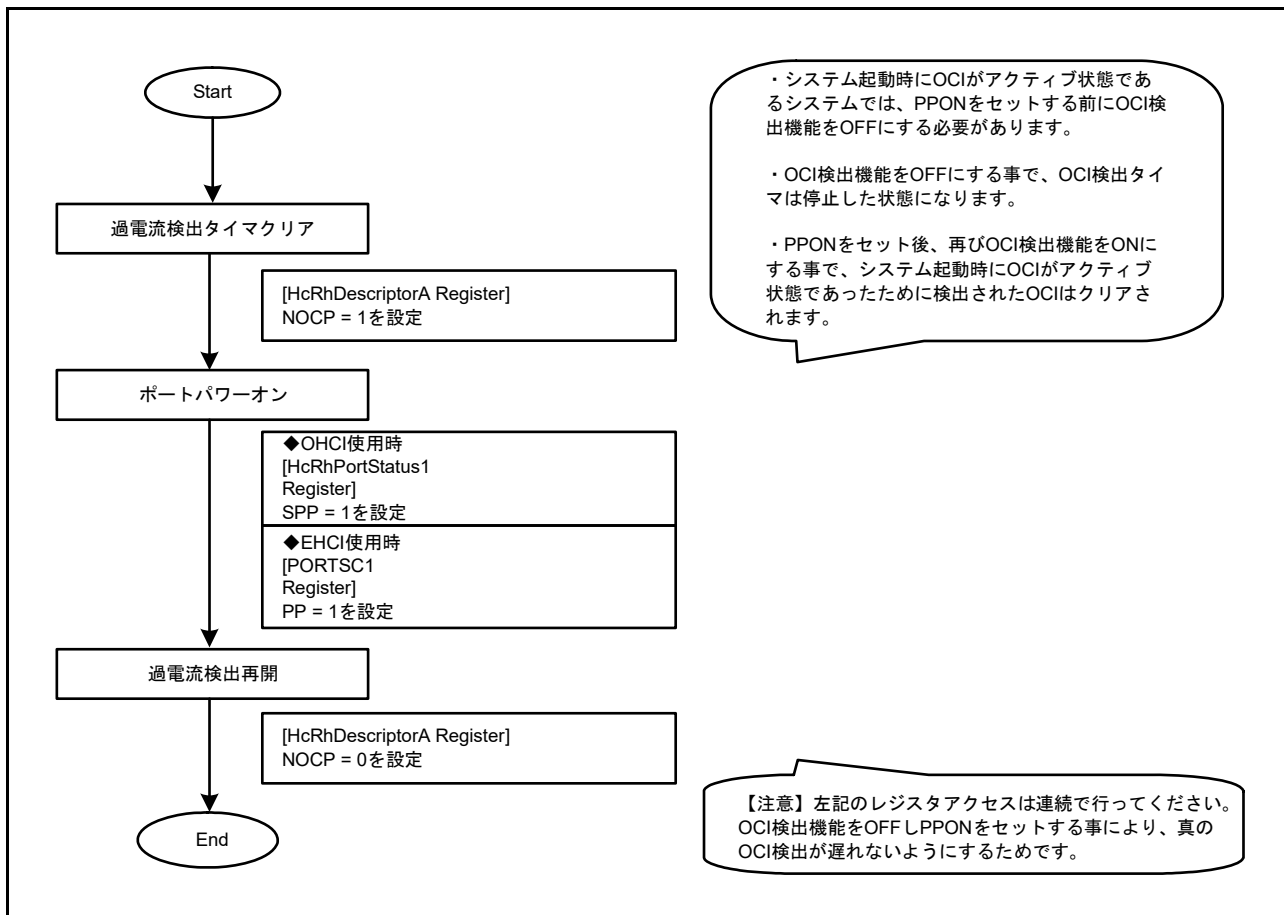


図 23.12 USB_VBUSEN セットフロー

23.8 操作手順

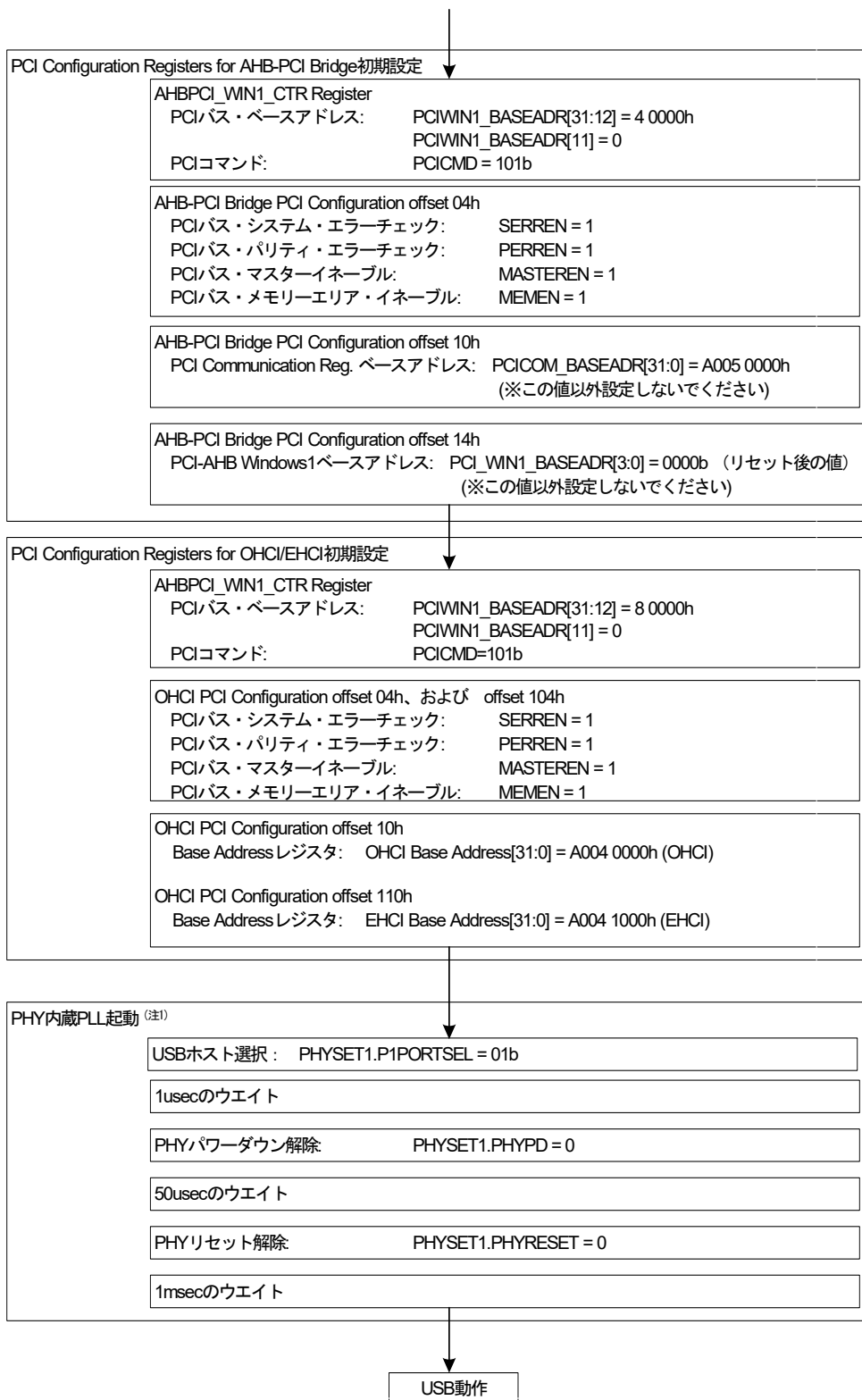
23.8.1 初期設定シーケンス

23.8.1.1 初期設定例

ここでは、以下の機能を実現するための設定例を示します。

- AHB-PCI Window2 レジスタを通して OHCI / EHCI Operational Registers にアクセス
- ホスト・ロジックから AHB バス上へのデータ転送





注 1. PHY 内蔵 PLL を一度起動した後に、PHY パワーダウン (PHYSET1.PHYPD ビット = 1)、PHY リセット (PHYSET1.PHYRESET ビット = 1) を設定して、PHY 内蔵 PLL を動作停止にすることは禁止です。

図 23.13 初期設定シーケンス

23.8.2 USB ホスト転送フロー

USB ホスト転送フローについては、以下の OHCI / EHCI の仕様にしたがって制御してください。

- Open Host Controller Interface Specification for USB Rev 1.0a
- Enhanced Host Controller Interface Specification for Universal Serial Bus Revision 1.0

ここでは、DMA の停止に関する補足事項について説明します。

23.8.2.1 DMA 転送の停止

AHB-PCI Bridge には DMA の使用を制御する機能はありません。Master として起動した PCI バスサイクルをそのまま AHB バスに DMA 転送として出力します。

DMA 転送は、以下の 2 つの場合に行われます。

- (1) 現在の Frame Number をメモリに書き込む場合
- (2) リスト処理を行うためにメモリ上に展開されたディスクリプタ、およびデータに対する Read / Write を行う場合

注 . Frame Number の書き込みは、USB ステートが Operational の場合、フレーム周期ごとに自動で行われます。

DMA 転送を停止する場合、USB ステートを Suspend または Reset 状態にしてください。

(2) のリスト処理のみを中断する場合、リスト処理のイネーブルビット (HcControl レジスタ BLE / CLE / IE / PLE) をクリアすることで次のフレームからリスト処理が停止します。

24. USB2.0HS ファンクションモジュール (USBf)

24.1 概要

本 LSI の USB は、USB2.0 ホストモジュールおよび USB2.0 ファンクションモジュールをもつデュアル・ロール・デバイスです。ただし、ID ステータス検出機能を持っていないため、On-the-Go (OTG) 機能には対応していません。

本 LSI は、ホスト機能とファンクション機能の 2 つの機能に対して 1 つの USB ポートを共有しており、ポート接続経路選択入力信号ビット (PHYSET1.P1PORTSEL[1:0] ビット) により、ホスト機能とファンクション機能とを切り替えて使用する事が可能です。

ホスト機能とファンクション機能とは排他的に動作するため、動的には切り替わりません。

本章では、ファンクションコントローラについて説明します。

USBf ファンクションは、USB 規格 Rev.2.0 の Hi-Speed 転送、Full-Speed 転送に対応しています。

本 LSI は、USB 規格で定義されている全転送タイプに対応しています。また、データ転送用に 8K バイトのバッファメモリを内蔵しており、最大 10 本の PIPE を使用できます。また、PIPE1-9 に対しては、ユーザーシステムに合わせた、任意のエンドポイント番号の割り付けが可能です。CPU バスインタフェースとは独立したローカルバスインタフェースで、専用 DMA インタフェースを備え、高速大容量データ転送を要求されるシステムに適しています。

表 24.1 USB の仕様

項目	説明
USB Hi-Speed 対応	<ul style="list-style-type: none"> USB ファンクションコントローラを内蔵
USB 全転送タイプに対応	<ul style="list-style-type: none"> アイソクロナス転送対応を含む USB 全転送タイプに対応 <ul style="list-style-type: none"> コントロール転送 バルク転送 インタラプト転送 (High Bandwidth は非対応) アイソクロナス転送 (High Bandwidth は非対応)
バスインタフェース	<ul style="list-style-type: none"> DMA インタフェースを 2ch 内蔵 <ul style="list-style-type: none"> CPU とは独立した DMAC インタフェースを選択可能 内蔵 FIFO へのアクセスは 60M バイト/秒の高速データ転送が可能 (32 ビットバス幅時)
パイプコンフィグレーション	<ul style="list-style-type: none"> USB 通信用バッファメモリを 8K バイト内蔵 最大 10 本の PIPE を選択可能 (デフォルトコントロール PIPE を含む) プログラマブルな PIPE 構成 PIPE1-9 は任意のエンドポイント番号を割り付け可能 各 PIPE の設定可能な転送条件 <ul style="list-style-type: none"> PIPE0: コントロール転送、64 バイト固定シングルバッファ PIPE1~2: バルク転送 / アイソクロナス転送、連続転送モード、バッファサイズはプログラマブル (最大 2K バイトでダブルバッファ指定可能) PIPE3~5: バルク転送、連続転送モード、バッファサイズはプログラマブル (最大 2K バイトでダブルバッファ指定可能) PIPE6~9: インタラプト転送、64 バイト固定シングルバッファ
ファンクション機能の特長	<ul style="list-style-type: none"> Hi-Speed 転送 (480Mbps) と Full-Speed 転送 (12Mbps) に対応 リセットハンドシェイク自動応答による、Hi-Speed 動作、もしくは Full-Speed 動作を自動認識 コントロール転送ステージ管理機能 デバイスステート管理機能 SET_ADDRESS リクエストに対する自動応答機能 NAK 応答割り込み機能 (NRDY) SOF 補間機能
その他の機能	<ul style="list-style-type: none"> トランザクションカウントによるトランスファー終了機能 BRDY 割り込みイベント通知タイミング変更機能 (BFRE) DxFIFO ポートで指定した PIPE のデータ読み出し後の自動バッファメモリクリア機能 (DCLRM) トランスファー終了による応答 PID の NAK 設定機能 (SHTNAK) セルフパワードのみ対応 (バスパワード非対応)

図 24.1 に USB のブロック図を示します。

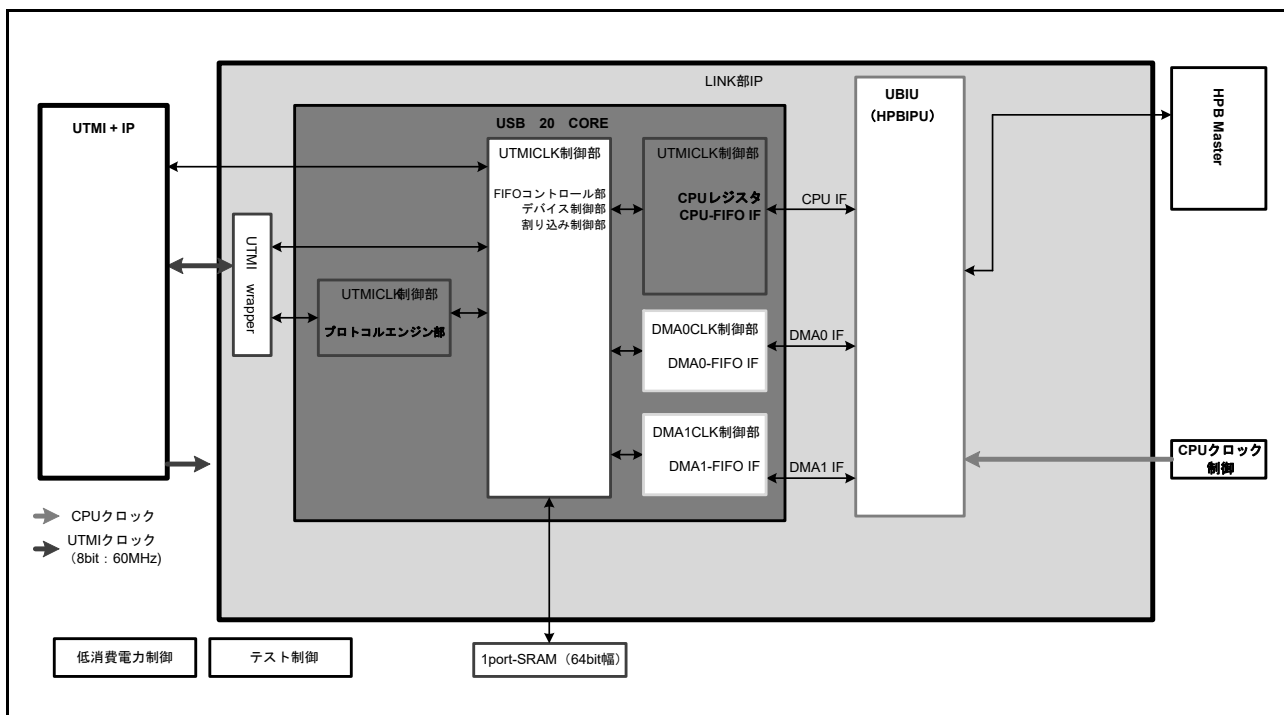


図 24.1 USB のブロック図

USB バス上に接続されているホストコントローラーとデータ送受信を行う場合は、PIPE ごとに割り当てを行ったバッファメモリを使用します。本コントローラーが、バッファメモリに格納されているデータを USB データパケットに変換し、USB バス上にシリアル出力を行い、また、USB バス上のデータパケットを入力し、バッファメモリへデータ格納することで、相互通信が可能になります。

24.1.1 機能概要

24.1.1.1 USB 転送 Speed 認識

ハードウェアが、USB 転送 Speed を自動認識します。

24.1.1.2 バスインタフェース

(1) FIFO バッファメモリアクセス方法

本コントローラーは、USB データ転送用の FIFO バッファメモリへのアクセス方法として以下の 2 種類に対応しています。CPU (DMAC) から FIFO ポートアクセス (読み出し/書き込み) を行うことにより、FIFO バッファメモリからの読み出し (または FIFO バッファメモリへの書き込み) を行うことが出来ます。

1. CPU アクセス

FIFO ポートアドレスを指定し、データを FIFO バッファメモリに書き込み、もしくは FIFO バッファメモリから読み出してください。

2. DMA アクセス

CPU 内蔵 DMAC、もしくは専用 DMAC から、FIFO ポートアドレスを指定し、データを本コントローラーの FIFO バッファメモリに書き込み、もしくは FIFO バッファメモリから読み出してください。

USB データ通信はリトルエンディアンで行われます。FIFO ポートアクセスにはバイトエンディアンスワップ機能があり、16bit/32bit アクセスの場合には、レジスタ設定によるエンディアン切り替えができます。

24.1.1.3 USB イベント

本コントローラーは、USB 動作上のイベントを割り込みによりユーザーシステムに通知します。また、DMA インタフェースを選択した PIPE のバッファメモリへのアクセスが可能なことを、UCL_Dx_DREQ (割り込み要因 [43]、割り込み要因 [44]) 信号をアサートすることにより通知します。

ソフトウェアの設定により種類別、要因別に割り込み通知の可否を選択することができます。

24.1.1.4 USB データ転送

本コントローラーは、USB 通信のコントロール転送、バルク転送、インタラプト転送、およびアイソクロナス転送の全種類のデータ転送が可能です。各転送タイプに対する PIPE のリソースは以下のとおりです。

コントロール転送専用 PIPE; 1 本

インタラプト転送専用 PIPE; 4 本

バルク転送専用 PIPE; 3 本

バルク転送もしくはアイソクロナス転送選択 PIPE; 2 本

PIPE は、ユーザーシステムに合わせて転送タイプ、エンドポイント番号、マックスパケットサイズ等の USB 転送に必要な設定を行ってください。

また、本コントローラーは、8K バイトのバッファメモリを内蔵しています。バルク転送専用 PIPE、およびバルク転送もしくはアイソクロナス転送選択 PIPE に対しては、ユーザーシステムによるバッファメモリの割り当てやバッファ動作モードなどの設定を行ってください。バッファ動作モード設定は、ダブルバッファ構成やデータパケットの連続転送機能により、少ない割り込み回数で、高速なデータ転送が可能です。

CPU、および DMA コントローラーからのバッファメモリへのアクセスは、3 本の FIFO ポートレジスタを通して行います。

24.1.1.5 DMAC (ダイレクトメモリアクセスコントローラー) からのアクセス用機能

本コントローラーは、2 チャンネルの DMA インタフェースを備えており、以下のような機能を有しています。

- (1) 転送終了信号によるトランスファー終了通知機能
- (2) Zero-Length パケット受信時の FIFO バッファ自動クリア機能
- (3) トランザクションカウンタ機能によるトランスファー終了機能

24.2 レジスタの説明

24.2.1 システムコンフィグレーションコントロール

24.2.1.1 システムコンフィグレーションコントロールレジスタ 0 (SYSCFG0)

アドレス A006 0000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	HSE	—	DRPD	DPRPU	—	—	—	USBE
H/W リセット後の値	x	x	x	x	x	x	x	0	0	0	1	0	x	x	x	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	S/W	H/W
b0	USBE	USBブロック動作許可	USBブロックの動作禁止／許可を指定します。 0: USBブロック動作禁止 1: USBブロック動作許可	R/W	R
b3-b1	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b4	DPRPU	D+ライン抵抗制御	Function Controller機能用D+ラインPullUpの禁止／許可を指定します。 0: Pull Up禁止 1: Pull Up許可	R/W	R
b5	DRPD	D+／D-ライン抵抗制御	初期化時に、必ず0に設定してください。	R/W	R
b6	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b7	HSE	Hi-Speed動作許可	Hi-Speed動作禁止／許可を指定します。 0: Hi-Speed動作禁止 (Full-Speed) 1: Hi-Speed動作許可 (コントローラーが通信Speedを検出)	R/W	R
b15-b8	—	予約ビット	書き込む場合は0を書いてください。	R/W	—

注. 本レジスタへの書き込みは、UTMIクロック（USB内蔵PLLのクロック出力）が停止時でも可能です。しかしUTMIクロックが停止時に設定された値は、UTMIクロックが発振されてから、設定値が反映されます。

USB ブロック動作許可ビット (USBE)

本ビットを設定することにより、USB ブロックの動作許可、禁止を行います。

“USBE = 1” から “USBE = 0” に変更した場合、本コントローラーは表 24.2 に示すビットを初期化します。

表 24.2 “USBE = 0”書き込みにより初期化されるレジスター一覧

レジスタ名	ビット名
SYSSTS0	LNST
DVSTCTR0	RHST
INTSTS0	DVSQ
USBADDR	USBADDR
USBREQ	bRequest bmRequestType
USBVAL	wValue
USBINDX	wIndex
USBLENG	wLength

本ビットの変更は、“SUSPM = 1”、かつ UTMI クロックが発振した後に行ってください。

D+, D- ライン抵抗制御 (DRPD、DPRPU)

「表 24.3 USB データバス抵抗の制御」に USB データバスの抵抗についての設定を示します。DRPD ビットおよび DPRPU ビットで USB データバスの抵抗選択を行ってください。

表 24.3 USB データバス抵抗の制御

設定内容		USB データバス抵抗制御		
DRPD	DPRPU	D- Line	D+ Line	Remarks
0	0	Open	Open	
0	1	Open	Pull-Up	Function Controller として動作させる場合はこの設定にしてください
1	0	Pull-Down	Pull-Down	設定禁止
1	1	Pull-Down	Pull-Up	設定禁止

- Function Controller 機能用 D+Pull Up 抵抗制御 (DPRPU)

本ビットを“1”に設定すると、本コントローラーは D+ ラインを 3.3V に Pull Up し、USB ホストに対してアタッチを通知することができます。

また、本ビットを“1”から“0”に変更することにより、本コントローラーは D+ ラインの Pull Up を解消しますので、USB ホストに対してデタッチしたと見せることができます。

本レジスタはレジスタ PHYSET1.PHYVBUSIN と同時に制御してください。

Hi-Speed 動作許可ビット (HSE)

本ビットを“1”に設定することにより、Hi-Speed 動作を許可します。“HSE = 1”を設定した場合、本コントローラーは Reset Handshake の結果にしたがい、Hi-Speed または Full-Speed 動作を行います。

“HSE = 0”を設定した場合、本コントローラーは Full-Speed 動作を行います。

“HSE = 1”を設定した場合、本コントローラーは Reset Handshake Protocol を実行し、その結果にしたがい自動的に Hi-Speed または Full-Speed 動作を行います。

本ビットの書き換えは、“DPRPU = 0”の時に行ってください。

24.2.1.2 システムコンフィグレーションコントロールレジスタ 1 (SYSCFG1)

アドレス A006 0002h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	BWAIT[5:0]					
H/W リセット後の値	x	x	0	0	0	0	0	0	x	x	0	0	1	1	1	1
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	S/W	H/W
b5-b0	BWAIT[5:0]	CPUバスアクセスウェイトの指定	本コントローラに対するアクセスウェイト数を指定 b5 b0 000000 : 0ウェイト (アクセスサイクル2) : : 000010 : 2ウェイト (アクセスサイクル4) : : 000100 : 4ウェイト (アクセスサイクル6) : : 001111 : 15ウェイト (アクセスサイクル17) (リセット後の値) : : 111111 : 63ウェイト (アクセスサイクル65)	R/W	R
b15-b6	—	予約ビット	書き込む場合は0を書いてください。	R/W	—

CPU アクセスウェイト指定ビット (BWAIT)

本コントローラの A006 0004h アドレス以降のレジスタに連続アクセスする場合、67ns 以上の時間を確保する必要があります。

本制約を満たすために、CPU クロックの周波数によりウェイト制御する必要があります。リセット後の値は最大値 (17 クロックサイクル) のため、最適な設定値を選択してください。

なお、本設定は、FIFO ポートレジスタへのアクセスのウェイトと共通です。FIFO ポートへの最大アクセススピードは以下のとおりです。

MBW = “10b” (32bit 幅) : max 60MBytes/sec

MBW = “01b” (16bit 幅) : max 30MBytes/sec

MBW = “00b” (8bit 幅) : max 15MBytes/sec

24.2.1.3 システムコンフィギュレーションステータスレジスタ (SYSSTS0)

アドレス A006 0004h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LNST[1:0]	
H/W リセット後の値	x	x	x	x	x	x	x	x	x	0	0	x	x	x	x	x
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	S/W	H/W
b1-b0	LNST[1:0]	USB データラインステータスモニター	USB ライン状態が表示されます。	R	W
b15-b2	—	予約ビット	読み出した場合、不定値が読み出せます。	R	—

ラインステータスモニタビット (LNST)

表 24.4 に本コントローラーの USB データバスラインステータス表を示します。本コントローラーは、SYSSTS0 レジスタの LNST ビットに USB データバスのラインステータス (D+ ライン、および D- ライン) をモニタします。

LNST ビットの参照は“USBE = 1”設定後、アタッチ処理 (“DPRPU = 1”設定) 以後に行ってください。

表 24.4 USB データバスラインステータス表

LNST[1]	LNST[0]	Full-Speed 動作時	Hi-Speed 動作時	Chirp 動作時 (注1)
0	0	SE0	Squelch (注2)	Squelch (注2)
0	1	J State	Unsquench (注3)	Chirp J (注4)
1	0	K State	Invalid	Chirp K (注5)
1	1	SE1	Invalid	Invalid

注1. Chirp : Hi-Speed 動作許可の状態 (HSE = “1”) で、リセットハンドシェイクプロトコル実行中

注2. Squelch : SE0、もしくは Idle 状態

注3. Unsquench : Hi-Speed J State、もしくは Hi-Speed K State

注4. Chirp J : Chirp J State

注5. Chirp K : Chirp K State

24.2.2 USB 信号制御

24.2.2.1 デバイスステートコントロールレジスタ 0 (DVSTCTR0)

アドレス A006 0008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	WKUP	—	—	—	—	—	RHST[2:0]		
H/W リセット後の値	x	x	x	x	x	0	0	0	0	0	0	0	x	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	0	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	S/W	H/W
b2-b0	RHST[2:0]	リセットハンドシェイク	リセットハンドシェイクの状態を表示します。	R	W
b7-b3	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b8	WKUP	ウェイクアップ出力	リモートウェイクアップ（レジャーム信号出力）禁止／許可を指定します。本ビットには、1書き込みのみ可能です。 0: リモートウェイクアップ信号非出力 1: リモートウェイクアップ信号出力	R/W	R/W
b15-b9	—	予約ビット	書き込む場合は0を書いてください。	R/W	—

リセットハンドシェイクステータスビット (RHST)

Reset Handshake の結果を本ビットに表示します。表 24.5 に Reset Handshake 結果一覧を示します。

表 24.5 Reset Handshake ステータス表

バスの状態	RHSTビットの値
Powered 時 or Disconnect 時	000b
ResetHandshake 中	100b
Full-Speed 接続時	010b
Hi-Speed 接続時	011b

“HSE = 1” を設定している場合、本コントローラーが USB バスリセットを検出すると、本ビットは“100b”を示します。その後、本コントローラーが ChirpK を出力し、USB ホストからの ChirpJK を 3 回検出した時点で本ビットは“011b”を示します。ChirpK 出力後、2.5ms 以内に Hi-Speed に確定しなければ、本ビットは“010b”を示します。

“HSE = 0” を設定している場合、本コントローラーが USB バスリセットを検出すると、本ビットは“010b”を示します。

本コントローラーが USB バスリセットを検出後、RHST ビットが“010b”または“011b”に確定した時点で、DVST 割り込みが発生します。

リモートウェイクアップ (レジューム信号出力) 禁止/許可ビット (WKUP)

本ビットを“1”に設定すると、本コントローラーは USB バスにリモートウェイクアップ信号を出力します。

本コントローラーは、リモートウェイクアップ信号の出力時間を管理しています。ソフトウェアが WKUP ビットに“1”を設定すると、本コントローラーは 10ms の“K-State”を出力し、その後、ハードウェアで自動的に“WKUP=0”にします。

USB 規格では、リモートウェイクアップ信号の送信までに最短 5ms の USB バスアイドル状態を保持する必要があります。このため、サスペンド状態を検出した直後に“WKUP=1”を書き込んでも、本コントローラーは 2ms 待ってから“K-State”を出力します。

WKUP ビットへの“1”書き込みは、デバイスステートがサスペンド (“DVSQ=1xxb”) であり、かつ USB ホストからリモートウェイクアップが許可されている場合のみ行ってください。

WKUP ビットを“1”に設定する場合は、サスペンド中であっても内部クロックを停止しないでください (“SUSPM=1”の状態 で “WKUP=1” を書き込んでください)。

24.2.3 テストモード

24.2.3.1 USB テストモードレジスタ (TESTMODE)

アドレス A006 000Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	UTST[3:0]			
H/W リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	S/W	H/W
b3-b0	UTST[3:0]	テストモード	※ テストモードビットの説明を参照してください。	R/W	R
b15-b4	—	予約ビット	書き込む場合は0を書いてください。	R/W	—

テストモードビット (UTST)

本ビットに値を書き込むことにより、Hi-Speed 動作時の USB テスト信号出力を行います。表 24.6 に本コントローラーのテストモード動作表を示します。

表 24.6 テストモード動作表

テストモード	UTSTビット設定
通常動作	0000b
Test_J	0001b
Test_K	0010b
Test_SE0_NAK	0011b
Test_Packet	0100b
Test_Force_Enable	—
Reserved	0101b-0111b

Hi-Speed 通信時の USB ホストからの SetFeature リクエストにしたがって本ビットを書き込んでください。本ビットに“0001h”~“0100h”を設定している時には、本コントローラーはサスペンド状態に遷移しません。

テストモード設定後、通常の USB 通信を行う場合は、ハードウェアリセットを実施してください。

24.2.4 DMA-FIFO バスアクセス制御

D0FBCFG レジスタは、DMA0-FIFO のバスアクセス制御を、D1FBCFG レジスタは、DMA1-FIFO のバスアクセス制御を行うレジスタです。

24.2.4.1 DMA0-FIFO バスコンフィグレーションレジスタ (D0FBCFG) DMA1-FIFO バスコンフィグレーションレジスタ (D1FBCFG)

アドレス D0FBCFG : A006 0010h
D1FBCFG : A006 0012h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	DFACC[1:0]	—	—	—	—	—	—	—	TENDE	—	—	—	—	
H/W リセット後の値	x	x	0	0	x	x	x	x	x	x	x	0	x	x	x	x
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	S/W	H/W
b3-b0	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b4	TENDE	TENDx_N信号許可	TENDx_N信号の入力許可を行います。 0 : TENDx_N信号禁止 1 : TENDx_N信号許可 DFACC = “01b” もしくは “10b” 設定時は、0を設定してください。	R/W	R
b11-b5	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b13-b12	DFACC[1:0]	DMAx-FIFOアクセスモード	当該FIFOポートのアクセスモードを指定 b13 b12 00 : サイクルスチルモード (リセット後の値) 01 : 16バイト連続アクセスモード 10 : 32バイト連続アクセスモード 11 : 無効	R/W	R
b15-b14	—	予約ビット	書き込む場合は0を書いてください。	R/W	—

TENDx_N 入力信号の許可ビット (TENDE)

DMA による FIFO ライトアクセス時に、TEND 入力の許可/禁止を選択します。

DFACC = “01b” もしくは “10b” 設定時は、0 を設定してください。

DMA 転送の FIFO アクセスモード選択ビット (DFACC)

本ビットは、DMA 転送を行う場合の転送モードを指定します。

- サイクルスチルモード設定時、FIFO バッファへのアクセスには Dx FIFO ポートを使用してください。
- 16 バイト / 32 バイト連続アクセスモード設定時、FIFO バッファへのアクセスには Dx FIFO 連続転送ポートを使用してください。また、DxFIFOSEL の MBW ビットには “10b” (32 ビット幅) のみ設定可能です。

24.2.5 FIFO ポート

24.2.5.1 CFIFO ポートレジスタ (CFIFO) D0FIFO ポートレジスタ (D0FIFO) D1FIFO ポートレジスタ (D1FIFO)

アドレス
CFIFO : A006 0014h
D0FIFO : A006 0018h
D1FIFO : A006 001Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FIFOPORT[31:0]															
H/Wリセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
USBバスリセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FIFOPORT[31:0]															
H/Wリセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
USBバスリセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

ビット	シンボル	ビット名	機能	S/W	H/W
b31-b0	FIFOPORT [31:0]	FIFOポート	本ビットにアクセスすることにより、FIFOバッファからの受信データ読み出し、もしくはFIFOバッファへの送信データの書き込みを行います。	R/W	R/W

- FIFO ポート制御

本コントローラーの送受信バッファメモリはFIFO構造 (FIFO バッファ) になっています。FIFO バッファへのアクセスはFIFO ポートレジスタを使用してください。FIFO ポートはCFIFO ポート、D0FIFO ポート、およびD1FIFO ポートの3ポートがあります。また、連続転送用にDxFIFO連続転送ポートがあります。各FIFOポートは、FIFO バッファへのデータ読み書きを行うポートレジスタ (CFIFO、D0FIFO、およびD1FIFO)、FIFO ポートに割り当てるPIPEを選択するレジスタ (CFIFOSEL、D0FIFOSEL、およびD1FIFOSEL)、コントロールレジスタ (CFIFOCTR、D0FIFOCTR、およびD1FIFOCTR) で構成されます。

各 FIFO ポートには、以下に示す制約があります。

- (1) DCP 用 FIFO バッファへのアクセスは CFIFO ポートを通して行ってください。
- (2) DFACC = “00b” (サイクルスチールモード) 設定時の DMA 転送による FIFO バッファアクセスは、DxFIFO ポートを通して行ってください。
- (3) DFACC = “01b” もしくは “10b” (16 バイト / 32 バイト連続アクセスモード) 設定時の DMA 転送による FIFO バッファアクセスは、DxFIFO 連続転送ポートを通して行ってください。
- (4) CPU による DxFIFO ポートアクセスも可能です。
- (5) FIFO ポート固有の機能を使用する場合は、CURPIPE ビットに設定する PIPE 番号 (選択 PIPE) を変更できません。(DMA 転送機能使用時等)
- (6) FIFO ポートを構成するレジスタ群は、他の FIFO ポートに影響を与えることはありません。
- (7) 同一 PIPE を別々の FIFO ポートに割り当てないでください。
- (8) FIFO バッファの状態には、アクセス権が CPU 側にある場合と SIE 側にある場合の 2 種類があります。FIFO バッファのアクセス権が SIE 側にある場合は、CPU からのアクセスはできません。

FIFO ポートビット (CFIFO、D0FIFO、および D1FIFO)

ソフトウェアが本レジスタにアクセスすることにより、本コントローラーは各選択レジスタ (CFIFOSEL、D0FIFOSEL、または D1FIFOSEL) の CURPIPE ビットで PIPE 番号に割り当てた FIFO バッファへのアクセスを行います。

本レジスタへのアクセスは、各コントロールレジスタ (CFIFOCTR、D0FIFOCTR、または D1FIFOCTR) の FRDY ビットが “1” を示している (または本コントローラーが UCL_Dx_DREQ (割り込み要因 [43]、割り込み要因 [44]) 出力をアサートしている) 時のみ可能です。

本レジスタの有効ビットは、MBW ビットの設定値、および、BIGEND ビットの設定値により異なります。有効ビットを、表 24.7 から表 24.9 に示します。

表 24.7 32bit アクセス (MBW = “10”) 時のエンディアン動作表

BIGEND	b31 – b24	b23 – b16	b15 – b8	b7 – b0
0	N+3 アドレス	N+2 アドレス	N+1 アドレス	N+0 アドレス
1	N+0 アドレス	N+1 アドレス	N+2 アドレス	N+3 アドレス

表 24.8 16bit アクセス (MBW = “01”) 時のエンディアン動作表

BIGEND	b31 – b24	b23 – b16	b15 – b8	b7 – b0
0	N+1 アドレス	N+0 アドレス	書き込み：無効 読み出し：禁止 (注 1)	
1	書き込み：無効 読み出し：禁止 (注 1)		N+0 アドレス	N+1 アドレス

表 24.9 8bit アクセス (MBW = “00”) 時のエンディアン動作表

BIGEND	b31 – b24	b23 – b16	b15 – b8	b7 – b0
0	N+0 アドレス	書き込み：無効 読み出し：禁止 (注 1)		
1	書き込み：無効 読み出し：無効 (注 1)			N+0 アドレス

注 1. 無効レジスタへのワードリードまたはバイトリードは禁止です。

24.2.5.2 CFIFO ポート選択レジスタ (CFIFOSEL)

アドレス A006 0020h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RCNT	REW	—	—	MBW[1:0]	—	BIGEND	—	—	ISEL	—	CURPIPE[3:0]				
H/W リセット後の値	0	0	x	x	0	0	x	0	x	x	0	x	0	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	S/W	H/W
b3-b0	CURPIPE [3:0]	FIFOポートアクセスパイプ指定	CFIFOポートにアクセスするPIPE番号を指定します。 b3 b0 0000 : DCP 0001 : PIPE1 0010 : PIPE2 1000 : PIPE8 1001 : PIPE9	R/W	R
b4	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b5	ISEL	DCP 選択時の FIFO ポート アクセス方向	CURPIPE ビットに DCP 選択時の FIFO ポート アクセス方向を指定します。 0 : バッファメモリ読み出し選択 1 : バッファメモリ書き込み選択	R/W	R
b7-b6	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b8	BIGEND	FIFOポートエンディアン制御	CFIFOポートのバイトエンディアンを指定します。 0 : リトルエンディアン 1 : ビッグエンディアン	R/W	R
b9	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b11-b10	MBW[1:0]	CFIFOポートアクセスビット幅	CFIFOポートへのアクセスビット幅を指定します。 b11b10 00 : 8ビット幅 01 : 16ビット幅 10 : 32ビット幅 11 : 設定禁止	R/W	R
b13-b12	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b14	REW	バッファポインタリワインド	バッファポインタのリワインドを行う場合に“1”を指定します。読み出した場合は、0が読めます。 0 : バッファポインタリワインドしない 1 : バッファポインタリワインドする	R/W	R
b15	RCNT	リードカウントモード	CFIFOCTRのDTLNの読み出しモードを指定します。 0 : 全受信データ読み出しでDTLNビットクリア 1 : 受信データ読み出し毎にDTLNビットカウントダウン	R/W	R

FIFO ポートアクセスパイプ指定ビット (CURPIPE)

CFIFO ポート経由で、データの読み出しまたは書き込みを行う PIPE 番号を設定してください。

本ビットを変更する時は、本ビットへの書き込み後、読み出しを行い、書き込んだ値と読み出した値が一致することを確認した後、次の処理に進んでください。

CFIFOSEL レジスタ、D0FIFOSEL レジスタ、および D1FIFOSEL レジスタの CURPIPE ビットに同じ PIPE を設定しないでください。

FIFO バッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの書き戻し後、続けてアクセスする事ができます。

DCP 選択時の FIFO ポートアクセス方向指定ビット (ISEL)

指定 PIPE が DCP の時に、本ビットを変更する時は、本ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

FIFO バッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの設定を書き戻し後、続けてアクセスする事ができます。

本ビットの設定は、CURPIPE ビットの設定と同時に行ってください。

CFIFO ポートバイトエンディアンを制御ビット (BIGEND)

本ビットに CFIFO ポートのバイトエンディアンを設定してください。

詳細は、FIFO ポートビット (CFIFO、D0FIFO、および D1FIFO) を参照してください。

CFIFO ポートアクセスビット幅 (MBW)

本ビットに CFIFO ポートへのアクセスビット幅を設定してください。

CURPIPE ビットに指定した PIPE が受信方向の場合、本ビットを設定後、読み出しを開始した時には、すべてのデータの読み出しが完了するまで MBW ビットの変更を行わないでください。

また、指定 PIPE が受信方向の場合、一旦 CURPIPE ビットの値を異なる値に設定した後、CURPIPE ビットと MBW ビットを同時に設定してください。CURPIPE ビットの変更手順は、CURPIPE ビットの説明にしたがってください。

指定 PIPE が送信方向の場合、バッファメモリへの書き込み処理実行中に 8bit 幅から 16bit 幅 / 32bit 幅、又は 16 bit 幅から 32bit 幅へのビット幅切り替えは行えません。

16bit 幅 / 32bit 幅の設定でも、バイトアクセス制御することにより、奇数バイトの書き込みは可能です。

バッファポインタリワインド (REW)

選択 PIPE が受信方向の場合、FIFO バッファの読み出し中に本ビットに 1 を設定すると、FIFO バッファの最初のデータから読み出しを行うことができます (ダブルバッファの場合は、読み出し中の一面の最初のデータからの再読み出し可能状態になります)。

REW = 1 の設定と CURPIPE ビットの設定変更を同時に行わないでください。REW = 1 の設定は、必ず FRDY = 1 であることを確認してから行ってください。

送信方向の PIPE に対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

リードカウントモード (RCNT)

本ビットに “0” を設定した場合、CURPIPE ビットで PIPE (指定 PIPE) に割り付けた FIFO バッファの全受信データ読み出し終了時 (ダブルバッファの場合は一面分の読み出し終了時) に、本コントローラーは CFIFOCTR レジスタの DTLN ビットを “0” にクリアします。

本ビットに “1” を設定した場合、指定 PIPE に割り付けた FIFO バッファから受信データ読み出し毎に、本コントローラーは CFIFOCTR レジスタの DTLN ビットをカウントダウンします。

24.2.5.3 D0FIFO ポート選択レジスタ (D0FIFOSEL)
D1FIFO ポート選択レジスタ (D1FIFOSEL)

アドレス D0FIFOSEL : A006 0028h
D1FIFOSEL : A006 002Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RCNT	REW	DCLRM	DREQE	MBW[1:0]	—	BIGEND	—	—	—	—	CURPIPE[3:0]				
H/W リセット後の値	0	0	0	0	0	0	x	0	x	x	x	x	0	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	S/W	H/W
b3-b0	CURPIPE [3:0]	FIFOポートアクセスパイプ指定	b3 b0 0000 : 指定なし 0001 : PIPE1 0010 : PIPE2 1000 : PIPE8 1001 : PIPE9	R/W	R
b7-b4	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b8	BIGEND	FIFOポートエンディアン制御	CFIFOポートのバイトエンディアンを指定します。 0 : リトルエンディアン 1 : ビッグエンディアン	R/W	R
b9	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b11-b10	MBW[1:0]	FIFOポートアクセスビット幅	FIFOポートへのアクセスビット幅を指定します。 b11b10 00 : 8ビット幅 01 : 16ビット幅 10 : 32ビット幅 11 : 設定禁止	R/W	R
b12	DREQE	UCL_Dx_DREQ信号出力許可	UCL_Dx_DREQ (割り込み要因[43]、割り込み要因[44])信号出力禁止/許可を指定します。 0 : 出力禁止 1 : 出力許可	R/W	R
b13	DCLRM	指定パイプのデータ読み出し後自動バッファメモリクリアモード	指定PIPEのデータ読み出し後自動バッファメモリクリアの禁止/許可を指定します。 0 : 自動バッファクリアモード禁止 1 : 自動バッファクリアモード許可	R/W	R
b14	REW	バッファポインタリワインド	バッファポインタのリワインドを行う場合に“1”を指定します。読み出した場合は、0が読めます。 0 : バッファポインタリワインドしない 1 : バッファポインタリワインドする	R/W	R
b15	RCNT	リードカウントモード	Dx_FIFOCTRのDTLNの読み出しモードを指定します。 0: 全受信データ読み出しでDTLNビットクリア 1: 受信データ読み出し毎にDTLNビットカウントダウン	R/W	R

FIFO ポートアクセスパイプ指定ビット (CURPIPE)

DxFIFO ポート経由で、データの読み出しまたは書き込みを行う PIPE 番号を設定してください。

本ビットを変更する時は、本ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

CFIFOSEL レジスタ、D0FIFOSEL レジスタおよび D1FIFOSEL レジスタの CURPIPE ビットに同じ PIPE を設定しないでください。

FIFO バッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの書き戻し後、続けてアクセスする事ができます。

DxFIFO ポートバイトエンディアンを制御ビット (BIGEND)

本ビットに DxFIFO ポートのバイトエンディアンを設定してください。

詳細は、FIFO ポートビット (CFIFO、D0FIFO、および D1FIFO) を参照してください。

DxFIFO ポートアクセスビット幅 (MBW)

本ビットに DxFIFO ポートへのアクセスビット幅を設定してください。

CURPIPE ビットに指定した PIPE が受信方向の場合、本ビットを設定後、読み出しを開始した時には、すべてのデータの読み出しが完了するまで MBW ビットの変更を行わないでください。

また、指定 PIPE が受信方向の場合、一旦 CURPIPE 値を異なる値に設定してから、CURPIPE 値と MBW 値を同時に設定してください。CURPIPE 値の変更手順は、CURPIPE ビットの説明にしたがってください。

詳細は、FIFO ポートアクセスパイプ指定ビット (CURPIPE) を参照してください。

UCL_Dx_DREQ 出力禁止/許可ビット (DREQE)

本ビットに、UCL_Dx_DREQ 信号の出力禁止/許可を設定してください。

UCL_Dx_DREQ 信号の出力を許可する場合、CURPIPE ビット設定後に本ビットに“1”を設定してください。

CURPIPE ビットの設定を変更するときは、本ビットに“0”を設定した後で変更してください。

自動 FIFO バッファクリア 禁止/許可ビット (DCLRM)

指定 PIPE のデータ読み出し後、自動 FIFO バッファクリアの禁止/許可を設定してください。本ビットに“1”を設定した場合、指定 PIPE に割り当てた FIFO バッファが空の状態 Zero-Length packet を受信した時、または“BFRE = 1”設定時にショートパケットを受信し、データ読出しを完了した時に、本コントローラが FIFO バッファへの“BCLR = 1”処理を行います。

“BRDYM = 1”に設定して本コントローラを使用する時には、必ず本ビットに“0”を設定してください。

バッファポインタリワインド (REW)

選択 PIPE が受信方向の場合、FIFO バッファの読み出し中に本ビットに 1 を設定すると、FIFO バッファの最初のデータから読み出しを行うことができます (ダブルバッファの場合は、読み出し中の一面の最初のデータからの再読み出し可能状態になります)。

REW = 1 の設定と CURPIPE ビットの設定変更を同時に行わないでください。REW = 1 の設定は、必ず FRDY = 1 であることを確認してから行ってください。

送信方向の PIPE に対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

リードカウントモード (RCNT)

本ビットに “0” を設定した場合、CURPIPE ビットで PIPE (指定 PIPE) に割り付けた FIFO バッファの全受信データ読み出し終了時 (ダブルバッファの場合は一面分の読み出し終了時) に、本コントローラーは Dx FIFOCTR レジスタの DTLN ビットを “0” にクリアします。

本ビットに “1” を設定した場合、指定 PIPE に割り付けた FIFO バッファからの受信データ読み出し毎に、本コントローラーは Dx FIFOCTR レジスタの DTLN ビットをカウントダウンします。

24.2.5.4 CFIFO ポートコントロールレジスタ (CFIFOCTR)
 D0FIFO ポートコントロールレジスタ (D0FIFOCTR)
 D1FIFO ポートコントロールレジスタ (D1FIFOCTR)

アドレス CFIFOCTR : A006 0022h
 D0FIFOCTR : A006 002Ah
 D1FIFOCTR : A006 002Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BVAL	BCLR	FRDY	—	DTLN[11:0]											
H/W リセット後の値	0	0	0	x	0	0	0	0	0	0	0	0	0	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	S/W	H/W
b11-b0	DTLN[11:0]	受信データ長	受信データ長が表示されます。	R	W
b12	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b13	FRDY	FIFOポートレディ	FIFOポートにアクセス可能かどうかが表示されます。 0 : FIFOポートアクセス不可 1 : FIFOポートアクセス可能	R	W
b14	BCLR	CPUバッファクリア	当該PIPEのCPU側のFIFOバッファをクリアする場合に "1"を指定します。1書き込みのみ可能です。読み出した場合は、0が読めます。 0 : 無効 1 : CPU側バッファメモリクリア	R/W	R
b15	BVAL	バッファメモリ有効フラグ	CURPIPEビットに指定したPIPE (当該PIPE) のCPU側のFIFOバッファの書き込み終了時に"1"を指定します。1書き込みのみ可能です。 0 : 無効 1 : 書き込み終了	R/W	R/W

受信データ長ビット (DTLN)

受信データ長を示します。FIFO バッファ読み出し中の本ビットの値は、RCNT ビットの設定値によって以下のように異なります。

(1) “RCNT = 0” 設定時:

CPU (DMAC) が FIFO バッファ 1 面分の受信データの読み出しを完了するまで、受信データ長を本ビットに示します。

“BFRE = 1” 設定時には、読み出しが完了しても “BCLR = 1” を行うまで、本コントローラーは受信データ長を保持します。

(2) “RCNT = 1” 設定時:

読み出し毎に本コントローラーは DTLN ビットの表示をダウンカウントします。

(“MBW = 00” 設定時は -1、“MBW = 01b” 設定時は -2、“MBW = 10b” 設定時は -4 ずつダウンカウント)

1 面分の FIFO バッファ読み出し完了時に、本コントローラーは“DTLN=0”を示します。ただし、ダブルバッファ設定時、かつ FIFO バッファ 1 面分の受信データの読み出しを完了する前に、もう 1 面分の FIFO バッファに受信完了した場合は、先の 1 面分の読み出し完了時に、後の 1 面分の受信データ長を DTLN ビットに示します。

“RCNT=1”設定時に、FIFO バッファ読み出しの途中で本ビットの値を読み出す時は、FIFO ポートへのリードサイクル後、150ns 後までに本ビットの値が更新されます。

FIFO ポートレディビット (FRDY)

CPU (DMAC) からの FIFO ポートへのアクセス可否を、本ビットに示します。

以下の場合、本コントローラーは“FRDY=1”を示しますが、読み出すべきデータがないため FIFO ポートからのデータ読み出しはできません。これらのケースでは、“BCLR=1”を設定して FIFO バッファのクリアを行い、次のデータ送受信を行える状態にしてください。

- (1) 指定 PIPE にアサインされている FIFO バッファが空の状態 Zero-Length パケット受信した場合
- (2) “BFRE=1”設定時に、ショートパケットを受信し、データ読み出しを完了した時

CPU バッファクリアビット (BCLR)

本ビットに“1”を設定すると、本コントローラーは指定 PIPE にアサインされている FIFO バッファのうち、CPU 側の FIFO バッファをクリアします。

指定 PIPE にアサインされている FIFO バッファがダブルバッファの設定の場合で、両面共に読み出し可能状態である場合でも、本コントローラーは片面の FIFO バッファのみをクリアします。

指定 PIPE が DCP の場合、FIFO バッファが CPU 側、SIE 側にかかわらず、“BCLR=1”の設定により、本コントローラーは FIFO バッファをクリアします。SIE 側のバッファをクリアする時には、DCP の PID ビットを必ず“NAK”に設定した後で“BCLR=1”にしてください。

指定 PIPE が DCP 以外の場合、本ビットへの“1”書き込みは、本コントローラーが“FRDY=1”を示している時に実施してください。また、BCLR 実行後に FRDY ビットを確認する場合には、BCLR 実行後 80ns 以上間隔を空けて、FRDY を参照してください。

バッファメモリ有効フラグ (BVAL)

CURPIPE ビットに指定した PIPE (指定 PIPE) が送信方向の時、以下の場合に本ビットに“1”を設定してください。本コントローラーは CPU 側の FIFO バッファを SIE 側にし、送信可能状態にします。

- (1) ショートパケットの送信を行いたい時、データ書き込み終了時に本ビットに“1”を設定
- (2) Zero-Length パケットの送信を行いたい時、FIFO ヘッダーを書き込む前に本ビットに“1”を設定
- (3) 連続転送モードの PIPE に対して、MaxPacketSize の自然数倍かつ BufferSize 未満のデータ書き込み後に本ビットに“1”を設定

非連続転送モードの PIPE に対して MaxPacketSize 分のデータを書き込むと、本コントローラーが本ビットを“1”にし、CPU 側の FIFO バッファを SIE 側にし、送信可能状態にします。

指定 PIPE が送信方向の場合、BVAL ビットと BCLR ビットに同時に“1”を書き込んだ場合、本コントローラーはそれ以前に書き込んだデータをクリアし、Zero-Length パケットを送信可能な状態にします。

本ビットへの“1”書き込みは、本コントローラーが“FRDY = 1”を示している時に実施してください。また、BVAL 実行後に FRDY ビットを確認する場合は、BVAL 実行後 80ns 以上間隔を空けて、FRDY を参照してください。

指定 PIPE が受信方向の時は、本ビットへの“1”書き込みを行わないでください。

24.2.6 割り込み許可

24.2.6.1 割り込み許可レジスタ 0 (INTENB0)

アドレス A006 0030h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE	—	—	—	—	—	—	—	—
H/W リセット後の値	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	S/W	H/W
b7-b0	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b8	BRDYE	バッファレディ割り込み許可	BRDY 割り込み検出時の USB 割り込みの禁止/許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可	R/W	R
b9	NRDYE	バッファノットレディ応答割り込み許可	NRDY 割り込み検出時の USB 割り込みの禁止/許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可	R/W	R
b10	BEMPE	バッファエンプティ割り込み許可	BEMP 割り込み検出時の USB 割り込みの禁止/許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可	R/W	R
b11	CTRE	コントロール転送ステージ遷移割り込み許可	CTRT 割り込み検出時の USB 割り込みの禁止/許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可	R/W	R
b12	DVSE	デバイスステート遷移割り込み許可	DVST 割り込み検出時の USB 割り込みの禁止/許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可	R/W	R
b13	SOFE	フレーム番号更新割り込み許可	SOF 割り込み検出時の USB 割り込みの禁止/許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可	R/W	R
b14	RSME	レジューム割り込み許可	RESM 割り込み検出時の USB 割り込みの禁止/許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可	R/W	R
b15	VBSE	VBUS 割り込み許可	VBINT 割り込み検出時の USB 割り込みの禁止/許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可	R/W	R

24.2.6.2 BRDY 割り込み許可レジスタ (BRDYENB)

アドレス A006 0036h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	PIPEBRDYE[9:0]										
H/W リセット後の値	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	

x : 不定

ビット	シンボル	ビット名	機能	S/W	H/W
b9-b0	PIPEBRDYE [9:0]	各パイプのBRDY割り込み許可	各PIPEのBRDY割り込みの禁止/許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可	R/W	R
b15-b10	—	予約ビット	書き込む場合は0を書いてください。	R/W	—

注. ビット番号がPIPE番号に該当します。

各パイプのBRDY割り込み許可ビット (PIPEBRDYE)

本レジスタに“1”を設定したPIPEに対して、BRDY割り込みを検出した場合に、BRDYSTSレジスタのPIPEBRDYビットの対応するビットを“1”にセットすると共に、INTSTS0レジスタのBRDYビットを“1”にセットし、INT_N（割り込み要因 [42]）端子から割り込みをアサートします。

BRDYSTSレジスタのPIPEBRDYビットの少なくともひとつのビットが“1”を示している状態で、ソフトウェアが本レジスタの対応する割り込み許可ビットを“0”から“1”に変更すれば、本コントローラーはINT_N端子から割り込みをアサートします。

24.2.6.3 NRDY 割り込み許可レジスタ (NRDYENB)

アドレス A006 0038h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPENRDYE[9:0]									
H/W リセット後の値	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	S/W	H/W
b9-b0	PIPENRDYE [9:0]	各パイプのNRDY割り込み 許可	各PIPEのNRDY割り込み検出の禁止/許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可	R/W	R
b15-b10	—	予約ビット	書き込む場合は0を書いてください。	R/W	—

注. ビット番号がPIPE番号に該当します。

各パイプのNRDY割り込み許可ビット (PIPENRDYE)

本レジスタに“1”を設定したPIPEに対して、NRDY割り込みを検出した場合に、NRDYSTSレジスタのPIPENRDYビットの対応するビットを“1”にセットすると共に、INTSTS0レジスタのNRDYビットに“1”をセットし、INT_N端子から割り込みをアサートします。

NRDYSTSレジスタのPIPENRDYビットの少なくともひとつのビットが“1”を示している状態で、ソフトウェアが本レジスタの対応する割り込み許可ビットを“0”から“1”に変更すれば、本コントローラーはINT_N端子から割り込みをアサートします。

24.2.6.4 BEMP 割り込み許可レジスタ (BEMPENB)

アドレス A006 003Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	PIPEBEMPE[9:0]										
H/W リセット後の値	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	

x : 不定

ビット	シンボル	ビット名	機能	S/W	H/W
b9-b0	PIPEBEMPE [9:0]	各パイプのBEMP割り込み 許可	各PIPEのBEMP割り込み検出の禁止/許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可	R/W	R
b15-b10	—	予約ビット	書き込む場合は0を書いてください。	R/W	—

注. ビット番号がPIPE番号に該当します。

各パイプのBEMP割り込み許可ビット (PIPEBEMPE)

本レジスタに“1”を設定したPIPEに対して、BEMP割り込みを検出した場合に、BEMPSTSレジスタのPIPEBEMPビットの対応するビットを“1”にセットすると共に、INTSTS0レジスタのBEMPビットに“1”をセットし、INT_N端子から割り込みをアサートします。

BEMPSTSレジスタのPIPEBEMPビットの少なくともひとつのビットが“1”を示している状態で、ソフトウェアが本レジスタの対応する割り込み許可ビットを“0”から“1”に変更すれば、本コントローラーはINT_N端子から割り込みをアサートします。

24.2.7 SOF 制御レジスタ

24.2.7.1 SOF ピンコンフィグレーションレジスタ (SOFCFG)

アドレス A006 003Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	BRDY M	INTL	EDGES TS	—	—	—	—
H/W リセット後の値	x	x	x	x	x	x	x	0	x	0	0	0	0	0	x	x
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	S/W	H/W
b3-b0	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b4	EDGESTS	割り込みエッジ処理ステータス	割り込みエッジ処理ステータスが表示されます。 0: 割り込みエッジ動作していない 1: 割り込みエッジ動作中	R	W
b5	INTL	割り込み出力センス設定	USB割り込みの割り込み出力センスを指定します。 0: エッジセンス 1: レベルセンス	R/W	R
b6	BRDYM	PIPEBRDY 割り込みステータスクリアタイミング設定	PIPEBRDY 割り込みステータスをクリアするタイミングを指定します。 0: SWがステータスをクリア 1: FIFOバッファの読み出しまたはFIFOバッファへの書き込み動作によりHWがステータスをクリア 本ビットは初期設定（通信前）時のみ設定できます。 通信後の設定変更はできません。	R/W	R
b15-b7	—	予約ビット	書き込む場合は0を書いてください。	R/W	—

注1. “BRDYM = 1”を設定する場合は、“INTL = 1”（レベルセンス）を設定してください。

注2. “INTL = 0”を設定時に、割り込みステータスをクリア後、システムクロックを停止する（“SUSPM = 0”を設定）場合は、“EDGESTS = 0”を確認した後で、“SUSPM = 0”を書き込んでください。

24.2.8 割り込みステータス

24.2.8.1 割り込みステータスレジスタ 0 (INTSTS0)

アドレス A006 0040h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY	VBSTS	DVSQ[2:0]		VALID	CTSQ[2:0]			
H/W リセット後の値	0	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0
USBバス リセット後の値	x	x	x	1	x	x	x	x	x	0	0	1	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	S/W	H/W
b2-b0	CTSQ[2:0]	コントロール転送ステージ	コントロール転送ステージが表示されます。 b2 b0 000 : アイドルまたはセットアップステージ 001 : コントロールリードデータステージ 010 : コントロールリードステータスステージ 011 : コントロールライトデータステージ 100 : コントロールライトステータスステージ 101 : コントロールライト (NoData) ステータスステージ 110 : コントロール転送シーケンスエラー 111 : Reserved	R	W
b3	VALID	USB リクエスト受信	USB リクエスト受信検出有無が表示されます。書き込む場合、0書き込みのみ可能です。 0 : 未検出 1 : セットアップパケット受信	R/W	W
b6-b4	DVSQ[2:0]	デバイスステート	デバイスステートが表示されます。 b6 b4 000 : Powered ステート 001 : Default ステート 010 : Address ステート 011 : Configured ステート 1xx : Suspended ステート	R	W
b7	VBSTS	VBUS 入力ステータス	VBUS 端子の入力状態が表示されます。 0 : VBUS 端子が“L”レベル 1 : VBUS 端子が“H”レベル	R	W
b8	BRDY	BRDY 割り込みステータス	BRDY 割り込みステータスが表示されます。 0 : BRDY 割り込み非発生 1 : BRDY 割り込み発生	R	W
b9	NRDY	NRDY 割り込みステータス	NRDY 割り込みステータスが表示されます。 0 : NRDY 割り込み非発生 1 : NRDY 割り込み発生	R	W
b10	BEMP	BEMP 割り込みステータス	BEMP 割り込みステータスが表示されます。 0 : BEMP 割り込み非発生 1 : BEMP 割り込み発生	R	W
b11	CTRT	コントロール転送ステージ遷移割り込みステータス	コントロール転送ステージ遷移割り込みステータスが表示されます。書き込む場合、0書き込みのみ可能です。 0 : コントロール転送ステージ遷移割り込み非発生 1 : コントロール転送ステージ遷移割り込み発生	R/W	W
b12	DVST	デバイスステート遷移割り込みステータス	デバイスステート遷移割り込みステータスが表示されます。書き込む場合、0書き込みのみ可能です。 0 : デバイスステート遷移割り込み非発生 1 : デバイスステート遷移割り込み発生	R/W	W

ビット	シンボル	ビット名	機能	S/W	H/W
b13	SOFR	フレーム番号更新割り込みステータス	フレーム番号更新割り込みステータスが表示されます。書き込む場合、0書き込みのみ可能です。 0: SOF 割り込み非発生 1: SOF 割り込み発生	R/W	W
b14	RESM	レジューム割り込みステータス	レジューム検出割り込みステータスが表示されます。書き込む場合、0書き込みのみ可能です。 0: レジューム割り込み非発生 1: レジューム割り込み発生	R/W	W
b15	VBINT	VBUS変化検出割り込みステータス	VBUS変化検出割り込みステータスが表示されます。書き込む場合、0書き込みのみ可能です。 0: VBUS 割り込み非発生 1: VBUS 割り込み発生	R/W	W

- 注1. VBINTビット、RESMビット、SOFRビット、DVSTビット、またはCTRTビットが示すステータスをクリアする場合は、クリアしたいビットのみに“0”を、他のビットには“1”を書き込んでください。“0”を示しているステータスビットへの“0”書き込みは行わないでください。
- 注2. 本コントローラーは本レジスタのVBINTビット、RESMビットが示すステータス変化をクロック停止中 (“SUSPM = 0”)でも検出し、対応する割り込みが許可されていれば割り込みを通知します。ソフトウェアによるステータスのクリアはクロック許可後に行ってください。

バッファレディ割り込みステータスビット (BRDY)

BRDYENB レジスタの PIPEBRDYE ビットに“1”を設定した PIPE に対応する BRDYSTS レジスタの PIPEBRDY ビットのうち、少なくともひとつが“1”の状態になった時 (ソフトウェアが BRDY 割り込み通知を許可した PIPE のうち、少なくともひとつに対し本コントローラーが BRDY 割り込み状態を検出した時) に、本ビットに“1”を示します。

PIPEBRDY ステータスのアサート条件は、BRDYSTS レジスタを参照してください。

ソフトウェアが、PIPEBRDYE ビットで許可を設定している PIPE に対応する PIPEBRDY ビットのすべてに“0”を書き込むと、本コントローラーは本ビットを“0”にクリアします。

ソフトウェアで本ビットに“0”を書き込んでも、本ビットの“0”クリアを行うことはできません。

バッファノットレディ割り込みステータスビット (NRDY)

NRDYENB レジスタの PIPENRDYE ビットに“1”を設定した PIPE に対応する BNRDYSTS レジスタの PIPENRDY ビットのうち、少なくともひとつが“1”の状態になった時 (ソフトウェアが NRDY 割り込み通知を許可した PIPE のうち少なくともひとつに対し本コントローラーが NRDY 割り込み状態を検出した時) に、本ビットに“1”を示します。

PIPENRDY ステータスのアサート条件は、NRDYSTS レジスタを参照してください。

ソフトウェアが、PIPENRDYE ビットで許可を設定している PIPE に対応する PIPENRDY ビットのすべてに“0”を書き込むと、本コントローラーは本ビットを“0”にクリアします。

ソフトウェアで本ビットに“0”を書き込んでも、本ビットの“0”クリアを行うことはできません。

バッファエンプティ割り込みステータスビット (BEMP)

BEMPENB レジスタの PIPEBEMPE ビットに“1”を設定した PIPE に対応する BEMPSTS レジスタの PIPEBEMP ビットのうち、少なくともひとつが“1”の状態になった時 (ソフトウェアが BEMP 割り込み通知を許可した PIPE のうち少なくともひとつに対し本コントローラーが BEMP 割り込み状態を検出した時) に、本ビットに“1”を示します。

PIPEBEMP ステータスのアサート条件は、BEMPSTS レジスタを参照してください。

ソフトウェアが、PIPEBEMPE ビットで許可を設定している PIPE に対応する PIPEBEMP ビットすべてに“0”を書き込むと、本コントローラーは本ビットを“0”にクリアします。

ソフトウェアで本ビットに“0”を書き込んでも、本ビットの“0”クリアを行うことはできません。

コントロール転送ステージ遷移割り込みステータスビット (CTRT)

本コントローラーがコントロール転送のステージ遷移を検出したときに、本コントローラーは CTSQ ビットの値を更新し、本ビットに“1”を表示します。

本割り込みが発生した時には、本コントローラーがコントロール転送の次のステージ遷移を検出するまでに、ステータスクリアを実施してください。

デバイスステート遷移割り込みステータスビット (DVST)

本コントローラーがデバイスステートの変化を検出したときに、本コントローラーは DVSQ ビットの値を更新し、本ビットに“1”を表示します。

本割り込みが発生した時には、本コントローラーが次のデバイスステートステート遷移を検出する前に、ステータスクリアを実施してください。

フレーム番号更新割り込みステータスビット (SOFR)

本コントローラーが本ビットに“1”を示す条件は、以下のとおりです。

フレームナンバーの更新時に本コントローラーは、本ビットに“1”を示します。(本割り込みは、1ms 毎に検出します。)

USB HOST からの SOF パケットが破損した時でも、内部補間により、本コントローラーは SOFR 割り込みを検出します。

レジューム割り込みステータスビット (RESM)

本コントローラーが Suspend 状態 (DVSQ = 1xxb) であり、かつ、DP 端子の立ち下がりを検出したときに、本ビットに“1”を表示します。

VBUS 変化割り込みステータスビット (VBINT)

VBUS 端子入力値の変化 (High から Low への変化、および Low から High への変化) を検出したときに、本ビットに“1”を表示します。本コントローラーは VBUS 端子の入力値を、VBSTS ビットに表示します。VBINT 割り込み発生時は、ソフトウェアで VBSTS ビット読み出しの数度一致を行い、チャタリング除去を実施してください。

24.2.8.2 BRDY 割り込みステータスレジスタ (BRDYSTS)

アドレス A006 0046h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	PIPEBRDY[9:0]										
H/W リセット後の値	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	

x : 不定

ビット	シンボル	ビット名	機能	S/W	H/W
b9-b0	PIPEBRDY [9:0]	各パイプのBRDY割り込み ステータス	各PIPEのBRDY割り込みステータスを示します。書き込む 場合、0書き込みのみ可能です。 0: 割り込み非発生 1: 割り込み発生	R/W	W
b15-b10	—	予約ビット	書き込む場合は0を書いてください。	R/W	—

注1. ビット番号がPIPE番号に該当します。

注2. “BRDYM = 0”の設定の場合、本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットのみに“0”を、他のビットには“1”を書き込んでください。

注3. “BRDYM = 0”の設定の場合、本割り込みのクリアは、必ずFIFOアクセスを行う前に実施してください。

各パイプのBRDY 割り込みステータスビット (PIPEBRDY)

本コントローラが、ある PIPE に対して BRDY 割り込みを検出した場合に、BRDYSTS レジスタの PIPEBRDY ビットの対応するビットに“1”を示します。このとき、ソフトウェアによって BRDYENB レジスタの対応するビットに“1”が設定されている場合、本コントローラは INTSTS0 レジスタの BRDY ビットに“1”を示します。

BRDY 割り込みは、BRDYM ビットおよび各 PIPE の BFRE ビットの設定により、発生条件およびクリア方法が異なります。

● “BRDYM = 0 かつ BFRE = 0” 設定時

この設定の場合、BRDY 割り込みは FIFO ポートにアクセス可能になった事を示す割り込みになります。本コントローラは、以下に示す条件の場合に、内部 BRDY 割り込み要求トリガを発生させ、要求トリガ発生 PIPE に対応する PIPEBRDY ビットに“1”を表示します。

(1) 送信方向に設定した PIPE の場合

- (a) ソフトウェアが DIR ビットを“0”から“1”に変更した時
- (b) 当該PIPEに割り付けたFIFOバッファへのCPUからの書き込みが不可状態 (BSTS ビット読み出し値が“0”の時) で、本コントローラが当該PIPEのパケット送信を完了した時
連続送受信モードに設定した場合には、FIFO バッファ一面分のデータの送信完了時に要求トリガが発生します。
- (c) FIFO バッファをダブルバッファに設定し、FIFO バッファ書き込み完了時にもう一方のFIFO バッファが空の時
FIFO バッファ書き込み中にもう一方が送信完了になっても、現在書き込み中の面が書き込み完了になるまでは要求トリガは発生しません。
- (d) 転送TYPEがIsochronousのPIPEにおいて、ハードウェアによるバッファフラッシュが発生した時

- (e) ACLRM ビットに“1”を書き込むことより、FIFO バッファが書き込み不可状態から書き込み可能状態になった時
DCP に対しては (コントロール転送でのデータ送信においては) 要求トリガは発生しません。

(2) 受信方向に設定した PIPE の場合

- (a) 当該 PIPE に割り付けた FIFO バッファに対する CPU からの読み出しが不可状態の時 (BSTS ビット読み出し値が“0”の時) に、パケット受信が正常に完了し、FIFO バッファが読み出し可能状態になった時
データ PID ミスマッチのトランザクションに対しては、要求トリガは発生しません。
連続送受信モードの場合、MaxPacketSize のデータサイズで、まだバッファに空きがある場合には要求トリガは発生しません。
ショートパケットを受信した場合には、FIFO バッファに空きがあっても要求トリガは発生します。
トランザクションカウンタを使用している場合には、設定値分のパケットを受信時に要求トリガは発生します。
この時、FIFO バッファにまだ空きがあっても要求トリガは発生します。
- (b) FIFO バッファをダブルバッファに設定し、FIFO バッファ読み出し完了時にもう一方の FIFO バッファも読み出し可能状態であった時
読み出し中にもう一方が受信完了しても、現在読み出し中の面が読み出し完了になるまで要求トリガは発生しません。
コントロール転送のステータスステージでの通信では、本割り込みは発生しません。
ソフトウェアは、本ビットの該当 PIPE に対応するビットに“0”を書き込むことにより、該当 PIPE の PIPEBRDY 割り込みステータスを“0”にクリアすることができます。この時、他の PIPE に対応するビットには“1”を書き込んでください。
本割り込みステータスのクリアは、必ず FIFO バッファへのアクセスを行う前に実施してください。

● “BRDYM = 0 かつ BFRE = 1” 設定時

この設定の場合、本コントローラーは、受信 PIPE において 1 トランスファー分の全データ読み出し完了時に、BRDY 割り込み発生と判断し、本レジスタの該当 PIPE に対応するビットに“1”を示します。

本コントローラーは、以下のいずれかの時に 1 トランスファーにおける最後のデータを受信したと判定します。

- (1) Zero-Length パケットを含むショートパケットを受信した時
- (2) トランザクションカウンタ (TRNCNT ビット) を使用し、TRNCNT ビット設定値分のパケットを受信した時

上記判定条件を満たした後、そのデータの読み出しが完了した時に、本コントローラーは 1 トランスファー分の全データ読み出し完了と判断します。

FIFO バッファが空の状態 Zero-Length パケットを受信した場合は、FIFO ポートコントロールレジスタの FRDY ビットが 1、DTLN ビットが 0 の状態になった時点で、本コントローラーは 1 トランスファー分の全データ読み出し完了と判断します。

この場合、次のトランスファーを開始するためには、対応する FIFOCTR レジスタの BCLR ビットにソフトウェアで“1”を書き込んでください。

本設定の場合、本コントローラーは送信 PIPE に対して BRDY 割り込みを検出しません。

ソフトウェアは、本ビットの該当 PIPE に対応するビットに“0”を書き込むことにより、該当 PIPE の PIPEBRDY 割り込みステータスを“0”にクリアすることができます。この時、他の PIPE に対応するビットには“1”を書き込んでください。

本モードを使用する時は、トランスファー分の処理を終了するまで BFRE ビットの設定値を変更しないでください。

途中で BFRE ビットを変更する場合には、ACLRM ビットにより対応する PIPE の FIFO バッファをすべてクリアしてください。

- “BRDYM = 1 かつ BFRE = 0” 設定時

この設定の場合、本ビットの値は各 PIPE の BSTS ビットに連動します。即ち、BRDY 割り込みステータスは FIFO バッファの状態によって本コントローラーが“1”、“0”を示します。

- (1) 送信方向に設定した PIPE の場合

FIFO ポートにデータが書き込み可能な状態であれば“1”を示し、書き込み不可の状態になれば“0”を示します。

ただし、DCP の送信 PIPE が書き込み可能であっても、BRDY 割り込みはアサートされません。

- (2) 受信方向に設定した PIPE の場合

FIFO ポートにデータが読み出し可能な状態であれば“1”を表示し、すべてのデータを読み出したら（読み出し不可の状態になったら）“0”を示します。

FIFO バッファが空で Zero-Length パケットを受信した場合、ソフトウェアが“BCLR = 1”を書き込むまで該当ビットには“1”が示され BRDY 割り込みはアサートされ続けます。

本設定時、ソフトウェアでは、本ビットの“0”クリアを行うことはできません。

BRDYM = “1” 設定時は、BFRE ビットは必ずすべて（全 PIPE）“0”に設定してください。

BRDYM = “1” 設定時は、INTL ビットは必ず“1”（レベル制御）に設定してください。

24.2.8.3 NRDY 割り込みステータスレジスタ (NRDYSTS)

アドレス A006 0048h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	PIPENRDY[9:0]										
H/W リセット後の値	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	

x : 不定

ビット	シンボル	ビット名	機能	S/W	H/W
b9-b0	PIPENRDY [9:0]	各PIPEのNRDY割り込み ステータス	各PIPEのNRDY割り込みステータスが 表示されます。書き込む場合、0書き込み のみ可能です。 0: 割り込み非発生 1: 割り込み発生	R/W	W
b15-b10	—	予約ビット	書き込む場合は0を書いてください。	R/W	—

注1. ビット番号がPIPE番号に該当します。

注2. 本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットのみに“0”を、他のビットには“1”を書き込んでください。

各PIPEのNRDY割り込みステータスビット (PIPENRDY)

ソフトウェアで“PID=BUF”に設定したPIPEに対して、本コントローラが内部NRDY割り込み要求を発生させた場合に、NRDYSTSレジスタのPIPENRDYビットの対応するビットに“1”を示します。このとき、ソフトウェアによってNRDYENBレジスタの対応するビットに“1”が設定されている場合、本コントローラはINTSTS0レジスタのNRDYビットに“1”を示します。

本コントローラが、あるPIPEに対して内部NRDY割り込み要求を発生させる条件を以下に示します。ただし、コントロール転送ステータスステージ実行時は割り込み要求を発生させません。

(1) 送信方向PIPEの場合

- (a) 当該PIPEのPIDビットが“BUF” (“01”) に設定されている場合に、FIFOバッファに送信データがない状態でIN Tokenを受信した時

IN Token受信時に本コントローラはNRDY割り込み要求を発生させPIPENRDYビットに“1”を示します。

割り込み発生PIPEの転送TYPEがIsochronousの場合、本コントローラはZero-Lengthパケットを送信し、OVRNビットに“1”を示します。

(2) 受信方向 PIPE の場合

- (a) 当該PIPEのPIDビットが“BUF” (“01”) に設定されている場合にFIFOバッファに空きがない状態でOUTトークンを受信した時
- 割り込み発生PIPEの転送TYPEがIsochronousの場合、OUTトークン受信時に本コントローラーはNRDY割り込み要求を発生させ、PIPENRDYビットに“1”を示し、OVRNビットに“1”を示します。割り込み発生PIPEの転送TYPEがIsochronous以外の場合、本コントローラーは、OUTトークンに続くデータ受信後、NAK Handshakeを送信する時にNRDY割り込み要求を発生させ、PIPENRDYビットに“1”を示します。
- ただし、再送時 (DATA-PID ミスマッチ発生時) には、NRDY割り込み要求を発生しません。また、DATA パケットにエラーがある場合にも、発生しません。
- (b) 当該PIPEのPIDビットが“BUF” (“01”) に設定されている場合に、FIFOバッファに空きがない状態でPINGトークンを受信した時
- PINGトークン受信時に本コントローラーはNRDY割り込み要求を発生させPIPENRDYビットに“1”を示します。
- (c) 転送TYPEがIsochronousのPIPEにおいて、当該PIPEのPIDビットが“BUF” (“01”) に設定されている場合に、インターバルフレーム内に正常受信されなかった時
- SOF受信のタイミングで本コントローラーは、NRDY割り込み要求を発生させ、PIPENRDYビットに“1”を示します。

24.2.8.4 BEMP 割り込みステータスレジスタ (BEMPSTS)

アドレス A006 004Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	PIPEBEMP[9:0]										
H/W リセット後の値	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	

x : 不定

ビット	シンボル	ビット名	機能	S/W	H/W
b9-b0	PIPEBEMP [9:0]	各パイプのBEMP割り込み ステータス	各PIPEのBEMP割り込みステータスを示します。書き込む 場合は、0書き込みのみ可能です。 0: 割り込み非発生 1: 割り込み発生	R/W	W
b15-b10	—	予約ビット	書き込む場合は0を書いてください。	R/W	—

注1. ビット番号がPIPE番号に該当します。

注2. 本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットのみに“0”を、他のビットには“1”を書き込んでください。

各パイプの BEMP 割り込みステータスビット (PIPEBEMP)

“PID = BUF” に設定した PIPE に対して、本コントローラが、BEMP 割り込みを検出した場合に、本コントローラは BEMPSTS レジスタの PIPEBEMP ビットの対応するビットに“1”を示します。このとき、ソフトウェアによって BEMPENB レジスタの対応するビットに“1”が設定されている場合、本コントローラは INTSTS0 レジスタの BEMP ビットに“1”を示します。

以下の場合に、本コントローラは内部 BEMP 割り込み要求を発生します。

- (1) 送信方向 PIPE において、送信完了時 (Zero-Length パケットの送信時を含む) に、対応する PIPE の FIFO バッファが空の時
 - シングルバッファ設定時、DCP 以外の PIPE に対しては、BRDY 割り込みと同時に内部 BEMP 割り込み要求を発生します。
 - ただし、以下の場合には内部 BEMP 割り込み要求を発生しません。
 - (a) ダブルバッファ設定時に、1面分のデータ送信完了時にソフトウェア (DMAC) がCPU側のFIFOバッファに対する書き込みを開始している場合
 - (b) ACLRMビットまたはBCLRビットに“1”を書き込むことによるバッファクリア (エンプティ)
 - (c) コントロール転送 Status ステージのIN転送 (Zero-Lengthパケット送信) 時

(2) 受信方向 PIPE の場合

MaxPacketSize の設定値より大きなデータサイズを正常受信した時

この場合、本コントローラーは、BEMP 割り込み要求を発生し、PIPEBEMP ビットの対応するビットに“1”を示します。また、受信データを破棄し、対応する PIPE の PID ビットを“STALL” (“11”) に変更し STALL 応答を行います。

ただし、以下の場合は内部 BEMP 割り込み要求を発生しません。

- (a) 受信データに CRC エラー、またはビットスタッフィングエラー等を検出した時
- (b) SETUP トランザクション実行時

本ビットに“0”を書き込むことにより、ステータスをクリアすることができます。

本ビットに“1”を書き込んでも、何もしません。

24.2.9 フレーム番号レジスタ

24.2.9.1 フレームナンバレジスタ (FRMNUM)

アドレス A006 004Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVRN	CRCE	—	—	—	FRNM[10:0]										
H/W リセット後の値	0	0	x	x	x	0	0	0	0	0	0	0	0	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	S/W	H/W
b10-b0	FRNM[10:0]	フレーム番号	最新のフレーム番号を示します。	R	W
b13-b11	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b14	CRCE	CRCエラー検出ステータス	Isochronous転送を行っているPIPEに対するCRCエラー検出ステータスを示します。書き込む場合、0書き込みのみ可能です。 0 : エラーなし 1 : エラー発生	R/W	W
b15	OVRN	オーバラン/アンダラン検出ステータス	Isochronous転送を行っているPIPEに対するオーバラン/アンダランエラー検出の有無を示します。書き込む場合、0書き込みのみ可能です。 0 : エラーなし 1 : エラー発生	R/W	W

注1. OVRNビットはデバッグ用のビットです。システムとしてはオーバラン・アンダランが発生しないようにタイミング設計を行ってください。

フレーム番号ビット (FRNM)

本コントローラーは 1ms に 1 回の SOF 発行タイミング、または、SOF 受信時に本ビットを更新し、フレーム番号を示します。

ソフトウェアで本ビットを読み出す場合には、2 度読み出し一致を確認してください。

CRC エラー検出ステータスビット (CRCE)

転送 TYPE が Isochronous の PIPE において、本コントローラーが CRC エラーやビットスタッフィングエラーを検出したときに、“1” を示します。

ソフトウェアで本ビットに“0”を書き込むことにより、本ビットを“0”にクリアすることができます。この時、OVRN を同時にクリアしたくない場合には 80h を書き込んでください。

CRC エラーの検出時、本コントローラーは内部 NRDY 割り込み要求を発生します。詳細は、各パイプの NRDY 割り込み許可ビット (PIPENRDYE) を参照してください。

オーバラン/アンダラン検出ステータスビット (OVRN)

転送 TYPE が Isochronous の PIPE において、本コントローラーがオーバランまたはアンダランを検出したときに、“1”を示します。

オーバランまたはアンダラン検出時に、本コントローラーは内部 NRDY 割り込み要求を発生します。詳細は、各パイプの NRDY 割り込み許可ビット (PIPENRDYE) を参照してください。

ソフトウェアで、本ビットに“0”を書き込むことにより、“0”にクリアすることができます。この時、CRCE を同時にクリアしたくない場合には、40h を書き込んでください。

以下の (1) ~ (2) いずれかの場合に、“1”を示します。

- (1) 転送 TYPE が Isochronous の送信方向 PIPE において、FIFO バッファに送信データの書き込みが完了していない状態で IN Token を受信した時
- (2) 転送 TYPE が Isochronous の受信方向 PIPE において、少なくとも一面分の FIFO バッファの空がない状態で、OUT トークンを受信した時

24.2.9.2 μ フレームナンバレジスタ (UFRMNUM)

アドレス A006 004Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	UFRNM[2:0]		
H/W リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	S/W	H/W
b2-b0	UFRNM[2:0]	マイクロフレーム	マイクロフレーム番号を示します。	R	W
b15-b3	—	予約ビット	読んだ場合、不定値が読めます。	R	—

マイクロフレーム番号ビット (UFRNM)

Hi-Speed 通信の場合、本コントローラーは本ビットにマイクロフレーム番号を示します。Hi-Speed 状態以外の場合、00h を示します。

ソフトウェアで本ビットを読み出す場合には、2 度読み出し一致を確認してください。

24.2.10 USB アドレス

24.2.10.1 USB アドレスレジスタ (USBADDR)

アドレス A006 0050h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	USBADDR[6:0]						
H/W リセット後の値	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	S/W	H/W
b6-b0	USBADDR [6:0]	USB アドレス	Hostから割り付けられたUSBアドレス確認を示します。	R	R/W
b15-b7	—	予約ビット	読み出した場合、不定値が読めます。	R	—

USB アドレスビット (USBADDR)

本コントローラーが SetAddress リクエストを正常に処理した時、受信した USB アドレスを示します。

本コントローラーが USB バスリセットを検出した時、本コントローラーは本ビットに 00h を示します。

24.2.11 USB リクエストレジスタ

USB リクエストレジスタは、コントロール転送のセットアップリクエストを格納するためのレジスタです。受信した USB リクエストの値が格納されます。

24.2.11.1 USB リクエストタイプレジスタ (USBREQ)

アドレス A006 0054h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	bRequest[7:0]							bmRequestType[7:0]								
H/W リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
USBバス リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	x : 不定															

ビット	シンボル	ビット名	機能	S/W	H/W
b7-b0	bmRequestType[7:0]	リクエストタイプ	USB リクエスト bmRequestType の値	R	W
b15-b8	bRequest[7:0]	リクエスト	USB リクエスト bRequest の値	R	W

USB リクエストタイプビット (bmRequestType)

SETUP トランザクションで受信した USB リクエストデータ値を示します。ソフトウェアによる本ビットへの書き込みは無効です。

USB リクエストビット (bRequest)

SETUP トランザクションで受信した USB リクエストデータ値を示します。ソフトウェアによる本ビットへの書き込みは無効です。

24.2.11.2 USB リクエストバリュeregスタ (USBVAL)

アドレス A006 0056h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	wValue[15:0]															
H/W リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
USBバス リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	S/W	H/W
b15-b0	wValue[15:0]	バリュー	USB リクエスト wValue の値	R	W

バリュービット (wValue)

USB リクエスト wValue の値を読み出すためのビットです。b7-0 が下位バイトです。

SETUP トランザクションで受信した USB リクエスト wValue の値を示します。ソフトウェアによる本ビットへの書き込みは無効です。

24.2.11.3 USB リクエストインデックスレジスタ (USBINDX)

アドレス A006 0058h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	wIndex[15:0]															
H/W リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
USBバス リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	S/W	H/W
b15-b0	wIndex[15:0]	インデックス	USB リクエスト wIndex の値	R	W

インデックスビット (wIndex)

USB リクエスト wIndex の値を読み出すためのビットです。b7-0 が下位バイトです。

SETUP トランザクションで受信した USB リクエスト wIndex の値を示します。ソフトウェアによる本ビットへの書き込みは無効です。

24.2.11.4 USB リクエストレンゲスレジスタ (USBLENG)

アドレス A006 005Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	wLength[15:0]															
H/W リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
USBバス リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	S/W	H/W
b15-b0	wLength[15:0]	レンジス	USB リクエスト wLength の値	R	W

レンジスビット (wLength)

USB リクエスト wLength の値を読み出すためのビットです。b7-0 が下位バイトです。

SETUP トランザクションで受信した USB リクエスト wLength の値を示します。ソフトウェアによる本ビットへの書き込みは無効です。

24.2.12 DCP コンフィグレーション

24.2.12.1 DCP マックスパケットサイズレジスタ (DCPMAXP)

アドレス A006 005Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	MXPS[6:0]						
H/W リセット後の値	0	0	0	0	x	x	x	x	x	1	0	0	0	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	S/W	H/W
b6-b0	MXPS[6:0]	マックスパケットサイズ	DCPの最大データペイロード (マックスパケットサイズ) を指定します。	R	R/W
b15-b7	—	予約ビット	読み出した場合、不定値が読み出せます。	R	—

マックスパケットサイズビット (MXPS)

DCP の最大データペイロード (マックスパケットサイズ) を本ビットに設定してください。
リセット後の値は、40h (64Bytes) です。

MXPS ビットの設定は、USB 規格に準拠した値を設定してください。

MXPS ビットの設定は、“PID = NAK”、および CURPIPE ビットの設定前に実施してください。

対応する PIPE の PID ビットを“BUF”から“NAK”へ変更してから本ビットを変更する場合には、“PBUSY = 0”を確認してから変更してください。ただし、本コントローラーが PID ビットを“NAK”に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

“MXPS = 0”の設定での FIFO バッファへの書き込み、または“PID = BUF”の設定は行わないでください。

24.2.12.2 DCP コントロールレジスタ (DCPCTR)

アドレス A006 0060h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSTS	—	—	—	—	—	—	SQCLR	SQSET	SQMON	PBUSY	—	—	CCPL	PID[1:0]	
H/W リセット後の値	0	0	0	0	0	x	x	0	0	1	0	0	x	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	S/W	H/W
b1-b0	PID[1:0]	応答PID	本ビットによりコントロール転送における本コントローラーの応答を制御します。 b1 b0 00 : NAK 応答 01 : BUF 応答 (バッファ状態にしたがう) 10 : STALL 応答 11 : STALL 応答	R/W	R/W
b2	CCPL	コントロール転送終了許可	本ビットを1にすることによりコントロール転送のステータスステージの終了許可を設定します。 0 : コントロール転送終了不許可 1 : コントロール転送終了許可	R/W	R/W
b4-b3	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b5	PBUSY	PIPE ビジー	当該PIPE を現在USBバスで使用かどうかを示します。 0 : 当該PIPE をUSBバスにて未使用 1 : 当該PIPE をUSBバスにて使用中	R	W
b6	SQMON	シーケンストグルビットモニター	DCPの転送において、次のトランザクションのシーケンストグルビットの期待値を示します。 0 : DATA0 1 : DATA1	R	W
b7	SQSET	トグルビットセット	DCPの転送において、次のトランザクションのシーケンストグルビットの期待値をDATA1に設定する事ができません。読み出した場合、0が読めます。書き込む場合、1書き込みのみ可能です。 0 : 書き込み無効 1 : DATA1指定	R/W	R
b8	SQCLR	トグルビットクリア	DCPの転送において、次のトランザクションのシーケンストグルビットの期待値をDATA0に設定する事ができません。読み出した場合、0が読めます。書き込む場合、1書き込みのみ可能です。 0 : 書き込み無効 1 : DATA0指定	R/W	R
b10-b9	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b11			書き込む場合は1を書いてください。ただし、読み出した場合、0が読めます。	R/W	—
b12			書き込む場合は0を書いてください。	R/W	—
b14-b13			書き込む場合は1を書いてください。ただし、読み出した場合、0が読めます。	R/W	—
b15	BSTS	バッファステータス	DCP FIFOバッファへのアクセス可否ステータスが表示されます。 0 : バッファアクセス不可 1 : バッファアクセス可	R	W

応答 PID ビット (PID)

本ビットに対し、コントロール転送のデータステージ、またはステータスステージ実行時、ソフトウェアで本ビットを“NAK”から“BUF”に変更してください。

以下の場合、本コントローラーが本ビットの値を変更します。

- (1) SETUP パケットを受信した時に、本コントローラーは本ビットを“NAK” (“00”)に変更します。この時、本コントローラーは“VALID = 1”を表示し、ソフトウェアで“VALID = 0”を設定するまでは本ビットの変更を行うことはできません。
- (2) ソフトウェアが本ビットに“BUF”を設定しているときに、本コントローラーが MaxPacketSize を超えるデータを受信した場合、“PID = STALL (11)”を示します。
- (3) コントロール転送シーケンスエラーを検出した場合、“PID = STALL (1x)”を示します。
- (4) USB バスリセットを検出した場合、“PID = NAK”を示します。

SET_ADDRESS リクエスト処理 (自動処理) 時、本コントローラーは本ビットの設定値を参照しません。

コントロール転送終了許可ビット (CCPL)

対応する PID ビットが“BUF”のときに、本ビットに“1”を設定すると、本コントローラーはコントロール転送のステータスステージを完了します。

即ち、コントロールリード転送時では USB Host からの OUT トランザクションに対して ACK Handshake を送信し、コントロールライト、およびノーデータコントロール転送時では、USB Host からの IN トランザクションに対して Zero-Length パケットを送信します。ただし、SET_ADDRESS リクエスト検出時、本ビットの設定値に関係なく本コントローラーは SETUP ステージからステータスステージ完了まで自動応答を行います。

新たな SETUP パケットを受信したときに、本コントローラーは本ビットを“1”から“0”に変更します。

“VALID = 1”のとき、ソフトウェアで本ビットの“1”書き込みを行うことは出来ません。

PIPE ビジービット (PBUSY)

本コントローラーは、当該 PIPE の USB トランザクションを開始したときに本ビットを“0”から“1”に変更します。ひとつのトランザクションが終了したときに本ビットを“1”から“0”に変更します。

ソフトウェアで“PID = NAK”を設定した後、本ビットを読み出すことにより、PIPE 設定変更が可能になったかどうかを確認することが出来ます。

シーケストグルビットのモニタービット (SQMON)

当該 PIPE のシーケストグルビットの期待値を示します。

トランザクションが正常処理すると本コントローラーは本ビットをトグルさせます。

ただし、受信方向転送時の DATA-PID ミスマッチ発生時には、本ビットをトグルさせません。

SETUP パケットの正常受信時に、“1”にセット (期待値を DATA1 に設定) します。

本コントローラーはステータスステージの IN/OUT トランザクションでは本ビットを参照しません。また、正常終了してもトグルさせません。

シーケンスストグルビットのセットビット (SQSET)

本ビットに“1”を設定すると、本コントローラーは当該 PIPE のシーケンスストグルビットの期待値を DATA1 に設定します。本コントローラーは、常に本ビットに“0”を表示します。

SQCLR ビットと SQSET ビットを同時に“1”を設定しないでください。

本ビットへの“1”設定は、“PID = NAK”、および“CURPIPE ビットを設定する前に実施してください。

対応する PIPE の PID ビットを“BUF”から“NAK”に変更してから本ビットに“1”を設定する場合には“PBUSY = 0”を確認してから本ビットを変更してください。ただし、本コントローラーが PID ビットを“NAK”に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

シーケンスストグルビットのクリアビット (SQCLR)

本ビットに“1”を設定すると本コントローラーは当該 PIPE のシーケンスストグルビットの期待値を DATA0 に設定します。本コントローラーは、常に本ビットに“0”を表示します。

SQCLR ビットと SQSET ビットを同時に“1”を設定しないでください。

本ビットへの“1”設定は、“PID = NAK”、および CURPIPE ビットの設定前に実施してください。

対応する PIPE の PID ビットを“BUF”から“NAK”に変更してから本ビットに“1”を設定する場合には、“PBUSY = 0”を確認してから変更してください。ただし、本コントローラーが PID ビットを“NAK”に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

バッファステータスビット (BSTS)

DCP に割り付けた FIFO バッファに対し、CPU からのアクセスが可能かどうかを示します。

本ビットの意味は、ISEL ビットの設定値により以下のように異なります。

- (1) “ISEL = 0” のとき : 受信データの読み出しが可能かどうかを示します。
- (2) “ISEL = 1” のとき : 送信データの書き込みが可能かどうかを示します。

24.2.13 パイプコンフィグレーションレジスタ

PIPE1-9 の設定は、PIPESEL レジスタ、PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタ、PIPExCTR レジスタ、PIPExTRE レジスタ、および PIPExTRN レジスタで行ってください。

PIPESEL レジスタで使用する PIPE を選択した後、PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、および PIPEPERI レジスタで、各 PIPE の機能設定を行います。なお、PIPExCTR レジスタ、PIPExTRE レジスタ、および PIPExTRN レジスタは、PIPESEL レジスタによる PIPE 選択とは無関係に設定可能です。

24.2.13.1 パイプウィンドウ選択レジスタ (PIPESEL)

アドレス A006 0064h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	PIPESEL[3:0]			
H/W リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	S/W	H/W
b3-b0	PIPESEL [3:0]	パイプウィンドウ選択	アドレス 68h-6Eh のレジスタに対する PIPE 指定を行います。 b3 b0 0000 : 未選択 0001 : PIPE1 0010 : PIPE2 0011 : PIPE3 0100 : PIPE4 0101 : PIPE5 0110 : PIPE6 0111 : PIPE7 1000 : PIPE8 1001 : PIPE9	R/W	R
b15-b4	—	予約ビット	書き込む場合は0を書いてください。	R/W	—

注1. “PIPESEL = 0000b” 設定時は、PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、および PIPEPERI レジスタの各ビットからはすべて“0”が読み出されます。“PIPESEL = 0000b” 設定時のアドレス 68h-6Eh のレジスタに対する書き込みは無効です。

パイプウィンドウ選択ビット (PIPESEL)

本ビットに“0001b”～“1001b”を設定すると、本コントローラーはアドレス A006 0068h 番地～A006 006Eh 番地のレジスタに対応する PIPE の情報、および設定値を示します。本ビットへの PIPE 指定設定後、ソフトウェアでアドレス A006 0068h 番地～A006 006Eh 番地に設定する値は、本コントローラーによって対応する PIPE の転送方法に反映されます。

ソフトウェアで本ビットに“0000b”を設定すると、本コントローラーはアドレス A006 0068h 番地～A006 006Eh 番地のレジスタに ALL“0”を表示します。この時、ソフトウェアによるアドレス A006 0068h 番地～A006 006Eh 番地への書き込みは無効です。

24.2.13.2 パイプコンフィグレーションレジスタ (PIPECFG)

アドレス A006 0068h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TYPE[1:0]	—	—	—	BFRE	DBLB	CNTMD	SHTNAK	—	—	DIR	EPNUM[3:0]				
H/W リセット後の値	0	0	x	x	x	0	0	0	0	x	x	0	0	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	S/W	H/W
b3-b0	EPNUM[3:0]	エンドポイント番号	当該PIPEのエンドポイント番号を指定します。	R/W	R
b4	DIR	転送方向	当該PIPEの転送方向を指定します。 0 : 受信方向 1 : 送信方向	R/W	R
b6-b5	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b7	SHTNAK	トランスファー終了時のPIPE禁止	当該PIPEが受信方向の場合、トランスファー終了時にPIDをNAKに変更するかどうかを指定します。 0 : トランスファー終了時にPIPE継続 1 : トランスファー終了時にPIPE禁止	R/W	R
b8	CNTMD	連続転送モード	当該PIPEを連続転送モードで通信させるかどうかを指定します。 0 : 非連続転送モード 1 : 連続転送モード	R/W	R
b9	DBLB	ダブルバッファモード	当該PIPEが使用するFIFOバッファがシングルバッファかダブルバッファかを指定します。 0 : シングルバッファ 1 : ダブルバッファ	R/W	R
b10	BFRE	BRDY割り込み動作指定	当該PIPEに関するBRDY割り込みの通知タイミングを指定します。 0 : データ送受信時にBRDY割り込み通知 1 : データ読み出し完了時にBRDY割り込み通知	R/W	R
b13-b11	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b15-b14	TYPE[1:0]	転送タイプ	PIPESELビットに指定したPIPE (当該PIPE) の転送タイプを指定します。 b15 b14 00 : PIPE使用不可 01 : バルク転送 10 : インタラプト転送 11 : アイソクロナス転送	R/W	R

エンドポイント番号ビット (EPNUM)

ソフトウェアで本ビットに選択 PIPE に対するエンドポイント番号を設定してください。
ただし、“0000b” の設定は、未使用 PIPE を意味します。

本ビットの変更は、“PID = NAK”、および CURPIPE ビットに PIPE 未設定の状態で行ってください。

選択 PIPE の PID ビットを“BUF”から“NAK”へ変更してから本ビットを変更する場合には、“PBUSY = 0”を確認してから本ビットを変更してください。ただし、本コントローラーが PID ビットを“NAK”に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

DIR ビットと EPNUM ビットの設定の組み合わせが他の PIPE 設定と重複しないようにして設定してください。

(“EPNUM = 0000b” (選択 PIPE は未使用) の設定は重複可能です)

転送方向ビット (DIR)

ソフトウェアで本ビットに“0”を設定している場合、本コントローラーは選択 PIPE を受信方向に、本ビットに“1”を設定している場合、本コントローラーは選択 PIPE を送信方向に使用します。

本ビットの変更は、“PID = NAK”、および CURPIPE ビットに PIPE 未設定の状態で行ってください。

また、選択 PIPE を使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記3つのレジスタの状態に加え、ソフトウェアで“ACLRM = 1”、“ACLRM = 0”を連続して書き込み、選択 PIPE に割り付けられた FIFO バッファのクリアを実行してください。

選択 PIPE の PID ビットを“BUF”から“NAK”へ変更してから本ビットを変更する場合には、“PBUSY = 0”を確認してから本ビットを変更してください。ただし、本コントローラーが PID ビットを“NAK”に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

トランスファー終了時の PIPE 禁止ビット (SHTNAK)

本ビットは、選択 PIPE が PIPE1 ~ PIPE5 であり、かつ、受信方向である場合に有効なビットです。

受信方向 PIPE に対してソフトウェアで本ビットに“1”を設定している場合、本コントローラーは、選択 PIPE に対しトランスファーの終了を判定したときに選択 PIPE に対応する PID ビットを“NAK”に変更します。本コントローラーは、以下 (1) または (2) の条件が満たされた時にトランスファー終了と判定します。

- (1) ショートパケットデータ (Zero-Length パケットを含む) を正常に受信した時
- (2) トランザクションカウンタを使用し、トランザクションカウンタ分のパケットを正常受信した時

本ビットの変更は、“PID = NAK” の状態で行ってください。

選択 PIPE の PID ビットを“BUF”から“NAK”へ変更してから本ビットを変更する場合には、“PBUSY = 0”を確認してから本ビットを変更してください。ただし、本コントローラーが PID ビットを“NAK”に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

送信方向 PIPE に対しては、本ビットを“0”に設定してください。

連続転送モードビット (CNTMD)

本ビットは、選択 PIPE が PIPE1 ~ PIPE5 であり、かつ、選択 PIPE の転送タイプを bulk に設定している場合に有効なビットです。

本ビットの設定値によって、本コントローラーは選択 PIPE に割り当てられた FIFO バッファに対する送受信完了判定を行います。表 24.10 を参照してください。

表 24.10 CNTMD ビット設定値と FIFO バッファに対する送受信完了判定方法の関係

CNTMD ビット 設定値	読み出し可能状態、送信可能状態の判定方法
0	受信方向設定時 ("DIR = 0") FIFO バッファ読み出しが可能状態になる条件： 本コントローラーが1パケット受信した時
	送信方向設定時 ("DIR = 1") FIFO バッファ送信が可能状態になる条件： 以下 (1)、(2) のいずれかを満たした時 (1) ソフトウェア (またはDMAC) でマックスパケットサイズ分のデータをFIFOバッファに書き込んだ。 (2) ソフトウェア (またはDMAC) でショートパケット分のデータ (0バイトの場合を含む) をFIFOバッファに書き込み、"BVAL = 1" を書き込んだ。
1	受信方向設定時 ("DIR = 0") FIFO バッファ読み出しが可能状態になる条件： (1) 選択PIPEに割り当てられたFIFOバッファに受信したデータのバイト数と、割り当てられたバイト数 ((BUFSIZE + 1) * 64) が等しくなったとき (2) 本コントローラーがZero-Lengthパケット以外のショートパケットを受信したとき (3) 選択PIPEに割り当てられたFIFOバッファにすでにデータが格納されている状態で、本コントローラーがZero-Lengthパケットを受信したとき (4) ソフトウェアが選択PIPEに対して設定したトランザクションカウンター回数分のパケットを受信した時
	送信方向設定時 ("DIR = 1") FIFO バッファ送信が可能状態になる条件： 以下 (1) ~ (3) のいずれかを満たしたとき (1) ソフトウェア (またはDMAC) で書き込んだデータ数が、選択PIPEに割り当てられたFIFOバッファサイズ1面分と等しくなったとき (2) ソフトウェア (またはDMAC) で選択PIPEに割り当てられたFIFOバッファサイズ1面分よりも小さいデータ数 (0バイトの場合を含む) をFIFOバッファに書き込み、"BVAL = 1" を書き込んだ時 (3) ソフトウェア (またはDMAC) で選択PIPEに割り当てられたFIFOバッファサイズ1面分よりも小さいデータ数 (0バイトの場合を含む) をFIFOバッファに書き込み、最後の書き込みと同時にDENDx_N信号をアサートした時

本ビットの変更は、“PID = NAK”、および CURPIPE ビットに PIPE 未設定状態で実施してください。

また、選択 PIPE を使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記3つのレジスタの状態に加え、ソフトウェアで“ACLRM = 1”、“ACLRM = 0”を連続して書き込み、選択 PIPE に割り付けられた FIFO バッファのクリアを実行してください。

選択 PIPE の PID ビットを“BUF”から“NAK”へ変更してから本ビットを変更する場合には、“PBUSY = 0”を確認してから本ビットを変更してください。ただし、本コントローラーが PID ビットを“NAK”に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

ダブルバッファモードビット (DBLB)

本ビットは、選択 PIPE が PIPE1 ~ PIPE5 の場合に有効なビットです。

ソフトウェアで本ビットに“1”を設定している場合、本コントローラーは選択 PIPE に対し、PIPEBUF レジスタの BUFSIZE ビットで指定した FIFO バッファサイズを 2 面分割り当てます。

本コントローラーが選択 PIPE に対して割り当てる FIFO バッファの容量は以下のとおりです。

$(BUFSIZE+1)*64*(DBLB+1)$ [バイト]

本ビットの変更は、“PID = NAK”、および CURPIPE ビットに PIPE 未設定の状態で行ってください。

また、選択 PIPE を使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記 3 つのレジスタの状態に加え、ソフトウェアで“ACLRM = 1”、“ACLRM = 0”を連続して書き込み、選択 PIPE に割り付けられた FIFO バッファのクリアを実行してください。

選択 PIPE の PID ビットを“BUF”から“NAK”へ変更してから本ビットを変更する場合には、“PBUSY = 0”を確認してから本ビットを変更してください。ただし、本コントローラーが PID ビットを“NAK”に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

BRDY 割り込み動作指定ビット (BFRE)

本ビットは、選択 PIPE が PIPE1 ~ PIPE5 の場合に有効なビットです。

ソフトウェアで本ビットに“1”を設定し、かつ、選択 PIPE を受信方向で使用している (“DIR ビット = 0”に設定している) 場合、本コントローラーは、トランスファーの終了を検出し、そのパケットを読み出し終えた時に BRDY 割り込みを発生します。

この設定で BRDY 割り込みが発生した場合、ソフトウェアは“BCLR = 1”の書き込み処理を行う必要があります。“BCLR = 1”を行うまでは選択 PIPE に割り付けられた FIFO バッファは、受信可能状態になりません。

ソフトウェアが本ビットに“1”を設定し、かつ、選択 PIPE の選択 PIPE を送信方向で使用している (“DIR ビット = 1”に設定している) 場合、本コントローラーは BRDY 割り込みを発生しません。

詳細は、PIPEBRDY 割り込みレジスタを参照してください。

本ビットの変更は、“PID = NAK”、および CURPIPE ビットに PIPE 未設定の状態で行ってください。

また、選択 PIPE を使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記 3 つのレジスタの状態に加え、ソフトウェアで“ACLRM = 1”、“ACLRM = 0”を連続して書き込み、選択 PIPE に割り付けられた FIFO バッファのクリアを実行してください。

選択 PIPE の PID ビットを“BUF”から“NAK”に変更してから本ビットを変更する場合には、“PBUSY = 0”を確認してから本ビットを変更してください。ただし、本コントローラーが PID ビットを“NAK”に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

転送タイプビット (TYPE)

PIPESEL ビットに設定した PIPE (選択 PIPE) の USB 転送タイプを本ビットに設定してください。
選択 PIPE と本ビットに設定可能な転送タイプの一覧を表 24.11 に示します。

表 24.11 選択PIPEとTYPEビットに設定可能な転送タイプの一覧

選択PIPE	TYPEビット	USB転送TYPE
PIPE1、または PIPE2	"01b"、または "11b"	bulk 転送、または isochronous 転送
PIPE3 ~ PIPE5	"01b"	bulk 転送
PIPE6 ~ PIPE9	"10b"	interrupt 転送

"PID = BUF" に設定 (選択 PIPE を使用した USB 通信を開始) する前に、必ず本ビットを "00b" 以外の値に設定してください。

本ビットの変更は、選択 PIPE の PID ビットが "NAK" 状態の時に行ってください。選択 PIPE の PID ビットを "BUF" から "NAK" に変更してから本ビットを変更する場合は、"PBUSY = 0" を確認してから本ビットを変更してください。ただし、本コントローラーが PID ビットを "NAK" に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

24.2.13.3 パイプバッファ指定レジスタ (PIPEBUF)

アドレス A006 006Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	BUFSIZE[4:0]				—	—	BUFNMB[7:0]								
H/W リセット後の値	x	0	0	0	0	0	x	x	0	0	0	0	0	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	S/W	H/W
b7-b0	BUFNMB[7:0]	バッファ番号	当該PIPEのFIFOバッファ番号を指定します。 (4h - 80h)	R/W	R
b9-b8	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b14-b10	BUFSIZE[4:0]	バッファサイズ	PIPESELビットに指定したPIPE(当該PIPE)のFIFO バッファサイズを指定します。 00h: 64バイト 01h: 128バイト ... 1Fh: 2Kバイト	R/W	R
b15	—	予約ビット	書き込む場合は0を書いてください。	R/W	—

- 注1. 本レジスタの各ビットの変更は、ソフトウェアが“PID = NAK”、およびCURPIPEビットにPIPE未設定の状態を実施してください。
注2. 選択PIPEのPIDビットを“BUF”から“NAK”へ変更してから本ビットを変更する場合には、“PBUSY = 0”を確認してから本ビットを変更してください。ただし、本コントローラーがPIDビットを“NAK”に変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

バッファ番号ビット (BUFNMB)

当該PIPEに割り付けるFIFOバッファのうち、先頭のブロック番号を指定してください。

本コントローラーが選択PIPEに対して割り当てるFIFOバッファのブロックは以下のとおりです。

ブロック番号 : BUFNMB ~ ブロック番号 : BUFNMB + (BUFSIZE + 1) * (DBLB + 1) - 1

本ビットへは搭載メモリサイズの範囲を超えないように設定してください。(8Kバイトの場合は0 [00h] から 8192 [0x80]) ただし、以下の条件を守ってください。

00h は DCP 専用です。

04h は PIPE6 専用です。ただし PIPE6 を使用しない場合は他の PIPE で使用可能です。また選択 PIPE が PIPE6 の場合、本ビットへの書き込みは無効です。本コントローラーは PIPE6 に対し“BUFNMB = 04h”を自動的に割り付けます。

“05h は PIPE7 専用です。ただし PIPE7 を使用しない場合は他の PIPE で使用可能です。また選択 PIPE が PIPE7 の場合、本ビットへの書き込みは無効です。本コントローラーは PIPE7 に対し“BUFNMB = 05h”を自動的に割り付けます。

06h は PIPE8 専用です。ただし PIPE8 を使用しない場合は他の PIPE で使用可能です。また選択 PIPE が PIPE8 の場合、本ビットへの書き込みは無効です。本コントローラーは PIPE8 に対し“BUFNMB = 06h”を自動的に割り付けます。

07h は PIPE9 専用です。ただし PIPE9 を使用しない場合は他の PIPE で使用可能です。また選択 PIPE が PIPE9 の場合、本ビットへの書き込みは無効です。本コントローラーは PIPE9 に対し“BUFNMB = 07h”を自動的に割り付けます。

バッファサイズビット (BUFSIZE)

当該 PIPE に割り付ける FIFO バッファサイズを、本ビットに指定してください。

単位はブロック数であり、1 ブロックは 64 バイトです。

ソフトウェアで“DBLB = 1”を設定している場合、本コントローラーは選択 PIPE に対し、本ビットで指定した FIFO バッファサイズを 2 面分割り当てます。

本コントローラーが選択 PIPE に対して割り当てる FIFO バッファの容量は以下のとおりです。

$(BUFSIZE + 1) * 64 * (DBLB + 1)$ [バイト]

本ビットへは以下の範囲の値を設定してください。

- (1) 選択 PIPE が PIPE1 ~ PIPE5 の場合 ; 0h から 1Fh の値を設定可能です。
- (2) 選択 PIPE が PIPE6 ~ PIPE9 の場合 ; 0h のみを設定可能です。

“CNTMD = 1”で使用する場合には、BUFSIZE ビットには MaxPacketSize の整数倍の値を設定してください。

24.2.13.4 パイプマックスパケットサイズレジスタ (PIPEMAXP)

アドレス A006 006Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	MXPS[10:0]										
H/W リセット後の値	0	0	0	0	x	0	0	0	0	0	0	0	0	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	S/W	H/W
b10-b0	MXPS[10:0]	マックスパケットサイズ	当該PIPEの最大データペイロード（マックスパケットサイズ）を指定します。 PIPE6 - 9は01 h~ 40hバイトまで設定可能です。	R/W	R
b15-b11	—	予約ビット	書き込む場合は0を書いてください。	R/W	—

注1. * MXPSビットのリセット後の値は、PIPESELレジスタのPIPESELビットでPIPEを選択していないときは"00h"、PIPEを選択している時は"40h"を示します。

マックスパケットサイズビット (MXPS)

選択 PIPE の最大データペイロード（マックスパケットサイズ）を本ビットに設定してください。

PIPE1, 2 に対しては 1 バイト (1h) ~ 1024 バイト (400h) の値を設定可能です。

PIPE3 ~ 5 に対しては 8 バイト (8h)、16 バイト (10h)、32 バイト (20h)、64 バイト (40h)、512 バイト (200h) の値を設定可能です。([2:0] のビットはありません。)

PIPE6 ~ 9 に対しては 1 バイト (1h) ~ 64 バイト (40h) の値を設定可能です。

リセット後の値は、040h (64 バイト) です。

MXPS ビットの設定は、転送タイプ毎に USB 規格に準拠した値を設定してください。

MXPS ビットの設定は、“PID = NAK”、および CURPIPE ビットを設定する前に実施してください。

対応する PIPE の PID ビットを“BUF”から“NAK”に変更してから本ビットを変更する場合には、“PBUSY = 0”を確認してから本ビットを変更してください。ただし、本コントローラーが PID ビットを“NAK”に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

“MXPS = 0”の設定での FIFO バッファへの書き込み、または“PID = BUF”の設定は行わないでください。

24.2.13.5 パイプ周期制御レジスタ (PIPEPERI)

アドレス A006 006Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	IFIS	—	—	—	—	—	—	—	—	—	IITV[2:0]		
H/W リセット後の値	x	x	x	0	x	x	x	x	x	x	x	x	x	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	S/W	H/W
b2-b0	IITV[2:0]	インターバルエラー検出間 隔	当該PIPEの転送インターバルタイミ ングをフレームタイ ミングの2のn乗で指定します。	R/W	R
b11-b3	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b12	IFIS	アイソクロナスINバッファ フラッシュ	PIPESELビットに指定したPIPE（当該PIPE）がアイソク ロナスIN転送の場合に、バッファフラッシュ有無を指定し ます。 0：バッファフラッシュしない 1：バッファフラッシュする	R/W	R
b15-b13	—	予約ビット	書き込む場合は0を書いてください。	R/W	—

インターバルエラー検出間隔ビット (IITV)

本ビットに、インターバルエラー検出間隔をフレームタイミングの2のn乗で指定してください。

本ビットの設定は、“PID = NAK”、および CURPIPE ビットに設定する前に実施してください。

対応する PIPE の PID ビットを“BUF”から“NAK”へ変更してから本ビットを変更する場合には、“PBUSY = 0”を確認してから本ビットを変更してください。ただし、本コントローラーが PID ビットを“NAK”に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

本ビットを設定し、USB 通信を行った後で別の値に変更する場合には、“PID = NAK”設定後“ACLRM = 1”をセットし、Interval タイマの初期化を行ってください。

PIPE3 ~ 5 に対しては、本ビットは存在しません。PIPE3 ~ 5 に対応する本ビットの位置には“0”を設定してください。

選択 PIPE の転送 TYPE が Isochronous の場合に、本ビットへの設定が可能です。

(1) 選択 PIPE が Isochronous-OUT 転送 PIPE の場合

IITV ビットに設定した Interval 毎の (マイクロ) フレーム中に DATA パケットを受信しなかった時、本コントローラは NRDY 割り込みを発生します。

DATA パケットに CRC エラー等のエラーが発生し受信できなかった時、または (ソフトウェア (DMAC) が FIFO バッファからデータを読み出すのが遅いなどの原因で) FIFO バッファがフルのため本コントローラがデータを受信できなかったときにも NRDY 割り込みを発生します。

NRDY 割り込みの発生のタイミングは、SOF パケット受信時です。また、SOF パケットが破損した場合でも内部補間機能により SOF を受信すべきタイミングに割り込みを発生します。

ただし、“IITV = 0” 以外の時には、インターバルのカウント開始後のインターバル毎の SOF パケット受信時に NRDY 割り込みを発生します。

インターバルタイマ起動後、ソフトウェアで PID ビットを “NAK” に設定した場合、本コントローラは SOF パケットを受信しても NRDY 割り込みを発生しません。

インターバルのカウント開始条件は、IITV ビットの設定値により異なります。

- (a) “IITV = 0” の時: 選択 PIPE の PID ビットを “BUF” に変更した時点でインターバルのカウントを開始します。

(マイクロ) フレーム	S O F	S O F	S O F	O U T	D A T A 0	S O F	O U T	D A T A 0
PIDビット設定値	N A K	B U F	B U F	B U F	B U F	B U F	B U F	B U F
Token発行有無 (0 : 発行 — : 非発行)	—	—	0	0	0	0	0	0
インターバル カウント開始			↑					

図 24.2 “IITV = 0” の場合の (マイクロ) フレームと Token 受信期待有無の関係

- (b) “IITV = 0”以外の時: 選択 PIPE の PID ビットを“BUF”に変更した後、最初の DATA パケット正常受信完了時点からインターバルのカウントを開始します。

(マイクロ) フレーム	S O F		S O F		S O F	O U T A 0	S O F		S O F	O U T A 0			S O F	O U T A 0	
PIDビット設定値	N	A	K	B	U	F	B	U	F	B	U	F	B	U	F
Token受信期待有無 (0: 受信を期待 —: 非受信を期待)	—		—		0		—		0		—		0		
インターバル カウント開始					↑										

図 24.3 “IITV = 1” の場合の (マイクロ) フレームと Token 受信期待有無の関係

(2) 選択 PIPE が Isochronous-IN 転送 PIPE の場合

“IFIS = 1” と組み合わせて使用します。“IFIS = 0” の場合には IITV ビットへの設定値とは関係なく、受信した Token に応答してデータパケットを送信します。

“IFIS = 1” を設定している場合、FIFO バッファに送信可能なデータが存在している状態で、IITV ビットに設定した Interval 毎の (マイクロ) フレーム中に IN-Token を受信しなかった時、本コントローラーは FIFO バッファをクリアします。

IN-Token に CRC エラー等のバスエラーが発生したため、本コントローラーが正常受信できなかった場合にもクリアを行います。

FIFO バッファクリアのタイミングは、SOF パケット受信時です。また、SOF パケットが破損した場合でも内部補間機能により SOF を受信すべきタイミングに FIFO バッファクリアを行います。

インターバルのカウント開始条件は、IITV ビットの設定値により異なります。(OUT 時と同様です)

インターバルカウントのクリア条件は以下 (1)、(2) または (3) の場合です。

- (1) 本コントローラーが HW リセットされた場合 (この時、IITV ビットへの設定値も “0” にクリアされま
す。)
- (2) ソフトウェアで “ACLRM = 1” を設定した場合
- (3) 本コントローラーが USB バスリセットを検出した場合

アイソクロナス IN バッファフラッシュビット (IFIS)

選択 PIPE の転送 TYPE が Isochronous、かつ転送方向が IN 転送の場合において、IITV ビットに設定した Interval 毎の (マイクロ) フレーム中に USB HOST から IN-Token を本コントローラーが受信しなかった場合に、本コントローラーが自動的に FIFO バッファをクリアする機能です。

ダブルバッファ設定時 (“DBLB = 1” 設定時)、本コントローラーがクリアするのは古い方の 1 面分データのみです。

FIFO バッファクリアのタイミングは、IN-Token を受信するはずの (マイクロ) フレーム直後の SOF パケット受信時です。また、SOF パケットが破損した場合でも、内部補間機能により SOF を受信すべきタイミングにクリアします。

選択 PIPE の転送 TYPE が Isochronous 以外の場合は、本ビットへは “0” を設定してください。

24.2.14 パイプコントロールレジスタ

- 24.2.14.1 PIPE1 コントロールレジスタ (PIPE1CTR)
- PIPE2 コントロールレジスタ (PIPE2CTR)
- PIPE3 コントロールレジスタ (PIPE3CTR)
- PIPE4 コントロールレジスタ (PIPE4CTR)
- PIPE5 コントロールレジスタ (PIPE5CTR)

アドレス PIPE1CTR : A006 0070h
 PIPE2CTR : A006 0072h
 PIPE3CTR : A006 0074h
 PIPE4CTR : A006 0076h
 PIPE5CTR : A006 0078h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSTS	INBUFM	—	—	—	ATREPM	ACLARM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
H/W リセット後の値	0	0	0	0	x	0	0	0	0	0	0	x	x	x	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0

x : 不定

ビット	シンボル	ビット名	機能	S/W	H/W
b1-b0	PID[1:0]	応答PID	当該PIPEの次回トランザクションにおける応答方法を指定します。 b1 b0 00 : NAK 応答 01 : BUF 応答 (バッファ状態にしたがう) 10 : STALL 応答 11 : STALL 応答	R/W	R/W
b4-b2	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b5	PBUSY	PIPE ビジー	当該PIPEをUSBバスで使用かどうかを示します。 0 : 当該PIPEをUSBバスで未使用 1 : 当該PIPEをUSBバスで使用	R	W
b6	SQMON	トグルビット確認	当該PIPEの次回トランザクションにおけるシーケンストグルビットの期待値を示します。 0 : DATA0 1 : DATA1	R	W
b7	SQSET	トグルビットセット	当該PIPEの次回トランザクションにおけるシーケンストグルビットの期待値をDATA1にセットするときに“1”を指定します。読み出すと0が読めます。書き込む場合、1書き込みのみ可能です。 0 : 書き込み無効 1 : DATA1 指定	R/W	R
b8	SQCLR	トグルビットクリア	当該PIPEの次回トランザクションにおけるシーケンストグルビットの期待値をDATA0にクリアするときに“1”を指定します。読み出すと0が読めます。書き込む場合、1書き込みのみ可能です。 0 : 書き込み無効 1 : DATA0 指定	R/W	R
b9	ACLARM	自動バッファクリアモード	当該PIPEの自動バッファクリアモードの禁止/許可を指定します。 0 : 禁止 1 : 許可 (全バッファ初期化)	R/W	R

ビット	シンボル	ビット名	機能	S/W	H/W
b10	ATREPM	自動応答モード	当該PIPEの自動応答禁止/許可を指定します。 0: 自動応答禁止 1: 自動応答許可 (送信時 Zero-length Packet 応答、受信時 NAK 応答し NRDY 割り込み発生)	R/W	R
b12-b11	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b13	—	予約ビット	書き込む場合は1を書いてください。ただし、読み出した場合、0が読めます。	R/W	—
b14	INBUFM	送信バッファモニタ	当該PIPEが送信方向の場合に、当該PIPEのFIFOバッファステータスを示します。 0: FIFOバッファに送信可能データなし 1: FIFOバッファに送信可能データあり	R	W
b15	BSTS	バッファステータス	当該PIPEのFIFOバッファステータスを示します。 0: バッファアクセス不可 1: バッファアクセス可	R	W

応答 PID ビット (PID)

本ビットに対し、ソフトウェアで各 PIPE における本コントローラーの応答を設定してください。

本ビットのデフォルト値は“NAK”です。当該 PIPE で USB 転送を行う場合には本ビットを“BUF”に変更してください。PID ビットの設定値毎の本コントローラーの基本動作 (通信パッケージにエラーがない場合の動作) は表 24.12 のとおりです。

当該 PIPE が USB 通信中に、ソフトウェアで本ビットを“BUF”から“NAK”に変更する場合、“NAK”を書き込んだ後、実際に当該 PIPE の USB 転送が“NAK”状態に遷移したことを確認するため、“PBUSY = 0”であることを確認してください。ただし、本コントローラーが本ビットを“NAK”に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

以下の場合には、本コントローラーが本ビットの値を変更します。

- (1) 当該 PIPE が受信方向の場合、かつソフトウェアが当該 PIPE の SHTNAK ビットに“1”を設定している場合、本コントローラーがトランスファー終了を認識した時に、“PID = NAK”を表示します。
- (2) 当該 PIPE に対し、MaxPacketSize を超えるペイロードのデータパッケージを受信した場合、本コントローラーは“PID = STALL (11b)”を表示します。
- (3) USB バスリセットを検出した場合、本コントローラーは“PID = NAK”を示します。

“PID = NAK (“00b”)”の状態から“PID = STALL”状態にする場合には、“10b”を書き込んでください。

BUF (“01b”)状態から STALL 状態にする場合には、“11b”を書き込んでください。

STALL (“11b”)から NAK 状態にする場合には、一旦“10b”を書き込んでから“00b”を書き込んでください。

STALL 状態から BUF 状態に変更する場合は、一旦 NAK 状態に変更し、その後、BUF 状態に変更してください。

表 24.12 PIDビットによる本コントローラーの動作一覧

PIDビット 設定値	転送TYPE (TYPEビット設定値)	転送方向 (DIRビット設定値)	本コントローラーの動作
"00b (NAK)"	Bulk ("TYPE = 01b")、 または Interrupt ("TYPE = 10b")	設定値に依存しない	USB HostからのTokenにNAK応答を行う
	Isochronous ("TYPE = 11b")	受信方向 ("DIR = 0")	USB HostからのTokenに無応答を行う
送信方向 ("DIR = 1")		USB HostからのTokenに対しZero-Lengthパケットを送信する。	
"01b (BUF)"	Bulk ("TYPE = 01b")	受信方向 ("DIR = 0")	USB HostからのOUT Tokenに対し、当該PIPEに対応するFIFOバッファが受信可能な状態ならばデータを受信しACKまたはNYET応答を行う。受信可能な状態でなければNAK応答を行う。 USB HostからのPING Tokenに対し、当該PIPEに対応するFIFOバッファが受信可能な状態ならばACK応答を行う。受信可能な状態でなければNAK応答を行う。
		Interrupt ("TYPE = 10b")	受信方向 ("DIR = 0")
	Bulk ("TYPE = 01b")、 または Interrupt ("TYPE = 10b")	送信方向 ("DIR = 1")	対応するFIFOバッファが送信可能な状態ならばUSB HostからのTokenに対しデータを送信する。送信可能でなければNAK応答を行う。
		Isochronous ("TYPE = 11b")	受信方向 ("DIR = 0")
送信方向 ("DIR = 1")	対応するFIFOバッファが送信可能な状態ならばUSB HostからのTokenに対しデータを送信する。送信可能でなければZero-Lengthパケットを送信する。		
"10b (STALL)"、 または "11b (STALL)"	Bulk ("TYPE = 01b")、 または Interrupt ("TYPE = 10")	設定値に依存しない	USB HostからのTokenにSTALL応答を行う。
		Isochronous ("TYPE = 11b")	設定値に依存しない

PIPE ビジービット (PBUSY)

本コントローラーは、当該 PIPE の USB トランザクションを開始したときに本ビットを“0”から“1”に変更します。ひとつのトランザクションが正常終了したときに本ビットを“1”から“0”に変更します。

ソフトウェアで“PID = NAK”を設定した後、本ビットを読み出すことにより、PIPE 設定変更が可能になったかどうかを確認することが出来ます。

シーケンストグルビットのモニタービット (SQMON)

当該 PIPE のシーケンストグルビットの期待値を示します。

当該 PIPE の転送 TYPE が Isochronous 転送以外の場合、トランザクションが正常処理すると、本コントローラーは本ビットをトグルさせます。ただし、受信方向転送時の DATA-PID ミスマッチ発生時は、本ビットをトグルさせません。

シーケンスストグルビットのセットビット (SQSET)

ソフトウェアで本ビットに“1”を設定すると、当該 PIPE のシーケンスストグルビットの期待値を DATA1 に設定します。本ビットは常に“0”を示します。

SQSET ビットへの“1”設定は、“PID = NAK”設定時に実施してください。

対応する PIPE の PID ビットを“BUF”から“NAK”に変更してから本ビットに“1”を設定する場合は、“PBUSY = 0”を確認してから本ビットを変更してください。ただし、本コントローラーが PID ビットを“NAK”に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

シーケンスストグルビットのクリアビット (SQCLR)

ソフトウェアで本ビットに“1”を設定すると当該 PIPE のシーケンスストグルビットの期待値を DATA0 に設定します。本ビットは、常に“0”を示します。

SQCLR ビットへの“1”設定は、“PID = NAK”で実施してください。

対応する PIPE の PID ビットを“BUF”から“NAK”に変更してから本ビットに“1”を設定する場合は、“PBUSY = 0”を確認してから本ビットを変更してください。ただし、本コントローラーが PID ビットを“NAK”に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

自動バッファクリアモードビット (ACLRM)

当該 PIPE に割り付けた FIFO バッファの内容をすべてクリアしたい場合に、ACLRM ビットに“1”、“0”を連続して書き込んでください。

本ビットに“1”、“0”を連続して設定した場合に本コントローラーがクリアする内容を表 24.13 に示します。また、この処理が必要なケースを表 24.14 に示します。

表 24.13 “ACLRM = 1”設定時に本コントローラーがクリアされる内容

番号	ACLRM ビット操作によるクリア内容
(1)	当該 PIPE に割り付けた FIFO バッファのすべての内容 (ダブルバッファ設定時は FIFO バッファを 2 面ともクリア)
(2)	当該 PIPE の転送 TYPE が Isochronous 転送の場合、インターバルカウント値

表 24.14 “ACLRM = 1”設定が必要なケース

番号	クリアが必要なケース
(1)	当該 PIPE に割り付けた FIFO バッファのすべての内容をクリアしたい場合
(2)	インターバルカウント値のリセットを行いたい場合
(3)	BFRE ビットの設定変更時
(4)	DBLB ビットの設定変更時
(5)	トランザクションカウント機能の強制終了実行時

本ビットの変更は、“PID = NAK”、および当該 PIPE を CURPIPE ビットに設定する前に実施してください。

対応する PIPE の PID ビットを“BUF”から“NAK”に変更してから本ビットを変更する場合は、“PBUSY = 0”を確認してから本ビットを変更してください。ただし、本コントローラーが PID ビットを“NAK”に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

自動応答モードビット (ATREPM)

当該 PIPE の転送 TYPE を “Bulk” に設定している場合、本ビットへの “1” 設定が可能です。

本ビットに “1” を設定した場合、USB HOST からの Token に対し、本コントローラーは以下のように応答します。

(1) 当該 PIPE が Bulk-IN 転送 (“TYPE = 01b” かつ “DIR = 1” を設定) の場合

“ATREPM = 1” かつ “PID = BUF” を設定している場合、IN-Token に対して本コントローラーは Zero-Length パケットを送信します。

USB Host からの ACK 受信の度に (1 トランザクションは IN-Token 受信 → Zero Length パケット送信 → ACK 受信)、本コントローラーはシーケンストグルビット (DATA-PID) の更新 (トグル) を行います。BRDY 割り込み、BEMP 割り込みは発生しません。

(2) 当該 PIPE が Bulk-OUT 転送 (“TYPE = 01b” かつ “DIR = 0” を設定) の場合

“ATREPM = 1” かつ “PID = BUF” を設定している場合、OUT-Token (または PING-Token) に対して本コントローラーは NAK 応答を行い、NRDY 割り込みを発生します。

本ビットの変更は、“PID = NAK” 設定時に実施してください。

対応する PIPE の PID ビットを “BUF” から “NAK” へ変更してから本ビットを変更する場合は、“PBUSY = 0” を確認してから本ビットを変更してください。ただし、本コントローラーが PID ビットを “NAK” に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

本ビットを “1” に設定して USB 通信を行う場合、必ず FIFO バッファは空の状態を設定をしてください。本ビットを “1” に設定して USB 通信を行っている期間は、FIFO バッファへの書き込みを行わないでください。

当該 PIPE の転送 TYPE が Isochronous 転送の場合、本ビットには必ず “0” を設定してください。

送信バッファモニタビット (INBUFM)

当該 PIPE を送信方向 (“DIR = 1”) に設定している場合に、ソフトウェア (または DMAC) により少なくとも 1 面分のデータを FIFO バッファに書き込んだ時に、“1” を示します。

書き込みが完了している面の FIFO バッファ上のデータを本コントローラーがすべて送信完了した時に、本コントローラーは本ビットに “0” を表示します。ダブルバッファ使用時 (“DBLB = 1” 設定時) には、本コントローラーが 2 面分のデータを送信完了しかつソフトウェア (または DMAC) が 1 面分のデータ書き込みを完了していない時に、本ビットに “0” を表示します。

当該 PIPE を受信方向 (“DIR = 0”) に設定している場合には、本ビットは BSTS ビットと同じ値を示します。

バッファステータスビット (BSTS)

当該 PIPE に割り付けた FIFO バッファへの CPU からのアクセスが可能かどうかを示すビットです。

本ビットの意味は、DIR ビット、BFRE ビット、および DCLRM ビットの設定値により以下のように異なります。

表24.15 BSTSビットの動作

DIRビット 設定値	BFREビット 設定値	DCLRMビット 設定値	BSTSビットの意味
0	0	0	“FIFOバッファからの受信データの読み出しが可能になったときに“1”を示し、データの読み出しが完了したときに“0”を示します。
		1	この組み合わせは設定禁止です。
	1	0	“FIFOバッファからの受信データの読み出しが可能になったときに“1”を示し、データの読み出しが完了した後でソフトウェアで“BCLR = 1”を書き込んだときに“0”を示します。
		1	“FIFOバッファからの受信データの読み出しが可能になったときに“1”を示し、データの読み出しが完了したときに“0”を示します。
1	0	0	“FIFOバッファへの送信データの書き込みが可能になったときに“1”を示し、データの書き込みが完了したときに“0”を示します。
		1	この組み合わせは設定禁止です。
	1	0	この組み合わせは設定禁止です。
		1	この組み合わせは設定禁止です。

24.2.14.2 PIPE6 コントロールレジスタ (PIPE6CTR)
 PIPE7 コントロールレジスタ (PIPE7CTR)
 PIPE8 コントロールレジスタ (PIPE8CTR)
 PIPE9 コントロールレジスタ (PIPE9CTR)

アドレス PIPE6CTR : A006 007Ah
 PIPE7CTR : A006 007Ch
 PIPE8CTR : A006 007Eh
 PIPE9CTR : A006 0080h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSTS	—	—	—	—	—	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
H/W リセット後の値	0	x	0	0	x	x	0	0	0	0	0	x	x	x	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0

x : 不定

ビット	シンボル	ビット名	機能	S/W	H/W
b1-b0	PID[1:0]	応答PID	当該PIPEの次回トランザクションにおける応答方法を指定します。 b1 b0 00 : NAK 応答 01 : BUF 応答 (バッファ状態にしたがう) 10 : STALL 応答 11 : STALL 応答	R/W	R/W
b4-b2	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b5	PBUSY	PIPE ビジー	当該PIPEを現在USBバスで使用かどうかを示します。 0 : 当該PIPEをUSBバスにて未使用 1 : 当該PIPEをUSBバスにて使用	R	W
b6	SQMON	トグルビット確認	当該PIPEの次回トランザクションにおけるシーケンストグルビットの期待値を示します。 0 : DATA0 1 : DATA1	R	W
b7	SQSET	トグルビットセット	当該PIPEの次回トランザクションにおけるシーケンストグルビットの期待値をDATA1にセットするときに“1”を指定します。読み出した場合、0が読めます。書き込む場合は、1を書き込んでください。 0 : 書き込み無効 1 : DATA1 指定	R/W	R
b8	SQCLR	SQCLR トグルビットクリア	当該PIPEの次回トランザクションにおけるシーケンストグルビットの期待値をDATA0にクリアするときに“1”を指定します。読み出した場合、0が読めます。書き込む場合は、1を書き込んでください。 0 : 無効 1 : DATA0 指定	R/W	R
b9	ACLRM	自動バッファクリアモード	当該PIPEの自動バッファクリアモードの禁止/許可を指定します。 0 : 自動バッファクリアモード禁止 1 : 自動バッファクリアモード許可 (全バッファ初期化)	R/W	R
b12-b10	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b13	—	予約ビット	書き込む場合は1を書いてください。ただし、読み出した場合、0が読めます。	R/W	—
b14	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b15	BSTS	BSTS バッファステータス	当該PIPEのFIFOバッファステータスを示します。 0 : バッファアクセス不可 1 : バッファアクセス可	R	W

以下のビットについては、「24.2.14.1 PIPE1 コントロールレジスタ (PIPE1CTR) PIPE2 コントロールレジスタ (PIPE2CTR) PIPE3 コントロールレジスタ (PIPE3CTR) PIPE4 コントロールレジスタ (PIPE4CTR) PIPE5 コントロールレジスタ (PIPE5CTR)」の各ビット説明を参照してください。

- 応答 PID ビット (PID)
- PIPE ビジービット (PBUSY)
- バッファステータスビット (BSTS)
- シーケンスグルビットのモニタービット (SQMON)
- シーケンスグルビットのセットビット (SQSET)
- シーケンスグルビットのクリアビット (SQCLR)

自動バッファクリアモードビット (ACLRM)

当該 PIPE に割り付けた FIFO バッファの内容をすべてクリアしたい場合に、ACLRM ビットに“1”、“0”を連続して書き込んでください。

本ビットに“1”、“0”を連続して設定した場合、当該 PIPE に割り付けた FIFO バッファのすべての内容がクリアされます。当該項目のクリアが必要なケースについて表 24.17 に示します。

表 24.16 “ACLRM = 1”設定時に本コントローラーがクリアされる内容

番号	ACLRM ビット操作によるクリア内容
(1)	当該 PIPE に割り付けた FIFO バッファのすべての内容

表 24.17 “ACLRM = 1”設定が必要なケース

番号	クリアが必要なケース
(1)	当該 PIPE に割り付けた FIFO バッファのすべての内容をクリアしたい場合
(2)	インターバルカウント値をリセットする場合
(3)	BFRE ビットの設定値変更時
(4)	トランザクションカウント機能の強制終了実行時

本ビットの変更は、“PID = NAK” および当該 PIPE を CURPIPE ビットを設定する前に実施してください。

対応する PIPE の PID ビットを“BUF”から“NAK”へ変更してから本ビットを変更する場合には、“PBUSY = 0”を確認してから本ビットを変更してください。ただし、本コントローラーが PID ビットを“NAK”に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

24.2.15 トランザクションカウンタ

- 24.2.15.1 PIPE1 トランザクションカウンタ許可レジスタ (PIPE1TRE)
- PIPE2 トランザクションカウンタ許可レジスタ (PIPE2TRE)
- PIPE3 トランザクションカウンタ許可レジスタ (PIPE3TRE)
- PIPE4 トランザクションカウンタ許可レジスタ (PIPE4TRE)
- PIPE5 トランザクションカウンタ許可レジスタ (PIPE5TRE)

アドレス PIPE1TRE : A006 0090h
 PIPE2TRE : A006 0094h
 PIPE3TRE : A006 0098h
 PIPE4TRE : A006 009Ch
 PIPE5TRE : A006 00A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TRENB	TRCLR	—	—	—	—	—	—	—	—
H/W リセット後の値	x	x	x	x	x	x	0	0	x	x	x	x	x	0	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	S/W	H/W
b7-b0	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b8	TRCLR	トランザクションカウンタクリア	本ビットに“1”を設定することによりトランザクションカウンタを0にクリアすることができます。読み出した場合、0が読めます。書き込む場合は、1を書き込んでください。 0 : 無効 1 : カレントカウンタクリア	R/W	R
b9	TRENB	トランザクションカウンタ許可	トランザクションカウンタ無効/有効を指定します。 0 : トランザクションカウンタ機能無効 1 : トランザクションカウンタ機能有効	R/W	R
b15-b10	—	予約ビット	書き込む場合は0を書いてください。	R/W	—

注1. 本レジスタの各ビットの変更は、“PID = NAK”時に実施してください。
 対応するPIPEのPIDビットを“BUF”から“NAK”へ変更したあとで各ビットの設定値を変更する場合は、“PBUSY = 0”を確認してから本ビットを変更してください。ただし、本コントローラーがPIDビットを“NAK”に変更した場合は、ソフトウェアによるPBUSYビットの確認は必要ありません。

トランザクションカウンタクリアビット (TRCLR)

ソフトウェアで本ビットに“1”を設定すると、本コントローラーは当該 PIPE に対応するトランザクションカウンタの現在のカウント値をクリアし、本ビットに“0”を示します。

トランザクションカウンタ許可ビット (TRENb)

受信 PIPE に対して、ソフトウェアで TRNCNT ビットに総パケット数を設定した後で本ビットに“1”を設定すると、本コントローラーは、TRNCNT ビットの設定値と同数のパケット受信を終了したときに以下の制御を行います。

- (1) 連続送受信モード使用 (“CNTMD = 1” 設定) 時、受信完了時に FIFO バッファがフルの状態でも、CPU 側にトグルさせます。
- (2) “SHTNAK = 1” 設定時、TRNCNT ビットの設定値と同数のパケット受信を終了時点で対応する PIPE の PID ビットを“NAK”に変更します。
- (3) “DENDE = 1” かつ “PKTMD = 0” 設定時、TRNCNT ビットの設定値と同数のパケット受信を終了し、最後のデータを読み出す時に DEND 信号をアサートします。
- (4) “BFRE = 1” 設定時、TRNCNT ビットの設定値と同数のパケット受信を終了し、最後のデータを読み出し終えた時に、BRDY 割り込みをアサートします。

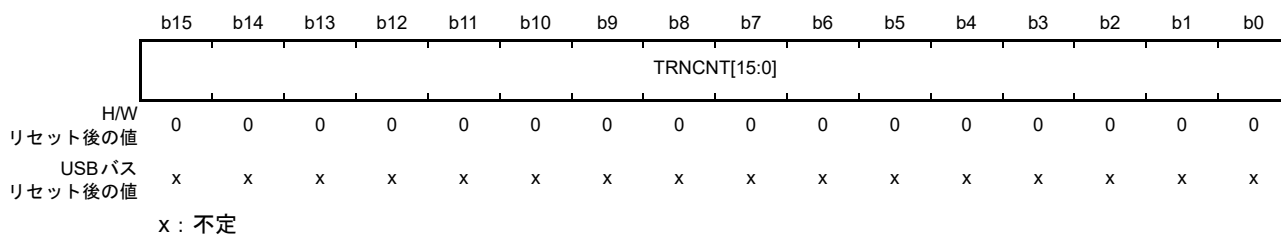
送信 PIPE については、本ビットに“0”を設定してください。

トランザクションカウンタ機能を使用しない場合は、本ビットに“0”を設定してください。

トランザクションカウンタ機能を使用する場合、本ビットに“1”を設定する前に TRNCNT ビットの設定を行ってください。また、トランザクションカウンタの対象となる最初のパケットを受信する前に本ビットに“1”を設定してください。

24.2.15.2 PIPE1 トランザクションカウンタレジスタ (PIPE1TRN)
 PIPE2 トランザクションカウンタレジスタ (PIPE2TRN)
 PIPE3 トランザクションカウンタレジスタ (PIPE3TRN)
 PIPE4 トランザクションカウンタレジスタ (PIPE4TRN)
 PIPE5 トランザクションカウンタレジスタ (PIPE5TRN)

アドレス PIPE1TRN : A006 0092h
 PIPE2TRN : A006 0096h
 PIPE3TRN : A006 009Ah
 PIPE4TRN : A006 009Eh
 PIPE5TRN : A006 00A2h



ビット	シンボル	ビット名	機能	S/W	H/W
b15-b0	TRNCNT [15:0]	トランザクションカウンタ	Write時：当該PIPEが受信すべき総パケット数（トランザクション回数）を設定します。 Read時： “TREN B = 0”の場合：設定したトランザクション回数を示します。 “TREN B = 1”の場合：カウント中のトランザクション回数を示します。	R/W	R/W

トランザクションカウンタビット (TRNCNT)

受信 PIPE に対して、ソフトウェアで本ビットに受信すべき総パケット数を設定した後で TREN B ビットに“1”を設定すると、本コントローラーはトランザクションカウンタクリアビット (TRCLR) の制御を行います。

“TREN B = 0”の場合、本ビットに、ソフトウェアが設定したトランザクション回数を示します。

“TREN B = 1”の場合、本ビットに、カウント中のトランザクション回数を示します。

本コントローラーは、受信時の状態が以下 (a) から (c) をすべて満たしたときに TRNCNT ビットの値を1インクリメントします。

- (a) “TREN B = 1”である
- (b) パケット受信時に (TRNCNT設定値 ≠ 現在のカウント値+1) である
- (c) 受信したパケットのペイロードがMXPS ビットへの設定値と一致した

本コントローラーは、以下 (1)、(2)、または (3) のいずれかの条件が満たされたときに TRNCNT ビットの値を0にクリアします。

- (1) 以下 (a) から (c) の条件がすべて満たされた時
 - (a) “TREN B = 1”である
 - (b) パケット受信時に (TRNCNT設定値 = 現在のカウント値+1) である
 - (c) 受信したパケットのペイロードがMXPS ビットへの設定値と一致した

(2) 以下 (a) および (b) の条件がすべて満たされた時

- (a) “TRENB = 1”である
- (b) ショートパケットを受信した

(3) 以下 (a) の条件がすべて満たされた時

- (a) ソフトウェアでTRCLRビットに“1”を設定した

送信 PIPE については、本ビットに“0”を設定してください。

トランザクションカウント機能を使用しない場合は、本ビットに“0”を設定してください。

本ビットの変更は、“PID = NAK”、かつ“TRENB = 0”設定時に実施してください。

対応する PIPE の PID ビットを“BUF”から“NAK”に変更してから本ビットを変更する場合には、“PBUSY = 0”を確認してから本ビットを変更してください。ただし、本コントローラーが PID ビットを“NAK”に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

本ビットの値を変更する場合は、“TRENB = 1”を設定する前に“TRCLR = 1”を実施してください。

24.2.16 ローパワーステータスレジスタ (LPSTS)

アドレス A006 0102h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	SUSPM	—	—	—	—	—	—	—	—	—	—	—	—	—	—
H/W リセット後の値	x	0	x	0	x	x	x	0	x	x	x	x	0	x	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	S/W	H/W
b13-b0	—	予約ビット	書き込む場合は0を書いてください。	R/W	—
b14	SUSPM	UTMI SuspendM制御	UTMIへのSuspendM信号の制御をします。 0 : UTMI サスペンドモード 1 : UTMI 通常モード	R/W	R/W
b15	—	予約ビット	書き込む場合は0を書いてください。	R/W	—

UTMI SuspendM 制御ビット (SUSPM)

本 USBf モジュールは、SUSPM レジスタにより、USB-PHY 内蔵 PLL からのクロック出力制御を行っています。このため、“SUSPM = 0”の状態では本 USBf モジュールへのクロックが停止します。

本ビットに“1”を設定後は、UTMI クロックが安定するまで 100us 以上待つようにしてください。

SUSPM ビットが‘0’の時 (UTMI クロックが停止している時) は、本コントローラへの書き込みはできません。読み出しは可能です。ただし、表 24.18 に示すレジスタは SUSPM ビットが‘0’のときでも書き込み可能です。

表 24.18 SUSPM = 0”時に、ソフトウェアによる書き込みが可能なレジスタ一覧

アドレス	レジスタ名
A006 0000h	SYSCFG0
A006 0002h	SYSCFG1
A006 0102h	LPSTS

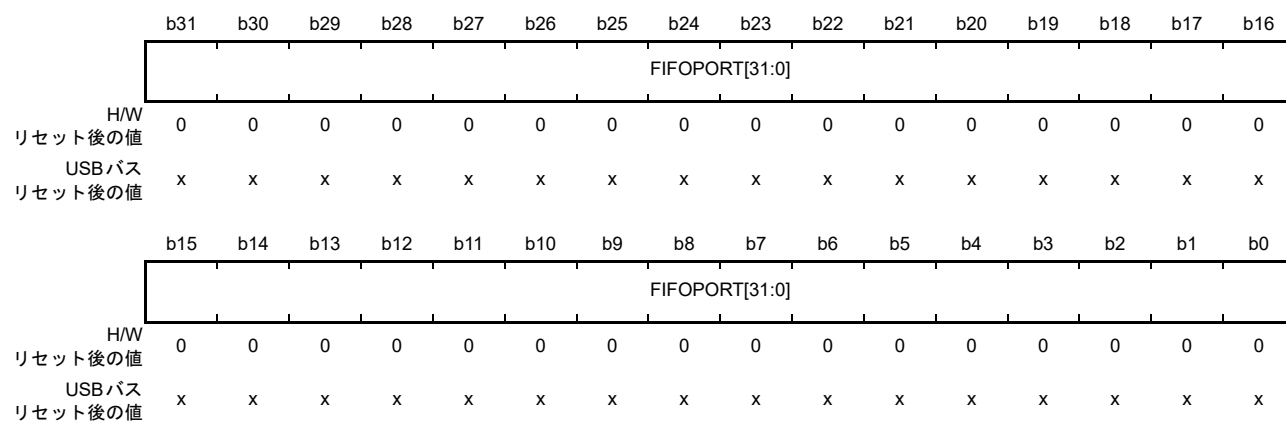
ただし、UTMI クロックが停止 (“SUSPM = 0”) 時に SYSCFG0 レジスタへの書き込んだ設定値は、UTMI クロックが発振 (“SUSPM = 1”) してから、設定値が反映されます。

24.2.17 FIFO 連続転送ポート

24.2.17.1 D0FIFO 連続転送ポートレジスタ n (D0FIFOBn) (n = 0 ~ 7)

D1FIFO 連続転送ポートレジスタ n (D1FIFOBn) (n = 0 ~ 7)

アドレス D0FIFOBn : A006 0160h
D1FIFOBn : A006 0180h



ビット	シンボル	ビット名	機能	S/W	H/W
b31-b0	FIFOPORT [31:0]	FIFOポート	本ビットにアクセスすることにより、FIFOバッファからの受信データ読み出し、もしくはFIFOバッファへの送信データの書き込みを行います。	R/W	R/W

FIFO ポート制御

DFACC = “01b” もしくは “10b” (16 バイト / 32 バイト連続アクセスモード) 設定時、DxFIFO バッファへのアクセスは DxFIFO 連続転送ポートレジスタを使用してください。

24.2.18 PHY 設定レジスタ 1

24.2.18.1 PHY 設定レジスタ 1 (PHYSET1)

アドレス A006 01A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	PHYVB USIN	PHYRE SET	PHYPD	P1PORTSEL [1:0]	
H/W リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0
USBバス リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	S/W	H/W
b1-b0	P1PORTSEL [1:0]	ポート接続経路選択入力信号	b1 b0 00: Non-Drive 01: USB ホスト機能 10: 設定不可 11: USB ファンクション機能	R/W	R/W
b2	PHYPD	USB PHYのパワーダウン信号	0: ノーマルモード 1: パワーダウンモード	R/W	R/W
b3	PHYRESET	USB PHYのリセット	0: リセット解除 1: リセットアサート	R/W	R/W
b4	PHYVBUSIN	USB PHYへのVBUS入力設定	本設定によりD+ Pull Up抵抗が有効になります。 0: VBUS入力なし (D+_Pull Up抵抗無効) 1: VBUS入力あり (D+_Pull Up抵抗有効)	R/W	R/W
b15-b5	—	予約ビット	書き込む場合は0を書いてください。	R/W	—

注. 一度PHY-PLLを起動した後にPHY-PLLをパワーダウンにすることは禁止です。

P1PORTSEL[1:0]

ポート接続経路選択入力信号です。

00b: Non-Drive

01b: USB ホスト機能

10b: 設定不可

11b: USB ファンクション機能

PHYPD

USB PHY のパワーダウン信号です。

0: ノーマルモード

1: パワーダウンモード

PHYRESET

USB PHY のリセット入力です。

0: リセット解除

1: リセットアサート

PHYVBUSIN

USB PHY への VBUS 入力設定です。本設定により D+ Pull Up 抵抗が有効になります。

0: VBUS 入力なし (D+_Pull Up 抵抗無効)

1: VBUS 入力あり (D+_Pull Up 抵抗有効)

24.3 動作説明

24.3.1 システム制御および発振制御

本章では、本コントローラーの初期設定に必要なレジスタ操作、および消費電力制御を行うために必要なレジスタを説明します。起動シーケンスは以下のとおりです。

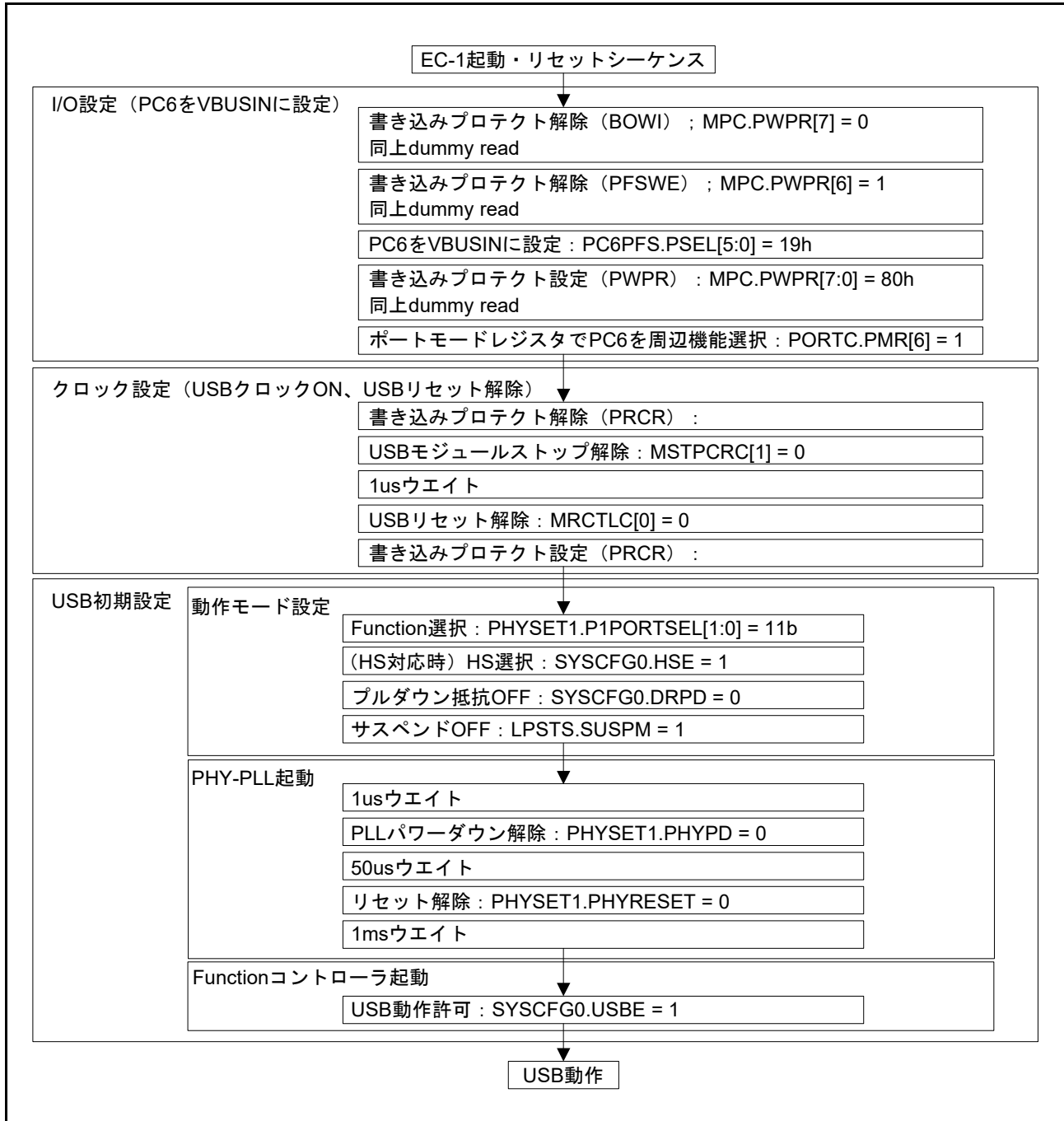


図 24.4 起動シーケンス

24.3.2 リセット

表 24.19 に本コントローラーのリセット種別の一覧表を示します。なお、各リセット動作後のレジスタ初期化状態については、「5. I/O レジスタ」を参照してください。

表24.19 リセット種別一覧表

名称	操作
USBバスリセット	本コントローラーがD+, D-ラインから自動検出

24.3.3 USB データバス抵抗制御

本コントローラーは、USB2.0-PHY の D+ 信号の Pull Up 抵抗の制御を行います。SYSCFG0 レジスタの DPRPU、DRPD ビットの設定により D+ の Pull Up を設定してください。

USB Host への接続を認識した後で、SYSCFG0 レジスタの DPRPU ビットを“1”に設定し、D+ を Pull Up してください。

同時に、PHYSET1.PHYVBUSIN を“1”に設定してください。

本コントローラーは D+, D- 信号の終端抵抗 (Hi-Speed 動作時) と出力抵抗 (Full-Speed 動作時) を内蔵しています。PC との接続後の内蔵抵抗の切り替えは、リセットハンドシェイク、サスペンド、レジューム時に本コントローラーが自動的に行います。

また、PC と通信中に SYSCFG0 レジスタの DPRPU ビットに“0”を設定した場合は、USB データラインのプルアップ抵抗 (もしくは終端抵抗) をディセーブルにしますので、ホストコントローラーにデバイス切断を通知することができます。その際、同時に、PHYSET1.PHYVBUSIN を“0”に設定してください。

24.3.4 クロック供給

表 24.20 に本コントローラーに必要な 2 本のクロックを示します。

表24.20 クロック入力一覧表

入力クロック名	機能
CPUクロック (CPUCLK)	CPUクロック入力 クロック周波数について制限はありません。
PHYクロック (UTMIクロック)	PHYクロック入力 60MHzが内部供給されます。

24.3.5 クロック停止時の注意点

- PHY クロックは、SUSPM レジスタ制御によりサスペンド中に停止させることができます。
- ただし、USB サスペンド中に停止させる場合は、レジュームでの再供給が必要です。PHY クロックはレジューム割り込み発生から再供給までを 5.5ms 以内で行う必要があります。
- USB-PHY 内蔵 PLL 起動後に、PHY パワーダウン (PHYSET1.PHYDP)、PHY リセット (PHYSET1.PHYRESET) を設定して USB-PHY 内蔵 PLL を STOP することは禁止です。
- USB-Function 未使用時には、USB モジュールストップ設定 (MSTPCRC[1]=1)、USB リセット設定 (MRCTL0[0]=1) を行ってください。

24.4 割り込み機能

24.4.1 割り込み機能概要

表 24.21 に本コントローラーの割り込み機能一覧表を示します。

表 24.21 割り込み機能一覧表

ビット	割り込み名称	割り込み要因	関連ステータス
VBINT	VBUS 割り込み	VBUS 入力端子の状態変化を検出した時 ("L" → "H"、"H" → "L" の両方の変化)	VBSTS
RESM	レジューム割り込み	サスペンド状態において USB バスの状態変化を検出した時 (J-State → K-State、もしくは J-State → SE0)	—
SOFR	フレーム番号更新割り込み	SOFRM = 0 の場合：フレーム番号の異なる SOF パケットを受信した時 SOFRM = 1 の場合：μフレーム番号 0 の時の SOF をパケット破損などで受信できなかった時	—
DVST	デバイスステート遷移割り込み	デバイスステートの遷移を検出した時 USB バスリセット検出 サスペンド状態検出 Set Address リクエストの受信 Set Configuration リクエストの受信	DVSQL
CTRT	コントロール転送ステージ遷移割り込み	コントロール転送のステージ遷移を検出した時 セットアップステージ完了 コントロールライト転送ステータスステージ遷移 コントロールリード転送ステータスステージ遷移 コントロール転送完了 コントロール転送シーケンスエラー発生	CTSQQ
BEMP	バッファエンプティ割り込み	バッファメモリ中の全データを送信しバッファが空になった時 マックスパケットサイズを超えたパケットを受信した時	PIPEBEMP
NRDY	バッファノットレディ割り込み	"PID = BUF" 設定時かつバッファメモリが送受信可能な状態ではない状態でトークンを受信した時 アイソクロナス転送でデータ受信時に CRC エラー、ビットスタッフエラーが発生した時 アイソクロナス転送でデータ受信時にインターバルエラーが発生した時	PIPENRDY
BRDY	バッファレディ割り込み	バッファがレディ（リード、もしくはライト可能状態）になった時	PIPEBRDY

表 24.22 に本コントローラーの USBf 割り込み出力動作表を示します。複数の割り込み要因が発生した場合に、USBf 割り込み出力の方法を、SOFCFG レジスタの INTL ビットにより設定できます。ユーザーシステムに合わせて USBf 割り込み出力の動作設定を行ってください。

表 24.22 USBf 割り込み出力動作表

INTL 設定	発生した割り込み要因が1つの場合	発生した割り込み要因が複数の場合
エッジセンス ("INTL = 0")	要因解除まで "L" レベル出力	1つの要因が解除されると 48MHz で 32クロック時間ネゲート ("H" パルス出力)
レベルセンス ("INTL = 1")	要因解除まで "L" レベル出力	すべての要因解除まで "L" レベル出力

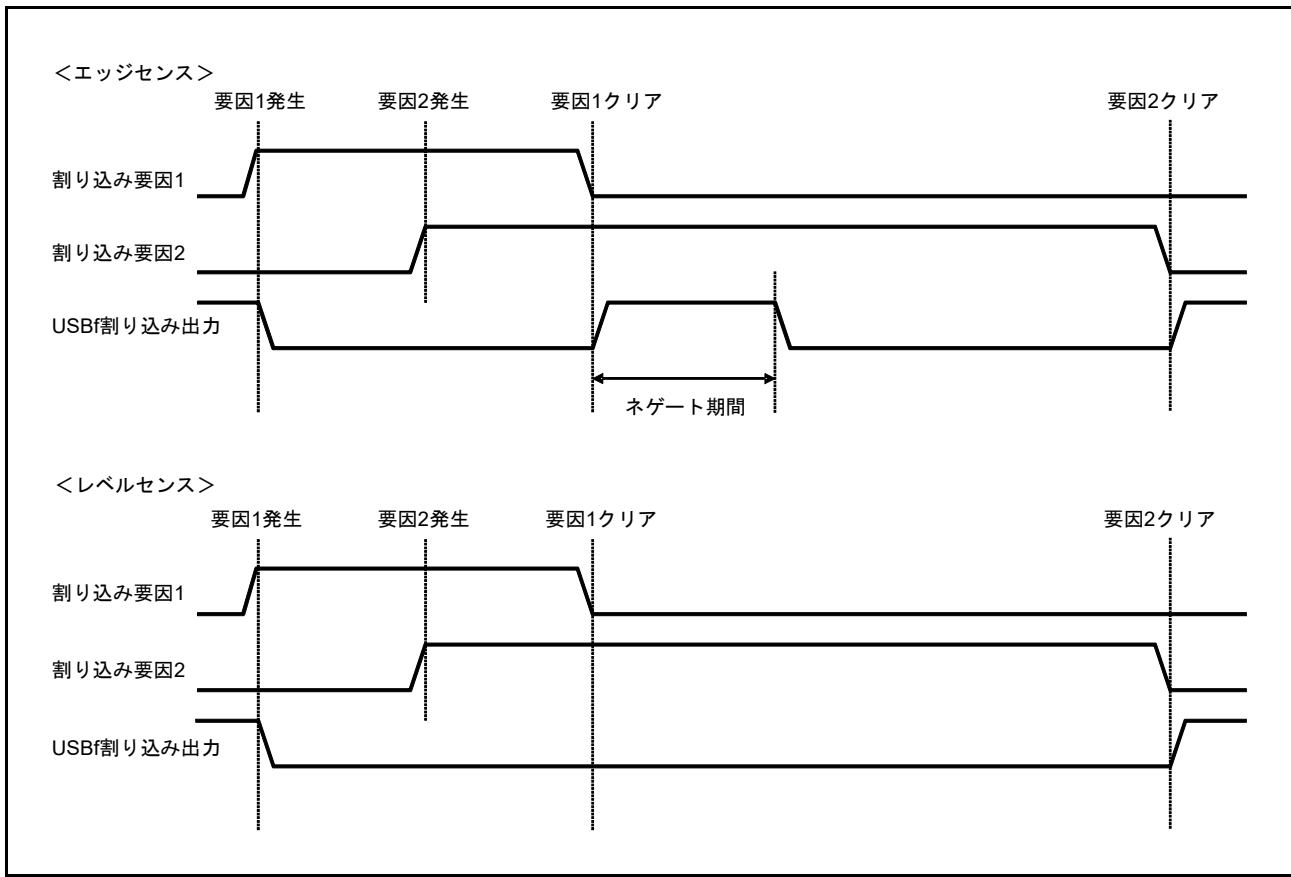


図 24.5 USBf 割り込み出力動作図

図 24.6 に本コントローラーの割り込み関連図を示します。

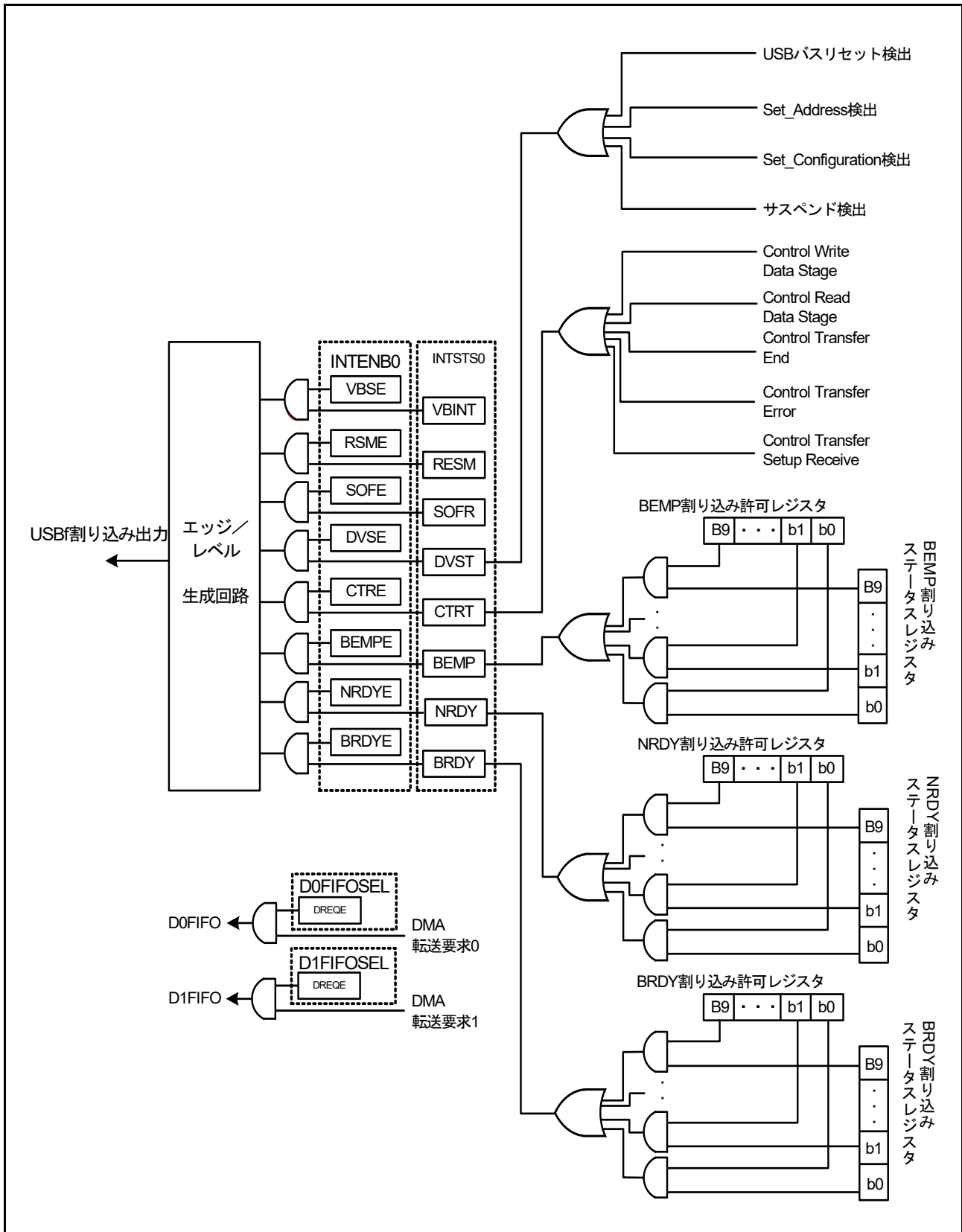


図 24.6 割り込み関連図

24.4.2 デバイスステート遷移割り込み

図 24.7 に本コントローラーのデバイスステート遷移図を示します。本コントローラーは、デバイスステートを管理し、デバイスステート遷移割り込みを発生します。ただし、サスペンドからの復帰（レジューム信号検出）は、レジューム割り込みで検出します。デバイスステート遷移割り込みは、INTENB0 レジスタで割り込みの許可、もしくは禁止を設定することができます。また、遷移したデバイスステートは、INTSTS0 レジスタの DVSQ ビットで確認できます。

Default ステートに遷移する場合には、リセットハンドシェイクプロトコルの終了後に、デバイスステート遷移割り込みが発生します。

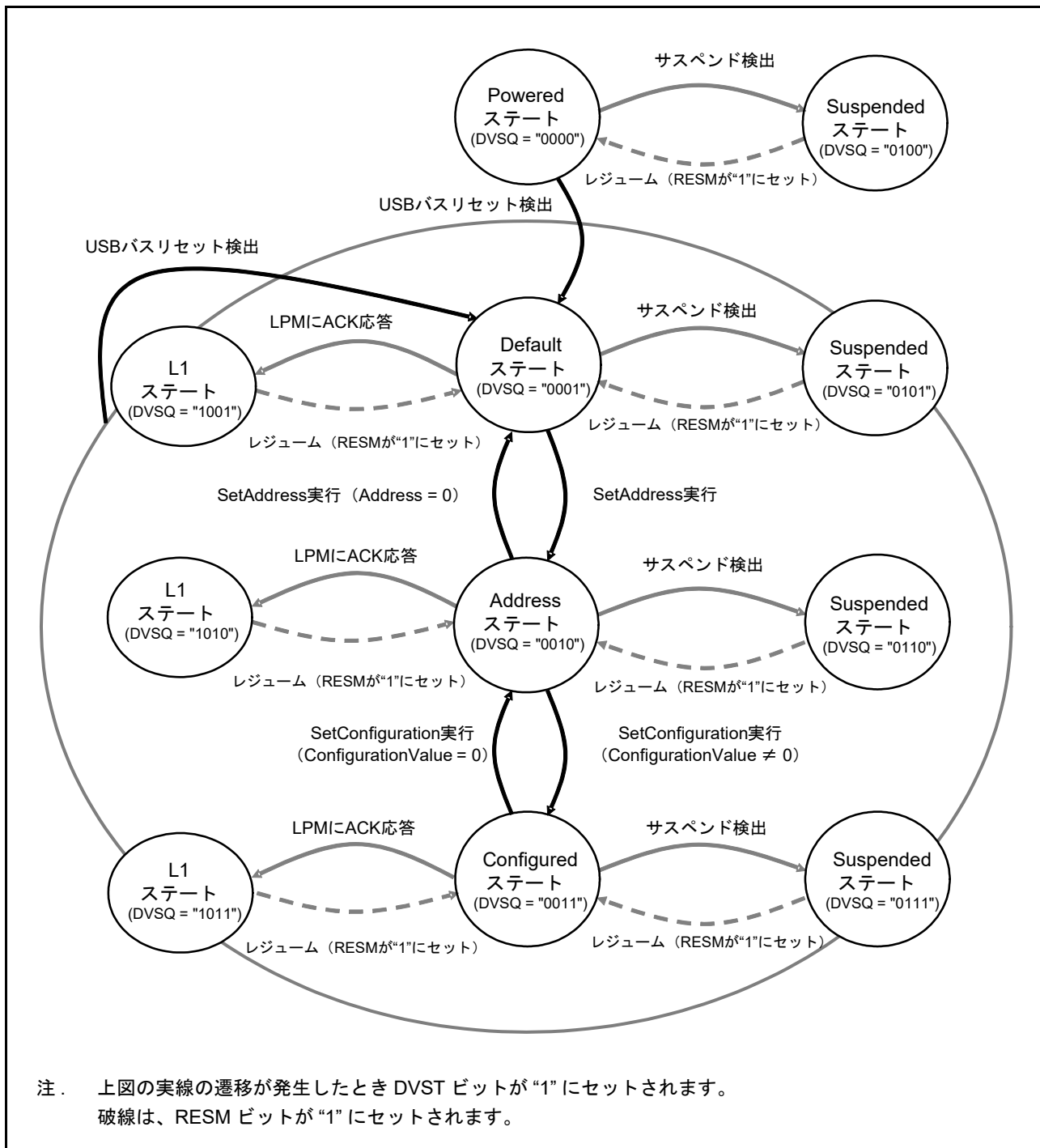


図 24.7 デバイスステート遷移図

24.4.3 コントロール転送ステージ遷移割り込み

図 24.8 に本コントローラーのコントロール転送ステージ遷移図を示します。本コントローラーは、コントロール転送のシーケンスを管理し、コントロール転送ステージ遷移割り込みを発生します。コントロール転送ステージ遷移割り込みは、INTENB0 レジスタで割り込みの許可、もしくは禁止を設定することができます。また、遷移した転送ステージは INTSTS0 レジスタの CTSQ ビットで確認できます。

コントロール転送のシーケンスエラーを下記に示します。エラーが発生した場合は、DCPCTR レジスタの PID ビットが “1xb” (STALL) になります。

(1) コントロールリード転送時

- (a) データステージの IN トークンに対して、一度もデータ転送していない状態で OUT、もしくは PING トークンを受信
- (b) ステータスステージで IN トークンを受信
- (c) ステータスステージでデータパケットが “DATAPID = DATA0” のパケットを受信

(2) コントロールライト転送時

- (a) データステージの OUT トークンに対して、一度も ACK 応答していない状態で IN トークンを受信
- (b) データステージで最初のデータパケットが “DATAPID = DATA0” のパケットを受信
- (c) ステータスステージで OUT、もしくは PING トークンを受信

(3) コントロールライトノーデータ転送時

- (a) ステータスステージで OUT または PING トークンを受信

なお、コントロールライト転送データステージで、受信データ数が USB リクエストの wLength 値を越えた場合は、コントロール転送シーケンスエラーと認識できません。また、コントロールリード転送ステータスステージで、Zero-Length パケット以外のパケット受信には、ACK 応答を行い正常終了します。

シーケンスエラーによる CTRT 割り込み発生時 (“SERR = 1” 設定) は、“CTSQ = 110b” の値がユーザーシステムから “CTRT = 0” 書き込み (割り込みステータスクリア) するまで保持されます。このため、“CTSQ = 110b” が保持されている状態では、新しい USB リクエストを受信しても、セットアップステージ完了の CTRT 割り込みは発生しません。(セットアップステージ完了は、本コントローラーで保持されており、ソフトウェアによる割り込みステータスクリア後に、CTRT 割り込みが発生します。)

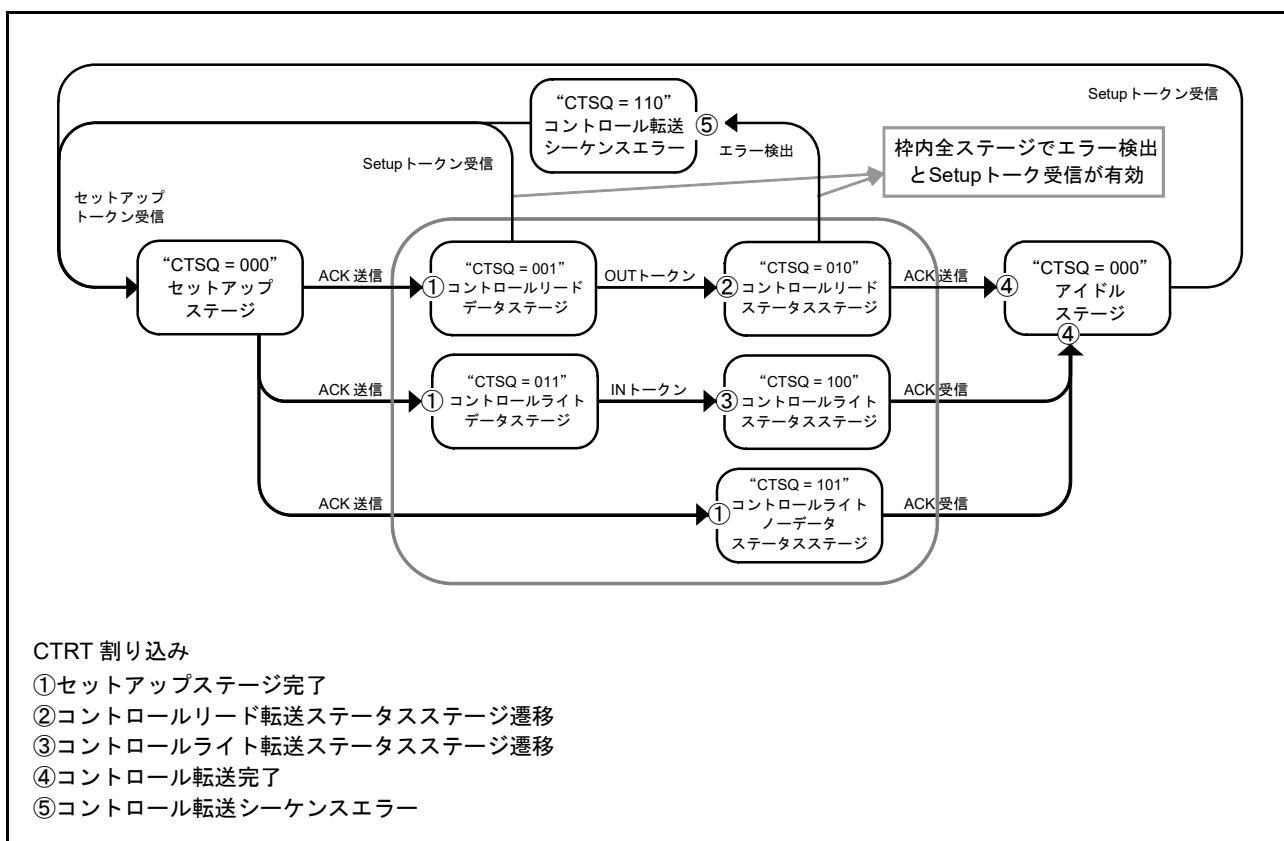


図 24.8 コントロール転送ステージ遷移図

24.5 パイプコントロール

表 24.23 に本コントローラーの PIPE 設定項目一覧表を示します。USB データ転送は、エンドポイントと呼ばれる論理 PIPE で、データ通信を行います。本コントローラーにはデータ転送用に 10 本の PIPE があります。各 PIPE は、ユーザーシステムの仕様に合わせて設定をしてください。

表 24.23 PIPE 設定項目一覧表

レジスタ名	ビット名	設定内容	備考
PIPECFG	TYPE	転送 Type を指定	PIPE1-9 : 設定可
	BFRE	BRDY 割込モードを選択	PIPE1-5 : 設定可
	DBLB	ダブルバッファを選択	PIPE1-5 : 設定可
	CNTMD	連続転送もしくは非連続転送を選択	PIPE1-2 : バルク転送選択時のみ設定可 PIPE3-5 : 設定可
	DIR	転送方向を選択	IN または OUT 設定可
	EPNUM	エンドポイント番号	PIPE1-9 : 設定可 PIPE 使用時は "0000" 以外に設定
	SHTNAK	トランスファー終了時の PIPE 禁止選択	PIPE1-2 : バルク転送選択時のみ設定可 PIPE3-5 : 設定可
PIPEBUF	BUFSIZE	バッファメモリサイズ	DCP : 設定不可 (256 バイト固定) PIPE1-5 : 設定可 (最大 2K バイトまで指定可) PIPE6-9 : 設定不可 (64 バイト固定)
	BUFNUMB	バッファメモリ番号	DCP : 設定不可 (領域 0-3hex 固定) PIPE1-5 : 設定可 (領域 8-80hex で指定可) PIPE6-9 : 設定不可 (領域 4-7hex 固定)
DCPMAXP PIPEMAXP	MXPS	マックスパケットサイズ	USB 規格に準拠した設定
PIPEPERI	IFIS	バッファフラッシュ	PIPE1-2 : アイソクロナス転送選択時のみ設定可 PIPE3-5 : 設定不可 PIPE6-9 : 設定不可
	IITV	インターバルカウンタ	PIPE1-2 : アイソクロナス転送選択時のみ設定可 PIPE3-5 : 設定不可 PIPE6-9 : 設定不可
DCPCTR PIPEXCTR	BSTS	バッファステータス	DCP は ISEL ビットにより、受信/送信バッファ状態の切り替え
	INBUFM	IN バッファモニタ	PIPE3-5 のみ搭載
	ATREPM	自動応答モード	PIPE1-5 : 設定可
	ACLRM	自動バッファクリア	PIPE1-9 : 設定可
	SQCLR	シーケンスクリア	データトグルビットのクリア
	SQSET	シーケンスセット	データトグルビットのセット
	SQMON	シーケンス確認	データトグルビットの確認
	PBUSY	PIPE ビジー確認	
	PID	応答 PID	
PIPEXTRE	TRENB	トランザクションカウント許可	PIPE1-5 : 設定可
	TRCLR	カレントトランザクションカウンタのクリア	PIPE1-5 : 設定可
PIPEXTRN	TRNCNT	トランザクションカウンタ	PIPE1-5 : 設定可

24.5.1 マックスパケットサイズ設定

DCP_{MAXP} レジスタ、および PIPE_{MAXP} レジスタの MXPS ビットで各 PIPE のマックスパケットサイズを設定します。DCP、および PIPE1-5 は USB 規格で定義されているすべてのマックスパケットサイズに設定が可能です。PIPE6-9 は最大 64 バイトがマックスパケットサイズの上限です。マックスパケットサイズは転送を開始 (“PID = BUF” を設定) する前に設定してください。

DCP: Hi-Speed 動作時は “64” を設定してください。

DCP: Full-Speed 動作時は “8”、“16”、“32”、“64” から選択して設定してください。

PIPE 1-5: Hi-Speed バルク転送時は、“512” を設定してください。

PIPE 1-5: Full-Speed バルク転送時は、“8”、“16”、“32”、“64” から選択して設定してください。

PIPE 1-2: Hi-Speed アイソクロナス転送時は、“1” から “1024” の値を設定してください。

PIPE 1-2: Full-Speed アイソクロナス転送時は、“1” から “1023” の値を設定してください。

PIPE 6-9: “1” から “64” の値を設定してください。

インタラプト転送およびアイソクロナス転送の Highband-Width は未対応です。

24.5.2 応答 PID

DCP_{CTR} レジスタ、および PIPE_{xCTR} レジスタの PID ビットで PIPE の応答 PID を設定してください。

(1) 応答 PID 設定

応答 PID は、ホストからのトランザクションに対する応答を指定します。

(a) NAK 設定: 発生したトランザクションに対して常に “NAK 応答” します。

(b) BUF 設定: バッファメモリの状況に応じてトランザクションに応答します。

(c) STALL 設定: 発生したトランザクションに対して常に “STALL 応答” します。

セットアップトランザクションに対しては、PID ビットの設定値にかかわらず、常に “ACK 応答” し、レジスタに USB リクエストを格納します。

トランザクション結果によっては、本コントローラーによる PID ビットへの書き込みが発生する場合があります。

本コントローラーにより PID ビットへの書き込みが発生するのは下記の場合です。

- H/W が応答 PID を設定する場合

- (a) NAK 設定:

- (ア) SETUP トークンを正常に受信した時 (DCP のみ)

- (イ) バルク転送時に PIPECFG レジスタの SHTNAK ビットを “1” に設定し、ショートパケットを受信した時

- (ウ) バルク転送時に SHTNAK ビットを “1” に設定し、トランザクションカウンタが終了した時

- (b) BUF 設定: コントローラーによる BUF 書き込みはありません。

- (c) STALL 設定:

- (ア) 受信データパケットでマックスパケットサイズオーバーエラーを検出した時

- (イ) コントロール転送シーケンスエラーを検出した時

24.5.3 パイプコントロールレジスタの切り替え手順

パイプコントロールレジスタの以下のビットは、USB 通信が不許可 (“PID = NAK”) である時のみ書き換えが可能です。図 24.9 に USB 通信許可 (“PID = BUF”) 状態からパイプコントロールレジスタの切り替え手順を示します。

USB 通信許可 (“PID = BUF”) 状態では設定禁止であるレジスタ

- DCPMAXP レジスタの各ビット
- DCPCTR レジスタの SQCLR ビット、SQSET ビット
- PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタの各ビット
- PIPEXCTR レジスタの ATREPM ビット、ACLRM ビット、SQCLR ビット、SQSET ビット
- PIPEXTRE レジスタ、PIPEXTRN レジスタの各ビット

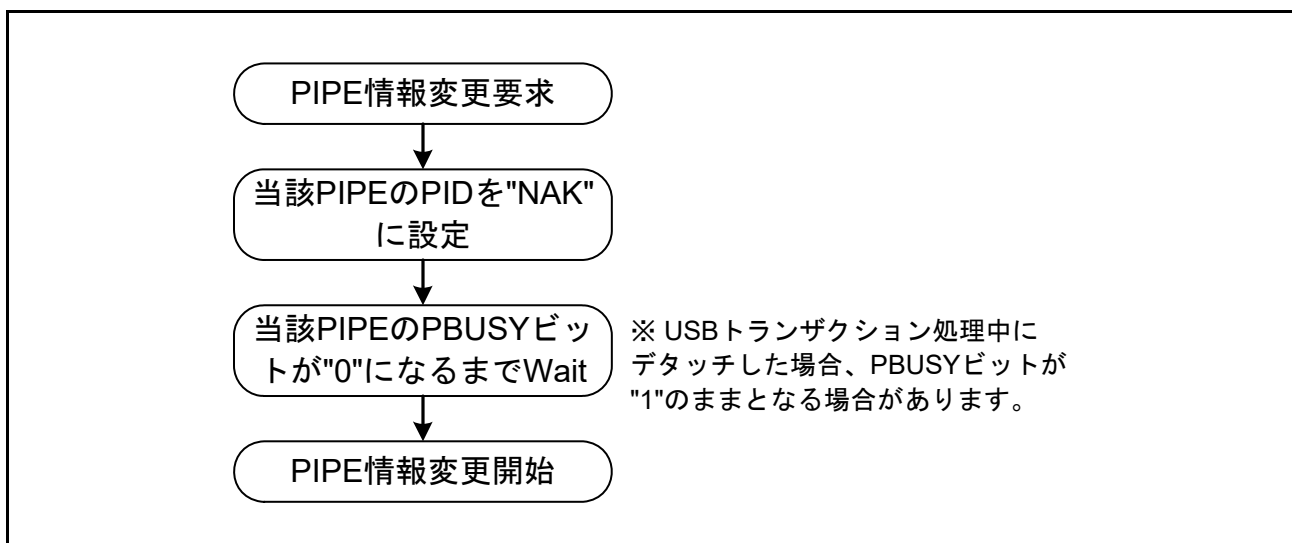


図 24.9 USB 通信許可 (“PID = BUF”) 状態からの PIPE 情報変更手順

また、パイプコントロールレジスタの以下のビットは、CPU/DMA0/DMA1-FIFO-PORT のいずれの CURPIPE にも設定されていない PIPE 情報のみ書き換えが可能です。

FIFO-PORT の CURPIPE に設定中に設定禁止であるレジスタ

- DCPMAXP レジスタの各ビット
- PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタの各ビット
- PIPEXCTR レジスタ、ACLRM ビット

PIPE 情報を変更する場合には、CURPIPE の設定を変更 PIPE 以外にしておいてください。なお、DCP については PIPE 情報修正後、BCLR ビットでバッファのクリア処理をしてください。

24.5.4 データ PID シーケンスビット

コントロール転送のデータステージ、バルク転送、インタラプト転送において正常なデータ転送が行われると、本コントローラーによりデータ PID のシーケンスビットが自動的にトグル動作します。次に送出されるデータ PID のシーケンスビットは、DCPCTR レジスタ、および PIPExCTR レジスタの SQMON ビットで確認できます。データ送信時は、ACK ハンドシェイク受信タイミングで、データ受信時は、ACK ハンドシェイク送信タイミングで、シーケンスビットが切り替わります。また、DCPCTR レジスタ、および PIPExCTR レジスタの SQCLR ビット、SQSET ビットでデータ PID シーケンスビットを変更可能です。

また、コントロール転送では、ステージ遷移時に本コントローラーが自動的にシーケンスビットを設定します。セットアップステージ終了時は DATA1 になります。ステータスステージではシーケンスビットは参照せず、PID = DATA1 で応答します。このため、ソフトウェアによる設定は必要ありません。ClearFeature リクエストの受信時などは、ソフトウェアでデータ PID シーケンスビットを設定する必要がありますので注意してください。

なお、アイソクロナス転送設定 PIPE は SQSET ビットによるシーケンスビット操作を行うことはできません。

24.6 FIFO バッファ

本章では本コントローラーに内蔵する FIFO バッファに関する動作を説明します。

24.6.1 FIFO バッファ割り当て

図 24.10 に本コントローラーの FIFO バッファのメモリマップ例を示します。FIFO バッファは、ユーザーシステムの制御用 CPU と本コントローラーが共用する領域です。FIFO バッファの状況には、アクセス権がユーザーシステム (CPU 側) にある場合と、本コントローラー (SIE 側) にある場合があります。

FIFO バッファは、PIPE ごとに独立した領域を設定します。メモリ領域は、64 バイトを 1 ブロックとして、ブロック先頭番号とブロック数 (PIPEBUF レジスタの BUFNMB ビット、および BUFSIZE ビットで指定) で設定します。PIPExCFG レジスタの CNTMD ビットで連続転送モードを選択した場合、BUFSIZE ビットの設定は、必ずマックスパケットサイズの整数倍になるように設定してください。また、PIPExCFG レジスタの DBLB ビットでダブルバッファを選択した場合には、同一 PIPE に対して PIPEBUF レジスタの BUFSIZE ビットで指定したメモリ領域が 2 面分割り当てられます。

FIFO バッファへのアクセス (データ読み書き) は、2 本の FIFO ポートを使用します。FIFO ポートに割り当てる PIPE は、C/DxFIFOSEL レジスタの CURPIPE ビットで PIPE 番号を指定します。

各 PIPE の FIFO バッファステータスは、DCPCTR レジスタ、および PIPExCTR レジスタの BSTS ビット、INBUFM ビットで確認できます。また、FIFO ポートのアクセス権は、C/DxFIFOCTR レジスタの FRDY ビットで確認できます。

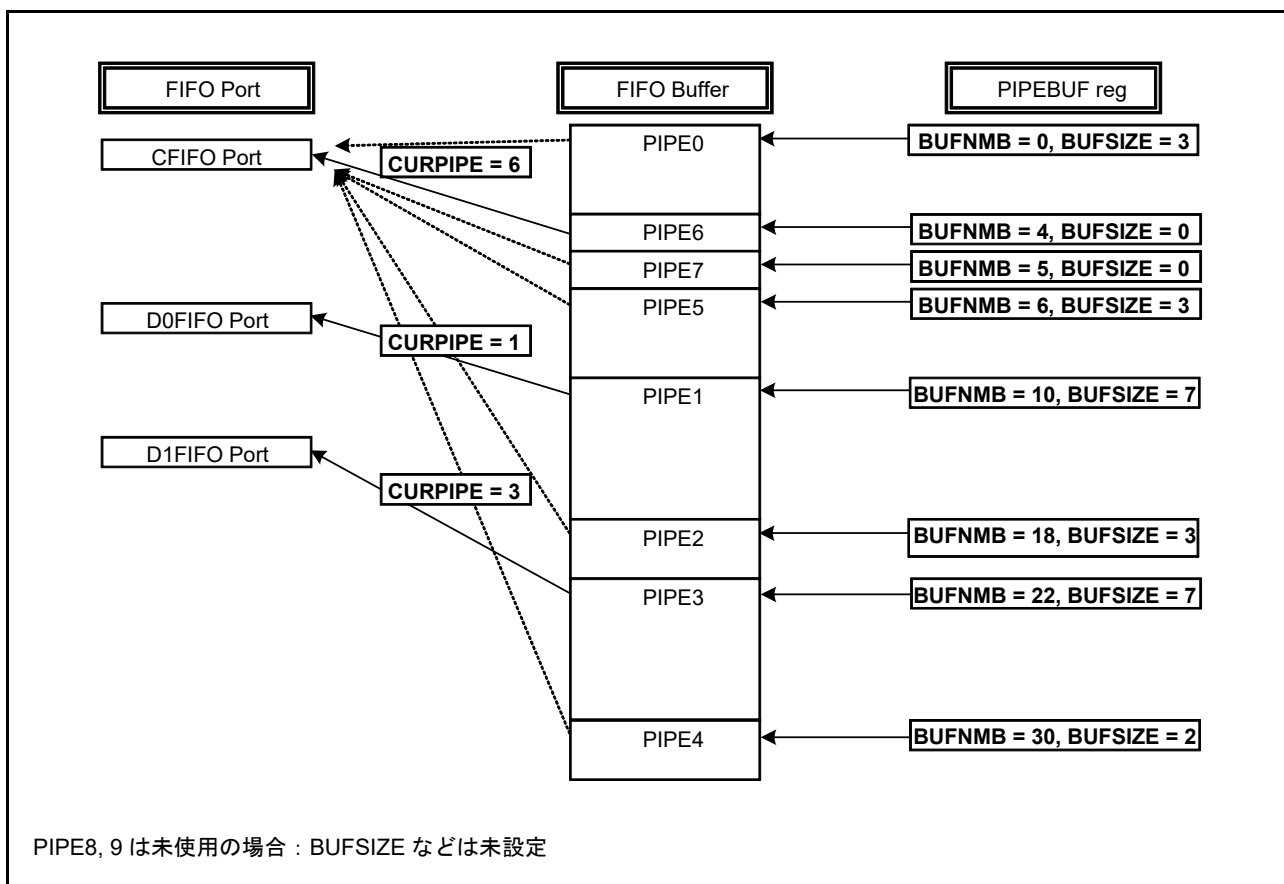


図 24.10 FIFO バッファのメモリマップ例

24.6.2 FIFO バッファクリア

「表 24.24 FIFO バッファクリア一覧表」に本コントローラーによる FIFO バッファのクリア一覧表を示します。FIFO バッファは以下の 3 ビットによってクリアできます。

表 24.24 FIFO バッファクリア一覧表

ビット名	BCLR	DCLRM	ACLRM
レジスタ	CFIFOCTR レジスタ DxFIFOCTR レジスタ	DxFIFOSEL レジスタ	PIPExCTR レジスタ
機能	CPU 側 FIFO バッファをクリアします	指定 PIPE のデータを読み出した後で、自動で FIFO バッファをクリアするモードです。	受信したパケットをすべて破棄する自動バッファクリアモードです。
クリア方法	"1" ライトでクリア	"1" モード有効 "0" モード無効	"1" モード有効 "0" モード無効

24.7 FIFO ポートの機能

本章では FIFO ポートに関する機能の説明をします。表 24.25 に本コントローラーの FIFO ポート機能設定表を示します。データ書き込み時は、バッファフル（非連続転送時はマックスパケットサイズ数）まで書き込みを行うと、自動的に USB バスに送信可能な状態となります。バッファフル（非連続転送時はマックスパケットサイズ数）未満のデータを送信可能状態にするには、C/DxFIFOCTR レジスタの BVAL ビットによる書き込み終了設定（DMA 転送時には DMAC の TEND 信号設定（詳細は、「14. DMA コントローラ (DMACa)」の章を参照願います））が必要です。また、Zero-Length パケットの送信は、同レジスタの BCLR ビットによるバッファクリアの上、BVAL ビットによる書き込み終了設定が必要です。

読み出し時は、すべてのデータを読み出すと、自動的に新しいパケット受信可能状態になります。ただし、Zero-Length パケット受信時（DTLN=0）、データは読み出せませんので、同レジスタの BCLR ビットによるバッファクリアが必要です。受信データ長は、C/DxFIFOCTR レジスタの DTLN ビットで確認します。

表 24.25 FIFOポート機能設定表

レジスタ名	ビット名	機能	備考
C/DxFIFOSEL	RCNT	DTLN読み出しモード選択	
	REW	バッファメモリリwind（再読み出し、再書き込み）	
	DCLRM	指定 PIPE の受信データ読み出し後自動クリア	DxFIFO 専用
	DREQE	DREQ 信号アサート	DxFIFO 専用
	MBW	FIFOポートアクセスビット幅	
	BIGEND	FIFOポートエンディアン選択	
	ISEL	FIFOポートアクセス方向	DCP 専用
	CURPIPE	カレントPIPE選択	
C/DxFIFOCTR	BVAL	バッファメモリ書き込み終了	
	BCLR	CPU側バッファメモリクリア	
	FRDY	FIFOポートレディーモニタ	
	DTLN	受信データ長確認	

24.7.1 FIFO ポート選択

表 24.26 に各 FIFO ポートで選択可能な PIPE 表を示します。C/DxFIFOSEL レジスタの CURPIPE ビットにて、アクセスする PIPE を選択します。PIPE 選択後、書き込んだ CURPIPE 値が正しく読み出せたことを確認してから（前回の PIPE 番号が読み出された場合には、本コントローラが PIPE 変更処理中であることを示します）、“FRDY = 1”を確認し FIFO ポートへアクセスしてください。図 24.11 に FIFO ポートアクセス時の PIPE の切り替え手順を示します。

また、MBW ビットでアクセスするバス幅を選択してください。バッファメモリアクセス方向は、DCP の場合は ISEL ビットの設定にしたがいます。その他の PIPE は、PIPECFG レジスタの DIR ビットにしたがいます。

表 24.26 PIPE別FIFOポートアクセス表

PIPE	アクセス方法	使用可能なポート
DCP	CPUアクセス	CFIFOポートレジスタ
PIPE1~PIPE9	CPUアクセス	CFIFOポートレジスタ
	DMAアクセス	DxFIFOポートレジスタ



図 24.11 FIFO ポートアクセス時の PIPE 切り替え手順

24.7.2 DxFIFO 自動クリアモード (DxFIFO ポート読み出し方向)

本コントローラーは、DxFIFOSEL レジスタの DCLRM ビットに “1” を設定することで、バッファメモリからのデータ読み出しを完了した場合に、当該 PIPE のバッファメモリを自動的にクリアします。

表 24.27 に各設定での、パケット受信とソフトウェアによるバッファメモリクリア処理の関連表を示します。

表 24.27 に示すように、BFRE ビットの設定値によりバッファクリア条件が異なりますが、クリアが必要な、どのような状態においても、DCLRM ビットを使用することでソフトウェアによるバッファクリアが不要になり、ソフトウェアを介在させない DMA 転送が可能となります。

なお、本機能はバッファメモリ読み出し方向のみ設定できます。

表 24.27 パケット受信とソフトウェアによるバッファメモリクリア処理の関連表

レジスタ設定	DCLRM = 0		DCLRM = 1	
	BFRE = 0	BFRE = 1	BFRE = 0	BFRE = 1
パケット受信時のバッファ状態				
バッファフル	クリア不要	クリア不要	クリア不要	クリア不要
Zero-Lengthパケット受信	クリア必要	クリア必要	クリア不要	クリア不要
通常のショートパケット受信	クリア不要	クリア必要	クリア不要	クリア不要
トランザクションカウント終了	クリア不要	クリア必要	クリア不要	クリア不要

24.7.3 BRDY 割り込みタイミング選択機能

PIPECFG レジスタの BFRE ビットの設定により、マックスパケットサイズのデータパケットを受信時に BRDY 割り込みを発生させないようにすることができます。

この機能により、DMA 転送を使用している場合に、最終データを受信したときのみ割り込みを発生させることができます。最終データとはショートパケットの受信、またはトランザクションカウントの終了を示します。“BFRE = 1” に設定している場合は、受信したデータを読み出した後で、BRDY 割り込みが発生します。DnFIFOCTR レジスタの DTLN ビットを読み出すことにより、BRDY 割り込みの発生時に最後に受信したデータパケットの受信データ長を確認することができます。

表 24.28 に本コントローラーの BRDY 割り込み発生タイミングを示します。

表 24.28 BRDY 割り込み発生タイミング表

レジスタ設定	BFRE = “0”	BFRE = “1”
パケット受信時のバッファ状態		
バッファフル (通常のパケット受信)	パケット受信時	発生しない
Zero-Lengthパケット受信	パケット受信時	パケット受信時
通常のショートパケット受信	パケット受信時	バッファメモリから、受信データの読み出し完了時
トランザクションカウント終了	パケット受信時	バッファメモリから、受信データの読み出し完了時

BFRE ビット機能はバッファメモリから読み出し方向のみ有効です。書き込み方向の場合には BFRE ビットは “0” に固定してください。

24.8 コントロール転送 (DCP)

コントロール転送のデータステージのデータ転送は、デフォルトコントロール PIPE (DCP) を使用します。DCP のバッファメモリは、コントロールリード、およびコントロールライト共用の固定領域で 64 バイトシングルバッファです。バッファメモリへのアクセスは、CFIFO ポートのみ可能です。

24.8.1 セットアップステージ

本コントローラーは、本コントローラーに対する正常なセットアップ packets に対して、必ず ACK 応答します。セットアップステージでの本コントローラーの動作を以下に示します。

- (1) 新しいセットアップ packets を受信すると、本コントローラーは、以下のビットをセットします。
 - (a) INTSTS0 レジスタの VALID ビットを“1”にセット
 - (b) DCPCTR レジスタの PID ビットを“NAK”にセット
 - (c) DCPCTR レジスタの CCPL ビットを“0”にセット
- (2) セットアップ packets に引き続き、データ packets 受信すると、本コントローラーは、USB リクエストのパラメータを、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタに格納します。

コントロール転送に対する応答処理は、必ず“VALID = 0”を設定後に行ってください。“VALID = 1”状態では“PID = BUF”設定が行えず、データステージを終了することができません。

VALID ビットの機能により、コントロール転送中に新しい USB リクエストを受信した場合には処理中のリクエスト処理を中断し、最新のリクエストに対する応答を行うことができます。

また、本コントローラーは、受信した USB リクエストの方向ビット (bmRequestType の bit8)、およびリクエストデータ長 (wLength) を自動判別し、コントロールリード転送、コントロールライト転送、およびコントロールライトノーデータ転送を識別し、ステージ遷移を管理します。間違ったシーケンスに対しては、コントロール転送ステージ遷移割り込みのシーケンスエラーが発生し、ソフトウェアに通知します。本コントローラーのステージ管理については図 24.8 を参照してください。

24.8.2 データステージ

受信した USB リクエストに対応したデータ転送を DCP で行ってください。DCP バッファメモリにアクセスする前に、CFIFOSEL レジスタの ISEL ビットでアクセス方向を指定してください。

DCPCTR レジスタの PID ビットを BUF に設定することでトランザクションを実行します。

データ転送の完了は、BRDY 割り込み、または BEMP 割り込みによって検出します。コントロールライト転送では BRDY 割り込みを、コントロールリード転送では BEMP 割り込みを使用してください。

Hi-Speed 動作時のコントロールライト転送では、バッファメモリの状況に応じて NYET ハンドシェイク応答を行います。

24.8.3 ステータスステージ

DCPCTR レジスタの PID ビットが “PID = BUF” の状態で、CCPL ビットに “1” を設定することによりコントロール転送を終了します。

上記設定後、セットアップステージで確定したデータ転送方向にしたがい、本コントローラーが自動的にステータスステージを実行します。具体的には以下のとおりです。

(1) コントロールリード転送の場合：

USB Host Controller からの Zero-Length パケットを受信し、ACK 応答を送信します。

(2) コントロールライト転送、ノーデータコントロール転送の場合：

本コントローラーは Zero-Length パケットの送信を行い、USB Host Controller からの ACK 応答を受信します。

24.8.4 コントロール転送自動応答機能

本コントローラーは、正常な SET_ADDRESS リクエストに自動応答します。SET_ADDRESS リクエストに以下のエラーがある場合は、ソフトウェアによる応答が必要です。

- (1) bmRequestType ≠ “00h”
- (2) wIndex ≠ “00h”
- (3) wLength ≠ “00h”
- (4) wValue > “7Fh”
- (5) DVSQ = “011b (Configured)”

SET_ADDRESS 以外のすべてのリクエストには対応するソフトウェアによる応答が必要です。

24.9 バルク転送 (PIPE1-5)

バルク転送は、バッファメモリの使用方法 (シングル/ダブルバッファ設定、もしくは連続/非連続転送モード設定) の選択ができます。バッファメモリサイズは、最大 2K バイトまで設定可能です。バッファメモリの状態はコントローラーが管理し、PING パケット/ NYET ハンドシェイクには自動応答します。

24.9.1 NYET ハンドシェイク制御

表 24.29 にバルク転送およびコントロール転送における受信トークンに対する応答一覧表を示します。本コントローラーは、バルク転送、およびコントロール転送において、OUT トークン受信時にバッファメモリに1パケット分の空き領域しかない場合に NYET 応答を行います。ただし、ショートパケット受信時は、この条件の場合でも NYET 応答をせずに ACK 応答を行います。

表 24.29 受信トークンに対する応答一覧表

PIDビット 設定値	バッファメモリ の状態	受信トークン	応答	備考
NAK / STALL	—	SETUP	ACK	—
	—	IN/OUT / PING	NAK / STALL	—
BUF	—	SETUP	ACK	—
	RCV-BRDY (注1)	OUT/PING	ACK	OUT トークン受信時はデータパケットを受信
	RCV-BRDY (注2)	OUT	NYET	データパケット受信
	RCV-BRDY (注2)	OUT (Short)	ACK	データパケット受信
	RCV-BRDY (注2)	PING	ACK	
	RCV-NRDY (注3)	OUT / PING	NAK	
	TRN-BRDY (注4)	IN	DATA0 / 1	データパケット送信
TRN-NRDY (注5)	IN	NAK		

注1. RCV-BRDY: OUT/PING トークン受信時にバッファメモリに2パケット分以上の空き領域がある。

注2. RCV-BRDY: OUT トークン受信時にバッファメモリに1パケット分の空き領域しかない。

注3. RCV-NRDY: PING トークン受信時にバッファメモリに空き領域がない。

注4. TRN-BRDY: IN トークン受信時にバッファメモリに送信データがある。

注5. TRN-NRDY: IN トークン受信時にバッファメモリに送信データがない。

24.10 インタラプト転送 (PIPE6-9)

本コントローラーは、ホストコントローラーが管理している周期にしたがってインタラプト転送を行います。インタラプト転送の場合、PING パケットを無視（無応答）します。また、NYET ハンドシェイクを送信せず、ACK、NAK、STALL 応答を行います。

なお、本コントローラーは、インタラプト転送の High-Bandwidth 転送には対応していません。

24.11 アイソクロナス転送 (PIPE1-2)

本コントローラーは、アイソクロナス転送に対して以下の機能を備えています。

- (1) アイソクロナス転送のエラー情報通知
- (2) インターバルカウンタ (IITV ビット指定)
- (3) アイソクロナス IN 転送データセットアップコントロール (IDLY 機能)
- (4) アイソクロナス IN 転送バッファフラッシュ機能 (IFIS ビット指定)
- (5) SOF パルス出力機能

本コントローラーは、アイソクロナス転送の High-Bandwidth 転送には対応していません。

24.11.1 アイソクロナス転送のエラー検出

本コントローラーは、アイソクロナス転送のエラー発生をソフトウェアが管理するために、以下のエラー情報の検出機能を持っています。表 24.30、および表 24.31 にエラーを確認する順番と発生する割り込みについて示します。

- (1) PID エラー
受信パケットの PID が不正な場合。
- (2) CRC エラー、ビットスタッフィングエラー
受信パケットの CRC にエラーがあった場合。またはビットスタッフィングが不正な場合。
- (3) マックスパケットサイズオーバー
受信パケットのデータサイズがマックスパケットサイズの設定値を越えていた。
- (4) オーバラン、アンダランエラー
IN 方向（送信）の転送時に IN トークン受信時にバッファメモリにデータがない場合。
OUT 方向（受信）の転送時に OUT トークンを受信したがバッファメモリに空き領域が無い場合。
- (5) インターバルエラー
以下の場合にインターバルエラーとします。
 - (a) アイソクロナス IN 転送でインターバルフレームに IN トークンを受信できなかった場合。
 - (b) アイソクロナス OUT 転送でインターバルフレームに OUT トークンを受信できなかった場合。

表 24.30 トークン送受信時のエラー検出

検出の優先順位	エラー種別	エラー検出時に発生する割り込みとステータス
1	PIDエラー	割り込み発生せず（破損パケットとして無視）
2	CRCエラー、ビットスタッフィングエラー	割り込み発生せず（破損パケットとして無視）
3	オーバラン、アンダランエラー	NRDY割り込みを発生し、OVRNビットをセットします。 IN トークンに対して、Zero-Lengthパケットを送信します。OUT トークンに対してデータパケットを受信しません。
4	インターバルエラー	NRDY割り込みを発生します。

表 24.31 データパケット受信時のエラー検出

検出の優先順位	エラー種別	発生する割り込みとステータス
1	PIDエラー	割り込み発生せず（破損パケットとして無視）
2	CRCエラー、ビットスタッフィングエラー	NRDY割り込みを発生し、CRCEビットをセットします。
3	マックスパケットサイズオーバーエラー	BEMP割り込みを発生し、PIDを“STALL”にセットします。

24.11.2 DATA-PID

本コントローラーは High-Bandwidth 転送には対応していません。受信した PID に対する対応を以下に示します。

- (1) IN 方向 :
- (a) DATA0 : データパケットのPIDとして送信します。
 - (b) DATA1 : 送信しません。
 - (c) DATA2 : 送信しません。
 - (d) mData : 送信しません。
- (2) OUT 方向 (Full-Speed 動作時) :
- (a) DATA0 : データパケットのPIDとして正常受信します。
 - (b) DATA1 : データパケットのPIDとして正常受信します。
 - (c) DATA2 : パケットを無視します。
 - (d) mData : パケットを無視します。
- (3) OUT 方向 (Hi-Speed 動作時) :
- (a) DATA0 : データパケットのPIDとして正常受信します。
 - (b) DATA1 : データパケットのPIDとして正常受信します。
 - (c) DATA2 : データパケットのPIDとして正常受信します。
 - (d) mData : データパケットのPIDとして正常受信します。

24.11.3 インターバルカウンタ

24.11.3.1 動作概要

PIPEPERI レジスタの IITV ビットによりアイソクロナス転送のインターバルを設定できます。インターバルカウンタにより、表 24.32 の機能を実現します。

表 24.32 インターバルカウンタの機能

転送方向	機能	検出条件
IN	送信バッファフラッシュ機能	アイソクロナスIN転送でインターバルフレームにINトークンを正常受信できない
OUT	トークン未受信の通知	アイソクロナスOUT転送でインターバルフレームにOUTトークンを正常受信できない

インターバルのカウントは、SOF の受信または補完された SOF で行いますので、SOF が破損しても等時性を保つことができます。設定できるフレーム間隔は 2IITV (μ) フレームです。

24.11.3.2 インターバルカウンタの初期化

本コントローラーは、以下の条件でインターバルカウンタを初期化します。

- (1) H/W リセット
IITV ビットが初期化されます。
- (2) ACLRM ビットによるバッファメモリのクリア
IITV ビットは初期化されませんがカウントは初期化されます。
- (3) USB バスリセット

インターバルカウンタが初期化された後は、正常にパケットを転送したあとに、以下の条件でインターバルのカウントを開始します。

- (1) “PID = BUF” 状態で IN トークンに対して、データを送信後の SOF 受信
- (2) “PID = BUF” 状態で OUT トークンのデータを受信後の SOF 受信

なお、以下の条件ではインターバルカウンタは初期化されません。

- (1) PID を NAK または STALL に設定した場合
インターバルタイマは停止しません。次のインターバルにトランザクションの実行を試みます。
- (2) USB バスリセット、USB サスペンド
IITV ビットは初期化されません。SOF を受信すると、受信前の値からカウントを開始します。

24.11.4 アイソクロナス転送送信データセットアップ

本コントローラーのアイソクロナスデータ送信では、バッファメモリにデータ書き込み後、SOF パケットを検出した次のフレームでデータパケットの送出が可能になります。この機能をアイソクロナス転送送信データセットアップ機能と呼びます。この機能により送信を開始したフレームを特定することができます。

バッファメモリをダブルバッファで使用している場合で、両方のバッファの書き込みが終了している場合も、転送可能状態になるバッファメモリは先に書き込みを終了した 1 面だけとなります。このため同一フレームで、複数の IN トークンを受信しても、送出されるバッファメモリはただ 1 パケット分となります。

IN トークンの受信時に、バッファメモリが送信可能状態であればデータ転送し正常応答します。しかし、バッファメモリが送信不能状態であれば、Zero-Length パケットを送出しアンダランエラーとなります。

図 24.12 に本コントローラーで、“IITV = 0 (毎フレーム)” を設定した場合のアイソクロナス転送送信データセットアップ機能による送信例を示します。

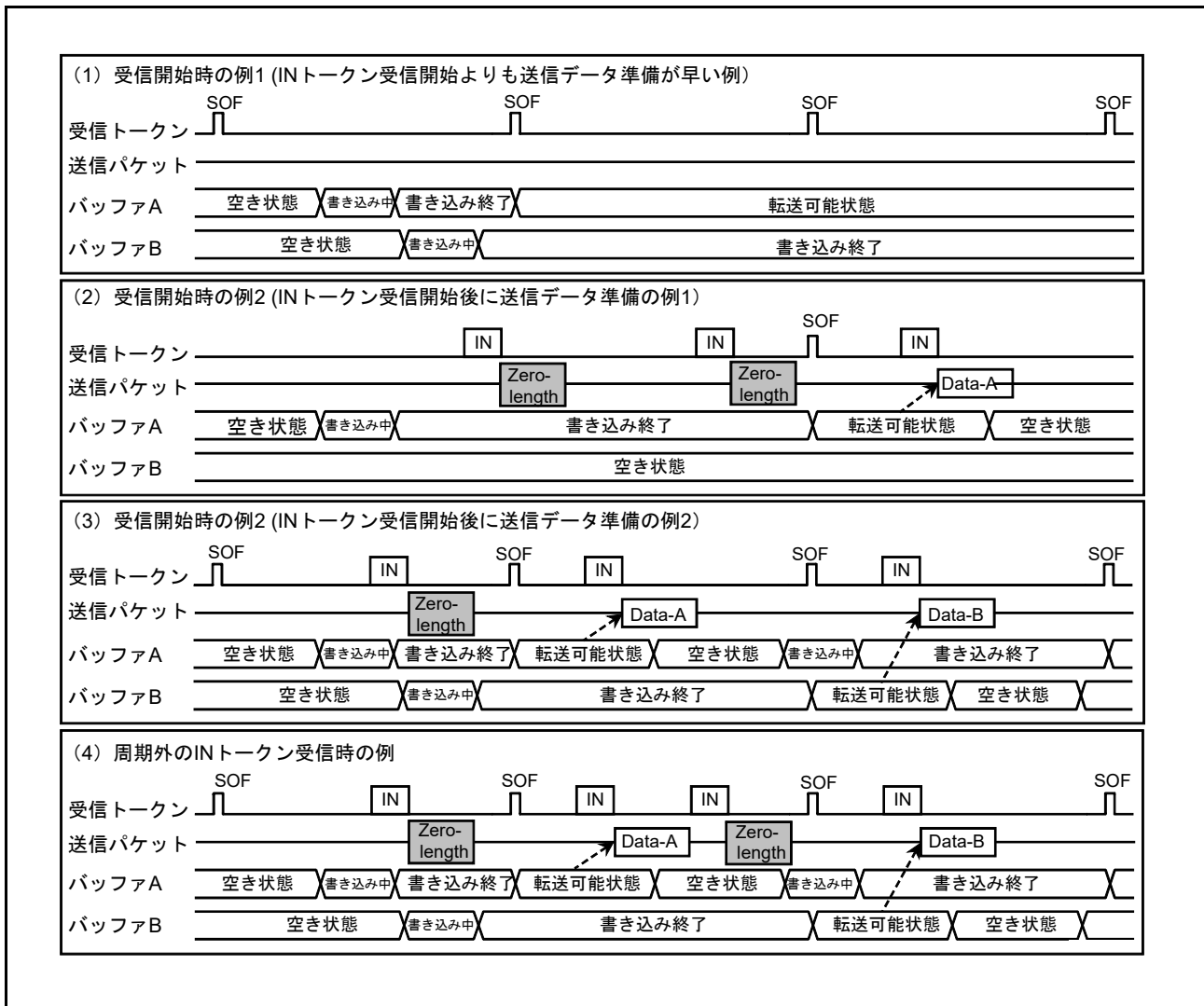


図 24.12 データセットアップ機能動作例

24.11.5 アイソクロナス転送送信バッファフラッシュ

本コントローラーは、アイソクロナスデータ送信でインターバルフレームに IN トークンを受信せず、次フレームの (μ) SOF パケットを受信した場合は、IN トークン破損として扱い、送信可能状態となっているバッファをクリアし、そのバッファを書き込み可能状態にします。

また、このときにダブルバッファで使用しており両方のバッファの書き込みが終了している場合は、破棄したバッファメモリを同インターバルフレームで送信されたものとみなして、(μ) SOF パケット受信で破棄されていないバッファメモリを転送可能状態にします。

バッファフラッシュ機能は IITV ビット設定値により動作開始タイミングが異なります。

(1) IITV = 0 の場合

PIPE が有効となった次のフレームからバッファフラッシュ動作します。

(2) IITV = 0 以外の場合

最初の正常なトランザクション以降バッファフラッシュ動作します。

図 24.13 に本コントローラーのバッファフラッシュ機能の動作例を示します。ただし、設定されたインターバル間隔外 (インターバルフレーム前のトークン) に対しては、データセットアップ状態にしたがい、書き込みデータの送出手くはアンダランエラーとして Zero-Length パケットを送出します。

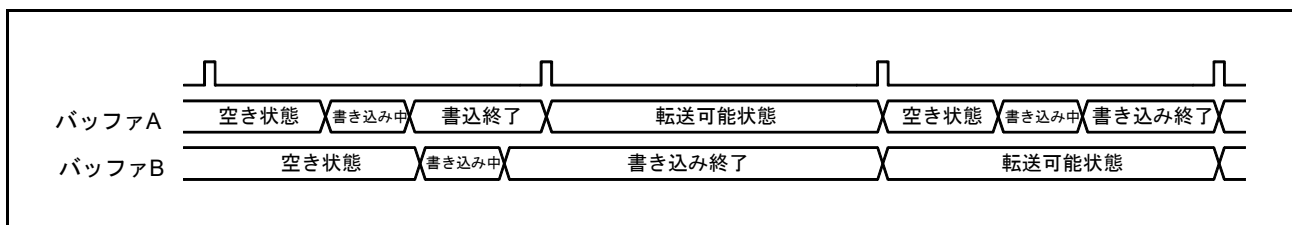


図 24.13 バッファフラッシュ機能動作例

図 24.14 に本コントローラーのインターバルエラー発生例を示します。インターバルエラーは以下の5種類です。図中の①タイミングでインターバルエラーが発生しバッファフラッシュ機能が動作します。

インターバルエラーの場合、IN 転送時にバッファフラッシュ機能が動作し、OUT 転送時はNRDY 割り込みが発生します。

受信パケットエラーなどのNRDY 割り込みとオーバランエラーとの区別はOVRN ビットで判断してください。

図中網掛けのトークンに対しては、バッファメモリの状態に応じた応答になります。

(1) IN 方向 :

- (a) バッファ転送可能状態であればデータ転送し正常応答
- (b) バッファ転送不能状態であればZero-Lengthパケット送信しアンダランエラー

(2) OUT 方向 :

- (a) バッファ受信可能状態であればデータ受信し正常応答
- (b) バッファ受信不能状態であればデータ破棄しオーバランエラー

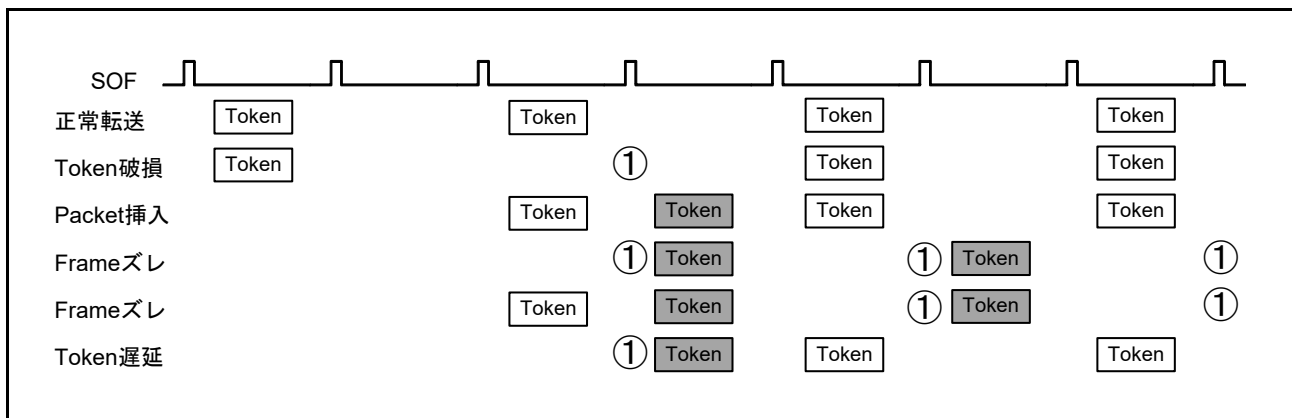


図 24.14 “IITV = 1” の時のインターバルエラー発生例

24.12 SOF 補間機能

SOF パケットの破損、もしくは欠落のために 1ms (Full-Speed 動作時) または 125 μ s (Hi-Speed 動作時) 間隔で受信できなかった場合に、コントローラ内部で SOF を補間します。SOF 補間動作の開始は “USBE = 1” かつ “SUSPM = 1” かつ SOF パケット受信となります。また、以下の条件で補間機能が初期化されます。

- (1) H/W リセット
- (2) USB バスリセット
- (3) サスペンド検出

また、SOF 補間は次の仕様で動作します。

- (1) フレーム間隔 (125 μ s または 1ms) はリセットハンドシェイクプロトコルの結果にしたがう。
- (2) SOF パケット受信までは補間機能は動作しない。
- (3) 最初の SOF パケット受信後は、内部クロック 48MHz で 125 μ s もしくは 1ms をカウントし補間する。
- (4) 2 回目以降の SOF パケットを受信後は、前回の受信間隔を用いて補間する。
- (5) サスペンド時、および USB バスリセット受信中は補間しない。

(Hi-Speed 動作時のサスペンド移行では最終パケットから 3ms 間は補間を継続します)

SOF 補間機能は次の機能で動作します。

- (1) フレーム番号、およびマイクロフレーム番号の更新
- (2) SOFR 割り込み、および μ SOF ロック
- (3) SOF パルス出力
- (4) アイソクロナス転送インターバルカウント

Full-Speed 動作時に SOF パケットが欠落した場合には、FRMNUM レジスタの FRNM ビットは更新されません。

Hi-Speed 動作時に μ SOF パケットが欠落した場合には、UFRMNUM レジスタの UFRNM ビットが更新されます。

ただし、“ μ FRNM = 000b” の μ SOF パケットが欠落した場合には、FRNM ビットは更新されません。この場合は、継続する “ μ FRNM = 000b” 以外の μ SOF パケットが正常に受信されても FRNM ビットは更新されません。

25. FIFO内蔵シリアルコミュニケーションインタフェース (SCIFA)

本 LSI は、調歩同期式通信とクロック同期式通信の 2 方式をサポートする FIFO 内蔵シリアルコミュニケーションインタフェース (SCIFA) を 5 チャンネル内蔵しています。SCIFA は、各チャンネルとも独立に送信と受信に 16 段の FIFO バッファを内蔵し、効率的かつ高速な連続通信を可能にしています。

25.1 概要

表 25.1 に SCIFA の仕様を示します。

表 25.1 SCIFA の仕様

項目	内容	
チャンネル	5チャンネル	
シリアル通信方式	調歩同期式、クロック同期式 (注1)	
転送速度	内蔵ポーレートジェネレータにより任意のビットレートを設定可能	
全二重通信	送信部：16段のFIFOバッファによる連続送信が可能 受信部：16段のFIFOバッファによる連続受信が可能	
データ転送	LSBファースト/MSBファースト選択可能	
割り込み要因	6要因 <ul style="list-style-type: none"> • トランスミットエンド (TEIF) • 送信FIFOデータエンpty (TXIF) • 受信FIFOデータフル (RXIF) • 受信データレディ (DRIF) (注2) • フレーミングエラーまたはパリティエラー (ERIF) • ブレークまたはオーバラン (BRIF) 	
調歩同期式モード	キャラクタ長	7ビット/8ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出	パリティエラー、オーバランエラー、フレーミングエラーを受信エラーとして検出
	ハードウェアフロー制御	CTS#端子、RTS#端子を用いた送受信制御が可能 (注1)
	ブレーク検出	ハードウェアによるブレーク信号検出機能
	クロックソース	内部クロック/外部クロックから選択
	ノイズ除去	RXD端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード (注1)	キャラクタ長	8ビット
	受信エラー検出	オーバランエラーを受信エラーとして検出
	クロックソース	内部クロック/外部クロックから選択
ビットレートモジュレーション機能	内蔵ポーレートジェネレータの出力補正により誤差を低減可能	

注1. チャンネル0~2のみ設定可能

注2. 調歩同期式モードのときのみ有効

図 25.1 に SCIFA のブロック図を示します。

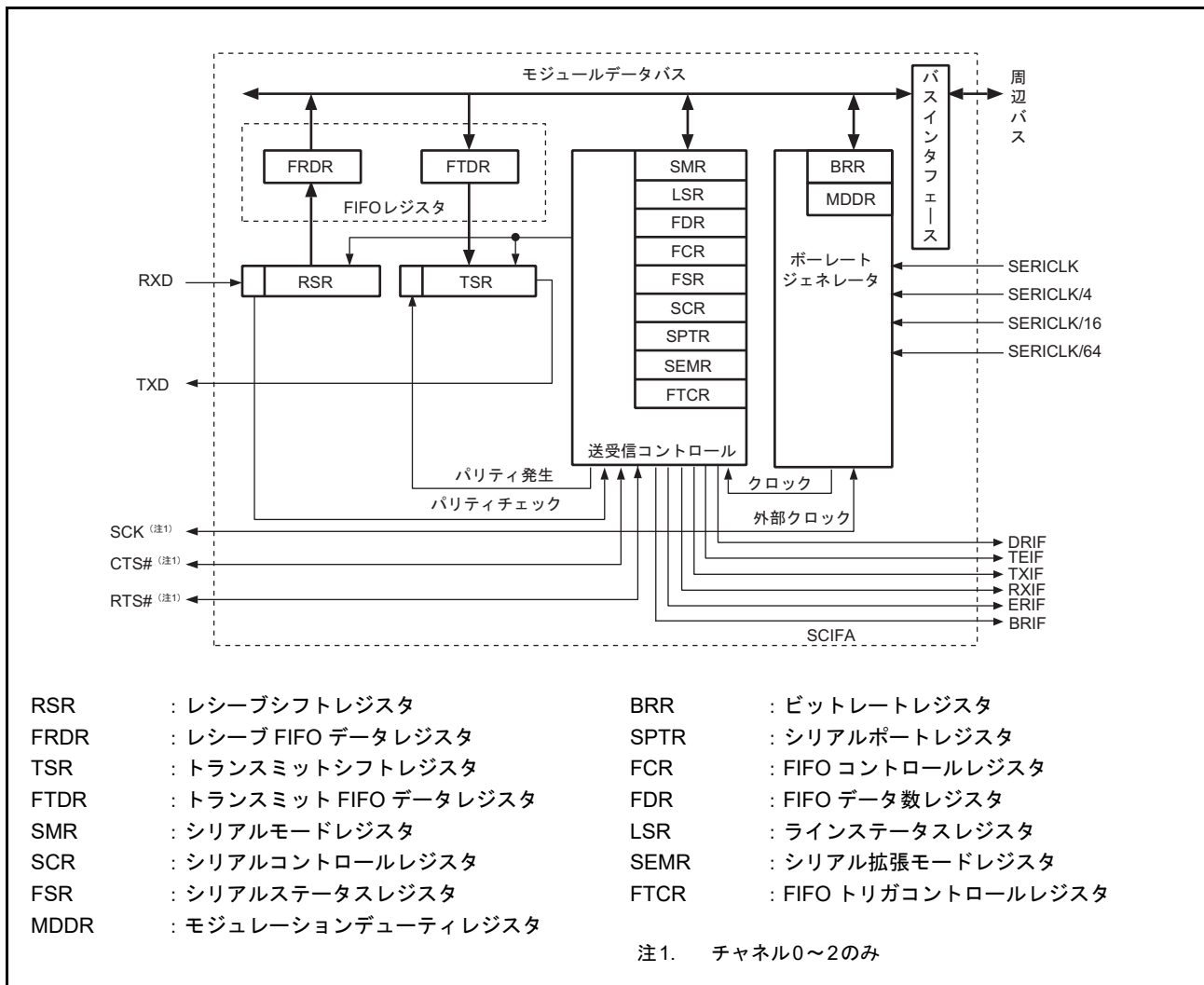


図 25.1 SCIFA のブロック図

表 25.2 に SCIFA の入出力端子を示します。

表 25.2 SCIFAの入出力端子

名称	端子名	入出力	機能
シリアルクロック端子	SCK (注1)	入出力	送受信クロック入出力／汎用出力
受信データ端子	RXD	入力	受信データ入力
送信データ端子	TXD	出力	送信データ出力
送受信開始制御端子	CTS# (注1)	入出力	ハードウェアフロー制御用入力 (送信可信号)／汎用出力
	RTS# (注1)	出力	ハードウェアフロー制御用出力 (送信要求信号)／汎用出力

注. 各端子名のチャンネルは省略して表記しています。

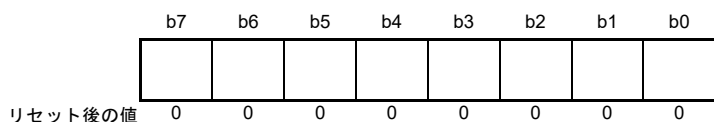
注1. チャンネル0~2のみ

25.2 レジスタの説明

25.2.1 レシーブシフトレジスタ (RSR)

RSR レジスタは、受信したシリアルデータを一時格納するレジスタです。SCIFA は、RXD 端子に入力されたシリアルデータを RSR レジスタに格納します。1 バイトのデータ受信が終了すると、データは自動的にレシーブ FIFO データレジスタ (FRDR) に転送されます。

CPU から直接 RSR レジスタの読み出し／書き込みはできません。



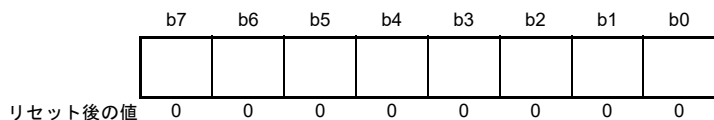
25.2.2 レシーブ FIFO データレジスタ (FRDR)

FRDR レジスタは、受信したシリアルデータを格納する 8 ビット 16 段の FIFO レジスタです。SCIFA は、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (RSR) から FRDR レジスタに受信したシリアルデータを転送し、受信動作を完了します。16 バイトの受信データの格納が終了するまで、連続した受信動作が可能です。レシーブ FIFO データレジスタに受信データがない状態で FRDR レジスタを読み出した場合、不定値が読めます。

FRDR レジスタが受信データでいっぱいになると、それ以降に受信したシリアルデータは失われます。

CPU は FRDR レジスタに対する読み出しはできますが、書き込みはできません。

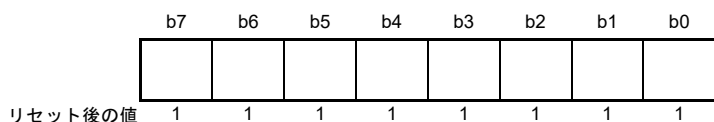
アドレス SCIFA0.FRDR A006 500Ah、SCIFA1.FRDR A006 540Ah、SCIFA2.FRDR A006 580Ah、SCIFA3.FRDR A006 5C0Ah、SCIFA4.FRDR A006 600Ah



25.2.3 トランスミットシフトレジスタ (TSR)

SCIFA は、トランスミット FIFO データレジスタ (FTDR) から送信データをいったん TSR レジスタに転送し、TXD 端子に送り出すことでシリアルデータ送信を行います。1 バイトのデータを送信後、自動的に FTDR レジスタから TSR レジスタに次の送信データを転送し、送信を開始します。

CPU から、直接 TSR レジスタの読み出し／書き込みはできません。



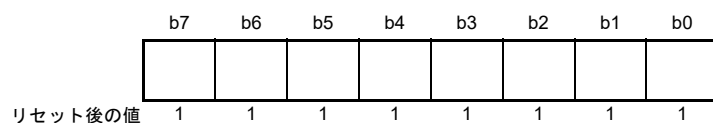
25.2.4 トランスミット FIFO データレジスタ (FTDR)

FTDR レジスタは、シリアル送信データを格納する 8 ビット 16 段の FIFO レジスタです。SCIFA は、トランスミットシフトレジスタ (TSR) の空を検出すると、FTDR レジスタに書き込まれた送信データを TSR レジスタに転送してシリアル送信を開始します。FTDR レジスタの送信データが空になるまで連続してシリアル送信ができます。FTDR レジスタへの送信データの書き込みは、送信データエンプティ割り込み (TXIF) 要求が発生したときに行ってください。

FTDR レジスタが送信データでいっぱい (16 バイト) になると、次のデータを書き込むことができません。書き込みを行ってもデータは無視されます。

CPU は FTDR レジスタに対する書き込みはできますが、読み出しはできません。

アドレス SCIFA0.FTDR A006 5006h、SCIFA1.FTDR A006 5406h、SCIFA2.FTDR A006 5806h、SCIFA3.FTDR A006 5C06h、SCIFA4.FTDR A006 6006h

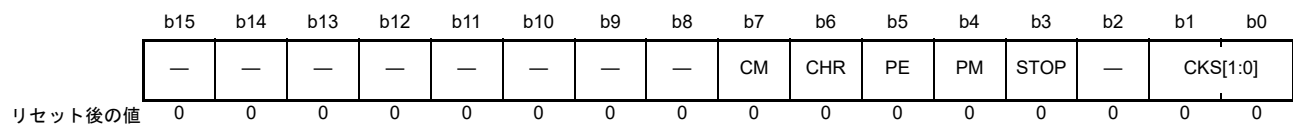


25.2.5 シリアルモードレジスタ (SMR)

SMR レジスタは、SCIFA のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するためのレジスタです。

SMR レジスタは、常に CPU による読み出し/書き込みが可能です。

アドレス SCIFA0.SMR A006 5000h、SCIFA1.SMR A006 5400h、SCIFA2.SMR A006 5800h、SCIFA3.SMR A006 5C00h、SCIFA4.SMR A006 6000h



ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択ビット	b1 b0 00 : SERICLKクロック (注1) 01 : SERICLK/4クロック (注1) 10 : SERICLK/16クロック (注1) 11 : SERICLK/64クロック (注1)	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	STOP	ストップビットレングスビット	0 : 1ストップビット 1 : 2ストップビット	R/W
b4	PM	パリティモードビット	0 : 偶数パリティ 1 : 奇数パリティ	R/W
b5	PE	パリティ許可ビット	0 : パリティビットの付加、およびチェックを禁止 1 : パリティビットの付加、およびチェックを許可	R/W
b6	CHR	キャラクタレングスビット	0 : 8ビットデータ 1 : 7ビットデータ (注2)	R/W
b7	CM	コミュニケーションモードビット	0 : 調歩同期式モード 1 : クロック同期式モード (チャンネル0~2のみ設定可能。チャンネル3、4では設定禁止)	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SERICLK : 周辺クロック

注2. 7ビットデータを選択した場合、トランスミットFIFOデータレジスタのMSB (b7) は送信されません。

CKS[1:0] ビット (クロックセレクト選択ビット)

内蔵ボーレートジェネレータの内部クロックソースを選択します。

クロックソースと、ビットレートレジスタの設定値、およびボーレートの関係については、「25.2.8 ビットレートレジスタ (BRR)」を参照してください。

STOP ビット (ストップビットレングスビット)

調歩同期式モードでのストップビットの長さを1ビット/2ビットのいずれかから選択します。STOP ビットの設定は調歩同期式モードでのみ有効です。クロック同期式モードに設定した場合、ストップビットは付加されませんので、このビットの設定は無効です。なお、受信時はSTOP ビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。

ストップビットの2ビット目が“1”の場合はストップビットとして扱いますが、“0”の場合は次の送信キャラクタのスタートビットとして扱います。

注. STOP ビットが“1”で送信時は、送信キャラクタの最後尾に1ビットの“1” (ストップビット) を付加して送信します。

注. STOP ビットが“2”で送信時は、送信キャラクタの最後尾に2ビットの“1” (ストップビット) を付加して送信します。

PM ビット (パリティモードビット)

パリティチェックを偶数パリティまたは奇数パリティのいずれで行うかを選択します。本ビットの設定は、調歩同期式モード、かつ本レジスタのPE ビットに“1”を設定したときのみ有効になります。クロック同期式モード、または調歩同期式モードでパリティの付加、およびチェックを禁止している場合、本ビットの指定は無効です。

注. 偶数パリティに設定した場合、送信時には、パリティビットと送信キャラクタをあわせて、その中の“1”の数の合計が偶数になるようにパリティビットを付加して送信します。受信時は、パリティビットと受信キャラクタをあわせて、その中の“1”の数の合計が偶数かどうかをチェックします。

注. 奇数パリティに設定した場合、送信時には、パリティビットと送信キャラクタをあわせて、その中の“1”の数の合計が奇数になるようにパリティビットを付加して送信します。受信時は、パリティビットと受信キャラクタをあわせて、その中の“1”の数の合計が奇数かどうかをチェックします。

PE ビット (パリティイネーブル許可ビット)

調歩同期式モードでの送信時のパリティビット付加、受信時のパリティビットチェックの許可/禁止を選択します。クロック同期式モードでは、本ビットの設定にかかわらずパリティビットの付加およびチェックは行いません。

注. 本ビットに“1”をセットすると、送信時にはPM ビットで指定した偶数または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットがPM ビットで指定した偶数または奇数パリティになっているかどうかをチェックします。

CHR ビット (キャラクタレングスビット)

調歩同期式モードのデータ長を7ビット/8ビットデータのいずれかから選択します。クロック同期式モードでは、CHR の設定にかかわらず、データ長は8ビットデータ固定です。

CM ビット (コミュニケーションモードビット)

SCIFA の動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。クロック同期式モードはチャンネル0～2のみ設定可能です。

25.2.6 シリアルコントロールレジスタ (SCR)

SCR レジスタは、SCIFA の送信/受信動作、割り込み要求の許可/禁止、および送信/受信クロックソースの選択を行うレジスタです。SCR レジスタは、常に CPU による読み出し/書き込みが可能です。

アドレス SCIFA0.SCR A006 5004h、SCIFA1.SCR A006 5404h、SCIFA2.SCR A006 5804h、SCIFA3.SCR A006 5C04h、SCIFA4.SCR A006 6004h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	TIE	RIE	TE	RE	REIE	TEIE	CKE[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロック許可ビット	(調歩同期式モードの場合) b1 b0 0 0: 内部クロック/SCK端子は、入力端子 (入力信号は無視)。 SCK端子の状態はSPTRのSCKIOビット、SCKDTビットに依存します。 0 1: 内部クロック/SCK端子はクロック出力 (ビットレートの16倍または8倍の周波数のクロックを出力) 1 0: 外部クロック/SCK端子はクロック入力 (ビットレートの16倍または8倍の周波数のクロックを入力) 1 1: 設定しないでください (クロック同期式モードの場合) b1 b0 0 0: 内部クロック/SCK端子は同期クロック出力 0 1: 内部クロック/SCK端子は同期クロック出力 1 0: 外部クロック/SCK端子は同期クロック入力 1 1: 設定しないでください	R/W
b2	TEIE (注1)	トランスミットエンドインタラプト許可ビット	0: トランスミットエンド割り込み (TEIF) 要求を禁止 1: トランスミットエンド割り込み (TEIF) 要求を許可	R/W
b3	REIE	レシーブエラーインタラプト許可ビット	0: 受信エラー割り込み (ERIF) 要求、ブ레이크割り込み (BRIF) 要求を禁止 1: 受信エラー割り込み (ERIF) 要求、ブ레이크割り込み (BRIF) 要求を許可	R/W
b4	RE	レシーブ許可ビット	0: 受信動作を禁止 1: 受信動作を許可	R/W
b5	TE	トランスミット許可ビット	0: 送信動作を禁止 1: 送信動作を許可	R/W
b6	RIE	レシーブインタラプト許可ビット	0: 受信FIFOデータフル割り込み (RXIF) 要求、受信データレディ割り込み (DRIF) 要求、受信エラー割り込み (ERIF) 要求、およびブ레이크割り込み (BRIF) 要求を禁止 1: 受信FIFOデータフル割り込み (RXIF) 要求、受信データレディ割り込み (DRIF) 要求、受信エラー割り込み (ERIF) 要求、およびブ레이크割り込み (BRIF) 要求を許可	R/W
b7	TIE	トランスミットインタラプト許可ビット	0: 送信FIFOデータエンpty割り込み (TXIF) 要求を禁止 1: 送信FIFOデータエンpty割り込み (TXIF) 要求を許可	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. TEIF割り込み要求を解除するには、TENDフラグの“1”を読み出した後、“0”にクリアするか、TEIEビットを“0”にしてください。

CKE[1:0] ビット (クロック許可ビット)

SCIFA のクロックソースの選択、および SCK 端子からのクロック出力の許可/禁止を設定します。本ビットで SCK 端子をシリアルクロック出力端子にするか、シリアルクロック入力端子にするかを選択します。クロック同期式モードで、SCK 端子を同期クロック出力に設定する場合は、SMR レジスタの CM ビットを“1”に設定してから本ビットを設定してください。設定内容を表 25.15 に示します。

REIE ビット (レシーブエラーインタラプト許可ビット)

受信エラー割り込み (ERIF) 要求、ブレーク割り込み (BRIF) 要求の許可/禁止を設定します。本ビットの設定は RIE ビットが“0”のときのみ有効です。

- 注. ERIF 割り込み要求の解除は、FSR レジスタの ER ビットの“1”を読み出した後、“0”にクリアするか、本レジスタの RIE、REIE ビットを共に“0”にクリアすることで行います。BRIF 割り込み要求の解除は、FSR レジスタの BRK ビット、LSR レジスタの ORER フラグの“1”を読み出した後、“0”にクリアするか、本レジスタの RIE、REIE ビットを共に“0”にクリアすることで行います。

RE ビット (レシーブ許可ビット)

シリアル受信動作の許可/禁止を設定します。

- 注. 本ビットを“0”に設定しても FSR レジスタの DR、ER、BRK、RDF、FER、PER、LSR レジスタの ORER の各ビットは影響を受けず、状態を保持しますので注意してください。
- 注. 受信動作を許可した状態で、調歩同期モードの場合はスタートビットを、クロック同期モードの場合は同期クロック入力を検出すると、シリアル受信を開始します。なお、本ビットを“1”にセットする前に必ずシリアルモードレジスタ (SMR)、FIFO コントロールレジスタ (FCR) の設定を行い、受信フォーマットを決定し、受信 FIFO をリセットしてください。

TE ビット (トランスミット許可ビット)

シリアル送信動作の許可/禁止を設定します。

- 注. 送信動作を許可した状態で、FTDR レジスタに送信データを書き込むとシリアル送信を開始します。なお、本ビットを“1”にセットする前に、必ず SMR レジスタおよび FCR レジスタの設定を行い、送信フォーマットを決定し、送信 FIFO をリセットしてください。

RIE ビット (レシーブインタラプト許可ビット)

シリアルステータスレジスタ (FSR) の RDF フラグが“1”にセットされたときの受信 FIFO データフル割り込み (RXIF) 要求、FSR レジスタの DR フラグが“1”にセットされたときの受信データレディ割り込み (DRIF) 要求、FSR レジスタの ER フラグが“1”にセットされたときの受信エラー割り込み (ERIF) 要求、および FSR レジスタの BRK フラグまたはラインステータスレジスタ (LSR) の ORER フラグが“1”にセットされたときのブレーク割り込み (BRIF) 要求の許可/禁止を設定します。

- 注. RXIF 割り込み要求の解除は、FSR レジスタの DR または RDF フラグの“1”を読み出した後、“0”にクリアするか、本ビットを“0”にクリアすることで行えます。DRIF 割り込み要求の解除は、FSR レジスタの DR フラグの“1”を読み出した後、“0”にクリアするか、本レジスタの RIE ビットを“0”にクリアすることで行います。受信エラー割り込み (ERIF) 要求、およびブレーク割り込み (BRIF) 要求の解除は、本レジスタの RIE ビット、および REIE ビットを共に“0”にクリアすることで行います。

TIE ビット (トランスミットインタラプト許可ビット)

トランスミット FIFO データレジスタ (FTDR) からトランスミットシフトレジスタ (TSR) へシリアル送信データが転送され、トランスミット FIFO データレジスタのデータ数が指定送信トリガ数より少なくなり、シリアルステータスレジスタ (FSR) の TDFE フラグが“1”にセットされたときの、送信 FIFO データエンpty割り込み (TXIF) 要求の許可/禁止を設定します。

- 注. TXIF 割り込み要求の解除は、FTDR レジスタに指定した送信トリガ数より多い量の送信データを書き込み、FSR レジスタの TDFE フラグの“1”を読み出した後、TDFE フラグを“0”にクリアするか、または本ビットを“0”にクリアすることで行うことができます。

25.2.7 シリアルステータスレジスタ (FSR)

FSR レジスタは、16 ビットのレジスタです。下位 8 ビットは SCIFA の動作状態を示すステータスフラグです。

FSR レジスタは常に CPU から読み出し/書き込みができます。ただし、本レジスタの ER、TEND、TDFE、BRK、RDF、DR ビット (各ステータスフラグ) に“1”を書き込むことはできません。また、これらのビットを“0”にクリアする場合は、あらかじめ“1”を読み出ししておく必要があります。さらに、b3 (FER)、および b2 (PER) は読み出し専用であり、書き込むことはできません。

アドレス SCIFA0.FSR A006 5008h、SCIFA1.FSR A006 5408h、SCIFA2.FSR A006 5808h、SCIFA3.FSR A006 5C08h、SCIFA4.FSR A006 6008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ER	TEND	TDFE	BRK	FER	PER	RDF	DR
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DR	レシーブデータレディフラグ	0: 受信中であるか、正常に受信完了後、FRDR レジスタに受信データが残っていないことを表示 1: 次の受信データが受信されていないことを表示	R/(W) (注1)
b1	RDF	受信FIFOデータフルフラグ	0: FRDR レジスタの受信データ数が指定受信トリガ数より少ないことを表示 1: FRDR レジスタの受信データ数が指定受信トリガ数以上であることを表示	R/(W) (注1)
b2	PER	パリティエラーフラグ	0: 次にFRDR レジスタから読み出す受信データにパリティエラーが発生しなかったことを表示 1: 次にFRDR レジスタから読み出す受信データにパリティエラーが発生したことを表示	R
b3	FER	フレーミングエラーフラグ	0: 次にFRDR レジスタから読み出す受信データにフレーミングエラーが発生しなかったことを表示 1: 次にFRDR レジスタから読み出す受信データにフレーミングエラーが発生したことを表示	R
b4	BRK	ブレーク検出フラグ	0: ブレーク信号なし 1: ブレーク信号を受信 (注2)	R/(W) (注1)
b5	TDFE	トランスミットFIFOデータエンブティフラグ	0: FTDR レジスタに書き込んだ送信データ数が指定送信トリガ数より多いことを表示 1: FTDR レジスタに書き込んだ送信データ数が指定送信トリガ数以下であることを表示 (注3)	R/(W) (注1)
b6	TEND	トランスミットエンドフラグ	0: 送信待機中または送信中であることを表示 1: 送信が終了したことを表示	R/(W) (注1)
b7	ER	受信エラーフラグ	0: 受信中、または正常に受信が完了したことを表示 1: 受信時にフレーミングエラーまたはパリティエラーが発生したことを表示	R/(W) (注1)
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするため、“1”を読み出した後に“0”を書き込むことのみ可能です。

注2. ブレーク信号が検出されると、検出後のFRDRレジスタへの受信データ (00h) の転送は停止します。ブレークが終了し、受信信号がマーク状態 (ハイレベル) になると、受信データの転送を再開します。

注3. FTDRレジスタは16バイトのFIFOレジスタのため、TDFE = 1の状態でも書き込むことができるデータの最大数は「16から未送信データ数を引いた数」になります。それ以上のデータを書き込んでもデータは無視されます。FTDRレジスタのデータ数はFDRレジスタの上位8ビットで示されます。

DR ビット (レシーブデータレディビットフラグ)

調歩同期式モードで、レシーブ FIFO データレジスタ (FRDR) に指定した受信トリガ数より少ないデータを格納し、最後のストップビットから 15ETU (注1) の時間経過後も次のデータが受信されていないことを示します。クロック同期式モードの場合はセットされません。

["1" になる条件]

- FRDR レジスタのデータ数が指定した受信トリガ数未満 (注2) であり、最後のストップビットから 15ETU 時間経過 (注1) 後も次のデータが受信されないとき

["0" になる条件]

以下のいずれかの条件成立時

- DR = 1 の状態を読み出した後、DR フラグに "0" を書き込んだとき
- FRDR レジスタ内の受信データをすべて読み出したとき

注1. 8ビット、1ストップビットのフォーマットの 1.5 フレーム分に相当します。(ETU : Element Time Unit : 要素時間単位)

注2. FRDR レジスタ内の受信データをすべて読み出した場合は "0" になる条件が優先されます。

注. SCR の RE ビットを 0 にクリアしたときには、DR ビットは影響を受けず以前の状態を保持します。

RDF ビット (受信 FIFO データフルビットフラグ)

受信データがレシーブ FIFO データレジスタ (FRDR) に転送され、FRDR のデータ数が指定した受信トリガ数以上になったことを示します。

["1" になる条件]

- 指定受信トリガ数以上の受信データ数が FRDR レジスタに格納される時 (注1)

["0" になる条件]

- RDF = 1 を読み出した後、FRDR レジスタの受信データ数が指定受信トリガ数より少なくなるまで FRDR レジスタを読み出し、本ビットに "0" を書き込んだとき

注1. FRDR レジスタは 16 バイトの FIFO レジスタであるため、本ビットが "1" のときに読み出すことができるデータの最大数は、指定受信トリガ数となります。FRDR レジスタのすべてのデータを読み出した後、さらに読み出しを続けると不定値が読めます。FRDR レジスタの受信データ数は FDR レジスタの下位 8 ビットで示されます。

PER ビット (パリティエラー表示ビットフラグ)

調歩同期式モードで、レシーブ FIFO データレジスタ (FRDR) から読み出したデータにパリティエラーがあったかどうかを表示します。

["1" になる条件]

- 次の FRDR レジスタの読み出しデータにパリティエラーあり

["0" になる条件]

- 次の FRDR レジスタの読み出しデータにパリティエラーなし

FER ビット (フレーミングエラー表示ビットフラグ)

調歩同期式モードで、レシーブ FIFO データレジスタ (FRDR) から読み出したデータにフレーミングエラーがあったかどうかを表示します。

["1" になる条件]

- 次の FRDR レジスタの読み出しデータにフレーミングエラーあり

["0" になる条件]

- 次の FRDR レジスタの読み出しデータにフレーミングエラーなし

BRK ビット (ブレイク検出ビットフラグ)

受信データにブレイク信号が検出されたことを示します。

["1"になる条件]

- フレーミングエラーを含むデータを受信し、引き続き1フレーム長以上、受信データがスペース0 (Low) の場合

["0"になる条件]

- BRK = 1 の状態を読み出した後、BRK フラグに "0" を書き込んだとき

TDFE ビット (送信トランスミット FIFO データエンティビットフラグ)

トランスミット FIFO データレジスタ (FTDR) からトランスミットシフトレジスタ (TSR) にデータが転送され、FTDR レジスタのデータ数が指定した送信トリガ数以下になり、FTDR レジスタへの送信データの書き込みが許可されることを示します。

["1"になる条件]

以下のいずれかの条件成立時

- SCR.TE ビットが "0" のとき
- FTDR レジスタに書き込んだ送信データ数が指定した送信トリガ数以下のとき

["0"になる条件]

- TDFE = 1 の状態を読み出した後、TDFE ビットに "0" を書き込んだとき

TEND ビット (トランスミットエンドビットフラグ)

送信データの最後のビットを送出時に、FTDR レジスタに有効なデータがなく、送信が終了したことを示します。

["1"になる条件]

- 1 バイトのシリアル送信データの最後のビットを送出した際、FTDR レジスタに送信データがないとき

["0"になる条件]

以下のいずれかの条件成立時

- FTDR レジスタへの送信データ書き込み
- TEND = 1 の状態を読み出した後、TEND フラグに "0" を書き込んだとき

ER ビット (受信エラービットフラグ)

フレーミングエラー、またはパリティを付加したデータの受信時にパリティエラーが発生したことを示します。(注1)

["1"になる条件]

以下のいずれかの条件成立時

- 1回のデータ受信の終わりで受信データのストップビットが "1" であるかどうかをチェックし、ストップビットが "0" だったとき (注2)
- 受信時の受信データとパリティビットを合わせた "1" の数が、シリアルモードレジスタ (SMR) の PM ビットで指定した偶数パリティ/奇数パリティの設定値と一致しなかったとき

["0"になる条件]

- ER = 1 の状態を読み出した後、"0" を書き込んだとき

注1. SCR レジスタの RE ビットを "0" にクリアした場合、本ビットは影響を受けず以前の状態を保持します。受信エラーが発生しても受信データは FRDR レジスタに転送され受信動作は継続します。FRDR レジスタから読み出したデータに受信エラーが含まれるかどうかは、FSR レジスタの FER ビットと PER ビットで判定できます。

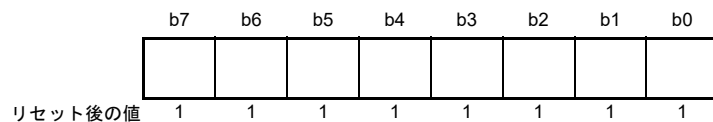
注2. 2ストップモードのときは第1ストップビットのみチェックし、第2ストップビットはチェックされません。

25.2.8 ビットレートレジスタ (BRR)

BRR レジスタは、シリアルモードレジスタ (SMR) の CKS[1:0] で選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信/受信のビットレートを設定する 8 ビットのレジスタです。

BRR レジスタは MDDR レジスタと同一のアドレスに配置されており、SEMR.MDDRS = 0 の場合に選択され、CPU による読み出し/書き込みが可能です。SCR レジスタの TE = RE = 0 の状態で書いてください。

アドレス SCIFA0.BRR A006 5002h、SCIFA1.BRR A006 5402h、SCIFA2.BRR A006 5802h、SCIFA3.BRR A006 5C02h、SCIFA4.BRR A006 6002h



BRR レジスタの設定値は以下の計算式で求められます。

【調歩同期式モード】

- ボーレートジェネレータ通常モード (SEMR.BGDM = 0)

$$N = \frac{\text{SERICKL}}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

(ビットレートの 16 倍の基本クロック (SEMR.ABCS0 = 0) で動作時)

$$N = \frac{\text{SERICKL}}{32 \times 2^{2n-1} \times B} \times 10^6 - 1$$

(ビットレートの 8 倍の基本クロック (SEMR.ABCS0 = 1) で動作時)

- ボーレートジェネレータ倍速モード (SEMR.BGDM = 1)

$$N = \frac{\text{SERICKL}}{32 \times 2^{2n-1} \times B} \times 10^6 - 1$$

(ビットレートの 16 倍の基本クロック (SEMR.ABCS0 = 0) で動作時)

$$N = \frac{\text{SERICKL}}{16 \times 2^{2n-1} \times B} \times 10^6 - 1$$

(ビットレートの 8 倍の基本クロック (SEMR.ABCS0 = 1) で動作時)

【クロック同期式モード】

$$N = \frac{\text{SERICKL}}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : BRR レジスタの設定値 (0 ≤ N ≤ 255) (電気的特性を満足する設定値としてください)

SERICKL : 周辺モジュール用動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n = 0, 1, 2, 3) (n とクロックの関係は、表 25.3 を参照してください)

注 . ビットレートは、MDDR レジスタにより補正することができます。詳細は、「25.2.9 モジュレーションデューティレジスタ (MDDR)」を参照してください。

表 25.3 SMRレジスタの設定

n	クロック	SMR.CKS[1:0]ビットの設定値	
		b1	b0
0	SERICKL	0	0
1	SERICKL/4	0	1
2	SERICKL/16	1	0
3	SERICKL/64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

- ボーレートジェネレータ通常モード (SEMR.BGDM = 0)

$$\text{誤差 (\%)} = \left\{ \frac{\text{SERICKL} \times 10^6}{(N + 1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

(ビットレートの 16 倍の基本クロック (SEMR.ABCS0 = 0) で動作時)

$$\text{誤差 (\%)} = \left\{ \frac{\text{SERICKL} \times 10^6}{(N + 1) \times B \times 32 \times 2^{2n-1}} - 1 \right\} \times 100$$

(ビットレートの 8 倍の基本クロック (SEMR.ABCS0 = 1) で動作時)

- ボーレートジェネレータ倍速モード (SEMR.BGDM = 1)

$$\text{誤差 (\%)} = \left\{ \frac{\text{SERICKL} \times 10^6}{(N + 1) \times B \times 32 \times 2^{2n-1}} - 1 \right\} \times 100$$

(ビットレートの 16 倍の基本クロック (SEMR.ABCS0 = 0) で動作時)

$$\text{誤差 (\%)} = \left\{ \frac{\text{SERICKL} \times 10^6}{(N + 1) \times B \times 16 \times 2^{2n-1}} - 1 \right\} \times 100$$

(ビットレートの 8 倍の基本クロック (SEMR.ABCS0 = 1) で動作時)

表 25.4 に調歩同期式モードの BRR レジスタの設定例を、表 25.5 にクロック同期式モードの BRR レジスタの設定例を示します。

表 25.4 ビットレートに対する BRR レジスタの設定例 (調歩同期式モード)

ビットレート (bps)	SERICLK (MHz)					
	120			150		
	n	N	誤差 (%)	n	N	誤差 (%)
150						
300	3	194	0.16	3	243	0.06
600	3	97	-0.35	3	121	0.06
1200	2	194	0.16	2	243	0.06
2400	2	97	-0.35	2	121	0.06
4800	1	194	0.16	1	243	0.06
9600	1	97	-0.35	1	121	0.06
14400	1	64	0.16	1	80	0.47
19200	0	194	0.16	0	243	0.06
28800	0	129	0.16	0	162	-0.15
31250	0	119	0	0	149	0
38400	0	97	-0.35	0	121	0.06
115200				0	40	-0.76
500000						

注. SEMR.ABCS0ビットとSEMR.BGDMビットが両方とも“0”のときの値です。
 SEMR.ABCS0ビットとSEMR.BGDMビットのいずれか一方を“1”にしたときは、ビットレートが2倍になります。
 SEMR.ABCS0ビットとSEMR.BGDMビットを両方とも“1”にしたときは、ビットレートが4倍になります。
 誤差は、1%以内になるように設定してください。
 また、空欄のビットレート設定については、MDDRレジスタを使用することで設定が可能です。詳細は「25.2.9 モジュレーションデューティレジスタ (MDDR)」と表 25.10 を参照してください。

表 25.5 ビットレートに対する BRR レジスタの設定例 (クロック同期式モード)

ビットレート (bps)	SERICLK (MHz)			
	120		150	
	n	N	n	N
250				
500				
1000				
2500	3	187	3	233
5000	3	93	3	116
10000	2	187	2	233
25000	2	74	2	93
50000	1	149	1	187
100000	1	74	1	93
250000	0	119	0	149
500000	0	59	0	74
1000000	0	29	0	37
2500000	0	11	0	14
5000000	0	5	0	7

空欄：設定できません。

注. 誤差は、1%以内になるように設定してください。

表 25.6 にボーレートジェネレータを使用する場合の調歩同期式モードの各周波数における最大ビットレートを、表 25.7 にボーレートジェネレータを使用する場合のクロック同期式モードの各周波数における最大ビットレートを示します。また、表 25.8 に外部クロック入力時の調歩同期式モードの最大ビットレートを、表 25.9 に外部クロック入力時のクロック同期式モードの最大ビットレートを示します。

表 25.6 ボーレートジェネレータを使用する場合の各周波数における最大ビットレート (調歩同期式モード)

SERICKL (MHz)	最大ビットレート (bit/s)	設定値	
		n	N
120	15000000	0	0
150	18750000	0	0

注. SEMR.ABCS0 ビットと SEMR.BGDM ビットが両方とも“1”のときの値です。
SEMR.ABCS0 ビットと SEMR.BGDM ビットのいずれか一方を“1”にしたときは、ビットレートが1/2になります。
SEMR.ABCS0 ビットと SEMR.BGDM ビットを両方とも“0”にしたときは、ビットレートが1/4になります。

表 25.7 ボーレートジェネレータを使用する場合の各周波数における最大ビットレート (クロック同期式モード)

SERICKL (MHz)	非連続送信/受信時			連続送信/受信時		
	最大ビットレート (bit/s)	設定値		最大ビットレート (bit/s)	設定値	
		n	N		n	N
120	30000000	0	0	15000000	0	1
150	37500000	0	0	18750000	0	1

表 25.8 外部クロック入力時の最大ビットレート (調歩同期式モード)

SERICKL (MHz)	外部入カクロック (MHz)	最大ビットレート (bit/s)
120	30	3750000
150	37.5	4687500

注. SEMR.ABCS0 ビット = 1 のときの例です。ABCS0 ビット = 0にしたときは、ビットレートが1/2 になります。

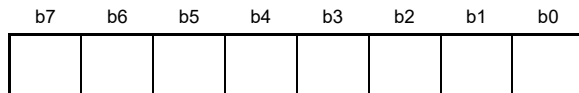
表 25.9 外部クロック入力時の最大ビットレート (クロック同期式モード)

SERICKL (MHz)	外部入カクロック (MHz)	最大ビットレート (bit/s)
120	10	10000000
150	12.5	12500000

25.2.9 モジュレーションデューティレジスタ (MDDR)

MDDR レジスタは、BRR レジスタにより調整されたビットレートを補正するためのレジスタです。MDDR レジスタのリセット後の値は“FFh”です。SEMR.BRME ビットが“1”にセットされているとき、内蔵ボーレートジェネレータにより生成されるビットレートを平均的に MDDR/256 に補正します。MDDR レジスタの設定値とビットレート B の関係を下記の計算式に示します。MDDR レジスタは BRR レジスタと同一のアドレスに配置されており、SEMR.MDDRS ビット = 1 の場合に選択されます。SCR レジスタの TE = RE = 0 の場合のみライト可能です。ビット 7 は“1”に固定されています。

アドレス SCIFA0.MDDR A006 5002h、SCIFA1.MDDR A006 5402h、SCIFA2.MDDR A006 5802h、SCIFA3.MDDR A006 5C02h、SCIFA4.MDDR A006 6002h



リセット後の値 1 1 1 1 1 1 1 1

ビットレートモジュレーション機能使用時の MDDR レジスタの設定値とビットレート B の関係は以下の計算式になります。

【調歩同期式モード】

- ボーレートジェネレータ通常モード (SEMR.BGDM = 0)

$$B = \frac{\text{SERICKL} \times 10^6}{64 \times 2^{2n-1} \times (256/\text{MDDR}) \times (N + 1)}$$

(ビットレートの 16 倍の基本クロック (SEMR.ABCS0 = 0) で動作時)

$$B = \frac{\text{SERICKL} \times 10^6}{32 \times 2^{2n-1} \times (256/\text{MDDR}) \times (N + 1)}$$

(ビットレートの 8 倍の基本クロック (SEMR.ABCS0 = 1) で動作時)

- ボーレートジェネレータ倍速モード (SEMR.BGDM = 1)

$$B = \frac{\text{SERICKL} \times 10^6}{32 \times 2^{2n-1} \times (256/\text{MDDR}) \times (N + 1)}$$

(ビットレートの 16 倍の基本クロック (SEMR.ABCS0 = 0) で動作時)

$$B = \frac{\text{SERICKL} \times 10^6}{16 \times 2^{2n-1} \times (256/\text{MDDR}) \times (N + 1)}$$

(ビットレートの 8 倍の基本クロック (SEMR.ABCS0 = 1) で動作時)

【クロック同期式モード】

$$B = \frac{\text{SERICKL} \times 10^6}{8 \times 2^{2n-1} \times (256/\text{MDDR}) \times (N + 1)}$$

調歩同期式モードでビットレートモジュレーション機能を使用した場合のビットレート平均誤差は、以下の計算式で求められます。

- ボーレートジェネレータ通常モード (SEMR.BGDM = 0)

$$\text{誤差 (\%)} = \left\{ \frac{\text{SERICLK} \times 10^6}{\text{B} \times 64 \times 2^{2n-1} \times (256/\text{MDDR}) \times (\text{N} + 1)} - 1 \right\} \times 100$$

(ビットレートの 16 倍の基本クロック (SEMR.ABCS0 = 0) で動作時)

$$\text{誤差 (\%)} = \left\{ \frac{\text{SERICLK} \times 10^6}{\text{B} \times 32 \times 2^{2n-1} \times (256/\text{MDDR}) \times (\text{N} + 1)} - 1 \right\} \times 100$$

(ビットレートの 8 倍の基本クロック (SEMR.ABCS0 = 1) で動作時)

- ボーレートジェネレータ倍速モード (SEMR.BGDM = 1)

$$\text{誤差 (\%)} = \left\{ \frac{\text{SERICLK} \times 10^6}{\text{B} \times 32 \times 2^{2n-1} \times (256/\text{MDDR}) \times (\text{N} + 1)} - 1 \right\} \times 100$$

(ビットレートの 16 倍の基本クロック (SEMR.ABCS0 = 0) で動作時)

$$\text{誤差 (\%)} = \left\{ \frac{\text{SERICLK} \times 10^6}{\text{B} \times 16 \times 2^{2n-1} \times (256/\text{MDDR}) \times (\text{N} + 1)} - 1 \right\} \times 100$$

(ビットレートの 8 倍の基本クロック (SEMR.ABCS0 = 1) で動作時)

B : ビットレート (bit/s)

N : BRR レジスタの設定値 ($0 \leq N \leq 255$) (電気的特性を満足する設定値としてください)

SERICLK : 周辺モジュール用動作周波数 (MHz)

MDDR : MDDR レジスタの設定値 ($128 \leq \text{MDDR} \leq 255$)

n : ボーレートジェネレータ入カクロック ($n = 0, 1, 2, 3$) (n とクロックの関係は、表 25.3 を参照してください)

表25.10 ビットレートに対するBRR、MDDRレジスタの設定例 (調歩同期式モード)

ビットレート (bps)	SERICLK (MHz)							
	120				150			
	n	N	MDDR	誤差 (%)	n	N	MDDR	誤差 (%)
150	3	205	135	-0.003	3	247	130	-0.018
300	3	176	232	0.001	3	205	216	-0.003
600	2	205	135	-0.003	3	102	216	-0.003
1200	2	176	232	0.001	2	205	216	-0.003
2400	1	205	135	-0.003	2	102	216	-0.003
4800	1	176	232	0.001	1	205	216	-0.003
9600	0	205	135	-0.003	1	102	216	-0.003
14400	0	176	174	0.001	0	205	162	-0.003
19200	0	176	232	0.001	0	205	216	-0.003
28800	0	117	232	0.001	0	102	162	-0.003
31250	0	59	128	0.000	0	74	128	0.000
38400	0	73	194	0.007	0	102	216	-0.003
115200	0	21	173	-0.009	0	23	151	0.003
500000	0	6	239	0.028	0	6	191	-0.077

注. SEMR.ABCS0ビットとSEMR.BGDMビットが両方とも“0”のときの値です。
SEMR.ABCS0ビットとSEMR.BGDMビットのいずれか一方を“1”にしたときは、ビットレートが2倍になります。
SEMR.ABCS0ビットとSEMR.BGDMビットを両方とも“1”にしたときは、ビットレートが4倍になります。
誤差は、1%以内になるように設定してください。

25.2.10 FIFO コントロールレジスタ (FCR)

FCR レジスタは、トランスミット FIFO データレジスタ (FTDR) およびレシーブ FIFO データレジスタ (FRDR) のデータ数のリセット、トリガ数の設定を行うレジスタです。また、本レジスタ設定により、ループバックテストを行うことができます。

FCR レジスタは、常に CPU による読み出し/書き込みが可能です。

アドレス SCIFA0.FCR A006 500Ch、SCIFA1.FCR A006 540Ch、SCIFA2.FCR A006 580Ch、SCIFA3.FCR A006 5C0Ch、SCIFA4.FCR A006 600Ch

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	RSTRG[2:0]	RTRG[1:0]	TTRG[1:0]	MCE	TFRST	RFRST	LOOP				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LOOP	ループバックテストビット	0 : ループバックテストを禁止 1 : ループバックテストを許可	R/W
b1	RFRST	レシーブFIFOデータレジスタリセットビット	0 : 通常動作 1 : FRDRレジスタをリセット	R/W
b2	TFRST	トランスミットFIFOデータレジスタリセットビット	0 : 通常動作 1 : FTDRレジスタをリセット	R/W
b3	MCE	モデムコントロール許可ビット	0 : モデム信号を禁止 (注1) 1 : モデム信号を許可	R/W
b5-b4	TTRG[1:0]	トランスミットFIFOデータ数トリガ選択ビット	b5 b4 00 : 8 (8) (注2) 01 : 4 (12) (注2) 10 : 2 (14) (注2) 11 : 0 (16) (注2)	R/W
b7-b6	RTRG[1:0]	レシーブFIFOデータ数選択トリガビット	(調歩同期モードの場合) b7 b6 00 : 1 01 : 4 10 : 8 11 : 14 (クロック同期モードの場合) b7 b6 00 : 1 01 : 2 10 : 8 11 : 14	R/W
b10-b8	RSTRG[2:0]	RTS#出力アクティブトリガ数選択ビット	b10 b8 000 : 15 001 : 1 010 : 4 011 : 6 100 : 8 101 : 10 110 : 12 111 : 14	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CTS#の入力レベルは送信動作に影響しません。また、RTS#の入力レベルは受信動作に影響しません。

注2. () 内の数値はTDFEフラグが“1”にセットされ、送信FIFOデータエンプティ割り込み (TXIF) 要求が発生するときのFTDRレジスタの空きバイト数を意味します。

LOOP ビット (ループバックテストビット)

送信出力端子 (TXD) と受信入力端子 (RXD)、RTS# 端子と CTS# 端子を内部で接続しループバックテストを行います。

RFRST ビット (レシーブ FIFO データレジスタリセットビット)

レシーブ FIFO データレジスタ (FRDR) 内の受信データを無効にし、データを空の状態にします。なお“1”にセットした後は、必ずこのビットを“0”にしてください。

TFRST ビット (トランスミット FIFO データレジスタリセットビット)

トランスミット FIFO データレジスタ (FTDR) 内の送信データを無効にし、データが空の状態にします。なお“1”にセットした後は、必ずこのビットを“0”にしてください。

MCE ビット (モデムコントロール許可ビット)

モデムコントロール信号 CTS#、RTS# の許可/禁止を設定します。
クロック同期モードの場合、本ビットは、常に 0 にしてください。

TTRG[1:0] ビット (トランスミット FIFO データ数トリガ選択ビット)

シリアルステータスレジスタ (FSR) の TDFE フラグをセットする基準となる送信データ数 (指定送信トリガ数) を設定します。トランスミット FIFO データレジスタ (FTDR) に格納された送信データ数が本ビットで設定するトリガ数以下になったとき TDFE フラグは“1”にセットされ、送信 FIFO データエンブティ割り込み (TXIF) 要求が発生します。

本ビットの設定は、FTCR レジスタの TTRGS ビットが“0”の場合に有効です。FTCR レジスタの TTRGS ビットが“1”の場合は、FTCR レジスタの TFTC[4:0] ビットの設定が有効になります。

RTRG[1:0] ビット (レシーブ FIFO データ数選択トリガビット)

シリアルステータスレジスタ (FSR) の RDF フラグをセットする基準となる受信データ数 (指定受信トリガ数) を設定します。レシーブ FIFO データレジスタ (FRDR) に格納された受信データ数が本ビットで設定するトリガ数以上になったとき、RDF フラグは“1”にセットされ、受信 FIFO データフル割り込み (RXIF) 要求が発生します。

本ビットの設定は、FTCR レジスタの RTRGS ビットが“0”の場合に有効です。FTCR レジスタの RTRGS ビットが“1”の場合には、FTCR レジスタの RFTC[4:0] ビットの設定が有効になります。

RSTRG[2:0] ビット (RTS# 出力アクティブトリガ数選択ビット)

レシーブ FIFO データレジスタ (FRDR) 内に格納された受信データ数が本ビットで設定するトリガ数以上になったとき、RTS# 信号は High になります。

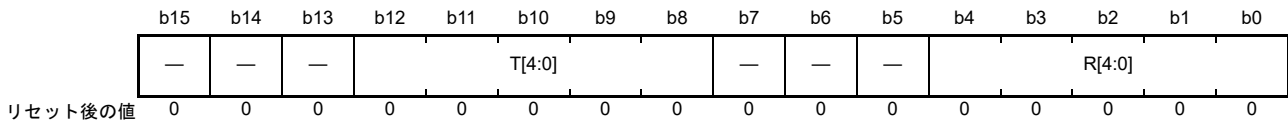
本ビットは調歩同期式モードにおいて、本レジスタの MCE ビットでモデム信号を許可した場合のみ有効です。

25.2.11 FIFO データ数レジスタ (FDR)

FDR レジスタは、トランスミット FIFO データレジスタ (FTDR) とレシーブ FIFO データレジスタ (FRDR) に格納されているデータ数を示します。

上位 8 ビットで FTDR レジスタの送信データ数を、下位 8 ビットで FRDR レジスタの受信データ数を示すレジスタです。FDR レジスタは、常に CPU から読み出しはできますが、書き込みはできません。

アドレス SCIFA0.FDR A006 500Eh、SCIFA1.FDR A006 540Eh、SCIFA2.FDR A006 580Eh、SCIFA3.FDR A006 5C0Eh、SCIFA4.FDR A006 600Eh



ビット	シンボル	ビット名	機能	R/W
b4-b0	R[4:0]	FRDR 格納受信データ数ビット	FRDR レジスタに格納された受信データ数を示します。	R
b7-b5	—	予約ビット	読むと“0”が読めます	R
b12-b8	T[4:0]	FTDR 格納未送信データ数ビット	FTDR レジスタに格納された未送信データ数を示します。	R
b15-b13	—	予約ビット	読むと“0”が読めます	R

R[4:0] ビット

FRDR レジスタに格納された受信データ数を示します。

“00h” は受信データがないことを、“10h” は受信データがすべて FRDR レジスタに格納されていることを示します。

T[4:0] ビット

FTDR レジスタに格納された未送信データ数を示します。

“00h” は送信データがないことを、“10h” は送信データがすべて FTDR レジスタに格納されていることを示します。

25.2.12 シリアルポートレジスタ (SPTR)

SPTR レジスタは、SCIFA の端子にマルチプレクスされたポートの入出力およびデータを制御するレジスタです。

SPTR レジスタは、常に CPU による読み出し/書き込みが可能です。

注. SPTR レジスタの bit 6, 4, 2, 0 を読み出すと、端子への入力状態が読めます (詳細は、各ビットの説明を参照してください)。これらのビットに対し 1 ビット単位で書き込んだ場合、リード・モディファイ・ライトされ、意図した値が書き込まれない場合があります。このため、例えば、SPB2DT ビットと SPB2IO ビットを操作するような場合は、それぞれのビットを同時に書き込んでください。

アドレス SCIFA0.SPTR A006 5010h、SCIFA1.SPTR A006 5410h、SCIFA2.SPTR A006 5810h、SCIFA3.SPTR A006 5C10h、SCIFA4.SPTR A006 6010h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	RTS2I O	RTS2D T	CTS2I O	CTS2D T	SCKIO	SCKDT	SPB2I O	SPB2D T
リセット後の値	0	0	0	0	0	0	0	0	0	x	0	x	0	x	0	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	SPB2DT	シリアルポートブ레이크データ選択ビット	SPB2IO ビット、SCR.TE ビットと組み合わせて、TXD 端子を制御します。表 25.13 を参照してください。	R/W
b1	SPB2IO	シリアルポートブ레이크入出力ビット	SPB2DT ビット、SCR.TE ビットとあわせて、TXD 端子を制御します。	R/W
b2	SCKDT	SCKポートデータ選択ビット	SCKIO ビット、SMR.CM ビット、SCR.CKE1、CKE0 ビットとあわせて、SCK 端子を制御します。表 25.15 を参照してください。本ビットの設定はチャンネル0~2のみ有効です。	R/W
b3	SCKIO	SCKポート入出力ビット	SCKDT ビット、SMR.CM ビット、SCR.CKE1、CKE0 ビットとあわせて、SCK 端子を制御します。表 25.15 を参照してください。本ビットの設定はチャンネル0~2のみ有効です。	R/W
b4	CTS2DT	CTS#ポートデータ選択ビット	CTS2IO ビット、FCR.MCE ビットと組み合わせて CTS# 端子を制御します。表 25.12 を参照してください。本ビットの設定はチャンネル0~2のみ有効です。	R/W
b5	CTS2IO	CTS#ポート出力指定ビット		R/W
b6	RTS2DT	RTS#ポートデータ選択ビット	RTS2IO ビット、FCR.MCE ビットと組み合わせて RTS# 端子を制御します。表 25.11 を参照してください。本ビットの設定はチャンネル0~2のみ有効です。	R/W
b7	RTS2IO	RTS#ポート出力指定ビット		R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPB2DT ビット (シリアルポートブ레이크データ選択ビット)

SCR.TE ビットが“0”のときに、TXD 端子の出力レベルを指定するビットです。本ビットを読み出した場合、SPB2IO ビットの設定値にかかわらず、RXD 端子への入力状態が読めます。ただし、MPC (マルチファンクションピンコントローラ) で RXD 端子機能を選択しておく必要があります。

SPB2IO ビット (シリアルポートブ레이크入出力ビット)

SPB2DT ビット、SCR レジスタの TE ビットとあわせて、TXD 端子を制御します。

SCKDT ビット (SCK ポートデータ選択ビット)

本ビットを読み出した場合、SCKIO ビットの設定値にかかわらず、SCK 端子の状態が読めます (SCK 端子が入力の場合、入力信号自体は無効 (意味を持たない) ですが、端子状態は読めます)。ただし、MPC (マルチファンクションピンコントローラ) で SCK 端子機能を選択しておく必要があります。

本ビットの設定はチャンネル0~2のみ有効です。

SCKIO ビット (SCK ポート入出力ビット)

SCK 端子の入出力状態を指定します。SCKDT ビット、SMR レジスタの CM ビット、SCR レジスタの CKE1、CKE0 ビットとあわせて、SCK 端子を制御します。

本ビットの設定はチャンネル 0～2 のみ有効です。

CTS2DT ビット (CTS# ポートデータ選択ビット)

本ビットを読み出した場合、CTS2IO ビットの設定値にかかわらず、CTS# 端子の状態が読めます。ただし、MPC (マルチファンクションピンコントローラ) で CTS# 端子機能を選択しておく必要があります。

本ビットの設定はチャンネル 0～2 のみ有効です。

RTS2DT ビット (RTS# ポートデータ選択ビット)

本ビットを読み出した場合、RTS2IO ビットの設定値にかかわらず、RTS# 端子の状態が読めます。ただし、MPC (マルチファンクションピンコントローラ) で RTS# 端子機能を選択しておく必要があります。

本ビットの設定はチャンネル 0～2 のみ有効です。

表 25.11 RTS#端子状態

FCR.MCE ビットの設定値	RTS2IO ビットの設定値	RTS2DT ビットの設定値	RTS#端子の状態
0	0	×	設定しないでください (注1)
0	1	0	Low出力
0	1	1	High出力
1	×	×	モデムコントロール出力

× : Don't care

注1. RTS#端子を使用しない場合は、初期状態のままでも問題ありません。

表 25.12 CTS#端子状態

FCR.MCE ビットの設定値	CTS2IO ビットの設定値	CTS2DT ビットの設定値	CTS#端子の状態
0	0	×	設定しないでください (注1)
0	1	0	Low出力
0	1	1	High出力
1	×	×	モデムコントロール入力

× : Don't care

注1. CTS#端子を使用しない場合は、初期状態のままでも問題ありません。

表 25.13 TXD 端子状態

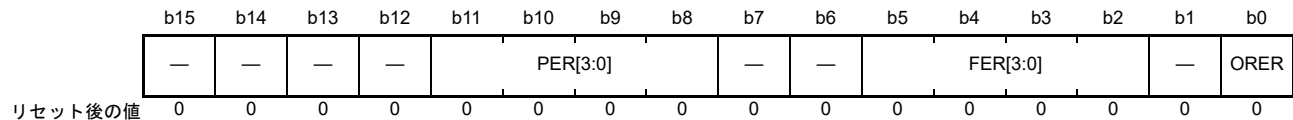
SCR.TE ビットの設定値	SPB2IO ビットの設定値	SPB2DT ビットの設定値	TXD 端子の状態
0	0	×	設定しないでください
0	1	0	Low出力
0	1	1	High出力
1	×	×	送信データ出力

× : Don't care

25.2.13 ラインステータスレジスタ (LSR)

LSR レジスタは、16 ビットのレジスタです。PER ビットと FER ビットはレシーブ FIFO データレジスタの受信エラー数を示します。ORER ステータスフラグに“1”を書き込むことはできません。ORER ビットを“0”にクリアするには、あらかじめ“1”を読み出しておく必要があります。

アドレス SCIFA0.LSR A006 5012h、SCIFA1.LSR A006 5412h、SCIFA2.LSR A006 5812h、SCIFA3.LSR A006 5C12h、SCIFA4.LSR A006 6012h



ビット	シンボル	ビット名	機能	R/W
b0	ORER	オーバランエラーフラグ	0: 受信中、または正常に受信が完了したことを表示 1: 受信時にオーバランエラーが発生したことを表示	R/(W) (注1)
b1	—	予約ビット	読むと“0”が読めます。	R
b5-b2	FER[3:0]	フレーミングエラー数ビット	レシーブFIFOデータレジスタ (FRDR) に格納されている受信データでフレーミングエラーが発生しているデータ数を示します。	R
b7-b6	—	予約ビット	読むと“0”が読めます。	R
b11-b8	PER[3:0]	パリティエラー数ビット	レシーブFIFOデータレジスタ (FRDR) に格納されている受信データでパリティエラーが発生しているデータ数を示します。	R
b15-b12	—	予約ビット	読むと“0”が読めます。	R

注1. フラグをクリアするため、“1”を読み出した後に“0”を書き込むことのみ可能です。

ORER ビット (オーバランエラービットフラグ)

受信時にオーバランエラーが発生して異常終了したことを示します。本ビットはシリアルコントロールレジスタ (SCR) の RE ビットを 0 にクリアしても影響を受けず以前の状態を保持します。レシーブ FIFO データレジスタ (FRDR) はオーバランエラーが発生する前の受信データを保持し、後から受信したデータは失われます。さらに、ORER = 1 の状態で、以降のシリアル受信を続けることはできません。

["1"になる条件]

- 受信 FIFO がフルの状態 (16 バイトのデータが受信された状態) で次のシリアル受信を完了したとき

["0"になる条件]

- ORER = 1 の状態を読み出した後、“0”を書き込んだとき

注. クロック同期モードで内部クロックを選択した場合は、受信データ数を制御できるため、オーバランエラーは発生しません。

FER[3:0] ビット (フレーミングエラー数ビット)

FSR レジスタの ER ビットがセットされた後、ビット 5 ~ 2 の値がフレーミングエラーのデータ数になります。FRDR レジスタの 16 バイト受信データのすべてがフレーミングエラーをとともなう場合、FER[3:0] は“0000”を表示します。

PER[3:0] ビット (パリティエラー数ビット)

FSR レジスタの ER ビットがセットされた後、ビット 11 ~ 8 の値がパリティエラーのデータ数になります。FRDR レジスタの 16 バイト受信データのすべてがパリティエラーをとともなう場合、PER[3:0] は“0000”を表示します。

25.2.14 シリアル拡張モードレジスタ (SEMR)

SEMR レジスタは、LSB ファースト / MSB ファースト、ノイズ除去機能の許可、ボーレートジェネレータ通常 / 倍速モード、ビットレートモジュレーションの許可、モジュレーションデューティレジスタ選択、サンプリング回数設定を行うレジスタです。

アドレス SCIFA0.SEMR A006 5014h、SCIFA1.SEMR A006 5414h、SCIFA2.SEMR A006 5814h、SCIFA3.SEMR A006 5C14h、SCIFA4.SEMR A006 6014h

b7	b6	b5	b4	b3	b2	b1	b0
BGDM	—	BRME	MDDRS	DIR	NFEN	—	ABCS0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	ABCS0	調歩同期式基本クロック選択ビット	0 : 転送レートの16倍の周波数を基本クロックとして動作 1 : 転送レートの8倍の周波数を基本クロックとして動作	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	NFEN	ノイズ除去機能許可ビット	0 : RxD端子のノイズ除去機能無効 1 : RxD端子のノイズ除去機能有効	R/W
b3	DIR	データトランスファディレクション選択ビット	0 : FTDRレジスタの内容をLSBファーストで送信 受信データをLSBファーストでFRDRレジスタに格納 1 : FTDRレジスタの内容をMSBファーストで送信 受信データをMSBファーストでFRDRレジスタに格納	R/W
b4	MDDRS	モジュレーションデューティレジスタ選択ビット	0 : BRRレジスタのアクセスが可能 1 : MDDRレジスタのアクセスが可能	R/W
b5	BRME	ビットレートモジュレーション許可ビット	0 : ビットレートモジュレーション機能を禁止 1 : ビットレートモジュレーション機能を許可	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、必ず“0”としてください。	R/W
b7	BGDM	ボーレートジェネレータ倍速モード選択ビット	0 : ボーレートジェネレータ通常モード ボーレートジェネレータは、クロックソースの2分周で動作 1 : ボーレートジェネレータ倍速モード ボーレートジェネレータは、クロックソース(分周なし)で動作	R/W

ABCS0 ビット (調歩同期式基本クロック選択ビット)

調歩同期式モードにおける1ビット期間の基本クロックを選択します。

本ビットの設定は、調歩同期式モード (SMR レジスタの CM ビット = 0) のときのみ有効です。

NFEN ビット (ノイズ除去機能許可ビット)

RxD 端子への入力に対してノイズ除去を行います。なお、調歩同期式モードのみ有効です。詳細は「25.7 ノイズ除去機能」を参照してください。

クロック同期モードの場合、本ビットは、必ず“0”にしてください。

DIR ビット (データトランスファディレクション選択ビット)

シリアル通信フォーマットを選択します。送信 / 受信フォーマットが8ビットの場合 (注1) のみ有効です。

注1. 8ビットデータ長の調歩同期式モードまたはクロック同期式モード

MDDRS ビット (モジュレーションデューティレジスタ選択ビット)

アクセスを可能にするレジスタを選択します。

BRME ビット (ビットレートモジュレーション許可ビット)

ビットレートモジュレーション機能の禁止/許可を設定します。

BGDM ビット (ポーレートジェネレータ倍速モード選択ビット)

ポーレートジェネレータの動作モードを選択します。本ビットを“1”にすると、SCIFA 内部のポーレートジェネレータが倍速モードで動作します。本ビットの設定は、調歩同期式モード (SMR.CM=0) かつクロックソースを内部クロック (SCR.CKE[1:0]=00) に設定したときのみ有効です。この設定以外のときは通常モードを使用してください。

25.2.15 FIFO トリガコントロールレジスタ (FTCR)

FTCR レジスタは、FIFO トリガを設定する 16 ビットのレジスタです。FTCR レジスタは常に CPU から読み出し/書き込みが可能です。

アドレス SCIFA0.FTCR A006 5016h、SCIFA1.FTCR A006 5416h、SCIFA2.FTCR A006 5816h、SCIFA3.FTCR A006 5C16h、SCIFA4.FTCR A006 6016h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
RTRGS	—	—	RFTC[4:0]				TTRGS	—	—	TFTC[4:0]					
リセット後の値	0	0	0	1	1	1	1	1	0	0	0	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b4-b0	TFTC[4:0]	送信 FIFO データ数トリガ設定ビット	00h 設定時、送信データトリガ数は“0”になり、0Fh 設定時は 15 になります。本ビットを 10h~1Fh に設定しないでください	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TTRGS	送信トリガ選択ビット	0 : FCR.TTRG[1:0] ビットが有効 1 : FTCR.TFTC[4:0] ビットが有効	R/W
b12-b8	RFTC[4:0]	受信 FIFO データ数トリガ設定ビット	01h 設定時、受信データトリガ数は“1”になり、10h 設定時は 16 になります。本ビットを 00h および 11h~1Fh に設定しないでください	R/W
b14-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	RTRGS	受信トリガ選択ビット	0 : FCR.RTRG[1:0] ビットが有効 1 : FTCR.RFTC[4:0] ビットが有効	R/W

TFTC[4:0] ビット (送信 FIFO データ数トリガ設定ビット)

シリアルステータスレジスタ (FSR) の TDFE フラグをセットする基準となる送信データ数 (指定送信トリガ数) を設定します。

トランスミット FIFO データレジスタ (FTDR) に格納された送信データ数が設定トリガ数以下になったとき TDFE フラグをセットし、送信 FIFO データエンpty 割り込み (TXIF) 要求が発生します。

RFTC[4:0] ビット (受信 FIFO データ数トリガ設定ビット)

シリアルステータスレジスタ (FSR) の RDF フラグをセットする基準となる受信データ数 (指定受信トリガ数) を設定します。

レシーブ FIFO データレジスタ (FRDR) に格納された受信データ数が、設定トリガ数以上になったとき RDF フラグをセットし、受信 FIFO データフル割り込み (RXIF) 要求が発生します。

25.3 動作説明

25.3.1 概要

SCIFA は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの2方式でシリアル通信ができます。

送信／受信のそれぞれに16段のFIFOバッファを内蔵しているため、CPUのオーバヘッドを減らし、高速連続通信が可能です。また、モデムコントロール信号としてRTS#、CTS#信号を用意しています。

送受信フォーマットの選択は、シリアルモードレジスタ (SMR) で行います。これを表 25.14 に示します。また、SCIFAのクロックソースは、シリアルコントロールレジスタ (SCR) のCKE[1:0]ビットで設定できます。これを表 25.15 に示します。

(1) 調歩同期式モード

- データ長：7ビット／8ビットから選択可能
- パリティの付加、および1ビット／2ビットのストップビットの付加を選択可能
(これらの組み合わせにより送信／受信フォーマット、およびキャラクタ長を決定)
- 受信時にフレーミングエラー、パリティエラー、受信FIFOデータフル、オーバランエラー、レシーブデータレディ、およびブレークの検出が可能
- FIFOデータ数レジスタ (FDR) に送信／受信時のFIFO格納データ数を表示
- SCIFAのクロックソース：内部クロック／外部クロックから選択可能
内部クロックを選択した場合：SCIFAはボーレートジェネレータのクロックで動作し、ビットレートの16倍（または8倍）のクロックを出力することが可能
外部クロックを選択した場合：ビットレートの16倍（または8倍）のクロックを入力することが必要（内蔵ボーレートジェネレータを使用しない）

(2) クロック同期式モード

- 送信／受信フォーマット：8ビットデータ固定
- 受信時にオーバーランエラーの検出が可能
- SCIFA のクロックソース：内部クロック／外部クロックから選択可能
 内部クロックを選択した場合：SCIFA はボーレートジェネレータのクロックで動作し、このクロックを同期クロックとして外部へ出力
 外部クロックを選択した場合：内部ボーレートジェネレータを使用せず、入力された同期クロックで動作

表 25.14 SMRレジスタの設定値とSCIFA送信／受信フォーマット

SMRレジスタ				モード	SCIFA送信／受信フォーマット		
b7	b6	b5	b3		データ長	パリティビット	ストップビット長
CM	CHR	PE	STOP				
0	0	0	0	調歩同期式モード	8ビット	なし	1ビット
			1				2ビット
		1	0			あり	1ビット
			1				2ビット
	1	0	0		7ビット	なし	1ビット
			1				2ビット
		1	0			あり	1ビット
			1				2ビット
1	x	x	x	クロック同期式モード	8ビット	なし	なし

x : Don't care

表 25.15 SMR、SCR、SPTRレジスタの設定値とSCIFAのクロックソースの選択

SMRレジスタ	SCRレジスタ		SPTRレジスタ		モード	クロックソース	SCK端子の機能
	b7	b1	b0	b3			
CM	CKE[1:0]		SCKIO	SCKDT			
0	0	0	0	x	調歩同期式モード	内部	入力端子（入力信号は無効）（初期状態）
			1	0			SCK端子の状態Low
			1	1			SCK端子の状態High
	1	0	0	x		外部	ビットレートの16/8倍のクロックを出力（注1）
			1	x			ビットレートの16/8倍のクロックを入力（注2）
			1	x			設定禁止
1	0	x	x	クロック同期式モード	内部	同期クロックを出力	
		1	x			同期クロックを入力	
	1	x	x		設定禁止		

x : Don't care

- 注1. SEMR.ABCS0 = 0 : ビットレートの16倍の周波数クロックを出力
 SEMR.ABCS0 = 1 : ビットレートの8倍の周波数クロックを出力
- 注2. SEMR.ABCS0 = 0 : ビットレートの16倍の周波数クロックを入力
 SEMR.ABCS0 = 1 : ビットレートの8倍の周波数クロックを入力

25.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットをデータに付加したキャラクタを送信／受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCIFA 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっているため、送信／受信中にデータの読み出し／書き込みができ、連続送信／受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 25.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態 (High) に保たれています。SCIFA は通信回線を監視し、スペース (Low) になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1 キャラクタは、スタートビット (Low) から始まり、データ (LSB ファースト時：最下位ビットから)、パリティビット (High / Low)、最後にストップビット (High) の順で構成されます。

調歩同期式モードでは、SCIFA は受信時にスタートビットの立ち上がりエッジで同期化を行います。

SCIFA は、データを 1 ビット期間の 16/8 倍のクロックの 8 番目 (注 1) でサンプリングするため、各ビットの中央で通信データが取り込まれます。

注 1. SEMR.ABCS0 ビット = "0" のとき、1 ビット期間の 16 倍の周波数クロックの 8 番目でサンプリングします。SEMR.ABCS0 ビット = "1" のときは、1 ビット期間の 8 倍の周波数のクロックの 4 番目でサンプリングします。

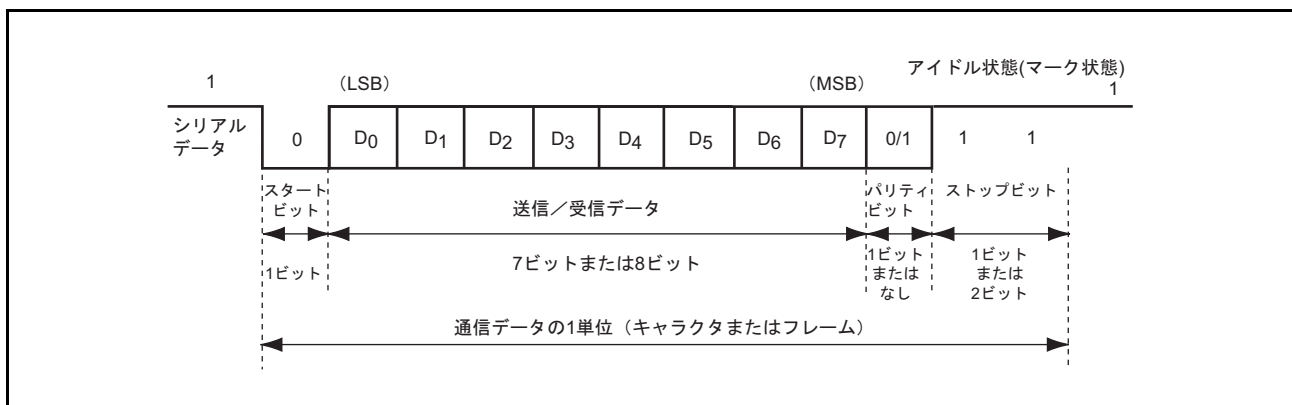


図 25.2 調歩同期式通信のデータフォーマット
(8 ビットデータ／パリティあり／2 ストップビット／LSB ファーストの例)

(1) 送信／受信フォーマット

設定可能な送信／受信フォーマットを、表 25.16 に示します。

送信／受信フォーマットは 8 種類あり、シリアルモードレジスタ (SMR) の設定により選択できます。

表 25.16 シリアル送信／受信フォーマット (調歩同期式モード)

SMRの設定			シリアル送信／受信フォーマットとフレーム長												
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	START	8ビットデータ								STOP			
		1	START	8ビットデータ								STOP	STOP		
	1	0	START	8ビットデータ								P	STOP		
		1	START	8ビットデータ								P	STOP	STOP	
1	0	0	START	7ビットデータ							STOP				
		1	START	7ビットデータ							STOP	STOP			
	1	0	START	7ビットデータ							P	STOP			
		1	START	7ビットデータ							P	STOP	STOP		

START : スタートビット
 STOP : ストップビット
 P : パリティビット

(2) クロック

SCIFA の送受信クロックは、シリアルモードレジスタ (SMR) の CM ビット、シリアルコントロールレジスタ (SCR) の CKE[1:0] ビット、およびシリアル拡張モードレジスタ (SEMR) の ACS0 ビットの設定により、内蔵ボーレートジェネレータの生成した内部クロック、SCK 端子から入力された外部クロックの 2 種類から選択できます。SCIFA のクロックソースの選択については表 25.15 を参照してください。

外部クロックを SCK 端子に入力する場合は、使用するビットレートの 16/8 倍の周波数を入力してください。

内部クロックで動作させる場合、SCK 端子からクロックを出力することができます。このとき出力されるクロックはビットレートの 16/8 倍の周波数です。

(3) データの送信／受信動作

- SCIFA 初期化 (調歩同期式モード)

データの送信／受信前には、まずシリアルコントロールレジスタ (SCR) の TE ビットおよび RE ビットを“0”にクリアした後、以下の順で SCIFA を初期化してください。

動作モードや通信フォーマットを変更する場合には、必ず SCR レジスタの TE ビットおよび RE ビットを“0”にクリアしてから次の手順で変更を行ってください。TE ビットを“0”にクリアすると、トランスミットシフトレジスタ (TSR) は初期化されます。しかし、TE ビットと RE ビットを“0”にクリアしても、シリアルステータスレジスタ (FSR)、トランスミット FIFO データレジスタ (FTDR)、レシーブ FIFO データレジスタ (FRDR) は初期化されず、これらのレジスタの内容は保持されますのでご注意ください。TE ビットの“0”クリアは、送信データをすべて送信し、FSR レジスタの TEND フラグがセットされた後に行ってください。TE ビットは送信中でも“0”クリア可能ですが、TE ビットを“0”クリアした後の送信データ (TXD 端子の出力レベル) は、SPTR.SPB2IO、SPB2DT ビットの設定値によって決まります。また再度 TE ビットを“1”にセットして送信を開始する前に FCR レジスタの TFRST ビットを“1”にセットして FTDR レジスタをリセットしてください。

外部クロックを使用している場合、動作が不確実になりますので、初期化を含めた動作中にクロックを止めないでください。図 25.3 に SCIFA 初期化 (調歩同期式モード) のフローチャートの例を示します。

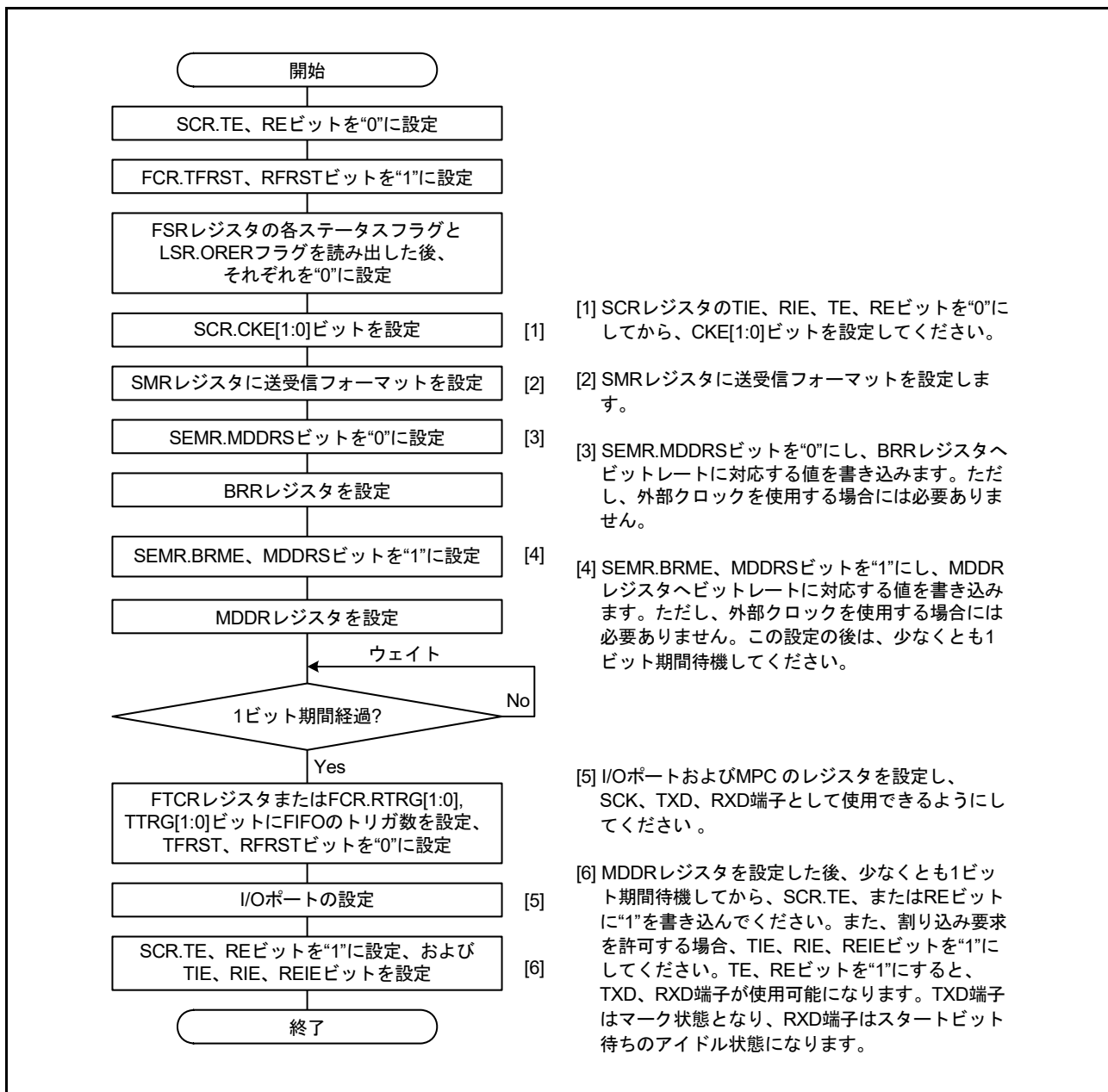


図 25.3 SCIFA 初期化 (調歩同期式モード) のフローチャートの例

● シリアルデータ送信（調歩同期式モード）

図 25.4 にシリアル送信のフローチャートの例を示します。

SCIFA の送信を可能にした後、シリアルデータ送信は以下の手順で行ってください。

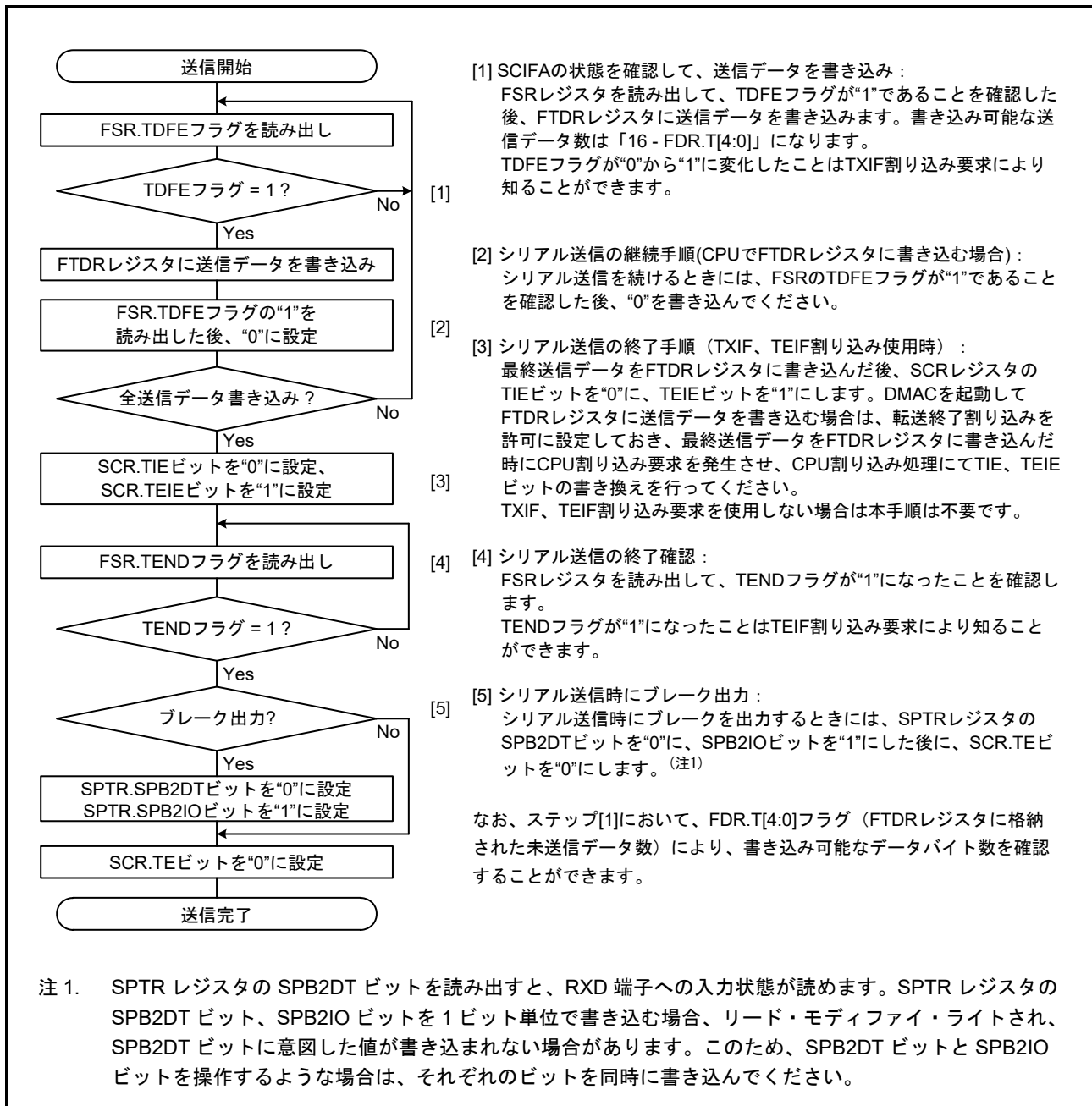


図 25.4 シリアル送信のフローチャートの例

SCIFA は、シリアル送信時、以下のように動作します。

1. SCIFA は、TXIF 割り込み処理ルーチンでトランスミット FIFO データレジスタ (FTDR) にデータが書き込まれると、FTDR レジスタからトランスミットシフトレジスタ (TSR) にデータを転送します。送信データを FTDR レジスタに書き込む前に、シリアルステータスレジスタ (FSR) の TDFE フラグが 1 にセットされていることを確認してください。書き込み可能な送信データバイト数は (16 - 未送信データ数) です。
2. FTDR レジスタから TSR レジスタにデータを転送し、送信を開始すると、FTDR レジスタの送信データがなくなるまで連続して送信動作を実行します。FTDR レジスタの送信データバイト数が FIFO コントロールレジスタ (FCR) または FIFO トリガコントロールレジスタ (FTCR) で設定した送信トリガ数以下になると、TDFE フラグがセットされます。このとき、シリアルコントロールレジスタ (SCR) の TIE ビットが“1”にセットされていると送信 FIFO データエンプティ割り込み (TXIF) 要求が発生します。

シリアル送信データは、以下の順に TXD 端子から出力されます。

- (a) スタートビット：1ビット“0”が出力されます。
 - (b) 送信データ：8ビットまたは7ビットのデータが LSB から順に出力されます (LSB ファースト時)。
 - (c) パリティビット：1ビットのパリティビット (偶数パリティ、または奇数パリティ) が出力されます (なお、パリティビットを出力しないフォーマットも選択できます)。
 - (d) ストップビット：1ビットまたは2ビットの“1” (ストップビット) が出力されます。
 - (e) マーク状態：次の送信を開始するスタートビットを出力するまで“1”を出力し続けます。
3. SCIFA は、ストップビットを送出するタイミングで FTDR レジスタの送信データをチェックします。データがあると、FTDR レジスタから TSR レジスタにデータを転送し、ストップビットを出力した後、次のフレームのシリアル送信を開始します。送信するデータがない場合は FSR レジスタの TEND フラグに“1”をセットし、ストップビットを出力した後、“1”を連続して出力するマーク状態 (High) になります。

調歩同期式モードでの送信時の動作例を図 25.5 に示します。

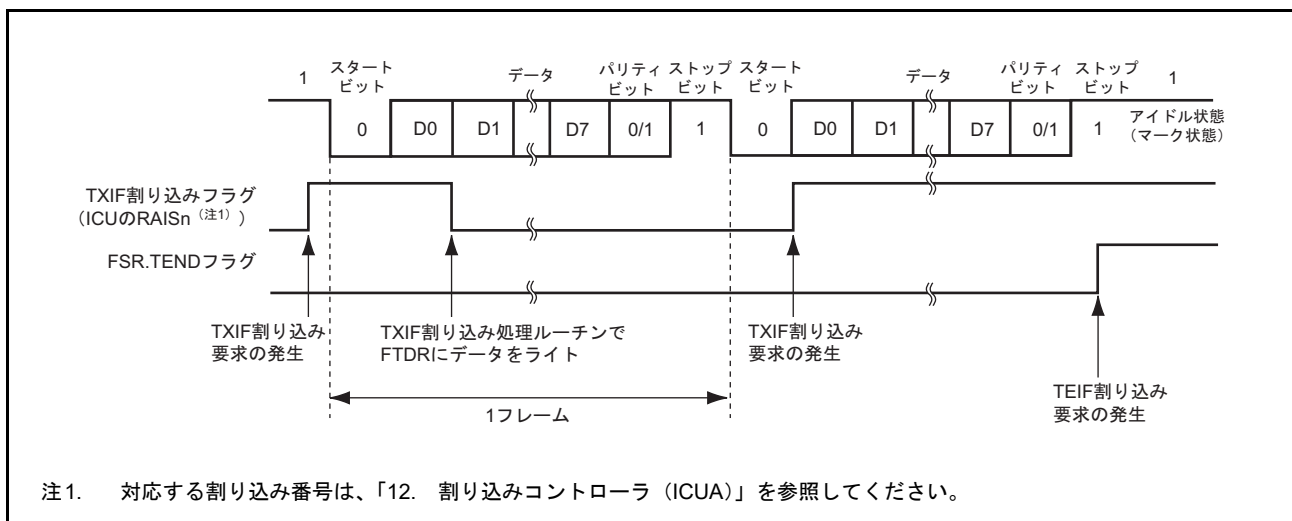


図 25.5 送信時の動作例 (8 ビットデータ/パリティあり/1 ストップビット/LSB ファーストの例)

4. モデムコントロールを許可した場合、CTS# 端子への入力レベルによって送信を停止／再開することができます。CTS# 端子に High が入力されると、送信中のときは1 フレームの送信終了後マーク状態 (High) になります。CTS# 端子に Low が入力されると、次の送信データがスタートビットを先頭に出力されます。モデムコントロールを使用した動作例を図 25.6 に示します。

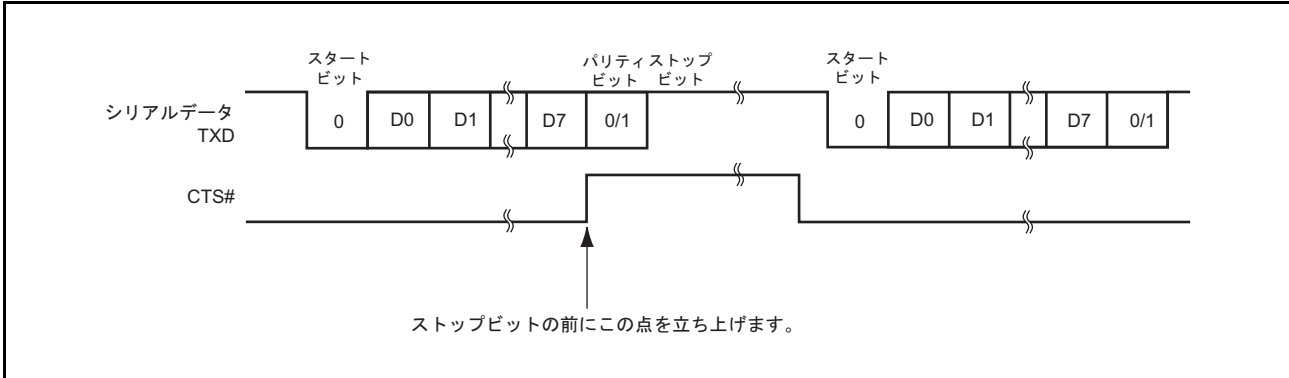


図 25.6 モデムコントロールを使用した動作例 (CTS#)

● シリアルデータ受信 (調歩同期式モード)

図 25.7、図 25.8 にシリアル受信のフローチャートの例を示します。

SCIFA を受信許可に設定した後、次の手順でシリアルデータ受信を行ってください。

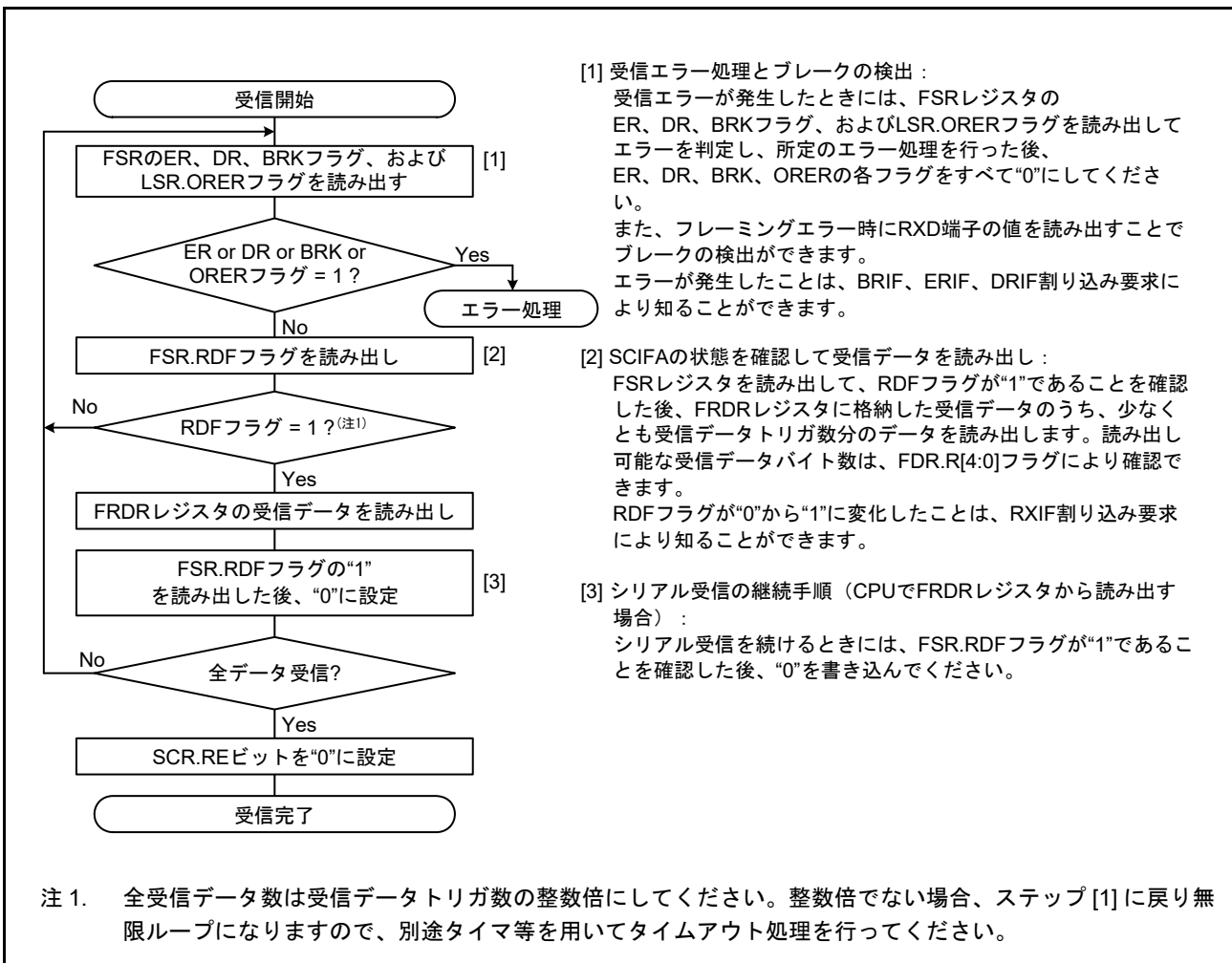


図 25.7 シリアル受信のフローチャートの例 (1)

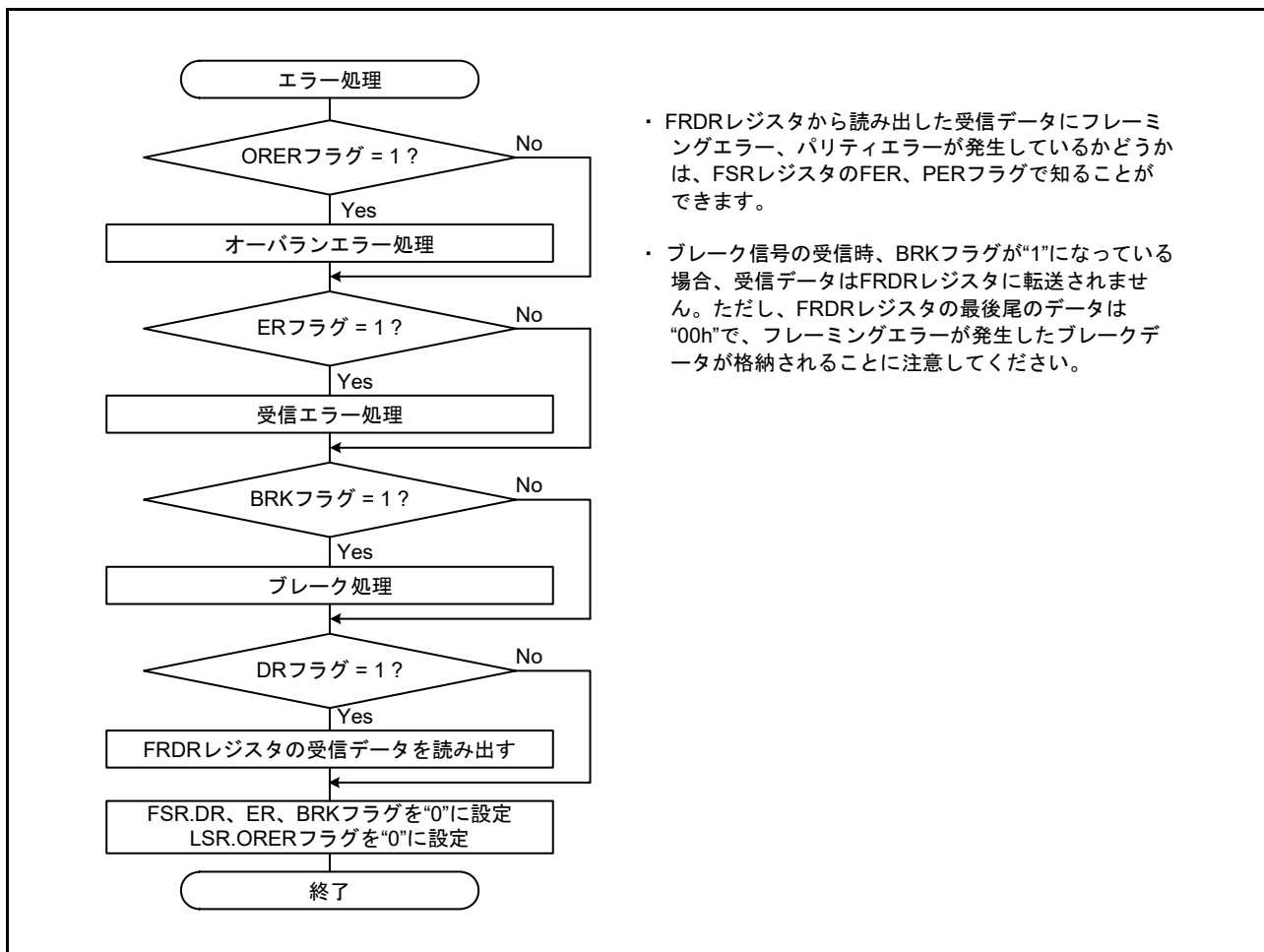


図 25.8 シリアル受信のフローチャートの例 (2)

SCIFA は受信時、以下のように動作します。

1. SCIFA は通信回線を監視し、スタートビットの“0”を検出すると内部を同期化し、受信を開始します。
2. 受信したデータを RSR レジスタに LSB から MSB の順に格納します (LSB ファースト時)。
3. パリティビットおよびストップビットを受信します。

受信後、SCIFA は以下のチェックを行います。

- (a) ストップビットチェック : ストップビットが“1”かどうかをチェックします。ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- (b) 受信データをレシーブシフトレジスタ (RSR) からレシーブFIFOデータレジスタ (FRDR) に転送できる状態かどうかをチェックします。
- (c) パリティビットチェック : パリティビットが期待値かどうかをチェックします。
- (d) オーバランエラーチェック : オーバランエラーが発生していないことを示すORERフラグが“0”かどうかをチェックします。
- (e) ブレークチェック : ブレーク状態がセットされていないことを示すBRKフラグが“0”かどうかをチェックします。

以上のチェックがすべてパスしたとき、FRDR レジスタに受信データが格納されます。

注 . パリティエラー、フレーミングエラーが発生しても受信動作を続けます。

4. 指定受信トリガ数以上の受信データ数がレシーブ FIFO データレジスタ (FRDR) に格納され、RDF フラグが“1”になったとき、SCR レジスタの RIE ビットが“1”にセットされていると、受信 FIFO データフル割り込み (RXIF) 要求が発生します。また、FRDR レジスタのデータが指定受信トリガ数未満の場合、SCR レジスタの RIE ビットが“1”にセットされていると、最後のストップビットから 15ETU 時間経過 (注1) 後も次のデータが受信されないとき (FSR レジスタの DR フラグが“1”)、受信データレディ割り込み (DRIF) 要求が発生します。また、FSR レジスタの ER フラグが“1”になったとき、SCR レジスタの RIE ビットまたは REIE ビットが“1”にセットされていると、受信エラー割り込み (ERIF) 要求が発生します。さらに、FSR レジスタの BRK フラグまたは ORER フラグが“1”になったとき、SCR レジスタの RIE ビットまたは REIE ビットが“1”にセットされていると、ブレイク受信割り込み (BRIF) 要求が発生します。

注1. 8ビット、1ストップビットのフォーマットの1.5フレーム分に相当します。(ETU : Element Time Unit : 要素時間単位)

調歩同期式モード受信時の動作例を図 25.9 に示します。

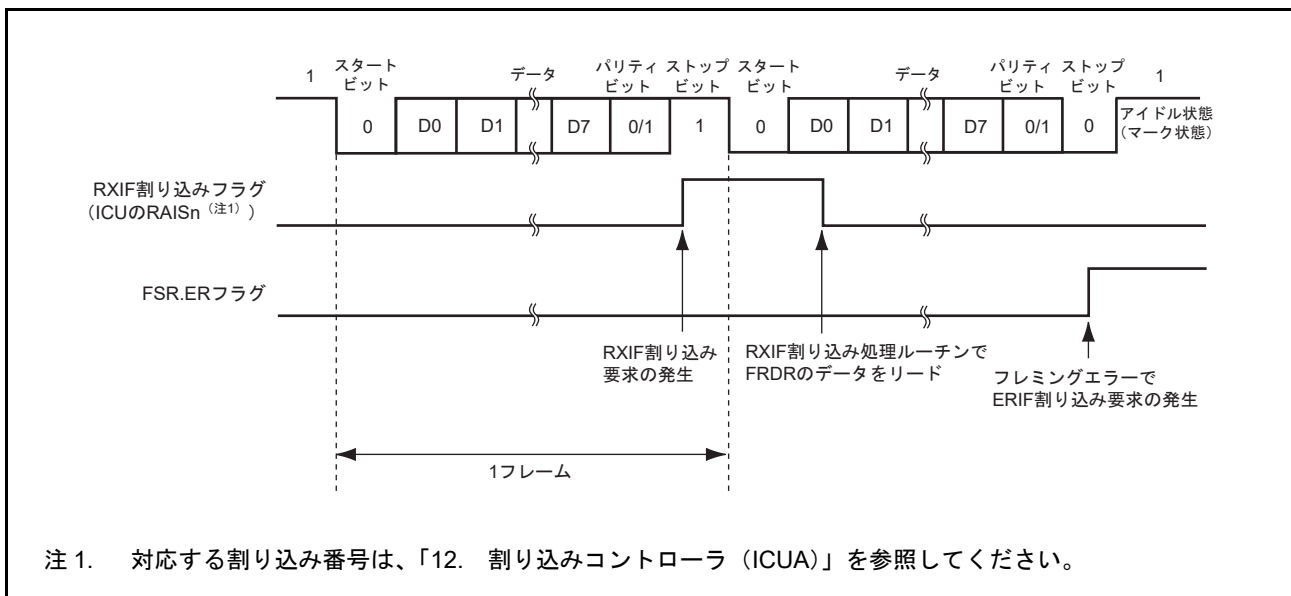


図 25.9 SCIFA の受信時の動作例 (8ビットデータ/パリティあり/1ストップビット/LSB ファーストの例)

5. モデムコントロールが有効の場合、FRDR レジスタに空きがあることを示す RTS# 信号を出力します。RTS# 端子が Low のときは受信可能です。RTS# 端子が High のときは FRDR レジスタのデータが RTS# 出力アクティブトリガ設定数以上となり、FRDR レジスタに余裕ができるまで次データの送信を待って欲しい状態であることを示します。モデムコントロール使用時の動作例を例を図 25.10 に示します。

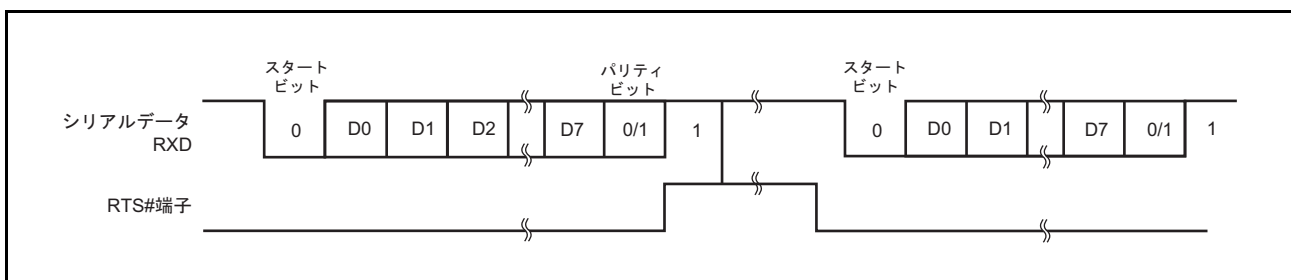


図 25.10 モデムコントロールを使用した動作例 (RTS#)

25.3.3 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信／受信するモードで、高速シリアル通信に適しています。

SCIFA 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。また、送信部と受信部は、それぞれ 16 段の FIFO バッファ構造になっていますので、送信／受信中にデータの読み出し／書き込みができ、連続送信／受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 25.11 に示します。

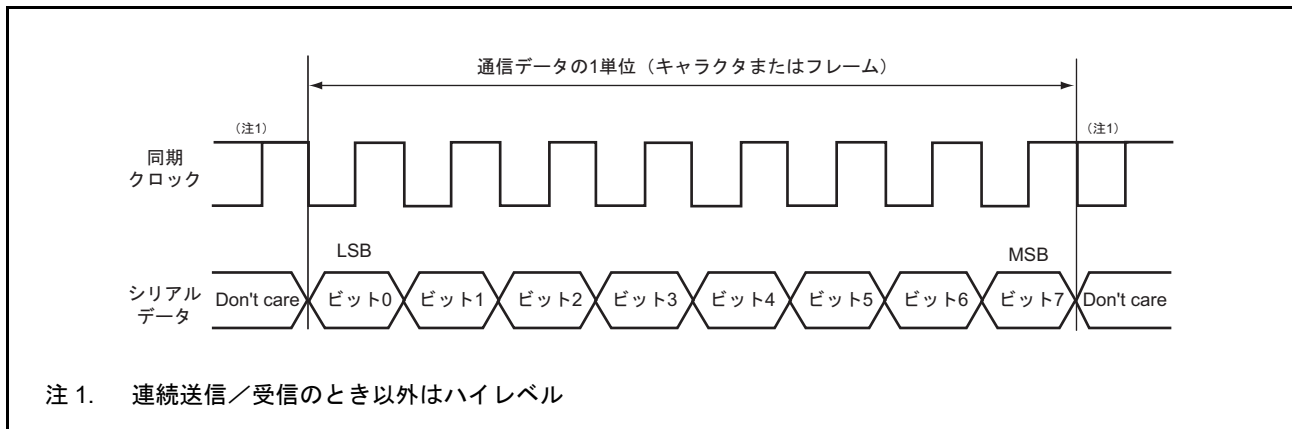


図 25.11 クロック同期式通信のデータフォーマット (LSB ファースト時)

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち上がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、データのLSBから始まり最後にMSBが出力され、MSB出力後の通信回線の状態はMSBの状態を保ちます (LSB ファースト時)。

クロック同期式モードでは、SCIFA は同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信／受信フォーマット

8ビットデータ固定です。

パリティビットは付加できません。

(2) クロック

SCIFA の送受信クロックは、シリアルモードレジスタ (SMR) の CM ビット、シリアルコントロールレジスタ (SCR) の CKE[1:0] ビット、およびシリアル拡張モードレジスタ (SEMR) の ACS0 ビットの設定により、内蔵ボーレートジェネレータの生成した内部クロック、または SCK 端子から入力された外部クロックの2種類から選択できます。

内部クロックで動作させる場合、SCK 端子から同期クロックが出力されます。同期クロックは1キャラクタの送受信で8パルス出力され、送信／受信を行わないときには High に固定されます。受信動作のみの場合、内部クロックを選択すると SCR レジスタの RE ビットが“1”の間、受信 FIFO 内データ数が受信トリガ設定数に達するまでクロックパルスが出力されます。

(3) データの送信／受信動作

• SCIFAの初期化（クロック同期式モード）

データの送信／受信前にシリアルコントロールレジスタ（SCR）のTE、REビットを“0”にクリアした後、以下の手順でSCIFAを初期化してください。

また、モードや通信フォーマットを変更する場合も、必ずTE、REビットを“0”にクリアした後、以下の手順で変更してください。TEビットを“0”にクリアするとトランスミットシフトレジスタ（TSR）が初期化されます。REビットを“0”にクリアしても、RDF、PER、FER、ORERの各フラグ、およびレシーブFIFOデータレジスタ（FRDR）の内容は保持されますので注意してください。

図 25.12 に SCIFA 初期化フローチャートの例を示します。

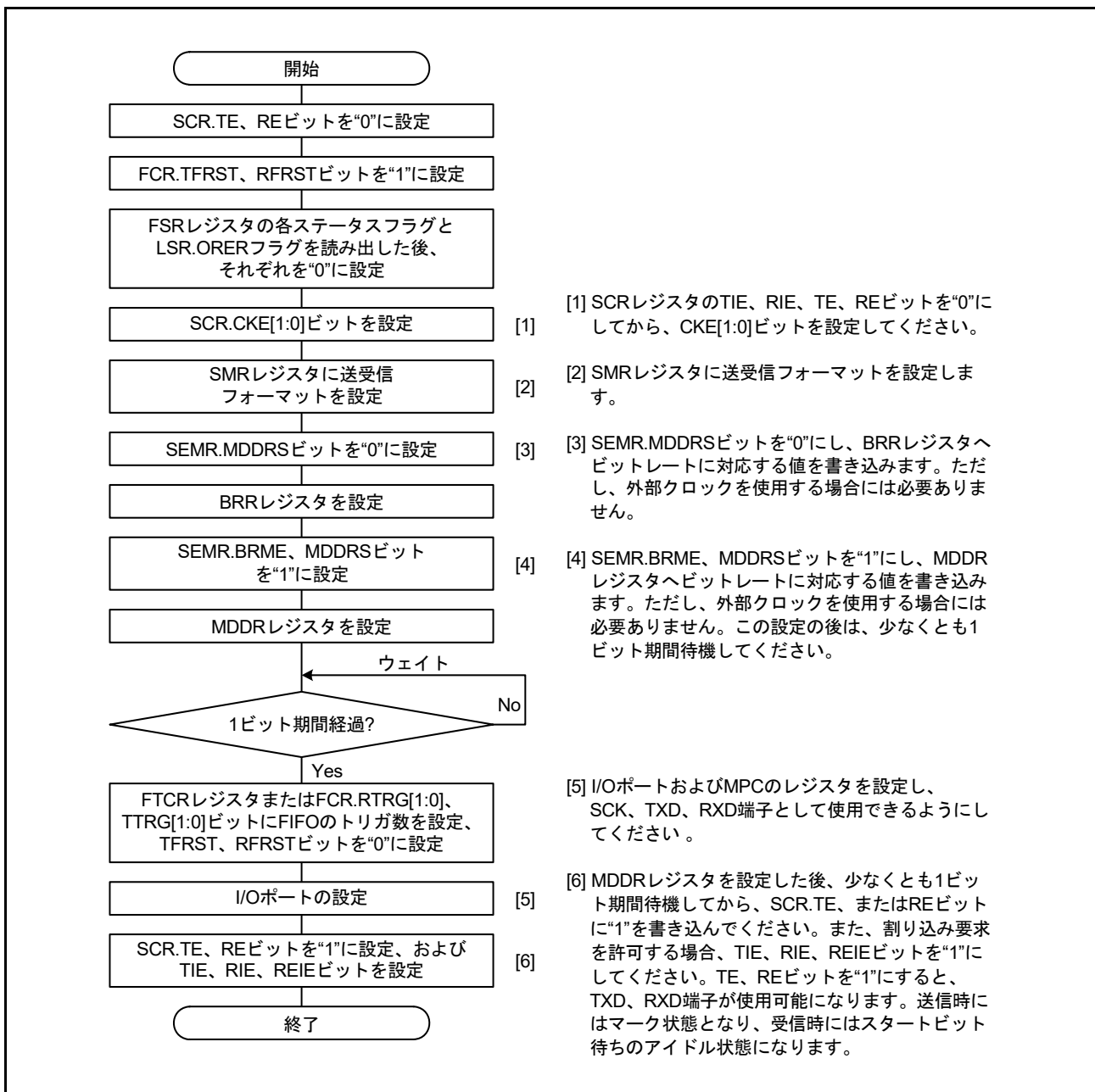


図 25.12 SCIFA 初期化フローチャートの例

● シリアルデータ送信 (クロック同期式モード)

図 25.13 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCIFA を送信動作可能状態に設定した後、以下の手順で行ってください。

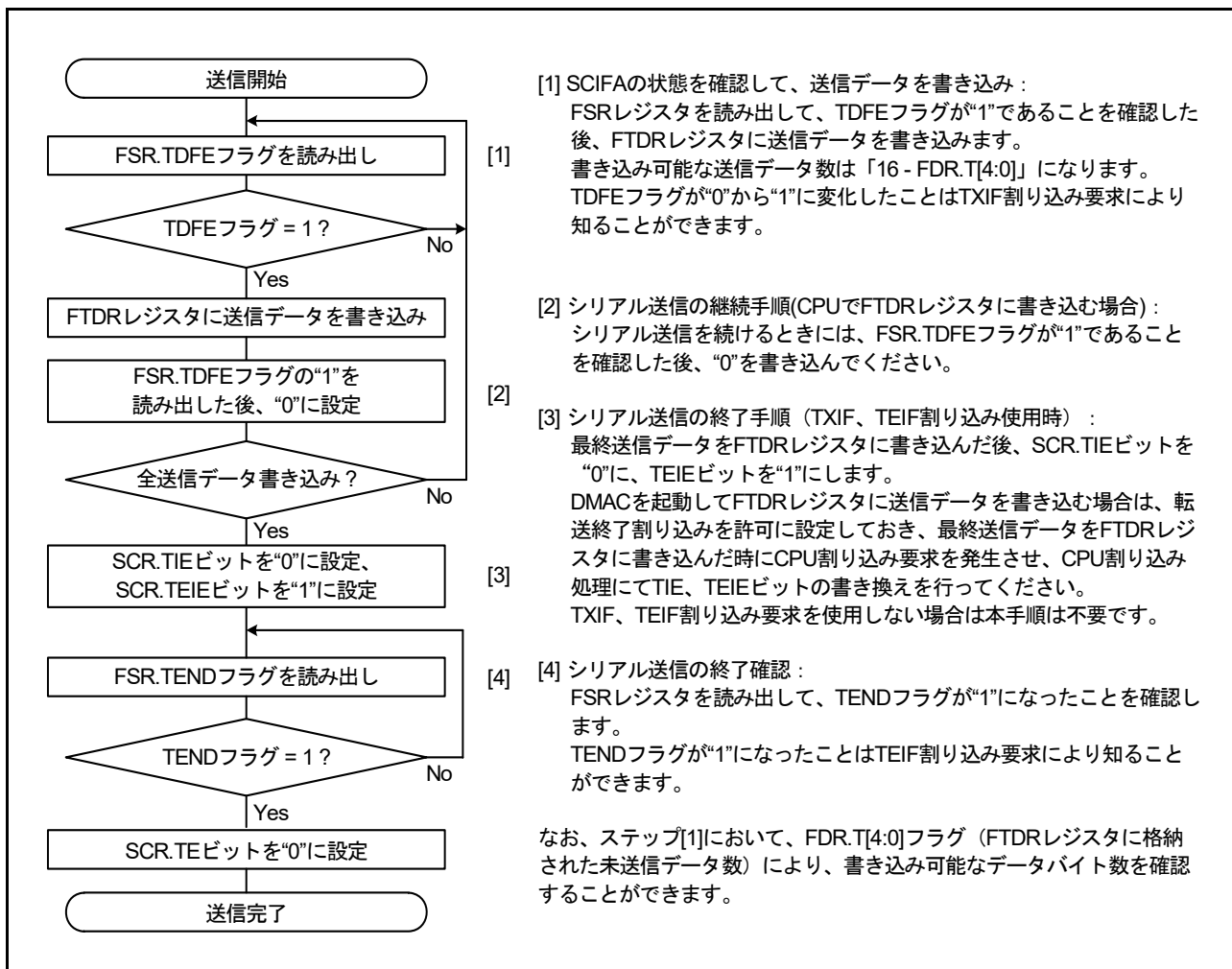


図 25.13 シリアル送信のフローチャートの例

SCIFA はシリアル送信時、以下のように動作します。

1. TXIF 割り込み処理ルーチンでトランスミット FIFO データレジスタ (FTDR) にデータが書き込まれると、FTDR レジスタからトランスミットシフトレジスタ (TSR) にデータを転送します。送信データを FTDR レジスタに書き込む前に、シリアルステータスレジスタ (FSR) の TDFE フラグが“1”にセットされていることを確認してください。書き込み可能な送信データバイト数は (16 - 未送信データ数) です。
2. FTDR レジスタから TSR レジスタへデータが転送され、送信を開始すると、FTDR レジスタに送信データがなくなるまで連続して送信動作を続けます。FTDR レジスタの送信データバイト数が FIFO コントロールレジスタ (FCR)、または FIFO トリガコントロールレジスタ (FTCR) で設定した送信トリガ数以下になると、FSR レジスタの TDFE フラグがセットされます。このとき、シリアルコントロールレジスタ (SCR) の TIE ビットに“1”がセットされていると、送信 FIFO データエンプティ割り込み (TXIF) 要求が発生します。

クロック出力モードに設定した場合、SCIFA は同期クロックを 8 パルス出力します。外部クロックに設定した場合、入力クロックに同期してデータを出力します。シリアル送信データは、LSB (b0) ~ MSB (b7) の順に TXD 端子から出力されます (LSB ファースト時)。

3. SCIFA は、最終ビットを送出するタイミングで FTDR レジスタの送信データをチェックします。送信データがある場合、FTDR レジスタから TSR レジスタにデータを転送し、次のフレームのシリアル送信を開始します。データがない場合は、FSR レジスタの TEND フラグを“1”にセットし、最終ビットを出力した後、TXD 端子は最終データの出力レベルを保持します。
4. シリアル送信終了後、SCK 端子は High 固定になります。

図 25.14 に SCIFA の送信時の動作例を示します。

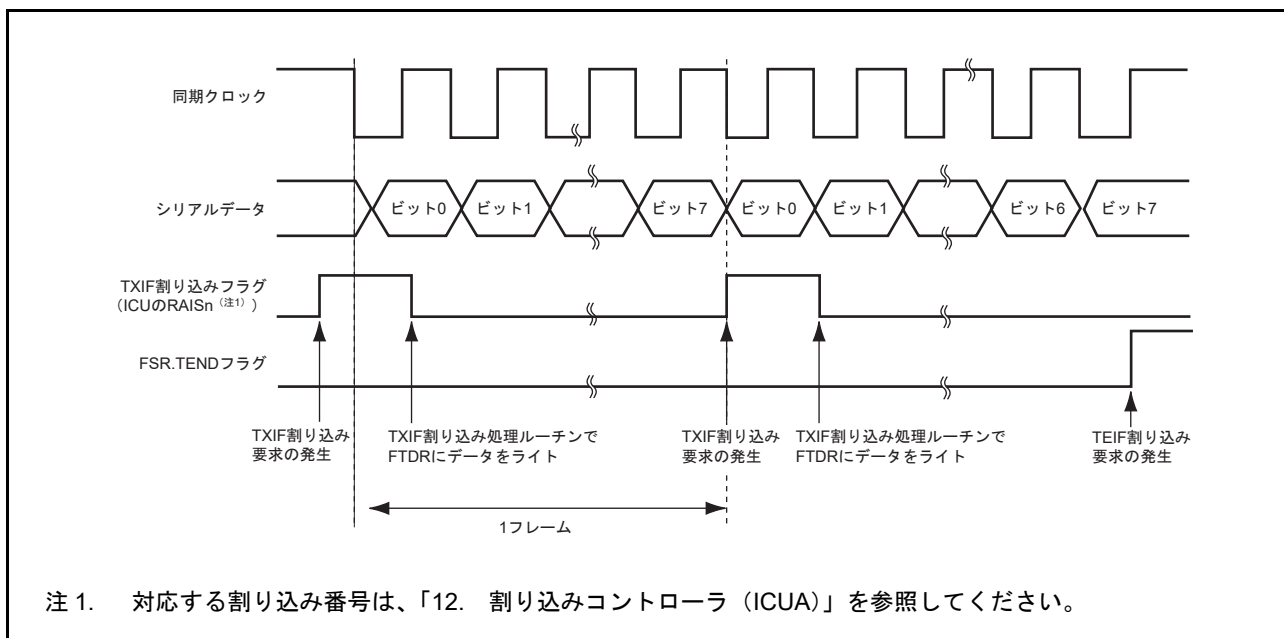


図 25.14 SCIFA の送信時の動作例 (LSB ファースト時)

● シリアルデータ受信 (クロック同期式モード)

図 25.15 にシリアル受信のフローチャートの例を示します。

シリアルデータ受信は、SCIFA を受信動作可能状態に設定した後、以下の手順で行ってください。

SCIFA の初期化を行わずに動作モードを調歩同期式モードからクロック同期式モードに切り替える際は、必ず、ラインステータスレジスタ (LSR) の ORER、PER、FER の各フラグが “0” にクリアされていることを確認してください。

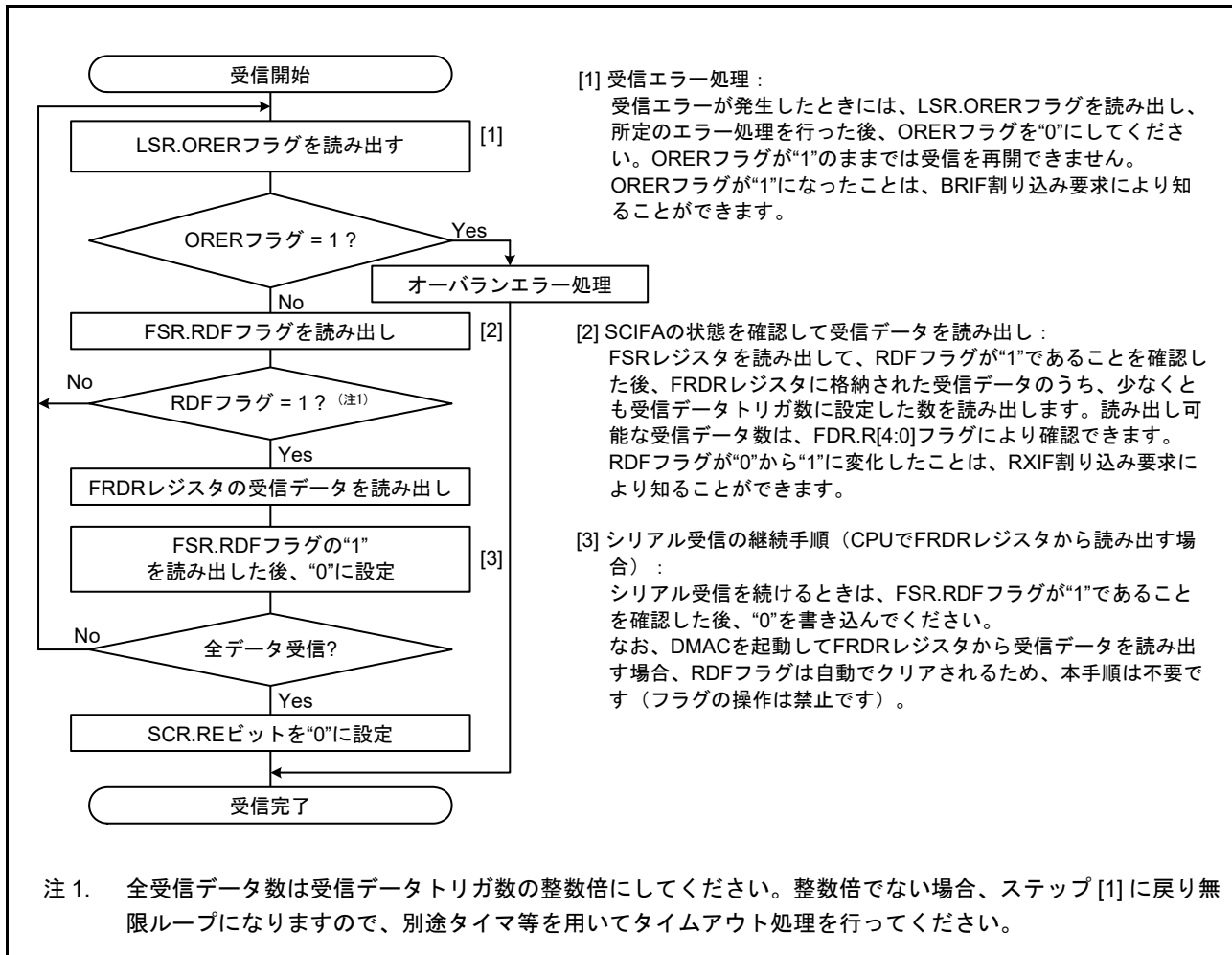


図 25.15 シリアル受信のフローチャートの例

SCIFA はシリアル受信時、以下のように動作します。

1. 同期クロックの入力または出力に同期して受信を開始します。
2. 受信したデータをレシブシフトレジスタ (RSR) に LSB から MSB の順に格納します (LSB ファースト時)。受信後、SCIFA は受信データを RSR レジスタから FRDR レジスタに転送できる状態かどうか確認します。転送できる状態であれば、FRDR レジスタに受信データが格納されます。エラーチェックでオーバランエラーを検出すると、以後の受信動作は行われません。
3. 指定受信トリガ数以上の受信データ数が FRDR レジスタに格納され、RDF フラグが“1”になったとき、シリアルコントロールレジスタ (SCR) の RIE ビットが“1”にセットされている場合は、受信 FIFO データフル割り込み (RXIF) 要求が発生します。また、ラインステータスレジスタ (LSR) の ORER フラグが“1”になったとき、SCR レジスタの RIE ビットまたは REIE ビットが“1”にセットされている場合は、ブレイク割り込み (BRIF) 要求が発生します。

図 25.16 に SCIFA の受信時の動作例を示します。

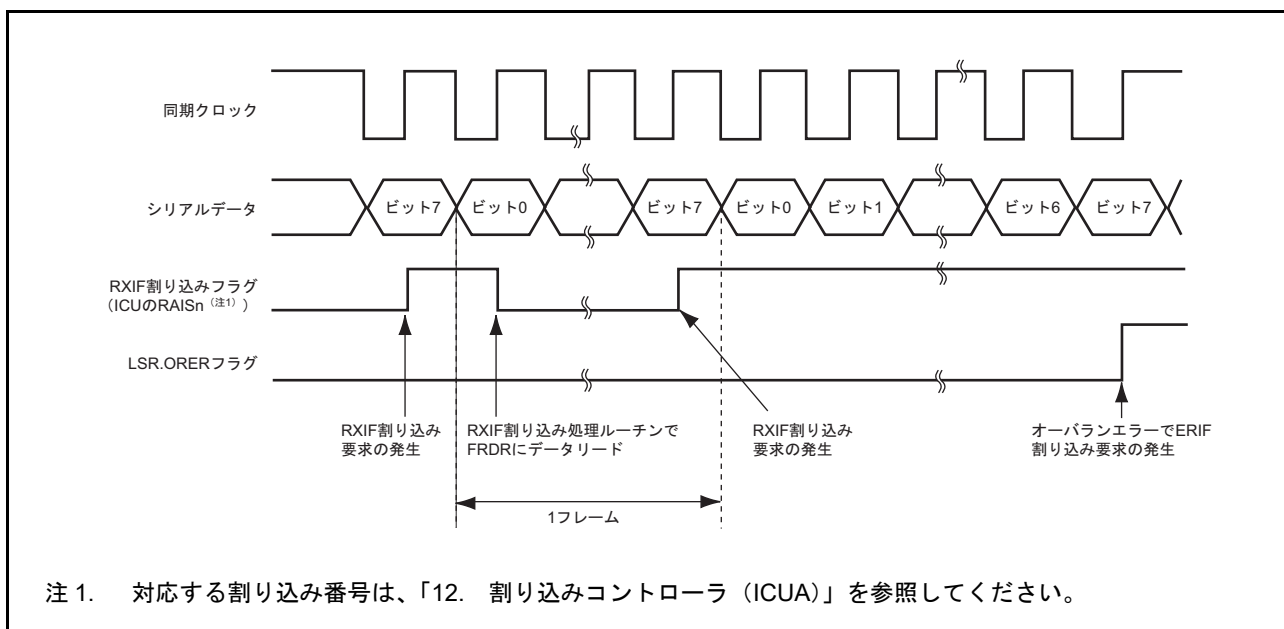


図 25.16 SCIFA の受信時の動作例 (LSB ファースト時)

● シリアルデータ送受信同時動作 (クロック同期式モード)

図 25.17 にシリアル送受信同時動作のフローチャートの例を示します。

送受信同時動作においては、受信データ数 = 送信データ数 = FTDR レジスタへ書き込む送信データ数になります。

シリアルデータの送受信同時動作は、SCIFA を送受信動作可能状態に設定した後、以下の手順で行ってください。

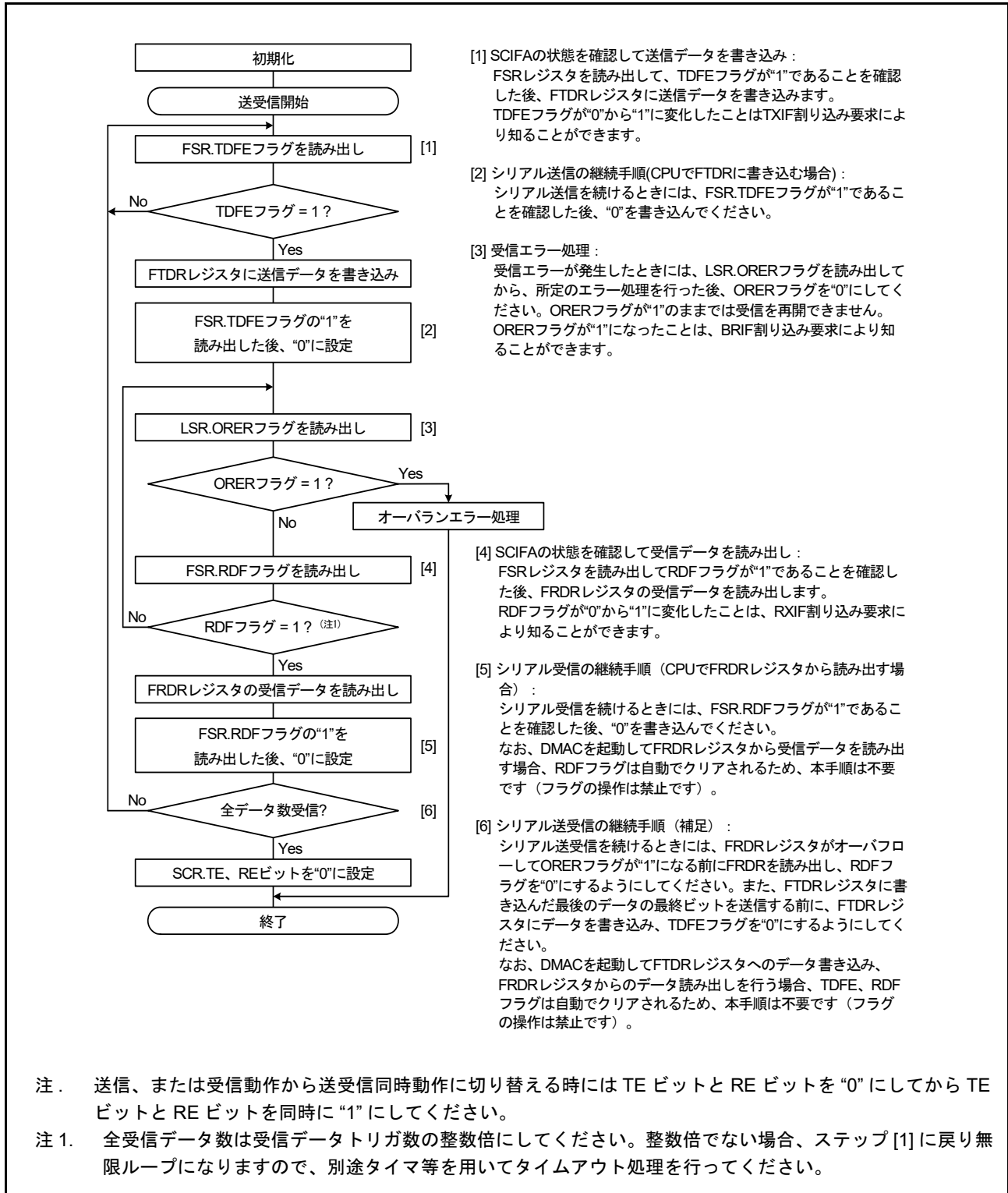


図 25.17 シリアルデータ送受信フローチャートの例

25.4 ビットモジュレーション機能

ビットレートモジュレーション機能とは、ボーレートジェネレータに入力されたクロックを、指定された個数間引くことによって、ビットレートを補正する機能です。SMRレジスタのCKS[1:0]ビットで指定した内部クロックの256クロックに対し、MDDRレジスタで指定した個数のクロックだけを平均的な間隔になるように有効にすることによってビットレートを補正します。

調歩同期式モード時にCKS[1:0]ビットでSERICLKを選択し、BRR = 0、MDDR = 160に設定した例を、**図 25.18**に示します。この例では基本クロックの周期が平均的に256/160に補正され、ビットレートは160/256に補正されます。内部クロックの間引きには偏りがあり、基本クロックのパルス幅は、間引かれた内部クロック分の伸縮が生じます。

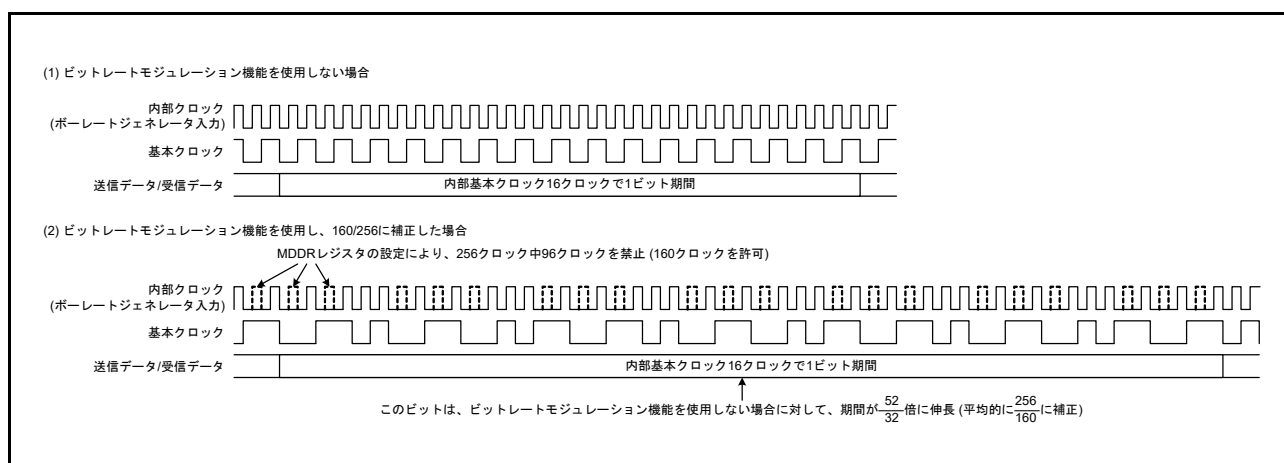


図 25.18 ビットレートモジュレーション機能使用時の内部基本クロックの例

25.5 割り込み要因

SCIFA は、送信 FIFO データエンプティ割り込み (TXIF) 要求、受信エラー割り込み (ERIF) 要求、受信 FIFO データフル割り込み (RXIF) 要求、ブ레이크割り込み (BRIF) 要求、トランスミットエンド割り込み (TEIF)、受信データレディ割り込み (DRIF) 要求の 6 種類の割り込み要因を持っています。TEIF 割り込みと DRIF 割り込み、ERIF 割り込みと BRIF 割り込みのベクタ番号はそれぞれ兼用になっています。

表 25.17 に各割り込み要因と優先順位を示します。各割り込み要因は、SCR レジスタの TIE、RIE、REIE、TEIE ビットで許可/禁止を設定できます。また、各割り込み要求は、それぞれ独立に割り込みコントローラに入力されます。

送信の結果、FTDR レジスタに書き込んだ送信データ数が、指定送信トリガ数以下のとき、シリアルステータスレジスタ (FSR) の TDFE フラグが“1”にセットされ、TXIF 割り込み要求が発生します。

指定受信トリガ数以上の受信データ数が FRDR レジスタに格納され、FSR レジスタの RDF フラグが“1”にセットされると、RXIF 割り込み要求が発生します。

FRDR レジスタのデータ数が指定受信トリガ数未満の場合、最後のストップビットから 15ETU の時間経過 (注 1) 後も次のデータが受信されないと、FSR レジスタの DR フラグが“1”にセットされ、DRIF 割り込み要求が発生します。クロック同期モードの場合、DRIF 割り込み要求は発生しません。

FSR レジスタの BRK フラグまたは LSR レジスタの ORER フラグが“1”にセットされると BRIF 割り込み要求が発生します。

FSR レジスタの ER フラグが“1”にセットされると ERIF 割り込み要求が発生します。

FSR レジスタの TEND フラグが“1”にセットされると TEIF 割り込み要求が発生します。

SCR レジスタの RIE ビットを“0”に設定し、REIE ビットを“1”に設定すると RXIF、DRIF 割り込み要求は発生せず、ERIF、BRIF 割り込み要求だけが発生します。

なお、TXIF 割り込みは送信データの書き込みが可能であることを示し、RXIF 割り込みは FRDR レジスタに受信データがあることを示しています。

注 1. 8 ビット、1 ストップビットのフォーマットの 1.5 フレーム分に相当します。(ETU : Element Time Unit : 要素時間単位)

表 25.17 SCIFA 割り込み要因

名称	レベル/ エッジ	割り込み要因	割り込み許可 ビット	DMACの起動	優先 順位
BRIF	レベル	ブ레이크 (BRK) またはオーバラン (ORER) による割り込み	RIE または REIE	不可	高 ↑ ↓ 低
ERIF	レベル	フレーミングエラーまたはパリティエラー (ER) による割り込み	RIE または REIE	不可	
RXIF	レベル	受信 FIFO データフル (RDF) による割り込み	RIE	可	
TXIF	レベル	送信 FIFO データエンプティ (TDFE) による割り込み	TIE	可	
TEIF	レベル	トランスミットエンド (TEND) による割り込み	TEIE	不可	
DRIF	レベル	受信データレディ (DR) による割り込み	RIE	不可	

注. TEIF 割り込みと DRIF 割り込みのベクタ番号は兼用です。

25.6 シリアルポートレジスタ (SPTR) と SCIFA 関連の端子との関係

SPTR レジスタと SCIFA 関連の端子との関係を図 25.19 ~ 図 25.22 に示します。

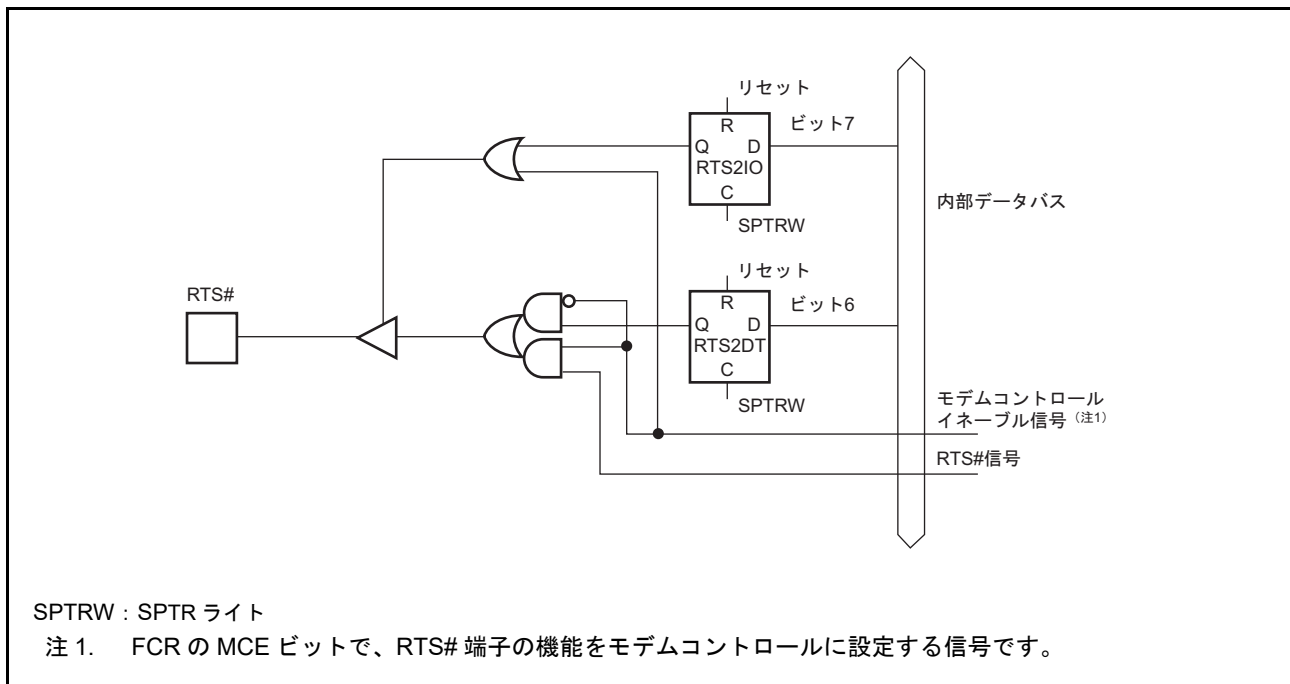


図 25.19 SPTR レジスタの RTS2IO ビット、RTS2DT ビットと RTS# 端子との関係

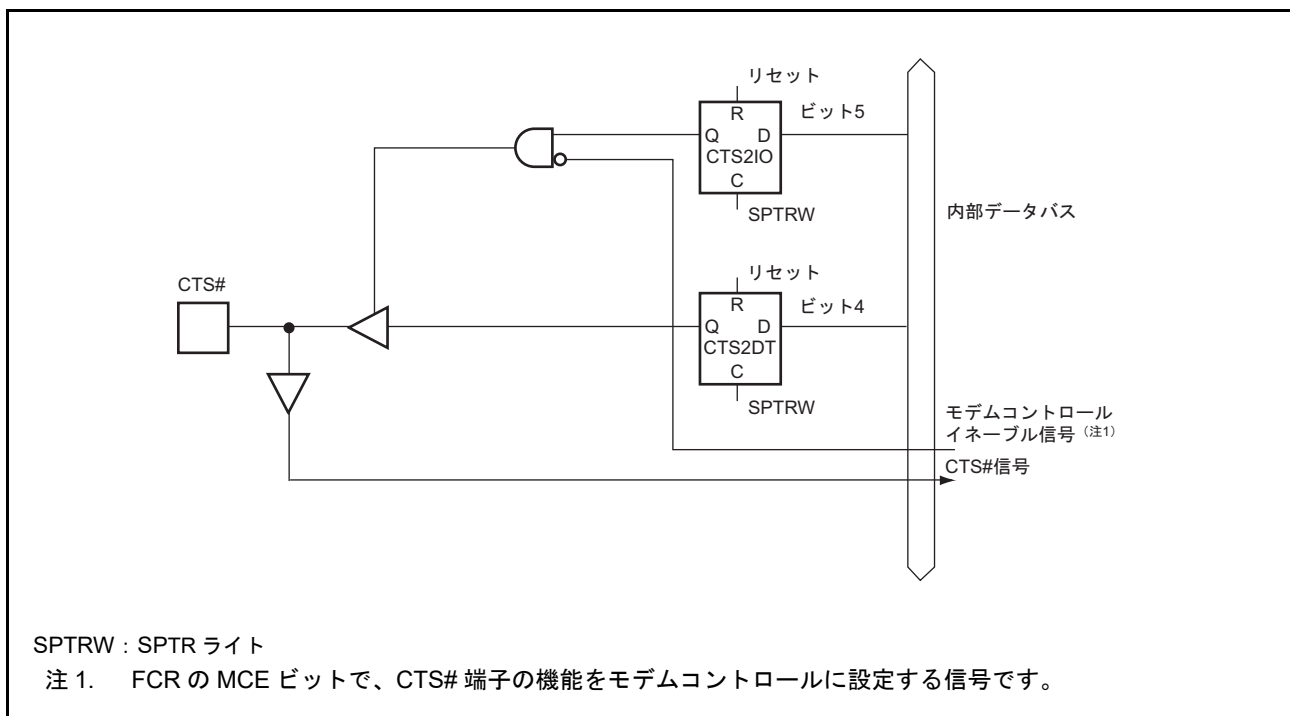


図 25.20 SPTR レジスタの CTS2IO ビット、CTS2DT ビットと CTS# 端子との関係

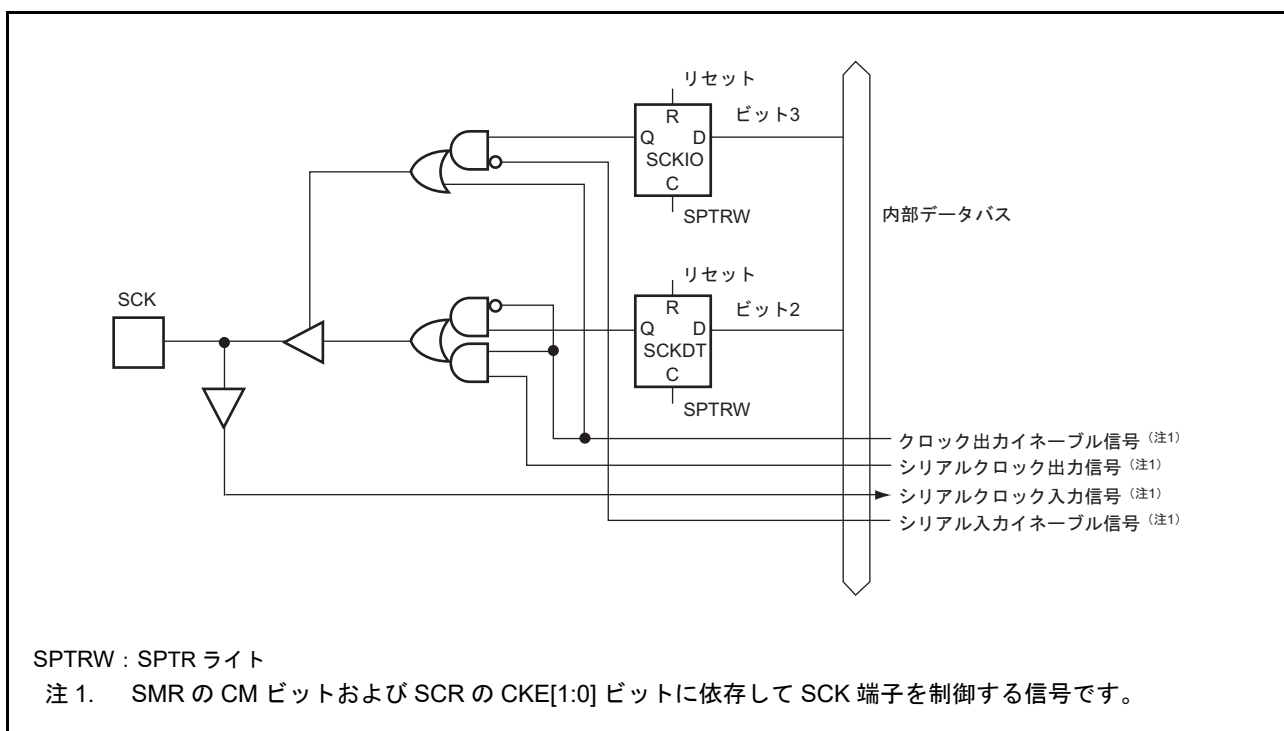


図 25.21 SPTR レジスタの SCKIO ビット、SCKDT ビットと SCK 端子との関係

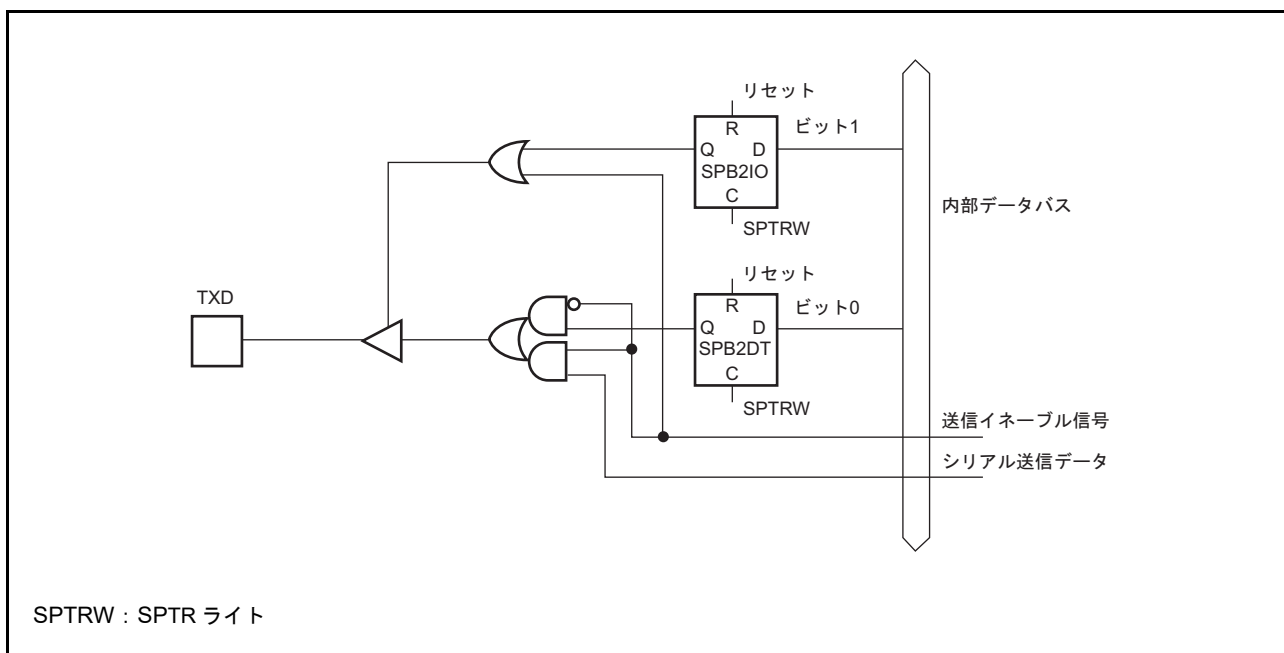


図 25.22 SPTR レジスタの SPB2IO ビット、SPB2DT ビットと TXD 端子との関係

25.7 ノイズ除去機能

ノイズ除去機能に用いるノイズフィルタの構成を図 25.23 に示します。ノイズフィルタは2段のフリップフロップ回路と一致検出回路で構成されます。ノイズフィルタの入力信号、および2段のフリップフロップ回路出力がすべて一致したとき、そのレベルが内部信号として伝えられます。一致しない場合は前の値を保持します。(ノイズフィルタのサンプリングで使われるクロックで3回サンプリングした値が一致した場合、有効な受信信号として認識し、3回サンプリングした値が一致しない場合はノイズとして判断し、受信信号として認識しません)。

調歩同期式モード時は、受信信号 RxDn 端子の入力にノイズ除去機能を使用することが可能です。RxDn 端子の受信レベルは、基本クロック (転送レートの16倍、8倍、または4倍 (注1) のクロック) でノイズフィルタのフリップフロップ回路に取り込まれます。

ノイズフィルタを有効にした状態で基本クロックが停止した場合、基本クロック入力再開時は停止時のノイズフィルタの状態の続きから動作を開始します。基本クロックが入力されている期間に SCR.RE = 0 にした場合、ノイズフィルタは“0”を RxDn の内部信号に出力します。受信停止中も内部の一致検出回路は動作を続け、受信再開と同時に直前の3回のサンプリング結果を出力します。

- 注1. SEMR.ABCS0 ビットと SEMR.BGDM ビットが両方とも“0”のときは、ビットレートの16倍の周波数、SEMR.ABCS0 ビットまたは SEMR.BGDM ビットのいずれか一方が“1”のときは、ビットレートの8倍の周波数、SEMR.ABCS0 ビットと SEMR.BGDM ビットが両方とも“1”のときは、ビットレートの4倍の周波数になります。

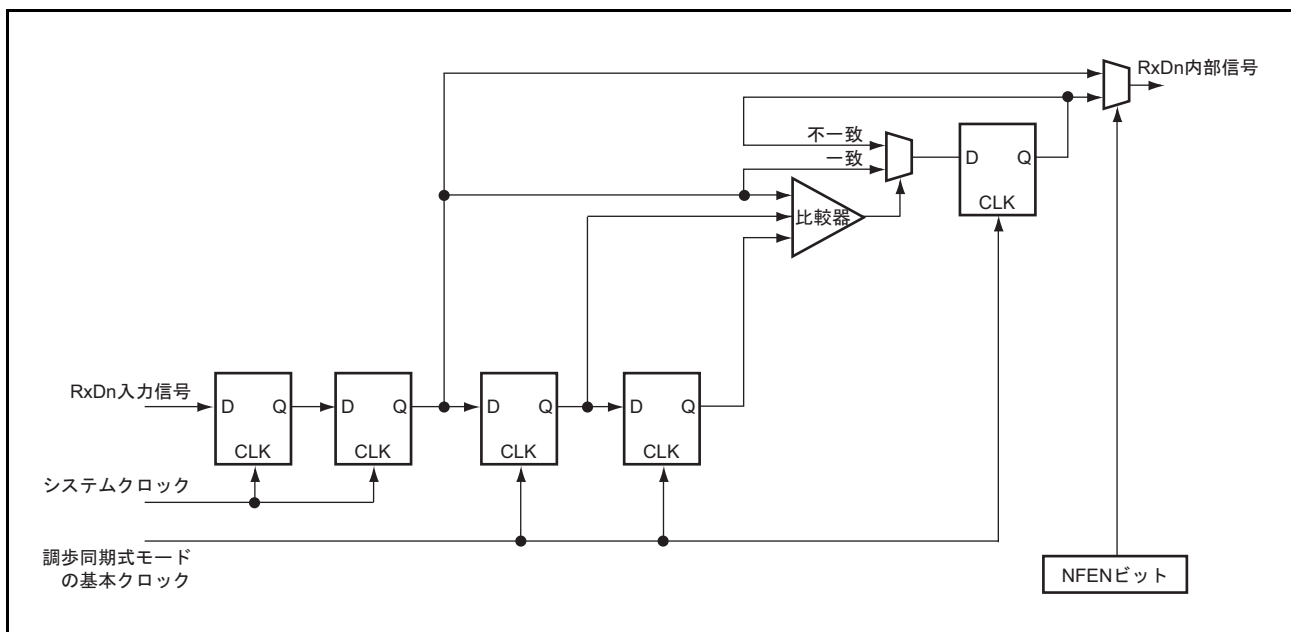


図 25.23 デジタルノイズフィルタ回路のブロック図

25.8 使用上の注意事項

SCIFA を使用する際は、以下のことに注意してください。

25.8.1 FTDR レジスタへの書き込みと TDFE フラグ

シリアルステータスレジスタ (FSR) の TDFE フラグは、トランスミット FIFO データレジスタ (FTDR) に書き込まれた送信データバイト数が FIFO コントロールレジスタ (FCR) の TTRG[1:0] または FIFO トリガコントロールレジスタ (FTCR) の TFTC[4:0] ビットで設定した送信トリガ数より少なくなるとセットされます。TDFE フラグがセットされた後、送信データは FTDR レジスタの空バイト数分、書き込むことができるため、効率のよい連続送信が可能です。

ただし、FTDR レジスタに書き込んだデータバイト数が送信トリガ数以下の場合、TDFE フラグは“1”を読み出した後“0”にクリアしても再び“1”にセットされます。

DMAC による FTDR レジスタへのデータ書き込み時は、DMAC 転送終了時も FSR.TDFE フラグは“1”のままですが、FSR.TDFE フラグとは関係なく DMAC 転送を行うことができます。

FTDR レジスタの送信データバイト数は、FIFO データ数レジスタ (FDR) の上位 8 ビットで確認することができます。

25.8.2 FRDR レジスタの読み出しと RDF フラグ

シリアルステータスレジスタ (FSR) の RDF フラグは、レシーブ FIFO データレジスタ (FRDR) の受信データバイト数が FIFO コントロールレジスタ (FCR) の RTRG[1:0] または FIFO トリガコントロールレジスタ (FTCR) の RFTC[4:0] ビットで設定した受信トリガ数以上になるとセットされます。RDF フラグがセットされた後、トリガ数分の受信データを FRDR レジスタから読み出すことで、効率のよい連続受信が可能です。

ただし、FRDR レジスタのデータバイト数が受信トリガ数を上回る場合、RDF フラグは、“1”を読み出した後“0”にクリアしても再び“1”にセットされます。

DMAC による FRDR レジスタからのデータ読み出し時は、DMAC 転送終了時も FSR.RDF フラグは“1”のままですが、FSR.RDF フラグとは関係なく DMAC 転送を行うことができます。

FRDR レジスタの受信データバイト数は、FIFO データ数レジスタ (FDR) の下位 8 ビットで確認することができます。

25.8.3 ブレークの検出と処理

フレーミングエラー (FER) 検出時に RXD 端子の値を直接読み出すことで、ブレーク信号を検出できます。ブレーク時は、RXD 端子からの入力がすべて Low になります。このため、シリアルステータスレジスタ (FSR) の FER フラグが“1”にセットされ、またパリティエラーフラグ (PER) も“1”にセットされる場合があります。

SCIFA は、ブレーク信号を検出すると FRDR レジスタへの受信データの転送は停止しますが、受信動作は継続します。

25.8.4 SPTR レジスタへの書き込み

SPTR レジスタの bit 6, 4, 2, 0 を読み出すと、端子への入力状態が読めます (詳細は、「25.2.12 シリアルポートレジスタ (SPTR)」の各ビットの説明を参照してください)。これらのビットに 1 ビット単位で書き込んだ場合、リード・モディファイ・ライトされ、意図した値が書き込まれない場合があります。このため、例えば、SPB2DT ビットと SPB2IO ビットを操作するような場合は、それぞれのビットを同時に書き込んでください。

25.8.5 ブレークの送付

TXD 端子の出力信号は、シリアルポートレジスタ (SPTR) の SPB2IO ビットと SPB2DT ビットで決まります。これを利用してブレーク信号を送出することができます。

SCIFA の初期化から SCR レジスタの TE ビットを“1”にセット (送信可能) するまで、TXD 端子は送信データ出力端子として機能しません。この間の TXD 端子状態は SPB2DT ビットの値で代替されます。このため、最初は SPTR レジスタの SPB2IO と SPB2DT ビットを“1” (High 出力) に設定しておきます (マーク状態 (High))。

シリアル送信時にブレーク信号を送出するためには、SPTR レジスタの SPB2IO ビットに“1”をセット、SPB2DT ビットを“0”にクリア (Low を指定) した後、SCR レジスタの TE ビットを 0 にクリア (送信停止) します。TE ビットを“0”にクリアすると、送信部は現在の送信状態とは無関係に初期化され、TXD 端子から Low が出力されます。

25.8.6 調歩同期式モードの受信データサンプリングタイミングと受信マージン

SCIFA は転送レートの 16 倍 (注 1) の周波数の基本クロックで動作しています。受信時は、基本クロックの 8 クロック目 (注 1) の立ち上がりエッジで受信データを内部に取り込みます。このタイミングを図 25.24 に示します。

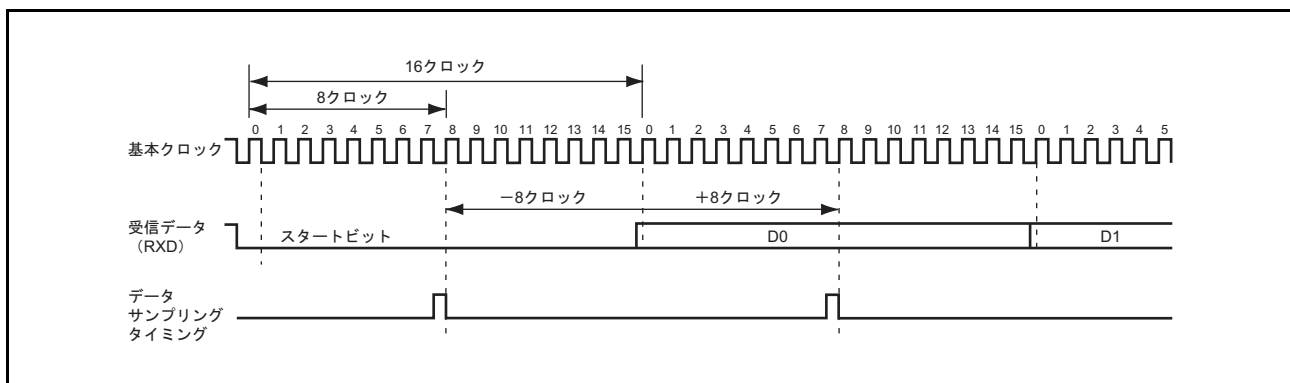


図 25.24 調歩同期式モードでの受信データサンプリングタイミング

注 1. SEMR.ABCS0 ビット = 0 のときの例です。ABCS0 ビット = 1 のときは、ビットレートの 8 倍の周波数が基本クロックとなり、受信データは基本クロックの 4 番目の立ち上がりエッジでサンプリングします。したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left\{ \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right\} \times 100[\%] \quad \dots \text{式 (1)}$$

M : 受信マージン (%)

N : ビットレートに対するクロック周波数の比 (N = 16)

D : クロックデューティ (D = 0 ~ 1.0)

L : フレーム長 (L = 9 ~ 12)

F : クロック周波数の偏差の絶対値

式 (1) で、F = 0、D = 0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D = 0.5、F = 0 のとき

$$M = (0.5 - 1 / (2 \times 16)) \times 100\% = 46.875\% \quad \dots \text{式 (2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際は 20 ~ 30% の余裕を持たせてください。

25.8.7 シリアルステータスレジスタ (FSR) の FER フラグおよび PER フラグの注意事項

シリアルステータスレジスタ (FSR) の FER フラグおよび PER フラグは、次に読み出すレシーブ FIFO データレジスタ (FRDR) のステータスフラグです。CPU によりレシーブ FIFO データレジスタを読み出すと、受信データのフレーミングエラーおよびパリティエラーのフラグはクリアされます。受信データのフレーミングエラーおよびパリティエラーの状態を確認する場合は、シリアルステータスレジスタの読み出し後にレシーブ FIFO データレジスタを読み出してください。

25.8.8 クロック同期式モードにおける外部クロック入力時の注意事項

シリアルコントロールレジスタ (SCR) の TE=1、RE=1 の設定は、外部クロック (SCK) が “0” (Low) から “1” (High) になった後、周辺動作クロックが 4 クロック以上入力された後に行ってください。

また、外部クロック (SCK) を入力する (通信を開始する) 場合、SCR レジスタの TE=1、RE=1 に設定し、外部クロックの 1 周期以上の時間経過後に入力してください。

25.8.9 モジュールスタンバイモードの設定

SCIFA はスタンバイコントロールレジスタにより、本モジュールの動作禁止/許可を設定することが可能です。初期値は、SCIFA の動作停止です。モジュールスタンバイモードを解除することにより、各レジスタのアクセスが可能となります。詳細は「9. 消費電力低減機能」を参照してください。

25.8.10 クロック同期式モードで内部クロック選択時における受信動作の注意事項

クロック同期式モードで内部クロックを選択して受信を行う場合、レシーブ FIFO データレジスタ (FRDR) に格納されるデータ数が指定した受信トリガ数以上になると、RDF フラグをセットして RXIF 割り込み要求が発生すると共に、同期クロックの出力が停止し、シリアルデータの受信動作が停止します。FRDR レジスタからデータを読み出し、FRDR レジスタに格納されたデータ数が指定受信トリガ数未満になると、同期クロックの出力を開始し、シリアルデータの受信動作を再開します。また、クロック同期式モードで内部クロックを選択して受信を行う場合、オーバランエラーは発生しないため、ORER フラグは “1” にセットされません。このため、オーバラン (ORER フラグ) を割り込み要因とする BRIF 割り込みは利用できません。

25.8.11 SCIFA 初期化時の注意事項

SCIFA の初期化の際、シリアルコントロールレジスタ (SCR) の TE ビットおよび RE ビットを “0” にクリアする場合は、各ビットを同時に “0” とするか、先に RE ビットを “0” としてください。

TE ビットのみを先に “0” とした場合、RE ビット = “1” で受信動作許可となるため、意図せず受信動作を開始する可能性があるため注意が必要です。

26. I²Cバスインタフェース (R11Ca)

本 LSI は、1 チャンネルの I²C バスインタフェース (R11C) を内蔵しています。

R11C は、NXP 社が提唱する I²C バス (Inter-IC-Bus) インタフェース方式に準拠しており、そのサブセット機能を内蔵しています。

26.1 概要

表 26.1 に R11C の仕様を、図 26.1 に R11C のブロック図を、図 26.2 に入出力端子の外部回路接続例 (I²C バス構成例) を示します。表 26.2 に R11C で使用する入出力端子を示します。

表 26.1 R11C の仕様

項目	内容
通信フォーマット	<ul style="list-style-type: none"> I²C バスフォーマット マスタ/スレーブ選択可能 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保
転送速度	ファストモード対応 (~400kbps)
SCL クロック	マスタ時、SCL クロックのデューティ比を 4%~96% の範囲で設定可能
コンディション発行・コンディション検出	スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、スタートコンディション (リスタートコンディション含む) /ストップコンディション検出可能
スレーブアドレス	<ul style="list-style-type: none"> 異なるスレーブアドレスを 3 種類まで設定可能 7 ビット/10 ビットアドレスフォーマット対応 (混在可能) ジェネラルコールアドレス検出、デバイス ID アドレス検出可能
アクノリッジ応答	<ul style="list-style-type: none"> 送信時、アクノリッジビットの自動ロード ノットアクノリッジ受信時に次送信データ転送の自動中断が可能 受信時、アクノリッジビットの自動送付 8 クロック目と 9 クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジビット応答のソフトウェア制御が可能
ウェイト機能	<ul style="list-style-type: none"> 受信時、SCL クロックの Low ホールドによるウェイトが可能 8 クロック目と 9 クロック目の間をウェイト 9 クロック目と 1 クロック目の間をウェイト
SDA 出力遅延機能	アクノリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能
アービトレーション	<ul style="list-style-type: none"> 他のマスタとの SCL クロック衝突時、SCL クロックの同期動作可能 (マルチマスタ対応) マスタアービトレーションロスト スタートコンディション発行時、SDA 信号と SDA ライン上の信号の状態が不一致のとき検出 バスビジー中にスタートコンディションを発行したとき検出 マスタ送信時、送信データと SDA ライン上の信号の状態が不一致のとき検出 NACK 送信アービトレーションロスト ノットアクノリッジ送信時、SDA ライン上の信号の状態が不一致のとき検出 スレーブアービトレーションロスト スレーブ送信時、送信データと SDA ライン上の信号の状態が不一致のとき検出
タイムアウト検出機能	内蔵タイムアウト検出機能により SCL クロックの長時間停止を検出可能
ノイズ除去	SCL、SDA 入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をプログラマブルに調整可能
割り込み要因	4 種類 <ul style="list-style-type: none"> 通信エラー/イベント発生 アービトレーション検出 NACK 検出 タイムアウト検出 スタートコンディション検出 (リスタートコンディション含む) ストップコンディション検出 受信データフル (スレーブアドレス一致時含む) 送信データエンプティ (スレーブアドレス一致時含む) 送信終了
消費電力低減機能	モジュールストップ状態への設定が可能
R11C の動作モード	4 種類 マスタ送信モード、マスタ受信モード、スレーブ送信モード、スレーブ受信モード

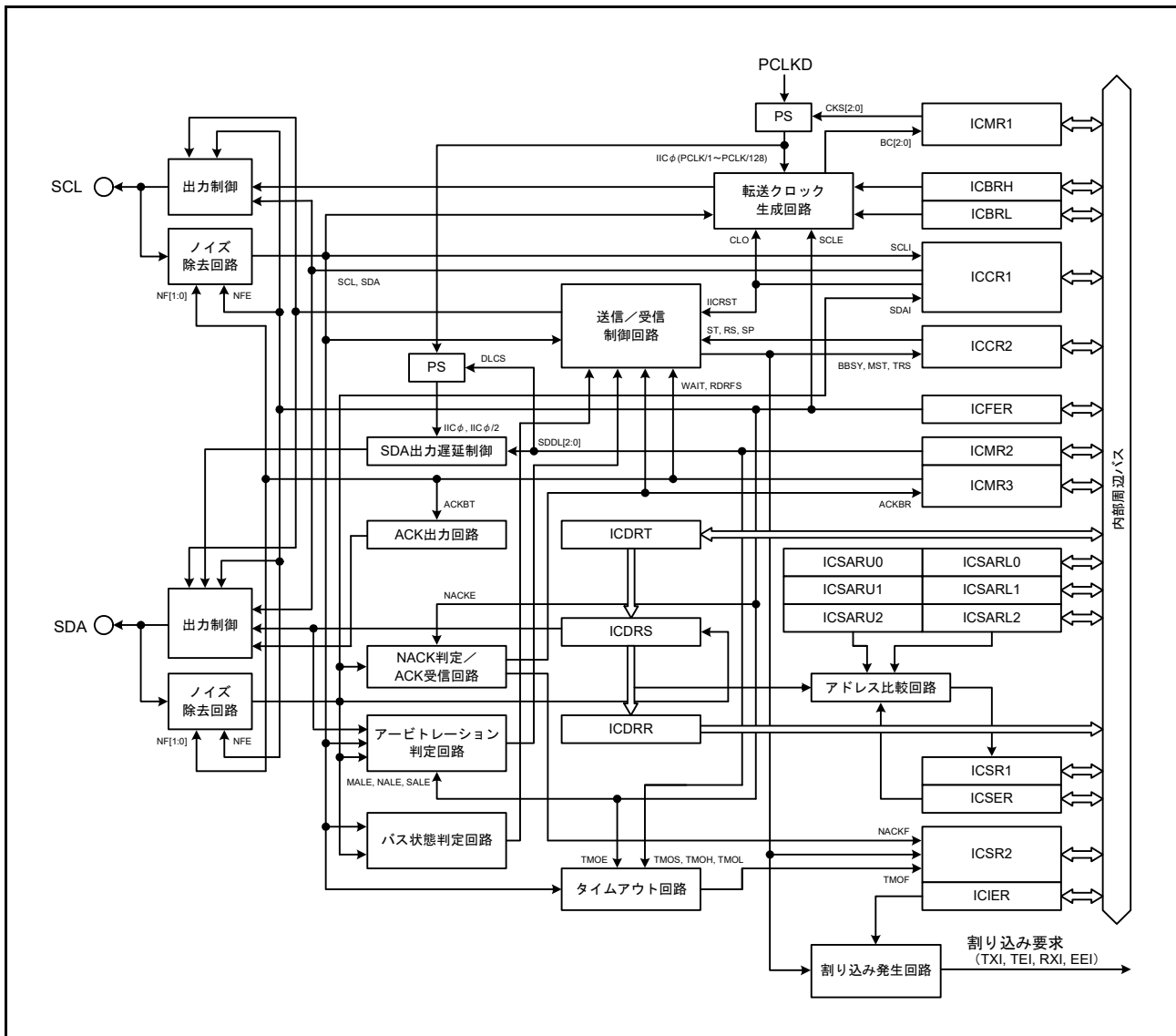


図 26.1 RIIC のブロック図

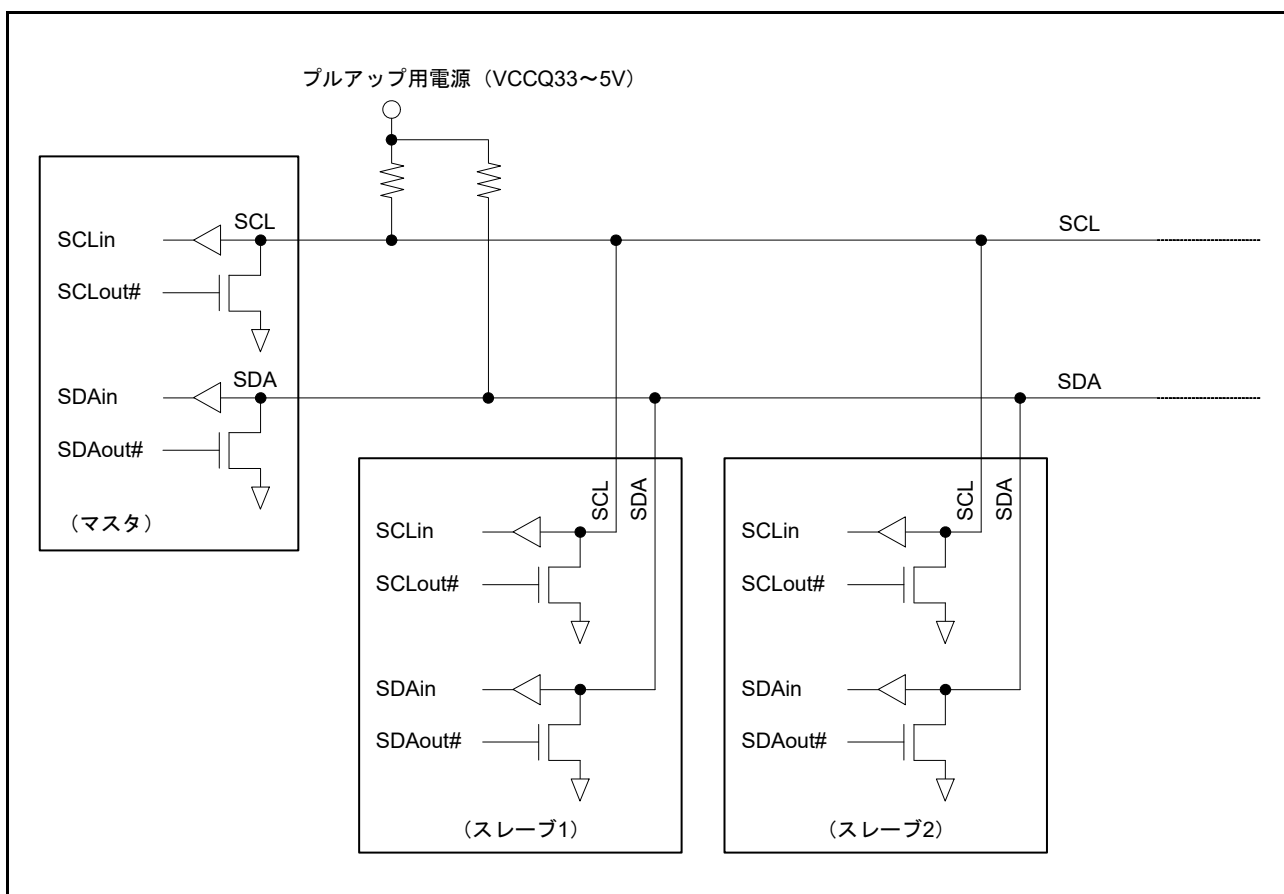


図 26.2 入出力端子の外部回路接続例 (I²C バス構成例)

RIIC の各信号の入力レベルは、CMOS レベルです。

表 26.2 RIICの入出力端子

チャンネル	端子名	入出力	機能
RIIC1	SCL1	入出力	RIIC1シリアルクロック入出力端子
	SDA1	入出力	RIIC1シリアルデータ入出力端子

26.2 レジスタの説明

26.2.1 I²Cバスコントロールレジスタ 1 (ICCR1)

ICCR1 レジスタは、RIIC が出力する SDA 信号、SCL 信号を制御するレジスタです。

アドレス RIIC1.ICCR1 A008 0940h

	b7	b6	b5	b4	b3	b2	b1	b0
	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
リセット後の値	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	SDAI	SDAラインモニタビット	0: SDAラインはLow 1: SDAラインはHigh	R
b1	SCLI	SCLラインモニタビット	0: SCLラインはLow 1: SCLラインはHigh	R
b2	SDAO	SDA出力制御/モニタビット	<ul style="list-style-type: none"> リード時 0: SDA端子出力がLow 1: SDA端子出力がHigh ライト時 0: SDA端子出力をLowにする 1: SDA端子出力をハイインピーダンスに変更 (外部プルアップ抵抗によりHigh出力) 	R/W
b3	SCLO	SCL出力制御/モニタビット	<ul style="list-style-type: none"> リード時 0: SCL端子出力がLow 1: SCL端子出力がHigh ライト時 0: SCL端子出力をLowにする 1: SCL端子出力をハイインピーダンスに変更 (外部プルアップ抵抗によりHigh出力) 	R/W
b4	SOWP	SCLO/SDAOライトプロテクトビット	0: SCLO、SDAOビットの書き換え許可 1: SCLO、SDAOビットを保護 (読むと常に“1”が読めます)	R/W
b5	CLO	SCLクロック追加出力ビット	0: SCLクロックを追加で出力しない (通常状態) 1: SCLクロックを追加で出力する (1クロック出力後、自動的に“0”になる)	R/W
b6	IICRST	I ² Cバスインタフェース内部リセットビット	0: RIICリセット、内部リセット解除 1: RIICリセット、内部リセット状態 (ビットカウンタのクリア、SCL/SDA出力ラッチを解除)	R/W
b7	ICE	I ² Cバスインタフェース許可ビット	0: 禁止 (SCL、SDA端子非駆動状態) 1: 許可 (SCL、SDA端子駆動状態) (IICRSTビットとの組み合わせで、RIICリセット、内部リセットを選択)	R/W

SDAO ビット (SDA 出力制御/モニタビット)、SCLO ビット (SCL 出力制御/モニタビット)

RIIC が出力する SDA 信号、SCL 信号を直接操作するためのビットです。

これらのビットに値を書く場合は、同時に SOWP ビットにも“0”を書いてください。

これらのビットを操作した結果は入力バッファを介して RIIC に入力されます。スレーブモードに設定していると、ビットの操作内容によってはスタートコンディションを検出してバスを解放することがあります。

スタートコンディション、ストップコンディション、リスタートコンディション期間中、および送受信中にこれらのビットを書き換えないでください。これらの期間に書き換えた場合の動作は保証できません。

これらのビットを読んだ場合は、そのとき RIIC が出力している信号の状態が読めます。

CLO ビット (SCL クロック追加出力ビット)

SCL クロックを1クロック単位で追加出力する機能で、デバッグ時または異常処理時に使用します。通常は“0”にしてください。正常な通信動作中に使用すると通信エラーの原因になります。本機能の詳細については、「26.11.2 SCL クロック追加出力機能」を参照してください。

IICRST ビット (I²C バスインタフェース内部リセットビット)

RIIC の内部状態をリセットします。

IICRST ビットを“1”にすると、RIIC リセットまたは内部リセットを行うことができます。

RIIC リセット、内部リセットは ICE ビットとの組み合わせによって決定します。表 26.3 に RIIC のリセットの種類を示します。

RIIC リセットでは全レジスタおよび内部状態を、内部リセットではビットカウンタ (ICMR1.BC[2:0] ビット)、I²C バスシフトレジスタ (ICDRS)、I²C バスステータスレジスタ (ICSR1、ICSR2) および内部状態をリセットします。各レジスタのリセット状況については、「26.13 リセットと各コンディション発行時のレジスタおよび機能の状態」を参照してください。

動作中 (ICE ビット=1 の状態)、通信不具合などによりバス状態や RIIC がハングアップしたときに IICRST ビットを“1”にすると、ポートの設定、RIIC の各コントロールレジスタや設定レジスタを初期化せずに RIIC の内部状態をリセットすることができます。

また RIIC が Low を出力したままハングアップした場合、内部状態をリセットすることで SCL 端子/SDA 端子をハイインピーダンスにしてバスを解放することができます。

注． スレーブモード時でマスタデバイスと通信中にバスハングアップなどにより IICRST ビットで内部リセットを行うと、マスタデバイスの状態と異なる状態（主に双方のビットカウンタ情報に差異が生じる）になる可能性があるため、スレーブモード時には基本的に内部リセットは行わず、復帰処理はマスタデバイスから行うようにしてください。もし、RIIC がスレーブモード時に SCL ラインを Low 出力状態のままハングアップして内部リセットが必要な場合には、内部リセット後にマスタデバイスからリスタートコンディション発行、またはストップコンディション発行後スタートコンディション発行から通信をやり直すようにしてください。スレーブデバイスのみ単独でリセットを行い、マスタデバイスからスタートコンディションまたはリスタートコンディション発行がないまま通信が再開された場合、双方の動作状態に差異が生じたまま動作することになるため同期ズレの原因になります。

表 26.3 RIIC のリセットの種類

IICRST	ICE	状態	内容
1	0	RIIC リセット	RIIC 全レジスタおよび内部状態をリセット
	1	内部リセット	ICMR1.BC[2:0] ビット、ICSR1、ICSR2、ICDRS レジスタおよび内部状態をリセット

ICE ビット (I²C バスインタフェース許可ビット)

SCL、SDA 端子の駆動状態、非駆動状態を選択します。また、ICE ビットは IICRST ビットとの組み合わせにより、2 種類のリセットを行うことができます。リセットの種類については「表 26.3 RIIC のリセットの種類」を参照してください。

RIIC を使用するとき、ICE ビットを“1”に設定してください。ICE ビットが“1”のとき、SCL、SDA 端子駆動状態になります。

RIIC を使用しないときは、ICE ビットを“0”に設定してください。ICE ビットが“0”のとき、SCL、SDA 端子非駆動状態になります。

26.2.2 I²Cバスコントロールレジスタ 2 (ICCR2)

ICCR2 レジスタは、スタート/リスタート/ストップコンディション発行を制御するレジスタです。

アドレス RIIC1.ICCR2 A008 0941h

b7	b6	b5	b4	b3	b2	b1	b0
BBSY	MST	TRS	—	SP	RS	ST	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、必ず“0”としてください	R/W
b1	ST	スタートコンディション発行要求ビット	0: スタートコンディションの発行を要求しない 1: スタートコンディションの発行を要求する	R/W
b2	RS	リスタートコンディション発行要求ビット	0: リスタートコンディションの発行を要求しない 1: リスタートコンディションの発行を要求する	R/W
b3	SP	ストップコンディション発行要求ビット	0: ストップコンディションの発行を要求しない 1: ストップコンディションの発行を要求する	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、必ず“0”としてください	R/W
b5	TRS	送信/受信モードビット	0: 受信モード 1: 送信モード	R/W (注1)
b6	MST	マスタ/スレーブモードビット	0: スレーブモード 1: マスタモード	R/W (注1)
b7	BBSY	バスビジー検出フラグ	0: I ² Cバスが解放状態 (バスフリー状態) 1: I ² Cバスが占有状態 (バスビジー状態)	R

注1. ICMR1.MTWP ビットが“1”のとき、MST、TRS ビットへの書き込みができます。

ST ビット (スタートコンディション発行要求ビット)

マスタモードへの移行およびスタートコンディションの発行を要求します。

ST ビットが“1”になるとスタートコンディションの発行を要求し、BBSY フラグが“0” (バスフリー) のときスタートコンディションの発行を行います。

スタートコンディション発行の詳細については、「26.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

[“1”になる条件]

- “1”を書いたとき

[“0”になる条件] 以下のいずれかの条件成立時

- “0”を書いたとき
- スタートコンディションの発行が完了したとき (スタートコンディションを検出したとき)
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. ST ビットは、BBSY フラグが“0” (バスフリー) のとき、“1” (スタートコンディション発行要求) にしてください。

BBSY フラグが“1” (バスビジー) のとき、ST ビットを“1” (スタートコンディション発行要求) にすると、スタートコンディション発行エラーとしてアービトレーションロストが発生しますので注意してください。

RS ビット (リスタートコンディション発行要求ビット)

マスタモードでリスタートコンディションの発行を要求します。

RS ビットが“1”になるとリスタートコンディションの発行を要求し、BBSY フラグが“1” (バスビジー) でかつ MST ビットが“1” (マスタモード) のとき、リスタートコンディションの発行を行います。

リスタートコンディション発行の詳細動作については、「26.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

[“1”になる条件]

- ICCR2.BBSY フラグが“1”の状態、“1”を書いたとき (ICCR2.BBSY フラグが“0”の状態では、“1”を書き込めません)

[“0”になる条件] 以下のいずれかの条件成立時

- “0”を書いたとき
- リスタートコンディションの発行が完了したとき (スタートコンディションを検出したとき)
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- ICCR1.IICRST ビットに“1”を書き、R11C リセットまたは内部リセットしたとき

注. ストップコンディション発行中に RS ビットを“1”にしないでください。

注. リスタートコンディションを発行する場合、マスタ送信モードで発行することを推奨します。スレーブモードで RS ビットに“1” (リスタートコンディション発行要求) を書いた場合、リスタートコンディションは発行されずに RS ビットは“1”のままになります。この状態からマスタモードに移行させた場合、リスタートコンディションが発行される可能性がありますので注意してください。

SP ビット (ストップコンディション発行要求ビット)

マスタモードでストップコンディションの発行を要求します。

SP ビットが“1”になるとストップコンディションの発行を要求し、BBSY フラグが“1” (バスビジー) でかつ MST ビットが“1” (マスタモード) のとき、ストップコンディションの発行を行います。

ストップコンディション発行の詳細動作については、「26.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

[“1”になる条件]

- ICCR2.BBSY フラグが“1”でかつ ICCR2.MST ビットが“1”の状態、“1”を書いたとき

[“0”になる条件] 以下のいずれかの条件成立時

- “0”を書いたとき
- ストップコンディションの発行が完了したとき (ストップコンディションを検出したとき)
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- スタートコンディションおよびリスタートコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、R11C リセットまたは内部リセットしたとき

注. BBSY フラグ = 0 (バスフリー) のとき書き込みはできません。

注. リスタートコンディション発行中に SP ビットを“1”にしないでください。

TRS ビット (送信/受信モードビット)

送信/受信モードを示すビットです。

TRS ビットが“0”のとき受信モード、TRS ビットが“1”のとき送信モードを表し、MST ビットとの組み合わせで RIIC の動作モードを表します。

TRS ビットは、スタートコンディションの発行/検出および R/W# ビットの値で“1”または“0”になり、RIIC の動作モードは自動的に送信モードまたは受信モードに移行します。ICMR1.MTWP ビットが“1”のとき書き込みはできますが、通常では書き込みの必要はありません。

[“1”になる条件] 以下のいずれかの条件成立時

- スタートコンディション発行要求により正常にスタートコンディションが発行されたとき (BBSY フラグが“0” (バスフリー)、ST ビットが“1”の状態、スタートコンディションを検出したとき)
- リスタートコンディション発行要求により正常にリスタートコンディションが発行されたとき (RS ビットが“1”の状態、リスタートコンディションを検出したとき)
- マスタモード時、スレーブアドレスに付加した R/W# ビットが“0”のとき
- スレーブモード時、受信したスレーブアドレスが IC SER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに“1”を受信したとき
- ICMR1.MTWP ビットが“1”の状態、“1”を書いたとき

[“0”になる条件] 以下のいずれかの条件成立時

- ストップコンディションを検出したとき
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- マスタモード時、スレーブアドレスに付加した R/W# ビットが“1”のとき
- スレーブモード時、受信したスレーブアドレスが IC SER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに“0”を受信したとき (ジェネラルコールアドレス含む)
- スレーブモード時、リスタートコンディションを検出したとき (ICCR2.BBSY = 1、ICCR2.MST = 0 の状態でスタートコンディションを検出したとき)
- ICMR1.MTWP ビットが“1”の状態、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

R/W# は、送信データに含まれるビットで、送信/受信の方向を示します。R/W# = 1 の場合、スレーブデバイスからマスタデバイス、R/W# = 0 の場合、マスタデバイスからスレーブデバイスにデータを転送します。

MST ビット (マスタ/スレーブモードビット)

マスタモード/スレーブモードを示すビットです。

MST ビットが“0”のときスレーブモード、MST ビットが“1”のときマスタモードを表し、TRS ビットとの組み合わせで RIIC の動作モードを表します。

MST ビットは、スタートコンディションの発行、ストップコンディションの発行/検出などで“1”または“0”になり、RIIC の動作モードは自動的にマスタモードまたはスレーブモードに移行します。

ICMR1.MTWP ビットが“1”のとき書き込みはできますが、通常では書き込みの必要はありません。

[“1”になる条件] 以下のいずれかの条件成立時

- スタートコンディション発行要求によるスタートコンディションが正常に発行されたとき (BBSY フラグが“0” (バスフリー)、ST ビットが“1”の状態、スタートコンディションを検出したとき)
- ICMR1.MTWP ビットが“1”の状態、“1”を書いたとき

[“0”になる条件] 以下のいずれかの条件成立時

- ストップコンディションを検出したとき
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- ICMR1.MTWP ビットが“1”の状態、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

BBSY フラグ (バスビジー検出フラグ)

I²C バスの占有 (バスビジー) /解放状態 (バスフリー) を示します。

SCL ラインが High の状態で SDA ラインが High から Low に変化すると、スタートコンディションが発行されたと認識して“1”になります。

SCL ラインが High の状態で SDA ラインが Low から High に変化すると、ストップコンディションが発行されたと認識し、バスフリーの時間 (ICBRL レジスタに設定した時間) スタートコンディション検出がないとき“0”になります。

[“1”になる条件]

- スタートコンディションを検出したとき

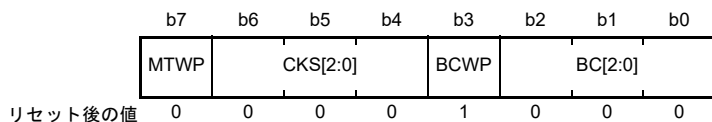
[“0”になる条件] 以下のいずれかの条件成立時

- ストップコンディションを検出後、バスフリーの時間 (ICBRL レジスタに設定した時間) スタートコンディション検出がないとき
- ICCR1.IICRST ビットが“0”の状態、ICCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

26.2.3 I²C バスモードレジスタ 1 (ICMR1)

ICMR1 レジスタは、ダウンカウントを行うカウンタのビット数、および基準クロックソースを設定するレジスタです。

アドレス R1IC1.ICMR1 A008 0942h



ビット	シンボル	ビット名	機能	R/W
b2-b0	BC[2:0]	ビットカウンタ	b2 b0 0 0 0 : 9ビット 0 0 1 : 2ビット 0 1 0 : 3ビット 0 1 1 : 4ビット 1 0 0 : 5ビット 1 0 1 : 6ビット 1 1 0 : 7ビット 1 1 1 : 8ビット	R/W (注1)
b3	BCWP	BCライトプロテクトビット	0 : BC[2:0]の値を設定許可 (読むと“1”が読めます)	R/W (注1)
b6-b4	CKS[2:0]	内部基準クロック選択ビット	R1ICの内部基準クロックソース (IICφ) を選択します b6 b4 0 0 0 : PCLKD/1クロック 0 0 1 : PCLKD/2クロック 0 1 0 : PCLKD/4クロック 0 1 1 : PCLKD/8クロック 1 0 0 : PCLKD/16クロック 1 0 1 : PCLKD/32クロック 1 1 0 : PCLKD/64クロック 1 1 1 : PCLKD/128クロック	R/W
b7	MTWP	MST/TRSライトプロテクトビット	0 : ICCR2.MST, TRS ビットへの書き込み禁止 1 : ICCR2.MST, TRS ビットへの書き込み許可	R/W

注1. BC[2:0]ビットを書き換える場合は、BCWPビットへの“0”書き込みと同時に行ってください。

BC[2:0] ビット (ビットカウンタ)

SCL ラインの立ち上がりでダウンカウントを行うカウンタで、読み出すと残りの転送ビット数を知ることができます。読み出しおよび書き込みはできますが、通常はアクセスする必要はありません。

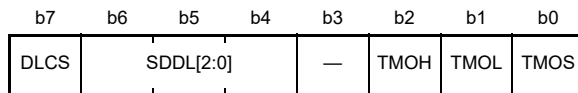
なお、書く場合には転送するデータのビット数+1を指定し (データにアクノリッジ1ビットが付加されて転送される)、転送フレーム間にかつ SCL ラインが Low の状態で行ってください。

BC[2:0] ビットはアクノリッジを含むデータ転送終了時、またはスタートコンディション検出 (リスタートコンディション含む) で自動的に“000b”に戻ります。

26.2.4 I²C バスモードレジスタ 2 (ICMR2)

ICMR2 レジスタは、タイムアウト検出機能および SDA 出力遅延機能に関する各種設定を行うレジスタです。

アドレス R1IC1.ICMR2 A008 0943h



リセット後の値 0 0 0 0 0 1 1 0

ビット	シンボル	ビット名	機能	R/W
b0	TMOS	タイムアウト検出時間選択ビット	0 : ロングモードを選択 1 : ショートモードを選択	R/W
b1	TMOL	タイムアウトLカウント制御ビット	0 : SCLラインがLowでカウント禁止 1 : SCLラインがLowでカウント有効	R/W
b2	TMOH	タイムアウトHカウント制御ビット	0 : SCLラインがHighでカウント禁止 1 : SCLラインがHighでカウント有効	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、必ず“0”としてください	R/W
b6-b4	SDDL[2:0]	SDA出力遅延カウンタ	<ul style="list-style-type: none"> • ICMR2.DLCS = 0 (IICϕ) のとき <li style="padding-left: 20px;">b6 b4 <li style="padding-left: 20px;">0 0 0 : 出力遅延なし <li style="padding-left: 20px;">0 0 1 : IICϕの1サイクル <li style="padding-left: 20px;">0 1 0 : IICϕの2サイクル <li style="padding-left: 20px;">0 1 1 : IICϕの3サイクル <li style="padding-left: 20px;">1 0 0 : IICϕの4サイクル <li style="padding-left: 20px;">1 0 1 : IICϕの5サイクル <li style="padding-left: 20px;">1 1 0 : IICϕの6サイクル <li style="padding-left: 20px;">1 1 1 : IICϕの7サイクル • ICMR2.DLCS = 1 (IICϕ/2) のとき <li style="padding-left: 20px;">b6 b4 <li style="padding-left: 20px;">0 0 0 : 出力遅延なし <li style="padding-left: 20px;">0 0 1 : IICϕの1~2サイクル <li style="padding-left: 20px;">0 1 0 : IICϕの3~4サイクル <li style="padding-left: 20px;">0 1 1 : IICϕの5~6サイクル <li style="padding-left: 20px;">1 0 0 : IICϕの7~8サイクル <li style="padding-left: 20px;">1 0 1 : IICϕの9~10サイクル <li style="padding-left: 20px;">1 1 0 : IICϕの11~12サイクル <li style="padding-left: 20px;">1 1 1 : IICϕの13~14サイクル 	R/W
b7	DLCS	SDA出力遅延クロックソース 選択ビット	0 : SDA出力遅延カウンタのクロックソースに 内部基準クロック (IIC ϕ) を選択 1 : SDA出力遅延カウンタのクロックソースに 内部基準クロックの2分周 (IIC ϕ /2) を選択 (注1)	R/W

注1. SCLがLowのときのみDLCS = 1 (IIC ϕ /2) の設定が有効になります。SCL = HighのときDLCS = 1の設定は無効となり内部基準クロック (IIC ϕ) となります。

TMOS ビット (タイムアウト検出時間選択ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット = 1) にタイムアウト検出時間を選択するビットで、“0”にするとロングモード、“1”にするとショートモードになります。ロングモードではタイムアウト検出用内部カウンタが 16 ビットカウンタとして、またショートモードでは 14 ビットカウンタとして動作し、SCLラインがTMOH、TMOLビットで選択された状態になったとき、内部基準クロック (IIC ϕ) をカウントソースとしてアップカウントを行います。

タイムアウト検出機能の詳細については、「26.11.1 タイムアウト検出機能」を参照してください。

TMOL ビット (タイムアウト L カウント制御ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット=1) に SCL ラインが Low 期間中にタイムアウト検出機能の内部カウンタのカウントアップを有効にするか禁止にするかを選択するビットです。

TMOH ビット (タイムアウト H カウント制御ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット=1) に SCL ラインが High 期間中にタイムアウト検出機能の内部カウンタのカウントアップを有効にするか禁止にするかを選択するビットです。

SDDL[2:0] ビット (SDA 出力遅延カウンタ)

SDDL[2:0] ビットの設定値により、SDA 出力を遅延させることができます。SDA 出力遅延カウンタは、DLCS ビットで選択したクロックソースによりカウントします。また、この機能の設定はアクノリッジビット送出を含むすべての SDA 出力に適用されます。

SDA 出力遅延の設定は、I²C バス規格 (データ有効時間/アクノリッジ有効時間 (注1) 内) かつ SCL クロックの Low 幅-データセットアップ時間: 250ns の範囲内) に収まるようにしてください。規格外を設定した場合、通信デバイスとの通信破綻を引き起こすか、バスの状態によっては見かけ上スタートコンディションまたはストップコンディションになる可能性がありますので注意してください。

本機能の詳細については、「26.5 SDA 出力遅延機能」を参照してください。

- 注 1. データ有効時間/アクノリッジ有効時間
900ns (~ 400kbps : ファストモード [Fm])

26.2.5 I²C バスモードレジスタ 3 (ICMR3)

ICMR3 レジスタは、デジタルノイズフィルタやアクノリッジ、WAIT の設定を行うレジスタです。

アドレス ICMR3 A008 0944h

b7	b6	b5	b4	b3	b2	b1	b0
—	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NF[1:0]	ノイズフィルタ段数選択ビット	b1 b0 0 0 : 1IICφ以下のノイズを除去 (フィルタは1段) 0 1 : 2IICφ以下のノイズを除去 (フィルタは2段) 1 0 : 3IICφ以下のノイズを除去 (フィルタは3段) 1 1 : 4IICφ以下のノイズを除去 (フィルタは4段)	R/W
b2	ACKBR	受信アクノリッジビット	0 : アクノリッジビットに“0”を受信 (ACK受信) 1 : アクノリッジビットに“1”を受信 (NACK受信)	R
b3	ACKBT	送信アクノリッジビット	0 : アクノリッジビットに“0”を送出 (ACK送信) 1 : アクノリッジビットに“1”を送出 (NACK送信)	R/W (注1)
b4	ACKWP	ACKBTライトプロテクトビット	0 : ACKBTビットへの書き込み禁止 1 : ACKBTビットへの書き込み許可	W (注1)
b5	RDRFS	RDRFフラグセット タイミング選択ビット	0 : SCLクロックの9クロック目の立ち上がり時に“1”になる (8クロック目の立ち下がりでSCLラインをLowにホールドしない) 1 : SCLクロックの8クロック目の立ち上がり時に“1”になる (8クロック目の立ち下がりでSCLラインをLowにホールドする) LowホールドはACKBTビットを書き込むことにより、9クロック後に解除されます。	R/W (注2)
b6	WAIT	WAITビット	0 : WAITなし (9クロック目と1クロック目の間をLowにホールドしない) 1 : WAITあり (9クロック目と1クロック目の間をLowにホールドする) Lowホールドは、ICDRRレジスタの読み出しで解除されます。	R/W (注2)
b7	—	予約ビット	読むと“0”が読めます。書く場合、必ず“0”としてください。	R/W

注1. ACKBTビットに書く場合には、ACKWPビットが“1”の状態で行ってください。ACKBTビットへの書き込みと同時に“1”にしても、ACKBTビットに書き込みはできません。

注2. WAITビットおよびRDRFSビットは、受信モードのみ有効です。送信モード時は無効です。

NF[1:0] ビット (ノイズフィルタ段数選択ビット)

デジタルノイズフィルタの段数を選択します。

デジタルノイズフィルタ機能の詳細については、「26.6 デジタルノイズフィルタ回路」を参照してください。

ACKBR ビット (受信アクノリッジビット)

送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

["1"になる条件]

- ICCR2.TRS ビットが“1”の状態ですべてのアクノリッジビットに“1” (ノットアクノリッジ) を受信したとき

["0"になる条件] 以下のいずれかの条件成立時

- ICCR2.TRS ビットが“1”の状態ですべてのアクノリッジビットに“0” (アクノリッジ) を受信したとき
- ICCR1.ICE ビットが“0”の状態ですべてのICCR1.IICRST ビットに“1”を書いたとき (RIICリセット)

ACKBT ビット (送信アクノリッジビット)

受信モード時にアクノリッジのタイミングで送出するビットを設定します。

["1"になる条件]

- ACKWP ビットが "1" の状態で "1" (ノットアクノリッジ) を書いたとき

["0"になる条件] 以下のいずれかの条件成立時

- ACKWP ビットが "1" の状態で "0" (アクノリッジ) を書いたとき
- ストップコンディションの発行を検出したとき (ICCR2.SP ビットが "1" の状態でストップコンディションを検出したとき)
- ICCR1.ICE ビットが "0" の状態で ICCR1.IICRST ビットに "1" を書いたとき (RIIC リセット)

ACKWP ビット (ACKBT ライトプロテクトビット)

ACKBT ビットへの書き込みを制御します。

RDRFS ビット (RDRF フラグセットタイミング選択ビット)

受信モードにおいて RDRF フラグのセットタイミングおよび SCL クロックの 8 クロック目の立ち下がりで SCL ラインの Low ホールドを行うかどうかを選択します。

RDRFS ビットが "0" のとき、8 クロック目の立ち下がりで SCL ラインの Low ホールドは行わず、9 クロック目の立ち上がりで RDRF フラグを "1" にします。

RDRFS ビットが "1" のとき、RDRF フラグは 8 クロック目の立ち上がりで "1" にし、8 クロック目の立ち下がりで SCL ラインを Low にホールドします。Low ホールドは ACKBT ビットを書き込むことによって、9 クロック目以降に解除されます。

この設定のとき、データ受信後アクノリッジビット送出前に SCL ラインを自動的に Low にホールドするため、受信データの内容に応じて ACK (ACKBT ビットが "0") または NACK (ACKBT ビットが "1") を送出する処理が可能です。

WAIT ビット (WAIT ビット)

WAIT ビットは、受信モードにおいて 1 バイト受信ごとに受信データバッファ (ICDRR レジスタ) の読み出しが完了するまで、SCL クロックの 9 クロック目と 1 クロック目の間を Low にホールドするかどうかを制御します。

WAIT ビットが "0" のとき、SCL クロックの 9 クロック目と 1 クロック目の間の Low ホールドは行わず、受信動作をそのまま継続します。RDRFS ビットと WAIT ビットがともに "0" のとき、ダブルバッファによる連続受信動作が可能です。

WAIT ビットが "1" のとき、1 バイト受信ごとに 9 クロック目の立ち下がり以降、ICDRR レジスタの値が読み出されるまでの間 SCL ラインを Low にホールドします。これにより 1 バイトごとの受信動作が可能です。

注. WAIT ビットを "0" にする場合は、ICDRR レジスタを先に読み出した後、"0" を書き込んでください。

26.2.6 I²C バスファンクション許可レジスタ (ICFER)

ICFER レジスタは、各種アービトレーション機能などの設定を行うレジスタです。

アドレス RIIC1.ICFER A008 0945h

b7	b6	b5	b4	b3	b2	b1	b0
—	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE

リセット後の値 0 1 1 1 0 0 1 0

ビット	シンボル	ビット名	機能	R/W
b0	TMOE	タイムアウト検出機能有効ビット	0: タイムアウト検出機能無効 1: タイムアウト検出機能有効	R/W
b1	MALE	マスターアービトレーションロスト検出許可ビット	0: マスターアービトレーションロスト検出禁止 (アービトレーションロスト検出機能を無効にし、アービトレーションロスト発生によるICCR2.MST, TRSビットの自動クリアを行わない) 1: マスターアービトレーションロスト検出許可 (アービトレーションロスト検出機能を有効にし、アービトレーションロスト発生によるICCR2.MST, TRSビットの自動クリアを行う)	R/W
b2	NALE	NACK送信アービトレーションロスト検出許可ビット	0: NACK送信アービトレーションロスト検出禁止 1: NACK送信アービトレーションロスト検出許可	R/W
b3	SALE	スレーブアービトレーションロスト検出許可ビット	0: スレーブアービトレーションロスト検出禁止 1: スレーブアービトレーションロスト検出許可	R/W
b4	NACKE	NACK受信転送中断許可ビット	0: NACK受信時、転送を中断しない(転送中断禁止) 1: NACK受信時、転送を中断する(転送中断許可)	R/W
b5	NFE	デジタルノイズフィルタ回路有効ビット	0: デジタルノイズフィルタ回路を使用しない 1: デジタルノイズフィルタ回路を使用する	R/W
b6	SCLE	SCL同期回路有効ビット	0: SCL同期回路無効 1: SCL同期回路有効	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMOE ビット (タイムアウト検出機能有効ビット)

タイムアウト検出機能の有効/無効を選択します。

タイムアウト検出機能の詳細については、「26.11.1 タイムアウト検出機能」を参照してください。

MALE ビット (マスターアービトレーションロスト検出許可ビット)

マスターモード時にアービトレーションロスト検出機能の有効/無効を決定します。通常は“1”にしてください。

マスターアービトレーションロスト検出機能の詳細については「26.9.1 マスターアービトレーションロスト検出機能 (MALE ビット)」を参照してください。

NALE ビット (NACK 送信アービトレーションロスト検出許可ビット)

受信モード時、NACK 送中に ACK が検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、2つ以上のマスタが同時に同一のスレーブデバイスを選択しそれぞれ受信バイト数が異なる場合など) にアービトレーションロストを発生させるかどうかを選択します。

NACK 送信アービトレーションロスト検出機能の詳細については「26.9.2 NACK 送信アービトレーションロスト検出機能 (NALE ビット)」を参照してください。

SALE ビット (スレーブアービトレーションロスト検出許可ビット)

スレーブ送信モード時、送出中の値と異なる値がバス上で検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、ノイズの影響などにより送信データと不一致が生じた場合など) にアービトレーションロストを発生させるかどうかを選択します。

スレーブアービトレーションロスト検出機能の詳細については「26.9.3 スレーブアービトレーションロスト検出機能 (SALE ビット)」を参照してください。

NACKE ビット (NACK 受信転送中断許可ビット)

送信モード時、スレーブデバイスから NACK を受信した場合に転送動作を継続するか中断するかを選択します。通常は“1”にしてください。

NACKE ビットが“1”のとき、NACK を受信した場合、次の転送動作を中断します。

NACKE ビットが“0”のとき、受信アクノリッジの内容にかかわらず次の転送動作を継続します。

NACK 受信転送中断機能の詳細については、「26.8.2 NACK 受信転送中断機能」を参照してください。

SCLE ビット (SCL 同期回路有効ビット)

SCL 入力クロックに対して、SCL クロックの同期化を行うかどうかを選択します。通常は“1”にしてください。

SCLE ビットを“0” (SCL 同期回路無効) にすると、クロック同期を行いません。この設定の場合、RIIC は SCL ラインの状態にかかわらず ICBRH および ICBRL レジスタで設定された転送速度の SCL クロックを出力します。そのため、I²C バスラインのバス負荷が規格値よりも大幅に大きい場合や、マルチマスタにおいて SCL クロック出力が重なった場合など、規格外の短いクロックになる可能性がありますので注意してください。また SCL 同期回路無効の場合、スタートコンディション・リスタートコンディション・ストップコンディションの発行および SCL クロック追加出力の連続出力にも影響します。

SCLE ビットは、設定した転送速度が出力されているかどうかを確認する場合などを除き“0”にしないでください。

SCL 同期回路機能の詳細については「26.4 SCL 同期回路」を参照してください。

26.2.7 I²C バスステータス許可レジスタ (ICSER)

ICSER レジスタは、スレーブアドレスの許可やデバイス ID アドレス検出などを設定するレジスタです。

アドレス RIIC1.ICSER A008 0946h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E

リセット後の値 0 0 0 0 1 0 0 1

ビット	シンボル	ビット名	機能	R/W
b0	SAR0E	スレーブアドレスレジスタ 0 許可ビット	0 : ICSARL0、ICSARU0 の設定値は無効 1 : ICSARL0、ICSARU0 の設定値は有効	R/W
b1	SAR1E	スレーブアドレスレジスタ 1 許可ビット	0 : ICSARL1、ICSARU1 の設定値は無効 1 : ICSARL1、ICSARU1 の設定値は有効	R/W
b2	SAR2E	スレーブアドレスレジスタ 2 許可ビット	0 : ICSARL2、ICSARU2 の設定値は無効 1 : ICSARL2、ICSARU2 の設定値は有効	R/W
b3	GCAE	ジェネラルコールアドレス許可ビット	0 : ジェネラルコールアドレス検出は無効 1 : ジェネラルコールアドレス検出は有効	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、必ず“0”としてください	R/W
b5	DIDE	デバイス ID アドレス検出許可ビット	0 : デバイス ID アドレス検出は無効 1 : デバイス ID アドレス検出は有効	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、必ず“0”としてください	R/W

SARyE ビット (スレーブアドレスレジスタ y 許可ビット) (y = 0 ~ 2)

ICSARLy、ICSARUy レジスタで設定したスレーブアドレスを有効にするかどうかを選択します。

SARyE ビットを“1”にすると、ICSARLy、ICSARUy レジスタの設定値が有効になり、受信したスレーブアドレスと比較が行われます。

SARyE ビットを“0”にすると、ICSARLy、ICSARUy レジスタの設定値が無効になり、受信したスレーブアドレスと一致しても無視されます。

GCAE ビット (ジェネラルコールアドレス許可ビット)

ジェネラルコールアドレス (0000 000b + 0[W] : All“0”) を受信した場合、無視するかどうかを選択します。

GCAE ビットが“1”の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、RIIC は ICSARLy、ICSARUy レジスタ (y = 0 ~ 2) で設定したスレーブアドレスとは無関係にジェネラルコールアドレスと認識し、受信動作を行います。

GCAE ビットが“0”の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致しても無視されます。

DIDE ビット (デバイス ID アドレス検出許可ビット)

スタートコンディションまたはリスタートコンディション検出後の第1フレームにデバイス ID アドレス (1111 100b) を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

DIDE ビットが“1”の場合、受信した第1フレームがデバイス ID アドレスと一致した場合、R11C はデバイス ID アドレスを受信したと認識し、続く R/W# ビットが“0”[W] のとき第2フレーム目以降をスレーブアドレスとみなして受信動作を継続します。

DIDE ビットが“0”の場合、受信した第1フレームがデバイス ID アドレスと一致しても無視され、第1フレームを通常のスレーブアドレスとみなして動作します。

デバイス ID アドレス検出の詳細については、「26.7.3 デバイス ID アドレス検出機能」を参照してください。

26.2.8 I²Cバス割り込み許可レジスタ (ICIER)

ICIER レジスタは、RIIC に関する割り込み要求の許可/禁止を設定するレジスタです。

アドレス RIIC1.ICIER A008 0947h

	b7	b6	b5	b4	b3	b2	b1	b0
	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOIE	タイムアウト割り込み要求許可ビット	0: タイムアウト割り込み (TMOI) 要求の禁止 1: タイムアウト割り込み (TMOI) 要求の許可	R/W
b1	ALIE	アービトレーションロスト割り込み要求許可ビット	0: アービトレーションロスト割り込み (ALI) 要求の禁止 1: アービトレーションロスト割り込み (ALI) 要求の許可	R/W
b2	STIE	スタートコンディション検出割り込み要求許可ビット	0: スタートコンディション検出割り込み (STI) 要求の禁止 1: スタートコンディション検出割り込み (STI) 要求の許可	R/W
b3	SPIE	ストップコンディション検出割り込み要求許可ビット	0: ストップコンディション検出割り込み (SPI) 要求の禁止 1: ストップコンディション検出割り込み (SPI) 要求の許可	R/W
b4	NAKIE	NACK受信割り込み要求許可ビット	0: NACK受信割り込み (NAKI) 要求の禁止 1: NACK受信割り込み (NAKI) 要求の許可	R/W
b5	RIE	受信データフル割り込み要求許可ビット	0: 受信データフル割り込み (RXI) 要求の禁止 1: 受信データフル割り込み (RXI) 要求の許可	R/W
b6	TEIE	送信終了割り込み要求許可ビット	0: 送信終了割り込み (TEI) 要求の禁止 1: 送信終了割り込み (TEI) 要求の許可	R/W
b7	TIE	送信データエンプティ割り込み要求許可ビット	0: 送信データエンプティ割り込み (TXI) 要求の禁止 1: 送信データエンプティ割り込み (TXI) 要求の許可	R/W

TMOIE ビット (タイムアウト割り込み要求許可ビット)

ICSR2.TMOF フラグが“1”になったとき、タイムアウト割り込み (TMOI) 要求の許可/禁止を選択します。TMOI 割り込みは、TMOF フラグを“0”にするか、または TMOIE ビットを“0”にすることで解除できます。

ALIE ビット (アービトレーションロスト割り込み要求許可ビット)

ICSR2.AL フラグが“1”になったとき、アービトレーションロスト割り込み (ALI) 要求の許可/禁止を選択します。ALI 割り込みは、AL フラグを“0”にするか、または ALIE ビットを“0”にすることで解除できます。

STIE ビット (スタートコンディション検出割り込み要求許可ビット)

ICSR2.START フラグが“1”になったとき、スタートコンディション検出割り込み (STI) 要求の許可/禁止を選択します。STI 割り込みは、START フラグを“0”にするか、または STIE ビットを“0”にすることで解除できます。

SPIE ビット (ストップコンディション検出割り込み要求許可ビット)

ICSR2.STOP フラグが“1”になったとき、ストップコンディション検出割り込み (SPI) 要求の許可/禁止を選択します。SPI 割り込みは、STOP フラグを“0”にするか、または SPIE ビットを“0”にすることで解除できます。

NAKIE ビット (NACK 受信割り込み要求許可ビット)

ICSR2.NACKF フラグが“1”になったとき、NACK 受信割り込み (NAKI) 要求の許可/禁止を選択します。NAKI 割り込みは、NACKF フラグを“0”にするか、または NAKIE ビットを“0”にすることで解除できます。

RIE ビット (受信データフル割り込み要求許可ビット)

ICSR2.RDRF フラグが“1”になったとき、受信データフル割り込み (RXI) 要求の許可/禁止を選択します。

TEIE ビット (送信終了割り込み要求許可ビット)

ICSR2.TEND フラグが“1”になったとき、送信終了割り込み (TEI) 要求の許可/禁止を選択します。TEI 割り込みは、TEND フラグを“0”にするか、または TEIE ビットを“0”にすることで解除できます。

TIE ビット (送信データエンプティ割り込み要求許可ビット)

ICSR2.TDRE フラグが“1”になったとき、送信データエンプティ割り込み (TXI) 要求の許可/禁止を選択します。

26.2.9 I²C バスステータスレジスタ 1 (ICSR1)

ICSR1 レジスタは、各種アドレスの検出状態を示すステータスレジスタです。

アドレス R1IC1.ICSR1 A008 0948h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	DID	—	GCA	AAS2	AAS1	AAS0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	AAS0	スレーブアドレス0検出フラグ	0: スレーブアドレス0未検出 1: スレーブアドレス0検出	R/(W) (注1)
b1	AAS1	スレーブアドレス1検出フラグ	0: スレーブアドレス1未検出 1: スレーブアドレス1検出	R/(W) (注1)
b2	AAS2	スレーブアドレス2検出フラグ	0: スレーブアドレス2未検出 1: スレーブアドレス2検出	R/(W) (注1)
b3	GCA	ジェネラルコールアドレス検出フラグ	0: ジェネラルコールアドレス未検出 1: ジェネラルコールアドレス検出	R/(W) (注1)
b4	—	予約ビット	読むと“0”が読めます。書く場合、必ず“0”としてください。	R/W
b5	DID	デバイスIDアドレス検出フラグ	0: デバイスIDアドレス未検出 1: デバイスIDアドレス検出 • スタートコンディション直後の第1フレームがデバイスIDアドレス (1111 100b) + 0[W]と一致した場合	R/(W) (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、必ず“0”としてください。	R/W

注1. “0”のみ書けます。

AASy フラグ (スレーブアドレス y 検出フラグ) (y = 0 ~ 2)

[“1”になる条件]

【7ビットアドレスフォーマット選択時: ICSARUy.FS ビット = 0】

- ICSER.SARyE ビットが“1” (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが ICSARLy.SVA[6:0] と一致したとき、そのフレームの SCL クロックの9クロック目の立ち上がり

【10ビットアドレスフォーマット選択時: ICSARUy.FS ビット = 1】

- ICSER.SARyE ビットが“1” (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが 1111 0b + ICSARUy.SVA[1:0] と一致し、それに続くアドレスが ICSARLy レジスタと一致したとき、そのフレームの SCL クロックの9クロック目の立ち上がり

["0"になる条件] 以下のいずれかの条件成立時

- "1"を読んだ後、"0"を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに"1"を書き、RIIC リセットまたは内部リセットしたとき

【7ビットアドレスフォーマット選択時：ICSARUy.FS ビット = 0】

- ICSEr.SARyE ビットが"1" (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが ICSARLy.SVA[6:0] と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

【10ビットアドレスフォーマット選択時：ICSARUy.FS ビット = 1】

- ICSEr.SARyE ビットが"1" (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが 1111 0b + ICSARUy.SVA[1:0] と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- ICSEr.SARyE ビットが"1" (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが 1111 0b + ICSARUy.SVA[1:0] と一致し、それに続くアドレスが ICSARLy レジスタと不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

GCA フラグ (ジェネラルコールアドレス検出フラグ)

["1"になる条件]

- ICSEr.GCAE ビットが"1" (ジェネラルコールアドレス検出有効) の状態で、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0[W]) と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

["0"になる条件] 以下のいずれかの条件成立時

- "1"を読んだ後、"0"を書いたとき
- ストップコンディションを検出したとき
- ICSEr.GCAE ビットが"1" (ジェネラルコールアドレス検出有効) の状態で、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0[W]) と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- ICCR1.IICRST ビットに"1"を書き、RIIC リセットまたは内部リセットしたとき

DID フラグ (デバイス ID アドレス検出フラグ)

[“1”になる条件]

- IC SER.DIDE ビットが“1” (デバイス ID アドレス検出有効) の状態で、スタートコンディション検出またはリスタートコンディション検出後の第1フレームがデバイス ID アドレス (1111 100b) + 0[W] と一致したとき、そのフレームの SCL クロックの9クロック目の立ち上がり

[“0”になる条件] 以下のいずれかの条件成立時

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- IC SER.DIDE ビットが“1” (デバイス ID アドレス検出有効) の状態で、スタートコンディション検出またはリスタートコンディション検出後の第1フレームがデバイス ID アドレス (1111 100b) と不一致のとき、そのフレームの SCL クロックの9クロック目の立ち上がり
- IC SER.DIDE ビットが“1” (デバイス ID アドレス検出有効) の状態で、スタートコンディション検出またはリスタートコンディション検出後の第1フレームがデバイス ID アドレス (1111 100b) + 0[W] と一致し、続く第2フレームがスレーブアドレス0~2のすべてと不一致のとき、そのフレームの SCL クロックの9クロック目の立ち上がり
- ICCR1.IICRST ビットに“1”を書き、R1IC リセットまたは内部リセットしたとき

26.2.10 I²C バスステータスレジスタ 2 (ICSR2)

ICSR2 レジスタは、各種コンディション検出状態を示すステータスレジスタです。

アドレス RIIC1.ICSR2 A008 0949h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOF	タイムアウト検出フラグ	0: タイムアウト未検出 1: タイムアウト検出	R/(W) (注1)
b1	AL	アービトレーションロストフラグ	0: アービトレーションロストの発生なし 1: アービトレーションロストの発生あり	R/(W) (注1)
b2	START	スタートコンディション検出フラグ	0: スタートコンディション未検出 1: スタートコンディション検出	R/(W) (注1)
b3	STOP	ストップコンディション検出フラグ	0: ストップコンディション未検出 1: ストップコンディション検出	R/(W) (注1)
b4	NACKF	NACK検出フラグ	0: NACK未検出 1: NACK検出	R/(W) (注1)
b5	RDRF	受信データフルフラグ	0: ICDRR レジスタに受信データなし 1: ICDRR レジスタに受信データあり	R/(W) (注1)
b6	TEND	送信終了フラグ	0: データ送信中 1: データ送信終了	R/(W) (注1)
b7	TDRE	送信データエンプティフラグ	0: ICDRT レジスタに送信データあり 1: ICDRT レジスタに送信データなし	R

注1. “0”のみ書けます。

TMOF フラグ (タイムアウト検出フラグ)

SCL ラインの状態が一定期間変化しない場合、タイムアウトを認識し、本フラグが“1”になります。

[“1”になる条件]

- ICFER.TMOE ビットが“1” (タイムアウト検出機能有効)、かつマスタモードまたはスレーブモードで受信スレーブアドレスが一致した状態で ICMR2.TMOH, TMOL, TMOS ビットで選択された条件の期間 SCL ラインの状態に変化がないとき

[“0”になる条件] 以下のいずれかの条件成立時

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

AL フラグ (アービトレーションロストフラグ)

スタートコンディション発行時やアドレスおよびデータ送信時において、バス競合などによりバス占有権を喪失 (アービトレーションロスト) したことを示します。RIIC は送信中に SDA ラインのレベルを監視し、出力データと SDA ラインのレベルが一致しない場合 AL フラグを“1”にしてバスが他のデバイスによって占有されたことを示します。

このほか、RIIC では設定によりマスタモード時に NACK 送信中のアービトレーションロストの検出やスレーブモード時にデータ送信中のアービトレーションロストの検出も可能です。

[“1”になる条件] 以下のいずれかの条件成立時

【マスタアービトレーションロスト検出有効時：ICFER.MALE ビット = 1】

- マスタ送信モード時のデータ送信 (スレーブアドレス送信含む) において、ACK 期間を除く SCL クロックの立ち上がりで出力した SDA 信号と SDA ライン上の信号の状態が不一致のとき (内部 SDA 出力が High 出力 (SDA 端子はハイインピーダンス) で、SDA ラインに Low を検出したとき)
- ICCR2.ST ビットが“1” (スタートコンディション発行要求) の状態でスタートコンディションを検出したとき、出力した SDA 信号と SDA ライン上の信号の状態が不一致のとき
- ICCR2.BBSY フラグが“1”の状態に ICCR2.ST ビットを“1”(スタートコンディション発行要求) に設定したとき

【NACK 送信アービトレーションロスト検出有効時：ICFER.NALE ビット = 1】

- 受信モード時の NACK 送信において、ACK 期間の SCL クロックの立ち上がりで出力した SDA 信号と SDA ライン上の信号の状態が不一致のとき

【スレーブアービトレーションロスト検出有効時：ICFER.SALE ビット = 1】

- スレーブ送信モード時のデータ送信において、ACK 期間を除く SCL クロックの立ち上がりで出力した SDA 信号と SDA ライン上の信号の状態が不一致のとき

[“0”になる条件] 以下のいずれかの条件成立時

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

表 26.4 アービトレーションロスト発生要因と各アービトレーションロスト許可機能との関係

ICFER			ICSR2	エラー内容	アービトレーションロスト発生要因
MALE	NALE	SALE	AL		
1	x	x	1	スタートコンディション発行エラー	ICCR2.ST = 1 の状態でスタートコンディション検出時に出力した SDA 信号と SDA ライン上の信号の状態が不一致のとき ICCR2.BBSY = 1 の状態で ICCR2.ST = 1 にしたとき
			1	送信データ不一致	マスタ送信モードで送信データ (スレーブアドレス送信含む) とバス状態が不一致のとき
x	1	x	1	NACK 送信不一致	マスタ受信モードまたはスレーブ受信モードで NACK 送信時に ACK を検出したとき
x	x	1	1	送信データ不一致	スレーブ送信モードで送信データとバス状態が不一致のとき

x : Don't care

START フラグ (スタートコンディション検出フラグ)

[“1”になる条件]

- スタートコンディション (リスタートコンディション含む) を検出したとき

[“0”になる条件] 以下のいずれかの条件成立時

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

STOP フラグ (ストップコンディション検出フラグ)

[“1”になる条件]

- ストップコンディションを検出したとき

[“0”になる条件] 以下のいずれかの条件成立時

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

NACKF フラグ (NACK 検出フラグ)

[“1”になる条件]

- ICFER.NACKF ビットが“1” (転送中断許可) の状態で、送信モード時に受信デバイスからアクノリッジがなかった (NACK を受信した) とき

[“0”になる条件] 以下のいずれかの条件成立時

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. NACKF フラグが“1”になると RIIC は通信動作を中断します。NACKF フラグが“1”の状態でも送信モード時に ICDRT レジスタへの書き込みや、受信モード時に ICDRR レジスタの読み出しを行っても、送信/受信動作は行われません。通信動作を再開する場合は NACKF フラグを“0”にしてください。

RDRF フラグ (受信データフルフラグ)

[“1”になる条件] 以下のいずれかの条件成立時

- ICDRS レジスタから ICDRR レジスタに受信データが転送されたとき、ICMR3.RDRFS ビットの設定により SCL クロックの 8 または 9 クロック目の立ち上がりで“1”になります。
- スタートコンディション (リスタートコンディション含む) 検出後、受信したスレーブアドレスが一致し ICCR2.TRS ビットが“0”のとき

[“0”になる条件] 以下のいずれかの条件成立時

- “1”を読んだ後、“0”を書いたとき
- ICDRR レジスタを読んだとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

TEND フラグ (送信終了フラグ)

[“1”になる条件]

- TDRE フラグが“1”の状態、SCL クロックの9クロック目の立ち上がり

[“0”になる条件] 以下のいずれかの条件成立時

- “1”を読んだ後、“0”を書いたとき
- ICDRT レジスタヘータを書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

TDRE フラグ (送信データエンプティフラグ)

[“1”になる条件] 以下のいずれかの条件成立時

- ICDRT レジスタから ICDRS レジスタにデータ転送が行われ、ICDRT レジスタが空になったとき
- ICCR2.TRS ビットが“1”になったとき (“1”書き込みを含む)
- 受信したスレーブアドレスが一致し、TRS ビットが“1”のとき

[“0”になる条件] 以下のいずれかの条件成立時

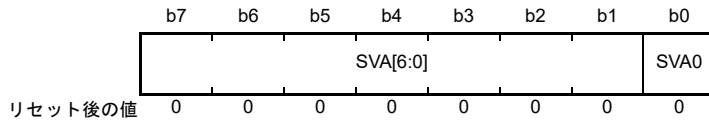
- ICDRT レジスタヘータを書いたとき
- ICCR2.TRS ビットが“0”になったとき (“0”書き込みを含む)
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. ICFER.NACKF ビットが“1”の状態、NACKF フラグが“1”になると RIIC は通信動作を中断します。このとき、TDRE フラグが“0”の状態 (次の送信データがすでに書き込まれている状態) の場合、9クロック目の立ち上がりで ICDRS レジスタへのデータ転送が行われ ICDRT レジスタが空になりますが、TDRE フラグは“1”になりません。

26.2.11 I²C スレーブアドレスレジスタ Ly (ICSARLy) (y = 0 ~ 2)

ICSARLy レジスタは、スレーブアドレスを設定するレジスタです。

アドレス RIIC1.ICSARL0 A008 094Ah, RIIC1.ICSARL1 A008 094Ch, RIIC1.ICSARL2 A008 094Eh



ビット	シンボル	ビット名	機能	R/W
b0	SVA0	10ビットアドレス最下位ビット	スレーブアドレスを設定してください。	R/W
b7-b1	SVA[6:0]	7ビットアドレス/ 10ビットアドレス下位ビット	スレーブアドレスを設定してください。	R/W

SVA0 ビット (10 ビットアドレス最下位ビット)

10ビットアドレスフォーマット選択時 (ICSARUy.FS ビット=1)、10ビットアドレス最下位ビットとして機能し、SVA[6:0] ビットと合わせて10ビットアドレス下位8ビットを設定します。

ICSER.SARyE ビットが“1” (ICSARLy、ICSARUy レジスタ有効) でかつ ICSARUy.FS ビットが“1” のとき設定値が有効になり、ICSARUy.FS ビットまたは SARyE ビットが“0” のとき設定値は無視されます。

SVA[6:0] ビット (7 ビットアドレス / 10 ビットアドレス下位ビット)

7ビットアドレスフォーマット選択時 (ICSARUy.FS ビット=0)、7ビットアドレスとして機能し、10ビットアドレスフォーマット選択時 (ICSARUy.FS ビット=1)、SVA0 ビットと合わせて10ビットアドレス下位8ビットとして機能します。

ICSER.SARyE ビットが“0” のとき設定値は無視されます。

26.2.12 I²C スレーブアドレスレジスタ Uy (ICSARUy) (y = 0 ~ 2)

ICSARUy レジスタは、スレーブアドレスのフォーマットを設定するレジスタです。

アドレス RIIC1.ICSARU0 A008 094Bh, RIIC1.ICSARU1 A008 094Dh, RIIC1.ICSARU2 A008 094Fh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	SVA[1:0]	FS	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	FS	7ビット/10ビットアドレスフォーマット選択ビット	0: 7ビットアドレスフォーマット選択 1: 10ビットアドレスフォーマット選択	R/W
b2-b1	SVA[1:0]	10ビットアドレス上位ビット	スレーブアドレスを設定してください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、必ず“0”としてください	R/W

FS ビット (7 ビット / 10 ビットアドレスフォーマット選択ビット)

スレーブアドレス y (ICSARLy、ICSARUy レジスタ) を 7 ビットアドレスにするか、10 ビットアドレスにするかを選択します。

ICSER.SARyE ビットが“1” (ICSARLy、ICSARUy レジスタ有効) でかつ ICSARUy.FS ビットが“0”のとき、スレーブアドレス y は 7 ビットアドレスフォーマットが選択され、ICSARLy.SVA[6:0] ビットの設定値が有効になり SVA[1:0] ビットおよび ICSARLy.SVA0 ビットの設定値は無視されます。

ICSER.SARyE ビットが“1” (ICSARLy、ICSARUy レジスタ有効) でかつ ICSARUy.FS ビットが“1”のとき、スレーブアドレス y は 10 ビットアドレスフォーマットが選択され、SVA[1:0] ビット、ICSARLy レジスタの設定値が有効になります。

ICSER.SARyE ビットが“0” (ICSARLy、ICSARUy レジスタ無効) のとき ICSARUy.FS ビットの設定値は無効です。

SVA[1:0] ビット (10 ビットアドレス上位ビット)

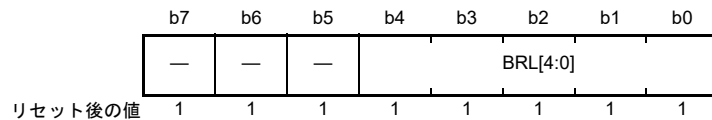
10 ビットアドレスフォーマット選択時 (FS ビット = 1)、10 ビットアドレスの上位 2 ビットアドレスとして機能します。

ICSER.SARyE ビットが“1” (ICSARLy、ICSARUy レジスタ有効) でかつ ICSARUy.FS ビットが“1”のとき設定値が有効になり、ICSARUy.FS ビットまたは SARyE ビットが“0”のとき設定値は無視されます。

26.2.13 I²Cバスビットレート Low レジスタ (ICBRL)

ICBRL レジスタは、SCL クロックの Low 幅、および SDA 信号追加する遅延サイクルを設定するためのレジスタです。

アドレス RIIC1.ICBRL A008 0950h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRL[4:0]	ビットレートLow幅設定ビット	SCLクロックのLow幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ICBRL レジスタは、SCL 自動 Low ホールド発生時（「26.8 SCL の自動 Low ホールド機能」参照）のデータセットアップ時間確保レジスタとしても機能します。そのため RIIC を常にスレーブモードで使用する場合には、データセットアップ時間（注1）以上の値を設定してください。

ICBRL レジスタは ICMR1.CKS[2:0] ビットで選択した内部基準クロックソース (IIC ϕ) で Low 幅をカウントします。

デジタルノイズフィルタ回路の使用を許可 (ICFER.NFE ビット = 1) した場合、ICBRL レジスタは、ノイズフィルタの段数 + 1 以上の値を設定してください。ノイズフィルタの段数については、ICMR3.NF[1:0] ビットを参照してください。

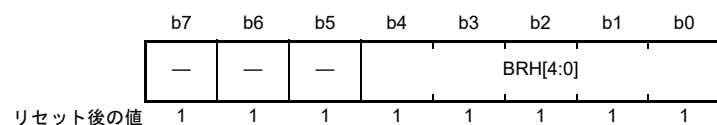
- 注 1. データセットアップ時間 (t_{SU:DAT})
100ns (~ 400kbps : ファストモード [Fm])

26.2.14 I²Cバスビットレート High レジスタ (ICBRH)

ICBRH レジスタは SCL クロックの High 幅を設定するための 5 ビットのレジスタで、マスタモード時に有効です。RIIC を常にスレーブモードで使用する場合には、High 幅を設定する必要はありません。

ICBRH レジスタは ICMR1.CKS[2:0] ビットで選択された内部基準クロックソース (IICφ) で High 幅をカウントします。

アドレス RIIC1.ICBRH A008 0951h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRH[4:0]	ビットレートHigh幅設定ビット	SCLクロックのHigh幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”として下さい。	R/W

デジタルノイズフィルタ回路の使用を許可 (ICFER.NFE ビット = 1) した場合、ICBRH レジスタは、ノイズフィルタの段数 + 1 以上の値を設定してください。ノイズフィルタの段数については、ICMR3.NF[1:0] ビットを参照してください。

I²C 転送速度および SCL クロックのデューティ比は以下の式で算定します。

$$\text{転送速度} = 1 / \{ [(ICBRH+1) + (ICBRL+1)] / IIC\phi^{(\text{注1})} + \text{SCL ライン立ち上がり時間 [tr]} + \text{SCL ライン立ち下がり時間 [tf]} \}$$

$$\text{デューティ比} = \{ \text{SCL ライン立ち上がり時間 [tr]}^{(\text{注2})} + (ICBRH+1) / IIC\phi \} / \{ \text{SCL ライン立ち下がり時間 [tf]}^{(\text{注2})} + (ICBRL+1) / IIC\phi \}$$

注 1. IICφ = ICMR1.CKS[2:0] 設定値

注 2. SCL ライン立ち上がり時間 [tr]、SCL ライン立ち下がり時間 [tf] は、バスライン総容量 [Cb] とプルアップ抵抗 [Rp] に依存します。詳細については NXP 社の I²C バス規格書を参照してください。

ICBRH、ICBRL レジスタの値の設定例を表 26.5 に示します。

表 26.5 転送速度に対する ICBRH、ICBRL レジスタの設定例

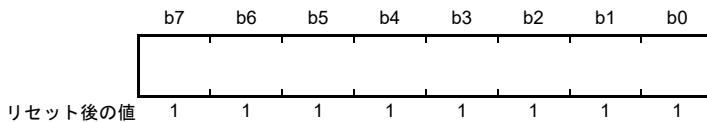
転送速度 (kbps)	動作周波数 PCLKD (MHz)		
	75		
	CKS[2:0]	ICBRH	ICBRL
10	111b	26 (FAh)	30 (FEh)
50	101b	20 (F4h)	23 (F7h)
100	100b	19 (F3h)	23 (F7h)
400	010b	11 (EBh)	24 (F8h)

注. SCL ラインの立ち上がり時間 (tr) を 300ns、SCL ラインの立ち下がり時間 (tf) を 300ns として計算した場合の設定例です。SCL ライン立ち上がり時間 (tr)、SCL ライン立ち下がり時間 (tf) の規格値については NXP 社の I²C バス規格書を参照してください。

26.2.15 I²Cバス送信データレジスタ (ICDRT)

ICDRT レジスタは、送信データを格納するレジスタです。

アドレス RIIC1.ICDRT A008 0952h



I²Cバスシフトレジスタ (ICDRS) の空きを検出すると、ICDRT レジスタに書き込まれた送信データが ICDRS レジスタへ転送され、送信モード時にデータ送信を開始します。

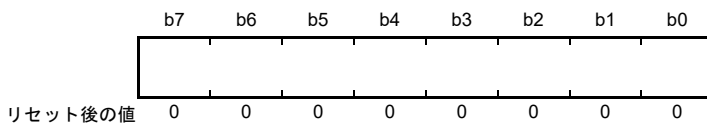
ICDRT レジスタと ICDRS レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ送信中に、次に送信するデータを ICDRT レジスタに書いておくと連続送信動作が可能です。

ICDRT レジスタは常に読み出し/書き込み可能です。ICDRT レジスタへの送信データの書き込みは、送信データエンプティ割り込み (TXI) 要求が発生したときに 1 回だけ行ってください。

26.2.16 I²Cバス受信データレジスタ (ICDRR)

ICDRR レジスタは、受信データを格納するレジスタです。

アドレス RIIC1.ICDRR A008 0953h



1 バイトのデータの受信が終了すると、受信したデータは I²Cバスシフトレジスタ (ICDRS) から ICDRR レジスタへ転送され、次のデータを受信可能にします。

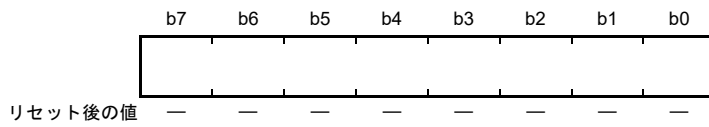
ICDRS レジスタと ICDRR レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ受信中に、すでに受信したデータを ICDRR レジスタから読んでおくと連続受信動作が可能です。

ICDRR レジスタに書き込みはできません。ICDRR レジスタの読み出しは、受信データフル割り込み (RXI) 要求が発生したときに 1 回だけ行ってください。

受信データを ICDRR レジスタから読み出ししないまま (ICSR2.RDRF フラグが“1”の状態のまま) 次の受信データを受け取ると、RIIC は RDRF フラグを次に“1”になるタイミングの 1 つ手前の SCL クロックで自動的に Low ホールドを行います。

26.2.17 I²Cバスシフトレジスタ (ICDRS)

ICDRSレジスタは、データを送信/受信するためのシフトレジスタです。



送信時はICDRTレジスタから送信データがICDRSレジスタに転送され、SDA端子からデータが送信されます。受信時は1バイトのデータの受信が終了すると、データがICDRSレジスタからICDRRレジスタへ転送されます。

ICDRSレジスタは直接アクセスすることはできません。

26.3 動作説明

26.3.1 通信データフォーマット

I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジで構成されています。スタートコンディションおよびリスタートコンディションに続くフレームは、アドレスフレームでマスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブは新たにスレーブが指定されるか、ストップコンディションが発行されるまで有効です。

図 26.3 に I²C バスフォーマットを、図 26.4 に I²C バスタイミングを示します。

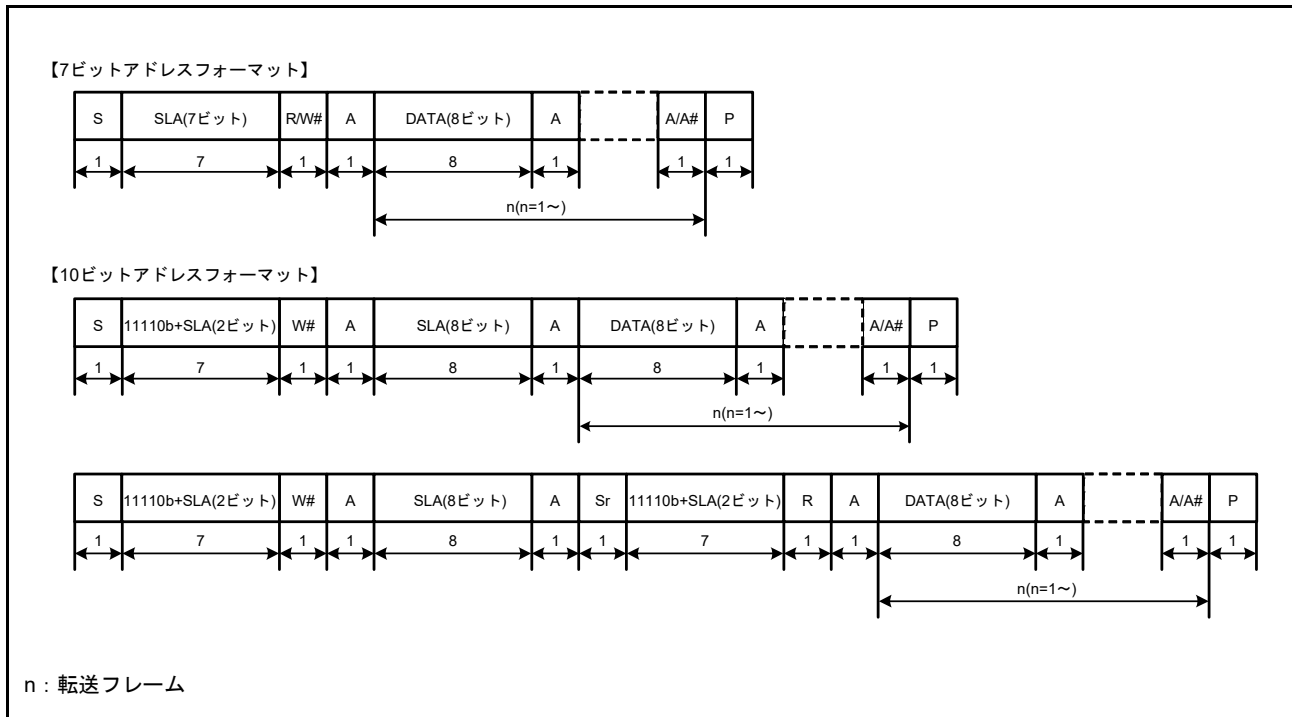


図 26.3 I²C バスフォーマット

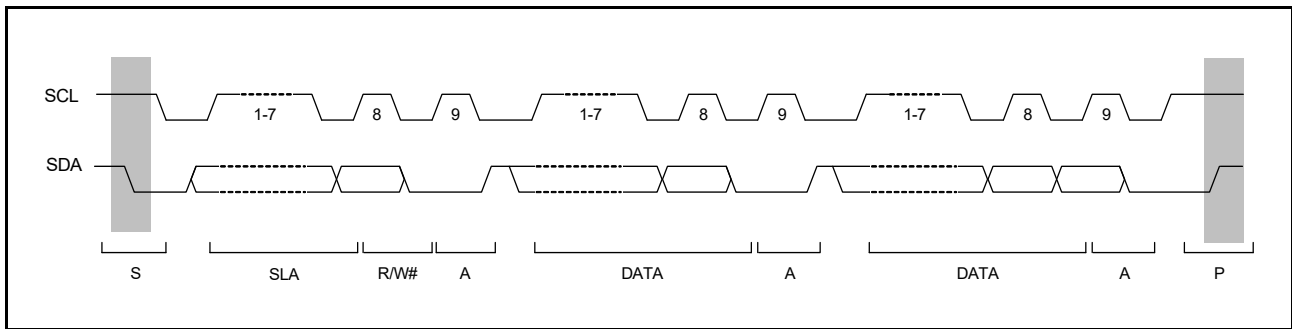


図 26.4 I²C バスタイミング (SLA = 7 ビットの場合)

- S : スタートコンディションを示します。マスタデバイスのSCLラインがHighの状態です。SDAラインがHighからLowに変化します。
- SLA : スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
- R/W# : 送信/受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。
- A : アクノリッジを示します。受信デバイスがSDAラインをLowにします (マスタ送信モード時: スレーブデバイスがアクノリッジを返します。マスタ受信モード時: マスタデバイスがアクノリッジを返します)。
- A# : ノットアクノリッジを示します。受信デバイスがSDAラインをHighにします。
- Sr : リスタートコンディションを示します。SCLラインがHighの状態です。セットアップ時間経過後にSDAラインはHighからLowに変化します。
- DATA : 送受信データを示します。送受信するデータのビット長はICMR1.BC[2:0]で設定します。
- P : ストップコンディションを示します。SCLラインがHighの状態です。SDAラインはLowからHighに変化します。

26.3.2 初期設定

データの送信／受信を開始する場合、**図 26.5** に示す手順にしたがって RIIC を初期化してください。

ICCR1.ICE ビットを“0” (SCL、SDA 端子非駆動状態) にしたまま ICCR1.IICRST ビットを“1” (RIIC リセット) にした後、ICCR1.ICE ビットを“1” (内部リセット) にします。これにより ICSR1 レジスタの各フラグや内部状態の初期化を行います。その後、IC SARLy、IC SARUy、IC SER、IC MR1、IC BRH、IC BRL レジスタ (y = 0 ~ 2) を設定し、その他のレジスタは必要に応じて設定してください (RIIC の初期設定については**図 26.5** 参照)。必要なレジスタの設定が終了したら、ICCR1.IICRST ビットを“0” (RIIC リセット解除) にしてください。すでに RIIC の初期化が完了している場合、この手順は不要です。

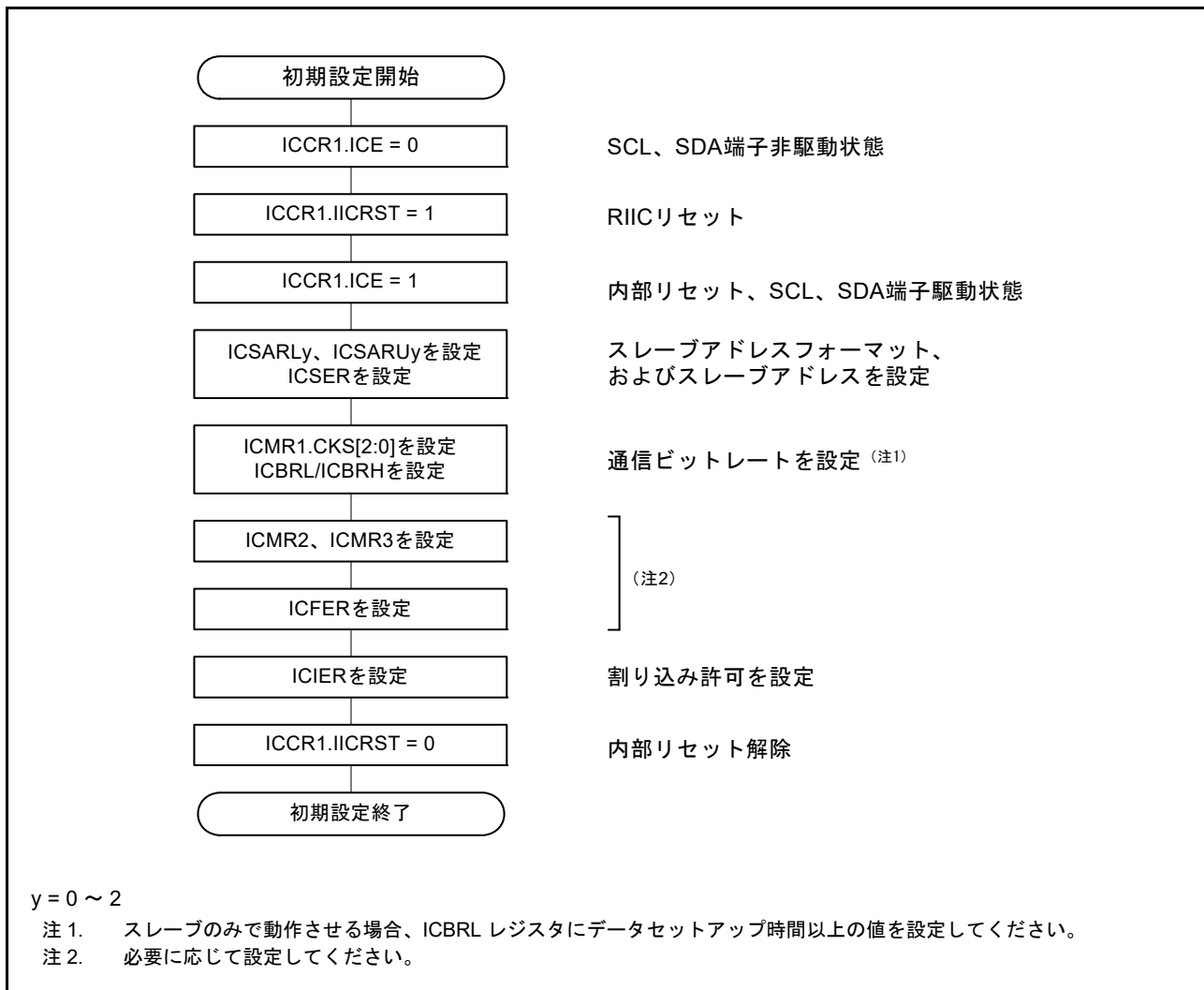


図 26.5 RIIC の初期化フローチャート例

26.3.3 マスタ送信動作

マスタ送信では、マスタデバイスである RIIC が SCL クロックと送信データを出力して、スレーブデバイスがアクノリッジを返します。図 26.6 にマスタ送信の使用例を、図 26.7 ~ 図 26.9 にマスタ送信の動作タイミングを示します。

以下にマスタ送信の送信手順と動作を示します。

- (1) 初期設定を行います。詳細は「26.3.2 初期設定」を参照してください。
- (2) ICCR2.BBSY フラグを読み出しバスが解放状態であることを確認した後、ICCR2.ST ビットに“1”を書きます（スタートコンディション発行要求）。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると、BBSY フラグ、ICSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。このとき、ST ビットが“1”の状態を出力した SDA 信号と SDA ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST, TRS ビットを自動的に“1”にしてマスタ送信モードになります。また、ICSR2.TDRE は、TRS ビットが“1”になることにより自動的に“1”になります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データ（スレーブアドレスと R/W# ビット）を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に TRS ビットが変更され送信モード/受信モードが選択されます。RIIC は、R/W# ビット=0 を受信すると、引き続きマスタ送信モードの状態を継続します。
このとき、ICSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているため、ストップコンディションを発行してください。ストップコンディションの発行は、ICCR2.SP ビットに“1”を書くことで行われます。
なお、10 ビットアドレスフォーマットで送信する場合は、まず 1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b+ スレーブアドレスの上位 2 ビット+W を書き、2 回目のアドレス送信処理で ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。
- (4) ICSR2.TDRE フラグが“1”であることを確認した後、送信データを ICDRT レジスタに書いてください。なお、送信データの準備ができるまで、またはストップコンディションを発行するまでの間、RIIC は自動的に SCL ラインを Low にホールドします。
- (5) 送信する全バイトを ICDRT レジスタに書いた後、ICSR2.TEND フラグが“1”になるまで待つてから ICCR2.SP ビットに“1”を書いてください（ストップコンディション発行要求）。RIIC はストップコンディション発行要求を受け付けると、ストップコンディションを発行します。
- (6) RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットが自動的に“00b”になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.TDRE, TEND フラグも自動的に“0”になり、ICSR2.STOP フラグが“1”になります。
- (7) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを“0”にしてください。

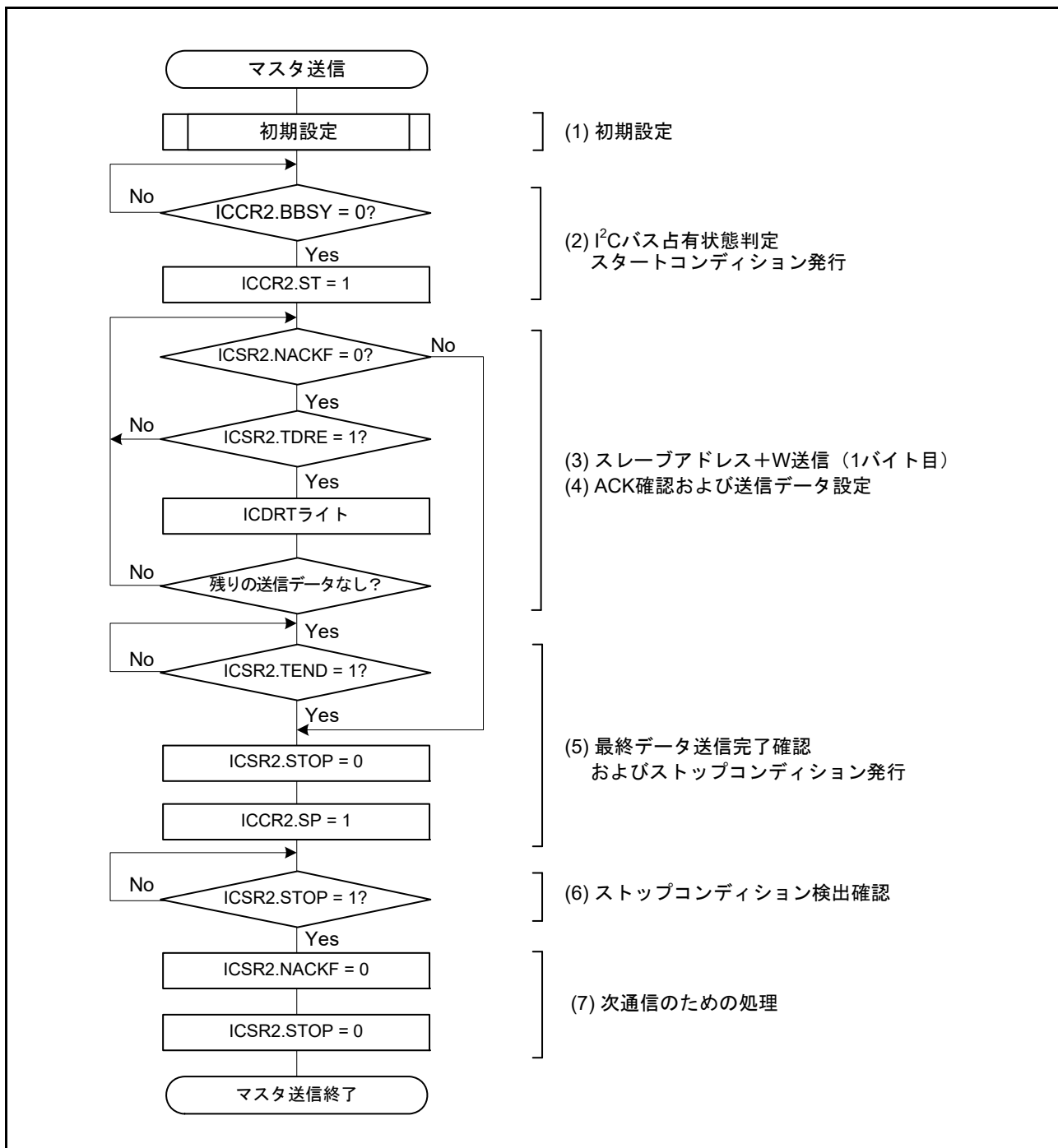


図 26.6 マスタ送信のフローチャート例

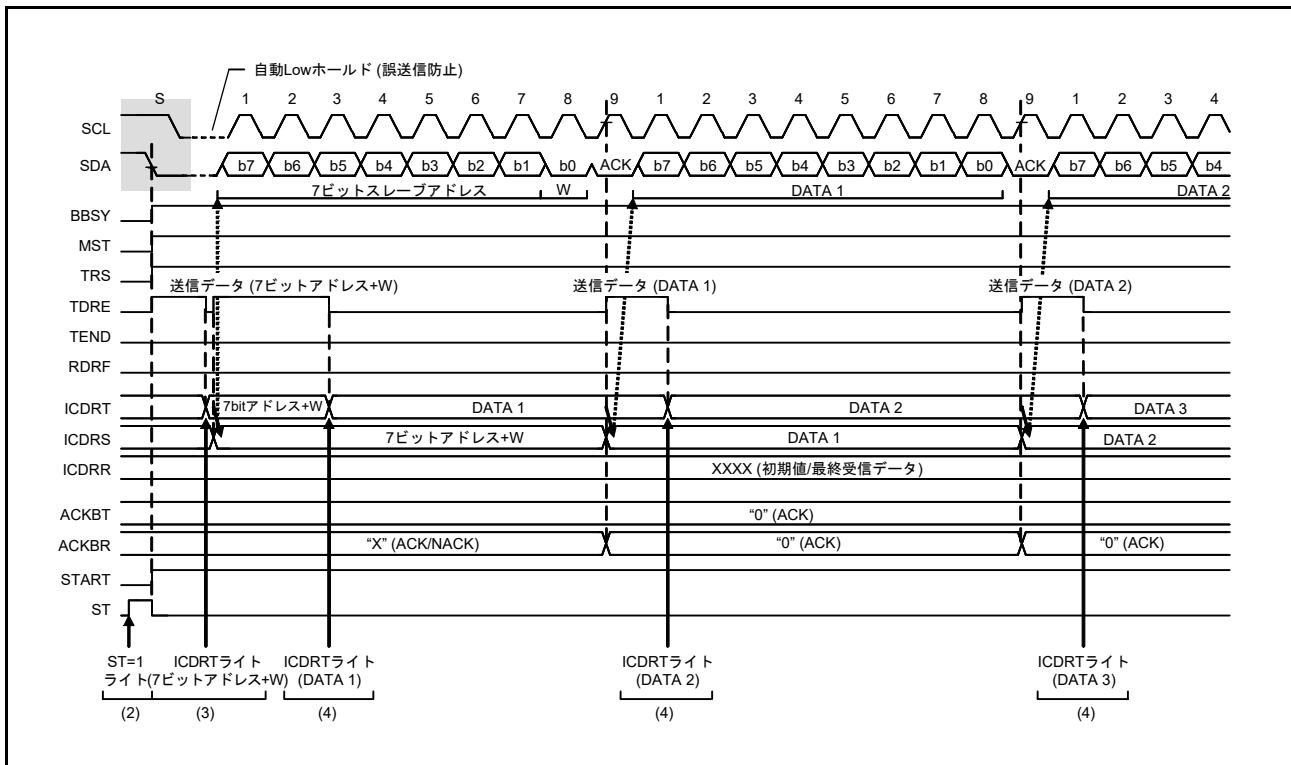


図 26.7 マスタ送信の動作タイミング (1) (7ビットアドレスフォーマットの時)

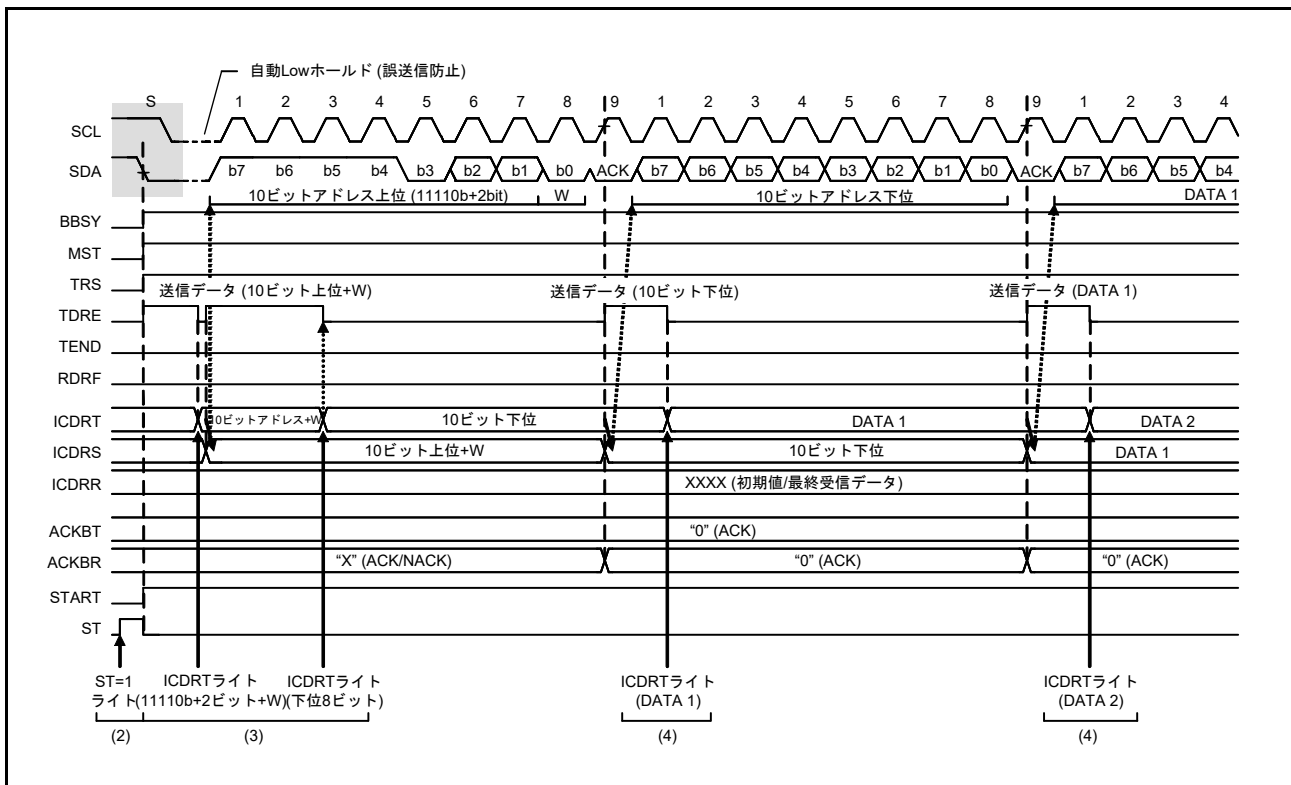


図 26.8 マスタ送信の動作タイミング (2) (10ビットアドレスフォーマットの時)

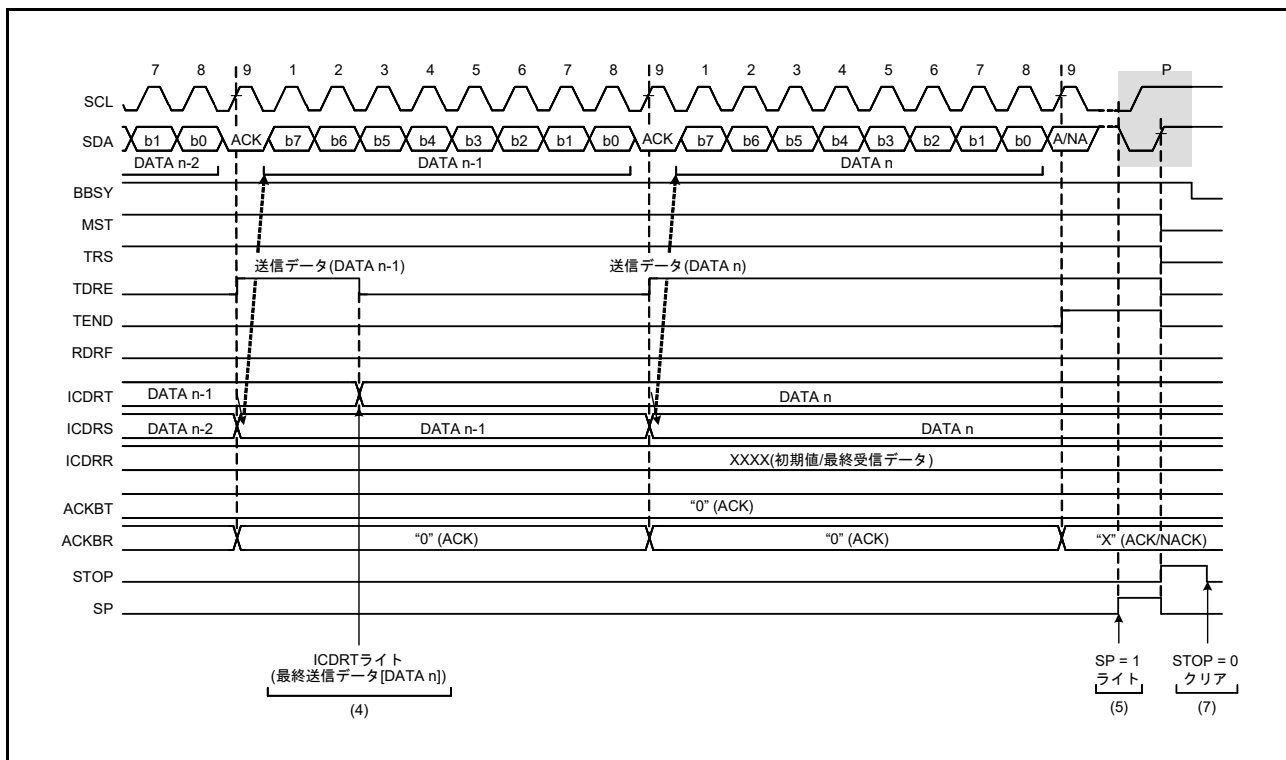


図 26.9 マスタ送信の動作タイミング (3)

26.3.4 マスタ受信動作

マスタ受信では、マスタデバイスである RIIC が SCL クロックを出力し、スレーブデバイスからデータを受信して、アクノリッジを返します。最初にスレーブデバイスにスレーブアドレスを送信する必要があるため、まずマスタ送信モードでスレーブアドレスを送信し、その後マスタ受信モードでデータを受信します。

図 26.10、図 26.11 にマスタ受信の使用例（7ビットアドレスフォーマットの場合）を、図 26.12～図 26.14 にマスタ受信の動作タイミングを示します。

以下にマスタ受信の受信手順と動作を示します。

- (1) 初期設定を行います。詳細は「26.3.2 初期設定」を参照してください。
- (2) ICCR2.BBSY フラグを読み出しバスが解放状態であることを確認した後、ICCR2.ST ビットに“1”を書きます（スタートコンディション発行要求）。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。このとき、ST ビットが“1”の状態でも出力した SDA 信号と SDA ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST、TRS ビットを自動的に“1”にしてマスタ送信モードになります。また ICSR2.TDRE フラグは、TRS ビット=1により自動的に“1”になります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データ（スレーブアドレスと R/W# ビット）を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に ICCR2.TRS ビットが変更され送信モード/受信モードが選択されます。RIIC は R/W# ビット=1を受信すると、9クロック目の立ち上がりで TRS ビットを“0”にしてマスタ受信モードに移行します。このとき TDRE フラグは“0”に、ICSR2.RDRF フラグは自動的に“1”になります。このとき、ICSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているため、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに“1”を書くことで行えます。なお、10ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で10ビットアドレスを送信した後、リスタートコンディションを発行します。その後、1111 0b+ スレーブアドレスの上位2ビット+Rを送信することで、マスタ受信モードに移行します。
- (4) ICSR2.RDRF フラグが“1”であることを確認した後、ダミーで ICDRR レジスタを読むと、RIIC は SCL クロックを出力して受信動作を開始します。
- (5) 1バイトのデータ受信が終了し、ICMR3.RDRFS ビットで設定した SCL クロックの8クロック目、あるいは9クロック目の立ち上がりで、ICSR2.RDRF フラグが“1”になります。このとき ICDRR レジスタを読むと、受信したデータを読むことができ、同時に RDRF フラグは自動的に“0”になります。また、SCL クロックの9クロック目のアクノリッジビットには、ICMR3.ACKBT ビットに設定された値が返信されます。次の受信バイトが最終バイト-1の場合、ICDRR レジスタ（最終バイト-2バイト目）を読む前に ICMR3.WAIT ビットを“1”（WAITあり）にしてください。これにより、続く(6)の ICMR3.ACKBT ビットを“1”（NACK）にする処理が他の割り込みなどにより遅れた場合でも最終バイトで NACK 出力を可能にするとともに、最終バイトの受信時に9クロック目の立ち下がりでも SCL ラインを Low に固定して、ストップコンディション発行可能状態にすることができます。
- (6) ICMR3.RDRFS ビットが“0”でスレーブデバイスに次のデータ受信で通信終了であることを通知する必要がある場合には、ICMR3.ACKBT ビットを“1”（NACK）にしてください。

- (7) ICDRR レジスタ（最終バイト - 1 バイト目）を読み出した後、ICSR2.RDRF フラグが“1”であることを確認してから、ICCR2.SP ビットに“1”を書いて（ストップコンディション発行要求）、ICDRR レジスタ（最終バイト）を読んでください。RIIC は ICDRR レジスタの読み出しにより、WAIT 状態が解除され、9クロック目の Low 出力終了または SCL ラインの Low ホールド解除後にストップコンディションを発行します。
- (8) RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットは自動的に“00b”になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.STOP フラグが“1”になります。
- (9) ICSR2.STOP フラグが“1”であることを確認した後、次の通信のために ICSR2.NACKF, STOP フラグを“0”にしてください。

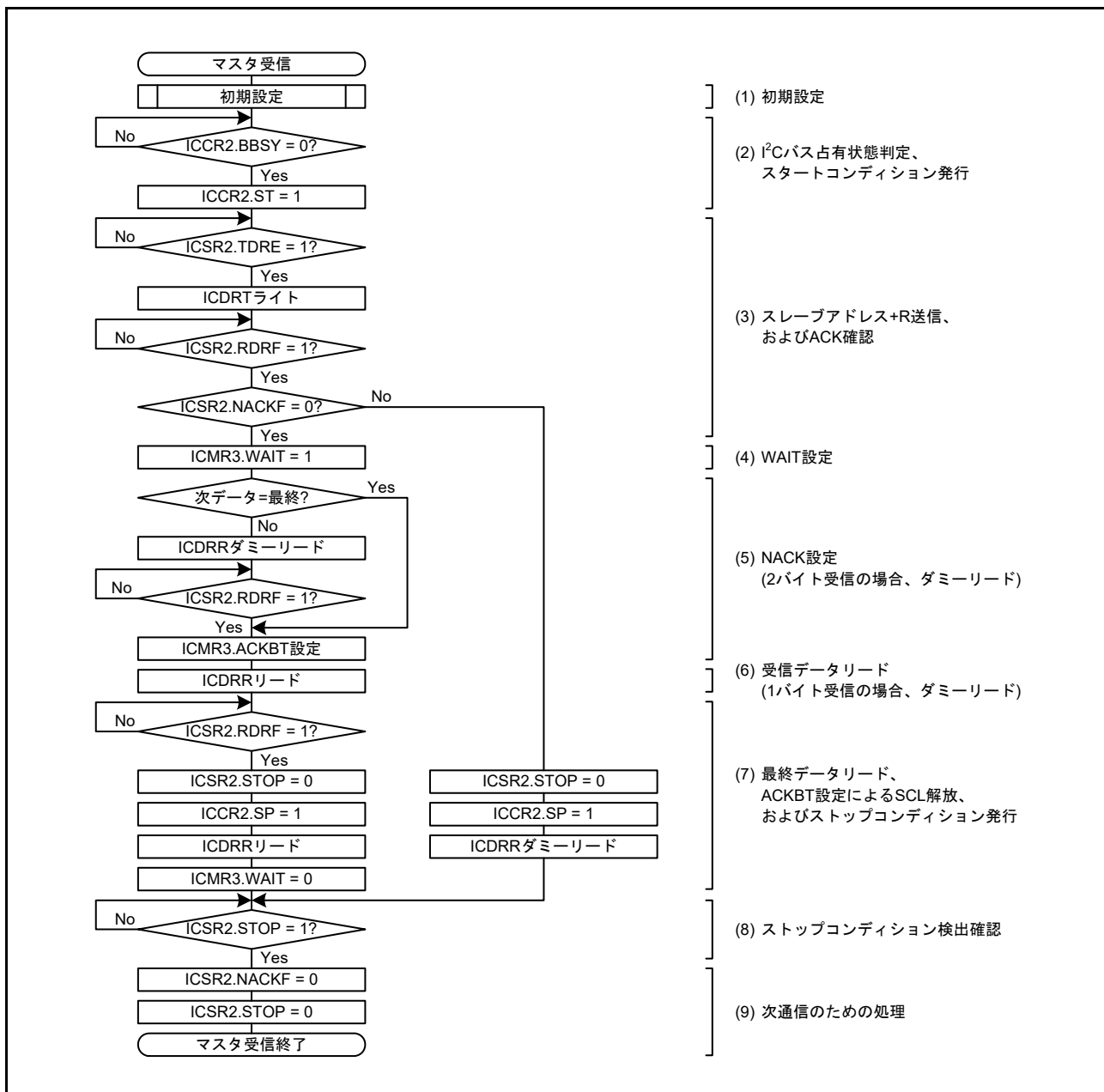


図 26.10 マスタ受信のフローチャート例（7ビットアドレスフォーマットの場合、2バイト以下の場合）

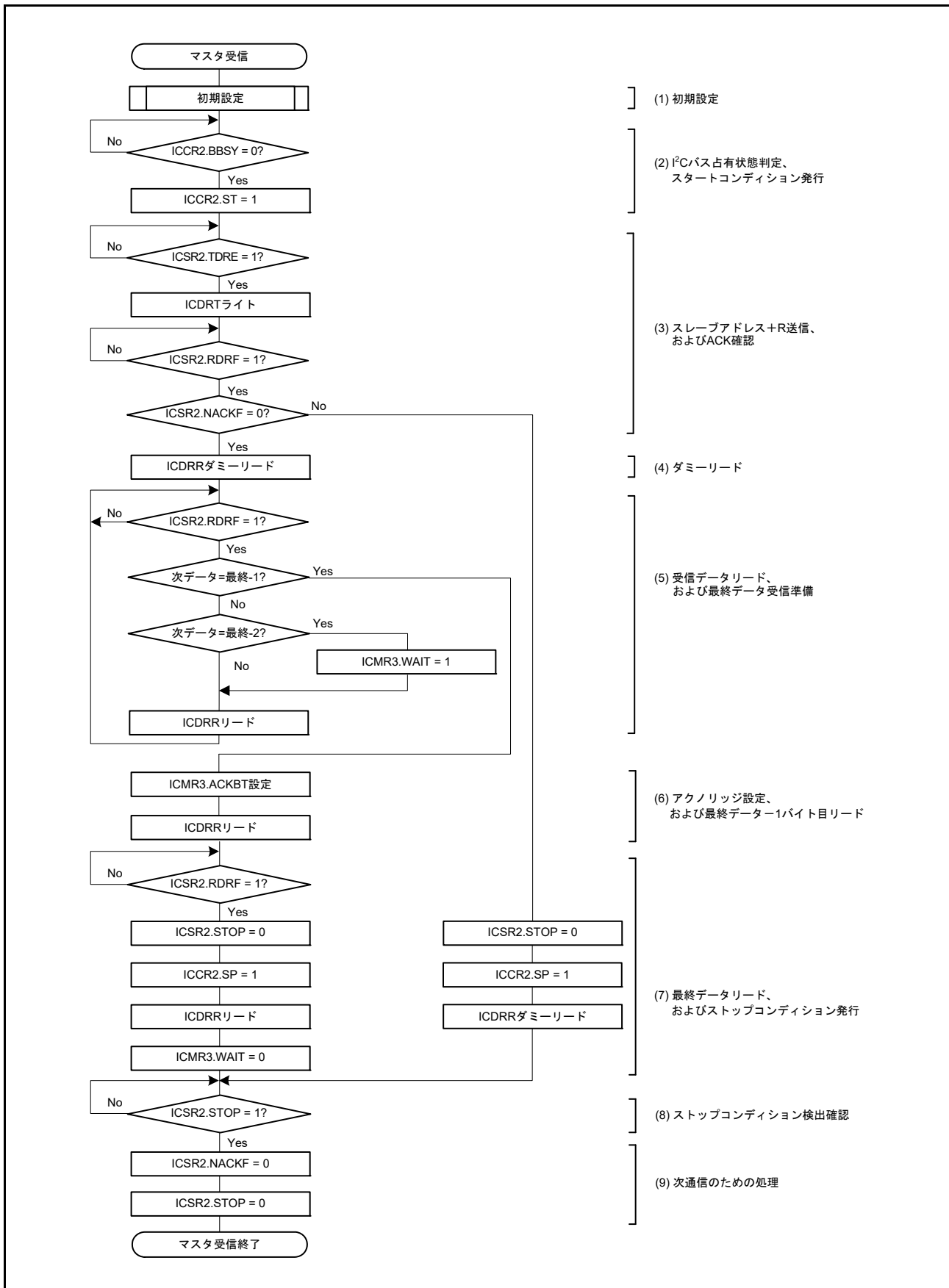


図 26.11 マスタ受信のフローチャート例 (7ビットアドレスフォーマット、3バイト以上の場合)

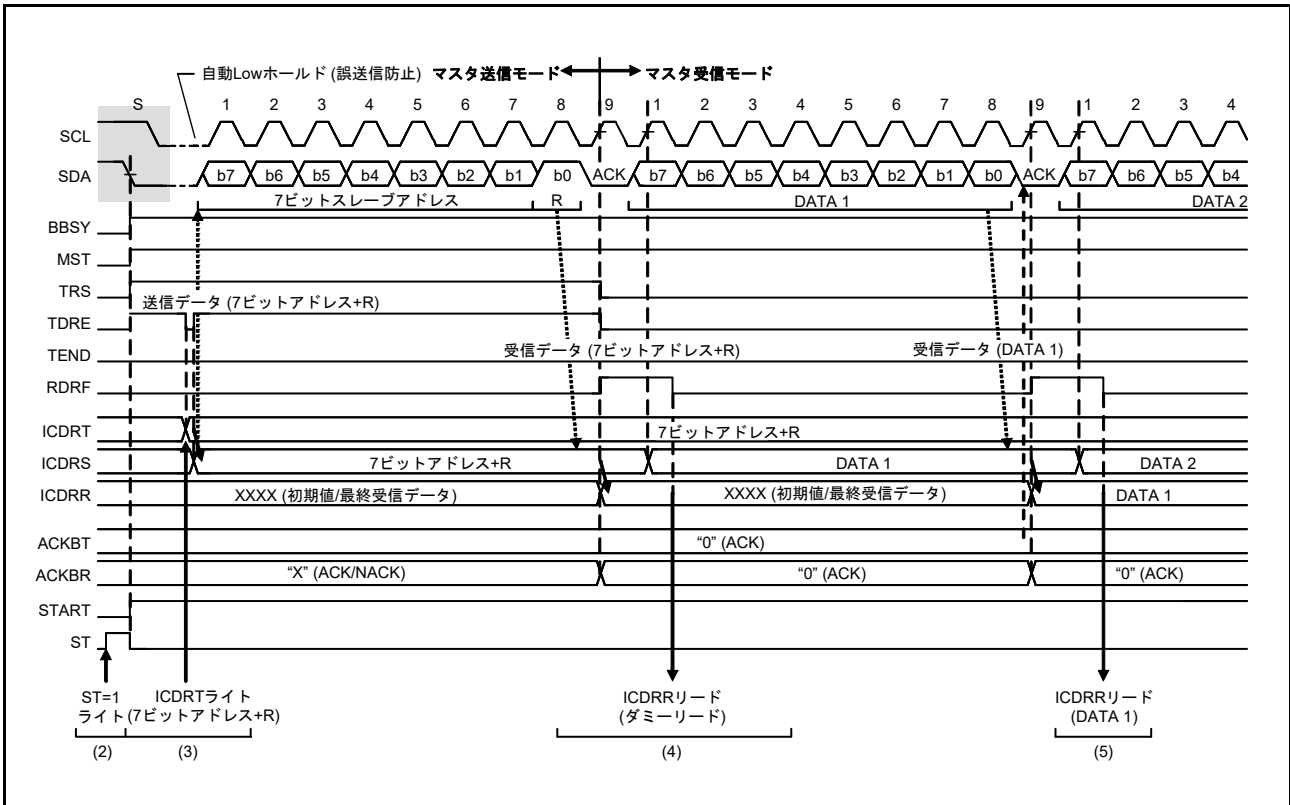


図 26.12 マスタ受信の動作タイミング (1) (7ビットアドレスフォーマット、RDRFS = 0 のとき)

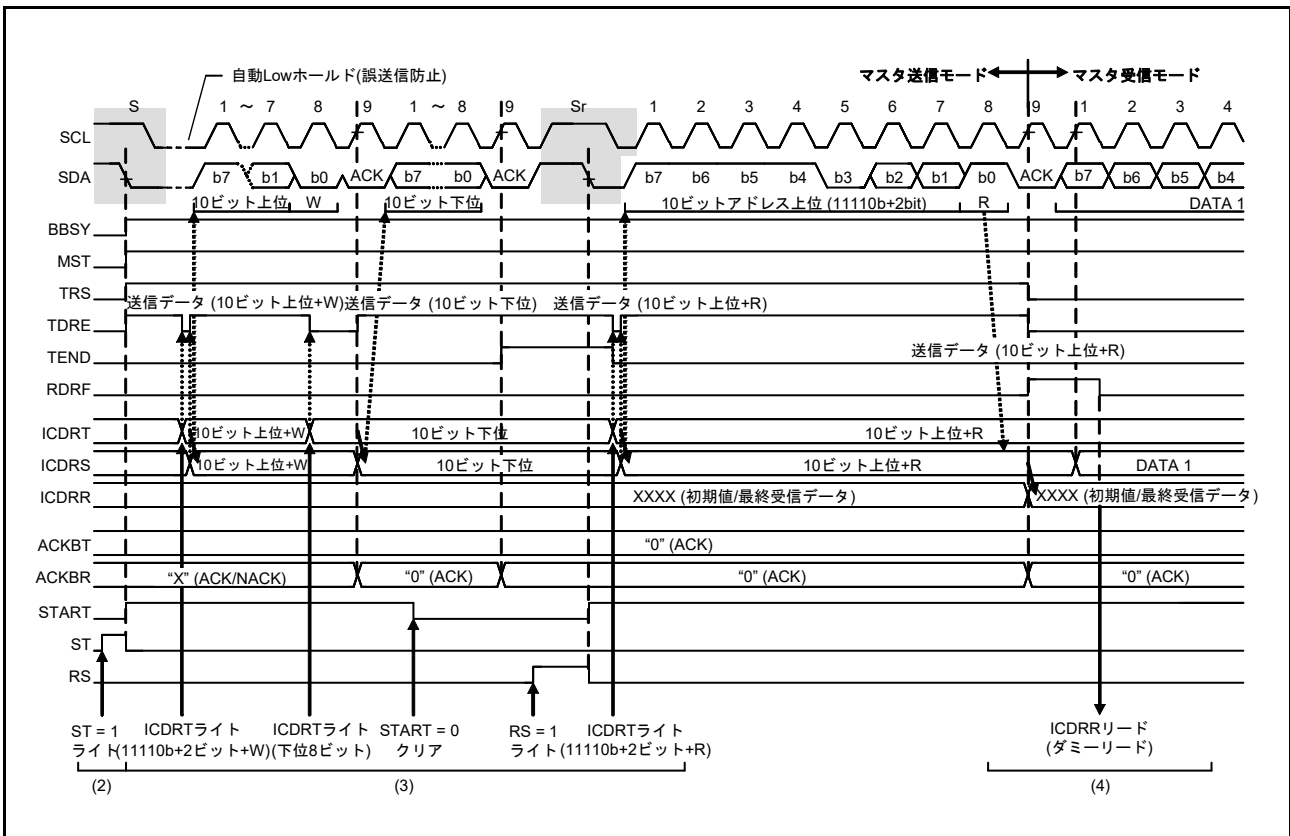


図 26.13 マスタ受信の動作タイミング (2) (10ビットアドレスフォーマット、RDRFS = 0 のとき)

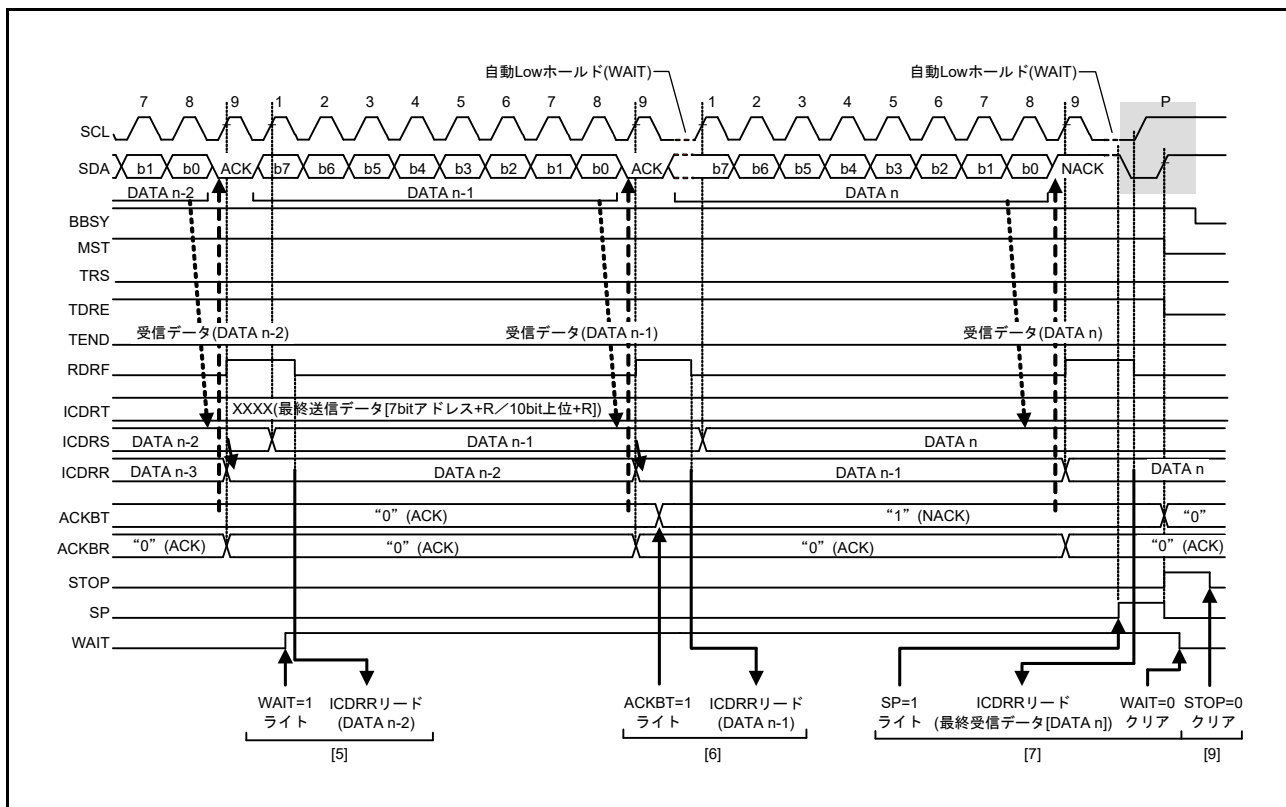


図 26.14 マスタ受信の動作タイミング (3) (RDRFS = 0 のとき)

26.3.5 スレーブ送信動作

スレーブ送信では、マスタデバイスが SCL クロックを出力し、スレーブデバイスである RIIC がデータを送信し、マスタデバイスがアクノリッジを返します。

図 26.15 にスレーブ送信の使用例を示します。図 26.16、図 26.17 にスレーブ送信の動作タイミングを示します。

以下にスレーブ送信の送信手順と動作を示します。

- (1) 初期設定を行います。詳細は「26.3.2 初期設定」を参照してください。
初期設定完了後、RIIC はスレーブアドレスが一致するまでスレーブ受信モードで待機状態となります。
- (2) RIIC はスレーブアドレスが一致した場合、SCL クロックの 9 クロック目の立ち上がりで該当する ICSR1.GCA, AASy ビット (y=0~2) のいずれかを“1”にし、SCL クロックの 9 クロック目のアクノリッジビットに対し、ICMR3.ACKBT ビットに設定した値を返信します。7 ビットアドレスフォーマット時は、このとき受信した R/W# ビットが“1”のとき、ICCR2.TRS ビットおよび ICSR2.TDRE フラグを“1”にし、自動的にスレーブ送信モードに切り替わります。また、10 ビットアドレスフォーマット時はスレーブアドレス一致後、ICSR2.STOP フラグが“0”かつ ICSR2.RDRF フラグが“1”であることを確認して、ICDRR レジスタをダミーで読んでください (なお、ダミーで読んだ受信データは下位 8 ビットアドレスになります)。ダミーリード後、リスタートコンディションを検出し再びデータを受信します。このとき受信した R/W# ビットが“1”のとき、ICCR2.TRS ビットおよび ICSR2.TDRE フラグを“1”にし、自動的にスレーブ送信モードに切り替わります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データを書いてください。このとき、ICFER.NACKC ビットが“1”の状態でもマスタデバイスからアクノリッジがなかった (NACK を受信した) 場合、RIIC は次の通信動作を中断します。
- (4) ICSR2.NACKF フラグが“1”になるか、または最終送信データを ICDRT レジスタに書いた後、ICSR2.TDRE フラグが“1”の状態、ICSR2.TEND フラグが“1”になるまで待ってください。ICSR2.NACKF フラグが“1”または TEND フラグが“1”の場合、RIIC は 9 クロック目の立ち下がり以降、SCL ラインを Low にホールドします。
- (5) ICSR2.NACKF フラグが“1”または ICSR2.TEND フラグが“1”の場合、終了処理のため ICDRR レジスタをダミーで読んでください。これにより SCL ラインを開放します。
- (6) RIIC はストップコンディションを検出すると、ICSR1.GCA, AASy ビット (y=0~2)、ICSR2.TDRE, TEND フラグ、ICCR2.TRS ビットを自動的に“0”にし、スレーブ受信モードに移行します。
- (7) ICSR2.STOP フラグが“1”であることを確認した後、次の通信のために ICSR2.NACKF, STOP フラグを“0”にしてください。

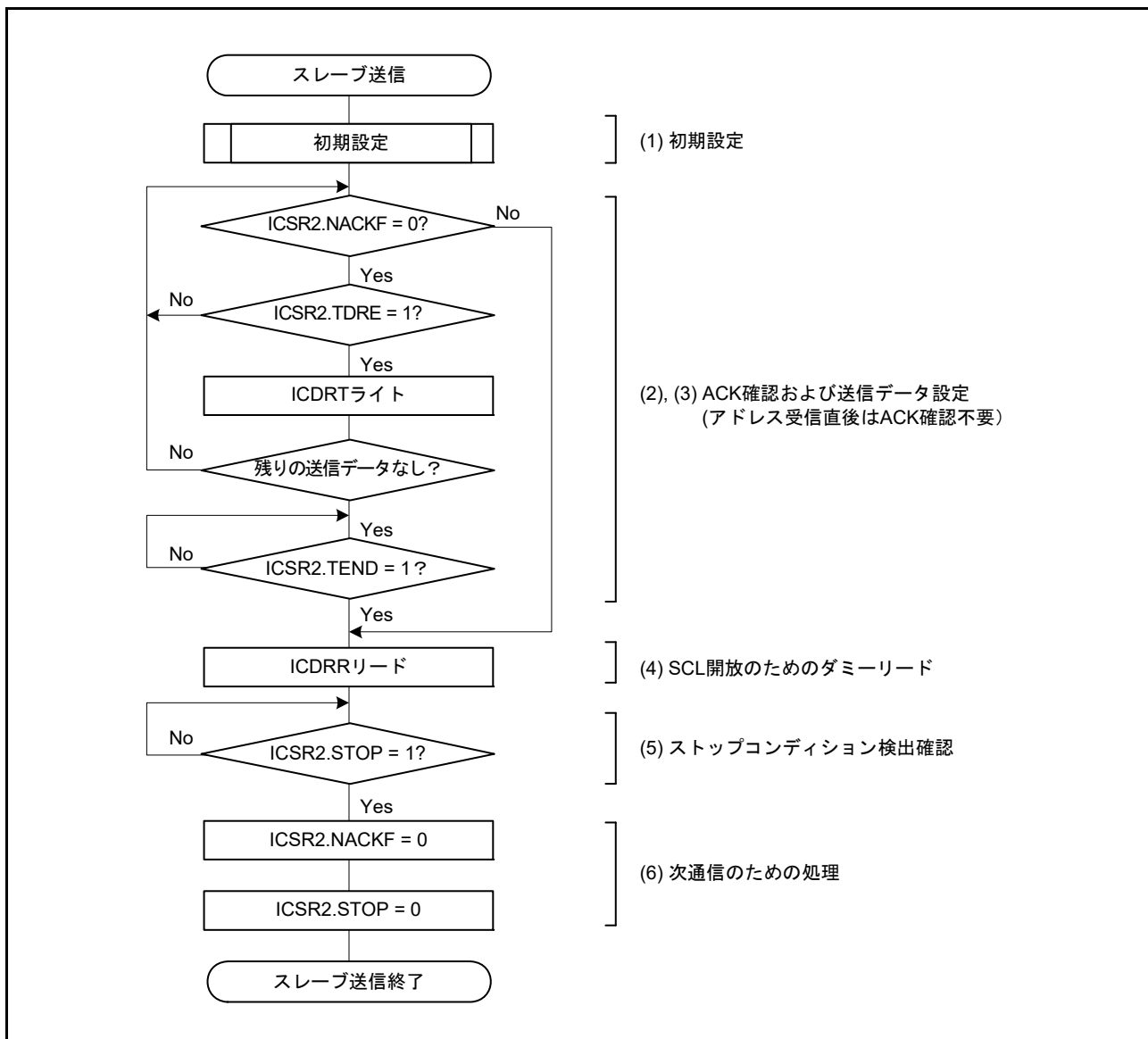


図 26.15 スレーブ送信のフローチャート例

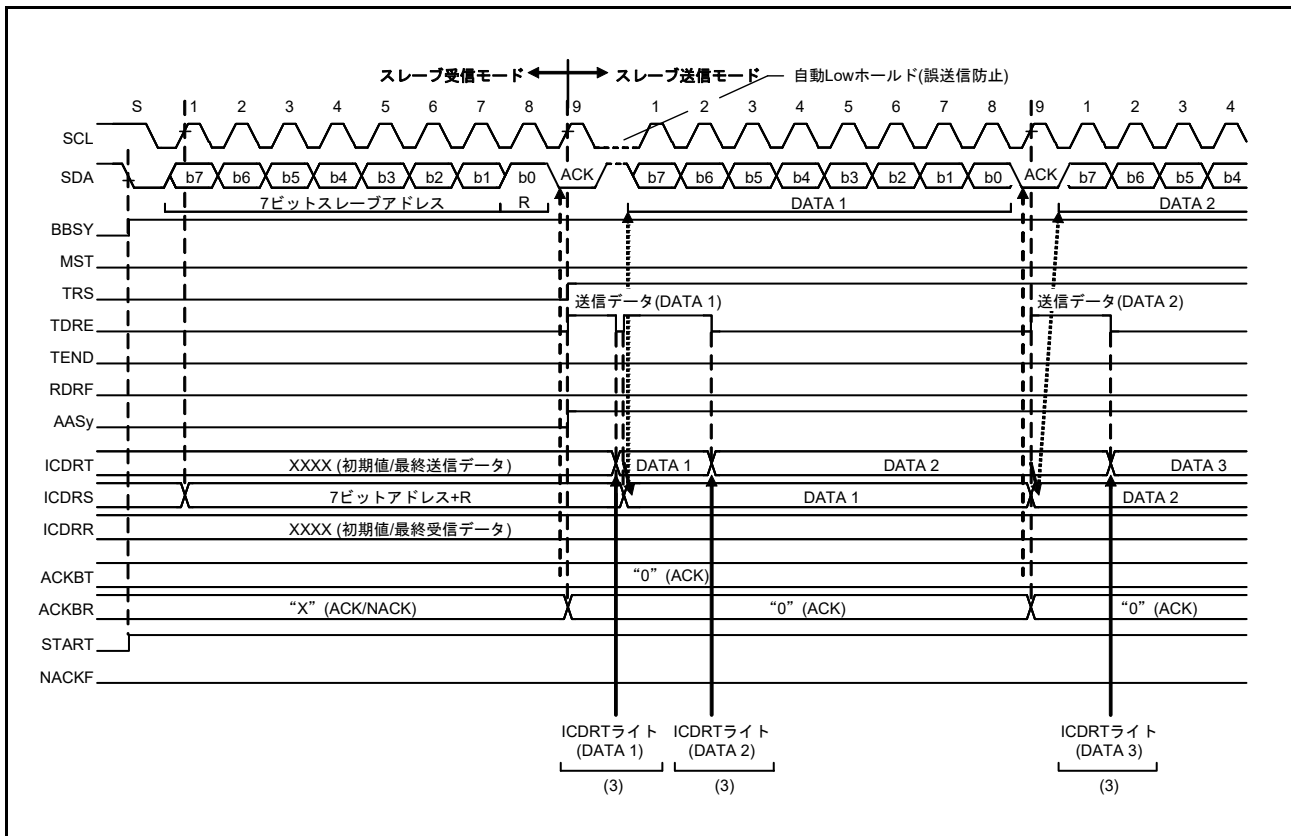


図 26.16 スレーブ送信の動作タイミング (1) (7ビットアドレスフォーマットの場合)

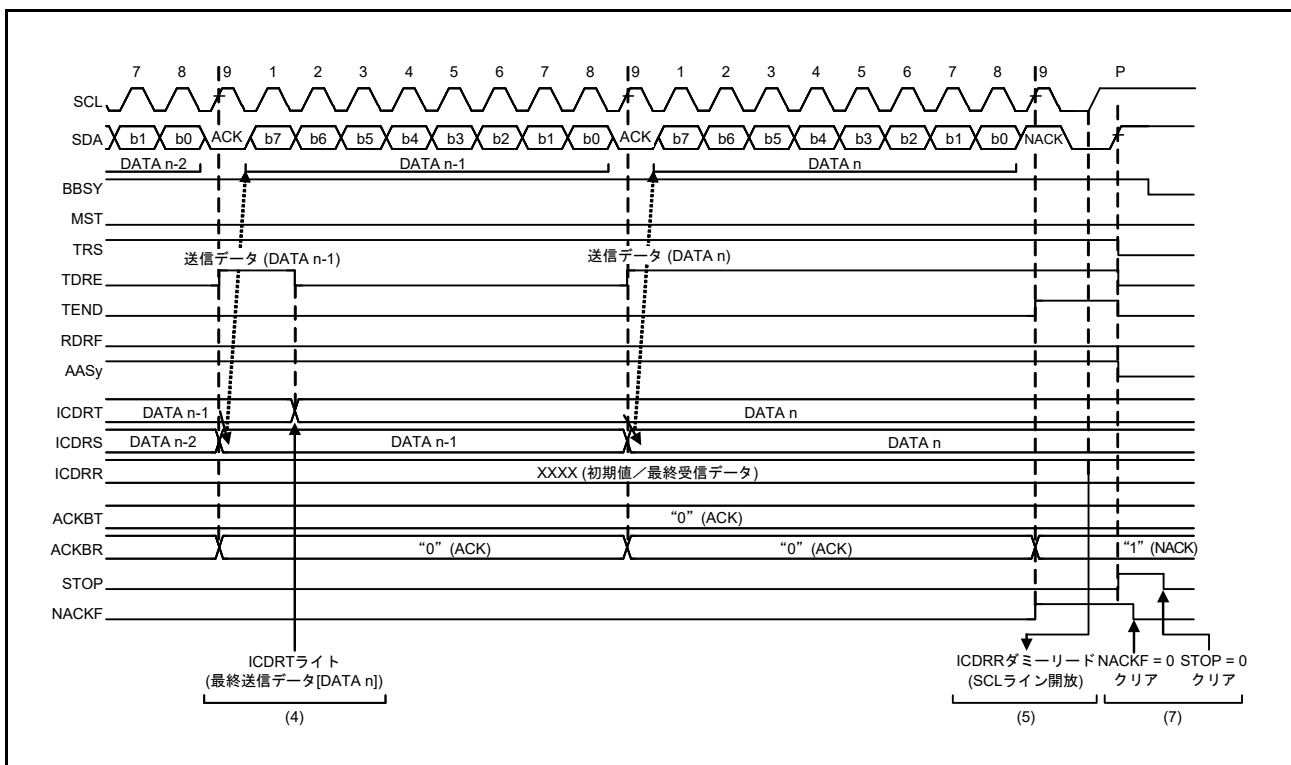


図 26.17 スレーブ送信の動作タイミング (2)

26.3.6 スレーブ受信動作

スレーブ受信では、マスタデバイスが SCL クロックと送信データを出力し、スレーブデバイスである RIIC がアクノリッジを返します。

図 26.18 にスレーブ受信の使用例を図 26.19、図 26.20 にスレーブ受信の動作タイミングを示します。以下にスレーブ受信の受信手順と動作を示します。

- (1) 初期設定を行います。詳細は「26.3.2 初期設定」を参照してください。
初期設定完了後、RIIC はスレーブアドレスが一致するまでスレーブ受信モードで待機状態となります。
- (2) スレーブアドレスが一致した場合、RIIC は SCL クロックの 9 クロック目の立ち上がりで該当する ICSR1.GCA, AASy ビット (y=0~2) のいずれかを“1”にし、SCL クロックの 9 クロック目のアクノリッジビットに対し、ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが“0”なら、スレーブ受信モードの状態を継続し、ICSR2.RDRF フラグを“1”にします。
- (3) ICSR2.STOP フラグが“0”で、かつ ICSR2.RDRF フラグが“1”であることを確認したら、最初の 1 回目は ICDRR レジスタをダミーで読んでください (なお、ダミーで読んだ受信データは 7 ビットアドレスフォーマット時にスレーブアドレス + R/W# ビット、10 ビットアドレスフォーマット時は下位 8 ビットアドレスになります)。ダミーリード後、RIIC は RDRF フラグを“0”にし、受信動作を開始します。
- (4) 1 バイトのデータ受信が終了し、ICMR3.RDRFS ビットで設定した SCL クロックの 8 クロック目、あるいは 9 クロック目の立ち上がりで、ICSR2.RDRF フラグが“1”になります。このとき ICDRR レジスタを読むと、受信したデータを読むことができ、同時に RDRF フラグは自動的に“0”になります。なお、ICDRR レジスタの読み出しが遅れて、RDRF フラグが“1”になった状態で次のデータを受信すると、RIIC は RDRF フラグが“1”になるタイミングの 1 つ手前の SCL クロック立ち下がり、SCL ラインを Low にホールドします。この Low ホールドは ICDRR レジスタを読むことで解除され、RIIC は SCL ラインを開放します。ICSR2.STOP フラグが“1”で、かつ ICSR2.RDRF フラグが“1”の場合、または全データ受信が完了するタイミングで ICDRR レジスタを読んでください。
- (5) RIIC はストップコンディションを検出すると、ICSR1.GCA, AASy ビット (y=0~2) を自動的に“0”にします。
- (6) ICSR2.STOP フラグが“1”であることを確認した後、次の通信のために ICSR2.STOP フラグを“0”にしてください。

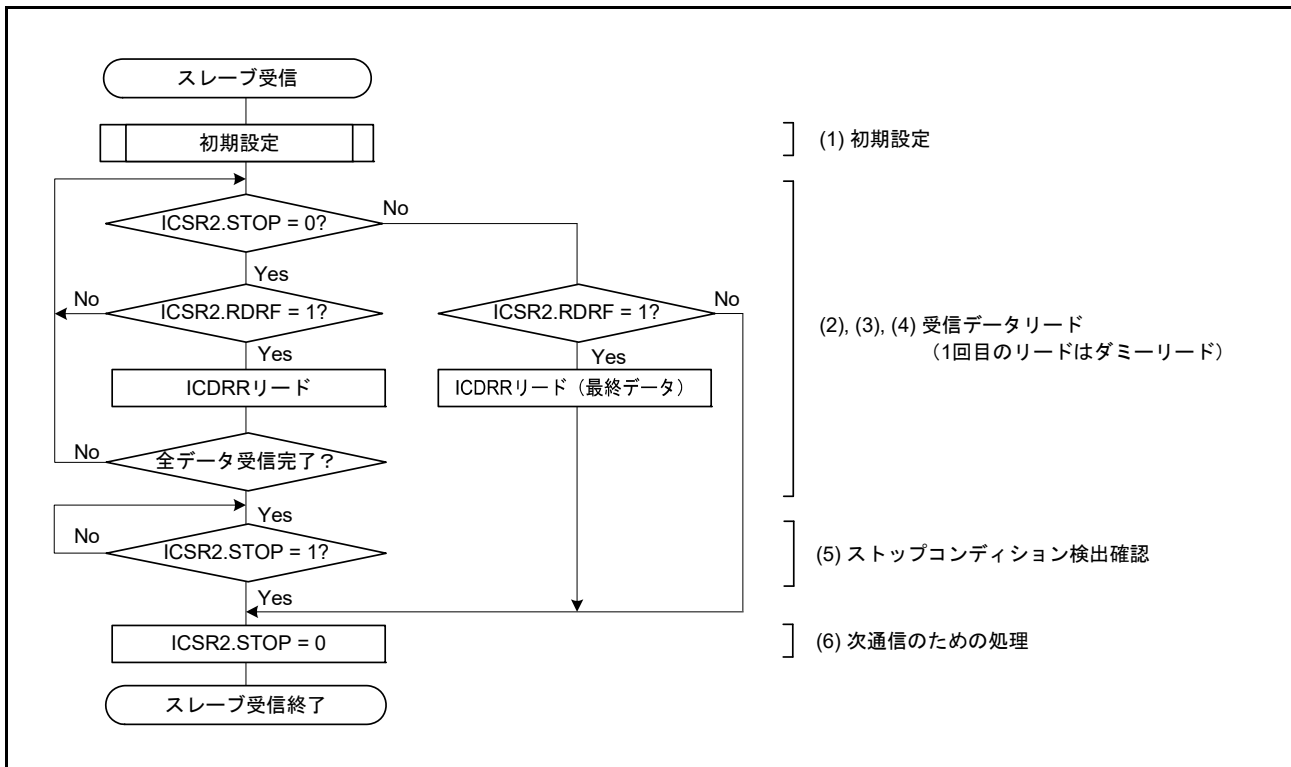


図 26.18 スレーブ受信のフローチャート例

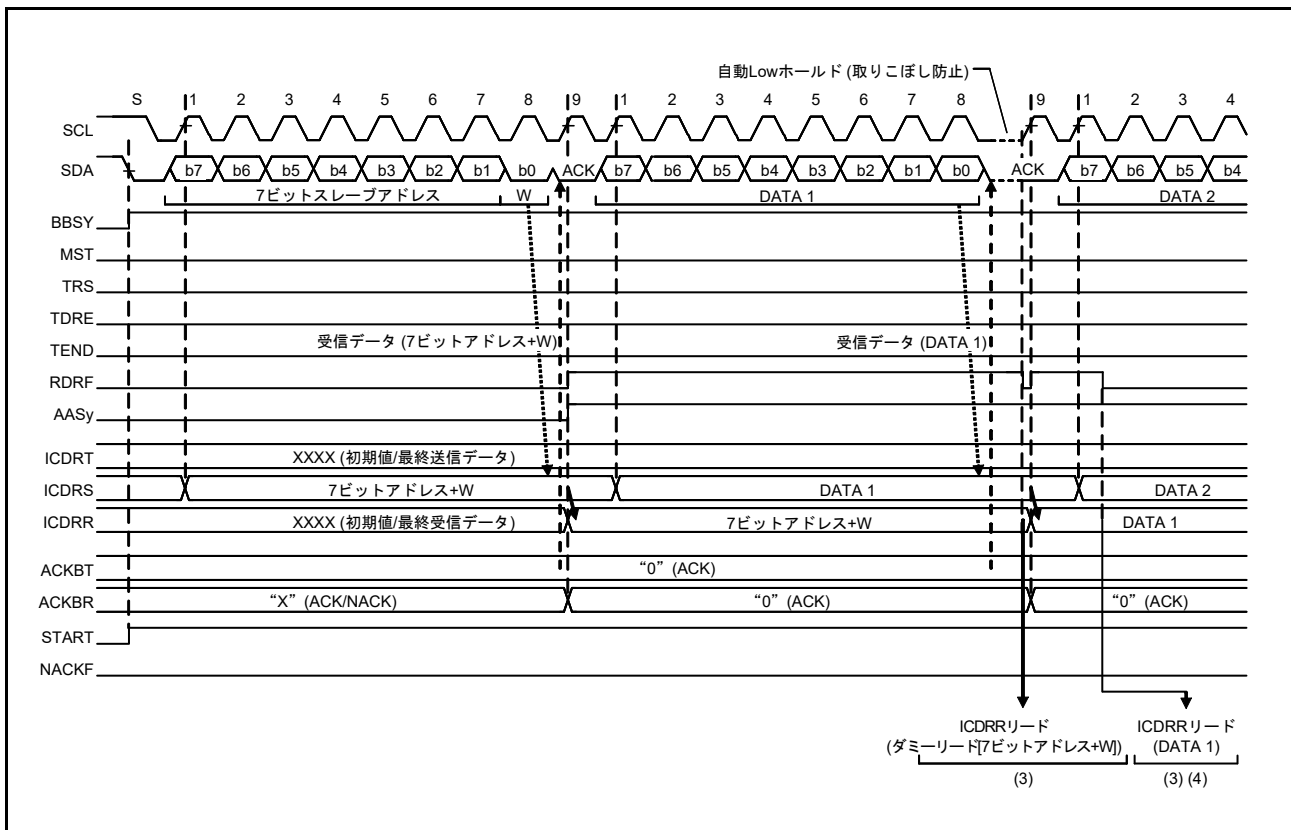


図 26.19 スレーブ受信の動作タイミング (1) (7ビットアドレスフォーマット、RDRFS = 0 のとき)

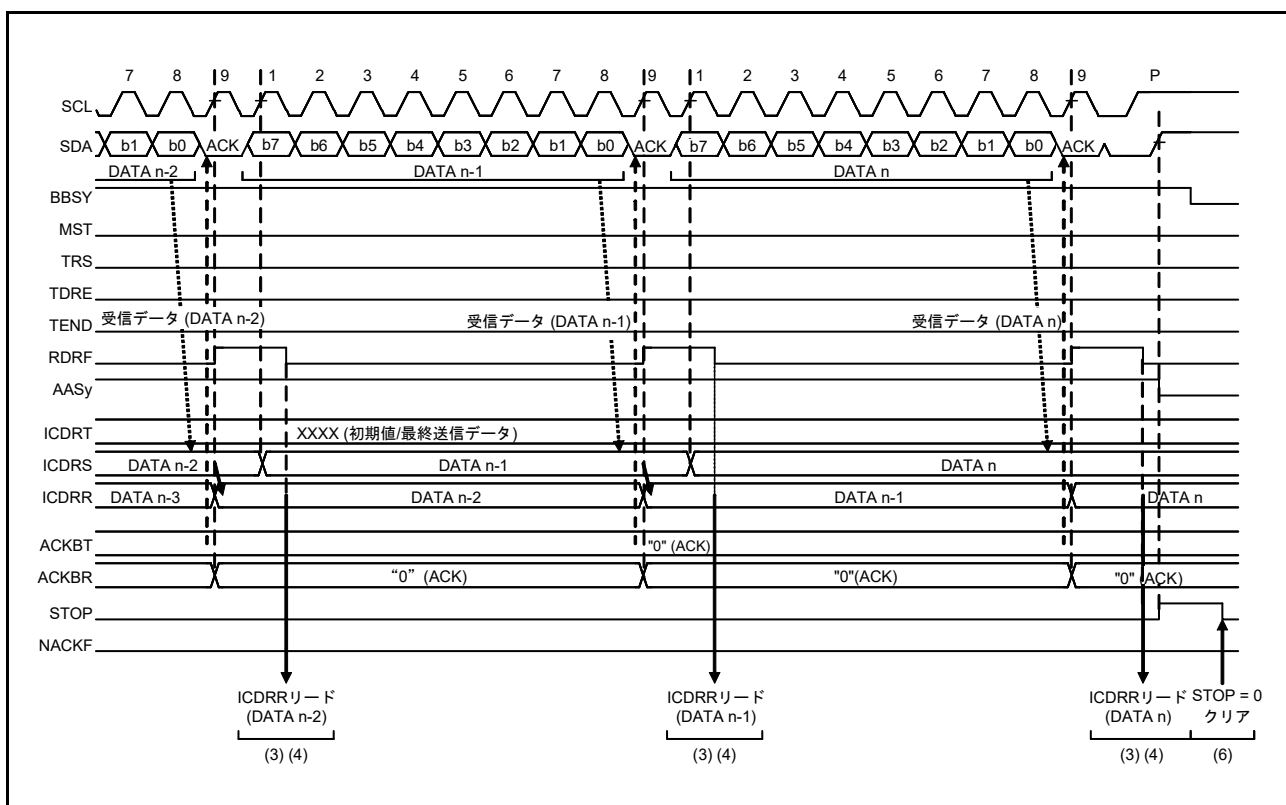


図 26.20 スレーブ受信の動作タイミング (2) (RDRFS = 0 のとき)

26.4 SCL 同期回路

RIICはSCLラインの立ち上がりを検出すると、ICBRHレジスタで設定されたHigh幅のカウンタを開始し、High幅のカウンタが終了するとSCLラインをLowにドライブして立ち下げ、SCLクロックを生成します。また、SCLラインの立ち下がりを検出すると、ICBRLレジスタで設定されたLow幅のカウンタを開始し、Low幅のカウンタが終了するとSCLラインのLowドライブを終了してSCLラインを開放し、SCLクロックを生成します。

I²Cバスをマルチマスタで使用する場合、SCLクロックは他のマスタデバイスとの競合によりSCLクロック同士が衝突する場合があります。SCLクロックが衝突した場合、マスタデバイスはSCLクロックの同期化を行う必要があります。このSCLクロックの同期はビットごとに行う必要があります。RIICはマスタモード時にSCLラインを監視してビットごとに同期を取りながらSCLクロックを生成する機能（SCL同期回路）を備えています。

RIICがSCLラインの立ち上がりを検出し、ICBRHレジスタで設定されたHigh幅のカウンタ中に他のマスタデバイスのSCLクロック出力によりSCLラインが立ち下げられた場合、RIICはSCLラインの立ち下がりを検出するとHigh幅のカウンタアップ動作を中断し、SCLラインのLowドライブと同時にICBRLレジスタで設定されたLow幅のカウンタアップを開始します。Low幅のカウンタが終了するとSCLラインのLowドライブを終了してSCLラインを開放します。このとき、他のマスタデバイスのSCLクロックのLow幅がRIICで設定されたLow幅よりも長い場合、SCLクロックのLow幅は延長されます。他のマスタデバイスのLow幅出力が終了すると、SCLラインが開放されSCLクロックが立ち上がります。そのため、SCLクロック出力衝突時のSCLクロックのHigh幅は短いクロックに同期し、Low幅は長いクロックに同期化されます。なお、このSCL同期はICFER.SCLEビットが“1”のとき有効です。

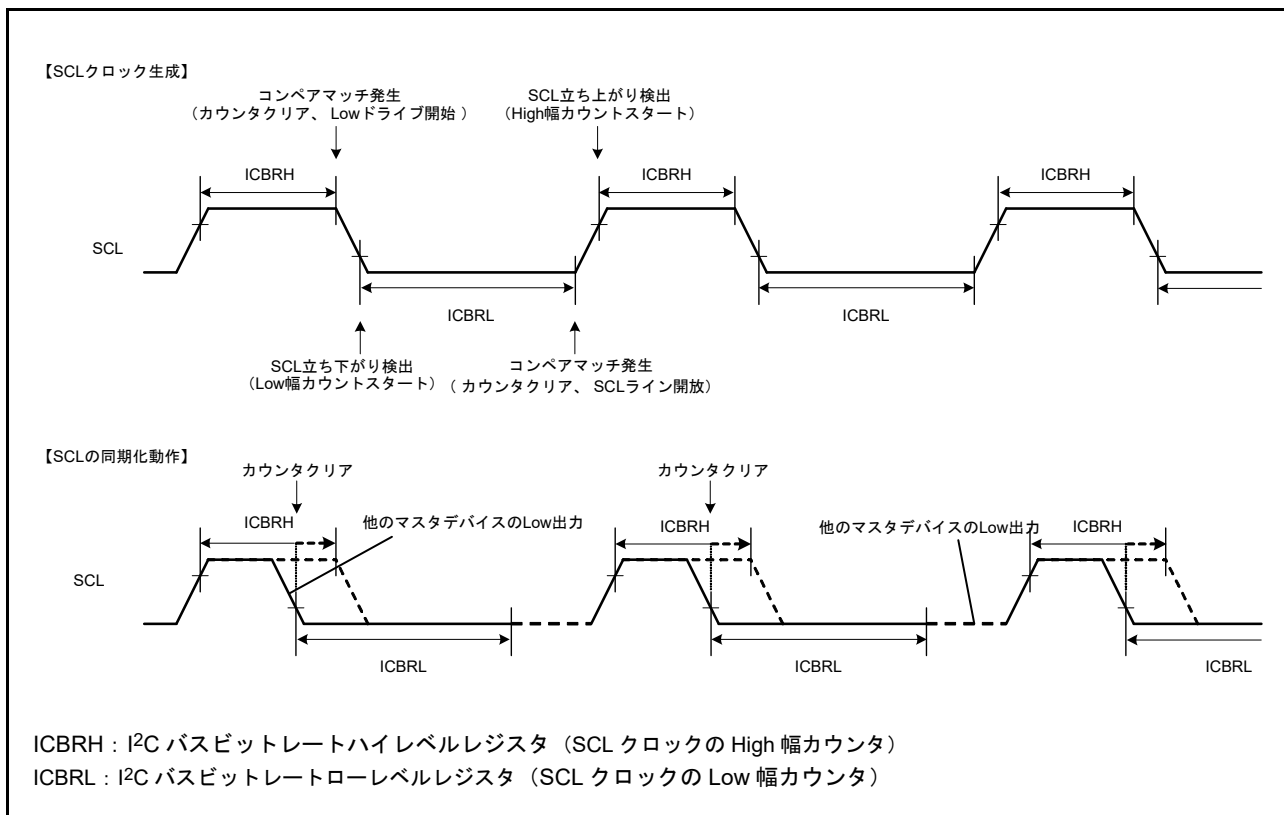


図 26.21 RIIC の SCL クロック生成および SCL 同期化動作

26.5 SDA 出力遅延機能

RIICはSDA出力遅延機能を備えています。SDA出力遅延機能は、すべてのSDA出力タイミング（発行動作（開始／再開始／停止）、データ出力、ACK／NACK出力）を遅延させることができます。

SDA出力遅延機能は、SCLクロックの立ち上がり検出からSDA出力を遅延させ、確実にSCLクロックのLow期間中にSDA出力を行うことで、通信デバイスの誤認動作を防ぐ目的で使用される機能です。

このSDA出力遅延機能はICMR2.SDDL[2:0]ビットが“000b”以外のとき有効で、SDDL[2:0]ビットが“000b”のとき無効です。

SDA出力遅延機能が有効（SDDL[2:0]ビットが“000b”以外）のとき、SDA出力遅延カウンタはICMR2.DLCSビットで選択された内部基準クロック（IICφ）、またはその2分周クロック（IICφ/2）をカウントソースとしてSDDL[2:0]ビットで設定されたサイクル数分のカウント動作を行い、遅延サイクル数のカウントが終了した時点でRIICはSDA出力（発行動作（開始／再開始／停止）、データ出力、ACK／NACK出力）を行います。

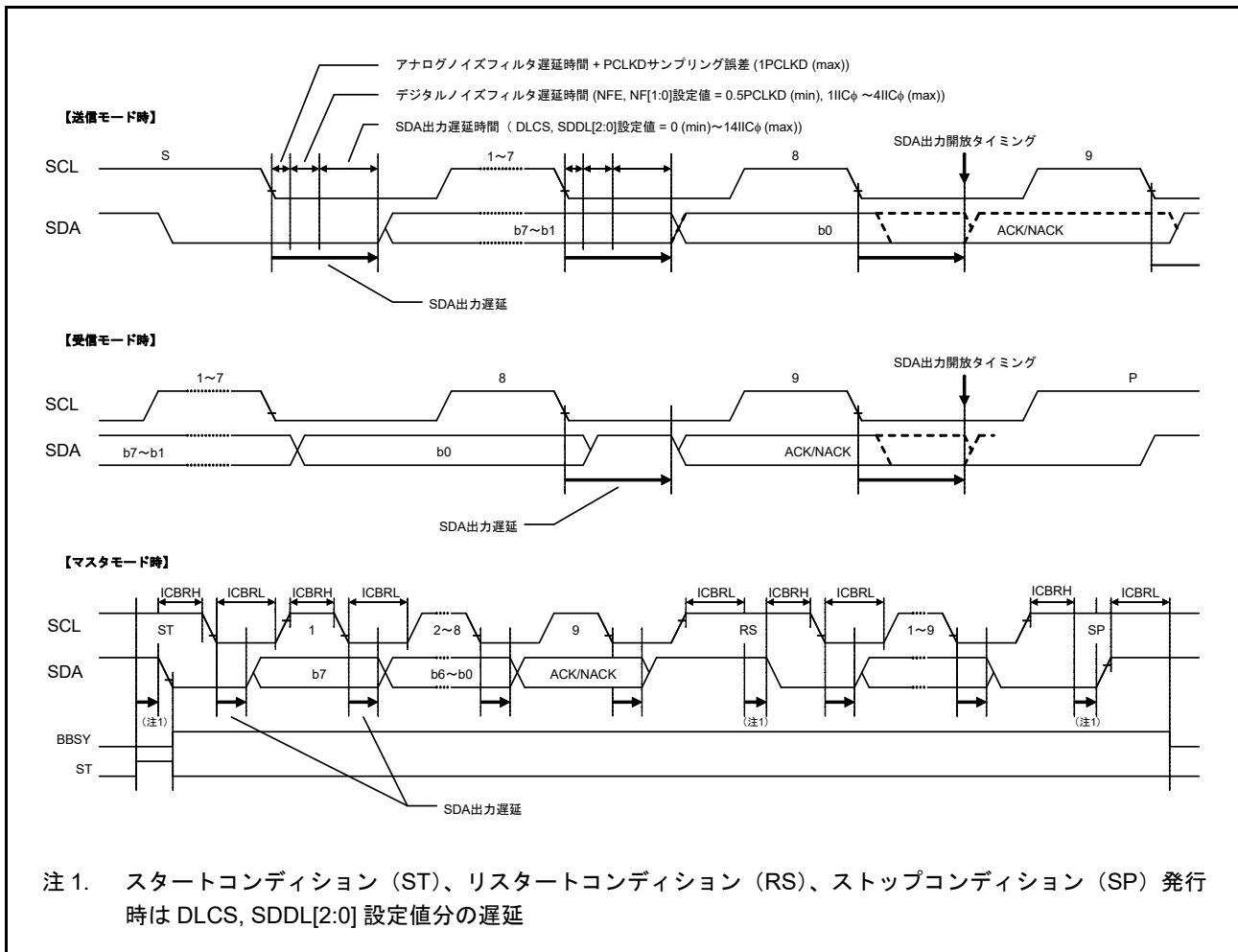


図 26.22 SDA 出力遅延タイミング

26.6 デジタルノイズフィルタ回路

SCL 端子および SDA 端子の状態は、アナログノイズフィルタ回路およびデジタルノイズフィルタ回路を経由して内部に取り込まれます。図 26.23 にデジタルノイズフィルタ回路のブロック図を示します。

RIIC に内蔵されているデジタルノイズフィルタ回路は、4 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。

デジタルノイズフィルタの有効段数は ICMR3.NF[1:0] ビットで選択し、ノイズ除去能力は選択した有効段数に応じて 1IIC ϕ ~ 4IIC ϕ サイクル分となります。

SCL 端子入力信号（または SDA 端子入力信号）は IIC ϕ の立ち下がりでサンプリングされ、ICMR3.NF[1:0] ビットで設定された有効段数のフリップフロップ回路出力がすべて一致したとき、そのレベルが内部信号として伝えられ、一致しない場合は前の値を保持します。

なお、PCLKD = 4MHz 時の 400kbps 通信のような内部動作クロック (PCLKD) と通信速度の比が小さい場合、デジタルノイズフィルタの特性上ノイズ発生時に必要な信号まで除去してしまう場合があります。そのような場合は、デジタルノイズフィルタ回路の使用を禁止 (ICFER.NFE ビット = 0) し、アナログノイズフィルタ回路のみを使用することが可能です。

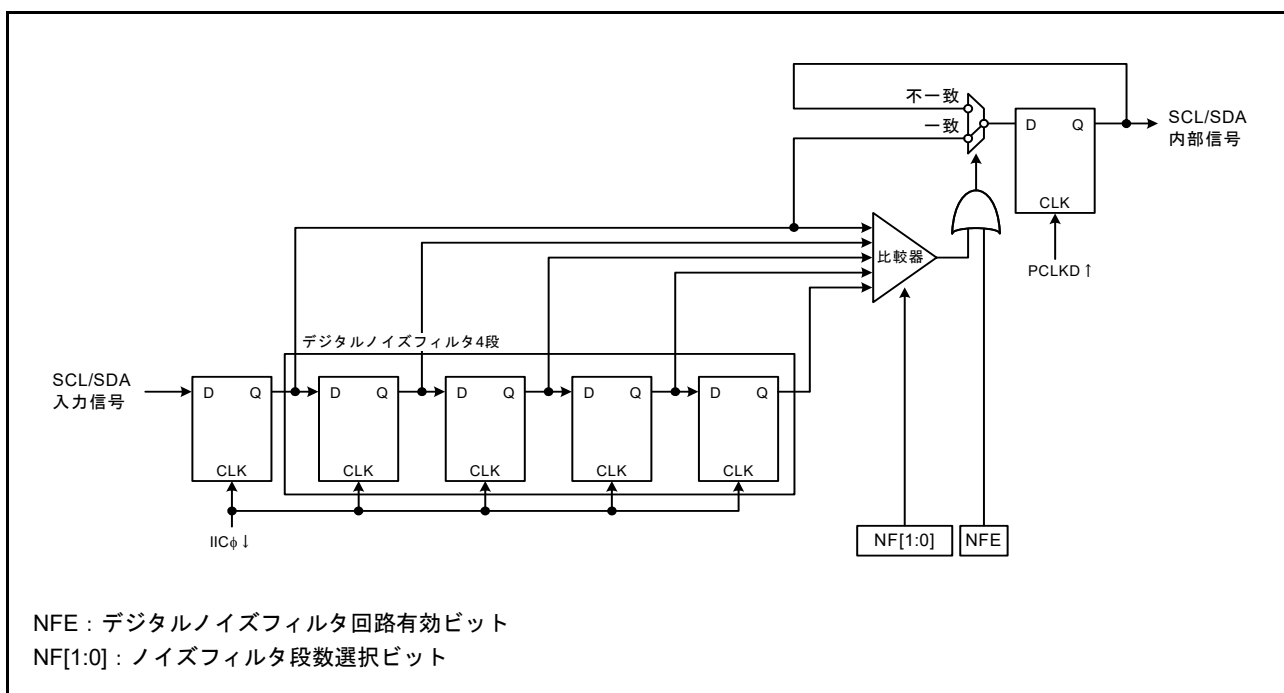


図 26.23 デジタルノイズフィルタ回路のブロック図

26.7 アドレス一致検出機能

RIICはジェネラルコールアドレス、ホストアドレスの他に3種類のスレーブアドレスを設定可能です。またスレーブアドレスには7ビットアドレスまたは10ビットアドレスの設定が可能です。

26.7.1 スレーブアドレス一致検出機能

RIICは3種類のスレーブアドレスを設定可能で、それぞれに応じたスレーブアドレス検出機能を備えています。ICSER.SARyEビット (y=0~2) が“1”のとき、ICSARUy / ICSARLy レジスタ (y=0~2) に設定されたスレーブアドレスを検出することができます。

RIICは、設定されたスレーブアドレス一致を検出すると、SCLクロックの9クロック目の立ち上がりで該当するICSR1.AASyフラグ (y=0~2) を“1”にし、続くR/W#ビットによりICSR2.RDRFフラグまたはICSR2.TDREフラグを“1”にします。これにより受信データフル割り込み (RXI) または送信データエンプティ割り込み (TXI) を発生させることができ、AASyフラグを確認することでどのスレーブアドレスが指定されたかを識別することができます。

図 26.24 ~ 図 26.26 に AASyフラグが“1”になるタイミングを示します。

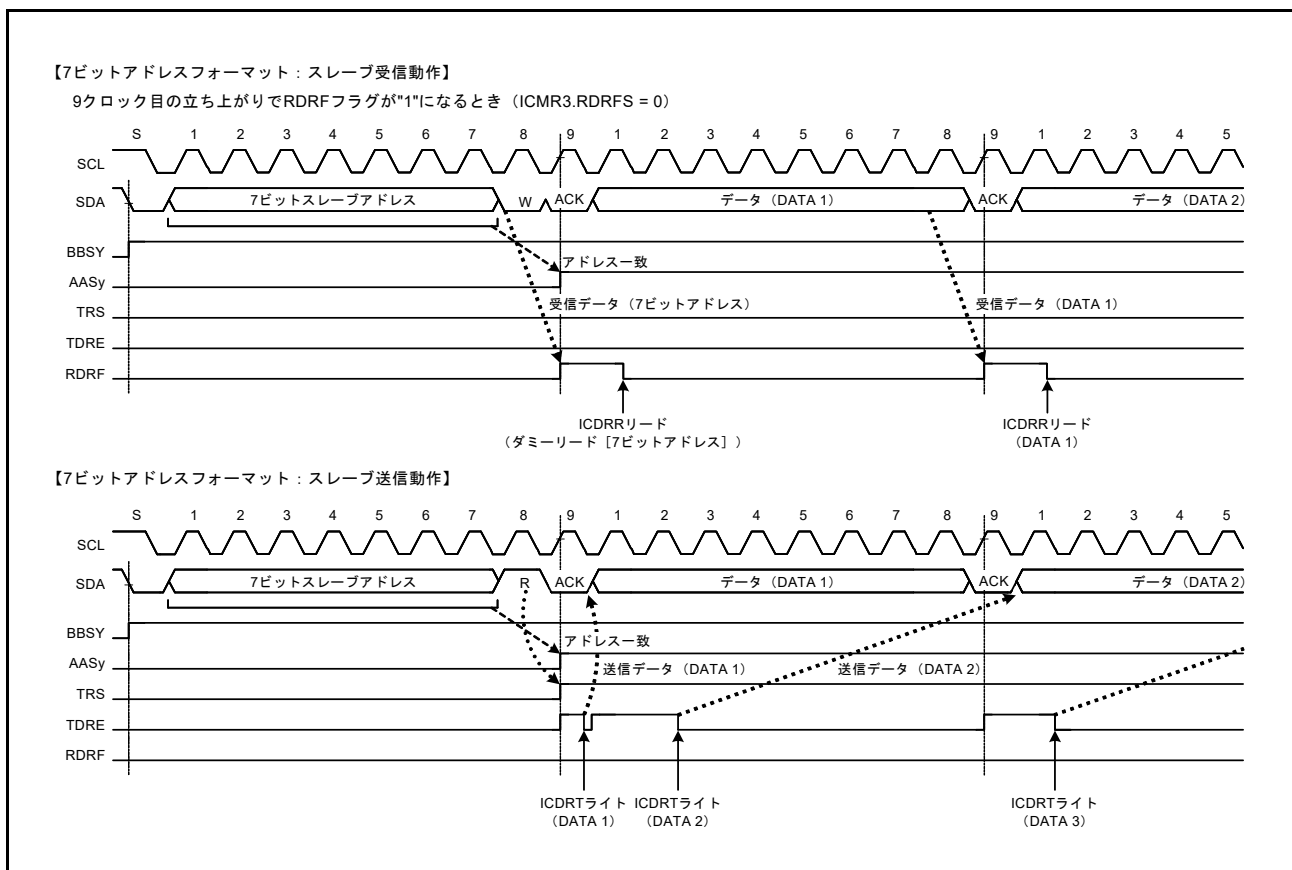


図 26.24 7ビットアドレスフォーマット選択時にAASyフラグが“1”になるタイミング

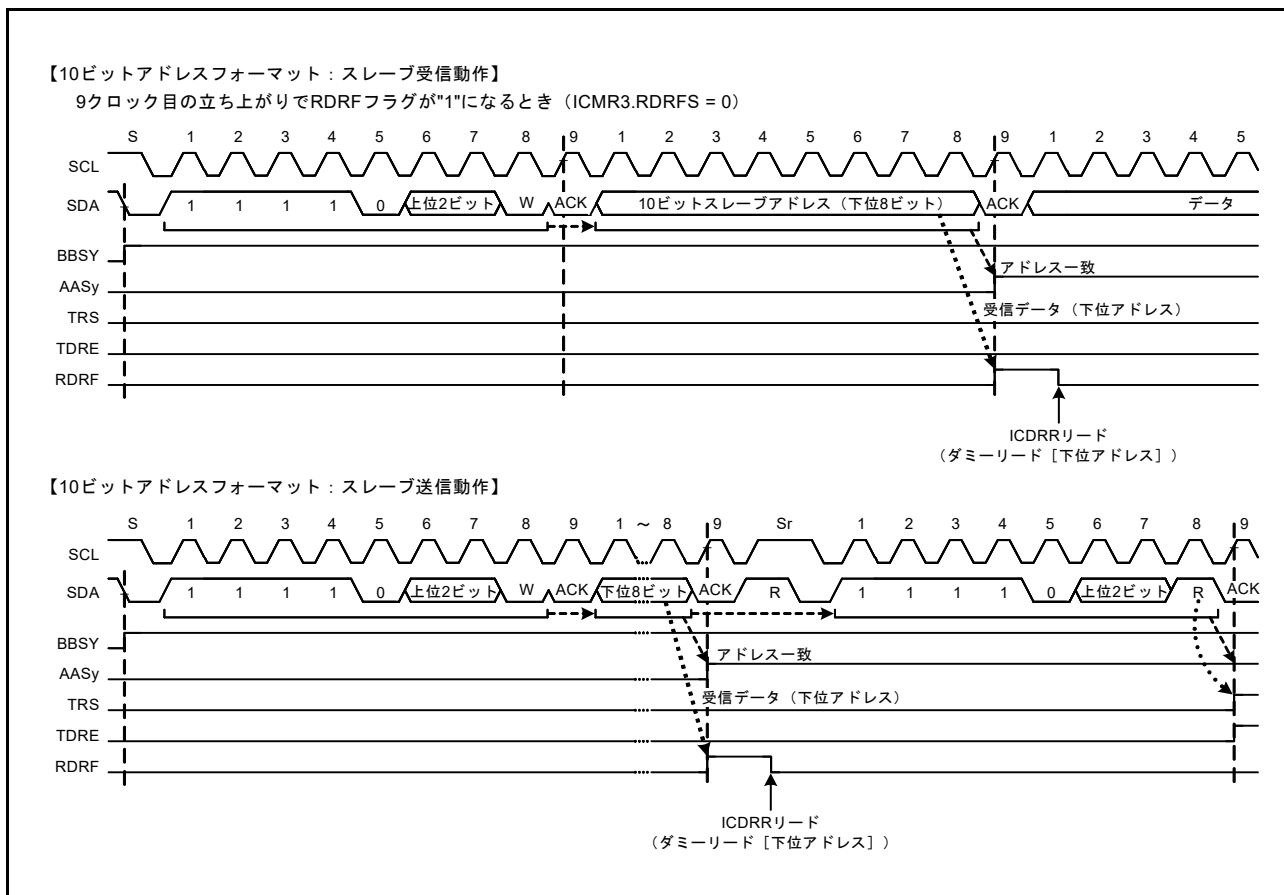


図 26.25 10ビットアドレスフォーマット選択時にAASyフラグが“1”になるタイミング

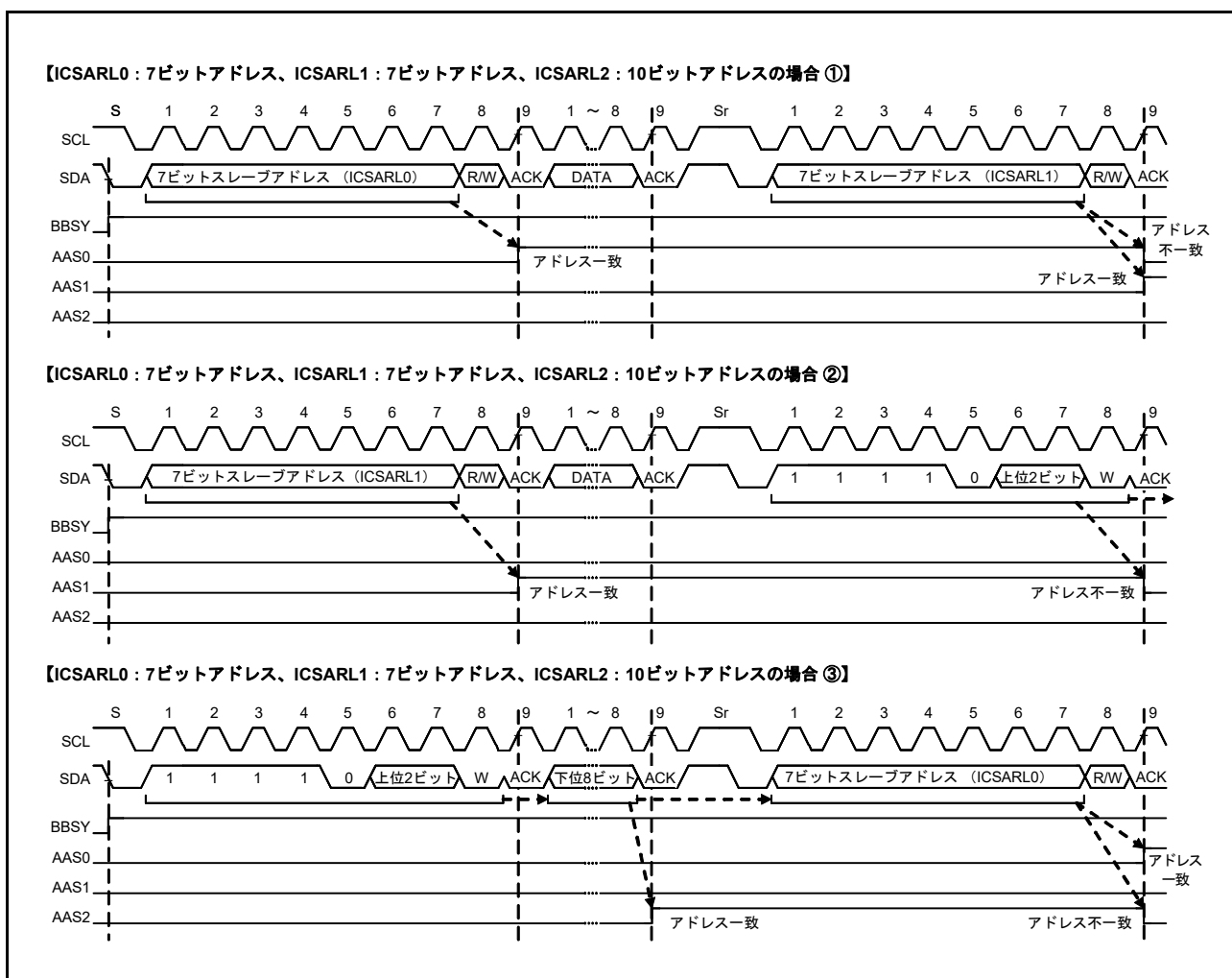


図 26.26 7ビット／10ビットアドレスフォーマット混在時に AASy フラグが“1”または“0”になるタイミング

26.7.2 ジェネラルコールアドレス検出機能

RIICは、ジェネラルコールアドレス (0000 000b + 0[W]) の検出機能を備えています。ICSER.GCAE ビットが“1”のとき、ジェネラルコールアドレスを検出することができます。

スタートコンディション、またはリスタートコンディション後のアドレスが 0000 000b + 1[R] (スタートバイト) だった場合、RIICはこのアドレスを All“0”のスレーブアドレスと認識し、ジェネラルコールアドレスとみなしません。

RIICはジェネラルコールアドレスを検出すると、SCL クロックの9クロック目の立ち上がりで ICSR1.GCA フラグを“1”にし、同時に ICSR2.RDRF フラグを“1”にします。これにより受信データフル割り込み (RXI) を発生させることができ、GCA フラグを確認することでジェネラルコールアドレスが送信されたことを認識することができます。

なお、ジェネラルコールアドレス検出後の動作は通常のスレーブ受信動作と同じです。

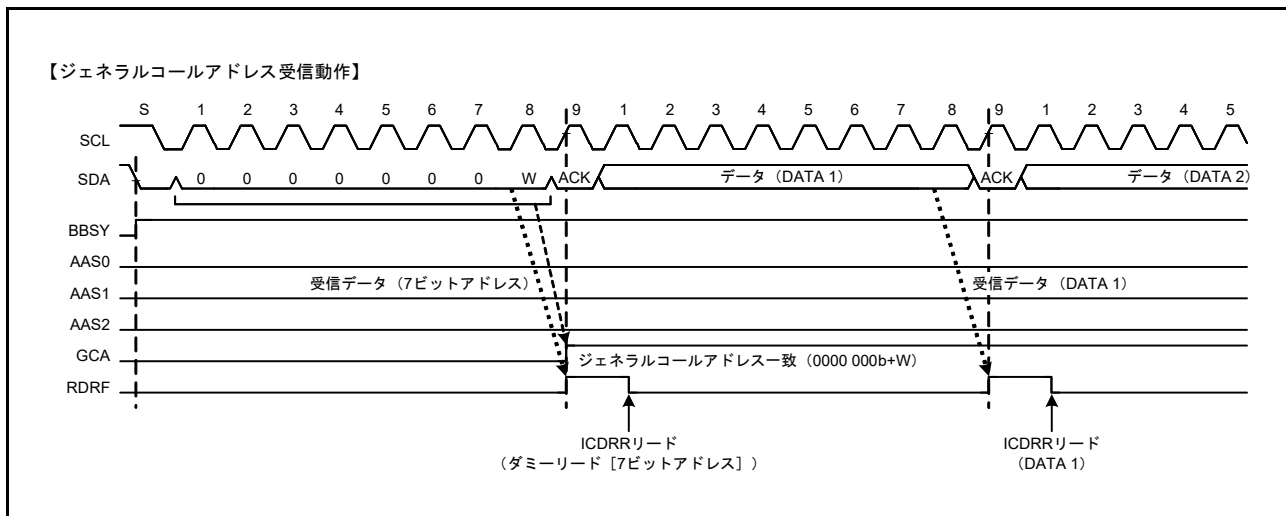


図 26.27 ジェネラルコールアドレス受信時に GCA フラグが“1”になるタイミング

26.7.3 デバイス ID アドレス検出機能

RiICは、I²Cバス (Rev.03) に準拠したデバイス ID アドレスの検出機能を備えています。ICSER.DIDE ビットを“1”にした状態で、スタートコンディションまたはリスタートコンディション後の1バイト目に1111 100bを受信すると、RiICはこのアドレスをデバイス ID アドレスと認識し、続く R/W# ビットが“0”のとき SCL クロックの8クロック目の立ち上がりで ICSR1.DID フラグを“1”にした後、2バイト目以降と自スレーブアドレスとの比較動作を行います。この2バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、該当する ICSR1.AASy フラグ (y=0~2) が“1”になります。

その後、スタートコンディションまたはリスタートコンディション後の1バイト目が再びデバイス ID アドレス (1111 100b) と一致し、続く R/W# ビットが“1”のとき、RiICは続く2バイト目以降はアドレス比較動作を行わず、ICSR2.TDRE フラグを“1”にします。

デバイス ID アドレス検出機能は、自スレーブアドレスと不一致、あるいは自スレーブアドレス一致後のリスタートコンディション後のアドレスがデバイス ID アドレスと不一致の場合、DID フラグを“0”にします。その際、スタートコンディションまたはリスタートコンディション後の1バイト目がデバイス ID アドレス (1111 100b) と一致し、かつ R/W# ビットが“0”のとき、DID フラグを“1”にセットし、続く2バイト目以降をスレーブアドレスと比較します。R/W# ビットが“1”の場合、DID フラグは前値の状態を継続し、2バイト目以降のスレーブアドレス比較を行いません。そのため、TDRE=1を確認後、DID フラグをチェックすることで、デバイス ID を受信したことを確認することができます。

なお、一連のデバイス ID 受信後に、ホストに送信するデバイス ID フィールドとして必要な情報 (3 バイト分: メーカー [12 ビット] + 部品識別 [9 ビット] + リビジョン [3 ビット]) は、通常の送信データと同様にあらかじめ準備してください。また、デバイス ID フィールドに必要な情報の詳細については NXP 社にお問い合わせください。

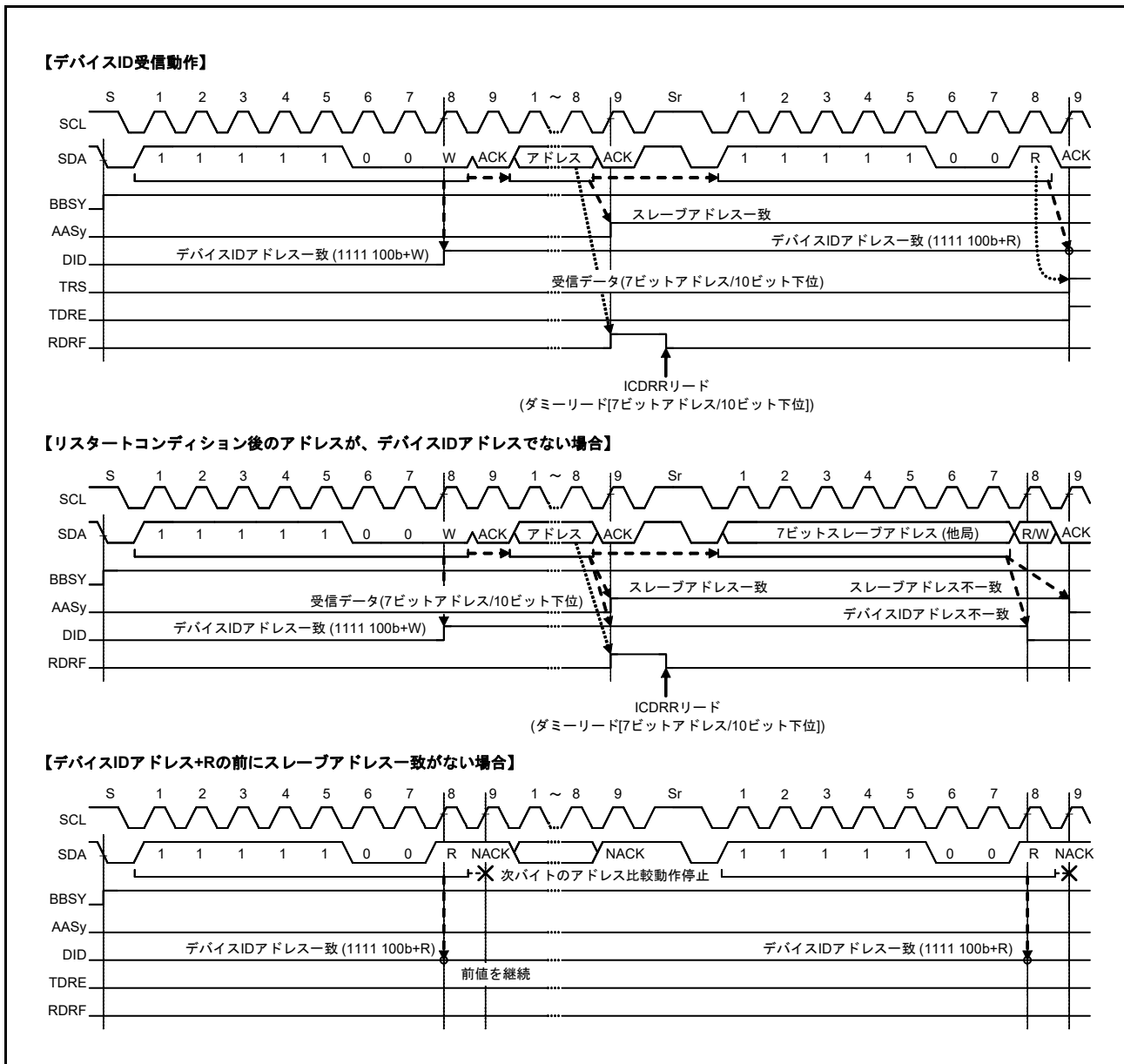


図 26.28 デバイス ID アドレス受信時の AASy、DID フラグセット/クリアタイミング

26.8 SCLの自動Lowホールド機能

26.8.1 送信データ誤送信防止機能

RIICは、送信モード時 (ICCR2.TRS ビット = 1)、シフトレジスタ (ICDRS レジスタ) が空の状態かつ送信データ (ICDRT レジスタ) が書かれていない場合、以下に示す区間、自動的に SCL ラインの Low ホールドを行います。この Low ホールドは送信データの書き込みが行われるまでの期間、Low 区間を延長し、意図しない送信データの誤送信を防止します。

《マスタ送信モード》

- スタートコンディション/リスタートコンディション発行後の Low 区間
- 9クロック目と1クロック目の Low 区間

《スレーブ送信モード》

- 9クロック目と1クロック目の Low 区間

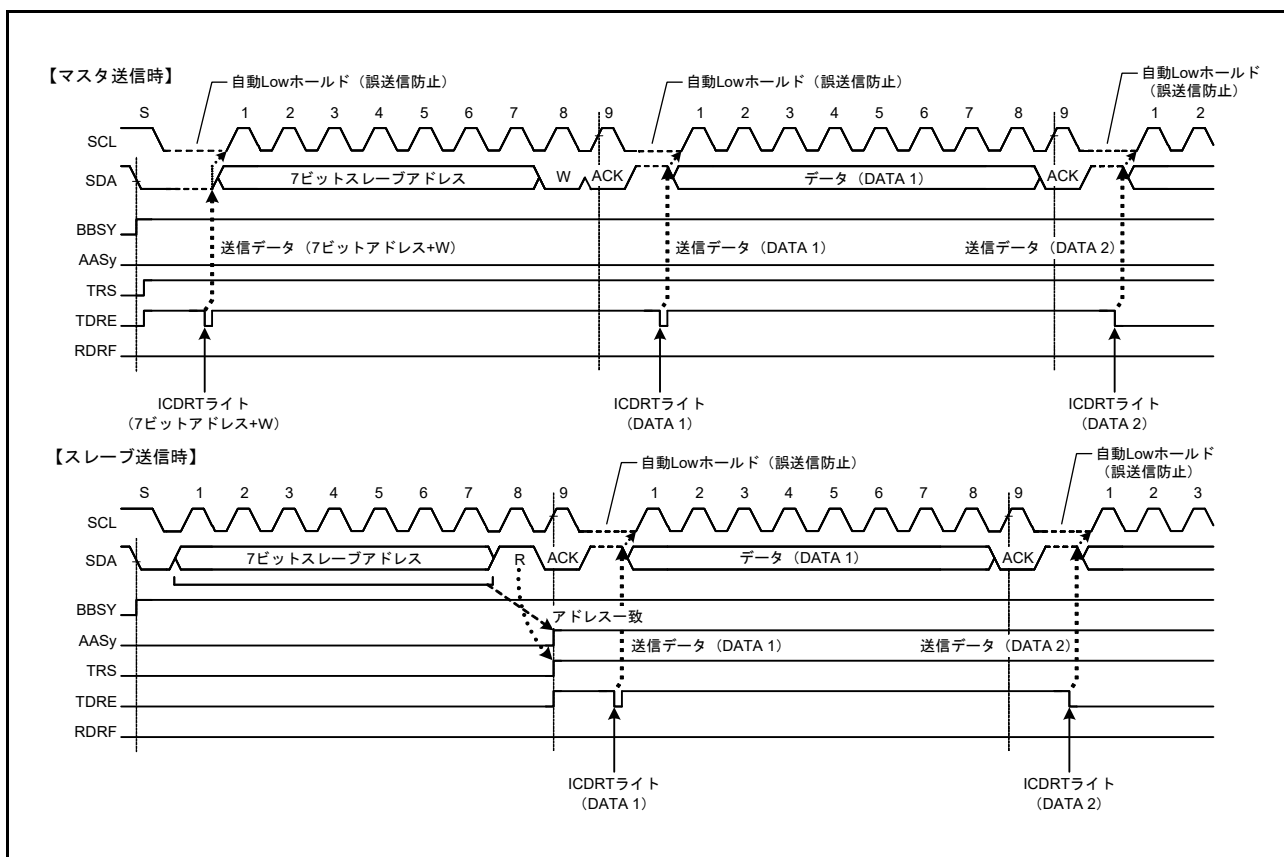


図 26.29 送信モードの自動 Low ホールド動作

26.8.2 NACK 受信転送中断機能

RIICは送信モード時 (ICCR2.TRS ビット = 1) に NACK を受信した場合、転送動作を中断する機能を備えています。この機能は ICFER.NACKCE ビットが “1” (転送中断許可) のとき有効で、NACK 受信時にすでに次の送信データが書き込まれていた場合 (ICSR2.TDRE フラグ = 0 の状態)、SCL クロックの 9 クロック目の立ち下がり時の次のデータ送信動作を自動的に中断します。これにより次の送信データの MSB が “0” のときの SDA ライン Low 出力固定を防止することができます。

なお、NACK 受信転送中断機能で転送動作が中断された場合 (ICSR2.NACKF フラグ = 1)、以後の送信動作および受信動作は行いません。動作を再開するには NACKF フラグを “0” にしてください。またマスタ送信モードの場合には NACKF フラグを “0” にした後、リスタートコンディション発行またはストップコンディション発行後にスタートコンディション発行を行って、動作をやり直してください。

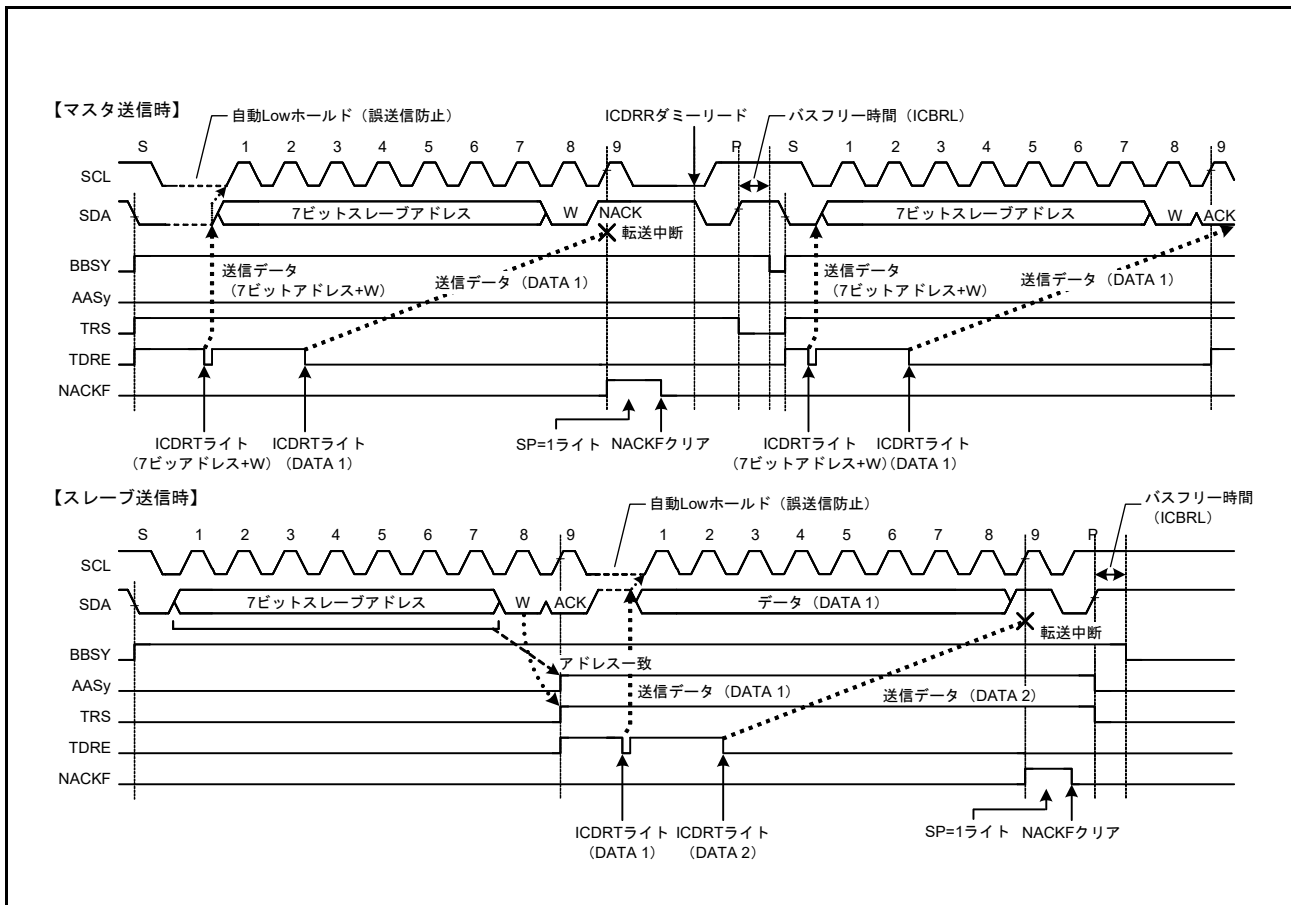


図 26.30 NACK 受信時の転送中断動作 (NACKCE = 1 のとき)

26.8.3 受信データ取りこぼし防止機能

RIICは、受信モード時 (ICCR2.TRS ビット = 0)、受信データフル (ICSR2.RDRF フラグ = 1) の状態で受信データ (ICDRR レジスタ) の読み出しが 1 転送フレーム以上遅れるなどの応答処理遅延が発生した場合、次のデータ受信の 1 つ手前で自動的に SCL ラインの Low ホールドを行い、受信データの取りこぼしを未然に防止します。

この自動 Low ホールドによる取りこぼし防止機能は、最終受信データの読み出し処理が遅れて、その間にストップコンディション後に自スレーブアドレスを指定された場合にも有効です。ストップコンディション後、自スレーブアドレスと不一致の場合にはこの Low ホールドは行わないため、他の通信を阻害しません。

また、RIIC では ICMR3.WAIT, RDRFS ビットの組み合わせにより Low ホールドを行う区間を選択することができます。

(1) WAIT ビットによる 1 バイト受信動作 / 自動 Low ホールド機能

ICMR3.WAIT ビットを“1”にすると、RIIC は WAIT ビット機能による 1 バイト受信動作になります。ICMR3.RDRFS ビットが“0”のとき、SCL クロックの 8 クロック目の立ち下がりから 9 クロック目の立ち下がり期間のアクノリッジビットには自動的に ICMR3.ACKBT ビットの内容が送出されます。9 クロック目の立ち下がりを検出すると WAIT ビット機能により、自動的に SCL ラインを Low にホールドします。この Low ホールドは ICDRR レジスタの読み出しによって解除されます。そのため、1 バイトごとの受信動作が可能になります。

なお、WAIT ビット機能は、マスタ受信モード時またはスレーブ受信モード時で、かつ自スレーブアドレス (ジェネラルコールアドレス、ホストアドレス含む) と一致した以降の受信フレームから有効になります。

(2) RDRFS ビットによる 1 バイト受信動作 (ACK / NACK 送出制御) / 自動 Low ホールド機能

ICMR3.RDRFS ビットを“1”にすると、RIIC は RDRFS ビット機能による 1 バイト受信動作になります。RDRFS ビットを“1”にすると、受信データフルフラグ (ICSR2.RDRF フラグ) が“1”になるタイミングが SCL クロックの 8 クロック目の立ち上がりに変更され、8 クロック目の立ち下がりを検出すると自動的に SCL ラインを Low にホールドします。この Low ホールドは ICMR3.ACKBT ビットへの書き込みによって解除され、ICDRR レジスタの読み出しでは解除されません。そのため、1 バイトごとに受信したデータの内容に応じた ACK / NACK 送出の受信動作が可能となります。

なお、RDRFS ビット機能は、マスタ受信モード時またはスレーブ受信モード時で、かつ自スレーブアドレス (ジェネラルコールアドレス、ホストアドレス含む) と一致した以降の受信フレームから有効になります。

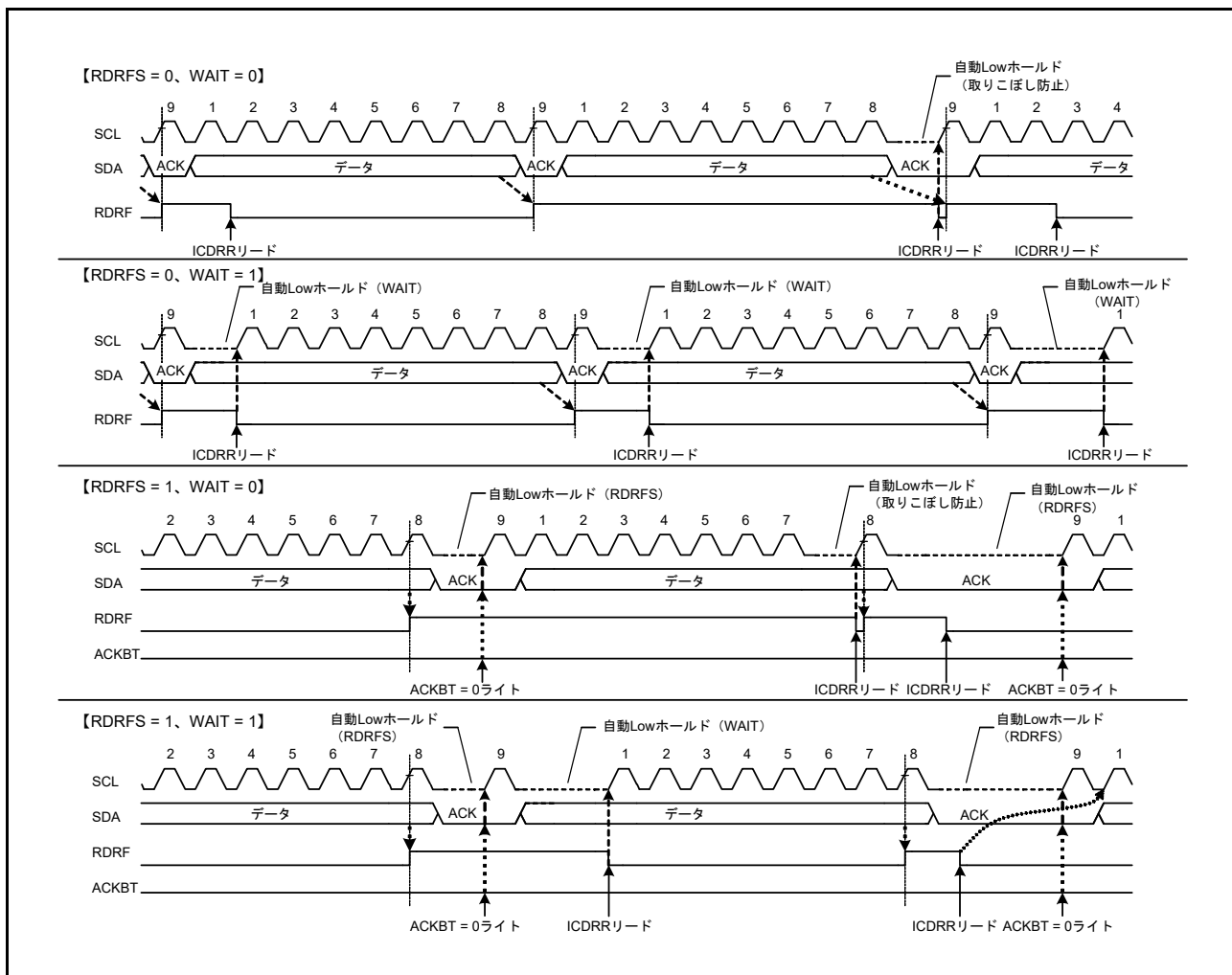


図 26.31 受信モードの自動 Low ホールド動作 (RDRFS、WAIT ビット)

26.9 アービトレーションロスト検出機能

RIICにはI²Cバス規格で定められている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止、NACK送信時のアービトレーションロスト検出やスレーブ送信時におけるアービトレーションロスト検出機能も備えています。

26.9.1 マスタアービトレーションロスト検出機能 (MALE ビット)

RIICはスタートコンディション発行の際、SDAラインをLowにしますが、これよりも早く他のマスタデバイスがスタートコンディションを発行してSDAラインをLowにした場合、アービトレーションロストを発生させ、他のマスタデバイスの通信を優先します。同様にICCR2.BBSYフラグが“1” (バスビジー中) のときにICCR2.STビットを“1”にするとアービトレーションロストが発生し、他のマスタデバイスの通信を優先します。スタートコンディションは生成しません。

また、スタートコンディション発行が正常に行われ、アドレス送信を含む送信データ (SDA信号) とSDAラインに不一致が生じた場合 (SDA出力がHigh出力 (SDA端子はハイインピーダンス) で、SDAラインにLowを検出したとき)、アービトレーションロストを発生させます。

マスタアービトレーションロストが発生した場合、RIICはスレーブ受信モードに移行します。このとき、ジェネラルコールアドレスを含むスレーブアドレス一致があった場合にはスレーブ動作を継続します。

なお、マスタアービトレーションロスト検出は、ICFER.MALEビットが“1” (マスタアービトレーションロスト検出許可) の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

[マスタアービトレーションロスト条件]

- ICCR2.BBSYフラグ = 0の状態(ICCR2.STビット = 1によるスタートコンディション発行時にSDA信号とSDAライン上の信号の状態が不一致のとき (スタートコンディション発行エラー)
- ICCR2.BBSYフラグ = 1でICCR2.STビットを“1”にしたとき (スタートコンディション二重発行エラー)
- マスタ送信モード時 (ICCR2.MST, TRSビット = 11b)、アクトリッジを除く送信データ (SDA信号) とSDAライン上の信号の状態が不一致のとき

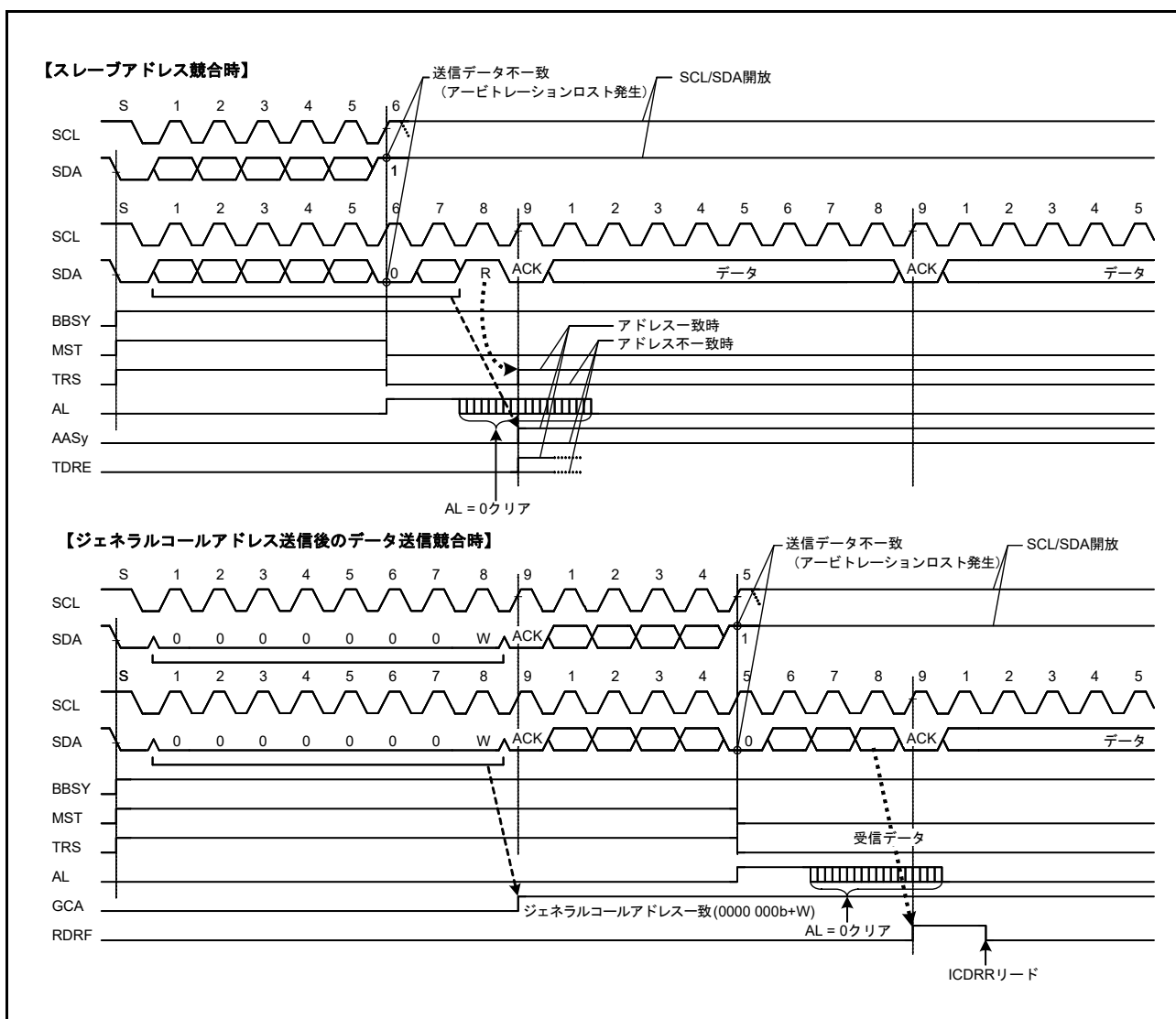


図 26.32 マスタアービトレーションロスト検出動作例 (MALE = 1 のとき)

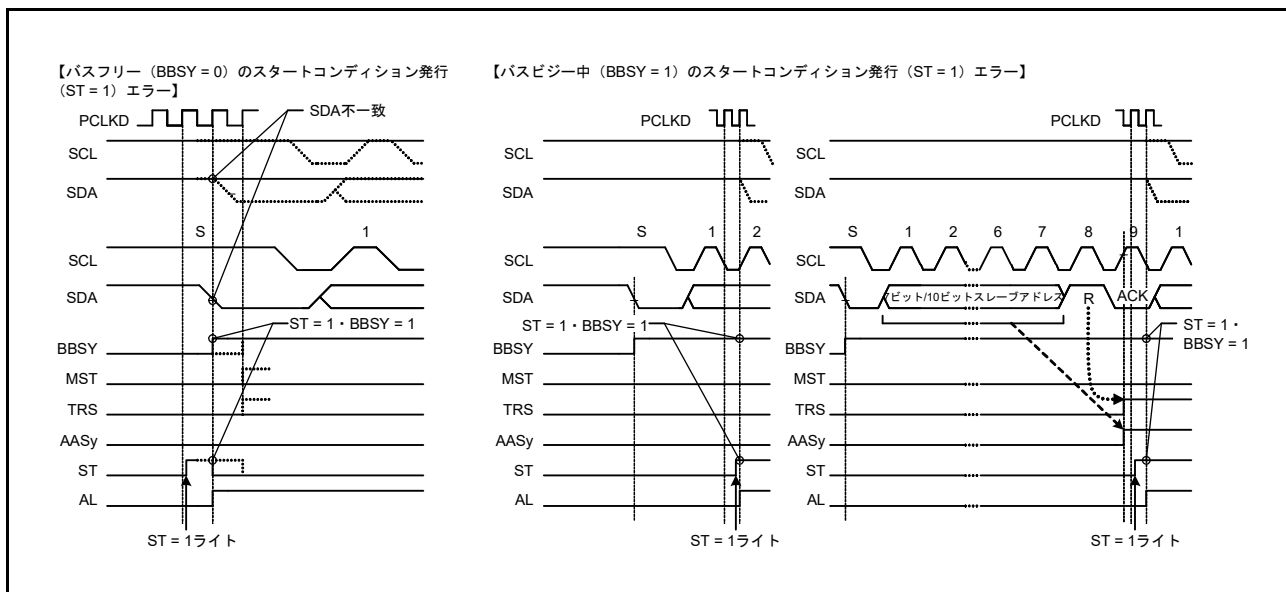


図 26.33 スタートコンディション発行時のアービトレーションロスト (MALE = 1 のとき)

26.9.2 NACK 送信アービトレーションロスト検出機能 (NALE ビット)

RIICは受信モード時にNACK送信時に出力したSDA信号とSDAライン上の信号の状態が不一致の場合(SDA出力がHigh出力(SDA端子はハイインピーダンス)で、SDAラインにLowを検出したとき)、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト機能は、主にマルチマスタのシステムにおいて、2つ以上のマスタが同時に同一スレーブデバイスからデータを受信する際にNACK送信とACK送信が衝突することで発生します。これは2つ以上のマスタデバイスが、1つのスレーブデバイスを介して共通の情報のやり取りする際に起こり得ます。図26.34にNACK送信アービトレーションロスト検出動作例を示します。

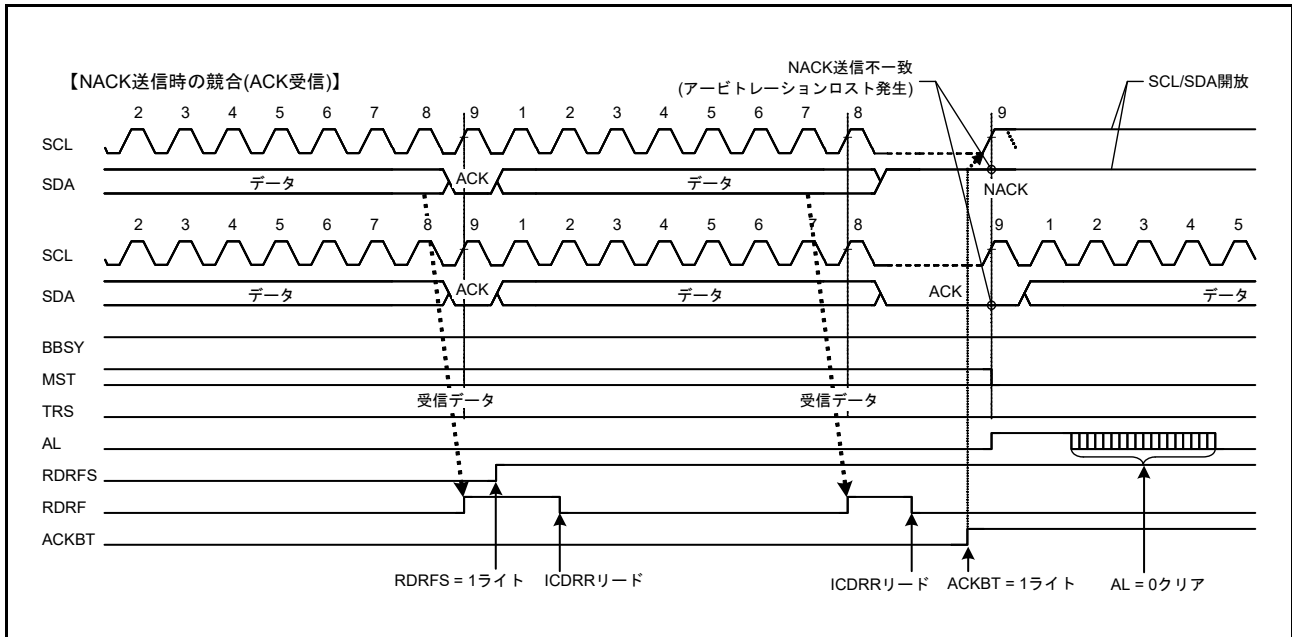


図 26.34 NACK 送信アービトレーションロスト検出動作例 (NALE = 1 のとき)

2つのマスタデバイス (マスタ A、マスタ B) と1つのスレーブデバイスがバス上に接続されている場合に例を挙げて説明します。マスタ A はスレーブデバイスから2バイト受信、マスタ B はスレーブデバイスから4バイト分のデータ受信を行うものとします。

このとき、マスタ A とマスタ B が同時にスレーブデバイスをアクセスした場合、スレーブアドレスは同じであるため、マスタ A、マスタ B とともにスレーブデバイスアクセス時にアービトレーションロストは発生しません。そのため、マスタ A、マスタ B とともにバス権を取得したものと認識して動作します。ここでマスタ A は、スレーブデバイスから最終バイトである2バイト分の受信が完了した時点で NACK を送信します。一方マスタ B は、スレーブデバイスから必要な4バイト受信に満たないため ACK 送信を行います。このとき、マスタ A の NACK 送信とマスタ B の ACK 送信の衝突が発生します。一般的にこのような状況が発生した場合、マスタ A はマスタ B が出した ACK 送信を検出できないままストップコンディション発行動作を行うため、マスタ B の SCL クロック出力と競合し通信を阻害します。

RIICは、このようなNACK送信時にACKを受信した場合、他のマスタデバイスと競合負けが発生したことを検知し、アービトレーションロストを発生させることができます。

NACK送信アービトレーションロストが発生した場合、RIICはスレーブ一致状態を解除してスレーブ受信モードに移行します。これによりストップコンディション発行を未然に防ぎ、バスの通信阻害を防止することが可能です。

なお、NACK送信アービトレーションロスト検出は、ICFER.NALEビットが“1”(NACK送信アービトレーションロスト検出許可)の状態、以下に示す条件が成立したとき、アービトレーションロストを検出します。

[NACK 送信アービトレーションロスト条件]

- NACK 送信時(ICMR3.ACKBT ビット = 1)、出力した SDA 信号と SDA ライン上の信号の状態が不一致のとき (ACK を受信したとき)

26.9.3 スレーブアービトレーションロスト検出機能 (SALE ビット)

RIIC は、スレーブ送信時に送信データ (出力した SDA 信号) と SDA ライン上の信号の状態に不一致が生じた場合 (出力した SDA 出力が High 出力 (SDA 端子はハイインピーダンス) で、SDA ラインに Low を検出したとき)、アービトレーションロストを発生させる機能を備えています。スレーブアービトレーションロストが発生した場合、RIIC はスレーブ一致状態を解除してスレーブ受信モードに移行します。

なお、スレーブアービトレーションロスト検出は、ICFER.SALE ビットが“1” (スレーブアービトレーションロスト検出許可) の状態で、以下に示す条件が成立したとき、アービトレーションロストを検出します。

[スレーブアービトレーションロスト条件]

- スレーブ送信モード時 (ICCR2.MST, TRS ビット = 01b)、アクトリッジを除く送信データ (出力した SDA 信号) と SDA ライン上の信号の状態が不一致のとき

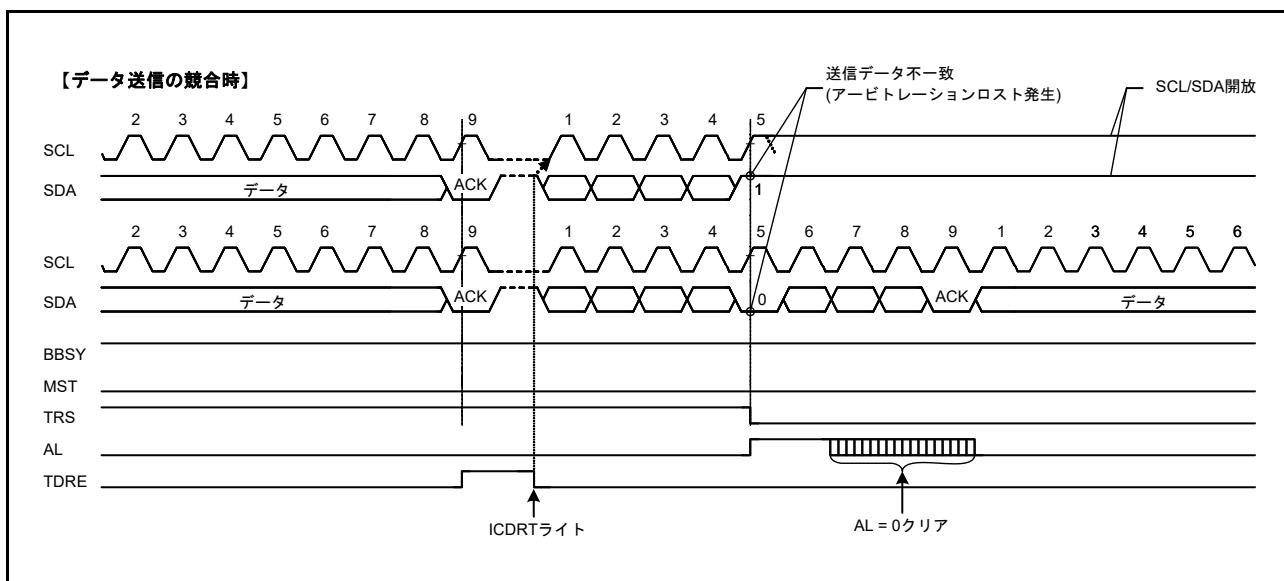


図 26.35 スレーブアービトレーションロスト検出動作例 (SALE = 1 のとき)

26.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能

26.10.1 スタートコンディション発行動作

RIICは、ICCR2.STビットによりスタートコンディションの発行を行います。

STビットを“1”にすると、スタートコンディション発行の要求が行われICCR2.BBSYフラグが“0”（バスフリー）の状態のときスタートコンディションの発行を行います。スタートコンディションが正常に発行された場合、RIICは自動的にマスタ送信モードに移行します。

スタートコンディションの発行は、以下のシーケンスにしたがって行われます。

[スタートコンディション発行動作]

- (1) SDAラインを立ち下げ（HighからLowに遷移）
- (2) ICBRHレジスタで設定した時間スタートコンディションのホールド時間を確保
- (3) SCLラインを立ち下げ（HighからLowに遷移）
- (4) SCLラインのLowを検出後、ICBRLレジスタで設定した時間SCLラインのLow幅を確保

26.10.2 リスタートコンディション発行動作

RIICはICCR2.RSビットによりリスタートコンディションの発行を行います。

RSビットを“1”にするとリスタートコンディション発行の要求が行われ、RIICはICCR2.BBSYフラグが“1”（バスビジー）の状態かつICCR2.MSTビットが“1”（マスタモード）のとき、リスタートコンディションの発行を行います。

リスタートコンディションの発行は、以下のシーケンスにしたがって行われます。

[リスタートコンディション発行動作]

- (1) SDAラインを開放
- (2) ICBRLレジスタで設定した時間SCLラインのLow幅を確保
- (3) SCLラインを開放（LowからHighに遷移）
- (4) SCLラインのHigh検出後、ICBRLレジスタで設定した時間リスタートコンディションのセットアップ時間を確保
- (5) SDAラインを立ち下げ（HighからLowに遷移）
- (6) ICBRHレジスタで設定した時間リスタートコンディションのホールド時間を確保
- (7) SCLラインを立ち下げ（HighからLowに遷移）
- (8) SCLラインのLowを検出後、ICBRLレジスタで設定した時間SCLラインのLow幅を確保

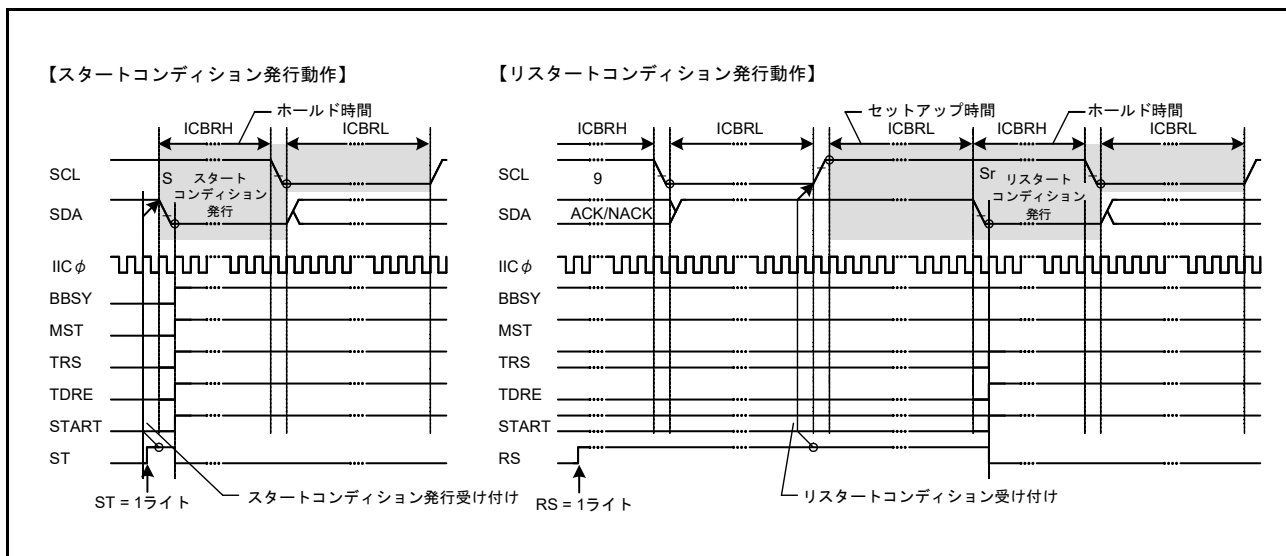


図 26.36 スタートコンディション／リスタートコンディション発行動作タイミング (ST、RS ビット)

26.10.3 ストップコンディション発行動作

RIICは、ICCR2.SPビットによりストップコンディションの発行を行います。

SPビットを“1”にするとストップコンディション発行の要求が行われ、RIICはICCR2.BBSYフラグが“1”（バスビジー）の状態であつICCR2.MSTビットが“1”（マスタモード）のとき、ストップコンディションの発行を行います。

ストップコンディションの発行は、以下のシーケンスにしたがって行われます。

[ストップコンディション発行動作]

- SDAラインを立ち下げ（HighからLowに遷移）
- ICBRLレジスタで設定した時間SCLラインのLow幅を確保
- SCLラインを開放（LowからHighに遷移）
- SCLラインのHigh検出後、ICBRHレジスタで設定した時間ストップコンディションのセットアップ時間を確保
- SDAラインを開放（LowからHighに遷移）
- ICBRLレジスタで設定した時間バスフリー時間を確保
- BBSYフラグクリア（バス権解放）

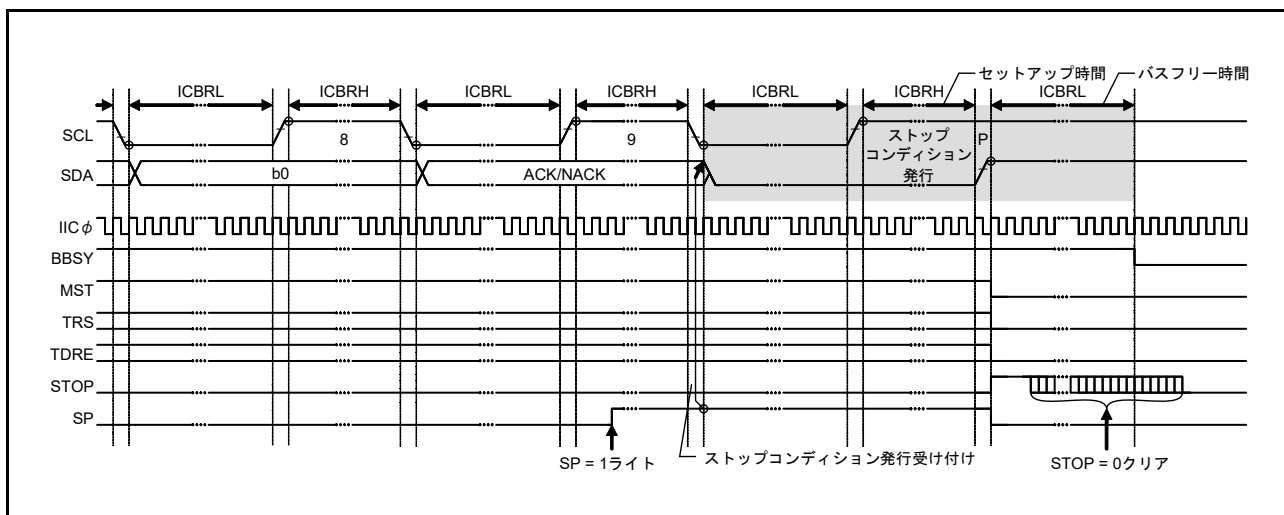


図 26.37 ストップコンディション発行動作タイミング（SPビット）

26.11 バスハングアップ

I²Cバスでは主にノイズ等の影響により、マスタデバイスとスレーブデバイス間で同期ズレが発生すると、SCLラインやSDAラインが固定されたままバスハングアップを起こす場合があります。

RIICは、このバスハングアップ状態に対しSCLラインを監視することで、バスハングアップ状態を検出できるタイムアウト検出機能や、同期ズレによるバスハングアップ状態を解除するためのSCLクロック追加出力機能およびRIICリセット機能、内部リセット機能を備えています。

また、ICCR1.SCLO, SDAO, SCLI, SDAIビットを確認することで、RIIC自身がSCLライン/SDAラインにLow出力しているか、あるいは通信デバイス側がLow出力しているかどうかを確認することが可能です。

26.11.1 タイムアウト検出機能

RIICは、SCLラインに一定時間以上変化が見られない状態を検出するタイムアウト検出機能を備えています。RIICは、SCLラインがLowまたはHighに固定されたまま一定時間以上経過したことを検知し、バスの異常状態を検出することができます。

タイムアウト検出機能はSCLラインの状態を監視し、LowまたはHighの時間を内部カウンタでカウントします。タイムアウト検出機能はSCLラインに変化（立ち上がり/立ち下がり）があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCLラインに変化がないまま内部カウンタがオーバフローすると、RIICはタイムアウトを検出しバスハングアップを知らせることができます。

このタイムアウト検出機能はICFER.TMOEビットが“1”のとき有効で、以下の期間にSCLラインのLow固定またはHigh固定のバスハングアップを検出します。

- マスタモード (ICCR2.MSTビット = 1) で、バスビジー (ICCR2.BBSYフラグ = 1)
- スレーブモード (ICCR2.MSTビット = 0) で、自スレーブアドレス一致 (ICSR1レジスタ ≠ 00h) かつバスビジー (ICCR2.BBSYフラグ = 1)
- スタートコンディション発行要求中 (ICCR2.STビット = 1) で、バスフリー (ICCR2.BBSYフラグ = 0)

タイムアウト検出機能の内部カウンタは、ICMR1.CKS[2:0]ビットで設定された内部基準クロック (IICφ) をカウントソースとして動作し、ロングモード選択時 (ICMR2.TMOSビット = 0) 16ビットカウンタ、ショートモード選択時 (TMOSビット = 1) 14ビットカウンタとなります。

また、内部カウンタのカウント動作は、SCLラインがLowのときカウントさせるか、Highのときカウントさせるか、あるいはその両方をカウントさせるかをICMR2.TMOH, TMOLビットの設定により選択することが可能です。なおTMOH, TMOLビットの両方を“0”にした場合は、内部カウント動作を行いません。

注． タイムアウト検出機能を使用するときは、「26.2.4 I²Cバスモードレジスタ 2 (ICMR2)」、「26.3 動作説明」、「26.3.2 初期設定」を参照してください。

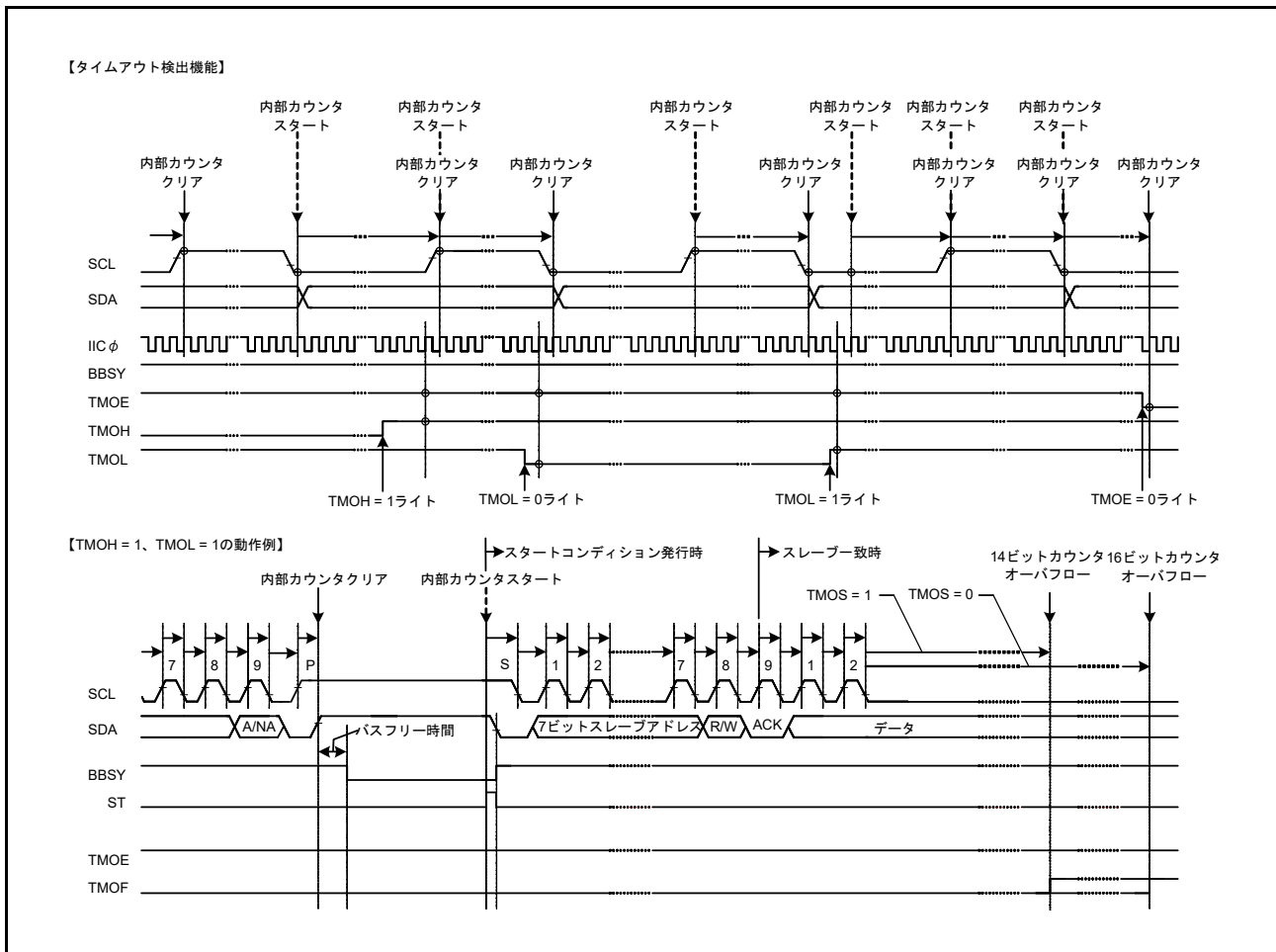


図 26.38 タイムアウト検出機能 (TMOE、TMOS、TMOH、TMOL ビット)

26.11.2 SCL クロック追加出力機能

RIICは、マスタモード時、スレーブデバイスとの同期ズレによるスレーブデバイスのSDAラインLow固定状態を開放するためのSCLクロック追加出力機能を備えています。

SCLクロック追加出力機能は、SCLクロックを1クロック単位で追加出力をする機能で、主にマスタモード時に、スレーブデバイスがSDAラインをLow固定状態のままストップコンディションを発行できない場合、スレーブデバイスのSDAライン固定状態を開放させることに使用します。通常は使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

SCLクロック追加出力は、ICCR1.CLOビットを“1”にすると、ICMR1.CKS[2:0]ビット、ICBRH、ICBRLレジスタで設定された転送速度のSCLクロックが1クロック分追加クロックとして出力されます。1クロック分の追加クロック出力が終了するとCLOビットは自動的に“0”になります。そのためソフトウェアでCLOビットが“0”であることを確認後“1”を書くことにより、追加クロックを連続的に出力することができます。

RIICがマスタモード時に、ノイズ等の影響によりスレーブデバイスとの同期ズレが原因で、スレーブデバイスがSDAラインをLow固定状態のままストップコンディションを発行できないバスハングアップの場合、SCLクロック追加出力機能を使用して追加クロックを1クロックずつ出力することで、スレーブデバイスのSDAラインのLow固定状態を開放させ、バス状態を復帰させることができます。このスレーブデバイスのSDAライン開放はICCR1.SDAIビットをチェックすることで確認することができます。スレーブデバイスのSDAライン開放を確認した後、通信を終了させるため再度ストップコンディション発行を行ってください。

なお、この機能を使用する場合はICFER.MALEビットを“0”（マスタアービトレーションロスト検出禁止）にして使用してください。MALEビットが“1”（マスタアービトレーションロスト検出許可）の場合、ICCR1.SDAOビットの値とSDAラインが不一致だとアービトレーションロストが発生しますので注意してください。

[ICCR1.CLOビットの出力条件]

- バスフリー状態（ICCR2.BBSYフラグ=0）またはマスタモード（ICCR2.MSTビット=1、BBSYフラグ=1の状態）のとき
- 通信デバイスがSCLラインをLowホールドにしていない状態のとき

図 26.39 に SCL クロック追加出力機能（CLO ビット）を示します。

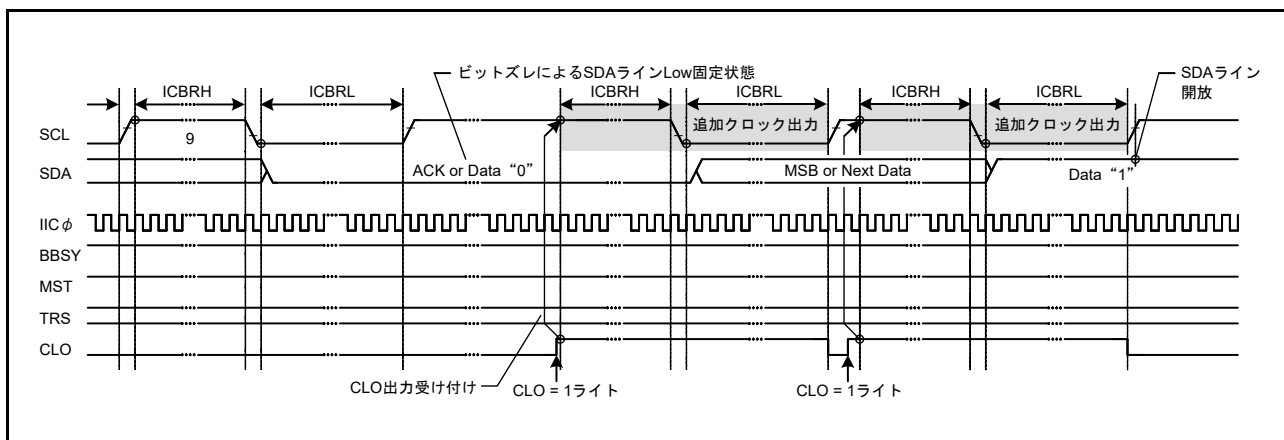


図 26.39 SCL クロック追加出力機能（CLO ビット）

26.11.3 RIIC リセット、内部リセット

RIIC は、RIIC モジュールをリセットするための機能を備えています。リセットには2種類のリセットがあり、1つは ICCR2.BBSY フラグを含めた全レジスタの初期化を行う RIIC リセット、もう1つは各種設定値を保持したままスレーブアドレス一致状態の解除や内部カウンタの初期化などを行う内部リセットです。

リセット後は、ICCR1.IICRST ビットを“0”にしてください。

いずれのリセットも SCL 端子 / SDA 端子の出力状態を解除しハイインピーダンスに戻すため、バスハンダアップ状態の解除にも利用できます。

なお、スレーブ動作時のリセットは、マスタデバイスとの同期ズレを引き起こす原因になりますので使用しないでください。また、RIIC リセット (ICCR1.ICE, IICRST ビット=01b) 中は、スタートコンディションなどのバス状態を監視できませんので注意してください。

RIIC リセット、内部リセットの詳細については、「26.13 リセットと各コンディション発行時のレジスタおよび機能の状態」を参照してください。

26.12 割り込み要因

RIICの割り込み要因には、通信エラー／イベント発生（アービトレーションロスト検出、NACK検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出）、受信データフル、送信データエンプティ、送信終了の4種類があります。

表26.6に割り込み一覧を示します。受信データフルおよび送信データエンプティ割り込み要求により、DMACを起動してデータ転送を行うことができます。

表26.6 割り込み要因

名称	割り込み要因	割り込みフラグ	DMACの起動	割り込み条件
EEI	通信エラー／ イベント発生	AL	不可能	AL = 1かつALIE = 1
		NACKF		NACKF = 1かつNAKIE = 1
		TMOF		TMOF = 1かつTMOIE = 1
		START		START = 1かつSTIE = 1
		STOP		STOP = 1かつSPIE = 1
RXI (注1)	受信データフル	—	可能	RDRF = 1かつRIE = 1
TXI (注2)	送信データ エンプティ	—	可能	TDRE = 1かつTIE = 1
TEI (注3)	送信終了	TEND	不可能	TEND = 1かつTEIE = 1

注. CPUから周辺モジュールへの書き込みと命令と、実際にモジュールに書き込まれるタイミングには、遅延時間があります。割り込みフラグをクリアまたはマスクした場合は、再度フラグを読み、クリアまたはマスクビット書き込みの完了を確認した後、割り込み処理から復帰させてください。モジュールへの書き込み完了を確認せずに割り込み処理から復帰させた場合、再度同一の割り込みが発生する可能性があります。

注1. RXI割り込みの条件となるICSR2.RDRFフラグは、ICDRRレジスタの読み出しで自動的に“0”になります。

注2. TXI割り込みの条件となるICSR2.TDREフラグは、ICDRTレジスタへの送信データの書き込み、あるいはストップコンディションの検出（ICSR2.STOPフラグ = 1）で自動的に“0”になります。

注3. TEI割り込みを使用する場合、TEI割り込み処理の中でICSR2.TENDフラグをクリアしてください。なおICSR2.TENDフラグは、ICDRTレジスタへの送信データの書き込み、あるいはストップコンディションの検出（ICSR2.STOPフラグ = 1）で自動的に“0”になります。

割り込み処理の中でそれぞれのフラグをクリアまたはマスクしてください。

26.13 リセットと各コンディション発行時のレジスタおよび機能の状態

RIICは、リセット、およびRIICリセット、内部リセットのリセット機能を持っています。表26.7にリセットと各コンディション発行時のレジスタおよび機能の状態を示します。

表26.7 リセットと各コンディション発行時のレジスタおよび機能

		チップ リセット	RIICリセット (ICEビット=0、 IICRSTビット=1)	内部リセット (ICEビット=1、 IICRSTビット=1)	スタートコンディション/ リスタートコンディション 検出	ストップコンディション 検出	
ICCR1	ICE、 IICRST	リセット	保持	保持	保持	保持	
	SCLO、 SDAO		リセット	リセット			
	それ以外			保持			
ICCR2	BBSY	リセット	リセット	保持	保持	保持	
	ST			リセット	リセット	保持	
	それ以外					リセット	
ICMR1	BC[2:0]	リセット	リセット	リセット	リセット	保持	
	それ以外				保持		保持
ICMR2		リセット	リセット	保持	保持	保持	
ICMR3		リセット	リセット	保持	保持	保持	
ICFER		リセット	リセット	保持	保持	保持	
ICSER		リセット	リセット	保持	保持	保持	
ICIER		リセット	リセット	保持	保持	保持	
ICSR1		リセット	リセット	リセット	保持	リセット	
ICSR2	TDRE、 TEND	リセット	リセット	リセット	保持	リセット	
	START				保持		
	STOP				保持		保持
	それ以外				保持		保持
ICSARL0、1、2 ICSARU0、1、2		リセット	リセット	保持	保持	保持	
ICBRH、ICBRL		リセット	リセット	保持	保持	保持	
ICDRT		リセット	リセット	保持	保持	保持	
ICDRR		リセット	リセット	保持	保持	保持	
ICDRS		リセット	リセット	リセット	保持	保持	
タイムアウト 検出機能		リセット	リセット	動作	動作	動作	
バスフリー時間計測		リセット	リセット	動作	動作	動作	

26.14 使用上の注意事項

26.14.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、モジュールストップ状態への遷移／解除を行うことができます。初期値では RIIC はモジュールストップ状態です。モジュールストップ状態を解除することにより、RIIC のレジスタへのアクセスが可能になります。

モジュールストップコントロールレジスタ B の詳細は、「9. 消費電力低減機能」を参照してください。

27. CAN インタフェース (RSCAN)

本章では、CAN インタフェース (RSCAN) 全般について説明します。

27.1 概要

27.1.1 機能概要

本 LSI は、ISO11898-1 仕様に準拠した CAN コントローラを 1 チャンネル (CAN1) 搭載した CAN インタフェース (RSCAN) を 1 ユニット内蔵しています。表 27.1 に RSCAN の仕様、図 27.1 に RSCAN のブロック図を示します。

表 27.1 RSCAN の仕様 (1 / 2)

項目	仕様
チャンネル数	1
プロトコル	ISO11898-1 仕様準拠 (標準フレーム/拡張フレーム)
通信速度	<ul style="list-style-type: none"> 最大 1Mbps $\text{通信速度 (CAN1 ビットタイムクロック)} = \frac{1}{\text{CAN1 ビットタイム}}$ $\text{CAN1 ビットタイム} = \text{CAN1Tq} \times 1 \text{ ビット分の Tq 数}$ $\text{CAN1Tq} = \frac{(\text{RSCAN0C1CFG レジスタの BRP}[9:0] \text{ ビット} + 1)}{f_{\text{CAN}}}$ <p>Tq : Time quantum (1 ビットの Tq = 1 + TSEG1 + TSEG2) fCAN : CAN クロック (RSCAN0GCFG レジスタの DCS ビットで選択したクロック) の周波数</p>
バッファ	合計 80 バッファ <ul style="list-style-type: none"> 送信バッファ : 16 バッファ (送信キューと共用) 送信キュー : 1 本 (送信バッファと共用、最大 16 バッファ割り当て可能) 共用バッファ : 64 バッファ 受信バッファ : 16 バッファ (受信 FIFO バッファ・送受信 FIFO バッファと共用) 受信 FIFO バッファ : 8 本 (受信バッファ・送受信 FIFO バッファと共用、1 本あたり最大 64 バッファ割り当て可能) 送受信 FIFO バッファ : 3 本 (受信バッファ・受信 FIFO バッファと共用、1 本あたり最大 64 バッファ割り当て可能) ECC 内蔵
受信機能	<ul style="list-style-type: none"> データフレームとリモートフレームを受信可能 受信する ID フォーマット (標準 ID、拡張 ID、両方) を選択可能 FIFO ごとの割り込み許可/禁止設定可能 ミラー機能 (自送信メッセージの受信機能) タイムスタンプ機能 (メッセージの受信時間を 16 ビットタイマ値で記録)
受信フィルタ機能	<ul style="list-style-type: none"> 合計 64 個の受信ルールで受信メッセージを選別可能 0 ~ 64 個の範囲で受信ルール数を設定可能 アクセプタンスフィルタ処理: 各受信ルールごとに ID、マスク設定可能 DLC フィルタ処理: 各受信ルールごとに DLC フィルタチェック可能
受信メッセージ転送機能	<ul style="list-style-type: none"> ルーティング機能 受信メッセージを任意のバッファへ転送する機能 (転送可能バッファ数 : 8) 転送先: 受信バッファ、受信 FIFO バッファ、送受信 FIFO バッファ ラベル付加機能 受信バッファおよび FIFO バッファへメッセージ格納時、ラベル情報も同時に格納可能
送信機能	<ul style="list-style-type: none"> データフレームとリモートフレームを送信可能 送信する ID フォーマット (標準 ID、拡張 ID、両方) を選択可能 送信バッファ、送受信 FIFO バッファごとに割り込み許可/禁止設定可能 ID 優先送信または送信バッファ番号優先送信を選択可能 送信アポート機能 (フラグでアポート完了を確認可能) ワンショット送信機能
インターバル送信機能	メッセージの送信間隔を設定可能 (送受信 FIFO バッファの送信モードまたはゲートウェイモード)

表27.1 RSCANの仕様 (2 / 2)

項目	仕様
送信キュー機能	格納された全メッセージがID優先で送信される機能
送信履歴機能	送信完了したメッセージの履歴情報を格納する機能
ゲートウェイ機能	受信したメッセージを自動送信する機能
バスオフ復帰モード選択	<ul style="list-style-type: none"> バスオフ状態からの復帰方法を選択可能 ISO11898-1仕様準拠 バスオフ開始でチャンネル待機モードへ自動遷移 バスオフ終了でチャンネル待機モードへ自動遷移 プログラムによる要求によってチャンネル待機モードへ遷移 プログラムによる要求によってエラーアクティブ状態へ遷移 (バスオフ強制復帰機能)
エラー状態の監視	<ul style="list-style-type: none"> CANプロトコルエラー (スタッフエラー、フォームエラー、ACKエラー、CRCエラー、ビットエラー、ACKデリミタエラー、バスドミナントロック) を監視 エラー状態の遷移を検出 (エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰) エラーカウンタの読み出し DLCエラーを監視
割り込み要因	<p>5本</p> <ul style="list-style-type: none"> グローバル割り込み (2本) CAN受信FIFO割り込み CANグローバルエラー割り込み チャンネル割り込み (3本) CAN1送信割り込み (CAN1送信完了、CAN1送信アボートなど) CAN1送受信FIFO受信完了割り込み CAN1エラー割り込み (バスエラー、バスロックなど)
エラー要因	<p>バッファRAMのECCエラーを検出し、エラーコントロールモジュール (ECM) へ通知</p> <ul style="list-style-type: none"> RSCAN RAMのECC 1ビットエラー RSCAN RAMのECC 2ビットエラー RSCANオーバフローエラー
消費電力低減機能	モジュールストップ状態への設定が可能
CANクロックソース	PLL0分周のCANCLKA (24MHz) かメインクロックのCANCLKB (25MHz) を選択可能
テスト機能	<p>ユーザ評価用テスト機能</p> <ul style="list-style-type: none"> リッスンオンリモード セルフテストモード0 (外部ループバック) セルフテストモード1 (内部ループバック) RAMテスト (読み書きテスト)

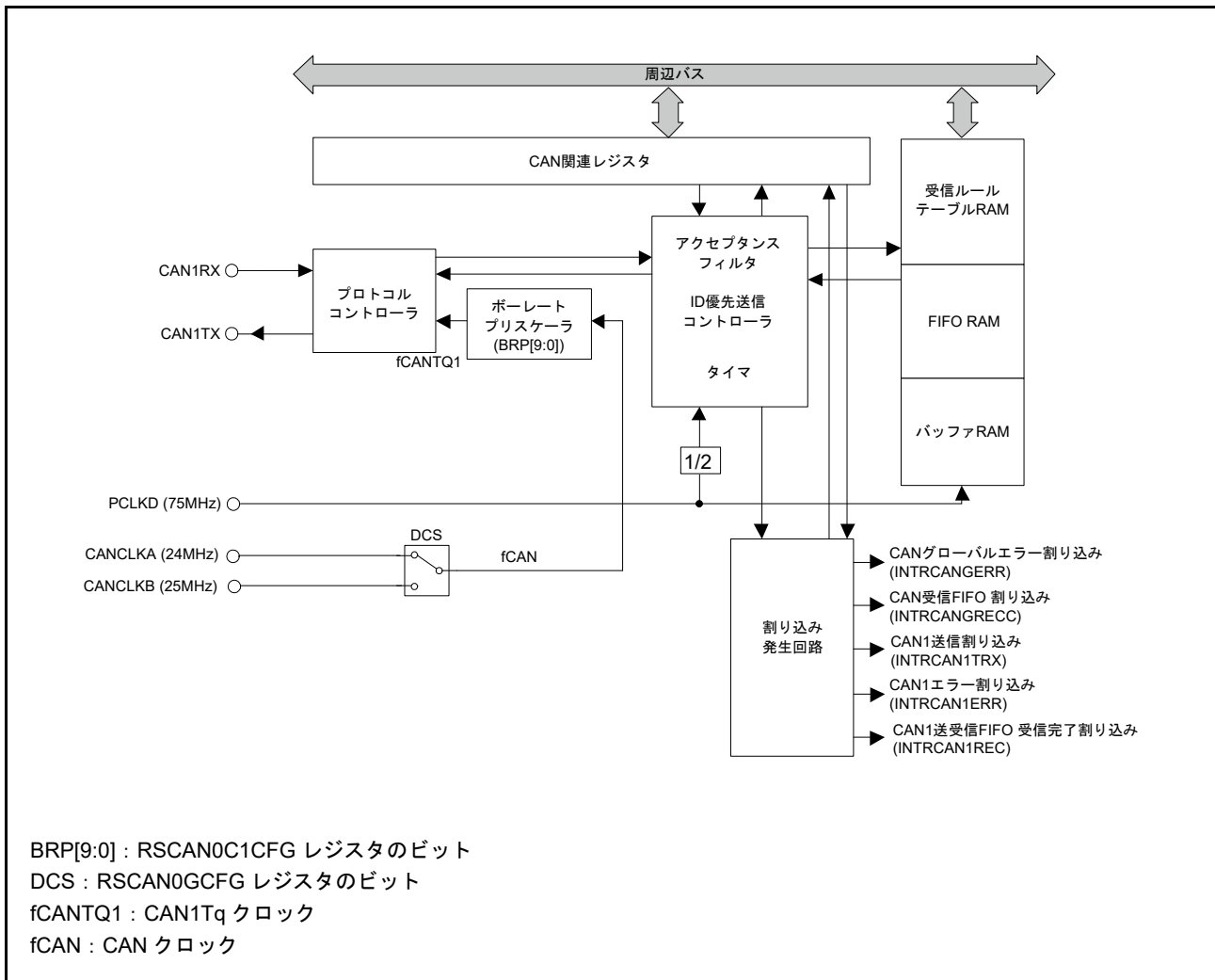


図 27.1 RSCAN のブロック図

表 27.2 に RSCAN で使用する入出力端子を示します。

表 27.2 RSCANの入出力端子

チャンネル	端子名	入出力	機能
CAN1	CRXD1	入力	CAN1受信データ入力端子
	CTXD1	出力	CAN1送信データ出力端子

本章で使用する添字の意味について、表 27.3 に示します。

表 27.3 添字

添字	意味
j	受信ルールテーブルを関係するレジスタを「j」(j = 0 ~ 15) で識別します。例えば、受信ルールID レジスタは RSCAN0GAFLIDj と記述します。
k	送受信FIFO バッファ番号を「k」(k = 3 ~ 5) で識別します。例えば、送受信FIFO バッファコンフィグレーション / 制御レジスタは RSCAN0FCck と記述します。
x	受信FIFOバッファ番号を「x」(x = 0 ~ 7) で識別します。例えば、受信FIFOバッファステータスレジスタは、RSCAN0RFSTsx と記述します。
q	受信バッファの番号を「q」(q = 16 ~ 31) で識別します。例えば、受信バッファ ID レジスタは RSCAN0RMIDq で記述します。
p	送信バッファの番号を「p」(p = 16 ~ 31) で識別します。例えば、送信バッファ制御レジスタは RSCAN0TMCp と記述します。
r	CAN 用RAM テスト番号を「r」(r = 0 ~ 63) で識別します。例えば、RAM テストページアクセスレジスタは RSCAN0RPGACCr と記述します。
z	CAN用ECCエラーアドレスレジスタ番号を「z」(z = 0 ~ 7) で識別します。

27.2 レジスタの説明

27.2.1 チャネルコンフィグレーションレジスタ (RSCAN0C1CFG)

RSCAN0C1CFG レジスタは、チャンネル1 (CAN1) のクロックタイミング設定を制御するレジスタです。

このレジスタは、チャンネルリセットモードまたはチャンネル待機モードで書き換えてください。また、チャンネルリセットモードで本レジスタを設定した後で、チャンネル通信モードまたはチャンネル待機モードに遷移してください。ビットタイミングパラメータの説明と設定については、「27.9.1 初期設定」を参照してください。

アドレス RSCAN.RSCAN0C1CFG A007 8010h



ビット	シンボル	ビット名	機能	R/W
b9-b0	BRP[9:0]	プリスケアラ分周比設定ビット	設定値をP (0~1023) とすると、ポーレートプリスケアラはfCANをP+1で分周します。	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b19-b16	TSEG1[3:0]	タイムセグメント1制御ビット	b19 b18 b17 b16 0 0 1 1 : 4 Tq 0 1 0 0 : 5 Tq 0 1 0 1 : 6 Tq 0 1 1 0 : 7 Tq 0 1 1 1 : 8 Tq 1 0 0 0 : 9 Tq 1 0 0 1 : 10 Tq 1 0 1 0 : 11 Tq 1 0 1 1 : 12 Tq 1 1 0 0 : 13 Tq 1 1 0 1 : 14 Tq 1 1 1 0 : 15 Tq 1 1 1 1 : 16 Tq 上記以外は設定禁止	R/W
b22-b20	TSEG2[2:0]	タイムセグメント2制御ビット	b22 b21 b20 0 0 1 : 2 Tq 0 1 0 : 3 Tq 0 1 1 : 4 Tq 1 0 0 : 5 Tq 1 0 1 : 6 Tq 1 1 0 : 7 Tq 1 1 1 : 8 Tq 上記以外は設定禁止	R/W
b23	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b25-b24	SJW[1:0]	再同期ジャンプ幅制御ビット	b25 b24 0 0 : 1 Tq 0 1 : 2 Tq 1 0 : 3 Tq 1 1 : 4 Tq	R/W
b31-b26	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

BRP[9:0] ビット (プリスケアラ分周比設定ビット)

CAN クロック (f_{CAN}) をボーレートプリスケアラ ($(BRP[9:0]) + 1$) で分周したクロックが CAN1Tq クロック (f_{CANTQ1}) になり、CAN1Tq クロックの 1 クロックが 1 Time Quantum (T_q) になります。

TSEG1[3:0] ビット (タイムセグメント 1 制御ビット)

プロパゲーションタイムセグメント (PROP_SEG) とフェーズバッファセグメント 1 (PHASE_SEG1) の合計長を T_q 値で指定します。

4 ~ 16 T_q の値が設定可能です。

TSEG2[2:0] ビット (タイムセグメント 2 制御ビット)

フェーズバッファセグメント 2 (PHASE_SEG2) の長さを T_q 値で指定します。

2 ~ 8 T_q の値が設定可能です。

TSEG1 ビットより小さい値を設定してください。

SJW[1:0] ビット (再同期ジャンプ幅制御ビット)

再同期ジャンプ幅 (Resynchronization jump width) を T_q 値で指定します。1 ~ 4 T_q の値が設定可能です。TSEG2 ビット以下の値を設定してください。 T_q 値については BRP[9:0] ビットの説明を参照してください。

27.2.2 チャネル制御レジスタ (RSCAN0C1CTR)

RSCAN0C1CTR レジスタはチャンネル 1 (CAN1) の動作モード、割り込み設定を制御するレジスタです。

アドレス RSCAN.RSCAN0C1CTR A007 8014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	CTMS[1:0]	CTME	ERRD	BOM[1:0]	—	—	—	—	—	—	TAIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ALIE	BLIE	OLIE	BORIE	BOEIE	EPIE	EWIE	BEIE	—	—	—	—	RTBO	CSLPR	CHMDC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	CHMDC[1:0]	モード選択ビット	b1 b0 0 0: チャンネル通信モード 0 1: チャンネルリセットモード 1 0: チャンネル待機モード 上記以外は設定禁止	R/W
b2	CSLPR	チャンネルストップモードビット	0: チャンネルストップモードではない 1: チャンネルストップモード	R/W
b3	RTBO	バスオフ強制復帰ビット	RTBO ビットを“1”にすると、バスオフから強制的に復帰します。常に“0”が読めます。	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b8	BEIE	バスエラー割り込み許可ビット	0: バスエラー割り込み禁止 1: バスエラー割り込み許可	R/W
b9	EWIE	エラーワーニング割り込み許可ビット	0: エラーワーニング割り込み禁止 1: エラーワーニング割り込み許可	R/W
b10	EPIE	エラーパッシブ割り込み許可ビット	0: エラーパッシブ割り込み禁止 1: エラーパッシブ割り込み許可	R/W
b11	BOEIE	バスオフ開始割り込み許可ビット	0: バスオフ開始割り込み禁止 1: バスオフ開始割り込み許可	R/W
b12	BORIE	バスオフ復帰割り込み許可ビット	0: バスオフ復帰割り込み禁止 1: バスオフ復帰割り込み許可	R/W
b13	OLIE	オーバーロードフレーム送信割り込み許可ビット	0: オーバーロードフレーム送信割り込み禁止 1: オーバーロードフレーム送信割り込み許可	R/W
b14	BLIE	バスロック割り込み許可ビット	0: バスロック割り込み禁止 1: バスロック割り込み許可	R/W
b15	ALIE	アービトレーションロスト割り込み許可ビット	0: アービトレーションロスト割り込み禁止 1: アービトレーションロスト割り込み許可	R/W
b16	TAIE	送信アボート割り込み許可ビット	0: 送信アボート割り込み禁止 1: 送信アボート割り込み許可	R/W
b20-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b22-b21	BOM[1:0]	バスオフ復帰モード選択ビット	b22 b21 0 0: ISO11898-1仕様準拠 0 1: バスオフ開始でチャンネル待機モードへ遷移 1 0: バスオフ終了でチャンネル待機モードへ遷移 1 1: バスオフ中にプログラムによる要求でチャンネル待機モードへ遷移	R/W

ビット	シンボル	ビット名	機能	R/W
b23	ERRD	エラー表示モード選択ビット	0: RSCAN0C1ERFL レジスタのビット14~8がすべてクリアされた後、最初に発生したエラー情報のみのエラーフラグ表示 1: 発生したすべてのエラー情報のエラーフラグを表示	R/W
b24	CTME	通信テストモード許可ビット	0: 通信テストモード禁止 1: 通信テストモード許可	R/W
b26-b25	CTMS[1:0]	通信テストモード選択ビット	b26 b25 0 0: 標準テストモード 0 1: リスンオンリモード 1 0: セルフテストモード0 (外部ループバックモード) 1 1: セルフテストモード1 (内部ループバックモード)	R/W
b31-b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

CHMDC[1:0] ビット (モード選択ビット)

チャンネルのモード (チャンネル通信モード、チャンネルリセットモード、チャンネル待機モード) を選択するビットです。詳細は、「27.4.2 チャンネルモード」を参照してください。チャンネルストップモードへは、チャンネルリセットモード時に CSLPR ビットを“1”にすることで遷移します。CHMDC[1:0] ビットを“11b”には設定しないでください。BOM[1:0] ビットの設定によってチャンネル待機モードへ遷移した場合は、CHMDC[1:0] ビットは自動的に“10b”になります。

CSLPR ビット (チャンネルストップモードビット)

“1”にすると、チャンネルストップモードになります。
“0”にすると、チャンネルストップモードは解除されます。
このビットは、チャンネル通信モードまたはチャンネル待機モードでは書き換えしないでください。

RTBO ビット (バスオフ強制復帰ビット)

バスオフ状態時“1”にすると、強制的にバスオフ状態からエラーアクティブ状態へと変化します。このビットは自動的に“0”になります。“1”にすると、RSCAN0C1STS レジスタの TEC[7:0] ビットと REC[7:0] ビットが“00h”になり、RSCAN0C1STS レジスタの BOSTS フラグは“0” (バスオフ状態ではない) になります。他のレジスタは変化しません。バスオフ状態からの復帰によるバスオフ復帰割り込み要求は発生しません。RSCAN0C1CTR レジスタの BOM[1:0] ビットが“00b” (ISO11898-1 仕様準拠) のときのみ使用してください。

RTBO ビットを“1”にしてからエラーアクティブ状態に遷移するまでに、最大 1 CAN1 ビットタイムの遅延が発生します。このビットはチャンネル通信モードで“1”を書いてください。

BEIE ビット (バスエラー割り込み許可ビット)

BEIE ビットを“1”に設定し、RSCAN0C1ERFL レジスタの BEF フラグが“1”になった場合、CAN1 エラー割り込み要求 (バスエラー割り込み) が発生します。このビットはチャンネルリセットモードで書き換えてください。

EWIE ビット (エラーワーニング割り込み許可ビット)

EWIE ビットを“1”に設定し、RSCAN0C1ERFL レジスタの EWF フラグが“1”になった場合、CAN1 エラー割り込み要求 (エラーワーニング割り込み) が発生します。このビットはチャンネルリセットモードで書き換えてください。

EPIE ビット (エラーパッシブ割り込み許可ビット)

EPIE ビットを“1”に設定し、RSCAN0C1ERFL レジスタの EPF フラグが“1”になった場合、CAN1 エラー割り込み要求 (エラーパッシブ割り込み) が発生します。このビットはチャンネルリセットモードで書き換えてください。

BOEIE ビット (バスオフ開始割り込み許可ビット)

BOEIE ビットを“1”に設定し、RSCAN0C1ERFL レジスタの BOEF フラグが“1”になった場合、CAN1 エラー割り込み要求 (バスオフ開始割り込み) が発生します。このビットはチャンネルリセットモードで書き換えてください。

BORIE ビット (バスオフ復帰割り込み許可ビット)

BORIE ビットを“1”に設定し、RSCAN0C1ERFL レジスタの BORF フラグが“1”になった場合、CAN1 エラー割り込み要求 (バスオフ復帰割り込み) が発生します。このビットはチャンネルリセットモードで書き換えてください。

OLIE ビット (オーバーロードフレーム送信割り込み許可ビット)

OLIE ビットを“1”に設定し、RSCAN0C1ERFL レジスタの OVLFF フラグが“1”になった場合、CAN1 エラー割り込み要求 (オーバーロードフレーム割り込み) が発生します。このビットはチャンネルリセットモードで書き換えてください。

BLIE ビット (バスロック割り込み許可ビット)

BLIE ビットを“1”に設定し、RSCAN0C1ERFL レジスタの BLF フラグが“1”になった場合、CAN1 エラー割り込み要求 (バスロック割り込み) が発生します。このビットはチャンネルリセットモードで書き換えてください。

ALIE ビット (アービトレーションロスト割り込み許可ビット)

ALIE ビットを“1”に設定し、RSCAN0C1ERFL レジスタの ALF フラグが“1”になった場合、CAN1 エラー割り込み要求 (アービトレーションロスト割り込み) が発生します。このビットはチャンネルリセットモードで書き換えてください。

TAIE ビット (送信アボート割り込み許可ビット)

TAIE ビットを“1”に設定し、送信バッファの送信アボートが完了した場合、CAN1 送信割り込み要求 (送信アボート割り込み) が発生します。このビットはチャンネルリセットモードで書き換えてください。

BOM[1:0] ビット (バスオフ復帰モード選択ビット)

RSCAN モジュールのバスオフ復帰モードを選択します。

BOM[1:0] ビットが“00b”の場合、バスオフ状態からエラーアクティブ状態への復帰は CAN 仕様に準拠します。すなわち、RSCAN モジュールは、11 ビットの連続するレセシブを 128 回検出後、再び CAN 通信 (エラーアクティブ状態) に入ります。バスオフ状態からの復帰時にバスオフ復帰割り込み要求が発生します。128 回検出する前に CHMDC[1:0] ビットを“10b” (チャンネル待機モード) にしても 128 回検出するまでチャンネル待機モードには遷移しません。

BOM[1:0] ビットが“01b”の場合、RSCAN モジュールがバスオフ状態に達すると、RSCAN0C1CTR レジスタの CHMDC[1:0] ビットが“10b”になり、チャンネル待機モードへ遷移します。バスオフ状態からの復帰時にバスオフ復帰割り込み要求は発生せず、RSCAN0C1STS レジスタの TEC[7:0] ビットと REC[7:0] ビットが“00h”になります。

BOM[1:0] ビットが“10b”の場合、RSCAN モジュールがバスオフ状態に達すると CHMDC[1:0] ビットが“10b”になり、バスオフ状態から復帰した (11 ビットの連続するレセシブを 128 回検出) 後に、チャンネル待機モードに遷移します。バスオフ状態からの復帰時にバスオフ復帰割り込み要求が発生し、TEC[7:0] ビットと REC[7:0] ビットが“00h”になります。

BOM[1:0] ビットが“11b”の場合、RSCAN モジュールがバスオフ状態のときに CHMDC[1:0] ビットを“10b”にすると、チャンネル待機モードになります。バスオフ状態からの復帰時にバスオフ復帰割り込み要求は発生せず、TEC[7:0] ビットと REC[7:0] ビットは“00h”になります。しかし、CHMDC[1:0] ビットを“10b”にする前に、11 ビットの連続するレセシブを 128 回検出して、バスオフ状態からエラーアクティブ状態に復帰した場合は、バスオフ復帰割り込み要求が発生します。

RSCAN モジュールがチャンネル待機モードに遷移するのと同様 (BOM[1:0] ビットが“01b”のとき: バスオフ開始時、または BOM[1:0] ビットが“10b”のとき: バスオフ終了時) に、プログラムによる CHMDC[1:0] ビットへの書き込みが発生した場合は、プログラムの書き込みが優先されます。BOM[1:0] ビットはチャンネルリセットモードで書き換えてください。

ERRD ビット (エラー表示モード選択ビット)

RSCAN0C1ERFL レジスタのビット 14 ~ 8 の表示モードを制御します。

“0”にすると最初に発生したエラーのフラグのみ“1”になります。最初のエラーで複数のエラーが発生した場合、検出されたエラーのフラグはすべて“1”になります。

“1”にすると発生順に関係なく、起こったエラーのフラグはすべて“1”になります。

このビットはチャンネルリセットモードまたはチャンネル待機モードで書き換えてください。

CTMS[1:0] ビット (通信テストモード選択ビット)

通信テストモードを選択するビットです。このビットはチャンネル待機モードで書き換えてください。チャンネルリセットモード時は、“0”になります。

27.2.3 チャンネルステータスレジスタ (RSCAN0C1STS)

RSCAN0C1STS レジスタは、チャンネル1 (CAN1) の通信状態を示すステータスレジスタです。

アドレス RSCAN.RSCAN0C1STS A007 8018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TEC[7:0]								REC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	COMS TS	RECST S	TRMST S	BOSTS	EPSTS	CSLPST S	CHLTST S	CRSTST S	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	CRSTSTS	チャンネルリセットステータスフラグ	0: チャンネルリセットモードではない 1: チャンネルリセットモード	R
b1	CHLTSTS	チャンネル待機ステータスフラグ	0: チャンネル待機モードではない 1: チャンネル待機モード	R
b2	CSLPSTS	チャンネルストップステータスフラグ	0: チャンネルストップモードではない 1: チャンネルストップモード	R
b3	EPSTS	エラーパッシブステータスフラグ	0: エラーパッシブ状態ではない 1: エラーパッシブ状態	R
b4	BOSTS	バスオフステータスフラグ	0: バスオフ状態ではない 1: バスオフ状態	R
b5	TRMSTS	送信ステータスフラグ	0: バスアイドルまたは受信 1: 送信中またはバスオフ状態	R
b6	RECSTS	受信ステータスフラグ	0: バスアイドルまたは送信中またはバスオフ状態 1: 受信	R
b7	COMSTS	通信ステータスフラグ	0: 通信可能な状態ではない 1: 通信可能な状態	R
b15-b8	—	予約ビット	読むと“0”が読めます。	R
b23-b16	REC[7:0]	受信エラーカウンタ	受信エラーカウンタ (REC) の値が読めます。	R
b31-b24	TEC[7:0]	送信エラーカウンタ	送信エラーカウンタ (TEC) の値が読めます。	R

CRSTSTS フラグ (チャンネルリセットステータスフラグ)

チャンネルリセットモードに遷移すると“1”になります。チャンネル通信モードまたはチャンネル待機モードに遷移すると“0”になります。チャンネルリセットモードからチャンネルストップモードに遷移しても、“1”のままです。

CHLTSTS フラグ (チャンネル待機ステータスフラグ)

チャンネル待機モードに遷移すると“1”になります。チャンネル待機モード以外のモードに遷移すると“0”になります。

CSLPSTS フラグ (チャンネルストップステータスフラグ)

チャンネルストップモードに遷移すると、“1”になります。チャンネルストップモードから復帰すると“0”になります。

EPSTS フラグ (エラーパッシブステータスフラグ)

エラーパッシブ状態 ($128 \leq \text{TEC}[7:0]$ ビット ≤ 255) または ($128 \leq \text{REC}[7:0]$ ビット) になると、“1”になります。エラーパッシブ状態以外になるか、またはチャンネルリセットモードになると、“0”になります。

BOSTS フラグ (バスオフステータスフラグ)

バスオフ状態 ($\text{TEC}[7:0]$ ビット > 255) になると“1”になります。バスオフ状態以外になると“0”になります。

TRMSTS フラグ (送信ステータスフラグ)

送信を開始すると“1”になります。バスオフ状態では“1”のままです。バスアイドル状態になるか、または受信を開始すると“0”になります。

RECSTS フラグ (受信ステータスフラグ)

受信を開始すると“1”になります。バスアイドル状態になるか、または送信を開始すると“0”になります。

COMSTS フラグ (通信ステータスフラグ)

通信準備が整ったことを示すビットです。

チャンネルリセットモードまたはチャンネル待機モードからチャンネル通信モードに移行し、11 ビットの連続するレセシブを検出した後に、“1”になります。チャンネルリセットモードまたはチャンネル待機モード時は、“0”になります。

REC[7:0] ビット (受信エラーカウンタ)

受信エラーカウンタの値を示します。受信エラーカウンタの増減条件については、CAN仕様 (ISO11898-1) を参照してください。

チャンネルリセットモード時は、“0”になります。

TEC[7:0] ビット (送信エラーカウンタ)

送信エラーカウンタの値を示します。送信エラーカウンタの増減条件については、CAN仕様 (ISO11898-1) を参照してください。

チャンネルリセットモード時は、“0”になります。

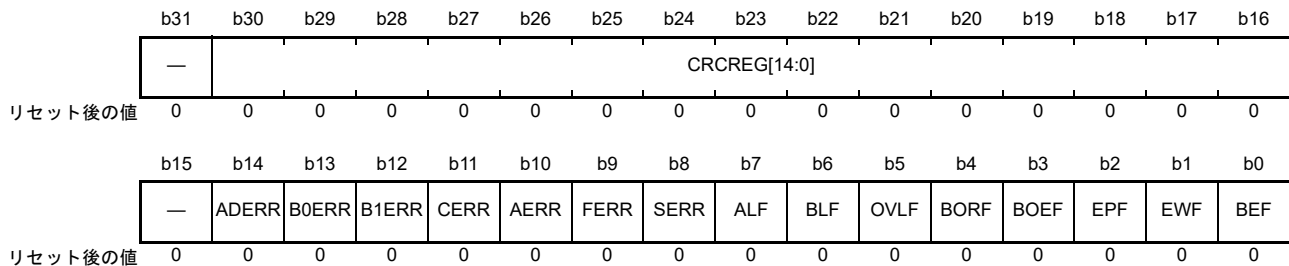
27.2.4 チャネルエラーフラグレジスタ (RSCAN0C1ERFL)

RSCAN0C1ERFL レジスタは、チャンネル1 (CAN1) のエラー状態を示すステータスレジスタです。

各エラーの発生条件を確認するには、CAN仕様 (ISO11898-1) を参照してください。各フラグを“0”にする場合は、プログラムで“0”を書いてください。プログラムで“1”を書いても“1”にできません。フラグが“1”になるタイミングとプログラムで“0”を書くタイミングが同じ場合、そのフラグは“1”になります。チャンネルリセットモード時、“0”になります。

RSCAN0C1ERFL レジスタのビット14～8に関して、RSCAN0C1CTR レジスタのERRD ビットを“0” (最初に発生したエラー情報のみ表示) に設定したとき、ビット14～8のすべてのフラグが“0”の状態ではエラーが検出された場合に、対応するフラグは“1”になります。

アドレス RSCAN.RSCAN0C1ERFL A007 801Ch



ビット	シンボル	ビット名	機能	R/W
b0	BEF	バスエラーフラグ	0: チャンネルバスエラーは未検出 1: チャンネルバスエラー検出	R/W (注1)
b1	EWF	エラーワーニングフラグ	0: エラーワーニング未検出 1: エラーワーニング検出	R/W (注1)
b2	EPF	エラーパッシブフラグ	0: エラーパッシブ未検出 1: エラーパッシブ検出	R/W (注1)
b3	BOEF	バスオフ開始フラグ	0: バスオフ開始未検出 1: バスオフ開始検出	R/W (注1)
b4	BORF	バスオフ復帰フラグ	0: バスオフ復帰未検出 1: バスオフ復帰検出	R/W (注1)
b5	OVLF	オーバロードフラグ	0: オーバロード未検出 1: オーバロード検出	R/W (注1)
b6	BLF	バスロックフラグ	0: チャンネルバスロック未検出 1: チャンネルバスロック検出	R/W (注1)
b7	ALF	アービトレーションロストフラグ	0: アービトレーションロスト未検出 1: アービトレーションロスト検出	R/W (注1)
b8	SERR	スタッフエラーフラグ	0: スタッフエラー未検出 1: スタッフエラー検出	R/W (注1)
b9	FERR	フォームエラーフラグ	0: フォームエラー未検出 1: フォームエラー検出	R/W (注1)
b10	AERR	ACKエラーフラグ	0: ACKエラー未検出 1: ACKエラー検出	R/W (注1)
b11	CERR	CRCエラーフラグ	0: CRCエラー未検出 1: CRCエラー検出	R/W (注1)
b12	B1ERR	レセシブビットエラーフラグ	0: レセシブビットエラー未検出 1: レセシブビットエラー検出	R/W (注1)
b13	B0ERR	ドミナントビットエラーフラグ	0: ドミナントビットエラー未検出 1: ドミナントビットエラー検出	R/W (注1)
b14	ADERR	ACKデリミタエラーフラグ	0: ACKデリミタエラー未検出 1: ACKデリミタエラー検出	R/W (注1)

ビット	シンボル	ビット名	機能	R/W
b15	—	予約ビット	読むと“0”が読めます。	R
b30-b16	CRCREG[14:0]	CRC演算データ	送信メッセージまたは受信メッセージを基に計算したCRC値を表示します。	R
b31	—	予約ビット	読むと“0”が読めます。	R

注1. このフラグビットへの書き込みは、“0”書き込み（ステータスクリア）のみ可能です。“1”を書き込んだ場合、書き込み前のステータスを保持し値は変化しません。

BEF フラグ (パスエラーフラグ)

RSCAN0C1ERFL レジスタの ADERR、B0ERR、B1ERR、CERR、AERR、FERR、SERR フラグのいずれか1つでも“1”になると、BEF フラグは“1”になります。

EWF フラグ (エラーワーニングフラグ)

REC[7:0] または TEC[7:0] ビットの値が 95 を超えると、“1”になります。REC[7:0] または TEC[7:0] ビットが最初に 95 を超えたときのみ“1”になります。したがって、REC[7:0] または TEC[7:0] ビットが 95 を超えたままで、プログラムで“0”を書いた場合、一度 REC[7:0] と TEC[7:0] ビットの両方が 95 以下になり、再び REC[7:0] または TEC[7:0] ビットが 95 を超えるまでは“1”にはなりません。

EPF フラグ (エラーパッシブフラグ)

エラーパッシブ状態 (REC[7:0] または TEC[7:0] ビット > 127) になると、“1”になります。REC[7:0] または TEC[7:0] ビットが最初に 127 を超えたときのみ“1”になります。したがって、REC[7:0] または TEC[7:0] ビットが 127 を超えたままで、プログラムで“0”を書いた場合、一度 REC[7:0] と TEC[7:0] ビットの両方が 127 以下になり、再び REC[7:0] または TEC[7:0] ビットが 127 を超えるまでは“1”にはなりません。

BOEF フラグ (バスオフ開始フラグ)

バスオフ状態 (TEC[7:0] ビット > 255) になると、“1”になります。RSCAN0C1CTR レジスタの BOM[1:0] ビットが“01b” (バスオフ開始でチャンネル待機モードへ遷移) で、バスオフ状態になった場合も、“1”になります。

BORF フラグ (バスオフ復帰フラグ)

11 ビットの連続するレセシブを 128 回検出してバスオフ状態から復帰すると“1”になります。ただし、11 ビットの連続するレセシブを 128 回検出する前に、以下の方法でバスオフ状態から復帰した場合は“1”にはなりません。

- RSCAN0C1CTR レジスタの CHMDC[1:0] ビットを“01b” (チャンネルリセットモード) に設定した場合
- RSCAN0C1CTR レジスタの RTBO ビットを“1” (バスオフからの強制復帰) に設定した場合
- RSCAN0C1CTR レジスタの BOM[1:0] ビットを“01b” (バスオフ開始でチャンネル待機モードへ遷移) に設定した場合
- BOM[1:0] ビットが“11b” (バスオフ中にプログラムによる要求でチャンネル待機モードへ遷移) で、11 ビットの連続するレセシブを 128 回検出する前に、CHMDC[1:0] ビットを“10b” (チャンネル待機モード) に設定した場合

OVLV フラグ (オーバロードフラグ)

受信または送信を行う場合に、オーバロードフレームの送信条件が検出されると“1”になります。

BLF フラグ (バスロックフラグ)

チャンネル通信モード時、CAN バス上に 32 ビットの連続するドミナントを検出すると、“1” になります。“1” になった後、次のいずれかの条件が成立するとバスロックを再検出できるようになります。

- BLF ビットを“1” から“0” にした後、レセシブビットを検出
- BLF ビットを“1” から“0” にした後、チャンネルリセットモードに遷移し、再度チャンネル通信モードに遷移

ALF フラグ (アービトレーションロストフラグ)

アービトレーションロストを検出すると“1” になります。

SERR フラグ (スタッフエラーフラグ)

スタッフエラーを検出すると“1” になります。

FERR フラグ (フォームエラーフラグ)

フォームエラーを検出すると“1” になります。

AERR フラグ (ACK エラーフラグ)

ACK エラーを検出すると“1” になります。

CERR フラグ (CRC エラーフラグ)

CRC エラーを検出すると“1” になります。

B1ERR フラグ (レセシブビットエラーフラグ)

レセシブを送信したにもかかわらずドミナントを検出すると“1” になります。

B0ERR フラグ (ドミナントビットエラーフラグ)

ドミナントを送信したにもかかわらずレセシブを検出すると“1” になります。

ADERR フラグ (ACK デリミタエラーフラグ)

送信中の ACK デリミタでフォームエラーを検出すると、“1” になります。

CRCREG[14:0] フラグ (CRC 演算データ)

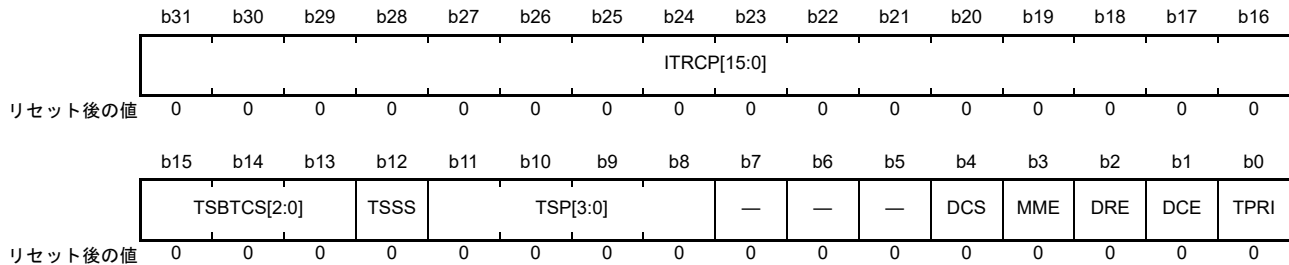
RSCAN0C1CTR レジスタの CTME ビットが“1” (通信テストモード許可) の場合、送信または受信メッセージを基に計算した CRC 値が読めます。CTME ビットが“0” (通信テストモード禁止) の場合、常に“0” が読めます。

27.2.5 グローバルコンフィグレーションレジスタ (RSCAN0GCFG)

RSCAN0GCFG レジスタは、RSCAN モジュール全体のクロックやインターバルタイマなどの設定を制御するレジスタです。

RSCAN0GCFG レジスタはグローバルリセットモードで書き換えてください。

アドレス RSCAN.RSCAN0GCFG A007 8084h



ビット	シンボル	ビット名	機能	R/W
b0	TPRI	送信優先順位選択ビット	0 : ID優先 1 : 送信バッファ番号優先	R/W
b1	DCE	DLCチェック許可ビット	0 : DLCチェック禁止 1 : DLCチェック許可	R/W
b2	DRE	DLC置換許可ビット	0 : DLC置換禁止 1 : DLC置換許可	R/W
b3	MME	ミラー機能許可ビット	0 : ミラー機能禁止 1 : ミラー機能許可	R/W
b4	DCS	CANクロック源選択ビット	0 : CANCLKA (24MHz) 1 : CANCLKB (25MHz)	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b11-b8	TSP[3:0]	タイムスタンプクロック源分周ビット	b11 b10 b9 b8 0 0 0 0 : 分周なし 0 0 0 1 : 2分周 0 0 1 0 : 4分周 0 0 1 1 : 8分周 0 1 0 0 : 16分周 0 1 0 1 : 32分周 0 1 1 0 : 64分周 0 1 1 1 : 128分周 1 0 0 0 : 256分周 1 0 0 1 : 512分周 1 0 1 0 : 1024分周 1 0 1 1 : 2048分周 1 1 0 0 : 4096分周 1 1 0 1 : 8192分周 1 1 1 0 : 16384分周 1 1 1 1 : 32768分周	R/W
b12	TSSS	タイムスタンプソース選択ビット	0 : PCLKD (75MHz)/2 (注1) 1 : ビットタイムクロック (DCSビットで選択したクロック) (注2)	R/W
b15-b13	TSBTCS[2:0]	タイムスタンプクロック源選択ビット	b15 b14 b13 0 0 0 : リセット後の値 0 0 1 : チャンネル1ビットタイムクロック 上記以外は設定禁止	R/W
b31-b16	ITRCP[15:0]	インターバルタイムプリスケアラ設定ビット	設定値をMとするとPCLKD (75MHz)をM分周します。インターバルタイマを使用する場合、“0000h”を設定しないでください。	R/W

注1. タイムスタンプのカウンタソースにPCLKD/2を設定するときは、TSBTCS[2:0]を“000b”にしてください。
 注2. タイムスタンプのカウンタソースにビットタイムクロックを設定するときは、TSBTCS[2:0]を“001b”に設定してください。

TPRI ビット (送信優先順位選択ビット)

TPRI ビットにより、送信優先順位を設定します。

“0”の場合、ID 優先となり送信優先順位は CAN バス アービトレーションルール (ISO11898-1 仕様) に準拠します。“1”の場合、送信バッファ番号優先となり送信に設定された一番小さい番号の送信バッファが優先されます。

送信キューを使用している場合は、“0”に設定してください。

DCE ビット (DLC チェック許可ビット)

“1”にすると、DLC チェック機能が使用できます。RSCAN0GAFLP0j レジスタの GAFLDLC[3:0] ビットを “0000b” にしてから、RSCAN0GCFG レジスタの DCE ビットを “0” にしてください。

DRE ビット (DLC 置換許可ビット)

DRE ビットを “1” にすると、DLC フィルタを通過した場合、受信メッセージの DLC 値の代わりに、受信ルールの DLC 値がバッファに格納されます。この場合、受信ルールの DLC 値を超えるデータバイトには “00h” が格納されます。

DCE ビットが “1” (DLC チェック許可) のときに、DLC 置換機能を使用できます。

MME ビット (ミラー機能許可ビット)

“1”にすると、ミラー機能が使用できます。

DCS ビット (CAN クロック源選択ビット)

“0”のとき、CANCLKA (24MHz) が CAN クロック (fCAN) のクロック源になります。

“1”のとき、CANCLKB (25MHz) が CAN クロック (fCAN) のクロック源になります。

TSP[3:0] ビット (タイムスタンプクロック源分周ビット)

TSBTCS[2:0] ビット、TSSS ビットで選択したクロック源を TSP[3:0] ビットで分周したクロックがタイムスタンプカウンタのカウントソースになります。

TSSS ビット (タイムスタンプソース選択ビット)

タイムスタンプカウンタのクロック源を選択します。

TSBTCS[2:0] ビット (タイムスタンプクロック源選択ビット)

TSSS ビットが “1” のとき、タイムスタンプカウンタのクロック源となるビットタイムクロックのチャンネルの選択ができます。

ITRCP[15:0] ビット (インターバルタイムプリスケアラ設定ビット)

FIFO 用インターバルタイムのクロック源の分周値を設定します。詳細は「27.6.3.1 インターバル送信機能」を参照してください。

27.2.6 グローバル制御レジスタ (RSCAN0GCTR)

RSCAN0GCTR レジスタは、RSCAN モジュール全体の動作モードやグローバル割り込みの制御をするレジスタです。

アドレス RSCAN.RSCAN0GCTR A007 8088h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	THLEIE	MEIE	DEIE	—	—	—	—	—	GSLPR	GMDC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	GMDC[1:0]	グローバルモード選択ビット	b1 b0 0 0: グローバル動作モード 0 1: グローバルリセットモード 1 0: グローバルテストモード 上記以外は設定禁止	R/W
b2	GSLPR	グローバルストップモードビット	0: グローバルストップモードではない 1: グローバルストップモード	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b8	DEIE	DLCエラー割り込み許可ビット	0: DLCエラー割り込み禁止 1: DLCエラー割り込み許可	R/W
b9	MEIE	FIFOメッセージロスト割り込み許可ビット	0: FIFOメッセージロスト割り込み禁止 1: FIFOメッセージロスト割り込み許可	R/W
b10	THLEIE	送信履歴バッファオーバーフロー割り込み許可ビット	0: 送信履歴バッファオーバーフロー割り込み禁止 1: 送信履歴バッファオーバーフロー割り込み許可	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b16	TSRST	タイムスタンプカウンタリセットビット	TSRSTビットを“1”にすると、タイムスタンプカウンタをリセットします。読むと“0”が読み出されます。	R/W
b31-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

GMDC[1:0] ビット (グローバルモード選択ビット)

RSCAN モジュール全体のモード (グローバル動作モード、グローバルリセットモード、グローバルテストモード) を選択するビットです。詳細は、「27.4.1 グローバルモード」を参照してください。グローバルストップモードへは、グローバルリセットモード時に GSLPR ビットを“1”にすることで遷移します。

GSLPR ビット (グローバルストップモードビット)

“1”にすると、グローバルストップモードになります。

“0”にすると、グローバルストップモードは解除されます。

このビットは、グローバル動作モードまたはグローバルテストモードでは書き換えしないでください。

DEIE ビット (DLC エラー割り込み許可ビット)

DEIE ビットを“1”に設定し、RSCAN0GERFL レジスタの DEF フラグが“1”になった場合、CAN グローバルエラー割り込み要求 (DLC エラー割り込み) が発生します。このビットはグローバルリセットモードで書き換えてください。

MEIE ビット (FIFO メッセージロスト割り込み許可ビット)

MEIE ビットを“1”に設定し、RSCAN0GERFL レジスタの MES フラグが“1”になった場合、CAN グローバルエラー割り込み要求 (FIFO メッセージロスト割り込み) が発生します。このビットはグローバルリセットモードで書き換えてください。

THLEIE ビット (送信履歴バッファオーバーフロー割り込み許可ビット)

THLEIE ビットを“1”に設定し、RSCAN0GERFL レジスタの THLES フラグが“1”になった場合、CAN グローバルエラー割り込み要求 (送信履歴バッファオーバーフロー割り込み) が発生します。このビットはグローバルリセットモードで書き換えてください。

TSRST ビット (タイムスタンプカウンタリセットビット)

タイムスタンプカウンタをリセットするために使用します。“1”にすると RSCAN0GTSC レジスタが“0000h”になります。

27.2.7 グローバルステータスレジスタ (RSCAN0GSTS)

RSCAN0GSTS レジスタは、RSCAN モジュール全体の動作状態を示すステータスレジスタです。

アドレス RSCAN.RSCAN0GSTS A007 808Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	GRAMI NIT	GSLPS TS	GHLTS TS	GRSTS TS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	GRSTSTS	グローバルリセットステータスフラグ	0: グローバルリセットモードではない 1: グローバルリセットモード	R
b1	GHLTSTS	グローバルテストステータスフラグ	0: グローバルテストモードではない 1: グローバルテストモード	R
b2	GSLPSTS	グローバルストップステータスフラグ	0: グローバルストップモードではない 1: グローバルストップモード	R
b3	GRAMINIT	CAN用RAMクリアステータスフラグ	0: CAN用RAMクリア完了 1: CAN用RAMクリア中	R
b31-b4	—	予約ビット	読むと“0”が読めます。	R

GRSTSTS フラグ (グローバルリセットステータスフラグ)

グローバルリセットモードに遷移すると“1”になります。

グローバルリセットモード以外のモードに遷移すると“0”になります。グローバルリセットモードからグローバルストップモードに遷移しても、“1”のままです。

GHLTSTS フラグ (グローバルテストステータスフラグ)

グローバルテストモードに遷移すると、“1”になります。グローバルテストモード以外のモードに遷移すると“0”になります。

GSLPSTS フラグ (グローバルストップステータスフラグ)

グローバルストップモードに遷移すると、“1”になります。グローバルストップモードから復帰すると“0”になります。

GRAMINIT フラグ (CAN用RAMクリアステータスフラグ)

CAN用RAMのクリア状態を示します。

MCUのリセット後、“1”になります。CAN用RAMクリアが完了すると“0”になります。

27.2.8 グローバルエラーフラグレジスタ (RSCAN0GERFL)

RSCAN0GERFL レジスタは、RSCAN モジュール全体のエラー状態を示すステータスレジスタです。RSCAN0GERFL レジスタのフラグは、グローバルリセットモード時、“0”になります。

アドレス RSCAN.RSCAN0GERFL A007 8090h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	THLES	MES	DEF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DEF	DLCエラーフラグ	0 : DLCエラーなし 1 : DLCエラー	R/W (注1)
b1	MES	FIFOメッセージロストステータスフラグ	0 : FIFOメッセージロストエラーなし 1 : FIFOメッセージロストエラー	R
b2	THLES	送信履歴バッファオーバーフローステータスフラグ	0 : 送信履歴バッファオーバーフローなし 1 : 送信履歴バッファオーバーフロー	R
b31-b3	—	予約ビット	読むと“0”が読めます。	R

注1. このフラグビットへの書き込みは、“0”書き込み（ステータスクリア）のみ可能です。“1”を書き込んだ場合、書き込み前のステータスを保持し値は変化しません。

DEF フラグ (DLC エラーフラグ)

DLC チェックでエラーが検出されると、“1”になります。“0”を書き込むことでクリア可能です。

MES フラグ (FIFO メッセージロストステータスフラグ)

RSCAN0RFSTStx レジスタ (x=0~7) の RFMLT フラグまたは RSCAN0CFSTSk レジスタ (k=3~5) の CFMLT フラグのいずれか1つでも“1”になると、MES フラグは“1”になります。

すべての RFMLT フラグおよび CFMLT フラグを“0”にすると、MES フラグは“0”になります。

THLES フラグ (送信履歴バッファオーバーフローステータスフラグ)

RSCAN0THLSTSt1 レジスタの THLELT フラグが“1”になると、THLES フラグは“1”になります。

THLELT フラグを“0”にすると、THLES フラグは“0”になります。

27.2.9 グローバル TX 割り込みステータスレジスタ 0 (RSCAN0GTINTSTS0)

RSCAN0GTINTSTS0 レジスタは、RSCAN のチャンネル 1 (CAN1) 送信割り込み状態を示すステータスレジスタです。

アドレス RSCAN.RSCAN0GTINTSTS0 A007 8460h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	THIF1	CFTIF1	TQIF1	TAIF1	TSIF1	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。	R
b8	TSIF1	チャンネル1送信バッファ割り込みステータスフラグ	0: 送信バッファ送信完了割り込み要求なし 1: 送信バッファ送信完了割り込み要求あり	R (注1)
b9	TAIF1	チャンネル1送信バッファ送信アボート割り込みステータスフラグ	0: 送信バッファ送信アボート割り込み要求なし 1: 送信バッファ送信アボート割り込み要求あり	R (注1)
b10	TQIF1	チャンネル1送信キュー割り込みステータスフラグ	0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり	R (注1)
b11	CFTIF1	チャンネル1送受信FIFO送信割り込みステータスフラグ	0: 送受信FIFO送信割り込み要求なし 1: 送受信FIFO送信割り込み要求あり	R (注1)
b12	THIF1	チャンネル1送信履歴割り込みステータスフラグ	0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり	R (注1)
b31-b13	—	予約ビット	読むと“0”が読めます。	R

注1. 本ビットはグローバルリセットモードまたはチャンネルリセットモードで自動的にクリアされます。

TSIF1 ビット (チャンネル 1 送信バッファ割り込みステータスフラグ)

RSCAN0TMIEC0 レジスタの TMIE ビットが“1” (送信バッファ割り込みが許可)、かつ対応する RSCAN0TMSTSp (p = 16 ~ 31) レジスタの TMTRF[1:0] フラグが“10b” (送信完了、アボート要求なし)、または“11b” (送信完了、アボート要求あり) になると、TSIF1 ビットは“1”になります。

TSIF1 が“1”になる条件が成立している TMTRF[1:0] フラグをすべて“00b”にすると、このフラグは“0”になります。また TMIE ビットを“0”にすることも、このフラグは“0”になります。

TAIF1 ビット (チャンネル 1 送信バッファ送信アボート割り込みステータスフラグ)

RSCAN0C1CTR レジスタの TAIE ビットが“1” (送信アボート割り込み許可)、かつ RSCAN0TMSTSp (p = 16 ~ 31) レジスタの TMTRF[1:0] フラグが“01b” (送信アボート完了) になると、TAIF1 ビットは“1”になります。

送信アボートを完了した TMTRF[1:0] フラグをすべて“00b”にすると、このフラグは“0”になります。

TQIF1 ビット (チャンネル 1 送信キュー割り込みステータスフラグ)

RSCAN0TXQCC1 レジスタの TXQIE ビットが“1” (送信キュー割り込み許可)、かつ RSCAN0TXQSTS1 レジスタの TXQIF が“1” (送信キュー割り込み要求あり) になると TQIF1 ビットは“1”になります。

RSCAN0TXQSTS1 レジスタの TXQIF ビット (送信キュー割り込み要求) を“0”にすると、このビットは“0”になります。TXQIE ビットを“0”にすることも、このフラグは“0”になります。

CFTIF1 ビット (チャンネル 1 送受信 FIFO 送信割り込みステータスフラグ)

RSCAN0CFCCk (k=3 ~ 5) レジスタの CFTXIE ビットが“1” (送受信 FIFO 送信割り込み許可)、かつ RSCAN0CFSTSk レジスタの CFTXIF ビットが“1” (送受信 FIFO 送信割り込み要求あり) になると CFTIF1 ビットは“1”になります。

CFTIF1 が“1”になる条件が成立している CFTXIF ビットをすべて“0”にすると、このビットは“0”になります。CFTXIE ビットを“0”にすることでも、このフラグは“0”になります。

THIF1 ビット (チャンネル 1 送信履歴割り込みステータスフラグ)

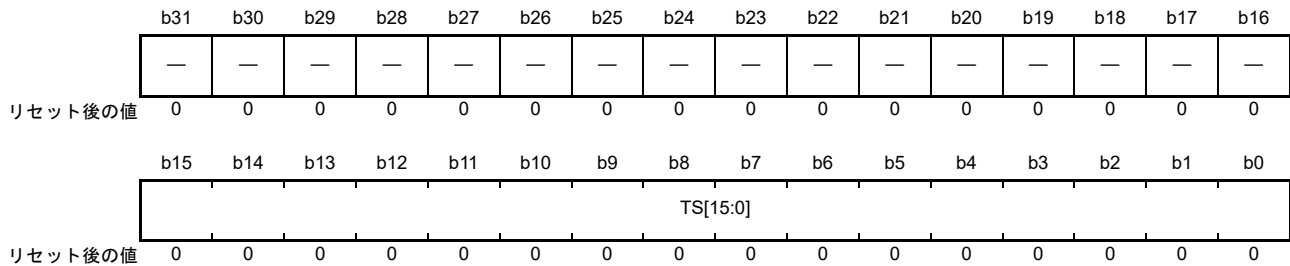
RSCAN0THLCC1 レジスタの THLIE ビットが“1” (送信履歴割り込み許可)、かつ RSCAN0THLSTS1 レジスタの THLIF ビットが“1” (送信履歴割り込み要求あり) になると、THIF1 ビットは“1”になります。

RSCAN0THLSTS1 レジスタの THLIF ビットを“0”にすると、このビットは“0”になります。THLIE ビットを“0”にすることでも、このフラグは“0”になります。

27.2.10 グローバルタイムスタンプカウンタレジスタ (RSCAN0GTSC)

RSCAN0GTSC レジスタは、タイムスタンプカウンタの値を示す 32 ビットカウンタです。

アドレス RSCAN.RSCAN0GTSC A007 8094h



ビット	シンボル	ビット名	機能	R/W
b15-b0	TS[15:0]	タイムスタンプ値ビット	タイムスタンプ用カウンタの値が読めます。 カウンタ値 : 0000h ~ FFFFh	R
b31-b16	—	予約ビット	読むと“0”が読めます。	R

TS[15:0] ビット (タイムスタンプ値ビット)

TS[15:0] ビットを読むと、その時点のタイムスタンプカウンタ (16 ビットフリーランカウンタ) の値が読めます。SOF を検出したとき、TS[15:0] ビットの値がキャプチャされ、その後、受信バッファまたは FIFO バッファに格納されます。タイムスタンプカウンタは、グローバルリセットモードで初期化されます。

タイムスタンプカウンタの開始、停止タイミングは、カウントソースに依存します。

- RSCAN0GCFG レジスタの TSSS ビットが“0” (PCLKD/2) の場合 :
グローバル動作モードへ遷移したときに、カウント開始。
グローバルストップモードまたはグローバルテストモードで、カウント停止。
- TSSS ビットが“1” (CAN1 ビットタイムクロック) の場合 :
チャンネル 1 (CAN1) がチャンネル通信モードへ遷移したときに、カウント開始。
チャンネル 1 (CAN1) がチャンネルリセットモードまたはチャンネル待機モードで、カウント停止。

27.2.11 受信ルールエントリ制御レジスタ (RSCAN0GAFLECTR)

RSCAN0GAFLECTR レジスタは、受信ルールテーブルを制御するレジスタです。

アドレス RSCAN.RSCAN0GAFLECTR A007 8098h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	AFLDAE	—	—	—	AFLPN[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	AFLPN[4:0]	受信ルールテーブルページ番号設定ビット	ページ0 (0000b) からページ3 (00011b) の範囲で選択	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b8	AFLDAE	受信ルールテーブル書き込み許可ビット	0: 受信ルールテーブル書き込み禁止 1: 受信ルールテーブル書き込み許可	R/W
b31-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

AFLPN[4:0] ビット (受信ルールテーブルページ番号設定ビット)

受信ルールテーブルのページ番号を設定します。1 ページにつき、16 個の受信ルールを設定できます。“0000b” ~ “00011b” 以外の値を設定しないでください。

AFLDAE ビット (受信ルールテーブル書き込み許可ビット)

“0”にすると、受信ルールテーブルへの書き込みを禁止します。受信ルールテーブルへの書き込みが完了した後、“0”にして、受信ルールテーブルへの書き込みを禁止してください。“0”にしても、受信ルールテーブルの読み出しは可能です。

AFLDAE ビットはグローバルリセットモードでのみ“1”にしてください。

27.2.12 受信ルールコンフィグレーションレジスタ 0 (RSCAN0GAFLCFG0)

RSCAN0GAFLCFG0 レジスタは、受信ルール設定を制御するレジスタです。

RSCAN0GAFLCFG0 レジスタはグローバルリセットモードで書き換えてください。

受信ルールテーブルに登録できるルール数は、ユニット全体で 64 です。受信ルール数は、次の条件を満たしてください。

- ルール数は 64 以下である。

アドレス RSCAN.RSCAN0GAFLCFG0 A007 809Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	RNC1[7:0]							—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b15-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b23-b16	RNC1[7:0]	チャンネル1用ルール数設定ビット	チャンネル1の受信ルール数を設定してください。	R/W
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

RNC1[7:0] ビット (チャンネル1用ルール数設定ビット)

チャンネル1の受信ルールテーブルに登録するルール数を設定します。

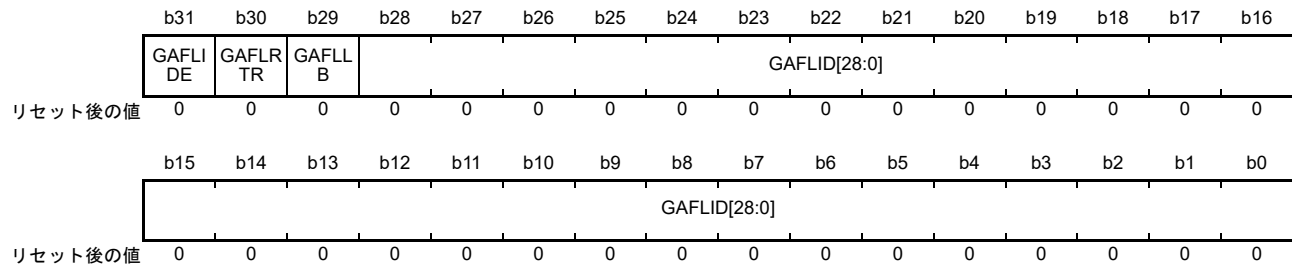
00h ~ 40h 以外の値を設定しないでください。

27.2.13 受信ルール ID レジスタ (RSCAN0GAFLIDj) (j = 0 ~ 15)

RSCAN0GAFLIDj レジスタは、受信ルールの ID、フレームフォーマットを制御するレジスタです。

RSCAN0GAFLIDj レジスタは、RSCAN0GAFLECTR レジスタの AFLDAE ビットが“1” (受信ルールテーブル書き込み許可) で、かつグローバルリセットモードで書き換えてください。

アドレス RSCAN.RSCAN0GAFLID0 A007 8500h、RSCAN.RSCAN0GAFLID1 A007 8510h、RSCAN.RSCAN0GAFLID2 A007 8520h、RSCAN.RSCAN0GAFLID3 A007 8530h、RSCAN.RSCAN0GAFLID4 A007 8540h、RSCAN.RSCAN0GAFLID5 A007 8550h、RSCAN.RSCAN0GAFLID6 A007 8560h、RSCAN.RSCAN0GAFLID7 A007 8570h、RSCAN.RSCAN0GAFLID8 A007 8580h、RSCAN.RSCAN0GAFLID9 A007 8590h、RSCAN.RSCAN0GAFLID10 A007 85A0h、RSCAN.RSCAN0GAFLID11 A007 85B0h、RSCAN.RSCAN0GAFLID12 A007 85C0h、RSCAN.RSCAN0GAFLID13 A007 85D0h、RSCAN.RSCAN0GAFLID14 A007 85E0h、RSCAN.RSCAN0GAFLID15 A007 85F0h



ビット	シンボル	ビット名	機能	R/W
b28-b0	GAFLID[28:0]	ID設定ビット	受信ルールのIDを設定してください。標準IDの場合、b10~b0にIDを設定してください。b28~b11は“0”にしてください。	R/W
b29	GAFLLB	受信ルール対象メッセージ選択ビット	0：他のCANノードが送信したメッセージを受信時 1：自らが送信したメッセージを受信時	R/W
b30	GAFLRTR	RTR選択ビット	0：データフレーム 1：リモートフレーム	R/W
b31	GAFLIDE	IDE選択ビット	0：標準ID 1：拡張ID	R/W

GAFLID[28:0] ビット (ID 設定ビット)

受信ルールの ID フィールドを設定します。アクセプタンスフィルタ処理では、ここで設定した ID と受信メッセージの ID を比較します。

GAFLLB ビット (受信ルール対象メッセージ選択ビット)

“0”にすると、他の CAN ノードが送信したメッセージを受信する場合に、受信ルールを用いたデータ処理を行います。

ミラー機能使用時に“1”にすると、自らが送信したメッセージを受信する場合に、受信ルールを用いたデータ処理を行います。

GAFLRTR ビット (RTR 選択ビット)

受信ルールのフレームフォーマット (データフレームまたはリモートフレーム) を選択します。アクセプタンスフィルタ処理では、このビットと受信メッセージの RTR ビットを比較します。

GAFLIDE ビット (IDE 選択ビット)

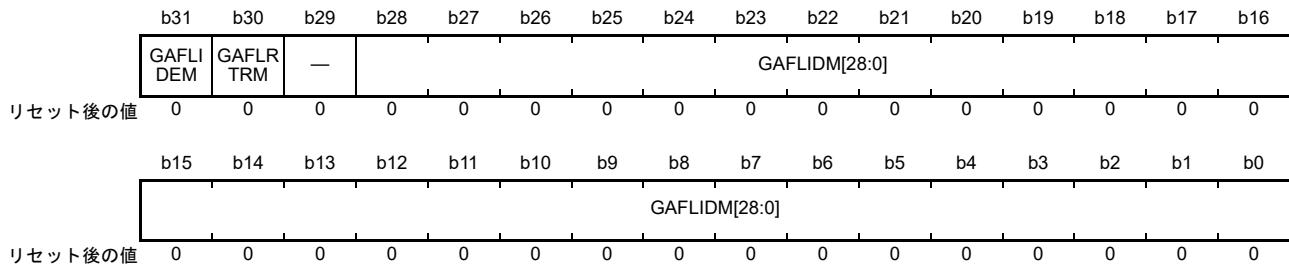
受信ルールの ID フォーマット (標準 ID または拡張 ID) を選択します。アクセプタンスフィルタ処理では、このビットと受信メッセージの IDE ビットを比較します。

27.2.14 受信ルールマスクレジスタ (RSCAN0GAFLMj) (j = 0 ~ 15)

RSCAN0GAFLMj レジスタは、受信ルールのマスク設定を制御するレジスタです。

RSCAN0GAFLMj レジスタは、RSCAN0GAFLECTR レジスタの AFLDAE ビットが“1” (受信ルールテーブル書き込み許可) で、かつグローバルリセットモードで書き換えてください。

アドレス RSCAN.RSCAN0GAFLM0 A007 8504h、RSCAN.RSCAN0GAFLM1 A007 8514h、RSCAN.RSCAN0GAFLM2 A007 8524h、RSCAN.RSCAN0GAFLM3 A007 8534h、RSCAN.RSCAN0GAFLM4 A007 8544h、RSCAN.RSCAN0GAFLM5 A007 8554h、RSCAN.RSCAN0GAFLM6 A007 8564h、RSCAN.RSCAN0GAFLM7 A007 8574h、RSCAN.RSCAN0GAFLM8 A007 8584h、RSCAN.RSCAN0GAFLM9 A007 8594h、RSCAN.RSCAN0GAFLM10 A007 85A4h、RSCAN.RSCAN0GAFLM11 A007 85B4h、RSCAN.RSCAN0GAFLM12 A007 85C4h、RSCAN.RSCAN0GAFLM13 A007 85D4h、RSCAN.RSCAN0GAFLM14 A007 85E4h、RSCAN.RSCAN0GAFLM15 A007 85F4h



ビット	シンボル	ビット名	機能	R/W
b28-b0	GAFLIDM [28:0]	IDマスクビット	0: 対応するIDビットを比較しない 1: 対応するIDビットを比較する	R/W
b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b30	GAFLRTRM	RTRマスクビット	0: RTRビットを比較しない 1: RTRビットを比較する	R/W
b31	GAFLIDEM	IDEマスクビット	0: IDEビットを比較しない 1: IDEビットを比較する	R/W

GAFLIDM[28:0] ビット (ID マスクビット)

受信ルールの対応する ID ビットをマスクするビットです。

GAFLRTRM ビット (RTR マスクビット)

受信ルールの RTR ビットをマスクするビットです。

GAFLIDEM ビット (IDE マスクビット)

“1”にすると、RSCAN0GAFLMj レジスタの GAFLIDE ビットで設定した ID フォーマットのメッセージに対してのみフィルタ処理を行います。

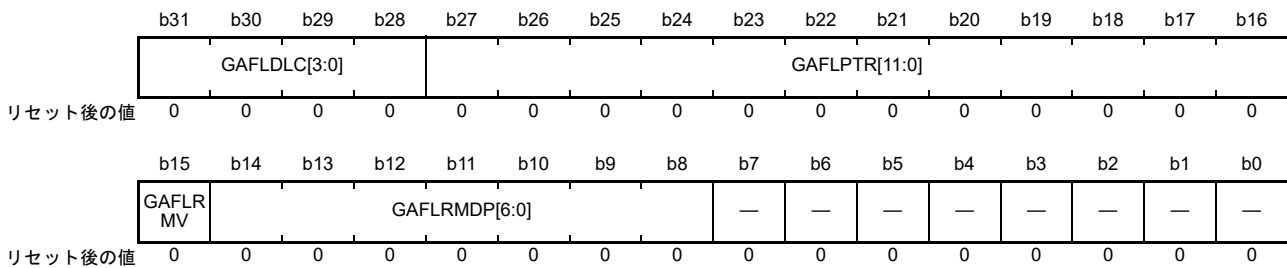
“0”にすると、すべての受信メッセージと ID が一致したとみなします。GAFLIDEM ビットを“0”にする場合は、GAFLIDM[28:0] ビットをすべて“0”にしてください。

27.2.15 受信ルールポインタ 0 レジスタ (RSCAN0GAFLP0j) (j = 0 ~ 15)

RSCAN0GAFLP0j レジスタは、受信メッセージの最小データ長やラベル、受信バッファの設定を制御するレジスタです。

RSCAN0GAFLP0j レジスタは、RSCAN0GAFLECTR レジスタの AFLDAE ビットが “1” (受信ルールテーブル書き込み許可) で、かつグローバルリセットモードで書き換えてください。

アドレス RSCAN.RSCAN0GAFLP00 A007 8508h, RSCAN.RSCAN0GAFLP01 A007 8518h, RSCAN.RSCAN0GAFLP02 A007 8528h, RSCAN.RSCAN0GAFLP03 A007 8538h, RSCAN.RSCAN0GAFLP04 A007 8548h, RSCAN.RSCAN0GAFLP05 A007 8558h, RSCAN.RSCAN0GAFLP06 A007 8568h, RSCAN.RSCAN0GAFLP07 A007 8578h, RSCAN.RSCAN0GAFLP08 A007 8588h, RSCAN.RSCAN0GAFLP09 A007 8598h, RSCAN.RSCAN0GAFLP10 A007 85A8h, RSCAN.RSCAN0GAFLP11 A007 85B8h, RSCAN.RSCAN0GAFLP12 A007 85C8h, RSCAN.RSCAN0GAFLP13 A007 85D8h, RSCAN.RSCAN0GAFLP14 A007 85E8h, RSCAN.RSCAN0GAFLP15 A007 85F8h



ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b14-b8	GAFLRMDP[6:0]	受信バッファ番号選択ビット	受信メッセージを格納する受信バッファの番号を設定	R/W
b15	GAFLRMV	受信バッファ許可ビット	0: 受信バッファを使用しない 1: 受信バッファを使用する	R/W
b27-b16	GAFLPTR[11:0]	受信ルールラベル設定ビット	12ビットのラベル情報を設定	R/W
b31-b28	GAFLDLC[3:0]	受信ルールDLC設定ビット	b31 b30 b29 b28 0 0 0 0: DLCチェックしない 0 0 0 1: 1 データバイト 0 0 1 0: 2 データバイト 0 0 1 1: 3 データバイト 0 1 0 0: 4 データバイト 0 1 0 1: 5 データバイト 0 1 1 0: 6 データバイト 0 1 1 1: 7 データバイト 1 X X X: 8 データバイト	R/W

GAFLRMDP[6:0] ビット (受信バッファ番号選択ビット)

GAFLRMV ビットを “1” にした場合に、フィルタを通過した受信メッセージを格納する受信バッファの番号を選択します。このビットに設定する値 (番号) は以下を満たすようにしてください。

$$16 \leq \text{GAFLRMDP}[6:0] < (16 + (\text{RSCAN0ORMNB レジスタの NRXMB}[7:0] \text{ ビットの設定値}))$$

GAFLRMV ビット (受信バッファ許可ビット)

“1” にすると、GAFLRMDP[6:0] ビットで選択した受信バッファに、フィルタを通過した受信メッセージを格納します。

GAFLPTR[11:0] ビット (受信ルールラベル設定ビット)

フィルタを通過したメッセージに添付する 12 ビットのラベルを設定します。ラベルはメッセージを受信バッファや FIFO バッファに格納する際に添付されます。

GAFLDLC[3:0] ビット (受信ルール DLC 設定ビット)

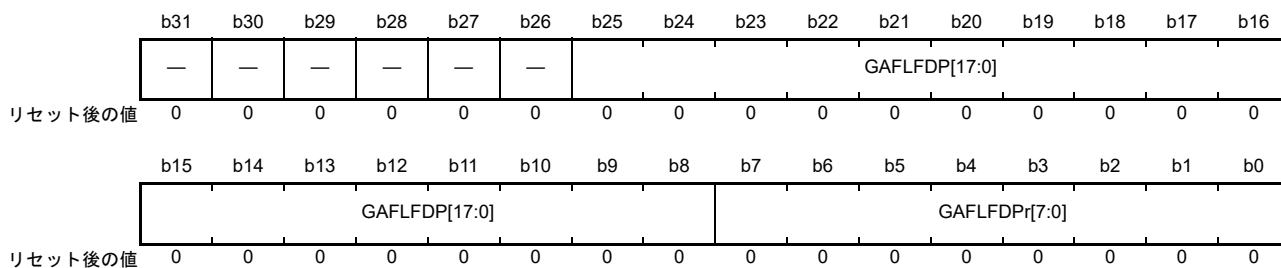
メッセージを受信するために必要な最小のデータ長を設定します。フィルタ処理中のメッセージのデータ長が GAFLDLC[3:0] ビットで設定した値以上の場合、DLC チェックを通過します。“0000b”を設定すると、DLC チェック機能は無効になり、すべてのデータ長のメッセージが通過します。

27.2.16 受信ルールポインタ 1 レジスタ (RSCAN0GAFLP1j) (j = 0 ~ 15)

RSCAN0GAFLP1j レジスタは、フィルタを通過した受信メッセージを格納する FIFO バッファの設定を制御するレジスタです。

RSCAN0GAFLP1j レジスタは、RSCAN0GAFLECTR レジスタの AFLDAE ビットが “1” (受信ルールテーブル書き込み許可) で、かつグローバルリセットモードで書き換えてください。

アドレス RSCAN.RSCAN0GAFLP10 A007 850Ch、RSCAN.RSCAN0GAFLP11 A007 851Ch、RSCAN.RSCAN0GAFLP12 A007 852Ch、RSCAN.RSCAN0GAFLP13 A007 853Ch、RSCAN.RSCAN0GAFLP14 A007 854Ch、RSCAN.RSCAN0GAFLP15 A007 855Ch、RSCAN.RSCAN0GAFLP16 A007 856Ch、RSCAN.RSCAN0GAFLP17 A007 857Ch、RSCAN.RSCAN0GAFLP18 A007 858Ch、RSCAN.RSCAN0GAFLP19 A007 859Ch、RSCAN.RSCAN0GAFLP110 A007 85ACh、RSCAN.RSCAN0GAFLP111 A007 85BCh、RSCAN.RSCAN0GAFLP112 A007 85CCh、RSCAN.RSCAN0GAFLP113 A007 85DCh、RSCAN.RSCAN0GAFLP114 A007 85ECh、RSCAN.RSCAN0GAFLP115 A007 85FCh



ビット	シンボル	ビット名	機能	R/W
b7-b0	GAFLFDPPr [7:0]	受信 FIFO バッファ x 選択ビット	(ビット位置が対象となる受信 FIFO バッファ番号 x になります) 0: 受信 FIFO バッファを選択しない 1: 受信 FIFO バッファを選択する	R/W
b25-b8	GAFLFDP [17:0]	送受信 FIFO バッファ k 選択ビット	(ビット位置-8が対象となる送受信 FIFO バッファ番号 k になります) 0: 送受信 FIFO バッファを選択しない 1: 送受信 FIFO バッファを選択する	R/W
b31-b26	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください。	R/W

GAFLFDP[17:0]、GAFLFDPPr[7:0] ビット

フィルタを通過した受信メッセージを格納する FIFO バッファを指定します。最大 8 つの FIFO バッファが選択できます。ただし、RSCAN0GAFLP0j (j = 0 ~ 15) レジスタの GAFLRMV ビットを “1” (受信バッファにメッセージを格納する) にした場合は、最大 7 つの FIFO バッファが選択できます。受信 FIFO バッファと、RSCAN0CFCCk (k = 3 ~ 5) レジスタの CFM[1:0] ビットを “00b” (受信モード) または “10b” (ゲートウェイモード) に設定した送受信 FIFO バッファのみ選択できます。

27.2.17 受信バッファナンバレジスタ (RSCAN0RMNB)

RSCAN0RMNB レジスタは、RSCAN モジュール全体の受信バッファ数を制御するレジスタです。
RSCAN0RMNB レジスタはグローバルリセットモードで書き換えてください。

アドレス RSCAN.RSCAN0RMNB A007 80A4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16		
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0		
	—	—	—	—	—	—	—	—	NRXMB[7:0]								—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		

ビット	シンボル	ビット名	機能	R/W
b7-b0	NRXMB[7:0]	受信バッファ数設定ビット	受信バッファ数を設定する。 0~16の範囲で設定してください。	R/W
b31-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

NRXMB[7:0] ビット (受信バッファ数設定ビット)

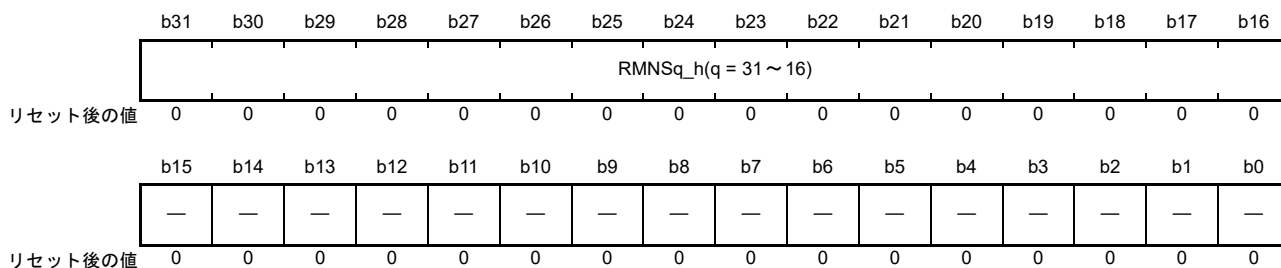
RSCAN モジュール全体の受信バッファ数を設定します。最大値は16です。
“0”を設定すると、受信バッファは使用できません。

27.2.18 受信バッファ新データレジスタ 0 (RSCAN0RMND0)

RSCAN0RMND0 レジスタは、受信バッファの受信完了状態を示すステータスレジスタです。

RSCAN0RMND0 レジスタは、グローバル動作モードまたはグローバルテストモードで“0”を書いてください。

アドレス RSCAN.RSCAN0RMND0 A007 80A8h



ビット	シンボル	ビット名	機能	R/W
b15-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b31-b16	RMNSq_h	受信バッファ受信完了フラグ q_h (q = 31 ~ 16)	0 : 受信バッファ q に新しいメッセージなし 1 : 受信バッファ q に新しいメッセージあり	R/W

RMNSq_h フラグ (q = 16 ~ 31)

対応する受信バッファにメッセージを格納する処理が始まると“1”になります。

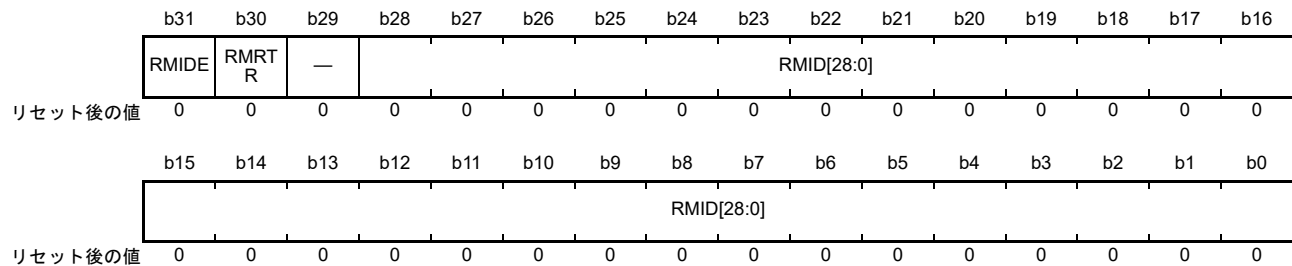
フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。メッセージ格納中は“0”にできません。メッセージを格納する時間はPCLKDの10クロック分です。

グローバルリセットモード時、“0”になります。

27.2.19 受信バッファ ID レジスタ (RSCAN0RMIDq) (q = 16 ~ 31)

RSCAN0RMIDq レジスタは、受信バッファに格納されたメッセージの ID、フレームフォーマットの状態を示すステータスレジスタです (q = 16 ~ 31)。

アドレス RSCAN.RSCAN0RMID16 A007 8700h、RSCAN.RSCAN0RMID17 A007 8710h、RSCAN.RSCAN0RMID18 A007 8720h、RSCAN.RSCAN0RMID19 A007 8730h、RSCAN.RSCAN0RMID20 A007 8740h、RSCAN.RSCAN0RMID21 A007 8750h、RSCAN.RSCAN0RMID22 A007 8760h、RSCAN.RSCAN0RMID23 A007 8770h、RSCAN.RSCAN0RMID24 A007 8780h、RSCAN.RSCAN0RMID25 A007 8790h、RSCAN.RSCAN0RMID26 A007 87A0h、RSCAN.RSCAN0RMID27 A007 87B0h、RSCAN.RSCAN0RMID28 A007 87C0h、RSCAN.RSCAN0RMID29 A007 87D0h、RSCAN.RSCAN0RMID30 A007 87E0h、RSCAN.RSCAN0RMID31 A007 87F0h



ビット	シンボル	ビット名	機能	R/W
b28-b0	RMID[28:0]	受信バッファ ID データビット	受信メッセージの標準 ID / 拡張 ID が読めます。標準 ID の場合は、b10 ~ b0 を読んでください。b28 ~ b11 は "0" が読めます。	R
b29	—	予約ビット	読むと "0" が読めます。	R
b30	RMRT R	受信バッファ RTR ビット	0 : データフレーム 1 : リモートフレーム	R
b31	RMIDE	受信バッファ IDE ビット	0 : 標準 ID 1 : 拡張 ID	R

RMID[28:0] ビット (受信バッファ ID データビット)

受信バッファに格納されたメッセージの ID を示します。

RMRT R ビット (受信バッファ RTR ビット)

受信バッファに格納されたメッセージのフレームフォーマット (データフレームまたはリモートフレーム) を示します。

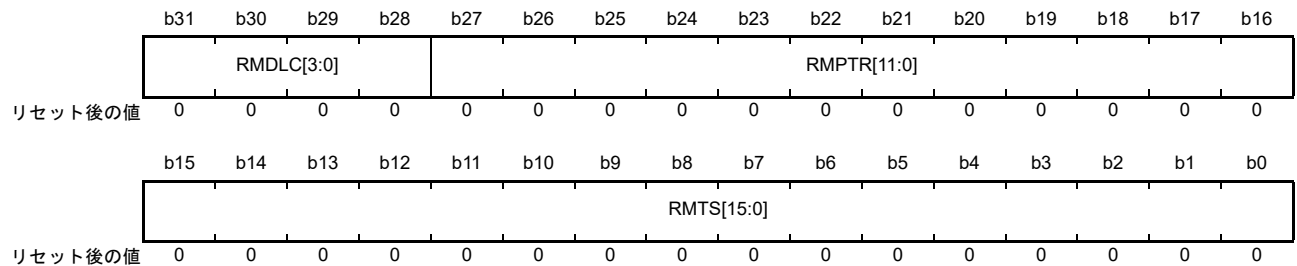
RMIDE ビット (受信バッファ IDE ビット)

受信バッファに格納されたメッセージの ID フォーマット (標準 ID または拡張 ID) を示します。

27.2.20 受信バッファポインタレジスタ (RSCAN0RMPTRq) (q = 16 ~ 31)

RSCAN0RMPTRq レジスタは、受信バッファに格納されたメッセージのデータ長、ラベル情報、タイムスタンプ値を示すステータスレジスタです (q = 16 ~ 31)。

アドレス RSCAN.RSCAN0RMPTR16 A007 8704h、RSCAN.RSCAN0RMPTR17 A007 8714h、RSCAN.RSCAN0RMPTR18 A007 8724h、
 RSCAN.RSCAN0RMPTR19 A007 8734h、RSCAN.RSCAN0RMPTR20 A007 8744h、RSCAN.RSCAN0RMPTR21 A007 8754h、
 RSCAN.RSCAN0RMPTR22 A007 8764h、RSCAN.RSCAN0RMPTR23 A007 8774h、RSCAN.RSCAN0RMPTR24 A007 8784h、
 RSCAN.RSCAN0RMPTR25 A007 8794h、RSCAN.RSCAN0RMPTR26 A007 87A4h、RSCAN.RSCAN0RMPTR27 A007 87B4h、
 RSCAN.RSCAN0RMPTR28 A007 87C4h、RSCAN.RSCAN0RMPTR29 A007 87D4h、RSCAN.RSCAN0RMPTR30 A007 87E4h、
 RSCAN.RSCAN0RMPTR31 A007 87F4h



ビット	シンボル	ビット名	機能	R/W
b15-b0	RMTS[15:0]	受信バッファタイムスタンプデータビット	受信メッセージのタイムスタンプ値が読めます。	R
b27-b16	RMPTR[11:0]	受信バッファラベルデータビット	受信メッセージのラベル情報が読めます。	R
b31-b28	RMDLC[3:0]	受信バッファ DLC データビット	b31 b30 b29 b28 0 0 0 0 : データバイトなし 0 0 0 1 : 1データバイト 0 0 1 0 : 2データバイト 0 0 1 1 : 3データバイト 0 1 0 0 : 4データバイト 0 1 0 1 : 5データバイト 0 1 1 0 : 6データバイト 0 1 1 1 : 7データバイト 1 x x x : 8データバイト	R

RMTS[15:0] ビット (受信バッファタイムスタンプデータビット)

受信バッファに格納されたメッセージのタイムスタンプ値を示します。

RMPTR[11:0] ビット (受信バッファラベルデータビット)

受信バッファに格納されたメッセージのラベル情報を示します。

RMDLC[3:0] ビット (受信バッファ DLC データビット)

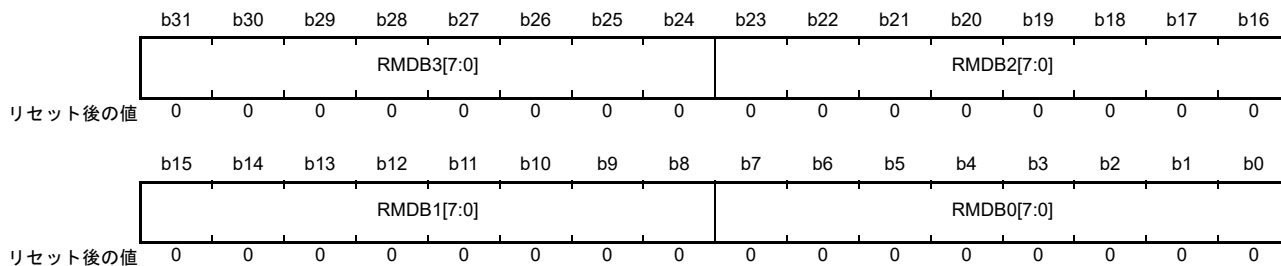
受信バッファに格納されたメッセージのデータ長を示します。

27.2.21 受信バッファデータフィールド 0 レジスタ (RSCAN0RMDF0q) (q = 16 ~ 31)

RSCAN0RMDF0q レジスタは、受信バッファのデータを格納するデータレジスタです (q = 16 ~ 31)。

RSCAN0RMPTRq レジスタの RMDLC[3:0] ビットの値が “1000b” 未満の場合、データが設定されていないデータバイトは、“00h” が読めます。

アドレス RSCAN.RSCAN0RMDF016 A007 8708h, RSCAN.RSCAN0RMDF017 A007 8718h, RSCAN.RSCAN0RMDF018 A007 8728h, RSCAN.RSCAN0RMDF019 A007 8738h, RSCAN.RSCAN0RMDF020 A007 8748h, RSCAN.RSCAN0RMDF021 A007 8758h, RSCAN.RSCAN0RMDF022 A007 8768h, RSCAN.RSCAN0RMDF023 A007 8778h, RSCAN.RSCAN0RMDF024 A007 8788h, RSCAN.RSCAN0RMDF025 A007 8798h, RSCAN.RSCAN0RMDF026 A007 87A8h, RSCAN.RSCAN0RMDF027 A007 87B8h, RSCAN.RSCAN0RMDF028 A007 87C8h, RSCAN.RSCAN0RMDF029 A007 87D8h, RSCAN.RSCAN0RMDF030 A007 87E8h, RSCAN.RSCAN0RMDF031 A007 87F8h



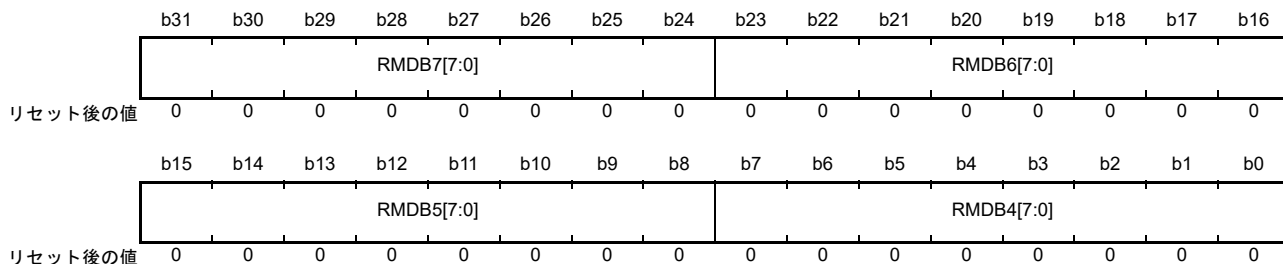
ビット	シンボル	ビット名	機能	R/W
b7-b0	RMDB0[7:0]	受信バッファデータバイト 0	受信バッファに格納されたメッセージのデータが読めます。	R
b15-b8	RMDB1[7:0]	受信バッファデータバイト 1		R
b23-b16	RMDB2[7:0]	受信バッファデータバイト 2		R
b31-b24	RMDB3[7:0]	受信バッファデータバイト 3		R

27.2.22 受信バッファデータフィールド 1 レジスタ (RSCAN0RMDf1q) (q = 16 ~ 31)

RSCAN0RMDf1q レジスタは受信バッファのデータを格納するデータレジスタです (q = 16 ~ 31)。

RSCAN0RMPTRq レジスタの RMDLC[3:0] ビットの値が “1000b” 未満の場合、データが設定されていないデータバイトは、“00h” が読めます。

アドレス RSCAN.RSCAN0RMDf116 A007 870Ch、RSCAN.RSCAN0RMDf117 A007 871Ch、RSCAN.RSCAN0RMDf118 A007 872Ch、RSCAN.RSCAN0RMDf119 A007 873Ch、RSCAN.RSCAN0RMDf120 A007 874Ch、RSCAN.RSCAN0RMDf121 A007 875Ch、RSCAN.RSCAN0RMDf122 A007 876Ch、RSCAN.RSCAN0RMDf123 A007 877Ch、RSCAN.RSCAN0RMDf124 A007 878Ch、RSCAN.RSCAN0RMDf125 A007 879Ch、RSCAN.RSCAN0RMDf126 A007 87ACh、RSCAN.RSCAN0RMDf127 A007 87BCh、RSCAN.RSCAN0RMDf128 A007 87CCh、RSCAN.RSCAN0RMDf129 A007 87DCh、RSCAN.RSCAN0RMDf130 A007 87ECh、RSCAN.RSCAN0RMDf131 A007 87FCh



ビット	シンボル	ビット名	機能	R/W
b7-b0	RMDB4[7:0]	受信バッファデータバイト4	受信バッファに格納されたメッセージのデータが読めます。	R
b15-b8	RMDB5[7:0]	受信バッファデータバイト5		R
b23-b16	RMDB6[7:0]	受信バッファデータバイト6		R
b31-b24	RMDB7[7:0]	受信バッファデータバイト7		R

27.2.23 受信 FIFO バッファコンフィグレーション/制御レジスタ (RSCAN0RFCCx) (x = 0 ~ 7)

RSCAN0RFCCx レジスタは、受信 FIFO バッファ割り込みや受信 FIFO バッファ段数を制御するレジスタです。

アドレス RSCAN.RSCAN0RFCC0 A007 80B8h、RSCAN.RSCAN0RFCC1 A007 80BCh、RSCAN.RSCAN0RFCC2 A007 80C0h、RSCAN.RSCAN0RFCC3 A007 80C4h、RSCAN.RSCAN0RFCC4 A007 80C8h、RSCAN.RSCAN0RFCC5 A007 80CCh、RSCAN.RSCAN0RFCC6 A007 80D0h、RSCAN.RSCAN0RFCC7 A007 80D4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RFIGCV[2:0]			RFIM	—	RFDC[2:0]			—	—	—	—	—	—	RFIE	RFE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFE	受信 FIFO バッファ許可ビット	0 : 受信 FIFO バッファを使用しない 1 : 受信 FIFO バッファを使用する	R/W
b1	RFIE	受信 FIFO 割り込み許可ビット	0 : 受信 FIFO 割り込み禁止 1 : 受信 FIFO 割り込み許可	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b10-b8	RFDC[2:0]	受信 FIFO バッファ段数設定ビット	b10 b9 b8 0 0 0 : 0メッセージ 0 0 1 : 4メッセージ 0 1 0 : 8メッセージ 0 1 1 : 16メッセージ 1 0 0 : 32メッセージ 1 0 1 : 48メッセージ 1 1 0 : 64メッセージ 1 1 1 : 設定禁止	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b12	RFIM	受信 FIFO 割り込み要因選択ビット	0 : RFIGCV[2:0] ビットで設定した条件に達したときに発生 1 : 1メッセージ受信完了ごとに発生	R/W
b15-b13	RFIGCV[2:0]	受信 FIFO 割り込み要求発生タイミング選択ビット	b15 b14 b13 0 0 0 : FIFO バッファに 1/8 までメッセージ格納時 0 0 1 : FIFO バッファに 2/8 までメッセージ格納時 0 1 0 : FIFO バッファに 3/8 までメッセージ格納時 0 1 1 : FIFO バッファに 4/8 までメッセージ格納時 1 0 0 : FIFO バッファに 5/8 までメッセージ格納時 1 0 1 : FIFO バッファに 6/8 までメッセージ格納時 1 1 0 : FIFO バッファに 7/8 までメッセージ格納時 1 1 1 : FIFO バッファがフルのとき	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

RFE ビット (受信 FIFO バッファ許可ビット)

“1”にすると、受信 FIFO バッファが使用できます。“0”にすると、RSCAN0RFSTsx レジスタの RFEMP フラグが“1” (バッファ空) になります。このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

RFIE ビット (受信 FIFO 割り込み許可ビット)

“1”にすると、受信 FIFO 割り込みが使用できます。RFE ビットが“0” (受信 FIFO バッファを使用しない) のときに、RFIE ビットを書き換えてください。

RFDC[2:0] ビット (受信 FIFO バッファ段数設定ビット)

1つの受信 FIFO バッファに格納できるメッセージの数を選択します。“000b”に設定した場合は、受信 FIFO バッファを使用しないでください。このビットはグローバルリセットモードでのみ書き換えてください。

RFIM ビット (受信 FIFO 割り込み要因選択ビット)

FIFO 割り込み要因を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

RFIGCV[2:0] ビット (受信 FIFO 割り込み要求発生タイミング選択ビット)

RFIM ビットを“0”にした場合の受信 FIFO 割り込み要求を発生させるために必要な受信メッセージ数をバッファ総数 (RFDC[2:0] の設定) に対する分数で指定します。

RFDC[2:0] ビットを“001b” (4 メッセージ) に設定した場合は、RFIGCV[2:0] ビットを“001b”、“011b”、“101b”、または“111b”にしてください。このビットはグローバルリセットモードでのみ書き換えてください。

27.2.24 受信 FIFO バッファステータスレジスタ (RSCAN0RFSTSx) (x = 0 ~ 7)

RSCAN0RFSTSx レジスタは、受信 FIFO バッファの空き状態や未読メッセージ数などの状態を示すステータスレジスタです。

アドレス RSCAN.RSCAN0RFSTS0 A007 80D8h、RSCAN.RSCAN0RFSTS1 A007 80DCh、RSCAN.RSCAN0RFSTS2 A007 80E0h、RSCAN.RSCAN0RFSTS3 A007 80E4h、RSCAN.RSCAN0RFSTS4 A007 80E8h、RSCAN.RSCAN0RFSTS5 A007 80ECh、RSCAN.RSCAN0RFSTS6 A007 80F0h、RSCAN.RSCAN0RFSTS7 A007 80F4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	RFMC[7:0]							0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RFEMP	受信 FIFO バッファ空ステータスフラグ	0: 受信 FIFO バッファに未読メッセージあり 1: 受信 FIFO バッファに未読メッセージなし (バッファ空)	R
b1	RFFLL	受信 FIFO バッファフルステータスフラグ	0: 受信 FIFO バッファフルではない 1: 受信 FIFO バッファフル	R
b2	RFMLT	受信 FIFO メッセージロストフラグ	0: 受信 FIFO メッセージロストなし 1: 受信 FIFO メッセージロスト	R/W (注1)
b3	RFIF	受信 FIFO 割り込み要求フラグ	0: 受信 FIFO 割り込み要求なし 1: 受信 FIFO 割り込み要求あり	R/W (注1)
b7-b4	—	予約ビット	読むと“0”が読めます。	R
b15-b8	RFMC[7:0]	受信 FIFO 未読メッセージ数表示カウンタ	受信 FIFO バッファに格納された未読メッセージ数を示します。	R
b31-b16	—	予約ビット	読むと“0”が読めます。	R

注1. このフラグビットへの書き込みは、ステータスクリアする (“0”にする) 動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

RFEMP フラグ (受信 FIFO バッファ空ステータスフラグ)

受信 FIFO バッファのすべてのメッセージを読むと“1”になります。また、RSCAN0RFCCx レジスタの RFE ビットが“0”のとき、またはグローバルリセットモード時に“1”になります。

受信メッセージが1つでも受信 FIFO バッファに格納されると“0”になります。

RFFLL フラグ (受信 FIFO バッファフルステータスフラグ)

受信 FIFO バッファに格納されたメッセージ数が、RSCAN0RFCCx レジスタの RFDC[2:0] ビットで設定した段数と一致すると“1”になります。

受信 FIFO バッファに格納されたメッセージ数が、RFDC[2:0] ビットで設定した段数より小さくなると“0”になります。また、RSCAN0RFCCx レジスタの RFE ビットが“0” (受信 FIFO バッファを使用しない) のとき、またはグローバルリセットモード時に“0”になります。

RFMLT フラグ (受信 FIFO メッセージロストフラグ)

受信 FIFO バッファがフルの場合に、新しいメッセージを格納しようとしたとき“1”になります。この場合、新しいメッセージは破棄されます。

RFMLT フラグへの“0”書き込み、またはグローバルリセットモード時、“0”になります。

このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

RFIF フラグ (受信 FIFO 割り込み要求フラグ)

RSCAN0RFCCx レジスタの RFIGCV[2:0] ビットと RFIM ビットで設定した受信 FIFO 割り込み要求発生条件が整ったときに“1”になります。RFIF フラグへの“0”書き込み、またはグローバルリセットモード時、“0”になります。このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

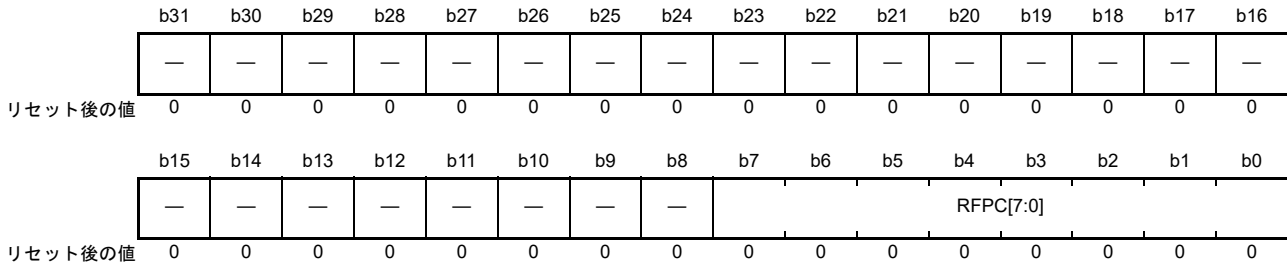
RFMC[7:0] フラグ (受信 FIFO 未読メッセージ数表示カウンタ)

受信 FIFO バッファ内の未読メッセージ数を示します。RSCAN0RFCCx レジスタの RFE ビットを“0”にすると、“00h”になります。

27.2.25 受信 FIFO バッファポインタ制御レジスタ (RSCAN0RFPCTR_x) (x = 0 ~ 7)

RSCAN0RFPCTR_x レジスタは、受信 FIFO バッファのポインタを制御するレジスタです。

アドレス RSCAN.RSCAN0RFPCTR0 A007 80F8h, RSCAN.RSCAN0RFPCTR1 A007 80FCh, RSCAN.RSCAN0RFPCTR2 A007 8100h, RSCAN.RSCAN0RFPCTR3 A007 8104h, RSCAN.RSCAN0RFPCTR4 A007 8108h, RSCAN.RSCAN0RFPCTR5 A007 810Ch, RSCAN.RSCAN0RFPCTR6 A007 8110h, RSCAN.RSCAN0RFPCTR7 A007 8114h



ビット	シンボル	ビット名	機能	R/W
b7-b0	RFPC[7:0]	受信FIFOポインタ制御ビット	“FFh”を書くと、受信FIFOバッファの次の未読メッセージにリードポインタが移動します。	W
b31-b8	—	予約ビット	書く場合、“0”としてください。	W

RFPC[7:0] ビット (受信 FIFO ポインタ制御ビット)

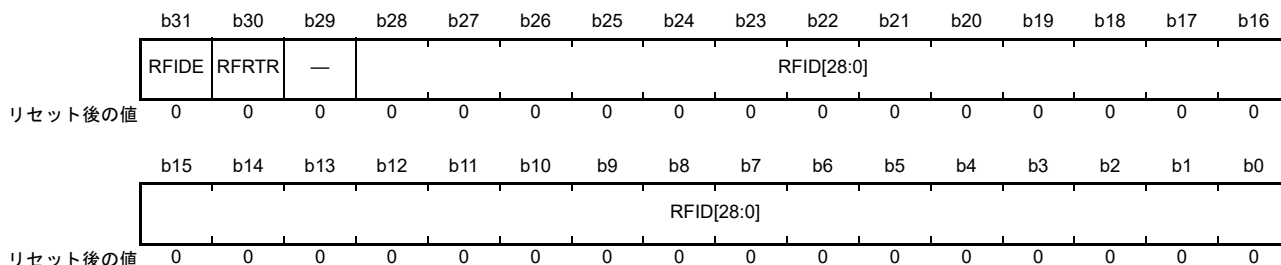
RFPC[7:0] ビットに“FFh”を書くと、受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。このとき RSCAN0RFST_{Sx} レジスタの RFMC[7:0] ビット (受信 FIFO 未読メッセージ数表示カウンタ) の値が 1 減算されます。RSCAN0RFID、RSCAN0RFPTR、RSCAN0RDF0、RSCAN0RDF1 レジスタを読んで受信 FIFO バッファのメッセージを読み出した後、RFPC[7:0] ビットに“FFh”を書いてください。

なお、“FFh”の書き込みは、RSCAN0RFCC_x レジスタの RFE ビットが“1” (受信 FIFO バッファを使用する) で、RSCAN0RFST_{Sx} レジスタの RFEMP フラグが“0” (未読メッセージあり) のときに行ってください。

27.2.26 受信 FIFO バッファアクセス ID レジスタ (RSCAN0RFIDx) (x = 0 ~ 7)

RSCAN0RFIDx レジスタは、受信 FIFO バッファに格納されたメッセージの ID、フレームフォーマットの状態を示すステータスレジスタです。

アドレス RSCAN.RSCAN0RFID0 A007 8E00h, RSCAN.RSCAN0RFID1 A007 8E10h, RSCAN.RSCAN0RFID2 A007 8E20h, RSCAN.RSCAN0RFID3 A007 8E30h, RSCAN.RSCAN0RFID4 A007 8E40h, RSCAN.RSCAN0RFID5 A007 8E50h, RSCAN.RSCAN0RFID6 A007 8E60h, RSCAN.RSCAN0RFID7 A007 8E70h



ビット	シンボル	ビット名	機能	R/W
b28-b0	RFID[28:0]	受信 FIFO バッファ ID データビット	受信メッセージの標準 ID / 拡張 ID が読めます。標準 ID の場合は、b10 ~ b0 を読んでください。b28 ~ b11 は "0" が読めます。	R
b29	—	予約ビット	読むと "0" が読めます。	R
b30	RFRTR	受信 FIFO バッファ RTR ビット	0 : データフレーム 1 : リモートフレーム	R
b31	RFIDE	受信 FIFO バッファ IDE ビット	0 : 標準 ID 1 : 拡張 ID	R

RFID[28:0] ビット (受信 FIFO バッファ ID データビット)

受信 FIFO バッファに格納されたメッセージの ID を示します。

RFRTR ビット (受信 FIFO バッファ RTR ビット)

受信 FIFO バッファに格納されたメッセージのフレームフォーマット (データフレームまたはリモートフレーム) を示します。

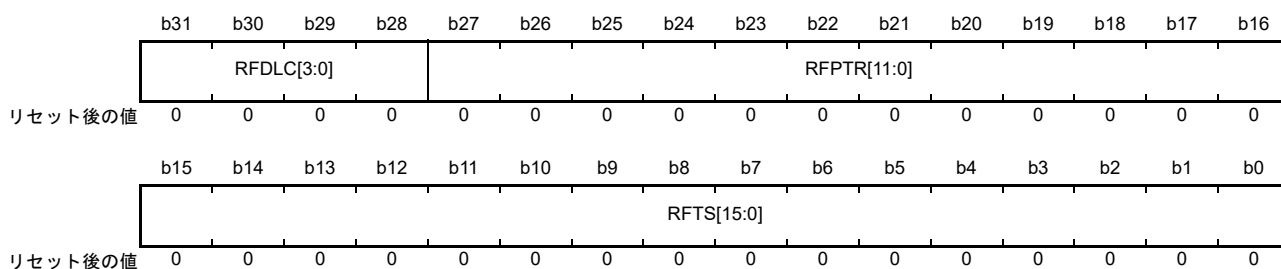
RFIDE ビット (受信 FIFO バッファ IDE ビット)

受信 FIFO バッファに格納されたメッセージの ID フォーマット (標準 ID または拡張 ID) を示します。

27.2.27 受信 FIFO バッファアクセスポイントレジスタ (RSCAN0RFPTRx) (x = 0 ~ 7)

RSCAN0RFPTRx レジスタは、受信 FIFO バッファに格納されたメッセージのデータ長、ラベル情報、タイムスタンプ値を示すステータスレジスタです。

アドレス RSCAN.RSCAN0RFPTR0 A007 8E04h、RSCAN.RSCAN0RFPTR1 A007 8E14h、RSCAN.RSCAN0RFPTR2 A007 8E24h、RSCAN.RSCAN0RFPTR3 A007 8E34h、RSCAN.RSCAN0RFPTR4 A007 8E44h、RSCAN.RSCAN0RFPTR5 A007 8E54h、RSCAN.RSCAN0RFPTR6 A007 8E64h、RSCAN.RSCAN0RFPTR7 A007 8E74h



ビット	シンボル	ビット名	機能	R/W																																																		
b15-b0	RFTS[15:0]	受信 FIFO バッファタイムスタンプデータビット	受信メッセージのタイムスタンプ値が読めます。	R																																																		
b27-b16	RFPTR[11:0]	受信 FIFO バッファラベルデータビット	受信メッセージのラベル情報が読めます。	R																																																		
b31-b28	RFDLC[3:0]	受信 FIFO バッファ DLC データビット	<table border="0"> <tr> <td>b31</td> <td>b30</td> <td>b29</td> <td>b28</td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>: 0 データバイト</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>: 1 データバイト</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>: 2 データバイト</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>: 3 データバイト</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>: 4 データバイト</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>: 5 データバイト</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>: 6 データバイト</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>: 7 データバイト</td> </tr> <tr> <td>1</td> <td>x</td> <td>x</td> <td>x</td> <td>: 8 データバイト</td> </tr> </table>	b31	b30	b29	b28		0	0	0	0	: 0 データバイト	0	0	0	1	: 1 データバイト	0	0	1	0	: 2 データバイト	0	0	1	1	: 3 データバイト	0	1	0	0	: 4 データバイト	0	1	0	1	: 5 データバイト	0	1	1	0	: 6 データバイト	0	1	1	1	: 7 データバイト	1	x	x	x	: 8 データバイト	R
b31	b30	b29	b28																																																			
0	0	0	0	: 0 データバイト																																																		
0	0	0	1	: 1 データバイト																																																		
0	0	1	0	: 2 データバイト																																																		
0	0	1	1	: 3 データバイト																																																		
0	1	0	0	: 4 データバイト																																																		
0	1	0	1	: 5 データバイト																																																		
0	1	1	0	: 6 データバイト																																																		
0	1	1	1	: 7 データバイト																																																		
1	x	x	x	: 8 データバイト																																																		

RFTS[15:0] ビット (受信 FIFO バッファタイムスタンプデータビット)

受信 FIFO バッファに格納されたメッセージのタイムスタンプ値を含んでいます。

RFPTR[11:0] ビット (受信 FIFO バッファラベルデータビット)

受信 FIFO バッファに格納されたメッセージのラベル情報を含んでいます。

RFDLC[3:0] ビット (受信 FIFO バッファ DLC データビット)

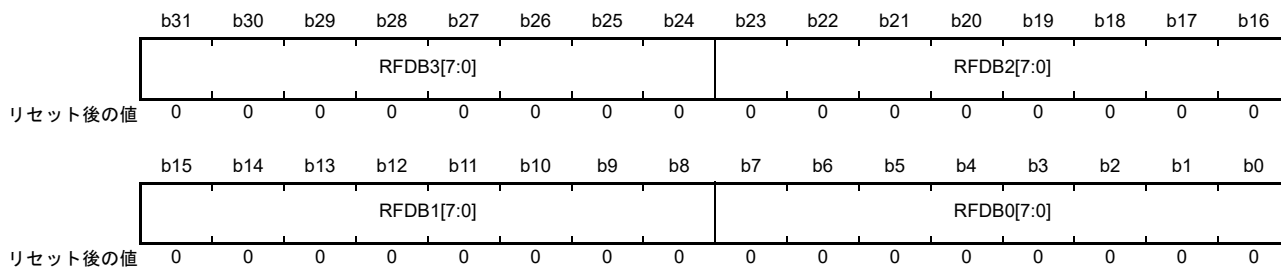
受信 FIFO バッファに格納されたメッセージのデータ長を含んでいます。

27.2.28 受信 FIFO バッファアクセスデータフィールド 0 レジスタ (RSCAN0RFDF0x) (x = 0 ~ 7)

RSCAN0RFDF0x レジスタは、受信 FIFO バッファのデータを格納するデータレジスタです。

RSCAN0RFPTRx レジスタの RFDLC[3:0] ビットの値が “1000b” 未満の場合、データが設定されていないデータバイトは、“00h” が読めます。

アドレス RSCAN.RSCAN0RFDF00 A007 8E08h、RSCAN.RSCAN0RFDF01 A007 8E18h、RSCAN.RSCAN0RFDF02 A007 8E28h、
RSCAN.RSCAN0RFDF03 A007 8E38h、RSCAN.RSCAN0RFDF04 A007 8E48h、RSCAN.RSCAN0RFDF05 A007 8E58h、
RSCAN.RSCAN0RFDF06 A007 8E68h、RSCAN.RSCAN0RFDF07 A007 8E78h



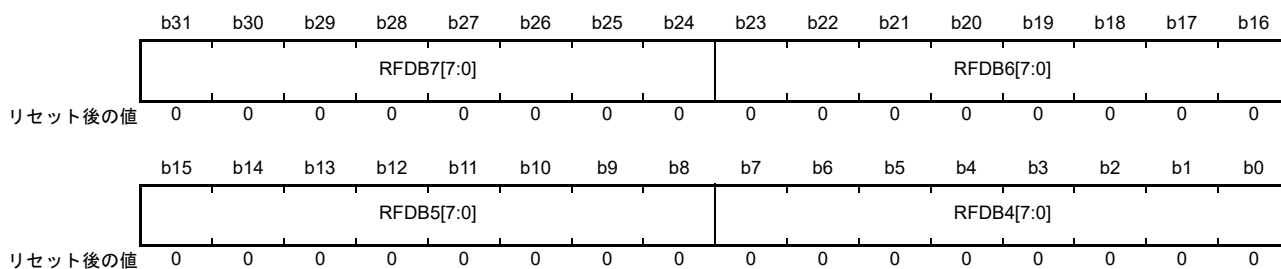
ビット	シンボル	ビット名	機能	R/W
b7-b0	RFDB0[7:0]	受信 FIFO バッファデータバイト 0	受信 FIFO バッファに格納されたメッセージのデータが読めます。	R
b15-b8	RFDB1[7:0]	受信 FIFO バッファデータバイト 1		R
b23-b16	RFDB2[7:0]	受信 FIFO バッファデータバイト 2		R
b31-b24	RFDB3[7:0]	受信 FIFO バッファデータバイト 3		R

27.2.29 受信 FIFO バッファアクセスデータフィールド 1 レジスタ (RSCAN0RFDF1x) (x = 0 ~ 7)

RSCAN0RFDF1x レジスタは、受信 FIFO バッファのデータを格納するデータレジスタです。

RSCAN0RFPTRx レジスタの RFDLC[3:0] ビットの値が “1000b” 未満の場合、データが設定されていないデータバイトは、“00h” が読めます。

アドレス RSCAN.RSCAN0RFDF10 A007 8E0Ch, RSCAN.RSCAN0RFDF11 A007 8E1Ch, RSCAN.RSCAN0RFDF12 A007 8E2Ch,
RSCAN.RSCAN0RFDF13 A007 8E3Ch, RSCAN.RSCAN0RFDF14 A007 8E4Ch, RSCAN.RSCAN0RFDF15 A007 8E5Ch,
RSCAN.RSCAN0RFDF16 A007 8E6Ch, RSCAN.RSCAN0RFDF17 A007 8E7Ch

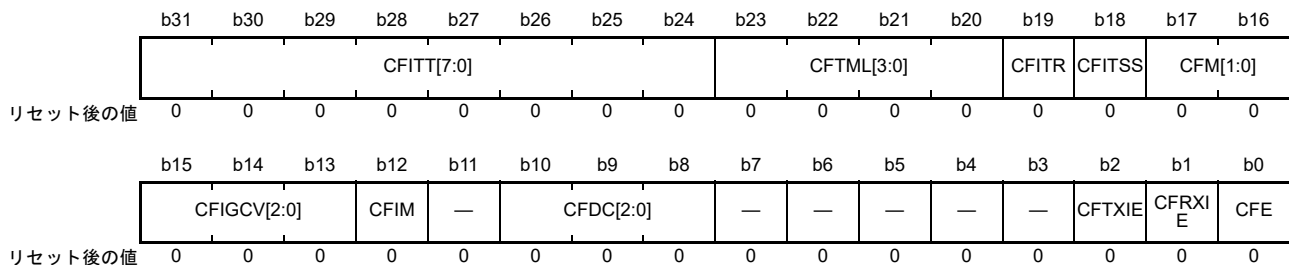


ビット	シンボル	ビット名	機能	R/W
b7-b0	RFDB4[7:0]	受信 FIFO バッファデータバイト 4	受信 FIFO バッファに格納されたメッセージのデータが読めます。	R
b15-b8	RFDB5[7:0]	受信 FIFO バッファデータバイト 5		R
b23-b16	RFDB6[7:0]	受信 FIFO バッファデータバイト 6		R
b31-b24	RFDB7[7:0]	受信 FIFO バッファデータバイト 7		R

27.2.30 送受信 FIFO バッファコンフィグレーション/制御レジスタ (RSCAN0FCCK) (k = 3 ~ 5)

RSCAN0FCCK レジスタは、送受信 FIFO バッファの設定を制御するレジスタです (k = 3 ~ 5)。

アドレス RSCAN.RSCAN0FCCK3 A007 8124h、RSCAN.RSCAN0FCCK4 A007 8128h、RSCAN.RSCAN0FCCK5 A007 812Ch



ビット	シンボル	ビット名	機能	R/W
b0	CFE	送受信 FIFO バッファ許可ビット	0 : 送受信 FIFO バッファを使用しない 1 : 送受信 FIFO バッファを使用する	R/W
b1	CFRXIE	送受信 FIFO 受信割り込み許可ビット	0 : 送受信 FIFO 受信割り込み禁止 1 : 送受信 FIFO 受信割り込み許可	R/W
b2	CFTXIE	送受信 FIFO 送信割り込み許可ビット	0 : 送受信 FIFO 送信割り込み禁止 1 : 送受信 FIFO 送信割り込み許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b10-b8	CFDC[2:0]	送受信 FIFO バッファ段数設定ビット	b10 b9 b8 0 0 0 : 0メッセージ 0 0 1 : 4メッセージ 0 1 0 : 8メッセージ 0 1 1 : 16メッセージ 1 0 0 : 32メッセージ 1 0 1 : 48メッセージ 1 1 0 : 64メッセージ 1 1 1 : 設定禁止	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b12	CFIM	送受信 FIFO 割り込み要因選択ビット	0 : • 受信モード、ゲートウェイモード時 受信メッセージ数が CFGICV[2:0] ビットで設定した条件に達したとき、FIFO 受信割り込み要求発生 • 送信モード、ゲートウェイモード時 メッセージ送信完了によってバッファが空になったとき、FIFO 送信割り込み要求発生 1 : • 受信モード、ゲートウェイモード時 1メッセージ受信ごとに FIFO 受信割り込み要求発生 • 送信モード、ゲートウェイモード時 1メッセージ送信が完了するごとに FIFO 送信割り込み要求発生	R/W
b15-b13	CFGICV[2:0]	送受信 FIFO 受信割り込み要求発生タイミング選択ビット	b15 b14 b13 0 0 0 : FIFO バッファに 1/8 までメッセージ格納時 0 0 1 : FIFO バッファに 2/8 までメッセージ格納時 0 1 0 : FIFO バッファに 3/8 までメッセージ格納時 0 1 1 : FIFO バッファに 4/8 までメッセージ格納時 1 0 0 : FIFO バッファに 5/8 までメッセージ格納時 1 0 1 : FIFO バッファに 6/8 までメッセージ格納時 1 1 0 : FIFO バッファに 7/8 までメッセージ格納時 1 1 1 : FIFO バッファがフルのとき	R/W

ビット	シンボル	ビット名	機能	R/W
b17-b16	CFM[1:0]	送受信 FIFO モード選択ビット	b17 b16 0 0: 受信モード 0 1: 送信モード 1 0: ゲートウェイモード 上記以外は設定禁止	R/W
b18	CFITSS	送受信 FIFO インターバルタイム クロックソース選択ビット	0: CFITR ビットで選択したクロックソース 1: 関連チャンネルのビットタイムクロック	R/W
b19	CFITR	送受信 FIFO インターバルタイム 分解能選択ビット	0: PCLKD/2 を ITRCP[15:0] ビットで分周したクロック 1: PCLKD/2 を ITRCP[15:0] ビットの値 × 10 で分周したクロック	R/W
b23-b20	CFTML[3:0]	送信バッファリンク設定ビット	送受信 FIFO バッファにリンクさせる送信バッファ番号を設定してください。	R/W
b31-b24	CFITT[7:0]	メッセージ送信間隔設定ビット	設定値: 00h ~ FFh	R/W

CFE ビット (送受信 FIFO バッファ許可ビット)

“1”にすると、送受信 FIFO バッファを使用できます。

“0”にすると、送信モードまたはゲートウェイモードでは、送受信 FIFO バッファのメッセージが送信中、または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、空になります。それ以外の場合、または受信モードでは直ちに空になります。

このビットは、次に示す条件で“0”になります。

- 受信モード時: グローバルリセットモード
- 送信モードまたはゲートウェイモード時: チャンネルリセットモード

このビットは、次に示すモードで書き換えてください。

- 受信モード: グローバル動作モードまたはグローバルテストモード
- 送信モードまたはゲートウェイモード: チャンネル通信モードまたはチャンネル待機モード

CFRXIE ビット (送受信 FIFO 受信割り込み許可ビット)

このビットを“1”に設定し、RSCAN0CFSTSk レジスタの CFRXIF フラグが“1”になった場合、送受信 FIFO 受信割り込み要求が発生します。

CFE ビットが“0”の状態では、CFRXIE ビットを書き換えてください。

CFTXIE ビット (送受信 FIFO 送信割り込み許可ビット)

このビットを“1”に設定し、RSCAN0CFSTSk レジスタの CFTXIF フラグが“1”になった場合、送受信 FIFO 送信割り込み要求が発生します。

CFE ビットが“0” (送受信 FIFO バッファを使用しない) の状態で、CFTXIE ビットを書き換えてください。

CFDC[2:0] ビット (送受信 FIFO バッファ段数設定ビット)

1つの送受信 FIFO バッファに格納できるメッセージの数を設定します。“000b”に設定した場合は、送受信 FIFO バッファを使用しないでください。このビットはグローバルリセットモードでのみ書き換えてください。

CFIM ビット (送受信 FIFO 割り込み要因選択ビット)

送受信 FIFO 割り込み要因を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFIGCV[2:0] ビット (送受信 FIFO 受信割り込み要求発生タイミング選択ビット)

CFM[1:0] ビットを“00b” (受信モード) または“10b” (ゲートウェイモード) に、CFIM ビットを“0”にした場合の送受信 FIFO 受信割り込み要求を発生させるために必要な受信メッセージ数をバッファ総数 (CFDC[2:0] の設定) に対する分数で指定します。

CFDC[2:0] ビットを“001b” (4 メッセージ) に設定した場合は、CFIGCV[2:0] ビットを“001b”、“011b”、“101b”、または“111b”にしてください。

このビットはグローバルリセットモードでのみ書き換えてください。

CFM[1:0] ビット (送受信 FIFO モード選択ビット)

送受信 FIFO のモードを選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFITSS ビット (送受信 FIFO インターバルタイマクロックソース選択ビット)

“0” のとき、CFITR ビットで選択したクロックがインターバルタイマのカウントソースになります。

“1” のとき、FIFO にリンクしているチャンネルのビットタイムクロックがインターバルタイマのカウントソースになります。

CFE ビットが“0” (送受信 FIFO バッファを使用しない) の状態で、CFITSS ビットを書き換えてください。

CFITR ビット (送受信 FIFO インターバルタイマ分解能選択ビット)

CFITSS ビットが“0” のとき、有効です。

“0” のとき、インターバルタイマクロックソースは、PCLKD/2 を RSCAN0GCFG レジスタの ITRCP[15:0] ビットで分周したクロックとなります。

“1” のとき、インターバルタイマクロックソースは、PCLKD/2 を RSCAN0GCFG レジスタの ITRCP[15:0] ビットの値×10 で分周したクロックとなります。

CFE ビットが“0” (送受信 FIFO バッファを使用しない) の状態で、CFITR ビットを書き換えてください。

CFTML[3:0] ビット (送信バッファリンク設定ビット)

CFM[1:0] ビットを“01b” (送信モード) または“10b” (ゲートウェイモード) に設定した場合、送受信 FIFO バッファ k にリンクさせる送信バッファ番号を設定します。チャンネル 1 に 3 つの送受信 FIFO バッファがあります ($k=3 \sim 5$)。FIFO バッファ k にリンクされる実際の送信バッファ番号 p を、表 27.4 に示します。

送受信 FIFO バッファ k と送信バッファ p の動作については、「27.6 送信機能」を参照してください。

CFDC[2:0] ビットを“001b”以上にすると、CFTML[3:0] ビットの設定が有効になります。

送信キューに既に割り当てられている送信バッファにはリンクしないでください。このビットはグローバルリセットモードでのみ書き換えてください。

表 27.4 CFTML[3:0] ビットの設定値によって送受信 FIFO バッファ k にリンクされる送信バッファ p

CFTML[3:0] ビットの設定値 (送受信 FIFO k ごとに設定)	送受信 FIFO バッファに リンクされる送信バッファ p ($p = 16 \sim 31$)
	チャンネル 1
0000b	送信バッファ 16
0001b	送信バッファ 17
0010b	送信バッファ 18
0011b	送信バッファ 19
0100b	送信バッファ 20
0101b	送信バッファ 21
0110b	送信バッファ 22
0111b	送信バッファ 23
1000b	送信バッファ 24
1001b	送信バッファ 25
1010b	送信バッファ 26
1011b	送信バッファ 27
1100b	送信バッファ 28
1101b	送信バッファ 29
1110b	送信バッファ 30
1111b	送信バッファ 31

CFITT[7:0] ビット (メッセージ送信間隔設定ビット)

CFM[1:0] ビットを“01b” (送信モード) または“10b” (ゲートウェイモード) に設定した送受信 FIFO バッファから連続してメッセージを送信する場合、メッセージの送信間隔を設定します。

CFE ビットを“0” (送受信 FIFO バッファを使用しない) にしてから、CFITT[7:0] ビットを書き換えてください。

27.2.31 送受信 FIFO バッファステータスレジスタ (RSCAN0CFSTSk) (k = 3 ~ 5)

RSCAN0CFSTSk レジスタは、送受信 FIFO バッファの状態を示すステータスレジスタです (k = 3 ~ 5)。

アドレス RSCAN.RSCAN0CFST3 A007 8184h、RSCAN.RSCAN0CFST4 A007 8188h、RSCAN.RSCAN0CFST5 A007 818Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CFMC[7:0]							—	—	—	CFTXIF	CFRXIF	CFMLT	CFLL	CFEMP	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	CFEMP	送受信 FIFO バッファ空ステータスフラグ	0: 送受信 FIFO バッファにメッセージあり 1: 送受信 FIFO バッファにメッセージなし (バッファ空)	R
b1	CFLL	送受信 FIFO バッファフルステータスフラグ	0: 送受信 FIFO バッファフルではない 1: 送受信 FIFO バッファフル	R
b2	CFMLT	送受信 FIFO メッセージロストフラグ	0: 送受信 FIFO メッセージロストなし 1: 送受信 FIFO メッセージロスト	R/W (注1)
b3	CFRXIF	送受信 FIFO 受信割り込み要求フラグ	0: 送受信 FIFO 受信割り込み要求なし 1: 送受信 FIFO 受信割り込み要求あり	R/W (注1)
b4	CFTXIF	送受信 FIFO 送信割り込み要求フラグ	0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり	R/W (注1)
b7-b5	—	予約ビット	読むと“0”が読めます。	R
b15-b8	CFMC[7:0]	送受信 FIFO メッセージ数表示カウンタ	送受信 FIFO バッファに格納されたメッセージ数を示します。	R
b31-b16	—	予約ビット	読むと“0”が読めます。	R

注1. このフラグビットへの書き込みは、ステータスクリアする (“0”にする) 動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

CFEMP フラグ (送受信 FIFO バッファ空ステータスフラグ)

次の条件で、CFEMP フラグは“1”になります。

- CFM[1:0] ビットが“00b”の場合：
 - 全メッセージを読み出したとき、またはグローバルリセットモード
 - CFM[1:0] ビットが“01b”または“10b”の場合：
 - すべてのメッセージを送信したとき、またはチャンネルリセットモード
 - CFE ビットが“0” (送受信 FIFO バッファを使用しない) の場合：
 - 送信アポート中でないとき
- 次の条件で、CFEMP フラグは“0”になります。

- CFM[1:0] ビットが“00b”または“10b”の場合：
 - 受信メッセージが1つでも送受信 FIFO バッファに格納されたとき
- CFM[1:0] ビットが“01b”の場合：
 - RSCAN0CFIDk、RSCAN0CFPTRk、RSCAN0CFDF0k、RSCAN0CFDF1k レジスタに書いてから、RSCAN0CFPCTRk レジスタに“FFh”を書いたとき

CFLL フラグ (送受信 FIFO バッファフルステータスフラグ)

次の条件で、CFLL フラグは“1”になります。

- 送受信 FIFO バッファに格納されたメッセージ数が、RSCAN0CFCCk レジスタの CFDC[2:0] ビットで設定した段数と一致したとき

次の条件で、CFLL フラグは“0”になります。

- 送受信 FIFO バッファに格納されたメッセージ数が、CFDC[2:0] ビットで設定した段数より小さくなったとき
- RSCAN0CFCCk レジスタの CFE ビットが“0” (送受信 FIFO バッファを使用しない) の場合 : 送信アボート中でないとき
- CFM[1:0] ビットが“00b”の場合 : グローバルリセットモード
- CFM[1:0] ビットが“01b”または“10b”の場合 : チャンネルリセットモード

CFMLT フラグ (送受信 FIFO メッセージロストフラグ)

次の条件で、CFMLT フラグは“1”になります。

- 送受信 FIFO バッファがフルの場合に、さらに新しいメッセージを格納しようとしたとき。この場合、新しいメッセージは破棄されます。

次の条件で、CFMLT フラグは“0”になります。

- CFMLT フラグへの“0”書き込み
- CFM[1:0] ビットが“00b”の場合 : グローバルリセットモード
- CFM[1:0] ビットが“01b”または“10b”の場合 : チャンネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで“0”を書いてください。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

CFRXIF フラグ (送受信 FIFO 受信割り込み要求フラグ)

次の条件で、CFRXIF フラグは“1”になります。

- CFM[1:0] ビットが“00b”または“10b”で、RSCAN0CFCCk レジスタの CFIM ビットで選択した要因が発生したとき

次の条件で、CFRXIF フラグは“0”になります。

- CFRXIF フラグへの“0”書き込み
- CFM[1:0] ビットが“00b”の場合 : グローバルリセットモード
- CFM[1:0] ビットが“01b”または“10b”の場合 : チャンネルリセット・モード

このフラグは、グローバル動作モードまたはグローバルテストモードで“0”を書いてください。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

CFTXIF フラグ (送受信 FIFO 送信割り込み要求フラグ)

次の条件で、CFTXIF フラグは“1”になります。

- CFM[1:0] ビットが“01b”または“10b”で、RSCAN0CFCCk レジスタのCFIM ビットで選択した要因が発生したとき

次の条件で、CFTXIF フラグは“0”になります。

- CFTXIF フラグへの“0”書き込み
 - CFM[1:0] ビットが“00b”の場合：グローバルリセットモード
 - CFM[1:0] ビットが“01b”または“10b”の場合：チャンネルリセットモード
- このフラグは、グローバル動作モードまたはグローバルテストモードで“0”を書いてください。フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

CFMC[7:0] ビット (送受信 FIFO メッセージ数表示カウンタ)

CFMC[7:0] ビットが示す値は、RSCAN0CFCCk レジスタの CFM[1:0] ビットの設定により次のようになります。

- CFM[1:0] ビットが“01b” (送信モード) の場合：バッファに格納した未送信メッセージ数
- CFM[1:0] ビットが“00b” (受信モード) の場合：バッファに格納された未読の受信メッセージ数
- CFM[1:0] ビットが“10b” (ゲートウェイモード) の場合：バッファに格納された受信メッセージの内、未送信のメッセージ数

このビットは、次に示す条件で“0”になります。

- CFM[1:0] ビットが“00b”の場合：グローバルリセットモード
- CFM[1:0] ビットが“01b”または“10b”の場合：チャンネルリセットモード

27.2.32 送受信 FIFO バッファポインタ制御レジスタ (RSCAN0CFPCTRk) (k = 3 ~ 5)

RSCAN0CFPCTRk レジスタは送受信 FIFO バッファのポインタを制御するレジスタです (k = 3 ~ 5)。

アドレス RSCAN.RSCAN0CFPCTR3 A007 81E4h、RSCAN.RSCAN0CFPCTR4 A007 81E8h、RSCAN.RSCAN0CFPCTR5 A007 81ECh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	CFPC[7:0]	送受信 FIFO ポインタ制御ビット	<ul style="list-style-type: none"> 受信モード時 “FFh”を書くと、送受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。 送信モード時 “FFh”を書くと、送受信 FIFO バッファの次の段にライトポインタが移動します。 ゲートウェイモード時 設定しないでください。 	W
b31-b8	—	予約ビット	書く場合、“0”としてください。	W

CFPC[7:0] ビット (送受信 FIFO ポインタ制御ビット)

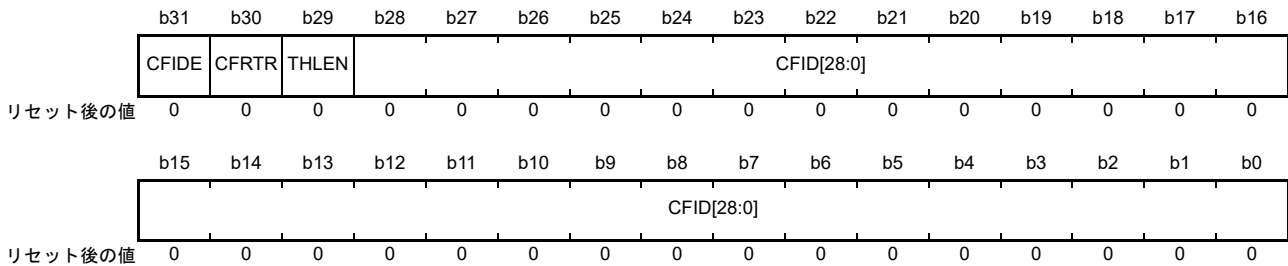
- 受信モード (RSCAN0CFCCk レジスタの CFM[1:0] ビットが “00b”) のとき：
CFPC[7:0] ビットに “FFh” を書くと、送受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。このとき RSCAN0CFSTSk レジスタの CFMC[7:0] ビット (送受信 FIFO メッセージ数表示カウンタ) の値が 1 減算されます。RSCAN0CFIDk、RSCAN0CFPTRk、RSCAN0CFDF0k、RSCAN0CFDF1k レジスタを読んで送受信 FIFO バッファからメッセージを読み出した後、CFPC[7:0] ビットに “FFh” を書いてください。
なお、“FFh” の書き込みは RSCAN0CFCCk レジスタの CFE ビットが “1” (送受信 FIFO バッファを使用する) で、RSCAN0CFSTSk レジスタの CFEMP フラグが “0” (メッセージあり) のときに行ってください。
- 送信モード (RSCAN0CFCCk レジスタの CFM[1:0] ビットが “01b”) のとき：
CFPC[7:0] ビットに “FFh” を書くと、RSCAN0CFIDk、RSCAN0CFPTRk、RSCAN0CFDF0k、RSCAN0CFDF1k レジスタに書いたデータが送受信 FIFO バッファに格納され、バッファの次の段にライトポインタが移動します。このとき CFMC[7:0] ビットの値が 1 加算されます。RSCAN0CFIDk、RSCAN0CFPTRk、RSCAN0CFDF0k、RSCAN0CFDF1k レジスタに送信メッセージを書いた後に、CFPC[7:0] ビットに “FFh” を書いてください。
なお、“FFh” の書き込みは、RSCAN0CFCCk レジスタの CFE ビットが “1” で、RSCAN0CFSTSk レジスタの CFLL フラグが “0” (フルではない) のときに行ってください。
- ゲートウェイモード (RSCAN0CFCCk レジスタの CFM[1:0] ビットが “10b”) のとき：
設定しないでください。

27.2.33 送受信 FIFO バッファアクセス ID レジスタ (RSCAN0CFIDk) (k = 3 ~ 5)

RSCAN0CFIDk レジスタは、送受信 FIFO バッファに格納された受信メッセージの ID、データフォーマットを示すステータスレジスタです (k=3 ~ 5)。

RSCAN0CFIDk レジスタの CFM[1:0] ビットが“01b” (送信モード) の場合のみ、このレジスタに書けます。CFM[1:0] ビットが“00b” (受信モード) の場合のみ、このレジスタを読めます。CFM[1:0] ビットが“10b” (ゲートウェイモード) の場合は、このレジスタに読み書きしないでください。

アドレス RSCAN.RSCAN0CFID3 A007 8EB0h、RSCAN.RSCAN0CFID4 A007 8EC0h、RSCAN.RSCAN0CFID5 A007 8ED0h



ビット	シンボル	ビット名	機能	R/W
b28-b0	CFID[28:0]	送受信 FIFO バッファ ID データ設定ビット	<ul style="list-style-type: none"> CFM[1:0] ビットが“01b” (送信モード) 時 標準 ID または拡張 ID を設定してください。標準 ID の場合、b10 ~ b0 に ID を設定してください。b28 ~ b11 は“0”にしてください。 CFM[1:0] ビットが“00b” (受信モード) 時 受信メッセージの標準 ID または拡張 ID が読めます。標準 ID の場合、b10 ~ b0 を読んでください。b28 ~ b11 は“0”が読めます。 	R/W
b29	THLEN	送信履歴データ格納許可ビット	CFM[1:0] ビットが“01b” (送信モード) 時のみ有効 0: 送信履歴データをバッファに格納しない 1: 送信履歴データをバッファに格納する	R/W
b30	CFRTR	送受信 FIFO バッファ RTR ビット	0: データフレーム 1: リモートフレーム	R/W
b31	CFIDE	送受信 FIFO バッファ IDE ビット	0: 標準 ID 1: 拡張 ID	R/W

CFID[28:0] ビット (送受信 FIFO バッファ ID データ設定ビット)

CFM[1:0] ビットが“00b”のとき、送受信 FIFO バッファに格納された受信メッセージの ID を含んでいます。

CFM[1:0] ビットが“01b”のとき、送受信 FIFO バッファから送信するメッセージの ID を設定します。

THLEN ビット (送信履歴データ格納許可ビット)

“1”にすると、送信が完了した後、送信メッセージの送信履歴データ (ラベル情報、バッファ番号、バッファタイプ) が送信履歴バッファに格納されます。

CFM[1:0] ビットが“01b” (送信モード) のときに、有効になります。

CFRTR ビット (送受信 FIFO バッファ RTR ビット)

CFM[1:0] ビットが “00b” のとき、送受信 FIFO バッファに格納された受信メッセージのデータフォーマット (データフレームまたはリモートフレーム) を示します。CFM[1:0] ビットが “01b” のとき、送受信 FIFO バッファから送信するメッセージのデータフォーマットを設定します。

CFIDE ビット (送受信 FIFO バッファ IDE ビット)

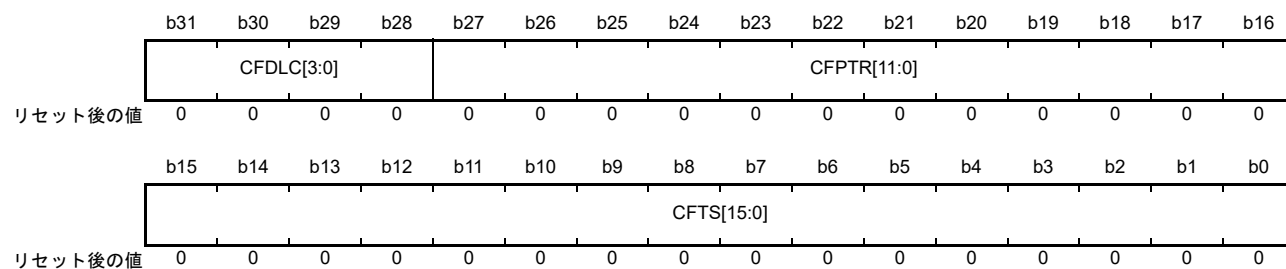
CFM[1:0] ビットが “00b” のとき、送受信 FIFO バッファに格納された受信メッセージの ID フォーマット (標準 ID または拡張 ID) を示します。CFM[1:0] ビットが “01b” のとき、送受信 FIFO バッファから送信するメッセージの ID フォーマットを設定します。

27.2.34 送受信 FIFO バッファアクセスポイントレジスタ (RSCAN0CFPTRk) (k = 3 ~ 5)

RSCAN0CFPTRk レジスタは、送受信 FIFO バッファに格納された受信メッセージのデータ長、ラベル情報、タイムスタンプ値を示すステータスレジスタです (k = 3 ~ 5)。

RSCAN0CFCK レジスタの CFM[1:0] ビットが “01b” (送信モード) の場合のみ、このレジスタに書けます。CFM[1:0] ビットが “00b” (受信モード) の場合のみ、このレジスタを読めます。CFM[1:0] ビットが “10b” (ゲートウェイモード) の場合は、このレジスタに読み書きしないでください。

アドレス RSCAN.RSCAN0CFPTR3 A007 8EB4h, RSCAN.RSCAN0CFPTR4 A007 8EC4h, RSCAN.RSCAN0CFPTR5 A007 8ED4h



ビット	シンボル	ビット名	機能	R/W																																																		
b15-b0	CFTS[15:0]	送受信 FIFO バッファタイムスタンプデータ表示ビット	CFM[1:0] ビットが “00b” (受信モード) 時のみ有効 受信メッセージのタイムスタンプ値が読めます。	R/W																																																		
b27-b16	CFPTR[11:0]	送受信 FIFO バッファラベルデータ表示ビット	<ul style="list-style-type: none"> CFM[1:0] ビットが “01b” (送信モード) 時 送信履歴バッファに格納するラベル情報を設定してください。 CFPTR[7:0] のみ有効です。 CFM[1:0] ビットが “00b” (受信モード) 時 受信メッセージのラベル情報が読めます。 	R/W																																																		
b31-b28	CFDLc[3:0]	送受信 FIFO バッファ DLC データ表示ビット	<table border="0"> <tr> <td>b31</td><td>b30</td><td>b29</td><td>b28</td><td></td> </tr> <tr> <td>0</td><td>0</td><td>0</td><td>0</td><td>: 0 データバイト</td> </tr> <tr> <td>0</td><td>0</td><td>0</td><td>1</td><td>: 1 データバイト</td> </tr> <tr> <td>0</td><td>0</td><td>1</td><td>0</td><td>: 2 データバイト</td> </tr> <tr> <td>0</td><td>0</td><td>1</td><td>1</td><td>: 3 データバイト</td> </tr> <tr> <td>0</td><td>1</td><td>0</td><td>0</td><td>: 4 データバイト</td> </tr> <tr> <td>0</td><td>1</td><td>0</td><td>1</td><td>: 5 データバイト</td> </tr> <tr> <td>0</td><td>1</td><td>1</td><td>0</td><td>: 6 データバイト</td> </tr> <tr> <td>0</td><td>1</td><td>1</td><td>1</td><td>: 7 データバイト</td> </tr> <tr> <td>1</td><td>x</td><td>x</td><td>x</td><td>: 8 データバイト</td> </tr> </table>	b31	b30	b29	b28		0	0	0	0	: 0 データバイト	0	0	0	1	: 1 データバイト	0	0	1	0	: 2 データバイト	0	0	1	1	: 3 データバイト	0	1	0	0	: 4 データバイト	0	1	0	1	: 5 データバイト	0	1	1	0	: 6 データバイト	0	1	1	1	: 7 データバイト	1	x	x	x	: 8 データバイト	R/W
b31	b30	b29	b28																																																			
0	0	0	0	: 0 データバイト																																																		
0	0	0	1	: 1 データバイト																																																		
0	0	1	0	: 2 データバイト																																																		
0	0	1	1	: 3 データバイト																																																		
0	1	0	0	: 4 データバイト																																																		
0	1	0	1	: 5 データバイト																																																		
0	1	1	0	: 6 データバイト																																																		
0	1	1	1	: 7 データバイト																																																		
1	x	x	x	: 8 データバイト																																																		

CFTS[15:0] ビット

送受信 FIFO バッファに格納されたメッセージのタイムスタンプ値を示します。

CFM[1:0] ビットが “00b” のときに、有効になります。

CFPTR[11:0] ビット

CFM[1:0] ビットが “00b” のとき、送受信 FIFO バッファに格納された受信メッセージに添付したラベル情報を示します。CFM[1:0] ビットが “01b” のとき、メッセージ送信が完了した場合、CFPTR[7:0] ビットの値が送信履歴に格納されます。

CFDLC[3:0] ビット

CFM[1:0] ビットが“00b”のとき、送受信 FIFO バッファに格納された受信メッセージのデータ長を示します。CFM[1:0] ビットが“01b”のとき、送受信 FIFO バッファから送信されるメッセージのデータ長を設定します。9 バイト以上を設定した場合、実際に送られるデータは 8 バイトになります。

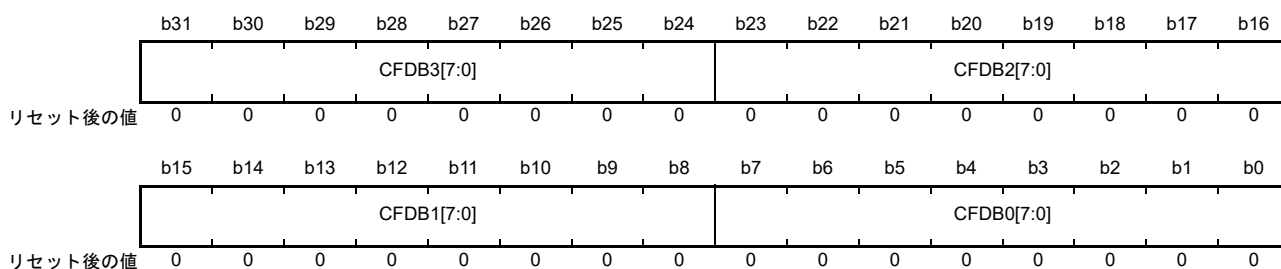
27.2.35 送受信 FIFO バッファアクセスデータフィールド 0 レジスタ (RSCAN0CFDF0k) (k = 3 ~ 5)

RSCAN0CFDF0k レジスタは送受信 FIFO バッファのデータを格納するデータレジスタです (k = 3 ~ 5)。RSCAN0CFCCk レジスタの CFM[1:0] ビットが “01b” の場合のみ、このレジスタに書けます。

CFM[1:0] ビットが “00b” の場合のみ、このレジスタを読めます。RSCAN0CFPTRk レジスタの CFDLC[3:0] ビットの値が “1000b” 未満の場合、データが設定されていないデータバイトは、“00h” が読めます。

CFM[1:0] ビットが “10b” (ゲートウェイモード) の場合は、このレジスタに読み書きしないでください。

アドレス RSCAN.RSCAN0CFDF03 A007 8EB8h, RSCAN.RSCAN0CFDF04 A007 8EC8h, RSCAN.RSCAN0CFDF05 A007 8ED8h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CFDB0[7:0]	送受信 FIFO バッファデータ バイト 0	<ul style="list-style-type: none"> CFM[1:0] ビットが “01b” (送信モード) 時 送受信 FIFO バッファのデータを設定してください。 CFM[1:0] ビットが “00b” (受信モード) 時 送受信 FIFO バッファに格納されたメッセージのデータが読めます。 	R/W
b15-b8	CFDB1[7:0]	送受信 FIFO バッファデータ バイト 1		R/W
b23-b16	CFDB2[7:0]	送受信 FIFO バッファデータ バイト 2		R/W
b31-b24	CFDB3[7:0]	送受信 FIFO バッファデータ バイト 3		R/W

27.2.36 送受信 FIFO バッファアクセスデータフィールド 1 レジスタ (RSCAN0CFDF1k) (k = 3 ~ 5)

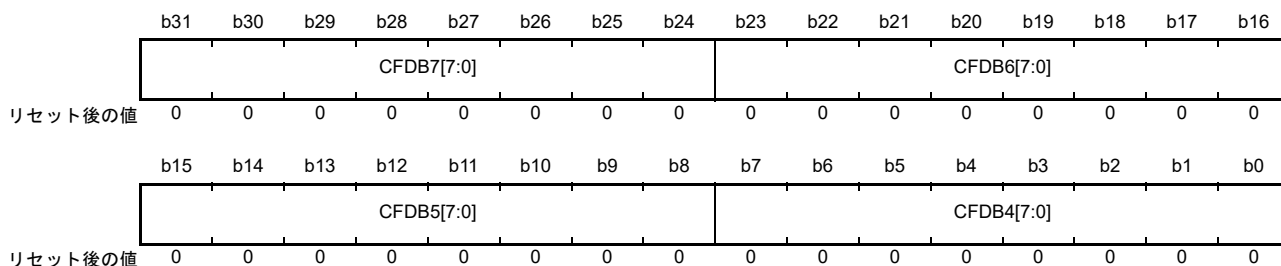
RSCAN0CFDF1k レジスタは、送受信 FIFO バッファのデータを格納するデータレジスタです (k = 3 ~ 5)。

RSCAN0CFCK レジスタの CFM[1:0] ビットが “01b” の場合のみ、このレジスタに書けます。

CFM[1:0] ビットが “00b” の場合のみ、このレジスタを読めます。RSCAN0CFPTRk レジスタの CFDLC[3:0] ビットの値が “1000b” 未満の場合、データが設定されていないデータバイトは、“00h” が読めます。

CFM[1:0] ビットが “10b” (ゲートウェイモード) の場合は、このレジスタに読み書きしないでください。

アドレス RSCAN.RSCAN0CFDF13 A007 8EBCh, RSCAN.RSCAN0CFDF14 A007 8ECCh, RSCAN.RSCAN0CFDF15 A007 8EDCh



ビット	シンボル	ビット名	機能	R/W
b7-b0	CFDB4[7:0]	送受信 FIFO バッファデータ バイト 4	<ul style="list-style-type: none"> CFM[1:0] ビットが “01b” (送信モード) 時 送受信 FIFO バッファのデータを設定してください。 CFM[1:0] ビットが “00b” (受信モード) 時 送受信 FIFO バッファに格納されたメッセージのデータが読 めます。 	R/W
b15-b8	CFDB5[7:0]	送受信 FIFO バッファデータ バイト 5		R/W
b23-b16	CFDB6[7:0]	送受信 FIFO バッファデータ バイト 6		R/W
b31-b24	CFDB7[7:0]	送受信 FIFO バッファデータ バイト 7		R/W

27.2.37 FIFO エンプティステータスレジスタ (RSCAN0FESTS)

RSCAN0FESTS レジスタは、受信 FIFO_x (x = 0 ~ 7)、送受信 FIFO_k (k = 3 ~ 5) が空き状態かどうかを示すステータスレジスタです。

RSCAN0FESTS レジスタは、グローバルリセットモード時、“03FF FFFFh”になります。

アドレス RSCAN.RSCAN0FESTS A007 8238h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	CF5EMP _P	CF4EMP _P	CF3EMP _P	—	—	—	RF7EMP _P	RF6EMP _P	RF5EMP _P	RF4EMP _P	RF3EMP _P	RF2EMP _P	RF1EMP _P	RF0EMP _P
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	RF0EMP	受信 FIFOバッファエンブ ティステータスフラグ	0: 受信 FIFO バッファ x に未読メッセージあり 1: 受信 FIFO バッファ x に未読メッセージなし (x = 0 ~ 7)	R
b1	RF1EMP			R
b2	RF2EMP			R
b3	RF3EMP			R
b4	RF4EMP			R
b5	RF5EMP			R
b6	RF6EMP			R
b7	RF7EMP			R
b10-b8	—	予約ビット	読むと“1”が読めます。	R
b11	CF3EMP	送受信 FIFO バッファエンブ ティステータスフラグ	0: 送受信 FIFO バッファ k にメッセージあり 1: 送受信 FIFO バッファ k にメッセージなし (k = 3 ~ 5)	R
b12	CF4EMP			R
b13	CF5EMP			R
b16-b14	—	予約ビット	読むと“1”が読めます。	R
b31-b17	—	予約ビット	読むと“0”が読めます。	R

RFxEMP フラグ (x = 0 ~ 7)

RSCAN0RFSTSt レジスタの RFEMP フラグが“1” (未読メッセージなし) になると、RFxEMP フラグは“1”になります。RFEMP フラグが“0” (未読メッセージあり) になると、RFxEMP フラグは“0”になります。

CFkEMP フラグ (k = 3 ~ 5)

RSCAN0CFSTSk レジスタの CFEMP フラグが“1” (メッセージなし) になると、CFkEMP フラグは“1”になります。CFEMP フラグが“0” (メッセージあり) になると、CFkEMP フラグは“0”になります。

27.2.38 FIFO フルスステータスレジスタ (RSCAN0FFSTS)

RSCAN0FFSTS レジスタは、受信 FIFO_x (x=0~7)、送受信 FIFO_k (k=3~5) がバッファフルかどうかを示すステータスレジスタです。

RSCAN0FFSTS レジスタは、グローバルリセットモード時、“0000 0000h”になります。

アドレス RSCAN.RSCAN0FFSTS A007 823Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	CF5FL L	CF4FL L	CF3FL L	—	—	—	RF7FL L	RF6FL L	RF5FL L	RF4FL L	RF3FL L	RF2FL L	RF1FL L	RF0FL L
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RF0FLL	受信 FIFO バッファフルステータスフラグ	0: 受信 FIFO バッファ x はフルではない 1: 受信 FIFO バッファ x はフル (x=0~7)	R
b1	RF1FLL			R
b2	RF2FLL			R
b3	RF3FLL			R
b4	RF4FLL			R
b5	RF5FLL			R
b6	RF6FLL			R
b7	RF7FLL			R
b10-b8	—	予約ビット	読むと“0”が読めます。	R
b11	CF3FLL	送受信 FIFO バッファフルステータスフラグ	0: 送受信 FIFO バッファ k はフルではない 1: 送受信 FIFO バッファ k はフル (k=3~5)	R
b12	CF4FLL			R
b13	CF5FLL			R
b31-b14	—	予約ビット	読むと“0”が読めます。	R/(W)

RFxFL フラグ (x=0~7)

RSCAN0RFSTS_x レジスタの RFFLL フラグが“1” (バッファフル) になると、RF_xFLL フラグは“1”になります。RFFLL フラグが“0” (バッファフルでない) になると、RF_xFLL フラグは“0”になります。

CFkFL フラグ (k=3~5)

RSCAN0CFSTS_k レジスタの CFFLL フラグが“1” (バッファフル) になると、CF_kFLL フラグは“1”になります。

CFFLL フラグが“0” (送受信 FIFO がバッファフルでない) になると、CF_kFLL フラグは“0”になります。

27.2.39 FIFO メッセージロストステータスレジスタ (RSCAN0FMSTS)

RSCAN0FMSTS レジスタは、受信 FIFOx (x=0~7)、送受信 FIFOk (k=3~5) がメッセージロスト状態かどうかを示すステータスレジスタです。

RSCAN0FMSTS レジスタは、グローバルリセットモード時、“0000 0000h”になります。

アドレス RSCAN.RSCAN0FMSTS A007 8240h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	CF5ML T	CF4ML T	CF3ML T	—	—	—	RF7ML T	RF6ML T	RF5ML T	RF4ML T	RF3ML T	RF2ML T	RF1ML T	RF0ML T
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RF0MLT	受信 FIFOバッファメッセージロストステータスフラグ	0: 受信 FIFOバッファ xメッセージロストなし 1: 受信 FIFOバッファ xメッセージロスト (x=0~7)	R
b1	RF1MLT			R
b2	RF2MLT			R
b3	RF3MLT			R
b4	RF4MLT			R
b5	RF5MLT			R
b6	RF6MLT			R
b7	RF7MLT			R
b10-b8	—	予約ビット	読むと“0”が読めます。	R
b11	CF3MLT	送受信 FIFOバッファメッセージロストステータスフラグ	0: 送受信 FIFOバッファ kメッセージロストなし 1: 送受信 FIFOバッファ kメッセージロスト (k=3~5)	R
b12	CF4MLT			R
b13	CF5MLT			R
b31-b14	—	予約ビット	読むと“0”が読めます。	R

RFxMLT フラグ (x = 0 ~ 7)

RSCAN0RFSTSx レジスタの RFMLT フラグが“1” (メッセージロスト) になると、RFxMLT フラグは“1”になります。RFMLT フラグを“0”にすると、RFxMLT フラグは“0”になります。

CFkMLT フラグ (k = 3 ~ 5)

RSCAN0CFSTSx レジスタの CFMLT フラグが“1” (メッセージロスト) になると、CFkMLT フラグは“1”になります。

CFMLT フラグを“0”にすると、CFkMLT フラグは“0”になります。

27.2.40 受信 FIFO バッファ割り込みフラグステータスレジスタ (RSCAN0RFISTS)

RSCAN0RFISTS レジスタは、受信 FIFO バッファ割り込みの有無を示すフラグレジスタです。

RSCAN0RFISTS レジスタは、グローバルリセットモード時、“0000 0000h”になります。

アドレス RSCAN.RSCAN0RFISTS A007 8244h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	RF7IF	RF6IF	RF5IF	RF4IF	RF3IF	RF2IF	RF1IF	RF0IF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RF0IF	受信 FIFO バッファ割り込み 要求ステータスフラグ	0 : 受信 FIFO バッファ x 割り込み要求なし 1 : 受信 FIFO バッファ x 割り込み要求あり (x = 0 ~ 7)	R
b1	RF1IF			R
b2	RF2IF			R
b3	RF3IF			R
b4	RF4IF			R
b5	RF5IF			R
b6	RF6IF			R
b7	RF7IF			R
b31-b8	—	予約ビット	読むと“0”が読めます。	R

RFxIF フラグ (x = 0 ~ 7)

RSCAN0RFISTS_x レジスタの RFIF フラグが“1” (割り込み要求あり) になると、RFxIF フラグは“1”になります。RFIF フラグを“0”にすると、RFxIF フラグは“0”になります。

27.2.41 送受信 FIFO バッファ 受信割り込みフラグステータスレジスタ (RSCAN0CFRISTS)

RSCAN0CFRISTS レジスタは、送受信 FIFO バッファ受信割り込みの有無を示すフラグレジスタです。RSCAN0CFRISTS レジスタは、グローバルリセットモード時、“0000 0000h” になります。

アドレス RSCAN.RSCAN0CFRISTS A007 8248h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	CF5RXIF	CF4RXIF	CF3RXIF	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。	R
b3	CF3RXIF	送受信 FIFO バッファ受信割り込み要求ステータスフラグ	0 : 送受信 FIFO バッファ k 受信割り込み要求なし 1 : 送受信 FIFO バッファ k 受信割り込み要求あり (k = 3 ~ 5)	R
b4	CF4RXIF			R
b5	CF5RXIF			R
b31-b6	—	予約ビット	読むと“0”が読めます。	R

CFkRXIF フラグ (k = 3 ~ 5)

RSCAN0CFSTSk レジスタの CFRXIF フラグが“1” (割り込み要求あり) になると、CFkRXIF フラグは“1” になります。CFRXIF フラグを“0” にすると、CFkRXIF フラグは“0” になります。

27.2.42 送受信 FIFO バッファ 送信割り込みフラグステータスレジスタ (RSCAN0CFTISTS)

RSCAN0CFTISTS レジスタは、送受信 FIFO バッファ送信割り込みの有無を示すフラグレジスタです。
RSCAN0CFTISTS レジスタは、グローバルリセットモード時、“0000 0000h”になります。

アドレス RSCAN.RSCAN0CFTISTS A007 824Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	CF5TXIF	CF4TXIF	CF3TXIF	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。	R
b3	CF3TXIF	送受信 FIFO バッファ 送信割り込み要求ステータスフラグ	0 : 送受信 FIFO バッファ k 送信割り込み要求なし 1 : 送受信 FIFO バッファ k 送信割り込み要求あり (k = 3 ~ 5)	R
b4	CF4TXIF			R
b5	CF5TXIF			R
b31-b6	—	予約ビット	読むと“0”が読めます。	R

CFkTXIF フラグ (k = 3 ~ 5)

RSCAN0CFSTSk レジスタの CFTXIF フラグが“1” (割り込み要求あり) になると、CFkTXIF フラグは“1”になります。CFTXIF フラグを“0”にすると、CFkTXIF フラグは“0”になります。

27.2.43 送信バッファ制御レジスタ (RSCAN0TMCp) (p = 16 ~ 31)

RSCAN0TMCp レジスタは送信バッファの設定を制御するレジスタです (p = 16 ~ 31)。

RSCAN0TMCp レジスタが次の条件を満たす場合は、“00h” にしてください。

- RSCAN0CFCCk レジスタの CFTML[3:0] ビットで選択した送信バッファ番号に対応する RSCAN0TMCp レジスタ (p = 16 + CFTML[3:0] ビットの値) (k = 3 ~ 5)
- RSCAN0TXQCC1 レジスタの TXQDC[3:0] ビットで送信キューに割り当てた送信バッファに対応する RSCAN0TMCp レジスタ (p = 31 ~ (31 - TXQDC[3:0] ビットの値))

RSCAN0TMCp レジスタのビットは、チャンネルリセットモード時に“0”になります。RSCAN0TMCp レジスタは、チャンネル通信モードまたはチャンネル待機モードで書き換えてください。

アドレス RSCAN.RSCAN0TMC16 A007 8260h, RSCAN.RSCAN0TMC17 A007 8261h, RSCAN.RSCAN0TMC18 A007 8262h, RSCAN.RSCAN0TMC19 A007 8263h, RSCAN.RSCAN0TMC20 A007 8264h, RSCAN.RSCAN0TMC21 A007 8265h, RSCAN.RSCAN0TMC22 A007 8266h, RSCAN.RSCAN0TMC23 A007 8267h, RSCAN.RSCAN0TMC24 A007 8268h, RSCAN.RSCAN0TMC25 A007 8269h, RSCAN.RSCAN0TMC26 A007 826Ah, RSCAN.RSCAN0TMC27 A007 826Bh, RSCAN.RSCAN0TMC28 A007 826Ch, RSCAN.RSCAN0TMC29 A007 826Dh, RSCAN.RSCAN0TMC30 A007 826Eh, RSCAN.RSCAN0TMC31 A007 826Fh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	TMOM	TMTAR	TMTR

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TMTR	送信要求ビット	0: 送信を要求しない 1: 送信を要求する	R/W (注1)
b1	TMTAR	送信アボート要求ビット	0: 送信アボートを要求しない 1: 送信アボートを要求する	R/W (注1)
b2	TMOM	ワンショット送信許可ビット	0: ワンショット送信禁止 1: ワンショット送信許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1. このビットへの書き込みは、ビットセットする (“1”にする) 動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

TMTR ビット (送信要求ビット)

“1”にすると、送信バッファに格納されたメッセージの送信を行います。

TMTR ビットは次の条件で“0”になります。プログラムで“0”を書いても“0”にできません。

- 送信が完了したとき
 - TMTAR ビットを“1”にし、送信アボートが完了したとき
 - TMOM ビットが“1”の状態、エラーまたはアービトレーションロストを検出したとき
- RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグが“00b”のときに、TMTR ビットを“1”に設定してください。

TMTAR ビット (送信アボート要求ビット)

“1”にすると、送信バッファに格納されたメッセージの送信アボート要求が発生します。ただし、送信中または次の送信に決定したメッセージはアボートできません。

TMTR ビットが“1”のとき、TMTAR ビットを“1”にできます。

TMTAR ビットは次の条件で“0”になります。プログラムで“0”を書いても“0”になりません。

- 送信が完了したとき
 - 送信アボートが完了したとき
 - エラーまたはアービトレーションロストを検出したとき
- “0”になるタイミングと“1”を書くタイミングが同じ場合、“0”になります。

TMOM ビット (ワンショット送信許可ビット)

“1”にすると、ワンショット送信が許可されます。送信に失敗しても、CAN プロトコルに規定された再送信を行いません。

TMOM ビットは、RSCAN0TMSTSp レジスタの TMTRM フラグが“0”のときに書き換えてください。

TMOM ビットに“1”を書く場合は、TMTR ビットと同時に“1”を書いてください。

27.2.44 送信バッファステータスレジスタ (RSCAN0TMSTSp) (p = 16 ~ 31)

RSCAN0TMSTSp レジスタは、送信バッファの状態を示すステータスレジスタです (p = 16 ~ 31)。
RSCAN0TMSTSp レジスタのビットは、チャンネルリセットモード時に“0”になります。

アドレス RSCAN.RSCAN0TMSTS16 A007 82E0h, RSCAN.RSCAN0TMSTS17 A007 82E1h, RSCAN.RSCAN0TMSTS18 A007 82E2h,
RSCAN.RSCAN0TMSTS19 A007 82E3h, RSCAN.RSCAN0TMSTS20 A007 82E4h, RSCAN.RSCAN0TMSTS21 A007 82E5h,
RSCAN.RSCAN0TMSTS22 A007 82E6h, RSCAN.RSCAN0TMSTS23 A007 82E7h, RSCAN.RSCAN0TMSTS24 A007 82E8h,
RSCAN.RSCAN0TMSTS25 A007 82E9h, RSCAN.RSCAN0TMSTS26 A007 82EAh, RSCAN.RSCAN0TMSTS27 A007 82EBh,
RSCAN.RSCAN0TMSTS28 A007 82ECh, RSCAN.RSCAN0TMSTS29 A007 82EDh, RSCAN.RSCAN0TMSTS30 A007 82EEh,
RSCAN.RSCAN0TMSTS31 A007 82EFh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	TMTAR M	TMTR M	TMTRF[1:0]	TMTST S	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMTSTS	送信バッファ送信ステータスフラグ	0 : 送信中ではない 1 : 送信中	R
b2-b1	TMTRF[1:0]	送信バッファ送信結果フラグ	b2 b1 0 0 : 送信中、または送信要求なし 0 1 : 送信アボート完了 1 0 : 送信完了 (送信アボート要求なし) 1 1 : 送信完了 (送信アボート要求あり)	R/W
b3	TMTRM	送信バッファ送信要求ステータスフラグ	0 : 送信要求なし 1 : 送信要求あり	R
b4	TMTARM	送信バッファ送信アボート要求ステータスフラグ	0 : 送信アボート要求なし 1 : 送信アボート要求あり	R
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

TMTSTS フラグ (送信バッファ送信ステータスフラグ)

送信バッファからの送信が開始すると、“1”になります。送信バッファからの送信が完了、またはバスエラーやアービトレーションロストにより中断されると、“0”になります。

TMTRF[1:0] フラグ (送信バッファ送信結果フラグ)

送信バッファからの送信結果を示します。

00b : 送信中または送信要求なし。

01b : 送信バッファからの送信がアボートされた。

10b : RSCAN0TMCp レジスタの TMTAR ビットが“0” (送信アボートを要求しない) で、送信が完了した。

11b : RSCAN0TMCp レジスタの TMTAR ビットが“1” (送信アボートを要求する) で、送信が完了した。

TMTRF[1:0] フラグは、チャンネル通信モードまたはチャンネル待機モードで“00b”を書いてください。“00b”以外の値は書かないでください。

TMTRM フラグ (送信バッファ送信要求ステータスフラグ)

RSCAN0TMCp レジスタの TMTR ビットを “1” にすると、TMTRM フラグは “1” になります。

RSCAN0TMCp レジスタの TMTR ビットが “0” になると、TMTRM フラグは “0” になります。

TMTARM フラグ (送信バッファ送信アボート要求ステータスフラグ)

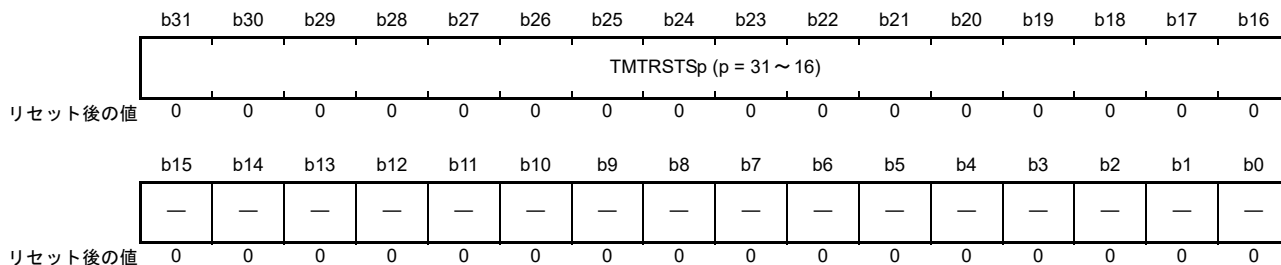
RSCAN0TMCp レジスタの TMTAR ビットを “1” にすると、TMTARM フラグは “1” になります。

RSCAN0TMCp レジスタの TMTAR ビットが “0” になると、TMTARM フラグは “0” になります。

27.2.45 送信バッファ送信要求ステータスレジスタ 0 (RSCAN0TMTRSTS0)

RSCAN0TMTRSTS0 レジスタは、送信バッファの送信要求状態を示すステータスレジスタです。

アドレス RSCAN.RSCAN0TMTRSTS0 A007 8350h



ビット	シンボル	ビット名	機能	R/W
b15-b0	—	予約ビット	読むと“0”が読めます。	R
b31-b16	TMTRSTSp	送信バッファ送信要求ステータスフラグ p (p = 31 ~ 16)	0 : 送信要求なし 1 : 送信要求あり	R

TMTRSTSp フラグ (p = 16 ~ 31) (送信バッファ送信要求ステータスフラグ p)

RSCAN0TMCp レジスタの TMTR ビットの状態を示します。

TMTR ビットを“1” (送信を要求する) にすると、対応する TMTRSTSp フラグは“1”になります。

TMTR ビットが“0” (送信を要求しない) になると、対応する TMTRSTSp フラグは“0”になります。また、チャンネルリセットモード時、“0”になります。

表 27.5 にビット配置を示します。

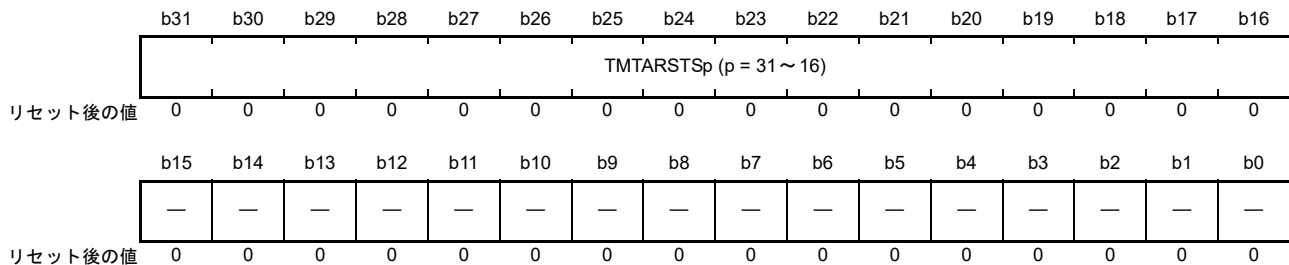
表 27.5 TMTRSTSp ビット配置

ビット位置	チャンネル	送信バッファ番号
16	1	16
⋮	⋮	⋮
30	1	30
31	1	31

27.2.46 送信バッファ送信アボート要求ステータスレジスタ 0 (RSCAN0TMTARSTS0)

RSCAN0TMTARSTS0 レジスタは、送信バッファ送信アボート要求の状態を示すステータスレジスタです。

アドレス RSCAN.RSCAN0TMTARSTS0 A007 8360h



ビット	シンボル	ビット名	機能	R/W
b15-b0	—	予約ビット	読むと“0”が読めます。	R
b31-b16	TMTARSTSp	送信バッファ送信アボート要求ステータスフラグ p (p = 31 ~ 16)	0 : 送信アボート要求なし 1 : 送信アボート要求あり	R

TMTARSTSp フラグ (送信バッファ送信アボート要求ステータスフラグ p) (p = 16 ~ 31)

RSCAN0TMCp レジスタの TMTAR ビットの状態を示します。

TMTAR ビットを“1” (送信アボートを要求する) にすると、対応する TMTARSTSp フラグは“1”になります。

TMTAR ビットが“0” (送信アボートを要求しない) になると、対応する TMTARSTSp フラグは“0”になります。また、チャンネルリセットモード時、“0”になります。

表 27.6 にビット配置を示します。

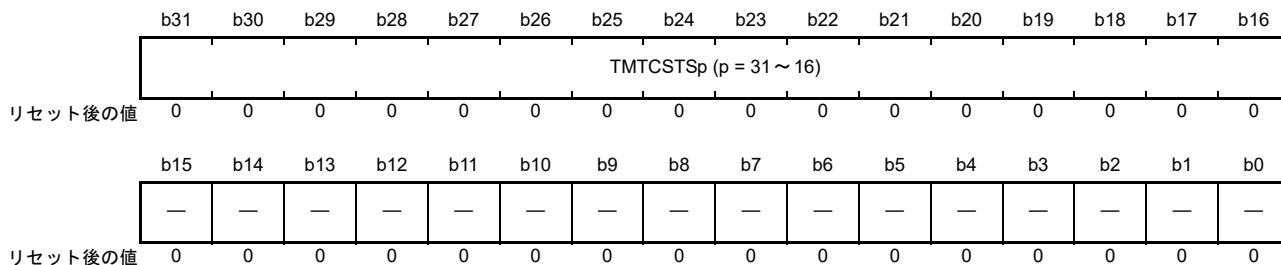
表 27.6 TMTARSTSp ビット配置

ビット位置	チャンネル	送信バッファ番号
16	1	16
·	·	·
·	·	·
30	1	30
31	1	31

27.2.47 送信バッファ送信完了ステータスレジスタ 0 (RSCAN0TMCSTS0)

RSCAN0TMCSTS0 レジスタは、送信バッファ送信完了要求の状態を示すステータスレジスタです。

アドレス RSCAN.RSCAN0TMCSTS0 A007 8370h



ビット	シンボル	ビット名	機能	R/W
b15-b0	—	予約ビット	読むと“0”が読めます。	R
b31-b16	TMCSTS _p	送信バッファ送信完了ステータスフラグ p (p = 31 ~ 16)	0 : 送信未完了 1 : 送信完了	R

TMCSTS_p フラグ (送信バッファ送信完了ステータスフラグ p) (p = 16 ~ 31)

RSCAN0TMCSTS_p レジスタの TMTRF[1:0] フラグが “10b” (送信完了、送信アボート要求なし) または “11b” (送信完了、送信アボート要求あり) になると、対応する TMCSTS_p フラグは “1” になります。

TMCSTS_p フラグを “0” にする場合は、対応する TMTRF[1:0] フラグを “00b” にしてください。また、チャンネルリセットモード時、“0” になります。

表 27.7 にビット配置を示します。

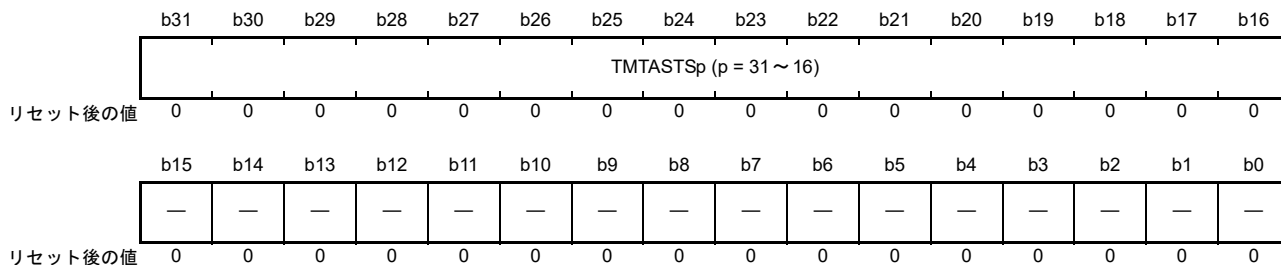
表 27.7 TMCSTS_p ビット配置

ビット位置	チャンネル	送信バッファ番号
16	1	16
⋮	⋮	⋮
30	1	30
31	1	31

27.2.48 送信バッファ送信アボートステータスレジスタ 0 (RSCAN0TMTASTS0)

RSCAN0TMTASTS0 レジスタは、送信バッファ送信アボート要求の状態を示すステータスレジスタです。

アドレス RSCAN.RSCAN0TMTASTS0 A007 8380h



ビット	シンボル	ビット名	機能	R/W
b15-b0	—	予約ビット	読むと“0”が読めます。	R
b31-b16	TMTASTSp	送信バッファ送信アボートステータスフラグ p (p = 31 ~ 16)	0 : 送信アボートなし 1 : 送信アボートあり	R

TMTASTSp フラグ (送信バッファ送信アボートステータスフラグ p) (p = 16 ~ 31)

RSCAN0TMTASTSp レジスタの TMTRF[1:0] フラグが“01b” (送信アボート完了) になると、対応する TMTASTSp フラグは“1”になります。

TMTASTSp フラグを“0”にする場合は、対応する TMTRF[1:0] フラグを“00b”にしてください。また、チャンネルリセットモード時、“0”になります。

表 27.8 にビット配置を示します。

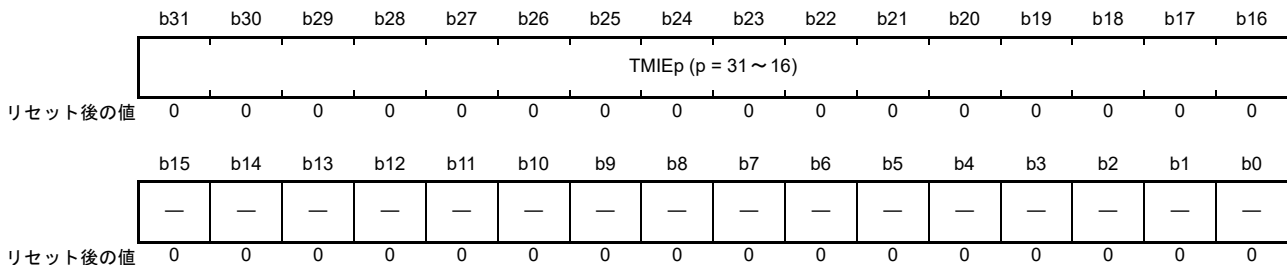
表 27.8 TMTASTSpビット配置

ビット位置	チャンネル	送信バッファ番号
16	1	16
.	.	.
30	1	30
31	1	31

27.2.49 送信バッファ割り込みイネーブルコンフィグレーションレジスタ 0 (RSCAN0TMIEC0)

RSCAN0TMIEC0 レジスタは、送信バッファ割り込み要求の許可/禁止を設定するレジスタです。

アドレス RSCAN.RSCAN0TMIEC0 A007 8390h



ビット	シンボル	ビット名	機能	R/W
b15-b0	—	予約ビット	読むと“0”が読めます。	R/W
b31-b16	TMIEp	送信バッファ割り込み許可ビット p (p = 31 ~ 16)	0: 送信バッファ割り込み禁止 1: 送信バッファ割り込み許可	R/W

TMIEp ビット (送信バッファ割り込み許可ビット p) (p = 16 ~ 31)

このビットを“1”に設定し、対応する送信が完了した場合、CAN1 送信割り込み要求 (送信バッファ割り込み) が発生します。

このビットは対応する RSCAN0TMSTSp レジスタの TMTRM フラグが“0” (送信要求なし) のときに書き換えてください。

送受信 FIFO バッファにリンクした送信バッファ、または送信キューに割り当てられた送信バッファに対応するビットは“0”にしてください。

表 27.9 にビット配置を示します。

表 27.9 TMIEp ビットの配置

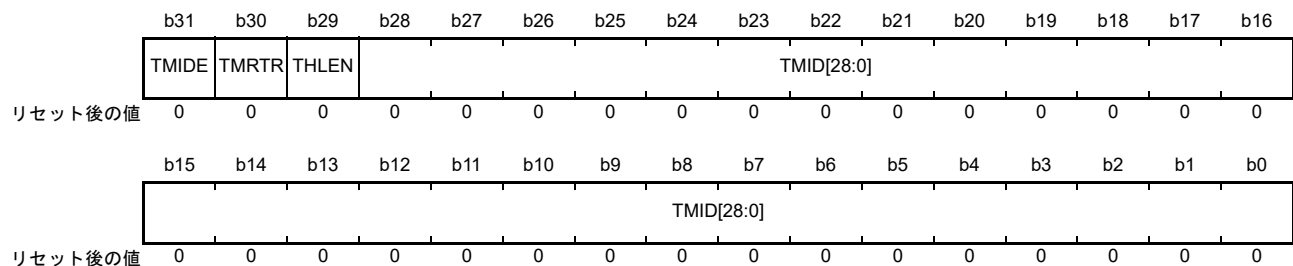
ビット位置	チャンネル	送信バッファ番号
16	1	16
.	.	.
30	1	30
31	1	31

27.2.50 送信バッファ ID レジスタ (RSCAN0TMIDp) (p = 16 ~ 31)

RSCAN0TMIDp レジスタは送信するメッセージの ID、データフォーマットを制御するレジスタです (p = 16 ~ 31)。

このレジスタは、対応する RSCAN0TMSTSp レジスタの TMTRM ビットが“0” (送信を要求しない) のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、送信バッファ 31 のみに書き込みをしてください。

アドレス RSCAN.RSCAN0TMID16 A007 9100h, RSCAN.RSCAN0TMID17 A007 9110h, RSCAN.RSCAN0TMID18 A007 9120h,
RSCAN.RSCAN0TMID19 A007 9130h, RSCAN.RSCAN0TMID20 A007 9140h, RSCAN.RSCAN0TMID21 A007 9150h,
RSCAN.RSCAN0TMID22 A007 9160h, RSCAN.RSCAN0TMID23 A007 9170h, RSCAN.RSCAN0TMID24 A007 9180h,
RSCAN.RSCAN0TMID25 A007 9190h, RSCAN.RSCAN0TMID26 A007 91A0h, RSCAN.RSCAN0TMID27 A007 91B0h,
RSCAN.RSCAN0TMID28 A007 91C0h, RSCAN.RSCAN0TMID29 A007 91D0h, RSCAN.RSCAN0TMID30 A007 91E0h,
RSCAN.RSCAN0TMID31 A007 91F0h



ビット	シンボル	ビット名	機能	R/W
b28-b0	TMID[28:0]	送信バッファ ID データ設定ビット	標準 ID または拡張 ID を設定してください。 標準 ID の場合、b10 ~ b0 に ID を設定してください。b28 ~ b11 は“0”にしてください。	R/W
b29	THLEN	送信履歴データ格納許可ビット	0: 送信履歴データをバッファに格納しない 1: 送信履歴データをバッファに格納する	R/W
b30	TMRTR	送信バッファ RTR ビット	0: データフレーム 1: リモートフレーム	R/W
b31	TMIDE	送信バッファ IDE ビット	0: 標準 ID 1: 拡張 ID	R/W

TMID[28:0] ビット (送信バッファ ID データ設定ビット)

送信バッファから送信するメッセージの ID を設定します。

THLEN ビット (送信履歴データ格納許可ビット)

“1”にすると、送信が完了した後、送信メッセージの送信履歴データ (ラベル情報、バッファ番号、バッファ・タイプ) が送信履歴バッファに格納されます。

TMRTR ビット (送信バッファ RTR ビット)

送信バッファから送信するメッセージのデータフォーマットを設定します。

TMIDE ビット (送信バッファ IDE ビット)

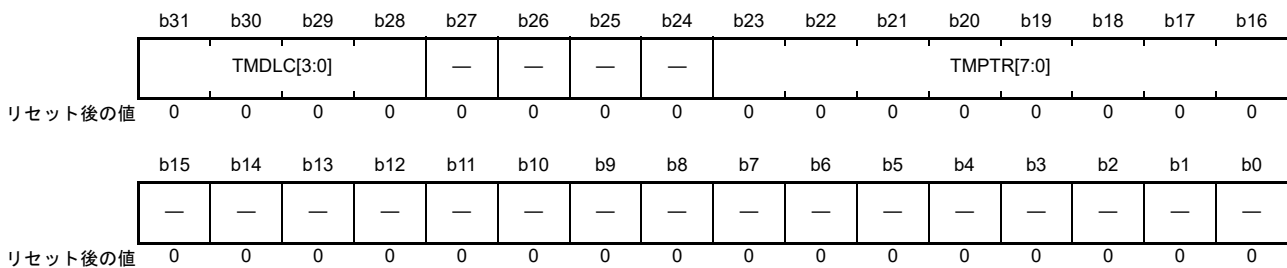
送信バッファから送信するメッセージの ID フォーマットを設定します。

27.2.51 送信バッファポインタレジスタ (RSCAN0TMPTRp) (p = 16 ~ 31)

RSCAN0TMPTRp レジスタは、送信されるメッセージのデータ長、ラベル情報を制御するレジスタです (p = 16 ~ 31)。

このレジスタは、対応する RSCAN0TMSTSp レジスタの TMTRM ビットが “0” (送信を要求しない) のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、送信バッファ 31 のみに書き込みをしてください。

アドレス RSCAN.RSCAN0TMPTR16 A007 9104h, RSCAN.RSCAN0TMPTR17 A007 9114h, RSCAN.RSCAN0TMPTR18 A007 9124h, RSCAN.RSCAN0TMPTR19 A007 9134h, RSCAN.RSCAN0TMPTR20 A007 9144h, RSCAN.RSCAN0TMPTR21 A007 9154h, RSCAN.RSCAN0TMPTR22 A007 9164h, RSCAN.RSCAN0TMPTR23 A007 9174h, RSCAN.RSCAN0TMPTR24 A007 9184h, RSCAN.RSCAN0TMPTR25 A007 9194h, RSCAN.RSCAN0TMPTR26 A007 91A4h, RSCAN.RSCAN0TMPTR27 A007 91B4h, RSCAN.RSCAN0TMPTR28 A007 91C4h, RSCAN.RSCAN0TMPTR29 A007 91D4h, RSCAN.RSCAN0TMPTR30 A007 91E4h, RSCAN.RSCAN0TMPTR31 A007 91F4h



ビット	シンボル	ビット名	機能	R/W
b15-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b23-b16	TMPTR[7:0]	送信バッファラベルデータ設定ビット	送信履歴バッファに格納するラベル情報を設定してください。	R/W
b27-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b31-b28	TMDLC[3:0]	送信バッファ DLC データ設定ビット	b31 b30 b29 b28 0 0 0 0 : 0データバイト 0 0 0 1 : 1データバイト 0 0 1 0 : 2データバイト 0 0 1 1 : 3データバイト 0 1 0 0 : 4データバイト 0 1 0 1 : 5データバイト 0 1 1 0 : 6データバイト 0 1 1 1 : 7データバイト 1 x x x : 8データバイト	R/W

TMPTR[7:0] ビット (送信バッファラベルデータ設定ビット)

メッセージ送信が完了した場合、TMPTR[7:0] ビットの値が送信履歴バッファに格納されます。

TMDLC[3:0] ビット (送信バッファ DLC データ設定ビット)

RSCAN0TMIDp レジスタの TMRTR ビットが “0” (データフレーム) のとき、送信バッファから送信されるメッセージのデータ長を設定します。9 バイト以上を設定した場合、送信されるデータは、8 バイトになります。

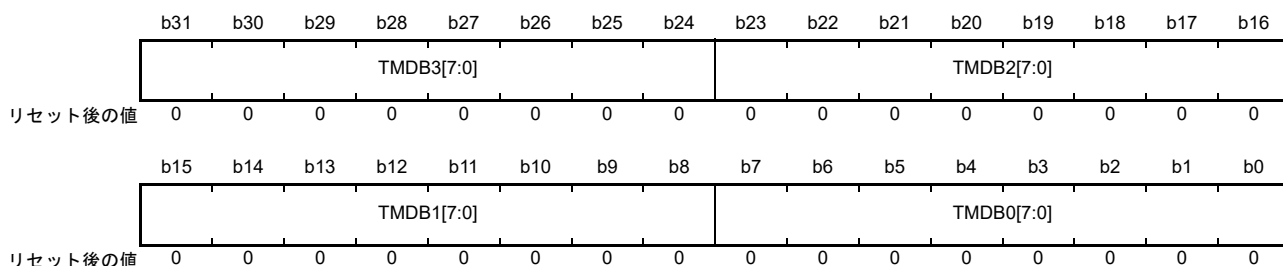
TMRTR ビットが “1” (リモートフレーム) のとき、要求するメッセージのデータ長を設定します。

27.2.52 送信バッファデータフィールド0レジスタ (RSCAN0TMDF0p) (p = 16 ~ 31)

RSCAN0TMDF0p レジスタは送信バッファから送信されるデータを書き込むデータレジスタです (p = 16 ~ 31)。

このレジスタは、対応する RSCAN0TMSTSp レジスタの TMTRM ビットが“0” (送信を要求しない) のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、送信バッファ 31 のみに書き込んでください。

アドレス RSCAN.RSCAN0TMDF016 A007 9108h、RSCAN.RSCAN0TMDF017 A007 9118h、RSCAN.RSCAN0TMDF018 A007 9128h、RSCAN.RSCAN0TMDF019 A007 9138h、RSCAN.RSCAN0TMDF020 A007 9148h、RSCAN.RSCAN0TMDF021 A007 9158h、RSCAN.RSCAN0TMDF022 A007 9168h、RSCAN.RSCAN0TMDF023 A007 9178h、RSCAN.RSCAN0TMDF024 A007 9188h、RSCAN.RSCAN0TMDF025 A007 9198h、RSCAN.RSCAN0TMDF026 A007 91A8h、RSCAN.RSCAN0TMDF027 A007 91B8h、RSCAN.RSCAN0TMDF028 A007 91C8h、RSCAN.RSCAN0TMDF029 A007 91D8h、RSCAN.RSCAN0TMDF030 A007 91E8h、RSCAN.RSCAN0TMDF031 A007 91F8h



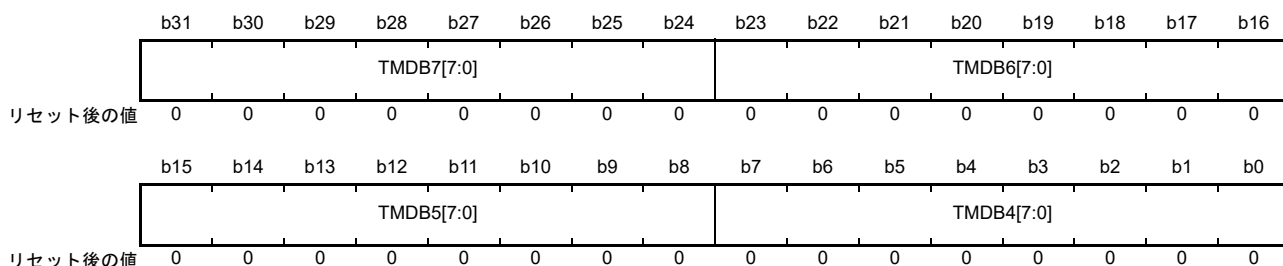
ビット	シンボル	ビット名	機能	R/W
b7-b0	TMDB0[7:0]	送信バッファデータバイト0	送信バッファのデータを設定してください。	R/W
b15-b8	TMDB1[7:0]	送信バッファデータバイト1		R/W
b23-b16	TMDB2[7:0]	送信バッファデータバイト2		R/W
b31-b24	TMDB3[7:0]	送信バッファデータバイト3		R/W

27.2.53 送信バッファデータフィールド 1 レジスタ (RSCAN0TMDF1p) (p = 16 ~ 31)

RSCAN0TMDF1p レジスタは送信バッファから送信されるデータを書き込むデータレジスタです (p = 16 ~ 31)。

このレジスタは、対応する RSCAN0TMSTSp レジスタの TMTRM ビットが “0” (送信を要求しない) のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、送信バッファ 31 のみに書き込んでください。

アドレス RSCAN.RSCAN0TMDF116 A007 910Ch, RSCAN.RSCAN0TMDF117 A007 911Ch, RSCAN.RSCAN0TMDF118 A007 912Ch, RSCAN.RSCAN0TMDF119 A007 913Ch, RSCAN.RSCAN0TMDF120 A007 914Ch, RSCAN.RSCAN0TMDF121 A007 915Ch, RSCAN.RSCAN0TMDF122 A007 916Ch, RSCAN.RSCAN0TMDF123 A007 917Ch, RSCAN.RSCAN0TMDF124 A007 918Ch, RSCAN.RSCAN0TMDF125 A007 919Ch, RSCAN.RSCAN0TMDF126 A007 91ACh, RSCAN.RSCAN0TMDF127 A007 91BCh, RSCAN.RSCAN0TMDF128 A007 91CCh, RSCAN.RSCAN0TMDF129 A007 91DCh, RSCAN.RSCAN0TMDF130 A007 91ECh, RSCAN.RSCAN0TMDF131 A007 91FCh



ビット	シンボル	ビット名	機能	R/W
b7-b0	TMDB4[7:0]	送信バッファデータバイト4	送信バッファのデータを設定してください。	R/W
b15-b8	TMDB5[7:0]	送信バッファデータバイト5		R/W
b23-b16	TMDB6[7:0]	送信バッファデータバイト6		R/W
b31-b24	TMDB7[7:0]	送信バッファデータバイト7		R/W

27.2.54 送信キューコンフィグレーション/制御レジスタ (RSCAN0TXQCC1)

RSCAN0TXQCC1 レジスタは、チャンネル 1 (CAN1) の送信キュー設定を制御するレジスタです。

アドレス RSCAN.RSCAN0TXQCC1 A007 83A4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	TXQIM	TXQIE		TXQDC[3:0]		—	—	—	—	—	—	—	—	TXQE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXQE	送信キュー許可ビット	0 : 送信キューを使用しない 1 : 送信キューを使用する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b11-b8	TXQDC[3:0]	送信キュー段数設定ビット	設定値を g (g = 2 ~ 15) とすると、g+1の送信キューを使用できません。 “0”を設定すると、送信キューは使用できません。 “1”は設定しないでください。	R/W
b12	TXQIE	送信キュー割り込み許可ビット	0 : 送信キュー割り込み禁止 1 : 送信キュー割り込み許可	R/W
b13	TXQIM	送信キュー割り込み要因選択ビット	0 : 送信完了によって送信キューが空になったときに発生 1 : 1メッセージ送信完了ごとに発生	R/W
b31-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

TXQE ビット (送信キュー許可ビット)

“1”にすると送信キューを使用できます。このビットは、チャンネル通信モードまたはチャンネル待機モードで書き換えてください。チャンネルリセットモード時、“0”になります。

TXQDC[3:0] ビットの値を“0010b”以上に設定してから TXQE ビットを“1”にしてください。

TXQDC[3:0] ビット (送信キュー段数設定ビット)

送信キューに割り付ける送信バッファの数を設定します。表 27.10 に示すように、送信キューは、送信バッファ番号の大きい方から順に 31 ~ 16 (CAN1) まで順番に割り付けられます。バッファの割り当て例については、「27.6 送信機能」の図 27.9 を参照してください。このビットはチャンネルリセットモード時のみ書き換えてください。

表 27.10 チャンネル1 (CAN1) の送信キューに割り当てられる送信バッファ p

TXQDC[3:0] ビットの設定値	送信キューに割り当てられる送信バッファ p (p = 16 ~ 31)
	チャンネル1
0000b	設定しないでください
0001b	設定しないでください
0010b	送信バッファ 31 ~ 29
0011b	送信バッファ 31 ~ 28
0100b	送信バッファ 31 ~ 27
0101b	送信バッファ 31 ~ 26
0110b	送信バッファ 31 ~ 25
0111b	送信バッファ 31 ~ 24
1000b	送信バッファ 31 ~ 23
1001b	送信バッファ 31 ~ 22
1010b	送信バッファ 31 ~ 21
1011b	送信バッファ 31 ~ 20
1100b	送信バッファ 31 ~ 19
1101b	送信バッファ 31 ~ 18
1110b	送信バッファ 31 ~ 17
1111b	送信バッファ 31 ~ 16

TXQIE ビット (送信キュー割り込み許可ビット)

TXQIE ビットを“1”に設定し、TXQIM ビットで選択した要因が発生すると、CAN1 送信割り込み要求 (送信キュー割り込み) が発生します。

TXQIE ビットを書き換える場合は、TXQE ビットを“0”にしてください。

TXQIM ビット (送信キュー割り込み要因選択ビット)

送信キュー割り込み要因を選択します。このビットはチャンネルリセットモードで書き換えてください。

27.2.55 送信キューステータスレジスタ (RSCAN0TXQSTS1)

RSCAN0TXQSTS1 レジスタは、送信キューの状態を示すステータスレジスタです。

アドレス RSCAN.RSCAN0TXQSTS1 A007 83C4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	TXQIF	TXQFL L	TXQEM P
リセット後の値	0	0	0	x	x	x	x	x	0	0	0	0	0	0	0	1

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	TXQEMP	送信キュー空ステータスフラグ	0: 送信キューにメッセージあり 1: 送信キューにメッセージなし (送信キュー空)	R
b1	TXQFLL	送信キューフルステータスフラグ	0: 送信キューフルではない 1: 送信キューフル	R
b2	TXQIF	送信キュー割り込み要求フラグ	0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり	R/W (注1)
b7-b3	—	予約ビット	読むと“0”が読めます。	R
b12-b8	—	予約ビット	読むと不定値が読めます。	R
b31-b13	—	予約ビット	読むと“0”が読めます。	R

注1. このフラグビットへの書き込みは、ステータスクリアする (“0”にする) 動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

TXQEMP フラグ (送信キュー空ステータスフラグ)

メッセージを1つでも送信キューに設定すると、TXQEMP フラグは“0”になります。

次の条件で、“1”になります。

- TXQE ビットを“0” (送信キューを使用しない) にしたとき
- 送信キューが空になったとき
- チャネルリセットモード時

TXQFLL フラグ (送信キューフルステータスフラグ)

送信キューに設定したメッセージ数と、RSCAN0TXQCC1 レジスタの TXQDC[3:0] ビットで設定した段数が一致すると、“1”になります。

次の条件で“0”になります。

- 送信キューに設定したメッセージが、TXQDC[3:0] ビットで設定した数より少ない
- チャネルリセットモード時

TXQIF フラグ (送信キュー割り込み要求フラグ)

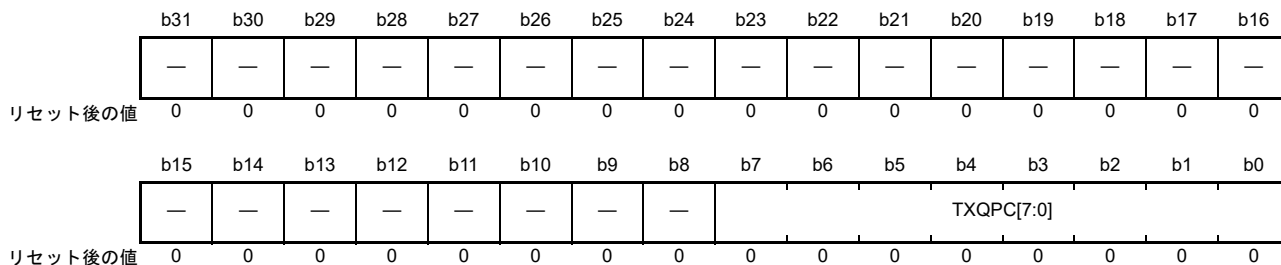
RSCAN0TXQCC1 レジスタの TXQIM ビットで設定した要因が発生すると、“1”になります。

TXQIF フラグへの“0”書き込み、またはチャネルリセットモード時、“0”になります。TXQIF フラグは、RSCAN0TXQCC1 レジスタの TXQE ビットを“0” (送信キューを使用しない) にしても“0”になりません。

27.2.56 送信キューポインタ制御レジスタ (RSCAN0TXQPCTR1)

RSCAN0TXQPCTR1 レジスタは、送信キューのポインタを制御するレジスタです。

アドレス RSCAN.RSCAN0TXQPCTR1 A007 83E4h



ビット	シンボル	ビット名	機能	R/W
b7-b0	TXQPC[7:0]	送信キューポインタ制御ビット	“FFh”を書くと、送信キューのライトポインタを次のキューバッファに移動します。	W
b31-b8	—	予約ビット	書く場合、“0”としてください。	W

TXQPC[7:0] ビット (送信キューポインタ制御ビット)

TXQPC[7:0] ビットに“FFh”を書くと、次の送信キューバッファへライトポインタが移動し、そのメッセージの送信要求が発生します。RSCAN0TMID31、RSCAN0TMPTR31、RSCAN0TMDf031、RSCAN0TMDf131 レジスタに送信メッセージを書いた後に、TXQPC[7:0] ビットに“FFh”を書いてください。

なお、“FFh”の書き込みは、RSCAN0TXQCC1 レジスタの TXQE ビットが“1” (送信キューを使用する) で、RSCAN0TXQSTS1 レジスタの TXQFLL フラグが“0” (フルではない) の場合にのみ行ってください。

27.2.57 送信履歴コンフィグレーション/制御レジスタ (RSCAN0THLCC1)

RSCAN0THLCC1 レジスタは、送信履歴の設定を制御するレジスタです。

アドレス RSCAN.RSCAN0THLCC1 A007 8404h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	THLDT E	THLIM	THLIE	—	—	—	—	—	—	—	THLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	THLE	送信履歴バッファ許可ビット	0: 送信履歴バッファを使用しない 1: 送信履歴バッファを使用する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b8	THLIE	送信履歴割り込み許可ビット	0: 送信履歴割り込み禁止 1: 送信履歴割り込み許可	R/W
b9	THLIM	送信履歴割り込み要因選択ビット	0: 送信履歴バッファに12データ格納されたとき 1: 1送信履歴データの格納完了時	R/W
b10	THLDTE	送信履歴対象バッファ選択ビット	0: 送受信FIFO、送信キューからのエントリ 1: 送信バッファ、送受信FIFO、送信キューからのエントリ	R/W
b31-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

THLE ビット (送信履歴バッファ許可ビット)

“1”にすると、送信履歴バッファが使用できます。THLDTE ビットで選択したバッファからの送信が完了すると、送信メッセージの送信履歴データが、送信履歴バッファへ格納されます。

このビットは、チャンネル通信モードまたはチャンネル待機モードで書き換えてください。

THLIE ビット (送信履歴割り込み許可ビット)

THLIE ビットを“1”に設定し、THLIM ビットで選択した要因が発生した場合、CAN1 送信割り込み要求 (送信履歴割り込み) が発生します。THLE ビットが“0”の状態でのみ、THLIE ビットを書き換えてください。

THLIM ビット (送信履歴割り込み要因選択ビット)

送信履歴割り込み要因を選択します。

このビットはチャンネルリセットモードでのみ書き換えてください。

THLDTE ビット (送信履歴対象バッファ選択ビット)

“0”にすると、送受信 FIFO バッファ、送信キューから送信したメッセージの送信履歴データを送信履歴バッファに格納します。“1”にすると、送信バッファ、送受信 FIFO バッファ、送信キューから送信したメッセージの送信履歴データを、送信履歴バッファに格納します。

このビットはチャンネルリセットモードでのみ書き換えてください。

27.2.58 送信履歴ステータスレジスタ (RSCAN0THLSTS1)

RSCAN0THLSTS1 レジスタは、送信履歴の状態を示すステータスレジスタです。

アドレス RSCAN.RSCAN0THLSTS1 A007 8424h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	THLMC[4:0]				—	—	—	—	THLIF	THLELT	THLFL	THLEMP	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	THLEMP	送信履歴バッファ空ステータスフラグ	0: 送信履歴バッファに未読データあり 1: 送信履歴バッファに未読データなし (バッファ空)	R
b1	THLFL	送信履歴バッファフルステータスフラグ	0: 送信履歴バッファフルではない 1: 送信履歴バッファフル	R
b2	THLELT	送信履歴バッファオーバーフローフラグ	0: 送信履歴バッファオーバーフローではない 1: 送信履歴バッファオーバーフロー	R/W (注1)
b3	THLIF	送信履歴割り込み要求フラグ	0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり	R/W (注1)
b7-b4	—	予約ビット	読むと“0”が読めます。	R
b12-b8	THLMC[4:0]	送信履歴バッファ未読数カウンタ	送信履歴バッファに格納された未読データ数を示します。	R
b31-b13	—	予約ビット	読むと“0”が読めます。	R

注1. このフラグビットへの書き込みは、ステータスクリアする (“0”にする) 動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

THLEMP フラグ (送信履歴バッファ空ステータスフラグ)

送信履歴データが1つでも送信履歴バッファへ格納されると“0”になります。

送信履歴バッファのすべてのデータを読むと“1”になります。RSCAN0THLCC1 レジスタの THLE ビットを“0” (送信履歴バッファを使用しない) にしたとき、またはチャンネルリセットモード時、“1”になります。

THLFL フラグ (送信履歴バッファフルステータスフラグ)

送信履歴バッファに16個のデータが格納されると、“1”になります。格納数が16個より少なくなると“0”になります。RSCAN0THLCC1 レジスタの THLE ビットが“0” (送信履歴バッファを使用しない) のとき、またはチャンネルリセットモード時、“0”になります。

THLELT フラグ (送信履歴バッファオーバーフローフラグ)

送信履歴バッファがフルの場合に、さらに新しい送信履歴データを格納しようとしたとき“1”になります。この場合、新しいデータは破棄されます。プログラムで“0”を書き込むことで“0”にしてください。チャンネルリセットモード時、“0”になります。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

THLIF フラグ (送信履歴割り込み要求フラグ)

RSCAN0THLCC1 レジスタの THLIM ビットで設定した割り込み要因が発生したとき、“1”になります。プログラムで“0”を書き込むことで“0”にしてください。チャネルリセットモード時、“0”になります。フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

THLMC[4:0] ビット (送信履歴バッファ未読数カウンタ)

送信履歴バッファ内の未読データ数を示します。

27.2.59 送信履歴アクセスレジスタ (RSCAN0THLACC1)

RSCAN0THLACC1 レジスタは、送信履歴バッファに格納された送信履歴データの状態を示すステータスレジスタです。

アドレス RSCAN.RSCAN0THLACC1 A007 9804h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TID[7:0]							—	BN[3:0]			BT[2:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	BT[2:0]	バッファタイプデータ表示ビット	b2 b1 b0 0 0 1: 送信バッファ 0 1 0: 送受信FIFOバッファ 1 0 0: 送信キュー	R
b6-b3	BN[3:0]	バッファ番号データ表示ビット	送信元の送信バッファ/送受信FIFO/送信キュー番号が読めます。	R
b7	—	予約ビット	読むと"0"が読めます。	R
b15-b8	TID[7:0]	ラベルデータ表示ビット	格納されたデータのラベル情報が読めます。	R
b31-b16	—	予約ビット	読むと"0"が読めます。	R

BT[2:0] ビット (バッファタイプデータ表示ビット)

送信履歴バッファに格納された送信履歴データの送信元バッファの種類を表示します。

BN[3:0] ビット (バッファ番号データ表示ビット)

送信履歴バッファに格納された送信履歴データの送信元バッファ番号を表示します。

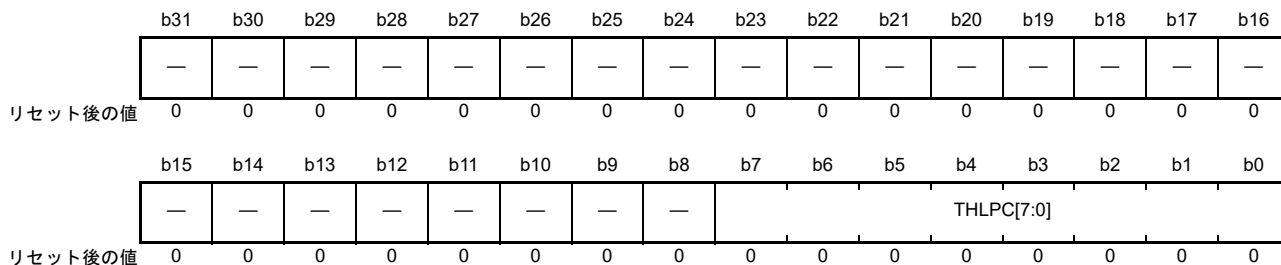
TID[7:0] ビット (ラベルデータ表示ビット)

送信履歴バッファに格納された送信履歴データのラベル情報を表示します。

27.2.60 送信履歴ポインタ制御レジスタ (RSCAN0THLPCTR1)

RSCAN0THLPCTR レジスタは、送信履歴のポインタを制御するレジスタです。

アドレス RSCAN.RSCAN0THLPCTR1 A007 8444h



ビット	シンボル	ビット名	機能	R/W
b7-b0	THLPC[7:0]	送信履歴リストポインタ制御ビット	“FFh”を書くと、送信履歴バッファの次の未読データにリードポインタが移動します。	W
b31-b8	—	予約ビット	書く場合、“0”としてください。	W

THLPC[7:0] ビット (送信履歴リストポインタ制御ビット)

THLPC[7:0] ビットに“FFh”を書くと、送信履歴バッファの次のデータにリードポインタが移動します。このとき RSCAN0THLSTS1 レジスタの THLMC[4:0] ビット (送信履歴バッファ未読数カウンタ) の値が1減算されます。RSCAN0THLACC1 レジスタを読んだ後、THLPC[7:0] ビットに“FFh”を書いてください。

なお、“FFh”の書き込みは、RSCAN0THLCC1 レジスタの THLE ビットが“1” (送信履歴バッファを使用する) で、RSCAN0THLSTS1 レジスタの THLEMP フラグが“0”のときのみ行ってください。

27.2.61 グローバルテストコンフィグレーションレジスタ (RSCAN0GTSTCFG)

RSCAN0GTSTCFG レジスタは、RSCAN モジュール全体のテスト設定を制御するレジスタです。
RSCAN0GTSTCFG レジスタはグローバルテストモードでのみ書き換えてください。

アドレス RSCAN.RSCAN0GTSTCFG A007 8468h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	RTMPS[6:0]						—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b15-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b22-b16	RTMPS[6:0]	RAMテストページ設定ビット	ページ0 (00h) ~ 28 (1Ch) ページの範囲で設定	R/W
b31-b23	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

RTMPS[6:0] ビット (RAM テストページ設定ビット)

RAM テスト時、RAM テスト対象となるページ番号を設定します。00h ~ 1Ch 以外の値を設定しないでください。

27.2.62 グローバルテスト制御レジスタ (RSCAN0GTSTCTR)

RSCAN0GTSTCTR レジスタは、RAM テストの動作を制御するレジスタです。

アドレス RSCAN.RSCAN0GTSTCTR A007 846Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RTME	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b2	RTME	RAMテスト許可ビット	0 : RAMテスト禁止 1 : RAMテスト許可	R/W
b31-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

RTME ビット (RAM テスト許可ビット)

“1”にすると、RAM テストが許可になります。このビットはグローバルテストモードでのみ書き換えてください。

1. RSCAN0GCTR レジスタの GMDC[1:0] ビットを“10b” (グローバルテストモード) にする。
2. RTME ビットを“1”にする。
3. RTME ビットが“1”になったことを確認する。

RTME ビットへの書き込みは、グローバルロックキーレジスタ (RSCAN0GLOCKK) でプロテクトの解除が必要です。

27.2.63 グローバルロックキーレジスタ (RSCAN0GLOCKK)

RSCAN0GLOCKK レジスタは、特殊テストビットの保護を解除するための書き込み専用レジスタです。プロテクト解除データについては、「27.9.4.2 プロテクト解除手順」を参照してください。

アドレス RSCAN.RSCAN0GLOCKK A007 847Ch



ビット	シンボル	ビット名	機能	R/W
b15-b0	LOCK[15:0]	ロックキービット	テストモードの保護を解除するためのキービット	W (注1)
b31-b16	—	予約ビット	書く場合、“0”としてください。	W

注1. RSCAN モジュールがグローバルテストモード時のみこのビットへの書き込みは可能です。

LOCK[15:0] ビット (ロックキービット)

プロテクト解除データを連続して LOCK[15:0] ビットに書くと、RSCAN0GTSTCTR レジスタの RTME ビットへの“1”書き込みが可能になります。

プロテクトが解除された後、RAM を除く CAN の I/O レジスタ領域 (A007 8000h ~ A007 84FFh) に書き込みを実行すると、再度プロテクトが有効になります。

CAN の I/O レジスタ領域の読み出し、または他の領域への読み書きを実行しても、プロテクトは有効になりません。

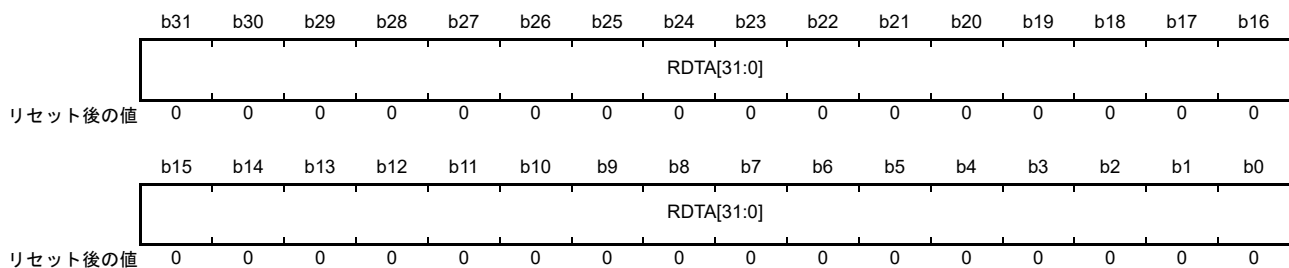
27.2.64 RAM テストページアクセスレジスタ (RSCAN0RPGACCr) (r = 0 ~ 63)

RSCAN0RPGACCr レジスタは、RAM データへのテストアクセスを制御するレジスタです。

RSCAN0RPGACCr レジスタは、グローバルテストモードでかつ RSCAN0GTSTCTR レジスタの RTME ビットが“1” (RAM テスト許可) の状態で書き換えてください。

RTME ビットが“1”のときに、RSCAN0RPGACCr レジスタへの読み書きができます。

- アドレス
- RSCAN.RSCAN0RPGACC0 A007 9900h、 RSCAN.RSCAN0RPGACC1 A007 9904h、
 - RSCAN.RSCAN0RPGACC2 A007 9908h、 RSCAN.RSCAN0RPGACC3 A007 990Ch、
 - RSCAN.RSCAN0RPGACC4 A007 9910h、 RSCAN.RSCAN0RPGACC5 A007 9914h、
 - RSCAN.RSCAN0RPGACC6 A007 9918h、 RSCAN.RSCAN0RPGACC7 A007 991Ch、
 - RSCAN.RSCAN0RPGACC8 A007 9920h、 RSCAN.RSCAN0RPGACC9 A007 9924h、
 - RSCAN.RSCAN0RPGACC10 A007 9928h、 RSCAN.RSCAN0RPGACC11 A007 992Ch、
 - RSCAN.RSCAN0RPGACC12 A007 9930h、 RSCAN.RSCAN0RPGACC13 A007 9934h、
 - RSCAN.RSCAN0RPGACC14 A007 9938h、 RSCAN.RSCAN0RPGACC15 A007 993Ch、
 - RSCAN.RSCAN0RPGACC16 A007 9940h、 RSCAN.RSCAN0RPGACC17 A007 9944h、
 - RSCAN.RSCAN0RPGACC18 A007 9948h、 RSCAN.RSCAN0RPGACC19 A007 994Ch、
 - RSCAN.RSCAN0RPGACC20 A007 9950h、 RSCAN.RSCAN0RPGACC21 A007 9954h、
 - RSCAN.RSCAN0RPGACC22 A007 9958h、 RSCAN.RSCAN0RPGACC23 A007 995Ch、
 - RSCAN.RSCAN0RPGACC24 A007 9960h、 RSCAN.RSCAN0RPGACC25 A007 9964h、
 - RSCAN.RSCAN0RPGACC26 A007 9968h、 RSCAN.RSCAN0RPGACC27 A007 996Ch、
 - RSCAN.RSCAN0RPGACC28 A007 9970h、 RSCAN.RSCAN0RPGACC29 A007 9974h、
 - RSCAN.RSCAN0RPGACC30 A007 9978h、 RSCAN.RSCAN0RPGACC31 A007 997Ch、
 - RSCAN.RSCAN0RPGACC32 A007 9980h、 RSCAN.RSCAN0RPGACC33 A007 9984h、
 - RSCAN.RSCAN0RPGACC34 A007 9988h、 RSCAN.RSCAN0RPGACC35 A007 998Ch、
 - RSCAN.RSCAN0RPGACC36 A007 9990h、 RSCAN.RSCAN0RPGACC37 A007 9994h、
 - RSCAN.RSCAN0RPGACC38 A007 9998h、 RSCAN.RSCAN0RPGACC39 A007 999Ch、
 - RSCAN.RSCAN0RPGACC40 A007 99A0h、 RSCAN.RSCAN0RPGACC41 A007 99A4h、
 - RSCAN.RSCAN0RPGACC42 A007 99A8h、 RSCAN.RSCAN0RPGACC43 A007 99ACh、
 - RSCAN.RSCAN0RPGACC44 A007 99B0h、 RSCAN.RSCAN0RPGACC45 A007 99B4h、
 - RSCAN.RSCAN0RPGACC46 A007 99B8h、 RSCAN.RSCAN0RPGACC47 A007 99BCh、
 - RSCAN.RSCAN0RPGACC48 A007 99C0h、 RSCAN.RSCAN0RPGACC49 A007 99C4h、
 - RSCAN.RSCAN0RPGACC50 A007 99C8h、 RSCAN.RSCAN0RPGACC51 A007 99CCh、
 - RSCAN.RSCAN0RPGACC52 A007 99D0h、 RSCAN.RSCAN0RPGACC53 A007 99D4h、
 - RSCAN.RSCAN0RPGACC54 A007 99D8h、 RSCAN.RSCAN0RPGACC55 A007 99DCh、
 - RSCAN.RSCAN0RPGACC56 A007 99E0h、 RSCAN.RSCAN0RPGACC57 A007 99E4h、
 - RSCAN.RSCAN0RPGACC58 A007 99E8h、 RSCAN.RSCAN0RPGACC59 A007 99ECh、
 - RSCAN.RSCAN0RPGACC60 A007 99F0h、 RSCAN.RSCAN0RPGACC61 A007 99F4h、
 - RSCAN.RSCAN0RPGACC62 A007 99F8h、 RSCAN.RSCAN0RPGACC63 A007 99FCh



ビット	シンボル	ビット名	機能	R/W
b31-b0	RDTA[31:0]	RAM データテストアクセスビット	CAN用RAMデータの読み書きができます。	R/W

27.2.65 RSCAN ECC コントロールレジスタ (ECCRCANCTL)

ECCRCANCTL レジスタは RSCAN の ECC のモードを制御するレジスタです。

ビット 7, 3 の設定 (書き込み) は RSCAN が動作していないときに行ってください。

また、ビット 7 への書き込みは EMCA1, EMCA0 ビットを “01b” にして実行してください。

アドレス RSCAN.ECCRCANCTL A007 B000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ECDED F7	ECSED F7	ECDED F6	ECSED F6	ECDED F5	ECSED F5	ECDED F4	ECSED F4	ECDED F3	ECSED F3	ECDED F2	ECSED F2	ECDED F1	ECSED F1	ECDED F0	ECSED F0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EMCA1	EMCA0	—	—	ECOVF F	ECER2 C	ECER1 C	—	ECTHM	ECERV F	EC1EC P	EC2ED IC	EC1ED IC	ECER2 F	ECER1 F	ECEMF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	—

ビット	シンボル	ビット名	機能	R/W
b0	ECEMF	ECC エラー表示フラグ	本ビットは現在読み出しているデータに対してエラーが存在することを示すフラグです。本ビットはRAMを読み出すごとに更新されます。RAMを初期化する前にリードすると、本ビットがセットされる可能性があります。スルーモード許可選択 (ECTHM = 1) 時、およびデコード回路入力データに1ビットエラーがない時も本ビットはクリアされます。 0: 現在読み出しているRAMデータには、ビットエラーが存在していない。 1: 現在読み出しているRAMデータには、ビットエラーが存在する。	R
b1	ECER1F	1ビットエラー検出/訂正フラグビット	本ビットはエラー判定許可状態 (ECTHM = 0) でRAMへのリードアクセス時に1ビットエラーが検出されたことを示すフラグです。クリアの際にはECER1Cビット (ビット9) へ1書き込みを行ってください。スルーモード許可選択 (ECTHM = 1) 時も本ビットはクリアされます。 0: 本ビットクリア後、1ビットエラーは発生していない。 1: 1ビットエラーが発生したことがある。	R
b2	ECER2F	2ビットエラー検出フラグビット	本ビットはエラー判定許可状態 (ECTHM = 0) でRAMへのリードアクセス時に2ビットエラーが検出されたことを示すフラグです。2ビットエラー割り込み要求信号許可状態 (EC2EDIC = 1) で、本フラグがセットされるとECC2ビットエラー割り込み (INTECCDCNRAM) が発生します。クリアの際にはECER2Cビット (ビット10) へ1書き込みを行ってください。スルーモード許可選択 (ECTHM = 1) 時も本ビットはクリアされます。本ビットがセットされた状態で再度2ビットのビットエラーが検出されても割り込み要求信号は発生しません。 0: 本ビットクリア後、2ビットエラーは発生していない。 1: 2ビットエラーが発生したことがある。	R
b3	EC1EDIC	1ビットエラー検出割り込み制御ビット	本ビットは1ビットエラー検出時にECMへECC1ビットエラー要因信号を出力するかを制御するビットです。 0: 1ビットエラー検出時にエラー要因を発生させない。 1: 1ビットエラー検出時にエラー要因を出力する。	R/W
b4	EC2EDIC	2ビットエラー検出割り込み制御ビット	本ビットは2ビットエラー検出時にECMへECC2ビットエラー要因信号を出力するかを制御するビットです。 0: 2ビットエラー検出時にエラー要因を発生させない。 1: 2ビットエラー検出時にエラー要因を出力する。	R/W
b5	EC1ECP	1ビットエラー訂正許可ビット	本ビットはECCエラー検出/訂正の有効時に、1ビットエラー訂正の許可/禁止を設定するためのビットです。 0: 1ビットエラー検出時にエラー訂正を行う。 1: 1ビットエラー検出時にエラー訂正を行わない。	R/W

ビット	シンボル	ビット名	機能	R/W
b6	ECERVF	ECCエラー判定許可フラグビット	エラー判定の許可/禁止を選択します。このビットの書き込み時はEMCA1,EMCA0 = 0, 1を同時に書き込む必要があります。 0: エラー判定禁止 1: エラー判定許可	R/W
b7	ECTHM	ECC 機能スルーモード選択ビット	本ビットは、ECC 機能の有効/無効を設定するビットです。セット“1”することで、ECC 機能を無効にすることができます。このビットの書き込み時はEMCA1,EMCA0 = 0, 1を同時に書き込む必要があります。 0: スルーモード禁止 (通常動作モード) 1: スルーモード許可 (ECC機能無効)	R/W
b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b9	ECER1C	1ビットECCエラー検出訂正累積フラグクリアビット	本ビットはECER1F (ビット1) の1ビットエラー検出/訂正フラグをクリアするためのビットです。読み出すと常に0が読みだされます。0書き込みは無効です。ECER1Fビットがセットされている際に、本ビットに1書き込みを行うことでECER1Fビットがクリアされます。1書き込みとECER1Fのセット要因が競合した際には本ビットの書き込みが優先されます。	R/W (注1)
b10	ECER2C	2ビットECCエラー検出フラグクリアビット	本ビットはECER2F (ビット2) の2ビットエラー検出フラグをクリアするためのビットです。読み出すと常に0が読みだされます。0書き込みは無効です。ECER2Fビットがセットされている際に、本ビットに1書き込みを行うことでECER2Fビットがクリアされます。1書き込みとECER2Fのセット要因が競合した際には本ビットの書き込みが優先されます。	R/W (注1)
b11	ECOVFF	ECCオーバフロー検出フラグ	すべてのECCRCANEADzレジスタ (z = 0~7) にエラー検出アドレスが格納されている状態でECCエラーを検出するとセットされ、RSCAN オーバフローエラー要因を出力します。 0: ECCオーバフローは検出されていない。 1: ECCオーバフローが検出された。	R
b13-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b14	EMCA0	ECCモード選択ビットへのアクセス制御ビット0	本ビットはECTHM (ビット7) の書き換え可否を設定するためのビットです。書き込みデータは保持されません。読み出すと常に0が読み出されます。本ビットのデータ値が01bのとき、ビット7、ビット6への書き込みが可能になります。	R/W (注1)
b15	EMCA1	ECCモード選択ビットへのアクセス制御ビット1		R/W (注1)
b31-b16	ECDEDFz	ECC 2ビットエラー検出フラグ	ECCRCANEADzレジスタ (z = 0~7) に格納されたエラーが2ビットエラーかどうかを示します。 0: 2ビットエラーは発生していない 1: 2ビットエラーが発生した	R
	ECSEDFz	ECC 1ビットエラー検出フラグ	ECCRCANEADzレジスタ (z = 0~7) に格納されたエラーが1ビットエラーかどうかを示します。 0: 1ビットエラーは発生していない 1: 1ビットエラーが発生した	R

注1. リード値は常に0が読み出されます。

注. ビット2, 1をクリアする場合には、ECCエラー表示フラグ (ECEMF) がセットされていないときにクリアする必要があります。ビット2, 1をクリアする場合にはRAM初期化後にクリアすることを推奨します。

ECERVF ビット (ECC エラー判定許可フラグビット)

エラー判定の許可/禁止を制御します。本ビットへ書き込むときは EMCA1, EMCA0 ビット = 0, 1 を同時に書き込んでください。ただし ECTHM ビットをセットしてスルーモード許可としている場合は、エラー判定が禁止となります。表 27.11 に ECERVF ビット、ECTHM ビットとエラー判定状態の関係を示します。

表 27.11 ECERVF, ECTHM ビットとエラー判定状態

ECTHM ビット	ECERVF ビット	エラー判定状態
0	0	エラー判定禁止
0	1	エラー判定許可
1	0	エラー判定禁止 (スルーモード)
1	1	エラー判定禁止 (スルーモード)

ECOVFF ビット (ECC オーバフロー検出フラグ)

既にすべての ECCRCANEAD_z レジスタ (z = 0 ~ 7) にエラー検出アドレスが格納されている状態で、新たに ECC エラーを検出すると本ビットがセットされ、エラーコントロールモジュール (ECM) に対し RSCAN オーバフローエラー信号を出力します。ECM の詳細については、「32. エラーコントロールモジュール (ECM)」を参照してください。

本ビットがセットされた状態でさらにオーバフローエラーを検出すると、再度 RSCAN オーバフローエラー信号を出力します。

本ビットをクリアするには、ECER2C ビットと ECER1C ビットの両方に “1” を書き込んでください。

ECDEDF_z ビット (ECC 2 ビットエラー検出フラグ) (z = 0 ~ 7)

ECC エラーを検出し、検出アドレスを ECCRCANEAD_z レジスタへ格納した際のエラーが 2 ビットエラーかどうかを示すフラグビットです。

ECC オーバフロー検出時 (ECOVFF ビット = 1) は、発生したエラーが 2 ビットエラーであっても本ビットはセットされません。

本ビットをクリアするには、ECER2C ビットと ECER1C ビットの両方に “1” を書き込んでください。

ECSEDF_z ビット (ECC 1 ビットエラー検出フラグ) (z = 0 ~ 7)

ECC エラーを検出し、検出アドレスを ECCRCANEAD_z レジスタへ格納した際のエラーが 1 ビットエラーかどうかを示すフラグビットです。ECC オーバフロー検出時 (ECOVFF ビット = 1) は、発生したエラーが 1 ビットエラーであっても本ビットはセットされません。

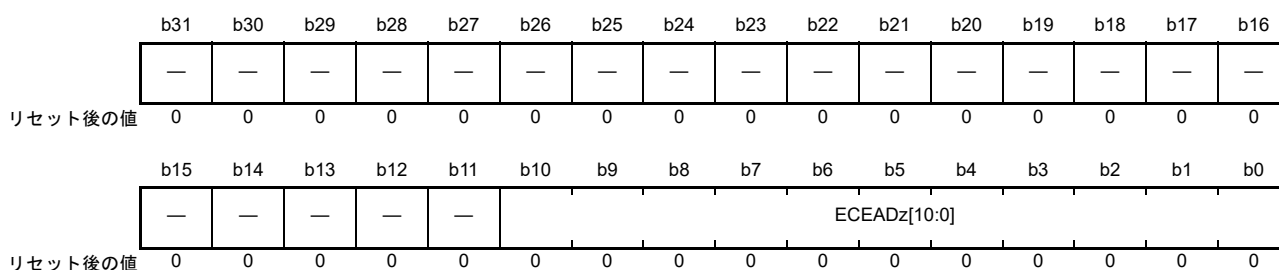
本ビットをクリアするには、ECER2C ビットと ECER1C ビットの両方に “1” を書き込んでください。

27.2.66 RSCAN ECC エラーアドレスレジスタ z (ECCRCANEADz) (z = 0 ~ 7)

ECCRCANEADz は ECC エラー発生時に、自動的にエラー発生アドレスの値を格納・保持するリード専用レジスタです (z=0~7)。ECC エラー判定が許可された状態で ECC エラーが発生すると、エラーが検出されたバッファ RAM アドレスを z=0 から順にキャプチャします。

- 注 1. 1 度 ECCRCANEADz レジスタに格納されたアドレスと同じ ECC エラーが検出されたときには、検出アドレスは破棄されます。
- 注 2. 1 ビットエラーが複数回発生し、すべての ECCRCANEADz レジスタが 1 ビットエラー検出アドレスのみを格納した場合には、さらに 2 ビットエラー検出によるオーバーフローが起きると 2 ビットエラー検出アドレスが ECCRCANEAD7 レジスタに上書きされ値を保持します。
すべての ECCRCANEADz レジスタに、2 ビットエラー検出アドレスのみが格納された状態で 1 ビットエラー検出によるオーバーフローが発生しても、1 ビットエラー検出アドレスは破棄されます。

アドレス RSCAN.ECCRCANEAD0 A007 B010h, RSCAN.ECCRCANEAD1 A007 B014h, RSCAN.ECCRCANEAD2 A007 B018h, RSCAN.ECCRCANEAD3 A007 B01Ch, RSCAN.ECCRCANEAD4 A007 B020h, RSCAN.ECCRCANEAD5 A007 B024h, RSCAN.ECCRCANEAD6 A007 B028h, RSCAN.ECCRCANEAD7 A007 B02Ch



ビット	シンボル	ビット名	機能	R/W
b10-b0	ECEADz [10:0]	ECCエラーアドレス格納ビットz	RSCANのバッファ RAMに対するECC エラーを検出した場合、エラー検出したRAMアドレスを格納・保持します。ECCRCANCTL.ECDEFzビット、ECSEDFzビットで、アドレス格納したECCエラーが1ビットエラーか2ビットエラーかを判定することができます。	R
b31-b11	—	予約ビット	読むと“0”が読めます。	R

27.3 割り込み要因

RSCAN モジュールには割り込みコントローラへ接続される 5 本の割り込みがあり、グローバル割り込みとチャンネル割り込みに分類されます。また各 5 本の割り込みは RSCAN モジュール内で、複数の割り込み要因に小分類されます。表 27.12 に CAN 割り込み要因一覧を示します。

- グローバル割り込み (2 本)
 1. CAN 受信 FIFO 割り込み
 2. CAN グローバルエラー割り込み
- チャンネル割り込み (3 本)
 1. CAN1 送信割り込み
 - CAN1 送信完了割り込み
 - CAN1 送信アボート割り込み
 - CAN1 送受信 FIFO 送信完了割り込み (送信モード、ゲートウェイモード時)
 - CAN1 送信履歴割り込み
 - CAN1 送信キュー割り込み
 2. CAN1 送受信 FIFO 受信完了割り込み (受信モード、ゲートウェイモード時)
 3. CAN1 エラー割り込み

割り込み要求が発生すると、対応する割り込み要求フラグが“1” (割り込み要求あり) になります。その場合、割り込み許可ビットを“1” (割り込み許可) にしていると、RSCAN モジュールから割り込みコントローラへ割り込み要求が出力されます。(割り込みの発生は、割り込みコントローラの割り込み制御レジスタの設定にも依存します。)

割り込み要求フラグを“0” (割り込み要求なし) にするか、割り込み許可ビットを“0” (割り込み禁止) にすると、割り込み要求がクリアされます。割り込み要求フラグをクリアするまで、割り込み要求は出力されたままです。

図 27.2 に CAN グローバル割り込みブロック図を、図 27.3 に CAN チャンネル割り込みブロック図を示します。

表 27.12 CAN 割り込み要因一覧

	割り込み要因		対応する割り込み要求フラグ	対応する割り込み許可ビット
グローバル 割り込み	受信 FIFO	受信 FIFO 0	RSCAN0RFSTS0 レジスタの RFIF フラグ	RSCAN0RFCC0 レジスタの RFIE ビット
		受信 FIFO 1	RSCAN0RFSTS1 レジスタの RFIF フラグ	RSCAN0RFCC1 レジスタの RFIE ビット
		受信 FIFO 2	RSCAN0RFSTS2 レジスタの RFIF フラグ	RSCAN0RFCC2 レジスタの RFIE ビット
		受信 FIFO 3	RSCAN0RFSTS3 レジスタの RFIF フラグ	RSCAN0RFCC3 レジスタの RFIE ビット
		受信 FIFO 4	RSCAN0RFSTS4 レジスタの RFIF フラグ	RSCAN0RFCC4 レジスタの RFIE ビット
		受信 FIFO 5	RSCAN0RFSTS5 レジスタの RFIF フラグ	RSCAN0RFCC5 レジスタの RFIE ビット
		受信 FIFO 6	RSCAN0RFSTS6 レジスタの RFIF フラグ	RSCAN0RFCC6 レジスタの RFIE ビット
		受信 FIFO 7	RSCAN0RFSTS7 レジスタの RFIF フラグ	RSCAN0RFCC7 レジスタの RFIE ビット
	グローバルエラー	RSCAN0GERFL レジスタの DEF フラグ RSCAN0GERFL レジスタの MES フラグ RSCAN0GERFL レジスタの THLES フラグ	RSCAN0GCTR レジスタの DEIE ビット RSCAN0GCTR レジスタの MEIE ビット RSCAN0GCTR レジスタの THLEIE ビット	
チャンネル 割り込み	CAN1 送 信	CAN1 送信完了	RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグ	RSCAN0TMIEC0 レジスタの TMIE ビット
		CAN1 送信アポート	RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグ	RSCAN0C1CTR レジスタの TAIE ビット
		CAN1 送受信 FIFO 送信完了	RSCAN0CFSTSk レジスタの CFTXIF フラグ	RSCAN0CFCCk レジスタの CFTXIE ビット
		CAN1 送信キュー	RSCAN0TXQSTS1 レジスタの TXQIF フラグ	RSCAN0TXQCC1 レジスタの TXQIE ビット
		CAN1 送信履歴	RSCAN0THLSTS1 レジスタの THLIF フラグ	RSCAN0THLCC1 レジスタの THLIE ビット
	CAN1 送受信 FIFO 受信完了	RSCAN0CFSTSk レジスタの CFRXIF フラグ	RSCAN0CFCCk レジスタの CFRXIE ビット	
	CAN1 エラー	RSCAN0C1ERFL レジスタの BEF フラグ RSCAN0C1ERFL レジスタの ALF フラグ RSCAN0C1ERFL レジスタの BLF フラグ RSCAN0C1ERFL レジスタの OVLf フラグ RSCAN0C1ERFL レジスタの BORF フラグ RSCAN0C1ERFL レジスタの BOEF フラグ RSCAN0C1ERFL レジスタの EPF フラグ RSCAN0C1ERFL レジスタの EWF フラグ	RSCAN0C1CTR レジスタの BEIE ビット RSCAN0C1CTR レジスタの ALIE ビット RSCAN0C1CTR レジスタの BLIE ビット RSCAN0C1CTR レジスタの OLIE ビット RSCAN0C1CTR レジスタの BORIE ビット RSCAN0C1CTR レジスタの BOEIE ビット RSCAN0C1CTR レジスタの EPIE ビット RSCAN0C1CTR レジスタの EWIE ビット	

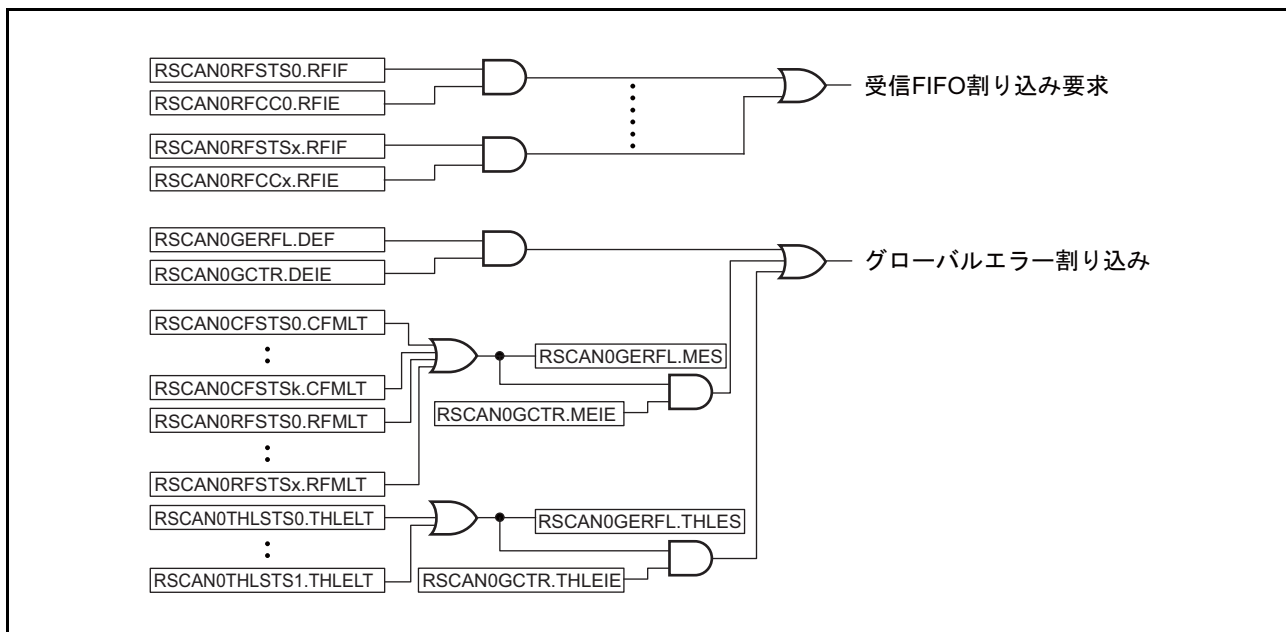


図 27.2 CAN グローバル割り込みブロック図

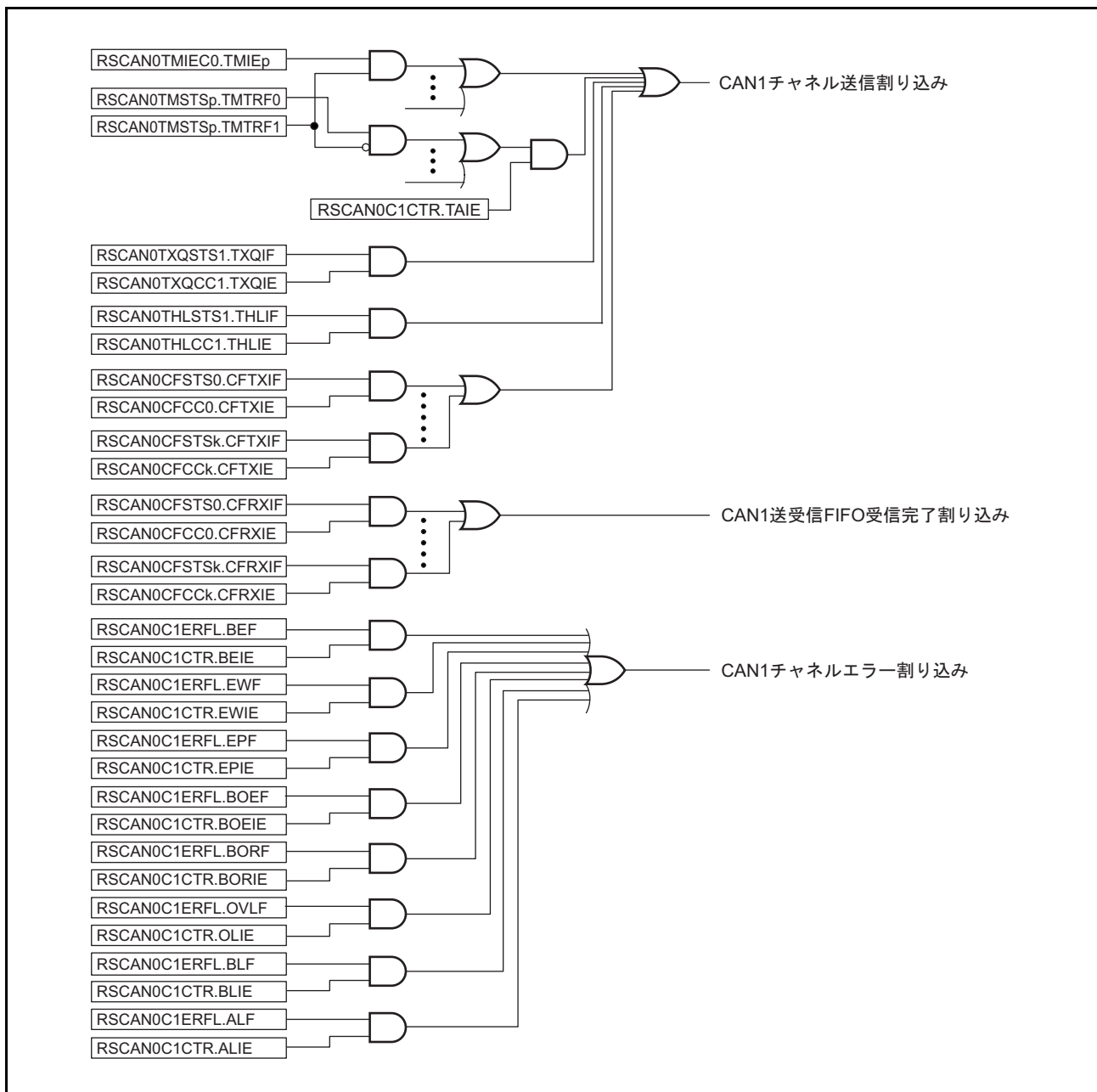


図 27.3 CAN チャンネル割り込みブロック図

27.4 CAN モード

RSCAN モジュールには、モジュール全体の状態を制御するグローバルモードが4種類と、チャンネル1 (CAN1) の状態を制御するチャンネルモードが4種類あります。「27.4.1 グローバルモード」にグローバルモード、「27.4.2 チャンネルモード」にチャンネルモードの詳細を示します。

- グローバルストップモード: モジュール全体のクロックを停止させ、低消費電力を実現する。
- グローバルリセットモード: モジュール全体の初期設定を行う。
- グローバルテストモード: テスト設定を行う。また、RAM テストを実施する。
- グローバル動作モード: モジュール全体を動作可能にする。
- チャンネルストップモード: チャンネルのクロックが停止する。
- チャンネルリセットモード: チャンネルの初期設定を行う。
- チャンネル待機モード: CAN 通信を停止させたり、チャンネルのテストを許可する。
- チャンネル通信モード: CAN 通信を行う。

27.4.1 グローバルモード

図 27.4 にグローバルモードの状態遷移図を示します。

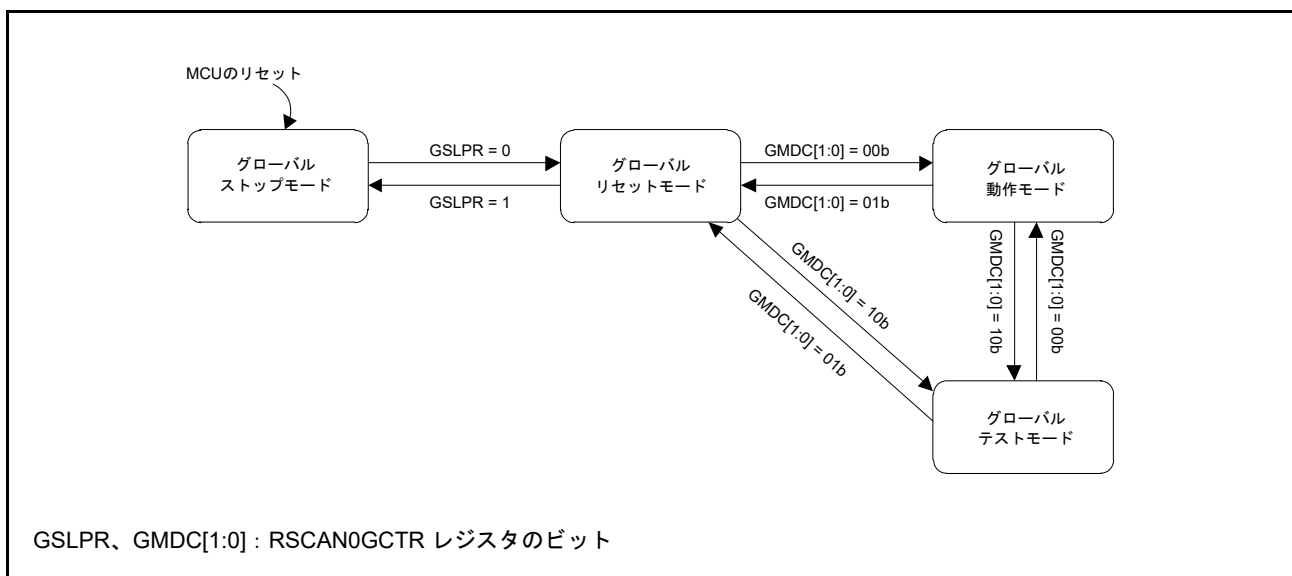


図 27.4 グローバルモードの状態遷移図

グローバルモードの遷移により、チャンネルのモードが変化することがあります。表 27.13 にグローバルモード設定 (GMDC[1:0]、GSLPR ビット) によるチャンネルモードの変化を示します。

表 27.13 グローバルモード設定 (GMDC[1:0]、GSLPR ビット) によるチャンネルモードの変化

設定前のチャンネルモード	設定後のチャンネルモード			
	GMDC[1:0] = 00b GSLPR = 0 (グローバル動作)	GMDC[1:0] = 10b GSLPR = 0 (グローバルテスト)	GMDC[1:0] = 01b GSLPR = 0 (グローバルリセット)	GMDC[1:0] = 01b GSLPR = 1 (グローバルストップ)
チャンネル通信	チャンネル通信	チャンネル待機	チャンネルリセット	遷移禁止
チャンネル待機	チャンネル待機	チャンネル待機	チャンネルリセット	遷移禁止
チャンネルリセット	チャンネルリセット	チャンネルリセット	チャンネルリセット	チャンネルストップ
チャンネルストップ	チャンネルストップ	チャンネルストップ	チャンネルストップ	チャンネルストップ

注1. GMDC[1:0]ビットとGSLPRビットは、RSCAN0GCTRレジスタのビット。

表 27.14 にグローバルモードの遷移時間を示します。

表 27.14 グローバルモードの遷移時間

遷移前のモード	遷移後のモード	最大遷移時間
グローバルストップ	グローバルリセット	PCLKDの3クロック
グローバルリセット	グローバルストップ	PCLKDの3クロック
グローバルリセット	グローバルテスト	PCLKDの10クロック
グローバルリセット	グローバル動作	PCLKDの10クロック
グローバルテスト	グローバルリセット	PCLKDの3クロック
グローバルテスト	グローバル動作	PCLKDの3クロック
グローバル動作	グローバルリセット	PCLKDの3クロック
グローバル動作	グローバルテスト	CAN1 フレームの2つ分 (注1)

注1. 使用チャンネルの内、最も遅い通信速度のCAN1フレーム (1メッセージ) 時間になります。

27.4.1.1 グローバルストップモード

グローバルストップモードではCANのクロックが停止するので、消費電力が低減されます。CAN関連レジスタの読み出しは可能ですが、書き込みはしないでください。レジスタ値は保持されます。グローバルストップモード時、GSLPRビットへのCPU書き込み用クロックのみが動作します。

MCUのリセット後、グローバルストップモードになります。また、グローバルリセットモード時にRSCAN0GCTRレジスタのGSLPRビットを“1” (グローバルストップモード) にすると、RSCAN0C1CTRレジスタのCSLPRビットが“1” (チャンネルストップモード) になります。強制的にチャンネルストップモードへ遷移すると、グローバルストップモードになります。GSLPRビットは、グローバル動作モードまたはグローバルテストモードでは書き換えしないでください。

27.4.1.2 グローバルリセットモード

グローバルリセットモードでRSCANモジュールの設定を行います。グローバルリセットモードに遷移すると、一部のレジスタが初期化されます。表 27.17 と表 27.18 に初期化されるレジスタ一覧を示します。

RSCAN0GCTRレジスタのGMDC[1:0]ビットを“01b”に設定すると、RSCAN0C1CTRレジスタのCHMDC[1:0]ビットが“01b” (チャンネルリセットモード) になります。強制的にチャンネルリセットモードへ遷移すると、グローバルリセットモードになります。すでにチャンネルリセットモードまたはチャンネルストップモードであるチャンネルはモード遷移しません (CHMDC[1:0]ビットがすでに“01b”に設定されているため)。

27.4.1.3 グローバルテストモード

グローバルテストモードでテスト関連レジスタの設定を行います。グローバルテストモードに遷移すると、すべてのCAN通信は停止します。

RSCAN0GCTR レジスタの GMDC[1:0] ビットを“10b”に設定すると、RSCAN0C1CTR レジスタの CHMDC[1:0] ビットが“10b” (チャンネル待機モード) になります。強制的にチャンネル待機モードへ遷移すると、グローバルテストモードになります。チャンネルストップモード、チャンネルリセットモード、またはチャンネル待機モードであるチャンネルは、モード遷移しません。

27.4.1.4 グローバル動作モード

グローバル動作モードでは RSCAN モジュールが動作します。

RSCAN0GCTR レジスタの GMDC[1:0] ビットを“00b”にすると、グローバル動作モードに遷移します。

27.4.2 チャネルモード

図 27.5 にチャネルモードの状態遷移図を示します。表 27.15 にチャネルモードの遷移時間を示します。

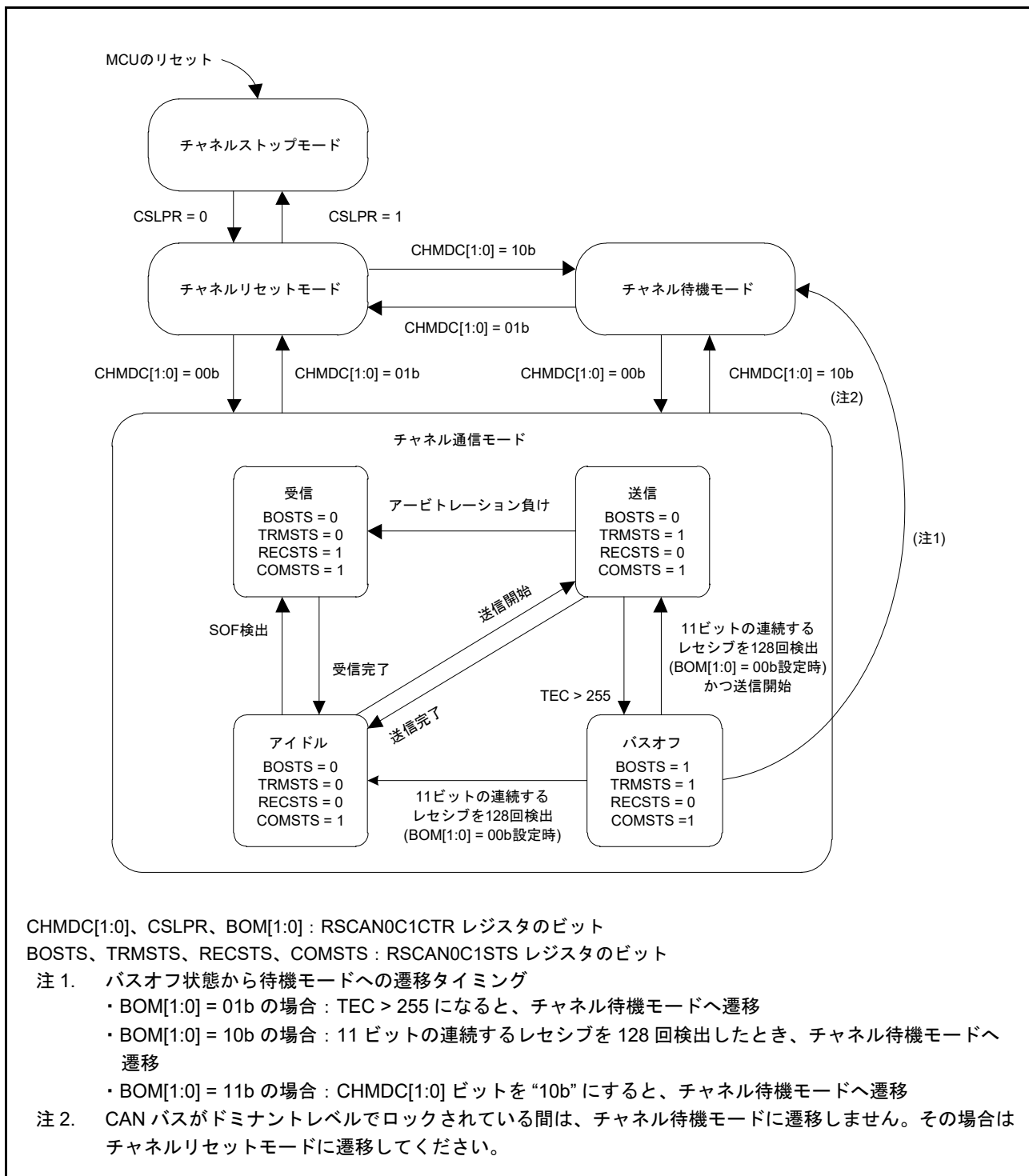


図 27.5 チャネルモードの状態遷移図

表 27.15 チャンネルモードの遷移時間

遷移前のモード	遷移後のモード	最大遷移時間
チャンネルストップ	チャンネルリセット	PCLKDの3クロック
チャンネルリセット	チャンネルストップ	PCLKDの3クロック
チャンネルリセット	チャンネル待機	3CAN1ビットタイム
チャンネルリセット	チャンネル通信	2CAN1ビットタイム
チャンネル待機	チャンネルリセット	PCLKDの3クロック
チャンネル待機	チャンネル通信	3 CAN1ビットタイム
チャンネル通信	チャンネルリセット	PCLKDの3クロック
チャンネル通信	チャンネル待機	CAN1フレーム (1メッセージ) の2つ分

27.4.2.1 チャンネルストップモード

チャンネルストップモードでは、チャンネルへ供給するクロックが停止するので、消費電力が低減されます。CAN 関連レジスタの読み出しは可能ですが、書き込みはしないでください。レジスタ値は保持されます。

チャンネル1 (CAN1) は、MCUのリセット後、チャンネルストップモードになります。また、チャンネルリセットモード時に、RSCAN0C1CTR レジスタの CSLPR ビットを“1” (チャンネルストップモード) にすると、チャンネルストップモードに遷移します。CSLPR ビットはチャンネル通信モードおよびチャンネル待機モードでは書き換えしないでください。

27.4.2.2 チャンネルリセットモード

チャンネルリセットモードでチャンネルの設定を行います。チャンネルリセットモードに遷移すると、一部のチャンネル関連レジスタが初期化されます。表 27.17 に初期化されるレジスタ一覧を示します。

CAN 通信中に RSCAN0C1CTR レジスタの CHMDC[1:0] ビットを“01b” (チャンネルリセットモード) にすると、送受信の完了を待たずに通信が中断され、チャンネルリセットモードへ遷移します。表 27.16 に CAN 通信中に CHMDC[1:0] ビットを“01b” (チャンネルリセットモード) に設定したときの動作を示します。

27.4.2.3 チャンネル待機モード

チャンネル待機モードでチャンネルのテスト関連レジスタの設定を行います。チャンネル待機モードに遷移すると、チャンネルのCAN通信は停止します。

表 27.16 に CAN 通信中に CHMDC[1:0] ビットを“10b” (チャンネル待機モード) に設定したときの動作を示します。

表 27.16 チャンネルリセット/チャンネル待機モード遷移時の動作

モード	受信	送信	バスオフ状態
チャンネルリセット (CHMDC[1:0] = “01b”)	受信の終了を待たずにチャンネルリセットモードに遷移 (注1)	送信の終了を待たずにチャンネルリセットモードに遷移 (注1)	バスオフ復帰の終了を待たずにチャンネルリセットモードに遷移
チャンネル待機 (注3) (CHMDC[1:0] = “10b”)	受信の終了を待ってチャンネル待機モードに遷移 (注2)	送信の終了を待ってチャンネル待機モードに遷移	【BOM[1:0]ビットが“00b”の場合】 バスオフ復帰後のみ、チャンネル待機モード遷移 (CHMDC[1:0] = “10b”) が実行される 【BOM[1:0]ビットが“01b”の場合】 バスオフ状態への遷移条件が成立したときに自動的にチャンネル待機モードに遷移 【BOM[1:0]ビットが“10b”の場合】 バスオフ復帰の終了を待って自動的にチャンネル待機モードに遷移 【BOM[1:0]ビットが“11b”の場合】 CHMDC[1:0] ビットに“10b”が設定されるとすぐにチャンネル待機モードに遷移 (バスオフ復帰の終了は待たない)

注1. 通信が終了した後にはチャンネルリセットモードへ遷移するには、まずCHMDC[1:0]ビットを“10b”に設定し、通信が終了しチャンネル待機モードへ遷移したことを確認してから、CHMDC[1:0]ビットを“01b”に設定してください。

注2. CANバスがドミナントレベルでロックされている間は、チャンネル待機モードに遷移しません。その場合はチャンネルリセットモードに遷移してください。ドミナントロックを検出するとRSCAN0C1ERFLレジスタのBLFフラグが“1”になるので、CANバスの状態を確認できます。

注3. チャンネルリセットモードからチャンネル待機モードへ遷移する場合、チャンネルリセットモードでRSCAN0C1CFGレジスタを設定してからチャンネル待機モードへ遷移してください。

27.4.2.4 チャンネル通信モード

チャンネル通信モードでCAN通信を行います。CAN通信時、チャンネル1 (CAN1) は次に示す通信状態をとります。

- アイドル：受信も送信もしていない状態。
- 受信：他のノードから送られてきたメッセージを受信している状態。
- 送信：メッセージを送信している状態。
- バスオフ：CAN通信から遮断されている状態。

RSCAN0C1CTRレジスタのCHMDC[1:0]ビットを“00b”にすると、チャンネル通信モードに遷移します。遷移後、11ビットの連続するレセシブを検出すると、RSCAN0C1STSレジスタのCOMSTSフラグが“1” (通信可能な状態) になり、CANネットワーク上でアクティブノードとして、送受信が許可されます。この時点で、メッセージの送受信が開始できるようになります。

27.4.2.5 バスオフ状態

CAN仕様の送信、受信エラーカウンタの増減ルールにしたがってバスオフ状態に遷移します。バスオフ状態からの復帰条件は、RSCAN0C1CTRレジスタのBOM[1:0]ビットで設定します。

- BOM[1:0]ビットが“00b”のとき：
CAN仕様に準拠し、11ビットの連続するレセシブを128回検出後に、バスオフ状態からCAN通信可能な状態（エラーアクティブ状態）に復帰します。そのとき、RSCAN0C1STSレジスタのTEC[7:0]ビットとREC[7:0]ビットは“00h”に初期化され、RSCAN0C1ERFLレジスタのBORFフラグが“1”（バスオフ復帰検出）になり、CAN1エラー割り込み要求（バスオフ復帰割り込み）が発生します。バスオフ状態で、RSCAN0C1CTRレジスタのCHMDC[1:0]ビットを“10b”（チャンネル待機モード）にすると、バスオフ復帰が完了（11ビットの連続するレセシブを128回検出）してからチャンネル待機モードに遷移します。
- BOM[1:0]ビットが“01b”のとき：
バスオフ状態に遷移すると、CHMDC[1:0]ビットが“10b”になり、チャンネル待機モードへ遷移します。そのとき、TEC[7:0]ビットとREC[7:0]ビットは“00h”に初期化されます。BORFフラグは“1”になりません。またバスオフ復帰割り込み要求は発生しません。
- BOM[1:0]ビットが“10b”のとき：
バスオフ状態に遷移すると、CHMDC[1:0]ビットが“10b”になり、バスオフ復帰が完了（11ビットの連続するレセシブを128回検出）してからチャンネル待機モードに遷移します。そのとき、TEC[7:0]ビットとREC[7:0]ビットは“00h”に初期化され、BORFフラグが“1”になり、CAN1エラー割り込み要求（バスオフ復帰割り込み）が発生します。
- BOM[1:0]ビットが“11b”のとき：
バスオフ状態時に、CHMDC[1:0]ビットを“10b”にすると、バスオフ復帰を待たずにチャンネル待機モードに遷移します。そのとき、TEC[7:0]ビットとREC[7:0]ビットは“00h”に初期化されます。BORFフラグは“1”になりません。またバスオフ復帰割り込み要求は発生しません。
ただし、CHMDC[1:0]ビットを“10b”にする前に11ビットの連続するレセシブを128回検出し、エラーアクティブ状態に復帰した場合、BORFフラグが“1”になり、CAN1エラー割り込み要求（バスオフ復帰割り込み）が発生します。

RSCANモジュールによるチャンネル待機モードへの遷移と、プログラムによるCHMDC[1:0]ビットへの書き込みが同時に発生した場合、プログラムによる書き込みが優先されます。BOM[1:0]ビットを“01b”または“10b”に設定した場合のチャンネル待機モードへの自動的な遷移は、CHMDC[1:0]ビットが“00b”（チャンネル通信モード）のときのみ発生します。

また、RSCAN0C1CTRレジスタのRTBOビットを“1”にすることで、バスオフ状態から強制的に復帰することができます。RTBOビットに“1”を書くと、直ちにエラーアクティブ状態になり、11ビットの連続するレセシブを検出後、通信可能な状態になります。この場合、BORFフラグは“1”になりません。TEC[7:0]ビットとREC[7:0]ビットは“00h”に初期化されます。RTBOビットは、BOM[1:0]ビットが“00b”のときのみ“1”を書いてください。バスオフ状態以外で、RTBOビットに“1”を書いても無視され、RTBOビットは直ちに“0”になります。

表27.17 グローバルリセットモードおよびチャンネルリセットモードで初期化されるレジスタ一覧

レジスタ	ビット/フラグ
RSCAN0C1CTR レジスタ	CTMS[1:0], CTME, CHMDC[1:0]
RSCAN0C1STS レジスタ	CHLTSTS, EPSTS, BOSTS, TRMSTS, RECSTS, COMSTS, REC[7:0], TEC[7:0]
RSCAN0C1ERFL レジスタ	CRCREG[14:0], ADERR, B0ERR, B1ERR, CERR, AERR, FERR, SERR, ALF, BLF, OVLF, BORF, BOEF, EPF, EWF, BEF
RSCAN0CFCCk レジスタ	送受信FIFOバッファが送信モードまたはゲートウェイモード時: CFE
RSCAN0CFSTSk レジスタ	送受信FIFOバッファが送信モードまたはゲートウェイモード時: CFMC[7:0], CFFLL, CFEMP, CFMLT, CFRXIF, CFTXIF
RSCAN0CFTISTS レジスタ	CFkTXIF
RSCAN0TMCp レジスタ	TMOM, TMTAR, TMTR
RSCAN0TMSTSp レジスタ	TMTARM, TMTRM, TMTRF[1:0], TMTSTS
RSCAN0TMRSTSp0 レジスタ	TMRSTSp (チャンネルリセットモード時は、チャンネル1 (CAN1) のビットが初期化される)
RSCAN0TMTARSTSp0 レジスタ	TMTARSTSp (チャンネルリセットモード時は、チャンネル1 (CAN1) のビットが初期化される)
RSCAN0TMCSTSp0 レジスタ	TMCSTSp (チャンネルリセットモード時は、チャンネル1 (CAN1) のビットが初期化される)
RSCAN0TMASTSp0 レジスタ	TMASTSp (チャンネルリセットモード時は、チャンネル1 (CAN1) のビットが初期化される)
RSCAN0TXQCC1 レジスタ	TXQE
RSCAN0TXQSTs1 レジスタ	TXQIF, TXQFLL, TXQEMP
RSCAN0THLCC1 レジスタ	THLE
RSCAN0THLSTs1 レジスタ	THLMC[4:0], THLIF, THLELT, THLFLL, THLEMP
RSCAN0GTINTSTSp0 レジスタ	TSIF1, TAIF1, TQIF1, CFTIF1, THIF1

注1. 送受信FIFOバッファ番号 : k = 3~5

注2. 送信バッファ番号 : p = 16~31

表27.18 グローバルリセットモードでのみ初期化されるレジスタ一覧

レジスタ	ビット/フラグ
RSCAN0GSTS レジスタ	GHLTSTS
RSCAN0GERFL レジスタ	THLES, MES, DEF
RSCAN0GTSC レジスタ	TS[15:0]
RSCAN0RMND0 レジスタ	RMNSq
RSCAN0RFCCx レジスタ	RFE
RSCAN0RFSTSp レジスタ	RFMC[7:0], RFIF, RFMLT, RFFLL, RFEMP
RSCAN0CFCCk レジスタ	送受信FIFOが受信モード時: CFE
RSCAN0CFSTSk レジスタ	送受信FIFOバッファが受信モード時: CFMC[7:0], CFFLL, CFEMP, CFTXIF, CFRXIF, CFMLT
RSCAN0FESTS レジスタ	CFkEMP, RFxEMP
RSCAN0FFSTSp レジスタ	CFkFLL, RFxFLL
RSCAN0FMSTSp レジスタ	CFkMLT, RFxMLT
RSCAN0RFISTSp レジスタ	RFxIF
RSCAN0CFRISTSp レジスタ	CFkRXIF
RSCAN0GTSTCFG レジスタ	RTMPS[6:0]
RSCAN0GTSTCTR レジスタ	RTME

注1. 受信バッファ番号 : q = 16~31

注2. 受信FIFOバッファ番号 : x = 0~7

27.5 受信機能

受信の種類には次の2つがあります。

- 受信バッファによる受信：

受信バッファは、16～31 バッファの範囲で使用できます。受信バッファに格納するメッセージは毎回上書きされるので、常に最新の受信データが読み出せます。
- 受信 FIFO バッファ、送受信 FIFO バッファ (受信モード) による受信：

受信 FIFO バッファが8本と、送受信 FIFO バッファが3本あります。FIFO バッファには RFDC[2:0] ビット、CFDC[2:0] ビットで設定した段数までメッセージを保存することができ、古いメッセージから順次、読み出せます。

27.5.1 受信ルールテーブルを用いたデータ処理

受信ルールテーブルを用いたデータ処理により、選別したメッセージを指定のバッファに格納することができます。データ処理には、アクセプタンスフィルタ処理、DLC フィルタ処理、ルーティング処理、ラベル付加処理、ミラー機能の処理があります。

登録できる受信ルール数はモジュール全体で最大 64 となります。受信ルールを設定しない場合は、メッセージを受信できません。図 27.6 に受信ルール登録の説明図を示します。

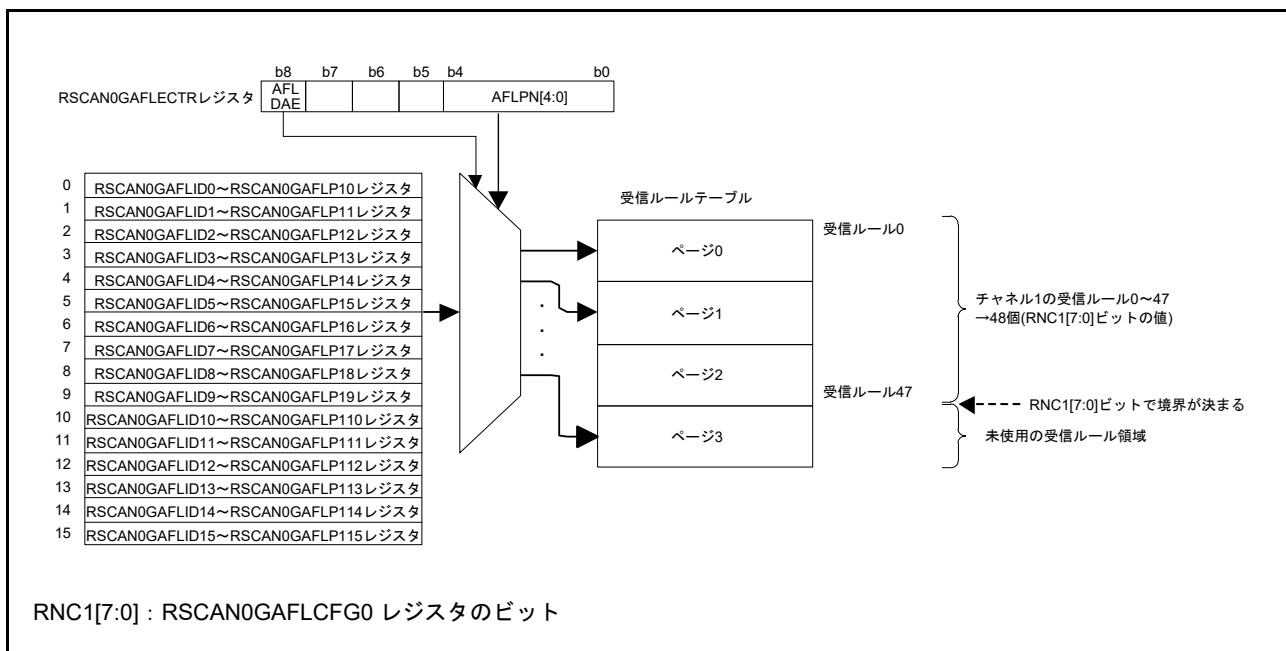


図 27.6 受信ルール登録

注. 受信ルールは、連続して設定してください。

各受信ルールは RSCAN0GAFLIDj、RSCAN0GAFLMj、RSCAN0GAFLP0j、RSCAN0GAFLP1j レジスタ ($j = 0 \sim 15$) の 16 バイトで構成されています。RSCAN0GAFLIDj レジスタでは GAFLID、GAFLIDE ビット、GAFLRTR ビット、ミラー機能の設定、RSCAN0GAFLMj レジスタではマスク設定、RSCAN0GAFLP0j レジスタでは付加するラベル情報、DLC 値、格納先受信バッファの設定、RSCAN0GAFLP1j レジスタは格納先 FIFO バッファの設定を行います。1 ページあたり 16 個の受信ルールを設定できます。

27.5.1.1 アクセプタンスフィルタ処理

アクセプタンスフィルタ処理では、受信メッセージの ID データ、IDE ビット、RTR ビットが、チャンネル 1 (CAN1) の受信ルールに設定した ID データ、IDE ビット、RTR ビットと比較されます。すべてのビットが一致すると、アクセプタンスフィルタ処理を通過します。RSCAN0GAFLMj レジスタで“0” (ビットを比較しない) にしたビットに対応する受信メッセージの ID データ、IED ビット、RTR ビットは、比較されずに一致したとみなします。

チャンネル 1 (CAN1) の一番小さい番号の受信ルールからチェックを開始します。受信メッセージの比較対象ビットが受信ルールとすべて一致したとき、または一致する受信ルールがないまますべてのチェックを終了したとき、フィルタ処理は停止します。一致する受信ルールがない場合は、受信バッファや FIFO バッファに格納されません。

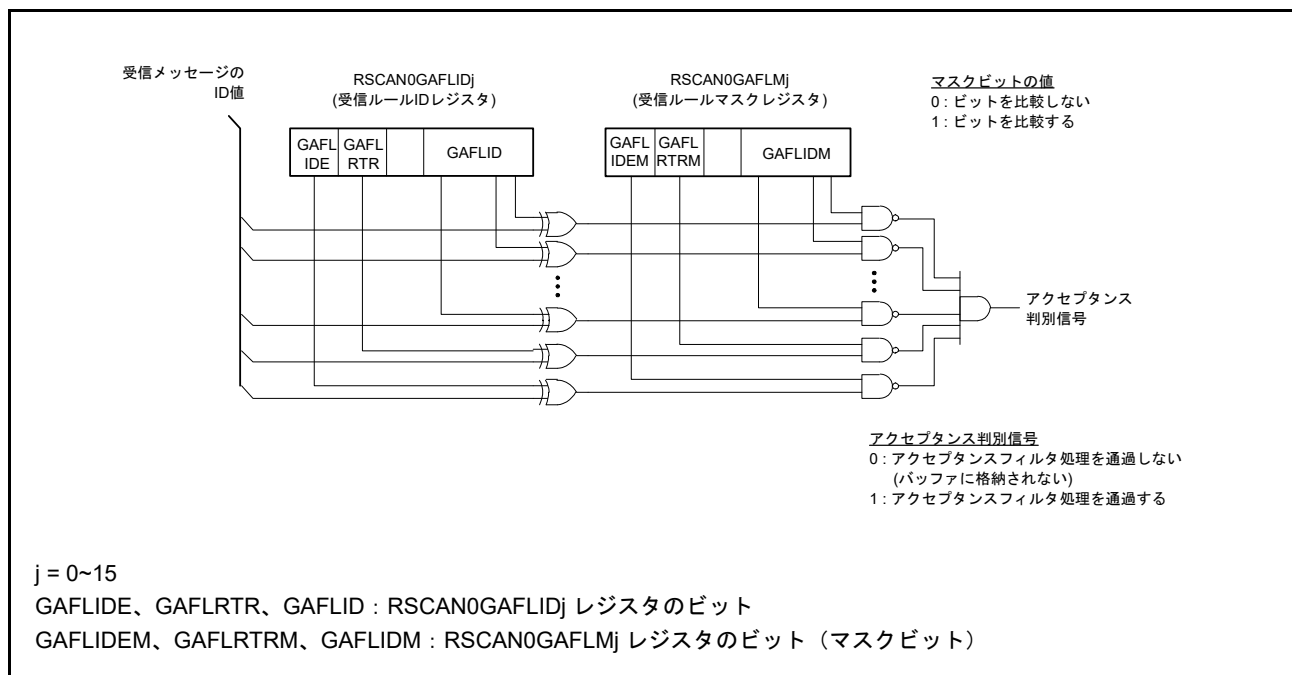


図 27.7 アクセプタンスフィルタ機能

27.5.1.2 DLC フィルタ処理

RSCAN0GCFG レジスタの DCE ビットを“1” (DLC チェック許可) にすると、アクセプタンスフィルタ処理を通過したメッセージに対して DLC フィルタ処理が行われます。メッセージの DLC 値が受信ルールに設定した DLC 値以上の場合、DLC フィルタ処理を通過します。

RSCAN0GCFG レジスタの DRE ビットが“0” (DLC 置換禁止) で、DLC フィルタ処理を通過した場合、受信メッセージの DLC 値がバッファに格納されます。この場合、受信メッセージのすべてのデータバイトがバッファに格納されます。

RSCAN0GCFG レジスタの DRE ビットが“1” (DLC 置換許可) で、DLC フィルタ処理を通過した場合、受信メッセージの DLC 値の代わりに、受信ルールの DLC 値がバッファに格納されます。この場合、受信ルールの DLC 値を超えるデータバイトには“00h”が格納されます。

受信メッセージの DLC 値が受信ルールの DLC 値より小さい場合は、DLC フィルタ処理を通過しません。この場合、メッセージは受信バッファや FIFO バッファに格納されず、RSCAN0GERFL レジスタの DEF フラグが“1” (DLC エラー) となります。

27.5.1.3 ルーティング処理

アクセプタンスフィルタ処理と DLC フィルタ処理を通過したメッセージは、受信バッファ、受信 FIFO バッファ、または受信およびゲートウェイモードに設定した送受信 FIFO バッファに格納されます。メッセージ格納先は、RSCAN0GAFLP0j レジスタ (j=0~15) の GAFLRMV ビット、GAFLRMDP[6:0] ビット、RSCAN0GAFLP1j レジスタで設定します。フィルタ処理を通過したメッセージは最大 8 つのバッファに格納することができます。

27.5.1.4 ラベル付加処理

フィルタ処理を通過したメッセージに 12 ビットのラベル情報を添付し、バッファに格納することができます。ラベル情報は、RSCAN0GAFLP0j レジスタの GAFLPTR[11:0] ビットに設定します。

27.5.1.5 ミラー機能の処理

ミラー機能を使用すると、自らが送信したメッセージを受信することができます。ミラー機能は、RSCAN0GCFG レジスタの MME ビットを“1” (ミラー機能許可) にすることで使用可能になります。

ミラー機能使用時、他の CAN ノードが送信したメッセージを受信するときは、RSCAN0GAFLIDj レジスタの GAFLLB ビットを“0”にした受信ルールがデータ処理に使用されます。自らが送信したメッセージを受信するときは、GAFLLB ビットを“1”にした受信ルールがデータ処理に使用されます。

27.5.1.6 タイムスタンプ

タイムスタンプカウンタは、メッセージの受信時間を記録するために使用する 16 ビットのフリーランカウンタです。タイムスタンプカウンタ値は、メッセージの SOF (スタートオブフレーム) のタイミングで取り込まれ、メッセージ ID やデータとともに、受信バッファや FIFO バッファに格納されます。タイムスタンプカウンタのクロック源は、RSCAN0GCFG レジスタの TSBTCS[2:0]、TSSS ビットで、PCLKD/2 または CAN1 ビットタイムクロックから選択できます。選択したクロック源を RSCAN0GCFG レジスタの TSP[3:0] ビットで分周したクロックが、タイムスタンプカウンタのカウントソースになります。

CAN1 ビットタイムクロックをクロック源として使用する場合、チャンネル 1 (CAN1) がチャンネルリセットモードまたはチャンネル待機モードに遷移すると、タイムスタンプカウンタが停止します。PCLKD/2 をクロック源として使用する場合、タイムスタンプ機能はチャンネルモードに影響されません。

タイムスタンプカウンタ値は RSCAN0GCTR レジスタの TSRST ビットを“1”にすると、“0000h”にリセットされます。

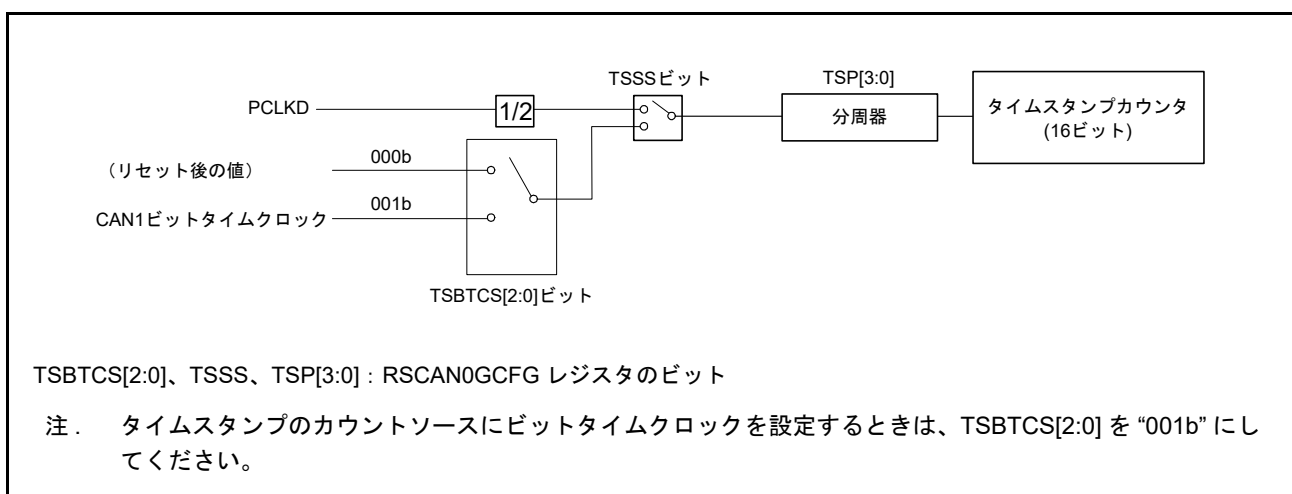


図 27.8 タイムスタンプ機能のブロック図

27.6 送信機能

送信の種類には、次の3つがあります。

- 送信バッファによる送信：
チャンネル1に16バッファあります。
- 送受信 FIFO バッファ (送信モード) による送信：
チャンネル1に3本あります。1本のFIFOバッファに最大64メッセージ格納できます。送信バッファにリンクさせて使用します。FIFOバッファ内で、次に送信予定のメッセージのみ送信の優先順位判定の対象となります。メッセージは格納順に送信されます。
- 送信キューによる送信：
チャンネル1に最大16の送信バッファを送信キューに割り付けできます。送信バッファ16～31がチャンネル1のアクセスウィンドウとして使用します。バッファ番号の大きい方から順に、送信キューに割り付けられます。すべての送信キュー内のメッセージは優先順位判定の対象となり、ID順に送信されます。

表 27.19 チャンネルに割り当てられる送信バッファ p (p = 16～31)

チャンネル	送信バッファの割り当て
CAN1	送信バッファ 16～31

表 27.20 チャンネルに割り当てられる送受信 FIFO バッファ k (k = 3～5)

チャンネル	送受信 FIFO バッファの割り当て
CAN1	送受信 FIFO バッファ 3～5

図 27.9 に送信キューの割り付けと送受信 FIFO バッファのリンクを示します。



図 27.9 送信キューの割り付けと送受信 FIFO バッファのリンク

27.6.1 送信の優先順位判定

複数のバッファやキューから送信要求が出された場合、送信の優先順位を判定します。判定方法は次の2つから選択することができます。

- ID 優先 (TPRI ビットが“0”)
- 送信バッファ番号優先 (TPRI ビットが“1”)

RSCAN0GCFG レジスタの TPRI ビットの設定は、チャンネル 1 (CAN1) で有効です。

TPRI ビットを“0”にした場合、格納したメッセージ ID の優先順位に基づいてメッセージが送信されます。ID の優先順位は CAN 仕様に規定されている CAN バスアービトレーション規定に準拠します。送信バッファ、送信モードまたはゲートウェイモードに設定した送受信 FIFO バッファ、および送信キューに格納したメッセージの ID が判定対象になります。送信キューを使用している場合は、ID 優先を選択してください。送受信 FIFO バッファの場合は、FIFO 内の最も古いメッセージが優先順位判定の対象になります。メッセージが送受信 FIFO バッファから送信中の場合、同じ FIFO バッファにある次のメッセージが優先順位判定の対象になります。送信キューの場合は、送信キュー内のすべてのメッセージが優先順位判定の対象になります。2つ以上のバッファに同じ ID が設定されている場合は、より小さい番号のバッファが優先されます。

TPRI ビットを“1”にした場合、送信要求があるバッファの中で、最も小さいバッファ番号の送信バッファのメッセージが最初に送信されます。送受信 FIFO バッファが送信バッファにリンクしている場合は、リンク先の送信バッファ番号で判定されます。

TPRI ビットの設定にかかわらず、アービトレーションロストまたはエラーが発生し、再送信される場合、送信の優先順位判定が再度実行されます。

27.6.2 送信バッファを用いた送信

送信バッファの送信要求ビット (RSCAN0TMCp レジスタの TMTR ビット) を“1” (送信を要求する) にすると、データフレームまたはリモートフレームを送信することができます。

送信結果は、対応する RSCAN0TMSTSp レジスタ (p = 16~31) の TMTRF[1:0] フラグで確認します。送信が成功すると、TMTRF[1:0] フラグは“10b” (送信完了: 送信アボート要求なし) または“11b” (送信完了: 送信アボート要求あり) になります。

27.6.2.1 送信アボート機能

RSCAN0TMSTSp レジスタの TMTRM ビットが“1” (送信要求あり) である送信バッファにおいて、RSCAN0TMCp レジスタの TMTAR ビットを“1” (送信アボートを要求する) にすると、送信要求が取り消されます。送信アボートが完了すると、RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグが“01b” (送信アボート完了) になり、送信要求が取り消されます (TMTRM ビットが“0”になる)。

送信中のメッセージまたは送信の優先順位判定で次の送信に決定しているメッセージはアボートできません。ただし、TMTAR ビットを“1”にしたメッセージを送信中にアービトレーションロストまたはエラーが発生した場合、再送信は行いません。

27.6.2 ワンショット送信機能 (再送信禁止機能)

RSCAN0TMCp レジスタの TMOM ビットを“1” (ワンショット送信許可) にすると、1 回だけ送信を行います。アービトレーションロストまたはエラーが発生しても、再送信は行いません。

ワンショット送信の結果は、対応する RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグで確認します。ワンショット送信が成功すると、TMTRF[1:0] フラグは“10b”または“11b”になります。アービトレーションロストまたはエラーが発生した場合、TMTRF[1:0] フラグは“01b” (送信アボート完了) になります。

27.6.3 FIFO バッファによる送信

1 本の送受信 FIFO バッファに、RSCAN0CFCK レジスタ (k=3~5) の CFDC[2:0] ビットで設定した段数分のメッセージを格納できます。一番最初に格納したメッセージから順に送信されます。

送受信 FIFO バッファは、RSCAN0CFCK レジスタの CFTML[3:0] ビットで選択した送信バッファにリンクされます。RSCAN0CFCK レジスタの CFE ビットを“1” (送受信 FIFO バッファを使用する) にすると、送信の優先順位判定の対象になります。FIFO バッファ内で、次に送信予定のメッセージに対してのみ優先順位判定を実施します。

CFE ビットを“0” (送受信 FIFO バッファを使用しない) にすると、次に示すタイミングで CFEMP フラグが“1” (送受信 FIFO バッファ空) になります。

- 送受信 FIFO バッファのメッセージが送信中でなく、次の送信に決定していない場合、直ちに空になります。
- 送受信 FIFO バッファのメッセージが送信中、または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、空になります。

CFE ビットを“0” にすると、送受信 FIFO バッファのすべてのメッセージは失われ、FIFO バッファへメッセージを格納できなくなります。再度 CFE ビットを“1”にする前に、CFEMP フラグが“1”になったことを確認してください。

27.6.3.1 インターバル送信機能

送信モードまたはゲートウェイモードに設定した送受信 FIFO バッファを使用時に、同一 FIFO バッファからメッセージを送信する場合、メッセージ送信間のインターバル時間を設定できます。

RSCAN0FCCK レジスタの CFE ビットを“1”にし、最初のメッセージが FIFO バッファから正常に送信された後、インターバルタイマはカウントを開始します (CAN プロトコルの EOF7 の後)。その後インターバル時間が経過すると、次のメッセージが送信されます。インターバルタイマは、CFE ビットを“0”にしたとき、またはチャネルリセットモード時、停止します。

インターバル時間は RSCAN0FCCK レジスタの CFITT[7:0] ビットで設定します。インターバルタイマを使用しない場合は、CFITT[7:0] ビットに“00h”を設定してください。

RSCAN0FCCK レジスタの CFITR、CFITSS ビットで、インターバルタイマのカウントソースを選択します。CFITR、CFITSS ビットを“00b”にすると PCLKD/2 を ITRCP[15:0] ビットの値で分周したクロック、“10b”にすると PCLKD/2 を ITRCP[15:0] ビットの値×10 で分周したクロック、“x1b”にすると CAN1 ビットタイムクロックがカウントソースになります。

ITRCP[15:0] ビットの設定値を M、CFITT[7:0] ビットの値を N とすると、インターバル時間は次の式で求められます。

- CFITR、CFITSS ビットが“00b”の場合 (fPBA は PCLKD の周波数) :

$$\frac{1}{f_{PBA}} \times 2 \times M \times N$$

- CFITR、CFITSS ビットが“10b”の場合 :

$$\frac{1}{f_{PBA}} \times 2 \times M \times 10 \times N$$

- CFITR、CFITSS ビットが“x1b”の場合 (fCANBIT は CAN1 ビットタイムクロックの周波数) :

$$\frac{1}{f_{CANBIT}} \times N$$

図 27.10 にインターバルタイマのブロック図を示します。

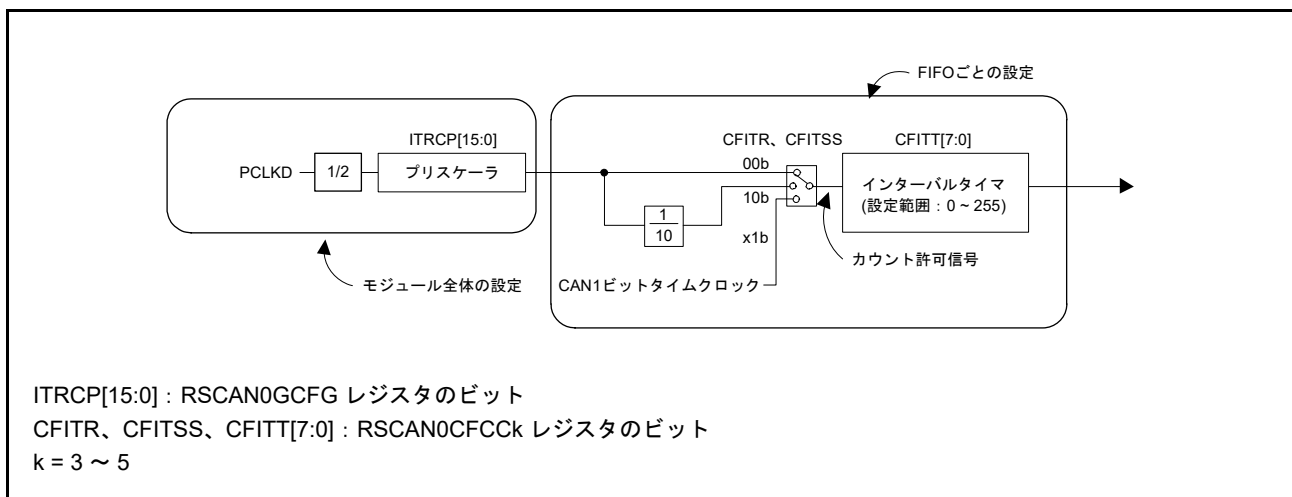


図 27.10 インターバルタイマのブロック図

図 27.11 にインターバルタイマのタイミング図を示します。

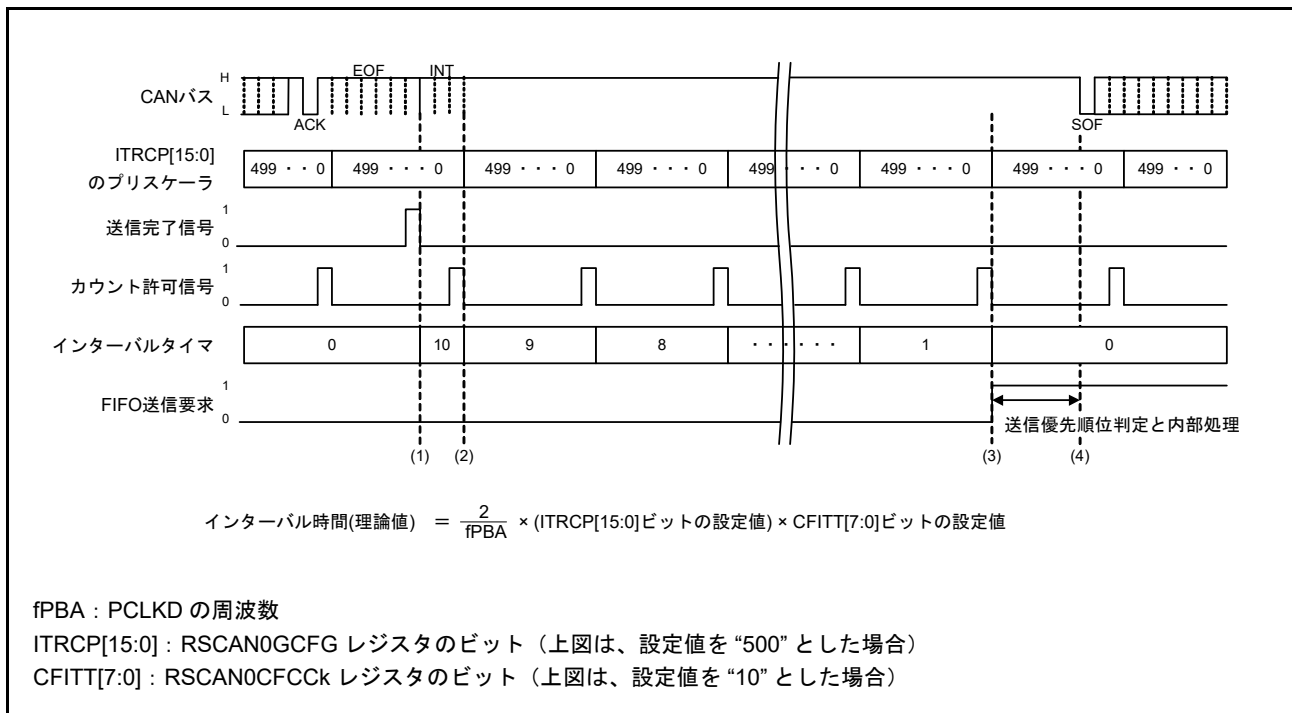


図 27.11 インターバルタイマのタイミング図

1. 送信が完了するとインターバルタイマがカウントを開始します。送信が完了したタイミングでプリスケアラが初期化されないため、最初のインターバル時間は、最大でインターバルタイマの1カウント分の誤差が発生します。
2. 次のカウント許可信号で、インターバルタイマは“1”減算されます。
3. インターバルタイマが“0”になると、送受信 FIFO バッファから送信要求が出されます。
4. 優先順位判定で送受信 FIFO バッファが次の送信に決まると、送信を開始します。送信要求が出されてから送信が開始するまで、通常 CAN1 ビットタイムクロックの3クロック以下の遅延で、送信を開始します。受信フィルタ処理、メッセージのルーティング、送信優先順位判定など複数の内部処理が発生すると、最大で PCLKD の 582 クロック分遅延する場合があります。

27.6.4 送信キューによる送信

送信キューはチャンネル1 (CAN1) に3～16バッファまで割り付けられ、送信バッファ31がアクセスウィンドウになります。

送信キュー内のすべてのメッセージが送信の優先順位判定の対象となり、格納した順番にかかわらず、ID優先順に送信されます。2つの同じIDを持つメッセージが送信キューに格納された場合、これらのメッセージが送信される順番は、送信キューに格納した順番と異なる場合があります。

RSCAN0TXQCC1 レジスタのTXQE ビットを“0”にすると、送信キューが使用不可になります。TXQE ビットを“0”にするとき、次に示すタイミングでRSCAN0TXQSTS1 レジスタのTXQEMP フラグは“1” (送信キュー空) になります。

- 送信キューのメッセージが送信中でなく、次の送信にも決定していない場合、直ちに空になります。
- 送信キューのメッセージが、すでに送信中または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、空になります。

TXQE ビットを“0”にすると、送信キューのすべてのメッセージは失われ、送信キューにメッセージを格納できなくなります。再度TXQE ビットを“1”にする前に、TXQEMP フラグが“1”になったことを確認してください。

27.6.5 送信履歴機能

送信完了したメッセージの情報を送信履歴バッファに格納できます。各 1 チャンネルに 1 つの送信履歴バッファを持ち、送信履歴バッファには 16 個の送信履歴データを格納できます。

RSCAN0THLCC1 レジスタの THLDTE ビットで、メッセージ送信元のバッファの種類が選択できます。RSCAN0CFIDk レジスタ (k=3~5) の THLEN ビットで、メッセージごとに送信履歴データを格納するかどうかを設定できます。

送信が成功した後に、次に示す送信メッセージの情報が送信履歴データとして送信履歴バッファへ格納されます。

送信が成功してから送信履歴データが格納されるまで、最大で PCLKD の 150 クロック分遅延する場合があります。

- バッファタイプ 001b: 送信バッファ
 010b: 送受信 FIFO バッファ
 100b: 送信キュー
- バッファ番号 送信元の送信バッファ、送信キュー、または送受信 FIFO バッファの番号。
 これはバッファタイプに依存します。表 27.21 を参照してください。
- ラベルデータ 送信メッセージのラベル情報

表 27.21 送信履歴データのバッファ番号

バッファタイプ バッファ番号	001b	010b	100b
0000b	送信バッファ 16	RSCAN0CFCKk レジスタの CFTML[3:0] ビットで送受信 FIFO バッファにリンクさせた送信バッファの番号 (k = 3 ~ 5)	送信を行った送信キューに割り付けられた送信バッファの番号
0001b	送信バッファ 17		
0010b	送信バッファ 18		
0011b	送信バッファ 19		
0100b	送信バッファ 20		
0101b	送信バッファ 21		
0110b	送信バッファ 22		
0111b	送信バッファ 23		
1000b	送信バッファ 24		
1001b	送信バッファ 25		
1010b	送信バッファ 26		
1011b	送信バッファ 27		
1100b	送信バッファ 28		
1101b	送信バッファ 29		
1110b	送信バッファ 30		
1111b	送信バッファ 31		

ラベルデータは、メッセージを特定するために使用します。送信バッファ、送信キュー、送受信 FIFO バッファから送信するメッセージに、固有のラベルデータを付加することができます。

送信履歴データは、RSCAN0THLACC1 レジスタから読み出せます。バッファがフルの場合に、新しい送信履歴データを格納しようとする、バッファがオーバーフローし、新しいデータは破棄されます。

27.7 ゲートウェイ機能

送受信 FIFO バッファをゲートウェイモードに設定すると、CPU を介さずに受信したメッセージをチャンネル 1 (CAN1) から送信することができます。

RSCAN0CFCCk レジスタの CFM[1:0] ビットを “10b” (ゲートウェイモード) に設定した送受信 FIFO バッファを RSCAN0GAFLP1j レジスタで選択すると、受信ルールのフィルタ処理を通過したメッセージが、指定した送受信 FIFO バッファに格納され、自動的にバッファから送信されます (j=0 ~ 15)。

送受信 FIFO バッファに最初に格納されたメッセージから順に送信されます。次に送信予定のメッセージのみ、送信の優先順位判定の対象になります。

ゲートウェイ モードに設定した送受信 FIFO バッファは、RSCAN0CFCCk レジスタの CFE ビットを “0” にすると、使用不可になります。CFE ビットを “0” にすると、次に示すタイミングで CFEMP フラグが “1” になります。

- 送受信 FIFO バッファのメッセージが送信中でもなく、次の送信にも決定していない場合、直ちに空になります。
- 送受信 FIFO バッファのメッセージが、すでに送信中または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、空になります。

CFE ビットを “0” にすると、送受信 FIFO バッファのすべてのメッセージは失われ、FIFO バッファへメッセージを格納できなくなります。再度 CFE ビットを “1” にする前に、CFEMP フラグが “1” になったことを確認してください。

27.8 テスト機能

テスト機能は、通信テストとグローバルテストの2つに分類できます。

- 通信テスト: チャンネル1 (CAN1) で行うテスト
 - 標準テストモード
 - リッスンオンリモード
 - セルフテストモード0 (外部ループバックモード)
 - セルフテストモード1 (内部ループバックモード)
- グローバルテスト: モジュール全体で行うテスト
 - RAM テスト (読み書きテスト)

27.8.1 標準テストモード

標準テストモードでは、CRC テストを行うことができます。

27.8.2 リッスンオンリモード

リッスンオンリモードでは、データフレームとリモートフレームを受信できます。CAN バス上にはレセシブビットのみが送信され、ACK ビット、オーバーロードフラグ、アクティブエラーフラグは送信されません。

リッスンオンリモードは、通信速度の検出に使用できます。

リッスンオンリモードでは、どのバッファやキューからも送信要求をしないでください。

図 27.12 にリッスンオンリモード選択時の接続を示します。

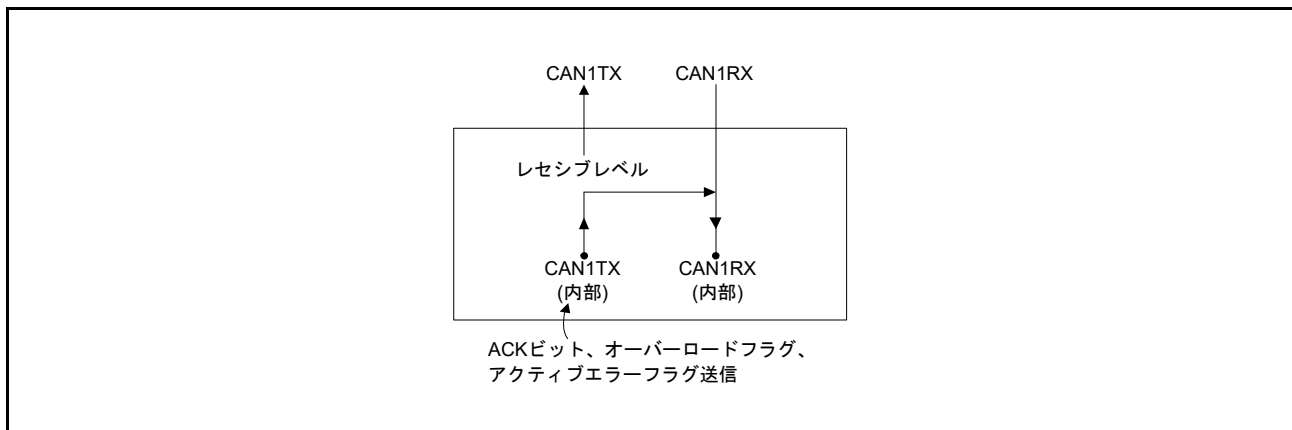


図 27.12 リッスンオンリモード選択時の接続

27.8.3 セルフテストモード (ループバックモード)

セルフテストモードでは、送信したメッセージを自チャネルの受信ルールと比較し、フィルタ処理を通過するとバッファに格納されます。他のCANノードが送信したメッセージは、RSCAN0GAFLIDjレジスタ (j = 0~15) のGAFLLBビットを“0” (他のCANノードが送信したメッセージを受信時) にした受信ルールとのみ比較されます。

ミラー機能とセルフテストモードが同時に許可された場合、セルフテストモードの設定が優先されます。

27.8.3.1 セルフテストモード0 (外部ループバックモード)

セルフテストモード0はCANトランシーバを含めたチャネルのループバックテストを行います。

セルフテストモード0では、送信したメッセージをCANトランシーバ経由で受信したメッセージとして取り扱い、送信したメッセージをバッファに格納します。自送信メッセージを受信するため、ACKビットを生成します。

図 27.13 にセルフテストモード0選択時の接続を示します。

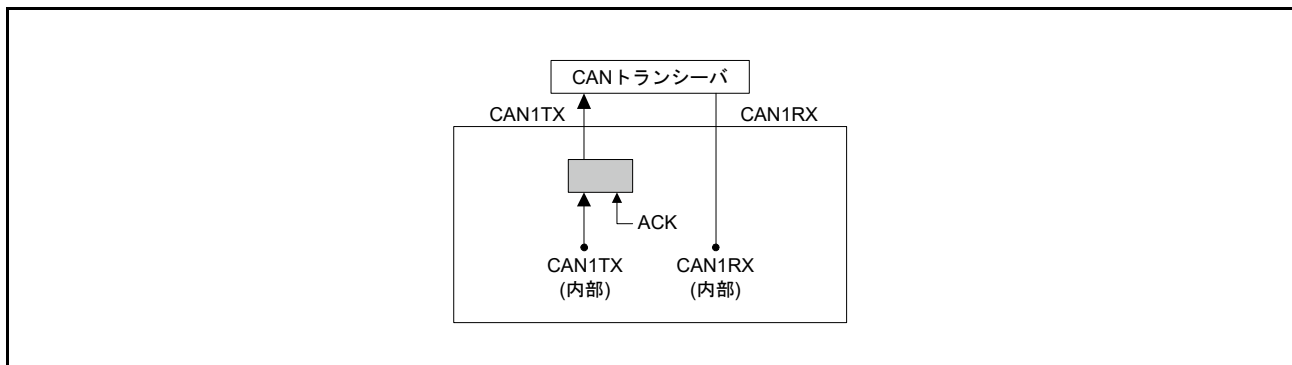


図 27.13 セルフテストモード0選択時の接続

27.8.3.2 セルフテストモード1 (内部ループバックモード)

セルフテストモード1では、送信したメッセージを受信したメッセージとして取り扱い、送信したメッセージをバッファに格納します。自送信メッセージを受信するため、ACKビットを生成します。

セルフテストモード1では内部CAN1TX端子から内部CAN1RX端子への内部フィードバックを行います。外部CAN1RX端子の入力は、切り離されます。外部CAN1TX端子はレセプビットのみ出力します。

図 27.14 にセルフテストモード1選択時の接続を示します。

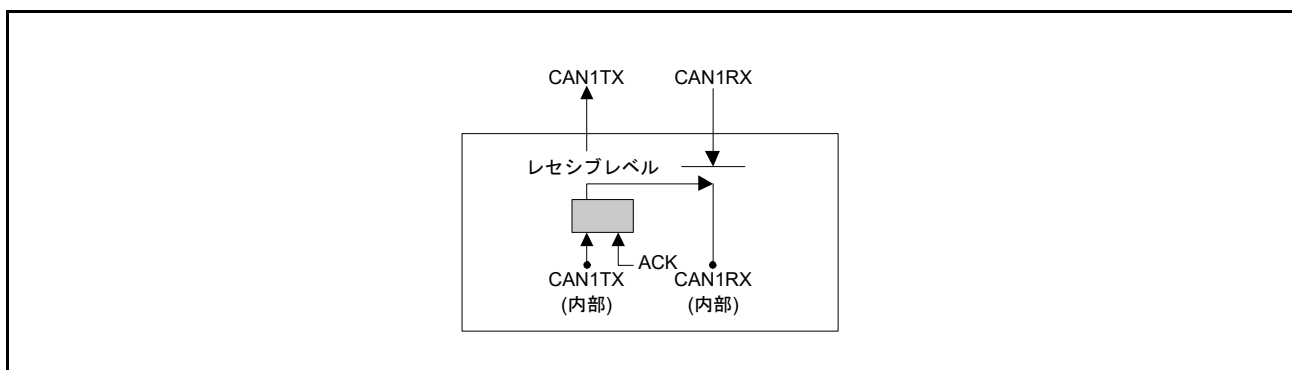


図 27.14 セルフテストモード1選択時の接続

27.8.4 RAM テスト

RAM テスト機能を使用すると、CAN 用 RAM 全体にアクセスすることができます。

RAM テスト機能使用時、RAM は 256 バイトごとのページに分けられます。ページは RSCAN0GTSTCFG レジスタの RTMPS[6:0] ビットで設定し、ページ内のデータは RSCAN0RPGACCr レジスタ (r=0~63) から読み出し/書き込みができます。有効な総 RAM サイズは、14592 バイト (3900h) です。

27.9 RSCAN の設定手順

27.9.1 初期設定

MCUのリセット後にRSCANモジュールはCAN用RAMの初期化を行います。RAMの初期化時間は、PCLKDの7298サイクルです。RAMの初期化中は、RSCAN0GSTSレジスタのGRAMINITフラグが“1”（CAN用RAMクリア中）になり、初期化が終了すると“0”（CAN用RAMクリア完了）になります。GRAMINITフラグが“0”になった後にCANの設定を行ってください。図27.15にMCUのリセット後の設定手順を示します。

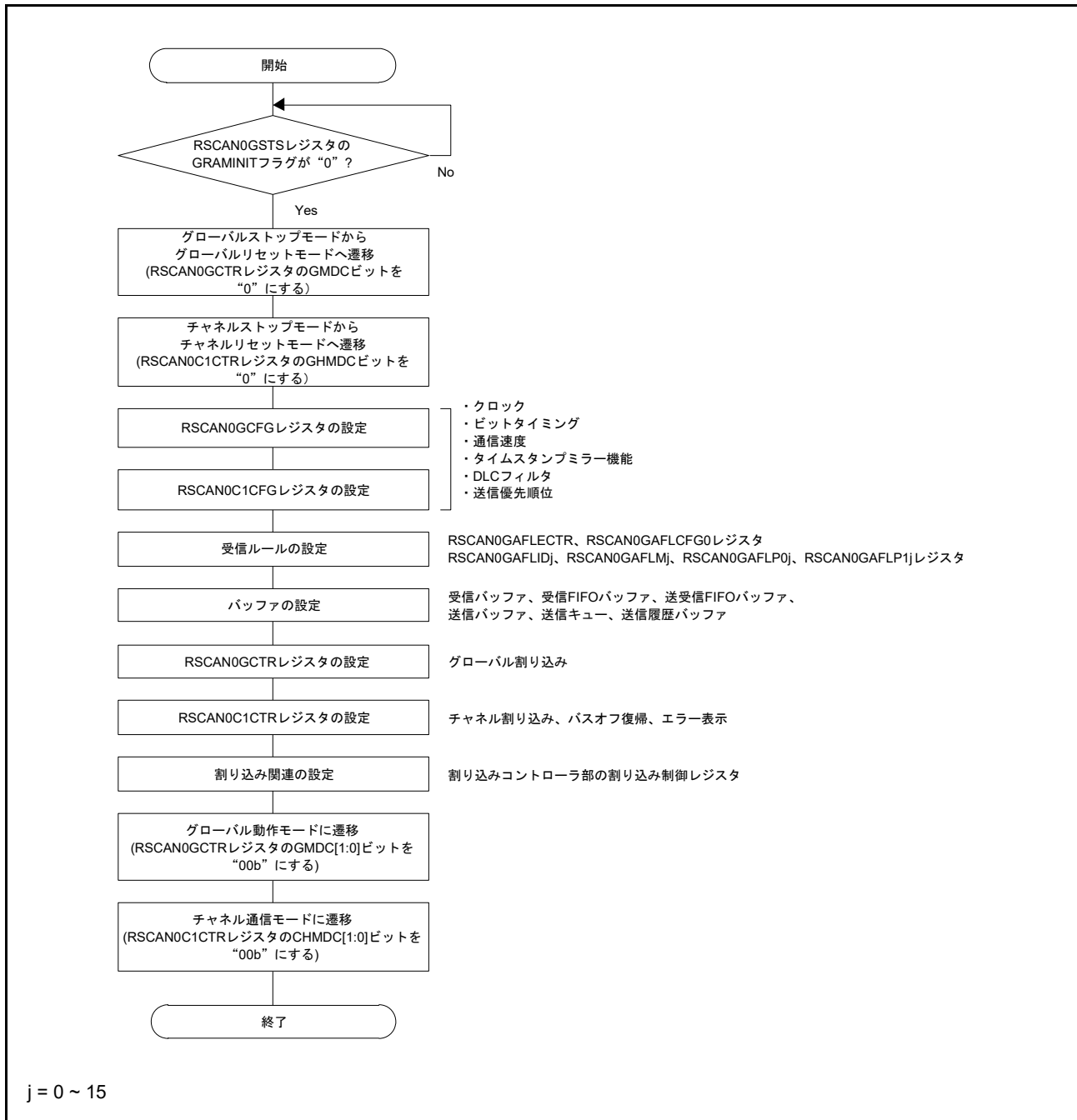


図 27.15 MCUのリセット後の設定手順

27.9.1.1 クロックの設定

RSCAN モジュールのクロック源である CAN クロック (fCAN) を設定します。RSCAN0GCFG レジスタの DCS ビットで、CANCLKA (24MHz)、または CANCLKB (25MHz) を選択します。

27.9.1.2 ビットタイミングの設定

CAN プロトコルでは、通信フレームの 1 ビットは SS、TSEG1、TSEG2 の 3 つのセグメントで構成されます。このうち、TSEG1 および TSEG2 の 2 つのセグメントを RSCAN0C1CFG レジスタで設定できます。2 つのセグメントを設定することで、サンプルポイントのタイミングを決めます。このタイミングは 1 Time Quantum (以下 Tq) 単位で調整できます。1Tq は、RSCAN0GCFG レジスタの DCS ビットで選択したクロックを RSCAN0C1CFG レジスタの BRP[9:0] ビットで分周したクロック (CAN1Tq クロック) の周期になります。

図 27.16 にビットタイミング図を示します。表 27.22 にビットタイミングの設定例を示します。

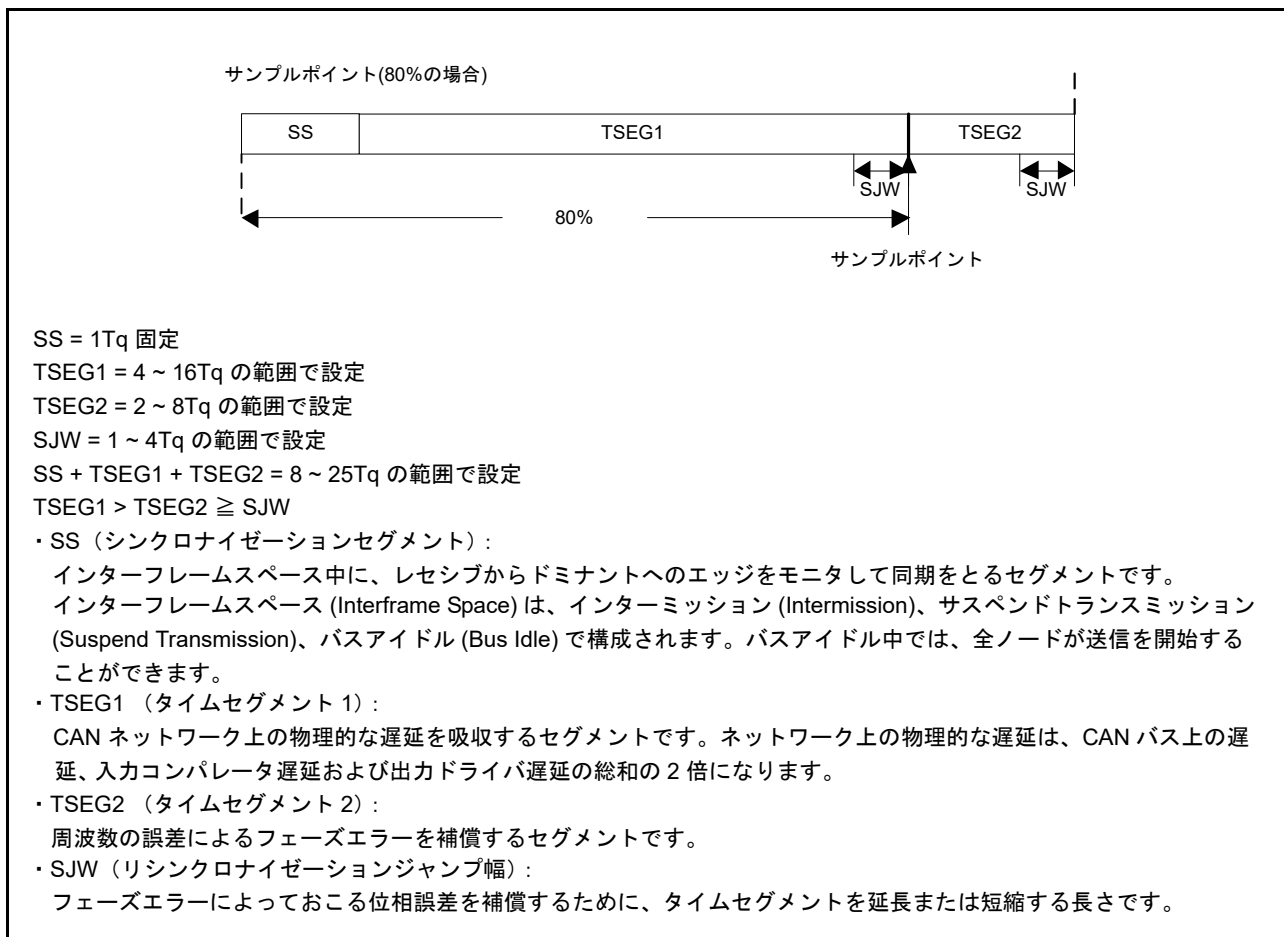


図 27.16 ビットタイミング図

表27.22 ビットタイミングの設定例

1ビット	設定値 (Tq)				サンプルポイント (%) ※図27.16を参照
	SS	TSEG1	TSEG2	SJW	
8Tq	1	4	3	1	62.50
	1	5	2	1	75.00
10Tq	1	6	3	1	70.00
	1	7	2	1	80.00
12Tq	1	8	3	1	75.00
	1	9	2	1	83.33
16Tq	1	10	5	1	68.75
	1	11	4	1	75.00
20Tq	1	12	7	1	65.00
	1	13	6	1	70.00
24Tq	1	15	8	1	66.67
	1	16	7	1	70.83
25Tq	1	16	8	1	68.00

27.9.1.3 通信速度の設定

CANの通信速度は、fCAN、ボーレートプリスケアラ分周値 (RSCAN0C1CFG レジスタの BRP[9:0] ビット)、および1ビットタイムのTq数を用いて設定します。

図 27.17 に CAN クロック制御ブロック図、表 27.23 に通信速度の設定例を示します。

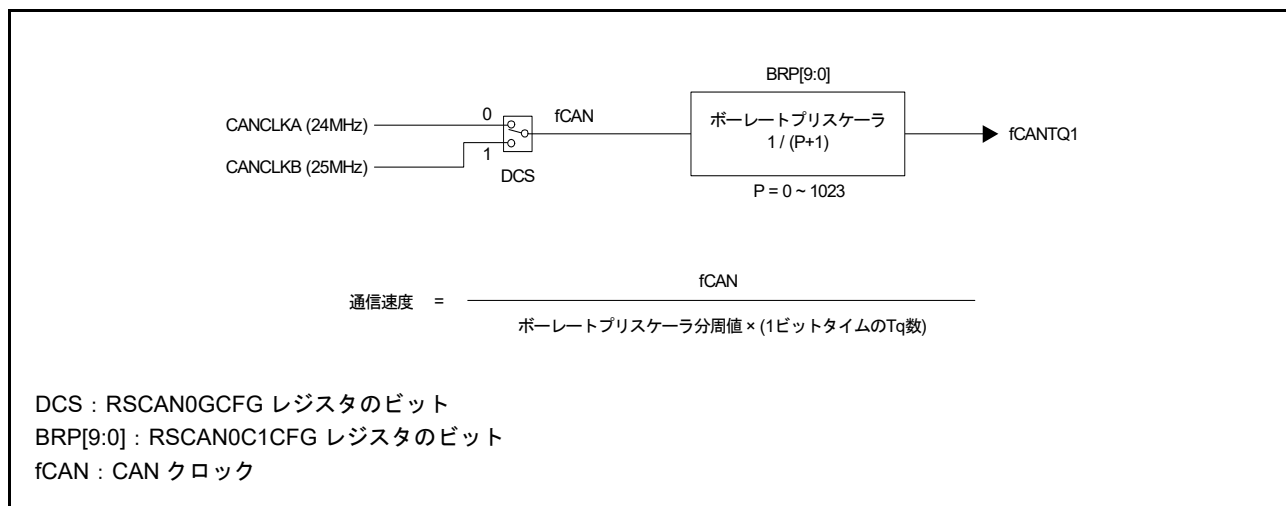


図 27.17 CAN クロック制御ブロック図

表 27.23 通信速度の設定例

通信速度	fCAN	
	25MHz	24MHz
1Mbps	25Tq (1)	8Tq (3) 12Tq (2) 24Tq (1)
500kbps	25Tq (2) 10Tq (5)	8Tq (6) 12Tq (4) 24Tq (2)
250kbps	25Tq (4) 10Tq (10)	8Tq (12) 12Tq (8) 24Tq (4)
125kbps	25Tq (8) 10Tq (20)	8Tq (24) 12Tq (16) 24Tq (8)

注. () 内の数字はボーレートプリスケアラ分周値

27.9.1.4 受信ルールの設定

受信ルール関連レジスタで受信ルールの設定を行うことができます。

1 ページに 16 の受信ルールを登録できます。RSCAN0GAFLECTR レジスタの AFLPN[4:0] ビットでページ 0 ~ 3 を指定します。また、AFLDAE ビットで受信ルールテーブルへの書き込みの許可/禁止を設定します。

図 27.18 に受信ルール設定手順について示します。

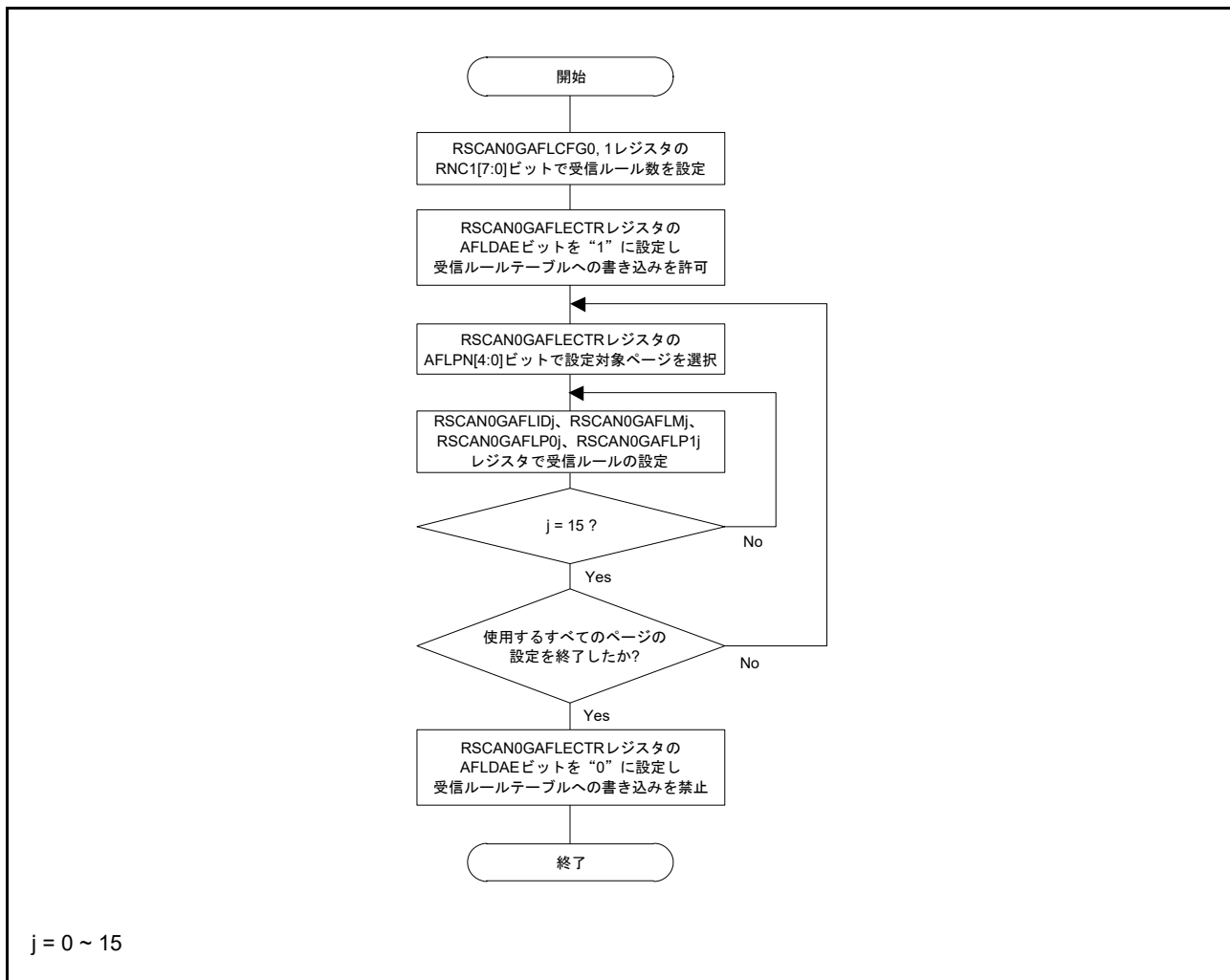


図 27.18 受信ルール設定手順

27.9.1.5 バッファの設定

各種バッファのサイズと割り込み要因を設定します。また、送信モードに設定した送受信 FIFO バッファはリンクする送信バッファを設定します。

図 27.19 にバッファの構成を示します。図 27.20 に各種バッファの設定手順を示します。

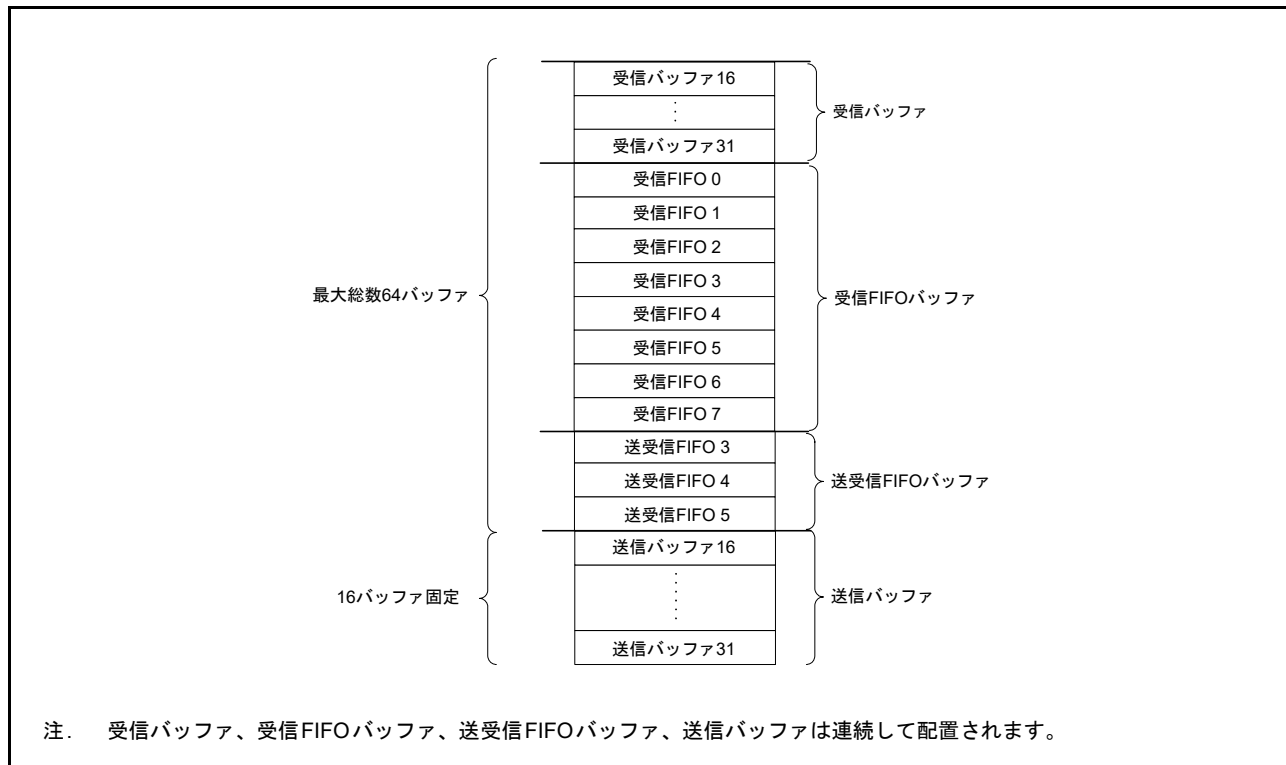


図 27.19 バッファの構成

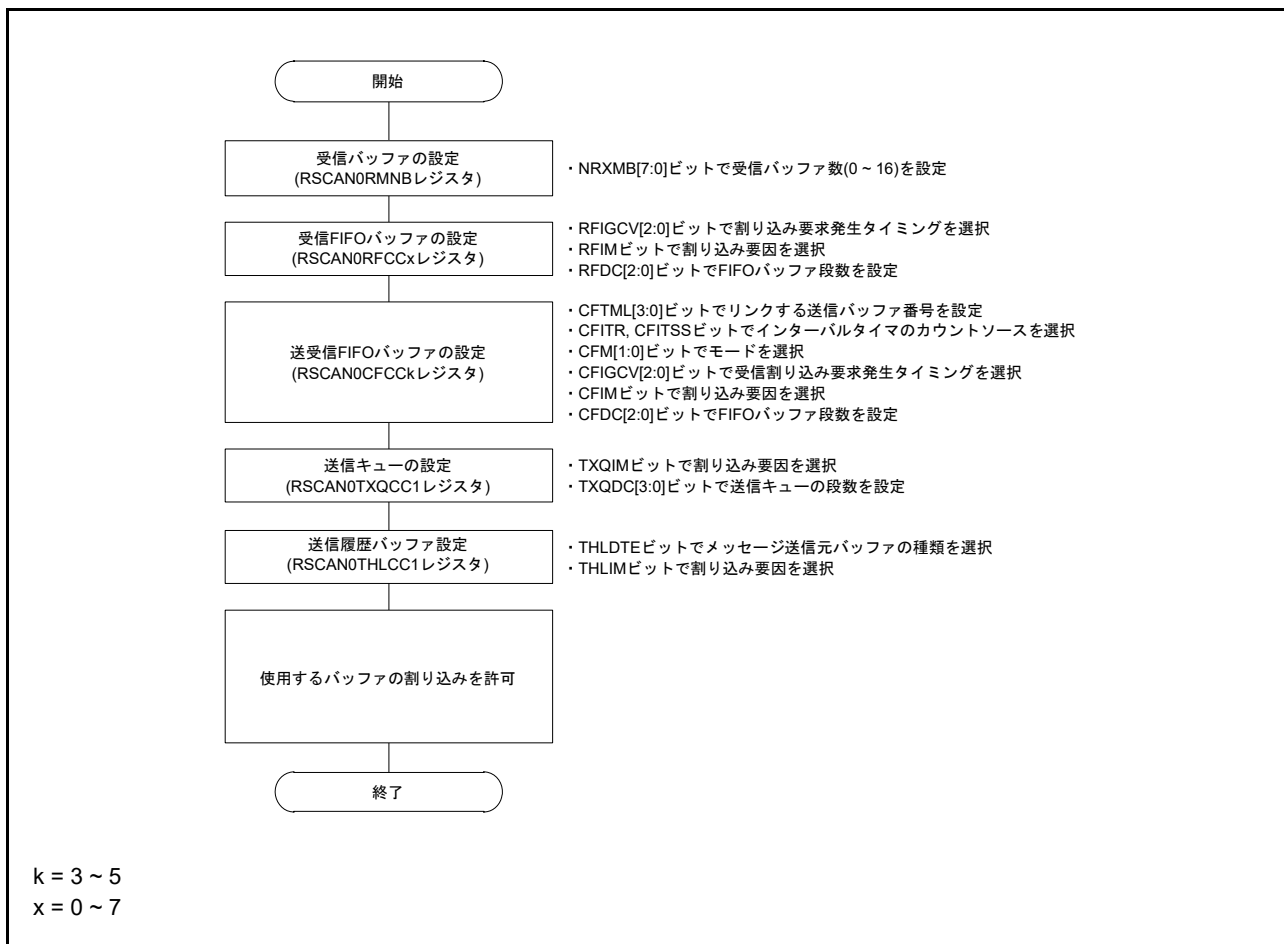


図 27.20 各種バッファの設定手順

27.9.2 受信手順

27.9.2.1 受信バッファの読み出し手順

受信したメッセージを受信バッファに格納する処理が始まると、RSCAN0RMND0レジスタのRMNSqフラグ ($q=16\sim 31$) が“1” (受信バッファ q に新しいメッセージあり) になります。メッセージはRSCAN0RMIDq、RSCAN0RMPTRq、RSCAN0RMDf0q、RSCAN0RMDf1qレジスタから読めます。受信バッファからメッセージを読み出す前に次のメッセージを受信した場合、メッセージが上書きされます。図27.21に受信バッファの読み出し手順を示します。

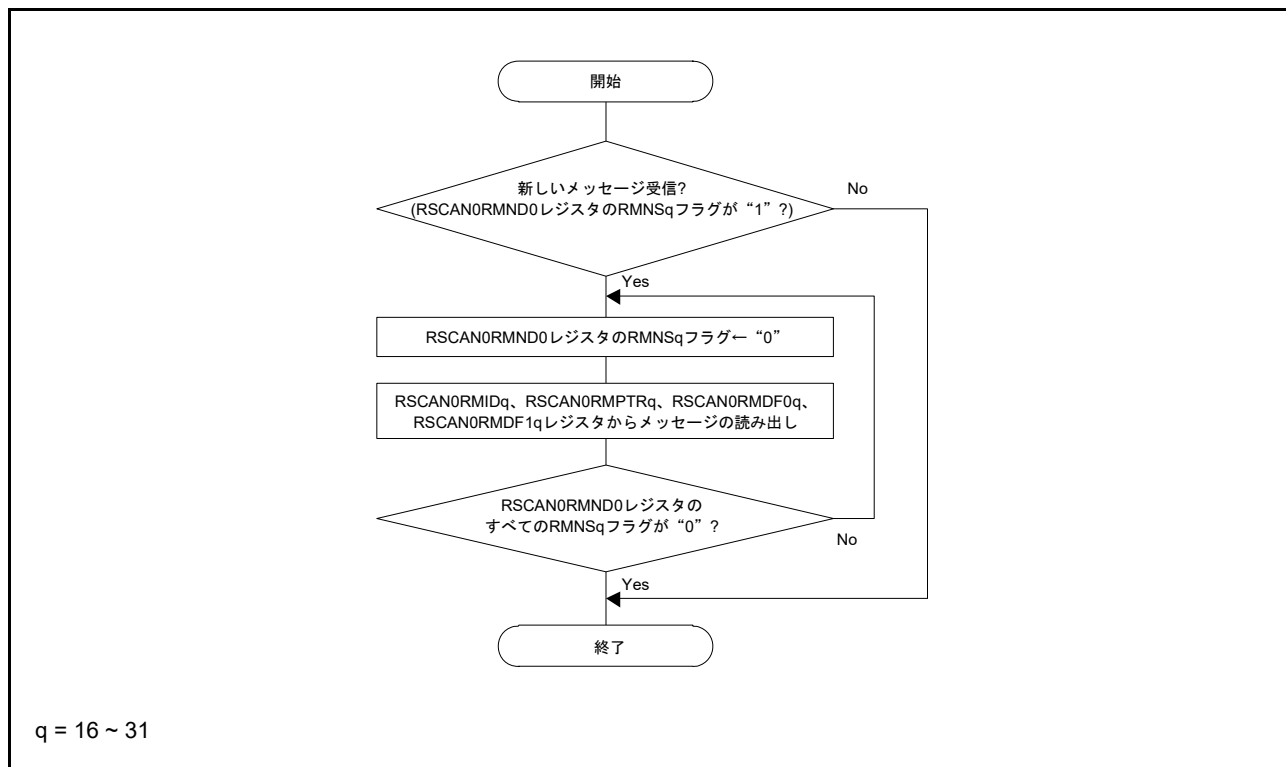


図 27.21 受信バッファの読み出し手順

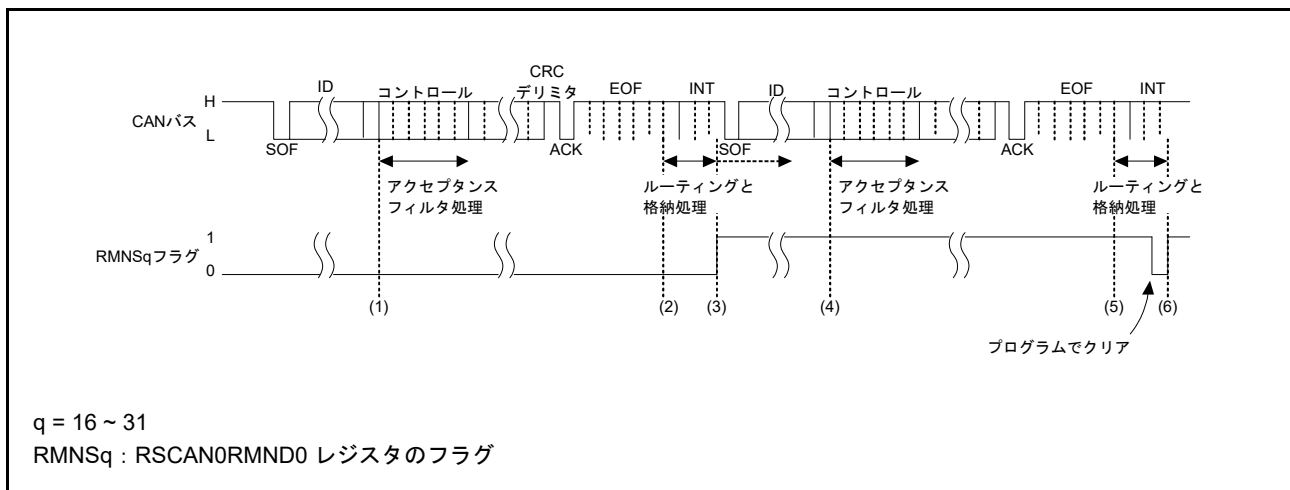


図 27.22 受信バッファの受信タイミング図

1. メッセージの ID フィールドを受信し終わると、アクセプタンスフィルタ処理が開始します。
2. チャンネル 1 (CAN1) の受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCAN0GCFG レジスタの DCE ビットが“1” (DLC チェック許可) の場合、この時点で DLC フィルタ処理を行います。
3. DLC フィルタ処理を通過すると、指定した受信バッファにメッセージを格納する処理が開始します。メッセージの格納処理が始まると、対応する RSCAN0RMND0 レジスタの RMNSq フラグが“1” (受信バッファに新しいメッセージあり) になります。
4. 次のメッセージの ID フィールドを受信し終わると、アクセプタンスフィルタ処理が開始します。
5. チャンネル 1 (CAN1) の受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCAN0GCFG レジスタの DCE ビットが“1” (DLC チェック許可) の場合、この時点で DLC フィルタ処理を行います。
6. 対応する RMNSq フラグを“0” (受信バッファに新しいメッセージなし) にクリアした場合、メッセージの格納処理が始まると、再度“1”になります。RMNSq フラグが“1”のままでも、新しいメッセージは受信バッファに上書きされます。メッセージ格納中は RMNSq フラグを“0”にできません。

27.9.2.2 FIFO バッファの読み出し手順

受信メッセージが1つ以上の受信 FIFO バッファまたは、受信モード/ゲートウェイモードに設定した送受信 FIFO バッファへ格納されると、対応するメッセージ数表示カウンタ (RSCAN0RFSTSx レジスタ (x = 0~7) の RFMC[7:0] ビットまたは RSCAN0CFSTS_k レジスタ (k = 3~5) の CFMC[7:0] ビット) の値が1加算されます。このとき、RSCAN0RFCCx レジスタの RFIE ビット (受信 FIFO 割り込み許可ビット) や RSCAN0CFCC_k レジスタの CFRXIE ビット (送受信 FIFO 受信割り込み許可ビット) を“1”にしていると、割り込み要求が発生します。受信メッセージは、受信 FIFO バッファの場合は RSCAN0RFID_x、RSCAN0RFPTR_x、RSCAN0RFDFO_x、RSCAN0RFDFO_x、RSCAN0RFDFO_x、RSCAN0RFDFO_x レジスタから、送受信 FIFO バッファの場合は RSCAN0CFID_k、RSCAN0CFPTR_k、RSCAN0CFDF0_k、RSCAN0CFDF1_k レジスタから読み出すことができます。FIFO バッファは古いメッセージから読み出せます。

メッセージ数表示カウンタの値が FIFO バッファの段数値 (RSCAN0RFCCx レジスタの RFDC[2:0] ビットまたは RSCAN0CFCC_k レジスタの CFDC[2:0] ビットで設定した値) に一致したとき、RFFLL フラグまたは CFLL フラグが“1” (FIFO バッファフル) になります。

FIFO バッファからすべてのメッセージを読み出したとき、RSCAN0RFSTSx レジスタの RFEMP フラグまたは RSCAN0CFSTS_k レジスタの CFEMP フラグが“1” (FIFO バッファ空) になります。

割り込み要求フラグ (RSCAN0RFSTSx レジスタの RFIF フラグまたは RSCAN0CFSTS_k レジスタの CFRXIF フラグ) が“1” (割り込み要求あり) の状態で RFE ビットや CFE ビットを“0” (FIFO バッファを使用しない) にすると、割り込み要求フラグは自動的に“0”になりません。割り込み要求フラグはプログラムで“0”にしてください。

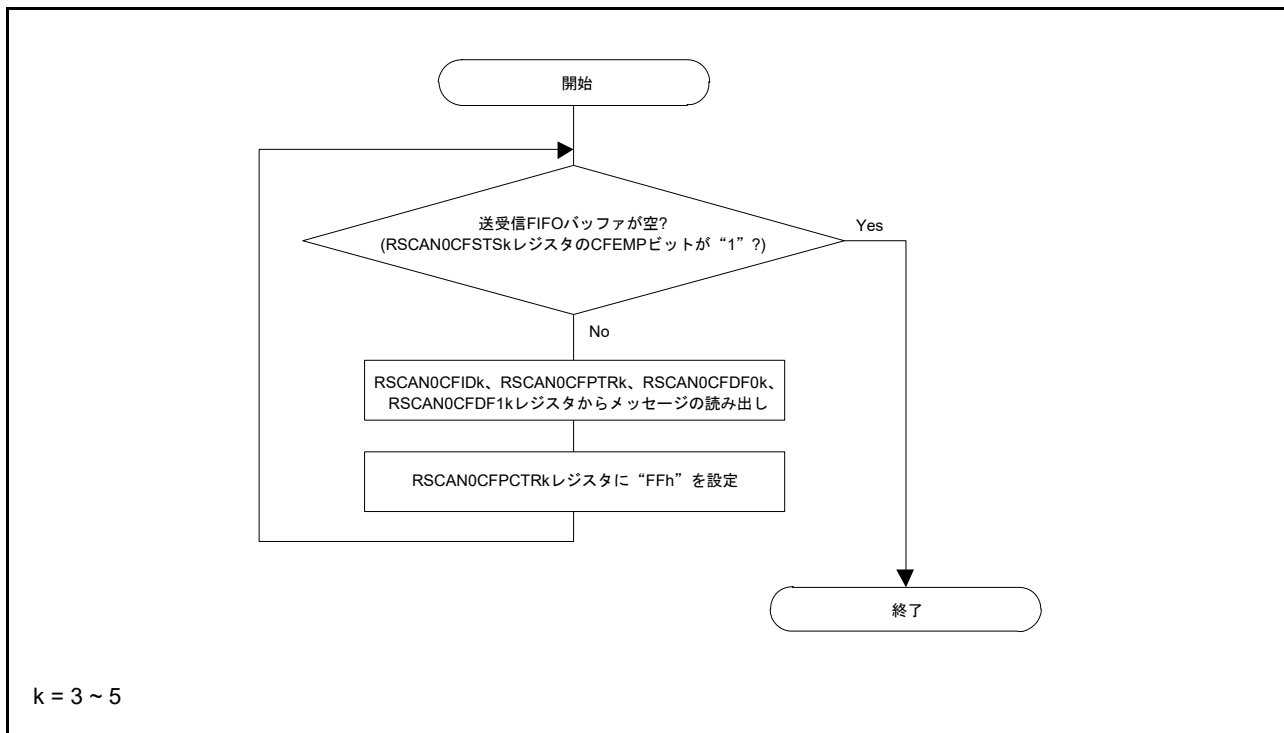


図 27.23 送受信 FIFO バッファの読み出し手順

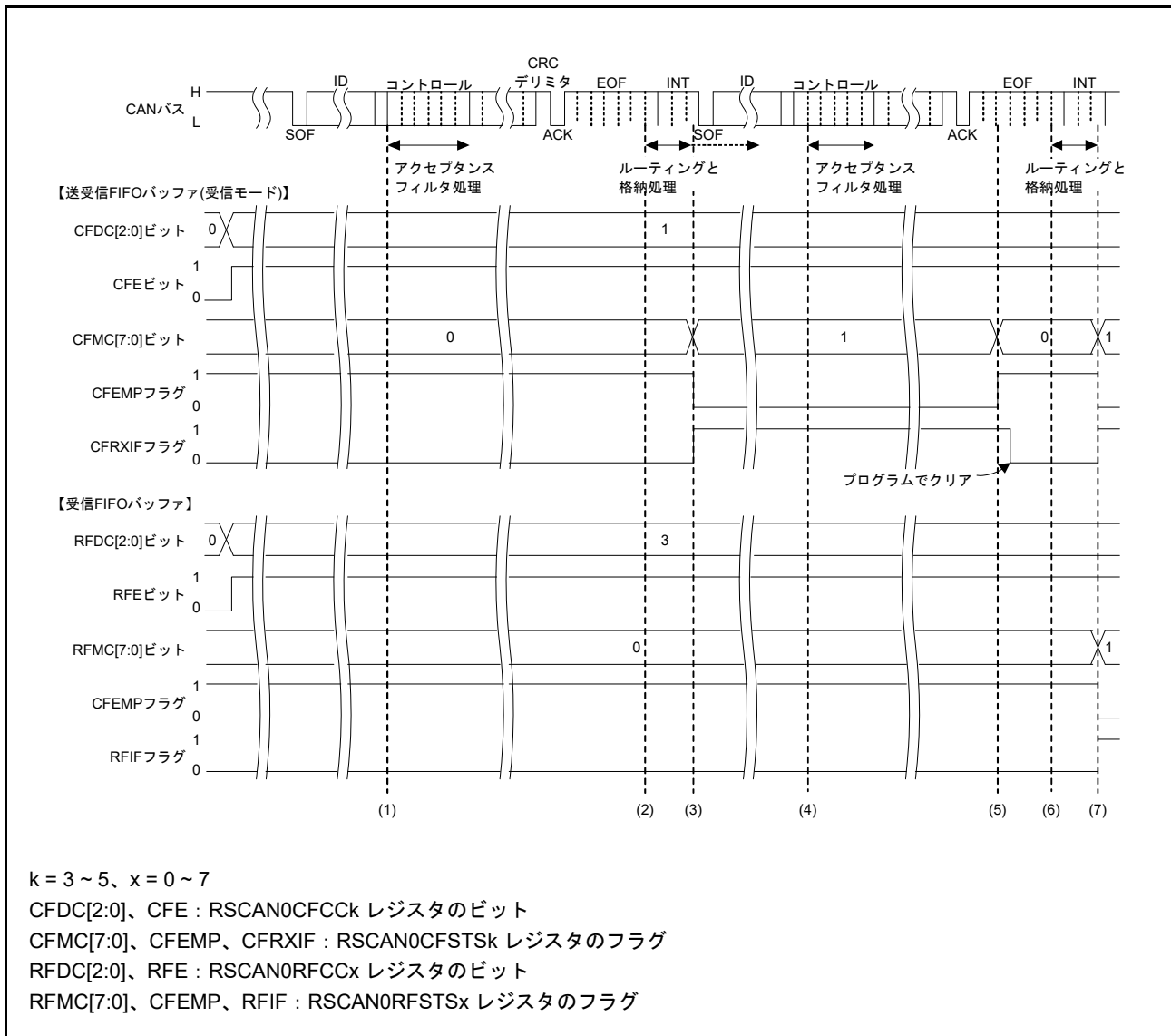


図 27.24 FIFO バッファの受信タイミング図

1. メッセージの ID フィールドを受信し終わると、アクセプタンスフィルタ処理が開始します。
2. チャンネル 1 (CAN1) の受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCAN0CFG レジスタの DCE ビットが“1” (DLC チェック許可) の場合、この時点で DLC フィルタ処理を行います。
3. DLC フィルタ処理を通過し、かつ RSCAN0CFCCk レジスタの CFE ビットが“1” (送受信 FIFO バッファを使用する) で、RSCAN0CFCCk レジスタの CFDC[2:0] ビットの値が“001b” 以上の場合、受信モードに設定した送受信 FIFO バッファにメッセージが格納されます。RSCAN0CFSTSx レジスタの CFMC[7:0] ビットが 1 加算されて“01h” になります。RSCAN0CFCCk レジスタの CFIM ビットを“1” (1 メッセージ受信ごとに割り込み要求発生) にしている場合、RSCAN0CFSTSx レジスタの CFRXIF フラグが“1” (送受信 FIFO 受信割り込み要求あり) になります。CFRXIF フラグはプログラムで“0” にできます。
4. 次のメッセージの ID フィールドを受信し終わると、アクセプタンスフィルタ処理が開始します。

5. RSCAN0CFIDk、RSCAN0CFPTRk、RSCAN0CFDF0k、RSCAN0CFDF1k レジスタから受信メッセージを読み出し、RSCAN0CFPCTRk レジスタに“FFh”を書きます。それにより、RSCAN0CFSTSk レジスタのCFMC[7:0] ビットが1減算されて“00h”になり、RSCAN0CFSTSk レジスタのCFEMP フラグが“1” (送受信 FIFO バッファ空) になります。
6. チャンネル1 (CAN1) の受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCAN0GCFG レジスタのDCE ビットが“1” (DLC チェック許可) の場合、この時点でDLCフィルタ処理を行います。
7. DLCフィルタ処理を通過し、かつCFE ビットが“1” (送受信 FIFO バッファを使用する)、CFDC[2:0] ビットの値が“001b”以上の場合、受信モードに設定した送受信 FIFO バッファにメッセージが格納されます。CFMC[7:0] ビットが1加算されて“01h”になります。CFIM ビットを“1” (1メッセージ受信ごとに割り込み要求発生) にしている場合、CFRXIF フラグが“1” (送受信 FIFO 受信割り込み要求あり) になります。
また、RSCAN0RFCCx レジスタのRFE ビットが“1” (受信 FIFO バッファを使用する)、RSCAN0RFCCx レジスタのRFDC[2:0] ビットの値が“001b”以上の場合、受信 FIFO バッファにメッセージが格納されます。RSCAN0RFSTSk レジスタのRFMC[7:0] ビットが1加算されて“01h”になります。RSCAN0RFCCx レジスタのRFIM ビットを“1” (1メッセージ受信ごとに割り込み要求発生) にしている場合、RSCAN0RFSTSk レジスタのRFIF フラグが“1” (受信 FIFO 割り込み要求あり) になります。

27.9.3 送信手順

27.9.3.1 送信バッファからの送信手順

図 27.25 に送信バッファからの送信手順を示します。

図 27.26 に、2つの送信バッファからメッセージを送信し、送信が正常に完了した場合のタイミング図を示します。図 27.27 に、2つの送信バッファからメッセージを送信し、送信がアボート完了した場合のタイミング図を示します。

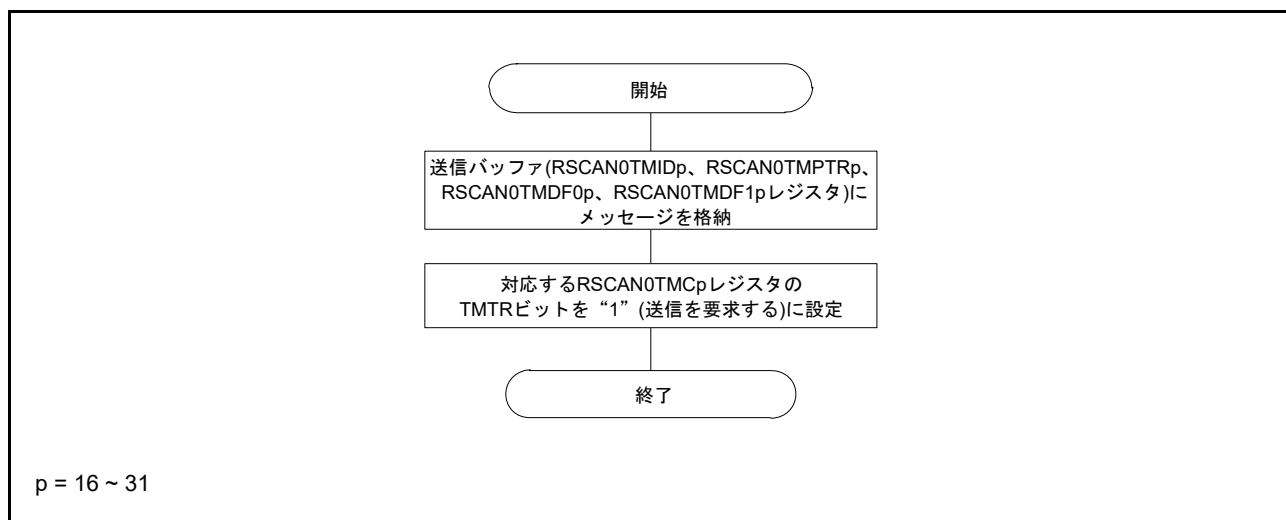


図 27.25 送信バッファからの送信手順

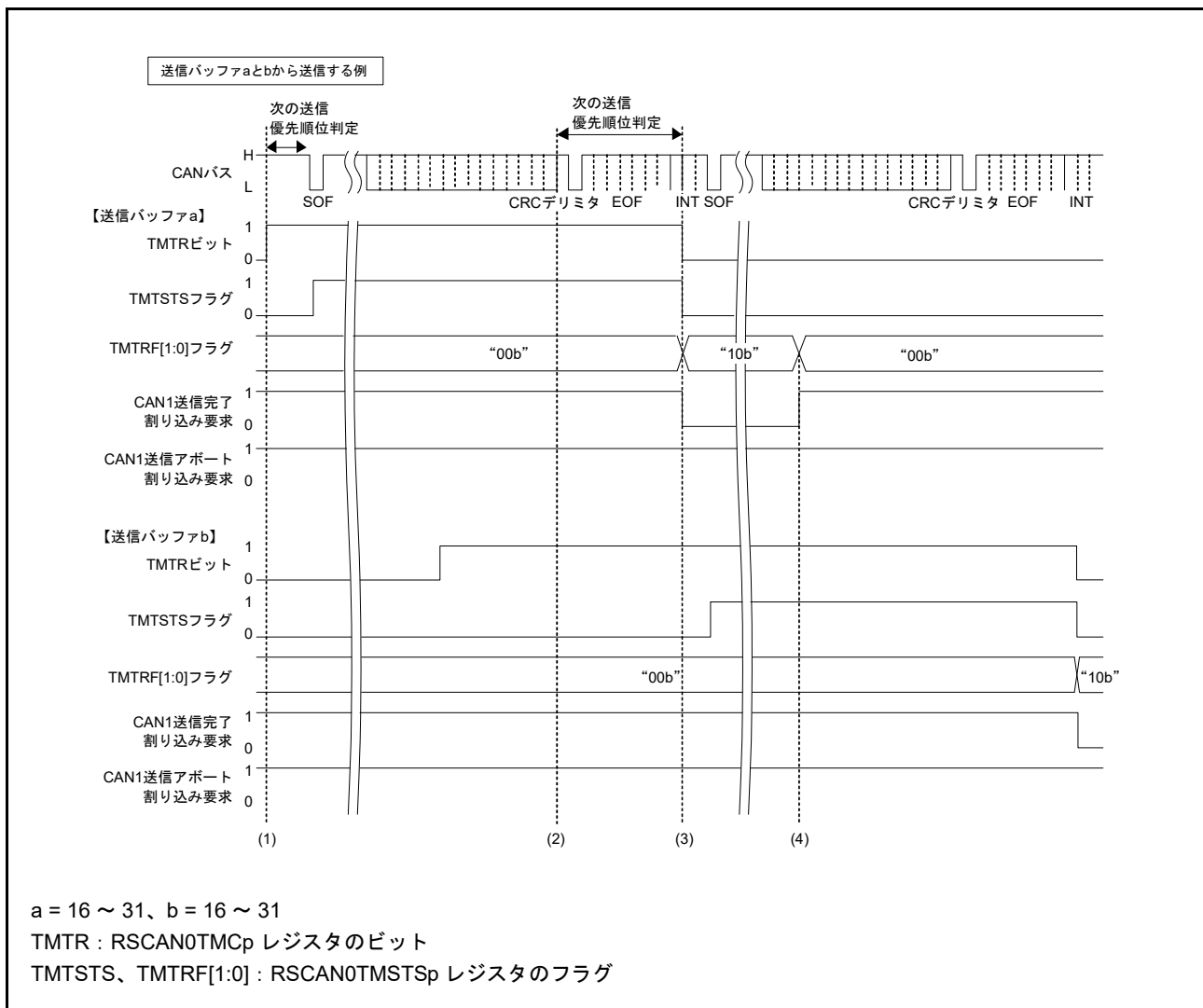


図 27.26 送信バッファの送信タイミング図（正常に送信完了時）

- CAN バスがアイドル状態のとき RSCAN0TMCa レジスタの TMTR ビットを“1”にすると、最優先送信バッファを決めるために、送信の優先順位判定処理を開始します。送信バッファ a が最優先送信バッファとして決まると、対応する RSCAN0TMSTSa レジスタの TMTSTS フラグが“1”（送信中）になり、チャンネル 1（CAN1）は送信を開始します。
- CRC デリミタで、バッファからの送信要求があれば、次の優先順位判定を開始します。
- 送信が成功すると、RSCAN0TMSTSa レジスタの TMTRF[1:0] フラグは“10b”（送信完了（送信アポート要求なし））になり、TMTSTS フラグと RSCAN0TMCa レジスタの TMTR ビットは“0”になります。RSCAN0TMIEC0 レジスタの TMIEa ビットが“1”（割り込み許可）のとき、CAN0 送信完了割り込み要求が発生します。割り込み要求をクリアするには、TMTRF[1:0] フラグを“00b”（送信中または送信要求なし）にしてください。
- 次の送信を開始する前に、TMTRF[1:0] フラグを“00b”にしてください。次のメッセージを送信バッファに書いてから、TMTR ビットを“1”（送信を要求する）にしてください。TMTRF[1:0] フラグが“00b”のときのみ、TMTR ビットを“1”に設定できます。

送信を開始後にアービトレーションロストが発生した場合、TMTSTS フラグは“0”になります。送信の優先順位判定はCRC デリミタ開始時に、最優先送信バッファを検索するために再び実行されます。送信中またはアービトレーションロスト後にエラーが発生した場合、優先順位判定処理はエラーフレーム送信中に再び実行されます。

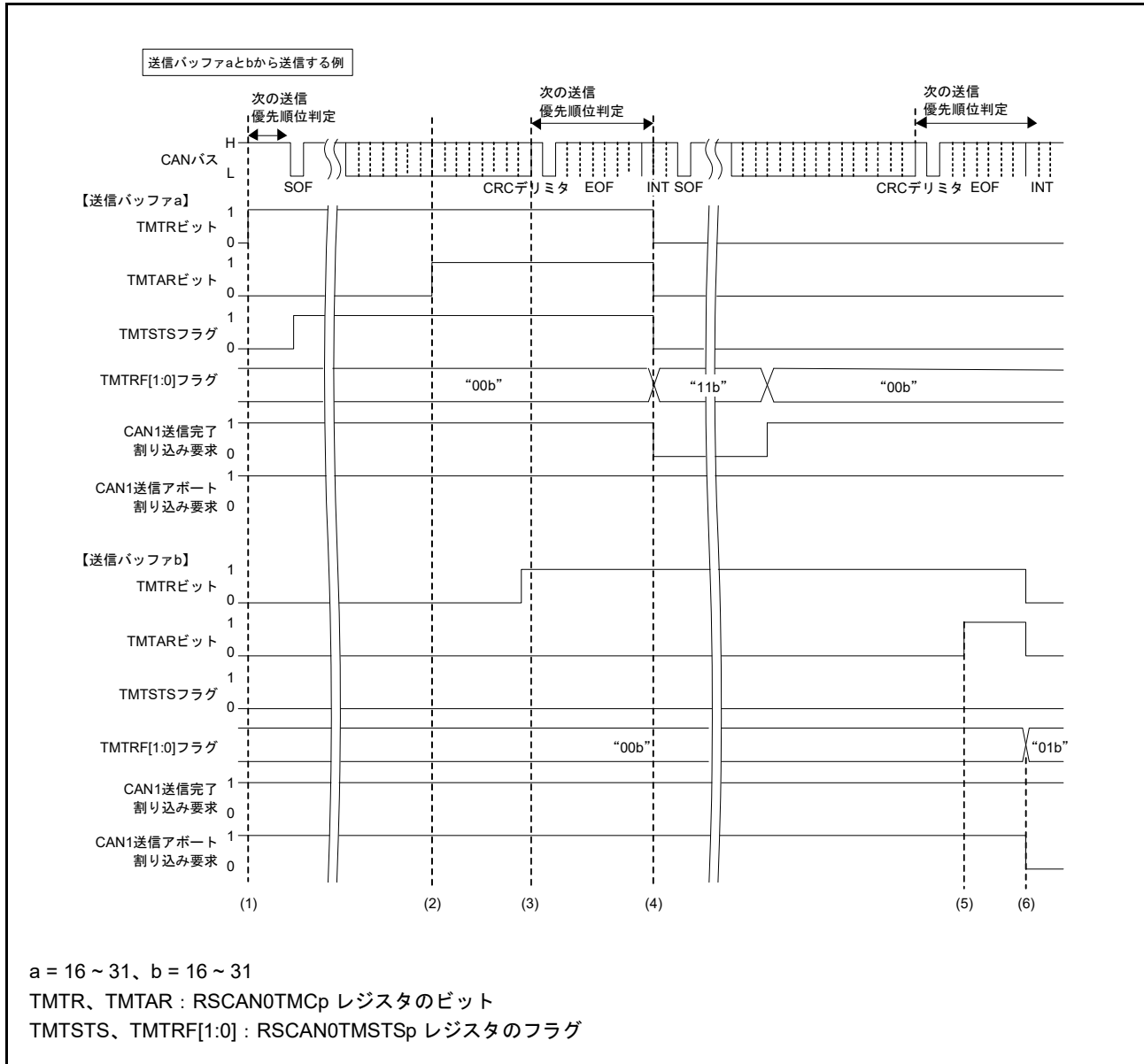


図 27.27 送信バッファの送信タイミング図 (送信アボート完了時)

1. CAN バスがアイドル状態のとき RSCAN0TMCa レジスタの TMTR ビットを“1”にすると、最優先送信バッファを決めるために、送信の優先順位判定処理を開始します。送信バッファ a が最優先送信バッファとして決まると、対応する RSCAN0TMSTSa レジスタの TMTSTS フラグが“1” (送信中) になり、チャンネル 1 (CAN1) は送信を開始します。
2. 送信バッファが次の送信に決まっているとき、または現在送信中であるとき、TMTAR ビットを“1” (アボート要求する) にしても、エラーまたはアービトレーションロストが発生しない限り、メッセージ送信はアボートされません。

3. CRC デリミタで、次の優先順位判定処理を開始します。このタイミング図では、バッファ b は次の送信バッファとして選択されていません。
4. 送信が成功すると、RSCAN0TMSTSa レジスタの TMTRF[1:0] フラグは“11b” (送信完了 (送信アポート要求あり)) になり、TMTSTS フラグと RSCAN0TMCa レジスタの TMTR ビットは“0”になります。RSCAN0TMIEC0 レジスタの TMIEa ビットが“1” (割り込み許可) のとき、CAN0 送信完了割り込み要求が発生します。割り込み要求をクリアするには、TMTRF[1:0] フラグを“00b” (送信中または送信要求なし) にしてください。
5. CAN バス上に他の CAN ノードが送信している場合 (TMTSTS フラグは“0”)、チャンネル 1 (CAN1) が優先順位判定中に TMTAR ビットを“1”にすると、TMTR ビットを“0”にできません。
6. 内部処理時間経過後、送信は中止され、TMTRF[1:0] フラグが“01b”になります。送信バッファが送信中ではなくて、次の送信バッファとしても選択されていなくて、かつ優先順位判定中でなければ、アポート要求はすぐに受け付けられ、TMTRF[1:0] フラグは“01b”になります。このとき、TMTR ビットと TMTAR ビットは“0”になります。RSCAN0C1CTR レジスタの TAIE ビットが“1” (送信アポート割り込み許可) のとき、送信アポートが完了すると割り込み要求が発生します。割り込み要求をクリアするには、TMTRF[1:0] フラグを“00b”にしてください。

チャンネル 1 (CAN1) が送信を開始後にアービトレーションロストが発生した場合、TMTSTS ビットは“0”になります。優先順位判定は CRC デリミタ開始時に、最優先送信バッファを検索するために再び実行されます。送信中またはアービトレーションロスト後にエラーが発生した場合、優先順位判定処理はエラーフレーム送信中に再び実行されます。

27.9.3.2 送受信 FIFO バッファからの送信手順

図 27.28 に送受信 FIFO バッファからの送信手順を示します。

図 27.29 に、2つの送受信 FIFO バッファからメッセージを送信し、送信が正常に完了した場合のタイミング図を示します。図 27.30 に、2つの送受信 FIFO バッファからメッセージを送信し、送信がアボート完了した場合のタイミング図を示します。

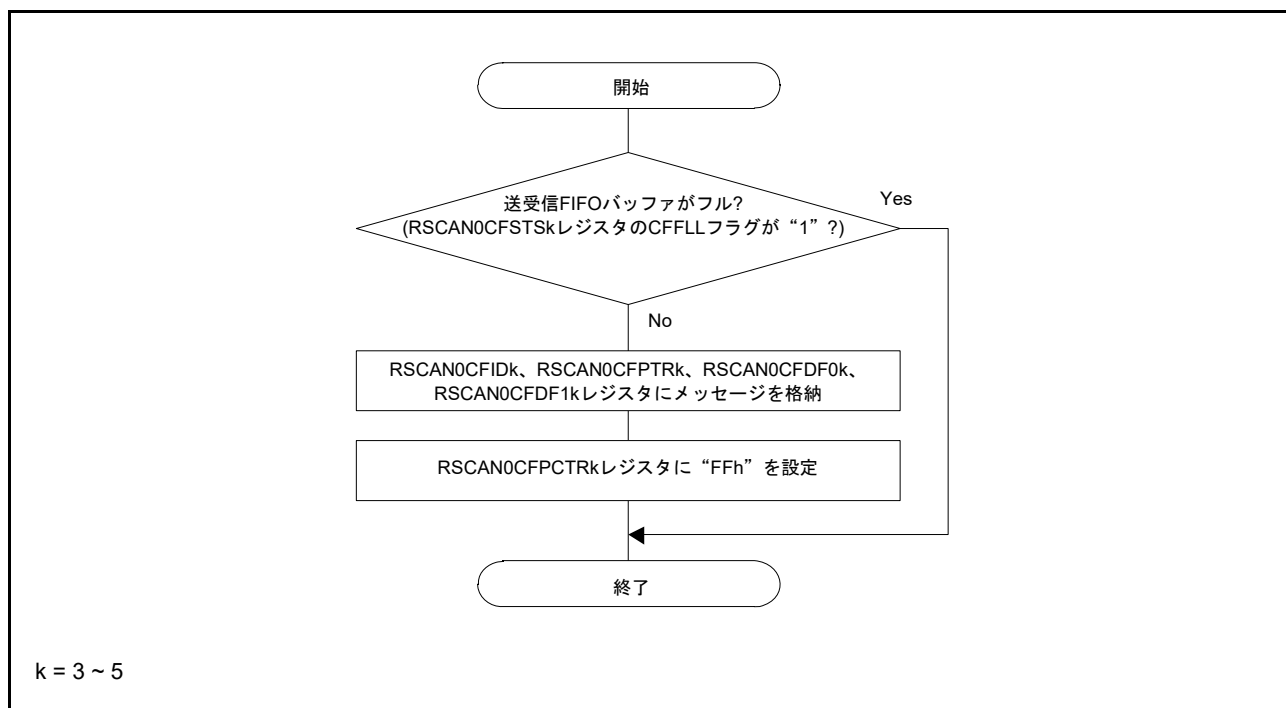


図 27.28 送受信 FIFO バッファからの送信手順

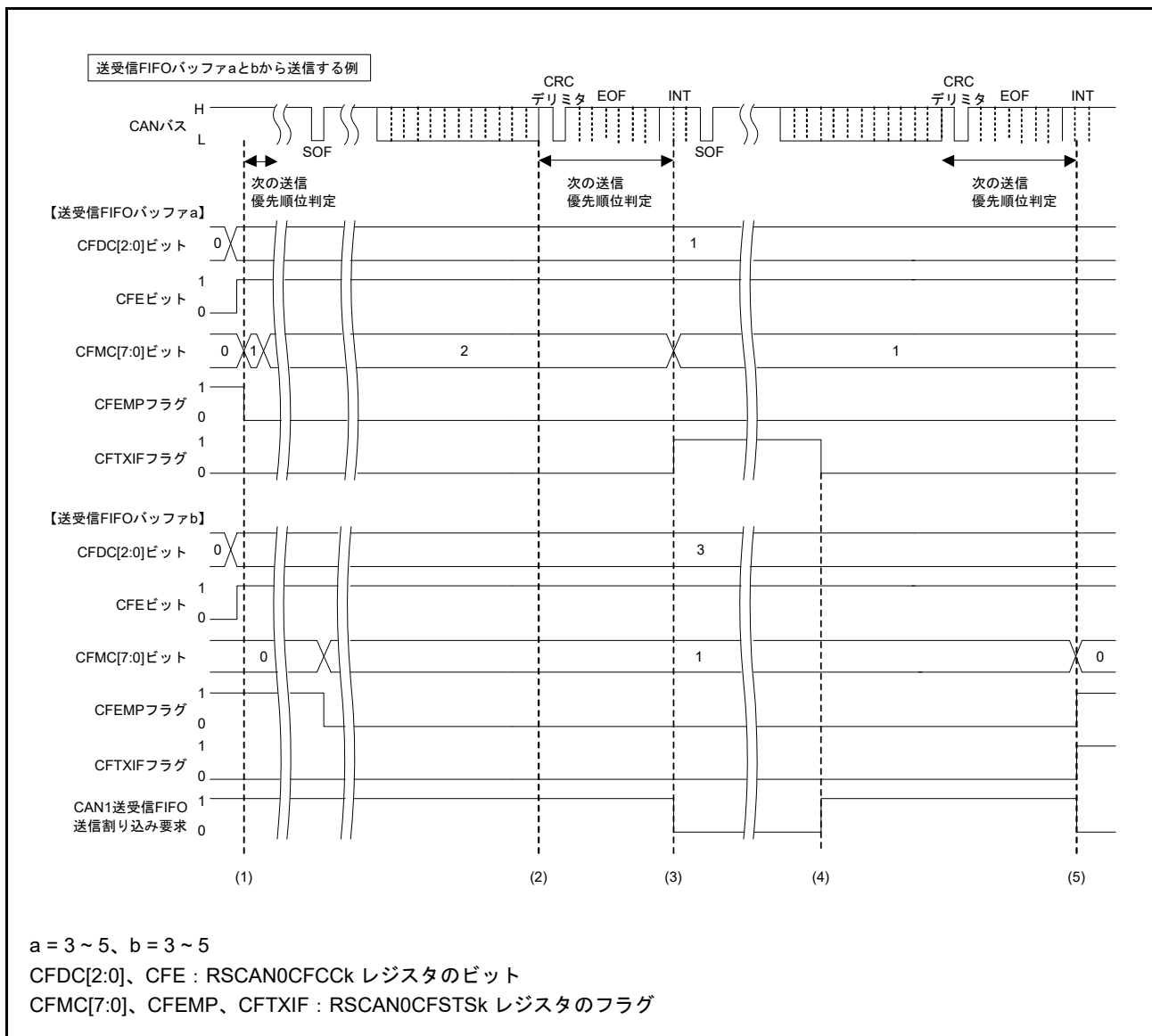


図 27.29 送受信 FIFO バッファの送信タイミング図 (正常に送信完了時)

1. CAN バスがアイドル状態のとき、RSCAN0CFCC_a レジスタの CFE ビットが“1” (送受信 FIFO バッファを使用する)、RSCAN0CFCC_a レジスタの CFDC[2:0] ビットが“001b” (4 メッセージ) 以上、RSCAN0CFSTS_a レジスタの CFMC[7:0] ビットの値が“01h” 以上の場合、最優先の送信メッセージを決めるために優先順位判定処理を開始します。送信メッセージが決まると送信を開始します。この図では、チャンネル 1 の送受信 FIFO バッファ a から送信されます。
2. バッファからの送信要求があれば、CRC デリミタで次の優先順位判定処理を開始します。
3. 送信が成功すると、RSCAN0CFSTS_a レジスタの CFMC[7:0] ビットが 1 減算されます。RSCAN0CFCC_a レジスタの CFIM ビットを“1” (1 メッセージ送信ごとに割り込み要求発生) にした場合、RSCAN0CFSTS_k レジスタの CCTXIF フラグが“1” (送受信 FIFO 送信割り込み要求あり) になります。
4. CCTXIF フラグはプログラムでクリアできます。
5. チャンネル 1 の送受信 FIFO バッファ b からの送信が完了し、RSCAN0CFSTS_b レジスタの CFMC[7:0] ビットが 1 減算されます。CFMC[7:0] ビットが“00h” になるため、RSCAN0CFSTS_k レジスタの CFEMP フラグが“1” (送受信 FIFO バッファ空) になります。

CFEMP フラグが“1”になるまで送信は続けられます。RSCAN0CFSTSa、RSCAN0CFSTSb レジスタの CFLL フラグが“1” (送受信 FIFO バッファフル) になるまで、送信メッセージを FIFO バッファに格納することができます。

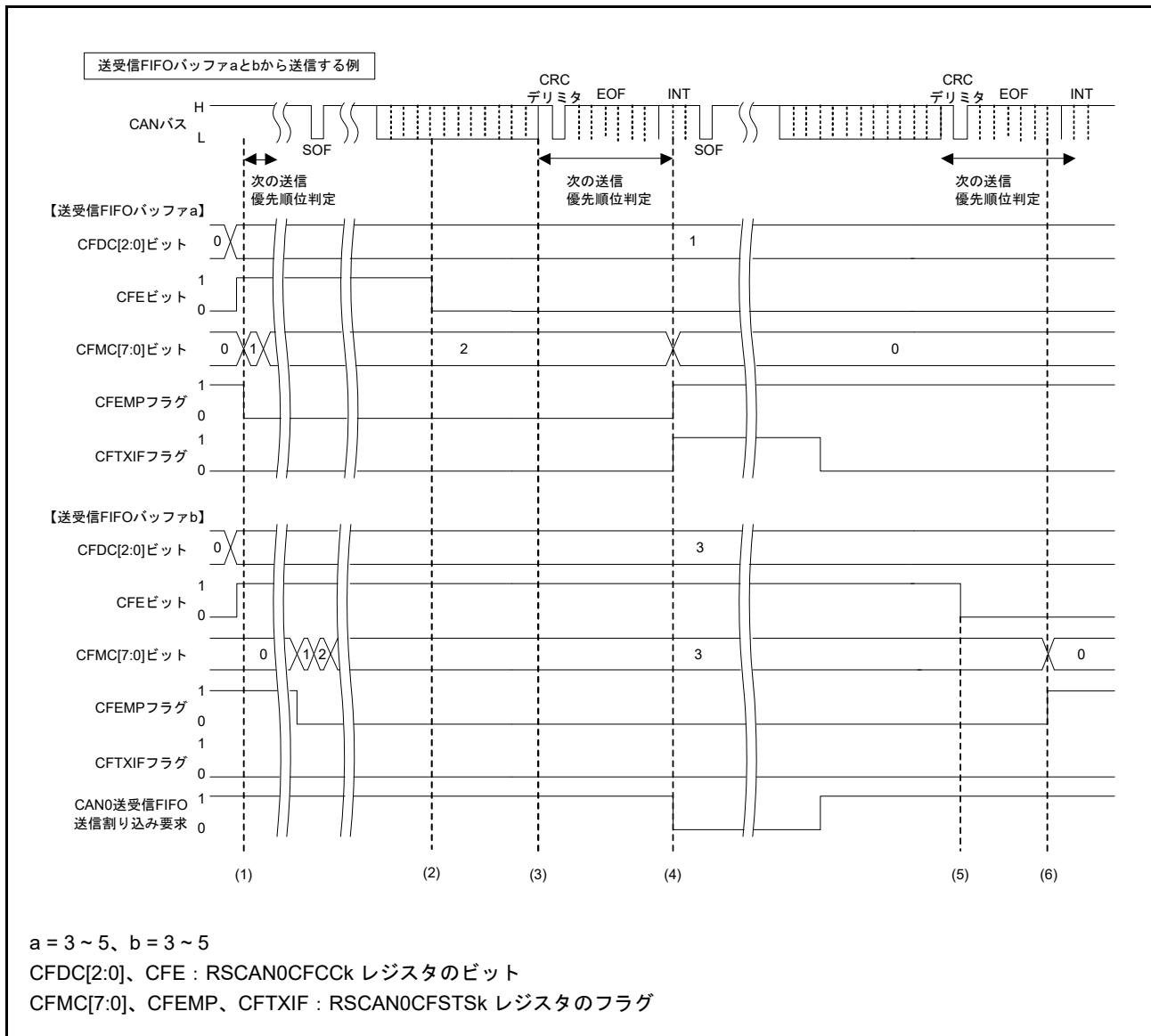


図 27.30 送受信 FIFO バッファの送信タイミング図 (送信アボート完了時)

1. CAN バスがアイドル状態のとき、RSCAN0CFCC_a レジスタ (a=3~5) の CFE ビットが“1” (送受信 FIFO バッファを使用する)、RSCAN0CFCC_a レジスタの CFDC[2:0] ビットが“001b” (4 メッセージ) 以上、RSCAN0CFSTS_a レジスタの CFMC[7:0] ビットの値が“01h” 以上の場合、最優先の送信メッセージを決めるために優先順位判定処理を開始します。送信メッセージが決まると送信を開始します。この図では、チャンネル 1 の送受信 FIFO バッファ a から送信されます。
2. メッセージが送信中、または次の送信に決まっているとき、アービトラションロストまたはエラーが発生しない限り、CFE ビットを“0” (送受信 FIFO バッファを使用しない) にしても送信はアボートされません。
3. バッファからの送信要求があれば、CRC デリミタで次の優先順位判定処理を開始します。この図では、送受信 FIFO バッファ b は次の送信用バッファとして選択されていません。

4. 送信が成功すると、CFMC[7:0] ビットの値が“00h”になります。CFIM ビットを“1” (1 メッセージ送信ごとに割り込み要求発生) にした場合、RSCAN0CFSTSa レジスタの CFTXIF フラグが“1” (送受信 FIFO バッファ送信割り込み要求あり) になります。CFTXIF フラグはプログラムでクリアできます。
5. CAN バス上の他の CAN ノードが送信中の場合 (送受信 FIFO バッファ b からは送信されていない)、送信の優先順位判定中に RSCAN0CFCCb レジスタの CFE ビットを“0” (送受信 FIFO バッファを使用しない) にしても、送受信 FIFO バッファは直ちに禁止にはできません (RSCAN0CFSTSb レジスタの CFEMP フラグは直ちに“1” (送受信 FIFO バッファ空) にはなりません)。
6. 内部処理時間経過後、送受信 FIFO バッファは禁止され、RSCAN0CFSTSb レジスタの CFMC[7:0] ビットは“00h”になり、CFEMP フラグは“1”になります。送受信 FIFO バッファが送信中でもなく、次の送信バッファとしても選択されていなくて、かつ優先順位判定中でなければ、直ちに送受信 FIFO バッファは禁止されます (CFMC[7:0] ビットは“00h”になり、CFEMP フラグは“1”になります)。

27.9.3.3 送信キューからの送信手順

図 27.31 に送信キューからの送信手順を示します。

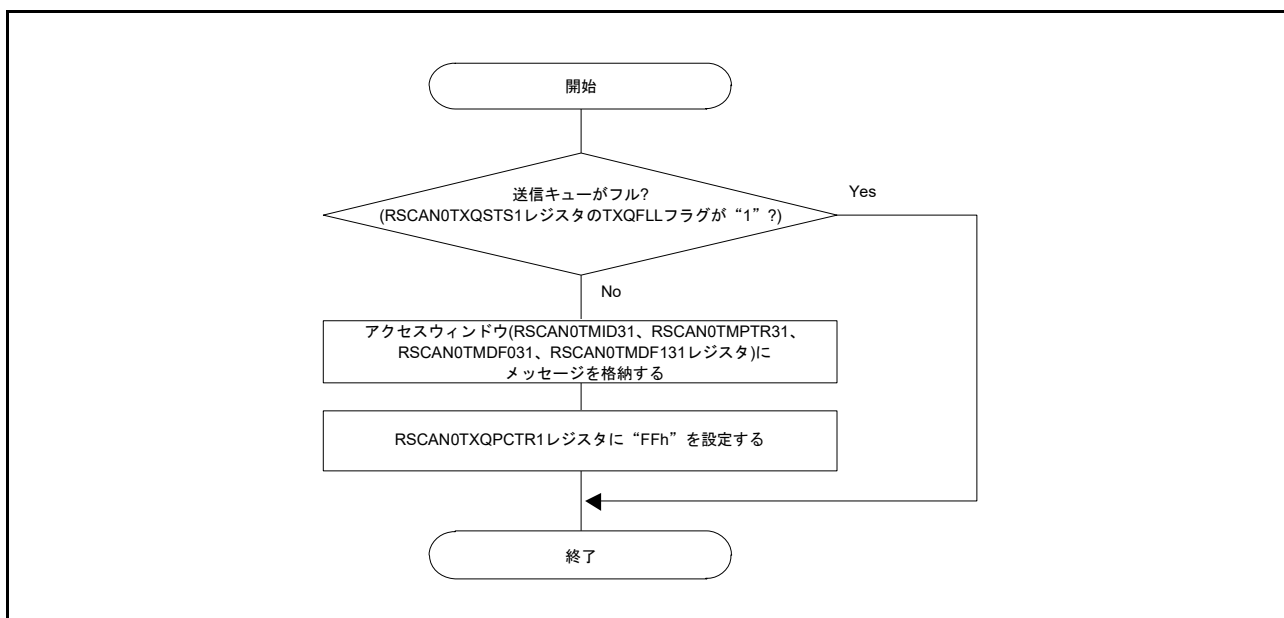


図 27.31 送信キューからの送信手順

27.9.3.4 送信履歴バッファの読み出し手順

送信履歴データは、RSCAN0THLACC1レジスタで読めます。1データを読んだ後、対応するRSCAN0THLPCTR1レジスタへ“FFh”を書くと、次のデータへアクセスできます。図 27.32 に送信履歴バッファの読み出し手順を示します。

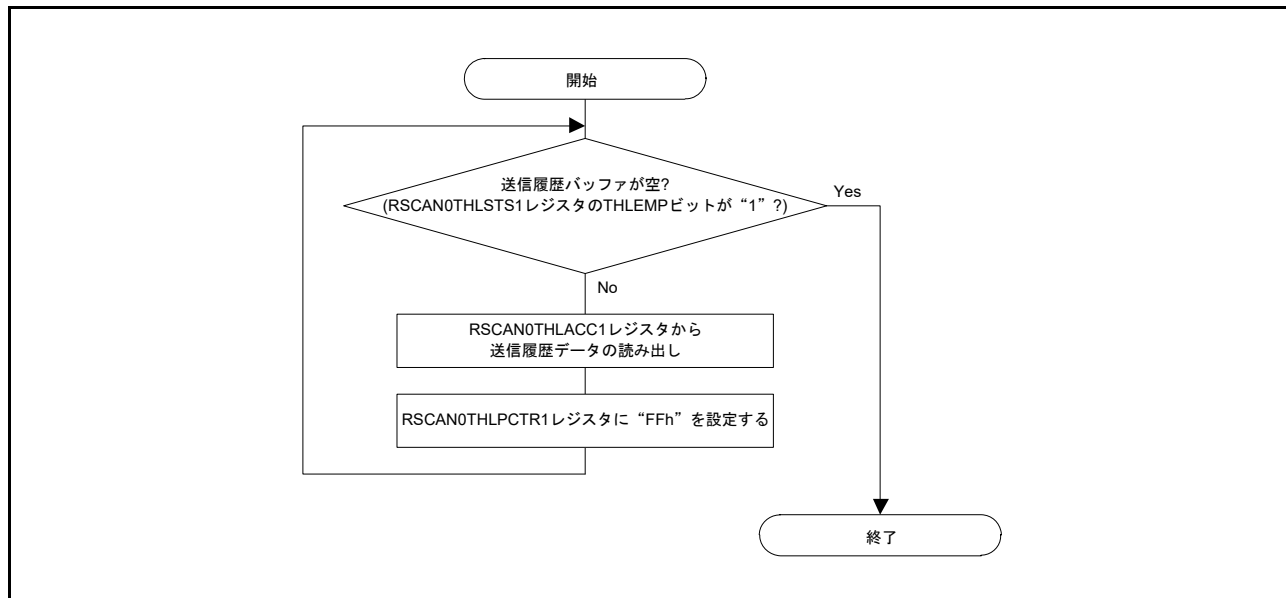


図 27.32 送信履歴バッファの読み出し手順

27.9.4 テスト設定

27.9.4.1 セルフテストモードの設定手順

セルフテストモードでは、自ら送信したメッセージを受信することにより、チャンネル単体で通信テストを行うことができます。

図 27.33 にセルフテストモードの設定手順を示します。

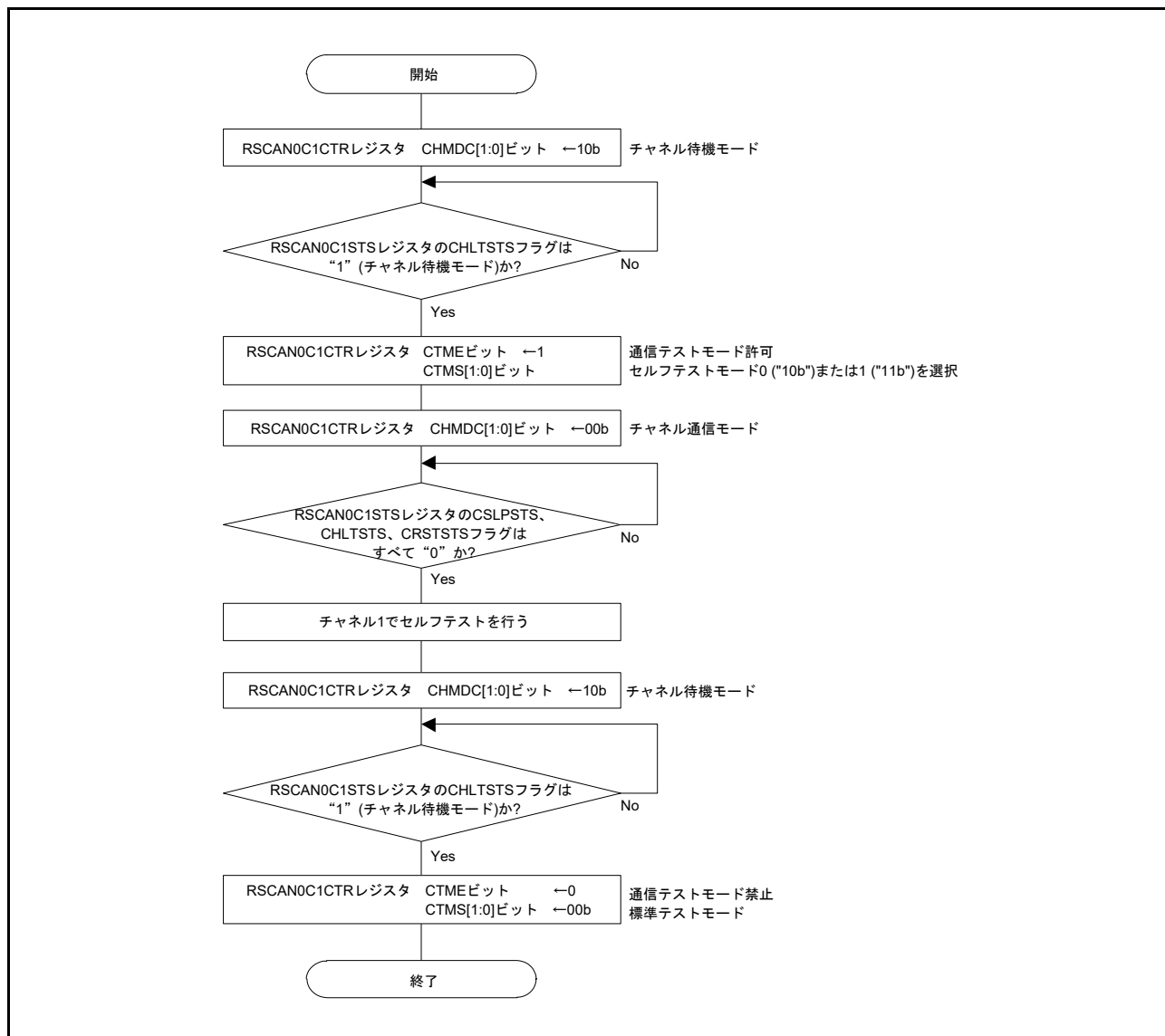


図 27.33 セルフテストモードの設定手順

27.9.4.2 プロテクト解除手順

表 27.24 に示すグローバルテスト機能はプロテクトされているため、解除データ 1 と解除データ 2 を連続して RSCAN0GLOCKK レジスタの LOCK[15:0] ビットに書いてから、それぞれのテスト機能ビットを“1”にしてください。

表27.24 テスト機能用プロテクト解除データ

テスト機能	プロテクト解除データ 1	プロテクト解除データ 2	対象ビット
RAMテスト	7575h	8A8Ah	RSCAN0GTSTCTR レジスタ RTME ビット

間違った値を LOCK[15:0] ビットに書いた場合、再度、解除データ 1 の書き込みからやり直してください。

図 27.34 にプロテクト解除手順を示します。

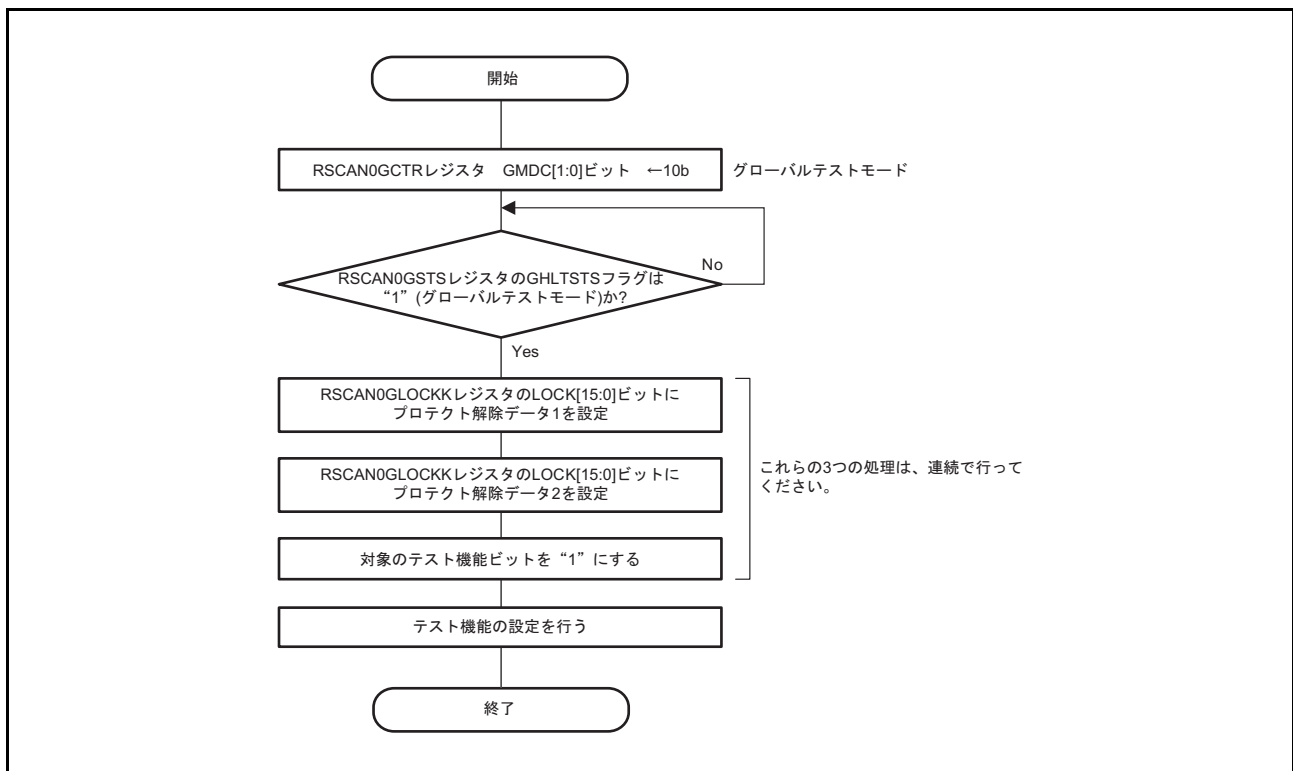


図 27.34 プロテクト解除手順

27.9.4.3 RAM テストの設定手順

RAM テストには、CAN 用 RAM の読み書きテストがあります。読み書きテストでは、RAM に書いた値が正しく読めることを確認できます。RAM テストを終了する前に、CAN 用 RAM の全ページに“0000 0000h”を書いてください。

図 27.35 に RAM テストの設定手順を示します。

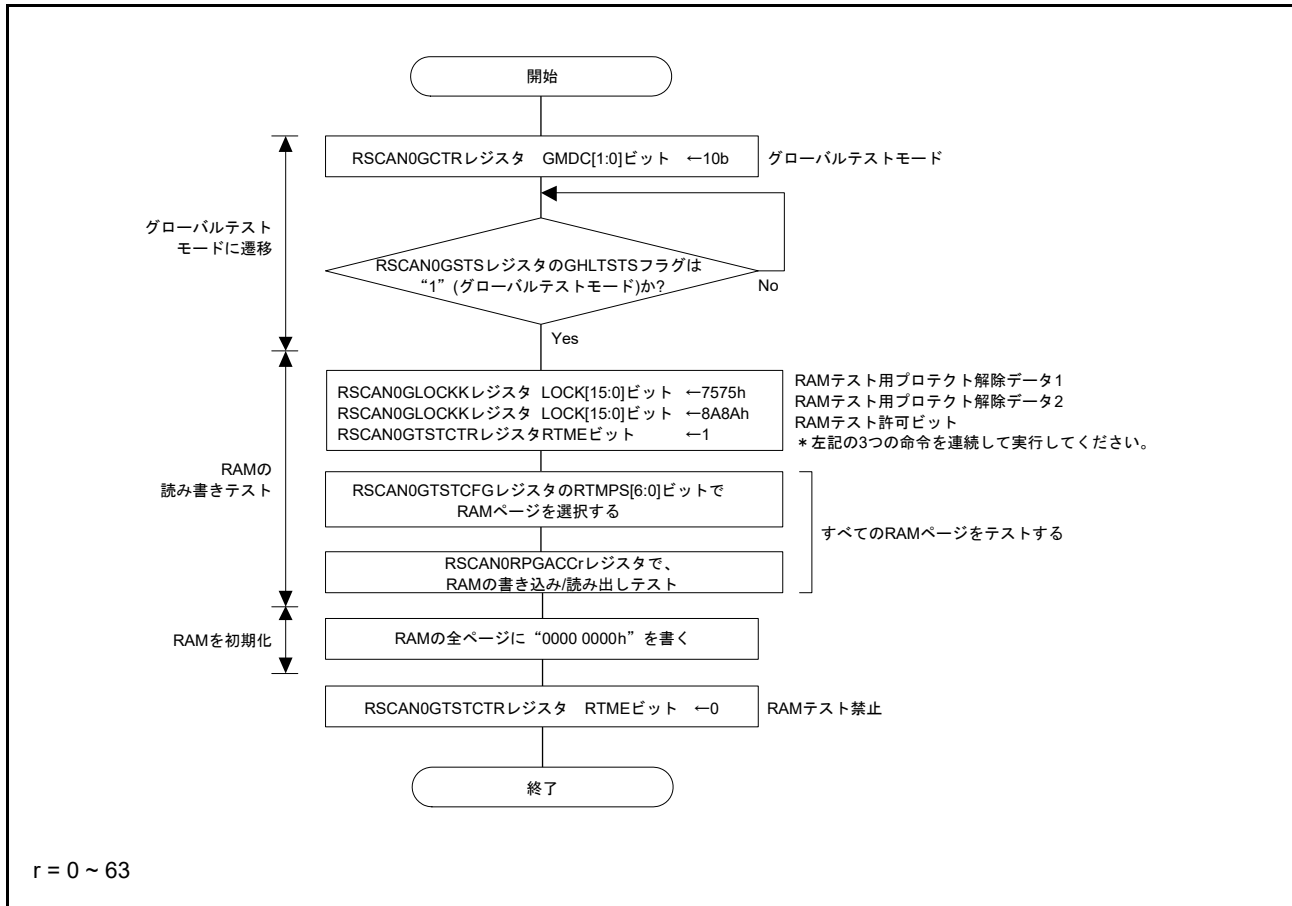


図 27.35 RAM テストの設定手順

27.10 RSCAN RAM のエラー検出／訂正

27.10.1 RSCAN RAM ECC

RSCAN の各バッファ RAM には ECC 機能として以下の機能があります。

- ECC エラー検出／訂正
ECC エラー判定を行います。下記設定を選択可能です。
 - 2 ビットエラー検出と 1 ビットエラー検出／訂正を行います。
 - 2 ビットエラー検出と 1 ビットエラー検出を行います。ECC エラー検出／訂正を無効にもできます。(スルーモード時)
初期状態は、エラー検出／訂正が有効です。
- エラー通知
以下のエラー発生時は、エラーコントロールモジュール (ECM) へエラー通知を行います。
 - RSCAN RAM の ECC1 ビットエラー
 - RSCAN RAM の ECC2 ビットエラー
 - RSCAN オーバフローエラー初期状態は、2 ビットエラー検出時のエラー通知許可。ただし、FEINTFMSK レジスタで割り込みをマスクしている場合、割り込み処理は行われません。
- エラーステータス
ECC2 ビットエラー検出、ECC1 ビットエラー検出をモニタできます。
エラーステータスのクリアレジスタを搭載しています。

注． ECC によるエラー検出・訂正を行う場合、RSCAN モジュールによる RSCAN RAM の初期化をしてから使用してください。

27.10.2 エラー要因出力

RSCAN はバッファ RAM に対する ECC 1 ビットエラー、2 ビットエラーおよび ECC エラー検出アドレスを格納する ECCRCANEAD_z レジスタ (z=0-7) のオーバフローを検出すると、エラーコントロールモジュール (ECM) に対して以下のエラー要因出力を行います。詳細については「32. エラーコントロールモジュール (ECM)」を参照してください。

- RSCAN RAM の ECC1 ビットエラー
- RSCAN RAM の ECC2 ビットエラー
- RSCAN オーバフローエラー

27.11 RSCAN モジュールの注意事項

- グローバルモードを変更する場合は、RSCAN0GSTS レジスタの GSLPSTS、GHLTSTS、GRSTSTS フラグで遷移を確認してください。チャンネルモードを変更する場合は、RSCAN0C1STS レジスタの CSLPSTS、CHLTSTS、CRSTSTS フラグで遷移を確認してください。
- アクセプタンスフィルタ処理は、小さい番号の受信ルールから順にチェックを開始します。複数の受信ルールに同じ ID、IDE ビット、RTR ビットの値を設定した場合、小さい番号の受信ルールでアクセプタンスフィルタ処理が通過します。その後の DLC フィルタ処理を通過しなかった場合も、アクセプタンスフィルタ処理には戻らず、データ処理は終了し、メッセージはバッファに格納されません。
- 送信バッファを送受信 FIFO バッファにリンクしたり、送信キューに割り当てた場合、対応する送信バッファの制御レジスタ (RSCAN0TMCp レジスタ) は“00h”にしてください。また、対応する送信バッファのステータスレジスタ (RSCAN0TMSTSp レジスタ) は使用しないでください。その他のステータスレジスタ (RSCAN0TMTRSTS0 ~ CAN0TMTRSTS2、RSCAN0TMTARSTS0 ~ RSCAN0TMTARSTS2、RSCAN0TMTCASTS0 ~ RSCAN0TMTCASTS2、RSCAN0TMTASTS0 ~ RSCAN0TMTASTS2 レジスタ) は、送受信 FIFO にリンクした、または送信キューに割り当てた送信バッファに対応するフラグは変化しません。対応する割り込み許可レジスタ (RSCAN0TMIEC0 ~ RSCAN0TMIEC2 レジスタ) の許可ビットは“0” (割り込み禁止) にしてください。
- 送受信 FIFO バッファにリンクされた送信バッファを、送信キューに割り当てないでください。
- 1つの送信バッファには、1つの送受信 FIFO バッファしかリンクできません。複数の送受信 FIFO バッファを同一番号の送信バッファにリンクさせないでください。
- タイムスタンプカウンタのクロック源に CAN1 ビットタイムクロックを選択した場合、チャンネル 1 (CAN1) がチャンネルリセットモードまたはチャンネル待機モードに遷移すると、タイムスタンプカウンタが停止します。
- 受信 FIFO バッファ、送受信 FIFO バッファがフルのときに、新しい受信メッセージを格納しようとした場合、新しいメッセージは破棄されます。送受信 FIFO バッファおよび送信キューに新しい送信メッセージを格納しようとする場合、送受信 FIFO バッファおよび送信キューがフルでないことを確認してください。
- 未使用の受信バッファ (RSCAN0RMIDq、RSCAN0RMPTRq、RSCAN0RMDf0q、RSCAN0RMDf1q レジスタ)、受信 FIFO バッファアクセスレジスタ (RSCAN0RFIDx、RSCAN0RFPTRx、RSCAN0RFDF0x、RSCAN0RFDF1x レジスタ) と送受信 FIFO バッファアクセスレジスタ (RSCAN0CFIDk、RSCAN0CFPTRk、RSCAN0CFDF0k、RSCAN0CFDF1k レジスタ) の値は、一度グローバルリセットモードを抜けグローバル動作モードやグローバルテストモードに遷移すると、不定になります。

28. シリアルペリフェラルインタフェース (RSPIa)

28.1 概要

本 LSI は、2 チャンネルのシリアルペリフェラルインタフェース (RSPI) を内蔵しています。

RSPI は、全二重同期式のシリアル通信ができます。複数のプロセッサや周辺デバイスとの高速なシリアル通信機能を内蔵しています。

表 28.1 に RSPI の仕様を、図 28.1 に RSPI のブロック図を示します。

なお、本章では、RSPI コマンドレジスタ m (SPCMDm) で使用している m は、0 ~ 7 を表します。

表 28.1 RSPI の仕様 (1 / 2)

項目	内容
チャンネル数	2チャンネル
RSPI 転送機能	<ul style="list-style-type: none"> • MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI 動作 (4 線式) / クロック同期式動作 (3 線式) でシリアル通信が可能 • 送信のみの動作が可能 • 通信モード: 全二重または送信のみを選択可能 • RSPCK の極性を変更可能 • RSPCK の位相を変更可能
データフォーマット	<ul style="list-style-type: none"> • MSB ファースト / LSB ファーストの切り替え可能 • 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットから選択可能 • 送信 / 受信バッファは 128 ビット • 一度の送受信で最大 4 フレームを転送 (1 フレームは最大 32 ビット)
ビットレート	<ul style="list-style-type: none"> • マスタモード時、内蔵ポーレートジェネレータで SERICLK を分周して RSPCK を生成 (分周比は 4 ~ 4096 分周) • スレープ時は、SERICLK の最少 8 分周のクロックを、RSPCK として入力可能 (RSPCK の最大周波数は SERICLK の 8 分周) High 幅: SERICLK の 4 サイクル、Low 幅: SERICLK の 4 サイクル
バッファ構成	<ul style="list-style-type: none"> • 送信および受信バッファはそれぞれダブルバッファ構成 • 送信および受信バッファは 128 ビット
エラー検出	<ul style="list-style-type: none"> • モードフォルトエラー検出 • オーバランエラー検出 (注1) • パリティエラー検出
SSL 制御機能	<ul style="list-style-type: none"> • チャンネル 0 に 4 本 (SSL00 ~ SSL03)、チャンネル 1 に 2 本 (SSL10, SSL11) の SSL 端子 • シングルマスタ設定時には、SSL00-SSL03, SSL10, SSL11 端子を出力 • マルチマスタ設定時: SSL00, SSL10 端子は入力、SSL01-SSL03, SSL11 端子は出力または未使用 • スレープ設定時: SSL00, SSL10 端子は入力、SSL01 ~ SSL03, SSL11 端子は未使用 • SSL 出力のアサートから RSPCK 動作までの遅延 (RSPCK 遅延) を設定可能 設定範囲: 1 ~ 8RSPCK 設定単位: 1RSPCK • RSPCK 停止から SSL 出力のネゲートまでの遅延 (SSL ネゲート遅延) を設定可能 設定範囲: 1 ~ 8RSPCK 設定単位: 1RSPCK • 次アクセスの SSL 出力アサートのウェイト (次アクセス遅延) を設定可能 設定範囲: 1 ~ 8RSPCK 設定単位: 1RSPCK • SSL 極性変更機能
マスタ転送時の制御方式	<ul style="list-style-type: none"> • 最大 8 コマンドで構成された転送を連続してループ実行可能 • 各コマンドに以下の項目を設定可能 SSL 信号値、ビットレート、RSPCK 極性 / 位相、転送データ長、LSB / MSB ファースト、パースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延 • 送信バッファへのライトで転送を起動可能 • SSL ネゲート時の MOSI 信号値を設定可能 • RSPCK 自動停止機能
割り込み要因	<ul style="list-style-type: none"> • 割り込み要因 受信バッファフル割り込み 送信バッファエンpty割り込み RSPI エラー割り込み (モードフォルト、オーバラン、パリティエラー) RSPI アイドル割り込み (RSPI アイドル)

表 28.1 RSPIの仕様 (2 / 2)

項目	内容
イベントリンク機能 (注2) (出力)	<ul style="list-style-type: none"> 以下のイベントをイベントリンクコントローラへ出力可能 受信バッファフルイベント信号 送信バッファエンptyイベント信号 モードフォルト/オーバラン/パリティエラーのイベント信号 RSPIアイドルイベント信号 送信完了イベント信号
その他の機能	<ul style="list-style-type: none"> CMOS/オープンドレイン出力切り替え機能 RSPI初期化機能 ループバックモード機能
消費電力低減機能	モジュールストップ状態への設定が可能

注1. マスタ受信かつ、RSPCK自動停止機能有効時、オーバランエラー検出タイミングで転送クロックが停止するため、オーバランエラーが発生しません。

注2. チャンネル0 (RSPI0) のみです。

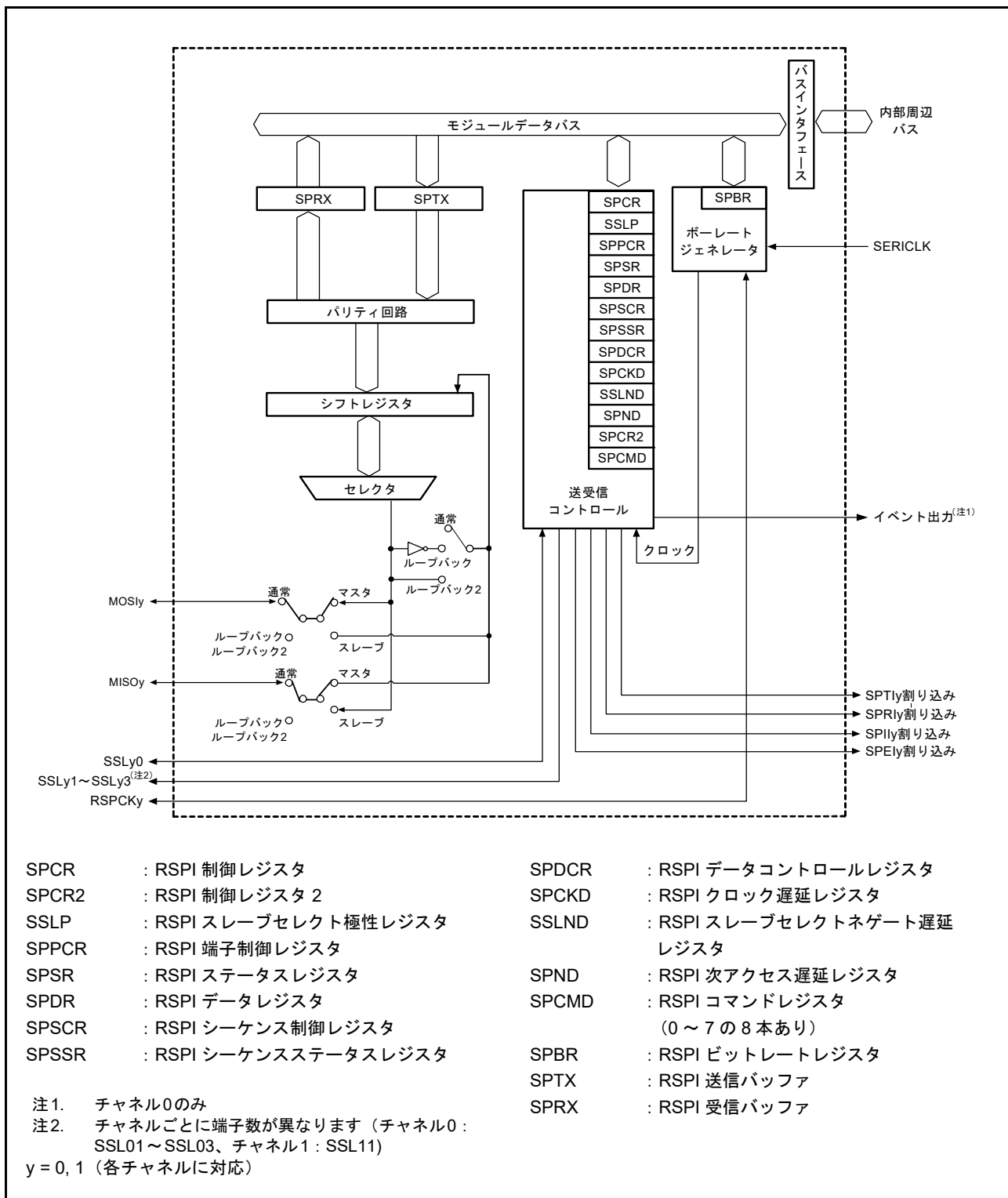


図 28.1 RSPI のブロック図

表 28.2 に RSPI で使用する入出力端子を示します。

SSLy0 端子の入出力方向は、シングルマスタ設定の場合は出力、マルチマスタ設定とスレーブ設定の場合は入力に、RSPI が自動的に切り替えます。RSPCKy、MOSIy、MISOy 端子の入出力方向は、マスタ/スレーブ設定と SSLy0 端子の入力レベルに応じて、RSPI が自動的に切り替えます。

詳細は、「28.3.2 RSPI 端子の制御」を参照してください。

表 28.2 RSPI の入出力端子

チャンネル	端子名	入出力	機能
RSPI0	RSPCK0	入出力	クロック入出力
	MOSI0	入出力	マスタ送出データ入出力
	MISO0	入出力	スレーブ送出データ入出力
	SSL00	入出力	スレーブセレクト信号入出力
	SSL01	出力	スレーブセレクト信号出力
	SSL02	出力	スレーブセレクト信号出力
	SSL03	出力	スレーブセレクト信号出力
RSPI1	RSPCK1	入出力	クロック入出力
	MOSI1	入出力	マスタ送出データ入出力
	MISO1	入出力	スレーブ送出データ入出力
	SSL10	入出力	スレーブセレクト信号入出力
	SSL11	出力	スレーブセレクト信号出力

注. SSL はチャンネルごとに端子数が異なります。またチャンネル識別の添え字は 0, 1 です。

28.2 レジスタの説明

28.2.1 RSPI 制御レジスタ (SPCR)

SPCR レジスタは、RSPI の動作設定を制御するレジスタです。

SPCR.MSTR ビット、SPCR.MODFEN ビット、SPCR.TXMD ビットの設定は、SPCR.SPE ビットが“0”の状態で行ってください。SPCR.SPE ビットが“1”の状態での書き換えは禁止です。

アドレス RSPI0.SPCR A006 8000h、RSPI1.SPCR A006 8400h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	TXMD	SPMS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPMS	RSPIモード選択ビット	0: SPI動作 (4線式) 1: クロック同期式動作 (3線式)	R/W
b1	TXMD	通信動作モード選択ビット	0: 全二重同期式シリアル通信 1: 送信動作のみのシリアル通信	R/W
b2	MODFEN	モードフォルトエラー検出許可ビット	0: モードフォルトエラー検出を禁止 1: モードフォルトエラー検出を許可	R/W
b3	MSTR	マスタ/スレーブモード選択ビット	0: スレーブモード 1: マスタモード	R/W
b4	SPEIE	エラー割り込み許可ビット	0: エラー割り込み要求の発生を禁止 1: エラー割り込み要求の発生を許可	R/W
b5	SPTIE	送信バッファエンプティ割り込み許可ビット	0: 送信バッファエンプティ割り込み要求の発生を禁止 1: 送信バッファエンプティ割り込み要求の発生を許可	R/W
b6	SPE	RSPI機能許可ビット	0: RSPI機能は無効 1: RSPI機能は有効	R/W
b7	SPRIE	受信バッファフル割り込み許可ビット	0: 受信バッファフル割り込み要求の発生を禁止 1: 受信バッファフル割り込み要求の発生を許可	R/W

SPMS ビット (RSPI モード選択ビット)

SPI 動作 (4 線式) / クロック同期式動作 (3 線式) を選択するためのビットです。

クロック同期式動作を行う場合は SSLy0 ~ 3 端子を使用せず、RSPCKy 端子、MOSIy 端子、MISOy 端子の 3 端子を用いて通信を行います。また、マスタモード時 (SPCR.MSTR = 1) でクロック同期式動作を行う場合は、SPCMDm.CPHA ビットを“0”、“1”どちらにも設定できます。スレーブモード時 (SPCR.MSTR = 0) でクロック同期式動作を行う場合は CPHA ビットを“1”に設定してください。スレーブモード時 (SPCR.MSTR = 0) でクロック同期式動作を行う場合、CPHA ビットを“0”に設定することは禁止です。
(y = 0, 1)

TXMD ビット (送信動作モード選択ビット)

全二重同期式のシリアル通信動作、または送信のみの動作を選択するためのビットです。

TXMD ビットを“1”にして、通信を行う場合は、送信動作のみを行い、受信動作を行いません (「28.3.6 通信動作モード」参照)。

また、TXMD ビットを“1”に設定した場合、受信バッファフルの割り込み要求を使用することはできません。

MODFEN ビット (モードフォルトエラー検出許可ビット)

モードフォルトエラーの検出を許可/禁止するためのビットです (「28.3.8 エラー検出」を参照)。また、RSPI は MODFEN ビットと MSTR ビットとの組み合わせにしたがって、SSLy0 ~ 3 (y = 0, 1) 端子の入出力方向を決定します (「28.3.2 RSPI 端子の制御」を参照)。

MSTR ビット (RSPI マスタ/スレーブモード選択ビット)

RSPI のマスタ/スレーブモードを選択するためのビットです。また、RSPI は MSTR ビットの設定にしたがって、RSPCKy、MOSIy、MISOy、SSLy0 ~ 3 端子の方向を決定します。
(y = 0, 1)

SPEIE ビット (RSPI エラー割り込み許可ビット)

RSPI がモードフォルトエラーを検出して SPSR.MODF フラグを“1”にした場合、RSPI がオーバランエラーを検出して SPSR.OVRF フラグを“1”にした場合、またはパリティエラーを検出して SPSR.PERF フラグを“1”にした場合の RSPI エラー割り込み要求の発生を許可/禁止します。詳細については、「28.3.8 エラー検出」を参照してください。

SPTIE ビット (送信バッファエンプティ割り込み許可ビット)

RSPI が送信バッファエンプティを検出した場合に発生する送信バッファエンプティ割り込み要求の許可/禁止を選択します。

RSPI 機能を無効 (SPE ビットが“0”) に設定した場合、送信バッファエンプティを検出した状態になります。このとき SPTIE ビットを“1”とすると送信バッファエンプティ割り込みが発生します。

また送信開始時に SPTIE ビットと同時に SPE ビットを“1”とした場合も、送信バッファエンプティ割り込み要求が発生するため注意してください。

SPE ビット (RSPI 機能許可ビット)

RSPI 機能の有効/無効を選択します。

SPSR.MODF ビットが“1”の場合には、SPE ビットを“1”にすることはできません。詳細は「28.3.8 エラー検出」を参照してください。

SPE ビットを“0”にすると、RSPI 機能が無効化され、モジュール機能の一部が初期化されます。詳細は「28.3.9 RSPI の初期化」を参照してください。また、SPTIE ビット = 1 (送信バッファエンプティ割り込み許可) の場合、SPE ビットを“0”の状態から“1”または“1”の状態から“0”になることで送信バッファエンプティ割り込み要求が発生します。

SPRIE ビット (RSPI 受信バッファフル割り込み許可ビット)

RSPI がシリアル転送完了後の受信バッファフルを検出した場合に発生する RSPI 受信バッファフル割り込み要求の許可/禁止を選択します。

28.2.2 RSPI スレーブセレクト極性レジスタ (SSLP)

SSLP レジスタは、RSPI_y (y=0, 1) のスレーブセレクト信号の極性を制御するレジスタです。

SSLP レジスタの設定は、SPCR.SPE ビットが“0”の状態で行ってください。SPCR.SPE ビットが“1”の状態での書き換えは禁止です。

アドレス RSPI0.SSLP A006 8001h、RSPI1.SSLP A006 8401h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	SSL3P	SSL2P	SSL1P	SSL0P
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSL0P	SSL0信号極性設定ビット	0 : SSLy0信号はアクティブLow 1 : SSLy0信号はアクティブHigh	R/W
b1	SSL1P	SSL1信号極性設定ビット	0 : SSLy1信号はアクティブLow 1 : SSLy1信号はアクティブHigh	R/W
b2	SSL2P	SSL2信号極性設定ビット (注1)	0 : SSLy2信号はアクティブLow 1 : SSLy2信号はアクティブHigh	R/W
b3	SSL3P	SSL3信号極性設定ビット (注1)	0 : SSLy3信号はアクティブLow 1 : SSLy3信号はアクティブHigh	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. チャンネル1は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

28.2.3 RSPI 端子制御レジスタ (SPPCR)

SPPCR レジスタは、RSPI 端子出力を制御するレジスタです。

SPPCR レジスタの設定は、SPCR.SPE ビットが“0”の状態で行ってください。SPCR.SPE ビットが“1”の状態での書き換えは禁止です。

アドレス RSPI0.SPPCR A006 8002h、RSPI1.SPPCR A006 8402h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MOIFE	MOIFV	—	SPOM	SPLP2	SPLP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPLP	RSPIループバックビット	0: 通常モード 1: ループバックモード (データを反転して送信)	R/W
b1	SPLP2	RSPIループバック2ビット	0: 通常モード 1: ループバックモード (データを反転せずに送信)	R/W
b2	SPOM	出力端子モードビット	0: CMOS出力 1: オープンドレイン出力	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MOIFV	MOSIアイドル固定値ビット	0: MOSIアイドル時のMOSIy端子の出力値はLow 1: MOSIアイドル時のMOSIy端子の出力値はHigh	R/W
b5	MOIFE	MOSIアイドル値固定許可ビット	0: MOSI出力値は前回転送の最終データ 1: MOSI出力値はMOIFVビットの設定値	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPLP ビット (RSPI ループバックビット)

RSPI の端子モードを選択します。

RSPI は、SPLP ビットを“1”にすると、SPCR.MSTR ビットが“1”ならば、MISO_y 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MOSI_y 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路 (反転) を接続します。(ループバックモード)
(y = 0, 1)

SPLP2 ビット (RSPI ループバック 2 ビット)

RSPI の端子モードを選択します。

RSPI は、SPLP2 ビットを“1”にすると、SPCR.MSTR ビットが“1”ならば、MISO_y 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MOSI_y 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。(ループバックモード)
(y = 0, 1)

SPOM ビット (出力端子モードビット)

RSPI の出力端子を CMOS 出力 / オープンドレイン出力に設定するためのビットです。詳細は「28.3.2 RSPI 端子の制御」を参照してください。

MOIFV ビット (MOSI アイドル固定値ビット)

マスタモードで MOIFE ビットが“1”の場合、SSL ネゲート期間 (バースト転送における SSL 保持期間を含む) の MOSI_y 端子の出力値を Low、もしくは High にするか選択できます。

MOIFE ビット (MOSI アイドル値固定許可ビット)

RSPI がマスタモードのとき、SSL ネゲート期間 (バースト転送における SSL 保持期間を含む) に MOSI_y 出力値を固定するかどうかを選択するビットです。MOIFE が “0” の場合には、RSPI は SSL ネゲート期間中に前回のシリアル転送の最終データを MOSI_y に出力します。MOIFE が “1” の場合には、RSPI は MOIFV ビットに設定された Low 出力、もしくは High 出力の固定値を MOSI_y に出力します。

(y = 0, 1)

28.2.4 RSPI ステータスレジスタ (SPSR)

SPSR レジスタは、RSPI 通信のステータス表示をするレジスタです。

アドレス RSPI0.SPSR A006 8003h、RSPI1.SPSR A006 8403h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	PERF	MODF	IDLNF	OVRF
リセット後の値	x	0	x	0	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	OVRF	オーバランエラーフラグ	0 : オーバランエラーなし 1 : オーバランエラー発生	R/(W) (注1)
b1	IDLNF	RSPI アイドルフラグ	0 : RSPIがアイドル状態 1 : RSPIが転送状態	R
b2	MODF	モードフォルトエラーフラグ	0 : モードフォルトエラーなし 1 : モードフォルトエラー発生	R/(W) (注1)
b3	PERF	パリティエラーフラグ	0 : パリティエラーなし 1 : パリティエラー発生	R/(W) (注1)
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/(W)
b5	—	予約ビット	読むと不定値が読めます。書く場合、“1”としてください。	R/(W)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/(W)
b7	—	予約ビット	読むと不定値が読めます。書く場合、“1”としてください。	R/(W)

注1. フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

OVRF フラグ (オーバランエラーフラグ)

オーバランエラーの発生状況を示します。マスタモード (SPCR.MSTR ビットが“1”) かつ RSPCK クロック自動停止機能有効 (SPCR2.SCKASE ビットが“1”) のときは、オーバランエラーが発生しないため、“1”になりません。詳細は「28.3.8.1 オーバランエラー」を参照してください。

[“1”になる条件]

- SPCR.TXMD ビットが“0”、受信バッファフル状態で次のシリアル受信が終了したとき

[“0”になる条件]

- OVRF フラグが“1”になったときの SPSR レジスタを読んだ後、OVRF フラグに“0”を書いたとき

IDLNF フラグ (RSPI アイドルフラグ)

RSPI の転送状況を示します。

[“1”になる条件]

【マスタモード】

- 下記「“0”になる条件」でマスタモード時の（条件1）と（条件2）の両方が満たされないとき

【スレーブモード】

- SPCR.SPE ビットが“1”（RSPI機能が有効）のとき

[“0”になる条件]

【マスタモード】

下記 1. が満たされたとき（条件1）、または下記 2. ~ 4. がすべて満たされたとき（条件2）

1. SPCR.SPE ビットが“0”（RSPI初期化）のとき
2. 送信用バッファ（SPTX）が空（次転送データがセットされていない）のとき
3. SPSSR.SPCCP[2:0] ビットが“000b”（シーケンス制御の先頭）であるとき
4. RSPI 内部シーケンサがアイドル状態へ遷移したとき（次アクセス遅延までが動作完了された状態）

【スレーブモード】

- SPCR.SPE ビットが“0”（RSPI初期化）のとき

MODF フラグ (モードフォルトエラーフラグ)

モードフォルトエラーの発生を示します。

[“1”になる条件]

【マルチマスタモードのとき】

- SPCR.MSTR ビットが“1”（マスタモード）、SPCR.MODFEN ビットが“1”（モードフォルトエラー検出を許可）の状態、SSLy_i 端子の入力レベルがアクティブレベルになり、RSPI がモードフォルトエラーを検出したとき

【スレーブモードのとき】

- SPCR.MSTR ビットが“0”（スレーブモード）、SPCR.MODFEN ビットが“1”（モードフォルトエラー検出を許可）の状態、データ転送に必要な RSPCK サイクルが終了する前に SSLy_i 端子がネゲートされ、RSPI がモードフォルトエラーを検出したとき

なお、SSLy_i 信号のアクティブレベルは、SSLP.SSLiP ビット（SSL 信号極性設定ビット）によって決定されます。

(y = 0, 1 (各チャンネルに対応)、i = 0 ~ 3)

[“0”になる条件]

- MODF フラグが“1”の状態の SPSR レジスタを読んだ後、MODF フラグに“0”を書いたとき

PERF フラグ (パリティエラーフラグ)

パリティエラーの発生を示すフラグです。

[“1”になる条件]

- SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”の状態、シリアル転送が終了し、パリティエラーが検出されたとき

[“0”になる条件]

- PERF フラグが“1”の状態の SPSR レジスタを読んだ後、PERF フラグに“0”を書いたとき

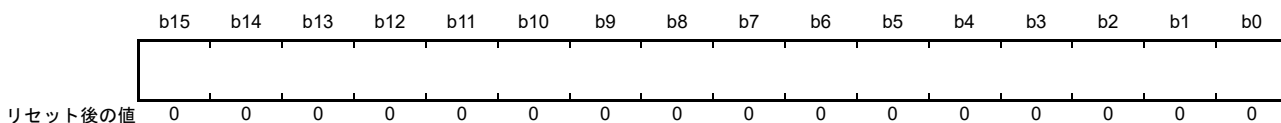
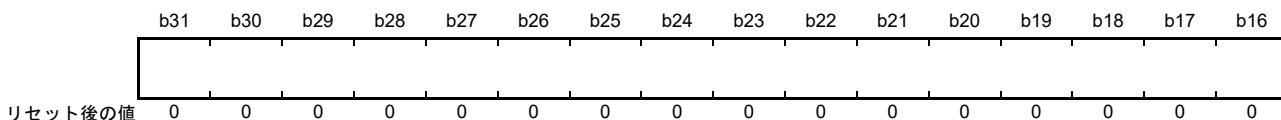
28.2.5 RSPI データレジスタ (SPDR)

SPDR レジスタは、RSPI 送受信用のデータを格納するバッファです。

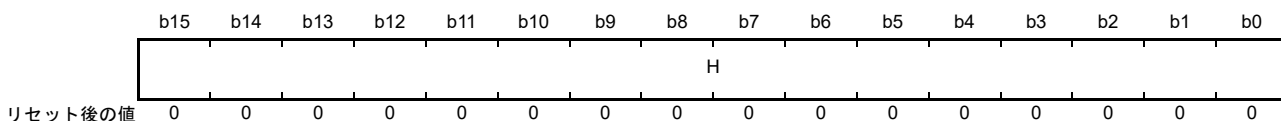
ロングワードアクセス (SPLW ビットが“1”) のときは、SPDR をアクセスしてください。

ワードアクセス (SPLW ビットが“0”) のときは、SPDR の上位側 16 ビット (H) をアクセスしてください。

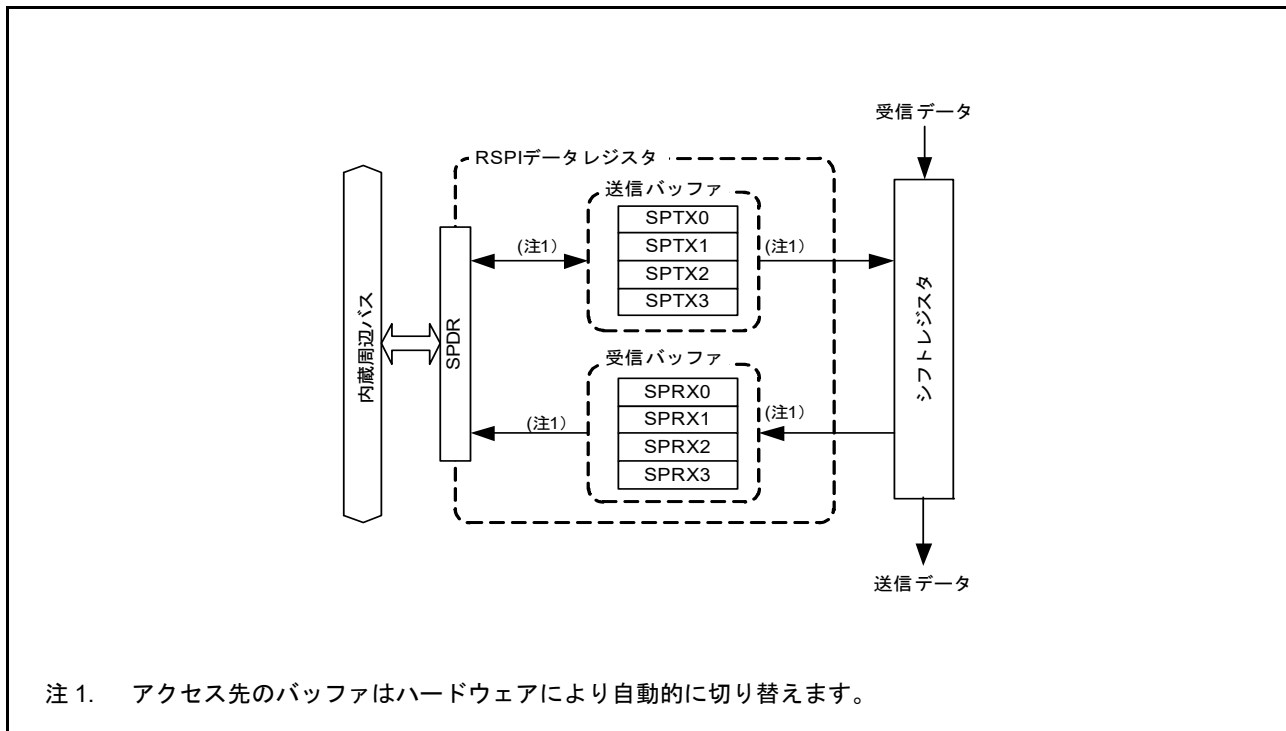
アドレス RSPI0.SPDR A006 8004h, RSPI1.SPDR A006 8404h



アドレス RSPI0.SPDR A006 8004h, RSPI1.SPDR A006 8404h



送信バッファと受信バッファは独立したバッファです。SPDR レジスタの構造図を図 28.2 に示します。



送信バッファと受信バッファは、それぞれ4バッファあります。使用するバッファ数は、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) で設定できます。SPDR レジスタには、これらの合計8バッファが1アドレスにマッピングされています。

送信バッファ SPTXn (n=0~3) は、SPDR レジスタへの書き込みによって送信バッファへ値を書くことができ、書いたデータを送信します。

受信バッファは、データの受信が完了すると受信データを格納します。オーバラン発生時は、受信バッファの値を更新しません。

また、データ長が32ビット以外の場合、SPRXn (n=0~3) の非参照ビットには、SPTXn (n=0~3) の非参照ビットが格納されます。

たとえば、データ長が9ビットのデータを受信した場合は SPRXn[8:0] には受信データが格納され、SPRXn[31:9] に SPTXn[31:9] が格納されます。

(1) バスインタフェース

SPDR レジスタは、32ビットの送信バッファと受信バッファがそれぞれ4バッファ分、合計32バイトあります。これらの32バイトを SPDR レジスタの4バイト空間にマッピングしています。また、SPDR レジスタへのアクセスは、RSPI データコントロールレジスタの RSPI ロングワードアクセス/ワードアクセス設定ビット (SPDCR.SPLW) で設定したアクセスサイズで行ってください。

送信データは、LSB 詰めで書いてください。受信データは LSB 詰めで格納されます。

SPDR レジスタへの書き込みと、読み出しの動作を以下に示します。

(a) 書き込み

SPDR レジスタに書き込むことによって、送信バッファ (SPTXn) に値を書くことができます。SPDR レジスタの読み出し時と異なり、SPDCR.SPRDTD ビットの値に影響されません。

送信バッファには、送信バッファライトポインタがあり、SPDR レジスタへの書き込みによって自動的に次のバッファを指し示すようになります。

図 28.3 に送信バッファのバスインタフェース (ライト時) の構成図を示します。

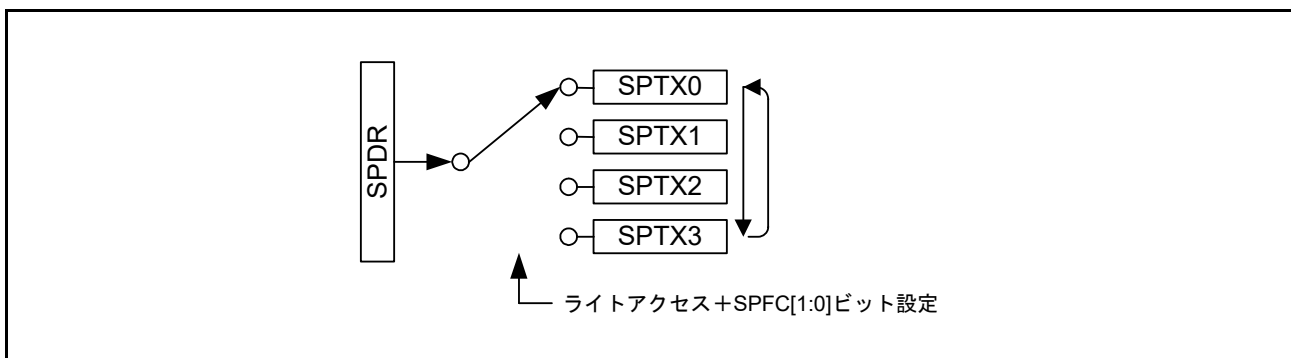


図 28.3 SPDR レジスタの構成図 (ライト時)

送信バッファライトポインタの切り替え順序は、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) の設定によって異なります。

- SPFC[1:0] ビットの設定と SPTX0 ~ 3 の切り替え順序
 - SPFC[1:0] ビットが “00b” のとき : SPTX0 → SPTX0 → SPTX0 → . . .
 - SPFC[1:0] ビットが “01b” のとき : SPTX0 → SPTX1 → SPTX0 → SPTX1 → . . .
 - SPFC[1:0] ビットが “10b” のとき : SPTX0 → SPTX1 → SPTX2 → SPTX0 → SPTX1 → . . .
 - SPFC[1:0] ビットが “11b” のとき : SPTX0 → SPTX1 → SPTX2 → SPTX3 → SPTX0 → SPTX1 → . . .

RSPI 制御レジスタの RSPI 機能許可ビット (SPCR.SPE) が “0” の状態で “1” を書くと、次の書き込み先は SPTX0 になります。

送信バッファ (SPTXn) への書き込みは、送信バッファエンプティ割り込み発生後、RSPI データコントロールレジスタ (SPDCR) のフレーム数設定ビット (SPFC[1:0]) で設定したフレーム数分の送信データを書き込んでください。同書き込み完了から次の送信バッファエンプティ割り込み発生までの期間は、送信バッファ (SPTXn) に書き込みを行っても同バッファの値は更新されません。

(b) 読み出し

SPDR レジスタを読み出すことによって、受信バッファ (SPRXn)、または送信バッファ (SPTXn) の値を読むことができます。RSPI データコントロールレジスタの RSPI 受信/送信データ選択ビット (SPDCR.SPRDTD) によって、受信バッファを読み出すか、送信バッファを読み出すかを選択できます。

SPDR レジスタの読み出し順は、独立した受信バッファリードポインタと送信バッファリードポインタによって制御されます。

図 28.4 に受信バッファと送信バッファのバスインタフェース (リード時) の構成図を示します。

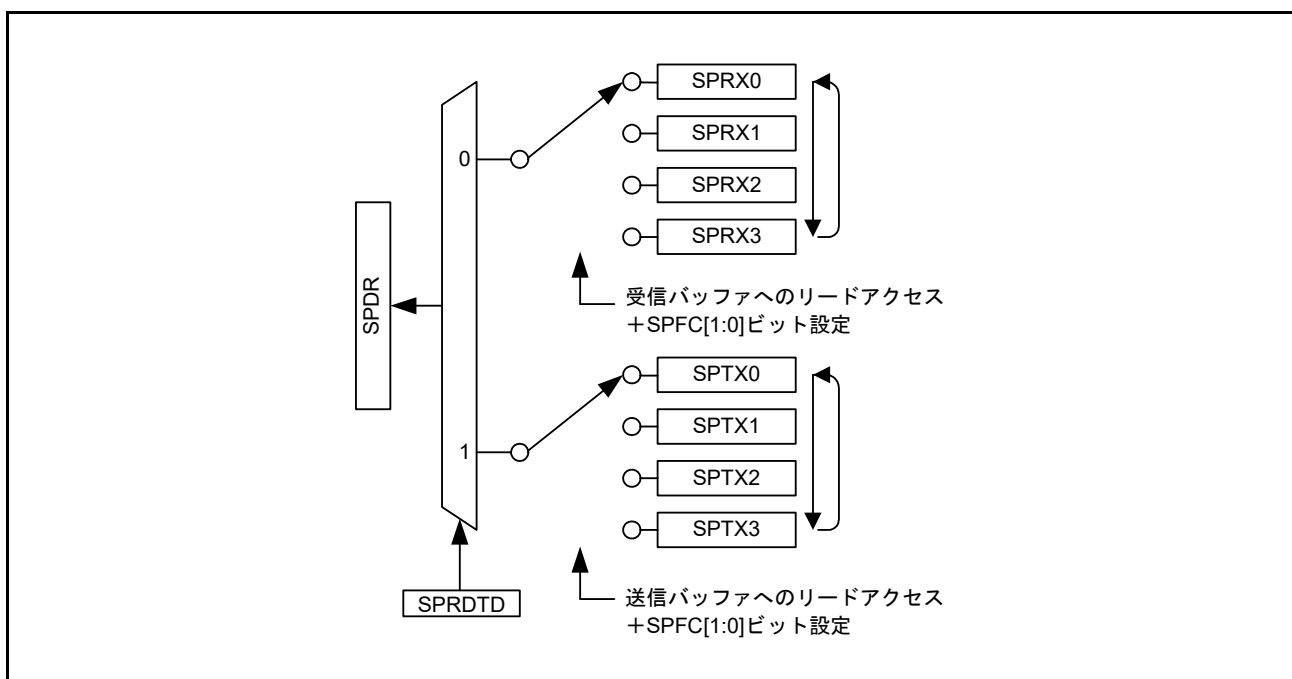


図 28.4 SPDR レジスタの構成図 (リード時)

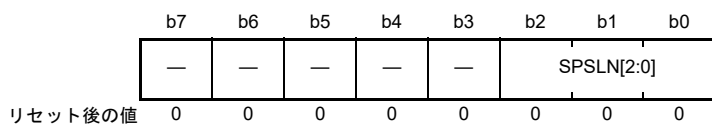
受信バッファをリードすると、受信バッファリードポインタが次のバッファに自動的に切り替わります。受信バッファリードポインタの切り替え順序は、送信バッファライトポインタと同様の順序で切り替わります。ただし、RSPI 制御レジスタの RSPI 機能許可ビット (SPCR.SPE) が “0” の状態で “1” を書くと、次の読み出し先は SPRX0 になります。

送信バッファリードポインタは SPDR への書き込み時に更新され、送信バッファリード時には更新されません。送信バッファをリードすると、SPDR に最後に書き込んだ値が読み出せます。ただし、送信バッファエンプティ割り込み発生後、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) で設定したフレーム数分のデータの書き込み完了から次の送信バッファエンプティ割り込みが発生するまでの期間は、送信バッファの読み出し値は、すべて “0” となります。

28.2.6 RSPI シーケンス制御レジスタ (SPSCR)

SPSCR レジスタは、RSPI がマスタ動作する場合のシーケンス長を設定するためのレジスタです。SPCR.MSTR、SPE ビットがともに“1”の状態において、SPSCR.SPSSLN[2:0] ビットを書き換える場合、SPSR.IDLNF フラグが“0”の状態書き換えてください。

アドレス RSPI0.SPSCR A006 8008h、RSPI1.SPSCR A006 8408h



ビット	シンボル	ビット名	機能	R/W																																				
b2-b0	SPSSLN[2:0]	RSPIシーケンス長設定ビット	<table border="0" style="font-size: small;"> <tr> <td>b2</td> <td>b0</td> <td>シーケンス長</td> <td>参照するSPCMD0~7レジスタ (番号)</td> </tr> <tr> <td>0 0 0</td> <td>:</td> <td>1</td> <td>0→0→...</td> </tr> <tr> <td>0 0 1</td> <td>:</td> <td>2</td> <td>0→1→0→...</td> </tr> <tr> <td>0 1 0</td> <td>:</td> <td>3</td> <td>0→1→2→0→...</td> </tr> <tr> <td>0 1 1</td> <td>:</td> <td>4</td> <td>0→1→2→3→0→...</td> </tr> <tr> <td>1 0 0</td> <td>:</td> <td>5</td> <td>0→1→2→3→4→0→...</td> </tr> <tr> <td>1 0 1</td> <td>:</td> <td>6</td> <td>0→1→2→3→4→5→0→...</td> </tr> <tr> <td>1 1 0</td> <td>:</td> <td>7</td> <td>0→1→2→3→4→5→6→0→...</td> </tr> <tr> <td>1 1 1</td> <td>:</td> <td>8</td> <td>0→1→2→3→4→5→6→7→0→...</td> </tr> </table> <p>設定されたシーケンス長に応じて、参照するSPCMD0~7レジスタの参照順を変更します。SPSSLN[2:0] ビットの設定値とシーケンス長、RSPIが参照するSPCMD0~7レジスタの関係は上記のとおりです。なお、スレーブモードのRSPIでは、常にSPCMD0レジスタが参照されます。</p>	b2	b0	シーケンス長	参照するSPCMD0~7レジスタ (番号)	0 0 0	:	1	0→0→...	0 0 1	:	2	0→1→0→...	0 1 0	:	3	0→1→2→0→...	0 1 1	:	4	0→1→2→3→0→...	1 0 0	:	5	0→1→2→3→4→0→...	1 0 1	:	6	0→1→2→3→4→5→0→...	1 1 0	:	7	0→1→2→3→4→5→6→0→...	1 1 1	:	8	0→1→2→3→4→5→6→7→0→...	R/W
b2	b0	シーケンス長	参照するSPCMD0~7レジスタ (番号)																																					
0 0 0	:	1	0→0→...																																					
0 0 1	:	2	0→1→0→...																																					
0 1 0	:	3	0→1→2→0→...																																					
0 1 1	:	4	0→1→2→3→0→...																																					
1 0 0	:	5	0→1→2→3→4→0→...																																					
1 0 1	:	6	0→1→2→3→4→5→0→...																																					
1 1 0	:	7	0→1→2→3→4→5→6→0→...																																					
1 1 1	:	8	0→1→2→3→4→5→6→7→0→...																																					
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W																																				

SPSSLN[2:0] ビット (RSPI シーケンス長設定ビット)

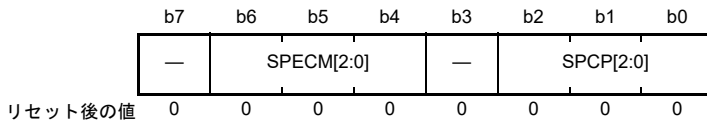
マスタモードのRSPIがシーケンス動作する場合のシーケンス長を設定します。マスタモードのRSPIはSPSSLN[2:0] ビットで設定されたシーケンス長に応じて、参照するSPCMD0~7レジスタと参照順を変更します。

スレーブモードでは、常にSPCMD0レジスタが参照されます。

28.2.7 RSPI シーケンスステータスレジスタ (SPSSR)

SPSSR レジスタは、RSPI がマスタ動作する場合のシーケンス制御の状態を示します。
SPSSR レジスタへの書き込みは無効です。

アドレス RSPI0.SPSSR A006 8009h、RSPI1.SPSSR A006 8409h



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPCP[2:0]	RSPIコマンドポインタビット	b2 b0 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b3	—	予約ビット	読むと“0”が読めます。	R
b6-b4	SPECM[2:0]	RSPIエラーコマンドビット	b6 b4 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b7	—	予約ビット	読むと“0”が読めます。	R

SPCP[2:0] ビット (RSPI コマンドポインタビット)

RSPI のシーケンス制御で、現在ポインタで指されている SPCMD_m レジスタを示します。
なお、RSPI のシーケンス制御については、「28.3.10.1 マスタモード動作」を参照してください。

SPECM[2:0] ビット (RSPI エラーコマンドビット)

RSPI のシーケンス制御で、エラー検出時に SPCP[2:0] ビットで指定されていた SPCMD_m レジスタを示します。RSPI は、エラー検出時にのみ SPECM[2:0] ビットを更新します。SPSR.OVRF、MODF フラグがともに“0”で、エラーが発生していない場合には、SPECM[2:0] ビットの値には意味がありません。

なお、RSPI のエラー検出機能については、「28.3.8 エラー検出」を参照してください。また、RSPI のシーケンス制御については、「28.3.10.1 マスタモード動作」を参照してください。

28.2.8 RSPI ビットレートレジスタ (SPBR)

SPBR レジスタは、マスタモード時のビットレート設定を制御するレジスタです。SPCR.MSTR, SPE ビットがともに“1”の状態において、SPBR レジスタを書き換えることは禁止です。

アドレス RSPI0.SPBR A006 800Ah, RSPI1.SPBR A006 840Ah



RSPI をスレーブモードで使用する場合には、SPBR レジスタ、SPCMDm.BRDV[1:0] ビット (ビットレート分周設定ビット) の設定に関係なく、入力クロックのビットレートに依存します。(電気的特性を満足するビットレートを使用してください)

ビットレートは SPBR レジスタの設定値と SPCMDm.BRDV[1:0] ビットの設定値の組み合わせで決定されます。ビットレートの計算式は下記のとおりです。計算式中で n は SPBR レジスタの設定値 (0、1、2、……、255)、N は BRDV[1:0] ビットの設定値 (0、1、2、3) です (m=0~7)。ただし、n=0 (SPR[7:0]=0) かつ、N=0 (BRDV[1:0]=0) の設定は禁止です。

$$\text{ビットレート} = \frac{f(\text{SERICLK})}{2 \times (n+1) 2^N}$$

SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレートの関係の例を表 28.3 に示します。

表 28.3 SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレート

SPBR レジスタの設定値 (n)	BRDV[1:0] ビットの設定値 (N)	分周比	ビットレート	
			SERICLK = 120MHz	SERICLK = 150MHz
0	0	2	設定禁止	設定禁止
1	0	4	30.0Mbps	37.5Mbps
2	0	6	20.0Mbps	25.0Mbps
3	0	8	15.0Mbps	18.8Mbps
4	0	10	12.0Mbps	15.0Mbps
5	0	12	10.0Mbps	12.5Mbps
5	1	24	5.00Mbps	6.25Mbps
5	2	48	2.50Mbps	3.13Mbps
5	3	96	1.25Mbps	1.56Mbps
255	3	4096	29.3kbps	36.6kbps

注. 電気的特性の範囲内になるよう設定をしてください。

28.2.9 RSPI データコントロールレジスタ (SPDCR)

SPDCR レジスタは、SPDR レジスタのデータに対する制御レジスタです。

SPCMDm.SPB[3:0] ビット、SPSCR.SPSTLN[2:0] ビット、SPDCR.SPFC[1:0] ビットの組み合わせから 1 回の送受信起動で最大 4 フレームを送受信できます (m = 0 ~ 7)。

SPCR.SPE ビットが“1”の状態において、SPDCR.SPFC[1:0] ビットを書き換える場合、SPSR.IDLNF フラグが“0”のときに書き換えてください。

アドレス RSPI0.SPDCR A006 800Bh、RSPI1.SPDCR A006 840Bh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	SPLW	SPRDT D	—	—	SPFC[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SPFC[1:0]	フレーム数設定ビット	b1 b0 0 0 : 1フレーム 0 1 : 2フレーム 1 0 : 3フレーム 1 1 : 4フレーム	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b4	SPRDT	RSPI受信/送信データ選択ビット	0 : SPDRは受信バッファを読み出す 1 : SPDRは送信バッファを読み出す (ただし、送信バッファが空のとき)	R/W
b5	SPLW	RSPIロングワードアクセス/ワードアクセス設定ビット	0 : SPDRレジスタへはワードアクセス 1 : SPDRレジスタへはロングワードアクセス	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

SPFC[1:0] ビット (フレーム数設定ビット)

SPDR レジスタに格納できる (1 回の転送起動) フレーム数を設定します。SPSCR.SPSTLN[2:0] ビット、SPDCR.SPFC[1:0] ビットの設定により 1 回の送受信起動で最大 4 フレームを送受信できます。また、SPFC[1:0] ビットの設定により、RSPI 受信バッファフル割り込みが発生と送信バッファエンプティ割り込みが発生または送信開始するためのフレーム数も変更します。表 28.4 に、SPDR レジスタに格納できるフレームの構成と送受信設定の組み合わせ例を示します。組み合わせ例以外の設定は禁止です。

表 28.4 SPSTLN[2:0] ビットと SPFC[1:0] ビットの設定可能な組み合わせ

設定	SPSTLN[2:0]	SPFC[1:0]	1シーケンスで転送するフレーム数	受信バッファフル割り込み発生、送信バッファにデータありになるフレーム数
1-1	000b	00b	1	1
1-2	000b	01b	2	2
1-3	000b	10b	3	3
1-4	000b	11b	4	4
2-1	001b	01b	2	2
2-2	001b	11b	4	4
3	010b	10b	3	3
4	011b	11b	4	4
5	100b	00b	5	1
6	101b	00b	6	1
7	110b	00b	7	1
8	111b	00b	8	1

SPRDTD ビット (RSPI 受信/送信データ選択ビット)

SPDR レジスタの読み出す値を受信バッファとするか、送信バッファとするか選択します。

送信バッファを読む場合 SPDR レジスタへ直前に書いた値が読めます。

送信バッファの読み出しは、送信バッファエンプティ割り込み発生後、SPFC[1:0] ビットで設定したフレーム数を書き終える前に行ってください。

詳細は、「28.2.5 RSPI データレジスタ (SPDR)」を参照してください。

SPLW ビット (RSPI ロングワードアクセス/ワードアクセス設定ビット)

SPDR レジスタへのアクセス幅を設定します。SPLW ビットが“0”のときはワードアクセス、SPLW ビットが“1”のときはロングワードアクセスで SPDR レジスタにアクセスしてください。

また、SPLW ビットが“0”のとき、SPCMDm.SPB[3:0] ビット (RSPI データ長設定ビット) の設定は、8 ~ 16 ビットに設定してください。20、24、32 ビットの設定は禁止です。

28.2.10 RSPI クロック遅延レジスタ (SPCKD)

SPCKD レジスタは、SPCMDm.SCKDEN ビットが“1”の状態における、SSLyi 信号アサート開始から RSPCK 発振までの期間 (RSPCK 遅延) を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが“1”の状態において、SPCKD レジスタを書き換えることは禁止です (m=0~7, y=0,1 (各チャネルに対応)、i=0~3)。

アドレス RSPI0.SPCKD A006 800Ch, RSPI1.SPCKD A006 840Ch



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
b2-b0	SCKDL[2:0]	RSPCK遅延設定ビット	b2 b0 0 0 0 : 1RSPCK 0 0 1 : 2RSPCK 0 1 0 : 3RSPCK 0 1 1 : 4RSPCK 1 0 0 : 5RSPCK 1 0 1 : 6RSPCK 1 1 0 : 7RSPCK 1 1 1 : 8RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

SCKDL[2:0] ビット (RSPCK 遅延設定ビット)

SPCMDm.SCKDEN ビットが“1”の場合の RSPCK 遅延値を設定します。

RSPI をスレーブモードで使用する場合には、SCKDL[2:0] ビットを“000b”にしてください。

28.2.11 RSPI スレーブセレクトネゲート遅延レジスタ (SSLND)

SSLND レジスタは、マスタモードの RSPI がシリアル転送の最終 RSPCK エッジを送出してから SSL_{yi} 信号をネゲートするまでの期間 (SSL ネゲート遅延) を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが“1”の状態における、SSLND レジスタの書き換えは禁止です (y=0, 1 (各チャンネルに対応)、i=0~3)。

アドレス RSPI0.SSLND A006 800Dh、RSPI1.SSLND A006 840Dh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	SLNDL[2:0]		

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SLNDL[2:0]	SSL ネゲート遅延設定ビット	b2 b0 0 0 0 : 1RSPCK 0 0 1 : 2RSPCK 0 1 0 : 3RSPCK 0 1 1 : 4RSPCK 1 0 0 : 5RSPCK 1 0 1 : 6RSPCK 1 1 0 : 7RSPCK 1 1 1 : 8RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

SLNDL[2:0] ビット (SSL ネゲート遅延設定ビット)

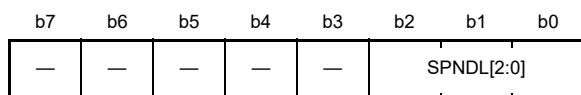
マスタモードの RSPI の SSL ネゲート遅延値を設定します。

RSPI をスレーブモードで使用する場合には、SLNDL[2:0] ビットを“000b”にしてください。

28.2.12 RSPI 次アクセス遅延レジスタ (SPND)

SPND レジスタは、SPCMDm.SPNDEN ビットが“1”の状態、シリアル転送終了後の SSL_{yi} 信号の非アクティブ期間（次アクセス遅延）を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが“1”の状態における、SPND レジスタの書き換えは禁止です（ $m=0\sim 7$, $y=0,1$ （各チャンネルに対応）、 $i=0\sim 3$ ）。

アドレス RSPI0.SPND A006 800Eh、RSPI1.SPND A006 840Eh



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SPNDL[2:0]	RSPI次アクセス遅延設定ビット	b2 b0 0 0 0 : 1RSPCK + 2SERICLK 0 0 1 : 2RSPCK + 2SERICLK 0 1 0 : 3RSPCK + 2SERICLK 0 1 1 : 4RSPCK + 2SERICLK 1 0 0 : 5RSPCK + 2SERICLK 1 0 1 : 6RSPCK + 2SERICLK 1 1 0 : 7RSPCK + 2SERICLK 1 1 1 : 8RSPCK + 2SERICLK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

SPNDL[2:0] ビット (RSPI 次アクセス遅延設定ビット)

SPCMDm.SPNDEN ビットが“1”の場合の次アクセス遅延を設定します。

RSPI をスレーブモードで使用する場合には、SPNDL[2:0] ビットを“000b”にしてください。

28.2.13 RSPI 制御レジスタ 2 (SPCR2)

SPCR2 レジスタは RSPI の動作設定を制御するレジスタです。

SPCR.SPE ビットが“1”の状態における、SPCR2 レジスタの SPPE、SPOE、SCKASE ビットの変更は禁止です。

アドレス RSPI0.SPCR2 A006 800Fh, RSPI1.SPCR2 A006 840Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SCKASE	PTE	SPIIE	SPOE	SPPE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPPE	パリティ許可ビット	0: 送信データパリティビットを付加しない 受信データのパリティチェックを行わない 1: 送信データにパリティビットを付加し、受信データの パリティチェックを行う (SPCR.TXMD = 0のとき) 送信データにパリティビットを付加するが、受信データの パリティチェックは行わない (SPCR.TXMD = 1の とき)	R/W
b1	SPOE	パリティモードビット	0: 偶数パリティで送受信 1: 奇数パリティで送受信	R/W
b2	SPIIE	RSPIアイドル割り込み許可ビット	0: アイドル割り込み要求の発生を禁止 1: アイドル割り込み要求の発生を許可	R/W
b3	PTE	パリティ自己判断ビット	0: パリティ回路自己診断機能は無効 1: パリティ回路自己診断機能が有効	R/W
b4	SCKASE	RSPCK自動停止機能許可ビット	0: RSPCK自動停止機能が無効 1: RSPCK自動停止機能が有効	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

SPPE ビット (パリティ許可ビット)

パリティ機能の有効、無効を選択するビットです。

SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”のとき、送信データにパリティビットを付加し、受信データのパリティチェックを行います。

SPCR.TXMD ビットが“1”、SPCR2.SPPE ビットが“1”の場合、送信データにパリティビットを付加しますが、受信データのパリティチェックを行いません。

SPOE ビット (パリティモードビット)

偶数パリティ/奇数パリティを設定するビットです。

偶数パリティでは、パリティビットと送受信キャラクタを合わせて、1の数の合計が偶数個になるようにパリティビットを決定します。同様に、奇数パリティでは、パリティビットと送受信キャラクタを合わせて、1の数の合計が奇数個になるようにパリティビットを決定します。

SPOE ビットは、SPPE ビットが“1”のときのみ有効です。

SPIIE ビット (RSPI アイドル割り込み許可ビット)

RSPI がアイドル状態であることを検出し、SPSR.IDLNF フラグが“0”になった場合に、RSPI アイドル割り込み要求の発生を許可/禁止します。

PTE ビット (パリティ自己診断ビット)

パリティ機能が正常であることを確認するために、パリティ回路の自己診断を有効にするビットです。

SCKASE ビット (RSPCK 自動停止機能許可ビット)

RSPCK 自動停止機能の有効、無効を選択するビットです。本機能を有効にした場合、マスタモードのデータ受信時、オーバランエラーが発生する直前のタイミングで RSPCK クロックが停止します。詳細は「28.3.8.1 オーバランエラー」を参照してください。

28.2.14 RSPI コマンドレジスタ 0 ~ 7 (SPCMD0 ~ SPCMD7)

SPCMDm レジスタは、マスタモードの RSPI の転送フォーマットを制御するレジスタです。1 チャンネルに、8 本の RSPI コマンドレジスタがあります (m=0 ~ 7)。

また、SPCMD0 レジスタの一部のビットは、スレーブモードの RSPI の転送フォーマットを設定するためにも使用されます。マスタモードの RSPI は SPSCR.SPSSLN[2:0] ビットの設定にしたがってシーケンシャルに SPCMDm レジスタを参照し、参照した SPCMDm レジスタに設定されたシリアル転送を実行します。

SPCMDm レジスタの設定は、送信バッファが空の (次転送のデータがセットされていない) 状態でその SPCMDm レジスタを参照して送信するデータを設定する前に実施してください。

マスタモードの RSPI が参照している SPCMDm レジスタは、SPSSR.SPCP[2:0] ビットにより確認できます。また、SPCR.MSTR ビットが“0”、SPCR.SPE ビットが“1”の状態における、SPCMDm レジスタの書き換えは禁止です。

アドレス RSPI0.SPCMD0 A006 8010h, RSPI0.SPCMD1 A006 8012h, RSPI0.SPCMD2 A006 8014h,
 RSPI0.SPCMD3 A006 8016h, RSPI0.SPCMD4 A006 8018h, RSPI0.SPCMD5 A006 801Ah,
 RSPI0.SPCMD6 A006 801Ch, RSPI0.SPCMD7 A006 801Eh,
 RSPI1.SPCMD0 A006 8410h, RSPI1.SPCMD1 A006 8412h, RSPI1.SPCMD2 A006 8414h,
 RSPI1.SPCMD3 A006 8416h, RSPI1.SPCMD4 A006 8418h, RSPI1.SPCMD5 A006 841Ah,
 RSPI1.SPCMD6 A006 841Ch, RSPI1.SPCMD7 A006 841Eh

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
SCKDEN	SLNDE N	SPNDE N	LSBF	SPB[3:0]			SSLKP	SSLy[2:0]		BRDV[1:0]		CPOL	CPHA			
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	CPHA	RSPCK位相設定ビット	0: 奇数エッジでデータサンプル、偶数エッジでデータ変化 1: 奇数エッジでデータ変化、偶数エッジでデータサンプル	R/W
b1	CPOL	RSPCK極性設定ビット	0: アイドル時の RSPCK が Low 1: アイドル時の RSPCK が High	R/W
b3-b2	BRDV[1:0]	ビットレート分周設定ビット	b3 b2 0 0: ベースのビットレートを選択 0 1: ベースのビットレートの2分周を選択 1 0: ベースのビットレートの4分周を選択 1 1: ベースのビットレートの8分周を選択	R/W
b6-b4	SSLy[2:0]	SSL信号アサート設定ビット	b6 b4 0 0 0: SSLy0 (y = 0, 1) 0 0 1: SSLy1 (y = 0, 1) 0 1 0: SSL02 0 1 1: SSL03 上記以外は設定禁止	R/W
b7	SSLKP	SSL信号レベル保持ビット	0: 転送終了時に全 SSL 信号をネゲート 1: 転送終了後から次アクセス開始まで SSL 信号レベルを保持	R/W
b11-b8	SPB[3:0]	RSPIデータ長設定ビット	b11 b8 0100 ~ 0111 : 8ビット 1 0 0 0 : 9ビット 1 0 0 1 : 10ビット 1 0 1 0 : 11ビット 1 0 1 1 : 12ビット 1 1 0 0 : 13ビット 1 1 0 1 : 14ビット 1 1 1 0 : 15ビット 1 1 1 1 : 16ビット 0 0 0 0 : 20ビット 0 0 0 1 : 24ビット 0010, 0011 : 32ビット	R/W
b12	LSBF	RSPI LSB ファーストビット	0: MSB ファースト 1: LSB ファースト	R/W

ビット	シンボル	ビット名	機能	R/W
b13	SPNDEN	RSPI次アクセス遅延許可ビット	0: 次アクセス遅延は1RSPCK + 2SERICLK 1: 次アクセス遅延はRSPI次アクセス遅延レジスタ (SPND) の設定値	R/W
b14	SLNDEN	SSLネゲート遅延設定許可ビット	0: SSLネゲート遅延は1RSPCK 1: SSLネゲート遅延はRSPIスレーブセレクトネゲート遅延レジスタ (SSLND) の設定値	R/W
b15	SCKDEN	RSPCK遅延設定許可ビット	0: RSPCK遅延は1RSPCK 1: RSPCK遅延はRSPIクロック遅延レジスタ (SPCKD) の設定値	R/W

CPHA ビット (RSPCK 位相設定ビット)

マスタモード/スレーブモードのRSPIのRSPCK位相を設定します。RSPIモジュール間のデータ通信を行う場合、モジュール間で同一のRSPCK位相を設定する必要があります。

CPOL ビット (RSPCK 極性設定ビット)

マスタモード/スレーブモードのRSPIのRSPCK極性を設定します。RSPIモジュール間のデータ通信を行う場合、モジュール間で同一のRSPCK極性を設定する必要があります。

BRDV[1:0] ビット (ビットレート分周設定ビット)

ビットレートを決定するために使用するレジスタです。BRDV[1:0]ビットとSPBRレジスタの設定値の組み合わせでビットレートを決定します(「28.2.8 RSPI ビットレートレジスタ (SPBR)」を参照)。SPBRレジスタの設定値は、ベースとなるビットレートを決定します。BRDV[1:0]ビットの設定値は、ベースのビットレートに対して分周なし/2分周/4分周/8分周したビットレートを選択するために使用します。SPCMD_mレジスタにはそれぞれ異なるBRDV[1:0]ビットの設定を行えます。このため、コマンドごとに異なるビットレートでシリアル転送を実行できます (m = 0 ~ 7)。

SSLy[2:0] ビット (SSL 信号アサート設定ビット)

マスタモードのRSPIがシリアル転送する場合のSSL_yi信号のアサートを制御するためのビットです。SSLy[2:0]ビットの設定値が、SSL_yi信号のアサートを制御します。SSL_yi信号アサート時の信号極性は、SSLPレジスタの設定値に依存します。マルチマスタモードでSSLy[2:0]ビットを“000b”にした場合には、全SSL信号がネゲート状態でシリアル転送が実行されます (SSL_y0端子は入力になるため)。

なお、RSPIをスレーブモードで使用する場合には、SSLy[2:0]ビットを“000b”にしてください。(y = 0, 1 (各チャンネルに対応)、i = 0 ~ 3)

SSLKP ビット (SSL 信号レベル保持ビット)

マスタモードのRSPIがシリアル転送する場合に、現コマンドに対応するSSLネゲートタイミングから次コマンドに対応するSSLアサートタイミングの間、現コマンドのSSL_yi信号レベルを保持するか、ネゲートするかを設定するビットです。

SSLKPビットを“1”とすることによってバースト転送が可能となります。詳細は「28.3.10.1 マスタモード動作の(4) バースト転送」を参照してください。

RSPIをスレーブモードで使用する場合には、SSLKPビットを“0”にしてください。(y = 0, 1 (各チャンネルに対応)、i = 0 ~ 3)

SPB[3:0] ビット (RSPI データ長設定ビット)

マスタモード/スレーブモードのRSPIの転送データ長を設定します。

LSBF ビット (RSPI LSB ファーストビット)

マスタモード/スレーブモードの RSPI のデータフォーマットを、MSB ファーストにするか LSB ファーストにするかを選択します。

SPNDEN ビット (RSPI 次アクセス遅延許可ビット)

マスタモードの RSPI がシリアル転送を終了して SSL_{yi} 信号を非アクティブにしてから、次アクセスの SSL_{yi} 信号アサートを可能にするまでの期間 (次アクセス遅延) を設定します。SPNDEN ビットが“0”のとき、RSPI は次アクセス遅延を 1RSPCK+2SERICLK にします。SPNDEN ビットが“1”のとき、RSPI は SPND レジスタの設定にしたがった次アクセス遅延を挿入します (y=0, 1 (各チャンネルに対応)、i=0~3)。

RSPI をスレーブモードで使用する場合には、SPNDEN ビットを“0”にしてください。

SLNDEN ビット (SSL ネゲート遅延設定許可ビット)

マスタモードの RSPI が、RSPCK を発振停止してから SSL_{yi} 信号を非アクティブにするまでの期間 (SSL ネゲート遅延) を設定します。SLNDEN ビットが“0”のとき、RSPI は SSL ネゲート遅延を 1RSPCK にします。SLNDEN ビットが“1”のとき、RSPI は SSLND レジスタの設定にしたがった RSPCK 遅延で SSL をネゲートします。

RSPI をスレーブモードで使用する場合には、SLNDEN ビットを“0”にしてください。

SCKDEN ビット (RSPCK 遅延設定許可ビット)

マスタモードの RSPI が、SSL_{yi} 信号をアクティブにしてから RSPCK を発振するまでの期間 (RSPCK 遅延) を設定します。SCKDEN ビットが“0”のとき、RSPI は RSPCK 遅延を 1RSPCK にします。SCKDEN ビットが“1”のとき、RSPI は SPCKD レジスタの設定にしたがった RSPCK 遅延で RSPCK の発振を開始します。

RSPI をスレーブモードで使用する場合には、SCKDEN ビットを“0”にしてください。

28.3 動作説明

本章では、シリアル転送期間という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間を意味する用語として使用しています。

28.3.1 RSPI 動作の概要

RSPI は、スレーブモード (SPI 動作)、シングルマスタモード (SPI 動作)、マルチマスタモード (SPI 動作)、スレーブモード (クロック同期式動作)、マスタモード (クロック同期式動作) での同期式のシリアル転送ができます。RSPI のモードは、SPCR.MSTR, MODFEN, SPMS ビットによって設定できます。表 28.5 に RSPI のモードと SPCR レジスタの設定の関係および各モードの概要を示します。

表 28.5 RSPI のモードと SPCR レジスタの設定の関係および各モードの概要

モード	スレーブ (SPI 動作)	シングルマスタ (SPI 動作)	マルチマスタ (SPI 動作)	スレーブ (クロック同期式動作)	マスタ (クロック同期式動作)
MSTR ビットの設定	0	1	1	0	1
MODFEN ビットの設定	0 or 1	0	1	0	0
SPMS ビットの設定	0	0	0	1	1
RSPCKy 信号	入力	出力	出力/Hi-Z	入力	出力
MOSly 信号	入力	出力	出力/Hi-Z	入力	出力
MISOy 信号	出力/Hi-Z	入力	入力	出力	入力
SSLy0 信号	入力	出力	入力	Hi-Z (注1)	Hi-Z (注1)
SSLy1 ~ SSLy3 信号	Hi-Z (注1)	出力	出力/Hi-Z	Hi-Z (注1)	Hi-Z (注1)
SSL 極性変更機能	あり	あり	あり	—	—
転送レート	~SERICKL/8	~SERICKL/4	~SERICKL/4	~SERICKL/8	~SERICKL/4
クロックソース	RSPCK 入力	内蔵ポーレート ジェネレータ	内蔵ポーレート ジェネレータ	RSPCK 入力	内蔵ポーレート ジェネレータ
クロック極性	2種				
クロック位相	2種	2種	2種	1種 (CPHA = 1)	2種
先頭転送ビット	MSB/LSB				
転送データ長	8 ~ 16、20、24、32 ビット				
バースト転送	可能 (CPHA = 1)	可能 (CPHA = 0,1)	可能 (CPHA = 0,1)	—	—
RSPCK 遅延制御	なし	あり	あり	なし	あり
SSL ネゲート遅延制御	なし	あり	あり	なし	あり
次アクセス遅延制御	なし	あり	あり	なし	あり
転送起動方法	SSL 入力 アクティブ または RSPCK 発振	送信バッファ エンプティ 割り込み要求で 送信バッファ書き込み	送信バッファ エンプティ 割り込み要求で 送信バッファ書き込み	RSPCK 発振	送信バッファ エンプティ 割り込み要求で 送信バッファ書き込み
シーケンス制御	なし	あり	あり	なし	あり
送信バッファエンプティ 検出	あり				
受信バッファフル検出	あり (注2)				
オーバランエラー検出	あり (注2)	あり (注2) (注4)	あり (注2) (注4)	あり (注2)	あり (注2)
パリティエラー検出	あり (注2) (注3)				
モードフォルトエラー 検出	あり (MODFEN = 1)	なし	あり	なし	なし

注1. 本モードでは使用しません。

注2. SPCR.TXMD ビットが“1”のときは、受信バッファフル検出、オーバランエラー検出、パリティエラー検出を行いません。

注3. SPCR2.SPPE ビットが“0”のときは、パリティエラー検出を行いません。

注4. SPCR2.SCKASE ビットが“1”のときは、オーバランエラー検出を行いません。

y = 0, 1 (各チャネルに対応)

28.3.2 RSPI 端子の制御

RSPI は、SPCR.MSTR, MODFEN, SPMS、SPPCR.SPOM ビットの設定により、端子の状態を切り替えま
す。SPPCR.SPOM ビットの設定値を“0”にすると CMOS 出力に、“1”にするとオープンドレイン出力とな
ります。端子状態と各ビットの設定値の関係を表 28.6 に示します。I/O ポートの設定も同じとなるよう設定し
てください。

表 28.6 RSPI端子の状態と制御ビット設定値の関係

モード	端子	端子状態 (注2)	
		SPOM = 0	SPOM = 1
シングルマスタ (SPI動作) (MSTR = 1, MODFEN = 0, SPMS = 0)	RSPCKy	CMOS出力	オープンドレイン出力
	SSLy0~3	CMOS出力	オープンドレイン出力
	MOSly	CMOS出力	オープンドレイン出力
	MISOy	入力	入力
マルチマスタ (SPI動作) (MSTR = 1, MODFEN = 1, SPMS = 0)	RSPCKy (注3)	CMOS出力/Hi-Z	オープンドレイン出力/ Hi-Z
	SSLy0	入力	入力
	SSLy1~3 (注3)	CMOS出力/Hi-Z	オープンドレイン出力/ Hi-Z
	MOSly (注3)	CMOS出力/Hi-Z	オープンドレイン出力/ Hi-Z
スレーブ (SPI動作) (MSTR = 0, SPMS = 0)	RSPCKy	入力	入力
	SSLy0	入力	入力
	SSLy1~3 (注5)	Hi-Z (注1)	Hi-Z (注1)
	MISOy (注4)	CMOS出力/Hi-Z	オープンドレイン出力/ Hi-Z
マスタ (クロック同期式動作) (MSTR = 1, MODFEN = 0, SPMS = 1)	RSPCKy	CMOS出力	オープンドレイン出力
	SSLy0~3 (注5)	Hi-Z (注1)	Hi-Z (注1)
	MOSly	CMOS出力	オープンドレイン出力
	MISOy	入力	入力
スレーブ (クロック同期式動作) (MSTR = 0, SPMS = 1)	RSPCKy	入力	入力
	SSLy0~3 (注5)	Hi-Z (注1)	Hi-Z (注1)
	MOSly	入力	入力
	MISOy	CMOS出力	オープンドレイン出力

注1. 本モードでは使用しません。

注2. RSPI機能が選択されていないマルチファンクションピンには、RSPIの設定値は反映されません。

注3. SSLy0がアクティブレベルの場合、端子状態がHi-Zになります。

注4. SSLy0が非アクティブレベルまたはSPCR.SPEビットが“0”の場合、端子状態がHi-Zになります。

注5. I/Oポートとして使用できます。

y = 0, 1 (各チャネルに対応)

シングルマスタモード (SPI 動作)、マルチマスタモード (SPI 動作) の RSPI は、SPPCR.MOIFE, MOIFV ビットの設定にしたがって、SSL ネゲート期間 (バースト転送における SSL 保持期間を含む) の MOSI 信号値を表 28.7 のように決定します。

表 28.7 SSL ネゲート期間の MOSI 信号値の決定方法

MOIFE ビット	MOIFV ビット	SSL ネゲート期間の MOSI 信号値
0	0、1	前回転送の最終データ
1	0	常に Low
1	1	常に High

注. SSL ネゲート期間の MOSI 信号値を制御するためには RSPI 機能が有効 (SPPCR.SPE ビット = 1) である必要があります。

28.3.3 RSPI システム構成例

28.3.3.1 シングルマスタ/シングルスレーブ (本 LSI = マスタ)

図 28.5 に、本 LSI をマスタとして使用した場合のシングルマスタ/シングルスレーブの RSPI システムの構成例を示します。シングルマスタ/シングルスレーブの構成では、本 LSI (マスタ) の SSLy0 ~ SSLy3 出力は使用しません。SPI スレーブの SSL 入力は Low に固定して、SPI スレーブを常に選択できる状態にします。(注 1)

本 LSI (マスタ) は、RSPCKy と MOSIy を常にドライブします。SPI スレーブは、MISO を常にドライブします。

(y = 0, 1 (各チャンネルに対応))

- 注 1. SPCMDm.CPHA ビットが“0”の場合に相当する転送フォーマットでは、SSL 信号をアクティブレベルに固定することができないスレーブデバイスも存在します。SSL 信号を固定にできない場合には、本 LSI の SSLyi 出力をスレーブデバイスの SSL 入力に接続してください。

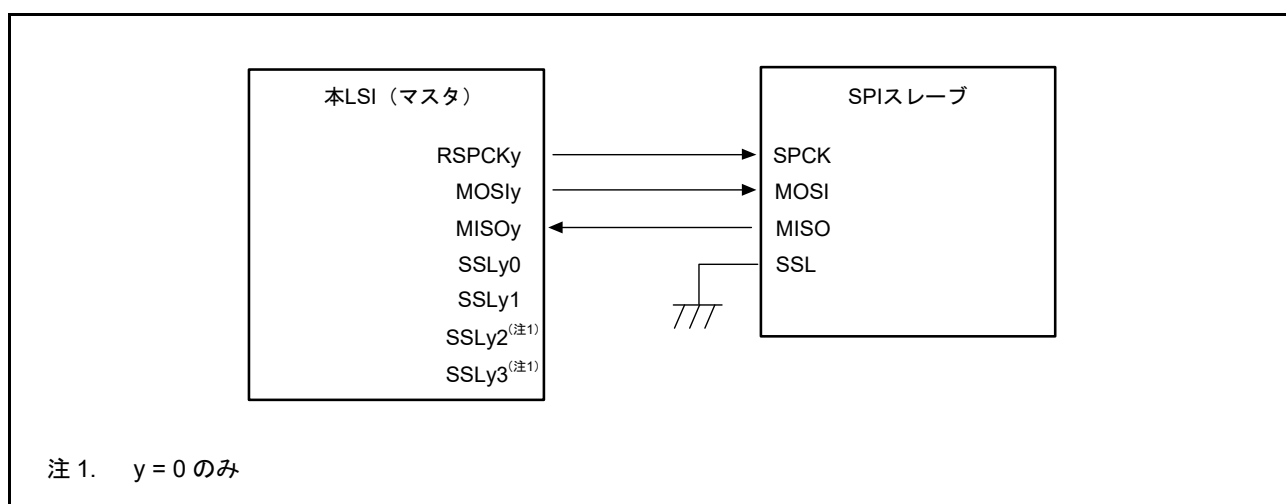


図 28.5 シングルマスタ/シングルスレーブの構成例 (本 LSI = マスタ)

28.3.3.2 シングルマスタ/シングルスレーブ (本 LSI = スレーブ)

図 28.6 に、本 LSI をスレーブとして使用した場合のシングルマスタ/シングルスレーブの RSPI システム構成例を示します。本 LSI をスレーブとして使用する場合には、SSLy0 端子を SSL 入力として使用します。SPI マスタは、SPCK と MOSI を常にドライブします。本 LSI (スレーブ) は、MISOy を常にドライブします。(注 1)

SPCMDm.CPHA ビットを“1”にしたシングルスレーブ構成の場合には、本 LSI (スレーブ) の SSLy0 入力を Low に固定して本 LSI (スレーブ) を常に選択できる状態とし、シリアル転送を実行することも可能です(図 28.7)。

(y = 0, 1 (各チャネルに対応))

注 1. SSLy0 が非アクティブレベルの場合、端子状態が Hi-Z になります。

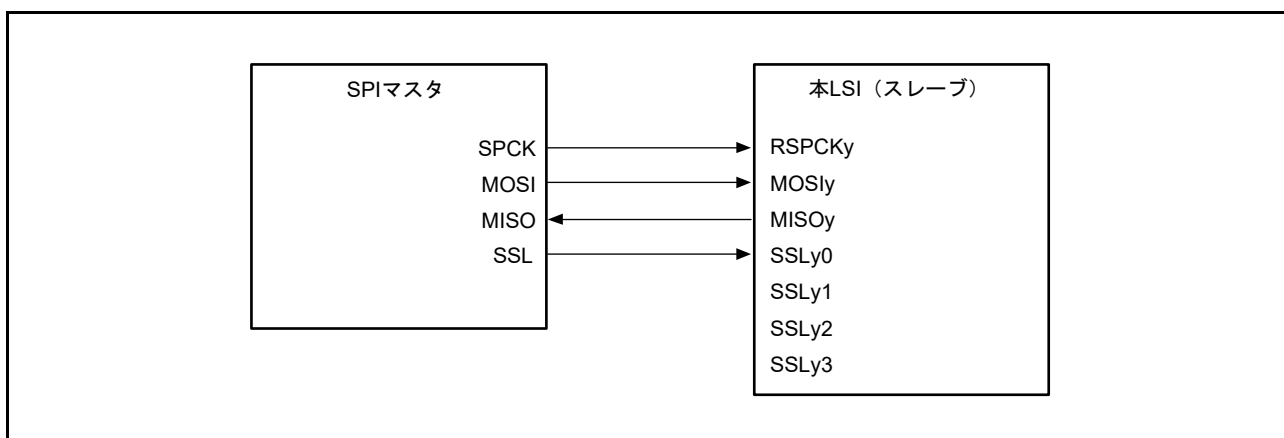


図 28.6 シングルマスタ/シングルスレーブの構成例 (本 LSI = スレーブ、CPHA = 0)

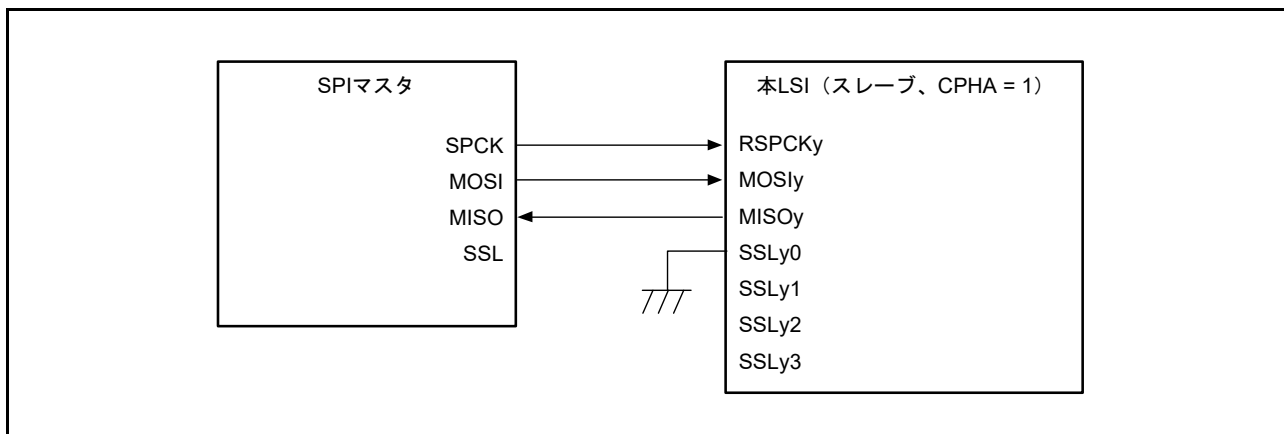


図 28.7 シングルマスタ/シングルスレーブの構成例 (本 LSI = スレーブ、CPHA = 1)

28.3.3.3 シングルマスタ/マルチスレーブ (本 LSI = マスタ)

図 28.8 に、本 LSI をマスタとして使用した場合のシングルマスタ/マルチスレーブの RSPI システム構成例を示します。図 28.8 の例では、本 LSI (マスタ) と 4 つのスレーブ (SPI スレーブ 0 ~ SPI スレーブ 3) から RSPI システムを構成しています。

本 LSI (マスタ) の RSPCK_y 出力と MOSI_y 出力は、SPI スレーブ 0 ~ SPI スレーブ 3 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 0 ~ SPI スレーブ 3 の MISO 出力は、すべて本 LSI (マスタ) の MISO_y 入力に接続します。本 LSI (マスタ) の SSL_y0 ~ SSL_y3 出力は、それぞれ SPI スレーブ 0 ~ SPI スレーブ 3 の SSL 入力に接続します。

本 LSI (マスタ) は、RSPCK、MOSI、SSL_y0 ~ SSL_y3 を常にドライブします。SPI スレーブ 0 ~ SPI スレーブ 3 のうち、SSL 入力が Low を入力されているスレーブが、MISO をドライブします。

(y = 0, 1 (各チャンネルに対応))

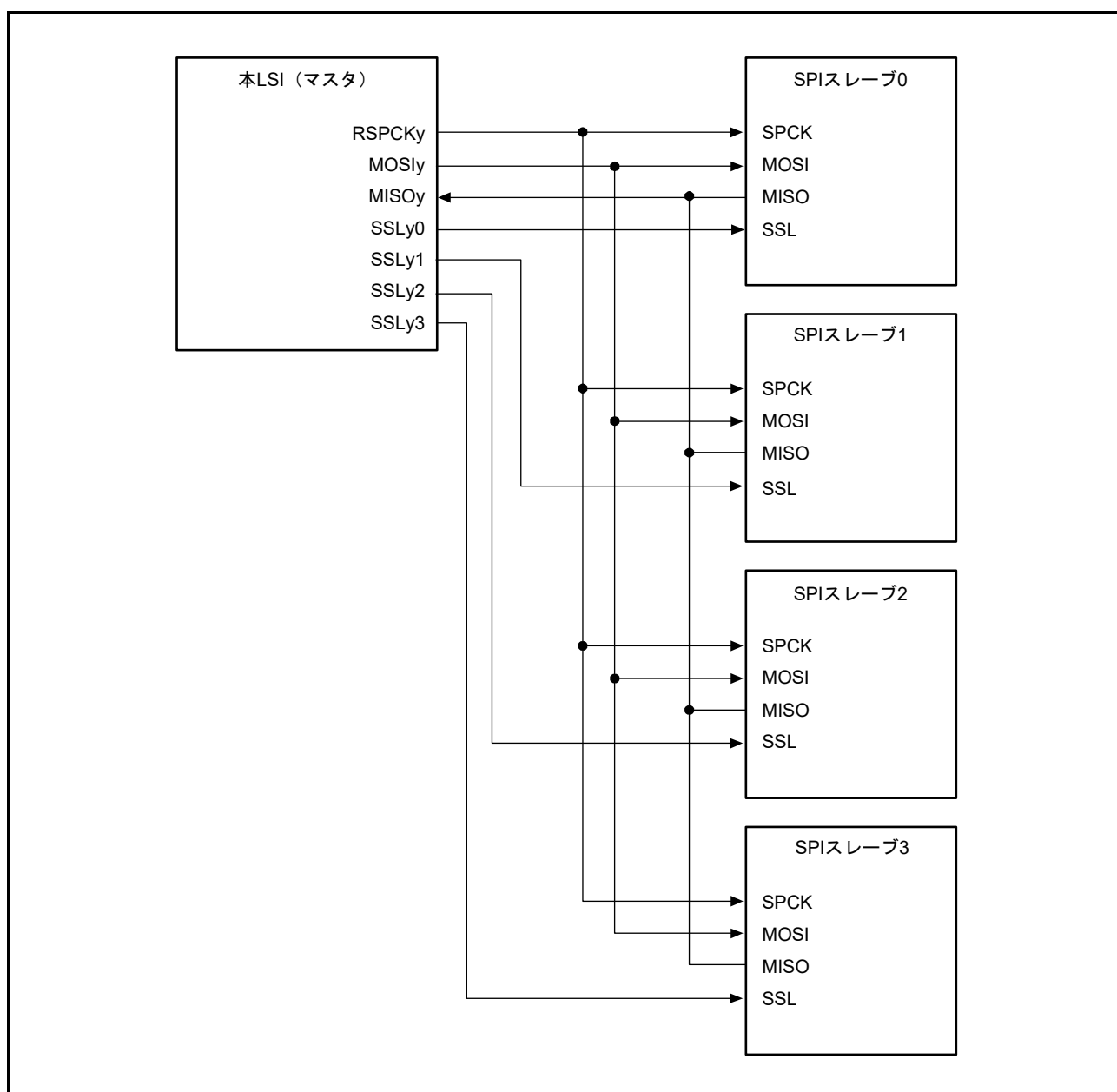


図 28.8 シングルマスタ/マルチスレーブの構成例 (本 LSI = マスタ)

28.3.3.4 シングルマスタ/マルチスレーブ (本 LSI = スレーブ)

図 28.9 に、本 LSI をスレーブとして使用した場合のシングルマスタ/マルチスレーブの RSPI システム構成例を示します。図 28.9 の例では、SPI マスタと 2 つの本 LSI (スレーブ X、スレーブ Y) から RSPI システムを構成しています。

SPI マスタの SPCK 出力と MOSI 出力は、本 LSI (スレーブ X、スレーブ Y) の RSPCK_y 入力と MOSI_y 入力に接続します。本 LSI (スレーブ X、スレーブ Y) の MISO_y 出力は、SPI マスタの MISO 入力に接続します。SPI マスタの SSLX 出力、SSLY 出力は、本 LSI (スレーブ X、スレーブ Y) の SSL_{y0} 入力に接続します。

SPI マスタは、SPCK、MOSI、SSLX、SSLY を常にドライブします。本 LSI (スレーブ X、スレーブ Y) のうち、SSL_{y0} 入力に Low を入力されているスレーブが、MISO_y をドライブします。

(y = 0, 1 (各チャンネルに対応))

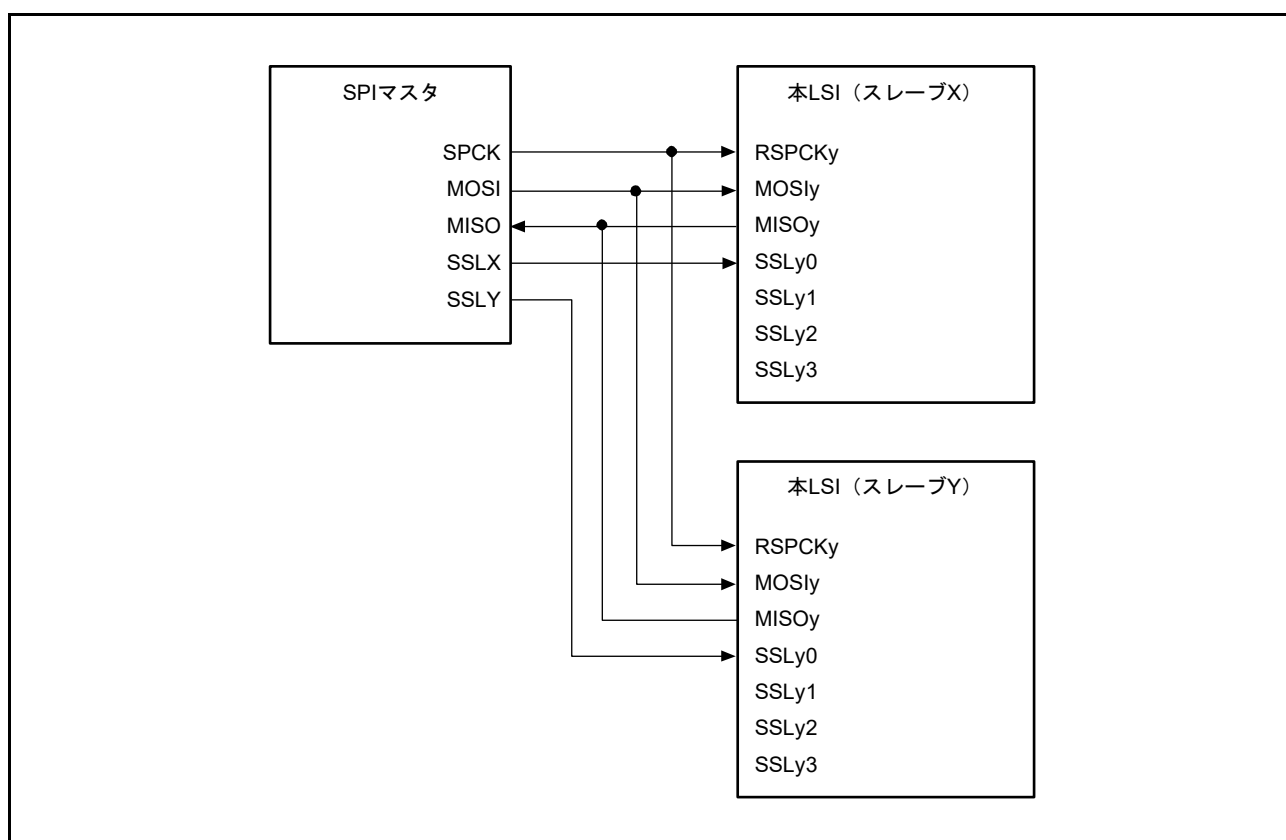


図 28.9 シングルマスタ/マルチスレーブの構成例 (本 LSI = スレーブ)

28.3.3.5 マルチマスタ/マルチスレーブ (本 LSI = マスタ)

図 28.10 に、本 LSI をマスタとして使用した場合のマルチマスタ/マルチスレーブの RSPI システム構成例を示します。図 28.10 の例では、2つの本 LSI (マスタ X、マスタ Y) と2つの SPI スレーブ (SPI スレーブ 1、SPI スレーブ 2) から RSPI システムを構成しています。

本 LSI (マスタ X、マスタ Y) の RSPCK_y 出力と MOSI_y 出力は、SPI スレーブ 1、SPI スレーブ 2 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 1、SPI スレーブ 2 の MISO 出力は、本 LSI (マスタ X、マスタ Y) の MISO_y 入力に接続します。本 LSI (マスタ X) の任意の汎用ポート Y 出力は、本 LSI (マスタ Y) の SSL_{y0} 入力に接続します。本 LSI (マスタ Y) の任意の汎用ポート X 出力は、本 LSI (マスタ X) の SSL_{y0} 入力に接続します。本 LSI (マスタ X、マスタ Y) の SSL_{y1} 出力と SSL_{y2} 出力は、SPI スレーブ 1、SPI スレーブ 2 の SSL 入力に接続します。この構成例では、SSL_{y0} 入力、スレーブ接続用の SSL_{y1} 出力、SSL_{y2} 出力のみでシステムを構成できるので、本 LSI の SSL_{y3} 出力を使用していません。

本 LSI は、SSL_{y0} 入力レベルが High の場合には、RSPCK_y、MOSI_y、SSL_{y1}、SSL_{y2} をドライブします。SSL_{y0} 入力レベルが Low の場合には、モードフォルトエラーを検出し、RSPCK_y、MOSI_y、SSL_{y1}、SSL_{y2} を Hi-Z にして、他方のマスタに RSPI バス権を解放します。SPI スレーブ 1、SPI スレーブ 2 のうち、SSL 入力に Low を入力されているスレーブが、MISO をドライブします。

(y = 0, 1 (各チャンネルに対応))

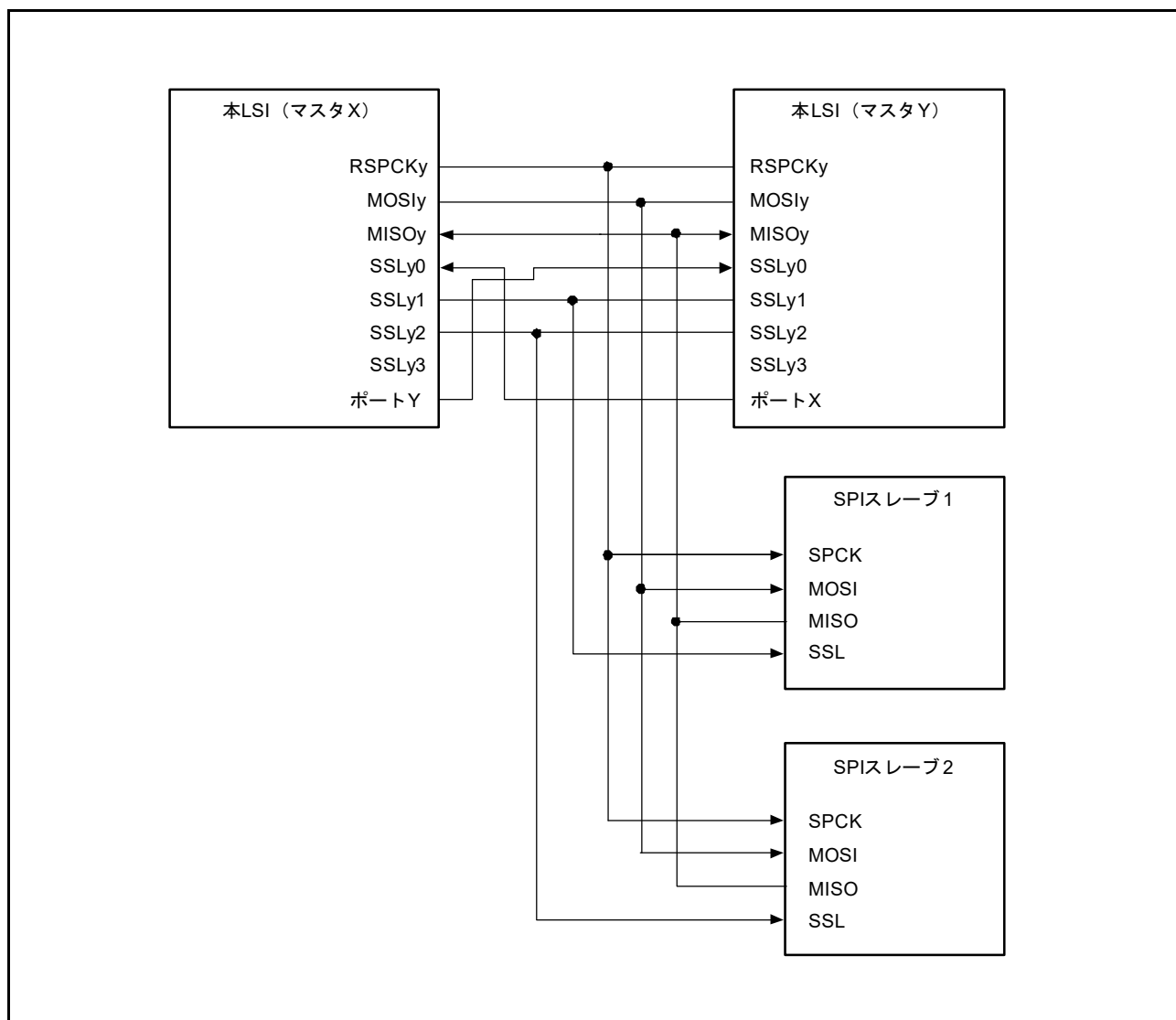


図 28.10 マルチマスタ/マルチスレーブの構成例 (本 LSI = マスタ)

28.3.3.6 マスタ（クロック同期式動作）／スレーブ（クロック同期式動作） （本 LSI = マスタ）

図 28.11 に、本 LSI をマスタとして使用した場合のマスタ（クロック同期式動作）／スレーブ（クロック同期式動作）の RSPI システムの構成例を示します。マスタ（クロック同期式動作）／スレーブ（クロック同期式動作）の構成では、本 LSI（マスタ）の SSLy0 ~ SSLy3 は使用しません。

本 LSI（マスタ）は、RSPCKy と MOSIy を常にドライブします。SPI スレーブは、MISO を常にドライブします。

(y = 0, 1 (各チャンネルに対応))

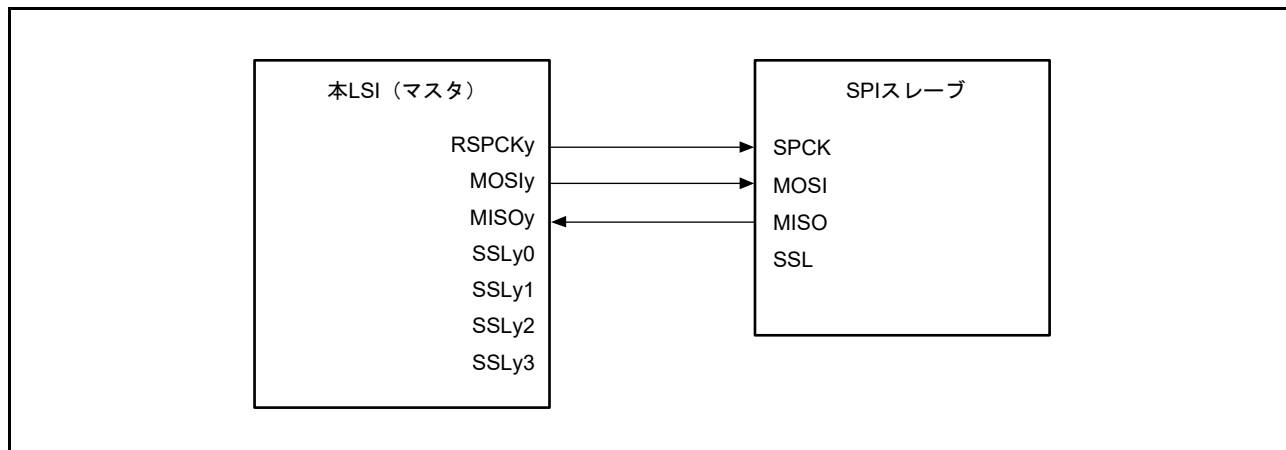


図 28.11 マスタ（クロック同期式動作）／スレーブ（クロック同期式動作）の構成例（本 LSI = マスタ）

28.3.3.7 マスタ（クロック同期式動作）／スレーブ（クロック同期式動作） （本 LSI = スレーブ）

図 28.12 に、本 LSI をスレーブとして使用した場合のマスタ（クロック同期式動作）／スレーブ（クロック同期式動作）の RSPI システム構成例を示します。本 LSI をスレーブ（クロック同期式動作）として使用する場合には、本 LSI（スレーブ）は、MISO_y を常にドライブし、SPI マスタは、SPCK と MOSI を常にドライブします。また、本 LSI（スレーブ）の SSL_{y0} ~ SSL_{y3} は使用しません。

SPCMDm.CPHA ビットを“1”にしたシングルスレーブ構成の場合のみ、本 LSI（スレーブ）はシリアル転送を実行することが可能です。

(y = 0, 1 (各チャンネルに対応))

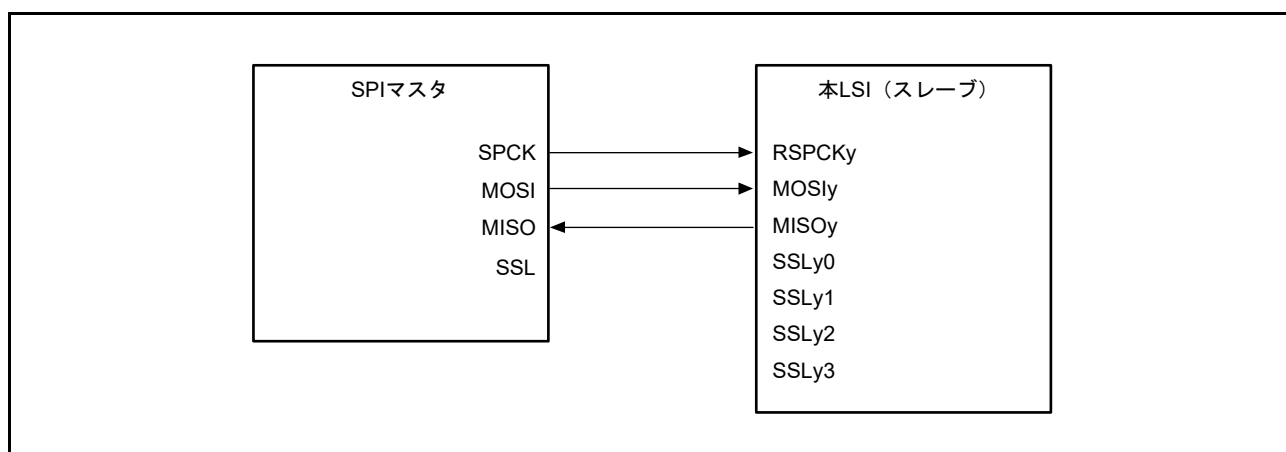


図 28.12 マスタ（クロック同期式動作）／スレーブ（クロック同期式動作）の構成例
（本 LSI = スレーブ、CPHA = 1）

28.3.4 データフォーマット

RSPI のデータフォーマットは、RSPI コマンドレジスタ m (SPCMD m) ($m=0\sim 7$)、RSPI 制御レジスタ 2 のパリティ許可ビット (SPCR2.SPPE) の設定値に依存します。MSB/LSB ファーストにかかわらず、RSPI は RSPI データレジスタ (SPDR) の LSB から設定データ長分の範囲を転送データとして扱います。

送受信時の 1 フレームのデータフォーマットを下記に示します。

(a) パリティ機能無効時

パリティ機能無効時は、RSPI コマンドレジスタ m の RSPI データ長設定ビット (SPCMD m .SPB[3:0]) で設定したビット長のデータの送受信を行います。

(b) パリティ機能有効時

パリティ機能有効時は、RSPI コマンドレジスタ m の RSPI データ長設定ビット (SPCMD m .SPB[3:0]) で設定したビット長のデータの送受信を行います。ただし、最終ビットは、パリティビットとなります。

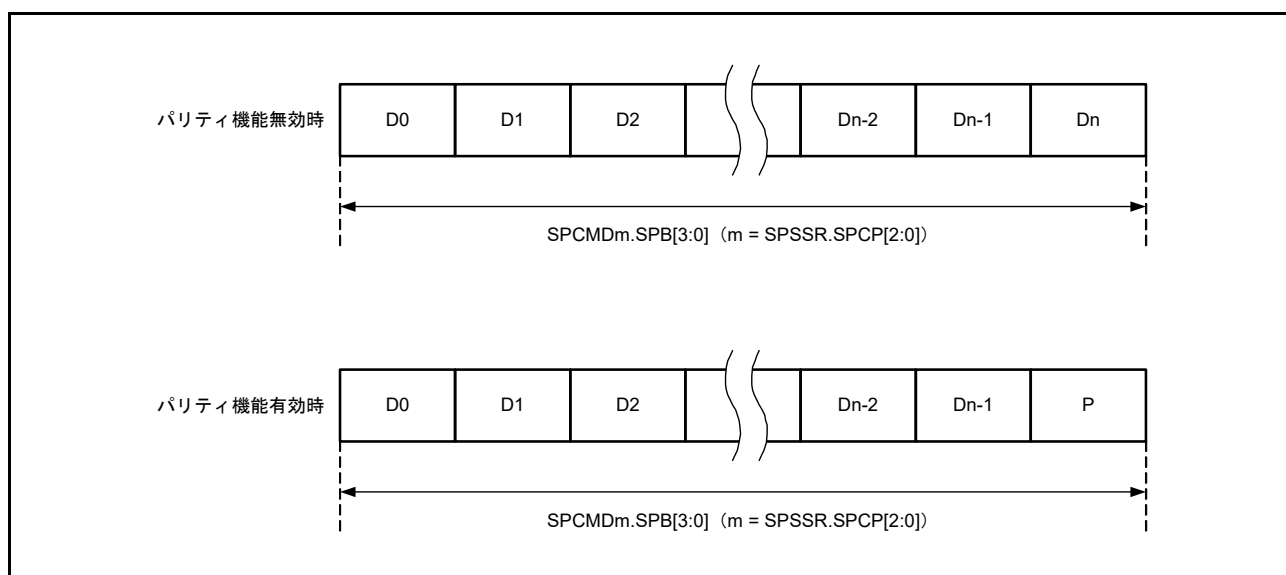


図 28.13 データフォーマット概要 (パリティ機能無効時/有効時)

28.3.4.1 パリティ機能無効時 (SPCR2.SPPE = 0)

パリティ機能無効時は、送信バッファのデータを加工せず、シフトレジスタにコピーします。以下に RSPI データレジスタ (SPDR) とシフトレジスタの関係を MSB/LSB ファーストとビット長の組み合わせで説明します。

(1) MSB ファースト転送 (32 ビットデータ)

図 28.14 に、パリティ機能無効時、RSPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

送信時は、送信バッファの T31 ~ T00 をシフトレジスタにコピーします。送信データは、T31 → T30 → … → T00 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R31 ~ R00 までデータがたまと、シフトレジスタの値を受信バッファにコピーします。

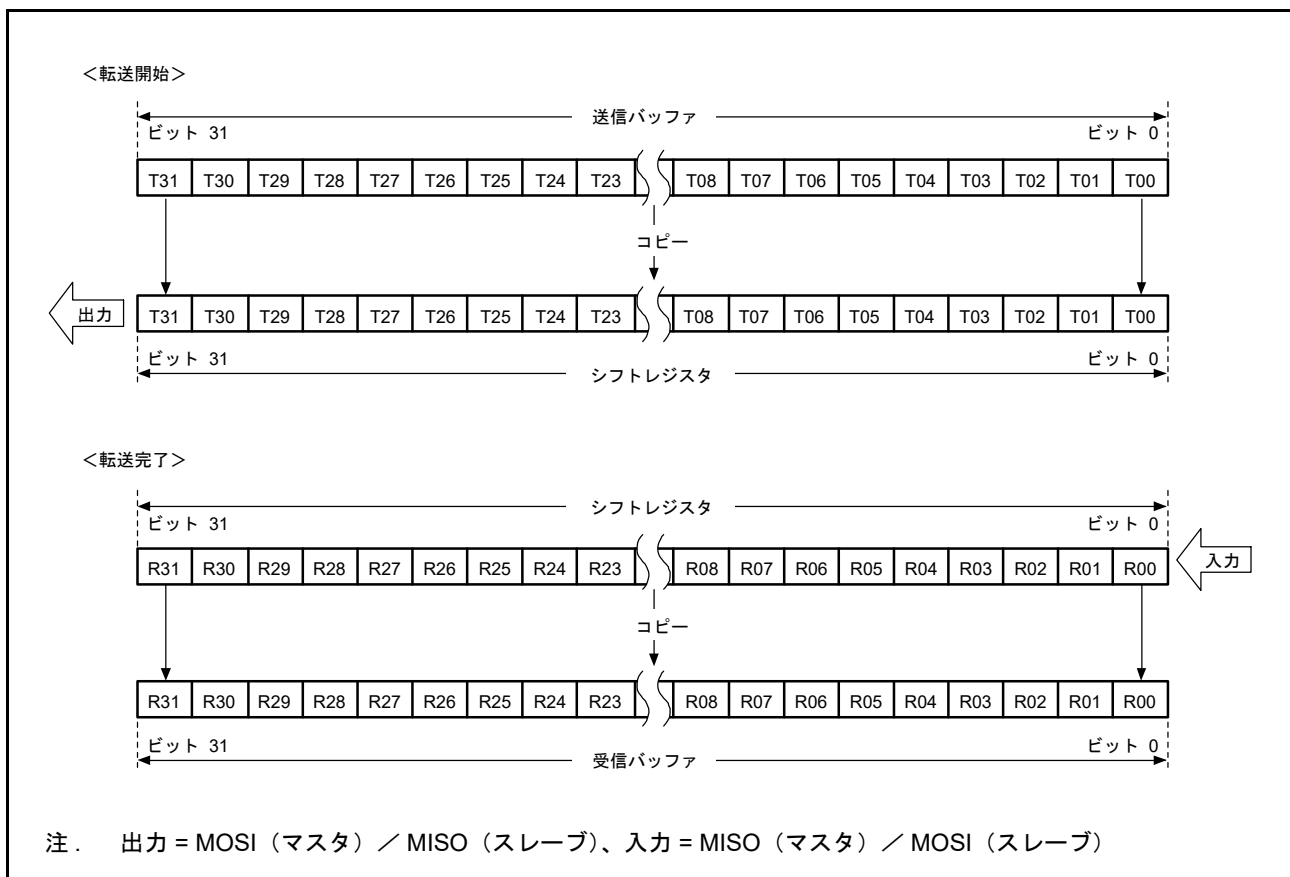


図 28.14 MSB ファースト転送 (32 ビットデータ / パリティ機能無効)

(2) MSB ファースト転送 (24 ビットデータ)

図 28.15 に、RSPI がパリティ機能無効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの下位 24 ビット (T23 ~ T00) をシフトレジスタにコピーします。送信データは、T23 → T22 → … → T00 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R23 ~ R00 までデータがたまと、シフトレジスタの値を受信バッファにコピーします。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。

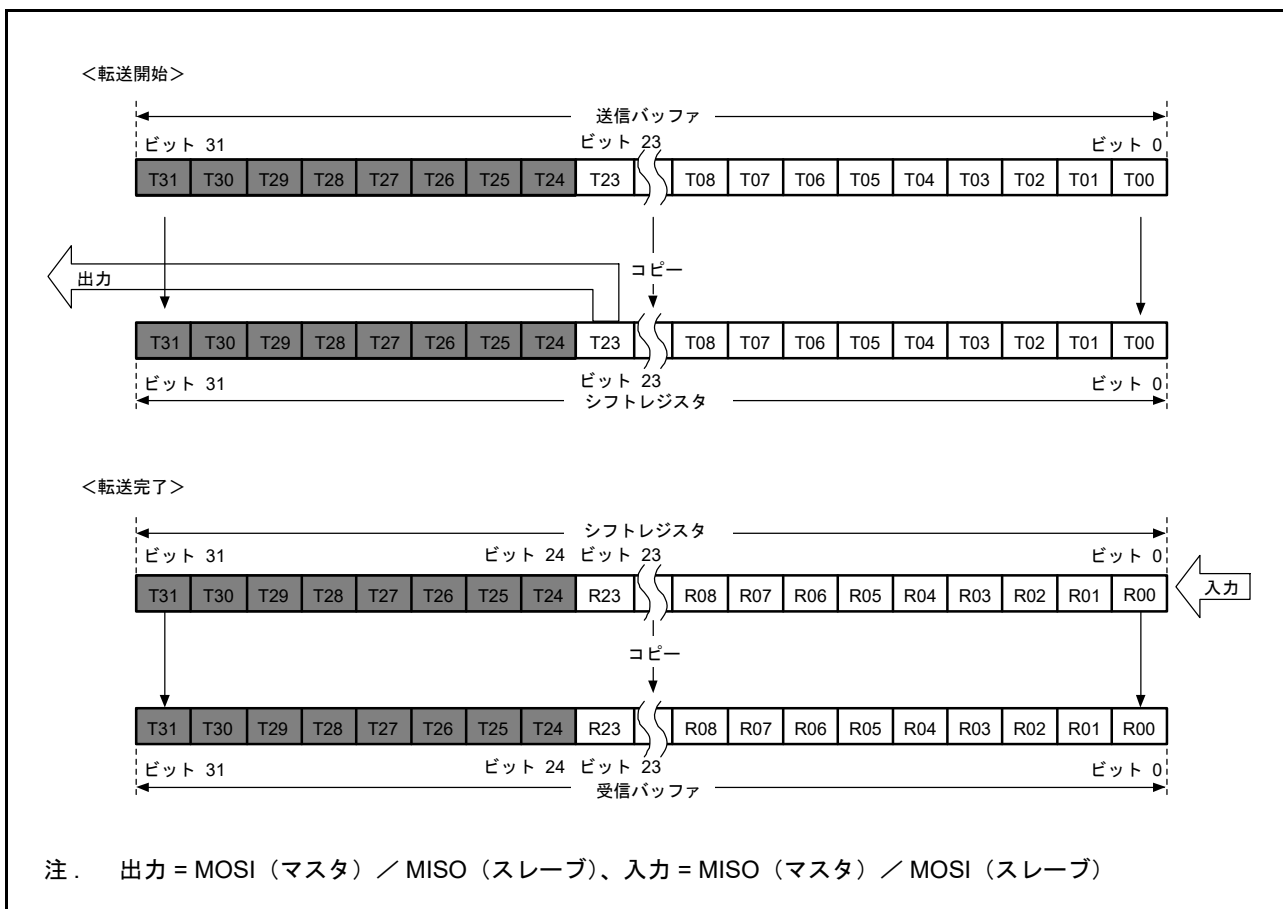


図 28.15 MSB ファースト転送 (24 ビットデータ / パリティ機能無効)

(3) LSB ファースト転送 (32 ビットデータ)

図 28.16 に、RSPI がパリティ機能無効時、データ長 32 ビットの LSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファのデータ (T31 ~ T00) をビット単位で入れ替え、シフトレジスタに T00 ~ T31 の順番に並び替えコピーします。送信データは、T00 → T01 → … → T31 の順番にシフトレジスタの値をシフトし送信します。

受信時は、最初のデータをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ R31 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

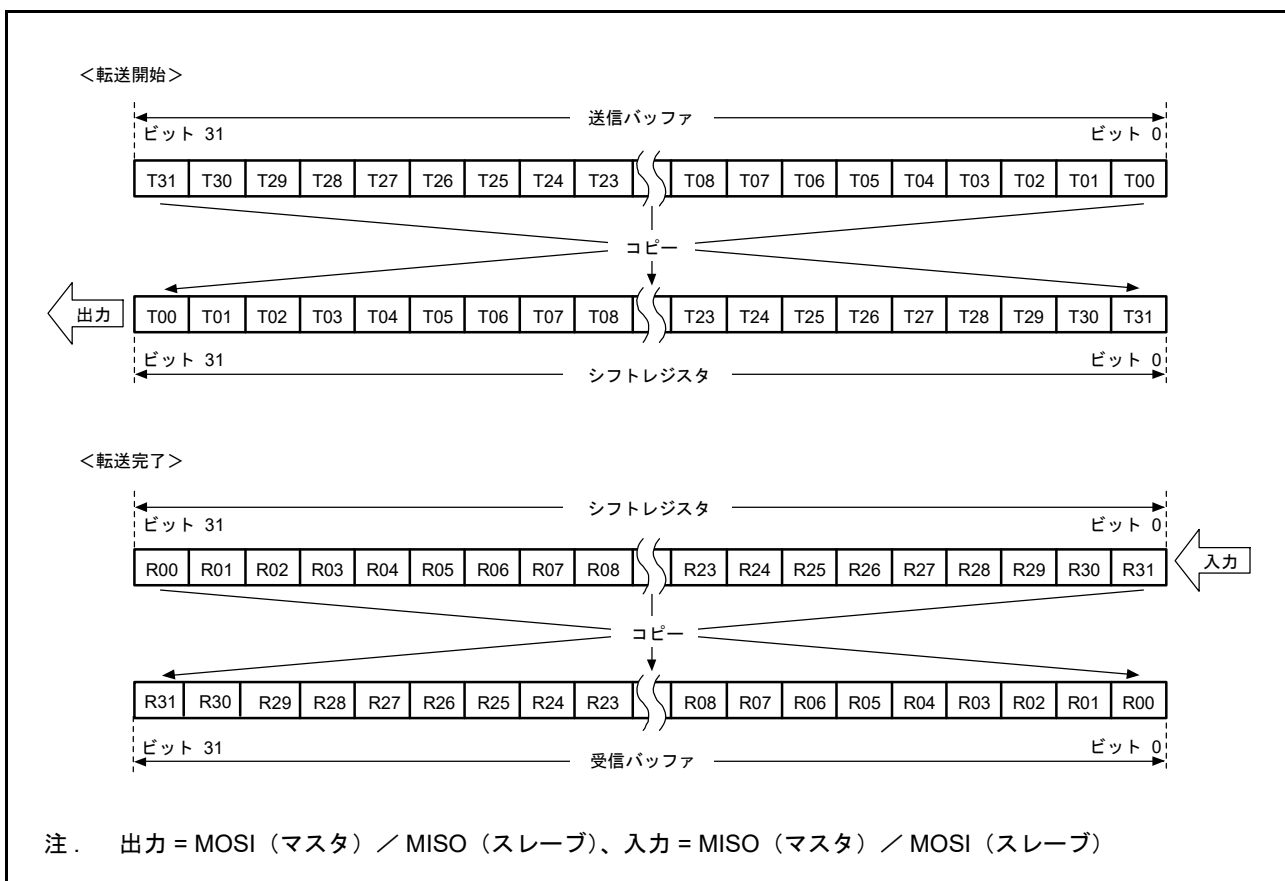


図 28.16 LSB ファースト転送 (32 ビットデータ / パリティ機能無効)

(4) LSB ファースト転送 (24 ビットデータ)

図 28.17 に、RSPI がパリティ機能無効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの下位 24 ビット (T23 ~ T00) をビット単位で T00 ~ T23 と入れ替えシフトレジスタにコピーします。送信データは、T00 → T01 → … → T23 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 8 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ R23 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。

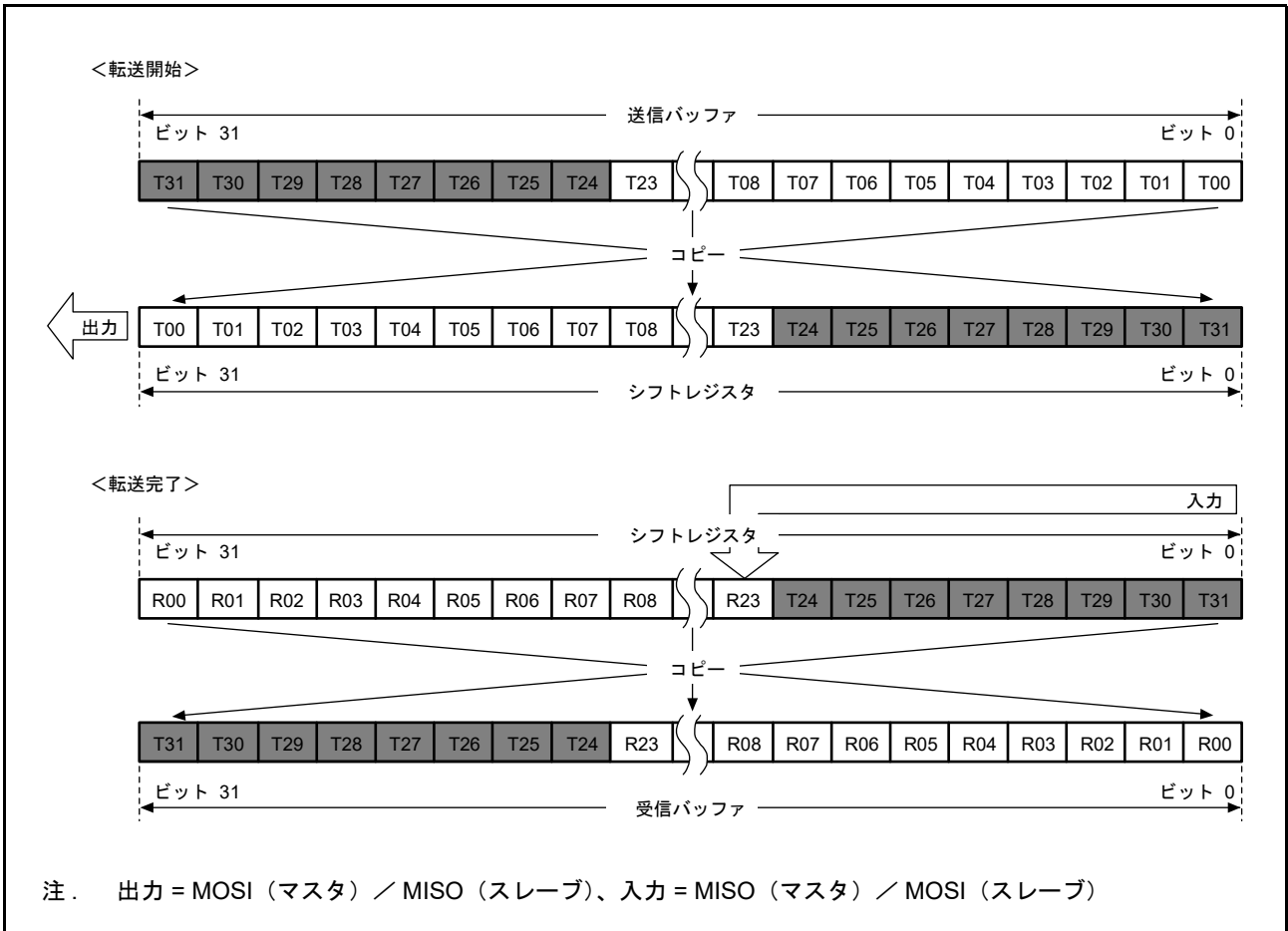


図 28.17 LSB ファースト (24 ビットデータ / パリティ機能無効)

28.3.4.2 パリティ機能有効時 (SPCR2.SPPE = 1)

パリティ機能有効時は、送受信データの最下位ビットをパリティビットに変換します。パリティビットの値は、ハードウェアで計算を行い変換します。

(1) MSB ファースト転送 (32 ビットデータ)

図 28.18 に、パリティ機能有効時、RSPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T31 ~ T01 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T00 と置き換え、シフトレジスタにコピーします。送信データは、T31 → T30 → … → T01 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R31 ~ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R31 ~ P のデータをチェックし、パリティエラーの判定を行います。

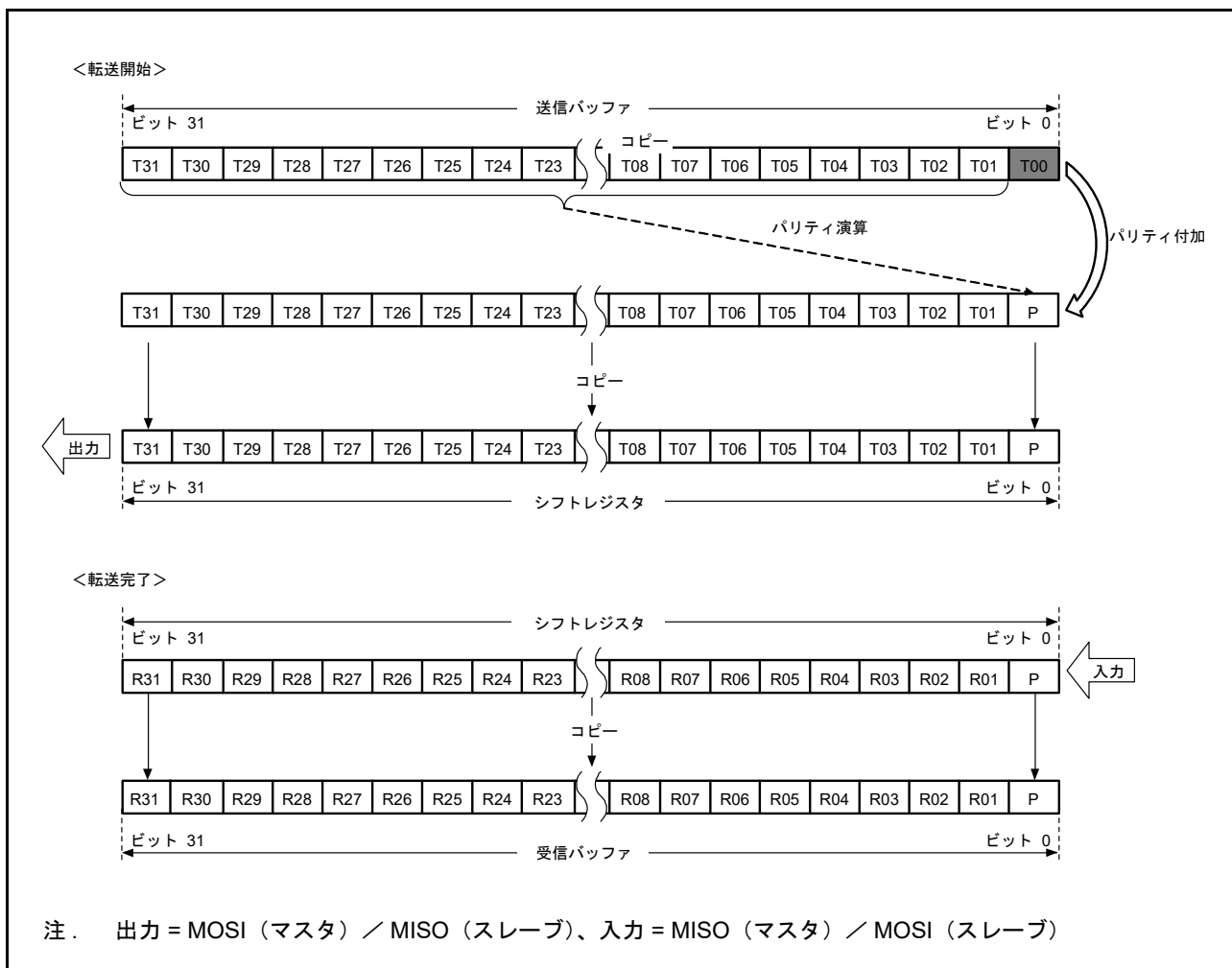


図 28.18 MSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(2) MSB ファースト転送 (24 ビットデータ)

図 28.19 に、RSPI がパリティ機能有効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T23 ~ T01 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T00 と置き換え、シフトレジスタにコピーします。送信データは、T23 → T22 → … → T01 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R23 ~ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R23 ~ P のデータをチェックし、パリティエラーの判定を行います。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に“0”を書き込んでおくことにより、受信バッファの上位 8 ビットに“0”を入れることができます。

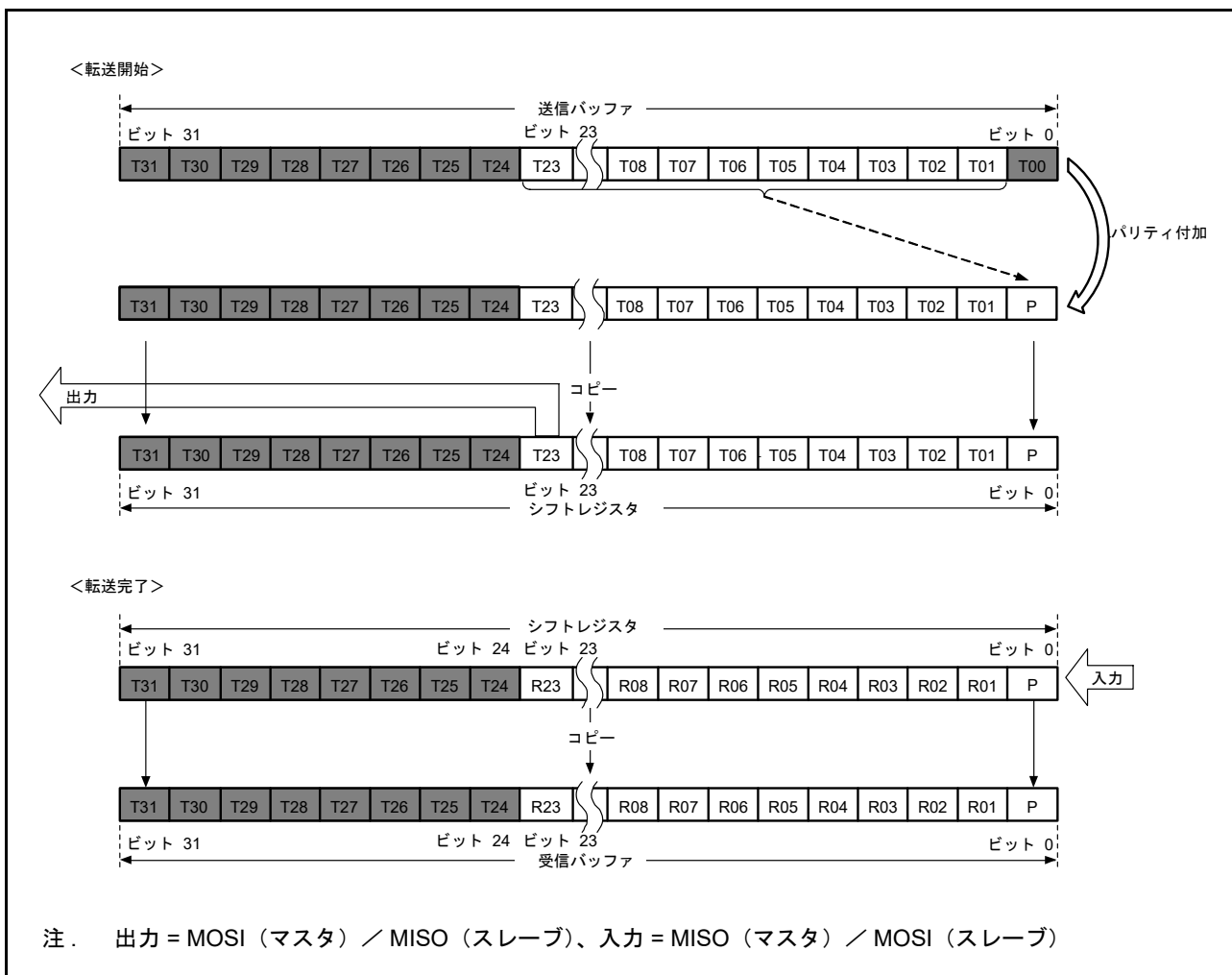


図 28.19 MSB ファースト転送 (24 ビットデータ / パリティ機能有効)

(3) LSB ファースト転送 (32 ビットデータ)

図 28.20 に、RSPI がパリティ機能有効時、データ長 32 ビットの LSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T30 ~ T00 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T31 と置き換え、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T30 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごと受信データをシフトします。必要分の RSPCK が入力され R00 ~ P まで受信データがたまり、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R00 ~ P のデータをチェックし、パリティエラーの判定を行います。

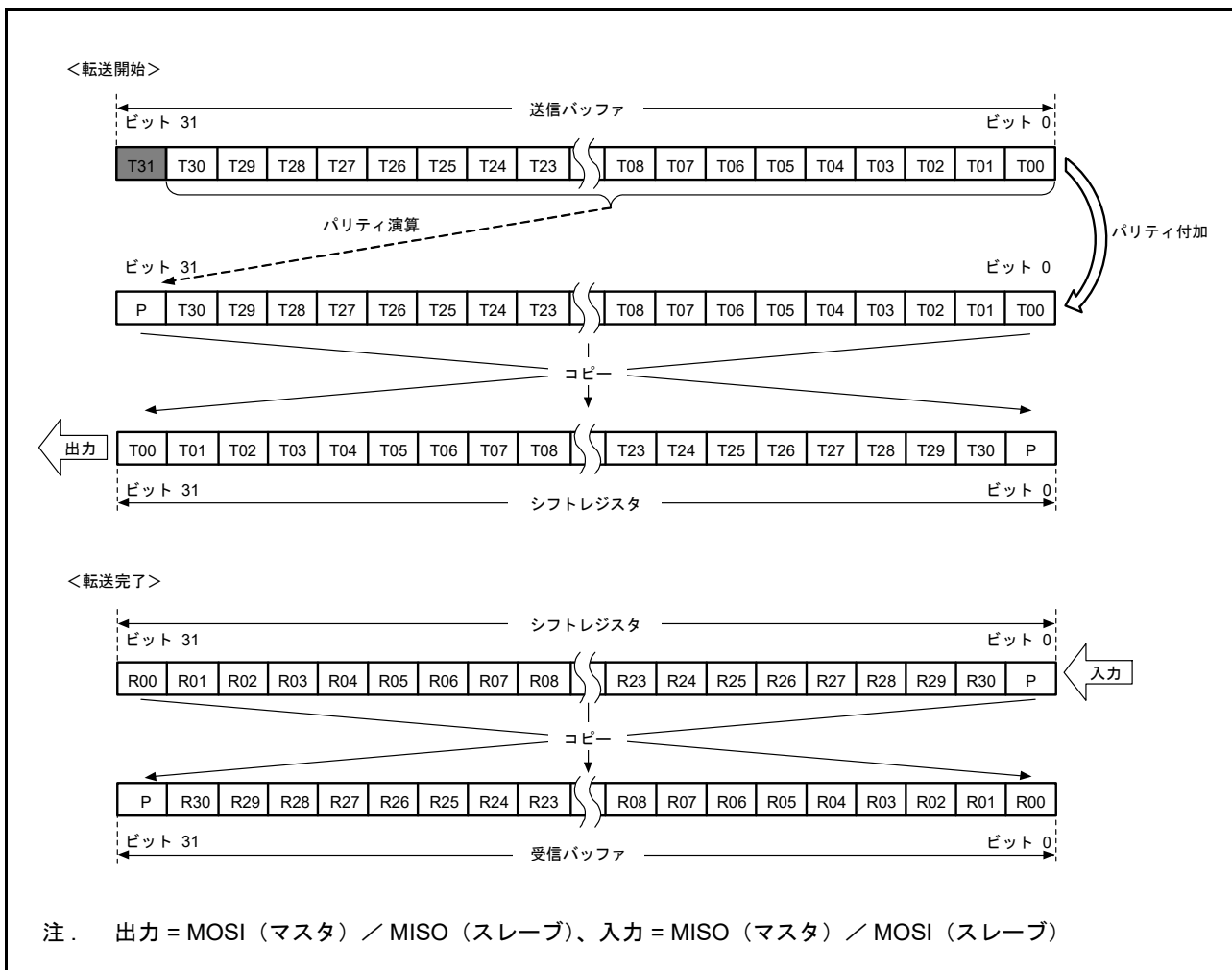


図 28.20 LSB ファースト転送 (32 ビットデータ/パリティ機能有効)

(4) LSB ファースト転送 (24 ビットデータ)

図 28.21 に、RSPI がパリティ機能有効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T22 ~ T00 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T23 と置き換え、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T22 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 8 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R00 ~ P のデータをチェックし、パリティエラーの判定を行います。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に“0”を書き込んでおくことにより、受信バッファの上位 8 ビットに“0”を入れることができます。

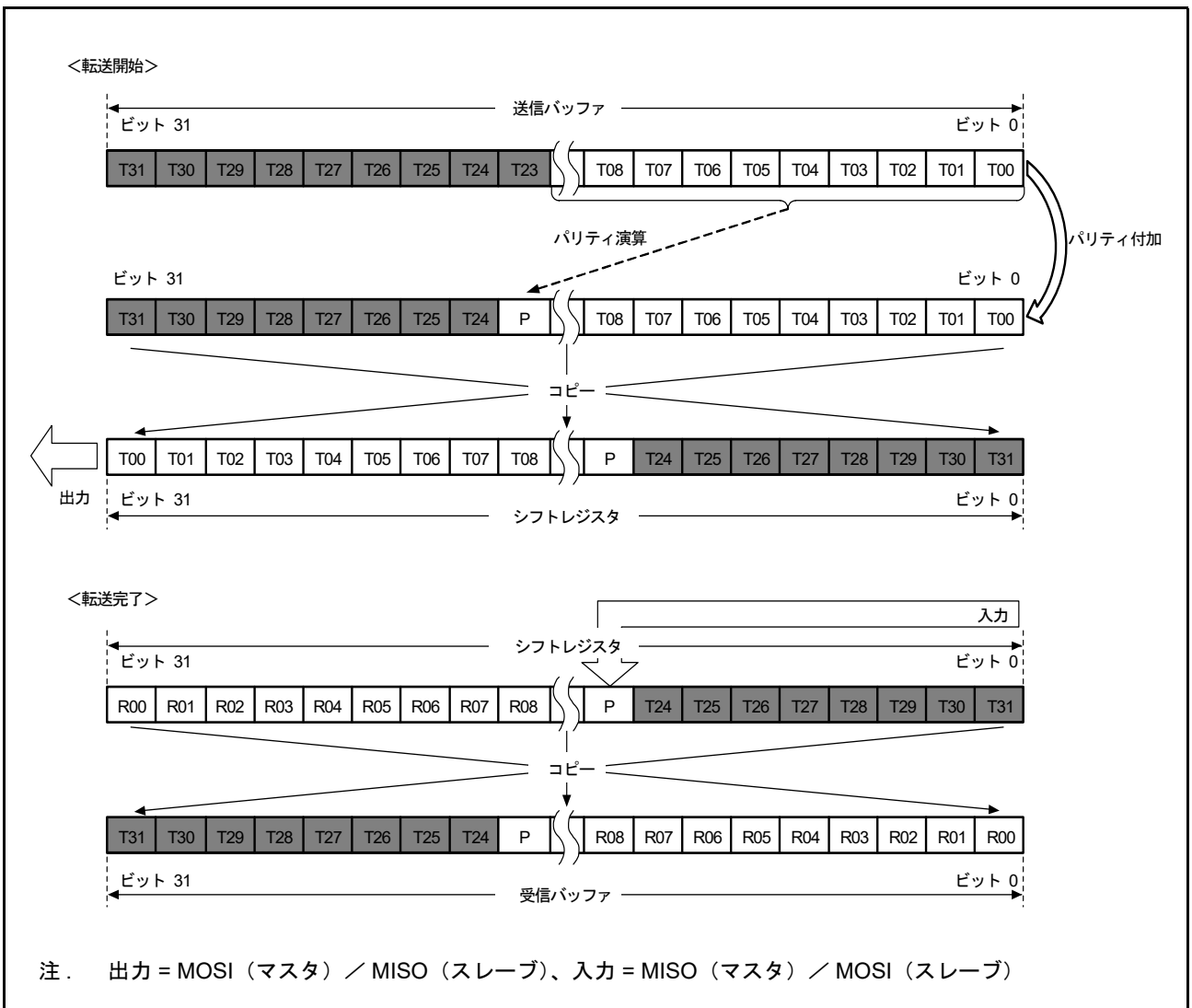


図 28.21 LSB ファースト (24 ビットデータ / パリティ機能有効)

28.3.5 転送フォーマット

28.3.5.1 CPHA ビット = 0 の場合

図 28.22 に SPCMDm.CPHA ビットが“0”の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、RSPI がスレーブモード (SPCR.MSTR=0) で CPHA ビットが“0”の場合はクロック同期式動作 (SPCR.SPMS ビットが“1”の場合) に設定することは禁止です。図 28.22 において、RSPCKy (CPOL=0) は SPCMDm.CPOL ビットが“0”の場合、RSPCKy (CPOL=1) は SPCMDm.CPOL ビットが“1”の場合の RSPCKy 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI の設定に依存します。詳細は「28.3.2 RSPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが“0”の場合には、SSLyi 信号のアサートタイミングで、MOSIy 信号と MISOy 信号への有効データのドライブが開始されます。SSLyi 信号のアサート後に発生する最初の RSPCKy 信号変化タイミングが最初の転送データ取り込みタイミングになり、このタイミング以降 1RSPCK 周期ごとにデータがサンプリングされます。MOSIy 信号と MISOy 信号の変化タイミングは、常に転送データ取り込みタイミングの 1/2RSPCK 周期後になります。CPOL ビットの設定値は、RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSLyi 信号のアサートから RSPCKy 発振までの期間 (RSPCK 遅延) です。t2 は、RSPCKy 発振停止から SSLyi 信号のネゲートまでの期間 (SSL ネゲート遅延) です。t3 は、シリアル転送終了後に次転送のための SSLyi 信号アサートを抑制するための期間 (次アクセス遅延) です。t1、t2、t3 は、RSPI システム上のマスタデバイスによって制御されます。本 LSI の RSPI がマスタモードである場合の t1、t2、t3 については、「28.3.10.1 マスタモード動作」を参照してください。

(i=0~3、m=0~7、y=0,1 (各チャンネルに対応))

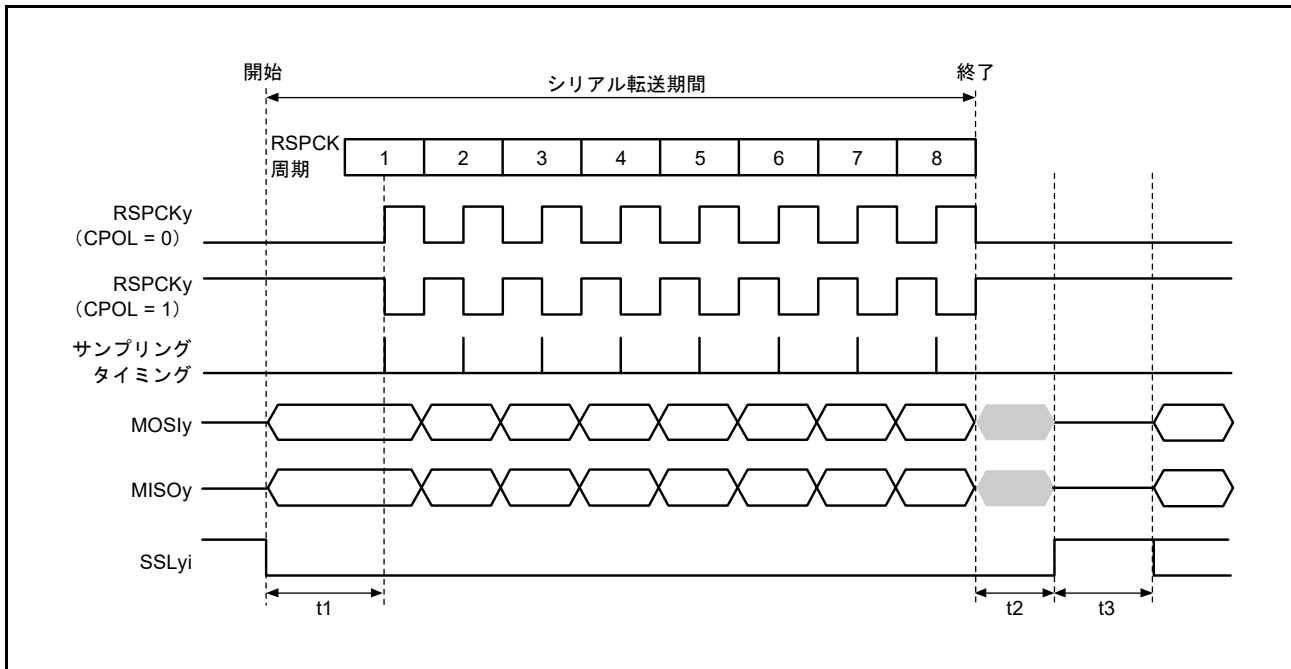


図 28.22 RSPI 転送フォーマット (CPHA ビット = 0)

28.3.5.2 CPHA ビット = 1 の場合

図 28.23 に SPCMDm.CPHA ビットが“1”の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、SPCR.SPMS ビットが“1”の場合は SSL_{yi} 信号を用いず、RSPCK_y 信号、MOSI_y 信号、MISO_y 信号のみで通信を行います。図 28.23 において、RSPCK (CPOL = 0) は SPCMDm.CPOL ビットが“0”の場合、RSPCK (CPOL = 1) は SPCMDm.CPOL ビットが“1”の場合の RSPCK_y 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI のモード (マスタ/スレーブ) に依存します。詳細は「28.3.2 RSPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが“1”の場合には、SSL_{yi} 信号のアサートタイミングで、MISO_y 信号に無効データのドライブが開始されます。SSL_{yi} 信号のアサート後に発生する最初の RSPCK_y 信号変化タイミングで、MOSI_y 信号と MISO_y 信号への有効データへの出力が開始され、このタイミング以降 1RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、常にこのタイミングの 1/2RSPCK 周期後になります。SPCMDm.CPOL ビットの設定値は RSPCK_y 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t₁、t₂、t₃ の内容は、CPHA ビット = 0 の場合と同様です。本 LSI の RSPI がマスタモードである場合の t₁、t₂、t₃ については、「28.3.10.1 マスタモード動作」を参照してください。

(i = 0 ~ 3、m = 0 ~ 7、y = 0, 1 (各チャンネルに対応))

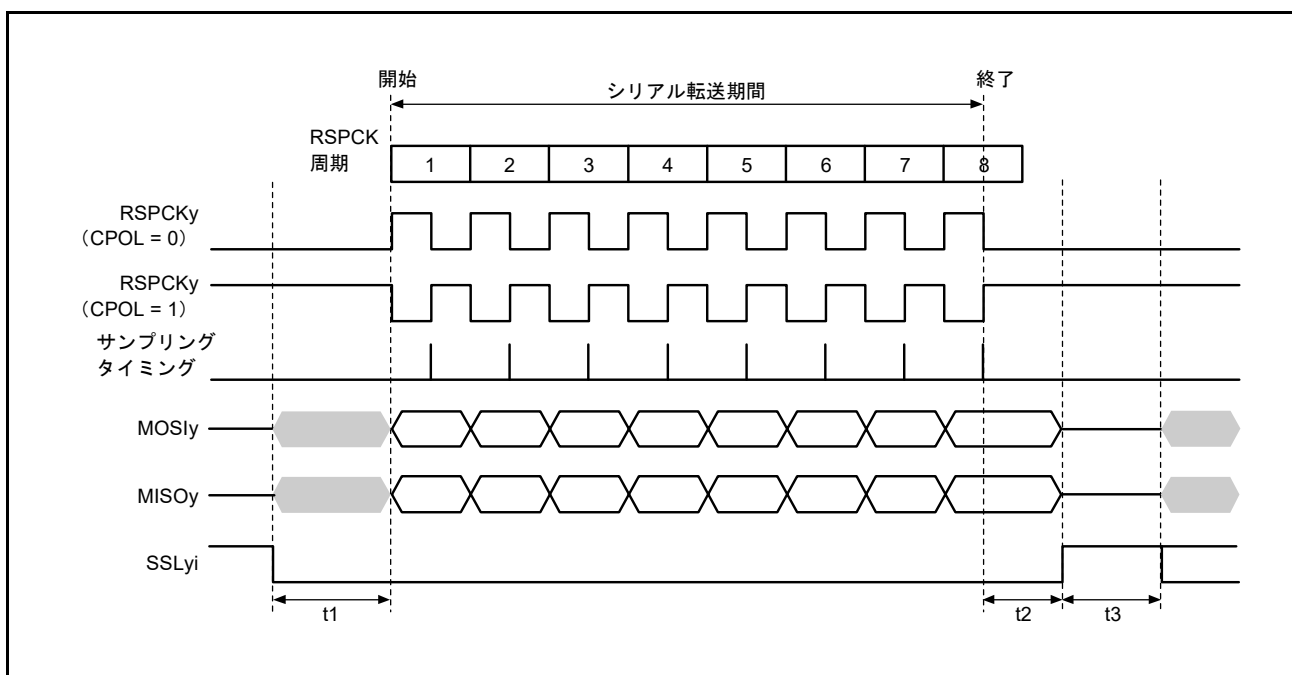


図 28.23 RSPI 転送フォーマット (CPHA ビット = 1)

28.3.6 通信動作モード

SPCR.TXMD ビットの設定により、全二重同期式シリアル通信または送信のみの動作を選択します。図 28.24、図 28.25 に記載した“SPDR アクセス”は、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクルを示しています。

28.3.6.1 全二重同期式シリアル通信 (SPCR.TXMD = 0)

図 28.24 に、SPCR.TXMD ビットを“0”にした場合の動作例を示します。図 28.24 の例では、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKy 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています (m = 0 ~ 7, y = 0, 1 (各チャンネルに対応))。

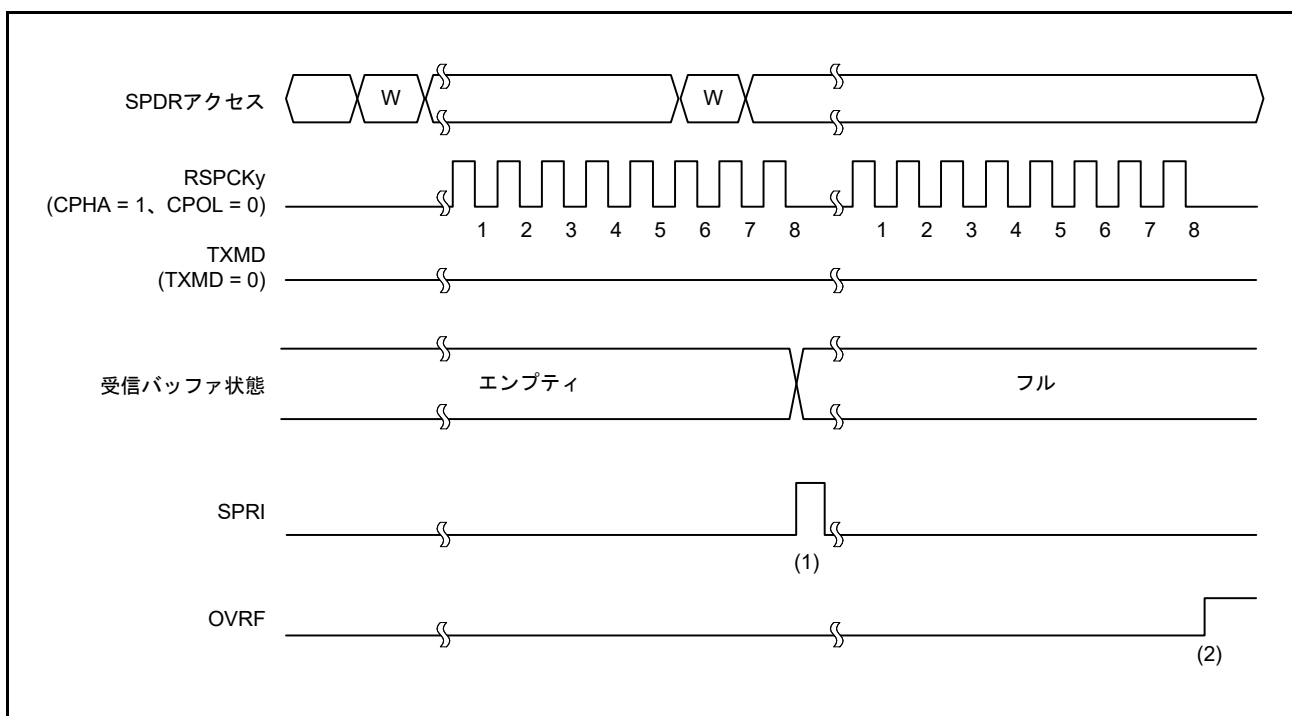


図 28.24 SPCR.TXMD = 0 の動作例

以下に、図中の (1)、(2) に示したタイミングでのフラグの動作内容を説明します。

- (1) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、RSPI は受信バッファフル割り込み要求 (SPRI) を発生してシフトレジスタの受信データを受信バッファにコピーします。
- (2) SPDR レジスタの受信バッファに以前の受信データがある状態でシリアル転送が終了すると、RSPI は SPSR.OVRF フラグを“1”にしてシフトレジスタの受信データを破棄します。

28.3.6.2 送信のみ動作 (SPCR.TXMD = 1)

図 28.25 に、SPCR.TXMD ビットを“1”に設定した場合の動作例を示します。図 28.25 の例では、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKy 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています (m = 0 ~ 7、y = 0, 1 (各チャンネルに対応))。

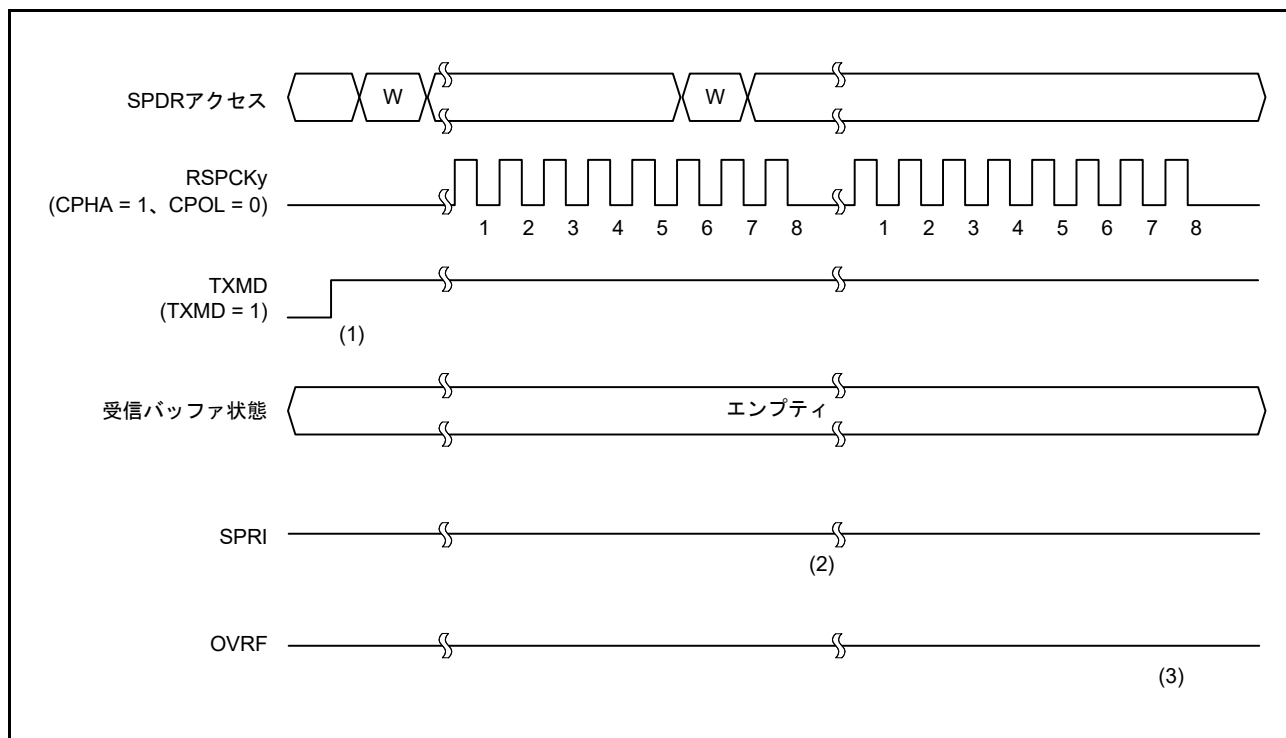


図 28.25 SPCR.TXMD = 1 の動作例

以下に、図中の (1) (2) (3) に示したタイミングでのフラグの動作内容を説明します。

- (1) 送信のみ動作 (SPCR.TXMD = 1) への遷移は、受信バッファにデータが残っていないこと、SPSR.OVRF フラグが“0”であることを確認してから、行ってください。
- (2) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、送信のみ動作 (SPCR.TXMD = 1) のときは、シフトレジスタのデータを受信バッファへコピーしません。
- (3) SPDR レジスタの受信バッファに以前の受信データは存在しないため、シリアル転送が終了しても、SPSR.OVRF フラグは“0”を保持し、シフトレジスタのデータを受信バッファへコピーしません。

送信のみ動作時 (SPCR.TXMD = 1) は、送信データを送信し、受信データを受信しません。そのため、SPSR.OVRF フラグは (1) (2) (3) それぞれのタイミングで“0”を保持します。

28.3.7 送信バッファエンプティ／受信バッファフル割り込み

図 28.26 に送信バッファエンプティ割り込み (SPTI) と受信バッファフル割り込み (SPRI) の動作例を示します。図 28.26 に記載した“SPDR アクセス”は、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 28.26 の例では、SPCR.TXMD ビットが“0”、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKy 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています (m = 0 ~ 7, y = 0, 1 (各チャンネルに対応))。

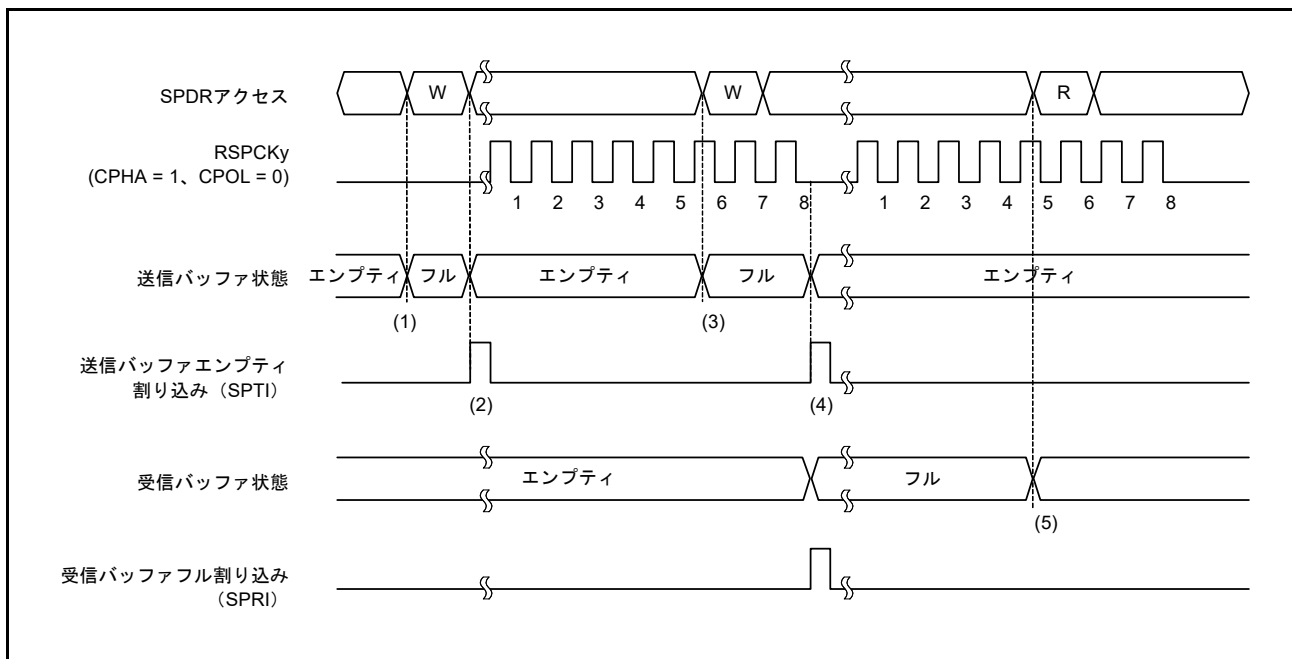


図 28.26 送信バッファエンプティ割り込み (SPTI)、受信バッファフル割り込み (SPRI) の動作例

以下に、図中の (1) ~ (5) に示したタイミングでの割り込みの動作内容を説明します。

1. SPDR レジスタの送信バッファが空の (次転送のデータがセットされていない) 状態で、SPDR レジスタに送信データを書き込むと、RSPI は送信バッファにデータを書き込みます。
2. シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーして送信バッファエンプティ割り込み (SPTI) を発生します。なお、シリアル転送の開始方法は、RSPI のモードに依存します。(「28.3.10 SPI 動作」, 「28.3.11 クロック同期式動作」参照)
3. 送信バッファエンプティ割り込みルーチンで、SPDR レジスタに送信データを書き込むと、送信バッファにデータが転送されます。シフトレジスタにはシリアル転送中のデータが格納されているため、RSPI は送信バッファのデータをシフトレジスタにコピーしません。
4. SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、RSPI はシフトレジスタの受信データを受信バッファにコピーし、受信バッファフル割り込み要求 (SPRI) を発生します。また、シリアル転送が終了するとシフトレジスタが空になるため、シリアル転送が終了する前に送信バッファがフルであった場合には、RSPI が送信バッファのデータをシフトレジスタにコピーします。なお、オーバーラン発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
5. 受信バッファフル割り込みルーチンで、SPDR レジスタを読み出すと、受信データが読み出せます。

送信バッファに未送信のデータがある状態で、SPDR レジスタを書き込んだ場合には、RSPI は送信バッファのデータを更新しません。SPDR レジスタを書き込む場合には、送信バッファエンpty割り込みルーチンで行ってください。また、送信バッファエンpty割り込みを利用する場合には、SPCR の SPTIE ビットを“1”にしてください。

RSPI 機能は無効 (SPCR.SPE ビットが“0”) の場合には、SPTIE ビットを“0”にしてください。

受信バッファフルの状態で、シリアル転送が終了した場合には、RSPI はシフトレジスタから受信バッファへのデータのコピーを行わず、オーバランエラーを検出します (「28.3.8 エラー検出」参照)。受信データのオーバランを防ぐために、受信バッファフル割り込み要求で、次のシリアル転送終了よりも前に受信データを読み出してください。また RSPI 受信バッファフル割り込みを利用する場合には、SPCR.SPRIE ビットを“1”にしてください。

送信/受信バッファの状態は、送信バッファエンpty割り込み/受信バッファフル割り込み、または対応する IRQ ステータスレジスタ (IRQSn) によって割り込み要求の発生を確認することができます。IRQ ステータスレジスタ (IRQSn) については、「12.4.2.1 IRQ ステータスレジスタ n (IRQSn) (n = 0 ~ 9)」を参照してください。

28.3.8 エラー検出

通常の RSPI のシリアル転送では、SPDR レジスタの送信バッファに書き込んだデータが送信され、受信されたデータを SPDR レジスタの受信バッファから読み出すことができます。SPDR レジスタへアクセスした場合の送受信バッファの状態やシリアル転送の開始/終了時の RSPI の状態によっては、通常以外の転送が実行される場合があります。

一部の通常以外の転送動作が発生した場合には、RSPI はオーバランエラー、パリティエラーまたはモードフォルトエラーとして検出します。表 28.8 に、通常以外の転送動作と RSPI のエラー検出機能の関係を示します。

表 28.8 通常以外の転送の発生条件と RSPI のエラー検出機能

	発生条件	RSPI動作	エラー検出
1	送信バッファフルの状態ですPDRレジスタを書き込み	<ul style="list-style-type: none"> 送信バッファ内容を保持 書き込みデータ欠落 	なし
2	スレーブモードで送信データをシフトレジスタにセットしていない状態で、シリアル転送開始	前回シリアル転送時の受信データを送信	なし
3	受信バッファエンプティの状態ですPDRレジスタを読み出し	前回受信データを出力	なし
4	受信バッファフルの状態です、シリアル転送が終了	受信バッファ内容を保持 受信データ欠落	オーバランエラー検出
5	全二重同期式シリアル通信時にパリティ機能が有効な状態で誤ったパリティビットを受信	パリティエラーフラグのアサート	パリティエラー検出
6	マルチマスタモードでシリアル転送アイドル時に SSLy0 入力信号アサート	<ul style="list-style-type: none"> RSPCKy、MOSly、SSLy1～3出力信号のドライブ停止 RSPI機能は無効 	モードフォルトエラー検出
7	マルチマスタモードでシリアル転送中に SSLy0 入力信号アサート	<ul style="list-style-type: none"> シリアル転送を中断 送受信データ欠落 RSPCKy、MOSly、SSLy1～3出力信号のドライブ停止 RSPI機能は無効 	モードフォルトエラー検出
8	スレーブモードでシリアル転送中に SSLy0 入力信号がネゲート	<ul style="list-style-type: none"> シリアル転送を中断 送受信データ欠落 MISOy出力信号のドライブ停止 RSPI機能は無効 	モードフォルトエラー検出

y = 0, 1 (各チャンネルに対応)

表 28.8 の 1 に示した動作に対しては、RSPI はエラーを検出しません。SPDR レジスタへの書き込み時にデータを欠落させないために、送信バッファエンプティ割り込み要求で SPDR レジスタへの書き込みを実施してください。

2 に示した動作に対しても、RSPI はエラーを検出しません。RSPI では、シフトレジスタの更新前に起動されたシリアル転送において、前回シリアル転送時の受信データを送信し、2 に示した動作をエラーとして扱いません。なお、前回シリアル転送時の受信データは SPDR レジスタの受信バッファに保持されているので、正しく読み出されます (シリアル転送が終了する前に SPDR レジスタを読み出さないと、オーバランエラーが発生します)。

3 に示した動作に対しても、RSPI はエラーを検出しません。不要なデータを読み出さないようにするためには、RSPI 受信バッファフル割り込みで SPDR レジスタの読み出しを実行するようにしてください。

4 に示したオーバランエラーについては「28.3.8.1 オーバランエラー」で、5 に示したパリティエラーについては「28.3.8.2 パリティエラー」で説明します。また、6～8 に示したモードフォルトエラーについては「28.3.8.3 モードフォルトエラー」で説明します。

なお、送受信の割り込みについては、「28.3.7 送信バッファエンプティ/受信バッファフル割り込み」を参照してください。

28.3.8.1 オーバランエラー

SPDR レジスタの受信バッファフル状態でシリアル転送が終了すると、RSPI はオーバランエラーを検出して SPSR.OVRF フラグを“1”にします。OVRF フラグが“1”の状態では、RSPI はシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。OVRF フラグを“0”にするためには、OVRF フラグが“1”にセットされた状態の SPSR レジスタを読み出した後に、OVRF フラグに“0”を書く必要があります。

図 28.27 に、OVRF フラグの動作を示します。図 28.27 に記載した SPSR アクセスと SPDR アクセスは、それぞれ SPSR、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 28.27 の例では、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKy 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています (m = 0 ~ 7, y = 0, 1 (各チャネルに対応))。

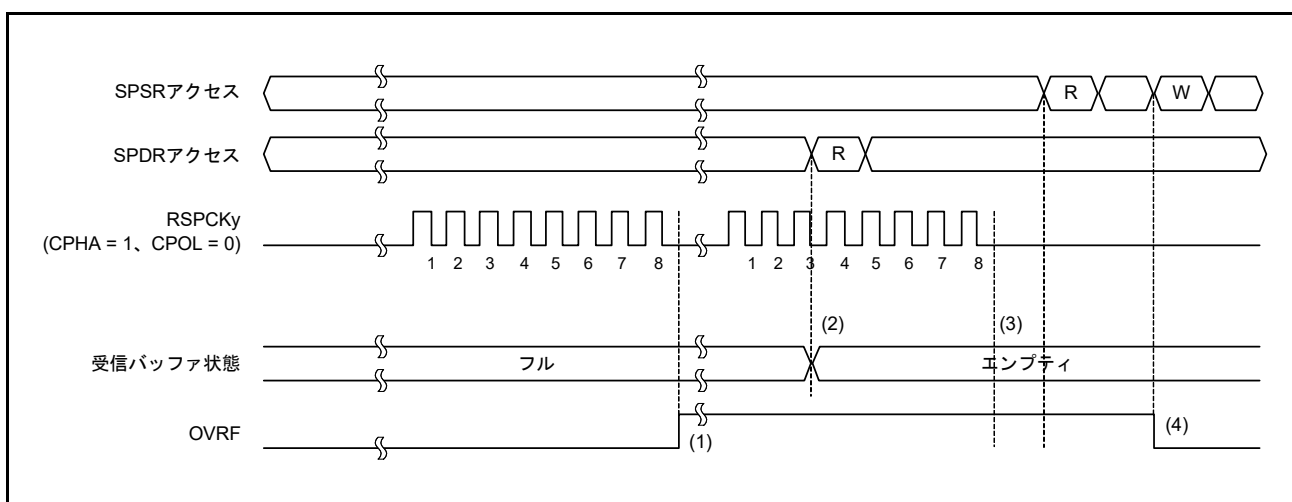


図 28.27 OVRF フラグの動作例

以下に、図中の (1) ~ (4) に示したタイミングでのフラグの動作内容を説明します。

1. 受信バッファフル状態でシリアル転送が終了すると、RSPI がオーバランエラーを検出し、OVRF フラグを“1”にします。RSPI はシフトレジスタのデータを受信バッファにコピーしません。また、SPPE ビットが“1”であっても、パリティエラーの検出は行いません。マスタモードの場合には、SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。
2. SPDR レジスタを読み出すと、RSPI は受信バッファのデータが読み出せます。受信バッファが空になっても、OVRF フラグは“0”になりません。
3. OVRF フラグが“1”の状態 (オーバランエラー) でシリアル転送が終了した場合には、RSPI はシフトレジスタのデータを受信バッファにコピーしません。受信バッファフル割り込みも発生しません。また、SPPE ビット“1”であってもパリティエラーの検出は行いません。マスタモードの RSPI の場合に、RSPI は SPECM[2:0] ビットを更新しません。オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
4. OVRF フラグが“1”の状態で SPSR レジスタを読んだ後、OVRF フラグに“0”を書くと、RSPI は OVRF フラグを“0”にします。

オーバランの発生は、SPSR レジスタの読み出しあるいは RSPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。シリアル転送を実行する場合には、SPDR レジスタの読み出し直後に SPSR レジスタを読み出すなどの方法で、オーバランエラー発生を早期に検出できるように対処してください。RSPI

をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

オーバランエラーが発生して OVRF フラグが“1”になると、OVRF フラグが“0”になるまで正常な受信動作ができなくなります。

マスタモードで RSPCK 自動停止機能を有効にした場合は、オーバランエラーが発生しません。図 28.28、図 28.29 にマスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形を示します。

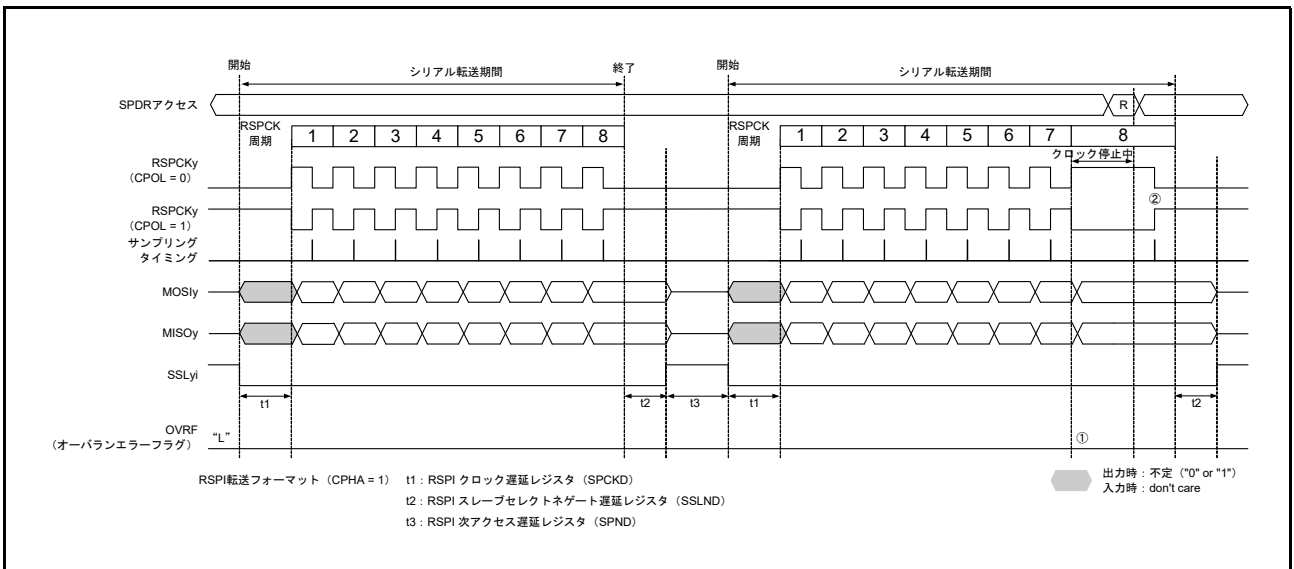


図 28.28 マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 1)

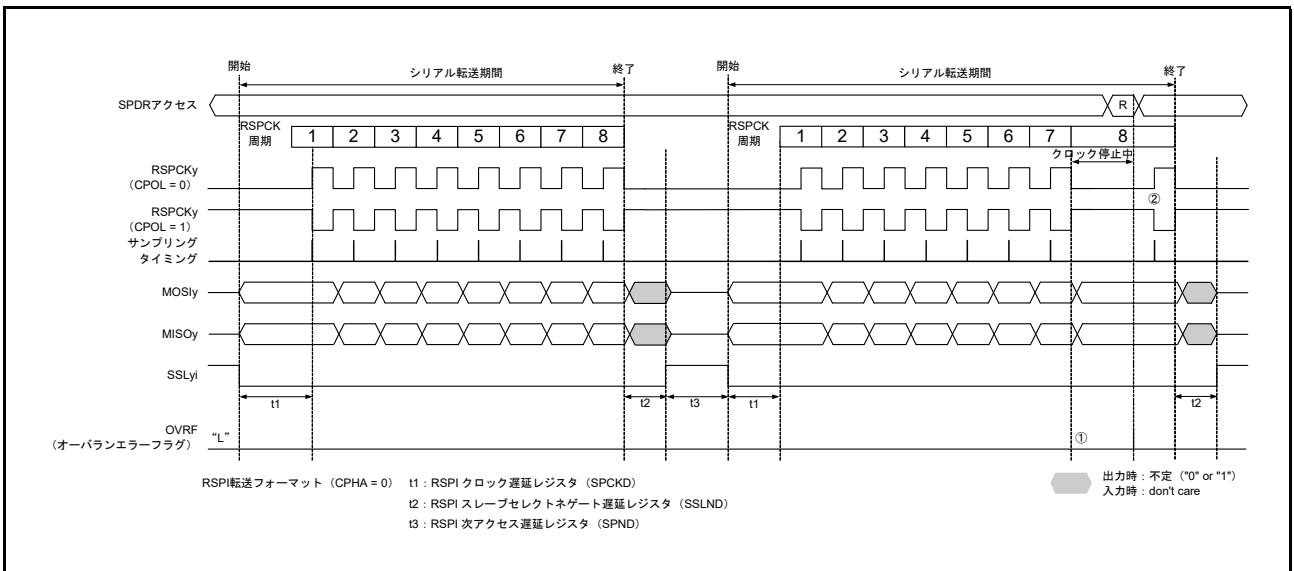


図 28.29 マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 0)

以下に、図中の (1)、(2) に示したタイミングでのフラグ動作を説明します。

- (1) 受信バッファフルの場合は、RSPCK クロックが停止するためオーバランエラーは発生しません。
- (2) クロック停止中に SPDR を読み出すと、受信バッファのデータが読み出せます。受信バッファの読み出し後、RSPCK クロックが再開します。

28.3.8.2 パリティエラー

SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”の状態ですべて二重同期式シリアル通信を行い、転送が終了すると、パリティエラーの判定を行います。RSPIは、受信データにパリティエラーを検出すると、SPSR.PERF フラグを“1”にします。SPSR.OVRF フラグが“1”の状態では、RSPIはシフトレジスタのデータを受信バッファにコピーしないので、受信データに対するパリティエラーの検出は行いません。PERF フラグを“0”にするためには、PERF フラグが“1”の状態のSPSRレジスタを読んだ後、PERF フラグに“0”を書く必要があります。

図 28.30 に、OVRF フラグと PERF フラグの動作を示します。図 28.30 に記載した“SPSR アクセス”は、SPSR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 28.30 の例では、SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”の状態ですべて二重同期式シリアル通信を行います。SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKy 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています (m = 0 ~ 7, y = 0, 1 (各チャンネルに対応))。

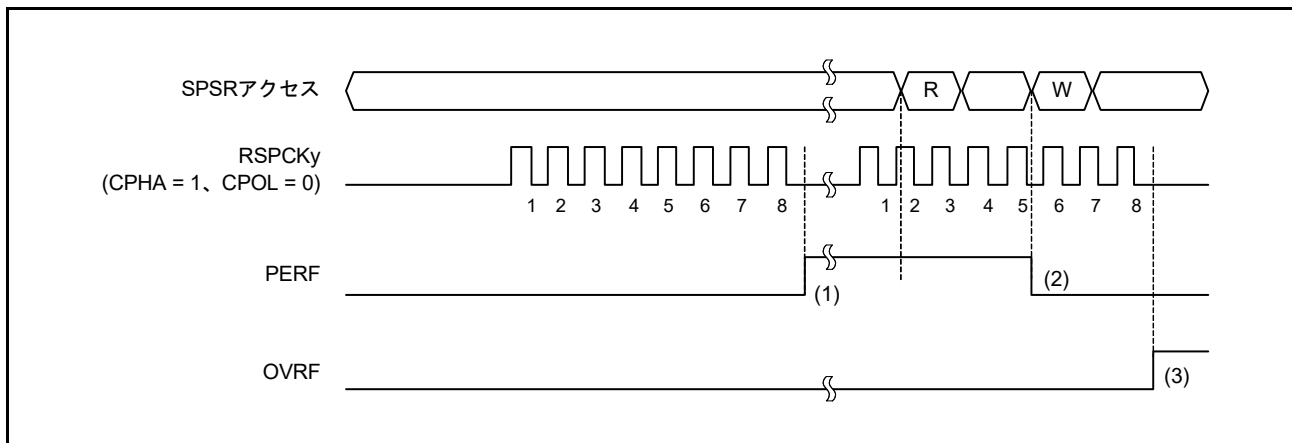


図 28.30 PERF フラグの動作例

以下に、図中の (1) ~ (3) に示したタイミングでのフラグの動作内容を説明します。

1. RSPI がオーバランエラーを検出せず、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーします。このとき、RSPI が受信データを判定し、パリティエラーを検出すると PERF フラグを“1”にします。マスタモードの場合には、SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。
2. PERF フラグが“1”の状態ですべて SPSR レジスタを読んだ後、PERF フラグに“0”を書くと、PERF フラグが“0”になります。
3. RSPI がオーバランエラーを検出し、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーしません。このとき、RSPI はパリティエラーを検出しません。

パリティエラーの発生は、SPSR レジスタの読み出し、あるいは RSPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。シリアル転送を実行する場合には、SPSR フラグを読み出すなどの方法で、パリティエラー発生を早期に検出できるように対処してください。RSPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

28.3.8.3 モードフォルトエラー

SPCR.MSTR ビットが“1”、SPCR.SPMS ビットが“0”、SPCR.MODFEN ビットが“1”の場合には、RSPIはマルチマスタモードで動作します。マルチマスタモードのRSPIのSSLy0入力信号に対してアクティブレベルが入力されると、シリアル転送状態にかかわらず、RSPIはモードフォルトエラーを検出してSPSR.MODFフラグを“1”にします。モードフォルトエラーを検出すると、RSPIはSPSSR.SPECM[2:0]ビットに、SPCMDmレジスタに対するポインタの値をコピーします。なお、SSLy0信号のアクティブレベルは、SSLP.SSL0Pビットによって決定されます。

MSTR ビットが“0”の場合には、RSPIはスレーブモードで動作します。スレーブモードのRSPIのMODFEN ビットが“1”、SPMS ビットが“0”の場合、シリアル転送期間（有効データのドライブ開始から最終有効データの取り込みまで）にSSLy0入力信号がネゲートされると、RSPIはモードフォルトエラーを検出します。

RSPIはモードフォルトエラーを検出すると、出力信号のドライブ停止およびSPCR.SPEビットのクリアを実施します（「28.3.9 RSPIの初期化」を参照）。マルチマスタ構成の場合には、モードフォルトエラーを利用して出力信号のドライブとRSPI機能を停止させ、マスタ権の解放を実現できます。

モードフォルトエラーの発生は、SPSRレジスタの読み出し、あるいはRSPIエラー割り込みとSPSRレジスタの読み出しによって確認できます。RSPIエラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPSRレジスタをポーリングする必要があります。RSPIをマスタモードで使用する場合、SPSSR.SPECM[2:0]ビットを読み出すことで、エラー発生時のSPCMDmレジスタに対するポインタ値を確認できます。

MODFフラグが“1”の状態では、RSPIはSPEビットへの“1”の書き込みを無視します。モードフォルトエラー検出後にRSPI機能を有効にするためには、MODFフラグを“0”にしてください（m=0～7、y=0,1（各チャンネルに対応））。

28.3.9 RSPI の初期化

SPCR.SPE ビットに“0”を書いた場合、またはモードフォルトエラー検出により RSPI が SPE ビットを“0”にした場合には、RSPI は RSPI 機能を無効化し、モジュール機能の一部を初期化します。また、システムリセットが発生した場合には、RSPI はモジュール機能をすべて初期化します。以下に、SPCR.SPE ビットを“0”にすることによる初期化とシステムリセットによる初期化について説明します。

28.3.9.1 SPE ビットのクリアによる初期化

SPCR.SPE ビットを“0”にしたとき、RSPI は以下に示す初期化を実施します。

- 実行中のシリアル転送を中断
- スレーブモードの場合、出力信号のドライブ停止 (Hi-Z)
- RSPI 内部ステートの初期化
- RSPI 送信バッファを空にする

SPE ビットを“0”にする初期化では、RSPI の制御ビットは初期化されません。このため、再度 SPE ビットを“1”にすれば初期化前と同じ転送モードで RSPI を起動できます。

SPSR.OVRF, MODF フラグの値は初期化されません。また、SPSSR レジスタの値も初期化されません。このため、RSPI の初期化後も受信バッファのデータの読み出し、RSPI 転送時のエラー発生状況の確認ができません。

送信バッファは空の状態に初期化されます。このため、RSPI 初期化後に SPCR.SPTIE ビットを“1”にしていると、送信バッファエンプティ割り込みが発生します。CPU で RSPI を初期化する場合に、送信バッファエンプティ割り込みを禁止するためには、SPE ビットへの“0”書き込みと同時に SPTIE ビットにも“0”を書いてください。モードフォルトエラー検出後の送信バッファエンプティ割り込みを禁止するためには、エラー処理ルーチンで SPTIE ビットに“0”を書いてください。

28.3.9.2 システムリセット

システムのリセットによる初期化では、「28.3.9.1 SPE ビットのクリアによる初期化」に記載の事項に加え、RSPI 制御用の全ビットの初期化、ステータスビットの初期化、データレジスタの初期化が実施され、RSPI が完全に初期化されます。詳細については、「6. リセット」を参照してください。

28.3.10 SPI 動作

28.3.10.1 マスタモード動作

シングルマスタモード動作とマルチマスタモード動作の違いは、モードフォルトエラー検出（「28.3.8 エラー検出」を参照）のみです。シングルマスタモードの RSPI ではモードフォルトエラーを検出しません。マルチマスタモードの RSPI ではモードフォルトエラーを検出します。本節では、シングル/マルチマスタモードで共通する動作について説明します。

(1) シリアル転送の開始

RSPI 送信バッファが空き（次転送のデータがセットされていない）の状態、SPDR レジスタへデータを書き込むと、RSPI は SPDR レジスタの送信バッファ (SPTX) のデータを更新します。SPDR レジスタへ SPDCR.SPFC[1:0] ビットで設定したフレーム分のデータの書き込み後、シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPI は、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを参照することはできません。

なお、RSPI の転送フォーマットの詳細については「28.3.5 転送フォーマット」を参照してください。SSLy_i 出力端子の極性は、SSLP レジスタの設定値に依存します (i=0~3, y=0,1 (各チャンネルに対応))。

(2) シリアル転送の終了

SPCMDm.CPHA ビットにかかわらず、RSPI は最終サンプリングタイミングに対応する RSPCK_y エッジを送出するとシリアル転送を終了します。受信バッファ (SPRX) が空の場合には、シリアル転送終了後にシフトレジスタから SPDR レジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの RSPI のデータ長は、SPCMDm.SPB[3:0] ビットの設定値に依存します。SSLy_i 出力端子の極性は、SSLP レジスタの設定値に依存します。RSPI の転送フォーマットの詳細については「28.3.5 転送フォーマット」を参照してください (i=0~3, m=0~7, y=0,1 (各チャンネルに対応))。

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、SPND レジスタによって決定されます。

SPSCR レジスタは、マスタモードの RSPI で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタには、SSLyi 端子の出力信号値、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCK 極性/位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND レジスタの参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタには RSPI クロック遅延値、SSLND レジスタには SSL ネゲート遅延、SPND レジスタには RSPI 次アクセス遅延値が設定されています。

RSPI は、SPSCR レジスタに設定されたシーケンス長にしたがって、SPCMDm レジスタの一部/全部からなるシーケンスを構成します。RSPI には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットを読むことによって確認できます。SPCR.SPE ビットを“1”にして RSPI 機能を許可すると、RSPI はコマンドに対するポインタを SPCMD0 レジスタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。RSPI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPI はポインタを SPCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。

(i=0~3, m=0~7, y=0, 1 (各チャンネルに対応))

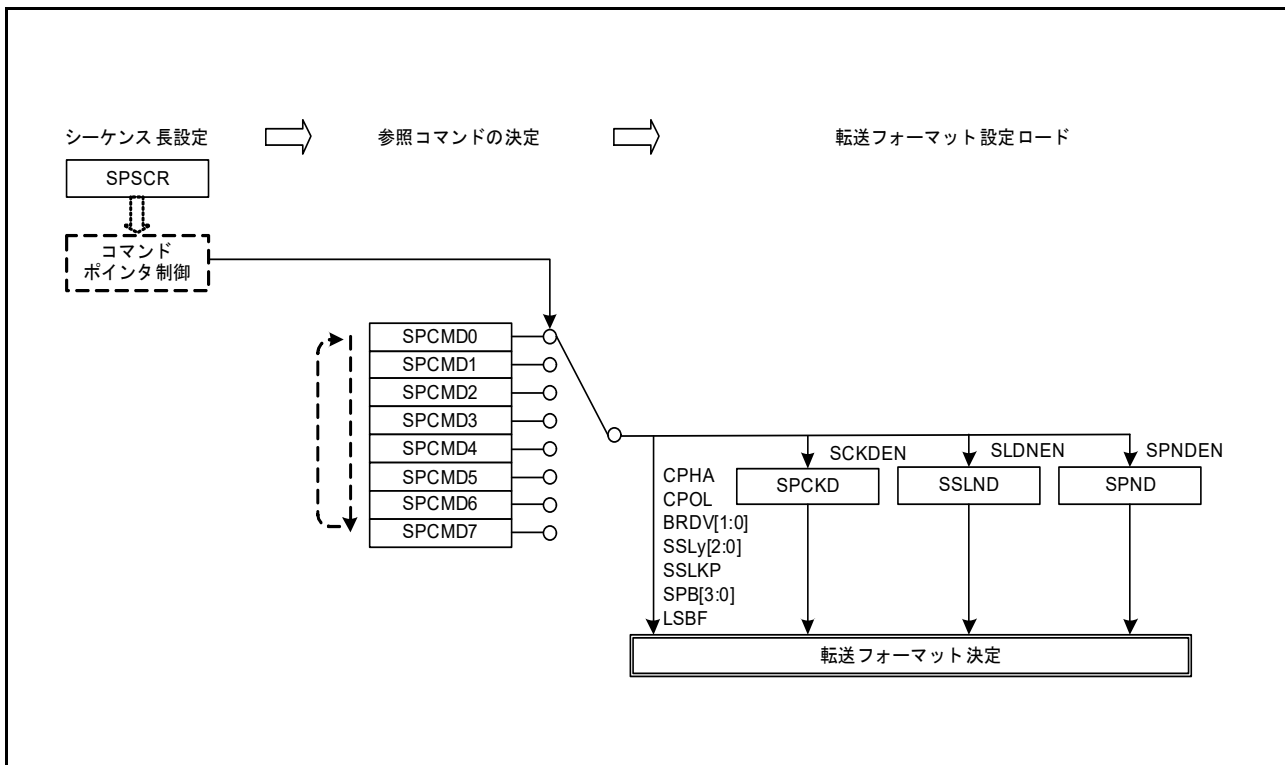


図 28.31 マスタモードでのシリアル転送方式の決定方法

本章では、データ (SPDR) と設定 (SPCMDm) の2つを合わせてフレームとします。

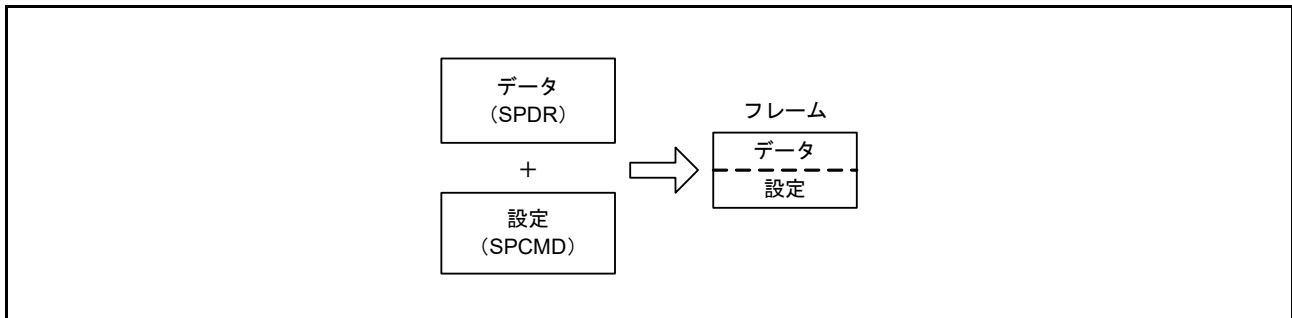


図 28.32 フレームの概念図

表 28.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ/受信バッファの関係を図 28.33 に示します。

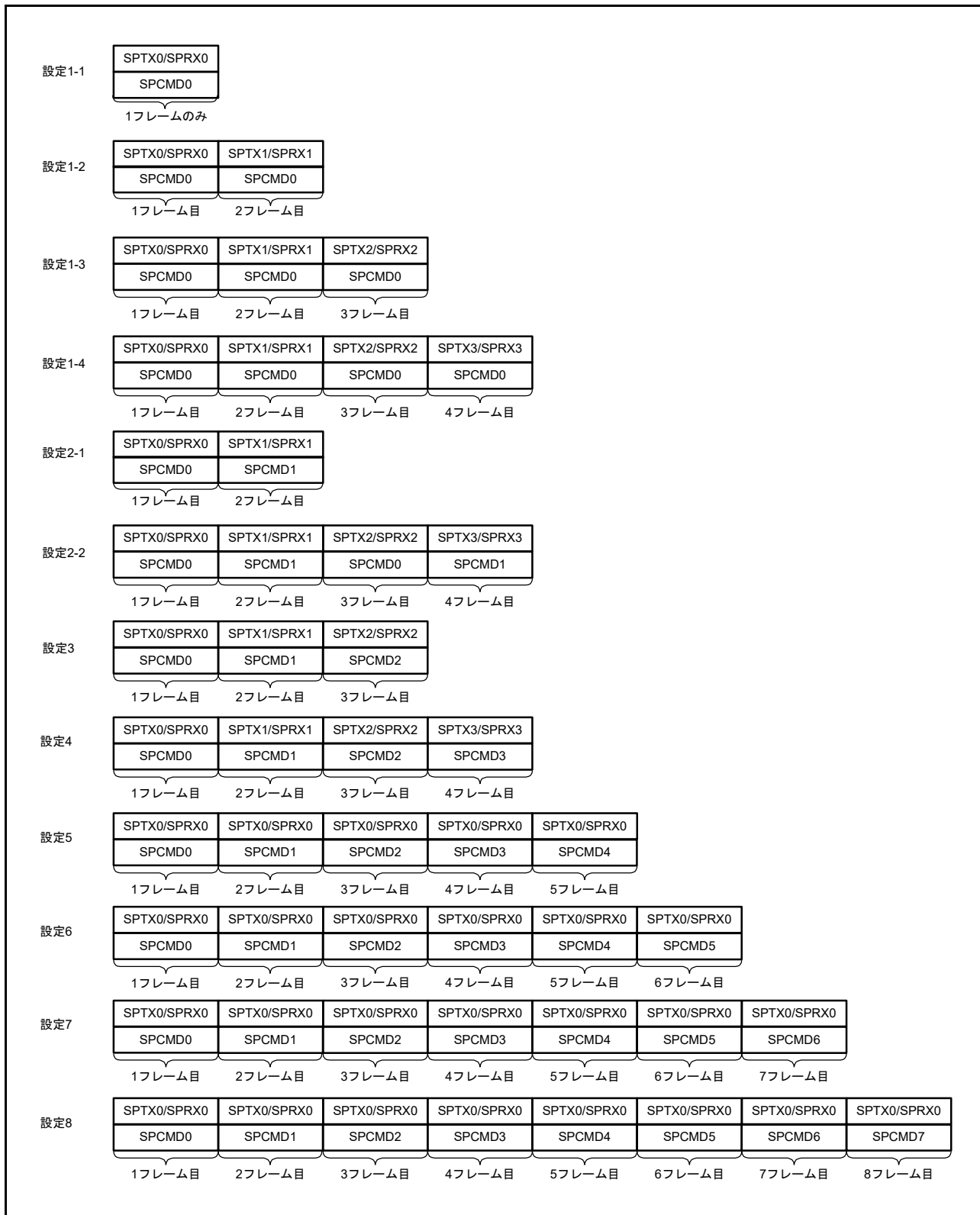


図 28.33 シーケンス動作時の RSPI コマンドレジスタと送受信バッファの対応

(4) バースト転送

RSPI が現在のシリアル転送で参照している SPCMDm.SSLKP ビットが“1”の場合には、RSPI はシリアル転送中の SSLyi 信号レベルを次のシリアル転送の SSLyi 信号アサート開始まで保持します。次のシリアル転送での SSLyi 信号レベルが、現在のシリアル転送での SSLyi 信号レベルと同じであれば、RSPI は SSLyi 信号アサート状態を保持したまま連続的にシリアル転送を実行することができます (バースト転送)。

図 28.34 に、SPCMD0、1 レジスタの設定を使用してバースト転送を実現した場合の SSLyi 信号動作例を示します。図 28.34 に記載した (1) ~ (7) の RSPI 動作内容について、以下に説明します。なお、SSLyi 出力信号の極性は、SSLP レジスタの設定値に依存します。

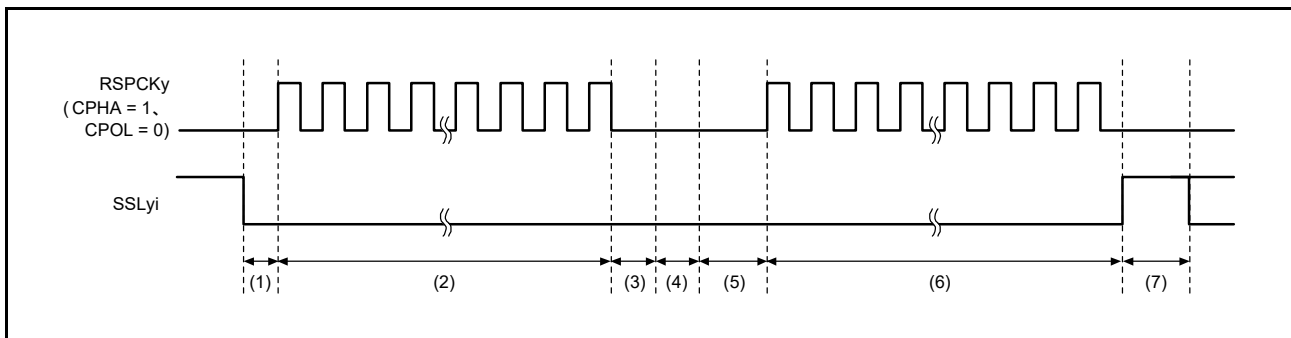


図 28.34 SSLKP ビットを利用したバースト転送動作の例

- (1) SPCMD0 レジスタにしたがった SSLyi 信号のアサートと RSPCK 遅延の挿入を実施します。
- (2) SPCMD0 レジスタにしたがったシリアル転送を実行します。
- (3) SSL ネゲート遅延を挿入します。
- (4) SPCMD0.SSLKP ビットが“1”であるため、SPCMD0 レジスタでの SSLyi 信号値を保持します。この期間は、最短の場合には SPCMD0 レジスタの次アクセス遅延と同じだけ継続されます。最短期間を経過後にシフトレジスタが空の場合には、次転送のための送信データがシフトレジスタに格納されるまで、この期間を継続します。
- (5) SPCMD1 レジスタにしたがった SSLyi 信号のアサートと RSPCK 遅延の挿入を実施します。
- (6) SPCMD1 レジスタにしたがったシリアル転送を実行します。
- (7) SPCMD1.SSLKP ビットが“0”であるため、SSLyi 信号をネゲートします。また、SPCMD1 レジスタにしたがった次アクセス遅延が挿入されます。

SSLKP ビットを“1”にした SPCMDm レジスタでの SSLyi 信号出力設定と、次転送で使用する SPCMDm レジスタでの SSLyi 信号出力設定が異なる場合、RSPI は次転送のコマンドに対応した SSLyi 信号のアサート時 (図 28.34 の (5)) に SSLyi 信号状態を切り替えます。このような SSLyi 信号の切り替えが発生した場合、MISOy をドライブするスレーブが競合して信号レベルの衝突が発生する可能性があるので注意してください。

マスタモードの RSPI は、SSLKP ビットを使用しない場合の SSLyi 信号動作をモジュール内部で参照しています。SPCMDm.CPHA ビットが“0”の場合でも、RSPI は内部で検出した次転送の SSLyi 信号のアサートを使用してシリアル転送を正確に開始できます。このため、マスタモードのバースト転送は、CPHA ビットの設定値にかかわらず実行できます。

(i = 0 ~ 3, m = 0 ~ 7, y = 0, 1 (各チャンネルに対応))

(5) RSPCK 遅延 (t1)

マスタモードの RSPI の RSPCK 遅延値は、SPCMDm.SCKDEN ビットの設定と SPCKD レジスタの設定に依存します。RSPI は、シリアル転送で参照する SPCMDm レジスタをポインタ制御によって決定し、選択した SPCMDm.SCKDEN ビットと SPCKD レジスタを使用して、表 28.9 のようにシリアル転送時の RSPCK 遅延値を決定します。なお、RSPCK 遅延の定義については、「28.3.5 転送フォーマット」を参照してください。

表 28.9 SCKDEN ビット、SPCKD レジスタと RSPCK 遅延値の関係

SPCMDm.SCKDEN ビット	SPCKD.SCKDL[2:0] ビット	RSPCK 遅延値
0	000 ~ 111	1RSPCK
1	000	1RSPCK
	001	2RSPCK
	010	3RSPCK
	011	4RSPCK
	100	5RSPCK
	101	6RSPCK
	110	7RSPCK
	111	8RSPCK

(6) SSL ネゲート遅延 (t2)

マスタモードの RSPI の SSL ネゲート遅延値は、SPCMDm.SLN DEN ビットの設定と SSLND レジスタの設定に依存します。RSPI は、シリアル転送で参照する SPCMDm レジスタをポインタ制御によって決定し、選択した SPCMDm.SLN DEN ビットと SSLND レジスタを使用して、表 28.10 のようにシリアル転送時の SSL ネゲート遅延値を決定します。なお、SSL ネゲート遅延の定義については、「28.3.5 転送フォーマット」を参照してください。

表 28.10 SLN DEN ビット、SSLND レジスタと SSL ネゲート遅延値の関係

SPCMDm.SLN DEN ビット	SSLND.SLN DL[2:0] ビット	SSL ネゲート遅延値
0	000 ~ 111	1RSPCK
1	000	1RSPCK
	001	2RSPCK
	010	3RSPCK
	011	4RSPCK
	100	5RSPCK
	101	6RSPCK
	110	7RSPCK
	111	8RSPCK

(7) 次アクセス遅延 (t3)

マスタモードの RSPI の次アクセス遅延は、SPCMDm.SPNDEN ビットの設定と SPND レジスタの設定に依存します。RSPI は、シリアル転送で参照する SPCMDm レジスタをポインタ制御によって決定し、選択した SPCMDm.SPNDEN ビットと SPND レジスタを使用して、表 28.11 のようにシリアル転送時の RSPCK 遅延を決定します。なお、次アクセス遅延の定義については、「28.3.5 転送フォーマット」を参照してください。

表 28.11 SPNDEN ビット、SPND レジスタと次アクセス遅延値の関係

SPCMDm.SPNDEN ビット	SPND.SPNDL[2:0] ビット	次アクセス遅延値
0	000 ~ 111	1RSPCK + 2SERICK
1	000	1RSPCK + 2SERICK
	001	2RSPCK + 2SERICK
	010	3RSPCK + 2SERICK
	011	4RSPCK + 2SERICK
	100	5RSPCK + 2SERICK
	101	6RSPCK + 2SERICK
	110	7RSPCK + 2SERICK
	111	8RSPCK + 2SERICK

(8) 初期化フロー

図 28.35 に、SPI 動作時、RSPI をマスターモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については各ブロックの説明を参照してください。

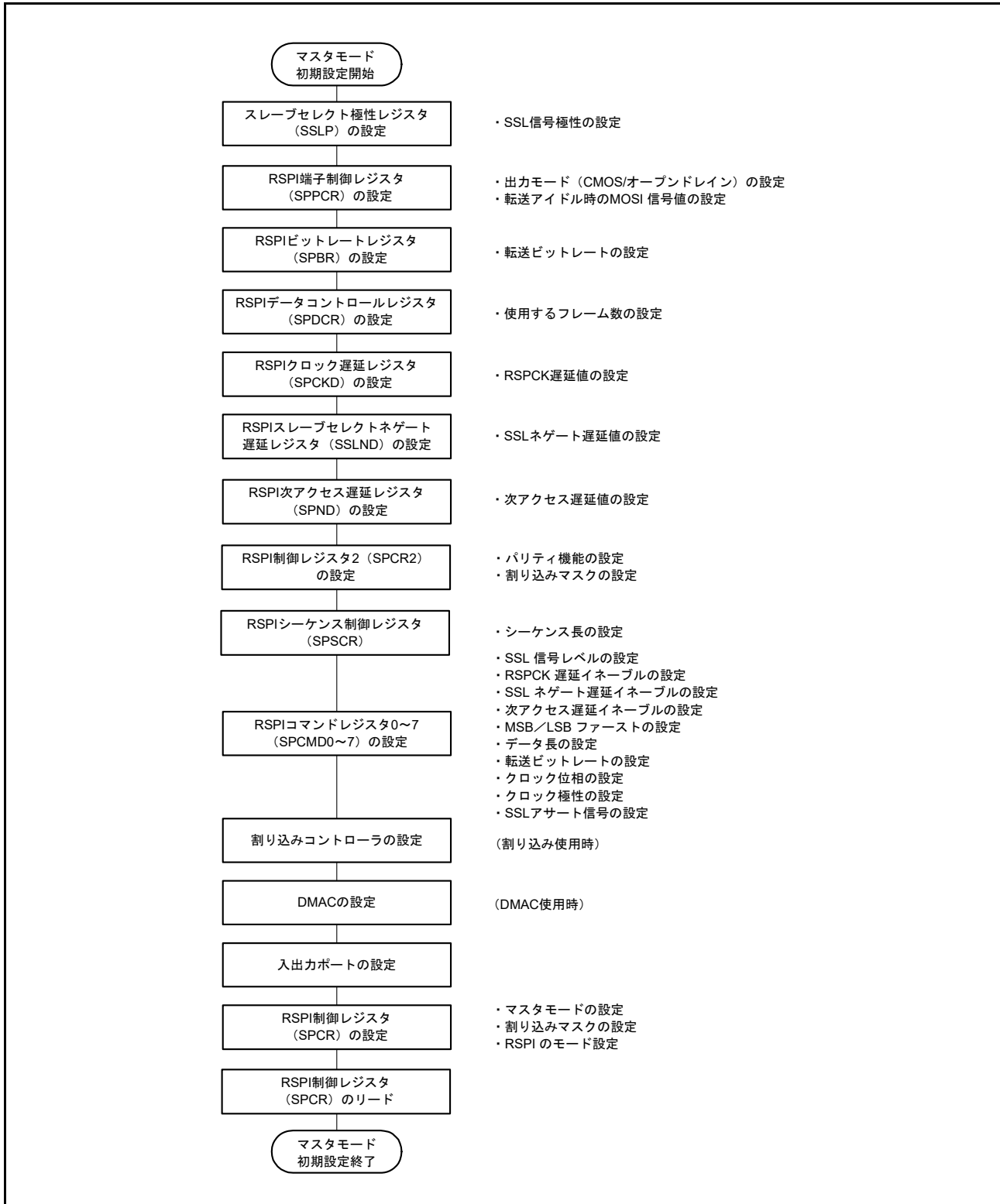


図 28.35 マスターモード時の初期化フロー例 (SPI 動作)

(9) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 28.36 ~ 図 28.38 に示します。

(a) 送信処理フロー

送信を行う場合、最終データの書き込み完了後アイドル割り込み (SPII) を許可することによって、全データ送信完了を CPU に通知することが可能です。

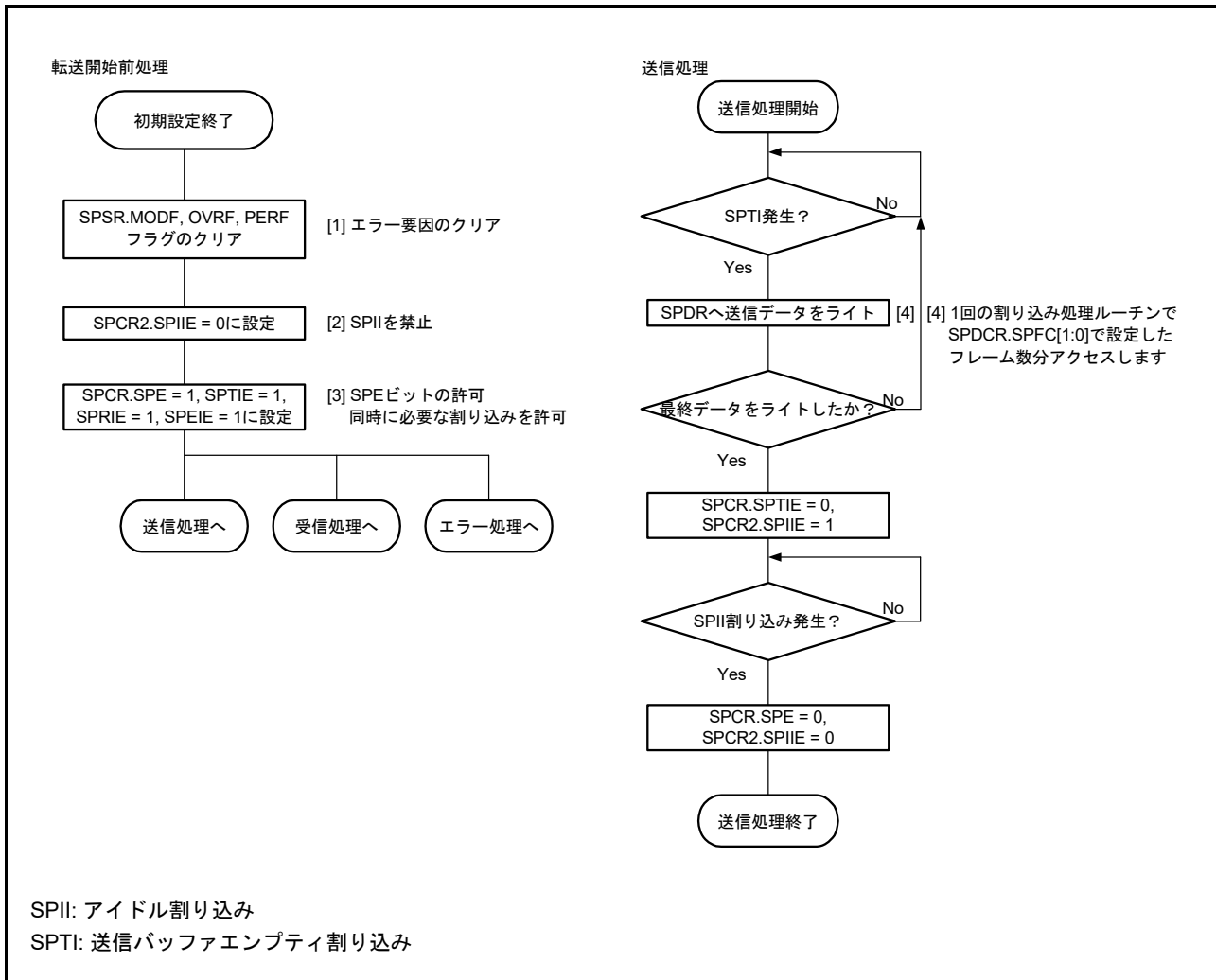


図 28.36 マスタモード時のフローチャート (送信)

(b) 受信処理フロー

RSPI は受信のみの動作を持たないため、常に送信を必要とします。

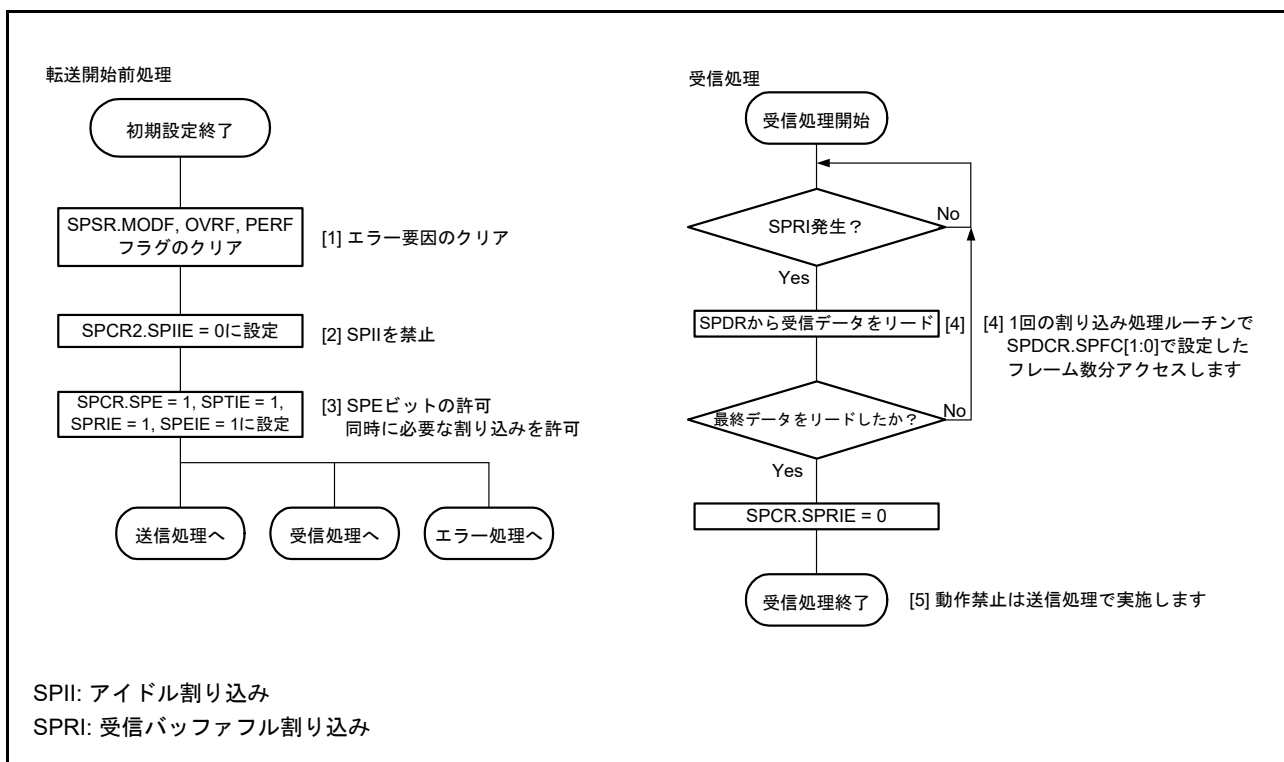


図 28.37 マスタモード時のフローチャート (受信)

(c) エラー処理フロー

RSPI は 3 種類のエラーを持ちます。モードフォルトエラー発生時は、SPCR.SPE ビットが自動的にクリアされ、送信／受信動作を停止させます。しかし、その他のエラー要因では SPCR.SPE ビットはクリアされず送信／受信動作は継続されるため、最初に起きたエラー要因ではない他の要因でエラーが発生した場合は、SPSSR.SPECM[2:0] ビットが更新されてしまうため、SPCR.SPE ビットをクリアし動作を停止することを推奨します。

エラー発生時は、割り込み要求フラグとして、対応する IRQ ステータスレジスタに送信バッファエンプティ割り込み (SPTI) または受信バッファフル割り込み (SPRI) 要求が保持されている可能性がありますので、エラー処理にて対応する IRQ ステータスレジスタのフラグをクリアしてください。また、受信バッファフル割り込み (SPRI) 要求が保持されている場合、受信バッファを読み出して RSPI の内部シーケンサを初期化してください。

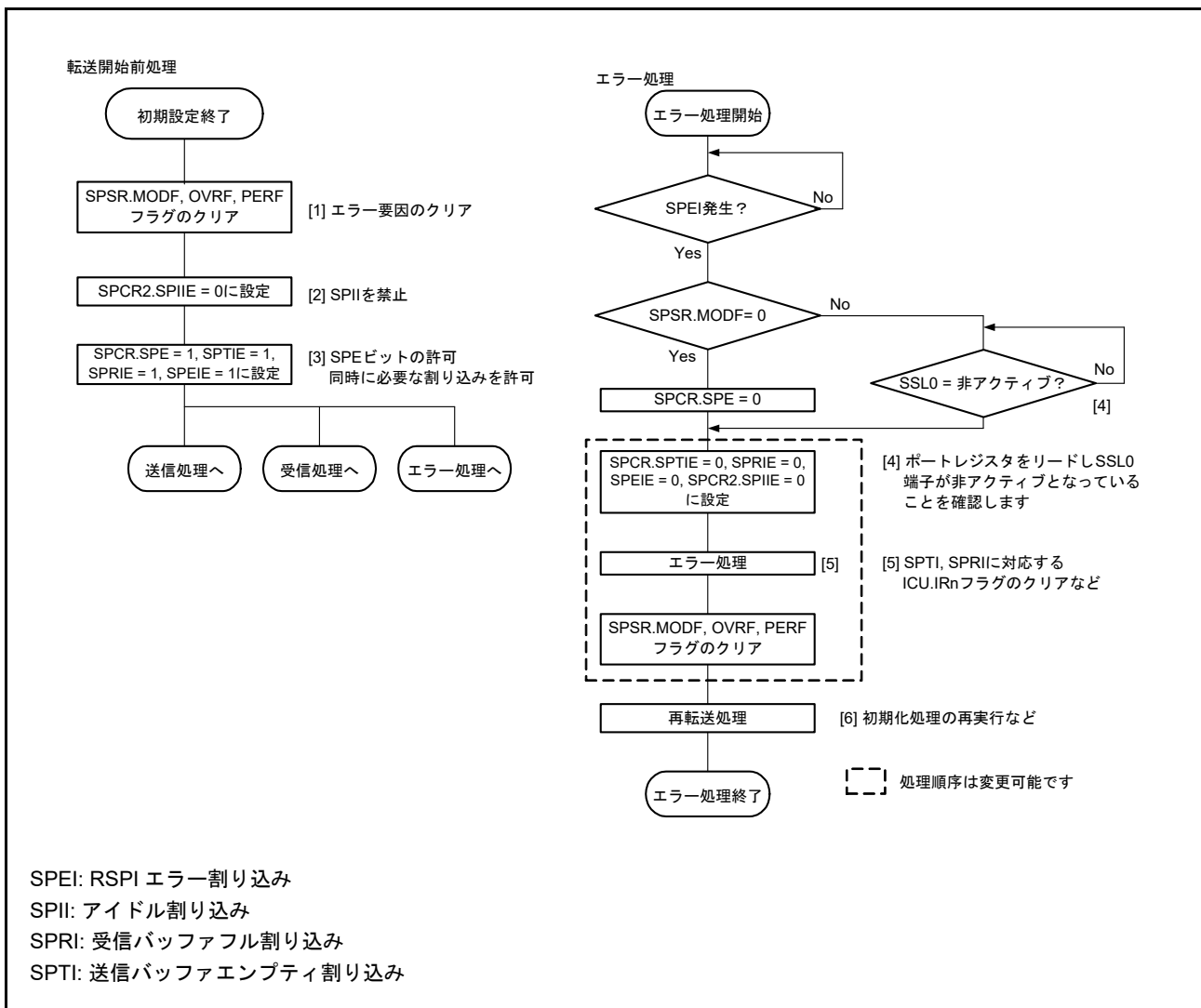


図 28.38 マスタモード時のフローチャート (エラー)

28.3.10.2 スレーブモード動作

(1) シリアル転送の開始

SPCMD0.CPHA ビットが“0”の場合、RSPI は SSLy0 入力信号のアサートを検出すると、MISOy 出力信号への有効データのドライブを開始する必要があります。このため、CPHA ビットが“0”の場合には、SSLy0 入力信号のアサートがシリアル転送開始のトリガになります。

CPHA ビットが“1”の場合には、RSPI は SSLy0 入力信号のアサート状態で最初の RSPCKy エッジを検出すると、MISOy 出力信号への有効データのドライブを開始する必要があります。このため、CPHA ビットが“1”の場合には、SSLy0 信号アサート状態における最初の RSPCKy エッジがシリアル転送開始のトリガになります。

RSPI は、シフトレジスタが空の状態ではシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、RSPI はシフトレジスタの状態をフルのまま変更しません。

CPHA ビットの設定に依存せず、RSPI が MISOy 出力信号のドライブを開始するタイミングは、SSLy0 信号アサートタイミングです。CPHA ビットの設定によって、RSPI が出力するデータの有効/無効が異なります。

なお、RSPI の転送フォーマットの詳細については、「28.3.5 転送フォーマット」を参照してください。SSLy0 入力信号の極性は、SSLP.SSL0P ビットの設定値に依存します。

(y = 0, 1 (各チャンネルに対応))

(2) シリアル転送の終了

SPCMD0.CPHA ビットにかかわらず、RSPI は最終サンプリングタイミングに相当する RSPCKy エッジを検出するとシリアル転送を終了します。受信バッファに空きがある場合には、シリアル転送の終了後に、RSPI はシフトレジスタから SPDR レジスタの受信バッファに受信データをコピーします。また、受信バッファの状態にかかわらず、RSPI はシリアル転送の終了後にシフトレジスタの状態を空に変更します。シリアル転送開始からシリアル転送終了の間に RSPI が SSLy0 入力信号のネゲートを検出するとモードフォルトエラーが発生します（「28.3.8 エラー検出」を参照）。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの RSPI のデータ長は SPCMD0.SP[3:0] ビットの設定値に依存します。SSLy0 入力信号の極性は、SSLP.SSL0P ビットの設定値に依存します。RSPI の転送フォーマットの詳細については、「28.3.5 転送フォーマット」を参照してください。

(y = 0, 1 (各チャンネルに対応))

(3) シングルスレーブ時の注意点

SPCMD0.CPHA ビットが“0”の場合には、RSPI は SSLy0 入力信号のアサートエッジを検出するとシリアル転送を開始します。図 28.7 の例に示したような構成で RSPI をシングルスレーブで使用する場合には、SSLy0 入力信号が常にアクティブ状態に固定されるため、CPHA ビットを“0”に設定した RSPI ではシリアル転送を正しく開始できません。SSLy0 入力信号をアクティブ状態に固定する構成で、スレーブモード RSPI の送受信を正しく実行するためには、CPHA ビットを“1”にしてください。CPHA ビットを“0”にする必要がある場合には、SSLy0 入力信号を固定しないでください。

(y = 0, 1 (各チャンネルに対応))

(4) バースト転送

SPCMD0.CPHA ビットが“1”の場合には、SSLy0 入力信号のアサート状態を保持したままで連続的なシリアル転送（バースト転送）を実行できます。CPHA ビットが“1”の場合には、SSLy0 入力信号アクティブ状態における最初の RSPCKy エッジから最終ビット受信のためのサンプリングタイミングまでが、シリアル転送期間に相当します。SSLy0 入力信号がアクティブレベルのままであっても、アクセスの開始を検出可能であるので、バースト転送に対応できます。

CPHA ビットが“0”の場合には、バースト転送の2回目以降のシリアル転送を正しく実行できません。

(5) 初期化フロー

図 28.39 に、SPI 動作時、RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については各ブロックの説明を参照してください。

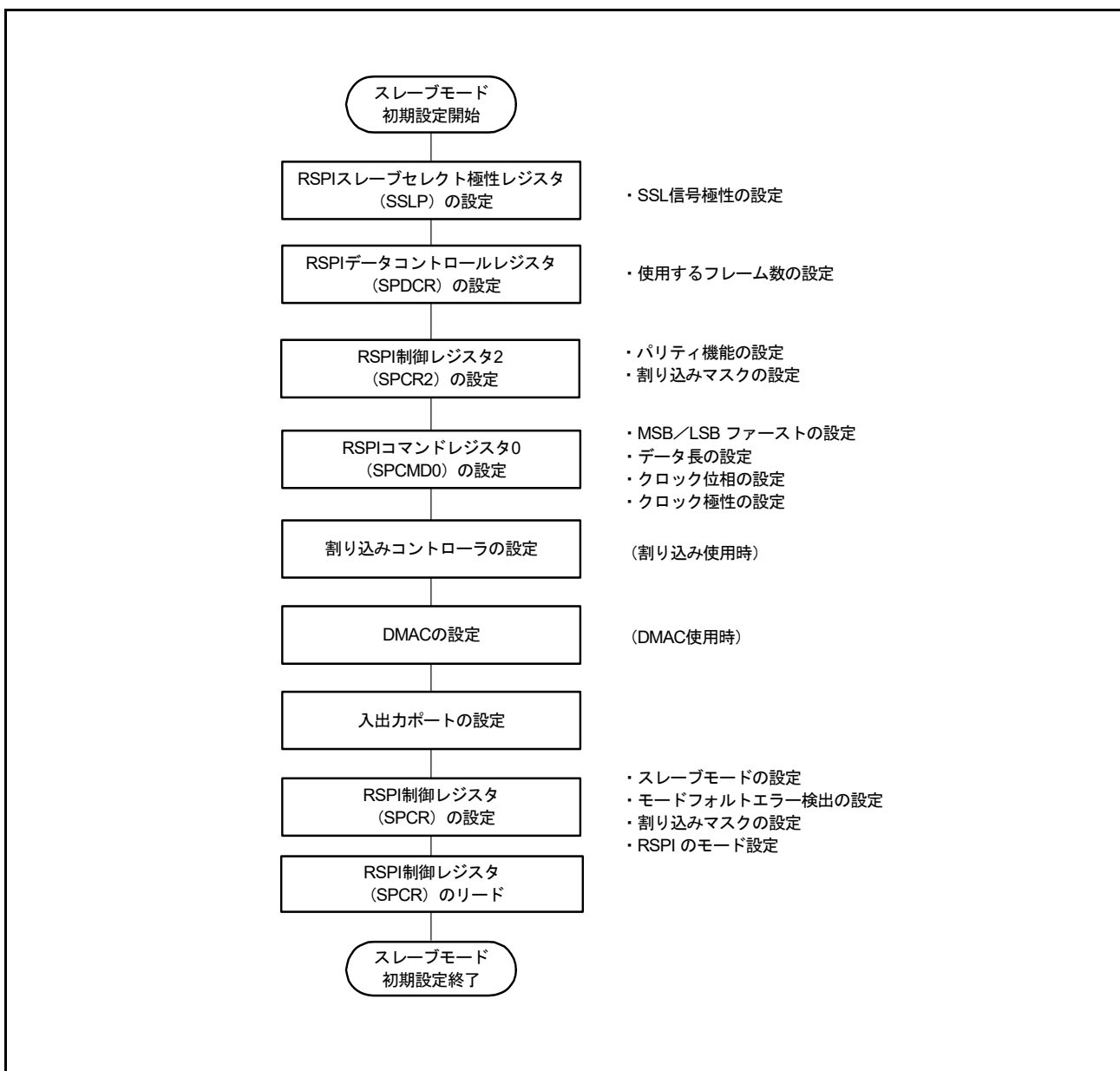


図 28.39 スレーブモード時の初期化フロー例 (SPI 動作)

(6) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 28.40 ~ 図 28.42 に示します。

(a) 送信処理フロー

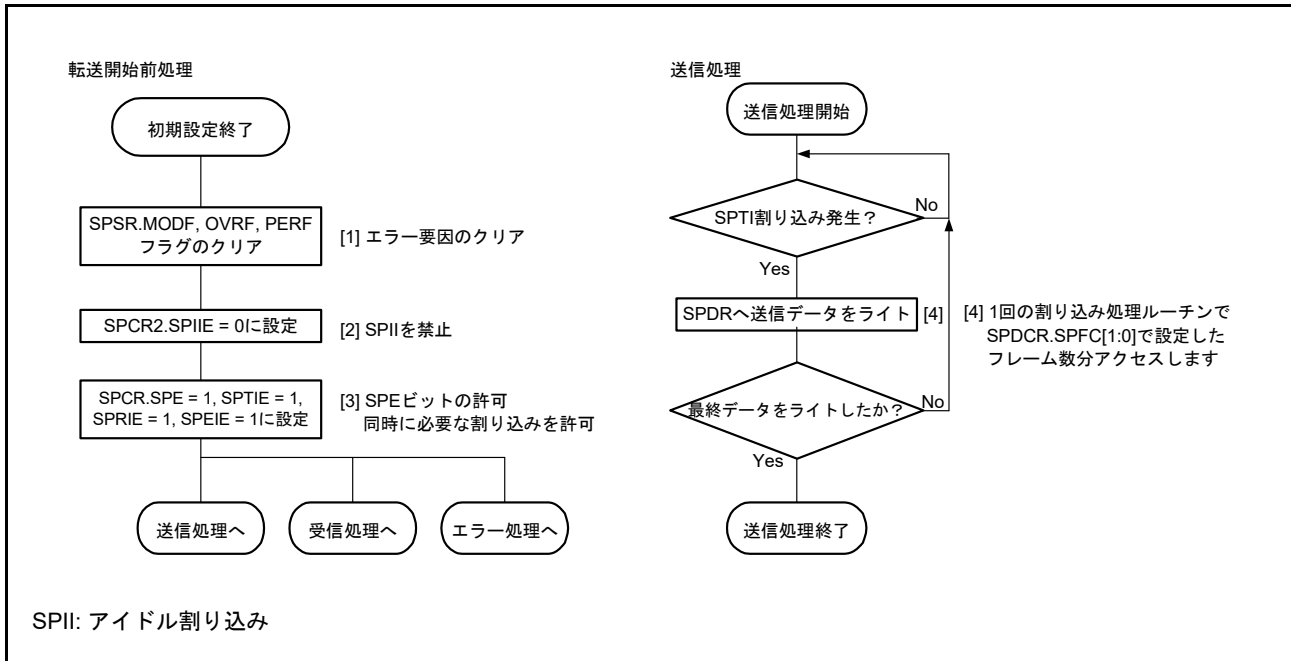


図 28.40 スレーブモード時のフローチャート (送信)

(b) 受信処理フロー

RSPI は受信のみの動作を持たないため、常に送信を必要とします。

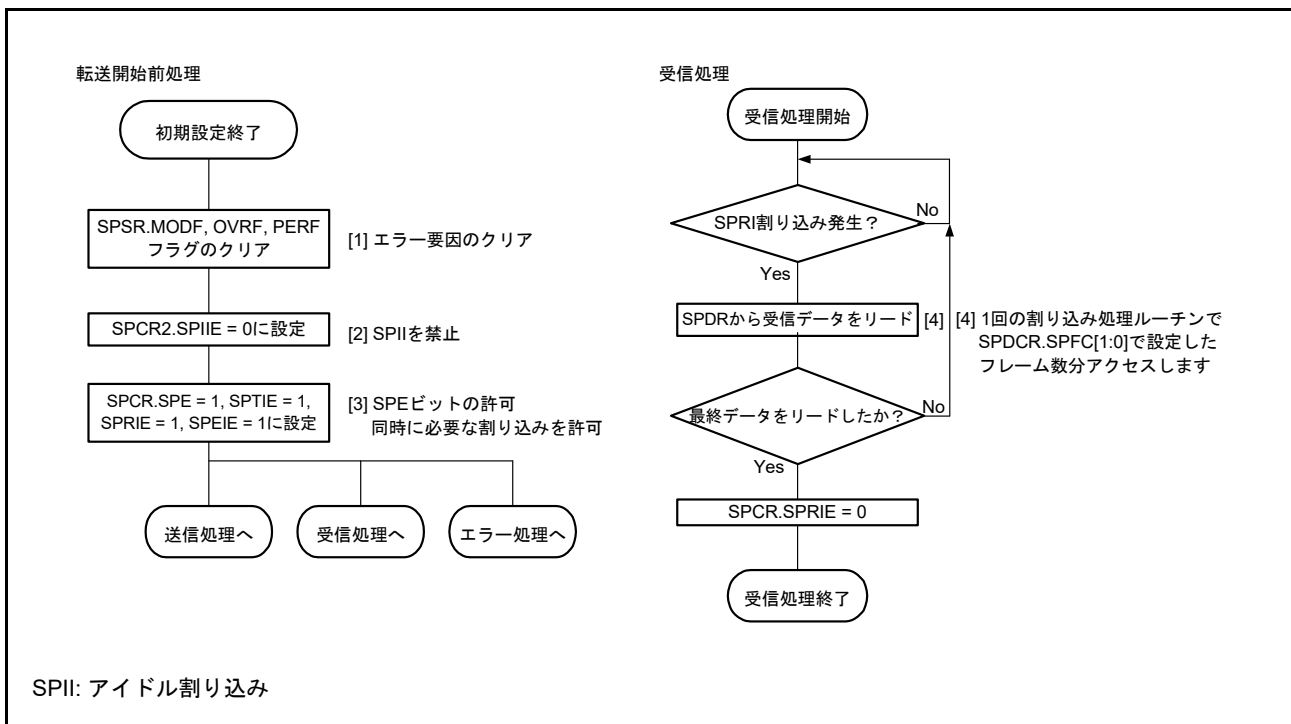


図 28.41 スレーブモード時のフローチャート (受信)

(c) エラー処理フロー

スレーブ動作では、モードフォルトエラーが発生しても端子を非アサートにせず、SPSR.MODF フラグをクリアすることができます。

エラー発生時は、割り込み要求フラグとして IRQ ステータスレジスタ (IRQSn) に送信バッファエンプティ割り込み (SPTI) または受信バッファフル割り込み (SPRI) 要求が保持されている可能性があるためエラー処理にて対応する IRQ ステータスレジスタ (IRQSn) のフラグをクリアしてください。また、受信バッファフル割り込み (SPRI) 要求が保持されている場合、受信バッファを読み出して RSPI の内部シーケンサを初期化してください。

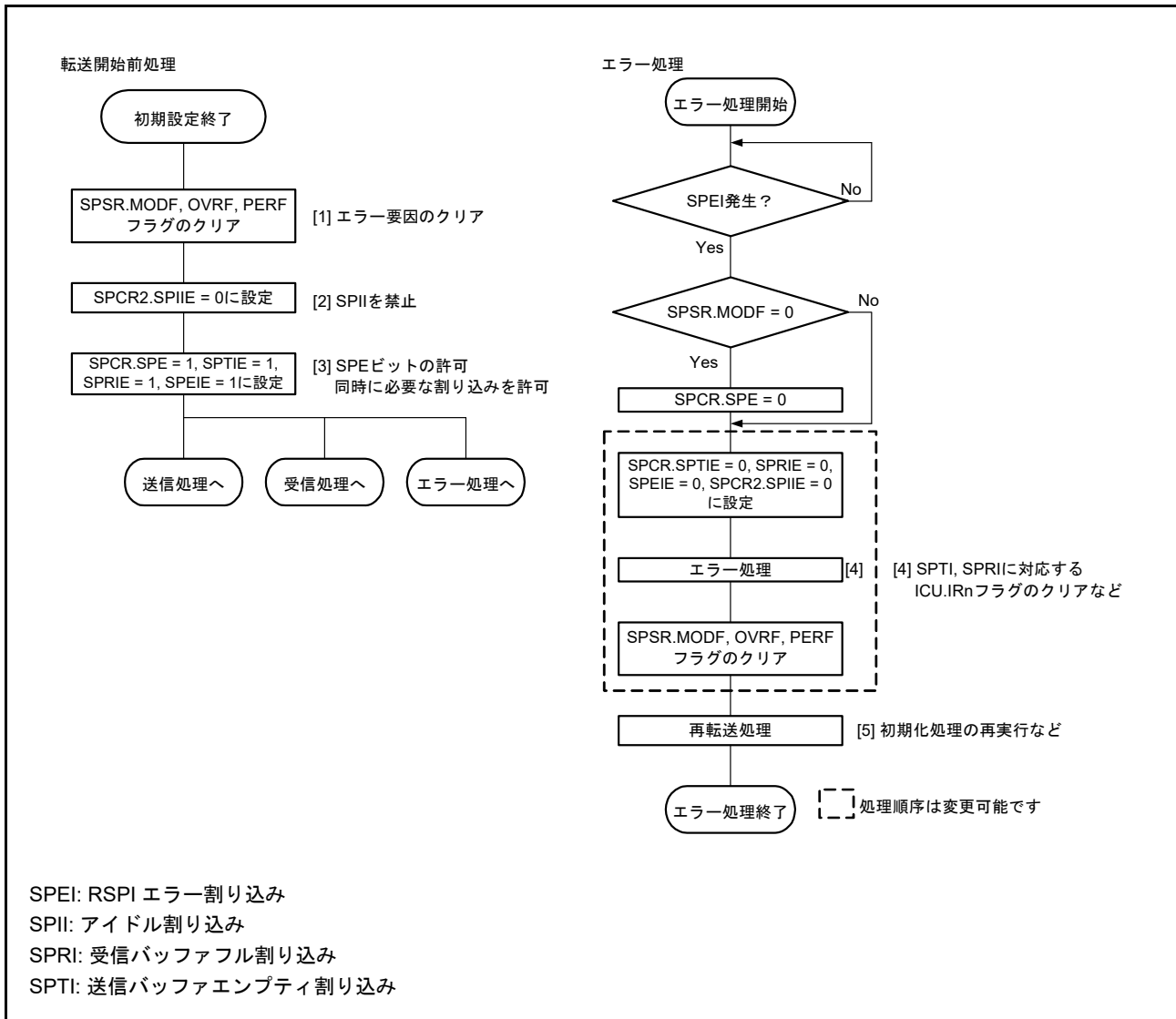


図 28.42 スレーブモード時のフローチャート (エラー処理)

28.3.11 クロック同期式動作

RSPI は、SPCR.SPMS ビットが“1”であるとき、クロック同期式動作となります。クロック同期式動作は、SSLYi 端子を使用せず、RSPCKy、MOSIy、MISOy の 3 本の端子を用いて通信を行い、SSLYi 端子は I/O ポートとして使用することができます。

クロック同期式動作は、SSLYi 端子を使用せず通信を行います。モジュール内部の動作は SPI 動作と同様の動作を行います。マスタ動作、スレーブ動作において、SPI 動作時と同様のフローで通信を行うことができますが、SSLYi 端子を使用しませんので、モードフォルトエラーの検出を行いません。

また、クロック同期式動作では、スレーブモード時 (SPCR.MSTR = 0) に SPCMDm.CPHA ビットを“0”にした場合の動作はしないでください。

($i = 0 \sim 3$ 、 $m = 0 \sim 7$ 、 $y = 0, 1$ (各チャンネルに対応))

28.3.11.1 マスタモード動作

(1) シリアル転送の開始

送信バッファが空 (次転送のデータがセットされていない) の状態で、SPDR レジスタへデータを書くと、RSPI は SPDR レジスタの送信バッファ (SPTX) のデータを更新します。SPDR レジスタへ SPCR.SPFC[1:0] ビットで設定したフレーム分のデータの書き込み後、シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPI は、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを参照することはできません。

なお、RSPI の転送フォーマットの詳細については、「28.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時は、SSLY0 出力信号を用いずに通信を行います ($y = 0, 1$ (各チャンネルに対応))。

(2) シリアル転送の終了

RSPI は最終サンプリングタイミングに対応する RSPCKy エッジを送出するとシリアル転送を終了します。受信バッファ (SPRX) が空の場合には、シリアル転送終了後にシフトレジスタから SPDR レジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの RSPI のデータ長は、SPCMDm.SPB[3:0] ビットの設定値に依存します。RSPI の転送フォーマットの詳細については、「28.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時は、SSLY0 出力信号を用いずに通信を行います ($y = 0, 1$ (各チャンネルに対応))。

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、SPND レジスタによって決定されます。クロック同期式動作時は、SSLYi 信号の出力を行いませんが、これらの設定は有効です。

SPSCR レジスタは、マスタモードの RSPI で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタには、SSLYi 出力信号値、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCKy 極性/位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND レジスタの参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタには RSPI クロック遅延値、SSLND レジスタには SSL ネゲート遅延、SPND レジスタには次アクセス遅延値が設定されています。

RSPI は、SPSCR レジスタに設定されたシーケンス長にしたがって、SPCMDm レジスタの一部／全部からなるシーケンスを構成します。RSPI には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットの読み出しによって確認できます。SPCR.SPE ビットが“1”で RSPI 動作が許可された状態にすると、RSPI はコマンドに対するポインタを SPCMD0 レジスタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。RSPI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPI はポインタを SPCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。
 (i=0~3、m=0~7、y=0,1 (各チャンネルに対応))

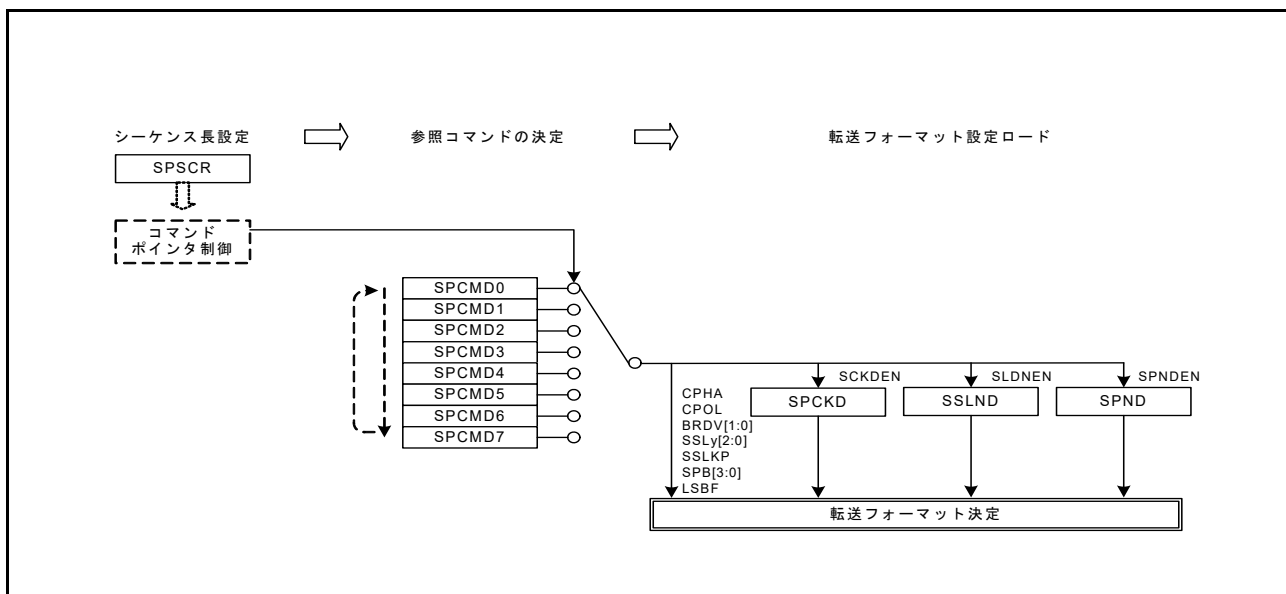


図 28.43 マスタモードでのシリアル転送方式の決定方法

本章では、データ (SPDR) と設定 (SPCMDm) の2つを合わせてフレームとします (m=0~7)。

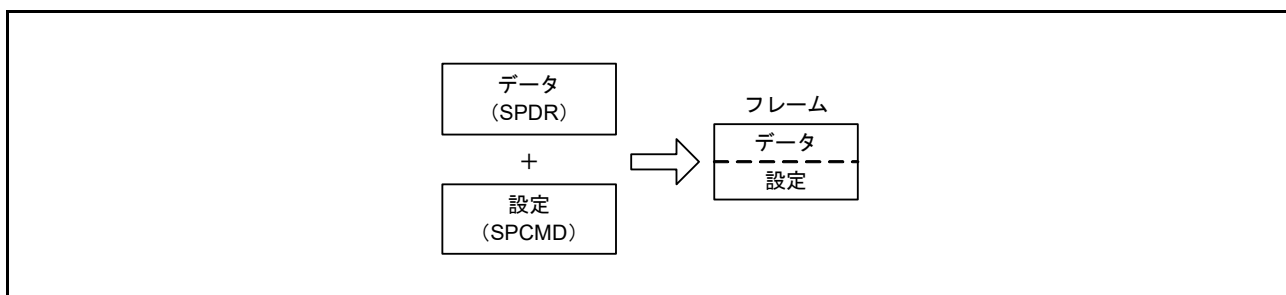


図 28.44 フレーム概念図

表 28.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ/受信バッファの関係を図 28.45 に示します。

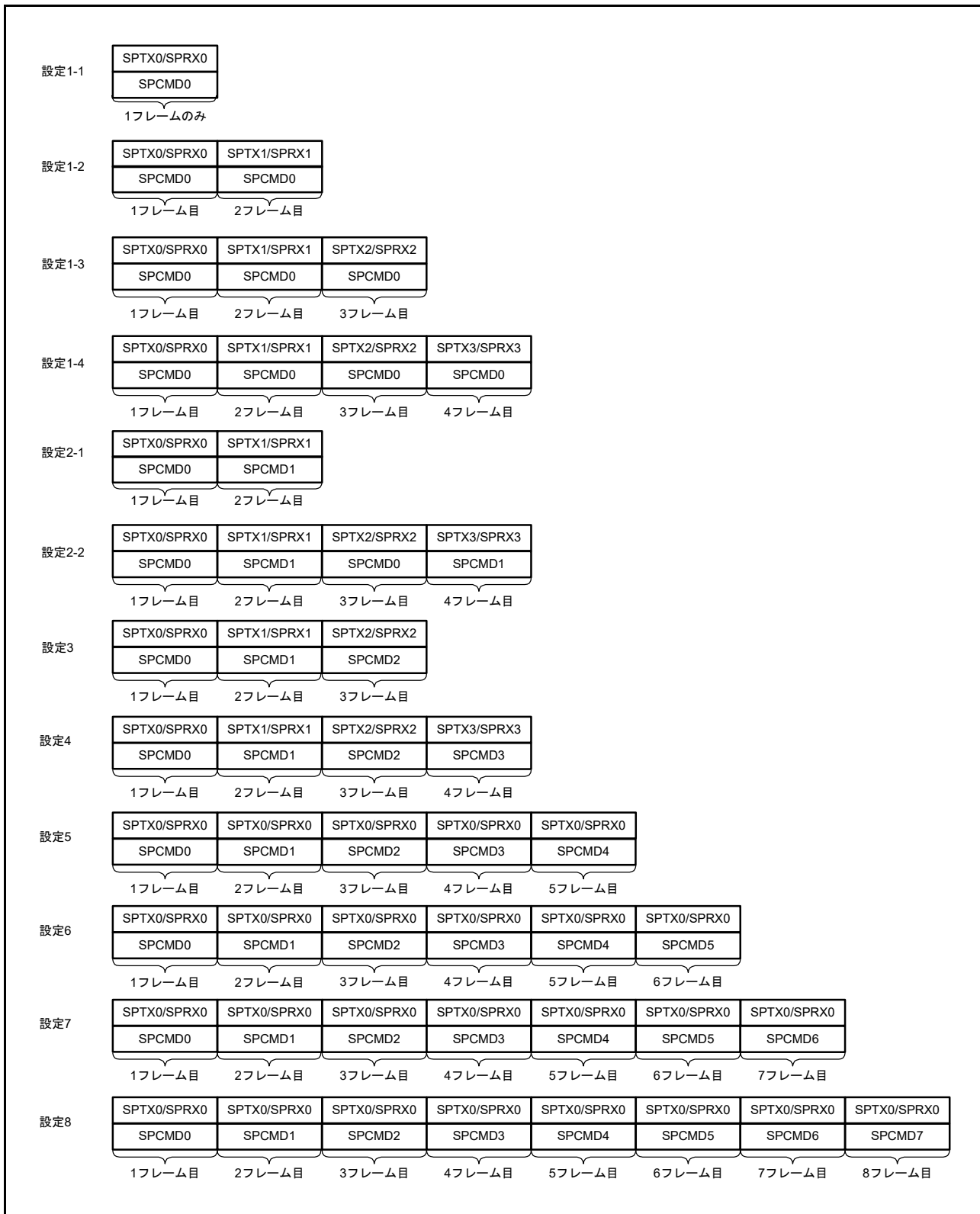


図 28.45 シーケンス動作時の RSPI コマンドレジスタと送受信バッファの対応

(4) 初期化フロー

図 28.46 に、クロック同期式動作時の RSPI をマスターモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。



図 28.46 マスターモード時の初期化フロー例 (クロック同期式動作)

(5) ソフトウェア処理フロー

クロック同期式動作時のマスタモード動作のソフトウェア処理は、SPI 動作時のマスタモード動作のソフトウェア処理フローと同様になります。詳細は、「28.3.10.1 (9) ソフトウェア処理フロー」を参照してください。ただし、モードフォルトエラーの発生はありません。

28.3.11.2 スレーブモード動作

(1) シリアル転送の開始

RSPI は、SPCR.SPMS ビットが“1”であるとき、最初の RSPCK_y エッジがシリアル転送開始のトリガになります。

RSPI は、シフトレジスタが空の状態ではシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、RSPI はシフトレジスタの状態をフルのまま変更しません。

SPMS ビットが“1”であるときは、RSPI は MISO_y 出力信号を常にドライブします。

なお、RSPI の転送フォーマットの詳細については、「28.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時は SSL0 入力信号を使用しません ($y=0, 1$ (各チャンネルに対応))。

(2) シリアル転送の終了

RSPI は最終サンプリングタイミングに相当する RSPCK_y エッジを検出するとシリアル転送を終了します。受信バッファが空の場合には、シリアル転送の終了後に、RSPI はシフトレジスタから SPDR レジスタの受信バッファに受信データをコピーします。また、RSPI はシリアル転送の終了後にシフトレジスタの状態を空に変更します。なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの RSPI のデータ長は SPCMD0.SP[3:0] ビットの設定値に依存します。RSPI の転送フォーマットの詳細については、「28.3.5 転送フォーマット」を参照してください ($y=0, 1$ (各チャンネルに対応))。

(3) 初期化フロー

図 28.47 に、クロック同期式動作時の RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

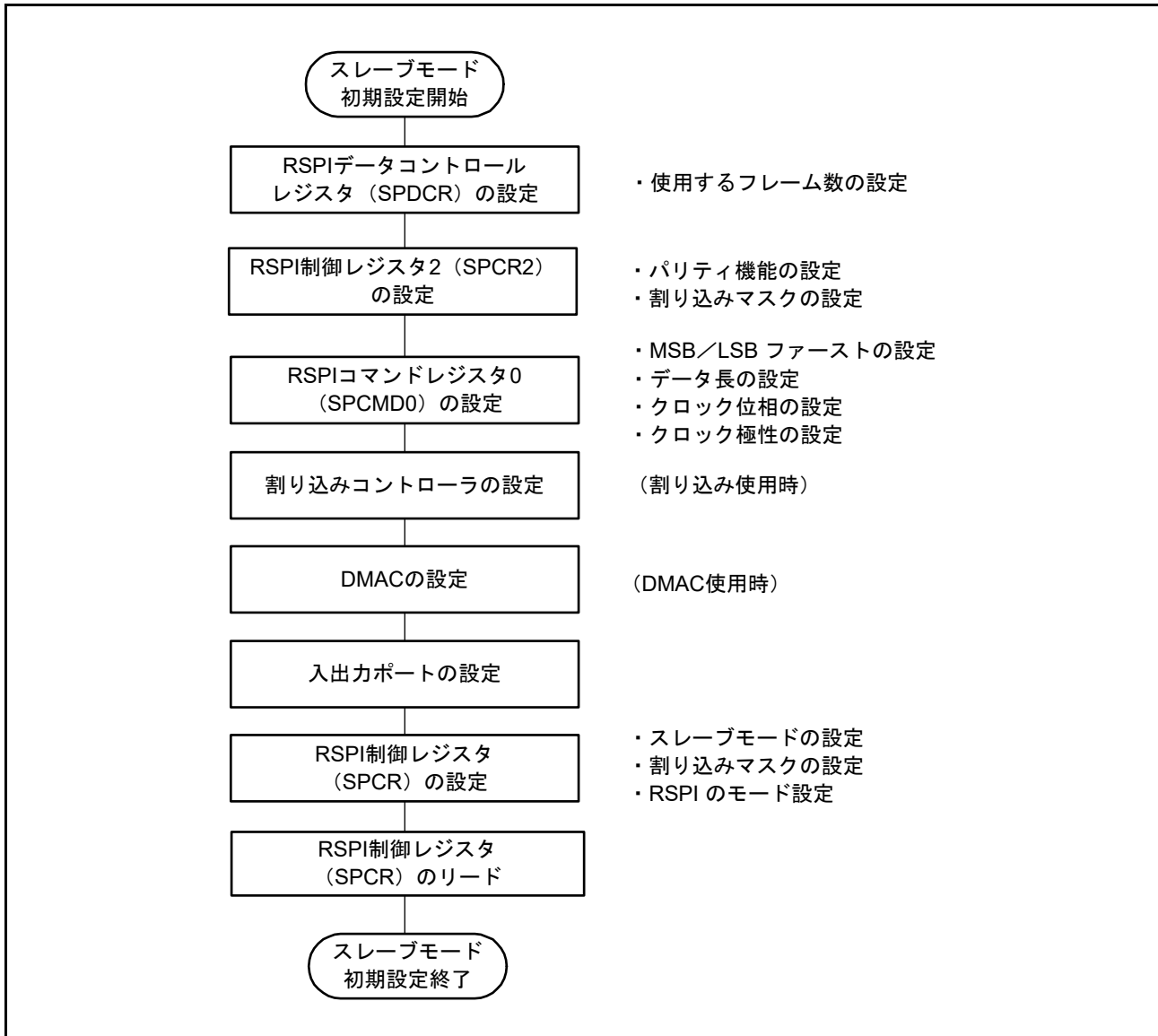


図 28.47 スレーブモード時の初期化フロー例 (クロック同期式動作)

(4) ソフトウェア処理フロー

クロック同期式動作時のスレーブモード動作のソフトウェア処理は、SPI 動作時のスレーブモード動作のソフトウェア処理フローと同様になります。詳細は、「28.3.10.2 (6) ソフトウェア処理フロー」を参照してください。ただし、モードフォルトエラーの発生はありません。

28.3.12 ループバックモード

SPPCR.SPLP2 ビットまたは SPLP ビットに“1”を書くと、RSPIは SPCR.MSTR ビットが“1”ならば、MISO_y 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MOSI_y 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。また、SPCR.MSTR ビットが“1”ならば、MOSI_y 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MISO_y 端子とシフトレジスタ間の経路を遮断しません。これをループバックモードと呼びます。ループバックモードでシリアル転送を実行すると、RSPI の送信データまたは送信データの反転が RSPI の受信データになります。

表 28.12 に SPLP2 ビット、SPLP ビットの設定と受信データの関係を示します。また、図 28.48 に、マスターモードの RSPI をループバックモード (SPPCR.SPLP2 = 0、SPPCR.SPLP = 1) に設定した場合のシフトレジスタ入出力経路の構成を示します (y = 0, 1 (各チャンネルに対応))。

表 28.12 SPLP2 ビット、SPLP ビットの設定と受信データ

SPPCR.SPLP2 ビット	SPPCR.SPLP ビット	受信データ
0	0	MOSI _y 端子または MISO _y 端子からの入力データ
0	1	送信データの反転
1	0	送信データ
1	1	送信データ

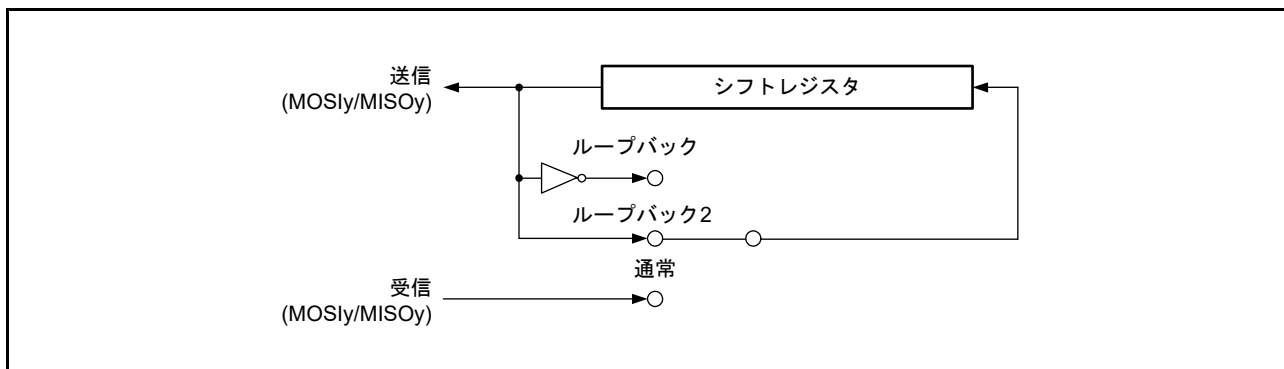


図 28.48 ループバックモード時のシフトレジスタ入出力構成 (マスターモード)

28.3.13 パリティビット機能の自己判断

パリティ回路は、送信データに対するパリティ付加部と受信データに対するエラー検出部で構成されます。パリティ回路のパリティ付加部とエラー検出部の故障を検出するために、図 28.49 に示すフローにしたがい、パリティ回路の自己診断を行います。

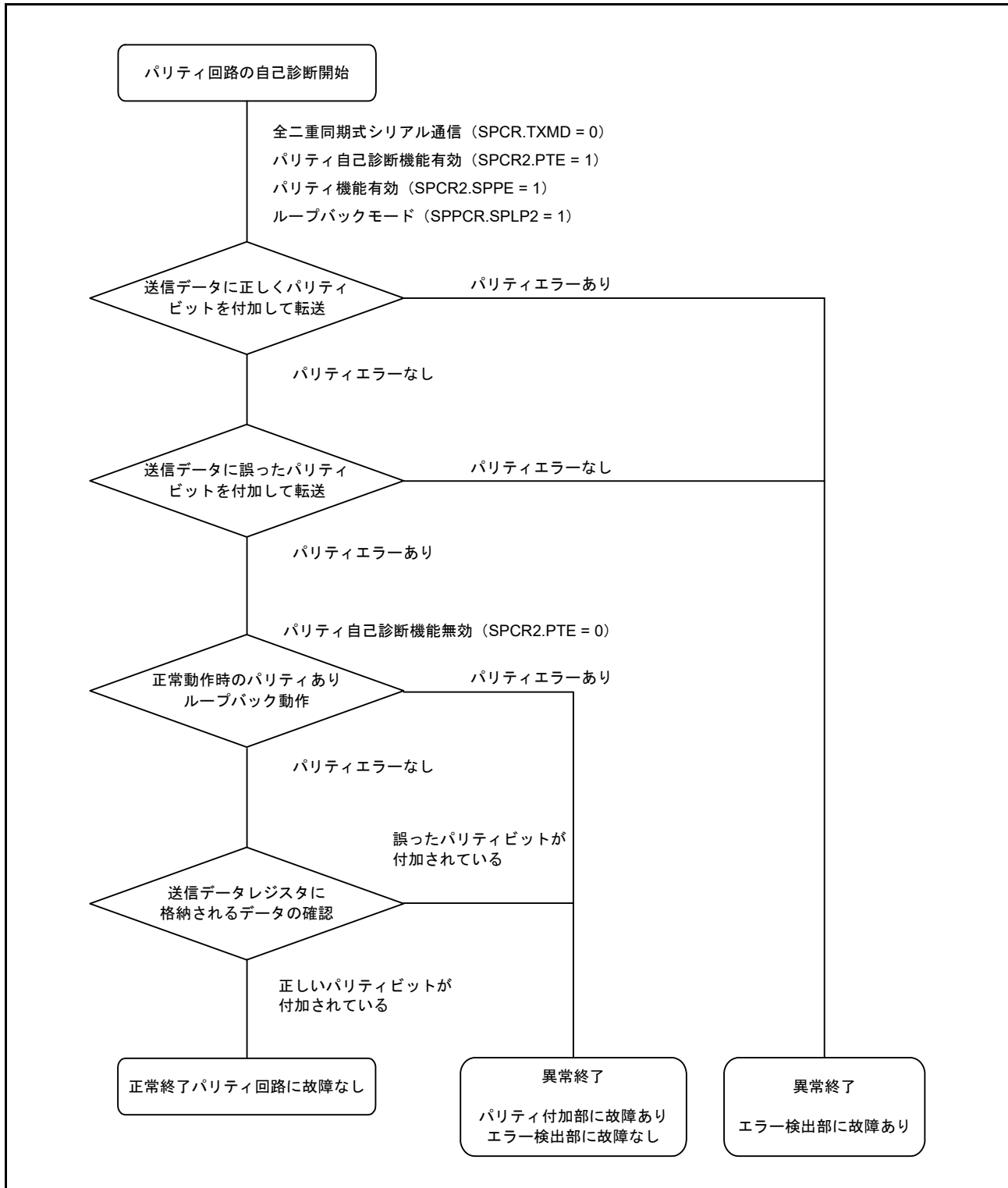


図 28.49 パリティ回路の自己判断フロー

28.3.14 割り込み要因

RSPI の割り込み要因には、受信バッファフル、送信バッファエンプティ、モードフォルト、オーバラン、パリティエラー、RSPI アイドルがあります。また、受信バッファフル、送信バッファエンプティの割り込み要求で DMAC を起動し、データ転送を行うことができます。

モードフォルト、オーバラン、パリティエラーの割り込み要求は共通のベクタアドレスに割り付けられているため、フラグによる要因の判断が必要です。表 28.13 に RSPI の割り込み要因を示します。表 28.13 の割り込み条件が成立すると、割り込みが発生します。受信バッファフルと送信バッファエンプティの要因は、データ転送で割り込み要因をクリアしてください。

DMAC を使って送受信を行う場合は、先に DMAC を設定し、許可状態にしてから RSPI の設定を行ってください。DMAC の設定方法は「14. DMA コントローラ (DMACAa)」を参照してください。

表 28.13 RSPI の割り込み要因

割り込み要因	略称	割り込み条件	DMAC 起動
受信バッファフル	SPRI	SPCR.SPRIE ビットが“1”の状態を受信バッファフルになったとき	可能
送信バッファエンプティ	SPTI	SPCR.SPTIE ビットが“1”の状態を送信バッファエンプティになったとき	可能
RSPI エラー (モードフォルト、オーバラン、パリティエラー)	SPEI	SPCR.SPEIE ビットが“1”の状態で SPSR.MODF、OVRF、または PERF フラグが“1”になったとき	不可能
RSPI アイドル	SPII	SPCR2.SPIIE ビットが“1”の状態に IDLNF フラグが“0”になったとき	不可能

28.4 イベントリンク機能によるリンク動作 (RSPI チャンネル 0 のみ)

イベントリンクコントローラ (ELC) に対して次のイベント出力を行う機能を持っています。イベントリンク出力信号は、対応する割り込み許可ビット (SPCR.SPEIE ビット、SPCR.SPTIE ビットおよび SPCR.SPRIE ビット) に依存せず出力します。

28.4.1 受信バッファフルイベント出力

シリアル転送が終了してシフトレジスタから SPDR レジスタに受信データを転送したときに、イベントを出力します。

28.4.2 送信バッファエンプティイベント出力

送信バッファからシフトレジスタに送信データが転送されたとき、また、SPCR.SPE ビットを“0”から“1”に変化させたときにイベントを出力します。

28.4.3 モードフォルト/オーバラン/パリティエラーイベント出力

(1) モードフォルト

表 28.14 にモードフォルトイベント出力の発生条件を示します。

表 28.14 モードフォルトイベント出力の発生条件

	SPCR.MODFEN ビット	SSLy0 端子 (y = 0, 1)	備考
マスタ (SPCR.MSTR ビットが“1”)	1	アクティブ	MSTR ビットが“1”かつ SPCR.MODFEN ビットが“1”のとき、SPCR.SPMS ビットが“0”では、モードフォルトエラーおよびオーバランエラー、パリティエラーイベント出力は使用できません。ELSRn レジスタに“52h”を設定しないでください。
スレーブ (SPCR.MSTR ビットが“0”)	1	非アクティブ	通信動作中に SSL0 端子が非アクティブになった場合のみイベント出力

(2) オーバラン

オーバランイベント出力の発生条件として、SPCR.TXMD ビットが“0”、かつ受信用バッファに未リードのデータがある状態でシリアル転送が終了したとき、OVRF フラグが“1”となり、イベントを出力します。

(3) パリティエラー

パリティエラーイベント出力の発生条件として、SPCR の TXMD ビットが“0”、SPCR2 の SPPE ビットが“1”の状態ではシリアル転送が終了し、パリティエラーが検出されたとき、イベントを出力します。

28.4.4 RSPI アイドルイベント出力

(1) マスタモード時

マスタモードのときは、IDLNF フラグ (RSPI アイドルフラグ) が “0” になる条件が成立したときイベントを出力します。

(2) スレーブモード時

スレーブモードのときは、SPCR の SPE ビットが “0” (RSPI 初期化) のとき、イベントを出力します。

28.4.5 送信完了イベント出力

SPI 動作、クロック同期式動作ともマスタモードのときは、IDLNF フラグ (RSPI アイドルフラグ) が “1” から “0” になる条件でイベントを出力します。

表 28.15 送信完了イベント出力の発生条件 (スレーブ)

	送信バッファ状態	シフトレジスタ状態	その他
SPI動作 (SPCR.SPMS = 0)	エンプティ	エンプティ	SSL0入力ネゲート
クロック同期式動作 (SPCR.SPMS = 1)	エンプティ	エンプティ	最終RSPCKのエッジ検出

マスタ/スレーブにかかわらず、送信動作中に SPCR.SPE ビットへの “0” の書き込み時、またはモードフォルトエラー発生による SPCR.SPE ビットのクリア時はイベントを出力しません。

28.5 使用上の注意事項

28.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、RSPI の動作禁止/許可を設定できます。リセット後の値では、RSPI の動作は停止します。モジュールストップ状態を解除することにより、レジスタをアクセスできます。詳細は「9. 消費電力低減機能」を参照してください。

28.5.2 消費電力低減機能の注意事項

モジュールストップ状態へ遷移する場合は、あらかじめ SPCR.SPE ビットを“0”に設定し通信を終了させてください。

28.5.3 通信の開始に関する注意事項

対応する IRQ ステータスレジスタ (IRQSn) の割り込み要求フラグが“1”で通信を開始すると、通信開始後に次の割り込み要求が発生して、モジュール内部で割り込み要求が保持されます。このため、割り込み要求フラグが予期しない挙動となる可能性があります。

通信開始時点で RSPI の割り込み要求に対応する要求フラグが“1”のときは、動作許可 (SPCR.SPE ビットを“1”にする) 前に下記の手順でモジュール内部および IRQ ステータスレジスタ (IRQSn) の割り込み要求をクリアしてください。

- (1) 通信が停止していること (SPCR.SPE ビットが“0”となっていること) を確認
- (2) 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を“0”にする
- (3) 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を読み出し、“0”を確認
- (4) 対応する IRQ ステータスレジスタ (IRQSn) の割り込み要求フラグを“0”にする

29. SPI マルチ I/O バスコントローラ (SPIBSC)

SPI マルチ I/O バスコントローラは、SPI マルチ I/O バス空間に接続されたシリアルフラッシュに対し、制御信号を出力するバスコントローラです。これにより、シリアルフラッシュを直接接続することができます。

本 LSI は 1 チャンネルの SPI マルチ I/O バスコントローラを備えています。

29.1 概要

本モジュールは、SPI マルチ I/O バス空間に接続したシリアルフラッシュに対し、直接リードおよび SPI 動作モードによるデータの送受信を行うことができます。表 29.1 に SPIBSC の仕様を示します。

表 29.1 SPIBSC の仕様

項目	内容
シリアルフラッシュ インタフェース	<ul style="list-style-type: none"> シリアルフラッシュを 1 個接続可能 データバス幅を 1 ビット、2 ビット、4 ビットから選択可能
外部アドレス空間リード モード	<ul style="list-style-type: none"> アドレス空間を最大 4G バイトまでサポート アクセスアドレスをモニタすることにより、SPBSSL 端子の自動制御が可能 リードキャッシュ内蔵 (ラインサイズ 64 ビット × 16 エントリ) により、効率の良いデータ受信が可能
SPI 動作モード	<ul style="list-style-type: none"> シリアルフラッシュに対し、任意のリード/ライト動作が可能
ビットレート	<ul style="list-style-type: none"> 内部ポーレートジェネレータで PCLKA を分周して SPBCLK を生成 SPBCLK 分周比を 2 ~ 4080 で設定可能
SPBSSL 端子制御	<ul style="list-style-type: none"> SPBSSL 信号のアクティブから SPBCLK 動作までの遅延 (クロック遅延) を設定可能 設定範囲: 1 ~ 8SPBCLK 設定単位: 1SPBCLK SPBCLK 停止から SPBSSL 出力のインアクティブまでの遅延 (SPBSSL ネゲート遅延) を設定可能 設定範囲: 1.5 ~ 8.5SPBCLK 設定単位: 1SPBCLK 次のアクセスの SPBSSL 出力のウェイト (次アクセス遅延) を設定可能 設定範囲: 1 ~ 8SPBCLK 設定端子: 1SPBCLK SPBSSL 極性変更可能

図 29.1 に本モジュールのブロック図を示します。

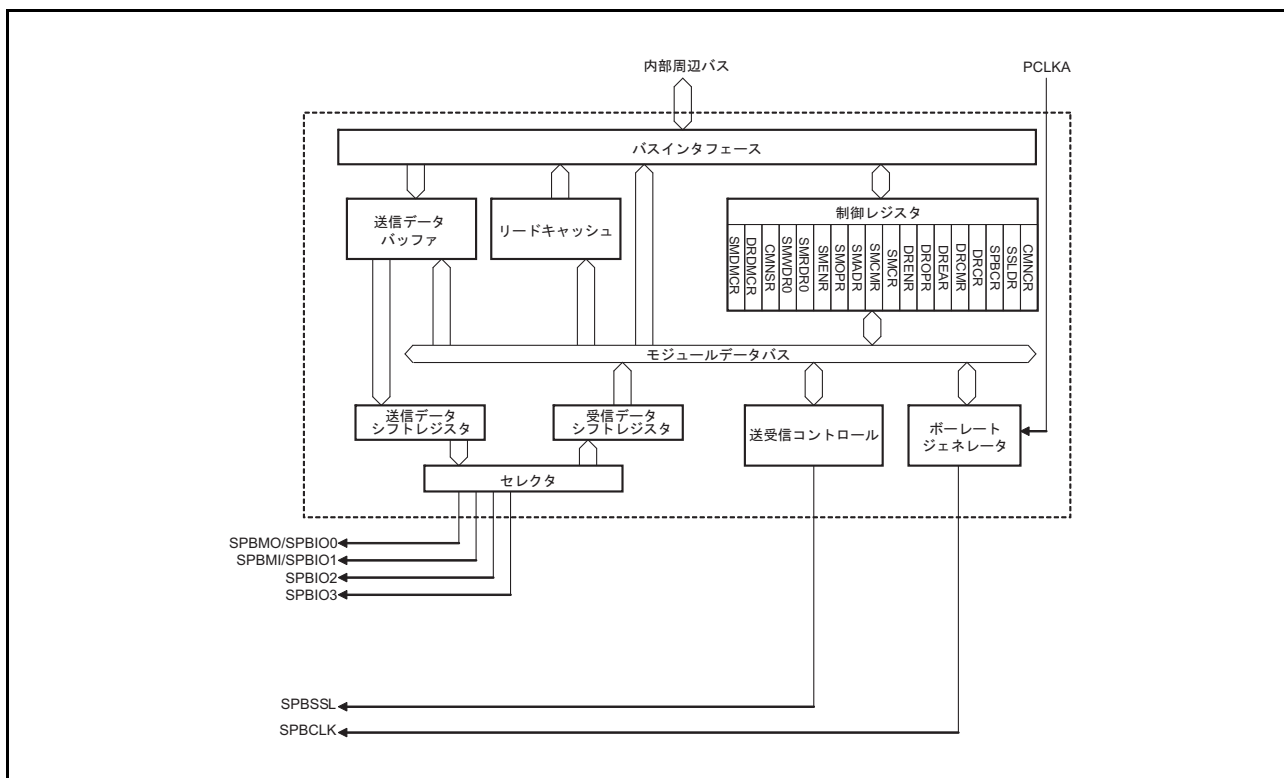


図 29.1 SPIBSC のブロック図

表 29.2 に本モジュールの入出力端子を示します。

表 29.2 SPIBSCの入出力端子

名称	端子名	入出力	機能
クロック端子	SPBCLK	出力	クロック出力
スレーブセレクト端子	SPBSSL	出力	スレーブセレクト
ポートデータ 0 端子	SPBMO/SPBIO0	入出力	ポートマスタ送出データ / データ 0
ポートデータ 1 端子	SPBBI/SPBIO1	入出力	ポートマスタ入力データ / データ 1
ポートデータ 2 端子	SPBIO2	入出力	ポートデータ 2
ポートデータ 3 端子	SPBIO3	入出力	ポートデータ 3

29.2 レジスタの説明

29.2.1 共通コントロールレジスタ (CMNCR)

CMNCR レジスタは、SPI マルチ I/O バスコントローラの制御を行う 32 ビットのレジスタです。本レジスタの設定は、外部アドレス空間リード / SPI 動作モード両方に反映されます。

本レジスタは、CMNSR レジスタの TEND フラグ = “1” のときに変更してください。CMNSR レジスタの TEND フラグ = “0” 時に変更した場合の動作は保証しません。

アドレス A000 5000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MD	—	—	—	—	—	—	SFDE	MOIIIO3[1:0]	MOIIIO2[1:0]	MOIIIO1[1:0]	MOIIIO0[1:0]				
リセット後の値	0	0	0	0	0	0	0	1	1	0	1	0	1	0	1	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IO3FV[1:0]	IO2FV[1:0]	—	—	IO0FV[1:0]	—	CPHAT	CPHAR	SSLP	CPOL	—	BSZ[1:0]				
リセット後の値	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W															
b1-b0	BSZ[1:0]	データバス幅指定	接続するシリアルフラッシュの数を指定します。本製品では、1個のみ接続可能なため、00b以外に設定しないでください。他の値を設定した場合の動作は保証しません。 b1 b0 00 : 1個 01 : 設定禁止 1X : 設定禁止	R/W															
b2	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W															
b3	CPOL	SPBSSLネゲート期間SPBCLK出力方向	SPBSSL信号がインアクティブ期間のSPBCLK端子の出力レベルを設定します。 0 : SPBSSL信号がインアクティブ時SPBCLK端子は0出力 1 : SPBSSL信号がインアクティブ時SPBCLK端子は1出力	R/W															
b4	SSLP	SPBSSL信号極性設定	SPBSSL信号の極性を設定します。 0 : SPBSSL信号はLowアクティブ 1 : SPBSSL信号はHighアクティブ	R/W															
b5	CPHAR	入力ラッチ設定	受信データに対するSPBCLK信号のエッジを設定します。CPHATビットと本ビットの設定は以下の表にしたがってください。 0 : 奇数エッジでデータ受信 1 : 偶数エッジでデータ受信 CPHATビットとCPHARビットの設定値 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>CPHAT</th> <th>CPHAR</th> <th></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>設定可</td> </tr> <tr> <td>0</td> <td>1</td> <td>設定可</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定可</td> </tr> </tbody> </table>	CPHAT	CPHAR		0	0	設定可	0	1	設定可	1	0	設定禁止	1	1	設定可	R/W
CPHAT	CPHAR																		
0	0	設定可																	
0	1	設定可																	
1	0	設定禁止																	
1	1	設定可																	
b6	CPHAT	出力シフト設定	データ送信に対するSPBCLK信号のエッジを設定します。本ビットとCPHARビットの設定はCPHARビットの説明にしたがってください。 0 : 偶数エッジでデータ送信 1 : 奇数エッジでデータ送信	R/W															

ビット	シンボル	ビット名	機能	R/W
b7	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b9-b8	IO0FV[1:0]	1ビット幅入力時SPBIO0固定値	1ビット幅入力時のSPBIO0端子の出力値を固定します。 b9 b8 00: 出力値は0固定 01: 出力値は1固定 10: 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11: 出力値はHi-Z	R/W
b11-b10	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b13-b12	IO2FV[1:0]	1ビット/2ビット幅時SPBIO2固定値	1ビット/2ビット幅時のSPBIO2端子の出力値を固定します。 b13 b12 00: 出力値は0固定 01: 出力値は1固定 10: 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11: 出力値はHi-Z	R/W
b15-b14	IO3FV[1:0]	1ビット/2ビット幅時SPBIO3固定値	1ビット/2ビット幅時のSPBIO3端子の出力値を固定します。 b15 b14 00: 出力値は0固定 01: 出力値は1固定 10: 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11: 出力値はHi-Z	R/W
b17-b16	MOIIO0[1:0]	SPBSSLアイドル時SPBIO0固定値	SPBSSL信号のインアクティブ期間のSPBIO0端子の出力値を固定します。 b17 b16 00: 出力値は0 01: 出力値は1 10: 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11: 出力値はHi-Z	R/W
b19-b18	MOIIO1[1:0]	SPBSSLアイドル時SPBIO1固定値	SPBSSL信号のインアクティブ期間のSPBIO1端子の出力値を固定します。 b19 b18 00: 出力値は0 01: 出力値は1 10: 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11: 出力値はHi-Z	R/W
b21-b20	MOIIO2[1:0]	SPBSSLアイドル時SPBIO2固定値	SPBSSL信号のインアクティブ期間のSPBIO2端子の出力値を固定します。 b21 b20 00: 出力値は0 01: 出力値は1 10: 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11: 出力値はHi-Z	R/W
b23-b22	MOIIO3[1:0]	SPBSSLアイドル時SPBIO3固定値	SPBSSL信号のインアクティブ期間のSPBIO3端子の出力値を固定します。 b23 b22 00: 出力値は0 01: 出力値は1 10: 出力値は直前のビット (直前のビットが Hi-Z のときは Hi-Z) 11: 出力値はHi-Z	R/W
b24	SFDE	シリアルフラッシュデータスワップ設定	シリアルフラッシュのデータのスワップを設定します。 0: スワップしない 1: 8ビット単位でスワップ 詳細は「29.3.4 データアライメント」を参照してください。	R/W
b30-b25	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W

ビット	シンボル	ビット名	機能	R/W
b31	MD	動作モード切り替え	動作モードの切り替えを行います。 0 : 外部アドレス空間リードモード 1 : SPI動作モード	R/W

29.2.2 SSL 遅延レジスタ (SSLDR)

SSLDR レジスタは、SPBSSL 信号と SPBCLK 信号間のタイミング調整を行う 32 ビットのレジスタです。本レジスタの設定は、外部アドレス空間リード / SPI 動作モード両方に反映されます。

本レジスタは、CMNSR レジスタの TEND フラグ = “1” のときに変更してください。CMNSR レジスタの TEND フラグ = “0” 時に変更した場合の動作は保証しません。

アドレス A000 5004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	SPNDL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SLNDL[2:0]		—	—	—	—	—	SCKDL[2:0]			
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b2-b0	SCKDL[2:0]	クロック遅延設定	SPBSSL 信号のアクティブから SPBCLK 信号からクロックが出力されるまでの期間 (クロック遅延) を設定します。 b2 b0 000 : 1SPBCLK 001 : 2SPBCLK 010 : 3SPBCLK 011 : 4SPBCLK 100 : 5SPBCLK 101 : 6SPBCLK 110 : 7SPBCLK 111 : 8SPBCLK	R/W
b7-b3	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b10-b8	SLNDL[2:0]	SPBSSL ネゲート遅延設定	転送最終時の SPBCLK 信号エッジを送出してから SPBSSL 信号をインアクティブにするまでの期間 (SPBSSL ネゲート遅延) を設定します。 b10 b8 000 : 1.5SPBCLK 001 : 2.5SPBCLK 010 : 3.5SPBCLK 011 : 4.5SPBCLK 100 : 5.5SPBCLK 101 : 6.5SPBCLK 110 : 7.5SPBCLK 111 : 8.5SPBCLK	R/W
b15-b11	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b18-b16	SPNDL[2:0]	次アクセス遅延設定	転送終了から次の転送開始までの期間 (次アクセス) を設定します。 b18 b16 000 : 1SPBCLK 001 : 2SPBCLK 010 : 3SPBCLK 011 : 4SPBCLK 100 : 5SPBCLK 101 : 6SPBCLK 110 : 7SPBCLK 111 : 8SPBCLK	R/W
b31-b19	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W

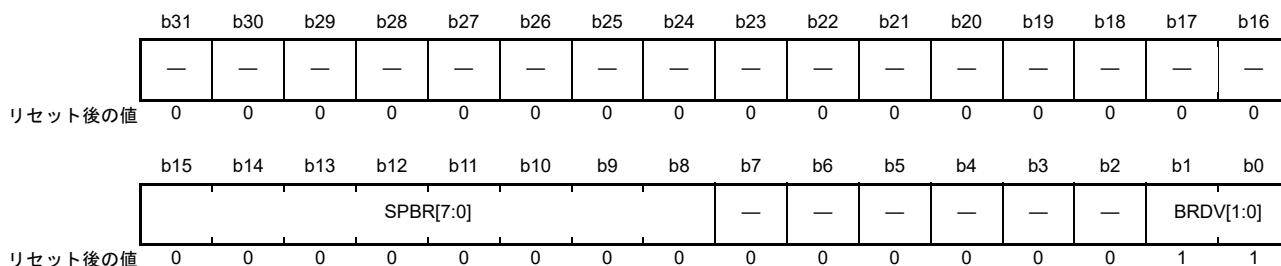
29.2.3 ビットレート設定レジスタ (SPBCR)

SPBCR レジスタは、ビットレートを設定する 32 ビットのレジスタです。

本レジスタの設定は、外部アドレス空間リード / SPI 動作モード両方に反映されます。

本レジスタは、CMNSR レジスタの TEND フラグ = “1” のときに変更してください。CMNSR レジスタの TEND フラグ = “0” 時に変更した場合の動作は保証しません。

アドレス A000 5008h



ビット	シンボル	ビット名	機能	R/W
b1-b0	BRDV[1:0]	ビットレート分周設定	ビットレートを設定します。ビットレートは SPBR[7:0] ビットとの組み合わせで決まります。SPBR ビットの設定値で、ベースとなるビットレートを決定します。本ビットは、ベースのビットレートに対して分周なし / 2分周 / 4分周 / 8分周を選択するために使用します。 b1 b0 00 : ベースのビットレートを選択 01 : ベースのビットレートの2分周を選択 10 : ベースのビットレートの4分周を選択 11 : ベースのビットレートの8分周を選択	R/W
b7-b2	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b15-b8	SPBR[7:0]	ビットレート設定	ビットレートを設定します。ビットレートは BRDV[1:0] ビットとの組み合わせで決まります。ビットレート設定の詳細は「表 29.3 SPBR[7:0]、BRDV[1:0] ビットの設定例とビットレート」を参照してください。	R/W
b31-b16	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W

(1) ビットレート

SPBR[7:0]、BRDV[1:0] ビットでビットレートを設定します。

SPBR[7:0] ≠ 0 のときのビットレートの計算式は以下のようになります。

式中の n は SPBR[7:0] の設定値 (1, ...255)、N は BRDV[1:0] の設定値 (0 ~ 3) です。

$$\text{ビットレート} = \text{PCLKA} / (2 \times n \times 2^N)$$

SPBR[7:0] = 0 のときのビットレートの計算式は以下のようになります。

$$\text{ビットレート} = \text{PCLKA} / 2^N$$

また、SPBR[7:0] = 0 かつ BRDV[1:0] = 0 の設定は禁止です。

表 29.3 SPBR[7:0]、BRDV[1:0] ビットの設定例とビットレート

SPBR[7:0]の 設定値 (n)	BRDV[1:0]の 設定値 (N)	分周比	ビットレート
			PCLKA = 150MHz
0	0	1	設定禁止
0	1	2	75Mbps
0	2	4	37.5Mbps
0	3	8	18.75Mbps
1	0	2	75Mbps
2	0	4	37.5Mbps
3	0	6	25Mbps
4	0	8	18.75Mbps
5	0	10	15Mbps
6	0	12	12.5Mbps
6	1	24	6.25Mbps
6	2	48	3.13Mbps
6	3	96	1.56Mbps
255	3	4080	36.76kbps

注. ビットレートは本モジュールのAC特性を満たせる範囲で設定してください。

29.2.4 データリードコントロールレジスタ (DRCR)

DRCR レジスタは、外部アドレス空間リードモード時の動作を設定する 32 ビットのレジスタです。

SSLN ビット以外は、CMNSR レジスタの TEND フラグ = “1” のときに変更してください。CMNSR レジスタの TEND フラグ = “0” 時に変更した場合の動作は保証しません。

アドレス A000 500Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	SSLN	—	—	—	—	RBURST[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	RCF	RBE	—	—	—	—	—	—	—	SSLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSLE	SPBSSL ネゲート設定	リードバースト時の SPBSSL 信号のインアクティブ条件を設定します。 通常リード時はアクセスごとに SPBSSL 信号をインアクティブにします。 0: バースト長で設定されたデータ転送終了ごとに SPBSSL 信号をインアクティブにします。 1: アクセスしたアドレスが前回転送のアドレスから連続していないときに SPBSSL 信号をインアクティブにします。	R/W
b7-b1	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b8	RBE	リードバースト	バーストリードの ON/OFF を設定します。 0: アクセスサイズに応じてリードします。 1: リードキャッシュが有効となり、RBURST[3:0] ビットに指定されたバースト数分リードします。	R/W
b9	RCF	リードキャッシュフラッシュ	本ビットに1を書き込むと、リードキャッシュの全エントリをクリアします。 読み出すと常に0が読めます。 注. 本ビットに1を書き込み、リードキャッシュをクリアした場合、DRCR レジスタの内容を読み出した後に外部アドレス空間をリードしてください。	R/W
b15-b10	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b19-b16	RBURST[3:0]	リードデータバースト長	リード時のバースト長を設定します。 本レジスタの RBE ビット = “1” にセットしたときに有効になります。 b19 b16 0000: 1 データ長連続 0001: 2 データ長連続 : 1110: 15 データ長連続 1111: 16 データ長連続 1 データ長は 64 ビットです。	R/W
b23-b20	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W

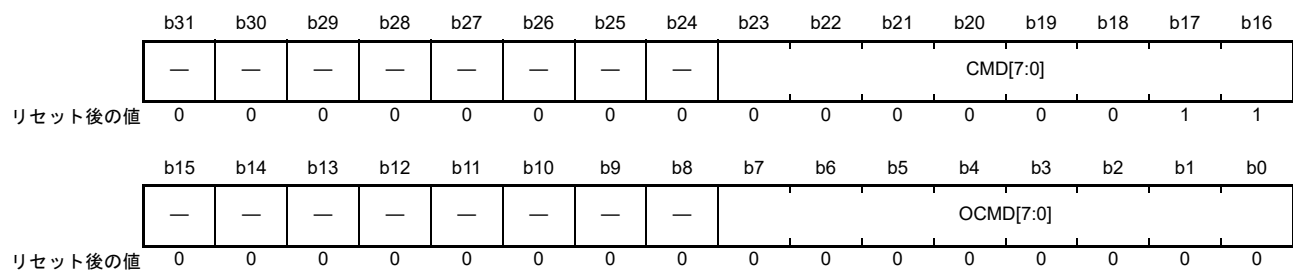
ビット	シンボル	ビット名	機能	R/W
b24	SSLN	SPBSSL ネゲート	本レジスタのRBEビット="1"かつSSLEビット="1"の設定のとき、本ビットに1ライトすることにより、アクティブになっているSPBSSL信号をインアクティブにします。 読み出すと常に0が読めます。 注. 本ビットでSPBSSL信号をインアクティブにした後、次のアクセスを始める場合、CMNSRレジスタのSSLFビット=0をリードしてSPBSSL信号がインアクティブになったことを確認してください。	R/W
b31-b25	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W

29.2.5 データリードコマンド設定レジスタ (DRCMR)

DRCMR レジスタは、外部アドレス空間リードモード時に発行するコマンドを設定する 32 ビットのレジスタです。

本レジスタは、CMNSR レジスタの TEND フラグ="1" のときに変更してください。CMNSR レジスタの TEND フラグ="0" 時に変更した場合の動作は保証しません。

アドレス A000 5010h



ビット	シンボル	ビット名	機能	R/W
b7-b0	OCMD[7:0]	オプションコマンド	オプションコマンドを設定します。	R/W
b15-b8	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b23-b16	CMD[7:0]	コマンド	コマンドを設定します。詳細については、使用されるシリアルフラッシュをご確認ください。	R/W
b31-b24	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W

29.2.6 データリード拡張アドレス設定レジスタ (DREAR)

DREAR レジスタは、シリアルフラッシュのアドレスを 32 ビットで出力するときのアドレス設定レジスタです。

本レジスタは、CMNSR レジスタの TEND フラグ = “1” のときに変更してください。CMNSR レジスタの TEND フラグ = “0” 時に変更した場合の動作は保証しません。

アドレス A000 5014h



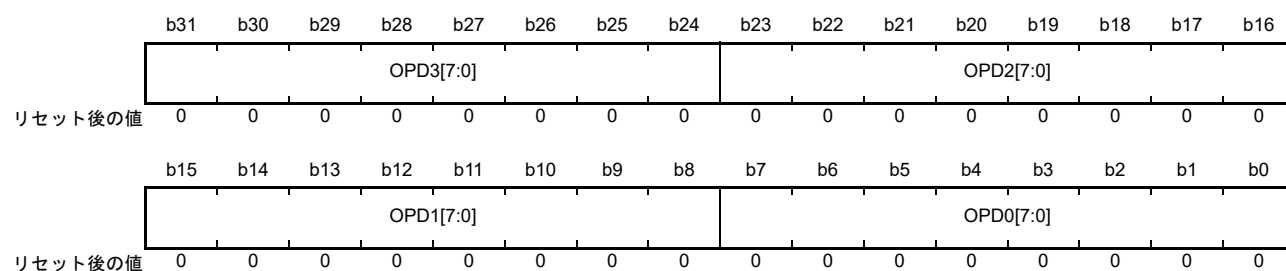
ビット	シンボル	ビット名	機能	R/W
b2-b0	EAC[2:0]	32 ビット拡張外部アドレス有効範囲設定	シリアルフラッシュのアドレスを32ビットで出力する場合、シリアルフラッシュのアドレスとして使用する外部アドレスの範囲を設定します。 この設定はDRENRLレジスタのADE[3]ビット = 1のときのみ有効です。 b2 b0 000 : 外部アドレスのビット[24:0]が有効 001 : 外部アドレスのビット[25:0]が有効 上記以外 : 設定禁止	R/W
b15-b3	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b23-b16	EAV[7:0]	32 ビット拡張上位アドレス固定値設定	シリアルフラッシュのアドレスを32ビットで出力する場合、本レジスタのEAC[2:0]ビットで設定した外部アドレスの上位アドレスを本ビットに設定します。 ビット0がシリアルフラッシュのアドレスビット[25]に対応し、ビット7がビット[32]に対応します。 この設定はDRENRLレジスタのADE[3]ビット = 1のときのみ有効です。 EAC[2:0] = 000のとき、シリアルフラッシュのアドレス[32:25]をEAV[7:0]に設定します。 EAC[2:0] = 001のとき、シリアルフラッシュのアドレス[32:26]をEAV[7:1]に設定します。	R/W
b31-b24	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W

29.2.7 データリードオプション設定レジスタ (DROPR)

DROPR レジスタは、外部アドレス空間リードモード時のオプションデータを設定する 32 ビットのレジスタです。

本レジスタは、CMNSR レジスタの TEND フラグ = “1” のときに変更してください。CMNSR レジスタの TEND フラグ = “0” 時に変更した場合の動作は保証しません。

アドレス A000 5018h



ビット	シンボル	ビット名	機能	R/W
b7-b0	OPD0[7:0]	オプションデータ 0	オプションデータ 0 を設定します。	R/W
b15-b8	OPD1[7:0]	オプションデータ 1	オプションデータ 1 を設定します。	R/W
b23-b16	OPD2[7:0]	オプションデータ 2	オプションデータ 2 を設定します。	R/W
b31-b24	OPD3[7:0]	オプションデータ 3	オプションデータ 3 を設定します。	R/W

注. 出力の順番は OPD3 → OPD2 → OPD1 → OPD0 です。

29.2.8 データリードイネーブル設定レジスタ (DRENr)

DRENr レジスタは、外部アドレス空間リードモード時のコマンド/オプションコマンド/アドレス/オプションデータ/リードデータのビット幅、およびリードデータ以外の出力イネーブルを設定する 32 ビットのレジスタです。

本レジスタは、CMNSR レジスタの TEND フラグ = “1” のときに変更してください。CMNSR レジスタの TEND フラグ = “0” 時に変更した場合の動作は保証しません。

アドレス A000 501Ch

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
CDB[1:0]		OCDB[1:0]		—	—	ADB[1:0]		—	—	OPDB[1:0]		—	—	DRDB[1:0]	
リセット後の値															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
DME	CDE	—	OCDE	ADE[3:0]			OPDE[3:0]			—	—	—	—		
リセット後の値															
0	1	0	0	0	1	1	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b7-b4	OPDE[3:0]	オプションデータイネーブル	オプションデータ出力を設定します。 必ず以下の設定で使用してください。それ以外の設定をした場合の動作は保証しません。 b7 b4 0000 : 出力しない 1000 : OPD3を出力 1100 : OPD3、OPD2を出力 1110 : OPD3、OPD2、OPD1を出力 1111 : OPD3、OPD2、OPD1、OPD0を出力 上記以外 : 設定禁止	R/W
b11-b8	ADE[3:0]	アドレスイネーブル	アドレス出力を設定します。 必ず以下の設定で使用してください。それ以外の設定をした場合の動作は保証しません。 b11 b8 0000 : 出力しない 0111 : Address[23:0]を出力 1111 : Address[31:0]を出力 上記以外 : 設定禁止	R/W
b12	OCDE	オプションコマンドイネーブル	オプションコマンド出力を設定します。 0 : 出力しない 1 : 出力する	R/W
b13	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b14	CDE	コマンドイネーブル	コマンド出力を設定します。 0 : 出力しない 1 : 出力する	R/W
b15	DME	ダミーサイクルイネーブル	ダミーサイクル挿入を設定します。 ダミーサイクルはリードデータの前に挿入されます。 注. 転送がダミーサイクルから始まる設定は禁止です。 0 : 挿入しない 1 : 挿入する	R/W

ビット	シンボル	ビット名	機能	R/W
b17-b16	DRDB[1:0]	データリードビット幅	データリードのビット幅を設定します。 b17 b16 00 : 1ビット 01 : 2ビット 10 : 4ビット 11 : 設定禁止	R/W
b19-b18	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b21-b20	OPDB[1:0]	オプションデータビット幅	オプションデータのビット幅を設定します。 b21 b20 00 : 1ビット 01 : 2ビット 10 : 4ビット 11 : 設定禁止	R/W
b23-b22	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b25-b24	ADB[1:0]	アドレスビット幅	アドレスのビット幅を設定します。 b25 b24 00 : 1ビット 01 : 2ビット 10 : 4ビット 11 : 設定禁止	R/W
b27-b26	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b29-b28	OCDB[1:0]	オプションコマンドビット幅	オプションコマンドのビット幅を設定します。 b29 b28 00 : 1ビット 01 : 2ビット 10 : 4ビット 11 : 設定禁止	R/W
b31-b30	CDB[1:0]	コマンドビット幅	コマンドのビット幅を設定します。詳細については、使用されるシリアルフラッシュをご確認ください。 b31 b30 00 : 1ビット 01 : 2ビット 10 : 4ビット 11 : 設定禁止	R/W

29.2.9 SPI モードコントロールレジスタ (SMCR)

SMCR レジスタは、SPI 動作モードの動作を設定する 32 ビットのレジスタです。

本レジスタは、CMNSR レジスタの TEND フラグ = “1” のときに変更してください。CMNSR レジスタの TEND フラグ = “0” 時に変更した場合の動作は保証しません。

アドレス A000 5020h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SSLKP	—	—	—	—	—	SPIRE	SPIWE	SPIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

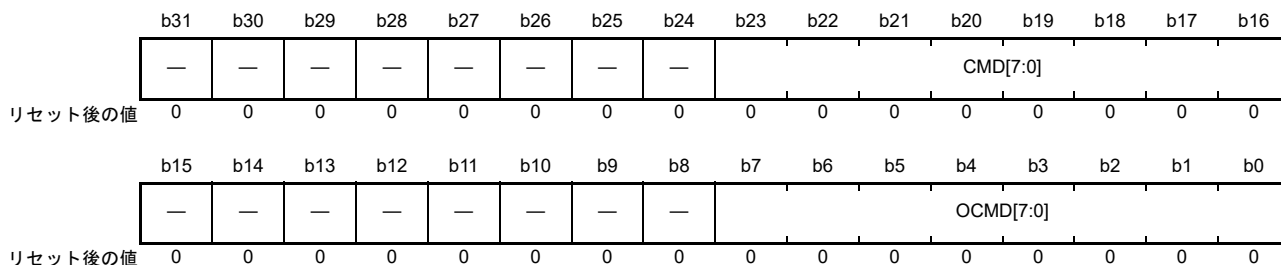
ビット	シンボル	ビット名	機能	R/W
b0	SPIE	SPI データ転送イネーブル	本ビットに1をセットすることにより、データ転送を行います。 CMNSR レジスタの TEND ビット = “1” 時のみ有効です。CMNSR レジスタの TEND ビット = “0” 時に、1 をセットした場合の動作は保証しません。 読み出すと常に0が読めます。 注. SPBSSL 信号がインアクティブのときは SPIRE、SPIWE ビット = “0” でも、DRENDR レジスタで出力に設定したコマンド/オプションコマンド/アドレス/オプションデータは出力されます。 SPBSSL 信号がアクティブのときは「29.4.2 SPI 動作モードの SPBSSL 信号保持状態からの転送開始の注意事項」にしたがってください。	R/W
b1	SPIWE	データライトイネーブル	SPI 動作モード時のライト動作を設定します。 0 : データライトしない 1 : データライトする 注. SPIDB[1:0] ビットで転送データビット幅を2ビットまたは4ビットに設定した場合、SPIRE ビットと SPIWE ビットを同時に1に設定しないでください。	R/W
b2	SPIRE	データリードイネーブル	SPI 動作モード時のリード動作を設定します。 0 : データリードしない 1 : データリードする 注. SPIDB[1:0] ビットで転送データビット幅を2ビットまたは4ビットに設定した場合、SPIRE ビットと SPIWE ビットを同時に1に設定しないでください。	R/W
b7-b3	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b8	SSLKP	SPBSSL 信号レベル保持	転送終了後の SPBSSL 信号の状態を決定します。 0 : 転送終了時に SPBSSL 信号をインアクティブ 1 : 転送終了後から次アクセス開始まで SPBSSL 信号レベルを保持	R/W
b31-b9	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W

29.2.10 SPI モードコマンド設定レジスタ (SMCMR)

SMCMR レジスタは、SPI 動作モード時に発行するコマンドを設定する 32 ビットのレジスタです。

本レジスタは、CMNSR レジスタの TEND フラグ = “1” のときに変更してください。CMNSR レジスタの TEND フラグ = “0” 時に変更した場合の動作は保証しません。

アドレス A000 5024h



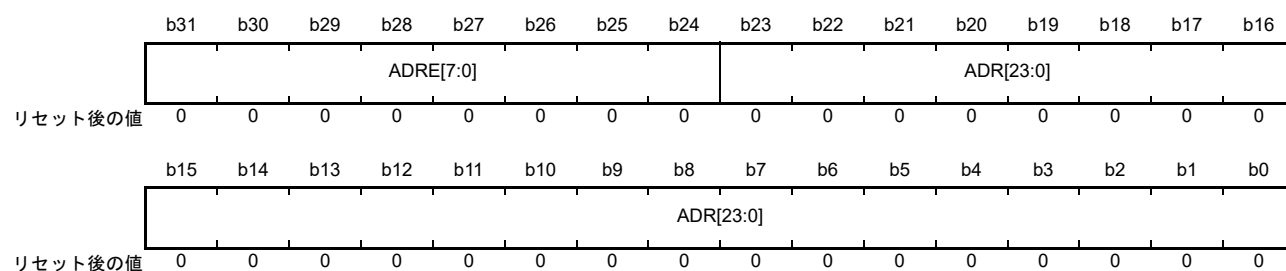
ビット	シンボル	ビット名	機能	R/W
b7-b0	OCMD[7:0]	オプションコマンド	オプションコマンドを設定します。	R/W
b15-b8	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b23-b16	CMD[7:0]	コマンド	コマンドを設定します。詳細については、使用されるシリアルフラッシュをご確認ください。	R/W
b31-b24	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W

29.2.11 SPI モードアドレス設定レジスタ (SMADR)

SMADR レジスタは、SPI 動作モード時のシリアルフラッシュのアドレスを設定する 32 ビットのレジスタです。

本レジスタは、CMNSR レジスタの TEND フラグ = “1” のときに変更してください。CMNSR レジスタの TEND フラグ = “0” 時に変更した場合の動作は保証しません。

アドレス A000 5028h



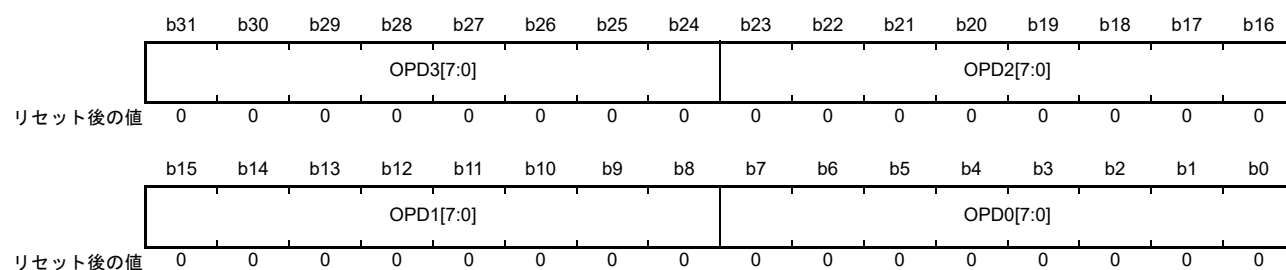
ビット	シンボル	ビット名	機能	R/W
b23-b0	ADR[23:0]	アドレス	シリアルフラッシュのアドレスを設定します。	R/W
b31-b24	ADRE[7:0]	アドレス	シリアルフラッシュのアドレスを 32 ビットで出力するときのビット 31 ~ 24 を設定します。 この設定は SMENR レジスタの ADE[3] ビット = 1 のときに有効になります。	R/W

29.2.12 SPI モードオプション設定レジスタ (SMOPR)

SMOPR レジスタは、SPI 動作モード時のオプションデータを設定する 32 ビットのレジスタです。

本レジスタは、CMNSR レジスタの TEND フラグ = “1” のときに変更してください。CMNSR レジスタの TEND フラグ = “0” 時に変更した場合の動作は保証しません。

アドレス A000 502Ch



ビット	シンボル	ビット名	機能	R/W
b7-b0	OPD0[7:0]	オプションデータ 0	オプションデータ 0 を設定します。	R/W
b15-b8	OPD1[7:0]	オプションデータ 1	オプションデータ 1 を設定します。	R/W
b23-b16	OPD2[7:0]	オプションデータ 2	オプションデータ 2 を設定します。	R/W
b31-b24	OPD3[7:0]	オプションデータ 3	オプションデータ 3 を設定します。	R/W

注. 出力の順番は OPD3 → OPD2 → OPD1 → OPD0 です。

29.2.13 SPI モードイネーブル設定レジスタ (SMENR)

SMENR レジスタは、SPI 動作モード時のコマンド/オプションコマンド/アドレス/オプションデータ/転送データのビット幅、および各種出力イネーブルを設定する 32 ビットのレジスタです。コマンド/オプションコマンド/アドレス/オプションデータ/ダミーサイクル/転送データのすべてを出力しない設定にすることは禁止です。必ずダミーサイクル以外の 1 つはイネーブルとしてください。

本レジスタは、CMNSR レジスタの TEND フラグ = “1” のときに変更してください。CMNSR レジスタの TEND フラグ = “0” 時に変更した場合の動作は保証しません。

アドレス A000 5030h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CDB[1:0]		OCDB[1:0]		—	—	ADB[1:0]		—	—	OPDB[1:0]		—	—	SPIDB[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DME	CDE	—	OCDE	ADE[3:0]			OPDE[3:0]			SPIDE[3:0]					
リセット後の値	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	SPIDE[3:0]	転送データイネーブル	転送データを設定します。 必ず以下の設定で使用してください。それ以外の設定をした場合の動作は保証しません。 b3 b0 0000 : 転送しない 1000 : 8ビット転送 (SPIモードリード/ライトデータレジスタ0の0番地のデータを有効) 1100 : 16ビット転送 (SPIモードリード/ライトデータレジスタ0の0~1番地のデータを有効) 1111 : 32ビット転送 (SPIモードリード/ライトデータレジスタ0の0~3番地のデータを有効) 上記以外 : 設定禁止	R/W
b7-b4	OPDE[3:0]	オプションデータイネーブル	オプションデータ出力を設定します。 必ず以下の設定で使用してください。それ以外の設定をした場合の動作は保証しません。 b7 b4 0000 : 出力しない 1000 : OPD3を出力 1100 : OPD3、OPD2を出力 1110 : OPD3、OPD2、OPD1を出力 1111 : OPD3、OPD2、OPD1、OPD0を出力 上記以外 : 設定禁止	R/W
b11-b8	ADE[3:0]	アドレスイネーブル	アドレス出力を設定します。 必ず以下の設定で使用してください。それ以外の設定をした場合の動作は保証しません。 b11 b8 0000 : 出力しない 0100 : ADR[23:16]を出力 0110 : ADR[23:8]を出力 0111 : ADR[23:0]を出力 1111 : ADR[31:0]を出力 上記以外 : 設定禁止	R/W
b12	OCDE	オプションコマンドイネーブル	オプションコマンド出力を設定します。 0 : 出力しない 1 : 出力する	R/W

ビット	シンボル	ビット名	機能	R/W
b13	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b14	CDE	コマンドイネーブル	コマンド出力を設定します。 0: 出力しない 1: 出力する	R/W
b15	DME	ダミーサイクルイネーブル	ダミーサイクル挿入を設定します。 ダミーサイクルはリードデータの前に挿入されます。 注1. SPI動作モードでライトのときは挿入禁止です。 これは1回の転送がダミーサイクルで終わる場合も含まれます。 注2. 転送がダミーサイクルで始まる設定は禁止です。 0: 挿入しない 1: 挿入する	R/W
b17-b16	SPIDB[1:0]	転送データビット幅	転送データビット幅を設定します。 b17 b16 00: 1ビット 01: 2ビット 10: 4ビット 11: 設定禁止	R/W
b19-b18	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b21-b20	OPDB[1:0]	オプションデータビット幅	オプションデータのビット幅を設定します。 b21 b20 00: 1ビット 01: 2ビット 10: 4ビット 11: 設定禁止	R/W
b23-b22	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b25-b24	ADB[1:0]	アドレスビット幅	アドレスのビット幅を設定します。 b25 b24 00: 1ビット 01: 2ビット 10: 4ビット 11: 設定禁止	R/W
b27-b26	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b29-b28	OCDB[1:0]	オプションコマンドビット幅	オプションコマンドのビット幅を設定します。 b29 b28 00: 1ビット 01: 2ビット 10: 4ビット 11: 設定禁止	R/W
b31-b30	CDB[1:0]	コマンドビット幅	コマンドのビット幅を設定します。詳細については、使用されるシリアルフラッシュをご確認ください。 b31 b30 00: 1ビット 01: 2ビット 10: 4ビット 11: 設定禁止	R/W

29.2.14 SPI モードリードデータレジスタ 0 (SMRDR0)

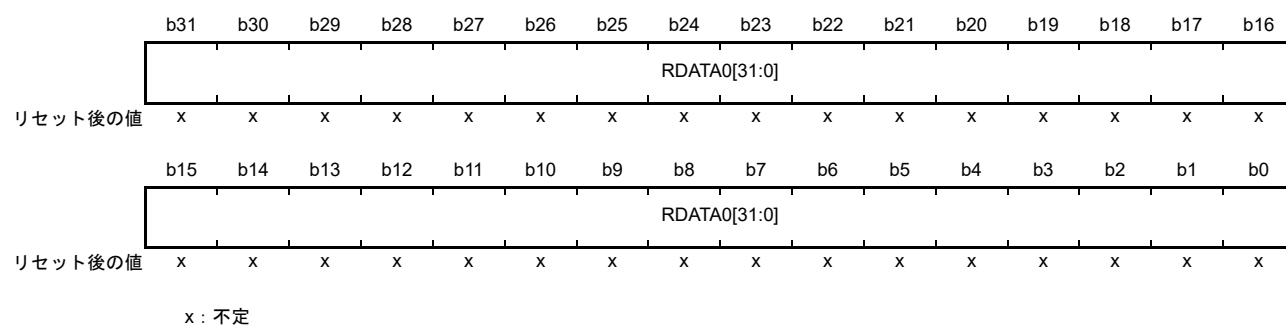
SMRDR0 レジスタは、SPI 動作モード時のリードデータを格納する 32 ビットのレジスタです。

本レジスタは、CMNSR レジスタの TEND フラグ = “1” のときにリードしてください。CMNSR レジスタの TEND フラグ = “0” 時にリードした場合の動作は保証しません。

アクセスサイズにより、データアライメントが異なります。詳細については「29.3.4 データアライメント」を参照してください。

本レジスタは SPI モードイネーブルレジスタ (SMENR) の SPIDE[3:0] ビットで設定した転送サイズと同じサイズでアクセスしてください。また、必ず 0 番地からアクセスしてください。

アドレス A000 5038h



ビット	シンボル	ビット名	機能	R/W
b31-b0	RDATA0[31:0]	リードデータ	SPI動作モード時にリードしたデータを格納します。	R

本レジスタは SPI 動作モードの受信が終了すると内容が書き換えられます。

SPI 動作モードの受信が終了したら必ずデータを読み出してください。

29.2.15 SPI モードライトデータレジスタ 0 (SMWDR0)

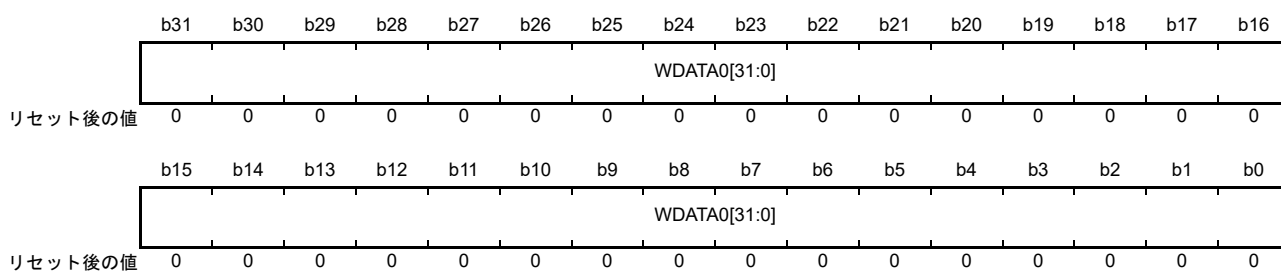
SMWDR0 レジスタは、SPI 動作モード時のライトデータを設定する 32 ビットのレジスタです。

本レジスタは、CMNSR レジスタの TEND フラグ = “1” のときに変更してください。CMNSR レジスタの TEND フラグ = “0” 時に変更した場合の動作は保証しません。

アクセスサイズにより、データアライメントが異なります。詳細については「29.3.4 データアライメント」を参照してください。

本レジスタは SPI モードイネーブルレジスタ (SMENR) の SPIDE[3:0] ビットで設定した転送サイズと同じサイズでアクセスしてください。また、必ず 0 番地からアクセスしてください。

アドレス A000 5040h



ビット	シンボル	ビット名	機能	R/W
b31-b0	WDATA0[31:0]	ライトデータ	SPI 動作モード時にライトするデータを格納します。	R/W

29.2.16 共通ステータスレジスタ (CMNSR)

CMNSR レジスタは、動作状態を示すフラグを格納する 32 ビットのレジスタです。
 本レジスタは、外部アドレス空間リード / SPI 動作モード両方に反映されます。

アドレス A000 5048h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SSLF	TEND
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	TEND	転送終了フラグ	データ転送が終了したことを示します。 0: 転送中であることを表示 1: 転送が終了したことを表示	R
b1	SSLF	SPBSSL 端子モニタ	0: SPBSSL 端子はインアクティブ状態 1: SPBSSL 端子はアクティブ状態	R
b31-b2	—	予約ビット	読み出すと常に0が読み出されます。	R

29.2.17 データリードダミーサイクル設定レジスタ (DRDMCR)

DRDMCR レジスタは、外部アドレス空間リードモード時に挿入するダミーサイクルのビット幅とサイクル数を設定する 32 ビットのレジスタです。

本レジスタの設定は、データリードイネーブル設定レジスタ (DRENr) の DME ビット = “1” のときに有効になります。

本レジスタは、CMNSR レジスタの TEND フラグ = “1” のときに変更してください。CMNSR レジスタの TEND フラグ = “0” 時に変更した場合の動作は保証しません。

アドレス A000 5058h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMDB[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMCYC[2:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	DMCYC[2:0]	ダミーサイクル数設定	データリードイネーブル設定レジスタ (DRENr) の DME ビット = “1” のときに挿入するダミーサイクルのサイクル数を設定します。 b2 b0 000 : 1サイクル 001 : 2サイクル 010 : 3サイクル 011 : 4サイクル 100 : 5サイクル 101 : 6サイクル 110 : 7サイクル 111 : 8サイクル	R/W
b15-b3	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b17-b16	DMDB[1:0]	ダミーサイクルビット幅	ダミーサイクルのビット幅を設定します。本ビットの設定と共通コントロールレジスタ (CMNCR) の IO0FV ビット、IO2FV ビット、IO3FV ビットの設定により、ダミーサイクル中の未使用端子の状態が決まります。使用中の端子は Hi-Z となります。 b17 b16 00 : 1ビット 01 : 2ビット 10 : 4ビット 11 : 設定禁止	R/W
b31-b18	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W

29.2.18 SPI モードダミーサイクル設定レジスタ (SMDMCR)

SMDMCR レジスタは、SPI 動作モード時に挿入するダミーサイクルのビット数とサイクル数を設定する 32 ビットのレジスタです。

本レジスタの設定は SPI モードイネーブル設定レジスタ (SMENR) の DME ビット = “1” のときに有効になります。

本レジスタは、CMNSR レジスタの TEND フラグ = “1” のときに変更してください。CMNSR レジスタの TEND フラグ = “0” 時に変更した場合の動作は保証しません。

アドレス A000 5060h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMDB[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMCYC[2:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	DMCYC[2:0]	ダミーサイクル数設定	SPIモードイネーブル設定レジスタ (SMENR) のDMEビット = “1”のときに挿入するダミーサイクルのサイクル数を設定します。 b2 b0 000 : 1サイクル 001 : 2サイクル 010 : 3サイクル 011 : 4サイクル 100 : 5サイクル 101 : 6サイクル 110 : 7サイクル 111 : 8サイクル	R/W
b15-b3	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W
b17-b16	DMDB[1:0]	ダミーサイクルビット幅	ダミーサイクルのビット幅を設定します。本ビットの設定と共通コントロールレジスタ (CMNCR) のIO0FVビット、IO2FVビット、IO3FVビットの設定により、ダミーサイクル中の未使用端子の状態が決まります。使用中の端子はHi-Zとなります。 b17 b16 00 : 1ビット 01 : 2ビット 10 : 4ビット 11 : 設定禁止	R/W
b31-b18	—	予約ビット	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	R/W

29.3 動作説明

29.3.1 システム構成

本モジュールは、1 個のシリアルフラッシュ（データ幅 1/2/4 ビット）を直接接続することが可能です。システム構成例を図 29.2 に示します。

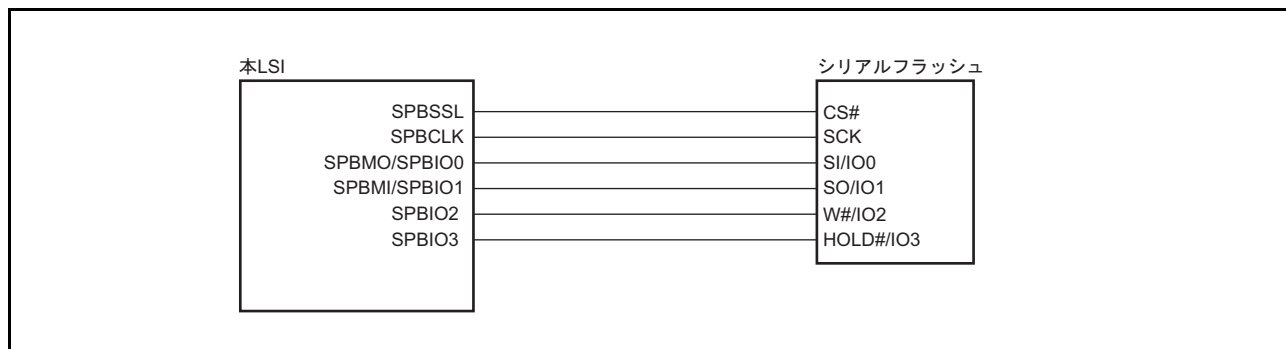


図 29.2 データ幅 4 ビットのシリアルフラッシュ接続例（CMNCR レジスタの BSZ[1:0] ビット = 00）

29.3.2 アドレスマップ

外部アドレス空間リードモード時、接続するシリアルフラッシュは、SPI マルチ I/O バス空間に割り当てられます。DREAR レジスタの設定により、最大 4G バイトまでアクセス可能です。

表 29.4 アドレスマップ

シリアルフラッシュ接続数	内部アドレス	最大アクセス領域
1個	1000 0000h ~ 13FF FFFFh	4G バイト
	3000 0000h ~ 33FF FFFFh (ミラー領域)	

29.3.3 シリアルフラッシュ 32 ビットアドレス

SPI マルチ I/O バス空間は 64M バイトであるため、シリアルフラッシュの 32 ビットアドレス領域の一部のみ直接アクセス可能です。このとき、32 ビットアドレスの上位ビットは DREAR レジスタに設定した固定値になります。

シリアルフラッシュのアドレスを 32 ビットで出力するためには、DRENr レジスタの ADE[3] ビット = 1 に設定し、DREAR レジスタの EAC[2:0] ビットにシリアルフラッシュのアドレスとして使用する外部アドレスの範囲、DREAR レジスタの EAV[7:0] ビットに 32 ビットアドレスの上位ビットにする固定値を設定します。

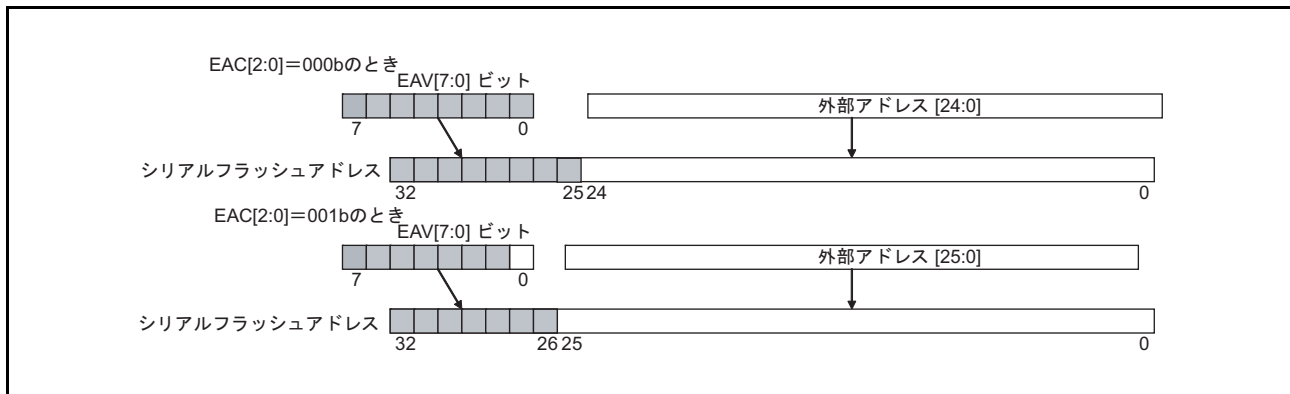


図 29.3 32 ビットアドレス設定

DRENr レジスタの ADE[3] ビット = 1 にすることで、シリアルフラッシュのアドレスを [31:0] ビットで出力することが可能です。

EAC[2:0] = 000b の場合、外部アドレス [24:0] が有効になります。[32:25] ビットは EAV[7:0] に設定してください。

EAC[2:0] = 001b の場合、外部アドレス [25:0] が有効になります。[32:26] ビットは EAV[7:1] に設定してください。

シリアルフラッシュ 1 個接続のときはアドレス [31:0] を使用します。

29.3.4 データアライメント

データアライメントは共通コントロールレジスタ (CMNCR) の SFDE ビットにより設定できます。データリードモードと SPI モードのデータアライメントを図 29.4 と図 29.5 に示します。

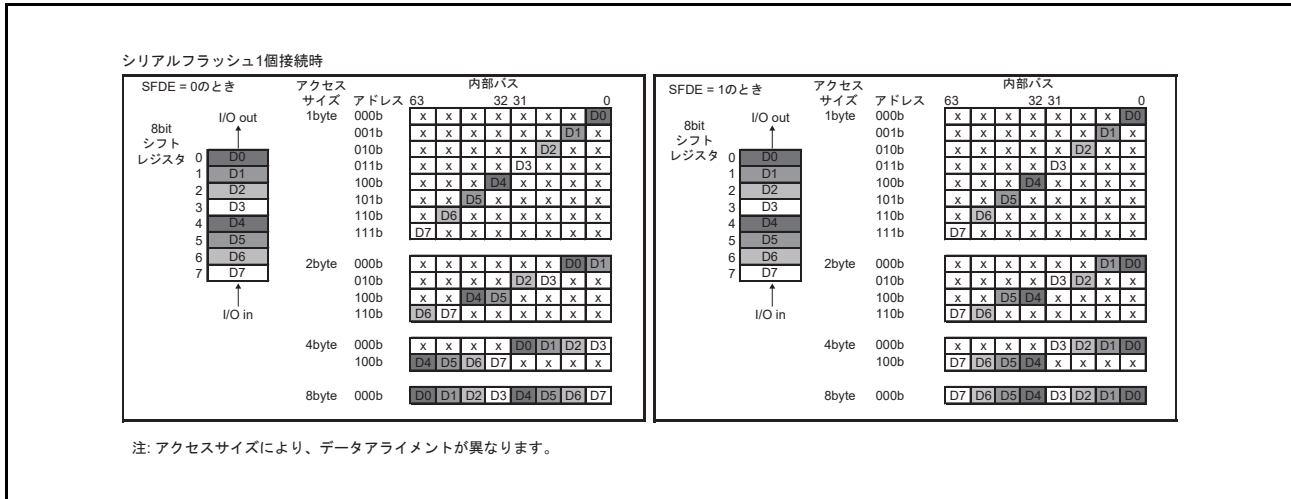


図 29.4 外部アドレス空間リードモードのデータアライメント

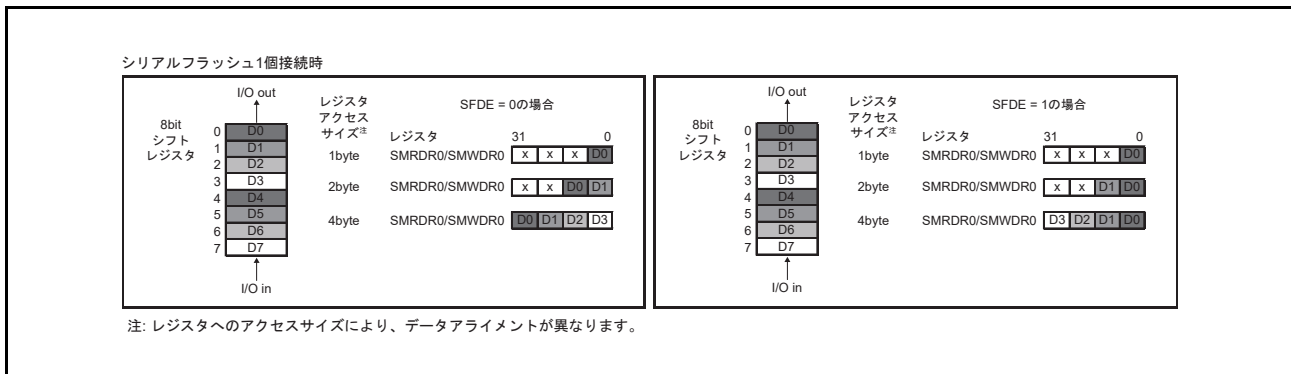


図 29.5 SPI 動作モードのデータアライメント

29.3.5 動作モード

本モジュールは、外部アドレス空間リードモードおよび SPI 動作モードの 2 つのモードを持っています。

外部アドレス空間リードモードは、SPI マルチ I/O バス空間へのリードを SPI 通信に変換し、データの受信を行います。データ取得後、発行元のバスマスタにデータを返します。詳細については、「29.3.6 外部アドレス空間リードモード」を参照してください。

SPI 動作モードは、レジスタ設定により任意の SPI 通信を行います。詳細については、「29.3.8 SPI 動作モード」を参照してください。

29.3.6 外部アドレス空間リードモード

外部アドレス空間リードモードにより、SPI マルチ I/O バス空間へのリードを SPI 通信に変換することができます。また、リード時に発行するコマンド/オプションコマンド/オプションデータとダミーサイクルを、レジスタ設定で変更することができます。

外部アドレス空間リードモードでは、通常リード動作とバーストリード動作の 2 つの動作を選択することができます。転送フォーマットは、共通コントロールレジスタ (CMNCR)、SSL 遅延レジスタ (SSLDR)、ビットレート設定レジスタ (SPBCR)、データリードコントロールレジスタ (DRCR)、データリードコマンド設定レジスタ (DRCMR)、データリード拡張アドレス設定レジスタ (DREAR)、データリードオプション設定レジスタ (DROPR)、データリードイネーブル設定レジスタ (DRENr)、データリードダミーサイクル設定レジスタ (DRDMCR) の設定で決まります。

(1) 通常リード動作

DRCR レジスタの RBE ビット = “0” に設定することにより、通常リード動作になります。

通常リード動作では、バイト/ワード/ロングワードリードに対し、それぞれ 8 ビット / 16 ビット / 32 ビット分データをリードします。データリード後、SPBSSL 信号はインアクティブになります。

通常リード動作時のタイミング図を図 29.6 に示します。

t1 は SPBSSL 信号がアクティブになり、SPBCLK 信号からクロックが出力されるまでの期間 (クロック遅延)、t2 は転送最終時の SPBCLK 信号のエッジ送出から SPBSSL 信号をインアクティブにするまでの期間 (SPBSSL ネゲート遅延)、t3 は転送終了から次の転送開始までの期間 (次アクセス) を意味します。t1、t2、t3 の詳細については、「29.3.9 転送フォーマット」を参照してください。

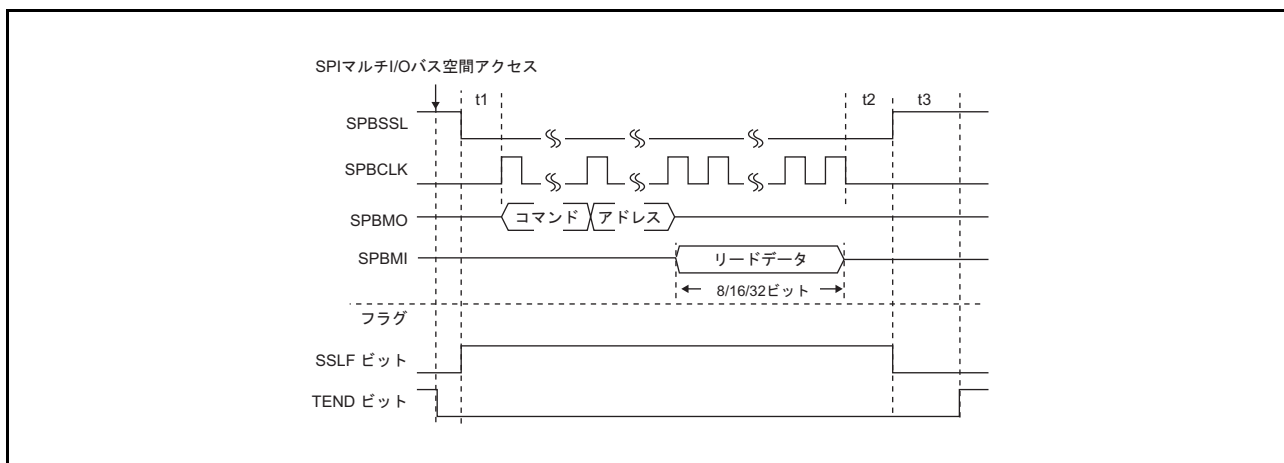


図 29.6 通常リード動作タイミング

(2) バーストリード動作

DRCR レジスタの RBE ビット = “1” に設定することにより、バーストリード動作になります。

バーストリード動作では、リードキャッシュが有効になります。リードキャッシュの動作については「29.3.7 リードキャッシュ」を参照してください。

バイト/ワード/ロングワードリードに対し、まずリードキャッシュからデータを参照します。リードキャッシュにデータがある場合は、シリアルフラッシュへはアクセスせず、リードキャッシュからデータを読み出します。リードキャッシュにデータが無い場合は、シリアルフラッシュへバーストリードし、読み出したデータはリードキャッシュに格納されます。このときのデータ転送長は 64 ビット × RBURST[3:0] ビットであり、必ず 64 ビット境界からリードします。

また、DRCR レジスタの SSLE ビットにより、データ転送後の SPBSSL 信号の状態を選択できます。SSLE ビット = 0 であれば、データ転送後必ず SPBSSL 信号をインアクティブにします。SSLE ビット = 1 の動作については、「29.3.6 (3) バーストリード動作 SPBSSL 自動インアクティブ」を参照してください。

本動作の模式図および SSLE ビット = “0” 時のバーストリード動作タイミングを図 29.7 と図 29.8 に示します。

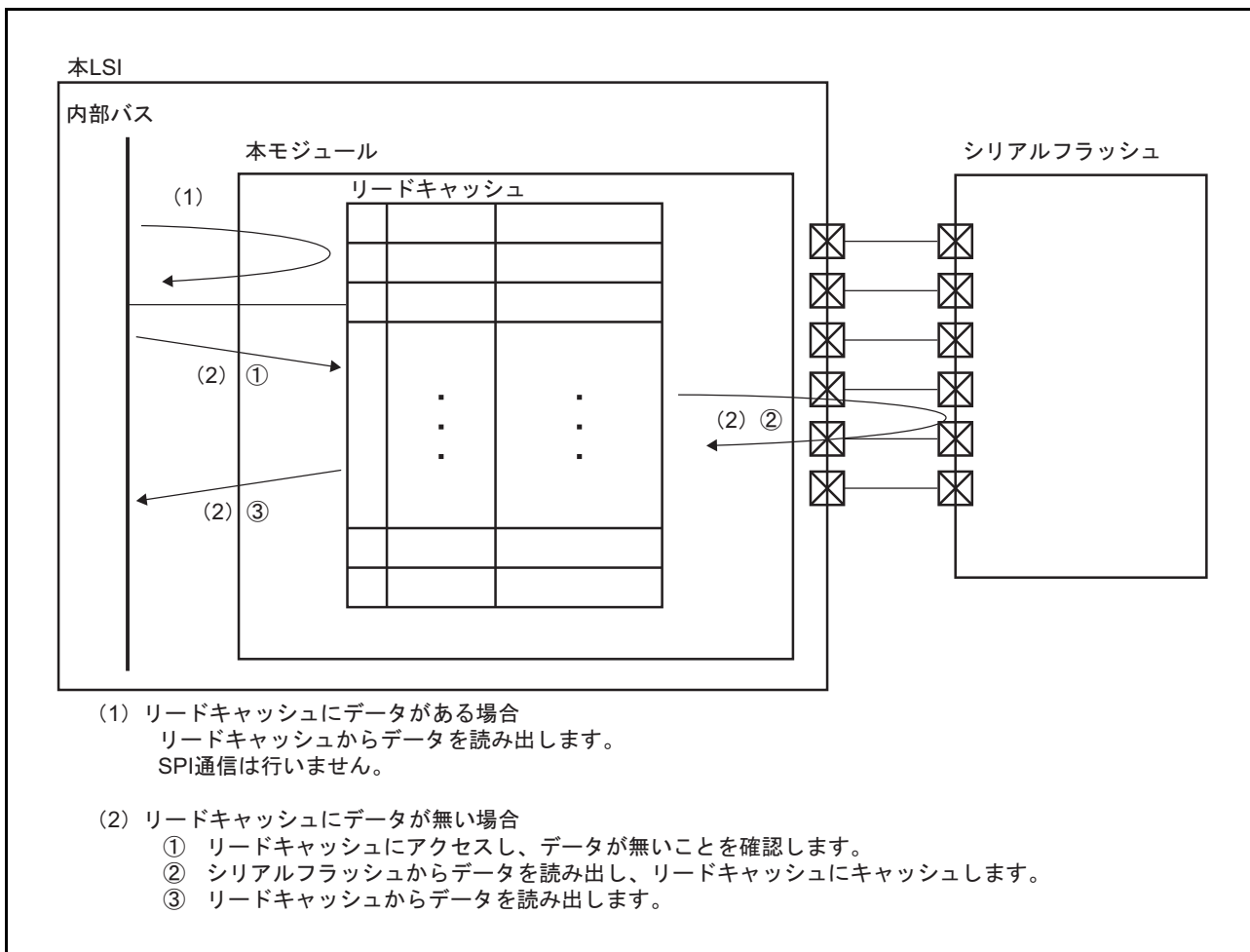


図 29.7 バーストリード動作時のリード動作

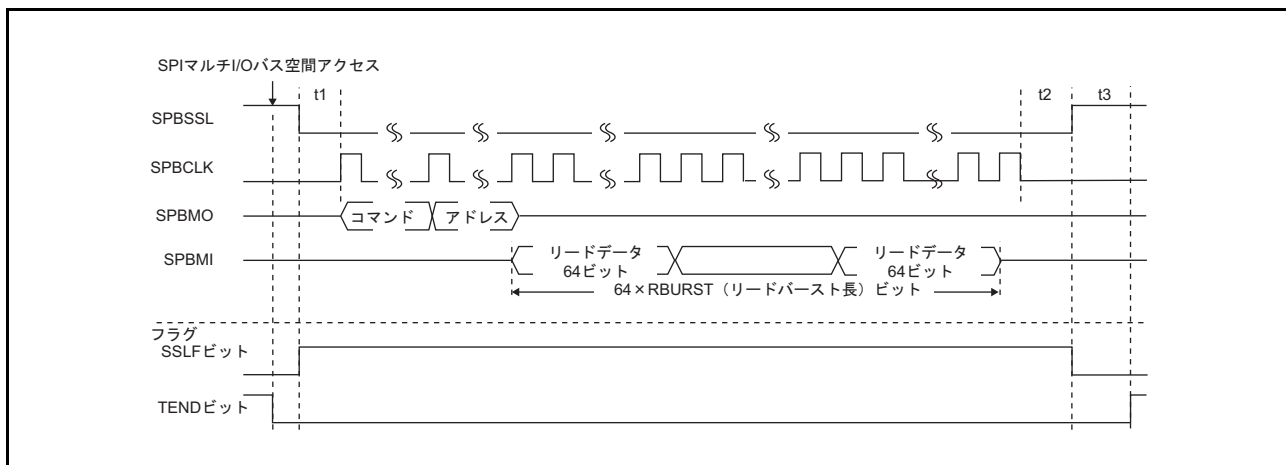


図 29.8 バーストリード動作タイミング (SSLE ビット = 0)

(3) バーストリード動作 SPBSSL 自動インアクティブ

本モジュールは、DRCR レジスタの SSLE ビット = “1” 設定時、バーストリード転送後に SPBSSL 信号をインアクティブにしません。次回アクセス時、前回のリードアドレスに対してアドレスが連続している場合、コマンド/オプションナルコマンド/アドレス/オプションデータ/ダミーサイクルは発行せず、バーストリードを行います。また、アドレスが連続していない場合は、SPBSSL 信号を一度インアクティブにし、コマンド/オプションナルコマンド/アドレス/オプションデータ/ダミーサイクルを発行後にバーストリードを行います。

連続アドレス時および非連続アドレス時のバーストリードタイミングを図 29.9 と図 29.10 に示します。

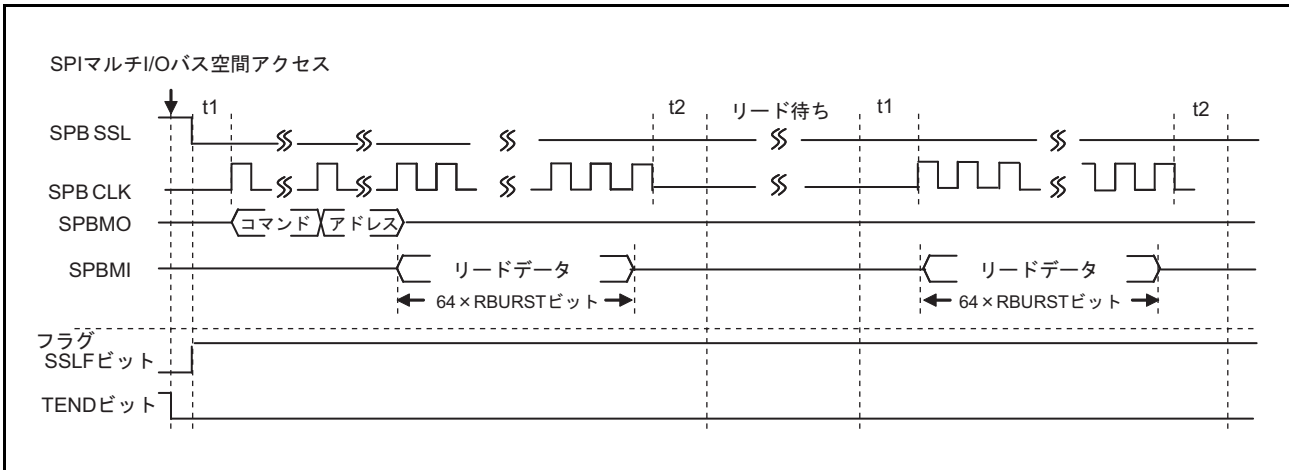


図 29.9 連続アドレスバーストリード動作タイミング (SSLE ビット = 1)

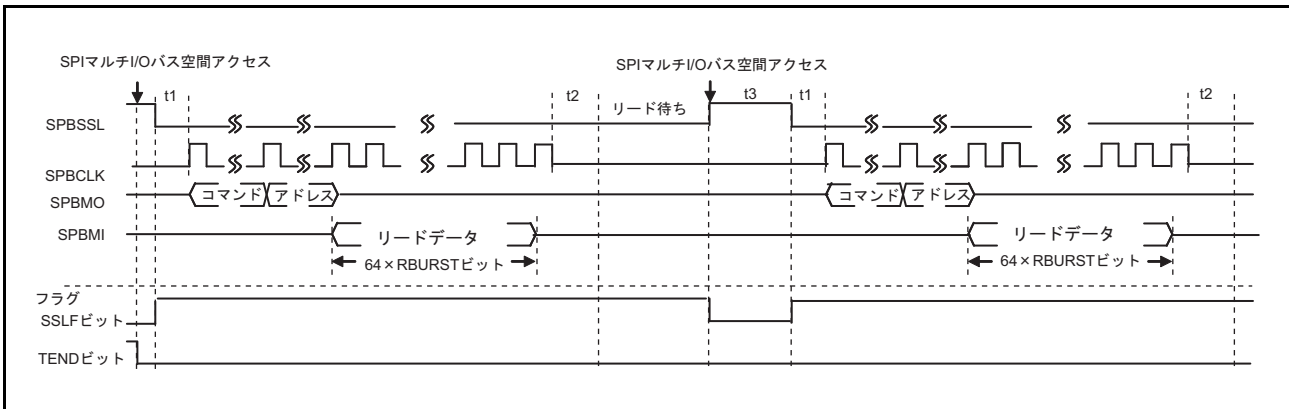


図 29.10 非連続アドレスバーストリード動作タイミング (SSLE ビット = 1)

本動作にて DRCR レジスタの SSLN ビットで SPBSSL 信号をインアクティブにした後に次のアクセスを行う場合、CMNSR レジスタの SSLF ビット = 0 をリードして SPBSSL 信号がインアクティブになったことを確認してください。

(4) 初期設定フロー

外部アドレス空間リードモード時の初期設定フロー例を図 29.11 に示します。

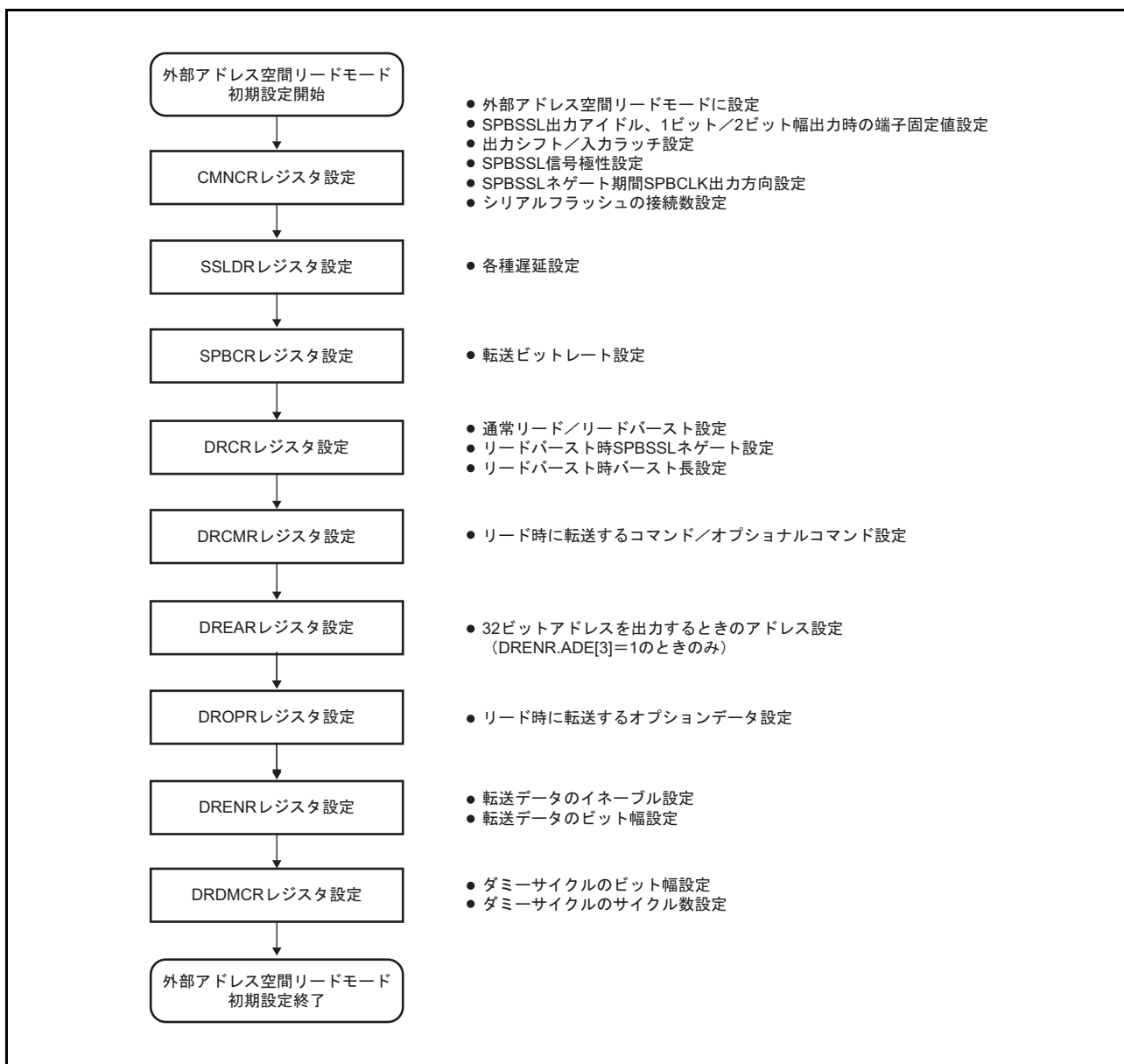


図 29.11 外部アドレス空間リードモード時の初期設定フロー例

29.3.7 リードキャッシュ

本モジュールは、簡易的なリードキャッシュを内蔵しています。外部アドレス空間リードモード、バーストリード動作時にリードキャッシュを使用できます。リードキャッシュは、ラインサイズ 64 ビット、16 エントリで構成されています。

リードキャッシュの構成を図 29.12 に示します。

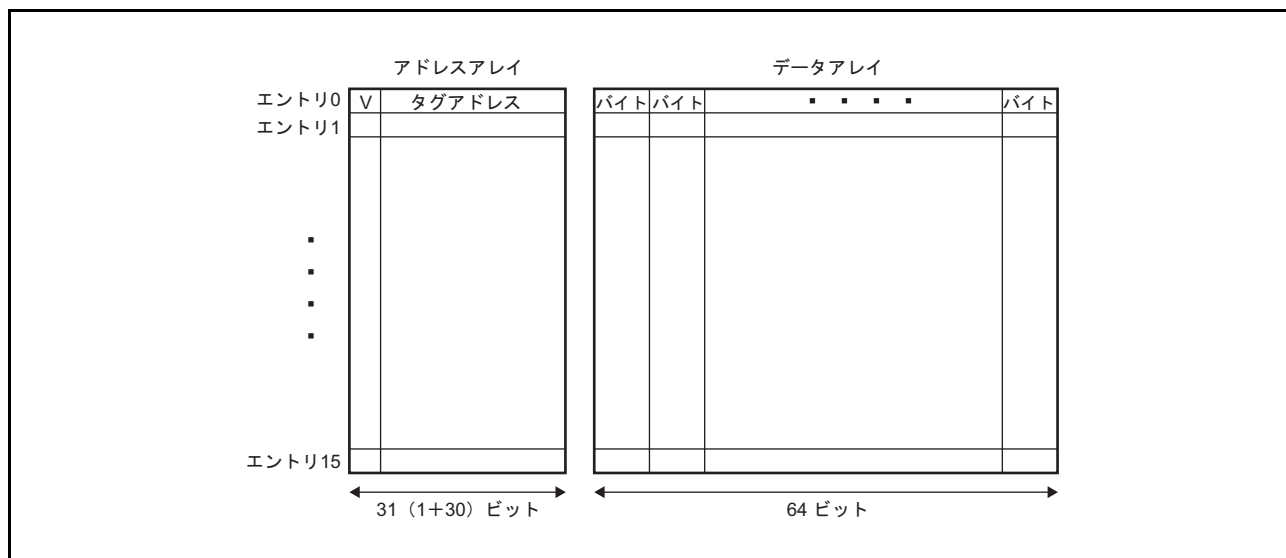


図 29.12 リードキャッシュの構成

(1) アドレスアレイ

図 29.12 中の V ビットは、エントリのデータが有効かどうかを示します。V ビットが 1 で有効、0 で無効を示します。

タグアドレスは、シリアルフラッシュが使用するアドレスを保持します。アドレスは 32 ~ 3 ビットで構成され、アドレス出力が 24 ビットの場合、アドレス 23 ~ 3 が有効になります。

アドレス出力が 32 ビットの場合、アドレス 31 ~ 3 が有効になります。

(2) データアレイ

64 ビットのリードデータを保持します。リードキャッシュへの登録はライン単位で行われます。

(3) リード動作

リードデータがキャッシュにヒットした場合、リードキャッシュからデータを読み出します。ミスヒットした場合は、 $64 \times \text{RBURST}$ (リードバースト長) 分データをシリアルフラッシュから読み出し、リードキャッシュを更新した後、バスマスタに対しデータを返します。

(4) データ置換

データの更新はライトポインタで管理されます。リードデータがミスヒットの場合、ライトポインタが指し示しているエントリから RBURST (リードバースト長) 分、データを置換します。つまり格納した古い順から置換します。データを参照したかどうかは影響しません。

29.3.8 SPI 動作モード

本モジュールは、レジスタ設定で任意の SPI 動作を行うことができます。

転送フォーマットは、共通コントロールレジスタ (CMNCR)、SSL 遅延レジスタ (SSLDR)、ビットレート設定レジスタ (SPBCR)、SPI モードコントロールレジスタ (SMCR)、SPI モードコマンド設定レジスタ (SMCMR)、SPI モードアドレス設定レジスタ (SMADR)、SPI モードオプション設定レジスタ (SMOPR)、SPI モードイネーブル設定レジスタ (SMENR)、SPI モードリードデータレジスタ (SMRDR)、SPI モードライトデータレジスタ (SMWDR)、SPI モードダミーサイクル設定レジスタ (SMDMCR) の設定で決まります。

シリアルフラッシュのステータスリードまたはライト動作等に使用することができます。

このモードでの 1 回の転送とは SMCR レジスタの SPIE ビットを 1 にセットしてから TEND が 1 にセットされるまでを意味します。

(1) 転送の開始

SMCR レジスタの SPIE ビット = "1" により、設定した転送フォーマットで転送を開始します。ライトイネーブル時、SPI モードライトデータレジスタがシリアルフラッシュに送信されます。リードイネーブル時、シリアルフラッシュから読み出したデータが、SPI モードリードデータレジスタに格納されます。

タイミング図を図 29.13 に示します。

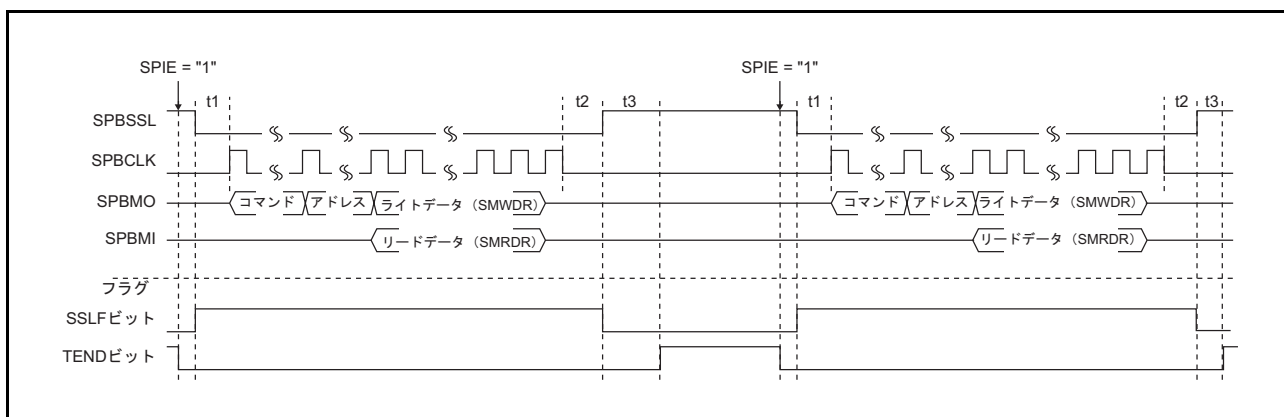


図 29.13 SPI 動作モードタイミング図

(2) リード/ライトイネーブル

- リード動作

SMCR レジスタの SPIRE ビット = "1" に設定することで、データをリードすることができます。リードしたデータは SMRDR レジスタに格納されます。

- ライト動作

SMCR レジスタの SPIWE ビット = "1" に設定することで、データをライトすることができます。

SMWDR レジスタに格納されたデータが出力されます。

また、SMENR レジスタの SPIDB[1:0] ビットのビット幅を 1 ビットに設定している場合、SPIRE、SPIWE ビット = "1" に設定することで送受信可能となります。ただし、SPIDB[1:0] ビットのビット幅を 2 ビット/4 ビットに設定した場合は、SPIRE、SPIWE ビットのどちらか片方を有効にしてください。両方有効にした場合の動作は保証しません。

(3) SPBSSL 端子アクティブ保持

SMCR レジスタの SSLKP ビット = “1” により、SPBSSL 信号を次の転送までアクティブ状態にします。本機能により、SPBSSL 信号はアクティブ状態のまま連続的に転送を行うことができます。

SSLKP ビットを利用した転送タイミングを図 29.14 に示します。

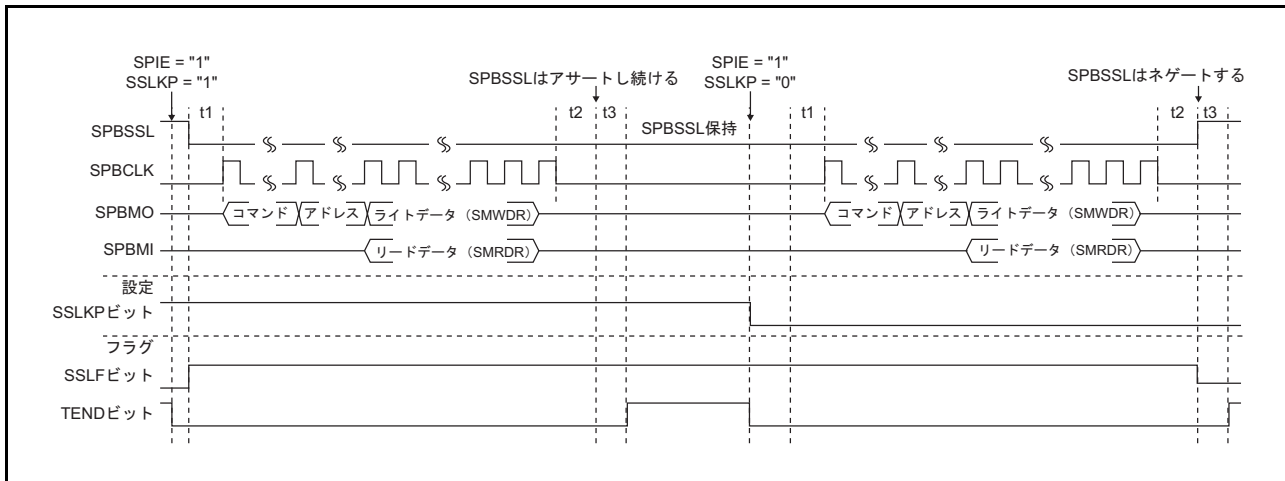


図 29.14 SSLKP ビットを利用した転送タイミング図

(4) 初期設定フロー

SPI 動作モード時の初期設定フロー例を図 29.15 に示します。

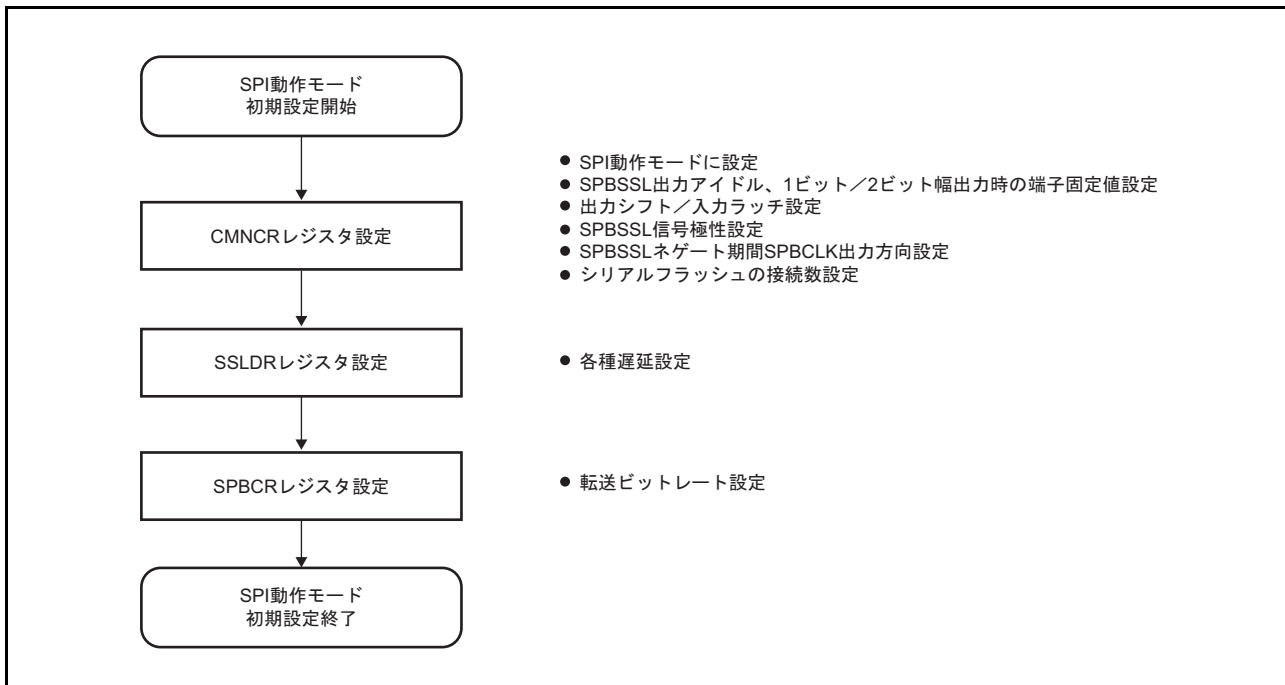


図 29.15 SPI 動作モード時の初期設定フロー例

(5) データ転送設定フロー

SPI 動作モード時のデータ転送設定フロー例を図 29.16 に示します。

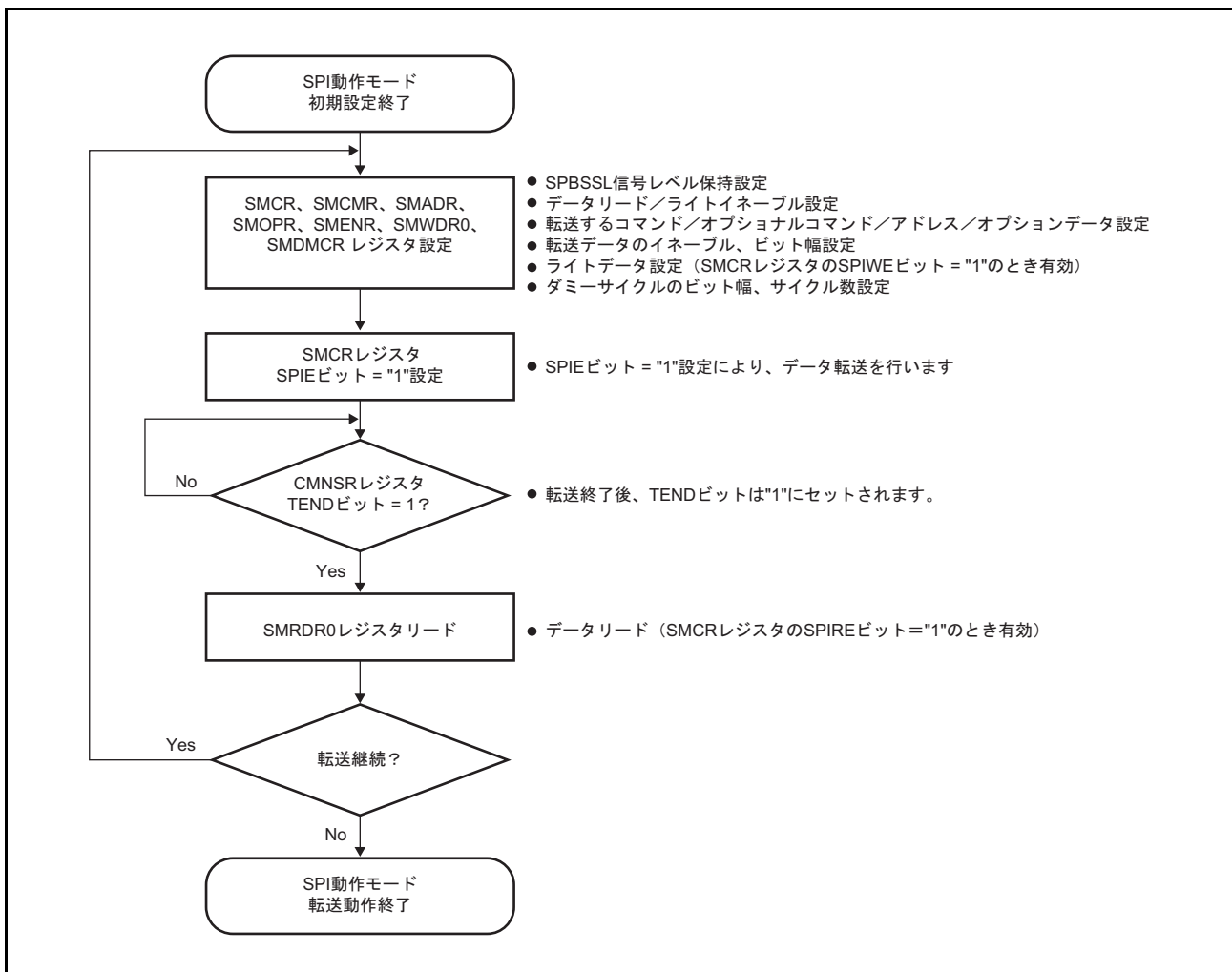


図 29.16 SPI 動作モード時のデータ転送設定フロー例

29.3.9 転送フォーマット

(1) SPBSSL 端子のイネーブル極性制御

CMNCR レジスタの SSLP ビットで、SPBSSL 信号のイネーブル極性を変更することができます。

(2) SPBCLK 出力

CMNCR レジスタの CPOL ビットで、SPBSSL 信号がインアクティブ時の SPBCLK 信号出力レベルを設定可能です。

(3) データ送信・受信タイミング

データ送信とデータ受信は、それぞれ奇数/偶数エッジのどちらかで行います。CMNCR レジスタの CPHAT ビットでデータ送信タイミングを奇数/偶数に設定可能です。同様に CMNCR レジスタの CPHAR ビットでデータ受信タイミングを奇数/偶数に設定可能です。

(4) 遅延設定

t1 は、SPBSSL 信号をアクティブにしてから SPBCLK 信号のクロック出力までの期間（クロック遅延）です。SSLDR レジスタの SCKDL[2:0] ビットで設定できます。t2 は、SPBCLK 信号のクロック出力停止から SPBSSL 信号のインアクティブまでの期間（SPBSSL ネグート遅延）です。SSLDR レジスタの SLNDL[2:0] ビットで設定できます。t3 は、転送終了後に次の転送のため、SPBSSL 信号を抑制するための期間（次アクセス遅延）です。SSLDR レジスタの SPNDL[2:0] ビットで設定できます。

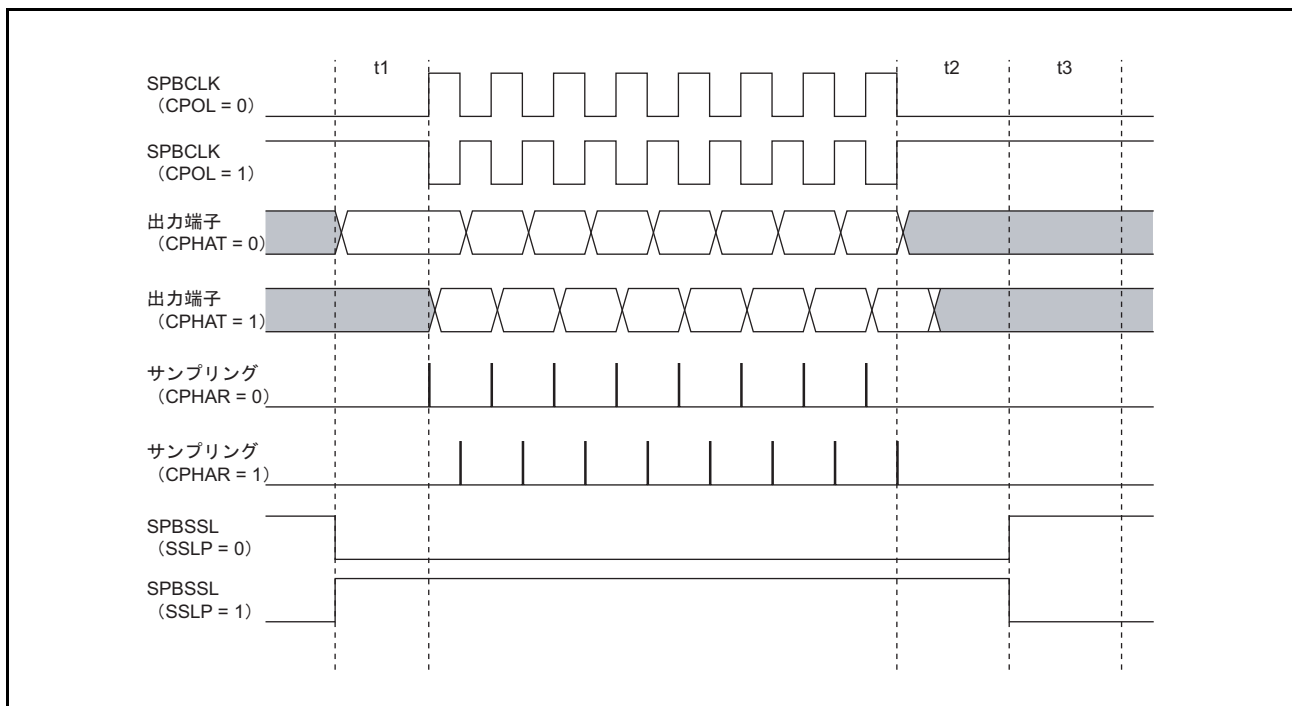


図 29.17 SDR 転送フォーマット

29.3.10 データフォーマット

本モジュールは、コマンド、オプションコマンド、アドレス、オプションデータ、ダミーサイクル、データの順番でデータ入出力を行います。

(1) データレジスタ

入出力されるデータを表 29.5 に示します。

表 29.5 データレジスタ

データ	外部アドレス空間リードモード	SPI動作モード
コマンド (8ビット)	DRCMR.CMD[7:0]ビット	SMCMR.CMD[7:0]ビット
オプションコマンド (8ビット)	DRCMR.OCMD[7:0]ビット	SMCMR.OCMD[7:0]ビット
アドレス (32ビット/24ビット)	32ビット時: DREAR.EAV[6:1~0]ビット+リードした下位アドレス[25~24:0]ビット 24ビット時: リードした下位アドレス[23:0]ビット	32ビット時: SMADR.ADR[31:0]ビット 24ビット時: SMADR.ADR[23:0]ビット
オプションデータ (8ビット×4)	DROPRレジスタ	SMOPRレジスタ
ダミーサイクル (1~8サイクル)	DRDMCRレジスタ	SMDMCRレジスタ (リード時のみ)
転送データ	通常リード: 8/16/32ビット バーストリード: 64×RBURSTビット	リード: SMRDR0、1レジスタ ライト: SMWDR0、1レジスタ

(2) データイネーブル

外部アドレス空間リードモード時、DREN R レジスタの CDE、OCDE、ADE[3:0]、OPDE[3:0]、DME ビットで、コマンド、オプションコマンド、アドレス、オプションデータ、ダミーサイクルの転送イネーブルを制御することが可能です。ダミーサイクルのサイクル数とビット幅はデータリードモードダミーサイクルレジスタ (DRDMCR) で制御することができます。同様に SPI 動作モード時、SMENR レジスタの CDE、OCDE、ADE[3:0]、OPDE[3:0]、DME、SPIDE[3:0] ビットで、コマンド、オプションコマンド、アドレス、オプションデータ、ダミーサイクル、転送データのイネーブルを制御することが可能です。ただし、SPI 動作モード時、すべてをディスエーブルにすることは禁止です。必ずダミーサイクル以外の 1 つはイネーブルとしてください。ダミーサイクルのサイクル数とビット幅は SPI モードダミーサイクルレジスタ (SMDMCR) で制御することが可能です。

また、外部アドレス空間リードモード時のアドレス/オプションデータ、SPI 動作モード時のアドレス/オプションデータ/転送データは、転送データ長により設定可能なイネーブルビットが決まっています。設定可能なイネーブルビットの組み合わせについては、各レジスタの説明を参照してください。

これらのイネーブルビットをディスエーブルにした場合、そのデータは出力されず、次のデータの入出力を行います。コマンド、オプションコマンド、アドレス、オプションデータは常に出力です。ダミーサイクル中は使用している端子を Hi-Z にします。データは、外部アドレス空間リードモード時は常に入力、SPI 動作モード時は、SMCR レジスタの SPIRE、SPIWE ビットの設定により入出力を決めます。

ダミーサイクルの挿入には制限があります。詳細は DREN R レジスタと SMENR レジスタの DME ビットの説明を参照してください。

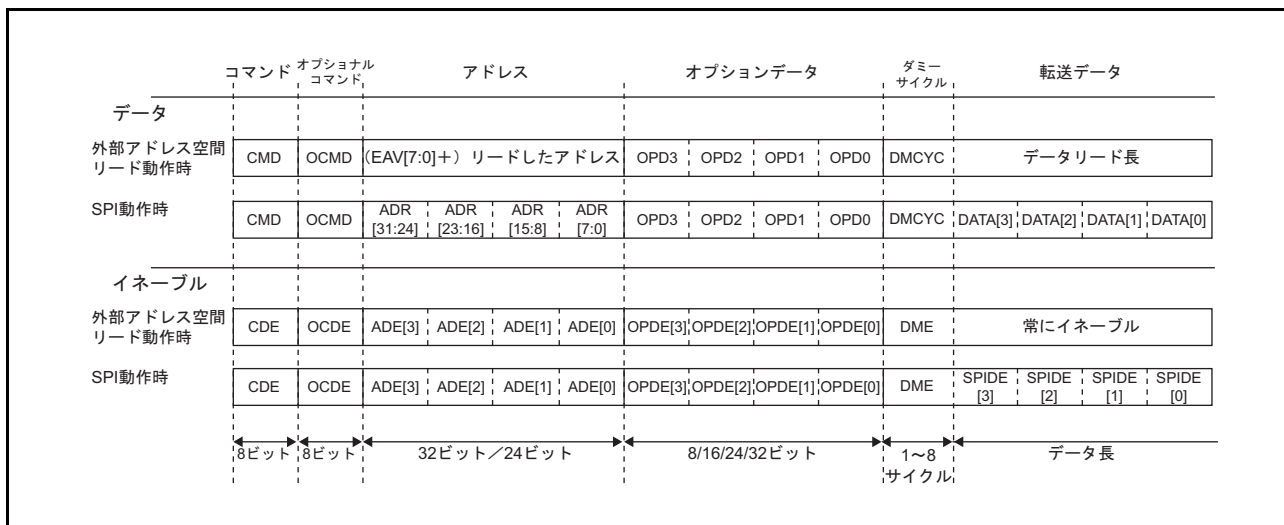


図 29.18 データとイネーブル

(3) ビット幅

外部アドレス空間リードモード時、DREN R レジスタの CDB[1:0]、OCDB[1:0]、ADB[1:0]、OPDB[1:0]、DRDB[1:0] ビットでコマンド/オプションコマンド/アドレス/オプションデータ/リードデータのビット幅を、それぞれ制御することが可能です。また、DRDMCR レジスタの DMDB[1:0] ビットでダミーサイクルのビット幅を制御することが可能です。

同様に SPI 動作モード時、SMEN R レジスタの CDB[1:0]、OCDB[1:0]、ADB[1:0]、OPDB[1:0]、SPIDB[1:0] ビットでコマンド/オプションコマンド/アドレス/オプションデータ/リードライトデータのビット幅を制御することが可能です。また、SMDMCR レジスタの DMDB[1:0] ビットでダミーサイクルのビット幅を制御することが可能です。

(a) 1 ビット幅

ビット幅を 1 ビットに設定した場合、SPBMI 端子は入力、SPBMO 端子は出力となります。SPBIO2、SPBIO3 端子は使用しません。

転送フォーマット例を図 29.19 に示します。

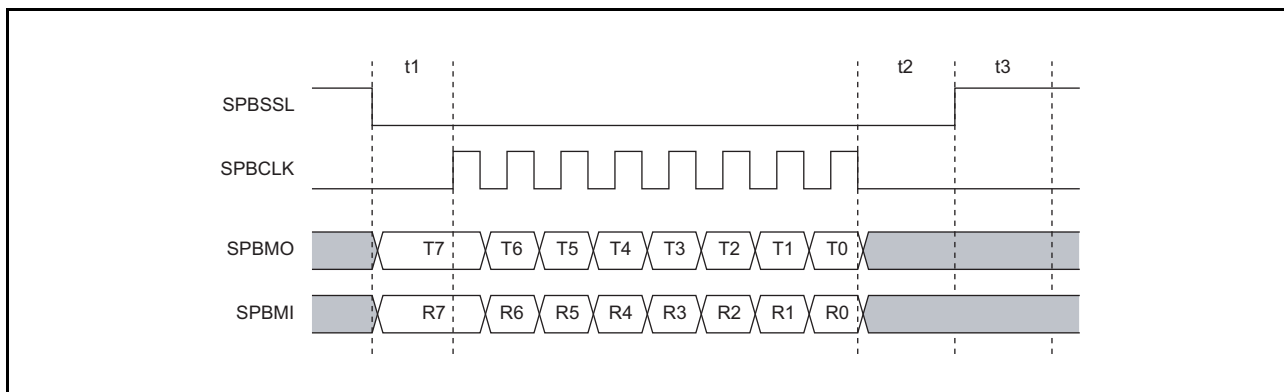


図 29.19 1 ビット幅、シリアルフラッシュ 1 個接続転送フォーマット例

(b) 2 ビット幅

ビット幅を 2 ビットに設定した場合、SPBIO0 端子および SPBIO1 端子は入力もしくは出力のどちらかになります。SPBIO2、SPBIO3 端子は使用しません。

転送フォーマット例を図 29.20 に示します。

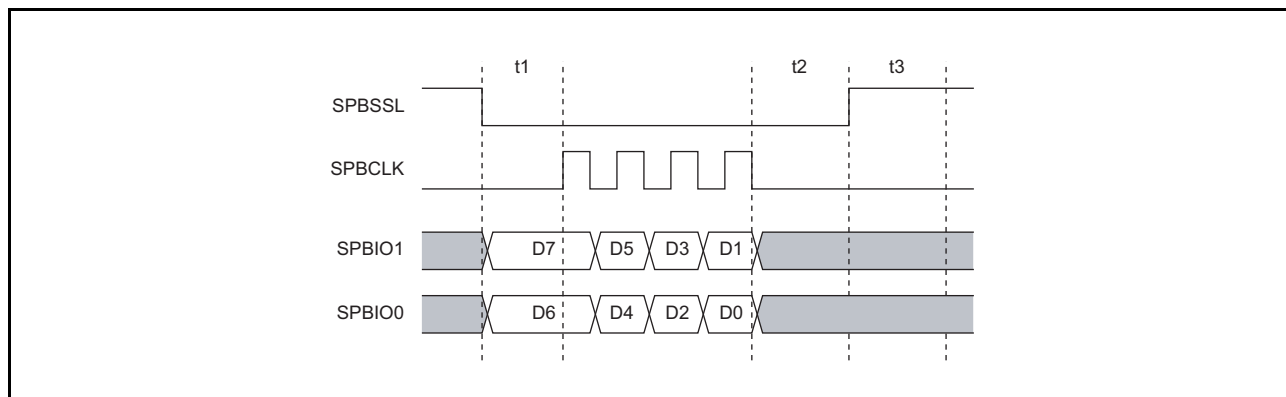


図 29.20 2 ビット幅、シリアルフラッシュ 1 個接続転送フォーマット例

(c) 4 ビット幅

ビット幅を 4 ビットに設定した場合、SPBIO0、SPBIO1、SPBIO2、SPBIO3 端子は入力もしくは出力のどちらかになります。転送フォーマット例を図 29.21 に示します。

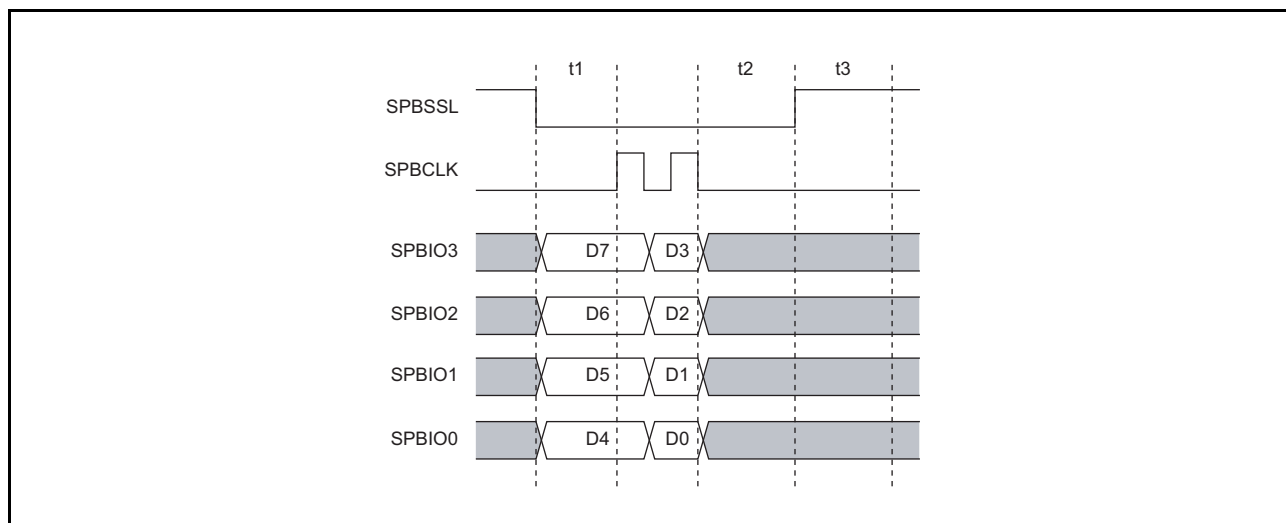


図 29.21 4 ビット幅、シリアルフラッシュ 1 個転送フォーマット例

29.3.11 データ端子制御

本モジュールは、使用するデータ幅・リード・ライト設定により端子状態を自動的に切り替えます。また、SPBSSL 信号のインアクティブ状態は CMNCR レジスタの MOII03、MOII02、MOII01、MOII00 ビットにより設定可能です。

SPBSSL、SPBCLK 端子は常に出力です。それぞれの端子状態の表を表 29.6 ~ 表 29.9 に示します。

表 29.6 端子状態 (1)

端子	SPBSSLインアクティブ	SPBSSLアクティブ		
		コマンド、オプションコマンド、アドレス、オプションデータ		
		1ビット幅	2ビット幅	4ビット幅
SPBMO/SPBIO0	MOII00ビット設定値	出力	出力	出力
SPBMI/SPBIO1	MOII01ビット設定値	Hi-Z	出力	出力
SPBIO2	MOII02ビット設定値	IO2FVビット設定値	IO2FVビット設定値	出力
SPBIO3	MOII03ビット設定値	IO3FVビット設定値	IO3FVビット設定値	出力

表 29.7 端子状態 (2)

端子	転送データ					
	外部アドレス空間リードモード			SPI動作モード		
	1ビット幅	2ビット幅	4ビット幅	SPIREビット=1、SPIWEビット=0		
				1ビット幅	2ビット幅	4ビット幅
SPBMO/SPBIO0	IO0FVビット設定値	入力	入力	IO0FVビット設定値	入力	入力
SPBMI/SPBIO1	入力	入力	入力	入力	入力	入力
SPBIO2	MOII02ビット設定値	MOII02ビット設定値	入力	MOII02ビット設定値	MOII02ビット設定値	入力
SPBIO3	MOII03ビット設定値	MOII03ビット設定値	入力	MOII03ビット設定値	MOII03ビット設定値	入力

表 29.8 端子状態 (3)

端子	転送データ					
	SPI動作モード					
	SPIREビット=0、SPIWEビット=1			SPIREビット=1、SPIWEビット=1		
	1ビット幅	2ビット幅	4ビット幅	1ビット幅	2ビット幅	4ビット幅
SPBMO/SPBIO0	出力	出力	出力	出力	設定禁止	設定禁止
SPBMI/SPBIO1	Hi-Z	出力	出力	入力	設定禁止	設定禁止
SPBIO2	MOII02ビット設定値	MOII02ビット設定値	出力	MOII02ビット設定値	設定禁止	設定禁止
SPBIO3	MOII03ビット設定値	MOII03ビット設定値	出力	MOII03ビット設定値	設定禁止	設定禁止

表 29.9 端子状態 (4)

端子	ダミーサイクル		
	1ビット幅	2ビット幅	4ビット幅
SPBMO/SPBIO0	IO0FVビット設定値	Hi-Z	Hi-Z
SPBMI/SPBIO1	Hi-Z	Hi-Z	Hi-Z
SPBIO2	IO2FVビット設定値	IO2FVビット設定値	Hi-Z
SPBIO3	IO3FVビット設定値	IO3FVビット設定値	Hi-Z

29.3.12 SPBSSL 端子制御

SPBSSL 信号のインアクティブ条件を以下に示します。

(1) 外部アドレス空間リードモード

(a) 通常リード動作 (DRCR レジスタの RBE ビット = "0")

データ転送が完了し、t2 サイクル後にインアクティブ

(b) バーストリード SPBSSL 自動インアクティブなし

(DRCR レジスタの RBE ビット = "1"、DRCR レジスタの SSLE ビット = "0")

データ転送が完了し、t2 サイクル後にインアクティブ

(c) バーストリード SPBSSL 自動インアクティブ

(DRCR レジスタの RBE ビット = "1"、DRCR レジスタの SSLE ビット = "1")

- リードアドレスが前回リードしたアドレスに対し非連続のとき、t2 サイクル後にインアクティブ
- DRCR レジスタの SSLN ビット = "1" 設定後にインアクティブ

(2) SPI 動作モード

(a) SPBSSL 端子アクティブ保持なし (SMCR レジスタの SSLKP ビット = "0")

データ転送が完了し、t2 サイクル後にインアクティブ

(b) SPBSSL 端子アクティブ保持あり (SMCR レジスタの SSLKP ビット = "1")

インアクティブにしません。

インアクティブにする場合は、SSLKP ビット = "0" 設定後にデータ転送を行ってください。

29.3.13 フラグ

本モジュールは、CMNSR レジスタに SSLF、TEND ビットの 2 つのビットを持っています。これらのビットはリードのみ可能です。

(1) SSLF ビット

SPBSSL 端子の状態を示します。SPBSSL 信号がアクティブのときは“1”、インアクティブのときは“0”が読めます。

(2) TEND ビット

データ転送中/終了を示します。

t1 期間、データ転送、t2 期間、t3 期間、およびバーストリード SPBSSL 自動インアクティブでのリードアクセス待ちのとき、データ転送中であることを示し TEND ビット = “0” が読めます。

上記以外のとき、データ転送終了を示し TEND ビット = “1” が読めます。

(3) レジスタ書き換え

TEND ビットの状態により、レジスタ書き換えタイミングを決定します。

DRCR レジスタの SSLN ビット以外、ライトアクセスが可能なすべてのレジスタは TEND = “1” の時に書き換えてください。

また、SMRDR0 レジスタは TEND = “1” のときにリードしてください。

CMNSR レジスタは常にリード可能です。

29.4 使用上の注意事項

29.4.1 SPI 動作モードのデータリード転送時の注意事項

SPI 動作モードかつビットレートが 2 分周以上のとき、SPI モードイネーブル設定レジスタ (SMENR) で、データリード転送のみイネーブルにする場合は以下の点に注意してください。

なお、データリード転送のみとは SMENR レジスタの CDE、OCDE、ADE[3:0]、OPDE[3:0] の各ビットをすべて 0 に設定し、データのリード転送を行うことを意味します。

(1) SPBSSL 端子をインアクティブにしている状態でのデータリード転送

データリード転送のみを行う場合、SMENR.SPIDE[3:0] = 1100b または 1111b に設定してください。

SMENR.SPIDE[3:0] = 1000b でデータリード転送のみを行った場合、正常に転送が行われません。

(2) SPBSSL 端子をアクティブにしている状態でのデータリード転送

データリード転送のみを行う場合、直前の転送をデータリード転送で終了させるか、SMENR.SPIDE[3:0] = 1100b または 1111b に設定してください。

直前の転送がコマンド/オプションコマンド/アドレス/オプションデータまたはデータライト転送の場合、その後の転送で SMENR.SPIDE[3:0] = 1000b に設定したデータリード転送のみを行うと正常に転送が行われません。

29.4.2 SPI 動作モードの SPBSSL 信号保持状態からの転送開始の注意事項

SPI 動作モードで SPBSSL 信号をアクティブにしている状態で、コマンド、オプションコマンド、アドレス、オプションデータで転送を開始する場合、SMCR レジスタの SPIWE ビットを 1 に設定してください。

29.4.3 初期設定についての注意事項

本モジュールを使用する場合、ビットレート設定レジスタ (SPBCR) の SPBR[7:0] = 00h かつ BRDV[1:0] = 00b に設定しないでください。

30. CRC 演算器 (CRC)

CRC (Cyclic Redundancy Check) 演算器は、CRC コード生成を行います。

30.1 概要

表 30.1 に CRC 演算器の仕様を示します。また図 30.1 に CRC 演算器のブロック図を示します。

表 30.1 CRC 演算器 (CRC) の仕様

項目	内容
CRC 演算対象データ	8ビット、16ビット、32ビット単位の任意のデータ長に対してCRCコードを生成可能
CRC 生成多項式	4つの多項式から選択可能 <ul style="list-style-type: none"> 32ビットイーサネットCRC (32-Ethernet) $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ 16ビットCCITT CRC (16-CCITT) $X^{16} + X^{12} + X^5 + 1$ 8ビットSAE J1850 CRC (8-SAE J1850) $X^8 + X^4 + X^3 + X^2 + 1$ 8ビット0x2F CRC (8-0x2F) $X^8 + X^5 + X^3 + X^2 + X + 1$
消費電力低減機能	モジュールストップ状態への設定が可能

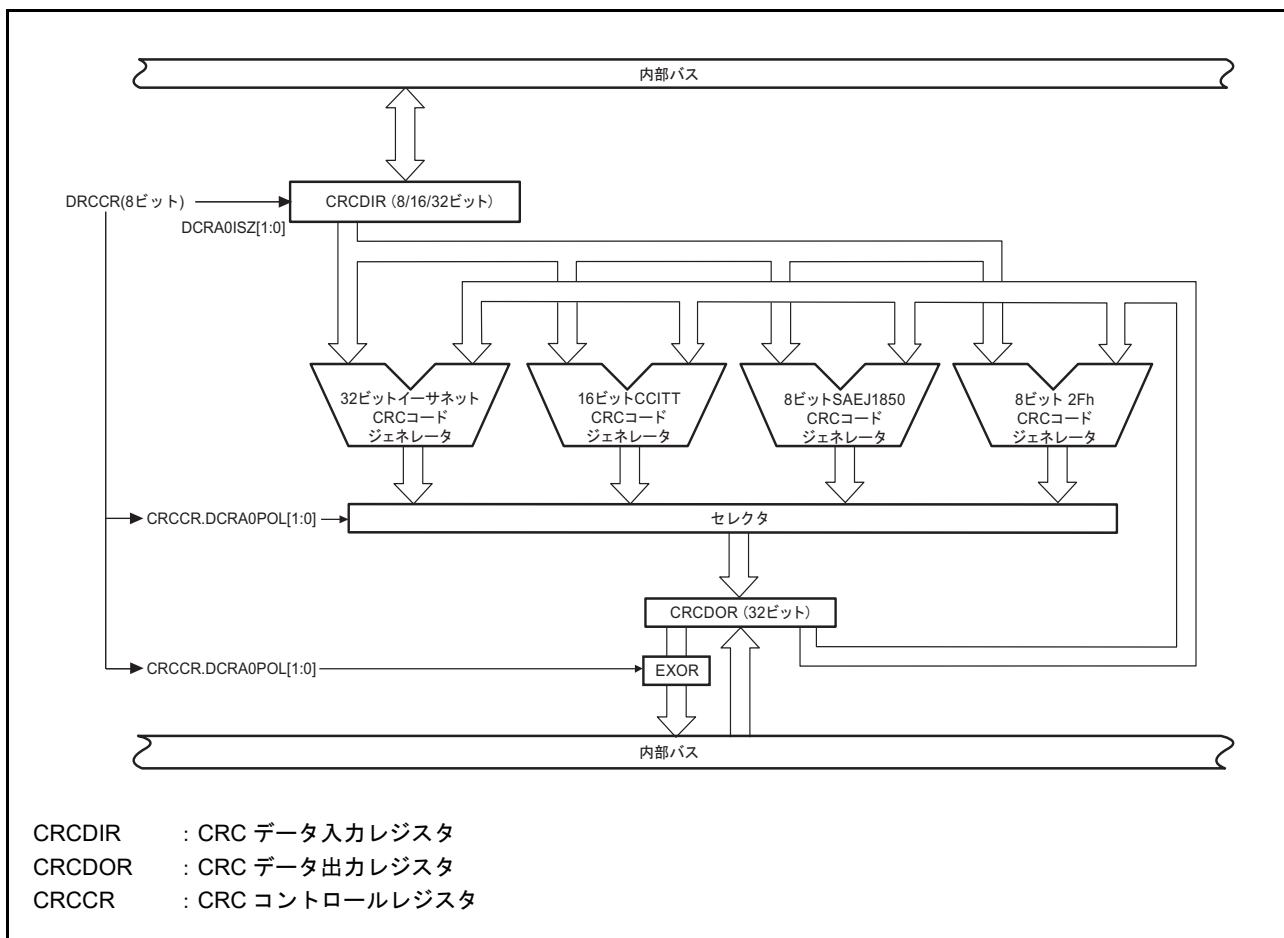


図 30.1 CRC 演算器 (CRC) のブロック図

30.2 レジスタの説明

30.2.1 CRC データ入力レジスタ (CRCDIR)

CRCDIR レジスタはCRC計算用の入力データを格納するレジスタです。本レジスタにデータを書き込むと、CRCの計算が開始されます。

CRC計算に使われる有効ビット幅をCRCCR.DCRA0ISZ[1:0]で設定する必要があります。本レジスタに最初のデータを書き込む前に、CRCDORレジスタに初期開始値を書き込み、初期化を行う必要があります。初期化の詳細については「30.3.1 CRCデータ出力レジスタ (CRCDOR)の初期化」を参照してください。

アドレス A007 C000h



ビット	シンボル	ビット名	機能	R/W
b31-b0	CRCDIR [31:0]	CRC計算用入力データ	以下のビット幅に対応しています。 <ul style="list-style-type: none"> • CRC入力ビット幅32ビット：CRCDIR[31:0] • CRC入力ビット幅16ビット：CRCDIR[15:0] • CRC入力ビット幅8ビット：CRCDIR[7:0] 	R/W

バイト順

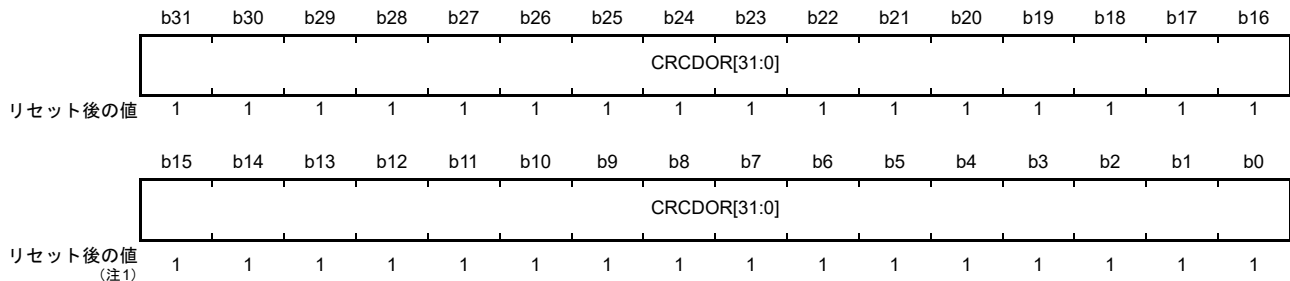
CRCDIRレジスタ内のバイト順は、選択されているCRC生成方式によって異なります。

- 32-Ethernet CRC多項式で生成する場合 (CRCCR.DCRA0POL[1:0] = 00b) バイト順はLSB (最下位バイト) が先頭になります。つまり、CRC入力ビット幅が8ビット (DCRA0ISZ[1:0] = 10b) の場合は、CRCDIRレジスタのビット位置7~0がLSBになります。
- 16-CCITT CRC多項式で生成する場合 (CRCCR.DCRA0POL[1:0] = 01b) バイト順はMSB (最上位バイト) が先頭になります。つまり、CRC入力ビット幅が8ビット (DCRA0ISZ[1:0] = 10b) の場合は、CRCDIRレジスタのビット位置7~0がMSBになります。
- 8-SAE J1850 CRC多項式で生成する場合 (CRCCR.DCRA0POL[1:0] = 10b) バイト順はMSB (最上位バイト) が先頭になります。つまり、CRC入力ビット幅が8ビット (DCRA0ISZ[1:0] = 10b) の場合は、CRCDIRレジスタのビット位置7~0がMSBになります。
- 8-0x2F CRC多項式で生成する場合 (CRCCR.DCRA0POL[1:0] = 11b) バイト順はMSB (最上位バイト) が先頭になります。つまり、CRC入力ビット幅が8ビット (DCRA0ISZ[1:0] = 10b) の場合は、CRCDIRレジスタのビット位置7~0がMSBになります。

30.2.2 CRC データ出力レジスタ (CRCDOR)

CRCDOR レジスタには、選択された CRC 生成多項式にもとづいて計算された CRC コードの結果が格納されます。

アドレス A007 C004h



注1. リセット後は、CRC 生成多項式として32ビットイーサネットCRCが選択されているため、読み出すとEXOR演算された値として0000 0000hが読めます。

ビット	シンボル	ビット名	機能	R/W
b31-b0	CRCDOR [31:0]	CRCコード生成の結果	<ul style="list-style-type: none"> 32-Ethernet : CRCDOR[31:0] 16-CCITT : CRCDOR[15:0] (b31-16は不定) 8-SAE J1850/8-0x2F : CRCDOR[7:0] (b31-8は不定) 本レジスタの読み出し値は、以下の値とEXOR演算された値となります。 <ul style="list-style-type: none"> 32-Ethernet : FFFF FFFFh 16-CCITT : 0000h 8-SAE J1850/8-0x2F : FFh 	R/W

注. CRC計算用の最初のデータをCRCDIRレジスタに書き込む前に、本レジスタを初期化（初期開始値を設定）する必要があります。初期化の詳細については「30.3.1 CRCデータ出力レジスタ (CRCDOR) の初期化」を参照してください。

CRCDOR[31:0] ビット

CRCCR.DCRA0POL[1:0] で選択した CRC 生成多項式にもとづいて、計算された CRC コードの結果が格納されます。

CRC コードの結果：

- 32-Ethernet の場合、CRCDOR[31:0] が CRC コードの結果を示します。
- 16-CCITT の場合、CRCDOR[15:0] が CRC コードの結果を示します。
ビット 31-16 は不定となります。
- 8-SAE J1850/8-0x2F の場合、CRCDOR[7:0] が CRC コードの結果を示します。
ビット 31-8 は不定となります。

また、本ビットの読み出し値は以下の EXOR 値と EXOR 演算された値が読み出されます。

EXOR 値：

- 32-Ethernet の場合、FFFF FFFFh
- 16-CCITT の場合、0000h
- 8-SAE J1850/8-0x2F の場合、FFh

リセット後は、CRC 生成多項式として 32-Ethernet が選択されているため、CRCDOR[31:0] を読み出すと、格納された初期値 FFFF FFFFh と、EXOR 値 FFFF FFFFh が EXOR 演算された値として、0000 0000h が読み出せます。

[例]

例えば、32-Ethernet の CRC 計算を行い、CRC コードの結果が CRCDOR[31:0] = 5555 5555h のとき、読み出すと EXOR 値 FFFF FFFFh と EXOR 演算をされた値である AAAA AAAAh が読めます。

30.2.3 CRC コントロールレジスタ (CRCCR)

CRCCR レジスタはCRC 生成多項式、CRC 入力ビット幅を制御するレジスタです。

アドレス A007 C020h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	DCRA0ISZ[1:0]	—	—	—	DCRA0POL[1:0]	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	DCRA0POL [1:0]	CRC 生成方式指定	CRC 生成方式を指定します。 b1 b0 00: 32-Ethernet ($X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$) 01: 16-CCITT ($X^{16} + X^{12} + X^5 + 1$) 10: 8-SAE J1850 ($X^8 + X^4 + X^3 + X^2 + 1$) 11: 8-0x2F ($X^8 + X^5 + X^3 + X^2 + X + 1$)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます	R
b5-b4	DCRA0ISZ [1:0]	CRC 入力ビット幅指定	CRC 入力ビット幅を指定します。 b1 b0 00: 32ビット (CRCDIR[31:0]) 01: 16ビット (CRCDIR[15:0]) 10: 8ビット (CRCDIR[7:0]) 11: 設定禁止	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。	R

- 注1. CRC生成方式 (CRCCR.DCRA0POL) を変更した場合、またはCRC入力ビット幅 (CRCCR.DCRA0ISZ) を変更した場合は、CRCDOR レジスタを初期化 (初期開始値を設定) する必要があります。詳細については「30.3.1 CRCデータ出力レジスタ (CRCDOR) の初期化」を参照してください。
- 注2. CRC計算用データのブロック単位に合わせてCRC入力ビット幅 (CRCCR.DCRA0ISZ[1:0]) を設定する必要があります。CRC計算中にCRC入力ビット幅を変更することは禁止です。CRCDOR レジスタから最終的なCRC計算結果を読み出したあとに、CRC入力ビット幅を変更することができます。この場合、次のCRC計算用データをCRCDIRレジスタに書き込む前に、CRCDORレジスタを初期化 (初期開始値を設定) する必要があります。

30.3 動作説明

CRC 演算器は任意のデータブロック長の CRC コードを計算して生成します。対象データは、8 ビット単位、16 ビット単位または 32 ビット単位で、CRC データ入力レジスタ (CRCDIR) へ設定することが可能です。CRC データ入力レジスタ (CRCDIR) にデータが書き込まれると、選択された CRC 生成多項式にもとづいて CRC 計算を開始します。CRC データ入力レジスタ (CRCDIR) への最初の書き込みアクセスを行う前に、CRCDOR レジスタに初期開始値を設定して初期化を行う必要があります。

以下に CRC 演算器の使用方法の流れを示します。

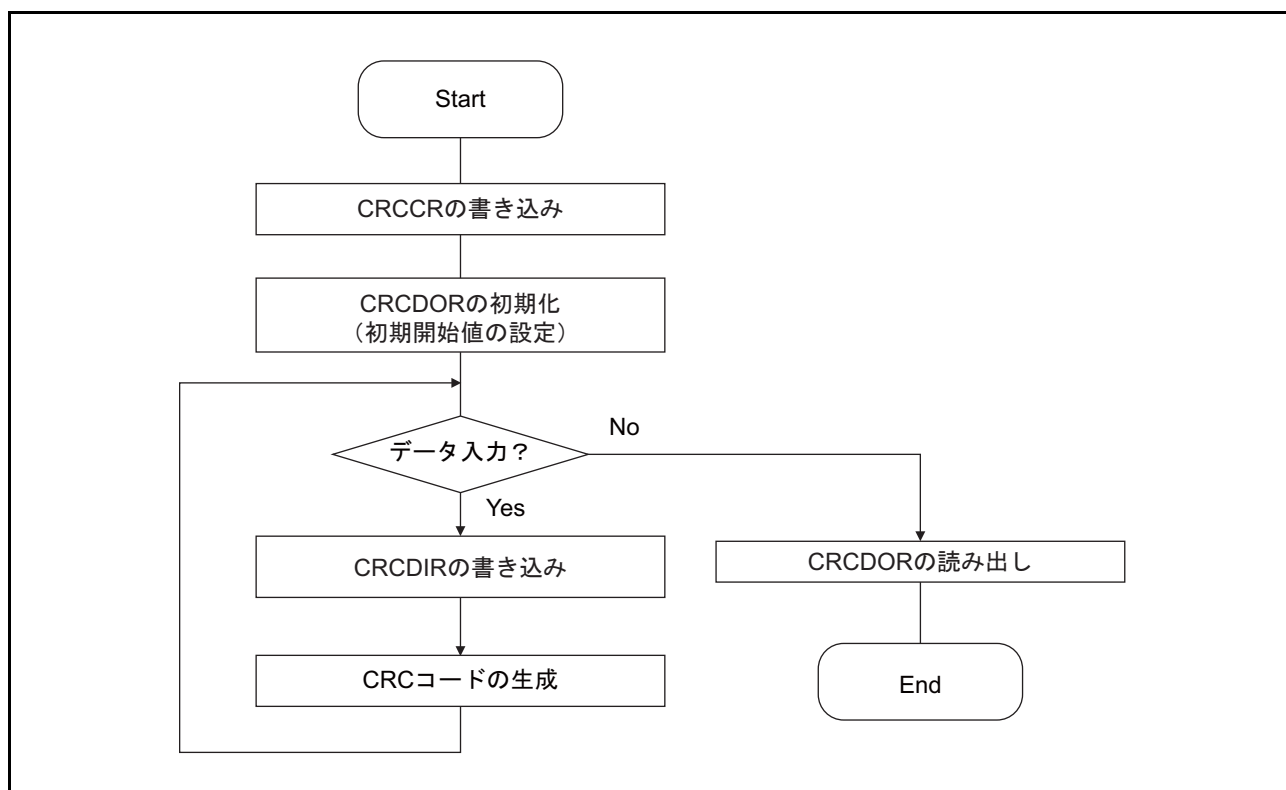


図 30.2 CRC 演算器の使用方法

注. CRCCR.DCRA0POL[1:0] を書き換えて CRC 生成多項式の設定を変更した場合は、再度 CRC データ出力レジスタ (CRCDOR) を初期化 (初期開始値を設定) する必要があります。

30.3.1 CRC データ出力レジスタ (CRCDOR) の初期化

CRC データ入力レジスタ (CRCDIR) に最初のデータ書き込みを行う前に、CRC データ出力レジスタ (CRCDOR) に初期開始値を設定して初期化する必要があります。表 30.2 に各 CRC 生成多項式の初期開始値を示します。

また初期開始値を設定後の CRCDOR レジスタの読み出し値と、読み出し時に EXOR 演算される EXOR 値も表 30.2 に示します。CRCDOR レジスタの読み出し値の詳細については「30.2.2 CRC データ出力レジスタ (CRCDOR)」を参照してください。

表 30.2 各CRC生成多項式の初期開始値

CRC 生成多項式	初期開始値	EXOR 値	初期開始値を設定後の CRCDOR の読み出し値
32-Ethernet (DCRA0POL[1:0] = 00b)	FFFF FFFFh	FFFF FFFFh	0000 0000h
16-CCITT (DCRA0POL[1:0] = 01b)	0000 FFFFh	0000 0000h	0000 FFFFh
8-SAE J1850 (DCRA0POL[1:0] = 10b)	0000 00FFh	0000 00FFh	0000 0000h
8-0x2F (DCRA0POL[1:0] = 11b)	0000 00FFh	0000 00FFh	0000 0000h

31. バウンダリスキャン

本 LSI は、バウンダリスキャン機能を内蔵しています。

バウンダリスキャンは、JTAG (Joint Test Action Group, IEEE Std.1149.1 and IEEE Standard Test Access Port and Boundary-Scan Architecture) と同等なシリアル入出力インタフェースです。

31.1 概要

表 31.1 にバウンダリスキャンの仕様を示します。

図 31.1 にバウンダリスキャンのブロック図を示します。

表 31.1 バウンダリスキャンの仕様

項目	内容
バウンダリスキャン有効/無効	BSCANP 端子を High とした時にバウンダリスキャン機能が有効
バウンダリスキャン専用端子	バウンダリスキャン機能有効時の JTAG 端子 (TDO、TCK、TDI、TMS、TRST#)
6種類のテストモード	BYPASS モード EXTEST モード SAMPLE / PRELOAD モード CLAMP モード HIGHZ モード IDCODE モード

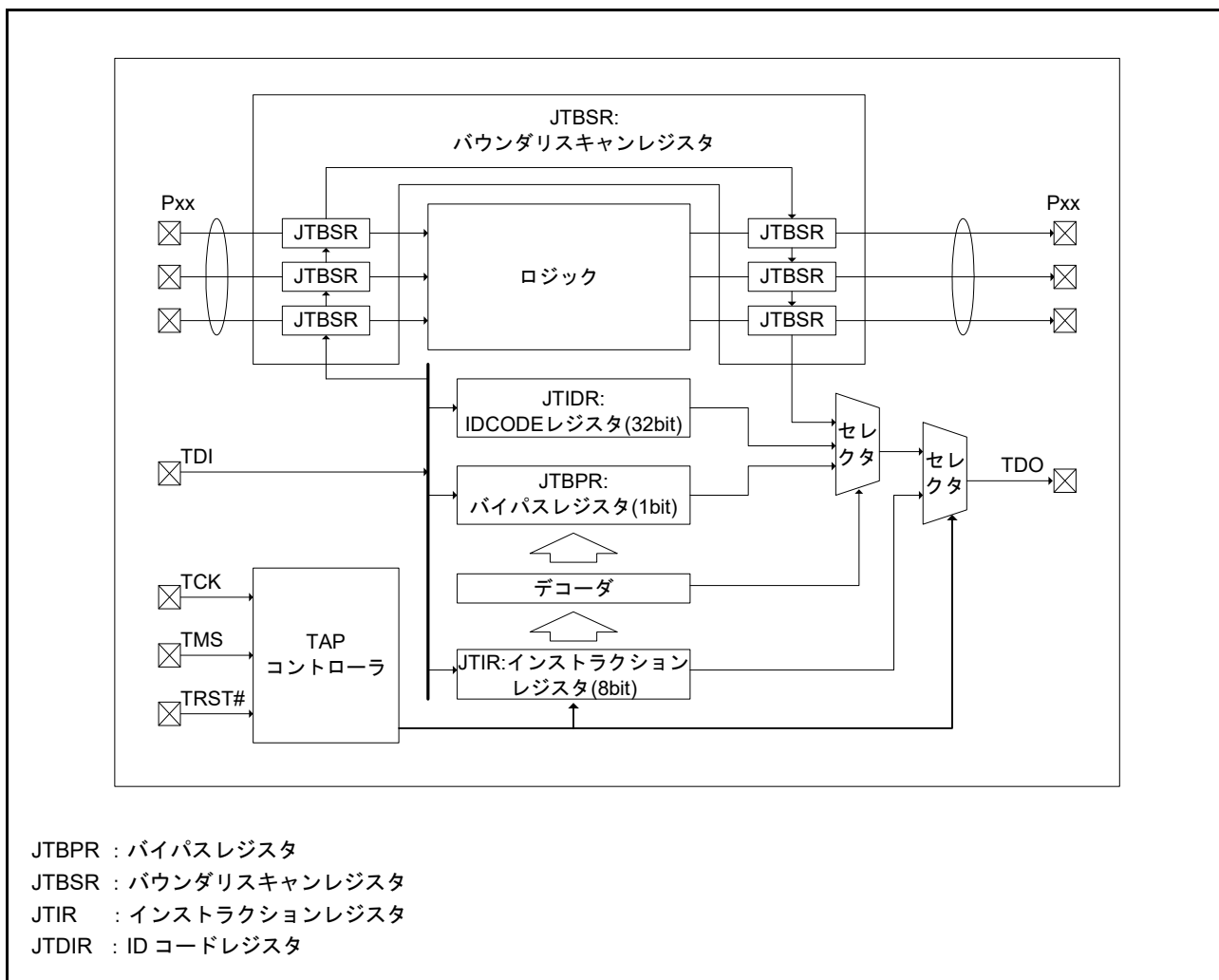


図 31.1 JTAG ブロック図

表 31.2 にバウンダリスキャンで使用する入出力端子を示します。

表31.2 JTAG入出力端子

端子名	入出力	機能
TCK	入力	テストクロック入力 バウンダリスキャン用のクロック信号です。 バウンダリスキャン機能使用時はデューティ比50%のクロックを入力してください。
TMS	入力	テストモードセレクト
TDI	入力	テストデータ入力
TDO	出力	テストデータ出力
TRST#	入力	テストリセット入力

31.2 レジスタの説明

インストラクションは、TDI 端子からシリアル転送によりインストラクションレジスタへ入力できます。バイパスレジスタは、1 ビットのレジスタで、BYPASS モード時に TDI 端子と TDO 端子はこのレジスタに接続されます。

バウンダリスキャンレジスタは表 31.5 の構成のレジスタで、テストデータをシフトインする時に TDI 端子と TDO 端子の間に接続されます。

すべてのレジスタは CPU からアクセスできません。表 31.3 に各レジスタのシリアル転送を示します。

表31.3 レジスタのシリアル転送

レジスタ	シリアル入力	シリアル出力
インストラクションレジスタ	可能	可能
IDコードレジスタ	可能	可能
バイパスレジスタ	可能	可能
バウンダリスキャンレジスタ	可能	可能

注. バウンダリスキャンの規格を満たしていれば、すべて可能です。

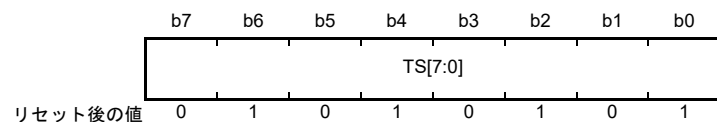
31.2.1 インストラクションレジスタ (JTIR)

JTIR レジスタは、8 ビットのレジスタです。

バウンダリスキャンのインストラクションは、TDI 端子からのシリアル入力によってインストラクションレジスタに転送することができます。

インストラクションレジスタは、TRST# 端子が Low レベル、または TAP コントローラが Test-Logic-Reset 状態の時に初期化されます。

アドレス —



ビット	シンボル	ビット名	機能	R/W
b7-b0	TS[7:0]	テストビットセット	コマンド構成は表31.4のようになります。	—

表31.4 コマンド構成

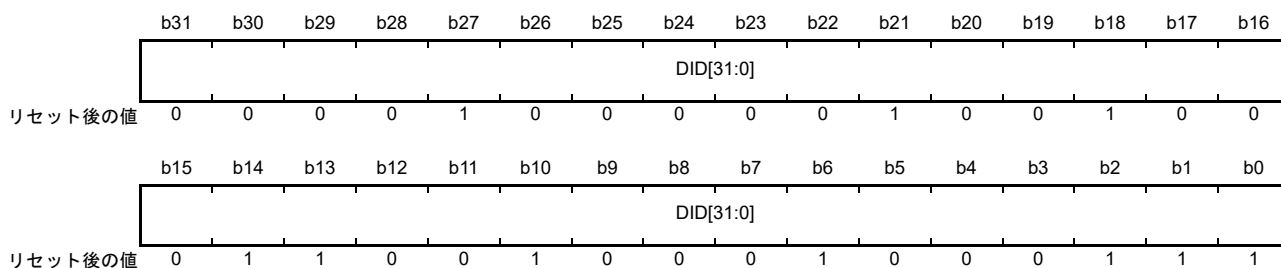
TS7	TS6	TS5	TS4	TS3	TS2	TS1	TS0	インストラクション
0	0	0	0	0	0	0	0	EXTEST
0	1	0	0	0	0	0	0	SAMPLE/PRELOAD
0	1	0	1	0	1	0	1	IDCODE (リセット後の値)
1	1	0	1	0	0	0	0	CLAMP
1	0	0	0	0	0	0	0	HIGHZ
1	1	1	1	1	1	1	1	BYPASS
上記以外								予約

31.2.2 ID コードレジスタ (JTIDR)

JTIDR レジスタは、32 ビットのレジスタです。

IDCODE 命令時、ID コードレジスタのデータを TDO 端子から出力します。

アドレス —



ビット	シンボル	ビット名	機能	R/W
b31-b0	DID[31:0]	予約ビット	デバイス IDCODE を示す固定値のレジスタ	—

31.2.3 バイパスレジスタ (JTBPR)

JTBPR レジスタは、1 ビットのレジスタです。

BYPASS モードに設定された場合、TDI 端子と TDO 端子はバイパスレジスタに接続されます。

CPU から JTBPR レジスタへ読み出し/書き込みはできません。

31.2.4 バウンダリスキャンレジスタ (JTBSR)

JTBSR レジスタは、本 LSI の入出力端子の制御を行うために PAD 上に配置されたシフトレジスタです。

EXTEST、SAMPLE / PRELOAD、CLAMP、および HIGHZ コマンドを用いて、バウンダリスキャンテストを行うことができます。

表 31.5 に本 LSI の端子とバウンダリスキャンレジスタの対応を示します。

リセット後の値は不定です。

表31.5 バウンダリスキャンレジスタ (196BGA)
(1 / 8)

From TDI			
Pin No	端子名	タイプ	ビット名
M4	P60	出力	630
		出カイナーブル	629
		入力	628
N4	P61	出力	624
		出カイナーブル	623
		入力	622
L4	P62	出力	621
		出カイナーブル	620
		入力	619
N5	P63	出力	615
		出カイナーブル	614
		入力	613
M5	P64	出力	609
		出カイナーブル	608
		入力	607
P5	P65	出力	606
		出カイナーブル	605
		入力	604
P4	P66	出力	603
		出カイナーブル	602
		入力	601
P6	PC6	入力	590
P7	PC7	入力	585
L6	PG2	出力	566
		出カイナーブル	565
		入力	564
M6	PG3	出力	560
		出カイナーブル	559
		入力	558
N6	PG4	出力	554
		出カイナーブル	553
		入力	552
M7	PG5	出力	551
		出カイナーブル	550
		入力	549
N7	PG6	出力	545
		出カイナーブル	544
		入力	543
L8	PR1	出力	509
		出カイナーブル	508
		入力	507
M8	P21	出力	497
		出カイナーブル	496
		入力	495
N8	P22	出力	491
		出カイナーブル	490
		入力	489

表31.5 バウンダリスキャンレジスタ (196BGA)
(2 / 8)

From TDI			
Pin No	端子名	タイプ	ビット名
P8	P23	出力	485
		出カイナーブル	484
		入力	483
N9	P20	出力	482
		出カイナーブル	481
		入力	480
P9	P25	出力	479
		出カイナーブル	478
		入力	477
M9	P26	出力	473
		出カイナーブル	472
		入力	471
L9	P27	出力	467
		出カイナーブル	466
		入力	465
M10	P44	出力	464
		出カイナーブル	463
		入力	462
N10	P42	出力	455
		出カイナーブル	454
		入力	453
P10	P40	出力	449
		出カイナーブル	448
		入力	447
M11	PS0	出力	440
		出カイナーブル	439
		入力	438
N11	PS1	出力	434
		出カイナーブル	433
		入力	432
P11	P10	出力	428
		出カイナーブル	427
		入力	426
M12	P00	出力	425
		出カイナーブル	424
		入力	423
P12	PS2	出力	422
		出カイナーブル	421
		入力	420
N12	PS3	出力	416
		出カイナーブル	415
		入力	414
P13	PS4	出力	407
		出カイナーブル	406
		入力	405

表31.5 バウンダリスキャンレジスタ (196BGA)
(3 / 8)

From TDI			
Pin No	端子名	タイプ	ビット名
N13	PS5	出力	398
		出カイナーブル	397
		入力	396
L12	PS6	出力	392
		出カイナーブル	391
		入力	390
N14	PE0	出力	386
		出カイナーブル	385
		入力	384
M13	PS7	出力	383
		出カイナーブル	382
		入力	381
K11	PE1	出力	380
		出カイナーブル	379
		入力	378
M14	PE2	出力	377
		出カイナーブル	376
		入力	375
L13	PE3	出力	371
		出カイナーブル	370
		入力	369
L14	PE4	出力	365
		出カイナーブル	364
		入力	363
K12	PE5	出力	362
		出カイナーブル	361
		入力	360
K13	PE6	出力	356
		出カイナーブル	355
		入力	354
J11	PE7	出力	353
		出カイナーブル	352
		入力	351
K14	P70	出力	350
		出カイナーブル	349
		入力	348
J12	P71	出力	344
		出カイナーブル	343
		入力	342
J13	P72	出力	338
		出カイナーブル	337
		入力	336
J14	P73	出力	335
		出カイナーブル	334
		入力	333

表31.5 バウンダリスキャンレジスタ (196BGA)
(4 / 8)

From TDI			
Pin No	端子名	タイプ	ビット名
H11	P74	出力	332
		出カイナーブル	331
		入力	330
H12	P75	出力	329
		出カイナーブル	328
		入力	327
H13	P76	出力	323
		出カイナーブル	322
		入力	321
G12	P77	出力	317
		出カイナーブル	316
		入力	315
H14	PA0	出力	314
		出カイナーブル	313
		入力	312
G14	PA1	出力	308
		出カイナーブル	307
		入力	306
G13	PA2	出力	305
		出カイナーブル	304
		入力	303
G11	PA3	出力	299
		出カイナーブル	298
		入力	297
F12	PA4	出力	293
		出カイナーブル	292
		入力	291
F13	PA5	出力	284
		出カイナーブル	283
		入力	282
D14	P12	出力	281
		出カイナーブル	280
		入力	279
F14	PA6	出力	278
		出カイナーブル	277
		入力	276
D12	PA7	出力	272
		出カイナーブル	271
		入力	270
E12	P90	出力	269
		出カイナーブル	268
		入力	267
F11	P91	出力	266
		出カイナーブル	265
		入力	264

表31.5 バウンダリスキャンレジスタ (196BGA)
(5 / 8)

From TDI			
Pin No	端子名	タイプ	ビット名
E13	P92	出力	263
		出カイナーブル	262
		入力	261
E14	P93	出力	260
		出カイナーブル	259
		入力	258
D13	P94	出力	257
		出カイナーブル	256
		入力	255
C14	P95	出力	254
		出カイナーブル	253
		入力	252
C13	P96	出力	251
		出カイナーブル	250
		入力	249
B14	P97	出力	248
		出カイナーブル	247
		入力	246
B13	P16	出力	230
		出カイナーブル	229
		入力	228
C12	P17	出力	224
		出カイナーブル	223
		入力	222
D9	P50	出力	215
		出カイナーブル	214
		入力	213
A11	P51	出力	212
		出カイナーブル	211
		入力	210
D8	P52	出力	209
		出カイナーブル	208
		入力	207
B10	P53	出力	206
		出カイナーブル	205
		入力	204
C9	P54	出力	203
		出カイナーブル	202
		入力	201
A10	P56	出力	197
		出カイナーブル	196
		入力	195
B9	PD5	出力	194
		出カイナーブル	193
		入力	192

表31.5 バウンダリスキャンレジスタ (196BGA)
(6 / 8)

From TDI			
Pin No	端子名	タイプ	ビット名
A9	PD6	出力	191
		出カイナーブル	190
		入力	189
C8	PD7	出力	188
		出カイナーブル	187
		入力	186
D7	P86	出力	185
		出カイナーブル	184
		入力	183
B8	P87	出力	182
		出カイナーブル	181
		入力	180
A8	PF5	出力	179
		出カイナーブル	178
		入力	177
C7	PF6	出力	173
		出カイナーブル	172
		入力	171
B7	PB7	出力	167
		出カイナーブル	166
		入力	165
D6	PC0	入力	163
A7	PC1	入力	161
C6	PB0	出力	157
		出カイナーブル	156
		入力	155
B6	PB1	出力	151
		出カイナーブル	150
		入力	149
A6	PB2	出力	145
		出カイナーブル	144
		入力	143
D5	PB3	出力	139
		出カイナーブル	138
		入力	137
C5	PB4	出力	133
		出カイナーブル	132
		入力	131
A5	PB5	出力	127
		出カイナーブル	126
		入力	125
B5	PB6	出力	121
		出カイナーブル	120
		入力	119
A4	PF7	出力	115
		出カイナーブル	114
		入力	113

表31.5 バウンダリスキャンレジスタ (196BGA)
(7 / 8)

From TDI			
Pin No	端子名	タイプ	ビット名
C4	PJ0	出力	112
		出カイナーブル	111
		入力	110
B4	PJ1	出力	109
		出カイナーブル	108
		入力	107
A3	PJ2	出力	106
		出カイナーブル	105
		入力	104
B3	PJ3	出力	103
		出カイナーブル	102
		入力	101
A2	PC2	入力	99
B2	PJ4	出力	98
		出カイナーブル	97
		入力	96
C3	PC3	入力	91
C2	PJ5	出力	87
		出カイナーブル	86
		入力	85
D3	PJ6	出力	72
		出カイナーブル	71
		入力	70
B1	PJ7	出力	69
		出カイナーブル	68
		入力	67
E4	P80	出力	66
		出カイナーブル	65
		入力	64
E3	P82	出力	63
		出カイナーブル	62
		入力	61
E2	P85	出力	57
		出カイナーブル	56
		入力	55
D2	P81	出力	54
		出カイナーブル	53
		入力	52
F3	ERROROUT#	出力	51
		出カイナーブル	50
C1	P83	出力	48
		出カイナーブル	47
		入力	46
F4	P35	出力	45
		出カイナーブル	44
		入力	43

表31.5 バウンダリスキャンレジスタ (196BGA)
(8 / 8)

From TDI			
Pin No	端子名	タイプ	ビット名
D1	P84	出力	42
		出カイナーブル	41
		入力	40
G1	PC4	入力	32
G2	PC5	入力	30
H3	PU7	出力	26
		出カイナーブル	25
		入力	24
J3	PM1	出力	23
		出カイナーブル	22
		入力	24
M1	PM2	出力	20
		出カイナーブル	19
		入力	18
L2	PM3	出力	17
		出カイナーブル	16
		入力	15
M2	PM6	出力	14
		出カイナーブル	13
		入力	12
K3	PM4	出力	11
		出カイナーブル	10
		入力	9
N2	PM5	出力	8
		出カイナーブル	7
		入力	6
N1	PM7	出力	5
		出カイナーブル	4
		入力	3
K4	RSTOUT#	出力	2
		出カイナーブル	1
To TDO			

31.3 動作説明

バウンダリスキャン機能は RES# 端子を High、BSCANP 端子を High とした時、有効になります。

31.3.1 TAP コントローラ

図 31.2 に TAP コントローラの状態遷移図を示します。表 31.6 に各ステートの説明を示します。

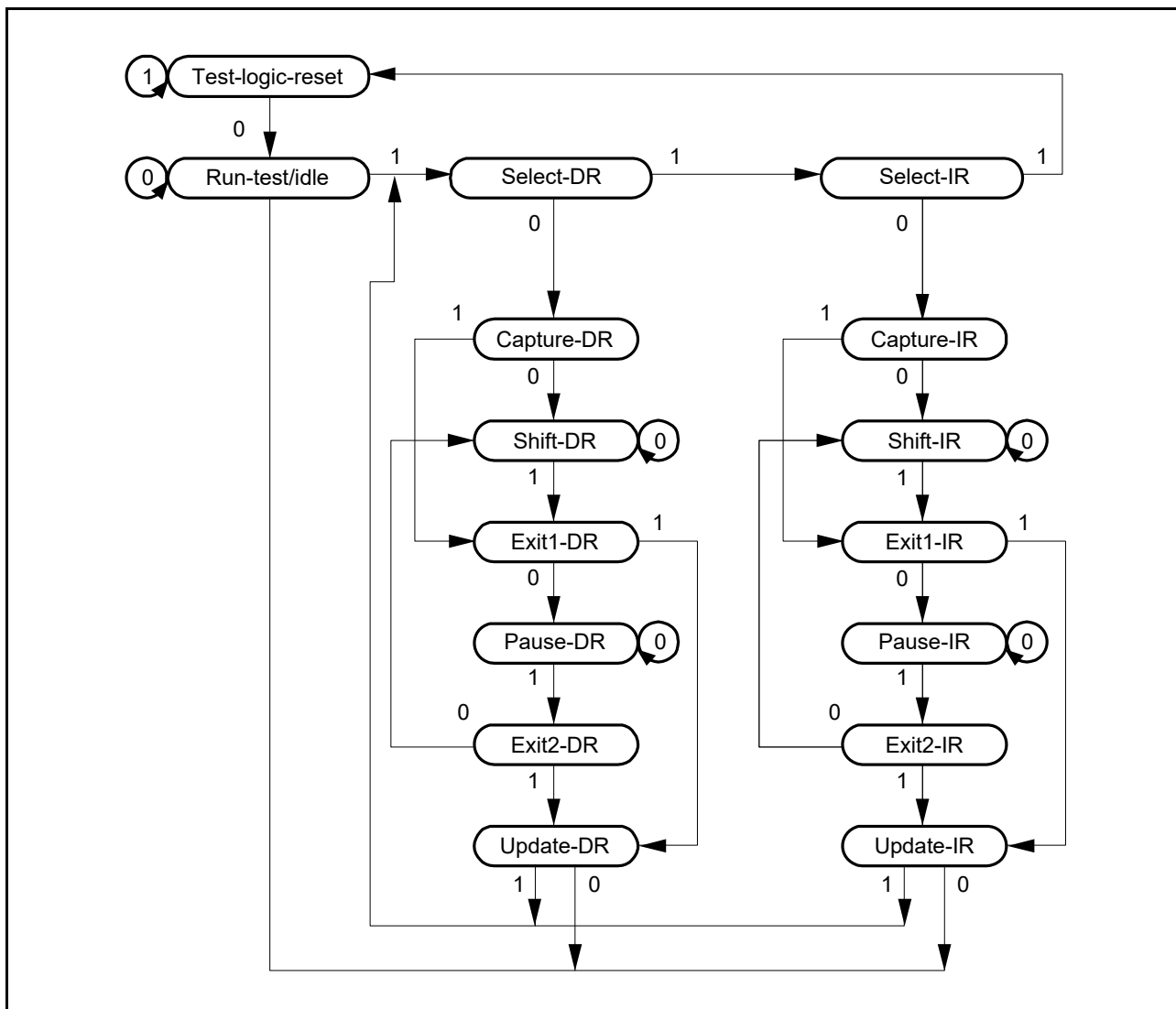


図 31.2 TAP コントローラの状態遷移図

表 31.6 各ステートの説明

状態	説明
Test Logic Reset	TAP コントローラのリセット状態です。LSI の通常動作時はこの状態です。
Run Test / Idle	テスト実行状態です。
Select DR Scan	データレジスタを選択するための一時的なステートです。
Select IR Scan	インストラクションレジスタを選択するための一時的なステートです。
Capture DR	現在の命令に対応したテストデータレジスタに対して、パラレルにデータを取り込みます。
Shift DR	現在の命令に対応したテストデータレジスタがTDI とTDO に接続し、シリアルにデータ転送します。
Exit DR	一時的なステートです。
Pause DR	Shift DR で入力した値を保持したまま、クロックの印加を行います。
Exit2 DR	一時的なステートです。
Update DR	現在の命令に対応したテストデータレジスタのラッチ出力を更新します。
Capture IR	インストラクションレジスタに固定値を取り込みます。
Shift IR	インストラクションレジスタがTDI とTDO の接続し、シリアルにデータ転送します。
Exit IR	一時的なステートです。
Pause IR	Shift IR で入力した値を保持したまま、クロックの印加を行います。
Exit2 IR	一時的なステートです。
Update IR	現在の命令を Shift IR で入力された命令に更新します。

31.3.2 コマンド一覧

(1) BYPASS[命令コード : 1111 1111b]

BYPASS 命令はバイパスレジスタを動作させる命令です。この命令はシフトパスを短縮してプリント基板上の他の LSI のシリアルデータの転送速度を高速化するものです。この命令の実行中、テスト回路はシステム回路に何の影響も与えません。

TDI 端子と TDO 端子にはバイパスレジスタが接続されます。Shift-DR 動作でバイパス動作となります。Shift-DR の 1 クロック目では TDO = 0 となり、その後の Shift-DR で TDI が TDO から出力されます。

(2) EXTEST[命令コード : 0000 0000b]

EXTEST 命令は、本 LSI をプリント基板に実装したとき、外部回路をテストするためのものです。本命令の実行時、出力端子はバウンダリスキャンレジスタからテストデータ (SAMPLE / PRELOAD 命令ですでに設定されています) をプリント基板へ出力するために使用され、入力端子はプリント基板からバウンダリスキャンレジスタにテスト結果を取り込むために使用されます。

(3) SAMPLE / PRELOAD[命令コード : 0100 0000b]

SAMPLE / PRELOAD 命令は本 LSI の内部回路からバウンダリスキャンレジスタに値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードする命令です。本命令実行中本 LSI の入力端子はそのまま内部回路に伝達され、内部回路の値はそのまま出力端子から外部へ出力されます。本命令の実行により本 LSI のシステム回路は何の影響も受けません。

SAMPLE 動作では、入力端子から内部回路へ転送される値や内部回路から出力端子へ転送される値のスナップショットをバウンダリスキャンレジスタに取り込みスキャンパスから読みだされます。スナップショットの取り込みは Capture-DR 状態の TCK の立ち上がり同期して行われます。スナップショットの取り込みは本 LSI の通常動作を妨げずに行われます。

PRELOAD 動作では、EXTEST 命令に先立ちスキャンパスからバウンダリスキャンレジスタの平行出力ラッチにリセット後の値を設定します。PRELOAD 動作がないと、EXTEST 命令を実行するとき、最初のスキャンシーケンスが完了する (出力ラッチへの転送) までの間、出力端子から不定値が出力される (EXTEST 命令では出力端子に常に平行出力ラッチを出力する) こととなります。

(4) IDCODE[命令コード : 0101 0101b]

IDCODE 命令が選択されると、TAP コントローラの Shift-DR ステート時に ID コードレジスタの値を LSB より TDO から出力します。この命令の実行中、テスト回路はシステム回路に何も影響を与えません。TAP コントローラの Test-Logic-Reset ステート時インストラクションレジスタは IDCODE 命令に初期化されます。

(5) CLAMP[命令コード : 1101 0000b]

CLAMP 命令が選択されると、出力端子はあらかじめ SAMPLE / PRELOAD 命令によって設定されたバウンダリスキャンレジスタの値を出力します。CLAMP 命令が選択されている間、バウンダリスキャンレジスタの状態は TAP コントローラの状態に関係なく前の状態で保持されます。

本命令では、TDI 端子と TDO 端子にバイパスレジスタが接続され BYPASS モードを選択したときと同様の動作をします。

(6) HIGHZ[命令コード : 1000 0000b]

HIGHZ 命令が選択されると、すべての出力端子はハイインピーダンス状態となります。HIGHZ 命令が選択されている間、バウンダリスキャンレジスタの状態は TAP コントローラの状態に関係なく前の状態を保持されます。TDI 端子と TDO 端子の間にはバイパスレジスタが接続され、BYPASS 命令が選択されたときと同様の動作をします。

31.4 使用上の注意事項

1. シリアル転送時、データの入出力は LSB 側からとなります。図 31.3 に示します。

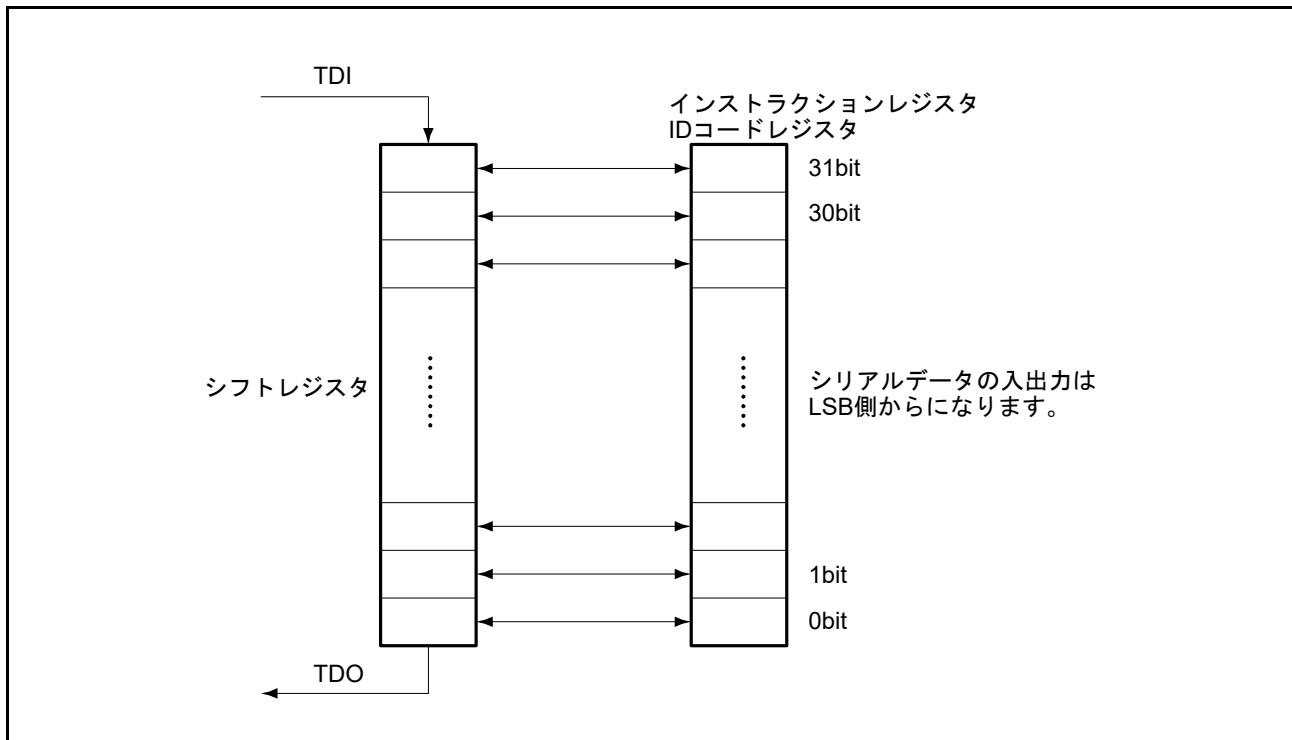


図 31.3 シリアルデータ入出力

2. バウンダリスキャン端子 (TDI、TMS、TRST#) は、プルアップ抵抗にてプルアップしてください。ただし、オンチップエミュレータを使用する場合は、使用するオンチップエミュレータのマニュアルにしたがって、TRST# 端子を処理してください。
3. 電源端子 (VDD, VSS, VCCQ33, PLLVDD0, PLLVSS0, PLLVDD1, PLLVSS1, VDD33_USB, VSS_USB, DVDD_USB) はバウンダリスキャン対象外です。
4. USB 基準電流源入力端子 (USB_RREF) はバウンダリスキャン対象外です。
5. クロック端子 (EXTAL、XTAL) はバウンダリスキャンの対象外です。
6. リセット端子 (RES#) はバウンダリスキャンの対象外です。
7. USB 専用端子 (USB_DP、USB_DM) はバウンダリスキャン対象外です。
8. バウンダリスキャン端子 (BSCANP) はバウンダリスキャンの対象外です。
9. バウンダリスキャン端子 (TCK、TMS、TRST#、TDI、TDO) はバウンダリスキャンの対象外です。
10. I/O ポート端子 (PC0 ~ PC7) の出力レジスタは、バウンダリスキャンの対象外です。
11. バウンダリスキャン機能はリセット状態のとき、使用できません。
12. オープンドレイン機能付き端子をオープンドレイン機能有効として使用した場合、バウンダリスキャン機能で出力のスキャンレジスタを 1、出力イネーブルレジスタを 1 に設定し、EXTEST 命令、CLAMP 命令、SAMPLE / PRELOAD 命令のいずれかを実行すると端子はハイインピーダンスではなく High 出力となります。

32. エラーコントロールモジュール (ECM)

本章では、エラーコントロールモジュール (ECM) について説明します。

32.1 概要

エラーコントロールモジュール (ECM) には各周辺モジュールからのエラー出力信号を受け付けて、エラー出力端子 (ERROROUT#) からのエラー信号出力、エラー割り込みや内部リセット信号を発生させることが可能です。表 32.1 に ECM の仕様を、図 32.1 に ECM のブロック図を示します。

表 32.1 ECMの仕様

項目	説明
セーフティ処理	各モジュールからのエラー信号入力に対して、次の処理を行うことができます。 <ul style="list-style-type: none"> エラーフラグセット 各エラー要因ごとにエラー発生状態を示すフラグをもちます。 ECM マスカブル割り込み発生 各エラー要因ごとにマスカブル割り込みの発生を制御 (許可/禁止) することが可能です。 ECM ノンマスカブル割り込み発生 各エラー要因ごとにノンマスカブル割り込みの発生を制御 (許可/禁止) することが可能です。 ECM リセット (内部リセット) 各エラー要因ごとに内部リセットの発生を制御 (許可/禁止) することが可能です。 ERROROUT#端子によるエラー信号出力 各エラー要因ごとにエラー信号の出力と、マスク制御 (許可/禁止) が可能です。 CMTW タイマ入力によるトグル出力、またはレベル固定出力が可能です。
エラーステータス	エラーステータスレジスタを搭載し、各エラーフラグの値から対応するエラー要因の発生があったかどうか確認することができます。
自己診断機能	<ul style="list-style-type: none"> 自己診断用に擬似エラーを発生させることができます。 擬似エラー発生時の動作は、実際にエラーが発生した場合と同じです。エラー端子出力のマスクや割り込み、内部リセットの設定はすべて反映されます。 また機能安全のエラー検出向けに拡張擬似エラーを使用可能です。 エラー出力端子までのバスの診断のために、エラー端子出力のループバック機能を搭載します。 エラー出力端子の状態が内部レジスタに反映され、レジスタを読み出すことでエラー出力端子の状態を確認することができます。
ディレイタイムアウト機能	ECM マスカブル割り込み、ECM ノンマスカブル割り込みの発生と同時にディレイタイムをスタートし、割り込み処理中にディレイタイムを停止できず、ディレイタイムオーバーフローが発生した場合にエラー信号出力、またはECMリセットを発生する機能を搭載します。
その他	冗長化のためECMはマスタ/チェッカの2重構造をもちます。

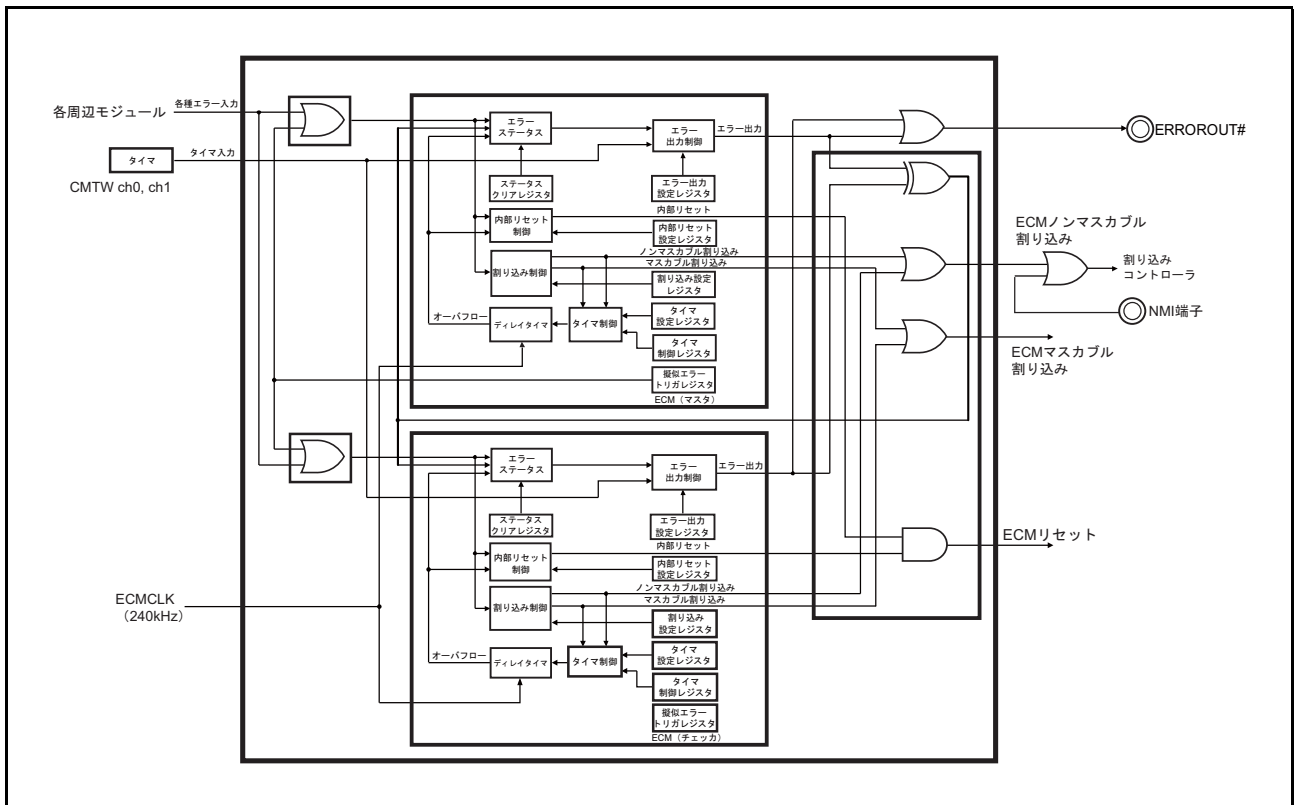


図 32.1 ECMのブロック図

ECM エラー入力を表 32.2 に示します。

表 32.2 ECMエラー入力

エラー要因番号	モジュール	機能
1	WDTA	WDTA アンドアフロー/リフレッシュエラー (Cortex-R4用)
2	—	予約
3	IWDTa	IWDTa アンドアフロー/リフレッシュエラー
4	—	予約
5	Cortex-R4 キャッシュ	命令キャッシュ (Tag RAM) のECC1ビット、ECC2ビットエラー
6		命令キャッシュ (Data RAM) のECC1ビット、ECC2ビットエラー
7		データキャッシュ (Tag/Dirty RAM) のECC1ビットエラー
8		データキャッシュ (Tag/Dirty RAM) のECC2ビットエラー
9		データキャッシュ (Data RAM) のECC1ビットエラー
10		データキャッシュ (Data RAM) のECC2ビットエラー
11	Cortex-R4 RAM	ATCMのECC1ビットエラー
12		ATCMのECC2ビットエラー
13		BTCMのECC1ビットエラー
14		BTCMのECC2ビットエラー
15、 16	—	予約
17	RSCAN	RSCAN RAMのECC1ビットエラー
18		RSCAN RAMのECC2ビットエラー
19		RSCAN オーバフローエラー
20	クロックモニタ回路 (CLMA)	メインクロック発振停止検出
21		CLMA0 発振停止検出 (PLL0)
22		CLMA1 発振停止検出 (PLL1)
23		CLMA2 発振停止検出 (LOCO)
24 ~ 32	—	予約
33	内部バス	バスエラー
34	—	予約
35	—	拡張疑似エラー 35 (注1)
36	—	拡張疑似エラー 36 (注1)
37	—	拡張疑似エラー 37 (注1)
38	—	拡張疑似エラー 38 (注1)
39	—	拡張疑似エラー 39 (注1)
40	—	拡張疑似エラー 40 (注1)
41	—	拡張疑似エラー 41 (注1)
42 ~ 92	—	予約
93	エラーコントロール モジュール (ECM)	コンペアエラー
94		ディレイタイマオーバフローエラー
95		ECMmESETレジスタによるエラーセット
96		ループバックエラー

注1. ソフトウェアでECM疑似エラートリガレジスタ (ECMPEn) の対応するビットをセットすることで疑似エラーを発生できます。詳細は「32.3.3 疑似エラー発生」を参照してください。

32.2 レジスタの説明

32.2.1 ECM マスタ/チェッカエラーセットトリガレジスタ (ECMmESET (m = M/C))

ECMmESET レジスタは ERROROUT# 端子の出力を制御するレジスタです (m = M, C)。ECMmEST ビットに 1 をセットすると ERROROUT# 端子の出力をアクティブ (Low) にすることが可能です。ERROROUT# 端子出力をマスクすることはできません。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「32.3.4 保護レジスタへの書き込み」を参照してください。このレジスタの読み出し値は常に 00h です。

アドレス ECMmESET : A007 D000h
ECMCESET : A007 D040h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ECMmEST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMmEST	エラーセットトリガビット	0 : 0書き込みは無効。 1 : ERROROUT#端子の出力レベルをアクティブ (Low) に設定します。	W
b7-b1	—	予約ビット	書く場合、“0”としてください。	W

注1. ECMmESET レジスタをセットすると、ECMmESSTR2 レジスタの ECMmSSE228 ビット (ECM コンペアエラー) がセットされます。このため ECMmESET レジスタで ERROROUT# 端子の制御をする場合は下記手順にしたがって設定してください。

- ECMEMK2 レジスタの ECMEMK228 ビットを「マスクあり」に設定します。
- 割り込みを生成しないために、ECMMICFG2 レジスタの ECMMIE228 ビットを「禁止」に、ECMNMICFG2 レジスタの ECMNMIE228 ビットを「禁止」に設定します。
- 内部リセットを生成しないために、ECMIRCFG2 レジスタの ECMIRE228 ビットを「禁止」に設定します。
- ECMmESET レジスタでエラー出力のセットを行います。
- ECMESSTC2 レジスタの ECMCLSSE228 ビットでエラーをクリアします。
- ECM コンペアエラーの設定を元に戻すため必要に応じて以下の設定を行います。
 - ERROROUT# 端子からのエラー出力を許可する場合、ECMEMK2 レジスタの ECMEMK228 ビットを「マスクなし」に設定します。
 - エラー割り込みを許可する場合、ECMMICFG2 レジスタの ECMMIE228 ビットを「許可」または、ECMNMICFG2 レジスタの ECMNMIE228 ビットを「許可」に設定します。
 - ECM リセットを許可する場合、ECMIRCFG2 レジスタの ECMIRE228 ビットを「許可」に設定します。

注2. ECMmESET レジスタでエラー出力をセットした場合、ECMESSTCn レジスタでマスクされていないエラー要因すべてをクリアしてもエラー状態が保持され ERROROUT# 端子はアクティブのまま Low 出力します。エラー状態をクリアするには ECMmECLR レジスタでクリア処理してください。

32.2.2 ECM マスタ/チェッカエラークリアトリガレジスタ (ECMmECLR (m = M/C))

ECMmECLR レジスタは ERROROUT# 端子からの出力を制御するレジスタです (m = M, C)。ECMmECT ビットに 1 をセットすると、他に ERROROUT# 端子をアクティブ (Low) にするエラー要因がない場合には、ERROROUT# 端子の出力をインアクティブ (High) にすることが可能です。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「32.3.4 保護レジスタへの書き込み」を参照してください。このレジスタの読み出し値は常に 00h です。

アドレス ECMMECLR : A007 D004h
ECMCECLR : A007 D044h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ECMmECT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMmECT	エラークリアトリガビット	0 : 0書き込みは無効。 1 : ERROROUT#端子の出力レベルをインアクティブ (High) に設定します。 ただしECMエラー出カクリア無効期間中は本ビットによるクリアができません。詳細は「32.3.6 エラー出カクリアの無効設定機能」を参照してください。	W
b7-b1	—	予約ビット	書く場合、“0”としてください。	W

注 . エラー端子出力のクリアは、ECMEMK0/1/2 レジスタでマスクされていないすべてのエラー要因が、あらかじめクリアされている場合のみ本レジスタの ECMmECT ビットのセットで ERROROUT# 端子の出力をインアクティブ (High) に設定することが可能です。

ECMmESET からエラー出力のセットを行うことによって、エラー状態が生成された場合、本レジスタでエラー状態のクリアを行ってください。

エラー状態のクリアは以下の手順で行ってください。

1. ECMESSTC0、ECMESSTC1、ECMESSTC2 レジスタの対応する全ビットを「エラー状態のクリア」にします。
2. ECMEMK0、ECMEMK1、ECMEMK2 レジスタの対応する全ビットを「マスク」とし、すべてのエラー要因によるエラー信号出力をマスクします。
3. ECM コンペアエラー (エラー要因 93) による意図しないエラー処理が発生しないよう ECMMICFG2、ECMNMICFG2、ECMIRCFG2 レジスタの各 ECMMIE228、ECMNMIE228、ECMIRE228 ビットを「禁止」にします。
4. ECMMECLR、ECMCECLR レジスタの ECMmECT、ECMCECT ビットで ERROROUT# 端子のエラー出力をクリアします。またこのとき ECM コンペアエラーが発生します。
5. ECM コンペアエラーの発生が ECMESSTR2 レジスタに反映されるまで以下の時間をソフトウェアでウエイトします。
(3 × ECMCLK) + (5 × PCLKD)
本製品では ECMCLK = 240kHz、PCLKD = 75MHz のため 約 12.6us のウエイト処理を行います。
6. ECMESSTC2 レジスタの ECMCLSSE228 ビットで ECM コンペアエラーを「クリア」にします。
7. 必要に応じて、2. で設定した ECMEMK0、ECMEMK1、ECMEMK2 レジスタの設定を元に戻します。
8. 必要に応じて、3. で設定した ECMMICFG2、ECMNMICFG2、ECMIRCFG2 レジスタの設定を元に戻します。

32.2.3 ECM マスタ/チェッカエラーソースステータスレジスタ 0 (ECMmESSTR0 (m = M/C))

ECMmESSTR0 レジスタは各エラー要因の発生状態を示すフラグレジスタです (m = M, C)。本レジスタは ECM エラーソースステータスクリアトリガレジスタ 0 (ECMESSTC0) の対応ビットのセット、または RES# 端子リセットによってクリアされます。その他のリセット要因発生では本レジスタはクリアされません。

アドレス ECMMESSTR0 : A007 D008h
ECMCESSTR0 : A007 D048h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	ECMmSSE022	ECMmSSE021	ECMmSSE020	ECMmSSE019	ECMmSSE018	ECMmSSE017	ECMmSSE016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	ECMmSSE013	ECMmSSE012	ECMmSSE011	ECMmSSE010	ECMmSSE009	ECMmSSE008	ECMmSSE007	ECMmSSE006	ECMmSSE005	ECMmSSE004	—	ECMmSSE002	—	ECMmSSE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMmSSE000	エラー要因ステータスビット 1	エラー要因 1 の WDTA アンダフロー/リフレッシュエラー (Cortex-R4) の発生を示します。 0: エラー未発生 1: エラー発生	R
b1	—	予約ビット	読むと "0" が読めます。	R
b2	ECMmSSE002	エラー要因ステータスビット 3	エラー要因 3 の IWDtA アンダフロー/リフレッシュエラーの発生を示します。 0: エラー未発生 1: エラー発生	R
b3	—	予約ビット	読むと "0" が読めます。	R
b4	ECMmSSE004	エラー要因ステータスビット 5	エラー要因 5 の命令キャッシュ (Tag RAM) の ECC1 ビットエラー (訂正あり)、ECC2 ビットエラー (訂正なし) の発生を示します。 0: エラー未発生 1: エラー発生	R
b5	ECMmSSE005	エラー要因ステータスビット 6	エラー要因 6 の命令キャッシュ (Data RAM) の ECC1 ビットエラー (訂正あり)、ECC2 ビットエラー (訂正なし) の発生を示します。 0: エラー未発生 1: エラー発生	R
b6	ECMmSSE006	エラー要因ステータスビット 7	エラー要因 7 のデータキャッシュ (Tag/Dirty RAM) の ECC1 ビットエラーの発生を示します。 0: エラー未発生 1: エラー発生	R
b7	ECMmSSE007	エラー要因ステータスビット 8	エラー要因 8 のデータキャッシュ (Tag/Dirty RAM) の ECC2 ビットエラーの発生を示します。 0: エラー未発生 1: エラー発生	R
b8	ECMmSSE008	エラー要因ステータスビット 9	エラー要因 9 のデータキャッシュ (Data RAM) の ECC1 ビットエラーの発生を示します。 0: エラー未発生 1: エラー発生	R
b9	ECMmSSE009	エラー要因ステータスビット 10	エラー要因 10 のデータキャッシュ (Data RAM) の ECC2 ビットエラーの発生を示します。 0: エラー未発生 1: エラー発生	R

ビット	シンボル	ビット名	機能	R/W
b10	ECMmSSE010	エラー要因ステータスビット 11	エラー要因 11 の ATCM の ECC1 ビットエラーの発生を示します。 0: エラー未発生 1: エラー発生	R
b11	ECMmSSE011	エラー要因ステータスビット 12	エラー要因 12 の ATCM の ECC2 ビットエラーの発生を示します。 0: エラー未発生 1: エラー発生	R
b12	ECMmSSE012	エラー要因ステータスビット 13	エラー要因 13 の BTCM の ECC1 ビットエラーの発生を示します。 0: エラー未発生 1: エラー発生	R
b13	ECMmSSE013	エラー要因ステータスビット 14	エラー要因 14 の BTCM の ECC2 ビットエラーの発生を示します。 0: エラー未発生 1: エラー発生	R
b15-b14	—	予約ビット	読むと "0" が読めます。	R
b16	ECMmSSE016	エラー要因ステータスビット 17	エラー要因 17 の RSCAN RAM の ECC1 ビットエラーの発生を示します。 0: エラー未発生 1: エラー発生	R
b17	ECMmSSE017	エラー要因ステータスビット 18	エラー要因 18 の RSCAN RAM の ECC2 ビットエラーの発生を示します。 0: エラー未発生 1: エラー発生	R
b18	ECMmSSE018	エラー要因ステータスビット 19	エラー要因 19 の RSCAN オーバフローエラーの発生を示します。 0: エラー未発生 1: エラー発生	R
b19	ECMmSSE019	エラー要因ステータスビット 20	エラー要因 20 のメインクロック発振停止検出の発生を示します。 0: エラー未発生 1: エラー発生	R
b20	ECMmSSE020	エラー要因ステータスビット 21	エラー要因 21 の CLMA0 発振停止検出 (PLL0) の発生を示します。 0: エラー未発生 1: エラー発生	R
b21	ECMmSSE021	エラー要因ステータスビット 22	エラー要因 22 の CLMA1 発振停止検出 (PLL1) の発生を示します。 0: エラー未発生 1: エラー発生	R
b22	ECMmSSE022	エラー要因ステータスビット 23	エラー要因 23 の CLMA2 発振停止検出 (LOCO) の発生を示します。 0: エラー未発生 1: エラー発生	R
b31-b23	—	予約ビット	読むと "0" が読めます。	R

32.2.4 ECM マスタ/チェッカエラーソースステータスレジスタ 1 (ECMmESSTR1 (m = M/C))

ECMmESSTR1 レジスタは各エラー要因の発生状態を示すフラグレジスタです (m = M, C)。本レジスタは ECM エラーソースステータスクリアトリガレジスタ 1 (ECMESSTC1) の対応ビットのセット、または RES# 端子リセットによってクリアされます。その他のリセット要因発生では本レジスタはクリアされません。

アドレス ECMMESSTR1 : A007 D00Ch
ECMCESSTR1 : A007 D04Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ECMmSSE108	ECMmSSE107	ECMmSSE106	ECMmSSE105	ECMmSSE104	ECMmSSE103	ECMmSSE102	—	ECMmSSE100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMmSSE100	エラー要因ステータスビット 33	エラー要因 33 のバスエラーの発生を示します。 0 : エラー未発生 1 : エラー発生	R
b1	—	予約ビット	読むと“0”が読めます。	R
b2	ECMmSSE102	エラー要因ステータスビット 35	エラー要因 35 の拡張擬似エラー 35 の発生を示します (注1)。 0 : エラー未発生 1 : エラー発生	R
b3	ECMmSSE103	エラー要因ステータスビット 36	エラー要因 36 の拡張擬似エラー 36 の発生を示します (注1)。 0 : エラー未発生 1 : エラー発生	R
b4	ECMmSSE104	エラー要因ステータスビット 37	エラー要因 37 の拡張擬似エラー 37 の発生を示します (注1)。 0 : エラー未発生 1 : エラー発生	R
b5	ECMmSSE105	エラー要因ステータスビット 38	エラー要因 38 の拡張擬似エラー 38 の発生を示します (注1)。 0 : エラー未発生 1 : エラー発生	R
b6	ECMmSSE106	エラー要因ステータスビット 39	エラー要因 39 の拡張擬似エラー 39 の発生を示します (注1)。 0 : エラー未発生 1 : エラー発生	R
b7	ECMmSSE107	エラー要因ステータスビット 40	エラー要因 40 の拡張擬似エラー 40 の発生を示します (注1)。 0 : エラー未発生 1 : エラー発生	R
b8	ECMmSSE108	エラー要因ステータスビット 41	エラー要因 41 の拡張擬似エラー 41 の発生を示します (注1)。 0 : エラー未発生 1 : エラー発生	R
b31-b9	—	予約ビット	読むと“0”が読めます。	R

注1. ソフトウェアでECMPE1.ECMPE102-108ビットをセットすることでエラーが発生します。

32.2.5 ECM マスタ/チェッカエラーソースステータスレジスタ 2 (ECMmESSTR2 (m = M/C))

ECMmESSTR2 レジスタは各エラー要因の発生状態を示すフラグレジスタです (m = M, C)。本レジスタのビット 30 ~ ビット 28 は ECM エラーソースステータスクリアトリガレジスタ 2 (ECMESSTC2) の対応ビットのセット、または RES# 端子リセットによってクリアされます。その他のリセット要因発生では本レジスタはクリアされません。またビット 31 はリセットされません。

アドレス ECMMESSTR2 : A007 D010h
ECMCESSTR2 : A007 D050h

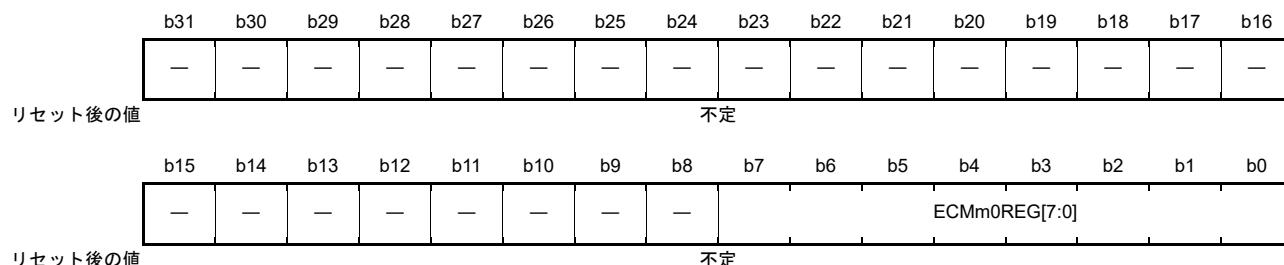
	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ECMmSSE231	ECMmSSE230	ECMmSSE229	ECMmSSE228	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b27-b0	—	予約ビット	読むと“0”が読めます。	R
b28	ECMmSSE228	エラー要因ステータスビット93	エラー要因93のECMコンペアエラーの発生を示します。 0 : ECMコンペアエラー未発生 1 : ECMコンペアエラー発生	R
b29	ECMmSSE229	エラー要因ステータスビット94	エラー要因94のディレイタイマオーバーフロー有無を示します。 0 : ディレイタイマオーバーフロー未発生 1 : ディレイタイマオーバーフロー発生	R
b30	ECMmSSE230	エラー要因ステータスビット95	エラー要因95のECMmESETの書き込みステータスを示します。 0 : エラー未発生 1 : ECMmESET レジスタのECMmESTビットでエラー設定された	R
b31	ECMmSSE231	エラー要因ステータスビット96	エラー要因96のループバックエラーの発生を示します。 本ビットはリセットによる初期化はされません。 0 : エラー出力 (マスタ/チェッカ) はLowレベル 1 : エラー出力 (マスタ/チェッカ) はHighレベル	R

32.2.6 ECM マスタ/チェッカ保護コマンドレジスタ (ECMmPCMD0 (m = M/C))

ECMmPCMD0 レジスタは保護されたレジスタへの書き込み制御を行うレジスタです (m = M, C)。詳細は「32.3.4 保護レジスタへの書き込み」を参照してください。

アドレス ECMmPCMD0 : A007 D014h
ECMmPCMD0 : A007 D054h



ビット	シンボル	ビット名	機能	R/W
b7-b0	ECMm0REG7 ~ ECMm0REG0	特定命令シーケンス書き込みビット	ECMmレジスタ (m = M/C) への書き込みを有効にするため特定の命令シーケンスを書き込みます。	W
b31-b8	—	予約ビット	書く場合、0としてください。	W

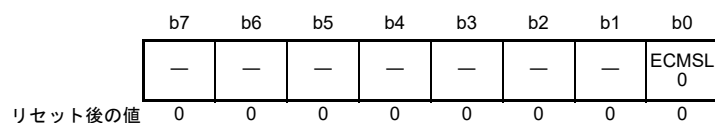
32.2.7 ECM エラーパルスコンフィグレーションレジスタ (ECMEPCFG)

ECMEPCFG レジスタは ERROROUT# 端子の出力制御を行うレジスタです。詳細は「32.3.1 エラー出力動作」を参照してください。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「32.3.4 保護レジスタへの書き込み」を参照してください。

アドレス A007 D080h



ビット	シンボル	ビット名	機能	R/W
b0	ECMSL0	ERROROUT#端子動作設定ビット	ERROROUT#端子のエラー出力動作の設定 0 : ノンダイナミックモード 1 : ダイナミックモード	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

32.2.8 ECM マスカブル割り込みコンフィグレーションレジスタ 0 (ECMMICFG0)

ECMMICFG0 レジスタは各エラー要因の発生による ECM マスカブル割り込みの制御を行うレジスタです。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「32.3.4 保護レジスタへの書き込み」を参照してください。

アドレス A007 D084h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	ECMM IE022	ECMM IE021	ECMM IE020	ECMM IE019	ECMM IE018	ECMM IE017	ECMM IE016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	ECMM IE013	ECMM IE012	ECMM IE011	ECMM IE010	ECMM IE009	ECMM IE008	ECMM IE007	ECMM IE006	ECMM IE005	ECMM IE004	—	ECMM IE002	—	ECMM IE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMMIE000	ECM マスカブル割り込み発生制御ビット1	エラー要因1のWDTアンダフロー／リフレッシュエラー (Cortex-R4) の発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b2	ECMMIE002	ECM マスカブル割り込み発生制御ビット3	エラー要因3のIWDaアンダフロー／リフレッシュエラーの発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b4	ECMMIE004	ECM マスカブル割り込み発生制御ビット5	エラー要因5の命令キャッシュ (Tag RAM) のECC1ビットエラー (訂正あり)、ECC2ビットエラー (訂正なし) の発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b5	ECMMIE005	ECM マスカブル割り込み発生制御ビット6	エラー要因6の命令キャッシュ (Data RAM) のECC1ビットエラー (訂正あり)、ECC2ビットエラー (訂正なし) の発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b6	ECMMIE006	ECM マスカブル割り込み発生制御ビット7	エラー要因7のデータキャッシュ (Tag/Dirty RAM) のECC1ビットエラーの発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b7	ECMMIE007	ECM マスカブル割り込み発生制御ビット8	エラー要因8のデータキャッシュ (Tag/Dirty RAM) のECC2ビットエラーの発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b8	ECMMIE008	ECM マスカブル割り込み発生制御ビット9	エラー要因9のデータキャッシュ (Data RAM) のECC1ビットエラーの発生によるマスカブル割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W

ビット	シンボル	ビット名	機能	R/W
b9	ECMMIE009	ECM マスカブル割り込み発生制御ビット10	エラー要因10のデータキャッシュ (Data RAM) のECC2ビットエラーの発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b10	ECMMIE010	ECM マスカブル割り込み発生制御ビット11	エラー要因11のATCMのECC1ビットエラーの発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b11	ECMMIE011	ECM マスカブル割り込み発生制御ビット12	エラー要因12のATCMのECC2ビットエラーの発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b12	ECMMIE012	ECM マスカブル割り込み発生制御ビット13	エラー要因13のBTCMのECC1ビットエラーの発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b13	ECMMIE013	ECM マスカブル割り込み発生制御ビット14	エラー要因14のBTCMのECC2ビットエラーの発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b16	ECMMIE016	ECM マスカブル割り込み発生制御ビット17	エラー要因17のRSCAN RAMのECC1ビットエラーの発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b17	ECMMIE017	ECM マスカブル割り込み発生制御ビット18	エラー要因18のRSCAN RAMのECC2ビットエラーの発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b18	ECMMIE018	ECM マスカブル割り込み発生制御ビット19	エラー要因19のRSCAN オーバフローエラーの発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b19	ECMMIE019	ECM マスカブル割り込み発生制御ビット20	エラー要因20のメインクロック発振停止検出の発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b20	ECMMIE020	ECM マスカブル割り込み発生制御ビット21	エラー要因21のCLMA0 発振停止検出 (PLL0) の発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b21	ECMMIE021	ECM マスカブル割り込み発生制御ビット22	エラー要因22のCLMA1 発振停止検出 (PLL1) の発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b22	ECMMIE022	ECM マスカブル割り込み発生制御ビット23	エラー要因23のCLMA2 発振停止検出 (LOCO) の発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b31-b23	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

32.2.9 ECM マスカブル割り込みコンフィグレーションレジスタ 1 (ECMMICFG1)

ECMMICFG1 レジスタは各エラー要因の発生による ECM マスカブル割り込みの制御を行うレジスタです。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「32.3.4 保護レジスタへの書き込み」を参照してください。

アドレス A007 D088h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ECMM IE108	ECMM IE107	ECMM IE106	ECMM IE105	ECMM IE104	ECMM IE103	ECMM IE102	—	ECMM IE100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMMIE100	ECMマスカブル割り込み発生制御ビット33	エラー要因33のバスエラーの発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b2	ECMMIE102	ECMマスカブル割り込み発生制御ビット35	エラー要因35の拡張擬似エラー 35の発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b3	ECMMIE103	ECMマスカブル割り込み発生制御ビット36	エラー要因36の拡張擬似エラー 36の発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b4	ECMMIE104	ECMマスカブル割り込み発生制御ビット37	エラー要因37の拡張擬似エラー 37の発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b5	ECMMIE105	ECMマスカブル割り込み発生制御ビット38	エラー要因38の拡張擬似エラー 38の発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b6	ECMMIE106	ECMマスカブル割り込み発生制御ビット39	エラー要因39の拡張擬似エラー 39の発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b7	ECMMIE107	ECMマスカブル割り込み発生制御ビット40	エラー要因40の拡張擬似エラー 40の発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b8	ECMMIE108	ECMマスカブル割り込み発生制御ビット41	エラー要因41の拡張擬似エラー 41の発生によるマスカブル割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b31-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

32.2.10 ECM マスカブル割り込みコンフィグレーションレジスタ 2 (ECMMICFG2)

ECMMICFG2 レジスタは各エラー要因の発生による ECM マスカブル割り込みの制御を行うレジスタです。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「32.3.4 保護レジスタへの書き込み」を参照してください。

アドレス A007 D08Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	ECMMIE228	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b27-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b28	ECMMIE228	ECM マスカブル割り込み発生制御ビット 93	エラー要因 93 の ECM コンペアエラーの発生によるマスカブル割り込みの許可／禁止を制御します。 0 : 割り込み発生禁止 1 : 割り込み発生許可	R/W
b31-b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

32.2.11 ECM ノンマスクابل割り込みコンフィグレーションレジスタ 0 (ECMNMICFG0)

ECMNMICFG0 レジスタは各エラー要因の発生による ECM ノンマスクابل割り込みの制御を行うレジスタです。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「32.3.4 保護レジスタへの書き込み」を参照してください。

アドレス A007 D090h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	ECMNMIE022	ECMNMIE021	ECMNMIE020	ECMNMIE019	ECMNMIE018	ECMNMIE017	ECMNMIE016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	ECMNMIE013	ECMNMIE012	ECMNMIE011	ECMNMIE010	ECMNMIE009	ECMNMIE008	ECMNMIE007	ECMNMIE006	ECMNMIE005	ECMNMIE004	—	ECMNMIE002	—	ECMNMIE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMNMIE000	ECM ノンマスクابل割り込み発生制御ビット1	エラー要因1のWDTアンダフロー／リフレッシュエラー (Cortex-R4) の発生によるノンマスクابل割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b2	ECMNMIE002	ECM ノンマスクابل割り込み発生制御ビット3	エラー要因3のIWDTaアンダフロー／リフレッシュエラーの発生によるノンマスクابل割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b4	ECMNMIE004	ECM ノンマスクابل割り込み発生制御ビット5	エラー要因5の命令キャッシュ (Tag RAM) のECC1ビットエラー (訂正あり)、ECC2ビットエラー (訂正なし) の発生によるノンマスクابل割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b5	ECMNMIE005	ECM ノンマスクابل割り込み発生制御ビット6	エラー要因6の命令キャッシュ (Data RAM) のECC1ビットエラー (訂正あり)、ECC2ビットエラー (訂正なし) の発生によるノンマスクابل割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b6	ECMNMIE006	ECM ノンマスクابل割り込み発生制御ビット7	エラー要因7のデータキャッシュ (Tag/Dirty RAM) のECC1ビットエラーの発生によるノンマスクابل割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b7	ECMNMIE007	ECM ノンマスクابل割り込み発生制御ビット8	エラー要因8のデータキャッシュ (Tag/Dirty RAM) のECC2ビットエラーの発生によるノンマスクابل割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W
b8	ECMNMIE008	ECM ノンマスクابل割り込み発生制御ビット9	エラー要因9のデータキャッシュ (Data RAM) のECC1ビットエラーの発生によるノンマスクابل割り込みの許可／禁止を制御します。 0：割り込み発生禁止 1：割り込み発生許可	R/W

ビット	シンボル	ビット名	機能	R/W
b9	ECMNMIE009	ECMノンマスクابل割り込み発生制御ビット10	エラー要因10のデータキャッシュ (Data RAM) のECC2ビットエラーの発生によるノンマスクابل割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b10	ECMNMIE010	ECMノンマスクابل割り込み発生制御ビット11	エラー要因11のATCMのECC1ビットエラーの発生によるノンマスクابل割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b11	ECMNMIE011	ECMノンマスクابل割り込み発生制御ビット12	エラー要因12のATCMのECC2ビットエラーの発生によるノンマスクابل割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b12	ECMNMIE012	ECMノンマスクابل割り込み発生制御ビット13	エラー要因13のBTCMのECC1ビットエラーの発生によるノンマスクابل割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b13	ECMNMIE013	ECMノンマスクابل割り込み発生制御ビット14	エラー要因14のBTCMのECC2ビットエラーの発生によるノンマスクابل割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b16	ECMNMIE016	ECMノンマスクابل割り込み発生制御ビット17	エラー要因17のRSCAN RAMのECC1ビットエラーの発生によるノンマスクابل割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b17	ECMNMIE017	ECMノンマスクابل割り込み発生制御ビット18	エラー要因18のRSCAN RAMのECC2ビットエラーの発生によるノンマスクابل割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b18	ECMNMIE018	ECMノンマスクابل割り込み発生制御ビット19	エラー要因19のRSCAN オーバフローエラーの発生によるノンマスクابل割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b19	ECMNMIE019	ECMノンマスクابل割り込み発生制御ビット20	エラー要因20のメインクロック発振停止検出の発生によるノンマスクابل割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b20	ECMNMIE020	ECMノンマスクابل割り込み発生制御ビット21	エラー要因21のCLMA0発振停止検出 (PLL0) の発生によるノンマスクابل割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b21	ECMNMIE021	ECMノンマスクابل割り込み発生制御ビット22	エラー要因22のCLMA1発振停止検出 (PLL1) の発生によるノンマスクابل割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b22	ECMNMIE022	ECMノンマスクابل割り込み発生制御ビット23	エラー要因23のCLMA2発振停止検出 (LOCO) の発生によるノンマスクابل割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b31-b23	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

32.2.12 ECM ノンマスクابل割り込みコンフィグレーションレジスタ 1 (ECMNMICFG1)

ECMNMICFG1 レジスタは各エラー要因の発生による ECM ノンマスクابل割り込みの制御を行うレジスタです。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「32.3.4 保護レジスタへの書き込み」を参照してください。

アドレス A007 D094h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ECMNMIE108	ECMNMIE107	ECMNMIE106	ECMNMIE105	ECMNMIE104	ECMNMIE103	ECMNMIE102	—	ECMNMIE100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMNMIE100	ECMノンマスクابل割り込み発生制御ビット33	エラー要因33のバスエラーの発生によるノンマスクابل割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b2	ECMNMIE102	ECMノンマスクابل割り込み発生制御ビット35	エラー要因35の拡張擬似エラー 35の発生によるノンマスクابل割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b3	ECMNMIE103	ECMノンマスクابل割り込み発生制御ビット36	エラー要因36の拡張擬似エラー 36の発生によるノンマスクابل割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b4	ECMNMIE104	ECMノンマスクابل割り込み発生制御ビット37	エラー要因37の拡張擬似エラー 37の発生によるノンマスクابل割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b5	ECMNMIE105	ECMノンマスクابل割り込み発生制御ビット38	エラー要因38の拡張擬似エラー 38の発生によるノンマスクابل割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b6	ECMNMIE106	ECMノンマスクابل割り込み発生制御ビット39	エラー要因39の拡張擬似エラー 39の発生によるノンマスクابل割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b7	ECMNMIE107	ECMノンマスクابل割り込み発生制御ビット40	エラー要因40の拡張擬似エラー 40の発生によるノンマスクابل割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b8	ECMNMIE108	ECMノンマスクابل割り込み発生制御ビット41	エラー要因41の拡張擬似エラー 41の発生によるノンマスクابل割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b31-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

32.2.13 ECM ノンマスクابل割り込みコンフィグレーションレジスタ 2 (ECMNMICFG2)

ECMNMICFG2 レジスタは各エラー要因の発生による ECM ノンマスクابل割り込みの制御を行うレジスタです。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「32.3.4 保護レジスタへの書き込み」を参照してください。

アドレス A007 D098h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	ECMNMIE228	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b27-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b28	ECMNMIE228	ECM ノンマスクابل割り込み発生制御ビット93	エラー要因93のECMコンペアエラーの発生によるノンマスクابل割り込みの許可/禁止を制御します。 0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b31-b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

32.2.14 ECM 内部リセットコンフィグレーションレジスタ 0 (ECMIRCFG0)

ECMIRCFG0 レジスタは各エラー要因の発生による内部リセット (ECM リセット) の制御を行うレジスタです。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「32.3.4 保護レジスタへの書き込み」を参照してください。

アドレス A007 D09Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	ECMIRE022	ECMIRE021	ECMIRE020	ECMIRE019	ECMIRE018	ECMIRE017	ECMIRE016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	ECMIRE013	ECMIRE012	ECMIRE011	ECMIRE010	ECMIRE009	ECMIRE008	ECMIRE007	ECMIRE006	ECMIRE005	ECMIRE004	—	ECMIRE002	—	ECMIRE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	ECMIRE000	ECM 内部リセット発生制御ビット1	エラー要因1のWDTアンダフロー／リフレッシュエラー (Cortex-R4) の発生によるECMリセット発生の許可／禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b2	ECMIRE002	ECM 内部リセット発生制御ビット3	エラー要因3のIWDtAアンダフロー／リフレッシュエラーの発生によるECMリセット発生の許可／禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b4	ECMIRE004	ECM 内部リセット発生制御ビット5	エラー要因5の命令キャッシュ (Tag RAM) のECC1ビットエラー (訂正あり)、ECC2ビットエラー (訂正なし) の発生によるECMリセット発生の許可／禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b5	ECMIRE005	ECM 内部リセット発生制御ビット6	エラー要因6の命令キャッシュ (Data RAM) のECC1ビットエラー (訂正あり)、ECC2ビットエラー (訂正なし) の発生によるECMリセット発生の許可／禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b6	ECMIRE006	ECM 内部リセット発生制御ビット7	エラー要因7のデータキャッシュ (Tag/Dirty RAM) のECC1ビットエラーの発生によるECMリセット発生の許可／禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b7	ECMIRE007	ECM 内部リセット発生制御ビット8	エラー要因8のデータキャッシュ (Tag/Dirty RAM) のECC2ビットエラーの発生によるECMリセット発生の許可／禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b8	ECMIRE008	ECM 内部リセット発生制御ビット9	エラー要因9のデータキャッシュ (Data RAM) のECC1ビットエラーの発生によるECMリセット発生の許可／禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W

ビット	シンボル	ビット名	機能	R/W
b9	ECMIRE009	ECM内部リセット発生制御 ビット10	エラー要因10のデータキャッシュ (Data RAM) のECC2 ビットエラーの発生によるECMリセット発生の許可/禁止 を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b10	ECMIRE010	ECM内部リセット発生制御 ビット11	エラー要因11のATCMのECC1ビットエラーの発生による ECMリセット発生の許可/禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b11	ECMIRE011	ECM内部リセット発生制御 ビット12	エラー要因12のATCMのECC2ビットエラーの発生による ECMリセット発生の許可/禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b12	ECMIRE012	ECM内部リセット発生制御 ビット13	エラー要因13のBTCMのECC1ビットエラーの発生による ECMリセット発生の許可/禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b13	ECMIRE013	ECM内部リセット発生制御 ビット14	エラー要因14のBTCMのECC2ビットエラーの発生による ECMリセット発生の許可/禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b16	ECMIRE016	ECM内部リセット発生制御 ビット17	エラー要因17のRSCAN RAMのECC1ビットエラーの発生に よるECMリセット発生の許可/禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b17	ECMIRE017	ECM内部リセット発生制御 ビット18	エラー要因18のRSCAN RAMのECC2ビットエラーの発生に よるECMリセット発生の許可/禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b18	ECMIRE018	ECM内部リセット発生制御 ビット19	エラー要因19のRSCAN オーバフローエラーの発生による ECMリセット発生の許可/禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b19	ECMIRE019	ECM内部リセット発生制御 ビット20	エラー要因20のメインクロック発振停止検出の発生による ECMリセット発生の許可/禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b20	ECMIRE020	ECM内部リセット発生制御 ビット21	エラー要因21のCLMA0 発振停止検出 (PLL0) の発生による ECMリセット発生の許可/禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b21	ECMIRE021	ECM内部リセット発生制御 ビット22	エラー要因22のCLMA1 発振停止検出 (PLL1) の発生によ るECMリセット発生の許可/禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b22	ECMIRE022	ECM内部リセット発生制御 ビット23	エラー要因23のCLMA2 発振停止検出 (LOCO) の発生によ るECMリセット発生の許可/禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b31-b23	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

32.2.15 ECM 内部リセットコンフィグレーションレジスタ 1 (ECMIRCFG1)

ECMIRCFG1 レジスタは各エラー要因の発生による内部リセット (ECM リセット) の制御を行うレジスタです。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「32.3.4 保護レジスタへの書き込み」を参照してください。

アドレス A007 D0A0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ECMIRE108	ECMIRE107	ECMIRE106	ECMIRE105	ECMIRE104	ECMIRE103	ECMIRE102	—	ECMIRE100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMIRE100	ECM内部リセット発生制御ビット33	エラー要因33のバスエラーの発生によるECMリセット発生の許可／禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b2	ECMIRE102	ECM内部リセット発生制御ビット35	エラー要因35の拡張擬似エラー 35の発生によるECMリセット発生の許可／禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b3	ECMIRE103	ECM内部リセット発生制御ビット36	エラー要因36の拡張擬似エラー 36の発生によるECMリセット発生の許可／禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b4	ECMIRE104	ECM内部リセット発生制御ビット37	エラー要因37の拡張擬似エラー 37の発生によるECMリセット発生の許可／禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b5	ECMIRE105	ECM内部リセット発生制御ビット38	エラー要因38の拡張擬似エラー 38の発生によるECMリセット発生の許可／禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b6	ECMIRE106	ECM内部リセット発生制御ビット39	エラー要因39の拡張擬似エラー 39の発生によるECMリセット発生の許可／禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b7	ECMIRE107	ECM内部リセット発生制御ビット40	エラー要因40の拡張擬似エラー 40の発生によるECMリセット発生の許可／禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b8	ECMIRE108	ECM内部リセット発生制御ビット41	エラー要因41の拡張擬似エラー 41の発生によるECMリセット発生の許可／禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b31-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

32.2.16 ECM 内部リセットコンフィグレーションレジスタ 2 (ECMIRCFG2)

ECMIRCFG2 レジスタは各エラー要因の発生による内部リセット (ECM リセット) の制御を行うレジスタです。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「32.3.4 保護レジスタへの書き込み」を参照してください。

アドレス A007 D0A4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	ECMIRE 229	ECMIRE 228	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b27-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b28	ECMIRE228	ECM内部リセット発生制御ビット93	エラー要因93のECMコンペアエラーの発生によるECMリセット発生の許可/禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b29	ECMIRE229	ECM内部リセット発生制御ビット94	エラー要因94のディレイタイマオーバーフローの発生によるECMリセット発生の許可/禁止を制御します。 0: ECMリセット発生禁止 1: ECMリセット発生許可	R/W
b31-b30	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

32.2.17 ECM エラーマスクレジスタ 0 (ECMEMK0)

ECMEMK0 レジスタは各エラー要因によるエラー出力信号のマスク設定を制御するレジスタです。マスクされていないエラー出力信号が発生した場合、ERROROUT# 端子の出力がアクティブ (Low) になります。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「32.3.4 保護レジスタへの書き込み」を参照してください。

アドレス A007 D0A8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	ECME MK022	ECME MK021	ECME MK020	ECME MK019	ECME MK018	ECME MK017	ECME MK016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	ECME MK013	ECME MK012	ECME MK011	ECME MK010	ECME MK009	ECME MK008	ECME MK007	ECME MK006	ECME MK005	ECME MK004	—	ECME MK002	—	ECME MK000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMEMK000	ECMエラー出力信号マスク制御ビット1	エラー要因1のWDTアンダフロー/リフレッシュエラー (Cortex-R4) の発生によるエラー出力信号のマスク制御をします。 0: エラー信号出力をマスクしない 1: エラー信号出力をマスクする	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b2	ECMEMK002	ECMエラー出力信号マスク制御ビット3	エラー要因3のIWDaアンダフロー/リフレッシュエラーの発生によるエラー出力信号のマスク制御をします。 0: エラー信号出力をマスクしない 1: エラー信号出力をマスクする	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b4	ECMEMK004	ECMエラー出力信号マスク制御ビット5	エラー要因5の命令キャッシュ (Tag RAM) のECC1ビットエラー (訂正あり)、ECC2ビットエラー (訂正なし) の発生によるエラー出力信号のマスク制御をします。 0: エラー信号出力をマスクしない 1: エラー信号出力をマスクする	R/W
b5	ECMEMK005	ECMエラー出力信号マスク制御ビット6	エラー要因6の命令キャッシュ (Data RAM) のECC1ビットエラー (訂正あり)、ECC2ビットエラー (訂正なし) の発生によるエラー出力信号のマスク制御をします。 0: エラー信号出力をマスクしない 1: エラー信号出力をマスクする	R/W
b6	ECMEMK006	ECMエラー出力信号マスク制御ビット7	エラー要因7のデータキャッシュ (Tag/Dirty RAM) のECC1ビットエラーの発生によるエラー出力信号のマスク制御をします。 0: エラー信号出力をマスクしない 1: エラー信号出力をマスクする	R/W
b7	ECMEMK007	ECMエラー出力信号マスク制御ビット8	エラー要因8のデータキャッシュ (Tag/Dirty RAM) のECC2ビットエラーの発生によるエラー出力信号のマスク制御をします。 0: エラー信号出力をマスクしない 1: エラー信号出力をマスクする	R/W
b8	ECMEMK008	ECMエラー出力信号マスク制御ビット9	エラー要因9のデータキャッシュ (Data RAM) のECC1ビットエラーの発生によるエラー出力信号のマスク制御をします。 0: エラー信号出力をマスクしない 1: エラー信号出力をマスクする	R/W

ビット	シンボル	ビット名	機能	R/W
b9	ECMEMK009	ECMエラー出力信号マスク制御ビット10	エラー要因10のデータキャッシュ (Data RAM) のECC2ビットエラーの発生によるエラー出力信号のマスク制御をします。 0: エラー信号出力をマスクしない 1: エラー信号出力をマスクする	R/W
b10	ECMEMK010	ECMエラー出力信号マスク制御ビット11	エラー要因11のATCMのECC1ビットエラーの発生によるエラー出力信号のマスク制御をします。 0: エラー信号出力をマスクしない 1: エラー信号出力をマスクする	R/W
b11	ECMEMK011	ECMエラー出力信号マスク制御ビット12	エラー要因12のATCMのECC2ビットエラーの発生によるエラー出力信号のマスク制御をします。 0: エラー信号出力をマスクしない 1: エラー信号出力をマスクする	R/W
b12	ECMEMK012	ECMエラー出力信号マスク制御ビット13	エラー要因13のBTCMのECC1ビットエラーの発生によるエラー出力信号のマスク制御をします。 0: エラー信号出力をマスクしない 1: エラー信号出力をマスクする	R/W
b13	ECMEMK013	ECMエラー出力信号マスク制御ビット14	エラー要因14のBTCMのECC2ビットエラーの発生によるエラー出力信号のマスク制御をします。 0: エラー信号出力をマスクしない 1: エラー信号出力をマスクする	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b16	ECMEMK016	ECMエラー出力信号マスク制御ビット17	エラー要因17のRSCAN RAMのECC1ビットエラーの発生によるエラー出力信号のマスク制御をします。 0: エラー信号出力をマスクしない 1: エラー信号出力をマスクする	R/W
b17	ECMEMK017	ECMエラー出力信号マスク制御ビット18	エラー要因18のRSCAN RAMのECC2ビットエラーの発生によるエラー出力信号のマスク制御をします。 0: エラー信号出力をマスクしない 1: エラー信号出力をマスクする	R/W
b18	ECMEMK018	ECMエラー出力信号マスク制御ビット19	エラー要因19のRSCAN オーバフローエラーの発生によるエラー出力信号のマスク制御をします。 0: エラー信号出力をマスクしない 1: エラー信号出力をマスクする	R/W
b19	ECMEMK019	ECMエラー出力信号マスク制御ビット20	エラー要因20のメインクロック発振停止検出の発生によるエラー出力信号のマスク制御をします。 0: エラー信号出力をマスクしない 1: エラー信号出力をマスクする	R/W
b20	ECMEMK020	ECMエラー出力信号マスク制御ビット21	エラー要因21のCLMA0 発振停止検出 (PLL0) の発生によるエラー出力信号のマスク制御をします。 0: エラー信号出力をマスクしない 1: エラー信号出力をマスクする	R/W
b21	ECMEMK021	ECMエラー出力信号マスク制御ビット22	エラー要因22のCLMA1 発振停止検出 (PLL1) の発生によるエラー出力信号のマスク制御をします。 0: エラー信号出力をマスクしない 1: エラー信号出力をマスクする	R/W
b22	ECMEMK022	ECMエラー出力信号マスク制御ビット23	エラー要因23のCLMA2 発振停止検出 (LOCO) の発生によるエラー出力信号のマスク制御をします。 0: エラー信号出力をマスクしない 1: エラー信号出力をマスクする	R/W
b31-b23	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

32.2.18 ECM エラーマスクレジスタ 1 (ECMEMK1)

ECMEMK1 レジスタは各エラー要因によるエラー出力信号のマスク設定を制御するレジスタです。マスクされていないエラー出力信号が発生した場合、ERROROUT# 端子の出力がアクティブ (Low) になります。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「32.3.4 保護レジスタへの書き込み」を参照してください。

アドレス A007 D0ACh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ECMEMK108	ECMEMK107	ECMEMK106	ECMEMK105	ECMEMK104	ECMEMK103	ECMEMK102	—	ECMEMK100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMEMK100	ECMエラー出力信号マスク制御ビット33	エラー要因33のバスエラーの発生によるエラー出力信号のマスク制御をします。 0: エラー信号出力をマスクしない 1: エラー信号出力をマスクする	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b2	ECMEMK102	ECMエラー出力信号マスク制御ビット35	エラー要因35の拡張擬似エラー 35 の発生によるエラー出力信号のマスク制御をします。 0: エラー信号出力をマスクしない 1: エラー信号出力をマスクする	R/W
b3	ECMEMK103	ECMエラー出力信号マスク制御ビット36	エラー要因36の拡張擬似エラー 36の発生によるエラー出力信号のマスク制御をします。 0: エラー信号出力をマスクしない 1: エラー信号出力をマスクする	R/W
b4	ECMEMK104	ECMエラー出力信号マスク制御ビット37	エラー要因37の拡張擬似エラー 37の発生によるエラー出力信号のマスク制御をします。 0: エラー信号出力をマスクしない 1: エラー信号出力をマスクする	R/W
b5	ECMEMK105	ECMエラー出力信号マスク制御ビット38	エラー要因38の拡張擬似エラー 38の発生によるエラー出力信号のマスク制御をします。 0: エラー信号出力をマスクしない 1: エラー信号出力をマスクする	R/W
b6	ECMEMK106	ECMエラー出力信号マスク制御ビット39	エラー要因39の拡張擬似エラー 39の発生によるエラー出力信号のマスク制御をします。 0: エラー信号出力をマスクしない 1: エラー信号出力をマスクする	R/W
b7	ECMEMK107	ECMエラー出力信号マスク制御ビット40	エラー要因40の拡張擬似エラー 40の発生によるエラー出力信号のマスク制御をします。 0: エラー信号出力をマスクしない 1: エラー信号出力をマスクする	R/W
b8	ECMEMK108	ECMエラー出力信号マスク制御ビット41	エラー要因41の拡張擬似エラー 41の発生によるエラー出力信号のマスク制御をします。 0: エラー信号出力をマスクしない 1: エラー信号出力をマスクする	R/W
b31-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

32.2.19 ECM エラーマスクレジスタ 2 (ECMEMK2)

ECMEMK2 レジスタは各エラー要因によるエラー出力信号のマスク設定を制御するレジスタです。マスクされていないエラー出力信号が発生した場合、ERROROUT# 端子の出力がアクティブ (Low) になります。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「32.3.4 保護レジスタへの書き込み」を参照してください。

アドレス A007 D0B0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	ECMEMK 229	ECMEMK 228	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b27-b0	—	予約ビット	読むと“0”が読めます。	R
b28	ECMEMK228	ECM内部リセット発生制御 ビット93	ECMエラー出力信号マスク制御ビット エラー要因93のECMコンペアエラーの発生によるエラー出力 信号のマスク制御をします。 0: エラー信号出力をマスクしない 1: エラー信号出力をマスクする	R/W
b29	ECMEMK229	ECM内部リセット発生制御 ビット94	ECMエラー出力信号マスク制御ビット エラー要因94のディレイタイマオーバーフローの発生によるエ ラー出力信号のマスク制御をします。 0: エラー信号出力をマスクしない 1: エラー信号出力をマスクする	R/W
b31-b30	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

32.2.20 ECM エラーソースステータスクリアトリガレジスタ 0 (ECMESSTC0)

ECMESSTC0 レジスタは各エラー状態のクリアを制御するレジスタです。各ビットに 1 をセットすることで ECMmESSTR0 (m = M/C) レジスタが保持する各エラー状態をクリアすることができます。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「32.3.4 保護レジスタへの書き込み」を参照してください。

アドレス A007 D0B4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	ECMCL SSE022	ECMCL SSE021	ECMCL SSE020	ECMCL SSE019	ECMCL SSE018	ECMCL SSE017	ECMCL SSE016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	ECMCL SSE013	ECMCL SSE012	ECMCL SSE011	ECMCL SSE010	ECMCL SSE009	ECMCL SSE008	ECMCL SSE007	ECMCL SSE006	ECMCL SSE005	ECMCL SSE004	—	ECMCL SSE002	—	ECMCL SSE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMCLSSE000	ECMエラー状態クリアビット 1	エラー要因1のWDTアンダフロー/リフレッシュエラー (Cortex-R4) のエラー状態をクリアし、ECMmESSTR0.ECMmSSE000ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b1	—	予約ビット	書く場合、0としてください。	W
b2	ECMCLSSE002	ECMエラー状態クリアビット 3	エラー要因3のIWDtAアンダフロー/リフレッシュエラーのエラー状態をクリアし、ECMmESSTR0.ECMmSSE002ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b3	—	予約ビット	書く場合、0としてください。	W
b4	ECMCLSSE004	ECMエラー状態クリアビット 5	エラー要因5の命令キャッシュ (Tag RAM) のECC1ビットエラー (訂正あり)、ECC2ビットエラー (訂正なし) のエラー状態をクリアし、ECMmESSTR0.ECMmSSE004ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b5	ECMCLSSE005	ECMエラー状態クリアビット 6	エラー要因6の命令キャッシュ (Data RAM) のECC1ビットエラー (訂正あり)、ECC2ビットエラー (訂正なし) のエラー状態をクリアし、ECMmESSTR0.ECMmSSE005ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b6	ECMCLSSE006	ECMエラー状態クリアビット 7	エラー要因7のデータキャッシュ (Tag/Dirty RAM) のECC1ビットエラーのエラー状態をクリアし、ECMmESSTR0.ECMmSSE006ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b7	ECMCLSSE007	ECMエラー状態クリアビット 8	エラー要因8のデータキャッシュ (Tag/Dirty RAM) のECC2ビットエラーのエラー状態をクリアし、ECMmESSTR0.ECMmSSE007ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W

ビット	シンボル	ビット名	機能	R/W
b8	ECMCLSSE008	ECMエラー状態クリアビット 9	エラー要因9のデータキャッシュ (Data RAM) のECC1 ビットエラーのエラー状態をクリアし、 ECMmESSTR0.ECMmSSE008ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b9	ECMCLSSE009	ECMエラー状態クリアビット 10	エラー要因10のデータキャッシュ (Data RAM) のECC2 ビットエラーのエラー状態をクリアし、 ECMmESSTR0.ECMmSSE009ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b10	ECMCLSSE010	ECMエラー状態クリアビット 11	エラー要因11のATCMのECC1ビットエラーのエラー状態を クリアし、ECMmESSTR0.ECMmSSE010ビットをクリアし ます。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b11	ECMCLSSE011	ECMエラー状態クリアビット 12	エラー要因12のATCMのECC2ビットエラーのエラー状態を クリアし、ECMmESSTR0.ECMmSSE011ビットをクリアし ます。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b12	ECMCLSSE012	ECMエラー状態クリアビット 13	エラー要因13のBTCMのECC1ビットエラーのエラー状態 をクリアし、ECMmESSTR0.ECMmSSE012ビットをクリア します。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b13	ECMCLSSE013	ECMエラー状態クリアビット 14	エラー要因14のBTCMのECC2ビットエラーのエラー状態 をクリアし、ECMmESSTR0.ECMmSSE013ビットをクリア します。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b15-b14	—	予約ビット	書く場合、"0"としてください。	W
b16	ECMCLSSE016	ECMエラー状態クリアビット 17	エラー要因17のRSCAN RAMのECC1ビットエラーのエ ラー状態をクリアし、ECMmESSTR0.ECMmSSE016ビッ トをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b17	ECMCLSSE017	ECMエラー状態クリアビット 18	エラー要因18のRSCAN RAMのECC2ビットエラーのエ ラー状態をクリアし、ECMmESSTR0.ECMmSSE017ビッ トをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b18	ECMCLSSE018	ECMエラー状態クリアビット 19	エラー要因19のRSCAN オーバフローエラーのエラー状態 をクリアし、ECMmESSTR0.ECMmSSE018ビットをクリア します。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b19	ECMCLSSE019	ECMエラー状態クリアビット 20	エラー要因20のメインクロック発振停止検出のエラー状態 をクリアし、ECMmESSTR0.ECMmSSE019ビットをクリア します。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b20	ECMCLSSE020	ECMエラー状態クリアビット 21	エラー要因21のCLMA0 発振停止検出 (PLL0) のエラー状 態をクリアし、ECMmESSTR0.ECMmSSE020ビットをクリ アします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b21	ECMCLSSE021	ECMエラー状態クリアビット 22	エラー要因22のCLMA1 発振停止検出 (PLL1) のエラー状 態をクリアし、ECMmESSTR0.ECMmSSE021ビットをクリ アします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W

ビット	シンボル	ビット名	機能	R/W
b22	ECMCLSSE022	ECMエラー状態クリアビット 23	エラー要因23のCLMA2 発振停止検出 (LOCO) のエラー状態をクリアし、ECMmESSTR0.ECMmSSE022ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b31-b23	—	予約ビット	書く場合、“0”としてください。	W

32.2.21 ECM エラーソースステータスクリアトリガレジスタ 1 (ECMESSTC1)

ECMESSTC1 レジスタは各エラー状態のクリアを制御するレジスタです。各ビットに1をセットすることでECMmESSTR1 (m = M/C) レジスタが保持する各エラー状態をクリアすることができます。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「32.3.4 保護レジスタへの書き込み」を参照してください。

アドレス A007 D0B8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ECMCL SSE108	ECMCL SSE107	ECMCL SSE106	ECMCL SSE105	ECMCL SSE104	ECMCL SSE103	ECMCL SSE102	—	ECMCL SSE100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMCLSSE100	ECMエラー状態クリアビット 33	エラー要因33のバスエラーのエラー状態をクリアし、ECMmESSTR1.ECMmSSE100ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b1	—	予約ビット	書く場合、“0”としてください。	W
b2	ECMCLSSE102	ECMエラー状態クリアビット 35	エラー要因35の拡張擬似エラー 35のエラー状態をクリアし、ECMmESSTR1.ECMmSSE102ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b3	ECMCLSSE103	ECMエラー状態クリアビット 36	エラー要因36の拡張擬似エラー 36のエラー状態をクリアし、ECMmESSTR1.ECMmSSE103ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b4	ECMCLSSE104	ECMエラー状態クリアビット 37	エラー要因37の拡張擬似エラー 37のエラー状態をクリアし、ECMmESSTR1.ECMmSSE104ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b5	ECMCLSSE105	ECMエラー状態クリアビット 38	エラー要因38の拡張擬似エラー 38のエラー状態をクリアし、ECMmESSTR1.ECMmSSE105ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b6	ECMCLSSE106	ECMエラー状態クリアビット 39	エラー要因39の拡張擬似エラー 39のエラー状態をクリアし、ECMmESSTR1.ECMmSSE106ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W
b7	ECMCLSSE107	ECMエラー状態クリアビット 40	エラー要因40の拡張擬似エラー 40のエラー状態をクリアし、ECMmESSTR1.ECMmSSE107ビットをクリアします。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする	W

ビット	シンボル	ビット名	機能	R/W
b8	ECMCLSSE108	ECMエラー状態クリアビット41	エラー要因41の拡張擬似エラー 41のエラー状態をクリアし、ECMmESSTR1.ECMmSSE108ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b31-b9	—	予約ビット	書く場合、“0”としてください。	W

32.2.22 ECM エラーソースステータスクリアトリガレジスタ 2 (ECMESSTC2)

ECMESSTC2 レジスタは各エラー状態のクリアを制御するレジスタです。各ビットに1をセットすることでECMmESSTR2 (m = M/C) レジスタが保持する各エラー状態をクリアすることができます。

このレジスタは共通レジスタです。書き込みによりECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「32.3.4 保護レジスタへの書き込み」を参照してください。

アドレス A007 D0BCh

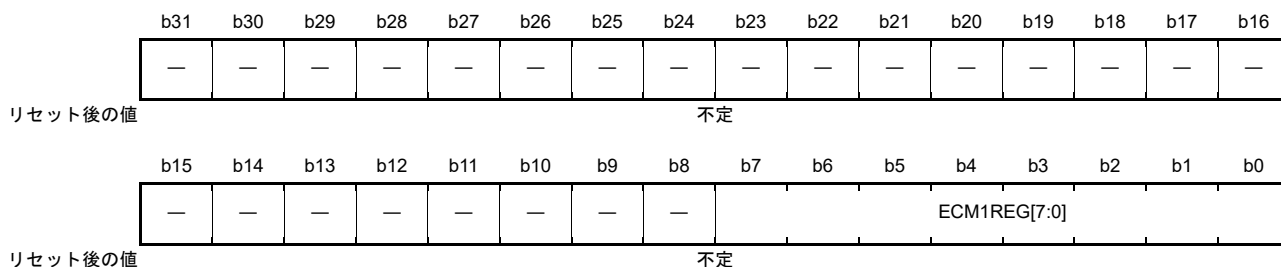
	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	ECMCL SSE230	ECMCL SSE229	ECMCL SSE228	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b27-b0	—	予約ビット	書く場合、“0”としてください。	W
b28	ECMCLSSE228	ECMエラー状態クリアビット93	エラー要因93のECMコンペアエラーのエラー状態をクリアし、ECMmESSTR2.ECMmSSE228ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b29	ECMCLSSE229	ECMエラー状態クリアビット94	エラー要因94のディレイタイマオーバフローのエラー状態をクリアし、ECMmESSTR2.ECMmSSE229ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b30	ECMCLSSE230	ECMエラー状態クリアビット95	エラー要因95のECMmESETの書き込みによるエラー状態をクリアし、ECMmESSTR2.ECMmSSE230ビットをクリアします。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする	W
b31	—	予約ビット	書く場合、“0”としてください。	W

32.2.23 ECM 保護コマンドレジスタ (ECMPCMD1)

ECMPCMD1 レジスタは保護された共通レジスタへの書き込み制御を行うレジスタです。詳細は「32.3.4 保護レジスタへの書き込み」を参照してください。

アドレス A007 D0C0h



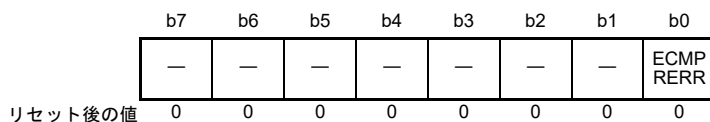
ビット	シンボル	ビット名	機能	R/W
b7-b0	ECM1REG[7:0]	特定命令シーケンス書き込みビット	共通レジスタへの書き込みを有効にするため特定の命令シーケンスを書き込みます。	W
b31-b8	—	予約ビット	書く場合、“0”としてください。	W

32.2.24 ECM 保護ステータスレジスタ (ECMPS)

ECMPS レジスタは保護されたレジスタに対し、正しく書き込みが行われたかどうかのステータスを示すレジスタです。

詳細は「32.3.4 保護レジスタへの書き込み」を参照してください。

アドレス A007 D0C4h



ビット	シンボル	ビット名	機能	R/W
b0	ECMPRERR	ECM保護ステータスビット	ライト保護レジスタへ正常に書き込まれたかどうかを表示します。 0: 書き込み成功 1: 書き込み失敗	R
b7-b1	—	予約ビット	読むと“0”が読めます。	R

32.2.25 ECM 擬似エラートリガレジスタ 0 (ECMPE0)

ECMPE0 レジスタは自己診断用の擬似エラーを発行させる制御レジスタです。擬似エラー発生時は、実際にエラー要因が発生した場合と同じように ECM で設定した割り込みや ECM リセットなどが発生します。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「32.3.4 保護レジスタへの書き込み」を参照してください。

アドレス A007 D0C8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	ECMPE022	ECMPE021	ECMPE020	ECMPE019	ECMPE018	ECMPE017	ECMPE016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	ECMPE013	ECMPE012	ECMPE011	ECMPE010	ECMPE009	ECMPE008	ECMPE007	ECMPE006	ECMPE005	ECMPE004	—	ECMPE002	—	ECMPE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMPE000	ECM 擬似エラートリガビット 1	エラー要因1のWDTアンダフロー／リフレッシュエラー (Cortex-R4) を擬似的に発生させます。 0: 擬似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b1	—	予約ビット	書く場合、「0」としてください。	W
b2	ECMPE002	ECM 擬似エラートリガビット 3	エラー要因3のIWDTaアンダフロー／リフレッシュエラーを擬似的に発生させます。 0: 擬似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b3	—	予約ビット	書く場合、「0」としてください。	W
b4	ECMPE004	ECM 擬似エラートリガビット 5	エラー要因5の命令キャッシュ (Tag RAM) のECC1ビットエラー (訂正あり)、ECC2ビットエラー (訂正なし) を擬似的に発生させます。 0: 擬似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b5	ECMPE005	ECM 擬似エラートリガビット 6	エラー要因6の命令キャッシュ (Data RAM) のECC1ビットエラー (訂正あり)、ECC2ビットエラー (訂正なし) を擬似的に発生させます。 0: 擬似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b6	ECMPE006	ECM 擬似エラートリガビット 7	エラー要因7のデータキャッシュ (Tag/Dirty RAM) のECC1ビットエラーを擬似的に発生させます。 0: 擬似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b7	ECMPE007	ECM 擬似エラートリガビット 8	エラー要因8のデータキャッシュ (Tag/Dirty RAM) のECC2ビットエラーを擬似的に発生させます。 0: 擬似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b8	ECMPE008	ECM 擬似エラートリガビット 9	エラー要因9のデータキャッシュ (Data RAM) のECC1ビットエラーを擬似的に発生させます。 0: 擬似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b9	ECMPE009	ECM 擬似エラートリガビット 10	エラー要因10のデータキャッシュ (Data RAM) のECC2ビットエラーを擬似的に発生させます。 0: 擬似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W

ビット	シンボル	ビット名	機能	R/W
b10	ECMPE010	ECM 擬似エラートリガビット 11	エラー要因 11 の ATCM の ECC1 ビットエラーを擬似的に発生させます。 0: 疑似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b11	ECMPE011	ECM 擬似エラートリガビット 12	エラー要因 12 の ATCM の ECC2 ビットエラーを擬似的に発生させます。 0: 疑似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b12	ECMPE012	ECM 擬似エラートリガビット 13	エラー要因 13 の BTCM の ECC1 ビットエラーを擬似的に発生させます。 0: 疑似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b13	ECMPE013	ECM 擬似エラートリガビット 14	エラー要因 14 の BTCM の ECC2 ビットエラーを擬似的に発生させます。 0: 疑似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b15-b14	—	予約ビット	書く場合、“0”としてください。	W
b16	ECMPE016	ECM 擬似エラートリガビット 17	エラー要因 17 の RSCAN RAM の ECC1 ビットエラーを擬似的に発生させます。 0: 疑似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b17	ECMPE017	ECM 擬似エラートリガビット 18	エラー要因 18 の RSCAN RAM の ECC2 ビットエラーを擬似的に発生させます。 0: 疑似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b18	ECMPE018	ECM 擬似エラートリガビット 19	エラー要因 19 の RSCAN オーバフローエラーを擬似的に発生させます。 0: 疑似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b19	ECMPE019	ECM 擬似エラートリガビット 20	エラー要因 20 のメインクロック発振停止検出を擬似的に発生させます。 0: 疑似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b20	ECMPE020	ECM 擬似エラートリガビット 21	エラー要因 21 の CLMA0 発振停止検出 (PLL0) を擬似的に発生させます。 0: 疑似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b21	ECMPE021	ECM 擬似エラートリガビット 22	エラー要因 22 の CLMA1 発振停止検出 (PLL1) を擬似的に発生させます。 0: 疑似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b22	ECMPE022	ECM 擬似エラートリガビット 23	エラー要因 23 の CLMA2 発振停止検出 (LOCO) を擬似的に発生させます。 0: 疑似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b31-b23	—	予約ビット	書く場合、“0”としてください。	W

32.2.26 ECM 擬似エラートリガレジスタ 1 (ECMPE1)

ECMPE1 レジスタは自己診断用の擬似エラーを発行させる制御レジスタです。擬似エラー発生時は、実際にエラー要因が発生した場合と同じように ECM で設定した割り込みや ECM リセットなどが発生します。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「32.3.4 保護レジスタへの書き込み」を参照してください。

ビット 2-8 は拡張擬似エラー用のトリガビットです。詳細については「32.3.3 擬似エラー発生」を参照してください。

アドレス A007 D0CCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ECMPE 108	ECMPE 107	ECMPE 106	ECMPE 105	ECMPE 104	ECMPE 103	ECMPE 102	—	ECMPE 100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMPE100	ECM 擬似エラートリガビット 33	エラー要因 33 のバスエラーを擬似的に発生させます。 0: 擬似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b1	—	予約ビット	書く場合、“0”としてください。	W
b2	ECMPE102	ECM 擬似エラートリガビット 35	エラー要因 35 の拡張擬似エラー 35 を擬似的に発生させます。 0: 擬似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b3	ECMPE103	ECM 擬似エラートリガビット 36	エラー要因 36 の拡張擬似エラー 36 を擬似的に発生させます。 0: 擬似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b4	ECMPE104	ECM 擬似エラートリガビット 37	エラー要因 37 の拡張擬似エラー 37 を擬似的に発生させます。 0: 擬似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b5	ECMPE105	ECM 擬似エラートリガビット 38	エラー要因 38 の拡張擬似エラー 38 を擬似的に発生させます。 0: 擬似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b6	ECMPE106	ECM 擬似エラートリガビット 39	エラー要因 39 の拡張擬似エラー 39 を擬似的に発生させます。 0: 擬似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b7	ECMPE107	ECM 擬似エラートリガビット 40	エラー要因 40 の拡張擬似エラー 40 を擬似的に発生させます。 0: 擬似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b8	ECMPE108	ECM 擬似エラートリガビット 41	エラー要因 41 の拡張擬似エラー 41 を擬似的に発生させます。 0: 擬似エラーを発生しない 1: 対応するエラーを擬似的に発生する	W
b31-b9	—	予約ビット	書く場合、“0”としてください。	W

32.2.27 ECM 擬似エラートリガレジスタ 2 (ECMPE2)

ECMPE2 レジスタは自己診断用の擬似エラーを発行させる制御レジスタです。擬似エラー発生時は、実際にエラー要因が発生した場合と同じように ECM で設定した割り込みや ECM リセットなどが発生します。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「32.3.4 保護レジスタへの書き込み」を参照してください。

アドレス A007 D0D0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	ECMPE 229	ECMPE 228	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b27-b0	—	予約ビット	書く場合、“0”としてください。	W
b28	ECMPE228	ECM擬似エラートリガビット93	エラー要因93のECMエラーを擬似的に発生させます。 0：擬似エラーを発生しない 1：対応するエラーを擬似的に発生する	W
b29	ECMPE229	ECM擬似エラートリガビット94	エラー要因94のディレイタイマオーバーフローを擬似的に発生させます。 0：擬似エラーを発生しない 1：対応するエラーを擬似的に発生する	W
b31-b30	—	予約ビット	書く場合、“0”としてください。	W

32.2.28 ECM ディレイタイマコントロールレジスタ (ECMDTMCTL)

ECMDTMCTL レジスタはディレイタイマを制御するレジスタです。

このレジスタは共通レジスタです。このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「32.3.4 保護レジスタへの書き込み」を参照してください。

アドレス A007 D0D4h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	DTMSTA CNTCLK	—	—	DTMST P	DTMST A

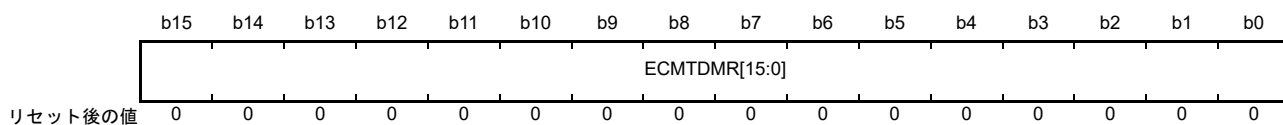
リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	DTMSTA	ディレイタイマスタートビット	ディレイタイマの動作を設定します。 0: ディレイタイマ動作禁止 1: ディレイタイマ動作許可	R/W
b1	DTMSTP	ディレイタイマストップビット	このビットへ1を書き込むとディレイタイマカウンタが初期化され、ディレイタイマは停止します。同時にDTMSTAビットは0になります。	W
b3-b2	—	予約ビット	読むと“0”が読めます。	R
b4	DTMSTACNT CLK	ディレイタイマステータスビット	ディレイタイマの動作ステータスとして、DTMSTAビットの値が反映されます。DTMSTAビットを一度書き換えた場合、DTMSTACNTCLKビットにDTMSTAビットの設定値が反映されるまでは、DTMSTAビットを書き換えることは禁止です。	R
b7-b5	—	予約ビット	読むと“0”が読めます。	R

32.2.29 ECM ディレイタイマレジスタ (ECMDTMR)

ECMDTMR レジスタはディレイタイマの 16 ビットカウンタレジスタです。16 ビットカウンタは ECMCLK (240kHz) でカウントアップ動作します。ECM ディレイタイマコントロールレジスタの DTMSTA ビットを 1 (ディレイタイマ動作許可) から 0 (ディレイタイマ動作禁止) にすることで、16 ビットカウンタは初期化されます。本レジスタは、リードのみ可能です。

アドレス A007 D0D8h



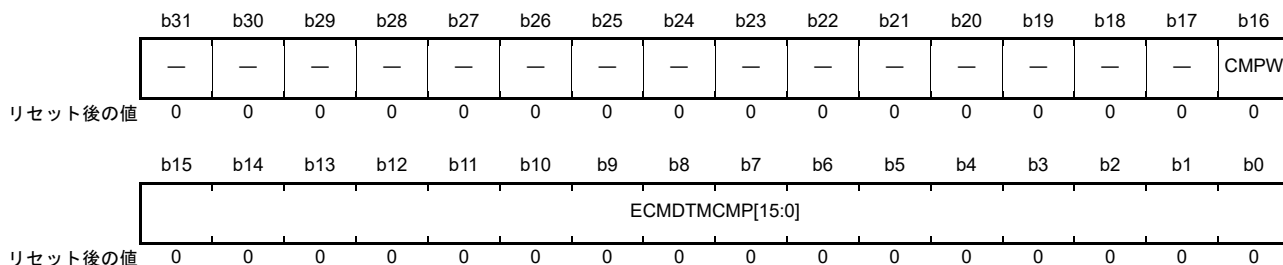
32.2.30 ECM ディレイタイマコンペアレジスタ (ECMDTMCMP)

ECMDTMCMP レジスタはディレイタイマのオーバフロー周期を設定するためのコンペアレジスタです。本レジスタとディレイタイマカウンタの値が一致するとディレイタイマオーバフロー信号が発生し、ECMmSSE229 ビットがセットされます。本レジスタへの書き込みはディレイタイマ停止中に行ってください。

このレジスタは共通レジスタです。このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「32.3.4 保護レジスタへの書き込み」を参照してください。

このレジスタへの書き込みは、CMPW ビットを読み出して 0 がセットされていることを確認した後に行ってください。

アドレス A007 D0DCh



ビット	シンボル	ビット名	機能	R/W
b15-b0	ECMDTMCMP[15:0]	ディレイタイマコンペアビット	ディレイタイマのオーバフロー周期を設定します。 (オーバフロー周期) = (N + 1) × (ECMCLKの周期 (240kHz)) N : 設定値 詳細は「32.3.5 ディレイタイマによる割り込み処理のタイムアウト機能」を参照してください。	R/W
b16	CMPW	コンペアライトビット	ディレイタイマコンペアビットの書き込み状態を示します。本ビットが0のときにコンペア値の書き込みが可能です。 0 : ECMDTMCMP[15:0]へ書き込み可能 1 : ECMDTMCMP[15:0]へ書き込み禁止	R
b31-b17	—	予約ビット	読むと“0”が読めます。	R

32.2.31 ECM ディレイタイマコンフィグレーションレジスタ 0 (ECMDTMCFG0)

ECMDTMCFG0 レジスタは ECM マスカブル割り込みによるディレイタイマ動作を制御するレジスタです。ECM マスカブル割り込み発生時にディレイタイマの動作を許可するか設定が可能です。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「32.3.4 保護レジスタへの書き込み」を参照してください。

アドレス A007 D0E0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	ECMTE022	ECMTE021	ECMTE020	ECMTE019	ECMTE018	ECMTE017	ECMTE016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	ECMTE013	ECMTE012	ECMTE011	ECMTE010	ECMTE009	ECMTE008	ECMTE007	ECMTE006	ECMTE005	ECMTE004	—	ECMTE002	—	ECMTE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMTE000	ECM ディレイタイマスタート制御ビット1	エラー要因1のWDTアンダフロー/リフレッシュエラー (Cortex-R4) によって発生するECM マスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b2	ECMTE002	ECM ディレイタイマスタート制御ビット3	エラー要因3のIWDTaアンダフロー/リフレッシュエラーによって発生するECM マスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b4	ECMTE004	ECM ディレイタイマスタート制御ビット5	エラー要因5の命令キャッシュ (Tag RAM) のECC1ビットエラー (訂正あり)、ECC2ビットエラー (訂正なし) によって発生するECM マスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b5	ECMTE005	ECM ディレイタイマスタート制御ビット6	エラー要因6の命令キャッシュ (Data RAM) のECC1ビットエラー (訂正あり)、ECC2ビットエラー (訂正なし) によって発生するECM マスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b6	ECMTE006	ECM ディレイタイマスタート制御ビット7	エラー要因7のデータキャッシュ (Tag/Dirty RAM) のECC1ビットエラーによって発生するECM マスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b7	ECMTE007	ECM ディレイタイマスタート制御ビット8	エラー要因8のデータキャッシュ (Tag/Dirty RAM) のECC2ビットエラーによって発生するECM マスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W

ビット	シンボル	ビット名	機能	R/W
b8	ECMTE008	ECMディレイタイマスタート制御ビット9	エラー要因9のデータキャッシュ (Data RAM) のECC1ビットエラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b9	ECMTE009	ECMディレイタイマスタート制御ビット10	エラー要因10のデータキャッシュ (Data RAM) のECC2ビットエラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b10	ECMTE010	ECMディレイタイマスタート制御ビット11	エラー要因11のATCMのECC1ビットエラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b11	ECMTE011	ECMディレイタイマスタート制御ビット12	エラー要因12のATCMのECC2ビットエラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b12	ECMTE012	ECMディレイタイマスタート制御ビット13	エラー要因13のBTCMのECC1ビットエラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b13	ECMTE013	ECMディレイタイマスタート制御ビット14	エラー要因14のBTCMのECC2ビットエラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b16	ECMTE016	ECMディレイタイマスタート制御ビット17	エラー要因17のRSCAN RAMのECC1ビットエラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b17	ECMTE017	ECMディレイタイマスタート制御ビット18	エラー要因18のRSCAN RAMのECC2ビットエラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b18	ECMTE018	ECMディレイタイマスタート制御ビット19	エラー要因19のRSCAN オーバフローエラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b19	ECMTE019	ECMディレイタイマスタート制御ビット20	エラー要因20のメインクロック発振停止検出によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b20	ECMTE020	ECMディレイタイマスタート制御ビット21	エラー要因21のCLMA0 発振停止検出 (PLL0) によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b21	ECMTE021	ECMディレイタイマスタート制御ビット22	エラー要因22のCLMA1 発振停止検出 (PLL1) によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W

ビット	シンボル	ビット名	機能	R/W
b22	ECMTE022	ECMディレイタイマスタート 制御ビット23	エラー要因23のCLMA2発振停止検出 (LOCO) によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b31-b23	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

32.2.32 ECM ディレイタイマコンフィグレーションレジスタ 1 (ECMDTMCFG1)

ECMDTMCFG1 レジスタは ECM マスカブル割り込みによるディレイタイマ動作を制御するレジスタです。ECM マスカブル割り込み発生時にディレイタイマの動作を許可するか設定が可能です。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「32.3.4 保護レジスタへの書き込み」を参照してください。

アドレス A007 D0E4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ECMTE 108	ECMTE 107	ECMTE 106	ECMTE 105	ECMTE 104	ECMTE 103	ECMTE 102	—	ECMTE 100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMTE100	ECMディレイタイマスタート制御ビット33	エラー要因33のバスエラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b2	ECMTE102	ECMディレイタイマスタート制御ビット35	エラー要因35の拡張擬似エラー 35によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b3	ECMTE103	ECMディレイタイマスタート制御ビット36	エラー要因36の拡張擬似エラー 36によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b4	ECMTE104	ECMディレイタイマスタート制御ビット37	エラー要因37の拡張擬似エラー 37によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b5	ECMTE105	ECMディレイタイマスタート制御ビット38	エラー要因38の拡張擬似エラー 38によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b6	ECMTE106	ECMディレイタイマスタート制御ビット39	エラー要因39の拡張擬似エラー 39によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b7	ECMTE107	ECMディレイタイマスタート制御ビット40	エラー要因40の拡張擬似エラー 40によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b8	ECMTE108	ECMディレイタイマスタート制御ビット41	エラー要因41の拡張擬似エラー 41によって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b31-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

32.2.33 ECM ディレイタイマコンフィグレーションレジスタ 2 (ECMDTMCFG2)

ECMDTMCFG2 レジスタは ECM マスカブル割り込みによるディレイタイマ動作を制御するレジスタです。ECM マスカブル割り込み発生時にディレイタイマの動作を許可するか設定が可能です。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「32.3.4 保護レジスタへの書き込み」を参照してください。

アドレス A007 D0E8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	ECMTE 228	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b27-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b28	ECMTE228	ECMディレイタイマスタート制御ビット93	エラー要因93のECMコンペアエラーによって発生するECMマスカブル割り込みによるディレイタイマの動作を許可します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可	R/W
b31-b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

32.2.34 ECM ディレイタイマコンフィグレーションレジスタ 3 (ECMDTMCFG3)

ECMDTMCFG3 レジスタは ECM ノンマスカブル割り込みによるディレイタイマ動作を制御するレジスタです。ECM ノンマスカブル割り込み発生時にディレイタイマの動作を許可するか設定が可能です。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「32.3.4 保護レジスタへの書き込み」を参照してください。

アドレス A007 D0ECh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	ECMTE 322	ECMTE 321	ECMTE 320	ECMTE 319	ECMTE 318	ECMTE 317	ECMTE 316
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	ECMTE 313	ECMTE 312	ECMTE 311	ECMTE 310	ECMTE 309	ECMTE 308	ECMTE 307	ECMTE 306	ECMTE 305	ECMTE 304	—	ECMTE 302	—	ECMTE 300
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMTE300	ECMディレイタイマスタート制御ビット1	エラー要因1のWDTアンダフロー/リフレッシュエラー (Cortex-R4) によって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b2	ECMTE302	ECMディレイタイマスタート制御ビット3	エラー要因3のIWDTaアンダフロー/リフレッシュエラーによって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b4	ECMTE304	ECMディレイタイマスタート制御ビット5	エラー要因5の命令キャッシュ (Tag RAM) のECC1ビットエラー (訂正あり)、ECC2ビットエラー (訂正なし) によって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b5	ECMTE305	ECMディレイタイマスタート制御ビット6	エラー要因6の命令キャッシュ (Data RAM) のECC1ビットエラー (訂正あり)、ECC2ビットエラー (訂正なし) によって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b6	ECMTE306	ECMディレイタイマスタート制御ビット7	エラー要因7のデータキャッシュ (Tag/Dirty RAM) のECC1ビットエラーによって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b7	ECMTE307	ECMディレイタイマスタート制御ビット8	エラー要因8のデータキャッシュ (Tag/Dirty RAM) のECC2ビットエラーによって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W

ビット	シンボル	ビット名	機能	R/W
b8	ECMTE308	ECMディレイタイマスタート制御ビット9	エラー要因9のデータキャッシュ (Data RAM) のECC1ビットエラーによって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b9	ECMTE309	ECMディレイタイマスタート制御ビット10	エラー要因10のデータキャッシュ (Data RAM) のECC2ビットエラーによって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b10	ECMTE310	ECMディレイタイマスタート制御ビット11	エラー要因11のATCMのECC1ビットエラーによって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b11	ECMTE311	ECMディレイタイマスタート制御ビット12	エラー要因12のATCMのECC2ビットエラーによって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b12	ECMTE312	ECMディレイタイマスタート制御ビット13	エラー要因13のBTCMのECC1ビットエラーによって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b13	ECMTE313	ECMディレイタイマスタート制御ビット14	エラー要因14のBTCMのECC2ビットエラーによって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b16	ECMTE316	ECMディレイタイマスタート制御ビット17	エラー要因17のRSCAN RAMのECC1ビットエラーによって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b17	ECMTE317	ECMディレイタイマスタート制御ビット18	エラー要因18のRSCAN RAMのECC2ビットエラーによって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b18	ECMTE318	ECMディレイタイマスタート制御ビット19	エラー要因19のRSCAN オーバフローエラーによって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b19	ECMTE319	ECMディレイタイマスタート制御ビット20	エラー要因20のメインクロック発振停止検出によって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b20	ECMTE320	ECMディレイタイマスタート制御ビット21	エラー要因21のCLMA0 発振停止検出 (PLL0) によって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b21	ECMTE321	ECMディレイタイマスタート制御ビット22	エラー要因22のCLMA1 発振停止検出 (PLL1) によって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W

ビット	シンボル	ビット名	機能	R/W
b22	ECMTE322	ECMディレイタイマスタート制御ビット23	エラー要因23のCLMA2発振停止検出 (LOCO) によって発生するECMノンマスカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b31-b23	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

32.2.35 ECM ディレイタイマコンフィグレーションレジスタ 4 (ECMDTMCFG4)

ECMDTMCFG4 レジスタは ECM ノンмасカブル割り込みによるディレイタイマ動作を制御するレジスタです。ECM ノンмасカブル割り込み発生時にディレイタイマの動作を許可するか設定が可能です。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「32.3.4 保護レジスタへの書き込み」を参照してください。

アドレス A007 D0F0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ECMTE 408	ECMTE 407	ECMTE 406	ECMTE 405	ECMTE 404	ECMTE 403	ECMTE 402	—	ECMTE 400
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECMTE400	ECMディレイタイマスタート制御ビット33	エラー要因33のバスエラーによって発生するECMノンмасカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b2	ECMTE402	ECMディレイタイマスタート制御ビット35	エラー要因35の拡張擬似エラー 35によって発生するECMノンмасカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b3	ECMTE403	ECMディレイタイマスタート制御ビット36	エラー要因36の拡張擬似エラー 36によって発生するECMノンмасカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b4	ECMTE404	ECMディレイタイマスタート制御ビット37	エラー要因37の拡張擬似エラー 37によって発生するECMノンмасカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b5	ECMTE405	ECMディレイタイマスタート制御ビット38	エラー要因38の拡張擬似エラー 38によって発生するECMノンмасカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b6	ECMTE406	ECMディレイタイマスタート制御ビット39	エラー要因39の拡張擬似エラー 39によって発生するECMノンмасカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b7	ECMTE407	ECMディレイタイマスタート制御ビット40	エラー要因40の拡張擬似エラー 40によって発生するECMノンмасカブル割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W

ビット	シンボル	ビット名	機能	R/W
b8	ECMTE408	ECMディレイタイマスタート制御ビット41	エラー要因41の拡張擬似エラー41によって発生するECMノンマスクابل割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b31-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

32.2.36 ECM ディレイタイマコンフィグレーションレジスタ 5 (ECMDTMCFG5)

ECMDTMCFG5 レジスタは ECM ノンマスクابل割り込みによるディレイタイマ動作を制御するレジスタです。ECM ノンマスクابل割り込み発生時にディレイタイマの動作を許可するか設定が可能です。

このレジスタは共通レジスタです。書き込みにより ECM マスタ、ECM チェッカともに設定が行えます。

このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「32.3.4 保護レジスタへの書き込み」を参照してください。

アドレス A007 D0F4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	ECMTE528	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b27-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b28	ECMTE528	ECMディレイタイマスタート制御ビット93	エラー要因93のECMコンペアエラーによって発生するECMノンマスクابل割り込みによるディレイタイマの動作を許可します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可	R/W
b31-b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

32.2.37 ECM エラー出カクリア無効コンフィグレーションレジスタ (ECMEOCCFG)

ECMEOCCFG レジスタはエラー出力信号のクリア無効設定を制御するレジスタです。

エラー出カクリア無効カウンタの値がこのレジスタの設定値を超えるまで、ECMmECLR レジスタによるエラー出力信号のクリアを無効にすることが可能です (m = M/C)。

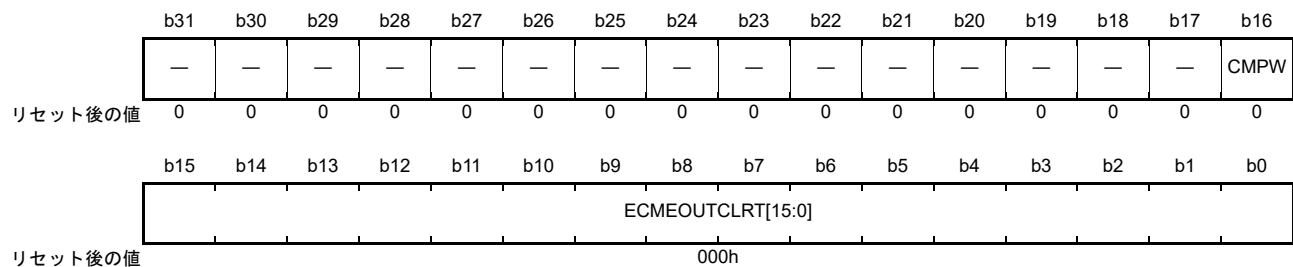
このレジスタの設定はすべてのエラー要因が発生していないときのみ設定が可能です。

このレジスタは、RES# 端子リセットでのみリセットされます。その他のリセット要因でリセットされません。

このレジスタは共通レジスタです。このレジスタへの書き込みは、特定の命令シーケンスによって保護されます。詳細は「32.3.4 保護レジスタへの書き込み」を参照してください。

このレジスタへの書き込みは、CMPW ビットを読み出して 1 がセットされていることを確認した後に行ってください。

アドレス A007 D0F8h

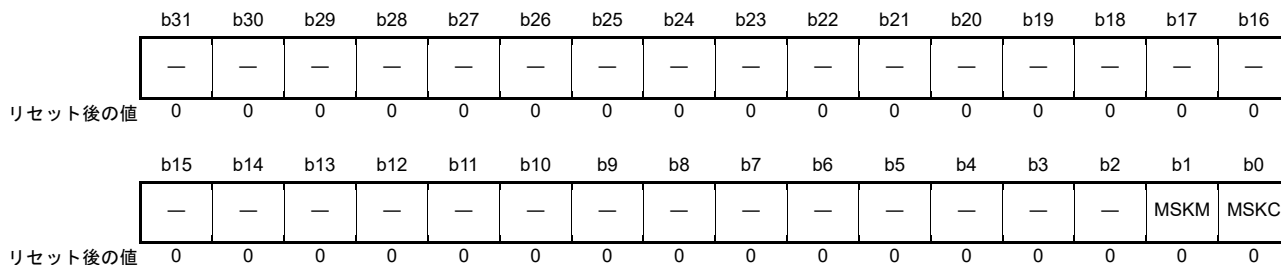


ビット	シンボル	ビット名	機能	R/W
b15-b0	ECMEOUTCLRT[15:0]	エラー出力信号クリア無効期間設定ビット	エラー出力信号のクリア無効期間を設定します。 (クリア無効期間) = (N + 1) × (ECMCLKの周期 (240kHz)) N : 設定値 詳細は「32.3.6 エラー出カクリアの無効設定機能」を参照してください。	R/W
b16	CMPW	コンペアライトビット	リセット解除後のECMエラー出カクリア制御回路の動作安定待ちを示します。読み出し値が0であることを確認した後に、このレジスタへ書き込みをしてください。 0 : 動作安定状態 1 : 動作安定待ち状態	R
b31-b17	—	予約ビット	読むと"0"が読めます。	R

32.2.38 ECM マスク制御レジスタ (ECMMCNT)

ECMMCNT レジスタはエラー要因 93 の ECM コンペアエラーのマスク制御を行うレジスタです。

アドレス A00B 0A80h



ビット	シンボル	ビット名	機能	R/W
b0	MSKC	チェッカ用ECMコンペアエラーマスクビット	ECMチェッカ側のエラー要因93 ECMコンペアエラー要因をマスクします。 0: ECMコンペアエラーはマスクしない 1: ECMコンペアエラーをマスク	R/W
b1	MSKM	マスタ用ECMコンペアエラーマスクビット	ECMマスタ側のエラー要因93 ECMコンペアエラー要因をマスクします。 0: ECMコンペアエラーはマスクしない 1: ECMコンペアエラーをマスク	R/W
b31-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

32.3 動作説明

32.3.1 エラー出力動作

各エラー要因が発生した場合の ERROROUT# 端子出力モードとして、ノンダイナミックモードとダイナミックモードがあります。

ノンダイナミックモードの場合、エラーなし状態では ERROROUT# 端子出力を High にします。

ダイナミックモードの場合、エラーなし状態では ERROROUT# 端子からコンペアマッチタイマ W (CMTW) によるトグル波形を出力できます。エラー状態を検出すると、ノンダイナミックモード、ダイナミックモードのいずれの場合も ERROROUT# 端子出力を Low にします。

動作モード	エラー状態	ERROROUT#端子出力レベル
ノンダイナミックモード (ECMEPCFG.ECMSL0ビット = 0)	エラーなし (注1)	High
	エラー発生	Low
ダイナミックモード (ECMEPCFG.ECMSL0ビット = 1)	エラーなし (注1)	トグル (CMTW入力)
	エラー発生	Low

注1. リセット解除後、ERROROUT#端子はLow (エラー状態) です。
32.2.2 注.に記載の手順でエラー状態をクリアしてから使用してください。

32.3.1.1 ダイナミックモードを有効にする

- トグル出力の入力信号用にコンペアマッチタイマ W (CMTW) を初期化します。このとき ECDMESLR レジスタでトグル出力に用いるアウトプットコンペア信号を選択します。
CMTW の設定については「19. コンペアマッチタイマ W (CMTW)」を参照してください。
- ECM マスタ/チェッカエラークリアトリガレジスタの ECMmECT (m = M/C) ビットを 1 に設定して ERROROUT# 端子出力を High (エラーなし) にします。
- ECM エラーパルスコンフィグレーションレジスタ ECMPCFG の ECMSL0 ビットを 1 にしてダイナミックモードに設定します。
- CMTW を動作させます。

32.3.1.2 ダイナミックモードを無効にする

- ECM マスタ/チェッカエラーセットトリガレジスタの ECMmEST (m = M/C) ビットを 1 に設定して ERROROUT# 端子出力を Low にします。
- CMTW を動作停止にします。
- ECM エラーパルスコンフィグレーションレジスタ ECMPCFG の ECMSL0 ビットを 0 にしてノンダイナミックモードに設定します。

32.3.2 ループバック機能

エラー出力信号の ECM モジュールから ERROROUT# 端子までの経路が正しく動作しているかを確認するためにループバック機能を搭載しています。ECM マスタ/チェッカエラーソースステータスレジスタ 1 の ECMmSSE231 (m = M/C) ビットを読むことで、ERROROUT# 端子の出力レベルを確認することができます。

32.3.3 疑似エラー発生

自己診断用に各エラー要因を疑似的に発生することが可能です。ECM 疑似エラートリガレジスタ (ECMPEn) の対応するビットを 1 にセットすることで、対応する疑似エラーが発生し、ECM は実際にエラーが発生したときと同じ動作をします。疑似エラー発生時もエラー要因のマスク、ECM 割り込み、ECM リセット、ディレイタイマに対する設定はすべて反映されます。

またエラー要因 No.35 ~ 41 は拡張疑似エラーとして、以下に示す機能安全向けエラー検出に使用することが可能です。ソフトウェアによるエラーを判定したときに、ECMPEn レジスタの対応するビットをセットすることで疑似エラー発生による ECM 割り込み、ECM リセット、ディレイタイマの動作などを使用することが可能です。

表 32.3 機能安全向けエラーのエラー要因割り当ての例

拡張疑似エラーに割り当てる機能例
Cortex-R4 保護領域アクセス違反で使用

32.3.4 保護レジスタへの書き込み

書き込み保護レジスタは誤ったプログラム動作などによる不正なライトアクセスから保護されています。

32.3.4.1 保護シーケンス解除

書き込み保護レジスタへのデータの書き込みは、下記シーケンスによってのみ可能です。

1. 固定値 0000 00A5h を ECM 保護コマンドレジスタ (ECMPCMD1)、または ECM マスタ/チェッカ保護コマンドレジスタ (ECMmPCMD0) へ書き込みます (m = M/C)。書き込み対象レジスタが共通レジスタの場合は、ECM 保護コマンドレジスタ (ECMPCMD1) に固定値を、書き込み対象レジスタが共通レジスタではない場合は、ECM マスタ/チェッカ保護コマンドレジスタ (ECMmPCMD0) に固定値を書き込みます。対象レジスタが共通レジスタかどうかについては、「32.2 レジスタの説明」の各レジスタの説明を参照してください。
2. 次のシーケンスで ECM 共通、ECM マスタ/チェッカの保護レジスタに書き込みます。
 - 目的の設定値を書き込みます。
 - 目的の設定値の反転値を書き込みます。
 - 再度、目的の設定値を書き込みます。
3. ECM 保護ステータスレジスタ (ECMPS) の ECMPRERR ビットの値が 0 であることを確認し、保護レジスタに目的の設定値が正しく書き込まれたことを確認します。

上記シーケンスの手順 1 から手順 3 までに別レジスタへのアクセスがあった場合、保護機能は次のように動作します。

- 別レジスタが ECM に含まれる場合は、保護レジスタへの書き込みは失敗します (ECMPS.ECMPERR ビットが 1 になる)。手順 1 からシーケンスを再実行してください。
- 別レジスタが ECM に含まれない場合は、シーケンスが中断せず、保護レジスタへの書き込みが正常に行われます。

保護解除シーケンス中に割り込みがあった場合、保護機能は次のように動作します。

- 保護シーケンス中の割り込み

保護シーケンス中に割り込みが受け付けられて、その割り込み処理内で ECM レジスタへアクセスしない場合、保護シーケンスは中断されません。割り込み処理から復帰後に保護レジスタへの書き込みが正常に行われます。

保護解除シーケンス中にブレークが発生した場合、保護機能は次のように動作します。

- 保護シーケンス中のブレーク

保護シーケンス中にブレーク状態になり、ECM レジスタへアクセスをしない場合、保護シーケンスは中断されません。ブレークから復帰後に保護レジスタへの書き込みが正常に行われます。

保護シーケンス中にブレーク状態になり、ECM レジスタへのアクセスがある場合、保護シーケンスは中断されます。このためブレークから復帰後に保護レジスタへの書き込みが行われないため、保護シーケンス中はブレークを発生させないように注意してください。

32.3.5 ディレイタイマによる割り込み処理のタイムアウト機能

各エラー要因発生による ECM マスカブル割り込み、ECM ノンマスカブル割り込み要求発生と同時に、ディレイタイマをスタートさせ、割り込み処理時間のタイムアウト管理をすることが可能です。割り込み処理中にディレイタイマを停止 (ECMDTMCTL.DTMSTP ビットを 1 にセット) できず、ディレイタイマカウント値とディレイタイマコンペアレジスタの値が一致した場合にディレイタイマオーバフロー (エラー要因 94) を発生させ、ERROROUT# 端子からエラー信号の出力、または ECM リセットを発生することが可能です。ディレイタイマオーバフロー発生 (エラー要因 94) 時のエラー信号出力、ECM リセットの設定はそれぞれ ECMEMK2 レジスタ、ECMIRCFG2 レジスタで設定してください。

ディレイタイマのカウントは常に 0 から ECMCLK (240kHz) クロックでカウント・アップを開始します。ディレイタイマのオーバフロー周期は、ECMDTMCMP レジスタで設定してください。

$$(\text{オーバフロー周期}) = (\text{ECMDTMCMP.ECMDTMCMP}[15:0] \text{ の設定} + 1) \times \text{ECMCLK 周期 (240kHz)}$$

注. ブレーク発生時もディレイタイマはカウント動作を継続します。

32.3.6 エラー出力クリアの無効設定機能

ECM はエラー発生時に、ERROROUT# 端子から出力されるエラー出力信号の ECMmECLR レジスタによるクリアを設定した期間だけ無効とする機能を持ちます (m = M/C)。エラー出力のクリア無効期間は、ECMEOCCFG レジスタで設定します。

各エラー要因が発生するとエラー出力クリア無効カウンタが ECMCLK クロック (240kHz) でカウントアップを開始します。カウンタが ECMEOCCFG.ECMEOUTCLRT[15:0] で設定した値と一致するまでは ECMmECLR レジスタによるエラー出力のクリア処理が無効となります。カウンタが設定値を超えるとエラー出力のクリアを行うことが可能になります。

$$(\text{エラー出力クリア無効期間}) = (\text{ECMEOUTCLRT}[15:0] + 1) \times \text{ECMCLK 周期 (240kHz)}$$

エラー出力クリア無効カウンタがカウント動作中に、別のエラー要因が発生した場合には、カウンタがクリアされて再度カウントアップを再開します。一度目と同じエラー要因が再度発生した場合は、カウンタはクリアされずカウントアップを継続します。

注. ブレーク発生時もエラー出力無効カウンタはカウント動作を継続します。

32.4 使用上の注意事項

32.4.1 ECMCLK に関する注意事項

ディレイタイマのカウンタ動作、およびエラー出力クリア無効設定のカウンタ動作は低速オンチップオシレータで生成される ECMCKL により動作します。

リセット解除後、低速オンチップオシレータが動作停止状態のままディレイタイマを動作開始してもカウンタ動作が行われず、またエラー出力をクリアすることができません。

ディレイタイマ機能や、エラー出力を有効にするためには、事前に低速オンチップオシレータを動作許可として、LOCO 発振安定時間が経過した後に使用してください。

低速オンチップオシレータの制御については、「7.2.4 低速オンチップオシレータコントロールレジスタ (LOCOCR)」を参照してください。

33. 電気的特性

33.1 絶対最大定格

表 33.1 絶対最大定格

条件 : VSS = PLLVSS0 = PLLVSS1 = VSS_USB = 0V

項目	記号	定格値	単位
電源電圧 (I/O)	VCCQ33	- 0.3 ~ + 4.2	V
電源電圧 (内部)	VDD	- 0.3 ~ + 1.6	V
PLL 電源電圧	PLLVDD0, PLLVDD1	- 0.3 ~ + 1.6	V
入力電圧 (5Vトレラント対応ポート (注1) 以外)	V _{in1}	- 0.3 ~ VCCQ33 + 0.3 (注5)	V
入力電圧 (5Vトレラント対応ポート (注1))	V _{in2}	- 0.3 ~ + 5.5 (注3)	V
USB デジタル電源電圧	DVDD_USB	- 0.3 ~ + 1.6	V
USB 電源電圧	VDD33_USB (注2)	- 0.3 ~ + 4.2	V
動作温度 (ジャンクション温度)	T _J (注4)	- 40 ~ + 125	°C
保存温度	T _{stg}	- 55 ~ + 125	°C

【使用上の注意】

- IC 製品の出力 (出力状態の入出力端子) を他の出力端子 (出力状態の入出力端子を含む)、および電源端子や GND 端子に直線接続しないでください。ただし、入出力端子などのハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路では直線接続が可能です。
- 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を超えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。この定格値に近づかない状態で、製品をご使用ください。

DC 特性と AC 特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

注1. ポート PC0 ~ PC7 は、5V トレラント対応です。

注2. USB を使用しない場合、VDD33_USB 端子は VCCQ33 に、VSS_USB 端子は VSS に、DVDD_USB 端子は VDD に、それぞれ接続し開放しないでください。

注3. VCCQ33 = 3.0V に満たない条件では、5V トレラント対応ポートの定格値は 3.6V になります。

注4. 動作温度 (ジャンクション温度) を 110°C 以上で使用する場合は、「EC-1 の高温動作に関する注意事項」(R01AN3998) を参照してください。

注5. 絶対最大定格 (4.2V) を超えないようにしてください。

33.2 電源投入・切断シーケンス

各電源の投入・切断順序は以下の図に示した方法にしたがってください。

電源の投入時は、必ず TRST# 端子を Low レベル、かつ RES# 端子を Low レベルにしてください。それ以外の端子状態の場合、初期化が正常に行われません。

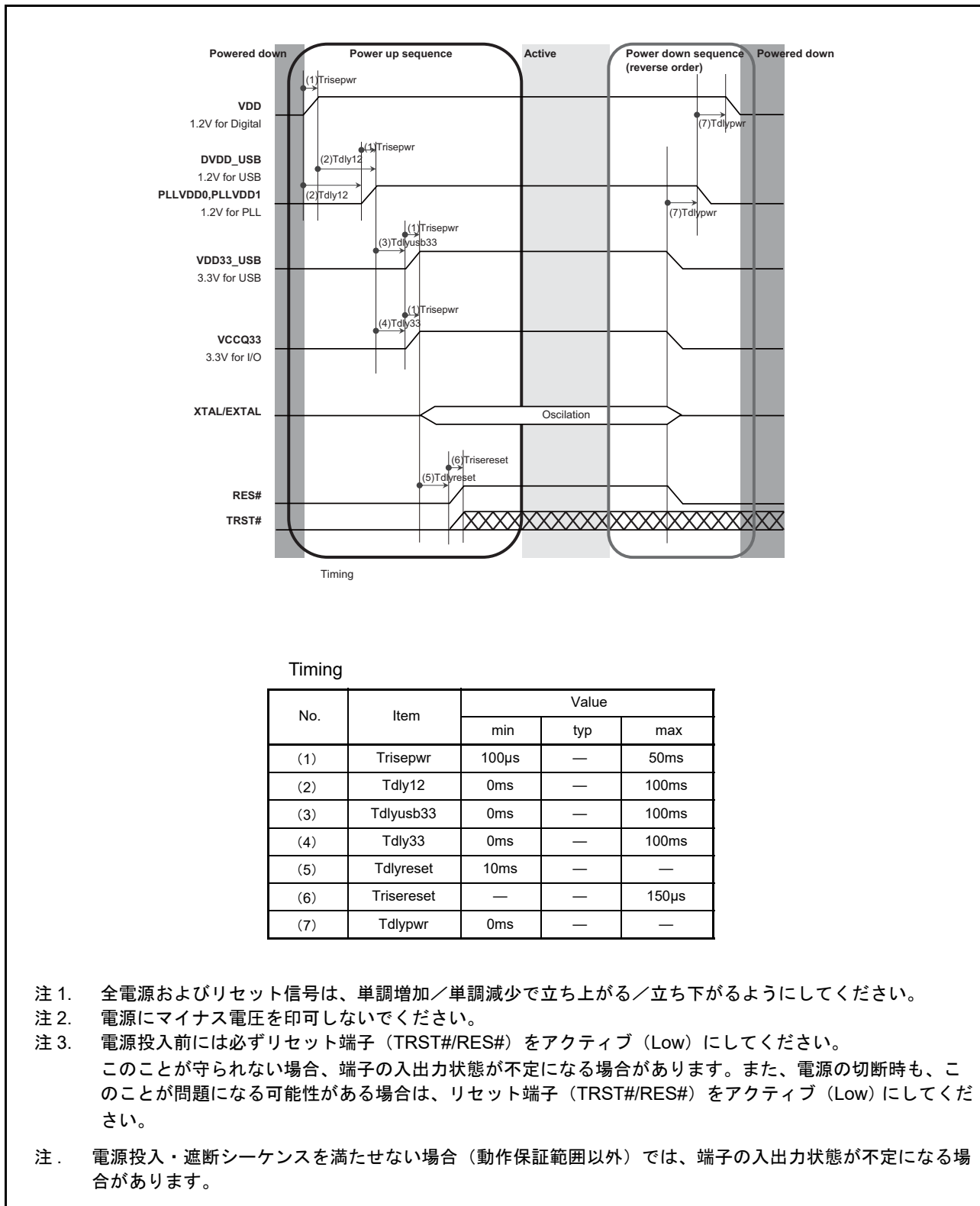


図 33.1 電源投入・切断シーケンス

33.3 DC 特性

- 条件 : VDD = PLLVDD0 = PLLVDD1 = DVDD_USB = 1.14 ~ 1.26V,
VCCQ33 = VDD33_USB = 3.0 ~ 3.6V
VSS = PLLVSS0 = PLLVSS1 = VSS_USB = 0V,
Tj = -40 ~ 125 °C

表 33.2 DC 特性 (1)

項目	記号	min	typ	max	単位	測定条件
電源電圧 (I/O)	VCCQ33	3.0	3.3	3.6	V	
電源電圧 (内部)	VDD	1.14	1.2	1.26	V	
PLL電源電圧	PLLVDD0, PLLVDD1	1.14	1.2	1.26	V	
USB デジタル電源電圧	DVDD_USB	1.14	1.2	1.26	V	
USB 電源電圧	VDD33_USB	3.0	3.3	3.6	V	

表 33.3 DC 特性 (2) 【消費電流】

項目	電源種類		記号	typ	max	単位	測定条件
通常動作時	VDD	150MHz	Vlcc	107	555	mA	Tj = -40 ~ 125°C
	PLLVDD0 + PLLVDD1		PLLlcc	3.2	5	mA	
	VCCQ33		V33lcc	19 (注1)(注2)	—	mA	
	DVDD_USB		V12Ulcc	5.1	9	mA	USB ハイスピード通信時
				3.5	9	mA	USB フルスピード通信時
	VDD33_USB		V33Ulcc	15 (注1)	—	mA	USB ハイスピード通信時
10 (注1)				—	mA	USB フルスピード通信時	
スタンバイモード+ 全モジュールストップ時 (参考値)	VDD		Vlcc	41	—	mA	
	PLLVDD0 + PLLVDD1		PLLlcc	3.2	—	mA	
	VCCQ33		V33lcc	0.35 (注1)(注2)	—	mA	
	DVDD_USB		V12Ulcc	3.5	—	mA	UTMI サスペンドモード
	VDD33_USB		V33Ulcc	9.6 (注1)	—	mA	UTMI サスペンドモード

注1. 参考値です。実際の動作電流はシステムに大きく依存します (I/Oの負荷による波形なまり、トグル頻度等)。必ずシステムでの実測を行ってください。

注2. V33lccは 80mA以下にしてください (表33.9の ΣI_{OH})。

表 33.4 DC特性 (3) 【USB2.0 ホスト/ファンクション関連端子を除く】

項目		記号	min	typ	max	単位	測定条件
シュミットトリガ入力電圧	5Vトレラント対応端子以外	V_{IH1}	2.4	—	$V_{CCQ33} + 0.3$	V	
		V_{IL1}	- 0.3	—	0.8	V	
		ΔV_{T1}	$V_{CCQ33} \times 0.05$	—	—	V	
	5Vトレラント対応端子 (注1)	V_{IH2}	$V_{CCQ33} \times 0.7$	—	5.3 (注2)	V	
		V_{IL2}	- 0.3	—	$V_{CCQ33} \times 0.3$	V	
		ΔV_{T2}	$V_{CCQ33} \times 0.05$	—	—	V	
入力Highレベル電圧 (シュミットトリガ入力端子を除く)		V_{IH3}	2.4	—	$V_{CCQ33} + 0.3$	V	
入力Lowレベル電圧 (シュミットトリガ入力端子を除く)		V_{IL3}	- 0.3	—	0.8	V	
出力Highレベル電圧	5Vトレラント対応端子以外	V_{OH}	$V_{CCQ33} - 0.5$	—	—	V	$I_{OH} = - 2\text{mA}$
出力Lowレベル電圧	5Vトレラント対応端子以外	V_{OL1}	—	—	0.4	V	$I_{OL1} = 2\text{mA}$
	5Vトレラント対応端子 (注1)	V_{OL2}	—	—	0.4	V	$I_{OL2} = 3\text{mA}$
			—	—	0.6	V	$I_{OL2} = 6\text{mA}$
入力リーク電流		$ I_{in} $	—	—	1.0	μA	$V_{in1} = V_{in2} = 0\text{V}$ $V_{in1} = V_{in2} = V_{CCQ33}$
スリーステートリーク電流 (オフ状態)	5Vトレラント対応端子以外の入出力、出力端子	I_{Tsil}	—	—	1.0	μA	$V_{in1} = 0\text{V}$ $V_{in1} = V_{CCQ33}$
	5Vトレラント対応端子 (注1)		—	—	5.0	μA	$V_{in2} = 0\text{V}$ $V_{in2} = V_{CCQ33}$
入力プルアップMOS電流/抵抗	ポート P50 ~ P54、P56、P86 ~ P87、P90 ~ P97、PD5 ~ PD7	I_{pu1}	- 300	—	- 30	μA	$V_{CCQ33} = 3.0 \sim 3.6\text{V}$ $V_{in1} = V_{in2} = 0\text{V}$
		R_{pu1}	10	—	120	k Ω	
	上記以外の端子 (注3)	I_{pu2}	- 120	—	- 7	μA	$V_{CCQ33} = 3.0 \sim 3.6\text{V}$ $V_{in1} = V_{in2} = 0\text{V}$
		R_{pu2}	25	—	515	k Ω	
入力プルダウンMOS電流/抵抗	ポート P50 ~ P54、P56、P86 ~ P87、P90 ~ P97、PD5 ~ PD7	I_{pd1}	30	—	300	μA	$V_{CCQ33} = 3.0 \sim 3.6\text{V}$ $V_{in1} = V_{in2} = V_{CCQ33}$
		R_{pd1}	10	—	120	k Ω	
	上記以外の端子 (注3)	I_{pd2}	7	—	120	μA	$V_{CCQ33} = 3.0 \sim 3.6\text{V}$ $V_{in1} = V_{in2} = V_{CCQ33}$
		R_{pd2}	25	—	515	k Ω	
端子容量	全入出力、入力端子	C_{in}	—	—	10	pF	

注1. ポートPC0~PC7は、5Vトレラント対応です。

注2. V_{CCQ33} が3.0V未満のときは、5Vトレラント対応端子に対して3.6V以上の電圧を印加しないでください。

注3. 5Vトレラント対応端子は対象外です。

表 33.5 DC 特性 (4) 【USB2.0 USB_RREF 端子】

項目	記号	min	typ	max	単位	測定条件
基準抵抗	R _{REF}	200 ± 1%			Ω	

表 33.6 DC 特性 (5) 【USB2.0 ホスト/ファンクション関連端子 (フルスピード/ハイスピード共通項目) (注1)】

項目	記号	min	typ	max	単位	測定条件
DP ブルアップ抵抗 (ファンクション機能選択時)	R _{PU}	0.900	—	1.575	kΩ	アイドル時
		1.425	—	3.090	kΩ	送受信時
DP、DM ブルダウン抵抗 (ホスト機能選択時)	R _{PD}	14.25	—	24.80	kΩ	

注1. USB_DP、USB_DM 端子

表 33.7 DC 特性 (6) 【USB2.0 ホスト/ファンクション関連端子 (フルスピード時) (注1)】

項目	記号	min	typ	max	単位	測定条件
入力ハイレベル電圧	V _{FSIH}	2.0	—	—	V	
入力ロウレベル電圧	V _{FSIL}	—	—	0.8	V	
差動入力感度	V _{FSDI}	0.2	—	—	V	(USB_DP) - (USB_DM)
差動コモンモード範囲	V _{FSCM}	0.8	—	2.5	V	
出力ハイレベル電圧	V _{FSOH}	2.8	—	3.6	V	I _{FSOH} = -200μA
出力ロウレベル電圧	V _{FSOL}	0.0	—	0.3	V	I _{FSOL} = 2mA
出力信号クロスオーバー電圧	V _{FSCRS}	1.3	—	2.0	V	CL = 50pF (フルスピード時)

注1. USB_DP、USB_DM 端子

表 33.8 DC 特性 (7) 【USB2.0 ホスト/ファンクション関連端子 (ハイスピード時) (注1)】

項目	記号	min	typ	max	単位	測定条件
スケルチ検出スレッショルド電圧 (差動電圧)	V _{HSSQ}	100	—	150	mV	
コモンモード電圧範囲	V _{HSCM}	-50	—	500	mV	
アイドル状態	V _{HSOI}	-10.0	—	10.0	mV	
出力ハイレベル電圧	V _{HSOH}	360	—	440	mV	
出力ロウレベル電圧	V _{HSOL}	-10.0	—	10.0	mV	
Chirp J 出力電圧 (差分)	V _{CHIRPJ}	700	—	1100	mV	
Chirp K 出力電圧 (差分)	V _{CHIRPK}	-900	—	-500	mV	

注1. USB_DP、USB_DM 端子

表 33.9 出力許容電流

項目		記号	min	typ	max	単位
出力Lowレベル許容電流 (1端子あたりの平均値)	5Vトレラント対応端子以外	I_{OL1}	—	—	2.0	mA
	5Vトレラント対応端子	I_{OL2}	—	—	3.0	mA
出力Lowレベル許容電流 (1端子あたりの最大値)	5Vトレラント対応端子以外	I_{OL1}	—	—	4.0	mA
	5Vトレラント対応端子	I_{OL2}	—	—	6.0	mA
出力Lowレベル許容電流 (総和)	全出力端子の総和	ΣI_{OL}	—	—	80	mA
出力Highレベル許容電流 (1端子あたりの平均値)	全出力端子	I_{OH}	—	—	- 2.0	mA
出力Highレベル許容電流 (1端子あたりの最大値)	全出力端子	I_{OH}	—	—	- 4.0	mA
出力Highレベル許容電流 (総和)	全出力端子の総和	ΣI_{OH}	—	—	- 80	mA

【使用上の注意】 LSI の信頼性を確保するため、出力電流値は表 33.9 の値を超えないようにしてください。

33.4 AC 特性

- 条件 : $VDD = PLLVDD0 = PLLVDD1 = DVDD_USB = 1.14 \sim 1.26V$,
 $VCCQ33 = VDD33_USB = 3.0 \sim 3.6V$
 $VSS = PLLVSS0 = PLLVSS1 = VSS_USB = 0V$,
 $T_j = -40 \sim 125 \text{ }^\circ\text{C}$

表 33.10 動作周波数

項目		記号	min	max	単位
動作周波数	CPUクロック (CPUCLK)	f	150		MHz
	システムクロック (ICLK)		150		
	周辺モジュールクロック (PCLKA)		150		
	周辺モジュールクロック (PCLKB)		75		
	周辺モジュールクロック (PCLKD)		75		
	周辺モジュールクロック (PCLKE)		18.75	75	
	高速シリアルクロック (SERICK)		120	150	
	EtherCAT PHY用の外部クロック出力 (CLKOUT25Mn)		25		

n = 0, 1

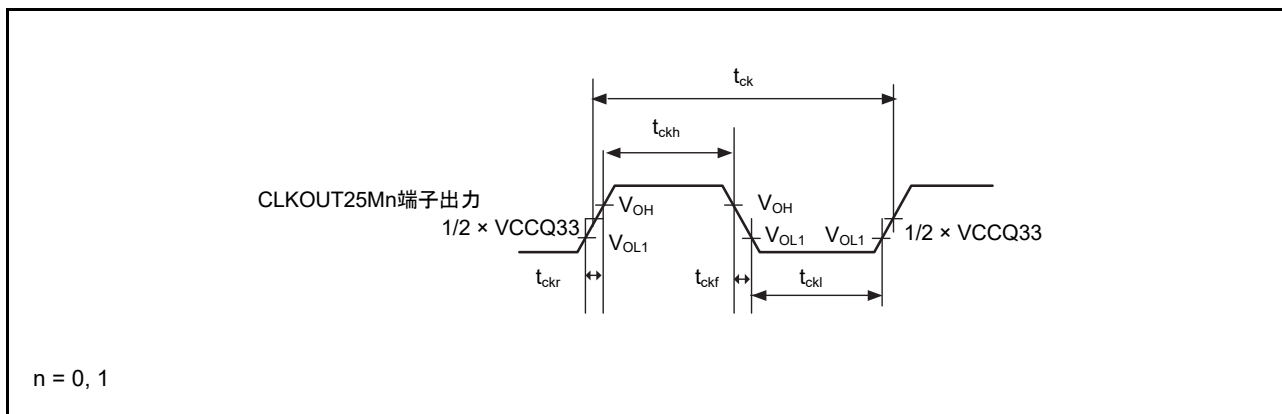
33.4.1 クロックタイミング

表 33.11 CLKOUT25Mn タイミング

出力負荷条件 : $V_{OH} = V_{CCQ33} - 0.5V$ 、 $V_{OL1} = 0.4V$ 、 $C = 30pF$

項目	記号	min	max	単位	測定条件	
CLKOUT25Mn (MII)	CLKOUT25Mn サイクル時間	T_{ck}	40	—	ns	図 33.2
	CLKOUT25Mn 周波数 Typ. 25MHz	—	$25 \pm 50ppm$		MHz	
	CLKOUT25Mn デューティ比	—	35	65	%	
	CLKOUT25Mn 出力ローレベルパルス幅	T_{ckl}	$T_{ck}/2 - T_{ckf}$	$T_{ck}/2 + T_{ckf}$	ns	
	CLKOUT25Mn 出力ハイレベルパルス幅	T_{ckh}	$T_{ck}/2 - T_{ckr}$	$T_{ck}/2 + T_{ckr}$	ns	
	CLKOUT25Mn 立ち上がり/立ち下がり時間	$T_{ckr/ckf}$	0.5	9	ns	

n = 0, 1



n = 0, 1

図 33.2 CLKOUT25Mn 端子出力タイミング 2

表 33.12 XTAL クロックタイミング

項目	記号	min	typ	max	単位
XTAL クロック発振器出力周期 (注1)	$t_{XTALcyc}$	$40.00 \pm 50ppm$ (注2)			ns

注1. XTAL クロックを使用する場合は、発振子メーカーに発振評価を依頼してください。発振安定時間については、発振子メーカーの評価結果を参照してください。

注2. EtherCAT スレーブコントローラ使用時は、 $25.00 \pm 25ppm[MHz]$ を満たすようにしてください。

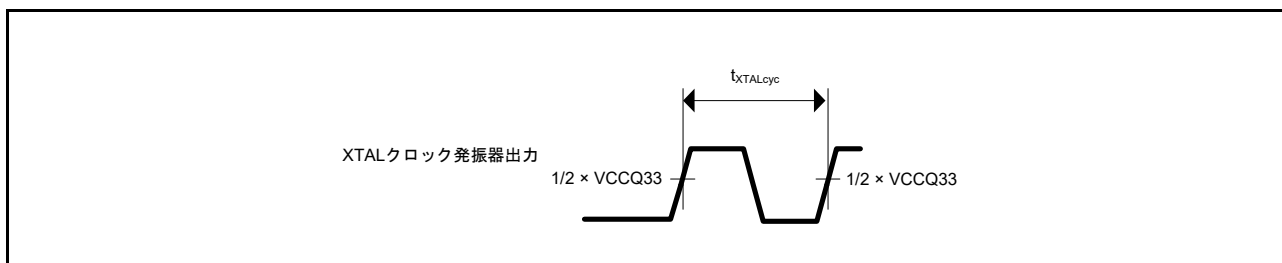


図 33.3 XTAL クロック発振器出力タイミング

表 33.13 LOCOクロックタイミング

項目	記号	min	typ	max	単位	測定条件
LOCOクロックサイクル時間	t_{Lcyc}	4.62	4.17	3.79	μs	
LOCOクロック発振周波数	f_{LOCO}	216	240	264	kHz	
LOCOクロック発振安定待機時間	t_{LOCOWT}	—	—	40	μs	図 33.4

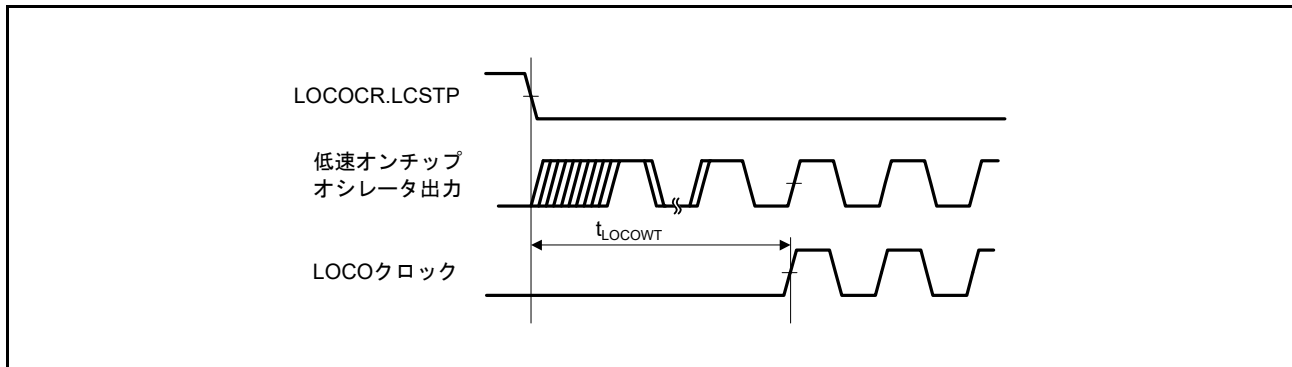


図 33.4 LOCO クロック発振開始タイミング

33.4.2 リセット、割り込みタイミング

表33.14 リセット、割り込みタイミング

項目		記号	Min (注1)	typ	max	単位	測定条件
RES#パルス幅	電源投入時	$T_{dlyreset}$	10	—	—	ms	図 33.5
	上記以外	$T_{dlyreset2}$	1	—	—	ms	
RES#立ち上がり時間		$T_{risereset}$	—	—	150	μ s	
TRST#パルス幅	電源投入時	$T_{dlyreset}$	10	—	—	ms	
	上記以外	$T_{dlyreset2}$	1	—	—	ms	
TRST#立ち上がり時間		$T_{risereset}$	—	—	150	μ s	
NMIパルス幅		t_{NMIW}	$t_{Icyc} \times 2$	—	—	ns	図 33.6
IRQパルス幅		t_{IRQW}	$t_{Icyc} \times 2$	—	—	ns	図 33.7
ETH_INT パルス幅		t_{EINTW}	$t_{Icyc} \times 2$	—	—	ns	図 33.8

注1. t_{Icyc} : ICLKの周期

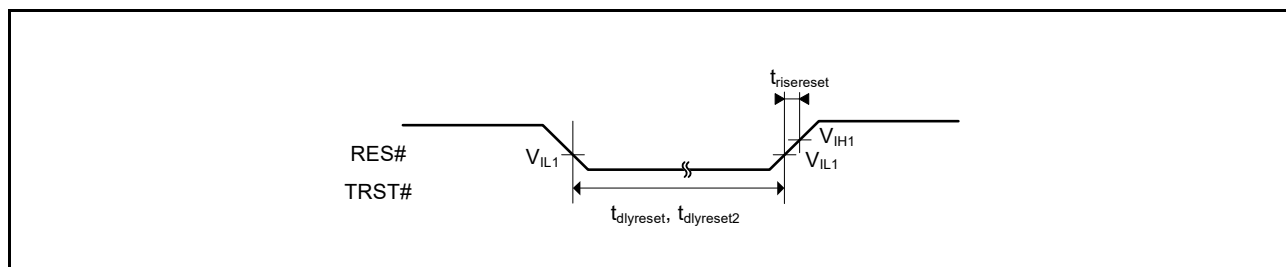


図 33.5 リセット入力タイミング

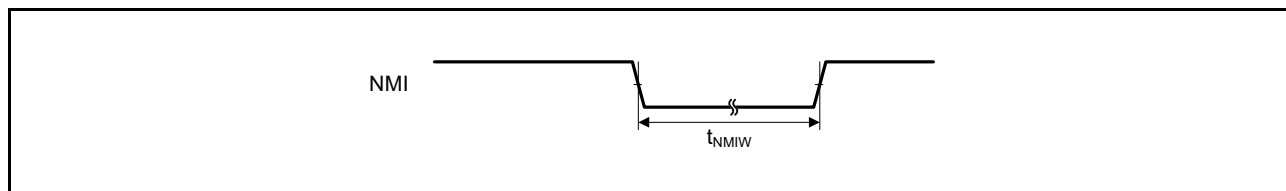


図 33.6 NMI 割り込み入力タイミング

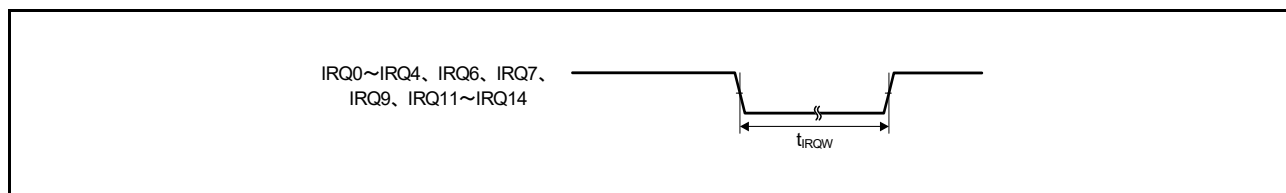


図 33.7 IRQ 割り込み入力タイミング

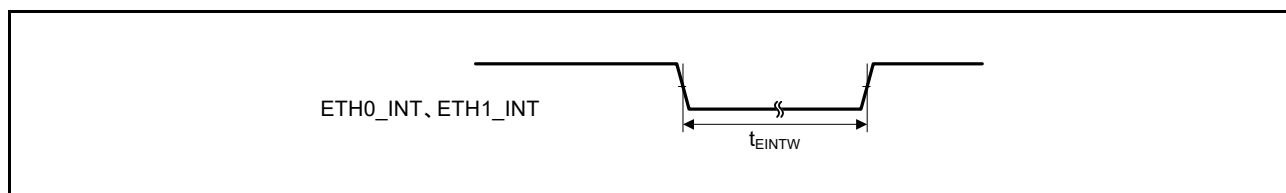


図 33.8 ETH_INT 割り込み入力タイミング

33.4.3 内蔵周辺モジュールタイミング

33.4.3.1 I/O ポートタイミング

表 33.15 I/O ポートタイミング

項目		記号	min	max	単位 (注1)	測定条件
I/Oポート	入力データパルス幅	t_{PRW}	1.5	—	t_{PBcyc}	図 33.9

注1. t_{PBcyc} : PCLKBの周期

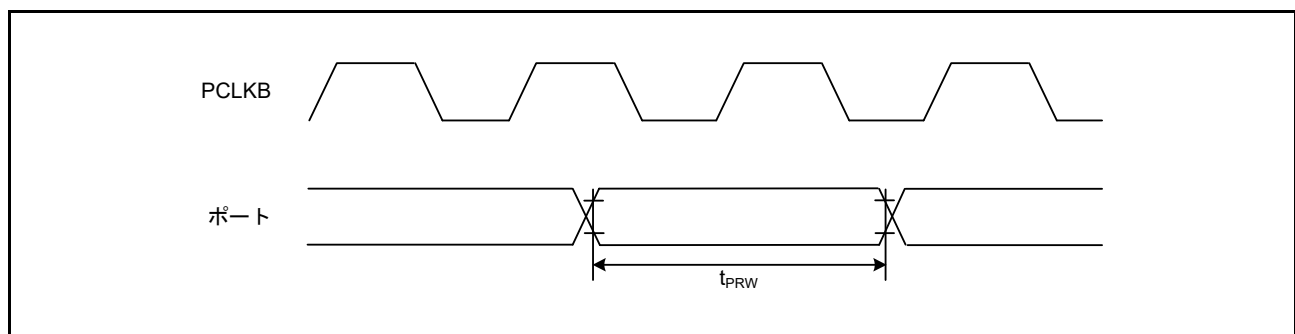


図 33.9 I/O ポート入力タイミング

33.4.3.2 CMTW タイミング

表 33.16 CMTW タイミング

項目		記号	min	max	単位 (注1)	測定条件
CMTW	入力キャプチャ入力 パルス幅	単エッジ指定	1.5	—	t_{pDcyc}	図 33.10
		両エッジ指定	2.5	—		

注1. t_{pDcyc} : PCLKDの周期

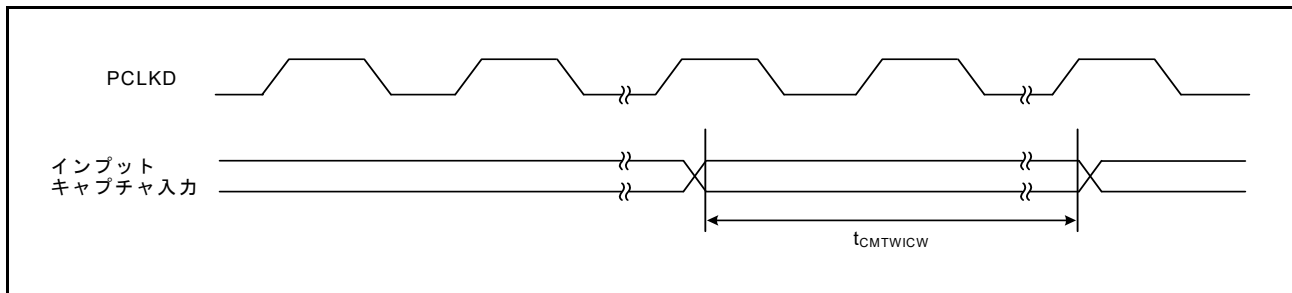


図 33.10 CMTW 入力キャプチャ入力タイミング

33.4.3.3 SCIFA タイミング

表 33.17 SCIFA タイミング

出力負荷条件 : $V_{OH} = V_{CCQ33} \times 0.5$ 、 $V_{OL1} = V_{CCQ33} \times 0.5$ 、 $C = 30\text{pF}$

項目		記号	min (注1)	max (注1)	単位 (注1)	測定条件	
SCIFA	入力クロックサイクル	調歩同期	t_{Scyc}	4	—	t_{SEcyc}	図 33.11
		クロック同期		12	—		
	入力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	入力クロック立ち上がり時間		t_{SCKr}	—	5	ns	
	入力クロック立ち下がり時間		t_{SCKf}	—	5	ns	
	出力クロックサイクル	調歩同期 (注2)	t_{Scyc}	8	—	t_{SEcyc}	
		クロック同期		4	—		
	出力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	出力クロック立ち上がり時間		t_{SCKr}	—	9	ns	
	出力クロック立ち下がり時間		t_{SCKf}	—	9	ns	
送信データ遅延時間	内部クロック	t_{TXD}	-10	10	ns	図 33.12	
	外部クロック		$3 \times t_{SEcyc}$	$4 \times t_{SEcyc} + 20$			
受信データセットアップ時間	内部クロック	t_{RXS}	$3 \times t_{SEcyc} + 20$	—	ns		
	外部クロック		$t_{SEcyc} + 10$	—			
受信データホールド時間	内部クロック	t_{RXH}	$-3 \times t_{SEcyc}$	—	ns		
	外部クロック		$2 \times t_{SEcyc} + 10$	—			

注1. t_{SEcyc} : SERICLKの周期

注2. SEMR.ABCS0ビット=1かつSEMR.BGDMビット=1の時

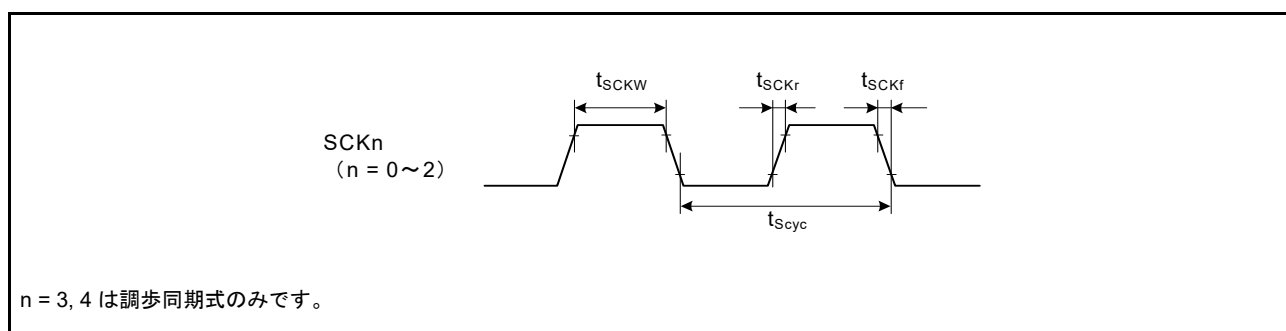


図 33.11 SCK クロック入力タイミング

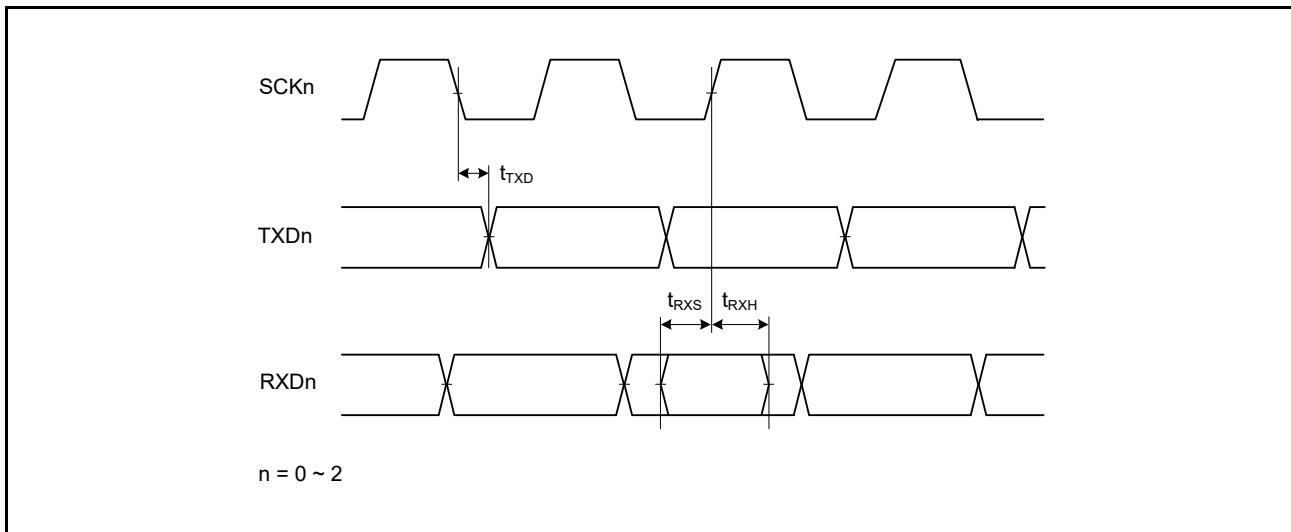


図 33.12 SCIFA 入出力タイミング/クロック同期式モード

33.4.3.4 RSPIa タイミング

表 33.18 RSPIa タイミング

出力負荷条件 : $V_{OH} = V_{CCQ33} \times 0.5$ 、 $V_{OL1} = V_{CCQ33} \times 0.5$ 、 $C = 30\text{pF}$

項目		記号 (注1)	Min (注1)	Max (注1)	単位 (注1)	測定条件							
RSPIa	RSPCK クロック サイクル	マスタ	t_{SPcyc}	4	4096	t_{SEcyc}	図 33.13						
		スレーブ (注4)		8	4096								
	RSPCK クロック High レベルパルス幅	マスタ	t_{SPCKWH}	$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2 - 3$	—	ns		図 33.14 ~ 図 33.17					
		スレーブ		0.4	—	t_{SPcyc}							
	RSPCK クロック Low レベルパルス幅	マスタ	t_{SPCKWL}	$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2 - 3$	—	ns			図 33.14 ~ 図 33.17				
		スレーブ		0.4	—	t_{SPcyc}							
	RSPCK クロック 立ち上がり/ 立ち下がり時間	出力	t_{SPCKr}	—	9	ns				図 33.14 ~ 図 33.17			
		入力	t_{SPCKf}	—	10	ns							
	データ入力セット アップ時間	マスタ	t_{SU}	6	—	ns					図 33.14 ~ 図 33.17		
		スレーブ		$8 - t_{SEcyc}$	—								
	データ入力ホールド 時間	マスタ	t_H	t_{SEcyc}	—	ns						図 33.14 ~ 図 33.17	
		スレーブ		$8 + 2 \times t_{SEcyc}$	—								
	SSL セットアップ 時間	マスタ	t_{LEAD}	$N \times t_{SpCyc} - 3$ (注2)	$N \times t_{SpCyc} + 3$ (注2)	ns							図 33.14 ~ 図 33.17
		スレーブ		4	—	t_{SEcyc}							
	SSL ホールド時間	マスタ	t_{LAG}	$N \times t_{SpCyc} - 3$ (注3)	$N \times t_{SpCyc} + 3$ (注3)	ns	図 33.14 ~ 図 33.17						
		スレーブ		4	—	t_{SEcyc}							
	データ出力遅延時間	マスタ	t_{OD}	—	6	ns		図 33.14 ~ 図 33.17					
		スレーブ		—	$3 \times t_{SEcyc} + 20$ (注4)								
	データ出力ホールド 時間	マスタ	t_{OH}	0	—	ns			図 33.14 ~ 図 33.17				
		スレーブ		0	—								
連続送信遅延時間	マスタ	t_{TD}	$t_{SPcyc} + 2 \times t_{SEcyc}$	$8 \times t_{SPcyc} + 2 \times t_{SEcyc}$	ns	図 33.14 ~ 図 33.17							
	スレーブ		$4 \times t_{SEcyc}$	—									
MOSI、MISO 立ち上 がり/立ち下がり 時間	出力	t_{Dr} 、 t_{Df}	—	9	ns					図 33.14 ~ 図 33.17			
	入力		—	10	ns								
SSL 立ち上がり /立ち下がり時間	出力	t_{SSLr} 、 t_{SSLf}	—	9	ns						図 33.14 ~ 図 33.17		
	入力		—	10	ns								
スレーブアクセス時間		t_{SA}	—	4	t_{SEcyc}							図 33.16、 図 33.17	
スレーブ出力開放時間		t_{REL}	—	3	t_{SEcyc}								

注1. t_{SEcyc} : SERICLKの周期注2. $N = \text{SPCKD}$ の設定値 + 1 (1...8)注3. $N = \text{SSLND}$ の設定値 + 1 (1...8)

注4. ビットレートの設定によっては、データ出力遅延時間がRSPCKクロックサイクルの半周期を超える場合があります。マスタの電氣的特性を満たせるよう注意してください。

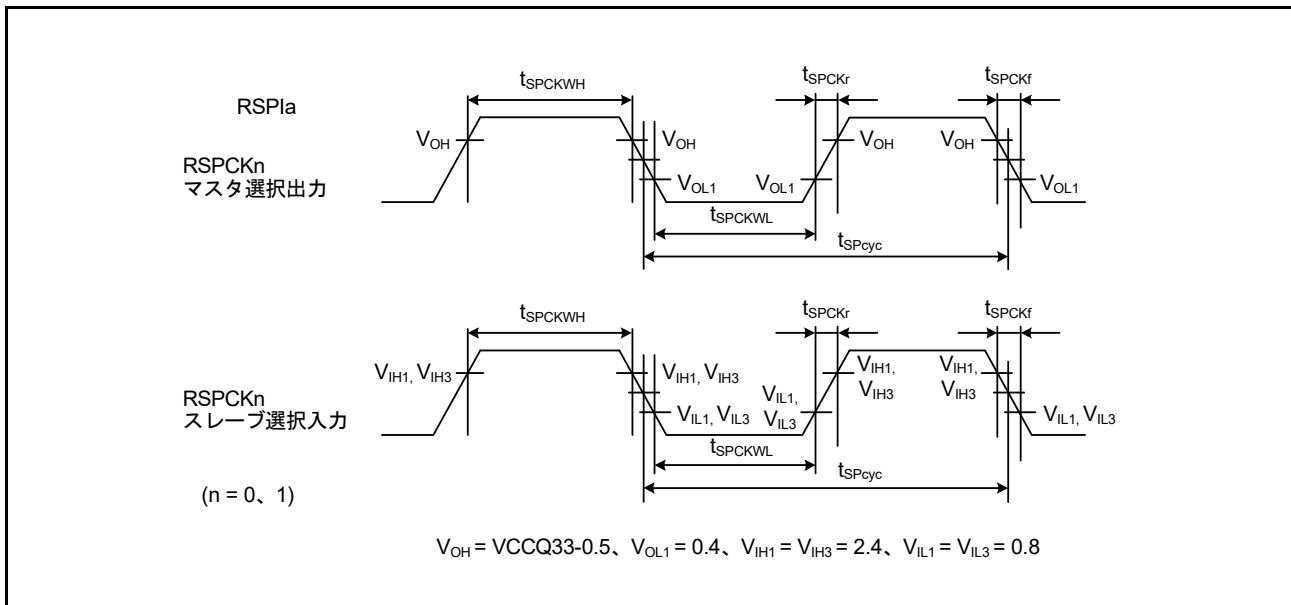


図 33.13 RSPIa クロックタイミング

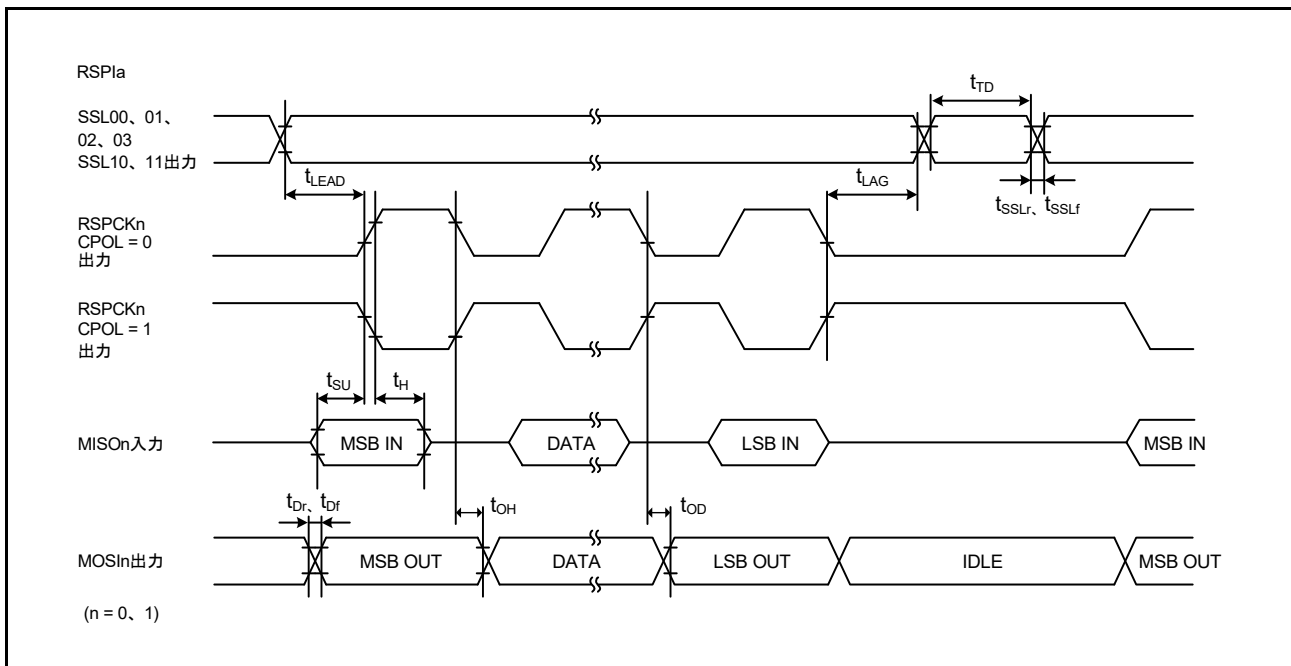


図 33.14 RSPIa タイミング (マスタ、CPHA = 0)

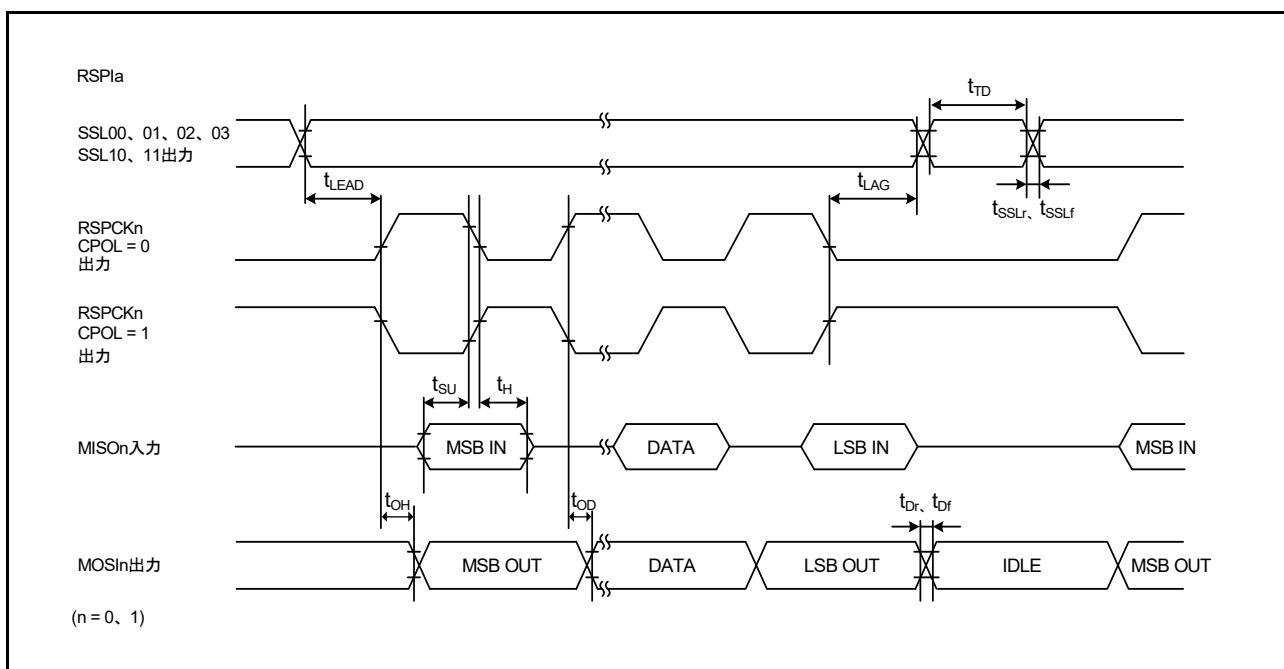


図 33.15 RSPIa タイミング (マスタ、CPHA = 1)

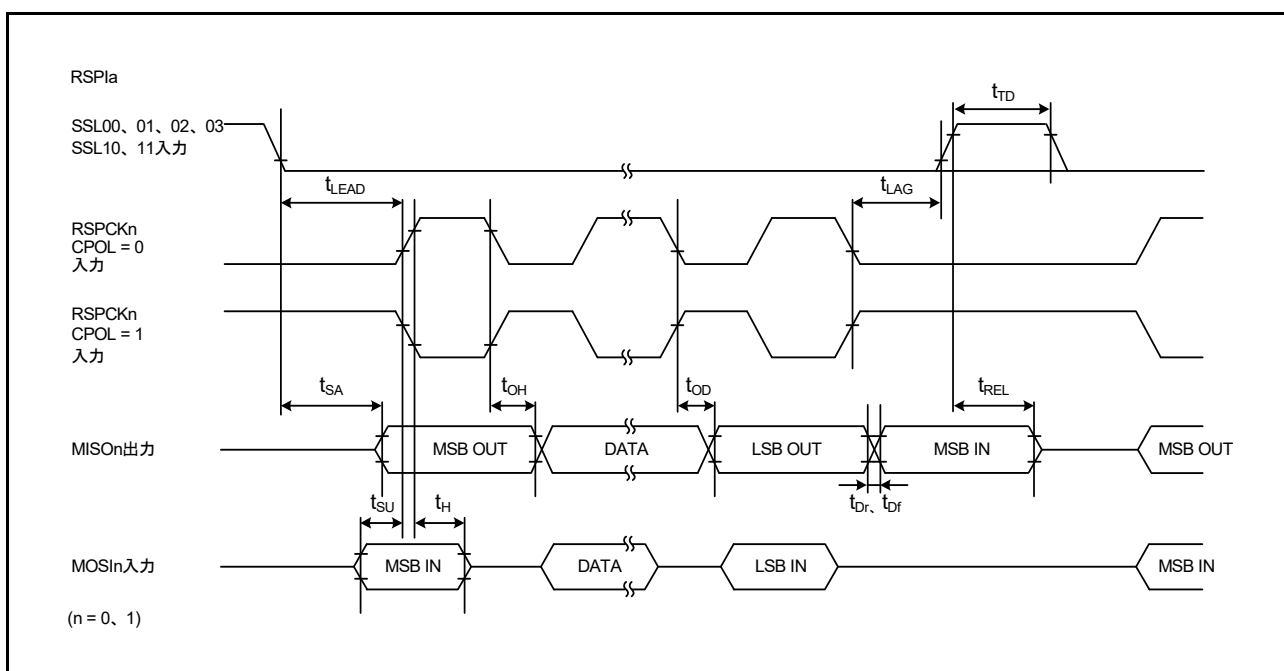


図 33.16 RSPI タイミング (スレーブ、CPHA = 0)

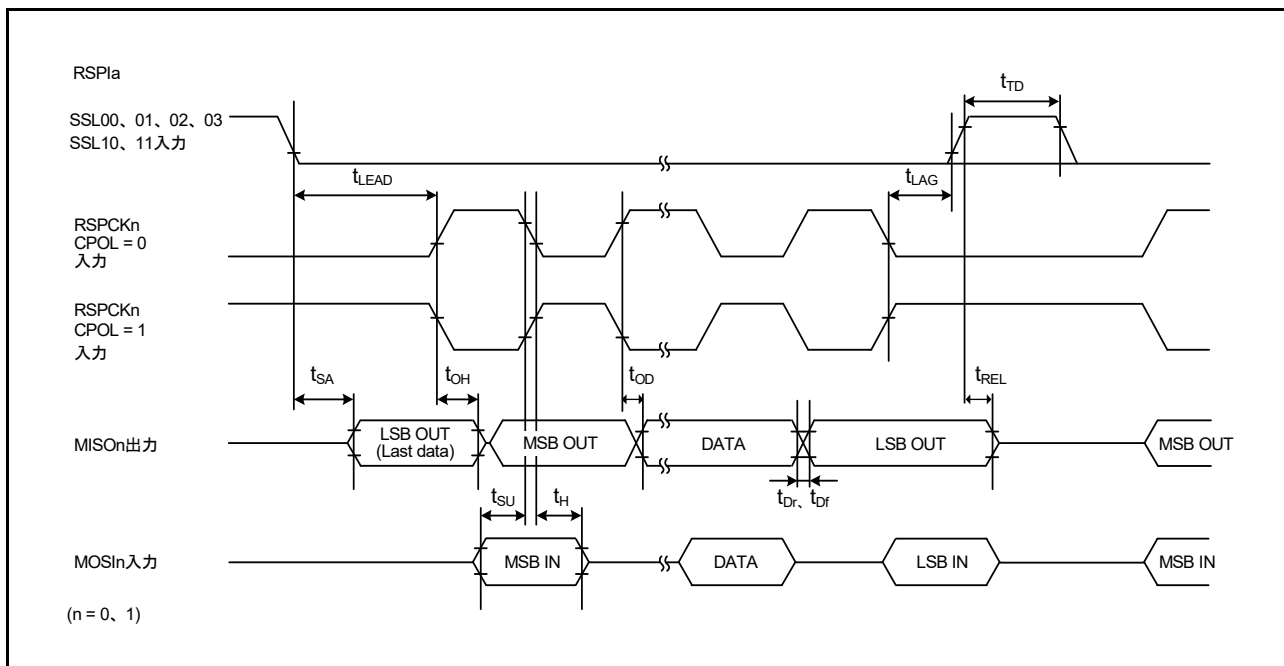


図 33.17 RSPi タイミング (スレーブ、CPHA = 1)

33.4.3.5 SPIBSC タイミング

表 33.19 SPIBSC タイミング

出力負荷条件 : $V_{OH} = V_{CCQ33} \times 0.5$ 、 $V_{OL1} = V_{CCQ33} \times 0.5$ 、 $C = 30\text{pF}$

項目		記号	min	max	単位 (注1)	測定条件	
SPIBSC	SPBCLKクロックサイクル	t_{SPBcyc}	2	4080	t_{PAcyc}	図 33.18	
	SPBCLKハイレベルパルス幅	t_{SPBWH}	0.45	0.55	t_{SPBcyc}		
	SPBCLKロウレベルパルス幅	t_{SPBWL}	0.45	0.55	t_{SPBcyc}		
	データ入力セットアップ時間	t_{SU}	3.5	—	ns		図 33.19、 図 33.20、 図 33.21
	データ入力ホールド時間	t_{H}	0.5	—	ns		
	SSLセットアップ時間	t_{LEAD}	$1 \times t_{SPBcyc} - 3$	$8 \times t_{SPBcyc}$	ns		
	SSLホールド時間	t_{LAG}	$1.5 \times t_{SPBcyc}$	$8.5 \times t_{SPBcyc} + 3$	ns		
	連続転送遅延時間	t_{TD}	1	8	t_{SPBcyc}		
	データ出力遅延時間	t_{OD}	—	3.6	ns		
	データ出力ホールド時間	t_{OH}	-1	—	ns		
	データ出力バッファオン時間	t_{BON}	—	3.6	ns	図 33.22、 図 33.23、 図 33.24	
	データ出力バッファオフ時間	t_{BOFF}	-7	0	ns		

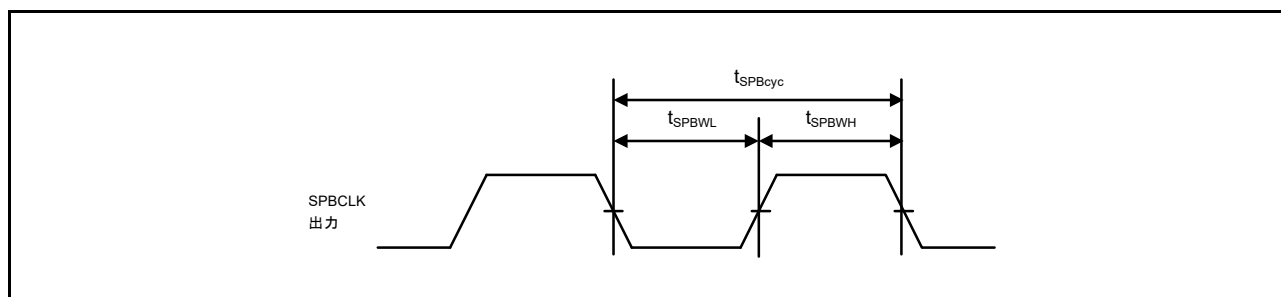
注1. t_{PAcyc} : PCLKAの周期

図 33.18 SPIBSC クロックタイミング

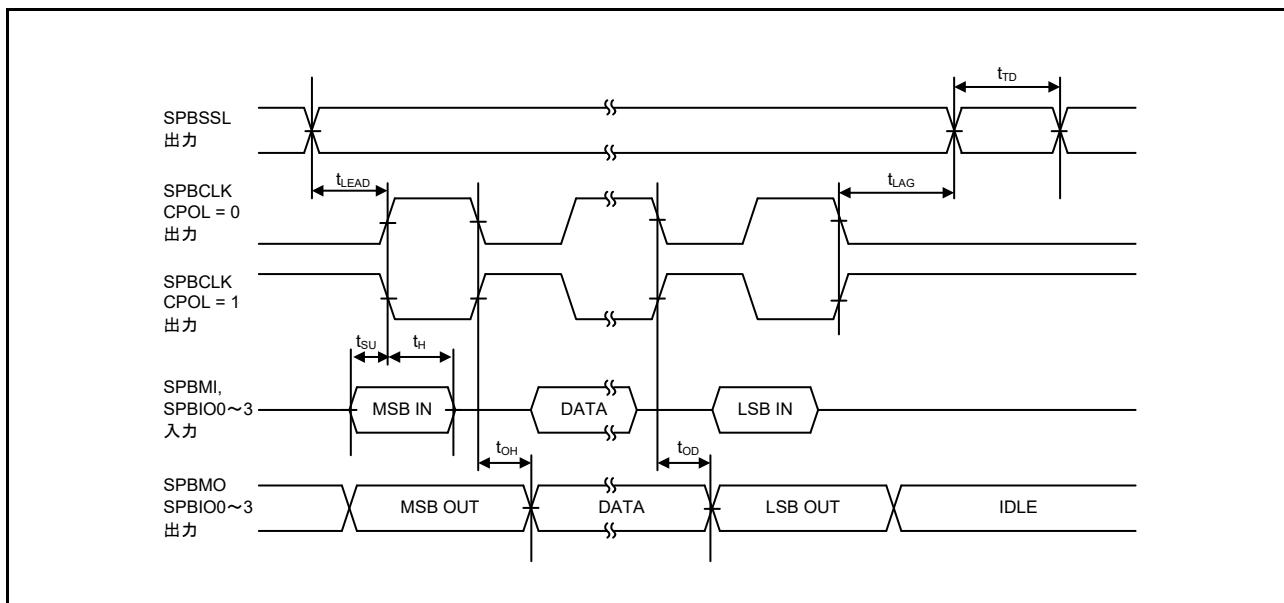


図 33.19 SPIBSC 送受信タイミング (CPHAT = 0、CPHAR = 0)

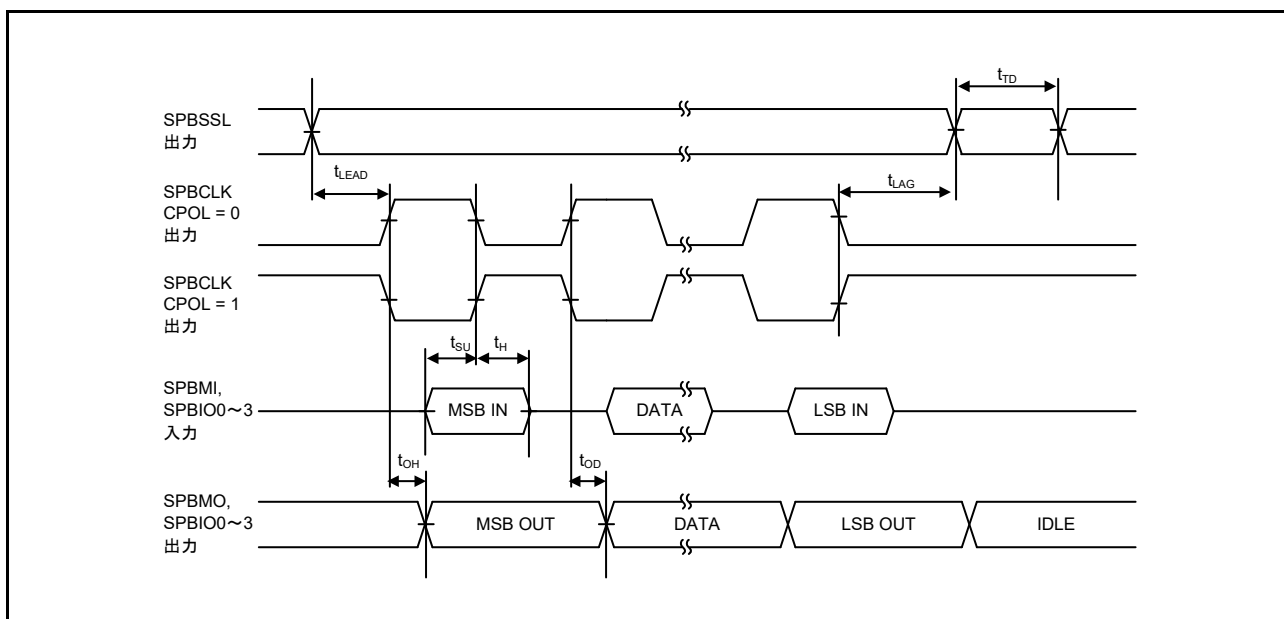


図 33.20 SPIBSC 送受信タイミング (CPHAT = 1、CPHAR = 1)

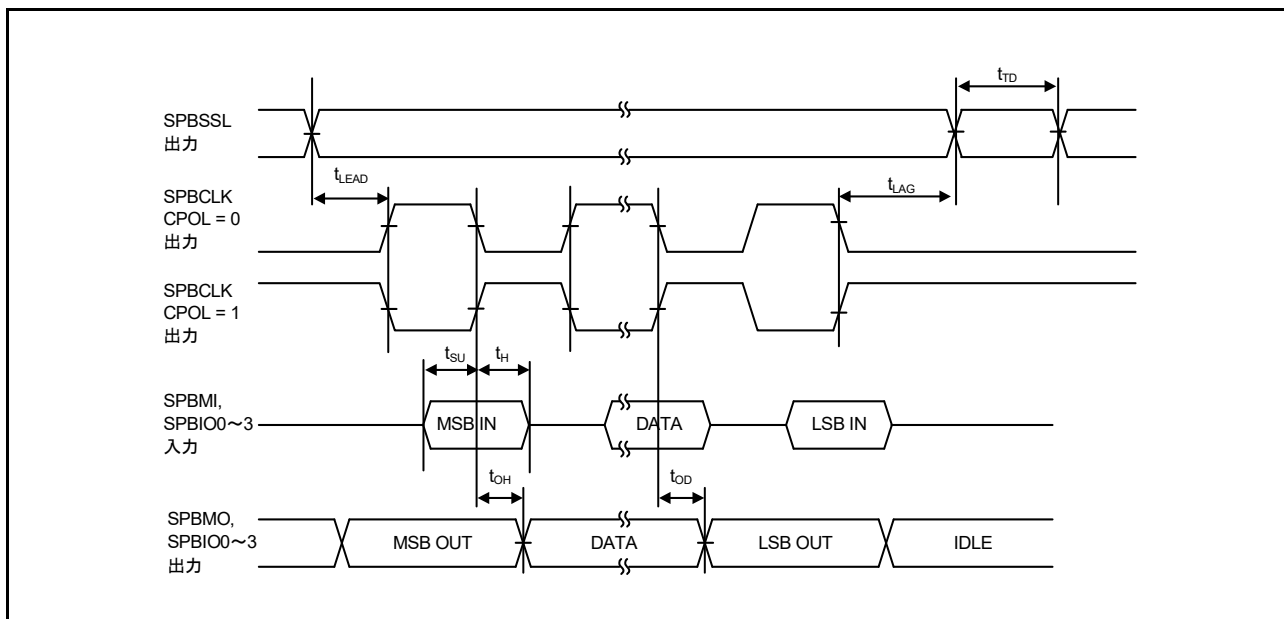


図 33.21 SPIBSC 送受信タイミング (CPHAT = 0、CPHAR = 1)

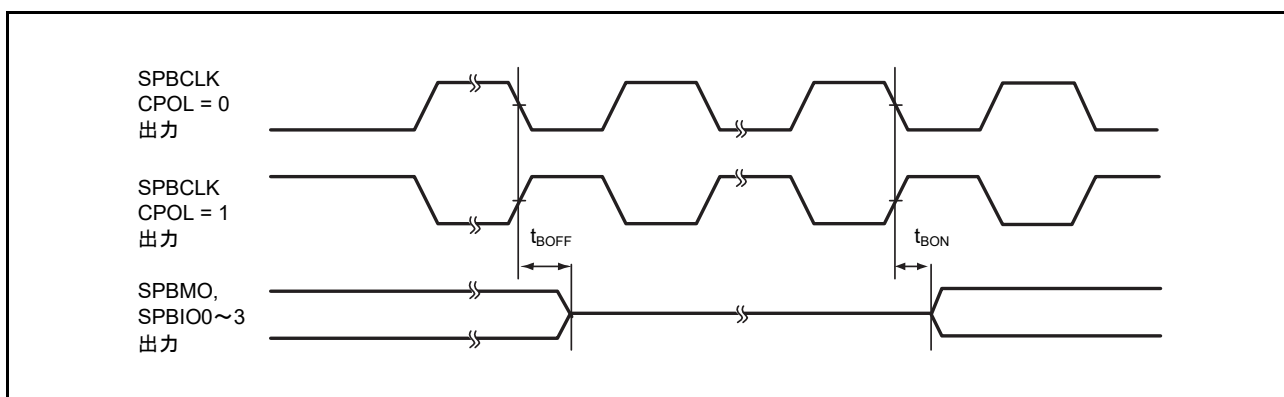


図 33.22 SPIBSC バッファオン/オフタイミング (CPHAT = 0、CPHAR = 0)

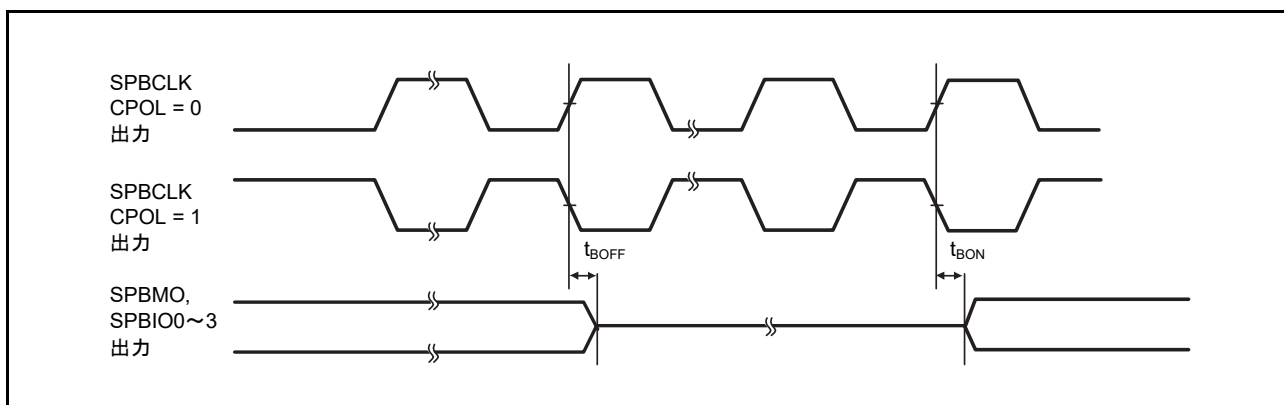


図 33.23 SPIBSC バッファオン/オフタイミング (CPHAT = 1、CPHAR = 1)

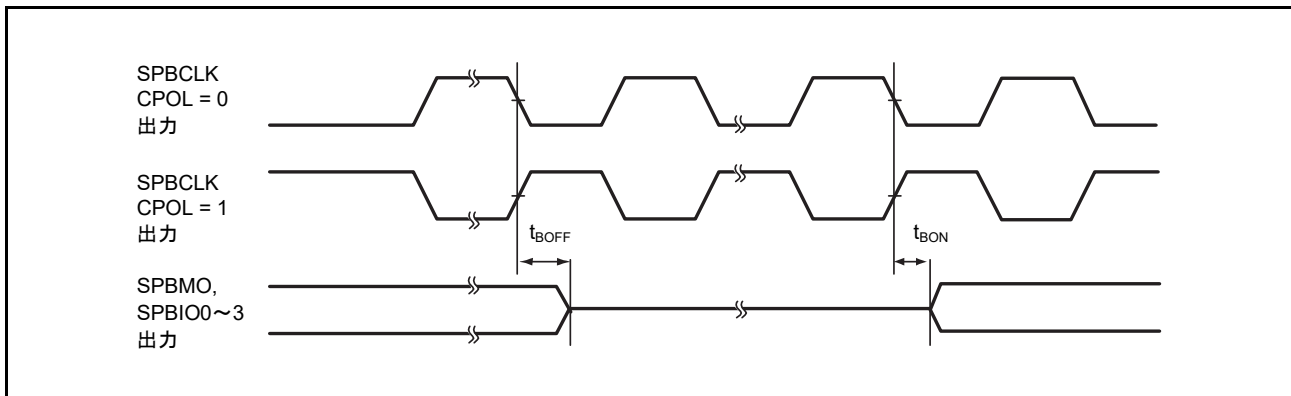


図 33.24 SPIBSC バッファオン/オフタイミング (CPHAT = 0、CPHAR = 1)

33.4.3.6 IICa タイミング

表 33.20 IICa タイミング

出力負荷条件 : $V_{OL2} = 0.4V$ 、 $I_{OL2} = 3mA$

項目		記号	min (注2)	max (注2)	単位 (注1)	測定条件
IICa (Standard-mode)	SCL入力サイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 1300$	—	ns	図 33.25
	SCL入力Highパルス幅	t_{SCLH}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL入力Lowパルス幅	t_{SCLL}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL、SDA入力立ち上がり時間	t_{sr}	—	1000	ns	
	SCL、SDA入力立ち下がり時間	t_{sf}	—	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IICcyc}$	ns	
	SDA入力バスフリー時間	t_{BUF}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	開始条件入力ホールド時間	t_{STAH}	$t_{IICcyc} + 300$	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	1000	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	1000	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	
	IICa (Fast-mode)	SCL入力サイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 600$	—	
SCL入力Highパルス幅		t_{SCLH}	$3(6) \times t_{IICcyc} + 300$	—	ns	
SCL入力Lowパルス幅		t_{SCLL}	$3(6) \times t_{IICcyc} + 300$	—	ns	
SCL、SDA入力立ち上がり時間		t_{sr}	— (注4)	300	ns	
SCL、SDA入力立ち下がり時間		t_{sf}	— (注4)	300	ns	
SCL、SDA入カスパイクパルス除去時間		t_{SP}	0	$1(4) \times t_{IICcyc}$	ns	
SDA入力バスフリー時間		t_{BUF}	$3(6) \times t_{IICcyc} + 300$	—	ns	
開始条件入力ホールド時間		t_{STAH}	$t_{IICcyc} + 300$	—	ns	
再送開始条件入力セットアップ時間		t_{STAS}	300	—	ns	
停止条件入力セットアップ時間		t_{STOS}	300	—	ns	
データ入力セットアップ時間		t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
データ入力ホールド時間		t_{SDAH}	0	—	ns	
SCL、SDAの容量性負荷 (注3)		C_b	—	400	pF	

注1. t_{IICcyc} : IICaの内部基準クロック (IICφ) の周期

注2. () 外の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 00bの場合を示します。() 内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

注3. C_b はバスラインの容量総計です。注4. Fast-modeの t_{sr}/t_{sf} のmin.規格は設定していません。

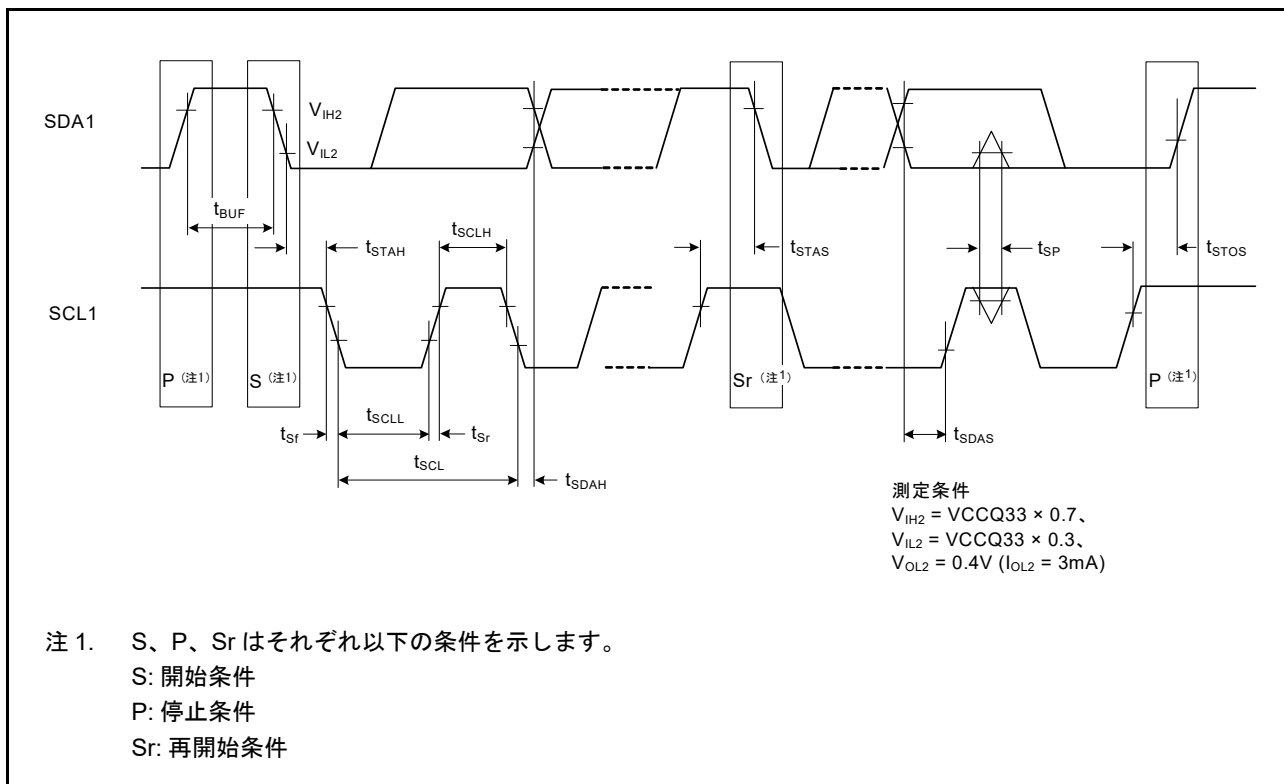


図 33.25 IICa バスインタフェース入出力タイミング

33.4.3.7 CAN インタフェースタイミング

表 33.21 CAN インタフェースタイミング

項目	記号	min	max	単位	測定条件
内部遅延時間	tnode	—	100	ns	図 33.26
送信レート		—	1	Mbps	

内部遅延時間 (tnode) = 内部送信遅延時間 (toutput) + 内部受信遅延時間 (tinput)

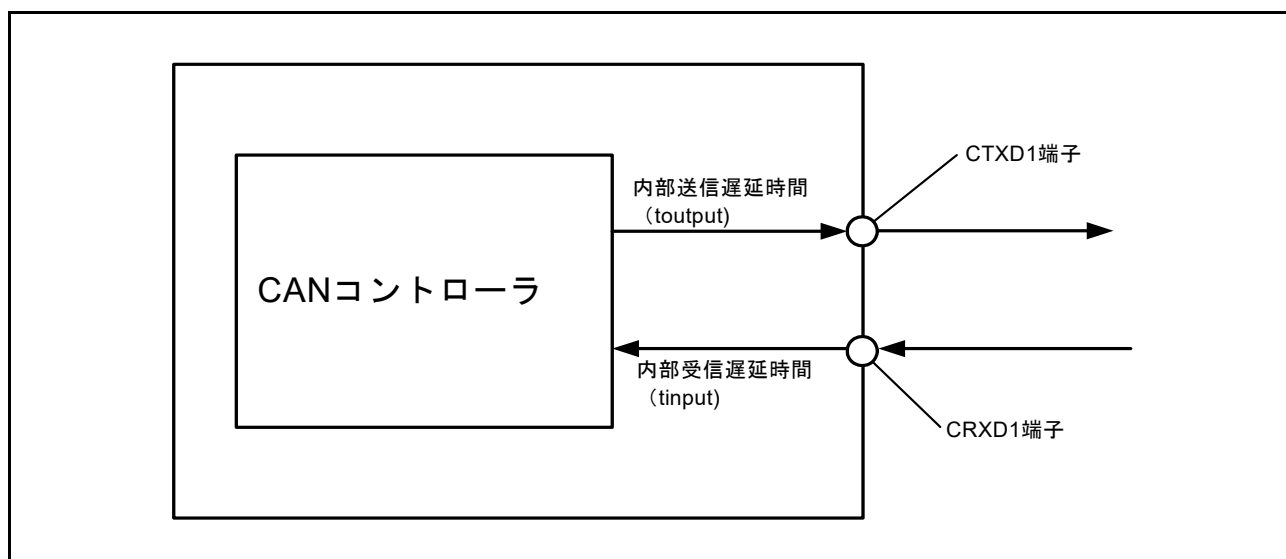


図 33.26 CAN インタフェース条件

33.4.3.8 ESC タイミング

表33.22 ESC タイミング

出力負荷条件 : $V_{OH} = V_{CCQ33} \times 0.5$ 、 $V_{OL1} = V_{CCQ33} \times 0.5$ 、 $C = 30pF$

項目		記号	min	max	単位	測定条件
ESC (MII)	ETHn_TXC サイクル時間	t_{Tcyc}	40	—	ns	—
	ETHn_TXEN 出力遅延時間	t_{TENd}	0	25	ns	図33.27
	ETHn_TXD0~ETHn_TXD3 出力遅延時間	t_{MTDd}	0	25	ns	
	ETHn_RXC サイクル時間	t_{TRcyc}	40	—	ns	
	ETHn_RXDV セットアップ時間	t_{RDVs}	10	—	ns	図33.28
	ETHn_RXDV ホールド時間	t_{RDVh}	10	—	ns	
	ETHn_RXD0~ETHn_RXD3 セットアップ時間	t_{MRDs}	10	—	ns	
	ETHn_RXD0~ETHn_RXD3 ホールド時間	t_{MRDh}	10	—	ns	
	ETHn_RXER セットアップ時間	t_{RERs}	10	—	ns	図33.29
	ETHn_RXER ホールド時間	t_{RERh}	10	—	ns	

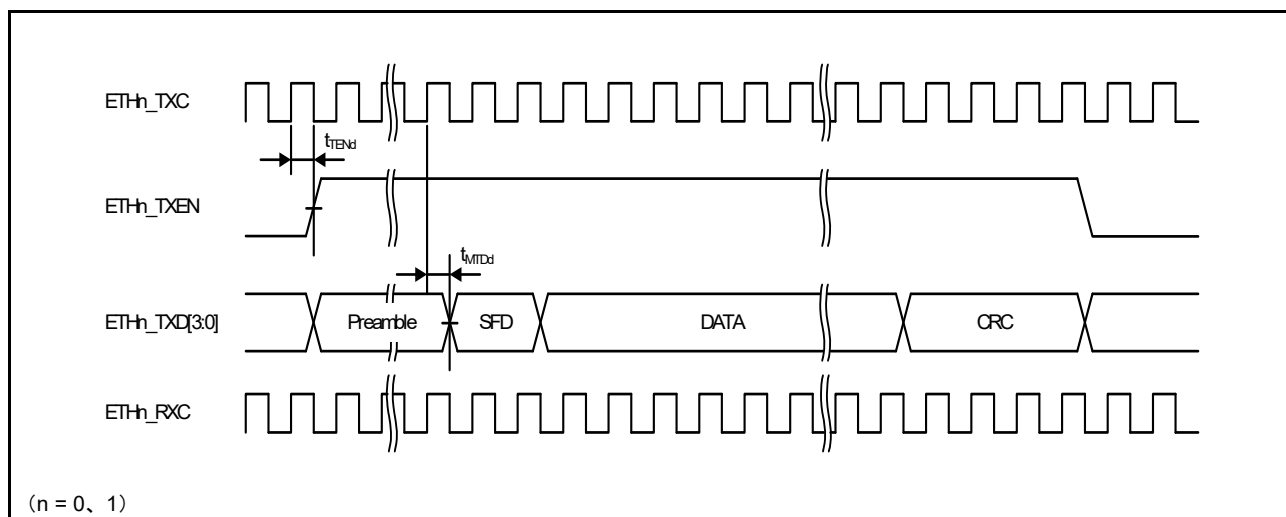


図 33.27 MII 送信タイミング

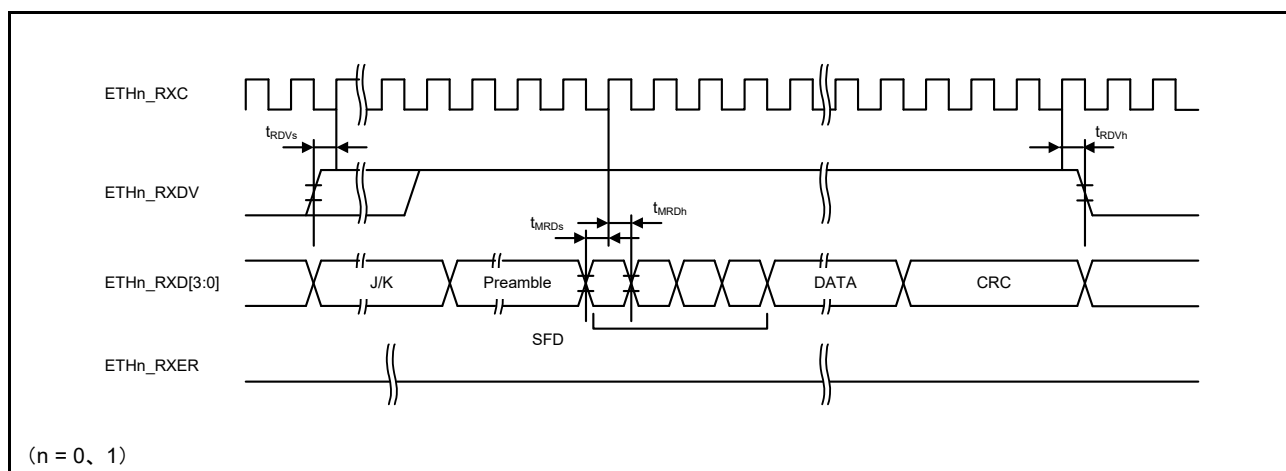


図 33.28 MII 受信タイミング (正常動作時)

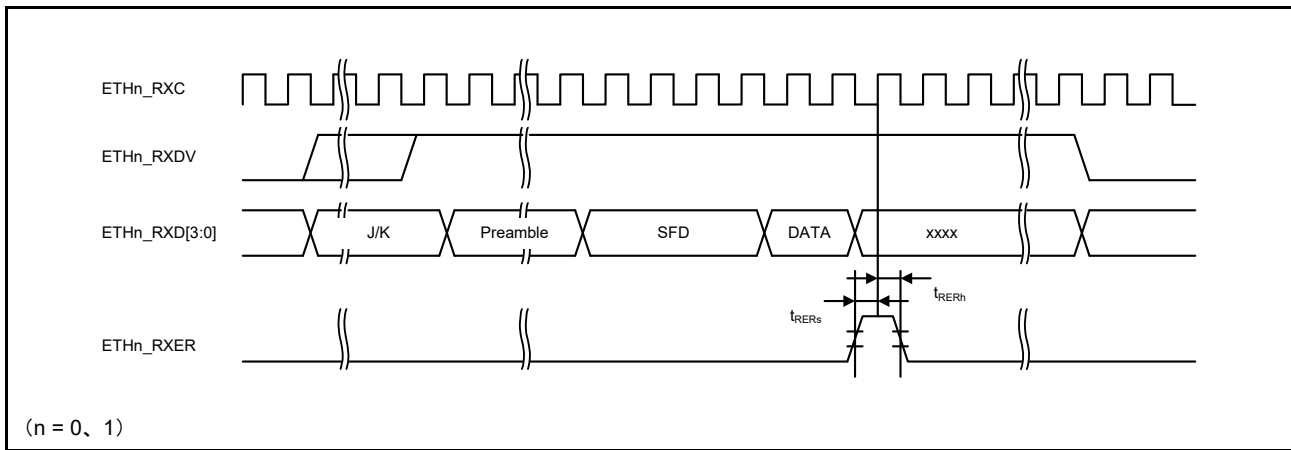


図 33.29 MII 受信タイミング (エラー発生ケース)

33.4.3.9 シリアル・マネージメント・インタフェース

表33.23 シリアル・マネージメント・インタフェース

出力負荷条件 : $V_{OH} = V_{CCQ33} \times 0.5$ 、 $V_{OL1} = V_{CCQ33} \times 0.5$ 、 $C = 30\text{pF}$

項目		記号	min	max	単位	測定条件
MDIO	ETH_MDC出力周期	t_{MDC}	80	—	ns	図33.30
	ETH_MDIO入力設定時間 (対 ETH_MDC ↑)	t_{SMDIO}	10	—	ns	
	ETH_MDIO入力保持時間 (対 ETH_MDC ↑)	t_{HMDIO}	0	—	ns	
	ETH_MDIO出力遅延時間 (対 ETH_MDC ↓)	t_{DMDIO}	—	20	ns	

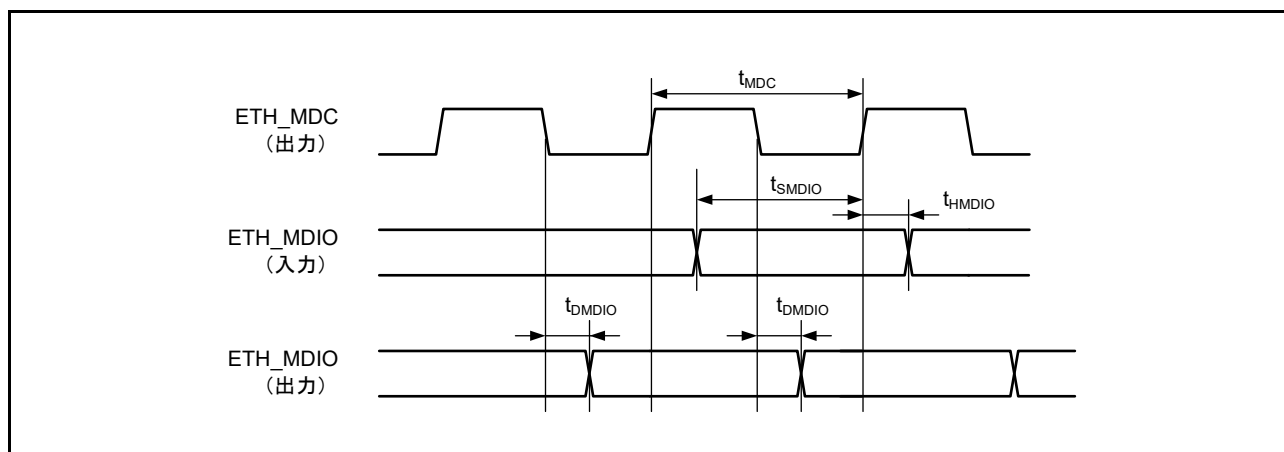


図 33.30 シリアル・マネージメント アクセスタイミング

33.5 USB 特性

- 条件 : $VDD = PLLVDD0 = PLLVDD1 = DVDD_USB = 1.14 \sim 1.26V$,
 $VCCQ33 = VDD33_USB = 3.0 \sim 3.6V$
 $VSS = PLLVSS0 = PLLVSS1 = VSS_USB = 0V$,
 $Tj = -40 \sim 125 \text{ } ^\circ\text{C}$

表 33.24 内蔵USBフルスピード特性 (USB_DP、USB_DM端子特性)

項目	記号	min	typ	max	単位	測定条件
立ち上がり時間	t_{FR}	4	—	20	ns	図 33.31
立ち下がり時間	t_{FF}	4	—	20	ns	
立ち上がり／立ち下がり時間比	t_{FR} / t_{FF}	90	—	111.11	%	t_{FR} / t_{FF}

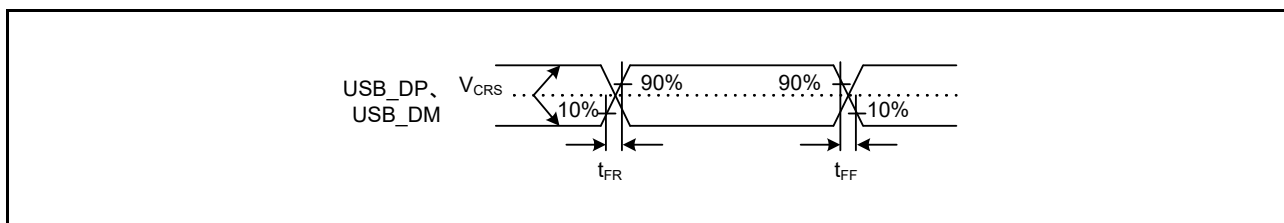


図 33.31 USB_DP、USB_DM 出力タイミング (フルスピード時)

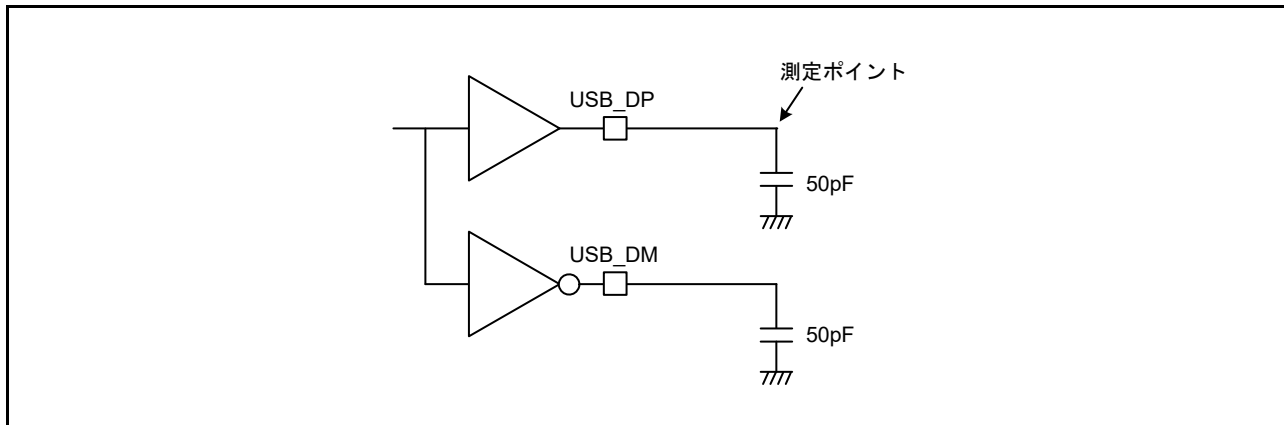


図 33.32 測定回路 (フルスピード時)

表 33.25 内蔵USBハイスピード特性 (USB_DP、USB_DM端子特性)

項目	記号	min	typ	max	単位	測定条件	
AC特性	立ち上がり時間	t_{HSR}	500	—	—	ps	図 33.33
	立ち下がり時間	t_{HSF}	500	—	—	ps	
	出力抵抗	Z_{HSDRV}	40.5	—	49.5	Ω	

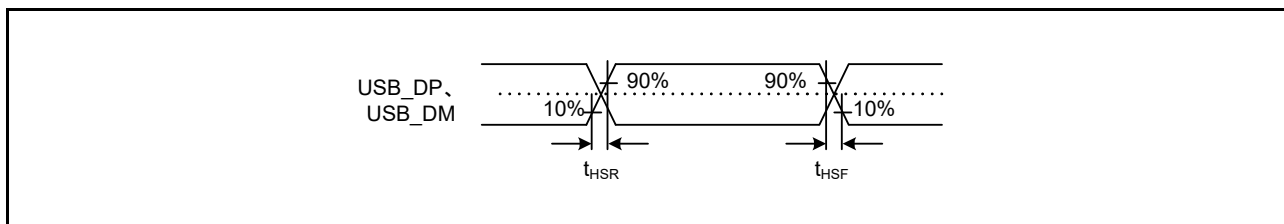


図 33.33 USB_DP、USB_DM 出力タイミング (ハイスピード時)

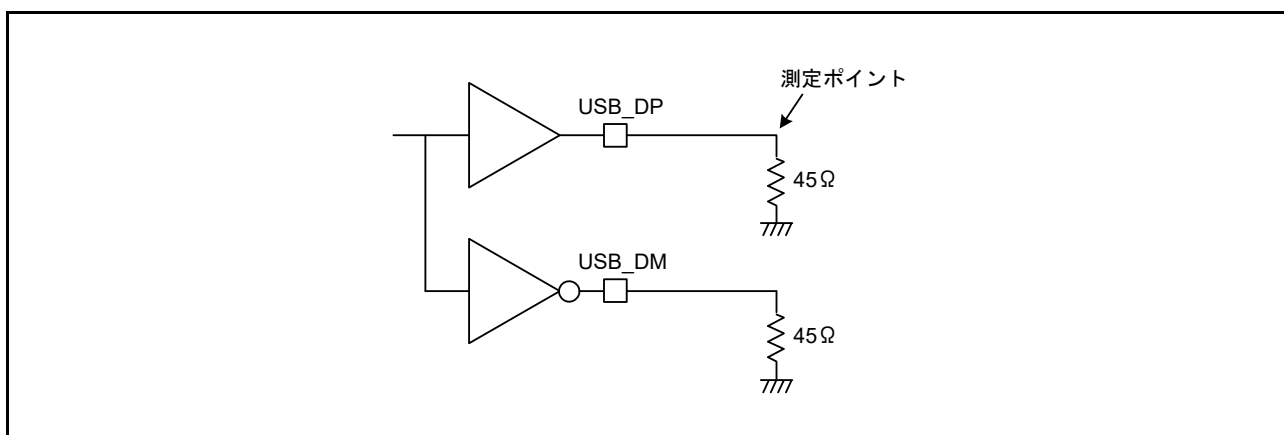


図 33.34 測定回路 (ハイスピード時)

33.6 発振停止検出タイミング

表 33.26 発振停止検出回路特性

項目	記号	min	typ	max	単位	測定条件
クロック切替え時間	t_{dr}	—	—	1	ms	図 33.35

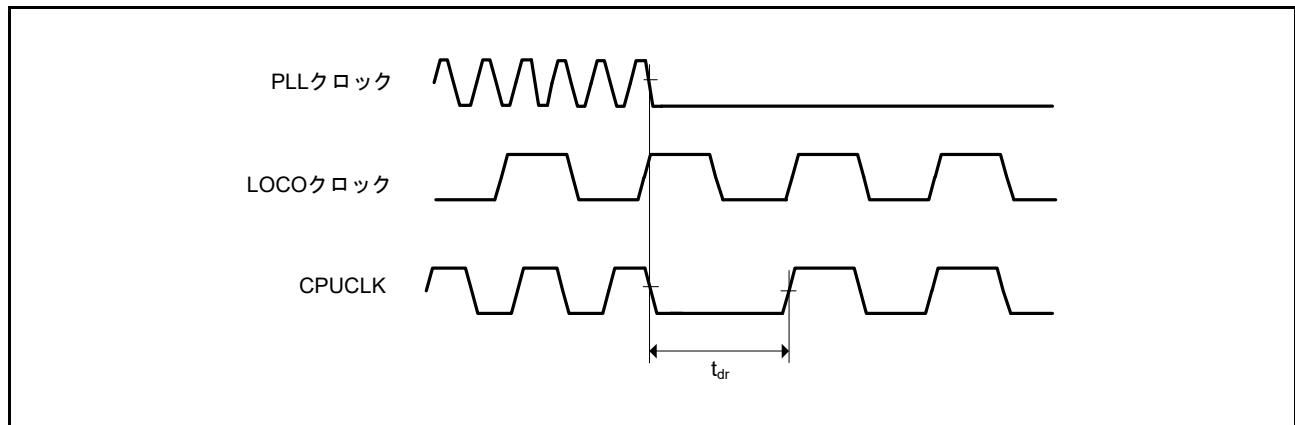


図 33.35 発振停止検出タイミング

33.7 デバッグインタフェースタイミング

表33.27 デバッグインタフェースタイミング

出力負荷条件 : $V_{OH} = V_{CCQ33} - 0.5V$ 、 $V_{OL1} = 0.4V$

項目	記号	Min.	Max.	単位	参照図
TCKサイクル時間	t_{TCKcyc}	30	—	ns	図33.36
TCKハイレベルパルス幅	t_{TCKH}	0.4	0.6	t_{TCKcyc}	
TCKロウレベルパルス幅	t_{TCKL}	0.4	0.6	t_{TCKcyc}	
TDIセットアップ時間	t_{TDIS}	5	—	ns	図33.37 出力負荷 : 30pF
TDIホールド時間	t_{TDIH}	5	—	ns	
TMS/SWDIOセットアップ時間	t_{TMSS}	5	—	ns	
TMS/SWDIOホールド時間	t_{TMSh}	5	—	ns	
SWDIO遅延時間	t_{SWDO}	—	15	ns	
TDO遅延時間	t_{TDOD}	—	15	ns	
キャプチャレジスタセットアップ時間	t_{CAPTS}	5	—	ns	図33.38
キャプチャレジスタホールド時間	t_{CAPTH}	5	—	ns	
アップデートレジスタ遅延時間	$t_{UPDATED}$	—	15	ns	
トレースクロック周期	t_{TCYC}	26.6	—	ns	図33.39 出力負荷 : 15pF
トレースデータ遅延時間	t_{TDT}	$0.25 \times t_{TCYC} - 2$	$0.25 \times t_{TCYC} + 2$	ns	

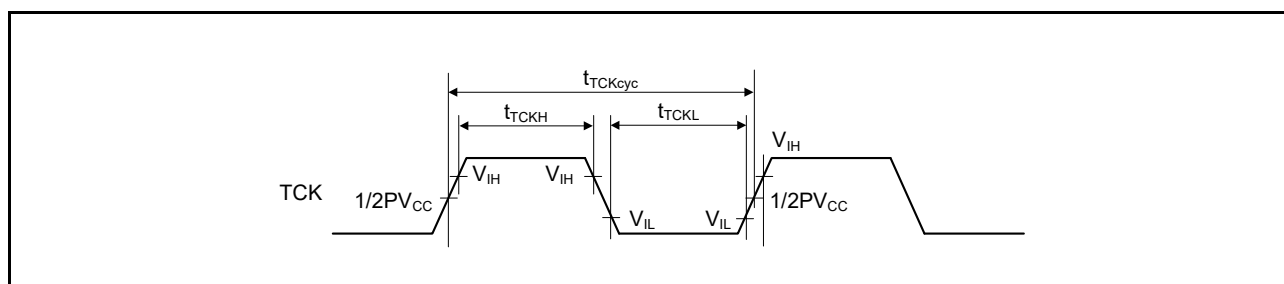


図33.36 TCK入力タイミング

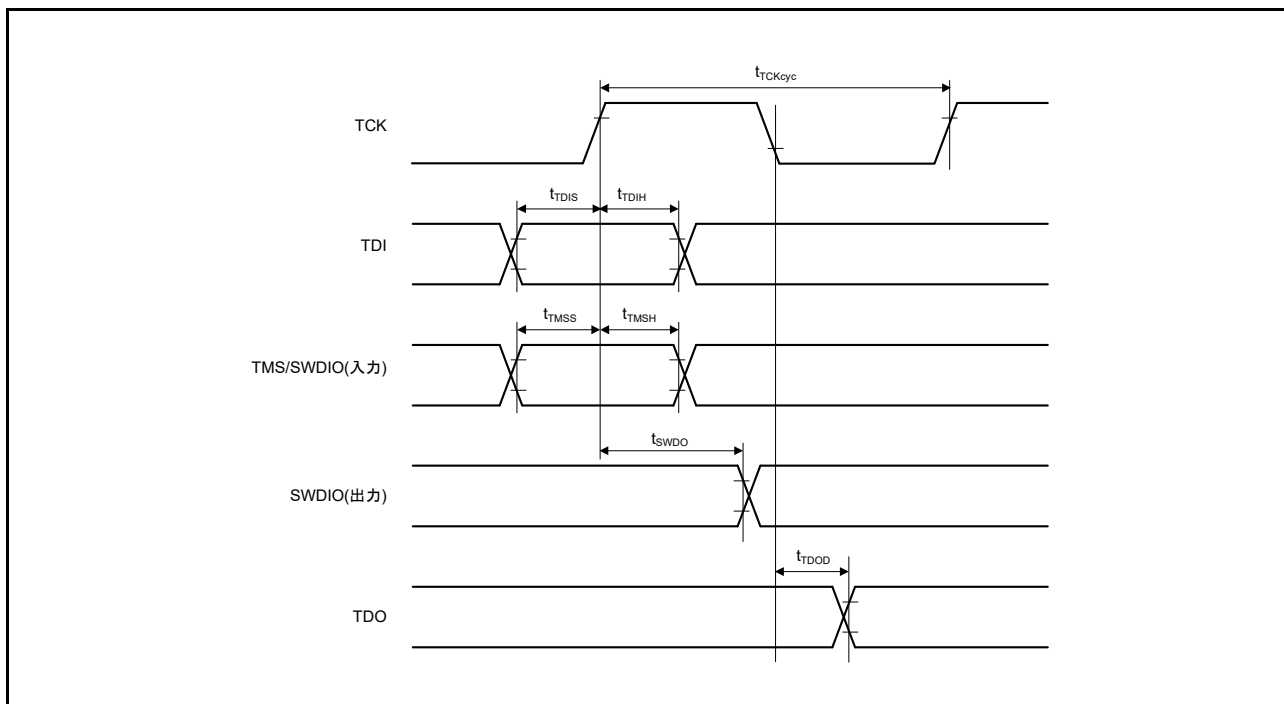


図 33.37 データ転送タイミング

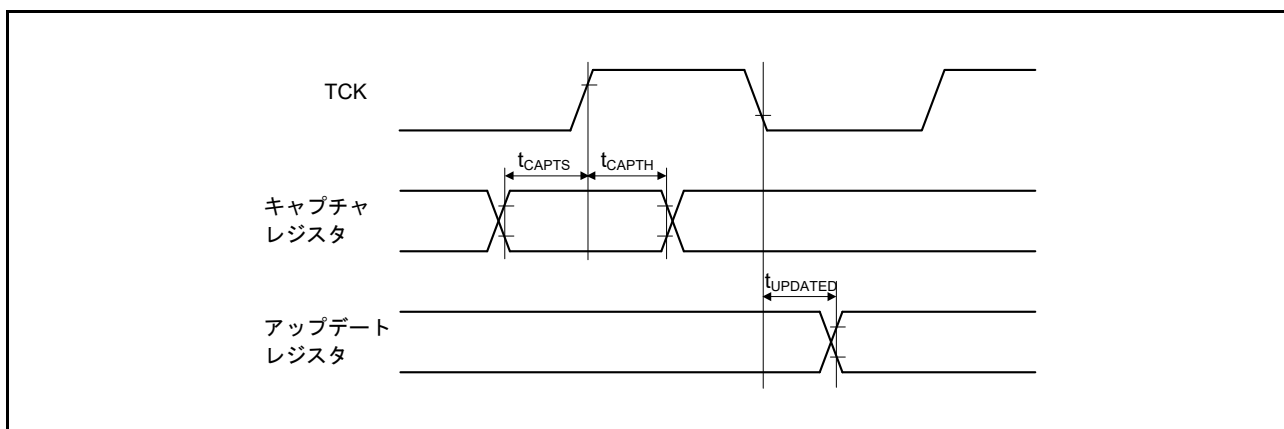


図 33.38 バウンダリスキャン入出力タイミング

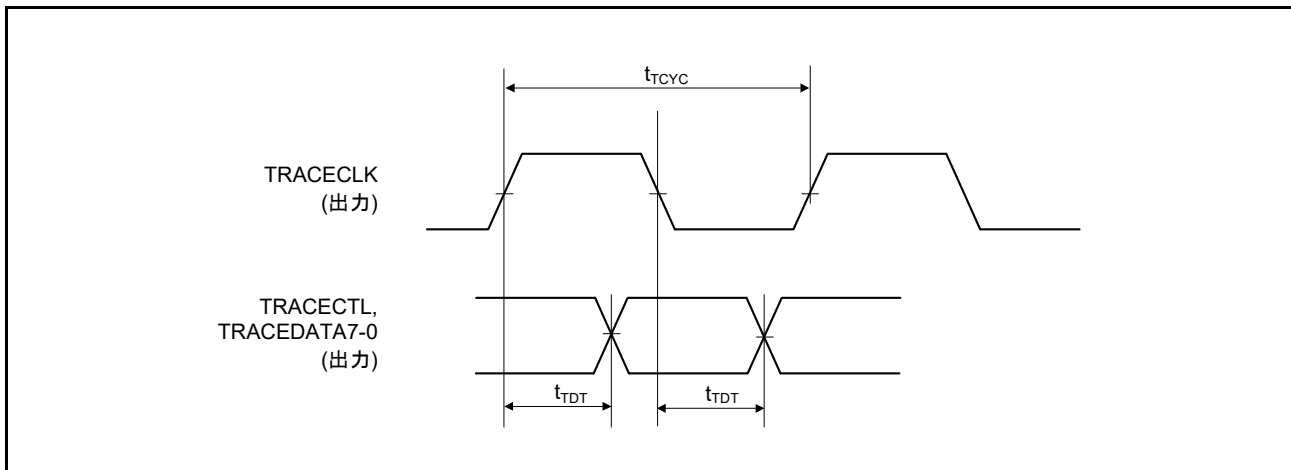
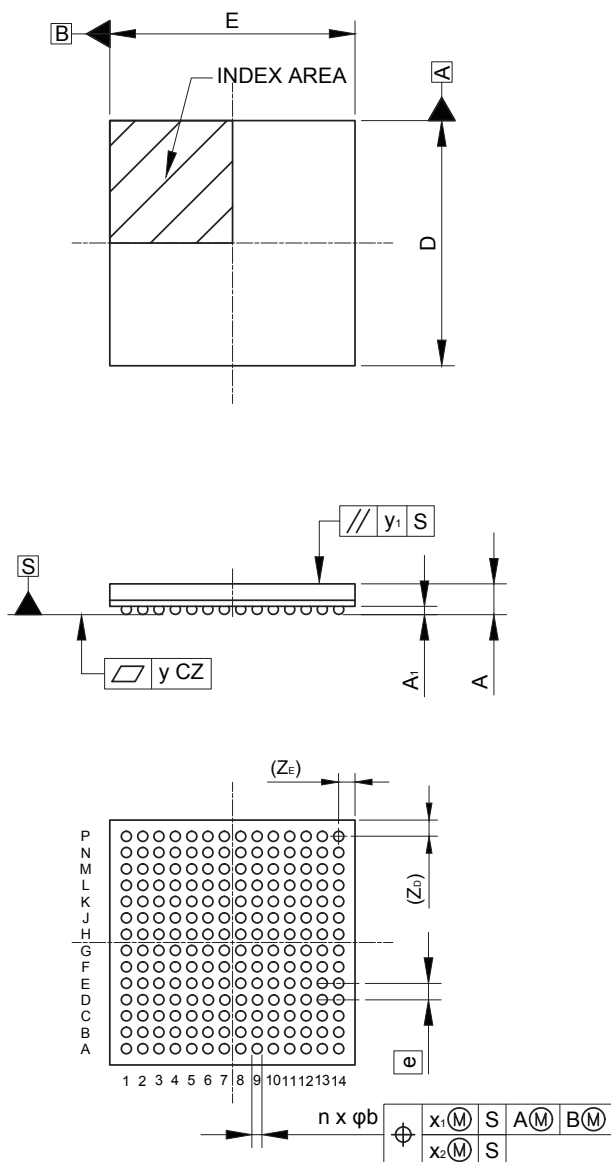


図 33.39 トレースインタフェースタイミング

付録1.外形寸法図

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LFBGA196-12x12-0.80	PLBG0196GA-B	0.42



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	11.92	12.00	12.08
E	11.92	12.00	12.08
A	—	—	1.60
A ₁	0.35	0.40	0.45
Ⓞ	—	0.80	—
b	0.45	0.50	0.55
x ₁	—	—	0.15
x ₂	—	—	0.08
y	—	—	0.10
y ₁	—	—	0.20
n	—	196	—
Z _D	—	0.80	—
Z _E	—	0.80	—

図 A. 196 ピン FBGA (PLBG0196GA-B)

改訂記録	EC-1 ユーザーズマニュアル ハードウェア編
------	-------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.50	2016.07.22	—	初版発行
1.00	2016.09.16	1. 概要	
		40	表 1.1 仕様概要 (2 / 3) 通信機能 CANモジュール (RSCAN) メッセージバッファ チャンネル数を変更、記述を削除
		3. 動作モード	
		67	3.4.4.1 SPI ブートモードにおける動作設定 対応コマンドを追加
		67	3.4.4.1 SPI ブートモードにおける動作設定 アドレス出力後の記述を追加
		12. 割り込みコントローラ (ICUA)	
		185	図 12.1 割り込みコントローラのブロック図 一部記述を削除
		245	12.4.2.15 割り込みサービスカレントレジスタ n (ISCn) (n = 0 ~ 9) ISCi ビット (IRQ 割り込み要求サービスフラグ) (i = 1 ~ 63) レジスタを修正
		246	12.4.2.15 割り込みサービスカレントレジスタ n (ISCn) (n = 0 ~ 9) ISCi ビット (IRQ 割り込み要求サービスフラグ) (i = 64 ~ 127) レジスタを修正
		247	12.4.2.15 割り込みサービスカレントレジスタ n (ISCn) (n = 0 ~ 9) ISCi ビット (IRQ 割り込み要求サービスフラグ) (i = 128 ~ 191) レジスタを修正
		248	12.4.2.15 割り込みサービスカレントレジスタ n (ISCn) (n = 0 ~ 9) ISCi ビット (IRQ 割り込み要求サービスフラグ) (i = 192 ~ 255) レジスタを修正
		249	12.4.2.15 割り込みサービスカレントレジスタ n (ISCn) (n = 0 ~ 9) ISCi ビット (IRQ 割り込み要求サービスフラグ) (i = 256 ~ 300) レジスタを修正
		250	12.4.2.16 割り込みアドレス格納レジスタ 0 (VADn) (n = 1 ~ 255) 割り込みアドレス格納レジスタ 1 (VADn) (n = 256 ~ 300) シンボルを修正、VADi ビット (ベクタアドレス格納ビット) (i = 0 ~ 31) を修正
		14. DMA コントローラ (DMACa)	
		313	<レジスタ・モード・フローの説明> 1. チャンネル設定 DACK / TEND 信号の出力モードを削除
		324	・ディスクリプタに関する注意事項 DREQn 端子入力を削除
		340	図 14.18 バスエラー応答による停止タイミング DREQ[0], DACK[0] の波形を削除
		22. EtherCATスレーブ・コントローラ	
		512	22.3.2.1 MIIM レジスタ (GMAC_MIIM) b26 機能の記述を変更
		27. CAN インタフェース (RSCAN)	
		936	27.1.1 機能概要 バッファの仕様を変更
		28. シリアルペリフェラルインタフェース (RSPIa)	
		1096	28.2.5 RSPI データレジスタ (SPDR) アドレス RSPI0.SPDR A006 8004h、RSPI1.SPDR A006 8404h 修正
		29. SPI マルチ I/O バスコントローラ (SPIBSC)	
		1173	29.2.1 共通コントロールレジスタ (CMNCR) ビット b9-b8, b13-b12, b15-b14, b17-b16, b19-b18, b21-b20, b23-b22 機能を変更
		32. エラーコントロールモジュール (ECM)	
		1264	32.2.23 ECMPCMD1 - ECM 保護コマンドレジスタ シンボルを変更
1.10	2017.05.22	3. 動作モード	
		62	3.1 概要 本文を変更
		72	3.4.7.2 SPI ブートモード使用時のシリアルフラッシュについて 追加
		5. I/O レジスタ	
		97	表 5.1 I/O レジスタアドレス一覧 (22/56) A006 005Ch / DCP コンフィグレーションレジスタ (DCPCFG) を削除
		7. クロック発生回路	
		139	表 7.2 クロック発生回路の仕様 (内部クロック) Ethernet クロック E(ETCLKE) のクロックソースを変更
		9. 消費電力低減機能	
		162	9.2.1 モジュールストップコントロールレジスタ A(MSTPCRA) 説明を追加
		163	9.2.2 モジュールストップコントロールレジスタ B(MSTPCRB) 説明を追加
165	9.2.3 モジュールストップコントロールレジスタ C(MSTPCRC) 説明を追加		
166	9.2.4 モジュールストップコントロールレジスタ E(MSTPCRE) 説明を追加		

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2017.05.22	166	9.2.5 モジュールストップコントロールレジスタ F(MSTPCRf) 説明を追加
		167, 168	9.3.1 モジュールストップ機能 本文を変更、説明(手順、記述例、表9.3)を追加
		10. デバッグインタフェース	
		181	図10.7 nTRST出力をHighドライブできるエミュレータの接続回路例 エミュレータ未接続時、接続時のタイミングチャートを変更
		12. 割り込みコントローラ (ICUA)	
		263	表12.3 Cortex-R4F / DMACAa 割り込みベクタテーブル 注4. を追加
		266	図12.7 レジスタ書き換えフロー 処理を変更
		13. 内部バス	
		276	表13.1 内部バスの仕様 外部 Serial Flashバスの内容を変更(PCLKD→ICLK)
		276	図13.1 バスの構成図 Serial Flash (PCLKD)→Serial Flashに変更
		14. DMAコントローラ(DMACAa)	
		353	14.6 使用上の注意 注意事項を追加
		16. I/Oポート	
		383	表16.3 未使用端子の処理内容 TRST#端子の処理内容を変更
		22. EtherCATスレーブ・コントローラ	
		591	22.4.3 初期設定 追加
		24. USB2.0HS ファンクションモジュール(USBf)	
		791	表24.23 PIPE設定項目一覧表 DCPCFGレジスタを削除
		793	24.5.3 パイプコントロールレジスタの切り替え手順 DCPCFGレジスタを削除
		25. FIFO内蔵シリアルコミュニケーションインタフェース (SCIFA)	
		全体	シリアル拡張モードレジスタのレジスタシンボルの誤記を修正(SMER→SEMR)
		840	図25.5 送信時の動作例(8ビットデータ/パリティあり/1ストップビット/LSBファーストの例) ICUのIRn→ICUのRAISn
		843	図25.9 SCIFAの受信時の動作例(8ビットデータ/パリティあり/1ストップビット/LSBファーストの例) ICUのIRn→ICUのRAISn
		847	図25.14 SCIFAの送信時の動作例(LSBファースト時) ICUのIRn→ICUのRAISn
		849	図25.16 SCIFAの受信時の動作例(LSBファースト時) ICUのIRn→ICUのRAISn
		26. I ² Cバスインタフェース(RIICa)	
		—	26.12.1 TXI割り込みおよびRXI割り込みバッファ動作 削除
		—	26.14.2 通信の開始に関する注意事項 削除
		29. SPI マルチI/O バスコントローラ(SPIBSC)	
		1172	表29.1 SPIBSCの仕様 ビットレートの内容を変更(PCLKA→ICLK)
		1173	図29.1 SPIBSCのブロック図 PCLKA→ICLKに変更
		1178	29.2.3, (1) ビットレート PCLKA→ICLKに変更
		1179	表29.3 SPBR[7:0]、BRDV[1:0]ビットの設定例とビットレート ビットレート:PCLKA→ICLKに変更、SPBR[7:0]、BRDV[1:0]ビットの設定値:0,1、0,2、0,3の項目を追加
1197	図29.4 外部アドレス空間リードモードのデータアライメント 変更		
1197	図29.5 SPI 動作モードのデータアライメント 変更		
32. エラーコントロールモジュール (ECM)			
1264, 1265	ビット機能表: ECMCLSSE102~ECMCLSSE108ビットの機能説明を変更(ECMmESSTR1レジスタのビットの誤記を修正)		
33. 電気的特性			
1308	図33.21 SPIBSC 送受信タイミング (CPHAT = 0、CPHAR = 1) 変更		
1.20	2018.04.03	全体	Cortex-R4F → Cortex-R4に変更
		1. 概要	
		39	1.1 仕様概要 ARM社Cortex-R-R4Fプロセッサ → ARM社CortexR -R4 Processor with FPUに変更
45	表1.4 端子機能一覧(1/3) CTS0#~CTS2#端子: 入出力と機能説明を変更、RTS0#~RTS2#端子: 機能説明を変更		

Rev.	発行日	改訂内容	
		ページ	ポイント
1.20	2018.04.03	3. 動作モード	
		66	図3.3 シリアルフラッシュメモリとの接続図 シリアルフラッシュメモリの端子を修正 : SI/SIO0 → SO/SIO1、SI/SIO1 → SI/SIO0
		5. I/O レジスタ	
		130	表5.1 I/Oレジスタアドレス一覧(55/56) PHYポートステータスnレジスタ(PHY_STATUSn)を削除
		6. リセット	
		132	表6.2 リセット種別ごとの初期化対象 RSTOUT#端子出力、ERROROUT#端子出力のリセット要因を変更
		8. クロックモニタ回路(CLMA)	
		155	8.2.1 CLMA制御レジスタ0(CLMACTL0) ビット機能表: ビットの並び順を入れ替え
		156	8.2.2 CLMAコンペアレジスタL(CLMAcMPL) ビット機能表: ビットの並び順を入れ替え
		156	8.2.3 CLMAコンペアレジスタH(CLMAcMPH) ビット機能表: ビットの並び順を入れ替え
		157	8.2.5 CLMAプロテクションステータスレジスタ(CLMAcPS) ビット機能表: ビットの並び順を入れ替え
		10. デバッグインタフェース	
		181	図10.6 nTRST出力をHighドライブできないエミュレータの接続回路例 ResetIC → 外付けリセットICに変更
		182	図10.7 nTRST出力をHighドライブできるエミュレータの接続回路例 ResetIC → 外付けリセットICに変更
		183	表10.8 使用可能なトレース機能 モジュールを変更
		12. 割り込みコントローラ(ICUA)	
		187	表12.1 割り込みコントローラの仕様 注2を変更: CR4F → CR4
		203	12.3.3 外部端子割り込み 本文を変更
		258	表12.3 Cortex-R4/DMACa割り込みベクタテーブル(1/8) ベクタ番号1~3の要求元: System(CR4F) → System(CR4)
		277	12.4.5.3 レベル検出選択時の注意 本文を変更
		277	12.4.5.5 ベクタ設定について 追加
		278	12.5.1 NMI 端子割り込みを立ち下がりエッジで使用する場合 12.4.5.5 → 12.5.1に移動
		278, 279	12.5.2 外部端子割り込みを立ち下がりエッジ、または両エッジで使用する場合 追加
		14. DMAコントローラ(DMACa)	
		315	14.2.25 DMAステータスSUSレジスタ(DST_SUS_X (X = A, B)) アドレス: 誤記を修正
		15. イベントリンクコントローラ(ELC)	
		360	表15.3 ELSRn.ELS[7:0]ビットに設定するイベント信号名と信号番号の対応 ELS[7:0]ビットの値(23h, 24h)のELSR設定イベント信号を変更
		16. I/Oポート	
		386	表16.3 未使用端子の処理内容 USB_RREF端子、注1を追加
		18. コンペアマッチタイマ(CMT)	
		424	18.2.6 コンペアマッチタイマコンスタントレジスタ(CMCOR) コンペアマッチ周期の説明と注1を追加
		19. コンペアマッチタイマW(CMTW)	
		442	19.2.5 コンペアマッチコンスタントレジスタ(CMWCOR) コンペアマッチ周期の説明と注1を追加
		22. EtherCATスレーブ・コントローラ	
		531	22.3.7.1 ALコントロール・レジスタ(AL_CONTROL) b5: —(予約ビット) → DEVICEID(デバイスID要求ビット)に変更
		532	22.3.7.2 ALステータス・レジスタ(AL_STATUS) b5: —(予約ビット) → DEVICEID(デバイスIDロード状態表示ビット)に変更
		537	22.3.8.3 PDIコンフィギュレーション・レジスタ(PDI_CONFIG) ONCHIPBUSビットの機能説明を変更: 100 → 010
		—	22.3.13.7 PHYポート・ステータス・レジスタn(PHY_STATUSn) 削除
		596, 597	22.4.4 リセット回路の構成 追加
		27. CANインタフェース(RSCAN)	
		965	27.2.8 グローバルエラーフラグレジスタ(RSCAN0GERFL) THLESフラグの説明を変更
		973	27.2.15 受信ルールポイント0レジスタ(RSCAN0GAFLP0) GAFLRMDP[6:0]ビットの説明を変更
		977	27.2.18 受信バッファ新データレジスタ0(RSCAN0RMND0) ビット機能表: ビットの並び順を入れ替え
		982	27.2.23 受信FIFOバッファコンフィギュレーション/制御レジスタ(RSCAN0RFCx) ビット機能表(RFDC[2:0]ビット): 111bを設定禁止に変更

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.20	2018.04.03	991	27.2.30 送受信FIFOバッファコンフィグレーション/制御レジスタ (RSCAN0CFCK) ビット機能表 (CFDC[2:0]ビット) : 111bを設定禁止に変更		
		994	27.2.30 送受信FIFOバッファコンフィグレーション/制御レジスタ (RSCAN0CFCK) CFTML[3:0]ビットの説明を変更		
		1015	表27.5 TMTRSTSpビット配置 送信バッファ番号の誤記を修正		
		1016	表27.6 TMTARSTSpビット配置 送信バッファ番号の誤記を修正		
		1017	表27.7 TMTCTSTSpビット配置 送信バッファ番号の誤記を修正		
		1018	表27.8 TMTASTSpビット配置 送信バッファ番号の誤記を修正		
		1019	表27.9 TMIEpビットの配置 送信バッファ番号の誤記を修正		
		1025	表27.10 チャンネル1(CAN1)の送信キューに割り当てられる送信バッファ p 変更		
		1027	27.2.56 送信キューポイント制御レジスタ (RSCAN0TXQPCTR1) ビット機能表 : ビット表記を修正		
		1044	27.4.1.1 グローバルストップモード 本文を変更		
		1044	27.4.1.2 グローバルリセットモード 本文を変更		
		1045	27.4.1.3 グローバルテストモード 本文を変更		
		1051	27.5 受信機能 受信バッファによる受信の説明を変更 : バッファの範囲を修正 : 0~31→16~31		
		1055	27.6 送信機能 送受信FIFO バッファ送信による送信の説明を変更 : 最大128メッセージ→最大64メッセージ		
		1055	図27.9 送信キューの割り付けと送受信FIFOバッファのリンク 誤記を修正 : バッファ送信→送信バッファ		
		1059	27.6.3.1 インターバル送信機能 4.の説明を変更		
		1071	図27.19 バッファの構成 受信バッファ、送受信FIFOバッファ、送信バッファの数を変更		
		1072	図27.20 各種バッファの設定手順 受信バッファの設定処理の説明を変更 : 受信バッファ数を変更		
		1079	図27.26 送信バッファの送信タイミング図 (正常に送信完了時) a、bの数を変更 : 0~31 → 16~32		
		1080	図27.27 送信バッファの送信タイミング図 (送信アボート完了時) a、bの数を変更 : 0~31 → 16~31		
		1083	図27.29 送受信FIFOバッファの送信タイミング図 (正常に送信完了時) a、bの数を変更 : 0~5 → 3~5		
		1084	図27.30 送受信FIFOバッファの送信タイミング図 (送信アボート完了時) a、bの数を変更 : 0~5 → 3~5		
		1084	図27.30 送受信FIFOバッファの送信タイミング図 (送信アボート完了時) 1.の動作説明 : aの数を変更 : 0~5 → 3~5		
		1088	図27.34 プロテクト解除手順 2進数の表記を変更 : 10B → 10b		
		28. シリアルペリフェラルインタフェース (RSPIa)			
		1116	28.2.14 RSPIコマンドレジスタ0~7 (SPCMD0~SPCMD7) ビット機能表 : SSLy[2:0]ビットの010, 011の機能説明を変更		
		1121	表28.7 SSLネゲート期間のMOSI信号値の決定方法 備考を追加		
		29. SPI マルチI/O バスコントローラ (SPIBSC)			
		1196	29.2.14 SPIモードリードデータレジスタ0 (SMRDR0) 説明を追加		
		1197	29.2.15 SPIモードライトデータレジスタ0 (SMWDR0) 説明を追加		
		33. 電気的特性			
		1309	表33.18 RSPIaタイミング 注2.を変更、注3を追加		
		1.30	2019.04.02	全体	
—	ARM社→Arm社に修正				
1. 概要					
39	表1.1 仕様概要 (1/3) Cortex-R4 : アーキテクチャ名を変更、DMACAa : 起動要因を変更				
40	表1.1 仕様概要 (2/3) CMT : イベントリンク機能の説明を変更、RIICa : イベントリンク機能の説明を削除				
2. CPU					
59	2.1 概要 参照するドキュメントを追加				
59	表2.1 CPUの仕様 命令セット : アーキテクチャ名を変更				
3. 動作モード					
62	3.2 動作モードの種類 本文を修正				
62	表3.1 動作モードの種類 タイトルを修正				
63	3.4.1 ブート機能 本文、(3)の説明を変更				
63	図3.1 ブート処理の動作概要 用語を修正、③の説明を変更				

Rev.	発行日	改訂内容	
		ページ	ポイント
1.30	2019.04.02	65	表3.3 SPIブートモード時のローダ用パラメータ情報 注3を追加
		66	3.4.3 ローダプログラム SPIブートモード時の外部メモリ内の格納アドレスの説明を追加
		67	3.4.4.1 SPIブートモードにおける動作設定 ダミーサイクルの説明を修正
		67	表3.4 SPIブートモード終了時の各周辺モジュール/レジスタの設定値 MSTPCRC, PORT6.PMR, MPC.PmnPFSレジスタのブート処理終了時の設定値を修正
		5. I/O レジスタ	
		95	表5.1 I/Oレジスタアドレス一覧 (20 / 56) HcPeriodCurEDレジスタのレジスタ名を修正、HcLSThresholdレジスタを削除
		97	表5.1 I/Oレジスタアドレス一覧 (22 / 56) DVSTCTR0, TESTMODE, SOFCFG, UFRMNUMレジスタのレジスタ名を修正
		98	表5.1 I/Oレジスタアドレス一覧 (23 / 56) PIPE1TRE~PIPE5TRE, LPSTSレジスタのレジスタ名を修正、LPCTRL, PHYFUNCTRレジスタを削除
		116	表5.1 I/Oレジスタアドレス一覧 (41 / 56) RSCAN0FMSTSレジスタのレジスタ名を修正
		131	表5.1 I/Oレジスタアドレス一覧 (56 / 56) USER_RAM, DATA_RAM, GMAC_MIIMレジスタのレジスタ名を修正
		6. リセット	
		132	6.1 概要 リセットの説明にRES# 端子リセットを追加
		136	6.3.1 RES# 端子リセット PLL0発振安定待ち時間 (tPLOWT) の説明を削除
		136	6.3.2 ECMリセット PLL0発振安定待ち時間 (tPLOWT) の説明を削除
		136	6.3.3 ソフトウェアリセット PLL0発振安定待ち時間 (tPLOWT) の説明を削除
		138	6.4 使用上の注意事項 6.4.1 リセット出力端子 (RSTOUT#) について 追加
		7. クロック発生回路	
		全体	Etherクロック→Ethernetクロックに修正
		139	表7.1 クロック発生回路の仕様 メインクロック発振器：外部クロック入力周波数を削除
		140	表7.2 クロック発生回路の仕様 (内部クロック) PCLKE, TCLKの周波数を修正
		141	図7.1 クロック発生回路のブロック図 Ether→Ethernetに修正
		143	7.2.1 システムクロックコントロールレジスタ ビット機能表：b20 (TCLK) の機能説明を修正
		145	7.2.3 PLL1 コントロールレジスタ2 ビット機能表：注を削除
		146	7.2.4 低速オンチップオシレータコントロールレジスタ 本文を変更
		147	7.2.5 発振停止検出コントロールレジスタ ビット機能表：注1を修正
		150	7.8 内部クロック (8) のCLMAクロックを修正
		150	7.8.7 USBクロックM (USBMCLK) 説明を追加
		151	7.8.10 CLMAクロック (CLMAMCLKA, CLMAMCLKB, CLMALCLK, CLMAPLCLK0, CLMAPLCLK1) タイトル、本文を修正
		151	7.8.12 ECMクロック (ECMCLK) 説明を追加
		151	7.8.14 トレースI/Fクロック (TCLK) 説明を追加
		152	7.9.1 クロック発生回路に関する使用上の注意事項 (2) ~ (4) の説明を修正
		8. クロックモニタ回路 (CLMA)	
		161	8.3.2, (2) しきい値CLMA _n CMPL.CLMA _n CMPL[11:0]とCLMA _n CMPH.CLMA _n CMPH[11:0]の算出方法 例CLMA0の場合：N _{max} を修正、CLMA _n CMPL→CLMA _n CMPHに修正
		9. 消費電力低減機能	
		163	9.2 レジスタの説明 本文を修正
		165	9.2.2 モジュールストップコントロールレジスタB ビット機能表：b19に(注1)を追加、注1を変更 (MSTPCRB18, MSTPCRB19ビットを追加)
		169	9.3.2.2 Cortex-R4のスタンバイモードの解除 リセットによる解除の説明を修正
		170	9.4.5 EtherCAT 関連機能の低消費電力 本文を変更：MSTPCRB18, MSTPCRB19ビットを追加
		10. デバッグインタフェース	
		171	10.1 概要 本文：参照先(表10.4)を追加
		171	表10.1 CoreSightの仕様 トレース機能のトレースポートインタフェースの内容を修正
		175	表10.6 デバッグインタフェースの入出力端子 注1を修正
		179	10.3.3 トレースポートインタフェース 75MHzの説明を削除
		183	表10.8 使用可能なトレース機能 TracePortI/Fのトレース機能の説明を修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.30	2019.04.02	11. レジスタライトプロテクション機能	
		186	11.2.1 プロテクトレジスタ PRCi ビットの添字 (i) を修正
		12. 割り込みコントローラ (ICUA)	
		187	12.1 概要 本文を修正
		187	表 12.1 割り込みコントローラの仕様 注3を追加
		189	12.2.1 IRQ コントロールレジスタi 注を追加
		192	12.2.3 IRQ 端子デジタルノイズフィルタ設定レジスタ FCLKSELi[1:0] ビットの説明を修正
		196	12.2.8 NMI 端子デジタルノイズフィルタ設定レジスタ ビット機能表: b7-b2 (予約ビット) → b31-b2 (予約ビット) に修正
		197	12.2.9 EtherPHY コントロールレジスタi ビット機能表: b7-b4 (予約ビット) → b31-b4 (予約ビット) に修正
		200	12.3.1 割り込み要求先の選択 本文を修正、注を追加
		200	図 12.2 割り込み要求先をDMACAAに選択した場合 タイトルを修正、説明を追加
		201	図 12.3 割り込み要求先をCPU (割り込みコントローラ) に選択した場合 タイトルを修正、説明を追加
		202	12.3.2 デジタルノイズフィルタ サンプリング周期→サンプリングに修正
		203	12.3.3 外部端子割り込み 本文を修正
		205	12.4 Cortex-R4 ベクタ割り込みコントローラ (VIC) 12.4.1 概要 本文を修正
		210	12.4.2.1 IRQ ステータスレジスタn IRQS9 ビット機能表: b6-b0 (IRQ[300:288]) → b12-b0 (IRQ[300:288])、b31-b7 (予約ビット) → b31-b13 (予約ビット) に修正
		215	12.4.2.2 割り込み入力ステータスレジスタn RAIS9 ビット機能表: b6-b0 (RAI[300:288]) → b12-b0 (RAI[300:288])、b31-b7 (予約ビット) → b31-b13 (予約ビット) に修正
		220	12.4.2.3 割り込みイネーブルレジスタn IEN9 ビット機能表: b6-b0 (IEN[300:288]) → b12-b0 (IEN[300:288])、b31-b7 (予約ビット) → b31-b13 (予約ビット) に修正
		225	12.4.2.4 割り込みイネーブルクリアレジスタn IEC9 ビット機能表: b6-b0 (IEC[300:288]) → b12-b0 (IEC[300:288])、b31-b7 (予約ビット) → b31-b13 (予約ビット) に修正
		230	12.4.2.5 割り込み検出タイプ選択レジスタn PLS9 ビット機能表: b6-b0 (PLS[300:288]) → b12-b0 (PLS[300:288])、b31-b7 (予約ビット) → b31-b13 (予約ビット) に修正
		235	12.4.2.6 エッジ検出ビットクリアレジスタn PIC9 ビット機能表: b6-b0 (PIC[300:288]) → b12-b0 (PIC[300:288])、b31-b7 (予約ビット) → b31-b13 (予約ビット) に修正
		237	12.4.2.8 割り込み優先レベルマスクレジスタ1 ビット機能表: b15-b0 (PRLM[15:0]) の“1”機能の説明を修正、PRLMi ビットの説明を修正
		242	12.4.2.13 割り込みアドレスレジスタ ビット配置図: ビットを修正
		247	12.4.2.14 割り込みサービスステータスレジスタn ISS9 ビット機能表: b6-b0 (ISS[300:288]) → b12-b0 (ISS[300:288])、b31-b7 (予約ビット) → b31-b13 (予約ビット) に修正
		253	12.4.2.15 割り込みサービスカレントレジスタn ISC9 ビット機能表: b6-b0 (ISC[300:288]) → b12-b0 (ISC[300:288])、b31-b7 (予約ビット) → b31-b13 (予約ビット) に修正
		254	12.4.2.16 割り込みアドレス格納レジスタ0、割り込みアドレス格納レジスタ1 VADi ビットの説明を変更
		258	表 12.3 Cortex-R4/DMACAA割り込みベクタテーブル (1/8) 要求元: 外部割り込み要求端子→外部に変更
		269	12.4.4.3, (2) IRQ 割り込み (レベル割り込み) 添字を修正: m→n
		277	12.4.5.5 ベクタ設定について オフセットアドレス→アドレスに修正
		278, 279	12.5 使用上の注意事項 12.5.1と12.5.2を入れ替え
		13. 内部バス	
		280	図 13.1 バスの構成図 周辺バス1 (PCLKA)/ESCを追加
		14. DMA コントローラ (DMACAA)	
		282	表 14.1 DMACAAの仕様 転送モード (シングル転送)、DMAモード (レジスタモード/リンクモード)、スキップ機能の内容を修正
		288	14.2.5 カレントデスティネーションアドレスレジスタ アドレス: CRDA_C→CRDA_8に修正
		292, 293	14.2.7 チャネルステータスレジスタn ビット機能表: b10 (DER)、b16 (INTM) の機能説明を修正
		294	14.2.8 DMACAA Unit0 要因選択レジスタi 本文を修正、アドレス: ICU.DMA0SELx→DMA0.DMA0SELxに修正
		294	14.2.9 DMACAA Unit1 要因選択レジスタi 本文を修正、アドレス: ICU.DMA1SELx→DMA1.DMA1SELxに修正
		295	14.2.10 DMACAA ソフトウェア起動レジスタ アドレス: ICU.DMASTG→DMAC.DMASTGに修正
		297	14.2.11 チャネルコントロールレジスタn ビット機能表: b7 (CLRDE) のシンボルを修正、機能説明を変更、b12 (SETREN) の機能説明を変更
		300, 301	14.2.12 チャネルコンフィギュレーションレジスタn ビット機能表: b20 (SAD)、b21 (DAD) の機能説明を変更、注1を追加

Rev.	発行日	改訂内容	
		ページ	ポイント
1.30	2019.04.02	308	14.2.19 デスティネーションスキップレジスタn アドレス：DSKP_15：A006 36E8→DSKP_15：A006 36EChに修正
		311	14.2.21 デスクリプタインターバルレジスタn ビット機能表：b7-b1（予約ビット）→b7-b0（予約ビット）に修正
		323	14.3.1.2 リンク・モード 本文を修正
		326	表 14.11 ディスクリプタ・フォーマット Channel Extensionの項目を削除
		327	表 14.12 「表 14.11 ディスクリプタ・フォーマット」中の起動の説明 Channel Extensionを削除
		327	表 14.13 ディスクリプタ配置例 DSCFM 1hのアドレス+18hの内容を“Extension”→“—”に修正
		327	図 14.9 header 領域 説明を修正
		329	図 14.10 header 領域 DMA transaction→DMA transferに修正
		330	14.3.1.2, (3) ディスクリプタ設定 ディスクリプタに関する注意事項：(DSCFM = 1 または 3、LV = 0) → (DSCFM = 1 または 3、LV = 1) に修正
		334	14.3.3.1 固定優先順位モード 本文を修正
		334	図 14.12 リセット直後の優先順位とDMA チャネル0の転送が行われた後の優先順位 追加
		334	14.3.3.2 ラウンドロビン・モード 本文を修正
		334	図 14.13 リセット直後の優先順位とDMA チャネル2の転送が行われた後の優先順位 追加
		338	図 14.14 ソフトウェア強制排出手間 スウィープライト→強制排出手間（ライト）に修正
		339	14.3.7.1 転送元側の転送データサイズが小さい場合 本文を修正
		342	14.3.10.1 転送中断（バッファ掃き出しなし：SBE = 0） 本文を修正
		345	表 14.21 DMACAaの割り込み要因 ディスクリプタ・インバリッド→ディスクリプタ無効に修正
		347	表 14.23 DMA転送の設定例1 AHB設定の項目を削除
		349	表 14.24 DMA転送の設定例2 AHB設定の項目を削除
		355	図 14.25 Nextレジスタ連続実行の設定例 タイトルを変更
		357	14.6 使用上の注意 SKIP転送→スキップ転送に変更
		15. イベントリンクコントローラ（ELC）	
		全体	カウンタリスタート→カウンタクリアに修正
		358	表 15.1 ELCの仕様 イベントリンク機能：イベント信号の種類を修正、注1を修正
		359	15.2.2 イベントリンク設定レジスタn ビット機能表：機能説明を修正
		363	15.2.6 ポートバッファレジスタn ビット機能表：機能説明を修正
		367	図 15.2 割り込み処理とELCの関係（ESCは除く） タイトルを変更
		368	15.3.2 イベントのリンク 本文を修正
		368	表 15.5 イベント入力時のモジュール別動作一覧 CMT, CMTWモジュール、I/Oポート（出力）、I/Oポート（入力）のイベント入力時の動作を修正
		369	15.3.3, (2) カウンタクリア動作 修正、(4) インプットキャプチャ動作 削除、(5) カウントストップ動作 削除
		369	15.3.4, (1) シングルポートとポートグループ レジスタシンボルを修正：PEL0～PEL3→PELn、PGCn→PGRn
		370	15.3.4, (2) シングル入力ポートでのイベント発生動作 タイトル、説明を修正
		370	15.3.4, (3) シングル出力ポートのイベント入力動作 説明を修正
		370	図 15.3 シングルポートのイベントリンク動作（ポートBの場合） 図を修正
		371	15.3.4, (4) 入力ポートグループのイベント発生動作 タイトル、説明を修正
		371	15.3.4, (5) 入力ポートグループのイベント入力動作 追加
		371	図 15.4 入力ポートグループのイベント入力時の動作（ポートBの場合） タイトル、図を修正
		372	15.3.4, (6) 出力ポートグループのイベント入力動作 タイトル、説明を修正
		372	図 15.5 出力ポートグループのイベントリンク動作（ポートBの場合） 図を修正
		373	図 15.6 出力ポートグループのビットローテート出力の動作（ポートBの場合） タイトル、図を修正
		—	15.3.4, (6) ポートバッファレジスタの動作 削除
		373	15.3.4, (7) PODR レジスタ、PDBFn レジスタへのCPUでの書き込み制限 タイトル、説明を修正
		374	15.3.5 イベントリンクの動作設定手順例 2.の説明：見出しを追加、4の説明：レジスタシンボルを修正、添字mを追加
		375	15.4.1 ELSR18、ELSR19 レジスタの設定について 本文を修正
		16. I/O ポート	
		378	図 16.1 入出力ポートの構成（1） 注1を変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.30	2019.04.02	379	図 16.2 入出力ポートの構成 (2) 注1を変更
		380	図 16.3 入出力ポートの構成 (3) ISEL ビットを削除、注1を削除
		17. マルチファンクションピンコントローラ (MPC)	
		393	17.2.1 書き込みプロテクトレジスタ 本文: ビットの誤記を修正、PFSWE ビットの説明: 添字を修正
		397	17.2.5 P3n 端子機能制御レジスタ ビット配置図: 注1を修正
		397	表 17.5 196 ピンFBGA 端子入出力機能レジスタ設定 設定値 000000b: (リセット後の値) を追記、注1, 注2を追加
		405	表 17.13 196 ピンFBGA 端子入出力機能レジスタ設定 端子PB2 (設定値 010110b) の端子を削除
		410	17.2.18 PGn 端子機能制御レジスタ 本文を修正
		18. コンペアマッチタイマ (CMT)	
		全体	レジスタシンボルを修正: CMCNT0→CMT0.CMCNT、CMCNT1→CMT1.CMCNT、CMCNT2→CMT2.CMCNT、CMCNT3→CMT3.CMCNT、CMCNT4→CMT4.CMCNT、CMCNT5→CMT5.CMCNT、CMCOR0→CMT0.CMCOR、CMCOR1→CMT1.CMCOR、CMCOR2→CMT2.CMCOR、CMCOR3→CMT3.CMCOR、CMCOR4→CMT4.CMCOR、CMCOR5→CMT5.CMCOR
		419	表 18.1 CMT の仕様 イベントリンク機能: (チャンネル1のみ) → (ユニット0のチャンネル1のみ) に修正
		423	18.2.4 コンペアマッチタイマコントロールレジスタ b1-b0 (CKS[1:0]) の機能説明を修正: CMCNTn カウンタ→CMTn.CMCNT カウンタ、CMSTR.STRn ビット→CMSTRm.STRn ビット、添字を修正 (m, n)
		423	18.2.5 コンペアマッチタイマカウンタ レジスタシンボルを修正: CMSTRn.STRm→CMSTRm.STRn、添字 (m, n) を修正
		425	18.3.1 周期カウント動作 レジスタシンボルを修正: CMSTRn.STRm→CMSTRm.STRn、添字 (m, n) を追加
		427	18.5.1 ELC へのイベント発行 レジスタシンボルを修正: CMCSRn.CMIE ビット→CMT1.CMCR.CMIE ビット
		428	18.5.2, (1) カウントスタート動作 レジスタ名を修正
		428	図 18.6 イベント受け付けによるカウントスタート動作 機能選択n→動作選択、イベント入力信号n→イベント入力信号、CMSTR.STRn→CMSTR0.STR1、CMCNTn→CMT1.CMCNTに修正
		429	18.5.2, (2) イベントカウンタ動作 レジスタシンボルを修正: CMCSRn→CMT1.CMCR、CMCNT→CMT1.CMCNT、レジスタ名を修正
		429	図 18.7 イベント受け付けによるイベントカウンタ動作 機能選択n→動作選択、イベント入力信号n→イベント入力信号、CMCNTn→CMT1.CMCNTに修正
		430	18.5.2, (3) カウントクリア動作 説明を修正、レジスタシンボルを修正: CMCNT→CMT1.CMCNT、レジスタ名を修正
		430	図 18.8 イベント受け付けによるカウントクリア動作 機能選択n→動作選択、イベント入力信号n→イベント入力信号、CMCNTn→CMT1.CMCNTに修正
		431	図 18.9 カウントスタート動作でのイベント受け付けとレジスタアクセスの競合 機能選択m→動作選択、イベント入力信号m→イベント入力信号、CMSTRn.STRm→CMSTR0.STR1に修正
		432	図 18.10 イベントカウンタ動作でのイベント受け付けとレジスタアクセスの競合 機能選択→動作選択、CMCNT→CMT1.CMCNTに修正
		433	図 18.11 カウントクリア動作でのイベント受け付けとレジスタアクセスの競合 機能選択→動作選択、CMCNT→CMT1.CMCNTに修正
		435	表 18.3 イベントリンク動作/レジスタアクセス/カウンタ状態の競合動作まとめ CMSTRn.STRm→CMSTR0.STR1に修正
		19. コンペアマッチタイマW (CMTW)	
		全体	カウンタリスタート→カウントクリアに修正
		436	表 19.1 CMTW の仕様 イベントリンク: 誤記を修正
		437	図 19.1 CMTW (ユニット0) のブロック図 タイトル、レジスタシンボルの誤記、割り込み要求信号を修正
		439, 440	19.2.2 タイマコントロールレジスタ ビット機能表: b6 (OC0IE), b7 (OC1IE) の機能説明を修正 (アウトプットキャプチャ→アウトプットコンペア)、CMWIE ビットの説明を修正: " (CMWF = 1) " を削除
		454	図 19.9 カウントタイミング (PCLKD/8 のとき) CMWCNT: "N-1" を追記
		456	19.3.9 デジタルノイズフィルタ機能 サンプリング周期→サンプリングに修正
		457	19.4.1 CMTW の割り込み要因とDMAC 割り込み要因名に添字 (n) を追記
		461	19.5.2 ELC からのイベント受け付けによるアクション 本文の誤記を修正: 4 通りの動作→3 通りの動作
		462	19.5.2, (3) カウントクリア動作 説明を修正
		463	19.6.1 モジュールストップ機能 本文を修正
		465	図 19.23 CMWOCR レジスタの書き込みとカウントアップの競合 CMWCOR→CMWOCR、CMWCR→CMWOCRに修正
		—	19.6.8, (4) インプットキャプチャ動作 削除

Rev.	発行日	改訂内容	
		ページ	ポイント
1.30	2019.04.02	—	図 19.29 インプットキャプチャ動作でのイベント受け付けによるカウントクリアとレジスタアクセスの競合 削除
		469	表 19.4 イベントリンク動作/レジスタアクセス/カウンタ状態の競合動作まとめ レジスタシンボルを修正、インプットキャプチャの項目を削除
		20. ウォッチドッグタイマ (WDTA)	
		470	表 20.1 WDT の仕様 イベントリンク機能：削除
		471	図 20.1 WDT のブロック図 WDTRCR レジスタを追加、イベントリンク出力とイベントリンクコントローラ回路を削除
		477	20.2.3 WDT ステータスレジスタ 本文を修正
		480	図 20.3 レジスタスタートモード動作例 ECM へのエラー通知：Active：L→Active：H に修正
		481	20.3.2 WDTRCR レジスタ、WDTRCR レジスタの書き込み制御 本文を修正
		485	表 20.4 低消費電力モード遷移時の WDT 動作<低消費電力モード遷移時> VDD の項目を削除
		—	20.5 イベントリンク (ELC) 機能によるリンク動作 削除
		21. 独立ウォッチドッグタイマ (IWDTa)	
		486	表 21.1 IWDT の仕様 イベントリンク機能：削除
		487	図 21.1 IWDT のブロック図 IWDRCR レジスタを追加、イベントリンク出力とイベントリンクコントローラ回路を削除
		490	21.2.2 IWDT コントロールレジスタ CKS[3:0] ビットの説明を変更
		493	21.2.3 IWDT ステータスレジスタ 本文を修正
		495	21.3.1 カウント開始条件の動作 レジスタ名を修正
		496	図 21.3 レジスタスタートモード動作例 ECM へのエラー通知：Active：L→Active：H に修正
		497	21.3.2 IWDRCR レジスタ、IWDRCR レジスタの書き込み制御 本文を修正
		501	21.3.6 ダウンカウンタ値の読み出し 本文を修正
		501	図 21.7 IWDT カウンタ値の読み出し処理 (IWDRCR.CKS[3:0] = 0000b、IWDRCR.TOPS[1:0] = 11b) 修正 (差し替え)
		—	図 21.8 IWDT カウンタ値の読み出し処理 (IWDRCR.CKS[3:0] = 0010b、IWDRCR.TOPS[1:0] = 11b) 削除
		502	表 21.4 低消費電力モード遷移時の IWDT 動作<低消費電力モード遷移時> VDD の項目を削除
		—	21.5 使用上の注意事項 削除
		—	27.6 イベントリンク (ELC) 機能によるリンク動作 削除
		22. EtherCAT スレーブ・コントローラ	
		全体	16 進数の表記を変更 (0x0000-0x0FFF→0000h-0FFFh)
		504	表 22.2 EtherCAT スレーブ・コントローラの入出力端子 機能：出力→信号出力端子、入力→信号入力端子、EtherCAT EEPROM I ² C データ→EtherCAT EEPROM I ² C データ信号入出力端子に修正
		515	22.3.1.8 EtherCAT 動作モード設定レジスタ (CATEMMD) ビット配置図：b0 のビットを修正 (I2CSIZE→EEPROMSIZE)
		517	22.3.2.1 MIIM レジスタ ビット機能表：b26 (RWDV) のステータス“1”機能の説明を修正
		524	22.3.5.3 ESC ライト・イネーブル・レジスタ ビット機能表：b0 (ENABLE) の機能説明を修正 (ESC_WR_PROTECT：0x0021→ESC_WR_PROTECT：0031h)
		527	22.3.6.3 ESC DL コントロール・レジスタ ビット機能表：b9-b8 (LP0)、b13-b12 (LP2) の機能説明の誤記を修正
		532	22.3.7.2 AL ステータス・レジスタ ビット機能表：b5 (DEVICEID) の機能説明を変更
		541	22.3.9.4 AL イベント・リクエスト・レジスタ ビット機能表：b2 (DCSYNC0STA) の機能説明を修正 (DC_SYNC_STAT0→DC_SYNC0_STAT)、b3 (DCSYNC1STA) の機能説明を修正 (DC_SYNC_STAT1→DC_SYNC1_STAT)
		549	22.3.12.2 EEPROM PDI アクセス・ステート・レジスタ ビット機能表：b0 のシンボルの誤記を修正 (PDIACCES→PDIACCESS)
		550	22.3.12.3 EEPROM コントロール/ステータス・レジスタ ビット機能表：注1、注2を修正 (ビット表示“b”を追記)
		555	22.3.13.6 MII マネージメント PDI アクセス・ステート・レジスタ ビット機能表：b1 (FORPDI) の“1”、“0”の機能説明を修正
		574	22.3.16.4, (1) アクティベーション・レジスタ ビット機能表：b6 (NEARFUTURE) の“1”、“0”の機能説明の誤記を修正
		594	図 22.2 プロテクトコマンドレジスタ状態遷移図 遷移条件説明の記載場所を移動
		595	22.4.2 モジュールストップ機能の設定 本文を変更：MSTPCRB.MSTPCRB19 ビットを追加

Rev.	発行日	改訂内容	
		ページ	ポイント
1.30	2019.04.02	23. USB2.0HS ホストモジュール (USBh)	
		598	23.1 概要 本文を修正：ポート接続経路選択レジスタ (P1PORTSEL) →ポート接続経路選択入力信号ビット (PHYSET1.P1PORTSEL[1:0] ビット)
		599	23.1, (3) AHB-PCI Bridge 説明を修正
		602	表23.1 レジスタマッピング一覧表 (1/2) A004 001Ch : HcPeriodCurrentED →HcPeriodicCurrentED、A004 0044h : HcLSThreshold →Reservedに修正
		614	23.3.1.6 HcInterruptDisable レジスタ ビット機能表：b0 (SOD) のビット名を修正、b0～b6の“1”機能：“削除”→“無効に”に変更
		—	23.3.1.18 HcLSThreshold レジスタ 削除
		626	23.3.1.20, (1) HcRhStatus_A レジスタ ビット機能表：b31-b18 (予約ビット) →b30-b18 (予約ビット)に変更
		627	23.3.1.20, (2) HcRhStatus_B レジスタ ビット機能表：b31-b18 (予約ビット) →b30-b18 (予約ビット)に変更
		637	23.3.2.5 USBCMD レジスタ ビット機能表：b5, b11のビットシンボルを修正
		639	23.3.2.6 USBSTS レジスタ ビット機能表：b15 (Asynchronous Schedule Status) の機能説明を修正
		649	23.3.3.2 Offset 04h レジスタ ビット配置図：b7のビットシンボルの誤記を修正 (Wait Cycle →Wait Cycle Control)
		651	23.3.3.4 Offset 0Ch レジスタ アドレスを修正
		665	23.3.4.8 Offset 34h レジスタ ビット機能表：b31-b10 (予約ビット) →b31-b8 (予約ビット)に変更
		681	23.3.6.4 PCI_INT_ENABLE レジスタ アドレスを修正、ビット機能表：b0, b1, b2のシンボル、ビット名の誤記を修正
		689	23.4.1 レジスタアクセス 本文：参照先を修正
		707	図23.13 初期設定シーケンス 誤記を修正：PRCP →PRCR
		24. USB2.0HS ファンクションモジュール (USBf)	
		710	24.1 概要 本文を修正：ポート接続経路選択レジスタ (P1PORTSEL) →ポート接続経路選択入力信号ビット (PHYSET1.P1PORTSEL[1:0] ビット)
		718, 719	24.2.2.1 デバイスステートコントロールレジスタ0 ビット機能表：b8 (WKUP) のH/Wを修正、リモートウェイクアップ (レジューム信号出力) 禁止/許可ビットの説明を修正：2進数表記 (b) を追記
		727	24.2.5.3 D0FIFO ポート選択レジスタ、D1FIFO ポート選択レジスタ アドレス：レジスタの誤記を修正
		739	24.2.8.1 割り込みステータスレジスタ0 レジューム割り込みステータスビットの説明を修正：2進数表記 (b) を追記
		751	24.2.11.1 USB リクエストタイプレジスタ USBリクエストタイプビットの説明：ビット名、ビットシンボル、本文の誤記を修正
		758	24.2.13.1 パイプウィンドウ選択レジスタ ビット機能表の注1：2進数表記“b”を追記、パイプウィンドウ選択ビットの説明：設定値の誤記を修正
		759, 763	24.2.13.2 パイプコンフィグレーションレジスタ ビット配置図：b15, b14のビットシンボルの誤記を修正、転送タイプビットの説明を修正
		766	24.2.13.4 パイプマックスパケットサイズレジスタ マックスパケットサイズビットの説明を修正
		772	24.2.14.1 PIPE1 コントロールレジスタ、PIPE2 コントロールレジスタ、PIPE3 コントロールレジスタ、PIPE4 コントロールレジスタ、PIPE5 コントロールレジスタ 応答PID ビットの説明を修正
		778	24.2.14.2 PIPE6 コントロールレジスタ、PIPE7 コントロールレジスタ、PIPE8 コントロールレジスタ、PIPE9 コントロールレジスタ 自動バッファクリアモードビットの説明を修正
		781	24.2.15.2 PIPE1 トランザクションカウンタレジスタ PIPE2 トランザクションカウンタレジスタ PIPE3 トランザクションカウンタレジスタ PIPE4 トランザクションカウンタレジスタ PIPE5 トランザクションカウンタレジスタ トランザクションカウンタビットの説明：ビットシンボルの誤記を修正
		783	表24.18 SUSPM = 0時に、ソフトウェアによる書き込みが可能なレジスタ一覧 A006 0140h (BCCTRL) を削除
		784	24.2.17.1 D0FIFO 連続転送ポートレジスタ n D1FIFO 連続転送ポートレジスタ n FIFO ポート制御の説明：2進数表記“b”を追記
		788	表24.19 リセット種別一覧表 H/Wリセットを削除
		794	24.4.3 コントロール転送ステージ遷移割り込み 本文を修正：2進数表記 (b) を追記
		798	24.5.3 パイプコントロールレジスタの切り替え手順 本文を修正：DEVADDx レジスタおよびCSCLR ビットの説明を削除
		798	図24.9 USB 通信許可 (“PID = BUF”) 状態からのPIPE 情報変更手順 処理“当該PIPEのCSSTS ビットが“0”になるまでWait”を削除
		806	24.8.4 コントロール転送自動応答機能 (1) の誤記を修正
		807	表24.29 受信トークンに対する応答一覧表 表脚注番号の修正
		813	24.12 SOF 補間機能 本文を修正：レジスタシンボルの誤記を修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.30	2019.04.02	25. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIFA)	
		全体	割り込み名称を修正：TEI→TEIF、TXI→TXIF、RXI→RXIF、DRI→DRIF、ERI→ERIF、BRI→BRIF
		814	表25.1 SCIFAの仕様 割り込み要因、調歩同期モード（受信エラー検出）の内容を修正
		816	25.2.1 レシーブシフトレジスタ 本文を修正
		816	25.2.2 レシーブFIFO データレジスタ 説明を追加
		818	25.2.5 シリアルモードレジスタ CMビットの説明を修正
		822, 823	25.2.7 シリアルステータスレジスタ DRビットの説明：注2→注に修正、TEND ビットの説明を修正
		825	表25.3 SMRレジスタの設定 見出し行を修正：SMRレジスタ→SMR.CKS[1:0]ビット、CKS1→b1、CKS0→b0
		829	25.2.9 モジュレーションデューティレジスタ MDDRレジスタの設定値を修正：128 ≤ MDDR ≤ 256→128 ≤ MDDR ≤ 255
		830	表25.10 ビットレートに対するBRR、MDDRレジスタの設定例（調歩同期モード） 誤差が最小になる組み合わせに修正
		832	25.2.10 FIFO コントロールレジスタ TTRG[1:0], RTRG[1:0], RSTRG[2:0] ビットの説明を修正
		833	25.2.11 FIFO データ数レジスタ 本文を修正
		834, 835	25.2.12 シリアルポートレジスタ MPC（マルチポートコントローラ）→MPC（マルチファンクションピンコントローラ）に修正、SCKDT, SCKIO, CTS2DT, RTS2DTビットの説明を修正
		840	25.3.1 概要 本文を修正
		841	表25.15 SMR, SCR, SPTRレジスタの設定値とSCIFAのクロックソースの選択 CKE1 CKE0→CKE[1:0]に変更
		845	図25.3 SCIFA 初期化（調歩同期モード）のフローチャートの例 処理を修正
		848	図25.7 シリアル受信のフローチャートの例（1） 受信FIFO しきい値→受信データトリガ数、手順→ステップに変更
		850	図25.10 モデムコントロールを使用した動作例（RTS#） RTSn端子→RTS#端子に修正
		852	図25.12 SCIFA 初期化フローチャートの例 処理を修正
		855	図25.15 シリアル受信のフローチャートの例 受信FIFO しきい値→受信データトリガ数、手順→ステップに変更
		857	図25.17 シリアルデータ送受信フローチャートの例 注の説明を修正、受信FIFO しきい値→受信データトリガ数、手順→ステップに変更
		858	25.4 ビットモジュレーション機能 ビットシンボルを修正
		859	25.5 割り込み要因 本文を修正
		864	25.8.6 調歩同期モードの受信データサンプリングタイミングと受信マージン 式（1）：Dの説明を修正（“D:0～1.0”→“D=0～1.0”）
		865	25.8.11 SCIFA 初期化時の注意事項 追加
		26. I ² C バスインタフェース (RIICa)	
		866	表26.1 RIICの仕様 アービトレーションの内容を修正
		876	26.2.4 I ² C バスモードレジスタ2 本文を修正：SDA 出力遅延機能を追加、RIIC1.ICMR2のアドレスを修正
		878, 879	26.2.5 I ² C バスモードレジスタ3 本文を修正：アクノリッジの設定を追加、ビット機能表：b5（RDRFS）の“1”機能の説明を修正、ACKBR, ACKBT, RDRFSビットの説明を修正
		880, 881	26.2.6 I ² C バスファンクション許可レジスタ MALE, NALE, SALE, SCLEビットの説明を変更
		890	26.2.10 I ² C バスステータスレジスタ2 AL フラグの説明を修正：NACK アービトレーションロスト検出有効時→NACK 送信アービトレーションロスト検出有効時
		903	図26.6 マスタ送信のフローチャート例（6）の説明を修正
		907	図26.10 マスタ受信のフローチャート例（7ビットアドレスフォーマットの場合、2バイト以下の場合）（8）の説明を修正
		908	図26.11 マスタ受信のフローチャート例（7ビットアドレスフォーマット、3バイト以上の場合）（8）の説明を修正
		911	26.3.5 スレーブ送信動作（1）、（2）の説明を修正
		912	図26.15 スレーブ送信のフローチャート例（5）の説明を修正
		914	26.3.6 スレーブ受信動作（1）、（3）、（4）の説明を修正
		917	図26.21 RIICのSCLクロック生成およびSCL同期化動作 SCL0nライン→SCLラインに修正
		920	図26.24 7ビットアドレスフォーマット選択時にAASyフラグが“1”になるタイミング【7ビットアドレスフォーマット：スレーブ受信動作】に説明を追加
		921	図26.25 10ビットアドレスフォーマット選択時にAASyフラグが“1”になるタイミング【10ビットアドレスフォーマット：スレーブ受信動作】に説明を追加

Rev.	発行日	改訂内容	
		ページ	ポイント
1.30	2019.04.02	922	図26.26 7ビット/10ビットアドレスフォーマット混在時にAASyフラグが“1”または“0”になるタイミング ①：“アドレス不一致”記載位置移動、②：ICSAR1L→ICSARL1に修正
		936	図26.36 スタートコンディション/リスタートコンディション発行動作タイミング (ST、RS ビット) 【リスタートコンディション発行動作】 SCLラインのHigh幅：8→9に修正
		939	図26.38 タイムアウト検出機能 (TMOE、TMOS、TMOH、TMOL ビット) 【TMOH = 1、TMOL = 1の動作例】 TMOSビット設定値の誤記を修正
		27. CAN インタフェース (RSCAN)	
		957	27.2.4 チャンネルエラーフラグレジスタ 本文を修正
		966	27.2.9 グローバルTX 割り込みステータスレジスタ0 ビット機能表：b9 (TAIF1) のビット名、機能説明を修正 (割り込み名称を修正)
		969	27.2.11 受信ルールエントリ制御レジスタ ビット機能表：b4-b0 (AFLPN [4:0]) の機能説明を修正 (ページ範囲を修正)、AFLPN[4:0] ビットの説明を修正
		995	27.2.31 送受信FIFO パッファステータスレジスタ 添字k：0~5→3~5に変更
		1006	27.2.38 FIFO フルスステータスレジスタ ビット機能表：b31-b14 (予約ビット) のR/Wを修正
		1011	27.2.43 送信バッファ制御レジスタ TMTR ビットの説明を修正
		1019	27.2.49 送信バッファ割り込みイネーブルコンフィグレーションレジスタ0 TMIEp ビットの説明：CANm 送信 割り込み要求→CAN1 送信割り込み要求に修正
		1027	27.2.56 送信キューポイント制御レジスタ TXQPC[7:0] ビットの説明：レジスタシンボルの誤記を修正
		1034	27.2.62 グローバルテスト制御レジスタ RTME ビットの説明を修正
		1042	表27.12 CAN割り込み要因一覧 CANmエラー→CAN1エラーに修正
		1048	図27.5 チャンネルモードの状態遷移図 RSCAN0CmCTR→RSCAN0C1CTR、RSCAN0CmSTS→ RSCAN0C1STSに修正
		1052	表27.17 グローバルリセットモードおよびチャンネルリセットモードで初期化されるレジスタ一覧 RSCAN0GTINTSTS0レジスタのビット/フラグ：(m = 0, 1) を削除
		1053	図27.6 受信ルール登録 ページ23→ページ3に修正
		1072	27.9.1.4 受信ルールの設定 本文を修正：ページ0~23→ページ0~3
		1077	27.9.2.2 FIFO バッファの読み出し手順 本文を修正：添字k：0~5→3~5に変更
		28. シリアルペリフェラルインタフェース (RSPIa)	
		1096	図28.1 RSPI のブロック図 割り込み名に添字を追加 (y)
		1097	表28.2 RSPIの入出力端子 SSL00, SSL01, SSL02, SSL03, SSL10, SSL11端子の機能を修正
		1099	28.2.1 RSPI 制御レジスタ MODFEN ビットの説明：SSLy0 ~ 3端子の添字 (y)：y = 0, 1, 2, 3→y = 0, 1に変更、 SPTIE ビットの説明を修正：(SPSR.SPTEF ビット = “1”) を削除
		1103	28.2.4 RSPI ステータスレジスタ ビット機能表：b7~b4の機能説明、R/Wを修正
		1105	28.2.5 RSPI データレジスタ 本文：SPDRの下位側16ビット (H) →SPDRの上位側16ビット (H) に修正
		1105	図28.2 SPDR レジスタの構造図 “シフトレジスタ”の記載を変更
		1113	28.2.10 RSPI クロック遅延レジスタ 本文を修正
		1119	28.2.14 RSPI コマンドレジスタ0~7 ビット機能表：xの説明を削除
		1153	図28.31 マスタモードでのシリアル転送方式の決定方法 SSLA[2:0]→SSLy[2:0]に修正
		1164	図28.39 スレープモード時の初期化フロー例 (SPI 動作) SSLA0 入力→SSL信号に修正
		1168	図28.43 マスタモードでのシリアル転送方式の決定方法 SSLA[2:0]→SSLy[2:0]に修正
		1175	28.3.14 割り込み要因 本文を修正：送信バッファエンプティ割り込み、および受信バッファフル割り込みの 説明を削除
		1176	表28.14 モードフォルトイベント出力の発生条件 SSLy0端子の添字 (y)：y = 0, 1, 2, 3→y = 0, 1に変更
		1178	28.5.2 消費電力低減機能の注意事項 本文を修正
		29. SPI マルチI/O バスコントローラ (SPIBSC)	
		全体	ICLK→PCLKAに修正
		1179	29.1 概要 本文を修正
		1207	図29.7 バーストリード動作時のリード動作 (1) の説明を修正
		1216	表29.5 データレジスタ ダミーサイクルのモードの説明を修正：DRDMCレジスタ→DRDMCRレジスタ、 SMDMCレジスタ→SMDMCRレジスタ
		1216	29.3.10, (2) データイネーブル 説明を修正
		1219	表29.8 端子状態 (3) 端子の誤記を修正：SPBIO/SPBIO10→SPBIO/SPBIO1

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.30	2019.04.02	30. CRC 演算器 (CRC)			
		1223	図30.1 CRC 演算器 (CRC) のブロック図 誤記を修正 : CRCCR.DCR0POL[1:0]→CRCCR.DCRA0POL[1:0]		
		1226	30.2.3 CRC コントロールレジスタ ビット機能表 : b5-b4 (DCRA0ISZ[1:0]) の機能説明を修正 (ビットシンボルの誤記を修正)		
		31. バウンダリスキャン			
		1239	31.3.2 コマンド一覧 EXTEXT 命令→EXTEST 命令に修正		
		1240	31.4 使用上の注意事項 EXTEXT 命令→EXTEST 命令に修正		
		32. エラーコントロールモジュール (ECM)			
		全体	Cortex-RF4→Cortex-R4に修正		
		1244	32.2.1 ECM マスタ/チェッカエラーセットトリガレジスタ ビット機能表 : 注1の2, 6の説明を修正 (ビットシンボルの誤記を修正)		
		1246	32.2.3 ECM マスタ/チェッカエラーソースステータスレジスタ0 ビット機能表 : b4 (ECMmSSE004)、b5 (ECMmSSE005) の機能説明を修正		
		1250	32.2.6 ECM マスタ/チェッカ保護コマンドレジスタ ビット機能表 : b31-b8 (予約ビット) の機能説明を修正		
		1251	32.2.8 ECM マスカブル割り込みコンフィグレーションレジスタ0 ビット機能表 : b4 (ECMMIE004)、b5 (ECMMIE005) の機能説明を修正		
		1255	32.2.11 ECM ノンマスカブル割り込みコンフィグレーションレジスタ0 ビット配置図 : b15, b14を予約ビットに修正、ビット機能表 : b4 (ECMNMIE004)、b5 (ECMNMIE005) の機能説明を修正		
		1257	32.2.12 ECM ノンマスカブル割り込みコンフィグレーションレジスタ1 ビット機能表 : b31-b9 (予約ビット) の機能説明を修正		
		1259	32.2.14 ECM 内部リセットコンフィグレーションレジスタ0 ビット機能表 : b1, b3 (予約ビット) の機能説明を修正、b4 (ECMIRE004)、b5 (ECMIRE005) の機能説明を修正		
		1263	32.2.17 ECM エラーマスクレジスタ0 ビット機能表 : b1, b3 (予約ビット) の機能説明を修正、b4 (ECMEMK004)、b5 (ECMEMK005) の機能説明を修正		
		1265	32.2.18 ECM エラーマスクレジスタ1 ビット機能表 : b31-b9 (予約ビット) の機能説明を修正		
		1267	32.2.20 ECM エラーソースステータスクリアトリガレジスタ0 ビット機能表 : b1, b3 (予約ビット) の機能説明を修正、b4 (ECMCLSSE004)、b5 (ECMCLSSE005) の機能説明を修正		
		1273	32.2.25 ECM 擬似エラートリガレジスタ0 ビット機能表 : b1, b3 (予約ビット) の機能説明を修正、b4 (ECMPE004)、b5 (ECMPE005) の機能説明を修正		
		1279	32.2.31 ECM ディレイタイマコンフィグレーションレジスタ0 ビット機能表 : b1, b3 (予約ビット) の機能説明を修正、b4 (ECMTE004)、b5 (ECMTE005) の機能説明を修正		
		1284	32.2.34 ECM ディレイタイマコンフィグレーションレジスタ3 ビット機能表 : b1, b3 (予約ビット) の機能説明を修正、b4 (ECMTE304)、b5 (ECMTE305) の機能説明を修正		
		33. 電気的特性			
		1300	表33.5 DC 特性 (4) 【USB2.0 USB_RREF 端子】 単位 : Ω 追記		
		1303	表33.12 XTALクロックタイミング 定格値を修正		
		1310	表33.18 RSPIa タイミング 注4を追加		
		1314	表33.19 SPIBSC タイミング 測定条件を追加 : 図33.21、図33.24		
		1.40	2020.09.30	全体	登録商標表示 Arm → Arm®
				3. 動作モード	
64	図3.2 ローダ用パラメータ、ローダプログラムのメモリ配置 注3 追加 (注3→注4、注4→注5に修正)				
65	表3.3 SPI ブートモード時のローダ用パラメータ情報 0000 0018h / LDR_SIZE_NMLの内容 脚注番号 (注3) 追加、注3 修正				
66	3.4.3 ローダプログラム SPI ブートモード時の外部メモリ内の格納アドレスの説明 修正				
6. リセット					
134	6.2.1 リセットステータスレジスタ0 (RSTSR0) ビット機能表のR/W : R/(W) → R/(W) 修正				
7. クロック発生回路					
150	7.8.1 CPUクロック (CPUCLK) 本文 修正				
150	7.8.2 システムクロック (ICLK) 本文 修正				
150	7.8.3 高速周辺モジュールクロック (PCLKA) 本文 修正				
150	7.8.4 低速周辺モジュールクロック (PCLKB) 本文 修正				
150	7.8.5 低速周辺モジュールクロック (PCLKD、PCLKE) 本文 修正				
150	7.8.7 USBクロックM (USBMCLK) 本文 修正				
151	7.8.8 USBクロックP (USBPCLK) 本文 修正				

Rev.	発行日	改訂内容	
		ページ	ポイント
1.40	2020.09.30	151	7.8.9 Ethernet クロック (ETCLKA、ETCLKD、ETCLKE、ETCLKF) 本文 修正
		8. クロックモニタ回路 (CLMA)	
		155	8.2.1 CLMA _n 制御レジスタ 0 (CLMA _n CTL0) ビット機能表 : 注1 修正
		158	8.3.1 CLMA _n の動作 (1) 動作許可 : 3. の説明を修正
		9. 消費電力低減機能	
		全体	RII _{Ca} ユニットの RII _{Ca} チャネル、SCIFA ユニットの SCIFA チャネル、RSPI _a ユニットの RSPI _a チャネル 修正
		170	9.4.6 ライトプロテクション機能 モジュールストップコントロールレジスタ → モジュールストップコントロールレジスタ 修正
		12. 割り込みコントローラ (ICUA)	
		187	12.1 概要 本文 修正
		188	図 12.1 割り込みコントローラのブロック図 レジスタ : DMA0SELI、DMA1SELI、IRQFLTE → DMA0SELI、DMA1SELI (IRQFLTE レジスタを削除)
		236	12.4.2.7 割り込み優先レベルマスクレジスタ 0 (PRLM0) PRLMi ビットの説明 : 添え字 修正
		237	12.4.2.8 割り込み優先レベルマスクレジスタ 1 (PRLM1) PRLMi ビットの説明 : 添え字 修正
		238	12.4.2.9 割り込み優先レベルマスククリアレジスタ 0 (PRLC0) PRLCi ビットの説明 : 添え字 修正
		239	12.4.2.10 割り込み優先レベルマスククリアレジスタ 1 (PRLC1) PRLCi ビットの説明 : 添え字 修正
		254	12.4.2.16 割り込みアドレス格納レジスタ 0 (VADn)、割り込みアドレス格納レジスタ 1 (VADn) ビット配置図 : VADn[31:0] 記載
		254	12.4.2.16 割り込みアドレス格納レジスタ 0 (VADn)、割り込みアドレス格納レジスタ 1 (VADn) ビット機能表 : シンボル、機能説明 修正
		254	12.4.2.16 割り込みアドレス格納レジスタ 0 (VADn)、割り込みアドレス格納レジスタ 1 (VADn) VADn[31:0] ビットの説明 : ビットシンボル、添え字、ビット説明 修正
		260	表 12.3 Cortex-R4 / DMACA _a 割り込みベクタテーブル (3/8) 要求元 : RSPI _a Unit0、RSPI _a Unit1、SCIFA Unit0 ~ SCIFA Unit3 → RSPI _a ch0、RSPI _a ch1、SCIFA ch0 ~ SCIFA ch3 修正
		261	表 12.3 Cortex-R4 / DMACA _a 割り込みベクタテーブル (4/8) 要求元 : SCIFA Unit4、RII _{Ca} Unit1 → SCIFA ch4、RII _{Ca} ch1 修正
		263	表 12.3 Cortex-R4 / DMACA _a 割り込みベクタテーブル (6/8) ベクタ番号 : 242、243 要因 修正
		265	表 12.3 Cortex-R4 / DMACA _a 割り込みベクタテーブル (8/8) 注4 修正
		266	図 12.5 VIC のレジスタ初期化 添え字 (m、q) 修正
		271	12.4.4.3 割り込み検出 (3) IRQ 割り込み (エッジ割り込み) 説明 修正
		14. DMA コントローラ (DMACA _a)	
		337	表 14.20 DMA 転送要求検出動作設定表 (2/2) DMA 転送要求元 : RSPI Unit0、RSPI Unit1、SCIFA Unit0 ~ SCIFA Unit4、RII Unit1 → RSPI チャネル0、RSPI チャネル1、SCIFA チャネル0 ~ SCIFA チャネル4、RII チャネル1 修正、ELC の DMA 転送要求 修正
		15. イベントリンクコントローラ (ELC)	
		360	表 15.2 ELSR _n レジスタと周辺機能の対応 ELSR18、ELSR19 レジスタの周辺機能 (モジュール) 修正
		368	表 15.5 イベント入力時のモジュール別動作一覧 CMT、CMTW モジュール : イベント入力時の動作説明 修正
		369	15.3.3 タイマ系周辺機能のイベント入力時の動作 本文 修正
		16. I/O ポート	
		381	16.3.1 ポート方向レジスタ (PDR) アドレス : PORT0 PDR → PORT0.PDR 修正
		17. マルチファンクションピンコントローラ (MPC)	
		400	17.2.8 P6 _n 端子機能制御レジスタ (P6 _n PFS) 本文 修正
		18. コンペアマッチタイマ (CMT)	
		427	図 18.5 イベント発行タイミング CMCNT _n → CMT1.CMCNT、CMCOR _n → CMT1.CMCOR 修正
		431	18.5.3 イベントリンク動作に関する CMT の注意事項 (1) カウントスタート動作 レジスタ名 修正
		432	18.5.3 イベントリンク動作に関する CMT の注意事項 (2) イベントカウンタ動作 レジスタ表記 修正
		433	18.5.3 イベントリンク動作に関する CMT の注意事項 (3) カウントクリア動作 レジスタ表記 修正
		19. コンペアマッチタイマ W (CMTW)	
		446	19.2.9 デジタルノイズフィルタコントロールレジスタ 1 (NFCR1) 本文 修正
		464	図 19.22 CMWCOR レジスタの書き込みとコンペアマッチの競合 タイトル 修正
		465	図 19.23 CMWOCR レジスタの書き込みとコンペアマッチの競合 タイトル 修正

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.40	2020.09.30	20. ウォッチドッグタイマ (WDTA)			
		477	20.2.3 WDTステータスレジスタ (WDTSR) ビット機能表 : b14、b15のR/W 修正		
		21. 独立ウォッチドッグタイマ (IWDTa)			
		493	21.2.3 IWDTステータスレジスタ (IWDTSR) ビット機能表 : b14、b15のR/W 修正		
		22. EtherCAT スレーブ・コントローラ			
		553	22.3.13.1 MIIマネージメント・コントロール/ステータス・レジスタ (MII_CONT_STAT) ライトアクセスの説明、注 : ビット表記「b」追加		
		23. USB2.0HSホストモジュール (USBh)			
		605	表23.4 EHCIにおけるPCI Configuration Space Offset : 1E8h 1ECh → 1E8h - 1ECh 修正		
		638	23.3.2.6 USBSTSレジスタ ビット機能表 : b2の機能説明 誤記修正		
		25. FIFO内蔵シリアルコミュニケーションインタフェース (SCIFA)			
		846	図25.4 シリアル送信のフローチャートの例 [2]の説明 修正		
		853	図25.13 シリアル送信のフローチャートの例 [2]の説明 修正		
		857	図25.17 シリアルデータ送受信フローチャートの例 [2]の説明 修正		
		26. I ² Cバスインタフェース (RIIa)			
		886	26.2.9 I ² Cバスステータスレジスタ1 (ICSR1) ビット機能表 : b0、b1、b2、b3、b5のR/W 修正		
		889, 892	26.2.10 I ² Cバスステータスレジスタ2 (ICSR2) ビット機能表 : b0、b1、b2、b3、b4、b5、b6のR/W 修正、TDREフラグの説明 : 注 修正		
		896	26.2.14 I ² CバスビットレートHighレジスタ (ICBRH) 注1 修正		
		918	図26.22 SDA出力遅延タイミング 送信モード時 : SCL 修正		
		942	表26.6 割り込み要因 注1と注2を入れ替え		
		27. CANインタフェース (RSCAN)			
		975	27.2.16 受信ルールポイント1レジスタ (RSCAN0GAFLP1j) ビット説明 : GAFLFDP[25:0]ビット → GAFLFDP[17:0]、GAFLFDP[7:0]ビット タイトル修正		
		1006	27.2.38 FIFOフルステータスレジスタ (RSCAN0FFSTS) ビット機能表 : b31-b14のR/W 修正		
		31. バウンダリスキャン			
		1239	31.3.2 コマンド一覧 (3) SAMPLE/PRELOAD[命令コード : 0100 0000b] TXTEST命令 → EXTEST命令 修正		
		1240	31.4 使用上の注意事項 11.の説明 追加		
		32. エラーコントロールモジュール (ECM)			
		全体	キャッシュ → キャッシュ 用語修正		
		1244 ~ 1290	32.2 レジスタの説明 ビット機能表 : 予約ビット (R/W)、予約ビット (W)の機能説明 修正		
		1294	32.3.6 エラー出力クリアの無効設定機能 本文 : ECMCLKクロック (240kHz) → ECMCLKクロック (240kHz) 修正		
		33. 電気的特性			
		1299	表33.4 DC特性 (3) 【USB2.0ホスト/ファンクション関連端子を除く】 出力Highレベル電圧 / 全出力端子 / V _{OH} → 出力Highレベル電圧 / 5Vトレラント対応端子以外 / V _{OH} 、スリーステートリーク電流 (オフ状態) / 5Vトレラント対応端子 / I _{TSI} → スリーステートリーク電流 (オフ状態) / 5Vトレラント対応端子(注 ¹) / I _{TSI} 脚注番号追加、入力プルダウンMOS電流/抵抗 : I _{pd1} 、R _{pd1} の測定条件 修正、入力プルダウンMOS電流/抵抗 : I _{pd2} 、R _{pd2} の測定条件 修正		
		1303	表33.11 CLKOUT25Mnタイミング CLKOUT25Mn (MII) / CLKOUT25Mn周波数 : min-max値 修正		
		1318	表33.20 RIIaタイミング 注4 修正		
		1325	表33.25 内蔵USBハイスピード特性 (USB_DP、USB_DM端子特性) Typ → typ 修正		
		1.50	2022.01.31	12. 割り込みコントローラ (ICUA)	
				264	表12.3 Cortex-R4/DMACAa割り込みベクタテーブル (7/8) RIIa Unit1 → RIIa ch1 修正
				14. DMA コントローラ (DMACAa)	
				301	14.2.12 チャネルコンフィギュレーションレジスタn (CHCFG_n) 注2. 追加
				25. FIFO内蔵シリアルコミュニケーションインタフェース (SCIFA)	
				822	25.2.7 シリアルステータスレジスタ (FSR) DRビット (レシーブデータレディビットフラグ)の説明 注2. 追加
		862	25.7 ノイズ除去機能 基本クロック (転送レートの16倍、または8倍のクロック) → 基本クロック (転送レートの16倍、8倍、または4倍のクロック) 修正、注1. 修正		

EC-1 ユーザーズマニュアル
ハードウェア編

発行年月日 2016年07月22日 Rev.0.50
2022年01月31日 Rev.1.50

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

EC-1



ルネサスエレクトロニクス株式会社

R01UH0691JJ0150