

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。
改訂一覧は改訂箇所をまとめたものであり、詳細については、
必ず本文の内容をご確認ください。

H8/3802、H8/38004、 H8/38002S、H8/38104 グループ

ハードウェアマニュアル

ルネサス8 ビットシングルチップマイクロコンピュータ

H8ファミリ/H8/300L スーパーローパワーシリーズ

H8/3802 グループ	H8/3802
	H8/3801
	H8/3800
	H8/38004
H8/38004 グループ	H8/38003
	H8/38002
	H8/38001
	H8/38000
	H8/38002S
H8/38002S グループ	H8/38002S
	H8/38001S
	H8/38000S
H8/38104 グループ	H8/38104
	H8/38103
	H8/38102
	H8/38101
	H8/38100

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認下さい。

同じグループのマイコンでも型名が違うと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

本書の構成

本書は、以下の構成で制作しています。

1. 製品にご使用上の注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明
 - ・ CPU およびシステム制御系
 - ・ 内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュールごとに異なりますが、一般的には、
特長、 入出力端子、 レジスタの説明、 動作説明、 使用上の注意事項、
等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。
各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。
必ずお読みください。(使用上の注意事項は必要により記載されます。)

7. レジスタ一覧
8. 電気的特性
9. 付録
10. 本版で改訂された箇所 (改訂版のみ適用)

改訂来歴は、前版の記載内容について訂正・追加された主な箇所についてまとめたものです。
改訂内容のすべてについて記載したものではありませんので、詳細については、本書の本文上
でご確認ください。

11. 索引

はじめに

本 LSI は、高速 H8/300L CPU をコアにして、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータです。H8/300L CPU は、H8/300 CPU と互換性のある命令体系を備えています。以下にグループごとの製品仕様の一覧を示します。

仕様一覧

		H8/3802 グループ			H8/38004 グループ			H8/38002 Sグループ		H8/38104 グループ	
		ZTAT	マスク ROM	Flash ROM	マスク ROM	マスク ROM	Flash ROM	マスク ROM			
メモリ	ROM	16k	8k 16k	16k/32k	8k 32k	8k 16k	16k/32k	8k 32k			
	RAM	1k	512 or 1k	1k	512 or 1k	512	1k	512 or 1k			
動作電圧と 動作周波数	4.5 ~ 5.5V	16MHz	16MHz	—	—	—	20MHz	20MHz			
	2.7 ~ 5.5V	10MHz	10MHz	—	—	—	20MHz	20MHz			
	1.8 ~ 5.5V	4MHz	4MHz	—	—	—	—	—			
	2.7 ~ 3.6V	—	—	10MHz	10MHz	10MHz	—	—			
	1.8 ~ 3.6V	—	—	4MHz (2.2V ~)	4MHz	4MHz	—	—			
I/O ポート	入力	9	9	9	9	9	9	9			
	出力	6	6	6	6	6	5	5			
	入出力	39	39	39	39	39	39	39			
タイマ	時計用 (タイマ A)	1	1	1	1	1	1	1			
	コンペア (タイマ F)	1	1	1	1	1	1	1			
	AEC	1	1	1	1	1	1	1			
	WDT	/	/	1	1	1	/	/			
	WDT (独立型)	/	/	/	/	/	1	1			
SCI	UART/クロック同期	1ch	1ch	1ch	1ch	1ch	1ch	1ch			
A—D (分解能 × 入力 ch)		10bit × 4ch	10bit × 4ch	10bit × 4ch	10bit × 4ch	10bit × 4ch	10bit × 4ch	10bit × 4ch			
LCD	seg	25	25	25	25	25	25	25			
	com	4	4	4	4	4	4	4			
外部割り込み (内ウェイクアップ)		11 (8)	11 (8)	11 (8)	11 (8)	11 (8)	11 (8)	11 (8)			
POR (パワーオンリセット)		—	—	—	—	—	1	1			
LVD		—	—	—	—	—	1	1			

	H8/3802 グループ		H8/38004 グループ		H8/38002 Sグループ	H8/38104 グループ	
	ZTAT	マスク ROM	Flash ROM	マスク ROM	マスク ROM	Flash ROM	マスク ROM
パッケージ	FP-64A	FP-64A	FP-64A	FP-64A	FP-64A	FP-64A	FP-64A
	FP-64E	FP-64E	FP-64E	FP-64E	FP-64K*	FP-64E	FP-64E
			TNP-64B	TNP-64B	TNP-64B		
	DP-64S	DP-64S					
		チップ	チップ	チップ			
動作温度	通常仕様：-20～75 WTR：-40～85						

【注】 * 開発中

対象者 このマニュアルは、H8/3802 グループ、H8/38004 グループ、H8/38002S グループ、H8/38104 グループを用いた応用システムを設計するユーザを対象としています。
このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 このマニュアルは、H8/3802 グループ、H8/38004 グループ、H8/38002S グループ、H8/38104 グループのハードウェア機能と電気的特性をユーザに理解していただくことを目的にしています。なお、実行命令の詳細については、「H8/300L シリーズ ソフトウェアマニュアル」に記載しておりますので、あわせてご覧ください。

読み方

- 機能全体を理解しようとするとき。

目次に従って読んでください。

本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。

- CPU機能の詳細を理解したいとき。

別冊の「H8/300Lシリーズ ソフトウェアマニュアル」を参照してください。

- レジスタ名がわかっていて、詳細機能を知りたいとき。

本書の後ろに、「索引」があります。索引からページ番号を検索してください。

「第14章 レジスタ一覧」にアドレス、ビット内容、初期化についてまとめています。

凡例 ビット表記順：左側が上位ビット、右側が下位ビットの順に表記しています。

ご注意

オンチップエミュレータを使用してH8/38004、H8/38002、H8/38104、H8/38102のプログラム開発、デバッグを行う場合、以下の制限事項がありますのでご注意ください。

- P95端子はオンチップエミュレータで占有するため使用できません。

2. P33、P34、P35端子も使用できません。使用する場合はユーザ基板上に追加ハードウェアが必要となります。
3. アドレスH'7000～H'7FFF領域はオンチップエミュレータで使用するためユーザはこの領域を使用できません。
4. アドレスH'F780～H'FB7F領域は絶対にアクセスしないでください。
5. オンチップエミュレータ使用時、P95端子は入出力、P33端子およびP34端子は入力、P35端子は出力となります。
6. H8/38104グループでオンチップオシレータを選択する場合でも、オンチップエミュレータ使用時には、発振子をOSC1、OSC2端子に接続するか、OSC1に外部クロックを供給してください。

関連資料一覧 ウェブ・サイトに最新資料を掲載しています。ご入手の資料が最新版であるかを確認してください。

(<http://www.renesas.com/jpn/>)

- H8/3802グループ、H8/38004グループ、H8/38002Sグループ、H8/38104グループに関するユーザズマニュアル

資料名	資料番号
H8/3802 グループ、H8/38004 グループ、H8/38002S グループ、H8/38104 グループ ハードウェアマニュアル	本マニュアル
H8/300L シリーズ ソフトウェアマニュアル	RJJ09B0342

- 開発ツール関連ユーザズマニュアル

資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラ、アセンブラ、最適化リンケージエディタ ユーザズマニュアル	RJJ10J2552
H8S、H8/300 シリーズ シミュレータ・デバッグユーザズマニュアル	RJJ10B0219
High-Performance Embedded Workshop ユーザズマニュアル	RJJ10J2550

- アプリケーションノート

資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラ アプリケーションノート	RJJ05B0558

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1.	概要	1-1
1.1	特長	1-1
1.2	内部ブロック図	1-4
1.3	ピン配置図	1-7
1.4	端子機能	1-16
2.	CPU	2-1
2.1	特長	2-1
2.2	アドレス空間とメモリマップ	2-2
2.3	レジスタ構成	2-11
2.3.1	汎用レジスタ	2-12
2.3.2	プログラムカウンタ (PC)	2-12
2.3.3	コンディションコードレジスタ (CCR)	2-13
2.3.4	CPU 内部レジスタの初期値	2-14
2.4	データ形式	2-14
2.4.1	汎用レジスタのデータ形式	2-15
2.4.2	メモリ上でのデータ形式	2-16
2.5	命令セット	2-17
2.5.1	データ転送命令	2-19
2.5.2	算術演算命令	2-21
2.5.3	論理演算命令	2-22
2.5.4	シフト命令	2-22
2.5.5	ビット操作命令	2-24
2.5.6	分岐命令	2-27
2.5.7	システム制御命令	2-29
2.5.8	ブロック転送命令	2-30
2.6	アドレッシングモードと実効アドレス	2-31
2.6.1	アドレッシングモード	2-31
2.6.2	実効アドレスの計算方法	2-33
2.7	基本バスタイミング	2-37
2.7.1	内蔵メモリ (RAM、ROM)	2-37
2.7.2	内蔵周辺モジュール	2-38
2.8	CPUの状態	2-40
2.9	使用上の注意事項	2-41

2.9.1	空きエリアへのデータアクセス.....	2-41
2.9.2	内部 I/O レジスタへのアクセス.....	2-41
2.9.3	EEPMOV 命令.....	2-41
2.9.4	ビット操作命令.....	2-42
3.	例外処理.....	3-1
3.1	例外処理要因とベクタアドレス.....	3-3
3.2	レジスタの説明.....	3-4
3.2.1	割り込みエッジセレクトレジスタ (IEGR).....	3-4
3.2.2	割り込み許可レジスタ 1 (IENR1).....	3-5
3.2.3	割り込み許可レジスタ 2 (IENR2).....	3-6
3.2.4	割り込み要求レジスタ 1 (IRR1).....	3-7
3.2.5	割り込み要求レジスタ 2 (IRR2).....	3-8
3.2.6	ウェイクアップ割り込み要求レジスタ (IWPR).....	3-9
3.2.7	ウェイクアップエッジセレクトレジスタ (WEGR).....	3-9
3.3	リセット例外処理.....	3-10
3.4	割り込み例外処理.....	3-10
3.4.1	外部割り込み要求.....	3-10
3.4.2	内部割り込み要求.....	3-12
3.4.3	割り込み処理シーケンス.....	3-12
3.4.4	割り込み応答時間.....	3-13
3.5	使用上の注意事項.....	3-15
3.5.1	リセット直後の割り込み要求.....	3-15
3.5.2	スタック領域のアクセス.....	3-15
3.5.3	割り込みフラグをクリアする方法.....	3-15
3.5.4	ポートモードレジスタを書き換える際の注意事項.....	3-16
4.	クロック発振器.....	4-1
4.1	特長.....	4-1
4.2	レジスタの説明.....	4-3
4.2.1	発振器コントロールレジスタ (OSCCR) (H8/38104 グループのみ).....	4-3
4.3	システムクロック発振器.....	4-4
4.3.1	水晶発振子を接続する方法.....	4-4
4.3.2	セラミック発振子を接続する方法.....	4-5
4.3.3	外部クロックを入力する方法.....	4-6
4.3.4	オンチップオシレータを選択する方法 (H8/38104 グループのみ).....	4-6
4.4	サブクロック発振器.....	4-7
4.4.1	32.768kHz/38.4kHz 水晶発振子を接続する方法.....	4-7
4.4.2	サブクロックを使用しない場合の端子処理.....	4-8
4.4.3	外部クロックを入力する方法.....	4-8

4.5	ブリスケーラ	4-9
4.5.1	ブリスケーラ S	4-9
4.5.2	ブリスケーラ W	4-9
4.6	使用上の注意事項	4-9
4.6.1	発振子に関する注意事項	4-9
4.6.2	ボード設計上の注意事項	4-12
4.6.3	発振安定待機時間の定義	4-12
4.6.4	発振子をご使用の場合の注意事項	4-14
4.6.5	H8/38104 グループでの注意事項	4-14
5.	低消費電力モード	5-1
5.1	レジスタの説明	5-2
5.1.1	システムコントロールレジスタ 1 (SYSCR1)	5-2
5.1.2	システムコントロールレジスタ 2 (SYSCR2)	5-4
5.1.3	クロック停止レジスタ 1、2 (CKSTPR1、CKSTPR2)	5-5
5.2	モード間遷移とLSIの状態	5-6
5.2.1	スリープモード	5-9
5.2.2	スタンバイモード	5-9
5.2.3	ウォッチモード	5-10
5.2.4	サブスリープモード	5-10
5.2.5	サブアクティブモード	5-11
5.2.6	アクティブ (中速) モード	5-11
5.3	直接遷移	5-12
5.3.1	アクティブ (高速) モードからアクティブ (中速) モードへの直接遷移時の時間について	5-12
5.3.2	アクティブ (中速) モードからアクティブ (高速) モードへの直接遷移時の時間について	5-13
5.3.3	サブアクティブモードからアクティブ (高速) モードへの直接遷移時の時間について	5-13
5.3.4	サブアクティブモードからアクティブ (中速) モードへの直接遷移時の時間について	5-14
5.3.5	直接遷移前後で外部入力信号が変化する場合の注意事項	5-14
5.4	モジュールスタンバイ機能	5-14
5.5	使用上の注意事項	5-15
5.5.1	スタンバイモードへの遷移と端子状態	5-15
5.5.2	スタンバイモード前後で外部入力信号が変化する場合の注意事項	5-15
5.5.3	モジュールスタンバイと割り込みの競合について	5-16
6.	ROM	6-1
6.1	ブロック図	6-1
6.2	H8/3802のPROMモード	6-2
6.2.1	PROM モードの設定	6-2
6.2.2	ソケットアダプタの端子対応とメモリマップ	6-2
6.3	H8/3802のプログラミング	6-5

6.3.1	書き込み/ベリファイ.....	6-6
6.3.2	書き込み時の注意.....	6-8
6.4	書き込み後の信頼性.....	6-9
6.5	フラッシュメモリの概要.....	6-10
6.5.1	特長.....	6-10
6.5.2	ブロック図.....	6-11
6.5.3	ブロック構成.....	6-12
6.6	レジスタの説明.....	6-14
6.6.1	フラッシュメモリコントロールレジスタ1 (FLMCR1).....	6-14
6.6.2	フラッシュメモリコントロールレジスタ2 (FLMCR2).....	6-15
6.6.3	ブロック指定レジスタ (EBR).....	6-15
6.6.4	フラッシュメモリパワーコントロールレジスタ (FLPWCR).....	6-15
6.6.5	フラッシュメモリイネーブルレジスタ (FENR).....	6-16
6.7	オンボードプログラミング.....	6-16
6.7.1	ブートモード.....	6-17
6.7.2	ユーザモードでの書き込み/消去.....	6-19
6.7.3	オンボードプログラミングの注意事項.....	6-20
6.8	書き込み/消去プログラム.....	6-21
6.8.1	プログラム/プログラムベリファイ.....	6-21
6.8.2	イレース/イレースベリファイ.....	6-24
6.8.3	フラッシュメモリの書き込み/消去時の割り込み.....	6-24
6.9	書き込み/消去プロテクト.....	6-26
6.9.1	ハードウェアプロテクト.....	6-26
6.9.2	ソフトウェアプロテクト.....	6-26
6.9.3	エラープロテクト.....	6-26
6.10	ライターモード.....	6-27
6.10.1	ソケットアダプタ.....	6-27
6.10.2	ライターモードのコマンド.....	6-27
6.10.3	メモリ読み出し.....	6-30
6.10.4	自動書き込み.....	6-33
6.10.5	自動消去.....	6-35
6.10.6	ステータス読み出し.....	6-36
6.10.7	ステータスポーリング.....	6-37
6.10.8	ライターモードへの遷移時間.....	6-38
6.10.9	ライターモード使用時の注意事項.....	6-38
6.11	フラッシュメモリの低消費電力動作.....	6-39
7.	RAM.....	7-1
7.1	ブロック図.....	7-2

8.	I/Oポート	8-1
8.1	ポート3	8-3
8.1.1	ポートデータレジスタ 3 (PDR3)	8-4
8.1.2	ポートコントロールレジスタ 3 (PCR3)	8-4
8.1.3	ポートプルアップコントロールレジスタ 3 (PUCR3)	8-5
8.1.4	ポートモードレジスタ 3 (PMR3)	8-5
8.1.5	ポートモードレジスタ 2 (PMR2)	8-6
8.1.6	端子機能	8-7
8.1.7	入力プルアップ MOS	8-8
8.2	ポート4	8-8
8.2.1	ポートデータレジスタ 4 (PDR4)	8-9
8.2.2	ポートコントロールレジスタ 4 (PCR4)	8-9
8.2.3	シリアルポートコントロールレジスタ (SPCR)	8-10
8.2.4	端子機能	8-11
8.3	ポート5	8-12
8.3.1	ポートデータレジスタ 5 (PDR5)	8-12
8.3.2	ポートコントロールレジスタ 5 (PCR5)	8-13
8.3.3	ポートプルアップコントロールレジスタ 5 (PUCR5)	8-13
8.3.4	ポートモードレジスタ 5 (PMR5)	8-13
8.3.5	端子機能	8-14
8.3.6	入力プルアップ MOS	8-14
8.4	ポート6	8-15
8.4.1	ポートデータレジスタ 6 (PDR6)	8-15
8.4.2	ポートコントロールレジスタ 6 (PCR6)	8-16
8.4.3	ポートプルアップコントロールレジスタ 6 (PUCR6)	8-16
8.4.4	端子機能	8-17
8.4.5	入力プルアップ MOS	8-17
8.5	ポート7	8-18
8.5.1	ポートデータレジスタ 7 (PDR7)	8-18
8.5.2	ポートコントロールレジスタ 7 (PCR7)	8-19
8.5.3	端子機能	8-19
8.6	ポート8	8-20
8.6.1	ポートデータレジスタ 8 (PDR8)	8-20
8.6.2	ポートコントロールレジスタ 8 (PCR8)	8-21
8.6.3	端子機能	8-21
8.7	ポート9	8-22
8.7.1	ポートデータレジスタ 9 (PDR9)	8-22
8.7.2	ポートモードレジスタ 9 (PMR9)	8-23
8.7.3	端子機能	8-23
8.8	ポートA	8-24

8.8.1	ポートデータレジスタ A (PDRA)	8-24
8.8.2	ポートコントロールレジスタ A (PCRA)	8-25
8.8.3	端子機能	8-25
8.9	ポートB	8-26
8.9.1	ポートデータレジスタ B (PDRB)	8-26
8.9.2	ポートモードレジスタ B (PMRB)	8-27
8.9.3	端子機能	8-27
8.10	使用上の注意事項	8-28
8.10.1	未使用端子の処理	8-28
9.	タイマ	9-1
9.1	概要	9-1
9.2	タイマA	9-2
9.2.1	特長	9-2
9.2.2	レジスタの説明	9-3
9.2.3	動作説明	9-4
9.2.4	タイマ A の動作モード	9-4
9.3	タイマF	9-5
9.3.1	特長	9-5
9.3.2	入出力端子	9-7
9.3.3	レジスタの説明	9-7
9.3.4	CPU とのインタフェース	9-11
9.3.5	動作説明	9-14
9.3.6	タイマ F の動作モード	9-16
9.3.7	使用上の注意事項	9-16
9.4	非同期イベントカウンタ (AEC)	9-20
9.4.1	特長	9-20
9.4.2	入出力端子	9-22
9.4.3	レジスタの説明	9-22
9.4.4	動作説明	9-27
9.4.5	非同期イベントカウンタの動作モード	9-31
9.4.6	使用上の注意事項	9-32
9.5	ウォッチドッグタイマ	9-33
9.5.1	特長	9-33
9.5.2	レジスタの説明	9-34
9.5.3	動作説明	9-36
9.5.4	ウォッチドッグタイマの動作モード	9-37
10.	シリアルコミュニケーションインタフェース 3 (SCI3)	10-1
10.1	特長	10-1

10.2	入出力端子	10-2
10.3	レジスタの説明	10-3
10.3.1	レシーブシフトレジスタ (RSR)	10-3
10.3.2	レシーブデータレジスタ (RDR)	10-3
10.3.3	トランスミットシフトレジスタ (TSR)	10-3
10.3.4	トランスミットデータレジスタ (TDR)	10-3
10.3.5	シリアルモードレジスタ (SMR)	10-4
10.3.6	シリアルコントロールレジスタ 3 (SCR3)	10-6
10.3.7	シリアルステータスレジスタ (SSR)	10-8
10.3.8	ビットレートレジスタ (BRR)	10-10
10.3.9	シリアルポートコントロールレジスタ (SPCR)	10-15
10.4	調歩同期式モードの動作説明	10-16
10.4.1	クロック	10-16
10.4.2	SCB の初期化	10-19
10.4.3	データ送信	10-20
10.4.4	データ受信	10-22
10.5	クロック同期式モードの動作説明	10-25
10.5.1	クロック	10-25
10.5.2	SCB の初期化	10-25
10.5.3	データ送信	10-26
10.5.4	データ受信	10-28
10.5.5	データ送受信同時動作	10-30
10.6	割り込み要求	10-31
10.7	使用上の注意事項	10-34
10.7.1	ブレークの検出と処理について	10-34
10.7.2	マーク状態とブレークの送出	10-34
10.7.3	受信エラーフラグと送信動作について (クロック同期式モードのみ)	10-34
10.7.4	調歩同期式モードの受信データサンプリングタイミングと受信マージン	10-34
10.7.5	SCK32 端子機能切り替えに伴う注意事項	10-35
10.7.6	TDR へのライトと TDRE の関係について	10-36
10.7.7	RDR のリードと RDRF の関係について	10-36
10.7.8	状態遷移時における送信および受信動作について	10-37
10.7.9	サブアクティブモード、サブスリープモード時の設定について	10-37
10.7.10	シリアルコミュニケーションインタフェース 3 を調歩同期式モードで実行する際に 使用する発振器について (H8/38104 グループのみ)	10-37
11.	10 ビット PWM	11-1
11.1	特長	11-1
11.2	入出力端子	11-4
11.3	レジスタの説明	11-4
11.3.1	PWM コントロールレジスタ (PWCR)	11-4

11.3.2	PWM データレジスタ U、L (PWDRU、PWDRL)	11-5
11.4	動作説明	11-5
11.4.1	動作説明	11-5
11.4.2	PWM の動作モード	11-6
12.	A/D 変換器	12-1
12.1	特長	12-1
12.2	入出力端子	12-2
12.3	レジスタの説明	12-3
12.3.1	A/D リザルトレジスタ H、L (ADRRH、ADRRL)	12-3
12.3.2	A/D モードレジスタ (AMR)	12-3
12.3.3	A/D スタートレジスタ (ADSR)	12-4
12.4	動作説明	12-4
12.4.1	A/D 変換動作	12-4
12.4.2	A/D 変換器の動作モード	12-4
12.5	使用例	12-5
12.6	A/D変換精度の定義	12-8
12.7	使用上の注意事項	12-10
12.7.1	許容信号源インピーダンスについて	12-10
12.7.2	絶対精度への影響について	12-10
12.7.3	その他の注意事項	12-12
13.	LCD コントローラ/ドライバ	13-1
13.1	特長	13-1
13.2	入出力端子	13-4
13.3	レジスタの説明	13-4
13.3.1	LCD ポートコントロールレジスタ (LPCR)	13-4
13.3.2	LCD コントロールレジスタ (LCR)	13-6
13.3.3	LCD コントロールレジスタ 2 (LCR2)	13-7
13.4	動作説明	13-8
13.4.1	LCD 表示までのセッティング	13-8
13.4.2	LCD RAM と表示の関係	13-10
13.4.3	低消費電力モード時の動作	13-15
13.4.4	LCD 駆動電源の強化	13-16
14.	パワーオンリセット&低電圧検出回路 (H8/38104 グループのみ)	14-1
14.1	特長	14-1
14.2	レジスタの説明	14-3
14.2.1	低電圧検出コントロールレジスタ (LVDCR)	14-3
14.2.2	低電圧検出ステータスレジスタ (LVDSR)	14-4

14.2.3	低電圧検出カウンタ (LVDCNT)	14-5
14.3	動作説明	14-6
14.3.1	パワーオンリセット回路	14-6
14.3.2	低電圧検出回路	14-7
15.	電源回路 (H8/38104 グループのみ)	15-1
15.1	内部電源降圧回路を使用する場合	15-1
15.2	内部電源降圧回路を使用しない場合	15-1
16.	レジスタ一覧	16-1
16.1	レジスタアドレス一覧 (アドレス順)	16-2
16.2	レジスタビット一覧	16-5
16.3	各動作モードにおけるレジスタの状態	16-8
17.	電気的特性	17-1
17.1	H8/3802グループ (ZTAT版、マスクROM版) の絶対最大定格	17-1
17.2	H8/3802グループ (ZTAT版、マスクROM版) の電気的特性	17-2
17.2.1	電源電圧と動作範囲	17-2
17.2.2	DC 特性	17-5
17.2.3	AC 特性	17-11
17.2.4	A/D 変換器特性	17-14
17.2.5	LCD 特性	17-15
17.3	H8/38004グループ (F-ZTAT版、マスクROM版)、 H8/38002Sグループ (マスクROM版) の絶対最大定格	17-16
17.4	H8/38004グループ (F-ZTAT版、マスクROM版)、 H8/38002Sグループ (マスクROM版) の電気的特性	17-17
17.4.1	電源電圧と動作範囲	17-17
17.4.2	DC 特性	17-22
17.4.3	AC 特性	17-29
17.4.4	A/D 変換器特性	17-32
17.4.5	LCD 特性	17-33
17.4.6	フラッシュメモリ特性	17-34
17.4.7	電源特性	17-35
17.5	H8/38104グループ (F-ZTAT版、マスクROM版) の絶対最大定格	17-36
17.6	H8/38104グループ (F-ZTAT版、マスクROM版) の電気的特性	17-37
17.6.1	電源電圧と動作範囲	17-37
17.6.2	DC 特性	17-41
17.6.3	AC 特性	17-48
17.6.4	A/D 変換器特性	17-50
17.6.5	LCD 特性	17-51

17.6.6	フラッシュメモリ特性.....	17-52
17.6.7	電源電圧検出回路特性.....	17-54
17.6.8	パワーオンリセット特性.....	17-56
17.6.9	ウォッチドッグタイマ特性.....	17-56
17.6.10	電源特性.....	17-56
17.7	動作タイミング.....	17-58
17.8	出力負荷回路.....	17-59
17.9	発振子の等価回路.....	17-60
17.10	使用上の注意事項.....	17-60
付録	付録-1
A.	命令.....	付録-1
A.1	命令一覧.....	付録-1
A.2	オペレーションコードマップ.....	付録-11
A.3	命令実行ステート数.....	付録-13
B.	I/Oポートブロック図.....	付録-19
B.1	ポート3ブロック図.....	付録-19
B.2	ポート4ブロック図.....	付録-23
B.3	ポート5ブロック図.....	付録-27
B.4	ポート6ブロック図.....	付録-28
B.5	ポート7ブロック図.....	付録-29
B.6	ポート8ブロック図.....	付録-30
B.7	ポート9ブロック図.....	付録-31
B.8	ポートAブロック図.....	付録-33
B.9	ポートBブロック図.....	付録-34
C.	各処理状態におけるポートの状態.....	付録-37
D.	製品型名一覧.....	付録-38
E.	外形寸法図.....	付録-43
F.	チップ形状仕様図.....	付録-48
G.	ボンディングパッド形状図.....	付録-49
H.	チップトレイ仕様図.....	付録-50
本版で改訂された箇所.....		改-1
索引.....		索引-1

図目次

1. 概要

図1.1	H8/3802グループ内部ブロック図	1-4
図1.2	H8/38004、H8/38002Sグループ内部ブロック図	1-5
図1.3	H8/38104グループ内部ブロック図	1-6
図1.4	H8/3802グループ、H8/38004、H8/38002Sグループ ピン配置図 (FP-64A、FP-64E、FP-64K、TNP-64B)	1-7
図1.5	H8/3802グループ ピン配置図 (DP-64S)	1-8
図1.6	H8/38104グループ ピン配置図 (FP-64A、FP-64E)	1-9
図1.7	HCD6433802、HCD6433801、HCD6433800のパッド配置図 (上面図)	1-10
図1.8	HCD64338004、HCD64338003、HCD64338002、HCD64338001、 HCD64338000のパッド配置図 (上面図)	1-12
図1.9	HCD64F38004、HCD64F38002のパッド配置図 (上面図)	1-14

2. CPU

図2.1 (1)	H8/3802のメモリマップ	2-2
図2.1 (2)	H8/3801のメモリマップ	2-3
図2.1 (3)	H8/3800のメモリマップ	2-4
図2.1 (4)	H8/38004、H8/38104のメモリマップ	2-5
図2.1 (5)	H8/38003、H8/38103のメモリマップ	2-6
図2.1 (6)	H8/38002、H8/38102のメモリマップ	2-7
図2.1 (7)	H8/38002Sのメモリマップ	2-8
図2.1 (8)	H8/38001、H8/38001S、H8/38101のメモリマップ	2-9
図2.1 (9)	H8/38000、H8/38000S、H8/38100のメモリマップ	2-10
図2.2	CPU内部レジスタ構成	2-11
図2.3	スタックの状態	2-12
図2.4	汎用レジスタのデータ構成	2-15
図2.5	メモリ上でのデータ構成	2-16
図2.6	データ転送命令の命令フォーマット	2-20
図2.7	算術演算命令・論理演算命令・シフト命令の命令フォーマット	2-23
図2.8	ビット操作命令の命令フォーマット	2-26
図2.9	分岐命令の命令フォーマット	2-28
図2.10	システム制御命令の命令フォーマット	2-29
図2.11	ブロック転送命令の命令フォーマット	2-30
図2.12	内蔵メモリアクセスサイクル	2-37
図2.13	内蔵周辺モジュールアクセスサイクル (2ステートアクセス)	2-38
図2.14	内蔵周辺モジュールアクセスサイクル (3ステートアクセス)	2-39
図2.15	CPUの状態の分類	2-40
図2.16	状態遷移図	2-41
図2.17	同一アドレスに割り付けられた2つのレジスタを持つタイマの構成例	2-42

3. 例外処理

図3.1	リセット例外処理シーケンス	3-11
図3.2	割り込み例外処理終了後のスタック状態	3-13

図3.3	割り込み要求シーケンス	3-14
図3.4	ポートモードレジスタ操作と割り込み要求フラグのクリア手順	3-17
4.	クロック発振器	
図4.1	クロック発生回路のブロック図 (H8/3802、H8/38004、H8/38002Sグループ)	4-1
図4.2	クロック発生回路のブロック図 (H8/38104グループ)	4-2
図4.3	システムクロック発振器のブロック図	4-4
図4.4 (1)	水晶発振子の接続例 (H8/3802グループ)	4-4
図4.4 (2)	水晶発振子の接続例 (H8/38004、H8/38002S、H8/38104グループ)	4-5
図4.5	水晶発振子の等価回路	4-5
図4.6 (1)	セラミック発振子の接続例 (H8/3802グループ)	4-5
図4.6 (2)	セラミック発振子の接続例 (H8/38004、H8/38002S、H8/38104グループ)	4-6
図4.7	外部クロックを入力する場合の接続例	4-6
図4.8	サブクロック発振器ブロック図	4-7
図4.9	32.768kHz/38.4kHz水晶発振子の接続例	4-7
図4.10	32.768kHz/38.4kHz水晶発振子の等価回路	4-8
図4.11	サブクロックを必要としない場合の端子処理	4-8
図4.12	外部クロックを入力する場合の接続例	4-8
図4.13	水晶、セラミック発振子の配置例	4-10
図4.14	負性抵抗測定と回路変更案	4-11
図4.15	発振回路のボード設計に関する注意事項	4-12
図4.16	発振安定待機時間	4-13
5.	低消費電力モード	
図5.1	モード遷移図	5-7
図5.2	スタンバイモードへの遷移と端子状態	5-15
図5.3	スタンバイモード、ウォッチモード前後で外部入力信号が変化する場合の 注意事項	5-16
6.	ROM	
図6.1	ROMのブロック図 (H8/3802の場合)	6-1
図6.2	ソケットアダプタの端子対応図 (HN27C101)	6-3
図6.3	H8/3802のPROMモード時のメモリマップ	6-4
図6.4	高速高信頼度プログラミングフローチャート	6-6
図6.5	PROM書き込み/ベリファイタイミング	6-8
図6.6	推奨スクリーニングフロー	6-9
図6.7	フラッシュメモリのブロック図	6-11
図6.8 (1)	32Kバイトフラッシュメモリのブロック構成	6-12
図6.8 (2)	16Kバイトフラッシュメモリのブロック構成	6-13
図6.9	ユーザモードにおける書き込み/消去例	6-20
図6.10	プログラム/プログラムベリファイフロー	6-22
図6.11	イレース/イレースベリファイフロー	6-25
図6.12 (1)	ソケットアダプタの端子対応図 (H8/38004F、H8/38002F)	6-28
図6.12 (2)	ソケットアダプタの端子対応図 (H8/38104F、H8/38102F)	6-29
図6.13	コマンド書き込み後メモリ読み出しタイミング波形	6-30
図6.14	メモリ読み出しモードから他のモードへ遷移時のタイミング波形	6-31
図6.15	CE、OEイネーブル状態リード時のタイミング波形	6-32
図6.16	CE、OEクロック方式リード時のタイミング波形	6-32
図6.17	自動書き込みのタイミング波形	6-34

図6.18	自動消去のタイミング波形	6-36
図6.19	ステータス読み出しのタイミング波形	6-37
図6.20	発振安定時間、ブートプログラム転送時間、電源立ち下げシーケンス	6-38
7.	RAM	
図7.1	RAMのブロック図 (H8/3802の場合)	7-2
8.	I/Oポート	
図8.1	ポート3の端子構成	8-3
図8.2	ポート4の端子構成	8-8
図8.3	入出力データ反転機能	8-10
図8.4	ポート5の端子構成	8-12
図8.5	ポート6の端子構成	8-15
図8.6	ポート7の端子構成	8-18
図8.7	ポート8の端子構成	8-20
図8.8	ポート9の端子構成	8-22
図8.9	ポートAの端子構成	8-24
図8.10	ポートBの端子構成	8-26
9.	タイマ	
図9.1	タイマAブロック図	9-2
図9.2	タイマFのブロック図	9-6
図9.3	TCFのライト動作 (CPU TCF)	9-12
図9.4	TCFのリード動作 (TCF CPU)	9-13
図9.5	TMOFH、TMOFL出力タイミング	9-15
図9.6	割り込み要因の発生を示す信号が有効なときに割り込み要求フラグの クリアを行った場合	9-18
図9.7	非同期イベントカウンタブロック図	9-21
図9.8	16ビットカウンタとして使用する場合のソフトウェアの例	9-28
図9.9	8ビットカウンタとして使用する場合のソフトウェアの例	9-29
図9.10	イベントカウンタ動作波形	9-30
図9.11	クロック制御動作例	9-31
図9.12 (1)	ウォッチドッグタイマのブロック図 (H8/38004、H8/38002Sグループ)	9-33
図9.12 (2)	ウォッチドッグタイマのブロック図 (H8/38104グループ)	9-34
図9.13	ウォッチドッグタイマの動作例	9-37
10.	シリアルコミュニケーションインタフェース3 (SC13)	
図10.1	SC13のブロック図	10-2
図10.2	調歩同期式通信のデータフォーマット	10-16
図10.3	出力クロックと通信データの位相関係 (調歩同期式モード) (8ビットデータ/パリティあり/2ストップビットの例)	10-16
図10.4	SC13を初期化するときのフローチャートの例	10-19
図10.5	調歩同期式モードの送信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)	10-20
図10.6	データ送信のフローチャートの例 (調歩同期式モード)	10-21
図10.7	調歩同期式モードの受信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)	10-23
図10.8	データ受信のフローチャートの例 (調歩同期式モード)	10-24
図10.9	クロック同期式通信のデータフォーマット	10-25
図10.10	クロック同期式モードの送信時の動作例	10-26

図10.11	データ送信のフローチャートの例（クロック同期式モード）	10-27
図10.12	クロック同期式モードの受信時の動作例	10-28
図10.13	データ受信フローチャートの例（クロック同期式モード）	10-29
図10.14	データ送受信同時動作のフローチャートの例（クロック同期式モード）	10-30
図10.15 (a)	RDRFのセットとRXI割り込み	10-32
図10.15 (b)	TDREのセットとTXI割り込み	10-33
図10.15 (c)	TENDのセットとTEI割り込み	10-33
図10.16	調歩同期式モードの受信データサンプリングタイミング	10-35
図10.17	RDRのリードタイミングとデータの関係	10-36
11.	10ビットPWM	
図11.1 (1)	10ビットPWMのブロック図 （H8/3802グループ、H8/38004グループ、H8/38002Sグループ）	11-2
図11.1 (2)	10ビットPWMのブロック図（H8/38104グループ）	11-3
図11.2	10ビットPWM出力波形	11-6
12.	A/D変換器	
図12.1	A/D変換器のブロック図	12-2
図12.2	A/D変換器の動作例	12-6
図12.3	A/D変換器の使用手順の概念フロー（ソフトウェアでポーリングする場合）	12-7
図12.4	A/D変換器の使用手順の概念フロー（割り込みを使用する場合）	12-8
図12.5	A/D変換精度の定義（1）	12-9
図12.6	A/D変換精度の定義（2）	12-10
図12.7	アナログ入力回路の例	12-11
13.	LCDコントローラ/ドライバ	
図13.1 (1)	H8/3802グループ、H8/38004グループ、H8/38002Sグループ LCDコントローラ/ドライバのブロック図	13-2
図13.1 (2)	H8/38104グループLCDコントローラ/ドライバのブロック図	13-3
図13.2	1/2デューティ時のLCD駆動電源の処理	13-8
図13.3	LCD RAMマップ（1/4デューティ）	13-10
図13.4	LCD RAMマップ（1/3デューティ）	13-11
図13.5	LCD RAMマップ（1/2デューティ）	13-11
図13.6	LCD RAMマップ（スタティック）	13-12
図13.7	各デューティでの出力波形（A波形）	13-13
図13.8	各デューティでの出力波形（B波形）	13-14
図13.9	外部分割抵抗の接続方法	13-16
14.	パワーオンリセット&低電圧検出回路（H8/38104グループのみ）	
図14.1	パワーオンリセット回路および低電圧検出回路ブロック図	14-2
図14.2	パワーオンリセット回路動作タイミング	14-6
図14.3	低電圧検出リセット回路動作タイミング	14-7
図14.4	低電圧検出割り込み回路動作タイミング	14-8
図14.5	低電圧検出割り込み回路動作タイミング（Vref、extD/extU端子使用時）	14-9
図14.6	Vref、extD、extU端子を使用した場合のLVD機能使用例	14-10
図14.7	低電圧検出回路の動作/解除の設定タイミング	14-12
15.	電源回路（H8/38104グループのみ）	
図15.1	内部電源降圧回路を使用する場合の電源接続図	15-1
図15.2	内部電源降圧回路を使用しない場合の電源接続図	15-2

17. 電気的特性

図17.1	電源立ち上がりタイミング	17-57
図17.2	クロック入力タイミング	17-58
図17.3	$\overline{\text{RES}}$ 端子Lowレベル幅タイミング	17-58
図17.4	入力タイミング	17-58
図17.5	SCK3入力クロックタイミング	17-58
図17.6	SCI3クロック同期式モード入出力タイミング	17-59
図17.7	出力負荷条件	17-59
図17.8	発振子の等価回路	17-60
図17.9	発振子の等価回路	17-60

付録.

図B.1 (a)	ポート3ブロック図 (P37、P36端子)	付録-19
図B.1 (b)	ポート3ブロック図 (P35端子)	付録-20
図B.1 (c)	ポート3ブロック図 (P34、P33端子)	付録-21
図B.1 (d)	ポート3ブロック図 (P32、P31端子)	付録-22
図B.2 (a)	ポート4ブロック図 (P43端子)	付録-23
図B.2 (b)	ポート4ブロック図 (P42端子)	付録-24
図B.2 (c)	ポート4ブロック図 (P41端子)	付録-25
図B.2 (d)	ポート4ブロック図 (P40端子)	付録-26
図B.3	ポート5ブロック図	付録-27
図B.4	ポート6ブロック図	付録-28
図B.5	ポート7ブロック図	付録-29
図B.6	ポート8ブロック図 (P80端子)	付録-30
図B.7 (a)	ポート9ブロック図 (P91、P90端子)	付録-31
図B.7 (b)	ポート9ブロック図 (P95 ~ P92端子)	付録-31
図B.7 (c)	ポート9ブロック図 (P93端子、H8/38104グループのみ)	付録-32
図B.8	ポートAブロック図	付録-33
図B.9 (a)	ポートBブロック図	付録-34
図B.9 (b)	ポートBブロック図 (PB0端子、H8/38104グループのみ)	付録-35
図B.9 (c)	ポートBブロック図 (PB1端子、H8/38104グループのみ)	付録-36
図E.1	外形寸法図 [FP-64A]	付録-43
図E.2	外形寸法図 [FP-64E]	付録-44
図E.3	外形寸法図 [FP-64K]	付録-45
図E.4	外形寸法図 [DP-64S]	付録-46
図E.5	外形寸法図 [TNP-64B]	付録-47
図F.1	チップ断面図 (HCD6433802、HCD6433801、HCD6433800)	付録-48
図F.2	チップ断面図 (HCD64338004、HCD64338003、HCD64338002、HCD64338001、 HCD64338000)	付録-48
図F.3	チップ断面図 (HCD64F38004、HCD64F38002)	付録-49
図G.1	ボンディングパッド形状図 (HCD6433802、HCD6433801、HCD6433800、 HCD64338004、HCD64338003、HCD64338002、HCD64338001、 HCD64338000、HCD64F38004、HCD64F38002)	付録-49
図H.1	チップトレイ仕様図 (HCD6433802、HCD6433801、HCD6433800)	付録-50
図H.2	チップトレイ仕様図 (HCD64338004、HCD64338003、HCD64338002、 HCD64338001、HCD64338000)	付録-51
図H.3	チップトレイ仕様図 (HCD64F38004、HCD64F38002)	付録-52

表目次

1. 概要	
表1.1 HCD6433802、HCD6433801、HCD6433800のパッド座標.....	1-11
表1.2 HCD64338004、HCD64338003、HCD64338002、HCD64338001、HCD64338000の パッド座標	1-13
表1.3 HCD64F38004、HCD64F38002のパッド座標	1-15
表1.4 端子機能.....	1-16
2. CPU	
表2.1 命令の分類.....	2-17
表2.2 オペレーションの記号.....	2-18
表2.3 データ転送命令.....	2-19
表2.4 算術演算命令.....	2-21
表2.5 論理演算命令.....	2-22
表2.6 シフト命令.....	2-22
表2.7 ビット操作命令.....	2-24
表2.8 分岐命令.....	2-27
表2.9 システム制御命令.....	2-29
表2.10 ブロック転送命令.....	2-30
表2.11 アドレッシングモード一覧表	2-31
表2.12 実効アドレスの計算方法	2-34
表2.13 同一のアドレスに割り付けられた2つのレジスタの一覧.....	2-47
表2.14 ライト専用ビットを含むレジスタの一覧.....	2-47
3. 例外処理	
表3.1 例外処理要因とベクタアドレス	3-3
表3.2 割り込み要求待ちステート数	3-13
表3.3 割り込み要求フラグが1にセットされる条件.....	3-16
4. クロック発振器	
表4.1 水晶発振子のパラメータ	4-5
表4.2 システムクロック発振器とオンチップオシレータの選択方法.....	4-6
5. 低消費電力モード	
表5.1 (1) 動作周波数と待機時間 (H8/3802グループ、H8/38004グループ、H8/38002Sグループ)	5-3
表5.1 (2) 動作周波数と待機時間 (H8/38104グループ)	5-3
表5.2 SLEEP命令実行後の状態と割り込みによる復帰先.....	5-8
表5.3 各動作モードでのLSIの状態	5-8
6. ROM	
表6.1 PROMモードの設定.....	6-2
表6.2 PROMモード時の書き込みモードの選択 (H8/3802)	6-5
表6.3 DC特性.....	6-7
表6.4 AC特性.....	6-7
表6.5 プログラミングモード選択方法	6-16

表6.6	ブートモードの動作	6-18
表6.7	ビットレート自動合わせ込みが可能な発振周波数 (fosc)	6-19
表6.8	再書き込みデータ演算表	6-23
表6.9	追加書き込みデータ演算表	6-23
表6.10	書き込み時間	6-23
表6.11	ライターモードのコマンドシーケンス	6-27
表6.12	メモリ読み出し第1サイクルのAC特性	6-30
表6.13	メモリ読み出しから他のコマンドへ遷移時のAC特性	6-31
表6.14	メモリ読み出し時のAC特性	6-32
表6.15	自動書き込み時のAC特性	6-34
表6.16	自動消去時のAC特性	6-35
表6.17	ステータス読み出し時のAC特性	6-36
表6.18	ステータス読み出しのリターンコード	6-37
表6.19	ステータスポーリング出力	6-38
表6.20	コマンド待ち状態までの遷移時間規定	6-38
表6.21	フラッシュメモリの動作状態	6-39
8.	I/Oポート	
表8.1	ポートの機能	8-2
9.	タイマ	
表9.1	タイマの機能概要	9-1
表9.2	タイマAの動作モード	9-4
表9.3	端子構成	9-7
表9.4	タイマFの動作モード	9-16
表9.5	端子構成	9-22
表9.6	イベントカウンタPWM動作例	9-30
表9.7	非同期イベントカウンタの動作モード	9-31
表9.8 (1)	ウォッチドッグタイマモードの動作モード (H8/38004、H8/38002Sグループ)	9-37
表9.8 (2)	ウォッチドッグタイマモードの動作モード (H8/38104グループ)	9-38
10.	シリアルコミュニケーションインタフェース 3 (SC13)	
表10.1	端子構成	10-2
表10.2	ビットレートに対するBRRの設定例〔調歩同期式モード〕 (1)	10-11
表10.2	ビットレートに対するBRRの設定例〔調歩同期式モード〕 (2)	10-11
表10.3	nとクロックの関係	10-12
表10.4	各周波数における最大ビットレート〔調歩同期式モード〕	10-12
表10.5	ビットレートに対するBRRの設定例〔クロック同期式モード〕 (1)	10-13
表10.5	ビットレートに対するBRRの設定例〔クロック同期式モード〕 (2)	10-13
表10.6	nとクロックの関係	10-14
表10.7	通信フォーマット (調歩同期式モード)	10-17
表10.8	SMRの設定値と送信 / 受信フォーマット	10-18
表10.9	SMR、SCR3の設定とクロックソースの選択	10-18
表10.10	SSRのステータスフラグの状態と受信データの転送	10-23
表10.11	SCI3の割り込み要求	10-31
表10.12	送信 / 受信割り込み	10-32
11.	10ビットPWM	
表11.1	端子構成	11-4

表11.2	PWMの動作モード	11-6
12.	A/D変換器	
表12.1	端子構成	12-2
表12.2	A/D変換器の動作モード	12-4
13.	LCDコントローラ/ドライバ	
表13.1	端子構成	13-4
表13.2	デューティ比、コモン機能の選択	13-5
表13.3	セグメントドライバの選択	13-5
表13.4	フレーム周波数の選択	13-7
表13.5	出力レベルの関係	13-15
表13.6	低消費電力モードと表示動作の関係	13-15
14.	パワーオンリセット&低電圧検出回路 (H8/38104 グループのみ)	
表14.1	LVDCRの設定と選択機能	14-4
17.	電気的特性	
表17.1	絶対最大定格	17-1
表17.2	DC特性	17-5
表17.3	制御信号タイミング	17-11
表17.4	シリアルインタフェース (SCI3) タイミング	17-13
表17.5	A/D変換器特性	17-14
表17.6	LCD特性	17-15
表17.7	絶対最大定格	17-16
表17.8	DC特性	17-22
表17.9	制御信号タイミング	17-29
表17.10	シリアルインタフェース (SCI3) タイミング	17-31
表17.11	A/D変換器特性	17-32
表17.12	LCD特性	17-33
表17.13	フラッシュメモリ特性	17-34
表17.14	電源特性	17-35
表17.15	絶対最大定格	17-36
表17.16	DC特性	17-41
表17.17	制御信号タイミング	17-48
表17.18	シリアルインタフェース (SCI3) タイミング	17-49
表17.19	A/D変換器特性	17-50
表17.20	LCD特性	17-51
表17.21	フラッシュメモリ特性	17-52
表17.22	電源電圧検出回路特性 (1)	17-54
表17.23	電源電圧検出回路特性 (2) 内蔵基準電圧およびラダー抵抗使用時 (VREFSEL = VINTDSEL = VINTUSEL = 0)	17-54
表17.24	電源電圧検出回路特性 (3) 内蔵基準電圧および検出電圧外部入力時 (VREFSEL = 0、VINTDSEL、VINTUSEL = 1)	17-54
表17.25	電源電圧検出回路特性 (4) 外部基準電圧およびラダー抵抗使用時 (VREFSEL = 1、VINTDSEL = VINTUSEL = 0)	17-55
表17.26	電源電圧検出回路特性 (5) 外部基準電圧および検出電圧外部入力時 (VREFSEL = VINTDSEL = VINTUSEL = 1)	17-55
表17.27	パワーオンリセット特性	17-56
表17.28	ウォッチドッグタイマ特性	17-56

表17.29 電源特性.....	17-56
------------------	-------

付録.

表A.1 命令セット一覧.....	付録-2
表A.2 オペレーションコードマップ.....	付録-12
表A.3 実行状態（サイクル）に要するステート数.....	付録-13
表A.4 命令の実行状態（サイクル数）.....	付録-14
表C.1 各ポートの状態一覧.....	付録-37
表D.1 H8/3802グループ型名一覧.....	付録-38
表D.2 H8/38004グループ型名一覧.....	付録-39
表D.3 H8/38002Sグループ型名一覧.....	付録-41
表D.4 H8/38104グループ型名一覧.....	付録-42

1. 概要

1.1 特長

- 高速H8/300L CPU

H8/300 CPUと完全命令互換

汎用レジスタ：8ビット×16本

（16ビット×8本としても使用可能）

基本命令：55種類

- 豊富な周辺機能

タイマA（時計用タイムベースとして使用可能）

タイマF（16ビットタイマ）

非同期イベントカウンタ（16ビットタイマ）

ウォッチドッグタイマ（WDT）（H8/38004、H8/38002S、H8/38104グループのみ）

SCI3（調歩同期式またはクロック同期式シリアルコミュニケーションインタフェース）

10ビットPWM

10ビットA/D変換器

LCDコントローラ/ドライバ

パワーオンリセット&低電圧検出回路（H8/38014グループのみ）

1. 概要

- 内蔵メモリ

製品分類		製品型名	ROM	RAM
フラッシュメモリ版 (F-ZTAT™版)	H8/38004	HD64F38004	32K バイト	1K バイト
	H8/38002	HD64F38002	16K バイト	1K バイト
	H8/38104	HD64F38104	32K バイト	1K バイト
	H8/38102	HD64F38102	16K バイト	1K バイト
PROM 版 (ZTAT®版)	H8/3802	HD6473802	16K バイト	1K バイト
マスク ROM 版	H8/3802	HD6433802	16K バイト	1K バイト
	H8/3801	HD6433801	12K バイト	512 バイト
	H8/3800	HD6433800	8K バイト	512 バイト
	H8/38004	HD64338004	32K バイト	1K バイト
	H8/38003	HD64338003	24K バイト	1K バイト
	H8/38002	HD64338002	16K バイト	1K バイト
	H8/38001	HD64338001	12K バイト	512 バイト
	H8/38000	HD64338000	8K バイト	512 バイト
	H8/38002S	HD64338002S	16K バイト	512 バイト
	H8/38001S	HD64338001S	12K バイト	512 バイト
	H8/38000S	HD64338000S	8K バイト	512 バイト
	H8/38104	HD64338104	32K バイト	1K バイト
	H8/38103	HD64338103	24K バイト	1K バイト
	H8/38102	HD64338102	16K バイト	1K バイト
	H8/38101	HD64338101	12K バイト	512 バイト
	H8/38100	HD64338100	8K バイト	512 バイト

【注】 F-ZTAT は (株) ルネサステクノロジの商標です。

ZTAT (Zero Turn Around Time) は (株) ルネサステクノロジの登録商標です。

- 汎用入出力ポート
入出力ポート : 39本
入力ポート : 5本
出力ポート : 6本 (H8/38104グループは5本)
- 各種低消費電力モードをサポート

• 小型パッケージ

パッケージ	コード	ボディサイズ	ピンピッチ
QFP-64	FP-64A	14.0 × 14.0 mm	0.8 mm
LQFP-64	FP-64E	10.0 × 10.0 mm	0.5 mm
LQFP-64	FP-64K*	10.0 × 10.0 mm	0.5 mm
P-VQFN-64	TNP-64B	8.0 × 8.0 mm	0.4 mm
DP-64S	DP-64S	17.0 × 57.6 mm	1.0 mm
チップ	-	-	-

DP-64S パッケージは H8/3802 グループのみ

チップは H8/38104 グループではサポートしていません。

【注】 * FP-64K は FP-64E と外形寸法が異なります。「付録 E. 外形寸法図」をご参照ください。

1. 概要

1.2 内部ブロック図

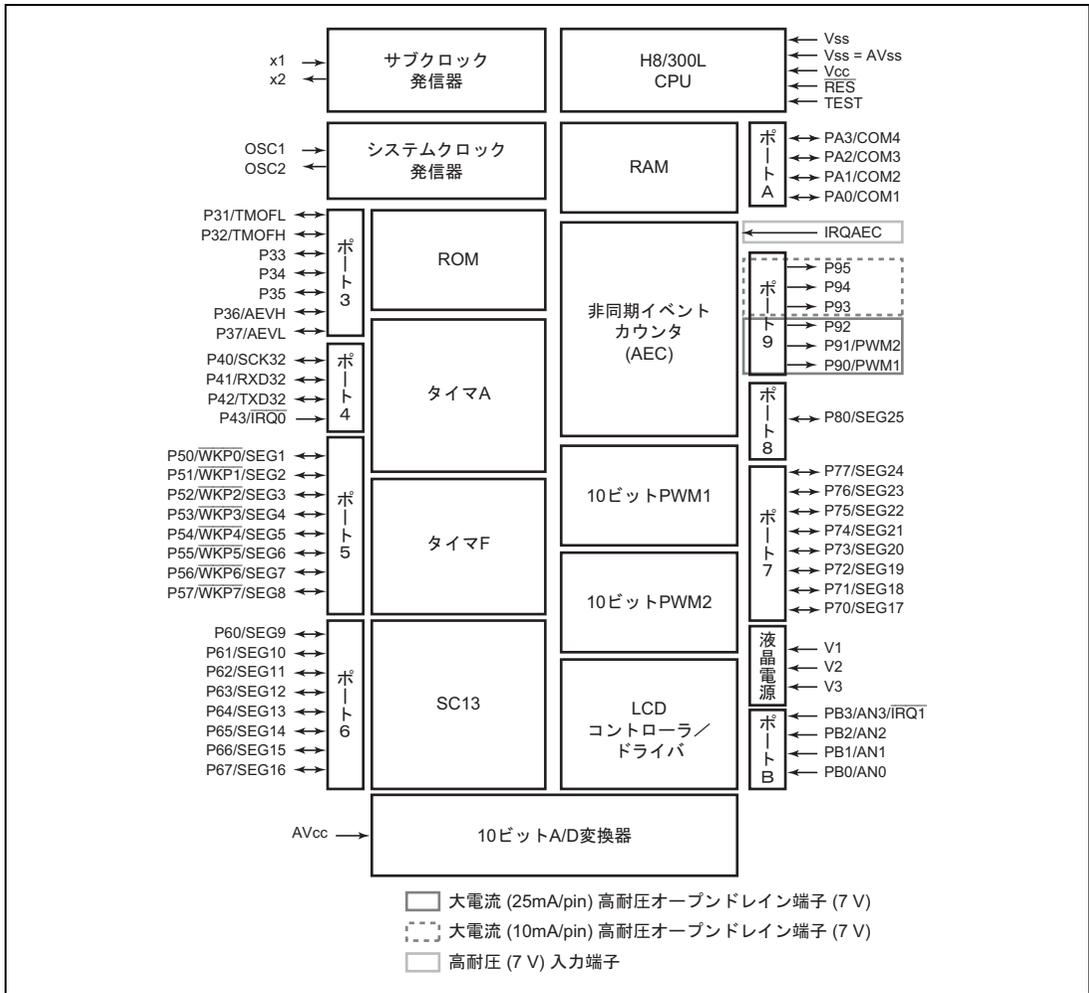


図 1.1 H8/3802 グループ内部ブロック図

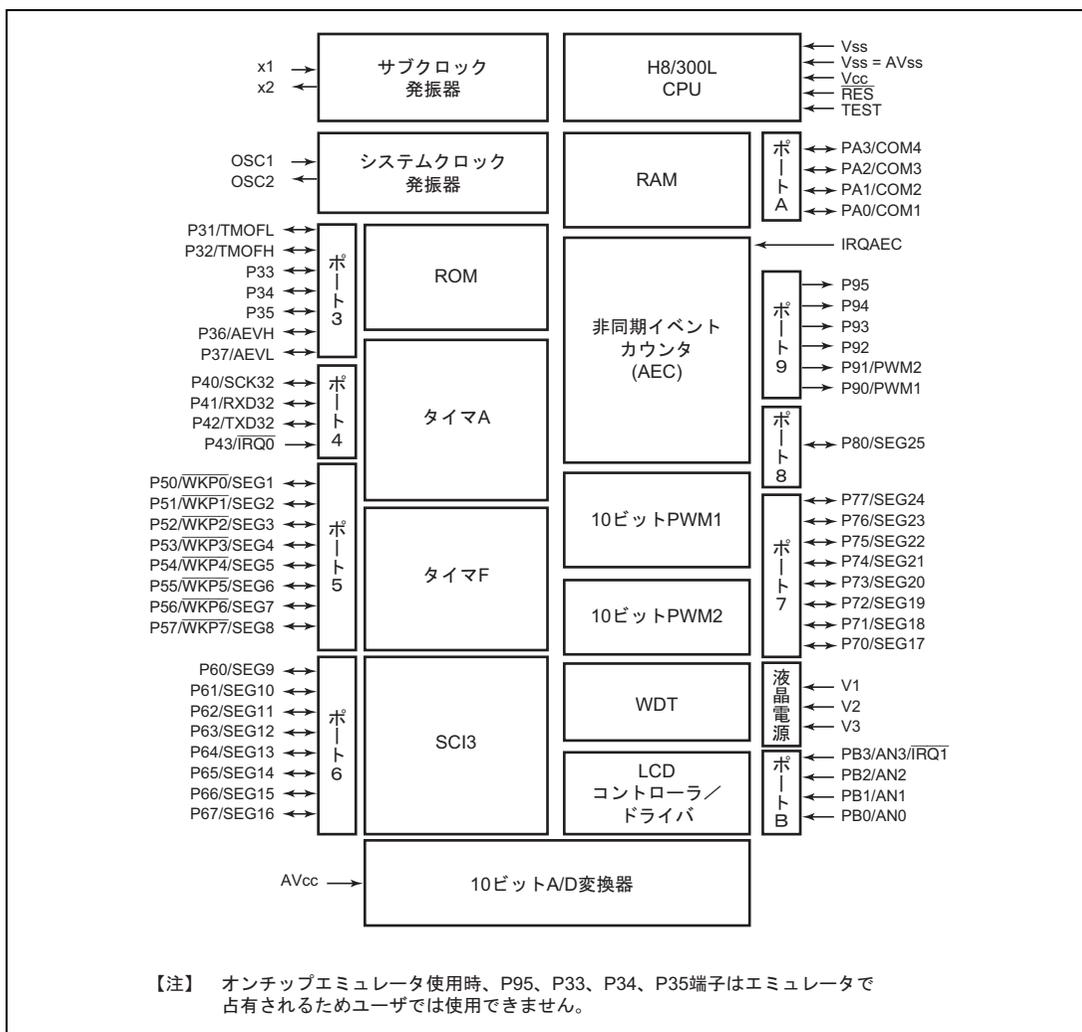


図 1.2 H8/38004、H8/38002S グループ内部ブロック図

1. 概要

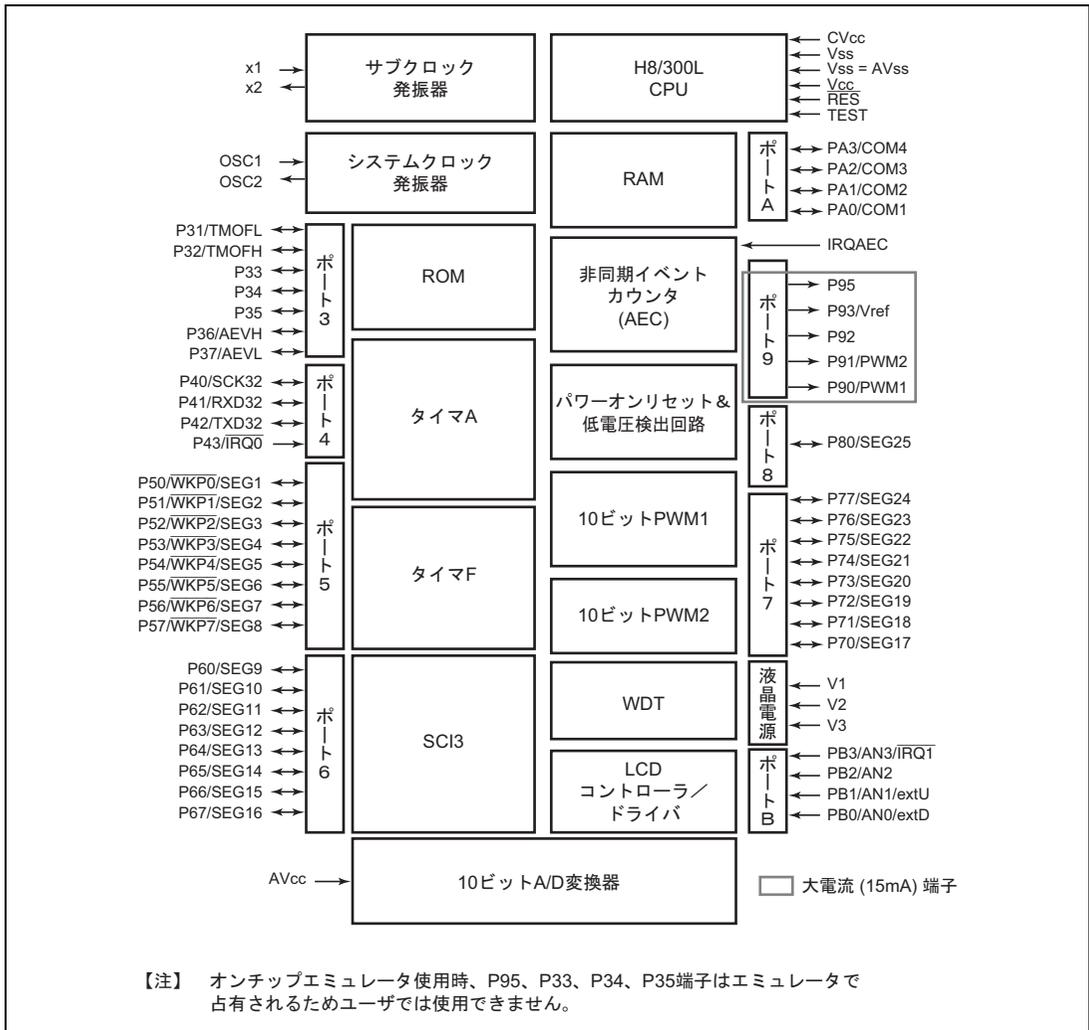


図 1.3 H8/38104 グループ内部ブロック図

1.3 ピン配置図

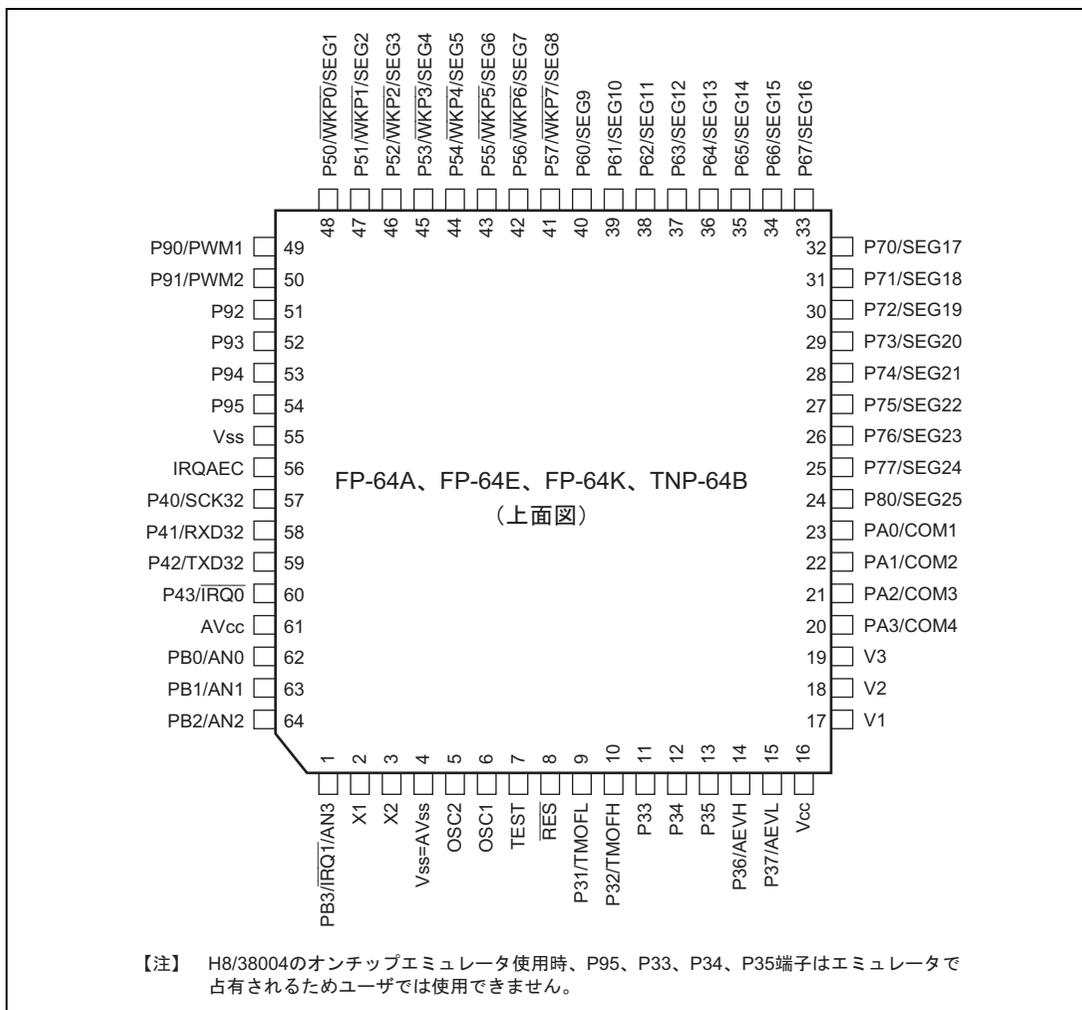


図 1.4 H8/3802 グループ、H8/38004、H8/38002S グループ ピン配置図 (FP-64A、FP-64E、FP-64K、TNP-64B)

1. 概要

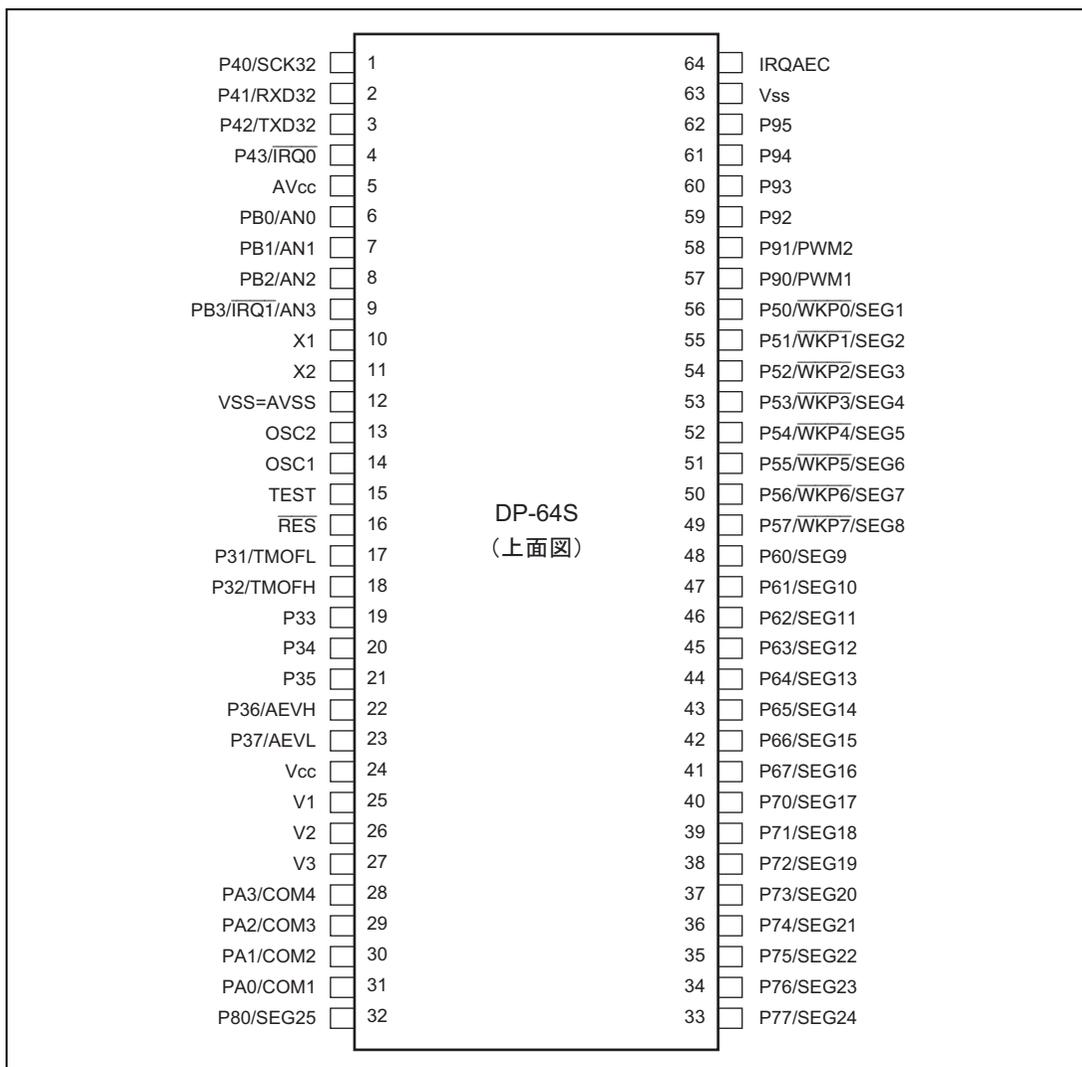


図 1.5 H8/3802 グループ ピン配置図 (DP-64S)

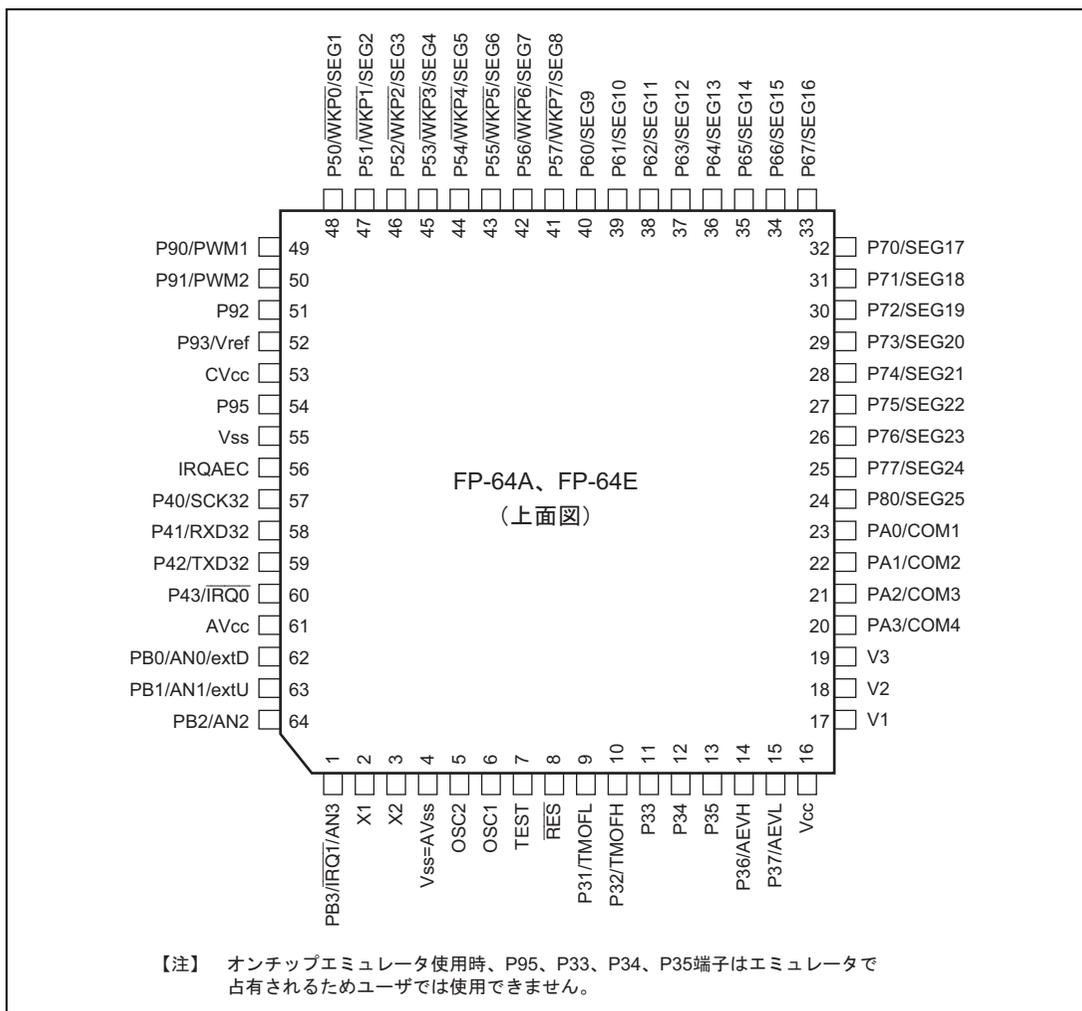


図 1.6 H8/38104 グループ ピン配置図 (FP-64A、FP-64E)

1. 概要

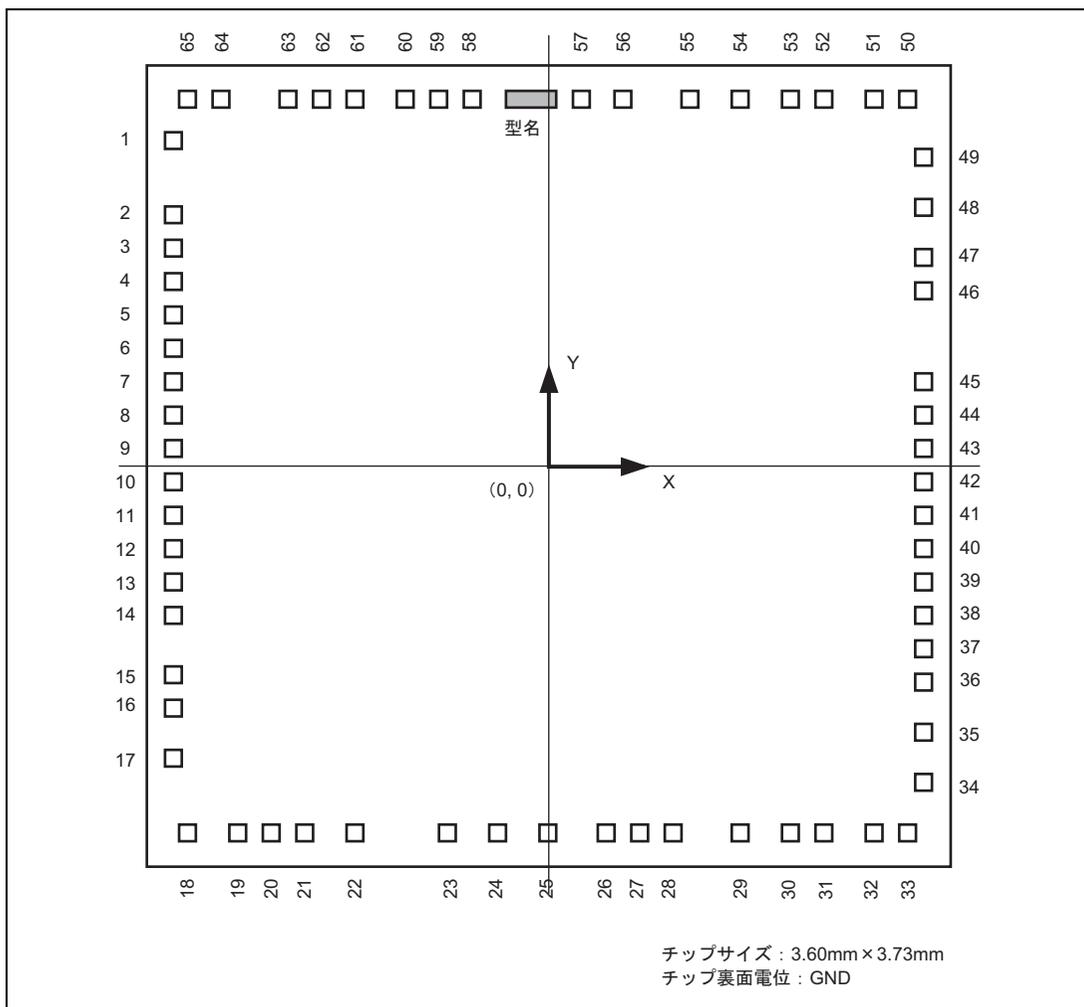


図 1.7 HCD6433802、HCD6433801、HCD6433800 のパッド配置図 (上面図)

表 1.1 HCD6433802、HCD6433801、HCD6433800 のパッド座標

パッド 番号	パッド名称	座標		パッド 番号	パッド名称	座標	
		X (μm)	Y (μm)			X (μm)	Y (μm)
1	PB3/IRQ1/AN3	-1677	1495	34	P67/SEG16	1677	-1401
2	X1	-1677	1084	35	P66/SEG15	1677	-1190
3	X2	-1677	943	36	P65/SEG14	1677	-950
4	AVss	-1677	765	37	P64/SEG13	1677	-801
5	Vss	-1677	619	38	P63/SEG12	1677	-608
6	OSC2	-1677	488	39	P62/SEG11	1677	-459
7	OSC1	-1677	356	40	P61/SEG10	1677	-310
8	TEST	-1677	225	41	P60/SEG9	1677	-160
9	RES	-1677	94	42	P57/WKP7/SEG8	1677	-11
10	P31/TMOFL	-1677	-40	43	P56/WKP6/SEG7	1677	121
11	P32/TMOFH	-1677	-176	44	P55/WKP5/SEG6	1677	252
12	P33	-1677	-313	45	P54/WKP4/SEG5	1677	383
13	P34	-1677	-450	46	P53/WKP3/SEG4	1677	801
14	P35	-1677	-587	47	P52/WKP2/SEG3	1677	950
15	P36/AEVH	-1677	-943	48	P51/WKP1/SEG2	1677	1190
16	P37/AEVL	-1677	-1083	49	P50/WKP0/SEG1	1677	1402
17	Vcc	-1677	-1404	50	P90/PWM1	1578	1742
18	V1	-1578	-1742	51	P91/PWM2	1411	1742
19	V2	-1339	-1742	52	P92	1193	1742
20	V3	-1193	-1742	53	P93	1051	1742
21	PA3/COM4	-1049	-1742	54	P94	850	1742
22	PA2/COM3	-850	-1742	55	P95	650	1742
23	PA1/COM2	-400	-1742	56	Vss	400	1742
24	PA0/COM1	-200	-1742	57	IRQAEC	200	1742
25	P80/SEG25	0	-1742	58	P40/SCK32	-298	1742
26	P77/SEG24	320	-1742	59	P41/RXD32	-435	1742
27	P76/SEG23	451	-1742	60	P42/TXD32	-572	1742
28	P75/SEG22	583	-1742	61	P43/IRQ0	-752	1742
29	P74/SEG21	850	-1742	62	AVcc	-1036	1742
30	P73/SEG20	1051	-1742	63	PB0/AN0	-1170	1742
31	P72/SEG19	1193	-1742	64	PB1/AN1	-1400	1742
32	P71/SEG18	1400	-1742	65	PB2/AN2	-1578	1742
33	P70/SEG17	1578	-1742				

【注】 パッド番号 4、5、56 の電源 (Vss) パッドは、オープンにせず必ず接続してください。パッド番号 8 の (TEST) パッドは、必ず Vss 電位に接続してください。接続されない場合、LSI は正常に動作しません。座標数値はパッド部の中心位置を示し、精度は ±5μm です。原点はチップの中心で、中心は上下と左右のパッド間の距離の 1/2 の位置です。

1. 概要

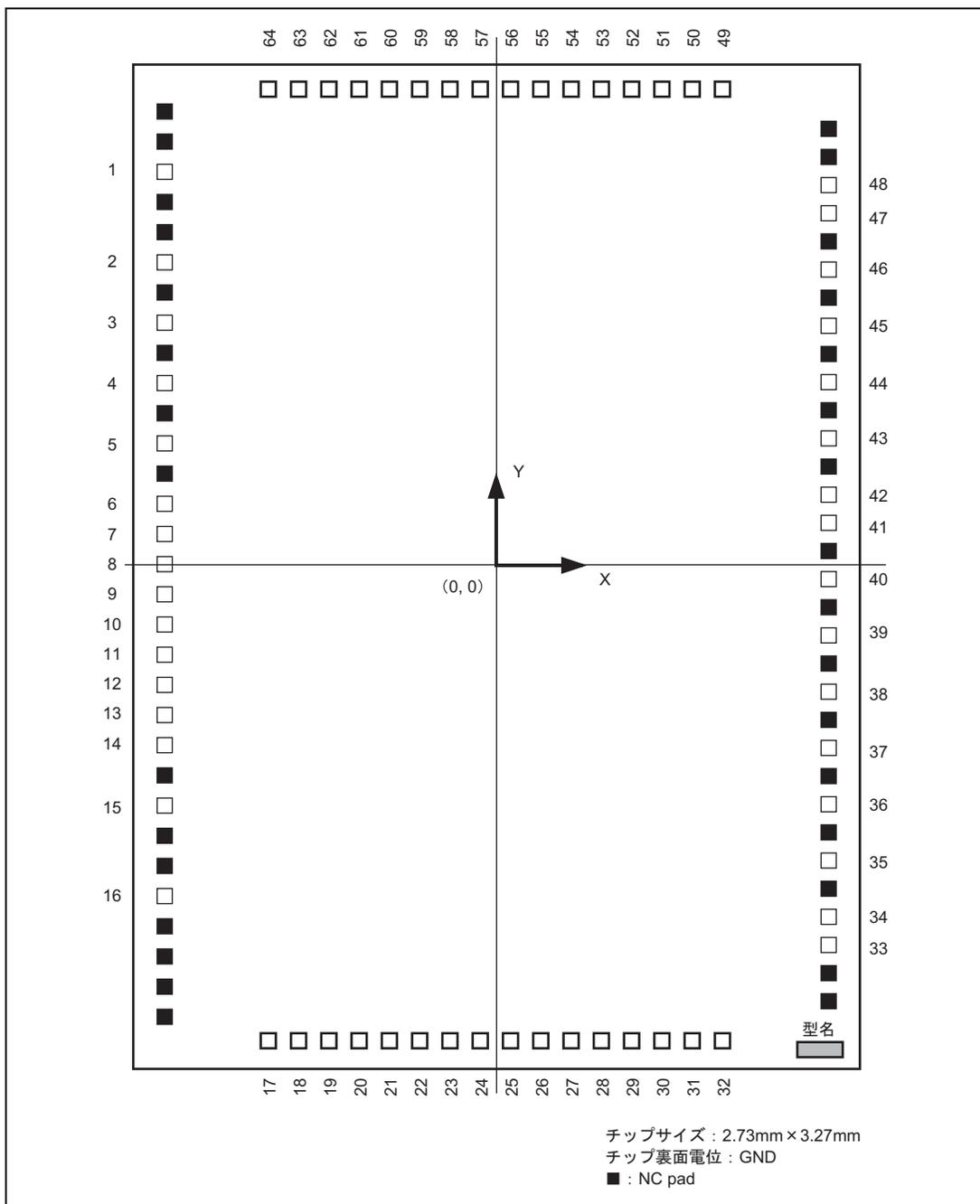


図 1.8 HCD64338004、HCD64338003、HCD64338002、
 HCD64338001、HCD64338000 のパッド配置図 (上面図)

表 1.2 HCD64338004、HCD64338003、HCD64338002、HCD64338001、HCD64338000 のパッド座標

パッド 番号	パッド名称	座標		パッド 番号	パッド名称	座標	
		X (μm)	Y (μm)			X (μm)	Y (μm)
1	PB3/IRQ1/AN3	-1224	1214	33	P67/SEG16	1215	-1194
2	X1	-1224	957	34	P66/SEG15	1215	-1080
3	X2	-1224	786	35	P65/SEG14	1215	-909
4	Vss = AVss	-1224	596	36	P64/SEG13	1215	-738
5	OSC2	-1224	406	37	P63/SEG12	1215	-566
6	OSC1	-1224	234	38	P62/SEG11	1215	-395
7	TEST	-1224	120	39	P61/SEG10	1215	-224
8	RES	-1224	6	40	P60/SEG9	1215	-52
9	P31/TMOFL	-1224	-108	41	P57/WKP7/SEG8	1215	119
10	P32/TMOFH	-1224	-222	42	P56/WKP6/SEG7	1215	233
11	P33	-1224	-336	43	P55/WKP5/SEG6	1215	404
12	P34	-1224	-450	44	P54/WKP4/SEG5	1215	576
13	P35	-1224	-564	45	P53/WKP3/SEG4	1215	747
14	P36/AEVH	-1224	-678	46	P52/WKP2/SEG3	1215	919
15	P37/AEVL	-1224	-849	47	P51/WKP1/SEG2	1215	1090
16	Vcc	-1224	-1142	48	P50/WKP0/SEG1	1215	1206
17	V1	-922	-1484	49	P90/PWM1	913	1494
18	V2	-799	-1484	50	P91/PWM2	790	1494
19	V3	-676	-1484	51	P92	667	1494
20	PA3/COM4	-553	-1484	52	P93	544	1494
21	PA2/COM3	-430	-1484	53	P94	421	1494
22	PA1/COM2	-307	-1484	54	P95	299	1494
23	PA0/COM1	-185	-1484	55	Vss	176	1494
24	P80/SEG25	-62	-1484	56	IRQAEC	37	1494
25	P77/SEG24	53	-1484	57	P40/SCK32	-77	1494
26	P76/SEG23	176	-1484	58	P41/RXD32	-200	1494
27	P75/SEG22	299	-1484	59	P42/TXD32	-323	1494
28	P74/SEG21	421	-1484	60	P43/IRQ0	-446	1494
29	P73/SEG20	544	-1484	61	AVcc	-569	1494
30	P72/SEG19	667	-1484	62	PB0/AN0	-692	1494
31	P71/SEG18	790	-1484	63	PB1/AN1	-815	1494
32	P70/SEG17	913	-1484	64	PB2/AN2	-937	1494

【注】 パッド番号 4、55 の電源 (Vss は) パッドは、オープンにせず必ず接続してください。パッド番号 7 の (TEST) パッドは、必ず Vss 電位に接続してください。接続されない場合、LSI は正常に動作しません。座標数値はパッド部の中心位置を示し、精度は ±5μm です。原点はチップの中心で、中心は上下と左右のパッド間の距離の 1/2 の位置です。

1. 概要

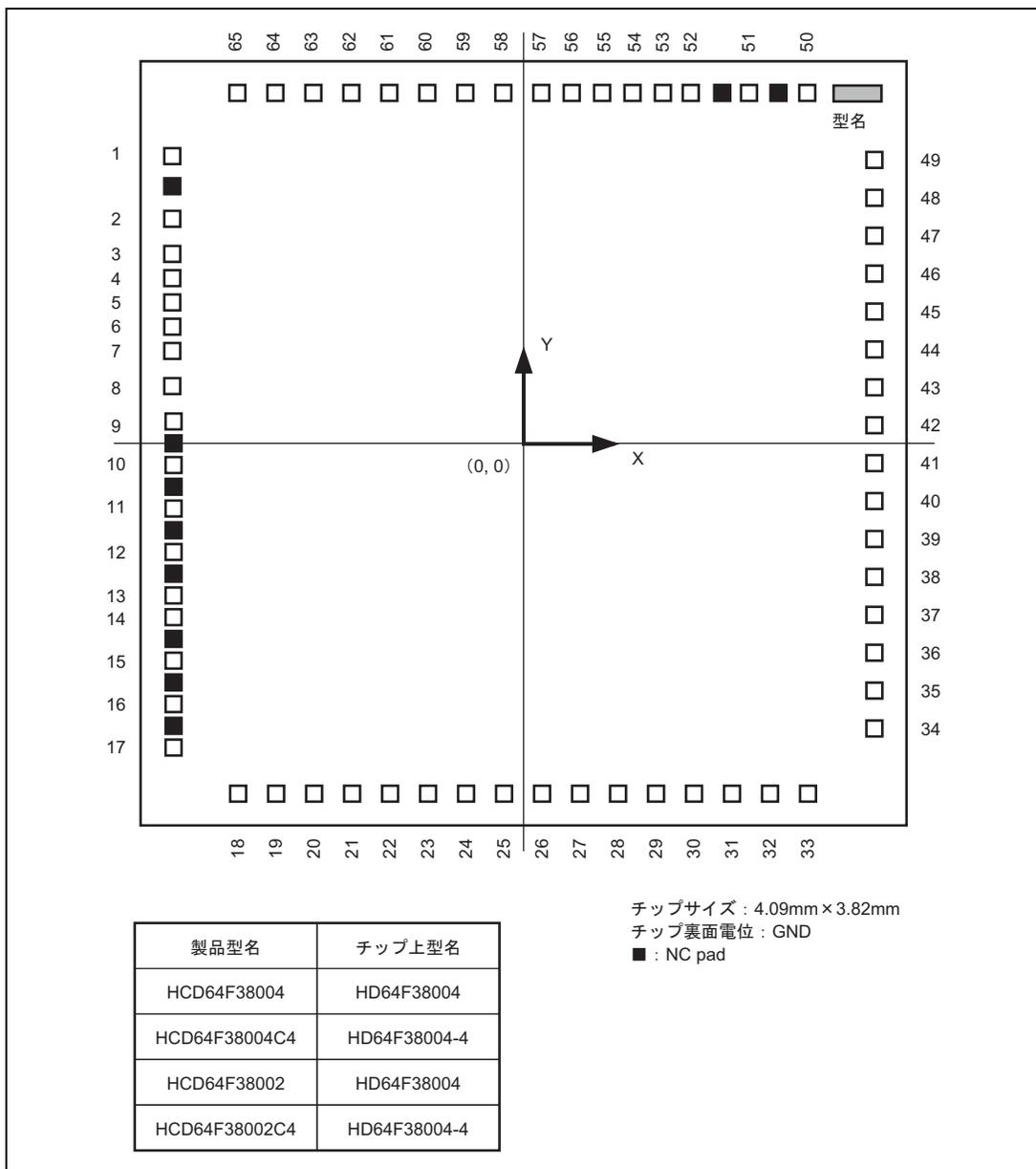


図 1.9 HCD64F38004、HCD64F38002 のパッド配置図 (上面図)

表 1.3 HCD64F38004、HCD64F38002 のパッド座標

パッド 番号	パッド名称	座標		パッド 番号	パッド名称	座標	
		X (μm)	Y (μm)			X (μm)	Y (μm)
1	PB3/IRQT/AN3	-1915	1490	34	P67/SEG16	1914	-1496
2	X1	-1915	1182	35	P66/SEG15	1914	-1297
3	X2	-1915	1022	36	P65/SEG14	1914	-1098
4	Vss	-1915	926	37	P64/SEG13	1914	-899
5	Vss = AVss	-1915	786	38	P63/SEG12	1914	-700
6	OSC2	-1915	648	39	P62/SEG11	1914	-500
7	OSC1	-1915	495	40	P61/SEG10	1914	-302
8	TEST	-1915	295	41	P60/SEG9	1914	-103
9	RES	-1915	96	42	P57/WKP7/SEG8	1914	96
10	P31/TMOFL	-1915	-103	43	P56/WKP6/SEG7	1914	295
11	P32/TMOFH	-1915	-302	44	P55/WKP5/SEG6	1914	495
12	P33	-1915	-486	45	P54/WKP4/SEG5	1914	694
13	P34	-1915	-657	46	P53/WKP3/SEG4	1914	893
14	P35	-1915	-750	47	P52/WKP2/SEG3	1914	1092
15	P36/AEVH	-1915	-989	48	P51/WKP1/SEG2	1914	1291
16	P37/AEVL	-1915	-1247	49	P50/WKP0/SEG1	1914	1490
17	Vcc	-1915	-1438	50	P90/PWM1	1628	1779
18	V1	-1623	-1779	51	P91/PWM2	1368	1779
19	V2	-1406	-1779	52	P92	1113	1779
20	V3	-1189	-1779	53	P93	976	1779
21	PA3/COM4	-973	-1779	54	P94	759	1779
22	PA2/COM3	-756	-1779	55	P95	542	1779
23	PA1/COM2	-539	-1779	56	Vss	324	1779
24	PA0/COM1	-323	-1779	57	IRQAEC	96	1779
25	P80/SEG25	-106	-1779	58	P40/SCK32	-109	1779
26	P77/SEG24	111	-1779	59	P41/RXD32	-327	1779
27	P76/SEG23	328	-1779	60	P42/TXD32	-545	1779
28	P75/SEG22	544	-1779	61	P43/IRQ0	-762	1779
29	P74/SEG21	761	-1779	62	AVcc	-980	1779
30	P73/SEG20	978	-1779	63	PB0/AN0	-1198	1779
31	P72/SEG19	1194	-1779	64	PB1/AN1	-1414	1779
32	P71/SEG18	1411	-1779	65	PB2/AN2	-1613	1779
33	P70/SEG17	1628	-1779				

【注】 パッド番号 4、5、56 の電源 (Vss) パッドは、オープンにせず必ず接続してください。パッド番号 8 の (TEST) パッドは、必ず Vss 電位に接続してください。接続されない場合、LSI は正常に動作しません。座標数値はパッド部の中心位置を示し、精度は ±5μm です。原点はチップの中心で、中心は上下と左右のパッド間の距離の 1/2 の位置です。

1. 概要

1.4 端子機能

表 1.4 端子機能

分類	記号	ピン番号		パッド 番号 *1*3	パッド 番号*2	入出力	機能
		FP-64A FP-64E FP-64K TNP-64B	DP-64S				
電源	V _{CC}	16	24	17	16	入力	電源端子です。システムの電源に接続してください。
	V _{SS}	4 (=AV _{SS}) 55	12 (=AV _{SS}) 63	4 5 56	4 55	入力	グランド端子です。システムの電源(0V)に接続してください。
	AV _{CC}	61	5	62	61	入力	A/D変換器用アナログ電源端子です。A/D変換器を使用しない場合、システムの電源に接続してください。
	AV _{SS}	4 (=V _{SS})	12 (=V _{SS})	4 5	4	入力	アナロググランド A/D変換器用グランド端子です。システムの電源(0V)に接続してください。
	V1 V2 V3	17 18 19	25 26 27	18 19 20	17 18 19	入力	LCDコントローラ/ドライバ用の電源端子です。
	CV _{CC} *4	53	—	—	—	入力	内部降圧電源端子です。 安定化のため、この端子とV _{SS} 端子との間に0.1μF程度の容量を挿入してください。
クロック	OSC1	6	14	7	6	入力	システムクロック用水晶発振子またはセラミック発振子接続端子です。
	OSC2	5	13	6	5	出力	外部クロックを入力することもできます。接続例については「第4章 クロック発振器」を参照してください。
	X1	2	10	2	2	入力	サブクロック用32.768kHzまたは38.4kHz*5の水晶発振子接続端子です。
	X2	3	11	3	3	出力	接続例については「第4章 クロック発振器」を参照してください。
システム制御	RES	8	16	9	8	入力	リセット端子です。 この端子をLowレベルにすると、リセット状態になります。
	TEST	7	15	8	7	入力	テスト端子です。V _{SS} 電位に接地してください。 ユーザは、使用できません。

1. 概要

分類	記号	ピン番号		パッド 番号 *1*3	パッド 番号*2	入出力	機能
		FP-64A FP-64E FP-64K TNP-64B	DP-64S				
割り込み	$\overline{\text{IRQ0}}$	60	4	61	60	入力	外部割り込み要求入力端子です。 立ち上がりエッジセンス / 立ち下がりエッジセンスを選択できます。
	$\overline{\text{IRQ1}}$	1	9	1	1		
	IRQAEC	56	64	57	56	入力	非同期イベントカウンタ割り込み入力端子です。 非同期イベント入力を有効にします。 H8/38104 グループでは、リセット期間中の入力レベルにより発振器を選択しますので必ず、V _{CC} または GND に固定してください。選択方法は「第4章 クロック発振器」を参照してください。
	$\overline{\text{WKP7}}$ ~ $\overline{\text{WKP0}}$	41 ~ 48	49 ~ 56	42 ~ 49	41 ~ 48	入力	ウェイクアップ割り込み要求入力端子です。 立ち上がりエッジセンス / 立ち下がりエッジセンスを選択できます。
タイマ	AEVL	15	23	16	15	入力	非同期イベントカウンタに入力するイベント入力端子です。
	AEVH	14	22	15	14		
	TMOFL	9	17	10	9	出力	タイマ FL アウトプットコンペア機能により生成された波形の出力端子です。
	TMOFH	10	18	11	10	出力	タイマ FH アウトプットコンペア機能により生成された波形の出力端子です。
10 ビット PWM	PWM1	49	57	50	49	出力	チャンネル 1、2 の 10 ビット PWM により生成された波形の出力端子です。
	PWM2	50	58	51	50		
I/O ポート	P37 ~ P31	15 ~ 9	23 ~ 17	16 ~ 10	15 ~ 9	入出力	7 ビットの入出力端子です。ポートコントロールレジスタ 3 (PCR3) によって、1 ビットごとに入出力を指定できます。オンチップエミュレータ使用時、P33、P34、P35 端子はエミュレータで占有されるためユーザは使用できません。
	P43	60	4	61	60	入力	1 ビットの入力端子です。
	P42 ~ P40	59 ~ 57	3 ~ 1	60 ~ 58	59 ~ 57	入出力	3 ビットの入出力端子です。ポートコントロールレジスタ 4 (PCR4) によって、1 ビットごとに入出力を指定できます。
	P57 ~ P50	41 ~ 48	49 ~ 56	42 ~ 49	41 ~ 48	入出力	8 ビットの入出力端子です。ポートコントロールレジスタ 5 (PCR5) によって、1 ビットごとに入出力を指定できます。
	P67 ~ P60	33 ~ 40	41 ~ 48	34 ~ 41	33 ~ 40	入出力	8 ビットの入出力端子です。ポートコントロールレジスタ 6 (PCR6) によって、1 ビットごとに入出力を指定できます。

1. 概要

分類	記号	ピン番号		パッド 番号 *1*3	パッド 番号*2	入出力	機能
		FP-64A FP-64E FP-64K TNP-64B	DP-64S				
I/O ポート	P77 ~ P70	25 ~ 32	33 ~ 40	26 ~ 33	25 ~ 32	入出力	8 ビットの入出力端子です。ポートコントロールレジスタ 7 (PCR7) によって、1 ビットごとに入出力を指定できます。
	P80	24	32	25	24	入出力	1 ビットの入出力端子です。ポートコントロールレジスタ 8 (PCR8) によって、入出力を指定できます。
	P95 ~ P90	54 ~ 49	62 ~ 57	55 ~ 50	54 ~ 49	出力	6 ビットの出力端子です。オンチップエミュレータ使用時、P95 端子はエミュレータで占有されるためユーザは使用できません。F-ZTAT 版ではユーザモードでは P95 端子をオープンにせず、High レベルにプルアップしてください。なお、H8/38104 グループには P94 はありません。
	PA3 ~ PA0	20 ~ 23	28 ~ 31	21 ~ 24	20 ~ 23	入出力	4 ビットの入出力端子です。ポートコントロールレジスタ A (PCRA) によって、入出力を指定できます。
	PB3 ~ PB0	1、 64 ~ 62	9 ~ 6	1、 65 ~ 63	1、 64 ~ 62	入力	4 ビットの入力端子です。
シリアル コミュニ ケーショ ンインタ フェース (SCI)	RXD32	58	2	59	58	入力	受信データ入力端子です。
	TXD32	59	3	60	59	出力	送信データ出力端子です。
	SCK32	57	1	58	57	入出力	クロック入出力端子です。
A/D 変換器	AN3 ~ AN0	1、 64 ~ 62	9 ~ 6	1、 65 ~ 63	1、 64 ~ 62	入力	アナログデータ入力端子です。
LCD コント ローラ/ ドライバ	COM4 ~ COM1	20 ~ 23	28 ~ 31	21 ~ 24	20 ~ 23	出力	LCD のコモン出力端子です。
	SEG25 ~ SEG1	24 ~ 48	32 ~ 56	25 ~ 49	24 ~ 48	出力	LCD のセグメント出力端子です。
低電圧 検出回路 (LVD) *4	Vref	52	—	—	—	入力	基準電圧入力端子です。
	extD	62	—	—	—	入力	電源立ち下がり検出電圧入力端子です。
	extU	63	—	—	—	入力	電源立ち上がり検出電圧入力端子です。

【注】 *1 HCD6433802、HCD6433801、HCD6433800 のパッド番号

*2 HCD64338004、HCD64338003、HCD64338002、HCD64338001、HCD64338000 のパッド番号

*3 HCD64F38004、HCD64F38002 のパッド番号

*4 H8/38104 グループのみ

*5 H8/38104 グループを除く

2. CPU

H8/300L CPU は、8 ビット×16 本（または 16 ビット×8 本）の汎用レジスタ、ならびに高速動作に適した簡潔な命令セットを備えた高速 CPU です。

2.1 特長

- 汎用レジスタ：8ビット×16本
16ビット×8本としても使用可能
- 基本命令：55種類
乗除算命令
強力なビット操作命令
- アドレッシングモード：8種類
レジスタ直接（Rn）
レジスタ間接（@Rn）
ディスプレースメント付きレジスタ間接（@（d:16,Rn））
ポストインクリメント/プリデクリメントレジスタ間接（@Rn+/@-Rn）
絶対アドレス（@aa:8/@aa:16）
イミディエイト（#xx:8/#xx:16）
プログラムカウンタ相対（@d:8,PC）
メモリ間接（@@aa:8）
- アドレス空間：64Kバイト
- 高速動作
頻出命令をすべて2～4ステートで実行
8/16ビットレジスタ間加減算 0.25μs*
8×8ビット乗算 1.75μs*
16÷8ビット除算 1.75μs*

【注】 *数値は、 = 8MHz 時

- 低消費電力動作
SLEEP命令により低消費電力動作可能

2.2 アドレス空間とメモリマップ

H8/3802 グループ、H8/3804 グループ、H8/38002S グループ、H8/38104 グループのアドレス空間は、プログラムコードとデータ領域合計で最大 64K バイトです。

メモリマップの図を図 2.1 に示します。

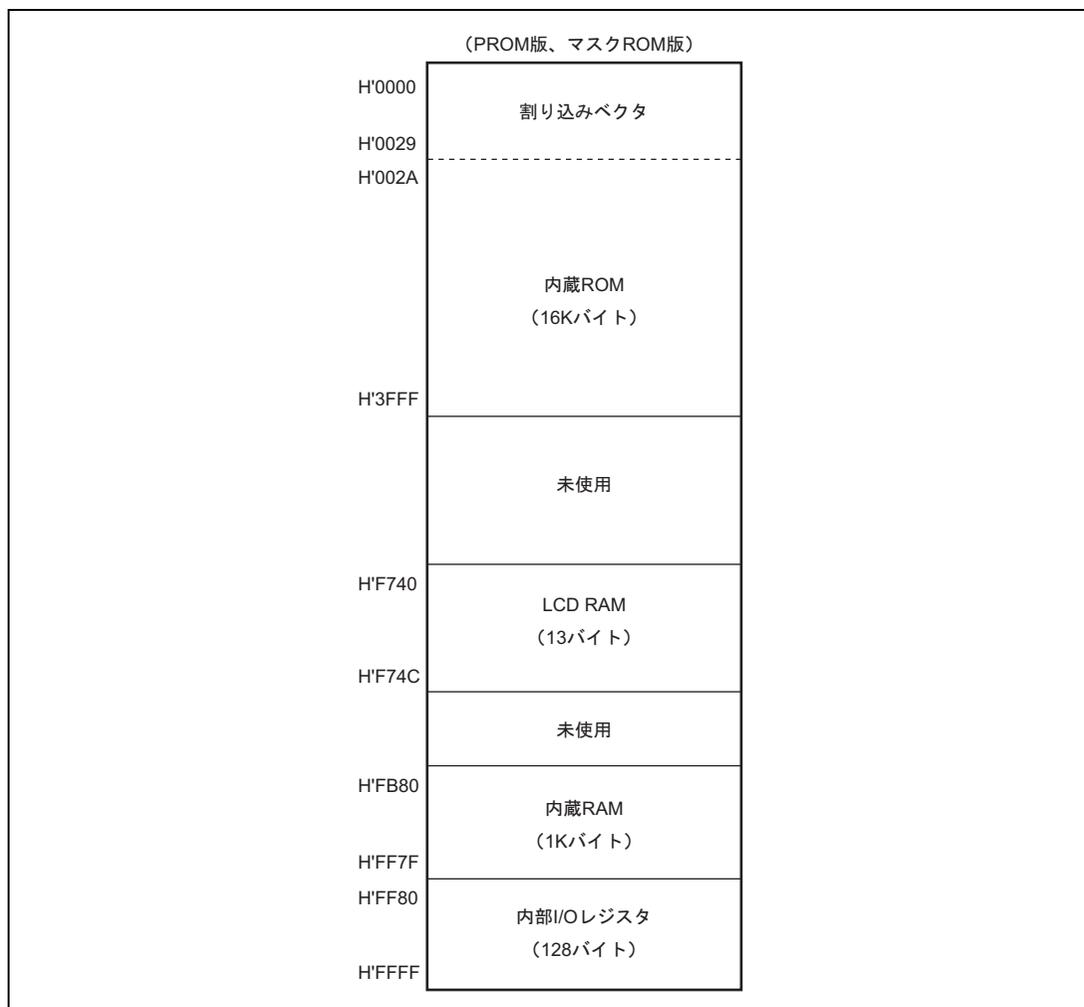


図 2.1 (1) H8/3802 のメモリマップ

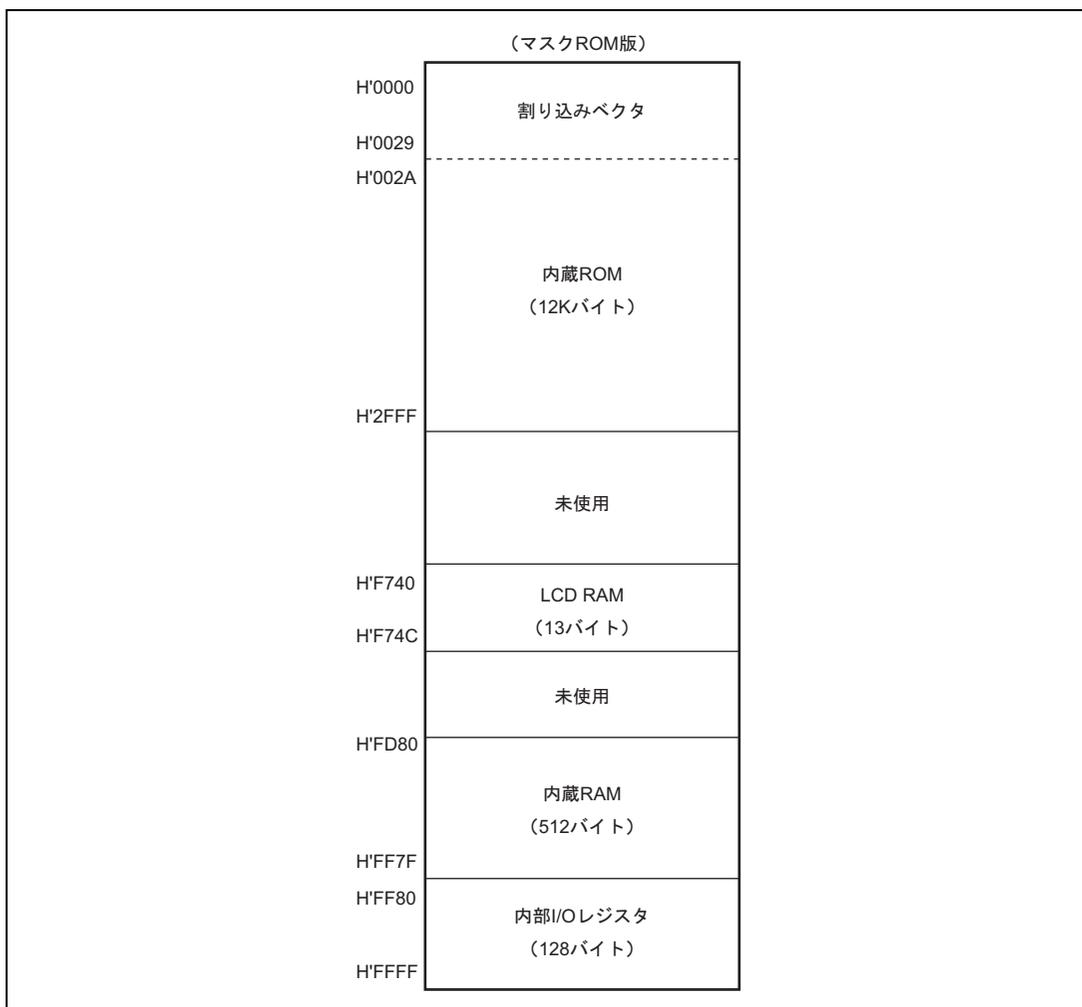


図 2.1 (2) H8/3801 のメモリマップ

2. CPU

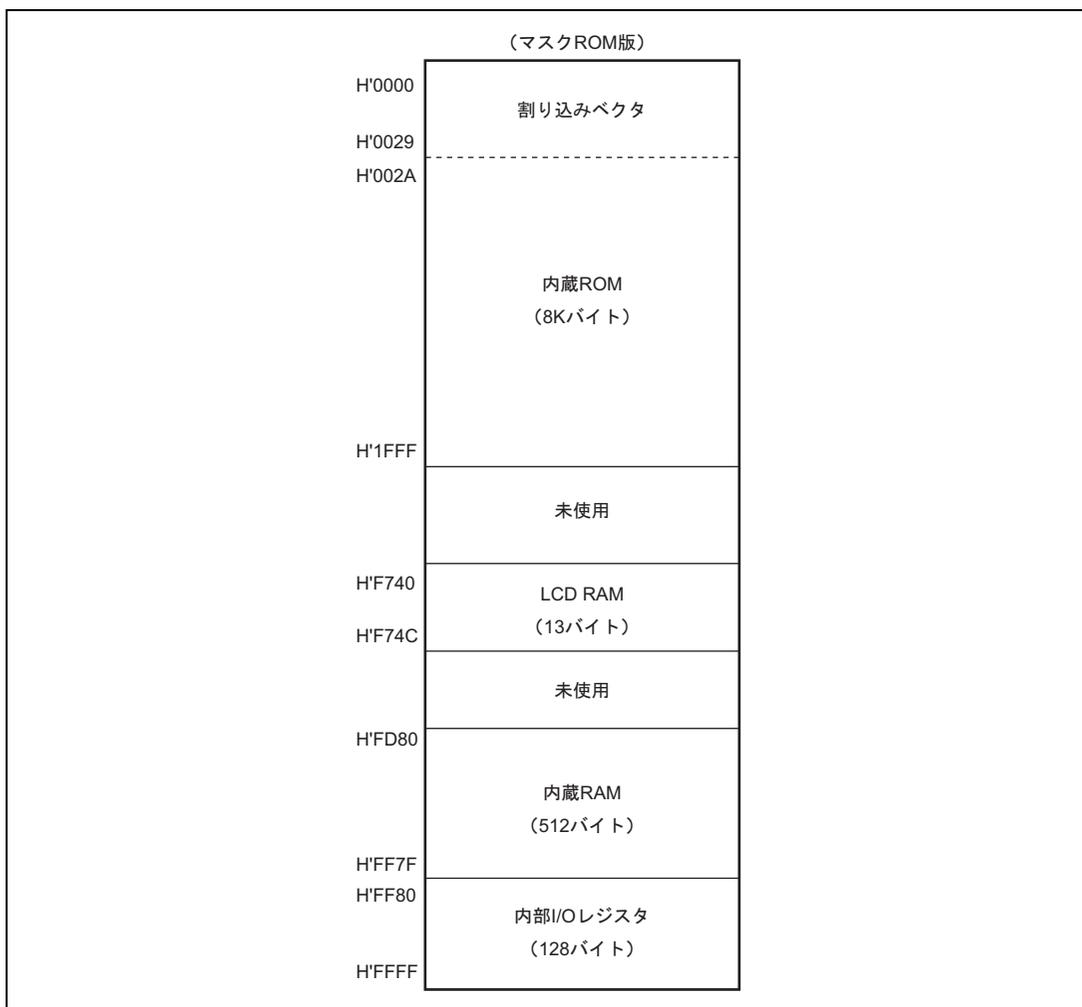


図 2.1 (3) H8/3800 のメモリマップ

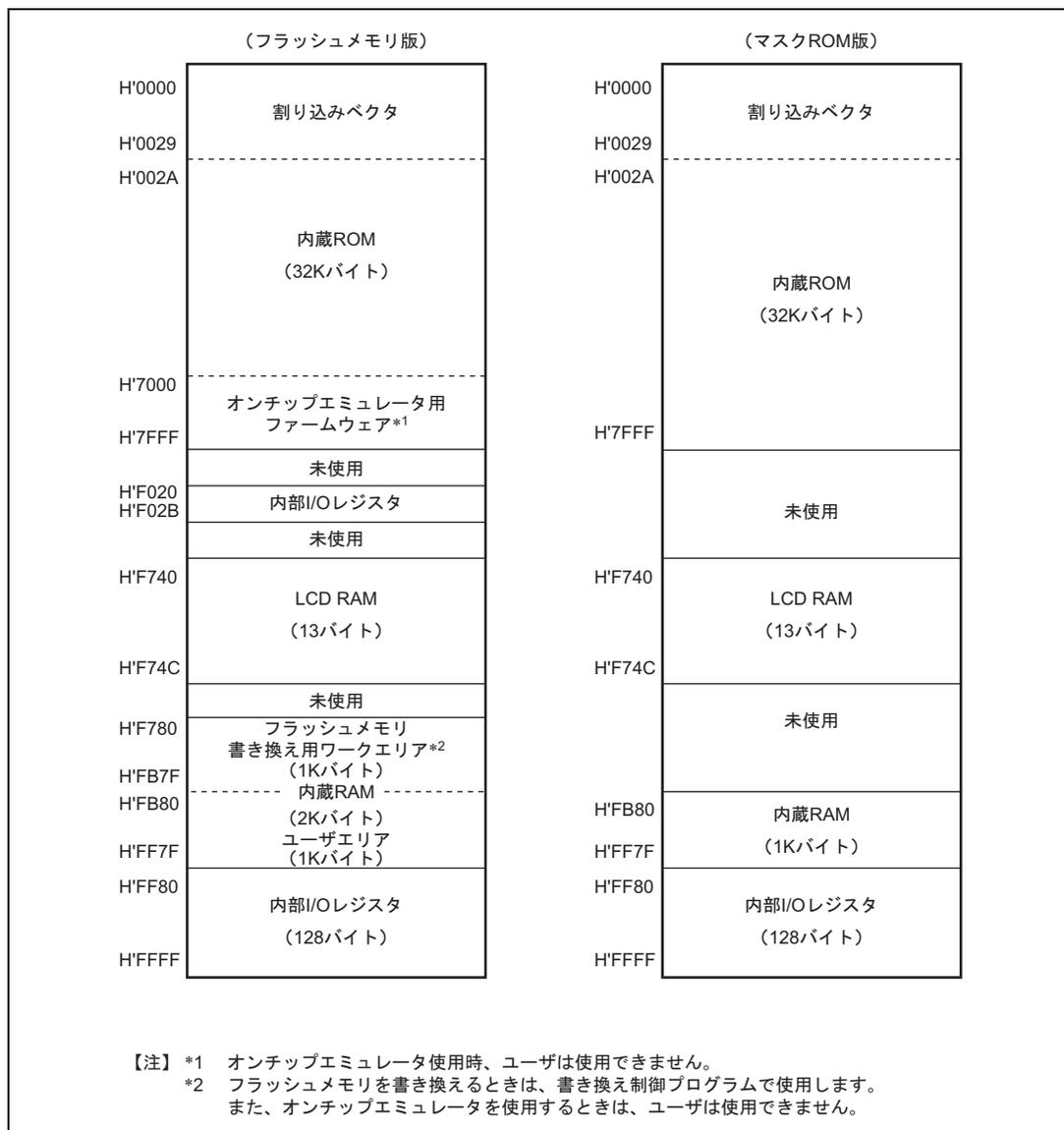


図 2.1 (4) H8/38004、H8/38104 のメモリマップ

2. CPU

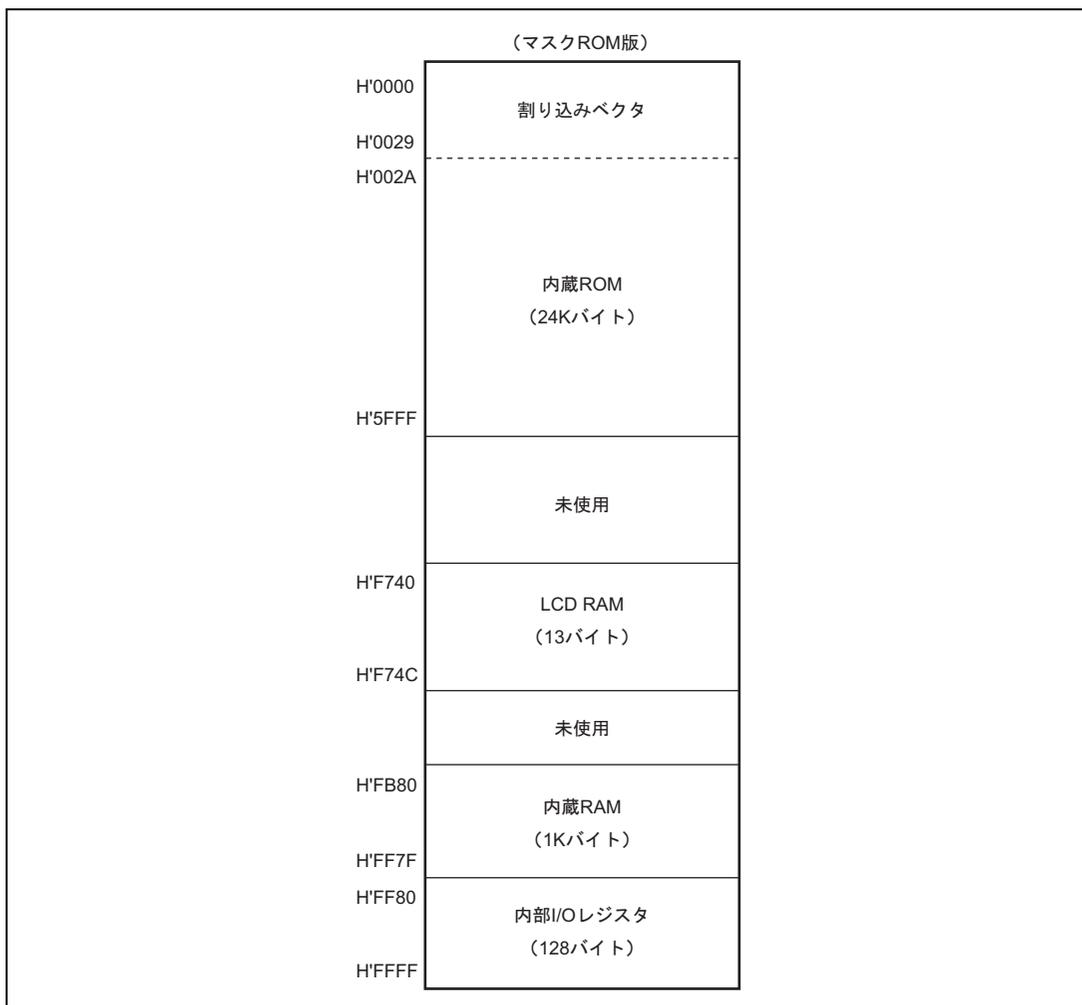


図 2.1 (5) H8/38003、H8/38103 のメモリマップ

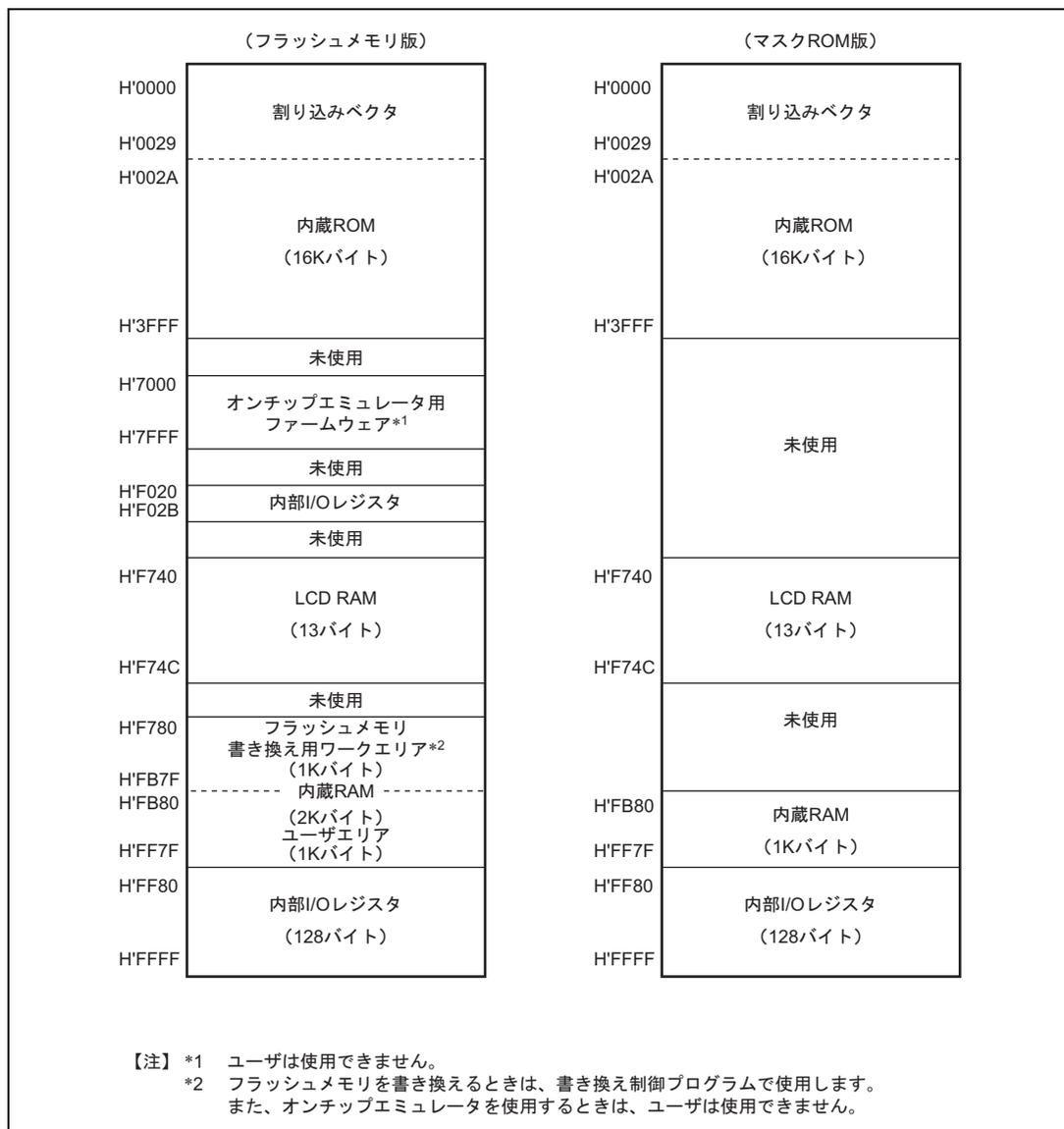


図 2.1 (6) H8/38002、H8/38102 のメモリマップ

2. CPU

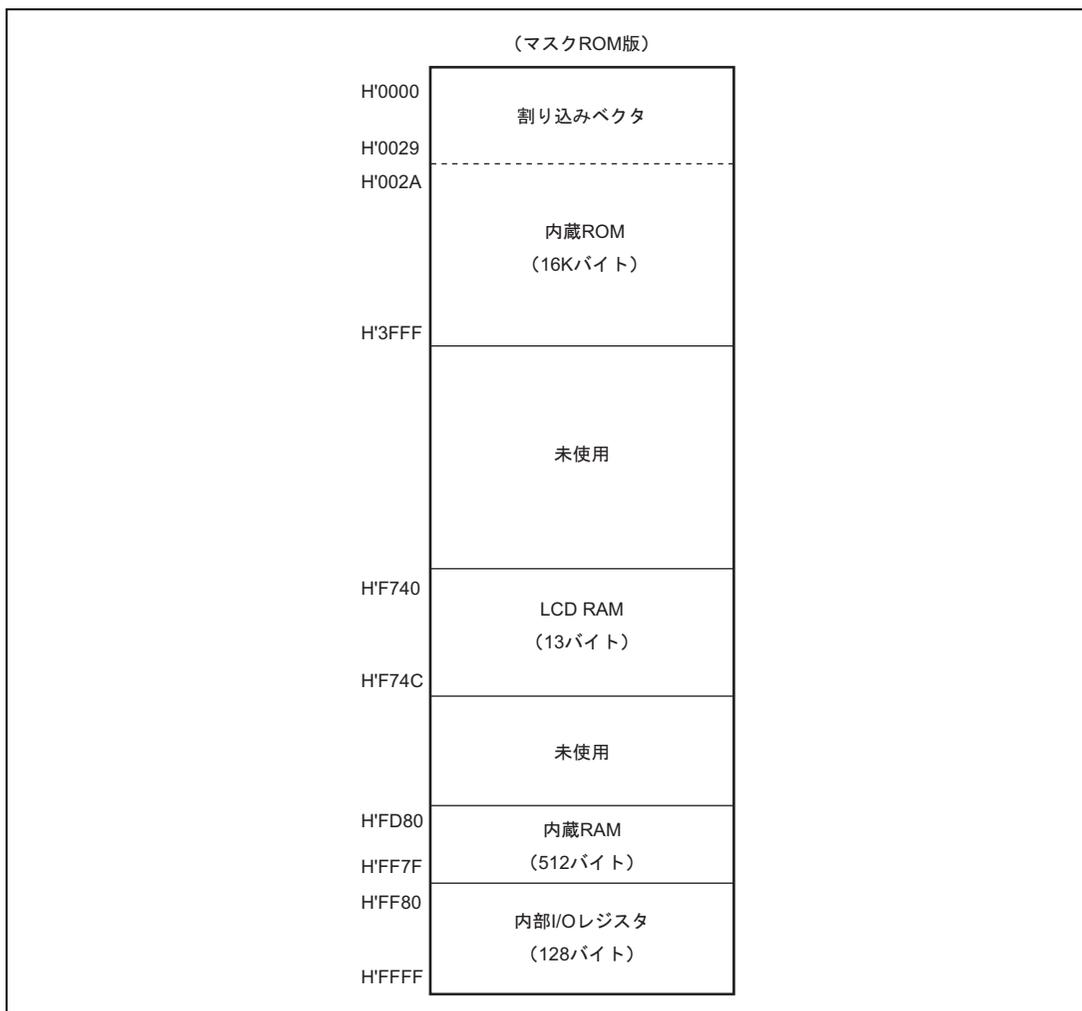


図 2.1 (7) H8/38002S のメモリマップ

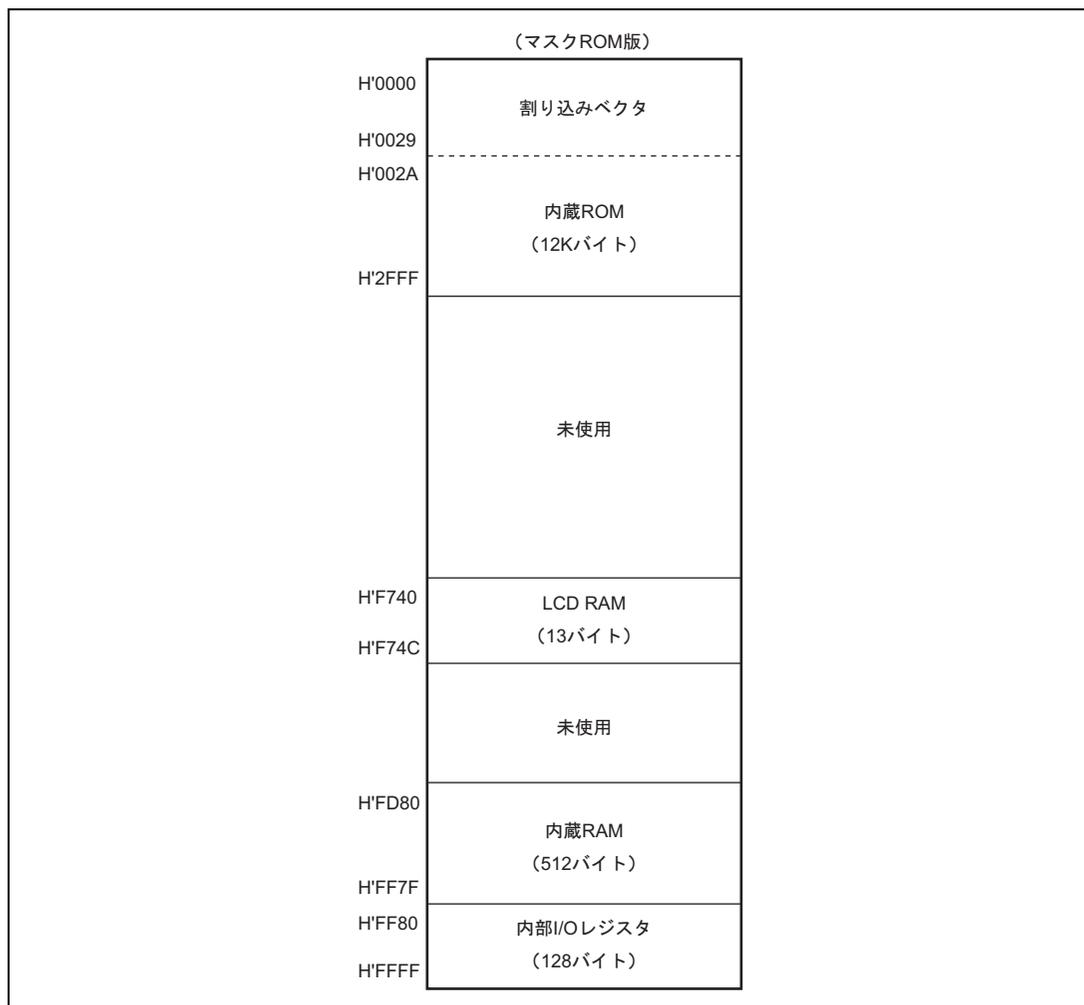


図 2.1 (8) H8/38001、H8/38001S、H8/38101 のメモリマップ

2. CPU

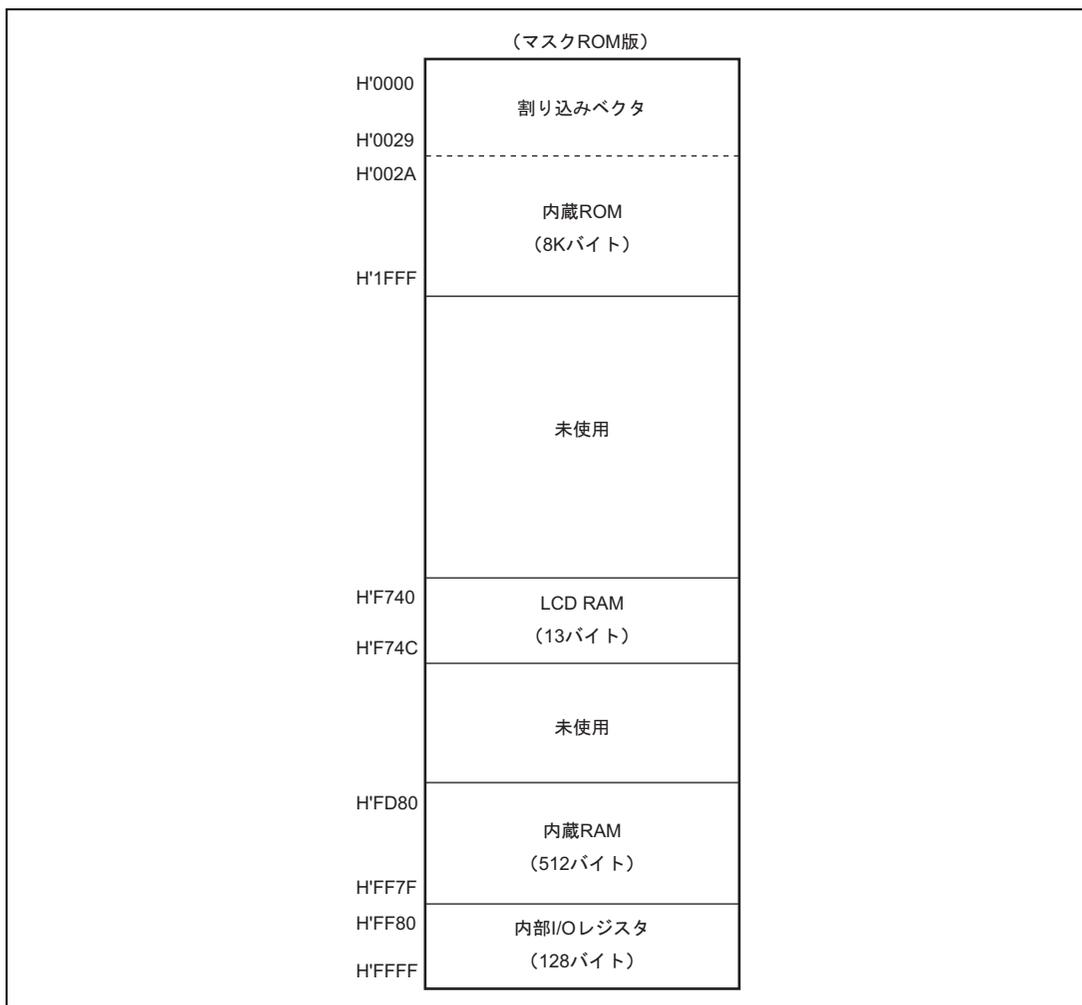


図 2.1 (9) H8/38000、H8/38000S、H8/38100 のメモリマップ

2.3 レジスタ構成

H8/300L CPU の内部レジスタ構成を図 2.2 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。

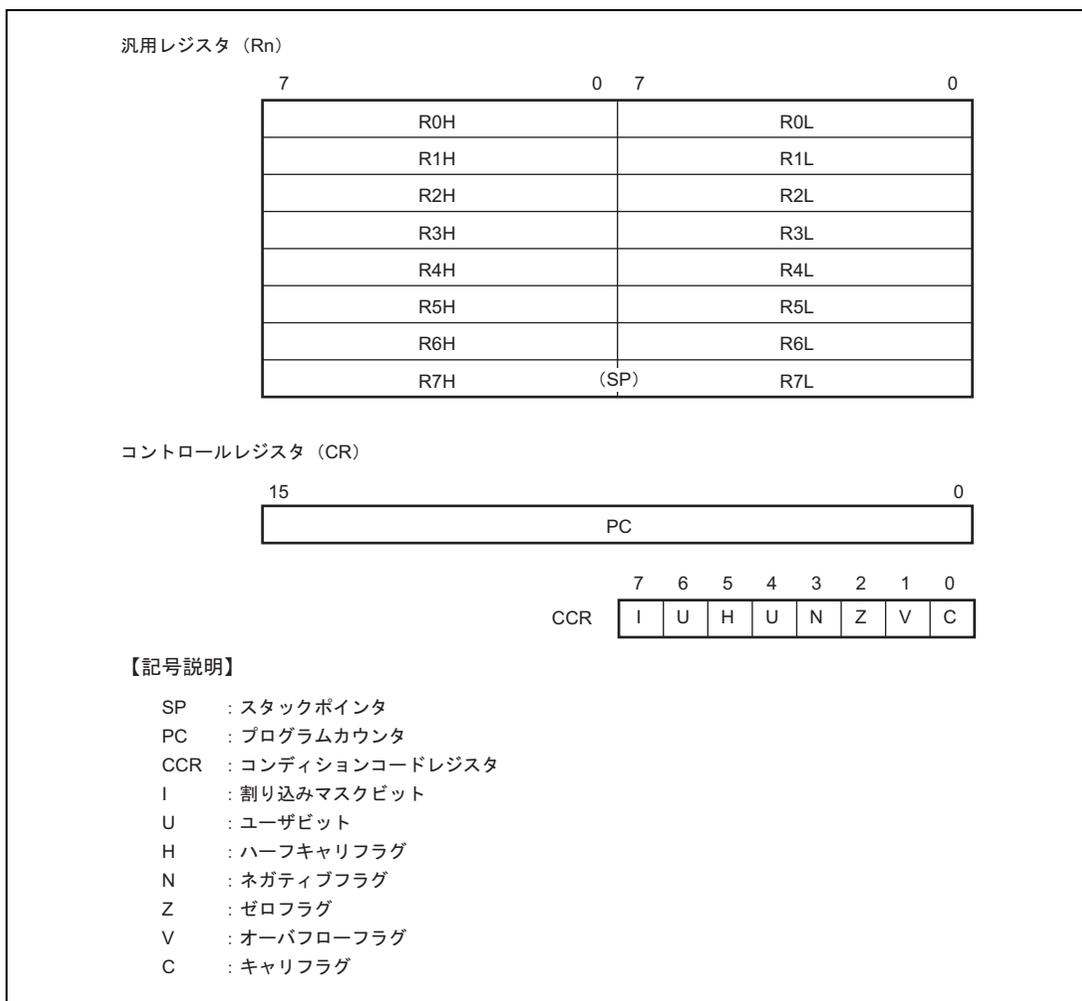


図 2.2 CPU 内部レジスタ構成

2.3.1 汎用レジスタ

汎用レジスタは、すべて同じ機能をもっており、データレジスタ、アドレスレジスタの区別なく使用できます。

データレジスタとして使用する場合は、8ビットレジスタとして上位(R7H~R0H)と下位(R7L~R0L)を別々に使用することも、また16ビットレジスタ(R7~R0)として使用することもできます。

アドレスレジスタとして使用する場合は、16ビットレジスタ(R7~R0)として使用します。

レジスタR7には、汎用レジスタとしての機能に加えて、スタックポインタ(SP)としての機能が割り当てられており、例外処理やサブルーチンコールなどで暗黙的に使用されます。このとき、SPは常にスタック領域の先頭を指しています。スタックの状態を図2.3に示します。

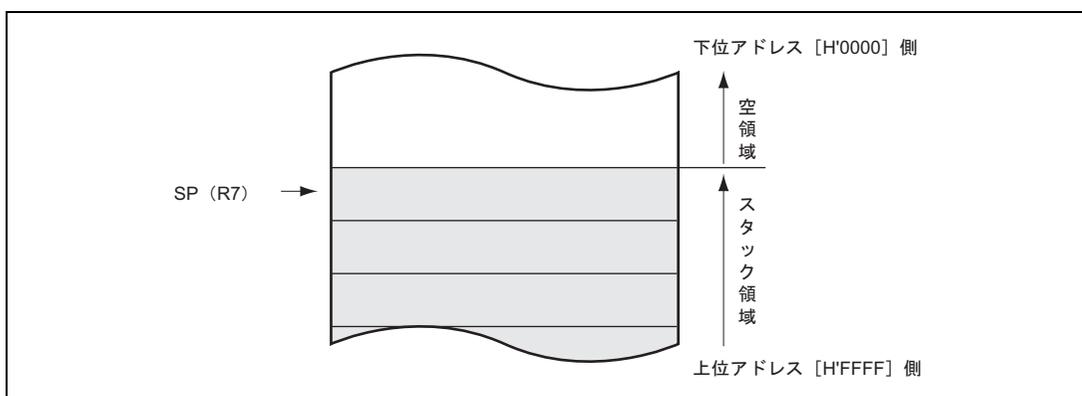


図 2.3 スタックの状態

2.3.2 プログラムカウンタ (PC)

PCは16ビットのカウンタで、CPUが次に実行する命令のアドレスを示しています。CPUの命令は、すべて16ビット(ワード)を単位としているため、最下位ビットは無効です(命令コードのリード時には最下位ビットは0とみなされます)。

2.3.3 コンディションコードレジスタ (CCR)

CCR は CPU の内部状態を示します。割り込みマスクビット (I)、ハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバーフロー (V)、キャリ (C) の各フラグを含む 8 ビットで構成されています。I ビットはリセット例外処理によって 1 に初期化されますが、他のビットは初期化されません。

ビット	ビット名	初期値	R/W	説 明
7	I	1	R/W	割り込みマスクビット このビットが 1 にセットされると、割り込み要求がマスクされます。I ビットは例外処理の実行が開始されたときに 1 にセットされます。
6	U	不定	R/W	ユーザビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。
5	H	不定	R/W	ハーフキャリフラグ ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット 3 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。ADD.W、SUB.W、CMP.W 命令の実行によりビット 11 にキャリまたはボローが生じたとき、1 にセットされ、生じなかったとき 0 にクリアされます。
4	U	不定	R/W	ユーザビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。
3	N	不定	R/W	ネガティブフラグ データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。
2	Z	不定	R/W	ゼロフラグ データがゼロのとき 1 にセットされ、ゼロ以外のとき 0 にクリアされます。
1	V	不定	R/W	オーバーフローフラグ 算術演算命令の実行によりオーバーフローが生じたとき 1 にセットされます。それ以外のとき 0 にクリアされます。
0	C	不定	R/W	キャリフラグ 演算の実行により、キャリが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。キャリには次の種類があります。 加算結果のキャリ 減算結果のボロー シフト/ローテートのキャリ また、キャリフラグにはビットアキュムレータ機能があり、ビット操作命令で使用されます。

なお、命令によってはフラグが変化しない場合があります。

各命令ごとのフラグの変化については、「H8/300L シリーズ ソフトウェアマニュアル」を参照してください。

2.3.4 CPU 内部レジスタの初期値

リセット例外処理によって、CPU 内部レジスタのうち、PC はベクタアドレス (H'0000) のロードにより初期化され、CCR の I ビットは 1 にセットされますが、汎用レジスタおよび CCR の他のビットは初期化されません。レジスタ R7 (SP) の初期値も不定です。したがって、リセット直後に、R7 の初期化を行ってください。

2.4 データ形式

H8/300L CPU は、1 ビット、4 ビット BCD、8 ビット (バイト)、16 ビット (ワード) のデータを扱うことができます。1 ビットデータはビット操作命令で扱われ、オペランドデータ (バイト) の第 n ビット ($n=0, 1, 2, \dots, 7$) という形式でアクセスされます。

バイトデータは、ADDS、SUBS 以外の演算命令で扱われます。また、ワードデータは、MOV.W、ADD.W、SUB.W、CMP.W、ADDS、SUBS、MULXU (8 ビット \times 8 ビット)、DIVXU (16 ビット \div 8 ビット) 命令で扱われます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

2.4.1 汎用レジスタのデータ形式

汎用レジスタのデータ構成を図 2.4 に示します。

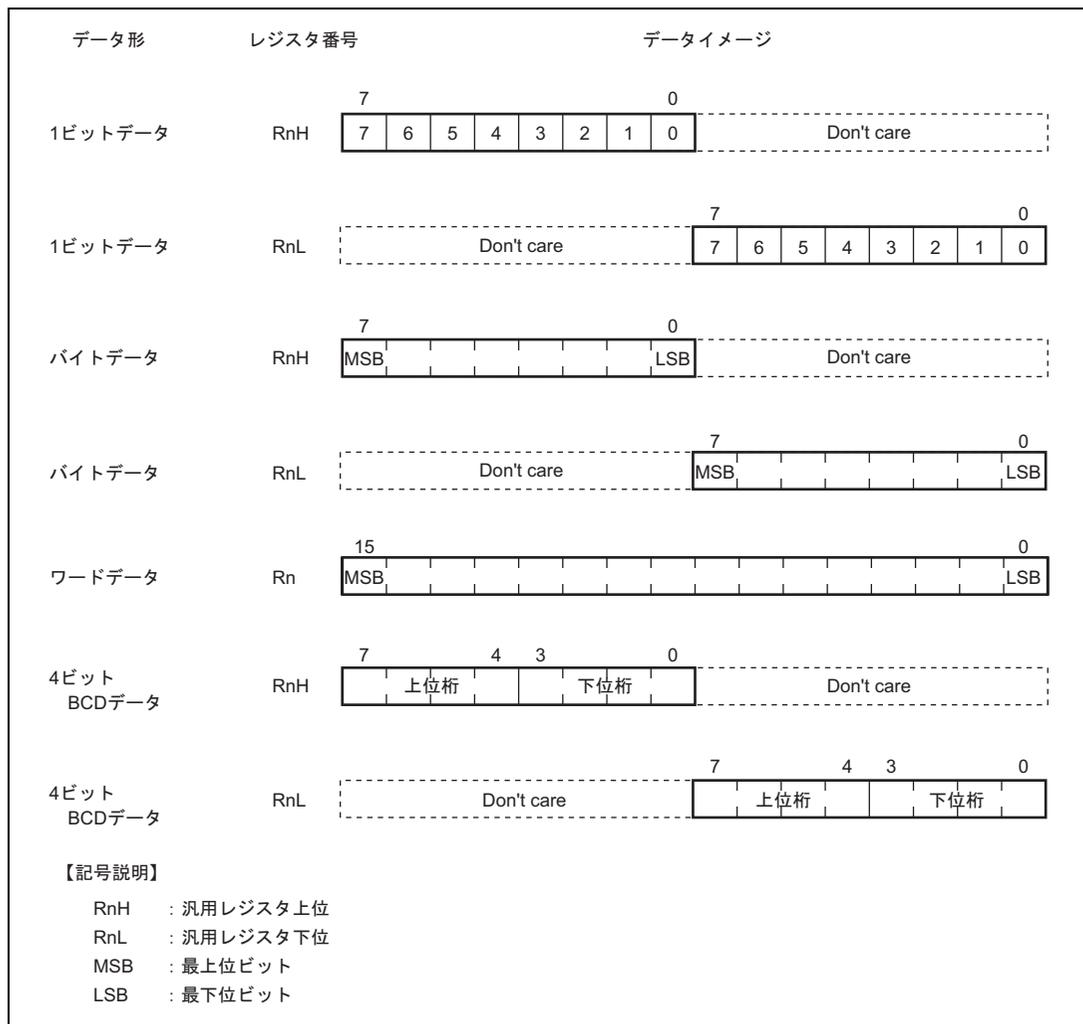


図 2.4 汎用レジスタのデータ構成

2.4.2 メモリ上でのデータ形式

メモリ上でのデータ構成を図 2.5 に示します。H8/300L CPU は、メモリ上のワードデータをアクセスすることができます (MOV.W 命令) が、偶数番地から始まるワードデータに限定されます。奇数番地から始まるワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるワードデータをアクセスします。命令コードについても同様です。

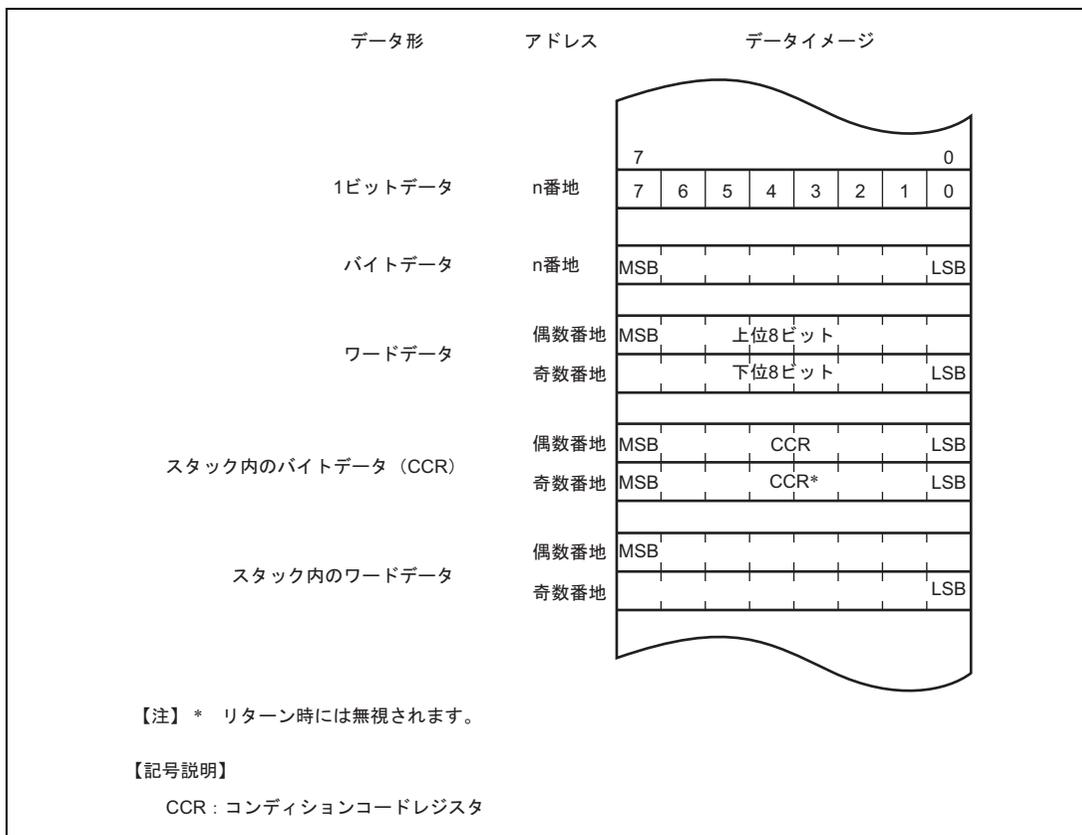


図 2.5 メモリ上でのデータ構成

なお、R7 をアドレスレジスタとして使用し、スタックをアクセスするときは、必ずワードサイズでアクセスしてください。また、CCR は、ワードデータとして上位 8 ビット、下位 8 ビットに同じ値が格納され、リターン時には、下位 8 ビットは無視されます。

2.5 命令セット

H8/300L CPU の命令は合計 55 種類あり、各命令の持つ機能によって、表 2.1 に示すように分類されます。

表 2.1 命令の分類

機能	命 令	種類
データ転送命令	MOV、POP* ¹ 、PUSH* ¹	1
算術演算命令	ADD、SUB、ADDX、SUBX、INC、DEC、ADDS、SUBS、DAA、DAS、MULXU、DIVXU、CMP、NEG	14
論理演算命令	AND、OR、XOR、NOT	4
シフト命令	SHAL、SHAR、SHLL、SHLR、ROTL、ROTR、ROTXL、ROTXR	8
ビット操作命令	BSET、BCLR、BNOT、BTST、BAND、BIAND、BOR、BIOR、BXOR、BIXOR、BLD、BILD、BST、BIST	14
分岐命令	Bcc* ² 、JMP、BSR、JSR、RTS	5
システム制御命令	RTE、SLEEP、LDC、STC、ANDC、ORC、XORC、NOP	8
ブロック転送命令	EEPMOV	1

合計 55 種

【注】 *1 POP Rn、PUSH Rn は、それぞれ MOV.W @SP+, Rn、MOV.W Rn, @-SP と同一です。機械語についても同一です。

*2 Bcc は条件分岐命令の総称です。

2. CPU

各命令の機能について表 2.3 から表 2.10 に示します。各表で使用しているオペレーションの記号の意味は以下のとおりです。

表 2.2 オペレーションの記号

Rd	汎用レジスタ (デスティネーション側)
Rs	汎用レジスタ (ソース側)
Rn	汎用レジスタ
(EAd)、<Ead>	デスティネーションオペランド
(EAs)、<Eas>	ソースオペランド
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
-	減算
x	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
	転送
~	反転論理 (論理的補数)
:3	3 ビット長
:8	8 ビット長
:16	16 ビット長
()、< >	オペランドの実効アドレスの内容

2.5.1 データ転送命令

データ転送命令の機能を表 2.3 に示します。

表 2.3 データ転送命令

命令	サイズ*	機能
MOV	B/W	(EAs) Rd, Rs (EAd) 汎用レジスタと汎用レジスタまたは汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。 ワードデータは Rn、@Rn、@(d:16, Rn)、@aa:16、#xx:16、@-Rn、@Rn+の各アドレッシングモードで扱います。@aa:8 はバイトデータのみです。 ただし、@-R7、@R7+を使用する場合は必ずワードサイズを指定してください。
POP	W	@SP+ Rn スタックから汎用レジスタへデータを復帰します。 本命令は MOV.W @SP+, Rn と同一です。
PUSH	W	Rn @-SP 汎用レジスタの内容をスタックに退避します。 本命令は MOV.W Rn, @-SP と同一です。

【注】* サイズはオペランドサイズを示します。

B : バイト

W : ワード

データアクセスについては「2.9.1 空きエリアへのデータアクセス」および「2.9.2 内部 I/O レジスタへのアクセス」を参照してください。

2. CPU

データ転送命令の命令フォーマットを図 2.6 に示します。

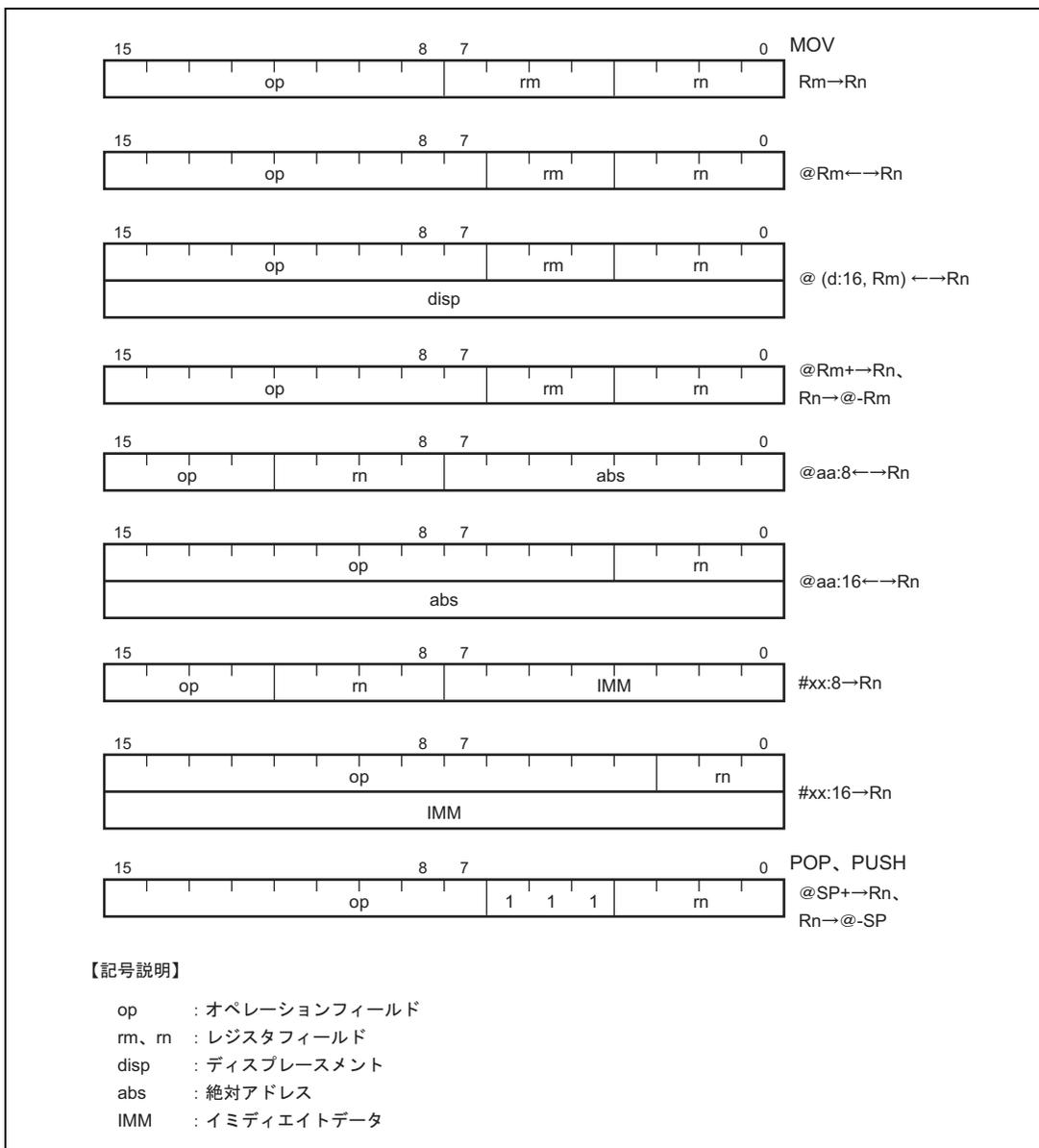


図 2.6 データ転送命令の命令フォーマット

2.5.2 算術演算命令

算術演算命令の機能を表 2.4 に示します。

表 2.4 算術演算命令

命令	サイズ*	機能
ADD SUB	B/W	$Rd \pm Rs$ $Rd, Rd + \#IMM$ Rd 汎用レジスタ間の加減算、または汎用レジスタとイミディエイトデータの加算を行います。汎用レジスタとイミディエイトデータの減算はできません。 ワードデータは、汎用レジスタ間の加減算のみで扱います。
ADDX SUBX	B	$Rd \pm Rs \pm C$ $Rd, Rd \pm \#IMM \pm C$ Rd 汎用レジスタ間のキャリ付きの加減算、または汎用レジスタとイミディエイトデータのキャリ付きの加減算を行います。
INC DEC	B	$Rd \pm 1$ Rd 汎用レジスタに 1 を加減算します。
ADDS SUBS	W	$Rd \pm 1$ $Rd, Rd \pm 2$ Rd 汎用レジスタに 1 または 2 を加減算します。
DAA DAS	B	Rd (10 進補正) Rd 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B	$Rd \times Rs$ Rd 汎用レジスタ間の符号なし乗算を行います。8 ビット×8 ビット 16 ビットの演算が可能です。
DIVXU	B	$Rd \div Rs$ Rd 汎用レジスタ間の符号なし除算を行います。16 ビット÷8 ビット 商 8 ビット余り 8 ビットの演算が可能です。
CMP	B/W	$Rd - Rs, Rd - \#IMM$ 汎用レジスタ間の比較、または汎用レジスタとイミディエイトデータの比較を行い、その結果を CCR に反映します。ワードデータは、汎用レジスタ間の比較のみで扱います。
NEG	B	$0 - Rd$ Rd 汎用レジスタの内容の 2 の補数 (算術的補数) をとります。

【注】* サイズはオペランドサイズを示します。

B : バイト

W : ワード

2. CPU

2.5.3 論理演算命令

論理演算命令の機能を表 2.5 に示します。

表 2.5 論理演算命令

命令	サイズ*	機能
AND	B	Rd Rs Rd, Rd #IMM Rd 汎用レジスタ間の論理積、または汎用レジスタとイミディエイトデータの論理積をとります。
OR	B	Rd Rs Rd, Rd #IMM Rd 汎用レジスタ間の論理和、または汎用レジスタとイミディエイトデータの論理和をとります。
XOR	B	Rd⊕Rs Rd, Rd⊕#IMM Rd 汎用レジスタ間の排他的論理和、または汎用レジスタとイミディエイトデータの排他的論理和をとります。
NOT	B	~Rd Rd 汎用レジスタの内容の 1 の補数（論理的補数）をとります。

【注】* サイズはオペランドサイズを示します。

B : バイト

2.5.4 シフト命令

シフト命令の機能を表 2.6 に示します。

表 2.6 シフト命令

命令	サイズ*	機能
SHAL SHAR	B	Rd (シフト処理) Rd 汎用レジスタの内容を算術的にシフトします。
SHLL SHLR	B	Rd (シフト処理) Rd 汎用レジスタの内容を論理的にシフトします。
ROTL ROTR	B	Rd (ローテート処理) Rd 汎用レジスタの内容をローテートします。
ROTXL ROTXR	B	Rd (ローテート処理) Rd 汎用レジスタの内容を、キャリフラグを含めてローテートします。

【注】* サイズはオペランドサイズを示します。

B : バイト

算術演算命令、論理演算命令およびシフト命令の命令フォーマットを図 2.7 に示します。

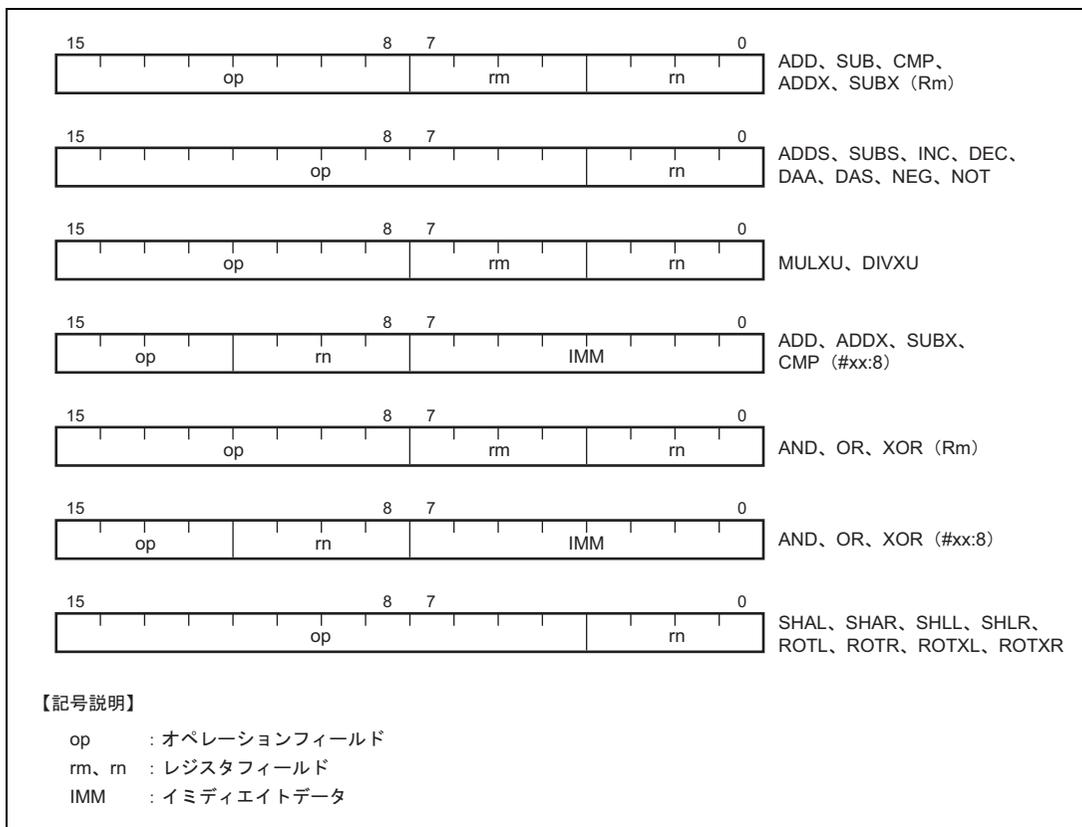


図 2.7 算術演算命令・論理演算命令・シフト命令の命令フォーマット

2. CPU

2.5.5 ビット操作命令

ビット操作命令の機能を表 2.7 に示します。

表 2.7 ビット操作命令

命令	サイズ*	機 能
BSET	B	1 (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 1 にセットします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BCLR	B	0 (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 0 にクリアします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BNOT	B	~ (<ビット番号> of <EAd>) (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BTST	B	~ (<ビット番号> of <EAd>) Z 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをテストし、ゼロフラグに反映します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BAND	B	C (<ビット番号> of <EAd>) C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理積をとり、キャリフラグに結果を格納します。
BIAND	B	C [~ (<ビット番号> of <EAd>)] C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理積をとり、キャリフラグに結果を格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BOR	B	C (<ビット番号> of <EAd>) C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理和をとり、キャリフラグに結果を格納します。
BIOR	B	C [~ (<ビット番号> of <EAd>)] C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理和をとり、キャリフラグに結果を格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BXOR	B	C⊕ (<ビット番号> of <EAd>) C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。
BIXOR	B	C⊕ [~ (<ビット番号> of <EAd>)] C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

命令	サイズ*	機 能
BLD	B	(<ビット番号> of <EAd>) C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをキャリフラグに転送します。
BILD	B	~ (<ビット番号> of <EAd>) C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグに転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BST	B	C (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグの内容を転送します。
BIST	B	~C (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、反転されたキャリフラグの内容を転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】* サイズはオペランドサイズを示します。

B : バイト

ビット操作命令については「2.9.4 ビット操作命令」を参照してください。

2. CPU

ビット操作命令の命令フォーマットを図 2.8 に示します。

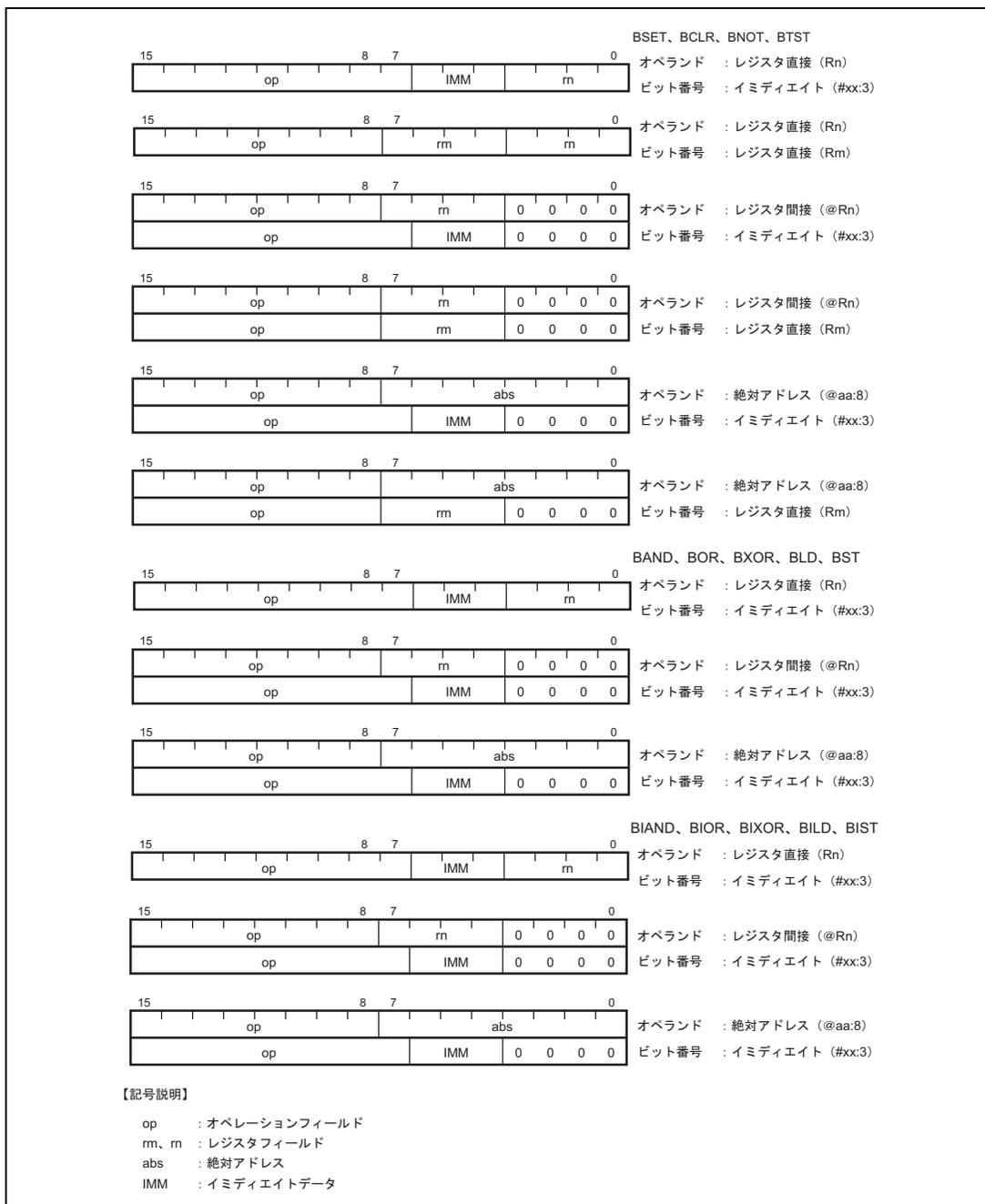


図 2.8 ビット操作命令の命令フォーマット

2.5.6 分岐命令

分岐命令の機能を表 2.8 に示します。

表 2.8 分岐命令

命令	サイズ	機 能																																																			
Bcc		<p>指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。</p> <table border="1"> <thead> <tr> <th>ニーモニック</th> <th>説 明</th> <th>分 岐 条 件</th> </tr> </thead> <tbody> <tr> <td>BRA (BT)</td> <td>Always (True)</td> <td>Always</td> </tr> <tr> <td>BRN (BF)</td> <td>Never (False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>$C \vee Z=0$</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>$C \vee Z=1$</td> </tr> <tr> <td>BCC (BHS)</td> <td>Carry Clear (High or Same)</td> <td>$C=0$</td> </tr> <tr> <td>BCS (BLO)</td> <td>Carry Set (Low)</td> <td>$C=1$</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>$Z=0$</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>$Z=1$</td> </tr> <tr> <td>BVC</td> <td>Overflow Clear</td> <td>$V=0$</td> </tr> <tr> <td>BVS</td> <td>Overflow Set</td> <td>$V=1$</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>$N=0$</td> </tr> <tr> <td>BMI</td> <td>Minus</td> <td>$N=1$</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>$N \oplus V=0$</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>$N \oplus V=1$</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>$Z \vee (N \oplus V) = 0$</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>$Z \vee (N \oplus V) = 1$</td> </tr> </tbody> </table>	ニーモニック	説 明	分 岐 条 件	BRA (BT)	Always (True)	Always	BRN (BF)	Never (False)	Never	BHI	High	$C \vee Z=0$	BLS	Low or Same	$C \vee Z=1$	BCC (BHS)	Carry Clear (High or Same)	$C=0$	BCS (BLO)	Carry Set (Low)	$C=1$	BNE	Not Equal	$Z=0$	BEQ	Equal	$Z=1$	BVC	Overflow Clear	$V=0$	BVS	Overflow Set	$V=1$	BPL	PLus	$N=0$	BMI	Minus	$N=1$	BGE	Greater or Equal	$N \oplus V=0$	BLT	Less Than	$N \oplus V=1$	BGT	Greater Than	$Z \vee (N \oplus V) = 0$	BLE	Less or Equal	$Z \vee (N \oplus V) = 1$
ニーモニック	説 明	分 岐 条 件																																																			
BRA (BT)	Always (True)	Always																																																			
BRN (BF)	Never (False)	Never																																																			
BHI	High	$C \vee Z=0$																																																			
BLS	Low or Same	$C \vee Z=1$																																																			
BCC (BHS)	Carry Clear (High or Same)	$C=0$																																																			
BCS (BLO)	Carry Set (Low)	$C=1$																																																			
BNE	Not Equal	$Z=0$																																																			
BEQ	Equal	$Z=1$																																																			
BVC	Overflow Clear	$V=0$																																																			
BVS	Overflow Set	$V=1$																																																			
BPL	PLus	$N=0$																																																			
BMI	Minus	$N=1$																																																			
BGE	Greater or Equal	$N \oplus V=0$																																																			
BLT	Less Than	$N \oplus V=1$																																																			
BGT	Greater Than	$Z \vee (N \oplus V) = 0$																																																			
BLE	Less or Equal	$Z \vee (N \oplus V) = 1$																																																			
JMP		指定されたアドレスへ無条件に分岐します。																																																			
BSR		指定されたアドレスへサブルーチン分岐します。																																																			
JSR		指定されたアドレスへサブルーチン分岐します。																																																			
RTS		サブルーチンから復帰します。																																																			

2. CPU

分岐命令の命令フォーマットを図 2.9 に示します。

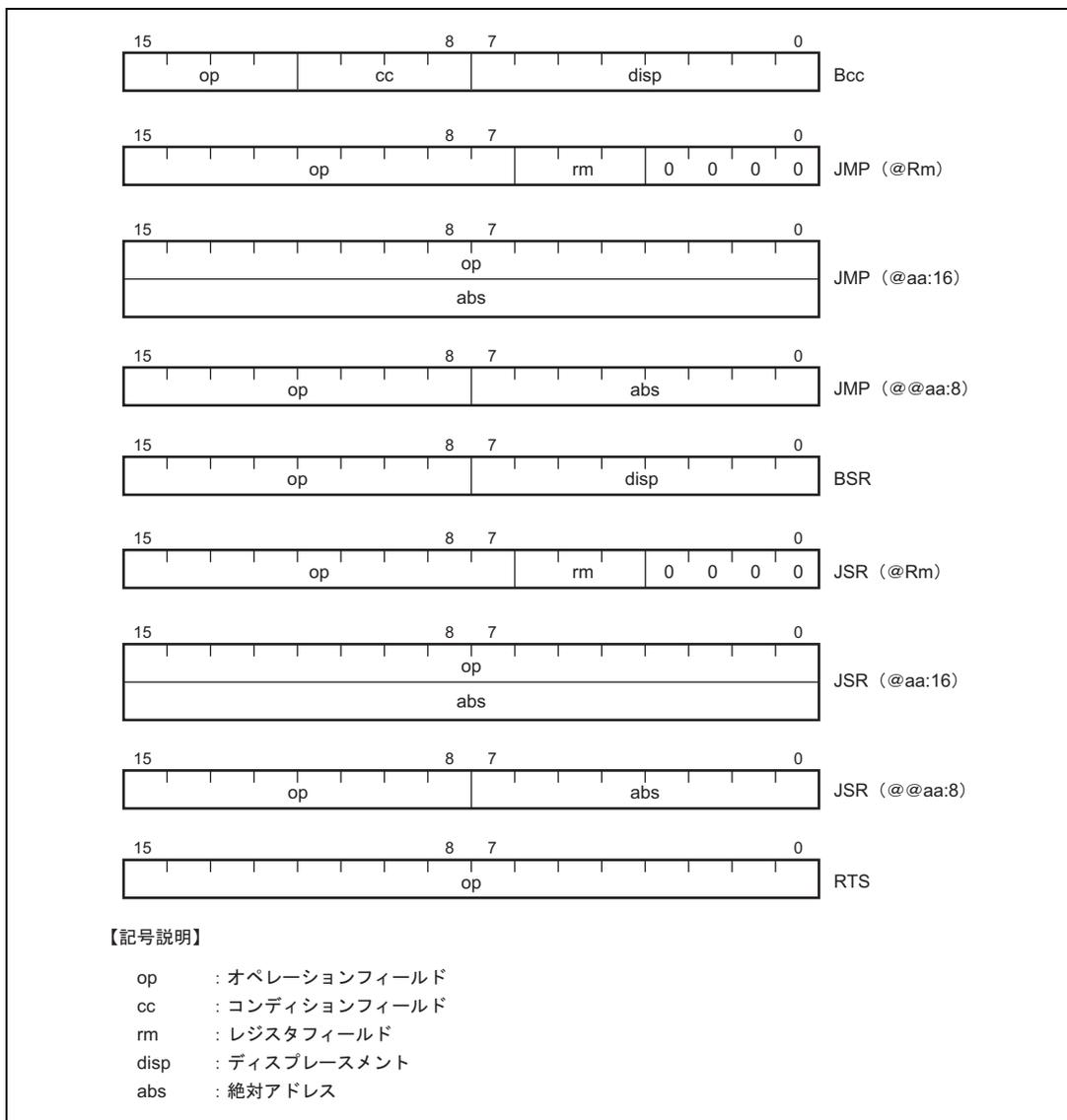


図 2.9 分岐命令の命令フォーマット

2.5.7 システム制御命令

システム制御命令の機能を表 2.9 に示します。

表 2.9 システム制御命令

命令	サイズ*	機 能
RTE		割り込み処理ルーチンから復帰します。
SLEEP		アクティブモードで本命令を実行すると、低消費電力モードに遷移します。 詳細は「第 5 章 低消費電力モード」を参照してください。
LDC	B	Rs CCR、#IMM CCR 汎用レジスタの内容、またはイミディエイトデータを CCR に転送します。
STC	B	CCR Rd CCR の内容を汎用レジスタに転送します。
ANDC	B	CCR #IMM CCR CCR とイミディエイトデータの論理積をとります。
ORC	B	CCR #IMM CCR CCR とイミディエイトデータの論理和をとります。
XORC	B	CCR⊕#IMM CCR CCR とイミディエイトデータの排他的論理和をとります。
NOP		PC+2 PC PC のインクリメントだけを行います。

【注】* サイズはオペランドサイズを示します。

B : バイト

システム制御命令の命令フォーマットを図 2.10 に示します。

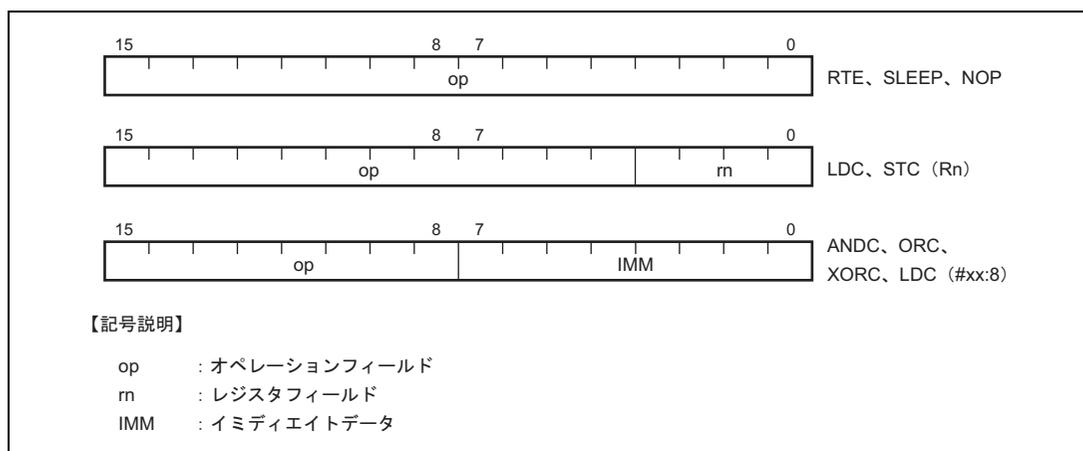


図 2.10 システム制御命令の命令フォーマット

2.5.8 ブロック転送命令

ブロック転送命令の機能を表 2.10 に示します。

表 2.10 ブロック転送命令

命令	サイズ	機能
EEPMOV		<pre>if R4L 0 then Repeat @R5+ @R6+, R4L-1 R4L Until R4L=0 else next;</pre> <p>ブロック転送命令です。R5 で示されるアドレスから始まり、R4L で指定されるバイト数のデータを R6 で示されるアドレスから始まるロケーションへ転送します。転送終了後、次の命令を実行します。</p>

EEPMOV 命令には、使用上の注意事項があります。詳細は「2.9.3 EEPMOV 命令」を参照してください。ブロック転送命令の命令フォーマットを図 2.11 に示します。

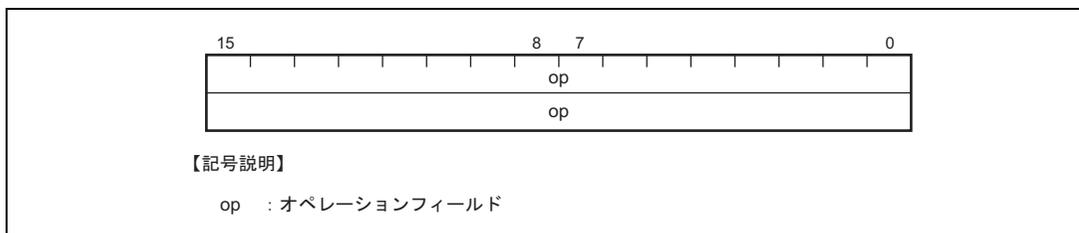


図 2.11 ブロック転送命令の命令フォーマット

2.6 アドレッシングモードと実効アドレス

2.6.1 アドレッシングモード

H8/300L CPU は、表 2.11 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードは異なります。

表 2.11 アドレッシングモード一覧表

No.	アドレッシングモード	記号
(1)	レジスタ直接	Rn
(2)	レジスタ間接	@Rn
(3)	ディスプレースメント付きレジスタ間接	@(d:16, Rn)
(4)	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@Rn+ @-Rn
(5)	絶対アドレス	@aa:8/@aa:16
(6)	イミディエイト	#xx:8/#xx:16
(7)	プログラムカウンタ相対	@(d:8, PC)
(8)	メモリ間接	@@aa:8

(1) レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ(8ビットまたは16ビット)がオペランドとなります。

16ビットレジスタを使用する命令は、MOV.W、ADD.W、SUB.W、CMP.W、ADDS、SUBS、MULXU(8ビット×8ビット)、DIVXU(16ビット÷8ビット)の各命令です。

(2) レジスタ間接 @Rn

命令コードのレジスタフィールドで指定されるレジスタ(16ビット)の内容をアドレスとしてメモリ上のオペランドを指定します。

(3) ディスプレースメント付きレジスタ間接 @(d:16, Rn)

命令コードのレジスタフィールドで指定されるレジスタ(16ビット)の内容に、命令コードの第2ワード(第3、第4バイト)の16ビットディスプレースメントを加算した内容をアドレスとして、メモリ上のオペランドを指定します。

本アドレッシングモードは、MOV 命令のみで使用されます。特に、MOV.W 命令では、加算結果が偶数となるようにしてください。

2. CPU

(4) ポストインクリメントレジスタ間接 @Rn+ / プリデクリメントレジスタ間接 @-Rn

- ポストインクリメントレジスタ間接 @Rn+

MOV (Load from) 命令で使用されます。

命令コードのレジスタフィールドで指定されるレジスタ (16 ビット) の内容をアドレスとして、メモリ上のオペランドを指定します。その後、レジスタの内容に 1 または 2 が加算され、加算結果がレジスタに格納されます。MOV.B 命令では 1、MOV.W 命令では 2 がそれぞれ加算されます。MOV.W 命令では、レジスタの内容が偶数になるようにしてください。

- プリデクリメントレジスタ間接 @-Rn

MOV (Store to) 命令で使用されます。

命令コードのレジスタフィールドで指定されるレジスタ (16 ビット) の内容から 1 または 2 を減算した内容をアドレスとして、メモリ上のオペランドを指定します。その後、減算結果がレジスタに格納されます。MOV.B 命令では 1、MOV.W 命令では 2 がそれぞれ減算されます。MOV.W 命令では、レジスタの内容が偶数となるようにしてください。

(5) 絶対アドレス @aa:8/@aa:16

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。

このとき、絶対アドレスは 8 ビット (@aa:8) または 16 ビット (@aa:16) で、8 ビット絶対アドレスは MOV.B、ビット操作命令で、16 ビット絶対アドレスは MOV.B、MOV.W、JMP、JSR の各命令で使用されます。

8 ビット絶対アドレスの場合、上位 8 ビットはすべて "1" (H'FF) となります。したがって、アクセス範囲は 65280 ~ 65535 (H'FF00 ~ H'FFFF) 番地です。

(6) イミディエイト #xx:8/#xx:16

命令コードの第 2 バイト (#xx:8) または第 3、第 4 バイト (#xx:16) を直接オペランドとして使用します。#xx:16 は、MOV.W 命令のみで使用されます。

なお、ADDS および SUBS 命令では、イミディエイトデータ (1 または 2) が命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが、命令コードの第 2 または第 4 バイトに含まれる場合があります。

(7) プログラムカウンタ相対 @(d:8, PC)

Bcc、BSR の各命令で使用されます。

PC の内容に、命令コードの第 2 バイトの 8 ビットディスプレースメントを加算して、分岐アドレスを生成します。加算に際して、ディスプレースメントは 16 ビットに符号拡張され、また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して -126 ~ +128 バイト (-63 ~ +64 ワード) です。このとき、加算結果が偶数となるようにしてください。

(8) メモリ間接 @@aa:8

JMP および JSR 命令で使用されます。

命令コードの第 2 バイトに含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。この場合、8 ビット絶対アドレスの上位 8 ビットはすべて 0 (H'00) とされますので、

分岐アドレスを格納できるのは 0~255 (H'0000~H'00FF) 番地です。ただし、H8/300L シリーズでは、アドレスの下位番地はベクタ領域と共通になっていますから注意してください。ベクタ領域の詳細は「3.1 例外処理要因とベクタアドレス」を参照してください。

分岐アドレスまたは MOV.W 命令のオペランドアドレスとして奇数アドレスを指定した場合、最下位ビットは 0 とみなされ、1 番地前から始まるワードデータをアクセスします（「2.4.2 メモリ上でのデータ形式」を参照してください）。

2.6.2 実効アドレスの計算方法

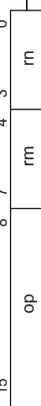
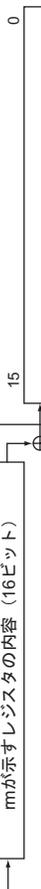
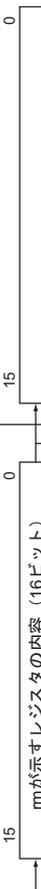
各アドレッシングモードにおける実効アドレス (EA : Effective Address) の計算法を表 2.12 に示します。

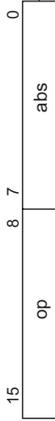
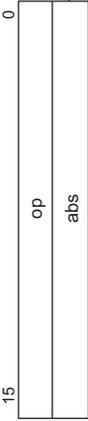
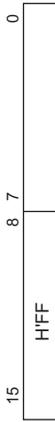
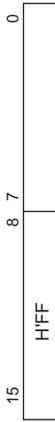
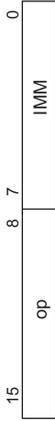
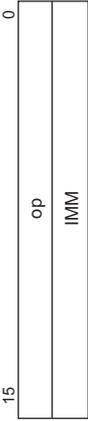
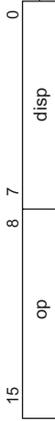
演算命令では、(1) レジスタ直接、および (6) イミディエイト (ADD.B, ADDX, SUBX, CMP.B, AND, OR, XOR の各命令) が使用されます。

転送命令では、(7) プログラムカウンタ相対と (8) メモリ間接を除くすべてのアドレッシングモードが使用可能です。

また、ビット操作命令では、オペランドの指定に (1) レジスタ直接、(2) レジスタ間接および (5) 絶対アドレス (8 ビット) が使用可能です。さらに、オペランド中のビット番号を指定するために (1) レジスタ直接 (BSET, BCLR, BNOT, BTST の各命令) および (6) イミディエイト (3 ビット) が独立して使用可能です。

表 2.12 実効アドレスの計算方法

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
1	レジスタ直接 Rn 	 <p>オペランドはrm/mが示すレジスタの内容です。</p>	
2	レジスタ間接 @Rn 		
3	ディスプレースメント付レジスタ間接 @ (d:16, Rn) 		
4	ポストインクリメントレジスタ間接 / プリデクリメントレジスタ間接 <ul style="list-style-type: none"> ・ポストインクリメントレジスタ間接 @Rn+  ・プリデクリメントレジスタ間接 @-Rn  	 <p>オペランドサイズがバイトのとき1、ワードのとき2が加減算されます。</p>	

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
5	絶対アドレス @aa:8  @aa:16 	 	 
6	イミディエイト #xx:8  #xx:16 		オペランドはイミディエイトデータの1または2バイトデータです。
7	プログラムカウンタ相対 @ (dt8, PC) 		

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
8	<p>メモリ間接@@aa:8</p>		

【記号説明】

- rm, m : レジスタフィールド
- op : オペレーションフィールド
- disp : ディスプレースメント
- IMM : イミディエイトデータ
- abs : 絶対アドレス

2.7 基本バスタイミング

CPU は、システムクロック () またはサブクロック (ϕ_{SUB}) を基準に動作しています。システムクロックおよびサブクロック ϕ_{SUB} の定義については「第 4 章 クロック発振器」を参照してください。または ϕ_{SUB} の立ち上がりから次の立ち上がりまでの 1 単位をステートとよびます。バスサイクルは、2 ステートまたは 3 ステートで構成され、内蔵メモリ、内蔵周辺モジュールによって異なるアクセスを行います。

2.7.1 内蔵メモリ (RAM、ROM)

内蔵メモリのアクセスは、2 ステートで行われます。このとき、データバス幅は 16 ビットで、バイトおよびワードサイズアクセスが可能です。

内蔵メモリアクセスサイクルを図 2.12 に示します。

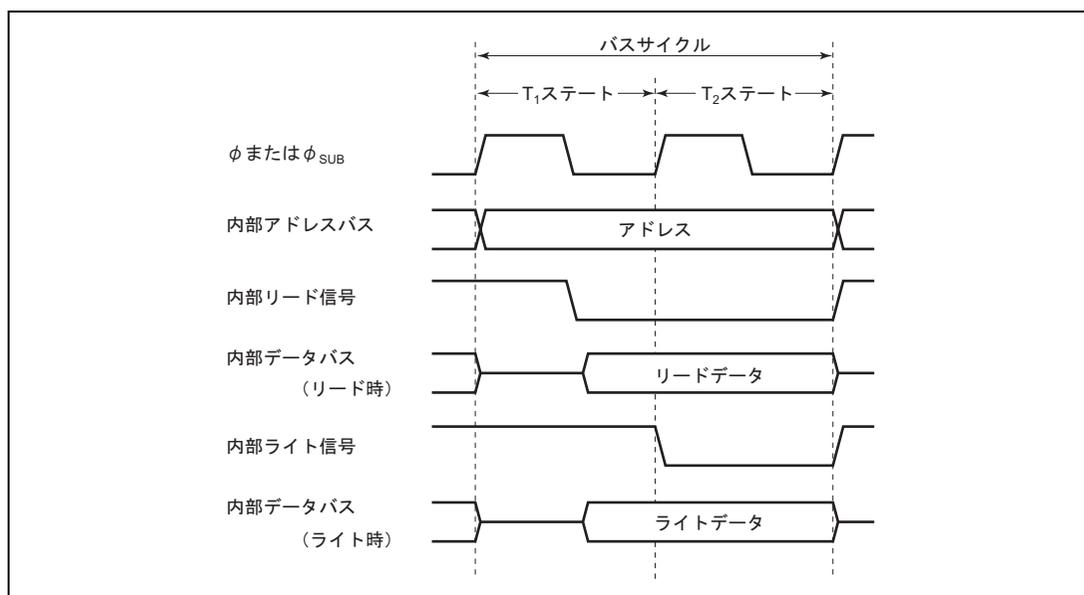


図 2.12 内蔵メモリアクセスサイクル

2.7.2 内蔵周辺モジュール

内蔵周辺モジュールのアクセスは、2 ステートまたは3 ステートで行われます。このとき、データバス幅は8ビットで、バイトサイズアクセスのみ可能です。したがって、ワードデータは、2 命令に分けてアクセスしてください。各レジスタのデータバス幅とアクセスステート数は「16.1 レジスタアドレス一覧（アドレス順）」を参照してください。

(1) 内蔵周辺モジュール 2 ステートアクセス

内蔵周辺モジュールを 2 ステートでアクセスした動作タイミングを図 2.13 に示します。

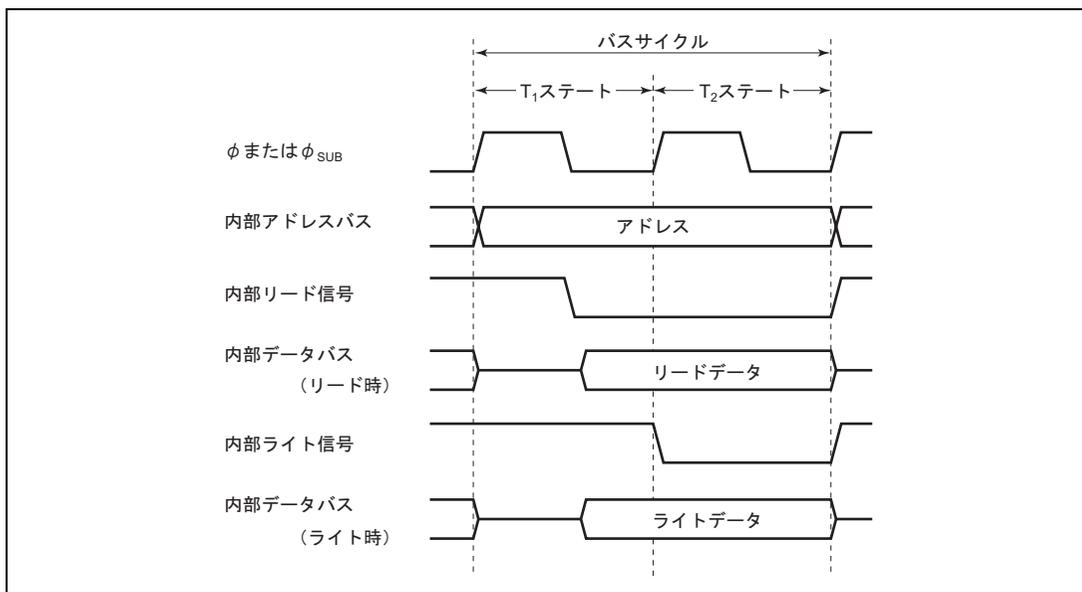


図 2.13 内蔵周辺モジュールアクセスサイクル (2 ステートアクセス)

(2) 内蔵周辺モジュール 3 ステートアクセス

内蔵周辺モジュールを 3 ステートでアクセスした動作タイミングを図 2.14 に示します。

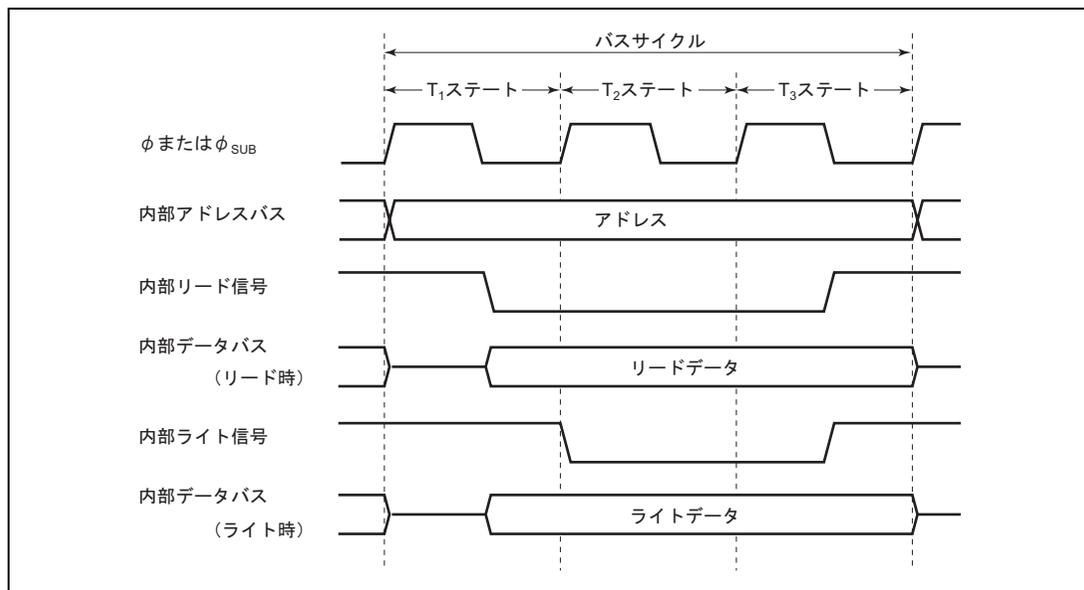


図 2.14 内蔵周辺モジュールアクセスサイクル (3 ステートアクセス)

2.8 CPU の状態

CPU の状態には、リセット状態、プログラム実行状態、プログラム停止状態、例外処理状態の 4 種類があります。プログラム実行状態には、アクティブ（高速、中速）モード、サブアクティブモードがあり、プログラム停止状態には、スリープ（高速）モード、スリープ（中速）モード、スタンバイモード、ウォッチモード、およびサブスリープモードがあります。

各状態の分類を図 2.15 に、各状態間の遷移を図 2.16 に示します。

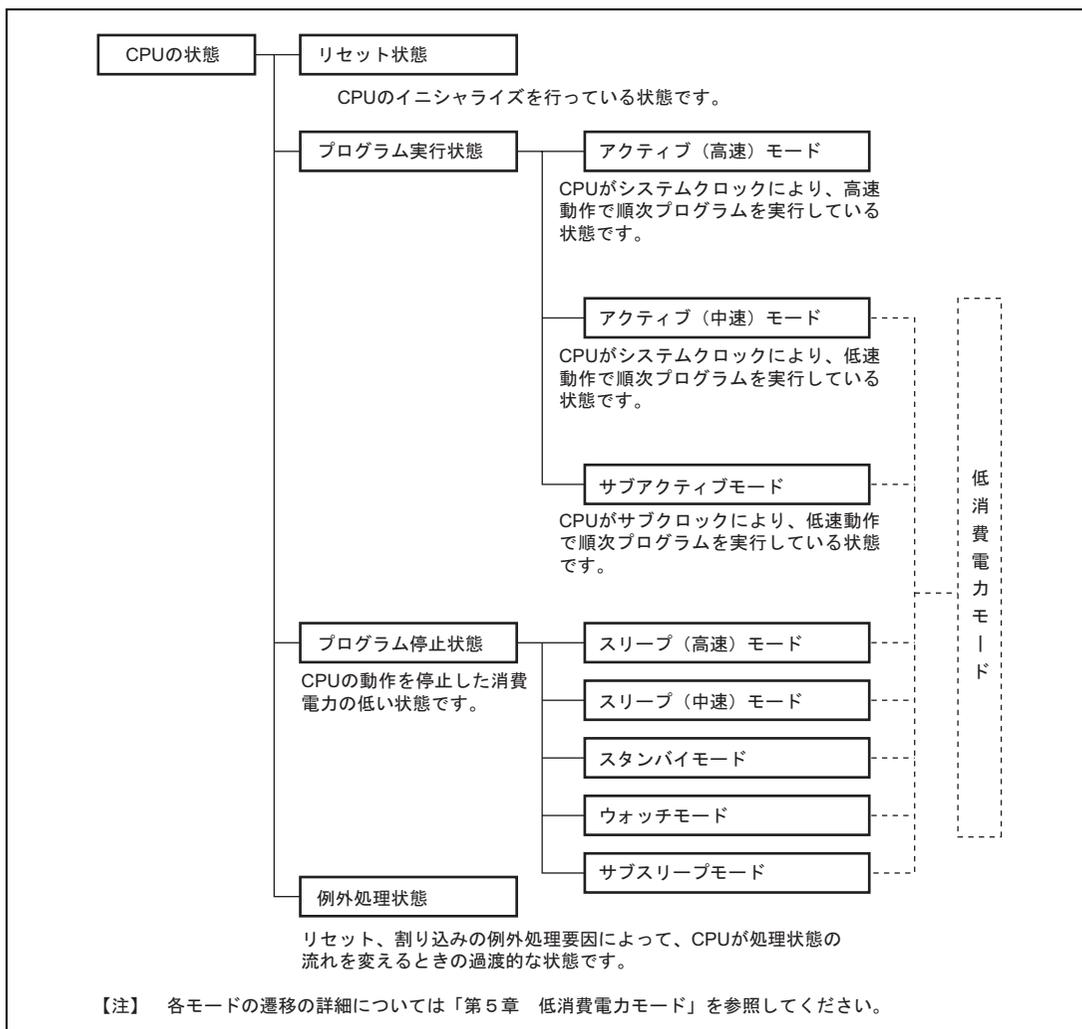


図 2.15 CPU の状態の分類

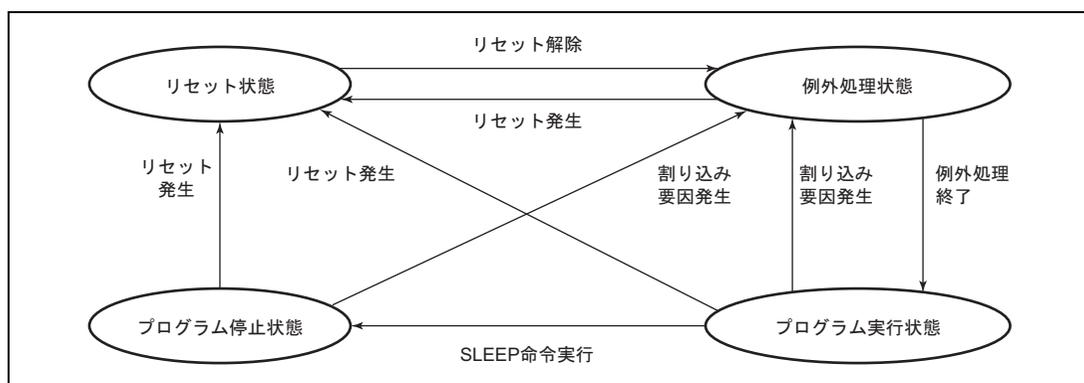


図 2.16 状態遷移図

2.9 使用上の注意事項

2.9.1 空きエリアへのデータアクセス

本 LSI のアドレス空間にはユーザに開放された ROM、RAM、内蔵 I/O レジスタの領域以外に空きエリアがあります。CPU から空きエリアへデータを転送すると転送データは失われます。また、CPU の誤動作の原因となる可能性があります。空きエリアから CPU への転送データの内容は保証されません。

2.9.2 内部 I/O レジスタへのアクセス

内蔵 ROM、RAM 領域以外の内蔵周辺モジュールは、内部のデータ転送が 8 ビットで行われます。この領域にワードアクセスを行うと、以下のように動作します。

CPU から I/O レジスタ領域へのワードアクセス 上位バイト : I/O レジスタに書き込まれます。 下位バイト : 転送データは失われます。
内部 I/O レジスタから CPU へのワードアクセス 上位バイト : CPU 内部レジスタ上位に書き込まれます。 下位バイト : CPU 内部レジスタ下位に書き込まれたデータは保証されません。

したがって、内蔵 ROM、RAM 領域以外の I/O レジスタ領域とのデータ転送は、バイトサイズの命令を使用してください。

2.9.3 EEPMOV 命令

EEPMOV 命令はブロック転送命令で、R5 で示されるアドレスから始まる R4L で示されるバイト数のデータを、R6 で示されるアドレスへ転送します。転送先の最終アドレス (R6 + R4L の値) が H'FFFF を超えないように (実行途中で R6 の値が H'FFFF H'0000 とならないように)、R4L、R6 を設定してください。

2.9.4 ビット操作命令

BSET、BCLR、BNOT、BST、BIST 命令は、指定されたアドレスのデータをバイト単位でリードし、対象となる1ビットを操作した後、同一アドレスにバイト単位でライトします。したがって、同一アドレスに2つのレジスタが割り付けられている場合や、ライト専用ビットを含むレジスタ、またはポートに対して直接ビット操作命令を使用すると、ビット操作対象以外のビットのデータが書き換わる可能性がありますので注意してください。

(1) 同一アドレスに割り付けられた2つのレジスタのビット操作

例1：タイマロードレジスタとタイマカウンタへのビット操作

図 2.17 に同一アドレスに割り付けられた2つのレジスタを持つタイマの構成例を示します。リロードタイマのタイマロードレジスタとタイマカウンタにビット操作命令を実行すると、タイマロードレジスタとタイマカウンタはアドレスを共有しているため次のように動作します。

1. タイマカウンタのデータをバイト単位でリードします。
2. CPUはビット操作命令で対象となる1ビットをセットまたはリセットします。
3. ライトしたデータをバイト単位でタイマロードレジスタにライトします。

タイマカウンタはカウントを続けているので、リードしたデータがタイマロードレジスタのデータとは必ずしも等しくありません。そのためタイマカウンタの操作の対象となったビット以外のデータが書き換わって、タイマロードレジスタへライトされます。

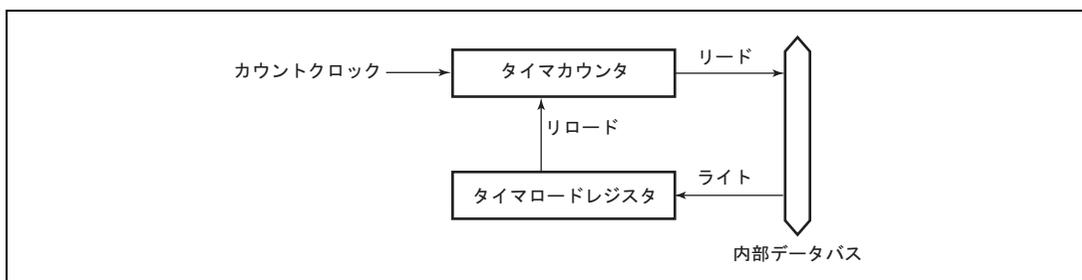


図 2.17 同一アドレスに割り付けられた2つのレジスタを持つタイマの構成例

例 2：ポート 3 に BSET 命令を実行した場合

P37、P36 は入力端子に設定され、それぞれ Low レベル、High レベルが入力されているとし、P35～P31 は出力端子に設定され、それぞれ Low レベル出力状態とします。

以下に、BSET 命令で P31 に High レベル出力を行う例を示します。

【BSET 命令を実行前】

	P37	P36	P35	P34	P33	P32	P31	
入出力	入力	入力	出力	出力	出力	出力	出力	
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	1

【BSET 命令を実行】

BSET #1, @PDR3

ポート 3 に対して BSET 命令を実行します。

【BSET 命令を実行後】

	P37	P36	P35	P34	P33	P32	P31	
入出力	入力	入力	出力	出力	出力	出力	出力	
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル	
PCR3	0	0	1	1	1	1	1	1
PDR3	0	1	0	0	0	0	1	1

【BSET 命令の動作説明】

BSET 命令を実行すると、CPU は、最初にポート 3 をリードします。

P37、P36 は入力端子であるので、CPU は端子の状態 (Low レベル、High レベル入力) をリードします。P35～P31 は出力端子であるので、CPU は PDR3 の値をリードします。したがって、この例では、PDR3 は H'81 ですが、CPU がリードしたデータは H'41 となります。

次に、CPU は、リードしたデータのビット 1 を 1 にセットして、データを H'43 に変更します。

最後に、この値 (H'43) を PDR3 に書き込んで、BSET 命令を終了します。

その結果、PDR3 のビット 1 が 1 になり、P31 は High レベル出力になります。しかし、PDR3 のビット 7、6 が変化してしまいます。

そのため、PDR3 と同じデータをメモリ上のワークエリアに格納し、ワークエリア上のデータに対しビット操作を行った後、このデータを PDR3 にライトしてください。

2. CPU

【BSET 命令を実行前】

```
MOV.B #81, R0L
MOV.B R0L, @RAM0
MOV.B R0L, @PDR3
```

PDR3 に書き込む値 (H'81) をあらかじめメモリ上のワークエリア (RAM0) と PDR3 にライトします。

	P37	P36	P35	P34	P33	P32	P31	
入出力	入力	入力	出力	出力	出力	出力	出力	
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	1

RAM0	1	0	0	0	0	0	0	1
------	---	---	---	---	---	---	---	---

【BSET 命令を実行】

```
BSET #1, @RAM0
```

PDR3 のワークエリア (RAM0) に対して BSET 命令を実行します。

【BSET 命令を実行後】

```
MOV.B @RAM0, R0L
MOV.B R0L, @PDR3
```

ワークエリア (RAM0) の値を PDR3 にライトします。

	P37	P36	P35	P34	P33	P32	P31	
入出力	入力	入力	出力	出力	出力	出力	出力	
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル	
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	1	1

RAM0	1	0	0	0	0	0	1	1
------	---	---	---	---	---	---	---	---

(2) ライト専用ビットを含むレジスタのビット操作

例 3：ポート 3 の PCR3 に BCLR 命令を実行した場合

P37、P36 は入力端子に設定され、それぞれ Low レベル、High レベルが入力されているとします。P35～P31 は出力端子に設定され、それぞれ Low レベル出力状態とします。

ここで、BCLR 命令で、P31 を入力ポートにする例を示します。入力端子に設定された P31 は High レベルが入力されるものとします。

【BCLR 命令を実行前】

	P37	P36	P35	P34	P33	P32	P31	
入出力	入力	入力	出力	出力	出力	出力	出力	
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	1

【BCLR 命令を実行】

BCLR	#1	,	@PCR3
------	----	---	-------

PCR3 に対して BCLR 命令を実行します。

【C； BCLR 命令を実行後】

	P37	P36	P35	P34	P33	P32	P31	
入出力	出力	出力	出力	出力	出力	出力	入力	
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル	
PCR3	1	1	1	1	1	1	0	1
PDR3	1	0	0	0	0	0	0	1

【BCLR 命令の動作説明】

BCLR 命令を実行すると、CPU は、最初に PCR3 をリードします。PCR3 はライト専用レジスタですので、CPU は H'FF をリードします。したがって、この例では PCR3 は H'3F ですが、CPU がリードしたデータは H'FF となります。

次に、CPU は、リードしたデータのビット 1 を 0 にクリアして、データを H'FD に変更します。

最後に、このデータ (H'FD) を PCR3 に書き込んで、BCLR 命令を終了します。

その結果、PCR3 のビット 1 が 0 になり、P31 は入力ポートになります。しかし、PCR3 のビット 7、ビット 6 が 1 になって、入力ポートであった P37、P36 は出力ポートに変化してしまいます。

そのため、PCR3 と同じデータをメモリ上のワークエリアに格納し、ワークエリア上のデータに対しビット操作を行った後、このデータを PCR3 にライトしてください。

2. CPU

【BCLR 命令を実行前】

```
MOV.B #3F, R0L
MOV.B R0L, @RAM0
MOV.B R0L, @PCR3
```

PCR3 に書き込む値 (H'3F) をあらかじめメモリ上のワークエリア (RAM0) と PCR3 にライトします。

	P37	P36	P35	P34	P33	P32	P31	
入出力	入力	入力	出力	出力	出力	出力	出力	
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	1
RAM0	0	0	1	1	1	1	1	1

【BCLR 命令を実行】

```
BCLR #1, @RAM0
```

PCR3 のワークエリア (RAM0) に対して BCLR 命令を実行します。

【BCLR 命令を実行後】

```
MOV.B @RAM0, R0L
MOV.B R0L, @PCR3
```

ワークエリア (RAM0) の値を PCR3 にライトします。

	P37	P36	P35	P34	P33	P32	P31	
入出力	入力	入力	出力	出力	出力	出力	出力	
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル	
PCR3	0	0	1	1	1	1	0	1
PDR3	1	0	0	0	0	0	0	1
RAM0	0	0	1	1	1	1	0	1

同一のアドレスに割り付けられた2つのレジスタの一覧を表 2.13 に、ライト専用ビットを含むレジスタの一覧を表 2.14 に示します。

表 2.13 同一のアドレスに割り付けられた2つのレジスタの一覧

レジスタ名	略称	アドレス
ポートデータレジスタ 3*	PDR3	H'FFD6
ポートデータレジスタ 4*	PDR4	H'FFD7
ポートデータレジスタ 5*	PDR5	H'FFD8
ポートデータレジスタ 6*	PDR6	H'FFD9
ポートデータレジスタ 7*	PDR7	H'FFDA
ポートデータレジスタ 8*	PDR8	H'FFDB
ポートデータレジスタ A*	PDRA	H'FFDD

【注】* ポートデータレジスタと端子入力が兼用になっています。

表 2.14 ライト専用ビットを含むレジスタの一覧

レジスタ名	略称	アドレス
ポートコントロールレジスタ 3	PCR3	H'FFE6
ポートコントロールレジスタ 4	PCR4	H'FFE7
ポートコントロールレジスタ 5	PCR5	H'FFE8
ポートコントロールレジスタ 6	PCR6	H'FFE9
ポートコントロールレジスタ 7	PCR7	H'FFEA
ポートコントロールレジスタ 8	PCR8	H'FFEB
ポートコントロールレジスタ A	PCRA	H'FFED
タイマコントロールレジスタ F	TCRF	H'FFB6
PWM1 コントロールレジスタ	PWCR1	H'FFD0
PWM1 データレジスタ U	PWDRU1	H'FFD1
PWM1 データレジスタ L	PWDRL1	H'FFD2
PWM2 コントロールレジスタ	PWCR2	H'FFCD
PWM2 データレジスタ U	PWDRU2	H'FFCE
PWM2 データレジスタ L	PWDRL2	H'FFCF

3. 例外処理

例外処理にはリセットと割り込みによるものがあります。

- リセット

リセットは最も優先度の高い例外処理です。 $\overline{\text{RES}}$ 端子によってリセットが解除されると例外処理を開始します。ウォッチドッグタイマのオーバーフローによってもリセットされ、例外処理を開始します。例外処理は $\overline{\text{RES}}$ 端子による例外処理と同一です。

- 割り込み例外処理

外部割り込み要求と内部割り込み要求はCCRのIビットによりマスクされ、Iビットが1の間保留されます。割り込み要求が発生すると、命令の実行終了時または例外処理終了時に例外処理を開始します。

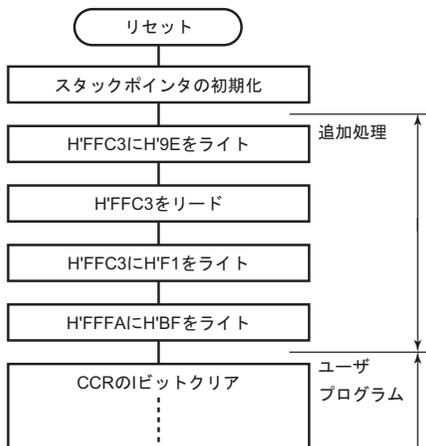
HD64F38004 には下記の注意事項があります。

- 発生現象

電源投入時の回路状態により、ベクタNo.17 (システム予約) の割り込み要求が発生する場合があります。CCRのIビットを0クリアすると、他の内部割り込みと同様に上記の割り込みを受け付けます。これにより例外処理を開始しますが、当該割り込み要求フラグをクリアする手段がないためにプログラムの進行が停止します。

- 本現象の対策方法

本現象の対策として、次の処理をプログラムに追加していただきますよう、お願いいたします。



3. 例外処理

アセンブラでの例を次に示します。

```
.ORG      H'0000
.DATA. W  INIT
.ORG      H'0100
INIT:
MOV.W     #H'FF80:16, SP

MOV.B     #H'9E:8, R0L
MOV.B     R0L, @H'FFC3:8
MOV.B     @H'FFC3:8, R0L
MOV.B     #H'F1:8, R0L
MOV.B     R0L, @H'FFC3:8
MOV.B     #H'BF:8, R0L
MOV.B     R0L, @H'FFFA:8

ANDC.B    #H'7F:8, CCR                ;user program
```

C言語での例を次に示します。

```
void PowerON_Reset (void)
{
//-----
    unsigned char  dummy;
    *((volatile unsigned char *) 0xffc3) = 0x9e;
    dummy = *((volatile unsigned char *) 0xffc3) ;
    *((volatile unsigned char *) 0xffc3) = 0xf1;
    *((volatile unsigned char *) 0xfffa) = 0xbf;
//-----
    set_imask_ccr (0) ;    // clear I bit
                          // user program
}
```

なお、本処理を追加したプログラムはマスクROM版で変更なし、または本処理分を削除してご使用いただけます。

3. 例外処理

3.2 レジスタの説明

割り込みを制御するには以下のレジスタがあります。

- 割り込みエッジセレクトレジスタ (IEGR)
- 割り込み許可レジスタ1 (IENR1)
- 割り込み許可レジスタ2 (IENR2)
- 割り込み要求レジスタ1 (IRR1)
- 割り込み要求レジスタ2 (IRR2)
- ウェイクアップ割り込み要求レジスタ (IWPR)
- ウェイクアップエッジセレクトレジスタ (WEGR)

3.2.1 割り込みエッジセレクトレジスタ (IEGR)

IEGR は $\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQ0}}$ 端子の割り込み要求を発生させるエッジの方向を選択します。

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて1	-	リザーブビット リードすると常に1が読み出されます。
4~2	-	-	W	リザーブビット 0 ライトのみ可能です。
1	IEG1	0	R/W	IRQ1、IEG0 エッジセレクト 0: $\overline{\text{IRQn}}$ 端子入力の立ち下がりエッジを検出 1: $\overline{\text{IRQn}}$ 端子入力の立ち上がりエッジを検出 (n=1, 0)
0	IEG0	0	R/W	

3.2.2 割り込み許可レジスタ 1 (IENR1)

IENR1 は、タイマおよび外部割り込み端子割り込みをイネーブルにします。

ビット	ビット名	初期値	R/W	説明
7	IENTA	0	R/W	タイマ A 割り込みイネーブル タイマ A オーバフロー割り込み要求の許可 / 禁止を制御します。 0 : タイマ A の割り込み要求を禁止 1 : タイマ A の割り込み要求を許可
6			W	リザーブビット 0 ライトのみ可能です。
5	IENWP	0	R/W	ウェイクアップ割り込みイネーブル WKP7 ~ WKP0 割り込み要求の許可 / 禁止を制御します。 0 : WKP7 ~ WKP0 端子の割り込み要求を禁止 1 : WKP7 ~ WKP0 端子の割り込み要求を許可
4、3			W	リザーブビット 0 ライトのみ可能です。
2	IENEC2	0	R/W	IRQAEC 割り込みイネーブル IRQAEC 割り込み要求の許可 / 禁止を制御します。 0 : IRQAEC 端子の割り込み要求を禁止 1 : IRQAEC 端子の割り込み要求を許可
1 0	IEN1 IEN0	0 0	R/W R/W	IRQ1、IRQ0 割り込みイネーブル IRQ1、IRQ0 割り込み要求の許可 / 禁止を制御します。 0 : \overline{IRQn} 端子の割り込み要求を禁止 1 : \overline{IRQn} 端子の割り込み要求を許可 (n = 1, 0)

3. 例外処理

3.2.3 割り込み許可レジスタ 2 (IENR2)

IENR2 は、直接遷移割り込み、A/D 変換器、およびタイマの割り込みをイネーブルにします。

ビット	ビット名	初期値	R/W	説明
7	IENDT	0	R/W	直接遷移割り込みイネーブル 直接遷移割り込み要求の許可 / 禁止を制御します。 0 : 直接遷移による割り込み要求を禁止 1 : 直接遷移による割り込み要求を許可
6	IENAD	0	R/W	A/D 変換器割り込みイネーブル A/D 変換終了割り込み要求の許可 / 禁止を制御します。 0 : A/D 変換器の割り込み要求を禁止 1 : A/D 変換器の割り込み要求を許可
5, 4			W	リザーブビット 0 ライトのみ可能です。
3	IENFHH	0	R/W	タイマ FH 割り込みイネーブル タイマ FH コンペアマッチまたはオーバフロー割り込み要求の許可 / 禁止を制御します。 0 : タイマ FH の割り込み要求を禁止 1 : タイマ FH の割り込み要求を許可
2	IENFHL	0	R/W	タイマ FL 割り込みイネーブル タイマ FL コンペアマッチまたはオーバフロー割り込み要求の許可 / 禁止を制御します。 0 : タイマ FL の割り込み要求を禁止 1 : タイマ FL の割り込み要求を許可
1			W	リザーブビット 0 ライトのみ可能です。
0	IENEC	0	R/W	非同期イベントカウンタ割り込みイネーブル 非同期イベントカウンタの許可 / 禁止を制御します。 0 : 非同期イベントカウンタの割り込み要求を禁止 1 : 非同期イベントカウンタの割り込み要求を許可

なお、SC13 の割り込みの制御については「10.3.6 シリアルコントロールレジスタ 3 (SCR3)」を参照してください。

3.2.4 割り込み要求レジスタ 1 (IRR1)

IRR1 は、タイマ A、IRQAEC、IRQ1、IRQ0 割り込み要求ステータスフラグレジスタです。これらの割り込み要求が発生すると対応するフラグが 1 にセットされます。各フラグは割り込みが受け付けられてもオートクリアされません。各フラグをクリアする場合は 0 をライトしてクリアしてください。

ビット	ビット名	初期値	R/W	説明
7	IRRTA	0	R/W*	タイマ A 割り込み要求フラグ [セット条件] • タイマ A のカウンタ値がオーバーフローしたとき [クリア条件] • 1 の状態で 0 をライトしたとき
6			W	リザーブビット 0 ライトのみ可能です。
5		1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
4、3			W	リザーブビット 0 ライトのみ可能です。
2	IRREC2	0	R/W*	IRQAEC 割り込み要求フラグ [セット条件] • IRQAEC 端子が割り込み入力に設定され、指定されたエッジを検出したとき [クリア条件] • 1 の状態で 0 をライトしたとき
1 0	IRRI1 IRRI0	0 0	R/W* R/W*	IRQ1、IRQ0 割り込み要求フラグ [セット条件] • $\overline{\text{IRQ}}_n$ 端子が割り込み入力に設定され、指定されたエッジを検出したとき ($n=1, 0$) [クリア条件] • 1 の状態で 0 をライトしたとき

【注】 * フラグをクリアするための 0 ライトのみ可能です。

3. 例外処理

3.2.5 割り込み要求レジスタ 2 (IRR2)

IRR2 は、直接遷移、A/D 変換器、タイマ FH、タイマ FL 非同期イベントカウンタ割り込み要求が発生すると、対応するフラグが 1 にセットされます。各フラグは割り込みが受け付けられてもオートクリアされません。各フラグをクリアする場合は 0 をライトしてクリアしてください。

ビット	ビット名	初期値	R/W	説明
7	IRRDT	0	R/W*	直接遷移割り込み要求フラグ [セット条件] • DTON に 1 をセットした状態でスリープ命令を実行し直接遷移したとき [クリア条件] • 1 の状態で 0 をライトしたとき
6	IRRAD	0	R/W*	A/D 変換器割り込み要求フラグ [セット条件] • A/D 変換器が変換終了し、ADSF がリセットされたとき [クリア条件] • 1 の状態で 0 をライトしたとき
5, 4			W	リザーブビット 0 ライトのみ可能です。
3	IRRTFH	0	R/W*	タイマ FH 割り込み要求フラグ [セット条件] • 8 ビットタイマモードで TCFH と OCRFH が一致したとき、また、16 ビットタイマモードで TCF (TCFL、TCFH) と OCRF (OCRFL、OCRFH) が一致したとき [クリア条件] • 1 の状態で 0 をライトしたとき
2	IRRTFL	0	R/W*	タイマ FL 割り込み要求フラグ [セット条件] • 8 ビットタイマモードで TCFL と OCRFL が一致したとき [クリア条件] • 1 の状態で 0 をライトしたとき
1			W	リザーブビット 0 ライトのみ可能です。
0	IRREC	0	R/W*	非同期イベントカウンタ割り込み要求フラグ [セット条件] • 16 ビットカウンタモードで ECH がオーバーフローしたとき、または 8 ビットカウンタモードで ECH または ECL がオーバーフローしたとき [クリア条件] • 1 の状態で 0 をライトしたとき

【注】 * フラグをクリアするための 0 ライトのみ可能です。

3.2.6 ウェイクアップ割り込み要求レジスタ (IWPR)

IWPR は、 $\overline{WKP7} \sim \overline{WKP0}$ 端子の割り込み要求ステータスフラグレジスタです。各フラグは割り込みが受け付けられてもオートクリアされません。各フラグをクリアする場合は 0 をライトしてクリアしてください。

ビット	ビット名	初期値	R/W	説明
7	IWPF7	0	R/W*	ウェイクアップ割り込み要求フラグ 7~0 [セット条件] • \overline{WKPn} 端子がウェイクアップ入力に設定され、指定されたエッジを検出したとき (n=7~0) [クリア条件] • 1 の状態で 0 をライトしたとき
6	IWPF6	0	R/W*	
5	IWPF5	0	R/W*	
4	IWPF4	0	R/W*	
3	IWPF3	0	R/W*	
2	IWPF2	0	R/W*	
1	IWPF1	0	R/W*	
0	IWPF0	0	R/W*	

【注】* フラグをクリアするための 0 ライトのみ可能です。

3.2.7 ウェイクアップエッジセレクトレジスタ (WEGR)

WEGR は、 \overline{WKPn} 端子の立ち上がり/立ち下がりエッジセンスを指定します。

ビット	ビット名	初期値	R/W	説明
7	WKEGS7	0	R/W	\overline{WKPn} エッジセレクト 7~0 \overline{WKPn} 端子の入力センスを選択します。 0 : \overline{WKPn} 端子の立ち下がりエッジを検出 1 : \overline{WKPn} 端子の立ち上がりエッジを検出 (n=7~0)
6	WKEGS6	0	R/W	
5	WKEGS5	0	R/W	
4	WKEGS4	0	R/W	
3	WKEGS3	0	R/W	
2	WKEGS2	0	R/W	
1	WKEGS1	0	R/W	
0	WKEGS0	0	R/W	

3.3 リセット例外処理

$\overline{\text{RES}}$ 端子が Low レベルになると実行中の処理はすべて打ち切れ、LSI はリセット状態になります。リセットによって CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。電源投入時は本 LSI を確実にリセットするため、クロック発振器の発振が安定するまで $\overline{\text{RES}}$ 端子を Low レベルに保持してください。動作中にリセットする場合は最低 10 システムクロックの間 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。 $\overline{\text{RES}}$ 端子が一定期間 Low レベルの後 High レベルになるとリセット例外処理を開始します。リセット例外処理シーケンスを図 3.1 に示します。リセット例外処理のシーケンスは以下のとおりです。ただし、パワーオンリセット内蔵の H8/38104 グループのリセットシーケンスは、「14.3.1 パワーオンリセット回路」を参照してください。

1. コンディションコードレジスタ (CCR) の I ビットをセットします。
2. CPU はリセット例外処理ベクタアドレス (H'0000 ~ H'0001) を生成し、そのアドレスのデータをスタートアドレスとしてプログラムカウンタ (PC) に転送してプログラムの実行を開始します。

3.4 割り込み例外処理

3.4.1 外部割り込み要求

外部割り込み要求には、WKP7 ~ WKP0、IRQ1、IRQ0、IRQAEC 割り込み要求があります。

(1) WKP7 ~ WKP0 割り込み要求

WKP 割り込み要求は $\overline{\text{WKP7}}$ ~ $\overline{\text{WKP0}}$ 端子の入力エッジにより発生します。これらの割り込み要求のベクタアドレスは同一です。検出するエッジの方向は WEGR の WKEGS7 ~ WKEGS0 によって各端子独立に選択できます。 $\overline{\text{WKP7}}$ ~ $\overline{\text{WKP0}}$ 端子が PMR5 によって割り込み要求入力に設定された状態で指定されたエッジを検出すると IWPR の対応するビットが 1 にセットされ CPU に対して割り込みを要求します。これらの割り込み要求は IENR1 の IENWP により禁止できます。

(2) IRQ1、IRQ0 割り込み要求

IRQ1、IRQ0 割り込み要求は $\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQ0}}$ 端子の入力エッジにより発生します。これらの割り込み要求には異なる割り込みベクタが割り当てられています。検出するエッジの方向は IEGR の IEG1、IEG0 によって各端子独立に選択できます。 $\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQ0}}$ 端子が PMRB、PMR2 によって割り込み要求入力に設定された状態で指定されたエッジを検出すると、IRR1 の対応するビットが 1 にセットされ CPU に対して割り込みを要求します。これらの割り込み要求は IENR1 の IEN1、IEN0 により禁止できます。

(3) IRQAEC 割り込み要求

IRQAEC 割り込みは、IRQAEC 端子の入力エッジにより発生します。検出するエッジの方向は AEGSR の AIEGS1、AIEGS0 によって選択できます。IENR1 の IENEC2 によって割り込み要求入力に設定された状態で指定されたエッジを検出すると、IRR1 の対応するビットが 1 にセットされ CPU に対して割り込みを要求します。

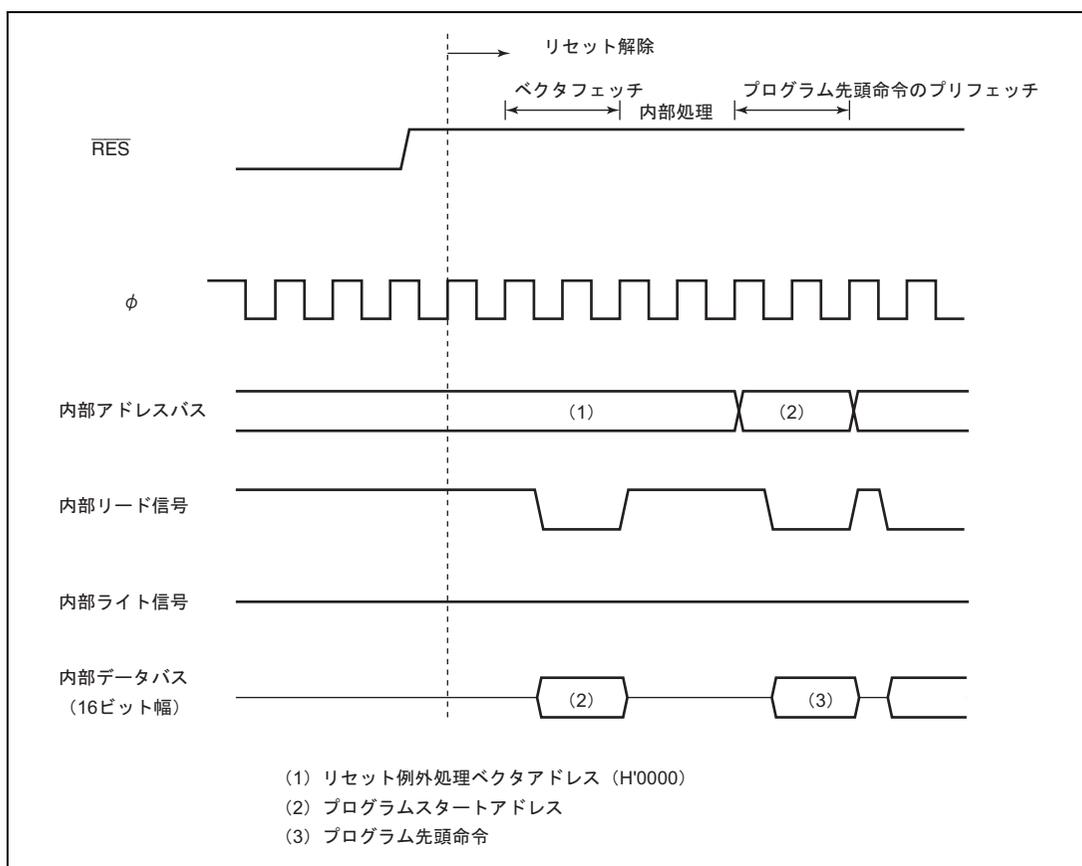


図 3.1 リセット例外処理シーケンス

3. 例外処理

3.4.2 内部割り込み要求

各内蔵周辺モジュールには割り込み要求ステータスフラグとこれらの割り込みイネーブルビットがあります。SLEEP 命令実行によって発生する直接遷移割り込みについてはこの機能は IRR1、IRR2 に含まれています。内蔵周辺モジュールからの割り込み要求が発生すると対応する割り込み要求ステータスフラグが 1 にセットされ CPU に対して割り込みを要求します。これらの割り込み要求は対応するイネーブルビットを 0 にクリアすることにより禁止できます。

3.4.3 割り込み処理シーケンス

割り込み要求は割り込みコントローラによって制御されます。割り込み動作は以下のとおりです。

1. 割り込みイネーブルビットが 1 にセットされている割り込み要因が発生すると、割り込みコントローラに対して割り込み要求信号が送られます。
2. 複数の割り込み要求が発生している場合、割り込みコントローラは CPU に対して表 3.1 に従ってその時点で最も優先度の高い割り込み処理を要求します。その他は保留となります。
3. 割り込み要求は CCR の I ビットがクリアされていれば受け付けますが、I ビットがセットされている間は保留します。
4. CPU が割り込み要求を受け付けると、実行中の命令を実行したあと、割り込み例外処理を開始します。まず、PC と CCR の値をスタック領域にスタックします。このときのスタックの状態を図 3.2 に示します。スタックされる PC の値はリターン後に実行する最初の命令のアドレスです。
5. 次に CCR の I ビットを 1 にセットします。これにより、割り込み要求がマスクされます。なお、I ビットの値はリターン時のアンスタックにより CCR の他のビットとともに例外処理開始前の値に戻ります。
6. この後 CPU は受け付けた割り込み要求に対応するベクタアドレスを生成し、そのアドレスのデータを割り込み処理ルーチンのスタートアドレスとして PC に転送して割り込み処理を開始します。

プログラム領域を内蔵 ROM に、スタック領域を内蔵 RAM にとった場合の割り込み要求シーケンスを図 3.3 に示します。

- 【注】
1. 本 LSI では、割り込み許可レジスタをクリアすることにより割り込みをディスエーブルにする場合、または割り込み要求レジスタをクリアする場合は、必ず割り込みをマスクした状態 (I=1) で行ってください。
 2. I=0 の状態で上記の操作を行うと、当該操作命令の実行と当該割り込みの発生が競合した場合には、当該操作命令の実行終了時に発生した割り込みに対応する例外処理を実行します。

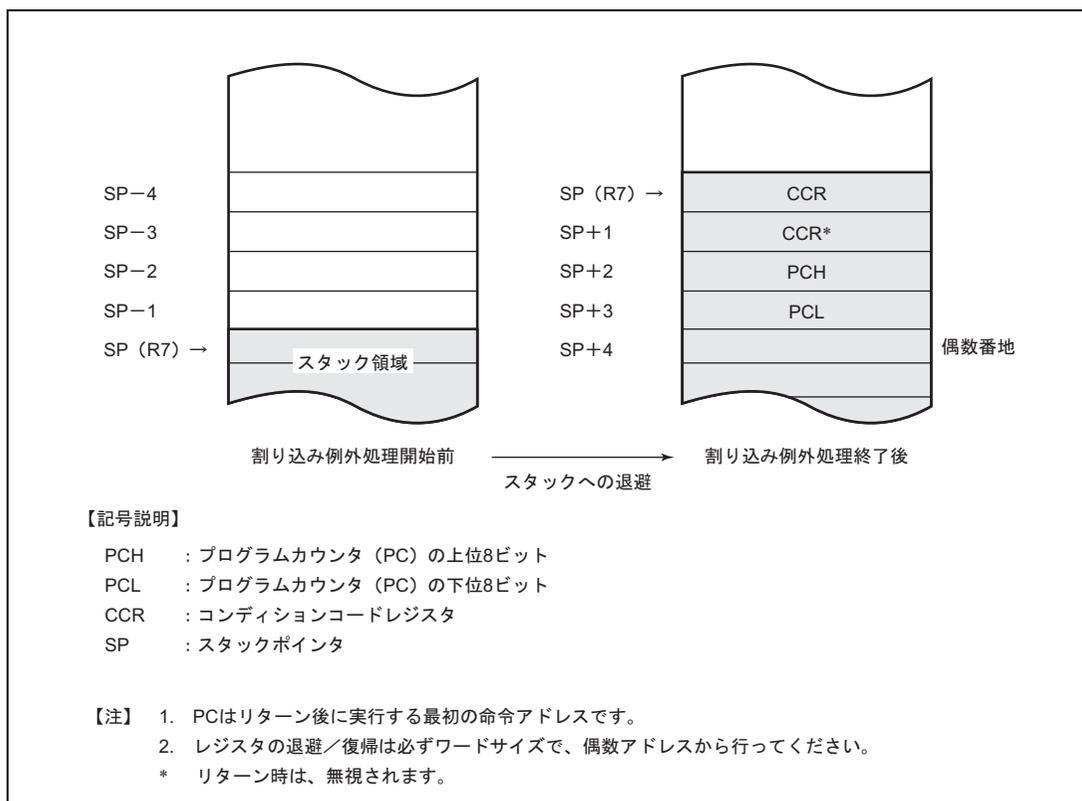


図 3.2 割り込み例外処理終了後のスタック状態

3.4.4 割り込み応答時間

割り込み要求フラグがセットされたあと、割り込み要求処理ルーチンの先頭命令を実行するまでの待ちスタート数を表 3.2 に示します。

表 3.2 割り込み要求待ちスタート数

項目	スタート数	合計
実行中の命令終了時の待ち時間*	1 ~ 13	15 ~ 27
PC、CCR のスタック	4	
ベクタフェッチ	2	
命令フェッチ	4	
内部処理	4	

【注】* EEPMOV 命令は除きます。

3. 例外処理

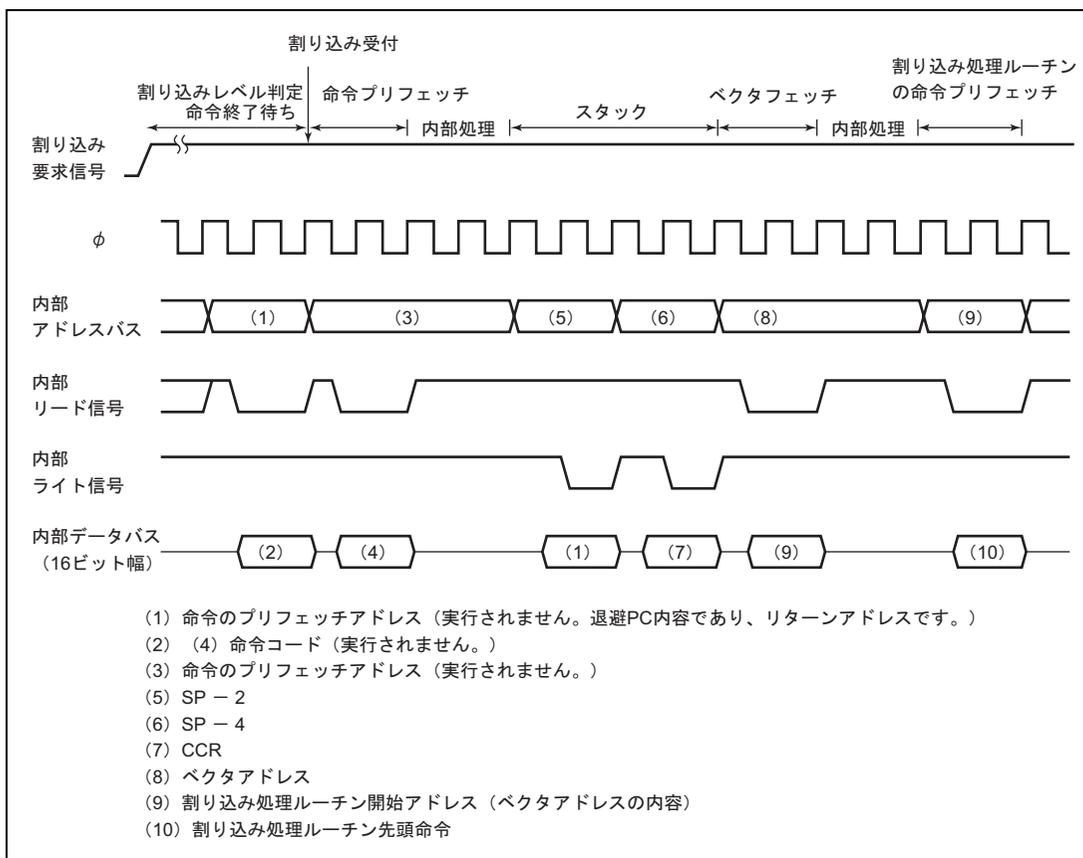


図 3.3 割り込み要求シーケンス

3.5 使用上の注意事項

3.5.1 リセット直後の割り込み要求

リセット直後、スタックポインタ (SP) を初期化する前に CPU が割り込み要求を受け付けると、PC と CCR の退避が正常に行われずプログラムの暴走の原因となります。これを防ぐため、リセット例外処理直後はすべての割り込み要求が禁止されプログラムの先頭 1 命令を必ず実行するようになっていますので、プログラムの先頭で SP を初期化してください (例: MOV.W #xx:16, SP)。

3.5.2 スタック領域のアクセス

ワードデータをアクセスする場合はアドレスの最下位ビットは 0 とみなされます。スタック領域のアクセスは、スタックポインタ (SP: R7) が奇数ならないよう常にワードサイズで行ってください。(例: 「PUSH Rn (MOV.W Rn, @-SP)」または「POP Rn (MOV.W @SP+, Rn)」)

3.5.3 割り込みフラグをクリアする方法

割り込み要求レジスタ (IRR1、IRR2、IWPR) のフラグクリアは下記の「(1) 推奨方法」で行ってください。

(1) 推奨方法

フラグクリアの処理を 1 命令で実施します。この命令には、ビット操作命令とバイトサイズのデータ転送命令が使用できます。下記に「IRR2 (IRR1 のビット 1) をクリアする場合」のプログラム例を 2 つ示します。

```
BCR #1,@IRR1:8
```

```
MOV.B R1L,@IRR1:8 (R1L の値を B'11111101 に設定しておく)
```

(2) 誤動作する例

フラグクリアの処理を複数命令で実施する場合には、命令の実行中に他のフラグがセットされたにもかかわらずこれをクリアしてしまう場合があり、誤動作の原因となります。

次に「IRR2 (IRR1 のビット 1) をクリアする場合」にも IRR10 もクリアにして無効にしてしまう 1 例を示します。

```
MOV.B @IRR1:8,R1L . . . . . この時点では IRR10 = 0
```

```
AND.B #B'11111101,R1L . . . . . ここで IRR10 = 1
```

```
MOV.B R1L,@IRR1:8 . . . . . IRR10 = 0 にクリアされる。
```

上記の例では AND.B 命令実行中に IRQ0 割り込みが発生する場合は想定しています。

本来の目的である IRR2 に加えて IRR10 もクリアしてしまうため、IRQ0 割り込みが無効になってしまいます。

3. 例外処理

3.5.4 ポートモードレジスタを書き換える際の注意事項

ポートモードレジスタを書き換えて外部割り込み要求端子 $\overline{\text{IRQAEC}}$ 、 $\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQ0}}$ 、 $\overline{\text{WKP7}}$ ~ $\overline{\text{WKP0}}$ の機能を変更するとき割り込み要求フラグが 1 にセットされることがあります。端子機能を切り替える場合は、割り込み要求を禁止した状態でポートモードレジスタを書き換え、少なくとも 1 命令 (NOP 命令で可) 実行してから、割り込み要求フラグをクリアしてください。1 にセットされる割り込み要求フラグとその条件を表 3.3 に示します。

表 3.3 割り込み要求フラグが 1 にセットされる条件

1 にセットされる 割り込み要求フラグ		条 件
IRR1	IRREC2	<ul style="list-style-type: none"> • IENR1 の IENEC2 が 1 のとき AEGSR の AIEGS1、0 によって指定したエッジセンスが入力されたとき
	IRRI1	<ul style="list-style-type: none"> • $\overline{\text{IRQ1}}$ 端子が Low レベルで IEGR の IEG1 が 0 の状態で、PMRB の IRQ1 を 0 から 1 に書き換えたとき • $\overline{\text{IRQ1}}$ 端子が Low レベルで IEGR の IEG1 が 1 の状態で、PMRB の IRQ1 を 1 から 0 に書き換えたとき
	IRRI0	<ul style="list-style-type: none"> • $\overline{\text{IRQ0}}$ 端子が Low レベルで IEGR の IEG0 が 0 の状態で、PMR2 の IRQ0 を 0 から 1 に書き換えたとき • $\overline{\text{IRQ0}}$ 端子が Low レベルで IEGR の IEG0 が 1 の状態で、PMR2 の IRQ0 を 1 から 0 に書き換えたとき
IWPR	IWPF7	<ul style="list-style-type: none"> • $\overline{\text{WKP7}}$ 端子が Low レベルで WEGR の WKEGS7 が 0 の状態で、PMR5 の WKP7 を 0 から 1 に書き換えたとき • $\overline{\text{WKP7}}$ 端子が Low レベルで WEGR の WKEGS7 が 1 の状態で、PMR5 の WKP7 を 1 から 0 に書き換えたとき
	IWPF6	<ul style="list-style-type: none"> • $\overline{\text{WKP6}}$ 端子が Low レベルで WEGR の WKEGS6 が 0 の状態で、PMR5 の WKP6 を 0 から 1 に書き換えたとき • $\overline{\text{WKP6}}$ 端子が Low レベルで WEGR の WKEGS6 が 1 の状態で、PMR5 の WKP6 を 1 から 0 に書き換えたとき
	IWPF5	<ul style="list-style-type: none"> • $\overline{\text{WKP5}}$ 端子が Low レベルで WEGR の WKEGS5 が 0 の状態で、PMR5 の WKP5 を 0 から 1 に書き換えたとき • $\overline{\text{WKP5}}$ 端子が Low レベルで WEGR の WKEGS5 が 1 の状態で、PMR5 の WKP5 を 1 から 0 に書き換えたとき
	IWPF4	<ul style="list-style-type: none"> • $\overline{\text{WKP4}}$ 端子が Low レベルで WEGR の WKEGS4 が 0 の状態で、PMR5 の WKP4 を 0 から 1 に書き換えたとき • $\overline{\text{WKP4}}$ 端子が Low レベルで WEGR の WKEGS4 が 1 の状態で、PMR5 の WKP4 を 1 から 0 に書き換えたとき
	IWPF3	<ul style="list-style-type: none"> • $\overline{\text{WKP3}}$ 端子が Low レベルで WEGR の WKEGS3 が 0 の状態で、PMR5 の WKP3 を 0 から 1 に書き換えたとき • $\overline{\text{WKP3}}$ 端子が Low レベルで WEGR の WKEGS3 が 1 の状態で、PMR5 の WKP3 を 1 から 0 に書き換えたとき

1 にセットされる 割り込み要求フラグ		条 件
IWPR	IWPF2	<ul style="list-style-type: none"> • $\overline{WKP2}$ 端子が Low レベルで WEGR の WKEGS2 が 0 の状態で、PMR5 の WKP2 を 0 から 1 に書き換えたとき • $\overline{WKP2}$ 端子が Low レベルで WEGR の WKEGS2 が 1 の状態で、PMR5 の WKP2 を 1 から 0 に書き換えたとき
	IWPF1	<ul style="list-style-type: none"> • $\overline{WKP1}$ 端子が Low レベルで WEGR の WKEGS1 が 0 の状態で、PMR5 の WKP1 を 0 から 1 に書き換えたとき • $\overline{WKP1}$ 端子が Low レベルで WEGR の WKEGS1 が 1 の状態で、PMR5 の WKP1 を 1 から 0 に書き換えたとき
	IWPF0	<ul style="list-style-type: none"> • $\overline{WKP0}$ 端子が Low レベルで WEGR の WKEGS0 が 0 の状態で、PMR5 の WKP0 を 0 から 1 に書き換えたとき • $\overline{WKP0}$ 端子が Low レベルで WEGR の WKEGS0 が 1 の状態で、PMR5 の WKP0 を 1 から 0 に書き換えたとき

ポートモードレジスタの操作と割り込み要求フラグのクリアの手順を図 3.4 に示します。

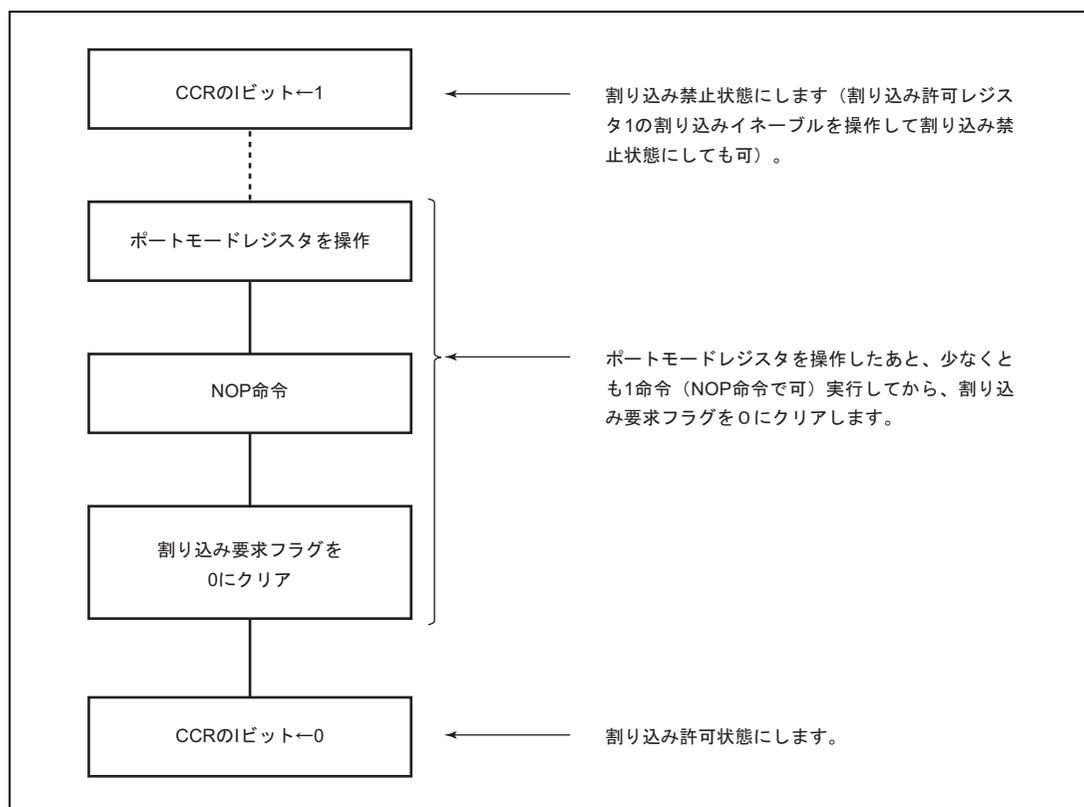


図 3.4 ポートモードレジスタ操作と割り込み要求フラグのクリア手順

3. 例外处理

4. クロック発振器

4.1 特長

クロック発生回路は、システムクロック発振器、システムクロック分周器からなるシステムクロック発生回路と、サブクロック発振器、サブクロック分周器からなるサブクロック発生回路で構成されています。また、H8/38104 グループでは、システムクロック発生回路にオンチップオシレータがあります。図 4.1 に H8/3802、H8/38004、H8/38002S グループのクロック発生回路のブロック図、図 4.2 に H8/38104 グループのクロック発生回路のブロック図を示します。

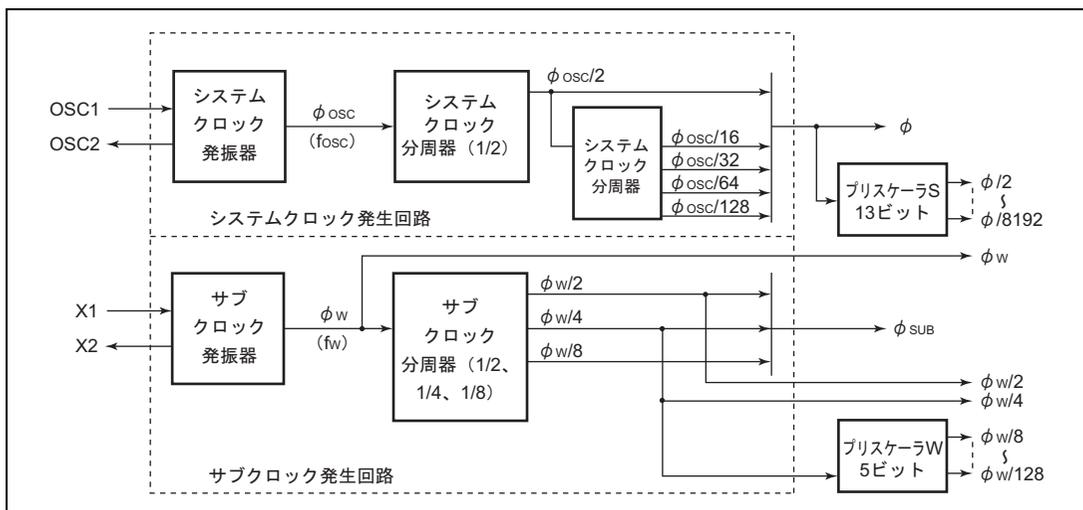


図 4.1 クロック発生回路のブロック図 (H8/3802、H8/38004、H8/38002S グループ)

4. クロック発振器

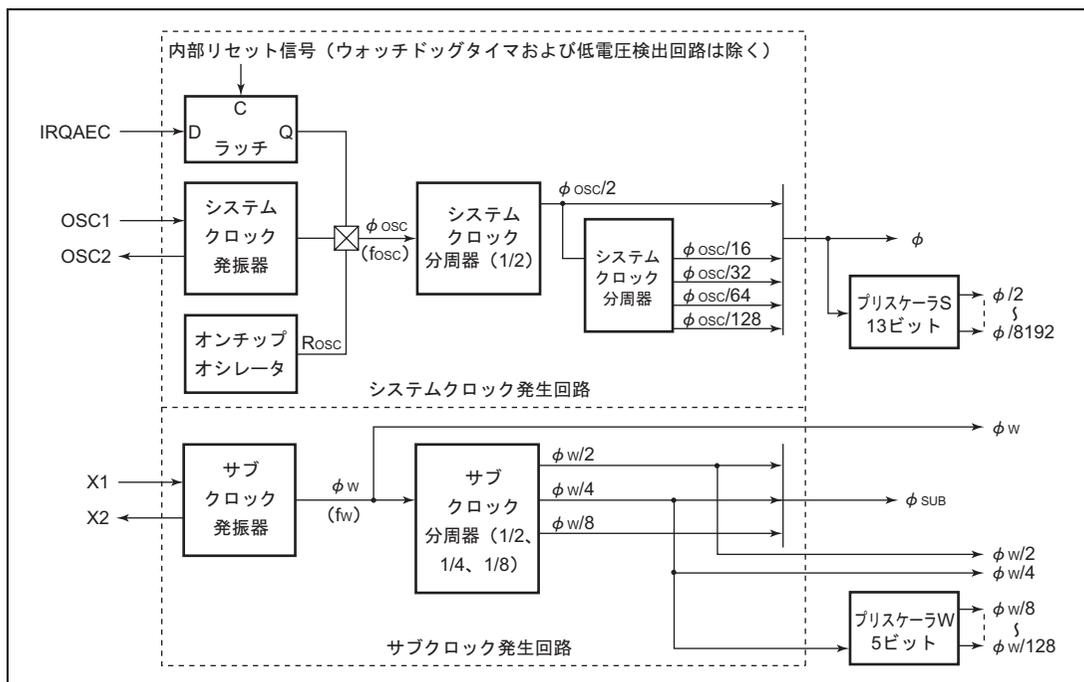


図 4.2 クロック発生回路のブロック図 (H8/38104 グループ)

システムクロック およびサブクロック ϕ_{SUB} は、CPU および周辺機能を動作させるための基準クロックです。システムクロックはプリスケアラ S によって $\phi/8192 \sim \phi/2$ に分周され、サブクロックはプリスケアラ W によって $\phi_w/128 \sim \phi_w/8$ に分周され、それぞれ各周辺モジュールに供給されます。

4.2 レジスタの説明

4.2.1 発振器コントロールレジスタ (OSCCR) (H8/38104 グループのみ)

OSCCR はシステムクロック発振器とオンチップオシレータの選択状態を示すフラグ、リセット期間中の IRQAEC 端子入力レベルを示し、サブ発振器の動作 / 停止の制御を行います。

ビット	ビット名	初期値	R/W	説明
7	SUBSTP	0	R/W	サブ発振器停止制御 0 : サブ発振器は動作 1 : サブ発振器は停止 アクティブ (高速 / 中速) モード時にのみ "1" に設定可能です。 サブアクティブモード時に "1" を設定すると LSI の動作が停止します。
6	—	0	R	リザーブビット リードすると常に 0 が読み出されます。
5~3	—	すべて 0	R/W	リザーブビット R/W 可能なリザーブビットです。
2	IRQAECF	—	R	IRQAEC フラグ リセット期間中に設定した IRQAEC 端子入力レベルを示します。 0 : リセット期間中に IRQAEC 端子を GND に設定 1 : リセット期間中に IRQAEC 端子を Vcc に設定
1	OSCF	—	R	OSC フラグ システムクロック発生回路が動作している発振器を示します。 0 : システムクロック発振器で動作 (オンチップオシレータは停止) 1 : オンチップオシレータで動作 (システムクロック発振器は停止)
0	—	0	R/W	リザーブビット 誤動作の原因となりますので、1 をライトしないでください。

4. クロック発振器

4.3 システムクロック発振器

システムクロックを供給する方法には水晶発振器またはセラミック発振子を接続する方法と、外部クロックを入力する方法があります。システムクロック発振器のブロック図を図 4.3 に示します。

また、図 4.2 に示すように、H8/38104 グループでは、システムクロック発振器とオンチップオシレータを選択可能です。選択方法については「4.3.4 オンチップオシレータを選択する方法」を参照してください。

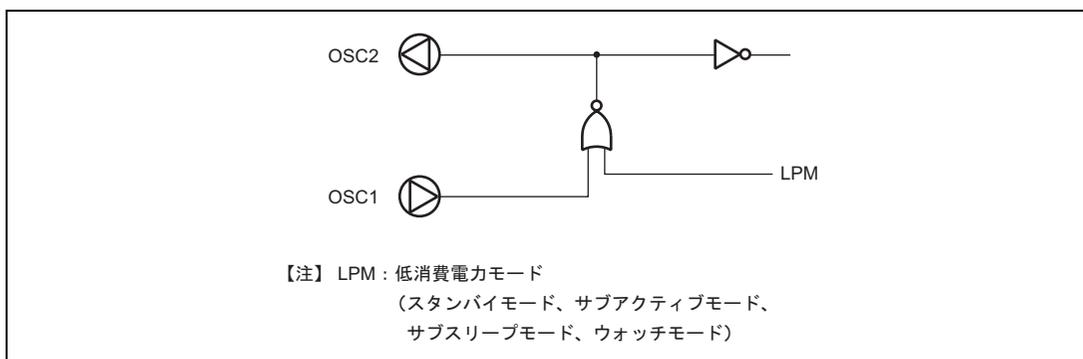


図 4.3 システムクロック発振器のブロック図

4.3.1 水晶発振子を接続する方法

H8/3802 グループの水晶発振子の接続例を図 4.4 (1) に、H8/38004、H8/38002S、H8/38104 グループの水晶発振子の接続例を図 4.4 (2) に示します。図 4.5 に水晶発振子の等価回路を示します。発振子は表 4.1 に示す特性のものを使用してください。

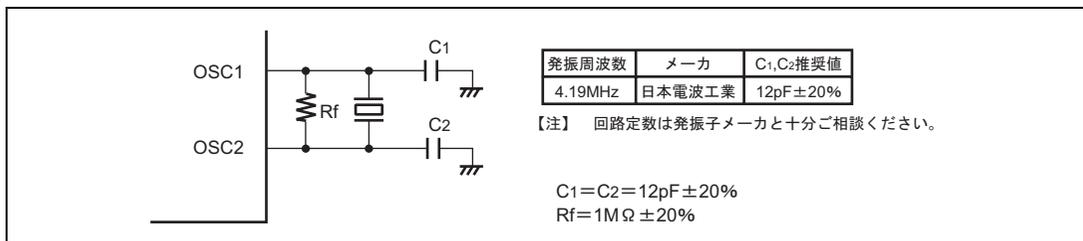


図 4.4 (1) 水晶発振子の接続例 (H8/3802 グループ)

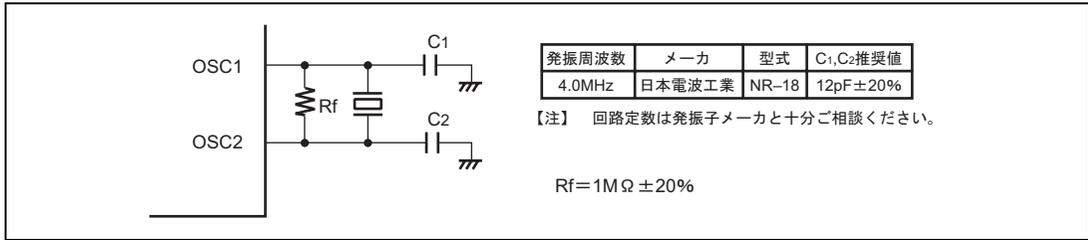


図 4.4 (2) 水晶発振子の接続例 (H8/38004、H8/38002S、H8/38104 グループ)

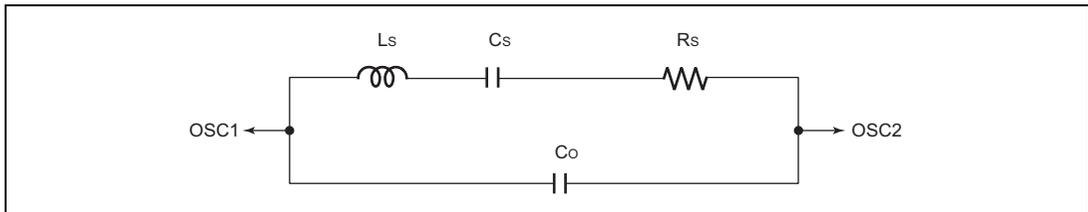


図 4.5 水晶発振子の等価回路

表 4.1 水晶発振子のパラメータ

周波数 (MHz)	4.0	4.193
R _s (max)	100	
C _o (max)	7pF	

4.3.2 セラミック発振子を接続する方法

H8/3802 グループのセラミック発振子の接続例を図 4.6 (1) に、H8/38004、H8/38002S、H8/38104 グループのセラミック発振子の接続例を図 4.6 (2) に示します。

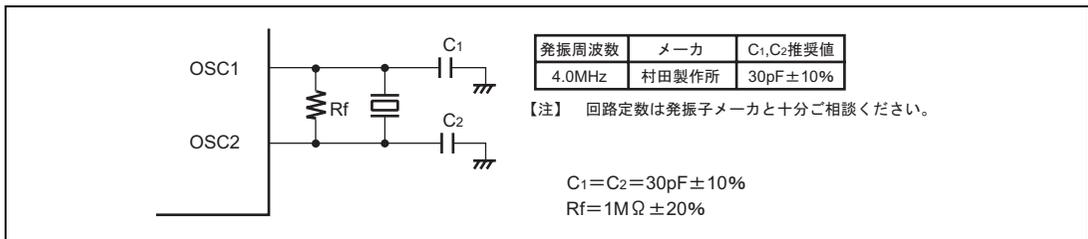


図 4.6 (1) セラミック発振子の接続例 (H8/3802 グループ)

4. クロック発振器

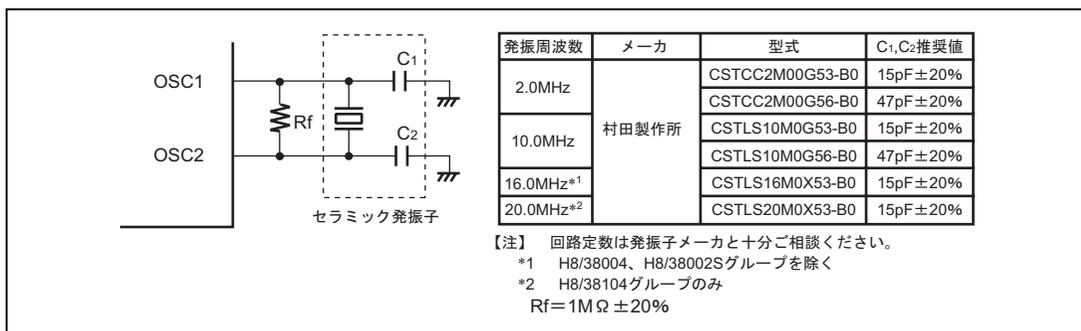


図 4.6 (2) セラミック発振子の接続例 (H8/38004、H8/38002S、H8/38104 グループ)

4.3.3 外部クロックを入力する方法

外部クロックを OSC1 端子に入力し、OSC2 端子をオープン状態にします。接続例を図 4.7 に示します。外部クロックのデューティは 45% ~ 55% としてください。

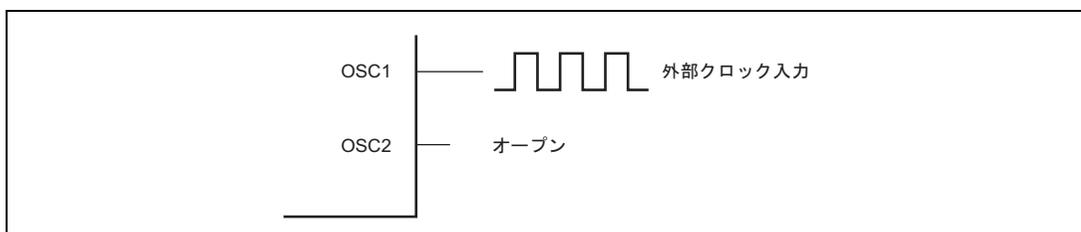


図 4.7 外部クロックを入力する場合の接続例

4.3.4 オンチップオシレータを選択する方法 (H8/38104 グループのみ)

リセット期間中*の IRQAEC 端子の入力レベルにより選択を行います。

システムクロック発振器とオンチップオシレータの選択方法を表 4.2 に示します。

リセット期間中の IRQAEC 端子の入力レベルは選択する発振器に応じて必ず Vcc または、GND に固定してください。オンチップオシレータを選択した場合、OSC1、OSC2 に発振子を接続する必要はありません。この場合、OSC1 端子を Vcc または GND に固定してください。

【注】 オンボードプログラミングなど、フラッシュメモリの書き込み/消去を行う場合は、必ずシステムクロック発振器を選択してください。また、オンチップエミュレータ使用時には、オンチップオシレータを選択しても発振子を接続するか、外部クロックを入力してください。

* ウォッチドッグタイマおよび低電圧検出回路は除く。

表 4.2 システムクロック発振器とオンチップオシレータの選択方法

IRQAEC 端子入力レベル (リセット期間中)	0	1
システムクロック発振器	有効	無効
オンチップオシレータ	無効	有効

4.4 サブクロック発振器

サブクロック発振器のブロック図を図 4.8 に示します。なお、H8/38104 グループでは、OSCCR レジスタの SUBSTP ビットにより、サブクロック発振器をプログラムにより停止可能です。

停止する場合は、アクティブモードでレジスタの設定を行ってください。また、レジスタにより停止した状態から、再度復帰する場合、十分な時間が経過するまで (typ : 8s) サブクロックの使用を待つ必要があります。

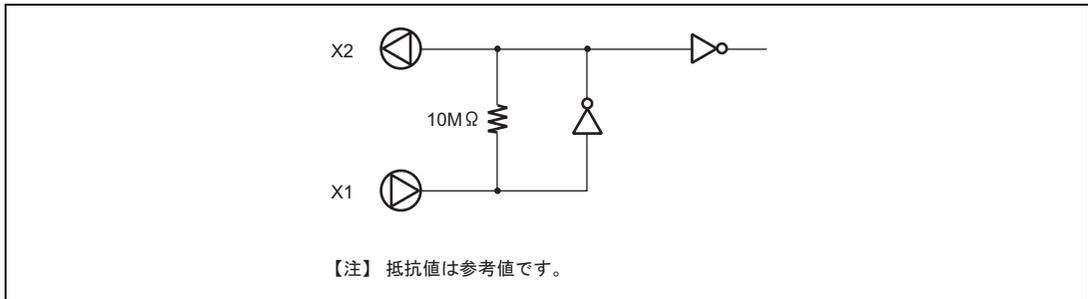


図 4.8 サブクロック発振器ブロック図

4.4.1 32.768kHz/38.4kHz 水晶発振子を接続する方法

サブクロック分周器へクロックを供給するには、図 4.9 に示すように 32.768kHz または 38.4kHz の水晶発振子を接続します。図 4.10 に 32.768kHz または 38.4kHz 水晶発振子の等価回路を示します。

なお、H8/38104 グループでは 32.768kHz のみの保証となります。

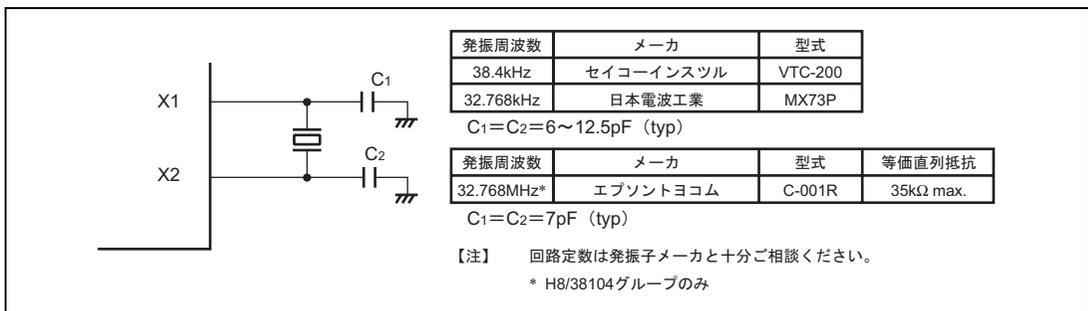


図 4.9 32.768kHz/38.4kHz 水晶発振子の接続例

4. クロック発振器

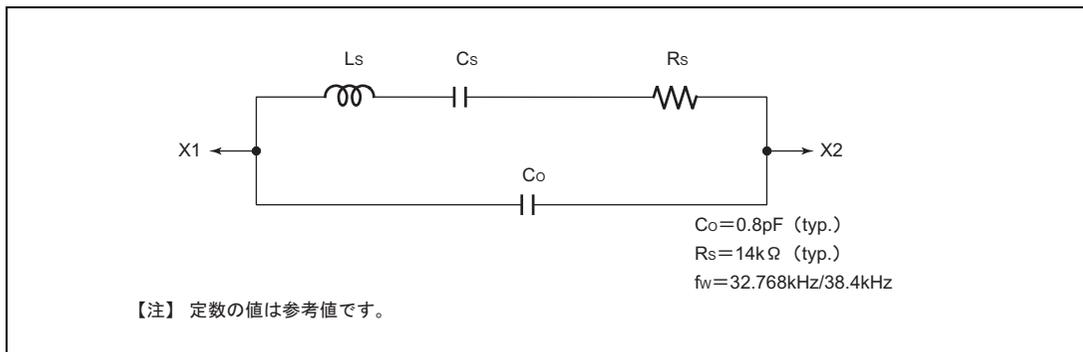


図 4.10 32.768kHz/38.4kHz 水晶発振子の等価回路

4.4.2 サブクロックを使用しない場合の端子処理

サブクロックを必要としない場合には、図 4.11 に示すように X1 端子を GND に接続し、X2 端子をオープンとしてください。

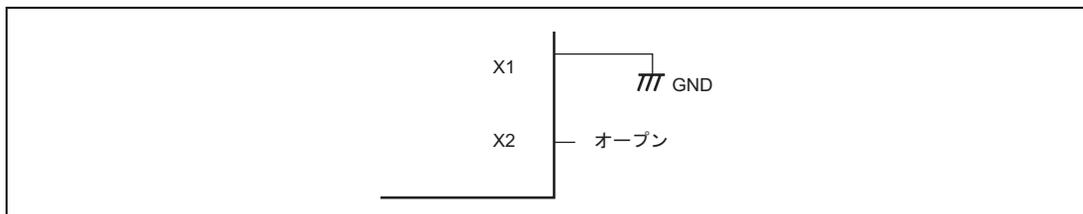


図 4.11 サブクロックを必要としない場合の端子処理

4.4.3 外部クロックを入力する方法

外部クロックを X1 端子に接続し、X2 端子をオープン状態にします。

この場合の接続例を図 4.12 に示します。

なお、H8/38104 グループでは外部クロックの入力は禁止です。

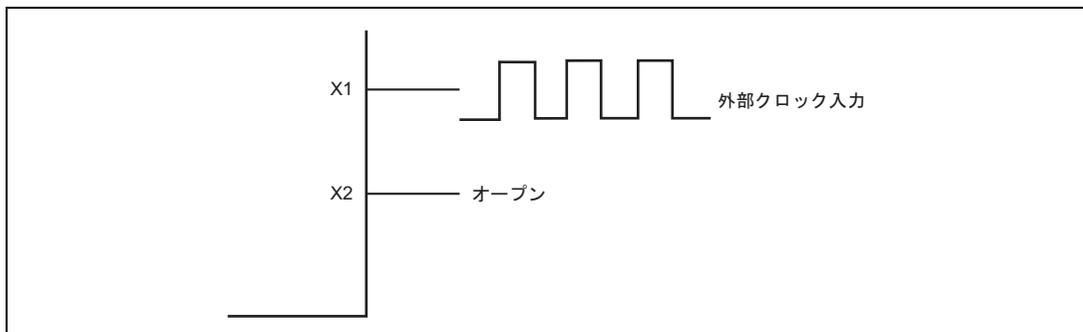


図 4.12 外部クロックを入力する場合の接続例

周波数	サブクロック (w)
duty	45% ~ 55%

4.5 プリスケーラ

4.5.1 プリスケーラ S

プリスケーラ S は、システムクロック () を入力クロックとする 13 ビットのカウンタで、分周した出力を内蔵周辺モジュールの内部クロックとして使用します。リセット時、プリスケーラ S は H'0000 に初期化され、リセット解除後、カウントアップを開始します。スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでは、システムクロック発振器が停止するためプリスケーラ S の動作も停止します。このとき、プリスケーラ S は H'0000 に初期化されます。CPU からはアクセスできません。

プリスケーラ S の出力は、各種内蔵周辺機能で共用しており、分周比は各内蔵周辺機能で独立に設定できます。なお、アクティブ (中速) モードおよびスリープモードではプリスケーラ S のクロック入力は SYSCR2 の MA1、MA0 で設定した分周比のシステムクロックとなります。

4.5.2 プリスケーラ W

プリスケーラ W は 32.768kHz または 38.4kHz を 4 分周したクロックを入力とする 5 ビットのカウンタで、分周した出力はタイマ A の時計用タイムベース動作に使用します。リセット時、プリスケーラ W は H'00 に初期化され、リセット解除後カウントアップを開始し、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモードでも動作を継続します。プリスケーラ W は、TMA の TMA3、TMA2 をおのおの 1、1 に設定することでリセットできます。

4.6 使用上の注意事項

4.6.1 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振回路の回路定数は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないような設計を行ってください。

4. クロック発振器

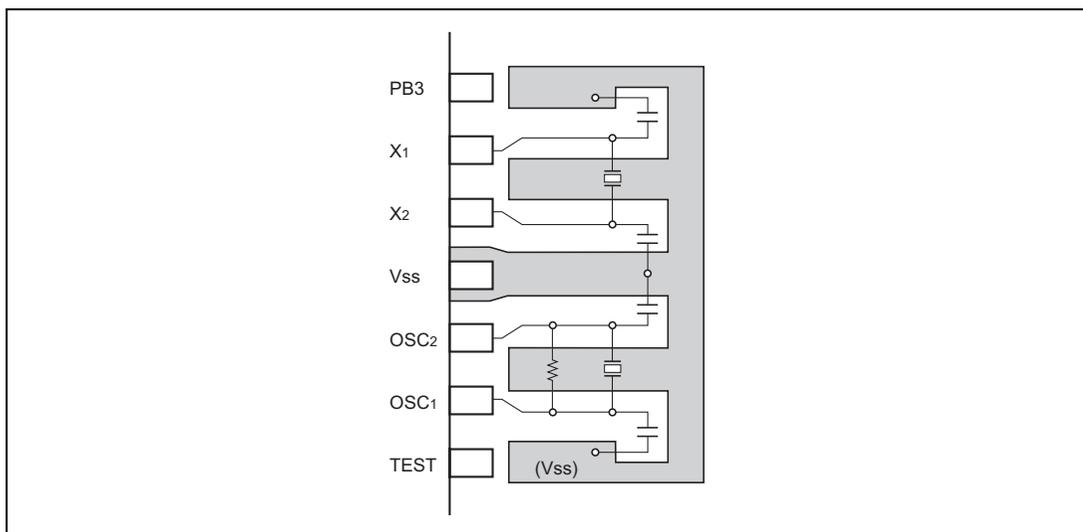


図 4.13 水晶、セラミック発振子の配置例

図 4.14 (1) は発振子メーカーが推奨している負性抵抗の測定回路例です。本回路による負性抵抗が発振子メーカーの推奨するレベルに達していないと、メイン発振器が発振開始しにくい場合がありますので、ご注意ください。

発振子メーカーの推奨する負性抵抗値以下で、発振しない現象が確認された場合には、図 4.14 (2) ~ (4) に示す変更を行ってください。なお、採用する変更案、コンデンサ容量値は負性抵抗および周波数偏差等の評価結果により決定してください。

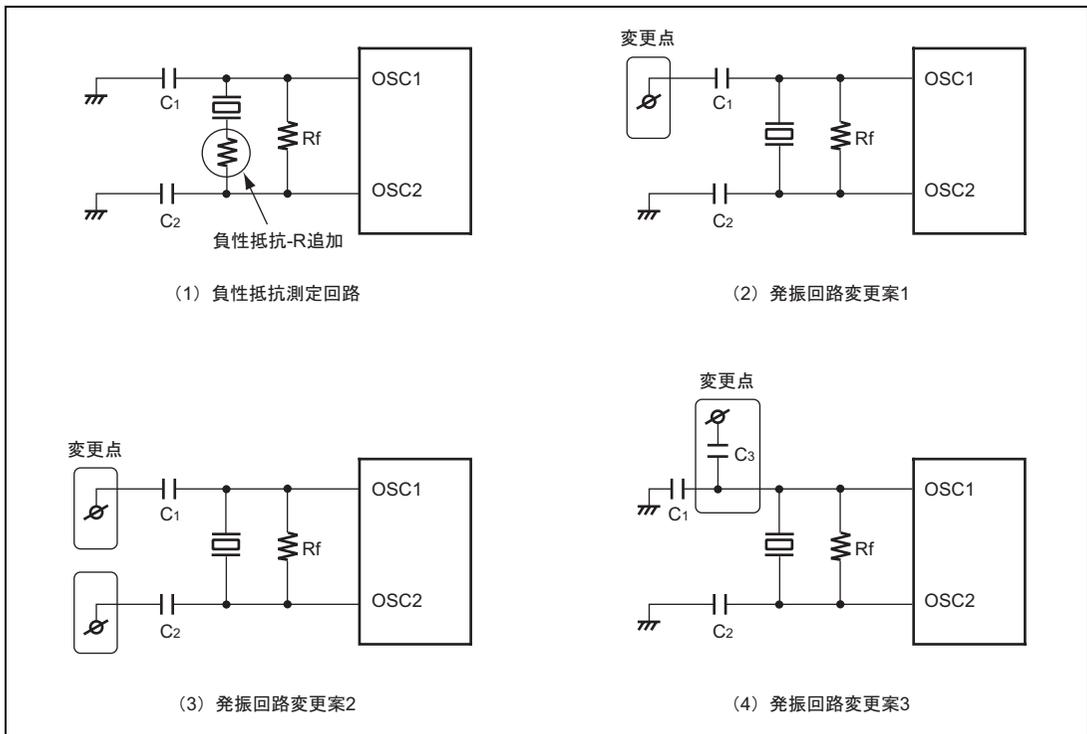


図 4.14 負性抵抗測定と回路変更案

4. クロック発振器

4.6.2 ボード設計上の注意事項

水晶発振子（セラミック発振子）を使用する場合は、発振子および負荷容量をできるだけ OSC1、OSC2 端子の近くに配置してください。また、発振回路の近くには他の信号線を通過させないでください（図 4.15）。誘導により正しい発振ができなくなる場合があります。

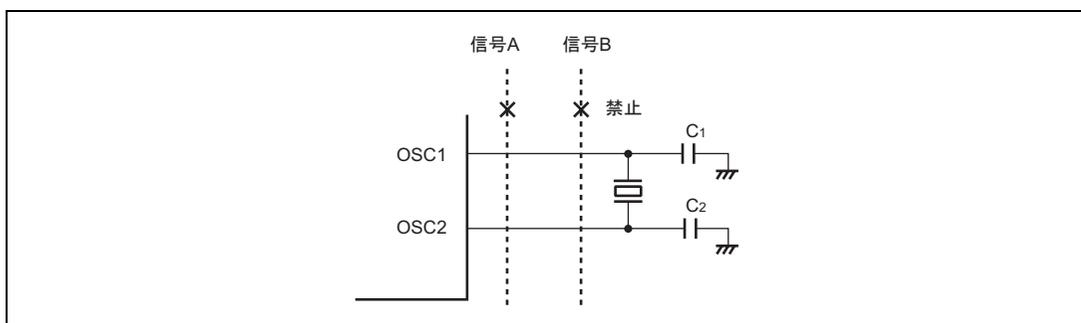


図 4.15 発振回路のボード設計に関する注意事項

4.6.3 発振安定待機時間の定義

図 4.16 にシステムクロック発振器に発振子を接続しているときに、スタンバイモード、ウォッチモード、サブアクティブモードからアクティブ（高速、中速）モードに遷移する場合の発振波形（OSC2）、システムクロック（ ）および、マイクロコンピュータの動作モードを示します。

図 4.16 に示すように、スタンバイモード、ウォッチモード、サブアクティブモードにおいては、システムクロック発振器が停止しているため、アクティブ（高速、中速）モードに遷移する場合、下記 2 項目（発振安定時間、待機時間）の合計時間が必要となります。

（1）発振安定時間（ t_{rc} ）

割り込みが発生し、システムクロック発振器の発振波形が変化を開始した時点から、発振波形の振幅が大きくなり発振周波数が安定するまでの時間。

（2）待機時間

発振波形の周波数およびシステムクロックが安定してから、CPU および周辺機能が動作し始めるまでに必要とする時間。

待機時間の設定は、スタンバイタイムセレクト 2~0 (STS2~0)（システムコントロールレジスタ 1 (SYSCR1) のビット 6~4）の設定値により選択できます。

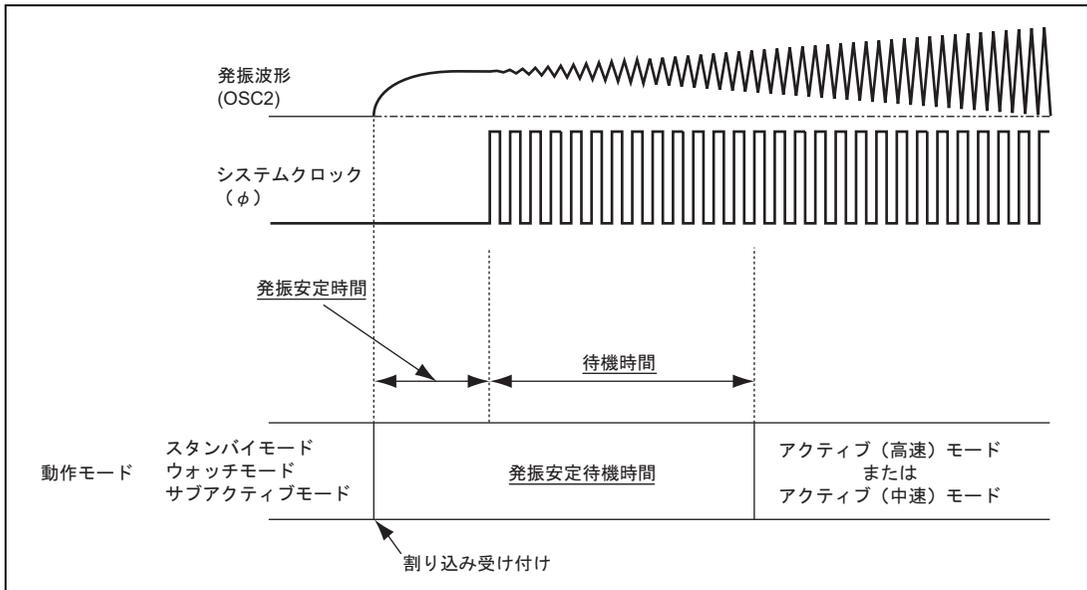


図 4.16 発振安定待機時間

割り込みやリセットにより、スタンバイモード、ウォッチモード、サブアクティブモードを解除し、アクティブ（高速、中速）モードに遷移する場合、割り込みが受け付けられた時点で発振波形が変化を開始します。したがって、スタンバイモード、ウォッチモード、サブアクティブモードにおいて発振子を接続している場合、システムクロック発振器は停止しているため、この発振波形が変化を開始した時点から発振波形の振幅が大きくなり発振周波数が安定するまでの時間、すなわち発振安定時間が必要となります。

この状態遷移時の発振安定時間はパワーオン時の発振安定時間（電源電圧が規定の電圧に達してから発振が安定するまでの時間）と同じであり、AC 特性の「発振安定時間 t_{rc} 」において規定しています。

一方、いったんシステムクロックが停止した場合、CPU および周辺機器を正常動作させるためには待機時間を必要とします。

以上のことから、割り込みが発生してから CPU および周辺機器が動作するまでに必要となる時間は、前述の発振安定時間と待機時間を合わせた時間になります。この合計時間を発振安定待機時間とよび、下記(1)式で表します。

$$\begin{aligned} \text{発振安定待機時間} &= \text{発振安定時間} + \text{待機時間} \\ &= t_{rc} + (8 \sim 16384 \text{ ステート})^{*1} \dots \dots \dots (1) \\ &\quad (\sim 131072 \text{ ステート})^{*2} \end{aligned}$$

【注】 *1 H8/3802 グループ、H8/38004、H8/38002S グループ

*2 H8/38104 グループ

したがって、システムクロック発振器に発振子を接続しているときに、スタンバイモード、ウォッチモード、

4. クロック発振器

サブアクティブモードからアクティブ（高速、中速）モードに遷移する場合には、実装回路において十分な評価を行った上、発振安定待機時間を決めてください。特に発振安定時間は実装回路の定数、浮遊容量などにより異なるため、発振子メーカーとご相談の上決定してください。

4.6.4 発振子をご使用の場合の注意事項

マイクロコンピュータが動作すると、システムクロックに同期して内部の電源電位が多少変動します。また、発振子個別の特性によっては、発振安定待機時間直後に発振波形の振幅が十分に成長していない場合があり、発振波形が電源電位変動の影響を受け易い状態にあります。この状態では発振波形が乱れる場合があり、システムクロックが不安定になってマイクロコンピュータの誤作動につながります。

誤作動を起こす場合には、スタンバイタイムセレクト 2~0 (STS2~0) (システムコントロールレジスタ 1 (SYSCR1) のビット 6~4) の設定を変更し、待機時間をさらに長い時間の設定にしてお使いください。

たとえば、待機時間 = 16 ステートの設定で誤作動する場合、待機時間 = 1,024*ステート以上の設定で動作をご確認ください。

また、リセット時に状態遷移時と同様の誤作動が起こる場合、 $\overline{\text{RES}}$ 端子を Low レベルに保持する時間を長くしてください。

【注】 * H8/3802、H8/38004、H8/38002S グループの場合、また、H8/38104 グループは 8,192 ステート以上となります。

4.6.5 H8/38104 グループでの注意事項

オンチップエミュレータ使用時、フラッシュメモリの書き込み/消去などのために、システムクロックの精度が必要となります。一方、オンチップオシレータは電圧および温度条件により周波数が変動します。したがってオンチップエミュレータ使用時、オンチップオシレータを選択する場合でも必ず発振子を OSC1、OSC2 端子に接続するか外部クロックを供給してください。この場合、ユーザプログラム実行時はオンチップオシレータで動作し、フラッシュメモリの書き込み/消去などを行う場合は、システムクロック発振器で動作します。本制御はオンチップエミュレータが行います。

5. 低消費電力モード

リセット解除後の動作モードには、通常のアクティブ（高速）モードのほかに消費電力を著しく低下させる7種類の低消費電力モードがあります。このほか、内蔵モジュールの機能を選択的に停止させて消費電力を低減させるモジュールスタンバイ機能があります。

- アクティブ（中速）モード
CPUおよび内蔵周辺モジュールがシステムクロックで動作します。システムクロックの周波数は $osc/16$ 、 $osc/32$ 、 $osc/64$ 、 $osc/128$ の中から選択できます。
- サブアクティブモード
CPUおよび内蔵周辺モジュールがサブクロックで動作します。サブクロックの周波数は $w/2$ 、 $w/4$ 、 $w/8$ の中から選択できます。
- スリープ（高速）モード
CPUが動作を停止し、内蔵周辺モジュールがシステムクロックで動作します。
- スリープ（中速）モード
CPUが動作を停止し、内蔵周辺モジュールがシステムクロックで動作します。システムクロックの周波数は $osc/16$ 、 $osc/32$ 、 $osc/64$ 、 $osc/128$ の中から選択できます。
- サブスリープモード
CPUが動作を停止し、タイマA、タイマF、SCI3、AECおよびLCDコントローラ/ドライバがサブクロックで動作します。サブクロックの周波数は $w/2$ 、 $w/4$ 、 $w/8$ の中から選択できます。
- ウォッチモード
CPUが動作を停止し、タイマAの時計機能、タイマF、AECおよびLCDコントローラ/ドライバがサブクロックで動作します。
- スタンバイモード
CPUおよびすべての内蔵周辺モジュールが動作を停止します。
- モジュールスタンバイ機能
上記動作モードとは独立に、使用しない内蔵周辺モジュールの動作をモジュール単位で停止させることにより消費電力を低減させることができます。

【注】 本章ではアクティブ（高速）モードとアクティブ（中速）モードを総称してアクティブモードと記載しています。

5. 低消費電力モード

5.1 レジスタの説明

低消費電力モードに関連するレジスタには以下のレジスタがあります。

- システムコントロールレジスタ1 (SYSCR1)
- システムコントロールレジスタ2 (SYSCR2)
- クロック停止レジスタ1、2 (CKSTPR1、CKSTPR2)

5.1.1 システムコントロールレジスタ 1 (SYSCR1)

SYSCR1 は SYSCR2 とともに低消費電力モードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	SSBY	0	R/W	ソフトウェアスタンバイ SLEEP 命令実行後の遷移先を選択します。 0 : スリープモードあるいはサブスリープモードに遷移 1 : スタンバイモードあるいはウォッチモードに遷移 詳細は表 5.2 を参照してください。
6	STS2	0	R/W	スタンバイタイムセレクト 2~0 スタンバイモード、サブアクティブモード、サブスリープモードおよびウォッチモードからアクティブモード、スリープモードに遷移する際、システムクロック発振器が発振を開始してからクロックを供給するまでの待機ステート数を設定します。動作周波数に応じて待機時間が発振安定時間以上となるように設定してください。設定値と待機ステート数の関係は表 5.1 (1)、(2) のとおりです。 外部クロックを使用する場合は最小値 (STS2=1、STS1=0、STS0=1) を推奨します。H8/38104 グループでオンチップオシレータを使用する場合は、8,192 ステート (STS2=STS1=STS0=0) を推奨します。推奨値以外の設定では待機時間終了前に動作を開始することがあります。
5	STS1	0	R/W	
4	STS0	0	R/W	
3	LSON	0	R/W	ウォッチモードを解除したときに CPU の動作クロックをシステムクロック () にするか、サブクロック (SUB) にするか選択します。 0 : CPU の動作クロックはシステムクロック () 1 : CPU の動作クロックはサブクロック (SUB)
2	-	1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
1	MA1	1	R/W	アクティブモードクロックセレクト 1、0 アクティブ（中速）モードおよびスリープ（中速）モードの動作クロック周波数を選択します。MA1、MA0 ビットの書き込みはアクティブ（高速）モードまたはサブアクティブモードで行ってください。 00 : $osc/16$ 01 : $osc/32$ 10 : $osc/64$ 11 : $osc/128$
0	MA0	1	R/W	

表 5.1 (1) 動作周波数と待機時間（H8/3802 グループ、H8/38004 グループ、H8/38002S グループ）

ビット			待機ステート数	動作周波数	
STS2	STS1	STS0		5MHz	2MHz
0	0	0	8,192 ステート	1.638	4.1
0	0	1	16,384 ステート	3.277	8.2
0	1	0	1,024 ステート	0.205	0.512
0	1	1	2,048 ステート	0.410	1.024
1	0	0	4,096 ステート	0.819	2.048
1	0	1	2 ステート (外部クロック入力)	0.0004	0.001
1	1	0	8 ステート	0.002	0.004
1	1	1	16 ステート	0.003	0.008

表 5.1 (2) 動作周波数と待機時間（H8/38104 グループ）

ビット			待機ステート数	動作周波数	
STS2	STS1	STS0		5MHz	2MHz
0	0	0	8,192 ステート	1.638	4.1
0	0	1	16,384 ステート	3.277	8.2
0	1	0	32,768 ステート	6.554	16.4
0	1	1	65,536 ステート	13.108	32.8
1	0	0	131,072 ステート	26.216	65.5
1	0	1	2 ステート (外部クロック入力)	0.0004	0.001
1	1	0	8 ステート	0.002	0.004
1	1	1	16 ステート	0.003	0.008

【注】 時間の単位は ms です。

外部クロックを入力する場合、STS2～STS0 はモード遷移を実行する前に、外部クロック入力モードに設定してください。また、外部クロックを使用しない場合、外部クロック入力モードに設定しないでください。

H8/38104 グループでオンチップオシレータを使用する場合は、8,192 ステート (STS2 = STS1 = STS0 = 0) を推奨します。

5. 低消費電力モード

5.1.2 システムコントロールレジスタ 2 (SYSCR2)

SYSCR2 は SYSCR1 とともに低消費電力モードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
4	NESEL	1	R/W	ノイズ除去サンプリング周波数選択 サブクロック発振器はウォッチクロック <i>w</i> を生成し、システムクロック発振器は OSC クロック <i>osc</i> を生成しています。本ビットは、ウォッチクロック <i>w</i> をサンプリングするときの OSC クロックのサンプリング周波数を選択します。 <i>osc</i> = 2 ~ 16MHz のときは、0 を設定してください。 0 : <i>osc</i> の 16 分周クロックでサンプリング 1 : <i>osc</i> の 4 分周クロックでサンプリング
3	DTON	0	R/W	ダイレクトトランスファオンフラグ このビットは SYSCR1 の SSBY、LSON、SYSCR2 の MSON、TMA の TMA3 とともに SLEEP 命令実行後の遷移先を選択します。詳細は表 5.2 を参照してください。
2	MSON	0	R/W	ミドルスピードオンフラグ スタンバイモード、ウォッチモード、スリープモード解除後、アクティブ（高速）モードで動作させるか、アクティブ（中速）モードで動作させるか選択します。 0 : アクティブ（高速）モード 1 : アクティブ（中速）モード
1	SA1	0	R/W	サブアクティブモードクロックセレクト 1、0
0	SA0	0	R/W	サブアクティブモードおよびサブスリープモードの動作クロック周波数を選択します。クロックは SLEEP 命令実行後、設定した周波数に切り替わります。 00 : <i>w</i> /8 01 : <i>w</i> /4 1x : <i>w</i> /2

【記号説明】 X : Don't care

5.1.3 クロック停止レジスタ 1、2 (CKSTPR1、CKSTPR2)

CKSTPR1、CKSTPR2 は内蔵周辺モジュールをモジュール単位でスタンバイ状態にします。

- CKSTPR1

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて1	-	リザーブビット
5	S32CKSTP	1	R/W	SCI モジュールスタンバイ このビットが0のとき SCI3 はスタンバイ状態になります。 ^{*1}
4	ADCKSTP	1	R/W	A/D 変換器モジュールスタンバイ このビットが0のとき A/D 変換器はスタンバイ状態になります。
3	-	1	-	リザーブビット
2	TFCKSTP	1	R/W	タイマFモジュールスタンバイ このビットが0のときタイマFはスタンバイ状態になります。
1	-	1	-	リザーブビット
0	TACKSTP	1	R/W	タイマAモジュールスタンバイ ^{*2} このビットが0のときタイマAはスタンバイ状態になります。

5. 低消費電力モード

• CKSTPR2

ビット	ビット名	初期値	R/W	説明
7	LVDCSTP	1	R/W	LVD モジュールスタンバイ このビットが0のとき LVD はスタンバイ状態になります。 【注】 H8/38104 グループ以外ではビット 6、5 と同様なリザーブビットになります。
6、5	-	すべて 1	-	リザーブビット
4	PW2CKSTP	1	R/W ^{*3}	PWM2 モジュールスタンバイ このビットが0のとき PWM2 はスタンバイ状態になります。
3	AECKSTP	1	R/W	非同期イベントカウンタモジュールスタンバイ このビットが0のとき非同期イベントカウンタはスタンバイ状態になります。
2	WDCKSTP	1	R/W ^{*4}	ウォッチドッグタイマモジュールスタンバイ このビットが0のときウォッチドッグタイマはスタンバイ状態になります。
1	PW1CKSTP	1	R/W	PWM1 モジュールスタンバイ このビットが0のとき PWM1 はスタンバイ状態になります。
0	LDCKSTP	1	R/W	LCD モジュールスタンバイ このビットが0のとき LCD コントローラ/ドライバはスタンバイ状態になります。

【注】 *1 SCI モジュールスタンバイに設定した場合、SCI3 の全レジスタはリセット状態となります。

*2 タイマ A モジュールスタンバイに設定した状態では、TMA の TMA3 ビットを書き換えることができません。TMA3 を書き換える際は、CKSTPR1 の TACKSTP ビットに 1 をセットしてから行ってください。

*3 H8/3802 グループでは R/W できません。

*4 H8/3802 グループでは、R/W できません。WDCKSTP は TCSRW の WDON が 0 のとき有効になります。WDON が 1 (ウォッチドッグタイマ動作中) のとき WDCKSTP を 0 に設定すると WDCKSTP は 0 に設定されますが、ウォッチドッグタイマはモジュールスタンバイモードには入らずウォッチドッグ機能を継続いたします。ウォッチドッグ機能が終了し、ソフトウェアで WDON を 0 に設定すると同時に WDCKSTP が有効になり、ウォッチドッグタイマはモジュールスタンバイモードに入ります。

5.2 モード間遷移と LSI の状態

図 5.1 に可能なモード間遷移を示します。プログラム実行状態からプログラム停止状態へは SLEEP 命令の実行によって遷移します。プログラム停止状態からプログラム実行状態へは割り込みによって復帰します。プログラム実行状態であるアクティブモードとサブアクティブモードの間ではプログラムの実行を停止することなく直接遷移することもできます。また、アクティブモードからアクティブモード、サブアクティブモードからサブアクティブモードへ直接遷移することにより、同一モードで動作周波数を変更することができます。RES 入力によりすべてのモードからリセット状態に遷移します。表 5.2 に SLEEP 命令実行時の各モードへの遷移条件と割り込みによる復帰先を、表 5.3 に各動作モードでの LSI の内部状態を示します。

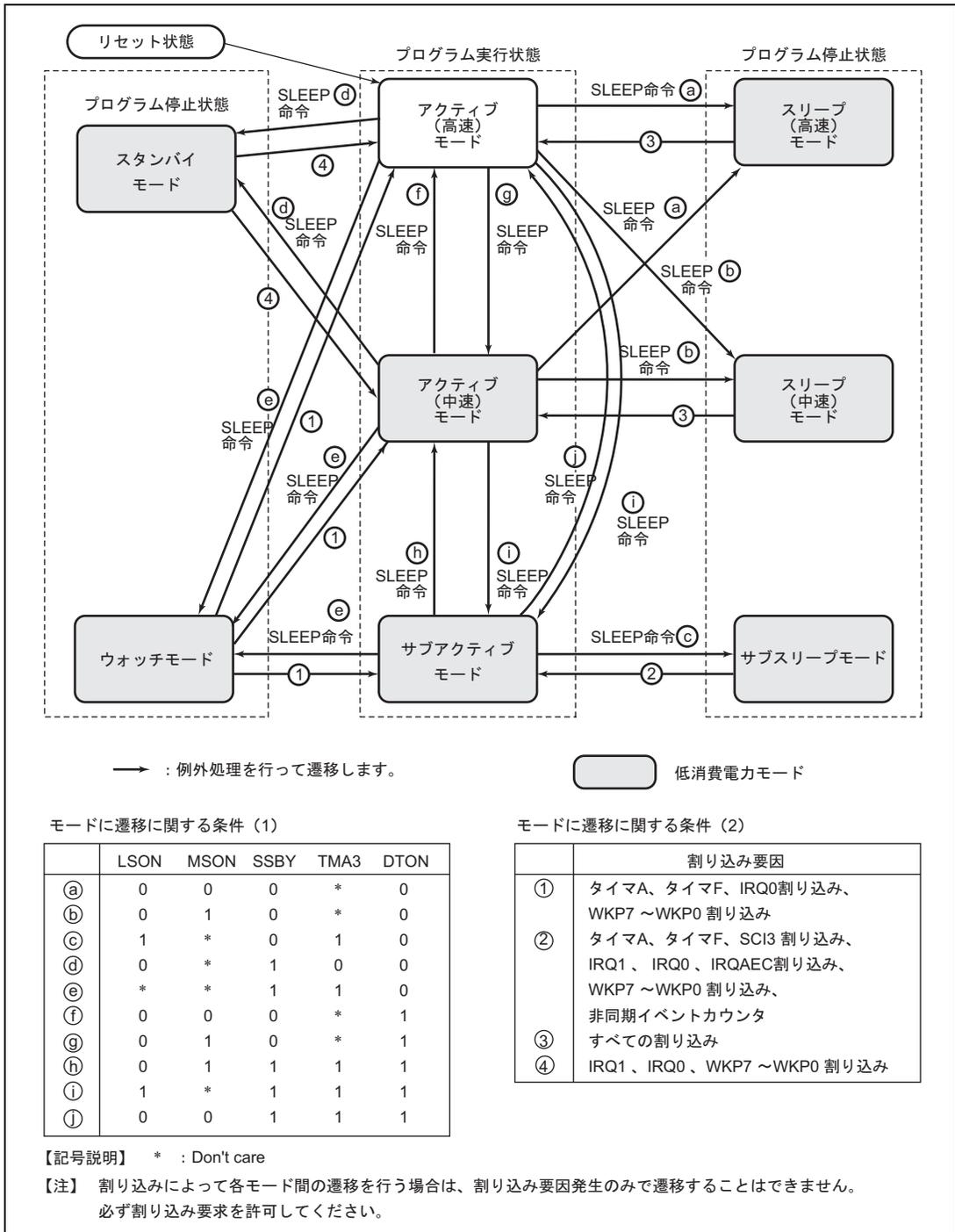


図 5.1 モード遷移図

5. 低消費電力モード

表 5.2 SLEEP 命令実行後の状態と割り込みによる復帰先

LSON	MSON	SSBY	TMA3	DTON	SLEEP 命令実行後の状態	割り込みによる復帰先
0	0	0	X	0	スリープ(高速)モード	アクティブ(高速)モード
0	1	0	X	0	スリープ(中速)モード	アクティブ(中速)モード
1	X	0	1	0	サブスリープモード	サブアクティブモード
0	X	1	0	0	スタンバイモード	アクティブモード
X	X	1	1	0	ウォッチモード	アクティブモード、 サブアクティブモード
0	0	0	X	1	アクティブ(高速)モード	-
0	1	0	X	1	アクティブ(中速)モード	-
0	1	1	1	1	アクティブ(中速)モード	-
1	X	1	1	1	サブアクティブモード(直接遷移)	-
0	0	1	1	1	アクティブ(高速)モード(直接遷移)	-

【記号説明】 X = Don't care

表 5.3 各動作モードでの LSI の状態

機能		アクティブ		スリープ		ウォッチ	サブアクティブ	サブスリープ	スタンバイ
		高速	中速	高速	中速				
システムクロック発振器		動作	動作	動作	動作	停止	停止	停止	停止
サブクロック発振器		動作	動作	動作	動作	動作	動作	動作	動作
CPU	命令	動作	動作	停止	停止	停止	動作	停止	停止
	RAM	動作	動作	保持	保持	保持	動作	保持	保持
	レジスタ	動作	動作	保持	保持	保持	動作	保持	保持
	I/O	動作	動作	保持	保持	保持	動作	保持	保持 ^{*1}
外部 割り込み	IRQ0	動作	動作	動作	動作	動作	動作	動作	動作
	IRQ1	動作	動作	動作	動作	保持 ^{*5}	動作	動作	動作
	IRQAEC	動作	動作	動作	動作	保持 ^{*5}	動作	動作	保持 ^{*5}
	WKP0 ~ WKP7	動作	動作	動作	動作	動作	動作	動作	動作
周辺 モジュール	タイマ A	動作	動作	動作	動作	動作 ^{*4}	動作 ^{*4}	動作 ^{*4}	保持
	非同期カウンタ	動作	動作	動作	動作	動作 ^{*6}	動作	動作	動作 ^{*6}
	タイマ F	動作	動作	動作	動作	動作 / 保持 ^{*7}	動作 / 保持 ^{*7}	動作 / 保持 ^{*7}	保持
	WDT	動作	動作	動作	動作	動作 / 保持 ^{*9}	動作 / 保持 ^{*8}	動作 / 保持 ^{*9}	動作 / 保持 ^{*10}
	SCI3	動作	動作	動作	動作	リセット	動作 / 保持 ^{*2}	動作 / 保持 ^{*2}	リセット
	PWM	動作	動作	動作	動作	保持	保持	保持	保持
	A/D 変換器	動作	動作	動作	動作	保持	保持	保持	保持
	LCD	動作	動作	動作	動作	動作 / 保持 ^{*3}	動作 / 保持 ^{*3}	動作 / 保持 ^{*3}	保持
LVD	動作	動作	動作	動作	動作	動作	動作	動作	

【注】 *1 レジスタは保持、出力はハイインピーダンス。

- *2 内部クロックとして $w/2$ を選択した場合に動作、その他は停止して保持。
- *3 使用クロックとして w 、 $w/2$ または $w/4$ を選択した場合に動作、その他は停止して保持。
- *4 時計用タイムベース機能を選択時に動作。
- *5 外部割り込み要求は無視されます。割り込み要求レジスタの内容は影響を受けません。
- *6 カウントアップ可、割り込み発生不可。
- *7 内部クロックとして $w/4$ を選択した場合に動作、その他は停止して保持。
- *8 H8/38104 グループでは内部クロックとして $w/32$ またはオンチップオシレータを選択した場合に動作、その他は停止して保持。
H8/38004、H8/38002S グループでは内部クロックとして $w/32$ を選択した場合に動作、その他は停止して保持。
- *9 H8/38104 グループでは内部クロックとして $w/32$ またはオンチップオシレータを選択した場合に動作、その他は停止して保持。
H8/38004、H8/38002S グループでは停止して保持。
- *10 H8/38104 グループではオンチップオシレータを選択した場合のみ動作、その他は停止して保持。
H8/38004、H8/38002S グループでは停止して保持。

5.2.1 スリープモード

スリープモードでは CPU の動作は停止しますが、システムクロック発振器およびサブクロック発振器と内蔵周辺モジュールは動作します。スリープ(中速)モードでは内蔵周辺モジュールは SYSCR1 の MA1、MA0 で設定した周波数のクロックで動作します。CPU のレジスタの内容は保持されます。

スリープモードは割り込みによって解除されます。割り込み要求が発生するとスリープモードは解除され、割り込み例外処理を開始します。CCR の I ビットが 1 のとき、または割り込みイネーブルビットにより割り込みがマスクされているとスリープモードは解除できません。解除後のモードはスリープ(高速)モードからはアクティブ(高速)モードに、スリープ(中速)モードからはアクティブ(中速)モードへ遷移します。スリープモード中 $\overline{\text{RES}}$ 端子を Low レベルにするとスリープモードは解除されリセット状態に遷移します。なお、割り込み要求信号とシステムクロックの同期をとるため、割り込み要求信号発生から割り込み例外処理開始までに最大 $2T$ (S) の遅れが生じることがあります。

スリープ(中速)モードへの遷移時に $1/2$ ステート早いタイミングで動作することがあります。

5.2.2 スタンバイモード

スタンバイモードではシステムクロック発振器が停止し、CPU および内蔵周辺モジュールが停止します。規定の電圧が与えられている限り、CPU のレジスタと一部の内蔵周辺モジュールの内部レジスタ、内蔵 RAM のデータは保持されます。また、RAM データ保持電圧で規定された電圧が供給されているかぎり、内蔵 RAM のデータは保持されます。I/O ポートはハイインピーダンス状態となります。

スタンバイモードは割り込みによって解除されます。割り込み要求が発生するとシステムクロック発振器が発振を開始します。SYSCR1 の STS2 ~ STS0 で設定された時間が経過するとスタンバイモードが解除されて割り込み例外処理を開始します。解除後のモードは SYSCR2 の MSON によって決まり、アクティブ(高速)モードまたはアクティブ(中速)モードへ遷移します。CCR の I ビットが 1 の場合、または割り込みイネーブルビット

5. 低消費電力モード

トにより割り込みがマスクされているとスタンバイモードは解除できません。

スタンバイモードで $\overline{\text{RES}}$ 端子を Low レベルにするとシステムクロック発振器が発振を開始します。システムクロックの発振開始と同時に LSI 全体にシステムクロックが供給されます。 $\overline{\text{RES}}$ 端子は必ずシステムクロックの発振が安定するまで Low レベルを保持してください。発振安定時間経過後 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

5.2.3 ウォッチモード

ウォッチモードではシステムクロック発振器および CPU の動作は停止し、タイマ A、タイマ F、非同期イベントカウンタ、LCD コントローラ/ドライバ以外の内蔵周辺機能は動作を停止します。規定の電圧が与えられている限り、CPU と一部の内蔵周辺モジュールの内部レジスタ、内蔵 RAM の内容は保持され、I/O ポートは遷移前の状態を保持します。

ウォッチモードは割り込みによって解除されます。割り込み要求が発生するとウォッチモードは解除され、割り込み例外処理を開始します。解除後のモードは、SYSCR1 の LSON と SYSCR2 の MSON の組み合わせでアクティブ（高速）モードやアクティブ（中速）モード、またはサブアクティブモードに遷移します。アクティブモードに遷移するときは、SYSCR1 の STS2～STS0 で設定された時間が経過すると割り込み例外処理を開始します。なお、CCR の I ビットが 1 の場合、あるいは割り込み許可レジスタにより当該割り込み受け付けが禁止されている場合は、ウォッチモードは解除できません。

ウォッチモードで $\overline{\text{RES}}$ 端子を Low レベルにすると、システムクロック発振器が発振を開始します。システムクロックの発振開始と同時に LSI 全体にシステムクロックが供給されます。 $\overline{\text{RES}}$ 端子は必ずシステムクロックの発振が安定するまで Low レベルを保持してください。発振安定時間経過後 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

5.2.4 サブスリープモード

サブスリープモードでは CPU は停止し、A/D 変換器、PWM 以外の内蔵周辺モジュールは動作します。規定の電圧が与えられている限り、CPU と一部の内蔵周辺モジュールの内部レジスタ、内蔵 RAM の内容は保持され、I/O ポートは遷移前の状態を保持します。

サブスリープモードは割り込みによって解除されます。割り込み要求が発生するとサブスリープモードは解除され、割り込み例外処理を開始します。解除後のモードはサブアクティブモードへ遷移します。なお、CCR の I ビットが 1 の場合、あるいは割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合は、サブスリープモードは解除されません。

サブスリープモードで $\overline{\text{RES}}$ 端子を Low レベルにすると、システムクロック発振器が発振を開始します。システムクロックの発振開始と同時に LSI 全体にシステムクロックが供給されます。 $\overline{\text{RES}}$ 端子は必ずシステムクロックの発振が安定するまで Low レベルを保持してください。発振安定時間経過後 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

5.2.5 サブアクティブモード

サブアクティブモードではシステムクロック発振器が停止し、A/D 変換器、PWM 以外の内蔵周辺モジュールは動作します。規定の電圧が与えられている限り、一部の内蔵周辺モジュールの内部レジスタの内容を保持します。

サブアクティブモードは、SLEEP 命令を実行すると解除されます。解除後のモードは、SYSCR1 の SSBY と LSON、SYSCR2 の MSON と DTON および TMA の TMA3 の組み合わせによりサブスリープモード、アクティブモード、ウォッチモードへ遷移します。なお、CCR の I ビットが 1 の場合、あるいは割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合は、サブアクティブモードは解除されません。

サブアクティブモードで $\overline{\text{RES}}$ 端子を Low レベルにすると、システムクロック発振器が発振を開始します。システムクロックの発振開始と同時に LSI 全体にシステムクロックが供給されます。 $\overline{\text{RES}}$ 端子は必ずシステムクロックの発振が安定するまで Low レベルを保持してください。発振安定時間経過後 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

サブアクティブモードの動作周波数は、SYSCR2 の SA1、SA0 により、ウォッチクロック (w) の 2 分周、4 分周、8 分周から選択できます。動作周波数は SLEEP 命令実行後、SLEEP 命令実行前に設定した周波数に切り替わります。

5.2.6 アクティブ (中速) モード

アクティブ (中速) モードでは、システムクロック発振器およびサブクロック発振器と CPU と内蔵周辺モジュールが動作します。

アクティブ (中速) モードは、SLEEP 命令を実行すると解除されます。解除後のモードは SYSCR1 の SSBY と LSON、TMA の TMA3 の組み合わせによりスタンバイモードに遷移し、SYSCR1 の SSBY、TMA の TMA3 の組み合わせによりウォッチモードに遷移し、SYSCR1 の SSBY と LSON の組み合わせにより、スリープモードに遷移します。さらに直接遷移によってアクティブ (高速) モード、またはサブアクティブモードへ遷移します。なお、CCR の I ビットが 1 の場合、または割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合は、アクティブ (中速) モードに遷移しません。アクティブ (中速) モード中 $\overline{\text{RES}}$ 端子を Low レベルにするとアクティブ (中速) モードは解除されリセット状態に遷移します。

アクティブ (中速) モードへの遷移時に 1/2 ステート早いタイミングで動作することがあります。アクティブ (中速) モードでは内蔵周辺モジュールは SYSCR1 の MA1、MA0 で設定した周波数のクロックで動作します。

5.3 直接遷移

CPU がプログラムを実行している動作モードにはアクティブモードとサブアクティブモードがあります。直接遷移はこの2つの動作モード間でプログラムの実行を停止することなく遷移します。SYSCR2のDTONを1にセットしてSLEEP命令を実行すると直接遷移します。アクティブモード、サブアクティブモードで動作周波数を変更する場合にも有効です。遷移後は直接遷移割り込み例外処理を開始します。割り込み許可レジスタ2により直接遷移割り込みが禁止されている場合は直接遷移せず、スリープモードまたはウォッチモードへ遷移します。CCRの1ビットを1の状態で行うとスリープモードまたはウォッチモードに遷移した後、割り込みによる解除ができませんので注意してください。

(1) アクティブ（高速）モードからアクティブ（中速）モードへの直接遷移

アクティブ（高速）モードでSYSCR1のSSBYを0、LSONを0、SYSCR2のMSONを1、DTONを1にセットした状態でSLEEP命令を実行すると、スリープモードを経由してアクティブ（中速）モードに遷移します。

(2) アクティブ（中速）モードからアクティブ（高速）モードへの直接遷移

アクティブ（中速）モードでSYSCR1のSSBYを0、LSONを0、SYSCR2のMSONを0、DTONを1にセットした状態でSLEEP命令を実行すると、スリープモードを経由してアクティブ（高速）モードに遷移します。

(3) アクティブ（高速）モードからサブアクティブモードへの直接遷移

アクティブ（高速）モードでSYSCR1のSSBYを1、LSONを1、SYSCR2のDTONを1、TMAのTMA3を1にセットした状態でSLEEP命令を実行すると、ウォッチモードを経由してサブアクティブモードに遷移します。

(4) サブアクティブモードからアクティブ（高速）モードへの直接遷移

サブアクティブモードでSYSCR1のSSBYを1、LSONを0、SYSCR2のMSONを0、DTONを1、TMAのTMA3を1にセットした状態でSLEEP命令を実行すると、ウォッチモードを経由し、SYSCR1のSTS2～STS0により設定された時間を経過した後、直接、アクティブ（高速）モードに遷移します。

(5) アクティブ（中速）モードからサブアクティブモードへの直接遷移

アクティブ（中速）モードでSYSCR1のSSBYを1、LSONを1、SYSCR2のDTONを1、TMAのTMA3を1にセットした状態でSLEEP命令を実行すると、ウォッチモードを経由してサブアクティブモードに遷移します。

(6) サブアクティブモードからアクティブ（中速）モードへの直接遷移

サブアクティブモードでSYSCR1のSSBYを1、LSONを0、SYSCR2のMSONを1、DTONを1、TMAのTMA3を1にセットした状態でSLEEP命令を実行すると、ウォッチモードを経由し、SYSCR1のSTS2～STS0により設定された時間を経過した後、直接、アクティブ（中速）モードに遷移します。

5.3.1 アクティブ（高速）モードからアクティブ（中速）モードへの直接遷移時の時間について

SLEEP命令実行から割り込み例外処理が終わるまでの時間（直接遷移時間）は（1）の計算式で表されます。
直接遷移時間 = {（SLEEP命令実行ステート数）+（内部処理ステート数）}

$$\begin{aligned} & \times (\text{遷移前の } t_{cyc}) + (\text{割り込み例外処理実行状態数}) \\ & \times (\text{遷移後の } t_{cyc}) \dots\dots\dots (1) \end{aligned}$$

〔例〕直接遷移時間 = $(2 + 1) \times 2t_{osc} + 14 \times 16t_{osc} = 230t_{osc}$
 (CPU 動作クロック: /8 を選択した場合)

【記号説明】

tosc : OSC クロックサイクル時間
 tcyc : システムクロック () サイクル時間

5.3.2 アクティブ (中速) モードからアクティブ (高速) モードへの直接遷移時の時間について

SLEEP 命令実行から割り込み例外処理が終わるまでの時間 (直接遷移時間) は (2) の計算式で表されます。

$$\begin{aligned} \text{直接遷移時間} = & \{ (\text{SLEEP 命令実行状態数}) + (\text{内部処理状態数}) \} \\ & \times (\text{遷移前の } t_{cyc}) + (\text{割り込み例外処理実行状態数}) \\ & \times (\text{遷移後の } t_{cyc}) \dots\dots\dots (2) \end{aligned}$$

〔例〕直接遷移時間 = $(2 + 1) \times 16t_{osc} + 14 \times 2t_{osc} = 76t_{osc}$
 (CPU 動作クロック: /8 を選択した場合)

【記号説明】

tosc : OSC クロックサイクル時間
 tcyc : システムクロック () サイクル時間

5.3.3 サブアクティブモードからアクティブ (高速) モードへの直接遷移時の時間について

SLEEP 命令実行から割り込み例外処理が終わるまでの時間 (直接遷移時間) は (3) の計算式で表されます。

$$\begin{aligned} \text{直接遷移時間} = & \{ (\text{SLEEP 命令実行状態数}) + (\text{内部処理状態数}) \} \\ & \times (\text{遷移前の } t_{subcyc}) + \{ (\text{STS2} \sim \text{STS0} \text{ で設定した待機時間}) \\ & + (\text{割り込み例外処理実行状態数}) \} \times (\text{遷移後の } t_{cyc}) \dots\dots\dots (3) \end{aligned}$$

〔例〕直接遷移時間 = $(2 + 1) \times 8t_w + (8192 + 14) \times 2t_{osc}$
 $= 24t_w + 16412t_{osc}$

(CPU 動作クロック: w/8、待機時間: 8192 ステートを選択した場合)

【記号説明】

tosc : OSC クロックサイクル時間
 tw : ウォッチクロックサイクル時間
 tcyc : システムクロック () サイクル時間
 tsubcyc : サブクロック (_{sub}) サイクル時間

5. 低消費電力モード

5.3.4 サブアクティブモードからアクティブ（中速）モードへの直接遷移時の時間について

SLEEP 命令実行から割り込み例外処理が終わるまでの時間（直接遷移時間）は（4）の計算式で表されます。

$$\begin{aligned} \text{直接遷移時間} = & \{ (\text{SLEEP 命令実行ステート数}) + (\text{内部処理ステート数}) \} \\ & \times (\text{遷移前の } t_{\text{subcyc}}) + \{ (\text{STS2} \sim \text{STS0} \text{ で設定した待機時間}) \\ & + (\text{割り込み例外処理実行ステート数}) \} \times (\text{遷移後の } t_{\text{cyc}}) \dots\dots\dots (4) \end{aligned}$$

$$\begin{aligned} \text{〔例〕直接遷移時間} = & (2 + 1) \times 8t_w + (8192 + 14) \times 16t_{\text{osc}} \\ = & 24t_w + 131296t_{\text{osc}} \end{aligned}$$

（CPU 動作クロック： $w/8$ 、 $/8$ 、待機時間：8192 ステートを選択した場合）

【記号説明】

- t_{osc} : OSC クロックサイクル時間
- t_w : ウォッチクロックサイクル時間
- t_{cyc} : システムクロック () サイクル時間
- t_{subcyc} : サブクロック ($_{\text{SUB}}$) サイクル時間

5.3.5 直接遷移前後で外部入力信号が変化する際の注意事項

- (1) アクティブ（高速）モードからサブアクティブモードへの直接遷移
ウォッチモードを経由してモード遷移を行いますので「5.5.2 スタンバイモード前後で外部入力信号が変化する際の注意事項」を参照してください。
- (2) アクティブ（中速）モードからサブアクティブモードへの直接遷移
ウォッチモードを経由してモード遷移を行いますので「5.5.2 スタンバイモード前後で外部入力信号が変化する際の注意事項」を参照してください。
- (3) サブアクティブモードからアクティブ（高速）モードへの直接遷移
ウォッチモードを経由してモード遷移を行いますので「5.5.2 スタンバイモード前後で外部入力信号が変化する際の注意事項」を参照してください。
- (4) サブアクティブモードからアクティブ（中速）モードへの直接遷移
ウォッチモードを経由してモード遷移を行いますので「5.5.2 スタンバイモード前後で外部入力信号が変化する際の注意事項」を参照してください。

5.4 モジュールスタンバイ機能

モジュールスタンバイ機能はすべての周辺モジュールに対して設定可能です。モジュールスタンバイ状態に設定されたモジュールはクロックの供給が停止して低消費電力状態となります。CKSTPR1、CKSTPR2 の各モジュールに対応したビットを 0 にするとそのモジュールはモジュールスタンバイ状態となり、1 にすると解除され

ます。（「5.1.3 クロック停止レジスタ1、2（CKSTPR1、CKSTPR2）」を参照）

5.5 使用上の注意事項

5.5.1 スタンバイモードへの遷移と端子状態

アクティブ（高速）モードまたはアクティブ（中速）モードでSYSCR1のSSBYを1、LSONを0、TMAのTMA3を0にセットした状態でSLEEP命令を実行するとスタンバイモードに遷移します。同時に端子はハイインピーダンス状態（プルアップMOSオン設定端子は除く）になります。このときのタイミングを図5.2に示します。

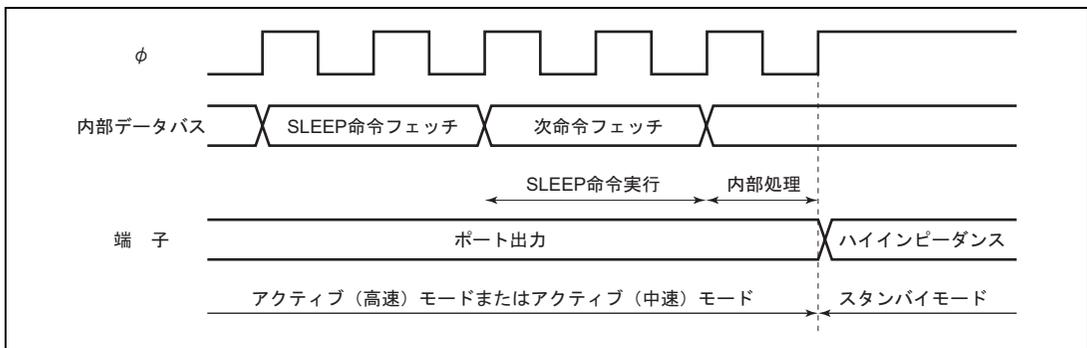


図 5.2 スタンバイモードへの遷移と端子状態

5.5.2 スタンバイモード前後で外部入力信号が変化する場合の注意事項

(1) スタンバイモード、ウォッチモード前後で外部入力信号が変化する場合

$\overline{\text{IRQ}}$ 、 $\overline{\text{WKP}}$ 、 IRQAEC 等の外部入力信号を入力する場合、信号のHigh、Lowレベル幅はどちらもシステムクロック またはサブクロック SUB （以下、本項では合せて内部クロックとよびます。）の2サイクル以上の幅が必要です。スタンバイモード、ウォッチモードでは内部クロックが停止するため、これらの動作モードを経由する場合、外部入力信号は、以下の「(3) 推奨する外部入力信号タイミング」に合わせてください。

(2) 内部クロック停止により外部入力信号が取り込めない場合

立ち下がりエッジを取り込む場合を図5.3に示します。

「取り込めない場合」に示すように該当信号以外の割り込みにより発振を開始し、アクティブ（高速、中速）モードまたはサブアクティブモードに遷移した直後に外部入力信号が立ち下がった場合、この時点でのHighレベル幅が $2t_{\text{cyc}}$ 、 $2t_{\text{subcyc}}$ 未満の場合、この外部入力信号は取り込めません。

(3) 推奨する外部入力信号のタイミング

確実に外部入力信号を取り込むためには「取り込める場合1」に示すようにスタンバイモード、ウォッチモードに遷移する前に入力信号のHigh、Lowレベル幅を $2t_{\text{cyc}}$ 、 $2t_{\text{subcyc}}$ 以上確保してください。

5. 低消費電力モード

また「取り込める場合2」「取り込める場合3」のタイミングでも $2t_{cyc}$ 、 $2t_{subcyc}$ のレベル幅を確保できるので外部入力信号の取り込みが可能です。

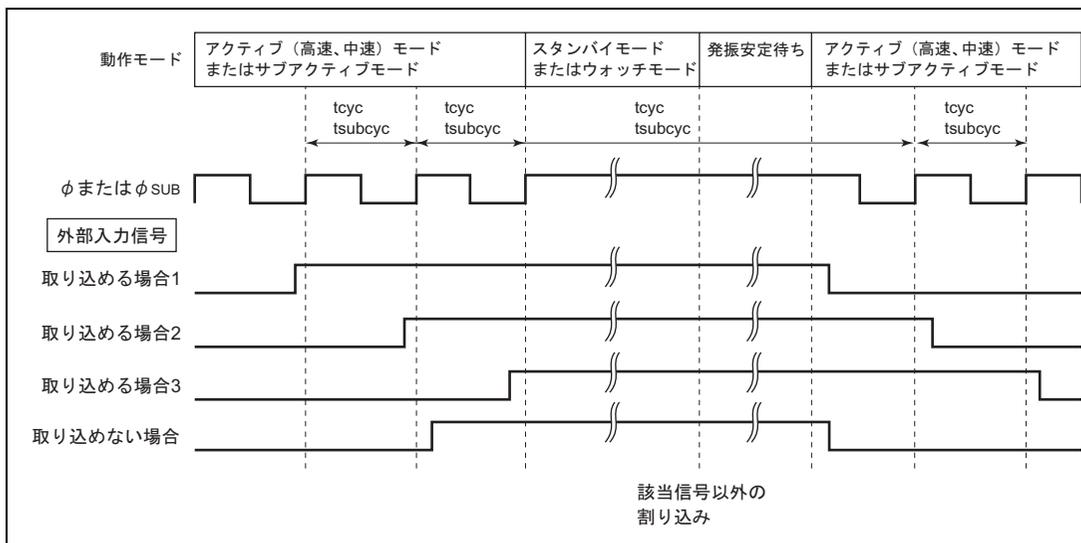


図 5.3 スタンバイモード、ウォッチモード前後で外部入力信号が変化する場合の注意事項

(4) 本注意事項が適用される入力端子

$\overline{IRQ1}$ 、 $\overline{IRQ0}$ 、 $\overline{WKP7} \sim \overline{WKP0}$ 、 $IRQAEC$

5.5.3 モジュールスタンバイと割り込みの競合について

周辺モジュールが割り込み要求を出しているタイミングで当該モジュールをモジュールスタンバイモードに設定すると、割り込み要求を出したまま当該モジュールが停止します。この状態では割り込みを禁止しないかぎり、割り込み処理を繰り返してデッドロックに陥ります。そのため、モジュールスタンバイモードに設定する場合は割り込みが発生しない状態で行ってください。確実なのは割り込み禁止状態（割り込み許可レジスタによる禁止またはCCR-I ビットによる割り込みマスク）でモジュールスタンバイモードに設定する方法です。

6. ROM

H8/3802 は 16K バイト、H8/3801 は 12K バイト、H8/3800 は 8K バイトのマスキング ROM を内蔵しています。また、H8/38004、H8/38104 は 32K バイト、H8/38003、H8/38103 は 24K バイト、H8/38002、H8/38002S、H8/38102 は 16K バイト、H8/38001、H8/38001S、H8/38101 は 12K バイト、H8/38000、H8/38000S、H8/38100 は 8K バイトのマスキング ROM を内蔵しています。ROM は 16 ビット幅のデータバスで CPU と接続されており、バイトデータおよびワードデータにかかわらず 2 ステートの高速アクセスが可能です。H8/3802 には ZTAT 版があり、16K バイトの PROM を備えています。H8/38004、H8/38002 および H8/38104、H8/38102 には F-ZTAT™ 版があり、それぞれ 32K バイト、16K バイトのフラッシュメモリを備えています。

6.1 ブロック図

ROM のブロック図を図 6.1 に示します。

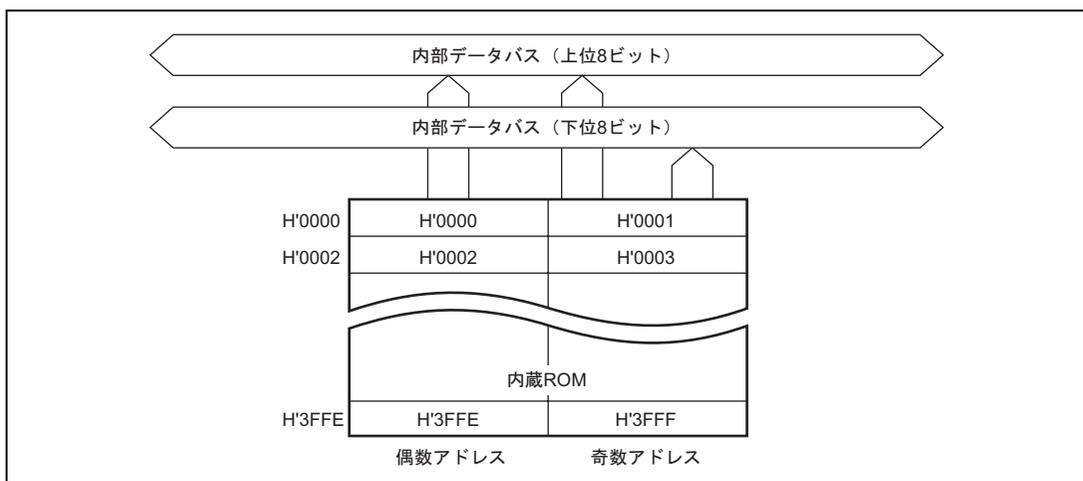


図 6.1 ROM のブロック図 (H8/3802 の場合)

6.2 H8/3802 の PROM モード

6.2.1 PROM モードの設定

内蔵 ROM が PROM の場合、PROM モードに設定すると、マイクロコンピュータとしての機能が停止して、HN27C101 と同一の方法で内蔵 PROM のプログラムを行うことができます。ただし、ページプログラミング方式はサポートしていません。

PROM モードの設定方法を、表 6.1 に示します。

表 6.1 PROM モードの設定

端子名	設定
TEST 端子	High レベル
PB0/AN0 端子	Low レベル
PB1/AN1 端子	
PB2/AN2 端子	High レベル

6.2.2 ソケットアダプタの端子対応とメモリマップ

PROM のプログラムは、パッケージに対応したソケットアダプタを付けて、32 ピンに変換し、汎用 PROM ライタでプログラミングを行います。

ソケットアダプタの端子対応図を図 6.2 に示します。また、メモリマップを図 6.3 に示します。

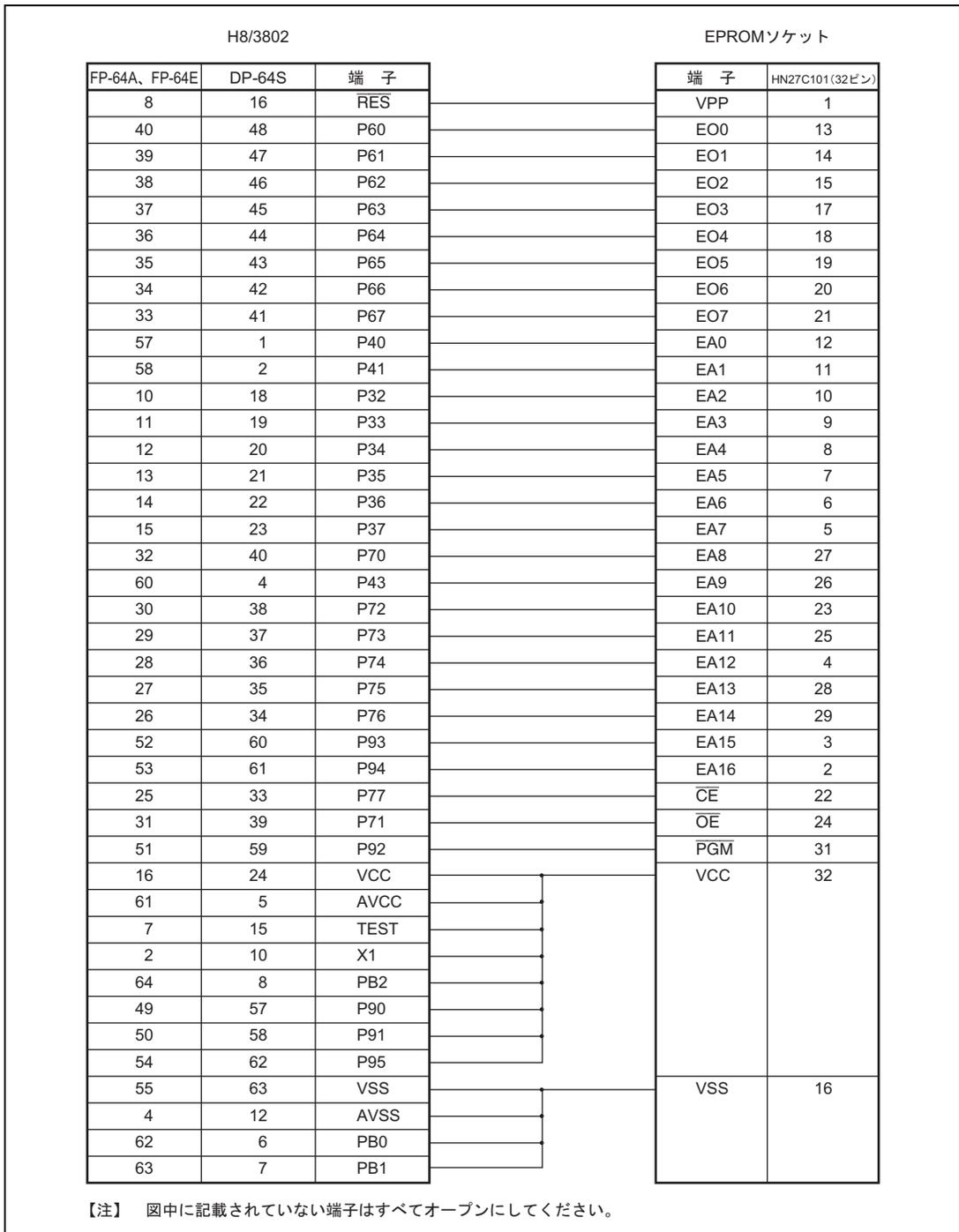


図 6.2 ソケットアダプタの端子対応図 (HN27C101)

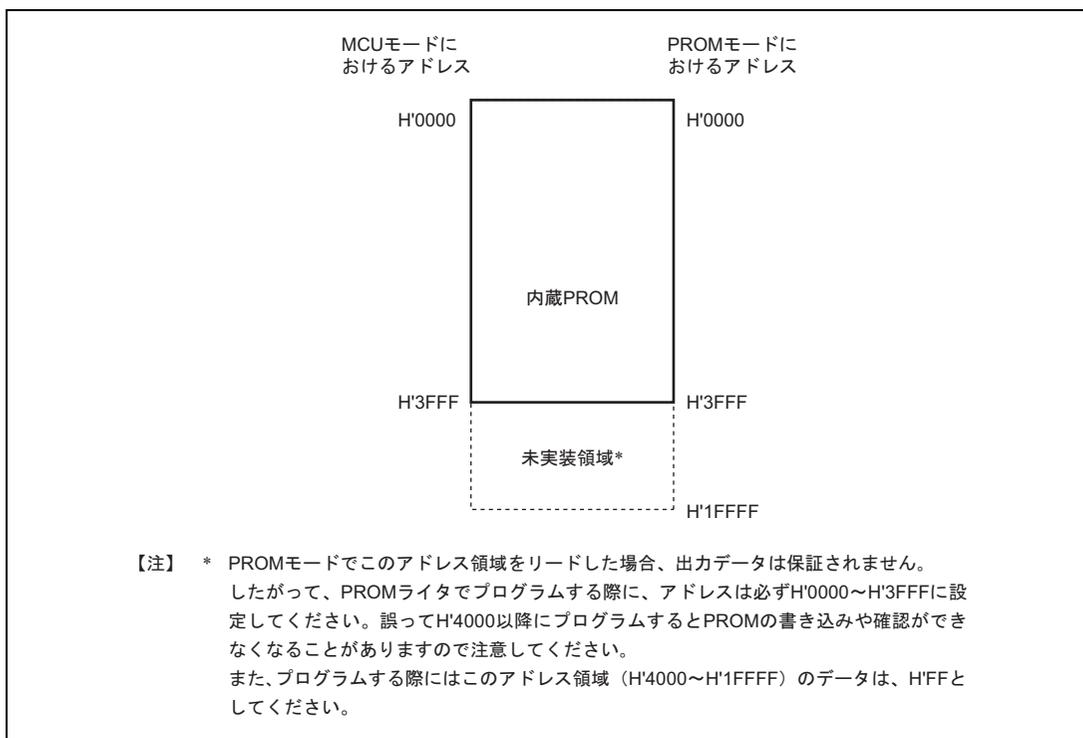


図 6.3 H8/3802 の PROM モード時のメモリマップ

6.3 H8/3802 のプログラミング

H8/3802 の PROM モード時の書き込み、ペリファイなどのモード選択は、表 6.2 に示すような設定により行います。

表 6.2 PROM モード時の書き込みモードの選択 (H8/3802)

モード	ピン						
	CE	OE	PGM	Vpp	Vcc	EO7~EO0	EA16~EA0
書き込み	L	H	L	Vpp	Vcc	データ入力	アドレス入力
ペリファイ	L	L	H	Vpp	Vcc	データ出力	アドレス入力
プログラミング禁止	L	L	L	Vpp	Vcc	ハイインピーダンス	アドレス入力
	L	H	H				
	H	L	L				
	H	H	H				

【記号説明】

- L : Low レベル
- H : High レベル
- Vpp : Vpp レベル
- Vcc : Vcc レベル

なお、書き込み、読み出しは、標準 EPROM HN27C101 と同じ仕様になっています。ただし、ページプログラミング方式はサポートしていませんので、ページプログラミングモードに設定しないでください。ページプログラミングモードのみをサポートしている PROM ライタは使用できません。PROM ライタを選択する場合には、1 バイトごとの高速高信頼度プログラミング方式をサポートしていることを確認してください。また、アドレスは必ず H'0000 ~ H'3FFF に設定してください。

6.3.1 書き込み/ベリファイ

書き込み/ベリファイは効率のよい高速高信頼度プログラミング方式で行うことができます。この方式は、デバイスへの電圧ストレス、あるいは書き込みデータの信頼性を損なうことなく高速な書き込みを行うことができます。

高速高信頼度プログラミングの基本的なフローを図 6.4 に示します。

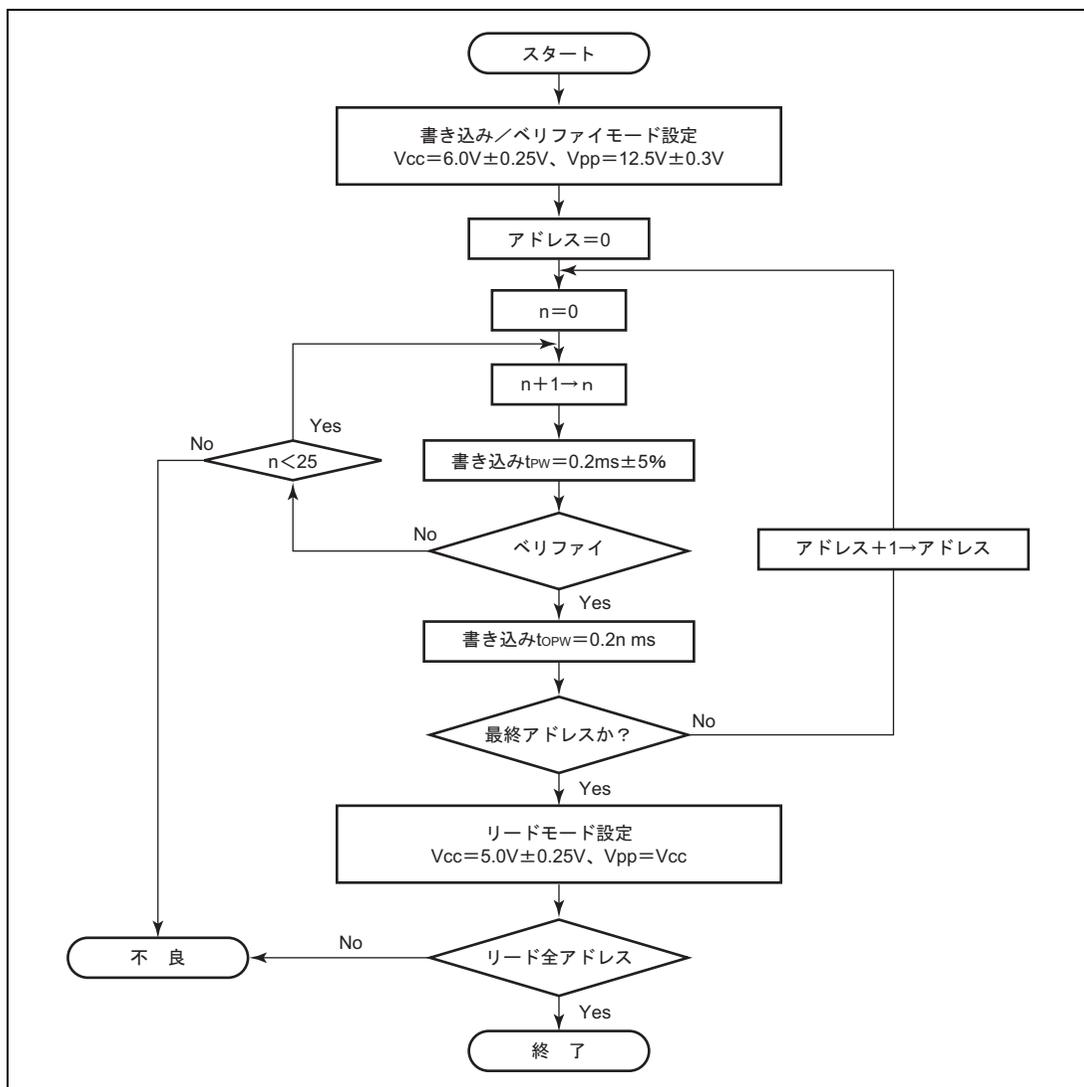


図 6.4 高速高信頼度プログラミングフローチャート

プログラミング時の電気的特性を表 6.3、表 6.4 に示します。

表 6.3 DC 特性

(条件 : $V_{CC} = 6.0V \pm 0.25V$ 、 $V_{pp} = 12.5V \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$)

項目	記号	min	typ	max	単位	測定条件
入力 High レベル電圧	EO7 ~ EO0、EA16 ~ EA0 \overline{OE} 、 \overline{CE} 、PGM	V_{IH}	2.4		$V_{CC} + 0.3$	V
入力 Low レベル電圧	EO7 ~ EO0、EA16 ~ EA0 \overline{OE} 、 \overline{CE} 、PGM	V_{IL}	- 0.3		0.8	V
出力 High レベル電圧	EO7 ~ EO0	V_{OH}	2.4			V IOH = - 200 μ A
出力 Low レベル電圧	EO7 ~ EO0	V_{OL}			0.45	V IOL = 0.8mA
入力 リーク電流	EO7 ~ EO0、EA16 ~ EA0 \overline{OE} 、 \overline{CE} 、PGM	$ I_{L} $			2	μ A Vin = 5.25V/0.5V
Vcc 電流		I_{CC}			40	mA
Vpp 電流		I_{PP}			40	mA

表 6.4 AC 特性

(条件 : $V_{CC} = 6.0V \pm 0.25V$ 、 $V_{pp} = 12.5V \pm 0.3V$ 、 $T_a = 25 \pm 5$)

項目	記号	min	typ	max	単位	測定条件
アドレスセットアップ時間	t_{AS}	2			μ s	図 6.5*1
\overline{OE} セットアップ時間	t_{OES}	2			μ s	
データセットアップ時間	t_{DS}	2			μ s	
アドレスホールド時間	t_{AH}	0			μ s	
データホールド時間	t_{DH}	2			μ s	
データ出力ディスエーブル時間	t_{DF}^{*2}			130	ns	
Vpp セットアップ時間	t_{VPS}	2			μ s	
プログラムパルス幅	t_{PW}	0.19	0.20	0.21	ms	
オーバプログラム時の PGM パルス幅	t_{OPW}^{*3}	0.19		5.25	ms	
Vcc セットアップ時間	t_{VCS}	2			μ s	
\overline{CE} セットアップ時間	t_{CES}	2			μ s	
データ出力遅延時間	t_{OE}	0		200	ns	

【注】 *1 入力パルスレベル : 0.45 ~ 2.4V
 入力立ち上がり / 立ち下がり時間 20ns
 タイミング参照レベル 入力 : 0.8V、2.0V
 出力 : 0.8V、2.0V

*2 t_{DF} は出力が開放状態に達し、出力レベルを参照できなくなった場合で定義します。

*3 t_{OPW} は図 6.4 高速高信頼度プログラミングフローチャートに記載した値で定義されます。

良となる場合があります。

4. プログラミングモードは、ページプログラミング方式をサポートしていませんので、プログラミングモードの設定には注意してください。
5. PROMライターでプログラムする際に、アドレスは必ずH'0000～H'3FFFに設定してください。誤ってH'4000以降にプログラムすると、PROMの書き込みや確認ができなくなる場合がありますので注意してください。またプログラムする際にはH'4000～H'1FFFFのアドレス領域のデータはH'FFとしてください。

6.4 書き込み後の信頼性

データ書き込み後、データ保持特性を向上させるために、150 の高温放置をしてスクリーニングを行うと大変有効です。高温放置は、スクリーニングのひとつであり、PROMメモリセルの初期のデータ保持不良を短時間で除くことができます。

図 6.6 に推奨するスクリーニングフローを示します。

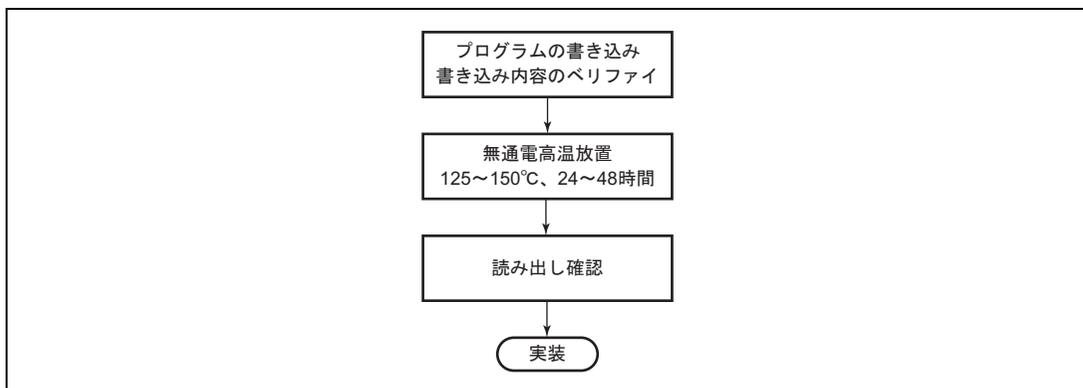


図 6.6 推奨スクリーニングフロー

同じ PROMライターでプログラミング中、書き込み不良が連続して発生した場合には書き込みを中止し、PROMライター、ソケットアダプタなどに異常がないか確認してください。

なお、書き込みあるいは高温放置後のプログラム確認において異常がありましたら、当社技術担当にご連絡ください。

6.5 フラッシュメモリの概要

6.5.1 特長

フラッシュメモリ版に内蔵されている 32K バイトまたは 16K バイトのフラッシュメモリの特長は以下のとおりです。

- 書き込み / 消去方式

書き込みは128バイト単位の同時書き込み方式です。消去はブロック単位で行います。フラッシュメモリは HD64F38004、HD64F38104では、1Kバイト×4ブロックと28Kバイト×1ブロックに分割されています。また、HD64F38002、HD64F38102では1Kバイト×4ブロックと12Kバイト×1ブロックに分割されています。全面消去を行う場合も1ブロックずつ消去してください。

- オンボードプログラミング

内蔵ブートプログラムを起動して全面消去、書き込みを行うブートモードにより、オンボードでの書き込み / 消去ができます。このほか、通常のユーザモードでもオンボードで任意のブロックを消去し、書き換えることが可能です。

- ライタモード

オンボードプログラミングのほかにPROMライタを用いて書き込み / 消去を行うライタモードがあります。

- ビットレート自動合わせ込み

ブートモードでデータ転送時、ホストの転送ビットレートと本LSIのビットレートを自動的に合わせ込みます。

- 書き込み / 消去プロテクト

ソフトウェアによりフラッシュメモリの書き込み / 消去に対するプロテクトを設定できます。

- 低消費電力モード

サブアクティブモードでは電源回路の一部の動作を停止させることができます。これによりフラッシュメモリを低消費電力で読み出すことができます。

【注】 HD64F38104、HD64F38102 でフラッシュメモリに書き込み / 消去を実行する際は、必ずシステムクロック発振器を使用してください。

6.5.2 ブロック図

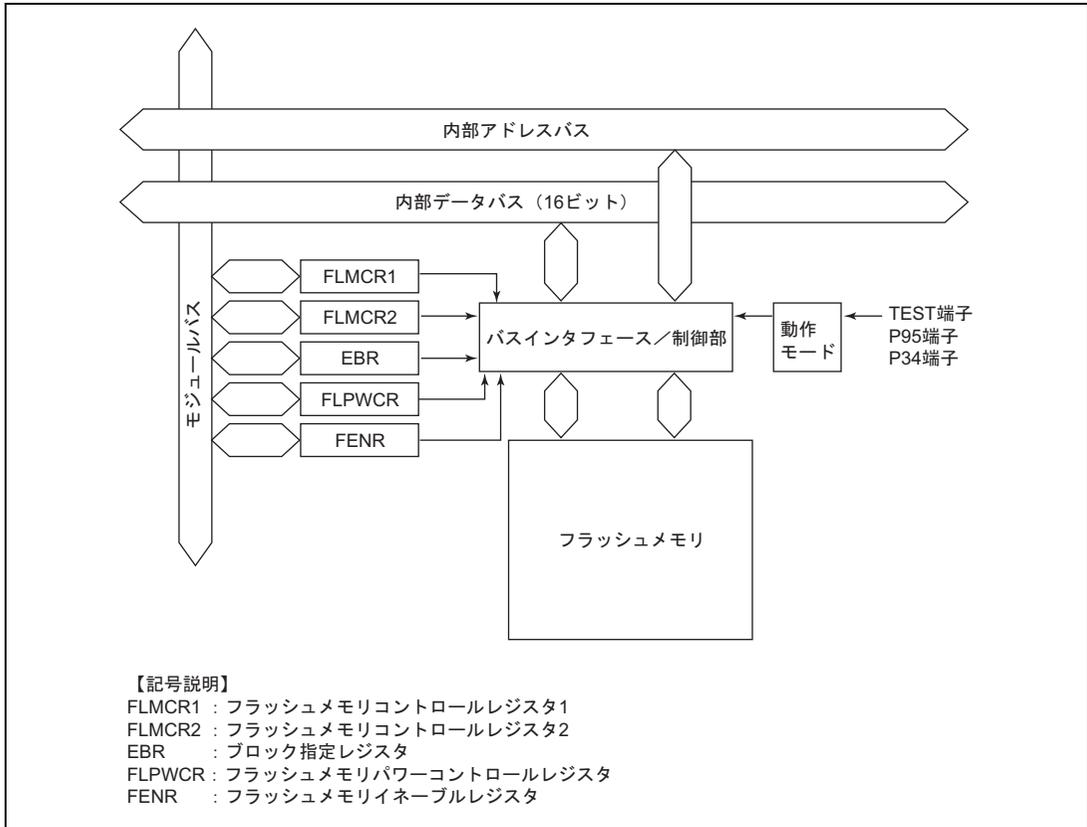


図 6.7 フラッシュメモリのブロック図

6.5.3 ブロック構成

図 6.8 にフラッシュメモリのブロック構成を示します。太線枠は消去ブロックを表します。細線枠は書き込みの単位を表し、枠内の数値はアドレスを示します。32K バイトのフラッシュメモリは 1K バイト×4 ブロック、28K バイト×1 ブロックに分割されていて、消去はこの単位で行います。16K バイトのフラッシュメモリは 1K バイト×4 ブロック、12K バイト×1 ブロックに分割されています。書き込みは下位アドレスが H'00 または H'80 で始まる 128 バイト単位で行います。

消去単位	H'0000	H'0001	H'0002	←書き込み単位128バイト→	H'007F
	H'0080	H'0081	H'0082		H'00FF
1Kバイト					
消去単位	H'0380	H'0381	H'0382	←書き込み単位128バイト→	H'03FF
	H'0400	H'0401	H'0402		H'047F
1Kバイト					
消去単位	H'0480	H'0481	H'0482	←書き込み単位128バイト→	H'04FF
1Kバイト					
消去単位	H'0780	H'0781	H'0782	←書き込み単位128バイト→	H'07FF
	H'0800	H'0801	H'0802		H'087F
1Kバイト					
消去単位	H'0880	H'0881	H'0882	←書き込み単位128バイト→	H'08FF
1Kバイト					
消去単位	H'0B80	H'0B81	H'0B82	←書き込み単位128バイト→	H'0BFF
	H'0C00	H'0C01	H'0C02		H'0C7F
1Kバイト					
消去単位	H'0C80	H'0C81	H'0C82	←書き込み単位128バイト→	H'0CFF
1Kバイト					
消去単位	H'0F80	H'0F81	H'0F82	←書き込み単位128バイト→	H'0FFF
	H'1000	H'1001	H'1002		H'107F
28Kバイト					
消去単位	H'1080	H'1081	H'1082	←書き込み単位128バイト→	H'10FF
28Kバイト					
	H'7F80	H'7F81	H'7F82		H'7FFF

図 6.8 (1) 32K バイトフラッシュメモリのブロック構成

消去単位	H'0000	H'0001	H'0002	←書き込み単位128バイト→	H'007F
	H'0080	H'0081	H'0082		H'00FF
1Kバイト					
消去単位	H'0380	H'0381	H'0382		H'03FF
	H'0400	H'0401	H'0402	←書き込み単位128バイト→	H'047F
1Kバイト	H'0480	H'0481	H'0482		H'04FF
消去単位	H'0780	H'0781	H'0782		H'07FF
	H'0800	H'0801	H'0802	←書き込み単位128バイト→	H'087F
1Kバイト	H'0880	H'0881	H'0882		H'08FF
消去単位	H'0B80	H'0B81	H'0B82		H'0BFF
	H'0C00	H'0C01	H'0C02	←書き込み単位128バイト→	H'0C7F
1Kバイト	H'0C80	H'0C81	H'0C82		H'0CFF
消去単位	H'0F80	H'0F81	H'0F82		H'0FFF
	H'1000	H'1001	H'1002	←書き込み単位128バイト→	H'107F
12Kバイト	H'1080	H'1081	H'1082		H'10FF
	H'3F80	H'3F81	H'3F82		H'3FFF

図 6.8 (2) 16K バイトフラッシュメモリのブロック構成

6.6 レジスタの説明

フラッシュメモリには以下のレジスタがあります。

- フラッシュメモリコントロールレジスタ1 (FLMCR1)
- フラッシュメモリコントロールレジスタ2 (FLMCR2)
- ブロック指定レジスタ (EBR)
- フラッシュメモリパワーコントロールレジスタ (FLPWCR)
- フラッシュメモリイネーブルレジスタ (FENR)

6.6.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

FLMCR1 はフラッシュメモリをプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移させます。具体的な設定方法については「6.8 書き込み / 消去プログラム」を参照してください。

ビット	ビット名	初期値	R/W	説明
7		0		リザーブビット 読み出すと常に0が読み出されます。
6	SWE	0	R/W	ソフトウェアライトイネーブル このビットが1のときフラッシュメモリの書き込み / 消去が可能となります。 0のとき書き込み / 消去無効。FLMCR1 レジスタの他のビットと EBR の各ビットはセットできません。
5	ESU	0	R/W	イレースセットアップ 1にセットするとイレースセットアップ状態となり、クリアするとセットアップ状態を解除します。FLMCR1 の E ビットを1にセットする前にセットしてください。
4	PSU	0	R/W	プログラムセットアップ 1にセットするとプログラムセットアップ状態となり、クリアするとセットアップ状態を解除します。FLMCR1 の P ビットを1にセットする前にセットしてください。
3	EV	0	R/W	イレースベリファイ 1にセットするとイレースベリファイモードへ遷移し、クリアするとイレースベリファイモードを解除します。
2	PV	0	R/W	プログラムベリファイ 1にセットするとプログラムベリファイモードへ遷移し、クリアするとプログラムベリファイモードを解除します。
1	E	0	R/W	イレース SWE = 1、ESU = 1 の状態でこのビットを1にセットするとイレースモードへ遷移し、クリアするとイレースモードを解除します。
0	P	0	R/W	プログラム SWE = 1、PSU = 1 の状態でこのビットを1にセットするとプログラムモードへ遷移し、クリアするとプログラムモードを解除します。

【注】 SWE、PSU、EV、PV、E、P ビットを同時に設定しないでください。

6.6.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

FLMCR2 はフラッシュメモリの書き込み / 消去の状態を表示します。FLMCR2 は読み出し専用レジスタです。書き込みはしないでください。

ビット	ビット名	初期値	R/W	説明
7	FLEP	0	R	このビットはフラッシュメモリへの書き込み / 消去中にエラーを検出し、エラープロテクト状態となったときにセットされます。 詳細は「6.9.3 エラープロテクト」を参照してください。
6~0		すべて 0		リザーブビット 読み出すと常に 0 が読み出されます。

6.6.3 ブロック指定レジスタ (EBR)

EBR はフラッシュメモリの消去ブロックを指定するレジスタです。FLMCR1 の SWE ビットが 0 のときは EBR は H'00 に初期化されます。このレジスタは 2 ビット以上同時に 1 に設定しないでください。設定すると EBR は 0 にオートクリアされます。

ビット	ビット名	初期値	R/W	説明
7~5		すべて 0		リザーブビット 読み出すと常に 0 が読み出されます。
4	EB4	0	R/W	このビットが 1 のとき HD64F38004、HD64F38104 では H'1000 ~ H'7FFF の 28K バイトが消去対象となります。 このビットが 1 のとき HD64F38002、HD64F38102 では H'1000 ~ H'3FFF の 12K バイトが消去対象となります。
3	EB3	0	R/W	このビットが 1 のとき H'0C00 ~ H'0FFF の 1K バイトが消去対象となります。
2	EB2	0	R/W	このビットが 1 のとき H'0800 ~ H'0BFF の 1K バイトが消去対象となります。
1	EB1	0	R/W	このビットが 1 のとき H'0400 ~ H'07FF の 1K バイトが消去対象となります。
0	EB0	0	R/W	このビットが 1 のとき H'0000 ~ H'03FF の 1K バイトが消去対象となります。

6.6.4 フラッシュメモリパワーコントロールレジスタ (FLPWCR)

FLPWCR は LSI がサブアクティブモードに遷移するときフラッシュメモリを低消費電力モードにするかどうかを選択します。低消費電力モードでフラッシュメモリの電源回路の一部の動作を停止し、フラッシュメモリの読み出しができるモードと、サブアクティブモード動作に移行しても、フラッシュメモリの電源回路の動作は保持しフラッシュメモリの読み出しを可能にするモードがあります。

ビット	ビット名	初期値	R/W	説明
7	PDWND	0	R/W	パワーダウンディスエーブル このビットが 0 のときサブアクティブモードに遷移するとフラッシュメモリは低消費電力モードとなります。 このビットが 1 のときはサブアクティブモードに遷移してもフラッシュメモリは通常モードで動作します。
6~0		すべて 0		リザーブビット 読み出すと常に 0 が読み出されます。

6. ROM

6.6.5 フラッシュメモリネーブルレジスタ (FENR)

FENR のビット 7 (FLSHE) は、CPU からフラッシュメモリの制御レジスタ FLMCR1、FLMCR2、EBR、FLPWCR をアクセスする場合のアクセス許可 / 禁止を設定します。

ビット	ビット名	初期値	R/W	説明
7	FLSHE	0	R/W	フラッシュメモリコントロールレジスタイネーブル このビットを 1 にセットすると、フラッシュメモリ制御レジスタがアクセス可能となります。0 のときは制御レジスタはアクセスできません。
6~0		すべて 0		リザーブビット 読み出すと常に 0 が読み出されます。

6.7 オンボードプログラミング

フラッシュメモリの書き込み / 消去を行うためのモードとしてオンボードで書き込み / 消去ができるブートモードと PROM ライタで書き込み / 消去を行うライタモードが用意されています。このほかユーザモードでもオンボードで書き込み / 消去を行うことが可能です。リセット状態からリセットスタートすると本 LSI は TEST 端子、P95 端子およびボートの入力レベルによって表 6.5 のように異なるモードへ遷移します。各端子の入力レベルは少なくともリセット解除の 4 ステート前に確定させる必要があります。

ブートモードに遷移すると、LSI 内部に組み込まれているブートプログラムが起動します。ブートプログラムは SCI3 を経由して外部に接続されたホストから書き込み制御プログラムを内蔵 RAM に転送し、フラッシュメモリを全面消去した上で書き込み制御プログラムを実行します。オンボード状態での初期書き込みや、ユーザモードで書き込み / 消去ができなくなった場合の強制復帰などに使用できます。ユーザモードではユーザが用意した書き込み / 消去プログラムに分岐することで任意のブロックを消去し書き換えることができます。

表 6.5 プログラミングモード選択方法

TEST	P95	P34	PB0	PB1	PB2	リセット解除後の LSI の状態
0	1	X	X	X	X	ユーザモード
0	0	1	X	X	X	ブートモード
1	X	X	0	0	0	ライタモード

【注】 X : Don't care

6.7.1 ブートモード

ブートモードにおけるリセット解除から書き込み制御プログラムに分岐するまでの動作を表 6.6 に示します。

1. ブートモードではフラッシュメモリへの書き込み制御プログラムをホスト側に準備しておく必要があります。書き込み制御プログラムは「6.8 書き込み/消去プログラム」に沿ったものを用意してください。
2. SCI3は調歩同期式モードに設定され、送受信フォーマットは「8ビットデータ、1ストップビット、パリティなし」です。SPCRによるTXD端子、RXD端子の反転機能は「反転しない」に設定してあるのでホストと本LSI間に反転回路を入れないでください。
3. ブートプログラムが起動すると、ホストから連続送信される調歩同期式シリアル通信データH'00のLow期間を測定してビットレートを計算し、SCI3のビットレートをホストのビットレートに合わせ込みます。リセット解除はRXD端子がHighの状態で行ってください。必要に応じてRXD端子およびTXD端子は、ボード上でプルアップしてください。リセット解除からLow期間を測定できるまで約100ステートかかります。
4. ビットレートの合わせ込みが終了すると調整終了の合図としてH'00を1バイト送信しますので、ホストは調整終了の合図を正常に受信したらH'55を1バイト送信してください。正常に受信できなかった場合はリセットによりブートモードを再起動してください。ホスト側のビットレートと本LSIのシステムクロック周波数の組み合わせによっては許容範囲内にビットレートを合わせ込めない場合が生じます。このため、ホストの転送ビットレートと本LSIのシステムクロック周波数を表6.7の範囲としてください。
5. ブートモードでは内蔵RAMの一部をブートプログラムで使用します。ホスト側から送信される書き込み制御プログラムを格納できるエリアはH'F780～H'FEEF番地です。プログラムの実行が書き込み制御プログラムへ移行するまでブートプログラムエリアは使用できません。
6. 書き込み制御プログラムに分岐するときSCI3は送受信動作を終了（SCR3のRE = 0、TE = 0）しますが、BRRには合わせ込んだビットレートの値は保持されるので、引き続き書き込み制御プログラムでホストとの間の書き込みデータやペリファイデータの送受信に使用できます。TXD端子はHighレベル出力状態（PCR42 = 1、P42 = 1）となっています。書き込み制御プログラムへ分岐直後のCPUの汎用レジスタは不定です。特にスタックポインタはサブルーチンコールなどで暗黙的に使用されるため、書き込み制御プログラムの冒頭で初期化してください。
7. ブートモードはリセットにより解除されます。リセット端子をLowレベルにして最低20ステート経過後、TEST端子とP95端子を設定してリセットを解除してください。WDTのオーバフローリセットが発生した場合もブートモードは解除されます。
8. ブートモードの途中でTEST端子、P95端子の入力レベルを変化させないでください。

表 6.6 ブートモードの動作

項目	ホストの動作	通信内容	本LSIの動作
	処理内容		処理内容
ブートモード起動			リセットスタート後 ブートプログラムへ分岐 <div style="border: 1px solid black; border-radius: 15px; padding: 2px; display: inline-block;">ブートプログラム起動</div>
ビットレートの合わせ込み	所定のビットレートでH'00を連続送信 H'00を正常に受信したらH'55送信	H'00,H'00・・・H'00 H'00 H'55	・受信データH'00のLow期間を測定 ・ビットレートを計算し、SCI3のBRRを設定 ・ビットレート合わせ込み終了後、ホストへH'00を送信
フラッシュメモリ消去	ブートプログラム消去エラー H'AA受信	H'FF H'AA	フラッシュメモリのデータをチェックし、書き込まれている場合は全ブロックを消去してホストへH'AAを送信。 (消去できなかった場合はH'FFを送信して、動作を停止)
書き込み制御プログラムの転送	転送する書き込み制御プログラムのバイト数(N)を上位バイト、下位バイトの順に2バイト送信 書き込み制御プログラムを1バイト毎に送信(N回繰り返し) H'AA受信	上位バイト、下位バイト エコーバック H'XX エコーバック H'AA	受信した2バイトデータをホストへエコーバック 受信したデータをホストへエコーバックすると共にRAMへ転送(N回繰り返し) ホストへH'AAを送信
			内蔵RAMに転送された書き込み制御プログラムへ分岐し実行を開始

表 6.7 ビットレート自動合わせ込みが可能な発振周波数 (fosc)

製品グループ	ホストのビットレート	LSI の発振周波数範囲 (fosc)
H8/38004F グループ	4800bps	8 ~ 10MHz
	2400bps	4 ~ 10MHz
	1200bps	2 ~ 10MHz
H8/38104F グループ	19200bps	16 ~ 20MHz
	9600bps	8 ~ 20MHz
	4800bps	4 ~ 20MHz
	2400bps	2 ~ 20MHz
	1200bps	2 ~ 20MHz

6.7.2 ユーザモードでの書き込み / 消去

ユーザモードとはユーザプログラムの実行状態です。ユーザモードでもユーザが用意した書き込み / 消去プログラムに分岐することで任意のブロックをオンボードで消去し書き換えることができます。分岐のための条件設定やオンボードでの書き換えデータ供給手段をユーザ側で用意する必要があります。また、必要に応じてフラッシュメモリの一部に書き込み / 消去プログラムを書き込んでおくか、書き込み / 消去プログラムを外部から供給するためのプログラムを書き込んでおく必要があります。書き込み / 消去中はフラッシュメモリを読み出せないため、ブートモードと同様書き込み / 消去プログラムは内蔵 RAM に転送して実行してください。図 6.9 にユーザモードでの書き込み / 消去手順の例を示します。書き込み / 消去プログラムは「6.8 書き込み / 消去プログラム」に沿ったものを用意してください。

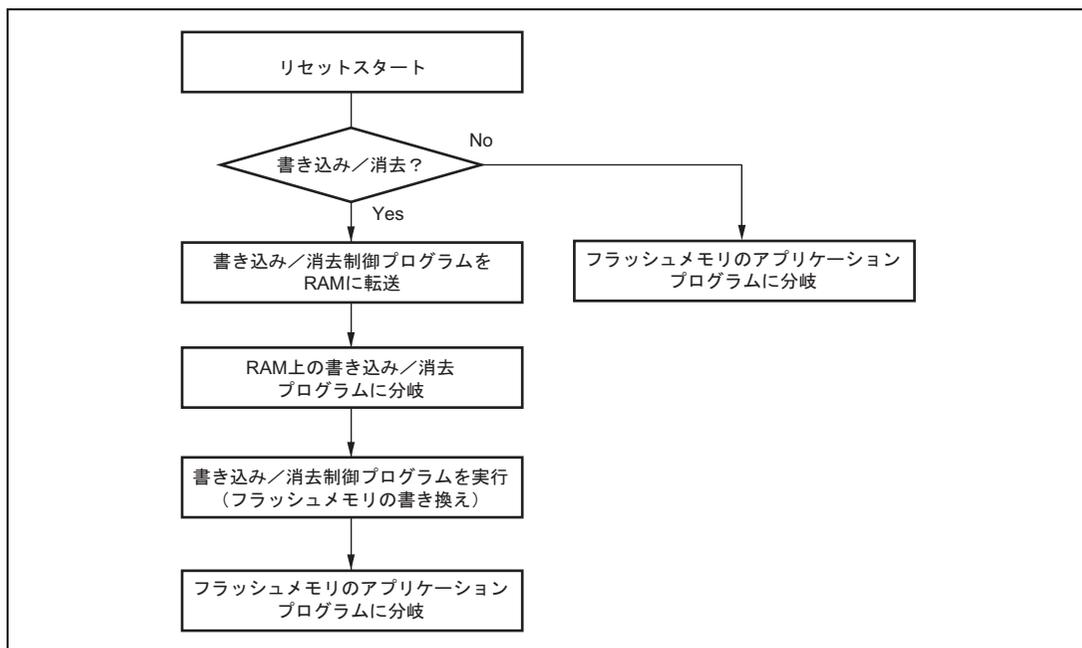


図 6.9 ユーザモードにおける書き込み/消去例

6.7.3 オンボードプログラミングの注意事項

1. H8/38104Fグループでフラッシュメモリへの書き込み/消去を行う際は、必ずシステムクロック発振器を使用してください。オンチップオシレータの使用は止めてください。システムクロック発振器とオンチップオシレータの切り替え方法は「4.3.4 オンチップオシレータを選択する方法」を参照してください。
2. H8/38104Fグループではリセット解除後にウォッチドッグタイマが動作します。ユーザモードでユーザが用意した書き込み/消去プログラムを実行する際、ウォッチドッグタイマのオーバフロー周期は適切な値を設定してください。書き込み時のウォッチドッグタイマのオーバフロー周期は「6.8.1 プログラム/プログラムベリファイ」、消去時のウォッチドッグタイマのオーバフロー周期は「6.8.2 イレース/イレースベリファイ」を参照してください。

6.8 書き込み/消去プログラム

オンボードでのフラッシュメモリの書き込み/消去はCPUを用いてソフトウェアで行う方式を採用しています。フラッシュメモリはFLMCR1の設定によってプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移します。ブートモードでの書き込み制御プログラム、ユーザモードでの書き込み/消去プログラムではこれらのモードを組み合わせで書き込み/消去を行います。フラッシュメモリへの書き込みは「6.8.1 プログラム/プログラムベリファイ」に沿って、また、フラッシュメモリの消去は「6.8.2 イレース/イレースベリファイ」に沿って行ってください。

6.8.1 プログラム/プログラムベリファイ

フラッシュメモリへの書き込みは、図 6.10 に示すプログラム/プログラムベリファイフローに従ってください。このフローに沿って書き込み動作を行えば、デバイスへの電圧ストレスやデータの信頼性を損なうことなく書き込みを行うことができます。

1. 書き込みは消去状態で行い、すでに書き込まれたアドレスへの再書き込みは行わないでください。
2. 1回の書き込みは128バイト単位です。128バイトに満たないデータを書き込む場合もフラッシュメモリに128バイトのデータを転送する必要があります。書き込む必要のないアドレスのデータはH'FFにして書き込んでください。
3. RAM上に書き込みデータエリア128バイト、再書き込みデータエリア128バイト、追加書き込みデータエリア128バイトの領域を確保してください。再書き込みデータの演算は表6.8に、追加書き込みデータの演算は表6.9に従ってください。
4. 再書き込みデータエリアあるいは追加書き込みデータエリアからフラッシュメモリへはバイト単位で128バイト連続転送してください。プログラムアドレスと128バイトのデータがフラッシュメモリ内にラッチされます。転送先のフラッシュメモリの先頭アドレスは下位8ビットをH'00またはH'80としてください。
5. Pビットがセットされている時間が書き込み時間となります。書き込み時間は表6.10に従ってください。
6. ウォッチドックタイマの設定はプログラムの暴走などによる過剰書き込みを避けるためのものです。オーバフロー周期は6.6ms程度としてください。
7. ベリファイアドレスへのダミーライトは、下位1ビットがB'0のアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からワードサイズで読み出せません。
8. 同一ビットに対するプログラム/プログラムベリファイシーケンスの繰り返しは、1,000回を超えないようにしてください。

6. ROM

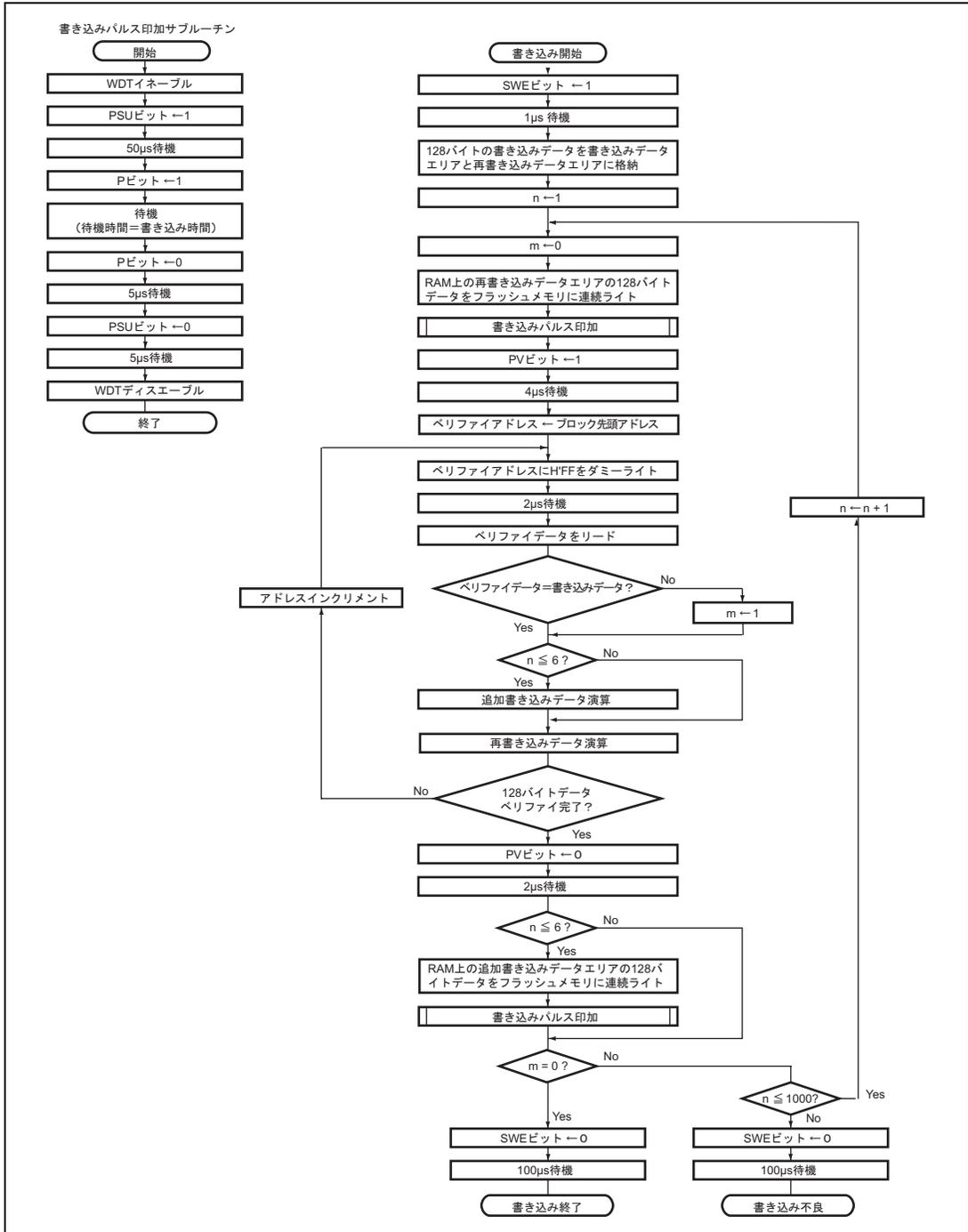


図 6.10 プログラム/プログラムベリファイフロー

表 6.8 再書き込みデータ演算表

書き込みデータ	バリファイデータ	再書き込みデータ	備考
0	0	1	書き込み完了ビット
0	1	0	再書き込みビット
1	0	1	
1	1	1	消去状態のまま

表 6.9 追加書き込みデータ演算表

再書き込みデータ	バリファイデータ	追加書き込みデータ	備考
0	0	0	追加書き込みビット
0	1	1	追加書き込みは実施しない
1	0	1	追加書き込みは実施しない
1	1	1	追加書き込みは実施しない

表 6.10 書き込み時間

n (書き込み回数)	書き込み時	追加書き込み時	備考
1~6	30	10	
7~1,000	200		

【注】時間の単位は μs です。

6.8.2 イレース / イレースベリファイ

消去は図 6.11 のイレース / イレースベリファイフローチャートに従って行ってください。

1. 消去の前にプレライト（消去するメモリの全データをすべて0にする）を行う必要はありません。
2. 消去はブロック単位で行います。ブロック指定レジスタ（EBR）により消去するブロックを1ブロックだけ選択してください。複数のブロックを消去する場合も1ブロックずつ順次消去してください。
3. Eビットが設定されている時間が消去時間となります。
4. ウォッチドッグタイマの設定はプログラムの暴走などによる過剰書き込みを避けるためのものです。オーバフロー周期は19.8ms程度としてください。
5. ベリファイアドレスへのダミーライトは、下位1ビットがB'0のアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からワードサイズで読み出せます。
6. 読み出したデータが未消去の場合は再度イレースモードに設定し、同様にイレース / イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数が100回を超えないようにしてください。

6.8.3 フラッシュメモリの書き込み / 消去時の割り込み

フラッシュメモリへの書き込み / 消去中またはブートプログラム実行中は以下の理由から NMI を含むすべての割り込み要求を禁止してください。

1. 書き込み / 消去中に割り込みが発生すると、正常な書き込み / 消去アルゴリズムに沿った動作が保証できなくなる。
2. ベクタアドレスが書き込まれる前、または書き込み / 消去中に割り込み例外処理を開始すると、正常なベクタフェッチができずCPUが暴走する。
3. ブートプログラム実行中に割り込みが発生すると、正常なブートモードのシーケンスを実行できなくなる。

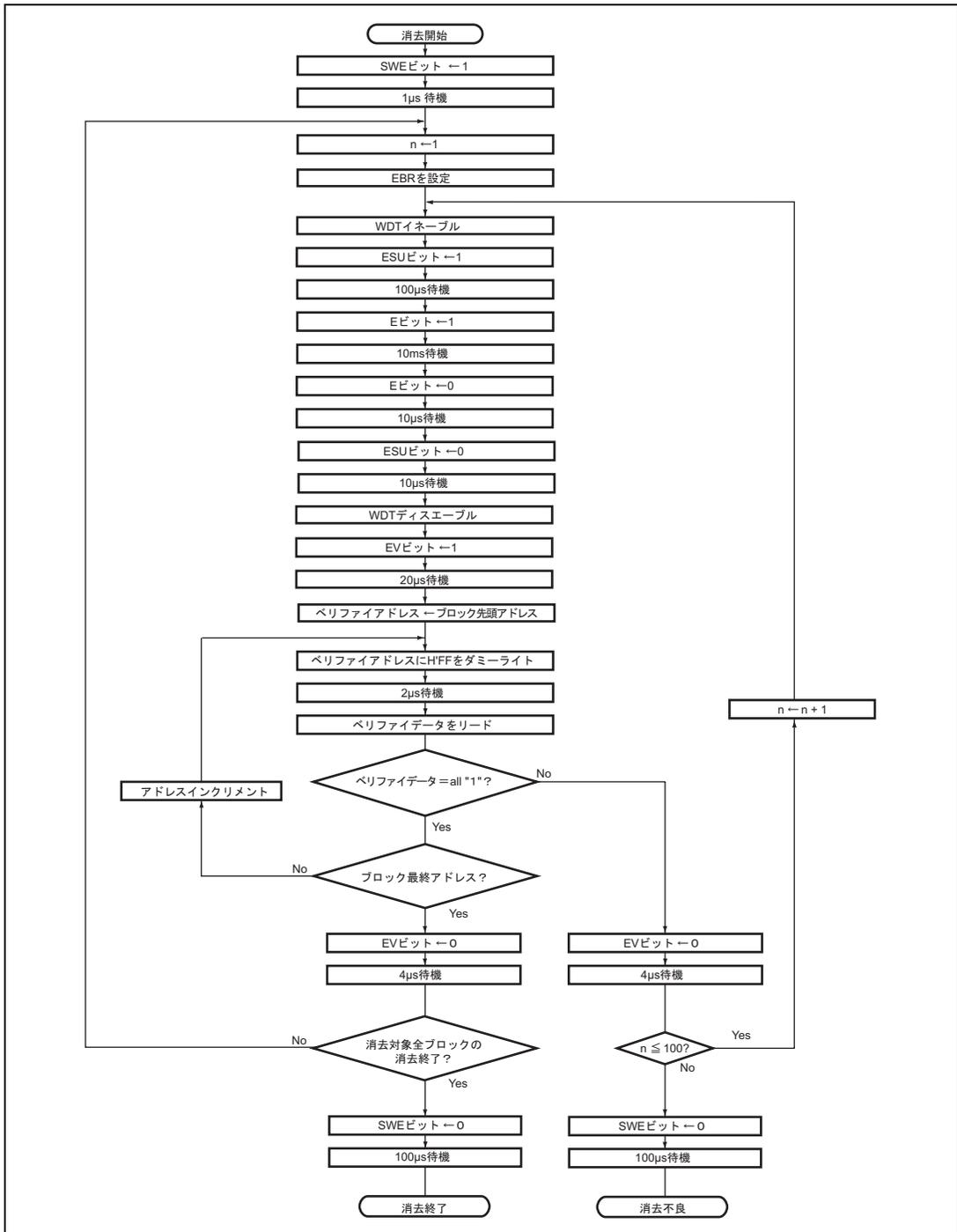


図 6.11 イレース/イレースペリファイフロー

6.9 書き込み / 消去プロテクト

フラッシュメモリに対する書き込み / 消去プロテクト状態にはハードウェアプロテクトによるもの、ソフトウェアプロテクトによるものとエラープロテクトによるものの3種類あります。

6.9.1 ハードウェアプロテクト

ハードウェアプロテクトは、リセットまたはサブアクティブモード、サブスリープモード、ウォッチモードおよびスタンバイモードへの状態遷移によりフラッシュメモリに対する書き込み / 消去が強制的に禁止、中断された状態をいいます。フラッシュメモリコントロールレジスタ1 (FLMCR1)、フラッシュメモリコントロールレジスタ2 (FLMCR2)、ブロック指定レジスタ (EBR) が初期化されます。 $\overline{\text{RES}}$ 端子によるリセットでは、電源投入後発振が安定するまで $\overline{\text{RES}}$ 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した $\overline{\text{RES}}$ パルス幅の間 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。

6.9.2 ソフトウェアプロテクト

ソフトウェアで FLMCR1 の SWE ビットをクリアすることで全ブロック書き込み / 消去プロテクト状態になります。この状態で FLMCR1 の P ビットまたは E ビットをセットしてもプログラムモードまたはイレースモードへは遷移しません。また、ブロック指定レジスタ (EBR) の設定により、ブロックごとに消去プロテクトが可能です。EBR を H'00 に設定すると全ブロックが消去プロテクト状態になります。

6.9.3 エラープロテクト

エラープロテクトはフラッシュメモリへの書き込み / 消去中に CPU の暴走や書き込み / 消去アルゴリズムに沿っていない動作を検出し、強制的に書き込み / 消去動作を中断した状態です。書き込み / 消去動作を中断することで過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み / 消去中に以下のエラーを検出すると、FLMCR2 の FLER ビットが 1 にセットされ、エラープロテクト状態となります。

- 書き込み / 消去中のフラッシュメモリ読み出し (ベクタリードおよび命令フェッチを含む)
- 書き込み / 消去中のリセットを除く例外処理開始
- 書き込み / 消去中の SLEEP 命令実行

このとき、FLMCR1、FLMCR2、EBR の内容は保持されますが、エラーを検出した時点でプログラムモードまたはイレースモードは強制的に中断されます。P ビット、E ビットをセットしてもプログラムモードやイレースモードへは遷移しません。ただし、PV ビット、EV ビットは保持され、ペリファイアモードへの遷移は可能です。エラープロテクト状態は、パワーオンリセットによってのみ解除できます。

6.10 ライタモード

ライタモードでは、ソケットアダプタを介して単体のフラッシュメモリと同様に PROM ライタで書き込み / 消去を行うことができます。PROM ライタはルネサス 64K バイトフラッシュメモリ内蔵マイコンデバイスタイプ (FZTAT64V3) をサポートしているライタを使用してください。10MHz の入力クロックが必要です。ライタモードへの遷移条件は表 6.5 を参照してください。

6.10.1 ソケットアダプタ

ソケットアダプタは HD64F38004、HD64F38002 および HD64F38104、HD64F38102 を単体のフラッシュメモリ HN28F101 のピン配置に変換します。このとき内蔵フラッシュメモリのアドレスは H'0000 ~ H'7FFF となります。HD64F38004、HD64F38002 のソケットアダプタの端子対応図を図 6.12 (1)、HD64F38104、HD64F38102 のソケットアダプタの端子対応図を図 6.12 (2) に示します。

6.10.2 ライタモードのコマンド

ライタモードでサポートしているコマンドは以下のとおりです。

- メモリ読み出し
- 自動書き込み
- 自動消去
- ステータス読み出し

自動書き込み / 自動消去 / ステータス読み出しではステータスポーリング方式を採用しています。また、ステータス読み出しは自動書き込み / 自動消去を実行した後の詳細な内部情報を出力します。表 6.11 に各コマンドのシーケンスを示します。自動書き込みは 128 バイト同時書き込みのため、コマンド書き込みが 129 サイクルとなります。メモリ読み出しはアドレス書き込みサイクル数によってサイクル数が変化します。

表 6.11 ライタモードのコマンドシーケンス

コマンド名	サイクル数	第 1 サイクル			第 2 サイクル		
		モード	アドレス	データ	モード	アドレス	データ
メモリ読み出し	1+n	write	X	H'00	read	RA	Dout
自動書き込み	129	write	X	H'40	write	WA	Din
自動消去	2	write	X	H'20	write	X	H'20
ステータス読み出し	2	write	X	H'71	write	X	H'71

【注】 n : アドレス書き込みサイクル数

6. ROM

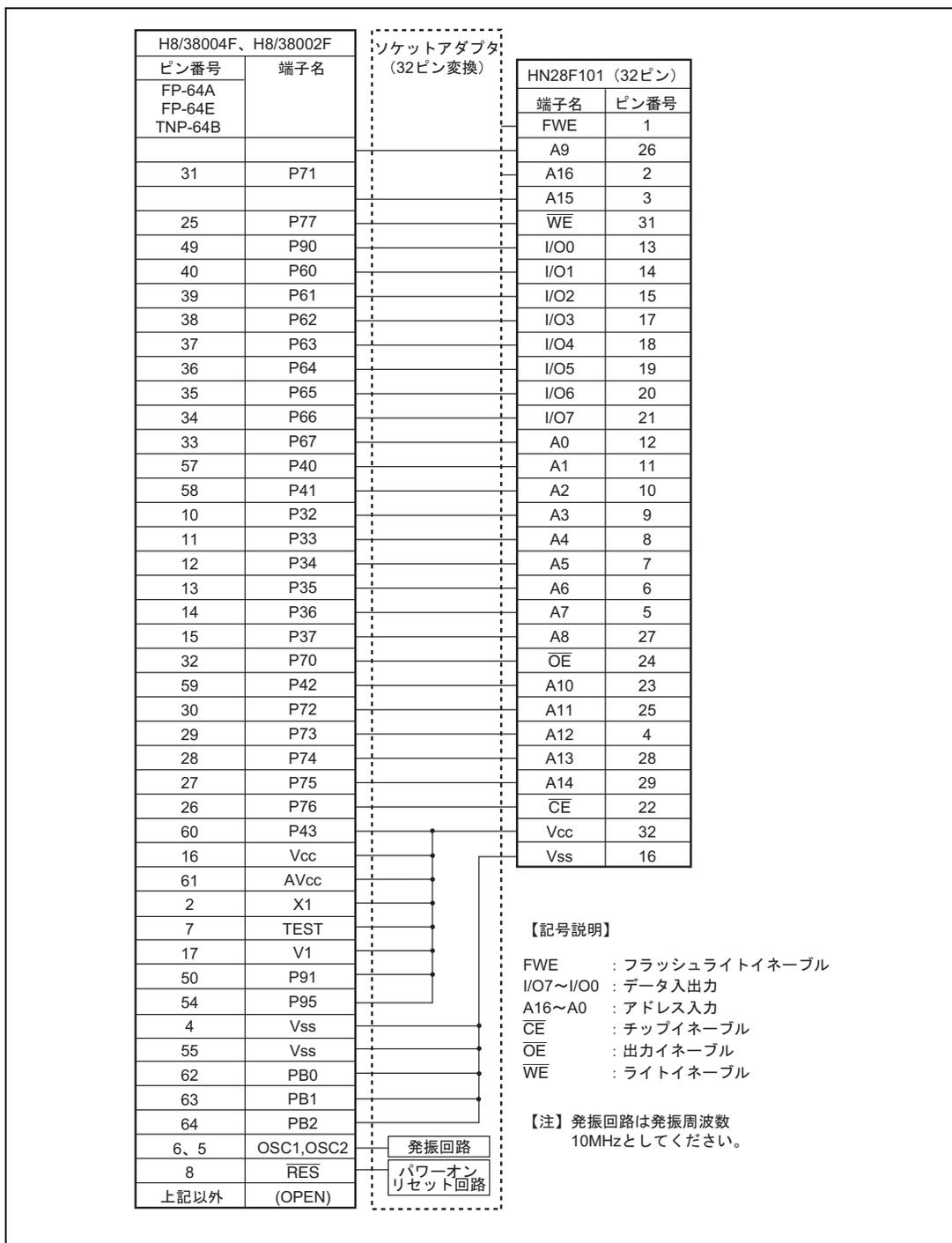


図 6.12 (1) ソケットアダプタの端子対応図 (H8/38004F、H8/38002F)

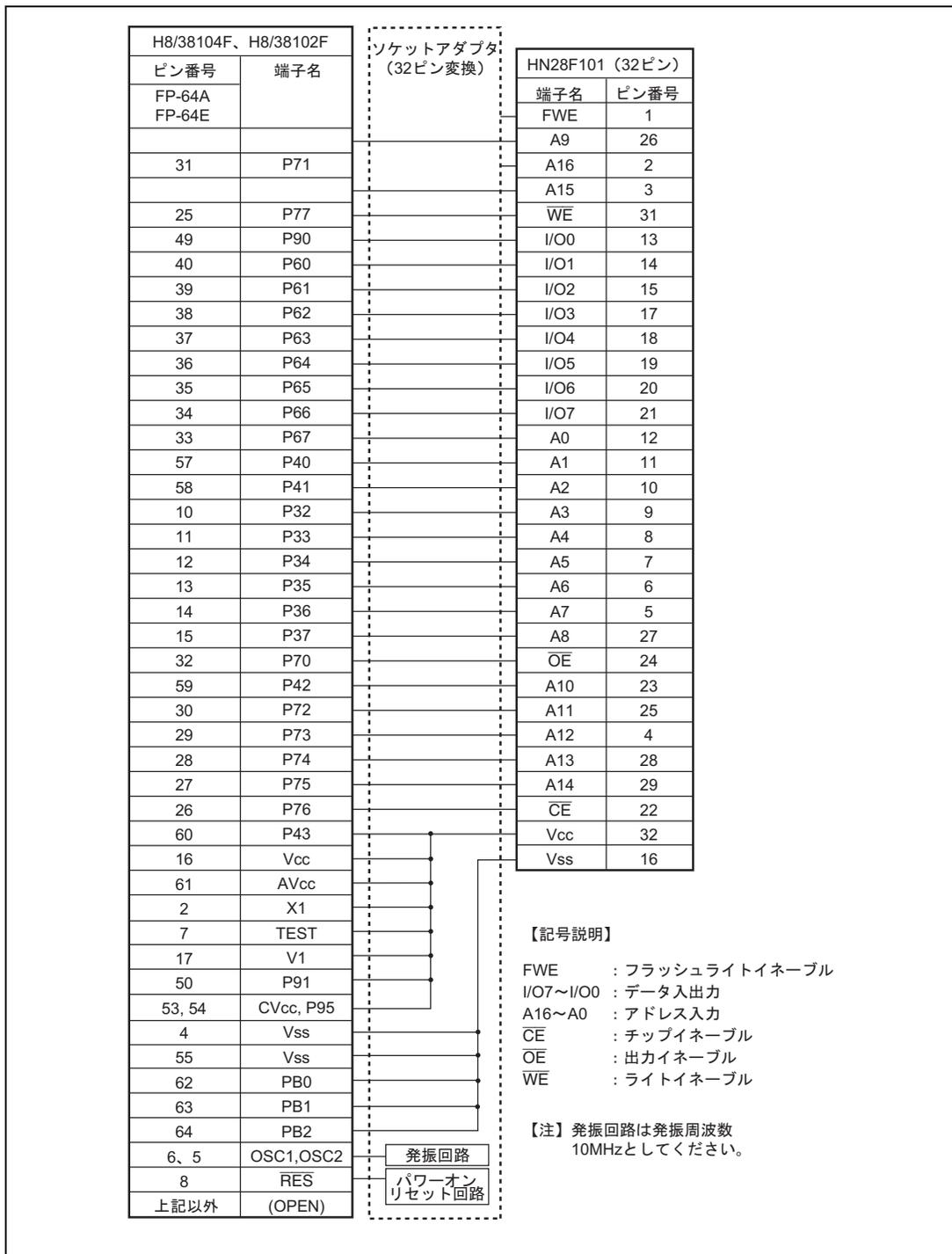


図 6.12 (2) ソケットアダプタの端子対応図 (H8/38104F、H8/38102F)

6. ROM

6.10.3 メモリ読み出し

自動書き込み / 自動消去 / ステータス読み出し終了後はコマンド待ち状態に遷移します。メモリの内容を読み出す場合はコマンド書き込みでメモリ読み出しモードに遷移させる必要があります。一度メモリ読み出しモードに遷移させた後は、連続読み出しが可能です。

1. メモリ読み出しモードでは、コマンド待ち状態と同様にコマンド書き込みにより他のモードに遷移させることができます。
2. 電源投入後はメモリ読み出しモードに遷移します。
3. AC特性を表6.12～表6.14に示します。

表 6.12 メモリ読み出し第 1 サイクルの AC 特性

条件 : $V_{cc} = 3.3V \pm 0.3V$ 、 $V_{ss} = 0V$ 、 $T_a = 25 \pm 5$

項目	記号	MIN	MAX	単位	参照図
コマンド書き込みサイクル	t_{nxtc}	20		μs	図 6.13
\overline{CE} ホールド時間	t_{ceh}	0		ns	
\overline{CE} セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
\overline{WE} 立ち上がり時間	t_r		30	ns	
\overline{WE} 立ち下がり時間	t_f		30	ns	

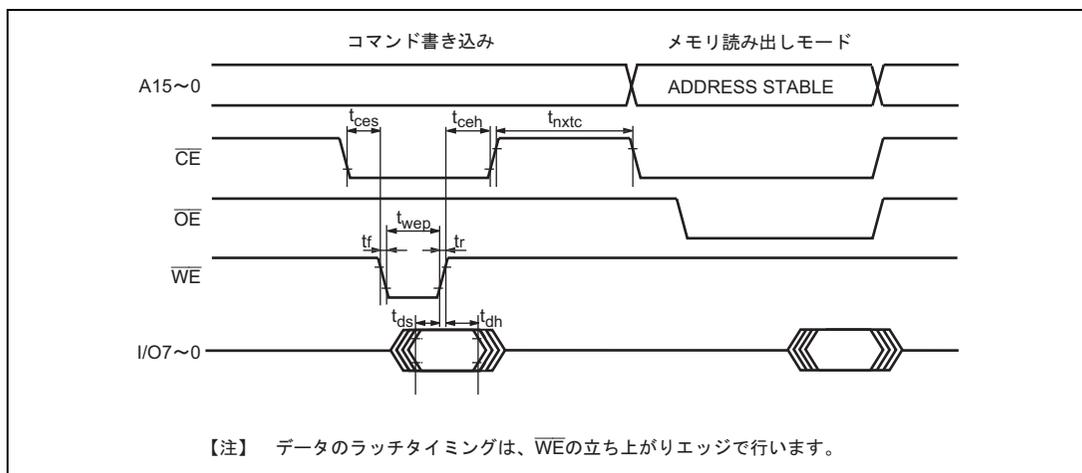


図 6.13 コマンド書き込み後メモリ読み出しタイミング波形

表 6.13 メモリ読み出しから他のコマンドへ遷移時の AC 特性

条件 : $V_{cc} = 3.3V \pm 0.3V$ 、 $V_{ss} = 0V$ 、 $T_a = 25 \pm 5$

項目	記号	MIN	MAX	単位	参照図
コマンド書き込みサイクル	t_{nxtc}	20		μs	図 6.14
\overline{CE} ホールド時間	t_{ceh}	0		ns	
\overline{CE} セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
\overline{WE} 立ち上がり時間	t_r		30	ns	
\overline{WE} 立ち下がり時間	t_f		30	ns	

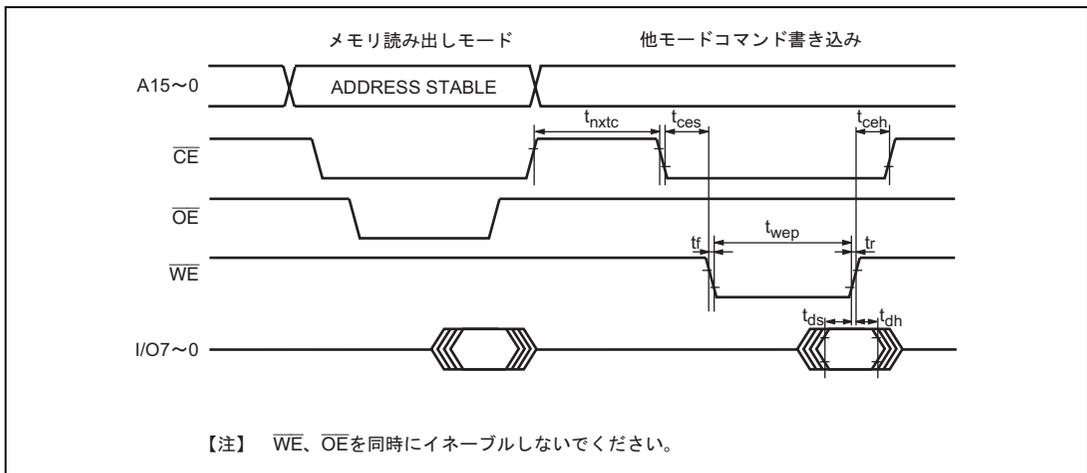


図 6.14 メモリ読み出しモードから他のモードへ遷移時のタイミング波形

6. ROM

表 6.14 メモリ読み出し時の AC 特性

条件 : $V_{CC} = 3.3V \pm 0.3V$, $V_{SS} = 0V$, $T_a = 25 \pm 5$

項目	記号	MIN	MAX	単位	参照図
アクセス時間	t_{acc}		20	μs	図 6.15、図 6.16
\overline{CE} 出力遅延時間	t_{ce}		150	ns	
\overline{OE} 出力遅延時間	t_{oe}		150	ns	
出力ディスエーブル遅延時間	t_{df}		100	ns	
データ出力ホールド時間	t_{oh}	5		ns	

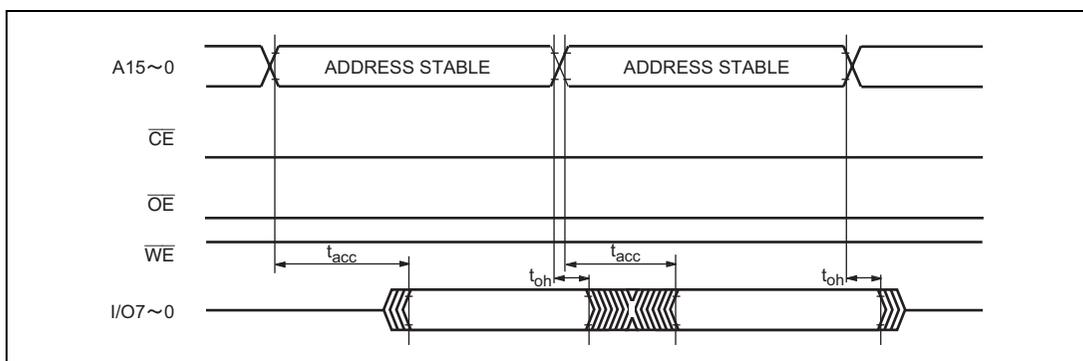


図 6.15 \overline{CE} 、 \overline{OE} イネーブル状態リード時のタイミング波形

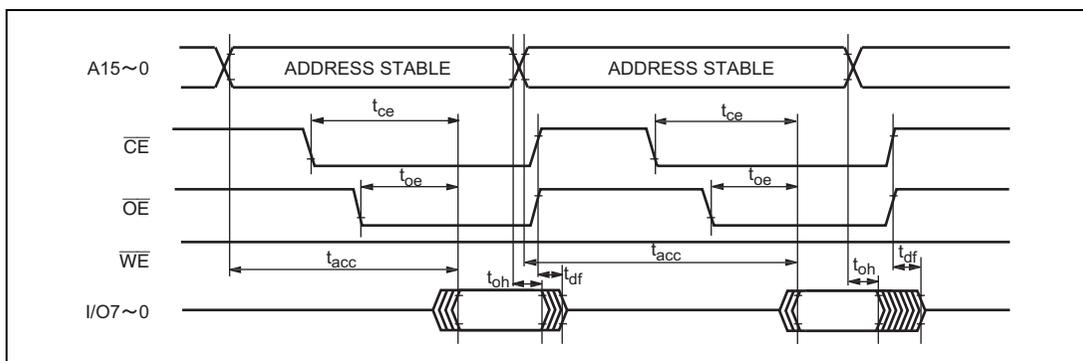


図 6.16 \overline{CE} 、 \overline{OE} クロック方式リード時のタイミング波形

6.10.4 自動書き込み

1. すでに書き込まれたアドレスへの書き換えは、自動消去を行った後に自動書き込みをしてください。
2. 同一アドレスブロックへの自動書き込みは1回のみとしてください。すでに書き込まれたアドレスブロックへの追加書き込みは行えません。
3. 自動書き込みは、128バイト同時書き込みを行います。バイトデータを128回連続転送してください。128バイト以下の書き込みでも128バイトのデータ転送を行う必要があります。書き込む必要のないアドレスへは、データH'FFを転送して書き込んでください。
4. 転送するアドレスの下位7ビットは、Low状態にしてください。有効アドレス以外を入力した場合は、メモリ書き込み動作に移行しますが、書き込みエラーとなります。
5. メモリアドレスの転送は第2サイクルで行います（図6.17）。第3サイクル以降は転送しないでください。
6. 書き込み動作中はコマンド書き込みを行わないでください。
7. 自動書き込みは128バイト単位のブロックに対して1回だけ行ってください。すでに書き込まれたアドレスブロックへの追加書き込みはできません。
8. 自動書き込み正常終了の確認は、I/O6を調べることにより行います。ステータス読み出しで確認することもできます（I/O7番のステータスポーリングは、自動書き込み動作終了判定用端子です）。
9. ステータスポーリングのI/O6、I/O7端子情報は次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われていなければ、 \overline{CE} 、 \overline{OE} をイネーブルにすることにより読み出し可能です。
10. AC特性を表6.15に示します。

6. ROM

表 6.15 自動書き込み時の AC 特性

条件 : $V_{CC} = 3.3V \pm 0.3V$, $V_{SS} = 0V$, $T_a = 25 \pm 5$

項目	記号	MIN	MAX	単位	参照図
コマンド書き込みサイクル	tnxtc	20		μs	図 6.17
\overline{CE} ホールド時間	tceh	0		ns	
\overline{CE} セットアップ時間	tces	0		ns	
データホールド時間	tdh	50		ns	
データセットアップ時間	tds	50		ns	
書き込みパルス幅	twep	70		ns	
ステータスポーリング開始時間	twsts	1		ms	
ステータスポーリングアクセス時間	tspa		150	ns	
アドレスセットアップ時間	tas	0		ns	
アドレスホールド時間	tah	60		ns	
メモリ書き込み時間	twrite	1	3000	ms	
\overline{WE} 立ち上がり時間	tr		30	ns	
\overline{WE} 立ち下がり時間	tf		30	ns	

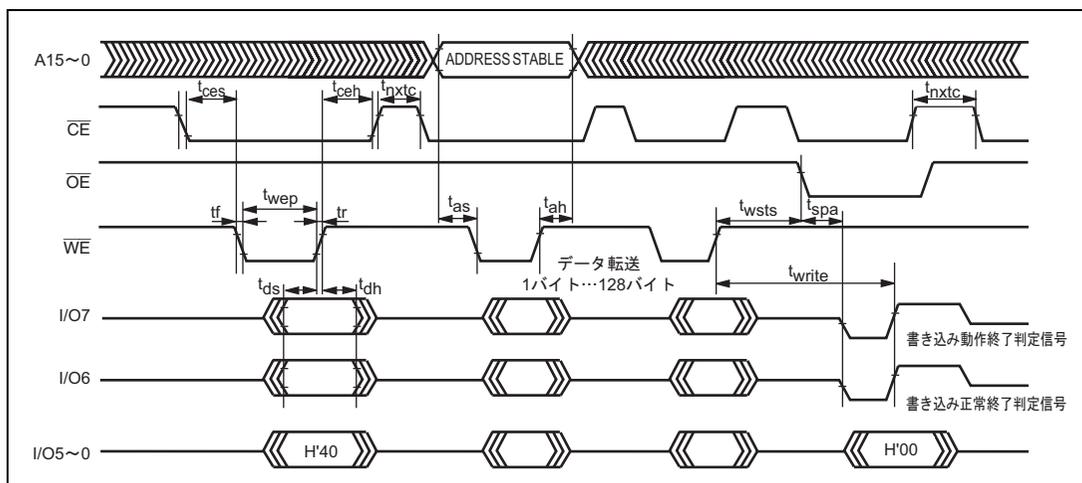


図 6.17 自動書き込みのタイミング波形

6.10.5 自動消去

1. 自動消去はメモリを全面消去します。
2. 自動消去中はコマンド書き込みを行わないでください。
3. 自動消去正常終了の確認はI/O6を調べることにより行います。ステータス読み出しでも確認することができます（I/O7番のステータスポーリングは、自動消去動作終了判定用端子です）。
4. ステータスポーリングのI/O6、I/O7端子情報は次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われていなければ、 \overline{CE} 、 \overline{OE} をイネーブルにすることにより読み出し可能となります。
5. AC特性を表6.16に示します。

表 6.16 自動消去時の AC 特性

条件：V_{CC} = 3.3V±0.3V、V_{SS} = 0V、T_a = 25 ± 5

項目	記号	MIN	MAX	単位	参照図
コマンド書き込みサイクル	tnxtc	20		μs	図 6.18
CE ホールド時間	tceh	0		ns	
\overline{CE} セットアップ時間	tces	0		ns	
データホールド時間	tdh	50		ns	
データセットアップ時間	tds	50		ns	
書き込みパルス幅	twep	70		ns	
ステータスポーリング開始時間	tests	1		ms	
ステータスポーリングアクセス時間	tspa		150	ns	
メモリ消去時間	terase	100	40000	ms	
WE 立ち上がり時間	tr		30	ns	
WE 立ち下がり時間	tf		30	ns	

6. ROM

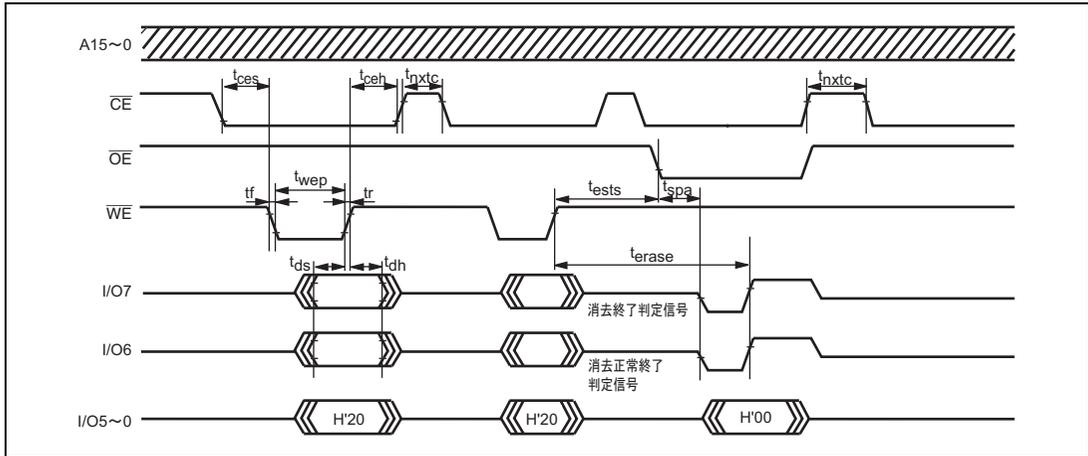


図 6.18 自動消去のタイミング波形

6.10.6 ステータス読み出し

1. ステータス読み出しは、異常終了の種類を特定させるためのです。自動書き込み / 自動消去で異常終了が起きた場合に使用してください。
2. リターンコードは、ステータス読み出し以外のコマンド書き込みが行われるまで保持されます。
3. AC特性を表6.17に、リターンコードを表6.18に示します。

表 6.17 ステータス読み出し時の AC 特性

条件 : $V_{cc} = 3.3V \pm 0.3V$, $V_{ss} = 0V$, $T_a = 25 \pm 5$

項目	記号	MIN	MAX	単位	参照図
コマンド書き込み後読み出し時間	tnxtc	20		μs	図 6.19
CE ホールド時間	tceh	0		ns	
CE セットアップ時間	tces	0		ns	
データホールド時間	tdh	50		ns	
データセットアップ時間	tds	50		ns	
書き込みパルス幅	twep	70		ns	
OE 出力遅延時間	toe		150	ns	
ディスエーブル遅延時間	tdf		100	ns	
CE 出力遅延時間	tce		150	ns	
WE 立ち上がり時間	tr		30	ns	
WE 立ち下がり時間	tf		30	ns	

6. ROM

表 6.19 ステータスポーリング出力

I/O7	I/O6	I/O0~5	ステータス
0	0	0	内部動作中
1	0	0	異常終了
1	1	0	正常終了
0	1	0	-

6.10.8 ライタモードへの遷移時間

発振安定時間、ライタモードセットアップ期間は、コマンドを受け付けることができません。ライタモードセットアップ時間後、メモリ読み出しに遷移します。

表 6.20 コマンド待ち状態までの遷移時間規定

項目	記号	MIN	MAX	単位	参照図
発振安定時間（水晶発振子）	tosc1	10		ms	図 6.20
発振安定時間（セラミック発振子）		5		ms	
ライタモードセットアップ時間	t_bmv	10		ms	
Vcc ホールド時間	t_dwn	0		ms	

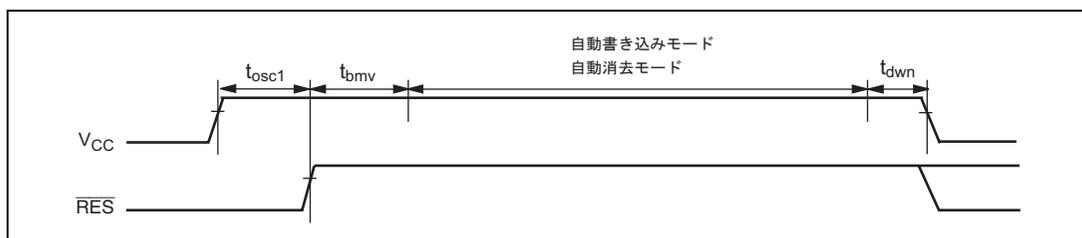


図 6.20 発振安定時間、ブートプログラム転送時間、電源立ち下げシーケンス

6.10.9 ライタモード使用時の注意事項

1. オンボードプログラムモードにて書き込み / 消去を行ったチップに対して、ライタモードを用いて書き換えを行う場合は、自動消去を行った後に自動書き込みを行うことを推奨します。
2. ルネサス テクノロジ出荷品の初期状態は消去状態です。これ以外の消去来歴不明チップに対して、初期化（消去）レベルをチェック、補正するために自動消去実施を推奨します。

6.11 フラッシュメモリの低消費電力動作

ユーザモードではフラッシュメモリは次のいずれかの状態になります。

- 通常動作状態

高速でフラッシュメモリの読み出しが可能です。

- 低消費電力動作状態

フラッシュメモリの電源回路の一部を停止させることができます。これにより、フラッシュメモリを低消費電力で読み出すことができます。

- スタンバイ状態

フラッシュメモリのすべての回路が停止します。

表 6.21 に LSI の動作モードとフラッシュメモリの状態の関係を示します。サブアクティブモードでは FLPWCR の PDWND ビットによりフラッシュメモリを低消費電力動作に設定することができます。フラッシュメモリが低消費電力動作状態またはスタンバイ状態から通常動作状態へ復帰するときは、停止した電源回路の動作安定化時間が必要となります。外部クロックを使用する場合も含めて、通常動作モードへ復帰するときの待機時間が 20 μ s 以上になるよう SYSCR1 の STS2～STS0 を設定してください。

表 6.21 フラッシュメモリの動作状態

LSI の動作モード	フラッシュメモリの状態	
	PDWND=0 のとき (初期値)	PDWND=1 のとき
アクティブモード	通常動作状態	通常動作状態
サブアクティブモード	低消費電力動作状態	通常動作状態
スリープモード	通常動作状態	通常動作状態
サブスリープモード	スタンバイ状態	スタンバイ状態
スタンバイモード	スタンバイ状態	スタンバイ状態
ウォッチモード	スタンバイ状態	スタンバイ状態

7. RAM

本グループは、高速スタティック RAM を内蔵しています。RAM は 16 ビット幅のデータバスで CPU と接続されており、バイトデータおよびワードデータとも 2 ステートでアクセスします。

製品分類		RAM 容量	RAM アドレス
フラッシュメモリ版	H8/38004	1K バイト	H'FB80 ~ H'FF7F
	H8/38002	1K バイト	H'FB80 ~ H'FF7F
	H8/38104	1K バイト	H'FB80 ~ H'FF7F
	H8/38102	1K バイト	H'FB80 ~ H'FF7F
PROM 版	H8/3802	1K バイト	H'FB80 ~ H'FF7F
マスク ROM 版	H8/3802	1K バイト	H'FB80 ~ H'FF7F
	H8/3801	512 バイト	H'FD80 ~ H'FF7F
	H8/3800	512 バイト	H'FD80 ~ H'FF7F
	H8/38004	1K バイト	H'FB80 ~ H'FF7F
	H8/38003	1K バイト	H'FB80 ~ H'FF7F
	H8/38002	1K バイト	H'FB80 ~ H'FF7F
	H8/38001	512 バイト	H'FD80 ~ H'FF7F
	H8/38000	512 バイト	H'FD80 ~ H'FF7F
	H8/38002S	512 バイト	H'FD80 ~ H'FF7F
	H8/38001S	512 バイト	H'FD80 ~ H'FF7F
	H8/38000S	512 バイト	H'FD80 ~ H'FF7F
	H8/38104	1K バイト	H'FB80 ~ H'FF7F
	H8/38103	1K バイト	H'FB80 ~ H'FF7F
	H8/38102	1K バイト	H'FB80 ~ H'FF7F
	H8/38101	512 バイト	H'FD80 ~ H'FF7F
	H8/38100	512 バイト	H'FD80 ~ H'FF7F

7.1 ブロック図

RAMのブロック図を図7.1に示します。

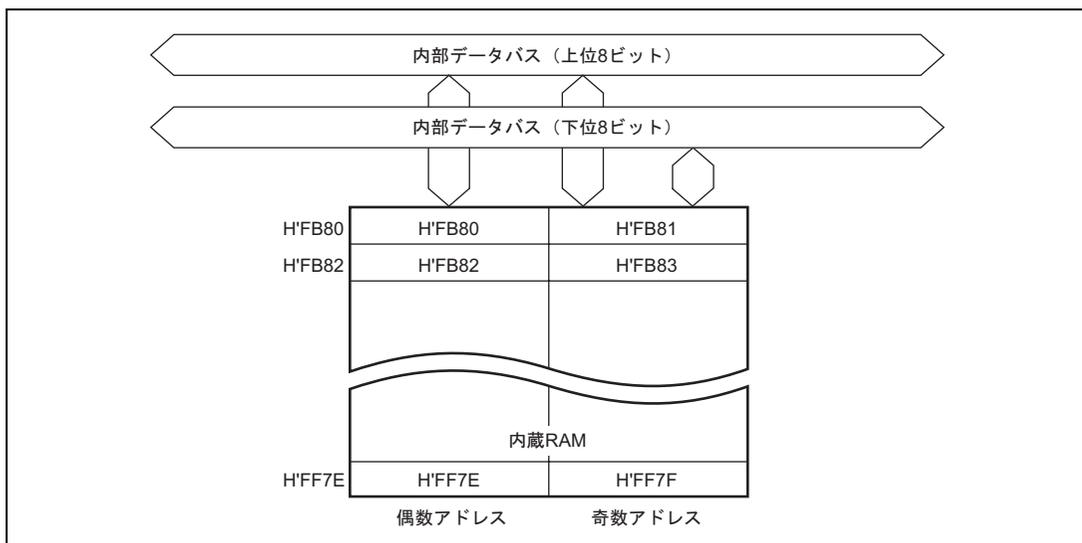


図 7.1 RAMのブロック図 (H8/3802の場合)

8. I/O ポート

本 LSI は、8 ビット入出力ポートを 3 本、7 ビット入出力ポートを 1 本、4 ビット入出力ポートを 1 本、3 ビット入出力ポートを 1 本、1 ビット入出力ポートを 1 本、4 ビット入力専用ポートを 1 本、および 1 ビット入力専用ポートを 1 本、6 ビット出力専用ポートを 1 本備えています。

各ポートは、入出力を制御するポートコントロールレジスタ (PCR) と、出力データを格納するポートデータレジスタ (PDR) から構成され、ビット単位に入出力を制御できます。ポート 5、6、7、8、A は液晶表示用セグメント端子、コモン端子と兼用されており、4 ビット単位で選択できます。

PCR、PDR に対してのビット操作命令の実行については、「2.9.4 ビット操作命令」を参照してください。各ポートのブロック図は「付録 B. I/O ポートブロック図」を参照してください。各ポートの機能一覧を表 8.1 に示します。

8. I/O ポート

表 8.1 ポートの機能

ポート	概要	端子	兼用機能	機能切り換え 制御レジスタ
ポート 3	<ul style="list-style-type: none"> 7 ビット入出力ポート 入力プルアップ MOS 選択可 大電流ポート*1 	P37/AEVL P36/AEVH P35 P34 P33	非同期イベントカウンタのイベント入力 端子 AEVL、AEVH	PMR3
		P32/TMOFH P31/TMOFL	タイム F アウトプットコンペア出力	PMR3
ポート 4	<ul style="list-style-type: none"> 1 ビット入力専用ポート 3 ビット入出力ポート 	P43/IRQ0	外部割り込み 0	PMR2
		P42/TXD32 P41/RXD32 P40/SCK32	SCI3 のデータ出力 (TXD32)、 データ入力 (RXD32)、 クロック入出力 (SCK32)	SCR3 SMR
ポート 5	<ul style="list-style-type: none"> 8 ビット入出力ポート 入力プルアップ MOS 選択可 	P57 ~ P50/ WKP7 ~ WKP0/ SEG8 ~ SEG1	ウェイクアップ入力 (WKP7 ~ WKP0)、 セグメント出力 (SEG8 ~ SEG1)	PMR5 LPCR
ポート 6	<ul style="list-style-type: none"> 8 ビット入出力ポート 入力プルアップ MOS 選択可 	P67 ~ P60/ SEG16 ~ SEG9	セグメント出力 (SEG16 ~ SEG9)	LPCR
ポート 7	8 ビット入出力ポート	P77 ~ P70/ SEG24 ~ SEG17	セグメント出力 (SEG24 ~ SEG17)	LPCR
ポート 8	1 ビット入出力ポート	P80/SEG25	セグメント出力 (SEG25)	LPCR
ポート 9	<ul style="list-style-type: none"> 6 ビット出力専用ポート 高耐圧大電流ポート*2 	P95 ~ P92 (P95、P92、 P93/Vref) *3	なし (LVD 基準電圧外部入力端子) *3	(LVDSR) *3
		P91、P90/ PWM2、PWM1	10 ビット PWM 出力	PMR9
	高耐圧入力ポート*4	IRQAEC	なし	
ポート A	4 ビット入出力ポート	PA3 ~ PA0/ COM4 ~ COM1	コモン出力 (COM4 ~ COM1)	LPCR
ポート B	4 ビット入力専用ポート	PB3/AN3/IRQT	A/D 変換器のアナログ入力 外部割り込み 1	AMR PMRB
		PB2/AN2	A/D 変換器のアナログ入力	AMR
		PB1/AN1/(extU) *5	A/D 変換器のアナログ入力	AMR
		PB0/AN0/(extD) *5	(LVD 検知電圧外部入力端子) *5	(LVDCR) *5

【注】 *1 H8/3802 グループ、H8/38104 グループ適用。

*2 H8/3802 グループのみ適用。H8/38004 グループ、H8/38002S グループ、H8/38104 グループは標準耐圧です。

*3 H8/38104 グループのみ適用。H8/38104 グループでは、P94 端子および機能はありません。

*4 H8/3802 グループのみ適用。H8/38004 グループ、H8/38002S グループ、H8/38104 グループは入力ポートです。

*5 H8/38104 グループのみ適用。

8.1 ポート 3

ポート 3 は、非同期イベントカウンタ入力端子、タイマ F 出力端子と兼用の入出力ポートです。ポート 3 の各端子は、図 8.1 に示す構成になっています。

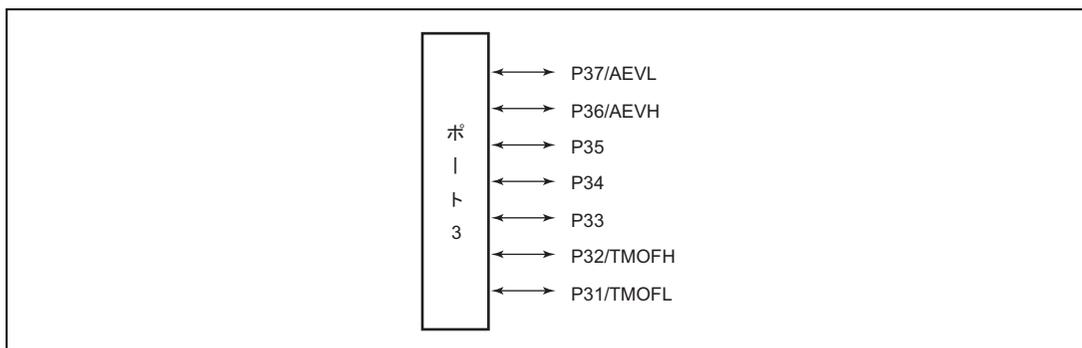


図 8.1 ポート 3 の端子構成

ポート 3 には以下のレジスタがあります。

- ポートデータレジスタ3 (PDR3)
- ポートコントロールレジスタ3 (PCR3)
- ポートブルアップコントロールレジスタ3 (PUCR3)
- ポートモードレジスタ3 (PMR3)
- ポートモードレジスタ2 (PMR2)

8. I/O ポート

8.1.1 ポートデータレジスタ 3 (PDR3)

PDR3 は、ポート 3 のデータを格納するレジスタです。

ビット	ビット名	初期値	R/W	説明
7	P37	0	R/W	PCR3 が 1 のとき、ポート 3 のリードを行うと、PDR3 の値を直接リードします。そのため端子状態の影響を受けません。PCR3 が 0 のとき、ポート 3 のリードを行うと、端子状態が読み出されます。
6	P36	0	R/W	
5	P35	0	R/W	
4	P34	0	R/W	
3	P33	0	R/W	
2	P32	0	R/W	
1	P31	0	R/W	
0				リザーブビット

8.1.2 ポートコントロールレジスタ 3 (PCR3)

PCR3 は、ポート 3 の入出力をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7	PCR37	0	W	PCR3 に 1 をセットすると対応する端子は出力端子となり、0 にクリアすると入力端子となります。PMR3 により当該端子が汎用入出力に設定されている場合には、PCR3 および PDR3 の設定が有効となります。 本レジスタはライト専用です。リードした場合ビット 7~1 は常に 1 が読み出されます。
6	PCR36	0	W	
5	PCR35	0	W	
4	PCR34	0	W	
3	PCR33	0	W	
2	PCR32	0	W	
1	PCR31	0	W	
0			W	リザーブビット ライトする場合は 0 ライトのみ可能です。

8.1.3 ポートプルアップコントロールレジスタ 3 (PUCR3)

PUCR3 は、ポート 3 のプルアップ MOS をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7	PUCR37	0	R/W	PUCR3 が 0 の状態で PUCR3 に 1 をセットすると対応するプルアップ MOS は ON 状態となり、0 にクリアすると OFF 状態となります。
6	PUCR36	0	R/W	
5	PUCR35	0	R/W	
4	PUCR34	0	R/W	
3	PUCR33	0	R/W	
2	PUCR32	0	R/W	
1	PUCR31	0	R/W	
0			W	リザーブビット ライトする場合は 0 ライトのみ可能です。

8.1.4 ポートモードレジスタ 3 (PMR3)

PMR3 は、ポート 3 の各端子機能の切り替えを制御します。

ビット	ビット名	初期値	R/W	説明
7	AEVL	0	R/W	P37/AEVL 端子機能切り替え P37/AEVL 端子を P37 端子として使用するか、AEVL 端子として使用するかを設定します。 0 : P37 入出力端子として機能 1 : AEVL 入力端子として機能
6	AEVH	0	R/W	P36/AEVH 端子機能切り替え P36/AEVH 端子を P36 端子として使用するか、AEVH 端子として使用するかを設定します。 0 : P36 入出力端子として機能 1 : AEVH 入力端子として機能
5-3			W	リザーブビット ライトする場合は 0 ライトのみ可能です。
2	TMOFH	0	R/W	P32/TMOFH 端子機能切り替え P32/TMOFH 端子を P32 端子として使用するか、TMOFH 端子として使用するかを設定します。 0 : P32 入出力端子として機能 1 : TMOFH 出力端子として機能

8. I/O ポート

ビット	ビット名	初期値	R/W	説明
1	TMOFL	0	R/W	P31/TMOFL 端子機能切り替え P31/TMOFL 端子を P31 端子として使用するか、TMOFL 端子として使用するかを設定します。 0 : P31 入出力端子として機能 1 : TMOFL 出力端子として機能
0			W	リザーブビット ライトする場合は 0 ライトのみ可能です。

8.1.5 ポートモードレジスタ 2 (PMR2)

PMR2 は、P35 端子の PMOS の ON/OFF 制御、P43/ $\overline{\text{IRQ0}}$ 端子機能切り替え、ウォッチドッグタイマのクロック選択をします。

ビット	ビット名	初期値	R/W	説明
7, 6		すべて 1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
5	POF1	0	R/W	P35 端子 PMOS コントロール P35 端子出力バッファの PMOS の ON/OFF を制御します。 0 : CMOS 出力 1 : NMOS オープンドレイン出力
4, 3		すべて 1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
2	WDCKS	0	R/W	ウォッチドッグタイマソースクロック選択 ウォッチドッグタイマの入カクロックを選択します。 ただし、H8/38004、H8/38002S グループと H8/38104 グループでは異なりますのでご注意ください。 H8/38004、H8/38002S グループ 0 : /8192 を選択 1 : w/32 を選択 H8/38104 グループ 0 : タイマモードレジスタ W (TMW) の設定によりクロックを選択* 1 : w/32 を選択 【注】 H8/3802 グループではリザーブビットであり、0 ライトのみ可能です。
1			W	リザーブビット ライトする場合は、0 ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
0	IRQ0	0	R/W	P43/ $\overline{\text{IRQ0}}$ 端子機能切り替え P43/ $\overline{\text{IRQ0}}$ 端子を P43 端子として使用するか $\overline{\text{IRQ0}}$ 端子として使用する か設定します。 0 : P43 入力端子として機能 1 : $\overline{\text{IRQ0}}$ 入力端子として機能

【注】 * 詳細は、「9.5 ウォッチドッグタイマ」を参照してください。

8.1.6 端子機能

ポート 3 の端子機能を示します。

- P37/AEVL

PMR3 の AEVL と PCR3 の PCR37 の組み合わせで、次のように切り替わります。

AEVL	0		1
PCR37	0	1	*
端子機能	P37 入力端子	P37 出力端子	AEVL 入力端子

【記号説明】 * : Don't care

- P36/AEVH

PMR3 の AEVH と PCR3 の PCR36 の組み合わせで、次のように切り替わります。

AEVH	0		1
PCR36	0	1	*
端子機能	P36 入力端子	P36 出力端子	AEVH 入力端子

【記号説明】 * : Don't care

- P35 ~ P33

PCR3 の各ビットにより、次のように切り替わります。

(n = 5 ~ 3)

PCR3n	0		1
端子機能	P3n 入力端子	P3n 出力端子	

- P32/TMOFH

PMR3 の TMOFH と PCR3 の PCR32 の組み合わせで、次のように切り替わります。

TMOFH	0		1
PCR32	0	1	*
端子機能	P32 入力端子	P32 出力端子	TMOFH 出力端子

【記号説明】 * : Don't care

8. I/O ポート

- P31/TMOFL

PMR3 の TMOFL と PCR3 の PCR31 の組み合わせで、次のように切り替わります。

TMOFL	0		1
PCR31	0	1	*
端子機能	P31 入力端子	P31 出力端子	TMOFL 出力端子

【記号説明】 * : Don't care

8.1.7 入力プルアップ MOS

ポート 3 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。PCR3 が 0 にクリアされている状態で PUCR3 に 1 をセットすると入力プルアップ MOS は ON 状態となります。また、入力プルアップ MOS はリセット時、OFF 状態になります。

(n=7~1)

PCR3n	0		1
PUCR3n	0	1	*
入力プルアップ MOS	OFF	ON	OFF

【記号説明】 * : Don't care

8.2 ポート 4

ポート 4 は、割り込み入力端子、SCI 入出力端子と兼用の入出力ポートです。ポート 4 の各端子は、図 8.2 に示す構成になっています。

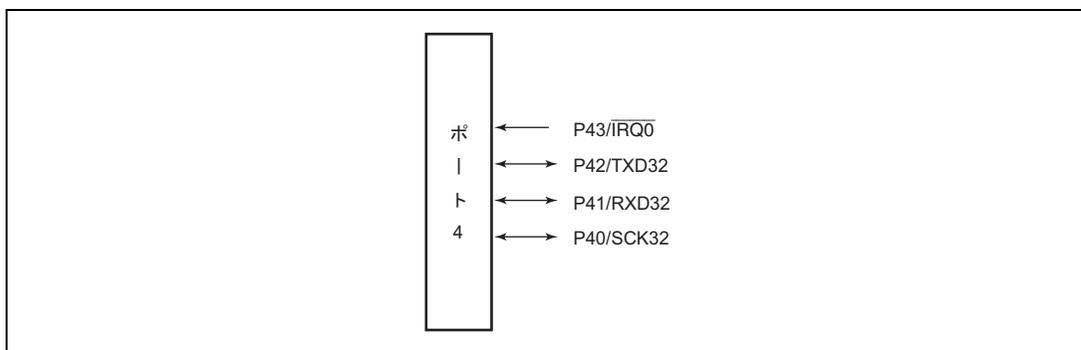


図 8.2 ポート 4 の端子構成

ポート 4 には以下のレジスタがあります。

- ポートデータレジスタ 4 (PDR4)
- ポートコントロールレジスタ 4 (PCR4)
- シリアルポートコントロールレジスタ (SPCR)

8.2.1 ポートデータレジスタ 4 (PDR4)

PDR4 は、ポート 4 のデータを格納するレジスタです。

ビット	ビット名	初期値	R/W	説明
7~4		すべて 1		リザーブビット リードすると常に 1 が読み出されます。
3	P43	1	R	PCR4 が 1 のとき、ポート 4 のリードを行うと、PDR4 の値を直接リードします。そのため端子状態の影響を受けません。PCR4 が 0 のとき、ポート 4 のリードを行うと、端子状態が読み出されます。
2	P42	0	R/W	
1	P41	0	R/W	
0	P40	0	R/W	

8.2.2 ポートコントロールレジスタ 4 (PCR4)

PCR4 は、ポート 4 の入出力をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7~3		すべて 1		リザーブビット リードすると常に 1 が読み出されます。
2	PCR42	0	W	PCR4 に 1 をセットすると対応する P42 ~ P40 端子は出力端子となり、0 にクリアすると入力端子となります。SCR3 により当該端子が汎用入出力に設定されている場合には、PCR4 および PDR4 の設定が有効となります。本レジスタはライト専用です。リードした場合各ビットは常に 1 が読み出されます。
1	PCR41	0	W	
0	PCR40	0	W	

8. I/O ポート

8.2.3 シリアルポートコントロールレジスタ (SPCR)

SPCR は、RXD32、TXD32 端子の入出力データ反転切り替えを行います。図 8.3 に示す構成になっています。

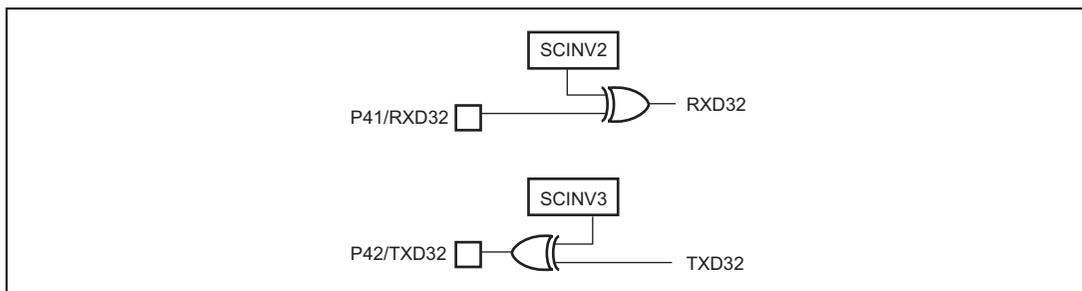


図 8.3 入出力データ反転機能

ビット	ビット名	初期値	R/W	説明
7、6		すべて 1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
5	SPC32	0	R/W	P42/TXD32 端子機能切り替え P42/TXD32 端子を P42 端子として使用するか TXD32 端子として使用するかを設定します 0 : P42 入出力端子として機能 1 : TXD32 出力端子として機能* 【注】 * 本ビットを 1 に設定した後に SCR3 の TE ビットを設定してください。
4			W	リザーブビット ライトする場合は 0 ライトのみ可能です。
3	SCINV3	0	R/W	TXD32 端子出力データ反転切り替え TXD32 端子の出力データのロジックレベルを反転するか、しないか、の切り換えを設定します。 0 : TXD32 の出力データを反転しない 1 : TXD32 の出力データを反転する
2	SCINV2	0	R/W	RXD32 端子入力データ反転切り替え RXD32 端子の入力データのロジックレベルを反転するか、しないか、の切り換えを設定します。 0 : RXD32 の入力データを反転しない 1 : RXD32 の入力データを反転する
1、0			W	リザーブビット ライトする場合は 0 ライトのみ可能です。

【注】 シリアルポートコントロールレジスタを書き換えると、それまで入力または出力されていたデータが書き換えた直後に反転され、有効ではないデータの変化が入出力されます。シリアルポートコントロールレジスタを書き換える際には、データ変化を無効にする状態で、書き換えてください。

8.2.4 端子機能

ポート4の端子機能を示します。

- P43/ $\overline{\text{IRQ0}}$

PMR2のIRQ0により、次のように切り替わります。

IRQ0	0		1	
端子機能	P43 入力端子		$\overline{\text{IRQ0}}$ 入力端子	

- P42/TXD32

SCR3のTE、SPCRのSPC32、PCR4のPCR42の組み合わせで、次のように切り替わります。

SPC32	0		1	
TE	0		1	
PCR42	0	1	*	
端子機能	P42 入力端子	P42 出力端子	TXD32 出力端子	

【記号説明】 * : Don't care

- P41/RXD32

SCR3のREとPCR4のPCR41の組み合わせで、次のように切り替わります。

RE	0		1	
PCR41	0	1	*	
端子機能	P41 入力端子	P41 出力端子	RXD32 入力端子	

【記号説明】 * : Don't care

- P40/SCK32

SCR3のCKE1、CKE0、SMRのCOM、およびPCR4のPCR40の組み合わせで、次のように切り替わります。

CKE1	0			1	
CKE0	0		1	*	
COM	0		1	*	*
PCR40	0	1	*		
端子機能	P40 入力端子	P40 出力端子	SCK32 出力端子	SCK32 入力端子	

【記号説明】 * : Don't care

8. I/O ポート

8.3 ポート 5

ポート 5 は、ウェイクアップ割り込み要求入力端子、LCD セグメント出力端子と兼用の入出力ポートです。ポート 5 の各端子は、図 8.4 に示す構成になっています。

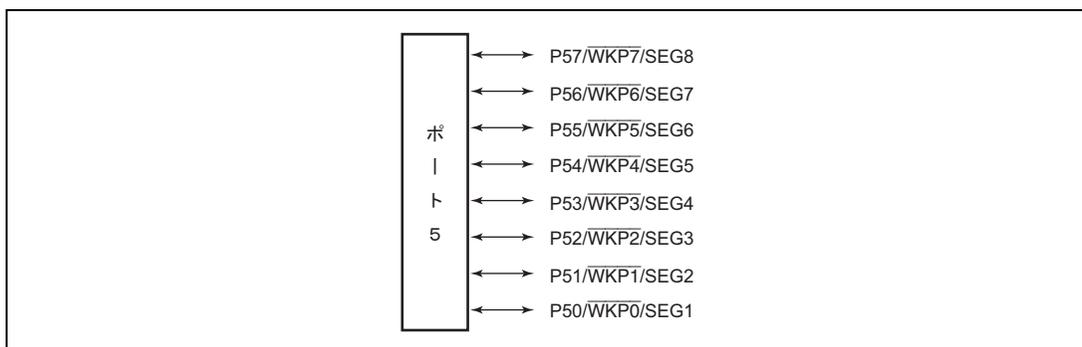


図 8.4 ポート 5 の端子構成

ポート 5 には以下のレジスタがあります。

- ポートデータレジスタ 5 (PDR5)
- ポートコントロールレジスタ 5 (PCR5)
- ポートプルアップコントロールレジスタ 5 (PUCR5)
- ポートモードレジスタ 5 (PMR5)

8.3.1 ポートデータレジスタ 5 (PDR5)

PDR5 は、データを格納するレジスタです。

ビット	ビット名	初期値	R/W	説明
7	P57	0	R/W	PCR5 が 1 のとき、ポート 5 のリードを行うと、PDR5 の値を直接リードします。そのため端子状態の影響を受けません。PCR5 が 0 のとき、ポート 5 のリードを行うと、端子状態が読み出されます。
6	P56	0	R/W	
5	P55	0	R/W	
4	P54	0	R/W	
3	P53	0	R/W	
2	P52	0	R/W	
1	P51	0	R/W	
0	P50	0	R/W	

8.3.2 ポートコントロールレジスタ 5 (PCR5)

PCR5 は、ポート 5 の入出力をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7	PCR57	0	W	PCR5 に 1 をセットすると対応する P57 ~ P50 端子は出力端子となり、0 にクリアすると入力端子となります。PMR5、LPCR の SGS3 ~ SGS0 により当該端子が汎用入出力に設定されている場合には、PCR5 および PDR5 の設定が有効となります。本レジスタはライト専用です。リードした場合各ビットは常に 1 が読み出されます。
6	PCR56	0	W	
5	PCR55	0	W	
4	PCR54	0	W	
3	PCR53	0	W	
2	PCR52	0	W	
1	PCR51	0	W	
0	PCR50	0	W	

8.3.3 ポートプルアップコントロールレジスタ 5 (PUCR5)

PUCR5 は、ポート 5 のプルアップ MOS をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7	PUCR57	0	R/W	PCR5 が 0 の状態で PUCR5 に 1 をセットすると対応するプルアップ MOS は ON 状態となり、0 にクリアすると OFF 状態となります。
6	PUCR56	0	R/W	
5	PUCR55	0	R/W	
4	PUCR54	0	R/W	
3	PUCR53	0	R/W	
2	PUCR52	0	R/W	
1	PUCR51	0	R/W	
0	PUCR50	0	R/W	

8.3.4 ポートモードレジスタ 5 (PMR5)

PMR5 は、ポート 5 の各端子機能の切り替えを制御します。

ビット	ビット名	初期値	R/W	説明
7	WKP7	0	R/W	P5n/WKPN/SEGn+1 端子機能切り替え P5n/WKPN/SEGn+1 端子を SEGn+1 端子として使用しない場合に、P5n 端子として使用するか、WKPN 端子として使用するかを設定します。 0 : P5n 入出力端子として機能 1 : WKPN 入力端子として機能 (n = 7 ~ 0)
6	WKP6	0	R/W	
5	WKP5	0	R/W	
4	WKP4	0	R/W	
3	WKP3	0	R/W	
2	WKP2	0	R/W	
1	WKP1	0	R/W	
0	WKP0	0	R/W	

【注】 SEGn+1 としての使用については、「13.3.1 LCD ポートコントロールレジスタ (LPCR)」を参照してください。

8. I/O ポート

8.3.5 端子機能

ポート 5 の端子機能を示します。

- P57/WKP7/SEG8 ~ P54/WKP4/SEG5

PMR5 の WKP_n、PCR5 の PCR5_n、および LPCR の SGS3 ~ SGS0 の組み合わせで、次のように切り替わります。

(n = 7 ~ 4)

SGS3 ~ SGS0	B'0010、B'0011、B'0100、B'0101、 B'0110、B'0111、B'1000、B'1001 以外			B'0010、B'0011、 B'0100、B'0101、 B'0110、B'0111、 B'1000、B'1001
WKP _n	0	0	1	*
PCR5 _n	0	1	*	*
端子機能	P5n 入力端子	P5n 出力端子	WKP _n 入力端子	SEG _{n+1} 出力端子

【記号説明】 * : Don't care

- P53/WKP3/SEG4 ~ P50/WKP0/SEG1

PMR5 の WKP_m、PCR5 の PCR5_m、および LPCR の SGS3 ~ SGS0 の組み合わせで、次のように切り替わります。

(m = 3 ~ 0)

SGS3 ~ SGS0	B'0001、B'0010、B'0011、B'0100、 B'0101、B'0110、B'0111、B'1000 以外			B'0001、B'0010、 B'0011、B'0100、 B'0101、B'0110、 B'0111、B'1000
WKP _m	0	0	1	*
PCR5 _m	0	1	*	*
端子機能	P5m 入力端子	P5m 出力端子	WKP _m 入力端子	SEG _{m+1} 出力端子

【記号説明】 * : Don't care

8.3.6 入力プルアップ MOS

ポート 5 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。PCR5 が 0 にクリアされている状態で PUCR5 に 1 をセットすると入力プルアップ MOS は ON 状態となります。また、入力プルアップ MOS はリセット時、OFF 状態になります。

(n = 7 ~ 0)

PCR5 _n	0		1
PUCR5 _n	0	1	*
入力プルアップ MOS	OFF	ON	OFF

【記号説明】 * : Don't care

8.4 ポート 6

ポート 6 は、LCD セグメント出力端子と兼用の入出力ポートです。ポート 6 の各端子は、図 8.5 に示す構成になっています。

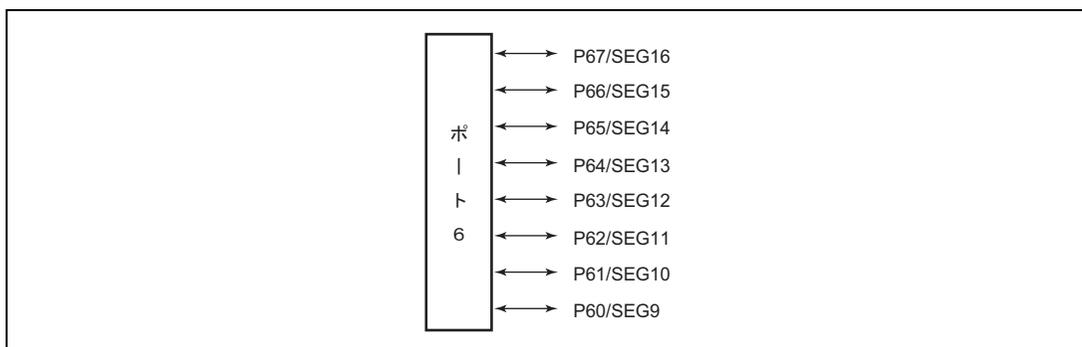


図 8.5 ポート 6 の端子構成

ポート 6 には以下のレジスタがあります。

- ポートデータレジスタ 6 (PDR6)
- ポートコントロールレジスタ 6 (PCR6)
- ポートプルアップコントロールレジスタ 6 (PUCR6)

8.4.1 ポートデータレジスタ 6 (PDR6)

PDR6 は、ポート 6 のデータを格納するレジスタです。

ビット	ビット名	初期値	R/W	説明
7	P67	0	R/W	PCR6 が 1 のとき、ポート 6 のリードを行うと、PDR6 の値を直接リードします。そのため端子状態の影響を受けません。PCR6 が 0 のとき、ポート 6 のリードを行うと、端子状態が読み出されます。
6	P66	0	R/W	
5	P65	0	R/W	
4	P64	0	R/W	
3	P63	0	R/W	
2	P62	0	R/W	
1	P61	0	R/W	
0	P60	0	R/W	

8. I/O ポート

8.4.2 ポートコントロールレジスタ 6 (PCR6)

PCR6 は、ポート 6 の入出力をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7	PCR67	0	W	PCR6 に 1 をセットすると対応する P67 ~ P60 端子は出力端子となり、0 にクリアすると入力端子となります。LPCR の SGS3 ~ SGS0 により当該端子が汎用入出力に設定されている場合には、PCR6 および PDR6 の設定が有効となります。本レジスタはライト専用です。リードした場合各ビットは常に 1 が読み出されます。
6	PCR66	0	W	
5	PCR65	0	W	
4	PCR64	0	W	
3	PCR63	0	W	
2	PCR62	0	W	
1	PCR61	0	W	
0	PCR60	0	W	

8.4.3 ポートプルアップコントロールレジスタ 6 (PUCR6)

PUCR6 は、ポート 6 のプルアップ MOS をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7	PUCR67	0	R/W	PCR6 が 0 の状態で PUCR6 に 1 をセットすると対応するプルアップ MOS は ON 状態となり、0 にクリアすると OFF 状態となります。
6	PUCR66	0	R/W	
5	PUCR65	0	R/W	
4	PUCR64	0	R/W	
3	PUCR63	0	R/W	
2	PUCR62	0	R/W	
1	PUCR61	0	R/W	
0	PUCR60	0	R/W	

8.4.4 端子機能

ポート 6 の端子機能を示します。

- P67/SEG16 ~ P64/SEG13

PCR6 の PCR6n と LPCR の SGS3 ~ SGS0 の組み合わせで、次のように切り替わります。

(n = 7 ~ 4)

SGS3 ~ SGS0	B'0100、B'0101、B'0110、B'0111、 B'1000、B'1001、B'1010、B'1011 以外		B'0100、B'0101、 B'0110、B'0111、 B'1000、B'1001、 B'1010、B'1011
PCR6n	0	1	*
端子機能	P6n 入力端子	P6n 出力端子	SEGn+9 出力端子

【記号説明】 * : Don't care

- P63/SEG12 ~ P60/SEG9

PCR6 の PCR6m と LPCR の SGS3 ~ SGS0 の組み合わせで、次のように切り替わります。

(m = 3 ~ 0)

SGS3 ~ SGS0	B'0011、B'0100、B'0101、B'0110、 B'0111、B'1000、B'1001、B'1010 以外		B'0011、B'0100、 B'0101、B'0110、 B'0111、B'1000、 B'1001、B'1010
PCR6m	0	1	*
端子機能	P6m 入力端子	P6m 出力端子	SEGm+9 出力端子

【記号説明】 * : Don't care

8.4.5 入力プルアップ MOS

ポート 6 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。PCR6 が 0 にクリアされている状態で PUCR6 に 1 をセットすると入力プルアップ MOS は ON 状態となります。また、入力プルアップ MOS はリセット時、OFF 状態になります。

(n = 7 ~ 0)

PCR6n	0		1
PUCR6n	0	1	*
入力プルアップ MOS	OFF	ON	OFF

【記号説明】 * : Don't care

8. I/O ポート

8.5 ポート 7

ポート 7 は、LCD セグメント出力端子と兼用の入出力ポートです。ポート 7 の各端子は、図 8.6 に示す構成になっています。

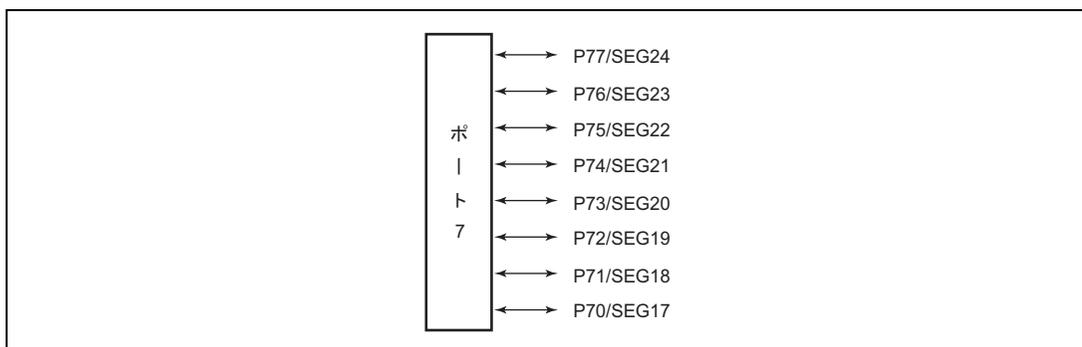


図 8.6 ポート 7 の端子構成

ポート 7 には以下のレジスタがあります。

- ポートデータレジスタ 7 (PDR7)
- ポートコントロールレジスタ 7 (PCR7)

8.5.1 ポートデータレジスタ 7 (PDR7)

PDR7 は、ポート 7 のデータを格納するレジスタです。

ビット	ビット名	初期値	R/W	説明
7	P77	0	R/W	PCR7 が 1 のとき、ポート 7 のリードを行うと、PDR7 の値を直接リードします。そのため端子状態の影響を受けません。PCR7 が 0 のとき、ポート 7 のリードを行うと、端子状態が読み出されます。
6	P76	0	R/W	
5	P75	0	R/W	
4	P74	0	R/W	
3	P73	0	R/W	
2	P72	0	R/W	
1	P71	0	R/W	
0	P70	0	R/W	

8.5.2 ポートコントロールレジスタ 7 (PCR7)

PCR7 は、ポート 7 の入出力をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7	PCR77	0	W	PCR7 に 1 をセットすると対応する P77 ~ P70 端子は出力端子となり、0 にクリアすると入力端子となります。LPCR の SGS3 ~ SGS0 により当該端子が汎用入出力に設定されている場合には、PCR7 および PDR7 の設定が有効となります。本レジスタはライト専用です。リードした場合、各ビットは常に 1 が読み出されます。
6	PCR76	0	W	
5	PCR75	0	W	
4	PCR74	0	W	
3	PCR73	0	W	
2	PCR72	0	W	
1	PCR71	0	W	
0	PCR70	0	W	

8.5.3 端子機能

ポート 7 の端子機能を示します。

- P77/SEG24 ~ P74/SEG21

PCR7 の PCR7n と LPCR の SGS3 ~ SGS0 の組み合わせで、次のように切り替わります。

(n = 7 ~ 4)

SGS3 ~ SGS0	B'0110、B'0111、B'1000、B'1001、 B'1010、B'1011、B'1100、B'1101 以外		B'0110、B'0111、 B'1000、B'1001、 B'1010、B'1011、 B'1100、B'1101
PCR7n	0	1	*
端子機能	P7n 入力端子	P7n 出力端子	SEGN+17 出力端子

【記号説明】 * : Don't care

- P73/SEG20 ~ P70/SEG17

PCR7 の PCR7m と LPCR の SGS3 ~ SGS0 の組み合わせで、次のように切り替わります。

(m = 3 ~ 0)

SGS3 ~ SGS0	B'0101、B'0110、B'0111、B'1000、 B'1001、B'1010、B'1011、B'1100 以外		B'0101、B'0110、 B'0111、B'1000、 B'1001、B'1010、 B'1011、B'1100
PCR7m	0	1	*
端子機能	P7m 入力端子	P7m 出力端子	SEGm+17 出力端子

【注】 * : Don't care

8. I/Oポート

8.6 ポート 8

ポート 8 は、LCD セグメント出力端子と兼用の入出力ポートです。ポート 8 の端子は、図 8.7 に示す構成になっています。

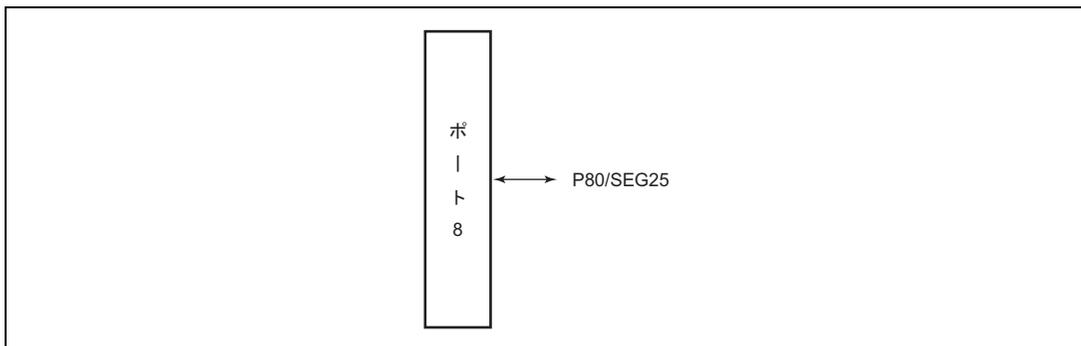


図 8.7 ポート 8 の端子構成

ポート 8 には以下のレジスタがあります。

- ポートデータレジスタ 8 (PDR8)
- ポートコントロールレジスタ 8 (PCR8)

8.6.1 ポートデータレジスタ 8 (PDR8)

PDR8 は、ポート 8 の端子を格納するレジスタです。

ビット	ビット名	初期値	R/W	説明
7-1				リザーブビット
0	P80	0	R/W	PCR8 が 1 のとき、ポート 8 のリードを行うと、PDR8 の値を直接リードします。そのため端子状態の影響を受けません。PCR8 が 0 のとき、ポート 8 のリードを行うと、端子状態が読み出されます。

8.6.2 ポートコントロールレジスタ 8 (PCR8)

PCR8 は、ポート 8 の入出力をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7~1			W	リザーブビット ライトする場合は 0 ライトのみ可能です。
0	PCR80	0	W	PCR8 に 1 をセットすると対応する P80 端子は出力端子となり、0 にクリアすると入力端子となります。LPCR の SGS3 ~ SGS0 により当該端子が汎用入出力に設定されている場合には、PCR8 および PDR8 の設定が有効となります。 本レジスタはライト専用です。

8.6.3 端子機能

ポート 8 の端子機能を示します。

- P80/SEG25

PCR8 の PCR80 と LPCR の SGS3 ~ SGS0 の組み合わせで、次のように切り替わります。

SGS3 ~ SGS0	B'0111、B'1000、B'1001、B'1010、 B'1011、B'1100、B'1101、B'1110 以外		B'0111、B'1000、 B'1001、B'1010、 B'1011、B'1100、 B'1101、B'1110
PCR80	0	1	*
端子機能	P80 入力端子	P80 出力端子	SEG25 出力端子

【記号説明】 * : Don't care

8. I/O ポート

8.7 ポート 9

ポート9は、PWM 出力端子と兼用の NMOS 出力専用の大電流ポートです。ポート9の各端子は、図 8.8 に示す構成になっています。

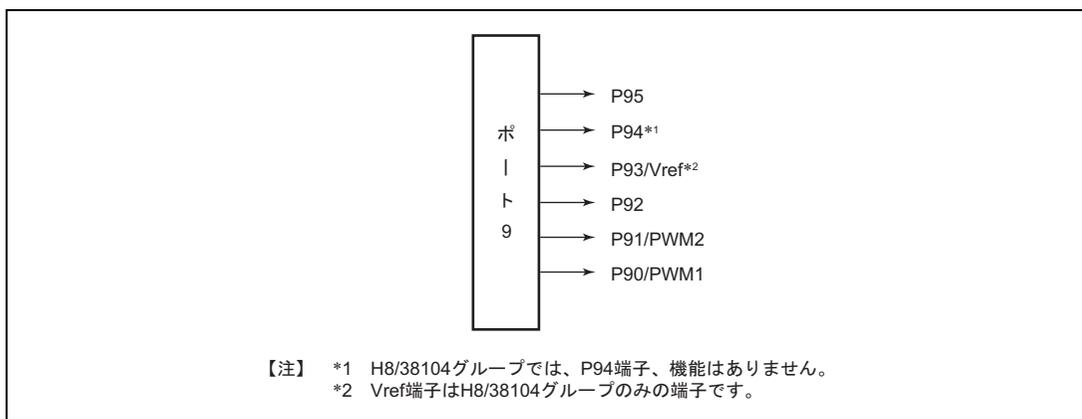


図 8.8 ポート 9 の端子構成

ポート9には以下のレジスタがあります。

- ポートデータレジスタ9 (PDR9)
- ポートモードレジスタ9 (PMR9)

8.7.1 ポートデータレジスタ 9 (PDR9)

PDR9は、ポート9のデータを格納するレジスタです。

ビット	ビット名	初期値	R/W	説明
7、6		すべて 1		リザーブビット 初期値を変更しないでください。
5	P95	1	R/W	このレジスタをリードすると、常に PDR9 の値を直接リードします。
4	P94*	1	R/W	
3	P93	1	R/W	
2	P92	1	R/W	
1	P91	1	R/W	
0	P90	1	R/W	

【注】 * H8/38104 グループでは、P94 端子、機能はありませんが、レジスタの R/W は可能です。

8.7.2 ポートモードレジスタ 9 (PMR9)

PMR9 は、P90 ~ P91 端子機能の切り替えを制御します。

ビット	ビット名	初期値	R/W	説明
7~4		すべて 1		リザーブビット 初期値を変更しないでください。
3	PIOFF	0	R/W	P92 ~ P90 昇圧回路コントロール P92 ~ P90 の昇圧回路の ON / OFF を制御します。 0 : 大電流ポートの昇圧回路を ON 1 : 大電流ポートの昇圧回路を OFF 【注】このビットは H8/3802 グループのみ有効です。H8/3802 グループ以外ではリード/ライト可能なりザーブビットになります。
2			W	リザーブビット ライトする場合は 0 ライトのみ可能です。
1	PWM2	0	R/W	P9n/PWM 端子機能切り替え P9n/PWMn+1 端子を P9n 端子として使用するか、PWMn+1 として使用するか設定します。(n=1, 0) 0 : P9n 出力端子として機能 1 : PWMn+1 出力端子として機能
0	PWM1	0	R/W	

【注】 昇圧回路を ON / OFF させるときは必ずバッファの NMOS が OFF (ポートデータが 1) のときにレジスタを書き換えてください。

また昇圧回路を ON させるときはまず PIOFF を 0 にクリアして、30 システムクロック経過後バッファの NMOS を ON (ポートデータを 0) させてください。

30 システムクロック経たないと昇圧回路が立ち上がりませんので大電流を流すことができず、動作が不安定になります。

8.7.3 端子機能

ポート 9 の端子機能を示します。

- P91/PWMn+1 ~ P90/PWMn+1

(n = 1, 0)

PMR9n	0	1
端子機能	P9n 出力端子	PWMn+1 出力端子

- P93/Vref

LVDSRのVREFSELにより、次のように切り替わります。ただし、H8/38104グループのみ適用となります。

Vref端子は、LVDの外部基準電圧入力端子です。

VREFSEL	0	1
端子機能	P93 出力端子	Vref 入力端子

8. I/O ポート

8.8 ポート A

ポート A は、LCD コモン出力端子と兼用の入出力ポートです。ポート A の各端子は、図 8.9 に示す構成になっています。

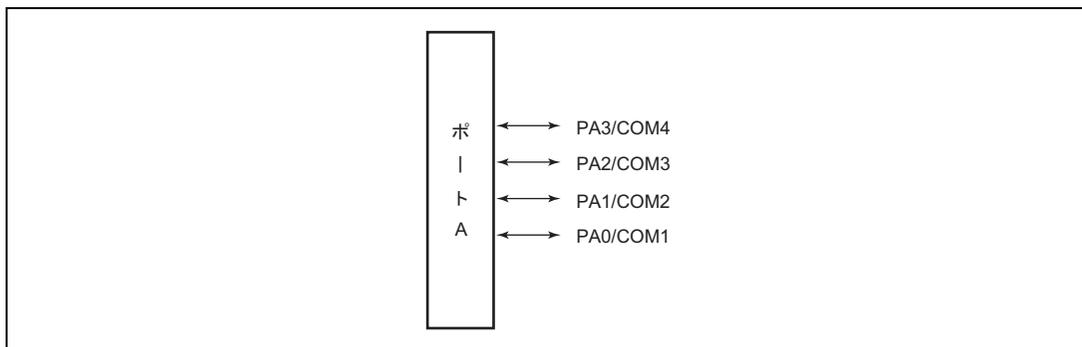


図 8.9 ポート A の端子構成

ポート A には以下のレジスタがあります。

- ポートデータレジスタ A (PDRA)
- ポートコントロールレジスタ A (PCRA)

8.8.1 ポートデータレジスタ A (PDRA)

PDRA は、ポート A のデータを格納するレジスタです。

ビット	ビット名	初期値	R/W	説明
7-4		すべて 1		リザーブビット 初期値を変更しないでください。
3	PA3	0	R/W	PCRA が 1 のとき、ポート A のリードを行うと、PDRA の値を直接リードします。そのため端子状態の影響を受けません。PCRA が 0 のとき、ポート A のリードを行うと、端子状態が読み出されます。
2	PA2	0	R/W	
1	PA1	0	R/W	
0	PA0	0	R/W	

8.8.2 ポートコントロールレジスタ A (PCRA)

PCRA は、ポート A の入出力をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7~4		すべて 1		リザーブビット 初期値を変更しないでください。
3	PCRA3	0	W	PCRA に 1 をセットすると対応する PA3~PA0 端子は出力端子となり、0 にクリアすると入力端子となります。LPCR により当該端子が汎用入出力に設定されている場合には、PCRA および PDRA の設定が有効となります。 本レジスタはライト専用です。リードした場合、各ビットは常に 1 が読み出されます。
2	PCRA2	0	W	
1	PCRA1	0	W	
0	PCRA0	0	W	

8.8.3 端子機能

ポート A の端子機能を示します。

- PA3/COM4

PCRA の PCRA3 と SGS3~SGS0 の組み合わせで、次のように切り替わります。

SGS3~SGS0	B'0000	B'0000	B'0000 以外
PCRA3	0	1	*
端子機能	PA3 入力端子	PA3 出力端子	COM4 出力端子

【記号説明】 * : Don't care

- PA2/COM3

PCRA の PCRA2 と SGS3~SGS0 の組み合わせで、次のように切り替わります。

SGS3~SGS0	B'0000	B'0000	B'0000 以外
PCRA2	0	1	*
端子機能	PA2 入力端子	PA2 出力端子	COM3 出力端子

【記号説明】 * : Don't care

- PA1/COM2

PCRA の PCRA1 と SGS3~SGS0 の組み合わせで、次のように切り替わります。

SGS3~SGS0	B'0000	B'0000	B'0000 以外
PCRA1	0	1	*
端子機能	PA1 入力端子	PA1 出力端子	COM2 出力端子

【記号説明】 * : Don't care

8. I/O ポート

- PA0/COM1

PCRA の PCRA0 と SGS3 ~ SGS0 の組み合わせで、次のように切り替わります。

SGS3 ~ SGS0	B'0000	B'0000	B'0000 以外
PCRA0	0	1	*
端子機能	PA0 入力端子	PA0 出力端子	COM1 出力端子

【記号説明】 * : Don't care

8.9 ポート B

ポート B は、割り込み入力端子、アナログ入力端子と兼用の入力専用ポートです。ポート B の各端子は、図 8.10 に示す構成になっています。

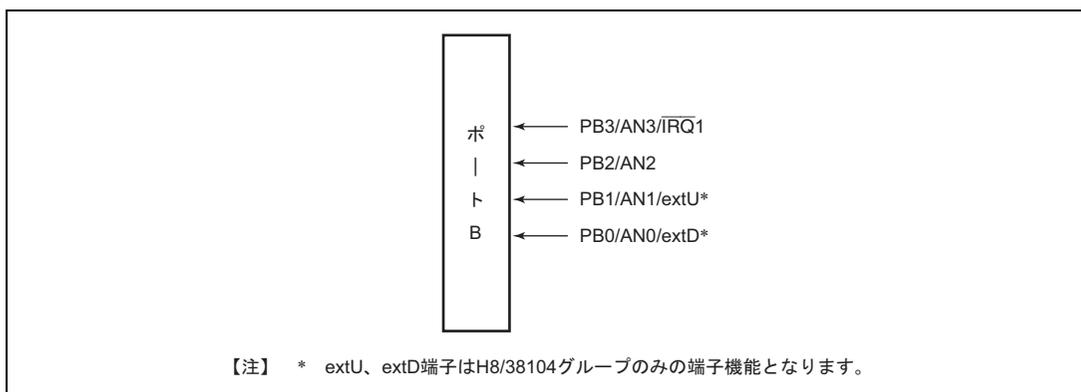


図 8.10 ポート B の端子構成

ポート B には以下のレジスタがあります。

- ポートデータレジスタ B (PDRB)
- ポートモードレジスタ B (PMRB)

8.9.1 ポートデータレジスタ B (PDRB)

PDRB は、ポート B のデータを格納するレジスタです。

ビット	ビット名	初期値	R/W	説明
7-4		不定		リザーブビット
3	PB3	不定	R	PDRB をリードすると常に各端子の状態が読み出されます。ただし、A/D 変換器の AMR の CH3 ~ CH0 によりアナログ入力チャネルが選択されている端子をリードすると入力電圧に関係なく 0 が読み出されます。
2	PB2		R	
1	PB1		R	
0	PB0		R	

8.9.2 ポートモードレジスタ B (PMRB)

PMRB は、PB3 端子機能の切り替えを制御します。

ビット	ビット名	初期値	R/W	説明
7~4		すべて 1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3	IRQ1	0	R/W	PB3/AN3/ $\overline{\text{IRQ1}}$ 端子機能切り替え PB3/AN3/ $\overline{\text{IRQ1}}$ 端子を PB3/AN3 端子として使用するか、 $\overline{\text{IRQ1}}$ 端子として使用するかを設定します。 0 : PB3/AN3 入力端子として機能 1 : $\overline{\text{IRQ1}}$ 入力端子として機能
2~0		すべて 1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

8.9.3 端子機能

ポート B の端子機能を示します。

- PB3/AN3/ $\overline{\text{IRQ1}}$

AMR の CH3 ~ CH0、PMRB の IRQ1 の組み合わせで、次のように切り替わります。

IRQ1	0		1
CH3 ~ CH0	B'0111 以外	B'0111	*
端子機能	PB3 入力端子	AN3 入力端子	$\overline{\text{IRQ1}}$ 入力端子

【記号説明】 * : Don't care

- PB2/AN2

AMR の CH3 ~ CH0 により次のように切り替わります。

CH3 ~ CH0	B'0110 以外	B'0110
端子機能	PB2 入力端子	AN2 入力端子

- PB1/AN1/extU

AMR の CH3 ~ CH0、LVDCR の VINTUSEL の組み合わせで、次のように切り替わります。

ただし、extU 端子、VINTUSEL は H8/38104 グループのみとなります。

VINTUSEL	0		1
CH3 ~ CH0	B'0101 以外	B'0101	*
端子機能	PB1 入力端子	AN1 入力端子	extU 入力端子

【記号説明】 * : Don't care

8. I/Oポート

- PB0/AN0/extD

AMRのCH3~CH0、LVDCRのVINTDSELの組み合わせで、次のように切り替わります。

ただし、extD端子、VINTDSELはH8/38104グループのみとなります。

VINTDSEL	0		1
CH3~CH0	B'0100 以外	B'0100	*
端子機能	PB0 入力端子	AN0 入力端子	extD 入力端子

【記号説明】 * : Don't care

8.10 使用上の注意事項

8.10.1 未使用端子の処理

ユーザシステムで使用していない入出力端子がフローティングの場合、フローティング端子はプルアップまたはプルダウンしてください。

- 未使用端子が入力設定の場合は下記のいずれかの設定にしてください。

1. 内蔵プルアップMOSでVccにプルアップ
2. 外部に100k 程度の抵抗をつけてVccにプルアップ
3. 外部に100k 程度の抵抗をつけてVssにプルダウン
4. A/D変換器の端子と兼用している端子はAVccにプルアップ

- 未使用端子が出力設定の場合は下記のいずれかの設定にしてください。

1. 未使用端子をHighレベル出力にし、内蔵プルアップMOSでVccにプルアップ
2. 未使用端子をHighレベル出力にし、外部に100k 程度の抵抗をつけてVccにプルアップ
3. 未使用端子をLowレベル出力にし、外部に100k 程度の抵抗をつけてGNDにプルダウン

9. タイマ

9.1 概要

H8/3802 グループは 3 本のタイマ (タイマ A、F、非同期イベントカウンタ) を内蔵し、H8/38004 グループ、H8/38002S グループ、H8/38104 グループは 4 本のタイマ (タイマ A、F、非同期イベントカウンタ、ウォッチドッグタイマ) を内蔵しています。

各タイマの機能概要を表 9.1 に示します。

表 9.1 タイマの機能概要

タイマ名称	機能	内部クロック	イベント 入力端子	波形 出力端子	備考
タイマ A	<ul style="list-style-type: none"> 8 ビットのタイマ 	/8 ~ /8192	-	-	
	<ul style="list-style-type: none"> インターバル機能 時計用タイムベース機能 	(8 種類) w/128 (オーバフロー周期 は 4 種類選択可)			
タイマ F	<ul style="list-style-type: none"> 16 ビットのタイマ 独立した 2 本の 8 ビットタイマとして使用可能 アウトプットコンペア出力機能 	/4 ~ /32、 w/4 (4 種類)	-	TMOFL TMOFH	
非同期 イベント カウンタ	<ul style="list-style-type: none"> 16 ビットのカウンタ 独立した 2 本の 8 ビットカウンタとして使用可能 、 w と非同期のイベント機能 マイコンの内部クロックとは無関係に非同期イベント (立ち上がり / 立ち下がり / 両エッジ) をカウント可能 	/2 ~ /8 (3 種類)	AEVL AEVH IRQAEC	-	
ウォッチ ドッグ タイマ*	<ul style="list-style-type: none"> 8 ビットカウンタのオーバフローでリセット信号を発生 	/8192 w/32	-	-	H8/38004、 H8/38002S グループ
		/64 ~ /8192 w/32 オンチップオシレータ			H8/38104 グループ

【注】 * H8/38004、H8/38002S グループと H8/38104 グループではウォッチドッグタイマの機能が異なります。詳細は、「9.5 ウォッチドッグタイマ」を参照してください。

9. タイマ

9.2 タイマ A

タイマ A はインターバルタイマ/時計用タイムベース機能を内蔵した 8 ビットのタイマです。32.768kHz の水晶発振器を接続すると時計用タイムベースとして使用できます。ブロック図を図 9.1 に示します。

9.2.1 特長

- タイマ A はインターバルタイマまたは時計用タイムベースとして設定可能
- カウンタのオーバーフローで割り込みを発生
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能（詳細は、「5.4 モジュールスタンバイ機能」を参照してください。）

インターバルタイマ

- 8種類の内蔵クロック（ $\phi/8192$ 、 $\phi/4096$ 、 $\phi/2048$ 、 $\phi/512$ 、 $\phi/256$ 、 $\phi/128$ 、 $\phi/32$ 、 $\phi/8$ ）を選択可能

時計用タイムベース

- 4種類のオーバーフロー周期（1s、0.5s、0.25s、31.25ms）を選択可能（32.768kHz水晶発振器使用時）

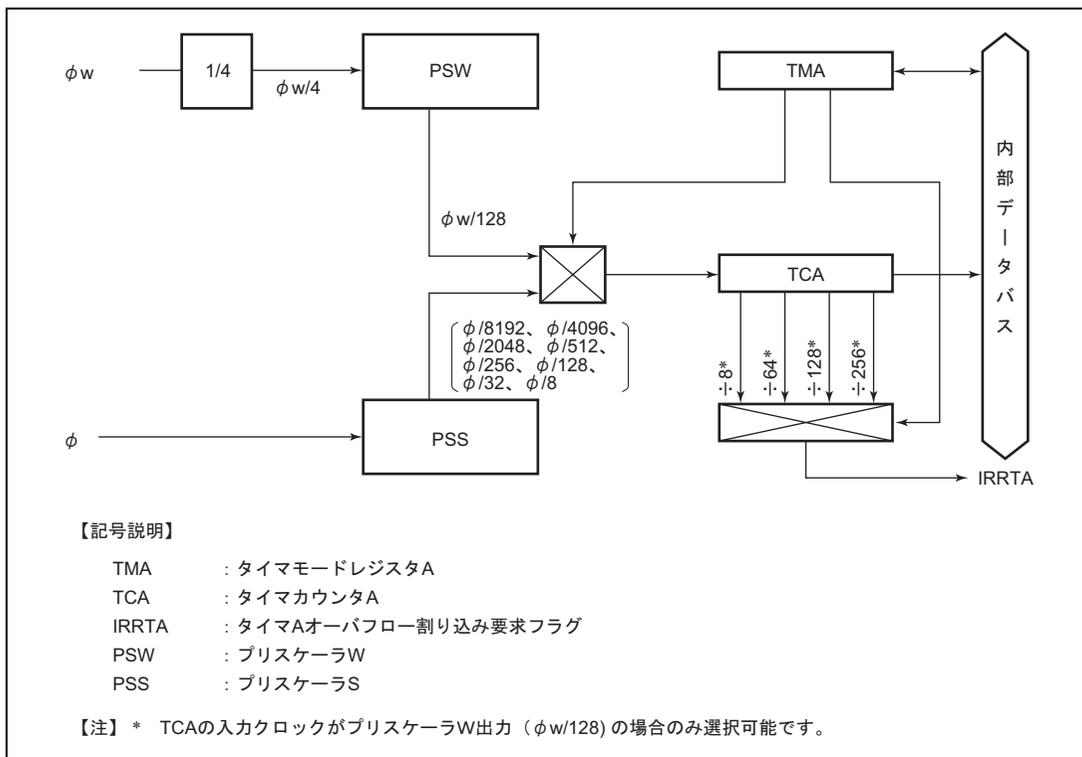


図 9.1 タイマ A ブロック図

9.2.2 レジスタの説明

タイマ A には以下のレジスタがあります。

- タイマモードレジスタ A (TMA)
- タイマカウンタ A (TCA)

(1) タイマモードレジスタ A (TMA)

TMA は動作モードの選択、および分周クロック出力、入力クロックの選択を行います。

ビット	ビット名	初期値	R/W	説明
7~5	-	-	W	リザーブビット 0 ライトのみ可能です。
4		1		リザーブビット リードすると常に 1 が読み出されます。
3	TMA3	0	R/W	インターナルクロックセレクト 3 タイマ A の動作モードを選択します。 0 : プリスケアラ S の出力をカウントするインターバルタイマとして動作します。 1 : プリスケアラ W の出力をカウントする時計用タイムベースとして動作します。
2	TMA2	0	R/W	インターナルクロックセレクト 2~0 TMA3=0 のとき、TCA に入力するクロックを選択します。 000 : /8192 001 : /4096 010 : /2048 011 : /512 100 : /256 101 : /128 110 : /32 111 : /8 TMA3=1 のとき、オーバーフロー周期を選択します。 (W として 32.768kHz の水晶発振器を使用した場合) 000 : 1s 001 : 0.5s 010 : 0.25s 011 : 0.03125s 1XX : PSW と TCA はともにリセット状態になります。
1	TMA1	0	R/W	
0	TMA0	0	R/W	

【記号説明】 X : Don't care

9. タイマ

(2) タイマカウンタ A (TCA)

TCA は 8 ビットのリード可能なアップカウンタで、入力する内部クロックによりカウントアップされます。入力するクロックは TMA の TMA3 ~ TMA0 により選択します。TCA の値は、アクティブモード時は CPU からリードできますが、サブアクティブモード時ではリードできません。TCA がオーバーフローすると、割り込み要求レジスタ 1 (IRR1) の IRRTA が 1 にセットされます。TCA は TMA の TMA3、TMA2 を B'11 にセットすることでクリアできます。TCA の初期値は H'00 です。

9.2.3 動作説明

(1) インターバル動作

TMA の TMA3 を 0 にセットすると、タイマ A は 8 ビットインターバルタイマとして動作します。

リセット時、TCA は H'00、TMA3 は 0 にクリアされるため、リセット直後はインターバルタイマとして停止することなくカウントアップを続けます。タイマ A の動作クロックは、TMA の TMA2 ~ TMA0 により、プリスケラ S の出力する 8 種類の内部クロックを選択できます。

TCA のカウンタ値が H'FF になった後、クロックが入力されると、タイマ A はオーバーフローし、IRR1 の IRRTA が 1 にセットされます。このとき、割り込み許可レジスタ 1 (IENR1) の IENTA が 1 ならば CPU に割り込み要求を発生します。オーバーフローすると TCA のカウンタ値は H'00 に戻り、再びカウントアップを開始します。したがって、256 回の入力クロックごとに、オーバーフロー出力を発生するインターバルタイマとして動作します。

(2) 時計用タイムベース動作

TMA の TMA3 を 1 にセットすると、タイマ A はプリスケラ W の出力するクロックをカウントして、時計用タイムベースとして動作します。タイマ A のオーバーフロー周期は、TMA の TMA1、TMA0 により 4 種類選択できます。時計用タイムベース動作時 (TMA3 = 1) に TMA2 を 1 にすると、TCA およびプリスケラ W はともに H'00 にクリアされます。

9.2.4 タイマ A の動作モード

タイマ A の動作モードを表 9.2 に示します。

表 9.2 タイマ A の動作モード

動作モード		リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ	モジュールスタンバイ
TCA	インターバル	リセット	動作	動作	停止	停止	停止	停止	停止
	時計用タイムベース	リセット	動作*	動作*	動作	動作	動作	停止	停止
TMA		リセット	動作	保持	保持	動作	保持	保持	保持

【注】* アクティブモード、スリープモード時に、TCA の内部クロックとして時計用タイムベース機能を選択した場合、システムクロックと内部クロックとが非同期であるため同期回路で同期をとっています。これにより、カウント周期は最大で 1/ (s) の誤差が生じます。

9.3 タイマ F

タイマ F は、アウトプットコンペア機能を内蔵した 16 ビットのタイマです。コンペアマッチ信号によるカウンタのリセット、割り込み要求、トグル出力など、多機能タイマとして種々の応用が可能です。また、2 本の独立した 8 ビットタイマ (タイマ FH、タイマ FL) としても使用可能です。タイマ F のブロック図を図 9.2 に示します。

9.3.1 特長

- カウンタ入力クロック：4種類
内部クロック (/32、 /16、 /4、 w/4) の選択が可能
- トグル出力機能
1本のコンペアマッチ信号により、TMOFH端子 (TMOFL端子) にトグル出力します。
トグル出力の初期値を設定可能
- コンペアマッチ信号によるカウンタリセット
- 割り込み要因
コンペアマッチ×1要因、オーバーフロー×1要因
- TCRFのCKSH2~CKSH0ビットにより、16ビットモードと8ビットモードの選択が可能
- ウォッチモード、サブアクティブモード、サブスリープモードで動作可能
内部クロックとして w/4を選択すると、ウォッチモード、サブアクティブモード、サブスリープモードで動作できます。
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能
(詳細は、「5.4 モジュールスタンバイ機能」を参照してください。)

9. タイマ

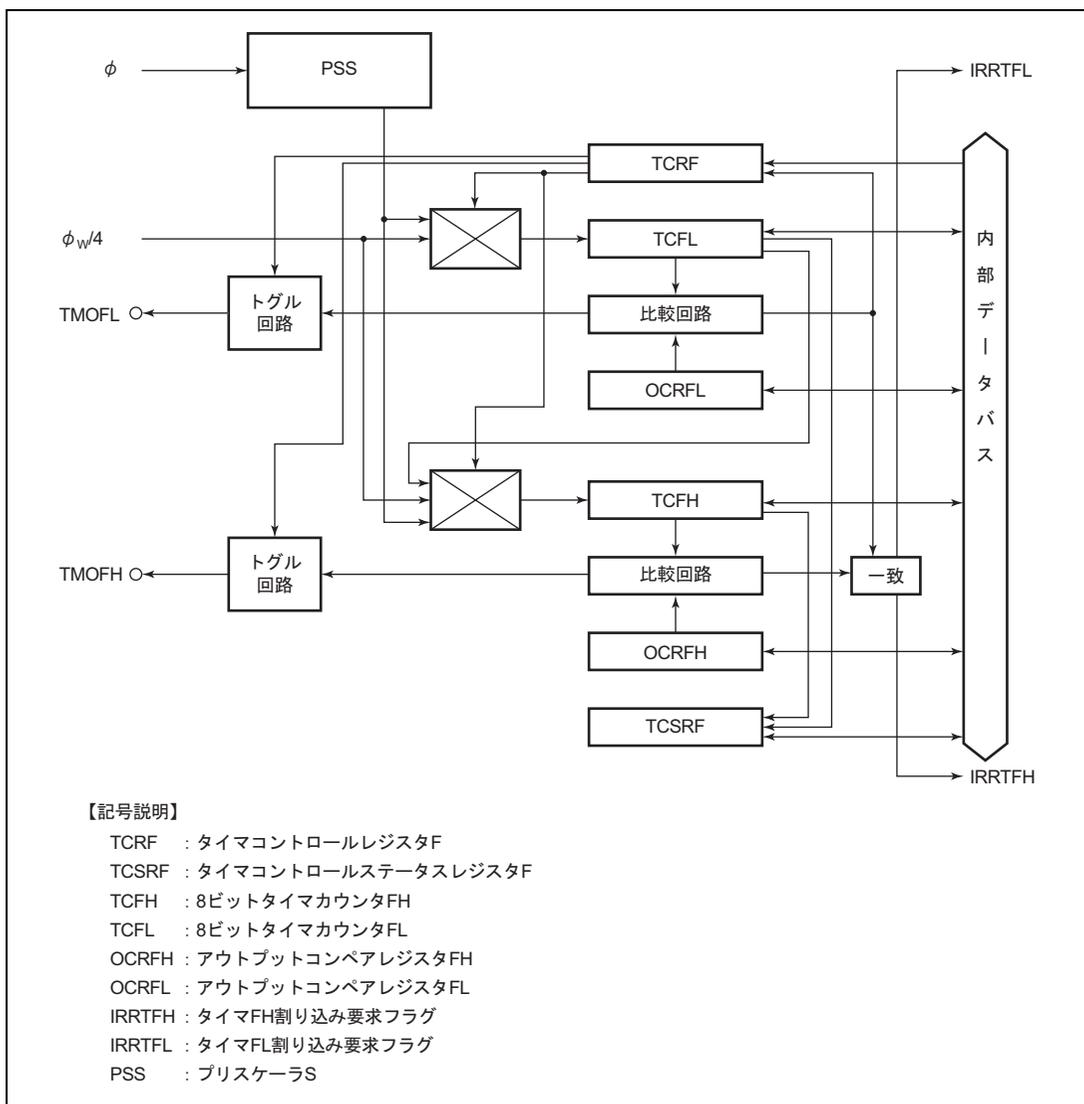


図 9.2 タイマFのブロック図

9.3.2 入出力端子

タイマ F の端子構成を表 9.3 に示します。

表 9.3 端子構成

名称	略称	入出力	機能
タイマ FH 出力	TMOFH	出力	タイマ FH トグル出力端子
タイマ FL 出力	TMOFL	出力	タイマ FL トグル出力端子

9.3.3 レジスタの説明

タイマ F には以下のレジスタがあります。

- タイマカウンタ FH、FL (TCFH、TCFL)
- アウトプットコンペアレジスタ FH、FL (OCRFH、OCRFL)
- タイマコントロールレジスタ F (TCRF)
- タイマコントロールステータスレジスタ F (TCSRf)

(1) タイマカウンタ FH、FL (TCFH、TCFL)

TCF は 16 ビットのリード/ライト可能なアップカウンタで、8 ビットのタイマカウンタ (TCFH、TCFL) のカスケード接続により構成されています。上位 8 ビットを TCFH、下位 8 ビットを TCFL とする 16 ビットカウンタとして使用できるほか、TCFH、TCFL を独立した 8 ビットカウンタとして使用することもできます。

TCFH、TCFL は、CPU からリード/ライト可能ですが、16 ビットモードで使用する場合、CPU とのデータ転送はテンポラリレジスタ (TEMP) を介して行われます。TEMP の詳細は「9.3.4 CPU とのインタフェース」を参照してください。リセット時、TCFH、TCFL は H'00 に初期化されます。

- 16ビットモード (TCF)

TCRF の CKSH2 を 0 に設定すると、TCF は 16 ビットカウンタとして動作します。TCF の入力クロックは、TCRF の CKSL2 ~ CKSL0 により選択します。

TCSRf の CCLRf により、コンペアマッチ時に TCF をクリアすることができます。

TCF がオーバフロー (H'FFFF H'0000) すると、TCSRf の OVfH が 1 にセットされます。このとき TCSRf の OVIEH が 1 の場合、IRR2 の IRRTFH が 1 にセットされ、さらに IENR2 の IENTFH が 1 ならば CPU に割り込みを要求します。

- 8ビットモード (TCFL/TCFH)

TCRF の CKSH2 を 1 に設定すると、TCFH、TCFL は 2 本の独立した 8 ビットカウンタとして動作します。TCFH (TCFL) の入力クロックは、TCRF の CKSH2 ~ CKSH0 (CKSL2 ~ CKSL0) により選択します。

TCSRf の CCLRf (CCLRl) により、コンペアマッチ時に TCFH (TCFL) をクリアすることができます。

TCFH (TCFL) がオーバフロー (H'FF H'00) すると、TCSRf の OVfH (OVfL) が 1 にセットされます。このとき TCSRf の OVIEH (OVIEl) が 1 の場合、IRR2 の IRRTFH (IRRTfL) が 1 にセットされ、さらに IENR2 の IENTFH (IENTfL) が 1 ならば CPU に割り込みを要求します。

9. タイマ

(2) アウトプットコンペアレジスタ FH、FL (OCRFH、OCRFL)

OCRFは16ビットのリード/ライト可能な2本のレジスタ(OCRFH、OCRFL)により構成されています。上位8ビットをOCRFH、下位8ビットをOCRFLとする16ビットレジスタとして使用できるほか、OCRFH、OCRFLを独立した8ビットレジスタとして使用することもできます。

OCRFH、OCRFLは、CPUからリード/ライト可能ですが、16ビットモードで使用する場合、CPUとのデータ転送はテンポラリレジスタ(TEMP)を介して行われます。TEMPの詳細は「9.3.4 CPUとのインタフェース」を参照してください。リセット時、OCRFH、OCRFLはH'FFに初期化されます。

- 16ビットモード(OCRF)

TCRFのCKSH2を0に設定すると、OCRFは16ビットレジスタとして動作します。OCRFの内容は、TCFと常に比較されており、両者の値が一致すると、TCSRのCMFHが1にセットされます。また、同時にIRR2のIRRTFHも1にセットされます。このときIENR2のIENTFHが1ならばCPUに割り込みを要求します。

コンペアマッチによるトグル出力をTMOFH端子より出力することができます。また、TCRFのTOLHにより、出力レベル(High/Low)の設定が可能です。

- 8ビットモード(OCRFH/OCRFL)

TCRFのCKSH2を1に設定すると、OCRFは2本の8ビットレジスタとして動作します。OCRFHの内容はTCFHと、またOCRFLの内容はTCFLとそれぞれ個別に比較されます。OCRFH(OCRFL)とTCFH(TCFL)の値が一致すると、TCSRのCMFH(CMFL)が1にセットされます。また、同時にIRR2のIRRTFH(IRRTFL)も1にセットされます。このとき、IENR2のIENTFH(IENTFL)が1ならばCPUに割り込みを要求します。

コンペアマッチによるトグル出力をTMOFH端子(TMOFL端子)より出力することができます。また、TCRFのTOLH(TOLL)により、出力レベル(High/Low)の設定が可能です。

(3) タイマコントロールレジスタ F (TCRF)

TCRF は 16 ビットモード / 8 ビットモードの切り替え、内部クロックの選択、TMOFH 端子および TMOFL 端子の出力レベルの選択を設定します。

ビット	ビット名	初期値	R/W	説明
7	TOLH	0	W	トグルアウトプットレベル H TMOFH 端子の出力レベルを設定します。 0 : Low レベル 1 : High レベル
6	CKSH2	0	W	クロックセレクト H TCFH に入力するクロックを内部クロックまたは TCFL のオーバーフローから選択します。 000 : 16 ビットモードとなり、TCFL のオーバーフロー信号でカウント 001 : 16 ビットモードとなり、TCFL のオーバーフロー信号でカウント 010 : 16 ビットモードとなり、TCFL のオーバーフロー信号でカウント 011 : 使用禁止 100 : 内部クロック /32 でカウント 101 : 内部クロック /16 でカウント 110 : 内部クロック /4 でカウント 111 : 内部クロック w/4 でカウント
5	CKSH1	0	W	
4	CKSH0	0	W	
3	TOLL	0	W	トグルアウトプットレベル L TMOFL 端子の出力レベルを設定します。 0 : Low レベル 1 : High レベル
2	CKSL2	0	W	クロックセレクト L TCFL に入力するクロックを内部クロックまたは外部イベントから選択します。 000 : 動作しません 001 : 使用禁止 010 : 使用禁止 011 : 使用禁止 100 : 内部クロック /32 でカウント 101 : 内部クロック /16 でカウント 110 : 内部クロック /4 でカウント 111 : 内部クロック w/4 でカウント
1	CKSL1	0	W	
0	CKSL0	0	W	

9. タイマ

(4) タイマコントロールステータスレジスタ F (TCSR F)

TCSR Fはカウンタクリアの選択、オーバーフローフラグやコンペアマッチフラグのセット、オーバーフローによる割り込み要求許可の制御を行います。

ビット	ビット名	初期値	R/W	説明
7	OVFH	0	R/W*	タイマオーバーフローフラグ H [セット条件] <ul style="list-style-type: none"> TCFH の値が H'FF から H'00 にオーバーフローしたとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき
6	CMFH	0	R/W*	コンペアマッチフラグ H TCFH と OCRFH がコンペアマッチしたことを示すステータスフラグです。 [セット条件] <ul style="list-style-type: none"> TCFH の値と OCRFH の値がコンペアマッチしたとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき
5	OVIEH	0	R/W	タイマオーバーフローインタラプトイネーブル H TCFH のオーバーフローが発生したとき、割り込みの許可または禁止を選択します。 0: TCFH のオーバーフローによる割り込み要求を禁止 1: TCFH のオーバーフローによる割り込み要求を許可
4	CCLR H	0	R/W	カウンタクリア H 16 ビットモード時、TCF と OCRF がコンペアマッチしたとき TCF をクリアするかどうか選択します。8 ビットモード時は、TCFH と OCRFH がコンペアマッチしたとき TCFH をクリアするかどうか選択します。 16 ビットモード時 0: コンペアマッチによる TCF のクリアを禁止 1: コンペアマッチによる TCF のクリアを許可 8 ビットモード時 0: コンペアマッチによる TCFH のクリアを禁止 1: コンペアマッチによる TCFH のクリアを許可
3	OVFL	0	R/W*	タイマオーバーフローフラグ L TCFL がオーバーフローしたことを示すステータスフラグです。 [セット条件] <ul style="list-style-type: none"> TCFL の値が H'FF から H'00 になったとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき

ビット	ビット名	初期値	R/W	説明
2	CMFL	0	R/W*	コンペアマッチフラグ L TCFL と OCRFL がコンペアマッチしたことを示すステータスフラグです。 [セット条件] <ul style="list-style-type: none"> TCFL の値と OCRFL の値がコンペアマッチしたとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき
1	OVIEL	0	R/W	タイマオーバーフローインタラプトイネーブル L TCFL のオーバーフローが発生したとき、割り込みの禁止または許可を選択します。 0: TCFL のオーバーフローによる割り込み要求を禁止 1: TCFL のオーバーフローによる割り込み要求を許可
0	CCLRL	0	R/W	カウンタクリア L TCFL と OCRFL がコンペアマッチしたとき、TCFL をクリアするかどうかを選択します。 0: コンペアマッチによる TCFL のクリアを禁止 1: コンペアマッチによる TCFL のクリアを許可

【注】* フラグクリアのための 0 ライトのみ可能です。

9.3.4 CPU とのインタフェース

TCF、OCRF は 16 ビットのリード/ライト可能なレジスタで構成されています。一方、CPU と内蔵周辺モジュール間のデータバスは、8 ビット幅となっています。したがって CPU が TCF、OCRF をアクセスする場合、8 ビットのテンポラリレジスタ (TEMP) を介して行います。

16 ビットモードで TCF のリード/ライト、OCRF のライトを行うときは、上位バイトのみや下位バイトのみのアクセスでは、データは正しく転送されません。必ず 16 ビットレジスタ全体に対して行い(バイトサイズの MOV 命令を 2 回連続して行う)、かつ上位バイト、下位バイトの順序で行います。

なお、8 ビットモードでは特にアクセスの順序に制限はありません。

(1) ライト時の動作

上位バイトのライトにより、上位バイトのデータが TEMP に転送されます。

次に下位バイトのライトで、TEMP にあるデータが上位バイトのレジスタへ、下位バイトのデータは直接下位バイトのレジスタへライトされます。

TCF に H'AA55 をライトするときの TCF のライト動作を図 9.3 に示します。

9. タイマ

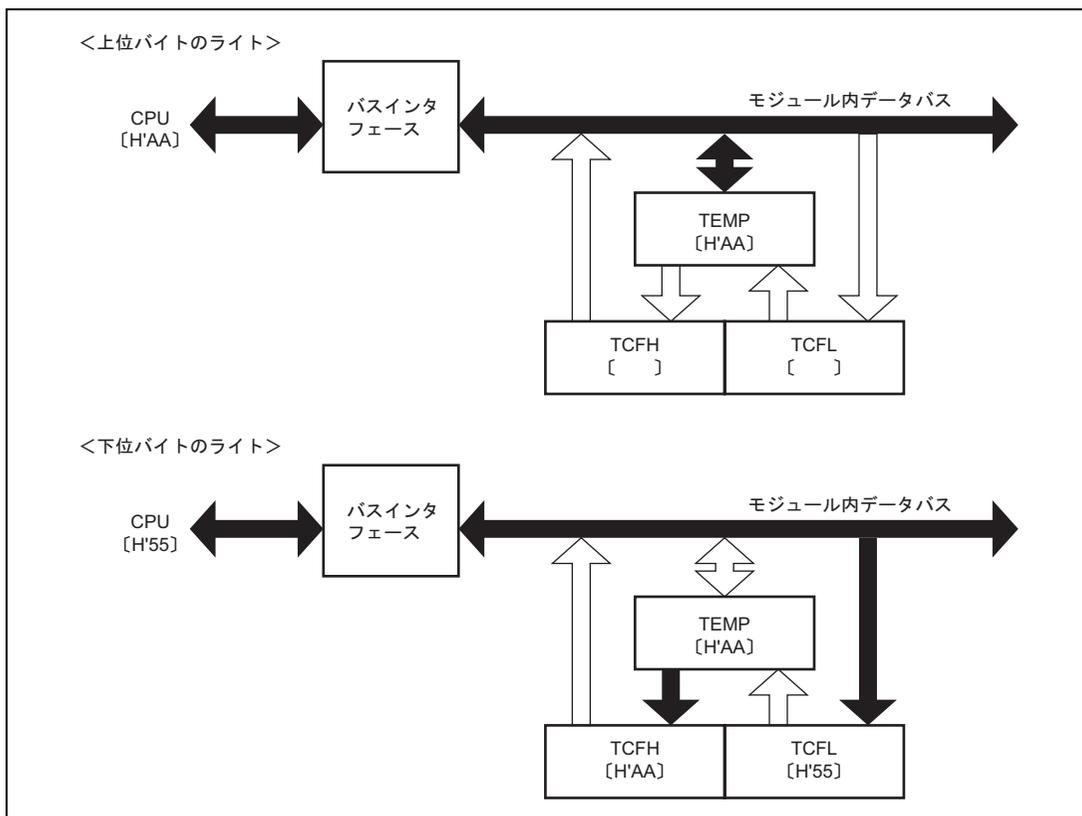


図 9.3 TCF のライト動作 (CPU TCF)

(2) リード時の動作

TCF の場合、上位バイトのリードで、上位バイトのデータは直接 CPU に転送され、下位バイトのデータは TEMP に転送されます。

次に下位バイトのリードで、TEMP にある下位バイトのデータが CPU に転送されます。OCRF の場合、上位バイトのリードで、上位バイトのデータは直接 CPU に転送されます。下位バイトのリードで、下位バイトのデータは直接 CPU に転送されます。

H'AAFF である TCF をリードしたときの TCF のリード動作を図 9.4 に示します。

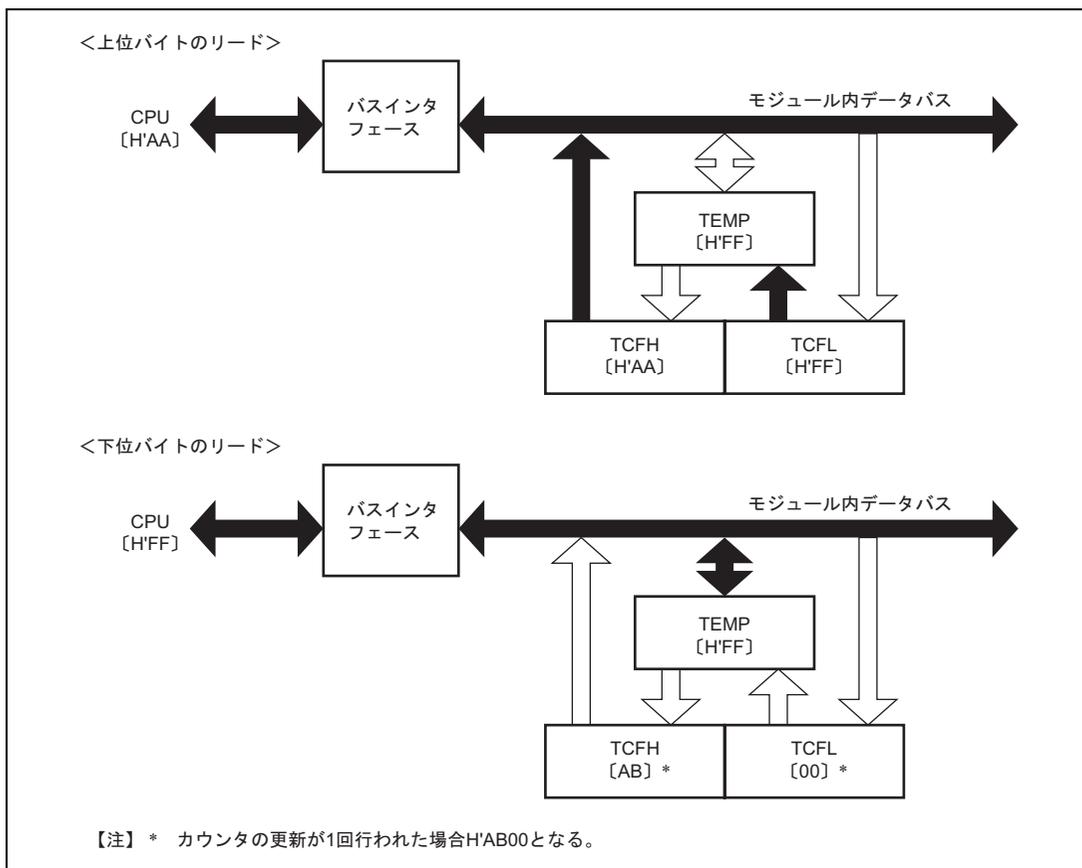


図 9.4 TCF のリード動作 (TCF CPU)

9.3.5 動作説明

タイマ F は、入力クロックが入るたびにカウントアップする 16 ビットのカウンタで、アウトプットコンペアレジスタ F に設定した値とタイマカウンタ F の値を常に比較しており、一致したタイミングでカウンタのクリア、割り込み要求、およびポートのトグル出力が可能です。また、2 本の独立した 8 ビットタイマとしても機能できます。

(a) タイマ F の動作

タイマ F には、16 ビットタイマモードと 8 ビットタイマモードの 2 種類の動作モードがあります。

それぞれのモードの動作について以下に説明します。

• 16 ビットタイマモードの動作

タイマコントロールレジスタ F (TCRF) の CKSH2 ビットを 0 に設定すると、タイマ F は 16 ビットのタイマとして動作します。

タイマ F の動作クロックは、TCRF の CKSL2 ~ CKSL0 ビットによりプリスケール S の出力する 3 種類の内部クロックを選択できます。

TCF と OCRF の内容は常に比較されており、両者が一致すると TCSR の CMFH が 1 にセットされます。このとき IENR2 の IENTFH が 1 ならば CPU に割り込みを要求し、同時に TMOFH 端子の出力をトグルします。また、TCSR の CCLR が 1 ならば TCF をクリアします。なお、TMOFH 端子の出力は TCRF の TOLH により設定できます。

TCF がオーバーフロー (H'FFFF H'0000) すると、TCSR の OVFH がセットされます。このとき、TCSR の OVIEH と IENR2 の IENTFH がともに 1 ならば CPU に割り込みを要求します。

• 8 ビットタイマモードの動作

TCRF の CKSH2 を 1 に設定すると、TCF は TCFH、TCFL の 2 本の独立した 8 ビットタイマとして動作します。TCFH/TCFL の入力クロックは、TCRF の CKSH2 ~ CKSH0/CKSL2 ~ CKSL0 により選定します。

OCRFH/OCRFL と TCFH/TCFL の値が一致すると、TCSR の CMFH/CMFL が 1 にセットされます。また、IENR2 の IENTFH/IENTFL が 1 ならば CPU に割り込みを要求し、同時に TMOFH 端子/TMOFL 端子の出力をトグルします。また、TCSR の CCLR/CCLR が 1 ならば、TCFH/TCFL をクリアします。なお、TMOFH 端子/TMOFL 端子の出力は、TCRF の TOLH/TOLL により設定できます。

TCFH/TCFL がオーバーフロー (H'FF H'00) すると、TCSR の OVFH/OVFL が 1 にセットされます。このとき、TCSR の OVIEH/OVIEL と IENR2 の IENTFH/IENTFL がともに 1 ならば、CPU に割り込みを要求します。

(b) TCF のカウントタイミング

TCF は、入力されたクロック (内部クロック) によりカウントアップされます。TCRF の CKSH2 ~ CKSH0 または CKSL2 ~ CKSL0 の設定により、システムクロック (または w) を分周して作られる 4 種類の内部クロック ($w/32$ 、 $w/16$ 、 $w/4$ 、 $w/4$) が選択されます。

(c) TMOFH、TMOFL 出力タイミング

TMOFH、TMOFL の出力は、TCRF の TOLH、TOLL で設定した値が出力されていますが、コンペアマッチが発生したとき出力が反転します。

図 9.5 に出カタイミングを示します。

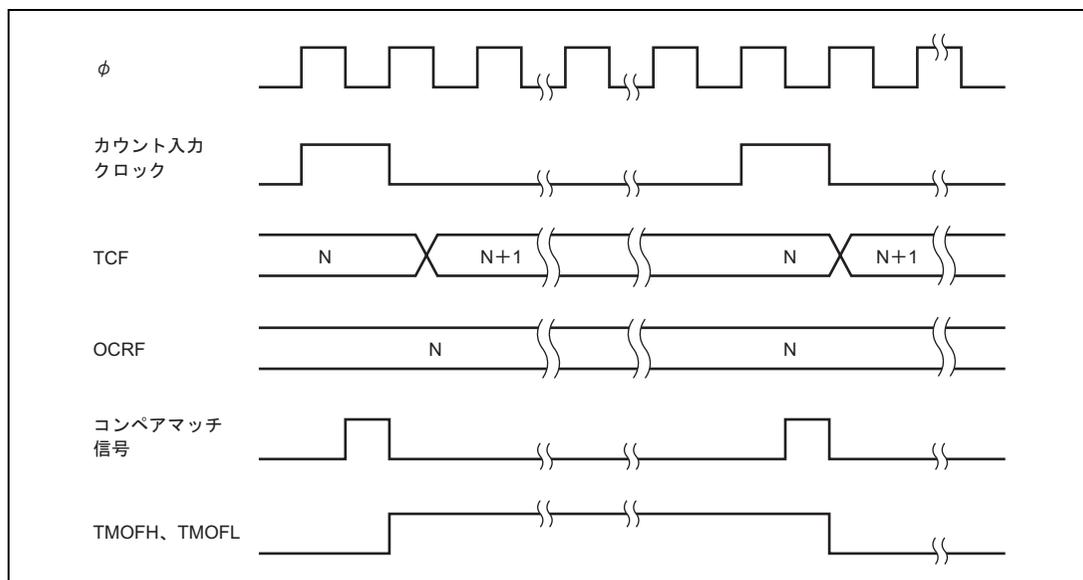


図 9.5 TMOFH、TMOFL 出力タイミング

(d) TCF のクリアタイミング

TCF は、OCRF とのコンペアマッチ時にクリアすることができます。

(e) タイマオーバーフローフラグ (OVF) のセットタイミング

OVF は、TCF がオーバーフロー (H'FFFF H'0000) したとき 1 にセットされます。

(f) コンペアマッチフラグのセットタイミング

コンペアマッチフラグ (CMFH または CMFL) は、TCF と OCRF のコンペアマッチ時に 1 にセットされます。コンペアマッチ信号は、値が一致した最後のステート (TCF が一致したカウント値を更新するタイミング) で発生します。TCF と OCRF が一致した後、カウントアップクロックが発生するまで、コンペアマッチ信号は発生しません。

9. タイマ

9.3.6 タイマ F の動作モード

タイマ F の動作モードを表 9.4 に示します。

表 9.4 タイマ F の動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュール スタンバイ
TCF	リセット	動作*	動作*	動作 / 停止*	動作 / 停止*	動作 / 停止*	停止	停止
OCRF	リセット	動作	保持	保持	動作	保持	保持	保持
TCRF	リセット	動作	保持	保持	動作	保持	保持	保持
TCSRF	リセット	動作	保持	保持	動作	保持	保持	保持

【注】* アクティブモード、スリープモード時に TCF の内部クロックとして $\omega/4$ を選択した場合、システムクロックと内部クロックとが非同期であるため同期回路で同期をとっています。これにより、カウント周期は最大で $1/(\omega)$ (s) の誤差が生じます。

サブアクティブモード、ウォッチモード、サブスリープモード時にカウンタを動作させる場合には、必ず内部クロックとして $\omega/4$ を選択してください。その他の内部クロックを選択した場合、カウンタは動作しません。

9.3.7 使用上の注意事項

タイマ F の動作中、次のような競合や動作が起きますので注意してください。

(a) 16 ビットタイマモード

トグル出力は 16 ビットすべてが一致し、コンペアマッチ信号が発生したとき TMOFH 端子から出力されます。MOV 命令による TCRF のライトと、コンペアマッチ信号が同時に起こった場合、TCRF のライトによる TOLH のデータが TMOFH 端子に出力されます。TMOFL 端子は 16 ビットモード時には出力は不定となりますので使用しないでください。ポートとしてご使用ください。

OCRF のライトと、コンペアマッチ信号の発生が同時に起こった場合、コンペアマッチ信号は無効になります。ただし、ライトしたデータとカウンタ値がコンペアマッチする場合は、その時点でコンペアマッチ信号が発生します。コンペアマッチ信号は、TCFL のクロックに同期して出力されるので、クロックが停止している場合、コンペアマッチしていてもコンペアマッチ信号は発生しません。

コンペアマッチフラグは、16 ビットすべてが一致し、コンペアマッチ信号が発生したとき CMFH にセットされますが、CMFL についても下位 8 ビットについてのセット条件が満たされていればセットされます。

TCF がオーバーフローすると OVFH がセットされますが、OVFL についても下位 8 ビットがオーバーフローした時点で、セット条件が満たされていればセットされます。TCFL のライトと、オーバーフロー信号の出力が同時に起こった場合、オーバーフロー信号は出力されません。

(b) 8ビットタイマモード

- TCFH、OCR FH

トグル出力は、コンペアマッチ時に TMOFH 端子から出力されます。MOV 命令による TCRF のライトと、コンペアマッチ信号の発生が同時に起こった場合、TCRF のライトによる TOLH のデータが TMOFH 端子に出力されます。

OCR FH のライトと、コンペアマッチ信号の発生が同時に起こった場合、コンペアマッチ信号は無効になります。ただし、ライトしたデータとカウンタ値がコンペアマッチする場合は、その時点でコンペアマッチ信号が発生します。コンペアマッチ信号は、TCFH のクロックに同期して出力されます。

TCFH のライトと、オーバフロー信号の出力が同時に起こった場合、オーバフロー信号は出力されません。

- TCFL、OCR FL

トグル出力は、コンペアマッチ時に TMOFL 端子から出力されます。MOV 命令による TCRF のライトと、コンペアマッチ信号の発生が同時に起こった場合、TCRF のライトによる TOLL のデータが TMOFL 端子に出力されます。

OCR FL のライトと、コンペアマッチ信号の発生が同時に起こった場合、コンペアマッチ信号は無効になります。ただし、ライトしたデータとカウンタ値がコンペアマッチする場合は、その時点でコンペアマッチ信号が発生します。コンペアマッチ信号は、TCFL のクロックに同期して出力されるので、クロックが停止している場合、コンペアマッチしていてもコンペアマッチ信号は発生しません。

TCFL のライトと、オーバフロー信号の出力が同時に起こった場合、オーバフロー信号は出力されません。

(c) タイマ FH、タイマ FL 割り込み要求フラグ (IRRTFH、IRRTFL)、タイマオーバフローフラグ H、L (OVFH、OVFL) およびコンペアマッチフラグ H、L (CMFH、CMFL) のクリア

内部クロックとして $\omega/4$ を選択した場合、「割り込み要因の発生を示す信号」の制御は ω で行われるため、この信号は ω の幅出力されます。また、「オーバフローしたことを示す信号」および「コンペアマッチしたことを示す信号」の制御は、 ω の 2 周期分の信号で行われるため、これらの信号は ω の 2 周期の幅出力されます (図 9.6)。

アクティブ (高速、中速) モードにおいて、「割り込み要因の発生を示す信号」が有効な間は、割り込み要求フラグをクリアしても、すぐにまた割り込み要求フラグがセットされます (図 9.6)。

また、「オーバフローしたことを示す信号」および「コンペアマッチしたことを示す信号」が有効な間は、タイマオーバフローフラグ、コンペアマッチフラグをクリアできません。

割り込み要求フラグをクリアしても、すぐにまた割り込み要求フラグがセットされるため、1 回のタイマ FH、タイマ FL 割り込みに対し割り込み処理が複数回行われることがあります (図 9.6 -)。

そのため、アクティブ (高速、中速) モードにおいて、割り込み要求フラグを確実にクリアするためには、以下の (1) の計算式で計算される時間の後で、クリアを行う必要があります。また、タイマオーバフローフラグ、コンペアマッチフラグを確実にクリアするためには、以下の (1) の計算式で計算される時間の後で、タイマコントロールレジスタ F (TCSR F) をリードした後、クリアを行う必要があります。

(1) の計算式の ST には使用されている命令の中で最も実行ステート数が長い命令の実行ステート数を代入してください (MULXU、DIVXU 命令を使用しない場合は RTE 命令の 10 ステート、MULXU、DIVXU 命令を使用

9. タイマ

する場合は 14 ステート)。

サブアクティブモードでは、割り込み要求フラグ、タイマオーバフローフラグ、コンペアマッチフラグのクリアに対する制限はありません。

「割り込み要因の発生を示す信号」が有効な時間

$$= \phi_w \text{ の 1 周期} + \text{実行中の命令の実行完了待ち時間} + (\text{割り込みを } \phi_w \text{ で同期化する時間})$$

$$= 1 / \phi_w + ST \times (1 / \phi_w) + (2 / \phi_w) \text{ (秒)} \dots\dots\dots (1)$$

ST：実行中の命令の実行ステート数

具体的には下記の方法がありますが、時間の有効活用の面から（方法1）を推奨します。

- （方法1）

割り込み処理ルーチン内で割り込みを禁止（IENFH、IENFL を 0 に設定）し、通常処理に復帰した後で（1）の計算式の時間以上を待って、割り込み要求フラグ（IRRTFH、IRRTFL）をクリアし、タイマコントロールステータスレジスタ F（TCSR F）をリードした後、タイマオーバフローフラグ（OVFH、OVFL）およびコンペアマッチフラグ（CMFH、CMFL）をクリアし、割り込みの許可（IENFH、IENFL を 1 に設定）を行います。

- （方法2）

割り込み処理ルーチンの処理時間を（1）の計算式の時間以上にし、割り込み処理ルーチンの最後で割り込み要求フラグ（IRRTFH、IRRTFL）をクリアし、タイマコントロールステータスレジスタ F（TCSR F）をリードした後、タイマオーバフローフラグ（OVFH、OVFL）およびコンペアマッチフラグ（CMFH、CMFL）のクリアを行います。

以上の注意事項は、16 ビットモード、8 ビットモードとも同じです。

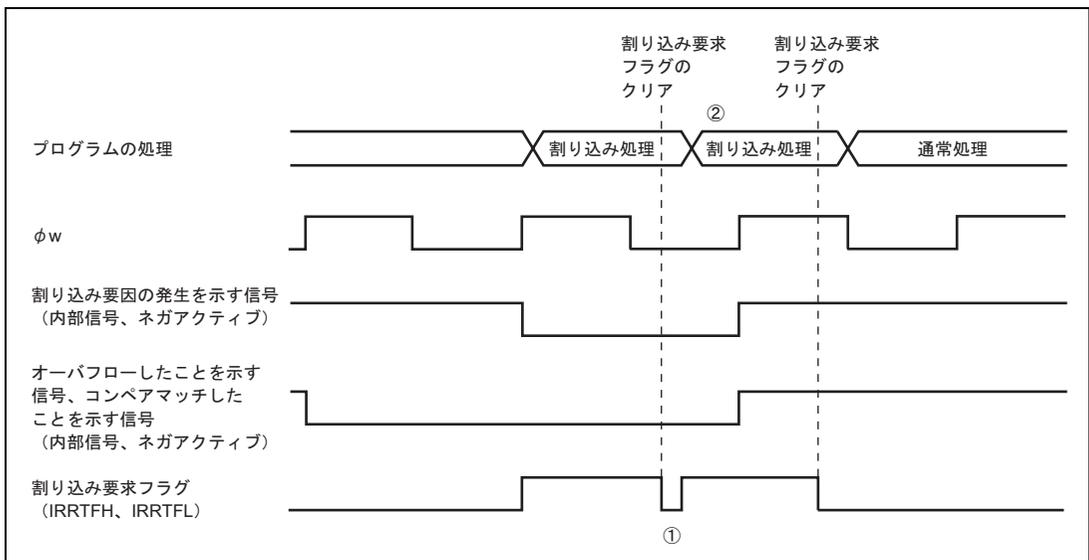


図 9.6 割り込み要因の発生を示す信号が有効なときに割り込み要求フラグのクリアを行った場合

(d) タイマカウンタ (TCF) のリード/ライト

アクティブ (高速、中速) モードにおいて、内部クロックとして $w/4$ を選択した場合 TCF に対するライトはできません。また、リードする場合、システムクロックと内部クロックが非同期であるため、同期回路で同期をとっています。これにより、TCF のリード値は最大 ± 1 の誤差が生じます。

アクティブ (高速、中速) モードで TCF をリード/ライトする必要がある場合は、内部クロックとして $w/4$ 以外を選択してからリード/ライトを行ってください。

サブアクティブモードでは、内部クロックとして $w/4$ を選択した場合でも TCF は正常にリード/ライトできます。

9.4 非同期イベントカウンタ (AEC)

非同期イベントカウンタ (Asynchronous Event Counter) は、外部イベントクロックまたは内部クロックが入るたびにカウントアップするイベントカウンタです。非同期イベントカウンタのブロック図を図 9.7 に示します。

9.4.1 特長

- 非同期イベントをカウント可能
システムクロック、 SUB の動作とは無関係に入力される外部イベントのカウントが可能です
- 2チャンネルの独立した8ビットイベントカウンタまたは、1チャンネルの独立した16ビットイベントカウンタとして使用可能
- IRQAECがHighレベルまたはイベントカウンタPWM出力 (IECPWM) がHighレベルのときだけ、イベント/クロック入力が有効
- IRQAECまたはイベントカウンタPWM出力 (IECPWM) 割り込みは両エッジで検出可能。非同期カウンタを用いない場合は、独立した割り込みとして使用可能
- イベントカウンタPWMを用い、イベントクロック入力の禁止/許可が一定の周期で自動的に制御可能
- ECHとECLのクロックソースは、外部イベント入力とプリスケアラの出力クロックの選択がソフトウェアで可能。プリスケアラの出力クロックは $/2$ 、 $/4$ 、 $/8$ のいずれかを選択可能
- AEVL、AEVHは両エッジでカウント可能
- ソフトウェアによってカウンタのリセット、カウントアップ機能の停止が制御可能
- イベントカウンタのオーバフローを検出し、自動的に割り込みを発生
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能 (詳細は、「5.4 モジュールスタンバイ機能」を参照してください。)

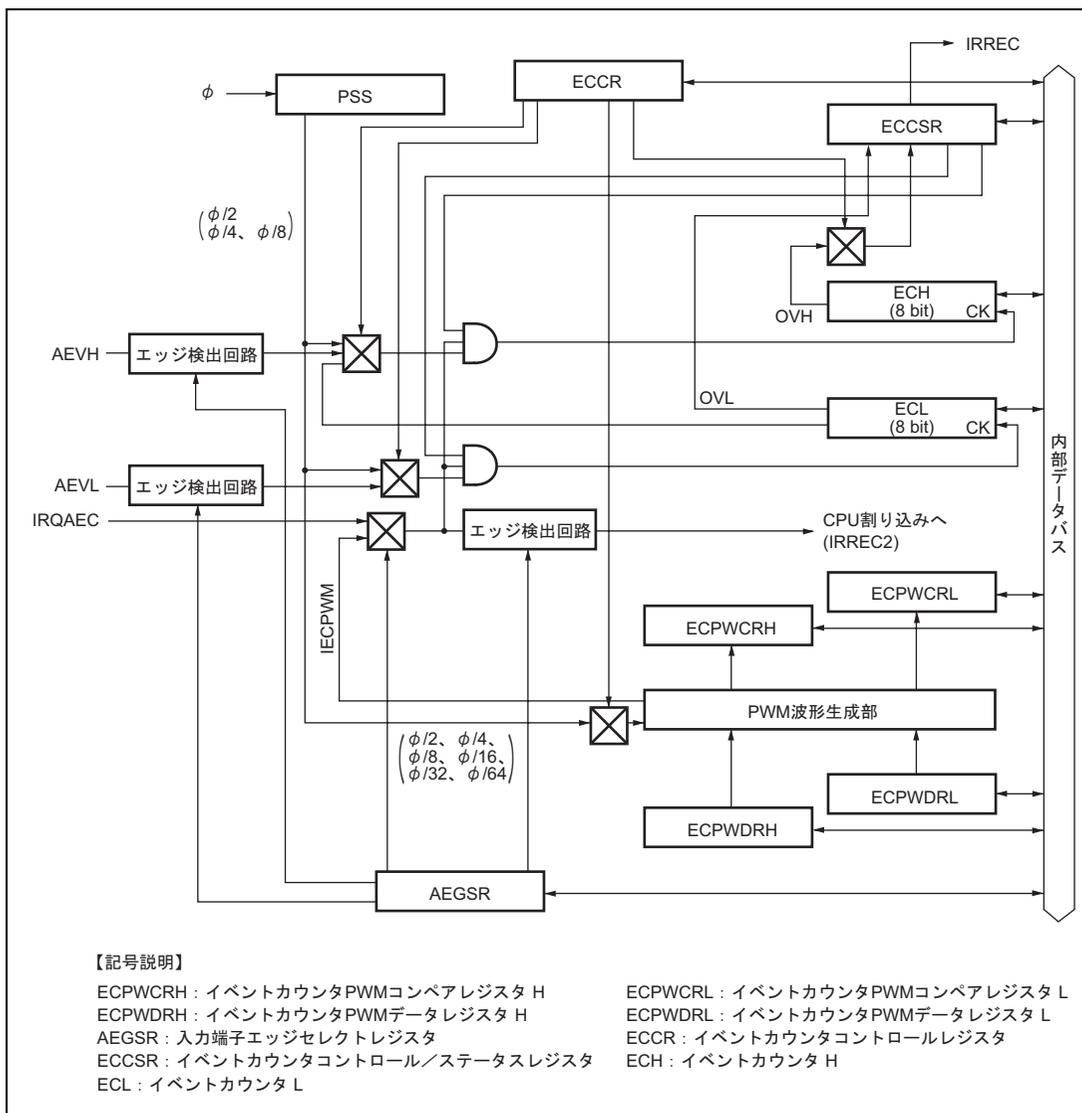


図 9.7 非同期イベントカウンタブロック図

9. タイマ

9.4.2 入出力端子

非同期イベントカウンタの端子構成を表 9.5 に示します。

表 9.5 端子構成

名称	略称	入出力	機能
非同期イベント入力 H	AEVH	入力	イベントカウンタ H に入力するイベント入力端子
非同期イベント入力 L	AEVL	入力	イベントカウンタ L に入力するイベント入力端子
イベント入力イネーブル 割り込み入力	IRQAEC	入力	イベント入力を有効にする割り込み入力端子

9.4.3 レジスタの説明

非同期イベントカウンタには以下のレジスタがあります。

- イベントカウンタ PWM コンペアレジスタ H (ECPWCRH)
- イベントカウンタ PWM コンペアレジスタ L (ECPWCRL)
- イベントカウンタ PWM データレジスタ H (ECPWDRH)
- イベントカウンタ PWM データレジスタ L (ECPWDRL)
- 入力端子エッジセレクトレジスタ (AEGSR)
- イベントカウンタコントロールレジスタ (ECCR)
- イベントカウンタコントロール/ステータスレジスタ (ECCSR)
- イベントカウンタ H (ECH)
- イベントカウンタ L (ECL)

(1) イベントカウンタ PWM コンペアレジスタ H (ECPWCRH)

ECPWCRH はイベントカウンタ PWM 波形の 1 変換周期を設定します。

ビット	ビット名	初期値	R/W	説明
7	ECPWCRH7	1	R/W	イベントカウンタ PWM 波形 1 変換周期
6	ECPWCRH6	1	R/W	
5	ECPWCRH5	1	R/W	
4	ECPWCRH4	1	R/W	
3	ECPWCRH3	1	R/W	
2	ECPWCRH2	1	R/W	
1	ECPWCRH1	1	R/W	
0	ECPWCRH0	1	R/W	

【注】 AEGSR の ECPWME が 1 のとき、イベントカウンタ PWM は動作中ですので ECPWCRH を書き換えしないでください。
変換周期を変更する際は必ず AEGSR の ECPWME を 0 にしてイベントカウンタ PWM を停止させて書き換えてください。

(2) イベントカウンタ PWM コンペアレジスタ L (ECPWCRL)

ECPWCRL はイベントカウンタ PWM 波形の 1 変換周期を設定します。

ビット	ビット名	初期値	R/W	説明
7	ECPWCRL7	1	R/W	イベントカウンタ PWM 波形 1 変換周期
6	ECPWCRL6	1	R/W	
5	ECPWCRL5	1	R/W	
4	ECPWCRL4	1	R/W	
3	ECPWCRL3	1	R/W	
2	ECPWCRL2	1	R/W	
1	ECPWCRL1	1	R/W	
0	ECPWCRL0	1	R/W	

【注】 AEGSR の ECPWME が 1 のとき、イベントカウンタ PWM は動作中ですので ECPWCRL を書き換えないでください。
変換周期を変更する際は必ず AEGSR の ECPWME を 0 にしてイベントカウンタ PWM を停止させて書き換えてください。

(3) イベントカウンタ PWM データレジスタ H (ECPWDRH)

ECPWDRH はイベントカウンタ PWM 波形生成部のデータを制御します。

ビット	ビット名	初期値	R/W	説明
7	ECPWDRH7	0	W	イベントカウンタ PWM 波形生成データ制御
6	ECPWDRH6	0	W	
5	ECPWDRH5	0	W	
4	ECPWDRH4	0	W	
3	ECPWDRH3	0	W	
2	ECPWDRH2	0	W	
1	ECPWDRH1	0	W	
0	ECPWDRH0	0	W	

【注】 AEGSR の ECPWME が 1 のとき、イベントカウンタ PWM は動作中ですので ECPWDRH を書き換えないでください。
データを変更する際は必ず AEGSR の ECPWME を 0 にしてイベントカウンタ PWM を停止させて書き換えてください。

9. タイマ

(4) イベントカウンタ PWM データレジスタ L (ECPWDRL)

ECPWDRL はイベントカウンタ PWM 波形生成部のデータを制御します。

ビット	ビット名	初期値	R/W	説明
7	ECPWDRL7	0	W	イベントカウンタ PWM 波形生成データ制御
6	ECPWDRL6	0	W	
5	ECPWDRL5	0	W	
4	ECPWDRL4	0	W	
3	ECPWDRL3	0	W	
2	ECPWDRL2	0	W	
1	ECPWDRL1	0	W	
0	ECPWDRL0	0	W	

【注】 AEGSR の ECPWME が 1 のとき、イベントカウンタ PWM は動作中ですので ECPWDRL を書き換えしないでください。
データを変更する際は必ず AEGSR の ECPWME を 0 にしてイベントカウンタ PWM を停止させて書き換えてください。

(5) 入力端子エッジセレクトレジスタ (AEGSR)

AEGSR は AEVH 端子、AEVL 端子、IRQAEC 端子の立ち上がり、立ち下がり、両エッジセンスの検出の選択を設定します。

ビット	ビット名	初期値	R/W	説明
7	AHEGS1	0	R/W	AEC エッジ選択 H
6	AHEGS0	0	R/W	AEVH 端子の検出を選択します。 00 : AEVH 端子の立ち下がりエッジを検出 01 : AEVH 端子の立ち上がりエッジを検出 10 : AEVH 端子の両エッジを検出 11 : 設定禁止
5	ALEGS1	0	R/W	AEC エッジ選択 L
4	ALEGS0	0	R/W	AEVL 端子の検出を選択します。 00 : AEVL 端子の立ち下がりエッジを検出 01 : AEVL 端子の立ち上がりエッジを検出 10 : AEVL 端子の両エッジを検出 11 : 設定禁止
3	AIEGS1	0	R/W	IRQAEC エッジ選択
2	AIEGS0	0	R/W	IRQAEC 端子の検出を選択します。 00 : IRQAEC 端子の立ち下がりエッジを検出 01 : IRQAEC 端子の立ち上がりエッジを検出 10 : IRQAEC 端子の両エッジを検出 11 : 設定禁止

ビット	ビット名	初期値	R/W	説明
1	ECPWME	0	R/W	イベントカウンタ PWM イネーブル イベントカウンタ PWM の動作および、IRQAEC 選択の制御をします。 0 : AEC 用 PWM 動作の停止および IRQAEC を選択する 1 : AEC 用 PWM 動作の許可および IRQAEC を選択しない
0	-	0	R/W	リザーブビット リード/ライト可能ですが、1 にセットしないでください。

(6) イベントカウンタコントロールレジスタ (ECCR)

ECCR はカウンタの入力クロック、IRQAEC/IECPWM の制御をします。

ビット	ビット名	初期値	R/W	説明
7	ACKH1	0	R/W	AEC クロック選択 H
6	ACKH0	0	R/W	ECH 側で使用するクロックの選択をします。 00 : AEVH 端子入力 01 : /2 10 : /4 11 : /8
5	ACKL1	0	R/W	AEC クロック選択 L
4	ACKL0	0	R/W	ECL 側で使用するクロックの選択をします。 00 : AEVL 端子入力 01 : /2 10 : /4 11 : /8
3	PWCK2	0	R/W	イベントカウンタ用 PWM のクロック選択
2	PWCK1	0	R/W	イベントカウンタ用 PWM のクロックの選択をします。
1	PWCK0	0	R/W	000 : /2 001 : /4 010 : /8 011 : /16 1x0 : /32 1x1 : /64
0	-	0	R/W	リザーブビット リード/ライト可能ですが、1 にセットしないでください。

【記号説明】 x : Don't care

9. タイマ

(7) イベントカウンタコントロール/ステータスレジスタ (ECCSR)

ECCSRはカウンタのオーバーフローの検出、カウンタクリアのリセット、カウントアップ機能の制御を行います。

ビット	ビット名	初期値	R/W	説明
7	OVH	0	R/W*	カウンタオーバーフローH ECHがオーバーフローしたことを示すステータスフラグです。 [セット条件] • ECHの値がH'FF H'00になったとき [クリア条件] • 1をリードした後、0をライトしたとき
6	OVL	0	R/W*	カウンタオーバーフローL ECLがオーバーフローしたことを示すステータスフラグです。 [セット条件] • ECLの値がH'FF H'00になったとき [クリア条件] • 1をリードした後、0をライトしたとき
5	-	0	R/W	リザーブビット リード/ライト可能ですが、初期値を変更しないでください。
4	CH2	0	R/W	チャンネル選択 ECH、ECL イベントカウンタの使用方法を選択します。 0: ECH、ECL を1チャンネルの16ビットイベントカウンタとして使用 1: ECH、ECL を2チャンネルの8ビットイベントカウンタとして使用
3	CUEH	0	R/W	カウントアップイネーブルH ECHに入力されるイベントクロックの入力を禁止/許可します。 0: ECHのイベントクロック入力を禁止 (ECHの値保持) 1: ECHのイベントクロック入力を許可
2	CUEL	0	R/W	カウントアップイネーブルL ECLに入力されるイベントクロックの入力を禁止/許可します。 0: ECLのイベントクロック入力を禁止 (ECLの値保持) 1: ECLのイベントクロック入力を許可
1	CRCH	0	R/W	カウンタリセット制御H ECHのリセットを制御します。 0: ECHをリセット 1: ECHのリセットを解除しカウントアップ機能を許可
0	CRCL	0	R/W	カウンタリセット制御L ECLのリセットを制御します。 0: ECLをリセット 1: ECLのリセットを解除しカウントアップ機能を許可

【注】* フラグクリアのため0ライトのみ可能です。

(8) イベントカウンタ H (ECH)

ECH は 8 ビットのリード可能なアップカウンタで、独立した 8 ビットのイベントカウンタとして動作します。また、ECL と組み合わせることで 16 ビットのイベントカウンタ上位 8 ビットのアップカウンタとして動作します。

ビット	ビット名	初期値	R/W	説明
7	ECH7	0	R	入力クロックは外部非同期イベント AEVH 端子、 /2、 /4、 /8 または下位 8 ビットカウンタ ECL からのオーバーフロー信号のいずれかを選択可能です。ECH はソフトウェアで H'00 にクリア可能です。
6	ECH6	0	R	
5	ECH5	0	R	
4	ECH4	0	R	
3	ECH3	0	R	
2	ECH2	0	R	
1	ECH1	0	R	
0	ECH0	0	R	

(9) イベントカウンタ L (ECL)

ECL は 8 ビットのリード可能なアップカウンタで、独立した 8 ビットのイベントカウンタとして動作します。また、ECH と組み合わせることで 16 ビットのイベントカウンタ下位 8 ビットのアップカウンタとして動作します。

ビット	ビット名	初期値	R/W	説明
7	ECL7	0	R	入力クロックは外部非同期イベント AEVL 端子、 /2、 /4、 /8 を使用します。ECL はソフトウェアで H'00 にクリア可能です。
6	ECL6	0	R	
5	ECL5	0	R	
4	ECL4	0	R	
3	ECL3	0	R	
2	ECL2	0	R	
1	ECL1	0	R	
0	ECL0	0	R	

9.4.4 動作説明

(1) 16 ビットカウンタの動作

ECCSR の CH2 を 0 にクリアすると、ECH、ECL は 16 ビットのカウンタとして動作します。

このときの入力クロックソースは ECCR の ACKL1 ~ 0 によって /2、 /4、 /8、AEVL 端子入力の 4 種類から選択できます。

AEVL 端子入力を選択した場合、ALEGS1 ~ 0 によって入力センスを選択します。

入力クロックが有効になるのは IRQAEC が High レベルまたは IECPWM が High レベルのときだけです。IRQAEC が Low レベルまたは IECPWM が Low レベルのときは、入力クロックはカウンタに入力されないため、カウンタは動作しません。16 ビットカウンタとして使用する場合のソフトウェアの例を図 9.8 に示します。

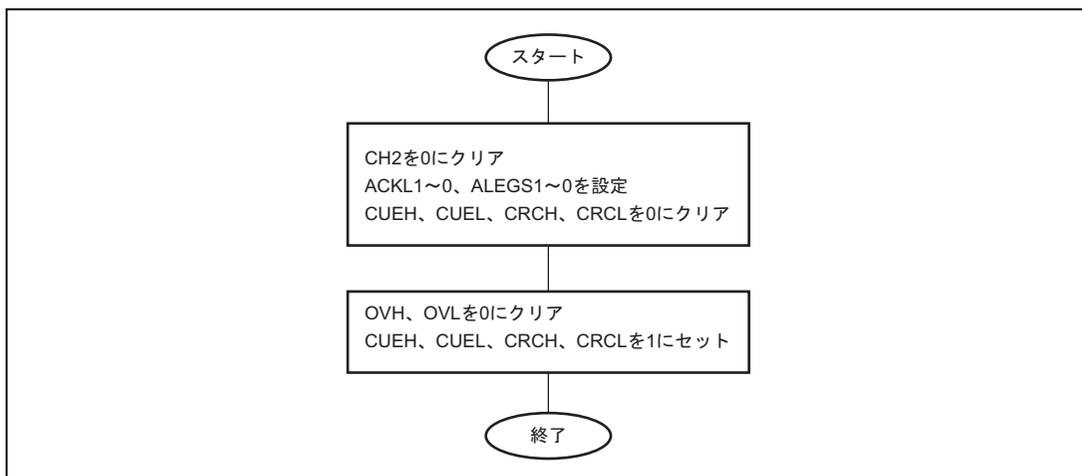


図 9.8 16 ビットカウンタとして使用する場合のソフトウェアの例

リセット時、CH2 は 0 にクリアされるため、リセット後は ECH、ECL は 16 ビットカウンタとして動作し、ACKL1 ~ 0 は B'00 にクリアされるため、動作クロックは AEVL 端子からの非同期イベント入力になります。また、AEVL 端子の入力は立ち下がりエッジ検出になります。

ECH、ECL のカウント値がともに H'FF になった後に、クロックが入力されると ECH、ECL はオーバフロー (H'FFFF ~ H'0000) し、ECCSR の OVH フラグが 1 にセットされ、ECH、ECL のカウント値はおのおの H'00 に戻り、再びカウントアップを再開します。オーバフロー発生時には、IRR2 の IRREC が 1 にセットされます。このとき IENR2 の IENEC が 1 ならば CPU に割り込みを要求します。

(2) 8 ビットカウンタの動作

ECCSR の CH2 を 1 にセットすると、ECH、ECL は独立した 8 ビットのカウンタとして動作します。

このときの入力クロックソースは、ECH は ECCR の ACKH1 ~ 0 によって /2、/4、/8、AEVH 端子入力の 4 種類から選択でき、ECL は ECCR の ACKL1 ~ 0 によって /2、/4、/8、AEVL 端子入力の 4 種類から選択できます。

AEVH 端子入力を選択した場合、AHEGS1 ~ 0 によって入力センスを選択し、AEVL 端子入力を選択した場合、ALEGS1 ~ 0 によって入力センスを選択します。

入力クロックが有効になるのは IRQAEC が High レベルまたは IECPWM が High レベルのときだけです。IRQAEC が Low レベルまたは IECPWM が Low レベルのときは、入力クロックはカウンタに入力されないため、カウンタは動作しません。8 ビットカウンタとして使用する場合のソフトウェアの例を図 9.9 に示します。

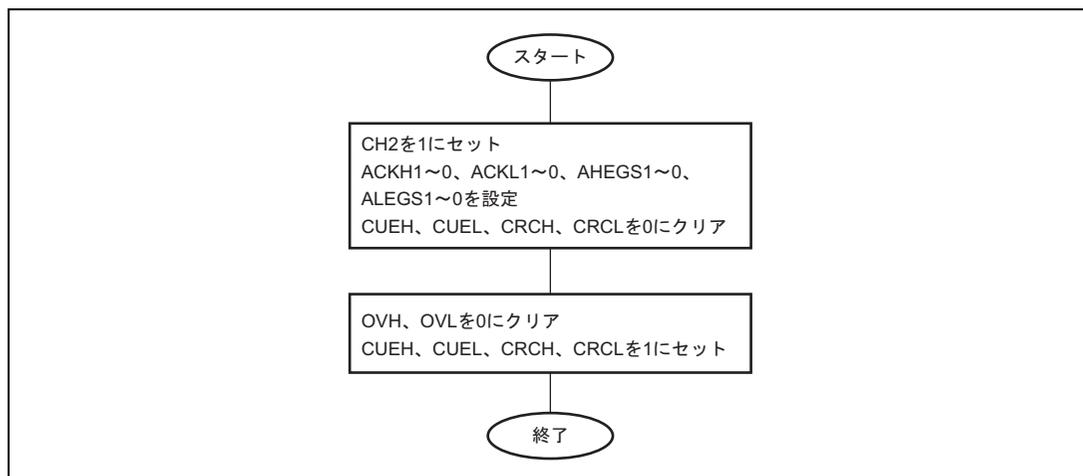


図 9.9 8ビットカウンタとして使用する場合のソフトウェアの例

図 9.9 に示すソフトウェアの例で使用すると独立した 8 ビットのカウンタとして使用できます。ECH のカウンタ値が H'FF になった後にクロックが入力されると、ECH はオーバフローし ECCSR の OVH フラグが 1 にセットされ、ECH のカウンタ値は H'00 に戻り、再びカウントアップを再開します。また、ECL のカウンタ値が H'FF になった後にクロックが入力されると、ECL はオーバフローし ECCSR の OVL フラグが 1 にセットされ、ECL のカウンタ値は H'00 に戻り、再びカウントアップを再開します。オーバフロー発生時には、IRR2 の IRREC が 1 にセットされます。このとき IENR2 の IENEC が 1 ならば CPU に割り込みを要求します。

(3) IRQAEC の動作

AEGR の ECPWME が 0 のとき、ECH、ECL の入力クロックが有効になるのは IRQAEC が High レベルのときだけです。IRQAEC が Low レベルのときは、入力クロックはカウンタに入力されないため、ECH、ECL はカウントしません。したがって、IRQAEC を制御することにより ECH、ECL のカウンタ動作を外部から制御することが可能です。このとき、ECH、ECL を個々に制御することはできません。

IRQAEC は割り込み要因としても動作可能です。このときのベクタ No.は 6 で、ベクタアドレスは H'000C ~ H'000D です。

割り込み許可は IENR1 の IENEC2 によって制御します。IRQAEC の割り込みが発生すると IRR1 の割り込み要求フラグ IRREC2 が 1 にセットされます。このとき IENR1 の IENEC2 が 1 ならば CPU に割り込みを要求します。

IRQAEC 入力端子の入力センスは AEGR の AIAGS1 ~ 0 によって立ち上がり、立ち下がり、両エッジ検出を選択できます。

【注】 H8/38104 グループでは、リセット期間中のシステムクロック発振器とオンチップオシレータの切り替え制御は、IRQAEC の入力レベルの設定で確実に行ってください。詳細は「4.4 サブクロック発振器」の章を参照してください。

(4) イベントカウンタ PWM の動作

AEGR の ECPWME が 1 のとき、ECH、ECL の入力クロックが有効になるのはイベントカウンタ PWM の出力 (IECPWM) が High レベルのときだけです。IECPWM が Low レベルのときは、入力クロックはカウンタに入力されないため、ECH、ECL はカウントしません。したがって、イベントカウンタ PWM を制御することにより ECH、

9. タイマ

ECLのカウンタ動作を周期的に制御することが可能です。このとき、ECH、ECLを個々に制御することはできません。

IECPWMは割り込み要因としても動作可能です。このときのベクタ No.は6で、ベクタアドレスはH'000C~H'000Dです。

割り込み許可はIENR1のIENEC2によって制御します。IECPWMの割り込みが発生するとIRR1の割り込み要求フラグIRREC2が1にセットされます。このときIENR1のIENEC2が1ならばCPUに割り込みを要求します。

IECPWM割り込みセンスはAEGSRのAIAGS1~0によって立ち上がり、立ち下がり、両エッジ検出を選択できます。

図9.10、表9.6にイベントカウンタPWMの動作例を示します。

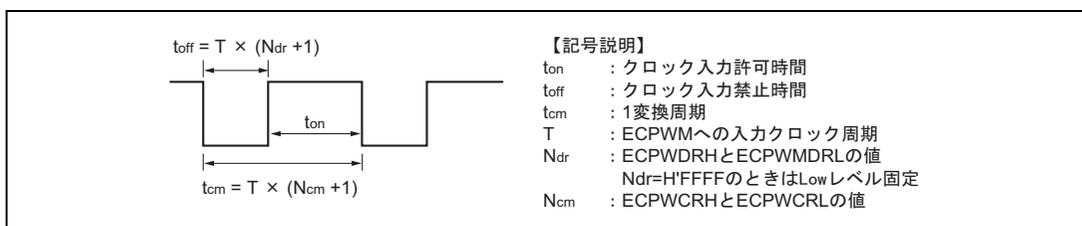


図 9.10 イベントカウンタ動作波形

【注】 上記 Ndr と Ncm は必ず $Ndr < Ncm$ の関係で設定してください。

それ以外の設定のときに AEGSR の ECPWME を 1 にセットしないでください。

表 9.6 イベントカウンタ PWM 動作例

例) fosc 4MHz、f 2MHz、高速アクティブモード、ECPWCR の値 (Ncm) = H'7A11、ECPWDR の値 (Ndr) = H'16E3 の例

クロック ソース選択	クロック ソース周期(T)*	ECPWMCR の値 (Ncm)	ECPWMDR の値 (Ndr)	$toff = T \times (Ndr + 1)$	$tcm = T \times (Ncm + 1)$	$ton = tcm - toff$
/2	1 μ s	H'7A11 D'31249	H'16E3 D'5859	5.86ms	31.25ms	25.39ms
/4	2 μ s			11.72ms	62.5ms	50.78ms
/8	4 μ s			23.44ms	125.0ms	101.56ms
/16	8 μ s			46.88ms	250.0ms	203.12ms
/32	16 μ s			93.76ms	500.0ms	406.24ms
/64	32 μ s			187.52ms	1000.0ms	812.48ms

【注】 * toff の最小幅

(5) クロック入力許可/禁止機能の動作

イベントカウンタへ入力されるクロックはAEGSRのECPWMEが0のときは、IRQAEC端子、AEGSRのECPWMEが1のときは、イベントカウンタPWMの出力IECPWMによって制御できます。この機能は各信号によって入力されるクロックを強制的に停止させるため、IRQAECのタイミングまたはIECPWMのタイミングによって最大1カウント分の誤差が生じます。

図9.11にその動作例を示します。

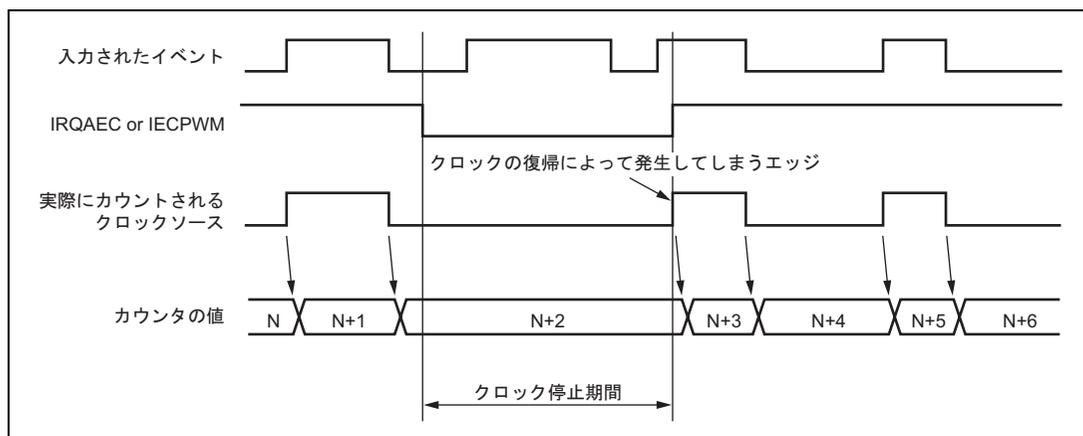


図 9.11 クロック制御動作例

9.4.5 非同期イベントカウンタの動作モード

非同期イベントカウンタの動作モードを表 9.7 に示します。

表 9.7 非同期イベントカウンタの動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュール スタンバイ
AEGSR	リセット	動作	動作	保持 ^{*1}	動作	動作	保持 ^{*1}	保持
ECCR	リセット	動作	動作	保持 ^{*1}	動作	動作	保持 ^{*1}	保持
ECCSR	リセット	動作	動作	保持 ^{*1}	動作	動作	保持 ^{*1}	保持
ECH	リセット	動作	動作	動作 ^{*1*2}	動作 ^{*2}	動作 ^{*2}	動作 ^{*1*2}	停止
ECL	リセット	動作	動作	動作 ^{*1*2}	動作 ^{*2}	動作 ^{*2}	動作 ^{*1*2}	停止
IRQAEC	リセット	動作	動作	保持 ^{*3}	動作	動作	保持 ^{*3}	保持 ^{*4}
イベント カウンタ PWM	リセット	動作	動作	保持	保持	保持	保持	保持

【注】 *1 非同期外部イベントが入力されるとカウンタはカウントアップしますが、カウンタオーバフローH/L フラグは影響を受けません。

*2 非同期外部イベントを選択した場合に動作、その他は停止して保持。

*3 IRQAEC によるクロック制御は動作しますが、割り込みは動作しません。

*4 モジュールスタンバイモードではクロックを停止しているため IRQAEC の影響を受けません。

9. タイマ

9.4.6 使用上の注意事項

1. ECH、ECLの値をリードする場合には、リードする前に8ビットモードではECCSRのCUEH、CUELを0に、16ビットモードではCUELを0にクリアして非同期イベント入力をカウンタに入力しないようにしてください。リードしている際にイベントカウンタがカウントアップすると正しい値がリードできません。
2. AEVH、AEVL端子に入力するクロックの周波数は最大16MHz*¹までの範囲としてください。またクロックのHigh幅、Low幅はOSCクロックサイクル時間の半分以上となるようにしてください。High幅、Low幅の最小を満たせばデューティ比はいくつでもかまいません。

モード	AEVL、AEVH 端子に入力する 最大クロック周波数
アクティブ(高速)、スリープ(高速)	16MHz* ¹
アクティブ(中速)、スリープ(中速)	2・fosc fosc 1/2・fosc 1/4・fosc
fosc=1MHz~4MHz	(/16) (/32) (/64) (/128)
ウォッチ、サブアクティブ、サブスリープ、スタンバイ	(w/2) (w/4) (w/8)
w=32.768kHzまたは38.4kHz* ²	1000kHz 500kHz 250kHz

【注】 *1 H8/38004、H8/38002S グループは最大 10MHz までです。

*2 H8/38104 グループを除く。

3. 16ビットモードで使用する際、ECCSRの設定はCUEHを1にセットしてからCRCHを1にセットするか、CUEHとCRCHを同時にセットしてからクロックを入力してください。その後16ビットモードで使用中はCUEHの値を変更しないでください。16ビットモード設定中にCUEHを変化させると、ECHが誤ってカウントアップすることがあります。
4. AEGSRのECPWMEが1のとき、イベントカウンタPWMは動作中ですのでECPWCRH、ECPWCRL、ECPWDRH、ECPWDRLを書き換えしないでください。
データを変更する際は必ずAEGSRのECPWMEを0にしてイベントカウンタPWMを停止させて書き換えてください。
5. イベントカウンタPWMデータレジスタとイベントカウンタPWMコンペアレジスタは必ずイベントカウンタPWMデータレジスタ < イベントカウンタPWMコンペアレジスタの関係で設定してください。
それ以外の設定のときにAEGSRのECPWMEを1にセットしないでください。
6. IRQAECは内部で同期をとって割り込みを発生しているためクロックの停止と割り込み受け付けまでは最大1tcycの誤差が生じます。

9.5 ウォッチドッグタイマ

ウォッチドッグタイマは8ビットのタイマで、システムの暴走などによりカウンタの値が書き換えられずオーバーフローするとLSI内部をリセットします。ただし、H8/38004、H8/38002SグループとH8/38104グループでは機能が異なります。ウォッチドッグタイマのブロック図を図9.12(1)、(2)に示します。

9.5.1 特長

- H8/38004、H8/38002Sグループでは2種類の内部クロックを選択可能
タイマのカウンタクロックとして2種類の内部クロック ($\phi/8192$ または $w/32$)を選択可能です。
- H8/38104グループでは10種類の内部クロックを選択可能
タイマのカウンタクロックとして10種類の内部クロック ($\phi/64$ 、 $\phi/128$ 、 $\phi/256$ 、 $\phi/512$ 、 $\phi/1024$ 、 $\phi/2048$ 、 $\phi/4096$ 、 $\phi/8192$ 、 $w/32$ またはウォッチドッグタイマ用オンチップオシレータ)を選択可能です。
- カウンタのオーバーフローでリセット信号を発生
オーバーフロー周期は、選択したクロックの1倍から256倍まで設定可能です。
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能
(詳細は、「5.4 モジュールスタンバイ機能」を参照してください。)

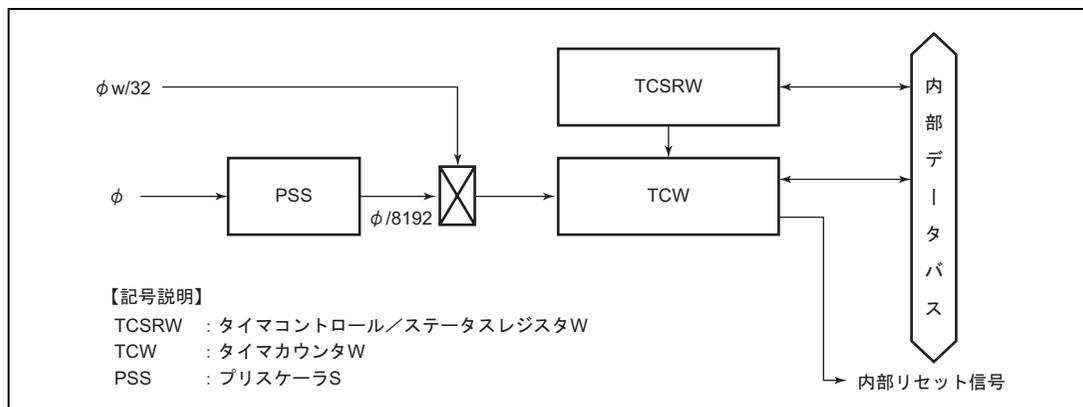


図 9.12 (1) ウォッチドッグタイマのブロック図 (H8/38004、H8/38002S グループ)

9. タイマ

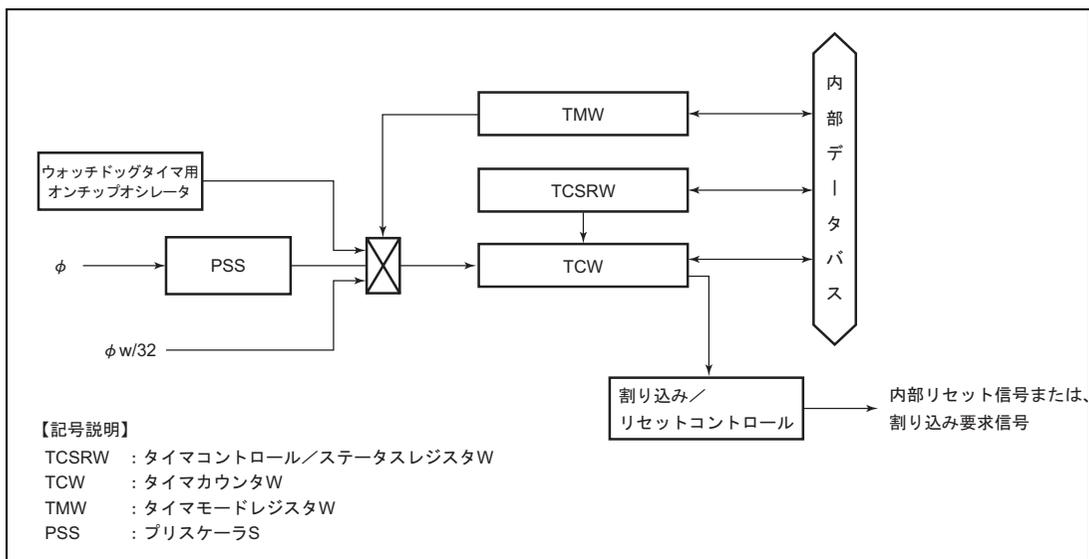


図 9.12 (2) ウォッチドッグタイマのブロック図 (H8/38104 グループ)

9.5.2 レジスタの説明

ウォッチドッグタイマには以下のレジスタがあります。

- タイマコントロール/ステータスレジスタW (TCSRW)
- タイマカウンタW (TCW)
- タイマモードレジスタ (TMW) *

【注】 * H8/38104 グループのみのレジスタとなります。

(1) タイマコントロール/ステータスレジスタ W (TCSRW)

TCSRW は TCSRW 自身と TCW の書き込み制御を行うレジスタです。また、ウォッチドッグタイマの動作制御と動作状態を示す機能も持っています。本レジスタの書き換えは MOV 命令で行ってください。ビット操作命令では設定値の変更ができません。

ビット	ビット名	初期値	R/W	説明
7	B6WI	1	R	ビット 6 書き込み禁止 このビットへの書き込み値が 0 のときだけ、このレジスタのビット 6 に対する書き込みが有効となります。リードすると常に 1 が読み出されます。
6	TCWE	0	R/(W)* ¹	タイマカウンタ W 書き込み許可 このビットが 1 のとき TCW がライトイネーブルとなります。このビットにデータを書き込むときはビット 7 の書き込み値は 0 にしてください。
5	B4WI	1	R	ビット 4 書き込み禁止 このビットへの書き込み値が 0 のときだけ、このレジスタのビット 4 に対する書き込みが有効となります。リードすると常に 1 が読み出されます。
4	TCSRWE	0	R/(W)* ¹	タイマコントロール/ステータスレジスタ W 書き込み許可 このビットが 1 のときこのレジスタのビット 2 およびビット 0 がライトイネーブルとなります。このビットにデータを書き込むときはビット 5 の書き込み値は 0 にしてください。
3	B2WI	1	R	ビット 2 書き込み禁止 このビットへの書き込み値が 0 のときだけ、このレジスタのビット 2 に対する書き込みが有効となります。リードすると常に 1 が読み出されます。
2	WDON	0/1* ²	R/(W)* ¹	ウォッチドッグタイマオン このビットを 1 にセットすると、TCW がカウントアップを開始します。0 にクリアすると TCW はカウントアップを停止します。 [クリア条件] <ul style="list-style-type: none"> リセット*³ TCSRWE = 1 の状態で B2WI に 0、WDON に 0 をライトしたとき [セット条件] <ul style="list-style-type: none"> TCSRWE = 1 の状態で B2WI に 0、WDON に 1 をライトしたとき
1	B0WI	1	R	ビット 0 書き込み禁止 このビットへの書き込み値が 0 のときだけ、このレジスタのビット 0 に対する書き込みが有効となります。リードすると常に 1 が読み出されます。
0	WRST	0	R/(W)* ¹	ウォッチドッグタイマリセット [クリア条件] <ul style="list-style-type: none"> $\overline{\text{RES}}$ 端子によるリセット TCSRWE = 1 の状態で、B0WI に 0、WRST に 0 をライトしたとき [セット条件] <ul style="list-style-type: none"> TCW がオーバフローし、内部リセット信号が発生したとき

9. タイマ

- 【注】 *1 書き込みの条件が成立している場合にのみ、ライト可能となります。
- *2 H8/38004、H8/38002S グループでは初期値 0、H8/38104 グループでは初期値 1 となります。
- *3 リセット時、H8/38004、H8/38002S グループでは 0 にクリアされ、H8/38104 グループでは 1 にセットされます。

(2) タイマカウンタ W (TCW)

TCW は 8 ビットのリード/ライト可能なアップカウンタです。TCW が H'FF から H'00 にオーバフローすると内部リセット信号が発生し、TCSRW の WRST が 1 にセットされます。TCW の初期値は H'00 です。

(3) タイマモードレジスタ W (TMW)

TMW は入力クロックの選択を行います。なお、本レジスタでのクロックソース選択はポートモードレジスタ 2 (PMR2) の WDCKS が 0 のとき有効です。WDCKS が 1 のときは本レジスタの設定値にかかわらず w/32 がクロックソースとして選択されます。

【注】 本レジスタは H8/38104 グループのみとなります。

ビット	ビット名	初期値	R/W	説明
7~4	—	すべて 1	—	リザーブビットです。読み出すと常に 1 が読み出されます。
3	CKS3	1	R/W	クロックセレクト 3~0
2	CKS2	1	R/W	TCWD に入力するクロックを選択します。
1	CKS1	1	R/W	1000 : 内部クロック : /64 をカウント
0	CKS0	1	R/W	1001 : 内部クロック : /128 をカウント
				1010 : 内部クロック : /256 をカウント
				1011 : 内部クロック : /512 をカウント
				1100 : 内部クロック : /1024 をカウント
				1101 : 内部クロック : /2048 をカウント
				1110 : 内部クロック : /4096 をカウント
				1111 : 内部クロック : /8192 をカウント
				0XXX : オンチップオシレータ
				オンチップオシレータによるオーバフロー周期については「第 17 章 電気的特性」を参照してください。

【記号説明】 X : Don't care

9.5.3 動作説明

ウォッチドッグタイマは、8 ビットのアップカウンタを備えています。入力クロックの選択は、ポートモードレジスタ 2 (PMR2) *の WDCKS で行います。H8/38004、H8/38002S グループの場合 WDCKS が 0 のとき /8192 が選択され、1 のとき w/32 が選択されます。H8/38104 グループの場合 WDCKS が 0 のときタイマモードレジスタ W (TMW) の設定によりクロックが選択され、1 のとき w/32 が選択されます。TCSRW の TCSRWE = 1 の状態で B2WI に 0、WDON に 1 を同時にライトすると、TCW はカウントアップを開始します (ウォッチドッグタイマを動作させるためには、TCSRW へ 2 回ライトアクセスが必要となります。ただし、H8/38104 グループではリセット解除時 WDON に 1 が設定されているため TCSRW へのライトアクセスをしなくても TCW はカウントアップ

を開始します。)。TCWのカウンタ値がH'FFからオーバーフローすると内部リセット信号を発生します。内部リセット信号は ϕ_{osc} クロックで512クロック分の時間出力されます。TCWはライト可能なカウンタですので、TCWに値を設定すると、その値からカウントアップを行います。したがって、TCWの設定値により、オーバーフロー周期を1~256入力クロックの範囲で設定できます。ウォッチドッグタイマ動作例を図9.13に示します。

【注】 * 詳細は、「8.1.5 ポートモードレジスタ2 (PMR2)」を参照してください。

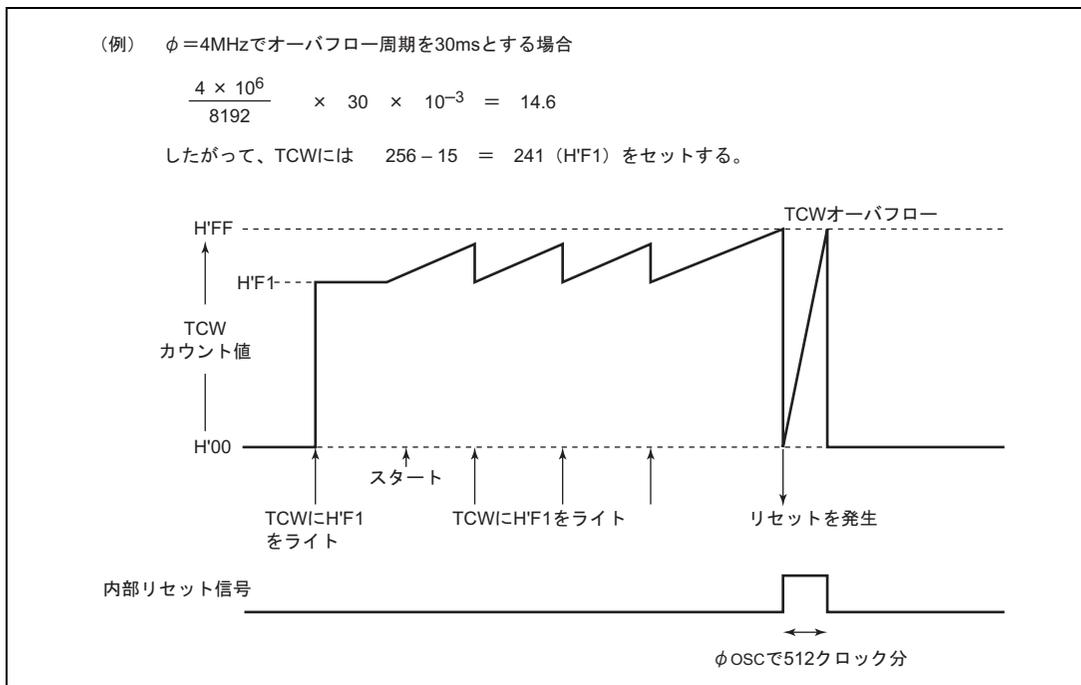


図 9.13 ウォッチドッグタイマの動作例

9.5.4 ウォッチドッグタイマの動作モード

H8/38004、H8/38002S グループと H8/38104 グループのウォッチドッグタイマの動作モードを表 9.8 (1)、(2) に示します。

表 9.8 (1) ウォッチドッグタイマモードの動作モード (H8/38004、H8/38002S グループ)

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュール スタンバイ
TCW	リセット	動作	動作	停止	動作 / 停止*	停止	停止	停止
TCSRW	リセット	動作	動作	保持	動作 / 停止*	保持	保持	保持

【注】 * 入力クロックに w/32 を選択した場合に動作します。

9. タイマ

表 9.8 (2) ウォッチドッグタイマモードの動作モード (H8/38104 グループ)

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュール スタンバイ
TCW	リセット	動作	動作	動作 / 停止* ¹	動作 / 停止* ¹	動作 / 停止* ¹	動作 / 停止* ²	停止
TCSRW	リセット	動作	動作	動作 / 保持* ¹	動作 / 停止* ¹	動作 / 保持* ¹	動作 / 保持* ²	保持
TMW	リセット	動作	動作	動作 / 保持* ¹	動作 / 停止* ¹	動作 / 保持* ¹	動作 / 保持* ²	保持

【注】 *1 内部クロックとして w/32 またはオンチップオシレータを選択した場合に動作します。

*2 オンチップオシレータを選択した場合のみ動作します。

10. シリアルコミュニケーションインタフェース 3 (SCI3)

SCI3 (シリアルコミュニケーションインタフェース 3) は、調歩同期式とクロック同期式の 2 方式のシリアルデータ通信が可能です。調歩同期方式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアルデータ通信ができます。SCI3 のブロック図を図 10.1 に示します。

10.1 特長

- シリアルデータ通信フォーマットを調歩同期式またはクロック同期式に設定可能
- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部および受信部ともにダブルバッファ構造になっていますので、連続送受信が可能です。

- 内蔵ボーレートジェネレータで任意のビットレートを選択可能
- 送受信クロックソースとして内蔵ボーレートジェネレータまたは外部クロックを選択可能
- 6種類の割り込み要因

送信終了、送信データエンプティ、受信データフル、オーバランエラー、フレーミングエラー、パリティエラーの割り込み要因があります。

【注】 H8/38104 グループで本機能を実行する際は、必ずシステムクロック発振器を使用してください。

調歩同期式モード

- データ長：7ビット / 8ビット / 5ビット選択可能
- ストップビット長：1ビット / 2ビット選択可能
- パリティ：偶数パリティ / 奇数パリティ / パリティなしから選択可能
- 受信エラーの検出：パリティエラー、オーバランエラー、フレーミングエラー
- ブレークの検出：フレーミングエラー発生時にRXD32端子のレベルを直接読み出すことでブレークを検出可能

クロック同期式モード

- データ長：8ビット
- 受信エラーの検出：オーバランエラー

10. シリアルコミュニケーションインタフェース 3 (SCI3)

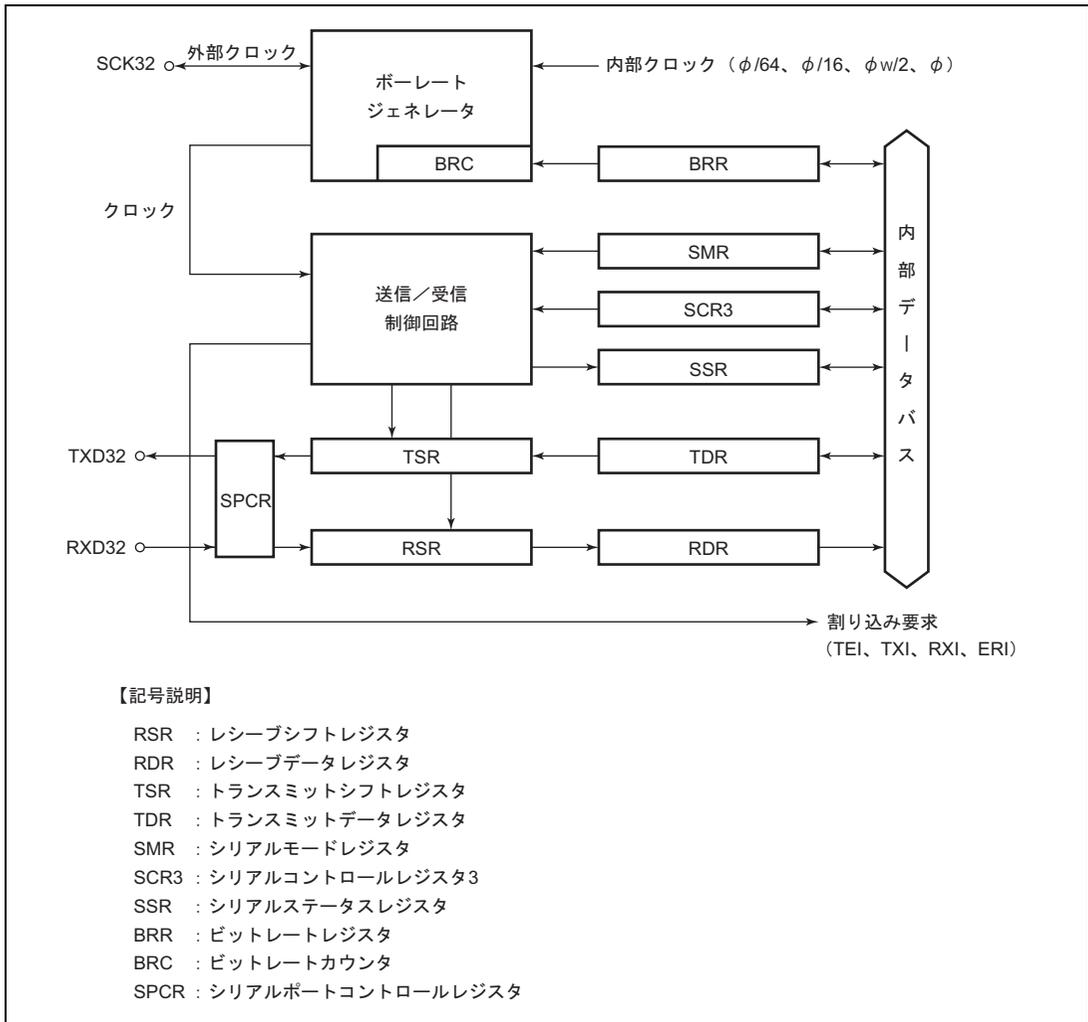


図 10.1 SCI3のブロック図

10.2 入出力端子

SCI3の端子構成を表 10.1 に示します。

表 10.1 端子構成

名称	略称	入出力	機能
SCI3 クロック	SCK32	入出力	SCI3のクロック入出力端子
SCI3 レシーブデータ入力	RXD32	入力	SCI3の受信データ入力端子
SCI3 トランスミットデータ出力	TXD32	出力	SCI3の送信データ出力端子

10.3 レジスタの説明

SCI3 には以下のレジスタがあります。

- レシーブシフトレジスタ (RSR)
- レシーブデータレジスタ (RDR)
- トランスミットシフトレジスタ (TSR)
- トランスミットデータレジスタ (TDR)
- シリアルモードレジスタ (SMR)
- シリアルコントロールレジスタ3 (SCR3)
- シリアルステータスレジスタ (SSR)
- ビットレートレジスタ (BRR)
- シリアルポートコントロールレジスタ (SPCR)

10.3.1 レシーブシフトレジスタ (RSR)

RSR は RXD32 端子から入力されたシリアルデータをパラレル変換するための受信シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR へ転送されます。CPU からは直接アクセスすることはできません。

10.3.2 レシーブデータレジスタ (RDR)

RDR は受信データを格納するための 8 ビットのレジスタです。1 フレーム分のデータを受信すると RSR から受信データがこのレジスタへ転送され、RSR は次のデータを受信可能となります。RSR と RDR はダブルバッファ構造になっているため連続受信動作が可能です。RDR のリードは SSR の RDRF が 1 にセットされていることを確認して 1 回だけ行ってください。RDR は CPU からライトできません。RDR の初期値は H'00 です。RDR は、リセット、スタンバイモード、ウォッチモード、モジュールスタンバイモード時に H'00 に初期化されます。

10.3.3 トランスミットシフトレジスタ (TSR)

TSR はシリアルデータを送信するためのシフトレジスタです。TDR に書き込まれた送信データは自動的に TSR に転送され、LSB から順に TXD32 端子に送出することでシリアルデータ送信を行います。ただし、TDR にデータが書き込まれていない (TDRE に 1 がセットされている) 場合には TDR から TSR へのデータ転送は行いません。CPU からは直接アクセスすることはできません。

10.3.4 トランスミットデータレジスタ (TDR)

TDR は送信データを格納するための 8 ビットのレジスタです。TSR に空を検出すると TDR に書き込まれた送信データは TSR に転送されて送信を開始します。TDR と TSR はダブルバッファ構造になっているため連続送信動作が可能です。1 フレーム分のデータを送信したとき TDR につぎの送信データが書き込まれていれば TSR へ転送して送信を継続します。シリアル送信を確実にを行うため、TDR への送信データのライトは必ず SSR の TDRE が 1 にセットされていることを確認して 1 回だけ行うようにしてください。TDR の初期値は H'FF です。TDR は、リセット、スタンバイモード、ウォッチモード、モジュールスタンバイモード時に H'FF に初期化されます。

10. シリアルコミュニケーションインタフェース 3 (SCI3)

10.3.5 シリアルモードレジスタ (SMR)

SMRはシリアルデータ通信フォーマットと内蔵ボーレートジェネレータのクロックソースを選択するためのレジスタです。SMRは、リセット、スタンバイモード、ウォッチモード、モジュールスタンバイモード時にH'00に初期化されます。

ビット	ビット名	初期値	R/W	説明
7	COM	0	R/W	コミュニケーションモード 0: 調歩同期式モードで動作します。 1: クロック同期式モードで動作します。
6	CHR	0	R/W	キャラクタレングス (調歩同期式モードのみ有効) 0: データ長 8 ビット / 5 ビットのフォーマットで送受信します。 1: データ長 7 ビット / 5 ビットのフォーマットで送受信します。 7 ビットデータを選択した場合、TDR の MSB (ビット 7) は送信されません。 5 ビットデータを選択する場合は PE = 1、MP = 1 に設定してください。 また、TDR の MSB (ビット 7、ビット 6、ビット 5) は送信されません。なお、クロック同期式モードでは、CHR の設定にかかわらず、データ長は 8 ビットに固定となります。
5	PE	0	R/W	パリティネーブル (調歩同期式モードのみ有効) このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。 なお、クロック同期式モードでは PE の設定にかかわらずパリティビットの付加およびチェックは行いません。
4	PM	0	R/W	パリティモード (調歩同期式モードで PE = 1 のときのみ有効) 0: 偶数パリティで送受信します。 1: 奇数パリティで送受信します。 偶数パリティに設定すると、送信時にはパリティビットと送信データを合わせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信データを合わせて、その中の 1 の数の合計が偶数になるかどうかをチェックします。 奇数パリティに設定すると、送信時にはパリティビットと送信データを合わせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信データを合わせて、その中の 1 の数の合計が奇数になるかどうかをチェックします。なお、クロック同期式モードや調歩同期式モードでパリティの付加やチェックを禁止している場合には PM は無効です。

10. シリアルコミュニケーションインタフェース 3 (SCI3)

ビット	ビット名	初期値	R/W	説明
3	STOP	0	R/W	<p>ストップビットレングス (調歩同期式モードのみ有効) 送信時のストップビットの長さを選択します。</p> <p>0 : 1ストップビット 1 : 2ストップビット</p> <p>受信時はこのビットの設定値にかかわらずストップビットの1ビット目のみチェックし、2ビット目が0の場合は次の送信キャラクタのスタートビットとみなします。</p>
2	MP	0	R/W	<p>5ビット通信</p> <p>このビットが1のとき5ビット通信のフォーマットが可能となります。 1をライトする場合は必ず同時に、ビット5(PE)に1をライトしてください。</p>
1 0	CKS1 CKS0	0 0	R/W R/W	<p>クロックセレクト 1、0</p> <p>内蔵ポーレートジェネレータのクロックソースを選択します。</p> <p>00 : クロック (n=0) 01 : w/2クロック/ wクロック (n=1) 10 : /16クロック (n=2) 11 : /64クロック (n=3)</p> <p>設定値 01 ではアクティブモード、スリープモード時では w/2 クロックになります。サブアクティブモード、サブスリープモード時では w クロックになり CPU 動作クロックが w/2 のときのみ SCI3 が使用可能になります。</p> <p>このビットの設定値とポーレートの関係については、「10.3.8 ビットレートレジスタ (BRR)」を参照してください。nは設定値の10進表示で、「10.3.8 ビットレートレジスタ (BRR)」中のnの値を表します。</p>

10. シリアルコミュニケーションインタフェース 3 (SCI3)

10.3.6 シリアルコントロールレジスタ 3 (SCR3)

SCR3 は以下の送受信動作と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。SCR3 は、リセット、スタンバイモード、ウォッチモード、モジュールスタンバイモード時に H'00 に初期化されます。各割り込み要求については「10.7 割り込み要求」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを 1 セットすると、TXI 割り込み要求がイネーブルになります。 TXI は、TDRE を 0 にクリアするか、または TIE を 0 にクリアすることで解除できます。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを 1 セットすると、RXI および ERI 割り込み要求がイネーブルになります。 RXI および ERI は、RDRF または、FER、PER、OER のエラーフラグを 0 にクリアするか、RIE を 0 にクリアすることで解除できます。
5	TE	0	R/W	トランスミットイネーブル このビットが 1 のとき送信動作が可能になります。 TE が 0 の状態では、SSR の TDRE は 1 に固定されます。TE が 1 の状態で、TDR に送信データをライトすると SSR の TDRE が 0 にクリアされシリアルデータ送信を開始します。なお、TE を 1 にセットする前に必ず SMR の設定と SPCR の SPC32 の設定を行い、送信フォーマットを決定してください。
4	RE	0	R/W	レシーブイネーブル このビットが 1 のとき受信動作が可能になります。 この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力を、それぞれ検出するとシリアルデータ受信を開始します。なお、RE を 1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。RE を 0 にクリアしても SSR の RDRF、FER、PER、OER の各フラグは影響を受けず、状態を保持しますので注意してください。
3	MPIE	0	R/W	リザーブビット リザーブビットです。
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル このビットを 1 にセットすると TEI 割り込み要求がイネーブルになります。 TEI は、SSR の TDRE を 0 にクリアして TEND を 0 にクリアするか、TEIE を 0 にクリアすることで解除できます。

10. シリアルコミュニケーションインタフェース 3 (SCI3)

ビット	ビット名	初期値	R/W	説明
1	CKE1	0	R/W	クロックイネーブル 1、0
0	CKE0	0	R/W	<p>クロックソースを選択します。</p> <p>調歩同期式の場合</p> <p>00：内部ポーレートジェネレータ</p> <p>01：内部ポーレートジェネレータ (SCK32 端子からビットレートと同じ周波数のクロックを出力します)</p> <p>10：外部クロック (SCK32 端子からビットレートの 16 倍の周波数のクロックを入力してください。)</p> <p>11：リザーブ</p> <p>クロック同期式の場合</p> <p>00：内部クロック (SCK32 端子機能はクロック出力端子となります。)</p> <p>01：リザーブ</p> <p>10：外部クロック (SCK32 端子機能はクロック入力端子となります。)</p> <p>11：リザーブ</p>

10. シリアルコミュニケーションインタフェース 3 (SCI3)

10.3.7 シリアルステータスレジスタ (SSR)

SSR は SCI3 のステータスフラグと送受信マルチプロセッサビットで構成されます。TDRE、RDRF、OER、PER、FER はクリアのみ可能です。SSR は、リセット、スタンバイモード、ウォッチモード、モジュールスタンバイモード時に H'84 に初期化されます。

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)*	<p>トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCR3 の TE が 0 のとき • TDR から TSR にデータが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき • TDR へ送信データをライトしたとき
6	RDRF	0	R/(W)*	<p>レシーブデータレジスタフル RDR 内の受信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信が正常終了し、RSR から RDR へ受信データが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき • RDR のデータをリードしたとき <p>受信時にエラーを検出したとき、および SCR3 の RE を 0 にクリアしたときには、RDR および RDRF は影響を受けず以前の状態を保持します。RDRF が 1 にセットされたままデータの受信を完了するとオーバーランエラー (OER) を発生し、受信データが失われますので注意してください。</p>
5	OER	0	R/(W)*	<p>オーバーランエラー</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信中にオーバーランエラーが発生したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき <p>SCR3 の RE を 0 にクリアしたときには、OER は影響を受けず以前の状態を保持します。オーバーランエラーが発生すると RDR では、オーバーランエラーが発生する前の受信データが保持され、後から受信したデータが失われます。なお、OER が 1 にセットされた状態で、以降の受信を続けることはできません。クロック同期モードでは送信も続けることができません。</p>

10. シリアルコミュニケーションインタフェース 3 (SCI3)

ビット	ビット名	初期値	R/W	説明
4	FER	0	R/(W)*	<p>フレーミングエラー</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 受信中にフレーミングエラーが発生したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1の状態をリードした後、0をライトしたとき <p>SCR3のREを0にクリアしたときには、FERは影響を受けず以前の状態を保持します。2ストップビットモード時は、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックをしませんので注意してください。なお、フレーミングエラーが発生したときの受信データはRDRに転送されますが、RDRFはセットされません。さらに、FERが1にセットされた状態においては、以降の受信を続けることはできません。また、クロック同期式モードでは、FERが1にセットされていると送信および受信はできません。</p>
3	PER	0	R/(W)*	<p>パリティエラー</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 受信中にパリティエラーが発生したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1の状態をリードした後、0をライトしたとき <p>SCR3のREを0にクリアしたときには、PERは影響を受けず以前の状態を保持します。パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFはセットされません。なお、PERが1にセットされた状態では、以降の受信を続けることはできません。また、クロック同期式モードでは、PERが1にセットされていると送信および受信はできません。</p>
2	TEND	1	R	<p>トランスミットエンド</p> <p>[セット条件]</p> <ul style="list-style-type: none"> SCR3のTEが0のとき 送信キャラクタの最後尾ビットの送信時、TDREが1のとき <p>[クリア条件]</p> <ul style="list-style-type: none"> TDRE=1の状態をリードした後、TDREに0をライトしたとき TDRへ送信データをライトしたとき
1	MPBR	0	R	<p>リザーブビット</p> <p>リード専用のリザーブビットです。</p> <p>ライトは不可。</p>
0	MPBT	0	R/W	<p>リザーブビット</p> <p>リザーブビットです。</p> <p>ライトする場合は必ず0をライトしてください。</p>

【注】 * フラグをクリアするための0ライトのみ可能です。

10.3.8 ビットレートレジスタ (BRR)

BRR はビットレートを設定するリード/ライト可能な 8 ビットのレジスタです。BRR の初期値は H'FF です。BRR は、リセット、スタンバイモード、ウォッチモード、モジュールスタンバイモード時に H'FF に初期化されます。調歩同期式モードにおける SMR の CKS1、CKS0 の値 n と BRR の値 N の設定例を表 10.2 に、調歩同期式モードの最大ビットレートを表 10.4 に示します。いずれもアクティブ (高速) モードでの値を示しています。クロック同期式モードにおける SMR の CKS1、CKS0 の値 n と BRR の値 N の設定例を表 10.5 に示します。その他の動作周波数とビットレートの組み合わせに対する BRR の設定値 N と誤差は以下の計算式で求められます。

(調歩同期式モード)

$$N = \frac{\phi}{32 \times 2^{2n} \times B} - 1$$

$$\text{誤差 (\%)} = \frac{B(n, N, \phi \text{ から求めたビットレート}) - R \text{ (表 10.2 左欄のビットレート)}}{R \text{ (表 10.2 の左欄のビットレート)}} \times 100$$

B: ビットレート (bit/s)

N: ボーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)

φ: 動作周波数 (Hz)

n: ボーレートジェネレータの入力クロックの No. (n = 0, 2, 3)

(n とクロックの関係は表 10.3 を参照)

10. シリアルコミュニケーションインタフェース 3 (SCI3)

表 10.2 ビットレートに対する BRR の設定例〔調歩同期モード〕(1)

ビット レート (bit/s)	= 16.4kHz			= 19.2kHz			= 1MHz			= 1.2288MHz		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	-	-	-	-	-	-	2	17	-1.36	2	21	-0.83
150	-	-	-	0	3	0	2	12	0.16	3	3	0
200	-	-	-	0	2	0	2	9	-2.34	3	2	0
250	0	1	2.5	-	-	-	3	1	-2.34	0	153	-0.26
300	-	-	-	0	1	0	0	103	0.16	3	1	0
600	-	-	-	0	0	0	0	51	0.16	3	0	0
1200				-	-	-	0	25	0.16	2	1	0
2400							0	12	0.16	2	0	0
4800							-	-	-	0	7	0
9600							-	-	-	0	3	0
19200							-	-	-	0	1	0
31250							0	0	0	-	-	-
38400							-	-	-	0	0	0

表 10.2 ビットレートに対する BRR の設定例〔調歩同期モード〕(2)

ビット レート (bit/s)	= 2MHz			= 5MHz			= 8MHz			= 10MHz		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	8	-1.36	3	21	0.88	3	35	-1.36	3	43	0.88
150	2	25	0.16	3	15	1.73	3	25	0.16	3	32	-1.36
200	3	4	-2.34	3	11	1.73	3	19	-2.34	3	23	1.73
250	2	15	-2.34	3	9	-2.34	3	15	-2.34	3	19	-2.34
300	2	12	0.16	3	7	1.73	3	12	0.16	3	15	1.73
600	0	103	0.16	3	3	1.73	2	25	0.16	3	7	1.73
1200	0	51	0.16	3	1	1.73	2	12	0.16	3	3	1.73
2400	0	25	0.16	3	0	1.73	0	103	0.16	3	1	1.73
4800	0	12	0.16	2	1	1.73	0	51	0.16	3	0	1.73
9600	-	-	-	2	0	1.73	0	25	0.16	2	1	1.73
19200	-	-	-	0	7	1.73	0	12	0.16	2	0	1.73
31250	0	1	0	0	4	0	0	7	0	0	9	0
38400	-	-	-	0	3	1.73	-	-	-	0	7	1.73

【記号説明】

空欄 : 設定不可能です。

- : 設定可能ですが誤差がです。

10. シリアルコミュニケーションインタフェース 3 (SCI3)

表 10.3 n とクロックの関係

n	クロック	SMR の設定値	
		CKS1	CKS0
0		0	0
0	$w/2^{*1} / w^{*2}$	0	1
2	/16	1	0
3	/64	1	1

【注】 *1 アクティブ (中速 / 高速)、スリープ (中速 / 高速) 時では $w/2$ クロックとなります。

*2 サブアクティブ、サブスリープ時では w クロックとなります。また、サブアクティブモード、サブスリープモード時は、CPU 動作クロックが $w/2$ のときのみ SCI3 が使用可能となります。

表 10.4 各周波数における最大ビットレート [調歩同期式モード]

OSC (MHz)	(MHz)	最大ビットレート (bit/s)	設定値	
			n	N
0.0384*	0.0192	600	0	0
2	1	31250	0	0
2.4576	1.2288	38400	0	0
4	2	62500	0	0
10	5	156250	0	0
16	8	250000	0	0
20	10	312500	0	0

【注】 * SMR を CKS1 = 0、CKS0 = 1 に設定したとき

10. シリアルコミュニケーションインタフェース 3 (SCI3)

表 10.5 ビットレートに対する BRR の設定例〔クロック同期式モード〕(1)

ビットレート (bit/s)	19.2kHz			1MHz			2MHz		
	n	N	誤差率	n	N	誤差率	n	N	誤差率
200	0	23	0	-	-	-	-	-	-
250	-	-	-	-	-	-	2	124	0
300	2	0	0	-	-	-	-	-	-
500				-	-	-	-	-	-
1K				0	249	0	-	-	-
2.5K				0	99	0	0	199	0
5K				0	49	0	0	99	0
10K				0	24	0	0	49	0
25K				0	9	0	0	19	0
50K				0	4	0	0	9	0
100K				-	-	-	0	4	0
250K				0	0	0	0	1	0
500K							0	0	0
1M									

表 10.5 ビットレートに対する BRR の設定例〔クロック同期式モード〕(2)

ビットレート (bit/s)	5kHz			8MHz			10MHz		
	n	N	誤差率	n	N	誤差率	n	N	誤差率
200	-	-	-	-	-	-	0	12499	0
250	-	-	-	3	124	0	2	624	0
300	-	-	-	-	-	-	0	8332	0
500	-	-	-	2	249	0	0	4999	0
1K	-	-	-	2	124	0	0	2499	0
2.5K	-	-	-	2	49	0	0	999	0
5K	0	249	0	2	24	0	0	499	0
10K	0	124	0	0	199	0	0	249	0
25K	0	49	0	0	79	0	0	99	0
50K	0	24	0	0	39	0	0	49	0
100K	-	-	-	0	19	0	0	24	0
250K	0	4	0	0	7	0	0	9	0
500K	-	-	-	0	3	0	0	4	0
1M	-	-	-	0	1	0	-	-	-

【記号説明】

空欄 : 設定不可能です。

- : 設定可能ですが誤差がでます。

10. シリアルコミュニケーションインタフェース 3 (SCI3)

【注】 BRR の設定値は以下の計算式で求められます。

$$N = \frac{\phi}{8 \times 2^{2n} \times B} - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)

φ : 動作周波数 (Hz)

n : ボーレートジェネレータの入力クロックの No. (n=0、2、3)
(n とクロックの関係は表 10.6 を参照)

表 10.6 n とクロックの関係

n	クロック	SMR の設定値	
		CKS1	CKS0
0		0	0
0	w/2 ^{*1} / w ^{*2}	0	1
2	/16	1	0
3	/64	1	1

【注】 *1 アクティブ (中速 / 高速)、スリープ (中速 / 高速) 時では w/2 クロックとなります。

*2 サブアクティブ、サブスリープ時では w クロックとなります。また、サブアクティブモード、サブスリープモード時は、CPU 動作クロックが w/2 のときのみ SCI3 が使用可能となります。

10.3.9 シリアルポートコントロールレジスタ (SPCR)

SPCR は RXD32 端子、TXD32 端子の入出力データ反転切り替えを行います。

ビット	ビット名	初期値	R/W	説明
7、6		すべて 1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
5	SPC32	0	R/W	P42/TXD32 端子機能切り替え P42/TXD32 端子を P42 端子として使用するか TXD32 端子として使用するかを設定します 0 : P42 入出力端子として機能 1 : TXD32 出力端子として機能* 【注】 * 本ビットを 1 に設定した後に SCR3 の TE ビットを設定してください。
4			W	リザーブビット ライトする場合は 0 ライトのみ可能です。
3	SCINV3	0	R/W	TXD32 端子出力データ反転切り替え TXD32 端子の出力データのロジックレベルを反転するか、しないか、の切り替えを設定します。 0 : TXD32 の出力データを反転しない 1 : TXD32 の出力データを反転する
2	SCINV2	0	R/W	RXD32 端子入力データ反転切り替え RXD32 端子の入力データのロジックレベルを反転するか、しないか、の切り替えを設定します。 0 : RXD32 の入力データを反転しない 1 : RXD32 の入力データを反転する
1、0			W	リザーブビット ライトする場合は 0 ライトのみ可能です。

【注】 シリアルポートコントロールレジスタを書き換えると、それまで入力または出力されていたデータが書き換えた直後に反転され、有効ではないデータの変化が入出力されます。シリアルポートコントロールレジスタを書き換える際には、データ変化を無効にする状態で、書き換えてください。

10.4 調歩同期式モードの動作説明

調歩同期式通信の通信データの一般的なフォーマットを図 10.2 に示します。通信データの 1 キャラクタは、スタートビット (Low レベル) から始まり、送信 / 受信データ (LSB ファースト)、パリティビット、ストップビット (High レベル) の順で構成されます。調歩同期式モードでは、受信時にスタートビットの立ち下がりエッジで同期化を行います。また、データを 1 ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データを取り込みます。SCI3 内部は送信部と受信部が独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。調歩同期式モードで設定できる送信 / 受信フォーマットを表 10.7 に示します。送信 / 受信フォーマットは 16 種類あり、SMR の設定により選択できます。これを表 10.8 に示します。

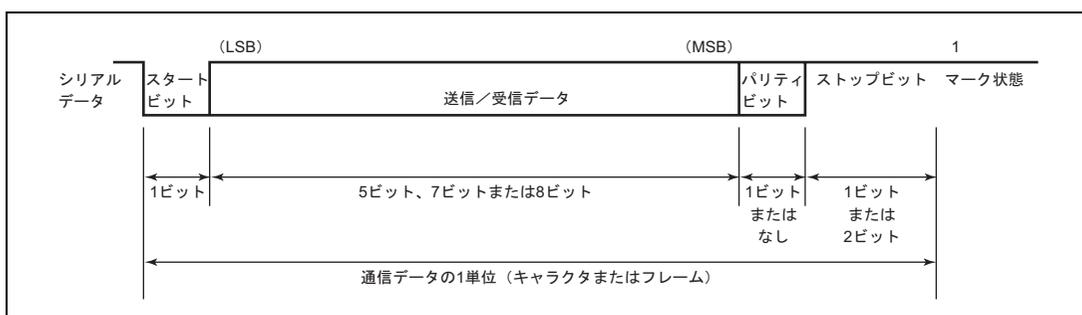


図 10.2 調歩同期式通信のデータフォーマット

10.4.1 クロック

SMR の COM と SCR3 の CKE1、CKE0 の設定により、SCI3 の送受信クロックソースとして内蔵ポーレートジェネレータが生成する内部クロックまたは SCK32 端子から入力される外部クロックを選択できます。外部クロックを使用する場合は SCK32 端子にビットレートの 16 倍の周波数のクロックを入力してください。クロックソースの選択については表 10.9 を参照してください。内部クロックを使用する場合は SCK32 端子からビットレートと同じ周波数のクロックを出力することができます。出力されるクロックの位相は図 10.3 のように送受信データの各ビットの中央でクロックが立ち上がります。

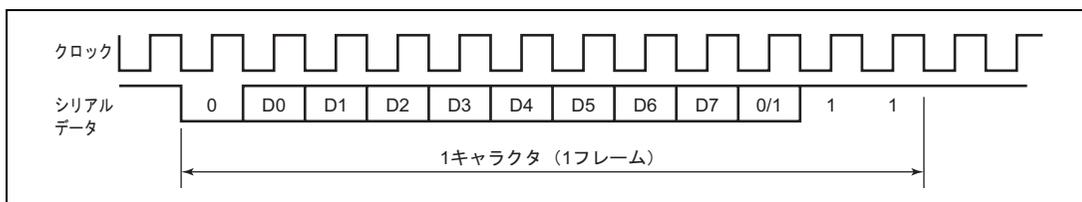


図 10.3 出力クロックと通信データの位相関係 (調歩同期式モード)
(8 ビットデータ / パリティあり / 2 ストップビットの例)

10. シリアルコミュニケーションインタフェース3 (SCI3)

表 10.7 通信フォーマット (調歩同期式モード)

SMR				シリアル通信フォーマットとフレーム長														
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12			
0	0	0	0	START	8ビットデータ								STOP					
0	0	0	1	START	8ビットデータ								STOP	STOP				
0	0	1	0	設定禁止														
0	0	1	1	設定禁止														
0	1	0	0	START	8ビットデータ								P	STOP				
0	1	0	1	START	8ビットデータ								P	STOP	STOP			
0	1	1	0	START	5ビットデータ					STOP								
0	1	1	1	START	5ビットデータ					STOP	STOP							
1	0	0	0	START	7ビットデータ						STOP							
1	0	0	1	START	7ビットデータ						STOP	STOP						
1	0	1	0	設定禁止														
1	0	1	1	設定禁止														
1	1	0	0	START	7ビットデータ						P	STOP						
1	1	0	1	START	7ビットデータ						P	STOP	STOP					
1	1	1	0	START	5ビットデータ					P	STOP							
1	1	1	1	START	5ビットデータ					P	STOP	STOP						

【記号説明】

- * : Don't care
- START : スタートビット
- STOP : ストップビット
- P : パリティビット
- MPB : マルチプロセッサビット

10. シリアルコミュニケーションインタフェース 3 (SCI3)

表 10.8 SMR の設定値と送信 / 受信フォーマット

SMR					モード	送信 / 受信フォーマット																			
ビット 7	ビット 6	ビット 2	ビット 5	ビット 3		データ長	マルチ プロセッサ ビット	パリティ ビット	ストップ ビット長																
COM	CHR	MP	PE	STOP																					
0	0	0	0	0	調歩同期式 モード	8ビット データ	なし	なし	1																
				1					2																
			1	0					0	1															
									1	2															
			1	0					0	1															
									1	2															
	1	0	1	0		0	設定禁止	5ビット データ	なし	なし	1														
						1					2														
				1		0					0	設定禁止	5ビット データ	なし	あり	1									
											1					2									
		1	0	1		0					0					調歩同期式 モード	5ビット データ	なし	あり	1					
											1									2					
					1	0					1									0	クロック同期式 モード	8ビット データ	なし	なし	なし
																				1					なし

【記号説明】 * : Don't care

表 10.9 SMR、SCR3 の設定とクロックソースの選択

SMR	SCR3		モード	送信 / 受信クロック	
ビット 7	ビット 1	ビット 0		クロック ソース	SCK32 端子の機能
COM	CKE1	CKE0			
0	0	0	調歩同期式 モード	内部	入出力ポート (SCK32 端子を使用しません) ビットレートと同じ周波数のクロックを出力
		1			
1	0	0	クロック同期 式モード	内部	同期クロックを出力
		1		外部	同期クロックを入力
0	1	1	リザーブ (この組み合わせは指定しないでください)		
1	0	1			
1	1	1			

10.4.2 SCI3の初期化

図 10.4 のフローチャートの例に従って初期化してください。TE を 0 にクリアすると、TDRE は 1 にセットされますが、RE を 0 にクリアしても、RDRF、PER、FER、OER の各フラグ、および RDR は初期化されませんので注意してください。調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。クロック同期式モードで外部クロックを使用する場合は、初期化の期間中にクロックを供給しないでください。

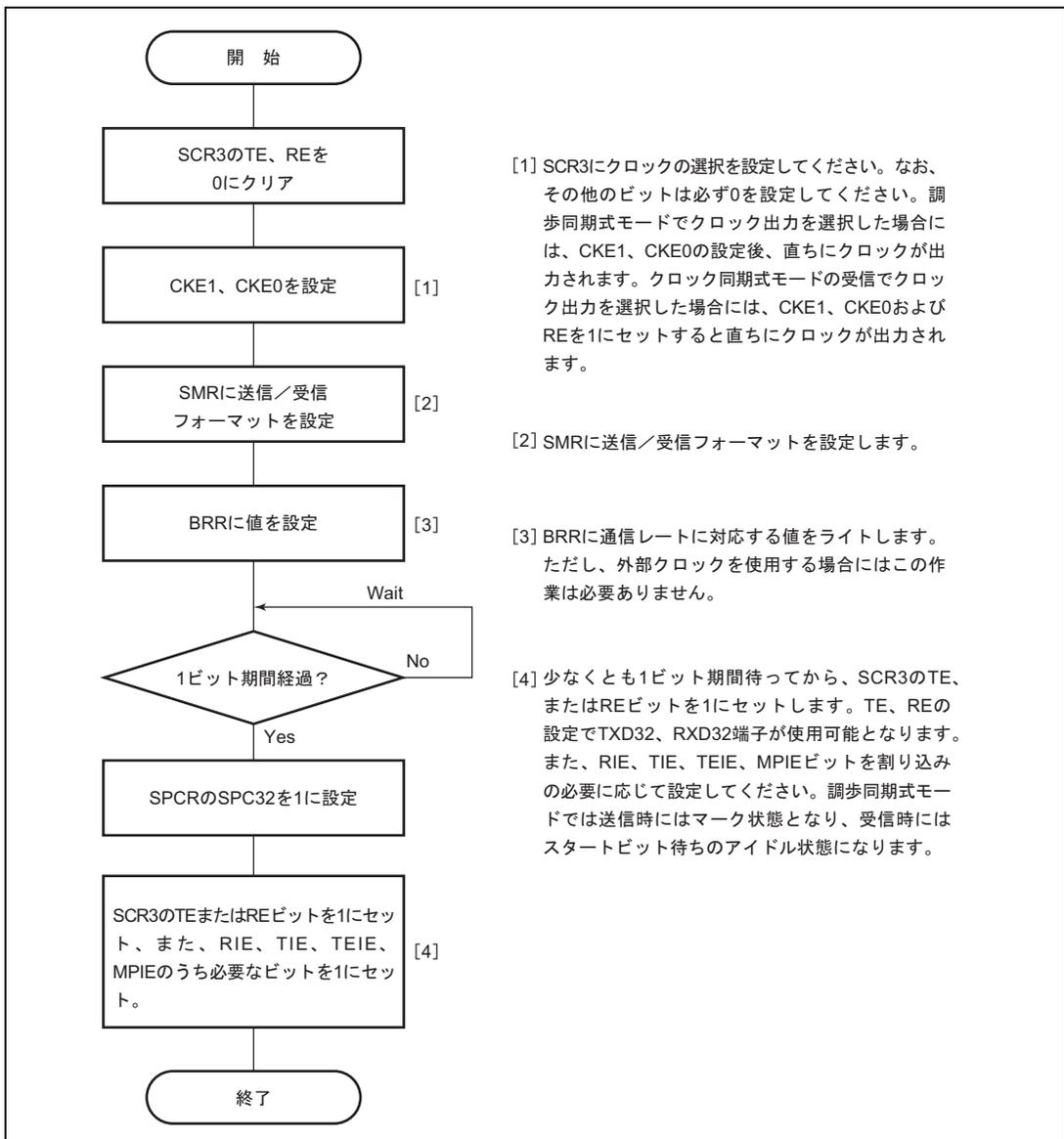


図 10.4 SCI3を初期化するときのフローチャートの例

10.4.3 データ送信

図 10.5 に調歩同期式モードの送信時の動作例を示します。SCI3 はデータ送信時以下のように動作します。

1. SSRのTDREを監視し、0であるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDREを1にセットして送信を開始します。このとき、SCR3のTIEが1にセットされているとTXI割り込み要求が発生します。このTXI割り込み処理ルーチンで、前に転送したデータが送信終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. ストップビットを送り出すタイミングでTDREをチェックします。
4. TDREが0であるとTDRからTSRにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
5. TDREが1であるとSSRのTENDに1をセットし、ストップビット送出後、1を出力してマーク状態になります。このときSCR3のTEIEが1にセットされているとTEIが発生します。
6. 図10.6にデータ送信を行うためのフローチャートの例を示します。

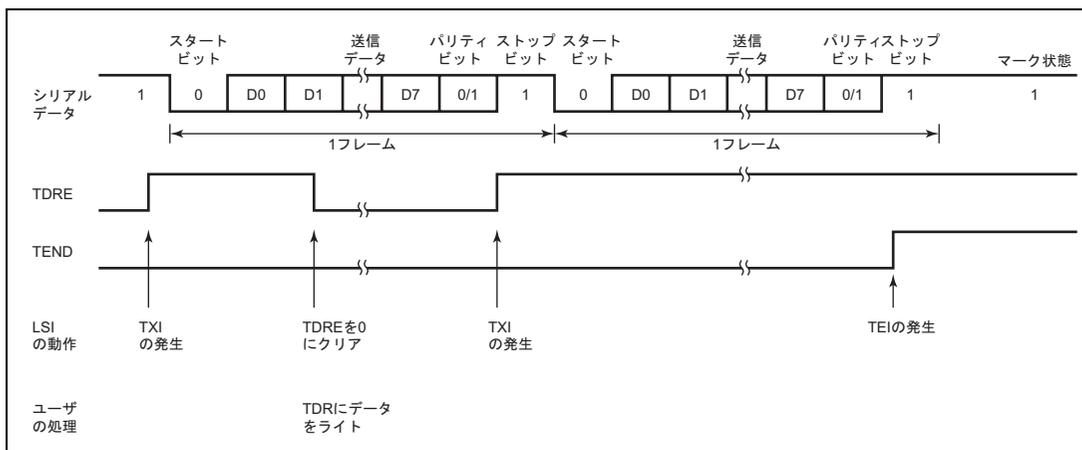
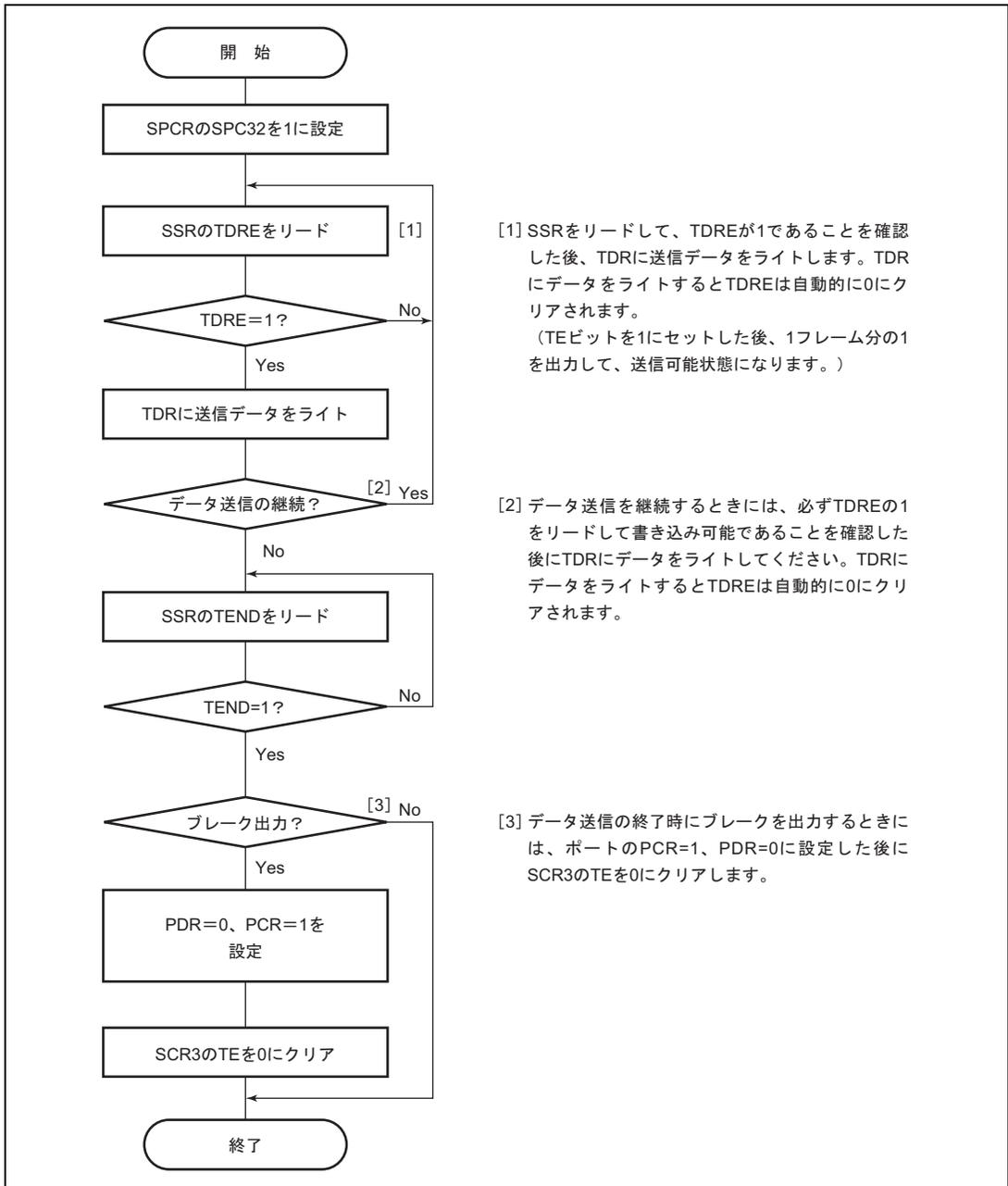


図 10.5 調歩同期式モードの送信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)



[1] SSRをリードして、TDREが1であることを確認した後、TDRに送信データをライトします。TDRにデータをライトするとTDREは自動的に0にクリアされます。
(TEビットを1にセットした後、1フレーム分の1を出力して、送信可能状態になります。)

[2] データ送信を継続するときには、必ずTDREの1をリードして書き込み可能であることを確認した後、TDRにデータをライトしてください。TDRにデータをライトするとTDREは自動的に0にクリアされます。

[3] データ送信の終了時にブレークを出力するときには、ポートのPCR=1、PDR=0に設定した後にSCR3のTEを0にクリアします。

図 10.6 データ送信のフローチャートの例 (調歩同期式モード)

10.4.4 データ受信

調歩同期式モードの受信時の動作例を図 10.7 に示します。SCI3 は受信時に以下のように動作します。

1. 通信回線を監視し、スタートビットを検出すると内部を同期化して受信データをRSRに取り込み、パリティビットとストップビットをチェックします。
 - パリティチェック：
受信データの1の数をチェックし、これがSMRのPMで設定した偶数 / 奇数パリティになっているかをチェックします。
 - ストップビットチェック：
ストップビットが1であるかをチェックします。ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
 - ステータスチェック：
RDRFが0であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。
2. オーバランエラーが発生したとき (SSRのRDRFが1にセットされたまま次のデータを受信完了したとき) はSSRのOERをセットします。このときSCR3のRIEが1にセットされているとERI割り込み要求を発生します。受信データはRDRに転送しません。
3. パリティエラーを検出した場合はSSRのPERをセットし、受信データをRDRに転送します。このときSCR3のRIEが1にセットされているとERI割り込み要求を発生します。
4. フレーミングエラー (ストップビットが0のとき) を検出した場合はSSRのFERをセットし、受信データをRDRに転送します。このときSCR3のRIEが1にセットされているとERI割り込み要求を発生します。
5. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCR3のRIEが1にセットされているとRXI割り込み要求を発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

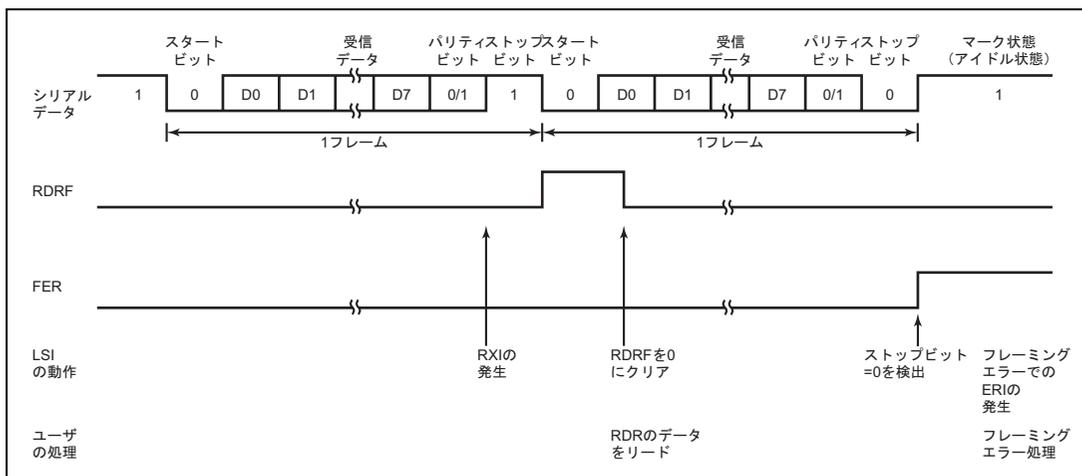


図 10.7 調歩同期式モードの受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

受信エラーを検出した場合の SSR の各ステータスフラグの状態と受信データの処置を表 10.10 に示します。受信エラーを検出すると、RDRF はデータを受信する前の状態を保ちます。受信エラーがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず OER、FER、PER、および RDRF を 0 にクリアしてください。図 10.8 にデータ受信のためのフローチャートの例を示します。

表 10.10 SSR のステータスフラグの状態と受信データの転送

SSR のステータスフラグ				受信データ	受信エラーの状態
RDRF*	OER	FER	PER		
1	1	0	0	消失	オーバランエラー
0	0	1	0	RDR へ転送	フレーミングエラー
0	0	0	1	RDR へ転送	パリティエラー
1	1	1	0	消失	オーバランエラー + フレーミングエラー
1	1	0	1	消失	オーバランエラー + パリティエラー
0	0	1	1	RDR へ転送	フレーミングエラー + パリティエラー
1	1	1	1	消失	オーバランエラー + フレーミングエラー + パリティエラー

【注】 * RDRF は、データ受信前の状態を保持します。ただし、前のフレームの受信データのリードが遅れた結果、次のフレームのオーバランエラーが発生した後に RDR をリードした場合は、RDRF は 0 にクリアされますので注意してください。

10. シリアルコミュニケーションインタフェース 3 (SCI3)

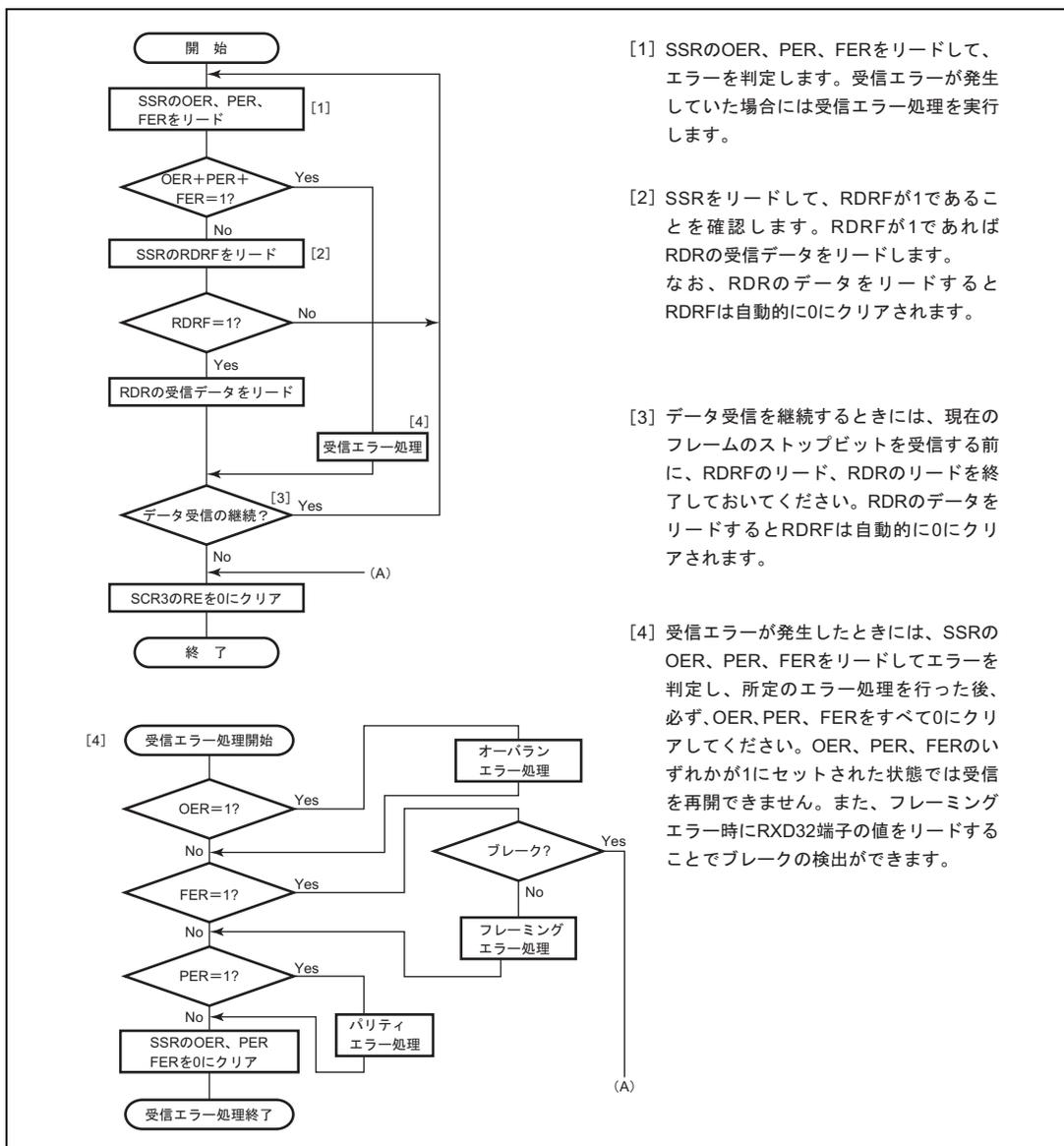


図 10.8 データ受信のフローチャートの例 (調歩同期式モード)

10.5 クロック同期式モードの動作説明

クロック同期式通信の通信データのフォーマットを図 10.9 に示します。クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは、LSB から始まる 8 ビットデータで構成されます。SCI3 はデータ送信時は同期クロックの立ち下がりから次の立ち上がりまで出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。MSB 出力後の通信回線は MSB 出力状態を保ちます。クロック同期式モードでは、パリティビットやマルチプロセッサビットの付加はできません。SCI3 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。送信部 / 受信部はともにダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

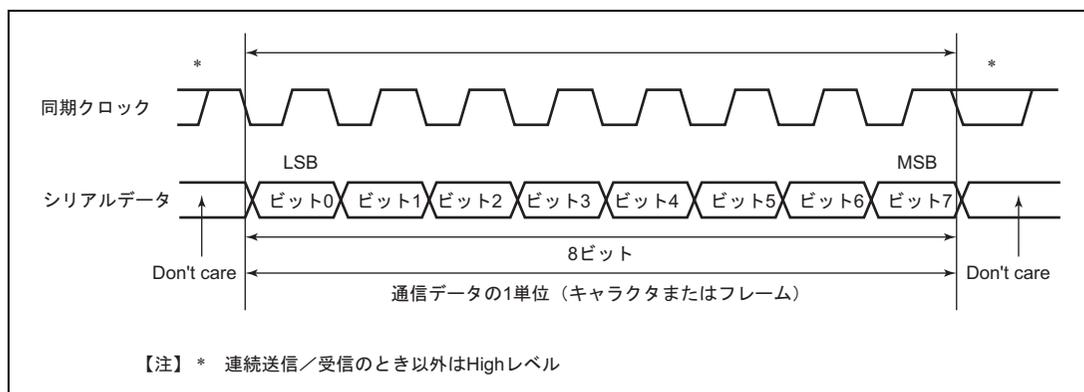


図 10.9 クロック同期式通信のデータフォーマット

10.5.1 クロック

SMR の COM と SCR3 の CKE1、CKE0 の設定により、内蔵ポーレートジェネレータが生成する内部クロックまたは SCK32 端子から入力される外部同期クロックを選択できます。内部クロックで動作させるとき、SCK32 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High レベルに固定されます。

10.5.2 SCI3 の初期化

データの送受信前に図 10.4 のフローチャートの例に従って SCI3 を初期化してください。

10.5.3 データ送信

図 10.10 にクロック同期式モードの送信時の動作例を示します。データ送信時 SCI3 は以下のように動作します。

1. SCI3は、SSRのTDREを監視し、0であるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDREを1にセットして送信を開始します。このとき、SCR3のTIEが1にセットされているとTXI割り込み要求が発生します。
3. クロック出力モードに設定したときには、SCI3は同期クロックを8パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。シリアルデータは、LSB (ビット0) から順にTXD端子から送信されます。
4. MSB (ビット7) を送り出すタイミングでTDREをチェックします。
5. TDREが0であるとTDRからTSRにデータを転送し次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDに1をセットし、MSB出力状態を保持します。このときSCR3のTEIEが1にセットされているとTEIが発生します。
7. 送信終了後はSCK3端子はHighレベル固定になります。

図 10.11 にデータ送信のフローチャートの例を示します。データ受信のステータスを示すエラーフラグ(OER、FER、PER)が1にセットされた状態では送信は行えませんので、送信の前には、エラーフラグ(OER、FER、PER)が0にクリアされていることを確認してください。

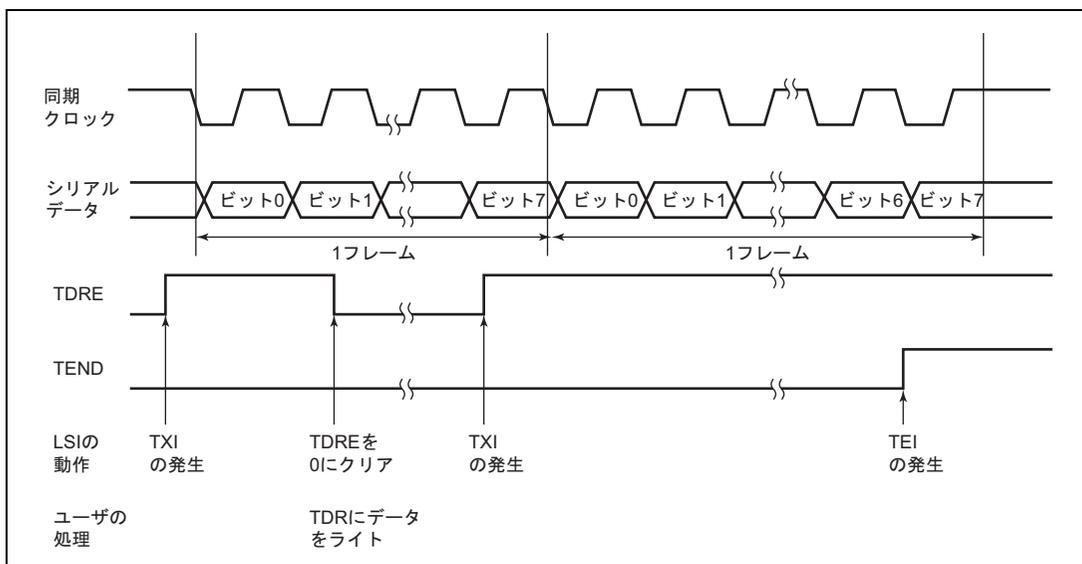


図 10.10 クロック同期式モードの送信時の動作例

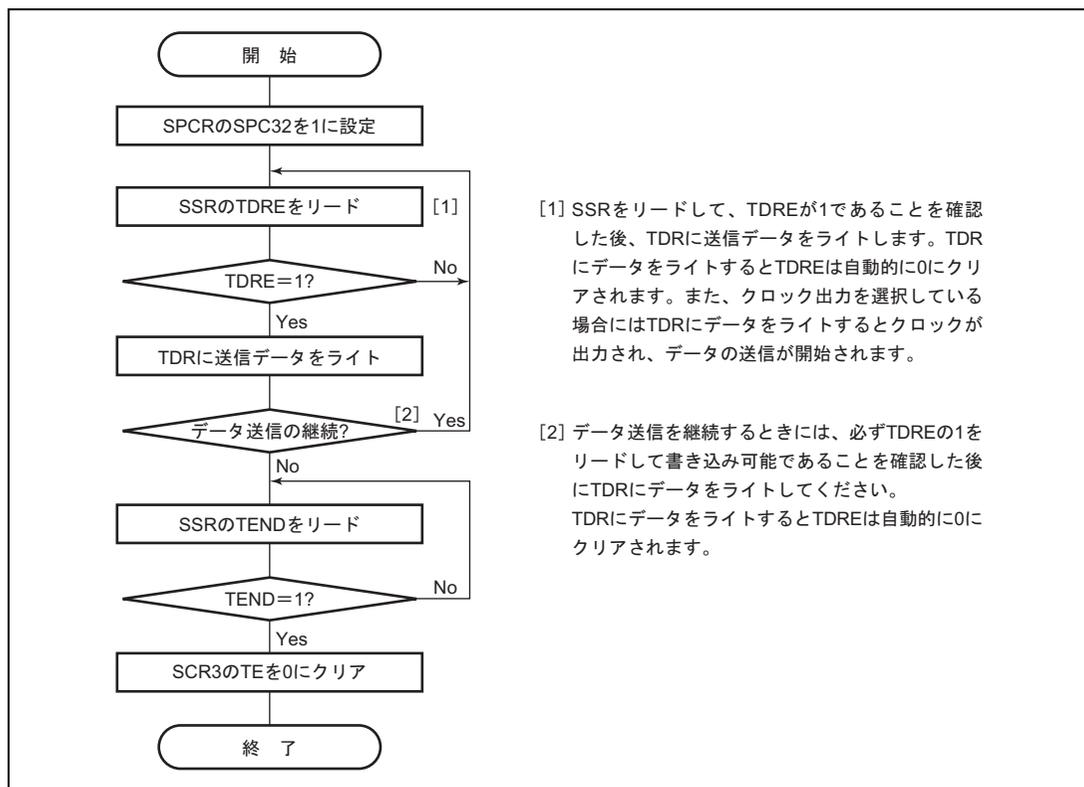


図 10.11 データ送信のフローチャートの例 (クロック同期式モード)

10.5.4 データ受信

図 10.12 にクロック同期式モードの受信時の動作例を示します。SCI3 は受信時に以下のように動作します。

1. SCI3は同期クロックの入力または、出力に同期して内部を初期化し、受信を開始します。
2. 受信したデータをRSRに取り込みます。
3. オーバランエラーが発生したとき（SSRのRDRFが1にセットされたまま次のデータを受信完了したとき）はSSRのOERをセットします。このときSCR3のRIEが1にセットされているとERI割り込み要求を発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
4. 正常に受信したときはSSR のRDRFをセットし、受信データをRDRに転送します。このときSCR3のRIEが1にセットされているとRXI割り込み要求を発生します。

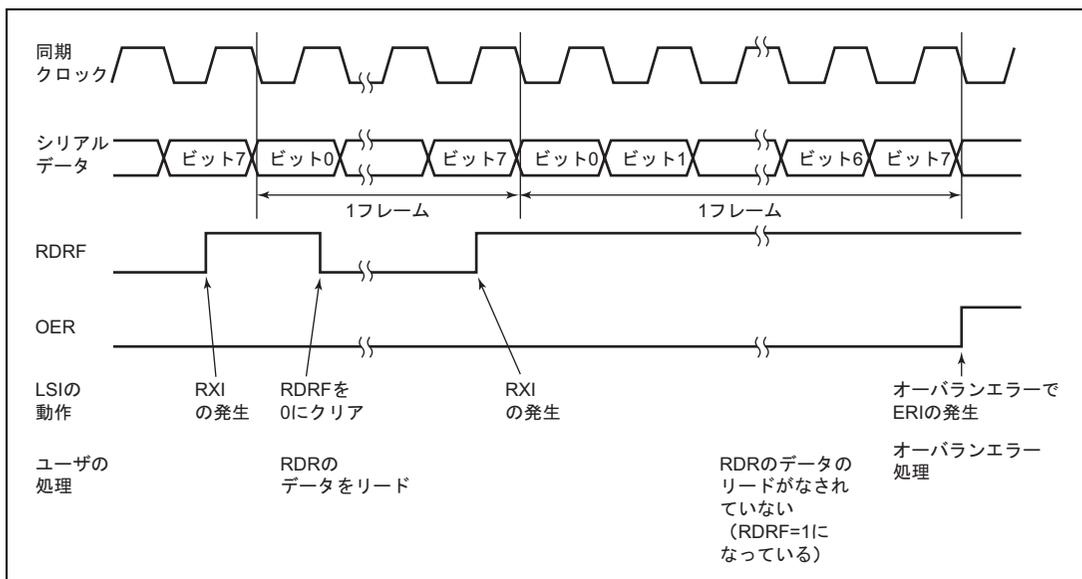


図 10.12 クロック同期式モードの受信時の動作例

10. シリアルコミュニケーションインタフェース 3 (SCI3)

受信エラーがセットされた状態では、以後の受信動作ができません。したがって、受信を継続する前に必ず OER、FER、PER、および RDRF を 0 にクリアしてください。図 10.13 にデータ受信のフローチャートの例を示します。

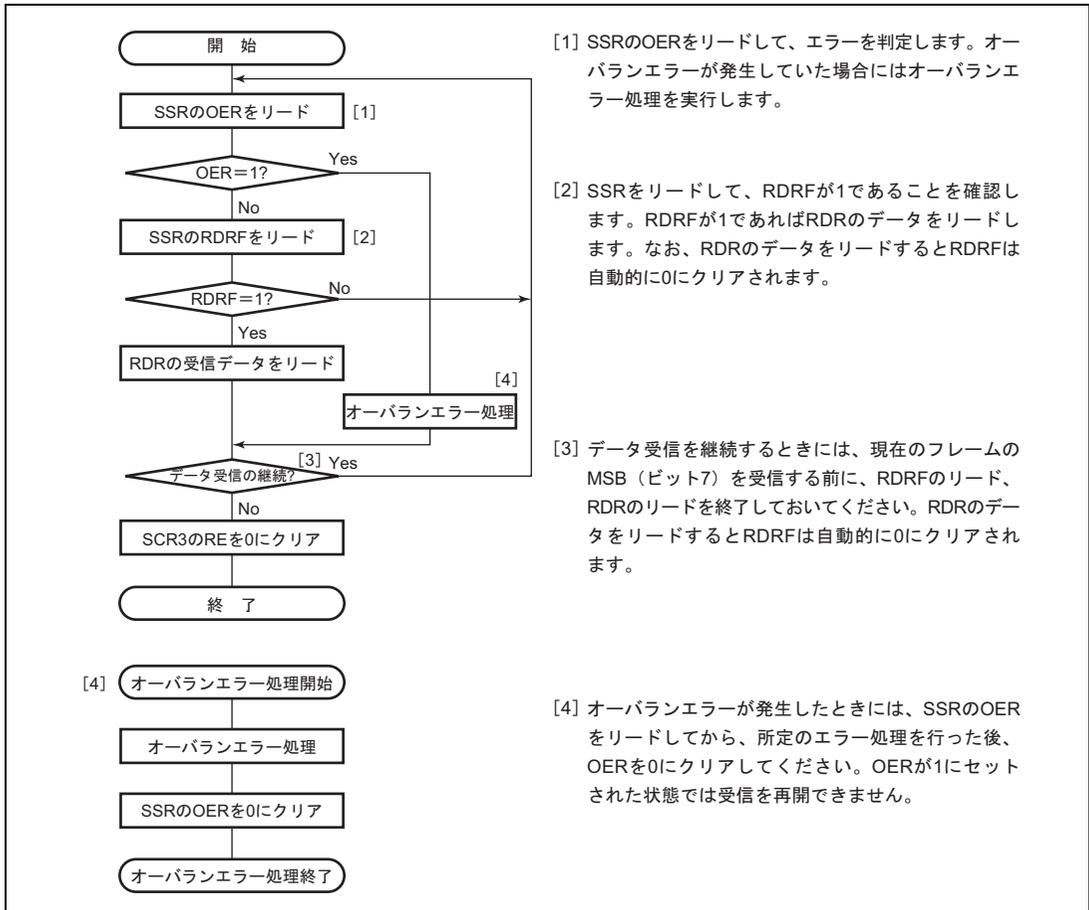


図 10.13 データ受信フローチャートの例 (クロック同期式モード)

10.5.5 データ送受信同時動作

図 10.14 にデータ送受信同時動作のフローチャートの例を示します。データ送受信同時動作は SCI3 の初期化後、以下の手順に従って行ってください。送信から同時送受信へ切り替えるときには、SCI3 が送信終了状態であること、TDRE および TEND が 1 にセットされていることを確認した後、TE を 0 にクリアしてから TE および RE を 1 命令で同時に 1 にセットしてください。受信から同時送受信へ切り替えるときには、SCI3 が受信完了状態であることを確認し、RE を 0 にクリアしてから RDRF およびエラーフラグ (OER、FER、PER) が 0 にクリアされていることを確認した後、TE および RE を 1 命令で同時に 1 にセットしてください。

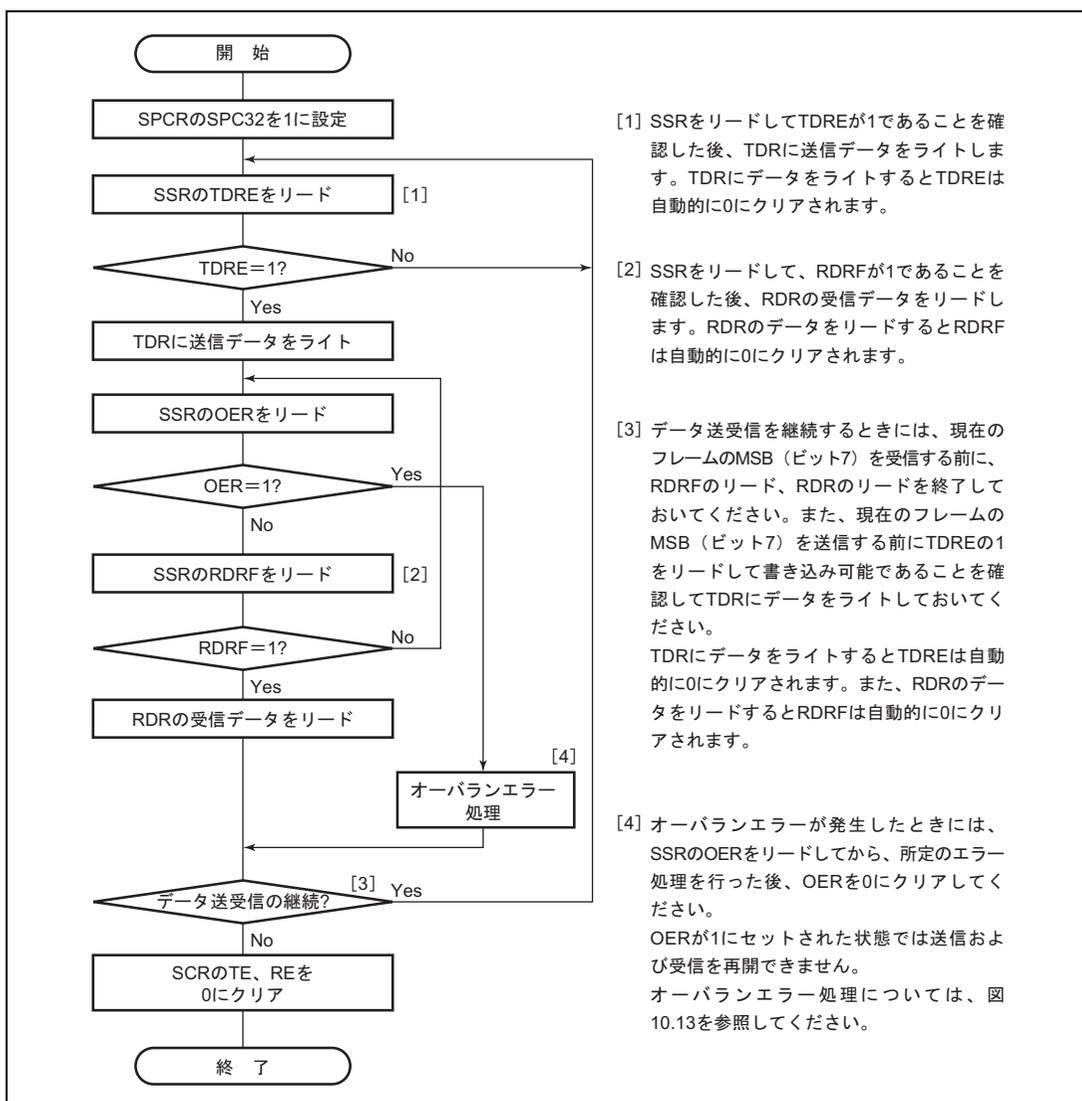


図 10.14 データ送受信同時動作のフローチャートの例 (クロック同期式モード)

10.6 割り込み要求

SCI3 が生成する割り込み要求には、送信終了、送信データエンプティ、受信データフルおよび受信エラー（オーバーランエラー、フレーミングエラー、パリティエラー）の計 6 種類があります。表 10.11 に各割り込み要求の内容を示します。

表 10.11 SCI3 の割り込み要求

割り込み要求	略称	割り込み要因	許可ビット
受信データフル	RXI	SSR の RDRF のセット	RIE
送信データエンプティ	TXI	SSR の TDRE のセット	TIE
送信終了	TEI	SSR の TEND のセット	TEIE
受信エラー	ERI	SSR の OER、FER、PER いずれかのセット	RIE

各割り込み要求は、SCR3 の TIE、RIE、TEIE で許可 / 禁止できます。

SSR の TDRE が 1 にセットされると、TXI が発生します。SSR の TEND が 1 にセットされると、TEI が発生します。この 2 つの割り込みは送信時に発生します。

SSR の TDRE は初期値が 1 になっています。したがって送信データを TDR へ転送する前に SCR3 の TIE を 1 にセットすると、送信データが準備されていなくても TXI が発生します。また、SSR の TEND は初期値が 1 になっています。送信データを TDR へ転送する前に SCR3 の TEIE を 1 にセットすると、送信データが送信されていなくても TEI が発生します。送信データを TDR へ転送する処理を割り込み処理ルーチンの中で行うようにすることで、これらの割り込み要求を有効に利用することもできます。逆にこれらの割り込み要求（TXI、TEI）の発生を防ぐには、送信データを TDR へ転送した後にこれらの割り込み要求に対応するイネーブルビット（TIE、TEIE）を 1 にセットしてください。

SSR の RDRF が 1 にセットされると RXI が発生します。OER、PER、FER のいずれかが 1 にセットされると ERI が発生します。この 2 つの割り込み要求は受信時に発生します。

割り込みに関する詳細は、「第 3 章 例外処理」を参照してください。

10. シリアルコミュニケーションインタフェース 3 (SCI3)

SCI3 は、RXI を使用した連続受信、また TXI を使用した連続送信が可能です。

表 10.12 にこれらの割り込みについて示します。

表 10.12 送信 / 受信割り込み

割り込み	フラグと許可ビット	割り込み発生条件	備考
RXI	RDRF RIE	シリアル受信が正常に行われ、RSR から RDR に受信データが転送されると RDRF が 1 となり、このとき RIE が 1 ならば RXI が許可され割り込みが発生します。 (図 10.15 (a) 参照)	RXI の割り込み処理ルーチンでは、RDR に転送された受信データを読み出し、RDRF を 0 にクリアします。上記の操作を次の RSR の受信完了までに行うことで連続受信が可能です。
TXI	TDRE TIE	TSR の空 (前回の送信完了) を検出して、TDR にセットされた送信データが TSR に転送されると TDRE は 1 にセットされます。このとき TIE が 1 ならば TXI が許可され割り込みが発生します。 (図 10.15 (b) 参照)	TXI の割り込み処理ルーチンでは、次の送信データを TDR に書き込み、TDRE を 0 にクリアします。上記の操作を TSR に転送したデータが送信終了するまでに行うことで連続送信が可能です。
TEI	TEND TEIE	TSR の送信キャラクタの最後尾ビットを送信したとき、TDRE が 1 ならば TEND は 1 にセットされます。このとき TEIE が 1 ならば TEI が許可され割り込みが発生します。 (図 10.15 (c) 参照)	TEI は、TSR の送信キャラクタの最後尾ビットを送信したとき、TDR に次の送信データが書き込まれていないことを示します。

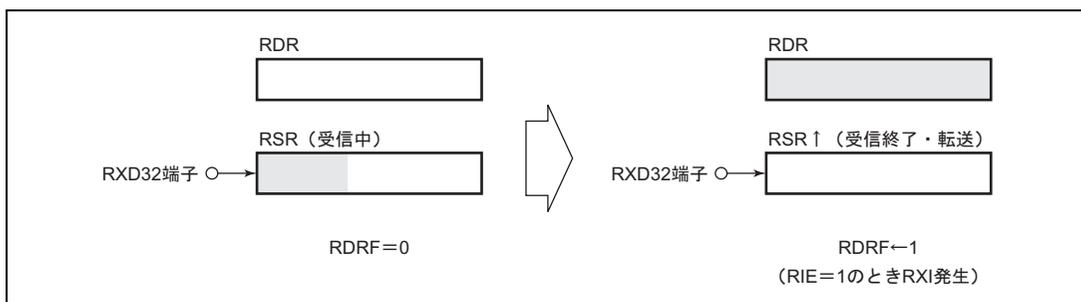


図 10.15 (a) RDRF のセットと RXI 割り込み

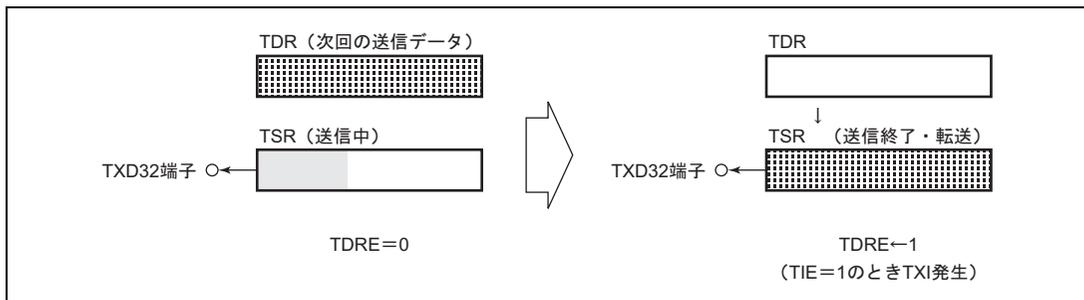


図 10.15 (b) TDRE のセットと TXI 割り込み

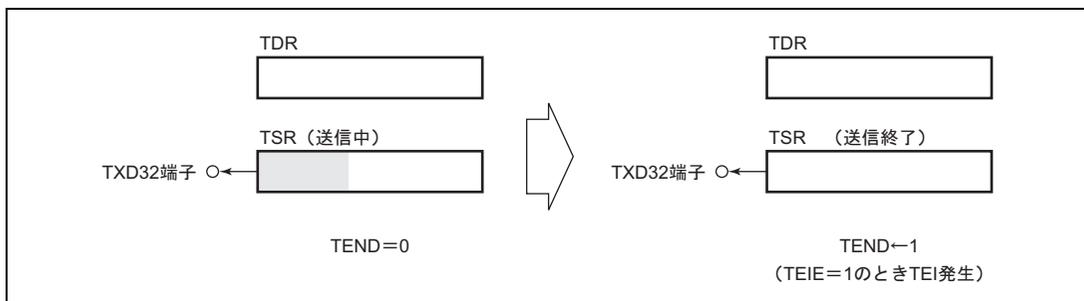


図 10.15 (c) TEND のセットと TEI 割り込み

10.7 使用上の注意事項

10.7.1 ブレークの検出と処理について

フレーミングエラー検出時に、RXD32 端子の値を直接リードすることでブレークを検出できます。ブレークでは RXD32 端子からの入力がすべて 0 になりますので、FER がセットされ、また PER もセットされる可能性があります。SCI3 は、ブレークを受信した後も受信動作を続けます。したがって FER を 0 にクリアしても再び FER が 1 にセットされますので注意してください。

10.7.2 マーク状態とブレークの送出

TE が 0 のとき、TXD32 端子は PDR と PCR により入出力方向とレベルが決まる I/O ポートになります。これを利用して TXD32 端子をマーク状態にしたりデータ送信時にブレークの送出をすることができます。TE を 1 にセットするまで、通信回線をマーク状態 (1 の状態) にするためには、PCR = 1、PDR = 1 を設定します。このとき、TE が 0 にクリアされていますので、TXD32 端子は I/O ポートとなっており 1 が出力されます。一方、データ送信時にブレークを送出したいときは、PCR = 1、PDR = 0 に設定した後 TE を 0 にクリアします。TE を 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TXD32 端子は I/O ポートになり、TXD32 端子から 0 が出力されます。

10.7.3 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (OER、PER、FER) が 1 にセットされた状態では、TDRE を 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。また、RE を 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

10.7.4 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI3 は転送レートの 16 倍の周波数の基本クロックで動作しています。受信時には SCI3 は、スタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、受信データを基本クロックの 8 番目の立ち上がりエッジで内部に取り込みます。これを図 10.16 に示します。

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left\{ \left(0.5 - \frac{1}{2N} \right) - \frac{D-0.5}{N} - (L-0.5) F \right\} \times 100 \quad [\%] \quad \dots \text{式 (1)}$$

N: クロックに対するビットレートの比 (N=16)

D: クロックのデューティ (D=0.5~1.0)

L: フレーム長 (L=9~12)

F: クロック周波数の偏差の絶対値

式 (1) で、F (クロック周波数の偏差の絶対値) = 0、D (クロックのデューティ) = 0.5 とすると、

$$M = \{ 0.5 - 1/(2 \times 16) \} \times 100 \quad [\%] = 46.875\%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持た

せてください。

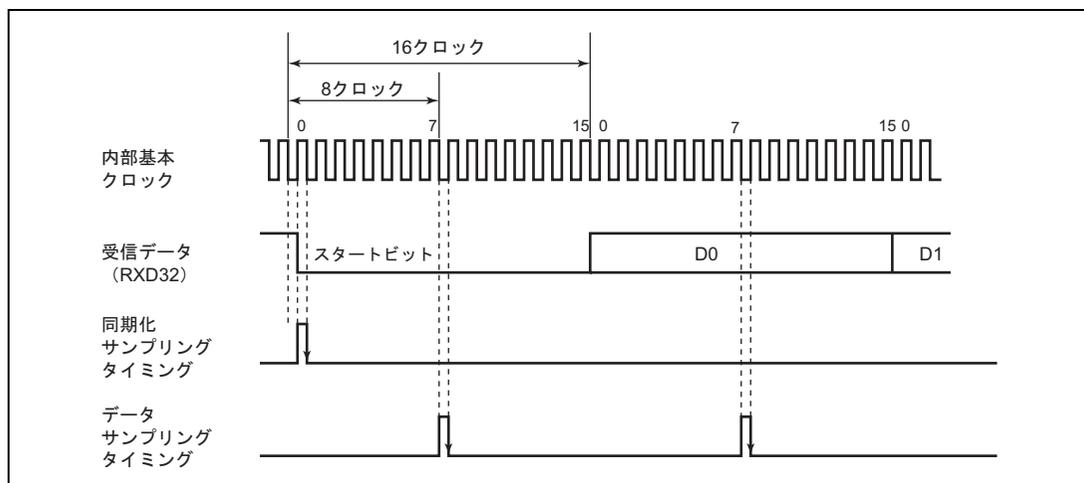


図 10.16 調歩同期式モードの受信データサンプリングタイミング

10.7.5 SCK32 端子機能切り替えに伴う注意事項

SCI3 をクロック同期式モードで使用した後、SCK32 端子をクロック出力から入出力ポートに端子機能を切り替えると SCK32 端子に端子機能切り替えのタイミングで瞬時 (システムクロック の 1/2 の期間) Low レベルを出力しますので注意してください。

この瞬時の Low レベル出力を回避するには次の方法があります。

(a) SCK32 端子をクロック出力状態から非出力状態にする場合

送受信を停止する際、1命令でSCR3のTEビット、REビットを0にクリアすると同時にCKE1ビットを1、CKE0ビットを0に設定してください。

この場合は、SMRのCOMビットは1にセットされたままで使用してください。したがって、入出力ポートとしては使用できません。また、SCK32端子に中間電位が印加しないようにSCK32端子に接続したラインは抵抗を介してV_{CC}電位にプルアップするか、他のデバイスから出力を与えるかしてください。

(b) SCK32 端子をクロック出力状態から入出力ポートに端子機能を切り替える場合

送受信を停止する際、

1. まず1命令でSCR3のTEビット、REビットをともに0にクリアすると同時にCKE1ビットを1、CKE0ビットを0に設定してください。
2. 次にSMRのCOMビットを0にクリアしてください。
3. 最後にSCR3のCKE1、CKE0ビットをともに0にクリアしてください。この場合もSCK32端子に中間電位が印加しないように注意してください。

10.7.6 TDR へのライトと TDRE の関係について

SSR の TDRE はシリアル送信するデータが TDR に準備されていないことを示すステータスフラグです。TDR ヘデータを書き込むと TDRE は自動的に 0 にクリアされます。また SCI3 が TDR から TSR にデータを転送すると、TDRE が 1 にセットされます。

TDR へのデータのライトは、TDRE の状態にかかわらず行うことができますが、TDRE が 0 の状態で新しいデータを TDR に書き込むと、TDR に格納されていた前のデータは、まだ TSR に転送されていない場合失われてしまいます。したがって、シリアル送信を確実にを行うために TDR への送信データのライトは、必ず TDRE が 1 にセットされていることを確認してから 1 回だけ行う (2 回以上ライトしない) ようにしてください。

10.7.7 RDR のリードと RDRF の関係について

SCI3 は受信動作において、RDRF フラグをチェックしながら動作します。1 フレームの受信終了のタイミングで RDRF が 0 にクリアされていれば、通常のデータ受信を完了します。また RDRF が 1 にセットされていれば、オーバーランエラーとなります。

RDR の内容をリードすると、RDRF は自動的に 0 にクリアされます。したがって、RDR のリードを 2 回以上行う場合、2 回目以降のリード操作は RDRF が 0 の状態で行われます。RDRF が 0 の状態で RDR のリードを行うと、リード操作が次のフレームの受信が完了するタイミングと重なった場合、次のフレームのデータが読み出されることがありますので注意してください。これを図 10.17 に示します。

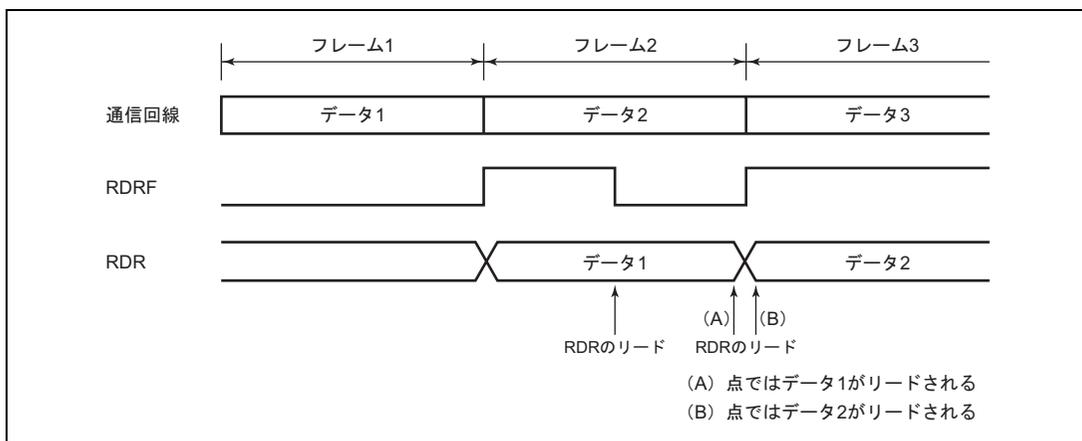


図 10.17 RDR のリードタイミングとデータの関係

この場合、RDR のリード操作は RDRF が 1 にセットされていることを確認してから、1 回のみ行う (2 回以上リードしない) ようにしてください。2 回以上リードする場合は、1 回リードしたデータを RAM などに転送し、その内容を使用するようにしてください。また、RDR のリード操作は、次のフレームの受信が完了するまでに余裕をもって行うようにしてください。具体的なタイミングとしては、クロック同期式モードではビット 7 の転送前まで、調歩同期式モードでは STOP ビットの転送前までに RDR のリードを完了してください。

10.7.8 状態遷移時における送信および受信動作について

状態遷移処理を行う場合は、送信および受信動作が完全に終了したのを確認した後に行ってください。

10.7.9 サブアクティブモード、サブスリープモード時の設定について

サブアクティブモード、サブスリープモード時は CPU 動作クロックが $w/2$ のときのみ SCI3 が使用可能となります。SYSCR2 の SA1 ビットを 1 にセットしてください。

10.7.10 シリアルコミュニケーションインタフェース 3 を調歩同期式モードで実行する際に使用する発振器について (H8/38104 グループのみ)

H8/38104 グループでシリアルコミュニケーションインタフェース 3 を調歩同期式モードで実行する際、必ずシステムクロック発振器を使用してください。オンチップオシレータの使用は止めてください。システムクロック発振器とオンチップオシレータの切り替え方法は「4.3.4 オンチップオシレータを選択する方法」を参照してください。

10. シリアルコミュニケーションインタフェース 3 (SCI3)

11. 10ビットPWM

本 LSI は 2 チャンネルの 10 ビット PWM を内蔵しています。PWM にローパスフィルタを接続することで D/A 変換器としても使用できます。H8/3802 グループ、H8/38004 グループ、H8/38002S グループの 10 ビット PWM のブロック図を図 11.1 (1) に、H8/38104 グループの 10 ビット PWM のブロック図を図 11.1 (2) に示します。

11.1 特長

- 4種類の変換周期を選択可能
 - 一変換周期 $4096/f$ 、最小変化幅 $4/f$ 、または一変換周期 $2048/f$ 、最小変化幅 $2/f$ 、または一変換周期 $1024/f$ 、最小変化幅 $1/f$ 、または一変換周期 $512/f$ 、最小変化幅 $1/2$ の選択が可能
- リップル低減を図ったパルス分割方式
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能(詳細は「5.4 モジュールスタンバイ機能」を参照)
- H8/38104グループにおいて、PWM出力は10ビットPWMとイベントカウンタPWM (AEC内蔵のPWM) の2種類から選択できます(H8/3802グループ、H8/38004グループ、H8/38002SグループのPWM出力は、10ビットPWMのみです)。なお、イベントカウンタPWMは、「9.4 非同期イベントカウンタ (AEC)」を参照してください。

11. 10ビットPWM

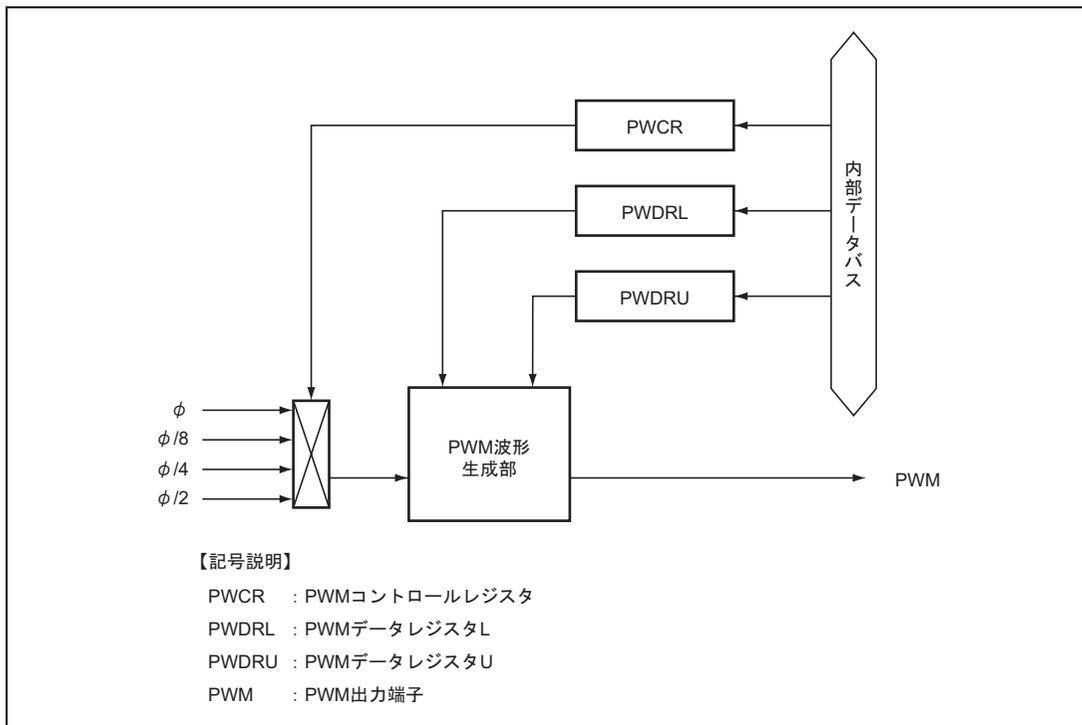


図 11.1 (1) 10ビットPWMのブロック図 (H8/3802グループ、H8/38004グループ、H8/38002Sグループ)

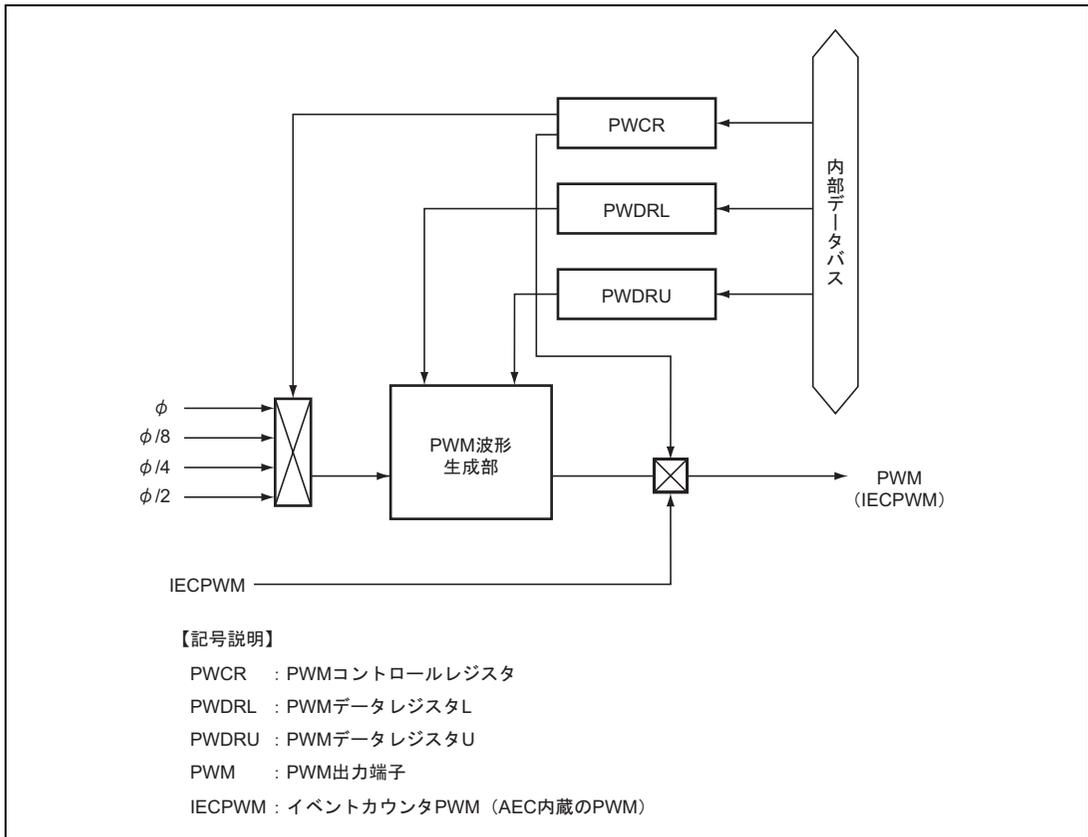


図 11.1 (2) 10ビットPWMのブロック図 (H8/38104グループ)

11. 10ビット PWM

11.2 入出力端子

10ビット PWM の端子構成を表 11.1 に示します。

表 11.1 端子構成

名称	略称	入出力	機能
10ビット PWM 方形波出力 1	PWM1	出力	チャンネル 1: 10ビット PWM 方形波出力端子 / イベントカウンタ PWM 出力端子*
10ビット PWM 方形波出力 2	PWM2	出力	チャンネル 2: 10ビット PWM 方形波出力端子 / イベントカウンタ PWM 出力端子*

【注】 * イベントカウンタ PWM 出力端子は H8/38104 グループのみ有効

11.3 レジスタの説明

10ビット PWM には以下のレジスタがあります。

- PWMコントロールレジスタ (PWCR)
- PWMデータレジスタU (PWDRU)
- PWMデータレジスタL (PWDRL)

11.3.1 PWM コントロールレジスタ (PWCR)

H8/3802 グループ、H8/38004 グループ、H8/38002S グループの PWCR は変換周期を選択します。

ビット	ビット名	初期値	R/W	説明
7~2	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
1	PWCR1	0	W	クロックセレクト 1、0
0	PWCR0	0	W	00: 入力クロックは $(t = 1/)$ 一変換周期 $512/$ 、最小変化幅 $1/2$ の PWM 波形を生成 01: 入力クロックは $/2 (t = 2/)$ 一変換周期 $1024/$ 、最小変化幅 $1/$ の PWM 波形を生成 10: 入力クロックは $/4 (t = 4/)$ 一変換周期 $2048/$ 、最小変化幅 $2/$ の PWM 波形を生成 11: 入力クロックは $/8 (t = 8/)$ 一変換周期 $4096/$ 、最小変化幅 $4/$ の PWM 波形を生成

H8/38104 グループの PWCR は出力方式、変換周期を選択します。

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて1	-	リザーブビット リードすると常に1が読み出されます。ライトは無効です。
2	PWCR2	0	W	出力方式セレクト 0: 10ビットPWM 1: イベントカウンタPWM (AEC内蔵のPWM)
1	PWCR1	0	W	クロックセレクト 1、0 00: 入力クロックは $(t = 1/)$ 一変換周期 $512/$ 、最小変化幅 $1/2$ のPWM波形を生成 01: 入力クロックは $/2 (t = 2/)$ 一変換周期 $1024/$ 、最小変化幅 $1/$ のPWM波形を生成 10: 入力クロックは $/4 (t = 4/)$ 一変換周期 $2048/$ 、最小変化幅 $2/$ のPWM波形を生成 11: 入力クロックは $/8 (t = 8/)$ 一変換周期 $4096/$ 、最小変化幅 $4/$ のPWM波形を生成
0	PWCR0	0	W	

【記号説明】

t : PWM入力クロックの周期

11.3.2 PWM データレジスタ U、L (PWDRU、PWDRL)

PWDRU、PWDRL はライト専用の 10ビットのレジスタで、PWM 波形一周期の High レベル幅を表します。PWDRU が上位 2ビット、PWDRL が下位 8ビットの構成で、リードすると常に 1が読み出されます。

PWDRU、PWDRL ともバイトアクセス専用です。ワードアクセスをすると動作は保証できませんので注意してください。また PWDRU、PWDRL に合計 10ビットのデータをライトすると、PWDRU、PWDRL の内容が PWM 波形生成部に取り込まれて PWM 波形生成のデータ更新が行われます。なお、ライトは必ず PWDRL PWDRL の順序で行ってください。

PWDRU、PWDRL の初期値は H'FC00 です。

11.4 動作説明

11.4.1 動作説明

10ビット PWM を使用する場合、以下の順序でレジスタの設定を行ってください。

1. ポートモードレジスタ9 (PMR9) のPWM1、PWM2を1にして、P91/PWM2端子とP90/PWM1端子のいずれかもしくは両方をPWM出力端子に設定します。
2. PWCRのPWCR1、PWCR0ビットにより、一変換周期を選択します。H8/38104グループの場合は、さらにPWCR2ビットにより出力方式を選択します。なお、出力方式の1つであるイベントカウンタPWM(AEC内蔵のPWM)

11. 10ビット PWM

の設定方法は「9.4 非同期イベントカウンタ (AEC)」を参照してください。

3. PWDRU、PWDRLに出力波形データを設定します。このとき必ずPWDRL、PWDRUの順序でバイト単位で書き込んでください。PWDRUへのライトと同時にPWM波形生成部にデータが取り込まれ、内部信号と同期をとってPWM波形生成の更新が行われます。

一変換周期は図 11.2 が示すように 4 個のパルスで構成されます。この一変換周期中の High レベル幅の合計 (T_H) が PWDRU、PWDRL のデータに対応しています。この関係は次式で示されます。

$$T_H = (\text{PWDRU, PWDRL のデータ値} + 4) \times t / 2$$

t は PWM 入力クロックの周期で、 $1/$ ($\text{PWCR1} = 0, \text{PWCR0} = 0$)、 $2/$ ($\text{PWCR1} = 0, \text{PWCR0} = 1$)、 $4/$ ($\text{PWCR1} = 1, \text{PWCR0} = 0$) または $8/$ ($\text{PWCR1} = 1, \text{PWCR0} = 1$) となります。PWDRU、PWDRL のデータ値 H'FFFC ~ H'FFFF では PWM 出力は High レベルとなります。H'FC3C では、 $T_H = 64 \times t / 2 = 32 \times t$ となります。

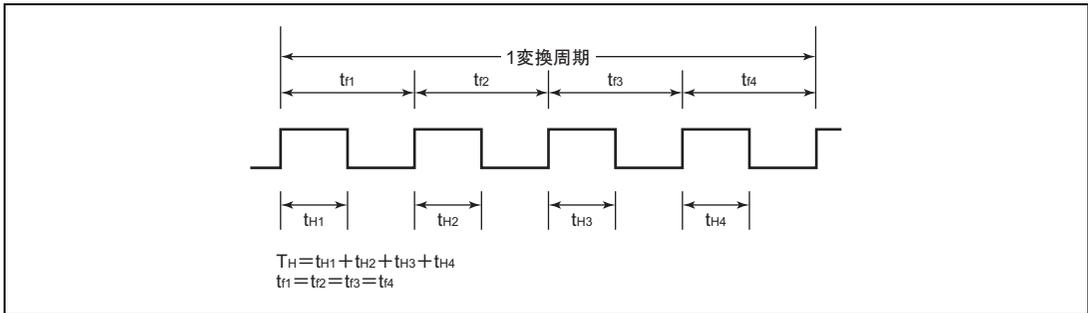


図 11.2 10ビット PWM 出力波形

11.4.2 PWM の動作モード

PWM の動作モードを表 11.2 に表示します。

表 11.2 PWM の動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュール スタンバイ
PWCR	リセット	動作	動作	保持	保持	保持	保持	保持
PWDRU	リセット	動作	動作	保持	保持	保持	保持	保持
PWDRL	リセット	動作	動作	保持	保持	保持	保持	保持

12. A/D 変換器

逐次比較方式の 10 ビットの A/D 変換器で、最大 4 チャンネルのアナログ入力を変換することができます。A/D 変換器のブロック図を図 12.1 に示します。

12.1 特長

- 分解能：10ビット
- 入力チャンネル：4チャンネル
- 高速変換：1チャンネル当たり最小12.4 μ s（ = 5MHz時）/6.2 μ s（ = 10MHz時）*
- サンプル&ホールド機能付き
- 変換開始方法
ソフトウェアによるA/D変換の開始が可能
- 割り込み要因
A/D変換終了割り込み（ADI）要求を発生させることができます。
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能（詳細は「5.4 モジュールスタンバイ機能」を参照）

【注】 * H8/38104 グループのみとなります。

12. A/D 変換器

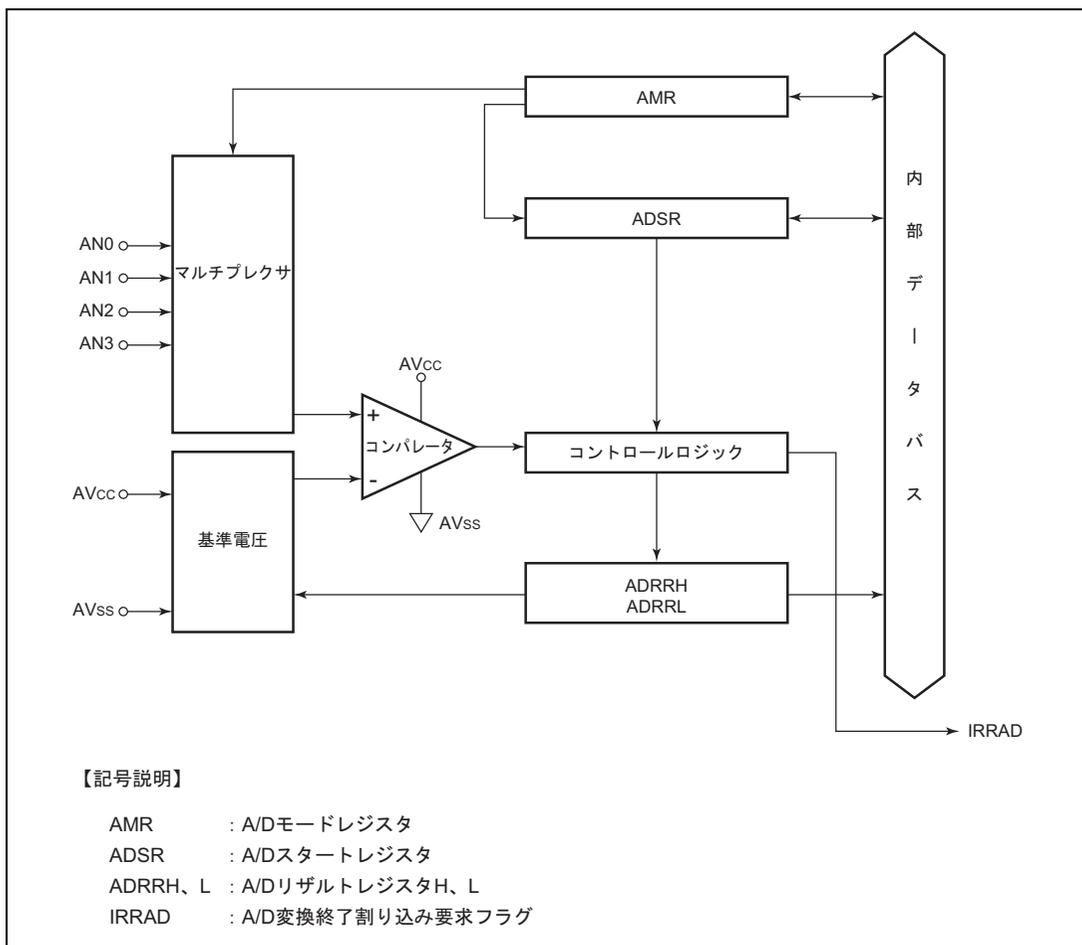


図 12.1 A/D 変換器のブロック図

12.2 入出力端子

A/D 変換器で使用する端子を表 12.1 に示します。

表 12.1 端子構成

端子名	略称	入出力	機能
アナログ電源端子	AVcc	入力	アナログ部の電源および基準電圧
アナログ部グランド端子	AVss	入力	アナログ部のグランドおよび基準電圧
アナログ入力端子 0	AN0	入力	アナログ入力端子
アナログ入力端子 1	AN1	入力	
アナログ入力端子 2	AN2	入力	
アナログ入力端子 3	AN3	入力	

12.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。

- A/DリザルトレジスタH、L (ADRRH、ADRRL)
- A/Dモードレジスタ (AMR)
- A/Dスタートレジスタ (ADSR)

12.3.1 A/D リザルトレジスタ H、L (ADRRH、ADRRL)

A/D リザルトレジスタは A/D 変換結果を格納するための 16 ビットのリード専用レジスタで、ADRRH、ADRRL があります。

ADRRH に上位 8 ビット、ADRRL に下位 2 ビットが格納されます。ADRRH と ADRRL は常に CPU からリード可能です。A/D 変換中は ADRRH と ADRRL の値は不定で、A/D 変換終了時に変換結果の 10 ビットデータが格納され、次の変換開始までこのデータが保持されます。ADRRH と ADRRL の初期値は不定です。

12.3.2 A/D モードレジスタ (AMR)

AMR は A/D 変換器の変換時間の設定、アナログ入力端子の指定を行います。

ビット	ビット名	初期値	R/W	説明
7	CKS	0	R/W	クロックセレクト A/D 変換時間の設定を行います。 0 : 変換時間 = 62 ステート 1 : 変換時間 = 31 ステート
6	-	0	R/W	リザーブビット 0 ライトのみ可能です。
5, 4	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3	CH3	0	R/W	チャンネルセレクト 3~0
2	CH2	0	R/W	アナログ入力チャンネルの選択を行います。
1	CH1	0	R/W	00xx : 非選択
0	CH0	0	R/W	0100 : AN0 0101 : AN1 0110 : AN2 0111 : AN3 1xxx : 使用禁止 チャンネル選択の切り替えは、ADSF = 0 の状態で行ってください。

【記号説明】 x : Don't care

12. A/D 変換器

12.3.3 A/D スタートレジスタ (ADSR)

ADSR は A/D 変換の開始または停止を設定します。

ビット	ビット名	初期値	R/W	説明
7	ADSF	0	R/W	このビットを 1 にセットすると A/D 変換を開始します。変換が終了すると変換データは ADRRH、ADRRL にセットされます。同時に 0 にクリアされ、A/D 変換を終了します。また、このビットに 0 をライトすることで A/D 変換を強制終了することができます。
6-0	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

12.4 動作説明

A/D 変換器は逐次比較方式で分解機能は 10 ビットです。変換時間やアナログ入力チャンネルの切り替えは、誤動作を避けるため ADSR の ADSF ビットが 0 の状態で行ってください。

12.4.1 A/D 変換動作

- ソフトウェアによって ADSR の ADSF ビットが 1 にセットされると、選択されたチャンネルの A/D 変換を開始します。
- A/D 変換が終了すると A/D 変換結果が A/D リザルトレジスタに転送されます。
- A/D 変換終了時、IRR2 の IRRAD フラグが 1 にセットされます。このとき、IENR2 の IENAD ビットが 1 にセットされていると、A/D 変換終了割り込み要求を発生します。
- ADSF ビットは A/D 変換中は 1 を保持し、変換が終了すると自動的にクリアされて A/D 変換器は待機状態になります。

12.4.2 A/D 変換器の動作モード

A/D 変換器の動作モードを表 12.2 に示します。

表 12.2 A/D 変換器の動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュール スタンバイ
AMR	リセット	動作	動作	保持	保持	保持	保持	保持
ADSR	リセット	動作	動作	リセット	リセット	リセット	リセット	リセット
ADRRH	保持*	動作	動作	保持	保持	保持	保持	保持
ADRRL	保持*	動作	動作	保持	保持	保持	保持	保持

【注】 * パワーオンリセット時は不定

12.5 使用例

チャンネル1 (AN1) をアナログ入力チャンネルに選択した場合の動作例を示します。動作タイミングを図 12.2 に示します。

1. 入力チャンネルをAN1 (AMRのCH3~CH0を0101)、IENAD = 1に設定して、A/D変換を開始 (ADSF = 1) します。
2. A/D変換が終了すると、IRRADが1にセットされ、A/D変換結果がADRRHとADRRLに格納されます。同時に ADSF = 0となり、A/D変換器は変換待機となります。
3. IENAD = 1となっているためA/D変換終了割り込み要求が発生します。
4. A/D割り込み処理ルーチンが開始されます。
5. A/D変換結果を読み出して、処理します。
6. A/D変換処理ルーチンの実行が終了します。

この後、ADSF = 1 にセットすると A/D 変換が開始され 2~6 を行います。

A/D 変換器の使用手順の概念フローを図 12.3、図 12.4 に示します。

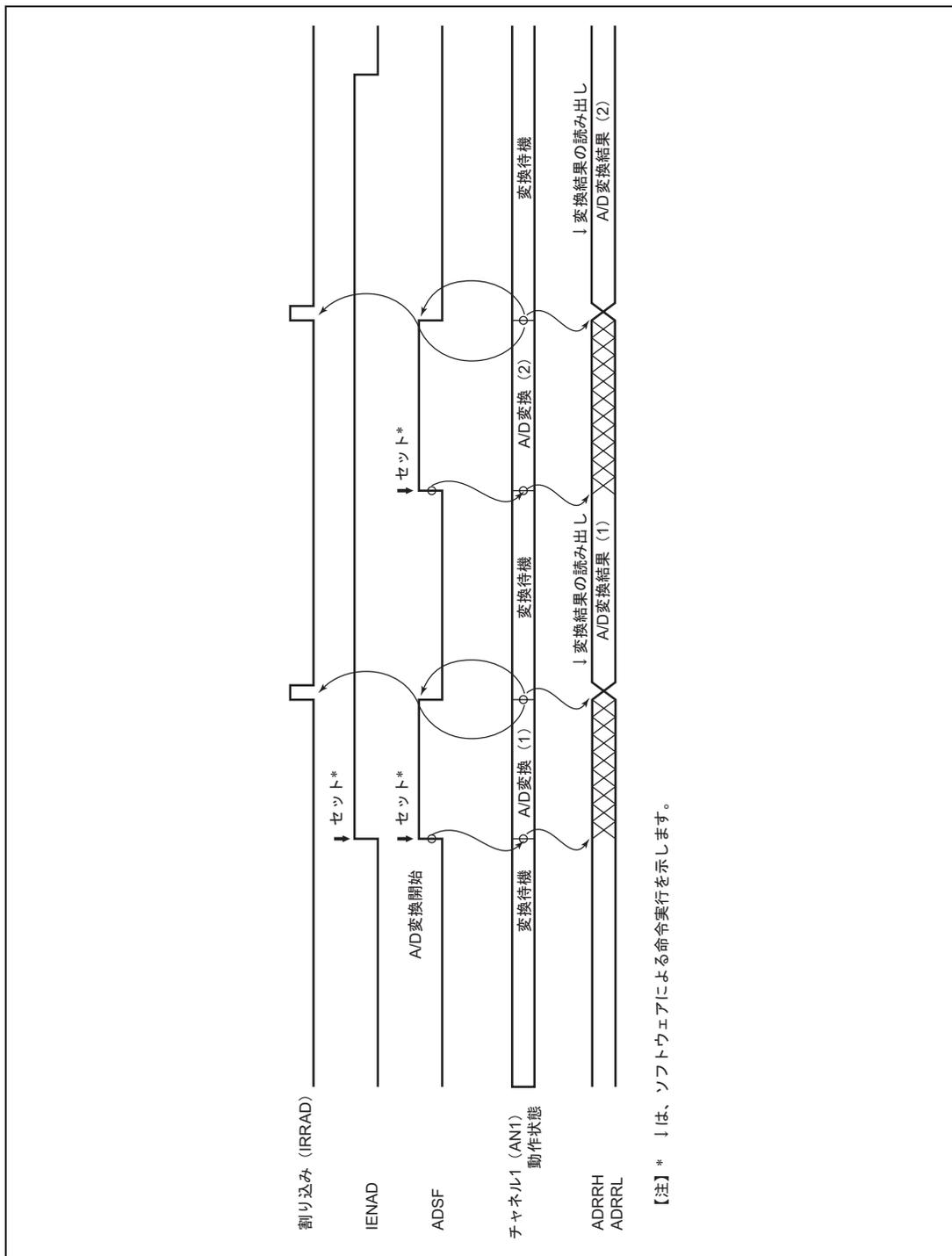


図 12.2 A/D 変換器の動作例

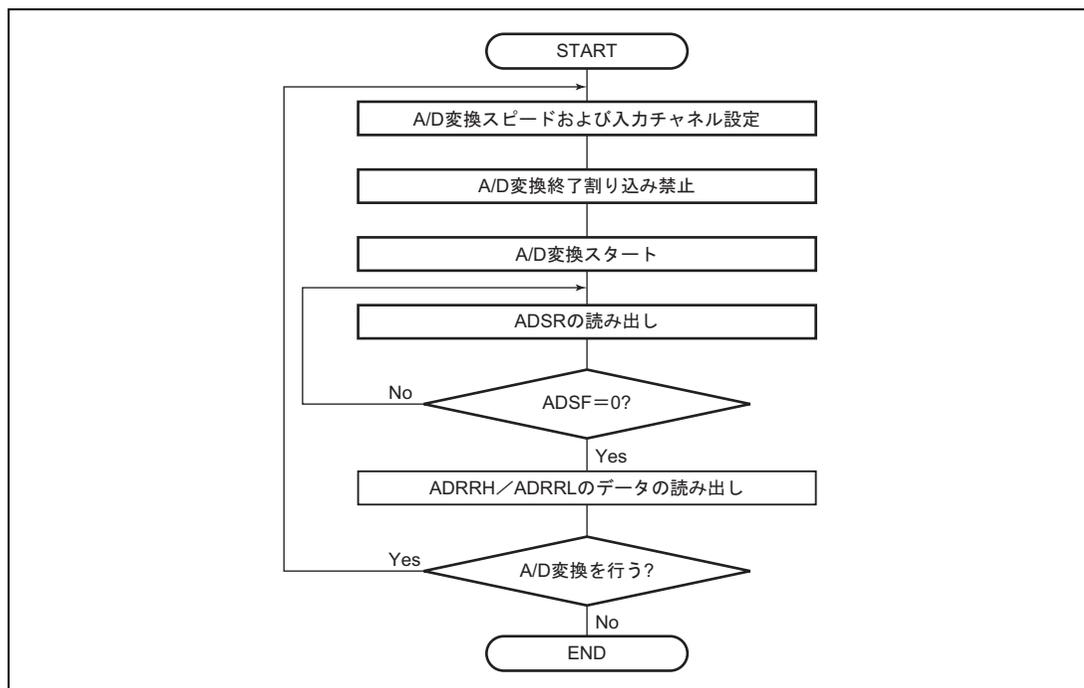


図 12.3 A/D 変換器の使用手順の概念フロー（ソフトウェアでポーリングする場合）

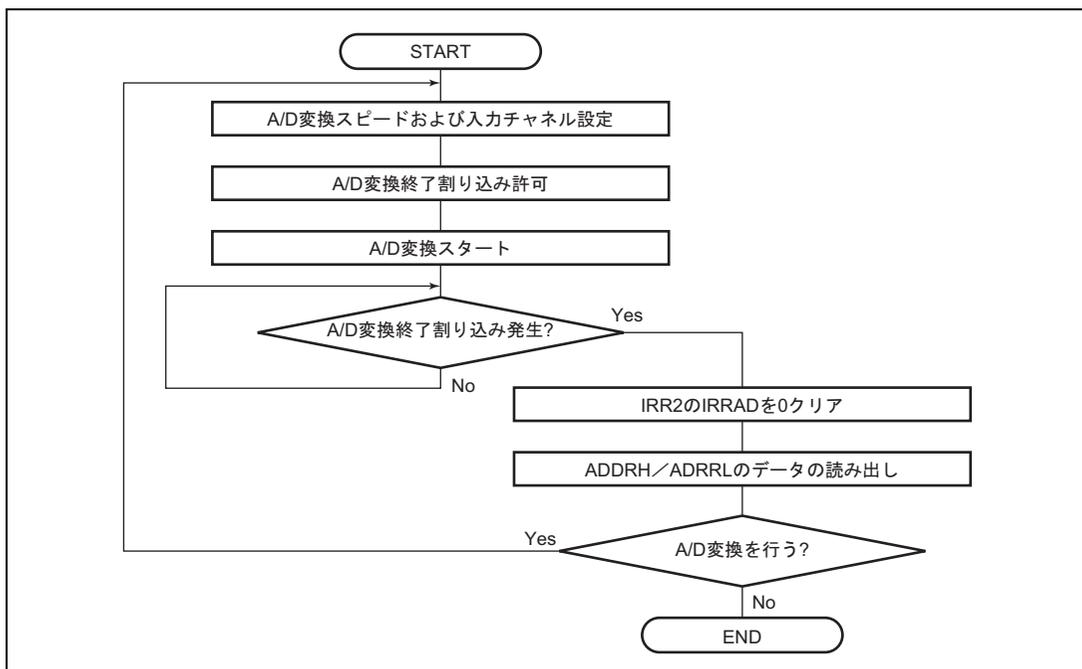


図 12.4 A/D 変換器の使用手順の概念フロー（割り込みを使用する場合）

12.6 A/D 変換精度の定義

本 LSI の A/D 変換精度の定義は以下のとおりです。

- 分解能

A/D変換器のデジタル出力コード数

- 量子化誤差

A/D変換器が本質的に有する偏差であり、1/2LSBで与えられる（図12.5）。

- オフセット誤差

デジタル出力が最小電圧値0000000000から0000000001に変化する時のアナログ入力電圧値の理想A/D変換特性からの偏差（図12.6）。

- フルスケール誤差

デジタル出力が1111111110から1111111111に変化する時のアナログ入力電圧値の理想A/D変換特性からの偏差（図12.6）。

- 非直線性誤差

ゼロ電圧からフルスケール電圧までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない。

- 絶対精度

デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む。

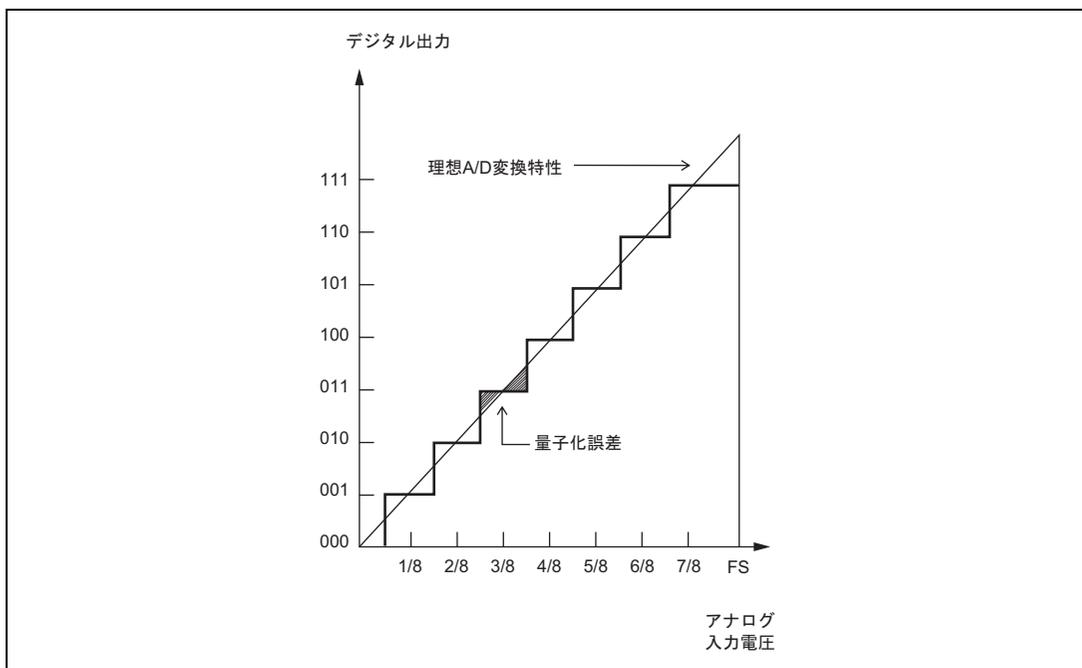


図 12.5 A/D 変換精度の定義 (1)

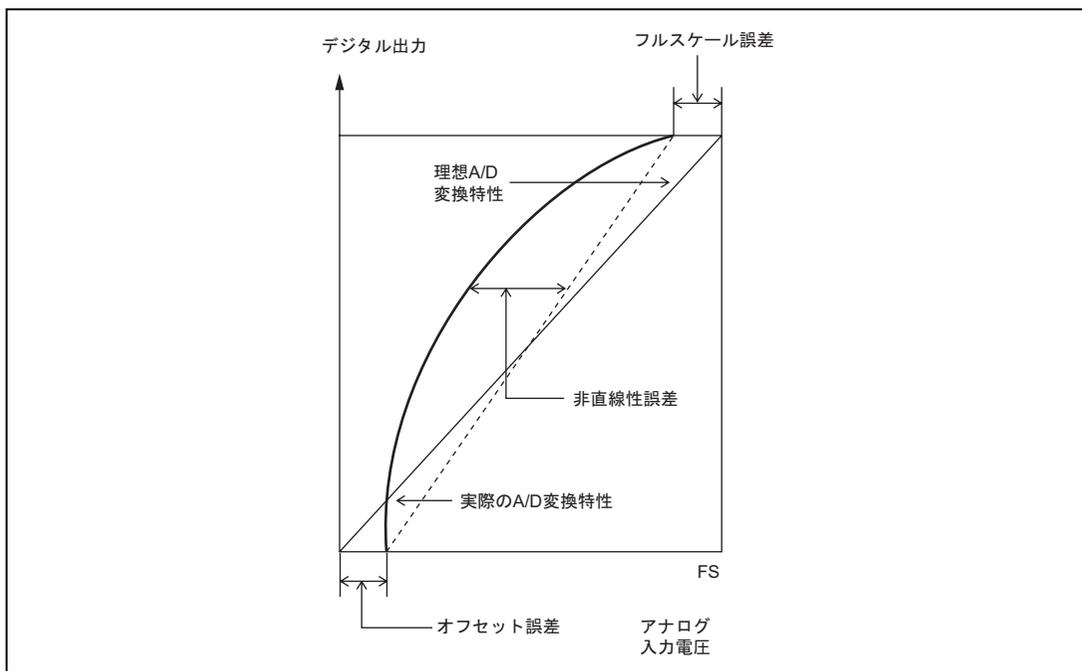


図 12.6 A/D 変換精度の定義 (2)

12.7 使用上の注意事項

12.7.1 許容信号源インピーダンスについて

本 LSI のアナログ入力、信号源インピーダンスが $10k\ \Omega$ 以下の入力信号に対し、変換精度が保証される設計となっております。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するためには設けている規格で、センサの出力インピーダンスが $10k\ \Omega$ を超える場合充電不足が生じ、A/D 変換精度が保証できなくなる場合があります。

対策として、アナログ入力端子の外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の $10k\ \Omega$ だけになりますので信号源インピーダンスは不用となります。本対策の欠点として、この場合、信号源インピーダンスと外部の容量によりローパスフィルタとなりますので、微分係数の大きなアナログ信号（たとえば電圧の変動率が $5mV/\mu s$ 以上）には追従できない場合があります（図 12.7）。高速のアナログ信号を変換する場合には、低インピーダンスのバッファを入れてください。

12.7.2 絶対精度への影響について

容量を付加することにより、GND とのカップリングを受けることとなりますので、GND にノイズがあると絶対精度が悪化する可能性があります。必ず電氣的に安定な GND に接続してください。またフィルタ回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意が必要です。

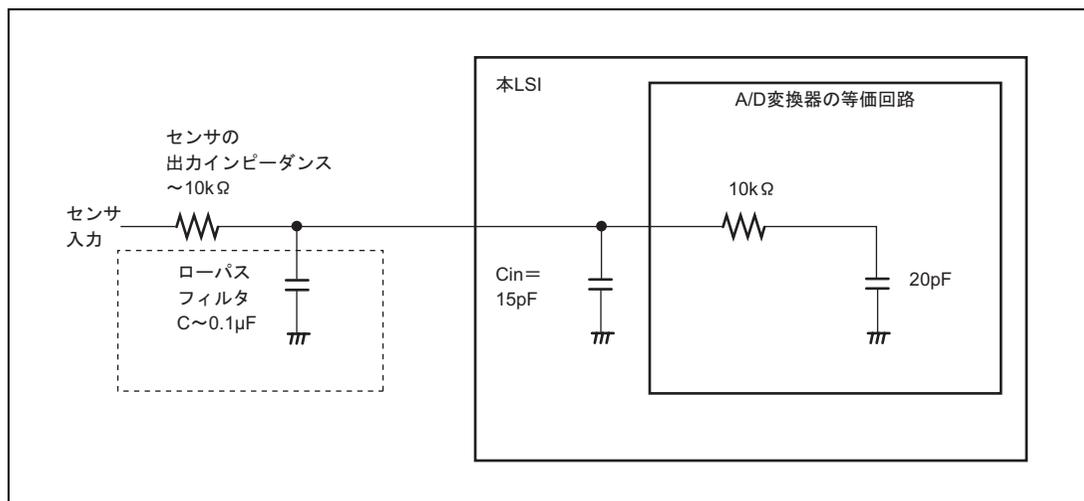


図 12.7 アナログ入力回路の例

12.7.3 その他の注意事項

1. ADDRRLとADDRHのリードはADSRのADSFビットが0のときに行ってください。
2. A/D変換中に隣接した端子のデジタル入力信号を変化させると、変換精度が低下します。
3. モジュールスタンバイモードを解除後、A/D変換を開始する場合は、10 クロック待ってからA/D変換を開始してください。
4. アクティブモードおよびスリープモードでは、A/D変換器が待機中でもラダー抵抗にアナログ電源電流が流れます。したがって、A/D変換器を使用しない場合には、AV_{cc}をシステムの電源に接続し、CKSTPR1のADCKSTPビットを0にしてください。

13. LCD コントローラ/ドライバ

本 LSI は、セグメントタイプの LCD コントロール回路と LCD ドライバと電源回路を内蔵しているので、LCD パネルを直接駆動することができます。

13.1 特長

- 表示容量

デューティ比	内部ドライバ
スタティック	25SEG
1/2	25SEG
1/3	25SEG
1/4	25SEG

- LCD RAM容量
8ビット×13バイト(104ビット)
- LCD RAMはワードアクセス可能
- セグメント出力端子をポートとして使用可能
SEG24～SEG1端子を4端子ごとにポートとして使用可能
- 使用しないコモン出力端子をコモンダブルバッファ用として使用可能
1/2デューティではCOM1とCOM2、COM3とCOM4を並列接続で使用可
スタティックではCOM1とCOM2、COM3、COM4を並列接続で使用可
- フレーム周波数を11種類より選択可能
- ソフトウェアによりA波形、B波形の選択可能
- 電源分割抵抗を内蔵
ソフトウェアにより分割抵抗切り離しの制御可能。ただし、H8/38104グループのみとなります。
- スタンバイモード以外の動作モードで表示可能
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能(詳細は「5.4 モジュールスタンバイ機能」を参照)

13. LCD コントローラ / ドライバ

LCD コントローラ / ドライバのブロック図を図 13.1 (1)、(2) に示します。

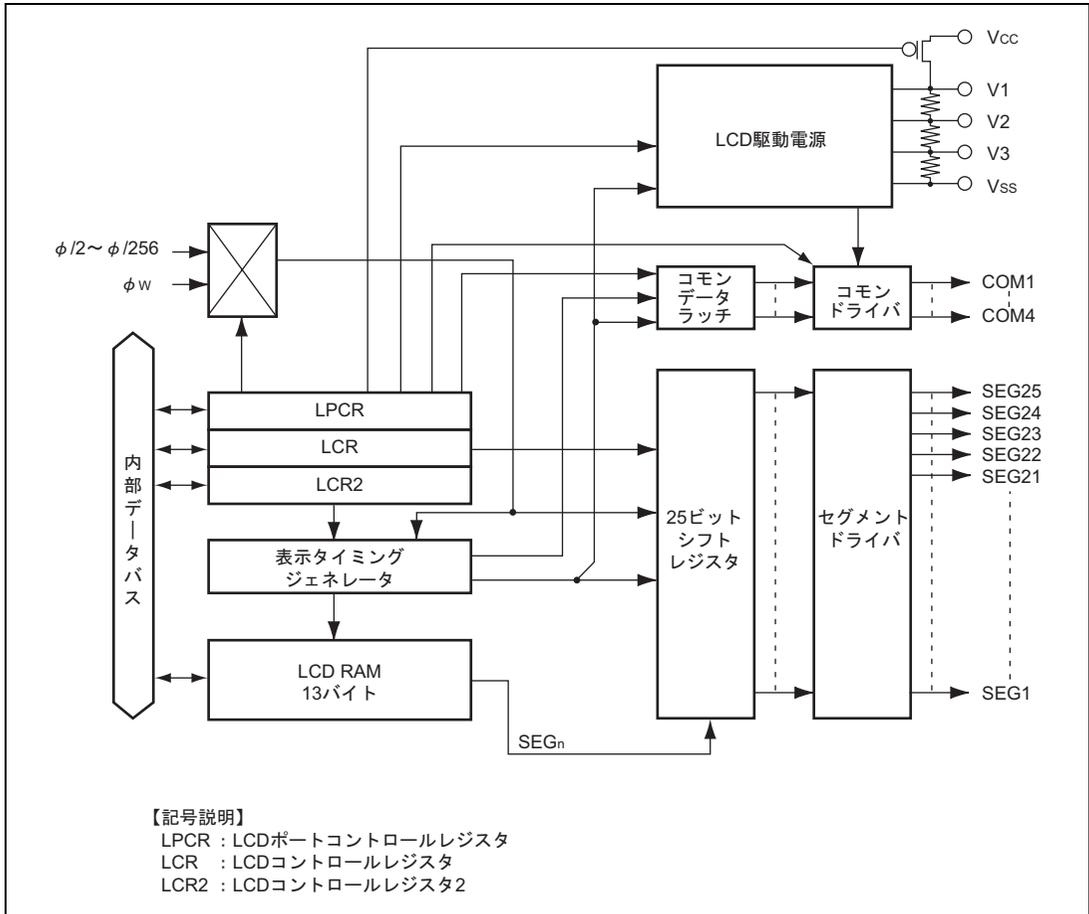


図 13.1 (1) H8/3802 グループ、H8/38004 グループ、H8/38002S グループ
 LCD コントローラ / ドライバのブロック図

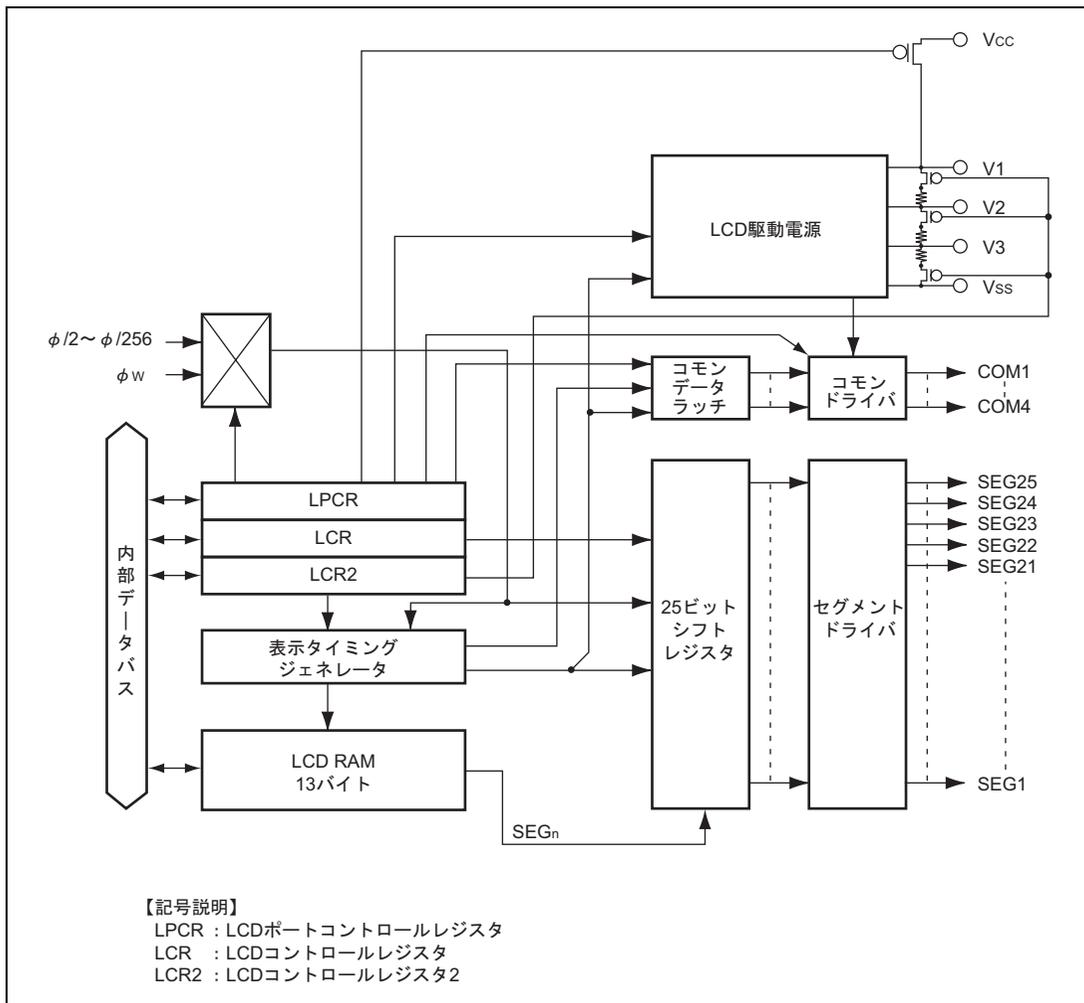


図 13.1 (2) H8/38104 グループ LCD コントローラ / ドライバのブロック図

13. LCD コントローラ/ドライバ

13.2 入出力端子

LCD コントローラ/ドライバの端子構成を表 13.1 に示します。

表 13.1 端子構成

端子名	記号	入出力	機能
セグメント出力端子	SEG25 ~ SEG1	出力	液晶のセグメント駆動用端子 全端子、ポートと兼用でプログラマブルに設定可能
コモン出力端子	COM4 ~ COM1	出力	液晶のコモン駆動端子 スタティック、1/2 デューティ時には端子の並列化が可能
LCD 電源端子	V1、V2、V3		外付けでバスコンを接続する場合、外部電源回路を使用する場合に使用

13.3 レジスタの説明

LCD コントローラ/ドライバには以下のレジスタがあります。

- LCDポートコントロールレジスタ (LPCR)
- LCDコントロールレジスタ (LCR)
- LCDコントロールレジスタ2 (LCR2)
- LCD RAM

13.3.1 LCD ポートコントロールレジスタ (LPCR)

LPCR は、デューティ比の選択、LCD ドライバや端子機能の選択を行います。

ビット	ビット名	初期値	R/W	説明
7	DTS1	0	R/W	デューティ比選択 1、0
6	DTS0	0	R/W	コモン機能選択
5	CMX	0	R/W	DTS1、DTS0の組み合わせで、スタティック、1/2 ~ 1/4 デューティのいずれかを選択します。 CMX は、デューティによって使用しないコモン端子をコモンドライブ能力を大きくするために複数の端子から同じ波形を出力するか否かを選択します。 詳細は表 13.2 を参照してください。
4			W	リザーブビット 0 ライトのみ可能です。
3	SGS3	0	R/W	セグメントドライバ選択 3 ~ 0
2	SGS2	0	R/W	使用するセグメントドライバを選択します。
1	SGS1	0	R/W	詳細は表 13.3 を参照してください。
0	SGS0	0	R/W	

表 13.2 デューティ比、コモン機能の選択

ビット7	ビット6	ビット5	デューティ比	コモンドライバ	補足説明
DTS1	DTS0	CMX			
0	0	0	スタティック	COM1	COM4、COM3、COM2 は使用しないでください。
		1		COM4 - COM1	COM4、COM3、COM2 は COM1 と同じ波形を出力。
0	1	0	1/2 デューティ	COM2 - COM1	COM4、COM3 は使用しないでください。
		1		COM4 - COM1	COM4 は COM3、COM2 は COM1 と同じ波形を出力。
1	0	0	1/3 デューティ	COM3 - COM1	COM4 は使用しないでください。
		1		COM4 - COM1	COM4 は使用しないでください。
1	1	x	1/4 デューティ	COM4 - COM1	

【記号説明】 x : Don't care

表 13.3 セグメントドライバの選択

ビット3	ビット2	ビット1	ビット0	SEG25 ~ SEG1 端子の機能							
				SEG25	SEG24 ~ SEG21	SEG20 ~ SEG17	SEG16 ~ SEG13	SEG12 ~ SEG9	SEG8 ~ SEG5	SEG4 ~ SEG1	
0	0	0	0	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート
0	0	0	1	ポート	ポート	ポート	ポート	ポート	ポート	ポート	SEG
0	0	1	0	ポート	ポート	ポート	ポート	ポート	SEG	SEG	SEG
0	0	1	1	ポート	ポート	ポート	ポート	SEG	SEG	SEG	SEG
0	1	0	0	ポート	ポート	ポート	SEG	SEG	SEG	SEG	SEG
0	1	0	1	ポート	ポート	SEG	SEG	SEG	SEG	SEG	SEG
0	1	1	0	ポート	SEG	SEG	SEG	SEG	SEG	SEG	SEG
0	1	1	1	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG
1	0	0	0	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG
1	0	0	1	SEG	SEG	SEG	SEG	SEG	SEG	SEG	ポート
1	0	1	0	SEG	SEG	SEG	SEG	SEG	SEG	ポート	ポート
1	0	1	1	SEG	SEG	SEG	SEG	SEG	ポート	ポート	ポート
1	1	0	0	SEG	SEG	SEG	ポート	ポート	ポート	ポート	ポート
1	1	0	1	SEG	SEG	ポート	ポート	ポート	ポート	ポート	ポート
1	1	1	0	SEG	ポート	ポート	ポート	ポート	ポート	ポート	ポート
1	1	1	1	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート

13. LCD コントローラ/ドライバ

13.3.2 LCD コントロールレジスタ (LCR)

LCR は、LCD 駆動電源の制御、表示データの制御、フレーム周波数の選択を行います。

ビット	ビット名	初期値	R/W	説明
7		1		リザーブビット リードすると常に 1 が読み出されますが、ライトは無効です。
6	PSW	0	R/W	LCD 駆動電源制御 低消費電力モードで LCD 表示を必要としない場合、また外部電源を使用する場合に LCD 駆動電源を Vcc から切断することができます。ACT を 0 とした場合、またスタンバイモード時には本ビットとは無関係に LCD 駆動電源が Vcc から切断されます。 0 : LCD 駆動電源を Vcc から切断 1 : LCD 駆動電源を Vcc に接続
5	ACT	0	R/W	表示機能開始 LCD コントローラ/ドライバを使用するかしないかを選択します。本ビットを 0 にクリアすることにより、LCD コントローラ/ドライバは動作を停止します。また、PSW の値と無関係に LCD 駆動電源が OFF 状態になります。ただし、レジスタの内容は保持されます。 0 : LCD コントローラ/ドライバ動作停止 1 : LCD コントローラ/ドライバ動作
4	DISP	0	R/W	表示データ制御 DISP は LCD RAM の内容を表示するか LCD RAM の内容に関係なくブランクデータを表示するかを選択します。 0 : ブランクデータを表示 1 : LCD RAM データを表示
3 2 1 0	CKS3 CKS2 CKS1 CKS0	0 0 0 0	R/W R/W R/W R/W	フレーム周波数選択 3~0 使用クロックの選択とフレーム周波数の選択を行います。サブアクティブモード、ウォッチモード、サブスリープモードではシステムクロック () が停止するので、/2~ /256 を選択している場合は表示動作を行いません。これらのモードにおいて LCD 表示を行う場合は、必ず使用クロックとして w、w/2 または w/4 を選択するようにしてください。 詳細は表 13.4 を参照してください。

表 13.4 フレーム周波数の選択

ビット 3	ビット 2	ビット 1	ビット 0	使用クロック	フレーム周波数*1	
					=2MHz	=250kHz*3
0	x	0	0	w	128Hz*2	
0	x	0	1	w/2	64Hz*2	
0	x	1	x	w/4	32Hz*2	
1	0	0	0	/2		244Hz
1	0	0	1	/4	977Hz	122Hz
1	0	1	0	/8	488Hz	61Hz
1	0	1	1	/16	244Hz	30.5Hz
1	1	0	0	/32	122Hz	
1	1	0	1	/64	61Hz	
1	1	1	0	/128	30.5Hz	
1	1	1	1	/256		

【記号説明】 x : Don't care

【注】 *1 1/3 デューティ選択時は、フレーム周波数が表で示した値の 4/3 倍となります。

*2 w = 32.768kHz 時のフレーム周波数です。

*3 = 2MHz のときのアクティブ (中速 osc/16) モードのフレーム周波数です。

13.3.3 LCD コントロールレジスタ 2 (LCR2)

LCR2 は、A 波形/B 波形切り替えの制御、分割抵抗切り離し制御を行います。ただし、分割抵抗切り離し制御は H8/38104 グループのみとなります。

ビット	ビット名	初期値	R/W	説明
7	LCDAB	0	R/W	A 波形/B 波形切り替えの制御 LCD の駆動波形を A 波形にするか B 波形にするかを選択します。 0 : A 波形で駆動 1 : B 波形で駆動
6、5		すべて 1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
4			W	リザーブビット 0 ライトのみ可能です。
3~0*	CDS3 CDS2 CDS1 CDS0	すべて 0	R/W	分割抵抗切り離しの制御 分割抵抗を切り離すのか接続するのかを制御します。 CDS3=0、CDS2=CDS1=CDS0=1 : 分割抵抗切り離し 上記以外 : 接続

【注】 * H8/38104 グループのみの適用となります。H8/3802 グループ、H8/38004 グループ、H8/38002S グループではビット 4 と同様なリザーブビットになります。

13.4 動作説明

13.4.1 LCD 表示までのセッティング

LCD 表示を行うにはハードウェア、ソフトウェアのそれぞれについて以下のことを決定しておく必要があります。

(1) ハードウェアのセッティング

(a) 1/2 デューティ使用

1/2 デューティで使用する際は V2、V3 端子を接続してください(図 13.2 参照)。

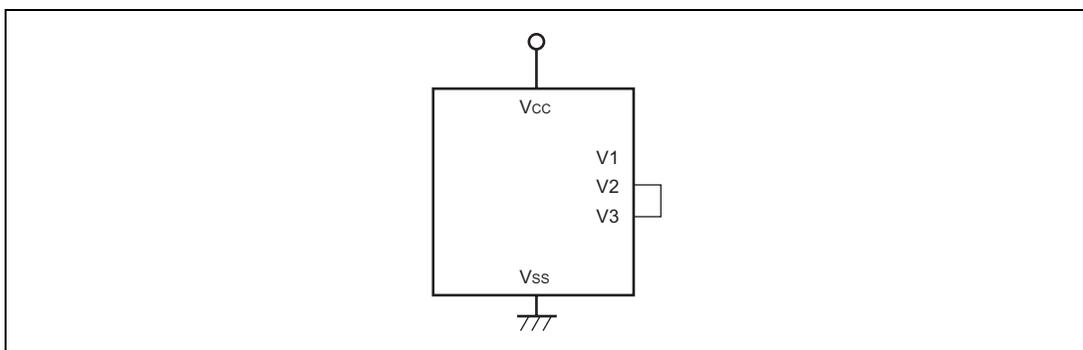


図 13.2 1/2 デューティ時の LCD 駆動電源の処理

(b) 大パネル表示

内蔵の電源分割抵抗はインピーダンスが大きいので、大きなパネルの駆動には適さないことがあります。大きなパネルを使用し表示が不鮮明になるときは「13.4.4 LCD 駆動電源の強化」を参照してください。また、スタティック、1/2 デューティを選択した場合、コモン出力の駆動能力を強化することができます。デューティ比の選択時に CMX を 1 にしてください。このモードではスタティック時に COM4 ~ COM1 端子が同じ波形となり、1/2 デューティ時は COM2、COM1 端子から COM1 波形が、COM4、COM3 端子からは COM2 波形が出力されます。

(c) LCD 駆動電源の設定

本 LSI は LCD 駆動電源として内蔵の電源回路を使用する方法と、外部電源回路を使用する方法があります。

LCD 駆動電源として外部電源回路を使用する場合は、V1 端子に外部電源を接続してください。

(2) ソフトウェアのセッティング

(a) デューティの選択

デューティは、DTS1、DTS0 によりスタティック、1/2 デューティ、1/3 デューティ、1/4 デューティから選択できます。

(b) セグメントドライバの選択

SGS3 ~ SGS0 により、使用するセグメントドライバを選択できます。

(c) フレーム周波数の選択

CKS3 ~ CKS0 を設定することでフレーム周波数を選択することができます。フレーム周波数は LCD パネルの指定に従って選択してください。ウォッチモード、サブアクティブモード、サブスリープモード時のクロックの選択方法は「13.4.3 低消費電力モード時の動作」を参照してください。

(d) A 波形、B 波形の選択

LCDAB により、使用する LCD 波形を A 波形か B 波形のどちらかを選択できます。

(e) LCD 駆動電源の選択

外部電源回路を使用する場合には PSW で LCD 駆動電源を OFF 状態にしてください。

13. LCD コントローラ / ドライバ

13.4.2 LCD RAM と表示の関係

LCD RAM と表示セグメントの関係は、デューティ比によって異なります。それぞれのデューティ比に対応した LCD RAM のマップを図 13.3 ~ 図 13.6 に示します。

表示に必要なレジスタ群を設定した後、デューティに対応する部分に通常の RAM と同様な命令によってデータを書き込み、表示を ON すれば自動的に表示を開始します。RAM 設定にはワード / バイトアクセス命令が使用できます。

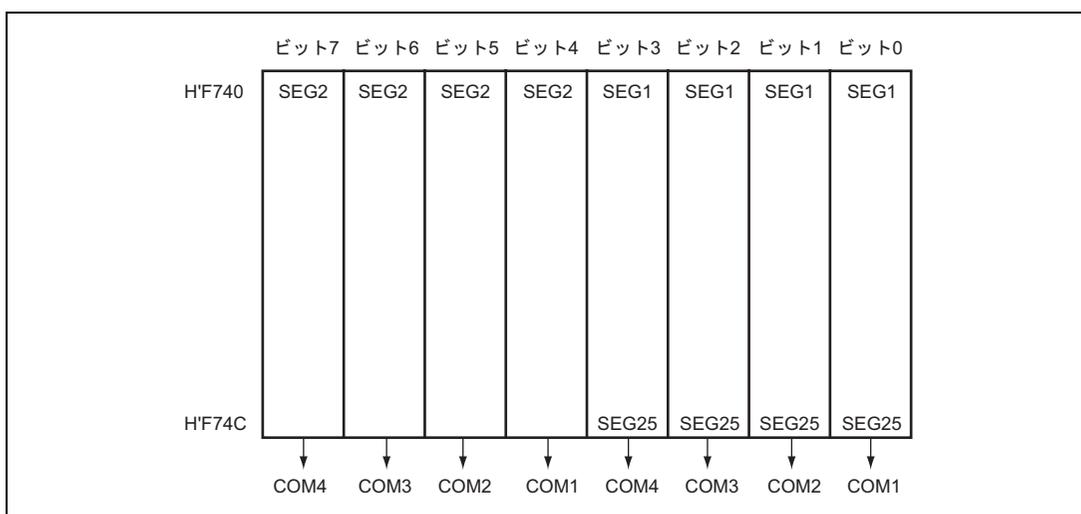


図 13.3 LCD RAM マップ (1/4 デューティ)

13. LCD コントローラ/ドライバ

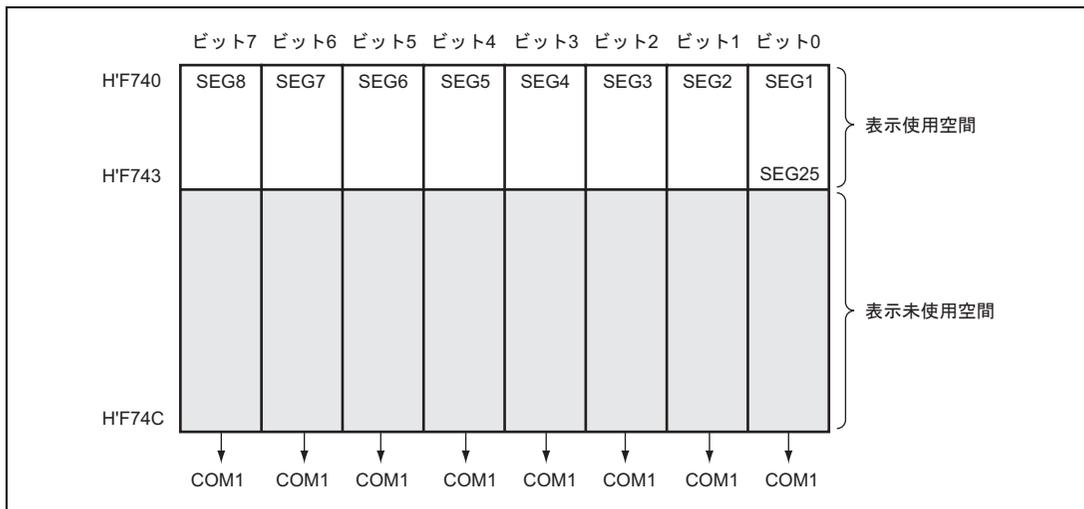


図 13.6 LCD RAM マップ (スタティック)

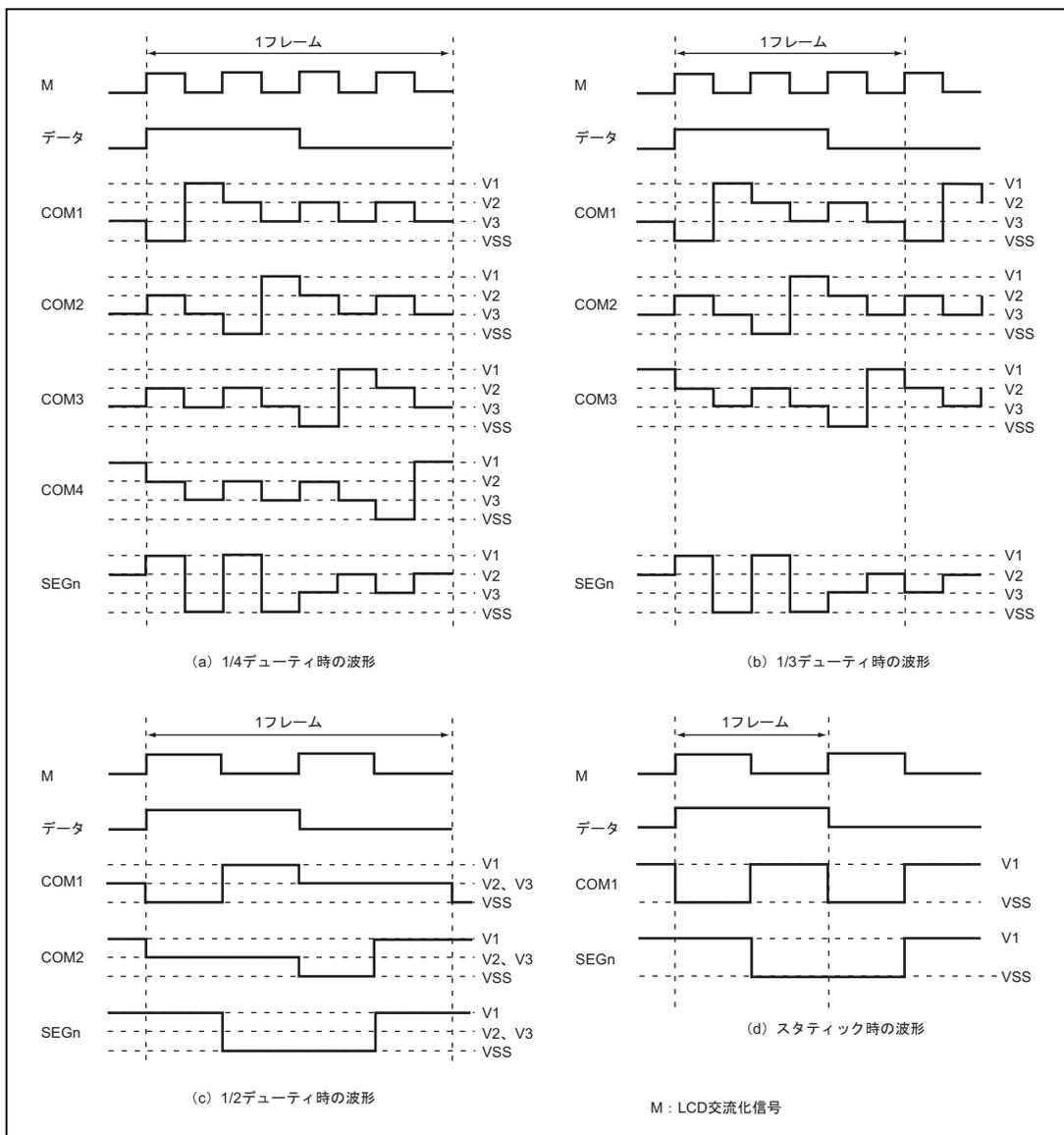


図 13.7 各デューティでの出力波形 (A 波形)

13. LCD コントローラ / ドライバ

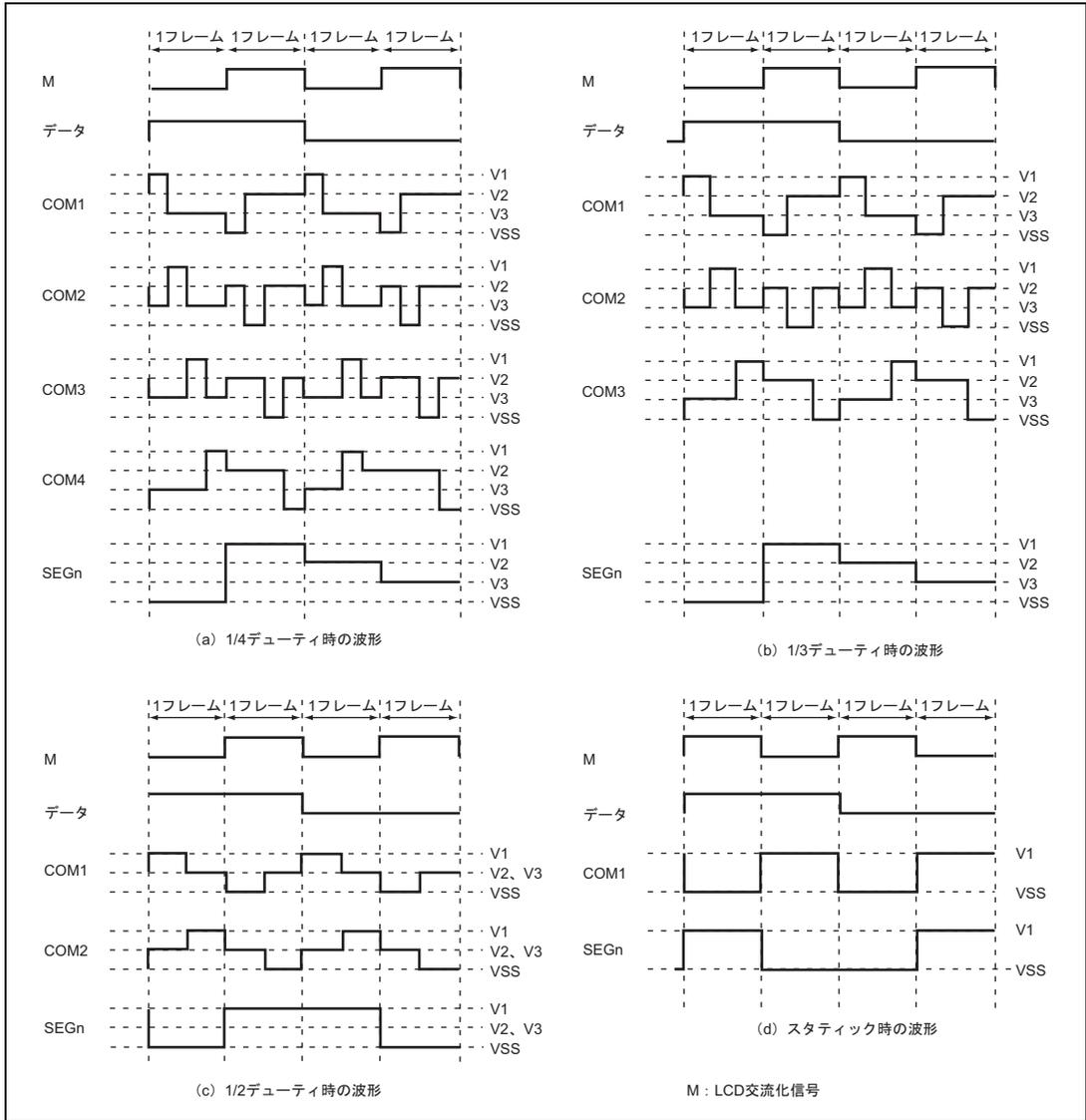


図 13.8 各デューティでの出力波形 (B 波形)

表 13.5 出力レベルの関係

データ		0	0	1	1
M		0	1	0	1
スタティック	コモン出力	V1	VSS	V1	VSS
	セグメント出力	V1	VSS	VSS	V1
1/2 デューティ	コモン出力	V2、V3	V2、V3	V1	VSS
	セグメント出力	V1	VSS	VSS	V1
1/3 デューティ	コモン出力	V3	V2	V1	VSS
	セグメント出力	V2	V3	VSS	V1
1/4 デューティ	コモン出力	V3	V2	V1	VSS
	セグメント出力	V2	V3	VSS	V1

M: LCD 交流化信号

13.4.3 低消費電力モード時の動作

本 LSI は低消費電力モード時でも、LCD コントローラ / ドライバを動作させることができます。低消費電力モード時の LCD コントローラ / ドライバの動作状態を表 13.6 に示します。

サブアクティブモード / ウォッチモード / サブスリープモードではシステムクロック発振器が停止するので、CKS3 ~ CKS0 で w 、 $w/2$ または $w/4$ を選択していないとクロックが供給されず、表示が停止します。この場合 LCD パネルには直流電圧がかかる可能性がありますので必ず w 、 $w/2$ または $w/4$ を選択するようにしてください。

アクティブ (中速) モードではシステムクロックが切り替わるので、フレーム周波数が変化しないように CKS3 ~ CKS0 を変更する必要があります。

表 13.6 低消費電力モードと表示動作の関係

モード		リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュール スタンバイ
クロック		動作	動作	動作	停止	停止	停止	停止	停止*4
	w	動作	動作	動作	動作	動作	動作	停止*1	停止*4
表示 動作	ACT = 0	停止	停止	停止	停止	停止	停止	停止*2	停止
	ACT = 1	停止	表示	表示	表示*3	表示*3	表示*3	停止*2	停止

【注】 *1 サブクロック発振器は停止しません。クロックの供給は停止します。

*2 PSW に関係なく LCD 駆動電源を OFF します。

*3 使用クロックに w 、 $w/2$ または $w/4$ を選択していないと表示動作を行いません。

*4 LCD に供給されるクロックは停止します。

13.4.4 LCD 駆動電源の強化

内蔵の電源容量ではLCDパネルへの駆動能力が不十分な場合、電源のインピーダンスを下げる必要があります。この対策として、図 13.9 に示すように V1 ~ V3 端子に 0.1 ~ 0.3 μ F 程度のバイパスコンデンサを接続する方法や、新たに分割抵抗を外部に設ける方法があります。

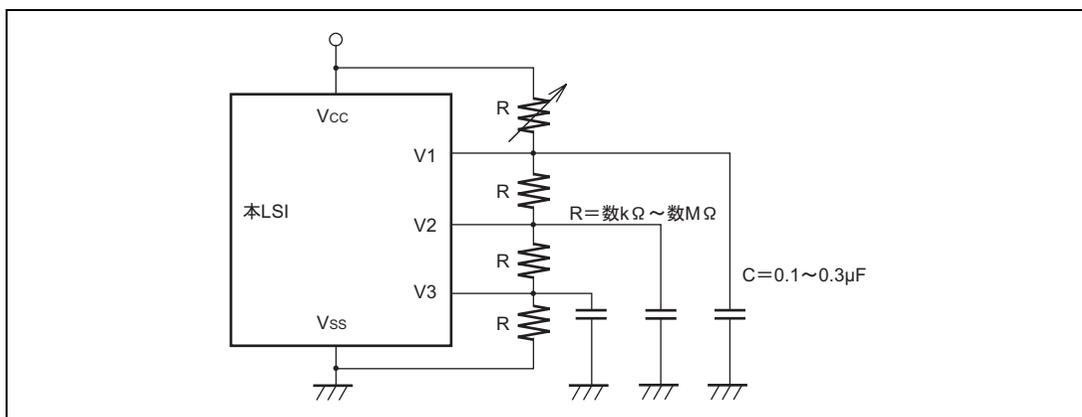


図 13.9 外部分割抵抗の接続方法

14. パワーオンリセット&低電圧検出回路 (H8/38104 グループのみ)

本 LSI はパワーオンリセット回路、および低電圧検出回路を内蔵しています。

低電圧検出回路は、低電圧検出割り込み回路 (LVDI : Interrupt by Low Voltage Detect) と、低電圧検出リセット回路 (LVDR : Reset by Low Voltage Detect) から構成されます。

本回路は、電源電圧降下による本 LSI の異常動作 (暴走) を防ぎ、かつ電源電圧の再上昇時に電源電圧降下前の状態を再現するために使われる回路です。

電源電圧が降下しても、動作保証電圧以上でかつ正常動作中にスタンバイモード^{*}に遷移することで、電源電圧が動作保証電圧以下へ降下したときの不安定な状態をなくし、システムの安全性を高められます。さらに電源電圧が降下してしまった場合には自動的にリセット状態に遷移します。再度電源電圧が上昇すると一定時間リセット状態を保持してからアクティブモードに自動的に遷移します。

パワーオンリセット回路および低電圧検出回路のブロック図を図 14.1 に示します。

【注】 * スタンバイモードの保持電圧は RAM データ保持電圧 (V_{RAM}) と同じです。RAM データ保持電圧値は電気的特性の「17.6.2 DC 特性」を参照してください。

14.1 特長

- パワーオンリセット回路

外部にコンデンサを接続することにより、電源投入時に内部リセット信号を発生

- 低電圧検出回路

低電圧検出リセット回路：電源電圧を監視して、一定電圧以下になった場合に内部リセット信号を発生

低電圧検出割り込み回路：電源電圧を監視して、一定電圧より降下または上昇した場合に割り込みを発生

リセット発生電圧を検知するレベルは、低電圧検出リセット回路のみ使用する場合と、低電圧検出割り込み回路と低電圧検出リセット回路を併用する場合の 2 種類選択可能です。また、電源立ち下がり / 立ち上がり検出電圧および基準電圧を LSI 外部より入力可能なため、検出レベルを自由に設定できます。

14. パワーオンリセット&低電圧検出回路

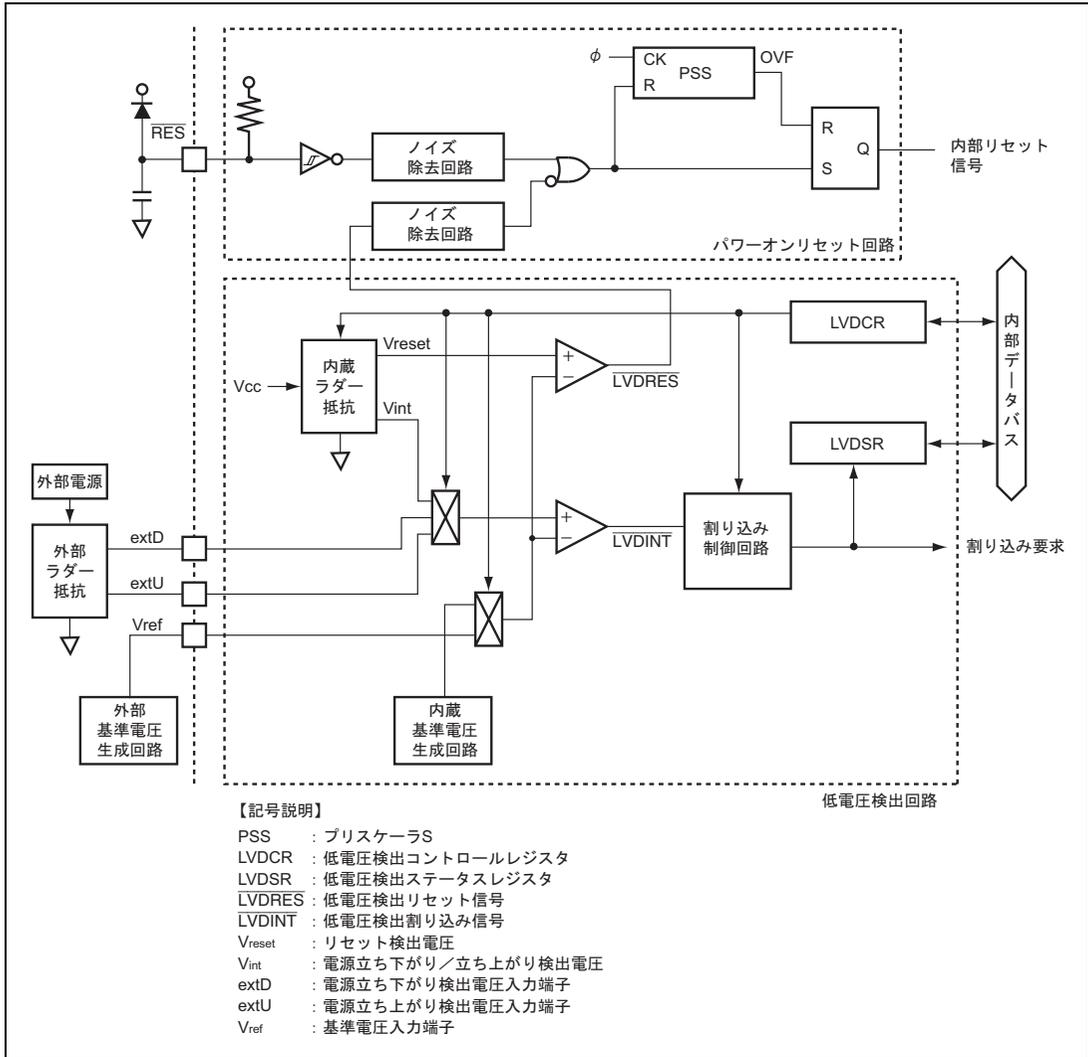


図 14.1 パワーオンリセット回路および低電圧検出回路ブロック図

14.2 レジスタの説明

低電圧検出回路には以下のレジスタがあります。

- 低電圧検出コントロールレジスタ (LVDCR)
- 低電圧検出ステータスレジスタ (LVDSR)
- 低電圧検出カウンタ (LVDCNT)

14.2.1 低電圧検出コントロールレジスタ (LVDCR)

LVDCR は低電圧検出回路を使用するかしないか、電源電圧降下および上昇時の検出レベルの外部入力設定、LVDR 検出レベルの設定、低電圧検出リセット回路 (LVDR) によるリセットを許可 / 禁止、電源電圧降下および上昇による割り込み許可 / 禁止の制御を行います。

表 14.1 に LVDCR の設定値と選択機能の関係を示します。LVDCR は表 14.1 の設定にしてください。

ビット	ビット名	初期値	R/W	説明
7	LVDE	0*	R/W	LVD イネーブル 0 : 低電圧検出回路は未使用 (スタンバイ状態) 1 : 低電圧検出回路を使用
6	-	0	R/W	リザーブビットです。
5	VINTDSEL	0	R/W	電源電圧降下 (LVDD) 検出レベル外部入力選択 0 : LVDD 検出レベルは内蔵ラダー抵抗で生成 1 : LVDD 検出レベルは extD 端子入力
4	VINTUSEL	0	R/W	電源電圧上昇 (LVDU) 検出レベル外部入力選択 0 : LVDU 検出レベルは内蔵ラダー抵抗で生成 1 : LVDU 検出レベルは extU 端子入力
3	LVDSSEL	0*	R/W	LVDR 検出レベル選択 0 : リセット検知電圧 2.3V(typ.) 1 : リセット検知電圧 3.3V(typ.) 立ち下がり電圧検知、立ち上がり電圧検知割り込み使用時は 2.3V(typ.)リセットを使用してください。また、リセット検知のみ使用時は 3.3V(typ.)リセットを使用してください。
2	LVDRRE	0*	R/W	LVDR イネーブル 0 : LVDR によるリセットを禁止 1 : LVDR によるリセットを許可
1	LVDDDE	0	R/W	電圧降下時割り込みイネーブル 0 : 電圧降下時の割り込み要求を禁止 1 : 電圧降下時の割り込み要求を許可
0	LVDDUE	0	R/W	電圧上昇時割り込みイネーブル 0 : 電圧上昇時の割り込み要求を禁止 1 : 電圧上昇時の割り込み要求を許可

【注】 * LVDR によるリセットでは初期化されません。パワーオンリセット、ウォッチドッグタイマリセットで初期化されます。

14. パワーオンリセット&低電圧検出回路

表 14.1 LVDCR の設定と選択機能

LVDCR 設定値					選択機能			
LVDE	LVDSEL	LVDRE	LVDDE	LVDUE	パワーオン リセット	低電圧検出 リセット	低電圧検出 立ち下がり 割り込み	低電圧検出 立ち上がり 割り込み
0	*	*	*	*				
1	1	1	0	0				
1	0	0	1	0				
1	0	0	1	1				
1	0	1	1	1				

【注】* の設定値は無効です。

14.2.2 低電圧検出ステータスレジスタ (LVDSR)

LVDSR は、外部入力を選択の制御を行い、基準電圧の安定化および電源電圧がある一定電圧より降下または上昇したことを示します。

ビット	ビット名	初期値	R/W	説明
7	OVF	0*	R/W	LVD 基準電圧安定フラグ [セット条件] • 低電圧検出カウンタ (LVDCNT) がオーバーフローしたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき
6~4	-	すべて 0	R/W	R/W 可能なりザーブビットです。
3	VREFSEL	0	R/W	基準電圧外部入力選択 0: 基準電圧は内部回路を使用 1: 基準電圧を Vref 端子から外部入力
2	-	0	R	リードすると常に 0 が読み出されます。ライトは無効です。
1	LVDDF	0*	R/W	LVD 電源電圧降下フラグ [セット条件] • 電源電圧が Vint(D)以下に降下したとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき
0	LVDFUF	0*	R/W	LVD 電源電圧上昇フラグ [セット条件] • LVDCR の LVDUE ビットを 1 にセットした状態で電源電圧が Vint(D)以下に降下し、Vreset1 以下に降下する前に Vint(U)以上に上昇したとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき

【注】* LVDR によるリセットで初期化されます。

14.2.3 低電圧検出カウンタ (LVDCNT)

LVDCNT はリードのみ可能なアップカウンタです。LVDE に 1 をライトするとカウンタを開始します。 /4 をクロックソースとしてカウントアップし、H'FF から H'00 にオーバーフローすると、LVDSR レジスタの OVF ビットに 1 がセットされ、内部基準電圧生成回路が安定したことを示します。LVD 機能を使用する場合、本カウンタがオーバーフローするまでの期間は待機する必要があります。LVDCNT の初期値は H'00 です。

14.3 動作説明

14.3.1 パワーオンリセット回路

パワーオンリセット回路の動作タイミングを図 14.2 に示します。電源電圧の上昇により、内蔵のプルアップ抵抗 (typ. 100k) を介して $\overline{\text{RES}}$ 端子に外付けされたコンデンサが徐々に充電されます。この $\overline{\text{RES}}$ 端子の状態が内部に伝わり、プリスケアラ S およびチップ全体がリセットされます。 $\overline{\text{RES}}$ 端子のレベルが一定レベルまで上昇すると、プリスケアラ S のリセットが解除され、カウントアップを始めます。プリスケアラ S が 131,072 回カウントすると OVF 信号が発生し、内部リセット信号が解除されます。なお、チップ内部に $\overline{\text{RES}}$ 端子のノイズによる誤動作を避けるため、100ns 程度のノイズ除去回路が内蔵されています。

LSI が安定して動作するためには電源が規定時間以内に立ち上がる必要があります。電源立ち上がり時間 (t_{PWON}) の最大値は、発振周波数 (f_{OSC}) と $\overline{\text{RES}}$ 端子に接続する容量 (C_{RES}) で定義されます。電源立ち上がり時間は電源電圧の 90% まで到達する時間とすると

$$t_{\text{PWON}}(\text{ms}) = 80 \times C_{\text{RES}}(\mu\text{F}) \pm 10 / f_{\text{OSC}}(\text{MHz})$$

($t_{\text{PWON}} = 3000\text{ms}$, $C_{\text{RES}} = 0.22\mu\text{F}$, 2~10MHz 時は $f_{\text{osc}}=10$ とする)

の式を満足するように電源回路を設計してください。

ただし、電源電圧 V_{cc} は $V_{\text{por}}=100\text{mV}$ 以下まで必ず立ち下げ、 $\overline{\text{RES}}$ 端子の電荷が十分に抜けてから立ち上げてください。 $\overline{\text{RES}}$ 端子の電荷を引き抜くためにはダイオードを V_{cc} 側に付けることを推奨します。 V_{por} を超えたところから電源電圧 V_{cc} が立ち上がった場合、パワーオンリセットが動かない可能性があります。

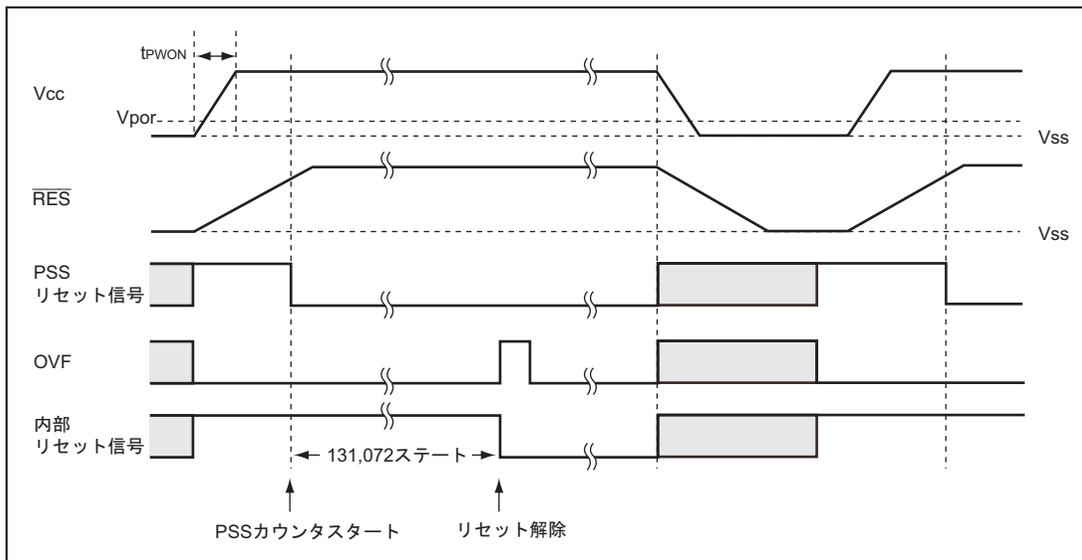


図 14.2 パワーオンリセット回路動作タイミング

14.3.2 低電圧検出回路

(1) 低電圧検出リセット回路 (LVDR)

LVDR の動作タイミングを図 14.3 に示します。LVDR はパワーオンリセット解除後、モジュールスタンバイ状態になります。LVDR を動作させるためには、LVDCR の LVDE ビットを 1 にセットし、基準電圧および低電圧検出電源が安定するまでの時間 t_{LVDRON} (150 μ s) を LVDCR のオーバフローで待った後、LVDCR の LVDRE ビットを 1 にセットします。必ず、この後にポートの出力設定を行ってください。また、低電圧検出回路を解除する場合は、LVDRE ビットを 0 にクリアした後、LVDE ビットを 0 にクリアします。誤動作の原因となるため、LVDE ビットは LVDRE ビットと同時にクリアしないでください。

LVDR は電源電圧が低下して V_{reset} 電圧 (typ. = 2.3V または 3.3V) 以下になると、 \overline{LVDRES} 信号が 0 となり、プリスケアラ S がリセットされます。パワーオンリセットが働かない限り、低電圧検出リセット状態を継続します。電源電圧が再度 V_{reset} 電圧以上に上昇すると、プリスケアラ S はカウントアップを始め、131,072 回カウントし、内部リセット信号が解除されます。このとき、LVDCR の LVDE、LVDSEL、LVDRE ビットは初期化されません。

ただし、電源電圧 V_{CC} が $V_{LVDRmin}=1.0V$ 以下に低下し、そこから立ち上がった場合、低電圧検出リセットがかからない場合がありますので十分な評価をお願いします。

また、電源電圧 V_{CC} が $V_{por}=100mV$ 以下になると本 LSI はパワーオンリセット動作になります。

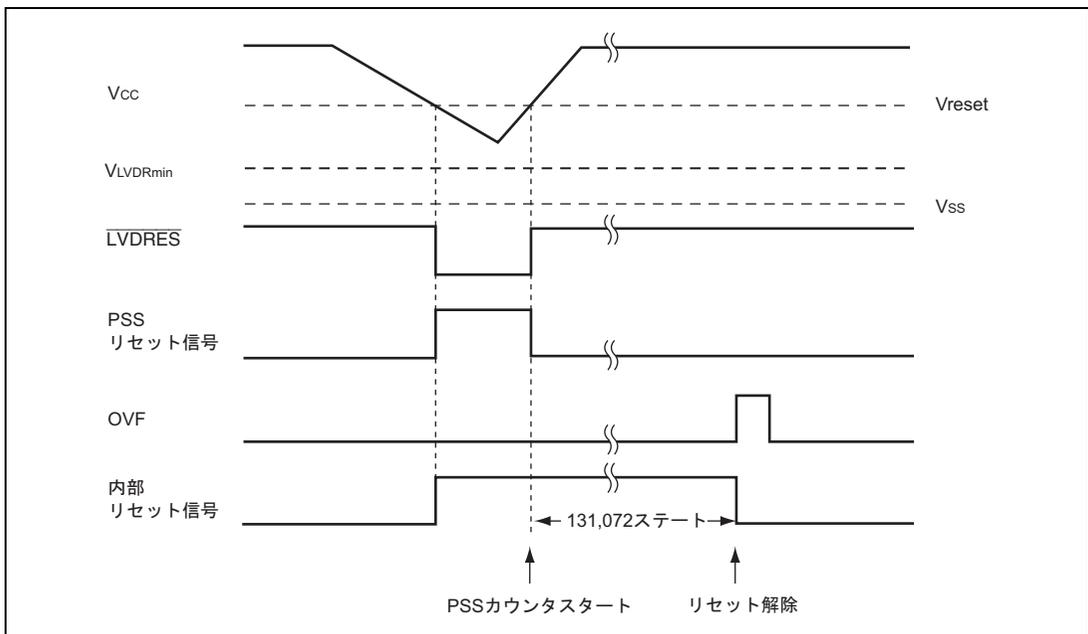


図 14.3 低電圧検出リセット回路動作タイミング

14. パワーオンリセット&低電圧検出回路

(2) 低電圧検出割り込み回路 (LVDI)

LVDI の動作タイミングを図 14.4 に示します。LVDI はパワーオンリセット解除後、モジュールスタンバイ状態になります。LVDI を動作させるためには、LVDCR の LVDE ビットを 1 にセットし、基準電圧および低電圧検出電源が安定するまでの時間 t_{LVDON} (150 μ s) LVDCNT のオーバフローで待った後、LVDCR の LVDDE、LVDUE ビットを 1 にセットします。必ず、この後にポートの出力設定を行ってください。低電圧検出回路を解除する場合は、LVDDE、LVDUE ビットをすべて 0 にクリアした後、LVDE ビットを 0 にクリアします。誤動作の原因となるため、LVDE ビットは LVDDE、LVDUE ビットと同時にクリアしないでください。

LVDI は電源電圧が低下して $V_{int}(D)$ (typ.=3.7V)電圧以下になると、 \overline{LVDINT} 信号が 0 となり、LVDSR の LVDDF ビットが 1 にセットされます。このとき LVDDE ビットが 1 であれば、IRQ0 割り込み要求を発生します。このとき、必要なデータを外付けの EEPROM などに退避しスタンバイモード、ウォッチモードあるいはサブスリープモードに遷移させてください。この処理が完了するまでの間、電源電圧が動作保証下限電圧以上を保つように、電源回路を設計してください。

また、電源電圧が V_{reset1} (typ.=2.3V)電圧まで降下せず、 $V_{int}(U)$ (typ.=4.0V)電圧以上に上昇すると、 \overline{LVDINT} 信号が 1 となり、このとき LVDUE ビットが 1 であれば LVDSR の LVDUF ビットが 1 にセットされます。同時に IRQ0 割り込み要求を発生します。

電源電圧が V_{reset1} (typ.=2.3V)電圧以下へ降下した場合は、本 LSI は低電圧検出リセット動作になります。

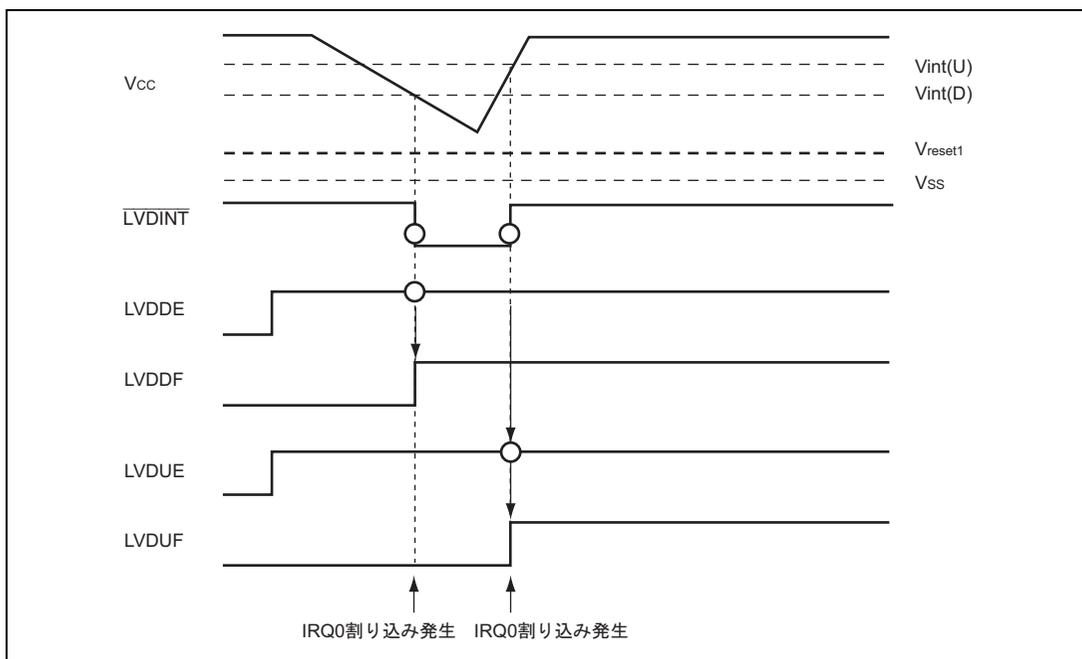


図 14.4 低電圧検出割り込み回路動作タイミング

本 LSI では、基準電圧、電源電圧降下検出レベル、および電源電圧上昇検出レベルを V_{ref} 、 $extD$ 、 $extU$ 端子により LSI 外部から入力可能です。図 14.5 に V_{ref} 、 $extD$ 、 $extU$ 端子を使用した場合の LVDI の動作タイミングを示します。

まず、(1) $extD/extU$ 端子の入力電圧は割り込み検知電圧 V_{exd} よりも高い電圧に設定してください。(2) 初期設定後、 $extD$ 入力電圧が V_{exd} より降下すると電源降下割り込みが発生します。(3) 電源降下割り込み発生後、外部電源電圧が上昇し、 $extU$ 入力電圧が V_{exd} より上昇すると電源上昇割り込みが発生します。(4) 内部回路使用時と同様、LVDI 機能使用時は、LVDR (V_{reset1}) と併用してください。

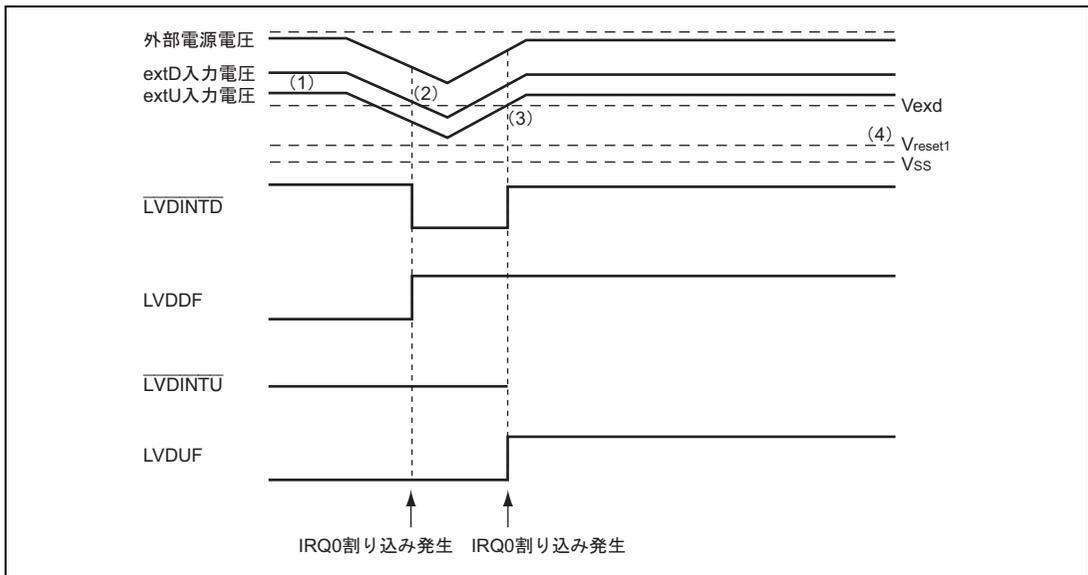


図 14.5 低電圧検出割り込み回路動作タイミング (V_{ref} 、 $extD/extU$ 端子使用時)

図 14.6 に、 V_{ref} 、 $extD$ 、 $extU$ 端子を使用した場合の LVD 機能の使用例を示します。

14. パワーオンリセット&低電圧検出回路

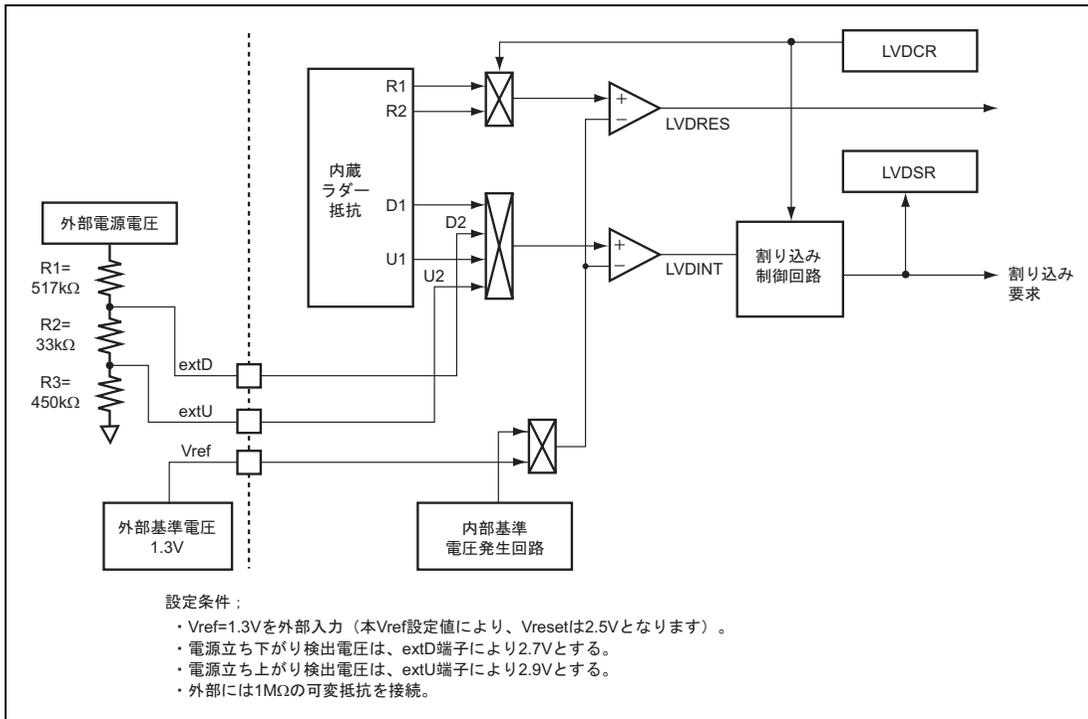


図 14.6 Vref、extD、extU 端子を使用した場合のLVD機能使用例

次に、Vref、extD、extU 端子を利用して、LSI 外部より基準電圧および検知電圧を入力する場合の、外付け抵抗値の計算方法を以下に示します。

手順

1. 全体の抵抗値Rを決定します。Rの値により、抵抗で消費する電流値が決まります。Rを小さくすれば電流は大きくなり、逆にRを大きくすれば電流が小さくなります。このRの値は、本LSIを実装するシステム構成に依存します。
2. 電源立ち下がり検出電圧（Vint（D））および電源立ち上がり検出電圧（Vint（U））を決めます。
3. 下記に示すような抵抗値計算テーブルを用い、R、Vreset1、Vint（D）およびVint（U）の値からVref、R1、R2およびR3の値を計算します。

抵抗値計算テーブル

Ex.No	Vref (V)	R (kΩ)	Vreset1	Vint (D)	Vint (U)	R1 (kΩ)	R2 (kΩ)	R3 (kΩ)
1	1.30	1000	2.5	2.7	2.9	517	33	450
2	1.41	1000	2.7	2.9	3	514	16	470
3	1.57	1000	3	3.2	3.5	511	42	447
4	2.09	1000	4	4.5	4.7	536	20	444

4. 下記に示すような誤差計算テーブルによりR1、R2、R3およびVrefの値を入力しVreset1、Vint(D)およびVint(U)の偏差を計算します。おのおのの値のmax値およびmin値を必ず確認してください。

誤差計算テーブル

Vref(V)	R1(kΩ)	R2(kΩ)	R3(kΩ)	抵抗値の誤差(%)	コンパレータ誤差(V)	Vreset1(V)	Vint(D)(V)	Vint(U)(V)
				5				
1.3	517	33	450	R1 + Err, R2/R3-Err	0.1	2.59	2.94	3.15
					0	2.49	2.84	3.05
					-0.1	2.39	2.74	2.95
				R1-Err, R2/R3 + Err	0.1	2.59	2.66	2.85
					0	2.49	2.56	2.75
					-0.1	2.39	2.46	2.65
				R1/R2/R3 No Err	0.1	2.59	2.79	2.99
					0	2.49	2.69	2.89
					-0.1	2.39	2.59	2.79
				R1/R2 + Err, R3-Err	0.1	2.59	2.93	3.16
					0	2.49	2.83	3.06
					-0.1	2.39	2.73	2.96
				R1/R2-Err, R3 + Err	0.1	2.59	2.67	2.84
					0	2.49	2.57	2.74
					-0.1	2.39	2.47	2.64

(3) LVDR、LVDI 使用時の動作 / 解除設定手順

低電圧検出回路を正常に動作または解除させるためには、以下の手順で設定してください。低電圧検出回路の動作および解除を設定する場合のタイミングを図 14.7 に示します。

1. 低電圧検出回路を動作させる場合は、まずLVDCRのLVDEビットを1にセットします。
2. 基準電圧および低電圧検出電源が安定するまでの時間 ($t_{LVDON} = 150\mu s$) をLVDCNTのオーバフローで待った後、LVDSRのLVDDFとLVDFビットを0にクリアして、必要に応じてLVDCRのLVDRE、LVDDE、LVDUEビットを1にセットします。
3. 低電圧検出回路を解除する場合は、LVDRE、LVDDE、LVDUEビットをすべて0にクリアした後、LVDEビットを0にクリアします。誤動作の原因となるため、LVDEビットはLVDRE、LVDDE、LVDUEビットと同時にクリアしないでください。

14. パワーオンリセット&低電圧検出回路

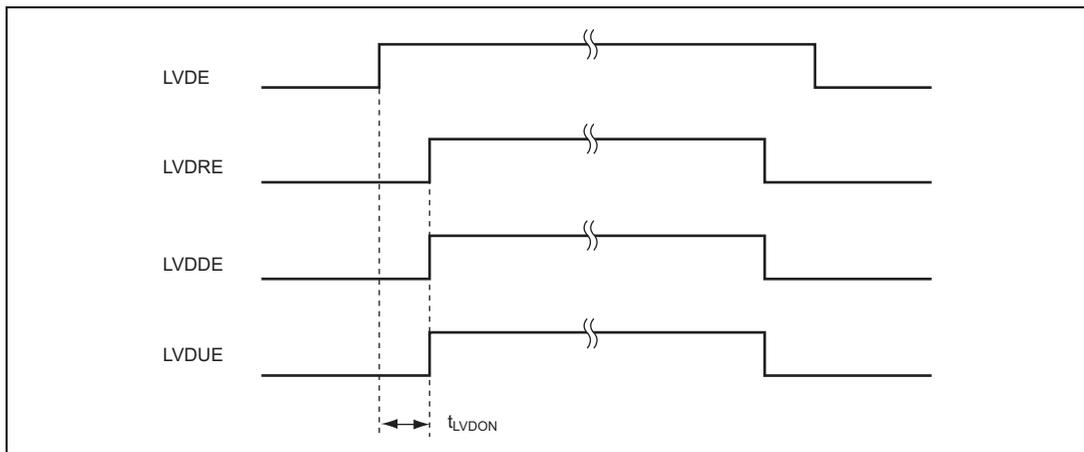


図 14.7 低電圧検出回路の動作 / 解除の設定タイミング

15. 電源回路（H8/38104 グループのみ）

本 LSI には内部電源降圧回路が内蔵されています。この内部電源降圧回路を使用することにより、外部 V_{CC} 端子に接続された電源電圧に依存することなく、内部電源を約 3.0V に固定することができます。このため外部電源を 3.0V 以上で使用した場合に消費される電流値を約 3.0V で使用した場合とほぼ同等に抑えることができます。外部電圧が 3.0V 以下の場合は内部電圧は外部電圧とほぼ同一となります。内部電源降圧回路を使用せずに内部電源電圧を外部電源電圧と同一として使用することもできます。

15.1 内部電源降圧回路を使用する場合

図 15.1 のように、 V_{CC} 端子に外部電源を接続し、 CV_{CC} と V_{SS} 間に約 $0.1\mu\text{F}$ の容量を接続してください。この外部回路を付加することにより内部降圧回路が有効になります。外部回路の入出力レベルは V_{CC} に接続されている外部電源電圧と V_{SS} に接続されている GND 電位が基準となります。たとえば、ポートの入出力レベルは High が V_{CC} 基準、Low が V_{SS} 基準となります。A/D 変換器のアナログ電源は内部降圧回路の影響は受けません。

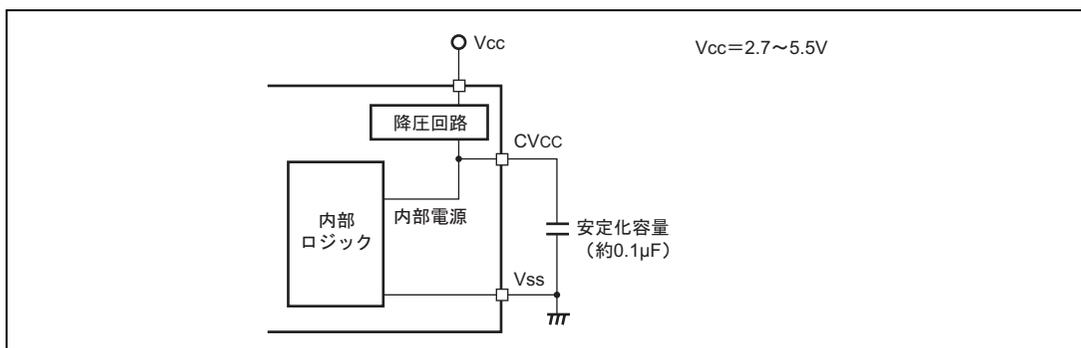


図 15.1 内部電源降圧回路を使用する場合の電源接続図

15.2 内部電源降圧回路を使用しない場合

図 15.2 のように、 CV_{CC} と V_{CC} 端子に外部電源を接続してください。外部電源が直接内部電源に供給されます。使用可能な電源電圧は 2.7V ~ 3.6V です。この範囲を超える電源を供給した場合の動作は保証されません。

15. 電源回路

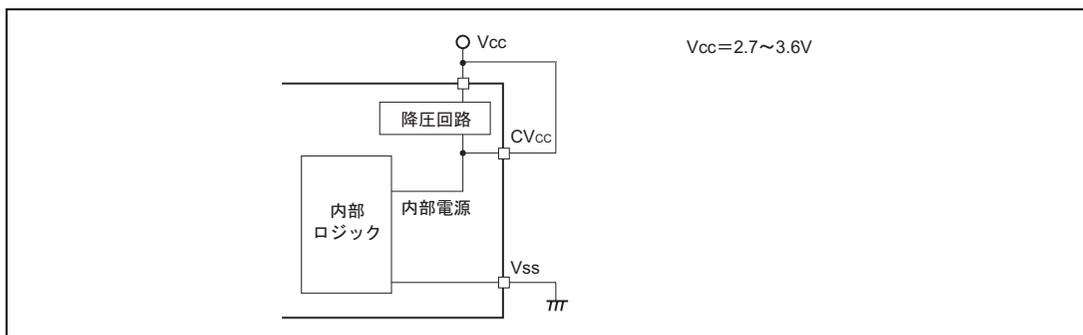


図 15.2 内部電源降圧回路を使用しない場合の電源接続図

16. レジスタ一覧

レジスタ一覧では、内蔵レジスタのアドレス、ビット構成および動作モード別の状態に関する情報をまとめています。表記方法は下記のとおりです。

1. レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載します。
- モジュール名称による分類をしています。
- データバス幅を表示しています。
- アクセスステート数を表示しています。

2. レジスタビット一覧

- 「レジスタアドレス一覧（アドレス順）」の順序で、ビット構成を記載しています。
- リザーブビットは、ビット名称部に「-」で表記しています。
- 16ビットのレジスタの場合、MSB側のビットから記載しています。

3. 各動作モードにおけるレジスタの状態

- 「レジスタアドレス一覧（アドレス順）」の順序で、レジスタの状態を記載しています。
- 基本的な動作モードにおけるレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。

16. レジスタ一覧

16.1 レジスタアドレス一覧（アドレス順）

データバス幅は、ビット数を示します。

アクセスステート数は、指定の基準クロックのステート数を示します。

レジスタ名称	略称	ビット数	アドレス	モジュール	データバス幅	アクセスステート数
フラッシュメモリコントロールレジスタ 1	FLMCR1	8	H'F020	ROM	8	2
フラッシュメモリコントロールレジスタ 2	FLMCR2	8	H'F021	ROM	8	2
フラッシュメモリパワーコントロールレジスタ	FLPWCR	8	H'F022	ROM	8	2
ブロック指定レジスタ	EBR	8	H'F023	ROM	8	2
フラッシュメモリイネーブルレジスタ	FENR	8	H'F02B	ROM	8	2
低電圧検出コントロールレジスタ*4	LVDCR	8	H'FF86	低電圧検出回路	8	2
低電圧検出ステータスレジスタ*4	LVDSR	8	H'FF87	低電圧検出回路	8	2
イベントカウンタ PWM コンペアレジスタ H	ECPWCRH	8	H'FF8C	AEC*1	8	2
イベントカウンタ PWM コンペアレジスタ L	ECPWCRL	8	H'FF8D	AEC*1	8	2
イベントカウンタ PWM データレジスタ H	ECPWDRH	8	H'FF8E	AEC*1	8	2
イベントカウンタ PWM データレジスタ L	ECPWDRL	8	H'FF8F	AEC*1	8	2
ウェイクアップエッジセレクトレジスタ	WEGR	8	H'FF90	割り込み	8	2
シリアルポートコントロールレジスタ	SPCR	8	H'FF91	SCI3	8	2
入力端子エッジセレクトレジスタ	AECSR	8	H'FF92	AEC*1	8	2
イベントカウンタコントロールレジスタ	ECCR	8	H'FF94	AEC*1	8	2
イベントカウンタコントロール / ステータスレジスタ	ECCSR	8	H'FF95	AEC*1	8	2
イベントカウンタ H	ECH	8	H'FF96	AEC*1	8	2
イベントカウンタ L	ECL	8	H'FF97	AEC*1	8	2
シリアルモードレジスタ	SMR	8	H'FFA8	SCI3	8	3
ビットレートレジスタ	BRR	8	H'FFA9	SCI3	8	3
シリアルコントロールレジスタ 3	SCR3	8	H'FFAA	SCI3	8	3
トランスミットデータレジスタ	TDR	8	H'FFAB	SCI3	8	3
シリアルステータスレジスタ	SSR	8	H'FFAC	SCI3	8	3
レシーブデータレジスタ	RDR	8	H'FFAD	SCI3	8	3
タイマモードレジスタ A	TMA	8	H'FFB0	タイマ A	8	2
タイマカウンタ A	TCA	8	H'FFB1	タイマ A	8	2
タイマコントロール / ステータスレジスタ W	TCSRW	8	H'FFB2	WDT*2	8	2
タイマカウンタ W	TCW	8	H'FFB3	WDT*2	8	2
タイマコントロールレジスタ F	TCRF	8	H'FFB6	タイマ F	8	2
タイマコントロールステータスレジスタ F	TCSRF	8	H'FFB7	タイマ F	8	2

レジスタ名称	略称	ビット 数	アドレス	モジュール	データ バス幅	アクセス ステート数
8ビットタイマカウンタ FH	TCFH	8	H'FFB8	タイマ F	8	2
8ビットタイマカウンタ FL	TCFL	8	H'FFB9	タイマ F	8	2
アウトプットコンペアレジスタ FH	OCRFH	8	H'FFBA	タイマ F	8	2
アウトプットコンペアレジスタ FL	OCRFL	8	H'FFBB	タイマ F	8	2
LCD ポートコントロールレジスタ	LPCR	8	H'FFC0	LCD* ³	8	2
LCD コントロールレジスタ	LCR	8	H'FFC1	LCD* ³	8	2
LCD コントロールレジスタ 2	LCR2	8	H'FFC2	LCD* ³	8	2
低電圧検出カウンタ* ⁴	LVDCNT	8	H'FFC3	低電圧検出回路	8	2
A/D リザルトレジスタ H	ADRRH	8	H'FFC4	A/D 変換器	8	2
A/D リザルトレジスタ L	ADRRL	8	H'FFC5	A/D 変換器	8	2
A/D モードレジスタ	AMR	8	H'FFC6	A/D 変換器	8	2
A/D スタートレジスタ	ADSR	8	H'FFC7	A/D 変換器	8	2
ポートモードレジスタ 2	PMR2	8	H'FFC9	I/O ポート	8	2
ポートモードレジスタ 3	PMR3	8	H'FFCA	I/O ポート	8	2
ポートモードレジスタ 5	PMR5	8	H'FFCC	I/O ポート	8	2
PWM2 コントロールレジスタ	PWCR2	8	H'FFCD	10ビット PWM	8	2
PWM2 データレジスタ U	PWDRU2	8	H'FFCE	10ビット PWM	8	2
PWM2 データレジスタ L	PWDRL2	8	H'FFCF	10ビット PWM	8	2
PWM1 コントロールレジスタ	PWCR1	8	H'FFD0	10ビット PWM	8	2
PWM1 データレジスタ U	PWDRU1	8	H'FFD1	10ビット PWM	8	2
PWM1 データレジスタ L	PWDRL1	8	H'FFD2	10ビット PWM	8	2
ポートデータレジスタ 3	PDR3	8	H'FFD6	I/O ポート	8	2
ポートデータレジスタ 4	PDR4	8	H'FFD7	I/O ポート	8	2
ポートデータレジスタ 5	PDR5	8	H'FFD8	I/O ポート	8	2
ポートデータレジスタ 6	PDR6	8	H'FFD9	I/O ポート	8	2
ポートデータレジスタ 7	PDR7	8	H'FFDA	I/O ポート	8	2
ポートデータレジスタ 8	PDR8	8	H'FFDB	I/O ポート	8	2
ポートデータレジスタ 9	PDR9	8	H'FFDC	I/O ポート	8	2
ポートデータレジスタ A	PDRA	8	H'FFDD	I/O ポート	8	2
ポートデータレジスタ B	PDRB	8	H'FFDE	I/O ポート	8	2
ポートブルアップコントロールレジスタ 3	PUCR3	8	H'FFE1	I/O ポート	8	2
ポートブルアップコントロールレジスタ 5	PUCR5	8	H'FFE2	I/O ポート	8	2
ポートブルアップコントロールレジスタ 6	PUCR6	8	H'FFE3	I/O ポート	8	2
ポートコントロールレジスタ 3	PCR3	8	H'FFE6	I/O ポート	8	2
ポートコントロールレジスタ 4	PCR4	8	H'FFE7	I/O ポート	8	2
ポートコントロールレジスタ 5	PCR5	8	H'FFE8	I/O ポート	8	2

16. レジスタ一覧

レジスタ名称	略称	ビット 数	アドレス	モジュール	データ バス幅	アクセス ステート数
ポートコントロールレジスタ 6	PCR6	8	H'FFE9	I/O ポート	8	2
ポートコントロールレジスタ 7	PCR7	8	H'FFEA	I/O ポート	8	2
ポートコントロールレジスタ 8	PCR8	8	H'FFEB	I/O ポート	8	2
ポートモードレジスタ 9	PMR9	8	H'FFEC	I/O ポート	8	2
ポートコントロールレジスタ A	PCRA	8	H'FFED	I/O ポート	8	2
ポートモードレジスタ B	PMRB	8	H'FFEE	I/O ポート	8	2
システムコントロールレジスタ 1	SYSCR1	8	H'FFF0	SYSTEM	8	2
システムコントロールレジスタ 2	SYSCR2	8	H'FFF1	SYSTEM	8	2
IRQ エッジセレクトレジスタ	IEGR	8	H'FFF2	割り込み	8	2
割り込み許可レジスタ 1	IENR1	8	H'FFF3	割り込み	8	2
割り込み許可レジスタ 2	IENR2	8	H'FFF4	割り込み	8	2
発振器コントロールレジスタ* ⁴	OSCCR	8	H'FFF5	クロック発振器	8	2
割り込み要求レジスタ 1	IRR1	8	H'FFF6	割り込み	8	2
割り込み要求レジスタ 2	IRR2	8	H'FFF7	割り込み	8	2
タイマモードレジスタ W* ⁴	TMW	8	H'FFF8	WDT* ²	8	2
ウェイクアップ割り込み要求レジスタ	IWPR	8	H'FFF9	割り込み	8	2
クロック停止レジスタ 1	CKSTPR1	8	H'FFFA	SYSTEM	8	2
クロック停止レジスタ 2	CKSTPR2	8	H'FFFB	SYSTEM	8	2

- 【注】 *1 AEC : 非同期イベントカウンタ
*2 WDT : ウォッチドッグタイマ
*3 LCD : LCD コントローラ / ドライバ
*4 H8/38104 グループのみ

16.2 レジスタビット一覧

内蔵周辺モジュールのレジスタのビット名を以下に示します。

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
FLMCR1		SWE	ESU	PSU	EV	PV	E	P	ROM
FLMCR2	FLER								
FLPWCR	PDWND								
EBR				EB4	EB3	EB2	EB1	EB0	
FENR	FLSHE								
LVDCR* ⁴	LVDE	—	VINTDSEL	VINTUSEL	LVDSSEL	LVVDRE	LVDDDE	LVDDVE	低電圧検出 回路
LVDSR* ⁴	OVF	—	—	—	VREFSEL	—	LVDDF	LVDDVF	
ECPWCRH	ECPWC RH7	ECPWC RH6	ECPWC RH5	ECPWC RH4	ECPWC RH3	ECPWC RH2	ECPWC RH1	ECPWC RH0	AEC* ¹
ECPWCRL	ECPWC RL7	ECPWC RL6	ECPWC RL5	ECPWC RL4	ECPWC RL3	ECPWC RL2	ECPWC RL1	ECPWC RL0	
ECPWDRH	ECPWD RH7	ECPWD RH6	ECPWD RH5	ECPWD RH4	ECPWD RH3	ECPWD RH2	ECPWD RH1	ECPWD RH0	
ECPWDRL	ECPWD RL7	ECPWD RL6	ECPWD RL5	ECPWD RL4	ECPWD RL3	ECPWD RL2	ECPWD RL1	ECPWD RL0	
WEGR	WKEGS7	WKEGS6	WKEGS5	WKEGS4	WKEGS3	WKEGS2	WKEGS1	WKEGS0	割り込み
SPCR			SPC32		SCINV3	SCINV2			SCI3
AEGSR	AHEGS1	AHEGS0	ALEGS1	ALEGS0	AIEGS1	AIEGS0	ECPWME		AEC* ¹
ECCR	ACKH1	ACKH0	ACKL1	ACKL0	PWCK2	PWCK1	PWCK0		
ECCSR	OVH	OVL		CH2	CUEH	CUEL	CRCH	CRCL	
ECH	ECH7	ECH6	ECH5	ECH4	ECH3	ECH2	ECH1	ECH0	
ECL	ECL7	ECL6	ECL5	ECL4	ECL3	ECL2	ECL1	ECL0	
SMR	COM	CHR	PE	PM	STOP	MP	CKS1	CKS0	SCI3
BRR	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0	
SCR3	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0	
SSR	TDRE	RDRF	OER	FER	PER	TEND	MPBR	MPBT	
RDR	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0	
TMA					TMA3	TMA2	TMA1	TMA0	
TCA	TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0	タイマ A
TCSRW	B6WI	TCWE	B4WI	TCSRWE	B2WI	WDON	BOWI	WRST	WDT* ²
TCW	TCW7	TCW6	TCW5	TCW4	TCW3	TCW2	TCW1	TCW0	

16. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TCRF	TOLH	CKSH2	CKSH1	CKSH0	TOLL	CKSL2	CKSL1	CKSL0	タイムフ
TCSRf	OVFH	CMFH	OVIEH	CCLRH	OVFL	CMFL	OVIEL	CCLRL	
TCFH	TCFH7	TCFH6	TCFH5	TCFH4	TCFH3	TCFH2	TCFH1	TCFH0	
TCFL	TCFL7	TCFL6	TCFL5	TCFL4	TCFL3	TCFL2	TCFL1	TCFL0	
OCRfH	OCRfH7	OCRfH6	OCRfH5	OCRfH4	OCRfH3	OCRfH2	OCRfH1	OCRfH0	
OCRfL	OCRfL7	OCRfL6	OCRfL5	OCRfL4	OCRfL3	OCRfL2	OCRfL1	OCRfL0	
LPCR	DTS1	DTS0	CMX		SGS3	SGS2	SGS1	SGS0	LCD* ³
LCR		PSW	ACT	DISP	CKS3	CKS2	CKS1	CKS0	
LCR2	LCDAB				CDS3* ⁴	CDS2* ⁴	CDS1* ⁴	CDS0* ⁴	
LVDcNT* ⁴	CNT7	CNT6	CNT5	CNT4	CNT3	CNT2	CNT1	CNT0	低電圧検出 回路
ADRRH	ADR9	ADR8	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	A/D 変換器
ADRRL	ADR1	ADR0							
AMR	CKS				CH3	CH2	CH1	CH0	
ADSR	ADSF								
PMR2			POF1			WDCKS		IRQ0	I/O ポート
PMR3	AEVL	AEVH				TMOFH	TMOFL		
PMR5	WKP7	WKP6	WKP5	WKP4	WKP3	WKP2	WKP1	WKP0	
PWCR2						PWCR22* ⁴	PWCR21	PWCR20	10 ビット PWM
PWDRU2							PWDRU21	PWDRU20	
PWDRL2	PWDRL27	PWDRL26	PWDRL25	PWDRL24	PWDRL23	PWDRL22	PWDRL21	PWDRL20	
PWCR1						PWCR12* ⁴	PWCR11	PWCR10	
PWDRU1							PWDRU11	PWDRU10	
PWDRL1	PWDRL17	PWDRL16	PWDRL15	PWDRL14	PWDRL13	PWDRL12	PWDRL11	PWDRL10	
PDR3	P37	P36	P35	P34	P33	P32	P31		I/O ポート
PDR4					P43	P42	P41	P40	
PDR5	P57	P56	P55	P54	P53	P52	P51	P50	
PDR6	P67	P66	P65	P64	P63	P62	P61	P60	
PDR7	P77	P76	P75	P74	P73	P72	P71	P70	
PDR8								P80	
PDR9			P95	P94	P93	P92	P91	P90	
PDRA					PA3	PA2	PA1	PA0	
PDRB					PB3	PB2	PB1	PB0	
PUCR3	PUCR37	PUCR36	PUCR35	PUCR34	PUCR33	PUCR32	PUCR31		
PUCR5	PUCR57	PUCR56	PUCR55	PUCR54	PUCR53	PUCR52	PUCR51	PUCR50	

16. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
PUCR6	PUCR67	PUCR66	PUCR65	PUCR64	PUCR63	PUCR62	PUCR61	PUCR60	I/Oポート
PCR3	PCR37	PCR36	PCR35	PCR34	PCR33	PCR32	PCR31		
PCR4						PCR42	PCR41	PCR40	
PCR5	PCR57	PCR56	PCR55	PCR54	PCR53	PCR52	PCR51	PCR50	
PCR6	PCR67	PCR66	PCR65	PCR64	PCR63	PCR62	PCR61	PCR60	
PCR7	PCR77	PCR76	PCR75	PCR74	PCR73	PCR72	PCR71	PCR70	
PCR8								PCR80	
PMR9					PIOFF		PWM2	PWM1	
PCRA					PCRA3	PCRA2	PCRA1	PCRA0	
PMRB					IRQ1				
SYSCR1	SSBY	STS2	STS1	STS0	LSON		MA1	MA0	SYSTEM
SYSCR2				NESEL	DTON	MSON	SA1	SA0	
IEGR							IEG1	IEG0	割り込み
IENR1	IENTA		IENWP			IENEC2	IEN1	IEN0	
IENR2	IENDT	IENAD			IENTFH	IENTFL		IENEC	
OSCCR* ⁴	SUBSTP					IRQAECF	OSCF		クロック 発振器
IRR1	IRRTA					IRREC2	IRRI1	IRRI0	割り込み
IRR2	IRRDT	IRRAD			IRRTFH	IRRTFL		IRREC	
TMW* ⁴					CKS3	CKS2	CKS1	CKS0	WDT* ²
IWPR	IWPF7	IWPF6	IWPF5	IWPF4	IWPF3	IWPF2	IWPF1	IWPF0	割り込み
CKSTPR1			S32CKSTP	ADCKSTP		TFCKSTP		TACKSTP	SYSTEM
CKSTPR2	LVDCKSTP * ⁴			PW2CK STP	AECKSTP	WDCKSTP	PW1CK STP	LDCKSTP	

- 【注】 *1 AEC : 非同期イベントカウンタ
*2 WDT : ウォッチドッグタイマ
*3 LCD : LCD コントローラ / ドライバ
*4 H8/38104 グループのみ

16. レジスタ一覧

16.3 各動作モードにおけるレジスタの状態

レジスタ 略称	リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュール
FLMCR1	初期化			初期化	初期化	初期化	初期化	ROM
FLMCR2	初期化							
FLPWCR	初期化							
EBR	初期化			初期化	初期化	初期化	初期化	
FENR	初期化							
LVDCR* ⁴	初期化							低電圧検出 回路
LVDSR* ⁴	初期化							AEC* ¹
ECPWCRH	初期化							
ECPWCRL	初期化							
ECPWDRH	初期化							
ECPWDRL	初期化							割り込み
WEGR	初期化							
SPCR	初期化							SCI3
AECSR	初期化							AEC* ¹
ECCR	初期化							
ECCSR	初期化							
ECH	初期化							
ECL	初期化							
SMR	初期化			初期化			初期化	SCI3
BRR	初期化			初期化			初期化	
SCR3	初期化			初期化			初期化	
TDR	初期化			初期化			初期化	
SSR	初期化			初期化			初期化	
RDR	初期化			初期化			初期化	
TMA	初期化							タイマ A
TCA	初期化							WDT* ²
TCSRW	初期化							
TCW	初期化							タイマ F
TCRF	初期化							
TCSRFB	初期化							
TCFH	初期化							

レジスタ	リセット	アクティブ	スリープ	ウォッチ	サブ	サブ	スタンバイ	モジュール
TCFL	初期化							タイマ F
OCRFH	初期化							
OCRFL	初期化							
LPCR	初期化							LCD* ³
LCR	初期化							
LCR2	初期化							
LVDCNT* ⁴	初期化							低電圧検出回路
ADRRH								A/D 変換器
ADRRL								
AMR	初期化							
ADSR	初期化			初期化	初期化	初期化	初期化	
PMR2	初期化							I/O ポート
PMR3	初期化							
PMR5	初期化							
PWCR2	初期化							10 ビット PWM
PWDRU2	初期化							
PWDRL2	初期化							
PWCR1	初期化							
PWDRU1	初期化							
PWDRL1	初期化							I/O ポート
PDR3	初期化							
PDR4	初期化							
PDR5	初期化							
PDR6	初期化							
PDR7	初期化							
PDR8	初期化							
PDR9	初期化							
PDRA	初期化							
PDRB	初期化							
PUCR3	初期化							
PUCR5	初期化							

16. レジスタ一覧

レジスタ	リセット	アクティブ	スリープ	ウォッチ	サブ	サブ	スタンバイ	モジュール
PUCR6	初期化							I/O ポート
PCR3	初期化							
PCR4	初期化							
PCR5	初期化							
PCR6	初期化							
PCR7	初期化							
PCR8	初期化							
PMR9	初期化							
PCRA	初期化							
PMRB	初期化							
SYSCR1	初期化							
SYSCR2	初期化							
IEGR	初期化							割り込み
IENR1	初期化							
IENR2	初期化							
OSCCR* ⁴	初期化							クロック 発振器
IRR1	初期化							割り込み
IRR2	初期化							
TMW* ⁴	初期化							WDT* ²
IWPR	初期化							割り込み
CKSTPR1	初期化							SYSTEM
CKSTPR2	初期化							

【注】 - は初期化されません。

- *1 AEC : 非同期イベントカウンタ
- *2 WDT : ウォッチドッグタイマ
- *3 LCD : LCD コントローラ / ドライバ
- *4 H8/38104 グループのみ

17. 電気的特性

17.1 H8/3802 グループ (ZTAT 版、マスク ROM 版) の絶対最大定格

絶対最大定格を表 17.1 に示します。

表 17.1 絶対最大定格

項目	記号	規格値	単位	備考	
電源電圧	V_{CC}	- 0.3 ~ + 7.0	V	*	
アナログ電源電圧	AV_{CC}	- 0.3 ~ + 7.0	V		
プログラム電圧	V_{PP}	- 0.3 ~ + 13.0	V		
入力電圧	ポート B、IRQAEC 以外	V_{in}	- 0.3 ~ $V_{CC} + 0.3$		V
	ポート B	AV_{in}	- 0.3 ~ $AV_{CC} + 0.3$		V
	IRQAEC	HV_{in}	- 0.3 ~ + 7.3		V
ポート 9 端子電圧	V_{Pg}	- 0.3 ~ + 7.3	V		
動作温度	T_{opr}	通常仕様品 : - 20 ~ +75			
		広温度範囲仕様品 : - 40 ~ +85			
保存温度	T_{stg}	- 55 ~ + 125			

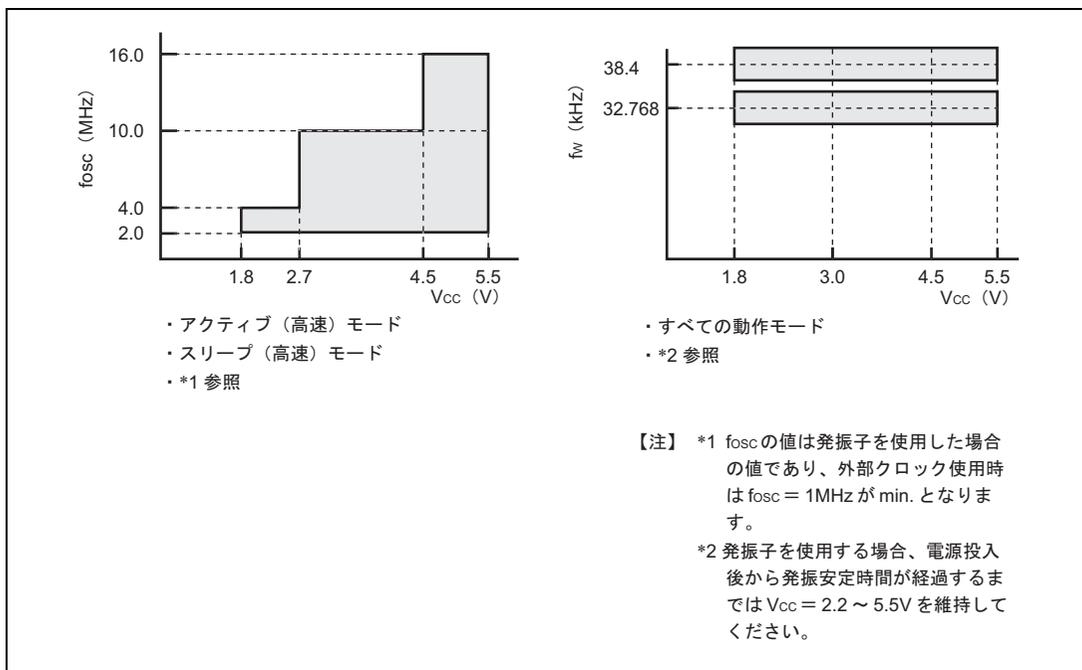
【注】 * 絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。また、通常動作では、「電気的特性」の条件で使用することが望ましく、この条件を超えると LSI の誤動作の原因になるとともに、LSI の信頼性に悪影響を及ぼすことがあります。

17. 電気的特性 (H8/3802 グループ)

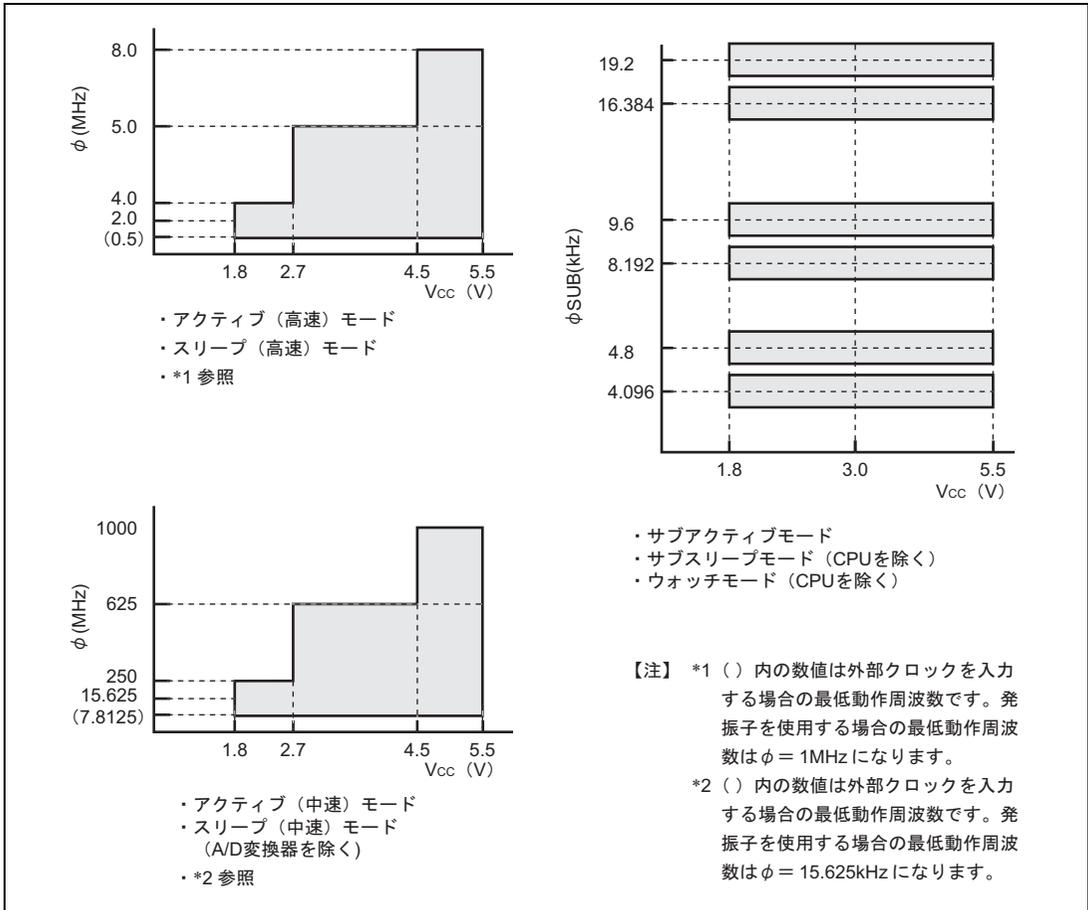
17.2 H8/3802 グループ (ZTAT 版、マスク ROM 版) の電気的特性

17.2.1 電源電圧と動作範囲

(1) 電源電圧と発振周波数の範囲

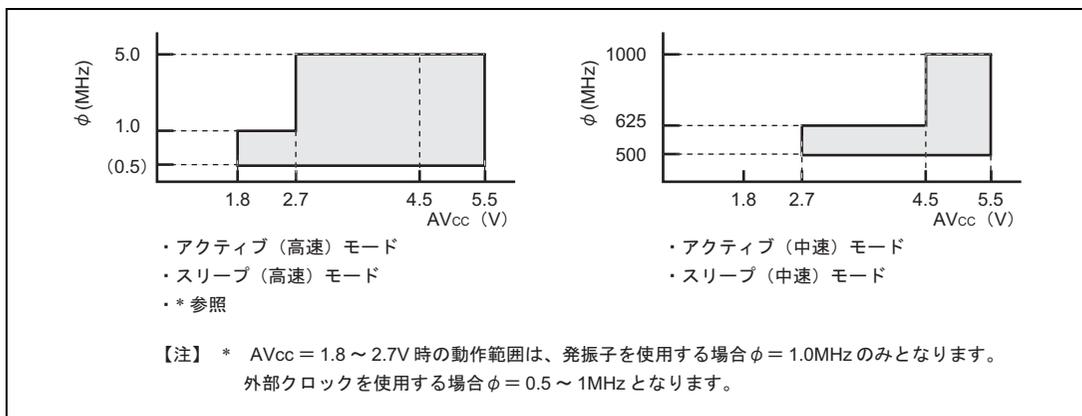


(2) 電源電圧と動作周波数の範囲



17. 電気的特性 (H8/3802 グループ)

(3) アナログ電源電圧と A/D 変換器の動作範囲



17.2.2 DC 特性

DC 特性を表 17.2 に示します。

表 17.2 DC 特性

(特記なき場合、 $V_{CC} = 1.8 \sim 5.5V$ 、 $AV_{CC} = 1.8 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、サブアクティブモードを含む、 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)、 $T_a = +75$ (チップ出荷品))

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力 High レベル電圧	V_{IH}	RES、 WKP0 ~ WKP7、 IRQ0、AEVL、 AEVH、SCK32	$V_{CC} = 4.0 \sim 5.5V$	$0.8V_{CC}$		$V_{CC} + 0.3$	V	
			上記以外	$0.9V_{CC}$		$V_{CC} + 0.3$		
		IRQ1	$V_{CC} = 4.0 \sim 5.5V$	$0.8V_{CC}$		$AV_{CC} + 0.3$	V	
			上記以外	$0.9V_{CC}$		$AV_{CC} + 0.3$		
		RXD32	$V_{CC} = 4.0 \sim 5.5V$	$0.7V_{CC}$		$V_{CC} + 0.3$	V	
			上記以外	$0.8V_{CC}$		$V_{CC} + 0.3$		
		OSC1	$V_{CC} = 4.0 \sim 5.5V$	$0.8V_{CC}$		$V_{CC} + 0.3$	V	
			上記以外	$0.9V_{CC}$		$V_{CC} + 0.3$		
		X1	$V_{CC} = 1.8 \sim 5.5V$	$0.9V_{CC}$		$V_{CC} + 0.3$	V	
		P31 ~ P37、 P40 ~ P43、 P50 ~ P57、 P60 ~ P67、 P70 ~ P77、 P80、 PA0 ~ PA3	$V_{CC} = 4.0 \sim 5.5V$	$0.7V_{CC}$		$V_{CC} + 0.3$	V	
			上記以外	$0.8V_{CC}$		$V_{CC} + 0.3$		
		PB0 ~ PB3	$V_{CC} = 4.0 \sim 5.5V$	$0.7V_{CC}$		$AV_{CC} + 0.3$	V	
			上記以外	$0.8V_{CC}$		$AV_{CC} + 0.3$		
		IRQAEC	$V_{CC} = 4.0 \sim 5.5V$	$0.8V_{CC}$		7.3	V	
			上記以外	$0.9V_{CC}$		7.3		

【注】 TEST 端子は、 V_{SS} に接続してください。

17. 電気的特性 (H8/3802 グループ)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力 Low レベル電圧	V _{IL}	RES、 WKP0 ~ WKP7、 IRQ0、IRQ1、 IRQAEC、 AEVL、AEVH、 SCK32	V _{CC} = 4.0 ~ 5.5V	- 0.3		0.2V _{CC}	V	
		上記以外		- 0.3		0.1V _{CC}		
		RXD32	V _{CC} = 4.0 ~ 5.5V	- 0.3		0.3V _{CC}	V	
			上記以外	- 0.3		0.2V _{CC}		
		OSC1	V _{CC} = 4.0 ~ 5.5V	- 0.3		0.2V _{CC}	V	
			上記以外	- 0.3		0.1V _{CC}		
		X1	V _{CC} = 1.8 ~ 5.5V	- 0.3		0.1V _{CC}	V	
		P31 ~ P37、 P40 ~ P43、 P50 ~ P57、 P60 ~ P67、 P70 ~ P77、 P80、 PA0 ~ PA3 PB0 ~ PB3	V _{CC} = 4.0 ~ 5.5V	- 0.3		0.3V _{CC}	V	
			上記以外	- 0.3		0.2V _{CC}		
		出力 High レベル電圧	V _{OH}	P31 ~ P37、 P40 ~ P42、 P50 ~ P57、 P60 ~ P67、 P70 ~ P77、 P80、 PA0 ~ PA3	V _{CC} = 4.0 ~ 5.5V - I _{OH} = 1.0mA	V _{CC} - 1.0		
V _{CC} = 4.0 ~ 5.5V - I _{OH} = 0.5mA	V _{CC} - 0.5							
V _{CC} = 4.0 ~ 5.5V - I _{OH} = 0.1mA	V _{CC} - 0.3							

17. 電気的特性 (H8/3802 グループ)

項目	記号	適用端子	測定条件	規格値			単位	備考	
				min.	typ.	max.			
出力 Low レベル電圧	V _{OL}	P40 ~ P42	V _{CC} = 4.0 ~ 5.5V			0.6	V		
			I _{OL} = 1.6mA						
		P50 ~ P57、 P60 ~ P67、 P70 ~ P77、 P80、 PA0 ~ PA3	I _{OL} = 0.4mA			0.5			
			P31 ~ P37	V _{CC} = 4.0 ~ 5.5V					1.5
				I _{OL} = 10mA					
				V _{CC} = 4.0 ~ 5.5V					0.6
		P90 ~ P92	I _{OL} = 1.6mA			0.5			
			I _{OL} = 0.4mA			0.5			
			P93 ~ P95	V _{CC} = 2.2 ~ 5.5V					0.5
		I _{OL} = 25mA							
I _{OL} = 15mA									
入出力 リーク電流	I _L	RES、P43	V _{IN} = 0.5V ~ V _{CC} - 0.5V			20.0	μA	* ²	
						1.0		* ¹	
		OSC1、X1、 P31 ~ P37、 P40 ~ P42、 P50 ~ P57、 P60 ~ P67、 P70 ~ P77、 P80、IRQAEC、 PA0 ~ PA3、 P90 ~ P95	V _{IN} = 0.5V ~ V _{CC} - 0.5V			1.0	μA		
				PB0 ~ PB3	V _{IN} = 0.5V ~ AV _{CC} - 0.5V				1.0
ブルアップ MOS 電流	- I _p	P31 ~ P37、	V _{CC} = 5V、V _{IN} = 0V	50.0		300.0	μA		
		P50 ~ P57、 P60 ~ P67	V _{CC} = 2.7V、V _{IN} = 0V		35.0			μA	参考値

17. 電気的特性 (H8/3802 グループ)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力容量	C _{IN}	電源、RES、P43、 IRQAEC、PB0 ~ PB3 端子を除く全入力端 子	f = 1MHz、 V _{IN} = 0V、 T _a = 25			15.0	pF	
		IRQAEC				30.0		*2
		RES				80.0		*1
		P43				50.0		*2
						15.0		*1
		PB0 ~ PB3				15.0		
アクティブモード 消費電流	I _{OP1}	V _{CC}	アクティブ (高速) モード V _{CC} = 5V、f _{OSC} = 10MHz		7.0	10.0	mA	*3 *4
	I _{OP2}	V _{CC}	アクティブ (中速) モード V _{CC} = 5V、f _{OSC} = 10MHz _{osc} /128 時		2.2	3.0		*3 *4
スリープモード 消費電流	I _{SLEEP}	V _{CC}	V _{CC} = 5V、f _{OSC} = 10MHz		3.8	5.0	mA	*3 *4
サブアクティブ モード消費電流	I _{SUB}	V _{CC}	V _{CC} = 2.7V、LCD 点灯 32kHz 水晶発振子使用時 (_{SUB} = w/2)		15.0	30.0	μA	*3 *4
			V _{CC} = 2.7V、LCD 点灯 32kHz 水晶発振子使用時 (_{SUB} = w/8)		8.0			*3 *4 参考値
サブスリープモード 消費電流	I _{SUBSP}	V _{CC}	V _{CC} = 2.7V、LCD 点灯 32kHz 水晶発振子使用時 (_{SUB} = w/2)		7.5	16.0	μA	*3 *4
ウォッチモード 消費電流	I _{WATCH}	V _{CC}	V _{CC} = 2.7V、32kHz 水晶発振子使用時 LCD 未使用		3.8	6.0	μA	*2 *3 *4
					2.8			*1 *3 *4
スタンバイ モード消費電流	I _{STBY}	V _{CC}	32kHz 水晶発振子未使用時		1.0	5.0	μA	*3 *4
RAM データ 保持電圧	V _{RAM}	V _{CC}		1.5			V	

17. 電気的特性 (H8/3802 グループ)

項目	記号	適用端子	測定条件	規格値			単位	備考		
				min.	typ.	max.				
出力 Low レベル許容電流 (1 端子当たり)	I _{OL}	ポート 3、9 以外の出力端子	V _{CC} = 4.0V ~ 5.5V			2.0	mA			
		ポート 3	V _{CC} = 4.0V ~ 5.5V			10.0				
		ポート 9 以外の出力端子				0.5				
		P90 ~ P92	V _{CC} = 2.2V ~ 5.5V						25.0	* ⁵
									15.0	
									10.0	
P93 ~ P95				10.0						
出力 Low レベル許容電流 (総和)	I _{OL}	ポート 3、9 以外の出力端子	V _{CC} = 4.0V ~ 5.5V			40.0	mA			
		ポート 3	V _{CC} = 4.0V ~ 5.5V			80.0				
		ポート 9 以外の出力端子				20.0				
		ポート 9				80.0				
出力 High レベル許容電流 (1 端子当たり)	- I _{OH}	全出力端子	V _{CC} = 4.0V ~ 5.5V			2.0	mA			
			上記以外			0.2				
出力 High レベル許容電流 (総和)	- I _{OH}	全出力端子	V _{CC} = 4.0V ~ 5.5V			15.0	mA			
			上記以外			10.0				

17. 電気的特性 (H8/3802 グループ)

【注】 *1 マスク ROM 製品に適用します。

*2 HD6473802 に適用します。

*3 消費電流測定時の端子の状態

モード	RES 端子	内部状態	各端子	LCD 電源	発振端子
アクティブ (高速) モード (I _{OPe1}) アクティブ (中速) モード (I _{OPe2})	V _{CC}	CPU のみ動作	V _{CC}	停止	システムクロック発振器： 水晶発振子 サブクロック発振器： X1 端子 = GND
スリープモード	V _{CC}	タイマのみ動作	V _{CC}	停止	
サブアクティブ モード	V _{CC}	CPU のみ動作	V _{CC}	停止	システムクロック発振器： 水晶発振子
サブスリープ モード	V _{CC}	タイマのみ動作 CPU は停止	V _{CC}	停止	サブクロック発振器： 水晶発振子
ウォッチモード	V _{CC}	時計用タイム ベースのみ動作 CPU は停止	V _{CC}	停止	
スタンバイモード	V _{CC}	CPU、タイマ ともに停止	V _{CC}	停止	システムクロック発振器： 水晶発振子 サブクロック発振器： X1 端子 = GND

*4 ブルアップ MOS や出力バッファに流れる電流は除きます。

*5 ポートモードレジスタ 9 の PIOFF が 0 の場合に適用します。

*6 ポートモードレジスタ 9 の PIOFF が 1 の場合に適用します。

17.2.3 AC 特性

制御信号タイミングを表 17.3 に、シリアルインタフェースタイミングを表 17.4 に示します。

表 17.3 制御信号タイミング

(特記なき場合、 $V_{CC} = 1.8 \sim 5.5V$ 、 $AV_{CC} = 1.8 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、サブアクティブモードを含む、 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)、 $T_a = +75$ (チップ出荷品))

項目	記号	適用端子	測定条件	規格値			単位	参照図	
				min.	typ.	max.			
システムクロック 発振器発振周波数	f_{osc}	OSC1、OSC2	$V_{CC} = 4.5 \sim 5.5V$	2.0		16.0	MHz		
			$V_{CC} = 2.7 \sim 5.5V$	2.0		10.0			
			上記以外	2.0		4.0			
OSC クロック ($_{osc}$) サイクル時間	t_{osc}	OSC1、OSC2	$V_{CC} = 4.5 \sim 5.5V$	62.5		500 (1000)	ns	図 17.2 * ²	
			$V_{CC} = 2.7 \sim 5.5V$	100		500 (1000)			
			上記以外	250	500				(1000)
					500				(1000)
システムクロック () サイクル時間	t_{cyc}			2		128	t_{osc} μs		
						128			
サブクロック発振器 発振周波数	f_w	X1、X2			32.768 または 38.4		kHz		
ウォッチクロック ($_w$) サイクル時間	t_w	X1、X2			30.5 または 26.0		μs	図 17.2	
サブクロック ($_{sub}$) サイクル時間	t_{subcyc}			2		8	t_w	* ¹	
インストラクション サイクル時間				2			t_{cyc} t_{subcyc}		
発振安定時間	t_{rc}	OSC1、OSC2	図 17.8 の場合		20	45	μs	図 17.8	
			$V_{CC} = 2.2 \sim 5.5V$			50	ms		
		X1、X2	$V_{CC} = 2.7 \sim 5.5V$			2.0	s	* ³	
			$V_{CC} = 2.2 \sim 5.5V$			10.0			

17. 電気的特性 (H8/3802 グループ)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
外部クロック High レベル幅	t_{CPH}	OSC1	$V_{CC} = 4.5 \sim 5.5V$	25			ns	図 17.2
			$V_{CC} = 2.7 \sim 5.5V$	40				
			上記以外	100				
		X1			15.26 または 13.02	μs		
外部クロック Low レベル幅	t_{CPL}	OSC1	$V_{CC} = 4.5 \sim 5.5V$	25			ns	図 17.2
			$V_{CC} = 2.7 \sim 5.5V$	40				
			上記以外	100				
		X1			15.26 または 13.02	μs		
外部クロック 立ち上がり時間	t_{CPr}	OSC1	$V_{CC} = 4.5 \sim 5.5V$			6	ns	図 17.2
			$V_{CC} = 2.7 \sim 5.5V$			10		
			上記以外			25		
		X1			55.0	ns		
外部クロック 立ち下がり時間	t_{CPf}	OSC1	$V_{CC} = 4.5 \sim 5.5V$			6	ns	図 17.2
			$V_{CC} = 2.7 \sim 5.5V$			10		
			上記以外			25		
		X1			55.0	ns		
RES 端子 Low レベル幅	t_{REL}	RES		10			t_{cyc}	図 17.3
入力端子 High レベル幅	t_{IH}	$\overline{IRQ0}$ 、 $\overline{IRQ1}$ 、 IRQAEC、 $\overline{WKP0} \sim \overline{WKP7}$		2			t_{cyc} t_{subcyc}	図 17.4
		AEVL、AEVH		0.5			t_{osc}	
入力端子 Low レベル幅	t_{IL}	$\overline{IRQ0}$ 、 $\overline{IRQ1}$ 、 IRQAEC、 $\overline{WKP0} \sim \overline{WKP7}$		2			t_{cyc} t_{subcyc}	図 17.4
		AEVL、AEVH		0.5			t_{osc}	

【注】 *1 システムコントロールレジスタ 2 (SYSCR2) の SA1、SA0 の設定により決定します。

*2 () 内の数値は外部クロックを使用する場合の t_{osc} max. です。

*3 電源投入後、発振安定時間が経過するまでは $V_{CC} = 2.2 \sim 5.5V$ を維持してください。

17. 電気的特性 (H8/3802 グループ)

表 17.4 シリアルインタフェース (SCI3) タイミング

(特記なき場合、 $V_{CC} = 1.8 \sim 5.5V$ 、 $AV_{CC} = 1.8 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、サブアクティブモードを含む、 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)、 $T_a = +75$ (チップ出荷品))

項目		記号	測定条件	規格値			単位	参照図
				min.	typ.	max.		
入力 クロックサイクル	調歩同期	t_{scyc}		4			t_{cyc} または t_{subcyc}	図 17.5
	クロック同期			6				
入力クロックパルス幅		t_{sckw}		0.4		0.6	t_{scyc}	図 17.5
送信データ遅延時間 (クロック同期)		t_{txd}	$V_{CC} = 4.0 \sim 5.5V$			1	t_{cyc} または t_{subcyc}	図 17.6
			上記以外			1		
受信データセットアップ時間 (クロック同期)		t_{rxs}	$V_{CC} = 4.0 \sim 5.5V$	200.0			ns	図 17.6
			上記以外	400.0				
受信データホールド時間 (クロック同期)		t_{rxh}	$V_{CC} = 4.0 \sim 5.5V$	200.0			ns	図 17.6
			上記以外	400.0				

17. 電気的特性 (H8/3802 グループ)

17.2.4 A/D 変換器特性

A/D 変換器特性を表 17.5 に示します。

表 17.5 A/D 変換器特性

(特記なき場合、 $V_{CC} = 1.8 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$ (通常仕様品)、
 $T_a = -40 \sim +85$ (広温度範囲仕様品)、 $T_a = +75$ (チップ出荷品))

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
アナログ電源電圧	AV_{CC}	AV_{CC}		1.8		5.5	V	*1
アナログ入力電圧	AV_{IN}	AN0 ~ AN3		-0.3		$AV_{CC} + 0.3$	V	
アナログ電源電流	AI_{OPE}	AV_{CC}	$AV_{CC} = 5.0V$			1.5	mA	
	AI_{STOP1}	AV_{CC}			600		μA	*2 参考値
	AI_{STOP2}	AV_{CC}				5	μA	*3
アナログ入力容量	C_{AIN}	AN0 ~ AN3				15.0	pF	
許容信号源インピーダンス	R_{AIN}					10.0	k	
分解能 (データ長)						10	ビット	
非直線性誤差			$AV_{CC} = 2.7 \sim 5.5V$ $V_{CC} = 2.7 \sim 5.5V$			± 2.5	LSB	
			$AV_{CC} = 2.0 \sim 5.5V$ $V_{CC} = 2.0 \sim 5.5V$			± 5.5		
			上記以外			± 7.5		
						± 0.5	LSB	
絶対精度			$AV_{CC} = 2.7 \sim 5.5V$ $V_{CC} = 2.7 \sim 5.5V$			± 3.0	LSB	
			$AV_{CC} = 2.0 \sim 5.5V$ $V_{CC} = 2.0 \sim 5.5V$			± 6.0		
			上記以外			± 8.0		
						± 0.5	LSB	
変換時間			$AV_{CC} = 2.7 \sim 5.5V$ $V_{CC} = 2.7 \sim 5.5V$	12.4		124	μs	
			上記以外	62		124		

【注】 *1 A/D 変換器を使用しない場合は $AV_{CC} = V_{CC}$ としてください。

*2 AI_{STOP1} はアクティブモード、スリープモードでの A/D 変換待機時の電流値です。

*3 AI_{STOP2} はリセット、スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでの A/D 変換待機時の電流値です。

*4 変換時間 62 μs

17.2.5 LCD 特性

LCD 特性を表 17.6 に示します。

表 17.6 LCD 特性

(特記なき場合、 $V_{CC} = 1.8 \sim 5.5V$ 、 $AV_{CC} = 1.8 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、サブアクティブモードを含む、 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)、 $T_a = +75$ (チップ出荷品))

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
セグメントドライバ 降下電圧	V_{DS}	SEG1 ~ SEG25	$I_D = 2\mu A$ $V_1 = 2.7 \sim 5.5V$			0.6	V	*1
コモンドライバ 降下電圧	V_{DC}	COM1 ~ COM4	$I_D = 2\mu A$ $V_1 = 2.7 \sim 5.5V$			0.3	V	*1
LCD 電源 分割抵抗	R_{LCD}		$V_1 - V_{SS}$ 間	0.5	3.0	9.0	M	
液晶表示電圧	V_{LCD}	V1		2.2		5.5	V	*2

【注】 *1 電源端子 V_1 、 V_2 、 V_3 、 V_{SS} から各セグメント端子またはコモン端子までの電圧降下です。

*2 液晶表示電圧を外部電源より供給する場合は、 V_{CC} V_1 V_2 V_3 V_{SS} の関係を維持してください。

17. 電気的特性 (H8/38004、H8/38002S グループ)

17.3 H8/38004 グループ (F-ZTAT 版、マスク ROM 版)、H8/38002S グループ (マスク ROM 版) の絶対最大定格

絶対最大定格を表 17.7 に示します。

表 17.7 絶対最大定格

項目	記号	規格値	単位	備考	
電源電圧	V_{CC}	- 0.3 ~ + 4.3	V	*1	
アナログ電源電圧	AV_{CC}	- 0.3 ~ + 4.3	V		
入力電圧	ポート B 以外	V_{in}	- 0.3 ~ $V_{CC} + 0.3$		V
	ポート B	AV_{in}	- 0.3 ~ $AV_{CC} + 0.3$		V
ポート 9 端子電圧	V_{P9}	- 0.3 ~ $V_{CC} + 0.3$	V		
動作温度	T_{opr}	通常仕様品 : - 20 ~ + 75 ^{*2}			
		広温度範囲仕様品 : - 40 ~ + 85 ^{*3}			
		チップ出荷品 : + 75 ^{*4}			
保存温度	T_{stg}	- 55 ~ + 125			

【注】 *1 絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。また、通常動作では、「電気的特性」の条件で使用することが望ましく、この条件を超えると LSI の誤動作の原因になるとともに、LSI の信頼性に悪影響を及ぼすことがあります。

*2 フラッシュメモリの読み出し時動作電圧が $V_{CC} = 2.7 \sim 3.6V$ の場合、書き込み / 消去時の動作温度範囲は $T_a = - 20 \sim + 75$ です。フラッシュメモリの読み出し時動作電圧が $V_{CC} = 2.2 \sim 3.6V$ の場合、書き込み / 消去時の動作温度範囲は $T_a = - 20 \sim + 50$ です。

*3 フラッシュメモリの書き込み / 消去時の動作温度範囲は $T_a = - 20 \sim + 75$ です。

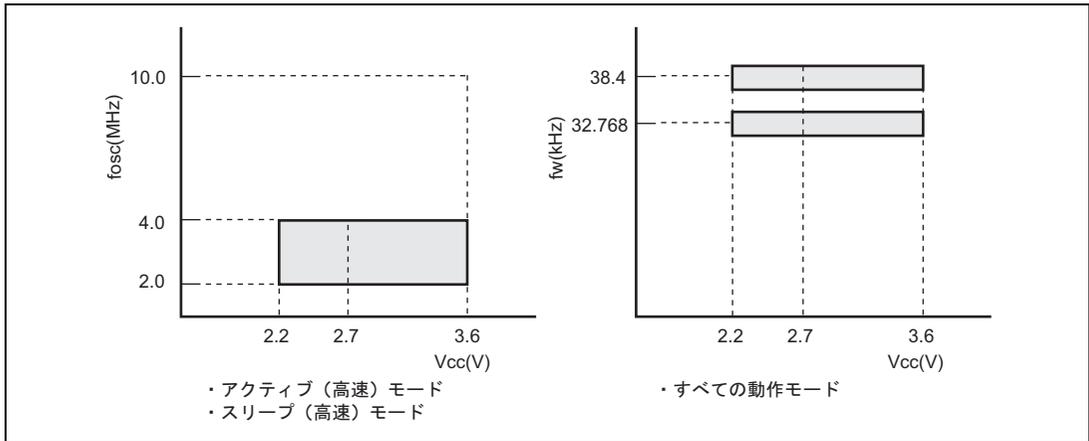
*4 通電してよい温度は - 20 ~ + 75 です。

17.4 H8/38004 グループ (F-ZTAT 版、マスク ROM 版)、H8/38002S グループ (マスク ROM 版) の電気的特性

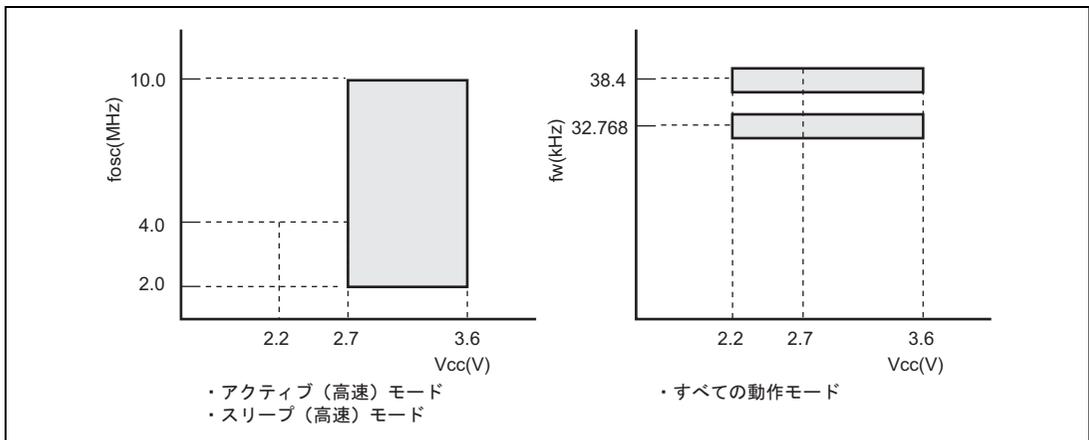
17.4.1 電源電圧と動作範囲

(1) 電源電圧と発振周波数の範囲 (F-ZTAT 版)

- 4MHz品

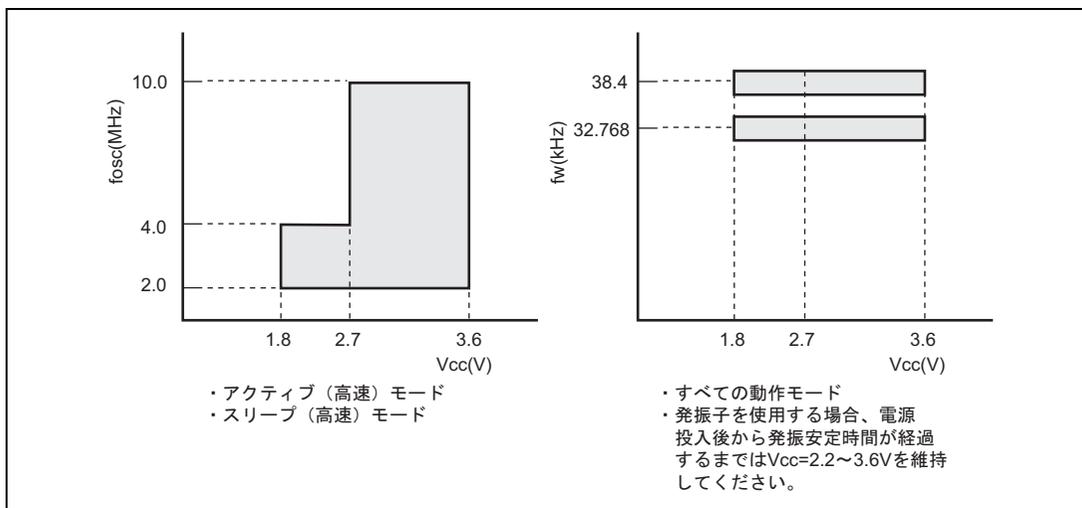


- 10MHz品



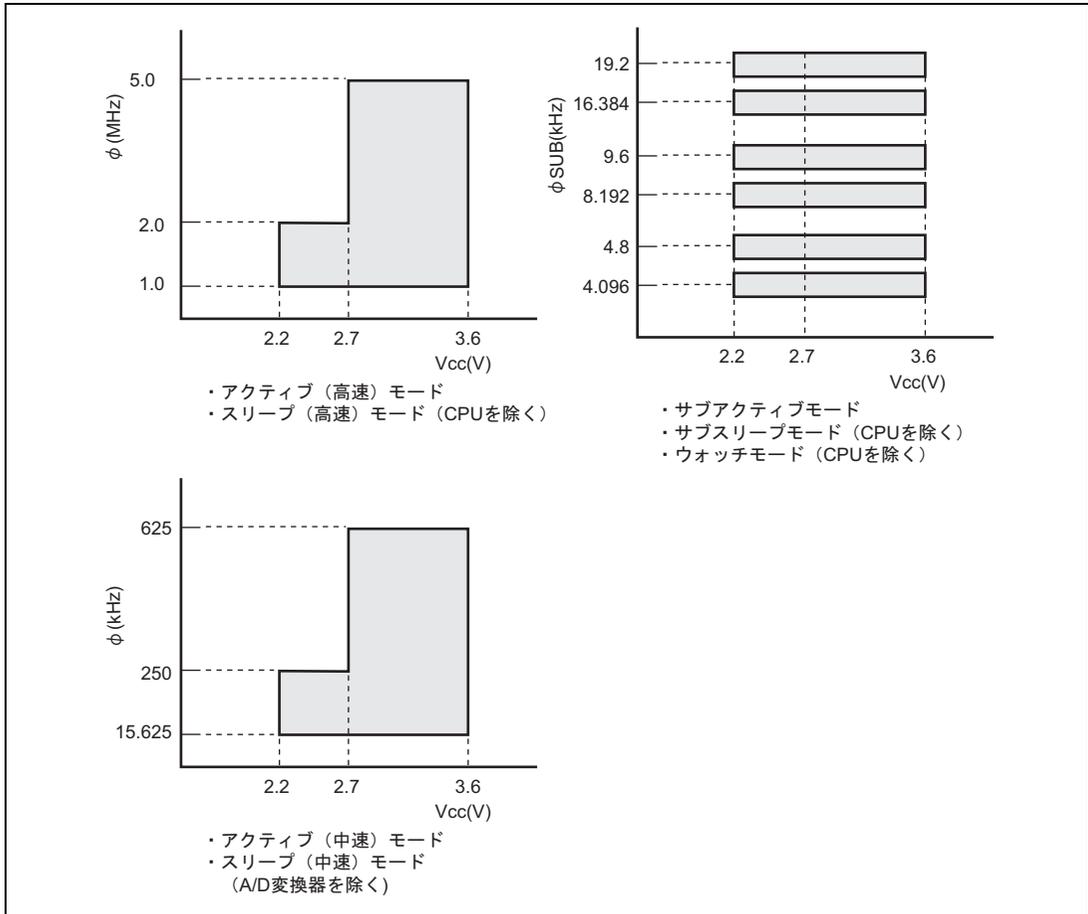
17. 電気的特性 (H8/38004、H8/38002S グループ)

(2) 電源電圧と発振周波数の範囲 (マスク ROM 版)



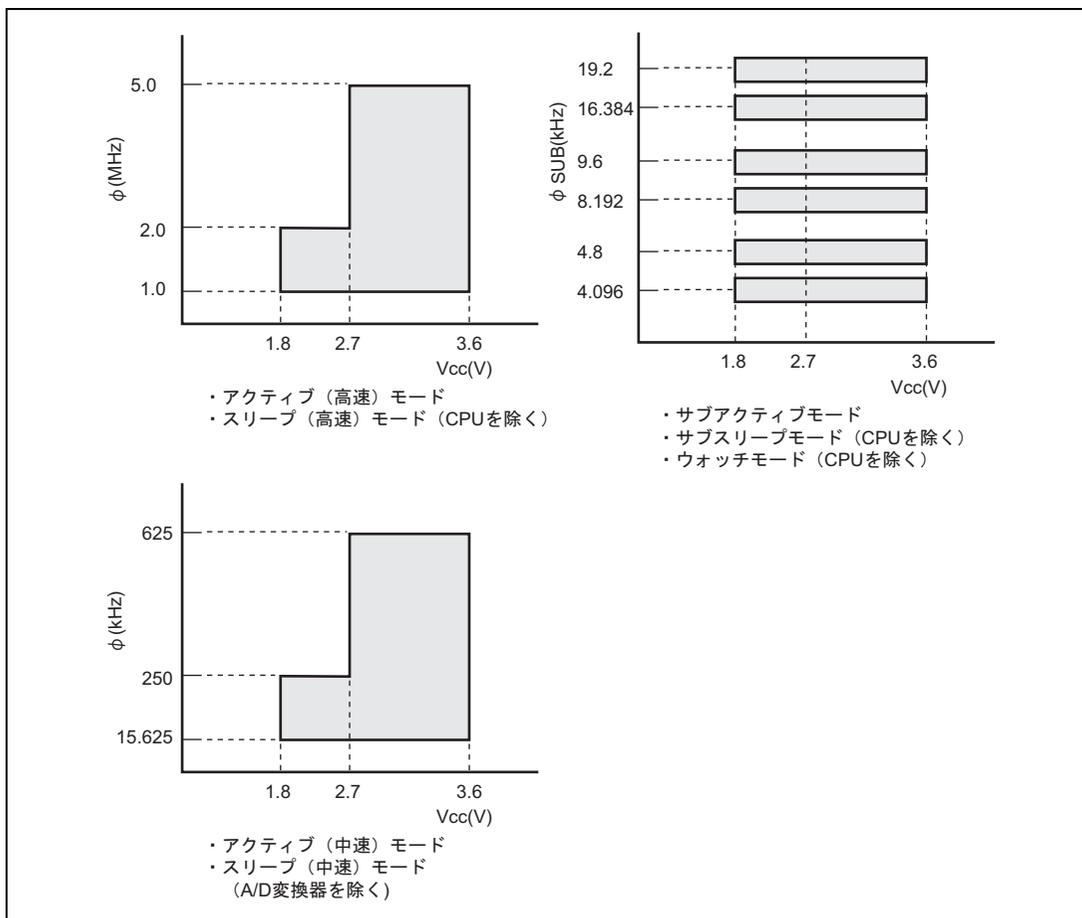
17. 電気的特性 (H8/38004、H8/38002S グループ)

(3) 電源電圧と動作周波数の範囲 (F-ZTAT 版)

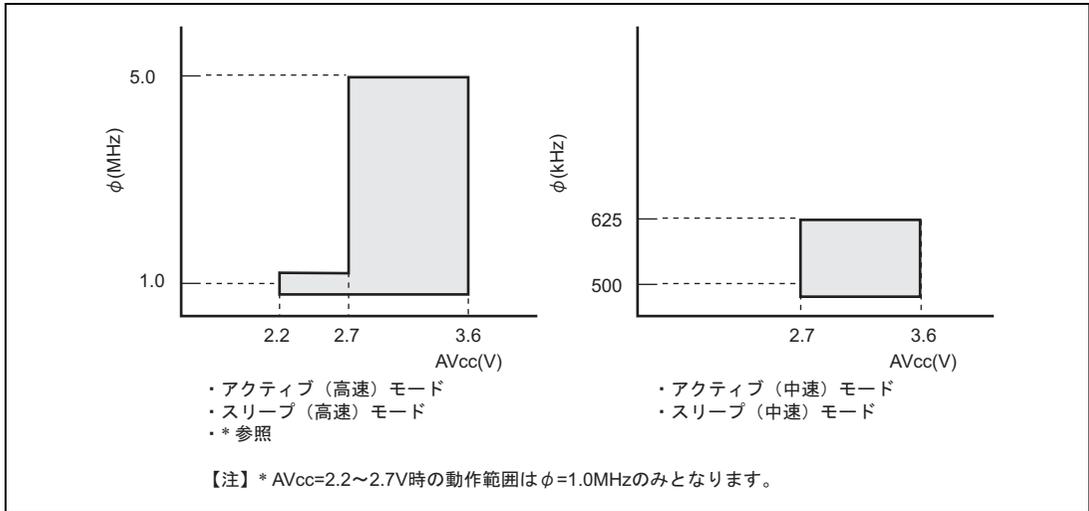


17. 電気的特性 (H8/38004、H8/38002S グループ)

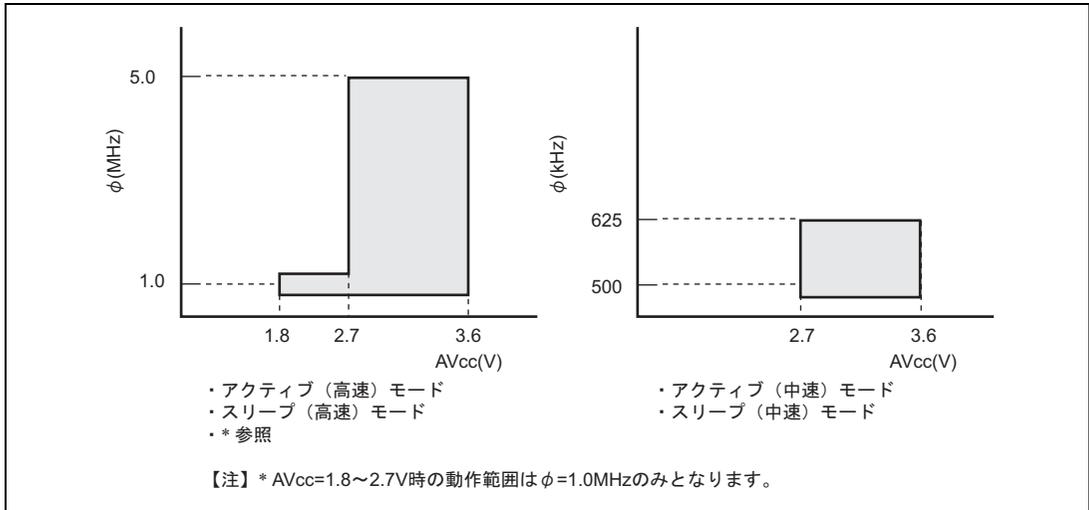
(4) 電源電圧と動作周波数の範囲 (マスク ROM 版)



(5) アナログ電源電圧と A/D 変換器の動作範囲 (F-ZTAT 版)



(6) アナログ電源電圧と A/D 変換器の動作範囲 (マスク ROM 版)



17. 電気的特性 (H8/38004、H8/38002S グループ)

17.4.2 DC 特性

DC 特性を表 17.8 に示します。

表 17.8 DC 特性

特記なき場合は下記条件のいずれかになります。

条件 A (F-ZTAT 版) : $V_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{SS} = AV_{SS} = 0.0V$

条件 B (F-ZTAT 版) : $V_{CC} = 2.2 \sim 3.6V$ 、 $AV_{CC} = 2.2 \sim 3.6V$ 、 $V_{SS} = AV_{SS} = 0.0V$

条件 C (マスク ROM 版) : $V_{CC} = 1.8 \sim 3.6V$ 、 $AV_{CC} = 1.8 \sim 3.6V$ 、 $V_{SS} = AV_{SS} = 0.0V$

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力 High レベル電圧	V_{IH}	\overline{RES} 、 $\overline{WKP0} \sim \overline{WKP7}$ 、 $\overline{IRQ0}$ 、AEVL、 AEVH、SCK32		$0.9V_{CC}$		$V_{CC} + 0.3$	V	
		IRQ1		$0.9V_{CC}$		$AV_{CC} + 0.3$	V	
		RXD32		$0.8V_{CC}$		$V_{CC} + 0.3$	V	
		OSC1		$0.9V_{CC}$		$V_{CC} + 0.3$	V	
		X1	$V_{CC} = 1.8 \sim 5.5V$	$0.9V_{CC}$		$V_{CC} + 0.3$	V	
		P31 ~ P37、 P40 ~ P43、 P50 ~ P57、 P60 ~ P67、 P70 ~ P77、 P80、 PA0 ~ PA3		$0.8V_{CC}$		$V_{CC} + 0.3$	V	
		PB0 ~ PB3		$0.8V_{CC}$		$AV_{CC} + 0.3$		
		IRQAEC、P95* ⁵		$0.9V_{CC}$		$V_{CC} + 0.3$	V	

17. 電気的特性 (H8/38004、H8/38002S グループ)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力 Low レベル電圧	V _{IL}	RES、 WKP0 - WKP7、 IRQ0、IRQ1、 IRQAEC、P95* ⁵ 、 AEVL、AEVH、 SCK32		- 0.3		0.1V _{CC}	V	
		RXD32		- 0.3		0.2V _{CC}	V	
		OSC1		- 0.3		0.1V _{CC}	V	
		X1		- 0.3		0.1V _{CC}	V	
		P31 - P37、 P40 - P43、 P50 - P57、 P60 - P67、 P70 - P77、 P80、 PA0 - PA3、 PB0 - PB3		- 0.3		0.2V _{CC}	V	
出力 High レベル電圧	V _{OH}	P31 - P37、 P40 - P42、 P50 - P57、 P60 - P67、 P70 - P77、 P80、 PA0 - PA3	V _{CC} = 2.7 ~ 3.6V - I _{OH} = 1.0mA	V _{CC} - 1.0			V	
			- I _{OH} = 0.1mA	V _{CC} - 0.3				

17. 電気的特性 (H8/38004、H8/38002S グループ)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
出力 Low レベル電圧	V_{OL}	P40 ~ P42、 P50 ~ P57、 P60 ~ P67、 P70 ~ P77、 P80、 PA0 ~ PA3、 P31 ~ P37	$I_{OL} = 0.4\text{mA}$			0.5	V	
		P90 ~ P95	$V_{CC} = 2.2 \sim 3.6\text{V}$ 、 $I_{OL} = 10.0\text{mA}$			0.5		
			$V_{CC} = 1.8 \sim 3.6\text{V}$ 、 $I_{OL} = 8.0\text{mA}$					
入出力 リーク電流	$ I_L $	\overline{RES} 、P43、 OSC1、X1、 P31 ~ P37、 P40 ~ P42、 P50 ~ P57、 P60 ~ P67、 P70 ~ P77、 P80、IRQAEC、 PA0 ~ PA3、 P90 ~ P95	$V_{IN} = 0.5\text{V} \sim V_{CC} - 0.5\text{V}$			1.0	μA	
		PB0 ~ PB3	$V_{IN} = 0.5\text{V} \sim AV_{CC} - 0.5\text{V}$			1.0		
ブルアップ MOS 電流	$-I_p$	P31 ~ P37、 P50 ~ P57、 P60 ~ P67	$V_{CC} = 3.0\text{V}$ 、 $V_{IN} = 0\text{V}$	30		180	μA	

17. 電気的特性 (H8/38004、H8/38002S グループ)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力容量	C _{IN}	電源端子を除く 全入力端子	f = 1MHz、 V _{IN} = 0V、 T _a = 25			15.0	pF	
アクティブモード 消費電流	I _{OPE1}	V _{CC}	アクティブ (高速) モード V _{CC} = 1.8V、f _{OSC} = 2MHz		0.4		mA	*1*3*4 max 目安=1.1 x typ
			アクティブ (高速) モード V _{CC} = 3V、f _{OSC} = 2MHz		0.6			*1*3*4 max 目安=1.1 x typ
					1.0			*2*3*4 max 目安=1.1 x typ
			アクティブ (高速) モード V _{CC} = 3V、f _{OSC} = 4MHz		1.2			*1*3*4 max 目安=1.1 x typ
					1.6	2.8		*2*3*4 条件 B
			アクティブ (高速) モード V _{CC} = 3V、f _{OSC} = 10MHz		3.1	6.0		*1*3*4 条件 A
	I _{OPE2}	V _{CC}	アクティブ (中速) モード V _{CC} = 1.8V、f _{OSC} = 2MHz osc/128 時		0.06		mA	*1*3*4 max 目安=1.1 x typ
			アクティブ (中速) モード V _{CC} = 3V、f _{OSC} = 2MHz osc/128 時		0.1			*1*3*4 max 目安=1.1 x typ
					0.5			*2*3*4 max 目安=1.1 x typ
			アクティブ (中速) モード V _{CC} = 3V、f _{OSC} = 4MHz osc/128 時		0.2			*1*3*4 max 目安=1.1 x typ
					0.7	1.3		*2*3*4 条件 B
			アクティブ (中速) モード V _{CC} = 3V、f _{OSC} = 10MHz osc/128 時		0.6	1.8		*1*3*4 条件 A
スリープモード 消費電流	I _{SLLEEP}	V _{CC}	V _{CC} = 1.8V、f _{OSC} = 2MHz		0.16		mA	*1*3*4 max 目安=1.1 x typ
			V _{CC} = 3V、f _{OSC} = 2MHz		0.3			*1*3*4 max 目安=1.1 x typ
					0.6			*2*3*4 max 目安=1.1 x typ
			V _{CC} = 3V、f _{OSC} = 4MHz		0.5			*1*3*4 max 目安=1.1 x typ
					0.9	2.2		*2*3*4 条件 B
			V _{CC} = 3V、f _{OSC} = 10MHz		1.3	4.8		*1*3*4 条件 A
					1.7	4.8		*2*3*4 条件 A

17. 電気的特性 (H8/38004、H8/38002S グループ)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
サブアクティブ モード消費電流	I _{SUB}	V _{CC}	V _{CC} = 1.8V、LCD 点灯 32kHz 外部クロック入力時 (_{SUB} = w/2)		6.2		μA	*1,*3,*4 参考値
			V _{CC} = 1.8V、LCD 点灯 32kHz 水晶発振器使用時 (_{SUB} = w/2)		5.4			*1,*3,*4 参考値
			V _{CC} = 2.7V、LCD 点灯 32kHz 水晶発振器使用時 (_{SUB} = w/8)		4.4			
			V _{CC} = 2.7V、LCD 点灯 32kHz 外部クロック入力時 (_{SUB} = w/2)		8.0			*2,*3,*4 参考値
			V _{CC} = 2.7V、LCD 点灯 32kHz 水晶発振器使用時 (_{SUB} = w/2)		10			*1,*3,*4
			V _{CC} = 2.7V、LCD 点灯 32kHz 水晶発振器使用時 (_{SUB} = w/2)		11	40		
			V _{CC} = 2.7V、LCD 点灯 32kHz 外部クロック入力時 (_{SUB} = w/2)		28	50		μA
サブスリープモード 消費電流	I _{SUBSP}	V _{CC}	V _{CC} = 2.7V、LCD 点灯 32kHz 外部クロック入力時 (_{SUB} = w/2)		4.6	16	μA	*3,*4
			V _{CC} = 2.7V、LCD 点灯 32kHz 水晶発振器使用時 (_{SUB} = w/2)		5.1	16		
ウォッチモード 消費電流	I _{WATCH}	V _{CC}	V _{CC} = 1.8V、Ta = 25 32kHz 外部クロック入力時 LCD 未使用		1.2		μA	*1,*3,*4 参考値
			V _{CC} = 1.8V、Ta = 25 32kHz 水晶発振器使用時 LCD 未使用		0.6			
			V _{CC} = 2.7V、Ta = 25 32kHz 外部クロック入力時 LCD 未使用		2.0			*3,*4 参考値
			V _{CC} = 2.7V、Ta = 25 32kHz 水晶発振器使用時 LCD 未使用		2.9			
			V _{CC} = 2.7V 32kHz 外部クロック入力時 LCD 未使用		2.0	6.0		*3,*4
			V _{CC} = 2.7V 32kHz 水晶発振器使用時 LCD 未使用		2.9	6.0		
スタンバイ モード消費電流	I _{STBY}	V _{CC}	V _{CC} = 1.8V、Ta = 25 32kHz 水晶発振器未使用時		0.1		μA	*1,*3,*4 参考値
			V _{CC} = 3.0V、Ta = 25 32kHz 水晶発振器未使用時		0.3			*3,*4 参考値
			32kHz 水晶発振器未使用時		1.0	5.0		*3,*4
RAM データ 保持電圧	V _{RAM}	V _{CC}		1.5			V	

17. 電気的特性 (H8/38004、H8/38002S グループ)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
出力 Low レベル許容電流 (1端子当たり)	I _{OL}	ポート 9 以外の出力端子		-	-	0.5	mA	
		P90 ~ P95	V _{CC} = 2.2 ~ 3.6V	-	-	10.0		
			上記以外	-	-	8.0		
出力 Low レベル許容電流 (総和)	I _{OL}	ポート 9 以外の出力端子		-	-	20.0	mA	
		ポート 9		-	-	60.0		
出力 High レベル許容電流 (1端子当たり)	- I _{OH}	全出力端子	V _{CC} = 2.7 ~ 3.6V	-	-	2.0	mA	
			上記以外			0.2		
出力 High レベル許容電流 (総和)	- I _{OH}	全出力端子		-	-	10.0	mA	

17. 電気的特性 (H8/38004、H8/38002S グループ)

【注】 TEST 端子は V_{SS} に接続してください。

- *1 マスク ROM 製品に適用します。
- *2 F-ZTAT 製品に適用します。
- *3 消費電流測定時の端子の状態

モード	RES 端子	内部状態	各端子	LCD 電源	発振端子
アクティブ (高速) モード (I_{OPE1}) アクティブ (中速) モード (I_{OPE2})	V_{CC}	CPU のみ動作	V_{CC}	停止	システムクロック発振器： 水晶発振子 サブクロック発振器： X1 端子 = GND
スリープモード	V_{CC}	内蔵の全タイマのみ動作	V_{CC}	停止	
サブアクティブ モード	V_{CC}	CPU のみ動作	V_{CC}	停止	システムクロック発振器： 水晶発振子 サブクロック発振器： 水晶発振子
サブスリープ モード	V_{CC}	内蔵の全タイマのみ動作 CPU は停止	V_{CC}	停止	
ウォッチモード	V_{CC}	時計用タイム ベースのみ動作 CPU は停止	V_{CC}	停止	
スタンバイモード	V_{CC}	CPU、タイマ ともに停止	V_{CC}	停止	システムクロック発振器： 水晶発振子 サブクロック発振器： X1 端子 = GND

- *4 プルアップ MOS や出力バッファに流れる電流は除きます。
- *5 F-ZTAT 版においてリセット解除時のユーザモード / ブートモード判定に使用します。

17.4.3 AC 特性

制御信号タイミングを表 17.9 に、シリアルインタフェースタイミングを表 17.10 に示します。

表 17.9 制御信号タイミング

特記なき場合は下記条件のいずれかになります。

条件 A (F-ZTAT 版) : $V_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{SS} = AV_{SS} = 0.0V$

条件 B (F-ZTAT 版) : $V_{CC} = 2.2 \sim 3.6V$ 、 $AV_{CC} = 2.2 \sim 3.6V$ 、 $V_{SS} = AV_{SS} = 0.0V$

条件 C (マスク ROM 版) : $V_{CC} = 1.8 \sim 3.6V$ 、 $AV_{CC} = 1.8 \sim 3.6V$ 、 $V_{SS} = AV_{SS} = 0.0V$

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
システムクロック 発振器発振周波数	f_{osc}	OSC1、OSC2	条件 C の $V_{CC} = 2.7 \sim 3.6V$ と条件 A	2.0		10.0	MHz	
			条件 C の上記以外と条件 B	2.0		4.0		
OSC クロック ($_{osc}$) サイクル時間	t_{osc}	OSC1、OSC2	条件 C の $V_{CC} = 2.7 \sim 3.6V$ と条件 A	100		500	ns	図 17.2
			条件 C の上記以外と条件 B	250		500		
システムクロック () サイクル時間	t_{cyc}			2		128	t_{osc}	
						64	μs	
サブクロック発振器 発振周波数	f_w	X1、X2			32.768 または 38.4		kHz	
ウォッチクロック ($_w$) サイクル時間	t_w	X1、X2			30.5 または 26.0		μs	図 17.2
サブクロック ($_{sub}$) サイクル時間	t_{subcyc}			2		8	t_w	*
インストラクション サイクル時間				2			t_{cyc} t_{subcyc}	
発振安定時間	t_{rc}	OSC1、OSC2	図 17.9 の水晶発振子、 $V_{CC} = 2.7 \sim 3.6V$		0.8	2.0	ms	図 17.9
			図 17.9 の水晶発振子、 条件 BC、 $V_{CC} = 2.2 \sim 3.6V$		1.2	3.0		
			図 17.9 の水晶発振子、 条件 C の上記以外		4.0			
			図 17.9 のセラミック 発振子、条件 AC、 $V_{CC} = 2.7 \sim 3.6V$		20	45	μs	
			図 17.9 のセラミック 発振子(1)、条件 BC、 $V_{CC} = 2.2 \sim 3.6V$		20	45		

17. 電気的特性 (H8/38004、H8/38002S グループ)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
発振安定時間	t_{rc}	OSC1、OSC2	図 17.9 のセラミック発振子 (1)、条件 C の上記以外		80		μ s	図 17.9
			上記以外			50	ms	
		X1、X2	$V_{CC} = 2.7 \sim 3.6V$			2.0	s	
			$V_{CC} = 2.2 \sim 3.6V$ 、条件 BC			2.0		
条件 C の上記以外		4.0						
外部クロック High レベル幅	t_{CPH}	OSC1	条件 C の $V_{CC} = 2.7 \sim 3.6V$ と条件 A	40			ns	図 17.2
			条件 C の上記以外と条件 B	100				
		X1			15.26 または 13.02	μ s		
外部クロック Low レベル幅	t_{CPL}	OSC1	条件 C の $V_{CC} = 2.7 \sim 3.6V$ と条件 A	40			ns	図 17.2
			条件 C の上記以外と条件 B	100				
		X1			15.26 または 13.02	μ s		
外部クロック 立ち上がり時間	t_{CPr}	OSC1	条件 C の $V_{CC} = 2.7 \sim 3.6V$ と条件 A			10	ns	図 17.2
			条件 C の上記以外と条件 B			25		
		X1				55.0	ns	
外部クロック 立ち下がり時間	t_{CPf}	OSC1	条件 C の $V_{CC} = 2.7 \sim 3.6V$ と条件 A			10	ns	図 17.2
			条件 C の上記以外と条件 B			25		
		X1				55.0	ns	
RES 端子 Low レベル幅	t_{REL}	RES		10			t_{cyc}	図 17.3

17. 電気的特性 (H8/38004、H8/38002S グループ)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
入力端子 High レベル幅	t_{IH}	$\overline{IRQ0}$ 、 $\overline{IRQ1}$ 、 \overline{IRQAEC} 、 $\overline{WKPO} \sim$ $\overline{WKP7}$		2			t_{cyc} t_{subcyc}	図 17.4
		AEVL、AEVH		0.5			t_{osc}	
入力端子 Low レベル幅	t_{IL}	$\overline{IRQ0}$ 、 $\overline{IRQ1}$ 、 \overline{IRQAEC} 、 $\overline{WKPO} \sim$ $\overline{WKP7}$		2			t_{cyc} t_{subcyc}	図 17.4
		AEVL、AEVH		0.5			t_{osc}	

【注】 * システムコントロールレジスタ 2 (SYSCR2) の SA1、SA0 の設定により決定します。

表 17.10 シリアルインタフェース (SCI3) タイミング

特記なき場合は下記条件のいずれかになります。

条件 A (F-ZTAT 版) : $V_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{SS} = AV_{SS} = 0.0V$

条件 B (F-ZTAT 版) : $V_{CC} = 2.2 \sim 3.6V$ 、 $AV_{CC} = 2.2 \sim 3.6V$ 、 $V_{SS} = AV_{SS} = 0.0V$

条件 C (マスク ROM 版) : $V_{CC} = 1.8 \sim 3.6V$ 、 $AV_{CC} = 1.8 \sim 3.6V$ 、 $V_{SS} = AV_{SS} = 0.0V$

項目	記号	測定条件	規格値			単位	参照図
			min.	typ.	max.		
入力 クロックサイクル	調歩同期	t_{scyc}		4		t_{cyc} または t_{subcyc}	図 17.5
	クロック同期			6			
入力クロックパルス幅	t_{SCKW}		0.4		0.6	t_{scyc}	図 17.5
送信データ遅延時間 (クロック同期)	t_{TXD}				1	t_{cyc} または t_{subcyc}	図 17.6
受信データセットアップ時間 (クロック同期)	t_{RXS}		400.0			ns	図 17.6
受信データホールド時間 (クロック同期)	t_{RXH}		400.0			ns	図 17.6

17. 電気的特性 (H8/38004、H8/38002S グループ)

17.4.4 A/D 変換器特性

A/D 変換器特性を表 17.11 に示します。

表 17.11 A/D 変換器特性

特記なき場合は下記条件のいずれかになります。

条件 A (F-ZTAT 版) : $V_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{SS} = AV_{SS} = 0.0V$

条件 B (F-ZTAT 版) : $V_{CC} = 2.2 \sim 3.6V$ 、 $AV_{CC} = 2.2 \sim 3.6V$ 、 $V_{SS} = AV_{SS} = 0.0V$

条件 C (マスク ROM 版) : $V_{CC} = 1.8 \sim 3.6V$ 、 $AV_{CC} = 1.8 \sim 3.6V$ 、 $V_{SS} = AV_{SS} = 0.0V$

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
アナログ電源電圧	AV _{CC}	AV _{CC}	条件 A	2.7		3.6	V	* ¹
			条件 B	2.2		3.6		
			条件 C	1.8		3.6		
アナログ入力電圧	AV _{IN}	AN0 ~ AN3		- 0.3		AV _{CC} + 0.3	V	
アナログ電源電流	AI _{OP}	AV _{CC}	AV _{CC} = 3.0V			1.0	mA	
	AI _{STOP1}	AV _{CC}			600		μA	* ² 参考値
	AI _{STOP2}	AV _{CC}				5	μA	* ³
アナログ入力容量	C _{AIN}	AN0 ~ AN3				15.0	pF	
許容信号源インピーダンス	R _{AIN}					10.0	k	
分解能 (データ長)						10	ビット	
非直線性誤差			AV _{CC} = 2.7 ~ 3.6V			± 3.5	LSB	* ⁴
			条件 B の AV _{CC} = 2.2 ~ 3.6V			± 5.5		
			条件 C の AV _{CC} = 2.0 ~ 3.6V					
			条件 C の上記以外			± 7.5		
量子化誤差						± 0.5	LSB	
絶対精度			AV _{CC} = 2.7 ~ 3.6V		± 2.0	± 4.0	LSB	* ⁴
			条件 B の AV _{CC} = 2.2 ~ 3.6V		± 2.5	± 6.0		
			条件 C の AV _{CC} = 2.0 ~ 3.6V					
			条件 C の上記以外		± 2.5	± 8.0		
変換時間			AV _{CC} = 2.7 ~ 3.6V	12.4		124	μs	
			上記以外	62		124		

【注】 *¹ A/D 変換器を使用しない場合は AV_{CC} = V_{CC} としてください。

*² AI_{STOP1} はアクティブモード、スリープモードでの A/D 変換待機時の電流値です。

*³ AI_{STOP2} はリセット、スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでの A/D 変換待機時の電流値です。

*⁴ 変換時間 62μs

17.4.5 LCD 特性

LCD 特性を表 17.12 に示します。

表 17.12 LCD 特性

特記なき場合は下記条件のいずれかになります。

条件 A (F-ZTAT 版) : $V_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{SS} = AV_{SS} = 0.0V$

条件 B (F-ZTAT 版) : $V_{CC} = 2.2 \sim 3.6V$ 、 $AV_{CC} = 2.2 \sim 3.6V$ 、 $V_{SS} = AV_{SS} = 0.0V$

条件 C (マスク ROM 版) : $V_{CC} = 1.8 \sim 3.6V$ 、 $AV_{CC} = 1.8 \sim 3.6V$ 、 $V_{SS} = AV_{SS} = 0.0V$

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
セグメントドライバ 降下電圧	V_{DS}	SEG1 ~ SEG25	$I_D = 2\mu A$ $V_1 = 2.7 \sim 3.6V$			0.6	V	* ¹
コモンドライバ 降下電圧	V_{DC}	COM1 ~ COM4	$I_D = 2\mu A$ $V_1 = 2.7 \sim 3.6V$			0.3	V	* ¹
LCD 電源 分割抵抗	R_{LCD}		$V_1 - V_{SS}$ 間	1.5	3.0	7.0	M	
液晶表示電圧	V_{LCD}	V1		2.2		3.6	V	* ²

【注】 *¹ 電源端子 V_1 、 V_2 、 V_3 、 V_{SS} から各セグメント端子またはコモン端子までの電圧降下です。

*² 液晶表示電圧を外部電源より供給する場合は、 V_{CC} V_1 V_2 V_3 V_{SS} の関係を維持してください。

17. 電気的特性 (H8/38004、H8/38002S グループ)

17.4.6 フラッシュメモリ特性

表 17.13 フラッシュメモリ特性

条件 A : $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、
 $V_{CC} = 2.7 \sim 3.6V$ (読み出し時の動作電圧範囲)、
 $V_{CC} = 3.0 \sim 3.6V$ (書き込み / 消去時の動作電圧範囲)、
 $T_a = -20 \sim +75$ (書き込み / 消去時の動作温度範囲: 通常仕様品、広温度範囲仕様品、チップ出荷品)

条件 B : $AV_{CC} = 2.2 \sim 3.6V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、
 $V_{CC} = 2.2 \sim 3.6V$ (読み出し時の動作電圧範囲)、
 $V_{CC} = 3.0 \sim 3.6V$ (書き込み / 消去時の動作電圧範囲)、
 $T_a = -20 \sim +50$ (書き込み / 消去時の動作温度範囲: 通常仕様品)

項目	記号	測定条件	規格値			単位	
			min.	typ.	max.		
書き込み時間 (128 バイト当たり) *1*2*4	t_p		-	7	200	ms	
消去時間 (1 ブロック当たり) *1*3*5	t_E		-	100	1200	ms	
書き換え回数	N_{WEC}		1000*8	10000*9	-	回	
データ保持時間	t_{DRP}		10^{*10}	-	-	年	
書き込み時	SWE ビットセット後の待機時間*1	x	1	-	-	μs	
	PSU ビットセット後の待機時間*1	y	50	-	-	μs	
	P ビットセット後の待機時間*1*4	z1	1 n 6	28	30	32	μs
			7 n 1000	198	200	202	μs
			追加書き込み	8	10	12	μs
	P ビットクリア後の待機時間*1			5	-	-	μs
	PSU ビットクリア後の待機時間*1			5	-	-	μs
	PV ビットセット後の待機時間*1			4	-	-	μs
	ダミーライト後の待機時間*1			2	-	-	μs
	PV ビットクリア後の待機時間*1			2	-	-	μs
	SWE ビットクリア後の待機時間*1			100	-	-	μs
	最大書き込み回数*1*4*5	N		-	-	1000	回
消去時	SWE ビットセット後の待機時間*1	x	1	-	-	μs	
	ESU ビットセット後の待機時間*1	y	100	-	-	μs	
	E ビットセット後の待機時間*1*6	z	10	-	100	ms	
	E ビットクリア後の待機時間*1			10	-	-	μs
	ESU ビットクリア後の待機時間*1			10	-	-	μs
	EV ビットセット後の待機時間*1			20	-	-	μs
	ダミーライト後の待機時間*1			2	-	-	μs
	EV ビットクリア後の待機時間*1			4	-	-	μs
	SWE ビットクリア後の待機時間*1			100	-	-	μs
	最大消去回数*1*6*7	N		-	-	120	回

【注】 *1 各時間の設定は、プログラム / イレースのアルゴリズムに従い行ってください。

17. 電気的特性 (H8/38004、H8/38002S グループ)

- *2 128 バイト当たりの書き込み時間で、フラッシュメモリコントロールレジスタ 1 (FLMCR1) の P ビットをセットしているトータル期間を示します。プログラムベリファイ時間は含まれません。
- *3 1 ブロックを消去する時間で、フラッシュメモリコントロールレジスタ 1 (FLMCR1) の E ビットをセットしているトータル期間を示します。イレースベリファイ時間は含まれません。
- *4 書き込み時間の最大値 (t_p (MAX)) = P ビットセット後の待機時間 (z) × 最大書き込み回数 (N)
- *5 最大書き込み回数 (N) は、実際の z1、z2、z3 の設定値に合わせ、書き込み時間の最大値 t_p (MAX) 以下となるように設定してください。また、P ビットセット後の待機時間 (z1、z2) は、下記のように書き込み回数 (n) の値によって切り替えてください。

書き込み回数 n

1 n 6 z1 = 30 μ s

7 n 1000 z2 = 200 μ s

- *6 消去時間の最大値 (t_E (MAX)) = E ビットセット後の待機時間 (z) × 最大消去回数 (N)
- *7 最大消去回数 (N) は、実際の (z) の設定値にあわせ、消去時間の最大値 (t_E (MAX)) 以下となるように設定してください。
- *8 書き換え後のすべての特性を保証する min 回数です (保証は 1 ~ min 値の範囲です)。
- *9 25 のときの参考値です (通常この値まで書き換えは機能するという目安です)。
- *10 書き換えが min 値を含む仕様範囲内で行われたときのデータ保持特性です。

17.4.7 電源特性

表 17.14 電源特性

特記なき場合は下記条件のいずれかになります。

条件 A (F-ZTAT 版) : $V_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{SS} = AV_{SS} = 0.0V$

条件 B (F-ZTAT 版) : $V_{CC} = 2.2 \sim 3.6V$ 、 $AV_{CC} = 2.2 \sim 3.6V$ 、 $V_{SS} = AV_{SS} = 0.0V$

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
V_{CC} 開始電圧	$V_{CCSTART}$	V_{CC}		0		0.1	V	*1
V_{CC} 立ち上がり勾配	SV_{CC}	V_{CC}		0.05			V/ms	*2

【注】 *1 電源投入時、規格値以外で使用される場合、本 LSI は通常動作ができない可能性があります (条件規格は図 17.1 参照)

*2 F-ZTAT 製品に適用します。

17. 電気的特性 (H8/38104 グループ)

17.5 H8/38104 グループ (F-ZTAT 版、マスク ROM 版) の絶対最大定格

絶対最大定格を表 17.15 に示します。

表 17.15 絶対最大定格

項目	記号	規格値	単位	備考	
電源電圧	V_{CC}	- 0.3 ~ + 7.0	V	※ ¹	
	CV_{CC}	- 0.3 ~ + 4.3	V		
アナログ電源電圧	AV_{CC}	- 0.3 ~ + 7.0	V		
入力電圧	ポート B 以外	V_{in}	- 0.3 ~ $V_{CC} + 0.3$		V
	ポート B	AV_{in}	- 0.3 ~ $AV_{CC} + 0.3$		V
ポート 9 端子電圧	V_{P9}	- 0.3 ~ $V_{CC} + 0.3$	V		
動作温度	T_{opr}	通常仕様品 : - 20 ~ + 75 ^{*2}			
		広温度範囲仕様品 : - 40 ~ + 85 ^{*2}			
保存温度	T_{stg}	- 55 ~ + 125			

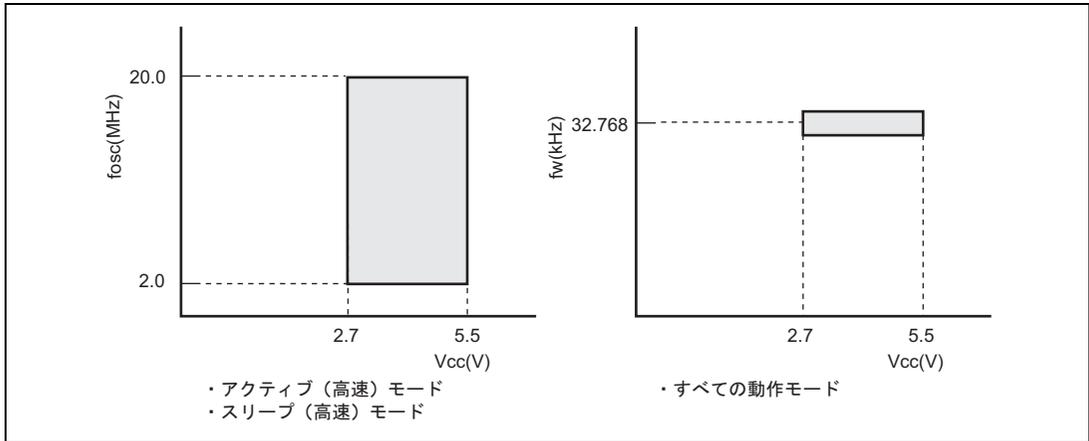
【注】 *1 絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。また、通常動作では、「電気的特性」の条件で使用することが望ましく、この条件を超えると LSI の誤動作の原因になるとともに、LSI の信頼性に悪影響を及ぼすことがあります。

*2 フラッシュメモリの書き込み / 消去時の動作温度範囲は $T_a = - 20 \sim + 75$ です。

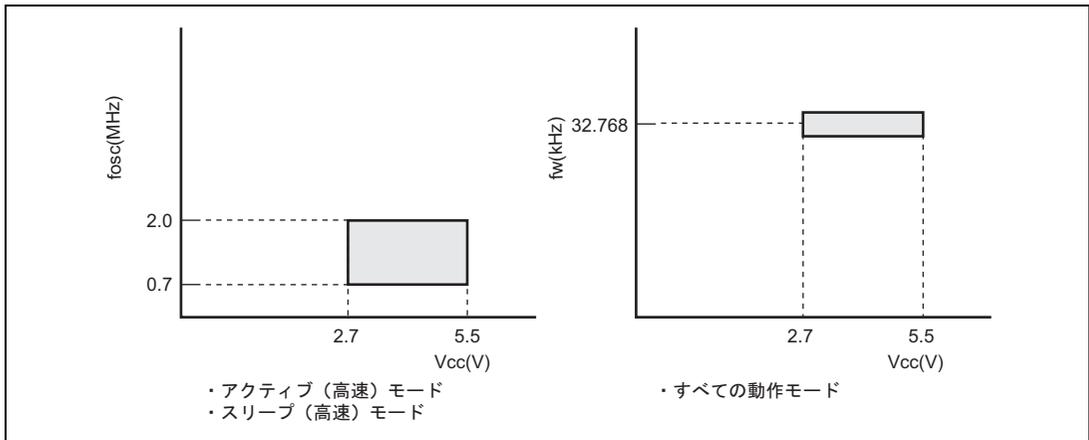
17.6 H8/38104 グループ (F-ZTAT 版、マスク ROM 版) の電氣的特性

17.6.1 電源電圧と動作範囲

(1) 電源電圧と発振周波数の範囲 (システムクロック発振器選択時)

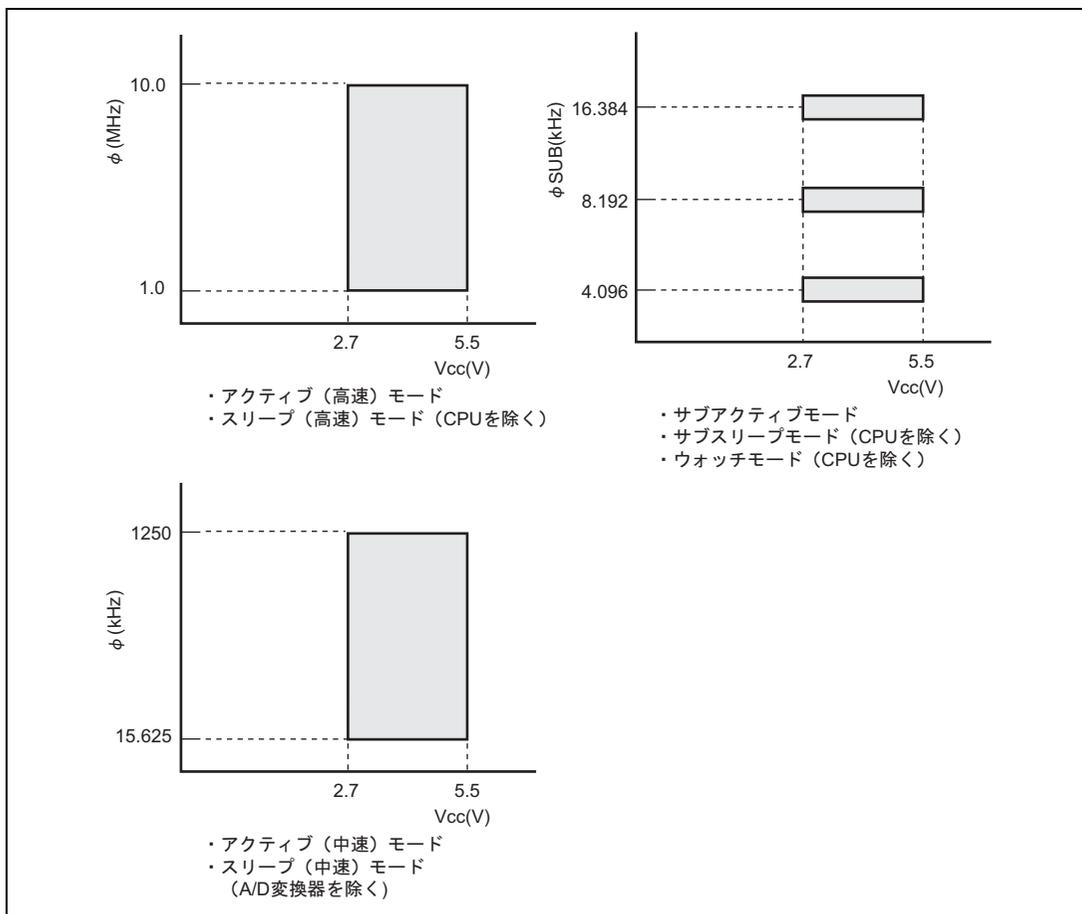


(2) 電源電圧と発振周波数の範囲 (オンチップオシレータ選択時)

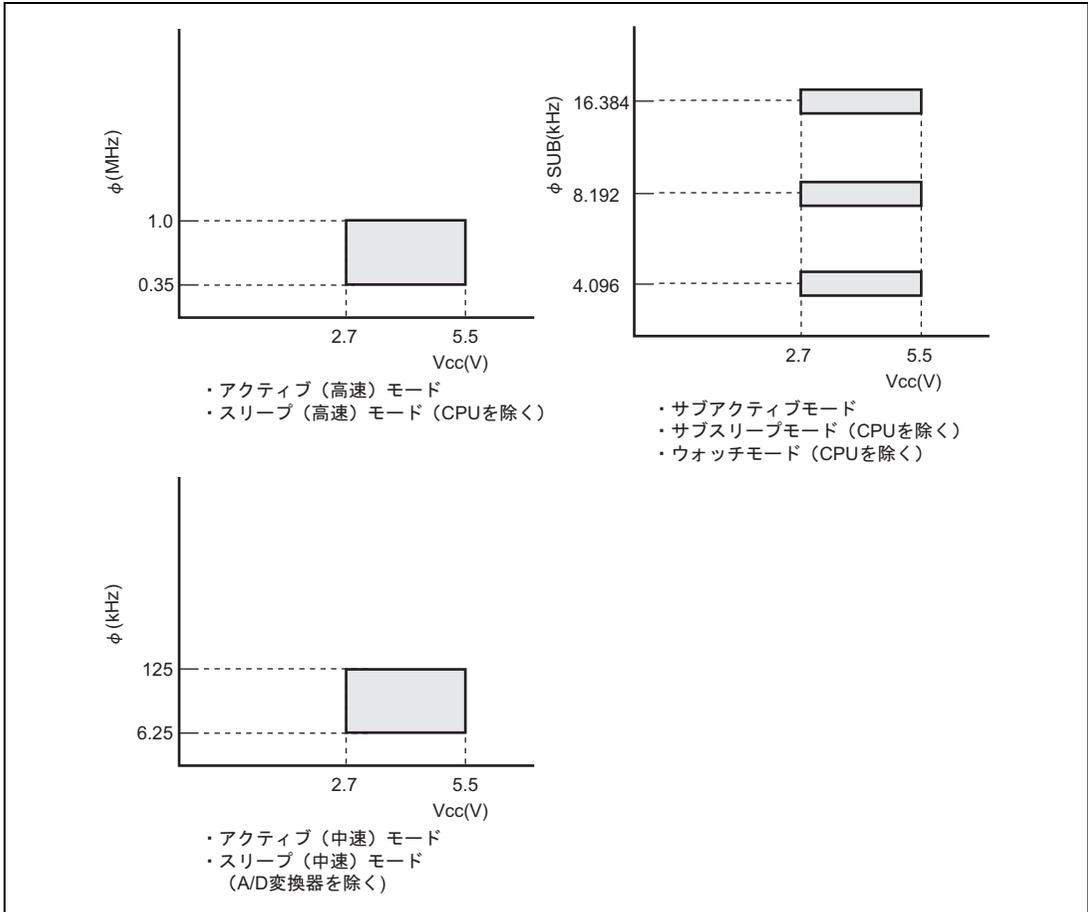


17. 電気的特性 (H8/38104 グループ)

(3) 電源電圧と動作周波数の範囲 (システムクロック発振器選択時)

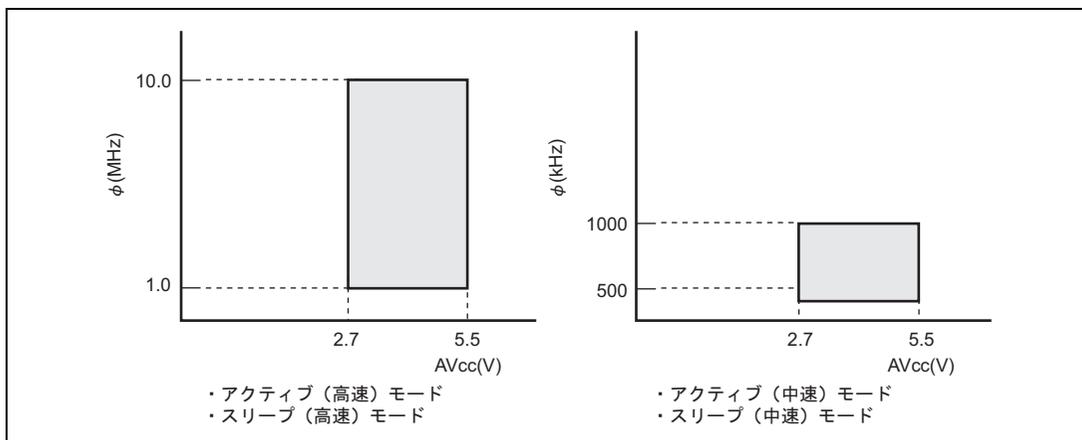


(4) 電源電圧と動作周波数の範囲 (オンチップオシレータ選択時)

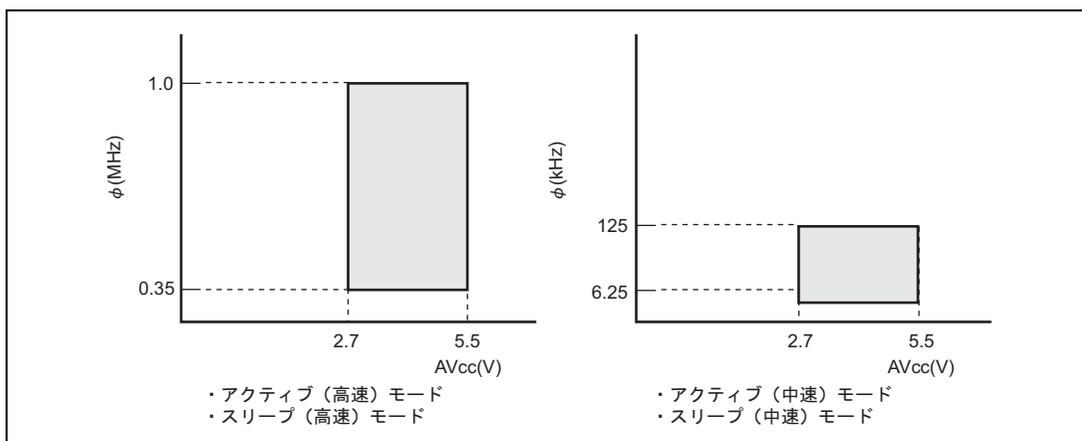


17. 電気的特性 (H8/38104 グループ)

(5) アナログ電源電圧と A/D 変換器の動作範囲 (システムクロック発振器選択時)



(6) アナログ電源電圧と A/D 変換器の動作範囲 (オンチップオシレータ選択時)



17.6.2 DC 特性

DC 特性を表 17.16 に示します。

表 17.16 DC 特性

(特記なき場合、 $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力 High レベル電圧	V_{IH}	\overline{RES} 、 $\overline{WKP0} \sim \overline{WKP7}$ 、 $\overline{IRQ0}$ 、 $AEVL$ 、 $AEVH$ 、 $SCK32$	$V_{CC} = 4.0 \sim 5.5V$	$0.8V_{CC}$		$V_{CC} + 0.3$	V	
			上記以外	$0.9V_{CC}$		$V_{CC} + 0.3$		
		$\overline{IRQ1}$	$V_{CC} = 4.0 \sim 5.5V$	$0.8V_{CC}$		$AV_{CC} + 0.3$	V	
			上記以外	$0.9V_{CC}$		$AV_{CC} + 0.3$		
		$RXD32$	$V_{CC} = 4.0 \sim 5.5V$	$0.7V_{CC}$		$V_{CC} + 0.3$	V	
			上記以外	$0.8V_{CC}$		$V_{CC} + 0.3$		
		$OSC1$	$V_{CC} = 4.0 \sim 5.5V$	$0.8V_{CC}$		$V_{CC} + 0.3$	V	
			上記以外	$0.9V_{CC}$		$V_{CC} + 0.3$		
		$P31 \sim P37$ 、 $P40 \sim P43$ 、 $P50 \sim P57$ 、 $P60 \sim P67$ 、 $P70 \sim P77$ 、 $P80$ 、 $PA0 \sim PA3$	$V_{CC} = 4.0 \sim 5.5V$	$0.7V_{CC}$		$V_{CC} + 0.3$	V	
			上記以外	$0.8V_{CC}$		$V_{CC} + 0.3$		
		$PB0 \sim PB3$	$V_{CC} = 4.0 \sim 5.5V$	$0.7V_{CC}$		$AV_{CC} + 0.3$		
			上記以外	$0.8V_{CC}$		$AV_{CC} + 0.3$		
		$IRQAEC$ 、 $P95^{*5}$	$V_{CC} = 4.0 \sim 5.5V$	$0.8V_{CC}$		$V_{CC} + 0.3$	V	
			上記以外	$0.9V_{CC}$		$V_{CC} + 0.3$		

【注】 TEST 端子は、 V_{SS} に接続してください。

17. 電気的特性 (H8/38104 グループ)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力 Low レベル電圧	V _{IL}	RES、 WKP0 ~ WKP7、 IRQ0、IRQ1、 IRQAEC、P95*5、 AEVL、AEVH、 SCK32	V _{CC} = 4.0 ~ 5.5V	- 0.3		0.2V _{CC}	V	
		上記以外	- 0.3		0.1V _{CC}			
		RXD32	V _{CC} = 4.0 ~ 5.5V	- 0.3		0.3V _{CC}	V	
			上記以外	- 0.3		0.2V _{CC}		
		OSC1	V _{CC} = 4.0 ~ 5.5V	- 0.3		0.2V _{CC}	V	
			上記以外	- 0.3		0.1V _{CC}		
		P31 ~ P37、 P40 ~ P43、 P50 ~ P57、 P60 ~ P67、 P70 ~ P77、 P80、 PA0 ~ PA3、 PB0 ~ PB3	V _{CC} = 4.0 ~ 5.5V	- 0.3		0.3V _{CC}	V	
			上記以外	- 0.3		0.2V _{CC}		
出力 High レベル電圧	V _{OH}	P31 ~ P37、 P40 ~ P42、 P50 ~ P57、 P60 ~ P67、 P70 ~ P77、 P80、 PA0 ~ PA3	V _{CC} = 4.0 ~ 5.5V - I _{OH} = 1.0mA	V _{CC} - 1.0			V	
		V _{CC} = 4.0 ~ 5.5V - I _{OH} = 0.5mA	V _{CC} - 0.5					
		V _{CC} = 4.0 ~ 5.5V - I _{OH} = 0.1mA	V _{CC} - 0.3					

17. 電気的特性 (H8/38104 グループ)

項目	記号	適用端子	測定条件	規格値			単位	備考	
				min.	typ.	max.			
出力 Low レベル電圧	V _{OL}	P40 ~ P42、 P50 ~ P57、 P60 ~ P67、 P70 ~ P77、 P80、 PA0 ~ PA3	V _{CC} = 4.0 ~ 5.5V I _{OL} = 1.6mA			0.6	V		
			I _{OL} = 0.4mA			0.5			
			P31 ~ P37	V _{CC} = 4.0 ~ 5.5V I _{OL} = 10mA					1.0
				V _{CC} = 4.0 ~ 5.5V I _{OL} = 1.6mA					0.6
		I _{OL} = 0.4mA				0.5			
		P90 ~ P93、P95	V _{CC} = 4.0 ~ 5.5V I _{OL} = 15mA			1.5			
			V _{CC} = 4.0 ~ 5.5V I _{OL} = 10mA			1.0			
			V _{CC} = 4.0 ~ 5.5V I _{OL} = 8mA			0.8			
			I _{OL} = 5mA			1.0			
			I _{OL} = 1.6mA			0.6			
I _{OL} = 0.4mA			0.5						
入出力 リーク電流	I _{IL}	RES、P43、 OSC1、X1、 P31 ~ P37、 P40 ~ P42、 P50 ~ P57、 P60 ~ P67、 P70 ~ P77、 P80、IRQAEC、 PA0 ~ PA3、 P90 ~ P93、P95	V _{IN} = 0.5V ~ V _{CC} - 0.5V			1.0	μA		
		PB0 ~ PB3	V _{IN} = 0.5V ~ AV _{CC} - 0.5V			1.0			
ブルアップ MOS 電流	- I _p	P31 ~ P37、	V _{CC} = 5V、V _{IN} = 0V	20		200	μA	参考値	
		P50 ~ P57、 P60 ~ P67	V _{CC} = 2.7V、V _{IN} = 0V		40		μA		

17. 電気的特性 (H8/38104 グループ)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力容量	C _{IN}	電源端子を除く 全入力端子	f = 1MHz、 V _{IN} = 0V、 T _a = 25			15.0	pF	
アクティブモード 消費電流	I _{OPe1}	V _{CC}	アクティブ (高速) モード V _{CC} = 2.7V、f _{OSC} = 2MHz		0.6		mA	*1,*3,*4 max 目安=1.1 x typ
					1.0			*2,*3,*4 max 目安=1.1 x typ
			アクティブ (高速) モード V _{CC} = 5V、f _{OSC} = 2MHz		0.8			*1,*3,*4 max 目安=1.1 x typ
					1.5			*2,*3,*4 max 目安=1.1 x typ
			アクティブ (高速) モード V _{CC} = 5V、f _{OSC} = 4MHz		1.6			*1,*3,*4 max 目安=1.1 x typ
					2.0			*2,*3,*4 max 目安=1.1 x typ
	I _{OPe2}	V _{CC}	アクティブ (中速) モード V _{CC} = 2.7V、f _{OSC} = 2MHz osc/128 時		0.2		mA	*1,*3,*4 max 目安=1.1 x typ
					0.5			*2,*3,*4 max 目安=1.1 x typ
			アクティブ (中速) モード V _{CC} = 5V、f _{OSC} = 2MHz osc/128 時		0.4			*1,*3,*4 max 目安=1.1 x typ
					0.8			*2,*3,*4 max 目安=1.1 x typ
			アクティブ (中速) モード V _{CC} = 5V、f _{OSC} = 4MHz osc/128 時		0.6			*1,*3,*4 max 目安=1.1 x typ
					0.9			*2,*3,*4 max 目安=1.1 x typ
アクティブ (中速) モード V _{CC} = 5V、f _{OSC} = 10MHz osc/128 時		0.9	3.0		*1,*3,*4			
		1.2	3.0		*2,*3,*4			
スリープモード 消費電流	I _{SLEEP}	V _{CC}	V _{CC} = 2.7V、f _{OSC} = 2MHz		0.3		mA	*1,*3,*4 max 目安=1.1 x typ
					0.8			*2,*3,*4 max 目安=1.1 x typ
			V _{CC} = 5V、f _{OSC} = 2MHz		0.5			*1,*3,*4 max 目安=1.1 x typ
					0.9			*2,*3,*4 max 目安=1.1 x typ

17. 電気的特性 (H8/38104 グループ)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
スリープモード 消費電流	I _{SLEEP}	V _{CC}	V _{CC} = 5V, f _{OSC} = 4MHz		0.9		mA	*1,*3,*4 max 目安=1.1 × typ
					1.3			*2,*3,*4 max 目安=1.1 × typ
			V _{CC} = 5V, f _{OSC} = 10MHz		1.5	5.0		*1,*3,*4
					2.2	5.0		*2,*3,*4
サブアクティブ モード消費電流	I _{SUB}	V _{CC}	V _{CC} = 2.7V, LCD 点灯 32kHz 水晶発振器使用時 (I _{SUB} = I _{W/8})		11.3		μA	*1,*3,*4 参考値
					12.7			*2,*3,*4 参考値
			V _{CC} = 2.7V, LCD 点灯 32kHz 水晶発振器使用時 (I _{SUB} = I _{W/2})		16.3	50		*1,*3,*4
					30	50		*2,*3,*4
サブスリープモード 消費電流	I _{SUBSP}	V _{CC}	V _{CC} = 2.7V, LCD 点灯 32kHz 水晶発振器使用時 (I _{SUB} = I _{W/2})		4.0	16	μA	*3,*4
ウォッチモード 消費電流	I _{WATCH}	V _{CC}	V _{CC} = 2.7V, Ta = 25 32kHz 水晶発振器使用時 LCD 未使用		1.4		μA	*1,*3,*4 参考値
					1.8			*2,*3,*4 参考値
			V _{CC} = 2.7V 32kHz 水晶発振器使用時 LCD 未使用		1.8	6.0		*3,*4
スタンバイ モード消費電流	I _{STBY}	V _{CC}	V _{CC} = 2.7V, Ta = 25 32kHz 水晶発振器未使用時		0.3		μA	*1,*3,*4 参考値
					0.5			*2,*3,*4 参考値
			V _{CC} = 2.7V, Ta = 25 、 SUBSTP (発振コントロールレジスタ) = "1" 設定時		0.05			*4 参考値
				V _{CC} = 5.0V, Ta = 25 32kHz 水晶発振器未使用時		0.4		
					0.6			*2,*3,*4 参考値
			V _{CC} = 5.0V, Ta = 25 、 SUBSTP (発振コントロールレジスタ) = "1" 設定時 32kHz 水晶発振器未使用時		0.16			*4 参考値
RAM データ 保持電圧	V _{RAM}	V _{CC}		2.0			V	*6

17. 電気的特性 (H8/38104 グループ)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
出力 Low レベル許容電流 (1 端子当たり)	I _{OL}	ポート 3、9 以外の出力端子	V _{CC} = 4.0V ~ 5.5V			2.0	mA	
		ポート 3	V _{CC} = 4.0V ~ 5.5V			10.0		
		ポート 9 以外の出力端子				0.5		
		ポート 9	V _{CC} = 4.0V ~ 5.5V			15.0		
		上記以外				5.0		
出力 Low レベル許容電流 (総和)	I _{OL}	ポート 3、9 以外の出力端子	V _{CC} = 4.0V ~ 5.5V			40.0	mA	
		ポート 3	V _{CC} = 4.0V ~ 5.5V			80.0		
		ポート 9 以外の出力端子				20.0		
		ポート 9				80.0		
出力 High レベル許容電流 (1 端子当たり)	- I _{OH}	全出力端子	V _{CC} = 4.0V ~ 5.5V			2.0	mA	
			上記以外					
出力 High レベル許容電流 (総和)	- I _{OH}	全出力端子	V _{CC} = 4.0V ~ 5.5V			15.0	mA	
			上記以外					

17. 電気的特性 (H8/38104 グループ)

【注】 TEST 端子は V_{SS} に接続してください。

- *1 マスク ROM 製品に適用します。
- *2 F-ZTAT 製品に適用します。
- *3 消費電流測定時の端子の状態

モード	RES 端子	内部状態	各端子	LCD 電源	発振端子
アクティブ (高速) モード (I_{OPE1}) アクティブ (中速) モード (I_{OPE2})	V_{CC}	CPU のみ動作	V_{CC}	停止	システムクロック発振器： 水晶発振子 サブクロック発振器： X1 端子 = GND
スリープモード	V_{CC}	内蔵の全タイマのみ動作	V_{CC}	停止	
サブアクティブ モード	V_{CC}	CPU のみ動作	V_{CC}	停止	システムクロック発振器： 水晶発振子
サブスリープ モード	V_{CC}	内蔵の全タイマのみ動作 CPU は停止	V_{CC}	停止	サブクロック発振器： 水晶発振子
ウォッチモード	V_{CC}	時計用タイム ベースのみ動作 CPU は停止	V_{CC}	停止	
スタンバイモード	V_{CC}	CPU、タイマ ともに停止	V_{CC}	停止	システムクロック発振器： 水晶発振子 サブクロック発振器： X1 端子 = GND

- *4 ブルアップ MOS や出力バッファに流れる電流は除きます。
- *5 F-ZTAT 版においてリセット解除時のユーザモード / ブートモード判定に使用します。
- *6 スタンバイモードの保持電圧です。

17. 電気的特性 (H8/38104 グループ)

17.6.3 AC 特性

制御信号タイミングを表 17.17 に、シリアルインタフェースタイミングを表 17.18 に示します。

表 17.17 制御信号タイミング

(特記なき場合、 $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
システムクロック 発振器発振周波数	f_{OSC}	OSC1、OSC2		2.0		20.0	MHz	*2
			オンチップオシレータ 選択時	0.7		2.0		
OSC クロック (f_{OSC}) サイクル時間	t_{OSC}	OSC1、OSC2		50.0		500	ns	図 17.2
			オンチップオシレータ 選択時	500		1429		
システムクロック () サイクル時間	t_{CYC}			2		128	t_{OSC}	
						182	μs	
サブクロック発振器 発振周波数	f_W	X1、X2			32.768		kHz	
ウォッチクロック (f_W) サイクル時間	t_W	X1、X2			30.5		μs	図 17.2
サブクロック (f_{SUB}) サイクル時間	t_{SUBCYC}			2		8	t_W	*1
インストラクション サイクル時間				2			t_{CYC} t_{SUBCYC}	
発振安定時間	t_{RC}	OSC1、OSC2				20	ms	
		X1、X2				2.0	s	
外部クロック High レベル幅	t_{CPH}	OSC1		20			ns	図 17.2
外部クロック Low レベル幅	t_{CPL}	OSC1		20			ns	図 17.2
外部クロック 立ち上がり時間	t_{CPr}	OSC1				5	ns	図 17.2
外部クロック 立ち下がり時間	t_{CPf}	OSC1				5	ns	図 17.2
RES 端子 Low レベル幅	t_{REL}	\overline{RES}		10			t_{CYC}	図 17.3
入力端子 High レベル幅	t_{IH}	$\overline{IRQ0}$ 、 $\overline{IRQ1}$ 、 \overline{IRQAEC} 、 $\overline{WKP0} \sim$ $\overline{WKP7}$		2			t_{CYC} t_{SUBCYC}	図 17.4
		AEVL、AEVH		0.5			t_{OSC}	

17. 電気的特性 (H8/38104 グループ)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
入力端子 Low レベル幅	t _{IL}	IRQ0、IRQ1、 IRQAEC、 WKP0 ~ WKP7		2			t _{cyc} t _{subcyc}	図 17.4
		AEVL、AEVH		0.5			t _{osc}	

【注】 *1 システムコントロールレジスタ 2 (SYSCR2) の SA1、SA0 の設定により決定します。

*2 本特性は温度、電源電圧、製品ロットのばらつきなどの影響により、min. から max. の範囲の値になります。システム設計におかれましては、SPEC 範囲を十分考慮してご使用ください。実行データにつきましては本製品のホームページをご参照ください。

表 17.18 シリアルインタフェース (SCI3) タイミング

(特記なき場合、V_{CC} = 2.7 ~ 5.5V、AV_{CC} = 2.7 ~ 5.5V、V_{SS} = AV_{SS} = 0.0V)

項目	記号	測定条件	規格値			単位	参照図
			min.	typ.	max.		
入力 クロックサイクル	調歩同期	t _{scyc}	4			t _{cyc} または t _{subcyc}	図 17.5
	クロック同期		6				
入力クロックパルス幅	t _{SCKW}		0.4		0.6	t _{scyc}	図 17.5
送信データ遅延時間 (クロック同期)	t _{TXD}				1	t _{cyc} または t _{subcyc}	図 17.6
受信データセットアップ時間 (クロック同期)	t _{RXS}		150.0			ns	図 17.6
受信データホールド時間 (クロック同期)	t _{RXH}		150.0			ns	図 17.6

17. 電気的特性 (H8/38104 グループ)

17.6.4 A/D 変換器特性

A/D 変換器特性を表 17.19 に示します。

表 17.19 A/D 変換器特性

(特記なき場合、 $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
アナログ電源電圧	AV_{CC}	AV_{CC}		2.7		5.5	V	*1
アナログ入力電圧	AV_{IN}	AN0 ~ AN3		- 0.3		$AV_{CC} + 0.3$	V	
アナログ電源電流	AI_{OPE}	AV_{CC}	$AV_{CC} = 5.0V$			1.5	mA	
	AI_{STOP1}	AV_{CC}			600		μA	*2 参考値
	AI_{STOP2}	AV_{CC}				5	μA	*3
アナログ入力容量	C_{AIN}	AN0 ~ AN3				15.0	pF	
許容信号源インピーダンス	R_{AIN}					10.0	k	
分解能 (データ長)						10	ビット	
非直線性誤差			$AV_{CC} = 4.0 \sim 5.5V$			± 3.5	LSB	
			$AV_{CC} = 2.7 \sim 5.5V$			± 7.5		
量子化誤差						± 0.5	LSB	
絶対精度			$AV_{CC} = 4.0 \sim 5.5V$		± 2.0	± 4.0	LSB	
			$AV_{CC} = 2.7 \sim 5.5V$		± 2.0	± 8.0		
変換時間				6.2		124	μs	

【注】 *1 A/D 変換器を使用しない場合は $AV_{CC} = V_{CC}$ としてください。

*2 AI_{STOP1} はアクティブモード、スリープモードでの A/D 変換待機時の電流値です。

*3 AI_{STOP2} はリセット、スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでの A/D 変換待機時の電流値です。

17.6.5 LCD 特性

LCD 特性を表 17.20 に示します。

表 17.20 LCD 特性

(特記なき場合、 $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
セグメントドライバ 降下電圧	V_{DS}	SEG1 ~ SEG25	$I_D = 2\mu A$ $V_1 = 2.7 \sim 5.5V$			0.6	V	* ¹
コモンドライバ 降下電圧	V_{DC}	COM1 ~ COM4	$I_D = 2\mu A$ $V_1 = 2.7 \sim 5.5V$			0.3	V	* ¹
LCD 電源 分割抵抗	R_{LCD}		$V_1 - V_{SS}$ 間	1.5	3.0	7.0	M	
液晶表示電圧	V_{LCD}	V1		2.7		5.5	V	* ²

【注】 *¹ 電源端子 V_1 、 V_2 、 V_3 、 V_{SS} から各セグメント端子またはコモン端子までの電圧降下です。

*² 液晶表示電圧を外部電源より供給する場合は、 V_{CC} V_1 V_2 V_3 V_{SS} の関係を維持してください。

17. 電気的特性 (H8/38104 グループ)

17.6.6 フラッシュメモリ特性

表 17.21 フラッシュメモリ特性

条件 A : $V_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、

$V_{CC} = 2.7 \sim 5.5V$ (読み出し時の動作電圧範囲)、

$V_{CC} = 3.0 \sim 5.5V$ (書き込み / 消去時の動作電圧範囲)、

$T_a = -20 \sim +75$ (書き込み / 消去時の動作温度範囲 : 通常仕様品、広温度範囲仕様品)

項目		記号	測定条件	規定値			単位
				min.	typ.	max.	
書き込み時間 (128 バイト当たり) ^{*1,*2,*4}		t_p		-	7	200	ms
消去時間 (1 ブロック当たり) ^{*1,*3,*5}		t_E		-	100	1200	ms
書き換え回数		N_{WEC}		1000 ^{*8}	10000 ^{*9}	-	回
データ保持時間		t_{DRP}		10 ^{*10}	-	-	年
書き込み時	SWE ビットセット後の待機時間 ^{*1}	x		1	-	-	μs
	PSU ビットセット後の待機時間 ^{*1}	y		50	-	-	μs
	P ビットセット後の待機時間 ^{*1,*4}	z1	1 n 6	28	30	32	μs
		z2	7 n 1000	198	200	202	μs
		z3	追加書き込み	8	10	12	μs
	P ビットクリア後の待機時間 ^{*1}			5	-	-	μs
	PSU ビットクリア後の待機時間 ^{*1}			5	-	-	μs
	PV ビットセット後の待機時間 ^{*1}			4	-	-	μs
	ダミーライト後の待機時間 ^{*1}			2	-	-	μs
	PV ビットクリア後の待機時間 ^{*1}			2	-	-	μs
	SWE ビットクリア後の待機時間 ^{*1}			100	-	-	μs
	最大書き込み回数 ^{*1,*4,*5}	N		-	-	1000	回
消去時	SWE ビットセット後の待機時間 ^{*1}	x		1	-	-	μs
	ESU ビットセット後の待機時間 ^{*1}	y		100	-	-	μs
	E ビットセット後の待機時間 ^{*1,*6}	z		10	-	100	ms
	E ビットクリア後の待機時間 ^{*1}			10	-	-	μs
	ESU ビットクリア後の待機時間 ^{*1}			10	-	-	μs
	EV ビットセット後の待機時間 ^{*1}			20	-	-	μs
	ダミーライト後の待機時間 ^{*1}			2	-	-	μs
	EV ビットクリア後の待機時間 ^{*1}			4	-	-	μs
	SWE ビットクリア後の待機時間 ^{*1}			100	-	-	μs
	最大消去回数 ^{*1,*6,*7}	N		-	-	120	回

【注】 *1 各時間の設定は、プログラム / イレースのアルゴリズムに従い行ってください。

*2 128 バイト当たりの書き込み時間で、フラッシュメモリコントロールレジスタ 1 (FLMCR1) の P ビットをセットしているトータル期間を示します。プログラムベリファイ時間は含みません。

- *3 1ブロックを消去する時間で、フラッシュメモリコントロールレジスタ1 (FLMCR1) のEビットをセットしているトータル期間を示します。イレースベリファイ時間は含まれません。
- *4 書き込み時間の最大値 (t_p (MAX)) = Pビットセット後の待機時間 (z) × 最大書き込み回数 (N)
- *5 最大書き込み回数 (N) は、実際の z1、z2、z3 の設定値に合わせ、書き込み時間の最大値 t_p (MAX) 以下となるように設定してください。また、Pビットセット後の待機時間 (z1、z2) は、下記のように書き込み回数 (n) の値によって切り替えてください。

書き込み回数 n

1 n 6 z1 = 30 μ s

7 n 1000 z2 = 200 μ s

- *6 消去時間の最大値 (t_E (MAX)) = Eビットセット後の待機時間 (z) × 最大消去回数 (N)
- *7 最大消去回数 (N) は、実際の (z) の設定値にあわせ、消去時間の最大値 (t_E (MAX)) 以下となるように設定してください。
- *8 書き換え後のすべての特性を保証する min 回数です (保証は 1 ~ min 値の範囲です)。
- *9 25 のときの参考値です (通常この値まで書き換えは機能するという目安です)。
- *10 書き換えが min 値を含む仕様範囲内で行われたときのデータ保持特性です。

17. 電気的特性 (H8/38104 グループ)

17.6.7 電源電圧検出回路特性

表 17.22 電源電圧検出回路特性 (1)

(特記なき場合、 $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$)

項目	記号	測定条件	規格値			単位
			min.	typ.	max.	
LVDR 動作下限電圧*1	$V_{LVDRmin}$		1.0			V
LVD 安定時間	T_{LVDon}		150			μs
スタンバイモード消費電流	ISTBY	LVDE = 1 $V_{CC} = 5.0V$ 32kHz 発振子未使用			100	μA

【注】 *1 電源電圧 V_{CC} が $V_{LVDRmin} = 1.0V$ 以下に低下し、そこから立ち上がった場合、リセットがかからない場合がありますので十分な評価をお願いします。

表 17.23 電源電圧検出回路特性 (2)

内蔵基準電圧およびラダー抵抗使用時 ($VREFSEL = VINTDSEL = VINTUSEL = 0$)

項目	記号	測定条件	規格値			単位
			min.	typ.	max.	
電源立ち下がり検出電圧	$Vint(D)^{*3}$	LVDSEL=0	3.3	3.7	4.2	V
電源立ち上がり検出電圧	$Vint(U)^{*3}$	LVDSEL=0	3.6	4.0	4.5	V
リセット検出電圧 1*1	$Vreset1^{*3}$	LVDSEL=0	2.0	2.3	2.7	V
リセット検出電圧 2*2	$Vreset2^{*3}$	LVDSEL=1	2.7	3.3	3.9	V

【注】 *1 立ち下がり、立ち上がり電圧検出機能と併用時に使用してください。

*2 低電圧検出リセットのみの使用の場合は低電圧検出リセット 2 を選択してください。

*3 $Vint(D)$ 、 $Vint(U)$ および $Vreset1/2$ の値は相対的に変化します。

(例) $Vint(D)$ が min 値の場合は、 $Vint(U)$ および $Vreset1/2$ の値も min 値となります。

表 17.24 電源電圧検出回路特性 (3)

内蔵基準電圧および検出電圧外部入力時 ($VREFSEL = 0$ 、 $VINTDSEL$ 、 $VINTUSEL = 1$)

項目	記号	測定条件	規格値			Unit
			min.	typ.	max.	
extD/U 割り込み検知レベル	Vexd		0.80	1.20	1.60	V
extD/U 端子入力電圧*2	$VextD^{*1}$	$V_{CC} = 2.7 \sim 3.3V$	-0.3	—	$V_{CC} + 0.3$ もしくは $AV_{CC} + 0.3$ の低い電圧	V
	$VextU^{*1}$	$V_{CC} = 3.3 \sim 5.5V$	-0.3	—	3.6 もしくは $AV_{CC} + 0.3$ の低い電圧	V

【注】 *1 常に $VextD > VextU$ の電圧関係を維持してください。

*2 extD/U 端子の入力電圧の Max 値は 3.6V です。

表 17.25 電源電圧検出回路特性 (4)
外部基準電圧およびラダー抵抗使用時 (VREFSEL = 1、VINTDSEL = VINTUSEL = 0)

項目	記号	測定条件	規格値			単位
			min.	typ.	max.	
電源立ち下がり検出電圧	Vint (D) * ¹	LVDSSEL=0	3.08* (Vref1-0.1)	3.08*Vref1	3.08* (Vref1 + 0.1)	V
Vref 入力電圧 (Vint (D))	Vref1* ²	Vint (D)	0.98	—	1.68	V
電源立ち上がり検出電圧	Vint (U) * ¹	LVDSSEL=0	3.33* (Vref2-0.1)	3.33*Vref2	3.33* (Vref2 + 0.1)	V
Vref 入力電圧 (Vint (U))	Vref2* ²	Vint (U)	0.91	—	1.55	V
リセット検出電圧 1	Vreset1* ¹	LVDSSEL=0	1.91* (Vref3-0.1)	1.91*Vref3	1.91* (Vref3 + 0.1)	V
Vref 入力電圧 (Vreset1)	Vref3* ²	Vreset1	0.89	—	2.77	V
リセット検出電圧 2	Vreset2* ¹	LVDSSEL=1	2.76* (Vref4-0.1)	2.76*Vref4	2.76* (Vref4 + 0.1)	V
Vref 入力電圧 (Vreset2)	Vref4* ²	Vreset2	1.08	—	1.89	V

【注】 *1 Vint (D)、Vint (U) および Vreset1/2 の値は相対的に変化します。
(例) Vint (D) が min 値の場合は、Vint (U) および Vreset1/2 の値も min 値となります。

*2 Vref 入力電圧は下記の関係式に基づき規定しています。
 $2.7V (= V_{CC} \text{ min}) < Vint (D)、Vint (U)、Vreset2 < 5.5V (= V_{CC} \text{ max})$
 $1.5V (= \text{RAM 保持電圧}) < Vreset1 < 5.5V (= V_{CC} \text{ max})$
 $Vref1 : 2.7 < 3.08* (Vref1-0.1)、3.08* (Vref1 + 0.1) < 5.5 \quad 0.98 < Vref1 < 1.68$
 $Vref2 : 2.7 < 3.33* (Vref2-0.1)、3.33* (Vref2 + 0.1) < 5.5 \quad 0.91 < Vref2 < 1.55$
 $Vref3 : 1.5 < 1.91* (Vref3-0.1)、1.91* (Vref3 + 0.1) < 5.5 \quad 0.89 < Vref3 < 2.77$
 $Vref4 : 2.7 < 2.76* (Vref4-0.1)、2.76* (Vref4 + 0.1) < 5.5 \quad 1.08 < Vref4 < 1.89$

表 17.26 電源電圧検出回路特性 (5)
外部基準電圧および検出電圧外部入力時 (VREFSEL = VINTDSEL = VINTUSEL = 1)

項目	記号	測定条件	規格値			Unit
			min.	typ.	max.	
コンパレータ検出精度	Vcdl	$ VextU-Vref $ $ VextD-Vref $	0.1	—	—	V
extD/U 端子入力電圧	VextD* ¹	$V_{CC} = 2.7 \sim 3.3V$	-0.3	—	$V_{CC} + 0.3$ もしくは $AV_{CC} + 0.3$ の低い電圧	V
	VextU* ¹	$V_{CC} = 3.3 \sim 5.5V$	-0.3	—	3.6 もしくは $AV_{CC} + 0.3$ の低い電圧	V
Vref 端子入力電圧	Vref5	$V_{CC} = 2.7 \sim 5.5V$	0.8	—	2.8	V

【注】 *1 常に VextD > VextU の電圧関係を維持してください。

17. 電気的特性 (H8/38104 グループ)

17.6.8 パワーオンリセット特性

表 17.27 パワーオンリセット特性

(特記なき場合、 $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$)

項目	記号	測定条件	規格値			単位
			min.	typ.	max.	
RES 端子プルアップ抵抗	R_{RES}		65	100		k Ω
パワーオンリセットスタート電圧	V_{por}				100	mV

【注】 電源電圧 V_{CC} は $V_{por} = 100mV$ 以下まで必ず立ち下げ、RES 端子の電荷が十分に抜けてから立ち上げてください。RES 端子の電荷を引き抜くためにはダイオードを V_{CC} 側に付けることを推奨します。100mV を超えたところから電源電圧 V_{CC} が立ち上がった場合、パワーオンリセットが働かない可能性があります。

17.6.9 ウォッチドッグタイマ特性

表 17.28 ウォッチドッグタイマ特性

(特記なき場合、 $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
オンチップオシレータオーバーフロー時間	t_{OVF}		$V_{CC} = 5V$	0.2	0.4	—	s	*

【注】 * ウォッチドッグタイマ用オンチップオシレータを選択した状態で、0~255 までカウントアップし、内部リセットが発生するまでの時間を示します。

17.6.10 電源特性

表 17.29 電源特性

(特記なき場合、 $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
V_{CC} 開始電圧	$V_{CCSTART}$	V_{CC}		0		0.1	V	*1
V_{CC} 立ち上がり勾配	SV_{CC}	V_{CC}		0.05			V/ms	*2

【注】 *1 電源投入時、規格値以外で使用される場合、本 LSI は通常動作ができない可能性があります (条件規格は図 17.1 参照)

*2 F-ZTAT 製品に適用します。

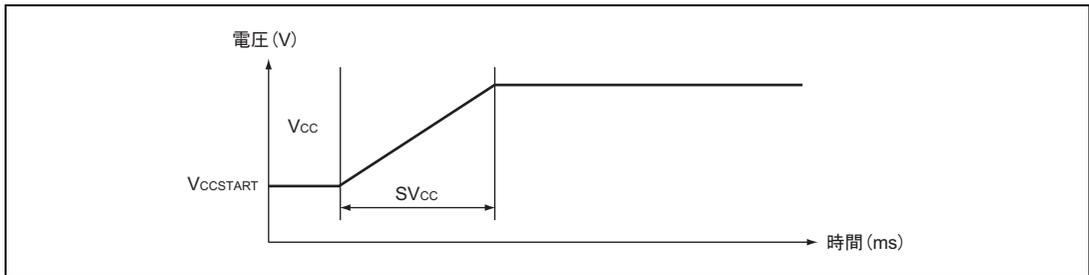


図 17.1 電源立ち上がりタイミング

17. 電気的特性（共通）

17.7 動作タイミング

動作タイミングを図 17.2～図 17.6 に示します。

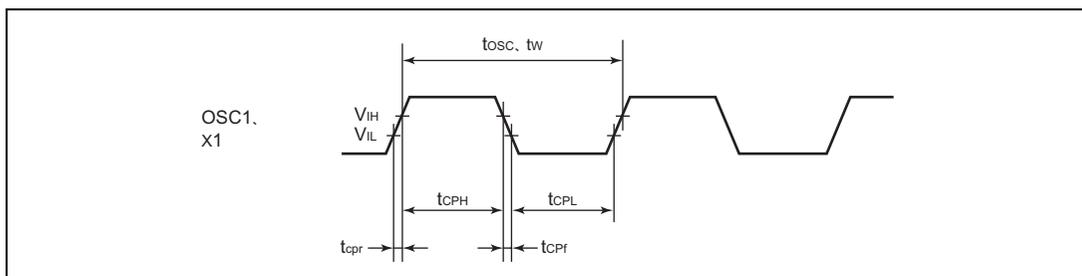


図 17.2 クロック入力タイミング

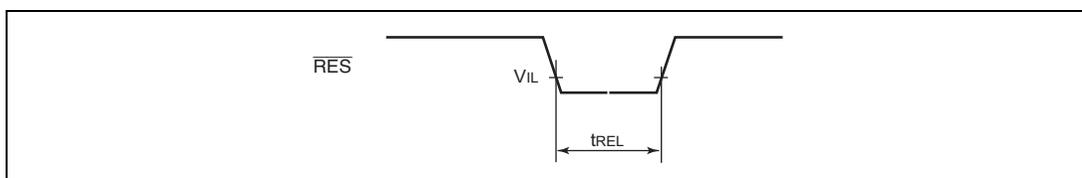


図 17.3 RES 端子 Low レベル幅タイミング

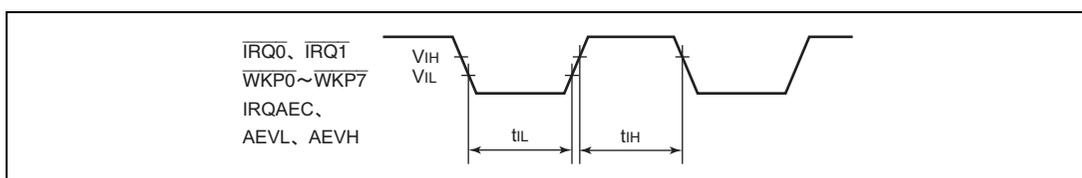


図 17.4 入力タイミング

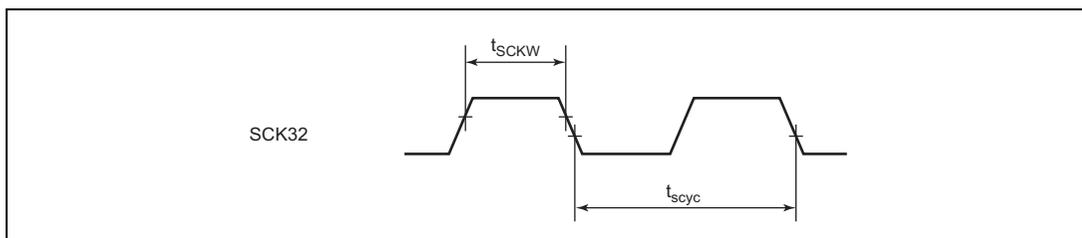


図 17.5 SCK3 入力クロックタイミング

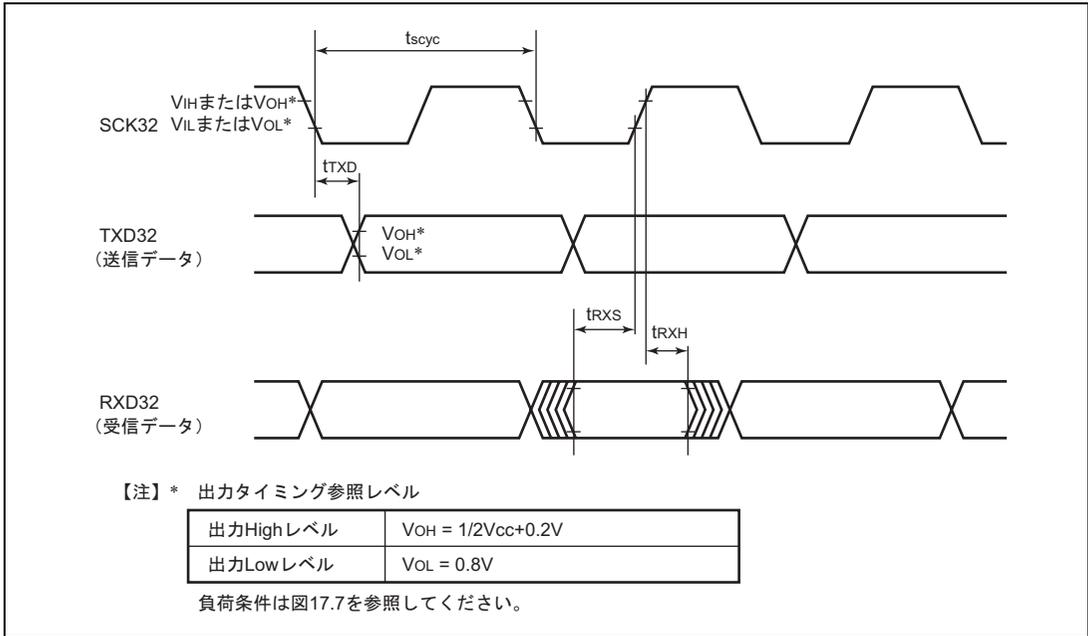


図 17.6 SCI3 クロック同期式モード入出力タイミング

17.8 出力負荷回路

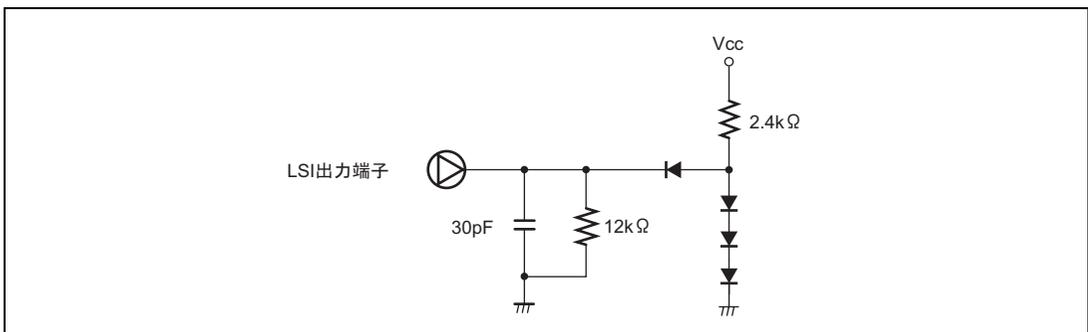


図 17.7 出力負荷条件

17. 電気的特性（共通）

17.9 発振子の等価回路

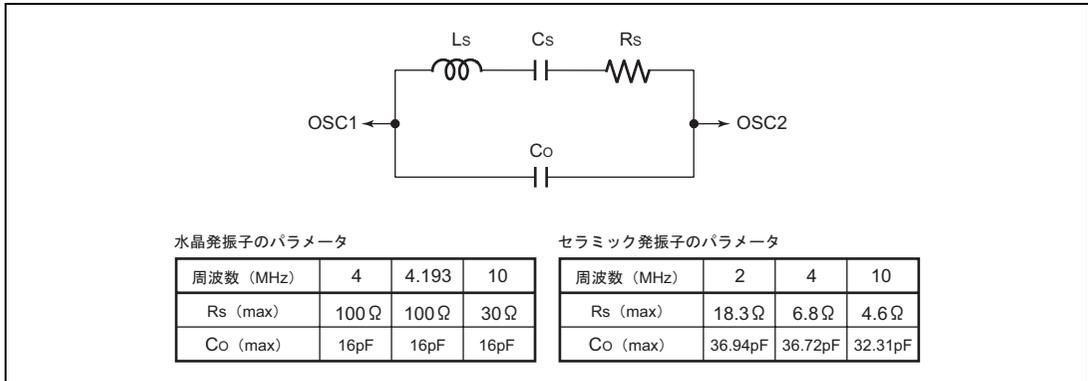


図 17.8 発振子の等価回路

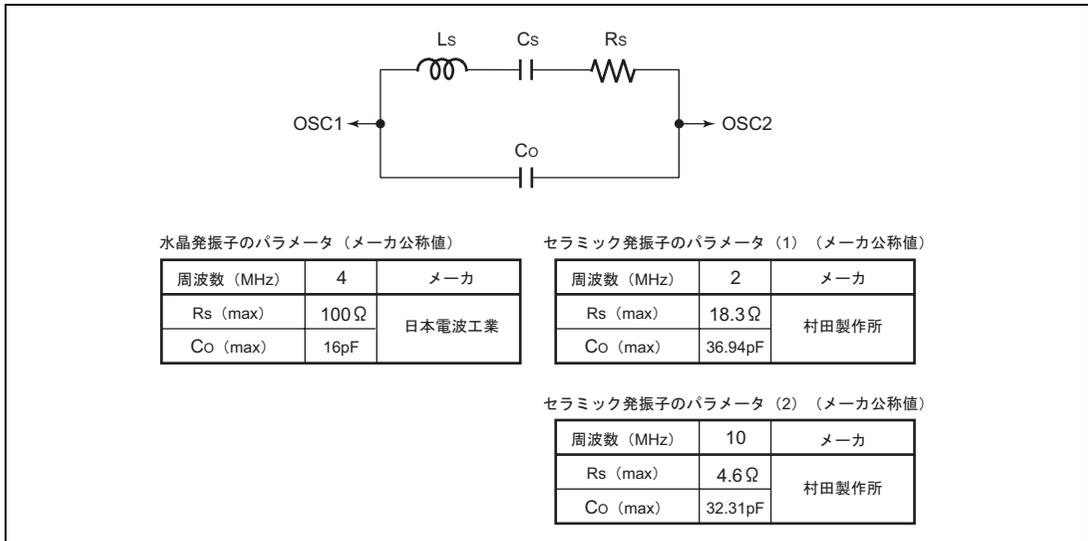


図 17.9 発振子の等価回路

17.10 使用上の注意事項

ZTAT 版、F-ZTAT 版およびマスク ROM 版は本マニュアルに記載の電気的特性を満足していますが、製造プロセスの相違、内蔵 ROM の相違、レイアウトパターン相違などにより電気的特性の実力値や動作マージン、ノイズマージンなどは異なる場合があります。ZTAT 版あるいは F-ZTAT 版を使用してのシステムの評価試験を行う場合には、マスク ROM 版への切り替え時にマスク ROM 版についても同等の評価試験を行ってください。

付録

A. 命令

A.1 命令一覧

《オペレーションの記号》

Rd8/16	汎用レジスタ (デスティネーション側) 8 ビット / 16 ビット
Rs8/16	汎用レジスタ (ソース側) 8 ビット / 16 ビット
Rn8/16	汎用レジスタ 8 ビット / 16 ビット
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#xx:3/8/16	イミディエイトデータ 3 ビット / 8 ビット / 16 ビット
d:8/16	ディスプレースメント 8 ビット / 16 ビット
@aa:8/16	絶対アドレス 8 ビット / 16 ビット
+	加算
-	減算
x	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
	転送
	論理的補数

《コンディションコードの記号》

記号	
↑ ↓	実行結果に従って変化することを表します。
*	不確定であることを表します (値を保証しません)。
0	常に 0 にクリアされることを表します。
	実行結果に影響を受けないことを表します。

表 A.1 命令セット一覧

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)				オペレーション	コンディションコード							実行 ステップ 数		
		#xx:8/16	Rn	@Rn	@(d:16, Rn)		@-Rn/@Rn+	@aa:8/16	@(d:8, PC)	@@aa	I	H	N		Z	V
MOV	B	2										↑	↑	0	—	2
MOV.B #xx:8, Rd	B											↑	↑	0	—	2
MOV.B Rs, Rd	B		2									↑	↑	0	—	2
MOV.B @Rs, Rd	B			2								↑	↑	0	—	4
MOV.B @(d:16, Rs), Rd	B				4							↑	↑	0	—	6
MOV.B @Rs+, Rd	B					2						↑	↑	0	—	6
MOV.B @aa:8, Rd	B							2				↑	↑	0	—	4
MOV.B @aa:16, Rd	B								4			↑	↑	0	—	6
MOV.B Rs, @Rd	B			2								↑	↑	0	—	4
MOV.B Rs, @(d:16, Rd)	B				4							↑	↑	0	—	6
MOV.B Rs, @Rd	B							2				↑	↑	0	—	6
MOV.B Rs, @aa:8	B									2		↑	↑	0	—	4
MOV.B Rs, @aa:16	B											↑	↑	0	—	6
MOV.W #xx:16, Rd	W	4										↑	↑	0	—	4
MOV.W Rs, Rd	W		2									↑	↑	0	—	2
MOV.W @Rs, Rd	W			2								↑	↑	0	—	4
MOV.W @(d:16, Rs), Rd	W				4							↑	↑	0	—	6
MOV.W @Rs+, Rd	W							2				↑	↑	0	—	6
MOV.W @aa:16, Rd	W									4		↑	↑	0	—	6
MOV.W Rs, @Rd	W			2								↑	↑	0	—	4
MOV.W Rs, @(d:16, Rd)	W				4							↑	↑	0	—	6

オペレーション	アドレッシングモード/命令長 (バイト)				コンディションコード							実行 ステート 数				
	サイズ	#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn@Rn+	@aa8/16	@(d:8, PC)	@@aa	I	H		N	Z	V	C
MOV	MOV.W Rs, @-Rd					2						↑	↑	0	—	6
	MOV.W Rs, @aa:16						4					↑	↑	0	—	6
POP	POP Rd					2						↑	↑	0	—	6
PUSH	PUSH Rs					2						↑	↑	0	—	6
ADD	ADD.B #xx:8, Rd	B	2								↑	↑	↑	↑	↑	2
	ADD.B Rs, Rd	B		2							↑	↑	↑	↑	↑	2
	ADD.W Rs, Rd	W		2							(1)	↑	↑	↑	↑	2
ADDX	ADDX.B #xx:8, Rd	B	2								↑	↑	(2)	↑	↑	2
	ADDX.B Rs, Rd	B		2							↑	↑	(2)	↑	↑	2
ADDS	ADDS.W #1, Rd	W		2							—	—	—	—	—	2
	ADDS.W #2, Rd	W		2							—	—	—	—	—	2
INC	INC.B Rd	B		2							—	—	↑	↑	—	2
DAA	DAA.B Rd	B		2							*	↑	↑	↑	*	(3) 2
SUB	SUB.B Rs, Rd	B		2							↑	↑	↑	↑	↑	2
	SUB.W Rs, Rd	W		2							(1)	↑	↑	↑	↑	2
SUBX	SUBX.B #xx:8, Rd	B	2								↑	↑	(2)	↑	↑	2
	SUBX.B Rs, Rd	B		2							↑	↑	(2)	↑	↑	2

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)				オペレーション	コンディションコード							実行 スタート 数			
		Rn #xx:8/16	@Rn @{d:16, Rn}	@Rn+ @Rn+@Rn+ @aa8/16	@(d8, PC) @{d8, PC}		@@aa	I	H	N	Z	V	C				
SHAR	B	2										—	—	↑	0	↑	2
SHLL	B	2										—	—	↑	0	↑	2
SHLR	B	2										—	—	0	↑	↑	2
ROTXL	B	2										—	—	↑	0	↑	2
ROTXR	B	2										—	—	↑	0	↑	2
ROTL	B	2										—	—	↑	0	↑	2
ROTR	B	2										—	—	↑	0	↑	2
BSET	B	2										—	—	—	—	—	2
BSET	B		4									—	—	—	—	—	8

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)				オペレーション	コンディションコード							実行 ステップ 数	
		#xx:8/16	Rn	@Rn	@(d:16, Rn) @-Rn/@Rn+ @aa:8/16 @(d:8, PC) @aa:8/16		I	H	N	Z	V	C			
BSET	B				4	(#xx:3 of @aa:8)→1	—	—	—	—	—	—	—	—	8
BSET Rn, Rd	B		2			(Rn8 of Rd8)→1	—	—	—	—	—	—	—	—	2
BSET Rn, @Rd	B			4		(Rn8 of @Rd16)→1	—	—	—	—	—	—	—	—	8
BSET Rn, @aa:8	B				4	(Rn8 of @aa:8)→1	—	—	—	—	—	—	—	—	8
BCLR	B		2			(#xx:3 of Rd8)→0	—	—	—	—	—	—	—	—	2
BCLR #xx:3, @Rd	B			4		(#xx:3 of @Rd16)→0	—	—	—	—	—	—	—	—	8
BCLR #xx:3, @aa:8	B				4	(#xx:3 of @aa:8)→0	—	—	—	—	—	—	—	—	8
BCLR Rn, Rd	B		2			(Rn8 of Rd8)→0	—	—	—	—	—	—	—	—	2
BCLR Rn, @Rd	B			4		(Rn8 of @Rd16)→0	—	—	—	—	—	—	—	—	8
BCLR Rn, @aa:8	B				4	(Rn8 of @aa:8)→0	—	—	—	—	—	—	—	—	8
BNOT	B		2			(#xx:3 of Rd8)→(#xx:3 of Rd8)	—	—	—	—	—	—	—	—	2
BNOT #xx:3, @Rd	B			4		(#xx:3 of @Rd16)→(#xx:3 of @Rd16)	—	—	—	—	—	—	—	—	8
BNOT #xx:3, @aa:8	B				4	(#xx:3 of @aa:8)→(#xx:3 of @aa:8)	—	—	—	—	—	—	—	—	8
BNOT Rn, Rd	B		2			(Rn8 of Rd8)→(Rn8 of Rd8)	—	—	—	—	—	—	—	—	2
BNOT Rn, @Rd	B			4		(Rn8 of @Rd16)→(Rn8 of @Rd16)	—	—	—	—	—	—	—	—	8
BNOT Rn, @aa:8	B				4	(Rn8 of @aa:8)→(Rn8 of @aa:8)	—	—	—	—	—	—	—	—	8
BTST	B		2			(#xx:3 of Rd8)→Z	—	—	—	—	—	↑	—	—	2
BTST #xx:3, @Rd	B			4		(#xx:3 of @Rd16)→Z	—	—	—	—	—	↑	—	—	6
BTST #xx:3, @aa:8	B				4	(#xx:3 of @aa:8)→Z	—	—	—	—	—	↑	—	—	6
BTST Rn, Rd	B		2			(Rn8 of Rd8)→Z	—	—	—	—	—	↑	—	—	2

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)				オペレーション	コンディションコード							実行 ステップ 数
		#xx:8/16	Rn	@Rn	@(d:16, Rn) @-Rn/@Rn+ @aa:8/16 @(d:8, PC) @/aaa		I	H	N	Z	V	C		
BTST	B		4			(Rn8 of @Rd16)→Z	—	—	—	↑	—	—	—	6
	B				4	(Rn8 of @aa:8)→Z	—	—	—	↑	—	—	—	6
BLD	B	2				(#xx:3 of Rd8)→C	—	—	—	—	—	—	↑	2
	B		4			(#xx:3 of @Rd16)→C	—	—	—	—	—	—	↑	6
	B				4	(#xx:3 of @aa:8)→C	—	—	—	—	—	—	↑	6
BILD	B	2				(#xx:3 of Rd8)→C	—	—	—	—	—	—	↑	2
	B		4			(#xx:3 of @Rd16)→C	—	—	—	—	—	—	↑	6
	B				4	(#xx:3 of @aa:8)→C	—	—	—	—	—	—	↑	6
BST	B	2				C→(#xx:3 of Rd8)	—	—	—	—	—	—	—	2
	B		4			C→(#xx:3 of @Rd16)	—	—	—	—	—	—	—	8
	B				4	C→(#xx:3 of @aa:8)	—	—	—	—	—	—	—	8
BIST	B	2				C→(#xx:3 of Rd8)	—	—	—	—	—	—	—	2
	B		4			C→(#xx:3 of @Rd16)	—	—	—	—	—	—	—	8
	B				4	C→(#xx:3 of @aa:8)	—	—	—	—	—	—	—	8
BAND	B	2				C∧(#xx:3 of Rd8)→C	—	—	—	—	—	—	↑	2
	B		4			C∧(#xx:3 of @Rd16)→C	—	—	—	—	—	—	↑	6
	B				4	C∧(#xx:3 of @aa:8)→C	—	—	—	—	—	—	↑	6
BIAND	B	2				C∧(#xx:3 of Rd8)→C	—	—	—	—	—	—	↑	2
	B		4			C∧(#xx:3 of @Rd16)→C	—	—	—	—	—	—	↑	6
	B				4	C∧(#xx:3 of @aa:8)→C	—	—	—	—	—	—	↑	6
BOR	B	2				C∨(#xx:3 of Rd8)→C	—	—	—	—	—	—	↑	2
	B		4			C∨(#xx:3 of @Rd16)→C	—	—	—	—	—	—	↑	6
	B				4	C∨(#xx:3 of @aa:8)→C	—	—	—	—	—	—	↑	6

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)						オペレーション	コンディションコード							実行 ユニット 数
		#xx:8/16	Rn	@Rn	@(d:16, Rn)	@Rn@Rn+	@aa:8/16		@(d:8, PC)	@aa	I	H	N	Z	V	
JMP	JMP @Rn	—		2						PC←Rn16	—	—	—	—	—	4
	JMP @aa:16	—					4			PC←aa:16	—	—	—	—	—	6
	JMP @aa:8	—						2		PC←@aa:8	—	—	—	—	—	8
BSR	BSR d:8	—						2		SP-2←SP PC←@SP	—	—	—	—	—	6
		—								PC←PC+d:8	—	—	—	—	—	
		—								SP-2←SP PC←@SP	—	—	—	—	—	6
JSR	JSR @Rn	—						2		SP-2←SP PC←@SP	—	—	—	—	—	6
		—								PC←Rn16	—	—	—	—	—	
		—								SP-2←SP PC←@SP	—	—	—	—	—	8
JSR @aa:16	JSR @aa:16	—							4		—	—	—	—	—	8
		—								PC←@SP	—	—	—	—	—	
		—								PC←aa:16	—	—	—	—	—	8
RTS	RTS	—								SP-2←SP PC←@SP	—	—	—	—	—	8
		—								PC←@aa:8	—	—	—	—	—	
		—								PC←@SP	—	—	—	—	—	8
RTE	RTE	—								SP+2←SP	—	—	—	—	—	
		—								CCR←@SP SP+2←SP PC←@SP SP+2←SP	↑	↑	↑	↑	↑	↑

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)						オペレーション	コンディションコード							実行 ステップ 数
		#xx:8/16	Rn	@Rn	@(d:16, Rn)	@Rn	@(d:8, PC)		@aa	I	H	N	Z	V	C	
SLEEP	—							2	低消費電力状態に遷移	—	—	—	—	—	—	2
LDC	B	2							#xx:8→CCR	↑	↑	↑	↑	↑	↑	2
	B		2						R8→CCR	↑	↑	↑	↑	↑	↑	2
STC	B		2						CCR→Rd8	—	—	—	—	—	—	2
ANDC	B	2							CCRΛ#xx:8→CCR	↑	↑	↑	↑	↑	↑	2
ORC	B	2							CCR V#xx:8→CCR	↑	↑	↑	↑	↑	↑	2
XORC	B	2							CCR ⊕ #xx:8→CCR	↑	↑	↑	↑	↑	↑	2
NOP	—							2	PC←PC+2	—	—	—	—	—	—	2
EEMOV	—							4	if R4L≠0 Repeat @R5→@R6 R5+1→R5 R6+1→R6 R4L-1→R4L Until R4L=0 else next;	—	—	—	—	—	—	(4)

- 【注】
- ビット11から桁上がりまたはビット11へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。
 - 演算結果がゼロのとき、演算前の値を保持し、それ以外のとき0にクリアされます。
 - 補正結果に桁上がりが発生したとき1にセットされ、それ以外のとき演算前の値を保持します。
 - 実行ステップ数は、R4Lの設定値がnのとき4n+9となります。H8/38004グループ、H8/38002Sグループ、H8/38104グループでは4n+8となります。
 - 除数が負のとき1にセットされ、それ以外のとき0にクリアされます。
 - 除数がゼロのとき1にセットされ、それ以外のとき0にクリアされます。

A.2 オペレーションコードマップ

表 A.2 にオペレーションコードマップを示します。表 A.2 では、命令コードの第 1 バイト（第 1 ワードのビット 15～8）についてのみ示しています。

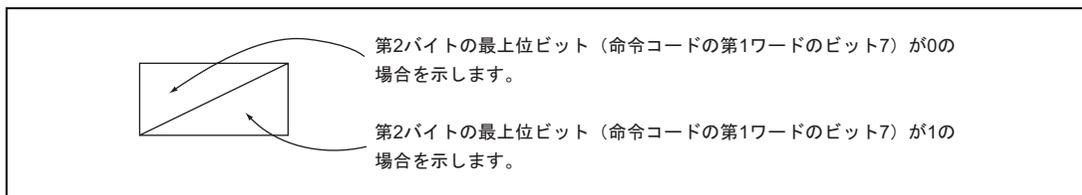


表 A.2 オペレーションコードマップ

HI	LO	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NOP	SLEEP	STC	LDC	LDC	ORC	XORC	ANDC	LDC	ADD	ADD	INC	ADDS	MOV	ADDX	DAA	
1	SHL SHAR	SHLR SHAR	ROTL ROTR	ROTXR ROTR	AND	OR	XOR	AND	NOT NEG	SUB	SUB	DEC	SUBS	CMP	SUBX	DAS	
2	MOV																
3	MOV																
4	BRA	BRN	BHI	BLS	BNE	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
5	MULXU	DIVXU				RTS	BSR	RTE				JMP				JSR	
6	BSET	BNOT	BCLR	BTST	BOR	BOR	BAND	BAND	BST	BST	BLT	BST	MOV*				
7	ビット操作命令																
8	ADD																
9	ADDX																
A	CMP																
B	SUBX																
C	OR																
D	XOR																
E	AND																
F	MOV																

【注】 * PUSH、POP命令の機械語はMOV命令と同一です。

A.3 命令実行ステート数

H8/300L CPU の各命令についての実行状態と実行ステート数の計算方法を示します。

表 A.4 に命令の実行状態として、命令実行中に行われる命令フェッチ、データリード/ライトなどのサイクル数を示し、表 A.3 におのこのサイクルに必要なステート数を示します。命令の実行ステート数は次の計算式で計算されます。

$$\text{実行ステート数} = I \times S_I + J \times S_J + K \times S_K + L \times S_L + M \times S_M + N \times S_N$$

- 実行ステート数計算例

(例) 内蔵 ROM より命令をフェッチし、内蔵 RAM をアクセスした場合

- 1.BSET #0, @FF00

表 A.4 より

$$I = L = 2, J = K = M = N = 0$$

表 A.3 より

$$S_I = 2, S_L = 2$$

$$\text{実行ステート数} = 2 \times 2 + 2 \times 2 = 8$$

内蔵ROMより命令をフェッチし、内蔵ROMより分岐アドレスをリード、スタック領域は内蔵RAMとした場合

- 2.JSR @@30

表 A.4 より

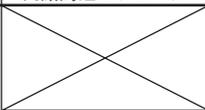
$$I = 2, J = K = 1, L = M = N = 0$$

表 A.3 より

$$S_I = S_J = S_K = 2$$

$$\text{実行ステート数} = 2 \times 2 + 1 \times 2 + 1 \times 2 = 8$$

表 A.3 実行状態 (サイクル) に要するステート数

実行状態 (サイクル)		アクセス対象		
		内蔵メモリ	内蔵周辺モジュール	
命令フェッチ	S_I	2		
分岐アドレスリード	S_J			
スタック操作	S_K			
バイトデータアクセス	S_L			2または3*
ワードデータアクセス	S_M			
内部動作	S_N	1		

【注】 * 内蔵周辺モジュールによって異なります。詳細は、「16.1 レジスタアドレス一覧 (アドレス順)」を参照してください。

表 A.4 命令の実行状態（サイクル数）

		命令 フェッチ	分岐アド レスリード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
命令	ニーモニック	I	J	K	L	M	N
ADD	ADD.B #xx:8, Rd	1					
	ADD.B Rs, Rd	1					
	ADD.W Rs, Rd	1					
ADDS	ADDS.W #1, Rd	1					
	ADDS.W #2, Rd	1					
ADDX	ADDX.B #xx:8, Rd	1					
	ADDX.B Rs, Rd	1					
AND	AND.B #xx:8, Rd	1					
	AND.B Rs, Rd	1					
ANDC	ANDC #xx:8, CCR	1					
BAND	BAND #xx:3, Rd	1					
	BAND #xx:3, @Rd	2			1		
	BAND #xx:3, @aa:8	2			1		
Bcc	BRA d:8 (BT d:8)	2					
	BRN d:8 (BF d:8)	2					
	BHId:8	2					
	BLSD:8	2					
	BCC d:8 (BHS d:8)	2					
	BCS d:8 (BLO d:8)	2					
	BNEd:8	2					
	BEQd:8	2					
	BVCd:8	2					
	BVSD:8	2					
	BPLd:8	2					
	BMId:8	2					
	BGEd:8	2					
	BLTd:8	2					
	BGTd:8	2					
BLEd:8	2						
BCLR	BCLR #xx:3, Rd	1					
	BCLR #xx:3, @Rd	2			2		
	BCLR #xx:3, @aa:8	2			2		
	BCLR Rn, Rd	1					
	BCLR Rn, @Rd	2			2		
	BCLR Rn, @aa:8	2			2		

		命令 フェッチ	分岐アド レスリード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
命令	ニーモニック	I	J	K	L	M	N
BIAND	BIAND #xx:3, Rd	1					
	BIAND #xx:3, @Rd	2			1		
	BIAND #xx:3, @aa:8	2			1		
BILD	BILD #xx:3, Rd	1					
	BILD #xx:3, @Rd	2			1		
	BILD #xx:3, @aa:8	2			1		
BIOR	BIOR #xx:3, Rd	1					
	BIOR #xx:3, @Rd	2			1		
	BIOR #xx:3, @aa:8	2			1		
BIST	BIST #xx:3, Rd	1					
	BIST #xx:3, @Rd	2			2		
	BIST #xx:3, @aa:8	2			2		
BIXOR	BIXOR #xx:3, Rd	1					
	BIXOR #xx:3, @Rd	2			1		
	BIXOR #xx:3, @aa:8	2			1		
BLD	BLD #xx:3, Rd	1					
	BLD #xx:3, @Rd	2			1		
	BLD #xx:3, @aa:8	2			1		
BNOT	BNOT #xx:3, Rd	1					
	BNOT #xx:3, @Rd	2			2		
	BNOT #xx:3, @aa:8	2			2		
	BNOT Rn, Rd	1					
	BNOT Rn, @Rd	2			2		
	BNOT Rn, @aa:8	2			2		
BOR	BOR #xx:3, Rd	1					
	BOR #xx:3, @Rd	2			1		
	BOR #xx:3, @aa:8	2			1		
BSET	BSET #xx:3, Rd	1					
	BSET #xx:3, @Rd	2			2		
	BSET #xx:3, @aa:8	2			2		
	BSET Rn, Rd	1					
	BSET Rn, @Rd	2			2		
	BSET Rn, @aa:8	2			2		
BSR	BSR d:8	2		1			

付録

		命令 フェッチ	分岐アド レスリード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
命令	ニーモニック	I	J	K	L	M	N
BST	BST #xx:3, Rd	1					
	BST #xx:3, @Rd	2			2		
	BST #xx:3, @aa:8	2			2		
BTST	BTST #xx:3, Rd	1					
	BTST #xx:3, @Rd	2			1		
	BTST #xx:3, @aa:8	2			1		
	BTST Rn, Rd	1					
	BTST Rn, @Rd	2			1		
	BTST Rn, @aa:8	2			1		
BXOR	BXOR #xx:3, Rd	1					
	BXOR #xx:3, @Rd	2			1		
	BXOR #xx:3, @aa:8	2			1		
CMP	CMP.B #xx:8, Rd	1					
	CMP.B Rs, Rd	1					
	CMP.W Rs, Rd	1					
DAA	DAA.B Rd	1					
DAS	DAS.B Rd	1					
DEC	DEC.B Rd	1					
DIVXU	DIVXU.B Rs, Rd	1					12
EPMOV	EPMOV	2			2n + 2*		1
INC	INC.B Rd	1					
JMP	JMP @Rn	2					2
	JMP @aa:16	2					2
	JMP @@aa:8	2	1				2
JSR	JSR @Rn	2		1			2
	JSR @aa:16	2		1			2
	JSR @@aa:8	2	1	1			2
LDC	LDC #xx:8, CCR	1					
	LDC Rs, CCR	1					
MOV	MOV.B #xx:8, Rd	1					
	MOV.B Rs, Rd	1					
	MOV.B @Rs, Rd	1		1			
	MOV.B @(d:16, Rs), Rd	2		1			
	MOV.B @Rs+, Rd	1		1			2
	MOV.B @aa:8, Rd	1		1			
	MOV.B @aa:16, Rd	2		1			

		命令 フェッチ	分岐アド レスリード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
命令	ニーモニック	I	J	K	L	M	N
MOV	MOV.B Rs, @Rd	1			1		
	MOV.B Rs, @(d:16, Rd)	2			1		
	MOV.B Rs, @-Rd	1			1		2
	MOV.B Rs, @aa:8	1			1		
	MOV.B Rs, @aa:16	2			1		
	MOV.W #xx:16, Rd	2					
	MOV.W Rs, Rd	1					
	MOV.W @Rs, Rd	1					1
	MOV.W @(d:16, Rs), Rd	2					1
	MOV.W @Rs+, Rd	1					1
	MOV.W @aa:16, Rd	2					1
	MOV.W Rs, @Rd	1					1
	MOV.W Rs, @(d:16, Rd)	2					1
	MOV.W Rs, @-Rd	1					1
	MOV.W Rs, @aa:16	2					1
MULXU	MULXU.B Rs, Rd	1					12
NEG	NEG.B Rd	1					
NOP	NOP	1					
NOT	NOT.B Rd	1					
OR	OR.B #xx:8, Rd	1					
	OR.B Rs, Rd	1					
ORC	ORC #xx:8, CCR	1					
ROTL	ROTL.B Rd	1					
ROTR	ROTR.B Rd	1					
ROTXL	ROTXL.B Rd	1					
ROTXR	ROTXR.B Rd	1					
RTE	RTE	2		2			2
RTS	RTS	2		1			2
SHAL	SHAL.B Rd	1					
SHAR	SHAR.B Rd	1					
SHLL	SHLL.B Rd	1					
SHLR	SHLR.B Rd	1					
SLEEP	SLEEP	1					
STC	STC CCR, Rd	1					

付録

		命令 フェッチ	分岐アド レスリード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
命令	ニーモニック	I	J	K	L	M	N
SUB	SUB.B Rs, Rd	1					
	SUB.W Rs, Rd	1					
SUBS	SUBS.W #1, Rd	1					
	SUBS.W #2, Rd	1					
POP	POP Rd	1		1			2
PUSH	PUSH Rs	1		1			2
SUBX	SUBX.B #xx:8, Rd	1					
	SUBX.B Rs, Rd	1					
XOR	XOR.B #xx:8, Rd	1					
	XOR.B Rs, Rd	1					
XORC	XORC #xx:8, CCR	1					

【注】* n は R4L の設定値です。ソース側、デスティネーション側のアクセスが、それぞれ (n+1) 回行われます。

B. I/O ポートブロック図

B.1 ポート 3 ブロック図

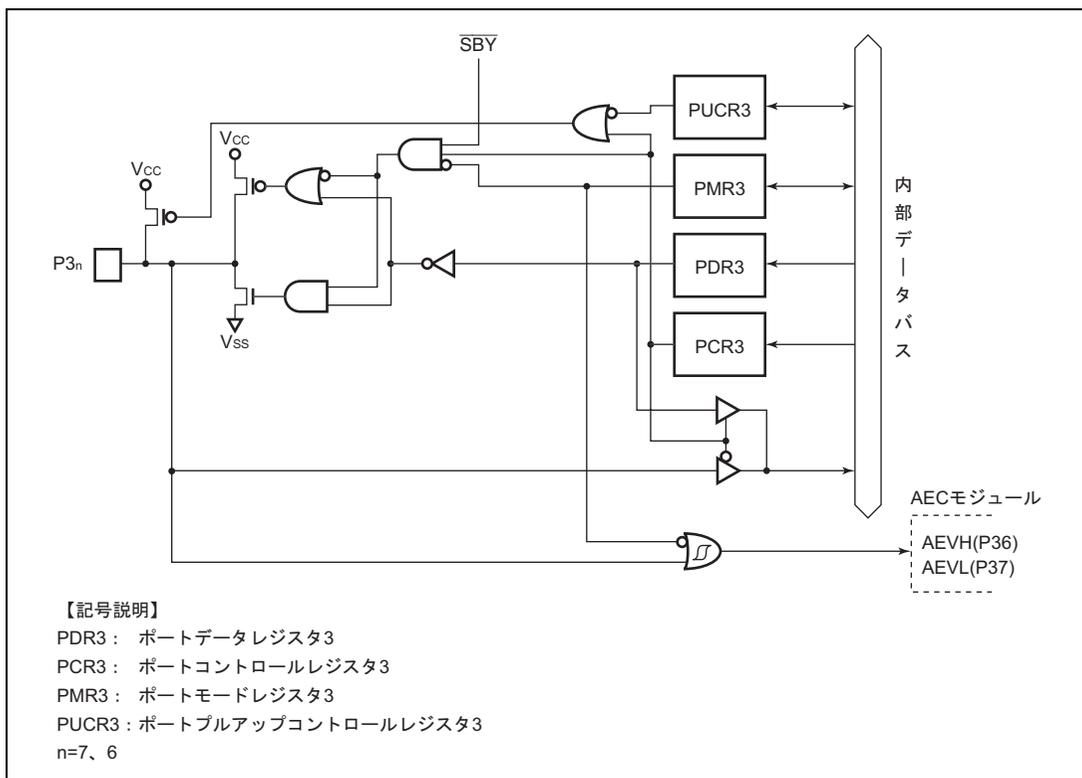


図 B.1 (a) ポート 3 ブロック図 (P37、P36 端子)

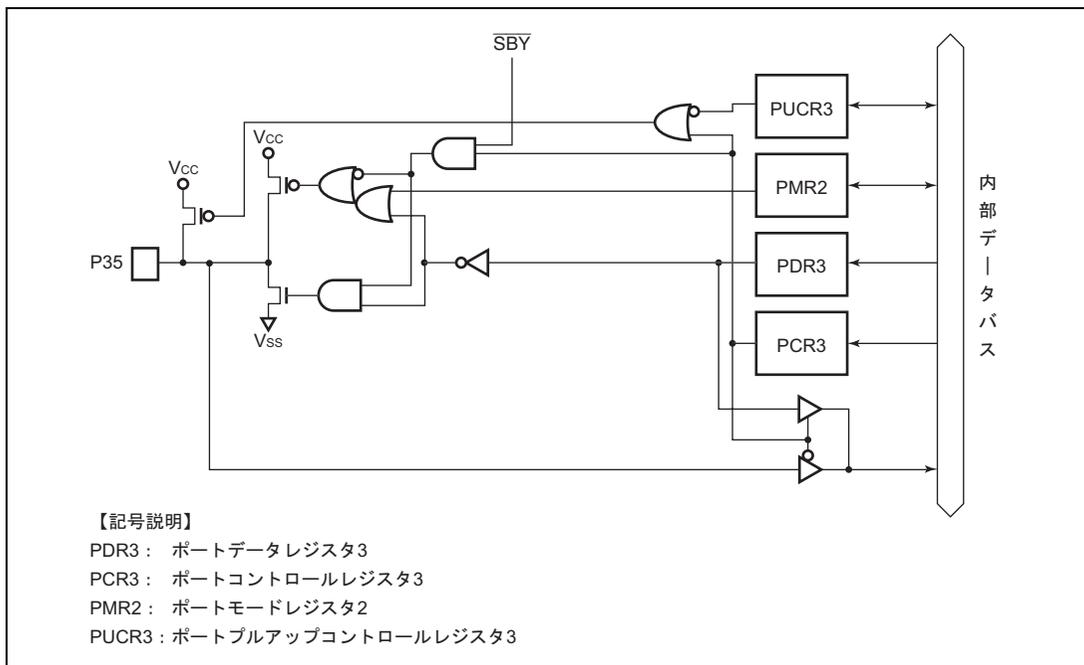


図 B.1 (b) ポート 3 ブロック図 (P35 端子)

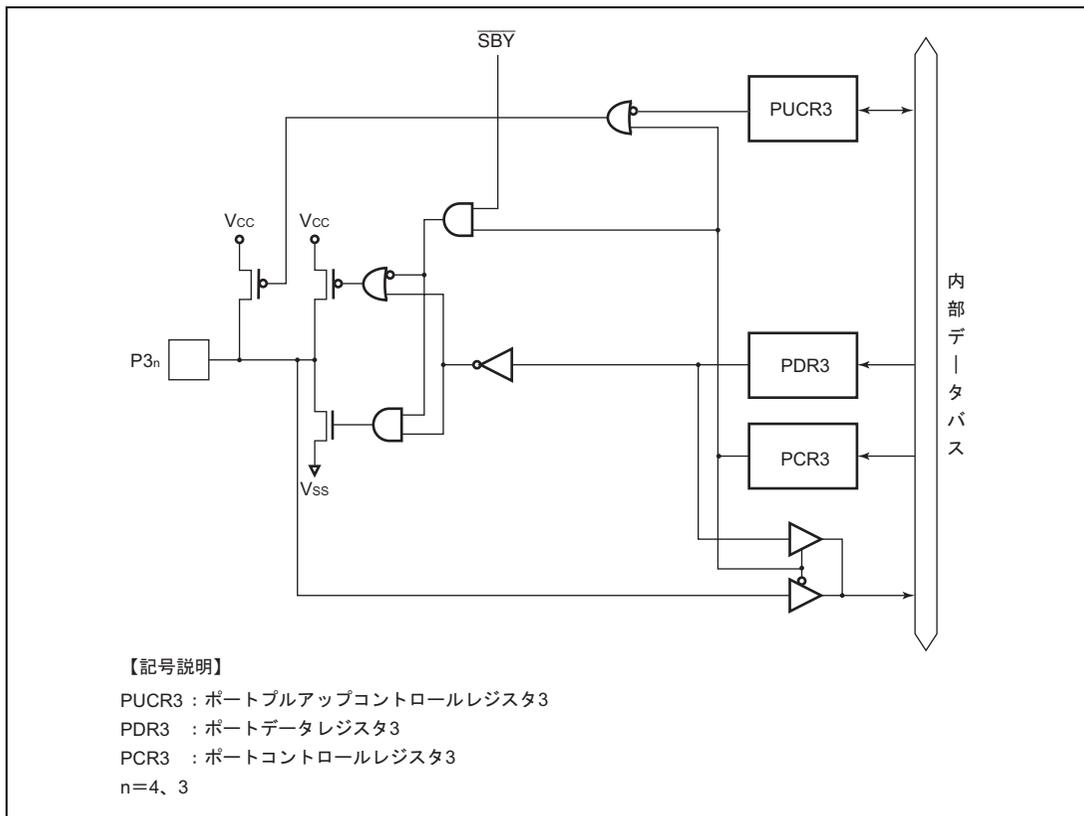


図 B.1 (c) ポート 3 ブロック図 (P34、P33 端子)

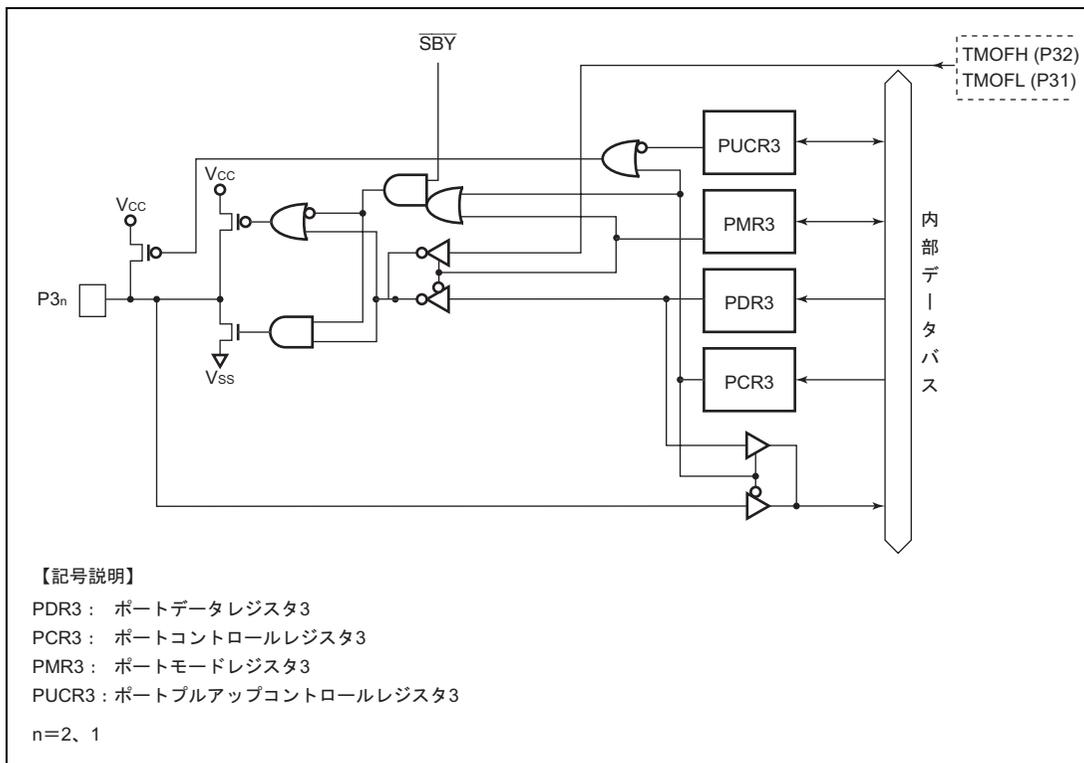


図 B.1 (d) ポート 3 ブロック図 (P32、P31 端子)

B.2 ポート4ブロック図

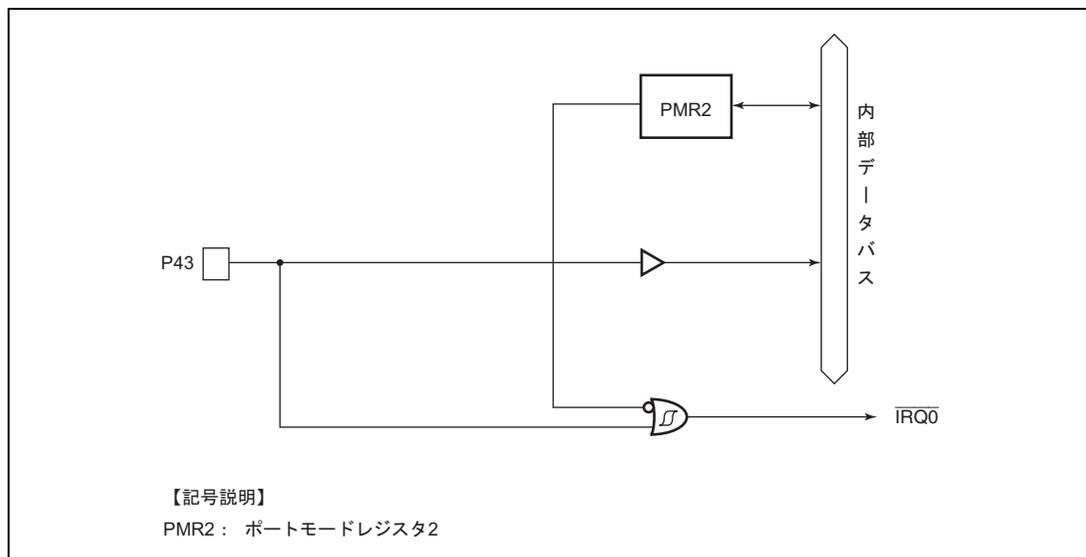


図 B.2 (a) ポート4ブロック図 (P43 端子)

B.3 ポート5ブロック図

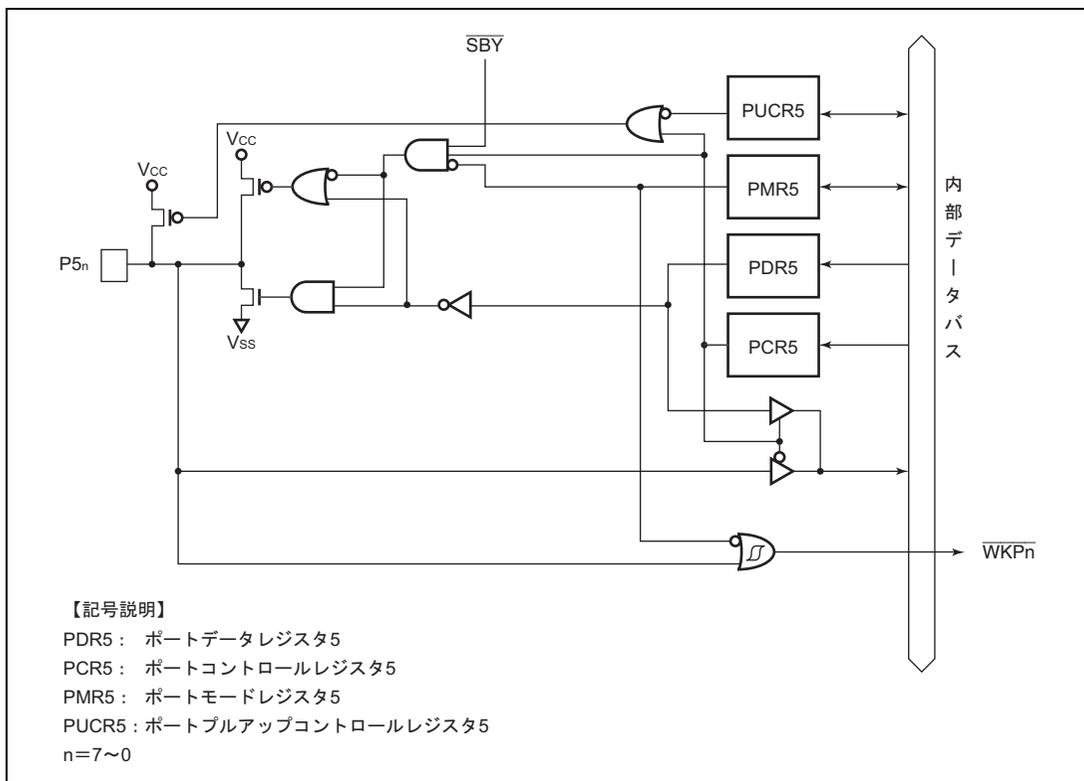


図 B.3 ポート5ブロック図

B.4 ポート6ブロック図

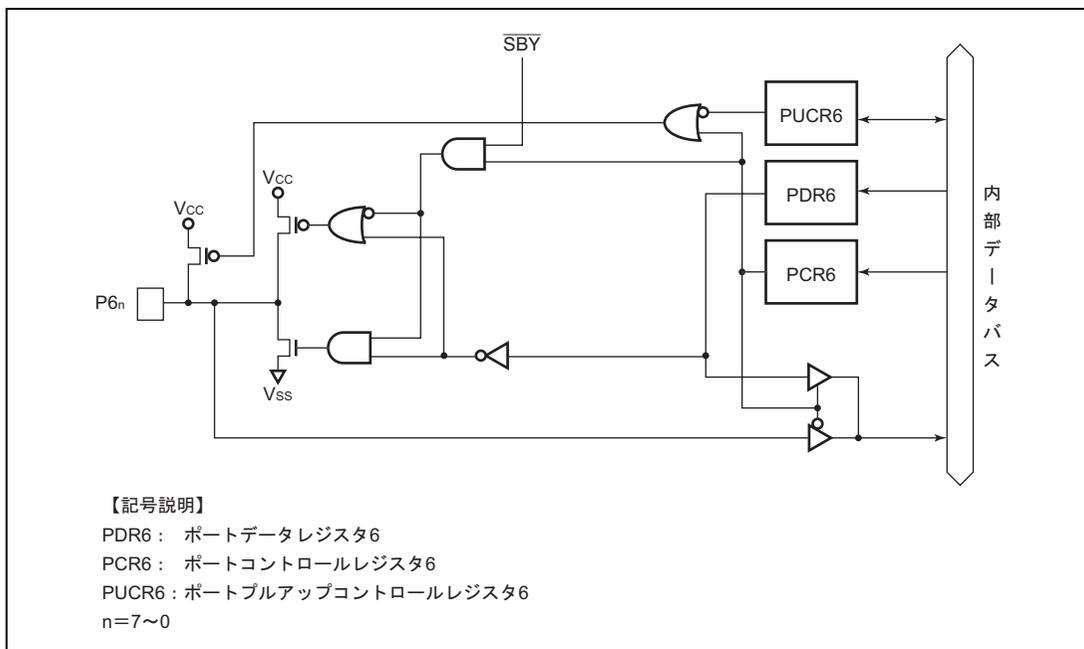


図 B.4 ポート6ブロック図

B.5 ポート7ブロック図

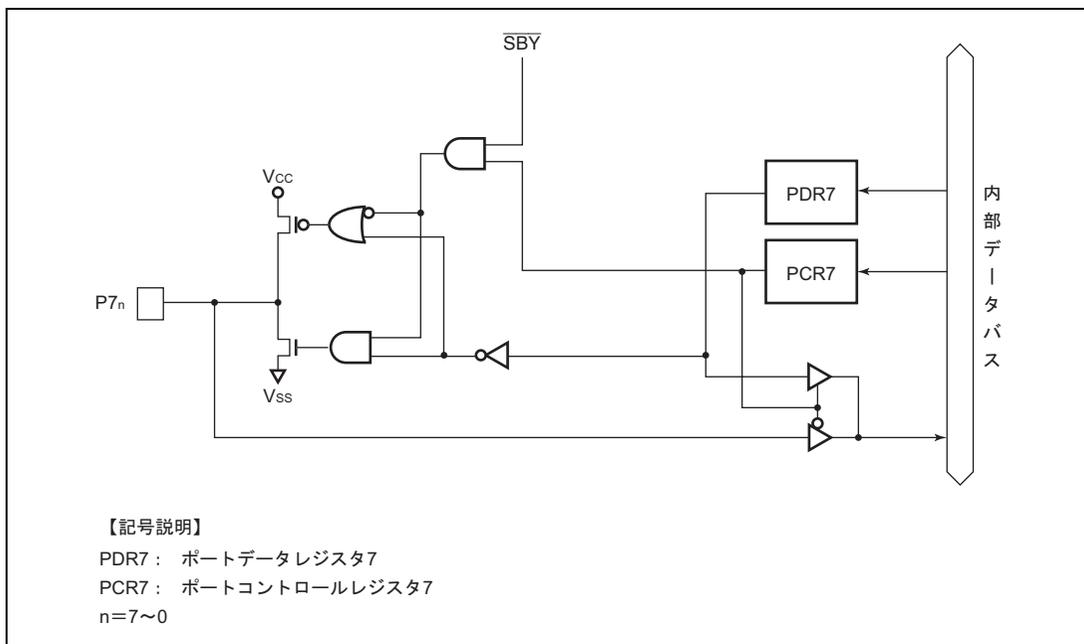


図 B.5 ポート7ブロック図

B.6 ポート 8 ブロック図

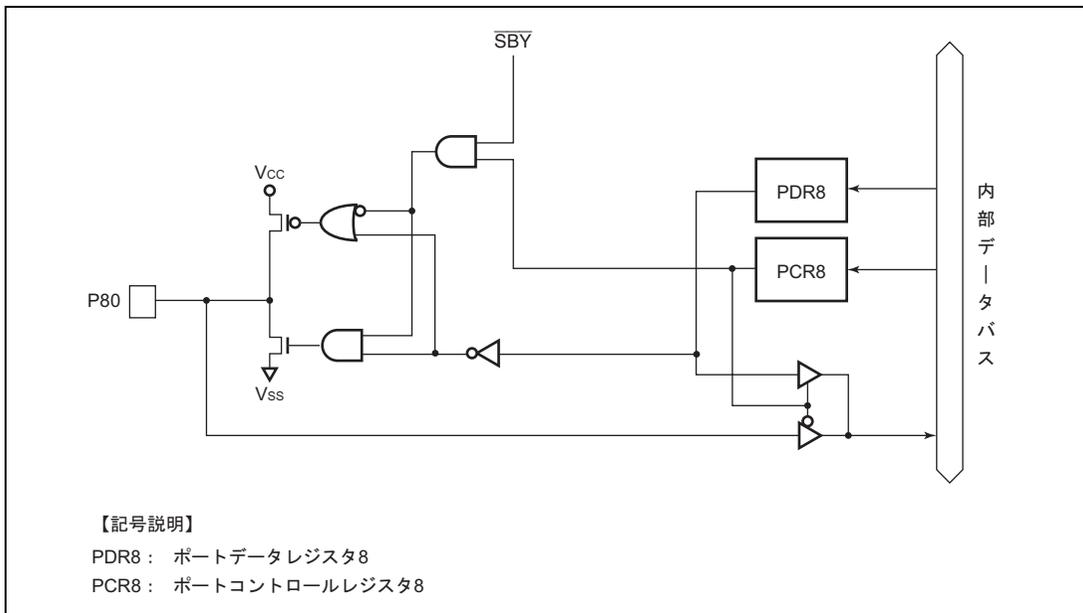


図 B.6 ポート 8 ブロック図 (P80 端子)

B.7 ポート 9 ブロック図

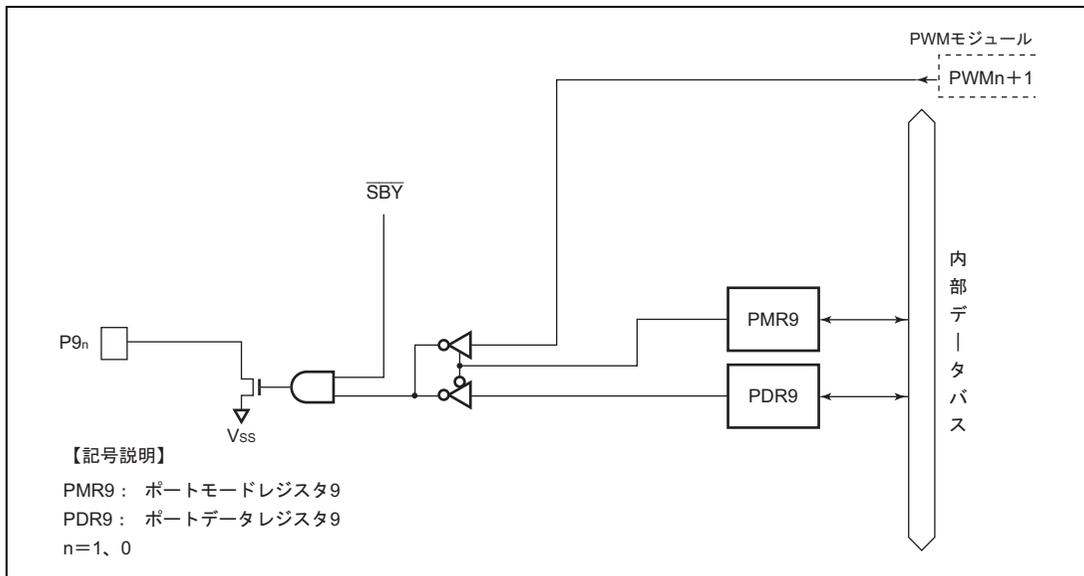


図 B.7 (a) ポート 9 ブロック図 (P91、P90 端子)

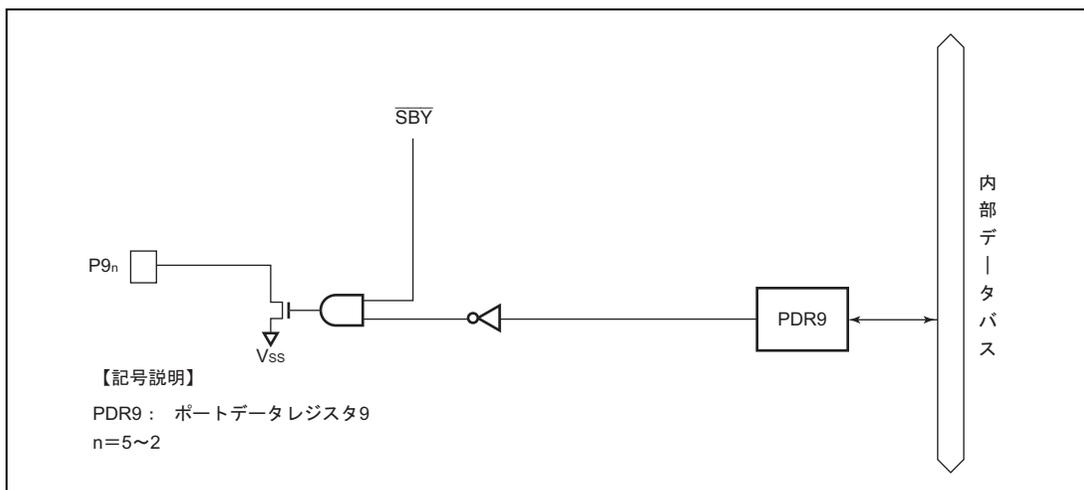


図 B.7 (b) ポート 9 ブロック図 (P95 ~ P92 端子)

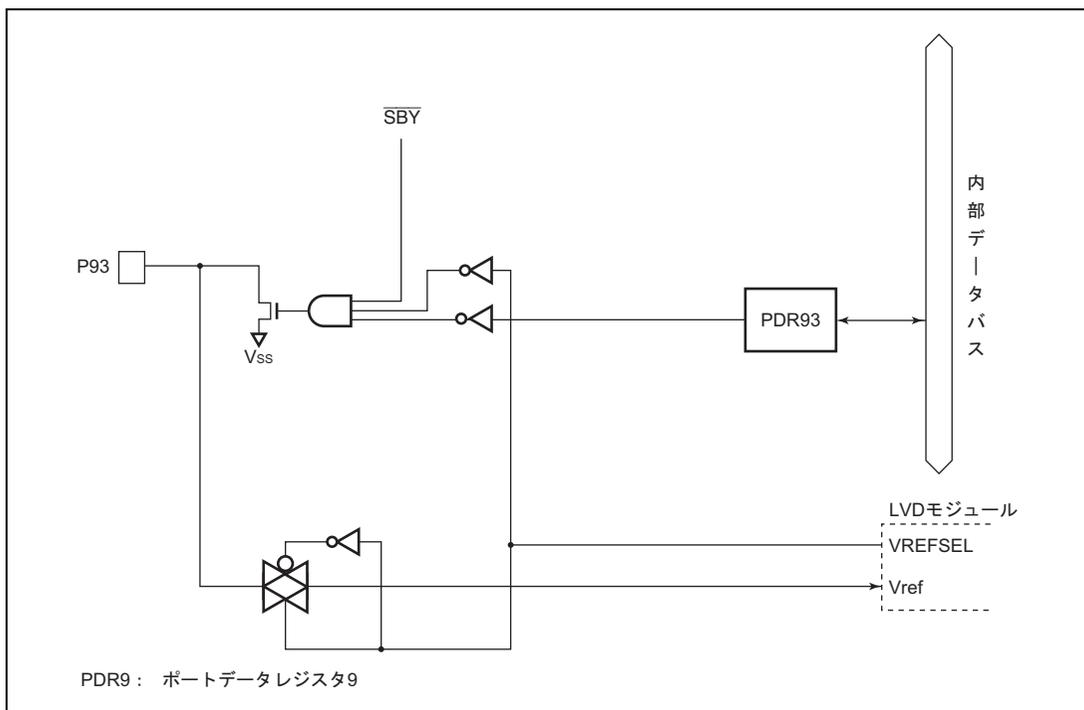


図 B.7 (c) ポート 9 ブロック図 (P93 端子、H8/38104 グループのみ)

B.8 ポート A ブロック図

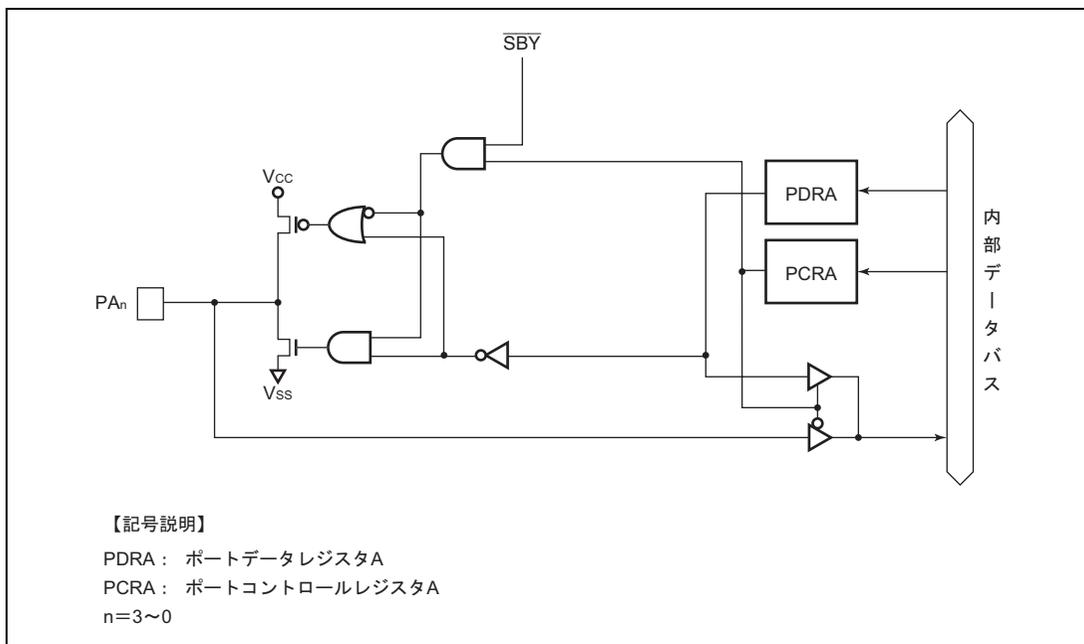


図 B.8 ポート A ブロック図

B.9 ポート B ブロック図

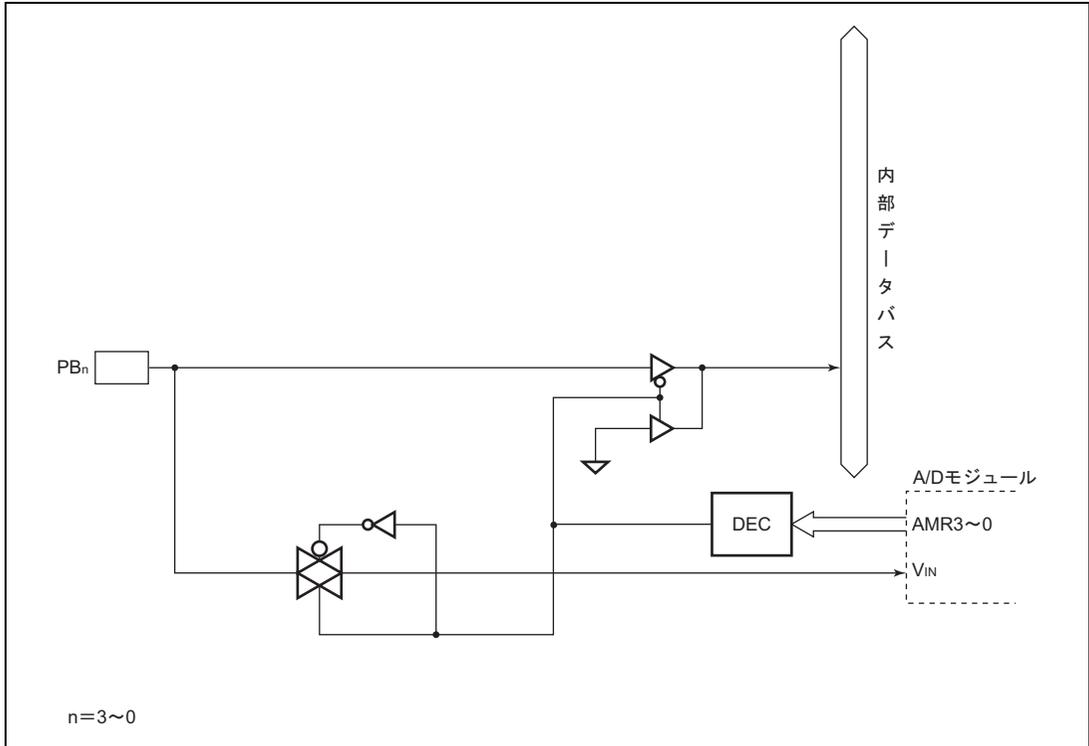


図 B.9 (a) ポート B ブロック図

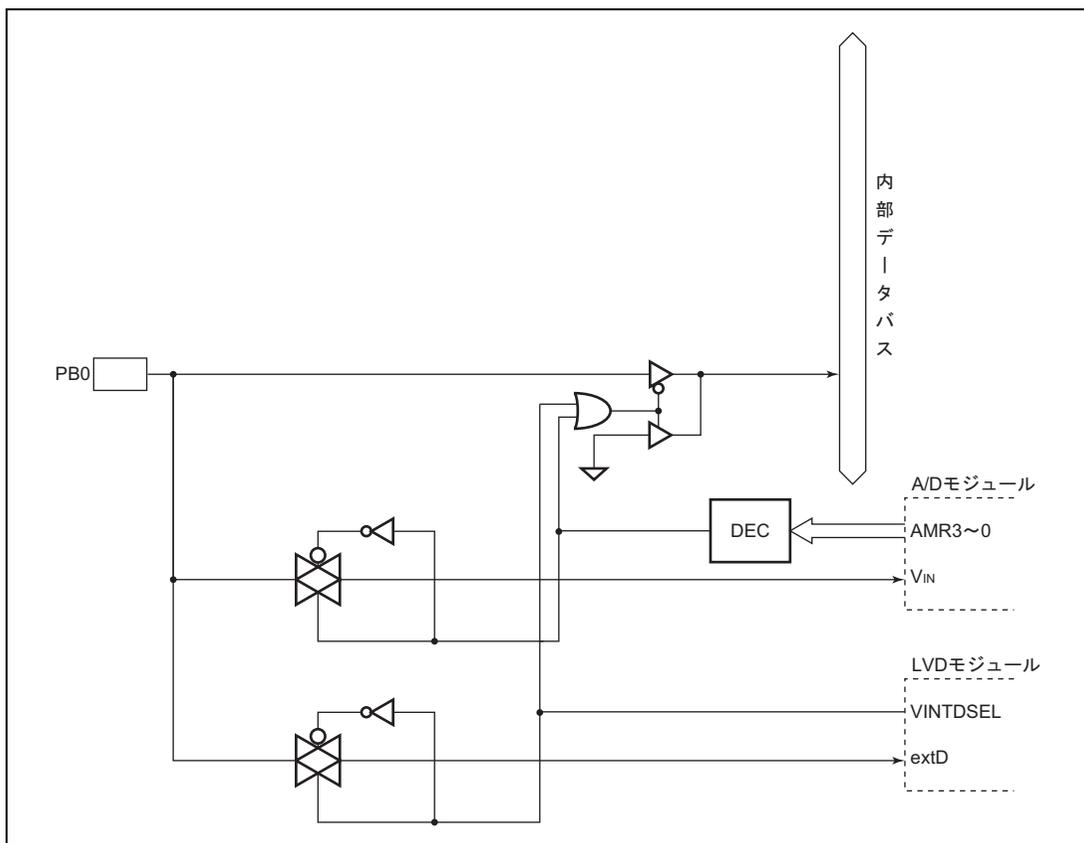


図 B.9 (b) ポート B ブロック図 (PB0 端子、H8/38104 グループのみ)

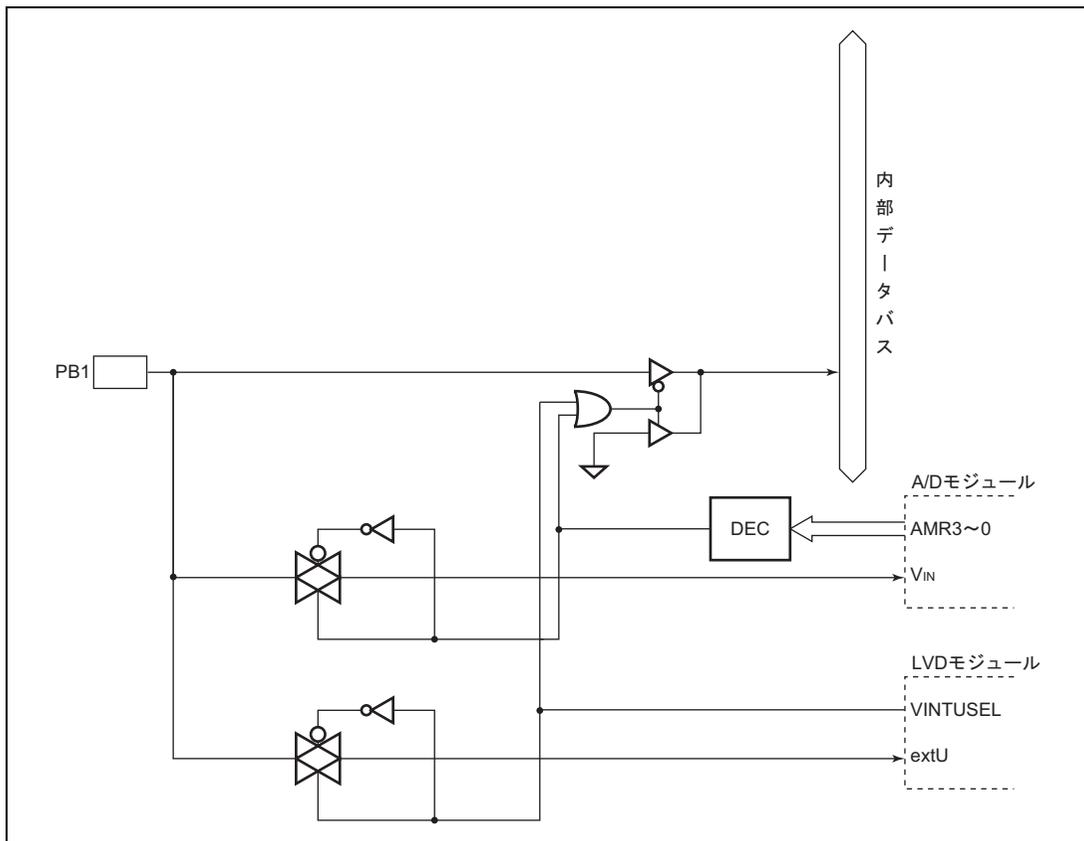


図 B.9 (c) ポート B ブロック図 (PB1 端子、H8/38104 グループのみ)

C. 各処理状態におけるポートの状態

表 C.1 各ポートの状態一覧

ポート名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P37～P31	ハイインピーダンス	保持	保持	ハイインピーダンス*	保持	動作	動作
P43～P40	ハイインピーダンス	保持	保持	ハイインピーダンス	保持	動作	動作
P57～P50	ハイインピーダンス	保持	保持	ハイインピーダンス*	保持	動作	動作
P67～P60	ハイインピーダンス	保持	保持	ハイインピーダンス*	保持	動作	動作
P77～P70	ハイインピーダンス	保持	保持	ハイインピーダンス	保持	動作	動作
P80	ハイインピーダンス	保持	保持	ハイインピーダンス	保持	動作	動作
P95～P90	ハイインピーダンス	保持	保持	ハイインピーダンス	保持	動作	動作
PA3～PA0	ハイインピーダンス	保持	保持	ハイインピーダンス	保持	動作	動作
PB3～PB0	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス

【注】 * ブルアップ MOS が ON 状態では High レベル出力となります。

D. 製品型名一覧

表 D.1 H8/3802 グループ型名一覧

製品分類			製品型名	マーク型名	パッケージ (パッケージコード)	
H8/3802	PROM 版	通常仕様品	HD6473802H	HD6473802H	64 ピン QFP (FP-64A)	
			HD6473802FP	HD6473802FP	64 ピン LQFP (FP-64E)	
			HD6473802P	HD6473802P	64 ピン DILP (DP-64S)	
		広温度範囲 仕様品	HD6473802D	HD6473802H	64 ピン QFP (FP-64A)	
			HD6473802FPI	HD6473802FP	64 ピン LQFP (FP-64E)	
			HD6473802Q	HD6473802P	64 ピン DILP (DP-64S)	
	マスク ROM 版	通常仕様品	HD6433802H	HD6433802 (***) H	64 ピン QFP (FP-64A)	
			HD6433802FP	HD6433802 (***) FP	64 ピン LQFP (FP-64E)	
			HD6433802P	HD6433802 (***) P	64 ピン DILP (DP-64S)	
			HCD6433802	-	チップ	
		広温度範囲 仕様品	HD6433802D	HD6433802 (***) H	64 ピン QFP (FP-64A)	
			HD6433802Q	HD6433802 (***) P	64 ピン DILP (DP-64S)	
H8/3801	マスク ROM 版	通常仕様品	HD6433801H	HD6433801 (***) H	64 ピン QFP (FP-64A)	
			HD6433801FP	HD6433801 (***) FP	64 ピン LQFP (FP-64E)	
			HD6433801P	HD6433801 (***) P	64 ピン DILP (DP-64S)	
			HCD6433801	-	チップ	
		広温度範囲 仕様品	HD6433801D	HD6433801 (***) H	64 ピン QFP (FP-64A)	
			HD6433801FPI	HD6433801 (***) FP	64 ピン LQFP (FP-64E)	
	HD6433801Q		HD6433801 (***) P	64 ピン DILP (DP-64S)		
	H8/3800	マスク ROM 版	通常仕様品	HD6433800H	HD6433800 (***) H	64 ピン QFP (FP-64A)
				HD6433800FP	HD6433800 (***) FP	64 ピン LQFP (FP-64E)
HD6433800P				HD6433800 (***) P	64 ピン DILP (DP-64S)	
HCD6433800				-	チップ	
広温度範囲 仕様品			HD6433800D	HD6433800 (***) H	64 ピン QFP (FP-64A)	
			HD6433800Q	HD6433800 (***) P	64 ピン DILP (DP-64S)	

【注】 マスク ROM 版の (***) は ROM コードです。

表 D.2 H8/38004 グループ型名一覧

製品分類			製品型名	マーク型名	パッケージ (パッケージコード)
H8/38004	フラッシュメモリ版	通常仕様品 (2.7V)	HD64F38004H10	64F38004H10	64ピン QFP (FP-64A)
			HD64F38004FP10	F38004FP10	64ピン LQFP (FP-64E)
			HD64F38004FT10	F38004FT10	64ピン QFN (TNP-64B)
			HCD64F38004	-	チップ
		通常仕様品 (2.2V)	HD64F38004H4	64F38004H4	64ピン QFP (FP-64A)
			HD64F38004FP4	F38004FP4	64ピン LQFP (FP-64E)
			HD64F38004FT4	F38004FT4	64ピン QFN (TNP-64B)
			HCD64F38004C4	-	チップ
		広温度範囲 仕様品 (2.7V)	HD64F38004H10W	64F38004H10	64ピン QFP (FP-64A)
			HD64F38004FP10W	F38004FP10	64ピン LQFP (FP-64E)
			HD64F38004FT10W	F38004FT10	64ピン QFN (TNP-64B)
		マスク ROM 版	通常仕様品	HD64338004H	HD64338004H
	HD64338004FP			38004 (***) FP	64ピン LQFP (FP-64E)
	HD64338004FT			38004 (***) FT	64ピン QFN (TNP-64B)
	HCD64338004			-	チップ
	広温度範囲 仕様品		HD64338004HW	HD64338004H	64ピン QFP (FP-64A)
HD64338004FPW			38004 (***) FP	64ピン LQFP (FP-64E)	
	HD64338004FTW	38004 (***) FT	64ピン QFN (TNP-64B)		
H8/38003	マスク ROM 版	通常仕様品	HD64338003H	HD64338003H	64ピン QFP (FP-64A)
			HD64338003FP	38003 (***) FP	64ピン LQFP (FP-64E)
			HD64338003FT	38003 (***) FT	64ピン QFN (TNP-64B)
			HCD64338003	-	チップ
		広温度範囲 仕様品	HD64338003HW	HD64338003H	64ピン QFP (FP-64A)
			HD64338003FPW	38003 (***) FP	64ピン LQFP (FP-64E)
	HD64338003FTW	38003 (***) FT	64ピン QFN (TNP-64B)		
H8/38002	フラッシュメモリ版	通常仕様品 (2.7V)	HD64F38002H10	64F38002H10	64ピン QFP (FP-64A)
			HD64F38002FP10	F38002FP10	64ピン LQFP (FP-64E)
			HD64F38002FT10	F38002FT10	64ピン QFN (TNP-64B)
			HCD64F38002	-	チップ
		通常仕様品 (2.2V)	HD64F38002H4	64F38002H4	64ピン QFP (FP-64A)
			HD64F38002FP4	F38002FP4	64ピン LQFP (FP-64E)
			HD64F38002FT4	F38002FT4	64ピン QFN (TNP-64B)
			HCD64F38002C4	-	チップ
		広温度範囲 仕様品 (2.7V)	HD64F38002H10W	64F38002H10	64ピン QFP (FP-64A)
			HD64F38002FP10W	F38002FP10	64ピン LQFP (FP-64E)
			HD64F38002FT10W	F38002FT10	64ピン QFN (TNP-64B)

付録

製品分類			製品型名	マーク型名	パッケージ (パッケージコード)
H8/38002	マスク ROM 版	通常仕様品	HD64338002H	HD64338002H	64 ピン QFP (FP-64A)
			HD64338002FP	38002 (***) FP	64 ピン LQFP (FP-64E)
			HD64338002FT	38002 (***) FT	64 ピン QFN (TNP-64B)
			HCD64338002	-	チップ
		広温度範囲 仕様品	HD64338002HW	HD64338002H	64 ピン QFP (FP-64A)
			HD64338002FPW	38002 (***) FP	64 ピン LQFP (FP-64E)
		HD64338002FTW	38002 (***) FT	64 ピン QFN (TNP-64B)	
H8/38001	マスク ROM 版	通常仕様品	HD64338001H	HD64338001H	64 ピン QFP (FP-64A)
			HD64338001FP	38001 (***) FP	64 ピン LQFP (FP-64E)
			HCD64338001	-	チップ
		広温度範囲 仕様品	HD64338001HW	HD64338001H	64 ピン QFP (FP-64A)
			HD64338001FPW	38001 (***) FP	64 ピン LQFP (FP-64E)
H8/38000	マスク ROM 版	通常仕様品	HD64338000H	HD64338000H	64 ピン QFP (FP-64A)
			HD64338000FP	38000 (***) FP	64 ピン LQFP (FP-64E)
			HCD64338000	-	チップ
		広温度範囲 仕様品	HD64338000HW	HD64338000H	64 ピン QFP (FP-64A)
			HD64338000FPW	38000 (***) FP	64 ピン LQFP (FP-64E)

【注】 マスク ROM 版の (***) は ROM コードです。

表 D.3 H8/38002S グループ型名一覧

製品分類			製品型名	マーク型名	パッケージ (パッケージコード)
H8/38002S	マスク ROM 版	通常仕様品	HD64338002SH	38002 (***) H	64 ピン QFP (FP-64A)
			HD64338002SFZ	38002 (***)	64 ピン LQFP (FP-64K)
			HD64338002SFT	38002 (***) FT	64 ピン QFN (TNP-64B)
		広温度範囲 仕様品	HD64338002SHW	38002 (***) H	64 ピン QFP (FP-64A)
			HD64338002SFZW	38002 (***)	64 ピン LQFP (FP-64K)
			HD64338002SFTW	38002 (***) FT	64 ピン QFN (TNP-64B)
H8/38001S	マスク ROM 版	通常仕様品	HD64338001SH	38001 (***) H	64 ピン QFP (FP-64A)
			HD64338001SFZ	38001 (***)	64 ピン LQFP (FP-64K)
			HD64338001SFT	38001 (***) FT	64 ピン QFN (TNP-64B)
		広温度範囲 仕様品	HD64338001SHW	38001 (***) H	64 ピン QFP (FP-64A)
			HD64338001SFZW	38001 (***)	64 ピン LQFP (FP-64K)
			HD64338001SFTW	38001 (***) FT	64 ピン QFN (TNP-64B)
H8/38000S	マスク ROM 版	通常仕様品	HD64338000SH	38000 (***) H	64 ピン QFP (FP-64A)
			HD64338000SFZ	38000 (***)	64 ピン LQFP (FP-64K)
			HD64338000SFT	38000 (***) FT	64 ピン QFN (TNP-64B)
		広温度範囲 仕様品	HD64338000SHW	38000 (***) H	64 ピン QFP (FP-64A)
			HD64338000SFZW	38000 (***)	64 ピン LQFP (FP-64K)
			HD64338000SFTW	38000 (***) FT	64 ピン QFN (TNP-64B)

表 D.4 H8/38104 グループ型名一覧

製品分類			製品型名	マーク型名	パッケージ (パッケージコード)
H8/38104	フラッシュメモリ版	通常仕様品	HD64F38104H	F38104H	64 ピン QFP (FP-64A)
			HD64F38104FP	F38104FP	64 ピン LQFP (FP-64E)
		広温度範囲 仕様品	HD64F38104HW	F38104H	64 ピン QFP (FP-64A)
			HD64F38104FPW	F38104FP	64 ピン LQFP (FP-64E)
	マスク ROM 版	通常仕様品	HD64338104H	38104 (***) H	64 ピン QFP (FP-64A)
			HD64338104FP	38104 (***)	64 ピン LQFP (FP-64E)
広温度範囲 仕様品	HD64338104HW	38104 (***) H	64 ピン QFP (FP-64A)		
	HD64338104FPW	38104 (***)	64 ピン LQFP (FP-64E)		
H8/38103	マスク ROM 版	通常仕様品	HD64338103H	38103 (***) H	64 ピン QFP (FP-64A)
			HD64338103FP	38103 (***)	64 ピン LQFP (FP-64E)
		広温度範囲 仕様品	HD64338103HW	38103 (***) H	64 ピン QFP (FP-64A)
			HD64338103FPW	38103 (***)	64 ピン LQFP (FP-64E)
H8/38102	フラッシュメモリ版	通常仕様品	HD64F38102H	F38102H	64 ピン QFP (FP-64A)
			HD64F38102FP	F38102FP	64 ピン LQFP (FP-64E)
		広温度範囲 仕様品	HD64F38102HW	F38102H	64 ピン QFP (FP-64A)
			HD64F38102FPW	F38102FP	64 ピン LQFP (FP-64E)
	マスク ROM 版	通常仕様品	HD64338102H	38102 (***) H	64 ピン QFP (FP-64A)
			HD64338102FP	38102 (***)	64 ピン LQFP (FP-64E)
広温度範囲 仕様品	HD64338102HW	38102 (***) H	64 ピン QFP (FP-64A)		
	HD64338102FPW	38102 (***)	64 ピン LQFP (FP-64E)		
H8/38101	マスク ROM 版	通常仕様品	HD64338101H	38101 (***) H	64 ピン QFP (FP-64A)
			HD64338101FP	38101 (***)	64 ピン LQFP (FP-64E)
		広温度範囲 仕様品	HD64338101HW	38101 (***) H	64 ピン QFP (FP-64A)
			HD64338101FPW	38101 (***)	64 ピン LQFP (FP-64E)
H8/38100	マスク ROM 版	通常仕様品	HD64338100H	38100 (***) H	64 ピン QFP (FP-64A)
			HD64338100FP	38100 (***)	64 ピン LQFP (FP-64E)
		広温度範囲 仕様品	HD64338100HW	38100 (***) H	64 ピン QFP (FP-64A)
			HD64338100FPW	38100 (***)	64 ピン LQFP (FP-64E)

E. 外形寸法図

外形寸法図 FP-64A を図 E.1、FP-64E を図 E.2、FP-64K を図 E.3、DP-64S を図 E.4、TNP-64B を図 E.5 に示します。

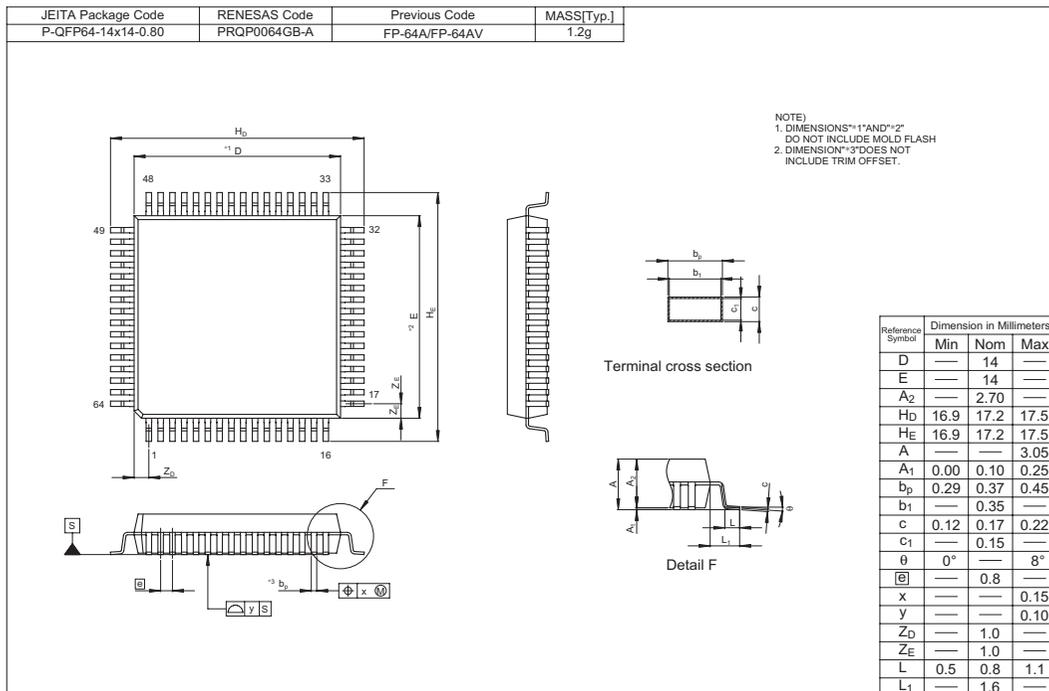


図 E.1 外形寸法図〔FP-64A〕

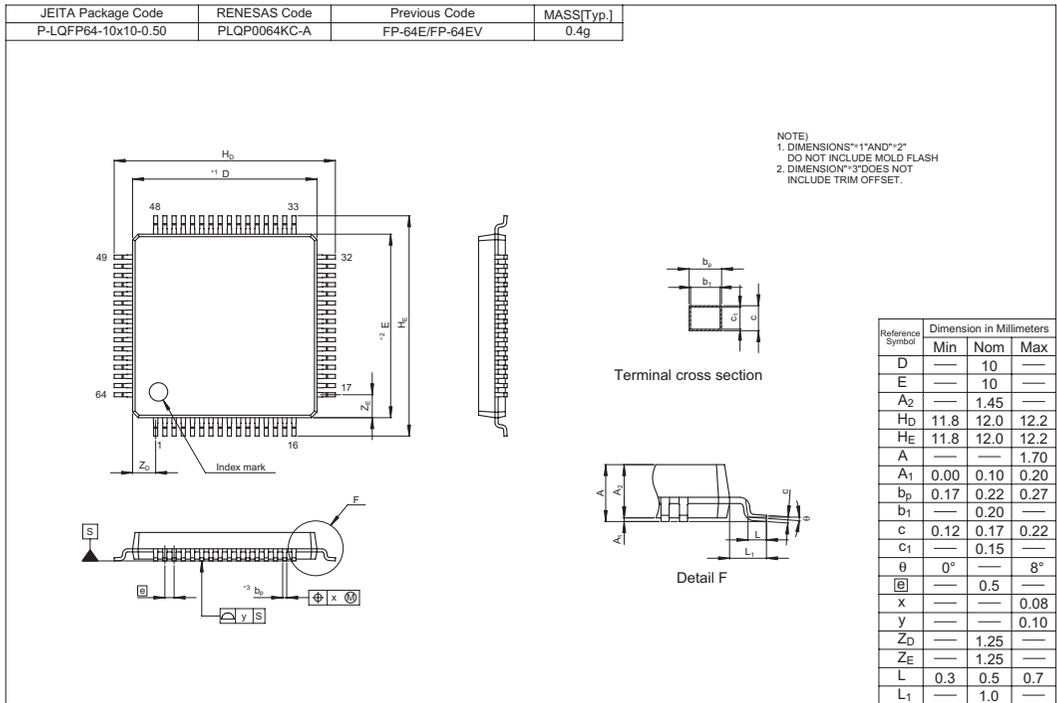


図 E.2 外形寸法図〔FP-64E〕

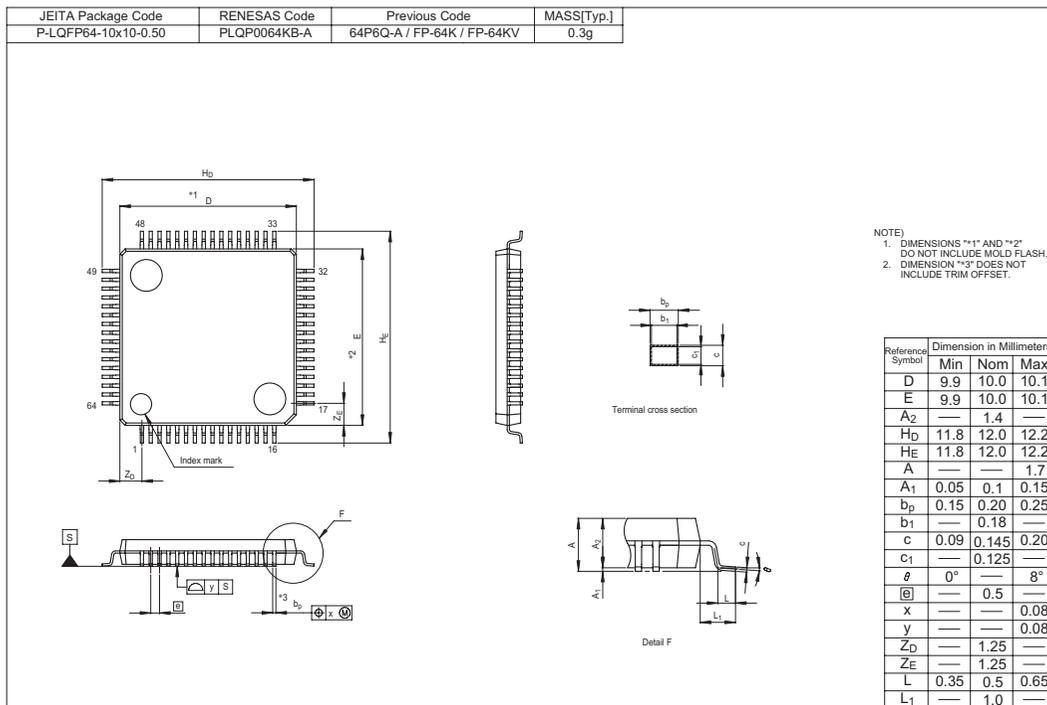


図 E.3 外形寸法図〔FP-64K〕

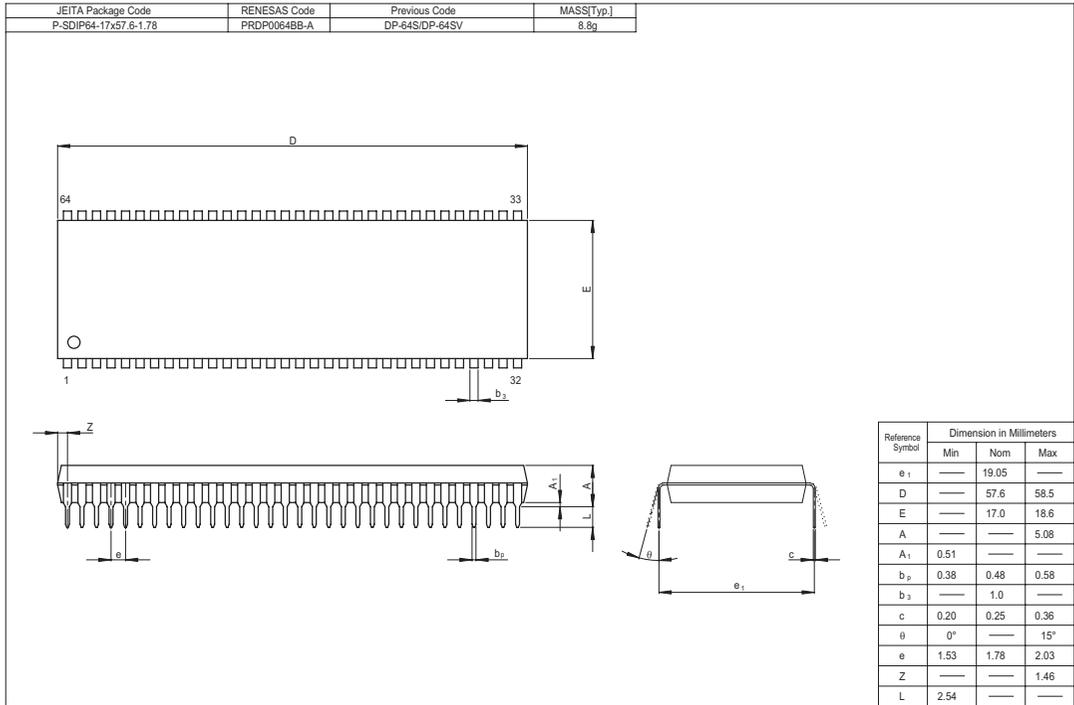


図 E.4 外形寸法図〔DP-64S〕

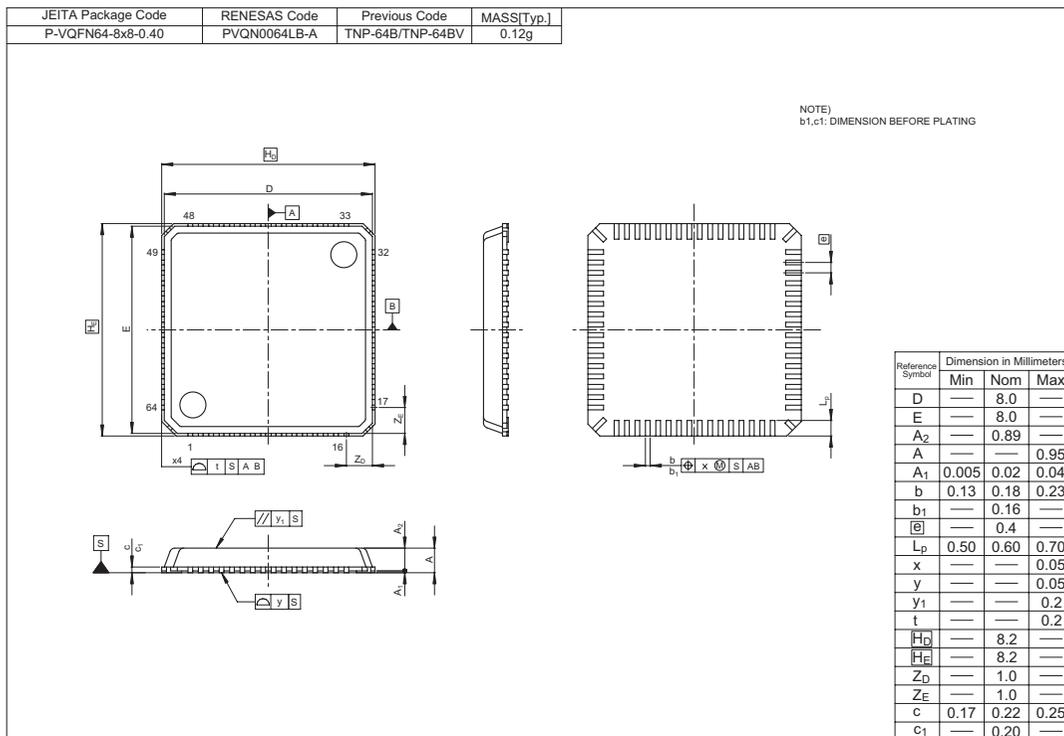


図 E.5 外形寸法図〔TNP-64B〕

F. チップ形状仕様図

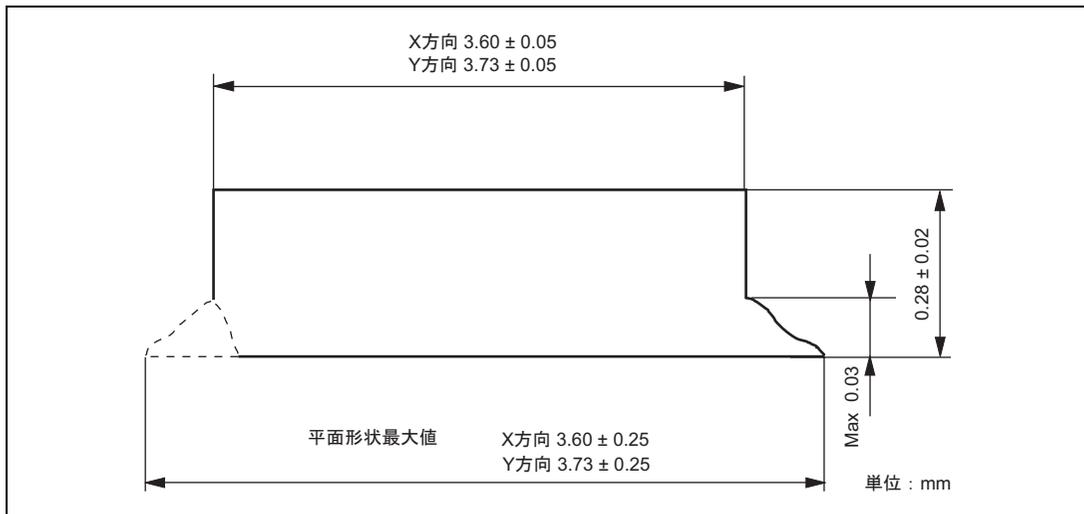


図 F.1 チップ断面図 (HCD6433802、HCD6433801、HCD6433800)

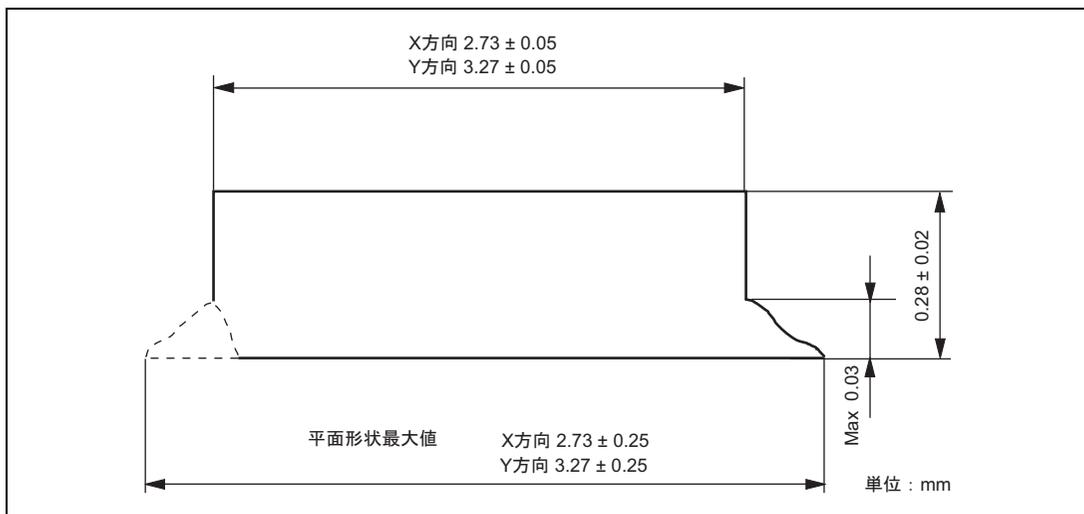


図 F.2 チップ断面図 (HCD64338004、HCD64338003、HCD64338002、HCD64338001、HCD64338000)

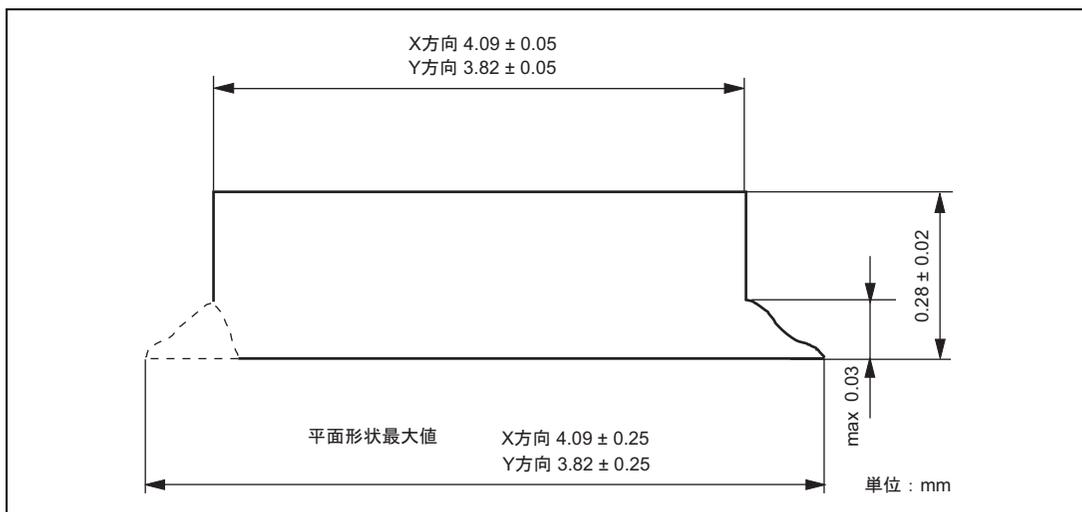


図 F.3 チップ断面図 (HCD64F38004、HCD64F38002)

G. ボンディングパッド形状図

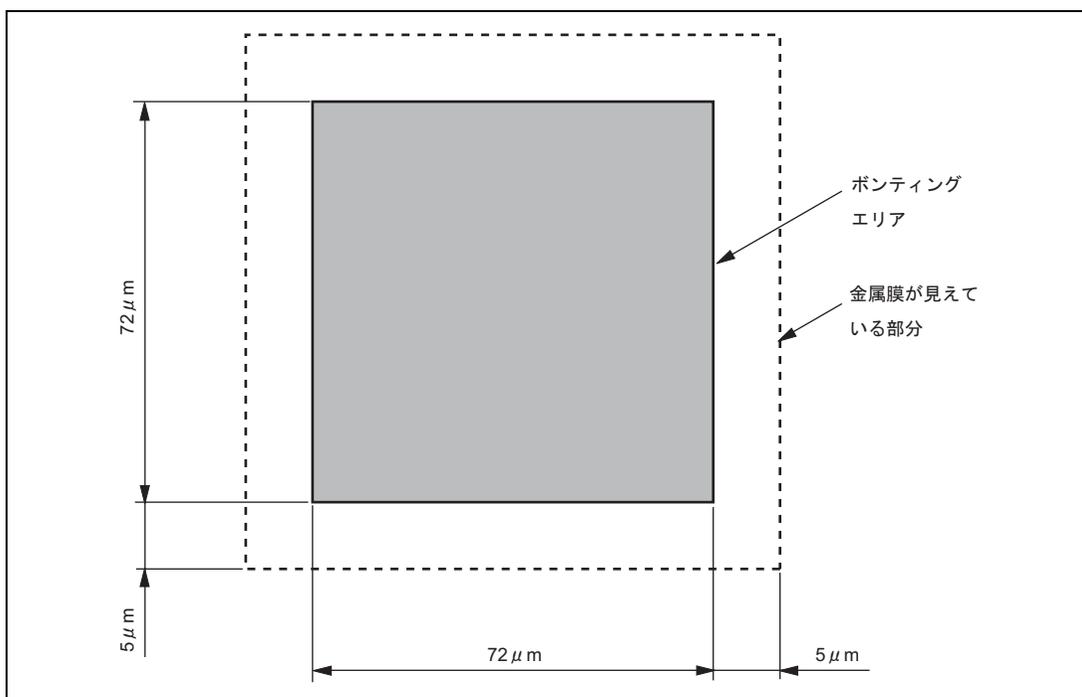


図 G.1 ボンディングパッド形状図 (HCD6433802、HCD6433801、HCD6433800、HCD64338004、HCD64338003、
HCD64338002、HCD64338001、HCD64338000、HCD64F38004、HCD64F38002)

H. チップトレイ仕様図

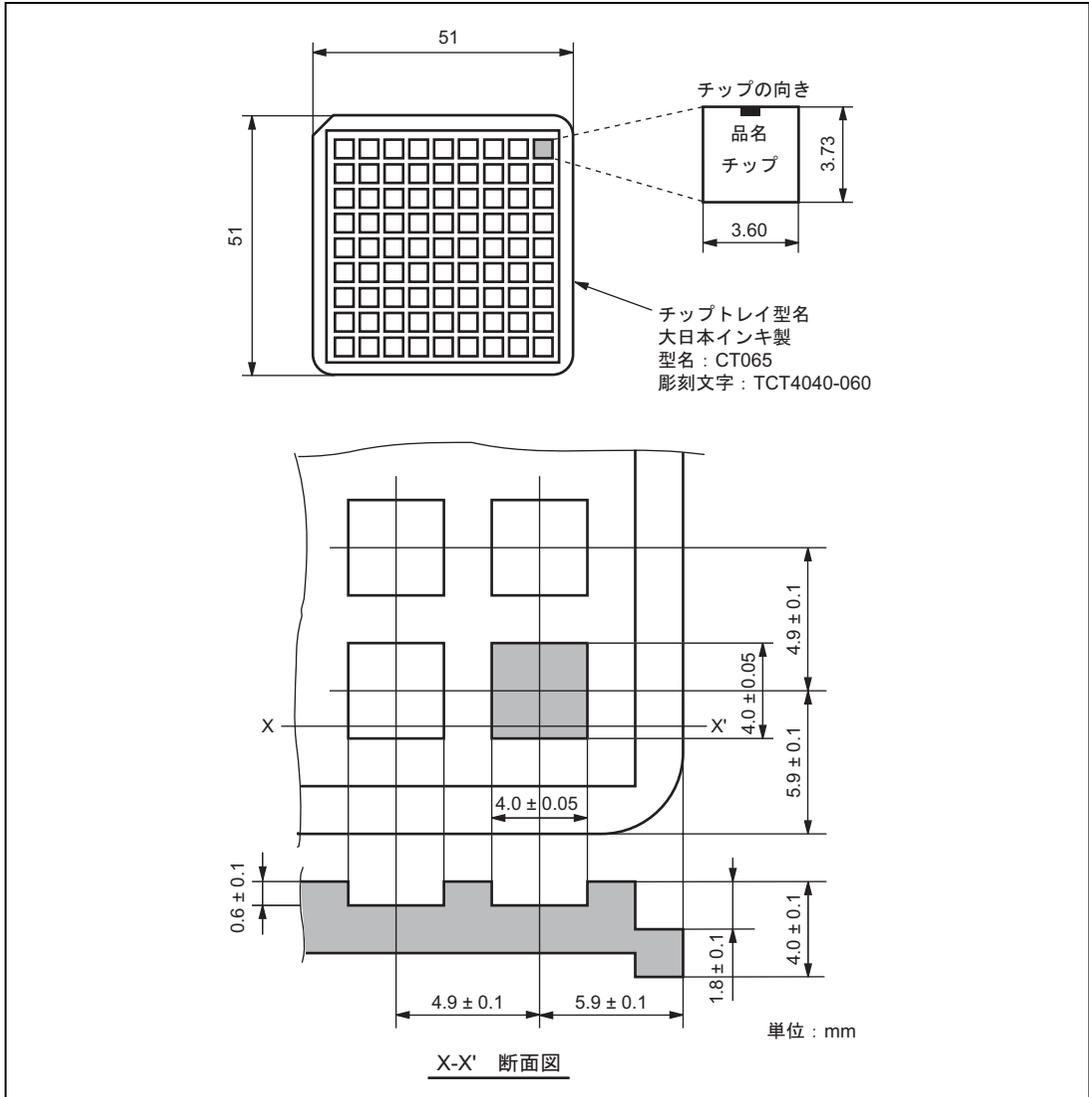


図 H.1 チップトレイ仕様図 (HCD6433802、HCD6433801、HCD6433800)

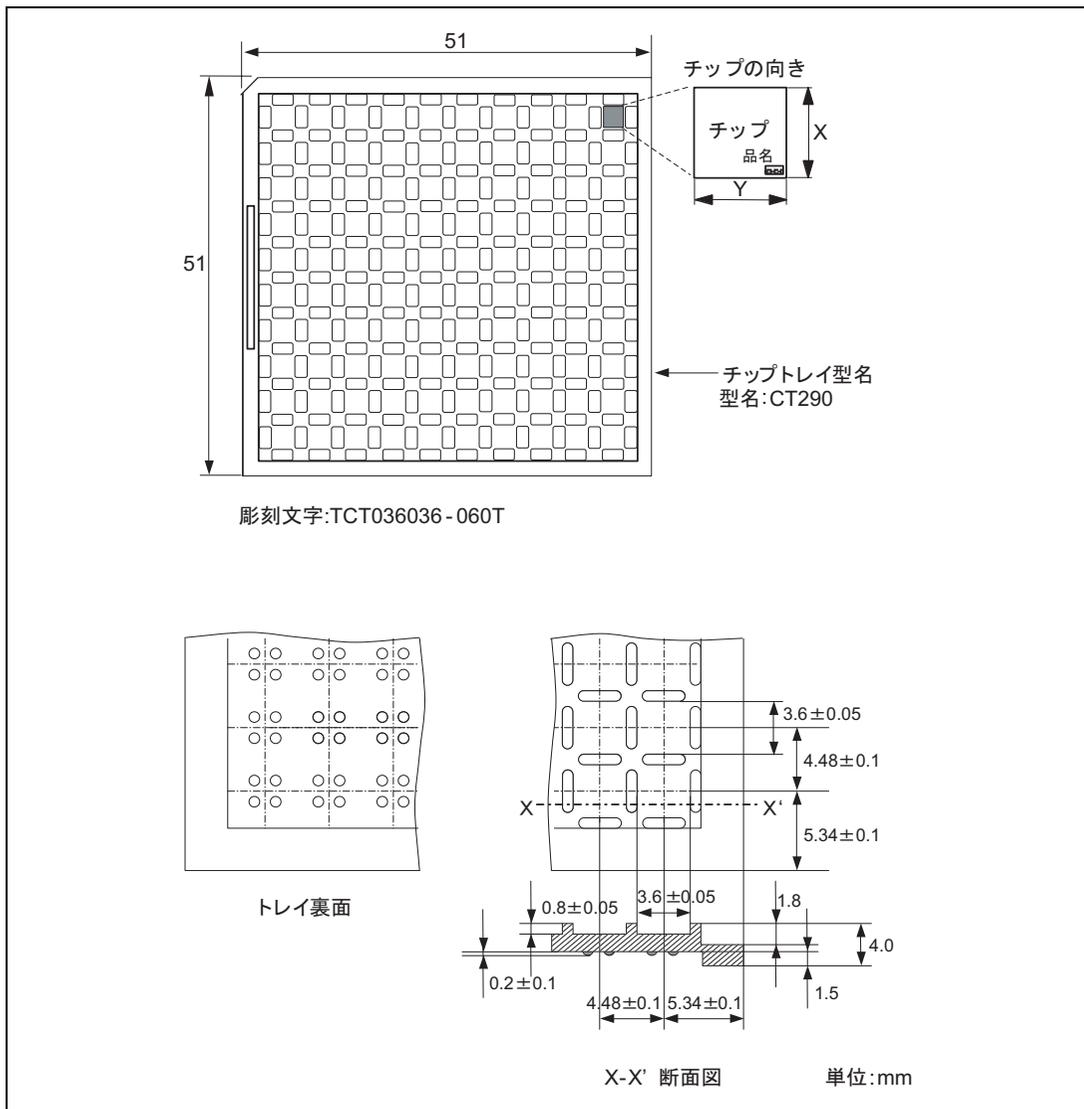


図 H.2 チップトレイ仕様図(HCD64338004、HCD64338003、HCD64338002、HCD64338001、HCD64338000)

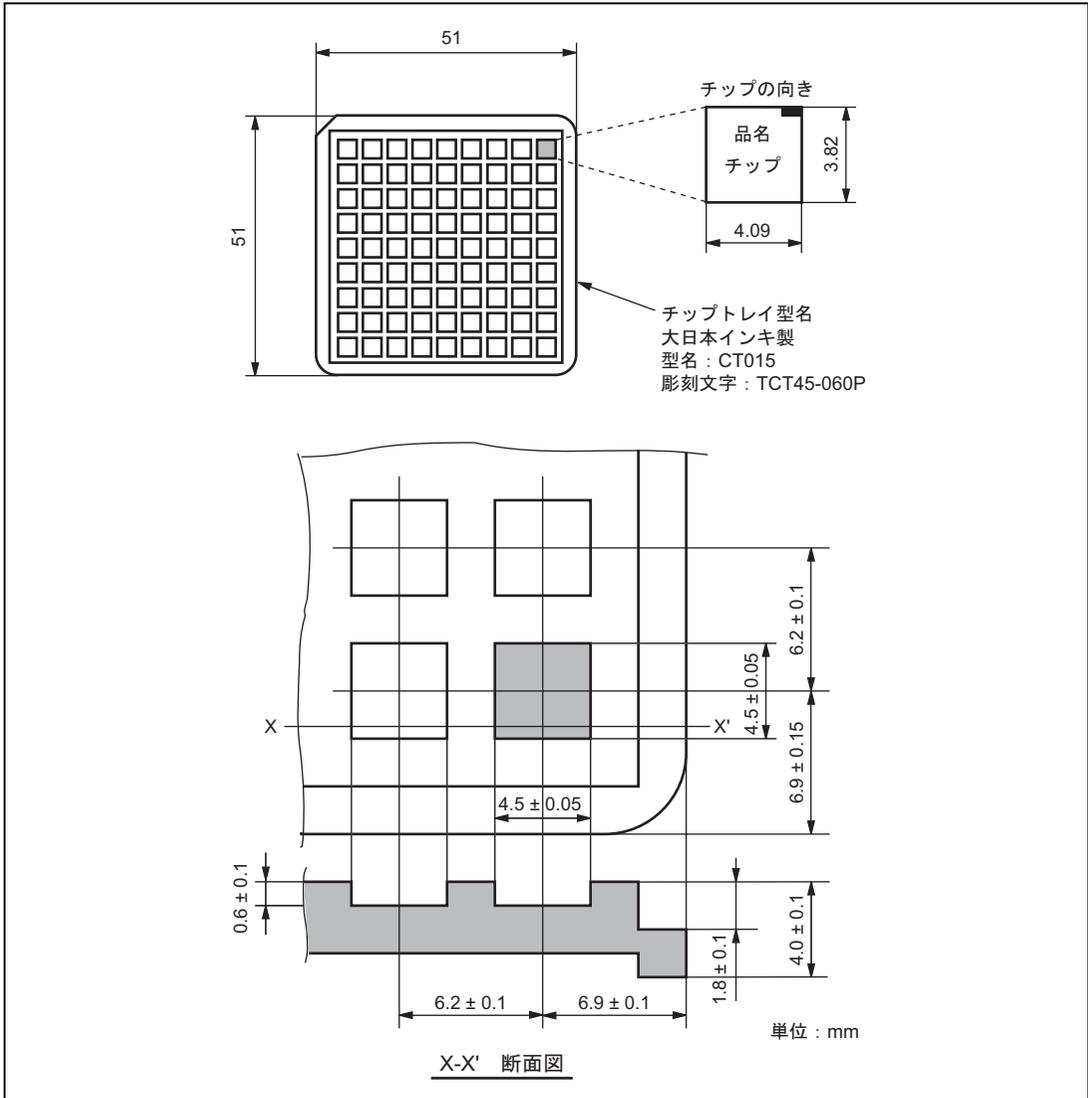
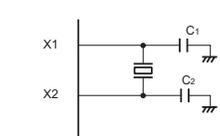


図 H.3 チップトレイ仕様図 (HCD64F38004、HCD64F38002)

本版で改訂された箇所

修正項目	ページ	修正内容（詳細はマニュアル参照）																												
1.1 特長	1-3	<p>表を修正</p> <p>・小型パッケージ</p> <table border="1"> <thead> <tr> <th>パッケージ</th> <th>コード</th> <th>ボディサイズ</th> <th>ピンピッチ</th> </tr> </thead> <tbody> <tr> <td>QFP-64</td> <td>FP-64A</td> <td>14.0 × 14.0 mm</td> <td>0.8 mm</td> </tr> <tr> <td>LQFP-64</td> <td>FP-64E</td> <td>10.0 × 10.0 mm</td> <td>0.5 mm</td> </tr> <tr> <td>LQFP-64</td> <td>FP-64K*</td> <td>10.0 × 10.0 mm</td> <td>0.5 mm</td> </tr> <tr> <td>P-VQFN-64</td> <td>TNP-64B</td> <td>8.0 × 8.0 mm</td> <td>0.4 mm</td> </tr> <tr> <td>DP-64S</td> <td>DP-64S</td> <td>17.0 × 57.6 mm</td> <td>1.0 mm</td> </tr> <tr> <td>チップ</td> <td>—</td> <td>—</td> <td>—</td> </tr> </tbody> </table> <p>注を修正</p> <p>【注】* FP-64K は FP-64E と外形寸法が異なります。「付録 E. 外形寸法図」をご参照ください。</p>	パッケージ	コード	ボディサイズ	ピンピッチ	QFP-64	FP-64A	14.0 × 14.0 mm	0.8 mm	LQFP-64	FP-64E	10.0 × 10.0 mm	0.5 mm	LQFP-64	FP-64K*	10.0 × 10.0 mm	0.5 mm	P-VQFN-64	TNP-64B	8.0 × 8.0 mm	0.4 mm	DP-64S	DP-64S	17.0 × 57.6 mm	1.0 mm	チップ	—	—	—
パッケージ	コード	ボディサイズ	ピンピッチ																											
QFP-64	FP-64A	14.0 × 14.0 mm	0.8 mm																											
LQFP-64	FP-64E	10.0 × 10.0 mm	0.5 mm																											
LQFP-64	FP-64K*	10.0 × 10.0 mm	0.5 mm																											
P-VQFN-64	TNP-64B	8.0 × 8.0 mm	0.4 mm																											
DP-64S	DP-64S	17.0 × 57.6 mm	1.0 mm																											
チップ	—	—	—																											
1.3 ピン配置図 図 1.4 H8/3802 グループ、H8/38004、H8/38002S グループ ピン配置図（FP-64A、FP-64E、FP-64K、 TNP-64B ）	1-7	<p>タイトルおよび図を修正</p> <p>FP-64A、FP-64E、FP-64K、TNP-64B (上面図)</p>																												
1.4 端子機能 表 1.4 端子機能	1-16 ~ 1-18	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="2">分類</th> <th rowspan="2">記号</th> <th colspan="2">ピン番号</th> <th rowspan="2">パッド番号*1</th> <th rowspan="2">パッド番号*2</th> <th rowspan="2">入出力</th> <th rowspan="2">機能</th> </tr> <tr> <th>FP-64A FP-64E FP-64K TNP-64B</th> <th>DP-64S</th> </tr> </thead> <tbody> <tr> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> </tbody> </table>	分類	記号	ピン番号		パッド番号*1	パッド番号*2	入出力	機能	FP-64A FP-64E FP-64K TNP-64B	DP-64S																		
分類	記号	ピン番号			パッド番号*1	パッド番号*2					入出力	機能																		
		FP-64A FP-64E FP-64K TNP-64B	DP-64S																											

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																																																																
4.4.1 32.768kHz/38.4kHz 水晶発振子を接続する方法 図 4.9 32.768kHz/38.4kHz 水晶発振子の接続例	4-7	<p>図を修正</p>  <table border="1" data-bbox="823 338 1097 415"> <thead> <tr> <th>発振周波数</th> <th>メーカー</th> <th>型式</th> </tr> </thead> <tbody> <tr> <td>38.4kHz</td> <td>セイコーインスツル</td> <td>VTC-200</td> </tr> <tr> <td>32.768kHz</td> <td>日本電波工業</td> <td>MX73P</td> </tr> </tbody> </table> <p>C₁ = C₂ = 6 ~ 12.5pF (typ)</p> <table border="1" data-bbox="823 415 1186 463"> <thead> <tr> <th>発振周波数</th> <th>メーカー</th> <th>型式</th> <th>等価直列抵抗</th> </tr> </thead> <tbody> <tr> <td>32.768kHz*</td> <td>エプソントヨコム</td> <td>C-001R</td> <td>35kΩ max.</td> </tr> </tbody> </table> <p>C₁ = C₂ = 7pF (typ)</p> <p>【注】 回路定数は発振子メーカーと十分ご相談ください。 * H838104グループのみ</p>	発振周波数	メーカー	型式	38.4kHz	セイコーインスツル	VTC-200	32.768kHz	日本電波工業	MX73P	発振周波数	メーカー	型式	等価直列抵抗	32.768kHz*	エプソントヨコム	C-001R	35kΩ max.																																																																															
発振周波数	メーカー	型式																																																																																																
38.4kHz	セイコーインスツル	VTC-200																																																																																																
32.768kHz	日本電波工業	MX73P																																																																																																
発振周波数	メーカー	型式	等価直列抵抗																																																																																															
32.768kHz*	エプソントヨコム	C-001R	35kΩ max.																																																																																															
5.5.3 モジュールスタンバイと割り込みの競合について	5-16	新規追加																																																																																																
6.10.2 ライトモードのコマンド 図 6.12 (1) ソケットアダプタの端子対応図 (H8/38004F、H8/38002F)	6-28	<p>図を修正</p> <table border="1" data-bbox="610 647 843 763"> <thead> <tr> <th colspan="2">H8/38004F、H8/38002F</th> </tr> <tr> <th>ピン番号</th> <th>端子名</th> </tr> </thead> <tbody> <tr> <td>FP-64A</td> <td></td> </tr> <tr> <td>FP-64E</td> <td></td> </tr> <tr> <td>TNP-64B</td> <td></td> </tr> </tbody> </table>	H8/38004F、H8/38002F		ピン番号	端子名	FP-64A		FP-64E		TNP-64B																																																																																							
H8/38004F、H8/38002F																																																																																																		
ピン番号	端子名																																																																																																	
FP-64A																																																																																																		
FP-64E																																																																																																		
TNP-64B																																																																																																		
10. シリアルコミュニケーションインタフェース 3 (SCI3)	10-1	<p>説明を削除</p> <p>調歩同期方式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアルデータ通信ができます。SCI3 のブロック図を図 10.1 に示します。</p>																																																																																																
10.3.5 シリアルモードレジスタ (SMR)	10-5	<p>表を修正</p> <table border="1" data-bbox="589 975 1207 1072"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>2</td> <td>MP</td> <td>0</td> <td>R/W</td> <td>5ビット通信 このビットが1のとき5ビット通信のフォーマットが可能となります。 1をライトする場合は必ず同時に、ビット5 (PE) に1をライトしてください。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	2	MP	0	R/W	5ビット通信 このビットが1のとき5ビット通信のフォーマットが可能となります。 1をライトする場合は必ず同時に、ビット5 (PE) に1をライトしてください。																																																																																						
ビット	ビット名	初期値	R/W	説明																																																																																														
2	MP	0	R/W	5ビット通信 このビットが1のとき5ビット通信のフォーマットが可能となります。 1をライトする場合は必ず同時に、ビット5 (PE) に1をライトしてください。																																																																																														
10.3.6 シリアルコントロールレジスタ 3 (SCR3)	10-6	<p>表を修正</p> <table border="1" data-bbox="589 1110 1207 1188"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>3</td> <td>MPIE</td> <td>0</td> <td>R/W</td> <td>リザーブビット リザーブビットです。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	3	MPIE	0	R/W	リザーブビット リザーブビットです。																																																																																						
ビット	ビット名	初期値	R/W	説明																																																																																														
3	MPIE	0	R/W	リザーブビット リザーブビットです。																																																																																														
10.3.7 シリアルステータスレジスタ (SSR)	10-9	<p>表を修正</p> <table border="1" data-bbox="589 1226 1207 1381"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>MPBR</td> <td>0</td> <td>R</td> <td>リザーブビット リード専用のリザーブビットです。 ライトは不可。</td> </tr> <tr> <td>0</td> <td>MPBT</td> <td>0</td> <td>R/W</td> <td>リザーブビット リザーブビットです。 ライトする場合は必ず0をライトしてください。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	1	MPBR	0	R	リザーブビット リード専用のリザーブビットです。 ライトは不可。	0	MPBT	0	R/W	リザーブビット リザーブビットです。 ライトする場合は必ず0をライトしてください。																																																																																	
ビット	ビット名	初期値	R/W	説明																																																																																														
1	MPBR	0	R	リザーブビット リード専用のリザーブビットです。 ライトは不可。																																																																																														
0	MPBT	0	R/W	リザーブビット リザーブビットです。 ライトする場合は必ず0をライトしてください。																																																																																														
10.4.1 クロック 表 10.7 通信フォーマット (調歩同期式モード)	10-17	<p>表を修正</p> <table border="1" data-bbox="589 1429 1207 1651"> <thead> <tr> <th colspan="4">SMR</th> <th colspan="12">シリアル通信フォーマットとフレーム長</th> </tr> <tr> <th>CHR</th> <th>PE</th> <th>MP</th> <th>STOP</th> <th>1</th> <th>2</th> <th>3</th> <th>4</th> <th>5</th> <th>6</th> <th>7</th> <th>8</th> <th>9</th> <th>10</th> <th>11</th> <th>12</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td></td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td></td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td></td> </tr> </tbody> </table>	SMR				シリアル通信フォーマットとフレーム長												CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	0	0	1	0													0	0	1	1													1	0	1	0													1	0	1	1												
SMR				シリアル通信フォーマットとフレーム長																																																																																														
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12																																																																																			
0	0	1	0																																																																																															
0	0	1	1																																																																																															
1	0	1	0																																																																																															
1	0	1	1																																																																																															

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																																																																																																																		
10.4.1 クロック 表 10.8 SMR の設定値と送信 / 受信フォーマット	10-18	<p>表を修正</p> <table border="1"> <thead> <tr> <th colspan="5">SMR</th> <th rowspan="2">モード</th> <th colspan="4">送信 / 受信フォーマット</th> </tr> <tr> <th>ビット 7</th> <th>ビット 6</th> <th>ビット 2</th> <th>ビット 5</th> <th>ビット 3</th> <th>マルチ プロセッサ</th> <th>パリティ ビット</th> <th colspan="2">ストップ ビット長</th> </tr> <tr> <th>COM</th> <th>CHR</th> <th>MP</th> <th>PE</th> <th>STOP</th> <th></th> <th>データ長</th> <th></th> <th></th> <th></th> </tr> </thead> <tbody> <tr> <td rowspan="12">0</td> <td rowspan="6">0</td> <td rowspan="6">0</td> <td>0</td> <td>0</td> <td rowspan="6">誤歩同期式 モード</td> <td rowspan="6">8ビット データ</td> <td rowspan="6">なし</td> <td rowspan="6">なし</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>2</td> </tr> <tr> <td>1</td> <td>1</td> <td>あり</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>なし</td> <td>2</td> </tr> <tr> <td>0</td> <td>0</td> <td>なし</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>あり</td> <td>2</td> </tr> <tr> <td rowspan="6">1</td> <td rowspan="6">1</td> <td rowspan="6">1</td> <td>0</td> <td>0</td> <td rowspan="6">誤歩同期式 モード</td> <td rowspan="6">7ビット データ</td> <td rowspan="6">なし</td> <td rowspan="6">なし</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>2</td> </tr> <tr> <td>1</td> <td>1</td> <td>あり</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>なし</td> <td>2</td> </tr> <tr> <td>0</td> <td>0</td> <td>設定禁止</td> <td></td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> <td></td> </tr> <tr> <td rowspan="6">0</td> <td rowspan="6">0</td> <td rowspan="6">1</td> <td>0</td> <td>0</td> <td rowspan="6">誤歩同期式 モード</td> <td rowspan="6">5ビット データ</td> <td rowspan="6">なし</td> <td rowspan="6">なし</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>2</td> </tr> <tr> <td>1</td> <td>1</td> <td>なし</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>なし</td> <td>2</td> </tr> <tr> <td>0</td> <td>0</td> <td>設定禁止</td> <td></td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> <td></td> </tr> <tr> <td rowspan="6">1</td> <td rowspan="6">1</td> <td rowspan="6">1</td> <td>0</td> <td>0</td> <td rowspan="6">誤歩同期式 モード</td> <td rowspan="6">5ビット データ</td> <td rowspan="6">なし</td> <td rowspan="6">あり</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>2</td> </tr> <tr> <td>1</td> <td>1</td> <td>あり</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>なし</td> <td>2</td> </tr> <tr> <td>0</td> <td>0</td> <td>設定禁止</td> <td></td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> <td></td> </tr> </tbody> </table>	SMR					モード	送信 / 受信フォーマット				ビット 7	ビット 6	ビット 2	ビット 5	ビット 3	マルチ プロセッサ	パリティ ビット	ストップ ビット長		COM	CHR	MP	PE	STOP		データ長				0	0	0	0	0	誤歩同期式 モード	8ビット データ	なし	なし	1	1	1	0	2	1	1	あり	1	0	1	なし	2	0	0	なし	1	1	0	あり	2	1	1	1	0	0	誤歩同期式 モード	7ビット データ	なし	なし	1	1	0	2	1	1	あり	1	0	1	なし	2	0	0	設定禁止		1	0	設定禁止		0	0	1	0	0	誤歩同期式 モード	5ビット データ	なし	なし	1	1	0	2	1	1	なし	1	0	1	なし	2	0	0	設定禁止		1	0	設定禁止		1	1	1	0	0	誤歩同期式 モード	5ビット データ	なし	あり	1	1	0	2	1	1	あり	1	0	1	なし	2	0	0	設定禁止		1	0	設定禁止	
SMR					モード	送信 / 受信フォーマット																																																																																																																																														
ビット 7	ビット 6	ビット 2	ビット 5	ビット 3		マルチ プロセッサ	パリティ ビット	ストップ ビット長																																																																																																																																												
COM	CHR	MP	PE	STOP		データ長																																																																																																																																														
0	0	0	0	0	誤歩同期式 モード	8ビット データ	なし	なし	1	1																																																																																																																																										
			1	0					2																																																																																																																																											
			1	1					あり	1																																																																																																																																										
			0	1					なし	2																																																																																																																																										
			0	0					なし	1																																																																																																																																										
			1	0					あり	2																																																																																																																																										
	1	1	1	0	0	誤歩同期式 モード	7ビット データ	なし	なし	1																																																																																																																																										
				1	0					2																																																																																																																																										
				1	1					あり	1																																																																																																																																									
				0	1					なし	2																																																																																																																																									
				0	0					設定禁止																																																																																																																																										
				1	0					設定禁止																																																																																																																																										
0	0	1	0	0	誤歩同期式 モード	5ビット データ	なし	なし	1																																																																																																																																											
			1	0					2																																																																																																																																											
			1	1					なし	1																																																																																																																																										
			0	1					なし	2																																																																																																																																										
			0	0					設定禁止																																																																																																																																											
			1	0					設定禁止																																																																																																																																											
1	1	1	0	0	誤歩同期式 モード	5ビット データ	なし	あり	1																																																																																																																																											
			1	0					2																																																																																																																																											
			1	1					あり	1																																																																																																																																										
			0	1					なし	2																																																																																																																																										
			0	0					設定禁止																																																																																																																																											
			1	0					設定禁止																																																																																																																																											
10.6 マルチプロセッサ通信機能		説明を削除																																																																																																																																																		
17.2.2 DC 特性 表 17.2 DC 特性	17-5	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="2">項目</th> <th rowspan="2">記号</th> <th rowspan="2">適用端子</th> <th rowspan="2">測定条件</th> <th colspan="3">規格値</th> <th rowspan="2">単位</th> <th rowspan="2">備考</th> </tr> <tr> <th>min.</th> <th>typ.</th> <th>max.</th> </tr> </thead> <tbody> <tr> <td rowspan="4">入力High レベル電圧</td> <td rowspan="4">V_{IH}</td> <td rowspan="4">RES、 WKP0~WKP7、 IRQ0、AEVL、 AEVH、SCK32</td> <td>V_{CC}=4.0~5.5V</td> <td>0.8V_{CC}</td> <td>—</td> <td>V_{CC}+0.3</td> <td rowspan="2">V</td> <td rowspan="2"></td> </tr> <tr> <td>上記以外</td> <td>0.9V_{CC}</td> <td>—</td> <td>V_{CC}+0.3</td> </tr> <tr> <td rowspan="2">IRQ1</td> <td>V_{CC}=4.0~5.5V</td> <td>0.8V_{CC}</td> <td>—</td> <td>AV_{CC}+0.3</td> <td rowspan="2">V</td> <td rowspan="2"></td> </tr> <tr> <td>上記以外</td> <td>0.9V_{CC}</td> <td>—</td> <td>AV_{CC}+0.3</td> </tr> </tbody> </table>	項目	記号	適用端子	測定条件	規格値			単位	備考	min.	typ.	max.	入力High レベル電圧	V _{IH}	RES、 WKP0~WKP7、 IRQ0、AEVL、 AEVH、SCK32	V _{CC} =4.0~5.5V	0.8V _{CC}	—	V _{CC} +0.3	V		上記以外	0.9V _{CC}	—	V _{CC} +0.3	IRQ1	V _{CC} =4.0~5.5V	0.8V _{CC}	—	AV _{CC} +0.3	V		上記以外	0.9V _{CC}	—	AV _{CC} +0.3																																																																																																														
項目	記号	適用端子					測定条件	規格値				単位	備考																																																																																																																																							
			min.	typ.	max.																																																																																																																																															
入力High レベル電圧	V _{IH}	RES、 WKP0~WKP7、 IRQ0、AEVL、 AEVH、SCK32	V _{CC} =4.0~5.5V	0.8V _{CC}	—	V _{CC} +0.3	V																																																																																																																																													
			上記以外	0.9V _{CC}	—	V _{CC} +0.3																																																																																																																																														
			IRQ1	V _{CC} =4.0~5.5V	0.8V _{CC}	—	AV _{CC} +0.3	V																																																																																																																																												
				上記以外	0.9V _{CC}	—	AV _{CC} +0.3																																																																																																																																													
17.4.2 DC 特性 表 17.8 DC 特性	17-22	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="2">項目</th> <th rowspan="2">記号</th> <th rowspan="2">適用端子</th> <th rowspan="2">測定条件</th> <th colspan="3">規格値</th> <th rowspan="2">単位</th> <th rowspan="2">備考</th> </tr> <tr> <th>min.</th> <th>typ.</th> <th>max.</th> </tr> </thead> <tbody> <tr> <td rowspan="4">入力High レベル電圧</td> <td rowspan="4">V_{IH}</td> <td rowspan="4">RES、 WKP0~WKP7、 IRQ0、AEVL、 AEVH、SCK32</td> <td rowspan="4"></td> <td>0.9V_{CC}</td> <td>—</td> <td>V_{CC}+0.3</td> <td rowspan="2">V</td> <td rowspan="2"></td> </tr> <tr> <td>0.9V_{CC}</td> <td>—</td> <td>AV_{CC}+0.3</td> </tr> <tr> <td rowspan="2">IRQ1</td> <td>0.9V_{CC}</td> <td>—</td> <td>AV_{CC}+0.3</td> <td rowspan="2">V</td> <td rowspan="2"></td> </tr> <tr> <td>0.9V_{CC}</td> <td>—</td> <td>AV_{CC}+0.3</td> </tr> </tbody> </table>	項目	記号	適用端子	測定条件	規格値			単位	備考	min.	typ.	max.	入力High レベル電圧	V _{IH}	RES、 WKP0~WKP7、 IRQ0、AEVL、 AEVH、SCK32		0.9V _{CC}	—	V _{CC} +0.3	V		0.9V _{CC}	—	AV _{CC} +0.3	IRQ1	0.9V _{CC}	—	AV _{CC} +0.3	V		0.9V _{CC}	—	AV _{CC} +0.3																																																																																																																	
項目	記号	適用端子					測定条件	規格値				単位	備考																																																																																																																																							
			min.	typ.	max.																																																																																																																																															
入力High レベル電圧	V _{IH}	RES、 WKP0~WKP7、 IRQ0、AEVL、 AEVH、SCK32		0.9V _{CC}	—	V _{CC} +0.3	V																																																																																																																																													
				0.9V _{CC}	—	AV _{CC} +0.3																																																																																																																																														
				IRQ1	0.9V _{CC}	—	AV _{CC} +0.3	V																																																																																																																																												
					0.9V _{CC}	—	AV _{CC} +0.3																																																																																																																																													

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																																																																		
17.4.2 DC 特性 表 17.8 DC 特性	17-26	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="2">項目</th> <th rowspan="2">記号</th> <th rowspan="2">適用端子</th> <th rowspan="2">測定条件</th> <th colspan="3">規格値</th> <th rowspan="2">単位</th> <th rowspan="2">備考</th> </tr> <tr> <th>min.</th> <th>typ.</th> <th>max.</th> </tr> </thead> <tbody> <tr> <td rowspan="8">サブアクティブモード消費電流</td> <td rowspan="8">I_{sub}</td> <td rowspan="8">V_{CC}</td> <td>V_{CC}=1.8V, LCD点灯 32kHz外部クロック入力時 (φ_{sub}=φ_{W2})</td> <td>—</td> <td>6.2</td> <td>—</td> <td rowspan="8">μA</td> <td rowspan="8">*1,3,4 参考値</td> </tr> <tr> <td>V_{CC}=1.8V, LCD点灯 32kHz水晶発振子使用時 (φ_{sub}=φ_{W2})</td> <td>—</td> <td>5.4</td> <td>—</td> </tr> <tr> <td>V_{CC}=2.7V, LCD点灯 32kHz水晶発振子使用時 (φ_{sub}=φ_{W3})</td> <td>—</td> <td>4.4</td> <td>—</td> <td rowspan="2">*1,3,4 参考値</td> </tr> <tr> <td>V_{CC}=2.7V, LCD点灯 32kHz外部クロック入力時 (φ_{sub}=φ_{W2})</td> <td>—</td> <td>8.0</td> <td>—</td> <td rowspan="2">*2,3,4 参考値</td> </tr> <tr> <td>V_{CC}=2.7V, LCD点灯 32kHz水晶発振子使用時 (φ_{sub}=φ_{W2})</td> <td>—</td> <td>10</td> <td>—</td> <td rowspan="2">*1,3,4 参考値</td> </tr> <tr> <td>V_{CC}=2.7V, LCD点灯 32kHz水晶発振子使用時 (φ_{sub}=φ_{W2})</td> <td>—</td> <td>11</td> <td>40</td> <td rowspan="2">*2,3,4 参考値</td> </tr> <tr> <td>V_{CC}=2.7V, LCD点灯 32kHz外部クロック入力時 (φ_{sub}=φ_{W2})</td> <td>—</td> <td>28</td> <td>50</td> <td rowspan="2">μA</td> </tr> <tr> <td>V_{CC}=2.7V, LCD点灯 32kHz水晶発振子使用時 (φ_{sub}=φ_{W2})</td> <td>—</td> <td>25</td> <td>50</td> </tr> <tr> <td rowspan="2">サブスリープモード消費電流</td> <td rowspan="2">I_{subSP}</td> <td rowspan="2">V_{CC}</td> <td>V_{CC}=2.7V, LCD点灯 32kHz外部クロック入力時 (φ_{sub}=φ_{W2})</td> <td>—</td> <td>4.6</td> <td>16</td> <td rowspan="2">μA</td> <td rowspan="2">*3,4</td> </tr> <tr> <td>V_{CC}=2.7V, LCD点灯 32kHz水晶発振子使用時 (φ_{sub}=φ_{W2})</td> <td>—</td> <td>5.1</td> <td>16</td> </tr> <tr> <td rowspan="6">ウォッチモード消費電流</td> <td rowspan="6">I_{WATCH}</td> <td rowspan="6">V_{CC}</td> <td>V_{CC}=1.8V, Ta=25°C 32kHz外部クロック入力時 LCD未使用</td> <td>—</td> <td>1.2</td> <td>—</td> <td rowspan="6">μA</td> <td rowspan="3">*1,3,4 参考値</td> </tr> <tr> <td>V_{CC}=1.8V, Ta=25°C 32kHz水晶発振子使用時 LCD未使用</td> <td>—</td> <td>0.6</td> <td>—</td> </tr> <tr> <td>V_{CC}=2.7V, Ta=25°C 32kHz外部クロック入力時 LCD未使用</td> <td>—</td> <td>2.0</td> <td>—</td> <td rowspan="3">*3,4 参考値</td> </tr> <tr> <td>V_{CC}=2.7V, Ta=25°C 32kHz水晶発振子使用時 LCD未使用</td> <td>—</td> <td>2.9</td> <td>—</td> </tr> <tr> <td>V_{CC}=2.7V 32kHz外部クロック入力時 LCD未使用</td> <td>—</td> <td>2.0</td> <td>6.0</td> <td rowspan="2">*3,4 参考値</td> </tr> <tr> <td>V_{CC}=2.7V 32kHz水晶発振子使用時 LCD未使用</td> <td>—</td> <td>2.9</td> <td>6.0</td> </tr> </tbody> </table>	項目	記号	適用端子	測定条件	規格値			単位	備考	min.	typ.	max.	サブアクティブモード消費電流	I _{sub}	V _{CC}	V _{CC} =1.8V, LCD点灯 32kHz外部クロック入力時 (φ _{sub} =φ _{W2})	—	6.2	—	μA	*1,3,4 参考値	V _{CC} =1.8V, LCD点灯 32kHz水晶発振子使用時 (φ _{sub} =φ _{W2})	—	5.4	—	V _{CC} =2.7V, LCD点灯 32kHz水晶発振子使用時 (φ _{sub} =φ _{W3})	—	4.4	—	*1,3,4 参考値	V _{CC} =2.7V, LCD点灯 32kHz外部クロック入力時 (φ _{sub} =φ _{W2})	—	8.0	—	*2,3,4 参考値	V _{CC} =2.7V, LCD点灯 32kHz水晶発振子使用時 (φ _{sub} =φ _{W2})	—	10	—	*1,3,4 参考値	V _{CC} =2.7V, LCD点灯 32kHz水晶発振子使用時 (φ _{sub} =φ _{W2})	—	11	40	*2,3,4 参考値	V _{CC} =2.7V, LCD点灯 32kHz外部クロック入力時 (φ _{sub} =φ _{W2})	—	28	50	μA	V _{CC} =2.7V, LCD点灯 32kHz水晶発振子使用時 (φ _{sub} =φ _{W2})	—	25	50	サブスリープモード消費電流	I _{subSP}	V _{CC}	V _{CC} =2.7V, LCD点灯 32kHz外部クロック入力時 (φ _{sub} =φ _{W2})	—	4.6	16	μA	*3,4	V _{CC} =2.7V, LCD点灯 32kHz水晶発振子使用時 (φ _{sub} =φ _{W2})	—	5.1	16	ウォッチモード消費電流	I _{WATCH}	V _{CC}	V _{CC} =1.8V, Ta=25°C 32kHz外部クロック入力時 LCD未使用	—	1.2	—	μA	*1,3,4 参考値	V _{CC} =1.8V, Ta=25°C 32kHz水晶発振子使用時 LCD未使用	—	0.6	—	V _{CC} =2.7V, Ta=25°C 32kHz外部クロック入力時 LCD未使用	—	2.0	—	*3,4 参考値	V _{CC} =2.7V, Ta=25°C 32kHz水晶発振子使用時 LCD未使用	—	2.9	—	V _{CC} =2.7V 32kHz外部クロック入力時 LCD未使用	—	2.0	6.0	*3,4 参考値	V _{CC} =2.7V 32kHz水晶発振子使用時 LCD未使用	—	2.9	6.0
項目	記号	適用端子					測定条件	規格値				単位	備考																																																																																							
			min.	typ.	max.																																																																																															
サブアクティブモード消費電流	I _{sub}	V _{CC}	V _{CC} =1.8V, LCD点灯 32kHz外部クロック入力時 (φ _{sub} =φ _{W2})	—	6.2	—	μA	*1,3,4 参考値																																																																																												
			V _{CC} =1.8V, LCD点灯 32kHz水晶発振子使用時 (φ _{sub} =φ _{W2})	—	5.4	—																																																																																														
			V _{CC} =2.7V, LCD点灯 32kHz水晶発振子使用時 (φ _{sub} =φ _{W3})	—	4.4	—			*1,3,4 参考値																																																																																											
			V _{CC} =2.7V, LCD点灯 32kHz外部クロック入力時 (φ _{sub} =φ _{W2})	—	8.0	—				*2,3,4 参考値																																																																																										
			V _{CC} =2.7V, LCD点灯 32kHz水晶発振子使用時 (φ _{sub} =φ _{W2})	—	10	—			*1,3,4 参考値																																																																																											
			V _{CC} =2.7V, LCD点灯 32kHz水晶発振子使用時 (φ _{sub} =φ _{W2})	—	11	40				*2,3,4 参考値																																																																																										
			V _{CC} =2.7V, LCD点灯 32kHz外部クロック入力時 (φ _{sub} =φ _{W2})	—	28	50			μA																																																																																											
			V _{CC} =2.7V, LCD点灯 32kHz水晶発振子使用時 (φ _{sub} =φ _{W2})	—	25	50																																																																																														
サブスリープモード消費電流	I _{subSP}	V _{CC}	V _{CC} =2.7V, LCD点灯 32kHz外部クロック入力時 (φ _{sub} =φ _{W2})	—	4.6	16	μA	*3,4																																																																																												
			V _{CC} =2.7V, LCD点灯 32kHz水晶発振子使用時 (φ _{sub} =φ _{W2})	—	5.1	16																																																																																														
ウォッチモード消費電流	I _{WATCH}	V _{CC}	V _{CC} =1.8V, Ta=25°C 32kHz外部クロック入力時 LCD未使用	—	1.2	—	μA	*1,3,4 参考値																																																																																												
			V _{CC} =1.8V, Ta=25°C 32kHz水晶発振子使用時 LCD未使用	—	0.6	—																																																																																														
			V _{CC} =2.7V, Ta=25°C 32kHz外部クロック入力時 LCD未使用	—	2.0	—			*3,4 参考値																																																																																											
			V _{CC} =2.7V, Ta=25°C 32kHz水晶発振子使用時 LCD未使用	—	2.9	—																																																																																														
			V _{CC} =2.7V 32kHz外部クロック入力時 LCD未使用	—	2.0	6.0		*3,4 参考値																																																																																												
			V _{CC} =2.7V 32kHz水晶発振子使用時 LCD未使用	—	2.9	6.0																																																																																														
17.4.7 電源特性	17-35	新規追加																																																																																																		
17.6.2 DC 特性 表 17.16 DC 特性	17-41	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="2">項目</th> <th rowspan="2">記号</th> <th rowspan="2">適用端子</th> <th rowspan="2">測定条件</th> <th colspan="3">規格値</th> <th rowspan="2">単位</th> <th rowspan="2">備考</th> </tr> <tr> <th>min.</th> <th>typ.</th> <th>max.</th> </tr> </thead> <tbody> <tr> <td rowspan="4">入力Highレベル電圧</td> <td rowspan="4">V_{HI}</td> <td rowspan="4">RES、 WKP0~WKP7、 IRQ0、AEVL、 AEVH、SCK32</td> <td>V_{CC}=4.0~5.5V</td> <td>0.8V_{CC}</td> <td>—</td> <td>V_{CC}+0.3</td> <td rowspan="2">V</td> <td rowspan="2"></td> </tr> <tr> <td>上記以外</td> <td>0.9V_{CC}</td> <td>—</td> <td>V_{CC}+0.3</td> </tr> <tr> <td>V_{CC}=4.0~5.5V</td> <td>0.8V_{CC}</td> <td>—</td> <td>AV_{CC}+0.3</td> <td rowspan="2">V</td> <td rowspan="2"></td> </tr> <tr> <td>上記以外</td> <td>0.9V_{CC}</td> <td>—</td> <td>AV_{CC}+0.3</td> </tr> </tbody> </table>	項目	記号	適用端子	測定条件	規格値			単位	備考	min.	typ.	max.	入力Highレベル電圧	V _{HI}	RES、 WKP0~WKP7、 IRQ0、AEVL、 AEVH、SCK32	V _{CC} =4.0~5.5V	0.8V _{CC}	—	V _{CC} +0.3	V		上記以外	0.9V _{CC}	—	V _{CC} +0.3	V _{CC} =4.0~5.5V	0.8V _{CC}	—	AV _{CC} +0.3	V		上記以外	0.9V _{CC}	—	AV _{CC} +0.3																																																															
項目	記号	適用端子					測定条件	規格値				単位	備考																																																																																							
			min.	typ.	max.																																																																																															
入力Highレベル電圧	V _{HI}	RES、 WKP0~WKP7、 IRQ0、AEVL、 AEVH、SCK32	V _{CC} =4.0~5.5V	0.8V _{CC}	—	V _{CC} +0.3	V																																																																																													
			上記以外	0.9V _{CC}	—	V _{CC} +0.3																																																																																														
			V _{CC} =4.0~5.5V	0.8V _{CC}	—	AV _{CC} +0.3	V																																																																																													
			上記以外	0.9V _{CC}	—	AV _{CC} +0.3																																																																																														
17.6.10 電源特性	17-56	新規追加																																																																																																		

修正項目	ページ	修正内容 (詳細はマニュアル参照)																																																																																																																																								
D. 製品型名一覧 表 D.2 H8/38004 グループ型名一覧	付録-39	<p>表を修正</p> <table border="1"> <thead> <tr> <th colspan="3">製品分類</th> <th>製品型名</th> <th>マーク型名</th> <th>パッケージ (パッケージコード)</th> </tr> </thead> <tbody> <tr> <td rowspan="18">H8/38004</td> <td rowspan="9">フラッシュメモリ版</td> <td rowspan="4">通常仕様品 (2.7V)</td> <td>HD64F38004H10</td> <td>64F38004H10</td> <td>64ピン QFP (FP-64A)</td> </tr> <tr> <td>HD64F38004FP10</td> <td>F38004FP10</td> <td>64ピン LQFP (FP-64E)</td> </tr> <tr> <td>HD64F38004FT10</td> <td>F38004FT10</td> <td>64ピン QFN (TNP-64B)</td> </tr> <tr> <td>HCD64F38004</td> <td>—</td> <td>チップ</td> </tr> <tr> <td rowspan="3">通常仕様品 (2.2V)</td> <td>HD64F38004H4</td> <td>64F38004H4</td> <td>64ピン QFP (FP-64A)</td> </tr> <tr> <td>HD64F38004FP4</td> <td>F38004FP4</td> <td>64ピン LQFP (FP-64E)</td> </tr> <tr> <td>HD64F38004FT4</td> <td>F38004FT4</td> <td>64ピン QFN (TNP-64B)</td> </tr> <tr> <td rowspan="2">広温度範囲 仕様品 (2.7V)</td> <td>HCD64F38004C4</td> <td>—</td> <td>チップ</td> </tr> <tr> <td>HD64F38004H10W</td> <td>64F38004H10</td> <td>64ピン QFP (FP-64A)</td> </tr> <tr> <td rowspan="12">マスク ROM 版</td> <td rowspan="6">通常仕様品</td> <td>HD64338004H</td> <td>HD64338004H</td> <td>64ピン QFP (FP-64A)</td> </tr> <tr> <td>HD64338004FP</td> <td>38004 (***) FP</td> <td>64ピン LQFP (FP-64E)</td> </tr> <tr> <td>HD64338004FT</td> <td>38004 (***) FT</td> <td>64ピン QFN (TNP-64B)</td> </tr> <tr> <td>HCD64338004</td> <td>—</td> <td>チップ</td> </tr> <tr> <td>広温度範囲 仕様品</td> <td>HD64338004HW</td> <td>HD64338004H</td> <td>64ピン QFP (FP-64A)</td> </tr> <tr> <td>HD64338004FPW</td> <td>38004 (***) FP</td> <td>64ピン LQFP (FP-64E)</td> </tr> <tr> <td rowspan="6">マスク ROM 版</td> <td rowspan="3">通常仕様品</td> <td>HD64338003H</td> <td>HD64338003H</td> <td>64ピン QFP (FP-64A)</td> </tr> <tr> <td>HD64338003FP</td> <td>38003 (***) FP</td> <td>64ピン LQFP (FP-64E)</td> </tr> <tr> <td>HD64338003FT</td> <td>38003 (***) FT</td> <td>64ピン QFN (TNP-64B)</td> </tr> <tr> <td rowspan="3">広温度範囲 仕様品</td> <td>HCD64338003</td> <td>—</td> <td>チップ</td> </tr> <tr> <td>HD64338003HW</td> <td>HD64338003H</td> <td>64ピン QFP (FP-64A)</td> </tr> <tr> <td>HD64338003FPW</td> <td>38003 (***) FP</td> <td>64ピン LQFP (FP-64E)</td> </tr> <tr> <td rowspan="18">H8/38002</td> <td rowspan="9">フラッシュメモリ版</td> <td rowspan="4">通常仕様品 (2.7V)</td> <td>HD64F38002H10</td> <td>64F38002H10</td> <td>64ピン QFP (FP-64A)</td> </tr> <tr> <td>HD64F38002FP10</td> <td>F38002FP10</td> <td>64ピン LQFP (FP-64E)</td> </tr> <tr> <td>HD64F38002FT10</td> <td>F38002FT10</td> <td>64ピン QFN (TNP-64B)</td> </tr> <tr> <td>HCD64F38002</td> <td>—</td> <td>チップ</td> </tr> <tr> <td rowspan="3">通常仕様品 (2.2V)</td> <td>HD64F38002H4</td> <td>64F38002H4</td> <td>64ピン QFP (FP-64A)</td> </tr> <tr> <td>HD64F38002FP4</td> <td>F38002FP4</td> <td>64ピン LQFP (FP-64E)</td> </tr> <tr> <td>HD64F38002FT4</td> <td>F38002FT4</td> <td>64ピン QFN (TNP-64B)</td> </tr> <tr> <td rowspan="2">広温度範囲 仕様品 (2.7V)</td> <td>HCD64F38002C4</td> <td>—</td> <td>チップ</td> </tr> <tr> <td>HD64F38002H10W</td> <td>64F38002H10</td> <td>64ピン QFP (FP-64A)</td> </tr> <tr> <td rowspan="9">マスク ROM 版</td> <td rowspan="3">通常仕様品</td> <td>HD64338002H</td> <td>HD64338002H</td> <td>64ピン QFP (FP-64A)</td> </tr> <tr> <td>HD64338002FP</td> <td>38002 (***) FP</td> <td>64ピン LQFP (FP-64E)</td> </tr> <tr> <td>HD64338002FT</td> <td>38002 (***) FT</td> <td>64ピン QFN (TNP-64B)</td> </tr> <tr> <td rowspan="6">広温度範囲 仕様品</td> <td>HCD64338002</td> <td>—</td> <td>チップ</td> </tr> <tr> <td>HD64338002HW</td> <td>HD64338002H</td> <td>64ピン QFP (FP-64A)</td> </tr> <tr> <td>HD64338002FPW</td> <td>38002 (***) FP</td> <td>64ピン LQFP (FP-64E)</td> </tr> <tr> <td>HD64338002FTW</td> <td>38002 (***) FT</td> <td>64ピン QFN (TNP-64B)</td> </tr> </tbody> </table>	製品分類			製品型名	マーク型名	パッケージ (パッケージコード)	H8/38004	フラッシュメモリ版	通常仕様品 (2.7V)	HD64F38004H10	64F38004H10	64ピン QFP (FP-64A)	HD64F38004FP10	F38004FP10	64ピン LQFP (FP-64E)	HD64F38004FT10	F38004FT10	64ピン QFN (TNP-64B)	HCD64F38004	—	チップ	通常仕様品 (2.2V)	HD64F38004H4	64F38004H4	64ピン QFP (FP-64A)	HD64F38004FP4	F38004FP4	64ピン LQFP (FP-64E)	HD64F38004FT4	F38004FT4	64ピン QFN (TNP-64B)	広温度範囲 仕様品 (2.7V)	HCD64F38004C4	—	チップ	HD64F38004H10W	64F38004H10	64ピン QFP (FP-64A)	マスク ROM 版	通常仕様品	HD64338004H	HD64338004H	64ピン QFP (FP-64A)	HD64338004FP	38004 (***) FP	64ピン LQFP (FP-64E)	HD64338004FT	38004 (***) FT	64ピン QFN (TNP-64B)	HCD64338004	—	チップ	広温度範囲 仕様品	HD64338004HW	HD64338004H	64ピン QFP (FP-64A)	HD64338004FPW	38004 (***) FP	64ピン LQFP (FP-64E)	マスク ROM 版	通常仕様品	HD64338003H	HD64338003H	64ピン QFP (FP-64A)	HD64338003FP	38003 (***) FP	64ピン LQFP (FP-64E)	HD64338003FT	38003 (***) FT	64ピン QFN (TNP-64B)	広温度範囲 仕様品	HCD64338003	—	チップ	HD64338003HW	HD64338003H	64ピン QFP (FP-64A)	HD64338003FPW	38003 (***) FP	64ピン LQFP (FP-64E)	H8/38002	フラッシュメモリ版	通常仕様品 (2.7V)	HD64F38002H10	64F38002H10	64ピン QFP (FP-64A)	HD64F38002FP10	F38002FP10	64ピン LQFP (FP-64E)	HD64F38002FT10	F38002FT10	64ピン QFN (TNP-64B)	HCD64F38002	—	チップ	通常仕様品 (2.2V)	HD64F38002H4	64F38002H4	64ピン QFP (FP-64A)	HD64F38002FP4	F38002FP4	64ピン LQFP (FP-64E)	HD64F38002FT4	F38002FT4	64ピン QFN (TNP-64B)	広温度範囲 仕様品 (2.7V)	HCD64F38002C4	—	チップ	HD64F38002H10W	64F38002H10	64ピン QFP (FP-64A)	マスク ROM 版	通常仕様品	HD64338002H	HD64338002H	64ピン QFP (FP-64A)	HD64338002FP	38002 (***) FP	64ピン LQFP (FP-64E)	HD64338002FT	38002 (***) FT	64ピン QFN (TNP-64B)	広温度範囲 仕様品	HCD64338002	—	チップ	HD64338002HW	HD64338002H	64ピン QFP (FP-64A)	HD64338002FPW	38002 (***) FP	64ピン LQFP (FP-64E)	HD64338002FTW	38002 (***) FT	64ピン QFN (TNP-64B)
	製品分類			製品型名	マーク型名	パッケージ (パッケージコード)																																																																																																																																				
H8/38004	フラッシュメモリ版	通常仕様品 (2.7V)	HD64F38004H10	64F38004H10	64ピン QFP (FP-64A)																																																																																																																																					
			HD64F38004FP10	F38004FP10	64ピン LQFP (FP-64E)																																																																																																																																					
			HD64F38004FT10	F38004FT10	64ピン QFN (TNP-64B)																																																																																																																																					
			HCD64F38004	—	チップ																																																																																																																																					
		通常仕様品 (2.2V)	HD64F38004H4	64F38004H4	64ピン QFP (FP-64A)																																																																																																																																					
			HD64F38004FP4	F38004FP4	64ピン LQFP (FP-64E)																																																																																																																																					
			HD64F38004FT4	F38004FT4	64ピン QFN (TNP-64B)																																																																																																																																					
		広温度範囲 仕様品 (2.7V)	HCD64F38004C4	—	チップ																																																																																																																																					
			HD64F38004H10W	64F38004H10	64ピン QFP (FP-64A)																																																																																																																																					
	マスク ROM 版	通常仕様品	HD64338004H	HD64338004H	64ピン QFP (FP-64A)																																																																																																																																					
			HD64338004FP	38004 (***) FP	64ピン LQFP (FP-64E)																																																																																																																																					
			HD64338004FT	38004 (***) FT	64ピン QFN (TNP-64B)																																																																																																																																					
			HCD64338004	—	チップ																																																																																																																																					
			広温度範囲 仕様品	HD64338004HW	HD64338004H	64ピン QFP (FP-64A)																																																																																																																																				
			HD64338004FPW	38004 (***) FP	64ピン LQFP (FP-64E)																																																																																																																																					
		マスク ROM 版	通常仕様品	HD64338003H	HD64338003H	64ピン QFP (FP-64A)																																																																																																																																				
				HD64338003FP	38003 (***) FP	64ピン LQFP (FP-64E)																																																																																																																																				
				HD64338003FT	38003 (***) FT	64ピン QFN (TNP-64B)																																																																																																																																				
広温度範囲 仕様品			HCD64338003	—	チップ																																																																																																																																					
			HD64338003HW	HD64338003H	64ピン QFP (FP-64A)																																																																																																																																					
			HD64338003FPW	38003 (***) FP	64ピン LQFP (FP-64E)																																																																																																																																					
H8/38002	フラッシュメモリ版	通常仕様品 (2.7V)	HD64F38002H10	64F38002H10	64ピン QFP (FP-64A)																																																																																																																																					
			HD64F38002FP10	F38002FP10	64ピン LQFP (FP-64E)																																																																																																																																					
			HD64F38002FT10	F38002FT10	64ピン QFN (TNP-64B)																																																																																																																																					
			HCD64F38002	—	チップ																																																																																																																																					
		通常仕様品 (2.2V)	HD64F38002H4	64F38002H4	64ピン QFP (FP-64A)																																																																																																																																					
			HD64F38002FP4	F38002FP4	64ピン LQFP (FP-64E)																																																																																																																																					
			HD64F38002FT4	F38002FT4	64ピン QFN (TNP-64B)																																																																																																																																					
		広温度範囲 仕様品 (2.7V)	HCD64F38002C4	—	チップ																																																																																																																																					
			HD64F38002H10W	64F38002H10	64ピン QFP (FP-64A)																																																																																																																																					
	マスク ROM 版	通常仕様品	HD64338002H	HD64338002H	64ピン QFP (FP-64A)																																																																																																																																					
			HD64338002FP	38002 (***) FP	64ピン LQFP (FP-64E)																																																																																																																																					
			HD64338002FT	38002 (***) FT	64ピン QFN (TNP-64B)																																																																																																																																					
		広温度範囲 仕様品	HCD64338002	—	チップ																																																																																																																																					
			HD64338002HW	HD64338002H	64ピン QFP (FP-64A)																																																																																																																																					
			HD64338002FPW	38002 (***) FP	64ピン LQFP (FP-64E)																																																																																																																																					
			HD64338002FTW	38002 (***) FT	64ピン QFN (TNP-64B)																																																																																																																																					
			付録-40	<p>表を修正</p> <table border="1"> <thead> <tr> <th colspan="3">製品分類</th> <th>製品型名</th> <th>マーク型名</th> <th>パッケージ (パッケージコード)</th> </tr> </thead> <tbody> <tr> <td rowspan="6">H8/38002</td> <td rowspan="6">マスク ROM 版</td> <td rowspan="3">通常仕様品</td> <td>HD64338002H</td> <td>HD64338002H</td> <td>64ピン QFP (FP-64A)</td> </tr> <tr> <td>HD64338002FP</td> <td>38002 (***) FP</td> <td>64ピン LQFP (FP-64E)</td> </tr> <tr> <td>HD64338002FT</td> <td>38002 (***) FT</td> <td>64ピン QFN (TNP-64B)</td> </tr> <tr> <td rowspan="3">広温度範囲 仕様品</td> <td>HCD64338002</td> <td>—</td> <td>チップ</td> </tr> <tr> <td>HD64338002HW</td> <td>HD64338002H</td> <td>64ピン QFP (FP-64A)</td> </tr> <tr> <td>HD64338002FPW</td> <td>38002 (***) FP</td> <td>64ピン LQFP (FP-64E)</td> </tr> </tbody> </table>	製品分類			製品型名	マーク型名	パッケージ (パッケージコード)	H8/38002	マスク ROM 版	通常仕様品	HD64338002H	HD64338002H	64ピン QFP (FP-64A)	HD64338002FP	38002 (***) FP	64ピン LQFP (FP-64E)	HD64338002FT	38002 (***) FT	64ピン QFN (TNP-64B)	広温度範囲 仕様品	HCD64338002	—	チップ	HD64338002HW	HD64338002H	64ピン QFP (FP-64A)	HD64338002FPW	38002 (***) FP	64ピン LQFP (FP-64E)																																																																																																										
			製品分類			製品型名	マーク型名	パッケージ (パッケージコード)																																																																																																																																		
H8/38002	マスク ROM 版	通常仕様品	HD64338002H	HD64338002H	64ピン QFP (FP-64A)																																																																																																																																					
			HD64338002FP	38002 (***) FP	64ピン LQFP (FP-64E)																																																																																																																																					
			HD64338002FT	38002 (***) FT	64ピン QFN (TNP-64B)																																																																																																																																					
		広温度範囲 仕様品	HCD64338002	—	チップ																																																																																																																																					
			HD64338002HW	HD64338002H	64ピン QFP (FP-64A)																																																																																																																																					
			HD64338002FPW	38002 (***) FP	64ピン LQFP (FP-64E)																																																																																																																																					

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																																							
D. 製品型名一覧 表 D.3 H8/38002S グループ型名 一覧	付録-41	<p>表を修正</p> <table border="1"> <thead> <tr> <th colspan="2">製品分類</th> <th>製品型名</th> <th>マーク型名</th> <th>パッケージ (パッケージコード)</th> </tr> </thead> <tbody> <tr> <td rowspan="6">H8/38002S</td> <td rowspan="6">マスク ROM 版</td> <td rowspan="3">通常仕様品</td> <td>HD64338002SH</td> <td>38002 (***) H</td> <td>64 ピン QFP (FP-64A)</td> </tr> <tr> <td>HD64338002SFZ</td> <td>38002 (***)</td> <td>64 ピン LQFP (FP-64K)</td> </tr> <tr> <td>HD64338002SFT</td> <td>38002 (***) FT</td> <td>64 ピン QFN (TNP-64B)</td> </tr> <tr> <td rowspan="3">広温度範囲 仕様品</td> <td>HD64338002SHW</td> <td>38002 (***) H</td> <td>64 ピン QFP (FP-64A)</td> </tr> <tr> <td>HD64338002SFZW</td> <td>38002 (***)</td> <td>64 ピン LQFP (FP-64K)</td> </tr> <tr> <td>HD64338002SFTW</td> <td>38002 (***) FT</td> <td>64 ピン QFN (TNP-64B)</td> </tr> <tr> <td rowspan="6">H8/38001S</td> <td rowspan="6">マスク ROM 版</td> <td rowspan="3">通常仕様品</td> <td>HD64338001SH</td> <td>38001 (***) H</td> <td>64 ピン QFP (FP-64A)</td> </tr> <tr> <td>HD64338001SFZ</td> <td>38001 (***)</td> <td>64 ピン LQFP (FP-64K)</td> </tr> <tr> <td>HD64338001SFT</td> <td>38001 (***) FT</td> <td>64 ピン QFN (TNP-64B)</td> </tr> <tr> <td rowspan="3">広温度範囲 仕様品</td> <td>HD64338001SHW</td> <td>38001 (***) H</td> <td>64 ピン QFP (FP-64A)</td> </tr> <tr> <td>HD64338001SFZW</td> <td>38001 (***)</td> <td>64 ピン LQFP (FP-64K)</td> </tr> <tr> <td>HD64338001SFTW</td> <td>38001 (***) FT</td> <td>64 ピン QFN (TNP-64B)</td> </tr> <tr> <td rowspan="6">H8/38000S</td> <td rowspan="6">マスク ROM 版</td> <td rowspan="3">通常仕様品</td> <td>HD64338000SH</td> <td>38000 (***) H</td> <td>64 ピン QFP (FP-64A)</td> </tr> <tr> <td>HD64338000SFZ</td> <td>38000 (***)</td> <td>64 ピン LQFP (FP-64K)</td> </tr> <tr> <td>HD64338000SFT</td> <td>38000 (***) FT</td> <td>64 ピン QFN (TNP-64B)</td> </tr> <tr> <td rowspan="3">広温度範囲 仕様品</td> <td>HD64338000SHW</td> <td>38000 (***) H</td> <td>64 ピン QFP (FP-64A)</td> </tr> <tr> <td>HD64338000SFZW</td> <td>38000 (***)</td> <td>64 ピン LQFP (FP-64K)</td> </tr> <tr> <td>HD64338000SFTW</td> <td>38000 (***) FT</td> <td>64 ピン QFN (TNP-64B)</td> </tr> </tbody> </table>	製品分類		製品型名	マーク型名	パッケージ (パッケージコード)	H8/38002S	マスク ROM 版	通常仕様品	HD64338002SH	38002 (***) H	64 ピン QFP (FP-64A)	HD64338002SFZ	38002 (***)	64 ピン LQFP (FP-64K)	HD64338002SFT	38002 (***) FT	64 ピン QFN (TNP-64B)	広温度範囲 仕様品	HD64338002SHW	38002 (***) H	64 ピン QFP (FP-64A)	HD64338002SFZW	38002 (***)	64 ピン LQFP (FP-64K)	HD64338002SFTW	38002 (***) FT	64 ピン QFN (TNP-64B)	H8/38001S	マスク ROM 版	通常仕様品	HD64338001SH	38001 (***) H	64 ピン QFP (FP-64A)	HD64338001SFZ	38001 (***)	64 ピン LQFP (FP-64K)	HD64338001SFT	38001 (***) FT	64 ピン QFN (TNP-64B)	広温度範囲 仕様品	HD64338001SHW	38001 (***) H	64 ピン QFP (FP-64A)	HD64338001SFZW	38001 (***)	64 ピン LQFP (FP-64K)	HD64338001SFTW	38001 (***) FT	64 ピン QFN (TNP-64B)	H8/38000S	マスク ROM 版	通常仕様品	HD64338000SH	38000 (***) H	64 ピン QFP (FP-64A)	HD64338000SFZ	38000 (***)	64 ピン LQFP (FP-64K)	HD64338000SFT	38000 (***) FT	64 ピン QFN (TNP-64B)	広温度範囲 仕様品	HD64338000SHW	38000 (***) H	64 ピン QFP (FP-64A)	HD64338000SFZW	38000 (***)	64 ピン LQFP (FP-64K)	HD64338000SFTW	38000 (***) FT	64 ピン QFN (TNP-64B)
製品分類		製品型名	マーク型名	パッケージ (パッケージコード)																																																																					
H8/38002S	マスク ROM 版	通常仕様品	HD64338002SH	38002 (***) H	64 ピン QFP (FP-64A)																																																																				
			HD64338002SFZ	38002 (***)	64 ピン LQFP (FP-64K)																																																																				
			HD64338002SFT	38002 (***) FT	64 ピン QFN (TNP-64B)																																																																				
		広温度範囲 仕様品	HD64338002SHW	38002 (***) H	64 ピン QFP (FP-64A)																																																																				
			HD64338002SFZW	38002 (***)	64 ピン LQFP (FP-64K)																																																																				
			HD64338002SFTW	38002 (***) FT	64 ピン QFN (TNP-64B)																																																																				
H8/38001S	マスク ROM 版	通常仕様品	HD64338001SH	38001 (***) H	64 ピン QFP (FP-64A)																																																																				
			HD64338001SFZ	38001 (***)	64 ピン LQFP (FP-64K)																																																																				
			HD64338001SFT	38001 (***) FT	64 ピン QFN (TNP-64B)																																																																				
		広温度範囲 仕様品	HD64338001SHW	38001 (***) H	64 ピン QFP (FP-64A)																																																																				
			HD64338001SFZW	38001 (***)	64 ピン LQFP (FP-64K)																																																																				
			HD64338001SFTW	38001 (***) FT	64 ピン QFN (TNP-64B)																																																																				
H8/38000S	マスク ROM 版	通常仕様品	HD64338000SH	38000 (***) H	64 ピン QFP (FP-64A)																																																																				
			HD64338000SFZ	38000 (***)	64 ピン LQFP (FP-64K)																																																																				
			HD64338000SFT	38000 (***) FT	64 ピン QFN (TNP-64B)																																																																				
		広温度範囲 仕様品	HD64338000SHW	38000 (***) H	64 ピン QFP (FP-64A)																																																																				
			HD64338000SFZW	38000 (***)	64 ピン LQFP (FP-64K)																																																																				
			HD64338000SFTW	38000 (***) FT	64 ピン QFN (TNP-64B)																																																																				
E. 外形寸法図 図 E.1 外形寸法図〔FP-64A〕	付録-43	図を差し替え																																																																							
図 E.2 外形寸法図〔FP-64E〕	付録-44	図を差し替え																																																																							
図 E.3 外形寸法図〔FP-64K〕	付録-45	図を差し替え																																																																							
図 E.5 外形寸法図〔TNP-64B〕	付録-47	新規追加																																																																							
H. チップトレイ仕様図 図 H.2 チップトレイ仕様図 (HCD64338004、HCD64338003、 HCD64338002、HCD64338001、 HCD64338000)	付録-51	図を差し替え																																																																							

索引

10 ビット PWM	11-1	オンボードプログラミング	6-16
A/D 変換器	12-1	ステータスポーリング	6-37
LCD コントローラ / ドライバ	13-1	ステータス読み出し	6-36
LCD RAM	13-10	ソケットアダプタ	6-27
LCD 表示	13-8	ソフトウェアプロテクト	6-26
LVDI	14-8	ハードウェアプロテクト	6-26
LVDR	14-7	ブートプログラム	6-16
ウォッチドッグタイマ	9-33	ブートモード	6-17
クロック発振器	4-1	プログラム / プログラムベリファイ	6-21
サブクロック発振器	4-7	メモリ読み出し	6-30
システムクロック発振器	4-4	ライタモード	6-27
プリスケアラ S	4-9	自動書き込み	6-33
プリスケアラ W	4-9	自動消去	6-35
シリアルコミュニケーションインタフェース 3 (SCI3)	10-1	書き込みの単位	6-12
オーバランエラー	10-22	消去ブロック	6-12
クロック同期モード	10-25	低消費電力動作	6-39
パリティエラー	10-22	ベクタアドレス	3-4
ビットレート	10-10	レジスタ	
ブ레이크	10-34	ADRR	12-3, 16-3, 16-6, 16-9
フレーミングエラー	10-22	ADSR	12-4, 16-3, 16-6, 16-9
マーク状態	10-34	AEGSR	9-24, 16-2, 16-5, 16-8
調歩同期モード	10-16	AMR	12-3, 16-3, 16-6, 16-9
タイマ A	9-2	BRR	10-10, 16-2, 16-5, 16-8
タイマ F		CKSTPR1	5-5, 16-4, 16-7, 16-10
16 ビットタイマモード	9-14	CKSTPR2	5-5, 16-4, 16-7, 16-10
8 ビットタイマモード	9-14	EBR	6-15, 16-2, 16-5, 16-8
低電圧検出リセット回路	14-7	ECCR	9-25, 16-2, 16-5, 16-8
低電圧検出回路	14-1	ECCSR	9-26, 16-2, 16-5, 16-8
低電圧検出割り込み回路	14-8	ECPWCR	9-22, 16-2, 16-5, 16-8
パッケージ	1-3	ECPWDR	9-23, 16-2, 16-5, 16-8
パワーオンリセット	14-1	FENR	6-16, 16-2, 16-5, 16-8
パワーオンリセット回路	14-6	FLMCR1	6-14, 16-2, 16-5, 16-8
ピン配置図	1-7	FLMCR2	6-15, 16-2, 16-5, 16-8
フラッシュメモリ	6-10	FLPWCR	6-15, 16-2, 16-5, 16-8
イレース / イレースベリファイ	6-24	IEGR	3-4, 16-4, 16-7, 16-10
エラープロテクト	6-26	IENR	3-5, 16-4, 16-7, 16-10
		IRR	3-7, 16-4, 16-7, 16-10

IWPR	3-9, 16-4, 16-7, 16-10	RDR.....	10-3, 16-2, 16-5, 16-8
LCR	13-6, 16-3, 16-6, 16-9	RSR.....	10-3
LCR2	13-7, 16-3, 16-6, 16-9	SCR3.....	10-6, 16-2, 16-5, 16-8
LPCR.....	13-4, 16-3, 16-6, 16-9	SMR	10-4, 16-2, 16-5, 16-8
LVDCR	14-3	SPCR	8-10, 16-2, 16-5, 16-8
LVDSR.....	14-4	SSR	10-8, 16-2, 16-5, 16-8
OCR.....	9-8, 16-3, 16-6, 16-9	SYSCR1.....	5-2, 16-4, 16-7, 16-10
PCR3.....	8-4, 16-3, 16-7, 16-10	SYSCR2.....	5-4, 16-4, 16-7, 16-10
PCR4.....	8-9, 16-3, 16-7, 16-10	TCA	9-4, 16-2, 16-5, 16-8
PCR5.....	8-13, 16-3, 16-7, 16-10	TCR	9-9, 16-2, 16-6, 16-8
PCR6.....	8-16, 16-4, 16-7, 16-10	TCSR.....	9-10, 16-2, 16-6, 16-8
PCR7.....	8-19, 16-4, 16-7, 16-10	TCSRW	9-35, 16-2, 16-5, 16-8
PCR8.....	8-21, 16-4, 16-7, 16-10	TCW	9-36, 16-2, 16-5, 16-8
PCRA.....	8-25, 16-4, 16-7, 16-10	TDR	10-3, 16-2, 16-5, 16-8
PDR3.....	8-4, 16-3, 16-6, 16-9	TMA.....	9-3, 16-2, 16-5, 16-8
PDR4.....	8-9, 16-3, 16-6, 16-9	TSR	10-3
PDR5.....	8-12, 16-3, 16-6, 16-9	WEGR.....	3-9, 16-2, 16-5, 16-8
PDR6.....	8-15, 16-3, 16-6, 16-9		
PDR7.....	8-18, 16-3, 16-6, 16-9	割り込み要求	
PDR8.....	8-20, 16-3, 16-6, 16-9	IRQ 割り込み要求	3-10
PDR9.....	8-22, 16-3, 16-6, 16-9	WKP 割り込み要求	3-10
PDRA.....	8-24, 16-3, 16-6, 16-9	割り込み応答時間	3-13
PDRB.....	8-26, 16-3, 16-6, 16-9	内部割り込み要求	3-12
PMR2.....	8-6, 16-3, 16-6, 16-9	割り込みマスクビット (1)	2-13
PMR3.....	8-5, 16-3, 16-6, 16-9	低消費電力モード.....	5-1
PMR5.....	8-13, 16-3, 16-6, 16-9	サブアクティブモード.....	5-11
PMR9.....	8-23, 16-4, 16-7, 16-10	サブスリープモード.....	5-10
PMRB	8-27, 16-4, 16-7, 16-10	スタンバイモード	5-9
PUCR3	8-5, 16-3, 16-6, 16-9	スリープモード	5-9
PUCR5	8-13, 16-3, 16-6, 16-9	モジュールスタンバイ機能.....	5-14
PUCR6	8-16, 16-3, 16-7, 16-10	内部電源降圧回路.....	15-1
PWCR.....	11-4, 16-3, 16-6, 16-9	例外処理	3-1
PWDR.....	11-5, 16-3, 16-6, 16-9	スタックの状態	3-12
		リセット例外処理	3-10

ルネサス8ビットシングルチップマイクロコンピュータ
ハードウェアマニュアル
H8/3802、H8/38004、H8/38002S、H8/38104グループ

発行年月日 1999年 9月 第1版
2010年 3月 8日 Rev.7.00
発行 株式会社ルネサステクノロジ 営業統括部
〒100-0004 東京都千代田区大手町 2-6-2
編集 株式会社ルネサスソリューションズ
グローバルストラテジックコミュニケーション本部
カスタマサポート部

株式会社ルネサステクノロジー 営業統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

営業お問合せ窓口
株式会社ルネサス販売

RENESAS

<http://www.renesas.com>

本			支	社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
西	東	京	支	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル)	(042) 524-8701
東	北		社	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア)	(022) 221-1351
い	わ	き	支	店	〒970-8026	いわき市平字田町120 (ラトプ)	(0246) 22-3222
茨	城		支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田)	(029) 271-9411
新	潟		支	店	〒950-0087	新潟市中央区東大通1-4-2 (新潟三井物産ビル)	(025) 241-4361
松	本		支	社	〒390-0815	松本市深志1-2-11 (昭和ビル)	(0263) 33-6622
中	部		支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西		支	社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸		支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル)	(076) 233-5980
広	島		支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング)	(082) 244-2570
九	州		支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ)	(092) 481-7695

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

■ 技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：コンタクトセンタ E-Mail: csc@renesas.com

H8/3802、H8/38004、
H8/38002S、H8/38104 グループ
ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0110-0700