

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事業の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。

改訂一覧は改訂箇所をまとめたものであり、
詳細については必ず本文の内容をご確認ください。

H8/38602R グループ

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ

H8ファミリ／H8/300H Super Low Power シリーズ

H8/38602R	HD64F38602R
	HD64338602R
H8/38600R	HD64338600R

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続きを行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意下さい。
5. 本資料に記載した情報は、正確を期すため慎重に制作したものです。万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行なうもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会下さい。

製品に関する一般的注意事項

1. NC 端子の処理

【注意】NC 端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続されていない場合、テスト用端子やノイズ軽減などの目的で使用している場合があります。このため、NC 端子には、何も接続しないようにしてください。接続された場合については保証できません。

2. 未使用入力端子の処理

【注意】未使用の入力端子は、ハイまたはローレベルに固定してください。

CMOS 製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。未使用の入力端子は、ハイまたはローレベルに固定してください。

3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられている場合があります。これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

本書の構成

本書は、以下の構成で制作しています。

1. 製品に関する一般的注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明

- ・ CPU およびシステム制御系
- ・ 内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュール毎に異なりますが、一般的には、
特長、 入出力端子、 レジスタの説明、 動作説明、 使用上の注意事項、
等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。
各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。
必ずお読みください。（使用上の注意事項は必要により記載されます。）

7. レジスター一覧
8. 電気的特性
9. 付録
10. 本版で修正または追加された主な箇所（改訂版のみ適用）

改訂来歴は、前版の記載内容について訂正・追加された主な箇所についてまとめたものです。
改訂内容の全てについて記載したものではありませんので、詳細については、本書の本文上で
ご確認ください。

11. 索引

はじめに

H8/38602R グループは、ルネサス テクノロジオリジナルの高速 H8/300H CPU をコアにして、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータです。H8/300H CPU は、H8/300 CPU と互換性のある命令体系を備えています。

対象者 このマニュアルは、H8/38602R グループを用いた応用システムを設計するユーザーを対象としています。

このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 このマニュアルは、H8/38602R グループのハードウェア機能と電気的特性をユーザーに理解していただくことを目的としています。なお、実行命令の詳細については、「H8/300H シリーズ プログラミングマニュアル」に記載しておりますので、あわせてご覧ください。

読み方

- 機能全体を理解しようとするとき。

目次にしたがって読んでください。

本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。

- CPU機能の詳細を理解したいとき。

別冊の「H8/300Hシリーズ プログラミングマニュアル」を参照してください。

- レジスタ名がわかっていて、詳細機能を知りたいとき。

本書の後ろに、「索引」があります。索引からページ番号を検索してください。

「第20章 レジスタ一覧」にアドレス、ビット内容、初期化についてまとめています。

レジスタ表記

シリアルコミュニケーションインタフェースなど、同一または類似した機能が複数チャンネルに存在する場合に次の表記を使用します。

XXX_N (XXXは基本レジスタ名称、Nはチャンネル番号)

凡例 ビット表記順 : 左側が上位ビット、右側が下位ビットの順に表記しています。

ご注意

オンチップエミュレータ (E7) を使用して H8/38602R のプログラム開発、デバッグを行う場合、以下の制限事項がありますのでご注意ください。

1. $\overline{\text{NMI}}$ 端子はE7で占有するため使用できません。
2. アドレスH'4000 ~ H'4FFF領域は絶対にアクセスしないでください。
3. アドレスH'F780 ~ H'FB7F領域は絶対にアクセスしないでください。
4. E7使用時、 $\overline{\text{NMI}}$ 端子は入出力（出力時はオープンドレイン）になります。
5. ブートモードによるオンボードプログラミングモードでは、SCI3（P31/RXD3、P32/TXD3）を使用します。
6. 内蔵発振器を選択する場合でも、オンチップエミュレータ使用時には、OSC1端子とOSC2端子に発振子を接続するか、またはOSC1端子に外部クロックを供給してください。
7. E7使用時、クロック停止レジスタ1のビット1（FROMCKSTP）は必ず1にセットしてください。

関連資料一覧 ウェブ・サイトに最新資料を掲載しています。ご入手の資料が最新版であることを確認してください。
 (<http://japan.renesas.com/>)

- H8/38602Rグループに関するユーザーズマニュアル

資料名	資料番号
H8/38602R グループ ハードウェアマニュアル	本マニュアル
H8/300H シリーズ プログラミングマニュアル	RJJ09B0141

- 開発ツール関連ユーザーズマニュアル

資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラ、アセンブラ、最適化リンカージェディタ ユーザーズマニュアル	RJJ10B0049
H8S、H8/300 シリーズ シミュレータ・デバッグユーザーズマニュアル	ADJ - 702 - 355
H8S、H8/300 シリーズ High-performance Embedded Workshop3 チュートリアル	RJJ10B0027
H8S、H8/300 シリーズ High-performance Embedded Workshop3 ユーザーズマニュアル	RJJ10B0029

- アプリケーションノート

資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラパッケージアプリケーションノート	RJJ05B0558

目次

1. 概要	1-1
1.1 特長	1-1
1.2 内部ブロック図	1-3
1.3 ピン配置図	1-4
1.4 端子機能	1-5
2. CPU	2-1
2.1 アドレス空間とメモリマップ	2-2
2.2 レジスタ構成	2-3
2.2.1 汎用レジスタ	2-3
2.2.2 プログラムカウンタ (PC)	2-4
2.2.3 コンディションコードレジスタ (CCR)	2-5
2.3 データ形式	2-6
2.3.1 汎用レジスタのデータ形式	2-6
2.3.2 メモリ上のデータ形式	2-7
2.4 命令セット	2-9
2.4.1 命令の機能別一覧	2-9
2.4.2 命令の基本フォーマット	2-17
2.5 アドレッシングモードと実効アドレス	2-18
2.5.1 アドレッシングモード	2-18
2.5.2 実効アドレスの計算方法	2-20
2.6 基本バスサイクル	2-23
2.6.1 内蔵メモリ (RAM、ROM)	2-23
2.6.2 内蔵周辺モジュール	2-24
2.7 CPUの状態	2-25
2.8 使用上の注意事項	2-26
2.8.1 空きエリアへのデータアクセス	2-26
2.8.2 EEPMOV 命令	2-26
2.8.3 ビット操作命令	2-27
3. 例外処理	3-1
3.1 例外処理要因とベクタアドレス	3-2
3.2 リセット	3-4
3.2.1 リセット例外処理	3-4

3.2.2	リセット直後の割り込み.....	3-5
3.3	入出力端子.....	3-6
3.4	レジスタの説明.....	3-6
3.4.1	割り込みエッジセレクトレジスタ (IEGR)	3-7
3.4.2	割り込みイネーブルレジスタ 1 (IENR1)	3-7
3.4.3	割り込みイネーブルレジスタ 2 (IENR2)	3-8
3.4.4	割り込みフラグレジスタ 1 (IRR1)	3-8
3.4.5	割り込みフラグレジスタ 2 (IRR2)	3-9
3.5	割り込み要因.....	3-10
3.5.1	外部割り込み.....	3-10
3.5.2	内部割り込み.....	3-10
3.6	割り込み動作.....	3-11
3.6.1	割り込み例外処理シーケンス.....	3-13
3.7	例外処理後のスタック状態.....	3-15
3.7.1	割り込み応答時間.....	3-15
3.8	使用上の注意事項.....	3-16
3.8.1	スタック領域に関する使用上の注意事項	3-16
3.8.2	外部割り込み端子の機能を切り替える際の注意事項	3-17
3.8.3	割り込み要求フラグをクリアする方法	3-19
3.8.4	割り込みの発生とディスエーブルとの競合	3-20
3.8.5	割り込みの受け付けを禁止している命令	3-20
3.8.6	EEPMOV 命令実行中の割り込み	3-20
3.8.7	IENR のクリアについて	3-20
4.	クロック発振器.....	4-1
4.1	レジスタの説明.....	4-2
4.1.1	発振器コントロールレジスタ (OSCCR)	4-2
4.2	システムクロック発振器.....	4-3
4.2.1	水晶発振子を接続する方法.....	4-3
4.2.2	セラミック発振子を接続する方法.....	4-3
4.2.3	外部クロックを入力する方法.....	4-4
4.2.4	内蔵発振器を選択する方法.....	4-4
4.3	サブクロック発振器.....	4-5
4.3.1	32.768kHz/38.4kHz 水晶発振子を接続する方法	4-5
4.3.2	サブクロックを必要としない場合の端子処理	4-6
4.3.3	外部クロックを入力する方法.....	4-6
4.3.4	内蔵発振器を選択する方法.....	4-6
4.4	プリスケアラ.....	4-7
4.4.1	プリスケアラ S.....	4-7
4.4.2	プリスケアラ W.....	4-7

4.5	使用上の注意事項	4-8
4.5.1	発振子と発振回路に関する注意事項	4-8
4.5.2	ボード設計上の注意事項	4-10
4.5.3	発振安定待機時間の定義	4-10
4.5.4	サブクロック停止状態に関する注意事項	4-12
4.5.5	発振子の発振安定についての注意事項	4-12
4.5.6	パワーオンリセット使用時の注意事項	4-12
4.5.7	オンチップエミュレータ使用時の注意事項	4-12
5.	低消費電力モード	5-1
5.1	レジスタの説明	5-2
5.1.1	システムコントロールレジスタ 1 (SYSCR1)	5-2
5.1.2	システムコントロールレジスタ 2 (SYSCR2)	5-3
5.1.3	クロック停止レジスタ 1、2 (CKSTPR1、CKSTPR2)	5-4
5.2	モード間遷移とLSIの状態	5-5
5.2.1	スリープモード	5-9
5.2.2	スタンバイモード	5-9
5.2.3	ウォッチモード	5-10
5.2.4	サブスリープモード	5-10
5.2.5	サブアクティブモード	5-11
5.2.6	アクティブ (中速) モード	5-11
5.3	直接遷移	5-12
5.3.1	アクティブ (高速) モードからアクティブ (中速) モードへの直接遷移について	5-12
5.3.2	アクティブ (高速) モードからサブアクティブモードへの直接遷移について	5-12
5.3.3	アクティブ (中速) モードからアクティブ (高速) モードへの直接遷移について	5-13
5.3.4	アクティブ (中速) モードからサブアクティブモードへの直接遷移について	5-13
5.3.5	サブアクティブモードからアクティブ (高速) モードへの直接遷移について	5-13
5.3.6	サブアクティブモードからアクティブ (中速) モードへの直接遷移について	5-14
5.3.7	直接遷移前後で外部入力信号が変化する場合の注意事項	5-14
5.4	モジュールスタンバイ機能	5-14
5.5	内蔵発振器と動作モード	5-15
5.6	使用上の注意事項	5-16
5.6.1	スタンバイモードへの遷移と端子状態	5-16
5.6.2	スタンバイモード前後で外部入力信号が変化する場合の注意事項	5-17
6.	ROM	6-1
6.1	ブロック構成	6-2
6.2	レジスタの説明	6-3
6.2.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1)	6-3
6.2.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2)	6-4

6.2.3	ブロック指定レジスタ 1 (EBR1)	6-4
6.2.4	フラッシュメモリパワーコントロールレジスタ (FLPWCR)	6-4
6.2.5	フラッシュメモリエnableレジスタ (FENR)	6-5
6.3	オンボードプログラミング	6-5
6.3.1	ブートモード	6-6
6.3.2	ユーザモードでの書き込み / 消去	6-8
6.4	書き込み / 消去プログラム	6-9
6.4.1	プログラム / プログラムベリファイ	6-9
6.4.2	イレース / イレースベリファイ	6-12
6.4.3	フラッシュメモリの書き込み / 消去時の割り込み	6-12
6.5	書き込み / 消去プロテクト	6-14
6.5.1	ハードウェアプロテクト	6-14
6.5.2	ソフトウェアプロテクト	6-14
6.5.3	エラープロテクト	6-14
6.6	フラッシュメモリの低消費電力動作	6-15
6.7	モジュールスタンバイモード設定時の注意事項	6-16
7.	RAM	7-1
8.	I/O ポート	8-1
8.1	ポート1	8-1
8.1.1	ポートデータレジスタ 1 (PDR1)	8-2
8.1.2	ポートコントロールレジスタ 1 (PCR1)	8-2
8.1.3	ポートプルアップコントロールレジスタ 1 (PUCR1)	8-2
8.1.4	ポートモードレジスタ 1 (PMR1)	8-3
8.1.5	端子機能	8-3
8.1.6	入力プルアップ MOS	8-5
8.2	ポート3	8-6
8.2.1	ポートデータレジスタ 3 (PDR3)	8-6
8.2.2	ポートコントロールレジスタ 3 (PCR3)	8-7
8.2.3	ポートプルアップコントロールレジスタ 3 (PUCR3)	8-7
8.2.4	ポートモードレジスタ 3 (PMR3)	8-7
8.2.5	端子機能	8-8
8.2.6	入力プルアップ MOS	8-9
8.3	ポート8	8-9
8.3.1	ポートデータレジスタ 8 (PDR8)	8-10
8.3.2	ポートコントロールレジスタ 8 (PCR8)	8-10
8.3.3	ポートプルアップコントロールレジスタ 8 (PUCR8)	8-10
8.3.4	端子機能	8-11
8.3.5	入力プルアップ MOS	8-12

8.4	ポート9	8-12
8.4.1	ポートデータレジスタ9 (PDR9)	8-13
8.4.2	ポートコントロールレジスタ9 (PCR9)	8-13
8.4.3	ポートオープンドレインコントロールレジスタ9 (PODR9)	8-13
8.4.4	ポートプルアップコントロールレジスタ9 (PUCR9)	8-14
8.4.5	端子機能	8-14
8.4.6	入力プルアップ MOS	8-16
8.5	ポートB	8-16
8.5.1	ポートデータレジスタ B (PDRB)	8-17
8.5.2	ポートモードレジスタ B (PMRB)	8-17
8.5.3	端子機能	8-18
8.6	入出力データの反転	8-19
8.6.1	シリアルポートコントロールレジスタ (SPCR)	8-19
8.6.2	ポート機能コントロールレジスタ (PFCR)	8-20
8.7	使用上の注意事項	8-21
8.7.1	未使用端子の処理	8-21
8.7.2	端子機能による入力特性の相違について	8-21
9.	タイマ B1	9-1
9.1	特長	9-1
9.2	レジスタの説明	9-2
9.2.1	タイマモードレジスタ B1 (TMB1)	9-2
9.2.2	タイマカウンタ B1 (TCB1)	9-3
9.2.3	タイマロードレジスタ B1 (TLB1)	9-3
9.3	使用方法	9-4
9.4	動作説明	9-6
9.4.1	インターバルタイマの動作	9-6
9.4.2	オートリロードタイマの動作	9-6
9.5	タイマB1の動作モード	9-6
10.	タイマ W	10-1
10.1	特長	10-1
10.2	入出力端子	10-4
10.3	レジスタの説明	10-4
10.3.1	タイマモードレジスタ W (TMRW)	10-5
10.3.2	タイマコントロールレジスタ W (TCRW)	10-6
10.3.3	タイマインタラプトイネーブルレジスタ W (TIERW)	10-7
10.3.4	タイマステータスレジスタ W (TSRW)	10-7
10.3.5	タイマ I/O コントロールレジスタ 0 (TIOR0)	10-9
10.3.6	タイマ I/O コントロールレジスタ 1 (TIOR1)	10-10

10.3.7	タイマカウンタ (TCNT)	10-11
10.3.8	ジェネラルレジスタ A、B、C、D (GRA、GRB、GRC、GRD)	10-11
10.4	動作説明	10-12
10.4.1	通常動作	10-12
10.4.2	PWM 動作	10-15
10.5	動作タイミング	10-20
10.5.1	TCNT のカウントタイミング	10-20
10.5.2	アウトプットコンペア出力タイミング	10-21
10.5.3	インプットキャプチャタイミング	10-21
10.5.4	コンペアマッチによるカウンタクリアタイミング	10-22
10.5.5	パツファ動作タイミング	10-23
10.5.6	コンペアマッチ時の IMFA ~ IMFD フラグのセットタイミング	10-24
10.5.7	インプットキャプチャ時のフラグセットタイミング	10-24
10.5.8	ステータスフラグのクリアタイミング	10-25
10.6	タイマWの動作モード	10-26
10.7	使用上の注意事項	10-26
11.	リアルタイムクロック (RTC)	11-1
11.1	特長	11-1
11.2	入出力端子	11-2
11.3	レジスタの説明	11-2
11.3.1	秒データレジスタ / フリーランカウンタデータレジスタ (RSECDR)	11-2
11.3.2	分データレジスタ (RMINDR)	11-3
11.3.3	時データレジスタ (RHRDR)	11-3
11.3.4	曜日データレジスタ (RWKDR)	11-4
11.3.5	RTC コントロールレジスタ 1 (RTCCR1)	11-5
11.3.6	RTC コントロールレジスタ 2 (RTCCR2)	11-6
11.3.7	クロックソースセレクトレジスタ (RTCCSR)	11-7
11.3.8	RTC 割り込みフラグレジスタ (RTCFLG)	11-8
11.4	RTCの動作	11-9
11.4.1	電源投入後のレジスタの初期設定	11-9
11.4.2	初期設定手順	11-9
11.4.3	時刻読み出し手順	11-9
11.5	割り込み要因	11-10
11.6	使用上の注意事項	11-11
11.6.1	時計カウントに関する注意事項	11-11
11.6.2	割り込みをする場合の注意事項	11-11

12. ウォッチドッグタイマ	12-1
12.1 特長	12-1
12.2 レジスタの説明	12-3
12.2.1 タイマコントロール/ステータスレジスタ WD1 (TCSRWD1)	12-3
12.2.2 タイマコントロール/ステータスレジスタ WD2 (TCSRWD2)	12-5
12.2.3 タイマカウンタ WD (TCWD)	12-5
12.2.4 タイマモードレジスタ WD (TMWD)	12-6
12.3 動作説明	12-7
12.3.1 ウォッチドッグタイマ時の動作	12-7
12.3.2 インターバルタイマ時の動作	12-8
12.3.3 オーバフローフラグ (OVF) セットタイミング	12-8
12.4 割り込み	12-9
12.5 使用上の注意事項	12-9
12.5.1 ウォッチドッグタイマモードとインターバルタイマモードの切り替え	12-9
12.5.2 モジュールスタンバイモード制御	12-9
12.5.3 TCSRWD2 の WT/IT および IEOVF のクリア	12-9
13. 非同期イベントカウンタ (AEC)	13-1
13.1 特長	13-1
13.2 入出力端子	13-2
13.3 レジスタの説明	13-3
13.3.1 イベントカウンタ PWM コンペアレジスタ (ECPWCR)	13-3
13.3.2 イベントカウンタ PWM データレジスタ (ECPWDR)	13-4
13.3.3 入力端子エッジセレクトレジスタ (AEGSR)	13-4
13.3.4 イベントカウンタコントロールレジスタ (ECCR)	13-5
13.3.5 イベントカウンタコントロール/ステータスレジスタ (ECCSR)	13-6
13.3.6 イベントカウンタ H (ECH)	13-7
13.3.7 イベントカウンタ L (ECL)	13-7
13.4 動作説明	13-8
13.4.1 16 ビットカウンタの動作	13-8
13.4.2 8 ビットカウンタの動作	13-9
13.4.3 IRQAEC の動作	13-10
13.4.4 イベントカウンタ PWM の動作	13-10
13.4.5 クロック入力許可/禁止機能の動作	13-11
13.5 非同期イベントカウンタの動作モード	13-12
13.6 使用上の注意事項	13-13

14.	シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)	14-1
14.1	特長	14-1
14.2	入出力端子	14-3
14.3	レジスタの説明	14-3
14.3.1	レシーブシフトレジスタ (RSR)	14-3
14.3.2	レシーブデータレジスタ (RDR)	14-3
14.3.3	トランスミットシフトレジスタ (TSR)	14-4
14.3.4	トランスミットデータレジスタ (TDR)	14-4
14.3.5	シリアルモードレジスタ (SMR)	14-4
14.3.6	シリアルコントロールレジスタ (SCR)	14-6
14.3.7	シリアルステータスレジスタ (SSR)	14-8
14.3.8	ビットレートレジスタ (BRR)	14-10
14.3.9	シリアルポートコントロールレジスタ (SPCR)	14-18
14.3.10	IrDA コントロールレジスタ (IrCR)	14-19
14.3.11	シリアル拡張モードレジスタ (SEMR)	14-19
14.4	調歩同期式モードの動作説明	14-20
14.4.1	クロック	14-20
14.4.2	SCI3 の初期化	14-23
14.4.3	データ送信	14-24
14.4.4	データ受信	14-26
14.5	クロック同期式モードの動作説明	14-29
14.5.1	クロック	14-29
14.5.2	SCI3 の初期化	14-29
14.5.3	データ送信	14-30
14.5.4	データ受信	14-32
14.5.5	データ送受信同時動作	14-34
14.6	IrDA動作	14-35
14.6.1	送信	14-35
14.6.2	受信	14-36
14.6.3	High パルス幅の選択	14-37
14.7	割り込み要求	14-37
14.8	使用上の注意事項	14-39
14.8.1	ブレークの検出と処理について	14-39
14.8.2	マーク状態とブレークの送付	14-39
14.8.3	受信エラーフラグと送信動作について (クロック同期式モードのみ)	14-40
14.8.4	調歩同期式モードの受信データサンプリングタイミングと受信マージン	14-40
14.8.5	SCK3 端子機能切り替えに伴う注意事項	14-41
14.8.6	TDR へのライトと TDRE の関係について	14-41
14.8.7	RDR のリードと RDRF の関係について	14-42

14.8.8	状態遷移時における送信および受信動作について	14-43
14.8.9	サブアクティブモード、サブスリープモード時の設定について	14-43
14.8.10	シリアルコミュニケーションインタフェース 3 を実行する際に使用する発振器について	14-43
15.	シンクロナスシリアルコミュニケーションユニット (SSU)	15-1
15.1	特長	15-1
15.2	入出力端子	15-3
15.3	レジスタの説明	15-3
15.3.1	SS コントロールレジスタ H (SSCRH)	15-4
15.3.2	SS コントロールレジスタ L (SSCRL)	15-5
15.3.3	SS モードレジスタ (SSMR)	15-6
15.3.4	SS イネーブルレジスタ (SSER)	15-7
15.3.5	SS ステータスレジスタ (SSSR)	15-8
15.3.6	SS レシーブデータレジスタ (SSRDR)	15-9
15.3.7	SS トランスミットデータレジスタ (SSTDR)	15-9
15.3.8	SS シフトレジスタ (SSTRSR)	15-9
15.4	動作説明	15-10
15.4.1	転送クロック	15-10
15.4.2	クロックの極性、位相とデータの関係	15-10
15.4.3	データ入出力とシフトレジスタの関係	15-11
15.4.4	各通信モードと端子機能	15-12
15.4.5	クロック同期式通信モードの動作	15-13
15.4.6	4 線式バス通信モードの動作	15-19
15.4.7	4 線式バス通信モードの初期化	15-19
15.4.8	データ送信	15-20
15.4.9	データ受信	15-22
15.4.10	$\overline{\text{SCS}}$ 端子制御とアービトレーション	15-24
15.4.11	割り込み要求	15-25
15.5	使用上の注意事項	15-25
16.	I ² C バスインタフェース 2 (IIC2)	16-1
16.1	特長	16-1
16.2	入出力端子	16-3
16.3	レジスタの説明	16-3
16.3.1	I ² C バスコントロールレジスタ 1 (ICCR1)	16-4
16.3.2	I ² C バスコントロールレジスタ 2 (ICCR2)	16-5
16.3.3	I ² C バスモードレジスタ (ICMR)	16-7
16.3.4	I ² C バスインタラプトイネーブルレジスタ (ICIER)	16-8
16.3.5	I ² C バスステータスレジスタ (ICSR)	16-10
16.3.6	スレーブアドレスレジスタ (SAR)	16-12

16.3.7	I ² C バス送信データレジスタ (ICDRT)	16-12
16.3.8	I ² C バス受信データレジスタ (ICDRR)	16-12
16.3.9	I ² C バスシフトレジスタ (ICDRS)	16-12
16.4	動作説明	16-13
16.4.1	I ² C バスフォーマット	16-13
16.4.2	マスタ送信動作	16-14
16.4.3	マスタ受信動作	16-16
16.4.4	スレーブ送信動作	16-18
16.4.5	スレーブ受信動作	16-20
16.4.6	クロック同期式シリアルフォーマット	16-22
16.4.7	ノイズ除去回路	16-24
16.4.8	使用例	16-25
16.5	割り込み要求	16-29
16.6	ビット同期回路	16-29
16.7	使用上の注意事項	16-30
16.7.1	停止条件および開始条件 (再送) の出力について	16-30
16.7.2	I ² C バスモードレジスタ (ICMR) の WAIT 設定について	16-30
17.	A/D 変換器	17-1
17.1	特長	17-1
17.2	入出力端子	17-3
17.3	レジスタの説明	17-3
17.3.1	A/D リザルトレジスタ (ADRR)	17-3
17.3.2	A/D モードレジスタ (AMR)	17-4
17.3.3	A/D スタートレジスタ (ADSR)	17-5
17.4	動作説明	17-5
17.4.1	A/D 変換動作	17-5
17.4.2	外部トリガタイミング	17-5
17.4.3	A/D 変換器の動作モード	17-6
17.5	使用例	17-6
17.6	A/D変換精度の定義	17-9
17.7	使用上の注意事項	17-11
17.7.1	許容信号源インピーダンスについて	17-11
17.7.2	絶対精度への影響について	17-11
17.7.3	使用上の注意	17-12
18.	コンパレータ	18-1
18.1	特長	18-1
18.2	入出力端子	18-2
18.3	レジスタの説明	18-3

18.3.1	コンペアコントロールレジスタ 0、1 (CMCR0、CMCR1)	18-3
18.3.2	コンペアデータレジスタ (CMDR)	18-5
18.4	動作説明	18-6
18.4.1	動作シーケンス	18-6
18.4.2	コンパレータのヒステリシス特性について	18-6
18.4.3	割り込み設定について	18-7
18.5	使用上の注意事項	18-8
19.	パワーオンリセット回路	19-1
19.1	特長	19-1
19.2	動作説明	19-2
19.2.1	パワーオンリセット回路	19-2
20.	レジスター一覧	20-1
20.1	レジスタアドレス一覧 (アドレス順)	20-2
20.2	レジスタビット一覧	20-5
20.3	各動作モードにおけるレジスタの状態	20-9
21.	電气的特性	21-1
21.1	F-ZTAT版の絶対最大定格	21-1
21.2	F-ZTAT版の電气的特性	21-2
21.2.1	電源電圧と動作範囲	21-2
21.2.2	DC 特性	21-9
21.2.3	AC 特性	21-14
21.2.4	A/D 変換器特性	21-18
21.2.5	コンパレータ特性	21-19
21.2.6	ウォッチドッグタイマ特性	21-19
21.2.7	パワーオンリセット回路特性	21-20
21.2.8	フラッシュメモリ特性	21-20
21.3	マスクROM版の絶対最大定格	21-22
21.4	マスクROM版の電气的特性	21-23
21.4.1	電源電圧と動作範囲	21-23
21.4.2	DC 特性	21-30
21.4.3	AC 特性	21-35
21.4.4	A/D 変換器特性	21-39
21.4.5	コンパレータ特性	21-40
21.4.6	ウォッチドッグタイマ特性	21-40
21.4.7	パワーオンリセット回路特性	21-41
21.5	動作タイミング	21-41
21.6	出力負荷回路	21-46

21.7	推奨発振子	21-47
21.8	使用上の注意事項	21-47
付録	付録-1
A.	命令	付録-1
A.1	命令一覧	付録-1
A.2	オペレーションコードマップ	付録-16
A.3	命令実行ステート数	付録-19
A.4	命令とアドレッシングモードの組み合わせ	付録-28
B.	I/Oポート	付録-29
B.1	I/Oポートブロック図	付録-29
B.2	各処理状態におけるポートの状態	付録-41
B.3	ポート9 関連レジスタの設定と各端子の機能	付録-42
C.	製品型名一覧	付録-44
D.	外形寸法図	付録-45
本版で修正または追加された箇所	改訂-1
索引	索引-1

図目次

1. 概要

図 1.1	H8/38602R グループ内部ブロック図	1-3
図 1.2	H8/38602R グループピン配置図 (TNP-32)	1-4
図 1.3	H8/38602R グループピン配置図 (32P6U-A)	1-4

2. CPU

図 2.1	メモリマップ	2-2
図 2.2	CPU 内部レジスタ構成	2-3
図 2.3	汎用レジスタの使用方法	2-4
図 2.4	スタックポインタとスタック領域の関係	2-4
図 2.5	汎用レジスタのデータ形式 (1)	2-6
図 2.5	汎用レジスタのデータ形式 (2)	2-7
図 2.6	メモリ上でのデータ形式	2-8
図 2.7	命令フォーマット	2-17
図 2.8	メモリ間接による分岐アドレスの指定	2-20
図 2.9	内蔵メモリアクセスサイクル	2-23
図 2.10	内蔵周辺モジュールアクセスサイクル (3 ステートアクセスの場合)	2-24
図 2.11	CPU の状態の分類	2-25
図 2.12	状態遷移図	2-26
図 2.13	同一アドレスに割付けられた 2 つのレジスタを持つタイマの構成例	2-27

3. 例外処理

図 3.1	リセット例外処理シーケンス	3-5
図 3.2	割り込みコントローラのブロック図	3-12
図 3.3	割り込み受け付けまでのフロー	3-13
図 3.4	割り込み例外処理シーケンス	3-14
図 3.5	割り込み例外処理終了後のスタック状態	3-15
図 3.6	SP に奇数を設定したときの動作	3-16
図 3.7	PFCSR、PMRB (または AEGSR) 操作と割り込み要求フラグのクリア手順	3-18

4. クロック発振器

図 4.1	クロック発生回路のブロック図	4-1
図 4.2	水晶発振子の接続例	4-3
図 4.3	セラミック発振子の接続例	4-3
図 4.4	外部クロックを入力する場合の接続例	4-4
図 4.5	32.768kHz/38.4kHz 水晶発振子の接続例	4-5
図 4.6	32.768kHz/38.4kHz 水晶発振子の等価回路	4-5
図 4.7	サブクロックを必要としない場合の端子処理	4-6
図 4.8	外部クロックを入力する場合の接続例	4-6
図 4.9	水晶、セラミック発振子の配置例	4-8
図 4.10	負性抵抗測定と回路変更案	4-9

	図 4.11 発振回路のボード設計に関する注意事項	4-10
	図 4.12 発振安定待機時間	4-11
5.	低消費電力モード	
	図 5.1 モード遷移図	5-6
	図 5.2 スタンバイモードへの遷移と端子状態	5-16
	図 5.3 スタンバイモード、ウォッチモード前後で外部入力信号が変化する場合の注意事項	5-17
6.	ROM	
	図 6.1 フラッシュメモリのブロック構成	6-2
	図 6.2 ユーザモードにおける書き込み / 消去例	6-8
	図 6.3 プログラム / プログラムベリファイフロー	6-10
	図 6.4 イレース / イレースベリファイフロー	6-13
	図 6.5 モジュールスタンバイモードの設定方法	6-16
8.	I/O ポート	
	図 8.1 ポート 1 の端子構成	8-1
	図 8.2 ポート 3 の端子構成	8-6
	図 8.3 ポート 8 の端子構成	8-9
	図 8.4 ポート 9 の端子構成	8-12
	図 8.5 ポート B の端子構成	8-16
	図 8.6 入出力データ反転機能	8-19
9.	タイマ B1	
	図 9.1 タイマ B1 ブロック図	9-1
	図 9.2 タイマ B1 初期設定フロー	9-4
	図 9.3 カウンタ動作中に設定を変更する場合の処理フロー	9-5
10.	タイマ W	
	図 10.1 タイマ W のブロック図	10-3
	図 10.2 フリーランニングカウンタの動作	10-12
	図 10.3 周期カウンタの動作	10-12
	図 10.4 0 出力、1 出力の動作例 (TOA = 0、TOB = 1 の場合)	10-13
	図 10.5 トグル出力の動作例 (TOA = 0、TOB = 1 の場合)	10-13
	図 10.6 トグル出力の動作例 (TOA = 0、TOB = 1 の場合)	10-14
	図 10.7 インพุットキャプチャ動作例	10-14
	図 10.8 バッファ動作例 (インพุットキャプチャの場合)	10-15
	図 10.9 PWM モード動作例 (1)	10-16
	図 10.10 PWM モード動作例 (2)	10-16
	図 10.11 バッファ動作例 (アウトプットコンペアの場合)	10-17
	図 10.12 PWM モード動作例 (TOB、TOC、TOD = 0、初期出力 0 の場合)	10-18
	図 10.13 PWM モード動作例 (TOB、TOC、TOD = 1、初期出力 1 の場合)	10-19
	図 10.14 内部クロック動作時のカウントタイミング	10-20
	図 10.15 外部クロック動作時のカウントタイミング	10-20
	図 10.16 アウトプットコンペア出力タイミング	10-21
	図 10.17 インพุットキャプチャ入力信号タイミング	10-22
	図 10.18 コンペアマッチによるカウンタクリアタイミング	10-22
	図 10.19 バッファ動作タイミング (コンペアマッチ)	10-23

図 10.20	バッファ動作タイミング (インプットキャプチャ)	10-23
図 10.21	コンペアマッチ時の IMFA ~ IMFD フラグのセットタイミング	10-24
図 10.22	インプットキャプチャ発生時の IMFA ~ IMFD フラグのセットタイミング	10-25
図 10.23	CPU によるステータスフラグのクリアタイミング	10-25
図 10.24	TCNT のライトとクリアの競合	10-28
図 10.25	内部クロックの切り替えと TCNT 動作	10-28
11. リアルタイムクロック (RTC)		
図 11.1	RTC のブロック図	11-1
図 11.2	時間表現の定義	11-5
図 11.3	初期設定手順	11-9
図 11.4	正しい時刻を得られない場合の例	11-10
12. ウォッチドッグタイマ		
図 12.1	ウォッチドッグタイマのブロック図	12-2
図 12.2	ウォッチドッグタイマの動作例	12-7
図 12.3	ウォッチドッグタイマモード時の動作	12-8
図 12.4	OVF フラグのセットタイミング	12-8
13. 非同期イベントカウンタ		
図 13.1	非同期イベントカウンタブロック図	13-2
図 13.2	16 ビットカウンタとして使用する場合のソフトウェア手順	13-8
図 13.3	8 ビットカウンタとして使用する場合のソフトウェア手順	13-9
図 13.4	イベントカウンタ動作波形	13-10
図 13.5	クロック制御動作例	13-11
14. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)		
図 14.1	SCI3 のブロック図	14-2
図 14.2	調歩同期式通信のデータフォーマット	14-20
図 14.3	出カクロックと通信データの位相関係 (調歩同期モード) (8 ビットデータ / パリティあり / 2 ストップビットの例)	14-20
図 14.4	SCI3 を初期化するときのフローチャートの例	14-23
図 14.5	調歩同期モードの送信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)	14-24
図 14.6	データ送信のフローチャートの例 (調歩同期モード)	14-25
図 14.7	調歩同期モードの受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)	14-26
図 14.8	データ受信のフローチャートの例 (調歩同期モード)	14-28
図 14.9	クロック同期式通信のデータフォーマット	14-29
図 14.10	クロック同期モードの送信時の動作例	14-30
図 14.11	データ送信のフローチャートの例 (クロック同期モード)	14-31
図 14.12	クロック同期モードの受信時の動作例	14-32
図 14.13	データ受信フローチャートの例 (クロック同期モード)	14-33
図 14.14	データ送受信同時動作のフローチャートの例 (クロック同期モード)	14-34
図 14.15	IrDA ブロック図	14-35
図 14.16	IrDA 送信 / 受信動作	14-36
図 14.17 (a)	RDRF のセットと RXI 割り込み	14-38
図 14.17 (b)	TDRE のセットと TXI 割り込み	14-39

	図 14.17 (c) TEND のセットと TEI 割り込み	14-39
	図 14.18 調歩同期モードの受信データサンプリングタイミング	14-40
	図 14.19 RDR のリードタイミングとデータの関係	14-42
15.	シンクロナスシリアルコミュニケーションユニット (SSU)	
	図 15.1 SSU のブロック図	15-2
	図 15.2 クロックの極性、位相とデータの関係	15-10
	図 15.3 データ入出力端子とシフトレジスタの関係	15-11
	図 15.4 クロック同期式通信モードの初期化	15-13
	図 15.5 データ送信時の動作例	15-14
	図 15.6 データ送信のフローチャート例	15-15
	図 15.7 データ受信時の動作例 (MSS=1 のとき)	15-16
	図 15.8 データ受信フローチャート例 (MSS=1 のとき)	15-17
	図 15.9 データ送受信のフローチャート例	15-18
	図 15.10 4 線式バス通信モードの初期化	15-20
	図 15.11 データ送信時の動作例 (MSS=1 のとき)	15-21
	図 15.12 データ受信時の動作例 (MSS=1 のとき)	15-23
	図 15.13 アービトレーションチェックタイミング	15-24
16.	I ² C バスインタフェース 2 (IIC2)	
	図 16.1 I ² C バスインタフェース 2 のブロック図	16-2
	図 16.2 入出力端子の外部回路接続例	16-3
	図 16.3 I ² C バスフォーマット	16-13
	図 16.4 I ² C バスタイミング	16-13
	図 16.5 マスタ送信モード動作タイミング (1)	16-15
	図 16.6 マスタ送信モード動作タイミング (2)	16-15
	図 16.7 マスタ受信モード動作タイミング (1)	16-17
	図 16.8 マスタ受信モード動作タイミング (2)	16-17
	図 16.9 スレーブ送信モード動作タイミング (1)	16-19
	図 16.10 スレーブ送信モード動作タイミング (2)	16-20
	図 16.11 スレーブ受信モード動作タイミング (1)	16-21
	図 16.12 スレーブ受信モード動作タイミング (2)	16-21
	図 16.13 クロック同期式シリアル転送フォーマット	16-22
	図 16.14 送信モード動作タイミング	16-23
	図 16.15 受信モード動作タイミング	16-24
	図 16.16 ノイズ除去回路のブロック図	16-24
	図 16.17 マスタ送信モードのフローチャート例	16-25
	図 16.18 マスタ受信モードのフローチャート例	16-26
	図 16.19 スレーブ送信モードフローチャート例	16-27
	図 16.20 スレーブ受信モードフローチャート例	16-28
	図 16.21 ビット同期回路のタイミング	16-30
17.	A/D 変換器	
	図 17.1 A/D 変換器のブロック図	17-2
	図 17.2 外部トリガ入力タイミング	17-6
	図 17.3 A/D 変換器の動作例	17-7
	図 17.4 A/D 変換器の使用手順の概念フロー (ソフトウェアでポーリングする場合)	17-8
	図 17.5 A/D 変換器の使用手順の概念フロー (割り込みを使用する場合)	17-8

図 17.6	A/D 変換精度の定義 (1)	17-10
図 17.7	A/D 変換精度の定義 (2)	17-10
図 17.8	アナログ入力回路の例	17-11
18. コンパレータ		
図 18.1	コンパレータのブロック図	18-1
図 18.2	ヒステリシス選択/非選択時の CDR	18-6
図 18.3	割り込み動作手順 (1)	18-7
図 18.4	割り込み動作手順 (2)	18-8
19. パワーオンリセット回路		
図 19.1	パワーオンリセット回路	19-1
図 19.2	パワーオンリセット回路動作タイミング	19-2
21. 電気的特性		
図 21.1	電源電圧と発振周波数の範囲 (1)	21-2
図 21.2	電源電圧と発振周波数の範囲 (2)	21-3
図 21.3	電源電圧と動作周波数の範囲 (1)	21-4
図 21.4	電源電圧と動作周波数の範囲 (2)	21-5
図 21.5	電源電圧と動作周波数の範囲 (3)	21-6
図 21.6	アナログ電源電圧と A/D 変換器の動作範囲 (1)	21-7
図 21.7	アナログ電源電圧と A/D 変換器の動作範囲 (2)	21-8
図 21.8	電源電圧と発振周波数の範囲 (1)	21-23
図 21.9	電源電圧と発振周波数の範囲 (2)	21-24
図 21.10	電源電圧と動作周波数の範囲 (1)	21-25
図 21.11	電源電圧と動作周波数の範囲 (2)	21-26
図 21.12	電源電圧と動作周波数の範囲 (3)	21-27
図 21.13	アナログ電源電圧と A/D 変換器の動作範囲 (1)	21-28
図 21.14	アナログ電源電圧と A/D 変換器の動作範囲 (2)	21-29
図 21.15	クロック入力タイミング	21-41
図 21.16	RES 端子 Low レベル幅タイミング	21-41
図 21.17	入力タイミング	21-42
図 21.18	SCK3 入力クロックタイミング	21-42
図 21.19	SCI3 クロック同期モード入出力タイミング	21-42
図 21.20	SSU 入出力タイミング (クロック同期モード)	21-43
図 21.21	SSU 入出力タイミング (4 線式バス通信モード、マスタ、CPHS = 1)	21-43
図 21.22	SSU 入出力タイミング (4 線式バス通信モード、マスタ、CPHS = 0)	21-44
図 21.23	SSU 入出力タイミング (4 線式バス通信モード、スレーブ、CPHS = 1)	21-44
図 21.24	SSU 入出力タイミング (4 線式バス通信モード、スレーブ、CPHS = 0)	21-45
図 21.25	I ² C バスインタフェース入出力タイミング	21-45
図 21.26	パワーオンリセット回路リセットタイミング	21-46
図 21.27	出力負荷条件	21-46
図 21.28	推奨発振子	21-47
付録		
図 B.1	(a) ポート 1 ブロック図 (P12 端子)	付録-29
図 B.1	(b) ポート 1 ブロック図 (P11 端子)	付録-30
図 B.1	(c) ポート 1 ブロック図 (P10 端子)	付録-31

図 B.2	(a) ポート 3 ブロック図 (P32 端子)	付録-32
図 B.2	(b) ポート 3 ブロック図 (P31 端子)	付録-33
図 B.2	(c) ポート 3 ブロック図 (P30 端子)	付録-34
図 B.3	ポート 8 ブロック図 (P84 ~ P82 端子)	付録-35
図 B.4	(a) ポート 9 ブロック図 (P93 端子)	付録-36
図 B.4	(b) ポート 9 ブロック図 (P92 端子)	付録-37
図 B.4	(c) ポート 9 ブロック図 (P91 端子)	付録-38
図 B.4	(d) ポート 9 ブロック図 (P90 端子)	付録-39
図 B.5	(a) ポート B ブロック図 (PB5、PB4 端子)	付録-40
図 B.5	(b) ポート B ブロック図 (PB3、PB2 端子)	付録-40
図 B.5	(c) ポート B ブロック図 (PB1、PB0 端子)	付録-41
図 D.1	外形寸法図 (TNP-32)	付録-45
図 D.2	外形寸法図 (32P6U-A)	付録-46

表目次

1. 概要	
表 1.1 端子機能	1-5
2. CPU	
表 2.1 オペレーションの記号	2-9
表 2.2 データ転送命令	2-10
表 2.3 算術演算命令	2-11
表 2.4 論理演算命令	2-12
表 2.5 シフト命令	2-12
表 2.6 ビット操作命令	2-13
表 2.7 分岐命令	2-15
表 2.8 システム制御命令	2-16
表 2.9 ブロック転送命令	2-16
表 2.10 アドレッシングモード一覧表	2-18
表 2.11 絶対アドレスのアクセス範囲	2-19
表 2.12 実効アドレスの計算方法(1)	2-21
表 2.12 実効アドレスの計算方法(2)	2-22
3. 例外処理	
表 3.1 例外処理要因とベクタアドレス	3-2
表 3.2 リセット要因	3-4
表 3.3 端子構成	3-6
表 3.4 割り込み要求待ちステート数	3-15
4. クロック発振器	
表 4.1 システムクロック発振器と内蔵発振器を選択する方法	4-4
5. 低消費電力モード	
表 5.1 動作周波数と待機時間	5-3
表 5.2 SLEEP 命令実行後の状態と割り込みによる復帰先	5-7
表 5.3 各動作モードでの LSI の状態	5-8
6. ROM	
表 6.1 プログラミングモード選択方法	6-5
表 6.2 ブートモードの動作	6-7
表 6.3 ビットレート自動合わせ込みが可能なシステムクロック周波数	6-7
表 6.4 再書き込みデータ演算表	6-11
表 6.5 追加書き込みデータ演算表	6-11
表 6.6 書き込み時間	6-11
表 6.7 フラッシュメモリの動作状態	6-15

9.	タイマ B1	
	表 9.1	タイマ B1 の動作モード9-6
10.	タイマ W	
	表 10.1	タイマ W 機能一覧10-2
	表 10.2	端子構成10-4
	表 10.3	タイマ W の動作モード10-26
11.	リアルタイムクロック (RTC)	
	表 11.1	端子構成11-2
	表 11.2	割り込み要因11-10
12.	ウォッチドッグタイマ	
	表 12.1	WT/IT ビットおよび IEOVF ビットクリアの方法12-10
	表 12.2	“xx” の値12-10
13.	非同期イベントカウンタ (AEC)	
	表 13.1	端子構成13-2
	表 13.2	イベントカウンタ PWM 動作例13-11
	表 13.3	非同期イベントカウンタの動作モード13-12
	表 13.4	最大クロック周波数13-13
14.	シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)	
	表 14.1	端子構成14-3
	表 14.2	ビットレートに対する BRR の設定例 [調歩同期式モード、ABCS ビット=0] (1)14-11
	表 14.2	ビットレートに対する BRR の設定例 [調歩同期式モード、ABCS ビット=0] (2)14-11
	表 14.2	ビットレートに対する BRR の設定例 [調歩同期式モード、ABCS ビット=0] (3)14-12
	表 14.2	ビットレートに対する BRR の設定例 [調歩同期式モード、ABCS ビット=0] (4)14-12
	表 14.3	ビットレートに対する BRR の設定例 [調歩同期式モード、ABCS ビット=1] (1)14-13
	表 14.3	ビットレートに対する BRR の設定例 [調歩同期式モード、ABCS ビット=1] (2)14-13
	表 14.3	ビットレートに対する BRR の設定例 [調歩同期式モード、ABCS ビット=1] (3)14-14
	表 14.3	ビットレートに対する BRR の設定例 [調歩同期式モード、ABCS ビット=1] (4)14-14
	表 14.4	n とクロックの関係14-15
	表 14.5	各周波数における最大ビットレート [調歩同期式モード]14-15
	表 14.6	ビットレートに対する BRR の設定例 [クロック同期式モード] (1)14-16
	表 14.6	ビットレートに対する BRR の設定例 [クロック同期式モード] (2)14-16
	表 14.7	n とクロックの関係14-17
	表 14.8	通信フォーマット (調歩同期式モード)14-21
	表 14.9	SMR の設定値と送信 / 受信フォーマット14-22
	表 14.10	SMR、SCR の設定とクロックソースの選択14-22
	表 14.11	SSR のステータスフラグの状態と受信データの転送14-27
	表 14.12	IrCKS2 ~ IrCKS0 ビットの設定14-37
	表 14.13	SCI3 の割り込み要求14-37
	表 14.14	送信 / 受信割り込み14-38
15.	シンクロナスシリアルコミュニケーションユニット (SSU)	
	表 15.1	端子構成15-3
	表 15.2	通信モードと入出力端子の関係15-12

表 15.3	割り込み要求一覧.....	15-25
16.	I ² C バスインタフェース 2 (IIC2)	
表 16.1	端子構成.....	16-3
表 16.2	転送レート.....	16-5
表 16.3	割り込み要求一覧.....	16-29
表 16.4	SCL をモニタする時間.....	16-30
17.	A/D 変換器	
表 17.1	端子構成.....	17-3
表 17.2	A/D 変換器の動作モード.....	17-6
18.	コンパレータ	
表 18.1	端子構成.....	18-2
表 18.2	CMR ビットと CMLS ビットの組み合わせ.....	18-4
21.	電気的特性	
表 21.1	絶対最大定格.....	21-1
表 21.2	DC 特性.....	21-9
表 21.3	制御信号タイミング.....	21-14
表 21.4	シリアルインタフェースタイミング.....	21-16
表 21.5	シンクロナスシリアルコミュニケーションユニット (SSU) タイミング.....	21-16
表 21.6	I ² C バスインタフェースタイミング.....	21-17
表 21.7	A/D 変換器特性.....	21-18
表 21.8	コンパレータ特性.....	21-19
表 21.9	ウォッチドッグタイマ特性.....	21-19
表 21.10	パワーオンリセット回路特性.....	21-20
表 21.11	フラッシュメモリ特性.....	21-20
表 21.12	絶対最大定格.....	21-22
表 21.13	DC 特性.....	21-30
表 21.14	制御信号タイミング.....	21-35
表 21.15	シリアルインタフェースタイミング.....	21-37
表 21.16	シンクロナスシリアルコミュニケーションユニット (SSU) タイミング.....	21-37
表 21.17	I ² C バスインタフェースタイミング.....	21-38
表 21.18	A/D 変換器特性.....	21-39
表 21.19	コンパレータ特性.....	21-40
表 21.20	ウォッチドッグタイマ特性.....	21-40
表 21.21	パワーオンリセット回路特性.....	21-41
付録		
表 A.1	命令セット一覧.....	付録-3
表 A.2	オペレーションコードマップ (1).....	付録-16
表 A.2	オペレーションコードマップ (2).....	付録-17
表 A.2	オペレーションコードマップ (3).....	付録-18
表 A.3	実行状態 (サイクル) に要するステート数.....	付録-19
表 A.4	命令の実行状態 (サイクル数).....	付録-20
表 A.5	命令とアドレッシングモードの組み合わせ.....	付録-28
表 B.1	ポート 9 関連レジスタの設定と各端子の機能.....	付録-42

1. 概要

1.1 特長

- 16ビット高速H8/300H CPU
H8/300 CPUとオブジェクトレベルで上位互換
汎用レジスタ：16ビット×16本
基本命令：62種類
- 豊富な周辺機能
RTC（フリーランカウンタとしても使用可能）
非同期イベントカウンタ（AEC）
タイマB1
タイマW
ウォッチドッグタイマ
SCI（調歩同期式またはクロック同期式シリアルコミュニケーションインタフェース）
SSU（シンクロナスシリアルコミュニケーションユニット）*
I²Cバスインタフェース（フィリップス社が提唱するI²Cバスインタフェース方式に準拠）*
10ビットA/D変換器
コンパレータ

【注】 * SSU と IIC2 は兼用となります。

1. 概要

- 内蔵メモリ

製品分類		製品型名	ROM	RAM
フラッシュメモリ版 (F-ZTAT™版)	H8/38602RF	HD64F38602R	16K バイト	1K バイト
マスク ROM 版	H8/38602R	HD64338602R	16K バイト	1K バイト
	H8/38600R	HD64338600R	8K バイト	512 バイト

【注】 F-ZTAT™は(株)ルネサス テクノロジーの商標です。

- 汎用入出力ポート

入出力ポート：13本。このうち大電流ポート3本 ($I_{OL} = 15\text{mA}$ @ $V_{OL} = 1.0\text{V}$)

入力ポート：6本 (アナログ入力端子兼用)

- 各種低消費電力モードをサポート

- 小型パッケージ

パッケージ	コード	ボディサイズ	ピンピッチ	備考
P-VQFN-32	TNP-32	5 × 6mm	0.5mm	
P-LQFP-32	32P6U-A	7 × 7mm	0.8mm	

1.2 内部ブロック図

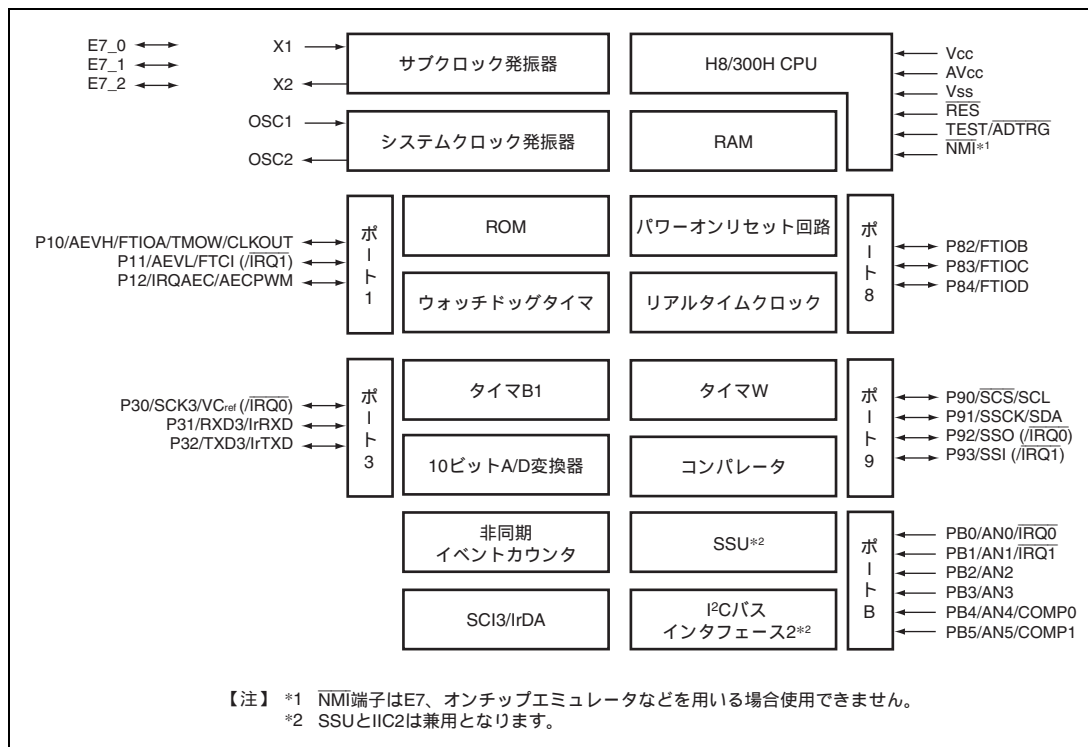


図 1.1 H8/38602R グループ内部ブロック図

1. 概要

1.3 ピン配置図

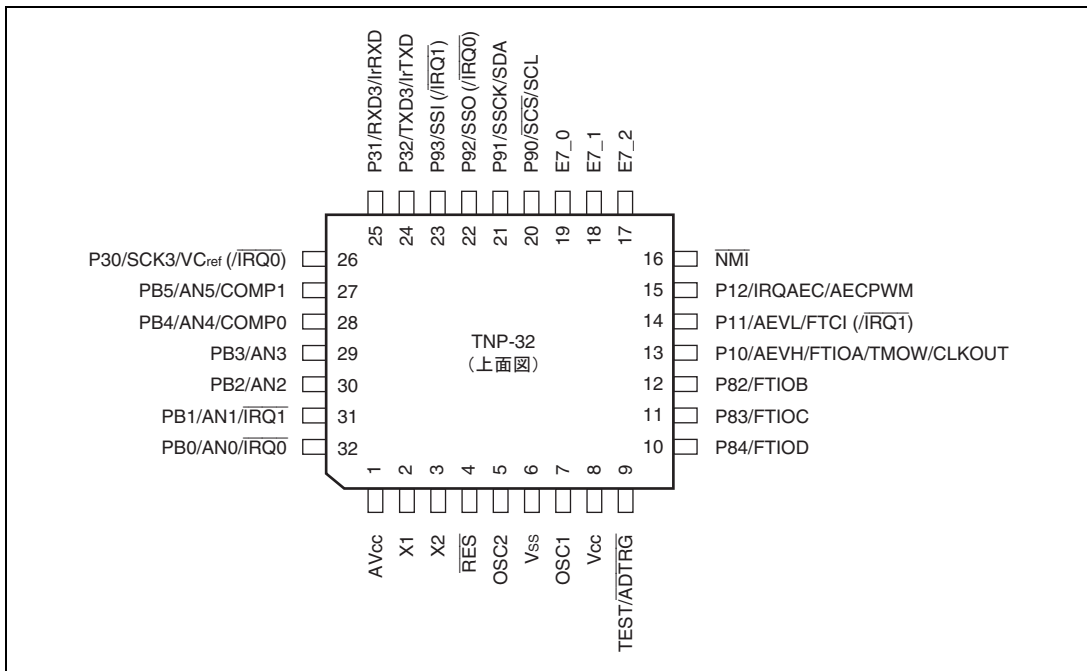


図 1.2 H8/38602R グループピン配置図 (TNP-32)

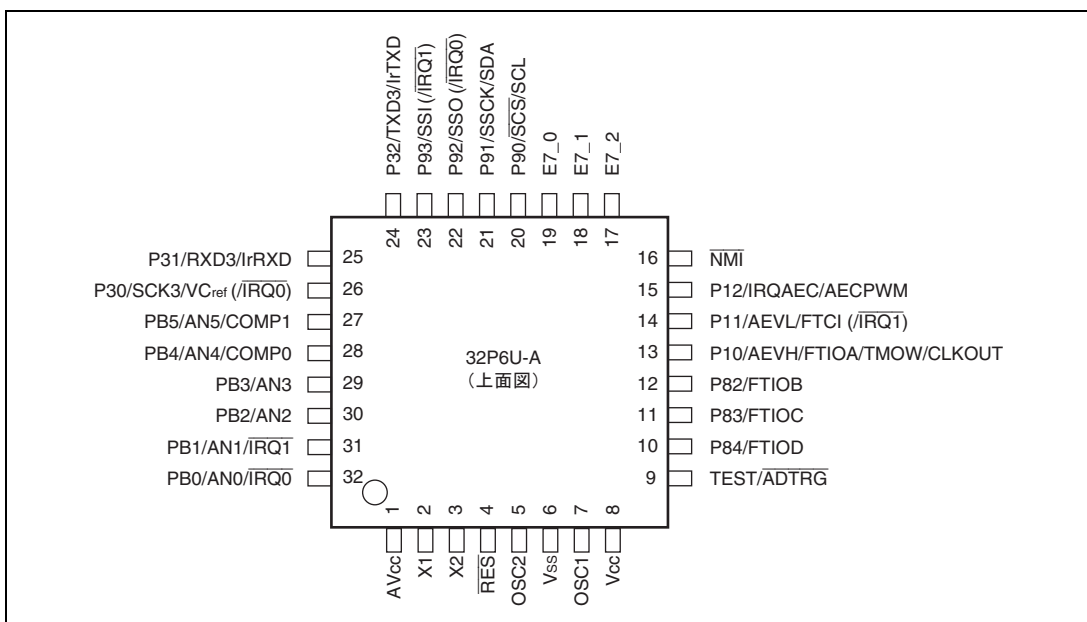


図 1.3 H8/38602R グループピン配置図 (32P6U-A)

1.4 端子機能

表 1.1 端子機能

分類	記号	ピン番号	入出力	機能
電源	Vcc	8	入力	電源端子です。システムの電源に接続してください。
	Vss	6	入力	グランド端子です。システムの電源 (0V) に接続してください。
	AVcc	1	入力	A/D 変換器用アナログ電源端子です。A/D 変換器を使用しない場合、システムの電源に接続してください。
クロック	OSC1	7	入力	水晶発振子またはセラミック発振子を接続します。
	OSC2	5	出力	また、外部クロックを入力することもできます。接続例については「第 4 章 クロック発振器」を参照してください。
	X1	2	入力	サブクロック用 32.768kHz または 38.4kHz の水晶発振子を接続します。接続例については「第 4 章 クロック発振器」を参照してください。
	X2	3	出力	
	CLKOUT	13	出力	クロックの出力端子です。
システム制御	$\overline{\text{RES}}$	4	入力	リセット端子です。パワーオンリセット回路を内蔵しています。外部よりこの端子を Low レベルにすると、リセット状態となります。
	TEST	9	入力	テスト端子です。 $\overline{\text{ADTRG}}$ 兼用端子となります。 $\overline{\text{ADTRG}}$ 端子として使用しない場合、ユーザは使用できません。Vss 電位に接地してください。また、 $\overline{\text{ADTRG}}$ 端子として使用する場合は、「17.4.2 外部トリガタイミング」を参照してください。
割り込み	NMI	16	入力	NMI 割り込み要求 ノンマスカブル割り込み要求入力端子です。 フラッシュメモリ版では、リセット解除時に本端子にてユーザモード/ブートモードの設定をします。ユーザモードに遷移するために、Vcc レベルにプルアップしてください。
	$\overline{\text{IRQ0}}$ ($\overline{\text{IRQ0}}$)	32 22、26	入力	外部割り込み要求入力端子です。 立ち上がりエッジセンス / 立ち下がりエッジセンスを選択可能な外部割り込み入力端子です。
	$\overline{\text{IRQ1}}$ ($\overline{\text{IRQ1}}$)	31 14、23	入力	
	IRQAEC	15	入力	非同期イベントカウンタの割り込み入力端子です。 非同期イベント入力を有効にします。
タイム W	FTCI	14	入力	外部イベント入力端子です。
	FTIOA - FTIOD	13 - 10	入出力	アウトプットコンペア出力 / インプットキャプチャ入力 / PWM 出力兼用端子です。
非同期イベントカウンタ (AEC)	AEVL	14	入力	非同期イベントカウンタに入力するイベント入力端子です。
	AEVH	13	入力	
	AECPWM	15	出力	AEC の PWM 出力端子です。
RTC	TMOW	13	出力	RTC 用分周クロック出力端子です。

1. 概要

分類	記号	ピン番号	入出力	機能
シリアルコミュニケーション インタフェース 3 (SCI3)	SCK3	26	入出力	SCI3のクロック入出力端子です。
	RXD3/IrRXD	25	入力	SCI3のデータ入力端子です。また、IrDA フォーマットでのデータ入力端子です。
	TXD3/IrTXD	24	出力	SCI3のデータ出力端子です。また、IrDA フォーマットでのデータ出力端子です。
シンクロナスシリアルコ ミュニケーションユニッ ト (SSU)	\overline{SCS}	20	入出力	SSUのチップセレクト入出力端子です。
	SSCK	21	入出力	SSUのクロック入出力端子です。
	SSI	23	入出力	SSUの送受信データ入出力端子です。
	SSO	22	入出力	
I ² C バスインタフェース 2 (IIC2)	SDA	21	入出力	IIC データ入出力端子です。
	SCL	20	入出力	IIC クロック入出力端子です。
A/D 変換器	AN0 ~ AN5	32 ~ 27	入力	A/D 変換器へのアナログデータ入力端子です。
	\overline{ADTRG}	9	入力	A/D 変換器の外部トリガ入力端子です。
コンパレータ	COMP0	28	入力	コンパレータのアナログデータ入力端子です。
	COMP1	27		
	VCref	26	入力	コンパレータ用アナログ入力端子のスレッシュホールド電圧を外部入力するための基準電圧端子です。
I/O ポート	P10 ~ P12	13 ~ 15	入出力	3ビットの入出力端子です。ポートコントロールレジスタ 1 (PCR1) によって、1ビットごとに入出力を指定できます。
	P30 ~ P32	26 ~ 24	入出力	3ビットの入出力端子です。ポートコントロールレジスタ 3 (PCR3) によって、1ビットごとに入出力を指定できます。
	P82 ~ P84	12 ~ 10	入出力	3ビットの入出力端子です。ポートコントロールレジスタ 8 (PCR8) によって、1ビットごとに入出力を指定できます。
	P90 ~ P93	20 ~ 23	入出力	4ビットの入出力端子です。ポートコントロールレジスタ 9 (PCR9) によって、1ビットごとに入出力を指定できます。
	PB0 ~ PB5	32 ~ 27	入力	6ビットの入力専用端子です。
E7	E7_0 E7_1 E7_2	19 18 17	-	E7 エミュレータ用インタフェース端子です。また、E7_2 は内蔵発振器の選択 / 非選択を設定します。E7_2 は 100kΩ の抵抗にてブルダウン / ブルアップしてください。詳細は「第 4 章 クロック発振器」を参照してください。

2. CPU

H8/38602R グループの CPU は H8/300 CPU の上位互換のアーキテクチャを持つ内部 32 ビット構成の H8/300H CPU で、64K バイトのアドレス空間を持つノーマルモードのみサポートします。

- H8/300 CPU 上位互換
 - H8/300 シリーズのオブジェクトプログラムを実行可能
 - 16 ビット × 8 本の拡張レジスタを追加
 - 32 ビット転送、演算命令を追加
 - 符号付き乗除算命令などを追加
- 汎用レジスタ：16 ビット × 16 本
 - 8 ビット × 16 本 + 16 ビット × 8 本、32 ビット × 8 本としても使用可能
- 基本命令：62 種類
 - 8 / 16 / 32 ビット転送、演算命令
 - 乗除算命令
 - 強力なビット操作命令
- アドレッシングモード：8 種類
 - レジスタ直接 (Rn)
 - レジスタ間接 (@Ern)
 - ディスプレイメント付きレジスタ間接 (@ (d:16, Ern)、@ (d:24, Ern))
 - ポストインクリメント / プリデクリメントレジスタ間接 (@Ern + / @ - Ern)
 - 絶対アドレス (@aa:8, @aa:16, @aa:24)
 - イミディエイト (#xx:8, #xx:16, #xx:32)
 - プログラムカウンタ相対 (@ (d:8, PC), @ (d:16, PC))
 - メモリ間接 (@@aa:8)
- アドレス空間：64K バイト
- 高速動作
 - 頻出命令をすべて 2 ~ 4 ステートで実行

8 / 16 / 32 ビットレジスタ間加減算	: 2 ステート
8 × 8 ビットレジスタ間乗算	: 14 ステート
16 ÷ 8 ビットレジスタ間除算	: 14 ステート
16 × 16 ビットレジスタ間乗算	: 22 ステート

2. CPU

32 ÷ 16ビットレジスタ間除算 : 22ステート

- 低消費電力動作

SLEEP命令により低消費電力状態に遷移

2.1 アドレス空間とメモリマップ

H8/38602R グループのアドレス空間はプログラム領域とデータ領域合わせて 64K バイトです。メモリマップを 図 2.1 に示します。



図 2.1 メモリマップ

2.2 レジスタ構成

H8/300H CPU の内部レジスタ構成を図 2.2 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類されます。コントロールレジスタには 24 ビットのプログラムカウンタ (PC) と 8 ビットのコンディションコードレジスタ (CCR) があります。

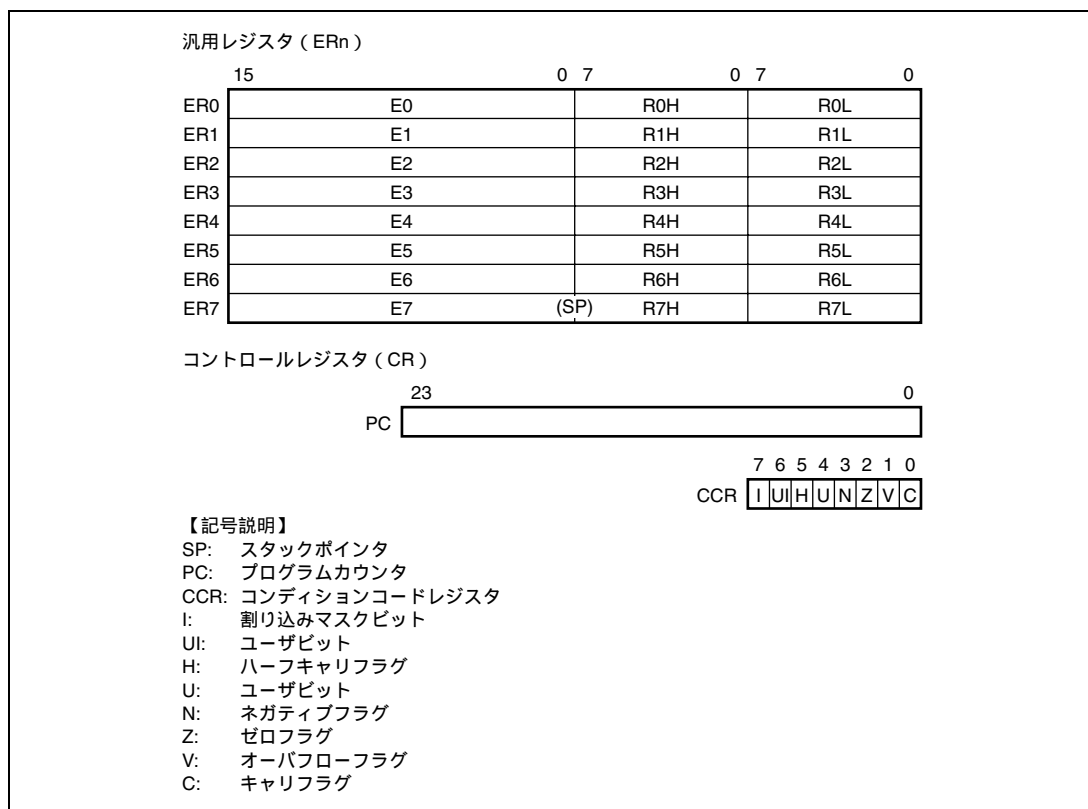


図 2.2 CPU 内部レジスタ構成

2.2.1 汎用レジスタ

H8/300H CPU は 32 ビット長の汎用レジスタを 8 本持っています。汎用レジスタはすべて同じ機能を持っており、アドレスレジスタとしてもデータレジスタとしても使用することができます。データレジスタとしては 32 ビット、16 ビットまたは 8 ビットレジスタとして使用できます。汎用レジスタの使用方法を図 2.3 に示します。

アドレスレジスタおよび 32 ビットデータレジスタとして使用する場合は、一括して汎用レジスタ ER (ER0~ER7) として指定します。

16 ビットデータレジスタとして使用する場合は、汎用レジスタ ER を分割して汎用レジスタ E (E0~E7)、汎用レジスタ R (R0~R7) として指定します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本使用することができます。なお、汎用レジスタ E (E0~E7) を特に拡張レジスタと呼ぶ場合があります。

2. CPU

8ビットデータレジスタとして使用する場合は、汎用レジスタ R を分割して汎用レジスタ RH (R0H~R7H)、汎用レジスタ RL (R0L~R7L) として指定します。これらは同等の機能を持っており、8ビットレジスタを最大16本使用することができます。各レジスタは使用方法を独立に指定することができます。

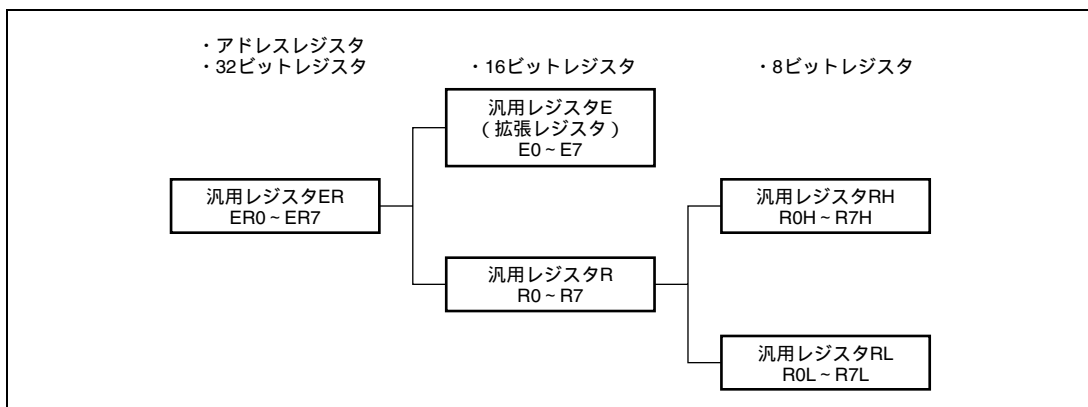


図 2.3 汎用レジスタの使用方法

汎用レジスタ ER7 には、汎用レジスタの機能に加えてスタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチンコールなどで暗黙的に使用されます。スタックポインタとスタック領域の関係を図 2.4 に示します。

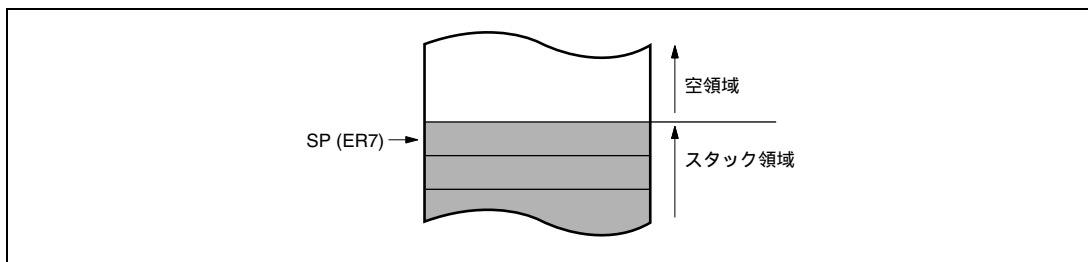


図 2.4 スタックポインタとスタック領域の関係

2.2.2 プログラムカウンタ (PC)

PC は 24 ビットのカウンタで、CPU が次に実行する命令のアドレスを指します。CPU の命令はすべて偶数番地から始まる 2 バイト (ワード) を単位としているため、PC の最下位ビットは命令コードを読み出すときは 0 とみなされます。PC はリセット例外処理の過程で生成されるベクタアドレスによってスタートアドレスをロードすることにより初期化されます。

2.2.3 コンディションコードレジスタ (CCR)

CCR は CPU の内部状態を示します。割り込みマスクビット (I)、ハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む 8 ビットで構成されています。I ビットはリセット例外処理によって 1 に初期化されますが、他のビットは初期化されません。

ビット	ビット名	初期値	R/W	説明
7	I	1	R/W	割り込みマスクビット このビットが 1 にセットされると、割り込み要求がマスクされます。ただし、NMI は I ビットに関係なく受け付けられます。I ビットは例外処理の実行が開始されたときに 1 にセットされます。
6	UI	不定	R/W	ユーザビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。
5	H	不定	R/W	ハーフキャリフラグ ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット 3 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。ADD.W、SUB.W、CMP.W、NEG.W 命令の実行によりビット 11 にキャリまたはボローが生じたとき、または ADD.L、SUB.L、CMP.L、NEG.L 命令の実行によりビット 27 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます
4	U	不定	R/W	ユーザビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。
3	N	不定	R/W	ネガティブフラグ データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。
2	Z	不定	R/W	ゼロフラグ データがゼロのとき 1 にセットされ、ゼロ以外のとき 0 にクリアされます。
1	V	不定	R/W	オーバフローフラグ 算術演算命令の実行によりオーバフローが生じたとき 1 にセットされます。それ以外のとき 0 にクリアされます。
0	C	不定	R/W	キャリフラグ 演算の実行により、キャリが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。キャリには次の種類があります。 加算結果のキャリ 減算結果のボロー シフト/ローテートのキャリ また、キャリフラグにはビットアキュムレータ機能があり、ビット操作命令で使用されます。

2. CPU

なお、命令によってはフラグが変化しない場合があります。CCR は LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。各命令ごとのフラグの変化については、「付録 A.1 命令一覧」を参照してください。

2.3 データ形式

H8/300H CPU は、1 ビット、4 ビット BCD、8 ビット (バイト)、16 ビット (ワード)、および 32 ビット (ロングワード) のデータを扱うことができます。1 ビットデータはビット操作命令で扱われ、オペランドデータ (バイト) の第 n ビット ($n=0, 1, 2, \dots, 7$) という形式でアクセスされます。10 進補正命令 DAA、DAS ではバイトデータは 2 桁の 4 ビット BCD データとなります。

2.3.1 汎用レジスタのデータ形式

汎用レジスタのデータ形式を図 2.5 に示します。

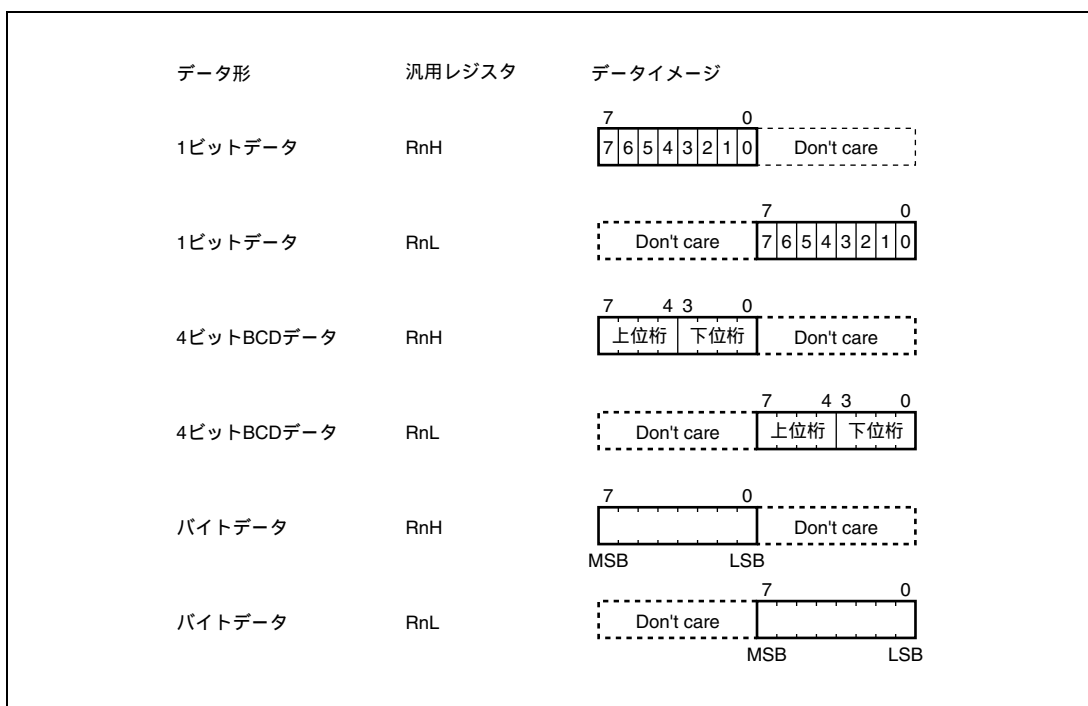


図 2.5 汎用レジスタのデータ形式 (1)

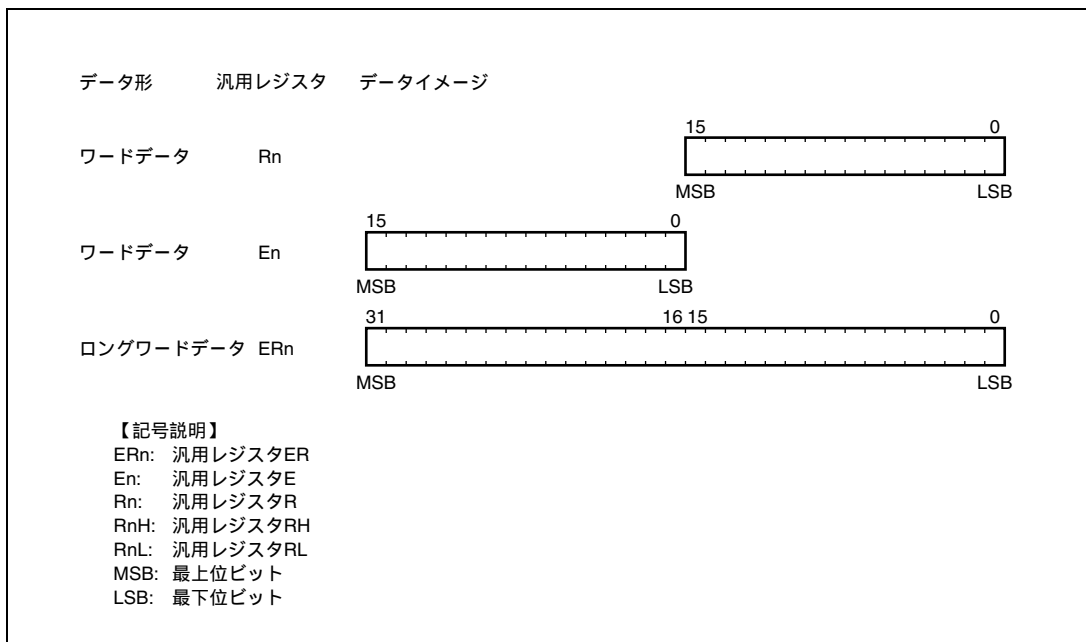


図 2.5 汎用レジスタのデータ形式 (2)

2.3.2 メモリ上のデータ形式

メモリ上のデータ形式を図 2.6 に示します。

H8/300H CPU は、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ/ロングワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

ER7 (SP) をアドレスレジスタとしてスタック領域をアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

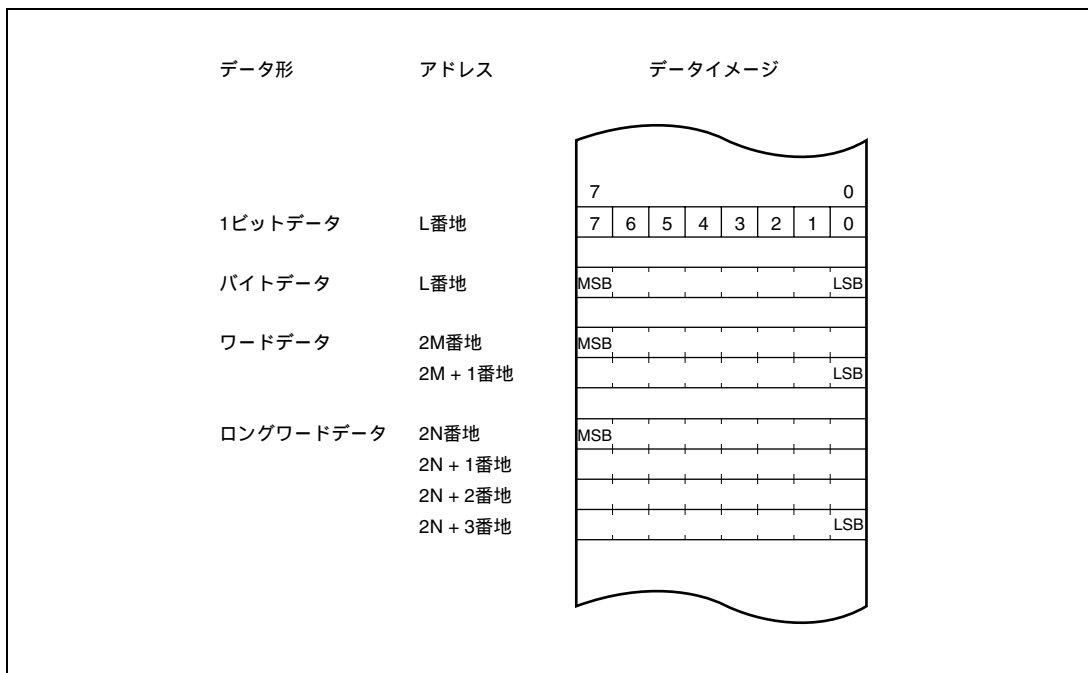


図 2.6 メモリ上でのデータ形式

2.4 命令セット

2.4.1 命令の機能別一覧

H8/300H CPU の命令は合計 62 種類あります。各命令の機能別一覧を表 2.2 ~ 表 2.9 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

表 2.1 オペレーションの記号

Rd	汎用レジスタ (デスティネーション側)*
Rs	汎用レジスタ (ソース側)*
Rn	汎用レジスタ*
ERn	汎用レジスタ (32 ビットレジスタ / アドレスレジスタ)
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバーフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレイースメント
+	加算
-	減算
×	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
	転送
~	反転論理 (論理的補数)
: 3 / : 8 / : 16 / : 24	3 / 8 / 16 / 24 ビット長

【注】 * 汎用レジスタは、8 ビット (R0H~R7H、R0L~R7L)、16 ビット (R0~R7、E0~E7)、または 32 ビットレジスタ / アドレスレジスタ (ER0~ER7) です。

2. CPU

表 2.2 データ転送命令

命 令	サイズ*	機 能
MOV	B/W/L	(EAs) Rd, Rs (EAd) 汎用レジスタと汎用レジスタ、または汎用レジスタとメモリ間でデータ転送します。 また、イミディエイトデータを汎用レジスタに転送します。
MOVFPPE	B	(EAs) Rd 本 LSI では使用できません。
MOVTPPE	B	Rs (EAs) 本 LSI では使用できません。
POP	W/L	@SP+ Rn スタックから汎用レジスタへデータを復帰します。POP.W Rn は MOV.W @SP+, Rn と、また POP.L Ern は MOV.L @SP+, Ern と同一です。
PUSH	W/L	Rn @ - SP 汎用レジスタの内容をスタックに退避します。PUSH.W Rn は MOV.W Rn, @ - SP と、また PUSH.L Ern は MOV.L Ern, @ - SP と同一です。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.3 算術演算命令

命 令	サイズ*	機 能
ADD SUB	B/W/L	$Rd \pm Rs$ Rd , $Rd \pm \#IMM$ Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います (バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください)。
ADDX SUBX	B	$Rd \pm Rs \pm C$ Rd , $Rd \pm \#IMM \pm C$ Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付き加減算を行います。
INC DEC	B/W/L	$Rd \pm 1$ Rd , $Rd \pm 2$ Rd 汎用レジスタに 1 または 2 を加減算します (バイトサイズの演算では 1 の加減算のみ可能です)。
ADDS SUBS	L	$Rd \pm 1$ Rd , $Rd \pm 2$ Rd , $Rd \pm 4$ Rd 32 ビットレジスタに 1、2 または 4 を加減算します。
DAA DAS	B	Rd (10 進補正) Rd 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B/W	$Rd \times Rs$ Rd 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。8 ビット \times 8 ビット 16 ビット、16 ビット \times 16 ビット 32 ビットの乗算が可能です。
MULXS	B/W	$Rd \times Rs$ Rd 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。8 ビット \times 8 ビット 16 ビット、16 ビット \times 16 ビット 32 ビットの乗算が可能です。
DIVXU	B/W	$Rd \div Rs$ Rd 汎用レジスタと汎用レジスタ間の符号なし除算を行います。16 ビット \div 8 ビット 商 8 ビット 余り 8 ビット、32 ビット \div 16 ビット 商 16 ビット 余り 16 ビットの除算が可能です。
DIVXS	B/W	$Rd \div Rs$ Rd 汎用レジスタと汎用レジスタ間の符号付き除算を行います。16 ビット \div 8 ビット 商 8 ビット 余り 8 ビット、32 ビット \div 16 ビット 商 16 ビット 余り 16 ビットの除算が可能です。
CMP	B/W/L	$Rd - Rs$, $Rd - \#IMM$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果を CCR に反映します。
NEG	B/W/L	$0 - Rd$ Rd 汎用レジスタの内容の 2 の補数 (算術的補数) をとります。
EXTU	W/L	Rd (ゼロ拡張) Rd 16 ビットレジスタの下位 8 ビットをワードサイズにゼロ拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズにゼロ拡張します。
EXTS	W/L	Rd (符号拡張) Rd 16 ビットレジスタの下位 8 ビットをワードサイズに符号拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズに符号拡張します。

2. CPU

【注】 * サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.4 論理演算命令

命 令	サイズ*	機 能
AND	B/W/L	Rd Rs Rd、Rd #IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B/W/L	Rd Rs Rd、Rd #IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B/W/L	Rd⊕Rs Rd、Rd⊕#IMM Rd 汎用レジスタ間の排他的論理和、または汎用レジスタとイミディエイトデータの排他的論理和をとります。
NOT	B/W/L	~Rd Rd 汎用レジスタの内容の1の補数（論理的補数）をとります。

【注】 * サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.5 シフト命令

命 令	サイズ*	機 能
SHAL SHAR	B/W/L	Rd（シフト処理） Rd 汎用レジスタの内容を算術的にシフトします。
SHLL SHLR	B/W/L	Rd（シフト処理） Rd 汎用レジスタの内容を論理的にシフトします。
ROTL ROTR	B/W/L	Rd（ローテート処理） Rd 汎用レジスタの内容をローテートします。
ROTXL ROTXR	B/W/L	Rd（ローテート処理） Rd 汎用レジスタの内容をキャリフラグを含めてローテートします。

【注】 * サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.6 ビット操作命令

命 令	サイズ*	機 能
BSET	B	1 (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを1にセットします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BCLR	B	0 (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを0にクリアします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BNOT	B	~ (<ビット番号> of <EAd>) (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BTST	B	~ (<ビット番号> of <EAd>) Z 汎用レジスタまたはメモリのオペランドの指定された1ビットをテストし、ゼロフラグに反映します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BAND	B	C (<ビット番号> of <EAd>) C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理積をとり、キャリフラグに結果を格納します。
BIAND	B	C [~ (<ビット番号> of <EAd>)] C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理積をとり、キャリフラグに結果を格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BOR	B	C (<ビット番号> of <EAd>) C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理和をとり、キャリフラグに結果を格納します。
BIOR	B	C [~ (<ビット番号> of <EAd>)] C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理和をとり、キャリフラグに結果を格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BXOR	B	C ⊕ (<ビット番号> of <EAd>) C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。
BIXOR	B	C ⊕ [~ (<ビット番号> of <EAd>)] C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。ビット番号は、3ビットのイミディエイトデータで指定します。

2. CPU

命 令	サイズ*	機 能
BLD	B	(<ビット番号> of <EAd>) C 汎用レジスタまたはメモリのオペランドの指定された1ビットをキャリフラグに転送します。
BILD	B	~ (<ビット番号> of <EAd>) C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグに転送します。ビット番号は、3ビットのイミディエイトデータで指定します。
BST	B	C (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットにキャリフラグの内容を転送します。
BIST	B	C ~ (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、反転されたキャリフラグの内容を転送します。ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B : バイト

表 2.7 分岐命令

命 令	サイズ	機 能																																																			
Bcc*	-	<p>指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。</p> <table border="1"> <thead> <tr> <th>ニーモニック</th> <th>説 明</th> <th>分岐条件</th> </tr> </thead> <tbody> <tr> <td>BRA (BT)</td> <td>Always (True)</td> <td>Always</td> </tr> <tr> <td>BRN (BF)</td> <td>Never (False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>C Z = 0</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>C Z = 1</td> </tr> <tr> <td>BCC (BHS)</td> <td>Carry Clear (High or Same)</td> <td>C = 0</td> </tr> <tr> <td>BCS (BLO)</td> <td>Carry Set (LOw)</td> <td>C = 1</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>Z = 0</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>Z = 1</td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td>V = 0</td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td>V = 1</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>N = 0</td> </tr> <tr> <td>BMI</td> <td>MInus</td> <td>N = 1</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>N\oplusV = 0</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>N\oplusV = 1</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>Z (N\oplusV) = 0</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>Z (N\oplusV) = 1</td> </tr> </tbody> </table>	ニーモニック	説 明	分岐条件	BRA (BT)	Always (True)	Always	BRN (BF)	Never (False)	Never	BHI	High	C Z = 0	BLS	Low or Same	C Z = 1	BCC (BHS)	Carry Clear (High or Same)	C = 0	BCS (BLO)	Carry Set (LOw)	C = 1	BNE	Not Equal	Z = 0	BEQ	Equal	Z = 1	BVC	oVerflow Clear	V = 0	BVS	oVerflow Set	V = 1	BPL	PLus	N = 0	BMI	MInus	N = 1	BGE	Greater or Equal	N \oplus V = 0	BLT	Less Than	N \oplus V = 1	BGT	Greater Than	Z (N \oplus V) = 0	BLE	Less or Equal	Z (N \oplus V) = 1
ニーモニック	説 明	分岐条件																																																			
BRA (BT)	Always (True)	Always																																																			
BRN (BF)	Never (False)	Never																																																			
BHI	High	C Z = 0																																																			
BLS	Low or Same	C Z = 1																																																			
BCC (BHS)	Carry Clear (High or Same)	C = 0																																																			
BCS (BLO)	Carry Set (LOw)	C = 1																																																			
BNE	Not Equal	Z = 0																																																			
BEQ	Equal	Z = 1																																																			
BVC	oVerflow Clear	V = 0																																																			
BVS	oVerflow Set	V = 1																																																			
BPL	PLus	N = 0																																																			
BMI	MInus	N = 1																																																			
BGE	Greater or Equal	N \oplus V = 0																																																			
BLT	Less Than	N \oplus V = 1																																																			
BGT	Greater Than	Z (N \oplus V) = 0																																																			
BLE	Less or Equal	Z (N \oplus V) = 1																																																			
JMP	-	指定されたアドレスへ無条件に分岐します。																																																			
BSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	-	サブルーチンから復帰します。																																																			

【注】 * Bcc 命令は条件分岐命令の総称です。

2. CPU

表 2.8 システム制御命令

命 令	サイズ*	機 能
TRAPA	-	命令トラップ例外処理を行います。
RTE	-	例外処理ルーチンから復帰します。
SLEEP	-	低消費電力状態に遷移します。
LDC	B/W	(EAs) CCR ソースオペランドをCCRに転送します。CCRはバイトサイズですが、メモリからの転送のときデータのリードはワードサイズで行われます。
STC	B/W	CCR (EAd) CCRの内容をデスティネーションのロケーションに転送します。CCRはバイトサイズですが、メモリへの転送のときデータのライトはワードサイズで行われます。
ANDC	B	CCR #IMM CCR CCRとイミディエイトデータの論理積をとります。
ORC	B	CCR #IMM CCR CCRとイミディエイトデータの論理和をとります。
XORC	B	CCR@#IMM CCR CCRとイミディエイトデータの排他的論理和をとります。
NOP	-	PC + 2 PC PCのインクリメントだけを行います。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

表 2.9 ブロック転送命令

命 令	サイズ	機 能
EPEMOV.B	-	if R4L 0 then Repeat @ER5+ @ER6+, R4L - 1 R4L Until R4L = 0 else next;
EPEMOV.W	-	if R4 0 then Repeat @ER5+ @ER6+, R4 - 1 R4 Until R4 = 0 else next; ブロック転送命令です。ER5で示されるアドレスから始まり、R4LまたはR4で指定されるバイト数のデータを、ER6で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。

2.4.2 命令の基本フォーマット

H8/300H CPU の命令は 2 バイト (ワード) を単位としています。各命令はオペレーションフィールド (OP)、レジスタフィールド (r)、EA 拡張部 (EA) およびコンディションフィールド (cc) から構成されています。図 2.7 に命令フォーマットの例を示します。

(1) オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭4ビットを必ず含みます。2つのオペレーションフィールドを持つ場合もあります。

(2) レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき3ビット、データレジスタのとき3ビットまたは4ビットです。2つのレジスタフィールドを持つ場合やレジスタフィールドを持たない場合もあります。

(3) EA 拡張部

イミディエイトデータ、絶対アドレスまたはディスプレースメントを指定します。8ビット、16ビット、32ビットです。24ビットアドレスおよびディスプレースメントは上位8ビットをすべて0 (H'00) とした32ビットデータとして扱われます。

(4) コンディションフィールド

条件分岐命令の分岐条件を指定します。

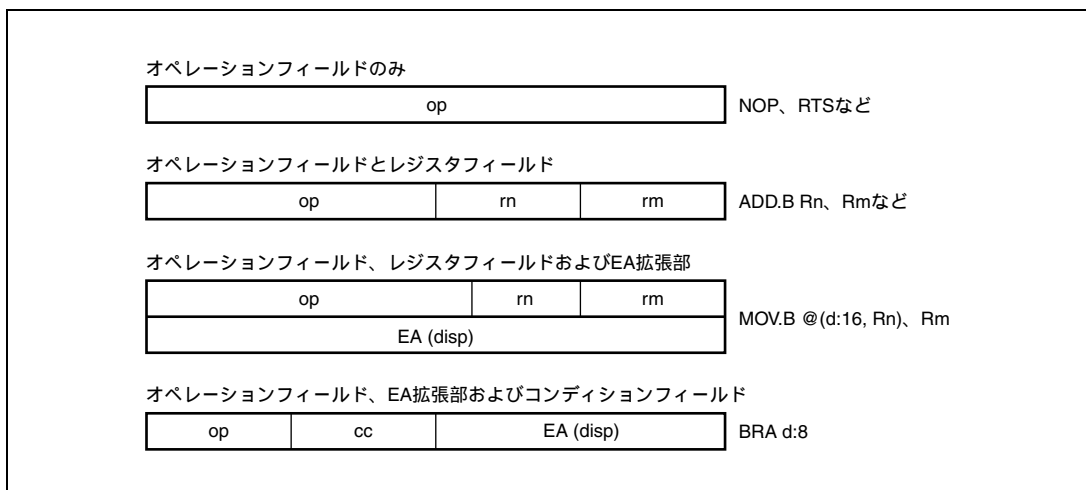


図 2.7 命令フォーマット

2.5 アドレッシングモードと実効アドレス

以下の説明は H8/300H CPU に関するものです。H8/38602R グループでは生成される 24 ビットのアドレスのうちの上位 8 ビットは無視され、実効アドレスは 16 ビットとなります。

2.5.1 アドレッシングモード

H8/300H CPU は、表 2.10 の 8 種類のアドレッシングモードをサポートしています。命令ごとに使用できるアドレッシングモードが異なります。詳細は「付録 A.4 命令とアドレッシングモードの組み合わせ」を参照してください。

演算命令ではレジスタ直接、およびイミディエイトを使用できます。転送命令ではプログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードを使用できます。ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレス (@aa:8) を使用できます。さらに、オペランド中のビット番号の指定にレジスタ直接 (BSET、BCLR、BNOT、BTST の各命令)、およびイミディエイト (3 ビット) を使用できます。

表 2.10 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディスプレイースメント付きレジスタ間接	@(d:16, ERn) / @(d:24, ERn)
4	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn + @ - ERn
5	絶対アドレス	@aa:8 / @aa:16 / @aa:24
6	イミディエイト	#xx:8 / #xx:16 / #xx:32
7	プログラムカウンタ相対	@(d:8, PC) / @(d:16, PC)
8	メモリ間接	@@aa:8

(1) レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8 ビット、16 ビットまたは 32 ビット) がオペランドとなります。

8 ビットレジスタとしては R0H ~ R7H、R0L ~ R7L を指定可能です。

16 ビットレジスタとしては R0 ~ R7、E0 ~ E7 を指定可能です。

32 ビットレジスタとしては ER0 ~ ER7 を指定可能です。

(2) レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の下位 24 ビットをアドレスとしてメモリ上のオペランドを指定します。

(3) ディスプレースメント付きレジスタ間接 @(d:16, ERn) / @(d:24, ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容に、命令コード中に含まれる

16ビットディスプレースメントまたは24ビットディスプレースメントを加算した内容の下位24ビットをアドレスとしてメモリ上のオペランドを指定します。加算に際して、16ビットディスプレースメントは符号拡張されません。

(4) ポストインクリメントレジスタ間接 @ERn+ / プリデクリメントレジスタ間接 @-ERn

• ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容の下位24ビットをアドレスとしてメモリ上のオペランドを指定します。

その後、アドレスレジスタの内容 (32ビット) に1、2または4が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4がそれぞれ加算されます。ワードサイズ、ロングワードサイズのときはレジスタの内容が偶数となるようにしてください。

• プリデクリメントレジスタ間接 @-ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から1、2または4を減算した内容の下位24ビットをアドレスとして、メモリ上のオペランドを指定します。

その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4がそれぞれ減算されます。ワードサイズ、ロングワードサイズのときはアドレスレジスタの内容が偶数となるようにしてください。

(5) 絶対アドレス @aa:8 / @aa:16 / @aa:24

命令コード中に含まれる絶対アドレスでメモリ上のオペランドを指定します。

絶対アドレスは8ビット (@aa:8)、16ビット (@aa:16)、または24ビット (@aa:24) です。

8ビット絶対アドレスの場合、上位16ビットはすべて1 (H'FFFF) となります。

16ビット絶対アドレスの場合、上位8ビットは符号拡張されます。

24ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

H8/38602R グループの場合、上位8ビットは無視されるため、絶対アドレスのアクセス範囲は表 2.11 のようになります。

表 2.11 絶対アドレスのアクセス範囲

絶対アドレス	アクセス範囲
8ビット (@aa:8)	H'FF00 ~ H'FFFF
16ビット (@aa:16)	H'0000 ~ H'FFFF
24ビット (@aa:24)	H'0000 ~ H'FFFF

(6) イミディエイト #xx:8 / #xx:16 / #xx:32

命令コード中に含まれる8ビット (#xx:8)、16ビット (#xx:16)、または32ビット (#xx:32) のデータを直接オペランドとして使用します。

2. CPU

なお、ADDS、SUBS、INC、DEC 命令ではイミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが命令コード中に含まれる場合があります。また、TRAPA 命令ではベクタアドレスを指定するための 2 ビットのイミディエイトデータが命令コード中に含まれます。

(7) プログラムカウンタ相対 @ (d:8, PC) / @ (d:16, PC)

条件分岐命令、BSR 命令で使用されます。

PC の内容で指定される 24 ビットのアドレスに命令コード中に含まれる 8 ビット、または 16 ビットディスプレイメントを加算して、24 ビットの分岐アドレスを生成します。加算に際して、ディスプレイメントは 24 ビットに符号拡張されます。また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して - 126 ~ + 128 バイト(- 63 ~ + 64 ワード)または - 32766 ~ + 32768 バイト(- 16383 ~ + 16384 ワード)です。このとき、加算結果が偶数となるようにしてください。

(8) メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。命令コード中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。メモリ上のオペランドはロングワードサイズで指定します。このうち先頭 1 バイトは無視され、24 ビット長の分岐アドレスを生成します。図 2.8 にメモリ間接による分岐アドレスの指定方法を示します。

絶対アドレスの上位ビットはすべて 0 となります。このため分岐アドレスを格納できるのは 0 ~ 255 (H'0000 ~ H'00FF) 番地です。ただし、このうちの先頭領域は例外処理ベクタ領域と共通になっているので注意してください。

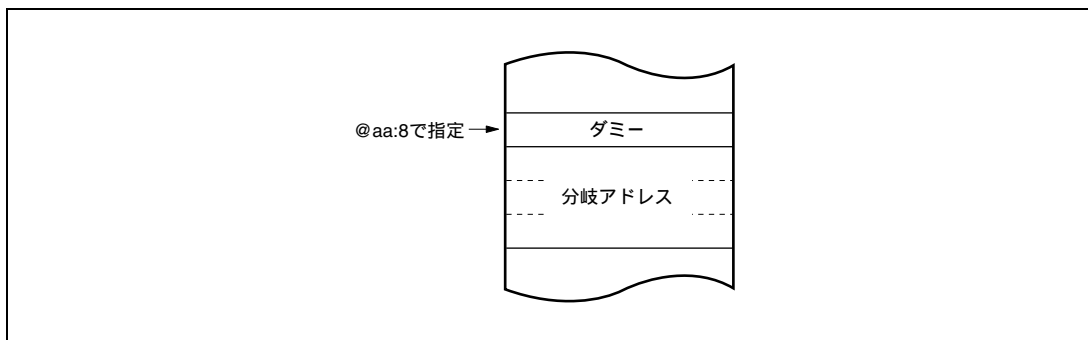


図 2.8 メモリ間接による分岐アドレスの指定

2.5.2 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス (EA : Effective Address) の計算方法を表 2.12 に示します。H8/38602R グループでは計算結果の上位 8 ビットは無視され、16 ビットの実効アドレスを生成します。


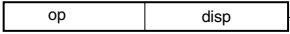
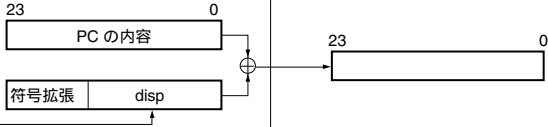
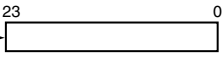
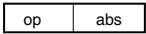
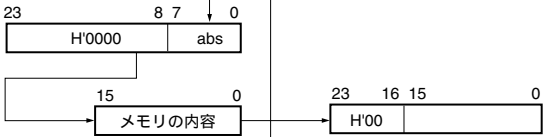
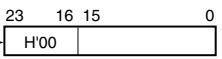
表 2.12 実効アドレスの計算方法 (1)

NO.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
(1)	レジスタ直接 (Rn) 		オペランドは、 汎用レジスタの内容です。
(2)	レジスタ間接 (@ERn) 		
(3)	ディスプレイメント付きレジスタ間接 @(d: 16, ERn) / @(d: 24, ERn) 		
(4)	ポストインクリメントレジスタ間接 / プリデクリメントレジスタ間接 ・ポストインクリメント レジスタ間接 @ERn + ・プリデクリメント レジスタ間接 @ - ERn 		
(5)	絶対アドレス @ aa : 8 @ aa : 16 @ aa : 24 		

オペランドサイズがバイトのとき1、ワードのとき2、ロングワードのとき4が加減算されます。

2. CPU

表 2.12 実効アドレスの計算方法 (2)

NO.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
(6)	イミディエイト #xx : 8/#xx : 16/#xx : 32 		オペランドは、イミディエイトデータです。
(7)	プログラムカウンタ相対 @(d : 8, PC) / @(d : 16, PC) 		
(8)	メモリ間接 @@ aa : 8 		

【記号説明】

- r、rm、rn : レジスタフィールド
- op : オペレーションフィールド
- disp : ディスプレースメント
- IMM : イミディエイトデータ
- abs : 絶対アドレス

2.6 基本バスサイクル

CPU は、システムクロック () またはサブクロック ($_{SUB}$) を基準に動作します。 または $_{SUB}$ の立ち上がりから次の立ち上がりまでを 1 ステートと呼びます。バスサイクルは 2 ステートで行われます。

2.6.1 内蔵メモリ (RAM、ROM)

内蔵メモリのアクセスは 2 ステートで行われます。データバス幅は 16 ビットで、バイトおよびワードアクセスが可能です。内蔵メモリアクセスサイクルを図 2.9 に示します。

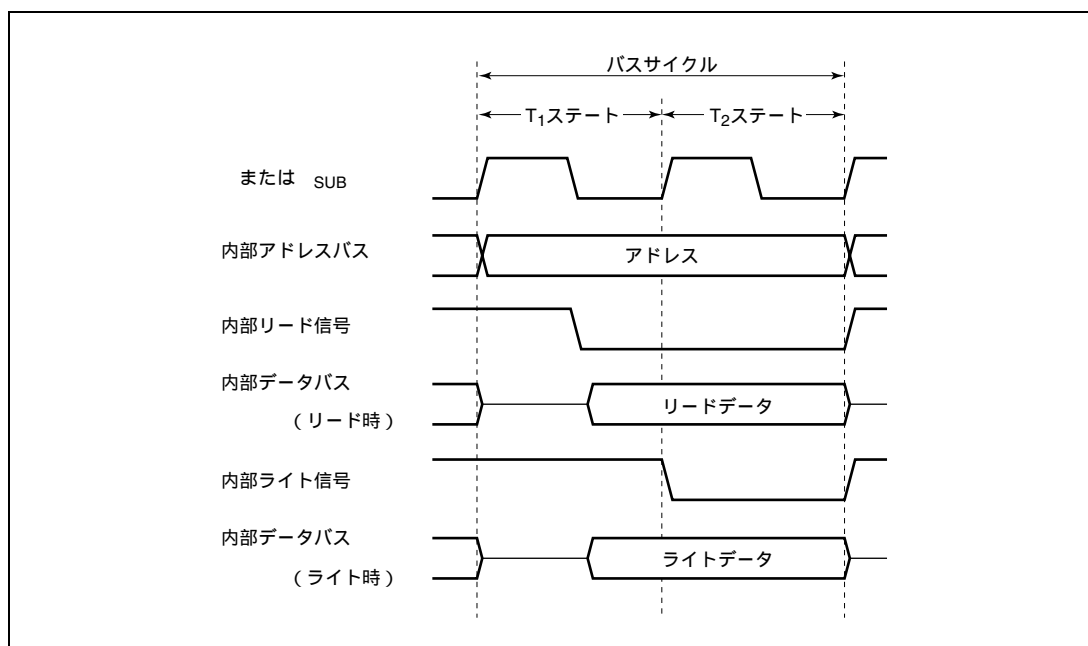


図 2.9 内蔵メモリアクセスサイクル

2.6.2 内蔵周辺モジュール

内蔵周辺モジュールのアクセスは、2 ステートまたは3 ステートで行われます。データバス幅は8 ビットまたは16 ビットで、レジスタにより異なります。各レジスタのデータバス幅とアクセスステート数は「20.1 レジスタアドレス一覧（アドレス順）」を参照してください。データバス幅が16 ビットのレジスタはワードアクセスのみ可能です。データバス幅が8 ビットのレジスタはバイトおよびワードアクセスが可能です。データバス幅が8 ビットのレジスタをワードアクセスするとバスサイクルが2回発生します。2 ステートアクセスの場合の動作タイミングは内蔵メモリと同一です。3 ステートアクセスの場合の動作タイミングを図 2.10 に示します。

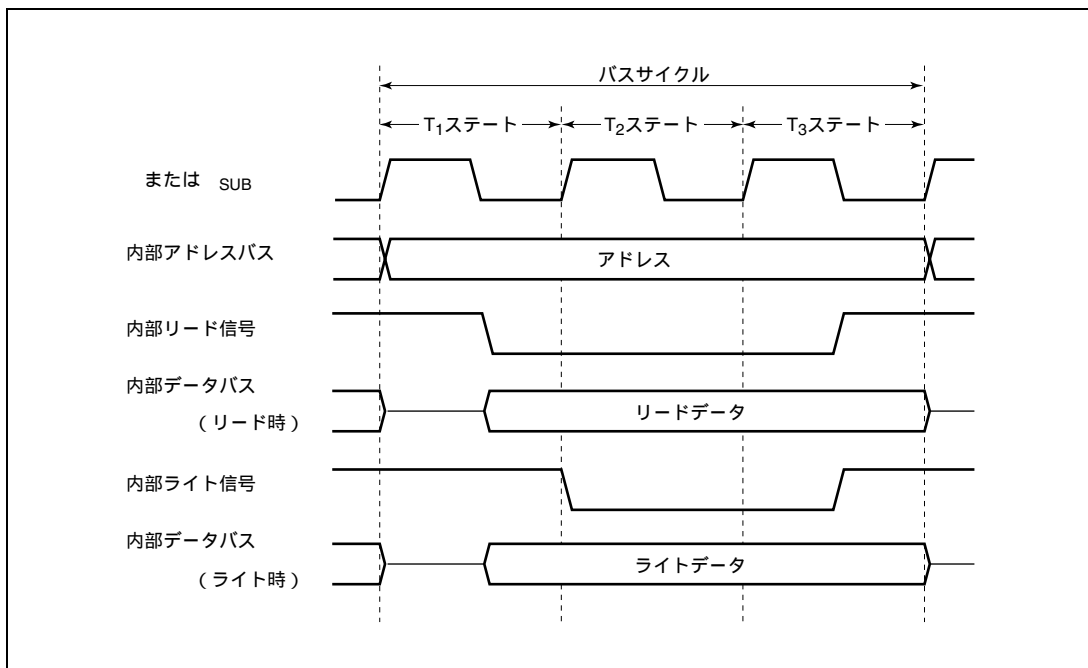


図 2.10 内蔵周辺モジュールアクセスサイクル (3 ステートアクセスの場合)

2.7 CPUの状態

CPUの状態は、リセット状態、プログラム実行状態、プログラム停止状態、例外処理状態の4種類あります。プログラム実行状態には、アクティブ（高速、中速）モード、サブアクティブモードがあり、プログラム停止状態には、スリープ（高速、中速）モード、スタンバイモード、ウォッチモード、サブスリープモードがあります。各状態の分類を図 2.11 に、各状態間の遷移条件を図 2.12 に示します。プログラム実行状態およびプログラム停止状態の詳細は「第5章 低消費電力モード」を参照してください。例外処理の詳細は「第3章 例外処理」を参照してください。

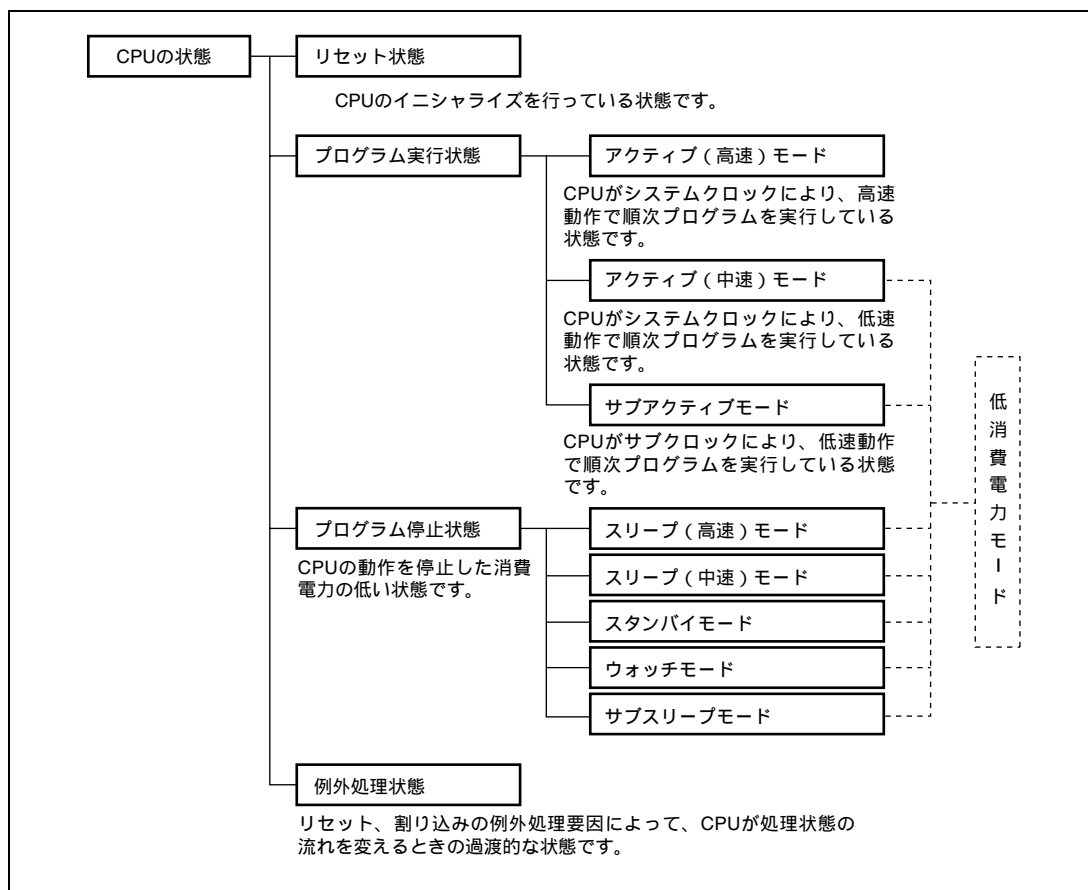


図 2.11 CPUの状態の分類

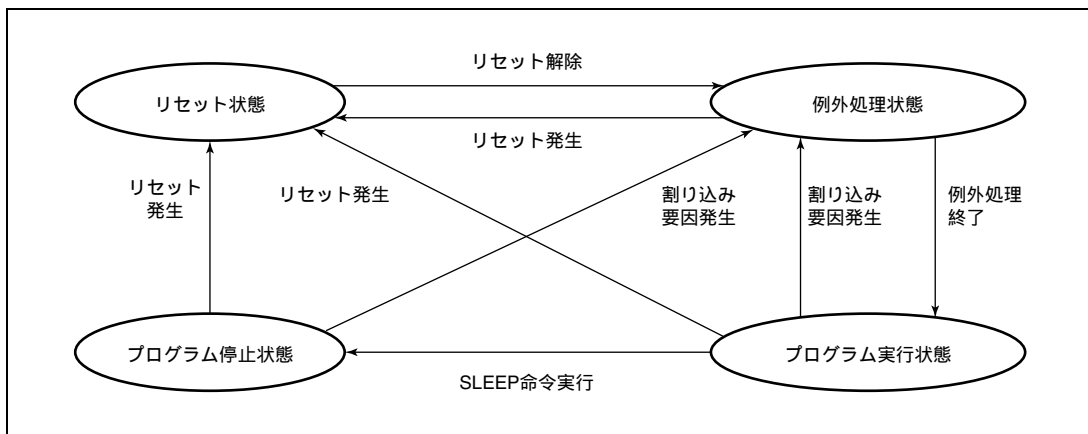


図 2.12 状態遷移図

2.8 使用上の注意事項

2.8.1 空きエリアへのデータアクセス

本 LSI のアドレス空間にはユーザに開放された ROM、RAM、内蔵 I/O レジスタの領域以外に空きエリアがあります。CPU から空きエリアへデータを転送すると転送データは失われます。また、CPU の誤動作の原因となる可能性があります。空きエリアから CPU への転送データの内容は保証されません。

2.8.2 EEPMOV 命令

EEPMOV 命令はブロック転送命令で、R5 で示されるアドレスから始まる R4 または R4L で示されるバイト数のデータを、R6 で示されるアドレスへ転送します。転送先の最終アドレス (R6 + R4L または R6 + R4 の値) が H'FFFF を超えないように (実行途中で R6 の値が H'FFFF H'0000 とならないように)、R4 または R4L、R6 を設定してください。

2.8.3 ビット操作命令

BSET、BCLR、BNOT、BST、BIST 命令は、指定されたアドレスのデータをバイト単位でリードし、対象となる1ビットを操作した後、同一アドレスにバイト単位でライトします。したがって、同一アドレスに2つのレジスタが割付けられている場合や、ライト専用ビットを含むレジスタ、またはポートに対して直接ビット操作命令を使用すると、ビット操作対象以外のビットのデータが書き変わる可能性がありますので注意してください。

(1) 同一アドレスに割付けられた2つのレジスタのビット操作

例1：タイマロードレジスタとタイマカウンタへのビット操作

図 2.13 に同一アドレスに割付けられた2つのレジスタを持つタイマの構成例を示します。リロードタイマのタイマロードレジスタとタイマカウンタにビット操作命令を実行すると、タイマロードレジスタとタイマカウンタはアドレスを共有しているため次のように動作します。

1. タイマカウンタのデータをバイト単位でリードします。
2. CPUはビット操作命令で対象となる1ビットをセットまたはリセットします。
3. ライトしたデータをバイト単位でタイマロードレジスタにライトします。

タイマカウンタはカウントを続けているので、リードしたデータがタイマロードレジスタのデータとは必ずしも等しくありません。そのためタイマカウンタの操作の対象となったビット以外のデータが書き変わって、タイマロードレジスタへライトされます。

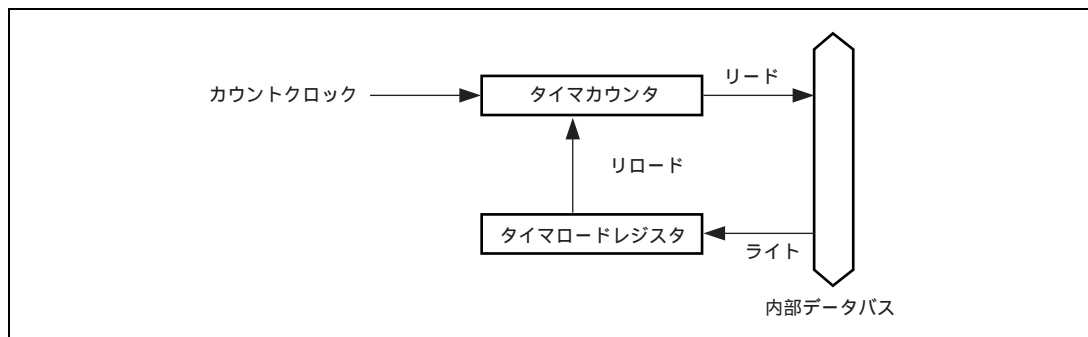


図 2.13 同一アドレスに割付けられた2つのレジスタを持つタイマの構成例

2. CPU

例2：ポート5にBSET命令を実行した場合

P57、P56 は入力端子でそれぞれ Low レベル、High レベル入力状態とし、P55 ~ P50 は出力端子でそれぞれ Low レベル出力状態とします。以下に、BSET 命令で P50 に High レベル出力を行う例を示します。

【BSET命令実行前】

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	0

【BSET命令実行】

BSET #0, @PDR5

ポート 5 に対して BSET 命令を実行します。

【BSET命令実行後】

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR5	0	0	1	1	1	1	1	1
PDR5	0	1	0	0	0	0	0	1

【動作説明】

1. BSET命令を実行すると、CPUはポート5をリードします。P57、P56は入力端子で、CPUは端子の状態（Low レベル、Highレベル入力）をリードします。P55 ~ P50は出力端子で、CPUはPDR5の値をリードします。したがって、例ではPDR5はH'80ですが、CPUがリードしたデータはH'40となります。
2. CPUはリードしたデータのビット0を1にセットして、データをH'41に変更します。
3. H'41をPDR5に書込んで、BSET命令を終了します。

その結果、PDR5のビット0が1になり、P50はHighレベル出力になります。しかし、PDR5のビット7、6が変化してしまいます。そのため、PDR5と同じデータをメモリ上のワークエリアに格納し、ワークエリア上のデータに対しビット操作を行った後、このデータをPDR5にライトしてください。

【BSET命令実行前】

```
MOV.B #H'80, R0L
MOV.B R0L, @RAM0
MOV.B R0L, @PDR5
```

PDR5 に書き込む値 (H'80) をあらかじめメモリ上のワークエリア (RAM0) と PDR5 にライトします。

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	0

RAM0	1	0	0	0	0	0	0	0
------	---	---	---	---	---	---	---	---

【BSET命令実行】

```
BSET #0, @RAM0
```

PDR5 のワークエリア (RAM0) に対して BSET 命令を実行します。

【BSET命令実行後】

```
MOV.B @RAM0, R0L
MOV.B R0L, @PDR5
```

ワークエリア (RAM0) の値を PDR5 にライトします。

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	1

RAM0	1	0	0	0	0	0	0	1
------	---	---	---	---	---	---	---	---

2. CPU

(2) ライト専用ビットを含むレジスタのビット操作

例3：ポート5のPCR5にBCLR命令を実行した場合

P57、P56 は入力端子でそれぞれ Low レベル、High レベル入力状態とし、P55 ~ P50 は出力端子でそれぞれ Low レベル出力状態とします。以下に、BCLR 命令で P50 を入力端子に設定する例を示します。入力端子に設定された P50 は High レベル入力状態とします。

【BCLR命令実行前】

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	0

【BCLR命令実行】

BCLR	#0	,	@PCR5
------	----	---	-------

PCR5 に対して BCLR 命令を実行します。

【BCLR命令実行後】

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	出力	出力	出力	出力	出力	出力	出力	入力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR5	1	1	1	1	1	1	1	0
PDR5	1	0	0	0	0	0	0	0

【動作説明】

1. BCLR命令を実行すると、CPUはPCR5をリードします。PCR5はライト専用レジスタで、CPUはH'FFをリードします。したがって、例ではPCR5はH'3Fですが、CPUがリードしたデータはH'FFとなります。
2. CPUはリードしたデータのビット0を0にクリアして、データをH'FEに変更します。
3. H'FEをPCR5に書込んで、BCLR命令を終了します。

その結果、PCR5のビット0が0になり、P50は入力端子になります。しかし、PCR5のビット7、6が1になり、P57、P56は出力端子に変化してしまいます。そのため、PCR5と同じデータをメモリ上のワークエリアに格納し、ワークエリア上のデータに対しビット操作を行った後、このデータをPCR5にライトしてください。

【BCLR命令実行前】

```
MOV.B #H'3F, R0L
MOV.B R0L, @RAM0
MOV.B R0L, @PCR5
```

PCR5 に書き込む値 (H'3F) をあらかじめメモリ上のワークエリア (RAM0) と PCR5 にライトします。

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	0

RAM0	0	0	1	1	1	1	1	1
------	---	---	---	---	---	---	---	---

【BCLR命令実行】

```
BCLR #0, @RAM0
```

PCR5 のワークエリア (RAM0) に対して BCLR 命令を実行します。

【BCLR命令実行後】

```
MOV.B @RAM0,R0L
MOV.B R0L, @PCR5
```

ワークエリア (RAM0) の値を PCR5 にライトします。

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR5	0	0	1	1	1	1	1	0
PDR5	1	0	0	0	0	0	0	0

RAM0	0	0	1	1	1	1	1	0
------	---	---	---	---	---	---	---	---

3. 例外処理

例外処理にはリセット、トラップ命令、割り込みによるものがあります。

- リセット

リセットは最も優先度の高い例外処理です。 $\overline{\text{RES}}$ 端子によってリセットが解除されると例外処理を開始します。ウォッチドッグタイマのオーバーフローによってもリセットされ、例外処理を開始します。例外処理は $\overline{\text{RES}}$ 端子による例外処理と同一です。

- トラップ命令による例外処理

TRAPA命令の実行により開始されます。TRAPA命令は命令コード中で指定した0~3のベクタ番号により異なるベクタアドレスを生成します。トラップ命令による例外処理はCCRのIビットにかかわらずプログラム実行状態で常に受け付けられます。

- 割り込み例外処理

NMIを除く外部割り込み要求と内部割り込み要求はCCRのIビットによりマスクされ、Iビットが1の間保留されます。割り込み要求が発生すると、命令の実行終了時または例外処理終了時に例外処理を開始します。

3. 例外処理

3.1 例外処理要因とベクタアドレス

各例外処理要因のベクタアドレスと優先度は表 3.1 のとおりです。複数の割り込み要求が発生したときは優先度の高い方から処理されます。

表 3.1 例外処理要因とベクタアドレス

割り込み要因発生元	例外処理要因	ベクタ番号	ベクタアドレス	優先度
リセット端子/ ウォッチドッグタイマ	リセット	0	H'0000 ~ H'0001	<p>高</p> <p>↑</p> <p>↓</p> <p>低</p>
—	システム予約	1~6	H'0002 ~ H'000D	
外部割り込み	NMI	7	H'000E ~ H'000F	
トラップ命令 TRAPA#0	トラップ命令 #0	8	H'0010 ~ H'0011	
トラップ命令 TRAPA#1	トラップ命令 #1	9	H'0012 ~ H'0013	
トラップ命令 TRAPA#2	トラップ命令 #2	10	H'0014 ~ H'0015	
トラップ命令 TRAPA#3	トラップ命令 #3	11	H'0016 ~ H'0017	
—	システム予約	12	H'0018 ~ H'0019	
CPU	SLEEP 命令の実行による直接遷移	13	H'001A ~ H'001B	
—	システム予約	14、15	H'001C ~ H'001F	
外部割り込み	IRQ0	16	H'0020 ~ H'0021	
	IRQ1	17	H'0022 ~ H'0023	
	IRQAEC	18	H'0024 ~ H'0025	
—	システム予約	19、20	H'0026 ~ H'0029	
コンパレータ	COMP0	21	H'002A ~ H'002B	
	COMP1	22	H'002C ~ H'002D	
RTC	0.25 秒オーバーフロー	23	H'002E ~ H'002F	
	0.5 秒オーバーフロー	24	H'0030 ~ H'0031	
	秒周期オーバーフロー	25	H'0032 ~ H'0033	
	分周期オーバーフロー	26	H'0034 ~ H'0035	
	時周期オーバーフロー	27	H'0036 ~ H'0037	
	日周期オーバーフロー	28	H'0038 ~ H'0039	
	週周期オーバーフロー	29	H'003A ~ H'003B	
	フリーランオーバーフロー	30	H'003C ~ H'003D	
WDT	WDT オーバーフロー(インターバルタイマ)	31	H'003E ~ H'003F	
非同期イベントカウンタ	非同期イベントカウンタオーバーフロー	32	H'0040 ~ H'0041	
タイマ B1	オーバーフロー	33	H'0042 ~ H'0043	

3. 例外処理

割り込み要因発生元	例外処理要因	ベクタ番号	ベクタアドレス	優先度
シンクロナスシリアルコミュニケーションユニット (SSU) / IIC2 *	オーバランエラー 送信データエンプティ 送信終了 受信データフル コンフリクトエラー / 送信データエンプティ 送信終了 受信データフル NACK 検出 アービトレーション オーバランエラー	34	H'0044 ~ H'0045	高 ↑
タイマ W	インプットキャプチャ A / コンペアマッチ A インプットキャプチャ B / コンペアマッチ B インプットキャプチャ C / コンペアマッチ C インプットキャプチャ D / コンペアマッチ D オーバフロー	35	H'0046 ~ H'0047	
—	システム予約	36	H'0048 ~ H'0049	
SCI3	送信終了 送信データエンプティ 受信データフル オーバランエラー フレーミングエラー パリティエラー	37	H'004A ~ H'004B	
A/D 変換器	A/D 変換終了	38	H'004C ~ H'004D	
—	システム予約	39	H'004E ~ H'004F	低 ↓

【注】 * SSU/IIC2 は兼用となっています。IIC2 を使用する場合は、CKSTPR2 の SSUCKSTP ビットを 0 にクリアし、SSU をスタンバイ状態にしてください。

3. 例外処理

3.2 リセット

リセットは、最も優先順位の高い例外処理です。

リセットを開始させる要因には、3種類の要因があります。各要因について表 3.2 に示します。

表 3.2 リセット要因

要因発生元	説明
RES 端子	Low レベル入力
パワーオンリセット回路	Vcc の立ち上がり 詳細は「第 19 章 パワーオンリセット回路」を参照
ウォッチドッグタイマ	カウンタオーバーフロー 詳細は「第 12 章 ウォッチドッグタイマ」を参照

3.2.1 リセット例外処理

リセット要因が発生すると実行中の処理はすべて打ち切れ、本 LSI はリセット状態になります。

リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。

RES 端子により本 LSI を確実にリセットするためには、RES 端子を以下の動作としてください。

- 電源投入時、もしくはシステムクロック発振器が停止している状態
システムクロック発振器の発振が安定するまでRES端子をLowレベルに保持してください。
- システムクロック発振器が動作している状態
RES端子を電气的特性で定めている t_{REL} ステートの間、Lowレベルにしてください。

リセット要因が発生した後、リセット例外処理が開始され、本 LSI は次のように動作します。

1. CPUの内部状態と内蔵周辺モジュールの各レジスタが初期化され、CCRのIビットが1にセットされます。
2. リセット例外処理ベクタアドレス (H'0000 ~ H'0001) をリードしてPCに転送した後、PCで示されるアドレスからプログラムの実行を開始します。

RES 端子によるリセット例外処理シーケンスを図 3.1 に示します。

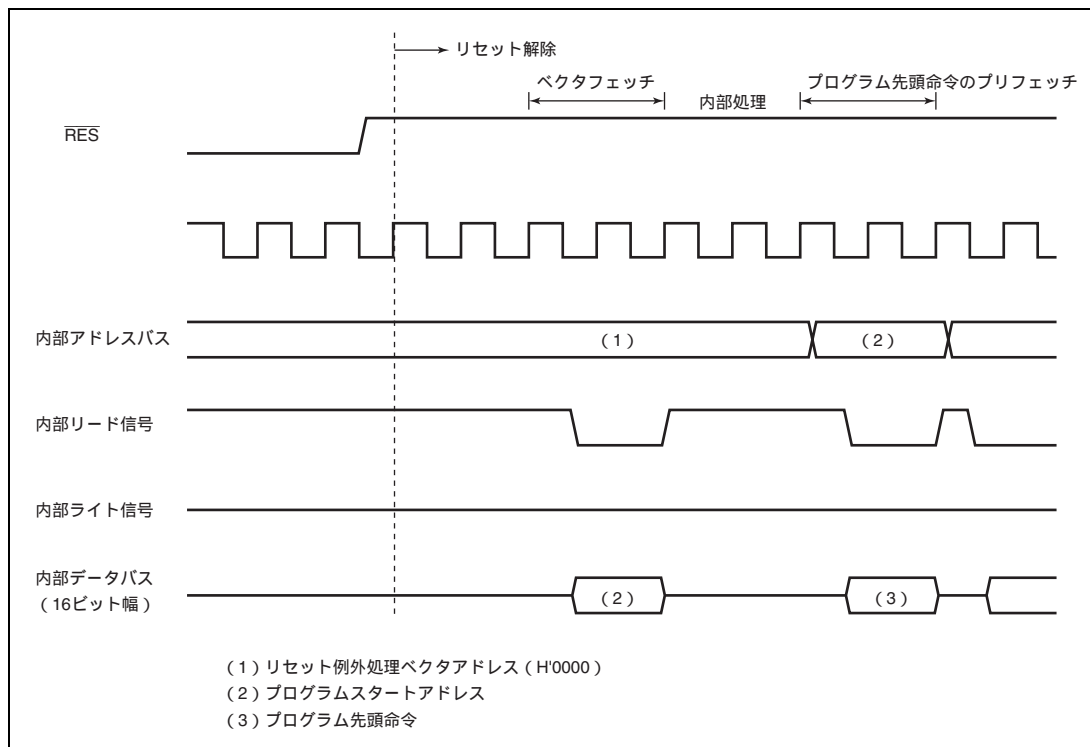


図 3.1 リセット例外処理シーケンス

3.2.2 リセット直後の割り込み

リセット直後、スタックポインタ (SP) をイニシャライズする前に割り込みを受け付けると、PC と CCR の回避が正常に行われないため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP をイニシャライズする命令としてください (例: MOV.L #xx : 32、SP)。

3. 例外処理

3.3 入出力端子

割り込みコントローラの端子構成を表 3.3 に示します。

表 3.3 端子構成

名称	入出力	機能
NMI	入力	ノンマスク外部割り込み端子 立ち下がリエッジまたは立ち上がりエッジを選択可能
IRQAEC	入力	マスク可能な外部割り込み端子 立ち下がリエッジ、立ち上がりエッジ、両エッジのいずれかを選択可能
$\overline{\text{IRQ1}}$ $\overline{\text{IRQ0}}$	入力 入力	マスク可能な外部割り込み端子 立ち下がリエッジ、立ち上がりエッジのいずれかを選択可能

3.4 レジスタの説明

割り込みコントローラには以下のレジスタがあります。

- 割り込みエッジセレクトレジスタ (IEGR)
- 割り込みイネーブルレジスタ1 (IENR1)
- 割り込みイネーブルレジスタ2 (IENR2)
- 割り込みフラグレジスタ1 (IRR1)
- 割り込みフラグレジスタ2 (IRR2)

3.4.1 割り込みエッジセレクトレジスタ (IEGR)

IEGR は $\overline{\text{NMI}}$ 、 $\overline{\text{ADTRG}}$ 、 $\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQ0}}$ 端子の割り込み要求を発生させるエッジの方向を選択します。

ビット	ビット名	初期値	R/W	説 明
7	NMIEG	0	R/W	NMI エッジセレクト 0 : $\overline{\text{NMI}}$ 端子入力の立ち下がりエッジを検出 1 : $\overline{\text{NMI}}$ 端子入力の立ち上がりエッジを検出
6	—	0	—	リザーブビット リードすると常に 0 が読み出されます。
5	ADTRGNEG	0	R/W	ADTRG エッジセレクト 0 : $\overline{\text{ADTRG}}$ 端子入力の立ち下がりエッジを検出 1 : $\overline{\text{ADTRG}}$ 端子入力の立ち上がりエッジを検出
4~2	—	すべて 0	—	リザーブビット ライト時は 0 をライトしてください。
1	IEG1	0	R/W	IRQ1 エッジセレクト 0 : $\overline{\text{IRQ1}}$ 端子入力の立ち下がりエッジを検出 1 : $\overline{\text{IRQ1}}$ 端子入力の立ち上がりエッジを検出
0	IEG0	0	R/W	IRQ0 エッジセレクト 0 : $\overline{\text{IRQ0}}$ 端子入力の立ち下がりエッジを検出 1 : $\overline{\text{IRQ0}}$ 端子入力の立ち上がりエッジを検出

3.4.2 割り込みイネーブルレジスタ 1 (IENR1)

IENR1 は、RTC、IRQAEC、IRQ1、IRQ0 の割り込みをイネーブルにします。

ビット	ビット名	初期値	R/W	説 明
7	IENRTC	0	R/W	RTC 割り込み要求イネーブル このビットを 1 にセットすると RTC 割り込み要求がイネーブルになります。
6~3	—	すべて 0	—	リザーブビット ライト時は 0 をライトしてください。
2	IENEC2	0	R/W	IRQAEC 割り込み要求イネーブル このビットを 1 にセットすると IRQAEC 割り込み要求がイネーブルになります。
1	IEN1	0	R/W	IRQ1 割り込み要求イネーブル このビットを 1 にセットすると IRQ1 割り込み要求がイネーブルになります。
0	IEN0	0	R/W	IRQ0 割り込み要求イネーブル このビットを 1 にセットすると IRQ0 割り込み要求がイネーブルになります。

3. 例外処理

3.4.3 割り込みイネーブルレジスタ 2 (IENR2)

IENR2 は、A/D 変換器、タイマ B1、非同期イベントカウンタ割り込みをイネーブルにします。

ビット	ビット名	初期値	R/W	説明
7	—	0	—	リザーブビット ライト時は 0 をライトしてください。
6	IENAD	0	R/W	A/D 変換器割り込み要求イネーブル このビットを 1 にセットすると A/D 変換器割り込み要求がイネーブルになります。
5~3	—	すべて 0	—	リザーブビット ライト時は 0 をライトしてください。
2	IENTB1	0	R/W	タイマ B1 割り込みイネーブル このビットを 1 にセットするとタイマ B1 割り込み要求がイネーブルになります。
1	—	0	—	リザーブビット ライト時は 0 をライトしてください。
0	IENEC	0	R/W	非同期イベントカウンタ割り込みイネーブル このビットを 1 にセットすると非同期イベントカウンタ割り込み要求がイネーブルになります。

3.4.4 割り込みフラグレジスタ 1 (IRR1)

IRR1 は、IRQAEC、IRQ1、IRQ0 割り込み要求ステータスレジスタです。

ビット	ビット名	初期値	R/W	説明
7~3	—	すべて 0	—	リザーブビット ライト時は 0 をライトしてください。
2	IRREC2	0	R/(W)*	IRQAEC 割り込み要求フラグ [セット条件] P12 端子が IRQAEC/AECPWM 端子に設定され、端子状態が指定されたエッジを検出したとき [クリア条件] 0 をライトしたとき
1	IRR1	0	R/(W)*	IRQ1 割り込み要求フラグ [セット条件] $\overline{\text{IRQ1}}$ 端子が割り込み入力に設定され、指定されたエッジを検出したとき [クリア条件] 0 をライトしたとき

ビット	ビット名	初期値	R/W	説明
0	IRRI0	0	R/(W)*	IRQ0 割り込み要求フラグ [セット条件] IRQ0 端子が割り込み入力に設定され、指定されたエッジを検出したとき [クリア条件] 0 をライトしたとき

【注】 * フラグをクリアするための0ライトのみ可能です。

3.4.5 割り込みフラグレジスタ 2 (IRR2)

IRR2 は、A/D 変換器、タイマ B1、非同期イベントカウンタ割り込み要求ステータスレジスタです。

ビット	ビット名	初期値	R/W	説明
7		0		リザーブビット ライト時は0をライトしてください。
6	IRRAD	0	R/(W)*	A/D 変換器割り込み要求フラグ [セット条件] A/D 変換が終了したとき [クリア条件] 0 をライトしたとき
5~3		すべて0		リザーブビット ライト時は0をライトしてください。
2	IRRTB1	0	R/(W)*	タイマ B1 割り込み要求フラグ [セット条件] タイマ B1 がオーバーフローしたとき [クリア条件] 0 をライトしたとき
1		0		リザーブビット ライト時は0をライトしてください。
0	IRREC	0	R/(W)*	非同期イベントカウンタ割り込み要求フラグ [セット条件] 非同期イベントカウンタがオーバーフローしたとき [クリア条件] 0 をライトしたとき

【注】 * フラグをクリアするための0ライトのみ可能です。

3.5 割り込み要因

3.5.1 外部割り込み

外部割り込みには、NMI 割り込み、IRQAEC、IRQ1、IRQ0 割り込みの 4 要因があります。

(1) NMI 割り込み

NMI は最優先の割り込みで、CCR の I ビットの状態にかかわらず常に受け付けられます。 $\overline{\text{NMI}}$ 端子の立ち上がり / 立ち下がりエッジのいずれかで割り込みを要求するか、IEGR の NMIEG ビットで選択できます。

(2) IRQ1、IRQ0 割り込み

IRQ1、IRQ0 割り込みは、 $\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQ0}}$ 端子の入力信号により要求されます。

IRQ1、IRQ0 割り込みは、立ち上がり / 立ち下がりエッジセンスを IEGR の IEG1、IEG0 により指定できます。PFCR、PMRB により端子機能が $\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQ0}}$ 端子に選択された状態で指定されたエッジが入力されると、IRR1 の対応するビットが 1 にセットされ、割り込み要求を発生します。

割り込み要求の受け付けは、IENR1 の IEN1、IEN0 を 0 にクリアすることにより、禁止できます。また、CCR の I ビットを 1 にセットすることによりすべての割り込みをマスクできます。

(3) IRQAEC 割り込み

IRQAEC 割り込みは、IRQAEC 端子の入力信号および IECPWM (AEC 用の PWM の出力) により入力されます。IRQAEC 端子入力を外部割り込みとして使用する場合には、AEGSR の ECPWME を 0 に設定してください。

IRQAEC 割り込みは、立ち上がり / 立ち下がり / 両エッジセンスを AEGSR の AIEGS1 と AIEGS0 により指定できます。

IENR1 の IENEC2 が 1 で指定されたエッジが入力されると、IRR1 の対応するビットが 1 にセットされ、割り込み要求を発生します。詳細は「第 13 章 非同期イベントカウンタ (AEC)」を参照してください。

3.5.2 内部割り込み

内蔵周辺モジュールからの内部割り込み要因には以下の特長があります。

- 各内蔵周辺モジュールには、割り込み要求のステータスを表示するフラグとこれらの割り込みイネーブルビットがあり、独立に制御することができます。イネーブルビットが 1 のとき、割り込み要求が割り込みコントローラに送られます。

3.6 割り込み動作

NMI はリセット状態を除き、常に受け付けられます。IRQ 割り込み、および内蔵周辺モジュール割り込みは、それぞれの割り込みに対応したイネーブルビットがあります。イネーブルビットを 0 にクリアすると、その割り込みは禁止されます。イネーブルビットを 1 にセットした割り込み要因が、割り込みコントローラで制御されます。割り込みコントローラのブロック図を図 3.2 に、割り込み受け付けまでのフローを図 3.3 に示します。

割り込み動作は以下のとおりです。

1. 割り込み許可レジスタの対応するビットが 1 にセットされている状態で、割り込み要因が発生したとき、割り込みコントローラに対して割り込み要求信号が送られます。
2. 割り込みコントローラに割り込み要求信号が送られると、割り込み要求フラグがセットされます。
3. 割り込み許可フラグが 1 にセットされている割り込みの中で、優先順位にしたがって最高位の割り込み要求が選択され、その他は保留となります（表 3.1 参照）。
4. CCR の I ビットを参照し、I ビットが 0 にクリアされている場合は、割り込み要求は受け付けられますが、I ビットが 1 にセットされている場合は割り込み要求は保留となります。
5. 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、PC と CCR がスタック領域に退避されます。このときのスタックの状態を図 3.5 に示します。スタックされる PC は、リターン後に実行する最初の命令のアドレスを示しています。
6. CCR の I ビットが 1 にセットされます。これにより、すべての割り込みはマスクされます。
7. 受け付けた割り込みに対応するベクタアドレスを生成し、そのアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行を開始します。

3. 例外処理

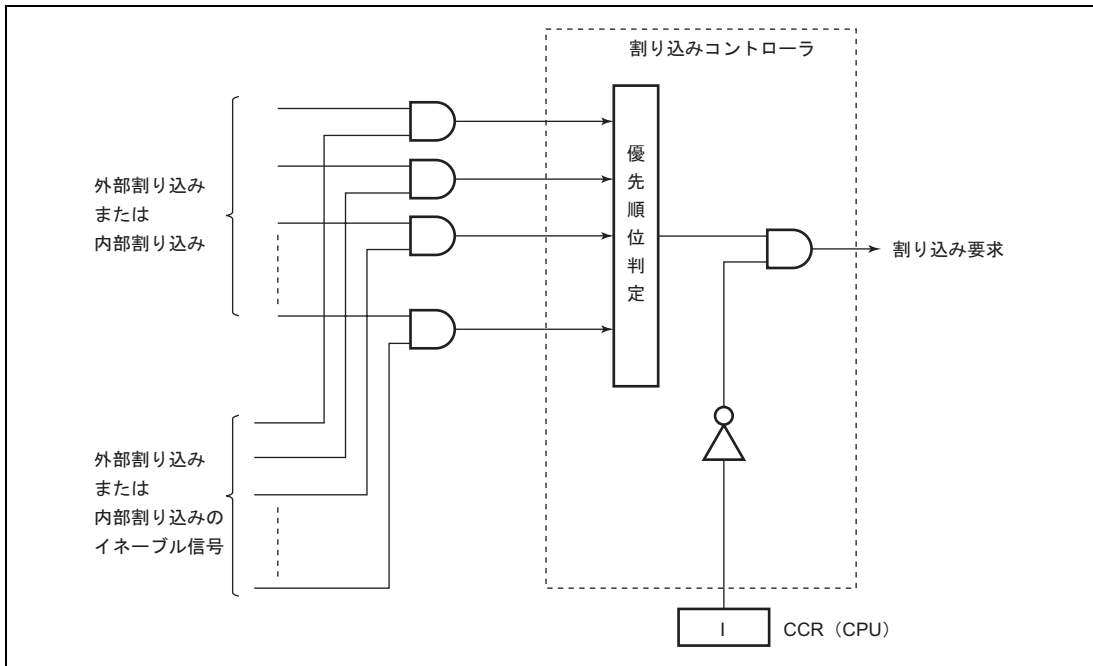


図 3.2 割り込みコントローラのブロック図

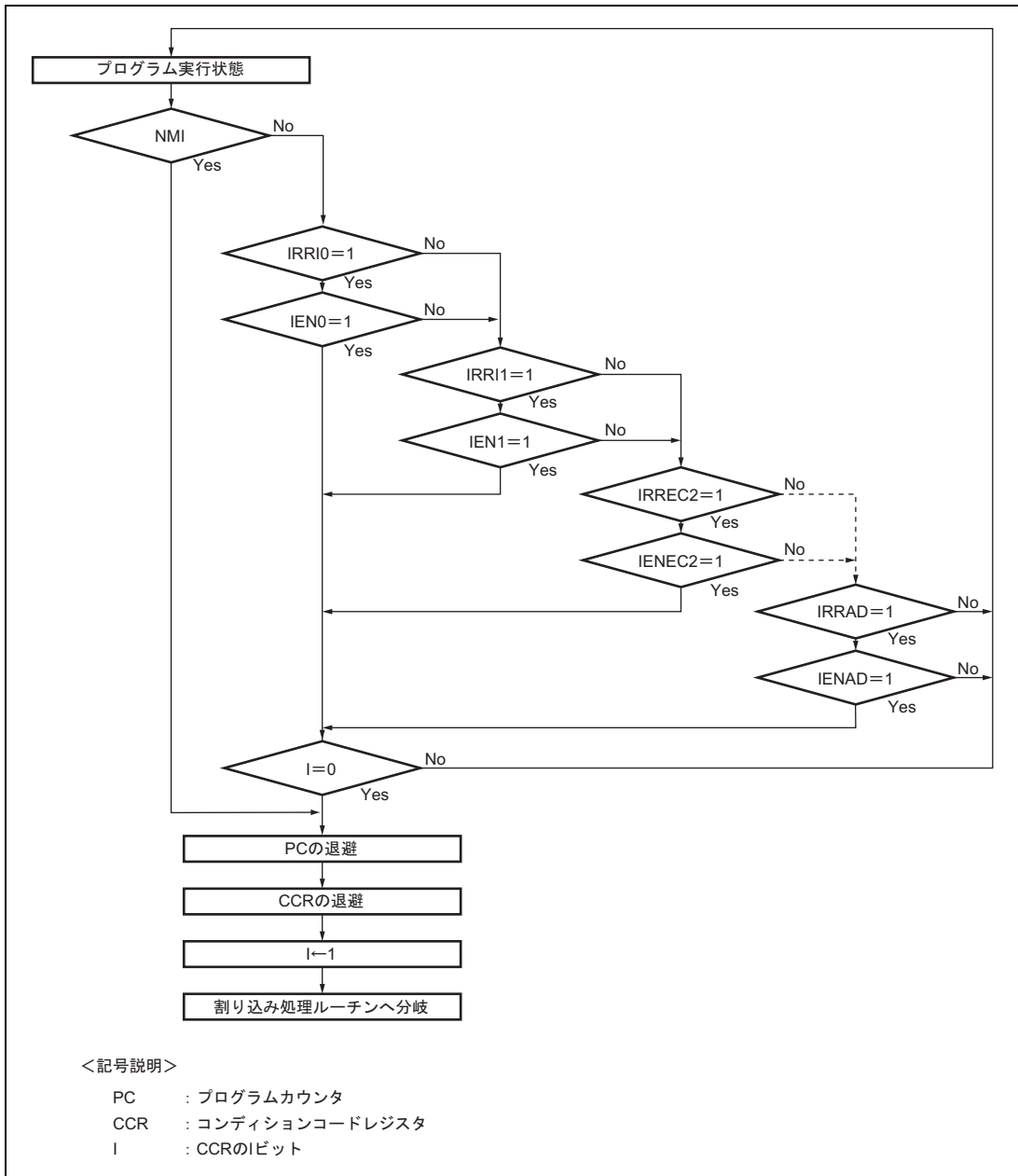


図 3.3 割り込み受け付けまでのフロー

3.6.1 割り込み例外処理シーケンス

プログラム領域とスタック領域を 16 ビット 2 ステートアクセス空間にとった場合の割り込みシーケンスを図 3.4 に示します。

3.7 例外処理後のスタック状態

割り込み例外処理後のスタックの状態を図 3.5 に示します。

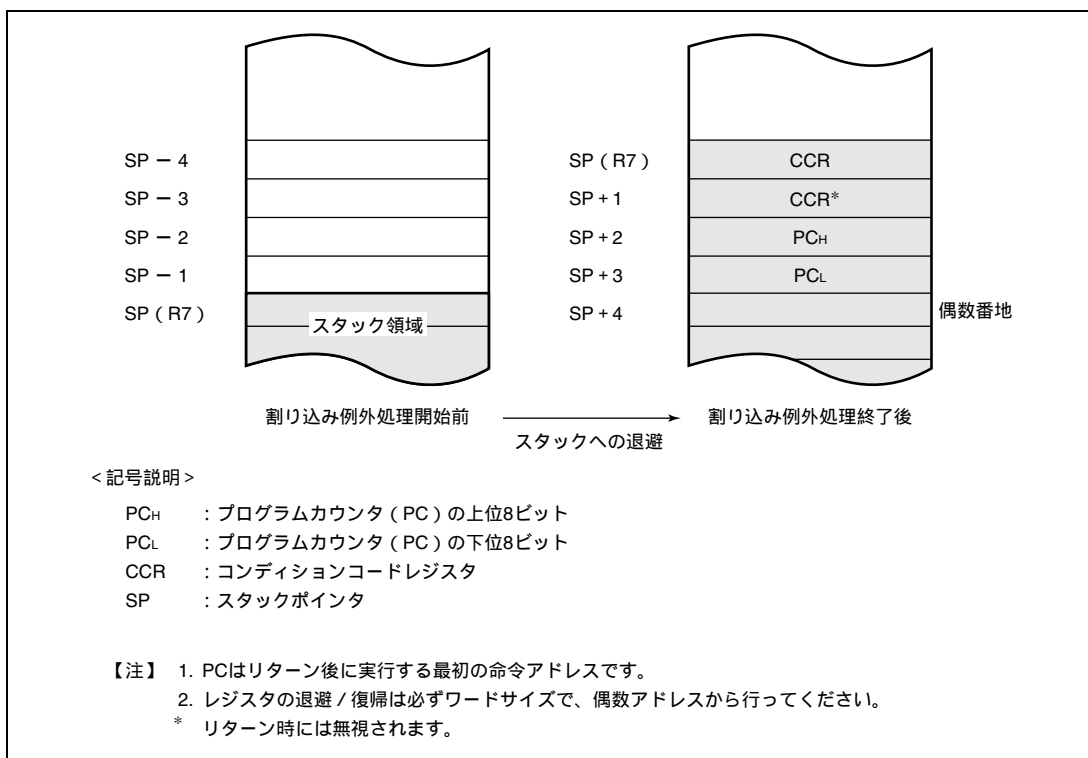


図 3.5 割り込み例外処理終了後のスタック状態

3.7.1 割り込み応答時間

割り込み要求フラグがセットされた後、割り込み要求処理ルーチンの先頭命令を実行するまでの待ち状態数を表 3.4 に示します。

表 3.4 割り込み要求待ち状態数

項 目	ステート数	合計
実行中の命令終了時の待ち時間*	1 ~ 23	15 ~ 37
PC、CCR のスタック	4	
ベクタフェッチ	2	
命令フェッチ	4	
内部処理	4	

【注】 * EEPMOV 命令は除きます。

3.8 使用上の注意事項

3.8.1 スタック領域に関する使用上の注意事項

本 LSI では、ワードデータをアクセスする場合は、アドレスの最下位ビットは 0 とみなされます。スタック領域に対するアクセスは、常にワードサイズで行い、スタックポインタ (SP : R7) の内容は奇数にしないでください。すなわち、レジスタの退避には、「PUSH.W Rn (MOV.W Rn, @-SP)」または「PUSH.L ERn (MOV.L ERn, @-SP)」、復帰には「POP.W Rn (MOV.W @SP+, Rn)」または「POP.L ERn (MOV.L @SP+, ERn)」を使用してください。

SP に奇数を設定すると、誤動作の原因となります。SP に奇数を設定した場合の動作例を図 3.6 に示します。

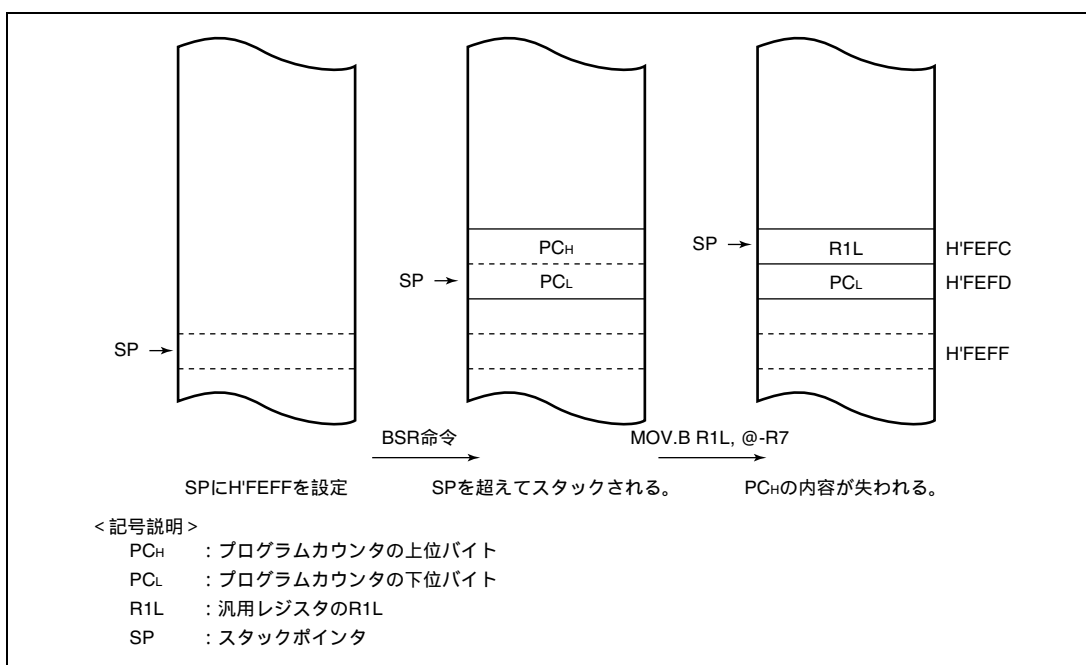


図 3.6 SP に奇数を設定したときの動作

また、割り込み例外処理および RTE 命令実行時に行われる CCR の退避および復帰はワードサイズで扱われます。退避時には、ワードサイズデータの上位バイトおよび下部バイトともに CCR の値が退避されます。復帰時には、偶数アドレスの値が CCR に格納され、奇数アドレスの値は無視されます。

3.8.2 外部割り込み端子の機能を切り替える際の注意事項

外部割り込み端子の機能切り替えのために PFCR、PMRB を書き換える際および、IRQAEC 選択 / 非選択の切り替えのために AEGSR の ECPWME を書き換える際には、以下の点に注意してください。

外部割り込み端子 (IRQAEC、 $\overline{IRQ1}$ 、 $\overline{IRQ0}$) を制御している PFCR、PMRB を書き換えて端子機能を切り替えた場合、端子に有効な割り込みが入力されていなくても、端子機能を切り替えた時点で割り込み要求フラグが 1 にセットされますので、割り込み要求フラグを 0 にクリアしてから使用してください。また、IRQAEC 選択 / 非選択を設定する AEGSR の ECPWME を書き換えた場合、選択された IRQAEC または IECPWM (AEC 用 PWM の出力) が有効なエッジを形成していなくても割り込み要求フラグが 1 にセットされる場合があります。このため、割り込み要求フラグを 0 にクリアしてから使用してください。

PFCR、PMRB の操作と割り込み要求フラグのクリアの手順を図 3.7 に示します。AEGSR の操作もこれに準じます。

端子機能を切り替える場合は、PFCR、PMRB (または AEGSR) の操作前に割り込み禁止状態にして、PFCR、PMRB (または AEGSR) 操作後に、少なくとも 1 命令 (NOP 命令で可) 実行してから、1 にセットされた割り込み要求フラグを 0 にクリアしてください。PFCR、PMRB (または AEGSR) 操作後に 1 命令実行せず割り込み要求フラグを 0 にクリアする命令を実行しても、割り込み要求フラグはクリアされませんので注意してください。

なお、端子機能切り替えにともなう割り込み要求フラグのセットを回避する他の方法として、端子を High レベルに制御して行う方法もあります。ただし、IECPWM は内部信号であり、その値を知ることは煩雑であるため、図 3.7 の手順を推奨します。

3. 例外処理

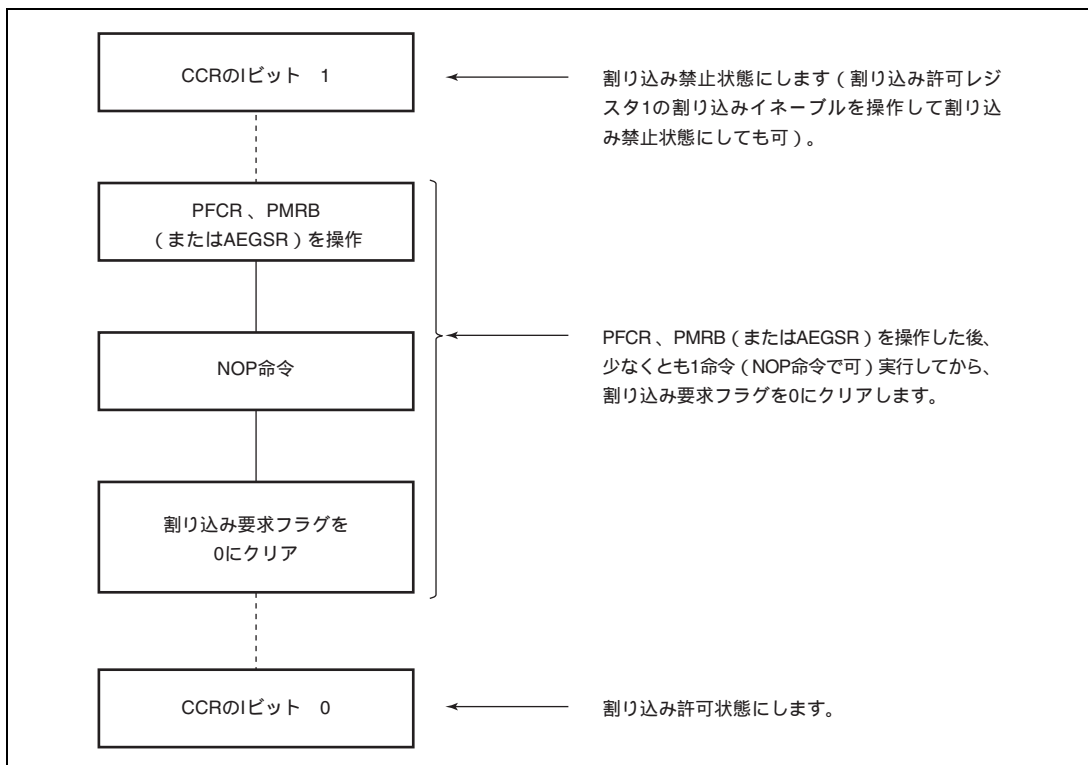


図 3.7 PFCR、PMRB (または AEGSR) 操作と割り込み要求フラグのクリア手順

3.8.3 割り込み要求フラグをクリアする方法

割り込み要求レジスタ (IRR1、IRR2) のフラグクリアは下記の「(1) 推奨方法」で行ってください。

(1) 推奨方法

フラグクリアの処理を 1 命令で実施します。この命令には、ビット操作命令とバイトサイズのデータ転送命令が使用できます。下記に「IRRI1 (IRR1 のビット 1) をクリアする場合」のプログラム例を 2 つ示します。

(例 1)

```
BCLR #1, @IRR1:8
```

(例 2)

```
MOV.B RIL, @IRR1:8 (RILの値をB'11111101に設定しておく)
```

(2) 誤動作する例

フラグクリアの処理を複数命令で実施する場合には、命令の実行中に他のフラグがセットされたにも関わらずこれをクリアしてしまう場合があり、誤動作の原因となります。

次に「IRRI1 (IRR1 のビット 1) をクリアする場合」に IRRIO もクリアにして無効にしてしまう例を示します。

```
MOV.B @IRR1:8,RIL・・・・・・・・・・この時点ではIRRIO = 0
```

```
AND.B #B'11111101, RIL・・・・・・・・・・ここでIRRIO = 1
```

```
MOV.B RIL, @IRR1:8・・・・・・・・・・IRRIO = 0にクリアされる。
```

上記の例では AND.B 命令実行中に IRQ0 割り込みが発生する状況を想定しています。

本来の目的である IRR11 に加えて IRRIO もクリアしてしまうため、IRQ0 割り込みが無効になってしまいます。

3. 例外処理

3.8.4 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットを 0 にクリアして割り込みを禁止する場合、割り込みの禁止はその命令実行終了後有効になります。

すなわち、BCLR 命令、MOV 命令などで割り込みイネーブルビットを 0 にクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込み許可状態にあるため、命令実行終了後にその割り込み例外処理を実行します。割り込み要因フラグを 0 にクリアするとその割り込みは無視されます。

3.8.5 割り込みの受け付けを禁止している命令

割り込みを禁止している命令には、LDC、ANDC、ORC、XORC 命令があります。

割り込み要求が発生すると、CPU に対して割り込みを要求します。そのとき、CPU が割り込みを禁止している命令を実行している場合は、その命令の実行を終了した後、必ず次の命令を実行します。

3.8.6 EEPMOV 命令実行中の割り込み

EEPMOV 命令は、EEPMOV.B 命令と EEPMOV.W 命令では、割り込み動作が異なります。

EEPMOV.B 命令は、転送中に NMI を含めた割り込み要求があっても転送終了まで割り込みを受け付けません。

EEPMOV.W 命令のときは、転送中に NMI 以外の割り込み要求があっても転送終了まで割り込みを受け付けません。NMI 割り込み要求の場合は、転送サイクルの切れ目で NMI 例外処理が開始されます。このときスタックされる PC の値は次命令のアドレスとなります。

このため、EEPMOV.W 命令実行中に NMI 割り込みが発生する場合には、以下のプログラムとしてください。

```
L1:  EEPMOV.W  
      MOV.W  R4, R4  
      BNE   L1
```

3.8.7 IENR のクリアについて

割り込みイネーブルレジスタをクリアすることにより割り込み要求をディスエーブルにする場合、または割り込みフラグレジスタをクリアする場合は、割り込み要求をマスクした状態 (I=1) で行ってください。I=0 の状態で上記の操作を行うと、命令の実行と当該割り込み要求の発生が競合した場合には、当該操作命令の実行終了時に発生した割り込み要求に対応する例外処理を実行します。

4. クロック発振器

クロック発生回路は、システムクロック発振器、システムクロック分周器、内蔵発振器からなるシステムクロック発生回路と、サブクロック発振器、内蔵発振器クロック分周器、サブクロック分周器からなるサブクロック発生回路で構成されています。図 4.1 にクロック発生回路のブロック図を示します。

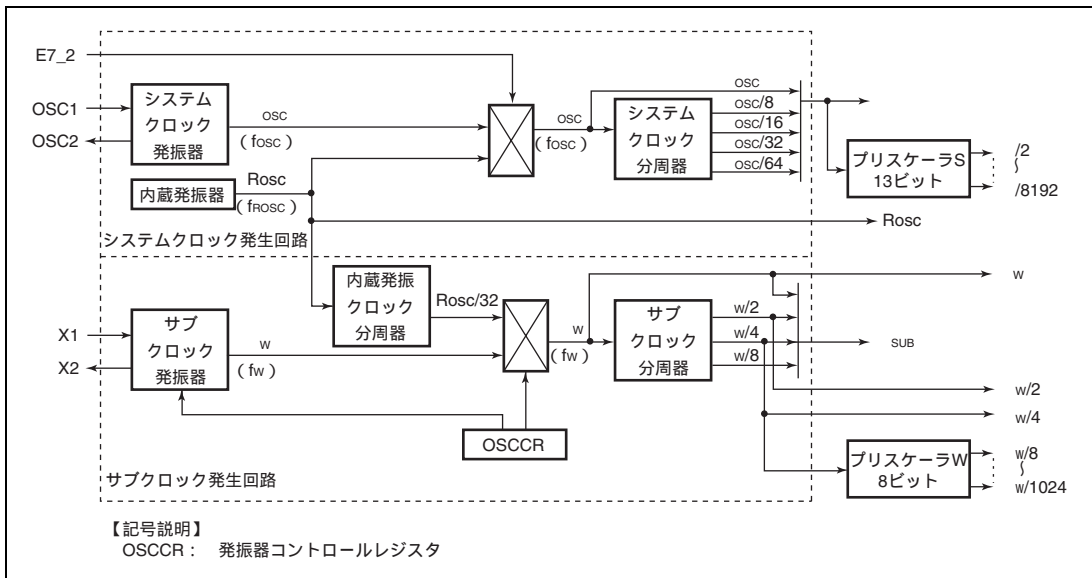


図 4.1 クロック発生回路のブロック図

システムクロック およびサブクロック $_{SUB}$ は、CPU および周辺機能を動作させるための基準クロックです。システムクロックはプリスケアラ S によって $/8192 \sim /2$ に分周され、ウォッチクロック w の 4 分周クロック $w/4$ はプリスケアラ W によって $w/1024 \sim w/8$ に分周され、それぞれ各周辺モジュールに供給されます。

4. クロック発振器

4.1 レジスタの説明

- 発振器コントロールレジスタ (OSCCR)

4.1.1 発振器コントロールレジスタ (OSCCR)

OSCCR は、サブクロック発振器、内蔵帰還抵抗、内蔵発振器の制御などを行います。

ビット	ビット名	初期値	R/W	説明
7	SUBSTP	0	R/W	サブクロック発振器制御 サブクロック発振器の動作、停止を制御します。サブクロックを使用しないときは、1をセットしてください。 0: サブクロック発振器を動作 1: サブクロック発振器を停止
6	RFCUT	0	R/W	内蔵帰還抵抗制御 外部クロック入力時または内蔵発振器使用時にシステムクロック発振器の内蔵帰還抵抗を使用するか、使用しないかを選択します。 外部クロック入力または内蔵発振器使用状態で本ビット設定後、いったんスタンバイモード、ウォッチモード、またはサブアクティブモードに遷移してください。スタンバイモード、ウォッチモード、またはサブアクティブモードに遷移したときに、発振器内蔵帰還抵抗を使用するか、使用しないかを切り替えます。 0: システムクロック発振器の内蔵帰還抵抗を使用する 1: システムクロック発振器の内蔵帰還抵抗を使用しない
5	SUBSEL	0	R/W	サブクロックセレクト サブクロック発生回路を動作する発振器を選択します。 0: サブクロック発振器で動作 1: 内蔵発振器で動作 【注】 SUBSEL ビットの切り替えは、サブクロックを使用していない状態で行ってください。
4	-	0	-	リザーブビット
3	-	0	-	リードすると常に0が読み出されます。ライトは無効です。
2	-	0	-	リザーブビット ライト時は0をライトしてください。
1	OSCF	- *	R	OSC フラグ システムクロック発生回路を動作している発振器を示します。 0: システムクロック発振器で動作 1: 内蔵発振器で動作 (システムクロック発振器は停止)
0	-	0	-	リザーブビット ライト時は0をライトしてください。

【注】 * E7_2 端子の状態により決定されます。詳細は表 4.1 を参照してください。

4.2 システムクロック発振器

システムクロックを供給する方法には水晶発振子またはセラミック発振子を接続する方法と、外部クロックを入力する方法があります。

また、図 4.1 に示すように、システムクロック発振器と内蔵発振器を選択可能です。選択方法については、「4.2.4 内蔵発振器を選択する方法」を参照してください。

4.2.1 水晶発振子を接続する方法

水晶発振子の接続例を図 4.2 に示します。水晶発振子は AT カット並列共振形を使用してください。接続する場合の注意については、「4.5.2 ボード設計上の注意事項」を参照してください。

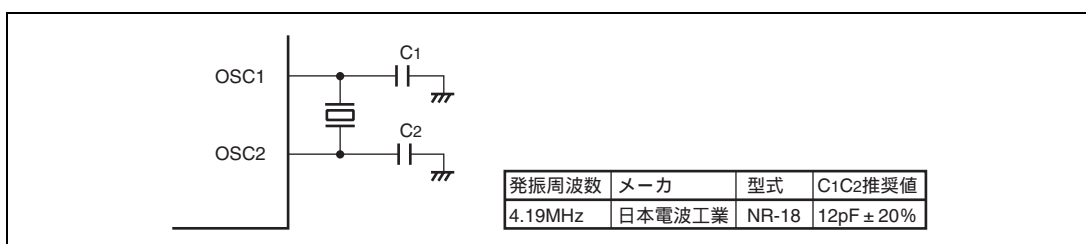


図 4.2 水晶発振子の接続例

4.2.2 セラミック発振子を接続する方法

セラミック発振子の接続例を図 4.3 に示します。接続する場合の注意については、「4.5.2 ボード設計上の注意事項」を参照してください。

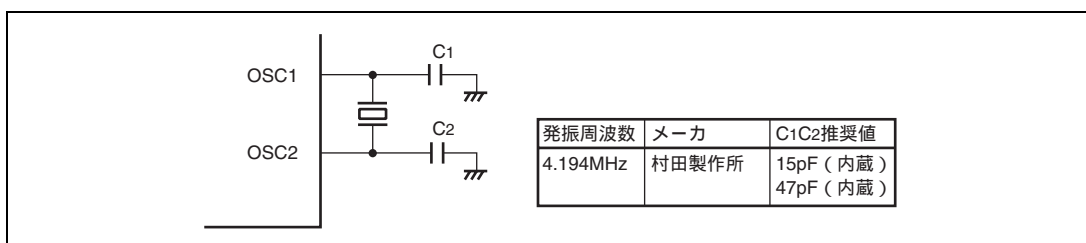


図 4.3 セラミック発振子の接続例

4. クロック発振器

4.2.3 外部クロックを入力する方法

外部クロックを OSC1 端子に入力し、OSC2 端子をオープン状態にします。接続例を図 4.4 に示します。外部クロックのデューティは 45% ~ 55% としてください。

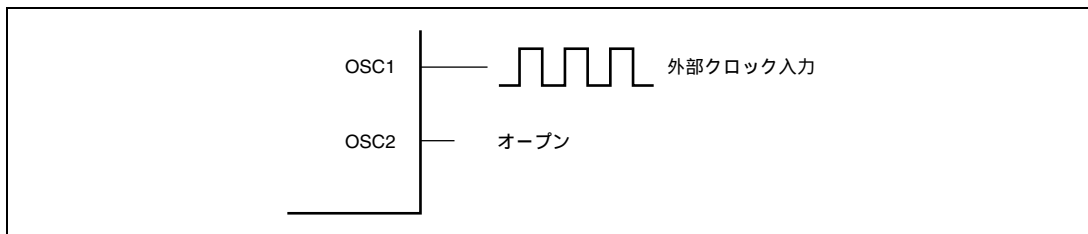


図 4.4 外部クロックを入力する場合の接続例

4.2.4 内蔵発振器を選択する方法

リセット期間中の E7_2 端子の入力レベルにより選択します。システムクロック発振器と内蔵発振器の選択方法を表 4.1 に示します。リセット期間中の E7_2 端子の入力レベルは、選択する発振器に応じて必ず抵抗にてプルアップもしくはプルダウンしてください。リセットが解除された時点で確定されます。

内蔵発振器を選択した場合、OSC1 端子、OSC2 端子に発振器を接続する必要がなくなります。この場合、OSC1 端子を GND に固定もしくはオープンにしてください。

OSC2 端子はオープンにしてください。

- 【注】1. オンボードプログラミングなど、フラッシュメモリの書き込み / 消去を行う場合は、必ずシステムクロック発振器を選択してください。また、オンチップエミュレータ使用時、内蔵発振器を選択しても、発振器を接続するか、外部クロックを供給してください。
2. 抵抗値については、オンチップデバッグ接続時は High レベル、非接続時には選択すべきレベルとなる抵抗を用いてください。

表 4.1 システムクロック発振器と内蔵発振器を選択する方法

E7_2 端子入力レベル (リセット期間中)	システムクロック発生回路の発振器	OSCF
Low	内蔵発振器	1
High	システムクロック発振器	0

4.3 サブクロック発振器

サブクロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法があります。また、図 4.1 に示すようにサブクロック発振器と内蔵発振器を選択可能です。選択方法については、「4.3.4 内蔵発振器を選択する方法」を参照してください。

4.3.1 32.768kHz/38.4kHz 水晶発振子を接続する方法

32.768kHz または 38.4kHz の水晶発振子の接続例を図 4.5 に示します。接続する場合の注意については「4.5.2 ボード設計上の注意事項」と同様です。

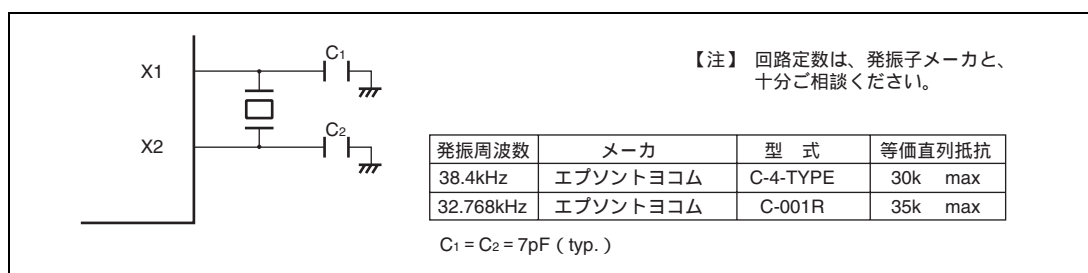


図 4.5 32.768kHz/38.4kHz 水晶発振子の接続例

- 上記以外の発振子を使用する場合は、発振子メーカーと十分なマッチング評価を実施し、最適条件で使用してください。また、上記発振子または相当品を使用する場合においても、発振特性は基板仕様に影響するため、実装基板上でマッチング評価を実施してください。
- マッチング評価はリセット状態 ($\overline{\text{RES}} = \text{L}$) およびリセット解除状態 ($\overline{\text{RES}} = \text{L H}$) のそれぞれで実施してください。

図 4.6 に水晶発振子の等価回路を示します。

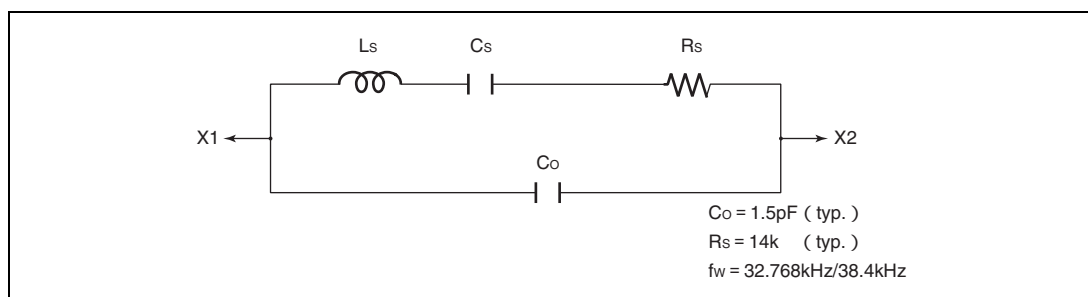


図 4.6 32.768kHz/38.4kHz 水晶発振子の等価回路

4. クロック発振器

4.3.2 サブクロックを必要としない場合の端子処理

サブクロックを必要としない場合には、図 4.7 に示すように X1 端子を GND に接続し、X2 端子をオープンとしてください。

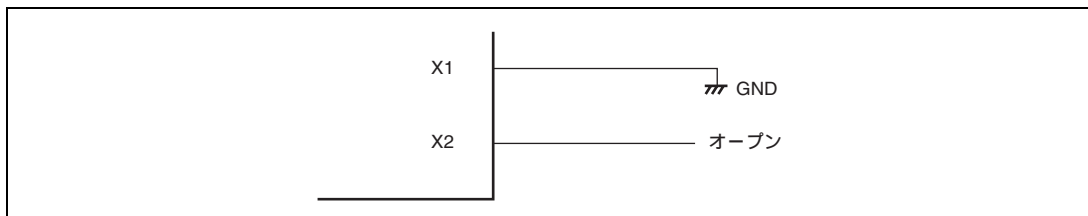


図 4.7 サブクロックを必要としない場合の端子処理

4.3.3 外部クロックを入力する方法

外部クロックを X1 端子に接続し、X2 端子をオープン状態にします。
この場合の接続例を図 4.8 に示します。

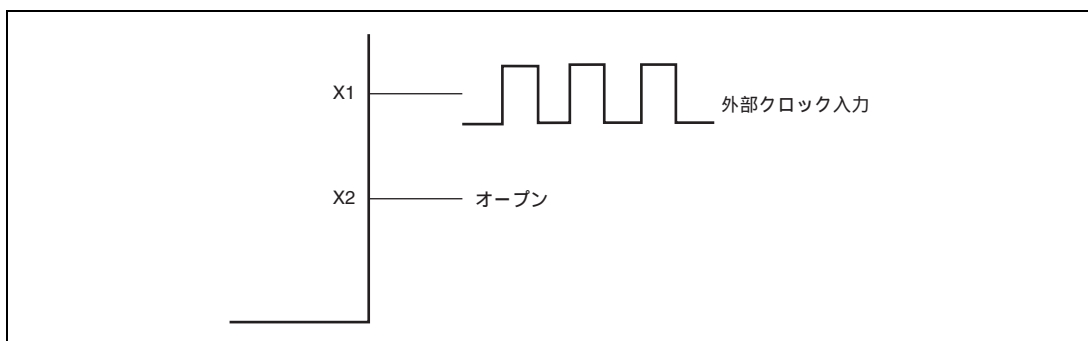


図 4.8 外部クロックを入力する場合の接続例

周波数	ウォッチクロック (ϕW)
duty	45% ~ 55%

4.3.4 内蔵発振器を選択する方法

OSCCR の SUBSEL ビットにより選択します。内蔵発振器を選択した場合、X1 端子、X2 端子に発振子を接続する必要がなくなります。この場合、X1 端子を GND に固定してください。

4.4 プリスケーラ

本 LSI は、入力クロックの異なる 2 本のプリスケーラ (プリスケーラ S、プリスケーラ W) を内蔵しています。

プリスケーラ S は、システムクロック () を入力クロックとする 13 ビットのカウンタで、分周した出力を内蔵周辺モジュールの内部クロックとして使用します。プリスケーラ W は、ウォッチクロック (w) を 4 分周したクロック (w/4) を入力クロックとする 8 ビットのカウンタで、分周した出力を内蔵周辺モジュールの内部クロックとして使用します。

4.4.1 プリスケーラ S

プリスケーラ S は、システムクロック () を入力クロックとする 13 ビットのカウンタで、分周した出力を内蔵周辺モジュールの内部クロックとして使用します。リセット時、プリスケーラ S は H'0000 に初期化され、リセット解除後、カウントアップを開始します。スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでは、プリスケーラ S の動作は停止します。このとき、プリスケーラ S では H'0000 に初期化されます。CPU からはアクセスできません。

プリスケーラ S の出力は、各種内蔵周辺機能で共用しています。なお、アクティブ (中速) モードおよびスリープ (中速) モードではプリスケーラ S のクロック入力は SYSCR1 の MA1、MA0 で設定した分周比のシステムクロックとなります。

4.4.2 プリスケーラ W

プリスケーラ W は、ウォッチクロック (w) を 4 分周したクロック (w/4) を入力クロックとする 8 ビットのカウントで、分周した出力を内蔵周辺モジュールの内部クロックとして使用します。リセット時、プリスケーラ W は H'00 に初期化され、リセット解除後、カウントアップを開始します。スタンバイモードではプリスケーラ W の動作は停止します。ウォッチモード、サブアクティブモード、またはサブスリープモードに移行しても、プリスケーラ W は動作を継続します。

4.5 使用上の注意事項

4.5.1 発振子と発振回路に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係します。そのため、本章で案内する発振子の配置例を参考に、マスク ROM 版、フラッシュメモリ版にユーザ側での十分な評価を実施してご使用願います。発振子の回路定格は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないような設計を行ってください。

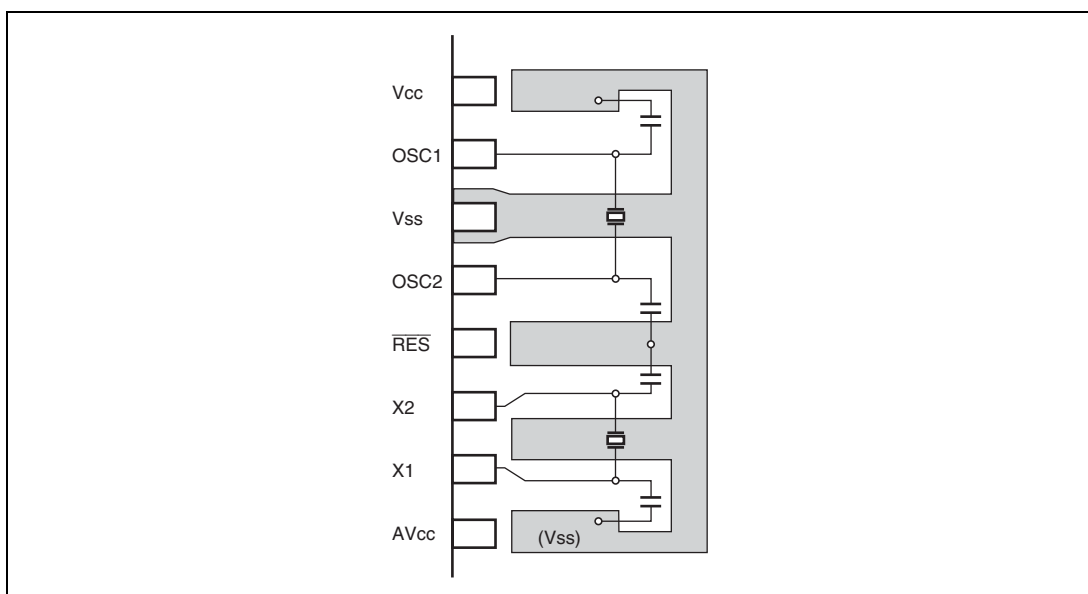


図 4.9 水晶、セラミック発振子の配置例

図 4.10(1)は発振子メーカーが推奨している負性抵抗の測定回路例です。本回路による負性抵抗が発振子メーカーの推奨するレベルに達していないと、メイン発振器が発振開始しにくい場合がありますので、ご注意ください。

発振子メーカーの推奨する負性抵抗値以下で、発振しない現象が確認された場合には、図 4.10(2)～(4)に示す変更を行ってください。なお、採用する変更案、コンデンサ容量値は負性抵抗および周波数偏差などの評価結果により決定してください。

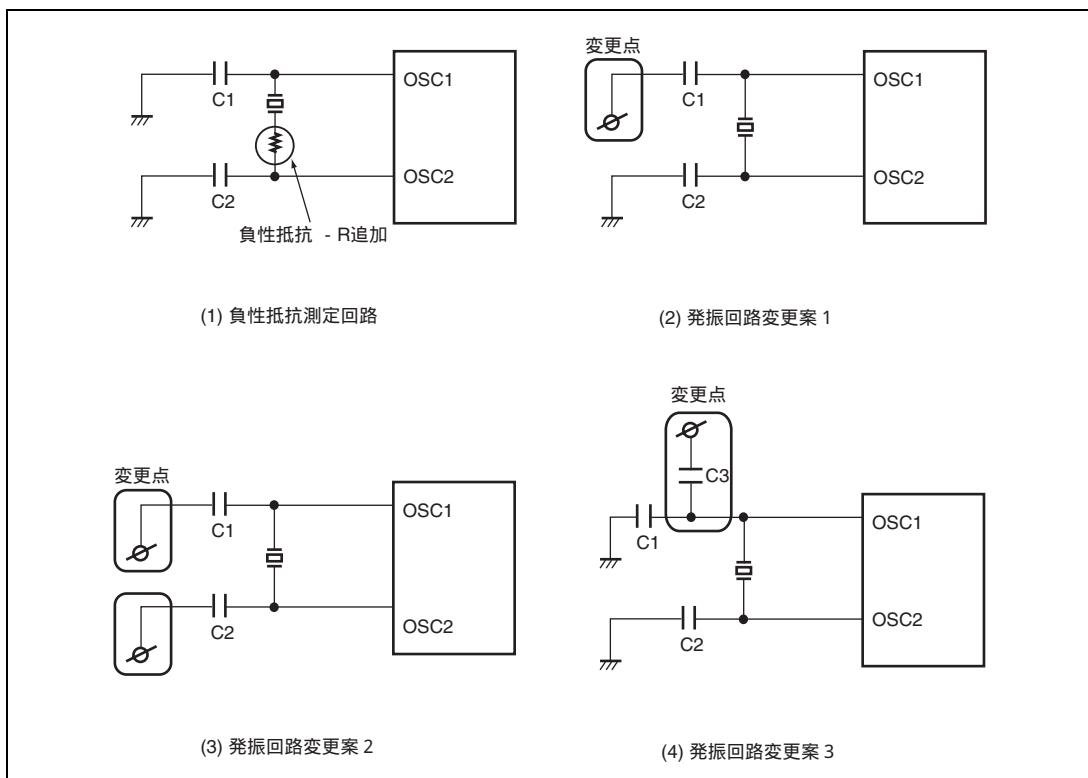


図 4.10 負性抵抗測定と回路変更案

4. クロック発振器

4.5.2 ボード設計上の注意事項

水晶発振子（セラミック発振子）を使用する場合は、発振子および負荷容量をできるだけ OSC1、OSC2 端子の近くに配置してください。また、発振回路の近くには他の信号線を通過させないでください（図 4.11）。誘導により正しい発振ができなくなる場合があります。

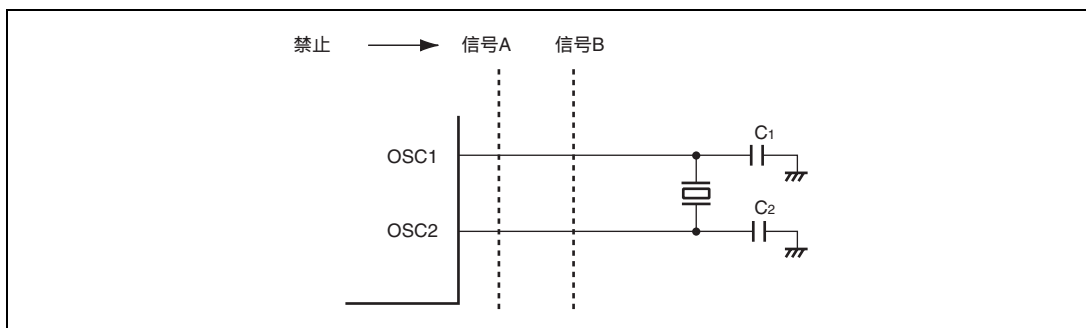


図 4.11 発振回路のボード設計に関する注意事項

【注】 水晶発振子またはセラミック発振子を接続する場合、回路定数は発振子、実装回路の浮遊容量などにより異なるため、水晶発振子メーカー、セラミック発振子メーカーと十分ご相談の上決定してください。

4.5.3 発振安定待機時間の定義

図 4.12 にシステムクロック発振器に発振子を接続しているときに、スタンバイモード、ウォッチモード、サブアクティブモードからアクティブ（高速、中速）モードに遷移する場合の発振波形（OSC2）、システムクロック（ ）および、マイコンの動作モードを示します。

図 4.12 に示すように、システムクロック発振器が停止しているスタンバイモード、ウォッチモード、サブアクティブモードから、アクティブ（高速、中速）モードに遷移する場合、下記 2 項目（発振開始時間、待機時間）の合計時間が必要となります。

(1) 発振開始時間 (t_{rc})

割り込みが発生し、システムクロック発振器の発振波形が変化を開始した時点から、システムクロックを発生し始めるまでの時間。

(2) 待機時間

システムクロックが発生してから、発振振幅が大きくなり発振周波数が安定して CPU および周辺機能が動作し始めるまでに必要とする時間。

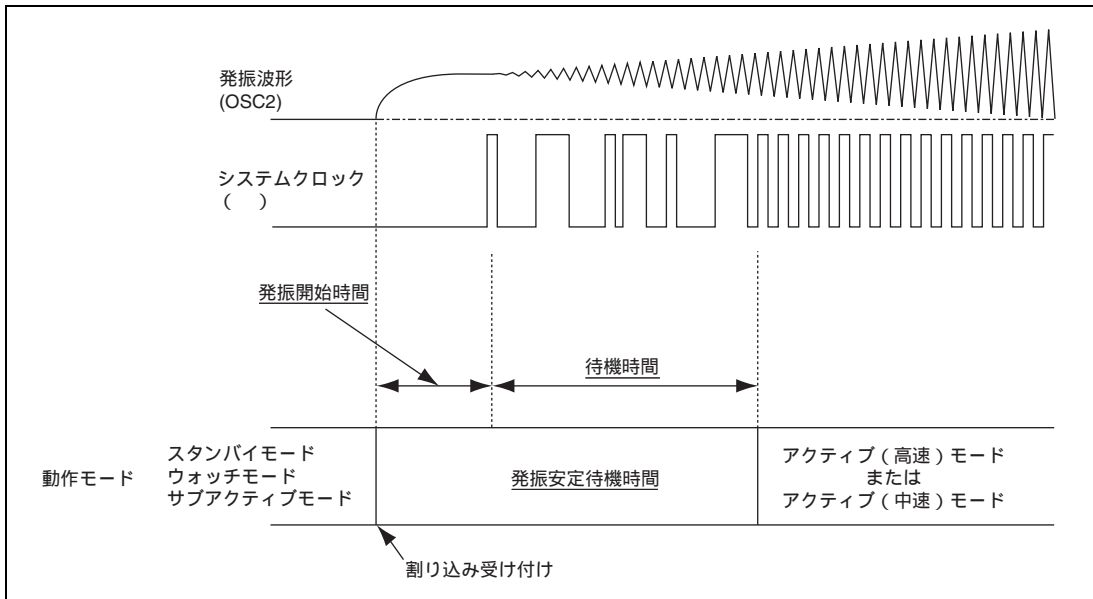


図 4.12 発振安定待機時間

必要とされる発振安定待機時間は、AC 特性で定めるパワーオン時の「発振安定時間 t_{rc} 」と同一であり、SYSCR1 の STS2~0 が t_{rc} 以上となるよう設定してください。

したがって、システムクロック発振器に発振子を接続しているときに、スタンバイモード、ウォッチモード、サブアクティブモードからアクティブ（高速、中速）モードに遷移する場合には、実装回路において十分な評価を行ってください。待機時間は、発振振幅が大きくなり発振周波数が安定する時間を確保してください。また、発振開始時間は実装回路の定数、浮遊容量等により異なるため、発振子メーカーとご相談の上、決定してください。

4. クロック発振器

4.5.4 サブクロック停止状態に関する注意事項

サブクロックを停止する場合は、システムクロックにて動作するモード以外に状態遷移させないでください。誤動作の原因となります。

4.5.5 発振子の発振安定についての注意事項

マイクロコンピュータが動作すると、システムクロックに同期して内部の電源電位が多少変動します。また、発振子個別の特性によっては、発振安定時間直後に発振波形の振幅が十分に成長していない場合があり、発振波形が電源電位変動の影響を受け易い状態にあります。この状態では発振波形が乱れる場合があり、システムクロックが不安定になってマイクロコンピュータの誤作動につながります。

誤作動を起こす場合には、スタンバイタイムセレクト 2~0 (STS2~0) (システムコントロールレジスタ 1 (SYSCR1) のビット 6~4) の設定を変更し、待機時間をさらに長い時間の設定にしてお使いください。

例えば、待機時間 = 512 ステートの設定で誤作動する場合、待機時間 = 1,024 ステート以上の設定で誤作動をご確認ください。

また、リセット時に状態遷移時と同様の誤作動が起こる場合、 $\overline{\text{RES}}$ 端子を Low レベルに保持する時間を長くしてください。

4.5.6 パワーオンリセット使用時の注意事項

本 LSI 内蔵のパワーオンリセット回路は、 $\overline{\text{RES}}$ 端子に外付けするコンデンサの容量によりリセット解除時間を調節できます。外付けのコンデンサ容量を調整し、リセット解除前に発振が安定するまでの時間を確保してください。詳細は「第 19 章 パワーオンリセット回路」を参照してください。

4.5.7 オンチップエミュレータ使用時の注意事項

オンチップエミュレータ使用時、フラッシュメモリの書き込み/消去などのため、システムクロックの精度が必要となります。一方、内蔵発振器は電圧や温度条件により周波数が変動します。したがって、オンチップエミュレータ使用時は必ず発振子を OSC1 端子、OSC2 端子に接続するか、外部クロックを供給してください。この場合、ユーザプログラム実行時は、内蔵発振器で動作し、フラッシュメモリの書き込み/消去などを行う場合は、システムクロックで動作します。本制御はオンチップエミュレータがリセット期間中に E7_2 のレベルを High 固定にすることにより行われます。

5. 低消費電力モード

リセット解除後の動作モードには、通常のアクティブ（高速）モードの他に消費電力を著しく低下させる7種類の低消費電力モードがあります。このほか、内蔵モジュールの機能を選択的に停止させて消費電力を低減させるモジュールスタンバイ機能があります。

- アクティブ（中速）モード

CPUおよび内蔵周辺モジュールがシステムクロックで動作します。システムクロックの周波数は $osc/8$ 、 $osc/16$ 、 $osc/32$ 、 $osc/64$ の中から選択できます。

- サブアクティブモード

CPUおよび内蔵周辺モジュールがサブクロックで動作します。サブクロックの周波数は w 、 $w/2$ 、 $w/4$ 、 $w/8$ の中から選択できます。

- スリープ（高速）モード

CPUが動作を停止し、内蔵周辺モジュールがシステムクロックで動作します。

- スリープ（中速）モード

CPUが動作を停止し、内蔵周辺モジュールがシステムクロックで動作します。システムクロックの周波数は $osc/8$ 、 $osc/16$ 、 $osc/32$ 、 $osc/64$ の中から選択できます。

- サブスリープモード

CPUが動作を停止し、内蔵周辺モジュールがサブクロックで動作します。サブクロックの周波数は w 、 $w/2$ 、 $w/4$ 、 $w/8$ の中から選択できます。

- ウォッチモード

CPUが動作を停止し、内蔵周辺モジュールがサブクロックで動作します。

- スタンバイモード

CPUおよびすべての内蔵周辺モジュールが動作を停止します。

- モジュールスタンバイ機能

上記動作モードとは独立に、使用しない内蔵周辺モジュールの動作をモジュール単位で停止させることにより消費電力を低減させることができます。

【注】 本章ではアクティブ（高速）モードとアクティブ（中速）モードを総称してアクティブモードと記載しています。

5. 低消費電力モード

5.1 レジスタの説明

低消費電力モードに関連するレジスタには以下のレジスタがあります。

- システムコントロールレジスタ1 (SYSCR1)
- システムコントロールレジスタ2 (SYSCR2)
- クロック停止レジスタ1、2 (CKSTPR1、CKSTPR2)

5.1.1 システムコントロールレジスタ1 (SYSCR1)

SYSCR1 は SYSCR2 とともに低消費電力モードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	SSBY	0	R/W	ソフトウェアスタンバイ SLEEP 命令実行後の遷移先を選択します。 0: スリープモードあるいはサブスリープモードに遷移 1: スタンバイモードあるいはウォッチモードに遷移 詳細は表 5.2 を参照してください。
6	STS2	0	R/W	スタンバイタイムセレクト 2~0 スタンバイモード、サブアクティブモードおよびウォッチモードからアクティブモード、スリープモードに遷移する際、システムクロック発振器が発振を開始してからクロックを供給するまでの待機状態数を設定します。動作周波数に応じて待機時間が発振安定時間以上となるように設定してください。設定値と待機状態数の関係は表 5.1 のとおりです。 外部クロックを使用する場合は最小値 (STS2 = 1、STS1 = 1、STS0 = 1) を推奨します。内蔵発振器を使用する場合は、最小値 (STS2 = 1、STS1 = 1、STS0 = 1) を推奨します。推奨値以外の設定では待機時間終了前に動作を開始することがあります。
5	STS1	0	R/W	
4	STS0	0	R/W	
3	LSON	0	R/W	ウォッチモードを解除したときに CPU の動作クロックをシステムクロック () にするか、サブクロック (SUB) にするか選択します。 0: CPU の動作クロックはシステムクロック () 1: CPU の動作クロックはサブクロック (SUB)
2	TMA3	0	R/W	このビットは SYSCR1 の SSBY、LSON、SYSCR2 の DTON、MSON との組み合わせにより、SLEEP 命令実行後の遷移先を選択します。詳細は、表 5.2 を参照してください。


ビット	ビット名	初期値	R/W	説明
1	MA1	1	R/W	アクティブモードクロックセレクト 1、0 アクティブ（中速）モードおよびスリープ（中速）モードの動作クロックを選択します。MA1、MA0 ビットの書き込みはアクティブ（高速）モードまたはサブアクティブモードで行ってください。 00 : $osc/8$ 01 : $osc/16$ 10 : $osc/32$ 11 : $osc/64$
0	MA0	1	R/W	

表 5.1 動作周波数と待機時間

ビット			待機ステート数	動作周波数						
STS2	STS1	STS0		10MHz	8MHz	6MHz	5MHz	4.194MHz	3MHz	2MHz
0	0	0	8,192 ステート	819.2	1,024.0* ¹	1,365.3* ¹	1,638.4	1,953.3	2,730.7	4,096.0
0	0	1	16,384 ステート	1,638.4	2,048.0	2,730.7	3,276.8	3,906.5	5,461.3* ¹	8,192.0* ¹
0	1	0	1,024 ステート	102.4	128.0	170.7	204.8	244.2	341.3	512.0
0	1	1	2,048 ステート	204.8	256.0	341.3	409.6	488.3	682.7	1,024.0
1	0	0	4,096 ステート	409.6	512.0	682.7	819.2* ¹	976.6	1,365.3	2,048.0
1	0	1	256 ステート	25.6	32.0	42.7	51.2* ²	61.0	85.3* ²	128.0* ²
1	1	0	512 ステート	51.2	64.0* ²	85.3* ²	102.4	122.1	170.7	256.0
1	1	1	16 ステート	1.6	2.0	2.7	3.2	3.8	5.3	8.0

【注】 時間の単位は μs です。

 : 水晶発振子使用時推奨値 ($V_{CC} = 2.7 \sim 3.6V$ の場合)

 : セラミック発振子使用時推奨値 ($V_{CC} = 2.2 \sim 3.6V$ の場合)

*1 水晶発振子使用時参考値

*2 セラミック発振子使用時参考値

5.1.2 システムコントロールレジスタ 2 (SYSCR2)

SYSCR2 は SYSCR1 とともに低消費電力モードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
4	NESEL	1	R/W	ノイズ除去サンプリング周波数選択 本ビットは、 w をサンプリングするときの osc クロックのサンプリング周波数を選択します。システムクロック使用時は 0 を設定してください。内蔵発振器選択時は 1 を設定してください。 0 : osc の 16 分周クロックでサンプリング 1 : osc の 4 分周クロックでサンプリング

5. 低消費電力モード

ビット	ビット名	初期値	R/W	説明
3	DTON	0	R/W	ダイレクトトランスファオンフラグ このビットは SYSCR1 の SSBY、TMA3、LSON、SYSCR2 の MSON とともに SLEEP 命令実行後の遷移先を選択します。詳細は表 5.2 を参照してください。
2	MSON	0	R/W	ミドルスピードオンフラグ スタンバイモード、ウォッチモード、スリープモード解除後、アクティブ（高速）モードで動作させるか、アクティブ（中速）モードで動作させるか選択します。 0：アクティブ（高速）モード 1：アクティブ（中速）モード
1	SA1	0	R/W	サブアクティブモードクロックセレクト 1、0
0	SA0	0	R/W	サブアクティブモードおよびサブスリープモードの動作クロックを選択します。SLEEP 命令実行後、設定したクロックに切り替わります。 00： w/8 01： w/4 10： w/2 11： w

5.1.3 クロック停止レジスタ 1、2 (CKSTPR1、CKSTPR2)

CKSTPR1、CKSTPR2 は内蔵周辺モジュールをモジュール単位でスタンバイ状態にします。

• CKSTPR1

ビット	ビット名	初期値	R/W	説明
7	-	0	-	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
6	S3CKSTP	0	R/W	SCI3 モジュールスタンバイ*1 このビットが 0 のとき SCI3 はスタンバイ状態になります。
5	-	0	-	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
4	ADCKSTP	0	R/W	A/D 変換器モジュールスタンバイ このビットが 0 のとき A/D 変換器はスタンバイ状態になります。
3	-	0	-	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
2	TB1CKSTP	0	R/W	タイマ B1 モジュールスタンバイ このビットが 0 のときタイマ B1 はスタンバイ状態になります。
1	FROMCKSTP*2	1	R/W	フラッシュメモリモジュールスタンバイ このビットが 0 のときフラッシュメモリはスタンバイ状態になります。
0	RTCKSTP	1	R/W	RTC モジュールスタンバイ このビットが 0 のとき RTC はスタンバイ状態になります。

• CKSTPR2

ビット	ビット名	初期値	R/W	説明
7	-	0	-	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
6	TWCKSTP	0	R/W	タイマW モジュールスタンバイ このビットが0のときタイマW はスタンバイ状態になります。
5	IICCKSTP	0	R/W	IIC2 モジュールスタンバイ このビットが0のとき IIC2 はスタンバイ状態になります。
4	SSUCKSTP	0	R/W	SSU モジュールスタンバイ このビットが0のとき SSU はスタンバイ状態になります。
3	AECCKSTP	0	R/W	非同期イベントカウンタモジュールスタンバイ このビットが0のとき非同期イベントカウンタはスタンバイ状態になります。
2	WDCKSTP	1	R/W ^{*3}	ウォッチドッグタイマモジュールスタンバイ このビットが0のときウォッチドッグタイマはスタンバイ状態になります。
1	COMPCKSTP	0	R/W	コンパレータモジュールスタンバイ このビットが0のときコンパレータはスタンバイ状態になります。
0	-	0	-	リザーブビット リードすると常に0が読み出されます。ライトは無効です。

【注】 *1 SCI3 モジュールスタンバイに設定した場合、SCI3 の全レジスタはリセット状態となります。

*2 オンチップエミュレータ使用時は必ず1にセットしてください。

*3 WDCKSTP は TCSRW の WDON が0のとき有効になります。WDON が1（ウォッチドッグタイマ動作中）のとき WDCKSTP を0に設定すると WDCKSTP は0に設定されますが、ウォッチドッグタイマはモジュールスタンバイモードには入らずウォッチドッグ機能を継続します。ソフトウェアで WDON を0に設定すると同時に WDCKSTP が有効になり、ウォッチドッグタイマはモジュールスタンバイモードになります。

5.2 モード間遷移と LSI の状態

図 5.1 に可能なモード間遷移を示します。プログラム実行状態からプログラム停止状態へは SLEEP 命令の実行によって遷移します。プログラム停止状態からプログラム実行状態へは割り込みによって復帰します。プログラム実行状態であるアクティブモードとサブアクティブモードの間ではプログラムの実行を停止することなく直接遷移することもできます。また、アクティブモードからアクティブモード、サブアクティブモードからサブアクティブモードへ直接遷移することにより、同一モードで動作周波数を変更することができます。RES 入力によりすべてのモードからリセット状態に遷移します。表 5.2 に SLEEP 命令実行時の各モードへの遷移条件と割り込みによる復帰先を、表 5.3 に各動作モードでの LSI の内部状態を示します。

5. 低消費電力モード

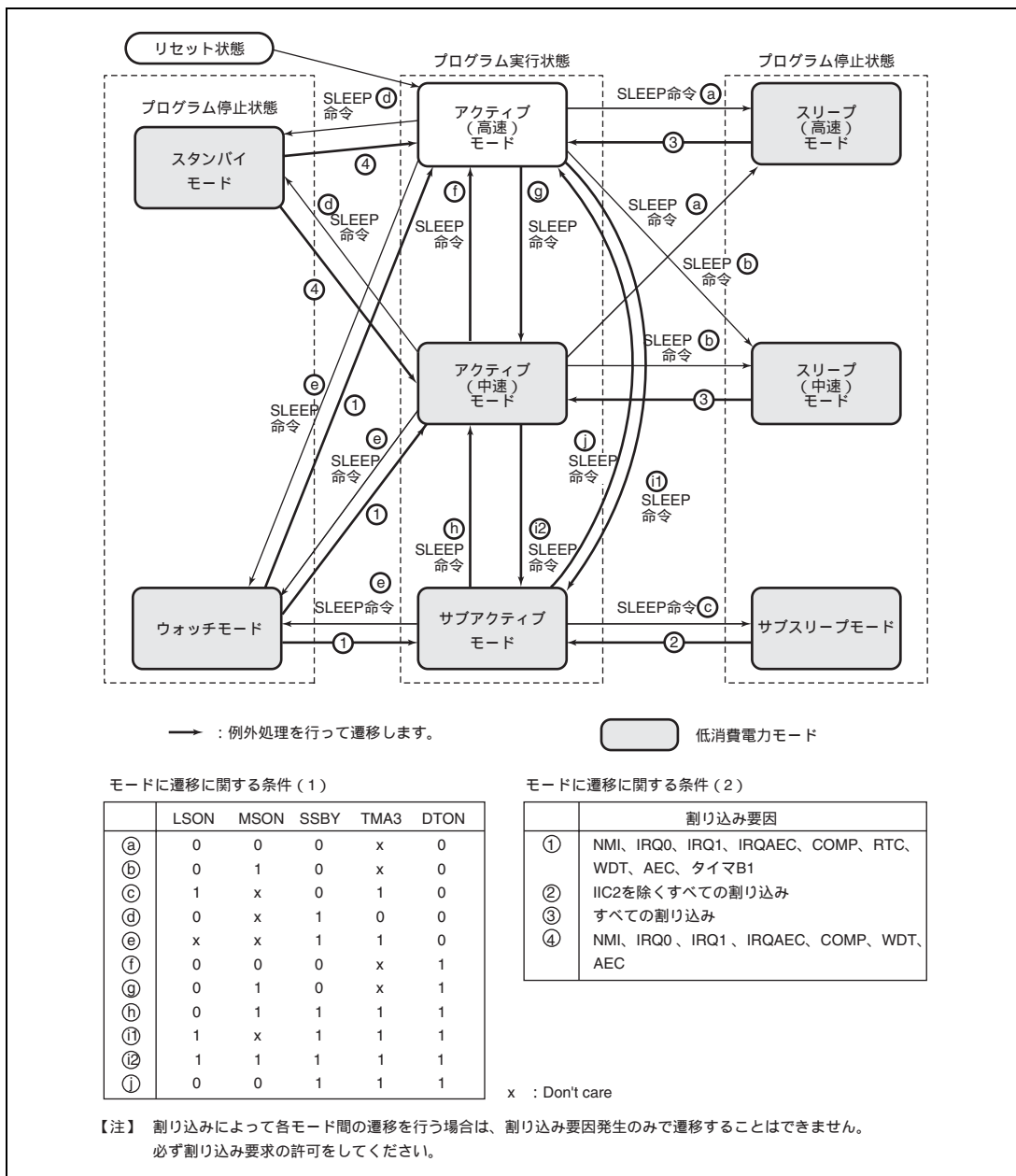


図 5.1 モード遷移図

表 5.2 SLEEP 命令実行後の状態と割り込みによる復帰先

遷移前の状態	LSON	MSON	SSBY	TMA3	DTON	SLEEP 命令実行後の状態	割り込みによる復帰先
アクティブ(高速)モード	0	0	0	x	0	スリープ(高速)モード	アクティブ(高速)モード
	0	1	0	x	0	スリープ(中速)モード	アクティブ(中速)モード
	0	0	1	0	0	スタンバイモード	アクティブ(高速)モード
	0	1	1	0	0	スタンバイモード	アクティブ(中速)モード
	0	0	1	1	0	ウォッチモード	アクティブ(高速)モード
	0	1	1	1	0	ウォッチモード	アクティブ(中速)モード
	1	x	1	1	0	ウォッチモード	サブアクティブモード
	0	0	0	x	1	アクティブ(高速)モード(直接遷移)	—
	0	1	0	x	1	アクティブ(中速)モード(直接遷移)	—
	1	x	1	1	1	サブアクティブモード(直接遷移)	—
アクティブ(中速)モード	0	0	0	x	0	スリープ(高速)モード	アクティブ(高速)モード
	0	1	0	x	0	スリープ(中速)モード	アクティブ(中速)モード
	0	0	1	0	0	スタンバイモード	アクティブ(高速)モード
	0	1	1	0	0	スタンバイモード	アクティブ(中速)モード
	0	0	1	1	0	ウォッチモード	アクティブ(高速)モード
	0	1	1	1	0	ウォッチモード	アクティブ(中速)モード
	1	1	1	1	0	ウォッチモード	サブアクティブモード
	0	0	0	x	1	アクティブ(高速)モード(直接遷移)	—
	0	1	0	x	1	アクティブ(中速)モード(直接遷移)	—
	1	1	1	1	1	サブアクティブモード(直接遷移)	—
サブアクティブモード	1	x	0	1	0	サブスリープモード	サブアクティブモード
	0	0	1	1	0	ウォッチモード	アクティブ(高速)モード
	0	1	1	1	0	ウォッチモード	アクティブ(中速)モード
	1	x	1	1	0	ウォッチモード	サブアクティブモード
	0	0	1	1	1	アクティブ(高速)モード(直接遷移)	—
	0	1	1	1	1	アクティブ(中速)モード(直接遷移)	—
	1	x	1	1	1	サブアクティブモード(直接遷移)	—

【注】 x = Don't care

5. 低消費電力モード

表 5.3 各動作モードでの LSI の状態

機 能		アクティブ		スリープ		ウォッチ	サブアクティブ	サブスリープ	スタンバイ
		高速	中速	高速	中速				
システムクロック発振器		動作	動作	動作	動作	停止	停止	停止	停止
サブクロック発振器		動作/停止	動作/停止	動作/停止	動作/停止	動作	動作	動作	動作/停止
CPU	命令	動作	動作	停止	停止	停止	動作	停止	停止
	RAM	動作	動作	保持	保持	保持	動作	保持	保持
	レジスタ	動作	動作	保持	保持	保持	動作	保持	保持
	I/O	動作	動作	保持	保持	保持	動作	保持	保持 ^{*1}
外部 割り込み	NMI	動作	動作	動作	動作	動作	動作	動作	動作
	IRQ0	動作	動作	動作	動作	動作	動作	動作	動作
	IRQ1	動作	動作	動作	動作	動作	動作	動作	動作
	IRQAEC	動作	動作	動作	動作	動作	動作	動作	動作
周辺 モジュール	タイマ B1	動作	動作	動作	動作	動作/保持 ^{*2}	動作/保持 ^{*2}	動作/保持 ^{*2}	保持
	タイマ W	動作	動作	動作	動作	保持	動作/保持 ^{*3}	動作/保持 ^{*3}	保持
	WDT	動作	動作	動作	動作	動作/保持 ^{*5}	動作/保持 ^{*5}	動作/保持 ^{*5}	動作/保持 ^{*4}
	RTC	動作	動作	動作	動作	動作/保持 ^{*6}	動作/保持 ^{*6}	動作/保持 ^{*6}	保持
	非同期イベン トカウンタ	動作	動作	動作	動作	動作	動作	動作	動作
	SCI3/IrDA	動作	動作	動作	動作	リセット	動作/保持 ^{*7}	動作/保持 ^{*7}	リセット
	IIC2	動作	動作	動作	動作	保持	保持	保持	保持
	SSU	動作	動作	動作	動作	保持	動作/保持 ^{*8}	動作/保持 ^{*8}	保持
	A/D	動作	動作	動作	動作	保持	動作/保持 ^{*9}	動作/保持 ^{*9}	保持
コンパレータ	動作	動作	動作	動作	動作	動作	動作	動作	

【注】 *1 レジスタは保持、出力はハイインピーダンス。

*2 内部クロックとして w/256、 w/1024 を選択した場合に動作、その他は停止して保持。

*3 内部クロックとして w、 w/4、 w/16 を選択した場合に動作、その他は停止して保持。

*4 内蔵発振器を選択した場合に動作、その他は停止して保持。

*5 内蔵発振器または内部クロックとして w/16、 w/256 を選択した場合に動作、その他は停止して保持。

*6 内部クロックとして 32.768kHz RTC を選択した場合に動作、その他は停止して保持。

*7 内部クロックとして w を選択した場合に動作、その他は停止して保持。

*8 内部クロックとして sub/2 を選択した場合に動作、その他は停止して保持。

*9 内部クロックとして w/2 を選択した場合に動作、その他は停止して保持。

5.2.1 スリープモード

スリープモードではCPUの動作は停止しますが、システムクロック発振器およびサブクロック発振器と内蔵周辺モジュールは動作します。スリープ（中速）モードでは内蔵周辺モジュールはSYSCR1のMA1、MA0で設定した周波数のクロックで動作します。CPUのレジスタの内容は保持されます。

スリープモードは割り込みによって解除されます。割り込み要求が発生するとスリープモードは解除され、割り込み例外処理を開始します。CCRのIビットが1のとき、または割り込みイネーブルビットにより割り込みがマスクされているとスリープモードは解除できません。解除後のモードはスリープ（高速）モードからはアクティブ（高速）モードに、スリープ（中速）モードからはアクティブ（中速）モードへ遷移します。スリープモード中 $\overline{\text{RES}}$ 端子をLowレベルにするとスリープモードは解除されリセット状態に遷移します。なお、割り込み要求信号とシステムクロックの同期をとるため、割り込み要求信号発生から割り込み例外処理開始までに最大 $2/ (S)$ の遅れが生じることがあります。

5.2.2 スタンバイモード

スタンバイモードでは、システムクロック発振器が停止し、CPUおよびWDT、非同期イベントカウンタ、コンパレータ以外の内蔵周辺モジュールが停止します。規定の電圧が与えられている限り、CPUのレジスタと一部の内蔵周辺モジュールの内部レジスタは保持されます。また、RAMデータ保持電圧で規定された電圧が供給されているかぎり、内蔵RAMのデータは保持されます。I/Oポートはハイインピーダンス状態となります。

スタンバイモードは割り込みによって解除されます。割り込み要求が発生するとシステムクロック発振器が発振を開始します。SYSCR1のSTS2～STS0で設定された時間が経過するとスタンバイモードが解除されて割り込み例外処理を開始します。解除後のモードはSYSCR2のMSONによって決まり、アクティブ（高速）モードまたはアクティブ（中速）モードへ遷移します。CCRのIビットが1の場合、または割り込みイネーブルビットにより割り込みがマスクされているとスタンバイモードは解除できません。

スタンバイモードでリセット要因が発生すると、システムクロック発振器が発振を開始します。 $\overline{\text{RES}}$ 端子によるリセットの場合、必ずシステムクロックの発振が安定し、加えて t_{REL} 期間が経過するまでLowレベルを保持してください。 $\overline{\text{RES}}$ 端子をHighレベルにすると、CPUはリセット例外処理を開始します。

5. 低消費電力モード

5.2.3 ウォッチモード

ウォッチモードではシステムクロック発振器および CPU の動作は停止し、WDT、RTC、タイマ B1、非同期イベントカウンタ、コンパレータ以外の内蔵周辺機能は動作を停止します。規定の電圧が与えられている限り、CPU と一部の内蔵周辺モジュールの内部レジスタ、内蔵 RAM の内容は保持され、I/O ポートは遷移前の状態を保持します。

ウォッチモードは割り込みによって解除されます。割り込み要求が発生するとウォッチモードは解除され、割り込み例外処理を開始します。解除後のモードは、SYSCR1 の LSON と SYSCR2 の MSON の組み合わせでアクティブ（高速）モードやアクティブ（中速）モード、またはサブアクティブモードに遷移します。アクティブモードに遷移するときは、SYSCR1 の STS2 ~ STS0 で設定された時間が経過すると割り込み例外処理を開始します。なお、CCR の I ビットが 1 の場合、あるいは割り込みイネーブルレジスタにより当該割り込み受け付けが禁止されている場合は、ウォッチモードは解除できません。

ウォッチモードでリセット要因が発生すると、システムクロック発振器が発振を開始します。 $\overline{\text{RES}}$ 端子によるリセットの場合、必ずシステムクロックの発振が安定し、加えて t_{REL} 期間が経過するまで Low レベルを保持してください。 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

5.2.4 サブスリープモード

サブスリープモードでは CPU は停止しますが、IIC2 以外の内蔵周辺モジュールは動作します。規定の電圧が与えられている限り、CPU と一部の内蔵周辺モジュールの内部レジスタ、内蔵 RAM の内容は保持され、I/O ポートは遷移前の状態を保持します。

サブスリープモードは割り込みによって解除されます。割り込み要求が発生するとサブスリープモードは解除され、割り込み例外処理を開始します。解除後のモードはサブアクティブモードへ遷移します。なお、CCR の I ビットが 1 の場合、あるいは割り込みイネーブルレジスタにより当該割り込みの受け付けが禁止されている場合は、サブスリープモードは解除されません。

サブスリープモードでリセット要因が発生すると、システムクロック発振器が発振を開始します。 $\overline{\text{RES}}$ 端子によるリセットの場合、必ずシステムクロックの発振が安定し、加えて t_{REL} 期間が経過するまで Low レベルを保持してください。 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

5.2.5 サブアクティブモード

サブアクティブモードではシステムクロック発振器が停止し、IIC2 以外の内蔵周辺モジュールは動作します。規定の電圧が与えられている限り、一部の内蔵周辺モジュールの内部レジスタの内容を保持します。

サブアクティブモードは、SLEEP 命令を実行すると解除されます。解除後のモードは、SYSCR1 の SSBY と LSON、TMA3、SYSCR2 の MSON と DTON の組み合わせによりサブスリープモード、アクティブモード、ウォッチモードへ遷移します。

サブアクティブモードでリセット要因が発生すると、システムクロック発振器が発振を開始します。 $\overline{\text{RES}}$ 端子によるリセットの場合、必ずシステムクロックの発振が安定し、加えて t_{REL} 期間が経過するまで Low レベルを保持してください。 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

サブアクティブモードの動作周波数は、SYSCR2 の SA1、SA0 により、ウォッチクロック (w)、ウォッチクロックの 2 分周、4 分周、8 分周から選択できます。動作周波数は SLEEP 命令実行後、SLEEP 命令実行前に設定した周波数に切り替わります。

5.2.6 アクティブ (中速) モード

アクティブ (中速) モードでは、システムクロックとして SYSCR1 の MA1、MA0 で設定したクロックが使用され、CPU と内蔵周辺モジュールが動作します。

アクティブ (中速) モードは、SLEEP 命令を実行すると解除されます。解除後のモードは SYSCR1 の SSBY、TMA3 と LSON の組み合わせによりスタンバイモードに遷移し、SYSCR1 の SSBY、TMA3 の組み合わせによりウォッチモードに遷移し、SYSCR1 の SSBY と LSON の組み合わせにより、スリープモードに遷移します。さらに直接遷移によってアクティブ (高速) モード、またはサブアクティブモードへ遷移します。アクティブ (中速) モード中 $\overline{\text{RES}}$ 端子を Low レベルにするとアクティブ (中速) モードは解除されリセット状態に遷移します。

5.3 直接遷移

CPU がプログラムを実行している動作モードにはアクティブモードとサブアクティブモードがあります。直接遷移はこの2つの動作モード間でプログラムの実行を停止することなく遷移します。アクティブモード、サブアクティブモードで動作クロックを変更する場合にも直接遷移を行います。SYSCR2のDTONを1にセットしてSLEEP命令を実行するとスリープモードまたはウォッチモードを経由し、遷移します。遷移後は直接遷移割り込み例外処理を開始します。

【注】 CCRの1ビットが1の状態では直接遷移を行うとスリープモードまたはウォッチモードに遷移したまま復帰不可能となります。

5.3.1 アクティブ（高速）モードからアクティブ（中速）モードへの直接遷移について

アクティブ（高速）モードでSYSCR1のSSBYを0、LSONを0、SYSCR2のMSONを1、DTONを1にセットした状態でSLEEP命令を実行すると、スリープモードを経由してアクティブ（中速）モードに遷移します。

SLEEP命令実行から割り込み例外処理が終わるまでの時間（直接遷移時間）は（1）の計算式で表されます。

$$\begin{aligned} \text{直接遷移時間} = & \{ (\text{SLEEP命令実行ステート数}) + (\text{内部処理ステート数}) \} \\ & \times (\text{遷移前の } t_{\text{cyc}}) + (\text{割り込み例外処理実行ステート数}) \\ & \times (\text{遷移後の } t_{\text{cyc}}) \dots\dots\dots (1) \end{aligned}$$

【例】 遷移後のCPU動作クロック： osc/8を選択した場合

$$\text{直接遷移時間} = (2 + 1) \times 1t_{\text{osc}} + 14 \times 8t_{\text{osc}} = 115t_{\text{osc}}$$

【注】 各記号の意味につきましては「第21章 電気的特性」を参照してください。

5.3.2 アクティブ（高速）モードからサブアクティブモードへの直接遷移について

アクティブ（高速）モードでSYSCR1のSSBYを1、TMA3を1、LSONを1、SYSCR2のDTONを1にセットした状態でSLEEP命令を実行すると、ウォッチモードを経由してサブアクティブモードに遷移します。

SLEEP命令実行から割り込み例外処理が終わるまでの時間（直接遷移時間）は（2）の計算式で表されます。

$$\begin{aligned} \text{直接遷移時間} = & \{ (\text{SLEEP命令実行ステート数}) + (\text{内部処理ステート数}) \} \\ & \times (\text{遷移前の } t_{\text{cyc}}) + (\text{割り込み例外処理実行ステート数}) \\ & \times (\text{遷移後の } t_{\text{subcyc}}) \dots\dots\dots (2) \end{aligned}$$

【例】 遷移後のサブアクティブ動作クロック： w/8を選択した場合

$$\text{直接遷移時間} = (2 + 1) \times 1t_{\text{osc}} + 14 \times 8t_{\text{w}} = 3t_{\text{osc}} + 112t_{\text{w}}$$

【注】 各記号の意味につきましては「第21章 電気的特性」を参照してください。

5.3.3 アクティブ（中速）モードからアクティブ（高速）モードへの直接遷移について

アクティブ（中速）モードで SYSCR1 の SSBY を 0、LSON を 0、SYSCR2 の MSON を 0、DTON を 1 にセットした状態で SLEEP 命令を実行すると、スリープモードを経由してアクティブ（高速）モードに遷移します。

SLEEP 命令実行から割り込み例外処理が終わるまでの時間（直接遷移時間）は（3）の計算式で表されます。

$$\begin{aligned} \text{直接遷移時間} = & \{ (\text{SLEEP 命令実行ステート数}) + (\text{内部処理ステート数}) \} \\ & \times (\text{遷移前の } t_{\text{cyc}}) + (\text{割り込み例外処理実行ステート数}) \\ & \times (\text{遷移後の } t_{\text{cyc}}) \dots\dots\dots (3) \end{aligned}$$

〔例〕 遷移前の CPU 動作クロック： osc/8 を選択した場合

$$\text{直接遷移時間} = (2 + 1) \times 8t_{\text{osc}} + 14 \times 1t_{\text{osc}} = 38t_{\text{osc}}$$

【注】 各記号の意味につきましては「第 21 章 電気的特性」を参照してください。

5.3.4 アクティブ（中速）モードからサブアクティブモードへの直接遷移について

アクティブ（中速）モードで SYSCR1 の SSBY を 1、TMA3 を 1、LSON を 1、SYSCR2 の DTON を 1 にセットした状態で SLEEP 命令を実行すると、ウォッチモードを経由してサブアクティブモードに遷移します。

SLEEP 命令実行から割り込み例外処理が終わるまでの時間（直接遷移時間）は（4）の計算式で表されます。

$$\begin{aligned} \text{直接遷移時間} = & \{ (\text{SLEEP 命令実行ステート数}) + (\text{内部処理ステート数}) \} \\ & \times (\text{遷移前の } t_{\text{cyc}}) + (\text{割り込み例外処理実行ステート数}) \\ & \times (\text{遷移後の } t_{\text{subcyc}}) \dots\dots\dots (4) \end{aligned}$$

〔例〕 遷移前の CPU 動作クロック： osc/8、遷移後の CPU 動作クロック： w/8 を選択した場合

$$\text{直接遷移時間} = (2 + 1) \times 8t_{\text{osc}} + 14 \times 8t_{\text{w}} = 24t_{\text{osc}} + 112t_{\text{w}}$$

【注】 各記号の意味につきましては「第 21 章 電気的特性」を参照してください。

5.3.5 サブアクティブモードからアクティブ（高速）モードへの直接遷移について

サブアクティブモードで SYSCR1 の SSBY を 1、TMA3 を 1、LSON を 0、SYSCR2 の MSON を 0、DTON を 1 にセットした状態で SLEEP 命令を実行すると、ウォッチモードを経由し、SYSCR1 の STS2～STS0 により設定された時間を経過した後、直接、アクティブ（高速）モードに遷移します。

SLEEP 命令実行から割り込み例外処理が終わるまでの時間（直接遷移時間）は（3）の計算式で表されます。

$$\begin{aligned} \text{直接遷移時間} = & \{ (\text{SLEEP 命令実行ステート数}) + (\text{内部処理ステート数}) \} \\ & \times (\text{遷移前の } t_{\text{subcyc}}) + \{ (\text{STS2～STS0 で設定した待機時間}) \\ & + (\text{割り込み例外処理実行ステート数}) \} \times (\text{遷移後の } t_{\text{cyc}}) \dots\dots\dots (3) \end{aligned}$$

〔例〕 遷移前の CPU 動作クロック： w/8、待機時間：8192 ステートを選択した場合

$$\text{直接遷移時間} = (2 + 1) \times 8t_{\text{w}} + (8192 + 14) \times 1t_{\text{osc}} = 24t_{\text{w}} + 8206t_{\text{osc}}$$

【注】 各記号の意味につきましては「第 21 章 電気的特性」を参照してください。

5. 低消費電力モード

5.3.6 サブアクティブモードからアクティブ（中速）モードへの直接遷移について

サブアクティブモードで SYSCR1 の SSBY を 1、TMA3 を 1、LSON を 0、SYSCR2 の MSON を 1、DTON を 1 にセットした状態で SLEEP 命令を実行すると、ウォッチモードを経由し、SYSCR1 の STS2～STS0 により設定された時間を経過した後、直接、アクティブ（中速）モードに遷移します。

SLEEP 命令実行から割り込み例外処理が終わるまでの時間（直接遷移時間）は（6）の計算式で表されます。

$$\begin{aligned} \text{直接遷移時間} = & \{ (\text{SLEEP 命令実行ステート数}) + (\text{内部処理ステート数}) \} \\ & \times (\text{遷移前の } t_{\text{subcyc}}) + (\text{STS2～STS0 で設定した待機時間}) \\ & + (\text{割り込み例外処理実行ステート数}) \times (\text{遷移後の } t_{\text{cyc}}) \dots\dots\dots (6) \end{aligned}$$

【例】 遷移前の CPU 動作クロック： w/8、遷移後の CPU 動作クロック： osc/8、待機時間：8192 ステートを選択した場合

$$\text{直接遷移時間} = (2 + 1) \times 8t_w + 8192 \times 1t_{\text{osc}} + 14 \times 8t_{\text{osc}} = 24t_w + 8304t_{\text{osc}}$$

【注】 各記号の意味につきましては「第 21 章 電気的特性」を参照してください。

5.3.7 直接遷移前後で外部入力信号が変化する場合の注意事項

（1）アクティブ（高速）モードからサブアクティブモードへの直接遷移

ウォッチモードを経由してモード遷移を行いますので「5.6.2 スタンバイモード前後で外部入力信号が変化する場合の注意事項」を参照してください。

（2）アクティブ（中速）モードからサブアクティブモードへの直接遷移

ウォッチモードを経由してモード遷移を行いますので「5.6.2 スタンバイモード前後で外部入力信号が変化する場合の注意事項」を参照してください。

（3）サブアクティブモードからアクティブ（高速）モードへの直接遷移

ウォッチモードを経由してモード遷移を行いますので「5.6.2 スタンバイモード前後で外部入力信号が変化する場合の注意事項」を参照してください。

（4）サブアクティブモードからアクティブ（中速）モードへの直接遷移

ウォッチモードを経由してモード遷移を行いますので「5.6.2 スタンバイモード前後で外部入力信号が変化する場合の注意事項」を参照してください。

5.4 モジュールスタンバイ機能

モジュールスタンバイ機能はすべての周辺モジュールに対して設定可能です。モジュールスタンバイ状態に設定されたモジュールはクロックの供給が停止して低消費電力状態となります。CKSTPR1、CKSTPR2 の各モジュールに対応したビットを 0 にするとそのモジュールはモジュールスタンバイ状態となり、1 にすると解除されます。（「5.1.3 クロック停止レジスタ 1、2（CKSTPR1、CKSTPR2）」を参照）

5.5 内蔵発振器と動作モード

内蔵発振器は、ウォッチドッグタイマ (WDT)、サブクロック発生回路 ($w = R_{osc}/32$)、システムクロック発生回路 ($osc = R_{osc}$) のクロックソースとして使用できます。

ウォッチドッグタイマ (WDT) のクロックソースとした場合、すべての動作モード (アクティブモード、スリープモード、サブアクティブモード、サブスリープモード、ウォッチモード、スタンバイモード) にて内蔵発振器は動作します。

サブクロック発生回路のクロックソースとした場合、スタンバイモードでは停止し、スタンバイモード以外の動作モードにて内蔵発振器は動作します。

システムクロック発生回路のクロックソースのみとした場合、アクティブモードとスリープモードでは動作し、サブアクティブモード、サブスリープモード、ウォッチモード、スタンバイモードでは停止します。

ウォッチドッグタイマ (WDT) (または)、サブクロック発生回路 (または)、システムクロック発生回路のクロックソースとして使用しない場合、内蔵発振器は停止します。

なお、リセット状態および解除後の状態では、ウォッチドッグタイマ (WDT) は初期値として内蔵発振器をクロックソースとするため、内蔵発振器は動作します。

5.6 使用上の注意事項

5.6.1 スタンバイモードへの遷移と端子状態

アクティブ（高速）モードまたはアクティブ（中速）モードで SYSCR1 の SSBY、TMA3 を 0、LSON を 0 にした状態で SLEEP 命令を実行するとスタンバイモードに遷移します。同時に端子はハイインピーダンス状態（プルアップ MOS オン設定端子は除く）になります。このときのタイミングを図 5.2 に示します。

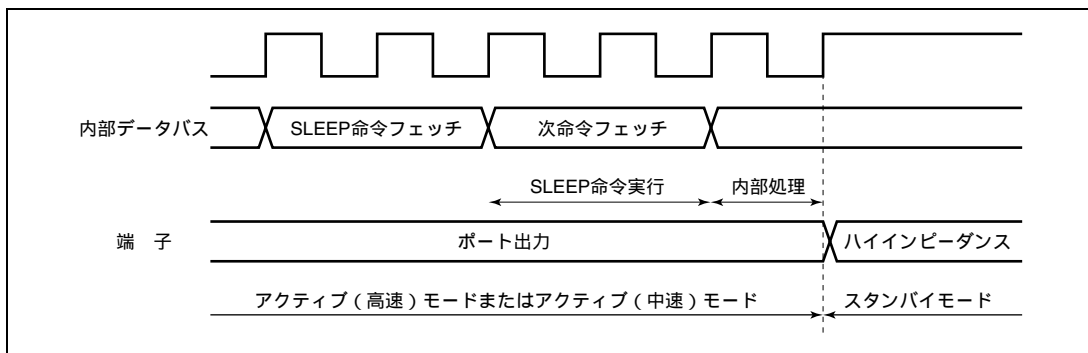


図 5.2 スタンバイモードへの遷移と端子状態

5.6.2 スタンバイモード前後で外部入力信号が変化する場合の注意事項

(1) スタンバイモード、ウォッチモード前後で外部入力信号が変化する場合

$\overline{\text{NMI}}$ 、 $\overline{\text{IRQ0}}$ 、 $\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQAEC}}$ 等の外部入力信号を入力する場合、信号のHigh、Lowレベル幅はどちらもシステムクロック またはサブクロック SUB （以下、本項では合せて内部クロックと呼びます。）の2サイクル以上の幅が必要です。スタンバイモード、ウォッチモードでは内部クロックが停止するため、これらの動作モードを経由する場合、外部入力信号は、以下の「推奨する外部入力信号タイミング」に合わせてください。

(2) 内部クロック停止により外部入力信号が取り込めない場合

立ち下がりエッジを取り込む場合を図5.3に示します。

「取り込めない場合」に示すように該当信号以外の割り込みにより発振を開始し、アクティブモードまたはサブアクティブモードに遷移した直後に外部入力信号が立ち下がった場合、この時点でのHighレベル幅が $2t_{\text{cyc}}$ 、 $2t_{\text{subcyc}}$ 未満の場合、この外部入力信号は取り込めません。

(3) 推奨する外部入力信号のタイミング

確実に外部入力信号を取り込むためには「取り込める場合1」に示すようにスタンバイモード、ウォッチモードに遷移する前に入力信号のHigh、Lowレベル幅を $2t_{\text{cyc}}$ 、 $2t_{\text{subcyc}}$ 以上確保してください。

また「取り込める場合2」「取り込める場合3」のタイミングでも $2t_{\text{cyc}}$ 、 $2t_{\text{subcyc}}$ のレベル幅を確保できるので外部入力信号の取り込みが可能です。

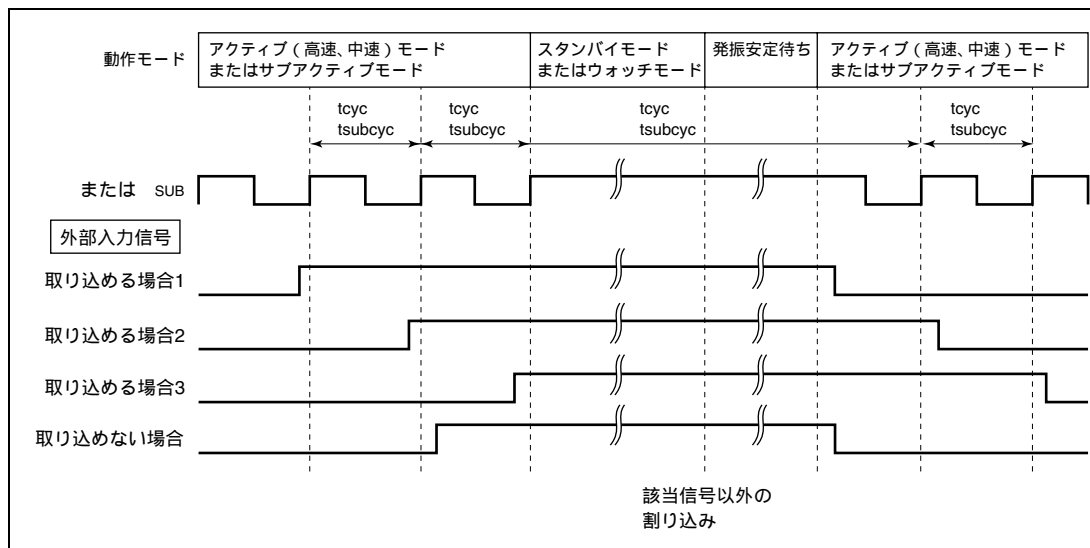


図 5.3 スタンバイモード、ウォッチモード前後で外部入力信号が変化する場合の注意事項

(4) 本注意事項が適用される入力端子

$\overline{\text{NMI}}$ 、 $\overline{\text{IRQ0}}$ 、 $\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQAEC}}$ 、 $\overline{\text{ADTRG}}$

5. 低消費電力モード

6. ROM

フラッシュメモリ版に内蔵されている 16K バイトのフラッシュメモリの特長は以下のとおりです。

- 書き込み / 消去方式

書き込みは128バイト単位の同時書き込み方式です。消去はブロック単位で行います。フラッシュメモリは、1Kバイト×4ブロック、12Kバイト×1ブロックに分割されています。全面消去を行う場合も1ブロックずつ消去してください。

- オンボードプログラミング

内蔵ブートプログラムを起動して全面消去、書き込みを行うブートモードにより、オンボードでの書き込み/消去ができます。この他、通常のユーザモードでもオンボードで任意のブロックを消去し、書き換えることが可能です。

- ビットレート自動合わせ込み

ブートモードでデータ転送時、ホストの転送ビットレートと本LSIのビットレートを自動的に合わせ込みます。

- 書き込み / 消去プロテクト

ソフトウェアによりフラッシュメモリの書き込み / 消去に対するプロテクトを設定できます。

- 低消費電力モード

サブアクティブモードでは電源回路の一部の動作を停止させることができます。これによりフラッシュメモリを低消費電力で読み出すことができます。

- モジュールスタンバイモード

モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定することができます。(詳細は「5.4 モジュールスタンバイ機能」を参照してください。)

ただし、オンチップデバッグ機能使用時は、クロック停止レジスタ1(CKSTPR1)のビット1(FROMCKSTP)は必ず1にセットしてください。

【注】 フラッシュメモリに書き込み / 消去を実行するときは、必ずシステムクロック発振器を使用してください。

6.1 ブロック構成

図 6.1 にフラッシュメモリのブロック構成を示します。太線枠は消去ブロックを表します。細線枠は書き込みの単位を表し、枠内の数値はアドレスを示します。16K バイトのフラッシュメモリは 1K バイト×4 ブロック、12K バイト×1 ブロックに分割されていて、消去はこの単位で行います。書き込みは下位アドレスが H'00 または H'80 で始まる 128 バイト単位で行います。

消去単位	H'0000	H'0001	H'0002	書き込み単位128バイト	H'007F
	H'0080	H'0081	H'0082		H'00FF
1Kバイト					
消去単位	H'0380	H'0381	H'0382	書き込み単位128バイト	H'03FF
	H'0400	H'0401	H'0402		H'047F
1Kバイト					
消去単位	H'0480	H'0481	H'0482	書き込み単位128バイト	H'04FF
1Kバイト					
消去単位	H'0780	H'0781	H'0782	書き込み単位128バイト	H'07FF
	H'0800	H'0801	H'0802		H'087F
1Kバイト					
消去単位	H'0880	H'0881	H'0882	書き込み単位128バイト	H'08FF
1Kバイト					
消去単位	H'0B80	H'0B81	H'0B82	書き込み単位128バイト	H'0BFF
	H'0C00	H'0C01	H'0C02		H'0C7F
1Kバイト					
消去単位	H'0C80	H'0C81	H'0C82	書き込み単位128バイト	H'0CFF
12Kバイト					
消去単位	H'0F80	H'0F81	H'0F82	書き込み単位128バイト	H'0FFF
	H'1000	H'1001	H'1002		H'107F
12Kバイト					
消去単位	H'1080	H'1081	H'1082	書き込み単位128バイト	H'10FF
12Kバイト					
	H'3F80	H'3F81	H'3F82		H'3FFF

図 6.1 フラッシュメモリのブロック構成

6.2 レジスタの説明

フラッシュメモリには以下のレジスタがあります。

- フラッシュメモリコントロールレジスタ1 (FLMCR1)
- フラッシュメモリコントロールレジスタ2 (FLMCR2)
- ブロック指定レジスタ1 (EBR1)
- フラッシュメモリパワーコントロールレジスタ (FLPWCR)
- フラッシュメモリイネーブルレジスタ (FENR)

6.2.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

FLMCR1 はフラッシュメモリをプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移させます。具体的な設定方法については「6.4 書き込み / 消去プログラム」を参照してください。

ビット	ビット名	初期値	R/W	説明
7		0		リザーブビット リードすると常に0が読み出されます。
6	SWE	0	R/W	ソフトウェアライトイネーブル このビットが1のときフラッシュメモリの書き込み / 消去が可能となります。0のときこのレジスタの他のビットと EBR1 の各ビットはセットできません。
5	ESU	0	R/W	イレースセットアップ 1にセットするとイレースセットアップ状態となり、クリアするとセットアップ状態を解除します。FLMCR1 の E ビットを1にセットする前にセットしてください。
4	PSU	0	R/W	プログラムセットアップ 1にセットするとプログラムセットアップ状態となり、クリアするとセットアップ状態を解除します。FLMCR1 の P ビットを1にセットする前にセットしてください。
3	EV	0	R/W	イレースベリファイ 1にセットするとイレースベリファイモードへ遷移し、クリアするとイレースベリファイモードを解除します。
2	PV	0	R/W	プログラムベリファイ 1にセットするとプログラムベリファイモードへ遷移し、クリアするとプログラムベリファイモードを解除します。
1	E	0	R/W	イレース SWE = 1、ESU = 1 の状態でこのビットを1にセットするとイレースモードへ遷移し、クリアするとイレースモードを解除します。

6. ROM

ビット	ビット名	初期値	R/W	説明
0	P	0	R/W	プログラム SWE = 1、PSU = 1 の状態でこのビットを 1 にセットするとプログラムモードへ遷移し、クリアするとプログラムモードを解除します。

6.2.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

FLMCR2 はフラッシュメモリの書き込み / 消去の状態を表示します。FLMCR2 は読み出し専用レジスタです。書き込みはしないでください。

ビット	ビット名	初期値	R/W	説明
7	FLER	0	R	このビットはフラッシュメモリへの書き込み / 消去中にエラーを検出し、エラープロテクト状態となったときセットされます。 詳細は「6.5.3 エラープロテクト」を参照してください。
6~0		すべて 0		リザーブビット リードすると常に 0 が読み出されます。

6.2.3 ブロック指定レジスタ 1 (EBR1)

EBR1 はフラッシュメモリの消去ブロックを指定するレジスタです。FLMCR1 の SWE ビットが 0 のときは EBR1 は H'00 に初期化されます。このレジスタは 2 ビット以上同時に 1 に設定しないでください。設定すると EBR1 は 0 にオートクリアされます。

ビット	ビット名	初期値	R/W	説明
7~5		すべて 0		リザーブビット リード/ライト可能ですが、ライトするときは 0 をライトしてください。
4	EB4	0	R/W	このビットが 1 のとき H'1000 ~ H'3FFF の 12K バイトが消去対象となります。
3	EB3	0	R/W	このビットが 1 のとき H'0C00 ~ H'0FFF の 1K バイトが消去対象となります。
2	EB2	0	R/W	このビットが 1 のとき H'0800 ~ H'0BFF の 1K バイトが消去対象となります。
1	EB1	0	R/W	このビットが 1 のとき H'0400 ~ H'07FF の 1K バイトが消去対象となります。
0	EB0	0	R/W	このビットが 1 のとき H'0000 ~ H'03FF の 1K バイトが消去対象となります。

6.2.4 フラッシュメモリパワーコントロールレジスタ (FLPWCR)

FLPWCR は LSI がサブアクティブモードに遷移するときフラッシュメモリを低消費電力モードにするかどうかを選択します。低消費電力モードでフラッシュメモリの電源回路の一部の動作を停止し、フラッシュメモリの読み出しができるモードと、サブアクティブモード動作に移行しても、フラッシュメモリの電源回路の動作は保持しフラッシュメモリの読み出しを可能にするモードがあります。

ビット	ビット名	初期値	R/W	説明
7	PDWND	0	R/W	パワーダウンドイスエーブル このビットが0のときサブアクティブモードに遷移するとフラッシュメモリは低消費電力モードとなります。 このビットが1のときはサブアクティブモードに遷移してもフラッシュメモリは通常モードで動作します。
6~0		すべて0		リザーブビット リードすると常に0が読み出されます。

6.2.5 フラッシュメモリイネーブルレジスタ (FENR)

FENRのビット7(FLSHE)は、CPUからフラッシュメモリの制御レジスタFLMCR1、FLMCR2、EBR1、FLPWCRをアクセスする場合のアクセス許可/禁止を設定します。

ビット	ビット名	初期値	R/W	説明
7	FLSHE	0	R/W	フラッシュメモリコントロールレジスタイネーブル このビットを1にセットすると、フラッシュメモリ制御レジスタがアクセス可能となります。0のときは制御レジスタはアクセスできません。
6~0		すべて0		リザーブビット リードすると常に0が読み出されます。

6.3 オンボードプログラミング

フラッシュメモリの書き込み/消去を行うためのモードとしてオンボードで書き込み/消去ができるブートモードが用意されています。このほかユーザモードでもオンボードで書き込み/消去を行うことが可能です。リセット状態からリセットスタートすると本LSIはTEST端子、 $\overline{\text{NMI}}$ 端子およびE7_0の入力レベルによって表6.1のように異なるモードへ遷移します。各端子の入力レベルは少なくともリセット解除の4ステート前に確定させる必要があります。

ブートモードに遷移すると、LSI内部に組み込まれているブートプログラムが起動します。ブートプログラムはSCI3を経由して外部に接続されたホストから書き込み制御プログラムを内蔵RAMに転送し、フラッシュメモリを全面消去したうえで書き込み制御プログラムを実行します。オンボード状態での初期書き込みや、ユーザモードで書き込み/消去ができなくなった場合の強制復帰等に使用できます。ユーザモードではユーザが用意した書き込み/消去プログラムに分岐することで任意のブロックを消去し書き換えることができます。

表 6.1 プログラミングモード選択方法

TEST	NMI	E7_0	リセット解除後のLSIの状態
0	1	X	ユーザモード
0	0	1	ブートモード

【注】 X : Don't care

6.3.1 ブートモード

ブートモードにおけるリセット解除から書き込み制御プログラムに分岐するまでの動作を表 6.2 に示します。

本 LSI では、発振子および外部クロック入力により動作するシステムクロック発振器と、内蔵発振器を搭載しています。ブートモードではシステムクロック発振器を選択するため、発振子を接続するかまたは、外部クロックを入力してください。

1. ブートモードではフラッシュメモリへの書き込み制御プログラムをホスト側に準備しておく必要があります。書き込み制御プログラムは「6.4 書き込み/消去プログラム」に沿ったものを用意してください。
2. SCI3は調歩同期式モードに設定され、送受信フォーマットは「8ビットデータ、1ストップビット、パリティなし」です。
SPCRによるTXD端子、RXD端子の反転機能は「反転しない」に設定してあるのでホストと本LSI間に反転回路をいれないでください。
3. ブートプログラムが起動すると、ホストから連続送信される調歩同期式シリアル通信データH'00のLow期間を測定してビットレートを計算し、SCI3のビットレートをホストのビットレートに合わせ込みます。リセット解除はRXD端子がHighの状態で行ってください。必要に応じてRXD端子およびTXD端子は、ボード上でプルアップしてください。リセット解除からLow期間を測定できるまで約100ステートかかります。
4. ビットレートの合わせ込みが終了すると調整終了の合図としてH'00を1バイト送信しますので、ホストは調整終了の合図を正常に受信したらH'55を1バイト送信してください。正常に受信できなかった場合はリセットによりブートモードを再起動してください。ホスト側のビットレートと本LSIのシステムクロック周波数の組み合わせによっては許容範囲内にビットレートを合わせ込めない場合が生じます。このため、ホストの転送ビットレートと本LSIのシステムクロック周波数を表6.3の範囲としてください。
5. ブートモードでは内蔵RAMの一部をブートプログラムで使用します。ホスト側から送信される書き込み制御プログラムを格納できるエリアはH'FB80～H'FF7F番地です。プログラムの実行が書き込み制御プログラムへ移行するまでブートプログラムエリアは使用できません。
6. 書き込み制御プログラムに分岐するときSCI3は送受信動作を終了（SCR3のRE=0、TE=0）しますが、BRRには合わせ込んだビットレートの値は保持されるので、引き続き書き込み制御プログラムでホストとの間の書き込みデータやペリファイデータの送受信に使用できます。TXD端子はHighレベル出力状態（PCR32=1、P32=1）となっています。書き込み制御プログラムへ分岐直後のCPUの汎用レジスタは不定です。特にスタックポインタはサブルーチンコールなどで暗黙的に使用されるため、書き込み制御プログラムの冒頭で初期化してください。
7. ブートモードはリセットにより解除されます。リセット端子をLowレベルにして最低20ステート経過後、 $\overline{\text{NMI}}$ 端子を設定してリセットを解除してください。WDTのオーバフローリセットが発生した場合もブートモードは解除されます。
8. ブートモードの途中でTEST端子、 $\overline{\text{NMI}}$ 端子の入力レベルを変化させないでください。

表 6.2 ブートモードの動作

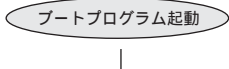
項目	ホストの動作	通信内容	本LSIの動作
	処理内容		処理内容
ブートモード起動			リセットスタート後 ブートプログラムへ分岐 
ビットレートの合わせ込み	所定のビットレートでH'00を連続送信 H'00を正常に受信したらH'55送信	H'00, H'00・・・H'00 H'00 H'55	・受信データH'00のLow期間を測定 ・ビットレートを計算し、SCI3のBRRを設定 ・ビットレート合わせ込み終了後、ホストへH'00を送信 H'55受信
フラッシュメモリ消去	ブートプログラム消去エラー H'AA受信	H'FF H'AA	フラッシュメモリのデータをチェックし、書き込まれている場合は全ブロックを消去してホストへH'AAを送信。 (消去できなかった場合はH'FFを送信して、動作を停止)
書き込み制御プログラムの転送	転送する書き込み制御プログラムのバイト数(N)を上位バイト、下位バイトの順に2バイト送信 書き込み制御プログラムを1バイトごとに送信(N回繰り返し) H'AA受信	上位バイト、下位バイト エコーバック H'XX エコーバック H'AA	受信した2バイトデータをホストへエコーバック 受信したデータをホストへエコーバックするとともにRAMへ転送(N回繰り返し) ホストへH'AAを送信
			内蔵RAMに転送された書き込み制御プログラムへ分岐し実行を開始

表 6.3 ビットレート自動合わせ込みが可能なシステムクロック周波数

ホストのビットレート	LSI のシステムクロック周波数範囲
9600bps	8～10MHz
4800bps	4～10MHz
2400bps	2～10MHz

6.3.2 ユーザモードでの書き込み / 消去

ユーザモードでもユーザが用意した書き込み / 消去プログラムに分岐することで任意のブロックをオンボードで消去し書き換えることができます。分岐のための条件設定やオンボードでの書き換えデータ供給手段をユーザ側で用意する必要があります。また、必要に応じてフラッシュメモリの一部に書き込み / 消去プログラムを書き込んでおくか、書き込み / 消去プログラムを外部から供給するためのプログラムを書き込んでおく必要があります。書き込み / 消去中はフラッシュメモリを読み出せないため、ブートモードと同様書き込み / 消去プログラムは内蔵 RAM に転送して実行してください。図 6.2 にユーザモードでの書き込み / 消去手順の例を示します。書き込み / 消去プログラムは「6.4 書き込み / 消去プログラム」に沿ったものを用意してください。

書き込み / 消去を実行するときは、必ずシステムクロック発振器を使用してください。

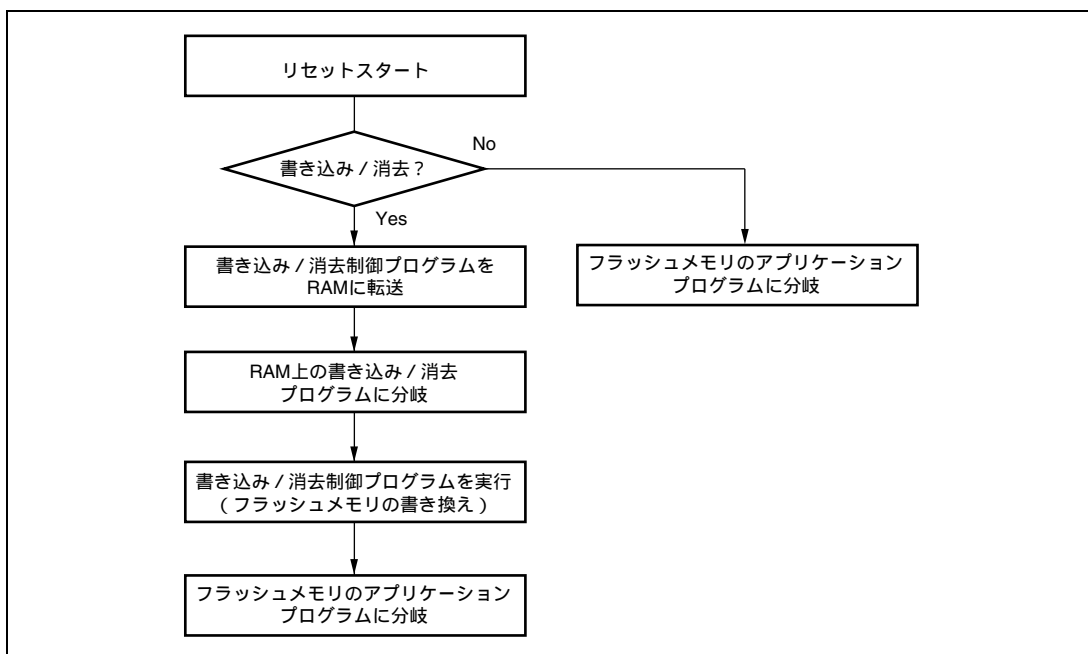


図 6.2 ユーザモードにおける書き込み / 消去例

6.4 書き込み / 消去プログラム

オンボードでのフラッシュメモリの書き込み / 消去はCPUを用いてソフトウェアで行う方式を採用しています。フラッシュメモリはFLMCR1の設定によってプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移します。ブートモードでの書き込み制御プログラム、ユーザモードでの書き込み / 消去プログラムではこれらのモードを組み合わせで書き込み / 消去を行います。フラッシュメモリへの書き込みは「6.4.1 プログラム / プログラムベリファイ」に沿って、また、フラッシュメモリの消去は「6.4.2 イレース / イレースベリファイ」に沿って行ってください。

6.4.1 プログラム / プログラムベリファイ

フラッシュメモリへの書き込みは、図6.3に示すプログラム / プログラムベリファイフローに従ってください。このフローに沿って書き込み動作を行えば、デバイスへの電圧ストレスやデータの信頼性を損なうことなく書き込みを行うことができます。

1. 書き込みは消去状態でいい、すでに書き込まれたアドレスへの再書き込みは行わないでください。
2. 1回の書き込みは128バイト単位です。128バイトに満たないデータを書き込む場合もフラッシュメモリに128バイトのデータを転送する必要があります。書き込む必要のないアドレスのデータはH'FFにして書き込んでください。
3. RAM上に書き込みデータエリア128バイト、再書き込みデータエリア128バイト、追加書き込みデータエリア128バイトの領域を確保してください。再書き込みデータの演算は表6.4に、追加書き込みデータの演算は表6.5にしたがってください。
4. 再書き込みデータエリアあるいは追加書き込みデータエリアからフラッシュメモリへはバイト単位で128バイト連続転送してください。プログラムアドレスと128バイトのデータがフラッシュメモリ内にラッチされます。転送先のフラッシュメモリの先頭アドレスは下位8ビットをH'00またはH'80としてください。
5. Pビットがセットされている時間が書き込み時間となります。書き込み時間は表6.6にしたがってください。
6. ウォッチドックタイマの設定はプログラムの暴走等による過剰書き込みを避けるためのものです。オーバフロー周期は6.6ms程度としてください。
7. ベリファイアドレスへのダミーライトは、下位2ビットがb'00のアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からワードもしくはロングワードで読み出せます。
8. 同一ビットに対するプログラム / プログラムベリファイシーケンスの繰り返しは、1,000回を超えないようにしてください。

6. ROM

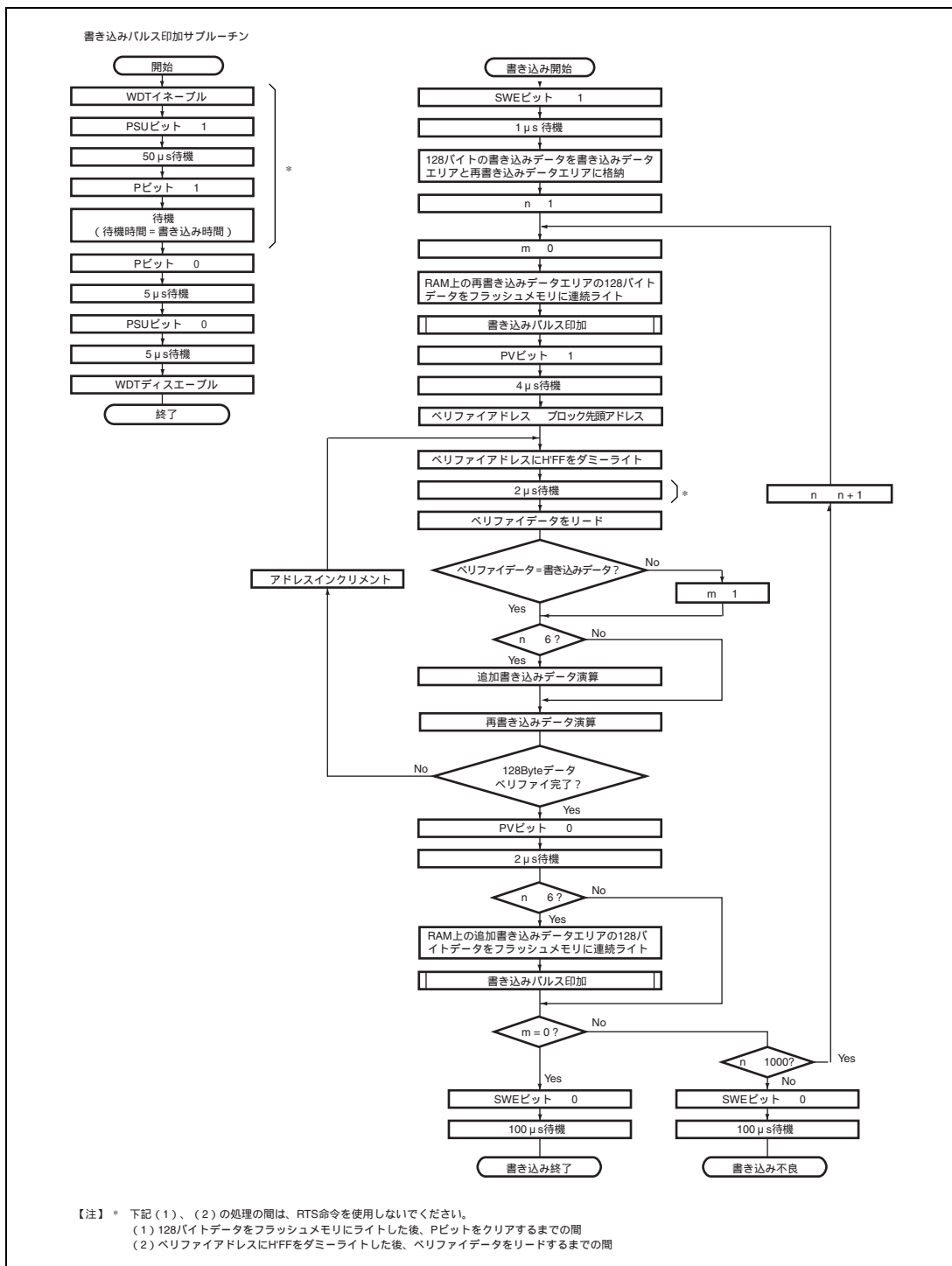


図 6.3 プログラム / プログラムペリファイフロー

表 6.4 再書き込みデータ演算表

書き込みデータ	バリファイデータ	再書き込みデータ	備 考
0	0	1	書き込み完了ビット
0	1	0	再書き込みビット
1	0	1	
1	1	1	消去状態のまま

表 6.5 追加書き込みデータ演算表

再書き込みデータ	バリファイデータ	追加書き込みデータ	備 考
0	0	0	追加書き込みビット
0	1	1	追加書き込みは実施しない
1	0	1	追加書き込みは実施しない
1	1	1	追加書き込みは実施しない

表 6.6 書き込み時間

n (書き込み回数)	書き込み時	追加書き込み時	備 考
1~6	30	10	
7~1,000	200		

【注】 時間の単位は μs です。

6.4.2 イレース / イレースベリファイ

消去は図 6.4 のイレース / イレースベリファイフローチャートに従って行ってください。

1. 消去の前にプレライト（消去するメモリの全データをすべて0にする）を行う必要はありません。
2. 消去はブロック単位で行います。ブロック指定レジスタ1（EBR1）により消去するブロックを1ブロックだけ選択してください。複数のブロックを消去する場合も1ブロックずつ順次消去してください。
3. Eビットが設定されている時間が消去時間となります。
4. ウォッチドックタイマの設定はプログラムの暴走等による過剰書き込みを避けるためのものです。オーバフロー周期は19.8ms程度としてください。
5. ベリファイアドレスへのダミーライトは、下位2ビットがB'00のアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からロングワードで読み出せます。
6. 読み出したデータが未消去の場合は再度イレースモードに設定し、同様にイレース / イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数が100回を超えないようにしてください。

6.4.3 フラッシュメモリの書き込み / 消去時の割り込み

フラッシュメモリへの書き込み / 消去中またはブートプログラム実行中は以下の理由から NMI を含むすべての割り込み要求を禁止してください。

1. 書き込み / 消去中に割り込みが発生すると、正常な書き込み / 消去アルゴリズムに沿った動作が保証できなくなる。
2. ベクタアドレスが書き込まれる前、または書き込み / 消去中に割り込み例外処理を開始すると、正常なベクタフェッチができずCPUが暴走する。
3. ブートプログラム実行中に割り込みが発生すると、正常なブートモードのシーケンスを実行できなくなる。

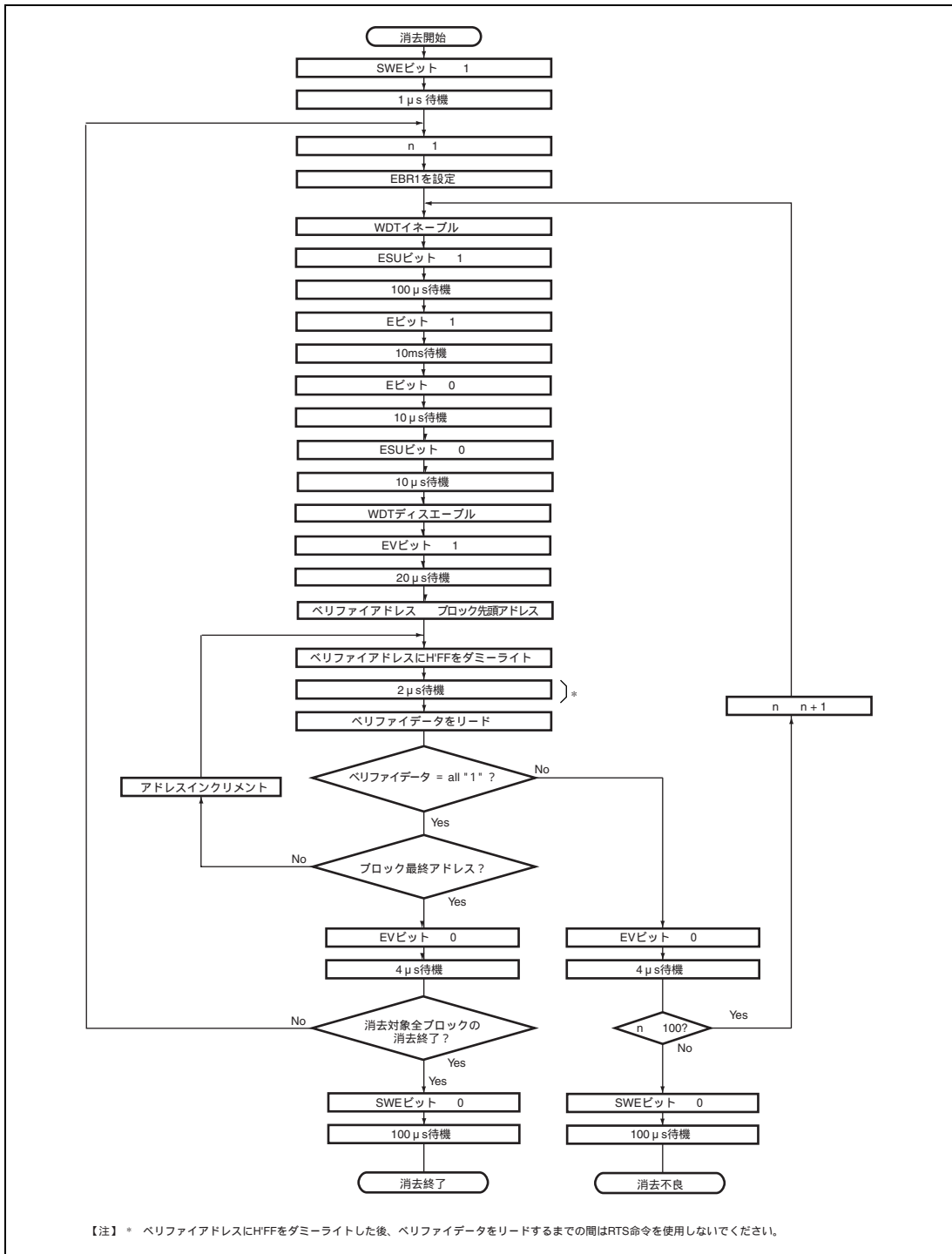


図 6.4 イレース/イレースベリファイフロー

6.5 書き込み / 消去プロテクト

フラッシュメモリに対する書き込み / 消去プロテクト状態にはハードウェアプロテクトによるもの、ソフトウェアプロテクトによるものとエラープロテクトによるものの3種類あります。

6.5.1 ハードウェアプロテクト

ハードウェアプロテクトは、リセットまたはサブアクティブモード、サブスリープモード、ウォッチモードおよびスタンバイモードへの状態遷移によりフラッシュメモリに対する書き込み / 消去が強制的に禁止、中断された状態をいいます。フラッシュメモリコントロールレジスタ1 (FLMCR1)、フラッシュメモリコントロールレジスタ2 (FLMCR2)、ブロック指定レジスタ1 (EBR1) が初期化されます。 $\overline{\text{RES}}$ 端子によるリセットでは、電源投入後発振が安定するまで $\overline{\text{RES}}$ 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した $\overline{\text{RES}}$ パルス幅の間 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。

6.5.2 ソフトウェアプロテクト

ソフトウェアで FLMCR1 の SWE ビットをクリアすることで全ブロック書き込み / 消去プロテクト状態になります。この状態で FLMCR1 の P ビットまたは E ビットをセットしてもプログラムモードまたはイレースモードへは遷移しません。また、ブロック指定レジスタ1 (EBR1) の設定により、ブロックごとに消去プロテクトが可能です。EBR1 を H'00 に設定すると全ブロックが消去プロテクト状態になります。

6.5.3 エラープロテクト

エラープロテクトはフラッシュメモリへの書き込み / 消去中に CPU の暴走や書き込み / 消去アルゴリズムに沿っていない動作を検出し、強制的に書き込み / 消去動作を中断した状態です。書き込み / 消去動作を中断することで過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み / 消去中に以下のエラーを検出すると、FLMCR2 の FLER ビットが 1 にセットされ、エラープロテクト状態となります。

- 書き込み / 消去中のフラッシュメモリ読み出し (ベクタリードおよび命令フェッチを含む)
- 書き込み / 消去中のリセットを除く例外処理開始
- 書き込み / 消去中の SLEEP 命令実行

このとき、FLMCR1、FLMCR2、EBR1 の内容は保持されますが、エラーを検出した時点でプログラムモードまたはイレースモードは強制的に中断されます。P ビット、E ビットをセットしてもプログラムモードやイレースモードへは遷移しません。ただし、PV ビット、EV ビットは保持され、ベリファイモードへの遷移は可能です。エラープロテクト状態は、リセットによってのみ解除できます。

6.6 フラッシュメモリの低消費電力動作

ユーザモードではフラッシュメモリは次のいずれかの状態になります。

- 通常動作状態

高速でフラッシュメモリの読み出しが可能です。

- 低消費電力動作状態

フラッシュメモリの電源回路の一部を停止させることができます。これにより、フラッシュメモリを低消費電力で読み出すことができます。

- スタンバイ状態

フラッシュメモリのすべての回路が停止します。

表 6.7 に LSI の動作モードとフラッシュメモリの状態の関係を示します。サブアクティブモードでは FLPWCR の PDWND ビットによりフラッシュメモリを低消費電力動作に設定することができます。フラッシュメモリが低消費電力動作状態またはスタンバイ状態から通常動作状態へ復帰するときは、停止した電源回路の動作安定化時間が必要となります。外部クロックを使用する場合も含めて、通常動作モードへ復帰するときの待機時間が $20\ \mu\text{s}$ 以上になるよう SYSCR1 の STS2~STS0 を設定してください。

表 6.7 フラッシュメモリの動作状態

LSI の動作モード	フラッシュメモリの状態	
	PDWND = 0 のとき (初期値)	PDWND = 1 のとき
アクティブモード	通常動作状態	通常動作状態
サブアクティブモード	低消費電力動作状態	通常動作状態
スリープモード	通常動作状態	通常動作状態
サブスリープモード	スタンバイ状態	スタンバイ状態
ウォッチモード	スタンバイ状態	スタンバイ状態
スタンバイモード	スタンバイ状態	スタンバイ状態

6.7 モジュールスタンバイモード設定時の注意事項

フラッシュメモリをモジュールスタンバイモードに設定すると、モジュールへのシステムクロック供給は停止され、機能が停止し、スタンバイモードと同じ状態になります。したがって、フラッシュメモリにおけるプログラム動作が停止しますので、動作プログラムをRAMへ転送し、RAMでプログラム動作をさせた後にフラッシュメモリをモジュールスタンバイモードに設定してください。

また、モジュールスタンバイモード時に割り込みが発生すると、ベクタアドレスを読み出せず、結果としてプログラムが暴走します。

従って、フラッシュメモリをモジュールスタンバイモードへ設定する前に、割り込み許可レジスタの対応するビットを0、およびCCRのIビットを1に設定し、モジュールスタンバイモード設定後は、NMIの割り込み要求を発生させないようにしてください。



図 6.5 モジュールスタンバイモードの設定方法

7. RAM

H8/38602R グループは、高速スタティック RAM を内蔵しています。RAM は 16 ビット幅のデータバスで CPU と接続されており、バイトデータおよびワードデータとも 2 ステートでアクセスします。

製品分類		RAM 容量	RAM アドレス
フラッシュメモリ版	H8/38602RF	1K バイト	H'FB80 ~ H'FF7F
マスク ROM 版	H8/38602R	1K バイト	H'FB80 ~ H'FF7F
	H8/38600R	512 バイト	H'FD80 ~ H'FF7F

7. RAM

8. I/O ポート

H8/38602R グループは汎用入出力ポートを 13 本、汎用入力ポートを 6 本備えています。このうち、ポート 8 は大電流ポートで Low レベル出力値 15mA (@V_{OL} = 1.0V) 駆動できます。いずれも内蔵周辺モジュールの入出力端子や外部割り込み入力端子と兼用になっていてリセット直後は入力ポートになっていますが、レジスタの設定により機能が切り替わります。これら機能を選択するためのレジスタは I/O ポートに含まれるものと、各内蔵周辺モジュールに含まれるものがあります。汎用入出力ポートは入出力を制御するポートコントロールレジスタと出力データを格納するポートデータレジスタから構成され、ビット単位で入出力を選択できます。

ポートデータレジスタ (PDR) に対するビット操作命令の実行については「2.8.3 ビット操作命令」を参照してください。

各ポートのブロック図は「付録 B.1 I/O ポートブロック図」を参照してください。

8.1 ポート 1

ポート 1 は、非同期イベントカウンタ入力端子、タイマ W の入出力端子、RTC 出力端子、CLKOUT 出力端子、割り込み入力端子と兼用の入出力ポートです。ポート 1 の各端子は、図 8.1 に示す構成になっています。

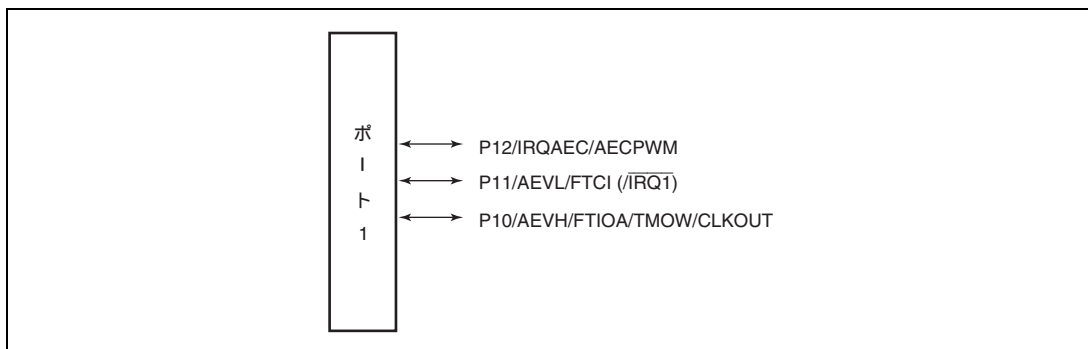


図 8.1 ポート 1 の端子構成

ポート 1 には以下のレジスタがあります。

- ポートデータレジスタ 1 (PDR1)
- ポートコントロールレジスタ 1 (PCR1)
- ポートプルアップコントロールレジスタ 1 (PUCR1)
- ポートモードレジスタ 1 (PMR1)

8. I/O ポート

8.1.1 ポートデータレジスタ 1 (PDR1)

PDR1 は、ポート 1 のデータを格納するレジスタです。

ビット	ビット名	初期値	R/W	説明
7~3	-	-	-	リザーブビット リードすると不定値が読み出されます。ライトは無効です。
2	P12	0	R/W	PCR1 が 1 のとき、ポート 1 のリードを行うと、PDR1 の値を直接リードします。そのため端子状態の影響を受けません。PCR1 が 0 のとき、ポート 1 のリードを行うと、端子状態が読み出されます。
1	P11	0	R/W	
0	P10	0	R/W	

8.1.2 ポートコントロールレジスタ 1 (PCR1)

PCR1 は、ポート 1 の汎用入出力ポートとして使用する端子の入出力をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7~3	-	-	-	リザーブビット リードすると不定値が読み出されます。ライトは無効です。
2	PCR12	0	W	PCR1 に 1 をセットすると対応する P12~P10 端子は出力端子となり、0 にクリアすると入力端子となります。当該端子が汎用入出力に設定されている場合には、PCR1 および PDR1 の設定が有効となります。 本レジスタはライト専用です。リードした場合、不定値が読み出されず。
1	PCR11	0	W	
0	PCR10	0	W	

8.1.3 ポートプルアップコントロールレジスタ 1 (PUCR1)

PUCR1 は、ポート 1 のプルアップ MOS をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7~3	-	-	-	リザーブビット リードすると不定値が読み出されます。ライトは無効です。
2	PUCR12	0	R/W	PCR1 が 0 の状態で PUCR1 に 1 をセットすると対応するプルアップ MOS は ON 状態となり、0 にクリアすると OFF 状態となります。
1	PUCR11	0	R/W	
0	PUCR10	0	R/W	

8.1.4 ポートモードレジスタ 1 (PMR1)

PMR1 は、ポート 1 の各端子機能の切り替えを制御します。

ビット	ビット名	初期値	R/W	説明
7	-	-	-	リザーブビット
6	-	-	-	リードすると不定値が読み出されます。ライトは無効です。
5	IRQAEC	0	R/W	P12/IRQAEC/AECPWM 端子機能切り替え 0 : P12 入出力端子として機能 1 : IRQAEC 入力または AECPWM 出力端子として機能
4	FTCI*	0	R/W	P11/AEVL/FTCI/IRQ1 端子機能切り替え 00 : P11 入出力端子として機能 01 : AEVL 入力端子として機能 1x : FTCI 入力端子として機能
3	AEVL*	0	R/W	
2	CLKOUT	0	R/W	P10/AEVH/FTIOA/TMOW/CLKOUT 端子機能切り替え 000 : P10 入出力端子および FTIOA 入出力端子として機能 001 : AEVH 入力端子として機能 01x : TMOW 端子として機能 100 : CLKOUT 出力端子 (osc) として機能 101 : CLKOUT 出力端子 (osc/2) として機能 110 : CLKOUT 出力端子 (osc/4) として機能 111 : 設定禁止
1	TMOW	0	R/W	
0	AEVH	0	R/W	

【注】 * PFCR の IRQ1S1、IRQ1S0 ビットが 10 のときは、本ビットに関係なく、IRQ1 入力端子として機能します。

x : Don't Care

8.1.5 端子機能

レジスタの設定値とポートの端子機能の関係は以下のとおりです。

- P12/IRQAEC/AECPWM

レジスタ名	PMR1	AEGSR	PCR1	端子機能
ビット名	IRQAEC	ECPWME	PCR12	
設定値	0	x	0	P12 入力端子
			1	P12 出力端子
	1	1	x	AECPWM 出力端子
			0	IRQAEC 入力端子

【注】 x : Don't Care

8. I/O ポート

• P11/AEVL/FTCI ($\overline{\text{IRQ1}}$)

レジスタ名	PFCR	PMR1		PCR1	端子機能
ビット名	IRQ1S1、IRQ1S0	FTCI	AEVL	PCR11	
設定値	B'10 以外	0	0	0	P11 入力端子
				1	P11 出力端子
		1	1	x	AEVL 入力端子
			x	x	FTCI 入力端子
	B'10	x	x	x	$\overline{\text{IRQ1}}$ 入力端子

【注】 x : Don't Care

• P10/AEVH/FTIOA/TMOW/CLKOUT

レジスタ名	PMR1			TIOR0			PCR1	端子機能			
ビット名	CLKOUT	TMOW	AEVH	IOA2	IOA1	IOA0	PCR10				
設定値	0	0	0	0	0	0	0	P10 入力端子			
							1	P10 出力端子			
							x	FTIOA 出力端子			
				1	0	x	x	x	x	1	FTIOA 出力端子
										0	P10 入力/FTIOA 入力端子
										1	P10 出力/FTIOA 入力端子
	1	x	x	x	x	x	x	AEVH 入力端子			
							1	TMOW 端子			
							0	CLKOUT 出力端子 (osc) *			
	1	0	0	x	x	x	x	1	CLKOUT 出力端子 (osc/2) *		
								0	CLKOUT 出力端子 (osc/4) *		

【注】 x : Don't Care

* CLKOUT 出力のクロック切り替え (osc、 osc/2、 osc/4) は、CLKOUT 出力を停止した状態 (CLKOUT=0) で設定してください。

システムクロック発振器が停止する低消費電力モード遷移時、出力レベルを保持します (スタンバイモードでは出力はハイインピーダンス)。

システムクロック発振器が停止する低消費電力モードからシステムクロック発振器が動作するアクティブモードに遷移する場合、遷移前に CLKOUT 出力を停止した状態 (CLKOUT = 0) に設定してください。

8.1.6 入力プルアップ MOS

ポート 1 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。PCR1 が 0 にクリアされている状態で PUCR1 に 1 をセットすると入力プルアップ MOS は ON 状態となります。また、入力プルアップ MOS はリセット時、OFF 状態になります。

(n=2~0)

PCR1n	0		1
PUCR1n	0	1	x
入力プルアップ MOS	OFF	ON	OFF

【注】 x : Don't care

8. I/Oポート

8.2 ポート3

ポート3は、SCI3/IrDAの入出力端子、コンパレータの基準電源端子と兼用の入出力ポートです。ポート3の各端子は、図8.2に示す構成になっています。

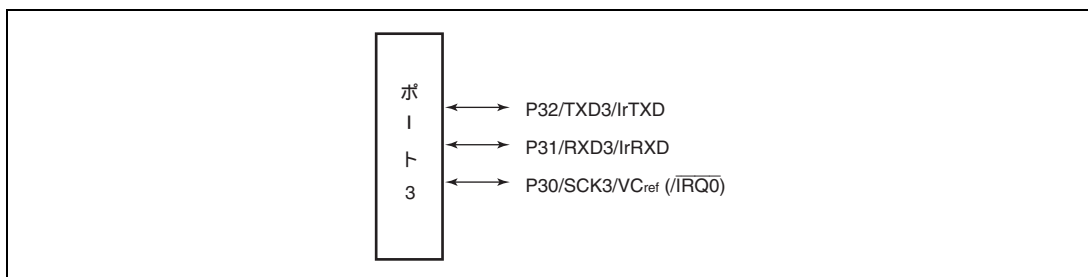


図8.2 ポート3の端子構成

ポート3には以下のレジスタがあります。

- ポートデータレジスタ3 (PDR3)
- ポートコントロールレジスタ3 (PCR3)
- ポートブルアップコントロールレジスタ3 (PUCR3)
- ポートモードレジスタ3 (PMR3)

8.2.1 ポートデータレジスタ3 (PDR3)

PDR3は、ポート3のデータを格納するレジスタです。

ビット	ビット名	初期値	R/W	説明
7-3	-	-	-	リザーブビット リードすると不定値が読み出されます。ライトは無効です。
2	P32	0	R/W	PCR3が1のとき、ポート3のリードを行うと、PDR3の値を直接リードします。そのため端子状態の影響を受けません。PCR3が0のとき、ポート3のリードを行うと、端子状態が読み出されます。
1	P31	0	R/W	
0	P30	0	R/W	

8.2.2 ポートコントロールレジスタ 3 (PCR3)

PCR3 は、ポート 3 の入出力をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7~3	-	-	-	リザーブビット リードすると不定値が読み出されます。ライトは無効です。
2 1 0	PCR32 PCR31 PCR30	0 0 0	W W W	PCR3 に 1 をセットすると対応する P32 ~ P30 端子は出力端子となり、0 にクリアすると入力端子となります。当該端子が汎用入出力に設定されている場合には、PCR3 および PDR3 の設定が有効となります。 本レジスタはライト専用です。リードした場合、各ビットは不定値が読み出されます。

8.2.3 ポートプルアップコントロールレジスタ 3 (PUCR3)

PUCR3 は、ポート 3 のプルアップ MOS をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7~3	-	-	-	リザーブビット リードすると不定値が読み出されます、ライトは無効です。
2 1 0	PUCR32 PUCR31 PUCR30	0 0 0	R/W R/W R/W	PCR3 が 0 の状態で PUCR3 に 1 をセットすると対応するプルアップ MOS は ON 状態となり、0 にクリアすると OFF 状態となります。

8.2.4 ポートモードレジスタ 3 (PMR3)

PMR3 は、ポート 3 の各端子機能の切り替えを制御します。

ビット	ビット名	初期値	R/W	説明
7~1	-	-	-	リザーブビット リードすると不定値が読み出されます。ライトは無効です。
0	VC _{ref}	0	R/W	P30/SCK3/VC _{ref} 端子機能切り替え 0 : P30 および SCK3 入出力端子として機能 1 : コンパレータ基準電源 (VC _{ref}) として機能

8. I/O ポート

8.2.5 端子機能

レジスタの設定値とポートの端子機能の関係は以下のとおりです。

- P32/TXD3/IrTXD

レジスタ名	SPCR	IrCR	PCR3	端子機能
ビット名	SPC3	IrE	PCR32	
設定値	0	x	0	P32 入力端子
			1	P32 出力端子
	1	0	x	TXD3 出力端子
		1	x	IrTXD 出力端子

【注】 x : Don't Care

- P31/RXD3/IrRXD

レジスタ名	SCR3	IrCR	PCR3	端子機能
ビット名	RE	IrE	PCR31	
設定値	0	x	0	P31 入力端子
			1	P31 出力端子
	1	0	x	RXD3 入力端子
		1	x	IrRXD 入力端子

【注】 x : Don't Care

- P30/SCK3/VC_{ref} ($\overline{\text{IRQ0}}$)

レジスタ名	PFCR	PMR3	SCR3		SMR3	PCR3	端子機能
ビット名	IRQ0S1、IRQ0S0	VC _{ref}	CKE1	CKE0	COM	PCR30	
設定値	B'10 以外	0	0	0	0	0	P30 入力端子
						1	P30 出力端子
					1	x	SCK3 出力端子
			1	x	SCK3 出力端子		
			1	x	SCK3 入力端子		
			1	x	VC _{ref} 端子		
	B'10	x	x	x	x	x	IRQ0 入力端子

【注】 x : Don't Care

8.2.6 入力プルアップ MOS

ポート 3 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。PCR3 が 0 にクリアされている状態で PUCR3 に 1 をセットすると入力プルアップ MOS は ON 状態となります。また、入力プルアップ MOS はリセット時、OFF 状態になります。

(n=2~0)

PCR3n	0		1
PUCR3n	0	1	x
入力プルアップ MOS	OFF	ON	OFF

【注】 x : Don't care

8.3 ポート 8

ポート 8 は、タイマ W の入出力端子と兼用の入出力ポートです。ポート 8 の端子は、図 8.3 に示す構成になっています。

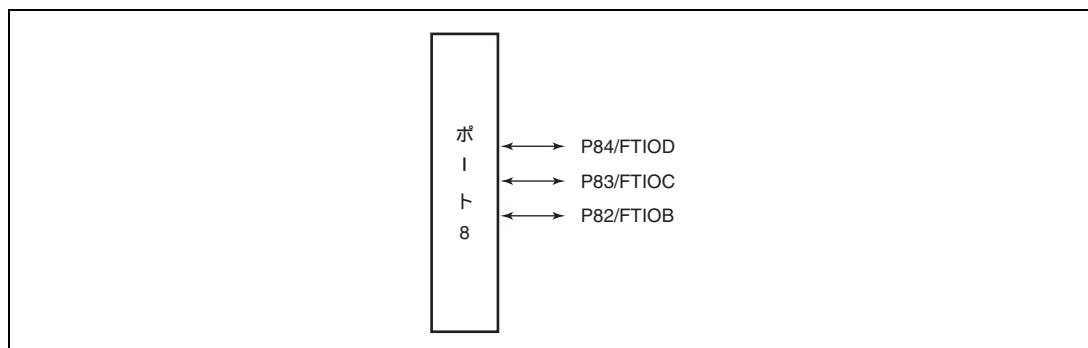


図 8.3 ポート 8 の端子構成

ポート 8 には以下のレジスタがあります。

- ポートデータレジスタ 8 (PDR8)
- ポートコントロールレジスタ 8 (PCR8)
- ポートプルアップコントロールレジスタ 8 (PUCR8)

8. I/O ポート

8.3.1 ポートデータレジスタ 8 (PDR8)

PDR8 は、ポート 8 の端子を格納するレジスタです。

ビット	ビット名	初期値	R/W	説 明
7~5	-	-	-	リザーブビット リードすると不定値が読み出されます。ライトは無効です。
4	P84	0	R/W	PCR8 が 1 のとき、ポート 8 のリードを行うと、PDR8 の値を直接リードします。そのため端子状態の影響を受けません。PCR8 が 0 のとき、ポート 8 のリードを行うと、端子状態が読み出されます。
3	P83	0	R/W	
2	P82	0	R/W	
1	-	-	-	リザーブビット
0	-	-	-	リードすると不定値が読み出されます。ライトは無効です。

8.3.2 ポートコントロールレジスタ 8 (PCR8)

PCR8 は、ポート 8 の入出力をビットごとに制御します。

ビット	ビット名	初期値	R/W	説 明
7~5	-	-	-	リザーブビット リードすると不定値が読み出されます。ライトは無効です。
4	PCR84	0	W	PCR8 に 1 をセットすると対応する P84 ~ P82 端子は出力端子となり、0 にクリアすると入力端子となります。当該端子が汎用入出力に設定されている場合には、PCR8 および PDR8 の設定が有効となります。 本レジスタはライト専用です。リードした場合各ビットは不定値が読み出されます。
3	PCR83	0	W	
2	PCR82	0	W	
1	-	-	-	リザーブビット
0	-	-	-	リードすると不定値が読み出されます。ライトは無効です。

8.3.3 ポートプルアップコントロールレジスタ 8 (PUCR8)

PUCR8 は、ポート 8 のプルアップ MOS をビットごとに制御します。

ビット	ビット名	初期値	R/W	説 明
7~5	-	-	-	リザーブビット リードすると不定値が読み出されます。ライトは無効です。
4	PUCR84	0	R/W	PCR8 が 0 の状態で PUCR8 に 1 をセットすると対応するプルアップ MOS は ON 状態となり、0 にクリアすると OFF 状態となります。
3	PUCR83	0	R/W	
2	PUCR82	0	R/W	
1	-	-	-	リザーブビット
0	-	-	-	リードすると不定値が読み出されます。ライトは無効です。

8.3.4 端子機能

レジスタの設定値とポートの端子機能の関係は以下のとおりです。

- P84/FTIOD

レジスタ名	TMRW	TIOR1			PCR8	端子機能
ビット名	PWMD	IOD2	IOD1	IOD0	PCR84	
設定値	0	0	0	0	0	P84 入力端子
					1	P84 出力端子
			x	FTIOD 出力端子		
		1	x	FTIOD 出力端子		
	1	1	x	x	0	P84 入力/FTIOD 入力端子
					1	P84 出力/FTIOD 入力端子
	1	x	x	x	x	FTIOD 出力端子

【注】x : Don't Care

- P83/FTIOC

レジスタ名	TMRW	TIOR1			PCR8	端子機能
ビット名	PWMC	IOC2	IOC1	IOC0	PCR83	
設定値	0	0	0	0	0	P83 入力端子
					1	P83 出力端子
			x	FTIOC 出力端子		
		1	1	x	x	0
	1					P83 出力/FTIOC 入力端子
	1	x	x	x	x	FTIOC 出力端子

【注】x : Don't Care

- P82/FTIOB

レジスタ名	TMRW	TIOR0			PCR8	端子機能
ビット名	PWMB	IOB2	IOB1	IOB0	PCR82	
設定値	0	0	0	0	0	P82 入力端子
					1	P82 出力端子
			x	FTIOB 出力端子		
		1	1	x	x	0
	1					P82 出力/FTIOB 入力端子
	1	x	x	x	x	FTIOB 出力端子

【注】x : Don't Care

8. I/O ポート

8.3.5 入力プルアップ MOS

ポート 8 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。PCR8 が 0 にクリアされている状態で PUCR8 に 1 をセットすると入力プルアップ MOS は ON 状態となります。また、入力プルアップ MOS はリセット時、OFF 状態になります。

(n=4~2)

PCR8n	0		1
PUCR8n	0	1	x
入力プルアップ MOS	OFF	ON	OFF

【注】 x : Don't Care

8.4 ポート 9

ポート 9 は、SSU 入出力端子、割り込み入力端子と兼用の入出力ポートです。ポート 9 の各端子は、図 8.4 に示す構成になっています。

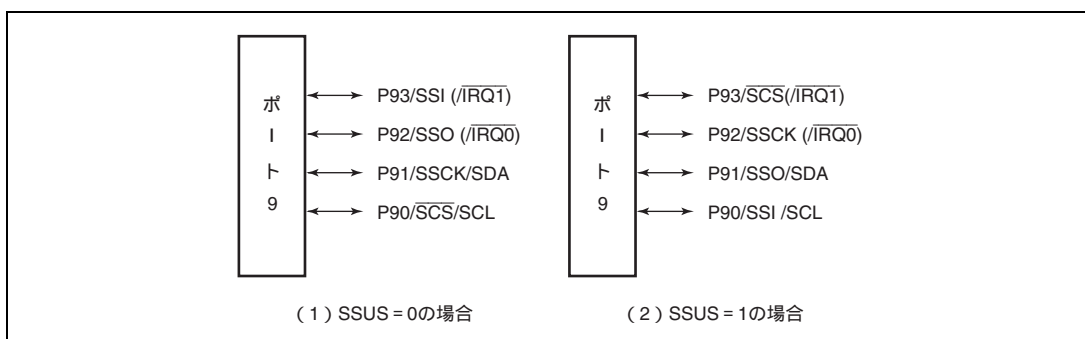


図 8.4 ポート 9 の端子構成

ポート 9 には以下のレジスタがあります。

- ポートデータレジスタ9 (PDR9)
- ポートコントロールレジスタ9 (PCR9)
- ポートオープンドレインコントロールレジスタ9 (PODR9)
- ポートプルアップコントロールレジスタ9 (PUCR9)

8.4.1 ポートデータレジスタ 9 (PDR9)

PDR9 は、ポート 9 のデータを格納するレジスタです。

ビット	ビット名	初期値	R/W	説明
7~4	-	-	-	リザーブビット リードすると不定値が読み出されます。ライトは無効です。
3	P93	0	R/W	PCR9 が 1 のとき、ポート 9 のリードを行うと、PDR9 の値を直接リードします。そのため端子状態の影響を受けません。PCR9 が 0 のとき、ポート 9 のリードを行うと、端子状態が読み出されます。
2	P92	0	R/W	
1	P91	0	R/W	
0	P90	0	R/W	

8.4.2 ポートコントロールレジスタ 9 (PCR9)

PCR9 は、ポート 9 の入出力をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7~4	-	-	-	リザーブビット リードすると不定値が読み出されます。ライトは無効です。
3	PCR93	0	W	PCR9 に 1 をセットすると対応する端子は出力端子となり、0 にクリアすると入力端子となります。当該端子が汎用入出力に設定されている場合には、PCR9 および PDR9 の設定が有効となります。 本レジスタはライト専用です。リードした場合各ビットは不定値が読み出されます
2	PCR92	0	W	
1	PCR91	0	W	
0	PCR90	0	W	

8.4.3 ポートオープンドレインコントロールレジスタ 9 (PODR9)

PODR9 は、ポート 9 の端子の出力形態を選択します。

ビット	ビット名	初期値	R/W	説明
7~4	-	-	-	リザーブビット リードすると不定値が読み出されます。ライトは無効です。
3	P93ODR	0	R/W	P93ODR ~ P90ODR の各ビットを 1 をセットすると P93 ~ P90 の各端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力となります。
2	P92ODR	0	R/W	
1	P91ODR	0	R/W	
0	P90ODR	0	R/W	

8. I/Oポート

8.4.4 ポートプルアップコントロールレジスタ9 (PUCR9)

PICR9は、ポート9のプルアップMOSをビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7~4	-	-	-	リザーブビット リードすると不定値が読み出されます。ライトは無効です。
3	PUCR93	0	R/W	PCR9が0の状態ではPUCR9に1をセットすると対応するプルアップMOSはON状態となり、0にクリアするとOFF状態となります。
2	PUCR92	0	R/W	
1	PUCR91	0	R/W	
0	PUCR90	0	R/W	

8.4.5 端子機能

レジスタの設定値とポートの端子機能の関係は以下のとおりです。

なお、ポート9の使用においては、以下の点にご注意ください。

1. IIC2を使用する場合はSSUの設定はしないでください。
2. SSUを使用する場合はIIC2のICEビットは必ず0にしてください。
3. SSUの通信データ (SSIおよびSSO) となる端子に対するポートの設定はしないでください。
4. SSUのSSCRHレジスタのSOOSビットで通信データ (SSIおよびSSO) となる端子をオープンドレイン出力に設定した場合、SSERレジスタのTE、REビットに関係なく、オープンドレイン出力となります。

• P93/SSI ($\overline{\text{IRQ1}}$)

レジスタ名	PFCR		PCR9	端子機能
	ビット名	IRQ1S1、IRQ1S0	SSUS	
設定値	B'01 以外	x	0	P93 入力端子
			1	P93 出力端子
		0	x	SSI 入出力端子
		1	x	$\overline{\text{SCS}}$ 入出力端子
	B'01	x	x	$\overline{\text{IRQ1}}$ 入力端子

【注】x : Don't Care

SSI/ $\overline{\text{SCS}}$ 端子として使用する場合、SSUのレジスタ設定も必要です。詳細は「15.4.4 各通信モードと端子機能」および「付録B.3 ポート9関連レジスタの設定と各端子の機能」を参照してください。

- P92/SSO ($\overline{\text{IRQ0}}$)

レジスタ名	PFCR		PCR9	端子機能
ビット名	IRQ0S1、IRQ0S0	SSUS	PCR92	
設定値	B'01 以外	x	0	P92 入力端子
			1	P92 出力端子
		0	x	SSO 入出力端子
		1	x	SSCK 入出力端子
	B'01	x	x	$\overline{\text{IRQ0}}$ 入力端子

【注】x : Don't Care

SSO/SSCK 端子として使用する場合、SSU のレジスタ設定も必要です。詳細は「15.4.4 各通信モードと端子機能」および「付録 B.3 ポート 9 関連レジスタの設定と各端子の機能」を参照してください。

- P91/SSCK/SDA

レジスタ名	PFCR	PCR9	端子機能
ビット名	SSUS	PCR91	
設定値	x	0	P91 入力端子
		1	P91 出力端子
	0	x	SSCK 入出力端子
	1	x	SSO 入出力端子
	x	x	SDA 出力端子

【注】x : Don't Care

SSO/SSCK 端子として使用する場合、SSU のレジスタ設定も必要です。詳細は「15.4.4 各通信モードと端子機能」および「付録 B.3 ポート 9 関連レジスタの設定と各端子の機能」を参照してください。SDA 端子として使用するには、IIC2 のレジスタ設定も必要です。詳細は「16.3.1 I²C バスコントロールレジスタ 1 (ICCR1)」を参照してください。
なお、端子機能が競合した場合の優先順位は、SSU 端子>IIC2 端子>P91 となります。

- P90/ $\overline{\text{SCS}}$ /SCL

レジスタ名	PFCR	PCR9	端子機能
ビット名	SSUS	PCR90	
設定値	x	0	P90 入力端子
		1	P90 出力端子
	0	x	$\overline{\text{SCS}}$ 入出力端子
	1	x	SSI 入出力端子
	x	x	SCL 出力端子

【注】x : Don't Care

$\overline{\text{SCS}}$ /SSI 端子として使用する場合、SSU のレジスタ設定も必要です。詳細は「15.4.4 各通信モードと端子機能」および「付録 B.3 ポート 9 関連レジスタの設定と各端子の機能」を参照してください。SDA 端子として使用するには、IIC2 のレジスタ設定も必要です。詳細は「16.3.1 I²C バスコントロールレジスタ 1 (ICCR1)」を参照してください。
なお、端子機能が競合した場合の優先順位は、SSU 端子>IIC2 端子>P90 となります。

8. I/O ポート

8.4.6 入力プルアップ MOS

ポート 9 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。PCR9 が 0 にクリアされている状態で PUCR9 に 1 をセットすると入力プルアップ MOS は ON 状態となります。また、入力プルアップ MOS はリセット時、OFF 状態になります。

(n=3~0)

PCR9n	0		1
PUCR9n	0	1	x
入力プルアップ MOS	OFF	ON	OFF

【注】x : Don't Care

8.5 ポート B

ポート B は、割り込み入力端子、アナログ入力端子と兼用の入力専用ポートです。ポート B の各端子は、図 8.5 に示す構成になっています。

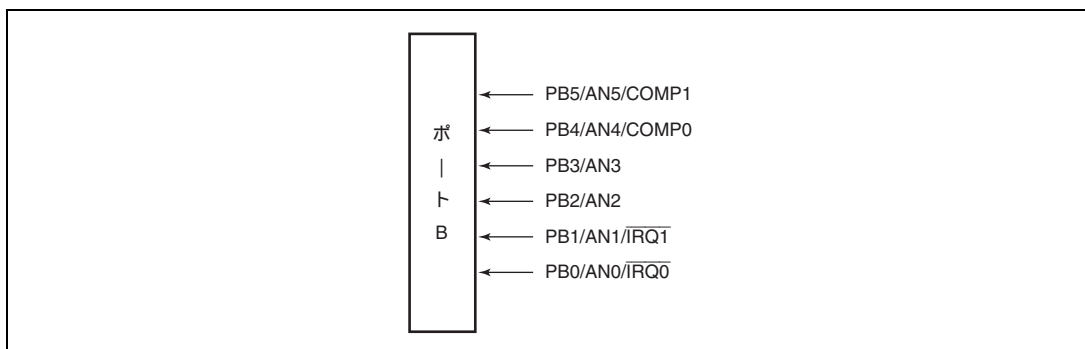


図 8.5 ポート B の端子構成

ポート B には以下のレジスタがあります。

- ポートデータレジスタ B (PDRB)
- ポートモードレジスタ B (PMRB)

8.5.1 ポートデータレジスタ B (PDRB)

PDRB は、ポート B のデータを格納するレジスタです。

ビット	ビット名	初期値	R/W	説明
7	-	不定	-	リザーブビット
6	-	不定	-	リードすると不定値が読み出されます。ライトは無効です。
5	PB5	不定	R	PDRB をリードすると常に各端子の状態が読み出されます。ただし、A/D 変換器の AMR の CH3 ~ CH0 によりアナログ入力チャネルが選択されている端子をリードすると入力電圧に関係なく 0 が読み出されます。
4	PB4	不定	R	
3	PB3	不定	R	
2	PB2	不定	R	
1	PB1	不定	R	
0	PB0	不定	R	

8.5.2 ポートモードレジスタ B (PMRB)

PMRB は、ポート B 端子機能の切り替えを制御します。

ビット	ビット名	初期値	R/W	説明
7~4	-	-	-	リザーブビット リードすると不定値が読み出されます。ライトは無効です。
3	ADTSTCHG	0	R/W	TEST/ADTRG 端子機能切り替え TEST/ADTRG 端子を TEST 端子として使用するか、ADTRG 端子として使用するか設定します。 0 : TEST 端子として機能 1 : ADTRG 入力端子として機能 ADTRG 入力端子の設定については「17.4.2 外部トリガタイミング」を参照してください。
2	-	-	-	リザーブビット リードすると不定値が読み出されます。ライトは無効です。
1	IRQ1	0	R/W	PB1/AN1/IRQ1 端子切り替え PB1/AN1/IRQ1 端子を PB1/AN1 端子として使用するか、IRQ1 端子として使用するか設定します。 0 : PB1/AN1 入力端子として機能 1 : IRQ1 入力端子として機能*
0	IRQ0	0	R/W	PB0/AN0/IRQ0 端子切り替え PB0/AN0/IRQ0 端子を PB0/AN0 端子として使用するか、IRQ0 端子として使用するか設定します。 0 : PB0/AN0 入力端子として機能 1 : IRQ0 入力端子として機能*

【注】 * PFCR の IRQnS1、IRQnS0 (n=1, 0) が B'00 以外のときは、IRQ 端子が他のポートに割り当てられるため、設定しないでください。

8. I/O ポート

8.5.3 端子機能

レジスタの設定値とポートの端子機能の関係は以下のとおりです。

- PB5/AN5/COMP1

レジスタ名	AMR	端子機能
ビット名	CH3 ~ CH0	
設定値	B'1001 以外	PB5/COMP1 入力端子
	B'1001	AN5 入力端子

- PB4/AN4/COMP0

レジスタ名	AMR	端子機能
ビット名	CH3 ~ CH0	
設定値	B'1000 以外	PB4/COMP0 入力端子
	B'1000	AN4 入力端子

- PB3/AN3

レジスタ名	AMR	端子機能
ビット名	CH3 ~ CH0	
設定値	B'0111 以外	PB3 入力端子
	B'0111	AN3 入力端子

- PB2/AN2

レジスタ名	AMR	端子機能
ビット名	CH3 ~ CH0	
設定値	B'0110 以外	PB2 入力端子
	B'0110	AN2 入力端子

- PB1/AN1/ $\overline{\text{IRQ1}}$

レジスタ名	PMRB	AMR	PFCR	端子機能	
ビット名	IRQ1	CH3 ~ CH0	IRQ1S1、IRQ1S0		
設定値	0	B'0101 以外	B'xx	PB1 入力端子	
		B'0101	B'xx	AN1 入力端子	
	1	B'xxxx	B'00	B'00	$\overline{\text{IRQ1}}$ 入力端子
			B'00 以外	B'00 以外	設定禁止

【注】 x : Don't Care

- PB0/AN0/ $\overline{\text{IRQ0}}$

レジスタ名	PMRB	AMR	PFCR	端子機能
ビット名	IRQ0	CH3 ~ CH0	IRQ0S1、IRQ0S0	
設定値	0	B'0100 以外	B'xx	PB0 入力端子
		B'0100	B'xx	AN0 入力端子
	1	B'xxxx	B'00	$\overline{\text{IRQ0}}$ 入力端子
			B'00 以外	設定禁止

【注】x : Don't Care

8.6 入出力データの反転

8.6.1 シリアルポートコントロールレジスタ (SPCR)

SPCR は、RXD3 端子 (IrRXD 端子) と TXD3 端子 (IrTXD 端子) の入出力データ反転切り替えを行います。

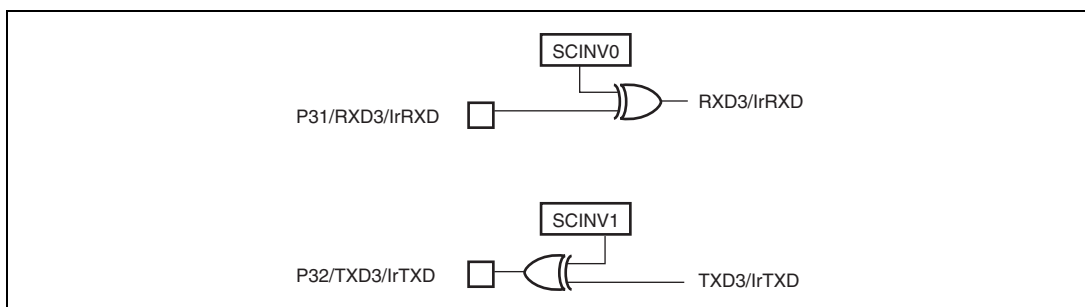


図 8.6 入出力データ反転機能

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 0	-	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
4	SPC3	0	R/W	P32/TXD3/IrTXD 端子切り替え P32/TXD3/IrTXD 端子を P32 端子として使用するか TXD3/IrTXD 端子として使用するかを設定します。 0 : P32 入出力端子として機能 1 : TXD3/IrTXD 出力端子として機能* 【注】* 本ビットを 1 に設定した後に SCR3 の TE ビットを設定してください。
3	-	0	R/W	リザーブビット
2	-	0	R/W	リードすると常に 0 が読み出されます。ライトは無効です。

8. I/O ポート

ビット	ビット名	初期値	R/W	説明
1	SCINV1	0	R/W	TXD3/IrTXD 端子出力データ反転切り替え TXD3/IrTXD 端子の出力データのロジックレベルを反転するか、しないかの切り替えを設定します。 0 : TXD3/IrTXD 端子の出力データを反転しない 1 : TXD3/IrTXD 端子の出力データを反転する
0	SCINV0	0	R/W	RXD3/IrRXD 端子入力データ反転切り替え RXD3/IrRXD 端子の入力データのロジックレベルを反転するか、しないかの切り替えを設定します。 0 : RXD3/IrRXD 端子の入力データを反転しない 1 : RXD3/IrRXD 端子の入力データを反転する

【注】 シリアルポートコントロールレジスタを書き換えると、それまで入力または出力されていたデータを書き換えた直後に反転され、有効ではないデータの変化が入出力されます。シリアルポートコントロールレジスタを書き換える際には、データ変化を無効にする状態で、書き換えてください。

8.6.2 ポート機能コントロールレジスタ (PFCR)

PFCR は、SSU の端子割り当て変更、 $\overline{IRQ0}$ 、 $\overline{IRQ1}$ の入力端子を他のポートに割り当てる機能です。

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 0	-	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
4	SSUS	0	R/W	SSU 端子セレクト SSU 端子の割り当てを変更します。 0 : SSI は P93 に割り当て SSO は P92 に割り当て SSCK は P91 に割り当て \overline{SCS} は P90 に割り当て 1 : SSI は P90 に割り当て SSO は P91 に割り当て SSCK は P92 に割り当て \overline{SCS} は P93 に割り当て
3	IRQ1S1	0	R/W	IRQ1 セレクト 1、0 00 : $\overline{IRQ1}$ は PB1 から入力 01 : $\overline{IRQ1}$ は P93 から入力 10 : $\overline{IRQ1}$ は P11 から入力 11 : 設定禁止
2	IRQ1S0	0	R/W	

ビット	ビット名	初期値	R/W	説明
1	IRQ0S1	0	R/W	IRQ0 セレクト 1、0 00 : $\overline{\text{IRQ0}}$ は PB0 から入力 01 : $\overline{\text{IRQ0}}$ は P92 から入力 10 : $\overline{\text{IRQ0}}$ は P30 から入力 11 : 設定禁止
0	IRQ0S0	0	R/W	

8.7 使用上の注意事項

8.7.1 未使用端子の処理

ユーザシステムで使用していない入出力端子がフローティングの場合、フローティング端子はプルアップまたはプルダウンしてください。

- 未使用端子が入力設定の場合は下記のいずれかの設定にしてください。

1. 内蔵プルアップMOSでVccにプルアップ
2. 外部に100k 程度の抵抗をつけてVccにプルアップ
3. 外部に100k 程度の抵抗をつけてVssにプルダウン
4. A/D変換器の端子と兼用している端子は、外部に100k 程度の抵抗をつけてAVccにプルアップ

- 未使用端子が出力設定の場合は下記のいずれかの設定にしてください。

1. 未使用端子をHighレベル出力にし、外部に100k 程度の抵抗をつけてVccにプルアップ
2. 未使用端子をLowレベル出力にし、外部に100k 程度の抵抗をつけてGNDにプルダウン

8.7.2 端子機能による入力特性の相違について

$\overline{\text{IRQ0}}$ 、 $\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQAEC}}$ 、 $\overline{\text{AEVL}}$ 、 $\overline{\text{AEVH}}$ 、 $\overline{\text{SCK3}}$ 、 $\overline{\text{FTIOA}} \sim \text{D}$ 、 $\overline{\text{FTCI}}$ 、 $\overline{\text{SSCK}}$ 、 $\overline{\text{SCS}}$ 、 $\overline{\text{SDA}}$ 、 $\overline{\text{SCL}}$ の端子機能を選択した場合はシュミットトリガ入力特性となりますので、ポート入力端子として使用した場合と入力特性が異なります。

例えば、PB0/AN0/ $\overline{\text{IRQ0}}$ 端子の入力 High レベル電圧 / 入力 Low レベル電圧は、PB0 入力として使用する場合と、 $\overline{\text{IRQ0}}$ 入力として使用する場合は、それぞれ異なる特性となります。各特性については表 21.2 および表 21.13 を参照してください。

9. タイマ B1

タイマ B1 は、入力クロックによりカウントアップする 8 ビットのタイマです。タイマ B1 の機能は、インターバル機能、オートリロード機能の 2 種類です。タイマ B1 のブロック図を図 9.1 に示します。

9.1 特長

- クロック選択：8種類

8種類の内部クロック（ $f/8192$ 、 $f/2048$ 、 $f/256$ 、 $f/64$ 、 $f/16$ 、 $f/4$ 、 $w/1024$ 、 $w/256$ ）の選択が可能。

- カウンタのオーバーフローで割り込みを発生
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能
（初期値ではタイマB1の動作は停止。詳細は「5.4 モジュールスタンバイ機能」を参照してください。）

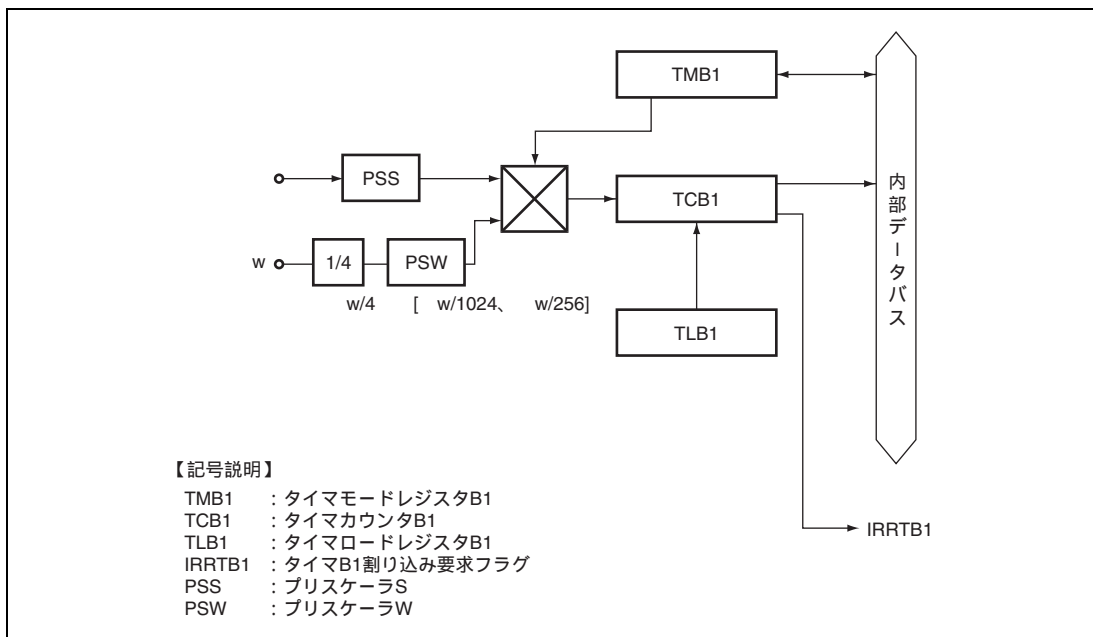


図 9.1 タイマ B1 ブロック図

9. タイマ B1

9.2 レジスタの説明

タイマ B1 には以下のレジスタがあります。

- タイマモードレジスタ B1 (TMB1)
- タイマカウンタ B1 (TCB1)
- タイマロードレジスタ B1 (TLB1)

9.2.1 タイマモードレジスタ B1 (TMB1)

TMB1 はオートリロード機能の選択、および入力クロックの選択を行います。

ビット	ビット名	初期値	R/W	説明
7	TMB17	0	R/W	オートリロード機能選択 0: インターバル機能を選択 1: オートリロード機能を選択
6	TMB16	0	R/W	カウンタの動作または停止を選択 0: カウンタ停止 1: カウンタ動作
5-3	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。
2	TMB12	0	R/W	カウントクロックを選択
1	TMB11	0	R/W	000: 内部クロック /8192 でカウント
0	TMB10	0	R/W	001: 内部クロック /2048 でカウント 010: 内部クロック /256 でカウント 011: 内部クロック /64 でカウント 100: 内部クロック /16 でカウント 101: 内部クロック /4 でカウント 110: 内部クロック w/1024 でカウント 111: 内部クロック w/256 でカウント

9.2.2 タイマカウンタ B1 (TCB1)

TCB1 は 8 ビットのリード可能なアップカウンタで、入力する内部クロックによりカウントアップされます。入力するクロックは、TMB1 の TMB12 ~ TMB10 により選択します。TCB1 の値は、CPU からリードできます。TCB1 がオーバーフロー (H'FF H'00 または H'FF TLB1 の設定値) すると、IRR2 の IRRTB1 フラグが 1 にセットされます。TCB1 は、TLB1 と同一のアドレスに割り付けられます。TCB1 の初期値は H'00 です。

9.2.3 タイマロードレジスタ B1 (TLB1)

TLB1 は 8 ビットのライト専用レジスタで、TCB1 のリロード値を設定します。TLB1 へのリロード値の設定は必ず TMB1 の TMB16 が 0 のときに行ってください。TLB1 にリロード値を設定すると、同時にその値は TCB1 にもロードされ、TCB1 はその値からカウントアップを開始します。またオートリロード動作時に TCB1 がオーバーフローすると、TCB1 に TLB1 の値がロードされます。したがって、オーバーフロー周期を 1 ~ 256 入力クロックの範囲で設定することができます。TLB1 は、TCB1 と同一のアドレスに割り付けられています。TLB1 の初期値は H'00 です。

9.3 使用方法

図 9.2 にリセット後のタイマ B1 の初期設定フローを、図 9.3 にカウント動作中に設定を変更する場合の処理フローをそれぞれ示します。図に示すように、タイマ B1 の動作を設定する場合は必ず TMB1 の TMB16 ビットが 0 の状態で実施してください。TMB1 の TMB16 ビットが 1 の状態で設定した動作は保証されませんのでご注意ください。

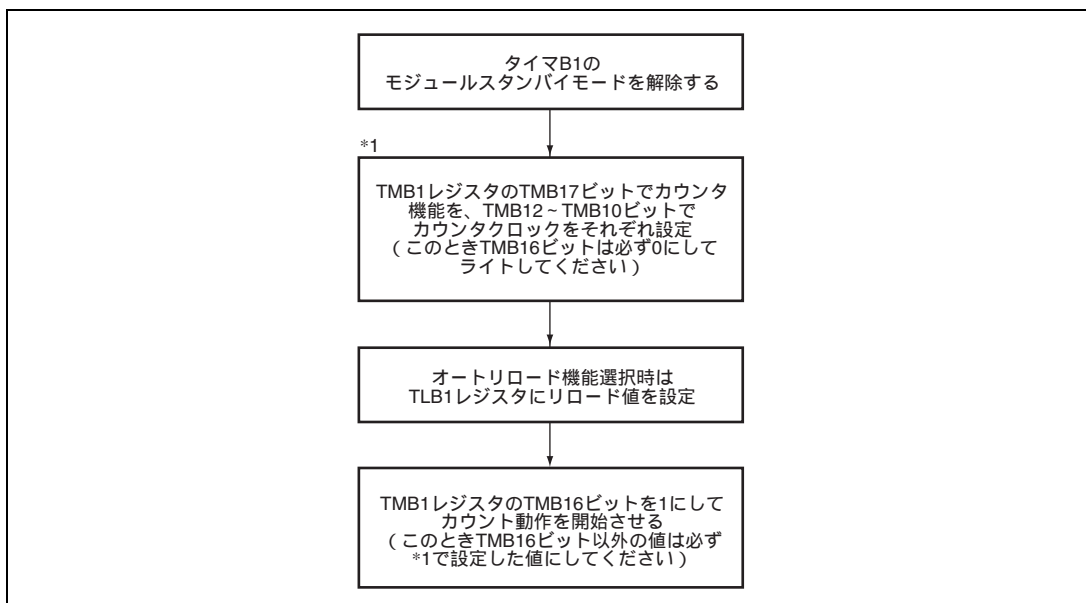


図 9.2 タイマ B1 初期設定フロー

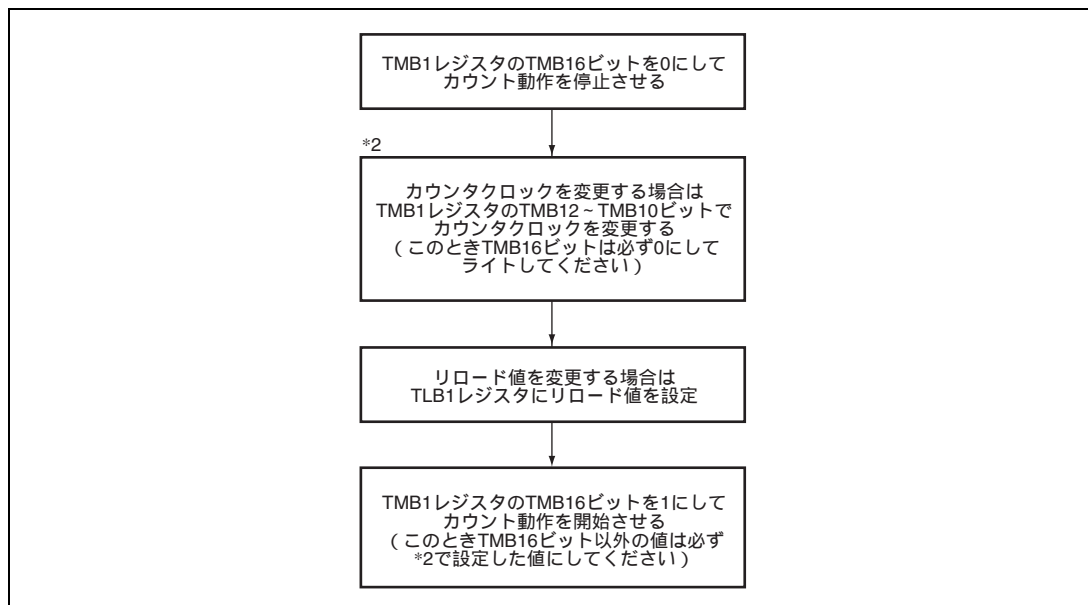


図 9.3 カウンタ動作中に設定を変更する場合の処理フロー

9.4 動作説明

9.4.1 インターバルタイマの動作

TMB1 の TMB17 を 0 にクリアすると、タイマ B1 は 8 ビットのインターバルタイマとして動作します。リセット時、TCB1 は H'00、TMB17 は 0 にクリアされるため、リセット直後はインターバルタイマ機能が選択されています。タイマ B1 の動作クロックは TMB1 の TMB12 ~ TMB10 によって、プリスケアラ S またはプリスケアラ W の出力する 8 種類の内部クロックを選択できます。

TMB1 の TMB16 に 1 を設定してカウンタの動作を開始させ、TMB1 のカウント値が H'FF になった後にクロックが入力されると、タイマ B1 はオーバフローして IRR2 の IRRTB1 フラグが 1 にセットされます。このときに IENR2 の IENTB1 が 1 ならば CPU に割り込みを要求します。

オーバフロー時には TCB1 のカウント値は H'00 に戻り、再びカウントアップを開始します。インターバルタイマ動作 (TMB17=0) を選択している場合でも TMB1 の TMB16 が 0 のときに TLB1 を設定すると、同時に TCB1 にも TLB1 の値をロードします。

9.4.2 オートリロードタイマの動作

TMB1 の TMB17 を 1 にセットすると、タイマ B1 は 8 ビットのオートリロードタイマとして機能します。TMB1 の TMB16 が 0 のときに TLB1 にリロード値を設定すると、同時にその値が TCB1 にロードされます。TMB1 の TMB16 に 1 を設定してカウンタの動作を開始させ、TCB1 のカウント値が H'FF になった後にクロックが入力されると、タイマ B1 はオーバフローし、TLB1 の値が TCB1 にロードされて、その値からカウントアップを続けます。したがって、TLB1 の値によってオーバフロー周期を 1 ~ 256 入力クロックの範囲で設定できます。

オートリロード動作時のクロックおよび割り込みについては、インターバル動作時と同様です。なおオートリロード動作時 (TMB17=1) に TLB1 の値を再設定したい場合は、TMB1 の TMB16 を 0 にしてから、再設定してください。

9.5 タイマ B1 の動作モード

タイマ B1 の動作モードを表 9.1 に示します。

表 9.1 タイマ B1 の動作モード

クロックソース	アクティブ		スリープ		ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	発振安定期間		
	高速	中速	高速	中速					スタンバイ→ アクティブ	サブアクティブ →アクティブ	ウォッチ→ アクティブ
w/256、 w/1024								x	x		
/4、 /16、 /64、 /256、 /2048、 /8192、					x	x	x	x	x	x	x

【記号説明】

: カウント動作可 x : カウント動作不可 (カウンタ値保持)

10. タイマ W

タイマ W は、アウトプットコンペア機能、インプットキャプチャ機能を内蔵した 16 ビットのタイマです。外部イベントのカウンタが可能のほか、タイマカウンタと 4 本のジェネラルレジスタのコンペアマッチ信号による任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

10.1 特長

- カウンタ入力クロック：8種類
7種類の内部クロック（、 /2、 /4、 /8、 w、 w/4、 w/16）または外部クロック（外部イベントカウンタ）
- 最大4本のパルス入出力処理が可能
- ジェネラルレジスタ：4本
独立にアウトプットコンペアレジスタまたはインプットキャプチャレジスタとして設定可能
アウトプットコンペア/インプットキャプチャレジスタのバッファレジスタとしても使用可能
- タイマ入出力機能
アウトプットコンペア：0出力/1出力/トグル出力が可能
インプットキャプチャ：立ち上がりエッジ/立ち下がりエッジ/両エッジを検出
カウンタクリア機能：カウンタの周期設定が可能
PWMモード：最大3相のPWM出力が可能
- タイマ出力初期値を任意に設定可能
- 5種類の割り込み要因
コンペアマッチ/インプットキャプチャ兼用割り込み×4要因、オーバフロー割り込み
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能
（初期値ではタイマWの動作は停止。詳細は「5.4 モジュールスタンバイ機能」を参照してください。）

タイマ W の機能一覧を表 10.1 に、タイマ W のブロック図を図 10.1 に示します。

10. タイマ W

表 10.1 タイマ W 機能一覧

項 目	カウンタ	入出力端子			
		FTIOA	FTIOB	FTIOC	FTIOD
カウントクロック	内部クロック： 、 /2、 /4、 /8、 w、 w/4、 w/16 外部クロック： FTCl				
ジェネラルレジスタ (アウトプットコンペア/ インプットキャプチャ兼用 レジスタ)	周期設定は GRA	GRA	GRB	GRC バッファ動作時 GRAのバッファ レジスタ	GRD バッファ動作時 GRBのバッファ レジスタ
カウンタクリア機能	GRAの コンペアマッチ	GRAの コンペアマッチ	-	-	-
出力初期値設定機能	-				
バッファ動作	-			-	-
コンペア マッチ出力	0出力	-			
	1出力	-			
	トグル出力	-			
インプットキャプチャ機能	-				
PWM モード	-	-			
割り込み要因	オーバフロー	コンペアマッチ /インプットキ ャプチャ	コンペアマッチ /インプットキ ャプチャ	コンペアマッチ /インプットキ ャプチャ	コンペアマッチ /インプットキ ャプチャ

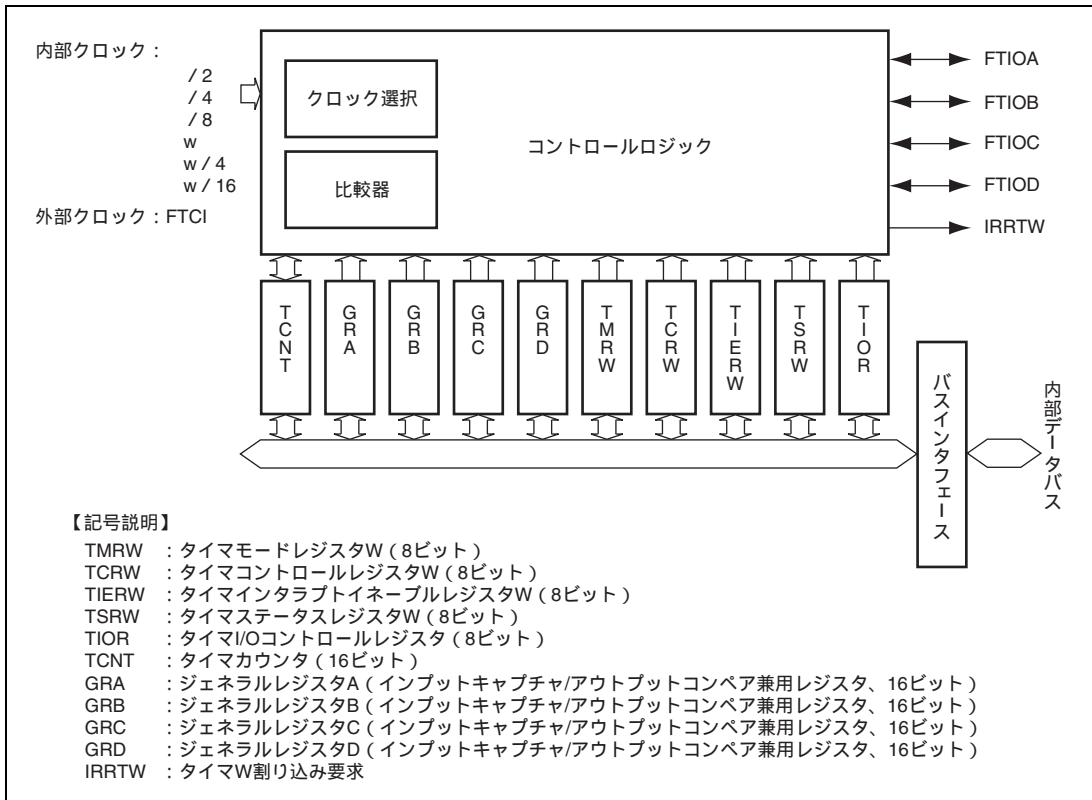


図 10.1 タイマ W のブロック図

10.2 入出力端子

タイマ W の端子構成を表 10.2 に示します。

表 10.2 端子構成

名称	略称	入出力	機能
外部クロック入力	FTCI	入力	外部クロック入力端子
インプットキャプチャ/ アウトプットコンペア A	FTIOA	入出力	GRA アウトプットコンペア出力/ GRA インプットキャプチャ入力端子
インプットキャプチャ/ アウトプットコンペア B	FTIOB	入出力	GRB アウトプットコンペア出力/ GRB インプットキャプチャ入力/ PWM 出力端子 (PWM モード時)
インプットキャプチャ/ アウトプットコンペア C	FTIOC	入出力	GRC アウトプットコンペア出力/ GRC インプットキャプチャ入力/ PWM 出力端子 (PWM モード時)
インプットキャプチャ/ アウトプットコンペア D	FTIOD	入出力	GRD アウトプットコンペア出力/ GRD インプットキャプチャ入力/ PWM 出力端子 (PWM モード時)

10.3 レジスタの説明

タイマ W には以下のレジスタがあります。

- タイマモードレジスタ W (TMRW)
- タイマコントロールレジスタ W (TCRW)
- タイマインタラプトイネーブルレジスタ W (TIERW)
- タイマステータスレジスタ W (TSRW)
- タイマ I/O コントロールレジスタ 0 (TIOR0)
- タイマ I/O コントロールレジスタ 1 (TIOR1)
- タイマカウンタ (TCNT)
- ジェネラルレジスタ A (GRA)
- ジェネラルレジスタ B (GRB)
- ジェネラルレジスタ C (GRC)
- ジェネラルレジスタ D (GRD)

10.3.1 タイマモードレジスタ W (TMRW)

TMRW はジェネラルレジスタの機能やタイマの出力モードなどを選択します。

ビット	ビット名	初期値	R/W	説明
7	CTS	0	R/W	カウンタスタート このビットが0のとき TCNT はカウント動作を停止し、1のときカウント動作を行います。
6		1		リザーブビット 読み出すと常に1が読み出されます。
5	BUFEB	0	R/W	バッファ動作 B GRD の機能を選択します。 0: インพุットキャプチャ/アウトプットコンペアレジスタとして動作 1: GRB のバッファレジスタとして動作
4	BUFEA	0	R/W	バッファ動作 A GRC の機能を選択します。 0: インพุットキャプチャ/アウトプットコンペアレジスタとして動作 1: GRA のバッファレジスタとして動作
3		1		リザーブビット 読み出すと常に1が読み出されます。
2	PWMD	0	R/W	PWM モード D FTIOD 端子の出力モードを選択します。 0: 通常のアウトプットコンペア出力 1: PWM 出力
1	PWMC	0	R/W	PWM モード C FTIOC 端子の出力モードを選択します。 0: 通常のアウトプットコンペア出力 1: PWM 出力
0	PWMB	0	R/W	PWM モード B FTIOB 端子の出力モードを選択します。 0: 通常のアウトプットコンペア出力 1: PWM 出力

10. タイマ W

10.3.2 タイマコントロールレジスタ W (TCRW)

TCRW は TCNT のカウンタクロックの選択、カウンタのクリア条件やタイマの出力レベルの設定を選択します。

ビット	ビット名	初期値	R/W	説明
7	CCLR	0	R/W	カウンタクリア このビットが 1 のときコンペアマッチ A によって TCNT がクリアされます。0 のときは TCNT はフリーランニングカウンタとして動作します。
6	CKS2	0	R/W	クロックセレクト 2~0 TCNT に入力するクロックを選択します。 000: 内部クロック をカウント 001: 内部クロック /2 をカウント 010: 内部クロック /4 をカウント 011: 内部クロック /8 をカウント 100: 内部クロック w をカウント 101: 内部クロック w/4 をカウント 110: 内部クロック w/16 をカウント 111: 外部イベント (FTCI) の立ち上がりエッジをカウント 設定値 0xx はアクティブ、スリープモードで使用可能です。サブアクティブ、サブスリープでは設定しないでください。 設定値 100 はサブアクティブ、サブスリープモード時では CPU の動作クロックが w のときのみタイマ W は使用可能となります。 設定値 101 はサブアクティブ、サブスリープモード時では CPU の動作クロックが w、 w/2 のときのみタイマ W は使用可能となります。
5	CKS1	0	R/W	
4	CKS0	0	R/W	
3	TOD	0	R/W	タイマ出力レベルセット D 最初のコンペアマッチ D が発生するまでの FTIOD 端子の出力値を設定します。 0: 出力値 0* 1: 出力値 1*
2	TOC	0	R/W	タイマ出力レベルセット C 最初のコンペアマッチ C が発生するまでの FTIOC 端子の出力値を設定します。 0: 出力値 0* 1: 出力値 1*
1	TOB	0	R/W	タイマ出力レベルセット B 最初のコンペアマッチ B が発生するまでの FTIOB 端子の出力値を設定します。 0: 出力値 0* 1: 出力値 1*

ビット	ビット名	初期値	R/W	説明
0	TOA	0	R/W	タイマ出力レベルセット A 最初のコンペアマッチ A が発生するまでの FTIOA 端子の出力値を設定します。 0 : 出力値 0* 1 : 出力値 1*

【注】 X : Don't care

* 出力値は変更した時点で反映されます。

10.3.3 タイマインタラプトイネーブルレジスタ W (TIERW)

TIERW はタイマ W の割り込み要求を制御します。

ビット	ビット名	初期値	R/W	説明
7	OVIE	0	R/W	タイマオーバフロー割り込みイネーブル このビットが 1 のとき TSRW の OVF フラグによる割り込み要求 (FOVI) がイネーブルになります。
6~4		すべて 1		リザーブビット 読み出すと常に 1 が読み出されます。
3	IMIED	0	R/W	インプットキャプチャ / コンペアマッチ割り込みイネーブル D このビットが 1 のとき TSRW の IMFD による割り込み要求 (IMID) がイネーブルになります。
2	IMIEC	0	R/W	インプットキャプチャ / コンペアマッチ割り込みイネーブル C このビットが 1 のとき TSRW の IMFC による割り込み要求 (IMIC) がイネーブルになります。
1	IMIEB	0	R/W	インプットキャプチャ / コンペアマッチ割り込みイネーブル B このビットが 1 のとき TSRW の IMFB による割り込み要求 (IMIB) がイネーブルになります。
0	IMIEA	0	R/W	インプットキャプチャ / コンペアマッチ割り込みイネーブル A このビットが 1 のとき TSRW の IMFA による割り込み要求 (IMIA) がイネーブルになります。

10.3.4 タイマステータスレジスタ W (TSRW)

TSRW は割り込み要求ステータスを表示します。

10. タイマ W

ビット	ビット名	初期値	R/W	説明
7	OVF	0	R/(W)*	タイマオーバーフロー [セット条件] • TCNT が H'FFFF から H'0000 にオーバーフローしたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき
6~4		すべて 1		リザーブビット 読み出すと常に 1 が読み出されます。
3	IMFD	0	R/(W)*	インพุットキャプチャ / コンペアマッチフラグ D [セット条件] • GRD がアウトプットコンペアレジスタとして機能していて、TCNT と一致したとき • GRD がインพุットキャプチャレジスタとして機能していて、インพุットキャプチャ信号により TCNT の値が GRD に転送されたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき
2	IMFC	0	R/(W)*	インพุットキャプチャ / コンペアマッチフラグ C [セット条件] • GRC がアウトプットコンペアレジスタとして機能していて、TCNT と一致したとき • GRC がインพุットキャプチャレジスタとして機能していて、インพุットキャプチャ信号により TCNT の値が GRC に転送されたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき
1	IMFB	0	R/(W)*	インพุットキャプチャ / コンペアマッチフラグ B [セット条件] • GRB がアウトプットコンペアレジスタとして機能していて、TCNT と一致したとき • GRB がインพุットキャプチャレジスタとして機能していて、インพุットキャプチャ信号により TCNT の値が GRB に転送されたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき
0	IMFA	0	R/(W)*	インพุットキャプチャ / コンペアマッチフラグ A [セット条件] • GRA がアウトプットコンペアレジスタとして機能していて、TCNT と一致したとき • GRA がインพุットキャプチャレジスタとして機能していて、インพุットキャプチャ信号により TCNT の値が GRA に転送されたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき

【注】 * フラグをクリアするための 0 ライトのみ可能です。

10.3.5 タイマ I/O コントロールレジスタ 0 (TIOR0)

TIOR0 は GRA、GRB および FTIOA、FTIOB 端子の機能を選択します。

ビット	ビット名	初期値	R/W	説明
7		1		リザーブビット 読み出すと常に 1 が読み出されます。
6	IOB2	0	R/W	I/O コントロール B2 GRB の機能を選択します。 0 : アウトプットコンペアレジスタとして機能 1 : インพุットキャプチャレジスタとして機能
5 4	IOB1 IOB0	0 0	R/W R/W	I/O コントロール B1~0 IOB2 = 0 のとき 00 : コンペアマッチによる端子出力禁止 01 : GRB のコンペアマッチで FTIOB 端子へ 0 出力 10 : GRB のコンペアマッチで FTIOB 端子へ 1 出力 11 : GRB のコンペアマッチで FTIOB 端子へトグル出力 IOB2 = 1 のとき 00 : FTIOB 端子の立ち上がりエッジで GRB ヘインプットキャプチャ 01 : FTIOB 端子の立ち下がりエッジで GRB ヘインプットキャプチャ 1X : FTIOB 端子の両エッジで GRB ヘインプットキャプチャ
3		1		リザーブビット 読み出すと常に 1 が読み出されます。
2	IOA2	0	R/W	I/O コントロール A2 GRA の機能を選択します。 0 : アウトプットコンペアレジスタとして機能 1 : インพุットキャプチャレジスタとして機能
1 0	IOA1 IOA0	0 0	R/W R/W	I/O コントロール A1~0 IOA2 = 0 のとき 00 : コンペアマッチによる端子出力禁止 01 : GRA のコンペアマッチで FTIOA 端子へ 0 出力 10 : GRA のコンペアマッチで FTIOA 端子へ 1 出力 11 : GRA のコンペアマッチで FTIOA 端子へトグル出力 IOA2 = 1 のとき 00 : FTIOA 端子の立ち上がりエッジで GRA ヘインプットキャプチャ 01 : FTIOA 端子の立ち下がりエッジで GRA ヘインプットキャプチャ 1x : FTIOA 端子の両エッジで GRA ヘインプットキャプチャ

【注】x : Don't care

10. タイマ W

10.3.6 タイマ I/O コントロールレジスタ 1 (TIOR1)

TIOR1 は GRC、GRD および FTIOC、FTIOD 端子の機能を選択します。

ビット	ビット名	初期値	R/W	説明
7		1		リザーブビット 読み出すと常に 1 が読み出されます。
6	IOD2	0	R/W	I/O コントロール D2 GRD の機能を選択します。 0 : アウトプットコンペアレジスタとして機能 1 : インพุットキャプチャレジスタとして機能
5 4	IOD1 IOD0	0 0	R/W R/W	I/O コントロール D1 ~ 0 IOD2 = 0 のとき 00 : コンペアマッチによる端子出力禁止 01 : GRD のコンペアマッチで FTIOD 端子へ 0 出力 10 : GRD のコンペアマッチで FTIOD 端子へ 1 出力 11 : GRD のコンペアマッチで FTIOD 端子へトグル出力 IOD2 = 1 のとき 00 : FTIOD 端子の立ち上がりエッジで GRD ヘインプットキャプチャ 01 : FTIOD 端子の立ち下がりエッジで GRD ヘインプットキャプチャ 1X : FTIOD 端子の両エッジで GRD ヘインプットキャプチャ
3		1		リザーブビット 読み出すと常に 1 が読み出されます。
2	IOC2	0	R/W	I/O コントロール C2 GRC の機能を選択します。 0 : アウトプットコンペアレジスタとして機能 1 : インพุットキャプチャレジスタとして機能
1 0	IOC1 IOC0	0 0	R/W R/W	I/O コントロール C1 ~ 0 IOC2 = 0 のとき 00 : コンペアマッチによる端子出力禁止 01 : GRC のコンペアマッチで FTIOC 端子へ 0 出力 10 : GRC のコンペアマッチで FTIOC 端子へ 1 出力 11 : GRC のコンペアマッチで FTIOC 端子へトグル出力 IOC2 = 1 のとき 00 : FTIOC 端子の立ち上がりエッジで GRC ヘインプットキャプチャ 01 : FTIOC 端子の立ち下がりエッジで GRC ヘインプットキャプチャ 1x : FTIOC 端子の両エッジで GRC ヘインプットキャプチャ

【注】x : Don't care

10.3.7 タイマカウンタ (TCNT)

TCNT は 16 ビットのリード/ライト可能なアップカウンタです。入力クロックは TCRW の CKS2 ~ CKS0 のビットにより選択します。TCRW の CCLR の設定により GRA とのコンペアマッチにより H'0000 にクリアすることができます。TCNT が H'FFFF から H'0000 にオーバフローすると、TSRW の OVF が 1 にセットされます。このとき TIERW の OVIE がセットされていると割り込み要求を発生します。TCNT は 8 ビット単位のアクセスはできません。常に 16 ビット単位でアクセスしてください。TCNT の初期値は H'0000 です。

10.3.8 ジェネラルレジスタ A、B、C、D (GRA、GRB、GRC、GRD)

ジェネラルレジスタは 16 ビットのリード/ライト可能なレジスタで、アウトプットコンペアレジスタとしてもインプットキャプチャレジスタとしても使用できます。機能の切り替えは、TIOR0、TIOR1 により行います。

アウトプットコンペアレジスタに設定されたジェネラルレジスタの値は TCNT の値と常に比較されます。両者が一致(コンペアマッチ)すると、TSRW の IMFA ~ IMFD フラグが 1 にセットされます。このとき TIERW の IMIEA ~ IMIED がセットされていると割り込み要求を発生します。また TIOR によりコンペアマッチ出力を設定することができます。

インプットキャプチャレジスタに設定されたジェネラルレジスタは、外部からのインプットキャプチャ信号を検出すると TCNT の値が格納され、TSRW の IMFA ~ IMFD のフラグが 1 にセットされます。このとき TIERW の IMIEA ~ IMIED がセットされていると割り込み要求を発生します。インプットキャプチャ信号の検出エッジは TIOR により選択できます。

また、GRC は GRA のバッファレジスタとして、GRD は GRB のバッファレジスタとしてそれぞれ使用することもできます。この機能は TMRW の BUFEA、BUFEB により選択できます。

たとえば、GRA がアウトプットコンペアレジスタとして、GRC が GRA のバッファレジスタとして設定された場合、コンペアマッチ A が発生するたびにバッファレジスタ GRC の値が GRA に転送されます。

GRA がインプットキャプチャレジスタとして、GRC が GRA のバッファレジスタとして設定された場合、インプットキャプチャが発生すると、TCNT の値が GRA に、GRA の値がバッファレジスタ GRC に転送されます。

GRA ~ GRD は 8 ビット単位のアクセスはできません。常に 16 ビット単位でアクセスしてください。GRA ~ GRD の初期値は H'FFFF です。

10.4 動作説明

タイマ W には次の動作モードがあります。

- 通常動作
- PWM動作

10.4.1 通常動作

TCNT はフリーランニングカウンタ動作または周期カウンタ動作します。TCNT はリセット直後はフリーランニングカウンタの設定となっており、TMRW の CTS ビットを 1 にセットするとカウンタ動作を開始します。TCNT が H'FFFF から H'0000 にオーバーフローすると TSRW の OVF フラグが 1 にセットされ、TIERW の OVIE ビットが 1 であれば割り込み要求を発生します。フリーランニングカウンタの動作を図 10.2 に示します。

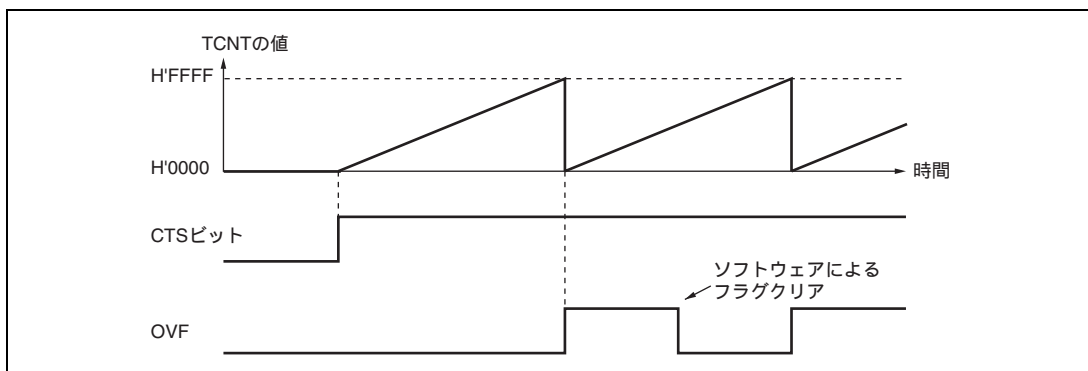


図 10.2 フリーランニングカウンタの動作

周期設定用の GRA をアウトプットコンペアレジスタに設定し、TCRW の CCLR を 1 にセットすると周期カウンタ動作を行います。カウンタ値が GRA と一致すると TCNT は H'0000 にクリアされ、TSRW の IMFA ビットが 1 にセットされます。このとき、対応する TIERW の IMIEA ビットが 1 であれば割り込み要求を発生します。TCNT は H'0000 からアップカウンタ動作を継続します。周期カウンタの動作を図 10.3 に示します。

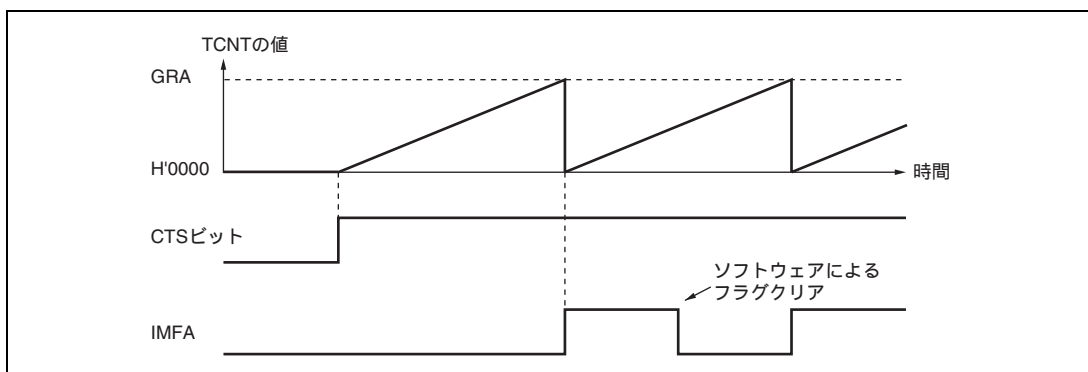


図 10.3 周期カウンタの動作

ジェネラルレジスタをアウトプットコンペアレジスタに設定することにより、コンペアマッチ A~D によって FTIOA、FTIOB、FTIOC、FTIOD 端子から 0 出力 / 1 出力 / トグル出力を行うことができます。TCNT をフリーランニング動作させ、コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力に設定した例を図 10.4 に示します。設定したレベルと端子のレベルが一致した場合は端子のレベルは変化しません。

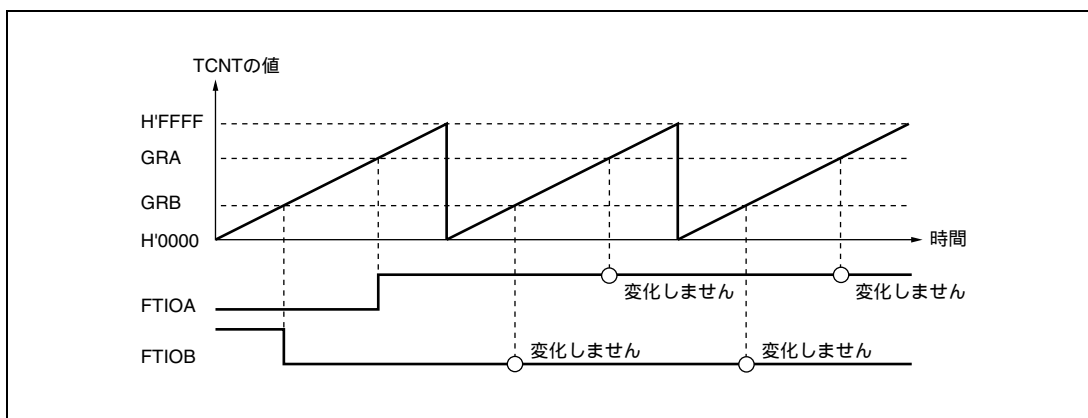


図 10.4 0 出力、1 出力の動作例 (TOA=0、TOB=1 の場合)

TCNT をフリーランニング動作させ、コンペアマッチ A、およびコンペアマッチ B によりトグル出力となるように設定した例を図 10.5 に示します。

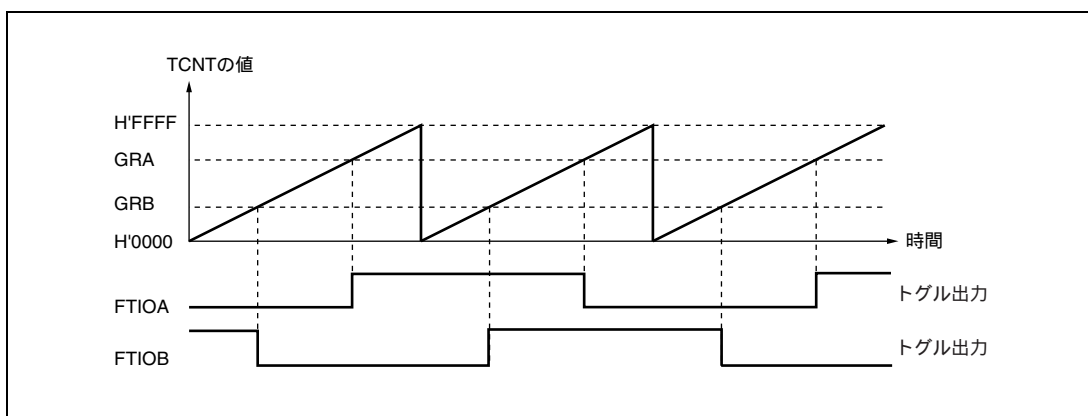


図 10.5 トグル出力の動作例 (TOA=0、TOB=1 の場合)

10. タイマ W

TCNT を周期カウント動作、コンペアマッチ A、B ともにトグル出力となるように設定した例を図 10.6 に示します。

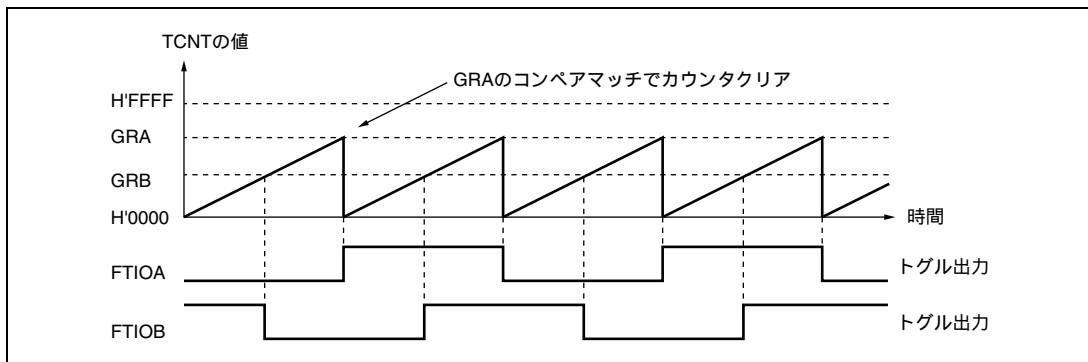


図 10.6 トグル出力の動作例 (TOA = 0、TOB = 1 の場合)

ジェネラルレジスタをインプットキャプチャレジスタに設定することにより、FTIOA ~ FTIOD 端子の入力エッジを検出して TCNT の値を GRA、GRB、GRC、GRD に転送できます。検出エッジは立ち上がり / 立ち下がり / 両エッジから選択できます。インプットキャプチャ機能を利用することで、パルス幅や周期の測定を行うことができます。TCNT はフリーランニングカウント動作に設定し、FTIOA 端子のインプットキャプチャ入力エッジに両エッジ、FTIOB 端子のインプットキャプチャ入力エッジに立ち下がりエッジを選択した例を図 10.7 に示します。

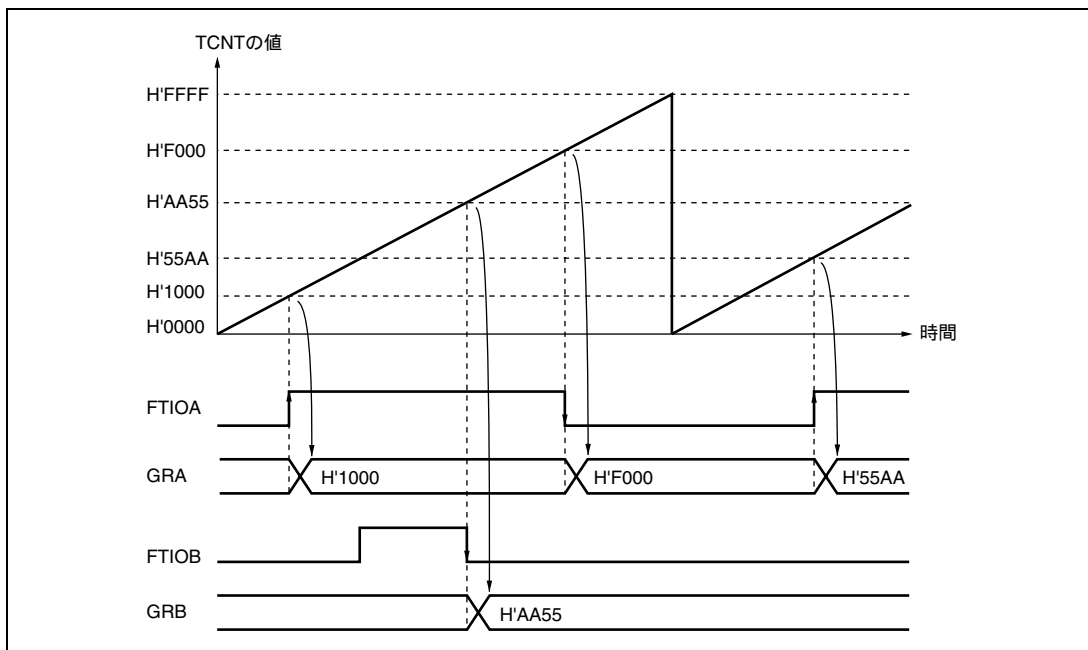


図 10.7 インプットキャプチャ動作例

GRA を入力キャプチャレジスタに設定し、GRC を GRA のバッファレジスタとして設定した場合の動作例を図 10.8 に示します。TCNT はフリーランニング動作、FTIOA 端子の入力キャプチャ入力エッジは立ち上がりエッジ、立ち下がりエッジの両エッジを選択した例です。バッファ動作が設定されているため、入力キャプチャ A により TCNT の値が GRA に格納されると同時に、それまで GRA に格納されていた値が GRC に転送されます。

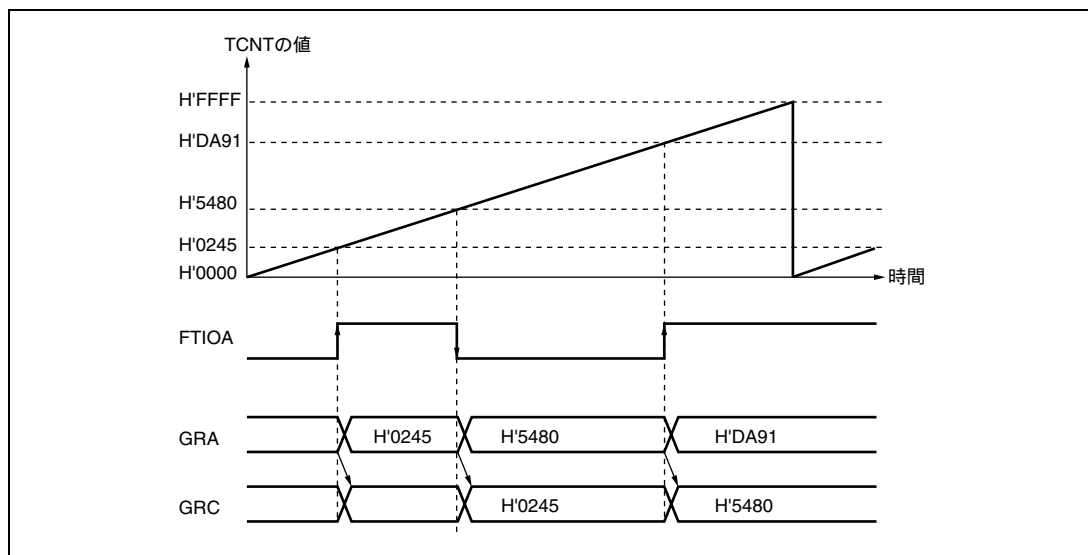


図 10.8 バッファ動作例（入力キャプチャの場合）

10.4.2 PWM 動作

PWM モードは GRA を周期レジスタ、GRB、GRC、GRD をデューティレジスタとして FTIOB、FTIOC、FTIOD 出力端子よりそれぞれ PWM 波形を出力します。最大 3 相の PWM 出力が可能です。PWM モードではジェネラルレジスタは自動的にアウトプットコンペアレジスタとして機能します。出力レベルは TCRW の TOB ~ TOD で決まります。TOB = 1 のとき、FTIOB 出力端子はコンペアマッチ A により 1 に初期化され、コンペアマッチ B により 0 を出力します。また TOB = 0 のときは FTIOB 出力端子はコンペアマッチ A により 0 に初期化され、コンペアマッチ B により 1 を出力します。PWM モードに設定された出力端子は TIOR0、TIOR1 の出力の設定は無効となります。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

コンペアマッチ A で TCNT をクリアして 1 を出力 (TOB = TOC = TOD = 1) し、コンペアマッチ B、C、D で 0 を出力する場合の動作例を図 10.9 に示します。

10. タイマ W

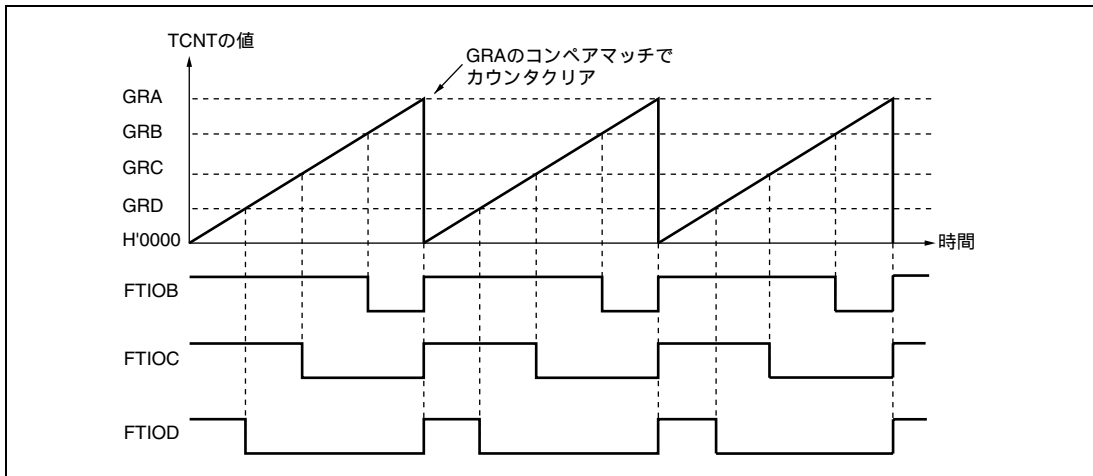


図 10.9 PWM モード動作例 (1)

コンペアマッチ A で TCNT をクリアして 0 を出力 ($TOB = TOC = TOD = 0$) し、コンペアマッチ B、C、D で 1 を出力する場合の動作例を図 10.10 に示します。

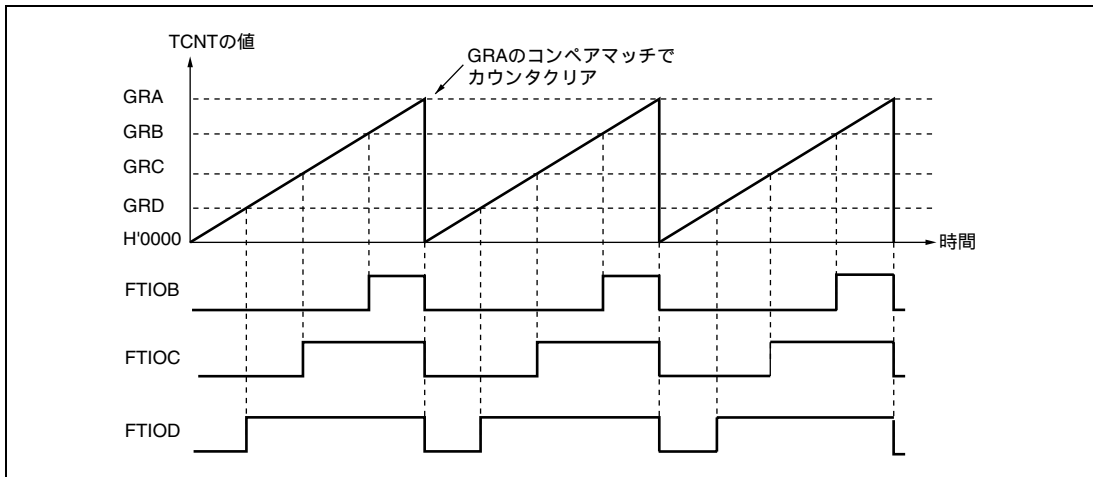


図 10.10 PWM モード動作例 (2)

FTIOB 端子を PWM モードに設定し、GRD を GRB のバッファレジスタとして設定した場合の動作例を図 10.11 に示します。TCNT はコンペアマッチ A によりクリア、出力はコンペアマッチ B で 1 出力、コンペアマッチ A で 0 出力に設定した例です。

バッファ動作が設定されているため、コンペアマッチ B が発生すると出力を変化させると同時にバッファレジスタ GRD の値が GRB に転送されます。この動作は、コンペアマッチ B が発生するたびに繰り返されます。

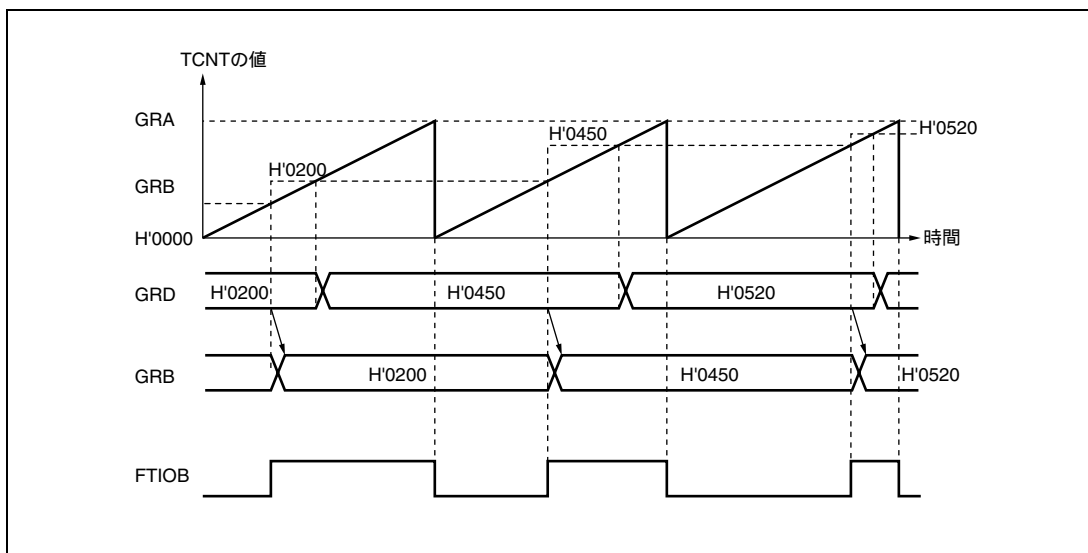


図 10.11 バッファ動作例（アウトプットコンペアの場合）

10. タイマ W

PWM モードで、デューティ 0%、デューティ 100%の PWM 波形を出力する例を図 10.12、図 10.13 に示します。

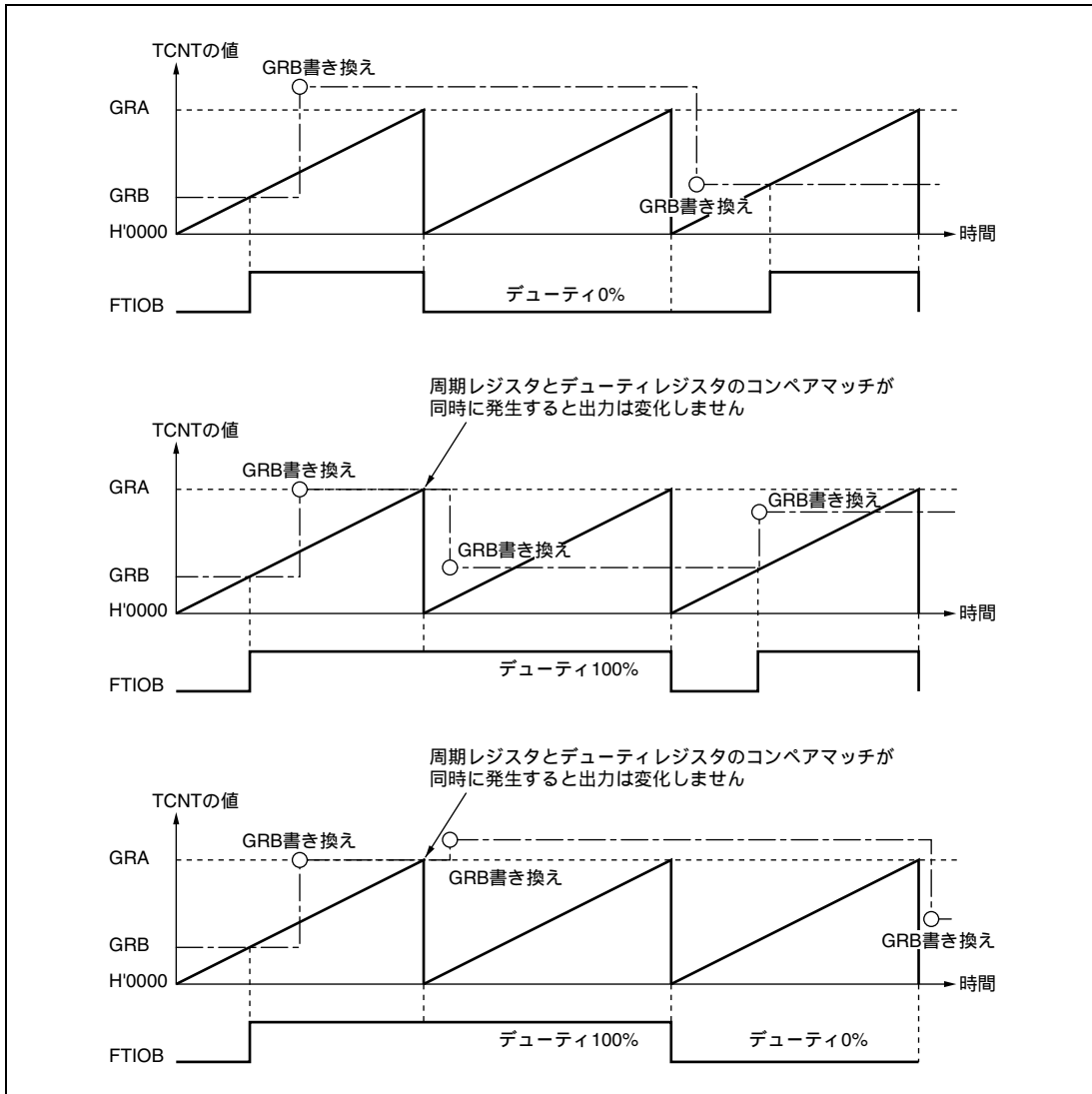


図 10.12 PWM モード動作例 (TOB、TOC、TOD = 0、初期出力 0 の場合)

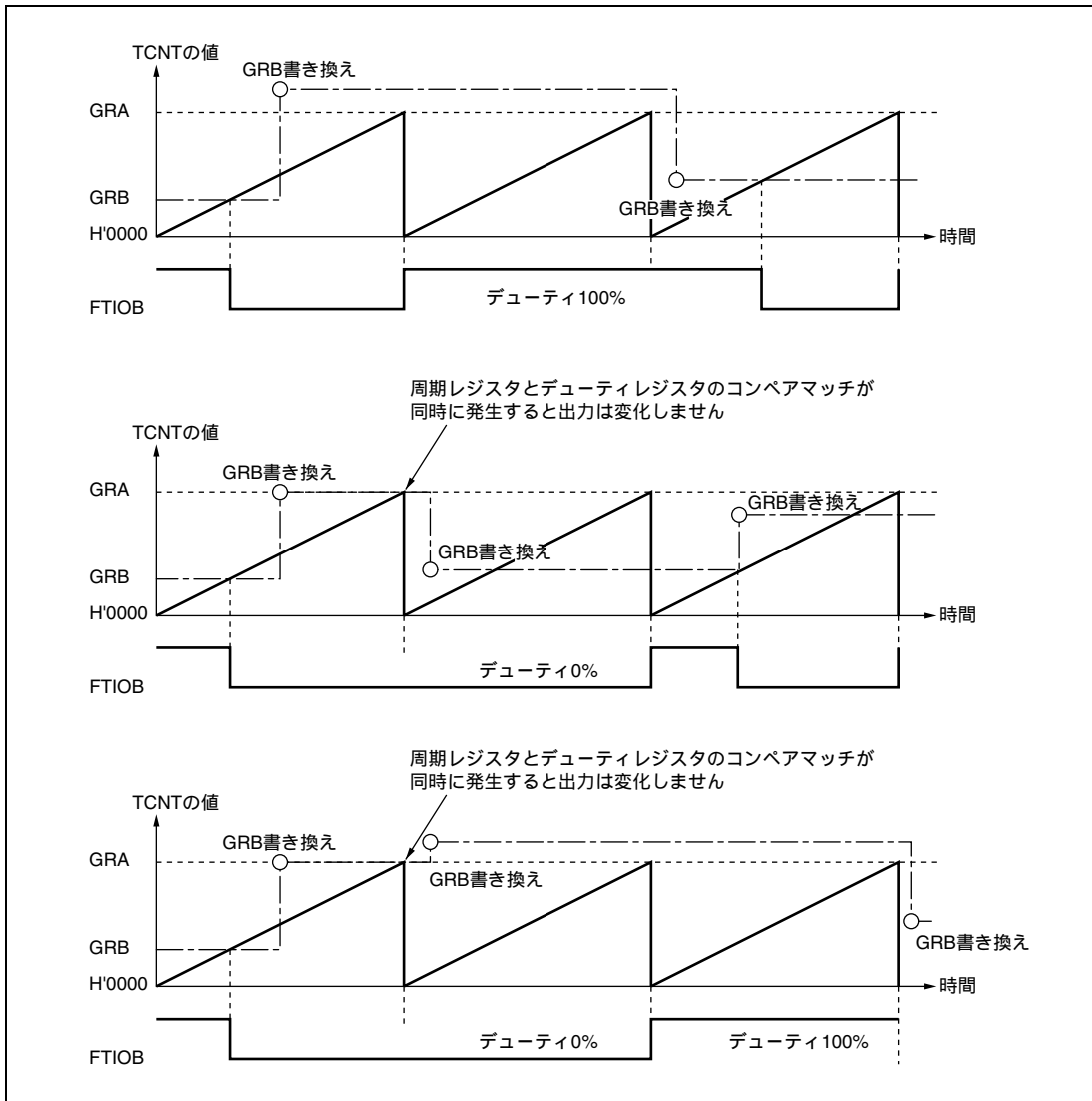


図 10.13 PWM モード動作例 (TOB、TOC、TOD = 1、初期出力 1 の場合)

10.5 動作タイミング

10.5.1 TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 10.14 に示します。また、外部クロック動作の場合の TCNT のカウントタイミングを図 10.15 に示します。なお外部クロックのパルス幅は2システムクロック()以上が必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

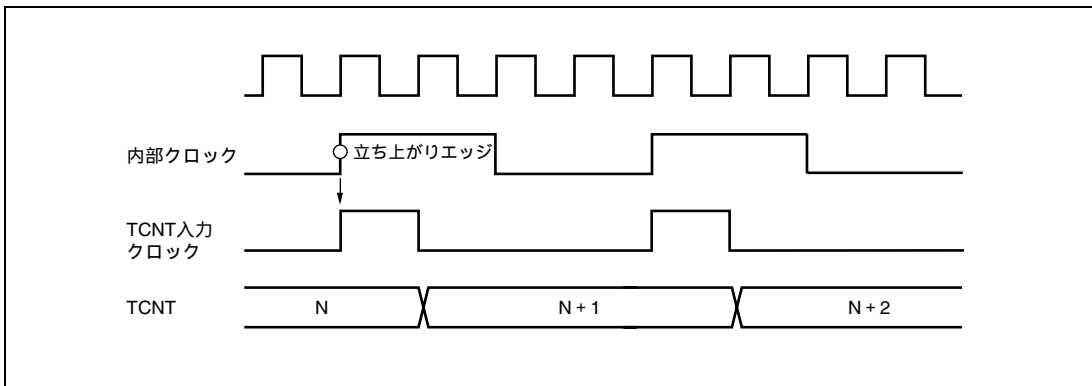


図 10.14 内部クロック動作時のカウントタイミング

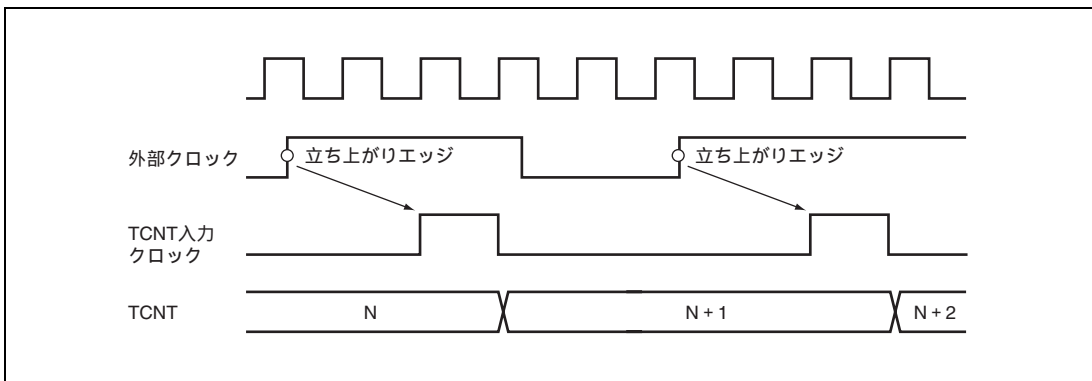


図 10.15 外部クロック動作時のカウントタイミング

10.5.2 アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と GR が一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、TIOR で設定される出力値がアウトプットコンペア出力端子 (FTIOA、FTIOB、FTIOC、FTIOD) に出力されます。

TCNT と GR が一致した後、TCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。アウトプットコンペア出力タイミングを図 10.16 に示します。

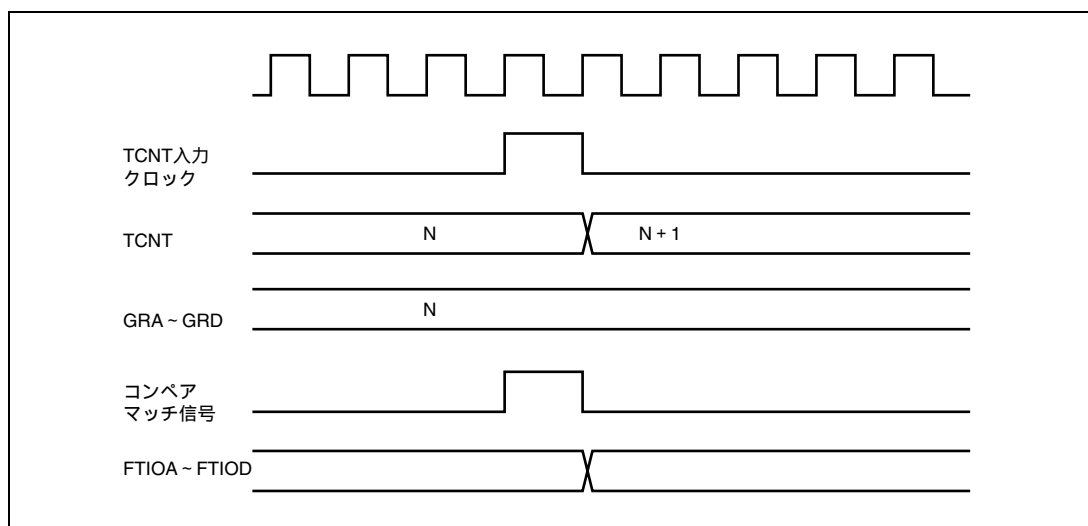


図 10.16 アウトプットコンペア出力タイミング

10.5.3 インプットキャプチャタイミング

インプットキャプチャ入力は、TIOR0、TIOR1 の設定により立ち上がりエッジ / 立ち下がりエッジ / 両エッジの選択ができます。立ち下がりエッジを選択した場合のタイミングを図 10.17 に示します。なおインプットキャプチャ入力信号のパルス幅は 2 システムクロック () 以上が必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

10. タイマ W

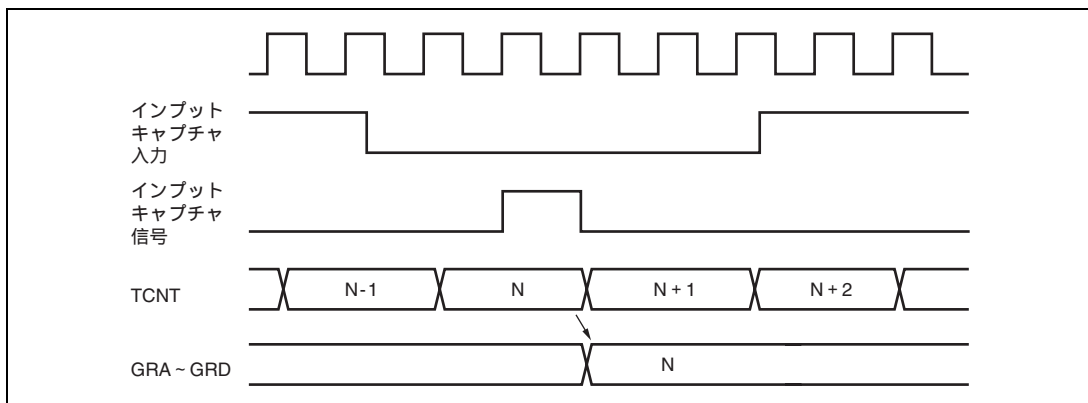


図 10.17 インプットキャプチャ入力信号タイミング

10.5.4 コンペアマッチによるカウンタクリアタイミング

コンペアマッチ A によるカウンタクリアのタイミングを図 10.18 に示します。GRA の値を N とすると、カウンタは 0 から N までカウントし、周期は $N+1$ となります。

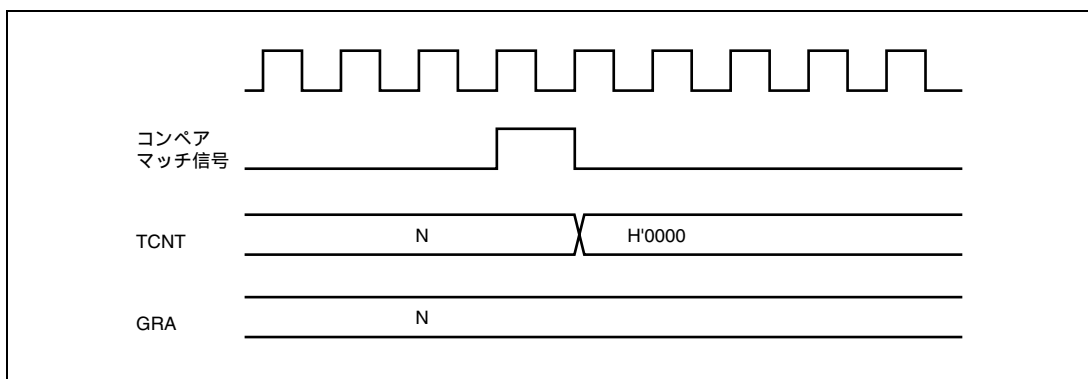


図 10.18 コンペアマッチによるカウンタクリアタイミング

10.5.5 バッファ動作タイミング

バッファ動作の場合のタイミングを図 10.19、図 10.20 に示します。

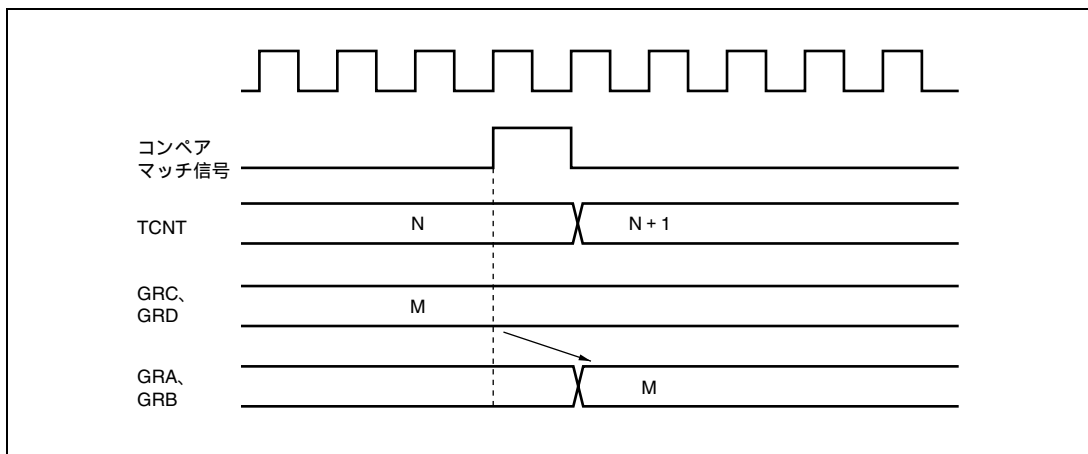


図 10.19 バッファ動作タイミング (コンペアマッチ)

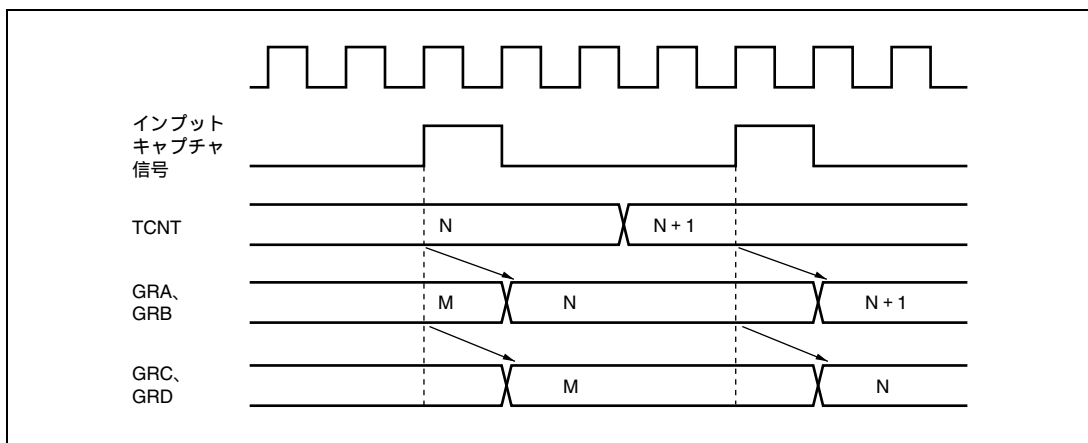


図 10.20 バッファ動作タイミング (インプットキャプチャ)

10.5.6 コンペアマッチ時の IMFA ~ IMFD フラグのセットタイミング

アウトプットコンペアレジスタとして機能している場合の IMFA ~ IMFD フラグは、ジェネラルレジスタ(GRA、GRB、GRC、GRD) と TCNT が一致したときに 1 にセットされます。

コンペアマッチ信号は、一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。したがって、TCNT とジェネラルレジスタ (GRA、GRB、GRD) が一致した後、TCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。

図 10.21 に IMFA ~ IMFD フラグのセットタイミングを示します。

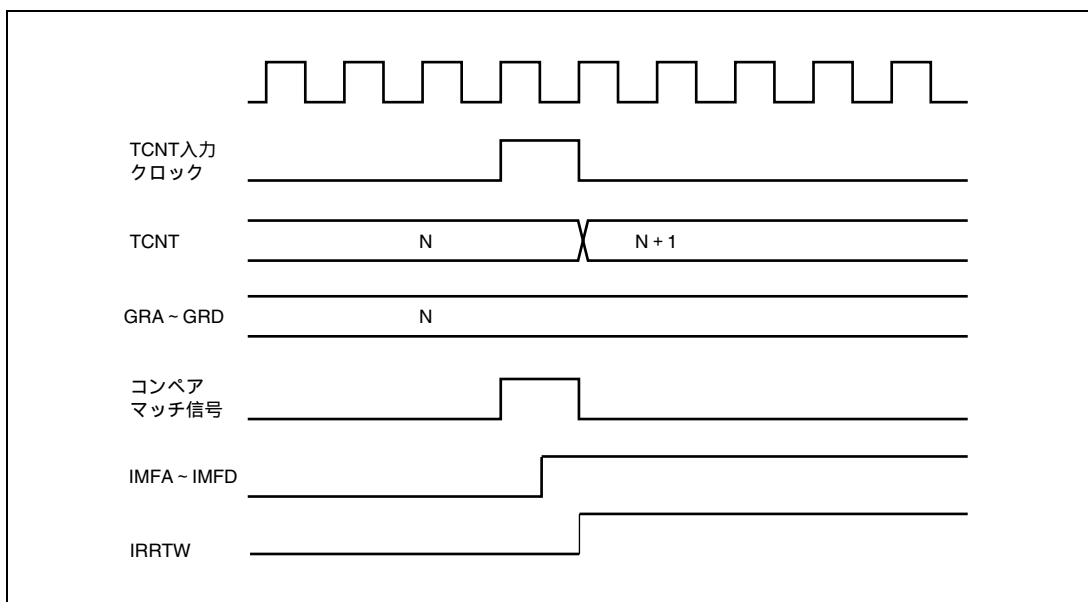


図 10.21 コンペアマッチ時の IMFA ~ IMFD フラグのセットタイミング

10.5.7 インプットキャプチャ時のフラグセットタイミング

インプットキャプチャレジスタとして機能している場合の IMFA ~ IMFD フラグは、インプットキャプチャの発生により 1 にセットされます。図 10.22 に IMFA ~ IMFD フラグのセットタイミングを示します。

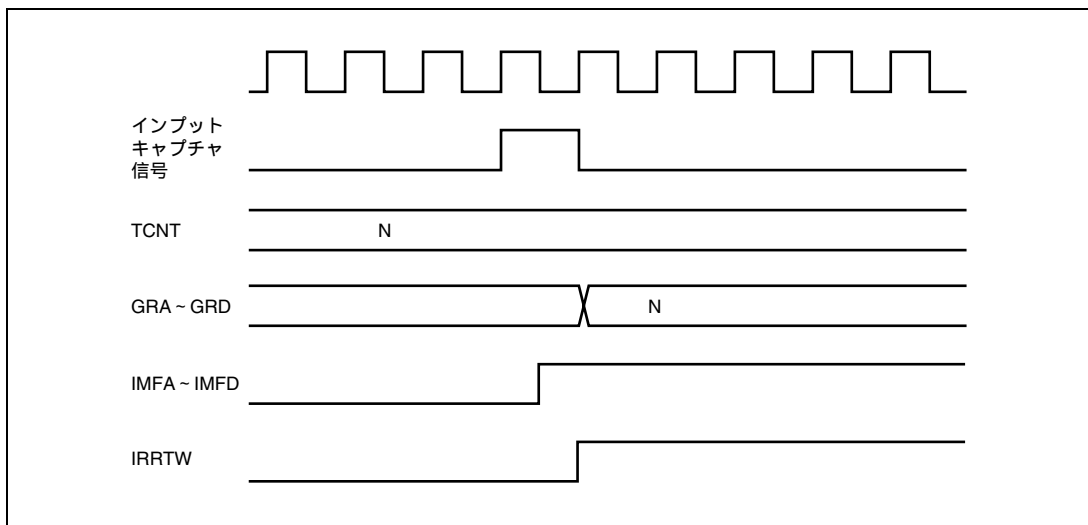


図 10.22 インプットキャプチャ発生時の IMFA ~ IMFD フラグのセットタイミング

10.5.8 ステータスフラグのクリアタイミング

ステータスフラグは CPU が 1 の状態をリードした後、0 をライトするとクリアされます。CPU によるステータスフラグのクリアのタイミングを図 10.23 に示します。

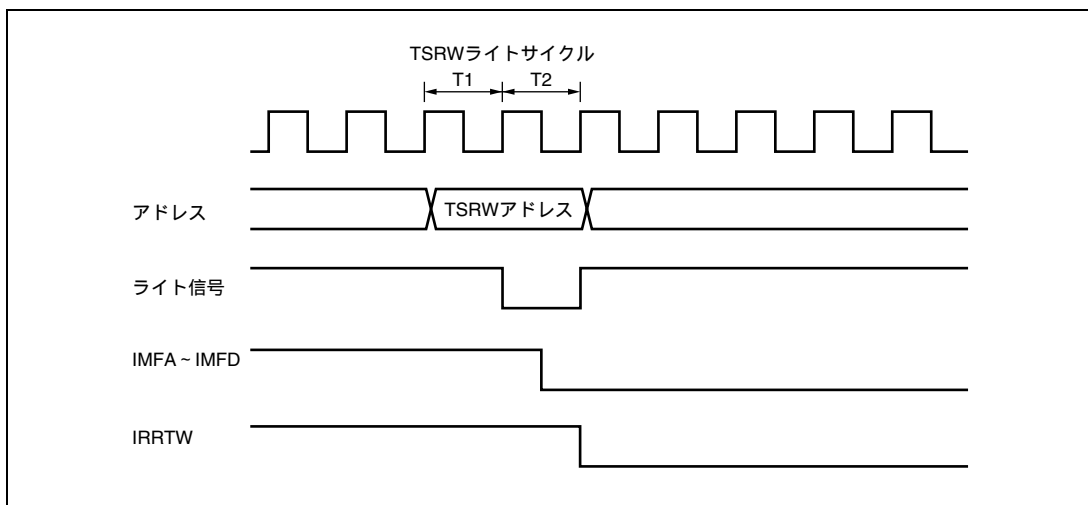


図 10.23 CPU によるステータスフラグのクリアタイミング

10. タイマ W

10.6 タイマ W の動作モード

タイマ W の動作モードを表 10.3 に示します。

表 10.3 タイマ W の動作モード

クロック ソース	アクティブ		スリープ		ウォッチ	サブ アクティブ	サブ スリープ	スタン バイ	発振安定期間		
	高速	中速	高速	中速					スタンバイ →アクティブ	サブアクティブ →アクティブ	ウォッチ →アクティブ
FTCI					x			x	x	x	x
w、 w/4、 w/16					x			x	x	x	x
、 /2、 /4、 /8					x	x	x	x	x	x	x

【記号説明】

：カウント動作可 x：カウント動作不可（カウンタ値保持）

10.7 使用上の注意事項

タイマ W の動作中、次のような競合や動作が起こりますので注意してください。

1. 入力クロックおよびインプットキャプチャのパルス幅は2システムクロック以上必要です。これ以下のパルス幅では正しく動作しません。なお、ここでいうシステムクロックとはCPU動作クロックであり、たとえば w/8の動作に遷移している状態では w x 16クロック以上のパルス幅が必要となります。
2. レジスタへの書き込みはライトサイクル中のT2ステートで行われます。図10.24のようにTCNTライトサイクル中のT2ステートでカウンタクリア信号が発生すると、TCNTのクリアが優先されTCNTへの書き込みは行われません。TCNTに対する書き込みとTCNTのカウントアップが競合した場合は書き込みが優先されます。
3. 内部クロックを切り替えるタイミングによっては、TCNTがカウントアップされる場合があります。内部クロックを使用する場合、システムクロック（ ）を分周した内部クロックの立ち上がりエッジを検出してカウントクロックを発生しています。そのため図10.25のように切り替え前のクロック"Low" 切り替え後のクロック"High"レベルのようなタイミングでクロックが切り替わると、切り替えタイミングを立ち上がりエッジとみなしてカウントクロックを発生し、TCNTがカウントアップされます。
4. 割り込み要求が発生した状態でモジュールスタンバイ状態にすると割り込み要因がクリアできません。事前に割り込みをディスエーブルにしてモジュールスタンバイ状態にしてください。
5. インプットキャプチャに設定している場合、TMRWのCTS = 0（カウンタ停止状態）であってもFTIOA ~ Dに有効なエッジが入力されると該当するTSRWのステータスピットはセットされ、該当する割り込みが有効な場合は割り込みも発生します。

6. インพุットキャプチャタイミングと該当するGRA ~ GRDへのライトタイミングが競合した場合
 - GRA ~ GRDはライトした値となります。
 - TSRWの該当するステータスフラグはセットされます。
7. インพุットキャプチャタイミングと該当するGRA ~ GRDのリードが競合した場合、リード値はキャプチャ前の値となります。キャプチャ値がリードできるのはキャプチャタイミングの1クロック後からです。
8. バッファモードでのインพุットキャプチャ動作においてインพุットキャプチャAまたはBと、GRCまたはGRDへのライトが競合した場合
 - GRAまたはGRBはキャプチャ値となります。
 - GRCまたはGRDはライトした値となります。(キャプチャ前のGRAまたはGRBの値にはなりません。)
9. コンペアマッチ動作において、コンペアマッチタイミングとGRA ~ GRDへのライトタイミングが競合した場合
 - GRA ~ GRDはライトした値となります。
 - コンペアマッチによるFTIOA ~ FTIOD出力の変化はありません。
10. バッファモードでのコンペアマッチ動作においてコンペアマッチAまたはBとGRAまたはGRBへのライトが競合した場合
 - GRAまたはGRBはライトした値となります。(バッファレジスタであるGRCまたはGRDの値にはなりません。)
 - コンペアマッチによるFTIOAまたはFTIOB出力の変化はありません。
11. バッファモードでのコンペアマッチ動作においてコンペアマッチAまたはBとGRCまたはGRDへのライトが競合した場合
 - GRAまたはGRBはライトする前のGRCまたはGRDの値となります。
 - コンペアマッチによるFTIOAまたはFTIOB出力はありません。
12. バッファモードでのコンペアマッチ動作において、GRCまたはGRDがコンペアマッチ出力に設定した場合GRCまたはGRDとのコンペアマッチが発生すると、FTIOCまたはFTIODの出力は変化します。
13. カウントクロックとして w、 w/4、 w/16およびFTCI入力を選択した場合、サブアクティブモードおよびサブスリープモードにおいてもカウント動作は可能ですが、アクティブモードに遷移する際の発振安定期間はカウント動作が不可能です。
14. カウントクロックとして w、 w/4、 w/16およびFTCI入力を選択した場合、アクティブモードとサブアクティブモードの双方でカウント動作は可能ですが、アクティブモードとサブアクティブモードとの遷移期間において、1カウントだけカウントがずれる場合があります。

10. タイマ W

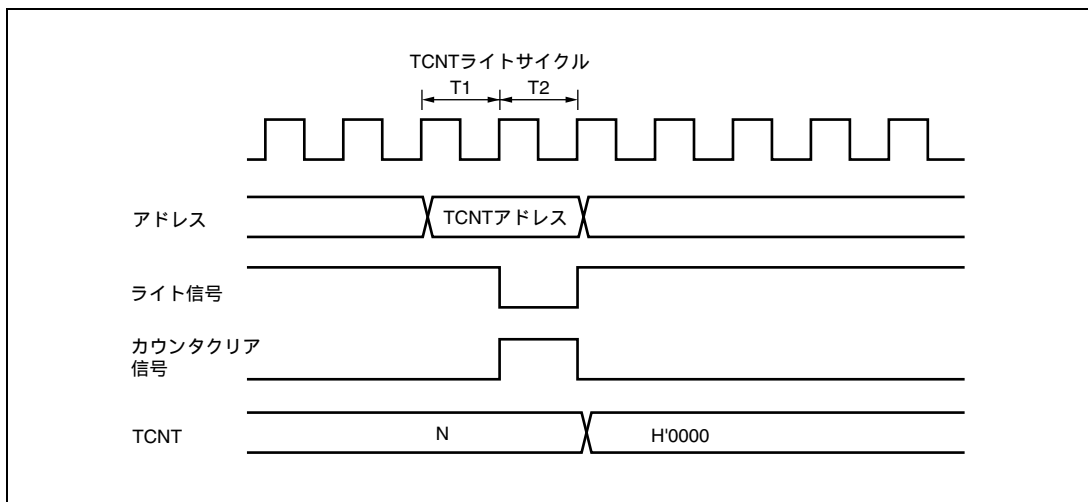


図 10.24 TCNT のライトとクリアの競合

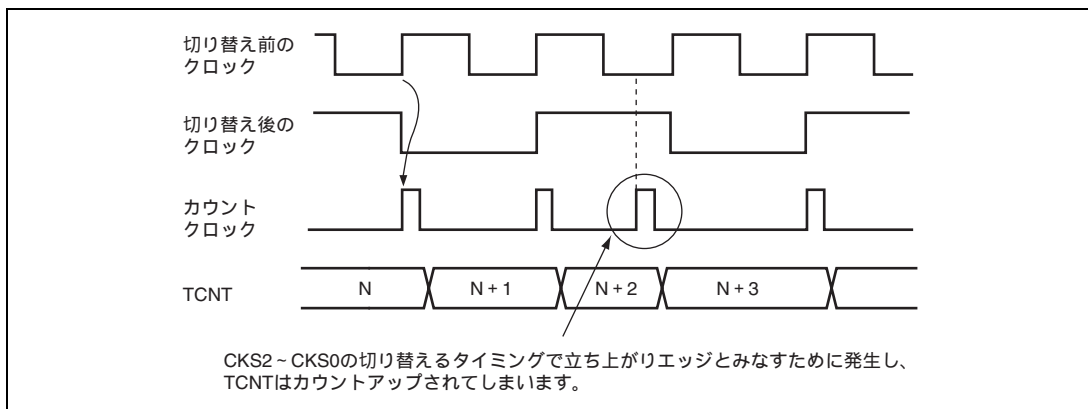


図 10.25 内部クロックの切り替えと TCNT 動作

11. リアルタイムクロック (RTC)

リアルタイムクロック (RTC : Real Time Clock) は、1 秒から 1 週間までの時間をカウントできるタイマです。また、割り込みは 0.25 秒から 1 週間まで発生させることができます。RTC のブロック図を図 11.1 に示します。

11.1 特長

- 秒、分、時、および曜日をカウント
- スタート/ストップ機能
- リセット機能
- BCDコードによるリード/ライト可能な秒、分、時、および曜日カウンタ
- 周期 (0.25秒、0.5秒、1秒、分、時、日、週) 割り込み
- 8ビットフリーランニングカウンタ
- クロックソースの選択
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能
(初期値ではRTCは動作状態。詳細は、「5.4 モジュールスタンバイ機能」を参照してください。)

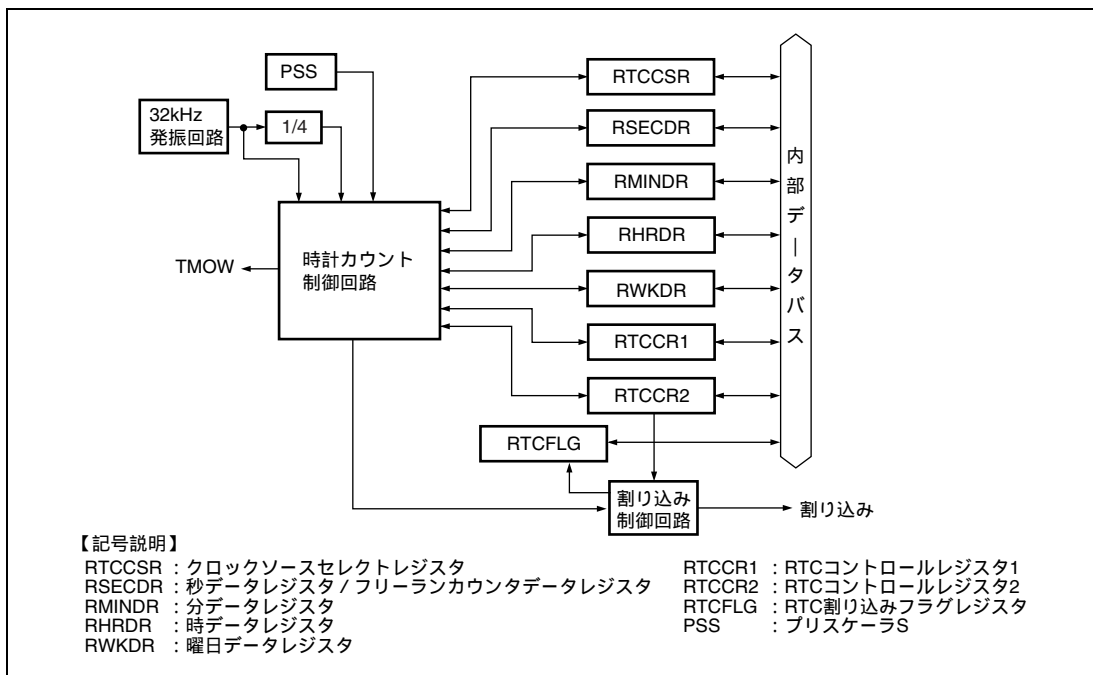


図 11.1 RTC のブロック図

11. リアルタイムクロック (RTC)

11.2 入出力端子

RTCの入出力端子を表 11.1 に示します。

表 11.1 端子構成

名称	略称	入出力	機能
クロック出力	TMOW	出力	RTC 分周クロック出力端子

11.3 レジスタの説明

RTC には以下のレジスタがあります。

- 秒データレジスタ / フリーランカウンタデータレジスタ (RSECDR)
- 分データレジスタ (RMINDR)
- 時データレジスタ (RHRDR)
- 曜日データレジスタ (RWKDR)
- RTCコントロールレジスタ1 (RTCCR1)
- RTCコントロールレジスタ2 (RTCCR2)
- クロックソースセレクトレジスタ (RTCCSR)
- RTC割り込みフラグレジスタ (RTCFLG)

11.3.1 秒データレジスタ / フリーランカウンタデータレジスタ (RSECDR)

RSECDR は秒のカウンタを行います。RSECDR は BCD コードで表され、0 から 59 までのカウンタを行います。またフリーランカウンタとして動作しているとき、8 ビットのカウンタデータの読み出しレジスタとなります。秒、分、時、および曜日の読み取りについては「11.4.3 時刻読み出し手順」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	BSY	-/(0)*	R	RTC ビジー 秒、分、時、および曜日データレジスタの値を RTC が更新中 (演算中) のとき、このビットは 1 にセットされます。このビットが 0 のときに秒、分、時および曜日データレジスタの値を採用してください。
6	SC12	-/(0)*	R/W	秒十位カウンタ 秒十位は 0 から 5 をカウントして、60 秒のカウントを行います。
5	SC11	-/(0)*	R/W	
4	SC10	-/(0)*	R/W	
3	SC03	-/(0)*	R/W	秒一位カウンタ 秒一位は 1 秒ごとに 0 から 9 をカウントします。桁上がりが発生すると、秒十位が +1 されます。
2	SC02	-/(0)*	R/W	
1	SC01	-/(0)*	R/W	
0	SC00	-/(0)*	R/W	

【注】 * RTCCR1 の RST ビットによるリセット後の初期値です。

11.3.2 分データレジスタ (RMINDR)

RMINDR は RSECDR の桁上がりがあると、分のカウントを行います。RMINDR は BCD コードで表され、0 から 59 までのカウントを行います。

ビット	ビット名	初期値	R/W	説明
7	BSY	-/(0)*	R	RTC ビジー 秒、分、時、および曜日データレジスタの値を RTC が更新中 (演算中) のとき、このビットは 1 にセットされます。このビットが 0 のときに秒、分、時および曜日データレジスタの値を採用してください。
6	MN12	-/(0)*	R/W	分十位カウント 分十位は 0 から 5 をカウントして、60 分のカウントを行います。
5	MN11	-/(0)*	R/W	
4	MN10	-/(0)*	R/W	
3	MN03	-/(0)*	R/W	分一位カウント 分一位は 1 分ごとに 0 から 9 をカウントします。桁上がりが発生すると、分十位が +1 されます。
2	MN02	-/(0)*	R/W	
1	MN01	-/(0)*	R/W	
0	MN00	-/(0)*	R/W	

【注】 * RTCCR1 の RST ビットによるリセット後の初期値です。

11.3.3 時データレジスタ (RHRDR)

RHRDR は RMINDR の桁上がりがあると、時間のカウントを行います。RHRDR は BCD コードで表され、RTCCR1 の 12/24 ビットの選択によって 0 から 11 までのカウント、または 0 から 23 までのカウントを行います。

ビット	ビット名	初期値	R/W	説明
7	BSY	-/(0)*	R	RTC ビジー 秒、分、時、および曜日データレジスタの値を RTC が更新中 (演算中) のとき、このビットは 1 にセットされます。このビットが 0 のときに秒、分、時および曜日データレジスタの値を採用してください。
6	-	0	-	リザーブビット リードすると常に 0 が読み出されます。
5	HR11	-/(0)*	R/W	時十位カウント 時十位は 0 から 2 をカウントします。
4	HR10	-/(0)*	R/W	
3	HR03	-/(0)*	R/W	時一位カウント 時一位は 1 時間ごとに 0 から 9 をカウントします。桁上がりが発生すると、時十位が +1 されます。
2	HR02	-/(0)*	R/W	
1	HR01	-/(0)*	R/W	
0	HR00	-/(0)*	R/W	

【注】 * RTCCR1 の RST ビットによるリセット後の初期値です。

11. リアルタイムクロック (RTC)

11.3.4 曜日データレジスタ (RWKDR)

RWKDR は RHRDR の桁上がりがあると、曜日のカウントを行います。WK2 ~ WK0 ビットにより 0 から 6 のバイナリコードで曜日を表します。

ビット	ビット名	初期値	R/W	説明
7	BSY	-/(0)*	R	RTC ビジー 秒、分、時、および曜日データレジスタの値を RTC が更新中 (演算中) のとき、1 にセットされます。このビットが 0 のときに秒、分、時および曜日データレジスタの値を採用してください。
6~3	-	すべて 0	-	リザーブビット リードすると常に 0 が読み出されます。
2	WK2	-/(0)*	R/W	曜日カウント バイナリコードで曜日を表します。 000 : 日 001 : 月 010 : 火 011 : 水 100 : 木 101 : 金 110 : 土 111 : 予約 (設定しないでください。)
1	WK1	-/(0)*	R/W	
0	WK0	-/(0)*	R/W	

【注】 * RTCCR1 の RST ビットによるリセット後の初期値です。

11.3.5 RTC コントロールレジスタ 1 (RTCCR1)

RTCCR1 は、時計タイマの動作開始 / 動作停止およびリセットを制御します。時間表現の定義は、図 11.2 を参照してください。

ビット	ビット名	初期値	R/W	説明
7	RUN	- / (0)*	R/W	RTC 動作開始 0: RTC は動作停止 1: RTC は動作開始
6	12/24	- / (0)*	R/W	動作モード 0: RTC は 12 時間モードで動作します。RHRDR は 0~11 のカウントを行います。 1: RTC は 24 時間モードで動作します。RHRDR は 0~23 のカウントを行います。
5	PM	- / (0)*	R/W	午前/午後 0: RTC が 12 時間モードのとき有効であり、午前を表します。 1: RTC が 12 時間モードのとき有効であり、午後を表します。
4	RST	0	R/W	リセット 0: 通常動作 1: RTCCSR およびこのビットを除く全レジスタ、制御回路をリセットします。なお 1 にセットした後は、必ずこのビットを 0 にクリアしてください。
3	INT	- / (0)*	R/W	割り込み発生タイミング 0: RTC ビジー期間中に秒、分、時および曜日の周期割り込みが発生します。 1: RTC ビジー完了直後に秒、分、時および曜日の周期割り込みが発生します。
2~0	-	すべて 0	-	リザーブビット リードすると常に 0 が読み出されます。

【注】 * RTCCR1 の RST ビットによるリセット後の初期値です。

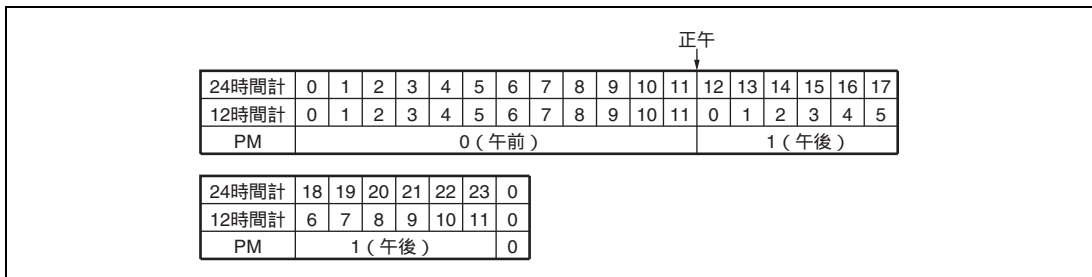


図 11.2 時間表現の定義

11. リアルタイムクロック (RTC)

11.3.6 RTC コントロールレジスタ 2 (RTCCR2)

RTCCR2 は週、日、時、分、1 秒、0.5 秒および 0.25 秒の RTC 周期割り込みを制御します。週、日、時、分、1 秒、0.5 秒および 0.25 秒の各割り込みを許可すると、割り込みが発生した場合、RTC 割り込みフラグレジスタ (RTCFLG) の対応するフラグが 1 にセットされます。また RTC がフリーランカウンタとして動作しているとき、フリーランカウンタのオーバフロー割り込みを制御します。

ビット	ビット名	初期値	R/W	説明
7	FOIE	-/(0)*	R/W	フリーランカウンタオーバフロー割り込み許可 0: オーバフロー割り込みを禁止 1: オーバフロー割り込みを許可
6	WKIE	-/(0)*	R/W	週周期割り込み許可 0: 週周期割り込みを禁止 1: 週周期割り込みを許可
5	DYIE	-/(0)*	R/W	日周期割り込み許可 0: 日周期割り込みを禁止 1: 日周期割り込みを許可
4	HRIE	-/(0)*	R/W	時周期割り込み許可 0: 時周期割り込みを禁止 1: 時周期割り込みを許可
3	MNIE	-/(0)*	R/W	分周期割り込み許可 0: 分周期割り込みを禁止 1: 分周期割り込みを許可
2	1SEIE	-/(0)*	R/W	1 秒周期割り込み許可 0: 1 秒周期割り込みを禁止 1: 1 秒周期割り込みを許可
1	05SEIE	-/(0)*	R/W	0.5 秒周期割り込み許可 0: 0.5 秒周期割り込みを禁止 1: 0.5 秒周期割り込みを許可
0	025SEIE	-/(0)*	R/W	0.25 秒周期割り込み許可 0: 0.25 秒周期割り込みを禁止 1: 0.25 秒周期割り込みを許可

【注】 * RTCCR1 の RST ビットによるリセット後の初期値です。

11.3.7 クロックソースセレクトレジスタ (RTCCSR)

RTCCSR はクロックソースの選択を行います。フリーランカウンタは、RTCCR1 の RUN ビットでカウンタの動作開始 / 動作停止を制御します。w/4 以外のクロックを選択すると RTC は無効となり、8 ビットのフリーランカウンタとして動作します。フリーランカウンタとして動作しているとき、RSECDR によってカウンタの値を読み込むことが可能です。また RTCCR2 の FOIE ビットを 1 にセットすると、フリーランカウンタのオーバフロー割り込みを許可することで割り込みを発生できます。システムクロックを 32、16、8、4 分周したクロックは、アクティブモード、スリープモードで出力されます。w はアクティブモード、スリープモード、サブアクティブモード、サブスリープモード、ウォッチモードで出力されます。

ビット	ビット名	初期値	R/W	説明
7	-	0	-	リザーブビット リードすると常に 0 が読み出されます。
6	RCS6	0	R/W	クロック出力選択 PMR1 にて TMOW 出力を有効にしたときに、TMOW 端子から出力されるクロックを選択します。 000 : /4 010 : /8 100 : /16 110 : /32 xx1 : W
5	RCS5	0	R/W	
4	SUB32K	0	R/W	
3	RCS3	1	R/W	クロックソース選択 0000 : /8 フリーランカウンタ動作 0001 : /32 フリーランカウンタ動作 0010 : /128 フリーランカウンタ動作 0011 : /256 フリーランカウンタ動作 0100 : /512 フリーランカウンタ動作 0101 : /2048 フリーランカウンタ動作 0110 : /4096 フリーランカウンタ動作 0111 : /8192 フリーランカウンタ動作 1000 : w/4 RTC 動作 1001 ~ 1111 : 設定禁止
2	RCS2	0	R/W	
1	RCS1	0	R/W	
0	RCS0	0	R/W	

11. リアルタイムクロック (RTC)

11.3.8 RTC 割り込みフラグレジスタ (RTCFLG)

RTCFLG は割り込みが発生したときに、対応するフラグをセットします。各フラグは割り込みが受け付けられてもオートクリアされません。フラグをクリアする場合は 0 をライトしてください。

ビット	ビット名	初期値	R/W	説明
7	FOIFG	-/(0)* ²	R/(W)* ¹	[セット条件] フリーランカウンタがオーバーフローしたとき [クリア条件] FOIFG = 1 の状態で FOIFG に 0 をライトしたとき
6	WKIFG	-/(0)* ²	R/(W)* ¹	[セット条件] 週周期割り込みが発生したとき [クリア条件] WKIFG = 1 の状態で WKIFG に 0 をライトしたとき
5	DYIFG	-/(0)* ²	R/(W)* ¹	[セット条件] 日周期割り込みが発生したとき [クリア条件] DYIFG = 1 の状態で DYIFG に 0 をライトしたとき
4	HRIFG	-/(0)* ²	R/(W)* ¹	[セット条件] 時周期割り込みが発生したとき [クリア条件] MNIFG = 1 の状態で HRIFG に 0 をライトしたとき
3	MNIFG	-/(0)* ²	R/(W)* ¹	[セット条件] 分周期割り込みが発生したとき [クリア条件] MNIFG = 1 の状態で MNIFG に 0 をライトしたとき
2	1SEIFG	-/(0)* ²	R/(W)* ¹	[セット条件] 1 秒周期割り込みが発生したとき [クリア条件] 1SEIFG = 1 の状態で 1SEIFG に 0 をライトしたとき
1	05SEIFG	-/(0)* ²	R/(W)* ¹	[セット条件] 0.5 秒周期割り込みが発生したとき [クリア条件] 05SEIFG = 1 の状態で 05SEIFG に 0 をライトしたとき
0	025SEIFG	-/(0)* ²	R/(W)* ¹	[セット条件] 0.25 秒周期割り込みが発生したとき [クリア条件] 025SEIFG = 1 の状態で 025SEIFG に 0 をライトしたとき

【注】 *1 フラグクリアのための 0 ライトのみ可能です。

*2 RTCCR1 の RST ビットによるリセット後の初期値です。

11.4 RTC の動作

11.4.1 電源投入後のレジスタの初期設定

RTC は $\overline{\text{RES}}$ 入力、ウォッチドッグタイマによるリセットでは、秒、分、時、曜日の情報を格納しているレジスタ、制御レジスタ、割り込みレジスタはリセットされません。そのため、電源投入後はすべてのレジスタを初期設定してください。その後は $\overline{\text{RES}}$ 入力に関係なく、電源が供給されている限り正確な時間を刻みます。

11.4.2 初期設定手順

RTC を初期設定する手順を図 11.3 に示します。また、再設定を行う場合も図 11.3 に従ってください。

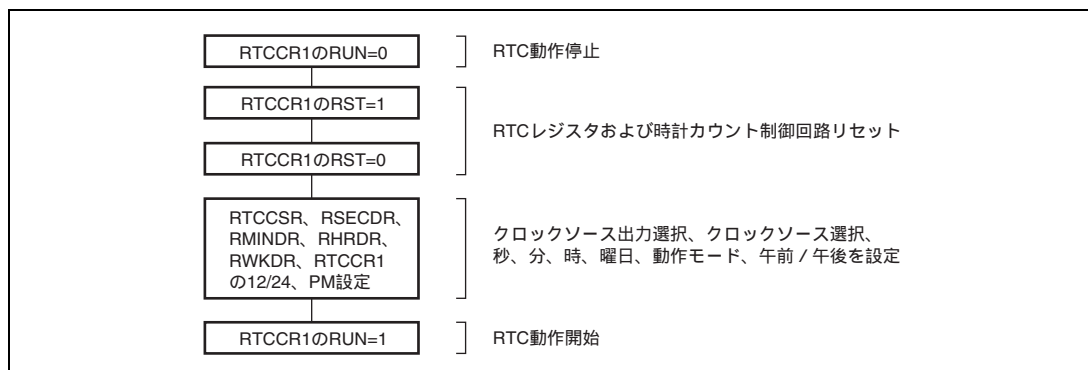


図 11.3 初期設定手順

11.4.3 時刻読み出し手順

時刻読み出し期間中に秒、分、時、曜日データの更新が行われると正しい時刻が得られないため、再読み出しする必要があります。正しい時刻を得られない場合の例を図 11.4 に示します。この例では RSECDR のみデータ更新後にリードしているため、約 1 分の矛盾が生じています。

正しい時刻を読み出す方法は 3 つあります。

1. BSYビットを判定し、BSYビットが1から0に変化した後に、秒、分、時、曜日を示すレジスタをリードします。BSYビットが1にセットされてから約62.5ms後にレジスタの更新が行われ、BSYビットが0にクリアされます。
2. [RTCCR1のINT = 0の場合]

割り込みを使用し、RTCFLGの各対象フラグが1にセットされたら、BSYビットが0であることを確認してから秒、分、時、曜日を示すレジスタをリードします。

[RTCCR1のINT = 1の場合]

割り込みを使用し、RTCFLGの各対象フラグが1にセットされたら、秒、分、時、曜日を示すレジスタをリードします。

11. リアルタイムクロック (RTC)

3. 秒、分、時、曜日を示すレジスタを連続的に2回リードし、リードしたデータに変化がなければそのデータを採用します。

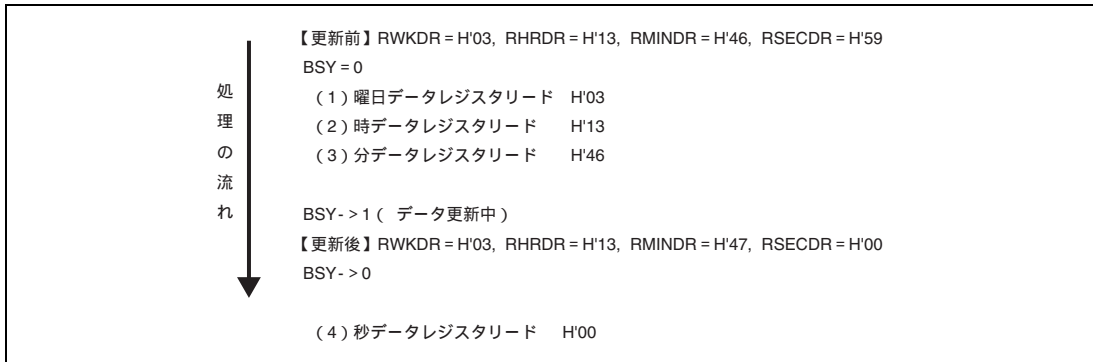


図 11.4 正しい時刻を得られない場合の例

11.5 割り込み要因

RTCの割り込み要因には、フリーランカウンタのオーバーフロー、週、日、時、分、1秒、0.5秒、0.25秒の8種類あります。

割り込みを使用する場合、RTCの割り込みイネーブル(IENR1のIENRTCビットの1セット)は他のレジスタの設定が終了した後、最後に行ってください。

RTCの割り込み要求が発生すると、RTCFLGの対応するフラグが1にセットされます。フラグをクリアする場合は0を書き込んでください。

表 11.2 割り込み要因

要因名	割り込み要因	割り込み許可ビット
オーバーフロー割り込み	フリーランカウンタがオーバーフローしたときに発生します。	FOIE
週周期割り込み	曜日データレジスタの値が0になったとき、1週間周期に割り込みを発生します。	WKIE
日周期割り込み	曜日データレジスタがカウントされるたびに、1日周期に割り込みを発生します。	DYIE
時周期割り込み	時データレジスタがカウントされるたびに、1時間周期に割り込みを発生します。	HRIE
分周期割り込み	分データレジスタがカウントされるたびに、1分周期に割り込みを発生します。	MNIE
1秒周期割り込み	1秒データレジスタがカウントされるたびに、1秒周期に割り込みを発生します。	1SEIE
0.5秒周期割り込み	0.5秒周期に割り込みを発生します。	05SEIE
0.25秒周期割り込み	0.25秒周期に割り込みを発生します。	025SEIE

11.6 使用上の注意事項

11.6.1 時計カウントに関する注意事項

サブクロックは必ず 32.768kHz の発振子を接続してください。38.4kHz 等の発振子等を接続した場合、正確な時間をカウントできなくなります。

11.6.2 割り込みをする場合の注意事項

RTC のレジスタは $\overline{\text{RES}}$ 端子によるリセット、パワーオンリセット、WDT オーバフローによるリセットではクリアされません。結果、電源投入後の値は不定となっております。

そのため、RTC 割り込みを使用する場合は、IENR1 の IENRTC を 1 とする前に必ず値を初期化してください。

11. リアルタイムクロック (RTC)

12. ウォッチドッグタイマ

本 LSI は、ウォッチドッグタイマ (WDT) を内蔵しています。WDT は 8 ビットのタイマで、システムの暴走などによりカウンタの値を CPU が書き換えられずにオーバーフローすると、本 LSI 内部をリセットします。

ウォッチドッグタイマとして使用しない場合は、インターバルタイマとして使用することもできます。インターバルタイマモードとして使用する場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込みを発生します。

12.1 特長

WDT の特長を以下に示します。

- 11種類のカウンタ入力クロックを選択可能
タイマのカウントクロックとして10種類の内部クロック (/64、 /128、 /256、 /512、 /1024、 /2048、 /4096、 /8192、 w/16、 w/256) または内蔵発振器 (Rosc/2048) を選択可能です。
- ウォッチドッグタイマモード
カウンタがオーバーフローすると、本LSI内部をリセットします。
- インターバルタイマモード
カウンタがオーバーフローすると、インターバルタイマ割り込みを発生
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能
(初期値ではWDTは動作状態。詳細は、「5.4 モジュールスタンバイ機能」を参照してください。)

12. ウォッチドッグタイマ

図 12.1 に WDT のブロック図を示します。

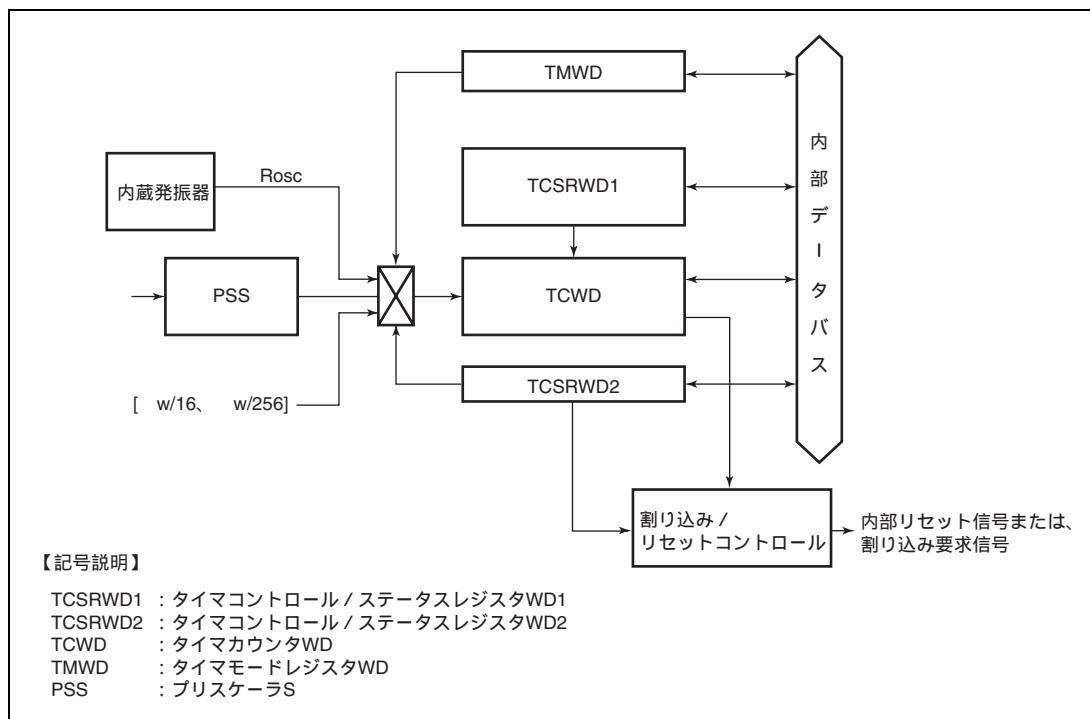


図 12.1 ウォッチドッグタイマのブロック図

12.2 レジスタの説明

ウォッチドッグタイマには以下のレジスタがあります。

- タイマコントロール/ステータスレジスタWD1 (TCSRWD1)
- タイマコントロール/ステータスレジスタWD2 (TCSRWD2)
- タイマカウンタWD (TCWD)
- タイマモードレジスタWD (TMWD)

12.2.1 タイマコントロール/ステータスレジスタ WD1 (TCSRWD1)

TCSRWD1 は TCSRWD1 自身と TCWD の書き込み制御を行うレジスタです。また、ウォッチドッグタイマの動作制御と動作状態を示す機能も持っています。本レジスタの書き換えは MOV 命令で行ってください。ビット操作命令では設定値の変更ができません。

ビット	ビット名	初期値	R/W	説明
7	B6WI	1	R/W	ビット6書き込み禁止 このビットへの書き込み値が0のときだけ、このレジスタのビット6に対する書き込みが有効となります。リードすると常に1が読み出されます。
6	TCWE	0	R/W	タイマカウンタW書き込み許可 このビットが1のときTCWDがライトイネーブルとなります。このビットにデータを書き込むときはビット7の書き込み値は0にしてください。
5	B4WI	1	R/W	ビット4書き込み禁止 このビットへの書き込み値が0のときだけ、このレジスタのビット4に対する書き込みが有効となります。リードすると常に1が読み出されます。
4	TCSRWE	0	R/W	タイマコントロール/ステータスレジスタW書き込み許可 このビットが1のときこのレジスタのビット2およびビット0がライトイネーブルとなります。このビットにデータを書き込むときはビット5の書き込み値は0にしてください。
3	B2WI	1	R/W	ビット2書き込み禁止 このビットへの書き込み値が0のときだけ、このレジスタのビット2に対する書き込みが有効となります。リードすると常に1が読み出されます。
2	WDON	1	R/W	ウォッチドッグタイマオン このビットを1にセットすると、TCWDがカウントアップを開始します。0にクリアするとTCWDはカウントアップを停止します。 [クリア条件] • TCSRWE = 1 の状態で B2WI に 0、WDON に 0 をライトしたとき [セット条件] • リセット • TCSRWE = 1 の状態で B2WI に 0、WDON に 1 をライトしたとき

12. ウォッチドッグタイマ

ビット	ビット名	初期値	R/W	説明
1	B0WI	1	R/W	ビット0書き込み禁止 このビットへの書き込み値が0のときだけ、このレジスタのビット0に対する書き込みが有効となります。リードすると常に1が読み出されます。
0	WRST	0	R/W	ウォッチドッグタイマリセット ウォッチドッグタイマによるリセットが発生したかを示します。 ウォッチドッグタイマによるリセットではクリアされません。 [クリア条件] • RES 端子によるリセット • TCSRWE = 1 の状態で、B0WI に 0、WRST に 0 をライトしたとき [セット条件] • TCWD がオーバフローし、内部リセット信号が発生したとき

12.2.2 タイマコントロール / ステータスレジスタ WD2 (TCSRWD2)

TCSRWD2 は、TCSRWD2 自身の書き込み制御とモード切り替えおよび割り込み制御を行うレジスタです。本レジスタの切り替えは MOV 命令で行ってください。ビット操作命令では設定値の変更ができません。

ビット	ビット名	初期値	R/W	説明
7	OVF	0	R/(W)* ¹	<p>オーバフローフラグ</p> <p>TCWD がオーバフロー (H'FF ~ H'00) したことを示します。</p> <p>[セット条件]</p> <p>TCWD がオーバフロー (H'FF ~ H'00) したとき</p> <p>ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • OVF = 1 の状態で、TCSRWD2 リード後、OVF に 0 をライトしたとき
6	B5WI	1	R/(W)* ²	<p>ビット 5 書き込み禁止</p> <p>このビットへの書き込み値が 0 のときだけ、このレジスタのビット 5 に対する書き込みが有効となります。リードすると常に 1 が読み出されます。</p>
5	WT/IT	0	R/(W)* ³	<p>タイマモードセレクト</p> <p>ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択するビットです。</p> <p>0: ウォッチドッグタイマモード</p> <p>1: インターバルタイマモード</p>
4	B3WI	1	R/(W)* ²	<p>ビット 3 書き込み禁止</p> <p>このビットへの書き込み値が 0 のときだけ、このレジスタのビット 3 に対する書き込みが有効となります。リードすると常に 1 が読み出されます。</p>
3	IEOVF	0	R/(W)* ³	<p>オーバフロー割り込みイネーブル</p> <p>インターバルタイマモードで、オーバフローの割り込み要求の許可 / 禁止をします。</p> <p>0: オーバフローによる割り込みを禁止</p> <p>1: オーバフローによる割り込みを許可</p>
2~0		すべて 1		<p>リザーブビット</p> <p>リードすると常に 1 が読み出されます。</p>

【注】 *1 フラグをクリアするための 0 ライトのみ可能です。

*2 他のビットのデータ書き込み制御のため、ライト操作が必要です。リードすると常に 1 が読み出されます。

*3 書き込み条件が成立している場合のみ、書き込みが可能です。

12.2.3 タイマカウンタ WD (TCWD)

TCWD は 8 ビットのリード / ライト可能なアップカウンタです。TCWD が H'FF から H'00 にオーバフローすると内部リセット信号が発生し、TCSRWD1 の WRST が 1 にセットされます。TCWD の初期値は H'00 です。

12. ウォッチドッグタイマ

12.2.4 タイマモードレジスタ WD (TMWD)

TMWD は入力クロックの選択を行います。

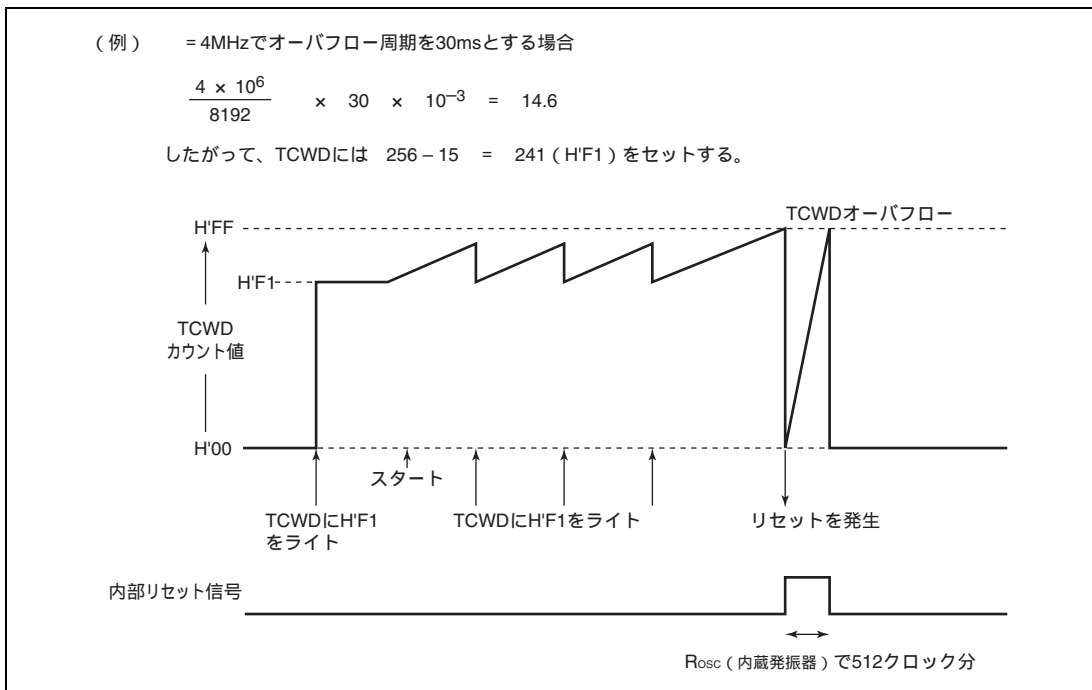
ビット	ビット名	初期値	R/W	説明
7~4		すべて1		リザーブビット 読み出すと常に1が読み出されます。
3	CKS3	0	R/W	クロックセレクト3~0
2	CKS2	0	R/W	TCWD に入力するクロックを選択します。
1	CKS1	0	R/W	00xx : 内蔵発振器 : Rosc/2048 をカウント
0	CKS0	0	R/W	0100 : 内部クロック : w/16 をカウント 0101 : 内部クロック : w/256 をカウント 011x : リザーブ 1000 : 内部クロック : /64 をカウント 1001 : 内部クロック : /128 をカウント 1010 : 内部クロック : /256 をカウント 1011 : 内部クロック : /512 をカウント 1100 : 内部クロック : /1024 をカウント 1101 : 内部クロック : /2048 をカウント 1110 : 内部クロック : /4096 をカウント 1111 : 内部クロック : /8192 をカウント 内蔵発振器によるオーバフロー周期については「第 21 章 電気的特性」を参照してください。 アクティブ(中速)モード、スリープ(中速)モード、サブアクティブモード、サブスリープモードでは、設定値 00xx かつインターバルタイマモード設定は使用できません。 サブアクティブモード、サブスリープモードのサブクロック周波数が w/8 では、設定値 010x かつインターバルタイマモード設定は使用できません。

【注】x : Don'tcare

12.3 動作説明

12.3.1 ウォッチドッグタイマ時の動作

ウォッチドッグタイマは、8ビットのアップカウンタを備えています。ウォッチドッグタイマとして使用する場合はTCSRWD2のWT/ITビットを0にクリアします（WT/ITビットをライトするためには、2回ライトアクセスが必要となります）。TCSRWD1のTCSRWE=1の状態ではB2W1に0、WDONに1を同時にライトすると、TCWDはカウントアップを開始します（ウォッチドッグタイマを動作させるためには、TCSRWD1へ2回ライトアクセスが必要となります）。TCWDのカウント値がH'FFからオーバーフローすると内部リセット信号を発生します。内部リセット信号は内蔵発振器（Rosc）で512クロック分の時間出力されます。TCWDはライト可能なカウンタですので、TCWDに値を設定すると、その値からカウントアップを行います。したがって、TCWDの設定値により、オーバーフロー周期を1～256入力クロックの範囲で設定できます。ウォッチドッグタイマ動作例を図12.2に示します。



12. ウォッチドッグタイマ

12.3.2 インターバルタイマ時の動作

図 12.3 にインターバルタイマ時の動作を示します。インターバルタイマとして使用するには、TCSRWD2 の WT/IT ビットを 1 にセットします。

インターバルタイマとして動作しているときは、TCWD がオーバーフローするごとに、インターバルタイマ割り込み要求が発生します。これにより、一定時間ごとにインターバルタイマ割り込みを発生させることができます。

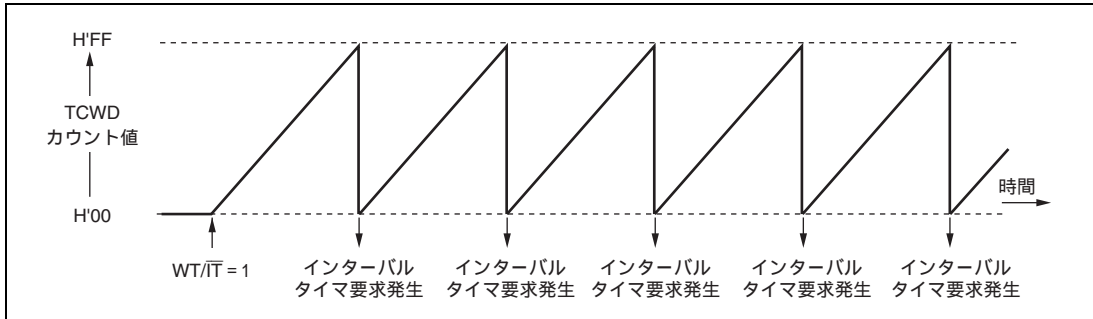


図 12.3 ウォッチドッグタイマモード時の動作

12.3.3 オーバフローフラグ (OVF) セットタイミング

図 12.4 に OVF フラグのセットタイミングを示します。TCSRWD2 の OVF フラグは、TCWD がオーバーフローすると 1 にセットされます。このとき同時にウォッチドッグタイマ時にはリセット信号出力、インターバルタイマ時にはインターバルタイマ割り込みが発生します。

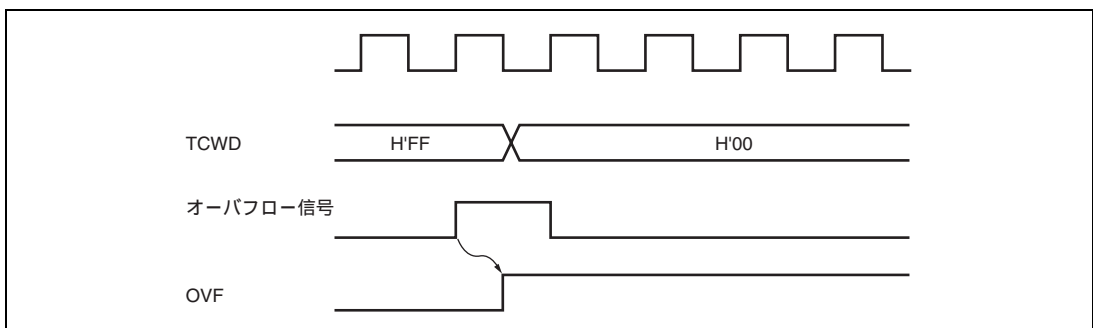


図 12.4 OVF フラグのセットタイミング

12.4 割り込み

インターバルタイマ時、オーパフローによりインターバルタイマ割り込みを発生します。インターバルタイマ割り込みは TCSRWD2 の OVF フラグが 1 にセットされると常に要求されます。割り込み処理ルーチンで必ず OVF フラグを 0 にクリアしてください。

12.5 使用上の注意事項

12.5.1 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われない場合があります。タイマモードの切り替えは、必ず WDT を停止させてから (WDON ビットを 0 にクリアしてから) 行ってください。

12.5.2 モジュールスタンバイモード制御

CKSTPR2 の WDCKSTP は、タイマコントロール/ステータスレジスタ WD1 (TCSRWD1) の WDON が 0 のときに有効になります。WDON が 1 (ウォッチドッグタイマ動作中) のとき WDCKSTP を 0 に設定すると WDCKSTP は 0 に設定されますが、ウォッチドッグタイマは、モジュールスタンバイには入らずウォッチドッグタイマの機能を継続します。ウォッチドッグタイマの機能が終了し、ソフトウェアで WDON を 0 に設定すると、WDCKSTP が有効になり、ウォッチドッグタイマは、モジュールスタンバイモードに入ります。

12.5.3 TCSRWD2 の WT/\overline{IT} および IEOVF のクリア

タイマコントロール/ステータスレジスタ WD2 (TCSRWD2) の WT/\overline{IT} ビットまたは IEOVF ビットを 0 にクリアする際に、実行するアドレスによってはビットを 0 にクリアできない場合があります。具体的には、TCSRWD2 への転送命令 MOV.B のアドレスの下位 2 ビットが "B'10" の場合は 0 クリアが成功しますが、"B'00" のときは 0 クリアが失敗する場合があります。これを防ぐために、 WT/\overline{IT} ビットまたは IEOVF ビットを 0 にクリアする場合は、必ず表 12.1 に示すアセンブリ記述を用いて行ってください。TCSRWD2 は 8 ビット絶対アドレス、LABEL は 16 ビット絶対アドレスで指定し、命令を変更したり追加したりしないでください。1 行目および 4 行目の "xx" の値は表 12.2 の通りに設定してください。Rn、Rm は任意の 8 ビット汎用レジスタを使用してください。また、表 12.1 のアドレス 1 は 2 行目の MOV.B 命令で 0 クリアが成功する場合のアドレスの例、アドレス 2 は 2 行目の MOV.B 命令で 0 クリアが失敗し 6 行目の MOV.B 命令で 0 クリアが成功する場合のアドレスの例を示しています。

12. ウォッチドッグタイマ

表 12.1 WT/ \overline{IT} ビットおよび IEOVF ビットクリアの方法

アドレス 1	アドレス 2	アセンブリ記述
H'00A0	H'0232	MOV.B #H'xx,Rn
H'00A2	H'0234	MOV.B Rn,@TCSRWD2:8 ;アドレス 1 の場合クリア成功、2 の場合クリア失敗
H'00A4	H'0236	MOV.B @TCSRWD2:8,Rm ;TCSRWD2 のリード
H'00A6	H'0238	AND.B #H'xx,Rm ;クリア成功かチェック
H'00A8	H'023A	BEQ LABEL:16 ;クリア成功なら LABEL ヘジャンプ
H'00AC	H'023E	MOV.B Rn,@TCSRWD2:8 ;アドレス 2 の場合クリア成功
H'00AE	H'0240	LABEL NOP

表 12.2 “xx” の値

クリアするビット	1 行目の xx 値	4 行目の xx 値
WT/ \overline{IT} と IEOVF の同時クリア	07	28
WT/ \overline{IT} のみクリア	17	20
IEOVF のみクリア	47	08

13. 非同期イベントカウンタ (AEC)

非同期イベントカウンタ (Asynchronous Event Counter) は、外部イベントクロックまたは内部クロックが入るたびにカウントアップするイベントカウンタです。非同期イベントカウンタのブロック図を図 13.1 に示します。

13.1 特長

- 非同期イベントをカウント可能
システムクロック ()、またはサブクロック (f_{SUB}) の動作とは無関係に入力される外部イベントのカウントが可能です
- 2チャンネルの独立した8ビットイベントカウンタ、または1チャンネルの独立した16ビットイベントカウンタとして使用可能
- IRQAECがHighレベル時またはイベントカウンタPWM出力 (IECPWM) がHighレベル時にイベント/クロック入力が有効
- IRQAECまたはイベントカウンタPWM出力 (IECPWM) 割り込みは立ち下がりエッジ/立ち上がりエッジ/両エッジで検出可能。非同期カウンタを用いない場合は、独立した割り込みとして使用可能
- イベントカウンタPWMを用い、イベントクロック入力の禁止/許可が一定周期で制御可能
- イベントカウンタPWMをAECPWM端子に出力可能
- 4種類のクロックソースを選択可能
3種類の内部クロック ($f_{/2}$ 、 $f_{/4}$ 、 $f_{/8}$) と外部イベントのうちから選択できます。
- AEVL端子、AEVH端子は立ち下がりエッジ/立ち上がりエッジ/両エッジでカウント可能
- ソフトウェアによってカウンタのリセット、カウントアップ機能の停止が制御可能
- イベントカウンタのオーバフローを検出し、自動的に割り込みを発生
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能
(初期値では、非同期イベントカウンタの動作は停止。詳細は、「5.4 モジュールスタンバイ機能」を参照してください。)

13. 非同期イベントカウンタ (AEC)

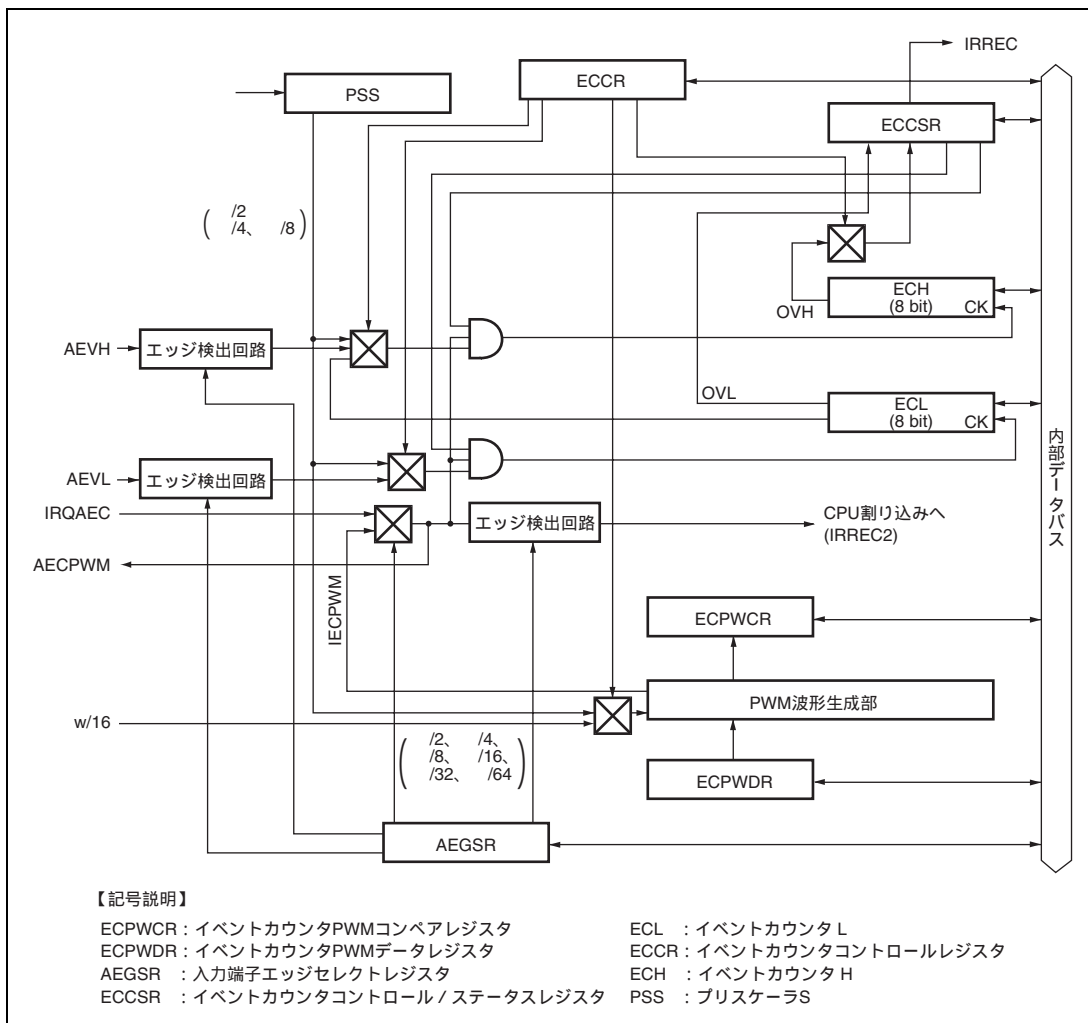


図 13.1 非同期イベントカウンタブロック図

13.2 入出力端子

非同期イベントカウンタの端子構成を表 13.1 に示します。

表 13.1 端子構成

名称	略称	入出力	機能
非同期イベント入力 H	AEVH	入力	イベントカウンタ H に入力するイベント入力端子
非同期イベント入力 L	AEVL	入力	イベントカウンタ L に入力するイベント入力端子
イベント入力カインエーブル 割り込み入力	IRQAEC	入力	イベント入力を有効にする割り込み入力端子
イベントカウンタ PWM 出力	AECPWM	出力	イベントカウンタ PWM 出力端子

13.3 レジスタの説明

非同期イベントカウンタには以下のレジスタがあります。

- イベントカウンタPWMコンペアレジスタ (ECPWCR)
- イベントカウンタPWMデータレジスタ (ECPWDR)
- 入力端子エッジセレクトレジスタ (AEGSR)
- イベントカウンタコントロールレジスタ (ECCR)
- イベントカウンタコントロール/ステータスレジスタ (ECCSR)
- イベントカウンタH (ECH)
- イベントカウンタL (ECL)

13.3.1 イベントカウンタ PWM コンペアレジスタ (ECPWCR)

ECPWCR はイベントカウンタ PWM 波形の 1 変換周期を設定します。

ビット	ビット名	初期値	R/W	説明
15	ECPWCR15	1	R/W	イベントカウンタ PWM 波形 1 変換周期 AEGSR の ECPWME ビットが 1 のとき、イベントカウンタ PWM は動作中ですので ECPWCR を書き換えないでください。 変換周期を変更する際は必ず AEGSR の ECPWME を 0 にしてイベントカウンタ PWM を停止させて書き換えてください。
14	ECPWCR14	1	R/W	
13	ECPWCR13	1	R/W	
12	ECPWCR12	1	R/W	
11	ECPWCR11	1	R/W	
10	ECPWCR10	1	R/W	
9	ECPWCR9	1	R/W	
8	ECPWCR8	1	R/W	
7	ECPWCR7	1	R/W	
6	ECPWCR6	1	R/W	
5	ECPWCR5	1	R/W	
4	ECPWCR4	1	R/W	
3	ECPWCR3	1	R/W	
2	ECPWCR2	1	R/W	
1	ECPWCR1	1	R/W	
0	ECPWCR0	1	R/W	

13. 非同期イベントカウンタ (AEC)

13.3.2 イベントカウンタ PWM データレジスタ (ECPWDR)

ECPWDR はイベントカウンタ PWM 波形生成部のデータを制御します。

ビット	ビット名	初期値	R/W	説明
15	ECPWDR15	0	W	イベントカウンタ PWM 波形生成データ制御 AEGSR の ECPWME ビットが 1 のとき、イベントカウンタ PWM は動作中ですので ECPWDR を書き換えしないでください。 変換周期を変更する際は必ず AEGSR の ECPWME を 0 にしてイベントカウンタ PWM を停止させて書き換えてください。 リードすると不定値が読み出されます。
14	ECPWDR14	0	W	
13	ECPWDR13	0	W	
12	ECPWDR12	0	W	
11	ECPWDR11	0	W	
10	ECPWDR10	0	W	
9	ECPWDR9	0	W	
8	ECPWDR8	0	W	
7	ECPWDR7	0	W	
6	ECPWDR6	0	W	
5	ECPWDR5	0	W	
4	ECPWDR4	0	W	
3	ECPWDR3	0	W	
2	ECPWDR2	0	W	
1	ECPWDR1	0	W	
0	ECPWDR0	0	W	

13.3.3 入力端子エッジセレクトレジスタ (AEGSR)

AEGSR は AEVH 端子、AEVL 端子、IRQAEC 端子の立ち上がり、立ち下がり、両エッジセンスの検出の選択、IRQAEC/IECPWM の制御をします。

ビット	ビット名	初期値	R/W	説明
7	AHEGS1	0	R/W	AEC エッジ選択 H AEVH 端子のエッジ検出を選択します。 00 : AEVH 端子の立ち下がりエッジを検出 01 : AEVH 端子の立ち上がりエッジを検出 10 : AEVH 端子の両エッジを検出 11 : 設定禁止
6	AHEGS0	0	R/W	
5	ALEGS1	0	R/W	AEC エッジ選択 L AEVL 端子のエッジ検出を選択します。 00 : AEVL 端子の立ち下がりエッジを検出 01 : AEVL 端子の立ち上がりエッジを検出 10 : AEVL 端子の両エッジを検出 11 : 設定禁止
4	ALEGS0	0	R/W	

13. 非同期イベントカウンタ (AEC)

ビット	ビット名	初期値	R/W	説明
3 2	AIEGS1 AIEGS0	0 0	R/W R/W	IRQAEC エッジ選択 IRQAEC 端子のエッジ検出を選択します。 00 : IRQAEC 端子の立ち下がりエッジを検出 01 : IRQAEC 端子の立ち上がりエッジを検出 10 : IRQAEC 端子の両エッジを検出 11 : 設定禁止
1	ECPWME	0	R/W	イベントカウンタ PWM イネーブル イベントカウンタ PWM の動作および、IRQAEC 選択の制御をします。 0 : AEC 用 PWM 動作の停止および IRQAEC を選択する 1 : AEC 用 PWM 動作の許可および IRQAEC を選択しない
0	-	0	R/W	リザーブビット リード/ライト可能ですが、1 にセットしないでください。

13.3.4 イベントカウンタコントロールレジスタ (ECCR)

ECCR はカウンタの入クロック、PWM のクロックの制御をします。

ビット	ビット名	初期値	R/W	説明
7 6	ACKH1 ACKH0	0 0	R/W R/W	AEC クロック選択 H ECH 側で使用するクロックの選択をします。 00 : AEVH 端子入力 01 : /2 10 : /4 11 : /8
5 4	ACKL1 ACKL0	0 0	R/W R/W	AEC クロック選択 L ECL 側で使用するクロックの選択をします。 00 : AEVL 端子入力 01 : /2 10 : /4 11 : /8
3 2 1	PWCK2 PWCK1 PWCK0	0 0 0	R/W R/W R/W	イベントカウンタ用 PWM のクロック選択 イベントカウンタ用 PWM のクロックの選択をします。 000 : /2 001 : /4 010 : /8 011 : /16 100 : /32 101 : /64 110 : w/16 111 : 設定禁止 イベントカウンタ用 PWM のクロックを変更する際には、必ず AEGSR の ECPWME を 0 にして PWM を停止させて書き換えてください。

13. 非同期イベントカウンタ (AEC)

ビット	ビット名	初期値	R/W	説明
0	-	0	R/W	リザーブビット リード/ライト可能ですが、1にセットしないでください。

13.3.5 イベントカウンタコントロール/ステータスレジスタ (ECCSR)

ECCSRはカウンタのオーバーフローの検出、カウンタのリセット、カウントアップ機能の制御を行います。

ビット	ビット名	初期値	R/W	説明
7	OVH	0	R/(W)*	カウンタオーバーフローH ECHがオーバーフローしたことを示すステータスフラグです。 [セット条件] ECHの値が H'FF H'00 になったとき [クリア条件] 1をリードした後、0をライトしたとき
6	OVL	0	R/(W)*	カウンタオーバーフローL ECLがオーバーフローしたことを示すステータスフラグです。 [セット条件] CH2が1の状態ECLの値が H'FF H'00 になったとき [クリア条件] 1をリードした後、0をライトしたとき
5	-	0	R/W	リザーブビット リード/ライト可能ですが、1にセットしないでください。
4	CH2	0	R/W	チャンネル選択 ECH、ECL イベントカウンタの使用方法を選択します。 0: ECH、ECL を1チャンネルの16ビットイベントカウンタとして使用 1: ECH、ECL を2チャンネルの8ビットイベントカウンタとして使用
3	CUEH	0	R/W	カウントアップイネーブルH ECHに入力されるイベントクロックの入力を禁止/許可します。 0: ECHのイベントクロック入力を禁止 (ECHの値保持) 1: ECHのイベントクロック入力を許可
2	CUEL	0	R/W	カウントアップイネーブルL ECLに入力されるイベントクロックの入力を禁止/許可します。 0: ECLのイベントクロック入力を禁止 (ECLの値保持) 1: ECLのイベントクロック入力を許可
1	CRCH	0	R/W	カウンタリセット制御H ECHのリセットを制御します。 0: ECHをリセット 1: ECHのリセットを解除しカウントアップ機能を許可

13. 非同期イベントカウンタ (AEC)

ビット	ビット名	初期値	R/W	説明
0	CRCL	0	R/W	カウンタリセット制御 L ECL のリセットを制御します。 0 : ECL をリセット 1 : ECL のリセットを解除しカウントアップ機能を許可

【注】 * フラグクリアのための 0 ライトのみ可能です。

13.3.6 イベントカウンタ H (ECH)

ECH は 8 ビットのリード可能なアップカウンタで、独立した 8 ビットのイベントカウンタとして動作します。また、ECL と組み合わせることで 16 ビットのイベントカウンタ上位 8 ビットのアップカウンタとして動作します。

ビット	ビット名	初期値	R/W	説明
7	ECH7	0	R	入力クロックは外部非同期イベント AEVH 端子、 /2、 /4、 /8 または下位 8 ビットカウンタ ECL からのオーバーフロー信号のいずれかを選択可能です。ECH は ECCSR の CRCH を 0 にすることにより H'00 にクリア可能です。
6	ECH6	0	R	
5	ECH5	0	R	
4	ECH4	0	R	
3	ECH3	0	R	
2	ECH2	0	R	
1	ECH1	0	R	
0	ECH0	0	R	

13.3.7 イベントカウンタ L (ECL)

ECL は 8 ビットのリード可能なアップカウンタで、独立した 8 ビットのイベントカウンタとして動作します。また、ECH と組み合わせることで 16 ビットのイベントカウンタ下位 8 ビットのアップカウンタとして動作します。

ビット	ビット名	初期値	R/W	説明
7	ECL7	0	R	入力クロックは外部非同期イベント AEVL 端子、 /2、 /4、 /8 を使用します。ECL は ECCSR の CRCL を 0 にすることにより H'00 にクリア可能です。
6	ECL6	0	R	
5	ECL5	0	R	
4	ECL4	0	R	
3	ECL3	0	R	
2	ECL2	0	R	
1	ECL1	0	R	
0	ECL0	0	R	

13. 非同期イベントカウンタ (AEC)

13.4 動作説明

13.4.1 16 ビットカウンタの動作

ECCSR の CH2 を 0 にクリアすると、ECH、ECL は 16 ビットのカウンタとして動作します。

このときの入力クロックソースは ECCR の ACKL1 ~ 0 によって /2、 /4、 /8、および AEVL 端子入力の 4 種類から選択できます。AEVL 端子入力を選択した場合、ALEGS1 ~ 0 によって入力センスを選択します。ただし、入力クロックが有効になるのは IRQAEC が High レベルまたは IECPWM が High レベルのときです。IRQAEC が Low レベルまたは IECPWM が Low レベルのときは、入力クロックはカウンタに入力されないため、カウンタは動作しません。16 ビットカウンタとして使用する場合のソフトウェア手順を図 13.2 に示します。

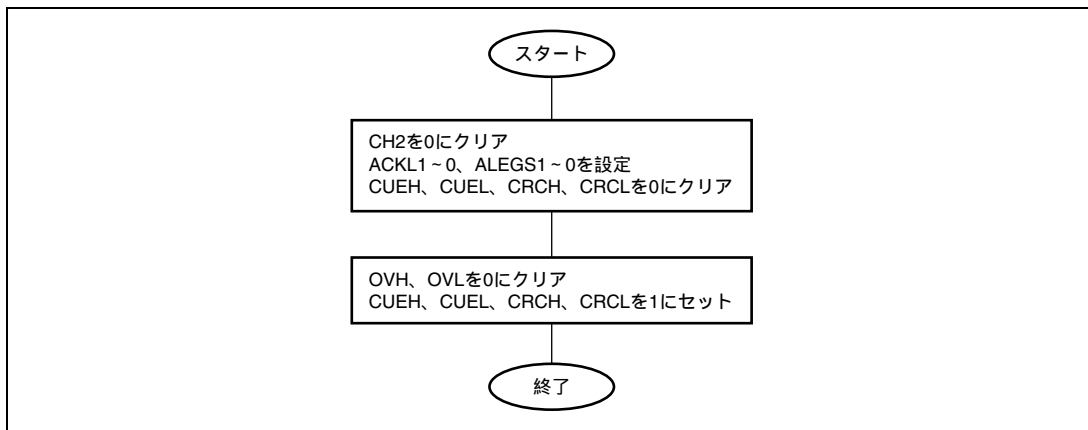


図 13.2 16 ビットカウンタとして使用する場合のソフトウェア手順

リセット時、CH2 は 0 にクリアされるため、リセット後は ECH、ECL は 16 ビットカウンタとして動作し、ACKL1 ~ 0 は B'00 にクリアされるため、動作クロックは AEVL 端子からの非同期イベント入力になります。また、AEVL 端子の入力は立ち下がりエッジ検出になります。

ECH、ECL のカウント値がともに H'FF になった後に、クロックが入力されると ECH、ECL はオーバフロー (H'FFFF ~ H'0000) し、ECCSR の OVH フラグが 1 にセットされ、ECH、ECL のカウント値は各々 H'00 に戻り、カウントアップを再開します。オーバフロー発生時には、IRR2 の IRREC が 1 にセットされます。このとき IENR2 の IENEC が 1 ならば CPU に割り込みを要求します。

13.4.2 8ビットカウンタの動作

ECCSR の CH2 を 1 にセットすると、ECH、ECL は独立した 8 ビットのカウンタとして動作します。

このときの入力クロックソースは、ECH は ECCR の ACKH1 ~ 0 によって /2、/4、/8、AEVH 端子入力の 4 種類から選択でき、ECL は ECCR の ACKL1 ~ 0 によって /2、/4、/8、AEVL 端子入力の 4 種類から選択できます。AEVH 端子入力を選択した場合、AHEGS1 ~ 0 によって入力センスを選択し、AEVL 端子入力を選択した場合、ALEGS1 ~ 0 によって入力センスを選択します。ただし、入力クロックが有効になるのは IRQAEC が High レベルまたは IECPWM が High レベルのときです。IRQAEC が Low レベルまたは IECPWM が Low レベルのときは、入力クロックはカウンタに入力されないため、カウンタは動作しません。8 ビットカウンタとして使用する場合のソフトウェア手順を図 13.3 に示します。

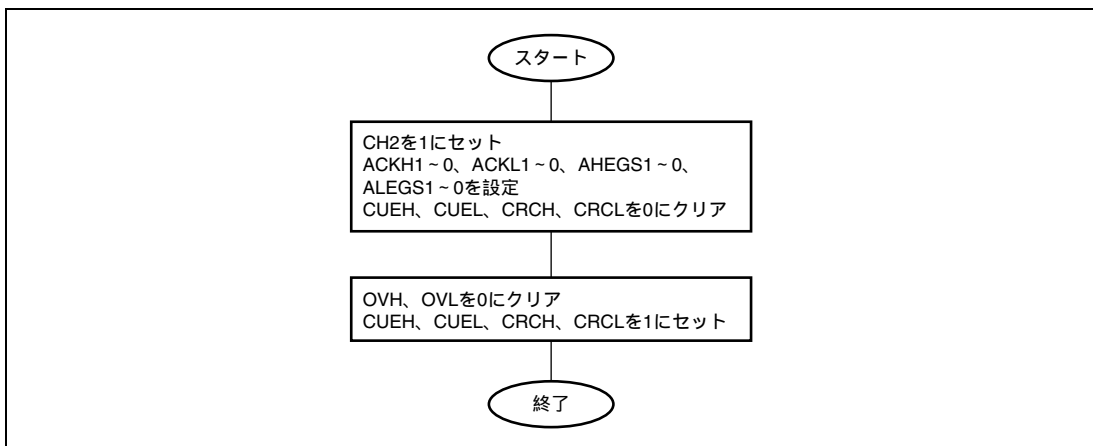


図 13.3 8 ビットカウンタとして使用する場合のソフトウェア手順

ECH のカウント値が H'FF になった後にクロックが入力されると、ECH はオーバーフローし ECCSR の OVH フラグが 1 にセットされ、ECH のカウント値は H'00 に戻り、カウントアップを再開します。また、ECL のカウント値が H'FF になった後にクロックが入力されると、ECL はオーバーフローし ECCSR の OVL フラグが 1 にセットされ、ECL のカウント値は H'00 に戻り、カウントアップを再開します。オーバーフロー発生時には、IRR2 の IRREC が 1 にセットされます。このとき IENR2 の IENEC が 1 ならば CPU に割り込みを要求します。

13. 非同期イベントカウンタ (AEC)

13.4.3 IRQAEC の動作

AEGSR の ECPWME が 0 のとき、ECH、ECL の入力クロックが有効になるのは IRQAEC が High レベルのときです。IRQAEC が Low レベルのときは、入力クロックはカウンタに入力されないため、ECH、ECL はカウントしません。したがって、IRQAEC を制御することにより ECH、ECL のカウント動作を外部から制御することが可能です。このとき、ECH、ECL を個々に制御することはできません。

IRQAEC は割り込み要因としても動作可能です。

割り込み許可は IENR1 の IENEC2 によって制御します。IRQAEC の割り込みが発生すると IRR1 の割り込み要求フラグ IRREC2 が 1 にセットされます。このとき IENR1 の IENEC2 が 1 ならば CPU に割り込みを要求します。

IRQAEC 入力端子の入力センスは AEGSR の AIEGS1 ~ 0 によって立ち上がり、立ち下がり、両エッジ検出を選択できます。

13.4.4 イベントカウンタ PWM の動作

AEGSR の ECPWME が 1 のとき、ECH、ECL の入力クロックが有効になるのはイベントカウンタ PWM の出力 (IECPWM) が High レベルのときです。IECPWM が Low レベルのときは、入力クロックはカウンタに入力されないため、ECH、ECL はカウントしません。したがって、イベントカウンタ PWM を制御することにより ECH、ECL のカウント動作を周期的に制御することが可能です。このとき、ECH、ECL を個々に制御することはできません。

IECPWM は割り込み要因としても動作可能です。

割り込み許可は IENR1 の IENEC2 によって制御します。IECPWM の割り込みが発生すると IRR1 の割り込み要求フラグ IRREC2 が 1 にセットされます。このとき IENR1 の IENEC2 が 1 ならば CPU に割り込みを要求します。

IECPWM 割り込みセンスは AEGSR の AIEGS1 ~ 0 によって立ち上がり、立ち下がり、両エッジ検出を選択できます。

図 13.4、表 13.2 にイベントカウンタ PWM の動作例を示します。

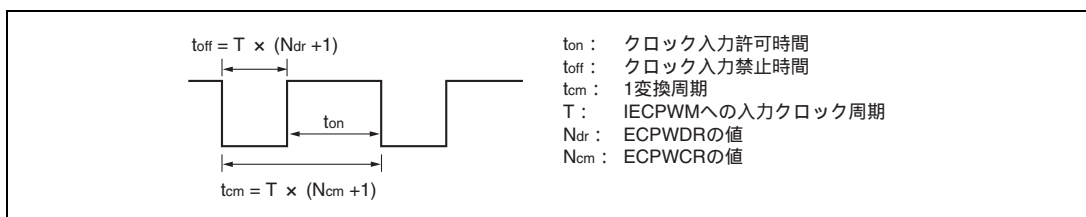


図 13.4 イベントカウンタ動作波形

【注】 上記 N_{dr} と N_{cm} は必ず $N_{dr} < N_{cm}$ の関係で設定してください。
それ以外の設定のときは、イベントカウンタ PWM の出力は Low レベル固定になります。

表 13.2 イベントカウンタ PWM 動作例

例) fosc 4MHz、f 4MHz、fw 32.768kHz、f w 32.768kHz、高速アクティブモード、ECPWCR の値 (Ncm) = H'7A11、
ECPWDR の値 (Ndr) = H'16E3 の例

クロック ソース選択	クロックソース 周期 (T)*	ECPWCR の値 (Ncm)	ECPWDR の値 (Ndr)	toff = T × (Ndr+1)	tcm = T × (Ncm+1)	ton = tcm-toff
/2	0.5μs	H'7A11 D'31249	H'16E3 D'5859	2.93ms	15.625ms	12.695ms
/4	1μs			5.86ms	31.25ms	25.39ms
/8	2μs			11.72ms	62.5ms	50.78ms
/16	4μs			23.44ms	125.0ms	101.56ms
/32	8μs			46.88ms	250.0ms	203.12ms
/64	16μs			93.76ms	500.0ms	406.24ms
w/16	488μs			2,861.59ms	15,260.19ms	12,398.60ms

【注】 * toff の最小幅

13.4.5 クロック入力許可 / 禁止機能の動作

イベントカウンタへ入力されるクロックは AEGSR の ECPWME が 0 のときは、IRQAEC 端子、AEGSR の ECPWME が 1 のときは、イベントカウンタ PWM の出力 IECPWM によって制御できます。この機能は各信号によって入力されるクロックを強制的に停止させるため、IRQAEC のタイミングまたは IECPWM のタイミングによって最大 1 カウント分の誤差が生じます。図 13.5 にその動作例を示します。

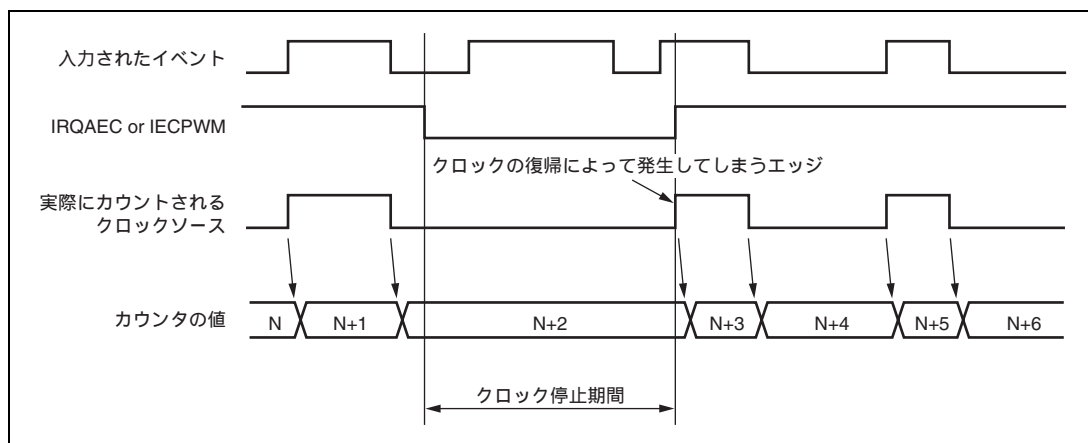


図 13.5 クロック制御動作例

13. 非同期イベントカウンタ (AEC)

13.5 非同期イベントカウンタの動作モード

非同期イベントカウンタの動作モードを表 13.3 に示します。

表 13.3 非同期イベントカウンタの動作モード

カウンタ	クロックソース	アクティブ		スリープ		ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	発振安定期間			備考
		高速	中速	高速	中速					スタンバイ →アクティブ	サブアクティブ →アクティブ	ウォッチ →アクティブ	
ECH、 ECL	AEVH、AEVL /2、 /4、 /8						x	x	x	x	x	x	*1
PWM	w/16 /2、 /4、 /8、 /16、 /32、 /64					x	x	x	x	x	x	x	*2

【記号説明】

○ : カウント動作可 × : カウント動作不可 (カウンタ値保持)

【注】 *1 カウントアップ可能なのは IRQAEC/IECPWM = 1 のときのみです。

*2 スタンバイおよびスタンバイ解除時の発振安定期間では出力はハイインピーダンスです。

13.6 使用上の注意事項

1. ECH、ECLの値をリードする場合には、リードする前に8ビットモードではECCSRのCUEH、CUELを0に、16ビットモードではCUELを0にクリアして非同期イベント入力をカウンタに入力しないようにしてください。リードしている際にイベントカウンタがカウントアップすると正しい値がリードできません。
2. AEVH、AEVL端子に入力するクロックの周波数は、1.8～3.6V範囲で最大4.2MHzまで、2.7～3.6V範囲で最大10MHzとしてください。またクロックのHigh幅、Low幅は「第21章 電気的特性」を参照してください。High幅、Low幅の最小を満たせばデューティ比はいくつでもかまいません。

表 13.4 最大クロック周波数

モード	AEVL、AEVH 端子に入力する最大クロック周波数
アクティブ (高速)、スリープ (高速)	4MHz ~ 10MHz (2.7 ~ 3.6V)、 2MHz ~ 4.2MHz (1.8 ~ 3.6V)
アクティブ (中速)、スリープ (中速)	2・fosc
(osc/8)	fosc
(osc/16)	1/2・fosc
fosc=4MHz ~ 10MHz (2.7 ~ 3.6V)	(osc/32)
fosc=2MHz ~ 4.2MHz (1.8 ~ 3.6V)	(osc/64)
	1/4・fosc
ウォッチ、サブアクティブ、サブスリープ、スタンバイ	(w)
	(w/2)
	(w/4)
	(w/8)
w=32.768kHz または 38.4kHz	2000kHz
	1000kHz
	500kHz
	250kHz

3. 16ビットモードで使用する場合、ECCSRの設定はCUEHを1にセットしてからCRCHを1にセットするか、CUEHとCRCHを同時にセットしてからクロックを入力してください。その後16ビットモードで使用するときはCUEHの値を変更しないでください。16ビットモード設定中にCUEHを変化させると、ECHが誤カウントアップすることがあります。
4. AEGSRのECPWMEが1のとき、イベントカウンタPWMは動作中ですのでECPWCR、ECPWDRを書き換えしないでください。
データを変更する際は必ずAEGSRのECPWMEを0にして (イベントカウンタPWMを停止させて) から書き換えてください。
5. イベントカウンタPWMデータレジスタとイベントカウンタPWMコンペアレジスタは必ずイベントカウンタPWMデータレジスタ < イベントカウンタPWMコンペアレジスタの関係で設定してください。
それ以外の設定のときにAEGSRのECPWMEを1にセットしないでください。
6. IRQAECは内部で同期をとって割り込みを発生しているためクロックの停止と割り込み受け付けまでは最大1t_{cyc}、または1t_{subcyc}の誤差が生じます。

13. 非同期イベントカウンタ (AEC)

7. ポート1の端子をAECの入出力として使用する場合、PFCRとPMR1レジスタは下記の順で設定してください。
 - (1) PFCRレジスタを設定する。
 - (2) PMR1レジスタのビット5 (IRQAECビット) を0にして、ビット4～ビット0を設定する。
 - (3) PMR1レジスタのビット5 (IRQAECビット) を1に設定する。なお、このとき、ビット4～ビット0の値は上記(2)の設定値と同じにする。

14. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

SCI3 (シリアルコミュニケーションインタフェース 3) は、調歩同期式とクロック同期式の 2 方式のシリアルデータ通信が可能です。調歩同期方式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアルデータ通信ができます。SCI3 は、IrDA (Infrared Data Association) 規格バージョン 1.0 に基づく IrDA 通信波形の送受信が可能です。

14.1 特長

- シリアルデータ通信フォーマットを調歩同期式またはクロック同期式に設定可能
- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部および受信部ともにダブルバッファ構造になっていますので、連続送受信が可能です。

- 内蔵ボーレートジェネレータで任意のビットレートを選択可能
- 送受信クロックソースとして内蔵ボーレートジェネレータまたは内部クロックまたは外部クロックを選択可能

- 6種類の割り込み要因

送信終了、送信データエンプティ、受信データフル、オーバランエラー、フレーミングエラー、パリティエラーの割り込み要因があります。

- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能
(初期値ではSCI3の動作は停止。詳細は、「5.4 モジュールスタンバイ機能」を参照してください。)

調歩同期式モード

- データ長：7ビット / 8ビット / 5ビット選択可能
- ストップビット長：1ビット / 2ビット選択可能
- パリティ：偶数パリティ / 奇数パリティ / パリティなしから選択可能
- 受信エラーの検出：パリティエラー、オーバランエラー、フレーミングエラー
- ブレークの検出：フレーミングエラー発生時にRXD3端子のレベルを直接読み出すことでブレークを検出可能

14. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

クロック同期モード

- データ長：8ビット
- 受信エラーの検出：オーバーランエラー

【注】 本機能を実行する際は、必ずシステムクロック発振器、またはサブクロック発振器を使用してください。

SCI3 のブロック図を図 14.1 に示します。

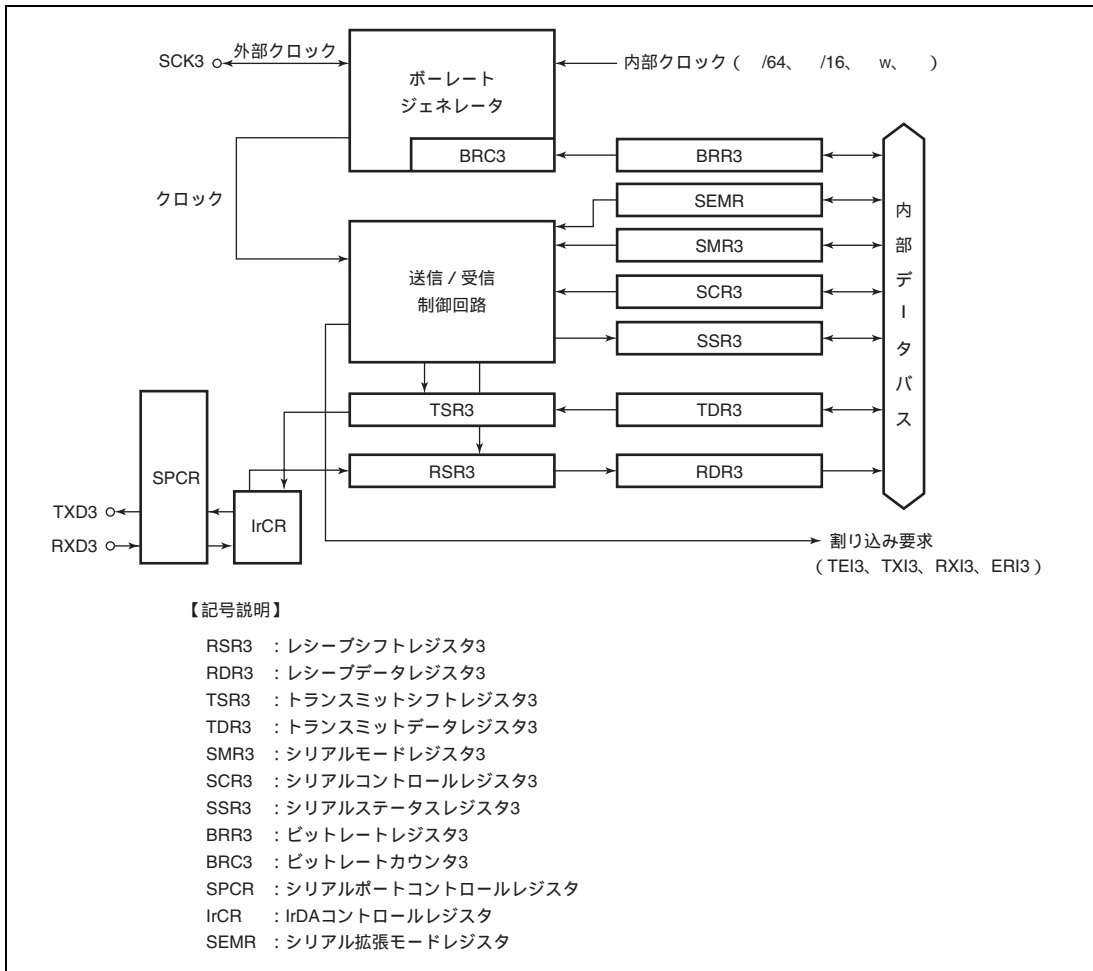


図 14.1 SCI3 のブロック図

14.2 入出力端子

SCI3 の端子構成を表 14.1 に示します。

表 14.1 端子構成

名称	略称	入出力	機能
SCI3 クロック	SCK3	入出力	SCI3 のクロック入出力端子
SCI3 レシーブデータ入力	RXD3	入力	SCI3 の受信データ入力端子
SCI3 トランスミットデータ出力	TXD3	出力	SCI3 の送信データ出力端子

14.3 レジスタの説明

SCI3 にはチャンネルごとに以下のレジスタがあります。

- レシーブシフトレジスタ3 (RSR3) *
- レシーブデータレジスタ3 (RDR3) *
- トランスミットシフトレジスタ3 (TSR3) *
- トランスミットデータレジスタ3 (TDR3) *
- シリアルモードレジスタ3 (SMR3) *
- シリアルコントロールレジスタ3 (SCR3) *
- シリアルステータスレジスタ3 (SSR3) *
- ビットレートレジスタ3 (BRR3) *
- シリアルポートコントロールレジスタ (SPCR)
- IrDAコントロールレジスタ (IrCR)
- シリアル拡張モードレジスタ (SEMR)

【注】 * 本文中ではそれぞれのレジスタ名称を以下 RSR、RDR、TSR、TDR、SMR、SCR、SSR、BRR と略します。

14.3.1 レシーブシフトレジスタ (RSR)

RSR は RXD3 端子から入力されたシリアルデータをパラレル変換するための受信用シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR へ転送されます。CPU からは直接アクセスすることはできません。

14.3.2 レシーブデータレジスタ (RDR)

RDR は受信データを格納するための 8 ビットのレジスタです。1 フレーム分のデータを受信すると RSR から受信データがこのレジスタへ転送され、RSR は次のデータを受信可能となります。RSR と RDR はダブルバッファ構造になっているため連続受信動作が可能です。RDR のリードは SSR の RDRF が 1 にセットされていることを確認して 1 回だけ行ってください。RDR は CPU からライトできません。RDR の初期値は H'00 です。

RDR はリセット、スタンバイモード、ウォッチモード、モジュールスタンバイモード時に H'00 に初期化されません。

14. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

14.3.3 トランスミットシフトレジスタ (TSR)

TSR はシリアルデータを送信するためのシフトレジスタです。TDR に書き込まれた送信データは自動的に TSR に転送され、LSB から順に TXD3 端子に送出することでシリアルデータ送信を行います。ただし、TDR にデータが書き込まれていない (TDRE に 1 がセットされている) 場合には TDR から TSR へのデータ転送は行いません。CPU からは直接アクセスすることはできません。

14.3.4 トランスミットデータレジスタ (TDR)

TDR は送信データを格納するための 8 ビットのレジスタです。TSR に空を検出すると TDR に書き込まれた送信データは TSR に転送されて送信を開始します。TDR と TSR はダブルバッファ構造になっているため連続送信動作が可能です。1 フレーム分のデータを送信したとき TDR につぎの送信データが書き込まれていれば TSR へ転送して送信を継続します。シリアル送信を確実に行うため、TDR への送信データのライトは必ず SSR の TDRE が 1 にセットされていることを確認して 1 回だけ行うようにしてください。TDR の初期値は H'FF です。

TDR はリセットスタンバイモード、ウォッチモード、モジュールスタンバイモード時に H'FF に初期化されます。

14.3.5 シリアルモードレジスタ (SMR)

SMR はシリアルデータ通信フォーマットと内蔵ボーレートジェネレータのクロックソースを選択するためのレジスタです。

SMR はリセット、スタンバイモード、ウォッチモード、モジュールスタンバイモード時に H'00 に初期化されません。

ビット	ビット名	初期値	R/W	説明
7	COM	0	R/W	コミュニケーションモード 0: 調歩同期式モードで動作します。 1: クロック同期式モードで動作します。
6	CHR	0	R/W	キャラクタレングス (調歩同期式モードのみ有効) 0: データ長 8 ビット / 5 ビットのフォーマットで送受信します。 1: データ長 7 ビット / 5 ビットのフォーマットで送受信します。 7 ビットデータを選択した場合、TDR の MSB (ビット 7) は送信されません。 5 ビットデータを選択する場合は PE = 1、MP = 1 に設定してください。 また、TDR の MSB (ビット 7、ビット 6、ビット 5) は送信されません。なお、 クロック同期式モードでは、CHR の設定にかかわらず、データ長は 8 ビットに 固定となります。
5	PE	0	R/W	パリティイネーブル (調歩同期式モードのみ有効) このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティ チェックを行います。 なお、クロック同期式モードでは PE の設定にかかわらずパリティビットの付 加およびチェックは行いません。

14. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

ビット	ビット名	初期値	R/W	説明
4	PM	0	R/W	<p>パリティモード (調歩同期式モードで PE = 1 のときのみに有効)</p> <p>0: 偶数パリティで送受信します。</p> <p>1: 奇数パリティで送受信します。</p> <p>偶数パリティに設定すると、送信時にはパリティビットと送信データを合わせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信データを合わせて、その中の 1 の数の合計が偶数になるかどうかをチェックします。</p> <p>奇数パリティに設定すると、送信時にはパリティビットと送信データを合わせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信データを合わせて、その中の 1 の数の合計が奇数になるかどうかをチェックします。なお、クロック同期式モードや調歩同期式モードでパリティの付加やチェックを禁止している場合には PM は無効です。</p>
3	STOP	0	R/W	<p>ストップビットレングス (調歩同期式モードのみに有効)</p> <p>送信時のストップビットの長さを選択します。</p> <p>0: 1 ストップビット</p> <p>1: 2 ストップビット</p> <p>受信時はこのビットの設定値にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が 0 の場合は次の送信キャラクタのスタートビットとみなします。</p>
2	MP	0	R/W	<p>5 ビット通信</p> <p>このビットが 1 のとき 5 ビット通信フォーマットが可能となります。1 をライトビットする場合は必ず同時に、ビット 5 (PE ビット) に 1 をライトしてください。</p>
1	CKS1	0	R/W	<p>クロックセレクト 1~0</p>
0	CKS0	0	R/W	<p>内蔵ボーレートジェネレータのクロックソースを選択します。</p> <p>00: クロック (n=0)</p> <p>01: w クロック (n=0)</p> <p>10: /16 クロック (n=2)</p> <p>11: /64 クロック (n=3)</p> <p>設定値 0、1 ではサブアクティブモード、サブスリープモード時では CPU 動作クロックが w のときのみ SCI3 が使用可能になります。</p> <p>このビットの設定値とボーレートの関係については、「14.3.8 ビットレートレジスタ (BRR)」を参照してください。n は設定値の 10 進表示で、「14.3.8 ビットレートレジスタ (BRR)」中の n の値を表します。</p>

14. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

14.3.6 シリアルコントロールレジスタ (SCR)

SCR は以下の送受信動作と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。各割り込み要求については「14.7 割り込み要求」を参照してください。

SCR はリセット、スタンバイモード、ウォッチモード、モジュールスタンバイモード時に H'00 に初期化されません。

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを 1 セットすると、TXI3 割り込み要求がイネーブルになります。 TXI3 は、TDRE を 0 にクリアするか、または TIE を 0 にクリアすることで解除できます。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを 1 セットすると、RXI3 および ERI3 割り込み要求がイネーブルになります。 RXI3 および ERI3 は、RDRF または、FER、PER、OER のエラーフラグを 0 にクリアするか、RIE を 0 にクリアすることで解除できます。
5	TE	0	R/W	トランスミットイネーブル このビットが 1 のとき送信動作が可能になります。 TE が 0 の状態では、SSR の TDRE は 1 に固定されます。TE が 1 の状態で、TDR に送信データをライトすると SSR の TDRE が 0 にクリアされシリアルデータ送信を開始します。なお、TE を 1 にセットする前に必ず SMR の設定と SPCR の SPC3 の設定を行い、送信フォーマットを決定してください。
4	RE	0	R/W	レシーブイネーブル このビットが 1 のとき受信動作が可能になります。 この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力を、それぞれ検出するとシリアルデータ受信を開始します。なお、RE を 1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。RE を 0 にクリアしても SSR の RDRF、FER、PER、OER の各フラグは影響を受けず、状態を保持しますので注意してください。
3	MPIE	0	R/W	リザーブビット リザーブビットです。

14. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

ビット	ビット名	初期値	R/W	説 明
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル このビットを 1 にセットすると TEI3 割り込み要求がイネーブルになります。 TEI3 は、SSR の TDRE を 0 にクリアして TEND を 0 にクリアするか、TEIE を 0 にクリアすることで解除できます。
1	CKE1	0	R/W	クロックイネーブル 1 ~ 0 クロックソースを選択します。 調歩同期式の場合 00 : 内部ポーレートジェネレータ (SCK3 端子は入出力ポート機能となります) 01 : 内部ポーレートジェネレータ (SCK3 端子からビットレートと同じ周波数のクロックを出力します) 10 : 外部クロック (SCK3 端子からビットレートの 16 倍の周波数のクロックを入力してください。) 11 : リザーブ クロック同期式の場合 00 : 内部クロック (SCK3 端子機能はクロック出力端子となります。) 01 : リザーブ 10 : 外部クロック (SCK3 端子機能はクロック入力端子となります。) 11 : リザーブ
0	CKE0	0	R/W	

14. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

14.3.7 シリアルステータスレジスタ (SSR)

SSR は SCI3 のステータスフラグです。TDRE、RDRF、OER、PER、FER はクリアのみ可能です。

SSR はリセットスタンバイモード、モジュールスタンバイモード、ウォッチモード時に H'84 に初期化されます。

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)*	<p>トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> SCR の TE が 0 のとき TDR から TSR にデータが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき TDR へ送信データをライトしたとき
6	RDRF	0	R/(W)*	<p>レシーブデータレジスタフル RDR 内の受信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 受信が正常終了し、RSR から RDR へ受信データが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき RDR のデータをリードしたとき <p>受信時にエラーを検出したとき、および SCR の RE を 0 にクリアしたときには、RDR および RDRF は影響を受けず以前の状態を保持します。RDRF が 1 にセットされたままデータの受信を完了するとオーバランエラー (OER) を発生し、受信データが失われますので注意してください。</p>
5	OER	0	R/(W)*	<p>オーバランエラー</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 受信中にオーバランエラーが発生したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき <p>SCR の RE を 0 にクリアしたときには、OER は影響を受けず以前の状態を保持します。オーバランエラーが発生すると RDR では、オーバランエラーが発生する前の受信データが保持され、後から受信したデータが失われます。なお、OER が 1 にセットされた状態で、以降の受信を続けることはできません。クロック同期モードでは送信も続けることができません。</p>

14. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

ビット	ビット名	初期値	R/W	説明
4	FER	0	R/(W)*	<p>フレーミングエラー</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 受信中にフレーミングエラーが発生したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1の状態をリードした後、0をライトしたとき <p>SCRのREを0にクリアしたときには、FERは影響を受けず以前の状態を保持します。2ストップビットモード時は、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックをしませんので注意してください。なお、フレーミングエラーが発生したときの受信データはRDRに転送されますが、RDRFはセットされません。さらに、FERが1にセットされた状態においては、以降の受信を続けることはできません。また、クロック同期モードでは、FERが1にセットされていると送信および受信はできません。</p>
3	PER	0	R/(W)*	<p>パリティエラー</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 受信中にパリティエラーが発生したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1の状態をリードした後、0をライトしたとき <p>SCRのREを0にクリアしたときには、PERは影響を受けず以前の状態を保持します。パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFはセットされません。なお、PERが1にセットされた状態では、以降の受信を続けることはできません。また、クロック同期モードでは、PERが1にセットされていると送信および受信はできません。</p>
2	TEND	1	R	<p>トランスミットエンド</p> <p>[セット条件]</p> <ul style="list-style-type: none"> SCRのTEが0のとき 送信キャラクタの最後尾ビットの送信時、TDREが1のとき <p>[クリア条件]</p> <ul style="list-style-type: none"> TDRE=1の状態をリードした後、TDREに0をライトしたとき TDRへ送信データをライトしたとき
1	MPBR	0	R	<p>リザーブビット</p> <p>リード専用のリザーブビットです。ライトはできません。</p>
0	MPBT	0	R/W	<p>リザーブビット</p> <p>リザーブビットです。ライトする場合は必ず0をライトしてください。</p>

【注】 * フラグをクリアするための0ライトのみ可能です。

14.3.8 ビットレートレジスタ (BRR)

BRR はビットレートを設定するリード/ライト可能な 8 ビットのレジスタです。BRR の初期値は H'FF です。調歩同期式モードにおける SMR の CKS1、CKS0 の値 n と BRR の値 N の設定例を表 14.2、表 14.3 に、調歩同期式モードの最大ビットレートを表 14.5 に示します。いずれもアクティブ (高速) モードでの値を示しています。調歩同期式モードで、SEMR の ABCS ビットを 1 にセットしたときは、最大ビットレートは表 14.5 の 2 倍になります。クロック同期式モードにおける SMR の CKS1、CKS0 の値 n と BRR の値 N の設定例を表 14.6 に示します。アクティブ (高速) モードでの値を示しています。その他の動作周波数とビットレートの組み合わせに対する BRR の設定値 N と誤差は以下の計算式で求められます。

[調歩同期式モード、ABCS ビット = 0]

$$N = \frac{32 \times 2^{2n} \times B}{1} - 1$$

$$\text{誤差 (\%)} = \frac{B(n, N, \text{ から求めたビットレート}) - R(\text{表14.2左欄のビットレート})}{R(\text{表14.2の左欄のビットレート})} \times 100$$

[調歩同期式モード、ABCS ビット = 1]

$$N = \frac{16 \times 2^{2n} \times B}{1} - 1$$

$$\text{誤差 (\%)} = \frac{B(n, N, \text{ から求めたビットレート}) - R(\text{表14.3左欄のビットレート})}{R(\text{表14.3の左欄のビットレート})} \times 100$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの BRR の設定値 (0 N 255)

: 動作周波数 (Hz)

n : ボーレートジェネレータの入力クロックの No. (n=0,2,3)

(n とクロックの関係は表 14.4 を参照)

14. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

表 14.2 ビットレートに対する BRR の設定例〔調歩同期式モード、ABCS ビット=0〕(1)

ビット レート (bit/s)	32.8kHz			38.4kHz			2MHz			2.097152MHz		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	-	-	-	0	10	-0.83	2	35	-1.36	2	36	0.64
150	0	6	-2.38	0	7	0.00	2	25	0.16	2	26	1.14
200	0	4	2.50	0	5	0.00	2	19	-2.34	2	19	2.40
250	0	3	2.50	-	-	-	0	249	0.00	2	15	2.40
300	-	-	-	0	3	0.00	0	207	0.16	0	217	0.21
600	-	-	-	0	1	0.00	0	103	0.16	0	108	0.21
1200	-	-	-	0	0	0.00	0	51	0.16	0	54	-0.70
2400	-	-	-	-	-	-	0	25	0.16	0	26	1.14
4800	-	-	-	-	-	-	0	12	0.16	0	13	-2.48
9600	-	-	-	-	-	-	-	-	-	0	6	-2.48
19200	-	-	-	-	-	-	-	-	-	-	-	-
31250	-	-	-	-	-	-	0	1	0.00	-	-	-
38400	-	-	-	-	-	-	-	-	-	-	-	-

表 14.2 ビットレートに対する BRR の設定例〔調歩同期式モード、ABCS ビット=0〕(2)

ビット レート (bit/s)	2.4576MHz			3MHz			3.6864MHz			4MHz		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	43	-0.83	2	52	0.50	2	64	0.70	2	70	0.03
150	2	31	0.00	2	38	0.16	2	47	0.00	2	51	0.16
200	2	23	0.00	2	28	1.02	2	35	0.00	2	38	0.16
250	2	18	1.05	2	22	1.90	2	28	-0.69	2	30	0.81
300	0	255	0.00	2	19	-2.34	2	23	0.00	2	25	0.16
600	0	127	0.00	0	155	0.16	0	191	0.00	0	207	0.16
1200	0	63	0.00	0	77	0.16	0	95	0.00	0	103	0.16
2400	0	31	0.00	0	38	0.16	0	47	0.00	0	51	0.16
4800	0	15	0.00	0	19	-2.34	0	23	0.00	0	25	0.16
9600	0	7	0.00	0	9	-2.34	0	11	0.00	0	12	0.16
19200	0	3	0.00	0	4	-2.34	0	5	0.00	-	-	-
31250	-	-	-	0	2	0.00	-	-	-	0	3	0.00
38400	0	1	0.00	-	-	-	0	2	0.00	-	-	-

14. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

表 14.2 ビットレートに対する BRR の設定例〔調歩同期式モード、ABCS ビット=0〕(3)

ビット レート (bit/s)	4.194304MHz			4.9152MHz			5MHz			6MHz		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	73	0.64	2	86	0.31	2	88	-0.25	2	106	-0.44
150	2	54	-0.70	2	63	0.00	2	64	0.16	2	77	0.16
200	2	40	-0.10	2	47	0.00	2	48	-0.35	2	58	-0.69
250	2	32	-0.70	2	37	1.05	2	38	0.16	2	46	-0.27
300	2	26	1.14	2	31	0.00	2	32	-1.36	2	38	0.16
600	0	217	0.21	0	255	0.00	2	15	1.73	2	19	-2.34
1200	0	108	0.21	0	127	0.00	0	129	0.16	0	155	0.16
2400	0	54	-0.70	0	63	0.00	0	64	0.16	0	77	0.16
4800	0	26	1.14	0	31	0.00	0	32	-1.36	0	38	0.16
9600	0	13	-2.48	0	15	0.00	0	15	1.73	0	19	-2.34
19200	0	6	-2.48	0	7	0.00	0	7	1.73	0	9	-2.34
31250	-	-	-	0	4	-1.70	0	4	0.00	0	5	0.00
38400	-	-	-	0	3	0.00	0	3	1.73	0	4	-2.34

表 14.2 ビットレートに対する BRR の設定例〔調歩同期式モード、ABCS ビット=0〕(4)

ビット レート (bit/s)	6.144MHz			7.3728MHz			8MHz			9.8304MHz			10MHz		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	108	0.08	2	130	-0.07	2	141	0.03	2	174	-0.26	2	177	-0.25
150	2	79	0.00	2	95	0.00	2	103	0.16	2	127	0.00	2	129	0.16
200	2	59	0.00	2	71	0.00	2	77	0.16	2	95	0.00	2	97	-0.35
250	2	47	0.00	2	57	-0.69	2	62	-0.79	2	76	-0.26	2	77	0.16
300	2	39	0.00	2	47	0.00	2	51	0.16	2	63	0.00	2	64	0.16
600	2	19	0.00	2	23	0.00	2	25	0.16	2	31	0.00	2	32	-1.36
1200	0	159	0.00	0	191	0.00	0	207	0.16	0	255	0.00	2	15	1.73
2400	0	79	0.00	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
4800	0	39	0.00	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
9600	0	19	0.00	0	23	0.00	0	25	0.16	0	31	0.00	0	32	-1.36
19200	0	9	0.00	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
31250	0	5	2.40	-	-	-	0	7	0.00	0	9	-1.70	0	9	0.00
38400	0	4	0.00	0	5	0.00	-	-	-	0	7	0.00	0	7	1.73

14. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

表 14.3 ビットレートに対する BRR の設定例〔調歩同期式モード、ABCS ビット=1〕(1)

ビット レート (bit/s)	32.8kHz			38.4kHz			2MHz			2.097152MHz		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	0	18	-1.91	0	21	-0.83	2	70	0.03	2	73	0.64
150	0	13	-2.38	0	15	0.00	2	51	0.16	2	54	-0.70
200	0	9	2.50	0	11	0.00	2	38	0.16	2	40	-0.10
250	0	7	2.50	-	-	-	2	30	0.81	2	32	-0.70
300	0	6	-2.38	0	7	0.00	2	25	0.16	2	26	1.14
600	-	-	-	0	3	0.00	0	207	0.16	0	217	0.21
1200	-	-	-	0	1	0.00	0	103	0.16	0	108	0.21
2400	-	-	-	0	0	0.00	0	51	0.16	0	54	-0.70
4800	-	-	-	-	-	-	0	25	0.16	0	26	1.14
9600	-	-	-	-	-	-	0	12	0.16	0	13	-2.48
19200	-	-	-	-	-	-	-	-	-	0	6	-2.48
31250	-	-	-	-	-	-	0	3	0.00	-	-	-
38400	-	-	-	-	-	-	-	-	-	-	-	-

表 14.3 ビットレートに対する BRR の設定例〔調歩同期式モード、ABCS ビット=1〕(2)

ビット レート (bit/s)	2.4576MHz			3MHz			3.6864MHz			4MHz		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	86	0.31	2	106	-0.44	2	130	-0.07	2	141	0.03
150	2	63	0.00	2	77	0.16	2	95	0.00	2	103	0.16
200	2	47	0.00	2	58	-0.69	2	71	0.00	2	77	0.16
250	2	37	1.05	2	46	-0.27	2	57	-0.69	2	62	-0.79
300	2	31	0.00	2	38	0.16	2	47	0.00	2	51	0.16
600	0	255	0.00	2	19	-2.34	2	23	0.00	2	25	0.16
1200	0	127	0.00	0	155	0.16	0	191	0.00	0	207	0.16
2400	0	63	0.00	0	77	0.16	0	95	0.00	0	103	0.16
4800	0	31	0.00	0	38	0.16	0	47	0.00	0	51	0.16
9600	0	15	0.00	0	19	-2.34	0	23	0.00	0	25	0.16
19200	0	7	0.00	0	9	-2.34	0	11	0.00	0	12	0.16
31250	0	4	-1.70	0	5	0.00	-	-	-	0	7	0.00
38400	0	3	0.00	0	4	-2.34	0	5	0.00	-	-	-

14. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

表 14.3 ビットレートに対する BRR の設定例〔調歩同期式モード、ABCS ビット=1〕(3)

ビット レート (bit/s)	4.194304MHz			4.9152MHz			5MHz			6MHz		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	148	-0.04	2	174	-0.26	2	177	-0.25	2	212	0.03
150	2	108	0.21	2	127	0.00	2	129	0.16	2	155	0.16
200	2	81	-0.10	2	95	0.00	2	97	-0.35	2	116	0.16
250	2	65	-0.70	2	76	-0.26	2	77	0.16	2	93	-0.27
300	2	54	-0.70	2	63	0.00	2	64	0.16	2	77	0.16
600	2	26	1.14	2	31	0.00	2	32	-1.36	2	38	0.16
1200	0	217	0.21	0	255	0.00	2	15	1.73	2	19	-2.34
2400	0	108	0.21	0	127	0.00	0	129	0.16	0	155	0.16
4800	0	54	-0.70	0	63	0.00	0	64	0.16	0	77	0.16
9600	0	26	1.14	0	31	0.00	0	32	-1.36	0	38	0.16
19200	0	13	-2.48	0	15	0.00	0	15	1.73	0	19	-2.34
31250	-	-	-	0	9	-1.70	0	9	0.00	0	11	0.00
38400	0	6	-2.48	0	7	0.00	0	7	1.73	0	9	-2.34

表 14.3 ビットレートに対する BRR の設定例〔調歩同期式モード、ABCS ビット=1〕(4)

ビット レート (bit/s)	6.144MHz			7.3728MHz			8MHz			9.8304MHz			10MHz		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	217	0.08	3	64	0.70	3	70	0.03	3	86	0.31	3	88	-0.25
150	2	159	0.00	2	191	0.00	2	207	0.16	2	255	0.00	3	64	0.16
200	2	119	0.00	2	143	0.00	2	155	0.16	2	191	0.00	2	194	0.16
250	2	95	0.00	2	114	0.17	2	124	0.00	2	153	-0.26	2	155	0.16
300	2	79	0.00	2	95	0.00	2	103	0.16	2	127	0.00	2	129	0.16
600	2	39	0.00	2	47	0.00	2	51	0.16	2	63	0.00	2	64	0.16
1200	2	19	0.00	2	23	0.00	2	25	0.16	2	31	0.00	2	32	-1.36
2400	0	159	0.00	0	191	0.00	0	207	0.16	0	255	0.00	2	15	1.73
4800	0	79	0.00	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
9600	0	39	0.00	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
19200	0	19	0.00	0	23	0.00	0	25	0.16	0	31	0.00	0	32	-1.36
31250	0	11	2.40	0	14	-1.70	0	15	0.00	0	19	-1.70	0	19	0.00
38400	0	9	0.00	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73

14. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

表 14.4 n とクロックの関係

n	クロック	SMR の設定値	
		CKS1	CKS0
0		0	0
0	w*	0	1
2	/16	1	0
3	/64	1	1

【注】 * サブアクティブモード、サブスリープモード時は、CPU 動作クロックが w のときのみ SCI3 が使用可能となります。

表 14.5 各周波数における最大ビットレート〔調歩同期式モード〕

(MHz)	最大ビットレート (bit/s)		設定値	
	ABCS = 0	ABCS = 1	n	N
0.0328*	1025	2050	0	0
0.0384*	1200	2400	0	0
2	62500	125000	0	0
2.097152	65536	131072	0	0
2.4576	76800	153600	0	0
3	93750	187500	0	0
3.6864	115200	230400	0	0
4	125000	250000	0	0
4.194304	131072	262144	0	0
4.9152	153600	307200	0	0
5	156250	312500	0	0
6	187500	375000	0	0
6.144	192000	384000	0	0
7.3728	230400	460800	0	0
8	250000	500000	0	0
9.8304	307200	614400	0	0
10	312500	625000	0	0

【注】 * SMR を CKS1 = 0、CKS0 = 1 に設定したとき

14. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

表 14.6 ビットレートに対する BRR の設定例〔クロック同期モード〕(1)

ビットレート (bit/s)	32.8kHz			38.4kHz			2MHz		
	n	N	誤差率	n	N	誤差率	n	N	誤差率
200	0	40	0.00	0	47	0.00	2	155	0.16
250	0	32	- 0.61	0	37	1.05	2	124	0.00
300	0	26	1.23	0	31	0.00	2	103	0.16
500	0	15	2.50	0	18	1.05	2	62	- 0.79
1k	0	7	2.50	-	-	-	2	30	0.81
2.5k	-	-	-	-	-	-	0	199	0.00
5k	-	-	-	-	-	-	0	99	0.00
10k	-	-	-	-	-	-	0	49	0.00
25k	-	-	-	-	-	-	0	19	0.00
50k	-	-	-	-	-	-	0	9	0.00
100k	-	-	-	-	-	-	0	4	0.00
250k	-	-	-	-	-	-	0	1	0.00
500k	-	-	-	-	-	-	0*	0*	0.00*
1M	-	-	-	-	-	-	-	-	-

【注】 * 連続送信 / 受信できません。

表 14.6 ビットレートに対する BRR の設定例〔クロック同期モード〕(2)

ビットレート (bit/s)	4MHz			8MHz			10MHz		
	n	N	誤差率	n	N	誤差率	n	N	誤差率
200	3	77	0.16	3	155	0.16	3	194	0.16
250	2	249	0.00	3	124	0.00	3	155	0.16
300	2	207	0.16	3	103	0.16	3	129	0.16
500	2	124	0.00	2	249	0.00	3	77	0.16
1k	2	62	- 0.79	2	124	0.00	2	155	0.16
2.5k	2	24	0.00	2	49	0.00	2	62	- 0.79
5k	0	199	0.00	2	24	0.00	2	30	0.81
10k	0	99	0.00	0	199	0.00	0	249	0.00
25k	0	39	0.00	0	79	0.00	0	99	0.00
50k	0	19	0.00	0	39	0.00	0	49	0.00
100k	0	9	0.00	0	19	0.00	0	24	0.00
250k	0	3	0.00	0	7	0.00	0	9	0.00
500k	0	1	0.00	0	3	0.00	0	4	0.00
1M	0*	0*	0.00*	0	1	0.00	-	-	-

【注】 * 連続送信 / 受信できません。

14. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

【注】 BRR の設定値は以下の計算式で求められます。

$$N = \frac{\phi}{4 \times 2^{2n} \times B} - 1$$

B : ビットレート (bit/s)

N : ポーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)

φ : 動作周波数 (Hz)

n : ポーレートジェネレータの入カクロックの No. (n=0、2、3)

(n とクロックの関係は表 14.7 を参照)

表 14.7 n とクロックの関係

n	クロック	SMR の設定値	
		CKS1	CKS0
0		0	0
0	w*	0	1
2	/16	1	0
3	/64	1	1

【注】 * サブアクティブモード、サブスリープモード時は、CPU 動作クロックが w のときのみ SCI3 が使用可能となります。

14. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

14.3.9 シリアルポートコントロールレジスタ (SPCR)

SPCR は TXD3 端子 (IrTXD 端子) 機能の切り替えと、RXD3 端子 (IrRXD 端子) と TXD3 端子 (IrTXD 端子) の入出力データ反転切り替えを行います。

ビット	ビット名	初期値	R/W	説明
7	-	1	-	リザーブビット
6	-	1	-	リードすると常に 1 が読み出されます。ライトは無効です。
5	-	0	-	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
4	SPC3	0	R/W	P32/TXD3/IrTXD 端子切り替え P32/TXD3/IrTXD 端子を P32 端子として使用するか TXD3/IrTXD 端子として使用するか選択します。 0 : P32 入出力端子として使用 1 : TXD3/IrTXD 出力端子として使用 本ビットを 1 に設定した後に SCR の TE ビットを設定してください。
3	-	0	-	リザーブビット
2	-	0	-	リードすると常に 0 が読み出されます。ライトは無効です。
1	SCINV1	0	R/W	TXD3/IrTXD 端子出力データ反転切り替え TXD3/IrTXD 端子の出力データを反転させるか、させないかを選択します。 0 : TXD3/IrTXD 端子の出力データを反転しない 1 : TXD3/IrTXD 端子の出力データを反転する
0	SCINV0	0	R/W	RXD3/IrRXD 端子入力データ反転切り替え RXD3/IrRXD 端子の入力データを反転させるか、させないかを選択します。 0 : RXD3/IrRXD 端子の入力データを反転しない 1 : RXD3/IrRXD 端子の入力データを反転する

【注】 シリアルポートコントロールレジスタを書き換えると、それまで入力または出力されていたデータが書き換えた直後に反転され、有効ではないデータの変化が入出力されます。シリアルポートコントロールレジスタを書き換える際には、データ変化を無効にする状態で、書き換えてください。

14.3.10 IrDA コントロールレジスタ (IrCR)

IrCR は SCI3 の IrDA 機能の動作を制御します。

ビット	ビット名	初期値	R/W	説明
7	IrE	0	R/W	IrDA イネーブル SCI3 の入出力端子を通常の SCI3 か IrDA が設定します。 0 : TXD3/IrTXD および RXD3/IrRXD 端子は、TXD3 および RXD3 端子として動作 1 : TXD3/IrTXD および RXD3/IrRXD 端子は、IrTXD および IrRXD 端子として動作
6	IrCKS2	0	R/W	IrDA クロックセレクト IrDA 機能をイネーブルにしたとき、IrTXD 出力パルスエンコード時の High パルス幅を設定します。 000 : $B \times 3/16$ (ビットレート 16 分の 3) 001 : /2 010 : /4 011 : /8 100 : /16 101 : 設定禁止 11x : 設定禁止
5	IrCKS1	0	R/W	
4	IrCKS0	0	R/W	
3~0	-	すべて 0	-	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。

【注】 x : Don't care

14.3.11 シリアル拡張モードレジスタ (SEMR)

SEMR は、調歩同期式モード時の基本クロックの設定を行います。

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	-	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
3	ABCS	0	R/W	調歩同期式基本クロックセレクト 調歩同期式モードにおける 1 ビット期間の基本クロックを選択します。 ABCS の設定は調歩同期式モード (SMR3 の COM=0) のとき有効です。 0 : 転送レートの 16 倍の周波数の基本クロックで動作 1 : 転送レートの 8 倍の周波数の基本クロックで動作 IrDA 設定時は ABCS = 0 にしてください。
2~0	-	すべて 0	-	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。

14.4 調歩同期式モードの動作説明

調歩同期式通信の通信データの一般的なフォーマットを図 14.2 に示します。通信データの 1 キャラクタは、スタートビット (Low レベル) から始まり、送信 / 受信データ (LSB ファースト)、パリティビット、ストップビット (High レベル) の順で構成されます。調歩同期式モードでは、受信時にスタートビットの立ち上がりエッジで同期化を行います。また、データを 1 ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データを取り込みます。SEMR の ABCS ビット = 1 のとき、データを 1 ビット期間の 8 倍の周波数のクロックの 4 番目でサンプリングします。SCI3 内部は送信部と受信部が独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。調歩同期式モードで設定できる送信 / 受信フォーマットを表 14.8 に示します。送信 / 受信フォーマットは 16 種類あり、SMR の設定により選択できます。これを表 14.9 に示します。

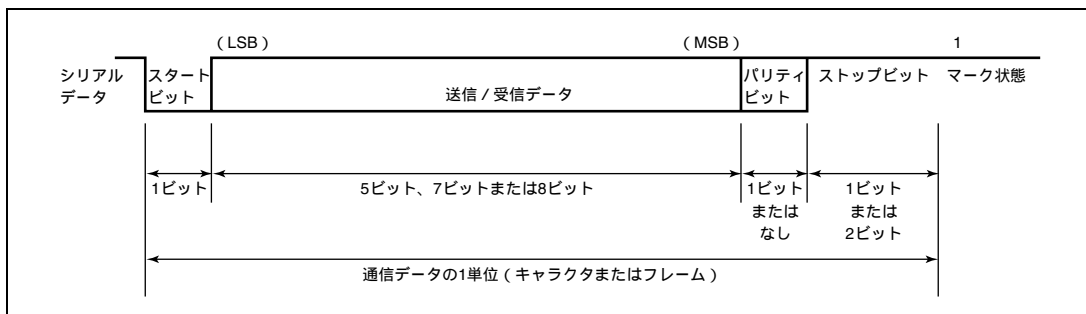


図 14.2 調歩同期式通信のデータフォーマット

14.4.1 クロック

SMR の COM と SCR の CKE1、CKE0 の設定により、SCI3 の送受信クロックソースとして内蔵パーレートジェネレータが生成する内部クロックまたは SCK3 端子から入力される外部クロックを選択できます。外部クロックを使用する場合は SCK3 端子にビットレートの 16 倍の周波数のクロック (SEMR の ABCS ビット = 1 のとき、8 倍の周波数のクロック) を入力してください。クロックソースの選択については表 14.10 を参照してください。内部クロックを使用する場合は SCK3 端子からビットレートと同じ周波数のクロックを出力することができます。出力されるクロックの位相は図 14.3 のように送受信データの各ビットの中央でクロックが立ち上がります。

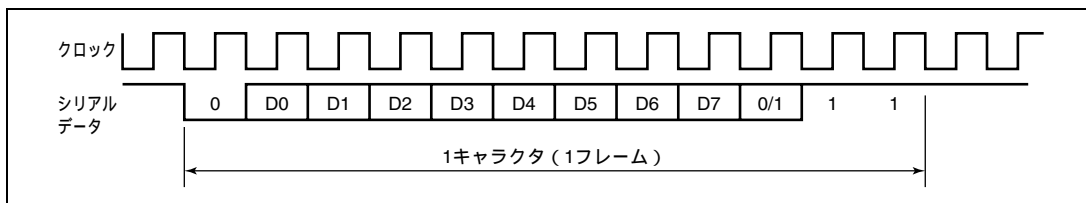


図 14.3 出力クロックと通信データの位相関係 (調歩同期式モード)
(8 ビットデータ / パリティあり / 2 ストップビットの例)

14. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

表 14.8 通信フォーマット (調歩同期式モード)

SMR				シリアル通信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	START	8ビットデータ								STOP			
0	0	0	1	START	8ビットデータ								STOP	STOP		
0	0	1	0	設定禁止												
0	0	1	1	設定禁止												
0	1	0	0	START	8ビットデータ								P	STOP		
0	1	0	1	START	8ビットデータ								P	STOP	STOP	
0	1	1	0	START	5ビットデータ					STOP						
0	1	1	1	START	5ビットデータ					STOP	STOP					
1	0	0	0	START	7ビットデータ							STOP				
1	0	0	1	START	7ビットデータ							STOP	STOP			
1	0	1	0	設定禁止												
1	0	1	1	設定禁止												
1	1	0	0	START	7ビットデータ							P	STOP			
1	1	0	1	START	7ビットデータ							P	STOP	STOP		
1	1	1	0	START	5ビットデータ					P	STOP					
1	1	1	1	START	5ビットデータ					P	STOP	STOP				

【記号説明】

START : スタートビット
 STOP : ストップビット
 P : パリティビット

14. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

表 14.9 SMR の設定値と送信 / 受信フォーマット

SMR					モード	送信 / 受信フォーマット					
ビット7	ビット6	ビット2	ビット5	ビット3		データ長	パリティビット	ストップビット長			
COM	CHR	MP	PE	STOP							
0	0	0	0	0	0	調歩同期式 モード	8ビット データ	なし	1		
				1	0				2		
			1	0	0			0	あり	1	
					1			0			2
			1	0	0			0	なし	7ビット データ	1
					1			0			
	1	0	0	0	あり		1				
			1	0				2			
	0	1	0	0	0		設定禁止				
				1	0		5ビット データ	1			
	1	0	0	0	設定禁止						
			1	0	1		0	5ビット データ	あり	1	
	1	0			2						
	1	*	0	*	*	クロック同期式モード	8ビット データ	なし	なし		

【注】 *: Don't care

表 14.10 SMR、SCR の設定とクロックソースの選択

SMR	SCR		モード	送信 / 受信クロック		
	ビット7	ビット1		ビット0	クロックソース	SCK 端子の機能
	COM	CKE1		CKE0		
0	0	0	調歩同期式 モード	内部	入出力ポート (SCK3 端子を使用しません) ビットレートと同じ周波数のクロックを出力	
		1				0
1	0	0	クロック同期式 モード	内部	同期クロックを出力	
		1		0	外部	同期クロックを入力
0	1	1	リザーブ (この組み合わせは指定しないでください)			
1	0	1				
1	1	1				

【注】 * SEMR の ABCS ビット = 1 のとき、8 倍の周波数クロック

14.4.2 SCI3 の初期化

図 14.4 のフローチャートの例に従って初期化してください。TE を 0 にクリアすると、TDRE は 1 にセットされますが、RE を 0 にクリアしても、RDRF、PER、FER、OER の各フラグ、および RDR は初期化されませんので注意してください。調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。クロック同期式モードで外部クロックを使用する場合は、初期化の期間中にクロックを供給しないでください。

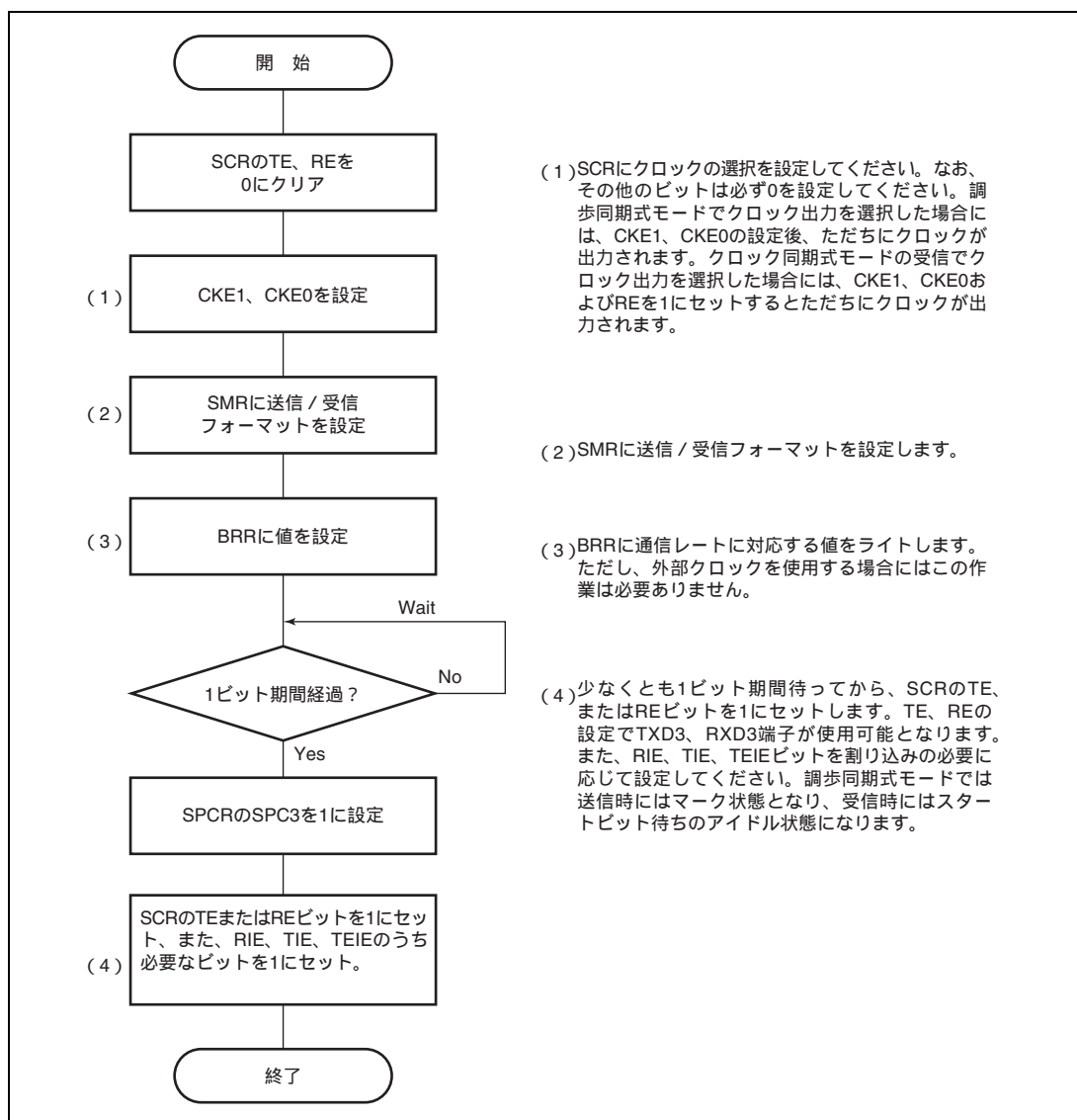


図 14.4 SCI3 を初期化するときのフローチャートの例

14.4.3 データ送信

図 14.5 に調歩同期式モードの送信時の動作例を示します。SCI3 はデータ送信時以下のように動作します。

1. SSRのTDREを監視し、0であるとTDRにデータが書込まれたと認識してTDRからTSRにデータを転送します。
2. TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI3割り込み要求を発生します。このTXI3割り込み処理ルーチンで、前に転送したデータが送信終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. ストップビットを送り出すタイミングでTDREをチェックします。
4. TDREが0であるとTDRからTSRにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
5. TDREが1であるとSSRのTENDに1をセットし、ストップビット送出後、1を出力してマーク状態になります。このときSCRのTEIEが1にセットされているとTEI3を発生します。
6. 図14.6にデータ送信を行うためのフローチャートの例を示します。

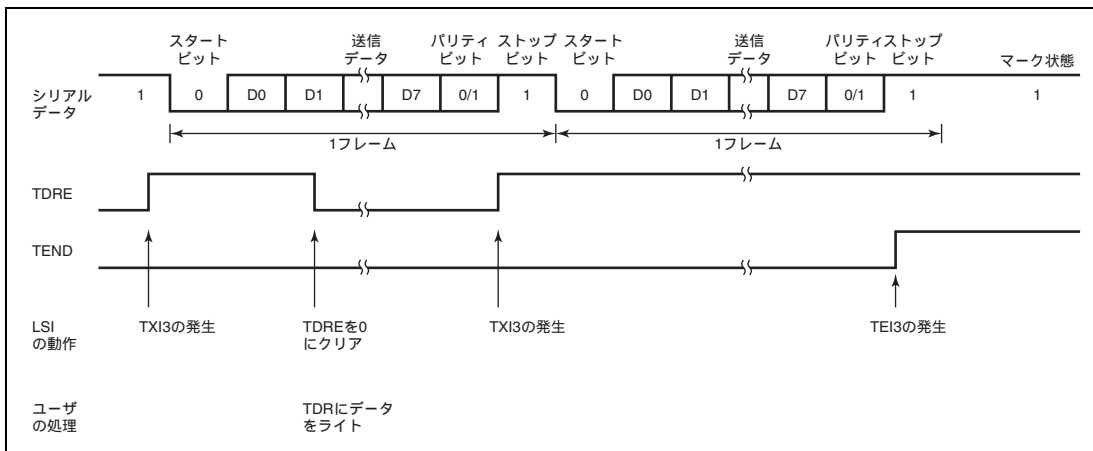


図 14.5 調歩同期式モードの送信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

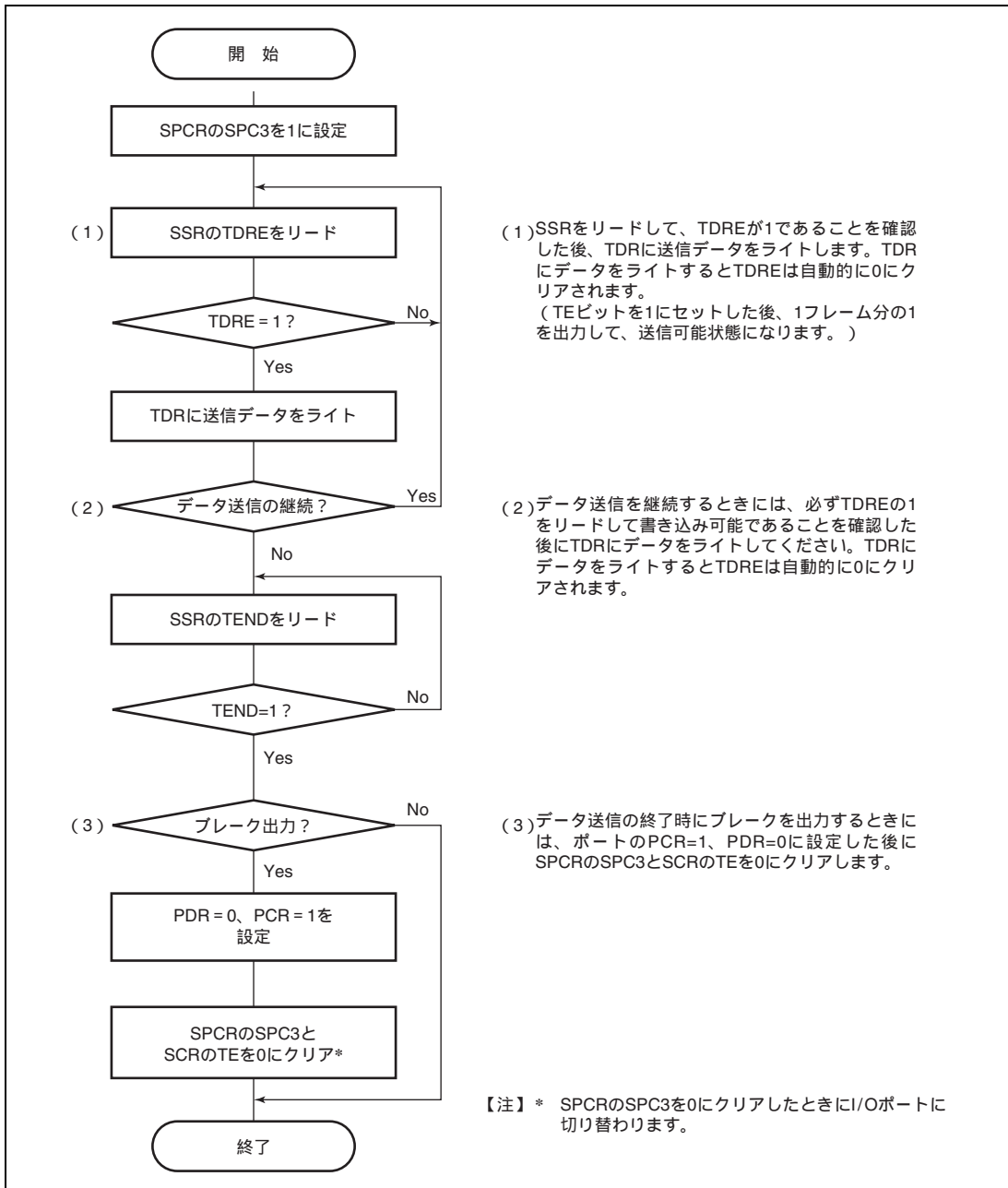


図 14.6 データ送信のフローチャートの例 (調歩同期式モード)

14.4.4 データ受信

調歩同期式モードの受信時の動作例を図 14.7 に示します。SCI3 は受信時に以下のように動作します。

1. 通信回線を監視し、スタートビットを検出すると内部を同期化して受信データをRSRに取り込み、パリティビットとストップビットをチェックします。
 - パリティチェック：

受信データの1の数をチェックし、これがSMRのPMで設定した偶数 / 奇数パリティになっているかをチェックします。
 - ストップビットチェック：

ストップビットが1であるかをチェックします。ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
 - ステータスチェック：

RDRFが0であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。
2. オーバランエラーが発生したとき（SSRのRDRFが1にセットされたまま次のデータを受信完了したとき）はSSRのOERをセットします。このときSCRのRIEが1にセットされているとERI3割り込み要求を発生します。受信データはRDRに転送しません。
3. パリティエラーを検出した場合はSSRのPERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI3割り込み要求を発生します。
4. フレーミングエラー（ストップビットが0のとき）を検出した場合はSSRのFERをセットし、受信データをRDRに転送します。このときSCRのRIE3が1にセットされているとERI3割り込み要求を発生します。
5. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI3割り込み要求を発生します。このRXI3割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

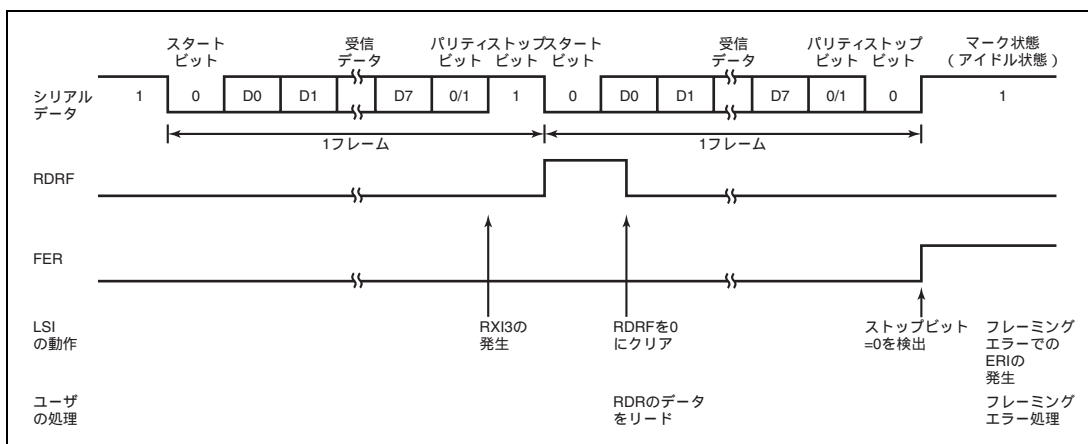


図 14.7 調歩同期式モードの受信時の動作例（8ビットデータ / パリティあり / 1ストップビットの例）

14. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

受信エラーを検出した場合の SSR の各ステータスフラグの状態と受信データの処置を表 14.11 に示します。受信エラーを検出すると、RDRF はデータを受信する前の状態を保ちます。受信エラーがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず OER、FER、PER、および RDRF を 0 にクリアしてください。図 14.8 にデータ受信のためのフローチャートの例を示します。

表 14.11 SSR のステータスフラグの状態と受信データの転送

SSR のステータスフラグ				受信データ	受信エラーの状態
RDRF*	OER	FER	PER		
1	1	0	0	消失	オーバランエラー
0	0	1	0	RDR へ転送	フレーミングエラー
0	0	0	1	RDR へ転送	パリティエラー
1	1	1	0	消失	オーバランエラー + フレーミングエラー
1	1	0	1	消失	オーバランエラー + パリティエラー
0	0	1	1	RDR へ転送	フレーミングエラー + パリティエラー
1	1	1	1	消失	オーバランエラー + フレーミングエラー + パリティエラー

【注】 * RDRF は、データ受信前の状態を保持します。ただし、前のフレームの受信データのリードが遅れた結果、次のフレームのオーバランエラーが発生した後に RDR をリードした場合は、RDRF は 0 にクリアされますので注意してください。

14. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

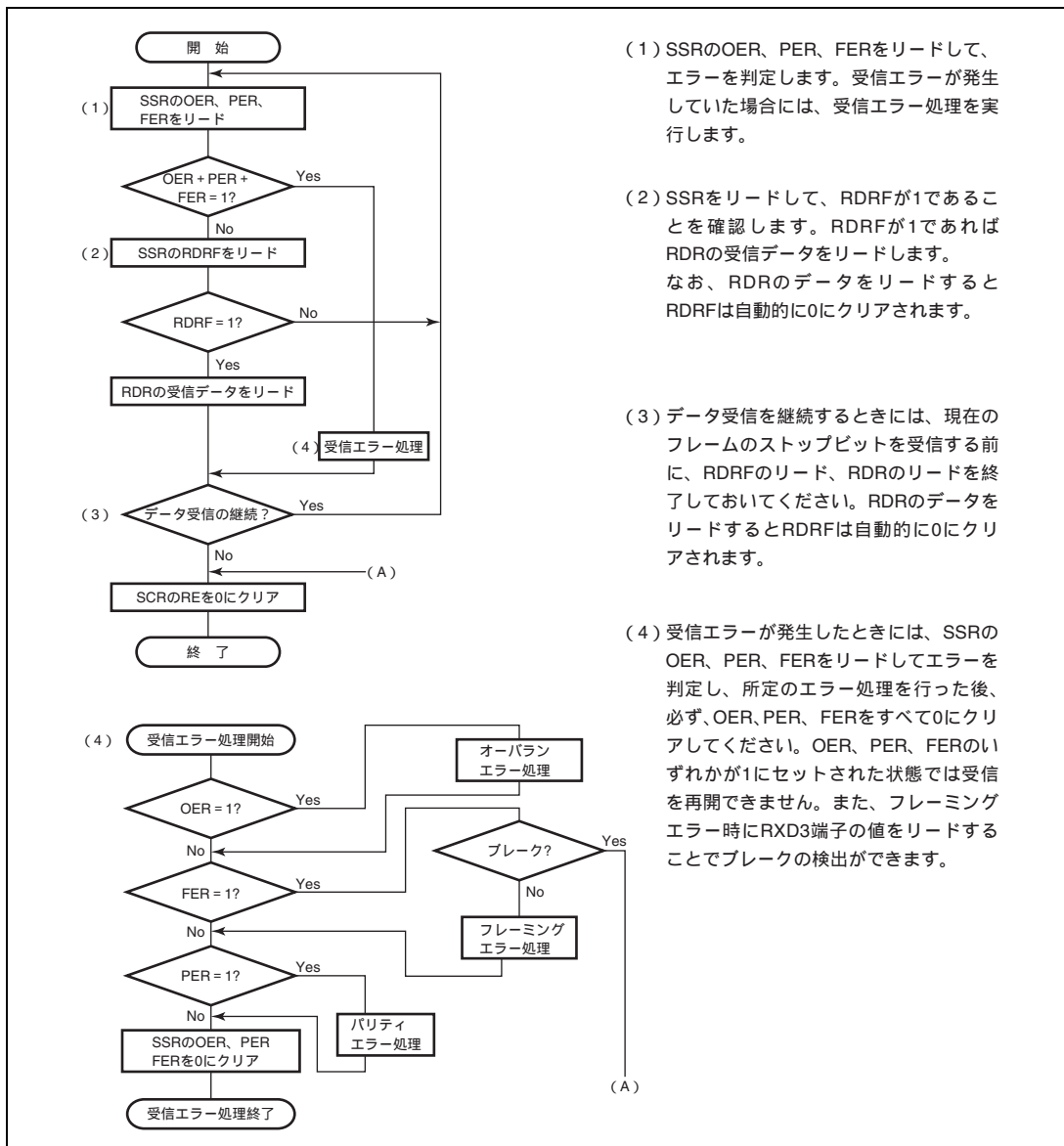


図 14.8 データ受信のフローチャートの例 (調歩同期式モード)

14.5 クロック同期式モードの動作説明

クロック同期式通信の通信データのフォーマットを図 14.9 に示します。クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは、LSB から始まる 8 ビットデータで構成されます。SCI3 はデータ送信時は同期クロックの立ち下がりから次の立ち上がりまで出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。MSB 出力後の通信回線は MSB 出力状態を保ちます。クロック同期式モードでは、パリティビットの付加はできません。SCI3 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。送信部 / 受信部はともにダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

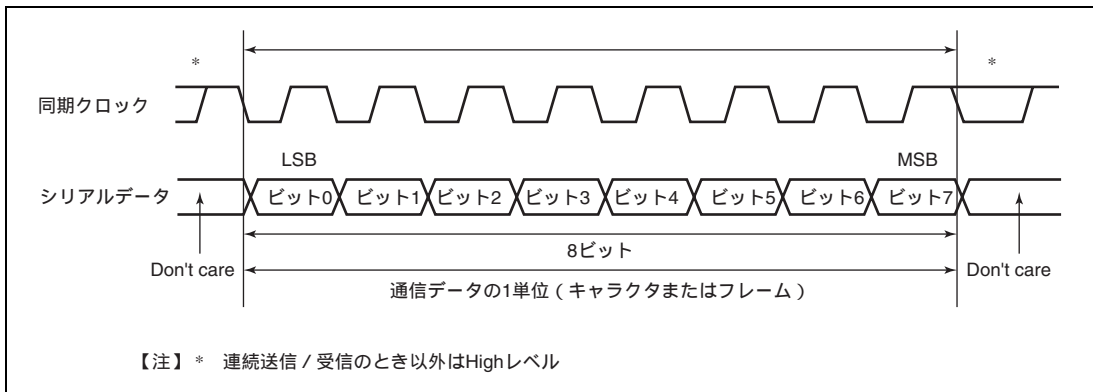


図 14.9 クロック同期式通信のデータフォーマット

14.5.1 クロック

SMR の COM と SCR の CKE1、CKE0 の設定により、内蔵ポーレートジェネレータが生成する内部クロックまたは SCK3 端子から入力される外部同期クロックを選択できます。内部クロックで動作させるとき、SCK3 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High レベルに固定されます。

14.5.2 SCI3 の初期化

データの送受信前に図 14.4 のフローチャートの例に従って SCI3 を初期化してください。

14.5.3 データ送信

図 14.10 にクロック同期モードの送信時の動作例を示します。データ送信時 SCI3 は以下のように動作します。

1. SCI3は、SSRのTDREを監視し、0であるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI3割り込み要求が発生します。
3. クロック出力モードに設定したときには、SCI3は同期クロックを8パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。シリアルデータは、LSB (ビット0) から順に TXD3端子から送信されます。
4. MSB (ビット7) を送り出すタイミングでTDREをチェックします。
5. TDREが0であるとTDRからTSRにデータを転送し次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDに1をセットし、MSB出力状態を保持します。このときSCRのTEIEが1にセットされているとTEI3が発生します。
7. 送信終了後はSCK3端子はHighレベル固定になります。

図 14.11 にデータ送信のフローチャートの例を示します。データ受信のステータスを示すエラーフラグ(OER、FER、PER)が1にセットされた状態では送信は行えませんので、送信の前には、エラーフラグ(OER、FER、PER)が0にクリアされていることを確認してください。

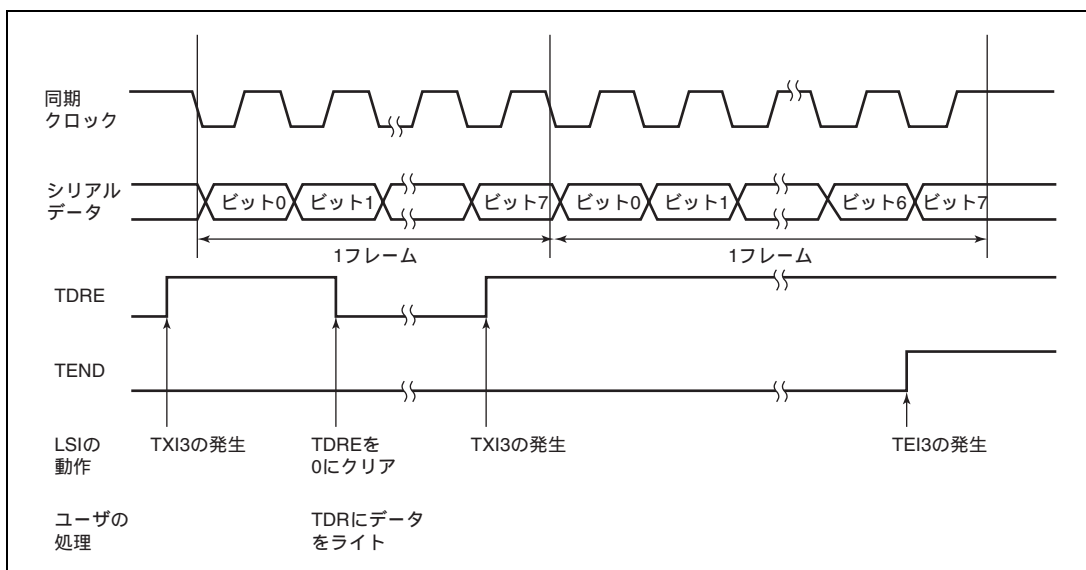


図 14.10 クロック同期モードの送信時の動作例

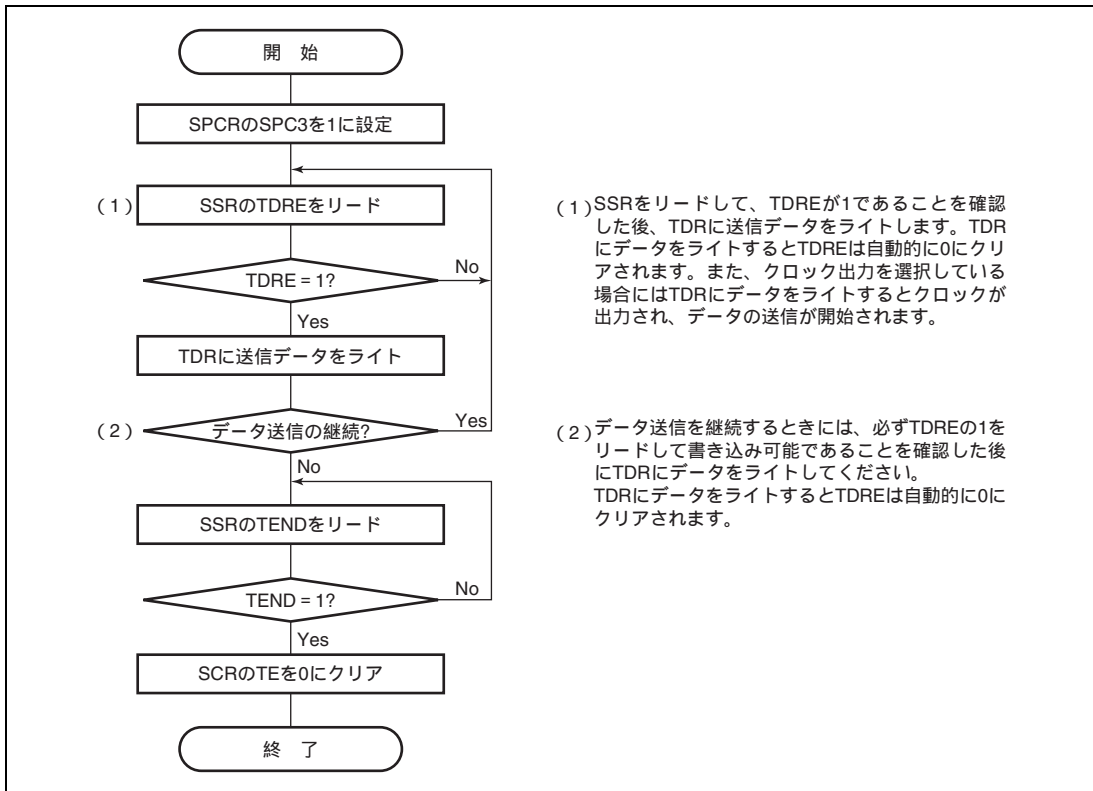


図 14.11 データ送信のフローチャートの例 (クロック同期式モード)

14.5.4 データ受信

図 14.12 にクロック同期式モードの受信時の動作例を示します。SCI3 は受信時に以下のように動作します。

1. SCI3は同期クロックの入力または、出力に同期して内部を初期化し、受信を開始します。
2. 受信したデータをRSRに取り込みます。
3. オーバランエラーが発生したとき（SSRのRDRFが1にセットされたまま次のデータを受信完了したとき）はSSRのOERをセットします。このときSCRのRIEが1にセットされているとERI3割り込み要求を発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
4. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI3割り込み要求を発生します。

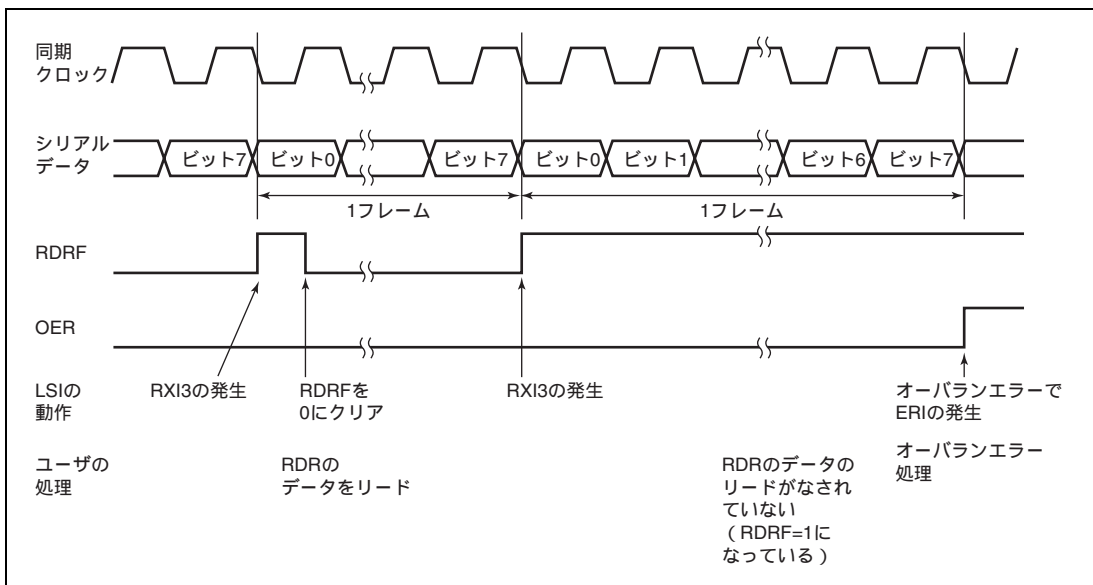


図 14.12 クロック同期式モードの受信時の動作例

受信エラーがセットされた状態では、以後の受信動作ができません。したがって、受信を継続する前に必ず OER、FER、PER、および RDRF を 0 にクリアしてください。図 14.13 にデータ受信のフローチャートの例を示します。

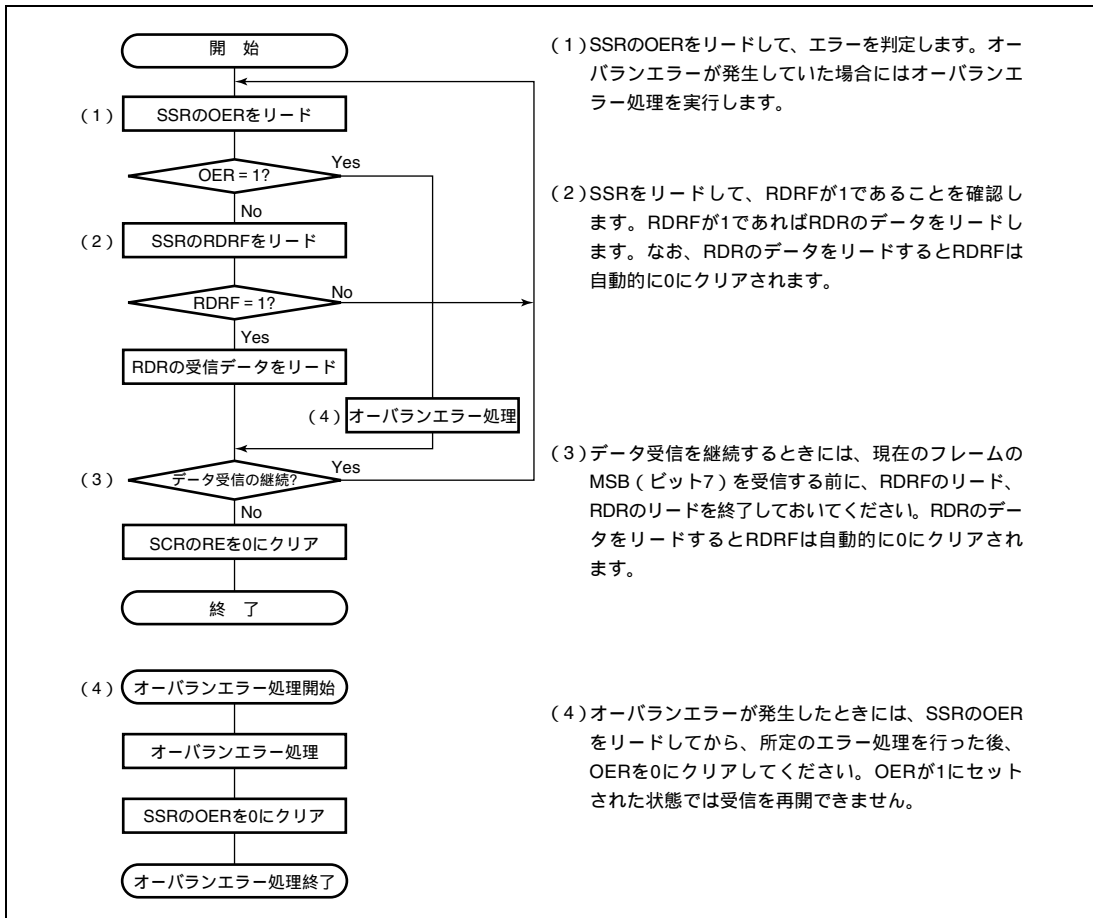


図 14.13 データ受信フローチャートの例 (クロック同期式モード)

14.5.5 データ送受信同時動作

図 14.14 にデータ送受信同時動作のフローチャートの例を示します。データ送受信同時動作は SCI3 の初期化後、以下の手順に従って行ってください。送信から同時送受信へ切り替えるときには、SCI3 が送信終了状態であること、TDRE および TEND が 1 にセットされていることを確認した後、TE を 0 にクリアしてから TE および RE を 1 命令で同時に 1 にセットしてください。受信から同時送受信へ切り替えるときには、SCI3 が受信完了状態であることを確認し、RE を 0 にクリアしてから RDRF およびエラーフラグ (OER、FER、PER) が 0 にクリアされていることを確認した後、TE および RE を 1 命令で同時に 1 にセットしてください。

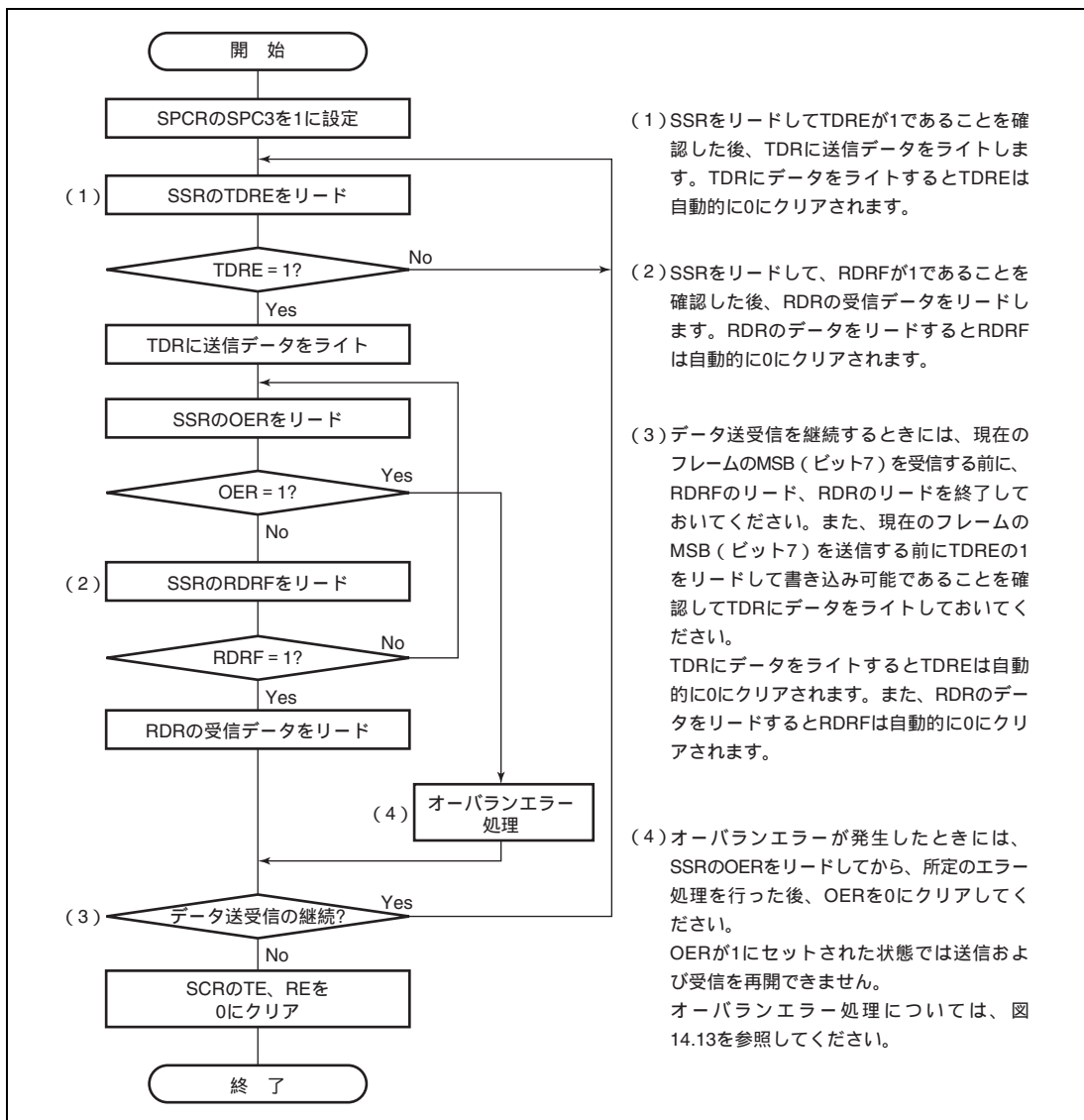


図 14.14 データ送受信同時動作のフローチャートの例 (クロック同期式モード)

14.6 IrDA 動作

SCI3 は IrDA 動作が可能です。図 14.15 に IrDA のブロック図を示します。

IrCR の IrE ビットで IrDA 機能をイネーブルにすると、SCI3 の TXD3、RXD3 信号は IrDA 規格バージョン 1.0 に準拠した波形のエンコード/デコードを行います (IrTXD、IrRXD 端子)。これを赤外線送受信トランシーバ/レシーバと接続することで、IrDA 規格バージョン 1.0 システムに準拠した赤外線送受信を実現することができます。

IrDA 規格バージョン 1.0 システムでは、9600bps の転送レートで通信を開始し、その後必要に応じて転送レートを変化させることができます。本 LSI の IrDA インタフェースでは、自動的に転送レートを変更する機能は内蔵していません。転送レートはソフトウェアにより設定を変更してください。

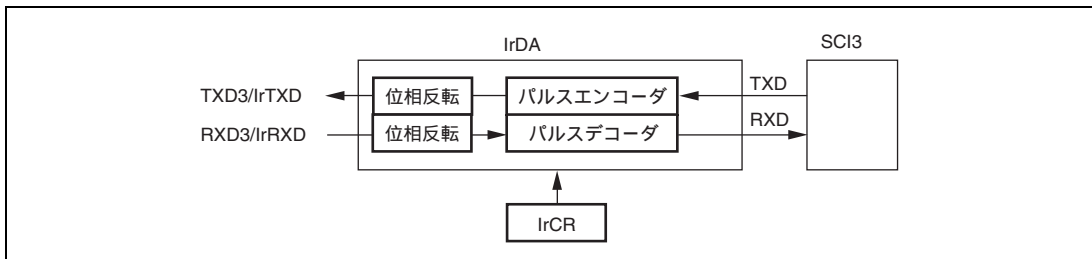


図 14.15 IrDA ブロック図

14.6.1 送信

送信時に SCI3 からの出力信号 (UART フレーム) は、IrDA インタフェースにより IR フレームに変換されます (図 14.16 参照)。

シリアルデータが 0 のとき、ビットレート (1 ビット幅の期間) の $3/16$ の High パルスが出力されます (初期値)。なお、High パルスは IrCR の IrCKS2~0 ビットの設定値により変化させることも可能です。

規格では High パルス幅は最小 $1.41 \mu\text{s}$ 、最大 $(3/16 + 2.5\%) \times \text{ビットレート}$ 、または $(3/16 \times \text{ビットレート}) + 1.08 \mu\text{s}$ と定められています。システムクロック が 10MHz のとき、 $1.41 \mu\text{s}$ 以上で最小の High パルス幅は $1.6 \mu\text{s}$ が設定可能です。

シリアルデータが 1 のときはパルスは出力されません。

14. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

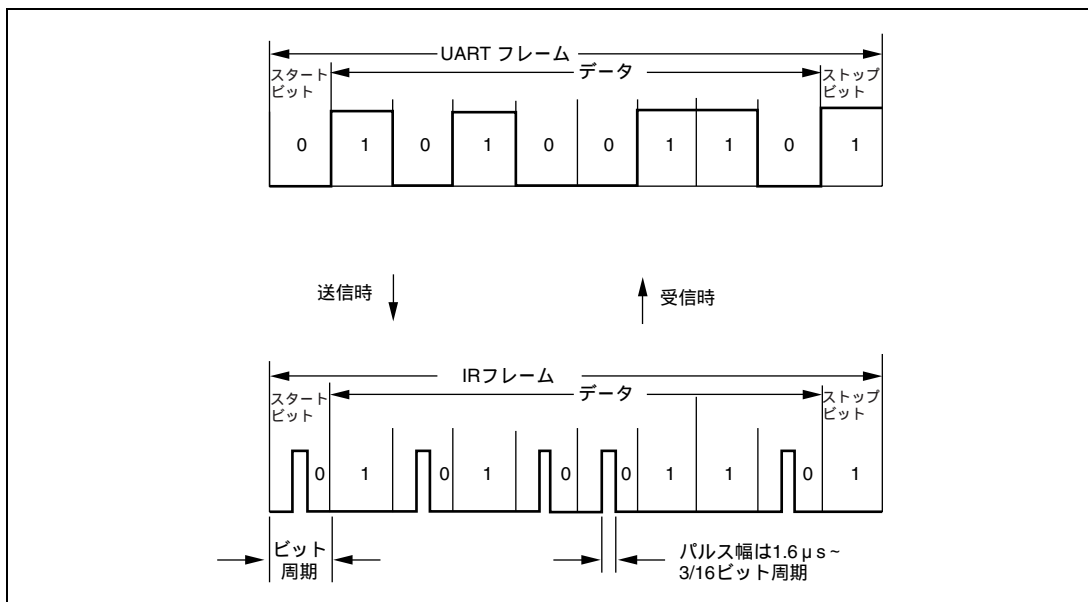


図 14.16 IrDA 送信 / 受信動作

14.6.2 受信

受信時に IR フレームのデータは、IrDA インタフェースにより UART フレームに変換され、SCI3 に入力されます。

High パルスが検出されたときには 0 データを出力し、1 ビット期間中にパルスがないときには 1 データを出力します。最小パルス幅の 1.41 μs より短いパルスは 0 信号として認識しますのでご注意ください。

14.6.3 High パルス幅の選択

送信時にビットレート×3/16よりパルス幅を短くする場合に、適用可能な IrCKS2～IrCKS0 ビットの設定(最小パルス幅)と本 LSI の動作周波数およびビットレートの選択を表 14.12 に示します。

表 14.12 IrCKS2～IrCKS0 ビットの設定

動作周波数 (MHz)	ビットレート (bps) (上段) / ビット周期 × 3/16 (μs) (下段)			
	2400	9600	19200	38400
	78.13	19.53	9.77	4.88
2	010	010	010	010
2.097152	010	010	010	010
2.4576	010	010	010	010
3	011	011	011	011
3.6864	011	011	011	011
4.9152	011	011	011	011
5	011	011	011	011
6	100	100	100	100
6.144	100	100	100	100
7.3728	100	100	100	100
8	100	100	100	100
9.8304	100	100	100	100
10	100	100	100	100

14.7 割り込み要求

SCI3 が生成する割り込み要求には、送信終了、送信データエンプティ、受信データフルおよび受信エラー(オーバーランエラー、フレーミングエラー、パリティエラー)の計 6 種類があります。表 14.13 に各割り込み要求の内容を示します。

表 14.13 SCI3 の割り込み要求

割り込み要求	略称	割り込み要因
受信データフル	RXI	SSR の RDRF のセット
送信データエンプティ	TXI	SSR の TDRE のセット
送信終了	TEI	SSR の TEND のセット
受信エラー	ERI	SSR の OER、FER、PER のセット

各割り込み要求は、SCR の TIE、RIE で許可 / 禁止できます。

SSR の TDRE が 1 にセットされると、TXI3 が発生します。SSR の TEND が 1 にセットされると、TEI3 が発生します。この 2 つの割り込みは送信時に発生します。

14. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

SSR の TDRE は初期値が 1 になっています。したがって送信データを TDR へ転送する前に SCR の TIE を 1 にセットすると、送信データが準備されていなくても TXI3 が発生します。また、SSR の TEND は初期値が 1 になっています。送信データを TDR へ転送する前に SCR の TEIE を 1 にセットすると、送信データが送信されていなくても TEI3 が発生します。送信データを TDR へ転送する処理を割り込み処理ルーチンの中で行うようにすることで、これらの割り込み要求を有効に利用することもできます。逆にこれらの割り込み要求 (TXI3、TEI3) の発生を防ぐには、送信データを TDR へ転送した後にこれらの割り込み要求に対応するイネーブルビット (TIE、TEIE) を 0 にクリアしてください。

SSR の RDRF が 1 にセットされると RXI3 が発生します。OER、PER、FER のいずれかが 1 にセットされると ERI3 が発生します。この 2 つの割り込み要求は受信時に発生します。

SCI3 は、RXI3 を使用した連続受信、また TXI3 を使用した連続送信が可能です。

表 14.14 にこれらの割り込みについて示します。

表 14.14 送信 / 受信割り込み

割り込み	フラグ	割り込み発生条件	備考
RXI3	RDRF RIE	シリアル受信が正常に行われ、RSR から RDR に受信データが転送されると RDRF が 1 となり、このとき RIE が 1 ならば RXI3 が許可され割り込みが発生します。 (図 14.21 (a) 参照)	RXI3 の割り込み処理ルーチンでは、RDR に転送された受信データを読み出し、RDRF を 0 にクリアします。上記の操作を次回の RSR の受信完了までに行うことで連続受信が可能です。
TXI3	TDRE TIE	TSR の空 (前回の送信完了) を検出して、TDR にセットされた送信データが TSR に転送されると TDRE は 1 にセットされます。このとき TIE が 1 ならば TXI3 が許可され割り込みが発生します。 (図 14.21 (b) 参照)	TXI3 の割り込み処理ルーチンでは、次回の送信データを TDR に書き込み、TDRE を 0 にクリアします。上記の操作を TSR に転送したデータが送信終了するまでに行うことで連続送信が可能です。
TEI3	TEND TEIE	TSR の送信キャラクタの最後尾ビットを送信したとき、TDRE が 1 ならば TEND は 1 にセットされます。このとき TEIE が 1 ならば TEI3 が許可され割り込みが発生します。 (図 14.21 (c) 参照)	TEI3 は、TSR の送信キャラクタの最後尾ビットを送信したとき、TDR に次回の送信データが書き込まれていないことを示します。

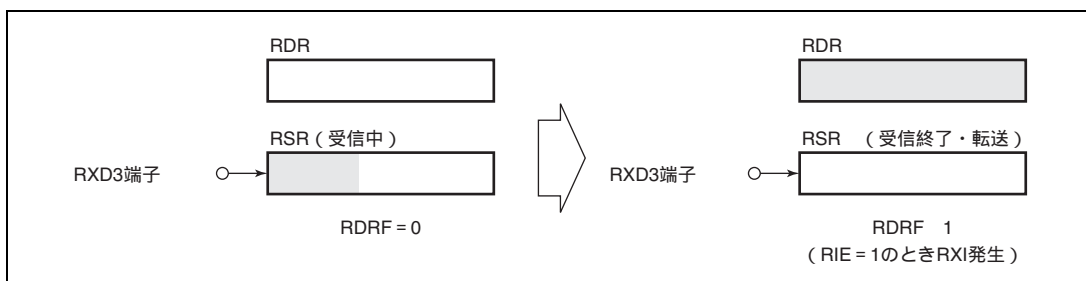


図 14.17 (a) RDRF のセットと RXI 割り込み

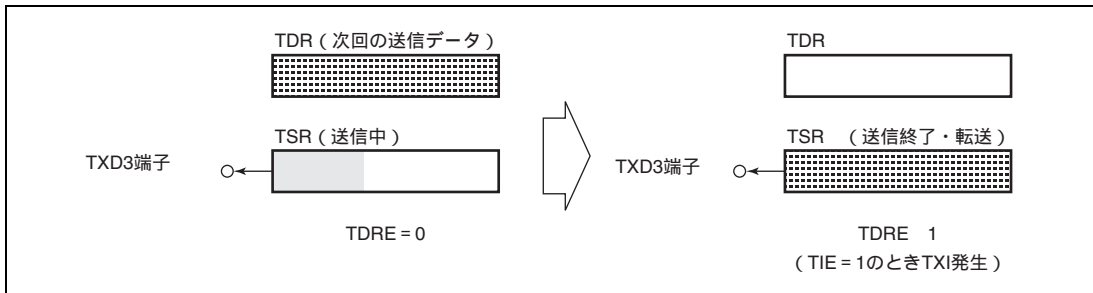


図 14.17 (b) TDRE のセットと TXI 割り込み

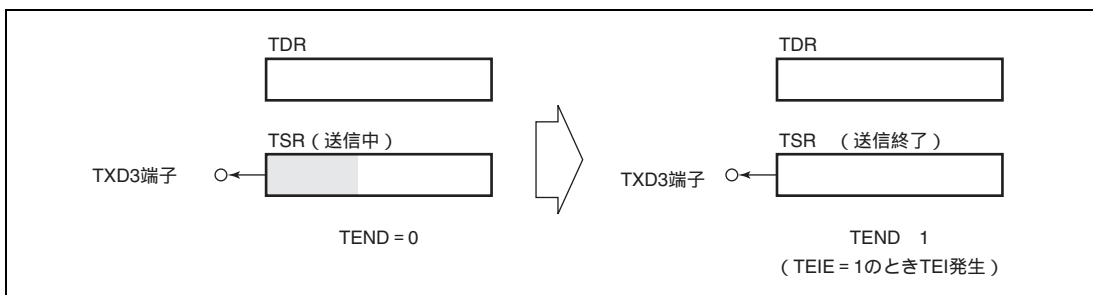


図 14.17 (c) TEND のセットと TEI 割り込み

14.8 使用上の注意事項

14.8.1 ブレークの検出と処理について

フレーミングエラー検出時に、RXD3 端子の値を直接リードすることでブレークを検出できます。ブレークでは RXD3 端子からの入力がすべて 0 になりますので、FER がセットされ、また PER もセットされる可能性があります。SCI3 は、ブレークを受信した後も受信動作を続けます。したがって FER を 0 にクリアしてもふたたび FER が 1 にセットされますので注意してください。

14.8.2 マーク状態とブレークの送出

SPCR の SPC3 が 0 のとき、TE の値とは無関係に TXD3 端子は PDR と PCR により入出力方向とレベルが決まる I/O ポートになります。これを利用して TXD3 端子をマーク状態にしたり、データ送信時にブレークの送出をすることができます。SPCR の SPC3 を 1 にセットするまで通信回線をマーク状態 (1 の状態) にするためには、PCR=1、PDR=1 を設定します。このとき、SPCR の SPC3 が 0 にクリアされていますので、TXD3 端子は I/O ポートとなっており 1 が出力されます。一方、データ送信時にブレーク送出したいときは、PCR=1、PDR=0 に設定した後に SPC3 と TE を 0 にクリアします。SPC3 を 0 にクリアした直後に TE を 0 にクリアすると、現在の送信状態とは無関係に送信部は TE をクリアしたあと初期化され、TXD3 端子は SPC3 を 0 にクリアした時点で I/O ポートになり、TXD3 端子から 0 が出力されます。

14.8.3 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (OER、PER、FER) が 1 にセットされた状態では、TDRE を 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。また、RE を 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

14.8.4 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI3 は転送レートの 16 倍の周波数の基本クロックで動作しています。受信時には SCI3 は、スタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、受信データを基本クロックの 8 ヶ目の立ち上がりエッジで内部に取り込みます。これを図 14.18 に示します。

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left\{ \left(0.5 - \frac{1}{2N} \right) - \frac{D - 0.5}{N} - (L - 0.5) F \right\} \times 100 \quad [\%] \quad \dots \text{式 (1)}$$

N : クロックに対するビットレートの比 (N=16)

D : クロックのデューティ (D=0.5~1.0)

L : フレーム長 (L=9~12)

F : クロック周波数の偏差の絶対値

式 (1) で、F (クロック周波数の偏差の絶対値) = 0、D (クロックのデューティ) = 0.5 とすると、

$$M = \left\{ 0.5 - \frac{1}{(2 \times 16)} \right\} \times 100 \quad [\%] = 46.875\%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

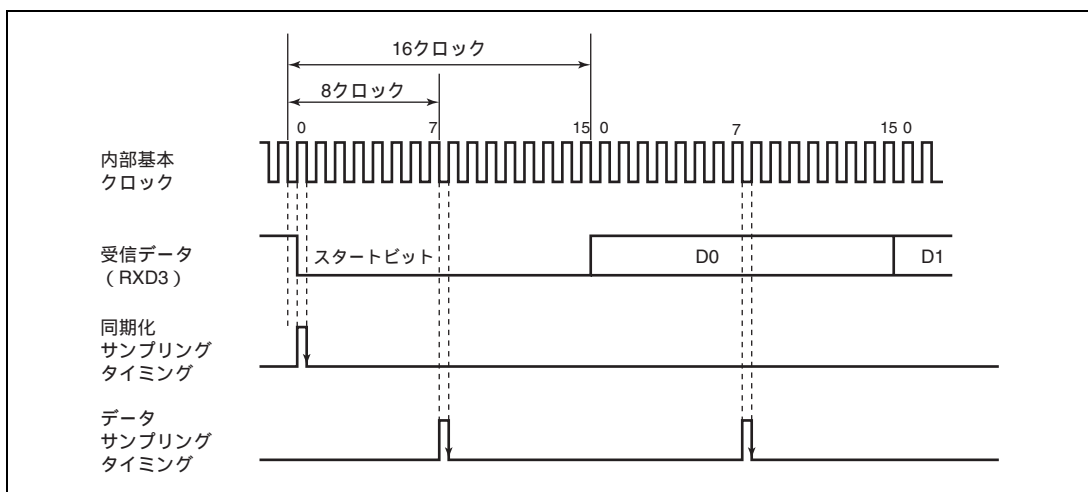


図 14.18 調歩同期式モードの受信データサンプリングタイミング

14.8.5 SCK3 端子機能切り替えに伴う注意事項

SCI3 をクロック同期式モードで使用した後、SCK3 端子をクロック出力から入出力ポートに端子機能を切り替えると SCK3 端子に端子機能切り替えのタイミングで瞬時(システムクロック の 1/2 の期間)Low レベルを出力しますので注意してください。

この瞬時の Low レベル出力を回避するには次の方法があります。

(1) SCK3 端子をクロック出力状態から非出力状態にする場合

送受信を停止する際、1命令でSCRのTEビット、REビットを0にクリアすると同時にCKE1ビットを1、CKE0ビットを0に設定してください。

この場合は、SMRのCOMビットは1にセットされたままで使用してください。したがって、入出力ポートとしては使用できません。また、SCK3端子に中間電位が印加しないようにSCK3端子に接続したラインは抵抗を介してV_{CC}電位にプルアップするか、他のデバイスから出力を与えるかしてください。

(2) SCK3 端子をクロック出力状態から入出力ポートに端子機能を切り替える場合

送受信を停止する際、

1. まず1命令でSCRのTEビット、REビットをともに0にクリアすると同時にCKE1ビットを1、CKE0ビットを0に設定してください。
2. 次にSMRのCOMビットを0にクリアしてください。
3. 最後にSCRのCKE1、CKE0ビットをともに0にクリアしてください。この場合もSCK3端子に中間電位が印加しないように注意してください。

14.8.6 TDR へのライトと TDRE の関係について

SSR の TDRE はシリアル送信するデータが TDR に準備されていないことを示すステータスフラグです。TDR へデータを書き込むと TDRE は自動的に 0 にクリアされます。また SCI3 が TDR から TSR にデータを転送すると、TDRE が 1 にセットされます。

TDR へのデータのライトは、TDRE の状態にかかわらず行うことができますが、TDRE が 0 の状態で新しいデータを TDR に書き込むと、TDR に格納されていた前のデータは、まだ TSR に転送されていない場合失われてしまいます。したがって、シリアル送信を確実にを行うために TDR への送信データのライトは、必ず TDRE が 1 にセットされていることを確認してから 1 回だけ行う (2 回以上ライトしない) ようにしてください。

14.8.7 RDR のリードと RDRF の関係について

SCI3 は受信動作において、RDRF フラグをチェックしながら動作します。1 フレームの受信終了のタイミングで RDRF が 0 にクリアされていれば、通常データ受信を完了します。また RDRF が 1 にセットされていれば、オーバーランエラーとなります。

RDR の内容をリードすると、RDRF は自動的に 0 にクリアされます。したがって、RDR のリードを 2 回以上行う場合、2 回目以降のリード操作は RDRF が 0 の状態で行われます。RDRF が 0 の状態で RDR のリードを行うと、リード操作が次のフレームの受信が完了するタイミングと重なった場合、次のフレームのデータが読み出されることがありますので注意してください。これを図 14.19 に示します。

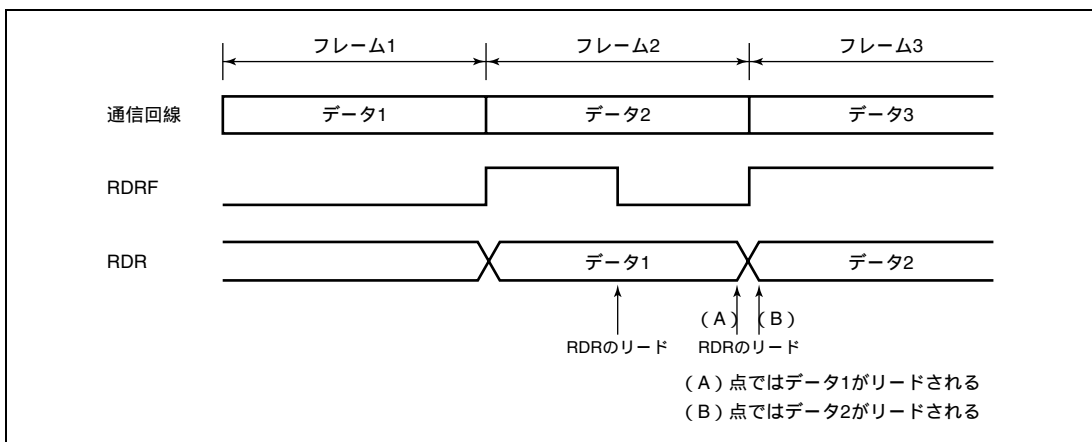


図 14.19 RDR のリードタイミングとデータの関係

この場合、RDR のリード操作は RDRF が 1 にセットされていることを確認してから、1 回のみ行う (2 回以上リードしない) ようにしてください。2 回以上リードする場合は、1 回リードしたデータを RAM などに転送し、その内容を使用するようにしてください。また、RDR のリード操作は、次のフレームの受信が完了するまでに余裕をもって行うようにしてください。具体的なタイミングとしては、クロック同期式モードではビット 7 の転送前まで、調歩同期式モードでは STOP ビットの転送前までに RDR のリードを完了してください。

14.8.8 状態遷移時における送信および受信動作について

状態遷移処理を行う場合は、送信および受信動作が完全に終了したのを確認した後に行ってください。

14.8.9 サブアクティブモード、サブスリープモード時の設定について

サブアクティブモード、サブスリープモード時はCPU動作クロックが w のときのみ SCI3 が使用可能となります。SYSCR2のSA1、SA0ビットを1にセットしてください。

14.8.10 シリアルコミュニケーションインタフェース 3 を実行する際に使用する発振器について

シリアルコミュニケーションインタフェース 3 を実行する際、必ずシステムクロック発振器、またはサブクロック発振器を使用してください。内蔵発振器は使用しないでください。システムクロック発振器と内蔵発振器の選択方法は「4.2.4 内蔵発振器を選択する方法」を参照してください。また、サブクロック発振器と内蔵発振器の選択方法は「4.1.1 発振器コントロールレジスタ (OSCCR) 」を参照してください。

15. シンクロナスシリアルコミュニケーション ユニット (SSU)

シンクロナスシリアルコミュニケーションユニット (SSU) は、クロック同期式のシリアルデータ通信が可能です。SSU のブロック図を図 15.1 に示します。

15.1 特長

- SSUはクロック同期式通信モード、4線式バス通信モード（双方向通信モードを含む）で動作可能
- マスタまたはスレーブとして動作可能
- クロックソースとして8種類の内部クロック（ /256、 /128、 /64、 /32、 /16、 /8、 /4、 SUB/2）と外部クロックが選択可能
- SSCKのクロック極性と位相を選択可能
- データ転送方向（MSBファースト/LSBファースト）を選択可能
- 受信エラーの検出：オーバランエラーを検出
- マルチマスタエラーの検出：コンフリクトエラーの検出
- 5種類の割り込み要因：送信終了、送信データエンプティ、受信データフル、オーバランエラー、コンフリクトエラーの5種類の割り込み要因
- 送信部および受信部ともにバッファ構造になっているのでシリアルデータの連続送信、連続受信が可能
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能（初期値ではSSUの動作は停止。詳細は「5.4 モジュールスタンバイ機能」を参照してください。）

15. シンクロナスシリアルコミュニケーションユニット (SSU)

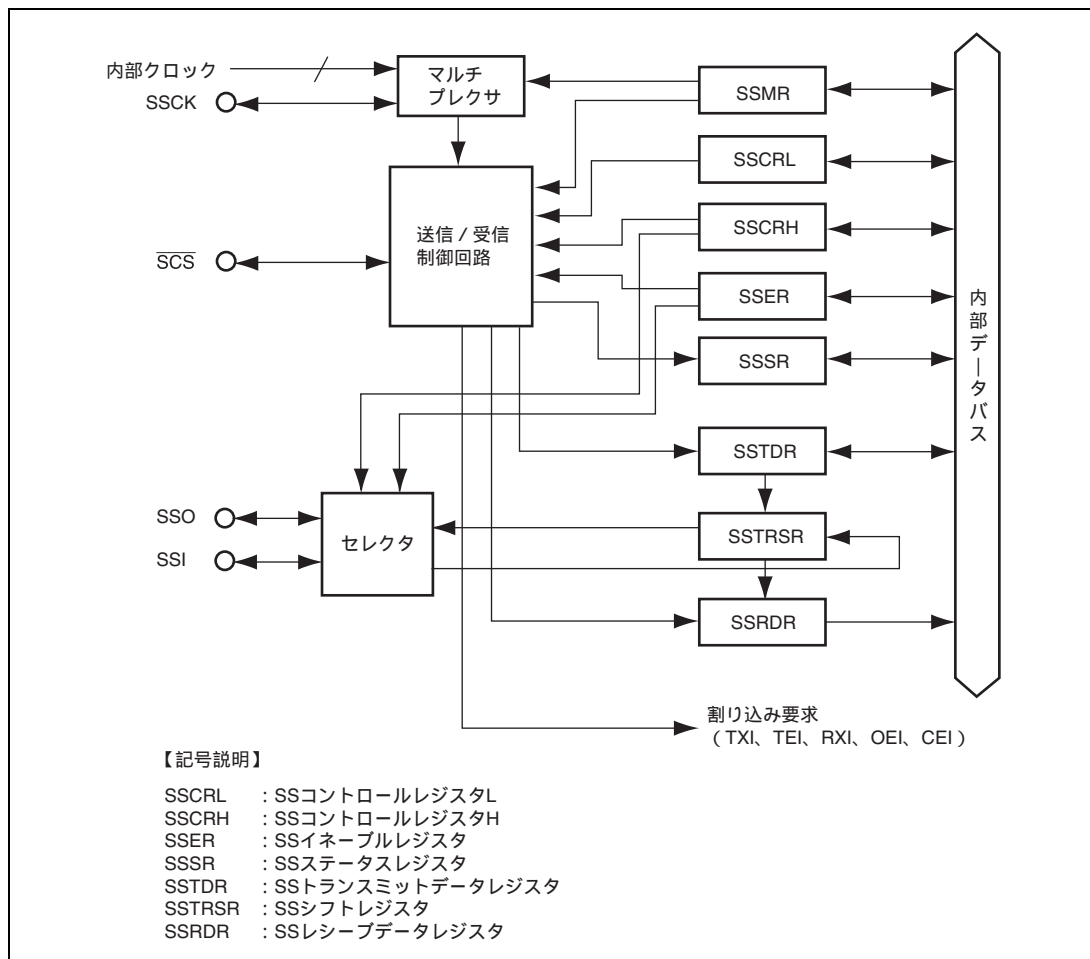


図 15.1 SSU のブロック図

15.2 入出力端子

SSU の端子構成を表 15.1 に示します。

表 15.1 端子構成

名称	略称	入出力	機能
SSU クロック	SSCK	入出力	SSU のクロック入出力端子
SSU データ入力 / 出力	SSI	入出力	SSU のデータ入出力端子
SSU データ入力 / 出力	SSO	入出力	SSU のデータ入出力端子
SSU チップセレクト入力 / 出力	\overline{SCS}	入出力	SSU のチップセレクト入出力端子

15.3 レジスタの説明

SSU には以下のレジスタがあります。

- SSコントロールレジスタH (SSCRH)
- SSコントロールレジスタL (SSCRL)
- SSモードレジスタ (SSMR)
- SSイネーブルレジスタ (SSER)
- SSステータスレジスタ (SSSR)
- SSレシーブデータレジスタ (SSRDR)
- SSトランスミットデータレジスタ (SSTDR)
- SSシフトレジスタ (SSTRSR)

15. シンクロナスシリアルコミュニケーションユニット (SSU)

15.3.1 SS コントロールレジスタ H (SSCRH)

SSCRH は、マスタ/スレーブデバイス選択、双方向モードイネーブル、シリアルデータ出力端子オープンドレイン出力選択、シリアルデータ出力端子出力値選択、SSCK 端子選択、 $\overline{\text{SCS}}$ 端子選択を設定するレジスタです。

ビット	ビット名	初期値	R/W	説 明
7	MSS	0	R/W	<p>マスタ/スレーブデバイス選択</p> <p>本モジュールをマスタデバイスとして使用するか、スレーブデバイスとして使用するかを選択します。マスタデバイスの場合は SSCK 端子から転送クロックを出力します。SSSR の CE がセットされた場合には MSS を自動的にクリアします。</p> <p>0: スレーブデバイスとして動作します。 1: マスタデバイスとして動作します。</p>
6	BIDE	0	R/W	<p>双方向モードイネーブル</p> <p>シリアルデータ入力端子、出力端子を 2 端子使用するか、1 端子のみを使用するかを選択します。詳細は「15.4.3 データ入出力とシフトレジスタの関係」を参照してください。なお、SSCRL の SSUMS が 0 のとき、本設定は無効です。</p> <p>0: 標準モード。データ入力とデータ出力を 2 端子使用して通信します。 1: 双方向モード。データ入力とデータ出力を 1 端子のみで通信します。</p>
5	SOOS	0	R/W	<p>シリアルデータオープンドレイン出力選択</p> <p>シリアルデータ出力端子を CMOS 出力にするか、NMOS オープンドレイン出力にするかを選択します。シリアルデータ出力端子はレジスタ設定値により変わります。詳細は「15.4.3 データ入出力とシフトレジスタの関係」を参照してください。</p> <p>0: CMOS 出力 1: NMOS オープンドレイン出力</p>
4	SOL	0	R/W	<p>シリアルデータ出力値設定</p> <p>送信完了後のシリアルデータ出力は、送信データの最終ビットの値を保持しますが、送信前または送信後に本ビットを操作して、シリアルデータの出力レベルを変更できます。出力レベルを変更する場合は、ビット 3 の SOLP を 0 にして MOV 命令で行ってください。なおデータ転送中に本ビットにライトすると誤動作の原因となりますので、送信中は操作しないでください。</p> <p>0: リード時、シリアルデータ出力が Low レベル ライト時、シリアルデータ出力を Low レベルに変更 1: リード時、シリアルデータ出力が High レベル ライト時、シリアルデータ出力を High レベルに変更</p>
3	SOLP	1	R/W	<p>SOL ライトプロテクト</p> <p>シリアルデータの出力レベルを変更する場合には、SOL = 1 かつ SOLP = 0、または SOL = 0 かつ SOLP = 0 を MOV 命令で行います。</p> <p>0: ライト時、SOL の値によって出力レベルを変更可能 1: リード時、常に 1 をリード。ライト時は出力レベルを保持 (15.5 使用上の注意事項参照)</p>

15. シンクロナスシリアルコミュニケーションユニット (SSU)

ビット	ビット名	初期値	R/W	説明
2	SCKS	0	R/W	SSCK 端子選択 SSCK 端子をポートとして機能させるかシリアルクロック端子として機能させるかを選択します。 0 : ポートとして機能 1 : シリアルクロック端子として機能
1	CSS1	0	R/W	SCS 端子選択 SCS 端子をポートとして機能させるか、 $\overline{\text{SCS}}$ 入力または $\overline{\text{SCS}}$ 出力として機能させるかを選択します。ただし、SSCRL の SSUMS=0 のとき、本ビットの設定にかかわらず、ポートとして機能します。 00 : ポートとして機能 01 : $\overline{\text{SCS}}$ 入力として機能 1X : $\overline{\text{SCS}}$ 出力として機能 (ただし、転送開始前は $\overline{\text{SCS}}$ 入力として機能)
0	CSS0	0	R/W	

【記号説明】 X : Don't care

15.3.2 SS コントロールレジスタ L (SSCRL)

SSCRL はモード、ソフトウェアリセット、SSCK 端子オープンドレイン出力選択、 $\overline{\text{SCS}}$ 端子オープンドレイン出力選択を制御するレジスタです。

ビット	ビット名	初期値	R/W	説明
7	-	0	-	リザーブビット リードすると常に 0 が読み出されます。
6	SSUMS	0	R/W	SSU モード選択 シリアルデータ入力端子、出力端子をどのような組み合わせで使用するかを選択します。詳細は「15.4.3 データ入出力とシフトレジスタの関係」を参照してください。 0 : クロック同期式通信モード データ入力 : SSI 端子、データ出力 : SSO 端子 1 : 4 線式バス通信モード SSCRH の MSS=1、BIDE=0 のとき、 データ入力 : SSI 端子、データ出力 : SSO 端子 SSCRH の MSS=0、BIDE=0 のとき、 データ入力 : SSO 端子、データ出力 : SSI 端子 SSCRH の BIDE=1 のとき、 データ入力、データ出力 : SSO 端子
5	SRES	0	R/W	ソフトウェアリセット 本ビットを 1 にセットすると SSU 内部シーケンサを強制的にリセットします。その後、本ビットは自動的にクリアされます。ただし SSU 内部のレジスタ値は保持されます。

15. シンクロナスシリアルコミュニケーションユニット (SSU)

ビット	ビット名	初期値	R/W	説明
4	SCKOS	0	R/W	SSCK 端子オープンドレイン出力選択 SSCK 端子を CMOS 出力にするか、NMOS オープンドレイン出力にするかを選択します。 0 : CMOS 出力 1 : NMOS オープンドレイン出力
3	CSOS	0	R/W	SCS 端子オープンドレイン出力選択 SCS 端子を CMOS 出力にするか、NMOS オープンドレイン出力にするかを選択します。 0 : CMOS 出力 1 : NMOS オープンドレイン出力
2~0	-	すべて 0	-	リザーブビット リードすると常に 0 が読み出されます。

15.3.3 SS モードレジスタ (SSMR)

SSMR は、MSB ファースト / LSB ファースト選択、クロック極性選択、クロック位相選択、転送クロックレート選択を設定するレジスタです。

ビット	ビット名	初期値	R/W	説明
7	MLS	0	R/W	MSB ファースト / LSB ファースト選択 データ転送を MSB ファーストで転送するか LSB ファーストで転送するかを選択します。 0 : LSB ファースト 1 : MSB ファースト
6	CPOS	0	R/W	クロック極性選択 SSCK クロックの極性を選択します。 0 : アイドル状態 = High レベル 1 : アイドル状態 = Low レベル
5	CPHS	0	R/W	クロック位相選択 SSCK クロックの位相を選択します。 0 : 最初のエッジでデータ変化 1 : 最初のエッジでデータラッチ
4	-	0	-	リザーブビット
3	-	0	-	リードすると常に 0 が読み出されます。

15. シンクロナスシリアルコミュニケーションユニット (SSU)

ビット	ビット名	初期値	R/W	説 明
2	CKS2	0	R/W	転送クロックレート選択
1	CKS1	0	R/W	内部クロックを選択した場合の転送クロックレート (プリスケラ分周比) を設定します。 サブアクティブモード、サブスリープモードではシステムクロック () が停止します。これらのモードでは $\text{SUB}/2$ を選択するようにしてください。 000 : /256 001 : /128 010 : /64 011 : /32 100 : /16 101 : /8 110 : /4 111 : $\text{SUB}/2$
0	CKS0	0	R/W	

15.3.4 SS イネーブルレジスタ (SSER)

SSER は、トランスミットイネーブル、レシーブイネーブル、および各種割り込みイネーブルを設定するレジスタです。

ビット	ビット名	初期値	R/W	説 明
7	TE	0	R/W	トランスミットイネーブル このビットが 1 のとき、送信動作が可能になります。
6	RE	0	R/W	レシーブイネーブル このビットが 1 のとき、受信動作が可能になります。
5	RSSTP	0	R/W	レシーブシングルストップ このビットが 1 のとき、1 バイト受信後、受信動作が終了します。
4	-	0	-	リザーブビット リードすると常に 0 が読み出されます。
3	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル このビットを 1 にセットすると TEI 割り込み要求がイネーブルになります。
2	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを 1 にセットすると TXI 割り込み要求がイネーブルになります。
1	RIE	0	R/W	レシーブインタラプトイネーブル このビットを 1 にセットすると RXI および OEI 割り込み要求がイネーブルになります。
0	CEIE	0	R/W	コンフリクトエラーインタラプトイネーブル このビットを 1 にセットすると CEI 割り込み要求がイネーブルになります。

15. シンクロナスシリアルコミュニケーションユニット (SSU)

15.3.5 SS ステータスレジスタ (SSSR)

SSSR は、各種割り込みフラグを設定するレジスタです。

ビット	ビット名	初期値	R/W	説明
7	-	0	-	リザーブビット リードすると常に0が読み出されます。
6	ORER	0	R/(W)*	オーバーランエラーフラグ 受信時にオーバーランエラーが発生して異常終了したことを示します。SSRDR では、オーバーランエラーが発生する前の受信データを保持し、後から受信した データが失われます。さらに ORER = 1 にセットされた状態で、それ以降のシ リアル受信を続けることはできません。また、MSS = 1 ではシリアル送信も続 けることはできません。 [セット条件] • RDRF=1 の状態で次のシリアル受信を完了したとき [クリア条件] • 1 をリードした後、0 をライトしたとき
5	-	0	-	リザーブビット
4	-	0	-	リードすると常に0が読み出されます。
3	TEND	0	R/(W)*	トランスミットエンド [セット条件] • 送信データの最後尾ビットの送信時に、TDRE が1であったとき [クリア条件] • 1 をリードした後、0 をライトしたとき • SSTDR ヘデータをライトしたとき
2	TDRE	1	R/(W)*	トランスミットデータエンブティ [セット条件] • SSER の TE が0 のとき • SSTDR から SSTRSR にデータ転送が行われ、SSTDR にデータライトが可 能になったとき [クリア条件] • 1 をリード後、0 をライトしたとき • SSTDR ヘデータをライトしたとき
1	RDRF	0	R/(W)*	レシーブデータレジスタフル [セット条件] シリアル受信が正常終了し、SSTRSR から SSRDR へ受信データが転送された とき [クリア条件] • 1 をリード後、0 をライトしたとき • SSRDR からデータをリードしたとき

15. シンクロナスシリアルコミュニケーションユニット (SSU)

ビット	ビット名	初期値	R/W	説明
0	CE	0	R(W)*	コンフリクトエラーフラグ [セット条件] <ul style="list-style-type: none">• SSUMS=1、MSS=1 でシリアル通信を開始しようとしたとき、$\overline{\text{SCS}}$ 端子入力が Low レベルのとき• SSUMS=1、MSS=0 で転送途中に $\overline{\text{SCS}}$ 端子が Low から High に変化したとき [クリア条件] <ul style="list-style-type: none">• 1 をリード後、0 をライトしたとき

【注】 * フラグをクリアするための 0 ライトのみ可能です。

15.3.6 SS レシーブデータレジスタ (SSRDR)

SSRDR は受信したシリアルデータを格納する 8 ビットのレジスタです。SSU は、1 バイトのシリアルデータの受信が終了すると、SSTRSR から受信したシリアルデータを転送して格納し、受信動作を完了します。この後、SSTRSR は受信可能となります。このように SSTRSR と SSRDR は、ダブルバッファになっているため、連続した受信動作が可能です。

なお、SSRDR はリード専用のレジスタで、CPU からライトできません。SSRDR の初期値は H'00 です。

15.3.7 SS トランスミットデータレジスタ (SSTDR)

SSTDR は送信するシリアルデータを格納する 8 ビットのレジスタで、常に CPU によるリード/ライトが可能です。SSU は、SSTRSR の空きを検出すると、SSTDR にライトされた送信データを SSTRSR に転送してシリアル送信を開始します。SSTRSR のシリアルデータ送信中 SSTDR に次の送信データをライトしておく、連続してシリアル送信できます。SSTDR の初期値は H'00 です。

15.3.8 SS シフトレジスタ (SSTRSR)

SSTRSR は、シリアルデータを送受信するためのシフトレジスタです。SSTDR から SSTRSR に送信データが転送される際のビット 0 には、SSMR の MLS=0 のとき SSTDR のビット 0 が転送され (LSB ファースト通信)、MLS=1 のとき SSTDR のビット 7 が転送されます (MSB ファースト通信)。CPU から直接 SSTRSR をリード/ライトできません。

15.4 動作説明

15.4.1 転送クロック

転送クロックは8種類の内部クロックと外部クロックから選択できます。まず、本モジュールを使用する場合はSSCRHのSCKSを1にセットしてSSCK端子をシリアルクロックとして選択しておく必要があります。SSCRHのMSS=1のときは、内部クロックが選択されSSCK端子が出力になります。転送が開始するとSSMRのCKS2~CKS0に設定された転送レートのクロックがSSCK端子から出力されます。MSS=0のときは外部クロックが選択され、SSCK端子は入力になります。

15.4.2 クロックの極性、位相とデータの関係

SSCRLのSSUMSとSSMRのCPOS、CPHSの組み合わせでクロックの極性、位相および転送データの関係が変わります。これらの関係を図15.2に示します。

なお、SSMRのMLSの設定により、MSBファーストで転送するかLSBファーストで転送するかを選択できます。MLS=0のときは、LSBから始まり最後にMSBの順で転送されます。また、MLS=1のときは、MSBから始まり最後にLSBの順で転送されます。

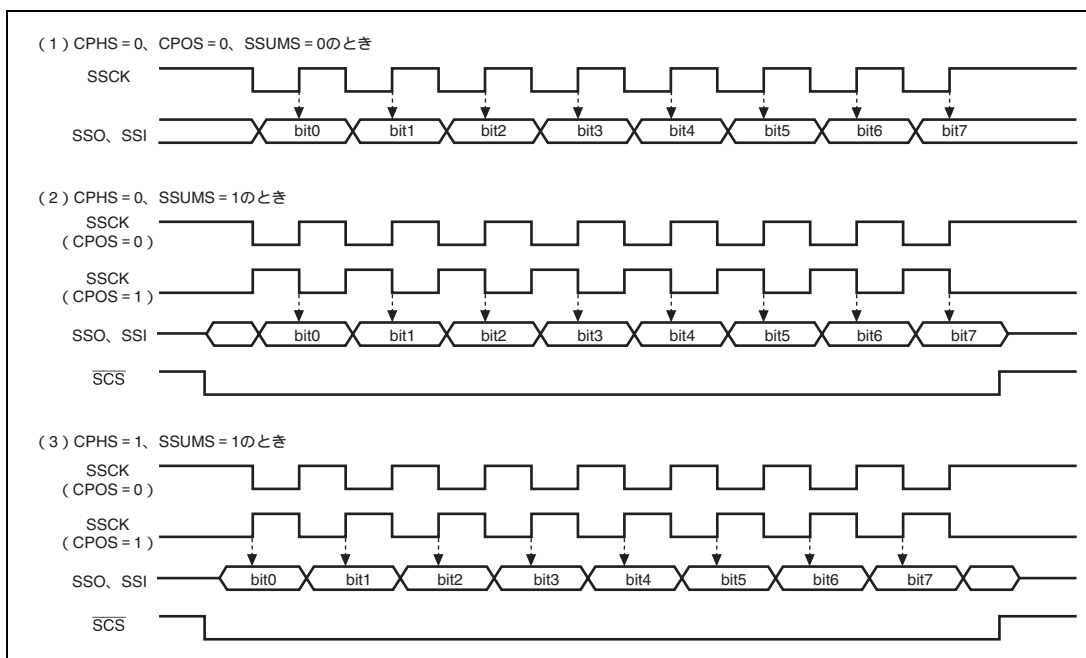


図 15.2 クロックの極性、位相とデータの関係

15.4.3 データ入出力とシフトレジスタの関係

SSCRH の MSS と SSCRL の SSUMS との組み合わせにより、データ入出力端子とシフトレジスタ (SSTRSR) の接続関係が変わります。また、SSCRH の BIDE によっても接続関係が変わります。これらの接続関係を図 15.3 に示します。

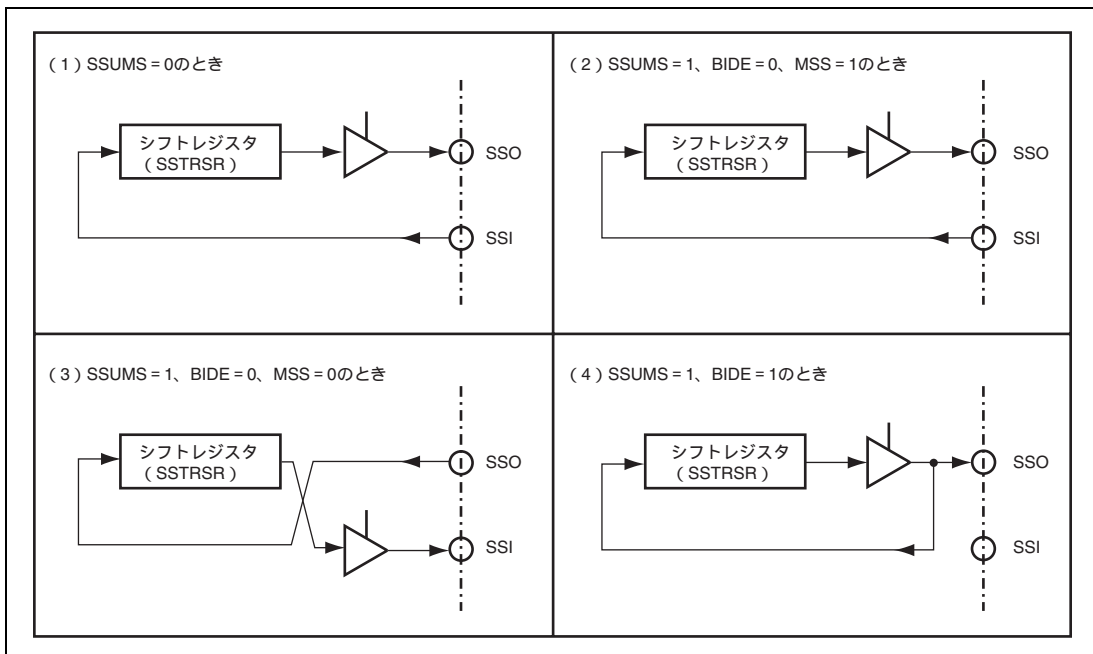


図 15.3 データ入出力端子とシフトレジスタの関係

15. シンクロナスシリアルコミュニケーションユニット (SSU)

15.4.4 各通信モードと端子機能

SSUは各通信モードでSSCRHのMSSとSSERのRE、TEの設定により入出力端子の機能を切り替えます。通信モードと入出力端子の関係を表15.2に示します。双方向通信モード時には、TE、REを共に1にセットしないようにしてください。

表 15.2 通信モードと入出力端子の関係

通信モード	レジスタ状態					端子状態		
	SSUMS	BIDE	MSS	TE	RE	SSI	SSO	SSCK
クロック同期式 通信モード	0	x	0	0	1	IN	-	IN
				1	0	-	OUT	IN
				1	IN	OUT	IN	
			1	0	1	IN	-	OUT
				1	0	-	OUT	OUT
				1	IN	OUT	OUT	
4線式バス通信モード	1	0	0	0	1	-	IN	IN
				1	0	OUT	-	IN
				1	OUT	IN	IN	
			1	0	1	IN	-	OUT
				1	0	-	OUT	OUT
				1	IN	OUT	OUT	
4線式バス(双方向) 通信モード	1	1	0	0	1	-	IN	IN
				1	0	-	OUT	IN
			1	0	1	-	IN	OUT
				1	0	-	OUT	OUT

【注】 - : 汎用入出力ポートとして使用可能です。

x : Don't care

15.4.5 クロック同期式通信モードの動作

(1) クロック同期式通信モードの初期化

クロック同期式通信モードの初期化を図 15.4 に示します。データの送信/受信前には、まず SSER の TE および RE を 0 にクリアして初期化してください。

【注】 動作モードの変更、通信フォーマットの変更などの場合には、必ず TE および RE を 0 にクリアしてから変更してください。

TE を 0 にクリアすると、TDRE は 1 にセットされます。RE を 0 にクリアしても、RDRF、ORER の各フラグ、および SSRDR の内容は保持されますので注意してください。

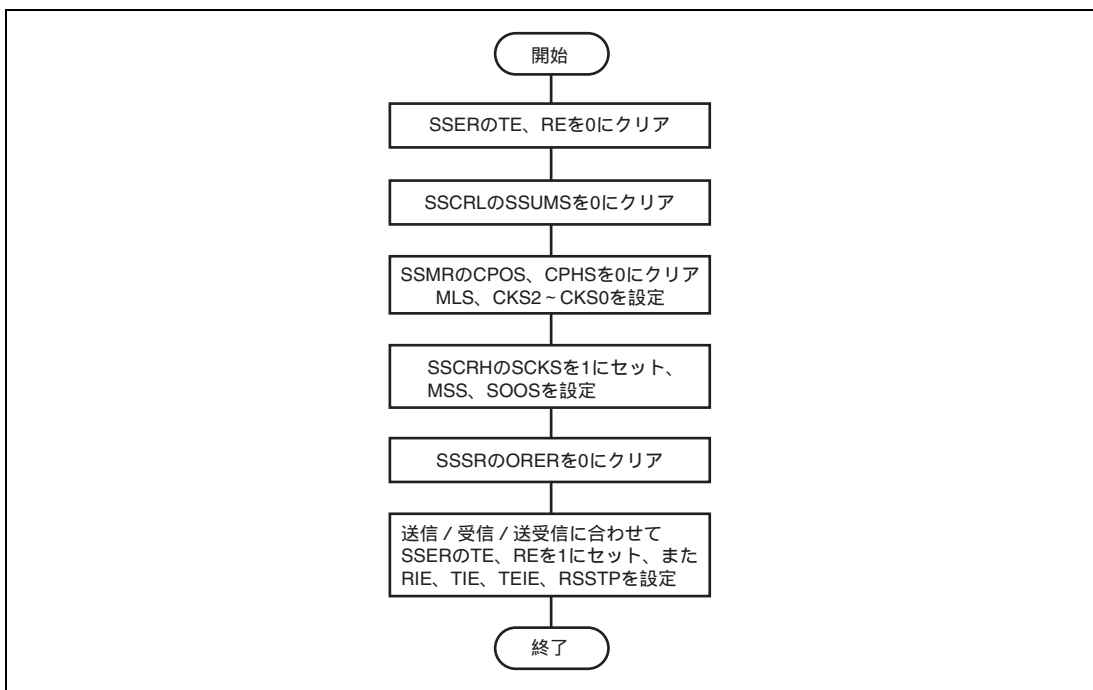


図 15.4 クロック同期式通信モードの初期化

15. シンクロナスシリアルコミュニケーションユニット (SSU)

(2) データ送信

図 15.5 にデータ送信時の動作例を示します。データ送信時は以下のように動作します。

SSU はマスタデバイスに設定したとき、同期クロックとデータを出力します。スレーブデバイスに設定したとき、入力クロックに同期してデータを出力します。

SSU は、TE を 1 にセット後、SSTDR に送信データをライトすると自動的に TDRE が 0 にクリアされ、SSTDR から SSTRSR にデータが転送されます。その後、TDRE が 1 にセットされ送信を開始します。このとき、SSSR の TIE が 1 にセットされていると TXI を発生します。

TDRE が 0 の状態で 1 フレームの転送が終わると SSTDR から SSTRSR にデータが転送され、次フレームの送信を開始します。TDRE が 1 の状態で 8 ビット目が送出されると SSSR の TEND が 1 にセットされ、状態を保持します。このとき SSER の TEIE が 1 にセットされていると TEI を発生します。送信終了後は、SSCK 端子は High レベルに固定されます。

なお、SSSR の ORER が 1 にセットされた状態では送信は行えませんので、送信の前には、ORER が 0 にクリアされていることを確認してください。

図 15.6 にデータ送信のフローチャート例を示します。

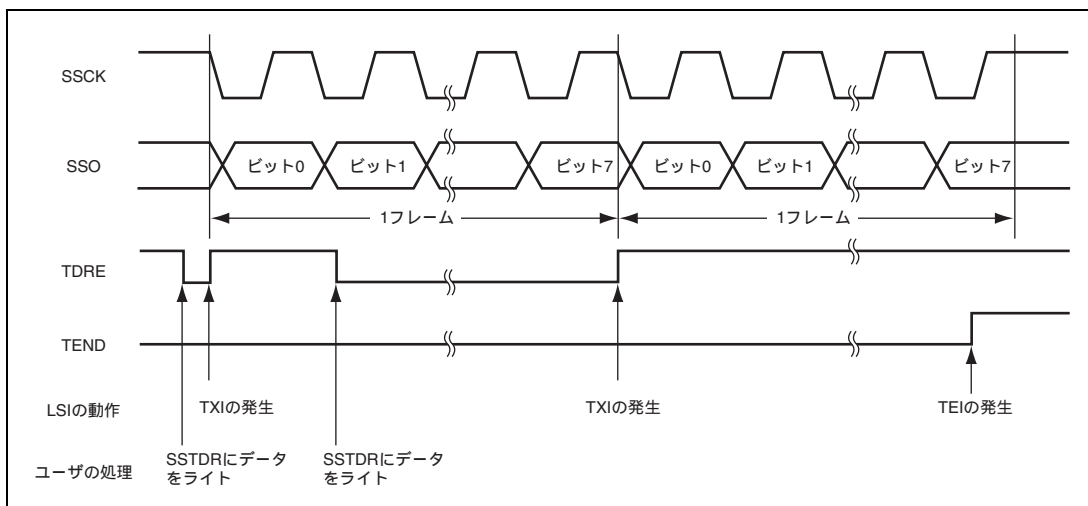


図 15.5 データ送信時の動作例

15. シンクロナスシリアルコミュニケーションユニット (SSU)

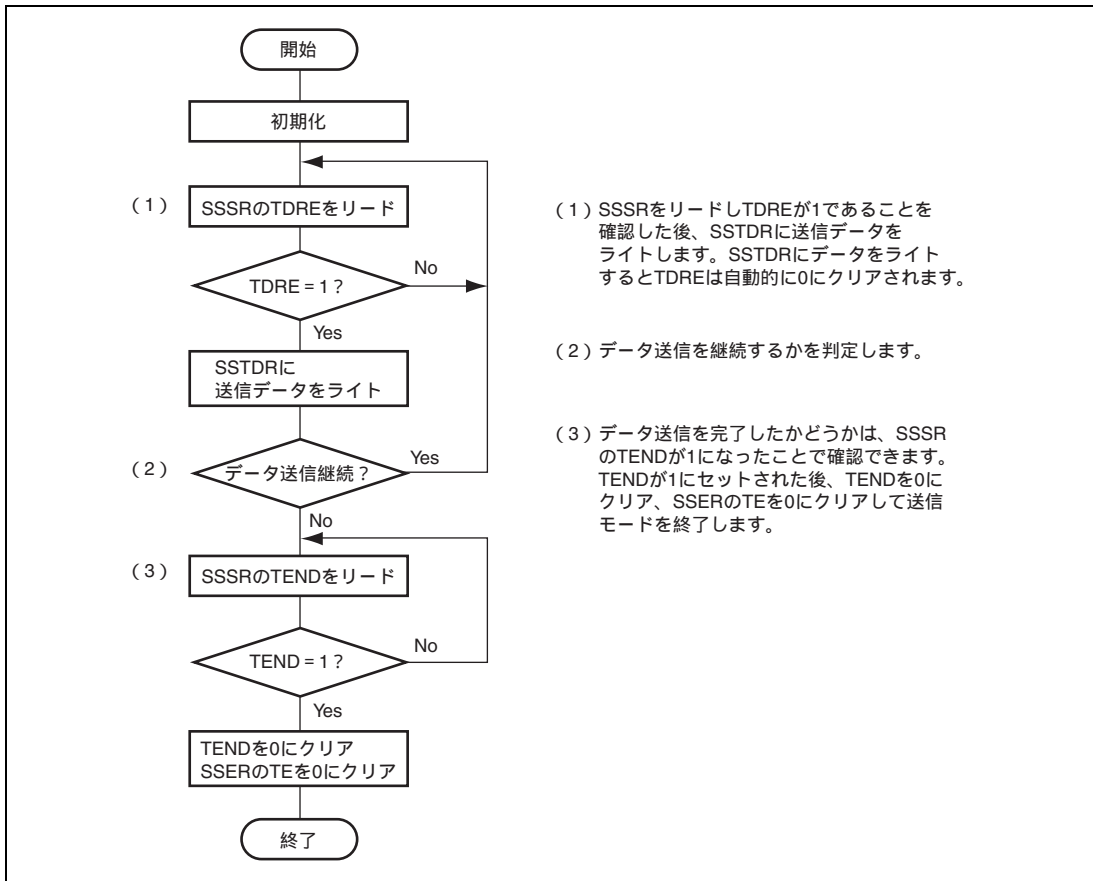


図 15.6 データ送信のフローチャート例

15. シンクロナスシリアルコミュニケーションユニット (SSU)

(3) データ受信

図 15.7 にデータ受信時の動作例を示します。データ受信時は以下のように動作します。

SSU はマスタデバイスに設定したとき、同期クロックを出力し、データを入力します。スレーブデバイスに設定したとき、入力クロックに同期してデータを入力します。マスタデバイスに設定したときは、最初に SSRDR をダミーリードすることで受信クロックを出力し受信を開始します。

8 ビット受信後、SSSR の RDRF が 1 にセットされ、SSRDR に受信データが格納されます。このとき、SSER の RIE が 1 にセットされていると RXI を発生します。SSRDR をリードすると自動的に RDRF は 0 にクリアされます。

マスタデバイスに設定し受信を終了する場合には、SSER の RSSTP を 1 にセットした後、受信したデータをリードします。これにより、8 ビット分クロックを出力し停止します。その後、RE を 0 に、RSSTP を 0 にクリアし、最後に受信したデータをリードします。RE が 1 にセットされた状態で SSRDR をリードするとまた受信クロックを出力してしまいますので注意してください。

RDRF が 1 の状態で 8 クロック目が立ち上がると、SSSR の ORER がセットされ、オーバランエラー (OEI) が発生し、停止します。なお、ORER がセットされた状態では受信は行えませんので、受信再開の前には、ORER が 0 にクリアされていることを確認してください。

図 15.8 にデータ受信のフローチャート例を示します。

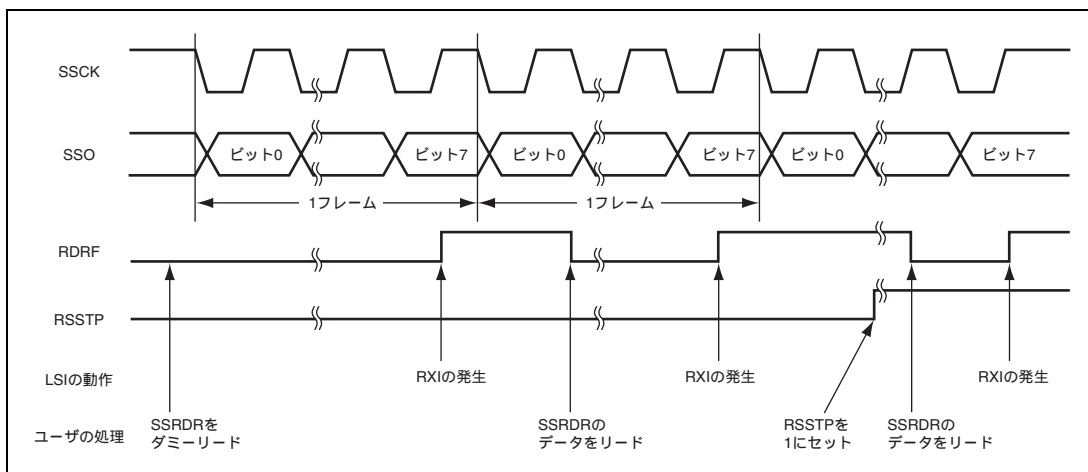


図 15.7 データ受信時の動作例 (MSS=1 のとき)

15. シンクロナスシリアルコミュニケーションユニット (SSU)

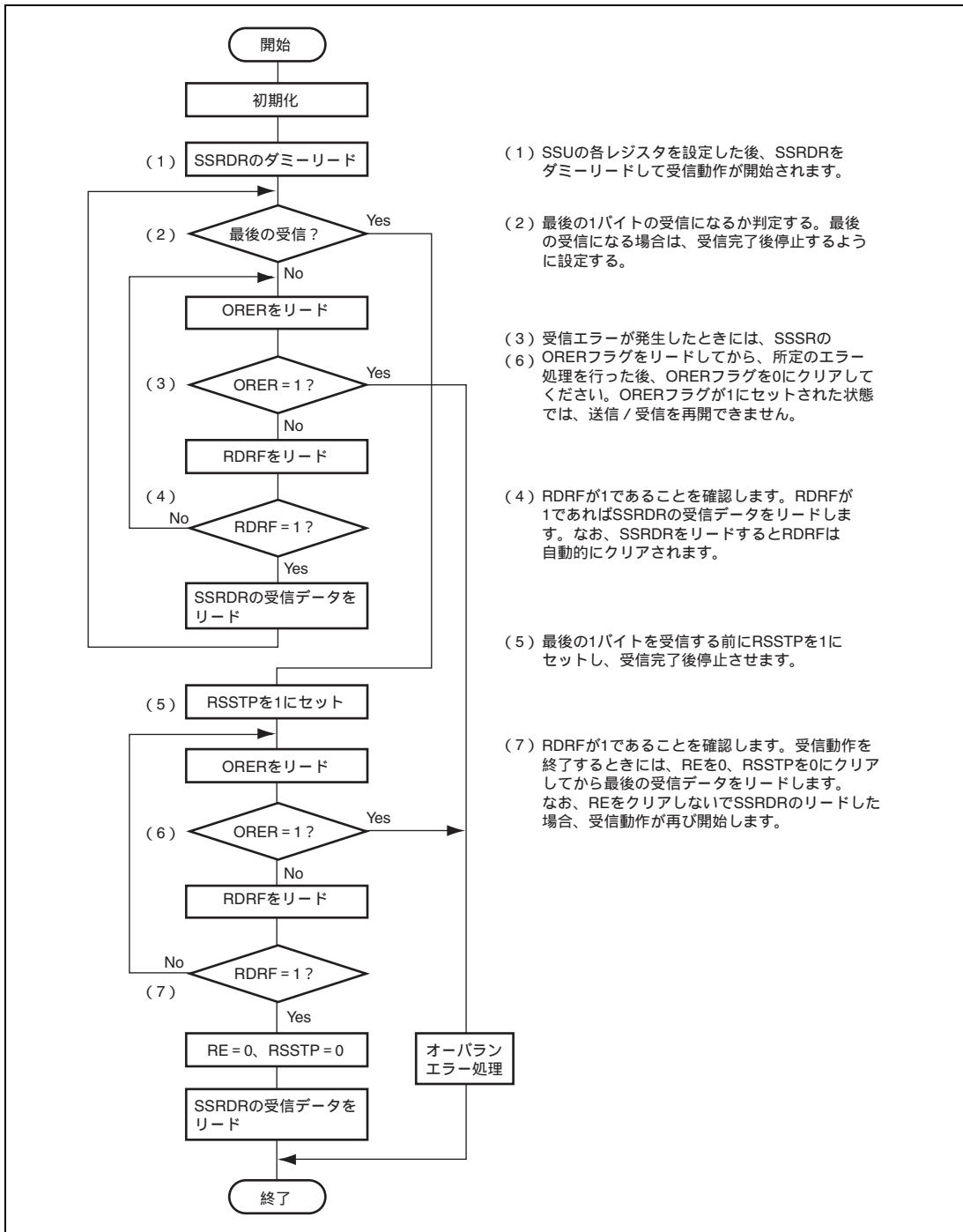


図 15.8 データ受信フローチャート例 (MSS=1 のとき)

15. シンクロナスシリアルコミュニケーションユニット (SSU)

(4) データ送受信

データ送受信は前述のデータ送信とデータ受信の複合的な動作になります。送受信はまず SSTDR にデータをライトすることで開始されます。また、TDRE が 1 にセットされた状態で 8 クロック目の立ち上がった場合または ORER が 1 セットされた場合、送受信動作は停止します。

なお、送信モード (TE=1) あるいは受信モード (RE=1) から送受信モード (TE=RE=1) に切り替える場合は一度 TE、RE を 0 にクリアしてから行ってください。また、TEND は 0 にクリア、RDRF、ORER が 0 にクリアされていることを確認した後、TE および RE を 1 にセットしてください。

図 15.9 にデータ送受信のフローチャート例を示します。

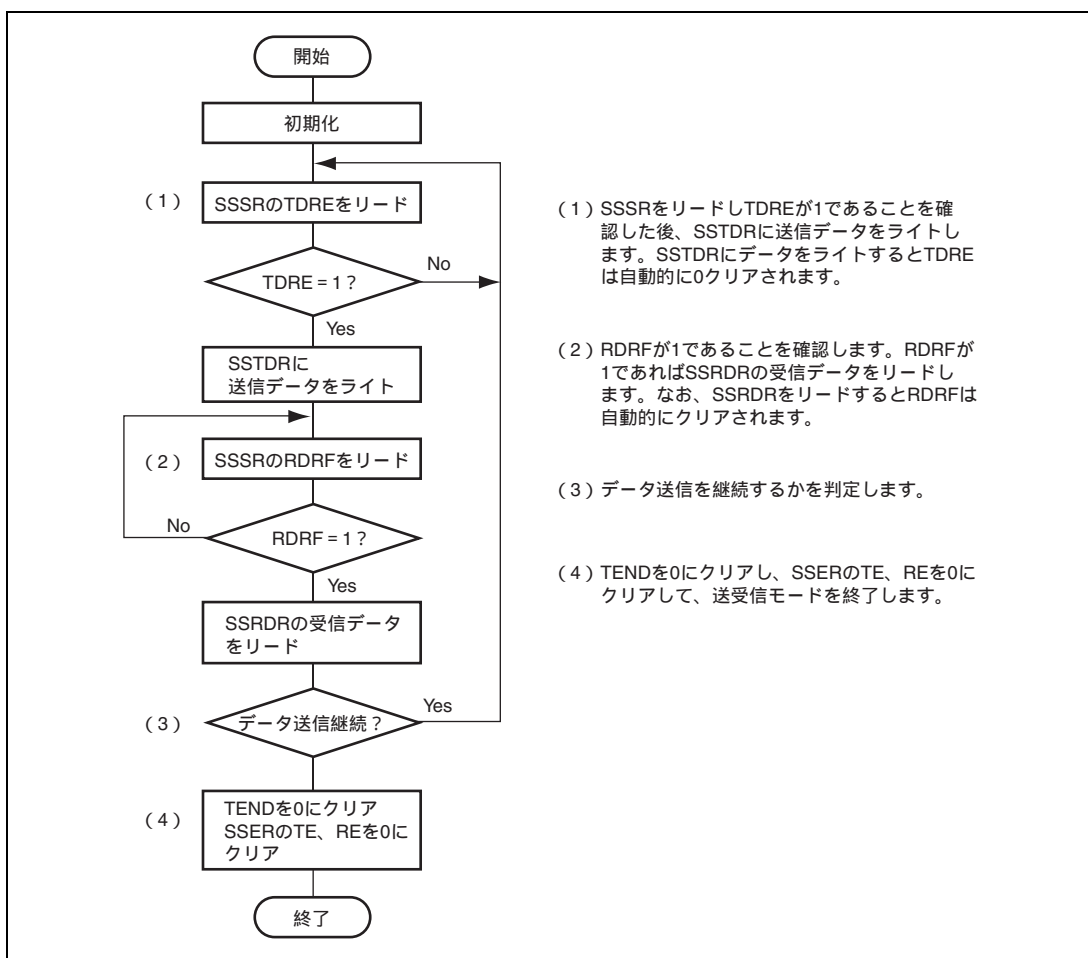


図 15.9 データ送受信のフローチャート例

15.4.6 4線式バス通信モードの動作

4線式バス通信モードは、クロックライン、データ入力ライン、データ出力ライン、チップセレクトラインの4本のバスを使用して通信するモードです。このモードにはデータ入力ラインとデータ出力ラインを1端子で行う双方向モードも含まれます。データ入力ラインとデータ出力ラインはSSCRHのMSSおよびBIDEの設定により変わります。詳細は「15.4.3 データ入出力とシフトレジスタの関係」を参照してください。また、このモードでは、クロックの極性、位相とデータの間をSSMRのCPOSおよびCPHSにより設定できます。詳細は「15.4.2 クロックの極性、位相とデータの間」を参照してください。

チップセレクトラインは、マスタデバイスの場合出力制御、スレーブデバイスの場合入力制御します。マスタデバイスの場合はSSCRHのCSS1を1に設定し \overline{SCS} 端子を出力制御するか、あるいは汎用ポートで出力制御することができます。スレーブデバイスの場合はSSCRHのCSS1、CSS0を01に設定し \overline{SCS} 端子を入力として機能させます。

4線式バス通信モードでは、標準的にSSMRのMLSを1にセットし、MSBファーストで通信を行います。

15.4.7 4線式バス通信モードの初期化

4線式バス通信モードの初期化を図15.10に示します。データの送信/受信前には、まずSSERのTEおよびREを0にクリアして初期化してください。

【注】 動作モードの変更、通信フォーマットの変更などの場合には、必ずTEおよびREを0にクリアしてから変更してください。TEを0にクリアすると、TDREは1にセットされます。REを0にクリアしても、RDRF、ORERの各フラグ、およびSSRDRの内容は保持されますので注意してください。

15. シンクロナスシリアルコミュニケーションユニット (SSU)

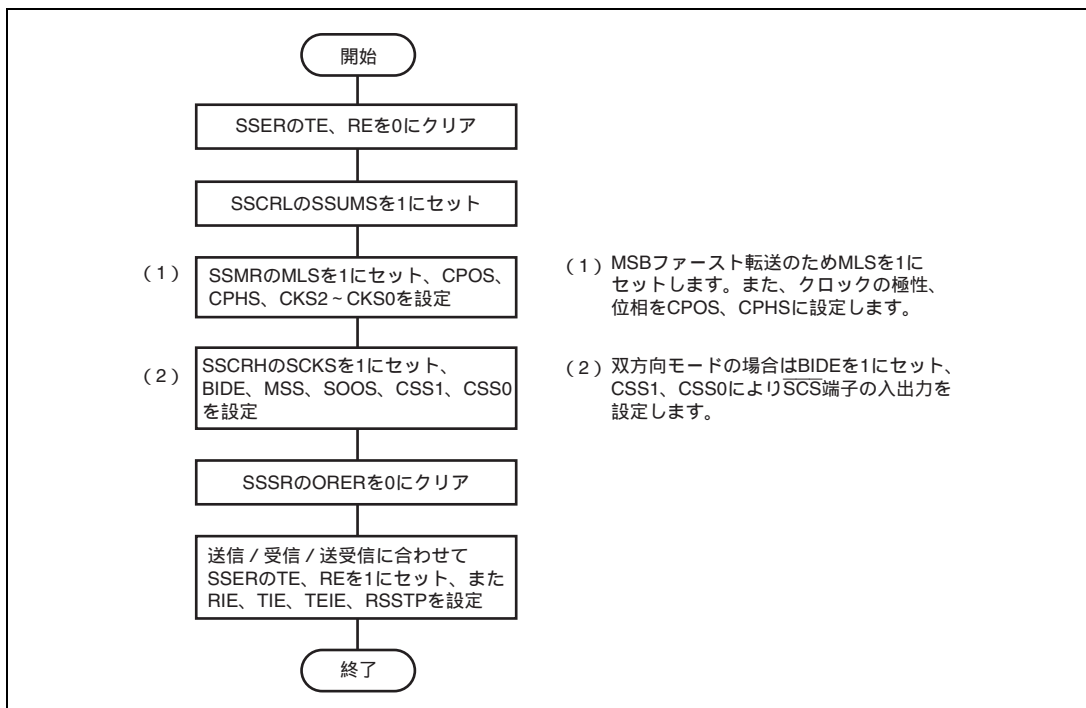


図 15.10 4線式バス通信モードの初期化

15.4.8 データ送信

図 15.11 にデータ送信時の動作例を示します。データ送信時は以下のように動作します。

SSU はマスタデバイスに設定したとき、同期クロックとデータを出力します。スレーブデバイスに設定したとき、 $\overline{\text{SCS}}$ 端子が Low 入力状態で入力クロックに同期してデータを出力します。

SSU は、TE を 1 にセット後、SSTDR に送信データをライトすると自動的に TDRE が 0 にクリアされ、SSTDR から SSTRSR にデータが転送されます。その後、TDRE が 1 にセットされ送信を開始します。このとき、SSER の TIE が 1 にセットされていると TXI を発生します。

TDRE が 0 の状態で 1 フレームの転送が終わると SSTDR から SSTRSR にデータが転送され、次フレームの送信を開始します。TDRE が 1 の状態で 8 ビット目が送出されると SSSR の TEND が 1 にセットされ、状態を保持します。このとき SSER の TEIE が 1 にセットされていると TEI を発生します。送信終了後は、SSCK 端子は High レベルに固定されます。

なお、SSSR の ORER が 1 にセットされた状態では送信は行えませんので、送信の前には、ORER が 0 にクリアされていることを確認してください。

クロック同期式通信モードとの違いは、マスタデバイス時 $\overline{\text{SCS}}$ 端子が Hi-Z 状態では SSO 端子が Hi-Z 状態となり、スレーブデバイス時 $\overline{\text{SCS}}$ 端子が High 入力状態では SSI 端子が Hi-Z 状態となることです。フローチャート例はクロック同期式通信モードと同じです。

15. シンクロナスシリアルコミュニケーションユニット (SSU)

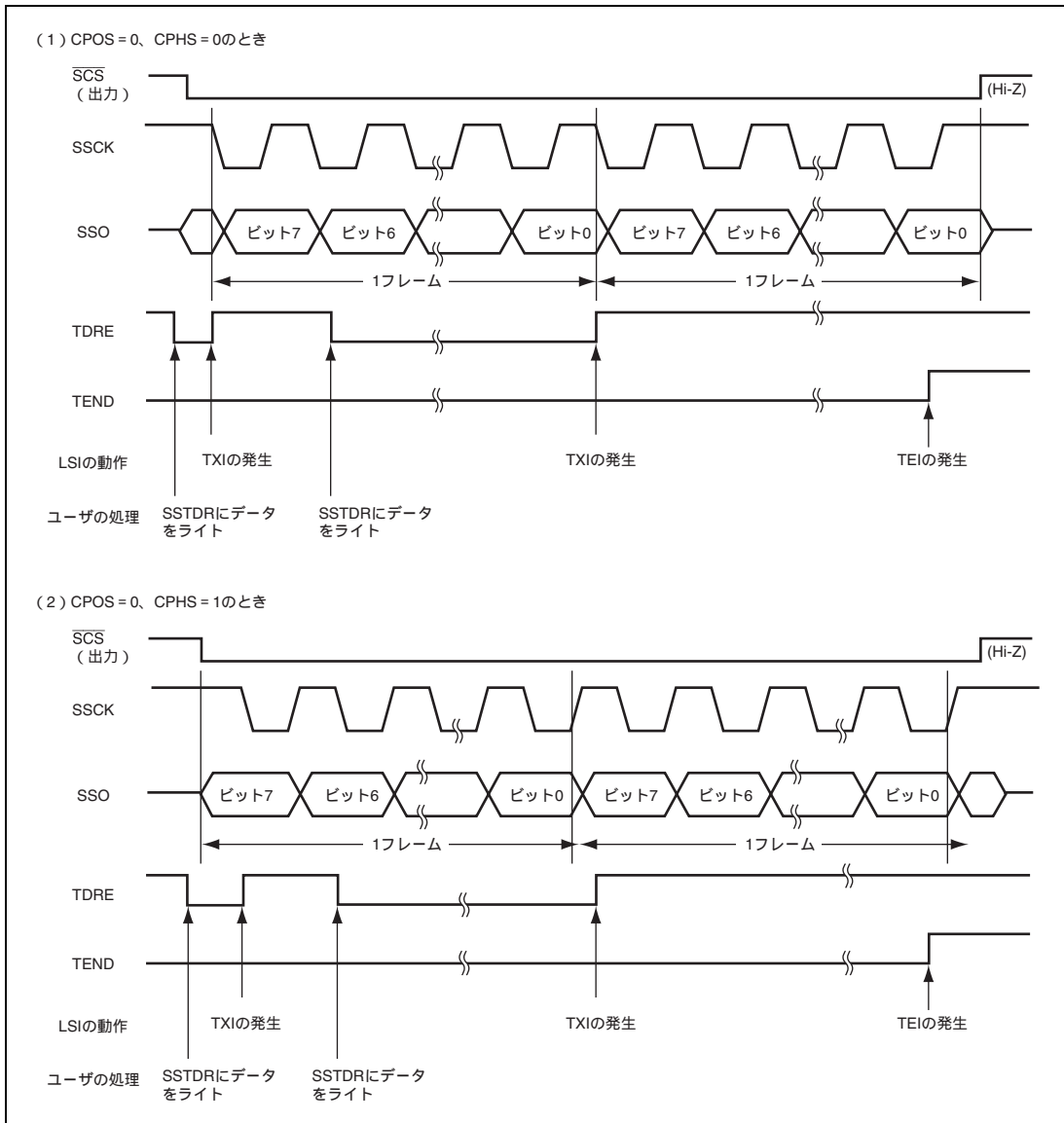


図 15.11 データ送信時の動作例 (MSS=1 のとき)

15.4.9 データ受信

図 15.12 にデータ受信時の動作例を示します。データ受信時は以下のように動作します。

SSU はマスタデバイスに設定したとき、同期クロックを出力し、データを入力します。スレーブデバイスに設定したとき、 $\overline{\text{SCS}}$ 端子が Low 入力状態で入力クロックに同期してデータを入力します。マスタデバイスに設定したときは、最初に SSRDR をダミーリードすることで受信クロックを出力し受信を開始します。

8 ビット受信後、SSSR の RDRF が 1 にセットされ、SSRDR に受信データが格納されます。このとき、SSER の RIE が 1 にセットされていると RXI を発生します。SSRDR をリードすると自動的に RDRF は 0 にクリアされます。

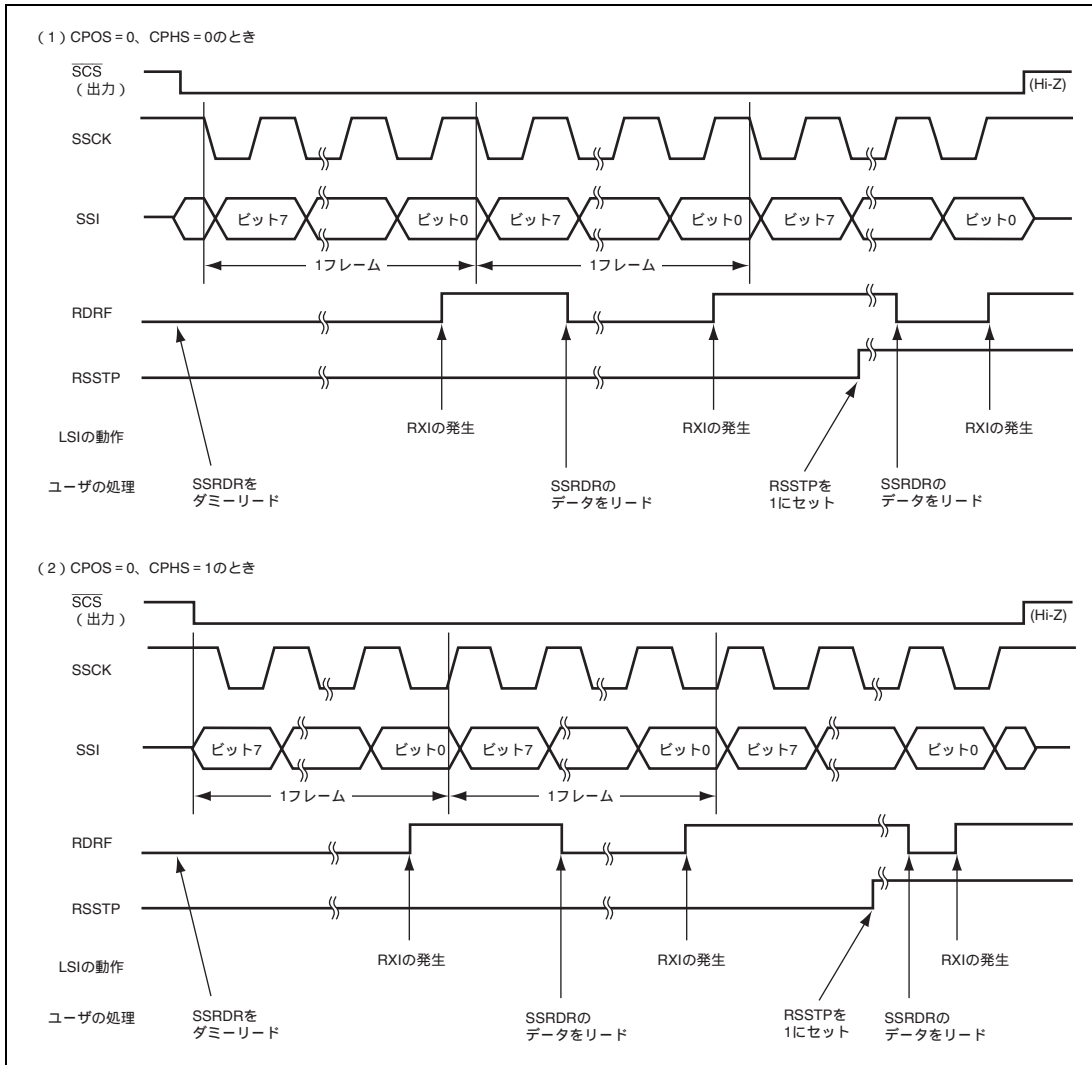
マスタデバイスに設定し受信を終了する場合には、SSER の RSSTP を 1 にセットした後、受信したデータをリードします。これにより、8 ビット分クロックを出力し停止します。その後、RE を 0 に、RSSTP を 0 にクリアし、最後に受信したデータをリードします。RE が 1 にセットされた状態で SSRDR をリードするとまた受信クロックを出力してしまいますので注意してください。

RDRF が 1 の状態で 8 クロック目が立ち上がると、SSSR の ORER がセットされ、オーバランエラー (OEI) が発生し、停止します。なお、ORER が 1 にセットされた状態では受信は行えませんので、受信再開の前には、ORER が 0 にクリアされていることを確認してください。

RDRF、ORER フラグのセットタイミングは、CPHS の設定により異なります。このタイミングを図 15.12 に示します。CPHS = 1 に設定した場合、フレームの途中でフラグがセットされますので、受信終了時には注意してください。

フローチャート例はクロック同期式通信モードと同じです。

15. シンクロナスシリアルコミュニケーションユニット (SSU)



15. シンクロナスシリアルコミュニケーションユニット (SSU)

15.4.10 $\overline{\text{SCS}}$ 端子制御とアービトレーション

SSCRL の SSUMS=1、SSCRH の CSS1=1 に設定した場合には、SSCRH の MSS を 1 にセットしてからシリアル転送を開始する前に $\overline{\text{SCS}}$ 端子のアービトレーションをチェックします。この期間に同期化した内部 $\overline{\text{SCS}}$ が Low になったことを検出すると SSSR の CE がセットされ、MSS がクリアされます。

- 【注】 コンフリクトエラーがセットされた状態では、以後の送信動作ができません。したがって、送信をスタートする前に、必ず CE を 0 にクリアしてください。
マルチマスタで使用する場合は、SSCRL の CSOS ビットを 1 にセットしてください。

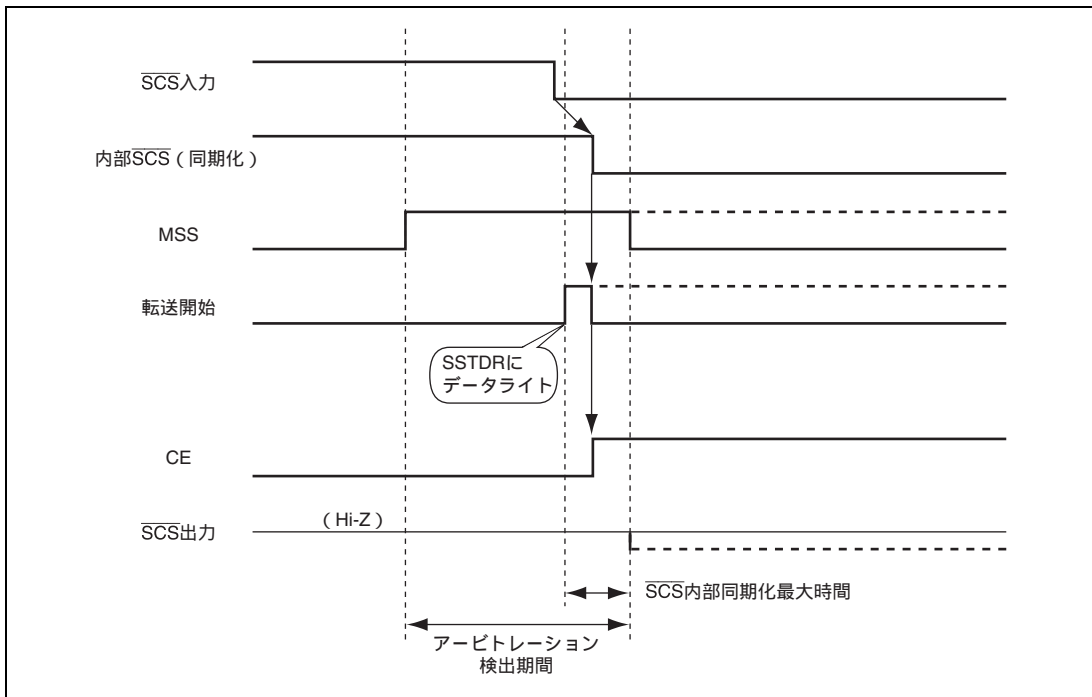


図 15.13 アービトレーションチェックタイミング

15.4.11 割り込み要求

SSU の割り込み要求には、送信データエンプティ、送信終了、受信データフル、オーバランエラー、コンフリクトエラー割り込みがあります。これらの割り込み要求は共通のベクタアドレスに割り付けられているため、フラグによる要因の判別が必要です。表 15.3 に割り込み要求一覧を示します。

表 15.3 割り込み要求一覧

割り込み要求	略称	割り込み条件
送信データエンプティ	TXI	$(TIE=1) \cdot (TDRE=1)$
送信終了	TEI	$(TEIE=1) \cdot (TEND=1)$
受信データフル	RXI	$(RIE=1) \cdot (RDRF=1)$
オーバランエラー	OEI	$(RIE=1) \cdot (ORER=1)$
コンフリクトエラー	CEI	$(CEIE=1) \cdot (CE=1)$

表 15.3 の割り込み条件が 1 かつ CCR の I ビットが 0 のとき、CPU は割り込み例外処理を実行します。例外処理の中でそれぞれの割り込み要因をクリアしてください。ただし TDRE、TEND は SSTDR に送信データをライトすることで、RDRF は SSRDR をリードすることで自動的にクリアされますので注意してください。特に TDRE は SSTDR に送信データをライトしたとき同時に再度 TDRE がセットされ、さらに TDRE をクリアすると、余分に 1 バイト送信する場合があります。

15.5 使用上の注意事項

SSCRH の SOLP ビットに 0 をライト (ライトプロテクト解除) した後、再びライトプロテクトをする場合に、SOL ビットの値がプロテクトされず、書き換わってしまう場合があります。

これを防ぐため、SOLP ビットに 1 をライト (ライトプロテクト) するときは、そのときの SOL ビットの値を SOL ビットにライトし、SOLP ビットをプロテクトするようにしてください。

15. シンクロナスシリアルコミュニケーションユニット (SSU)

16. I²C バスインタフェース 2 (IIC2)

I²C バスインタフェース 2 は、フィリップス社が提唱する I²C バス (Inter IC Bus) インタフェース方式に準拠しており、サブセット機能を備えています。ただし I²C バスを制御するレジスタの構成が一部フィリップス社と異なります。I²C バスインタフェース 2 のブロック図を図 16.1 に、入出力端子の外部回路接続例を図 16.2 に示します。

16.1 特長

- I²C バスフォーマットまたはクロック同期式シリアルフォーマットを選択可能
- 連続送信 / 受信可能
シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため、連続送信 / 受信が可能
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能
(初期値では、IIC2 の動作は停止。詳細は、「5.4 モジュールスタンバイ機能」を参照してください。)

I²C バスフォーマット

- マスタモードでは開始条件、停止条件の自動生成
- 受信時、アクノリッジの出力レベルを選択可能
- 送信時、アクノリッジビットを自動ロード
- ビット同期 / ウェイト機能内蔵
マスタモードではビットごとに SCL の状態をモニタして自動的に同期を取ります。転送準備ができていない場合には、SCL を Low レベルにして待機させます。
- 割り込み要因 : 6 種類
送信データエンプティ (スレーブアドレス一致時を含む)、送信終了、受信データフル (スレーブアドレス一致時を含む)、アービトラレーションロスト、NACK 検出、停止条件検出
- バスを直接駆動可能
SCL、SDA の 2 端子は通常時 (ポート / シリアル選択時) は CMOS 端子、バス駆動機能選択時は NMOS のみで出力

クロック同期シリアルフォーマット

- 割り込み要因 : 4 種類
送信データエンプティ、送信終了、受信データフル、オーバランエラー

16. I²C バスインタフェース 2 (IIC2)

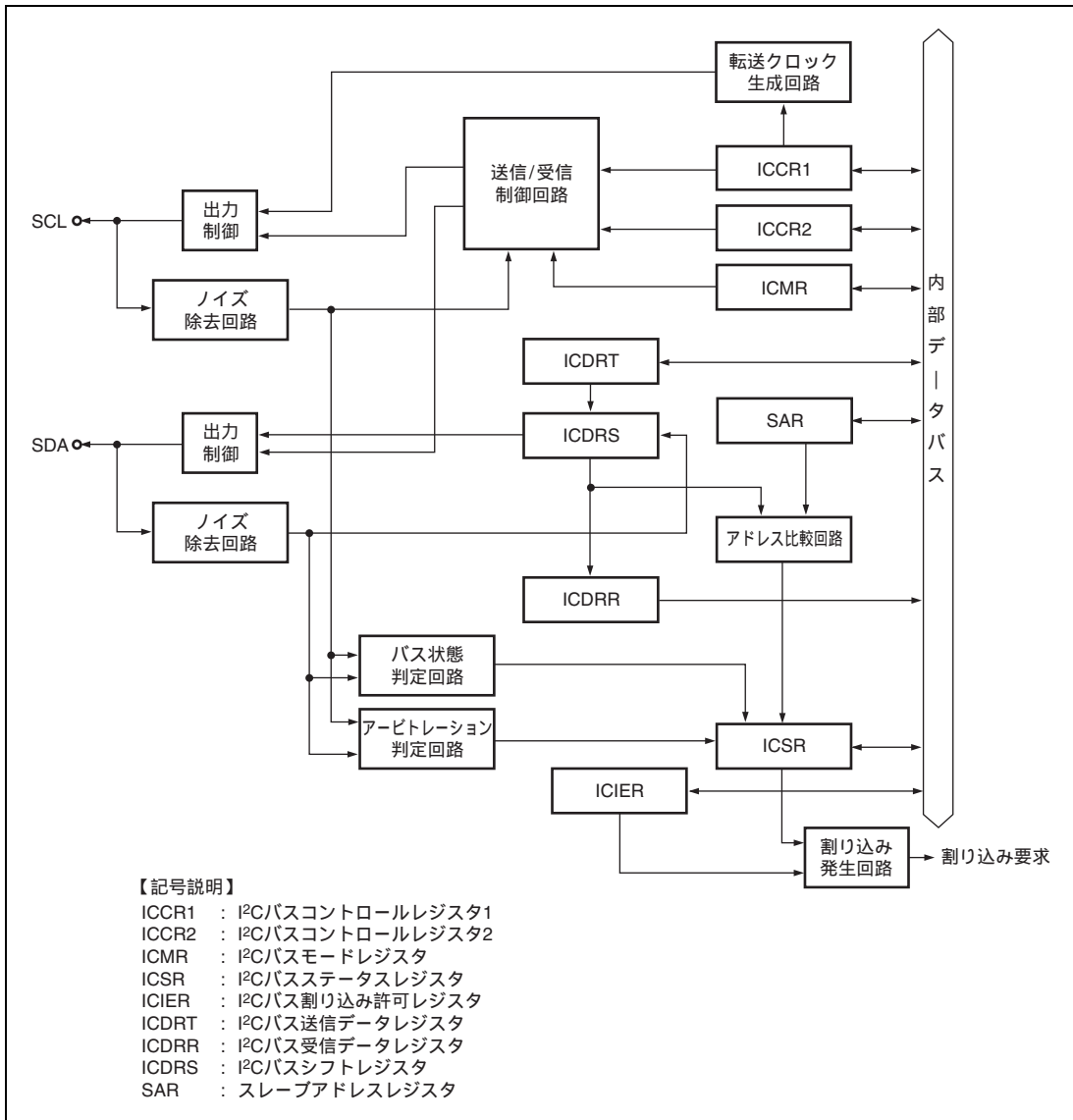


図 16.1 I²C バスインタフェース 2 のブロック図

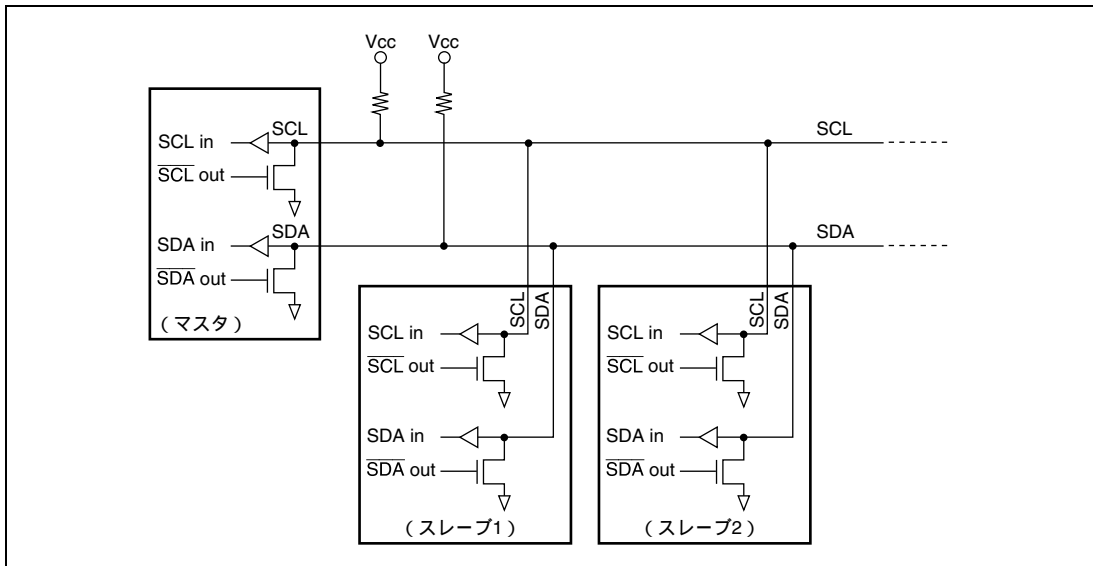


図 16.2 入出力端子の外部回路接続例

16.2 入出力端子

I²C バスインタフェース 2 で使用する端子構成を表 16.1 に示します。

表 16.1 端子構成

名称	記号	入出力	機能
シリアルクロック端子	SCL	入出力	I ² C シリアルクロック入出力端子
シリアルデータ端子	SDA	入出力	I ² C シリアルデータ入出力端子

16.3 レジスタの説明

I²C バスインタフェース 2 には以下のレジスタがあります。

- I²C バスコントロールレジスタ 1 (ICCR1)
- I²C バスコントロールレジスタ 2 (ICCR2)
- I²C バスモードレジスタ (ICMR)
- I²C バスインタラプトイネーブルレジスタ (ICIER)
- I²C バスステータスレジスタ (ICSR)
- スレーブアドレスレジスタ (SAR)
- I²C バス送信データレジスタ (ICDRT)
- I²C バス受信データレジスタ (ICDRR)
- I²C バスシフトレジスタ (ICDRS)

16. I²C バスインタフェース 2 (IIC2)

16.3.1 I²C バスコントロールレジスタ 1 (ICCR1)

ICCR1 は I²C バスインタフェース 2 の動作 / 停止、送信 / 受信制御、マスタモード / スレーブモード、送信 / 受信、マスタモード転送クロック周波数の選択を行います。

ビット	ビット名	初期値	R/W	説明
7	ICE	0	R/W	I ² C バスインタフェース 2 イネーブル 0: 本モジュールは機能停止状態 (SCL/SDA 端子はポート / シリアル機能) 1: 本モジュールは転送動作可能状態 (SCL/SDA はバス駆動状態)
6	RCVD	0	R/W	受信ディスエーブル TRS = 0 の状態で ICDRR をリードしたときに次の動作の継続 / 禁止を設定します。 0: 次の受信動作を継続 1: 次の受信動作を禁止
5 4	MST TRS	0 0	R/W R/W	マスタ / スレーブ選択 送信 / 受信選択 I ² C バスフォーマットのマスタモードでバス競合負けをすると、MST、TRS とともにハードウェアによってリセットされてスレーブ受信モードに変わります。なお TRS の変更は転送フレーム間で行ってください。また、スレーブ受信モードで開始条件後の 7 ビットが SAR に設定したスレーブアドレスと一致し、8 ビット目が 1 の場合、TRS が自動的に 1 にセットされます。クロック同期式シリアルフォーマットのマスタ受信モードでオーバランエラーが発生した場合、MST は 0 にクリアされ、スレーブ受信モードに変わります。 MST と TRS との組み合わせにより、以下の動作モードになります。またクロック同期シリアルフォーマットを選択した場合、MST = 1 のとき、クロック出力となります。 00: スレーブ受信モード 01: スレーブ送信モード 10: マスタ受信モード 11: マスタ送信モード
3 2 1 0	CKS3 CKS2 CKS1 CKS0	0 0 0 0	R/W R/W R/W R/W	転送クロック選択 3~0 マスタモードのとき、必要な転送レート (表 16.2 参照) に合わせて設定してください。スレーブモードでは送信モード時のデータセットアップ時間の確保に使用されます。この時間は、CKS3 = 0 のとき 10t _{cy} 、CKS3 = 1 のとき 20t _{cy} となります。

表 16.2 転送レート

ビット3 CKS3	ビット2 CKS2	ビット1 CKS1	ビット0 CKS0	クロック	転送レート		
					=2MHz	=5MHz	=10MHz
0	0	0	0	/28	71.4kHz	179kHz	357kHz
			1	/40	50.0kHz	125kHz	250kHz
		1	0	/48	41.7kHz	104kHz	208kHz
			1	/64	31.3kHz	78.1kHz	156kHz
	1	0	0	/80	25.0kHz	62.5kHz	125kHz
			1	/100	20.0kHz	50.0kHz	100kHz
		1	0	/112	17.9kHz	44.6kHz	89.3kHz
			1	/128	15.6kHz	39.1kHz	78.1kHz
1	0	0	0	/56	35.7kHz	89.3kHz	179kHz
			1	/80	25.0kHz	62.5kHz	125kHz
		1	0	/96	20.8kHz	52.1kHz	104kHz
			1	/128	15.6kHz	39.1kHz	78.1kHz
	1	0	0	/160	12.5kHz	31.3kHz	62.5kHz
			1	/200	10.0kHz	25.0kHz	50.0kHz
		1	0	/224	8.9kHz	22.3kHz	44.6kHz
			1	/256	7.8kHz	19.5kHz	39.1kHz

16.3.2 I²C バスコントロールレジスタ 2 (ICCR2)

ICCR2 は開始 / 停止条件発行、SDA 端子の操作、SCL 端子のモニタ、I²C バスインタフェース 2 のコントロール部のリセットを制御します。

ビット	ビット名	初期値	R/W	説明
7	BBSY	0	R/W	<p>バスビジー</p> <p>I²C バスの占有 / 開放状態を示すフラグ機能とマスタモードの開始 / 停止条件発行機能の 2 つがあります。クロック同期シリアルフォーマットの場合、本ビットは意味を持ちません。I²C バスフォーマットの場合、SCL = High レベルの状態では SDA が High レベルから Low レベルに変化すると、開始条件が発行されたと認識して 1 にセットされます。SCL = High レベルの状態では SDA が Low レベルから High レベルに変化すると、停止条件が発行されたと認識して 0 にクリアされます。開始条件を発行する場合は BBSY に 1、SCP に 0 をライトします。開始条件再送時も同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。なお開始条件 / 停止条件の発行は、MOV 命令を用いてください。</p>

16. I²C バスインタフェース 2 (IIC2)

ビット	ビット名	初期値	R/W	説 明
6	SCP	1	R/W	<p>開始 / 停止条件発行禁止ビット</p> <p>SCP ビットはマスタモードで開始条件 / 停止条件の発行を制御します。開始条件を発行する場合、BBSY に 1、SCP に 0 をライトします。開始条件の再送信時と同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。本ビットはリードすると常に 1 が読み出されます。1 をライトしてもデータは格納されません。</p>
5	SDAO	1	R/W	<p>SDA 出力値制御</p> <p>SDAO は SDA の出力レベルを変更する場合に、ビット 4 の SDAOP と組み合わせて使用します。なお本ビットの操作は転送中に行わないでください。</p> <p>0 : リード時、SDA 端子出力が Low レベル : ライト時、SDA 端子出力を Low レベルに変更</p> <p>1 : リード時、SDA 端子出力が High レベル : ライト時、SDA 端子出力を Hi-Z に変更 (外部プルアップ抵抗により High レベル出力)</p>
4	SDAOP	1	R/W	<p>SDAO ライトプロテクト</p> <p>SDAO ビット書き換えによる SDA 端子の出力レベルの変更を制御します。出力レベルを変更する場合には SDAO に 0 かつ SDAOP に 0、または SDAO に 1 かつ SDAOP に 0 を MOV 命令で行います。本ビットはリードすると常に 1 が読み出されます。</p>
3	SCLO	1	R	<p>SCLO は SCL の出力レベルをモニタします。リード時に SCLO が 1 の場合 SCL 端子出力は High レベル、SCLO が 0 の場合 SCL 端子出力は Low レベルとなります。</p>
2	-	1	-	<p>リザーブビット</p> <p>リードすると常に 1 が読み出されます。</p>
1	IICRST	0	R/W	<p>IIC コントロール部リセット</p> <p>IICRST は I²C のレジスタを除くコントロール部をリセットします。I²C の動作中に通信不具合等によりハングアップしたとき、IICRST ビットを 1 にセットするとポートの設定、レジスタの初期化をせずに I²C のコントロール部をリセットすることができます。</p>
0	-	1	-	<p>リザーブビット</p> <p>リードすると常に 1 が読み出されます。</p>

16.3.3 I²C バスモードレジスタ (ICMR)

ICMR は MSB ファースト / LSB ファースト の選択、マスタモードウェイトの制御、転送ビット数の選択を行います。

ビット	ビット名	初期値	R/W	説明
7	MLS	0	R/W	MSB ファースト / LSB ファースト 選択 0 : MSB ファースト 1 : LSB ファースト I ² C バスフォーマットで使用するときには 0 に設定してください。
6	WAIT	0	R/W	ウェイト挿入ビット WAIT は I ² C バスフォーマットでマスタモード時に、アクノリッジを除いたデータ転送後にウェイト状態にするかどうかを設定します。WAIT に 1 を設定した場合、データの最終ビットのクロックが立ち下がった後、2 転送クロック分 Low 期間を延ばします。WAIT が 0 の場合ウェイトは挿入されず、データとアクノリッジを連続して転送します。 なお I ² C バスフォーマットのスレーブモードおよびクロック同期シリアルフォーマットの場合、本ビットの設定値は無効です。
5	-	1	-	リザーブビット
4	-	1	-	リードすると常に 1 が読み出されます。
3	BCWP	1	R/W	BC ライトプロテクト BC2 ~ BC0 の書き込みを制御します。BC2 ~ BC0 を書き換える場合は、本ビットを 0 にして MOV 命令で行います。なおクロック同期シリアルモードでは BC の書き換えは行わないでください。 0 : ライト時、BC2 ~ BC0 の値を設定 1 : リード時、常に 1 をリード ライト時、BC2 ~ BC0 設定値は無効

16. I²C バスインタフェース 2 (IIC2)

ビット	ビット名	初期値	R/W	説 明
2	BC2	0	R/W	ビットカウンタ 2~0 次に転送するデータのビット数を指定します。リードすると残りの転送ビット数を知ることができます。I ² C バスフォーマットでは、データにアクノリッジ 1 ビットが加算されて転送されます。設定は転送フレーム間で行ってください。また、000 以外の値を設定する場合は、SCL が Low 状態で行ってください。これらのビットはアクノリッジを含むデータ転送終了後、自動的に 000 に戻ります。クロック同期式シリアルフォーマットを選択した場合は書き換えしないでください。 I ² C バスフォーマット クロック同期式シリアルフォーマット 000 : 9 ビット 000 : 8 ビット 001 : 2 ビット 001 : 1 ビット 010 : 3 ビット 010 : 2 ビット 011 : 4 ビット 011 : 3 ビット 100 : 5 ビット 100 : 4 ビット 101 : 6 ビット 101 : 5 ビット 110 : 7 ビット 110 : 6 ビット 111 : 8 ビット 111 : 7 ビット
1	BC1	0	R/W	
0	BC0	0	R/W	

16.3.4 I²C バスインタラプトイネーブルレジスタ (ICIER)

ICIER は各種割り込み要因の許可、アクノリッジの有効/無効の選択、送信アクノリッジの設定および受信アクノリッジの確認を行います。

ビット	ビット名	初期値	R/W	説 明
7	TIE	0	R/W	トランスミットインタラプトイネーブル ICSR の TDRE がセットされたとき、送信データエンプティ割り込み (TXI) を許可/禁止します。 0 : 送信データエンプティ割り込み要求 (TXI) の禁止 1 : 送信データエンプティ割り込み要求 (TXI) の許可
6	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル TEIE は、ICSR の TDRE が 1 の状態で 9 クロック目が立ち上がったとき、送信終了割り込み (TEI) の許可/禁止を選択します。なお TEI は、TEND を 0 にクリアするか、TEIE を 0 にクリアすることで解除できます。 0 : 送信終了割り込み要求 (TEI) の禁止 1 : 送信終了割り込み要求 (TEI) の許可

ビット	ビット名	初期値	R/W	説明
5	RIE	0	R/W	<p>レシーブインタラプトイネーブル</p> <p>RIE は受信データが ICDRS から ICRRR に転送され、ICSR の RDRF が 1 にセットされたとき、受信データフル割り込み要求 (RXI) の許可 / 禁止、およびクロック同期フォーマット時のオーバーランエラー割り込み要求 (ERI) の禁止 / 許可を選択します。なお RXI は、RDRF を 0 にクリアするか、または RIE を 0 にクリアすることで解除できます。</p> <p>0: 受信データフル割り込み要求 (RXI)、およびクロック同期フォーマット時のオーバーランエラー割り込み要求 (ERI) の禁止</p> <p>1: 受信データフル割り込み要求 (RXI)、およびクロック同期フォーマット時のオーバーランエラー割り込み要求 (ERI) の許可</p>
4	NAKIE	0	R/W	<p>NACK 受信インタラプトイネーブル</p> <p>NAKIE は、ICSR の NACKF および AL がセットされたとき、NACK 受信割り込み要求 (NAKI)、およびクロック同期フォーマット時のオーバーランエラー (ICSR の OVE セット) 割り込み要求 (ERI) の許可 / 禁止を選択します。なお NAKI は、NACKF または OVE を 0 にクリアするか、または NAKIE を 0 にクリアすることで解除できます。</p> <p>0: NACK 受信割り込み要求 (NAKI) の禁止</p> <p>1: NACK 受信割り込み要求 (NAKI) の許可</p>
3	STIE	0	R/W	<p>停止条件検出インタラプトイネーブル</p> <p>0: 停止条件検出割り込み要求 (STPI) の禁止</p> <p>1: 停止条件検出割り込み要求 (STPI) の許可</p>
2	ACKE	0	R/W	<p>アクノリッジビット判定選択</p> <p>0: 受信アクノリッジの内容を無視して連続的に転送を行う。</p> <p>1: 受信アクノリッジが 1 の場合、転送を中断する。</p>
1	ACKBR	0	R	<p>受信アクノリッジ</p> <p>送信モード時、受信デバイスから受け取ったアクノリッジビットの内容を格納しておくビットです。ライトは無効です。</p> <p>0: 受信アクノリッジ = 0</p> <p>1: 受信アクノリッジ = 1</p>
0	ACKBT	0	R/W	<p>送信アクノリッジ</p> <p>受信モード時、アクノリッジのタイミングで送出するビットを設定します。</p> <p>0: アクノリッジのタイミングで 0 を送出</p> <p>1: アクノリッジのタイミングで 1 を送出</p>

16. I²C バスインタフェース 2 (IIC2)

16.3.5 I²C バスステータスレジスタ (ICSR)

ICSR は各種割り込み要求フラグおよびステータスの確認を行います。

ビット	ビット名	初期値	R/W	説明
7	TDRE	0	R/(W)*	トランスミットデータエンプティ [セット条件] • ICDRT から ICDRS にデータ転送が行われ、ICDRT がエンプティになったとき • TRS をセットしたとき • 開始条件 (再送含む) を発行したとき • スレープモードで受信モードから送信モードになったとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • 命令で ICDRT ヘデータをライトしたとき
6	TEND	0	R/(W)*	トランスミットエンド [セット条件] • I ² C バスフォーマットの場合、TDRE が 1 の状態で SCL の 9 クロック目が立ち上がったとき • クロック同期シリアルフォーマットの場合、送信フレームの最終ビットを送出したとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • 命令で ICDRT ヘデータをライトしたとき
5	RDRF	0	R/(W)*	レシーブデータレジスタフル [セット条件] • ICDRS から ICDRR に受信データが転送されたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • 命令で ICDRR をリードしたとき
4	NACKF	0	R/(W)*	ノーアクノリッジ検出フラグ [セット条件] • ICIER の ACKE = 1 の状態で、送信時、受信デバイスからアクノリッジがなかったとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき

ビット	ビット名	初期値	R/W	説明
3	STOP	0	R/(W)*	<p>停止条件検出フラグ</p> <p>[セット条件]</p> <ul style="list-style-type: none"> マスタモード時、フレームの転送の完了後に停止条件を検出したとき スレーブモード時、ゼネラルコール後、および開始条件検出後の第1バイトのスレーブアドレスと SAR に設定したアドレスが一致したあと、停止条件を検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1の状態をリードした後、0をライトしたとき
2	AL/OVE	0	R/(W)*	<p>アービトレーションロストフラグ / オーバランエラーフラグ</p> <p>AL/OVE は、I²C バスフォーマットの場合、マスタモード時にバス競合負けをしたことを示します。またクロック同期フォーマットの場合、RDRF = 1 の状態で最終ビットを受信したことを示します。</p> <p>複数のマスタがほぼ同時にバスを占有しようとしたときに I²C バスインタフェース 2 は SDA をモニタし、自分が出したデータと異なった場合、AL フラグを 1 にセットしてバスが他のマスタによって占有されたことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> マスタ送信モードの場合、SCL の立ち上がりで内部 SDA と SDA 端子のレベルが不一致のとき マスタモードの場合、開始条件検出時、SDA 端子が High レベルのとき クロック同期フォーマットの場合、RDRF = 1 の状態で最終ビットを受信したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1の状態をリードした後、0をライトしたとき
1	AAS	0	R/(W)*	<p>スレーブアドレス認識フラグ</p> <p>スレーブ受信モードで開始条件直後の第一フレームが SAR の SVA6 - SVA0 と一致した場合にセットされます。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> スレーブ受信モードでスレーブアドレスを検出したとき スレーブ受信モードでゼネラルコールアドレスを検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1の状態をリードした後、0をライトしたとき
0	ADZ	0	R/(W)*	<p>ゼネラルコールアドレス認識フラグ</p> <p>I²C バスフォーマットのスレーブ受信モードのとき有効</p> <p>[セット条件]</p> <ul style="list-style-type: none"> スレーブ受信モードかつゼネラルコールアドレスを検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1の状態をリードした後、0をライトしたとき

【注】 * フラグをクリアするための 0 ライトのみ可能です。

16. I²C バスインタフェース 2 (IIC2)

16.3.6 スレーブアドレスレジスタ (SAR)

SAR はフォーマットの選択、スレーブアドレスを設定します。I²C バスフォーマットでスレーブモードの場合、開始条件後に送られてくる第 1 フレームの上位 7 ビットと SAR の上位 7 ビットが一致したとき、スレーブデバイスとして動作します。

ビット	ビット名	初期値	R/W	説明
7~1	SVA6~0	すべて 0	R/W	スレーブアドレス 6~0 I ² C バスにつながる他のスレーブと異なるユニークなアドレスを設定します。
0	FS	0	R/W	フォーマットセレクト 0: I ² C バスフォーマット選択 1: クロック同期シリアルフォーマット選択

16.3.7 I²C バス送信データレジスタ (ICDRT)

ICDRT は、送信データを格納する 8 ビットのリード/ライト可能なレジスタで、シフトレジスタ (ICDRS) の空きを検出すると ICDRT に書き込まれた送信データを ICDRS に転送し、データ送信を開始します。ICDRS のデータ送信中に、次に送信するデータを ICDRT にライトしておく、連続送信が可能です。なお、ICMR の MLS ビットを 1 に設定した場合、ICDRT に書き込んだ後、リードすると MSB/LSB 反転したデータが読み出されます。ICDRT の初期値は H'FF です。

16.3.8 I²C バス受信データレジスタ (ICDRR)

ICDRR は、受信データを格納する 8 ビットのレジスタです。1 バイトのデータの受信が終了すると、受信したデータを ICDRS から ICDRR へ転送し、次のデータを受信可能にします。なお ICDRR は受信専用レジスタですので、CPU からライトできません。ICDRR の初期値は H'FF です。

16.3.9 I²C バスシフトレジスタ (ICDRS)

ICDRS は、データを送信/受信するためのレジスタです。送信時は ICDRT から送信データが ICDRS に転送され、データが SDA 端子から送出されます。受信時は 1 バイトのデータの受信が終了すると、データが ICDRS から ICDRR へ転送されます。なお本レジスタは CPU から直接リードできません。

16.4 動作説明

I²C バスインタフェース 2 には、SAR の FS の設定により、I²C バスモードとクロック同期式シリアルモードで通信することができます。

16.4.1 I²C バスフォーマット

I²C バスフォーマットを図 16.3 に、I²C バスのタイミングを図 16.4 に示します。開始条件に続く第 1 フレームは必ず 8 ビット構成となります。

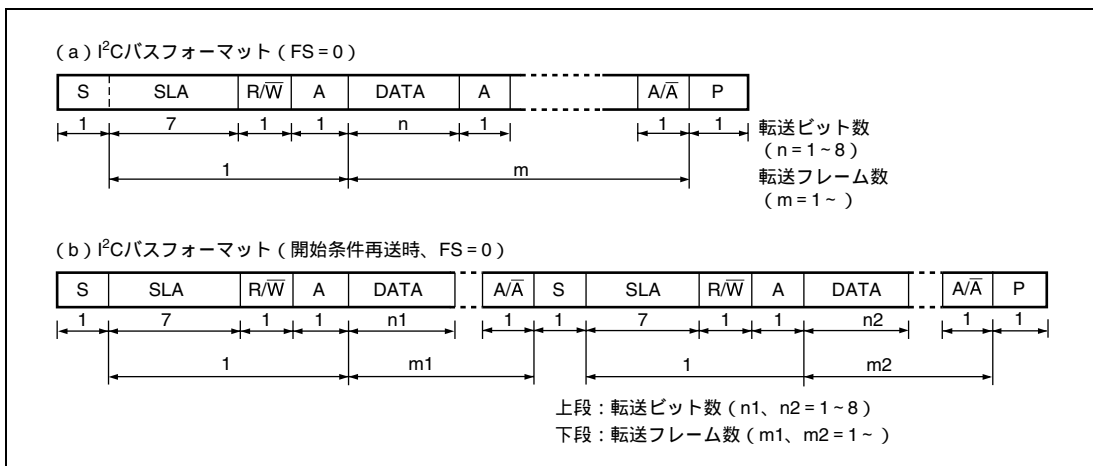
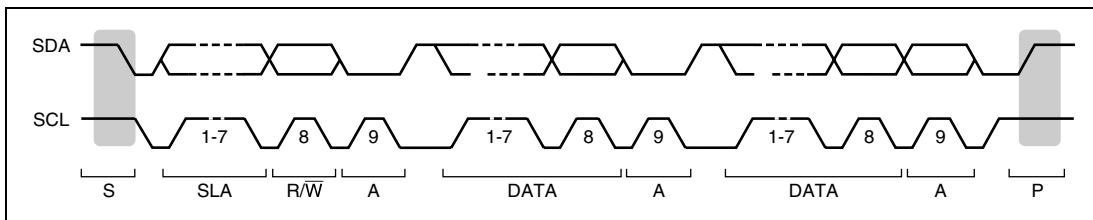


図 16.3 I²C バスフォーマット



記号の説明

- S : 開始条件。マスタデバイスが SCL = High レベルの状態ですべてのデバイスを High レベルから Low レベルに変化させます。
- SLA : スレーブアドレス
- R/W : 送受信の方向を示します。1 のときスレーブデバイスからマスタデバイスへ、0 のときマスタデバイスからスレーブデバイスへデータを送信します。
- A : アクノリッジ。受信デバイスが SDA を Low レベルにします。
- DATA : 送受信データ
- P : 停止条件。マスタデバイスが SCL = High レベルの状態ですべてのデバイスを Low レベルから High レベルに変化させます。

16.4.2 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクリッジを返します。マスタ送信モードの動作タイミングについては図 16.5 と図 16.6 を参照してください。以下にマスタ送信モードの送信手順と動作を示します。

1. ICCR1のICEビットを1に設定します。またICMRのMLS、WAIT、ICCR1のCKS3～CKS0等を設定します（初期設定）。
2. ICCR2のBBSYフラグをリードしてバスが開放状態であることを確認後、ICCR1のMST、TRSをマスタ送信モードに設定します。その後、BBSY = 1とSCP = 0をMOV命令でライトします（開始条件発行）。これにより開始条件を生成します。
3. ICSRのTDREがセットされたことを認識した後、ICDRTに送信データ（1バイト目はスレーブアドレスと $R\bar{W}$ を示すデータ）をライトします。このときTDREは自動的に0にクリアされ、ICDRTからICDRSにデータが転送されて、再びTDREがセットされます。
4. TDREがセットされた状態で1バイト送信が完了し、送信クロックの9クロック目の立ち上がりでICSRのTENDがセットされます。ICIERのACKBRをリードし、スレーブデバイスが選択されたことを認識した後、2バイト目のデータをICDRTにライトします。ACKBRが1のときはスレーブデバイスが認識されていないため、停止条件を発行します。停止条件の発行はBBSY = 0とSCP = 0を、MOV命令でライトすることにより行います。なおデータの準備ができるまで、または停止条件を発行するまではSCLがLowレベルに固定されます。
5. 2バイト目以降の送信データは、TDREがセットされるたびにICDRTにデータをライトします。
6. 送信するバイト数をICDRTにライトしたら、その後はTDREがセットされた状態でTENDがセット（最終バイト送出完了）されるまで待ちます。または、ICIERのACKEをセットした状態で受信デバイスからのNACK（ICSRのNACKF = 1）を待ちます。その後、停止条件を発行してTEND、あるいはNACKFをクリアします。
7. ICSRのSTOPがセットされたらスレーブ受信モードに戻します。

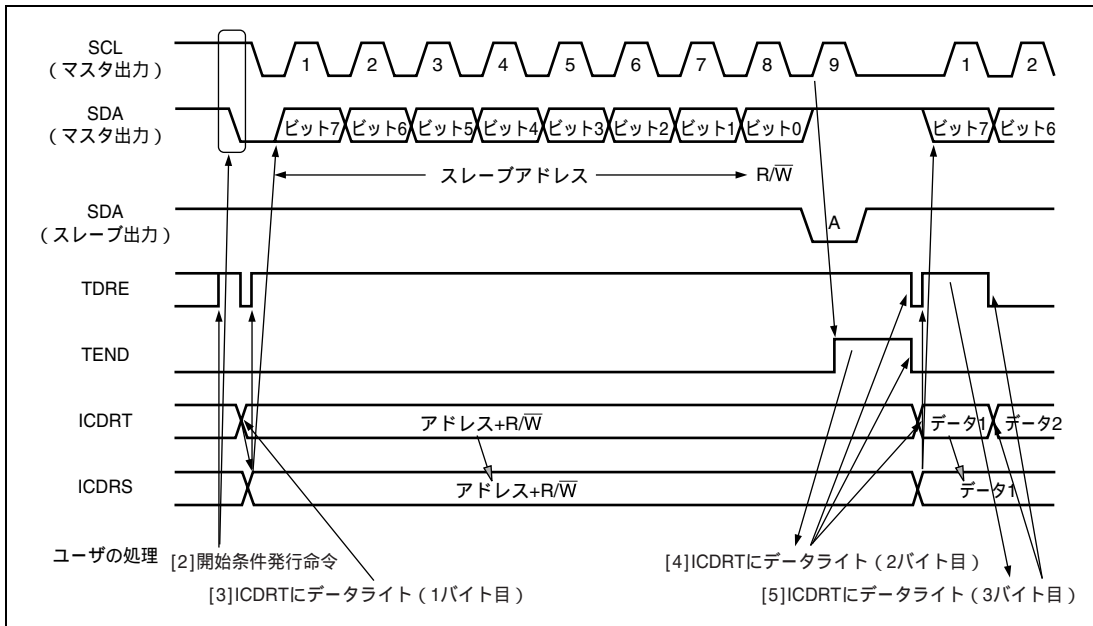


図 16.5 マスタ送信モード動作タイミング (1)

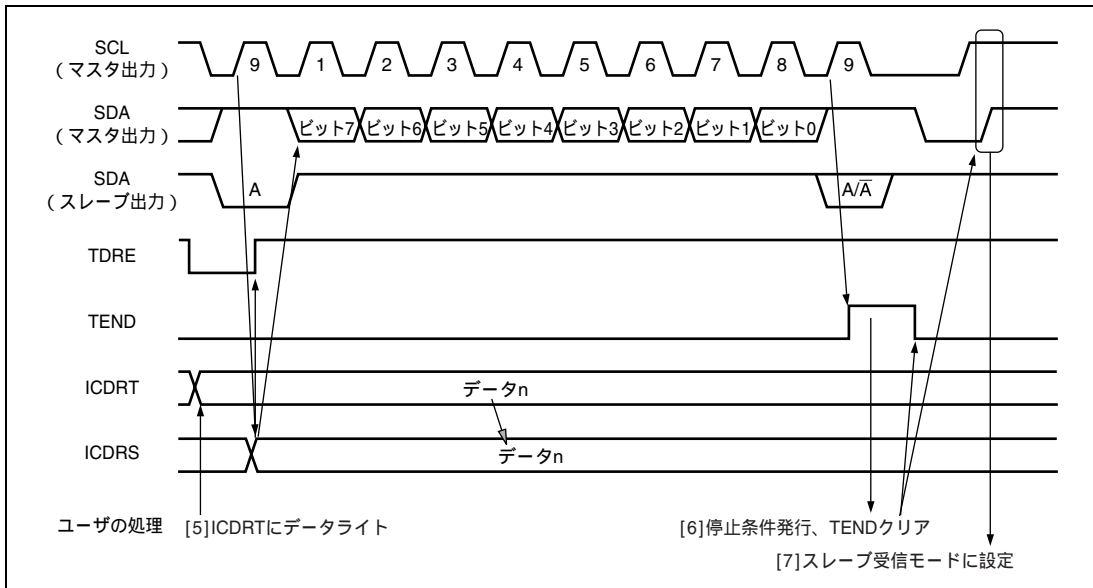


図 16.6 マスタ送信モード動作タイミング (2)

16.4.3 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、スレーブデバイスからデータを受信してア
クノリッジを返します。マスタ受信モードの動作タイミングについては図 16.7 と図 16.8 を参照してください。

以下にマスタ受信モードの受信手順と動作を示します。

1. ICSRのTENDをクリア後、ICCR1のTRSをクリアしてマスタ送信モードからマスタ受信モードに切り替えま
す。その後、TDREをクリアします。
2. ICDRRをダミーリードすると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信
します。マスタデバイスは受信クロックの9クロック目にICIERのACKBTに設定したレベルをSDAに出力しま
す。
3. 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりでICSRのRDRFがセットされま
す。このとき、ICDRRをリードすることにより、受信したデータを読み出すことができ、同時にRDRFはク
リアされます。
4. RDRFがセットされるたびにICDRRをリードすることにより、連続的に受信できます。なお別処理でRDRFが
セットされた状態でICDRRのリードが遅れて8クロック目が立ち下がった場合、ICDRRをリードするまでSCL
がLowレベルに固定されます。
5. 次の受信が最終フレームの場合、ICDRRをリードする前にICCR1のRCVDをセットします。これにより次の
受信後、停止条件発行可能状態になります。
6. 受信クロックの9クロック目の立ち上がりでRDRFがセットされたら、停止条件を発行します。
7. ICSRのSTOPがセットされたらICDRRをリードします。その後、RCVDをクリアします。
8. スレーブ受信モードに戻します。

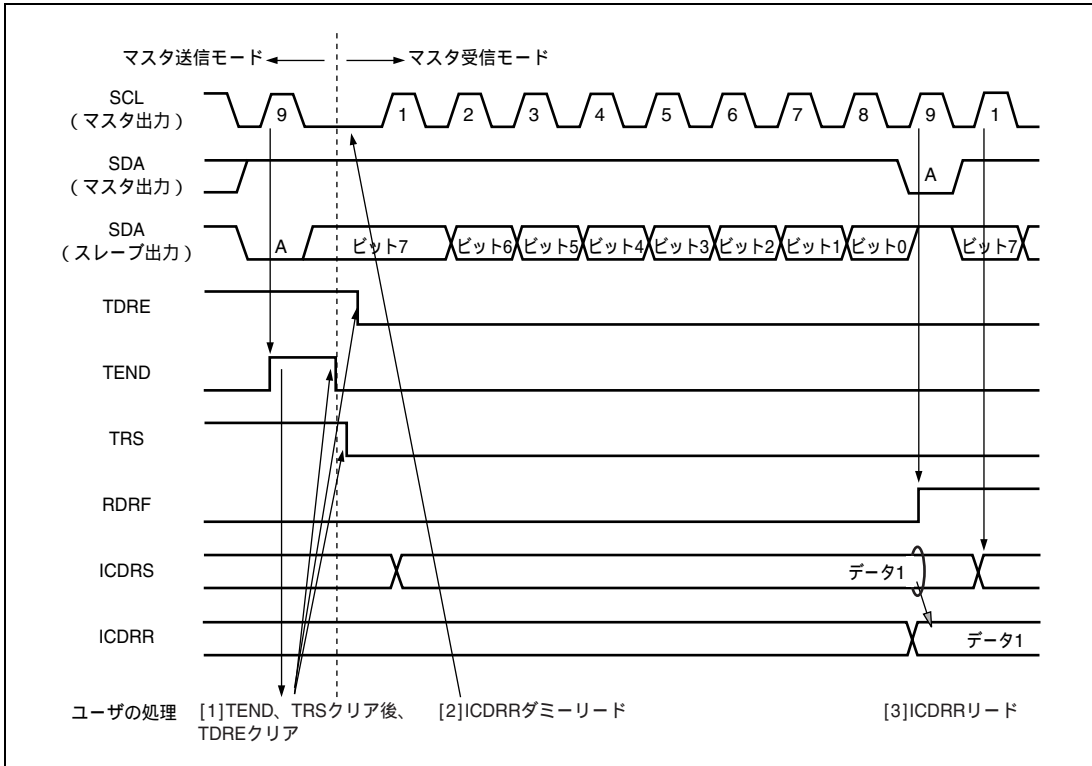


図 16.7 マスタ受信モード動作タイミング (1)

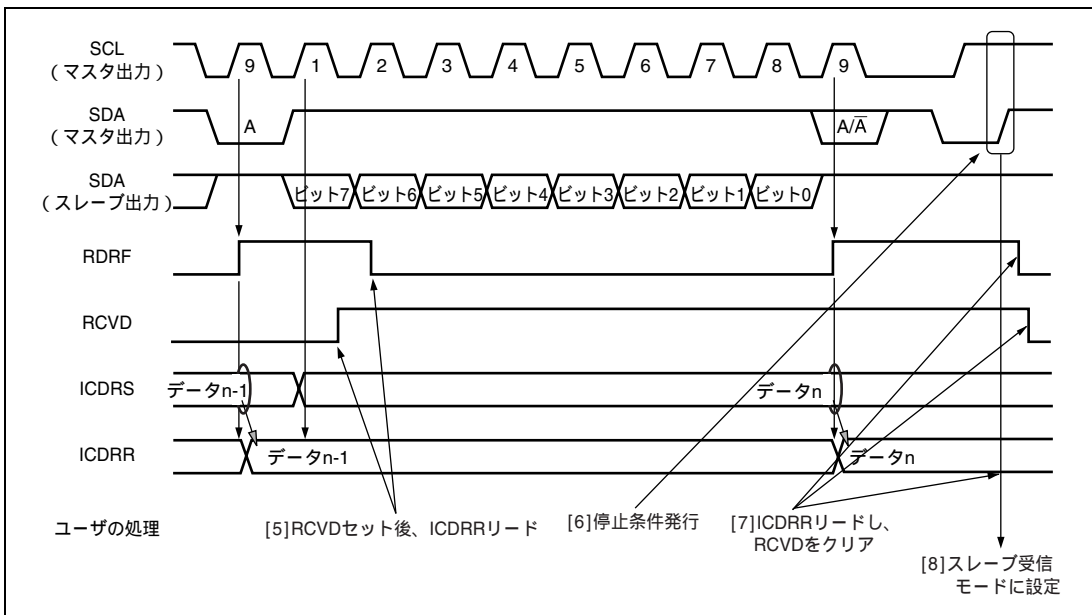


図 16.8 マスタ受信モード動作タイミング (2)

16.4.4 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力してアクノリッジを返します。スレーブ送信モードの動作タイミングについては図 16.9 と図 16.10 を参照してください。

以下にスレーブ送信モードの送信手順と動作を示します。

1. ICCR1のICEビットを1にセットします。また、ICMRのMLS、WAIT、ICCR1のCKS3～CKS0等を設定します（初期設定）。ICCR1のMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。このとき、8ビット目のデータ(R/W)が1のとき、ICCR1のTRSおよびICSRのTDREがセットされ、自動的にスレーブ送信モードに切り替わります。TDREがセットされるたびにICDRTに送信データをライトすると、連続送信が可能です。
3. 最終送信データをICDRTにライトした後にTDREがセットされたとき、TDRE = 1の状態、ICSRのTENDがセットされるまで待ちます。TENDがセットされたら、TENDをクリアします。
4. 終了処理のためTRSをクリアし、ICDRRをダミーリードします。これによりSCLを開放します。
5. TDREをクリアします。

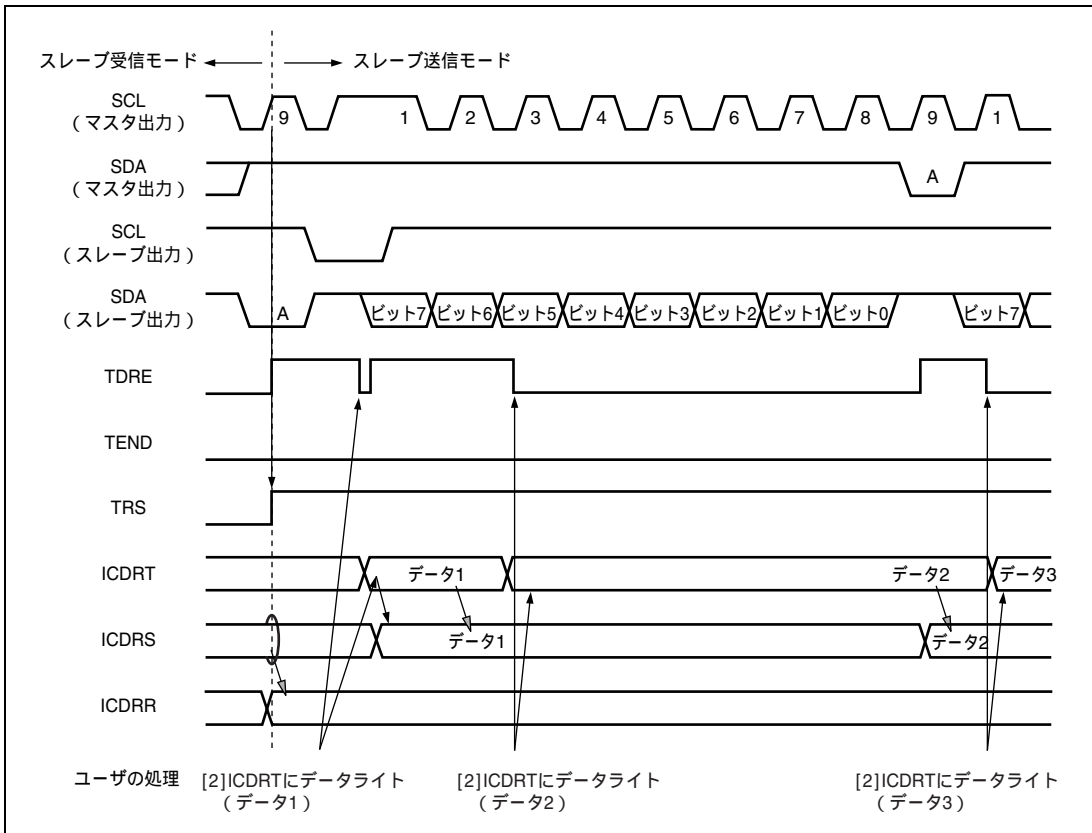


図 16.9 スレーブ送信モード動作タイミング (1)

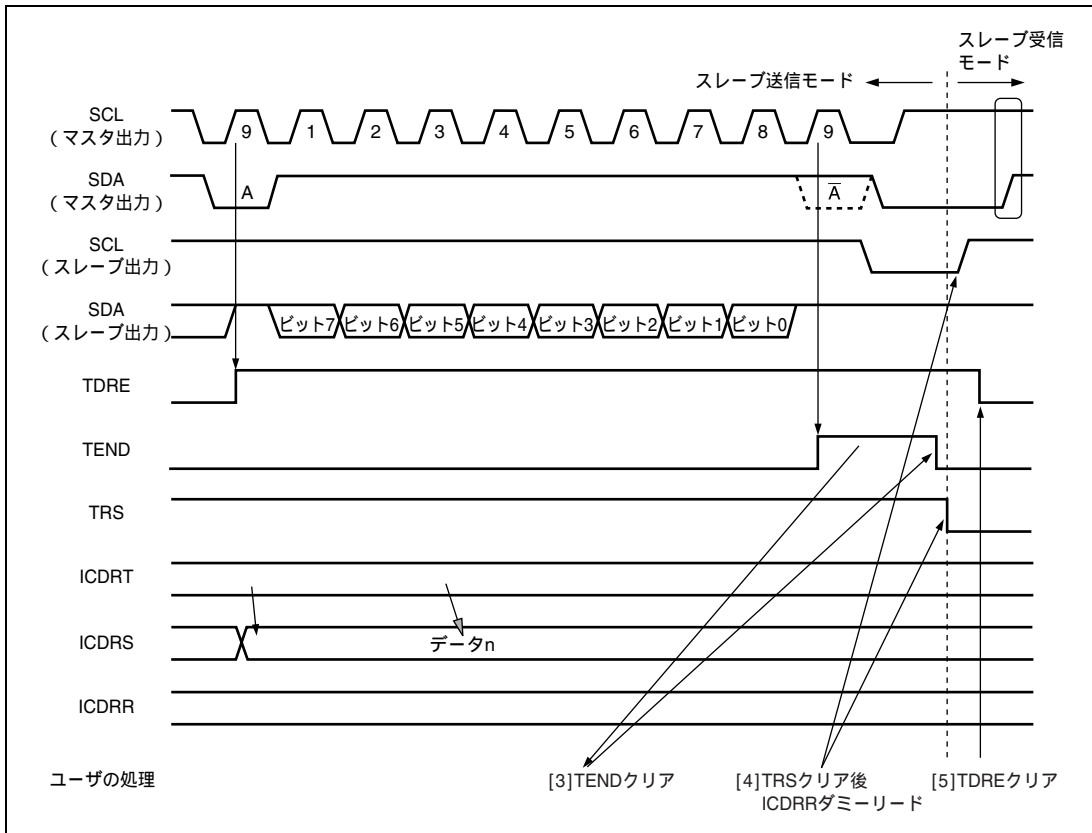


図 16.10 スレーブ送信モード動作タイミング (2)

16.4.5 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロック、送信データを出し、スレーブデバイスがアクノリッジを返します。スレーブ受信モードの動作タイミングについては図 16.11 と図 16.12 を参照してください。以下にスレーブ受信モードの受信手順と動作を示します。

1. ICCR1のICEビットを1にセットします。また、ICMRのMLS、WAIT、ICCR1のCKS3～CKS0等を設定します（初期設定）。ICCR1のMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出後の第一フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。同時にICSRのRDRFがセットされますので、ICDRRをダミーリード（リードデータはスレーブアドレス+R/Wを示すので不要）します。
3. RDRFがセットされるたびにICDRRをリードします。RDRFがセットされた状態で8クロック目が立ち下がるとICDRRをリードするまでSCLをLowに固定します。ICDRRをリードする前に行ったマスタデバイスに返すアクノリッジの設定変更は次の転送フレームに反映されます。
4. 最終バイトのリードも同様にICDRRのリードにより行います。

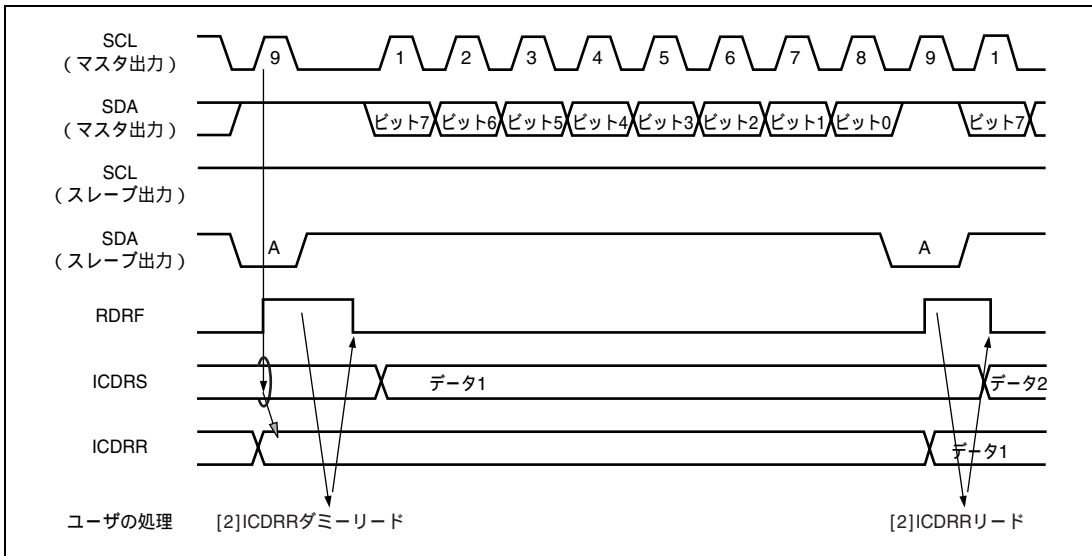


図 16.11 スレーブ受信モード動作タイミング (1)

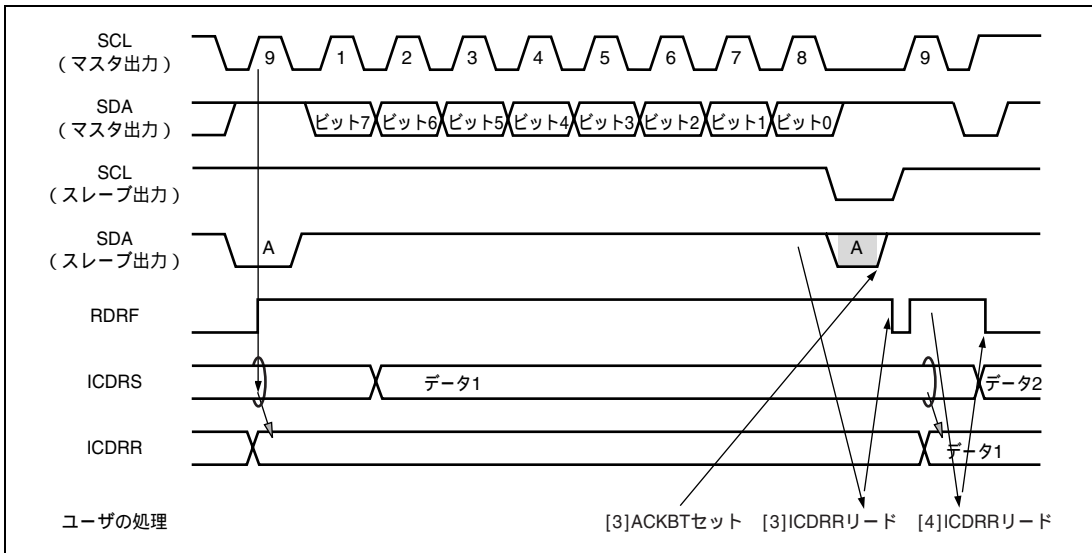


図 16.12 スレーブ受信モード動作タイミング (2)

16.4.6 クロック同期式シリアルフォーマット

本モジュールは、SAR の FS を 1 にセットすることにより、クロック同期式シリアルとして動作させることができます。ICCR1 の MST = 1 のとき SCL から転送クロック出力となり、MST = 0 のとき外部クロック入力となります。

(1) データ転送フォーマット

クロック同期式シリアルの転送フォーマットを図 16.13 に示します。

転送データは SCL クロックの立ち下がりから立ち下がりまで出力され、SCL クロックの立ち上がりエッジのデータの確定が保証されます。データの転送順は ICMR の MLS により、MSB ファーストか LSB ファーストかを選択可能です。また ICCR2 の SDAO により、転送待機中に SDA の出力レベルを変更することができます。

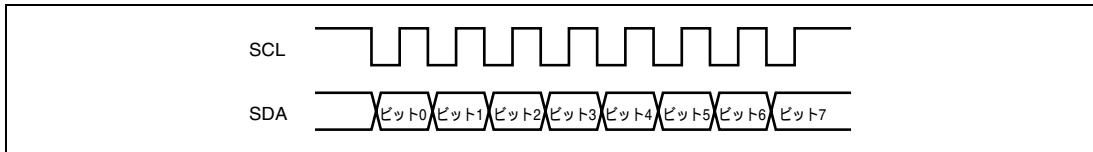


図 16.13 クロック同期式シリアルの転送フォーマット

(2) 送信動作

送信モードでは転送クロックの立ち下がりに同期して送信データを SDA から出力します。転送クロックは ICCR1 の MST = 1 のとき出力、MST = 0 のとき入力となります。送信モード動作タイミングは図 16.14 を参照してください。以下に送信モードの手順と動作を示します。

1. ICCR1のICEビットを1にセットします。またICCR1のMST、CKS3～CKS0などを設定します（初期設定）。
2. ICCR1のTRSをセットして送信モードにします。これにより、ICSRのTDREがセットされます。
3. TDREがセットされていることを認識したら、ICDRTに送信データをライトします。これによりICDRTからICDRSにデータが転送され、自動的にTDREがセットされます。TDREがセットされるたびにICDRTにデータをライトすると連続送信が可能です。なお送信モードから受信モードに切り替える場合、TDREがセットされた状態でTRSをクリアしてください。

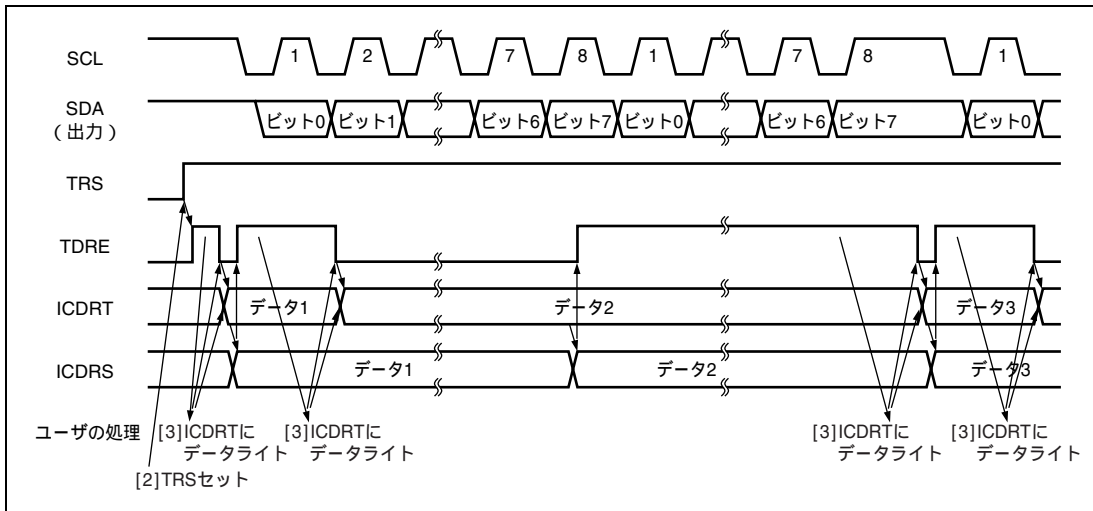


図 16.14 送信モード動作タイミング

(3) 受信動作

受信モードでは転送クロックの立ち上がりでデータをラッチします。転送クロックは ICCR1 の MST = 1 のとき出力、MST = 0 のとき入力となります。受信モード動作タイミングについては図 16.15 を参照してください。以下に受信モードの手順と動作を示します。

1. ICCR1のICEビットを1にセットします。またICCR1のMST、CKS3～CKS0等を設定します（初期設定）。
2. 転送クロックを出力時、MST = 1にします。これにより受信クロックの出力を開始します。
3. 受信が完了すると、ICDRSからICDRRにデータが転送され、ICSRのRDRFがセットされます。MST = 1のときは次バイトが受信可能状態のため、連続してクロックを出力します。RDRFがセットされるたびにICDRRをリードすることにより連続的に受信可能です。RDRFがセットされた状態で8クロック目が立ち上がるとオーバーランを検出し、ICSRのAL/OVEがセットされます。このときICDRRの値は前の受信データを保持します。
4. MST = 1のとき、受信を停止するためには、ICCR1のRCVDをセットしてから、ICDRRをリードします。これにより次バイトの受信完了後、SCLがHighレベルに固定されます。

16. I²C バスインタフェース 2 (IIC2)

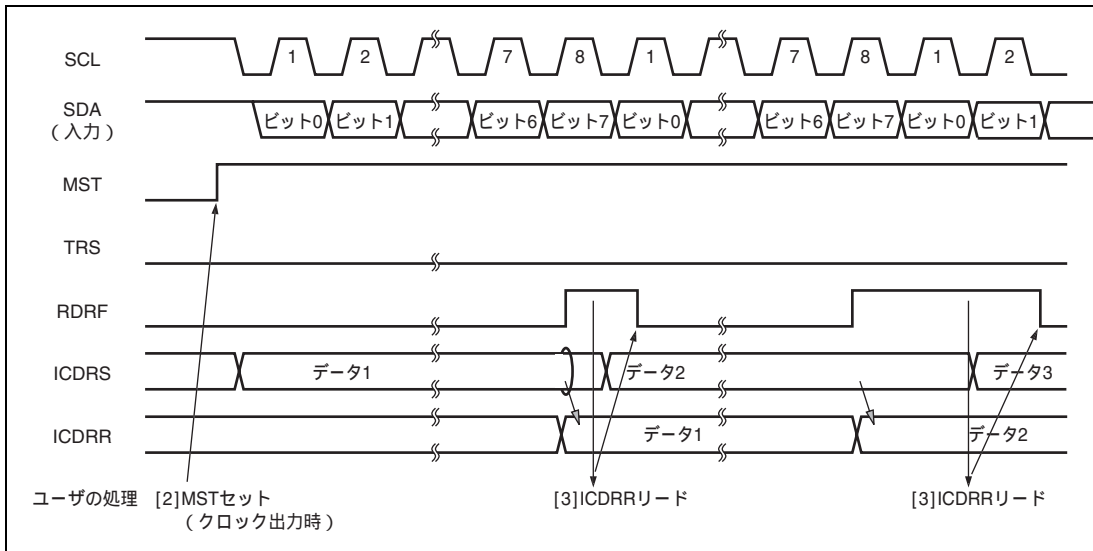


図 16.15 受信モード動作タイミング

16.4.7 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を經由して内部に取り込まれます。図 16.16 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 2 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号（または SDA 端子入力信号）がシステムクロックでサンプリングされ、2 つのラッチ出力が一致したときはじめて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

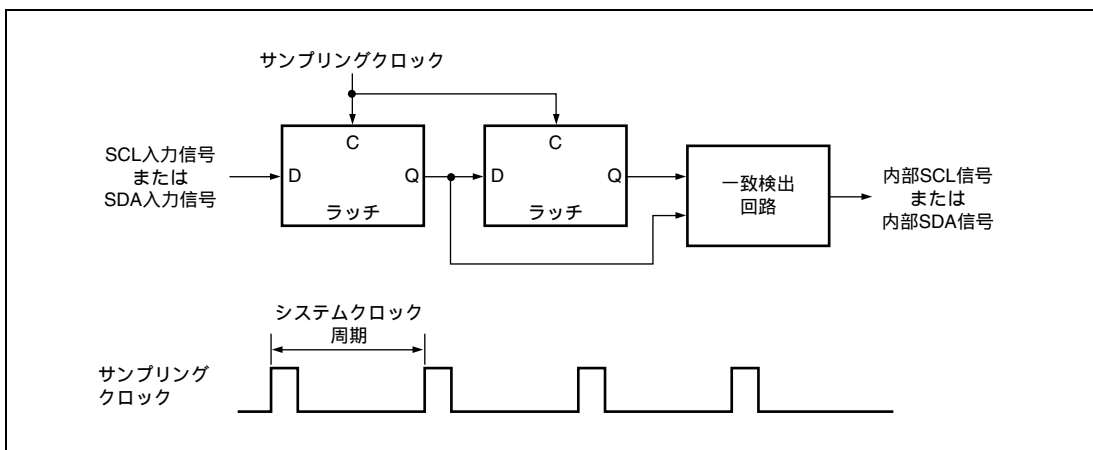


図 16.16 ノイズ除去回路のブロック図

16.4.8 使用例

I²C バスインタフェース 2 を使用する場合の各モードでのフローチャート例を図 16.17 ~ 図 16.20 に示します。

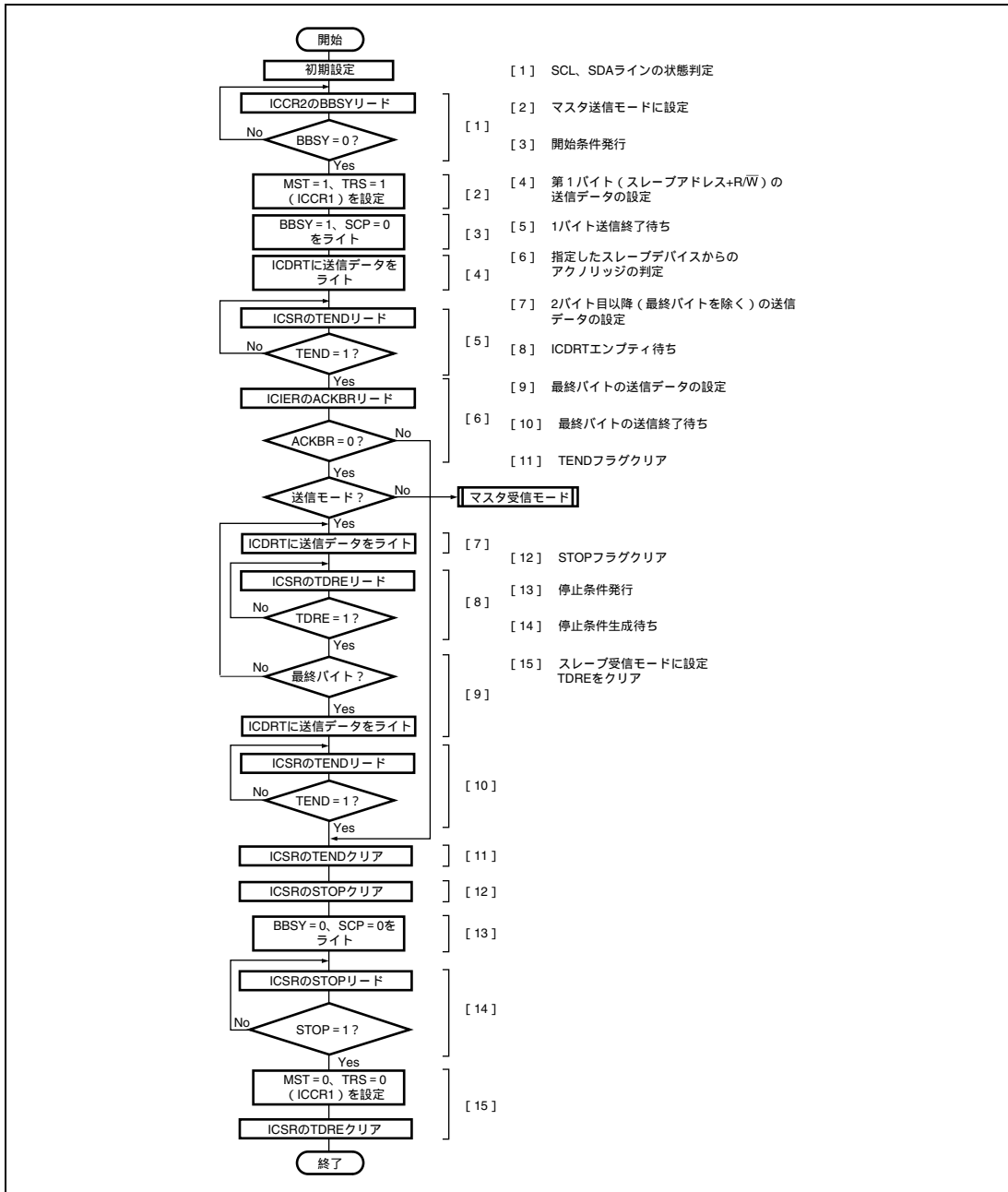


図 16.17 マスタ送信モードのフローチャート例

16. I²C バスインタフェース 2 (IIC2)

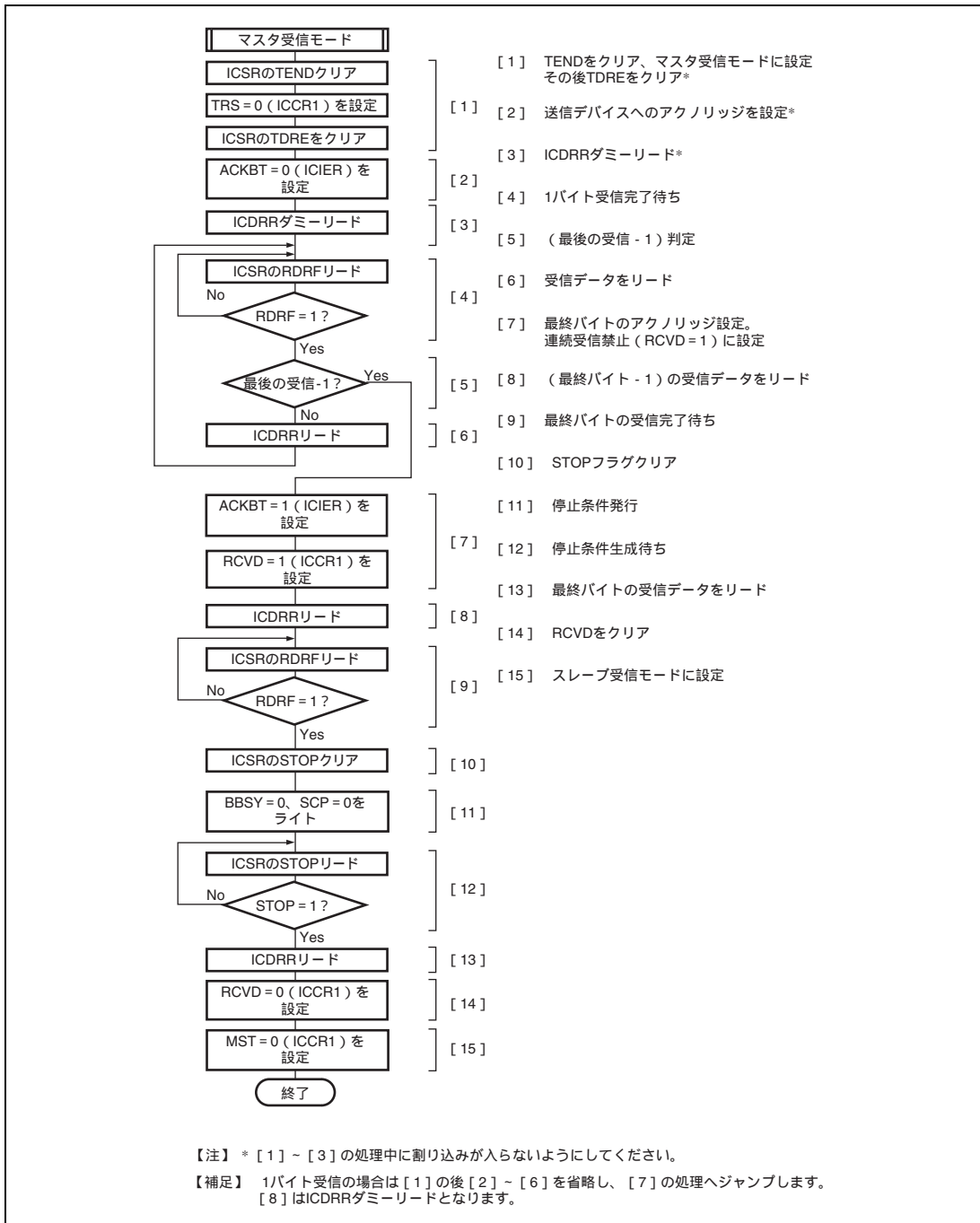


図 16.18 マスタ受信モードのフローチャート例

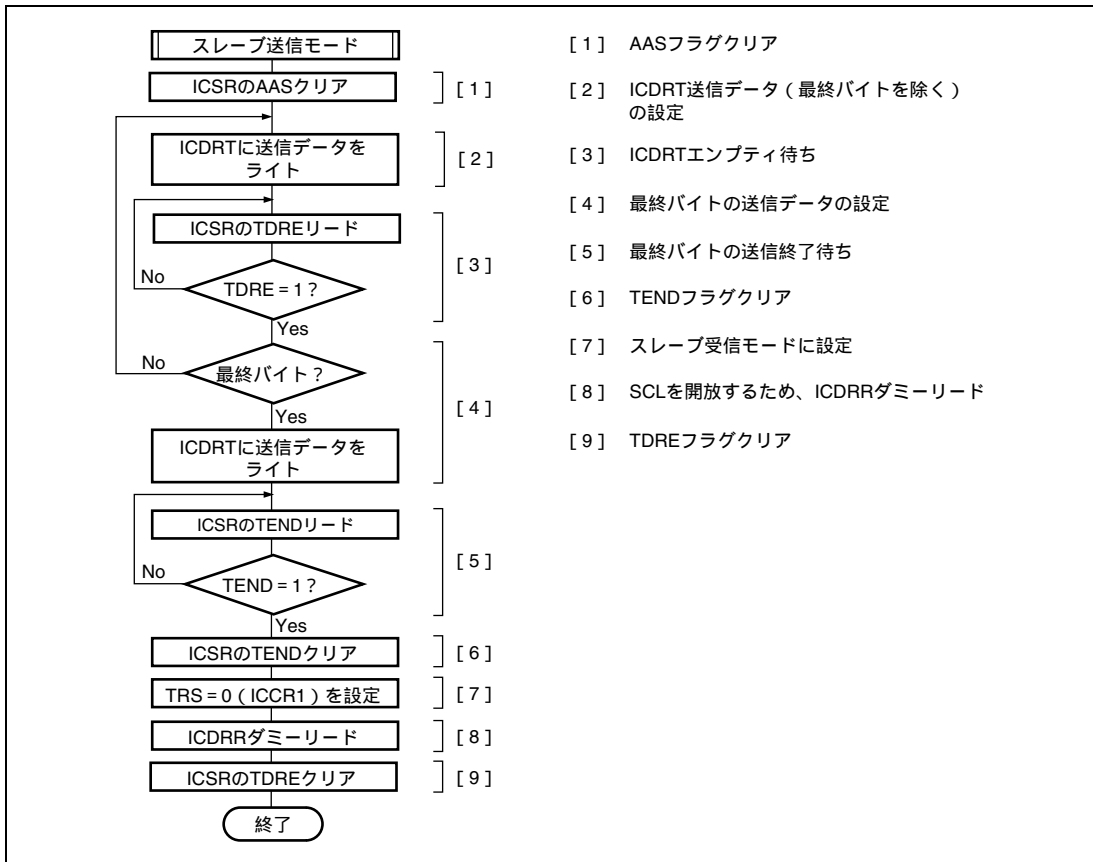


図 16.19 スレーブ送信モードフローチャート例

16. I²C バスインタフェース 2 (IIC2)

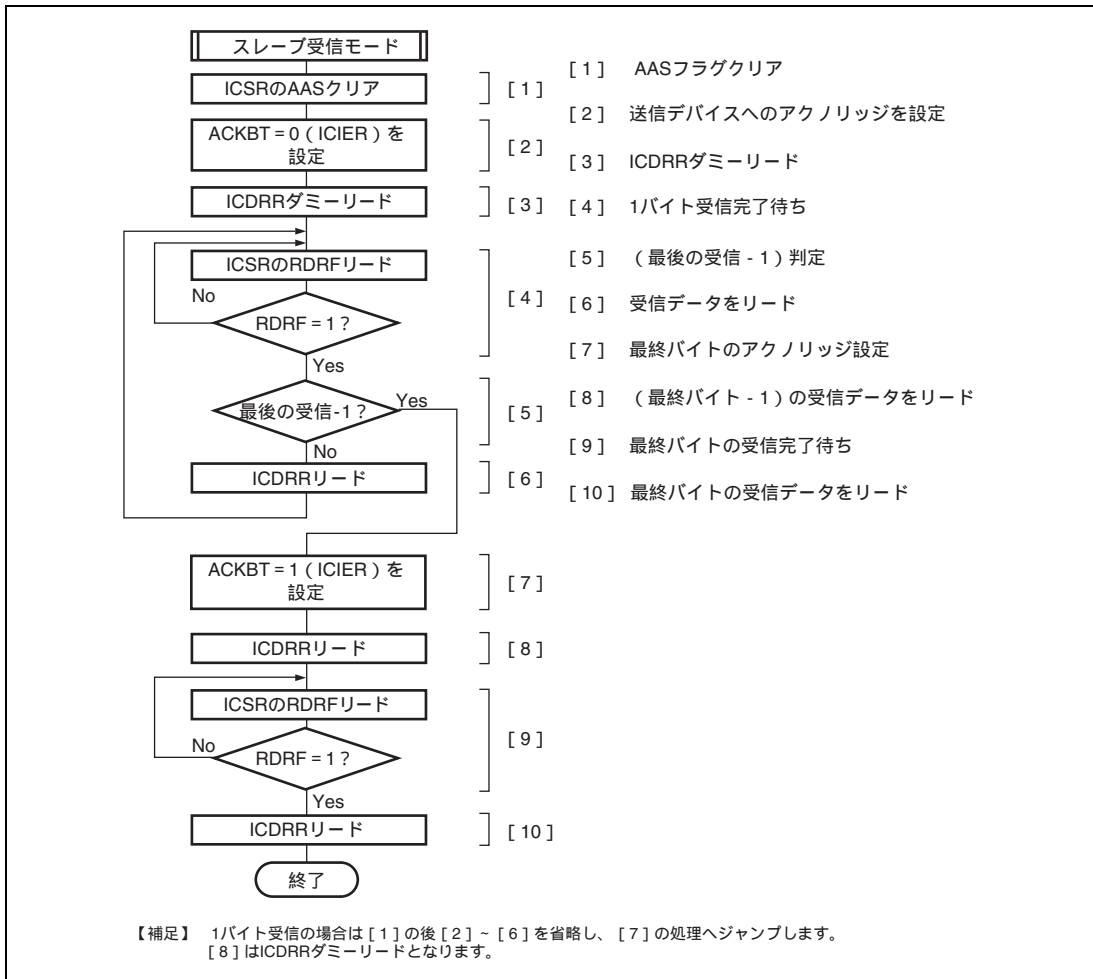


図 16.20 スレープ受信モードフローチャート例

16.5 割り込み要求

本モジュールの割り込み要求には、送信データエンプティ、送信終了、受信データフル、NACK 検出、停止条件検出、アービトレーションロスト / オーバランエラーの 6 種類があります。表 16.3 に各割り込み要求の内容を示します。

表 16.3 割り込み要求一覧

割り込み要求	略称	割り込み条件	I ² C モード	クロック同期モード
送信データエンプティ	TXI	(TDRE = 1) · (TIE = 1)		
送信終了	TEI	(TEND = 1) · (TEIE = 1)		
受信データフル	RXI	(RDRF = 1) · (RIE = 1)		
停止条件検出	STPI	(STOP = 1) · (STIE = 1)		×
NACK 検出	NAKI	{(NACKF = 1) + (AL = 1)} · (NAKIE = 1)		×
アービトレーションロスト / オーバランエラー				

表 16.3 の割り込み条件が 1 がかつ CCR の I ビットが 0 のとき、CPU は割り込み例外処理を実行します。例外処理の中でそれぞれの割り込み要因をクリアしてください。ただし TDRE、TEND は ICDRT に送信データをライトすることで、RDRF は ICDRR をリードすることで自動的にクリアされますので注意してください。特に TDRE は ICDRT に送信データをライトしたとき同時に再度 TDRE がセットされ、さらに TDRE をクリアすると、余分に 1 バイト送信する場合があります。

16.6 ビット同期回路

本モジュールはマスタモード設定時に、

- スレーブデバイスにより SCL が Low レベルに引っ張られた場合
- SCL ラインの負荷 (負荷容量、ブルアップ抵抗) により SCL の立ち上がりがなまった場合

の 2 つの状態 High レベル期間が短くなる可能性があるため、SCL をモニタしてビットごとに同期をとりながら通信を行います。

ビット同期回路のタイミングを図 16.21 に、SCL を Low 出力 Hi-Z にしてから SCL をモニタするまでの時間を表 16.4 に示します。

16. I²C バスインタフェース 2 (IIC2)

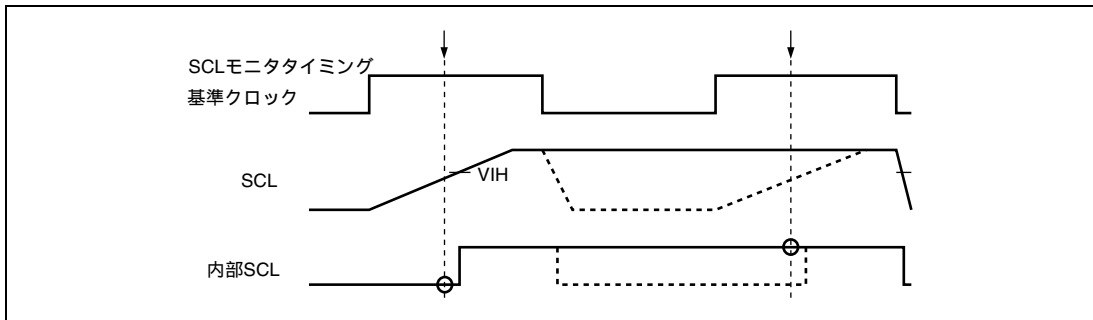


図 16.21 ビット同期回路のタイミング

表 16.4 SCL をモニタする時間

CKS3	CKS2	SCL をモニタする時間
0	0	7.5 tcy _c
	1	19.5 tcy _c
1	0	17.5 tcy _c
	1	41.5 tcy _c

16.7 使用上の注意事項

16.7.1 停止条件および開始条件（再送）の出力について

マスタモードにて、下記 1. または 2. の条件で、かつ特定のタイミングで停止条件の発行および開始条件（再送）の発行を行ったとき、停止条件および開始条件（再送）が正常に出力されない場合があります。

これを防ぐために、停止条件の発行および開始条件（再送）の発行は 9 クロック目の立ち下がりを確認してから行ってください。9 クロック目の立ち下がりには I²C コントロールレジスタ 2 (ICCR2) の SCLO ビットをチェックすることにより確認できます。

1. SCLバスの負荷（負荷容量、プルアップ抵抗）によりSCLの立ち上がりが「16.6 ビット同期回路」に規定されている時間以上なまっている場合
2. スレーブデバイスが8クロック目と9クロック目のLow期間を引っ張ってビット同期回路が働いた場合

16.7.2 I²C バスモードレジスタ (ICMR) の WAIT 設定について

WAIT ビットを 1 にセットして使用したとき、スレーブデバイスが SCL 端子の 8 クロック目と 9 クロック目の Low 期間を 2 転送クロック分以上、Low に引っ張ったときに、9 クロック目の High 期間が短くなる場合があります。これを防ぐために、ICMR の WAIT ビットは 0 に設定してください。

17. A/D 変換器

逐次比較方式の 10 ビットの A/D 変換器で、6 チャンネルのアナログ入力を変換することができます。A/D 変換器のブロック図を図 17.1 に示します。

17.1 特長

- 分解能：10ビット
- 入力チャンネル：6チャンネル
- 高速変換：1チャンネル当り12.4 μ s (10MHz動作時)
- サンプル&ホールド機能
- 変換開始方法
ソフトウェアおよび外部トリガによるA/D変換の開始が可能
- 割り込み要因
A/D変換終了割り込み要求を発生させることができます。
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能
(初期値ではA/D変換器の動作は停止。詳細は、「5.4 モジュールスタンバイ機能」を参照してください。)

17. A/D 変換器

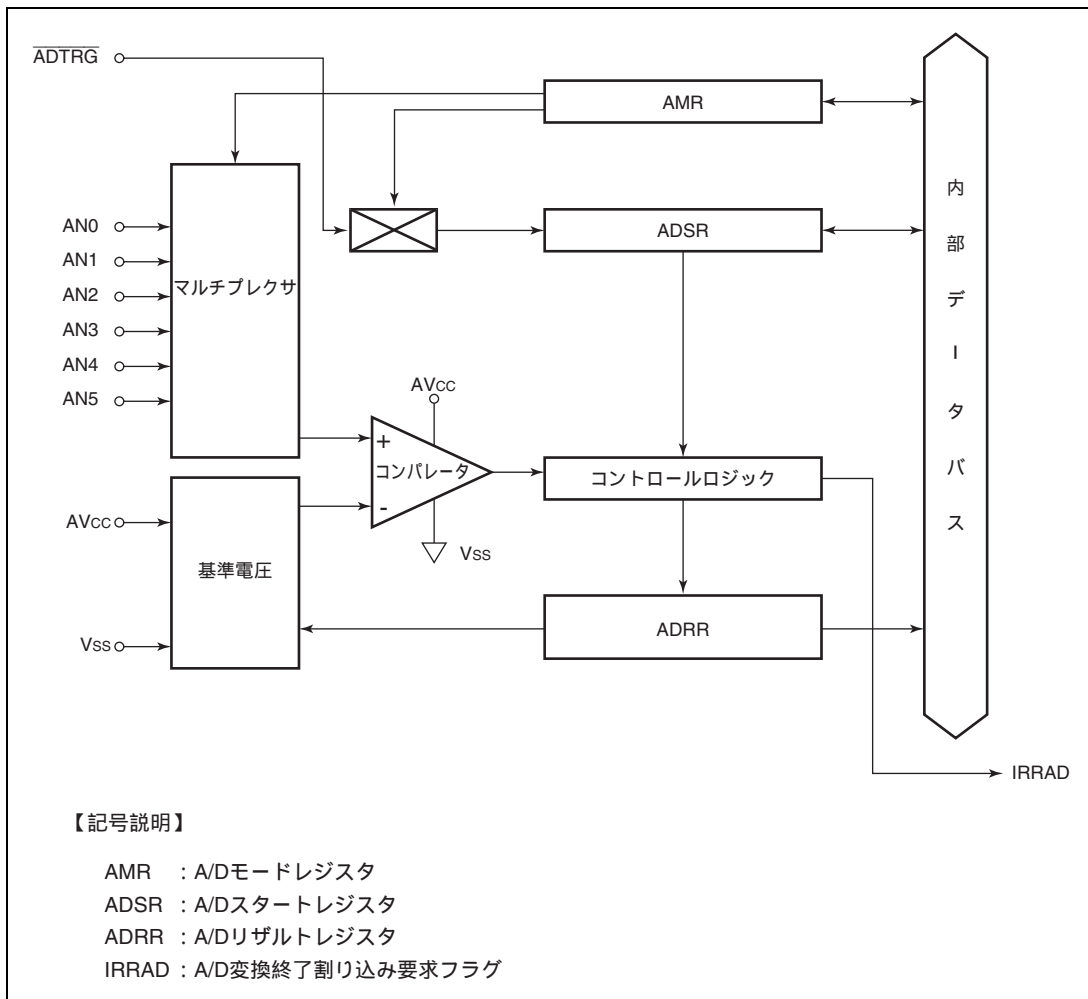


図 17.1 A/D 変換器のブロック図

17.2 入出力端子

A/D 変換器で使用する端子を表 17.1 に示します。

表 17.1 端子構成

端子名	略称	入出力	機能
アナログ電源端子	AVcc	入力	アナログ部の電源および基準電圧
グランド端子	Vss	入力	グランドおよび基準電圧
アナログ入力端子 0	AN0	入力	アナログ入力端子
アナログ入力端子 1	AN1	入力	
アナログ入力端子 2	AN2	入力	
アナログ入力端子 3	AN3	入力	
アナログ入力端子 4	AN4	入力	
アナログ入力端子 5	AN5	入力	
外部トリガ入力端子	ADTRG	入力	A/D 変換の開始を制御する外部トリガ入力

17.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。

- A/Dリザルトレジスタ (ADRR)
- A/Dモードレジスタ (AMR)
- A/Dスタートレジスタ (ADSR)

17.3.1 A/D リザルトレジスタ (ADRR)

ADRR は A/D 変換結果を格納するための 16 ビットのリード専用レジスタで、ADRR の上位 10 ビットにデータが格納されます。ADRR は常に CPU からリード可能です。A/D 変換中は ADRR の値は不定で、A/D 変換終了時に変換結果の 10 ビットデータが格納され、次の変換開始までこのデータが保持されます。ADRR の初期値は不定です。

本レジスタリード時は、ワードサイズでリードしてください。

17. A/D 変換器

17.3.2 A/D モードレジスタ (AMR)

AMR は A/D 変換器の変換時間の設定、外部トリガの選択、およびアナログ入力端子の指定を行います。

ビット	ビット名	初期値	R/W	説明
7	-	0	-	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
6	TRGE	0	R/W	外部トリガセレクト 外部トリガ入力による A/D 変換の開始を許可または禁止します。 0 : 外部トリガによる A/D 変換の開始を禁止 1 : $\overline{\text{ADTRG}}$ 端子の立ち上がり、または立ち下がりエッジで A/D 変換を開始 $\overline{\text{ADTRG}}$ 端子のエッジ選択は IEGR の ADTRGNEG ビットで設定します。
5 4	CKS1 CKS0	0 0	R/W R/W	クロックセレクト A/D 変換用クロックソースを選択します。 00 : /8 (変換時間 = 124 ステート (max.) (基準クロック = のとき)) 01 : /4 (変換時間 = 62 ステート (max.) (基準クロック = のとき)) 10 : /2 (変換時間 = 31 ステート (max.) (基準クロック = のとき)) 11 : w/2 (変換時間 = 31 ステート (max.) (基準クロック = f_{SUB} のとき)) 設定値 11 でサブアクティブモード、サブスリープモード時では、CPU 動作クロックが w のときのみ、A/D 変換器が使用可能となります。
3 2 1 0	CH3 CH2 CH1 CH0	0 0 0 0	R/W R/W R/W R/W	チャンネルセレクト 3~0 アナログ入力チャンネルの選択を行います。 00xx : 非選択 0100 : AN0 0101 : AN1 0110 : AN2 0111 : AN3 1000 : AN4 1001 : AN5 101x : 非選択 11xx : 非選択 チャンネル選択の切り替えは、ADSF = 0 の状態で行ってください。

【記号説明】 x : Don't care

17.3.3 A/D スタートレジスタ (ADSR)

ADSR は A/D 変換の開始または停止を設定します。

ビット	ビット名	初期値	R/W	説明
7	ADSF	0	R/W	このビットを 1 にセットすると A/D 変換を開始します。変換が終了すると変換データは ADDR にセットされます。同時に 0 にクリアされ、A/D 変換を終了します。また、このビットに 0 をライトすることで A/D 変換を強制終了することができます。
6	LADS	0	R/W	ラダー抵抗セレクト 0 : A/D 変換器が待機中、ラダー抵抗は動作 1 : A/D 変換器が待機中、ラダー抵抗は停止 スタンバイモード、ウォッチモード、モジュールスタンバイモードおよびリセット時、常にラダー抵抗は停止です。
5-0	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

17.4 動作説明

A/D 変換器は逐次比較方式で分解能は 10 ビットです。変換時間やアナログ入力チャネルの切り替えは、誤動作を避けるため ADSR の ADSF ビットが 0 の状態で行ってください。

17.4.1 A/D 変換動作

- ソフトウェアによって ADSR の ADSF ビットが 1 にセットされると、選択されたチャネルの A/D 変換を開始します。
- A/D 変換が終了すると A/D 変換結果が A/D リザルトレジスタに転送されます。
- A/D 変換終了時、IRR2 の IRRAD フラグが 1 にセットされます。このとき、IENR2 の IENAD ビットが 1 にセットされていると、A/D 変換終了割り込み要求を発生します。
- ADSF ビットは A/D 変換中は 1 を保持し、変換が終了すると自動的にクリアされて A/D 変換器は待機状態になります。

17.4.2 外部トリガタイミング

A/D 変換器は外部トリガ入力によって A/D 変換を開始させることもできます。外部トリガは I/O ポートの PMRB の ADTSTCHG が 1*でかつ AMR の TRGE が 1 のとき、 $\overline{\text{ADTRG}}$ 入力端子から入力されます。 $\overline{\text{ADTRG}}$ 入力端子から IEGR の ADTRGNEG で指定されたエッジが入力されると、ADSR の ADSF が 1 にセットされ、A/D 変換が開始されます。

このタイミングを図 17.2 に示します。

【注】 * 本 LSI の $\overline{\text{ADTRG}}$ 入力端子は、TEST 端子と兼用になります。よって、 $\overline{\text{ADTRG}}$ 端子として使用する場合は、まず TEST 端子に 0 固定の信号を入力した状態でリセット解除し、TEST 信号が確定した後に ADTSTCHG を 1 に設定してください。

17. A/D 変換器

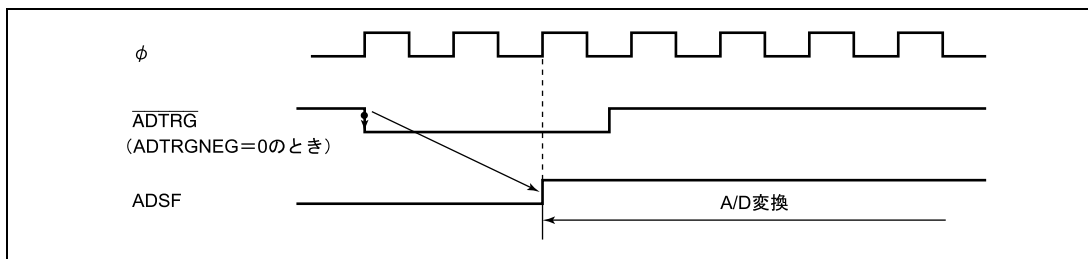


図 17.2 外部トリガ入力タイミング

17.4.3 A/D 変換器の動作モード

A/D 変換器の動作モードを表 17.2 に示します。

表 17.2 A/D 変換器の動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュール スタンバイ
AMR	リセット	動作	保持	保持	動作/保持* ²	保持	保持	保持
ADSR	リセット	動作	動作	保持	動作/保持* ²	動作/保持* ²	保持	保持
ADRR	保持* ¹	動作	動作	保持	動作/保持* ²	動作/保持* ²	保持	保持

【注】 *1 パワーオンリセット時は不定

*2 内部クロックとして w/2 を選択した場合は動作、その他は保持

17.5 使用例

チャンネル 1 (AN1) をアナログ入力チャンネルに選択した場合の動作例を示します。動作タイミングを図 17.3 に示します。

1. 入力チャンネルを AN1 (AMR の CH3 ~ CH0 を 0101)、IENAD = 1 に設定して、A/D 変換を開始 (ADSF = 1) します。
2. A/D 変換が終了すると、IRRAD が 1 にセットされ、A/D 変換結果が ADRR に格納されます。同時に ADSF = 0 となり、A/D 変換器は変換待機となります。
3. IENAD = 1 となっているため A/D 変換終了割り込み要求が発生します。
4. A/D 割り込み処理ルーチンが開始されます。
5. A/D 変換結果を読み出して、処理します。
6. A/D 変換処理ルーチンの実行が終了します。

この後、ADSF = 1 にセットすると A/D 変換が開始され 2 ~ 6 を行います。

A/D 変換器の使用手順の概念フローを図 17.4、図 17.5 に示します。

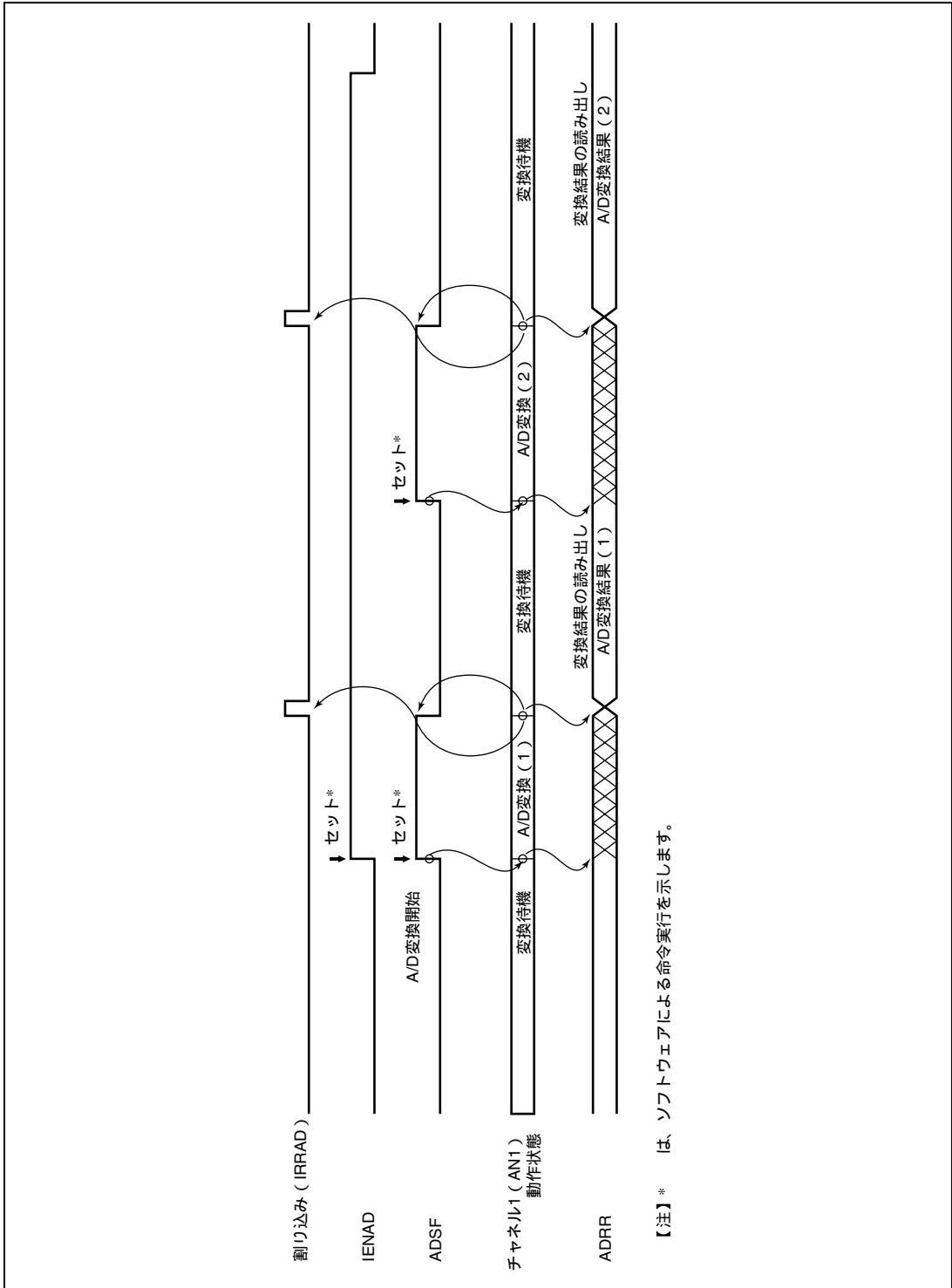


図 17.3 A/D 変換器の動作例

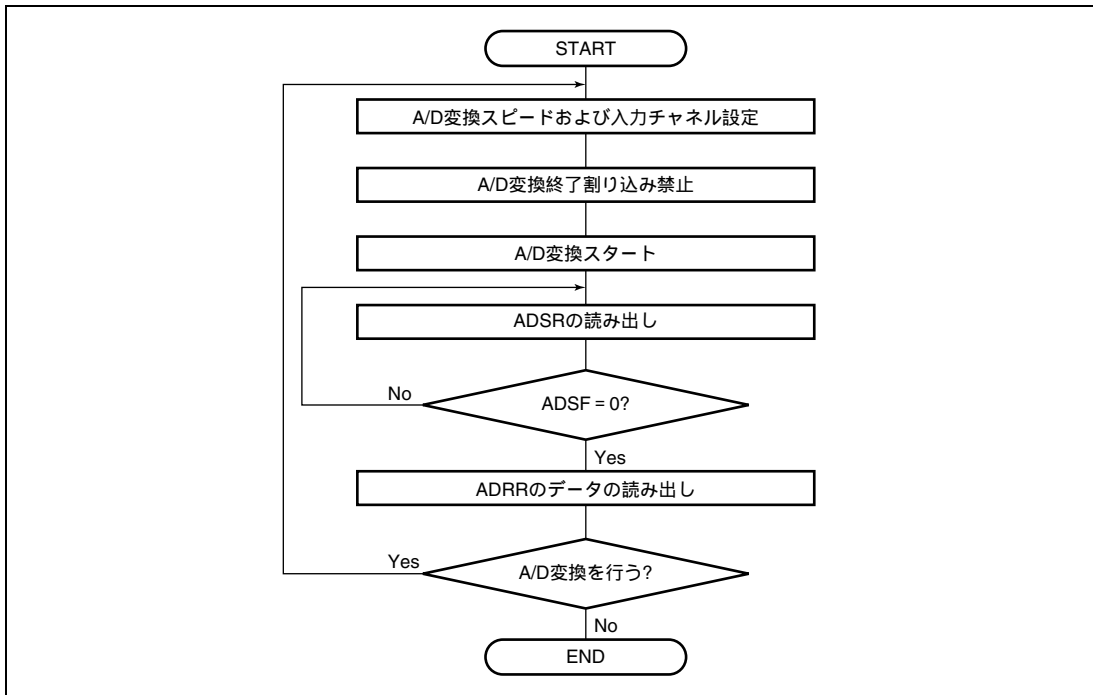


図 17.4 A/D 変換器の使用手順の概念フロー（ソフトウェアでポーリングする場合）

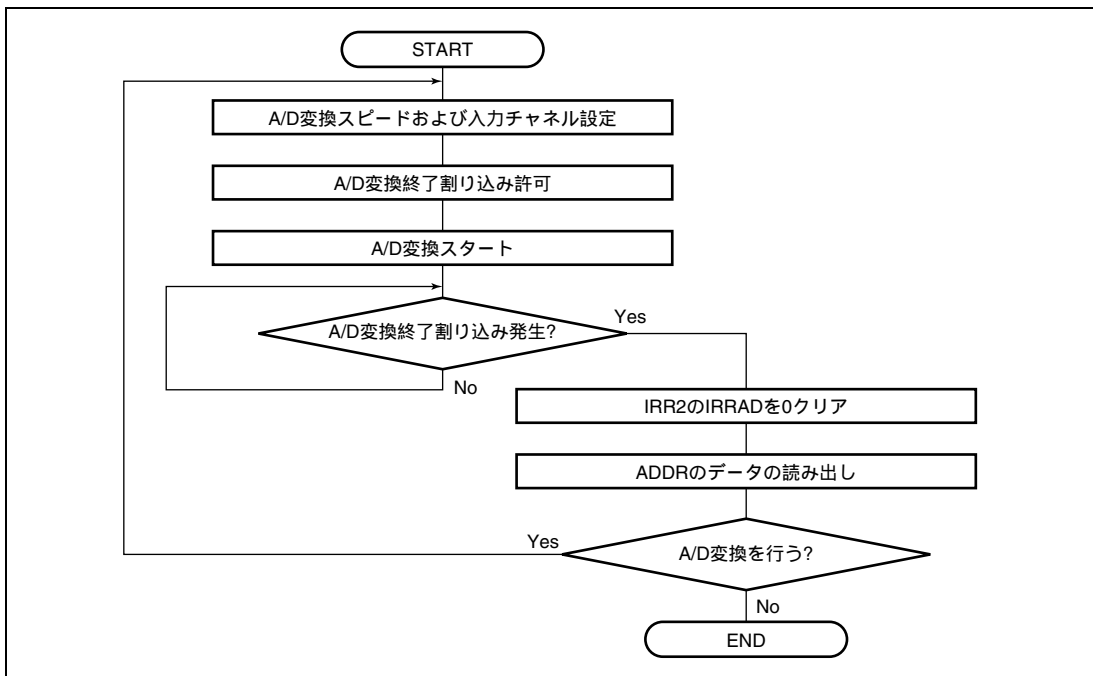


図 17.5 A/D 変換器の使用手順の概念フロー（割り込みを使用する場合）

17.6 A/D 変換精度の定義

本 LSI の A/D 変換精度の定義は以下のとおりです。

- 分解能

A/D変換器のデジタル出力コード数

- 量子化誤差

A/D変換器が本質的に有する偏差であり、1/2LSBで与えられる（図17.6）。

- オフセット誤差

デジタル出力が最小電圧値0000000000から0000000001に変化する時のアナログ入力電圧値の理想A/D変換特性からの偏差（図17.7）。

- フルスケール誤差

デジタル出力が1111111110から1111111111に変化する時のアナログ入力電圧値の理想A/D変換特性からの偏差（図17.7）。

- 非直線性誤差

ゼロ電圧からフルスケール電圧までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない。

- 絶対精度

デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む。

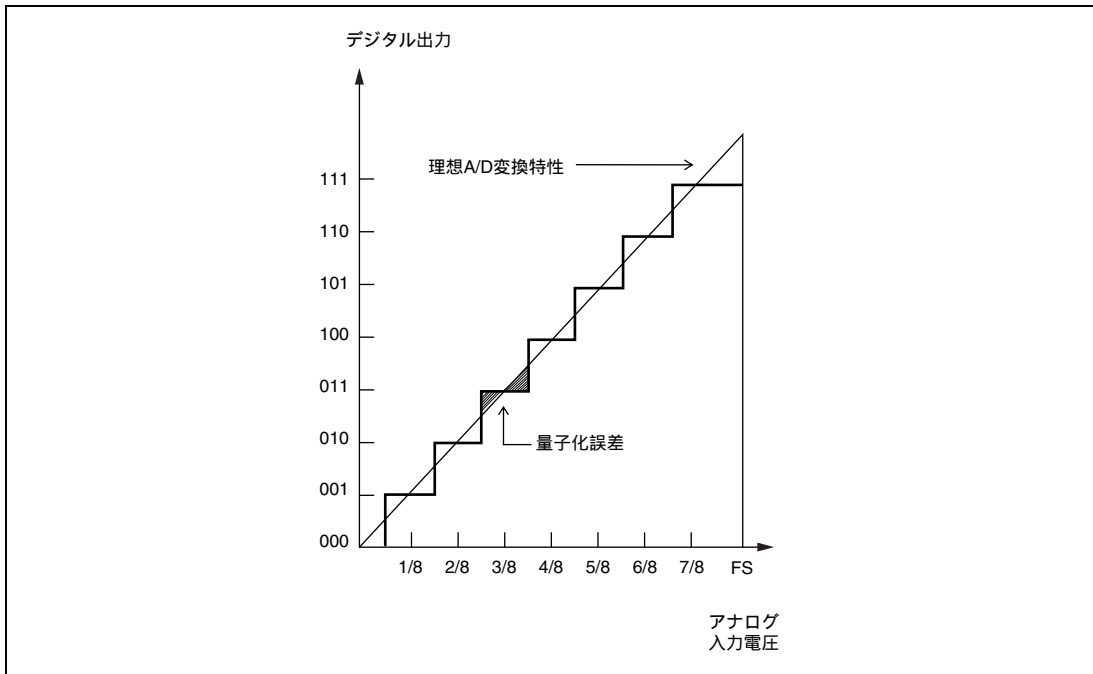


図 17.6 A/D 変換精度の定義 (1)

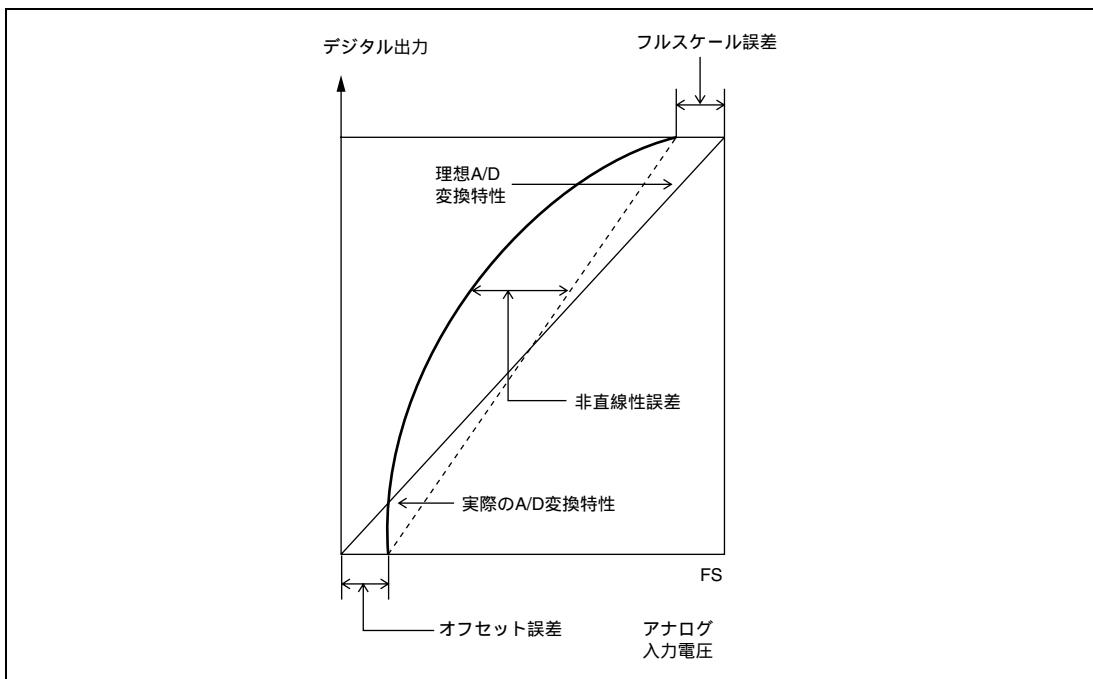


図 17.7 A/D 変換精度の定義 (2)

17.7 使用上の注意事項

17.7.1 許容信号源インピーダンスについて

本 LSI のアナログ入力、信号源インピーダンスが $10k$ 以下の入力信号に対し、変換精度が保証される設計となっております。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するために設けている規格で、センサの出力インピーダンスが $10k$ を超える場合充電不足が生じ、A/D 変換精度が保証できなくなる場合があります。外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の $10k$ だけになりますので信号源インピーダンスは不問となります。ただし、この場合ローパスフィルタとなりますので、微分係数の大きなアナログ信号（たとえば電圧の変動率が $5mV/\mu s$ 以上）には追従できない場合があります（図 17.8）。高速のアナログ信号を変換する場合には、低インピーダンスのバッファを入れてください。

17.7.2 絶対精度への影響について

容量を付加することにより、GND とのカップリングを受けることとなりますので、GND にノイズがあると絶対精度が悪化する可能性があります。必ず電氣的に安定な GND に接続してください。またフィルタ回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意が必要です。

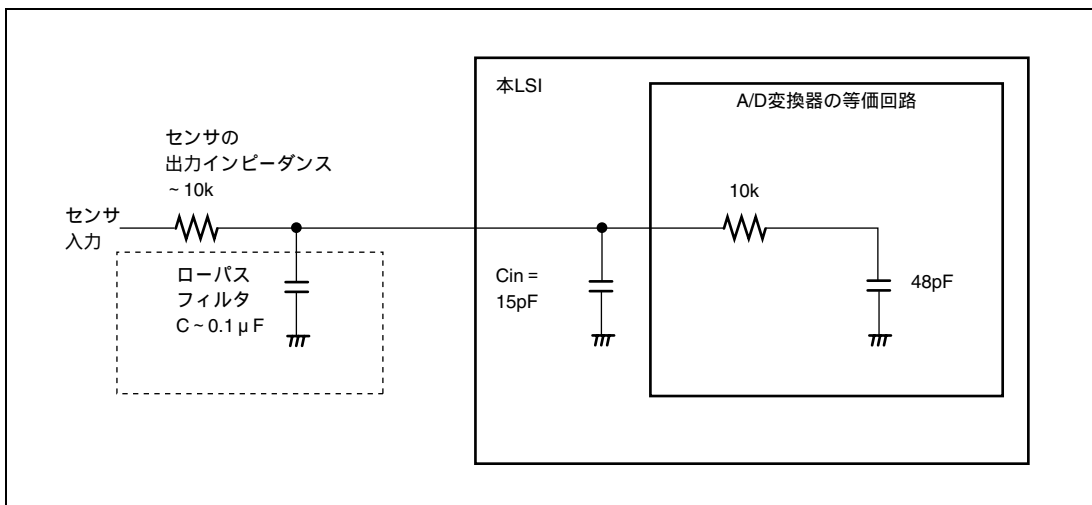


図 17.8 アナログ入力回路の例

17.7.3 使用上の注意

1. ADRRのリードはADSRのADSFビットが0のときに行ってください。
2. A/D変換中に隣接した端子のデジタル入力信号を変化させると、変換精度が低下します。
3. モジュールスタンバイモードを解除後、A/D変換を開始する場合は、10 クロック待ってからA/D変換を開始してください。

18. コンパレータ

本 LSI は、入力電圧とリファレンス電圧との比較を行うコンパレータを内蔵しています。

18.1 特長

- リファレンス電圧は、内部電源または外部入力 (V_{Cref}) から選択可能
- リファレンス電圧に内部電源を選択した場合には、16種類の電圧をプログラマブルに選択可能
- 内部電源選択時、比較結果のヒステリシス特性が選択可能
- アナログ入力チャンネル：2チャンネル。チャンネルごとに独立してコンパレータ内蔵
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能
(初期値では、コンパレータの動作は停止。詳細は「5.4 モジュールスタンバイ機能」を参照してください。)

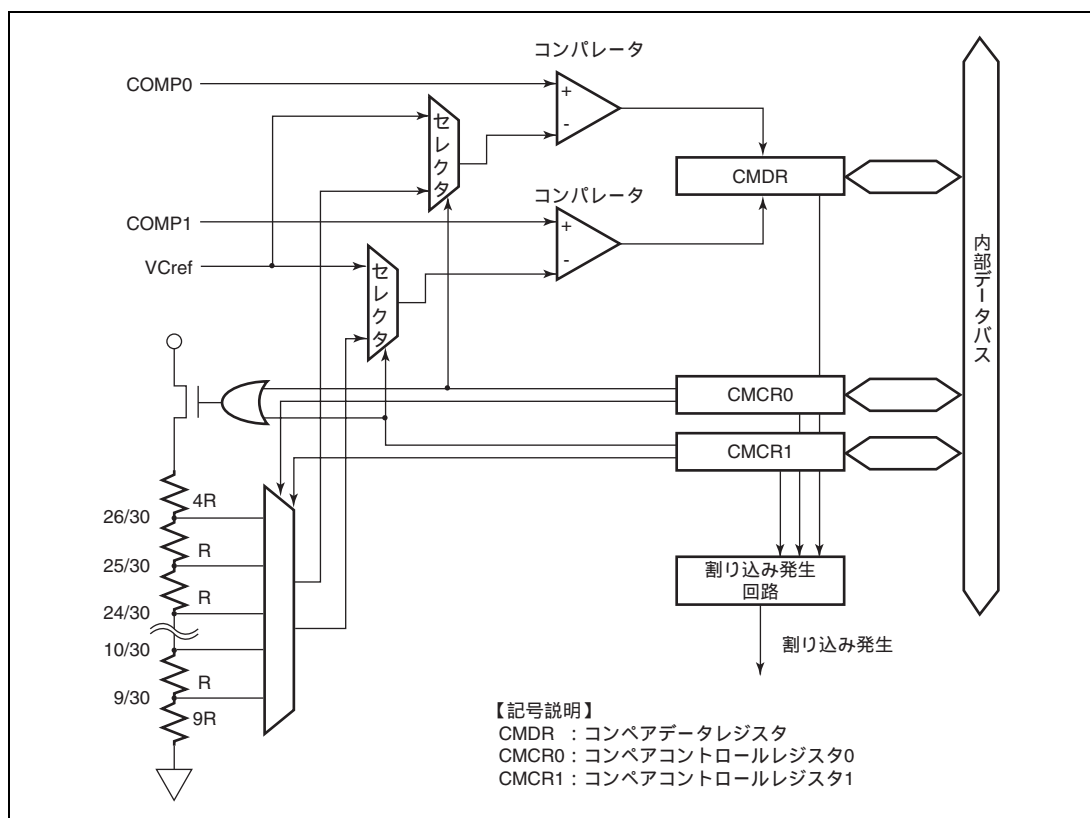


図 18.1 コンパレータのブロック図

18. コンパレータ

18.2 入出力端子

コンパレータの端子構成を表 18.1 に示します。

表 18.1 端子構成

名称	略称	入出力	機能
コンパレータ用基準電圧	VCref	入力	コンパレータ用基準電圧端子 (外部入力)
アナログ入力チャンネル 0	COMP0	入力	コンパレータ用アナログ入力端子 0
アナログ入力チャンネル 1	COMP1	入力	コンパレータ用アナログ入力端子 1

18.3 レジスタの説明

コンパレータには以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタ状態については「第20章 レジスタ一覧」を参照してください。

- コンペアコントロールレジスタ0、1 (CMCR0、1)
- コンペアデータレジスタ (CMDR)

18.3.1 コンペアコントロールレジスタ 0、1 (CMCR0、CMCR1)

CMCR0、CMCR1 は、コンパレータを制御するレジスタです。

ビット	ビット名	初期値	R/W	説明
7	CME	0	R/W	コンパレータイネーブル 0: コンパレータ停止 1: コンパレータ動作
6	CMIE	0	R/W	コンパレータ割り込みイネーブル 0: コンパレータ割り込み禁止 1: コンパレータ割り込み許可
5	CMR	0	R/W	コンパレータ・リファレンス電源選択 0: 内部電源をリファレンス電源に選択 1: VCref 端子によりリファレンス電源を入力 CMR ビットと CMLS ビットの組み合わせについては、表 18.2 を参照。
4	CMLS	0	R/W	コンパレータヒステリシス選択 0: ヒステリシス非選択 1: ヒステリシス選択 CMR=1 のときは、CMLS=0 と設定してください。 CMR ビットと CMLS ビットの組み合わせについては、表 18.2 を参照。

18. コンパレータ

ビット	ビット名	初期値	R/W	説 明																																		
3	CRS3	0	R/W	内部リファレンス電圧選択																																		
2	CRS2	0	R/W	CMR=0かつCMLS=0の場合は、VIHの電位が内部電源として選択されます。																																		
1	CRS1	0	R/W	CMR=0かつCMLS=1の場合、VILは下記となります。																																		
0	CRS0	0	R/W	CMR=1の場合、CRS3~0ビットの設定は無効となります。																																		
				<table border="0"> <tr> <td style="text-align: center;">VIH</td> <td style="text-align: center;">VIL</td> </tr> <tr> <td>0000 : 11/30 Vcc</td> <td>9/30 Vcc</td> </tr> <tr> <td>0001 : 12/30 Vcc</td> <td>10/30 Vcc</td> </tr> <tr> <td>0010 : 13/30 Vcc</td> <td>11/30 Vcc</td> </tr> <tr> <td>0011 : 14/30 Vcc</td> <td>12/30 Vcc</td> </tr> <tr> <td>0100 : 15/30 Vcc</td> <td>13/30 Vcc</td> </tr> <tr> <td>0101 : 16/30 Vcc</td> <td>14/30 Vcc</td> </tr> <tr> <td>0110 : 17/30 Vcc</td> <td>15/30 Vcc</td> </tr> <tr> <td>0111 : 18/30 Vcc</td> <td>16/30 Vcc</td> </tr> <tr> <td>1000 : 19/30 Vcc</td> <td>17/30 Vcc</td> </tr> <tr> <td>1001 : 20/30 Vcc</td> <td>18/30 Vcc</td> </tr> <tr> <td>1010 : 21/30 Vcc</td> <td>19/30 Vcc</td> </tr> <tr> <td>1011 : 22/30 Vcc</td> <td>20/30 Vcc</td> </tr> <tr> <td>1100 : 23/30 Vcc</td> <td>21/30 Vcc</td> </tr> <tr> <td>1101 : 24/30 Vcc</td> <td>22/30 Vcc</td> </tr> <tr> <td>1110 : 25/30 Vcc</td> <td>23/30 Vcc</td> </tr> <tr> <td>1111 : 26/30 Vcc</td> <td>24/30 Vcc</td> </tr> </table>	VIH	VIL	0000 : 11/30 Vcc	9/30 Vcc	0001 : 12/30 Vcc	10/30 Vcc	0010 : 13/30 Vcc	11/30 Vcc	0011 : 14/30 Vcc	12/30 Vcc	0100 : 15/30 Vcc	13/30 Vcc	0101 : 16/30 Vcc	14/30 Vcc	0110 : 17/30 Vcc	15/30 Vcc	0111 : 18/30 Vcc	16/30 Vcc	1000 : 19/30 Vcc	17/30 Vcc	1001 : 20/30 Vcc	18/30 Vcc	1010 : 21/30 Vcc	19/30 Vcc	1011 : 22/30 Vcc	20/30 Vcc	1100 : 23/30 Vcc	21/30 Vcc	1101 : 24/30 Vcc	22/30 Vcc	1110 : 25/30 Vcc	23/30 Vcc	1111 : 26/30 Vcc	24/30 Vcc
VIH	VIL																																					
0000 : 11/30 Vcc	9/30 Vcc																																					
0001 : 12/30 Vcc	10/30 Vcc																																					
0010 : 13/30 Vcc	11/30 Vcc																																					
0011 : 14/30 Vcc	12/30 Vcc																																					
0100 : 15/30 Vcc	13/30 Vcc																																					
0101 : 16/30 Vcc	14/30 Vcc																																					
0110 : 17/30 Vcc	15/30 Vcc																																					
0111 : 18/30 Vcc	16/30 Vcc																																					
1000 : 19/30 Vcc	17/30 Vcc																																					
1001 : 20/30 Vcc	18/30 Vcc																																					
1010 : 21/30 Vcc	19/30 Vcc																																					
1011 : 22/30 Vcc	20/30 Vcc																																					
1100 : 23/30 Vcc	21/30 Vcc																																					
1101 : 24/30 Vcc	22/30 Vcc																																					
1110 : 25/30 Vcc	23/30 Vcc																																					
1111 : 26/30 Vcc	24/30 Vcc																																					
				CRS 選択可能範囲については「第 21 章 電気的特性」を参照してください。																																		

表 18.2 CMR ビットと CMLS ビットの組み合わせ

CMR	CMLS	機 能
0	0	内部電源 (CRS3 ~ CRS0 による VIH の設定電圧) と COMP 端子の電位を比較。 ヒステリシスなし。
	1	内部電源と COMP 端子の電位を比較。 ヒステリシスあり。VIH、VIL は CRS3 ~ CRS0 で設定。
1	0	VCref と COMP 端子の電位を比較。 ヒステリシスなし。
	1	設定禁止

18.3.2 コンペアデータレジスタ (CMDR)

CMDR は、アナログ入力端子とリファレンス電圧の比較結果を格納するレジスタです。

ビット	ビット名	初期値	R/W	説明
7	-	0	-	リザーブビット
6	-	0	-	リードすると常に0が読み出されます。
5	CMF1	0	R/(W)* ¹	COMP1 の割り込みを示すフラグ [セット条件] COMP1 の割り込みが発生したとき [クリア条件] CMF1=1 の状態をリードしたのち、0 をライトしたとき
4	CMF0	0	R/(W)* ¹	COMP0 の割り込みを示すフラグ [セット条件] COMP0 の割り込みが発生したとき [クリア条件] CMF0=1 の状態をリードしたのち、0 をライトしたとき
3	-	0	-	リザーブビット
2	-	0	-	リードすると常に0が読み出されます。
1	CDR1	- * ²	R	[セット条件] COMP1 端子 > リファレンス電圧 [クリア条件] COMP1 端子 リファレンス電圧
0	CDR0	- * ²	R	[セット条件] COMP0 端子 > リファレンス電圧 [クリア条件] COMP0 端子 リファレンス電圧

【注】 *1 フラグをクリアするための0ライトのみ可能です。

*2 端子の状態とリファレンス電圧により決定されます。

18.4 動作説明

18.4.1 動作シーケンス

コンパレータの動作シーケンスを以下に示します。

- (1) VCrefを使用する場合、ポートモードレジスタにて、使用する該当端子を有効にする。詳細は「第8章 I/Oポート」を参照してください。
- (2) リファレンス電源の選択 (CMR を設定 : 内部電源 or VCref) をする。
内部電源をリファレンス電圧に選択した場合は、ヒステリシス特性の選択 (CMLS の設定) とリファレンス電圧の選択 (CRS3 ~ CRS0 を設定) をする。
- (3) コンパレータイネーブル (CME) を設定する。
- (4) CME 設定後、コンパレータが安定するまで、変換時間 (「第21章 電氣的特性」参照) 待機する。
- (5) CDR をリードする。
- (6) CMF をリードしたのち、0 をライトする (リードは (5) と同時に可能)。
- (7) 割り込みを発生させる場合は、割り込みイネーブル (CMIE) を設定する。

【注】 (2)、(3) はレジスタ一括書き込みで同時に設定可能です。

18.4.2 コンパレータのヒステリシス特性について

CMCR の CMLS によるヒステリシス選択/非選択時の CDR と COMP 端子の入力電圧について図 18.2 に示します。コンパレータの比較結果 CDR は図のように CMLS によってヒステリシス特性を選択できます。

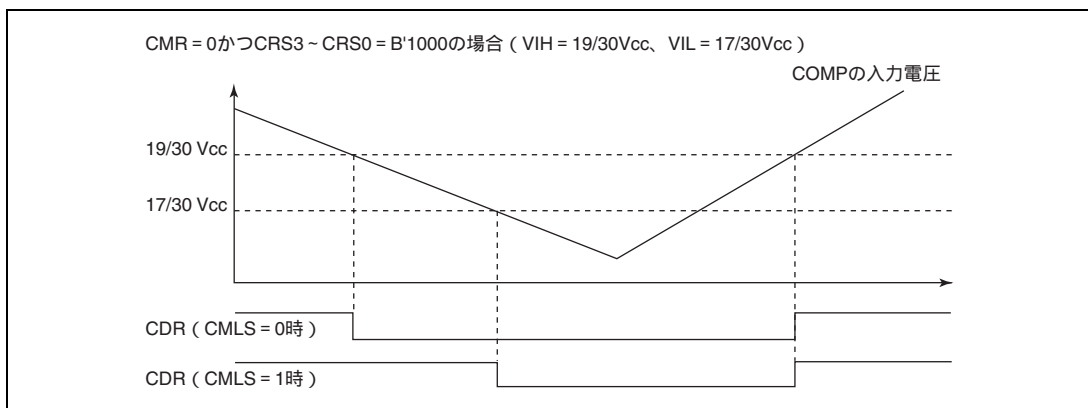


図 18.2 ヒステリシス選択/非選択時の CDR

18.4.3 割り込み設定について

コンパレータの割り込み発生を設定した場合、CME=1かつCMIE=1の状態でも CDR ビットをリードしたときに内部で CDR ビットのデータがラッチされます。内部にラッチされたデータと CDR ビットの値に相違が生じたときに割り込みが発生します。また、CDR ビットをリードしているとき、割り込みはマスクされます。

割り込みの設定は、以下の図 18.3 の割り込み動作手順 (1) または図 18.4 の割り込み動作手順 (2) にて行ってください。

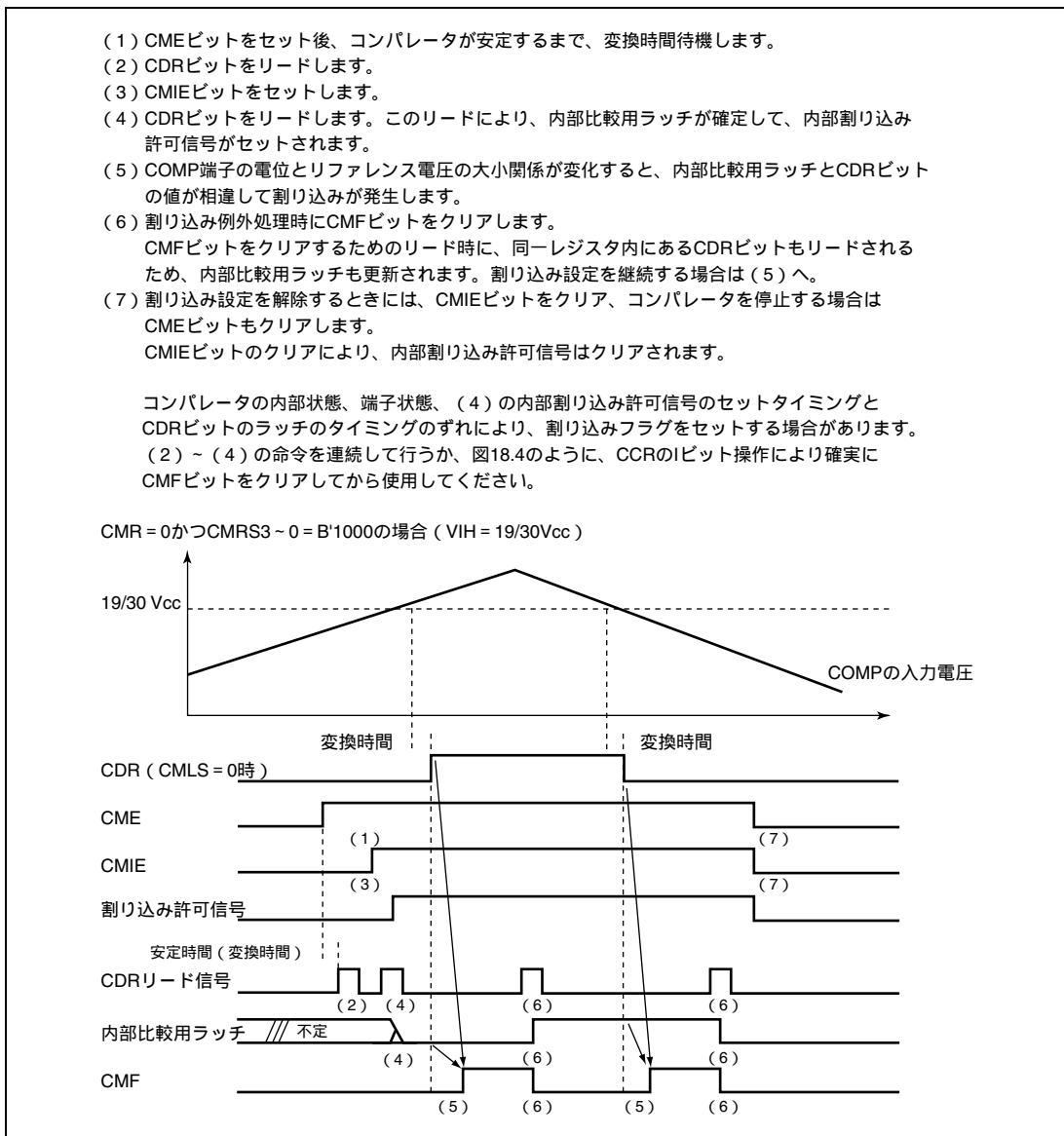


図 18.3 割り込み動作手順 (1)

18. コンパレータ

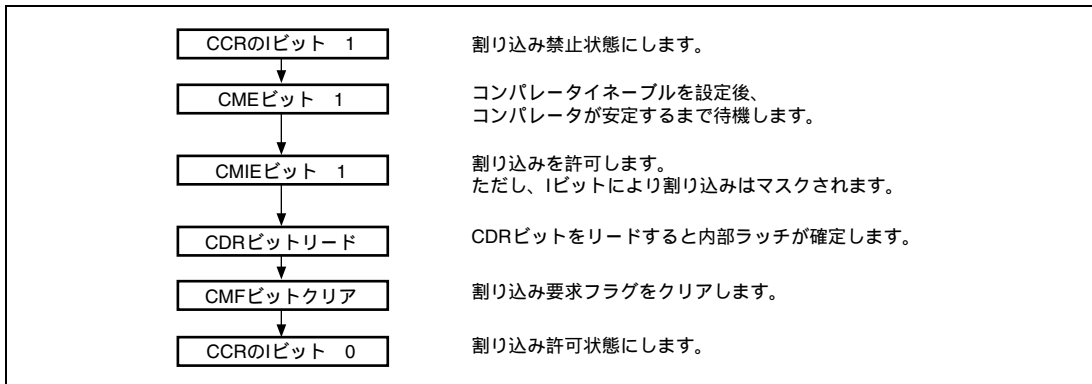


図 18.4 割り込み動作手順（2）

18.5 使用上の注意事項

1. コンパレータ動作を行っているチャンネルのCOMP端子は、コンパレータ用アナログ入力端子となります。他の機能としては使用できません。
2. リファレンス電源として外部入力を使用している（CMR0=1またはCMR1=1）ときは、VCref端子は他の機能としては使用できません。
3. コンパレータを動作した状態から停止させる場合は、CKSTPR 2 レジスタのCOMPCKSTPビットを0にクリアする前に、CMCR0、CMCR1レジスタのCME0、CME1ビットを0にクリアしてください。
4. コンパレータを動作した状態で、スタンバイモードまたはウォッチモードに移移すると、コンパレータ内部は動作状態が保持されます。スタンバイモードまたはウォッチモードでもコンパレータは動作中であるため、割り込み設定時には割り込みによる同じモードからの復帰が可能ですが、コンパレータ分の電流を消費します。スタンバイモードまたはウォッチモードにてコンパレータによる割り込み復帰が不要でかつ消費電流を低減する必要がある場合は、モード遷移する前にCMCR0、CMCR1レジスタのCME0、CME1ビットを0にクリアしてコンパレータの動作を停止してください。

19. パワーオンリセット回路

本 LSI はパワーオンリセット回路を内蔵しています。パワーオンリセット回路のブロック図を図 19.1 に示します。

19.1 特長

- パワーオンリセット回路

外部にコンデンサを接続することにより、電源投入時に内部リセット信号を発生

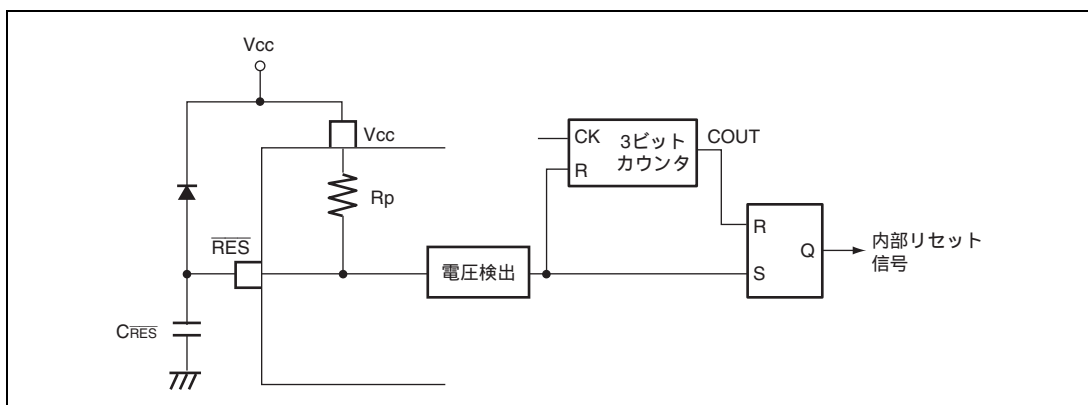


図 19.1 パワーオンリセット回路

19.2 動作説明

19.2.1 パワーオンリセット回路

パワーオンリセット回路の動作タイミングを図 19.2 に示します。電源電圧の上昇により、内蔵プルアップ抵抗 (R_p) を介して \overline{RES} 端子に外付けされたコンデンサが徐々に充電されます。この \overline{RES} 端子のレベルが一定レベルに上昇するまで \overline{RES} 端子の Low レベル状態が内部に伝わり、チップ全体がリセットされます。 \overline{RES} 端子のレベルが一定レベルまで上昇すると、電圧検出回路で検知され、3 ビットカウンタがカウントアップを始めます。3 ビットカウンタが 8 を 8 回カウントするとオーバフロー信号が発生し、内部リセット信号が解除されます。

\overline{RES} 端子の立ち上がり時間を t とした場合、 \overline{RES} 端子に接続する容量 (C_{RES}) は下式を参考に求めてください。内部抵抗 (R_p) は「第 21 章 電気的特性」を参照してください。なお、電源の立ち上がり時間 (t_{vtr}) は、 \overline{RES} の立ち上がり時間 (t) の半分以下にしてください。また、 \overline{RES} の立ち上がり時間 (t) は、発振安定時間 (t_{rc}) 以上となるようにしてください。

$$C_{RES} = \frac{t}{R_p} \quad (t > t_{rc}, t > t_{vtr} \times 2)$$

電源電圧 V_{cc} は $V_{por}=100\text{mV}$ 以下まで必ず立ち下げ、 \overline{RES} 端子の電荷が十分に抜けてから立ち上げてください。 \overline{RES} 端子の電荷を引き抜くためにはダイオードを V_{cc} 側に付けることを推奨します。 V_{por} を超えたところから電源電圧 V_{cc} が立ち上がった場合、パワーオンリセットが働かない可能性があります。

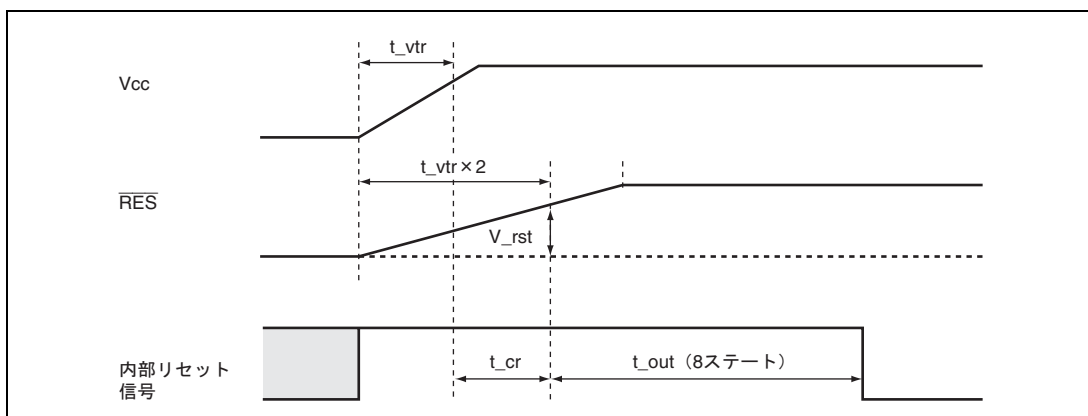


図 19.2 パワーオンリセット回路動作タイミング

20. レジスタ一覧

レジスタ一覧では、内蔵レジスタのアドレス、ビット構成および動作モード別の状態に関する情報をまとめています。表記方法は下記のとおりです。

1. レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載します。
- モジュール名称による分類をしています。
- データバス幅を表示しています。
- アクセスステート数を表示しています。

2. レジスタビット一覧

- 「レジスタアドレス一覧（アドレス順）」の順序で、ビット構成を記載しています。
- リザーブビットは、ビット名称部に「 - 」で表記しています。
- ビット名称部がビット番号のものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。
- 16ビットのレジスタの場合、MSB側のビットから記載しています。

3. 各動作モードにおけるレジスタの状態

- 「レジスタアドレス一覧（アドレス順）」の順序で、レジスタの状態を記載しています。
- 基本的な動作モードにおけるレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。

20. レジスタ一覧

20.1 レジスタアドレス一覧 (アドレス順)

データバス幅は、ビット数を示します。

アクセスステート数は、指定の基準クロックのステート数を示します。

レジスタ名称	略称	アドレス	モジュール	データバス幅	アクセスステート数
フラッシュメモリコントロールレジスタ 1	FLMCR1	H'F020	ROM	8	2
フラッシュメモリコントロールレジスタ 2	FLMCR2	H'F021	ROM	8	2
フラッシュメモリパワーコントロールレジスタ	FLPWCR	H'F022	ROM	8	2
ブロック指定レジスタ 1	EBR1	H'F023	ROM	8	2
フラッシュメモリーネーブルレジスタ	FENR	H'F02B	ROM	8	2
RTC 割り込みフラグレジスタ	RTCFLG	H'F067	RTC	8	2
秒データレジスタ/ フリーランカウンタデータレジスタ	RSECDR	H'F068	RTC	8	2
分データレジスタ	RMINDR	H'F069	RTC	8	2
時データレジスタ	RHRDR	H'F06A	RTC	8	2
曜日データレジスタ	RWKDR	H'F06B	RTC	8	2
RTC コントロールレジスタ 1	RTCCR1	H'F06C	RTC	8	2
RTC コントロールレジスタ 2	RTCCR2	H'F06D	RTC	8	2
クロックソースセレクトレジスタ	RTCCSR	H'F06F	RTC	8	2
I ² C バスコントロールレジスタ 1	ICCR1	H'F078	IIC2	8	2
I ² C バスコントロールレジスタ 2	ICCR2	H'F079	IIC2	8	2
I ² C バスモードレジスタ	ICMR	H'F07A	IIC2	8	2
I ² C バスインタラプトイネーブルレジスタ	ICIER	H'F07B	IIC2	8	2
I ² C バスステータスレジスタ	ICSR	H'F07C	IIC2	8	2
スリープアドレスレジスタ	SAR	H'F07D	IIC2	8	2
I ² C バス送信データレジスタ	ICDRT	H'F07E	IIC2	8	2
I ² C バス受信データレジスタ	ICDRR	H'F07F	IIC2	8	2
ポート機能コントロールレジスタ	PFCR	H'F085	SYSTEM	8	2
ポートブルアップコントロールレジスタ 8	PUCR8	H'F086	I/O ポート	8	2
ポートブルアップコントロールレジスタ 9	PUCR9	H'F087	I/O ポート	8	2
ポートオーブドレインコントロールレジスタ 9	PODR9	H'F08C	I/O ポート	8	2
タイマモードレジスタ B1	TMB1	H'F0D0	タイマ B1	8	2
タイマカウンタ B1 / タイマロードレジスタ B1	TCB1(R)/ TLB1(W)	H'F0D1	タイマ B1	8	2
コンペアコントロールレジスタ 0	CMCR0	H'F0DC	コンパレータ	8	2
コンペアコントロールレジスタ 1	CMCR1	H'F0DD	コンパレータ	8	2
コンペアデータレジスタ	CMDR	H'F0DE	コンパレータ	8	2

レジスタ名称	略称	アドレス	モジュール	データ バス幅	アクセス ステート数
SS コントロールレジスタ H	SSCRH	H'F0E0	SSU* ¹	8	3
SS コントロールレジスタ L	SSCRL	H'F0E1	SSU* ¹	8	3
SS モードレジスタ	SSMR	H'F0E2	SSU* ¹	8	3
SS イネーブルレジスタ	SSER	H'F0E3	SSU* ¹	8	3
SS ステータスレジスタ	SSSR	H'F0E4	SSU* ¹	8	3
SS レシーブデータレジスタ	SSRDR	H'F0E9	SSU* ¹	8	3
SS トランスミットデータレジスタ	SSTDR	H'F0EB	SSU* ¹	8	3
タイマモードレジスタ W	TMRW	H'F0F0	タイマ W	8	2
タイマコントロールレジスタ W	TCRW	H'F0F1	タイマ W	8	2
タイマインタラプトイネーブルレジスタ W	TIERW	H'F0F2	タイマ W	8	2
タイマステータスレジスタ W	TSRW	H'F0F3	タイマ W	8	2
タイマ I/O コントロールレジスタ 0	TIOR0	H'F0F4	タイマ W	8	2
タイマ I/O コントロールレジスタ 1	TIOR1	H'F0F5	タイマ W	8	2
タイマカウンタ	TCNT	H'F0F6	タイマ W	16	2
ジェネラルレジスタ A	GRA	H'F0F8	タイマ W	16	2
ジェネラルレジスタ B	GRB	H'F0FA	タイマ W	16	2
ジェネラルレジスタ C	GRC	H'F0FC	タイマ W	16	2
ジェネラルレジスタ D	GRD	H'F0FE	タイマ W	16	2
イベントカウンタ PWM コンペアレジスタ	ECPWCR	H'FF8C	AEC* ²	16	2
イベントカウンタ PWM データレジスタ	ECPWDR	H'FF8E	AEC* ²	16	2
シリアルポートコントロールレジスタ	SPCR	H'FF91	SCI3	8	2
入力端子エッジセレクトレジスタ	AEGSR	H'FF92	AEC* ²	8	2
イベントカウンタコントロールレジスタ	ECCR	H'FF94	AEC* ²	8	2
イベントカウンタコントロール/ ステータスレジスタ	ECCSR	H'FF95	AEC* ²	8	2
イベントカウンタ H	ECH	H'FF96	AEC* ²	8	2
イベントカウンタ L	ECL	H'FF97	AEC* ²	8	2
シリアルモードレジスタ 3	SMR3	H'FF98	SCI3	8	3
ビットレートレジスタ 3	BRR3	H'FF99	SCI3	8	3
シリアルコントロールレジスタ 3	SCR3	H'FF9A	SCI3	8	3
トランスミットデータレジスタ 3	TDR3	H'FF9B	SCI3	8	3
シリアルステータスレジスタ 3	SSR3	H'FF9C	SCI3	8	3
レシーブデータレジスタ 3	RDR3	H'FF9D	SCI3	8	3
シリアル拡張モードレジスタ	SEMR	H'FFA6	SCI3	8	3
IrDA コントロールレジスタ	IrCR	H'FFA7	IrDA	8	2
タイマモードレジスタ WD	TMWD	H'FFB0	WDT* ³	8	2

20. レジスタ一覧

レジスタ名称	略称	アドレス	モジュール	データ バス幅	アクセス ステート数
タイマコントロール/ステータスレジスタ WD1	TCSRWD1	H'FFB1	WDT* ³	8	2
タイマコントロール/ステータスレジスタ WD2	TCSRWD2	H'FFB2	WDT* ³	8	2
タイマカウンタ WD	TCWD	H'FFB3	WDT* ³	8	2
A/D リザルトレジスタ	ADRR	H'FFBC	A/D 変換器	16	2
A/D モードレジスタ	AMR	H'FFBE	A/D 変換器	8	2
A/D スタートレジスタ	ADSR	H'FFBF	A/D 変換器	8	2
ポートモードレジスタ 1	PMR1	H'FFC0	I/O ポート	8	2
ポートモードレジスタ 3	PMR3	H'FFC2	I/O ポート	8	2
ポートモードレジスタ B	PMRB	H'FFCA	I/O ポート	8	2
ポートデータレジスタ 1	PDR1	H'FFD4	I/O ポート	8	2
ポートデータレジスタ 3	PDR3	H'FFD6	I/O ポート	8	2
ポートデータレジスタ 8	PDR8	H'FFDB	I/O ポート	8	2
ポートデータレジスタ 9	PDR9	H'FFDC	I/O ポート	8	2
ポートデータレジスタ B	PDRB	H'FFDE	I/O ポート	8	2
ポートブルアップコントロールレジスタ 1	PUCR1	H'FFE0	I/O ポート	8	2
ポートブルアップコントロールレジスタ 3	PUCR3	H'FFE1	I/O ポート	8	2
ポートコントロールレジスタ 1	PCR1	H'FFE4	I/O ポート	8	2
ポートコントロールレジスタ 3	PCR3	H'FFE6	I/O ポート	8	2
ポートコントロールレジスタ 8	PCR8	H'FFEB	I/O ポート	8	2
ポートコントロールレジスタ 9	PCR9	H'FFEC	I/O ポート	8	2
システムコントロールレジスタ 1	SYSCR1	H'FFF0	SYSTEM	8	2
システムコントロールレジスタ 2	SYSCR2	H'FFF1	SYSTEM	8	2
割り込みエッジセレクトレジスタ	IEGR	H'FFF2	割り込み	8	2
割り込みイネーブルレジスタ 1	IENR1	H'FFF3	割り込み	8	2
割り込みイネーブルレジスタ 2	IENR2	H'FFF4	割り込み	8	2
発振器コントロールレジスタ	OSCCR	H'FFF5	SYSTEM	8	2
割り込みフラグレジスタ 1	IRR1	H'FFF6	割り込み	8	2
割り込みフラグレジスタ 2	IRR2	H'FFF7	割り込み	8	2
クロック停止レジスタ 1	CKSTPR1	H'FFFA	SYSTEM	8	2
クロック停止レジスタ 2	CKSTPR2	H'FFFB	SYSTEM	8	2

【注】 *1 SSU : シンクロナスシリアルコミュニケーションユニット

*2 AEC : 非同期イベントカウンタ

*3 WDT : ウォッチドッグタイマ

20.2 レジスタビット一覧

内蔵周辺モジュールのレジスタのビット名を以下に示します。

16ビットレジスタは、8ビットずつ2段で表しています。

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
FLMCR1		SWE	ESU	PSU	EV	PV	E	P	ROM
FLMCR2	FLER								
FLPWCR	PDWND								
EBR1				EB4	EB3	EB2	EB1	EB0	
FENR	FLSHE								
RTCFLG	FOIFG	WKIFG	DYIFG	HRIFG	MNIFG	1SEIFG	05SEIFG	025SEIFG	RTC
RSECDR	BSY	SC12	SC11	SC10	SC03	SC02	SC01	SC00	
RMINDR	BSY	MN12	MN11	MN10	MN03	MN02	MN01	MN00	
RHRDR	BSY		HR11	HR10	HR03	HR02	HR01	HR00	
RWKDR	BSY					WK2	WK1	KWK0	
RTCCR1	RUN	12/24	PM	RST	INT				
RTCCR2	FOIE	WKIE	DYIE	HRIE	MNIE	1SEIE	05SEIE	025SEIE	
RTCCSR		RCS6	RCS5	SUB32K	RCS3	RCS2	RCS1	RCS0	
ICCR1	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0	IIC2
ICCR2	BBSY	SCP	SDAO	SDAOP	SCLO		IICRST		
ICMR	MLS	WAIT			BCWP	BC2	BC1	BC0	
ICIER	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT	
ICSR	TDRE	TEND	RDRF	NACKF	STOP	AL/OVE	AAS	ADZ	
SAR	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS	
ICDRT	ICDRT7	ICDRT6	ICDRT5	ICDRT4	ICDRT3	ICDRT2	ICDRT1	ICDRT0	
ICDRR	ICDRR7	ICDRR6	ICDRR5	ICDRR4	ICDRR3	ICDRR2	ICDRR1	ICDRR0	
PFCR				SSUS	IRQ1S1	IRQ1S0	IRQ0S1	IRQ0S0	SYSTEM
PUCR8				PUCR84	PUCR83	PUCR82			I/Oポート
PUCR9					PUCR93	PUCR92	PUCR91	PUCR90	
PODR9					P93ODR	P92ODR	P91ODR	P90ODR	
TMB1	TMB17	TMB16				TMB12	TMB11	TMB10	タイマ B1
TCB1(R)/ TLB1(W)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
CMCR0	CME0	CMIE0	CMR0	CMLS0	CRS03	CRS02	CRS01	CRS00	コンパレ ータ
CMCR1	CME1	CMIE1	CMR1	CMLS1	CRS13	CRS12	CRS11	CRS10	
CMDR			CMF1	CMF0			CDR1	CDR0	
SSCRH	MSS	BIDE	SOOS	SOL	SOLP	SCKS	CSS1	CSS0	SSU* ¹

20. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
SSCRL		SSUMS	SRES	SCKOS	CSOS				SSU* ¹
SSMR	MLS	CPOS	CPHS			CKS2	CKS1	CKS0	
SSER	TE	RE	RSSTP		TEIE	TIE	RIE	CEIE	
SSSR		ORER			TEND	TDRE	RDRF	CE	
SSRDR	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SSTDR	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TMRW	CTS		BUFEB	BUFEA		PWMD	PWMC	PWMB	タイマW
TCRW	CCLR	CKS2	CKS1	CKS0	TOD	TOC	TOB	TOA	
TIERW	OVIE				IMIED	IMIEC	IMIEB	IMIEA	
TSRW	OVF				IMFD	IMFC	IMFB	IMFA	
TIOR0		IOB2	IOB1	IOB0		IOA2	IOA1	IOA0	
TIOR1		IOD2	IOD1	IOD0		IOC2	IOC1	IOC0	
TCNT	TCNT15	TCNT14	TCNT13	TCNT12	TCNT11	TCNT10	TCNT9	TCNT8	
	TCNT7	TCNT6	TCNT5	TCNT4	TCNT3	TCNT2	TCNT1	TCNT0	
GRA	GRA15	GRA14	GRA13	GRA12	GRA11	GRA10	GRA9	GRA8	
	GRA7	GRA6	GRA5	GRA4	GRA3	GRA2	GRA1	GRA0	
GRB	GRB15	GRB14	GRB13	GRB12	GRB11	GRB10	GRB9	GRB8	
	GRB7	GRB6	GRB5	GRB4	GRB3	GRB2	GRB1	GRB0	
GRC	GRC15	GRC14	GRC13	GRC12	GRC11	GRC10	GRC9	GRC8	
	GRC7	GRC6	GRC5	GRC4	GRC3	GRC2	GRC1	GRC0	
GRD	GRD15	GRD14	GRD13	GRD12	GRD11	GRD10	GRD9	GRD8	
	GRD7	GRD6	GRD5	GRD4	GRD3	GRD2	GRD1	GRD0	
ECPWCR	ECPWCR15	ECPWCR14	ECPWCR13	ECPWCR12	ECPWCR11	ECPWCR10	ECPWCR9	ECPWCR8	AEC* ²
	ECPWCR7	ECPWCR6	ECPWCR5	ECPWCR4	ECPWCR3	ECPWCR2	ECPWCR1	ECPWCR0	
ECPWDR	ECPWDR15	ECPWDR14	ECPWDR13	ECPWDR12	ECPWDR11	ECPWDR10	ECPWDR9	ECPWDR8	
	ECPWDR7	ECPWDR6	ECPWDR5	ECPWDR4	ECPWDR3	ECPWDR2	ECPWDR1	ECPWDR0	
SPCR				SPC3			SCINV1	SCINV0	SCI3
AEGSR	AHEGS1	AHEGS0	ALEGS1	ALEGS0	AIEGS1	AIEGS0	ECPWME		AEC* ²
ECCR	ACKH1	ACKH0	ACKL1	ACKL0	PWCK2	PWCK1	PWCK0		
ECCSR	OVH	OVL		CH2	CUEH	CUEL	CRCH	CRCL	
ECH	ECH7	ECH6	ECH5	ECH4	ECH3	ECH2	ECH1	ECH0	
ECL	ECL7	ECL6	ECL5	ECL4	ECL3	ECL2	ECL1	ECL0	
SMR3	COM	CHR	PE	PM	STOP	MP	CKS1	CKS0	SCI3
BRR3	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0	
SCR3	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR3	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0	

20. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
SSR3	TDRE	RDRF	OER	FER	PER	TEND	MPBR	MPBT	SCI3
RDR3	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0	
SEMR					ABCS				
IrCR	IrE	IrCKS2	IrCKS1	IrCKS0					IrDA
TMWD					CKS3	CKS2	CKS1	CKS0	WDT*3
TCSRWD1	B6WI	TCWE	B4WI	TCSRWE	B2WI	WDON	B0WI	WRST	
TCSRWD2	OVF	B5WI	WT/IT	B3WI	IEOVF				
TCWD	TCW7	TCW6	TCW5	TCW4	TCW3	TCW2	TCW1	TCW0	
ADRR	ADR9	ADR8	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	A/D変換器
	ADR1	ADR0							
AMR		TRGE	CKS1	CKS0	CH3	CH2	CH1	CH0	
ADSR	ADSF	LADS							
PMR1			IRQAEC	FTCI	AEVL	CLKOUT	TMOW	AEVH	I/Oポート
PMR3								VCref	
PMRB					ADTSTCHG		IRQ1	IRQ0	
PDR1						P12	P11	P10	
PDR3						P32	P31	P30	
PDR8				P84	P83	P82			
PDR9					P93	P92	P91	P90	
PDRB			PB5	PB4	PB3	PB2	PB1	PB0	
PUCR1						PUCR12	PUCR11	PUCR10	
PUCR3						PUCR32	PUCR31	PUCR30	
PCR1						PCR12	PCR11	PCR10	
PCR3						PCR32	PCR31	PCR30	
PCR8				PCR84	PCR83	PCR82			
PCR9					PCR93	PCR92	PCR91	PCR90	
SYSCR1	SSBY	STS2	STS1	STS0	LSON	TMA3	MA1	MA0	SYSTEM
SYSCR2				NESEL	DTON	MSON	SA1	SA0	
IEGR	NMIEG		ADTRGNEG				IEG1	IEG0	割り込み
IENR1	IENRTC					IENEC2	IEN1	IEN0	
IENR2		IENAD				IENB1		IENEC	
OSCCR	SUBSTP	RFCUT	SUBSEL				OSCF		SYSTEM
IRR1						IRREC2	IRRI1	IRRI0	割り込み
IRR2		IRRAD				IRRTB1		IRREC	

20. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
CKSTPR1		S3CKSTP		ADCKSTP		TB1CKSTP	FROMCKSTP	RTCKSTP	SYSTEM
CKSTPR2		TWCKSTP	IICCKSTP	SSUCKSTP	AECKSTP	WDCKSTP	COMPCKSTP		

【注】 *1 SSU : シンクロナスシリアルコミュニケーションユニット

*2 AEC : 非同期イベントカウンタ

*3 WDT : ウォッチドッグタイマ

20.3 各動作モードにおけるレジスタの状態

レジスタ略称	リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ	モジュール	
FLMCR1	初期化	-	-	-	-	-	初期化	ROM	
FLMCR2	初期化	-	-	-	-	-	-		
FLPWCR	初期化	-	-	-	-	-	-		
EBR1	初期化	-	-	-	-	-	初期化		
FENR	初期化	-	-	-	-	-	-		
RTCFLG	-	-	-	-	-	-	-		RTC
RSECDR	-	-	-	-	-	-	-		
RMINDR	-	-	-	-	-	-	-		
RHRDR	-	-	-	-	-	-	-		
RWKDR	-	-	-	-	-	-	-		
RTCCR1	-	-	-	-	-	-	-		
RTCCR2	-	-	-	-	-	-	-		
RTCCSR	初期化	-	-	-	-	-	-		
ICCR1	初期化	-	-	-	-	-	-	IIC2	
ICCR2	初期化	-	-	-	-	-	-		
ICMR	初期化	-	-	-	-	-	-		
ICIER	初期化	-	-	-	-	-	-		
ICSR	初期化	-	-	-	-	-	-		
SAR	初期化	-	-	-	-	-	-		
ICDRT	初期化	-	-	-	-	-	-		
ICDRR	初期化	-	-	-	-	-	-		
PFCR	初期化	-	-	-	-	-	-		SYSTEM
PUCR8	初期化	-	-	-	-	-	-		I/O ポート
PUCR9	初期化	-	-	-	-	-	-		
PODR9	初期化	-	-	-	-	-	-	-	
TMB1	初期化	-	-	-	-	-	-	タイマ B1	
TCB1/TLB1	初期化	-	-	-	-	-	-	-	
CMCR0	初期化	-	-	-	-	-	-	コンパレータ	
CMCR1	初期化	-	-	-	-	-	-		
CMDR	初期化	-	-	-	-	-	-	-	
SSCRH	初期化	-	-	-	-	-	-	SSU*1	
SSCRL	初期化	-	-	-	-	-	-		
SSMR	初期化	-	-	-	-	-	-		
SSER	初期化	-	-	-	-	-	-		

20. レジスタ一覧

レジスタ略称	リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ	モジュール
SSSR	初期化	-	-	-	-	-	-	SSU* ¹
SSRDR	初期化	-	-	-	-	-	-	
SSTDR	初期化	-	-	-	-	-	-	
TMRW	初期化	-	-	-	-	-	-	タイマ W
TCRW	初期化	-	-	-	-	-	-	
TIERW	初期化	-	-	-	-	-	-	
TSRW	初期化	-	-	-	-	-	-	
TIOR0	初期化	-	-	-	-	-	-	
TIOR1	初期化	-	-	-	-	-	-	
TCNT	初期化	-	-	-	-	-	-	
GRA	初期化	-	-	-	-	-	-	
GRB	初期化	-	-	-	-	-	-	
GRC	初期化	-	-	-	-	-	-	
GRD	初期化	-	-	-	-	-	-	
ECPWCR	初期化	-	-	-	-	-	-	AEC* ²
ECPWDR	初期化	-	-	-	-	-	-	
SPCR	初期化	-	-	-	-	-	-	SCI3
AEGSR	初期化	-	-	-	-	-	-	AEC* ²
ECCR	初期化	-	-	-	-	-	-	
ECCSR	初期化	-	-	-	-	-	-	
ECH	初期化	-	-	-	-	-	-	
ECL	初期化	-	-	-	-	-	-	
SMR3	初期化	-	-	初期化	-	-	初期化	SCI3
BRR3	初期化	-	-	初期化	-	-	初期化	
SCR3	初期化	-	-	初期化	-	-	初期化	
TDR3	初期化	-	-	初期化	-	-	初期化	
SSR3	初期化	-	-	初期化	-	-	初期化	
RDR3	初期化	-	-	初期化	-	-	初期化	
SEMR	初期化	-	-	初期化	-	-	初期化	
IrCR	初期化	-	-	初期化	-	-	初期化	IrDA
TMWD	初期化	-	-	-	-	-	-	WDT* ³
TCSRWD1	初期化	-	-	-	-	-	-	
TCSRWD2	初期化	-	-	-	-	-	-	
TCWD	初期化	-	-	-	-	-	-	
ADRR	-	-	-	-	-	-	-	A/D 変換器
AMR	初期化	-	-	-	-	-	-	
ADSR	初期化	-	-	-	-	-	-	

レジスタ略称	リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ	モジュール
PMR1	初期化	-	-	-	-	-	-	I/O ポート
PMR3	初期化	-	-	-	-	-	-	
PMRB	初期化	-	-	-	-	-	-	
PDR1	初期化	-	-	-	-	-	-	
PDR3	初期化	-	-	-	-	-	-	
PDR8	初期化	-	-	-	-	-	-	
PDR9	初期化	-	-	-	-	-	-	
PDRB	初期化	-	-	-	-	-	-	
PUCR1	初期化	-	-	-	-	-	-	
PUCR3	初期化	-	-	-	-	-	-	
PCR1	初期化	-	-	-	-	-	-	
PCR3	初期化	-	-	-	-	-	-	
PCR8	初期化	-	-	-	-	-	-	
PCR9	初期化	-	-	-	-	-	-	
SYSCR1	初期化	-	-	-	-	-	-	SYSTEM
SYSCR2	初期化	-	-	-	-	-	-	
IEGR	初期化	-	-	-	-	-	-	割り込み
IENR1	初期化	-	-	-	-	-	-	
IENR2	初期化	-	-	-	-	-	-	
OSCCR	初期化	-	-	-	-	-	-	SYSTEM
IRR1	初期化	-	-	-	-	-	-	割り込み
IRR2	初期化	-	-	-	-	-	-	
CKSTPR1	初期化	-	-	-	-	-	-	SYSTEM
CKSTPR2	初期化	-	-	-	-	-	-	

【注】 - は初期化されません。

- *1 SSU : シンクロナスシリアルコミュニケーションユニット
- *2 AEC : 非同期イベントカウンタ
- *3 WDT : ウォッチドッグタイマ

21. 電気的特性

21.1 F-ZTAT 版の絶対最大定格

絶対最大定格を表 21.1 に示します。

表 21.1 絶対最大定格

項 目	記号	規格値	単位	備考	
電源電圧	V_{CC}	- 0.3 ~ + 4.3	V	*1	
アナログ電源電圧	AV_{CC}	- 0.3 ~ + 4.3	V		
入力電圧	ポート B 以外	V_{in}	- 0.3 ~ $V_{CC} + 0.3$		V
	ポート B	AV_{in}	- 0.3 ~ $AV_{CC} + 0.3$		V
動作温度	T_{opr}	- 20 ~ + 75 (通常仕様品)*2			
		- 40 ~ + 85 (広温度範囲仕様品)*2			
保存温度	T_{stg}	- 55 ~ + 125			

【注】 *1 絶対最大定格をこえて LSI を使用した場合、LSI の永久破壊となることがあります。また、通常動作では、「電気的特性」の条件で使用することが望ましく、この条件をこえると LSI の誤動作の原因になると共に、LSI の信頼性に悪影響をおよぼすことがあります。

*2 フラッシュメモリの書き込み / 消去時の動作温度範囲は、 $T_a = 0 \sim + 75$ です。

21.2 F-ZTAT 版の電気的特性

21.2.1 電源電圧と動作範囲

電源電圧と動作範囲（網かけ部）を以下に示します。

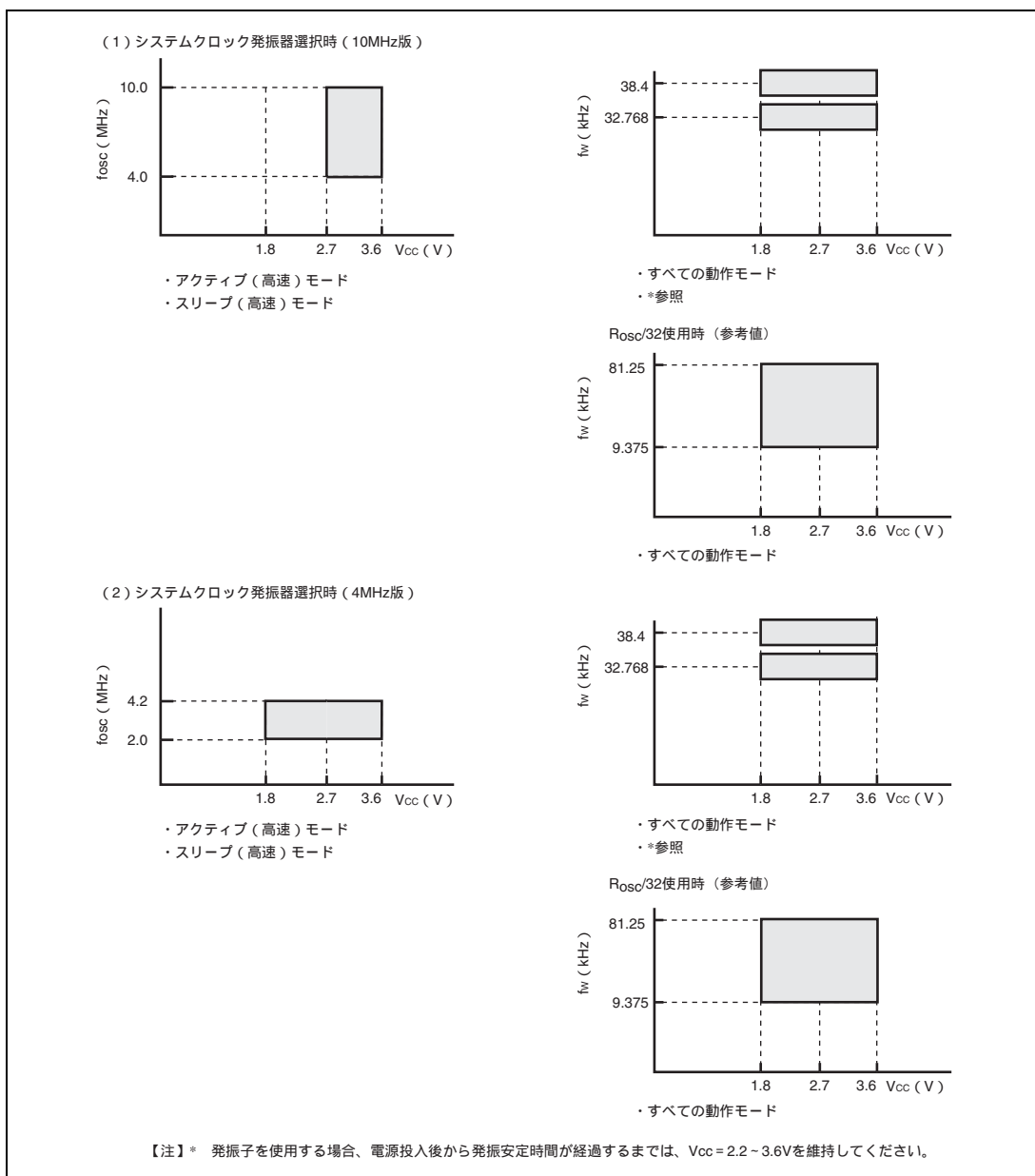


図 21.1 電源電圧と発振周波数の範囲 (1)

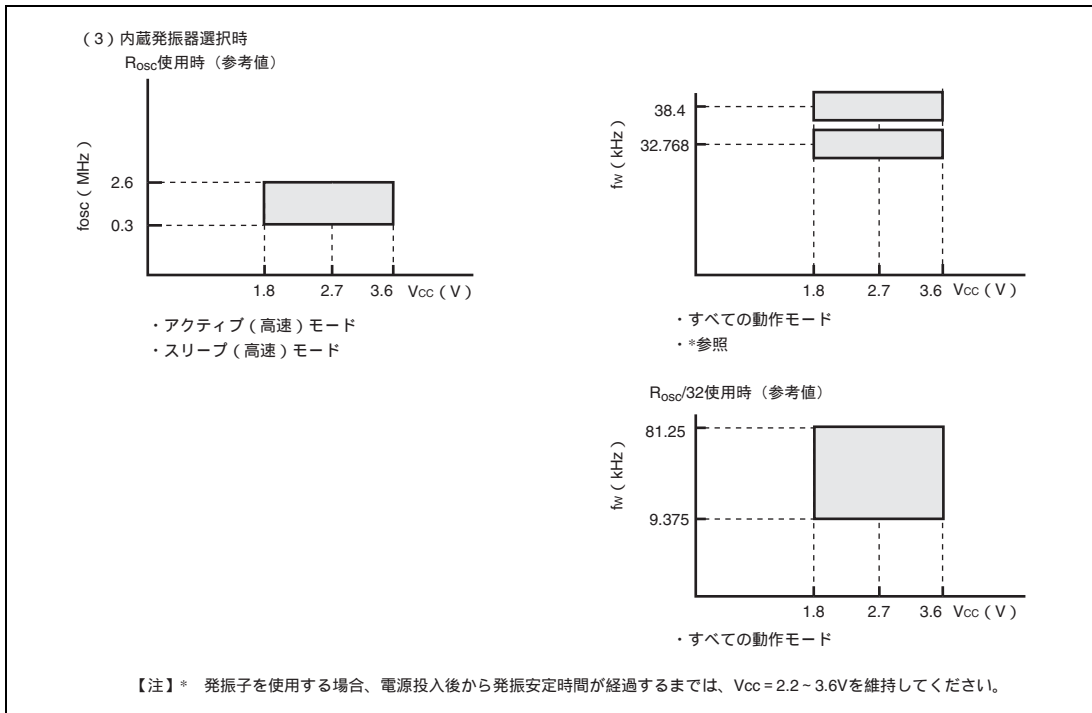


図 21.2 電源電圧と発振周波数の範囲 (2)

21. 電気的特性

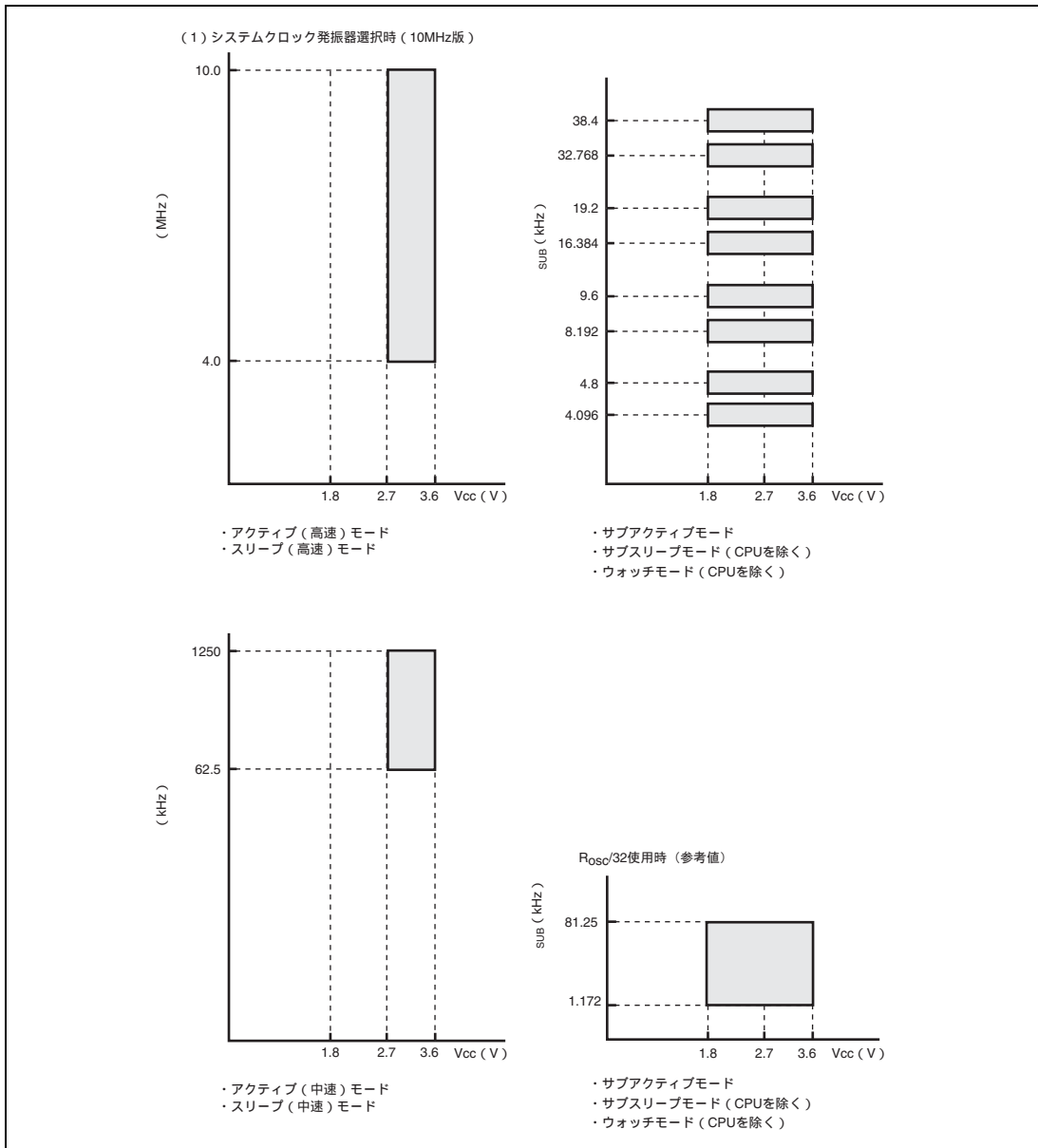


図 21.3 電源電圧と動作周波数の範囲 (1)

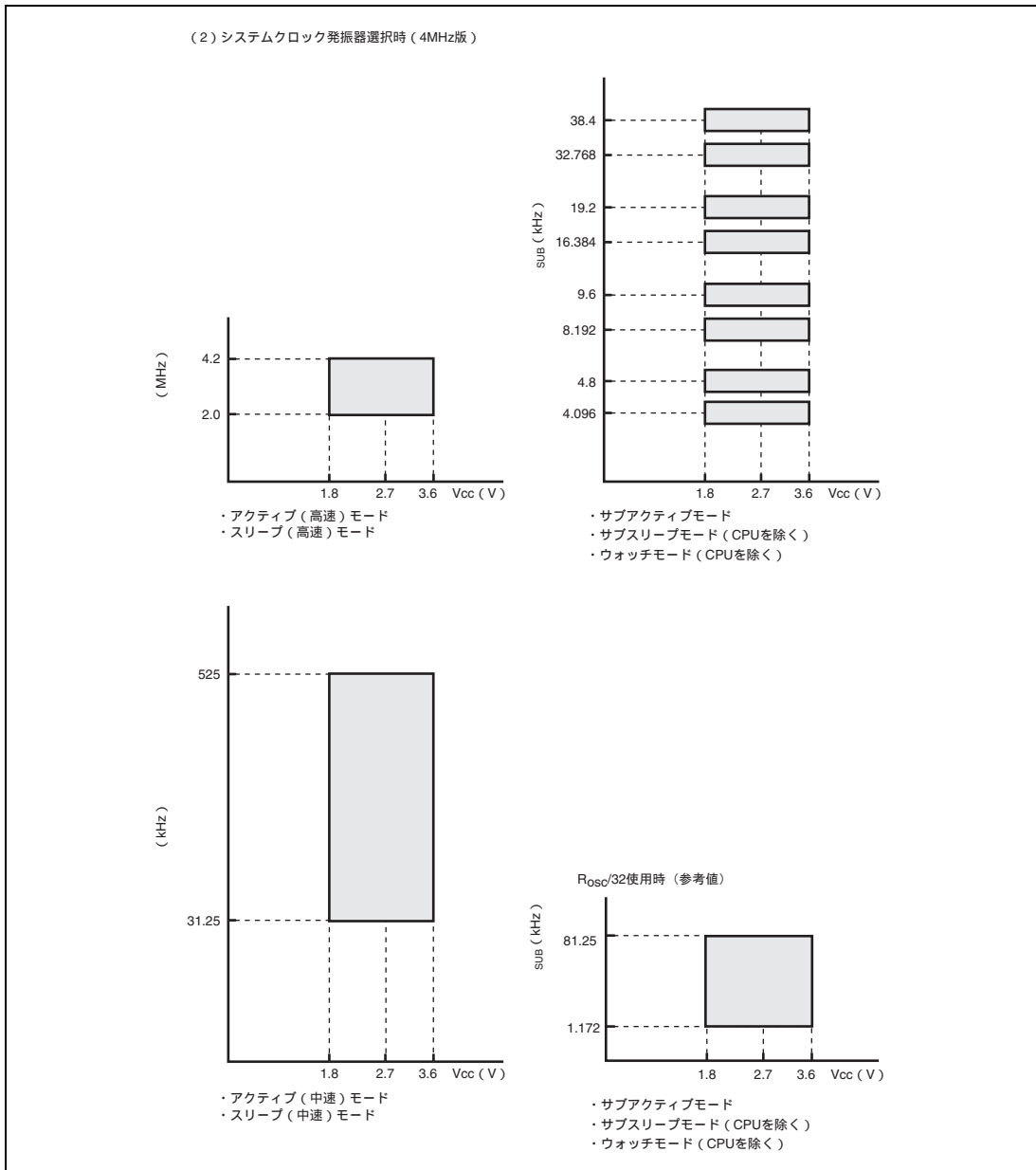


図 21.4 電源電圧と動作周波数の範囲 (2)

21. 電気的特性

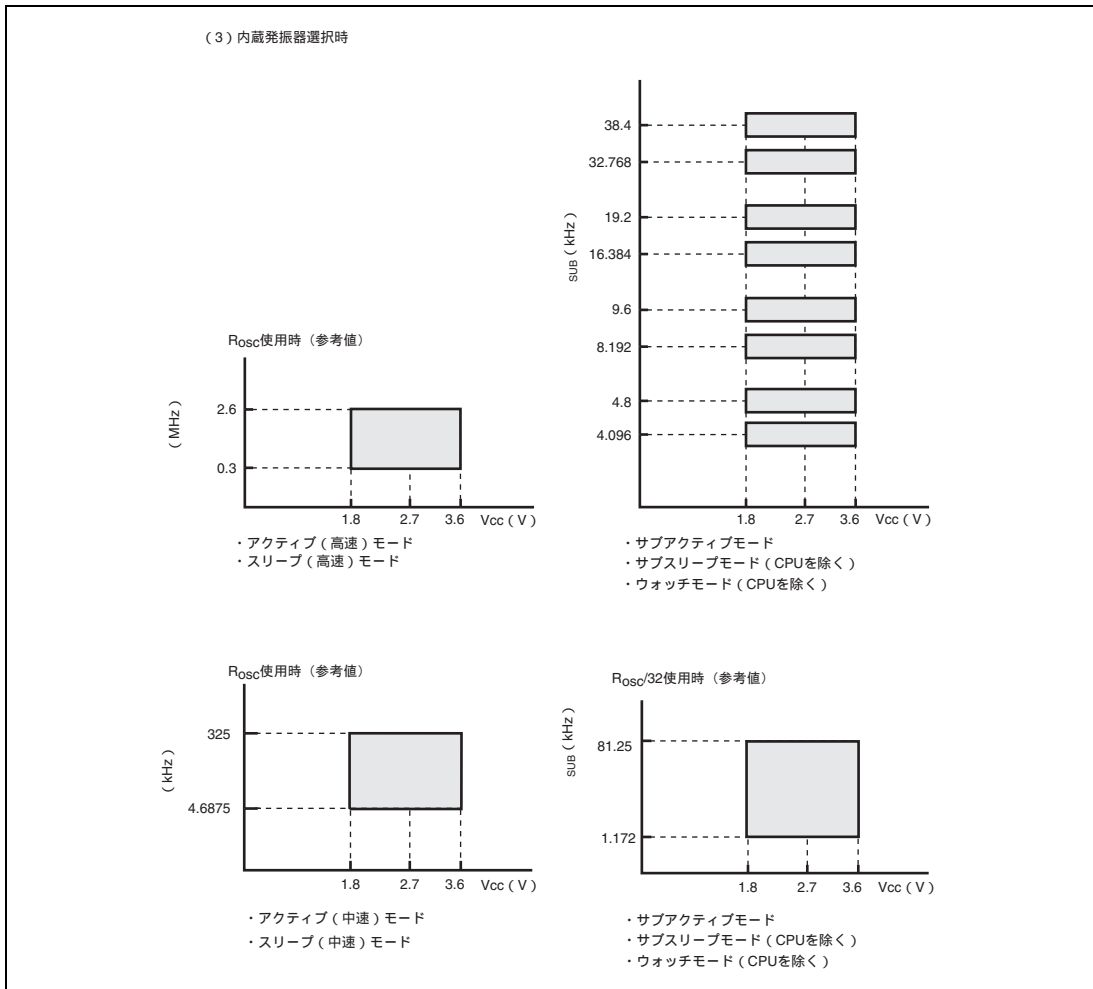


図 21.5 電源電圧と動作周波数の範囲 (3)

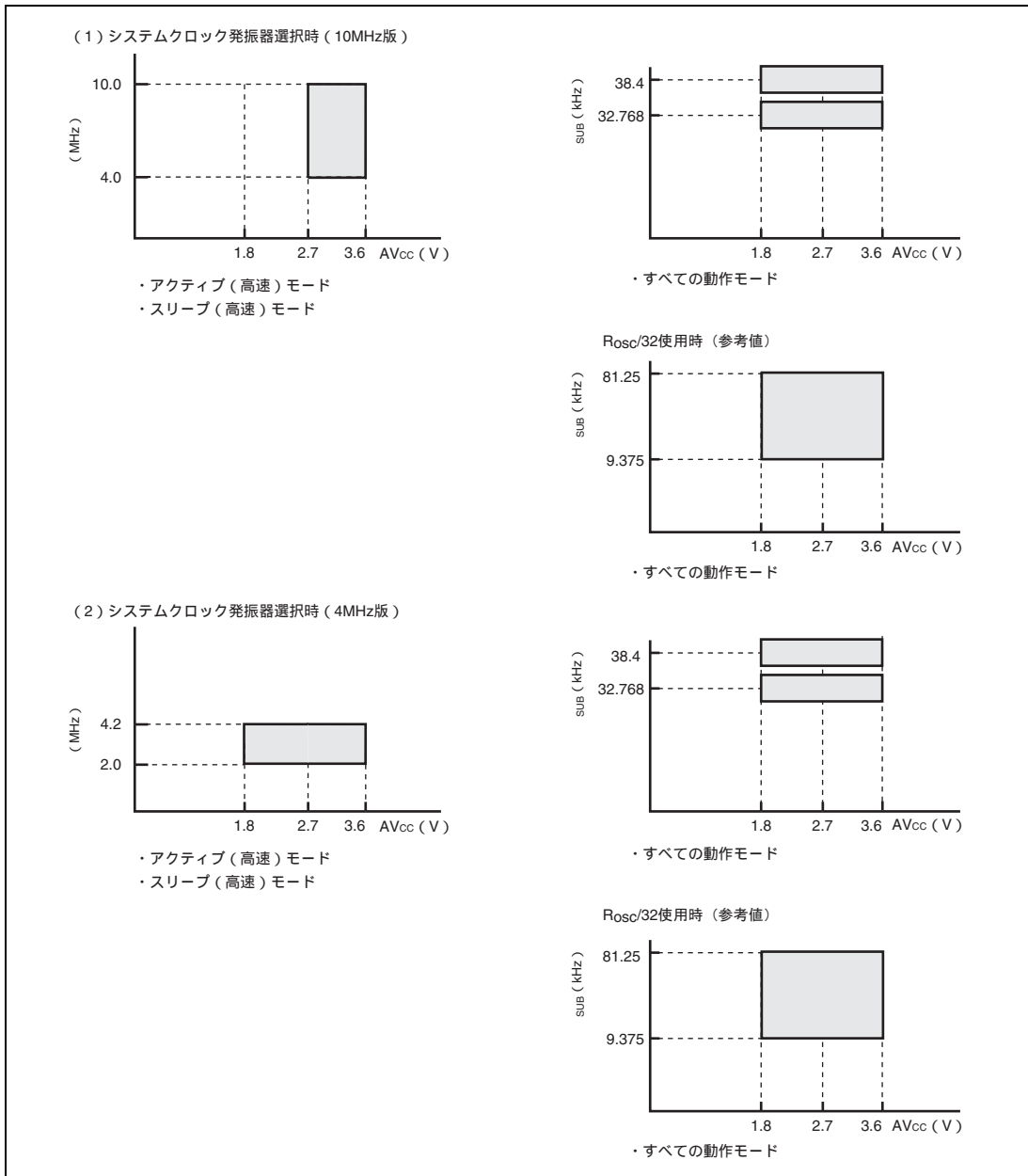


図 21.6 アナログ電源電圧と A/D 変換器の動作範囲 (1)

21. 電気的特性

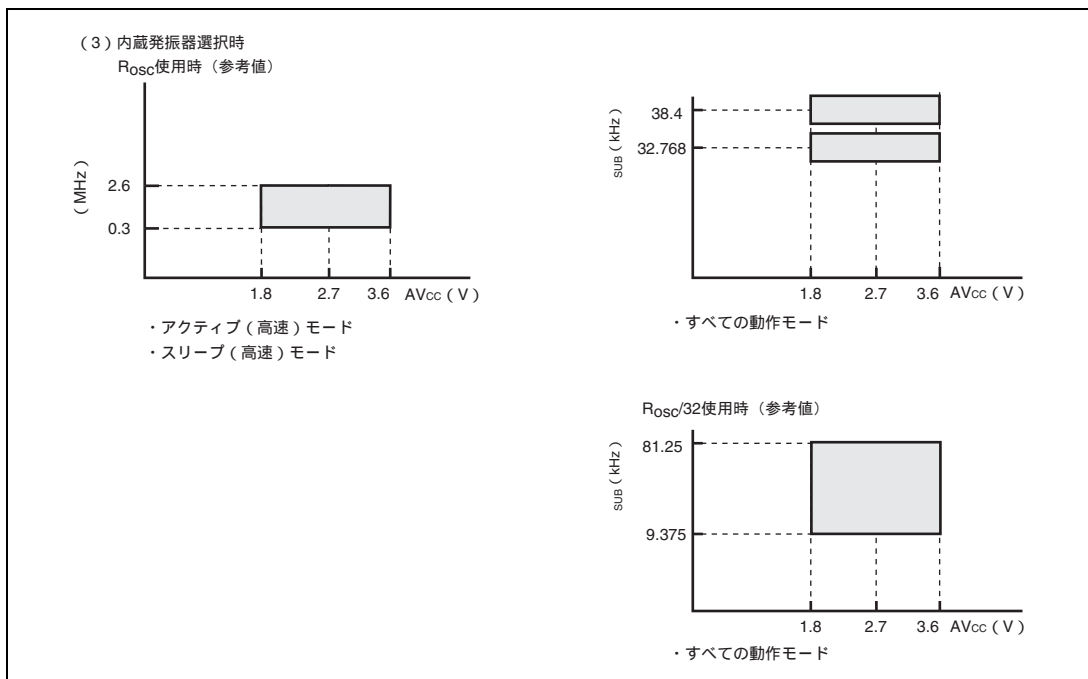


図 21.7 アナログ電源電圧と A/D 変換器の動作範囲 (2)

21.2.2 DC 特性

DC 特性を表 21.2 に示します。

表 21.2 DC 特性

(特記なき場合、 $V_{CC} = 1.8 \sim 3.6V$ 、 $AV_{CC} = 1.8 \sim 3.6V$ 、 $V_{SS} = 0.0V$)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力 High レベル電圧	V_{IH}	\overline{RES} 、 \overline{TEST} 、 \overline{NMI}^{*3} 、 AEVL、AEVH、 \overline{ADTRG} 、SCK3、 IRQAEC		$0.9V_{CC}$	-	$V_{CC} + 0.3$	V	
		$\overline{IRQ0}^{*4}$ 、 $\overline{IRQ1}^{*4}$		$0.9V_{CC}$	-	$AV_{CC} + 0.3$		
		RXD3、IrRXD		$0.8V_{CC}$	-	$V_{CC} + 0.3$		
		OSC1		$0.9V_{CC}$	-	$V_{CC} + 0.3$		
		X1		$0.9V_{CC}$	-	$V_{CC} + 0.3$		
		P10 ~ P12、 P30 ~ P32、 P82 ~ P84、 P90 ~ P93、 SSI、SSO、SSCK、 \overline{SCS} 、FTCI、 FTIOA、FTIOB、 FTIOC、FTIOD、 E7_0 ~ E7_2、 SCL、SDA		$0.8V_{CC}$	-	$V_{CC} + 0.3$		
PB0 ~ PB5		$0.8V_{CC}$	-	$AV_{CC} + 0.3$				
入力 Low レベル電圧	V_{IL}	\overline{RES} 、 \overline{TEST} 、 \overline{NMI}^{*3} 、 $\overline{IRQ0}$ 、 $\overline{IRQ1}$ 、 IRQAEC、AEVL、 AEVH、 \overline{ADTRG} 、 SCK3		- 0.3	-	$0.1V_{CC}$	V	
		RXD3、IrRXD		- 0.3	-	$0.2V_{CC}$		
		OSC1		- 0.3	-	$0.1V_{CC}$		
		X1		- 0.3	-	$0.1V_{CC}$		

21. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力 Low レベル電圧	V_{IL}	P10 ~ P12、 P30 ~ P32、 P82 ~ P84、 P90 ~ P93、 SCL、SDA、 PB0 ~ PB5、 SSI、SSO、SSCK、 \overline{SCS} 、FTCI、 FTIOA、FTIOB、 FTIOC、FTIOD、 E7_0 ~ E7_2		- 0.3	-	$0.2V_{CC}$	V	
出力 High レベル電圧	V_{OH}	P10 ~ P12、 P30 ~ P32、 P90 ~ P93	- $I_{OH} = 1.0\text{mA}$ $V_{CC} = 2.7 \sim 3.6\text{V}$	$V_{CC} - 1.0$	-	-	V	
			- $I_{OH} = 0.1\text{mA}$	$V_{CC} - 0.3$	-	-		
		P82 ~ P84	- $I_{OH} = 1.0\text{mA}$ $V_{CC} = 2.7 \sim 3.6\text{V}$	$V_{CC} - 1.0$	-	-		
			- $I_{OH} = 0.1\text{mA}$	$V_{CC} - 0.3$	-	-		
出力 Low レベル電圧	V_{OL}	P10 ~ P12、 P30 ~ P32、 P90 ~ P93	$I_{OL} = 0.4\text{mA}$	-	-	0.5	V	
			P82 ~ P84	$I_{OL} = 15\text{mA}$ 、 $V_{CC} = 2.7 \sim 3.6\text{V}$	-	-		
		$I_{OL} = 10\text{mA}$ 、 $V_{CC} = 2.2 \sim 3.6\text{V}$		-	-	0.5		
		$I_{OL} = 8\text{mA}$		-	-	0.5		
		SCL、SDA	$I_{OL} = 3.0\text{mA}$	-	-	0.4		
入出力リーク 電流	$ I_{IL} $	TEST、NMI* ³ 、 OSC1、X1、 P10 ~ P12、 P30 ~ P32、 P82 ~ P84、 P90 ~ P93、 E7_0 ~ E7_2	$V_{IN} = 0.5\text{V} - V_{CC} - 0.5\text{V}$	-	-	1.0	μA	
		PB0 ~ PB5	$V_{IN} = 0.5\text{V} - AV_{CC} - 0.5\text{V}$	-	-	1.0		

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
ブルアップ MOS 電流	$-I_p$	P10~P12、 P30~P32、 P82~P84、 P90~P93	$V_{CC} = 3V$ 、 $V_{IN} = 0V$	30	-	180	μA	
入力容量	C_{IN}	電源端子を除く 全入力端子	$f = 1MHz$ 、 $V_{IN} = 0V$ 、 $T_a = 25$	-	-	15.0	pF	
アクティブモード 消費電流	I_{OPE1}	V_{CC}	アクティブ（高速）モード、 $V_{CC} = 1.8V$ 、 $f_{OSC} = 2MHz$	-	1.1	-	mA	max 目安 = 1.1 $\times typ$ *1 *2
			アクティブ（高速）モード、 $V_{CC} = 3V$ 、 $f_{OSC} = R_{OSC}$	-	1.2	-		max 目安 = 1.1 $\times typ$ *1 *2 参考値
			アクティブ（高速）モード、 $V_{CC} = 3V$ 、 $f_{OSC} = 4.2MHz$	-	2.6	4.0		*1 *2 4MHz 版
			アクティブ（高速）モード、 $V_{CC} = 3V$ 、 $f_{OSC} = 10MHz$	-	6.0	10.0		*1 *2 10MHz 版
	I_{OPE2}	V_{CC}	アクティブ（中速）モード、 $V_{CC} = 1.8V$ 、 $f_{OSC} = 2MHz$ 、 $osc/64$ 時	-	0.4	-	mA	max 目安 = 1.1 $\times typ$ *1 *2
			アクティブ（中速）モード、 $V_{CC} = 3V$ 、 $f_{OSC} = 4.2MHz$ 、 $osc/64$ 時	-	0.7	1.1		*1 *2 4MHz 版
			アクティブ（中速）モード、 $V_{CC} = 3V$ 、 $f_{OSC} = 10MHz$ 、 $osc/64$ 時	-	0.8	1.3		*1 *2 10MHz 版
	スリープモード 消費電流	I_{SLEEP}	V_{CC}	$V_{CC} = 1.8V$ 、 $f_{OSC} = 2MHz$	-	0.9	-	mA
$V_{CC} = 3V$ 、 $f_{OSC} = 4.2MHz$				-	2.0	3.2	*1 *2 4MHz 版	
$V_{CC} = 3V$ 、 $f_{OSC} = 10MHz$				-	4.2	6.4	*1 *2 10MHz 版	

21. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
サブアクティブ モード消費電流	I _{SUB}	V _{CC}	V _{CC} = 2.7V、 32kHz 水晶発振子使用時 ($I_{SUB} = I_{W8}$)	-	7.0	-	μA	*1 *2 参考値
			V _{CC} = 2.7V、 32kHz 水晶発振子使用時 ($I_{SUB} = I_{W2}$)	-	25	-		*1 *2 参考値
			V _{CC} = 2.7V、 内蔵発振の 32 分周使用時 ($I_{SUB} = I_{W} = R_{OSC}/32$)	-	80	-		*1 *2 参考値
			V _{CC} = 2.7V、 32kHz 水晶発振子使用時 ($I_{SUB} = I_{W}$)	-	45	75		*1 *2
サブスリープモード 消費電流	I _{SUBSP}	V _{CC}	V _{CC} = 2.7V、 32kHz 水晶発振子使用時 ($I_{SUB} = I_{W2}$)	-	3.5	-	μA	*1 *2 参考値
			V _{CC} = 2.7V、 内蔵発振の 32 分周使用時 ($I_{SUB} = I_{W} = R_{OSC}/32$)	-	34	-		*1 *2 参考値
			V _{CC} = 2.7V、 32kHz 水晶発振子使用時 ($I_{SUB} = I_{W}$)	-	5.1	16		*1 *2
ウォッチモード 消費電流	I _{WATCH}	V _{CC}	V _{CC} = 1.8V、Ta = 25 32kHz 水晶発振子使用時	-	0.5	-	μA	*1 *2 参考値
			V _{CC} = 2.7V、 32kHz 水晶発振子使用時	-	1.5	5.0		*1 *2
スタンバイモード 消費電流	I _{STBY}	V _{CC}	V _{CC} = 3.0V、Ta = 25 32kHz 水晶発振子未使用時	-	0.1	-	μA	*1 *2 参考値
			32kHz 水晶発振子未使用時	-	1.0	5.0		*1 *2
RAM データ 保持電圧	V _{RAM}	V _{CC}		1.5	-	-	V	
出力 Low レベル 許容電流 (1 端子当たり)	I _{OL}	ポート 8 以外の出力端子		-	-	0.5	mA	
		ポート 8		-	-	15.0		
出力 Low レベル許容電流 (総和)	I _{OL}	ポート 8 以外の出力端子		-	-	20.0	mA	
		ポート 8		-	-	45.0		

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
出力 High レベル許容電流 (1端子当たり)	- I _{OH}	全出力端子	V _{CC} = 2.7 ~ 3.6V	-	-	2.0	mA	
			上記以外	-	-	0.2		
出力 High レベル許容電流 (総和)	- I _{OH}	全出力端子		-	-	10.0	mA	

【注】 *1 消費電流測定時の端子の状態

モード	RES 端子	内部状態	各端子	発振端子
アクティブ (高速) モード (I _{OP1}) アクティブ (中速) モード (I _{OP2})	V _{CC}	CPU のみ動作	V _{CC}	システムクロック発振器 : 水晶発振器 サブクロック発振器 : X1 端子 = GND
スリープモード	V _{CC}	内蔵の全タイマのみ動作	V _{CC}	
サブアクティブモード	V _{CC}	CPU のみ動作	V _{CC}	システムクロック発振器 :
サブスリープモード	V _{CC}	内蔵の全タイマのみ動作 CPU は停止	V _{CC}	水晶発振器 サブクロック発振器 :
ウォッチモード	V _{CC}	時計用タイマ ベースのみ動作 CPU は停止	V _{CC}	水晶発振器
スタンバイモード	V _{CC}	CPU、タイマ ともに停止 SUBSTP = 1	V _{CC}	システムクロック発振器 : 水晶発振器 サブクロック発振器 : 水晶発振器

*2 ブルアップ MOS や出力バッファに流れる電流は除きます。

*3 リセット解除時のユーザモード / ブートモード判定に使用します。

*4 PFCR の IRQ0S1、IRQ0S0 ビット、IRQ1S1、IRQ1S0 ビットの設定が B'01、10 の場合、max V_{CC}+0.3 (V) となります。

21. 電氣的特性

21.2.3 AC 特性

制御信号タイミングを表 21.3 に、シリアルインタフェースタイミングを表 21.4 に、シンクロナスシリアルコ
ミュニケーションユニットタイミングを表 21.5 に、I²C バスインタフェースタイミングを表 21.6 に示します。

表 21.3 制御信号タイミング

(特記なき場合、V_{CC} = 1.8 ~ 3.6V、AV_{CC} = 1.8 ~ 3.6V、V_{SS} = 0.0V)

項 目	記号	適用端子	測定条件	規格値			単位	参照図	
				min.	typ.	max.			
システムクロック 発振器発振周波数	f _{OSC}	OSC1、OSC2	V _{CC} = 2.7 ~ 3.6V (10MHz 版)	4.0	-	10.0	MHz		
			V _{CC} = 1.8 ~ 3.6V (4MHz 版)	2.0	-	4.2			
OSC クロック (_{OSC}) サイクル時間	t _{OSC}	OSC1、OSC2	V _{CC} = 2.7 ~ 3.6V (10MHz 版)	100	-	250	ns	図 21.15	
			V _{CC} = 1.8 ~ 3.6V (4MHz 版)	238	-	500			
システムクロック () サイクル時間	t _{CYC}			1	-	64	t _{OSC}		
			V _{CC} = 2.7 ~ 3.6V (10MHz 版)	-	-	16			μs
			V _{CC} = 1.8 ~ 3.6V (4MHz 版)	-	-	32			
内蔵発振器発振周波数	f _{ROSC}			0.3	-	2.6	MHz	参考値	
内蔵発振クロック サイクル時間	t _{ROSC}			0.38	-	3.3	μs	参考値	
サブクロック発振器 発振周波数	f _W	X1、X2		-	32.768 または 38.4	-	kHz		
ウォッチクロック (_W) サイクル時間	t _W	X1、X2		-	30.5 または 26.0	-	μs	図 21.15	
サブクロック (_{SUB}) サイクル時間	t _{SUBCYC}			1	-	8	t _W	*1	
インストラクション サイクル時間				2	-	-	t _{CYC} t _{SUBCYC}		
発振安定時間	t _{RC}	OSC1、OSC2	セラミック発振子の場合 (V _{CC} =2.2 ~ 3.6V)	-	20	45	μs	図 21.28	
			セラミック発振子の場合 上記以外	-	80	-			
			水晶発振子の場合 (V _{CC} =2.7 ~ 3.6V)	-	300	800			
			水晶発振子の場合 (V _{CC} =2.2 ~ 3.6V)	-	600	1000			
		上記以外	-	-	50	ms			
		内蔵発振器	電源投入時	-	15	25	μs		

21. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
発振安定時間	t _{rc}	X1、X2	V _{CC} = 2.2 ~ 3.6V	-	-	2	s	図 4.6 図 4.7
			上記以外	-	4	-		
外部クロック High レベル幅	t _{CPH}	OSC1	V _{CC} = 2.7 ~ 3.6V (10MHz 版)	40			ns	図 21.15
			V _{CC} = 1.8 ~ 3.6V (4MHz 版)	95				
外部クロック Low レベル幅	t _{CPL}	X1			15.26 または 13.02		μs	図 21.15
			OSC1	V _{CC} = 2.7 ~ 3.6V (10MHz 版)	40			
外部クロック 立ち上がり時間	t _{CPt}	OSC1	V _{CC} = 2.7 ~ 3.6V (10MHz 版)			10	ns	図 21.15
			V _{CC} = 1.8 ~ 3.6V (4MHz 版)			24		
外部クロック 立ち下がり時間	t _{CPt}	X1				55.0	ns	図 21.15
			OSC1	V _{CC} = 2.7 ~ 3.6V (10MHz 版)				
RES 端子 Low レベル幅	t _{REL}	RES	電源投入時、下記以外	t _{rc} + 20 × t _{cyt}			μs	図 21.16*2
			アクティブ、 スリープモード時	20				
入力端子 High レベル幅	t _{IH}	IRQ0、IRQ1、NMI、 IRQAEC、ADTRG、 FTCI、FTIOA、 FTIOB、FTIOC、 FTIOD		2			t _{cyt} t _{subcyt}	図 21.17
			AEVL、AEVH	V _{CC} = 2.7 ~ 3.6V (10MHz 版)	50			
入力端子 Low レベル幅	t _{IL}	IRQ0、IRQ1、NMI、 IRQAEC、ADTRG、 FTCI、FTIOA、 FTIOB、FTIOC、 FTIOD		2			t _{cyt} t _{subcyt}	図 21.17
			AEVL、AEVH	V _{CC} = 2.7 ~ 3.6V (10MHz 版)	50			
			V _{CC} = 1.8 ~ 3.6V (4MHz 版)	110				

【注】 *1 システムコントロールレジスタ 2 (SYSCR2) の SA1、SA0 の設定により決定します。

*2 パワーオンリセット特性は表 21.10 および図 21.26 を参照してください。

21. 電氣的特性

表 21.4 シリアルインタフェースタイミング

(特記なき場合、 $V_{CC} = 1.8 \sim 3.6V$ 、 $AV_{CC} = 1.8 \sim 3.6V$ 、 $V_{SS} = 0.0V$)

項 目	記号	測定条件	規格値			単位	参照図
			min.	typ.	max.		
入力 クロックサイクル	調歩同期	t_{SCYC}		4		t_{CYC} または t_{SUBCYC}	図 21.18
	クロック同期			6			
入力クロックパルス幅	t_{SCKW}		0.4		0.6	t_{SCYC}	図 21.18
送信データ遅延時間 (クロック同期)	t_{TXD}				1	t_{CYC} または t_{SUBCYC}	図 21.19
受信データセットアップ時間 (クロック同期)	t_{RXS}		400.0			ns	図 21.19
受信データホールド時間 (クロック同期)	t_{RXH}		400.0			ns	図 21.19

表 21.5 シンクロナスシリアルコミュニケーションユニット (SSU) タイミング

(特記なき場合、 $V_{CC}=1.8 \sim 3.6V$ 、 $V_{SS}=0.0V$ 、出力負荷=100pF)

項 目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
クロックサイクル	t_{SUCYC}	SCK		4			t_{CYC}	図 21.20
クロックハイレベルパルス幅	t_{HI}	SCK		0.4		0.6	t_{SUCYC}	図 21.21
クロックローレベルパルス幅	t_{LO}	SCK		0.4		0.6	t_{SUCYC}	図 21.22
クロック立ち 上がり時間	マスタ	t_{RISE}	SCK			1	t_{CYC}	図 21.23
	スレーブ					1.0	μs	図 21.24
クロック立ち 下がり時間	マスタ	t_{FALL}	SCK			1	t_{CYC}	
	スレーブ					1.0	μs	
データ入力セットアップ時間	t_{SU}	SSO SSI		1			t_{CYC}	
データ入力ホールド時間	t_{H}	SSO SSI		1			t_{CYC}	
SCS セットア ップ時間	スレーブ	t_{LEAD}	\overline{SCS}			$1 t_{CYC}$ $+100$	ns	
SCS ホールド 時間	スレーブ	t_{LAG}	\overline{SCS}			$1 t_{CYC}$ $+100$	ns	
データ出力遅延時間		t_{OD}	SSO SSI			1	t_{CYC}	
スレーブアクセス時間		t_{SA}	SSI			$1 t_{CYC}$ $+100$	ns	
スレーブアウト開放時間		t_{OR}	SSI			$1 t_{CYC}$ $+100$	ns	

表 21.6 I²C バスインタフェースタイミング(特記なき場合、V_{CC} = 1.8 ~ 3.6V、V_{SS} = 0.0V、T_a = - 20 ~ + 75)

項 目	記号	測定条件	規格値			単位	参照図
			min.	typ.	max.		
SCL 入力サイクル時間	t _{SCL}		12t _{cyc} + 600			ns	図 21.25
SCL 入力 High パルス幅	t _{SCLH}		3t _{cyc} + 300			ns	
SCL 入力 Low パルス幅	t _{SCLL}		5t _{cyc} + 300			ns	
SCL、SDA 入力立ち下がり時間	t _{SI}				300	ns	
SCL、SDA 入カスパイクパルス除去時間	t _{SP}				1t _{cyc}	ns	
SDA 入カバスフリー時間	t _{BUF}		5t _{cyc}			ns	
開始条件入カホールド時間	t _{STAH}		3t _{cyc}			ns	
再送開始条件入カセットアップ時間	t _{STAS}		3t _{cyc}			ns	
停止条件入カセットアップ時間	t _{STOS}		3t _{cyc}			ns	
データ入カセットアップ時間	t _{SDAS}		1t _{cyc} + 20			ns	
データ入カホールド時間	t _{SDAH}		0			ns	
SCL、SDA の容量性負荷	C _b		0		400	pF	
SCL、SDA 出力立ち下がり時間	t _{SI}				300	ns	

21. 電気的特性

21.2.4 A/D 変換器特性

A/D 変換器特性を表 21.7 に示します。

表 21.7 A/D 変換器特性

(特記なき場合、 $V_{CC} = 1.8 \sim 3.6V$ 、 $V_{SS} = 0.0V$)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
アナログ電源電圧	AV_{CC}	AV_{CC}		1.8		3.6	V	*1
アナログ入力電圧	AV_{IN}	AN0 ~ AN5		- 0.3		$AV_{CC} + 0.3$	V	
アナログ電源電流	AI_{OPE}	AV_{CC}	$AV_{CC} = 3.0V$			1.0	mA	
	AI_{STOP1}	AV_{CC}			600		μA	*2 参考値
	AI_{STOP2}	AV_{CC}				5	μA	*3
アナログ入力容量	C_{AIN}	AN0 ~ AN5				15.0	pF	
許容信号源インピーダンス	R_{AIN}					10.0	k	
分解能(データ長)						10	ビット	
非直線性誤差			$AV_{CC} = 2.7 \sim 3.6V$ $V_{CC} = 2.7 \sim 3.6V$			± 3.5	LSB	サブクロック動作除く サブアクティブモード サブスリープモード 変換時間 = 31/ w *4
			$AV_{CC} = 2.0 \sim 3.6V$ $V_{CC} = 2.0 \sim 3.6V$			± 5.5		
			サブクロック動作時			± 5.5		
			上記以外			± 7.5		
量子化誤差						± 0.5	LSB	
絶対精度			$AV_{CC} = 2.7 \sim 3.6V$ $V_{CC} = 2.7 \sim 3.6V$			± 4.0	LSB	サブアクティブモード サブスリープモード 変換時間 = 31/ w *4
			$AV_{CC} = 2.0 \sim 3.6V$ $V_{CC} = 2.0 \sim 3.6V$			± 6.0		
			サブクロック動作時			± 6.0		
			上記以外			± 8.0		
変換時間			$AV_{CC} = 2.7 \sim 3.6V$ $V_{CC} = 2.7 \sim 3.6V$	12.4		124	μs	システムクロック 発振器選択時 内蔵発振器選択時 参考値 ($f_{ROSC} = 1MHz$ 時) $SUB = 38.4kHz$ 時 $SUB = 32.8kHz$ 時 $SUB = ROsc/32$ 時 参考値 ($f_{ROSC} = 1MHz$ 時)
				31	62	124		
						807		
						945		
						992		

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
変換時間			AV _{CC} = 2.7 ~ 3.6V V _{CC} = 2.7 ~ 3.6V 以外	29.5		124	μs	システムクロック 発振器選択時
				31	62	124		内蔵発振器選択時 参考値 (f _{ROSC} =1MHz 時)
					807			SUB=38.4kHz 時
					945			SUB=32.8kHz 時
					992			SUB=R _{OSC} /32 時 参考値 (f _{ROSC} =1MHz 時)

【注】 *1 A/D 変換器を使用しない場合は AV_{CC} = V_{CC} としてください。

*2 AI_{STOP1} は A/D 変換待機中のラダー抵抗動作時の電流値です。

*3 AI_{STOP2} はリセット、スタンバイモード、ウォッチモードでの A/D 変換待機時の電流値です。

*4 変換時間 29.5 μs。

21.2.5 コンパレータ特性

コンパレータ特性を表 21.8 に示します。

表 21.8 コンパレータ特性

(特記なき場合、V_{CC}=1.8~3.6V、V_{SS}=0.0V)

項目	測定条件	規格値			単位	備考
		min.	typ.	max.		
精度	1LSB=V _{CC} /30		1/2		LSB	内部抵抗比較時
変換時間				15	μs	
外部入力基準電圧	V _{Cref} 端子	0.9		0.9 × V _{CC}	V	
内部抵抗比較電圧		0.9		26/30 × V _{CC}	V	
コンパレータ入力電圧	COMP0、COMP1 端子	-0.3		AV _{CC} +0.3	V	
ラダー抵抗			3		M	参考値

21.2.6 ウォッチドッグタイマ特性

表 21.9 ウォッチドッグタイマ特性

(特記なき場合、V_{CC}=1.8~3.6V、V_{SS}=0.0V)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
内蔵発振器オーバフロー時間	t _{OVF}			0.2	0.4		s	*

【注】 * 内蔵発振器を選択した状態で、0~255 までカウントアップし、内部リセットが発生するまでの時間を示します。

21. 電氣的特性

21.2.7 パワーオンリセット回路特性

表 21.10 パワーオンリセット回路特性

(特記なき場合、 $V_{CC} = 1.8 \sim 3.6V$ 、 $AV_{CC} = 1.8 \sim 3.6V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$ (通常仕様品))

$T_a = -40 + 85$ (広温度仕様品))

項目	記号	測定条件	規格値			単位	備考
			min.	typ.	max.		
リセット電圧	V_{rst}		$0.7V_{CC}$	$0.8V_{CC}$	$0.9V_{CC}$	V	
電源立ち上がり時間	t_{vtr}		V_{CC} の立ち上がり時間は、RESの立ち上がり時間の半分以上にしてください。				
リセットカウント時間	t_{out}		0.8		4.0	μs	内蔵発振器使用時 (参考値)
			3.2		26.7	μs	
カウント開始時間	t_{cr}		RES端子の外付けコンデンサの値で調整可能				
ブルアップ抵抗値	R_p		60	100	-	k	

21.2.8 フラッシュメモリ特性

表 21.11 フラッシュメモリ特性

条件： $AV_{CC} = 1.8 \sim 3.6V$ 、 $V_{SS} = 0V$ 、 $V_{CC} = 1.8 \sim 3.6V$ (読み出し時の動作電圧範囲)、

$V_{CC} = 3.0 \sim 3.6V$ (書き込み/消去時の動作電圧範囲)、 $T_a = 0 \sim +75$ (書き込み/消去時の動作温度範囲)

項目		記号	測定条件	規格値			単位	
				min.	typ.	max.		
書き込み時間 (128 バイト当たり) *1 *2 *4		t_p			7	200	ms	
消去時間 (1 ブロック当たり) *1 *3 *6		t_E			100	1200	ms	
書き替え回数		N_{WEC}		1000^{*8} *11	10000^{*9}		回	
				100^{*8*12}	10000^{*9}			
データ保持時間		t_{DRP}		10^{*10}			年	
書き込み時	SWE ビットセット後の待機時間*1	x			1		μs	
	PSU ビットセット後の待機時間*1	y			50		μs	
	P ビットセット後の待機時間*1 *4	z1	1 n 6		28	30	32	μs
		z2	7 n 1000		198	200	202	μs
		z3	追加書き込み		8	10	12	μs
	P ビットクリア後の待機時間*1				5		μs	
	PSU ビットクリア後の待機時間*1				5		μs	
	PV ビットセット後の待機時間*1				4		μs	
	ダミーライト後の待機期間*1				2		μs	
PV ビットクリア後の待機時間*1				2		μs		
SWE ビットクリア後の待機時間*1				100		μs		

項目	記号	測定条件	規格値			単位
			min.	typ.	max.	
書き込み時	最大書き込み回数 ^{*1 *4 *5}	N			1000	回
消去時	SWE ビットセット後の待機時間 ^{*1}	x	1			μs
	ESU ビットセット後の待機時間 ^{*1}	y	100			μs
	E ビットセット後の待機時間 ^{*1 *6}	z	10		100	ms
	E ビットクリア後の待機時間 ^{*1}		10			μs
	ESU ビットクリア後の待機時間 ^{*1}		10			μs
	EV ビットセット後の待機時間 ^{*1}		20			μs
	ダミーライト後の待機期間 ^{*1}		2			μs
	EV ビットクリア後の待機時間 ^{*1}		4			μs
	SWE ビットクリア後の待機時間 ^{*1}		100			μs
	最大消去回数 ^{*1 *6 *7}	N			120	回

- 【注】 *1 各時間の設定は、プログラム/イレースのアルゴリズムに従い行ってください。
- *2 128 バイト当たりの書き込み時間で、フラッシュメモリコントロールレジスタ 1 (FLMCR1) の P ビットをセットしているトータル期間を示します。プログラムベリファイ時間は含みません。
- *3 1 ブロックを消去する時間で、フラッシュメモリコントロールレジスタ 1 (FLMCR1) の E ビットをセットしているトータル期間を示します。イレースベリファイ時間は含まれません。
- *4 書き込み時間の最大値 (tp(MAX)) = P ビットセット後の待機時間(z) × 最大書き込み回数(N)
- *5 最大書き込み回数(N)は、実際の z1、z2、z3 の設定値に合わせ、書き込み時間の最大値 tp(MAX)以下となるように設定してください。また、P ビットセット後の待機時間 (z1、z2) は、下記のように書き込み回数(n)の値によって切り替えてください。

書き込み回数 n

$$1 \leq n \leq 6 \quad z1 = 30 \mu s$$

$$7 \leq n \leq 1000 \quad z2 = 200 \mu s$$

- *6 消去時間の最大値 (te(MAX)) = E ビットセット後の待機時間(z) × 最大消去回数(N)
- *7 最大消去回数(N)は、実際の(z)の設定値に合わせ、消去時間の最大値 (te(MAX)) 以下となるように設定してください。
- *8 書き換え後のすべての特性を保証する min 回数です (保証は 1 ~ min 値の範囲です)。
- *9 25 °C のときの参考値です (通常この値まで書き換えは機能するという目安です)。
- *10 書き換えが min 値を含む仕様範囲内で行われたときのデータ保持特性です。
- *11 読み出し時の動作電圧範囲が 2.7 ~ 3.6V の場合に適用します。
- *12 読み出し時の動作電圧範囲が 1.8 ~ 3.6V の場合に適用します。

21. 電気的特性

21.3 マスク ROM 版の絶対最大定格

絶対最大定格を表 21.12 に示します。

表 21.12 絶対最大定格

項 目	記号	規格値	単位	備考	
電源電圧	V_{CC}	- 0.3 ~ + 4.3	V	*	
アナログ電源電圧	AV_{CC}	- 0.3 ~ + 4.3	V		
入力電圧	ポート B 以外	V_{in}	- 0.3 ~ $V_{CC} + 0.3$		V
	ポート B	AV_{in}	- 0.3 ~ $AV_{CC} + 0.3$		V
動作温度	T_{opr}	- 20 ~ + 75 (通常仕様品)			
		- 40 ~ + 85 (広温度範囲仕様品)			
保存温度	T_{stg}	- 55 ~ + 125			

【注】 * 絶対最大定格をこえて LSI を使用した場合、LSI の永久破壊となることがあります。また、通常動作では、「電気的特性」の条件で使用することが望ましく、この条件をこえると LSI の誤動作の原因になるとともに、LSI の信頼性に悪影響をおよぼすことがあります。

21.4 マスク ROM 版の電气的特性

21.4.1 電源電圧と動作範囲

電源電圧と動作範囲（網かけ部）を以下に示します。

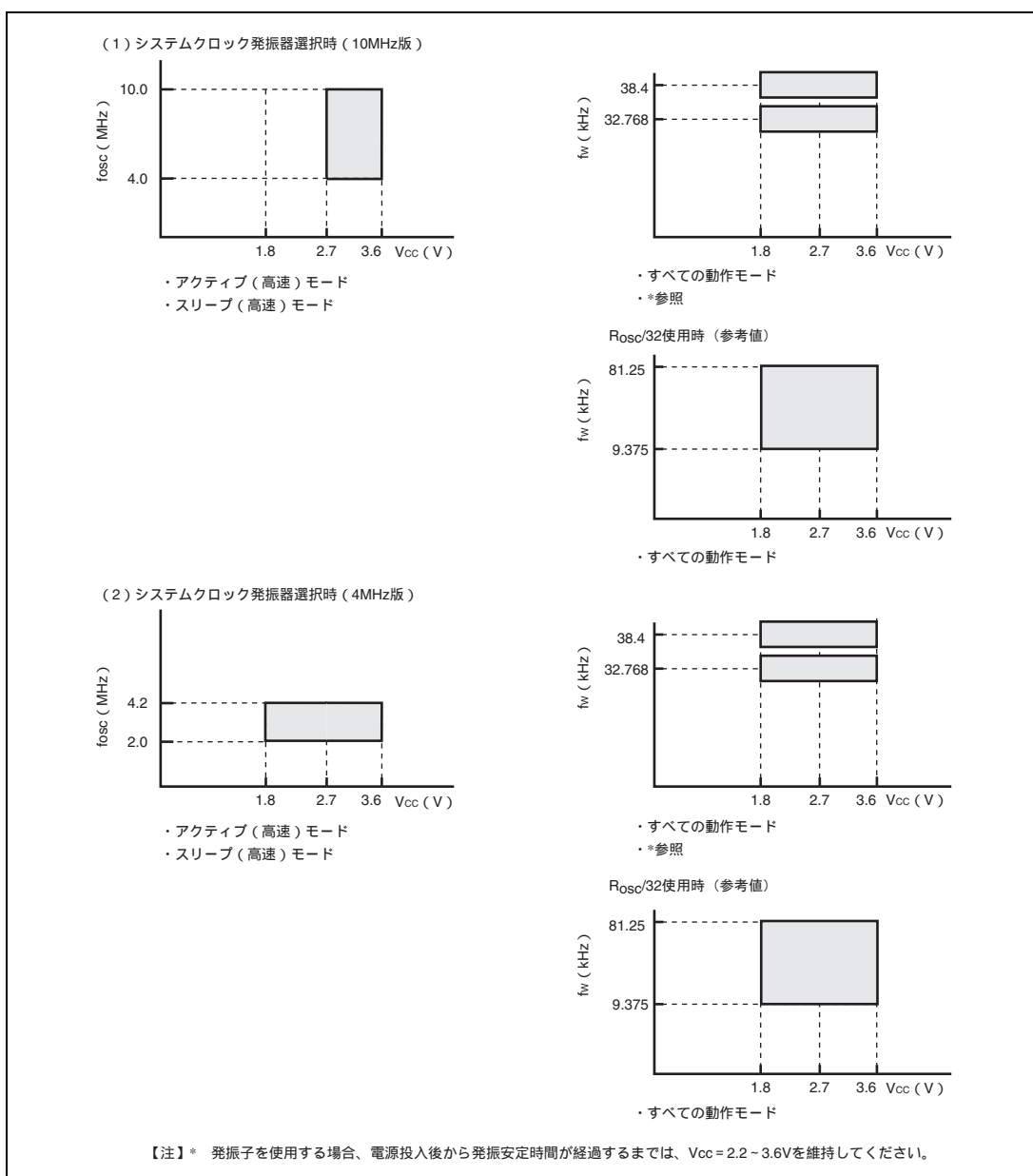


図 21.8 電源電圧と発振周波数の範囲（1）

21. 電気的特性

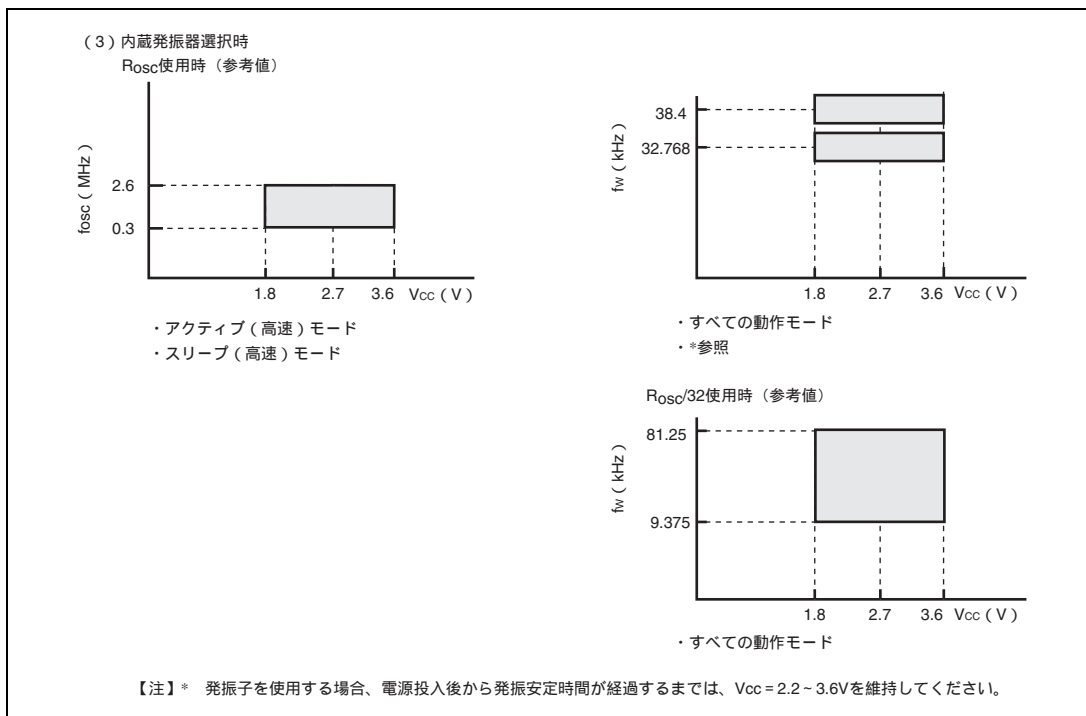


図 21.9 電源電圧と発振周波数の範囲 (2)

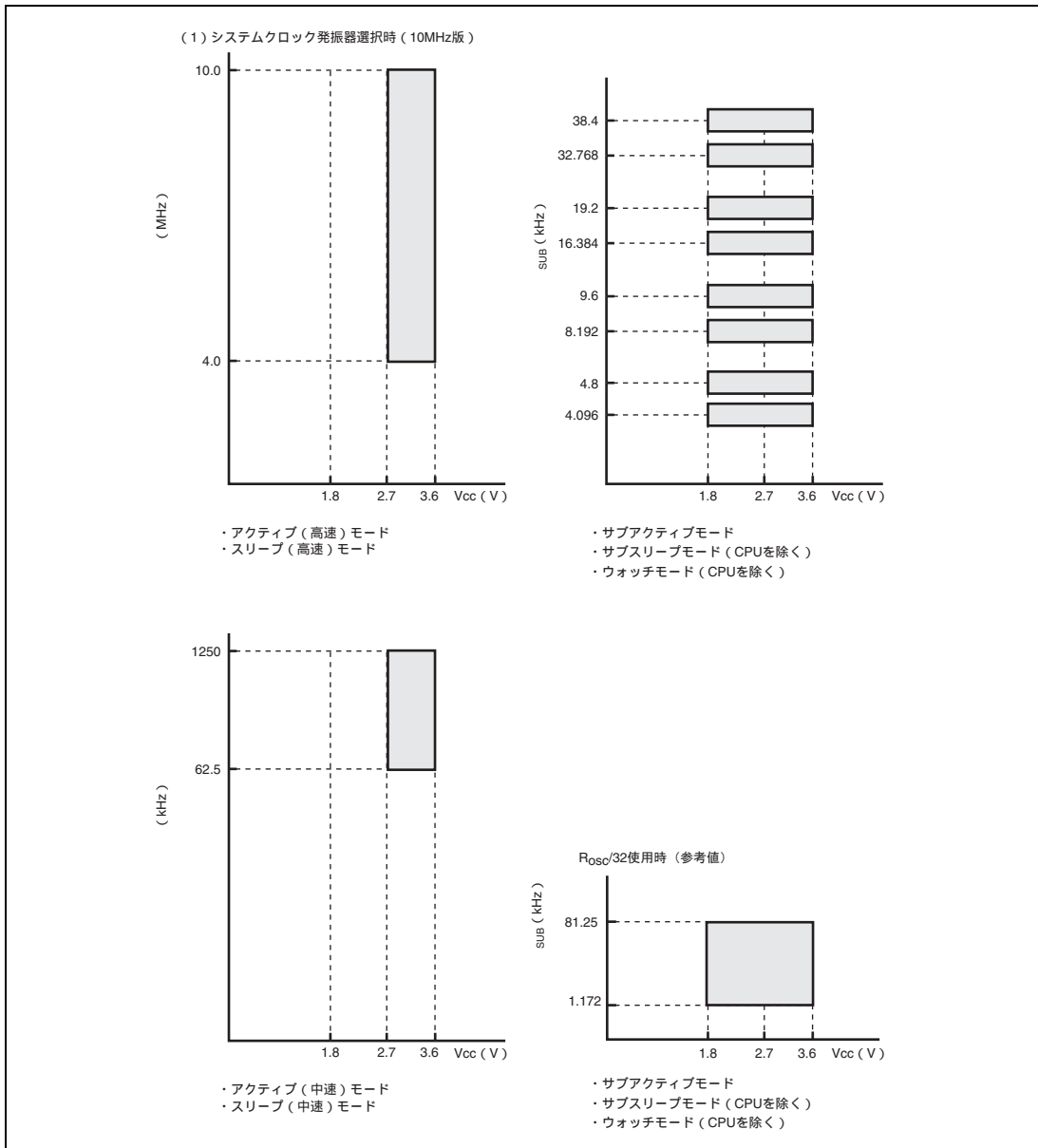


図 21.10 電源電圧と動作周波数の範囲 (1)

21. 電気的特性

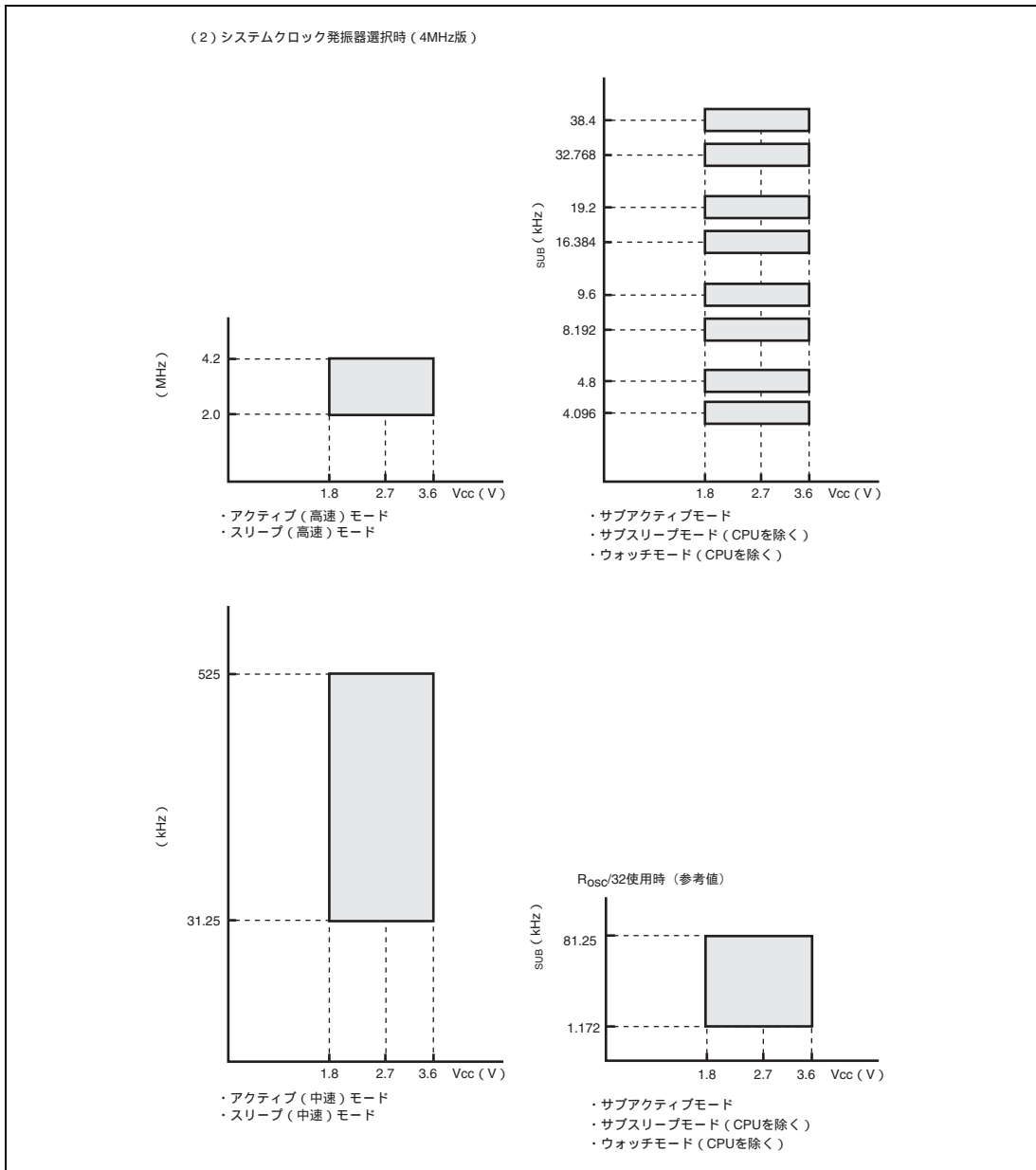


図 21.11 電源電圧と動作周波数の範囲 (2)

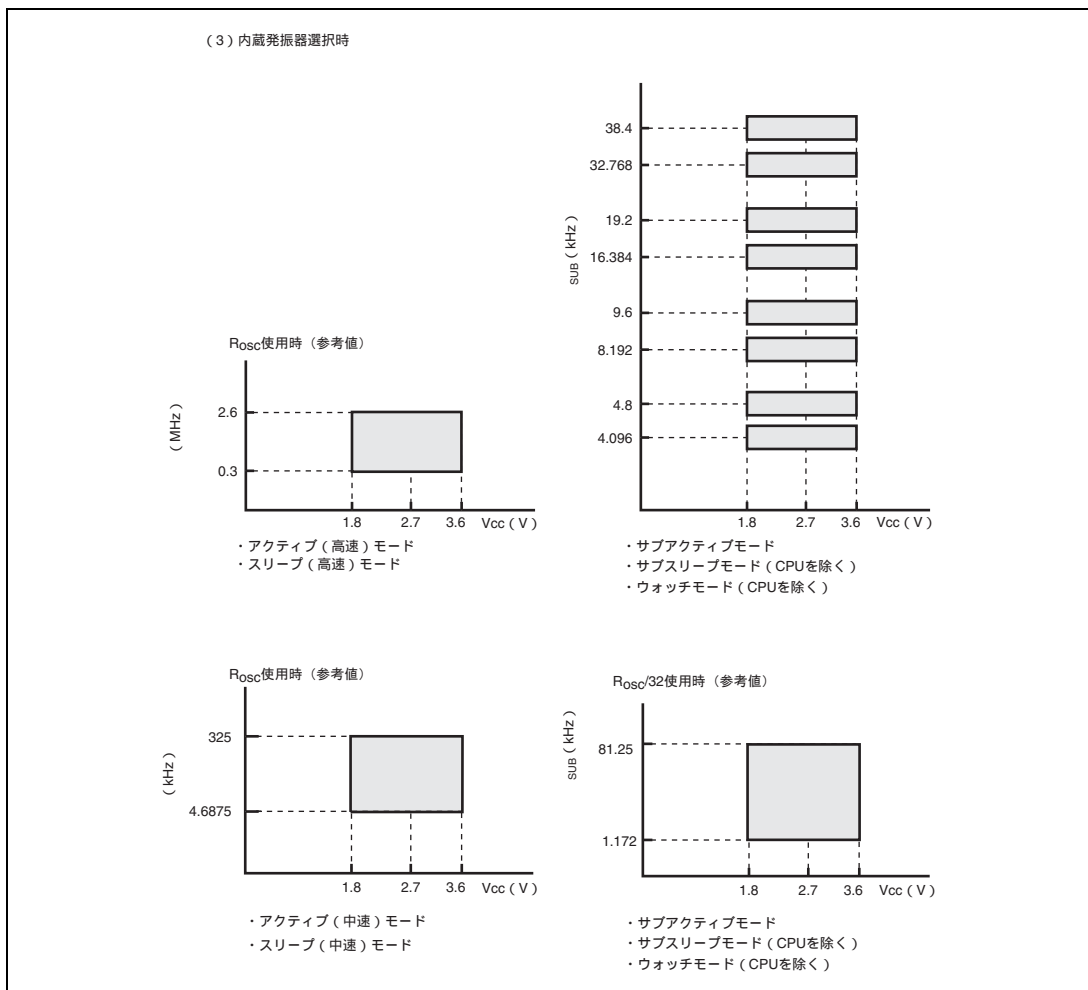


図 21.12 電源電圧と動作周波数の範囲 (3)

21. 電気的特性

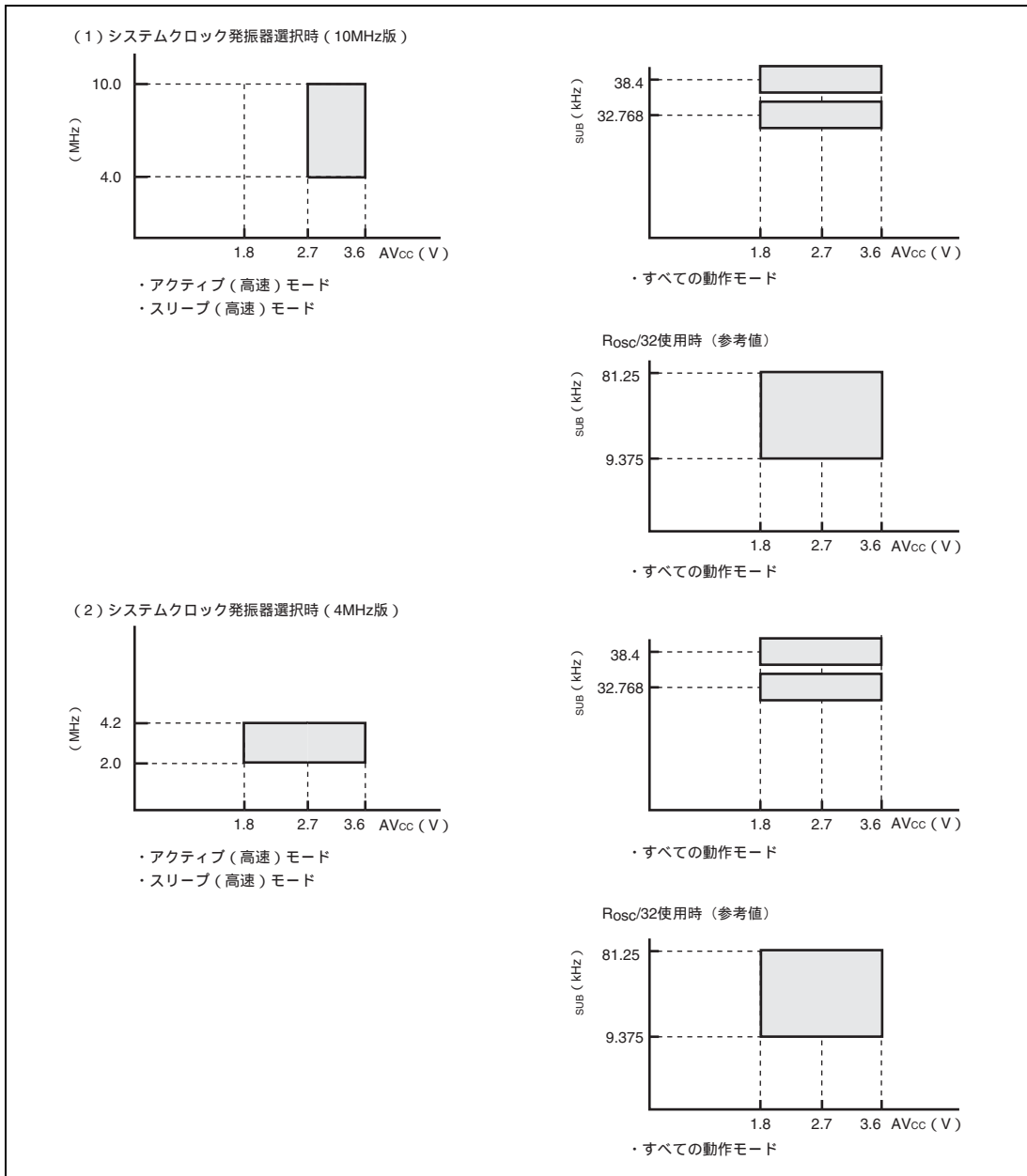


図 21.13 アナログ電源電圧と A/D 変換器の動作範囲 (1)

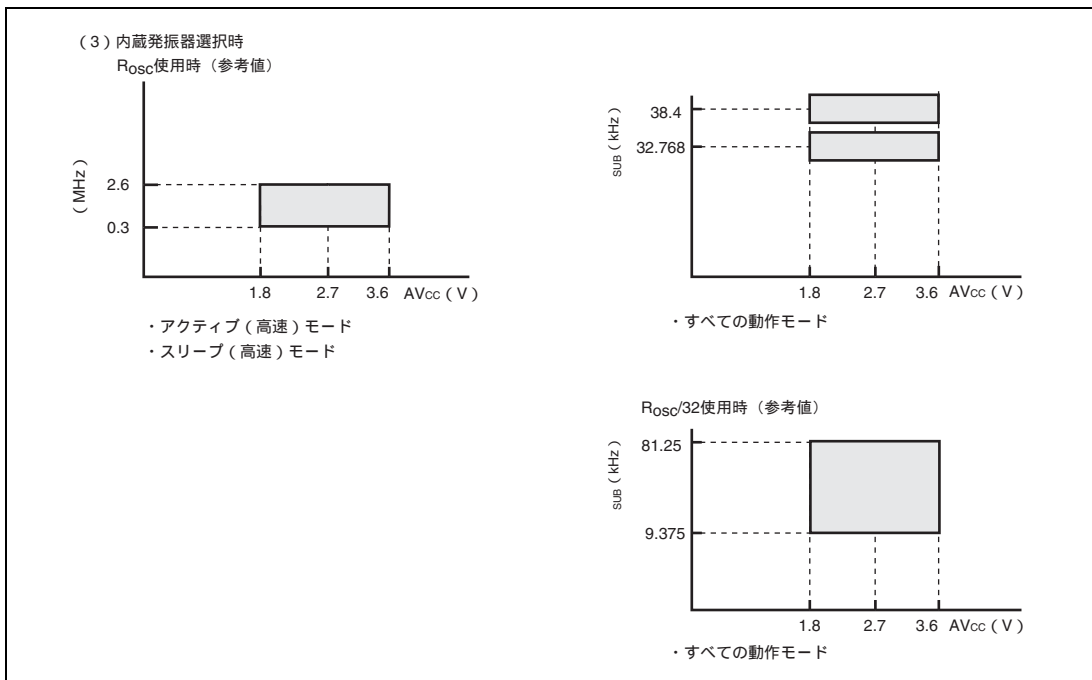


図 21.14 アナログ電源電圧と A/D 変換器の動作範囲 (2)

21. 電気的特性

21.4.2 DC 特性

DC 特性を表 21.13 に示します。

表 21.13 DC 特性

(特記なき場合、 $V_{CC} = 1.8 \sim 3.6V$ 、 $AV_{CC} = 1.8 \sim 3.6V$ 、 $V_{SS} = 0.0V$)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力 High レベル電圧	V_{IH}	\overline{RES} 、 \overline{TEST} 、 \overline{NMI} 、 AEVL、AEVH、 \overline{ADTRG} 、SCK3、 IRQAEC		$0.9V_{CC}$	-	$V_{CC} + 0.3$	V	
		$\overline{IRQ0}^{*3}$ 、 $\overline{IRQ1}^{*3}$		$0.9V_{CC}$	-	$AV_{CC} + 0.3$	V	
		RXD3、IrRXD		$0.8V_{CC}$	-	$V_{CC} + 0.3$	V	
		OSC1		$0.9V_{CC}$	-	$V_{CC} + 0.3$	V	
		X1		$0.9V_{CC}$	-	$V_{CC} + 0.3$	V	
		P10 ~ P12、 P30 ~ P32、 P82 ~ P84、 P90 ~ P93、 SCL、SDA、SSI、 SSO、SSCK、 \overline{SCS} 、 FTCI、FTIOA、 FTIOB、FTIOC、 FTIOD、 E7_0 ~ E7_2		$0.8V_{CC}$	-	$V_{CC} + 0.3$	V	
		PB0 ~ PB5		$0.8V_{CC}$	-	$AV_{CC} + 0.3$		
入力 Low レベル電圧	V_{IL}	TEST、 \overline{NMI} 、 $\overline{IRQ0}$ 、 $\overline{IRQ1}$ 、 IRQAEC、AEVL、 AEVH、 \overline{ADTRG} 、 SCK3		- 0.3	-	$0.1V_{CC}$	V	
		RXD3、IrRXD		- 0.3	-	$0.2V_{CC}$	V	
		OSC1		- 0.3	-	$0.1V_{CC}$	V	
		X1		- 0.3	-	$0.1V_{CC}$	V	

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力 Low レベル電圧	V_{IL}	P10 ~ P12、 P30 ~ P32、 P82 ~ P84、 P90 ~ P93、 SCL、SDA、 PB0 ~ PB5、 SSI、SSO、SSCK、 \overline{SCS} 、FTCI、 FTIOA、FTIOB、 FTIOC、FTIOD、 E7_0 ~ E7_2		- 0.3	-	$0.2V_{CC}$	V	
出力 High レベル電圧	V_{OH}	P10 ~ P12、 P30 ~ P32、 P90 ~ P93	- $I_{OH} = 1.0\text{mA}$ $V_{CC} = 2.7 \sim 3.6\text{V}$	$V_{CC} - 1.0$	-	-	V	
			- $I_{OH} = 0.1\text{mA}$	$V_{CC} - 0.3$	-	-		
		P82 ~ P84	- $I_{OH} = 1.0\text{mA}$ $V_{CC} = 2.7 \sim 3.6\text{V}$	$V_{CC} - 1.0$	-	-		
			- $I_{OH} = 0.1\text{mA}$	$V_{CC} - 0.3$	-	-		
出力 Low レベル電圧	V_{OL}	P10 ~ P12、 P30 ~ P32、 P90 ~ P93	$I_{OL} = 0.4\text{mA}$	-	-	0.5	V	
			P82 ~ P84	$I_{OL} = 15\text{mA}$ $V_{CC} = 2.7 \sim 3.6\text{V}$	-	-		
		$I_{OL} = 10\text{mA}$ $V_{CC} = 2.2 \sim 3.6\text{V}$		-	-	0.5		
		$I_{OL} = 8.0\text{mA}$		-	-	0.5		
		SCL、SDA	$I_{OL} = 3.0\text{mA}$	-	-	0.4		
入出力リーク 電流	$ I_{IL} $	TEST、 \overline{NMI} 、 OSC1、X1、 P10 ~ P12、 P30 ~ P32、 P82 ~ P84、 P90 ~ P93、 E7_0 ~ E7_2	$V_{IN} = 0.5\text{V} \sim V_{CC} - 0.5\text{V}$	-	-	1.0	μA	
		PB0 ~ PB5	$V_{IN} = 0.5\text{V} \sim AV_{CC} - 0.5\text{V}$	-	-	1.0		
ブルアップ MOS 電流	$-I_p$	P10 ~ P12、 P30 ~ P32、 P82 ~ P84、 P90 ~ P93	$V_{CC} = 3\text{V}$ 、 $V_{IN} = 0\text{V}$	30	-	180	μA	

21. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力容量	C _{IN}	電源端子を除く 全入力端子	f = 1MHz、V _{IN} = 0V、 Ta = 25	-	-	15.0	pF	
アクティブモード 消費電流	I _{OPe1}	V _{CC}	アクティブ (高速) モード、 V _{CC} = 1.8V、f _{OSC} = 2MHz	-	0.5	-	mA	max 目安 = 1.1 × typ ^{*1} ^{*2}
			アクティブ (高速) モード、 V _{CC} = 3V、f _{OSC} = R _{osc}	-	0.6	-		max 目安 = 1.1 × typ ^{*1} ^{*2} 参考値
			アクティブ (高速) モード、 V _{CC} = 3V、f _{OSC} = 4.2MHz	-	2.0	3.0		^{*1} ^{*2} 4MHz 版
			アクティブ (高速) モード、 V _{CC} = 3V、f _{OSC} = 10MHz	-	4.5	6.8		^{*1} ^{*2} 10MHz 版
	I _{OPe2}	V _{CC}	アクティブ (中速) モード、 V _{CC} = 1.8V、f _{OSC} = 2MHz、 osc/64 時	-	0.1	-	mA	max 目安 = 1.1 × typ ^{*1} ^{*2}
			アクティブ (中速) モード、 V _{CC} = 3V、f _{OSC} = 4.2MHz、 osc/64 時	-	0.3	0.5		^{*1} ^{*2} 4MHz 版
アクティブ (中速) モード、 V _{CC} = 3V、f _{OSC} = 10MHz、 osc/64 時			-	0.5	0.7	^{*1} ^{*2} 10MHz 版		
スリープモード 消費電流	I _{SLEEP}	V _{CC}	V _{CC} = 1.8V、f _{OSC} = 2MHz	-	0.3	-	mA	max 目安 = 1.1 × typ ^{*1} ^{*2}
			V _{CC} = 3V、f _{OSC} = 4.2MHz	-	1.0	1.5		^{*1} ^{*2} 4MHz 版
			V _{CC} = 3V、f _{OSC} = 10MHz	-	1.8	2.7		^{*1} ^{*2} 10MHz 版

21. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
サブアクティブ モード消費電流	I _{SUB}	V _{CC}	V _{CC} = 1.8V、 32kHz 水晶発振子使用時 (I _{SUB} = I _w /2)	-	4.0	-	μA	参考値 *1 *2
			V _{CC} = 2.7V、 32kHz 水晶発振子使用時 (I _{SUB} = I _w /8)	-	3.6	-		参考値 *1 *2
			V _{CC} = 2.7V、 32kHz 水晶発振子使用時 (I _{SUB} = I _w /2)	-	7.4	-		*1 *2 参考値
			V _{CC} = 2.7V、 内蔵発振の 32 分周使用時 (I _{SUB} = I _w = R _{OSC} /32)	-	40	-		参考値 *1 *2
			V _{CC} = 2.7V、 32kHz 水晶発振子使用時 (I _{SUB} = I _w)	-	13	25		*1 *2
サブスリープモード 消費電流	I _{SUBSP}	V _{CC}	V _{CC} = 2.7V、 32kHz 水晶発振子使用時 (I _{SUB} = I _w /2)	-	3.1	-	μA	*1 *2 参考値
			V _{CC} = 2.7V、 内蔵発振の 32 分周使用時 (I _{SUB} = I _w = R _{OSC} /32)	-	30	-		*1 *2 参考値
			V _{CC} = 2.7V、 32kHz 水晶発振子使用時 (I _{SUB} = I _w)	-	5.0	10.0		*1 *2
ウォッチモード 消費電流	I _{WATCH}	V _{CC}	V _{CC} = 1.8V、Ta = 25℃、 32kHz 水晶発振子使用時	-	0.4	-	μA	参考値 *1 *2
			V _{CC} = 2.7V、 32kHz 水晶発振子使用時	-	1.5	5.0		*1 *2
スタンバイモード 消費電流	I _{STBY}	V _{CC}	V _{CC} = 3.0V、Ta = 25℃、 32kHz 水晶発振子未使用時	-	0.1	-	μA	参考値 *1 *2
			32kHz 水晶発振子未使用時	-	1.0	5.0		*1 *2
RAM データ 保持電圧	V _{RAM}	V _{CC}		1.5	-	-	V	

21. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
出力 Low レベル許容電流 (1 端子当たり)	I _{OL}	ポート 8 以外の出力端子		-	-	0.5	mA	
		ポート 8		-	-	15.0		
出力 Low レベル許容電流 (総和)	I _{OL}	ポート 8 以外の出力端子		-	-	20.0	mA	
		ポート 8		-	-	45.0		
出力 High レベル許容電流 (1 端子当たり)	- I _{OH}	全出力端子	V _{CC} = 2.7 ~ 3.6V	-	-	2.0	mA	
			上記以外			0.2		
出力 High レベル許容電流 (総和)	- I _{OH}	全出力端子		-	-	10.0	mA	

【注】 *1 消費電流測定時の端子の状態

モード	RES 端子	内部状態	各端子	発振端子
アクティブ (高速) モード (I _{OPE1}) アクティブ (中速) モード (I _{OPE2})	V _{CC}	CPU のみ動作	V _{CC}	システムクロック発振器 : 水晶発振子 サブクロック発振器 : X1 端子 = GND
スリープモード	V _{CC}	内蔵の全タイマのみ動作	V _{CC}	
サブアクティブモード	V _{CC}	CPU のみ動作	V _{CC}	システムクロック発振器 : 水晶発振子 サブクロック発振器 : 水晶発振子
サブスリープモード	V _{CC}	内蔵の全タイマのみ動作 CPU は停止	V _{CC}	
ウォッチモード	V _{CC}	時計用タイマ ベースのみ動作 CPU は停止	V _{CC}	
スタンバイモード	V _{CC}	CPU、タイマ ともに停止 SUBSTP = 1	V _{CC}	システムクロック発振器 : 水晶発振子 サブクロック発振器 : 水晶発振子

*2 ブルアップ MOS や出力バッファに流れる電流は除きます。

*3 PFCR の IRQ0S1、IRQ0S0 ビット、IRQ1S1、IRQ1S0 ビットの設定が B'01、10 の場合、max V_{CC}+0.3 (V) となります。

21.4.3 AC 特性

制御信号タイミングを表 21.14 に、シリアルインタフェースタイミングを表 21.15 に、シンクロナスシリアルコミュニケーションユニットタイミングを表 21.16 に、I²C バスインタフェースタイミングを表 21.17 に示します。

表 21.14 制御信号タイミング

(特記なき場合、 $V_{CC} = 1.8 \sim 3.6V$ 、 $AV_{CC} = 1.8 \sim 3.6V$ 、 $V_{SS} = 0.0V$)

項目	記号	適用端子	測定条件	規格値			単位	参照図	
				min.	typ.	max.			
システムクロック 発振器発振周波数	f_{OSC}	OSC1、OSC2	$V_{CC} = 2.7 \sim 3.6V$ (10MHz 版)	4.0	-	10.0	MHz		
			$V_{CC} = 1.8 \sim 3.6V$ (4MHz 版)	2.0	-	4.2			
OSC クロック ($_{OSC}$) サイクル時間	t_{OSC}	OSC1、OSC2	$V_{CC} = 2.7 \sim 3.6V$ (10MHz 版)	100	-	250	ns	図 21.15	
			$V_{CC} = 1.8 \sim 3.6V$ (4MHz 版)	238	-	500			
システムクロック () サイクル時間	t_{CYC}			1	-	64	t_{OSC}		
			$V_{CC} = 2.7 \sim 3.6V$ (10MHz 版)	-	-	16			μs
			$V_{CC} = 1.8 \sim 3.6V$ (4MHz 版)	-	-	32			
内蔵発振器発振周波数	f_{ROSC}			0.3	-	2.6	MHz	参考値	
内蔵発振クロック サイクル時間	t_{ROSC}			0.38	-	3.3	μs	参考値	
サブクロック発振器 発振周波数	f_{W}	X1、X2		-	32.768 または 38.4	-	KHz		
ウォッチクロック ($_W$) サイクル時間	t_{W}	X1、X2		-	30.5 または 26.0	-	μs	図 21.15	
サブクロック ($_{SUB}$) サイクル時間	t_{SUBCYC}			1	-	8	t_{W}	*1	
インストラクション サイクル時間				2	-	-	t_{CYC} t_{SUBCYC}		
発振安定時間	t_{RC}	OSC1、OSC2	セラミック発振子の場合 ($V_{CC} = 2.2 \sim 3.6V$)	-	20	45	μs	図 21.28	
			セラミック発振子の場合 上記以外	-	80	-			
			水晶発振子の場合 ($V_{CC} = 2.7 \sim 3.6V$)	-	300	800			
			水晶発振子の場合 ($V_{CC} = 2.2 \sim 3.6V$)	-	600	1000			
		上記以外	-	-	50	ms			
		内蔵発振器	電源投入時	-	15	25	μs		

21. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
発振安定時間	t_{rc}	X1、X2	$V_{CC} = 2.2 \sim 3.6V$	-	-	2	s	図 4.6 図 4.7
			上記以外	-	4	-		
外部クロック High レベル幅	t_{CPH}	OSC1	$V_{CC} = 2.7 \sim 3.6V$ (10MHz 版)	40	-	-	ns	図 21.15
			$V_{CC} = 1.8 \sim 3.6V$ (4MHz 版)	95	-	-		
		X1		-	15.26 または 13.02	-	μs	
外部クロック Low レベル幅	t_{CPL}	OSC1	$V_{CC} = 2.7 \sim 3.6V$ (10MHz 版)	40	-	-	ns	図 21.15
			$V_{CC} = 1.8 \sim 3.6V$ (4MHz 版)	95	-	-		
		X1		-	15.26 または 13.02	-	μs	
外部クロック 立ち上がり時間	t_{CPI}	OSC1	$V_{CC} = 2.7 \sim 3.6V$ (10MHz 版)	-	-	10	ns	図 21.15
			$V_{CC} = 1.8 \sim 3.6V$ (4MHz 版)	-	-	24		
		X1		-	-	55.0	ns	
外部クロック 立ち下がり時間	t_{CPI}	OSC1	$V_{CC} = 2.7 \sim 3.6V$ (10MHz 版)	-	-	10	ns	図 21.15
			$V_{CC} = 1.8 \sim 3.6V$ (4MHz 版)	-	-	24		
		X1		-	-	55.0	ns	
RES 端子 Low レベル幅	t_{REL}	RES	電源投入時、下記以外	$t_{rc} + 20$ $\times t_{cyc}$	-	-	μs	図 21.16 ^{*2}
			アクティブ、 スリープモード時	20	-	-		
入力端子 High レベル幅	t_{IH}	IRQ0、IRQ1、NMI、 IRQAEC、ADTRG、 FTCI、FTIOA、 FTIOB、FTIOC、 FTIOD		2	-	-	t_{cyc} t_{subcyc}	図 21.17
			AEVL、AEVH	$V_{CC} = 2.7 \sim 3.6V$ (10MHz 版)	50	-		
			$V_{CC} = 1.8 \sim 3.6V$ (4MHz 版)	110	-	-		
入力端子 Low レベル幅	t_{IL}	IRQ0、IRQ1、NMI、 IRQAEC、ADTRG、 FTCI、FTIOA、 FTIOB、FTIOC、 FTIOD		2	-	-	t_{cyc} t_{subcyc}	図 21.17
			AEVL、AEVH	$V_{CC} = 2.7 \sim 3.6V$ (10MHz 版)	50	-		
			$V_{CC} = 1.8 \sim 3.6V$ (4MHz 版)	110	-	-		

【注】 *1 システムコントロールレジスタ 2 (SYSCR2) の SA1、SA0 の設定により決定します。

*2 パワーオンリセット特性は表 21.21 および図 21.26 を参照してください。

表 21.15 シリアルインタフェースタイミング

(特記なき場合、 $V_{CC} = 1.8 \sim 3.6V$ 、 $AV_{CC} = 1.8 \sim 3.6V$ 、 $V_{SS} = 0.0V$)

項 目	記号	測定条件	規格値			単位	参照図
			min.	typ.	max.		
入力 クロックサイクル	調歩同期	t_{SCYC}	4	-	-	t_{CYC} または t_{SUBCYC}	図 21.18
	クロック同期		6	-	-		
入力クロックパルス幅	t_{SCKW}		0.4	-	0.6	t_{SCYC}	図 21.18
送信データ遅延時間 (クロック同期)	t_{TXD}			-	1	t_{CYC} または t_{SUBCYC}	図 21.19
受信データセットアップ時間 (クロック同期)	t_{RXS}		400.0	-	-	ns	図 21.19
受信データホールド時間 (クロック同期)	t_{RXH}		400.0	-	-	ns	図 21.19

表 21.16 シンクロナスシリアルコミュニケーションユニット (SSU) タイミング

(特記なき場合、 $V_{CC} = 1.8 \sim 3.6V$ 、 $V_{SS} = 0.0V$ 、出力負荷=100pF)

項 目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
クロックサイクル	t_{SUCYC}	SSCK		4	-	-	t_{CYC}	図 21.20
クロックハイレベルパルス幅	t_{HI}	SSCK		0.4	-	0.6	t_{SUCYC}	図 21.21
クロックローレベルパルス幅	t_{LO}	SSCK		0.4	-	0.6	t_{SUCYC}	図 21.22
クロック立ち 上がり時間	マスタ	t_{RISE}	SSCK	-	-	1	t_{CYC}	図 21.23
	スレーブ			-	-	1.0	μs	図 21.24
クロック立ち 下がり時間	マスタ	t_{FALL}	SSCK	-	-	1	t_{CYC}	
	スレーブ			-	-	1.0	μs	
データ入力セットアップ時間	t_{SU}	SSO SSI		1	-	-	t_{CYC}	
データ入力ホールド時間	t_{H}	SSO SSI		1	-	-	t_{CYC}	
SCS セットア ップ時間	スレーブ	t_{LEAD}	SCS	$1 t_{CYC}$ +100	-	-	ns	
SCS ホールド 時間	スレーブ	t_{LAG}	SCS	$1 t_{CYC}$ +100	-	-	ns	
データ出力遅延時間		t_{OD}	SSO SSI	-	-	1	t_{CYC}	
スレーブアクセス時間		t_{SA}	SSI	-	-	$1 t_{CYC}$ +100	ns	
スレーブアウト開放時間		t_{OR}	SSI	-	-	$1 t_{CYC}$ +100	ns	

21. 電気的特性

表 21.17 I²C バスインタフェースタイミング

(特記なき場合、V_{CC} = 1.8 ~ 3.6V、V_{SS} = 0.0V、T_a = - 20 ~ + 75)

項 目	記号	測定条件	規格値			単位	参照図
			min.	typ.	max.		
SCL 入力サイクル時間	tSCL		12t _{cyc} + 600	-	-	ns	図 21.25
SCL 入力 High パルス幅	tSCLH		3t _{cyc} + 300	-	-	ns	
SCL 入力 Low パルス幅	tSCLL		5t _{cyc} + 300	-	-	ns	
SCL、SDA 入力立ち下がり時間	t _{sf}		-	-	300	ns	
SCL、SDA 入カスパイクパルス除去時間	tSP		-	-	1t _{cyc}	ns	
SDA 入カバスフリー時間	tBUF		5t _{cyc}	-	-	ns	
開始条件入カホールド時間	tSTAH		3t _{cyc}	-	-	ns	
再送開始条件入カセットアップ時間	tSTAS		3t _{cyc}	-	-	ns	
停止条件入カセットアップ時間	tSTOS		3t _{cyc}	-	-	ns	
データ入カセットアップ時間	tSDAS		1t _{cyc} + 20	-	-	ns	
データ入カホールド時間	tSDAH		0	-	-	ns	
SCL、SDA の容量性負荷	C _b		0	-	400	pF	
SCL、SDA 出力立ち下がり時間	t _{sf}		-	-	300	ns	

21.4.4 A/D 変換器特性

A/D 変換器特性を表 21.18 に示します。

表 21.18 A/D 変換器特性

(特記なき場合、 $V_{CC} = 1.8 \sim 3.6V$ 、 $V_{SS} = 0.0V$)

項目	記号	適用端子	測定条件	規格値			単位	備考	
				min.	typ.	max.			
アナログ電源電圧	AV_{CC}	AV_{CC}		1.8	-	3.6	V	* ¹	
アナログ入力電圧	AV_{IN}	AN0 ~ AN5		- 0.3	-	$AV_{CC} + 0.3$	V		
アナログ電源電流	AI_{OPE}	AV_{CC}	$AV_{CC} = 3.0V$	-	-	1.0	mA		
	AI_{STOP1}	AV_{CC}		-	600	-	μA	* ² 参考値	
	AI_{STOP2}	AV_{CC}		-	-	5	μA	* ³	
アナログ入力容量	C_{AIN}	AN0 ~ AN5		-	-	15.0	pF		
許容信号源 インピーダンス	R_{AIN}			-	-	10.0	k		
分解能 (データ長)				-	-	10	ビット		
非直線性誤差			$AV_{CC} = 2.7 \sim 3.6V$ $V_{CC} = 2.7 \sim 3.6V$	-	-	± 3.5	LSB	サブクロック動作除く	
			$AV_{CC} = 2.0 \sim 3.6V$ $V_{CC} = 2.0 \sim 3.6V$	-	-	± 5.5			
			サブクロック 動作時	-	-	± 5.5			サブアクティブモード サブスリープモード 変換時間 = $31/w$
			上記以外	-	-	± 7.5			* ⁴
量子化誤差				-	-	± 0.5	LSB		
絶対精度			$AV_{CC} = 2.7 \sim 3.6V$ $V_{CC} = 2.7 \sim 3.6V$	-	-	± 4.0	LSB		
			$AV_{CC} = 2.0 \sim 3.6V$ $V_{CC} = 2.0 \sim 3.6V$	-	-	± 6.0			
			サブクロック 動作時	-	-	± 6.0			サブアクティブモード サブスリープモード 変換時間 = $31/w$
			上記以外	-	-	± 8.0			* ⁴
変換時間			$AV_{CC} = 2.7 \sim 3.6V$ $V_{CC} = 2.7 \sim 3.6V$	12.4	-	124	μs	システムクロック 発振器選択時	
				31	62	124		内蔵発振器選択時 参考値 ($f_{ROSC} = 1MHz$ 時)	
				-	807	-		$SUB = 38.4kHz$ 時	
				-	945	-		$SUB = 32.8kHz$ 時	
				-	992	-		$SUB = ROSC/32$ 時 参考値 ($f_{ROSC} = 1MHz$ 時)	

21. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
変換時間			AV _{CC} = 2.7 ~ 3.6V V _{CC} = 2.7 ~ 3.6V 以外	29.5	-	124	μs	システムクロック 発振器選択時
				31	62	124		内蔵発振器選択時 参考値 (f _{ROSC} =1MHz 時)
				-	807	-		SUB=38.4kHz 時
				-	945	-		SUB=32.8kHz 時
				-	992	-		SUB=R _{OSC} /32 時 参考値 (f _{ROSC} =1MHz 時)

- 【注】 *1 A/D 変換器を使用しない場合は AV_{CC} = V_{CC} としてください。
 *2 AI_{STOP1} は A/D 変換待機中のラダー抵抗動作時の電流値です。
 *3 AI_{STOP2} はリセット、スタンバイモード、ウォッチモードでの A/D 変換待機時の電流値です。
 *4 変換時間 29.5μs

21.4.5 コンパレータ特性

コンパレータ特性を表 21.19 に示します。

表 21.19 コンパレータ特性

(特記なき場合、V_{CC}=1.8~3.6V、V_{SS}=0.0V)

項目	測定条件	規格値			単位	備考
		min.	typ.	max.		
精度	1LSB=V _{CC} /30	-	1/2	-	LSB	内部抵抗比較時
変換時間		-	-	15	μs	
外部入力基準電圧	VCref 端子	0.9	-	0.9 × V _{CC}	V	
内部抵抗比較電圧		0.9	-	26/30 × V _{CC}	V	
コンパレータ入力電圧	COMP0、COMP1 端子	-0.3	-	AV _{CC} +0.3	V	
ラダー抵抗		-	3	-	M	参考値

21.4.6 ウォッチドッグタイマ特性

表 21.20 ウォッチドッグタイマ特性

(特記なき場合、V_{CC}=1.8~3.6V、V_{SS}=0.0V)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
内蔵発振器オーバーフロー時間	t _{OVF}			0.2	0.4	-	s	*

- 【注】 * 内蔵発振器を選択した状態で、0~255 までカウントアップし、内部リセットが発生するまでの時間を示します。

21.4.7 パワーオンリセット回路特性

表 21.21 パワーオンリセット回路特性

(特記なき場合、 $V_{CC} = 1.8 \sim 3.6V$ 、 $AV_{CC} = 1.8 \sim 3.6V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$ (通常仕様品)
 $T_a = -40 \sim +85$ (広温度仕様品))

項目	記号	測定条件	規格値			単位	備考
			min.	typ.	max.		
リセット電圧	V_{rst}		$0.7V_{CC}$	$0.8V_{CC}$	$0.9V_{CC}$	V	
電源立ち上がり時間	t_{vtr}		V_{CC} の立ち上がり時間は、RESの立ち上がり時間の半分以下にしてください。				
リセットカウント時間	t_{out}		0.8	-	4.0	μs	内蔵発振器選択時 (参考値)
			3.2	-	26.7	μs	
カウント開始時間	t_{cr}		RES端子の外付けコンデンサの値で調整可能				
プルアップ抵抗値	R_p		60	100	-	k	

21.5 動作タイミング

動作タイミングを図 21.15 ~ 図 21.26 に示します。

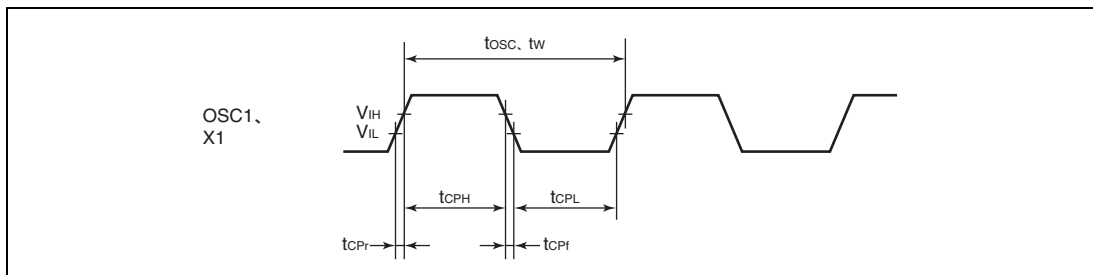


図 21.15 クロック入力タイミング

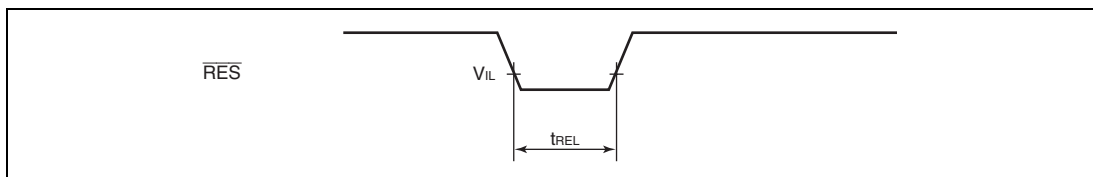


図 21.16 RES端子 Low レベル幅タイミング

21. 電気的特性

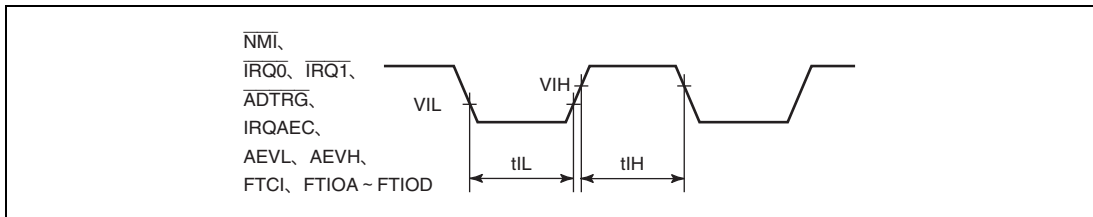


図 21.17 入力タイミング

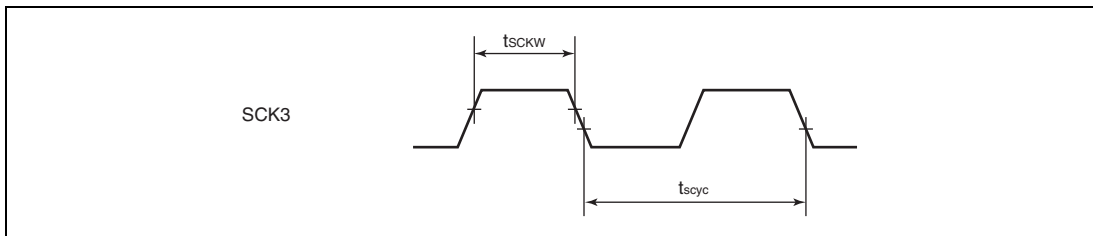


図 21.18 SCK3 入力クロックタイミング

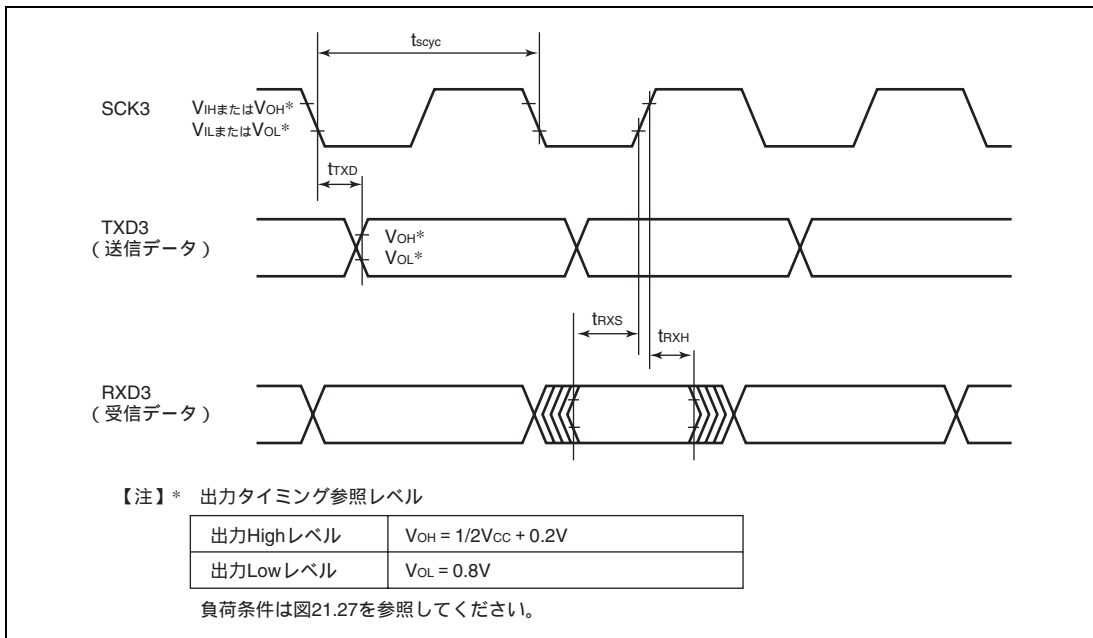


図 21.19 SCI3 クロック同期式モード入出力タイミング

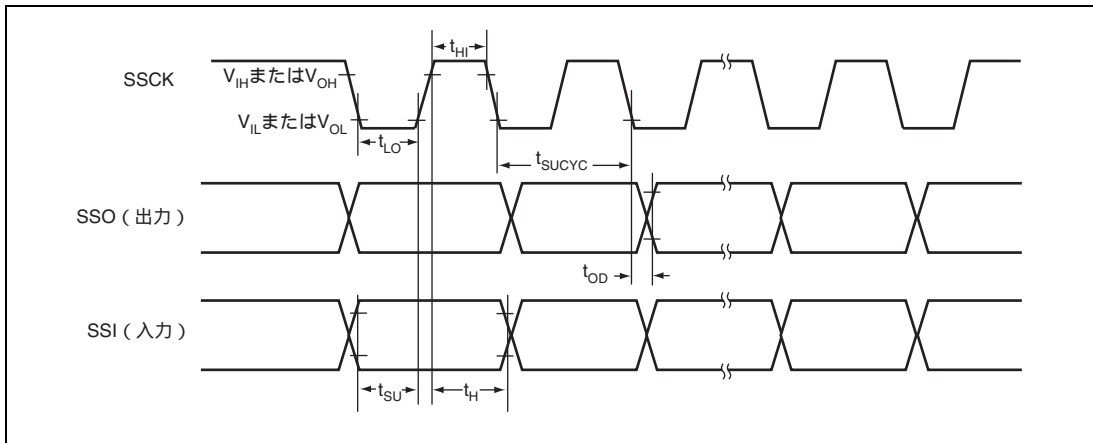


図 21.20 SSU 入出力タイミング (クロック同期モード)

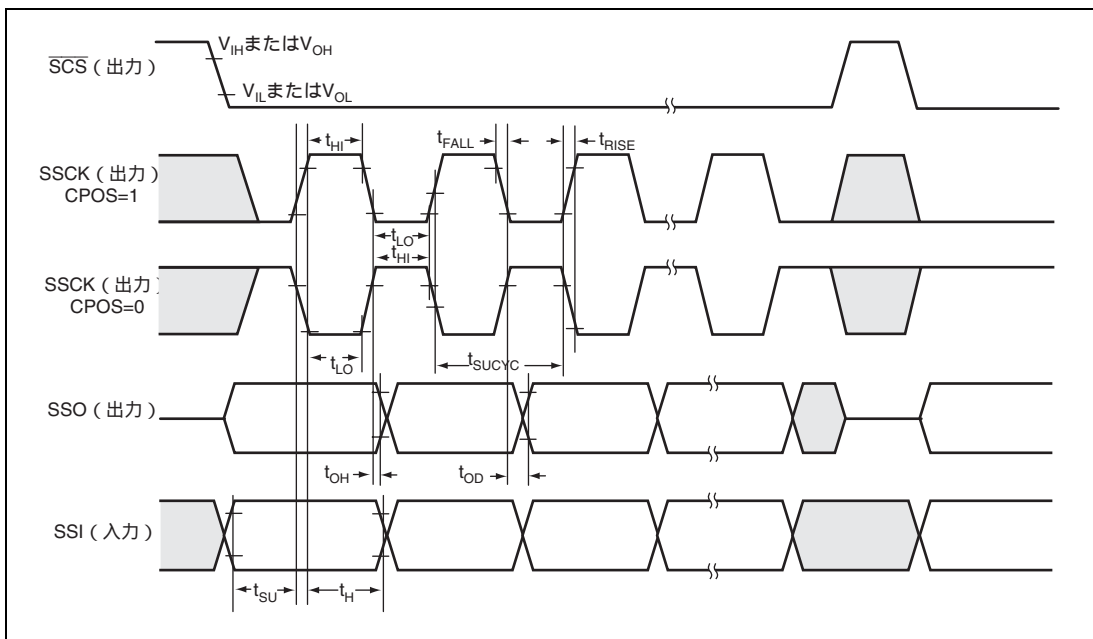


図 21.21 SSU 入出力タイミング (4 線式バス通信モード、マスタ、CPHS = 1)

21. 電気的特性

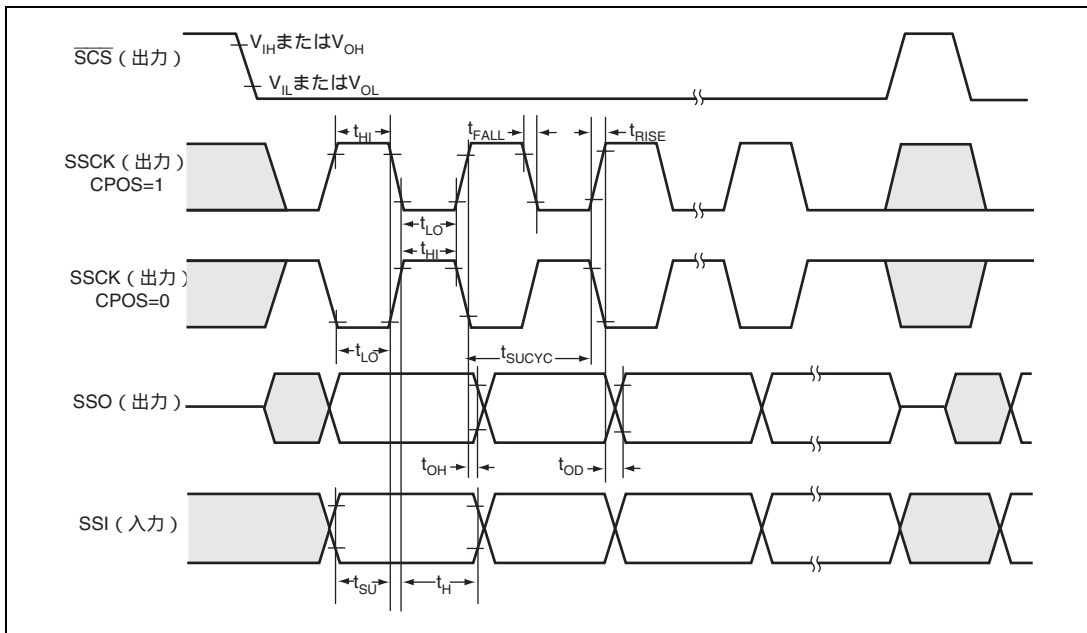


図 21.22 SSU 入出力タイミング (4 線式バス通信モード、マスタ、CPHS = 0)

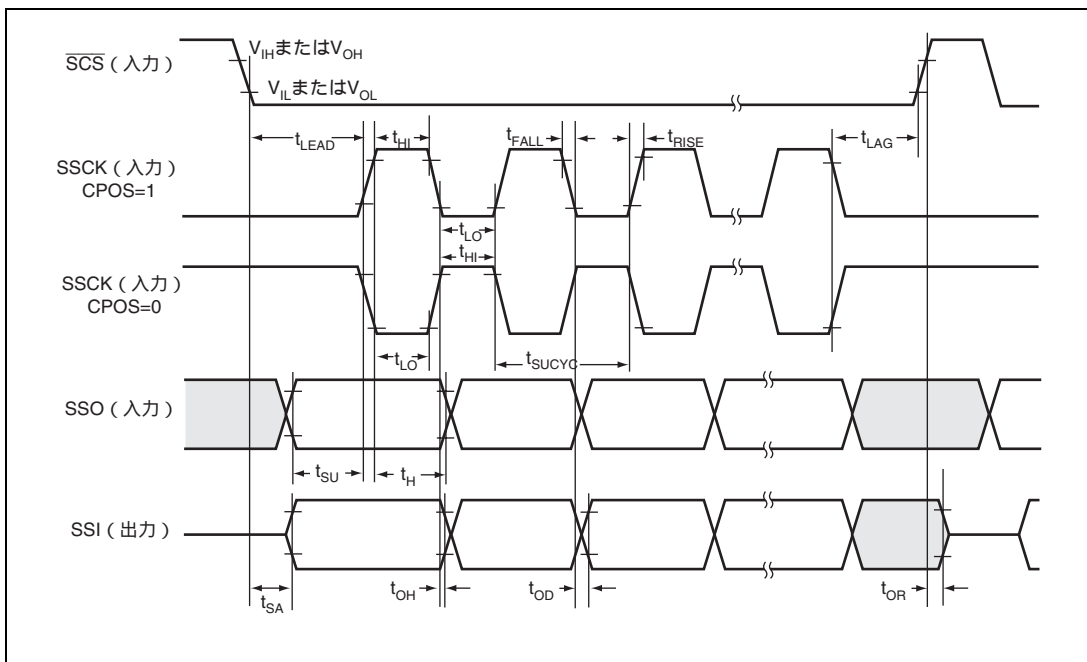


図 21.23 SSU 入出力タイミング (4 線式バス通信モード、スレーブ、CPHS = 1)

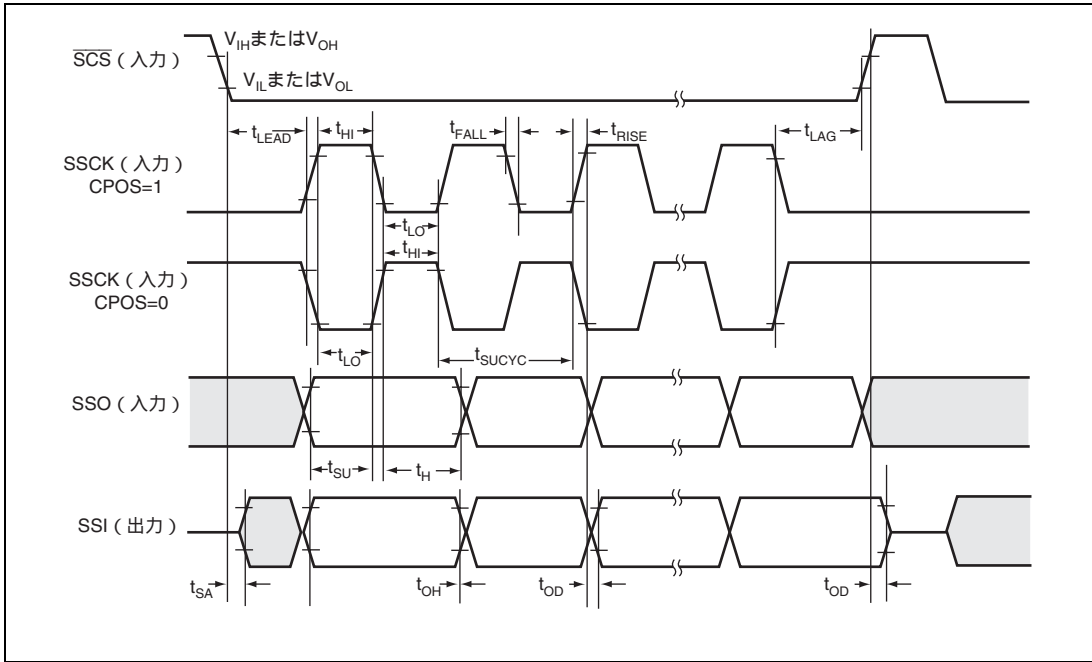


図 21.24 SSU 入出力タイミング (4 線式バス通信モード、スレープ、CPHS=0)

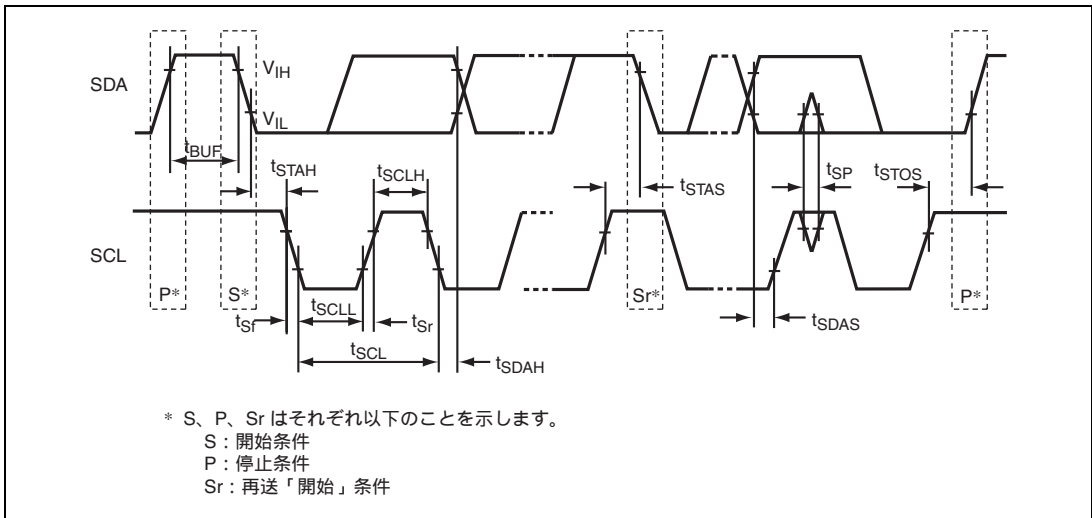


図 21.25 I²C バスインタフェース入出力タイミング

21. 電気的特性

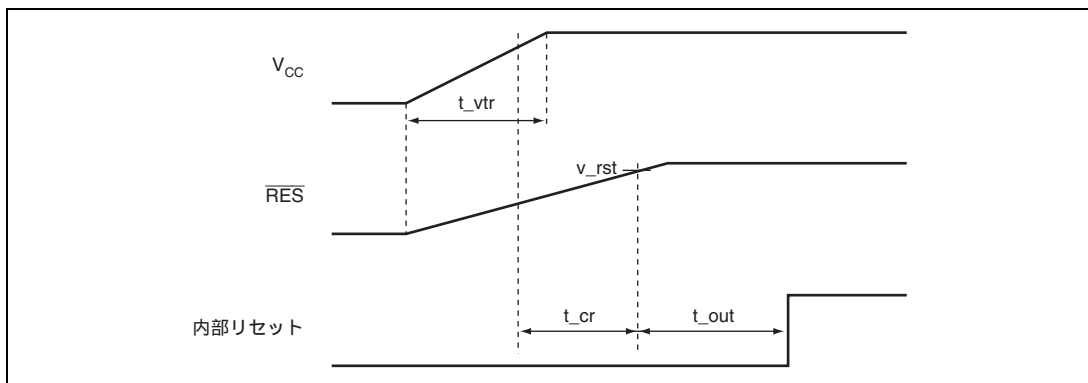


図 21.26 パワーオンリセット回路リセットタイミング

21.6 出力負荷回路

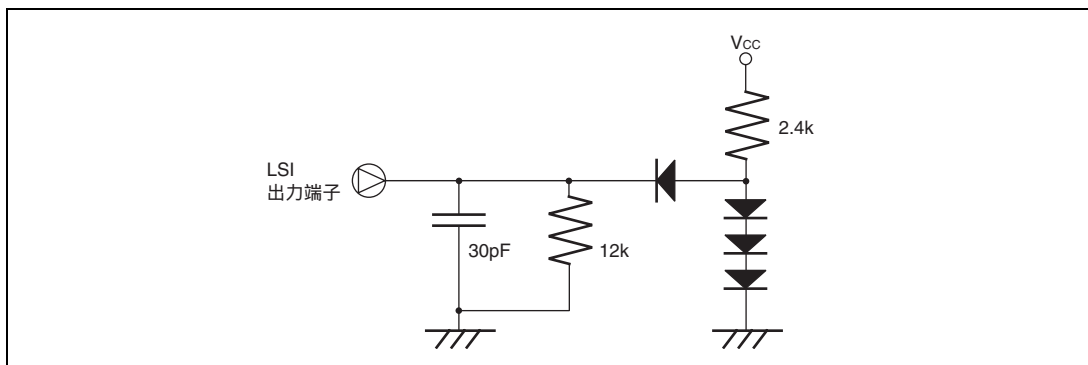


図 21.27 出力負荷条件

21.7 推奨発振子

(1) 水晶発振子仕様		
周波数 (MHz)	メーカー	型名
4.194304	日本電波工業	NR-18
10	日本電波工業	NR-18

(2) セラミック発振子仕様		
周波数 (MHz)	メーカー	型名
2	村田製作所	CSTCC2M00G53-B0
		CSTCC2M00G56-B0
4.19	村田製作所	CSTLS4M19G53-B0
		CSTLS4M19G56-B0
10	村田製作所	CSTLS10M0G53-B0
		CSTLS10M0G56-B0

図 21.28 推奨発振子

21.8 使用上の注意事項

F-ZTAT 版およびマスク ROM 版は、本マニュアルに記載の電気的特性を満足していますが、製造プロセスの相違、内蔵 ROM の相違、レイアウトパターンの相違などにより、電気的特性の実力値や動作マージン、ノイズマージンなどは異なる場合があります。

F-ZTAT 版を使用してのシステムの評価試験を行う場合には、マスク ROM 版への切り替え時にマスク ROM 版についても同等の評価試験を行ってください。

付録

A. 命令

A.1 命令一覧

《オペレーションの記号》

記号	内 容
Rd	デスティネーション側の汎用レジスタ
Rs	ソース側の汎用レジスタ
Rn	汎用レジスタ
ERd	デスティネーション側の汎用レジスタ (アドレスレジスタまたは 32 ビットレジスタ)
ERs	ソース側の汎用レジスタ (アドレスレジスタまたは 32 ビットレジスタ)
ERn	汎用レジスタ (32 ビットレジスタ)
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
PC	プログラムカウンタ
SP	スタックポインタ
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
disp	ディスプレースメント
	左辺のオペランドから右辺のオペランドへの転送、または左辺の状態から右辺の状態への遷移
+	両辺のオペランドを加算
-	左辺のオペランドから右辺のオペランドを減算
×	両辺のオペランドを乗算
÷	左辺のオペランドを右辺のオペランドで除算
	両辺のオペランドの論理積
	両辺のオペランドの論理和

【注】 汎用レジスタは、8 ビット (R0H~R7H、R0L~R7L) または 16 ビット (R0~R7、E0~E7) です。

《オペレーションの記号》

記号	内 容
⊕	両辺のオペランドの排他的論理和
~	反転論理（論理的補数）
() < >	オペランドの内容
↑ ↓	実行結果にしたがって変化することを表します。
*	不確定であることを表します（値を保証しません）。
0	常に"0"にクリアされることを表します。
1	常に"1"にセットされることを表します。
-	実行結果に影響を受けないことを表します。
	条件によって異なります。注意事項を参照してください。

表 A.1 命令セット一覧

(1) データ転送命令

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)				オペレーション		コンディションコード						実行回数 /74 バイト		
		#xx	Rn	@ERn	@(d, ERn)			@-ERn/@ERn+	@aa	@(d, PC)	@@aa	I	H		N	Z
MOV	B	2						#xx:8 Rdst								2
MOV.B Rs, Rd	B	2						Rs8 Rdst								2
MOV.B @ERS, Rd	B		2					@ERS Rdst								4
MOV.B @(d:16, ERs), Rd	B			4				@(d:16, ERs) Rdst								6
MOV.B @(d:24, ERs), Rd	B			8				@(d:24, ERs) Rdst								10
MOV.B @ERS+, Rd	B				2			@ERS Rdst, ERS32+1 ERS32								6
MOV.B @aa:8, Rd	B					2		@aa:8 Rdst								4
MOV.B @aa:16, Rd	B					4		@aa:16 Rdst								6
MOV.B @aa:24, Rd	B					6		@aa:24 Rdst								8
MOV.B Rs, @ERd	B		2					Rs8 @ERd								4
MOV.B Rs, @(d:16, ERd)	B			4				Rs8 @(d:16, ERd)								6
MOV.B Rs, @(d:24, ERd)	B			8				Rs8 @(d:24, ERd)								10
MOV.B Rs, @-ERd	B				2			ERd32-1 ERd32, Rs8 @ERd								6
MOV.B Rs, @aa:8	B					2		Rs8 @aa:8								4
MOV.B Rs, @aa:16	B					4		Rs8 @aa:16								6
MOV.B Rs, @aa:24	B					6		Rs8 @aa:24								8
MOV.W #xx:16, Rd	W	4						#xx:16 Rdst								4
MOV.W Rs, Rd	W		2					Rs16 Rdst								2
MOV.W @ERS, Rd	W			2				@ERS Rdst								4
MOV.W @(d:16, ERs), Rd	W			4				@(d:16, ERs) Rdst								6
MOV.W @(d:24, ERs), Rd	W			8				@(d:24, ERs) Rdst								10
MOV.W @ERS+, Rd	W				2			@ERS Rdst, ERS32+2 @ERd32								6
MOV.W @aa:16, Rd	W					4		@aa:16 Rdst								6
MOV.W @aa:24, Rd	W					6		@aa:24 Rdst								8

二ーモニック	サイズ	アドレッシングモード/命令長(バイト)						オペレーション	コンディションコード							実行サイクル数 ^{*1}			
		#xx	Rn @ERn	@(d, ERn)	@-ERn/ERN+	@aa	@(d, PC)		@aa	I	H	N	Z	V	C		J	7	7
MOV	MOV.W Rs, @ERd		2						Rs16 @ERd										4
	MOV.W Rs, @(d:16, ERd)			4					Rs16 @(d:16, ERd)										6
	MOV.W Rs, @(d:24, ERd)			8					Rs16 @(d:24, ERd)										10
	MOV.W Rs, @-ERd				2				ERd32-2 ERd32, Rs16 @ERd										6
	MOV.W Rs, @aa:16					4			Rs16 @aa:16										6
	MOV.W Rs, @aa:24						6		Rs16 @aa:24										8
	MOV.L #xx:32, ERd	L	6						#xx:32 ERd32										6
	MOV.L ERs, ERd	L		2					ERS32 ERd32										2
	MOV.L @ERS, ERd	L			4				@ERS ERd32										8
	MOV.L @(d:16, ERs), ERd	L				6			@(d:16, ERs) ERd32										10
	MOV.L @(d:24, ERs), ERd	L				10			@(d:24, ERs) ERd32										14
	MOV.L @ERS+, ERd	L					4		@ERS ERd32, ERS32+4 ERS32										10
	MOV.L @aa:16, ERd	L						6	@aa:16 ERd32										10
	MOV.L @aa:24, ERd	L						8	@aa:24 ERd32										12
MOV.L ERs, @ERd	L		4					ERS32 @ERd										8	
MOV.L ERs, @(d:16, ERd)	L				6			ERS32 @(d:16, ERd)										10	
MOV.L ERs, @(d:24, ERd)	L				10			ERS32 @(d:24, ERd)										14	
MOV.L ERs, @-ERd	L					4		ERd32-4 ERd32, ERS32 @ERd										10	
MOV.L ERs, @aa:16	L						6	ERS32 @aa:16										10	
MOV.L ERs, @aa:24	L						8	ERS32 @aa:24										12	
POP.W Rn	W							2 @SP Rn16, SP+2 SP										6	
POP.L ERn	L							4 @SP ERn32, SP+4 SP										10	
PUSH.W Rn	W							2 SP-2 SP, Rn16 @SP										6	
PUSH.L ERn	L							4 SP-4 SP, ERn32 @SP										10	
MOVFPPE @aa:16, Rd	B						4	本LSIでは使用できません											
MOVTPPE @aa:16	B						4	本LSIでは使用できません											

二モニック	サイズ	アドレッシングモード / 命令長 (バイト)						オペレーション	コンディションコード							実行バイト数 #1
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/ERn+	@aa		@(d, PC)	@aa	I	H	N	Z	V	
SUBS	SUBS.L #1, ERd	L	2													2
	SUBS.L #2, ERd	L	2													2
	SUBS.L #4, ERd	L	2													2
DEC	DEC.B Rd	B	2									↑	↑	↑		2
	DEC.W #1, Rd	W	2									↑	↑	↑		2
	DEC.W #2, Rd	W	2									↑	↑	↑		2
	DEC.L #1, ERd	L	2									↑	↑	↑		2
	DEC.L #2, ERd	L	2									↑	↑	↑		2
DAS	DAS Rd	B	2								*	↑	↑	*	2	
MULXU	MULXU.B Rs, Rd	B	2													14
	MULXU.W Rs, ERd	W	2													22
MULXS	MULXS.B Rs, Rd	B	4									↑	↑			16
	MULXS.W Rs, ERd	W	4									↑	↑			24
DIVXU	DIVXU.B Rs, Rd	B	2									(6)	(7)			14
	DIVXU.W Rs, ERd	W	2									(6)	(7)			22
DIVXS	DIVXS.B Rs, Rd	B	4									(8)	(7)			16
	DIVXS.W Rs, ERd	W	4									(8)	(7)			24
CMP	CMP.B #xx:8, Rd	B	2									↑	↑	↑	↑	2
	CMP.B Rs, Rd	B	2									↑	↑	↑	↑	2
	CMP.W #xx:16, Rd	W	4									(1)	↑	↑	↑	4
	CMP.W Rs, Rd	W	2									(1)	↑	↑	↑	2

ニーモニック	サイズ	アドレッシングモード/命令長(バイト)				オペレーション	コンディションコード					実行バイト数*1						
		#xx	Rn	@ERn	@(d, ERn)		@-ERn/ERn+	@aa	@(d, PC)	@@aa	I		H	N	Z	V	C	
CMP	CMP.L #xx:32, ERd	L	6										{2}	{2}	{2}	{2}	{2}	4
	CMP.L ERs, ERd	L											{2}	{2}	{2}	{2}	{2}	2
NEG	NEG.B Rd	B	2										{2}	{2}	{2}	{2}	{2}	2
	NEG.W Rd	W	2										{2}	{2}	{2}	{2}	{2}	2
	NEG.L ERd	L	2										{2}	{2}	{2}	{2}	{2}	2
EXTU	EXTU.W Rd	W	2															2
	EXTU.L ERd	L	2															2
EXTS	EXTS.W Rd	W	2															2
	EXTS.L ERd	L	2															2

(3) 論理演算命令

二ーモニック	サイズ	アドレッシングモード/命令長(バイト)				オペレーション	コンディションコード						実行回数 ^{*1}			
		#xx	Rn	@ERn	@(d, ERn) @-ERn/@ERn+ @aa @(d, PC) @@aa		I	H	N	Z	V	C	ノール	7ビット		
AND	AND.B #xx:8, Rd	B	2									↑	↑	0	2	2
	AND.B Rs, Rd	B	2									↑	↑	0	2	2
	AND.W #xx:16, Rd	W	4									↑	↑	0	4	4
	AND.W Rs, Rd	W	2									↑	↑	0	2	2
	AND.L #xx:32, ERd	L	6									↑	↑	0	6	6
	AND.L ERs, ERd	L	4									↑	↑	0	4	4
OR	OR.B #xx:8, Rd	B	2									↑	↑	0	2	2
	OR.B Rs, Rd	B	2									↑	↑	0	2	2
	OR.W #xx:16, Rd	W	4									↑	↑	0	4	4
	OR.W Rs, Rd	W	2									↑	↑	0	2	2
	OR.L #xx:32, ERd	L	6									↑	↑	0	6	6
	OR.L ERs, ERd	L	4									↑	↑	0	4	4
XOR	XOR.B #xx:8, Rd	B	2									↑	↑	0	2	2
	XOR.B Rs, Rd	B	2									↑	↑	0	2	2
	XOR.W #xx:16, Rd	W	4									↑	↑	0	4	4
	XOR.W Rs, Rd	W	2									↑	↑	0	2	2
	XOR.L #xx:32, ERd	L	6									↑	↑	0	6	6
	XOR.L ERs, ERd	L	4									↑	↑	0	4	4
NOT	NOT.B Rd	B	2									↑	↑	0	2	2
	NOT.W Rd	W	2									↑	↑	0	2	2
	NOT.L ERd	L	2									↑	↑	0	2	2

(4) シフト命令

二モニック	サイズ	アドレッシングモード/命令長 (バイト)				オペレーション	コンディションコード					実行回数 ^{*1} ワード/バイト				
		#xx	Rn	@ERn	@(d, ERn)		@-ERn/ERn+	@aa	@(d, PC)	@aa	I		H	N	Z	V
SHAL	SHAL.B Rd	B	2									↑	↑	↑	↑	2
	SHAL.W Rd	W	2									↑	↑	↑	↑	2
	SHAL.L ERd	L	2									↑	↑	↑	↑	2
SHAR	SHAR.B Rd	B	2									↑	↑	0	↑	2
	SHAR.W Rd	W	2									↑	↑	0	↑	2
	SHAR.L ERd	L	2									↑	↑	0	↑	2
SHLL	SHLL.B Rd	B	2									↑	↑	0	↑	2
	SHLL.W Rd	W	2									↑	↑	0	↑	2
	SHLL.L ERd	L	2									↑	↑	0	↑	2
SHLR	SHLR.B Rd	B	2									↑	↑	0	↑	2
	SHLR.W Rd	W	2									↑	↑	0	↑	2
	SHLR.L ERd	L	2									↑	↑	0	↑	2
ROTXL	ROTXL.B Rd	B	2									↑	↑	0	↑	2
	ROTXL.W Rd	W	2									↑	↑	0	↑	2
	ROTXL.L ERd	L	2									↑	↑	0	↑	2
ROTXR	ROTXR.B Rd	B	2									↑	↑	0	↑	2
	ROTXR.W Rd	W	2									↑	↑	0	↑	2
	ROTXR.L ERd	L	2									↑	↑	0	↑	2
ROTL	ROTL.B Rd	B	2									↑	↑	0	↑	2
	ROTL.W Rd	W	2									↑	↑	0	↑	2
	ROTL.L ERd	L	2									↑	↑	0	↑	2
ROTR	ROTR.B Rd	B	2									↑	↑	0	↑	2
	ROTR.W Rd	W	2									↑	↑	0	↑	2
	ROTR.L ERd	L	2									↑	↑	0	↑	2

(5) ビット操作命令

ニーモニック	サイズ	アドレッシングモード / 命令長 (バイト)				オペレーション	コンディショニングコード					実行回数 *1					
		#xx	Rn	@ERn	@(d, ERn)		@aa	@(d, PC)	@aa	I	H		N	Z	V	C	
BSET	BSET #xx:3, Rd	B	2														2
	BSET #xx:3, @ERd	B		4													8
	BSET #xx:3, @aa:8	B				4											8
	BSET Rn, Rd	B	2														2
	BSET Rn, @ERd	B		4													8
	BSET Rn, @aa:8	B					4										8
BCLR	BCLR #xx:3, Rd	B	2														2
	BCLR #xx:3, @ERd	B		4													8
	BCLR #xx:3, @aa:8	B				4											8
	BCLR Rn, Rd	B	2														2
	BCLR Rn, @ERd	B		4													8
	BCLR Rn, @aa:8	B					4										8
BNOT	BNOT #xx:3, Rd	B	2														2
	BNOT #xx:3, @ERd	B		4													8
	BNOT #xx:3, @aa:8	B				4											8
	BNOT Rn, Rd	B	2														2
	BNOT Rn, @ERd	B		4													8
	BNOT Rn, @aa:8	B					4										8
BTST	BTST #xx:3, Rd	B	2														2
	BTST #xx:3, @ERd	B		4													6
	BTST #xx:3, @aa:8	B				4											6
	BTST Rn, Rd	B	2														2
	BTST Rn, @ERd	B		4													6
	BTST Rn, @aa:8	B					4										6
BLD	BLD #xx:3, Rd	B	2														2
	BLD #xx:3, @ERd	B		4													6
	BLD #xx:3, @aa:8	B				4											6
	BLD #xx:3, Rd	B	2														2
	BLD #xx:3, @ERd	B		4													6
	BLD #xx:3, @aa:8	B					4										6

ニーモニック	サイズ	アドレッシングモード / 命令長 (バイト)						オペレーション	コンディションコード						実行バイト数 *1		
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa		@(d, PC)	@aa	I	H	N	Z	V	C	ノード
BST	BST #xx:3, Rd	B	2														2
	BST #xx:3, @ERd	B		4													8
	BST #xx:3, @aa:8	B				4											8
BIST	BIST #xx:3, Rd	B	2														2
	BIST #xx:3, @ERd	B		4													8
	BIST #xx:3, @aa:8	B				4											8
BAND	BAND #xx:3, Rd	B	2														2
	BAND #xx:3, @ERd	B		4													6
	BAND #xx:3, @aa:8	B				4											6
BIAND	BIAND #xx:3, Rd	B	2														2
	BIAND #xx:3, @ERd	B		4													6
	BIAND #xx:3, @aa:8	B				4											6
BOR	BOR #xx:3, Rd	B	2														2
	BOR #xx:3, @ERd	B		4													6
	BOR #xx:3, @aa:8	B				4											6
BIOR	BIOR #xx:3, Rd	B	2														2
	BIOR #xx:3, @ERd	B		4													6
	BIOR #xx:3, @aa:8	B				4											6
BXOR	BXOR #xx:3, Rd	B	2														2
	BXOR #xx:3, @ERd	B		4													6
	BXOR #xx:3, @aa:8	B				4											6
BIXOR	BIXOR #xx:3, Rd	B	2														2
	BIXOR #xx:3, @ERd	B		4													6
	BIXOR #xx:3, @aa:8	B				4											6

(8) データ転送命令

ニーモニック	サイズ	アドレッシングモード / 命令長 (バイト)				オペレーション	コンディションコード					実行バイト数 *1 /n-ビット 7ドット	
		#xx	Rn @ERn	@(d, ERn) @-ERn/ERn+	@aa @(d, PC) @@aa		I	H	N	Z	V		C
EEPMOV	EEPMOV.B					4	if R4L 0 Repeat @R5 @R6 R5+1 R6 R6+1 R6 R4L-1 R4L Until R4L=0 else next;						8+4n *2
	EEPMOV.W					4	if R4 0 Repeat @R5 @R6 R5+1 R6 R6+1 R6 R4-1 R4 Until R4=0 else next;						8+4n *2

【注】 *1 実行ステート数は、オペコードおよびオペランドが内蔵メモリに存在する場合です。それ以外の場合は、「付録A.3 命令実行ステート数」を参照してください。

*2 nはR4LまたはR4の設定値です。

- (1) ビット11から桁上がりまたはビット11へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。
- (2) ビット27から桁上がりまたはビット27へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。
- (3) 演算結果がゼロのとき、演算前の値を保持し、それ以外のとき0にクリアされます。
- (4) 補正結果に桁上がりが発生したとき、1にセットされ、それ以外のとき演算前の値を保持します。
- (5) エロクック同期転送命令の実行ステート数は一定ではありません。
- (6) 除数が負のとき1にセットされ、それ以外のとき0にクリアされます。
- (7) 除数がゼロのとき1にセットされ、それ以外のとき0にクリアされます。
- (8) 商が負のとき1にセットされ、それ以外のとき0にクリアされます。

A.2 オペレーションコードマップ

表 A.2 オペレーションコードマップ (1)

命令コード：

第1バイト	第2バイト
AH AL	BH BL



AL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
AH	NOP	表A.2(2)	STC	LDC	ORC	XORC	ANDC	LDC	ADD	表A.2(2)	表A.2(2)	表A.2(2)	MOV	ADDX	表A.2(2)	
	表A.2(2)	表A.2(2)	表A.2(2)	表A.2(2)	OR.B	XOR.B	AND.B	表A.2(2)	SUB	表A.2(2)	表A.2(2)	表A.2(2)	CMP	SUBX	表A.2(2)	
2	MOV.B															
3	MOV															
4	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
5	MULXU	DIVXU	MULXU	DIVXU	RTS	BSR	RTE	TRAPA	表A.2(2)	JMP		BSR		JSR		
6	BSET	BNOT	BCLR	BTST	OR	XOR	AND	BSL	MOV							
7	BOR		BIOR		BXOR		BAND		BIAND		BLD		BILD		表A.2(3)	
8	ADD															
9	ADDX															
A	CMP															
B	SUBX															
C	OR															
D	XOR															
E	AND															
F	MOV															

表A.2 オペレーションコードマップ(2)

命令コード:		第1バイト		第2バイト																		
		AH	AL	BH	BL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
BH	AH	01	MOV		LDC/STC								SLEEP					表A.2(3)				表A.2(3)
		0A	INC															ADD				
		0B	ADDS										ADDS									
		0F	DAA																			INC
		10	SHLL																			
		11	SHLR				SHLL						SHAL									
		12	ROTXL				SHLR						SHAR									
		13	ROTXR				ROTXL						ROTL									
		17	NOT				ROTXR						ROTR									
							NOT						NEG									EXTS
		1A	DEC																			
		1B	SUBS																			
		1F	DAS										SUBS									DEC
		58	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT					
		79	MOV	ADD	CMP	SUB	OR	XOR	AND													
		7A	MOV	ADD	CMP	SUB	OR	XOR	AND													

表A.2 オペレーションコードマップ (3)

命令コード:		第1バイト		第2バイト		第3バイト		第4バイト		第5バイト		第6バイト		第7バイト		第8バイト		第9バイト		第10バイト		第11バイト		第12バイト													
命令コード:		AH	AL	AH	AL	BH	BL	CH	CL	DH	DL	A		B		C		D		E		F		STC													
命令コード:		CL		0		1		2		3		4		5		6		7		8		9		A		B		C		D		E		F		STC	
AHALBHCLH		CL		0		1		2		3		4		5		6		7		8		9		A		B		C		D		E		F		STC	
01406		MULXS		MULXS		DIVXS		MULXS		DIVXS		OR		XOR		AND																					
01C05		MULXS		MULXS		DIVXS		MULXS		DIVXS		OR		XOR		AND																					
01D05		MULXS		MULXS		DIVXS		MULXS		DIVXS		OR		XOR		AND																					
01F06		MULXS		MULXS		DIVXS		MULXS		DIVXS		OR		XOR		AND																					
7C06 ^{*1}		MULXS		MULXS		DIVXS		MULXS		DIVXS		OR		XOR		AND																					
7C07 ^{*1}		MULXS		MULXS		DIVXS		MULXS		DIVXS		OR		XOR		AND																					
7D06 ^{*1}		MULXS		MULXS		DIVXS		MULXS		DIVXS		OR		XOR		AND																					
7D07 ^{*1}		MULXS		MULXS		DIVXS		MULXS		DIVXS		OR		XOR		AND																					
7Eaa6 ^{*2}		MULXS		MULXS		DIVXS		MULXS		DIVXS		OR		XOR		AND																					
7Eaa7 ^{*2}		MULXS		MULXS		DIVXS		MULXS		DIVXS		OR		XOR		AND																					
7Faa6 ^{*2}		MULXS		MULXS		DIVXS		MULXS		DIVXS		OR		XOR		AND																					
7Faa7 ^{*2}		MULXS		MULXS		DIVXS		MULXS		DIVXS		OR		XOR		AND																					

命令コード: AH AL BH BL CH CL DH DL
 命令コード: AH AL BH BL CH CL DH DL
 命令コード: AH AL BH BL CH CL DH DL



【注】*1 rはレジスタ指定部

*2 aaは絶対アドレス指定部

A.3 命令実行ステート数

H8/300H CPU の各命令についての実行状態と実行ステート数の計算方法を示します。

表 A.4 に命令の実行状態として、命令実行中に行われる命令フェッチ、データリード/ライトなどのサイクル数を示し、表 A.3 に各々のサイクルに必要なステート数を示します。命令の実行ステート数は次の計算式で計算されます。

$$\text{実行ステート数} = I \cdot S_I + J \cdot S_J + K \cdot S_K + L \cdot S_L + M \cdot S_M + N \cdot S_N$$

実行ステート数計算例

(例) 内蔵 ROM より命令をフェッチし、内蔵 RAM をアクセスした場合

1. BSET #0, @FF00

表A.4より

$$I = L = 2, J = K = M = N = 0$$

表A.3より

$$S_I = 2, S_L = 2$$

$$\text{実行ステート数} = 2 \times 2 + 2 \times 2 = 8$$

内蔵ROMより命令をフェッチし、内蔵ROMより分岐アドレスをリード、スタック領域は内蔵RAMとした場合

2. JSR @@30

表A.4より

$$I = 2, J = K = 1, L = M = N = 0$$

表A.3より

$$S_I = S_J = S_K = 2$$

$$\text{実行ステート数} = 2 \times 2 + 1 \times 2 + 1 \times 2 = 8$$

表 A.3 実行状態 (サイクル) に要するステート数

実行状態 (サイクル)	アクセス対象	アクセス対象		
		内蔵メモリ	内蔵周辺モジュール	
命令フェッチ S_I	2	-	-	
分岐アドレスリード S_J				
スタック操作 S_K				
バイトデータアクセス S_L				2または3*
ワードデータアクセス S_M				-
内部動作 S_N	1			

【注】 * 内蔵周辺モジュールによって異なります。詳細は、「20.1 レジスタアドレス一覧 (アドレス順)」を参照してください。

表 A.4 命令の実行状態 (サイクル数)

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
ADD	ADD.B #xx:8, Rd	1					
	ADD.B Rs, Rd	1					
	ADD.W #xx:16, Rd	2					
	ADD.W Rs, Rd	1					
	ADD.L #xx:32, ERd	3					
	ADD.L ERs, ERd	1					
ADDS	ADDS #1/2/4, ERd	1					
ADDX	ADDX #xx:8, Rd	1					
	ADDX Rs, Rd	1					
AND	AND.B #xx:8, Rd	1					
	AND.B Rs, Rd	1					
	AND.W #xx:16, Rd	2					
	AND.W Rs, Rd	1					
	AND.L #xx:32, ERd	3					
	AND.L ERs, ERd	2					
ANDC	ANDC #xx:8, CCR	1					
BAND	BAND #xx:3, Rd	1					
	BAND #xx:3, @ERd	2			1		
	BAND #xx:3, @aa:8	2			1		
Bcc	BRA d:8 (BT d:8)	2					
	BRN d:8 (BF d:8)	2					
	BHI d:8	2					
	BLS d:8	2					
	BCC d:8 (BHS d:8)	2					
	BCS d:8 (BLO d:8)	2					
	BNE d:8	2					
	BEQ d:8	2					
	BVC d:8	2					
	BVS d:8	2					
	BPL d:8	2					
	BMI d:8	2					
	BGE d:8	2					
	BLT d:8	2					

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
Bcc	BGT d:8	2					
	BLE d:8	2					
	BRA d:16(BT d:16)	2					2
	BRN d:16(BF d:16)	2					2
	BHI d:16	2					2
	BLS d:16	2					2
	BCC d:16(BHS d:16)	2					2
	BCS d:16(BLO d:16)	2					2
	BNE d:16	2					2
	BEQ d:16	2					2
	BVC d:16	2					2
	BVS d:16	2					2
	BPL d:16	2					2
	BMI d:16	2					2
	BGE d:16	2					2
	BLT d:16	2					2
	BGT d:16	2					2
BLE d:16	2					2	
BCLR	BCLR #xx:3, Rd	1					
	BCLR #xx:3, @ERd	2			2		
	BCLR #xx:3, @aa:8	2			2		
	BCLR Rn, Rd	1					
	BCLR Rn, @ERd	2			2		
	BCLR Rn, @aa:8	2			2		
BIAND	BIAND #xx:3, Rd	1					
	BIAND #xx:3, @ERd	2			1		
	BIAND #xx:3, @aa:8	2			1		
BILD	BILD #xx:3, Rd	1					
	BILD #xx:3, @ERd	2			1		
	BILD #xx:3, @aa:8	2			1		
BIOR	BIOR #xx:3, Rd	1					
	BIOR #xx:3, @ERd	2			1		
	BIOR #xx:3, @aa:8	2			1		

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
BIST	BIST #xx:3, Rd	1					
	BIST #xx:3, @ERd	2			2		
	BIST #xx:3, @aa:8	2			2		
BIXOR	BIXOR #xx:3, Rd	1					
	BIXOR #xx:3, @ERd	2			1		
	BIXOR #xx:3, @aa:8	2			1		
BLD	BLD #xx:3, Rd	1					
	BLD #xx:3, @ERd	2			1		
	BLD #xx:3, @aa:8	2			1		
BNOT	BNOT #xx:3, Rd	1					
	BNOT #xx:3, @ERd	2			2		
	BNOT #xx:3, @aa:8	2			2		
	BNOT Rn, Rd	1					
	BNOT Rn, @ERd	2			2		
	BNOT Rn, @aa:8	2			2		
BOR	BOR #xx:3, Rd	1					
	BOR #xx:3, @ERd	2			1		
	BOR #xx:3, @aa:8	2			1		
BSET	BSET #xx:3, Rd	1					
	BSET #xx:3, @ERd	2			2		
	BSET #xx:3, @aa:8	2			2		
	BSET Rn, Rd	1					
	BSET Rn, @ERd	2			2		
	BSET Rn, @aa:8	2			2		
BSR	BSR d:8	2		1			
	BSR d:16	2		1			2
BST	BST #xx:3, Rd	1					
	BST #xx:3, @ERd	2			2		
	BST #xx:3, @aa:8	2			2		
BTST	BTST #xx:3, Rd	1					
	BTST #xx:3, @ERd	2			1		
	BTST #xx:3, @aa:8	2			1		
	BTST Rn, Rd	1					
	BTST Rn, @ERd	2			1		
	BTST Rn, @aa:8	2			1		

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
BXOR	BXOR #xx:3, Rd	1					
	BXOR #xx:3, @ERd	2			1		
	BXOR #xx:3, @aa:8	2			1		
CMP	CMP.B #xx:8, Rd	1					
	CMP.B Rs, Rd	1					
	CMP.W #xx:16, Rd	2					
	CMP.W Rs, Rd	1					
	CMP.L #xx:32, ERd	3					
	CMP.L ERs, ERd	1					
DAA	DAA Rd	1					
DAS	DAS Rd	1					
DEC	DEC.B Rd	1					
	DEC.W #1/2, Rd	1					
	DEC.L #1/2, ERd	1					
DIVXS	DIVXS.B Rs, Rd	2					12
	DIVXS.W Rs, ERd	2					20
DIVXU	DIVXU.B Rs, Rd	1					12
	DIVXU.W Rs, ERd	1					20
EEPMOV	EEPMOV.B	2			$2n+2^{*1}$		
	EEPMOV.W	2			$2n+2^{*1}$		
EXTS	EXTS.W Rd	1					
	EXTS.L ERd	1					
EXTU	EXTU.W Rd	1					
	EXTU.L ERd	1					
INC	INC.B Rd	1					
	INC.W #1/2, Rd	1					
	INC.L #1/2, ERd	1					
JMP	JMP @ERn	2					
	JMP @aa:24	2					2
	JMP @@aa:8	2	1				2
JSR	JSR @ERn	2		1			
	JSR @aa:24	2		1			2
	JSR @@aa:8	2	1	1			

付録

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
LDC	LDC #xx:8, CCR	1					
	LDC Rs, CCR	1					
	LDC@ERs, CCR	2				1	
	LDC@(d:16, ERs), CCR	3				1	
	LDC@(d:24, ERs), CCR	5				1	
	LDC@ERs+, CCR	2				1	2
	LDC@aa:16, CCR	3				1	
	LDC@aa:24, CCR	4				1	
MOV	MOV.B #xx:8, Rd	1					
	MOV.B Rs, Rd	1					
	MOV.B @ERs, Rd	1				1	
	MOV.B @(d:16, ERs), Rd	2				1	
	MOV.B @(d:24, ERs), Rd	4				1	
	MOV.B @ERs+, Rd	1				1	2
	MOV.B @aa:8, Rd	1				1	
	MOV.B @aa:16, Rd	2				1	
	MOV.B @aa:24, Rd	3				1	
	MOV.B Rs, @ERd	1				1	
	MOV.B Rs, @(d:16, ERd)	2				1	
	MOV.B Rs, @(d:24, ERd)	4				1	
	MOV.B Rs, @-ERd	1				1	2
	MOV.B Rs, @aa:8	1				1	
	MOV.B Rs, @aa:16	2				1	
	MOV.B Rs, @aa:24	3				1	
	MOV.W #xx:16, Rd	2					
	MOV.W Rs, Rd	1					
	MOV.W @ERs, Rd	1					1
	MOV.W @(d:16, ERs), Rd	2					1
	MOV.W @(d:24, ERs), Rd	4					1
	MOV.W @ERs+, Rd	1					1
	MOV.W @aa:16, Rd	2					1
	MOV.W @aa:24, Rd	3					1
	MOV.W Rs, @ERd	1					1
	MOV.W Rs, @(d:16, ERd)	2					1
	MOV.W Rs, @(d:24, ERd)	4					1

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
MOV	MOV.W Rs, @-ERd	1				1	2
	MOV.W Rs, @aa:16	2				1	
	MOV.W Rs, @aa:24	3				1	
	MOV.L #xx:32, ERd	3					
	MOV.L ERs, ERd	1					
	MOV.L @ERs, ERd	2				2	
	MOV.L @(d:16,ERs), ERd	3				2	
	MOV.L @(d:24,ERs), ERd	5				2	
	MOV.L @ERs+, ERd	2				2	2
	MOV.L @aa:16, ERd	3				2	
	MOV.L @aa:24, ERd	4				2	
	MOV.L ERs, @ERd	2				2	
	MOV.L ERs, @(d:16,ERd)	3				2	
	MOV.L ERs, @(d:24,ERd)	5				2	
	MOV.L ERs, @-ERd	2				2	2
	MOV.L ERs, @aa:16	3				2	
MOV.L ERs, @aa:24	4				2		
MOVFPPE	MOVFPPE @aa:16, Rd* ²	2			1		
MOVTPPE	MOVTPPE Rs, @aa:16* ²	2			1		
MULXS	MULXS.B Rs, Rd	2					12
	MULXS.W Rs, ERd	2					20
MULXU	MULXU.B Rs, Rd	1					12
	MULXU.W Rs, ERd	1					20
NEG	NEG.B Rd	1					
	NEG.W Rd	1					
	NEG.L ERd	1					
NOP	NOP	1					
NOT	NOT.B Rd	1					
	NOT.W Rd	1					
	NOT.L ERd	1					

付録

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
OR	OR.B #xx:8, Rd	1					
	OR.B Rs, Rd	1					
	OR.W #xx:16, Rd	2					
	OR.W Rs, Rd	1					
	OR.L #xx:32, ERd	3					
	OR.L ERs, ERd	2					
ORC	ORC #xx:8, CCR	1					
POP	POP.W Rn	1				1	2
	POP.L ERn	2				2	2
PUSH	PUSH.W Rn	1				1	2
	PUSH.L ERn	2				2	2
ROTL	ROTL.B Rd	1					
	ROTL.W Rd	1					
	ROTL.L ERd	1					
ROTR	ROTR.B Rd	1					
	ROTR.W Rd	1					
	ROTR.L ERd	1					
ROTXL	ROTXL.B Rd	1					
	ROTXL.W Rd	1					
	ROTXL.L ERd	1					
ROTXR	ROTXR.B Rd	1					
	ROTXR.W Rd	1					
	ROTXR.L ERd	1					
RTE	RTE	2		2		2	
RTS	RTS	2		1		2	
SHAL	SHAL.B Rd	1					
	SHAL.W Rd	1					
	SHAL.L ERd	1					
SHAR	SHAR.B Rd	1					
	SHAR.W Rd	1					
	SHAR.L ERd	1					
SHLL	SHLL.B Rd	1					
	SHLL.W Rd	1					
	SHLL.L ERd	1					

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
SHLR	SHLR.B Rd	1					
	SHLR.W Rd	1					
	SHLR.L ERd	1					
SLEEP	SLEEP	1					
STC	STC CCR, Rd	1					
	STC CCR, @ERd	2				1	
	STC CCR, @(d:16,ERd)	3				1	
	STC CCR, @(d:24,ERd)	5				1	
	STC CCR, @-ERd	2				1	2
	STC CCR, @aa:16	3				1	
	STC CCR, @aa:24	4				1	
SUB	SUB.B Rs, Rd	1					
	SUB.W #xx:16, Rd	2					
	SUB.W Rs, Rd	1					
	SUB.L #xx:32, ERd	3					
	SUB.L ERs, ERd	1					
SUBS	SUBS #1/2/4, ERd	1					
SUBX	SUBX #xx:8, Rd	1					
	SUBX Rs, Rd	1					
TRAPA	TRAPA #xx:2	2	1	2			4
XOR	XOR.B #xx:8, Rd	1					
	XOR.B Rs, Rd	1					
	XOR.W #xx:16, Rd	2					
	XOR.W Rs, Rd	1					
	XOR.L #xx:32, ERd	3					
	XOR.L ERs, ERd	2					
XORC	XORC #xx:8, CCR	1					

【注】 *1 n は R4L、R4 の設定値です。ソース側、デスティネーション側のアクセスが、それぞれ (n+1) 回行われます。

*2 本 LSI では使用できません。

A.4 命令とアドレッシングモードの組み合わせ

表 A.5 命令とアドレッシングモードの組み合わせ

機能	命令	アドレッシングモード													
		# xx	Rn	@ERn	@(d:16,ERn)	@(d:24,ERn)	@ERn+/@ERn	B	@aa:8	@aa:16	@aa:24	@(d:8,PC)	@(d:16,PC)	@aa:8	
データ処理命令	MOV	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	—
	POP, PUSH	—	—	—	—	—	—	—	—	—	—	—	—	—	WL
	MOVFP, MOVFPE, MOVTFPE	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	ADD, CMP	BWL	BWL	—	—	—	—	—	—	—	—	—	—	—	—
算術演算命令	SUB	WL	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	ADD, SUBX	B	B	—	—	—	—	—	—	—	—	—	—	—	—
	ADDS, SUBS	—	L	—	—	—	—	—	—	—	—	—	—	—	—
	INC, DEC	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	DAA, DAS	—	B	—	—	—	—	—	—	—	—	—	—	—	—
	MULXU, MULXS, DIVXU, DIVXS	—	BW	—	—	—	—	—	—	—	—	—	—	—	—
	NEG	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	EXTU, EXTS	—	WL	—	—	—	—	—	—	—	—	—	—	—	—
	AND, OR, XOR	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	NOT	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—
シフト命令	シフト命令	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	ビット操作命令	—	B	B	—	—	—	—	—	—	—	—	—	—	—
分岐命令	BCC, BSR	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	JMP, JSR	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	RTS	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	TRAPA	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	RTE	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	SLEEP	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	LDC	B	B	W	W	W	W	W	W	W	W	W	W	W	—
	STC	—	B	W	W	W	W	W	W	W	W	W	W	W	—
	ANDC, ORC, XORC	B	—	—	—	—	—	—	—	—	—	—	—	—	—
	NOP	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ブロック転送命令	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BW

B. I/O ポート

B.1 I/O ポートブロック図

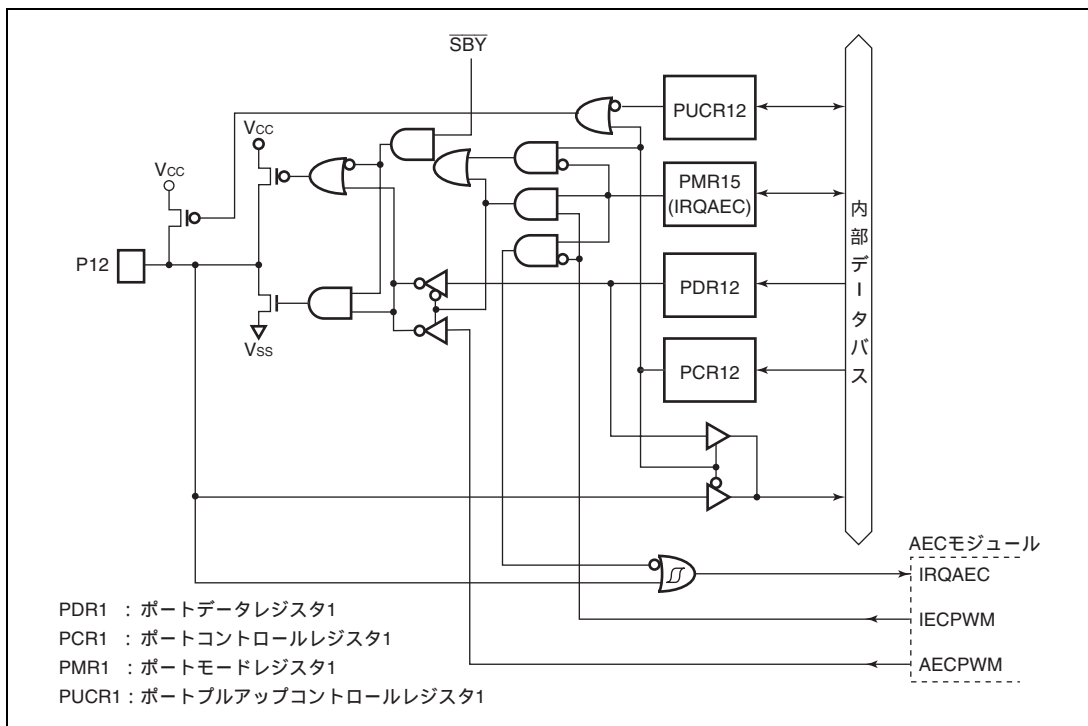


図 B.1 (a) ポート 1 ブロック図 (P12 端子)

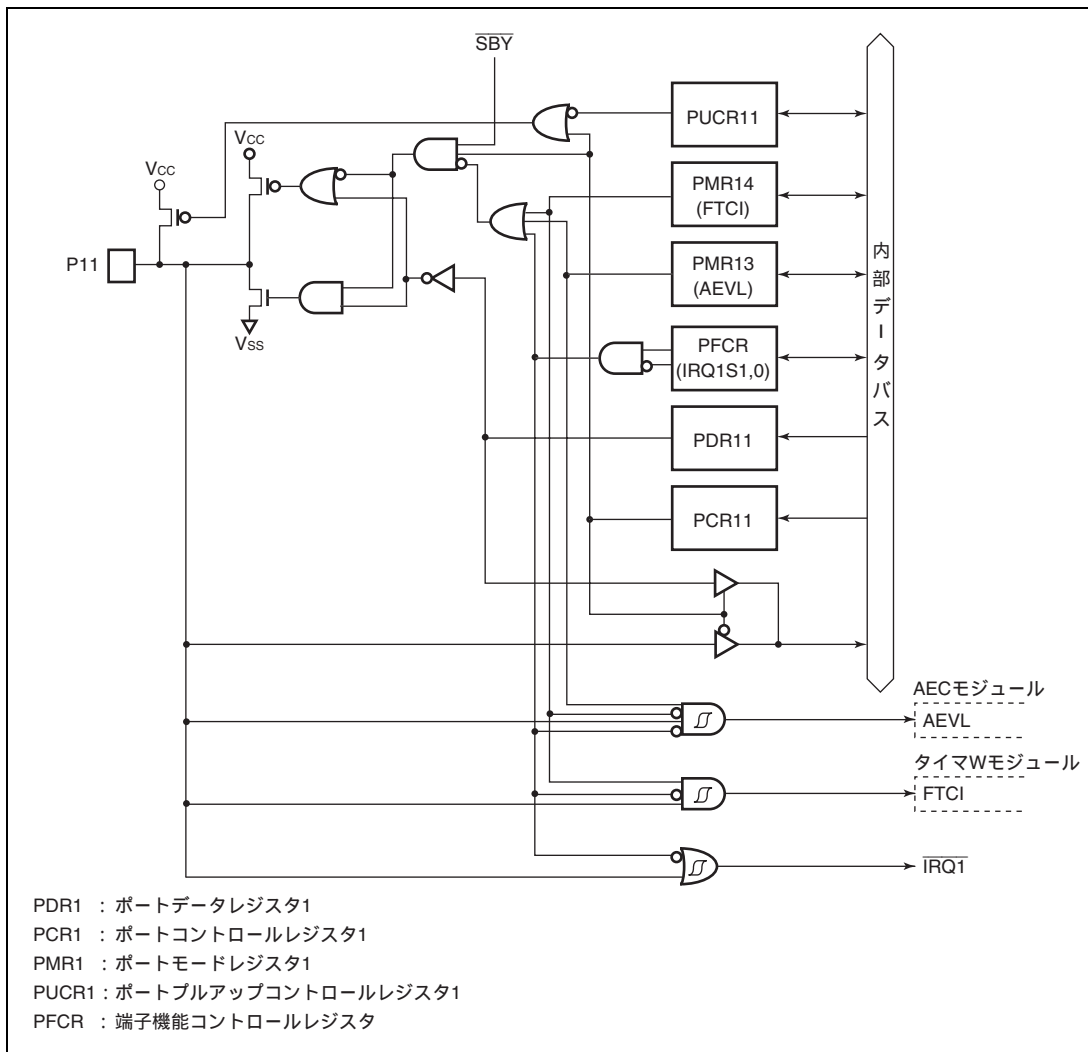


図 B.1 (b) ポート 1 ブロック図 (P11 端子)

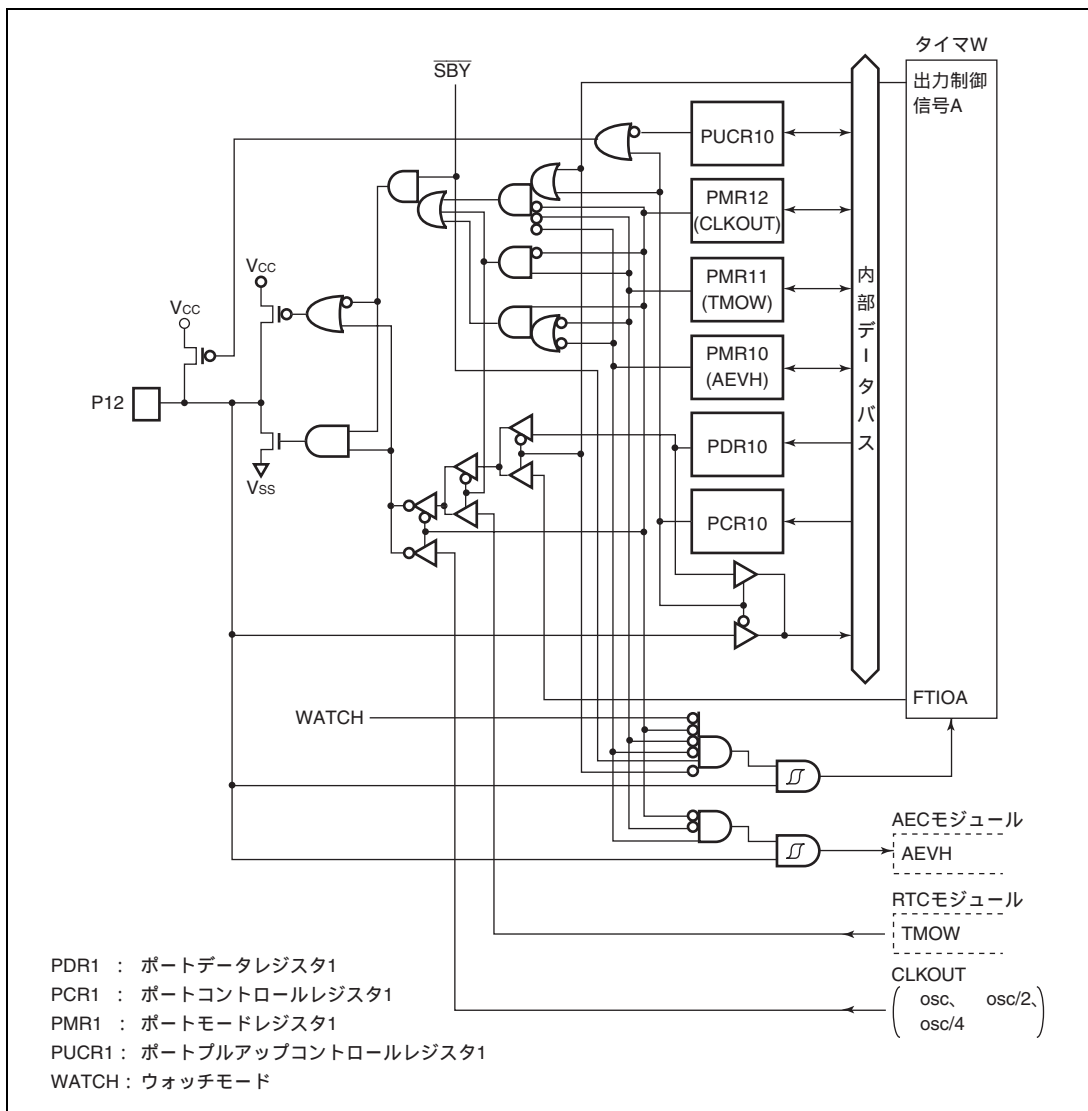


図 B.1 (c) ポート1 ブロック図 (P10 端子)

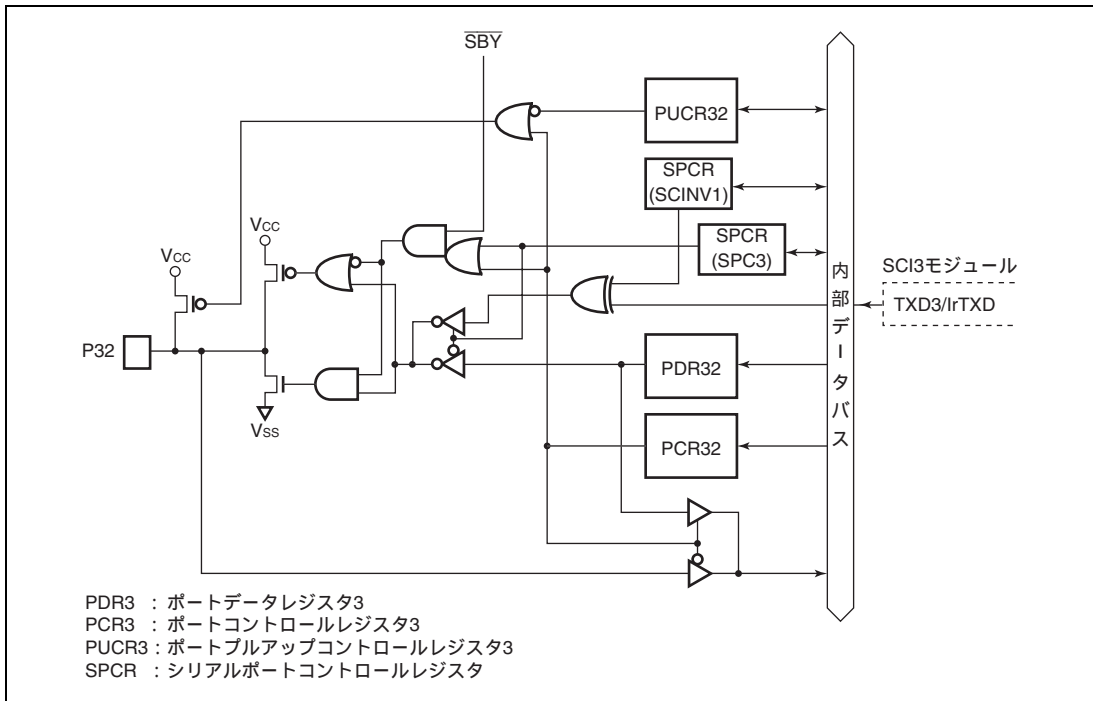


図 B.2 (a) ポート 3 ブロック図 (P32 端子)

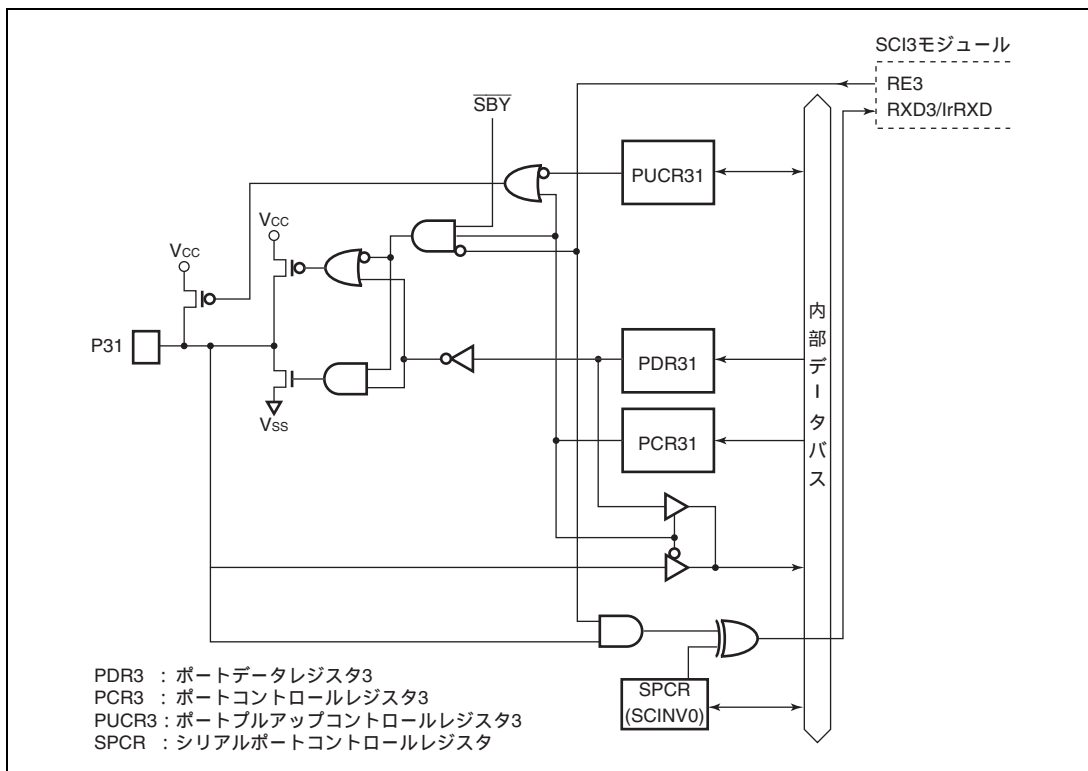


図 B.2 (b) ポート 3 ブロック図 (P31 端子)

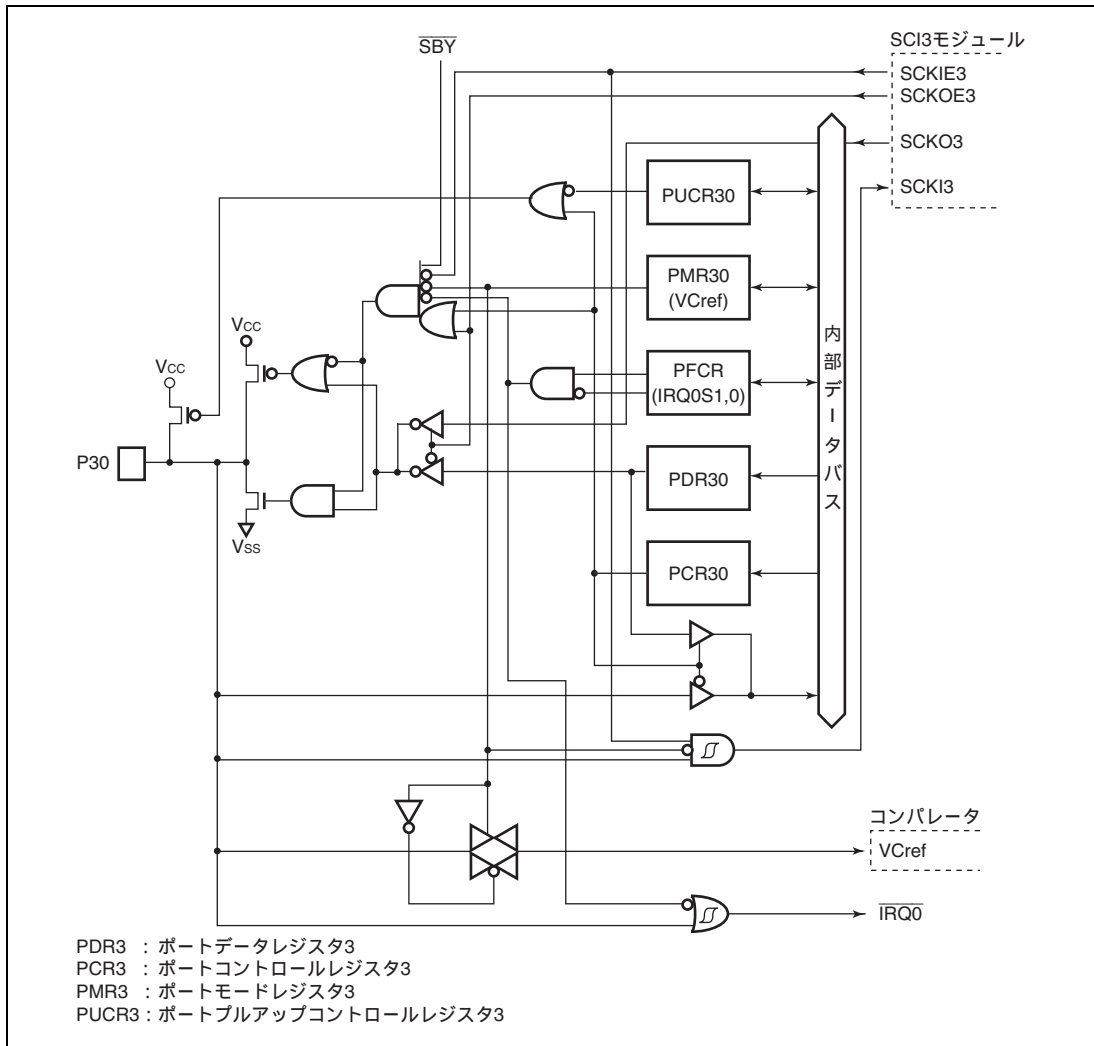


図 B.2 (c) ポート 3 ブロック図 (P30 端子)

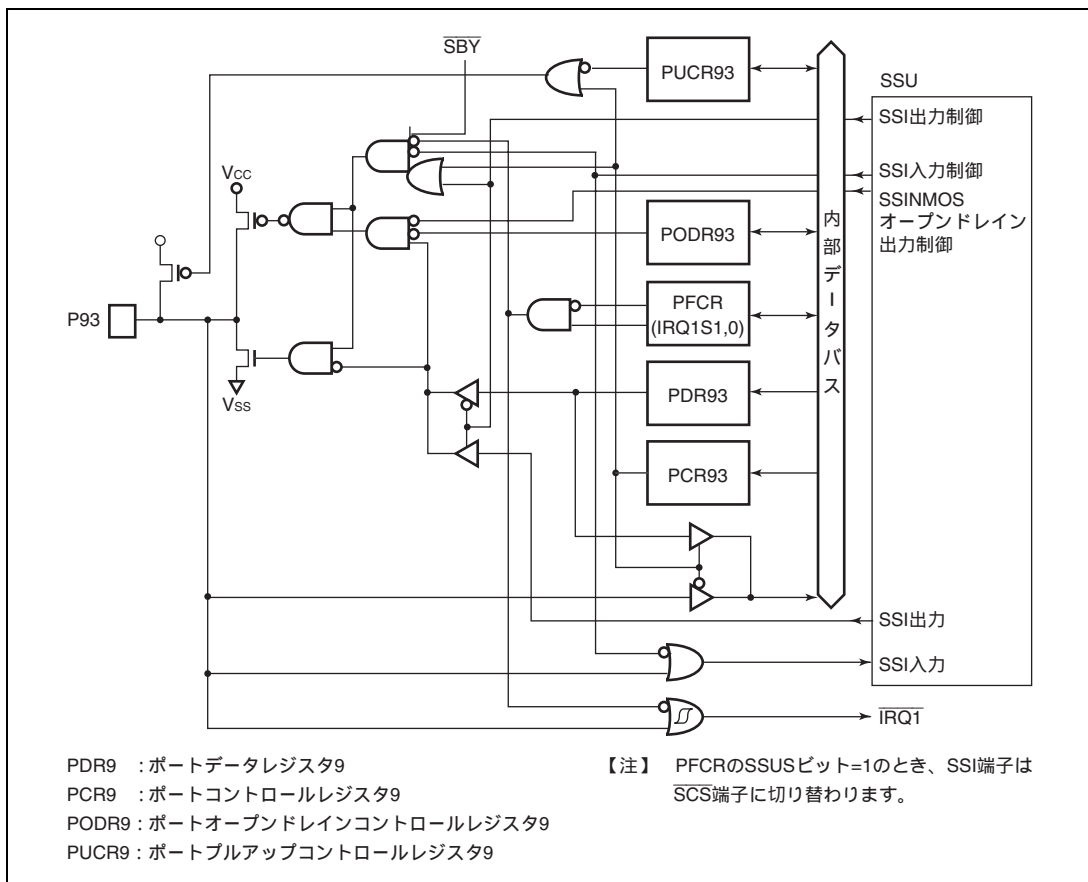


図 B.4 (a) ポート 9 ブロック図 (P93 端子)

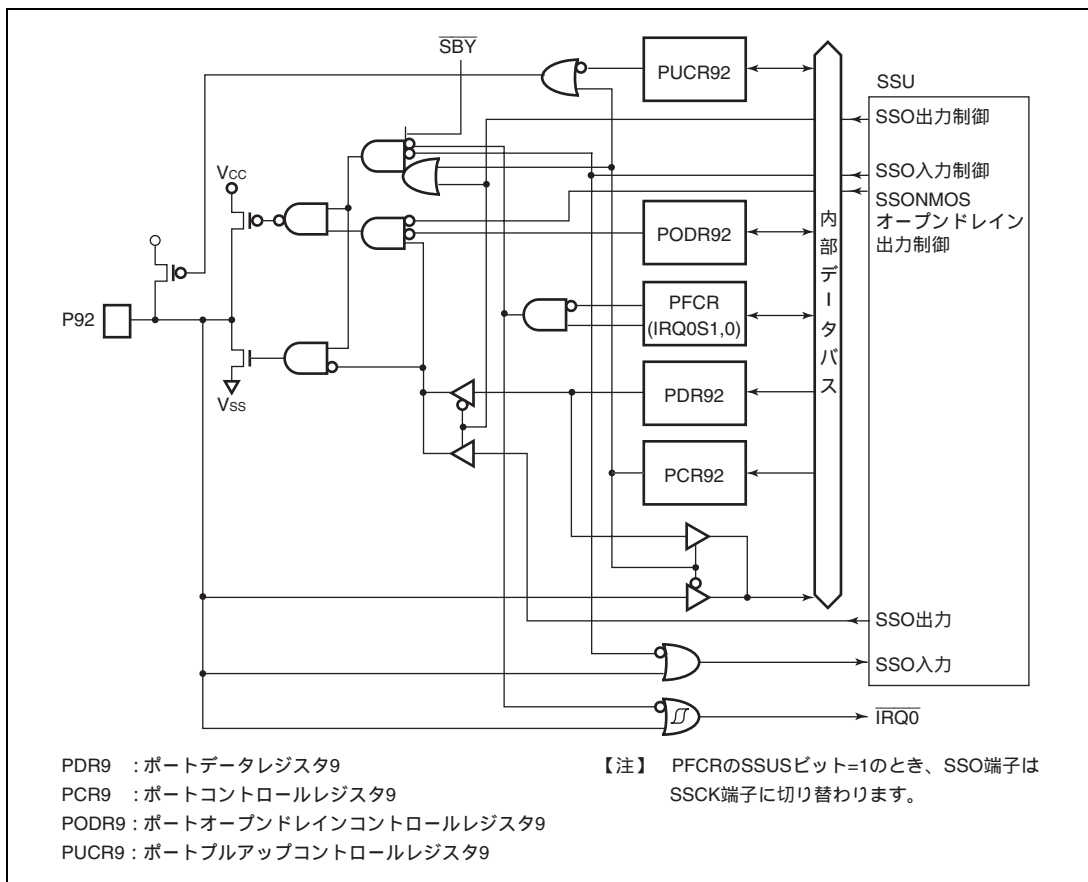


図 B.4 (b) ポート 9 ブロック図 (P92 端子)

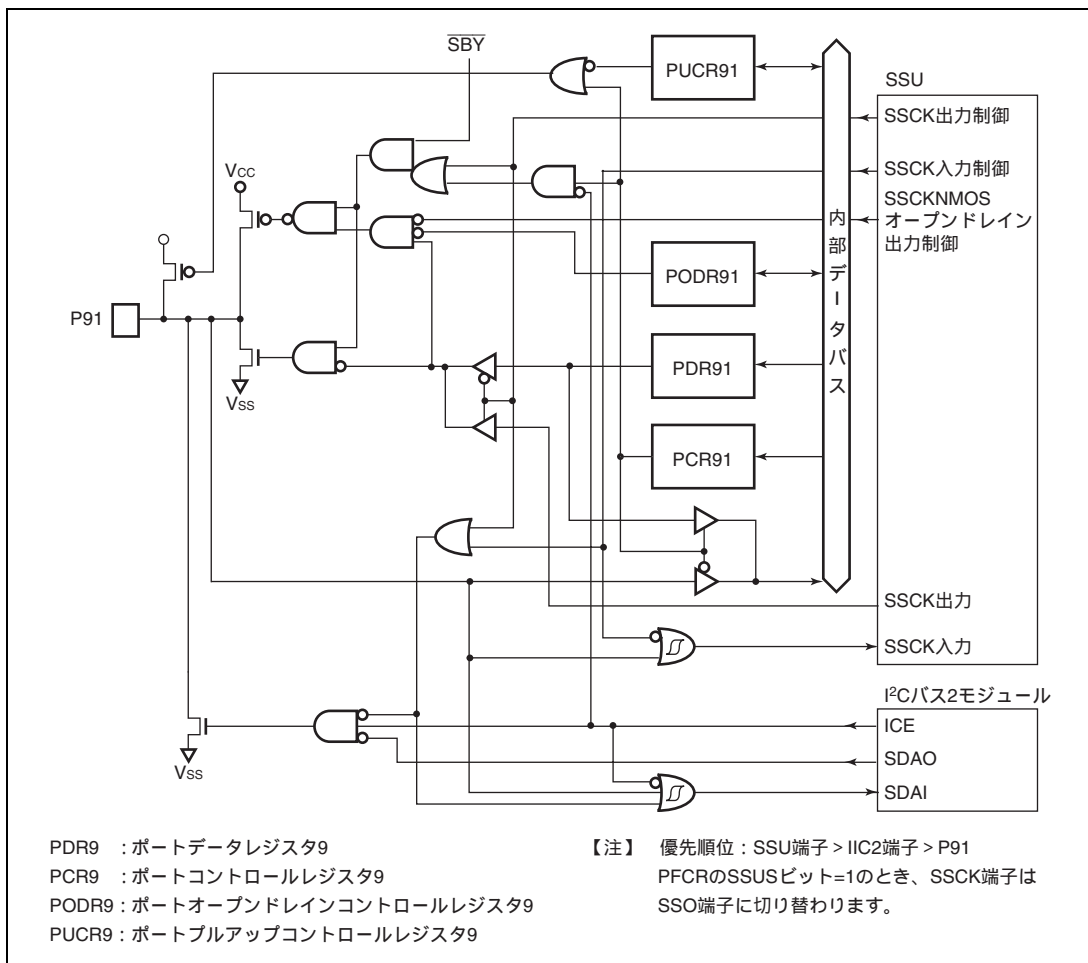


図 B.4 (c) ポート 9 ブロック図 (P91 端子)

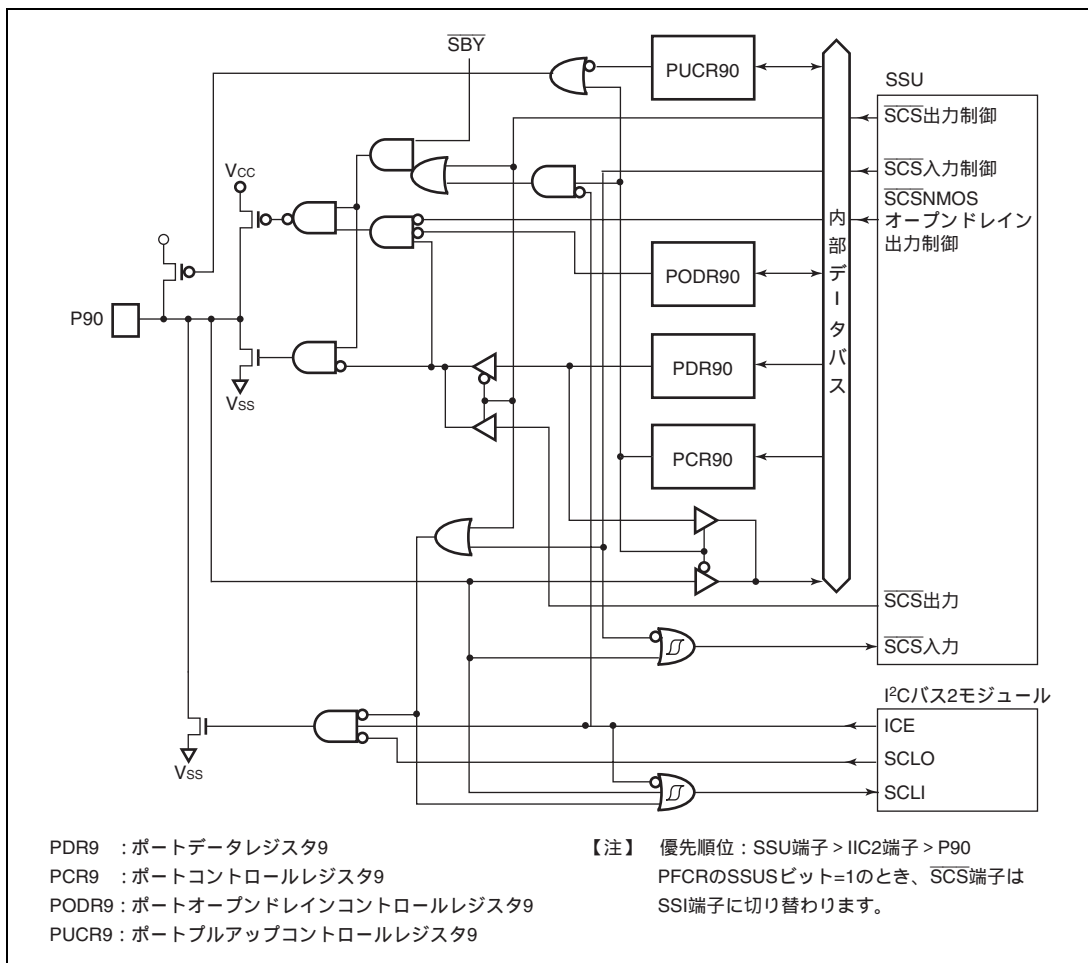


図 B.4 (d) ポート 9 ブロック図 (P90 端子)

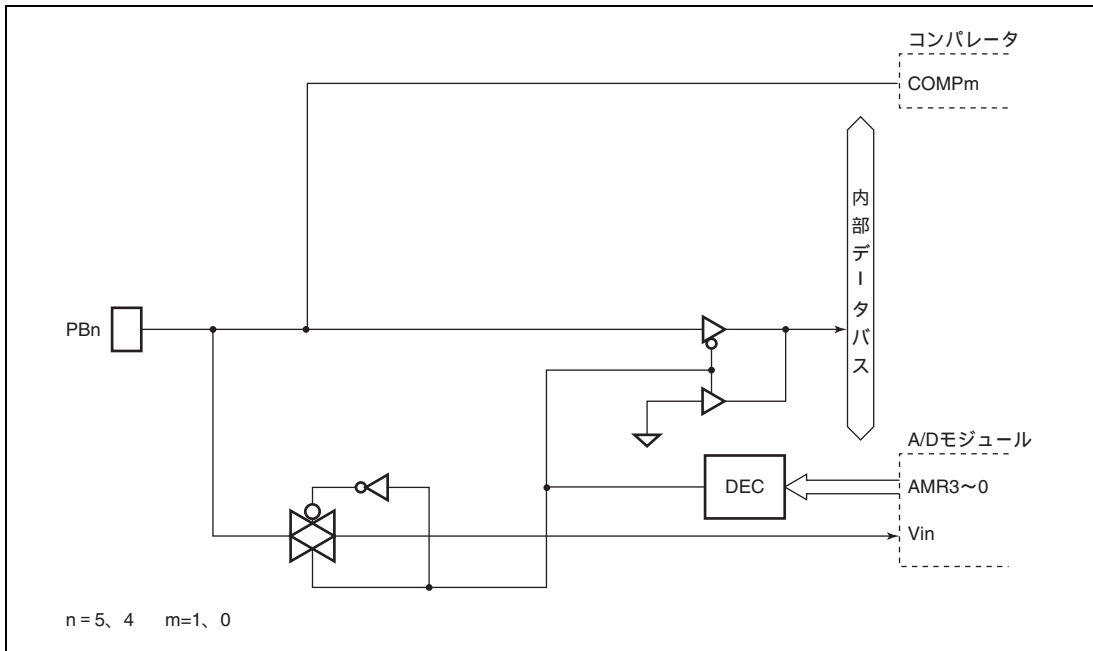


図 B.5 (a) ポート B ブロック図 (PB5、PB4 端子)

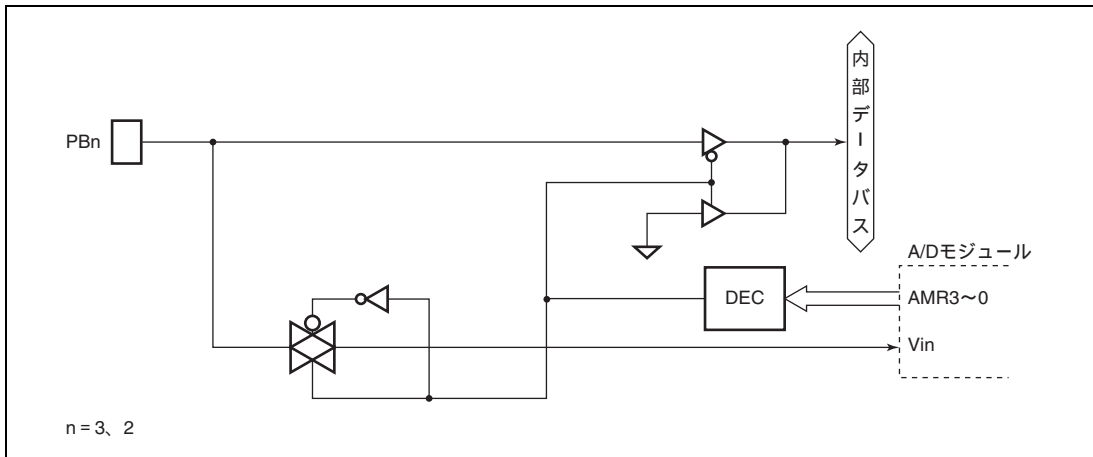


図 B.5 (b) ポート B ブロック図 (PB3、PB2 端子)

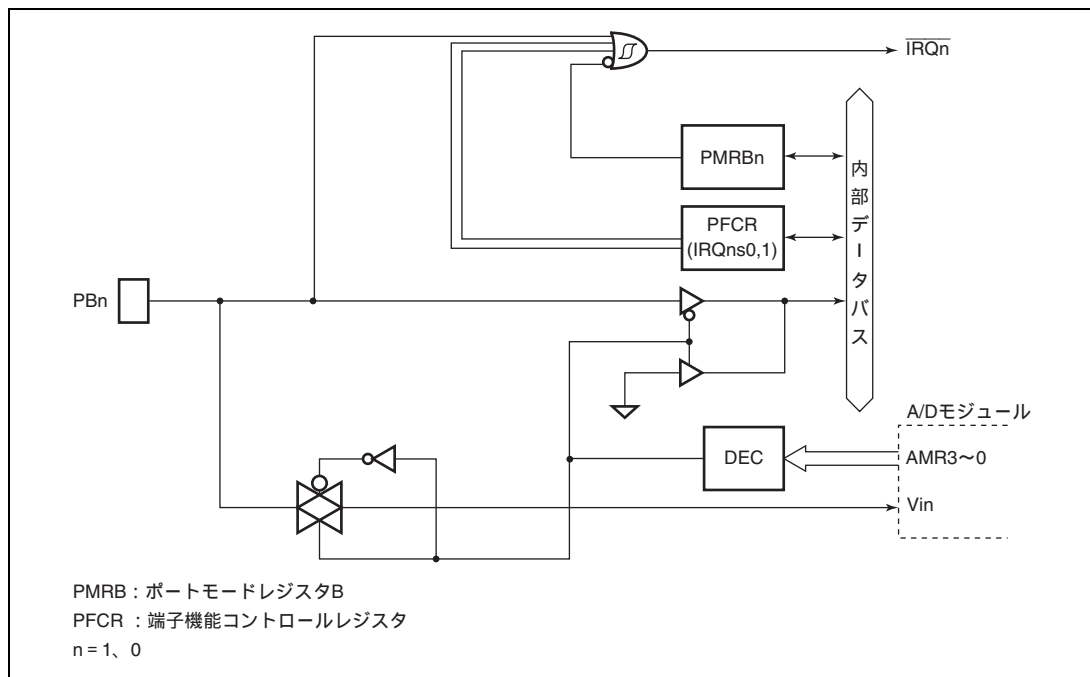


図 B.5 (c) ポート B ブロック図 (PB1、PB0 端子)

B.2 各処理状態におけるポートの状態

動作モード	リセット	スリープ (高速/中速)	サブ スリープ	スタンバイ	サブ アクティブ	アクティブ (高速/中速)	ウォッチ
P12 ~ P10	ハイインピー ダンス	保持	保持	ハイインピー ダンス*1*2	動作	動作	保持
P32 ~ P30	ハイインピー ダンス	保持	保持	ハイインピー ダンス*1*2	動作	動作	保持
P84 ~ P82	ハイインピー ダンス	保持	保持	ハイインピー ダンス*1*2	動作	動作	保持
P93 ~ P90	ハイインピー ダンス	保持	保持	ハイインピー ダンス*1*2	動作	動作	保持
PB5 ~ PB0	ハイインピー ダンス	ハイインピー ダンス	ハイインピー ダンス	ハイインピー ダンス*1	ハイインピー ダンス	ハイインピー ダンス	ハイインピー ダンス

【注】 *1 レジスタは保持、出力はハイインピーダンス。

*2 プルアップ MOS が ON 状態では High レベル出力となります。

B.3 ポート 9 関連レジスタの設定と各端子の機能

表 B.1 ポート 9 関連レジスタの設定と各端子の機能

SSU 設定					IIC2 設定 ICE	PFCR 設定			各端子の機能			
SSUMS	BIDE	MSS	TE	RE		SSUS	IRQ1S 1、0	IRQ0S 1、0	P93	P92	P91	P90
0 クロック 同期式 通信	*	0 (スレーブ)	0	1 (受信)	0 (IIC2 未使用)	0	01 以外	01 以外	SSI 入力	P92 入出力	SSCK 入力	P90 入出力
							01 以外	01	SSI 入力	IRQ0N 入力	SSCK 入力	P90 入出力
						1	01 以外	01 以外	P93 入出力	SSCK 入力	P91 入出力	SSI 入力
						01	01 以外	IRQ1N 入力	SSCK 入力	P91 入出力	SSI 入力	
			1 (送信)	0		01 以外	01 以外	P93 入出力	SSO 出力	SSCK 入力	P90 入出力	
						01	01 以外	IRQ1N 入力	SSO 出力	SSCK 入力	P90 入出力	
				1		01 以外	01 以外	P93 入出力	SSCK 入力	SSO 出力	P90 入出力	
				01		01 以外	IRQ1N 入力	SSCK 入力	SSO 出力	P90 入出力		
		1 (マスター)	0	1 (受信)	0 (IIC2 未使用)	0	01 以外	01 以外	SSI 入力	P92 入出力	SSCK 出力	P90 入出力
							01 以外	01	SSI 入力	IRQ0N 入力	SSCK 出力	P90 入出力
						1	01 以外	01 以外	P93 入出力	SSCK 出力	P91 入出力	SSI 入力
						01	01 以外	IRQ1N 入力	SSCK 出力	P91 入出力	SSI 入力	
			1 (送信)	0		01 以外	01 以外	P93 入出力	SSO 出力	SSCK 出力	P90 入出力	
						01	01 以外	IRQ1N 入力	SSO 出力	SSCK 出力	P90 入出力	
				1		01 以外	01 以外	P93 入出力	SSCK 出力	SSO 出力	P90 入出力	
				01		01 以外	IRQ1N 入力	SSCK 出力	SSO 出力	P90 入出力		
1 (送信)	1 (受信)	0 (IIC2 未使用)	0	01 以外	01 以外	SSI 入力	SSO 出力	SSCK 出力	P90 入出力			
				01 以外	01 以外	P93 入出力	SSCK 出力	SSO 出力	SSI 入力			
			1	01 以外	01 以外	P93 入出力	SSCK 出力	SSO 出力	SSI 入力			
			01	01 以外	IRQ1N 入力	SSCK 出力	SSO 出力	SSI 入力				

SSU 設定					IIC2 設定 ICE	PFCR 設定			各端子の機能			
SSUMS	BIDE	MSS	TE	RE		SSUS	IRQ1S 1、0	IRQ0S 1、0	P93	P92	P91	P90
1 4 線式 バス通信	0 (片方向)	0 (スレーブ)	0	1 (受信)	0 (IIC2 未使用)	0	01 以外	01 以外	P93 入出力	SSO 入力	SSCK 入力	SCS 入力
						0	01	01 以外	IRQ1N 入力	SSO 入力	SSCK 入力	SCS 入力
			1	01 以外	01 以外	SCS 入力	SSCK 入力	SSO 入力	P90 入出力			
			1 (送信)	0	0 (IIC2 未使用)	0	01 以外	01 以外	SSI 出力	P92 入出力	SSCK 入力	SCS 入力
						0	01 以外	01	SSI 出力	IRQ0N 入力	SSCK 入力	SCS 入力
			1	01 以外	01 以外	SCS 入力	SSCK 入力	P91 入出力	SSI 出力			
		1 (送信)	1 (受信)	0 (IIC2 未使用)	0	01 以外	01 以外	SSI 出力	SSO 入力	SSCK 入力	SCS 入力	
					1	01 以外	01 以外	SCS 入力	SSCK 入力	SSO 入力	SSI 出力	
		1 (マスター)	0	1 (受信)	0 (IIC2 未使用)	0	01 以外	01 以外	SSI 入力	P92 入出力	SSCK 出力	SCS 出力
						0	01 以外	01	SSI 入力	IRQ0N 入力	SSCK 出力	SCS 出力
			1	01 以外	01 以外	SCS 出力	SSCK 出力	P91 入出力	SSI 入力			
			1 (送信)	0	0 (IIC2 未使用)	0	01 以外	01 以外	P93 入出力	SSO 出力	SSCK 出力	SCS 出力
	0					01	01 以外	IRQ1N 入力	SSO 出力	SSCK 出力	SCS 出力	
	1		01 以外	01 以外	SCS 出力	SSCK 出力	SSO 出力	P90 入出力				
	1 (送信)	1 (受信)	0 (IIC2 未使用)	0	01 以外	01 以外	SSI 入力	SSO 出力	SSCK 出力	SCS 出力		
				1	01 以外	01 以外	SCS 出力	SSCK 出力	SSO 出力	SSI 入力		
	1 (双方向)	0 (スレーブ)	0	1 (受信)	0 (IIC2 未使用)	0	01 以外	01 以外	P93 入出力	SSO 入力	SSCK 入力	SCS 入力
						0	01	01 以外	IRQ1N 入力	SSO 入力	SSCK 入力	SCS 入力
			1	01 以外	01 以外	SCS 入力	SSCK 入力	SSO 入力	P90 入出力			
			1 (送信)	0	0 (IIC2 未使用)	0	01 以外	01 以外	P93 入出力	SSO 出力	SSCK 入力	SCS 入力
						0	01	01 以外	IRQ1N 入力	SSO 出力	SSCK 入力	SCS 入力
			1	01 以外	01 以外	SCS 入力	SSCK 入力	SSO 出力	P90 入出力			
		1 (マスター)	0	1 (受信)	0 (IIC2 未使用)	0	01 以外	01 以外	P93 入出力	SSO 入力	SSCK 出力	SCS 出力
						0	01	01 以外	IRQ1N 入力	SSO 入力	SSCK 出力	SCS 出力
1		01 以外	01 以外	SCS 出力	SSCK 出力	SSO 入力	P90 入出力					
1 (送信)		0	0 (IIC2 未使用)	0	01 以外	01 以外	P93 入出力	SSO 出力	SSCK 出力	SCS 出力		
				0	01	01 以外	IRQ1N 入力	SSO 出力	SSCK 出力	SCS 出力		
1		01 以外	01 以外	SCS 出力	SSCK 出力	SSO 出力	P90 入出力					

SSU 設定					IIC2 設定 ICE	PFCR 設定			各端子の機能			
SSUMS	BIDE	MSS	TE	RE		SSUS	IRQ1S 1、0	IRQ0S 1、0	P93	P92	P91	P90
0 (SSU 未使用)	0	0	0	0	1 (IIC2 使用)	*	01 以外	01 以外	P93 入出力	P92 入出力	SDA 入出力	SCL 入出力
							01 以外	01	P93 入出力	IRQ0N 入力	SDA 入出力	SCL 入出力
							01	01 以外	IRQ1N 入力	P92 入出力	SDA 入出力	SCL 入出力
							01	01	IRQ1N 入力	IRQ0N 入力	SDA 入出力	SCL 入出力
					0 (IIC2 未使用)	*	01 以外	01 以外	P93 入出力	P92 入出力	P91 入出力	P90 入出力
							01 以外	01	P93 入出力	IRQ0N 入力	P91 入出力	P90 入出力
							01	01 以外	IRQ1N 入力	P92 入出力	P91 入出力	P90 入出力
							01	01	IRQ1N 入力	IRQ0N 入力	P91 入出力	P90 入出力

C. 製品型名一覧

製品分類				製品型名	マーク型名	パッケージ (パッケージコード)
H8/38602R グループ	H8/38602R	フラッシュ メモリ版	(10MHz)	HD64F38602RFT10	38602R10	32 ピン QFN (TNP-32)
			(4MHz)	HD64F38602RFT4	38602R4	
			(10MHz)	HD64F38602RFH10	F38602RFH10	32 ピン LQFP (32P6U-A)
			(4MHz)	HD64F38602RFH4	F38602RFH4	
	H8/38600R	マスク ROM 版		HD64338602RFT	38602R(***)	32 ピン QFN (TNP-32)
				HD64338602RFH	38602R(***)	32 ピン LQFP (32P6U-A)
	H8/38600R	マスク ROM 版		HD64338600RFT	38600R(***)	32 ピン QFN (TNP-32)
				HD64338600RFH	38600R(***)	32 ピン LQFP (32P6U-A)

【注】 マスク ROM 版の (***) は ROM コードです。

D. 外形寸法図

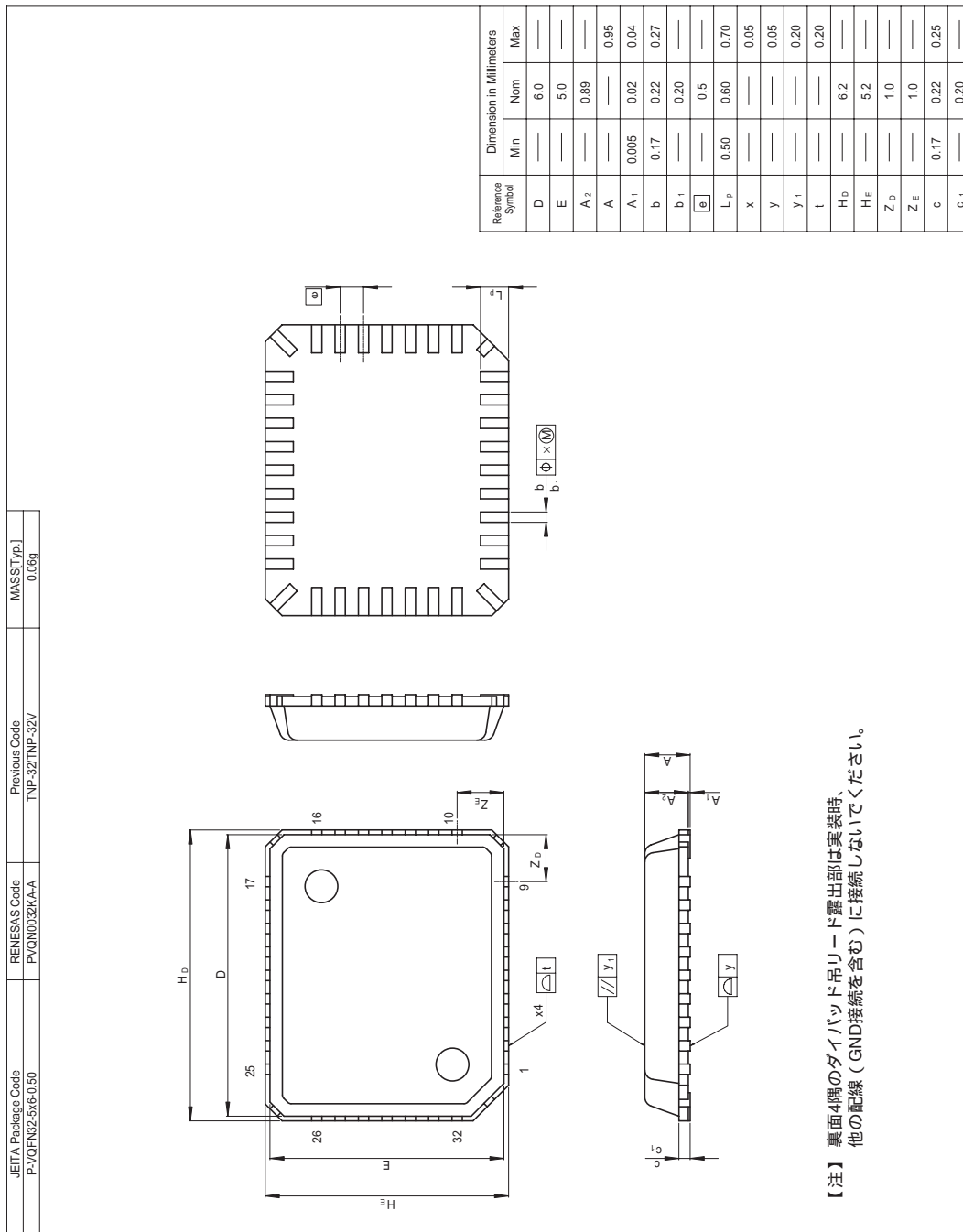


図 D.1 外形寸法図（TNP-32）

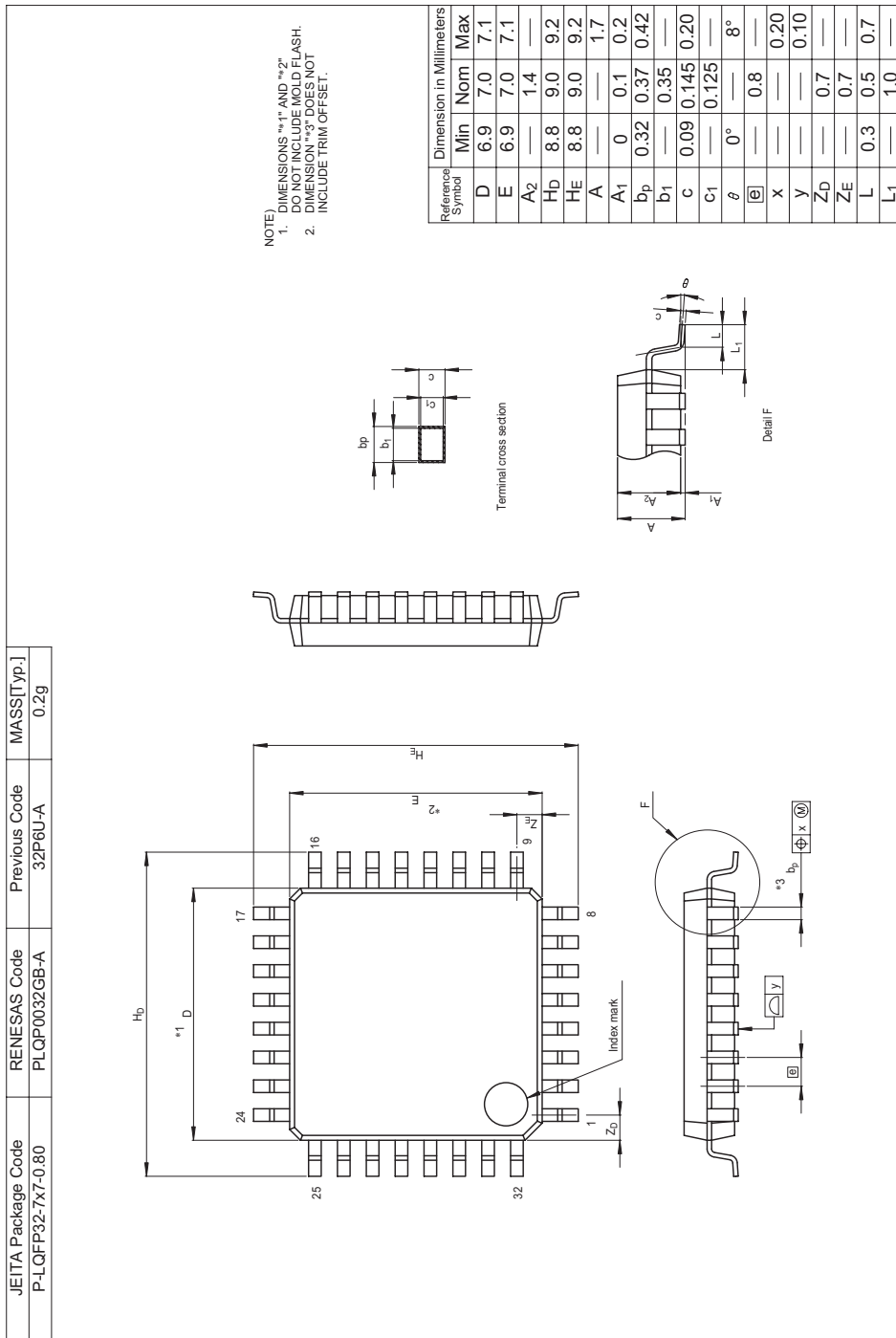
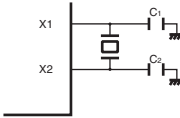
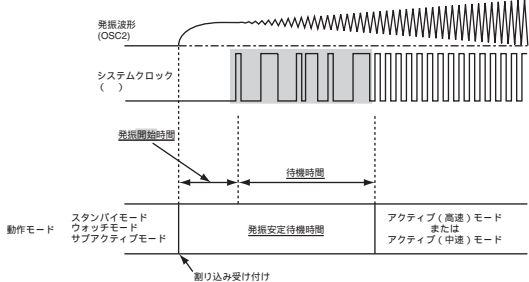


図 D.2 外形寸法図 (32P6U-A)

本版で修正または追加された箇所

項 目	ページ	修正箇所															
1.1 特長 • 小型パッケージ	1-2	追加 <table border="1"> <thead> <tr> <th>パッケージ</th> <th>コード</th> <th>ボディサイズ</th> <th>ピンピッチ</th> <th>備考</th> </tr> </thead> <tbody> <tr> <td>P-VQFN-32</td> <td>TNP-32</td> <td>5 × 6mm</td> <td>0.5mm</td> <td></td> </tr> <tr> <td>P-LQFP-32</td> <td>32P6U-A</td> <td>7 × 7mm</td> <td>0.8mm</td> <td></td> </tr> </tbody> </table>	パッケージ	コード	ボディサイズ	ピンピッチ	備考	P-VQFN-32	TNP-32	5 × 6mm	0.5mm		P-LQFP-32	32P6U-A	7 × 7mm	0.8mm	
パッケージ	コード	ボディサイズ	ピンピッチ	備考													
P-VQFN-32	TNP-32	5 × 6mm	0.5mm														
P-LQFP-32	32P6U-A	7 × 7mm	0.8mm														
1.3 ピン配置図 図 1.3 H8/38602R グループ ピン配置図 (32P6U-A)	1-4	追加															
2.8 使用上の注意事項 2.8.2 EEPMOV 命令	2-26	修正 EEPMOV 命令はブロック転送命令で、R5 で示されるアドレスから始まる R4 または R4L で示されるバイト数のデータを、R6 で示されるアドレスへ転送します。転送先の最終アドレス (R6 + R4L または R6+R4 の値) が H'FFFF を超えないように (実行途中で R6 の値が H'FFFF H'0000 とならないように)、R4 または R4L、R6 を設定してください。															
3.2 リセット	3-4	追加 リセットを開始させる要因には、3 種類の要因があります。各要因について表 3.2 に示します。															
表 3.2 リセット要因	3-4	追加															
3.2.1 リセット例外処理	3-4	修正 リセット要因が発生すると実行中の処理はすべて打ち切れ、 は、RES 端子を以下の動作としてください。 <ul style="list-style-type: none"> 電源投入時、もしくはシステムクロック発振器が停止している状態 システムクロック発振器の発振が安定するまで RES 端子を Low レベルに保持してください。 システムクロック発振器が動作している状態 RES 端子を電気的特性で定めている t_{REL} ステートの間、Low レベルにしてください。 															
3.8 使用上の注意事項 3.8.1 スタック領域に関する使用上の注意事項	3-16	修正 すなわち、レジスタの退避には、「PUSH.W Rn (MOV.W Rn, @-SP)」または「PUSH.L ERn (MOV.L ERn, @-SP)」、復帰には「POP.W Rn (MOV.W @SP+, Rn)」または「POP.L ERn (MOV.L @SP+, ERn)」を使用してください。 SP に奇数を設定すると、誤動作の原因となります。SP に奇数を設定した場合の動作例を図 3.6 に示します。 RES 端子によるリセット例外処理シーケンスを図 3.4 に示します。															

項 目	ページ	修正箇所												
4.2.4 内蔵発振器を選択する方法	4-4	<p>修正</p> <p>・・・リセットが解除された時点で確定されます。</p> <p>内蔵発振器を選択した場合、OSC1 端子、OSC2 端子に発振子を接続する必要がなくなります。この場合、OSC1 端子を GND に固定もしくはオープンにしてください。</p> <p>OSC2 端子はオープンにしてください。</p> <p>【注】2. 抵抗値については、オンチップデバッグ接続時は High レベル、非接続時には選択すべきレベルとなる抵抗を用いてください。</p>												
4.3.1 32.768kHz/38.4kHz 水晶発振子を接続する方法 図 4.5 32.768kHz/38.4kHz 水晶発振子の接続例	4-5	<p>修正</p>  <p>【注】 回路定数は、発振子メーカーと十分ご相談ください。</p> <table border="1"> <thead> <tr> <th>発振周波数</th> <th>メーカー</th> <th>型 式</th> <th>等価直列抵抗</th> </tr> </thead> <tbody> <tr> <td>38.4kHz</td> <td>エプソントヨコム</td> <td>C-4-TYPE</td> <td>30k max</td> </tr> <tr> <td>32.768kHz</td> <td>エプソントヨコム</td> <td>C-001R</td> <td>35k max</td> </tr> </tbody> </table> <p>C₁ = C₂ = 7pF (typ.)</p> <p>追加</p> <ol style="list-style-type: none"> 上記以外の発振子を使用する場合は、発振子メーカーと十分なマッチング評価を実施し、最適条件で使用してください。また、上記発振子または相当品を使用する場合においても、発振特性は基板仕様に影響するため、実装基板上でマッチング評価を実施してください。 マッチング評価はリセット状態 (RES=L) およびリセット解除状態 (RES=L H) のそれぞれで実施してください。 	発振周波数	メーカー	型 式	等価直列抵抗	38.4kHz	エプソントヨコム	C-4-TYPE	30k max	32.768kHz	エプソントヨコム	C-001R	35k max
発振周波数	メーカー	型 式	等価直列抵抗											
38.4kHz	エプソントヨコム	C-4-TYPE	30k max											
32.768kHz	エプソントヨコム	C-001R	35k max											
4.4.1 ブリスケラ S	4-7	<p>削除</p> <p>ブリスケラ S の出力は、各種内蔵周辺機能で共用しています。分周比は各内蔵周辺機能で独立に設定できます。</p>												
4.5.1 発振子と発振回路に関する注意事項	4-8	<p>修正</p> <p>発振子に関する諸特性は、ユーザのボード設計に密接に関係します。そのため、本章で案内する発振子の配置例を参考に、・・・。</p>												
4.5.3 発振安定待機時間の定義	4-10	<p>修正</p> <p>・・・図 4.12 に示すように、システムクロック発振器が停止しているスタンバイモード、ウォッチモード、サブアクティブモードから、アクティブ (高速、中速) モードに遷移する場合、下記 2 項目 (発振開始時間、待機時間) の合計時間が必要となります。</p> <p>(1) 発振開始時間 (t_{rc})</p> <p>割り込みが発生し、システムクロック発振器の発振波形が変化を開始した時点から、システムクロックを発生し始めるまでの時間。</p> <p>(2) 待機時間</p> <p>発振波形の周波数およびシステムクロックが発生してから、発振振幅が大きくなり発振周波数が安定して CPU および周辺機能が動作し始めるまでに必要とする時間。</p> <p>待機時間の設定は、SYSCR4 の STS2 ~ STS0 ビットの設定値により選択できます。</p>												

項 目	ページ	修正箇所
図 4.12 発振安定待機時間	4-11	<p>修正</p> 
4.5.3 発振安定待機時間の定義	4-11	<p>修正</p> <p>必要とされる発振安定待機時間は、AC 特性で定めるパワーオン時の「発振安定時間 t_{rc}」と同一であり、SYSCR1 の STS2 ~ 0 が t_{rc} 以上となるよう設定してください。</p> <p>また、いったんシステムクロックが停止した場合、CPU および周辺機器を正常動作させるためには 46 ステート以上の待機時間を必要とします。</p> <p>以上のことから、割り込みが発生してから CPU および周辺機器が動作するまでに必要となる時間は、前述の発振安定時間と待機時間を合わせた時間になります。この合計時間を発振安定待機時間と呼び、下記(4)式で表します。</p> $\text{発振安定待機時間} = \text{発振安定時間} + \text{待機時間}$ $= t_{rc} + (46 \sim 46384 \text{ ステート}) \dots \dots \dots (4)$ <p>したがって、システムクロック発振器に発振子を接続しているときに、スタンバイモード、ウォッチモード、サブアクティブモードからアクティブ(高速、中速)モードに遷移する場合には、実装回路において十分な評価を行ってください。待機時間は、発振振幅が大きくなり発振周波数が安定する時間を確保してください。また、発振開始時間は実装回路の定数、浮遊容量等により異なるため、発振子メーカーとご相談の上、決定してください。</p>
4.5.5 発振子の発振安定についての注意事項	4-12	項目名修正
4.5.6 パワーオンリセット使用時の注意事項	4-12	<p>修正</p> <p>本 LSI 内蔵のパワーオンリセット回路は、RES 端子に外付けするコンデンサの容量によりリセット解除時間を調節できます。パワーオンリセットを使用する場合、抵抗 R は 400kΩ (内蔵) 固定であり、外付けのコンデンサ容量を調整し、リセット解除前に発振が安定するまでの時間を確保してください。パワーオンリセットの詳細は「第 19 章 パワーオンリセット回路」を参照してください。</p>

項 目	ページ	修正箇所
5.1.3 クロック停止レジスタ 1、2 (CKSTPR1、CKSTPR2) 【注】*3	5-5	削除 ウォッチドッグ機能が終了し、ソフトウェアで WDON を 0 に設定すると同時に WDCKSTP が有効になり、・・・
5.2 モード間遷移と LSI の状態 表 5.3 各動作モードでの LSI の状態 【注】*6	5-8	修正 内部クロックとして 32.7681Hz RTC を選択した場合に動作、その他は停止して保持
5.2.2 スタンバイモード	5-9	修正 ・ CPU のレジスタと一部の内蔵周辺モジュールの内部レジスタ、内蔵 RAM のデータは保持されます。 スタンバイモードでリセット要因が発生すると、システムクロック発振器が発振を開始します。システムクロックの発振開始と同時に LSI 全体にシステムクロックが供給されます。RES 端子によるリセットの場合、必ずシステムクロックの発振が安定し、加えて t_{REL} 期間が経過するまで Low レベルを保持してください。発振安定時間経過後 RES 端子を High レベルにすると、CPU はリセット例外処理を開始します。
5.2.3 ウォッチモード	5-10	修正 ウォッチモードでリセット要因が発生すると、システムクロック発振器が発振を開始します。システムクロックの発振開始と同時に LSI 全体にシステムクロックが供給されます。RES 端子によるリセットの場合、必ずシステムクロックの発振が安定し、加えて t_{REL} 期間が経過するまで Low レベルを保持してください。発振安定時間経過後 RES 端子を High レベルにすると、CPU はリセット例外処理を開始します。
5.2.4 サブスリープモード	5-10	修正 サブスリープモードでは CPU は停止しますが、・・・。 サブスリープモードでリセット要因が発生すると、システムクロック発振器が発振を開始します。システムクロックの発振開始と同時に LSI 全体にシステムクロックが供給されます。RES 端子によるリセットの場合、必ずシステムクロックの発振が安定し、加えて t_{REL} 期間が経過するまで Low レベルを保持してください。発振安定時間経過後 RES 端子を High レベルにすると、CPU はリセット例外処理を開始します。

項 目	ページ	修正箇所
5.2.5 サブアクティブモード	5-11	<p>修正</p> <p>なお、CCRの1ビットが1の場合、あるいは割り込みイネーブルレジスタにより当該割り込みの受け付けが禁止されている場合は、サブアクティブモードは解除されません。</p> <p>サブアクティブモードでリセット要因が発生すると、システムクロック発振器が発振を開始します。システムクロックの発振開始と同時にLSI全体にシステムクロックが供給されます。RES 端子によるリセットの場合、必ずシステムクロックの発振が安定し、加えて t_{REL} 期間が経過するまで Low レベルを保持してください。発振安定時間経過後 RES 端子を High レベルにすると、CPU はリセット例外処理を開始します。</p>
5.2.6 アクティブ（中速）モード	5-11	<p>修正</p> <p>アクティブ（中速）モードでは、システムクロックとして SYSCR1 の MA1、MA0 で設定したクロックが使用され、CPU と内蔵周辺モジュールが動作します。</p> <p>なお、CCRの1ビットが1の場合、または割り込み許可レジスタに於て当該割り込みの受け付けが禁止されている場合は、アクティブ（中速）モードは解除されません。アクティブ（中速）モード中 RES 端子を Low レベルにするとアクティブ（中速）モードは解除されリセット状態に遷移します。</p> <p>アクティブ（中速）モードでは内蔵周辺モジュールはSYSCR1のMA1、MA0で設定した周波数のクロックが使用され動作します。</p>
5.3 直接遷移	5-12	<p>修正</p> <p>アクティブモード、サブアクティブモードで動作クロックを変更する場合にも直接遷移を行います。SYSCR2のDTONを1にセットしてSLEEP命令を実行するとスリープモードまたはウォッチモードを経由し、遷移します。遷移後は直接遷移割り込み例外処理を開始します。</p> <p>【注】 CCRの1ビットが1の状態で行うとスリープモードまたはウォッチモードに遷移したまま復帰不可能となります。</p>
<p>(1) アクティブ（高速）モードからアクティブ（中速）モードへの直接遷移</p> <p>(2) アクティブ（高速）モードからサブアクティブモードへの直接遷移</p> <p>(3) アクティブ（中速）モードからアクティブ（高速）モードへの直接遷移</p> <p>(4) アクティブ（中速）モードからサブアクティブモードへの直接遷移</p> <p>(5) サブアクティブモードからアクティブ（高速）モードへの直接遷移</p> <p>(6) サブアクティブモードからアクティブ（中速）モードへの直接遷移</p>		<p>削除</p>

項 目	ページ	修正箇所
5.3.1 アクティブ(高速)モードからアクティブ(中速)モードへの直接遷移時の時間について	5-12	<p>修正</p> <p>アクティブ(高速)モードからアクティブ(中速)モードへの直接遷移時の時間について</p> <p>アクティブ(高速)モードで SYSCR1 の SSBY を 0、LSON を 0、SYSCR2 の MSON を 1、DTON を 1 にセットした状態で SLEEP 命令を実行すると、スリープモードを経由してアクティブ(中速)モードに遷移します。</p> <p>〔例〕遷移後の CPU 動作クロック： osc/8 を選択した場合</p> $\text{直接遷移時間} = (2 + 1) \times 1t_{\text{osc}} + 14 \times 8t_{\text{osc}} = 115t_{\text{osc}}$ <p>【注】各記号の意味につきましては「第 21 章 電気的特性」を参照ください。</p>
5.3.2 アクティブ(高速)モードからサブアクティブモードへの直接遷移時の時間について	5-12	<p>修正</p> <p>アクティブ(高速)モードからサブアクティブモードへの直接遷移時の時間について</p> <p>アクティブ(高速)モードで SYSCR1 の SSBY を 1、TMA3 を 1、LSON を 1、SYSCR2 の DTON を 1 にセットした状態で SLEEP 命令を実行すると、ウォッチモードを経由してサブアクティブモードに遷移します。</p> <p>〔例〕遷移後のサブアクティブ動作クロック： w/8 を選択した場合</p> $\text{直接遷移時間} = (2 + 1) \times 1t_{\text{osc}} + 14 \times 8t_{\text{w}} = 3t_{\text{osc}} + 112t_{\text{w}}$ <p>【注】各記号の意味につきましては「第 21 章 電気的特性」を参照ください。</p>
5.3.3 アクティブ(中速)モードからアクティブ(高速)モードへの直接遷移時の時間について	5-13	<p>修正</p> <p>アクティブ(中速)モードからアクティブ(高速)モードへの直接遷移時の時間について</p> <p>アクティブ(中速)モードで SYSCR1 の SSBY を 0、LSON を 0、SYSCR2 の MSON を 0、DTON を 1 にセットした状態で SLEEP 命令を実行すると、スリープモードを経由してアクティブ(高速)モードに遷移します。</p> <p>〔例〕遷移前の CPU 動作クロック： osc/8 を選択した場合</p> $\text{直接遷移時間} = (2 + 1) \times 8t_{\text{osc}} + 14 \times 1t_{\text{osc}} = 38t_{\text{osc}}$ <p>【注】各記号の意味につきましては「第 21 章 電気的特性」を参照ください。</p>
5.3.4 アクティブ(中速)モードからサブアクティブモードへの直接遷移時の時間について	5-13	<p>修正</p> <p>アクティブ(中速)モードからサブアクティブモードへの直接遷移時の時間について</p> <p>アクティブ(中速)モードで SYSCR1 の SSBY を 1、TMA3 を 1、LSON を 1、SYSCR2 の DTON を 1 にセットした状態で SLEEP 命令を実行すると、ウォッチモードを経由してサブアクティブモードに遷移します。</p> <p>〔例〕遷移前の CPU 動作クロック： osc/8、遷移後の CPU 動作クロック： w/8 を選択した場合</p> $\text{直接遷移時間} = (2 + 1) \times 8t_{\text{osc}} + 14 \times 8t_{\text{w}} = 24t_{\text{osc}} + 112t_{\text{w}}$ <p>【注】各記号の意味につきましては「第 21 章 電気的特性」を参照ください。</p>

項 目	ページ	修正箇所
5.3.5 サブアクティブモードからアクティブ(高速)モードへの直接遷移時の時間について	5-13	<p>修正</p> <p>サブアクティブモードからアクティブ(高速)モードへの直接遷移時の時間について</p> <p>サブアクティブモードで SYSCR1 の SSBY を 1、TMA3 を 1、LSON を 0、SYSCR2 の MSON を 0、DTON を 1 にセットした状態で SLEEP 命令を実行すると、ウォッチモードを経由し、SYSCR1 の STS2 ~ STS0 により設定された時間を経過した後、直接、アクティブ(高速)モードに遷移します。</p> <p>〔例〕遷移前の CPU 動作クロック： w/8、待機時間：8192 ステートを 選択した場合</p> $\text{直接遷移時間} = (2 + 1) \times 8tw + (8192 + 14) \times 1tosc = 24tw + 8206tosc$ <p>【注】各記号の意味につきましては「第 21 章 電気的特性」を参照ください。</p>
5.3.6 サブアクティブモードからアクティブ(中速)モードへの直接遷移時の時間について	5-14	<p>修正</p> <p>サブアクティブモードからアクティブ(中速)モードへの直接遷移時の時間について</p> <p>サブアクティブモードで SYSCR1 の SSBY を 1、TMA3 を 1、LSON を 0、SYSCR2 の MSON を 1、DTON を 1 にセットした状態で SLEEP 命令を実行すると、ウォッチモードを経由し、SYSCR1 の STS2 ~ STS0 により設定された時間を経過した後、直接、アクティブ(中速)モードに遷移します。</p> <p>〔例〕遷移前の CPU 動作クロック： w/8、遷移後の CPU 動作クロック： osc/8、待機時間：8192 ステートを 選択した場合</p> $\text{直接遷移時間} = (2 + 1) \times 8tw + 8192 \times 1tosc + 14 \times 8tosc = 24tw + 8304tosc$ <p>【注】各記号の意味につきましては「第 21 章 電気的特性」を参照ください。</p>
6.7 モジュールスタンバイモード設定時の注意事項	6-16	<p>修正</p> <p>また、モジュールスタンバイモード時に割り込みが発生すると、ベクタアドレスを読み出せず、結果としてプログラムが暴走します。</p>
8.1.5 端子機能 • P10/AEVH/FTIOA/TMOW/CLKOUT	8-4	<p>追加</p> <p>システムクロック発振器が停止する低消費電力モードからシステムクロック発振器が動作するアクティブモードに遷移する場合、遷移前に CLKOUT 出力を停止した状態 (CLKOUT = 0) に設定してください。</p>
8.7.2 端子機能による入力特性の相違について	8-21	<p>追加</p>

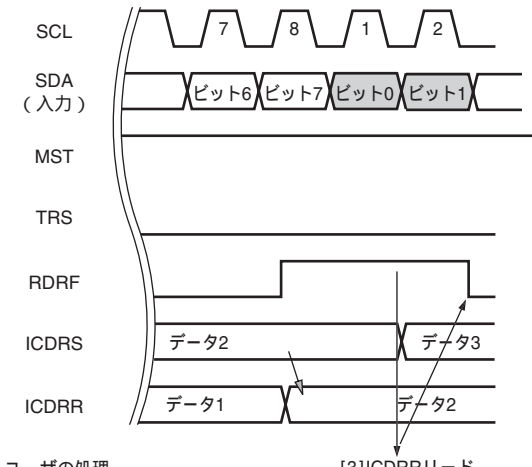
項 目	ページ	修正箇所															
9.3 使用方法 図 9.2 タイマ B1 初期設定フロー	9-4	修正 <div style="text-align: center;"> <p>タイマB1の モジュールスタンバイモードを解除する</p> <p>↓</p> <p>*1</p> <p>TMB1レジスタのTMB17ビットでカウンタ 機能を、TMB12～TMB10ビットで カウンタクロックをそれぞれ設定 (このときTMB16ビットは必ず0にして ライトしてください)</p> <p>↓</p> <p>オートリロード機能選択時は TLB1レジスタにリロード値を設定</p> <p>↓</p> <p>TMB1レジスタのTMB16ビットを1にして カウント動作を開始させる (このときTMB16ビット以外の値は必ず *1で設定した値にしてください)</p> </div>															
11.3.7 クロックソースセレクトレジスタ (RTCCSR)	11-7	修正 w/4 以外のクロックを選択すると RTC は無効となり、・・・。 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">ビット</th> <th style="width: 15%;">ビット名</th> <th style="width: 75%;">説 明</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">3</td> <td style="text-align: center;">RCS3</td> <td>クロックソース選択</td> </tr> <tr> <td style="text-align: center;">2</td> <td style="text-align: center;">RCS2</td> <td style="text-align: center;">:</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">RCS1</td> <td style="text-align: center;">:</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">RCS0</td> <td>1000 : w/4 …… RTC 動作 1001 ~ 1111 : 設定禁止</td> </tr> </tbody> </table> 削除 【注】× Don't care	ビット	ビット名	説 明	3	RCS3	クロックソース選択	2	RCS2	:	1	RCS1	:	0	RCS0	1000 : w/4 …… RTC 動作 1001 ~ 1111 : 設定禁止
ビット	ビット名	説 明															
3	RCS3	クロックソース選択															
2	RCS2	:															
1	RCS1	:															
0	RCS0	1000 : w/4 …… RTC 動作 1001 ~ 1111 : 設定禁止															
11.4.1 電源投入後のレジスタの初期設定	11-9	修正 RTC は RES 入力、ウォッチドッグタイマによるリセットでは、秒、分、時、曜日の情報を格納しているレジスタ、制御レジスタ、割り込みレジスタはリセットされません。															
11.5 割り込み要因	11-10	削除 なお、0.5 秒と 0.25 秒割り込みは RTC が動作開始した後、約 3.46ms 後に必ず割り込みが発生します。その後 0.5 秒周期、または 0.25 秒周期に割り込みが発生します。 修正 割り込みを使用する場合、RTC の割り込みイネーブル (IENR1 の IEMRTC ビットの 1 セット) は他のレジスタの設定が終了した後、最後に行ってください。															
11.6.2 割り込みをする場合の注意事項	11-11	追加															

項 目	ページ	修正箇所										
12.2.1 タイマコントロール/ステータスレジスタ WD1 (TCSRWD1)	12-4	修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>WRST</td> <td>ウォッチドッグタイマリセット ウォッチドッグタイマによるリセットが発生したかを示します。 ウォッチドッグタイマによるリセットではクリアできません。</td> </tr> </tbody> </table>	ビット	ビット名	説明	0	WRST	ウォッチドッグタイマリセット ウォッチドッグタイマによるリセットが発生したかを示します。 ウォッチドッグタイマによるリセットではクリアできません。				
ビット	ビット名	説明										
0	WRST	ウォッチドッグタイマリセット ウォッチドッグタイマによるリセットが発生したかを示します。 ウォッチドッグタイマによるリセットではクリアできません。										
12.3.1 ウォッチドッグタイマ時の動作	12-7	修正 内部リセット信号は内蔵発振器 (Rosc) で 512 クロック分の時間出力されます。										
12.3.2 インターバルタイマ時の動作 図 12.3 ウォッチドッグタイマモード時の動作	12-8	修正 										
12.5.3 TCSRWD2 の WT/IT および IEOVF のクリア	12-9	追加										
13.3.2 イベントカウンタ PWM データレジスタ (ECPWDR)	13-4	追加 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>15</td> <td>ECPWDR15</td> <td rowspan="3">イベントカウンタ PWM 波形生成データ制御 …変換周期を変更する際は必ず AEGSR の ECPWME を 0 にしてイベントカウンタ PWM を停止させて書き換えてください。 リードすると不定値が読み出されます。</td> </tr> <tr> <td>14</td> <td>ECPWDR14</td> </tr> <tr> <td>13</td> <td>ECPWDR13</td> </tr> </tbody> </table>	ビット	ビット名	説明	15	ECPWDR15	イベントカウンタ PWM 波形生成データ制御 …変換周期を変更する際は必ず AEGSR の ECPWME を 0 にしてイベントカウンタ PWM を停止させて書き換えてください。 リードすると不定値が読み出されます。	14	ECPWDR14	13	ECPWDR13
ビット	ビット名	説明										
15	ECPWDR15	イベントカウンタ PWM 波形生成データ制御 …変換周期を変更する際は必ず AEGSR の ECPWME を 0 にしてイベントカウンタ PWM を停止させて書き換えてください。 リードすると不定値が読み出されます。										
14	ECPWDR14											
13	ECPWDR13											
13.3.6 イベントカウンタ H (ECH)	13-7	修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>ECH7</td> <td rowspan="2">…ECH は ECCSR の CRCH を 0 にすることにより H'00 にクリア可能です。</td> </tr> <tr> <td>6</td> <td>ECH6</td> </tr> </tbody> </table>	ビット	ビット名	説明	7	ECH7	…ECH は ECCSR の CRCH を 0 にすることにより H'00 にクリア可能です。	6	ECH6		
ビット	ビット名	説明										
7	ECH7	…ECH は ECCSR の CRCH を 0 にすることにより H'00 にクリア可能です。										
6	ECH6											
13.3.7 イベントカウンタ L (ECL)	13-7	修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>ECL7</td> <td rowspan="2">…ECH は ECCSR の CRCL を 0 にすることにより H'00 にクリア可能です。</td> </tr> <tr> <td>6</td> <td>ECL6</td> </tr> </tbody> </table>	ビット	ビット名	説明	7	ECL7	…ECH は ECCSR の CRCL を 0 にすることにより H'00 にクリア可能です。	6	ECL6		
ビット	ビット名	説明										
7	ECL7	…ECH は ECCSR の CRCL を 0 にすることにより H'00 にクリア可能です。										
6	ECL6											

項 目	ページ	修正箇所									
14. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)	14-1	削除 また、調歩同期方式では複数のプロセッサ間のシリアルデータ通信機能(マルチプロセッサ通信機能)を備えています。									
14.3.5 シリアルモードレジスタ (SMR)	14-5	修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>2</td> <td>MP</td> <td>5ビット通信 このビットが1のとき5ビット通信フォーマットが可能となります。1をライトビットする場合は必ず同時に、ビット5(PEビット)に1をライトしてください。</td> </tr> </tbody> </table>	ビット	ビット名	説 明	2	MP	5ビット通信 このビットが1のとき5ビット通信フォーマットが可能となります。1をライトビットする場合は必ず同時に、ビット5(PEビット)に1をライトしてください。			
ビット	ビット名	説 明									
2	MP	5ビット通信 このビットが1のとき5ビット通信フォーマットが可能となります。1をライトビットする場合は必ず同時に、ビット5(PEビット)に1をライトしてください。									
14.3.6 シリアルコントロールレジスタ (SCR)	14-6	修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>3</td> <td>MPIE</td> <td>リザーブビット リザーブビットです。</td> </tr> </tbody> </table>	ビット	ビット名	説 明	3	MPIE	リザーブビット リザーブビットです。			
ビット	ビット名	説 明									
3	MPIE	リザーブビット リザーブビットです。									
14.3.7 シリアルステータスレジスタ (SSR)	14-8	修正 SSRはSCI3のステータスフラグです。									
14.3.7 シリアルステータスレジスタ (SSR)	14-9	修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>MPBR</td> <td>リザーブビット リード専用のリザーブビットです。ライトはできません。</td> </tr> <tr> <td>0</td> <td>MPBT</td> <td>リザーブビット リザーブビットです。ライトする場合は必ず0をライトしてください。</td> </tr> </tbody> </table>	ビット	ビット名	説 明	1	MPBR	リザーブビット リード専用のリザーブビットです。ライトはできません。	0	MPBT	リザーブビット リザーブビットです。ライトする場合は必ず0をライトしてください。
ビット	ビット名	説 明									
1	MPBR	リザーブビット リード専用のリザーブビットです。ライトはできません。									
0	MPBT	リザーブビット リザーブビットです。ライトする場合は必ず0をライトしてください。									
14.3.8 ビットレートレジスタ(BRR) 表 14.3 ビットレートに対するBRRの設定例〔調歩同期式モード、ABCSビット=1〕(2)	14-13	差し替え									
14.3.10 IrDAコントロールレジスタ (IrCR)	14-19	修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>IrE</td> <td>IrDA イネーブル 0 : TXD3/IrTXD および RXD3/IrRXD 端子は、TXD3 および RXD3 端子として動作 1 : TXD3/IrTXD および RXD3/IrRXD 端子は、IrTXD および IrRXD 端子として動作</td> </tr> </tbody> </table>	ビット	ビット名	説 明	7	IrE	IrDA イネーブル 0 : TXD3/IrTXD および RXD3/IrRXD 端子は、TXD3 および RXD3 端子として動作 1 : TXD3/IrTXD および RXD3/IrRXD 端子は、IrTXD および IrRXD 端子として動作			
ビット	ビット名	説 明									
7	IrE	IrDA イネーブル 0 : TXD3/IrTXD および RXD3/IrRXD 端子は、TXD3 および RXD3 端子として動作 1 : TXD3/IrTXD および RXD3/IrRXD 端子は、IrTXD および IrRXD 端子として動作									

項 目	ページ	修正箇所						
14.3.11 シリアル拡張モードレジスタ (SEMR)	14-19	追加 <table border="1" data-bbox="591 343 1203 664"> <thead> <tr> <th data-bbox="591 343 683 380">ビット</th> <th data-bbox="683 343 797 380">ビット名</th> <th data-bbox="797 343 1203 380">説 明</th> </tr> </thead> <tbody> <tr> <td data-bbox="591 380 683 664">3</td> <td data-bbox="683 380 797 664">ABCS</td> <td data-bbox="797 380 1203 664"> 調歩同期式基本クロックセレクト ・・・・の設定は調歩同期式モード (SMR3 の COM=0) のとき有効です。 0: 転送レートの 16 倍の周波数の基本クロックで動作 1: 転送レートの 8 倍の周波数の基本クロックで動作 IrDA 設定時は ABCS = 0 にしてください。 </td> </tr> </tbody> </table>	ビット	ビット名	説 明	3	ABCS	調歩同期式基本クロックセレクト ・・・・の設定は調歩同期式モード (SMR3 の COM=0) のとき有効です。 0: 転送レートの 16 倍の周波数の基本クロックで動作 1: 転送レートの 8 倍の周波数の基本クロックで動作 IrDA 設定時は ABCS = 0 にしてください。
ビット	ビット名	説 明						
3	ABCS	調歩同期式基本クロックセレクト ・・・・の設定は調歩同期式モード (SMR3 の COM=0) のとき有効です。 0: 転送レートの 16 倍の周波数の基本クロックで動作 1: 転送レートの 8 倍の周波数の基本クロックで動作 IrDA 設定時は ABCS = 0 にしてください。						
14.4.1 クロック 表 14.8 通信フォーマット(調歩同期式モード)	14-21	差し替え						
表 14.9 SMR の設定値と送信 / 受信フォーマット	14-22	差し替え						
14.4.2 SCI3 の初期化 図 14.4 SCI3 を初期化するときのフローチャートの例	14-23	修正 <div data-bbox="621 919 875 1306"> <pre> graph TD Start(()) --> Decision{1ビット期間経過?} Decision -- Yes --> Process1[SPCRのSPC3を1に設定] Process1 --> Process2["SCRのTEまたはREビットを1にセット、 また、RIE、TIE、TEIE、REIEのうち必要なビットを1にセット。"] Process2 --> End([終了]) </pre> </div> <p data-bbox="864 1006 1193 1116">(4) 少なくとも1ビット期間待ってから、SCRのTE、またはREビットを1にセットします。TE、REの設定でTXD3、RXD3端子が使用可能となります。また、RIE、TIE、TEIE、REIEビットを割り込みの必要に応じて設定してください。調歩同期式モードでは送信時にはマーク状態となり、受信時にはスタートビット待ちのアイドル状態になります。</p>						

項 目	ページ	修正箇所						
14.4.3 データ送信 図 14.6 データ送信のフローチャートの例（調歩同期モード）	14-25	追加 <p>(3) データ送信の終了時にブレークを出力するときには、ポートのPCR=1、PDR=0に設定した後にSPCRのSPC3とSCRのTEを0にクリアします。</p> <p>【注】* SPCRのSPC3を0にクリアしたときにI/Oポートに切り替わります。</p>						
14.5 クロック同期モードの動作説明	14-29	削除 <p>・・・MSB 出力後の通信回線は MSB 出力状態を保ちます。クロック同期モードでは、パリティビットやマルチプロセッサビットの付加はできません。SCI3 内部では・・・</p>						
14.6 マルチプロセッサ通信機能		削除						
14.8.2 マーク状態とブレークの送出	14-39	差し替え						
16.3.5 I ² C バスステータスレジスタ (ICSR)	16-11	修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>3</td> <td>STOP</td> <td> <p>停止条件検出フラグ</p> <p>[セット条件]</p> <ul style="list-style-type: none"> マスタモード時、フレームの転送の完了後に停止条件を検出したとき スレーブモード時、ゼネラルコール後、および開始条件検出後の第 1 バイトのスレーブアドレスと SAR に設定したアドレスが一致したあと、停止条件を検出したとき <p>[クリア条件]</p> <p>1 の状態をリードした後、0 をライトしたとき</p> </td> </tr> </tbody> </table>	ビット	ビット名	説 明	3	STOP	<p>停止条件検出フラグ</p> <p>[セット条件]</p> <ul style="list-style-type: none"> マスタモード時、フレームの転送の完了後に停止条件を検出したとき スレーブモード時、ゼネラルコール後、および開始条件検出後の第 1 バイトのスレーブアドレスと SAR に設定したアドレスが一致したあと、停止条件を検出したとき <p>[クリア条件]</p> <p>1 の状態をリードした後、0 をライトしたとき</p>
ビット	ビット名	説 明						
3	STOP	<p>停止条件検出フラグ</p> <p>[セット条件]</p> <ul style="list-style-type: none"> マスタモード時、フレームの転送の完了後に停止条件を検出したとき スレーブモード時、ゼネラルコール後、および開始条件検出後の第 1 バイトのスレーブアドレスと SAR に設定したアドレスが一致したあと、停止条件を検出したとき <p>[クリア条件]</p> <p>1 の状態をリードした後、0 をライトしたとき</p>						

項 目	ページ	修正箇所
16.4.6 クロック同期式シリアルフォーマット 図 16.15 受信モード動作タイミング	16-24	修正  <p>ユーザの処理</p> <p>[3]ICDRRリード</p>
17.7.3 使用上の注意	17-12	削除 4. ADSR の LADS を停止から動作に設定した場合も、40 クロック待つてから A/D 変換を開始してください。
18.5 使用上の注意事項	18-8	追加 3. コンパレータを動作した状態から停止させる場合は、CKSTPR 2 レジスタの COMPCKSTP ビットを 0 にクリアする前に、CMCR0、CMCR1 レジスタの CME0、CME1 ビットを 0 にクリアしてください。 4. コンパレータを動作した状態で、スタンバイモードまたはウォッチモードに移行すると、コンパレータ内部は動作状態が保持されます。スタンバイモードまたはウォッチモードでもコンパレータは動作中であるため、割り込み設定時には割り込みによる同じモードからの復帰が可能ですが、コンパレータ分の電流を消費します。スタンバイモードまたはウォッチモードにてコンパレータによる割り込み復帰が不要かつ消費電流を低減する必要がある場合は、モード移行の前に CMCR0、CMCR1 レジスタの CME0、CME1 ビットを 0 にクリアしてコンパレータの動作を停止してください。
19.2.1 パワーオンリセット回路	19-2	修正 電源電圧の上昇により、内蔵プルアップ抵抗 (Rp) を介して RES 端子に外付けされたコンデンサが徐々に充電されます。

項目	ページ	修正箇所						
21.2.3 AC 特性 表 21.3 制御信号タイミング	21-14	修正						
		項目	記号	適用端子	測定条件	規格値		
						min.	typ.	Max.
		発振安定時間	t _{rc}	OSC1、OSC2	セラミック発振子の場合 (V _{CC} =2.2~3.6V)	-	20	45
					セラミック発振子の場合 上記以外	-	80	-
					水晶発振子の場合 (V _{CC} =2.7~3.6V)	-	300	800
					水晶発振子の場合 (V _{CC} =2.2~3.6V)	-	600	1000
21.4.2 DC 特性 表 21.13 DC 特性	21-31	削除						
		項目	記号	適用端子	測定条件			
		入出力リーク電流	I _{IL}	PES、TEST、NMI、OSC1、X1、P10~P12、P30~P32、P82~P84、P90~P93、E7_0~E7_2	V _{IN} = 0.5V ~ V _{CC} - 0.5V			
				PB0~PB5	V _{IN} = 0.5V ~ AV _{CC} - 0.5V			
21.4.3 AC 特性 表 21.14 制御信号タイミング	21-35	修正						
		項目	記号	適用端子	測定条件	規格値		
						min.	typ.	max.
		発振安定時間	t _{rc}	OSC1、OSC2	セラミック発振子の場合 (V _{CC} = 2.2 ~ 3.6V)	-	20	45
					セラミック発振子の場合 上記以外	-	80	-
					水晶発振子の場合 (V _{CC} = 2.7 ~ 3.6V)	-	300	800
					水晶発振子の場合 (V _{CC} = 2.2 ~ 3.6V)	-	600	1000
					上記以外	-	-	50

項 目	ページ	修正箇所																																																																																																				
付録 表 A.1 命令セット一覧	付録-5	(2) 算術演算命令 <table border="1" data-bbox="732 343 1020 1101"> <thead> <tr> <th rowspan="2">ニーモニック</th> <th rowspan="2">オペレーション</th> <th colspan="7">コンディションコード</th> <th rowspan="2">実行回数^{*1}</th> </tr> <tr> <th>I</th> <th>H</th> <th>N</th> <th>Z</th> <th>V</th> <th>C</th> <th>D</th> </tr> </thead> <tbody> <tr> <td>DAA</td> <td>DAA Rd</td> <td></td> <td>*</td> <td>↑</td> <td>↑</td> <td>↑</td> <td>*</td> <td>↑</td> <td>↑</td> <td>2</td> </tr> <tr> <td rowspan="5">SUB</td> <td>SUB.B Rs, Rd</td> <td></td> <td>↑</td> <td>↑</td> <td>↑</td> <td>↑</td> <td>↑</td> <td>↑</td> <td>↑</td> <td>2</td> </tr> <tr> <td>SUB.W #xx:16, Rd</td> <td></td> <td>↑</td> <td>↑</td> <td>↑</td> <td>↑</td> <td>↑</td> <td>↑</td> <td>↑</td> <td>4</td> </tr> <tr> <td>SUB.W Rs, Rd</td> <td></td> <td>(1)</td> <td>↑</td> <td>↑</td> <td>↑</td> <td>↑</td> <td>↑</td> <td>↑</td> <td>2</td> </tr> <tr> <td>SUB.L #xx:32, ERd</td> <td></td> <td>(2)</td> <td>↑</td> <td>↑</td> <td>↑</td> <td>↑</td> <td>↑</td> <td>↑</td> <td>6</td> </tr> <tr> <td>SUB.L ERs, ERd</td> <td></td> <td>(2)</td> <td>↑</td> <td>↑</td> <td>↑</td> <td>↑</td> <td>↑</td> <td>↑</td> <td>2</td> </tr> <tr> <td rowspan="2">SUBX</td> <td>SUBX.B #xx:8, Rd</td> <td></td> <td>↑</td> <td>↑</td> <td>↑</td> <td>(3)</td> <td>↑</td> <td>↑</td> <td>↑</td> <td>2</td> </tr> <tr> <td>SUBX.B Rs, Rd</td> <td></td> <td>↑</td> <td>↑</td> <td>↑</td> <td>(3)</td> <td>↑</td> <td>↑</td> <td>↑</td> <td>2</td> </tr> </tbody> </table>	ニーモニック	オペレーション	コンディションコード							実行回数 ^{*1}	I	H	N	Z	V	C	D	DAA	DAA Rd		*	↑	↑	↑	*	↑	↑	2	SUB	SUB.B Rs, Rd		↑	↑	↑	↑	↑	↑	↑	2	SUB.W #xx:16, Rd		↑	↑	↑	↑	↑	↑	↑	4	SUB.W Rs, Rd		(1)	↑	↑	↑	↑	↑	↑	2	SUB.L #xx:32, ERd		(2)	↑	↑	↑	↑	↑	↑	6	SUB.L ERs, ERd		(2)	↑	↑	↑	↑	↑	↑	2	SUBX	SUBX.B #xx:8, Rd		↑	↑	↑	(3)	↑	↑	↑	2	SUBX.B Rs, Rd		↑	↑	↑	(3)	↑	↑	↑	2
ニーモニック	オペレーション	コンディションコード							実行回数 ^{*1}																																																																																													
		I	H	N	Z	V	C	D																																																																																														
DAA	DAA Rd		*	↑	↑	↑	*	↑	↑	2																																																																																												
SUB	SUB.B Rs, Rd		↑	↑	↑	↑	↑	↑	↑	2																																																																																												
	SUB.W #xx:16, Rd		↑	↑	↑	↑	↑	↑	↑	4																																																																																												
	SUB.W Rs, Rd		(1)	↑	↑	↑	↑	↑	↑	2																																																																																												
	SUB.L #xx:32, ERd		(2)	↑	↑	↑	↑	↑	↑	6																																																																																												
	SUB.L ERs, ERd		(2)	↑	↑	↑	↑	↑	↑	2																																																																																												
SUBX	SUBX.B #xx:8, Rd		↑	↑	↑	(3)	↑	↑	↑	2																																																																																												
	SUBX.B Rs, Rd		↑	↑	↑	(3)	↑	↑	↑	2																																																																																												
付録 表 C.1 製品名一覧	付録-44	修正 <table border="1" data-bbox="589 1151 1201 1379"> <thead> <tr> <th colspan="2">製品分類</th> <th>製品型名</th> <th>マーク型名</th> <th>パッケージ (パッケージコード)</th> </tr> </thead> <tbody> <tr> <td rowspan="4">H8/38602R</td> <td rowspan="2">フラッシュメモリ版</td> <td>(10MHz) HD64F38602RFT10</td> <td>38602R10</td> <td>32ピンQFN (TNP-32)</td> </tr> <tr> <td>(4MHz) HD64F38602RFT4</td> <td>38602R4</td> <td>(TNP-32)</td> </tr> <tr> <td rowspan="2">マスクROM版</td> <td>(10MHz) HD64F38602RFH10</td> <td>F38602RFH10</td> <td>32ピンLOFP (32P6U-A)</td> </tr> <tr> <td>(4MHz) HD64F38602RFH4</td> <td>F38602RFH4</td> <td>(32P6U-A)</td> </tr> <tr> <td rowspan="4">H8/38600R</td> <td rowspan="2">マスクROM版</td> <td>HD64338602RFT</td> <td>38602R (***)</td> <td>32ピンQFN (TNP-32)</td> </tr> <tr> <td>HD64338602RFH</td> <td>38602R (***)</td> <td>32ピンLOFP (32P6U-A)</td> </tr> <tr> <td rowspan="2">マスクROM版</td> <td>HD64338600RFT</td> <td>38600R (***)</td> <td>32ピンQFN (TNP-32)</td> </tr> <tr> <td>HD64338600RFH</td> <td>38600R (***)</td> <td>32ピンLOFP (32P6U-A)</td> </tr> </tbody> </table>	製品分類		製品型名	マーク型名	パッケージ (パッケージコード)	H8/38602R	フラッシュメモリ版	(10MHz) HD64F38602RFT10	38602R10	32ピンQFN (TNP-32)	(4MHz) HD64F38602RFT4	38602R4	(TNP-32)	マスクROM版	(10MHz) HD64F38602RFH10	F38602RFH10	32ピンLOFP (32P6U-A)	(4MHz) HD64F38602RFH4	F38602RFH4	(32P6U-A)	H8/38600R	マスクROM版	HD64338602RFT	38602R (***)	32ピンQFN (TNP-32)	HD64338602RFH	38602R (***)	32ピンLOFP (32P6U-A)	マスクROM版	HD64338600RFT	38600R (***)	32ピンQFN (TNP-32)	HD64338600RFH	38600R (***)	32ピンLOFP (32P6U-A)																																																																	
製品分類		製品型名	マーク型名	パッケージ (パッケージコード)																																																																																																		
H8/38602R	フラッシュメモリ版	(10MHz) HD64F38602RFT10	38602R10	32ピンQFN (TNP-32)																																																																																																		
		(4MHz) HD64F38602RFT4	38602R4	(TNP-32)																																																																																																		
	マスクROM版	(10MHz) HD64F38602RFH10	F38602RFH10	32ピンLOFP (32P6U-A)																																																																																																		
		(4MHz) HD64F38602RFH4	F38602RFH4	(32P6U-A)																																																																																																		
H8/38600R	マスクROM版	HD64338602RFT	38602R (***)	32ピンQFN (TNP-32)																																																																																																		
		HD64338602RFH	38602R (***)	32ピンLOFP (32P6U-A)																																																																																																		
	マスクROM版	HD64338600RFT	38600R (***)	32ピンQFN (TNP-32)																																																																																																		
		HD64338600RFH	38600R (***)	32ピンLOFP (32P6U-A)																																																																																																		
付録 表 D.1 外形寸法図	付録-46	追加 32P6U-A																																																																																																				

索引

【数字 / 記号】

16 ビットカウンタの動作.....	13-8
8 ビットカウンタの動作.....	13-9

【A ~ Z】

A/D 変換器.....	17-1
CPU.....	2-1
EA 拡張部.....	2-17
I/O ポート.....	8-1
I ² C バスインタフェース 2 (IIC2).....	16-1
I ² C バスフォーマット.....	16-13
IrDA.....	14-35
PWM 動作.....	10-15

【あ】

アクノリッジ.....	16-13
アドレッシングモード.....	2-18
イベントカウンタ PWM の動作.....	13-10
イミディエイト.....	2-19
イレース / ノイレースベリファイ.....	6-12
インターバルタイマの動作.....	9-6
ウォッチドッグタイマ.....	12-1
エラープロテクト.....	6-14
オートリロードタイマの動作.....	9-6
オーバランエラー.....	14-26
オペレーションフィールド.....	2-17
オンボードプログラミング.....	6-5

【か】

開始条件.....	16-13
書き込みの単位.....	6-2
各通信モード.....	15-12
クロック同期式シリアルフォーマット.....	16-22
クロック同期式通信モード.....	15-13
クロック同期式モード.....	14-29
クロックの極性.....	15-10
クロック発振器.....	4-1
コンディションコードレジスタ (CCR).....	2-5
コンディションフィールド.....	2-17
コンパレータ.....	18-1

【さ】

サブアクティブモード.....	5-11
サブスリープモード.....	5-10
算術演算命令.....	2-11
時刻読み出し手順.....	11-9
システムクロック発振器.....	4-3
システム制御命令.....	2-16
実効アドレス.....	2-20
シフト命令.....	2-12
消去ブロック.....	6-2
初期設定手順.....	11-9
シリアルコミュニケーションインタフェース 3 (SCI3).....	14-1
シンクロナスシリアルコミュニケーションユニット (SSU).....	15-1
スタックポインタ (SP).....	2-4
スタンバイモード.....	5-9
スリープモード.....	5-9
スレーブアドレス.....	16-13
絶対アドレス.....	2-19
ソフトウェアプロテクト.....	6-14

【た】

大電流ポート.....	1-2, 8-1
タイマ B1.....	9-1
タイマ W.....	10-1
調歩同期式モード.....	14-20
停止条件.....	16-13
低消費電力動作.....	6-15
低消費電力モード.....	5-1
ディスプレイメント付きレジスタ間接.....	2-18
データ転送命令.....	2-10
転送クロック.....	15-10
転送レート.....	16-5

【な】

ノイズ除去回路.....	16-24
--------------	-------

【は】

ハードウェアプロテクト	6-14
パッケージ	1-2
パリティエラー	14-26
パワーオンリセット回路	19-1
汎用レジスタ	2-3
ヒステリシス特性	18-6
ビット操作命令	2-13
ビット同期回路	16-29
ビットレート	14-10
非同期イベントカウンタ (AEC)	13-1
ピン配置図	1-4
ブートプログラム	6-5
ブートモード	6-6
フラッシュメモリ	6-1
ブリデクリメントレジスタ間接	2-19
ブレーク	14-39
フレーミングエラー	14-26
プログラム / プログラムベリファイ	6-9
プログラムカウンタ (PC)	2-4
プログラムカウンタ相対	2-20
ブロック転送命令	2-16
分岐命令	2-15
ベクタアドレス	3-2, 3-4
ポストインクリメントレジスタ間接	2-19

【ま】

マーク状態	14-39
命令セット	2-9
メモリ間接	2-20
メモリマップ	2-2
モジュールスタンバイ機能	5-14

【や】

ユーザモードでの書き込み / 消去	6-8
-------------------------	-----

【ら】

リアルタイムクロック (RTC)	11-1
例外処理	3-1
レジスタ間接	2-18
レジスタ	
ADRR	17-3, 20-4, 20-7, 20-10
ADSR	17-5, 20-4, 20-7, 20-10
AEGSR	13-4, 20-3, 20-6, 20-10
AMR	17-4, 20-4, 20-7, 20-10
BRR	14-10, 20-3, 20-6, 20-10
CKSTPR1	5-4, 20-4, 20-8, 20-11

CKSTPR2	5-4, 20-4, 20-8, 20-11
CMCR	18-3, 20-2, 20-5, 20-9
CMDR	18-5, 20-2, 20-5, 20-9
EBR1	6-4, 20-2, 20-5, 20-9
ECCR	13-5, 20-3, 20-6, 20-10
ECCSR	13-6, 20-3, 20-6, 20-10
ECH	13-7, 20-3, 20-6, 20-10
ECL	13-7, 20-3, 20-6, 20-10
ECPWCR	13-3, 20-3, 20-6, 20-10
ECPWDR	13-4, 20-3, 20-6, 20-10
FENR	6-5, 20-2, 20-5, 20-9
FLMCR1	6-3, 20-2, 20-5, 20-9
FLMCR2	6-4, 20-2, 20-5, 20-9
FLPWCR	6-4, 20-2, 20-5, 20-9
GRA	10-11, 20-3, 20-6, 20-10
GRB	10-11, 20-3, 20-6, 20-10
GRC	10-11, 20-3, 20-6, 20-10
GRD	10-11, 20-3, 20-6, 20-10
ICCR1	16-4, 20-2, 20-5, 20-9
ICCR2	16-5, 20-2, 20-5, 20-9
ICDRR	16-12, 20-2, 20-5, 20-9
ICDRS	16-12
ICDRT	16-12, 20-2, 20-5, 20-9
ICIER	16-8, 20-2, 20-5, 20-9
ICMR	16-7, 20-2, 20-5, 20-9
ICSR	16-10, 20-2, 20-5, 20-9
IEGR	3-7, 20-4, 20-7, 20-11
IENR	3-7, 20-4, 20-7, 20-11
IrCR	14-19, 20-3, 20-7, 20-10
IRR	3-8, 20-4, 20-7, 20-11
OSCCR	4-2, 20-4, 20-7, 20-11
PCR1	8-2, 20-4, 20-7, 20-11
PCR3	8-7, 20-4, 20-7, 20-11
PCR8	8-10, 20-4, 20-7, 20-11
PCR9	8-13, 20-4, 20-7, 20-11
PDR1	8-2, 20-4, 20-7, 20-11
PDR3	8-6, 20-4, 20-7, 20-11
PDR8	8-10, 20-4, 20-7, 20-11
PDR9	8-13, 20-4, 20-7, 20-11
PDRB	8-17, 20-4, 20-7, 20-11
PFCR	8-20, 20-2, 20-5, 20-9
PMR1	8-3, 20-4, 20-7, 20-11
PMR3	8-7, 20-4, 20-7, 20-11
PMRB	8-17, 20-4, 20-7, 20-11
PODR9	8-13, 20-2, 20-5, 20-9
PUCR1	8-2, 20-4, 20-7, 20-11
PUCR3	8-7, 20-4, 20-7, 20-11

PUCR8.....	8-10, 20-2, 20-5, 20-9	SSTRSR.....	15-9
PUCR9.....	8-14, 20-2, 20-5, 20-9	SYSCR1.....	5-2, 20-4, 20-7, 20-11
RDR.....	14-3, 20-3, 20-7, 20-10	SYSCR2.....	5-3, 20-4, 20-7, 20-11
RHRDR.....	11-3, 20-2, 20-5, 20-9	TCB1.....	9-3, 20-2, 20-5, 20-9
RMINDR.....	11-3, 20-2, 20-5, 20-9	TCNT.....	10-11, 20-3, 20-6, 20-10
RSECDR.....	11-2, 20-2, 20-5, 20-9	TCRW.....	10-6, 20-3, 20-6, 20-10
RSR.....	14-3	TCSRWD1.....	12-3, 20-4, 20-7, 20-10
RTCCR1.....	11-5, 20-2, 20-5, 20-9	TCSRWD2.....	12-5, 20-4, 20-7, 20-10
RTCCR2.....	11-6, 20-2, 20-5, 20-9	TCWD.....	12-5, 20-4, 20-7, 20-10
RTCCSR.....	11-7, 20-2, 20-5, 20-9	TDR.....	14-4, 20-3, 20-6, 20-10
RTCFLG.....	11-8, 20-2, 20-5, 20-9	TIERW.....	10-7, 20-3, 20-6, 20-10
RWKDR.....	11-4, 20-2, 20-5, 20-9	TIOR0.....	10-9, 20-3, 20-6, 20-10
SAR.....	16-12, 20-2, 20-5, 20-9	TIOR1.....	10-10, 20-3, 20-6, 20-10
SCR.....	14-6, 20-3, 20-6, 20-10	TLB1.....	9-3
SEMR.....	14-19, 20-3, 20-7, 20-10	TMB1.....	9-2, 20-2, 20-5, 20-9
SMR.....	14-4, 20-3, 20-6, 20-10	TMRW.....	10-5, 20-3, 20-6, 20-10
SPCR.....	14-18, 20-3, 20-6, 20-10	TMWD.....	12-6, 20-3, 20-7, 20-10
SSCRH.....	15-4, 20-3, 20-5, 20-9	TSR.....	14-4
SSCRL.....	15-5, 20-3, 20-6, 20-9	TSRW.....	10-7, 20-3, 20-6, 20-10
SSER.....	15-7, 20-3, 20-6, 20-9	レジスタフィールド.....	2-17
SSMR.....	15-6, 20-3, 20-6, 20-9	レジスタ直接.....	2-18
SSR.....	14-8, 20-3, 20-7, 20-10	論理演算命令.....	2-12
SSRDR.....	15-9, 20-3, 20-6, 20-10	【わ】	
SSSR.....	15-8, 20-3, 20-6, 20-10	割り込みマスクビット(1).....	2-5
SSTDR.....	15-9, 20-3, 20-6, 20-10		

ルネサス16ビットシングルチップマイクロコンピュータ
ハードウェアマニュアル
H8/38602Rグループ

発行年月日 2004年3月10日 Rev.1.00

2007年3月9日 Rev.4.00

発行 株式会社ルネサス テクノロジ 営業統括部
〒100-0004 東京都千代田区大手町 2-6-2

編集 株式会社ルネサスソリューションズ
グローバルストラテジックコミュニケーション本部
カスタマーサポート部

株式会社ルネサス テクノロジ 営業統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

営業お問合せ窓口
株式会社ルネサス販売



<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	支	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	支	店	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
島	取	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com

H8/38602R グループ
ハードウェアマニュアル



ルネサス エレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0161-0400