

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。
改訂一覧は改訂箇所をまとめたものであり、詳細については、
必ず本文の内容をご確認ください。

H8S/2164 グループ

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ

H8S ファミリ / H8S/2100 シリーズ

H8S/2164

R4F2164

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただけますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認ください。

同じグループのマイコンでも型名が違うと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

本書の構成

本書は、以下の構成で制作しています。

1. 製品ご使用上の注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明
 - ・ CPU およびシステム制御系
 - ・ 内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュール毎に異なりますが、一般的には、特長、 入出力端子、 レジスタの説明、 動作説明、 使用上の注意事項、等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。必ずお読みください。（使用上の注意事項は必要により記載されます。）

7. レジスタ一覧
8. 電気的特性
9. 付録
10. 本版で改訂された箇所（改訂版のみ適用）

改訂来歴は、前版の記載内容について訂正・追加された主な箇所についてまとめたものです。改訂内容の全てについて記載したものではありませんので、詳細については、本書の本文上でご確認ください。

11. 索引

はじめに

H8S/2164 グループは、ルネサス テクノロジ オリジナルアーキテクチャを採用した H8S/2600 CPU を核にして、システム構成に必要な周辺機能を集積したマイクロコンピュータです。

H8S/2600 CPU は、H8/300CPU および H8/300H CPU の命令に対し、オブジェクトレベルで上位互換を保っていますので、H8/300、H8/300L、H8/300H の各シリーズから容易に移行することができます。

対象者 このマニュアルは、H8S/2164 グループを用いた応用システムを設計するユーザーを対象としています。このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 このマニュアルは、H8S/2164 グループのハードウェア機能と電気的特性をユーザーに理解して頂くことを目的にしています。なお、実行命令の詳細については、「H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル」に記載していますので併せて御覧ください。

読み方

- 機能全体を理解しようとするとき。

目次に従って読んでください。

本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。

- CPU機能の詳細を理解したいとき。

別冊の「H8S/2600シリーズ、H8S/2000シリーズ ソフトウェアマニュアル」を参照してください。

- レジスタ名が判っていて、詳細機能を知りたいとき。

本書の後ろに「索引」があります。索引からページ番号を検索してください。

「第25章 レジスタ一覧」にアドレス、ビット内容、初期化についてまとめています。

凡例 レジスタ表記 : シリアルコミュニケーションインタフェースなど、同一または類似した機能が複数チャンネルに存在する場合に次の表記を使用します。

XXX_N (XXX は基本レジスタ名称、N はチャンネル番号)

ビット表記順 : 左側が上位ビット、右側が下位ビット

数字の表記 : 2進数は B'xxxx、16進数は H'xxxx、10進数は xxxx

信号の表記 : ローアクティブの信号にはオーバーバーを付けます。xxxx

関連資料一覧 ウェブ・サイトに最新資料を掲載しています。ご入手の資料が最新版であることを確認してください。

(<http://japan.renesas.com/>)

- H8S/2164グループに関するユーザーズマニュアル

資料名	資料番号
H8S/2164 グループ ハードウェアマニュアル	本マニュアル
H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル	RJJ09B0143

- 開発ツール関連ユーザーズマニュアル

資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラ、アセンブラ、最適化リンケージエディタ ユーザーズマニュアル	RJJ10B0166
H8S、H8/300 シリーズ シミュレータ・デバッグユーザーズマニュアル	RJJ10B0219
High-performance Embedded Workshop ユーザーズマニュアル	RJJ10J2495

- アプリケーションノート

資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラパッケージ アプリケーションノート	RJJ05B0558
H8S シリーズ テクニカル Q&A	ADJ - 502 - 065

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1. 概要.....	1-1
1.1 特長.....	1-1
1.2 ブロック図.....	1-3
1.3 端子説明.....	1-4
1.3.1 ピン配置図.....	1-4
1.3.2 動作モード別ピン配置一覧.....	1-5
1.3.3 端子機能.....	1-10
2. CPU.....	2-1
2.1 特長.....	2-1
2.1.1 H8S/2600 CPU と H8S/2000 CPU との相違点.....	2-2
2.1.2 H8/300 CPU との相違点.....	2-3
2.1.3 H8/300H CPU との相違点.....	2-3
2.2 CPU動作モード.....	2-4
2.2.1 ノーマルモード.....	2-4
2.2.2 アドバンスモード.....	2-6
2.3 アドレス空間.....	2-8
2.4 レジスタの構成.....	2-9
2.4.1 汎用レジスタ.....	2-10
2.4.2 プログラムカウンタ (PC).....	2-11
2.4.3 エクステンドレジスタ (EXR).....	2-11
2.4.4 コンディションコードレジスタ (CCR).....	2-11
2.4.5 積和レジスタ (MAC).....	2-12
2.4.6 CPU 内部レジスタの初期値.....	2-12
2.5 データ形式.....	2-13
2.5.1 汎用レジスタのデータ形式.....	2-13
2.5.2 メモリ上でのデータ形式.....	2-15
2.6 命令セット.....	2-16
2.6.1 命令の機能別一覧.....	2-17
2.6.2 命令の基本フォーマット.....	2-27
2.7 アドレッシングモードと実効アドレスの計算方法.....	2-28
2.7.1 レジスタ直接 Rn.....	2-28
2.7.2 レジスタ間接 @ERn.....	2-28
2.7.3 ディスプレイメント付きレジスタ間接 @ (d:16,ERn) /@ (d:32,ERn).....	2-28

2.7.4	ポストインクリメントレジスタ間接@ERn+/プリデクリメントレジスタ間接@-ERn	2-29
2.7.5	絶対アドレス @aa:8/@aa:16/@aa:24/@aa:32.....	2-29
2.7.6	イミディエイト #xx:8/#xx:16/#xx:32	2-30
2.7.7	プログラムカウンタ相対 @(d:8,PC) /@(d:16,PC)	2-30
2.7.8	メモリ間接 @@aa:8	2-30
2.7.9	実効アドレスの計算方法.....	2-32
2.8	処理状態.....	2-34
2.9	使用上の注意事項	2-35
2.9.1	ビット操作命令	2-35
3.	MCU 動作モード.....	3-1
3.1	動作モードの選択	3-1
3.2	レジスタの説明	3-1
3.2.1	モードコントロールレジスタ (MDCR)	3-2
3.2.2	システムコントロールレジスタ (SYSCR)	3-2
3.2.3	シリアルタイマコントロールレジスタ (STCR)	3-4
3.3	各動作モードの説明	3-5
3.3.1	モード2.....	3-5
3.4	アドレスマップ	3-6
4.	例外処理.....	4-1
4.1	例外処理の種類と優先度.....	4-1
4.2	例外処理要因とベクタテーブル.....	4-1
4.3	リセット.....	4-3
4.3.1	リセット例外処理	4-3
4.3.2	リセット直後の割り込み.....	4-4
4.3.3	リセット解除後の内蔵周辺機能.....	4-4
4.4	割り込み例外処理	4-4
4.5	トラップ命令例外処理	4-5
4.6	例外処理後のスタックの状態.....	4-5
4.7	使用上の注意事項	4-6
5.	割り込みコントローラ.....	5-1
5.1	特長.....	5-1
5.2	入出力端子	5-2
5.3	レジスタの説明	5-3
5.3.1	インタラプトコントロールレジスタ A ~ D (ICRA ~ ICRD)	5-3
5.3.2	アドレスブレイクコントロールレジスタ (ABRKCR)	5-4
5.3.3	ブレイクアドレスレジスタ A ~ C (BARA ~ BARC)	5-4
5.3.4	IRQ センسコントロールレジスタ (ISCR16H, ISCR16L, ISCRH, ISURL)	5-5

5.3.5	IRQ イネーブルレジスタ (IER16、IER)	5-6
5.3.6	IRQ ステータスレジスタ (ISR16、ISR)	5-7
5.4	割り込み要因	5-8
5.4.1	外部割り込み要因	5-8
5.4.2	内部割り込み要因	5-9
5.5	割り込み例外処理ベクタテーブル	5-10
5.6	割り込み制御モードと割り込み動作	5-12
5.6.1	割り込み制御モード 0	5-14
5.6.2	割り込み制御モード 1	5-16
5.6.3	割り込み例外処理シーケンス	5-18
5.6.4	割り込み応答時間	5-20
5.6.5	割り込みによる DTC の起動	5-21
5.7	使用上の注意事項	5-23
5.7.1	割り込みの発生とディスエーブルとの競合	5-23
5.7.2	割り込みを禁止している命令	5-24
5.7.3	EEPMOV 命令実行中の割り込み	5-24
5.7.4	IRQ ステータスレジスタ (ISR16、ISR) について	5-24
6.	バスコントローラ (BSC)	6-1
6.1	特長	6-1
6.2	入出力端子	6-4
6.3	レジスタ構成	6-5
6.3.1	バスコントロールレジスタ (BCR)	6-5
6.3.2	バスコントロールレジスタ 2 (BCR2)	6-6
6.3.3	ウェイトステートコントロールレジスタ (WSCR)	6-7
6.3.4	ウェイトステートコントロールレジスタ 2 (WSCR2)	6-9
6.3.5	システムコントロールレジスタ 2 (SYSCR2)	6-10
6.4	バス制御の概要	6-11
6.4.1	バス仕様	6-11
6.4.2	アドバンストモード	6-17
6.4.3	I/O セレクト信号	6-17
6.5	バスインタフェース	6-18
6.5.1	データサイズとデータアライメント	6-18
6.5.2	有効ストロープ	6-19
6.5.3	有効ストロープ (グルーレス拡張時)	6-20
6.5.4	ノーマル拡張基本タイミング	6-21
6.5.5	アドレス / データマルチプレックス拡張基本タイミング	6-32
6.5.6	ウェイト制御	6-44
6.6	バーストROMインタフェース	6-48
6.6.1	基本動作タイミング	6-48

6.6.2	ウェイト制御	6-49
6.7	アイドルサイクル	6-50
6.8	バスアービトレーション	6-51
6.8.1	概要	6-51
6.8.2	バスマスタの優先順位	6-51
6.8.3	バス権移行タイミング	6-51
7.	データトランスファコントローラ (DTC)	7-1
7.1	特長	7-1
7.2	レジスタの説明	7-2
7.2.1	DTC モードレジスタ A (MRA)	7-3
7.2.2	DTC モードレジスタ B (MRB)	7-4
7.2.3	DTC ソースアドレスレジスタ (SAR)	7-4
7.2.4	DTC デスティネーションアドレスレジスタ (DAR)	7-4
7.2.5	DTC 転送カウントレジスタ A (CRA)	7-4
7.2.6	DTC 転送カウントレジスタ B (CRB)	7-5
7.2.7	DTC イネーブルレジスタ (DTCER)	7-5
7.2.8	DTC ベクタレジスタ (DTVECR)	7-6
7.2.9	キーボードコンパレータコントロールレジスタ (KBCOMP)	7-6
7.2.10	イベントカウンタコントロールレジスタ (ECCR)	7-7
7.2.11	イベントカウンタステータスレジスタ (ECS)	7-7
7.3	DTC イベントカウンタ	7-8
7.3.1	イベントカウンタ処理の優先順位	7-9
7.3.2	使用上の注意事項	7-9
7.4	起動要因	7-10
7.5	レジスタ情報の配置とDTCベクタテーブル	7-11
7.6	動作説明	7-13
7.6.1	ノーマル転送モード	7-14
7.6.2	リピート転送モード	7-15
7.6.3	ブロック転送モード	7-16
7.6.4	チェイン転送	7-17
7.6.5	割り込み要因	7-18
7.6.6	動作タイミング	7-18
7.6.7	DTC 実行ステート数	7-19
7.7	DTC使用手順	7-20
7.7.1	割り込みによる起動	7-20
7.7.2	ソフトウェアによる起動	7-20
7.8	DTC使用例	7-21
7.8.1	ノーマル転送モード	7-21
7.8.2	ソフトウェア起動	7-21

7.9	使用上の注意事項	7-22
7.9.1	モジュールストップモードの設定	7-22
7.9.2	内蔵 RAM	7-22
7.9.3	DTCE ビットの設定	7-22
7.9.4	SCI、IIC および A/D 変換器の割り込み要因による DTC の起動	7-22
8.	I/O ポート	8-1
8.1	ポート1	8-5
8.1.1	ポート1 データディレクションレジスタ (P1DDR)	8-5
8.1.2	ポート1 データレジスタ (P1DR)	8-5
8.1.3	ポート1 プルアップ MOS コントロールレジスタ (P1PCR)	8-6
8.1.4	端子機能	8-6
8.1.5	ポート1 入力プルアップ MOS の状態	8-7
8.2	ポート2	8-7
8.2.1	ポート2 データディレクションレジスタ (P2DDR)	8-7
8.2.2	ポート2 データレジスタ (P2DR)	8-8
8.2.3	ポート2 プルアップ MOS コントロールレジスタ (P2PCR)	8-8
8.2.4	端子機能	8-9
8.2.5	ポート2 入力プルアップ MOS の状態	8-9
8.3	ポート3	8-10
8.3.1	ポート3 データディレクションレジスタ (P3DDR)	8-10
8.3.2	ポート3 データレジスタ (P3DR)	8-10
8.3.3	ポート3 プルアップ MOS コントロールレジスタ (P3PCR)	8-11
8.3.4	端子機能	8-11
8.3.5	ポート3 入力プルアップ MOS の状態	8-11
8.4	ポート4	8-12
8.4.1	ポート4 データディレクションレジスタ (P4DDR)	8-12
8.4.2	ポート4 データレジスタ (P4DR)	8-12
8.4.3	ポート4 プルアップ MOS コントロールレジスタ (P4PCR)	8-13
8.4.4	端子機能	8-13
8.5	ポート5	8-14
8.5.1	ポート5 データディレクションレジスタ (P5DDR)	8-14
8.5.2	ポート5 データレジスタ (P5DR)	8-14
8.5.3	端子機能	8-15
8.6	ポート6	8-18
8.6.1	ポート6 データディレクションレジスタ (P6DDR)	8-18
8.6.2	ポート6 データレジスタ (P6DR)	8-19
8.6.3	ポート6 プルアップ MOS コントロールレジスタ (P6PCR)	8-19
8.6.4	ノイズキャンセライネーブルレジスタ (P6NCE)	8-19
8.6.5	ノイズキャンセラモードコントロールレジスタ (P6NCMC)	8-20

8.6.6	ノイズキャンセル周期設定レジスタ (NCCS)	8-20
8.6.7	端子機能	8-22
8.6.8	ポート6 入力プルアップ MOS の状態	8-24
8.7	ポート7	8-24
8.7.1	ポート7 入力データレジスタ (P7PIN)	8-24
8.7.2	端子機能	8-24
8.8	ポート8	8-27
8.8.1	ポート8 データディレクションレジスタ (P8DDR)	8-27
8.8.2	ポート8 データレジスタ (P8DR)	8-27
8.8.3	端子機能	8-28
8.9	ポート9	8-31
8.9.1	ポート9 データディレクションレジスタ (P9DDR)	8-31
8.9.2	ポート9 データレジスタ (P9DR)	8-31
8.9.3	端子機能	8-32
8.10	ポートA	8-34
8.10.1	ポートA データディレクションレジスタ (PADDR)	8-34
8.10.2	ポートA 出力データレジスタ (PAODR)	8-34
8.10.3	ポートA 入力データレジスタ (PAPIN)	8-35
8.10.4	端子機能	8-35
8.10.5	入力プルアップ MOS	8-37
8.11	ポートB	8-38
8.11.1	ポートB データディレクションレジスタ (PBDDR)	8-38
8.11.2	ポートB 出力データレジスタ (PBODR)	8-38
8.11.3	ポートB 入力データレジスタ (PBPIN)	8-39
8.11.4	端子機能	8-39
8.12	ポートC	8-40
8.12.1	ポートC データディレクションレジスタ (PCDDR)	8-40
8.12.2	ポートC 出力データレジスタ (PCODR)	8-40
8.12.3	ポートC 入力データレジスタ (PCPIN)	8-41
8.12.4	端子機能	8-41
8.13	ポートD	8-43
8.13.1	ポートD データディレクションレジスタ (PDDDR)	8-43
8.13.2	ポートD 出力データレジスタ (PDODR)	8-43
8.13.3	ポートD 入力データレジスタ (PDPIN)	8-44
8.13.4	端子機能	8-44
8.13.5	入力プルアップ MOS	8-46
8.14	ポートE	8-46
8.14.1	ポートE データディレクションレジスタ (PEDDR)	8-47
8.14.2	ポートE 出力データレジスタ (PEODR)	8-47
8.14.3	ポートE 入力データレジスタ (PEPIN)	8-47
8.14.4	端子機能	8-48

8.15	ポートF.....	8-50
8.15.1	ポートF データディレクションレジスタ (PFDDR)	8-50
8.15.2	ポートF 出力データレジスタ (PFODR)	8-50
8.15.3	ポートF 入力データレジスタ (PFPI)	8-51
8.15.4	端子機能.....	8-51
8.16	周辺機能端子の移動.....	8-52
8.16.1	IRQ センSPORTセレクトレジスタ 16 (ISSR16)、 IRQ センSPORTセレクトレジスタ (ISSR)	8-52
8.16.2	ポートコントロールレジスタ 0 (PTCNT0)	8-54
9.	14 ビット PWM タイマ (PWMX)	9-1
9.1	特長.....	9-1
9.2	入出力端子.....	9-2
9.3	レジスタの説明.....	9-3
9.3.1	PWMX (D/A) カウンタ (DACNT)	9-3
9.3.2	PWMX (D/A) データレジスタ A、B (DADRA、DADRB)	9-4
9.3.3	PWMX (D/A) コントロールレジスタ (DACR)	9-6
9.3.4	周辺クロックセレクトレジスタ (PCSR)	9-7
9.4	バスマスタとのインタフェース.....	9-8
9.5	動作説明.....	9-9
10.	16 ビットフリーランニングタイマ (FRT)	10-1
10.1	特長.....	10-1
10.2	レジスタの説明.....	10-3
10.2.1	フリーランニングカウンタ (FRC)	10-3
10.2.2	アウトプットコンペアレジスタ A、B (OCRA、OCRB)	10-3
10.2.3	アウトプットコンペアレジスタ AR、AF (OCRAR、OCRAF)	10-4
10.2.4	タイムインタラプトイネーブルレジスタ (TIER)	10-4
10.2.5	タイマコントロール/ステータスレジスタ (TCSR)	10-5
10.2.6	タイマコントロールレジスタ (TCR)	10-6
10.2.7	タイマアウトプットコンペアコントロールレジスタ (TOCR)	10-6
10.3	動作タイミング.....	10-7
10.3.1	FRC のカウントタイミング.....	10-7
10.3.2	アウトプットコンペア出力タイミング.....	10-7
10.3.3	FRC のクリアタイミング.....	10-8
10.3.4	アウトプットコンペア時のフラグセットタイミング.....	10-8
10.3.5	オーバフロー時のフラグセットタイミング.....	10-9
10.3.6	自動加算タイミング.....	10-9
10.4	割り込み要因.....	10-10
10.5	使用上の注意事項.....	10-10

10.5.1	FRC のライトとクリアの競合	10-10
10.5.2	FRC のライトとカウントアップの競合.....	10-11
10.5.3	OCR のライトとコンペアマッチの競合.....	10-12
10.5.4	内部クロックの切り替えとカウンタの動作	10-14
11.	8 ビットタイマ (TMR)	11-1
11.1	特長.....	11-1
11.2	レジスタの説明	11-4
11.2.1	タイマカウンタ (TCNT)	11-4
11.2.2	タイムコンスタントレジスタ A (TCORA)	11-4
11.2.3	タイムコンスタントレジスタ B (TCORB)	11-5
11.2.4	タイマコントロールレジスタ (TCR)	11-5
11.2.5	タイマコントロール/ステータスレジスタ (TCSR)	11-8
11.2.6	タイマコネクションレジスタ S (TCNRS)	11-10
11.3	動作タイミング	11-11
11.3.1	TCNT のカウントタイミング	11-11
11.3.2	コンペアマッチ時の CMFA、CMFB フラグのセットタイミング	11-11
11.3.3	コンペアマッチによるカウンタクリアタイミング	11-12
11.3.4	オーバフローフラグ (OVF) のセットタイミング	11-12
11.4	TMR_0、TMR_1 のカスケード接続.....	11-13
11.4.1	16 ビットカウントモード.....	11-13
11.4.2	コンペアマッチカウントモード.....	11-13
11.5	割り込み要因	11-14
11.6	使用上の注意事項	11-15
11.6.1	TCNT のライトとカウンタクリアの競合.....	11-15
11.6.2	TCNT のライトとカウントアップの競合.....	11-16
11.6.3	TCOR のライトとコンペアマッチの競合	11-17
11.6.4	内部クロックの切り替えと TCNT の動作.....	11-18
11.6.5	カスケード接続時のモード設定.....	11-19
12.	ウォッチドッグタイマ (WDT)	12-1
12.1	特長.....	12-1
12.2	入出力端子	12-3
12.3	レジスタの説明	12-3
12.3.1	タイマカウンタ (TCNT)	12-3
12.3.2	タイマコントロール/ステータスレジスタ (TCSR)	12-4
12.4	動作説明.....	12-7
12.4.1	ウォッチドッグタイマモード.....	12-7
12.4.2	インターバルタイマモード.....	12-8
12.4.3	RES0 信号出力タイミング	12-9

12.5	割り込み要因	12-9
12.6	使用上の注意事項	12-10
12.6.1	レジスタアクセス時の注意事項	12-10
12.6.2	タイマカウンタ (TCNT) のライトとカウントアップの競合	12-11
12.6.3	CKS2 ~ CKS0 ビットの書き換え	12-11
12.6.4	PSS ビットの書き換え	12-11
12.6.5	ウォッチドッグタイマモードとインターバルタイマモードの切り替え	12-11
12.6.6	$\overline{\text{RESO}}$ 信号によるシステムのリセット	12-12
13.	シリアルコミュニケーションインタフェース (SCI)	13-1
13.1	特長	13-1
13.2	入出力端子	13-3
13.3	レジスタの説明	13-3
13.3.1	レシーブシフトレジスタ (RSR)	13-4
13.3.2	レシーブデータレジスタ (RDR)	13-4
13.3.3	トランスミットデータレジスタ (TDR)	13-4
13.3.4	トランスミットシフトレジスタ (TSR)	13-4
13.3.5	シリアルモードレジスタ (SMR)	13-5
13.3.6	シリアルコントロールレジスタ (SCR)	13-7
13.3.7	シリアルステータスレジスタ (SSR)	13-9
13.3.8	スマートカードモードレジスタ (SCMR)	13-13
13.3.9	ビットレートレジスタ (BRR)	13-14
13.4	調歩同期式モードの動作	13-17
13.4.1	送受信フォーマット	13-18
13.4.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン	13-19
13.4.3	クロック	13-20
13.4.4	SCI の初期化 (調歩同期式)	13-21
13.4.5	シリアルデータ送信 (調歩同期式)	13-22
13.4.6	シリアルデータ受信 (調歩同期式)	13-24
13.5	マルチプロセッサ通信機能	13-27
13.5.1	マルチプロセッサシリアルデータ送信	13-28
13.5.2	マルチプロセッサシリアルデータ受信	13-29
13.6	クロック同期式モードの動作	13-32
13.6.1	クロック	13-32
13.6.2	SCI の初期化 (クロック同期式)	13-33
13.6.3	シリアルデータ送信 (クロック同期式)	13-34
13.6.4	シリアルデータ受信 (クロック同期式)	13-36
13.6.5	シリアルデータ送受信同時動作 (クロック同期式)	13-38
13.7	スマートカードインタフェースの動作説明	13-40
13.7.1	接続例	13-40

13.7.2	データフォーマット（ブロック転送モード時を除く）	13-41
13.7.3	ブロック転送モード	13-42
13.7.4	受信データサンプリングタイミングと受信マージン	13-43
13.7.5	初期設定	13-44
13.7.6	シリアルデータ送信（ブロック転送モードを除く）	13-45
13.7.7	シリアルデータ受信（ブロック転送モードを除く）	13-48
13.7.8	クロック出力制御	13-50
13.8	割り込み要因	13-51
13.8.1	通常のシリアルコミュニケーションインタフェースモードにおける割り込み	13-51
13.8.2	スマートカードインタフェースモードにおける割り込み	13-52
13.9	使用上の注意事項	13-53
13.9.1	モジュールストップモードの設定	13-53
13.9.2	ブレークの検出と処理	13-53
13.9.3	マーク状態とブレークの送り出し	13-53
13.9.4	受信エラーフラグと送信動作（クロック同期式モードのみ）	13-53
13.9.5	TDR へのライトと TDRE フラグの関係	13-53
13.9.6	DTC の使用上の制約	13-54
13.9.7	モード遷移時の動作	13-54
13.9.8	SCK 端子からポート端子への切り替え	13-58
14.	CRC 演算器（CRC）	14-1
14.1	特長	14-1
14.2	レジスタの説明	14-2
14.2.1	CRC コントロールレジスタ（CRCCR）	14-2
14.2.2	CRC データ入力レジスタ（CRCDIR）	14-2
14.2.3	CRC データ出力レジスタ（CRCDOR）	14-2
14.3	CRC演算器の動作説明	14-3
14.4	CRC演算器使用上の注意事項	14-6
15.	FIFO 内蔵シリアルコミュニケーションインタフェース（SCIF）	15-1
15.1	特長	15-1
15.2	入出力端子	15-2
15.3	レジスタの説明	15-3
15.3.1	レシーブシフトレジスタ（FRSR）	15-4
15.3.2	レシーブパツファレジスタ（FRBR）	15-4
15.3.3	トランスミッタシフトレジスタ（FTSR）	15-5
15.3.4	トランスミッタホールディングレジスタ（FTHR）	15-5
15.3.5	ディバイザラッチ H、L（FDLH、FDLL）	15-5
15.3.6	割り込みイネーブルレジスタ（FIER）	15-6
15.3.7	割り込み識別レジスタ（FIIR）	15-7

15.3.8	FIFO 制御レジスタ (FFCR)	15-9
15.3.9	ライン制御レジスタ (FLCR)	15-10
15.3.10	モデム制御レジスタ (FMCR)	15-11
15.3.11	ラインステータスレジスタ (FLSR)	15-12
15.3.12	モデムステータスレジスタ (FMSR)	15-15
15.3.13	スクラッチパッドレジスタ (FSCR)	15-15
15.3.14	SCIF コントロールレジスタ (SCIFCR)	15-16
15.4	動作説明	15-17
15.4.1	ボーレート	15-17
15.4.2	調歩同期式通信の動作	15-18
15.4.3	SCIF の初期化	15-19
15.4.4	フロー制御を行った送受信	15-22
15.4.5	LPC インタフェースからのデータ送受信	15-27
15.5	割り込み要因	15-28
15.6	使用上の注意事項	15-28
15.6.1	SCLK に LCLK を選択した場合の低消費電力モード	15-28
16	シリアルマルチプレクス機能	16-1
16.1	特長	16-1
16.2	入出力端子	16-1
16.3	レジスタの説明	16-2
16.3.1	シリアルマルチプレクスモードレジスタ 0 (SMR0)	16-2
16.3.2	シリアルマルチプレクスモードレジスタ 1 (SMR1)	16-3
16.4	動作モード	16-4
16.4.1	シリアルマルチプレクスモード 0	16-4
16.4.2	シリアルマルチプレクスモード 1	16-5
16.4.3	シリアルマルチプレクスモード 2	16-6
16.4.4	シリアルマルチプレクスモード 3	16-7
16.4.5	シリアルマルチプレクスモード 4	16-8
16.5	シリアルポート端子構成	16-9
17	I ² C バスインタフェース (IIC)	17-1
17.1	特長	17-1
17.2	端子構成	17-3
17.3	レジスタの説明	17-4
17.3.1	I ² C バスデータレジスタ (ICDR)	17-4
17.3.2	スレーブアドレスレジスタ (SAR)	17-5
17.3.3	第 2 スレーブアドレスレジスタ (SARX)	17-6
17.3.4	I ² C バスモードレジスタ (ICMR)	17-7
17.3.5	I ² C バストランスファレートセレクトレジスタ (IICX3)	17-8

17.3.6	I ² C バスコントロールレジスタ (ICCR)	17-10
17.3.7	I ² C バスステータスレジスタ (ICSR)	17-16
17.3.8	I ² C バスコントロール拡張レジスタ (ICXR)	17-19
17.3.9	I ² C SMBus 制御レジスタ (ICSMBCR)	17-21
17.4	動作説明	17-23
17.4.1	I ² C バスデータフォーマット	17-23
17.4.2	初期設定	17-25
17.4.3	マスタ送信動作	17-26
17.4.4	マスタ受信動作	17-30
17.4.5	スレーブ受信動作	17-37
17.4.6	スレーブ送信動作	17-44
17.4.7	IRIC セットタイミングと SCL 制御	17-47
17.4.8	DTC による動作	17-50
17.4.9	ノイズ除去回路	17-51
17.4.10	内部状態の初期化	17-51
17.5	割り込み要因	17-52
17.6	使用上の注意事項	17-53
18.	LPC インタフェース (LPC)	18-1
18.1	特長	18-1
18.2	入出力端子	18-4
18.3	レジスタの説明	18-5
18.3.1	ホストインタフェースコントロールレジスタ 0、1 (HICR0、HICR1)	18-7
18.3.2	ホストインタフェースコントロールレジスタ 2、3 (HICR2、HICR3)	18-12
18.3.3	ホストインタフェースコントロールレジスタ 4 (HICR4)	18-15
18.3.4	ホストインタフェースコントロールレジスタ 5 (HICR5)	18-16
18.3.5	ピンファンクションコントロールレジスタ (PINFNCR)	18-16
18.3.6	LPC チャネル 1、2 アドレスレジスタ H、L (LADR12H、LADR12L)	18-17
18.3.7	LPC チャネル 3 アドレスレジスタ H、L (LADR3H、LADR3L)	18-18
18.3.8	入力データレジスタ 1~3 (IDR1~IDR3)	18-21
18.3.9	出力データレジスタ 1~3 (ODR1~ODR3)	18-21
18.3.10	双方向データレジスタ 0~15 (TWR0~TWR15)	18-21
18.3.11	ステータスレジスタ 1~3 (STR1~STR3)	18-22
18.3.12	SERIRQ コントロールレジスタ 0 (SIRQCR0)	18-28
18.3.13	SERIRQ コントロールレジスタ 1 (SIRQCR1)	18-31
18.3.14	SERIRQ コントロールレジスタ 2 (SIRQCR2)	18-35
18.3.15	SERIRQ コントロールレジスタ 3 (SIRQCR3)	18-36
18.3.16	SERIRQ コントロールレジスタ 4 (SIRQCR4)	18-37
18.3.17	SERIRQ コントロールレジスタ 5 (SIRQCR5)	18-38
18.3.18	ホストインタフェースセレクトレジスタ (HISEL)	18-39

18.3.19	SCIF アドレスレジスタ (SCIFADRH、SCIFADRL)	18-40
18.3.20	SMIC フラグレジスタ (SMICFLG)	18-41
18.3.21	SMIC コントロールステータスレジスタ (SMICCSR)	18-42
18.3.22	SMIC データレジスタ (SMICDTR)	18-42
18.3.23	SMIC 割り込みレジスタ 0 (SMICIR0)	18-43
18.3.24	SMIC 割り込みレジスタ 1 (SMICIR1)	18-45
18.3.25	BT ステータスレジスタ 0 (BTSR0)	18-46
18.3.26	BT ステータスレジスタ 1 (BTSR1)	18-48
18.3.27	BT コントロールステータスレジスタ 0 (BTC SR0)	18-50
18.3.28	BT コントロールステータスレジスタ 1 (BTC SR1)	18-51
18.3.29	BT コントロールレジスタ (BTCR)	18-52
18.3.30	BT データバッファ (BTDTR)	18-55
18.3.31	BT 割り込みマスクレジスタ (BTMSR)	18-55
18.3.32	BT FIFO 有効サイズレジスタ 0 (BTFVSR0)	18-57
18.3.33	BT FIFO 有効サイズレジスタ 1 (BTFVSR1)	18-57
18.4	動作説明	18-58
18.4.1	LPC インタフェースの起動	18-58
18.4.2	LPC の I/O サイクル	18-59
18.4.3	SMIC モードの転送フロー	18-61
18.4.4	BT モードの転送フロー	18-63
18.4.5	GATE A20	18-65
18.4.6	LPC インタフェースのシャットダウン機能 (LPCPD)	18-67
18.4.7	LPC インタフェースのシリアル割り込み動作 (SERIRQ)	18-70
18.4.8	LPC インタフェースのクロック起動要求	18-72
18.4.9	LPC インタフェースから SCIF 制御	18-72
18.5	割り込み要因	18-73
18.5.1	IBFI1、IBFI2、IBFI3、OBEI、ERRI	18-73
18.5.2	SMI、HIRQ1、HIRQ3、HIRQ4、HIRQ5、HIRQ6、HIRQ7、HIRQ8、HIRQ9、HIRQ10、 HIRQ11、HIRQ12、HIRQ13、HIRQ14、HIRQ15	18-73
18.6	使用上の注意事項	18-76
18.6.1	データアクセスの競合	18-76
19.	A/D 変換器	19-1
19.1	特長	19-1
19.2	入出力端子	19-3
19.3	レジスタの説明	19-3
19.3.1	A/D データレジスタ A ~ H (ADDRA ~ ADDRH)	19-4
19.3.2	A/D コントロール / ステータスレジスタ (ADCSR)	19-5
19.3.3	A/D コントロールレジスタ (ADCR)	19-6
19.4	動作説明	19-7
19.4.1	シングルモード	19-7

19.4.2	スキャンモード	19-8
19.4.3	入力サンプリングと A/D 変換時間	19-9
19.4.4	外部トリガ入力タイミング	19-10
19.5	割り込み要因	19-11
19.6	A/D変換精度の定義	19-11
19.7	使用上の注意事項	19-13
19.7.1	モジュールストップモードの設定	19-13
19.7.2	許容信号源インピーダンスについて	19-13
19.7.3	絶対精度への影響	19-13
19.7.4	アナログ電源端子他の設定範囲	19-14
19.7.5	ボード設計上の注意	19-14
19.7.6	ノイズ対策上の注意	19-14
19.7.7	ソフトウェアスタンバイ時の A/D 変換保持機能	19-15
20.	RAM	20-1
21.	フラッシュメモリ	21-1
21.1	特長	21-1
21.1.1	モード遷移図	21-3
21.1.2	モード比較	21-4
21.1.3	フラッシュメモリマツ構成	21-5
21.1.4	ブロック分割	21-5
21.1.5	書き込み / 消去インタフェース	21-7
21.2	入出力端子	21-9
21.3	レジスタの説明	21-9
21.3.1	書き込み / 消去インタフェースレジスタ	21-10
21.3.2	書き込み / 消去インタフェースパラメータ	21-15
21.4	オンボードプログラミング	21-22
21.4.1	ブートモード	21-22
21.4.2	ユーザプログラムモード	21-26
21.4.3	ユーザブートモード	21-36
21.4.4	手順プログラム、または書き込みデータの格納可能領域	21-39
21.5	プロテクト	21-44
21.5.1	ハードウェアプロテクト	21-44
21.5.2	ソフトウェアプロテクト	21-44
21.5.3	エラープロテクト	21-45
21.6	ユーザマツとユーザブートマツの切り替え	21-46
21.7	ライターモード	21-47
21.8	ブートモードの標準シリアル通信インタフェース仕様	21-47
21.9	使用上の注意事項	21-69

22.	バウンダリスキャン (JTAG)	22-1
22.1	特長	22-1
22.2	入出力端子	22-3
22.3	レジスタの説明	22-4
22.3.1	インストラクションレジスタ (SDIR)	22-5
22.3.2	バイパスレジスタ (SDBPR)	22-5
22.3.3	バウンダリスキャンレジスタ (SDBSR)	22-6
22.3.4	ID コードレジスタ (SDIDR)	22-13
22.4	動作説明	22-14
22.4.1	TAP コントローラの状態遷移	22-14
22.4.2	JTAG のリセット	22-14
22.5	バウンダリスキャン	22-15
22.5.1	サポート命令	22-15
22.6	使用上の注意事項	22-17
23.	クロック発振器	23-1
23.1	発振回路	23-2
23.1.1	水晶発振子を接続する方法	23-2
23.1.2	外部クロックを入力する方法	23-3
23.2	PLL 通倍回路	23-4
23.3	中速クロック分周器	23-4
23.4	バスマスタクロック選択回路	23-4
23.5	サブクロック入力回路	23-4
23.6	サブクロック波形成形回路	23-4
23.7	クロック選択回路	23-5
23.8	使用上の注意事項	23-5
23.8.1	発振子に関する注意事項	23-5
23.8.2	ボード設計上の注意事項	23-5
23.8.3	動作確認時の注意事項	23-5
24.	低消費電力状態	24-1
24.1	レジスタの説明	24-2
24.1.1	スタンバイコントロールレジスタ (SBYCR)	24-2
24.1.2	ローパワーコントロールレジスタ (LPWRCR)	24-4
24.1.3	モジュールストップコントロールレジスタ H、L、A (MSTPCRH、MSTPCRL、MSTPCRA)	24-5
24.1.4	サブチップモジュールストップコントロールレジスタ BH、BL (SUBMSTPBH、SUBMSTPBL)	24-6
24.2	モード間遷移とLSIの状態	24-7
24.3	中速モード	24-9

24.4	スリープモード	24-10
24.5	ソフトウェアスタンバイモード	24-10
24.6	ハードウェアスタンバイモード	24-12
24.7	モジュールストップモード	24-13
24.8	使用上の注意事項	24-13
24.8.1	I/O ポートの状態	24-13
24.8.2	発振安定待機中の消費電流	24-13
24.8.3	DTC のモジュールストップモードの設定	24-13
24.8.4	サブクロック使用上の注意事項	24-13
25.	レジスタ一覧	25-1
25.1	レジスタアドレス一覧 (アドレス順)	25-2
25.2	レジスタビット一覧	25-11
25.3	各動作モードにおけるレジスタの状態	25-20
26.	電気的特性	26-1
26.1	絶対最大定格	26-1
26.2	DC特性	26-2
26.3	AC特性	26-5
26.3.1	クロックタイミング	26-6
26.3.2	制御信号タイミング	26-9
26.3.3	バスタイミング	26-11
26.3.4	マルチプレックスバスタイミング	26-20
26.3.5	内蔵周辺モジュールタイミング	26-22
26.4	A/D変換特性	26-28
26.5	フラッシュメモリ特性	26-29
26.6	使用上の注意事項	26-30
付録	付録-1
A.	各処理状態におけるI/Oポートの状態	付録-1
B.	型名一覧	付録-3
C.	外形寸法図	付録-3
本版で改訂された箇所	改-1
索引	索引-1

図目次

1. 概要	
図 1.1 ブロック図.....	1-3
図 1.2 ピン配置図.....	1-4
2. CPU	
図 2.1 例外処理ベクタテーブル（ノーマルモード）.....	2-5
図 2.2 ノーマルモードのスタック構造.....	2-5
図 2.3 例外処理ベクタテーブル（アドバンスモード）.....	2-6
図 2.4 アドバンスモードのスタック構造.....	2-7
図 2.5 アドレス空間.....	2-8
図 2.6 CPU 内部レジスタ構成.....	2-9
図 2.7 汎用レジスタの使用法.....	2-10
図 2.8 スタックの状態.....	2-10
図 2.9 汎用レジスタのデータ形式（1）.....	2-13
図 2.9 汎用レジスタのデータ形式（2）.....	2-14
図 2.10 メモリ上でのデータ形式.....	2-15
図 2.11 命令フォーマットの例.....	2-27
図 2.12 メモリ間接による分岐アドレスの指定.....	2-31
図 2.13 状態遷移図.....	2-35
3. MCU 動作モード	
図 3.1 アドレスマップ.....	3-6
4. 例外処理	
図 4.1 リセットシーケンス.....	4-3
図 4.2 例外処理終了後のスタックの状態.....	4-5
図 4.3 SP を奇数に設定したときの動作.....	4-6
5. 割り込みコントローラ	
図 5.1 割り込みコントローラのブロック図.....	5-2
図 5.2 IRQ15 ~ IRQ0 割り込みのブロック図.....	5-8
図 5.3 割り込み制御動作のブロック図.....	5-12
図 5.4 割り込み制御モード 0 の割り込み受け付けまでのフロー.....	5-15
図 5.5 割り込み制御モード 1 の状態遷移.....	5-16

図 5.6	割り込み制御モード 1 の割り込み受け付けまでのフロー	5-18
図 5.7	割り込み例外処理	5-19
図 5.8	DTC と割り込み制御	5-21
図 5.9	割り込みの発生とディスエーブルの競合	5-23
6. バスコントローラ (BSC)		
図 6.1	バスコントローラのブロック図	6-3
図 6.2	\overline{IOS} 信号出力タイミング	6-17
図 6.3	アクセスサイズとデータアライメント制御 (8 ビットアクセス空間)	6-18
図 6.4	アクセスサイズとデータアライメント制御 (16 ビットアクセス空間)	6-19
図 6.5	8 ビット 2 ステートアクセス空間のバスタイミング	6-21
図 6.6	8 ビット 3 ステートアクセス空間のバスタイミング	6-22
図 6.7	16 ビット 2 ステートアクセス空間のバスタイミング (偶数バイトアクセス)	6-23
図 6.8	16 ビット 2 ステートアクセス空間のバスタイミング (奇数バイトアクセス)	6-24
図 6.9	16 ビット 2 ステートアクセス空間のバスタイミング (ワードアクセス)	6-25
図 6.10	16 ビット 3 ステートアクセス空間のバスタイミング (偶数バイトアクセス)	6-26
図 6.11	16 ビット 3 ステートアクセス空間のバスタイミング (奇数バイトアクセス)	6-27
図 6.12	16 ビット 3 ステートアクセス空間のバスタイミング (ワードアクセス)	6-28
図 6.13	グループレス拡張時偶数バイトアクセス (ADMXE = 0)	6-29
図 6.14	グループレス拡張時奇数バイトアクセス (ADMXE = 0)	6-30
図 6.15	グループレス拡張時ワードアクセス (ADMXE = 0)	6-31
図 6.16	8 ビット・データ 2 ステートアクセス空間のバスタイミング	6-32
図 6.17	8 ビット・データ 2 ステートアクセス空間のバスタイミング	6-33
図 6.18	8 ビット・データ 3 ステートアクセス空間のバスタイミング	6-34
図 6.19	16 ビット・データ 2 ステートアクセス空間のバスタイミング (1) (偶数バイトアクセス)	6-35
図 6.20	16 ビット・データ 2 ステートアクセス空間のバスタイミング (2) (偶数バイトアクセス)	6-36
図 6.21	16 ビット・データ 2 ステートアクセス空間のバスタイミング (3) (奇数バイトアクセス)	6-37
図 6.22	16 ビット・データ 2 ステートアクセス空間のバスタイミング (4) (奇数バイトアクセス)	6-38
図 6.23	16 ビット・データ 2 ステートアクセス空間のバスタイミング (5) (ワードアクセス)	6-39
図 6.24	16 ビット・データ 2 ステートアクセス空間のバスタイミング (6) (ワードアクセス)	6-40
図 6.25	16 ビット・データ 3 ステートアクセス空間のバスタイミング (1) (偶数バイトアクセス)	6-41
図 6.26	16 ビット・データ 3 ステートアクセス空間のバスタイミング (2) (奇数バイトアクセス)	6-42
図 6.27	16 ビット・データ 3 ステートアクセス空間のバスタイミング (3) (ワードアクセス)	6-43

図 6.28	ウェイトステート挿入タイミング例 (端子ウェイトモード)	6-45
図 6.29	ウェイトステート挿入タイミング例	6-47
図 6.30	バースト ROM 空間のアクセスタイミング例 (AST = BRSTS1 = 1 の場合)	6-48
図 6.31	バースト ROM 空間のアクセスタイミング例 (AST = BRSTS1 = 0 の場合)	6-49
図 6.32	アイドルサイクルの動作例	6-50
7. データトランスファコントローラ (DTC)		
図 7.1	DTC のブロック図	7-2
図 7.2	DTC 起動要因制御ブロック図	7-10
図 7.3	アドレス空間上での DTC レジスタ情報の配置	7-11
図 7.4	DTC ベクタアドレスとレジスタ情報との対応	7-11
図 7.5	DTC 動作フローチャート	7-13
図 7.6	ノーマル転送モードのメモリマップ	7-14
図 7.7	リピート転送モードのメモリマップ	7-15
図 7.8	ブロック転送モードのメモリマップ	7-16
図 7.9	チェイン転送の動作	7-17
図 7.10	DTC の動作タイミング (ノーマル転送モード、リピート転送モードの例)	7-18
図 7.11	DTC の動作タイミング (ブロック転送モード、ブロックサイズ = 2 の例)	7-18
図 7.12	DTC の動作タイミング (チェイン転送の例)	7-19
8. I/O ポート		
図 8.1	ノイズキャンセル回路	8-21
図 8.2	ノイズキャンセル動作概念図	8-21
9. 14 ビット PWM タイマ (PWMX)		
図 9.1	PWMX (D/A) のブロック図	9-2
図 9.2	PWMX (D/A) の動作	9-9
図 9.3	出力波形 (OS = 0、DADR は T_L に対応)	9-11
図 9.4	出力波形 (OS = 1、DADR は T_H に対応)	9-12
図 9.5	CFS = 1 のときの D/A データレジスタの構成	9-13
図 9.6	DADR = H'0207 のときの出力波形 (OS = 1)	9-13
10. 16 ビットフリーランニングタイマ (FRT)		
図 10.1	16 ビットフリーランニングタイマのブロック図	10-2
図 10.2	内部クロック動作時のカウントタイミング	10-7
図 10.3	アウトプットコンペア A 出力タイミング	10-7
図 10.4	コンペアマッチ A 信号による FRC のクリアタイミング	10-8
図 10.5	OCFA、OCFB フラグのセットタイミング	10-8
図 10.6	OVF フラグのセットタイミング	10-9
図 10.7	OCRA の自動加算タイミング	10-9

図 10.8	FRC のライトとクリアの競合	10-10
図 10.9	FRC のライトとカウントアップの競合	10-11
図 10.10	OCR のライトとコンペアマッチの競合 (自動加算機能を使用していない場合)	10-12
図 10.11	OCRAR/OCRAF ライトとコンペアマッチの競合 (自動加算機能を使用している場合)	10-13
11. 8ビットタイマ (TMR)		
図 11.1	8ビットタイマ (TMR_0、TMR_1) のブロック図	11-2
図 11.2	8ビットタイマ (TMR_Y、TMR_X) のブロック図	11-3
図 11.3	内部クロック動作時のカウントタイミング	11-11
図 11.4	コンペアマッチ時の CMF フラグのセットタイミング	11-11
図 11.5	コンペアマッチによるカウンタクリアタイミング	11-12
図 11.6	OVF フラグのセットタイミング	11-12
図 11.7	TCNT のライトとクリアの競合	11-15
図 11.8	TCNT のライトとカウントアップの競合	11-16
図 11.9	TCOR のライトとコンペアマッチの競合	11-17
12. ウォッチドッグタイマ (WDT)		
図 12.1	WDT のブロック図	12-2
図 12.2	ウォッチドッグタイマモード時 ($\overline{\text{RST/NMI}} = 1$) の動作	12-7
図 12.3	インターバルタイマモード時の動作	12-8
図 12.4	OVF のセットタイミング	12-8
図 12.5	$\overline{\text{RESO}}$ 信号の出力タイミング	12-9
図 12.6	TCNT、TCSR へのライト (WDT_0 の例)	12-10
図 12.7	TCNT のライトとカウントアップの競合	12-11
図 12.8	$\overline{\text{RESO}}$ 信号によるシステムのリセット回路例	12-12
13. シリアルコミュニケーションインタフェース (SCI)		
図 13.1	SCI_1、SCI_3 のブロック図	13-2
図 13.2	調歩同期式通信のデータフォーマット (8ビットデータ/パリティあり/2ストップビットの例)	13-17
図 13.3	調歩同期式モードの受信データサンプリングタイミング	13-19
図 13.4	出力クロックと送信データの位相関係 (調歩同期式モード)	13-20
図 13.5	SCI の初期化フローチャートの例	13-21
図 13.6	調歩同期式モードの送信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)	13-22
図 13.7	シリアル送信のフローチャートの例	13-23
図 13.8	SCI の受信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)	13-24
図 13.9	シリアル受信データフローチャートの例 (1)	13-25
図 13.9	シリアル受信データフローチャートの例 (2)	13-26
図 13.10	マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ H'AA の送信の例)	13-27

図 13.11	マルチプロセッサシリアル送信のフローチャートの例	13-28
図 13.12	SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)	13-29
図 13.13	マルチプロセッサシリアル受信のフローチャートの例 (1)	13-30
図 13.13	マルチプロセッサシリアル受信のフローチャートの例 (2)	13-31
図 13.14	クロック同期式通信のデータフォーマット (LSB ファーストの場合)	13-32
図 13.15	SCI の初期化フローチャートの例	13-33
図 13.16	クロック同期モードの送信時の動作例	13-34
図 13.17	シリアル送信のフローチャートの例	13-35
図 13.18	SCI の受信時の動作例	13-36
図 13.19	シリアルデータ受信フローチャートの例	13-37
図 13.20	シリアル送受信同時動作のフローチャートの例	13-39
図 13.21	スマートカードインタフェース端子接続概要	13-40
図 13.22	通常のスマートカードインタフェースのデータフォーマット	13-41
図 13.23	ダイレクトコンベンション (SDIR = SINV = $0/\bar{E}$ = 0)	13-42
図 13.24	インバースコンベンション (SDIR = SINV = $0/\bar{E}$ = 1)	13-42
図 13.25	スマートカードインタフェースモード時の受信データサンプリングタイミング (372 倍のクロック使用時)	13-43
図 13.26	SCI 送信モードの場合の再転送動作	13-46
図 13.27	送信動作時の TEND フラグ発生タイミング	13-46
図 13.28	送信処理フローの例	13-47
図 13.29	SCI 受信モードの場合の再転送動作	13-48
図 13.30	受信フローの例	13-49
図 13.31	クロック出力固定タイミング	13-50
図 13.32	クロック停止・再起動手順	13-51
図 13.33	DTC によるクロック同期式送信時の例	13-54
図 13.34	送信時のモード遷移フローチャートの例	13-55
図 13.35	調歩同期モード送信時 (内部クロック) の端子状態	13-56
図 13.36	クロック同期モード送信時 (内部クロック) の端子状態	13-56
図 13.37	受信時のモード遷移フローチャートの例	13-57
図 13.38	SCK 端子からポート端子へ切り替える時の動作	13-58
図 13.39	SCK 端子からポート端子へ切り替え時の Low 出力の回避例	13-58

14. CRC 演算器 (CRC)

図 14.1	CRC 演算器のブロック図	14-1
図 14.2	LSB ファーストでのデータ送信	14-3
図 14.3	MSB ファーストでのデータ送信	14-3
図 14.4	LSB ファーストでのデータ受信	14-4
図 14.5	MSB ファーストでのデータ受信	14-5
図 14.6	LSB ファーストと MSB ファーストの送信データ	14-6

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

図 15.1	SCIF のブロック図	15-2
図 15.2	シリアル送信/受信データフォーマット (8 ビットデータ/パリティあり/2 ストップビットの例)	15-18
図 15.3	初期化フローチャートの例	15-19
図 15.4	データ送信フローチャートの例	15-20
図 15.5	データ受信フローチャートの例	15-21
図 15.6	初期化フローチャートの例	15-22
図 15.7	送受信待機フローチャートの例	15-23
図 15.8	送信フローチャートの例	15-24
図 15.9	送信中断フローチャートの例	15-25
図 15.10	受信フローチャートの例	15-25
図 15.11	受信中断フローチャートの例	15-26

16. シリアルマルチプレクス機能

図 16.1	シリアルマルチプレクスモード 0 の端子接続図	16-4
図 16.2	シリアルマルチプレクスモード 1 の端子接続図	16-5
図 16.3	シリアルマルチプレクスモード 2 の端子接続図	16-6
図 16.4	シリアルマルチプレクスモード 3 の端子接続図	16-7
図 16.5	シリアルマルチプレクスモード 4 の端子接続図	16-8

17. I²C バスインタフェース (IIC)

図 17.1	I ² C バスインタフェースのブロック図	17-2
図 17.2	I ² C バスインタフェース接続例 (本 LSI がマスタの場合)	17-3
図 17.3	I ² C バスデータフォーマット (I ² C バスフォーマット)	17-23
図 17.4	I ² C バスデータフォーマット (シリアルフォーマット)	17-23
図 17.5	I ² C バスタイミング	17-24
図 17.6	IIC の初期化フローチャートの例	17-25
図 17.7	マスタ送信モードフローチャート例	17-26
図 17.8	マスタ送信モード動作タイミング例 (MLS = WAIT = 0 のとき)	17-28
図 17.9	マスタ送信モード停止条件発行動作タイミング例 (MLS = WAIT = 0 のとき)	17-29
図 17.10	マスタ受信モードフローチャート例 (HNDS = 1)	17-30
図 17.11	マスタ受信モード動作タイミング例 (MLS = WAIT = 0、HNDS = 1 のとき)	17-32
図 17.12	マスタ受信モード動作停止条件発行動作タイミング例 (MLS = WAIT = 0、HNDS = 1 のとき)	17-32
図 17.13	マスタ受信モード (複数バイト数受信) のフローチャート例 (WAIT = 1)	17-33
図 17.14	マスタ受信モード (1 バイトのみ受信) のフローチャート例 (WAIT = 1)	17-34
図 17.15	マスタ受信モード動作タイミング例 (MLS = ACKB = 0、WAIT = 1 のとき)	17-36
図 17.16	マスタ受信モード停止条件発行動作タイミング例 (MLS = ACKB = 0、WAIT = 1 のとき)	17-37
図 17.17	スレーブ受信モードのフローチャート例 (HNDS = 1)	17-38
図 17.18	スレーブ受信モード動作タイミング例 1 (MLS = 0、HNDS = 1 のとき)	17-40

図 17.19	スレーブ受信モード動作タイミング例 2 (MLS = 0、HNDS = 1 のとき)	17-40
図 17.20	スレーブ受信モードのフローチャート例 (HNDS = 0)	17-41
図 17.21	スレーブ受信モード動作タイミング例 1 (MLS = ACKB = 0、HNDS = 0 のとき)	17-43
図 17.22	スレーブ受信モード動作タイミング例 2 (MLS = ACKB = 0、HNDS = 0 のとき)	17-43
図 17.23	スレーブ送信モードのフローチャート例	17-44
図 17.24	スレーブ送信モード動作タイミング例 (MLS = 0 のとき)	17-46
図 17.25	IRIC フラグセットタイミングと SCL 制御 (1)	17-47
図 17.26	IRIC フラグセットタイミングと SCL 制御 (2)	17-48
図 17.27	IRIC フラグセットタイミングと SCL 制御 (3)	17-49
図 17.28	ノイズ除去回路のブロック図	17-51
図 17.29	マスタ受信データの読み出しにおける注意	17-56
図 17.30	再送のための開始条件命令発行フローチャートおよびタイミング	17-57
図 17.31	停止条件発行タイミング	17-58
図 17.32	WAIT = 1 状態での IRIC フラグクリアタイミング	17-58
図 17.33	スレーブ送信モードでの ICDR レジスタリード、ICCR レジスタアクセスタイミング	17-59
図 17.34	スレーブモードでの TRS ビット設定タイミング	17-60
図 17.35	アービトレーションロスト時の動作模式図	17-62

18. LPC インタフェース (LPC)

図 18.1	LPC のブロック図	18-3
図 18.2	LFRAME のタイミング例	18-60
図 18.3	アボートメカニズム	18-60
図 18.4	SMIC ライト転送フロー	18-61
図 18.5	SMIC リード転送フロー	18-62
図 18.6	BT ライト転送フロー	18-63
図 18.7	BT リード転送フロー	18-64
図 18.8	GA20 出力	18-66
図 18.9	パワーダウン状態の終了タイミング	18-70
図 18.10	SERIRQ タイミング	18-70
図 18.11	クロック起動要求タイミング	18-72
図 18.12	HIRQ の処理フロー (チャンネル 1 の例)	18-75

19. A/D 変換器

図 19.1	A/D 変換器のブロック図	19-2
図 19.2	A/D 変換器の動作例 (シングルチップモード、チャンネル 1 選択時)	19-7
図 19.3	A/D 変換器の動作例 (スキャンモード、AN0 ~ AN2 の 3 チャンネル選択時)	19-8
図 19.4	A/D 変換タイミング	19-9
図 19.5	外部トリガ入力タイミング	19-10
図 19.6	A/D 変換精度の定義	19-12
図 19.7	A/D 変換精度の定義	19-12

図 19.8	アナログ入力回路の例	19-13
図 19.9	アナログ入力保護回路の例	19-15
図 19.10	アナログ入力端子等価回路	19-15
21.	フラッシュメモリ	
図 21.1	フラッシュメモリのブロック図	21-2
図 21.2	フラッシュメモリに関するモード遷移図	21-3
図 21.3	フラッシュメモリ構成図	21-5
図 21.4	ユーザマットのブロック分割	21-6
図 21.5	ユーザの手続きプログラムの概要	21-7
図 21.6	ブートモード時のシステム構成図	21-22
図 21.7	SCI ビットレートの自動合わせ込み動作	21-23
図 21.8	ブートモードの状態遷移の概略図	21-25
図 21.9	書き込み / 消去概略フロー	21-26
図 21.10	書き込み / 消去実施時の RAM マップ	21-27
図 21.11	書き込み手順	21-28
図 21.12	消去手順	21-33
図 21.13	消去、書き込みの繰り返し手順	21-35
図 21.14	ユーザブートモードでのユーザマットへの書き込み手順	21-37
図 21.15	ユーザブートモードでのユーザマットの消去手順	21-38
図 21.16	エラープロテクト状態への状態遷移図	21-45
図 21.17	ユーザマット / ユーザブートマットの切り替え	21-46
図 21.18	ブートプログラムのステータス	21-48
図 21.19	ビットレート合わせ込みのシーケンス	21-49
図 21.20	通信プロトコルフォーマット	21-50
図 21.21	新ビットレート選択のシーケンス	21-58
図 21.22	書き込みシーケンス	21-61
図 21.23	消去シーケンス	21-64
22.	バウンダリスキャン (JTAG)	
図 22.1	JTAG のブロック図	22-2
図 22.2	TAP コントローラ状態遷移図	22-14
図 22.3	相互干渉しないリセット系信号の設計例	22-17
図 22.4	シリアルデータ入出力 (1)	22-18
図 22.5	シリアルデータ入出力 (2)	22-18
23.	クロック発振器	
図 23.1	クロック発振器のブロック図	23-1
図 23.2	水晶発振子の接続例	23-2
図 23.3	水晶発振子の等価回路	23-2

図 23.4	外部クロックの接続例	23-3
図 23.5	発振回路部のボード設計に関する注意事項	23-5
24. 低消費電力状態		
図 24.1	モード遷移図	24-7
図 24.2	中速モードのタイミング	24-9
図 24.3	ソフトウェアスタンバイモードの応用例	24-11
図 24.4	ハードウェアスタンバイモードのタイミング	24-12
26. 電気的特性		
図 26.1	ダーリントントランジスタ駆動回路例	26-4
図 26.2	LED 駆動回路例	26-4
図 26.3	出力負荷回路	26-5
図 26.4	システムクロックタイミング	26-7
図 26.5	発振安定時間タイミング	26-7
図 26.6	発振安定時間タイミング (ソフトウェアスタンバイからの復帰)	26-7
図 26.7	外部クロック入力タイミング	26-8
図 26.8	外部クロック出力安定遅延時間タイミング	26-8
図 26.9	サブクロック入力タイミング	26-8
図 26.10	リセット入力タイミング	26-9
図 26.11	割り込み入力タイミング	26-10
図 26.12	基本バスタイミング / 2 ステートアクセス	26-12
図 26.13	基本バスタイミング / 3 ステートアクセス	26-13
図 26.14	基本バスタイミング / 3 ステートアクセス 1 ウェイト	26-14
図 26.15	偶数バイトアクセス (ADMXE = 0)	26-15
図 26.16	奇数バイトアクセス (ADMXE = 0)	26-16
図 26.17	ワードアクセス (ADMXE = 0)	26-17
図 26.18	バースト ROM アクセスタイミング / 2 ステートアクセス	26-18
図 26.19	バースト ROM アクセスタイミング / 1 ステートアクセス	26-19
図 26.20	マルチプレックスバスタイミング / データ 2 ステートアクセス	26-21
図 26.21	マルチプレックスバスタイミング / データ 3 ステートアクセス	26-21
図 26.22	I/O ポート入出力タイミング	26-23
図 26.23	PWMX 出力タイミング	26-23
図 26.24	SCK クロック入力タイミング	26-23
図 26.25	SCI 入出力タイミング / クロック同期式モード	26-24
図 26.26	A/D 変換器外部トリガ入力タイミング	26-24
図 26.27	WDT 出力タイミング ($\overline{\text{RESO}}$)	26-24
図 26.28	I ² C バスインタフェース入出力タイミング	26-25
図 26.29	LPC インタフェース (LPC) タイミング	26-26
図 26.30	JTAG ETCK タイミング	26-27

図 26.31	リセットホールドタイミング.....	26-27
図 26.32	JTAG 入出力タイミング.....	26-28
図 26.33	VCC 端子と VCL 端子のコンデンサ接続方法.....	26-30

付録

図 C.1	TQFP-144 外形寸法図.....	付録-3
-------	---------------------	------

表目次

1. 概要

表 1.1 動作モード別ピン配置一覧	1-5
表 1.2 端子機能	1-10

2. CPU

表 2.1 命令の分類	2-16
表 2.2 オペレーションの記号	2-17
表 2.3 データ転送命令	2-18
表 2.4 算術演算命令 (1)	2-19
表 2.4 算術演算命令 (2)	2-20
表 2.5 論理演算命令	2-21
表 2.6 シフト命令	2-21
表 2.7 ビット操作命令 (1)	2-22
表 2.7 ビット操作命令 (2)	2-23
表 2.8 分岐命令	2-24
表 2.9 システム制御命令	2-25
表 2.10 ブロック転送命令	2-26
表 2.11 アドレッシングモード一覧表	2-28
表 2.12 絶対アドレスのアクセス範囲	2-29
表 2.13 実行アドレスの計算方法 (1)	2-32
表 2.13 実行アドレスの計算方法 (2)	2-33

3. MCU 動作モード

表 3.1 MCU 動作モードの選択	3-1
--------------------------	-----

4. 例外処理

表 4.1 例外処理の種類と優先度	4-1
表 4.2 例外処理ベクタテーブル	4-1
表 4.3 トラップ命令例外処理後の CCR の状態	4-5

5. 割り込みコントローラ

表 5.1 端子構成	5-2
表 5.2 各割り込み要因と ICR の対応	5-3
表 5.3 割り込み要因とベクタアドレスおよび割り込み優先順位一覧	5-10

表 5.4	割り込み制御モード	5-12
表 5.5	割り込み制御モードと選択される割り込み	5-13
表 5.6	割り込み制御モードと動作および制御信号機能	5-13
表 5.7	割り込み応答時間	5-20
表 5.8	割り込み例外処理の実行状態のステート数	5-20
表 5.9	割り込み要因の選択とクリア制御	5-22
6. バスコントローラ (BSC)		
表 6.1	端子構成	6-4
表 6.2	アドレス範囲と外部アドレス空間	6-12
表 6.3	各ビットの設定と基本バスインタフェースのバス仕様	6-13
表 6.4	基本拡張エリア / 基本バスインタフェースのバス仕様	6-13
表 6.5	256kB 拡張エリア / 基本バスインタフェースのバス仕様	6-14
表 6.6	アドレス / データマルチプレックスアドレス空間	6-15
表 6.7	各モードビットの設定と基本インタフェースバス仕様決定	6-15
表 6.8	IOS 拡張エリア / マルチプレックスバスインタフェースのバス仕様 (アドレスサイクル)	6-16
表 6.9	IOS 拡張エリア / マルチプレックスバスインタフェースのバス仕様 (データサイクル)	6-16
表 6.10	256kB 拡張エリア / マルチプレックスバスインタフェースのバス仕様 (アドレスサイクル)	6-16
表 6.11	256kB 拡張エリア / マルチプレックスバスインタフェースのバス仕様 (データサイクル)	6-16
表 6.12	$\overline{\text{IOS}}$ 信号を出力するアドレスの範囲	6-17
表 6.13	使用するデータバスと有効ストロープ	6-19
表 6.14	使用するデータバスと有効ストロープ	6-20
表 6.15	アイドルサイクルでの端子状態	6-50
7. データトランスファコントローラ (DTC)		
表 7.1	各割り込み要因と DTCER の対応	7-5
表 7.2	DTC イベントカウンタ機能の条件	7-8
表 7.3	フラグステータス / アドレスコード	7-9
表 7.4	割り込み要因と DTC ベクタアドレスおよび対応する DTCE	7-12
表 7.5	ノーマル転送モードのレジスタ機能	7-14
表 7.6	リピート転送モードのレジスタ機能	7-15
表 7.7	ブロック転送モードのレジスタ機能	7-16
表 7.8	DTC の実行状態	7-19
表 7.9	実行状態に必要なステート数	7-19
8. I/O ポート		
表 8.1	ポートの機能一覧表	8-1
表 8.2	ポート 1 入力プルアップ MOS の状態	8-7
表 8.3	ポート 2 入力プルアップ MOS の状態	8-9
表 8.4	ポート 3 入力プルアップ MOS の状態	8-11

表 8.5	ポート 6 入力プルアップ MOS の状態	8-24
表 8.6	入力プルアップ MOS の状態	8-37
表 8.7	入力プルアップ MOS の状態 (ポート D)	8-46
9. 14 ビット PWM タイマ (PWMX)		
表 9.1	端子構成	9-2
表 9.2	PWMX_1、PWMX_0 のクロックセレクト	9-7
表 9.3	設定値と動作内容 (: 34MHz 時の例)	9-10
表 9.4	基本パルスに対する付加パルスの位置 (CFS = 1 の場合)	9-14
10. 16 ビットフリーランニングタイマ (FRT)		
表 10.1	FRT 割り込み要因	10-10
表 10.2	内部クロックの切り替えと FRC 動作	10-14
11. 8 ビットタイマ (TMR)		
表 11.1 (1)	TCNT に入力するクロックとカウント条件 (チャンネル 0)	11-6
表 11.1 (2)	TCNT に入力するクロックとカウント条件 (チャンネル 1)	11-6
表 11.1 (3)	TCNT に入力するクロックとカウント条件 (チャンネル Y、チャンネル X)	11-7
表 11.2	TMR_X/TMR_Y のアクセス可能なレジスタ	11-10
表 11.3	8 ビットタイマ TMR_0、TMR_1、TMR_Y、TMR_X の割り込み要因	11-14
表 11.4	内部クロックの切り替えと TCNT の動作	11-18
12. ウォッチドッグタイマ (WDT)		
表 12.1	端子構成	12-3
表 12.2	WDT の割り込み要因	12-9
13. シリアルコミュニケーションインタフェース (SCI)		
表 13.1	端子構成	13-3
表 13.2	BRR の設定値 N とビットレート B の関係	13-14
表 13.3	ビットレートに対する BRR の設定例 [調歩同期式モード]	13-15
表 13.4	各動作周波数における最大ビットレート (調歩同期式モード)	13-15
表 13.5	外部クロック入力時の最大ビットレート (調歩同期式モード)	13-15
表 13.6	ビットレートに対する BRR の設定例 [クロック同期式モード]	13-16
表 13.7	外部クロック入力時の最大ビットレート (クロック同期式モード)	13-16
表 13.8	ビットレートに対する BRR の設定例 (スマートカードインタフェースモードで n=0、S=372 のとき)	13-16
表 13.9	各動作周波数における最大ビットレート (スマートカードインタフェースモードで S=372 のとき)	13-17
表 13.10	シリアル送信 / 受信フォーマット (調歩同期式モード)	13-18
表 13.11	SSR のステータスフラグの状態と受信データの処理	13-25

表 13.12	SCI 割り込み要因	13-52
表 13.13	SCI 割り込み要因	13-52
15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)		
表 15.1	端子構成	15-2
表 15.2	レジスタアクセス	15-4
表 15.3	割り込み制御機能	15-8
表 15.4	SCIF 出力設定	15-16
表 15.5	ボーレートの設定例	15-17
表 15.6	SCIF のレジスタと LPC I/O アドレス対応	15-27
表 15.7	レジスタの状態	15-27
表 15.8	割り込み要因	15-28
表 15.9	割り込み要因とベクタアドレスおよび優先順位一覧	15-28
16. シリアルマルチプレクス機能		
表 16.1	端子構成	16-1
17. I ² C バスインタフェース (IIC)		
表 17.1	端子構成	17-3
表 17.2	転送フォーマット	17-6
表 17.3	転送レート (1)	17-8
表 17.3	転送レート (2)	17-9
表 17.4	フラグと転送状態の関係 (マスタモード)	17-14
表 17.5	フラグと転送状態の関係 (スレーブモード)	17-15
表 17.6	出力データホールド時間	17-22
表 17.7	ICSMBCR 設定方法	17-22
表 17.8	I ² C バスデータフォーマット記号説明	17-24
表 17.9	DTC による動作例	17-50
表 17.10	IIC 割り込み要因	17-52
表 17.11	I ² C バスタイミング (SCL、SDA 出力)	17-53
表 17.12	SCL 立ち上がり時間 (t_{sr}) の許容範囲	17-54
表 17.13	I ² C バスタイミング (t_{sr}/t_{sf} 影響最大の場合)	17-55
18. LPC インタフェース (LPC)		
表 18.1	端子構成	18-4
表 18.2	LADR1、LADR2 の初期値	18-17
表 18.3	ホスト選択レジスタ	18-17
表 18.4	スレーブ選択内部レジスタ	18-18
表 18.5	LPC I/O サイクル	18-59
表 18.6	GA20 のセット/クリアタイミング	18-65

表 18.7	高速 GATE A20 出力信号.....	18-66
表 18.8	LPC インタフェース端子シャットダウン範囲.....	18-68
表 18.9	LPC インタフェースの各モードで初期化される範囲.....	18-69
表 18.10	シリアル割り込み転送サイクルのフレームの配列.....	18-71
表 18.11	受信完了割り込みおよびエラー割り込み.....	18-73
表 18.12	LPC チャネルを使用する場合の HIRQ のセット/クリア.....	18-74
表 18.13	SCIF チャネルを使用する場合の HIRQ のセット/クリア.....	18-74
表 18.14	ホストアドレス.....	18-76
19.	A/D 変換器	
表 19.1	端子構成.....	19-3
表 19.2	アナログ入力チャンネルと ADDR の対応.....	19-4
表 19.3	A/D 変換時間 (シングルモード).....	19-9
表 19.4	A/D 変換時間 (スキャンモード).....	19-10
表 19.5	A/D 変換器の割り込み要因.....	19-11
表 19.6	アナログ端子の規格.....	19-15
21.	フラッシュメモリ	
表 21.1	プログラミングモードの比較.....	21-4
表 21.2	端子構成.....	21-9
表 21.3	使用レジスタ/パラメータと対象モード.....	21-10
表 21.4	使用パラメータと対象モード.....	21-15
表 21.5	オンボードプログラミングモードの設定方法.....	21-22
表 21.6	本 LSI の自動合わせ込みが可能なシステムクロックの周波数.....	21-23
表 21.7	実行可能マツトまとめ.....	21-40
表 21.8 (1)	ユーザプログラムモードでの書き込み処理で使用可能エリア.....	21-40
表 21.8 (2)	ユーザプログラムモードでの消去処理で使用可能エリア.....	21-41
表 21.8 (3)	ユーザブートモードでの書き込み処理で使用可能エリア.....	21-42
表 21.8 (4)	ユーザブートモードでの消去処理で使用可能エリア.....	21-43
表 21.9	ハードウェアプロテクト.....	21-44
表 21.10	ソフトウェアプロテクト.....	21-44
表 21.11	問い合わせ選択コマンド一覧.....	21-51
表 21.12	書き込み消去コマンド一覧.....	21-60
表 21.13	ステータスコード.....	21-68
表 21.14	エラーコード.....	21-68
22.	バウンダリスキャン (JTAG)	
表 22.1	端子構成.....	22-3
表 22.2	JTAG レジスタのシリアル転送.....	22-4
表 22.3	端子とバウンダリスキャンレジスタの対応.....	22-6

23. クロック発振器	
表 23.1 ダンピング抵抗値	23-2
表 23.2 水晶発振子の特性	23-2
表 23.3 逡倍比	23-4
24. 低消費電力状態	
表 24.1 動作周波数と待機時間	24-3
表 24.2 各動作モードでの LSI の内部状態	24-8
26. 電気的特性	
表 26.1 絶対最大定格	26-1
表 26.2 DC 特性 (1)	26-2
表 26.2 DC 特性 (2)	26-3
表 26.3 出力許容電流値	26-4
表 26.4 クロックタイミング	26-6
表 26.5 外部クロック入力条件	26-6
表 26.6 サブクロック入力条件	26-6
表 26.7 制御信号タイミング	26-9
表 26.8 バスタイミング	26-11
表 26.9 マルチプレックスバスタイミング	26-20
表 26.10 内蔵周辺モジュールタイミング	26-22
表 26.11 I ² C バスタイミング	26-25
表 26.12 LPC タイミング	26-26
表 26.13 JTAG タイミング	26-27
表 26.14 A/D 変換特性 (AN7 ~ AN0 入力 : 80 / 160 ステート変換)	26-28
表 26.15 フラッシュメモリ特性	26-29

付録

表 A.1 各処理状態における I/O ポートの状態	付録-1
----------------------------	------

1. 概要

1.1 特長

- 16ビット高速H8S/2600 CPU
H8/300 CPU、H8/300H CPUとオブジェクトレベルで上位互換
汎用レジスタ：16ビット×16本
基本命令：69種類
積和演算命令
- 豊富な周辺機能
データトランスファコントローラ（DTC）
14ビットPWMタイマ（PWMX）
16ビットフリーランニングタイマ（FRT）
8ビットタイマ（TMR）
ウォッチドッグタイマ（WDT）
調歩同期式またはクロック同期式シリアルコミュニケーションインタフェース（SCI）
CRC演算器（CRC）
FIFO内蔵シリアルコミュニケーションインタフェース（SCIF）
I²Cバスインタフェース（IIC）
LPCインタフェース（LPC）
10ビットA/D変換器
バウンダリスキャン（JTAG）
クロック発振器
- 内蔵メモリ

ROM	型名	ROM	RAM	備考
フラッシュメモリ版	R4F2164	512K バイト	40K バイト	

1. 概要

- 書き換え回数：1000回（Typ.）
- 汎用入出力ポート
入出力ポート：107本
入力ポート：9本
- 各種低消費電力モードをサポート
- 小型パッケージ

パッケージ（コード）	ボディサイズ	ピンピッチ
PTQP0144LC-A	16.0 × 16.0mm	0.4mm

1.2 ブロック図

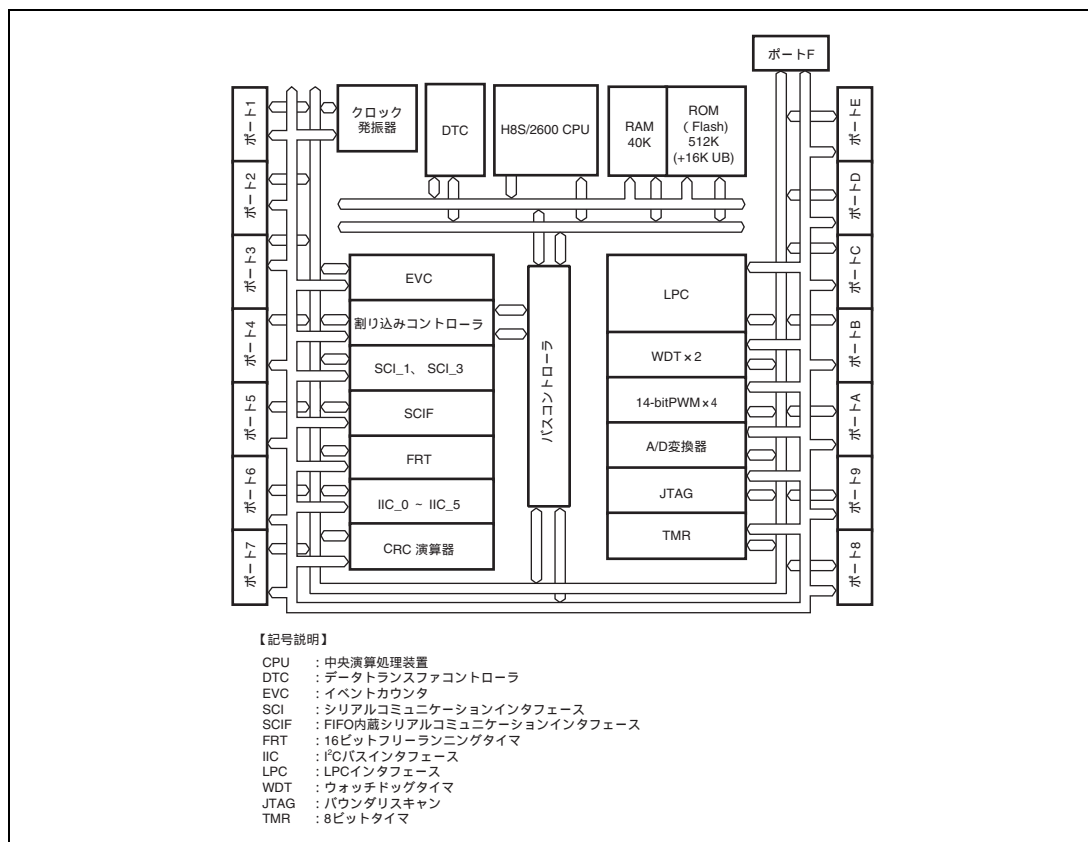


図 1.1 ブロック図

1.3.2 動作モード別ピン配置一覧

表 1.1 動作モード別ピン配置一覧

ピン番号	端子名		
	拡張モード (EXPE = 1)	シングルチップモード (EXPE = 0)	フラッシュメモリ ライターモード
1	VCC	VCC	VCC
2	P45/ $\overline{\text{IRQ5}}$ /RS5/HC5	P45/ $\overline{\text{IRQ5}}$ /RS5/DB5/HC5	NC
3	P46/ $\overline{\text{IRQ6}}$ /RS6/HC6	P46/ $\overline{\text{IRQ6}}$ /RS6/DB6/HC6	NC
4	P47/ $\overline{\text{IRQ7}}$ /RS7/HC7	P47/ $\overline{\text{IRQ7}}$ /RS7/DB7/HC7	NC
5	P56/ $\overline{\text{IRQ14}}$ /PWX0	P56/ $\overline{\text{IRQ14}}$ /PWX0	NC
6	P57/ $\overline{\text{IRQ15}}$ /PWX1	P57/ $\overline{\text{IRQ15}}$ /PWX1	NC
7	VSS	VSS	VSS
8	$\overline{\text{RES}}$	$\overline{\text{RES}}$	$\overline{\text{RES}}$
9	MD1	MD1	VSS
10	MD0	MD0	VSS
11	NMI	NMI	FA9
12	$\overline{\text{STBY}}$	$\overline{\text{STBY}}$	VCC
13	VCL	VCL	VCL
14	$\overline{\text{MD2}}$	$\overline{\text{MD2}}$	VCC
15	P51/ $\overline{\text{IRQ9}}$ /RxDF	P51/ $\overline{\text{IRQ9}}$ /RxDF	FA17
16	P50/ $\overline{\text{IRQ8}}$ /TxDF	P50/ $\overline{\text{IRQ8}}$ /TxDF	NC
17	P97/ $\overline{\text{CS256}}$ /WAIT	P97	VCC
18	P96/EXCL/	P96	NC
19	$\overline{\text{AS}}$ / $\overline{\text{IOS}}$	P95	FA16
20	P94/ $\overline{\text{HWR}}$ / $\overline{\text{WR}}$	P94	FA15
21	P93/ $\overline{\text{RD}}$	P93	$\overline{\text{WE}}$
22	P92/ $\overline{\text{HBE}}$	P92	VSS
23	P91/ $\overline{\text{AH}}$	P91	VCC
24	P90/ $\overline{\text{LWR}}$ / $\overline{\text{LBE}}$	P90	VCC
25	PC7/PWX3	PC7/PWX3	NC
26	PC6/PWX2	PC6/PWX2	NC
27	PC5/SDA4	PC5/SDA4	NC
28	PC4/SCL4	PC4/SCL4	NC
29	PC3/SDA3	PC3/SDA3	NC
30	PC2/SCL3	PC2/SCL3	NC
31	PC1/SDA2	PC1/SDA2	NC
32	PC0/SCL2	PC0/SCL2	NC

1. 概要

ピン番号	端子名		
	拡張モード (EXPE = 1)	シングルチップモード (EXPE = 0)	フラッシュメモリ ライターモード
33	PA7/EVENT7/A23	PA7/EVENT7	NC
34	PA6/EVENT6/A22	PA6/EVENT6	NC
35	PA5/EVENT5/A21	PA5/EVENT5	NC
36	VCC	VCC	VCC
37	PA4/EVENT4/A20	PA4/EVENT4	NC
38	PA3/EVENT3/A19	PA3/EVENT3	NC
39	PA2/EVENT2/A18	PA2/EVENT2	NC
40	PA1/EVENT1/A17	PA1/EVENT1	NC
41	PA0/EVENT0/A16	PA0/EVENT0	NC
42	VSS	VSS	VSS
43	P87/ExIRQ15/ADTRG	P87/ExIRQ15/ADTRG	NC
44	P86/ExIRQ14	P86/ExIRQ14	NC
45	P85/ExIRQ13/SCK1	P85/ExIRQ13/SCK1	NC
46	P84/ExIRQ12/SCK3	P84/ExIRQ12/SCK3	NC
47	P83/ExIRQ11/SDA1	P83/ExIRQ11/SDA1	NC
48	P82/ExIRQ10/SCL1	P82/ExIRQ10/SCL1	NC
49	P81/ExIRQ9/SDA0	P81/ExIRQ9/SDA0	NC
50	P80/ExIRQ8/SCL0	P80/ExIRQ8/SCL0	NC
51	PE7/SERIRQ	PE7/SERIRQ	NC
52	PE6/LCLK	PE6/LCLK	NC
53	PE5/LRESET	PE5/LRESET	NC
54	PE4/LFRAME	PE4/LFRAME	NC
55	PE3/LAD3	PE3/LAD3	NC
56	PE2/LAD2	PE2/LAD2	NC
57	PE1/LAD1	PE1/LAD1	NC
58	PE0/LAD0	PE0/LAD0	NC
59	PD7/SDA5	PD7/SDA5	NC
60	PD6/SCL5	PD6/SCL5	NC
61	PD5/LPCPD	PD5/LPCPD	NC
62	PD4/CLKRUN	PD4/CLKRUN	NC
63	PD3/GA20	PD3/GA20	NC
64	PD2/PME	PD2/PME	NC
65	PD1/LSMI	PD1/LSMI	NC
66	PD0/LSCI	PD0/LSCI	NC
67	AVSS	AVSS	VSS

ピン番号	端子名		
	拡張モード (EXPE = 1)	シングルチップモード (EXPE = 0)	フラッシュメモリ ライターモード
68	P70/EXIRQ0/AN0	P70/EXIRQ0/AN0	NC
69	P71/EXIRQ1/AN1	P71/EXIRQ1/AN1	NC
70	P72/EXIRQ2/AN2	P72/EXIRQ2/AN2	NC
71	P73/EXIRQ3/AN3	P73/EXIRQ3/AN3	NC
72	P74/EXIRQ4/AN4	P74/EXIRQ4/AN4	NC
73	P75/EXIRQ5/AN5	P75/EXIRQ5/AN5	NC
74	P76/EXIRQ6/AN6	P76/EXIRQ6/AN6	NC
75	P77/EXIRQ7/AN7	P77/EXIRQ7/AN7	NC
76	AVCC	AVCC	VCC
77	AVref	AVref	VCC
78	P60/DB8/D0	P60/DB8	NC
79	P61/DB9/D1	P61/DB9	NC
80	P62/DB10/D2	P62/DB10	NC
81	P63/DB11/D3	P63/DB11	NC
82	P64/DB12/CTS/D4	P64/DB12/CTS	NC
83	P65/DB13/RTS/D5	P65/DB13/RTS	NC
84	P66/DB14/D6	P66/DB14	NC
85	P67/DB15/D7	P67/DB15	VSS
86	VCC	VCC	VCC
87	ETMS	ETMS	NC
88	ETDO	ETDO	NC
89	ETDI	ETDI	NC
90	ETCK	ETCK	NC
91	ETRST	ETRST	RES
92	PF2/RS10	PF2/RS10	NC
93	PF1/RS9	PF1/RS9	NC
94	PF0/RS8	PF0/RS8	NC
95	VSS	VSS	VSS
96	P27/A15/AD15	P27	CE
97	P26/A14/AD14	P26	FA14
98	P25/A13/AD13	P25	FA13
99	P24/A12/AD12	P24	FA12
100	P23/A11/AD11	P23	FA11
101	P22/A10/AD10	P22	FA10
102	P21/A9/AD9	P21	OE
103	P20/A8/AD8	P20	FA8

1. 概要

ピン番号	端子名		
	拡張モード (EXPE = 1)	シングルチップモード (EXPE = 0)	フラッシュメモリ ライターモード
104	P17/A7/AD7	P17	FA7
105	P16/A6/AD6	P16	FA6
106	P15/A5/AD5	P15	FA5
107	P14/A4/AD4	P14	FA4
108	P13/A3/AD3	P13	FA3
109	P12/A2/AD2	P12	FA2
110	P11/A1/AD1	P11	FA1
111	VSS	VSS	VSS
112	P10/A0/AD0	P10	FA0
113	PB7/EVENT15	PB7/EVENT15	NC
114	PB6/EVENT14	PB6/EVENT14	NC
115	PB5/EVENT13	PB5/EVENT13	NC
116	PB4/EVENT12	PB4/EVENT12	NC
117	PB3/EVENT11	PB3/EVENT11	NC
118	PB2/EVENT10	PB2/EVENT10	NC
119	PB1/EVENT9	PB1/EVENT9	NC
120	PB0/EVENT8	PB0/EVENT8	NC
121	P30/D8	P30	FO0
122	P31/D9	P31	FO1
123	P32/D10	P32	FO2
124	P33/D11	P33	FO3
125	P34/D12	P34	FO4
126	P35/D13	P35	FO5
127	P36/D14	P36	FO6
128	P37/D15	P37	FO7
129	P40/ $\overline{\text{IRQ0}}$ /RS0/HC0	P40/ $\overline{\text{IRQ0}}$ /RS0/HC0	NC
130	P41/ $\overline{\text{IRQ1}}$ /RS1/HC1	P41/ $\overline{\text{IRQ1}}$ /RS1/HC1	NC
131	P42/ $\overline{\text{IRQ2}}$ /RS2/HC2	P42/ $\overline{\text{IRQ2}}$ /RS2/HC2	NC
132	P43/ $\overline{\text{IRQ3}}$ /RS3/HC3	P43/ $\overline{\text{IRQ3}}$ /RS3/HC3	NC
133	P52/ $\overline{\text{IRQ10}}$ /TxD1	P52/ $\overline{\text{IRQ10}}$ /TxD1	FA18
134	P53/ $\overline{\text{IRQ11}}$ /RxD1	P53/ $\overline{\text{IRQ11}}$ /RxD1	FA19
135	FWE	FWE	FWE
136	P54/ $\overline{\text{IRQ12}}$ /TxD3	P54/ $\overline{\text{IRQ12}}$ /TxD3	NC
137	P55/ $\overline{\text{IRQ13}}$ /RxD3	P55/ $\overline{\text{IRQ13}}$ /RxD3	NC
138	P44/ $\overline{\text{IRQ4}}$ /RS4/HC4	P44/ $\overline{\text{IRQ4}}$ /RS4/HC4	NC

ピン番号	端子名		
	拡張モード (EXPE = 1)	シングルチップモード (EXPE = 0)	フラッシュメモリ ライタモード
139	VSS	VSS	VSS
140	NC	NC	NC
141	PF3/RS11	PF3/RS11	NC
142	$\overline{\text{RESO}}$	$\overline{\text{RESO}}$	NC
143	XTAL	XTAL	XTAL
144	EXTAL	EXTAL	EXTAL

1. 概要

1.3.3 端子機能

表 1.2 端子機能

分類	記号	ピン番号	入出力	名称および機能
電源	VCC	1、36 86	入力	電源端子です。システムの電源に接続してください。また、VSS 端子との間にバイパスコンデンサを接続してください（端子近くに配置）。
	VCL	13	入力	内部降圧電源用の外付け容量端子です。内部降圧電源安定化のための外付けコンデンサを介して VSS に接続してください（端子近くに配置）。
	VSS	7、42、95 111、139	入力	グランド端子です。システムの電源（0V）に接続してください。
クロック	XTAL	143	入力	水晶発振器接続端子です。また、EXTAL 端子は外部クロックを入力することもできます。接続例は、「第 23 章 クロック発振器」を参照してください。
	EXTAL	144	入力	
		18	出力	外部デバイスにシステムクロックを供給します。
	EXCL	18	入力	サブクロック用 32.768kHz の外部クロックを入力してください。
動作モード コントロール	MD $\bar{2}$ MD1 MD0	14 9 10	入力	動作モードを設定します。これらの端子は動作中には変化させないでください。
システム制御	RES	8	入力	リセット端子です。この端子が Low レベルになると、リセット状態となります。
	RES $\bar{0}$	142	出力	外部デバイスに、リセット信号を出力します。
	STBY	12	入力	この端子が Low レベルになると、ハードウェアスタンバイモードに遷移します。
	FWE	135	入力	フラッシュメモリ用の端子です。
アドレスバス	A23 ~ A16	33 ~ 35、 37 ~ 41	出力	アドレス出力端子です。
	A15 ~ A0	96 ~ 110、 112		
データバス	D15 ~ D8	128 ~ 121	入出力	上位双方向データバスです。
	D7 ~ D0	85 ~ 78		下位双方向データバスです。
アドレス/データ マルチプレックス バス	AD15 ~ AD8	96 ~ 103	入出力	8 ビット、16 ビットバス（上位）です。
	AD7 ~ AD0	104 ~ 110、 112	入出力	16 ビットバス（下位）です。
割り込み	NMI	11	入力	ノンマスクابل割り込み要求入力端子です。

分類	記号	ピン番号	入出力	名称および機能
割り込み	IRQ15 ~ IRQ0	6、5、137、 136、134、 133、 15、16、 4~2、 138、 132~129	入力	マスク可能な割り込みを要求します。 IRQn 割り込みは、 $\overline{\text{IRQn}}$ または $\overline{\text{ExIRQm}}$ のどの端子から入力するかを選択できます。
	ExIRQ15 ~ ExIRQ0	43~50、 75~68、 6、5		
バス制御	WAIT	17	入力	外部 3 ステートアドレス空間をアクセスすると、バスサイクルにウェイトステートの挿入を要求します。
	$\overline{\text{RD}}$	21	出力	この端子が Low レベルのとき、外部アドレス空間のリード状態であることを示します。
	HWR	20	出力	この端子が Low レベルのとき、外部アドレス空間のライト状態であることを示します。データバスの上位側が有効です。
	$\overline{\text{LWR}}$	24	出力	この端子が Low レベルのとき、外部アドレス空間のライト状態であることを示します。データバスの下位側が有効です。
	$\overline{\text{AS/IOS}}$	19	出力	この端子が Low レベルのとき、アドレスバス上のアドレス出力が有効であることを示します。
	$\overline{\text{CS256}}$	17	出力	H'F80000 ~ H'FBFFFF の 256k バイトのエリアのアクセスを示します。
	$\overline{\text{WR}}$	20	出力	この端子が Low レベルのとき、外部アドレス空間のライト状態であることを示します。
	HBE	22	出力	この端子が Low レベルのとき、外部アドレス空間のアクセスをしていることを示します。データバスの上位側が有効です。
	LBE	24	出力	この端子が Low レベルのとき、外部アドレス空間のアクセスをしていることを示します。データバスの下位側が有効です。
	AH	23	出力	アドレス / データマルチプレックスバスのアドレスラッチ信号です。
バウンダリ スキャン	ETRST	91	入力	バウンダリスキャン用インタフェース端子です。
	ETMS	87	入力	
	ETDO	88	出力	
	ETDI	89	入力	
	ETCK	90	入力	
14 ビット PWM タイマ (PWMX)	PWX0 ~ 3	5、6、 26、25	出力	PWM D/A のパルス出力端子です。
シリアルコミュ ニケーション インタフェース (SCI_1、SCI_3)	TxD1、TxD3	133、136	出力	送信データ出力端子です。
	RxD1、RxD3	134、137	入力	受信データ入力端子です。
	SCK1、SCK3	45、46	入出力	クロック入出力端子です。

1. 概要

分類	記号	ピン番号	入出力	名称および機能
FIFO 内蔵シリアル コミュニケーション インタフェース (SCIF)	TxDF	16	出力	送信データ出力端子です。
	RxDF	15	入力	受信データ入力端子です。
	CTS	82	入力	送信許可入力端子です。
	RTS	83	出力	送信要求出力端子です。
I ² C バスインタ フェース (IIC)	SCL0、SCL1 SCL2、SCL3 SCL4、SCL5	50、48 32、30 28、60	入出力	IIC のクロック入出力端子です。NMOS オープンドレイン出力でバスを直接駆動できます。
	SDA0、SDA1 SDA2、SDA3 SDA4、SDA5	49、47 31、29 27、59	入出力	IIC のデータ入出力端子です。NMOS オープンドレイン出力でバスを直接駆動できます。
A/D 変換器	AN7 ~ AN0	75 ~ 68	入力	アナログ入力端子です。
	AVCC	76	入力	アナログ電源端子です。A/D 変換器を使用しない場合は、システムの電源 (+3.3V) に接続してください。
	AVref	77	入力	アナログの基準電源端子です。A/D 変換器を使用しない場合は、システムの電源 (+3.3V) に接続してください。
	AVSS	67	入力	アナログのグランド端子です。システムの電源 (0V) に接続してください。
	ADTRG	43	入力	A/D 変換開始のための外部トリガ入力端子です。
LPC インタ フェース (LPC)	LAD3 ~ LAD0	55 ~ 58	入出力	転送サイクルの種類、アドレスおよびデータの入出力端子です。
	LFRAME	54	入力	転送サイクルの開始および、異常な転送サイクルの強制終了を示す入力端子です。
	LRESET	53	入力	LPC のリセット端子です。この端子が Low レベルになると、リセット状態となります。
	LCLK	52	入力	LPC のクロック入力端子です。
	SERIRQ	51	入出力	LPC のシリアルホスト割り込み要求信号です。
	LSCI LSM \bar PME	66 65 64	入出力	LPC の補助出力端子です。機能的には汎用入出力ポートです。
	GA20	63	入出力	GATE A20 コントロール信号出力端子です。出力状態のモニタ入力が可能です。
	CLKRUN	62	入出力	LCLK の停止状態で、LCLK の動作開始を要求する入出力端子です。
	LPCPD	61	入力	LPC モジュールのシャットダウンを制御する入力端子です。
イベント カウンタ	EVENT15 ~ EVENT0	113 ~ 120 33 ~ 35、 37 ~ 41	入力	イベントカウンタの入力端子です。
リティン スレート	RS11 ~ RS0	141、 92 ~ 94、 4 ~ 2、 138、 132 ~ 129	出力	リティンステート出力端子です。システムリセットでのみ出力値が初期化される端子です。
デバウンス	DB15 ~ DB8	85 ~ 78	入力	デバウンス入力端子です。ノイズを除去する機能がついた端子です。

分類	記号	ピン番号	入出力	名称および機能
大電流出力ポート	HC7~HC0	4~2、 138、 132~129	出力	大電流出力端子です。LED などの大電流を必要とする用途に使用します。
I/O ポート	P17~P10	104~110、 112	入出力	8ビットの入出力端子です。
	P27~P20	96~103	入出力	8ビットの入出力端子です。
	P37~P30	128~121	入出力	8ビットの入出力端子です。
	P47~P40	4~2、 138、 132~129	入出力	8ビットの入出力端子です。
	P57~P50	6、5、 137、136 134、133 15、16	入出力	8ビットの入出力端子です。
	P67~P60	85~78	入出力	8ビットの入出力端子です。
	P77~P70	75~68	入力	8ビットの入力端子です。
	P87~P80	43~50	入出力	8ビットの入出力端子です。
	P97~P90	17~24	入出力	8ビットの入出力端子です。
	PA7~PA0	33~35、 37~41	入出力	8ビットの入出力端子です。
	PB7~PB0	113~120	入出力	8ビットの入出力端子です。
	PC7~PC0	25~32	入出力	8ビットの入出力端子です。
	PD7~PD0	59~66	入出力	8ビットの入出力端子です。
	PE7~PE0	51~58	入出力	8ビットの入出力端子です。
PF3~PF0	141 92~94	入出力	4ビットの入出力端子です。	

1. 概要

2. CPU

H8S/2600 CPU は、H8/300 CPU および H8/300H CPU と上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。H8S/2600 CPU には 16 ビットの汎用レジスタが 16 本あり、16M バイト（アーキテクチャ上は 4G バイト）のリニアなアドレス空間を扱うことができ、リアルタイム制御に最適な CPU です。この章は H8S/2600 CPU について説明しています。製品によって使用できるモードやアドレス空間が異なりますので、製品ごとの詳細は「第 3 章 MCU 動作モード」を参照してください。

2.1 特長

- H8/300 CPU および H8/300H CPU と上位互換
H8/300 および H8/300H CPU オブジェクトプログラムを実行可能
- 汎用レジスタ：16 ビット × 16 本
8 ビット × 16 本、32 ビット × 8 本としても使用可能
- 基本命令：69 種類
8/16/32 ビット演算命令
乗除算命令
強力なビット操作命令
積和演算命令
- アドレッシングモード：8 種類
レジスタ直接 (Rn)
レジスタ間接 (@ERn)
ディスプレイースメント付レジスタ間接 (@(d:16, ERn)/@(d:32, ERn))
ポストインクリメント / プリデクリメントレジスタ間接 (@ERn+/@-ERn)
絶対アドレス (@aa:8/@aa:16/@aa:24/@aa:32)
イミディエイト (#xx:8/#xx:16/#xx:32)
プログラムカウンタ相対 (@(d:8, PC)/@(d:16, PC))
メモリ間接 (@@aa:8)
- アドレス空間：16M バイト
プログラム：16M バイト
データ：16M バイト

2. CPU

- 高速動作

頻出命令をすべて1~2ステートで実行

8/16/32ビットレジスタ間加減算	: 1ステート
8×8ビットレジスタ間乗算	: 2ステート
16÷8ビットレジスタ間除算	: 12ステート
16×16ビットレジスタ間乗算	: 3ステート
32÷16ビットレジスタ間除算	: 20ステート

- CPU動作モード：2種類

ノーマルモード/アドバンスモード

【注】 本 LSI ではノーマルモードは使用できません。

- 低消費電力状態

SLEEP命令により低消費電力状態に遷移

CPU動作クロックを選択可能

2.1.1 H8S/2600 CPU と H8S/2000 CPU との相違点

H8S/2600 CPU および H8S/2000 CPU の相違点は以下のとおりです。

- レジスタ構成

MACレジスタは、H8S/2600 CPUのみサポートしています。

- 基本命令

MAC、CLRMAC、LDMAC、STMACの4命令は、H8S/2600 CPUのみサポートしています。

- MULXU、MULXS命令の実行ステート数

命令	ニーモニック	実行ステート	
		H8S/2600	H8S/2000
MULXU	MULXU.B Rs, Rd	2*	12
	MULXU.W Rs, Erd	2*	20
MULXS	MULXS.B Rs, Rd	3*	13
	MULXS.W Rs, Erd	3*	21
CLRMAC	CLRMAC	1*	サポートしていません
LDMAC	LDMAC ERs,MACH	1*	
	LDMAC ERs,MACL	1*	
STMAC	STMAC MACH,ERd	1*	
	STMAC MACL,ERd	1*	

【注】 * MAC命令の直後は1ステート多くなります。

そのほか、製品によってアドレス空間やCCR、EXRの機能、低消費電力状態などが異なる場合があります。

2.1.2 H8/300 CPU との相違点

H8S/2600 CPU は、H8/300 CPU に対して、次の点が追加、拡張されています。

- 汎用レジスタ、コントロールレジスタを拡張
16ビット×8本の拡張レジスタおよび8ビット×1本、32ビット×2本、のコントロールレジスタを追加
- アドレス空間を拡張
ノーマルモード*のとき、H8/300 CPUと同一の64Kバイトのアドレス空間を使用可能
アドバンスモードのとき、最大16Mバイトのアドレス空間を使用可能

【注】 * 本 LSI では使用できません。

- アドレッシングモードを強化
16Mバイトのアドレス空間を有効に使用可能
- 命令強化
ビット操作命令のアドレッシングモードを強化
符号付き乗除算命令などを追加
積和演算命令を追加
2ビットシフト命令を追加
複数レジスタの退避/復帰命令を追加
テストアンドセット命令を追加
- 高速化
基本的な命令を2倍に高速化

2.1.3 H8/300H CPU との相違点

H8S/2600 CPU は、H8/300H CPU に対して、次の点が追加、拡張されています。

- コントロールレジスタを拡張
8ビット×1本、32ビット×2本のコントロールレジスタを追加
- 命令強化
ビット操作命令のアドレッシングモードを強化
積和演算命令を追加
2ビットシフト命令を追加
複数レジスタの退避/復帰命令を追加
テストアンドセット命令を追加
- 高速化
基本的な命令を2倍に高速化

2.2 CPU 動作モード

H8S/2600 CPU には、ノーマルモード*とアドバンスモードの2つの動作モードがあります。サポートするアドレス空間は、ノーマルモード*では最大 64K バイト、アドバンスモードでは 16M バイトです。動作モードは LSI のモード端子によって決まります。

【注】 * 本 LSI では使用できません。

2.2.1 ノーマルモード

ノーマルモードでは例外処理ベクタ、スタックの構造は H8/300 CPU と同一です。

- アドレス空間

最大64Kバイトの空間をリニアにアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0 ~ E7) は、16ビットレジスタとして、または32ビットレジスタの上位16ビットとして使用できます。

拡張レジスタEnは、対応する汎用レジスタRnをアドレスレジスタとして使用している場合でも、16ビットレジスタとして任意の値を設定することができます (ただし、プリデクリメントレジスタ間接 (@-Rn)、ポストインクリメントレジスタ間接 (@Rn+) により汎用レジスタRnが参照された場合、キャリ/ボローが発生すると、対応する拡張レジスタEnの内容に伝播しますので注意してください)。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。実効アドレス (EA) の下位16ビットのみが有効となります。

- 例外処理ベクタテーブルおよびメモリ間接の分岐アドレス

ノーマルモードでは、H'0000から始まる先頭領域に例外処理ベクタテーブル領域が割り当てられており、16ビットの分岐先アドレスを格納します。ノーマルモードの例外処理ベクタテーブルの構造を図2.1に示します。例外処理ベクタテーブルは「第4章 例外処理」を参照してください。メモリ間接 (@aa:8) は、JMP およびJSR命令で使用されます。命令コードに含まれる8ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

ノーマルモードでは、オペランドは16ビット (ワード) となり、この16ビットが分岐先アドレスとなります。なお、分岐先アドレスを格納できるのは、H'0000 ~ H'00FFの領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

- スタック構造

ノーマルモード時のサブルーチン分岐時のPCのスタック構造と、例外処理時のPCとCCR、EXRのスタックの構造を図2.2に示します。EXRは割り込み制御モード0ではスタックされません。割り込み制御モードの詳細は「第4章 例外処理」を参照してください。

【注】 本 LSI ではノーマルモードは使用できません。

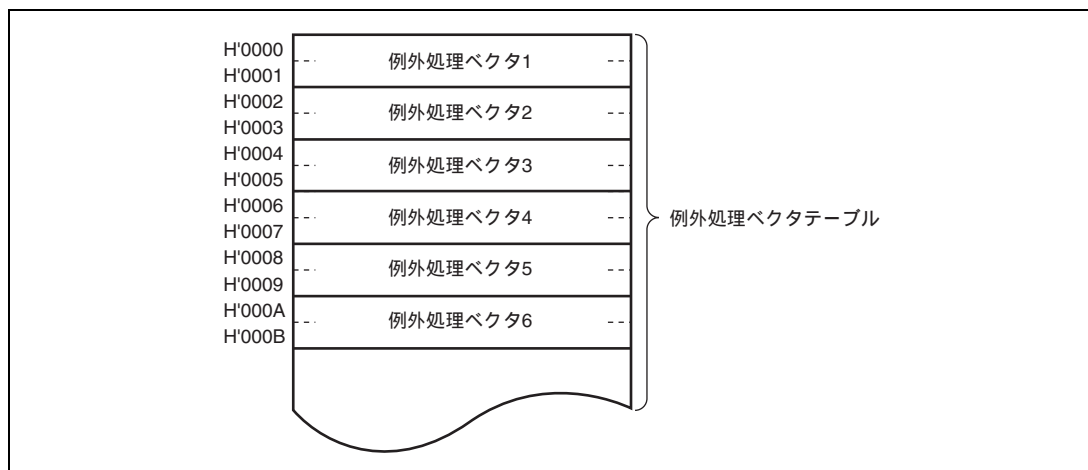


図 2.1 例外処理ベクタテーブル (ノーマルモード)

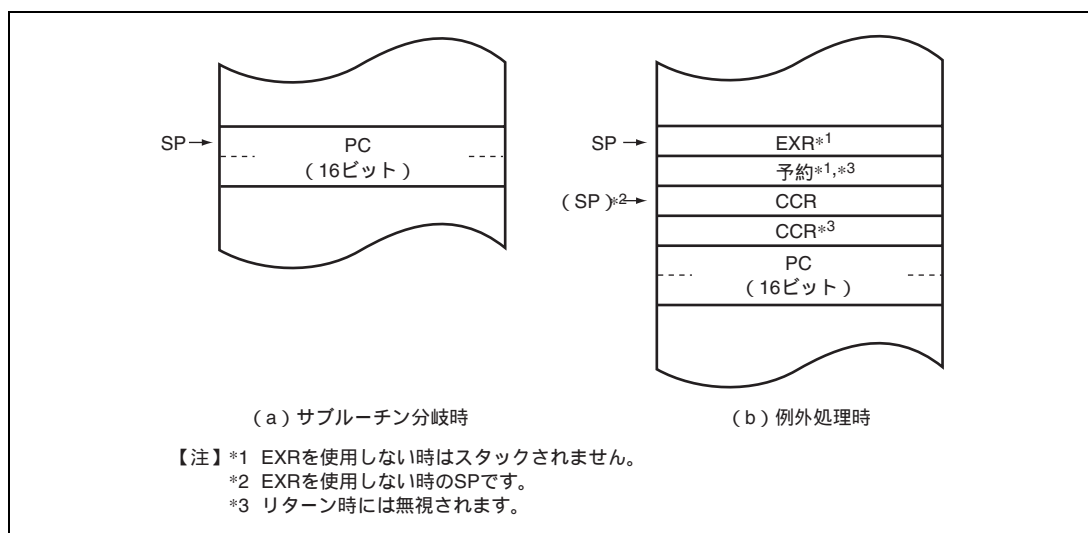


図 2.2 ノーマルモードのスタック構造

2.2.2 アドバンスモード

- アドレス空間

最大16Mバイトの空間をリニアにアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0 ~ E7) は16ビットレジスタとして、または32ビットレジスタあるいはアドレスレジスタの上位16ビットとして使用できます。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。

- 例外処理ベクタテーブル、メモリ間接の分岐アドレス

アドバンスモードでは、H'00000000から始まる先頭領域に32ビット単位で例外処理ベクタテーブル領域が割り当てられており、上位8ビットは無視され24ビットの分岐先アドレスを格納します (図2.3参照)。例外処理ベクタテーブルは「第4章 例外処理」を参照してください。

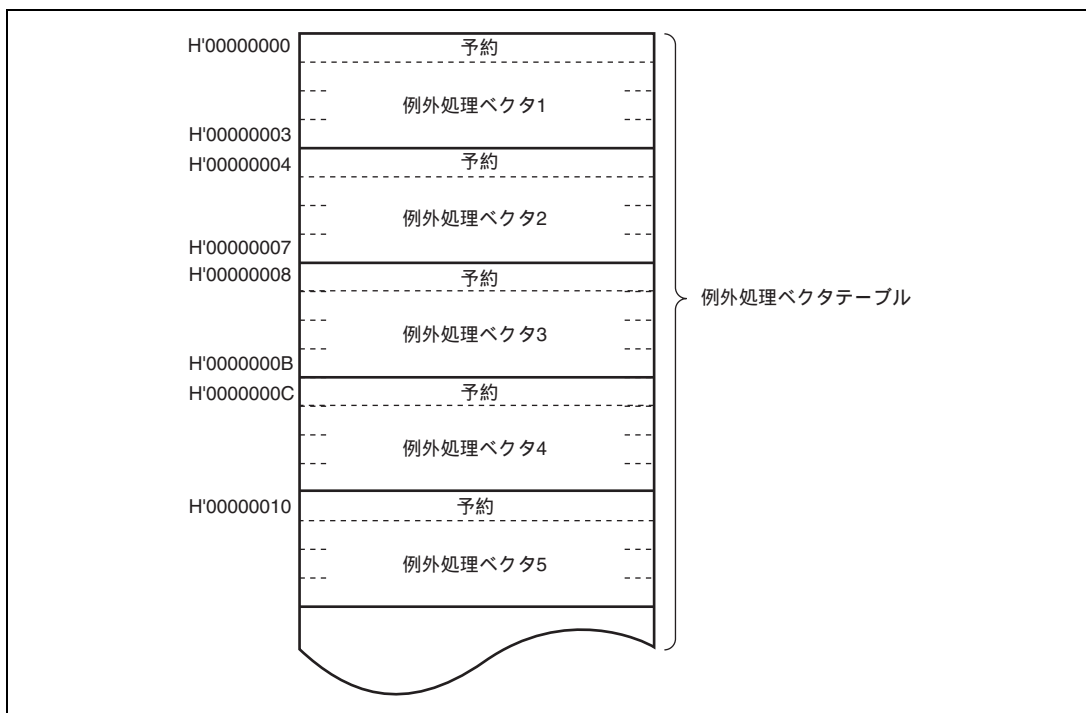


図 2.3 例外処理ベクタテーブル (アドバンスモード)

メモリ間接 (@aa:8) は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

アドバンスモードでは、オペランドは 32 ビット (ロングワード) となり、この 32 ビットが分岐先アドレスとなります。このうち、上位 8 ビットは予約領域となっており H'00 と見なされます。なお、分岐先アドレスを格納できるのは、H'00000000 ~ H'000000FF の領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

- スタック構造

アドバンスモード時のサブルーチン分岐時の PC のスタック構造と、例外処理時の PC と CCR、EXR のスタックの構造を図 2.4 に示します。EXR は割り込み制御モード 0 ではスタックされません。割り込み制御モードの詳細は「第 4 章 例外処理」を参照してください。

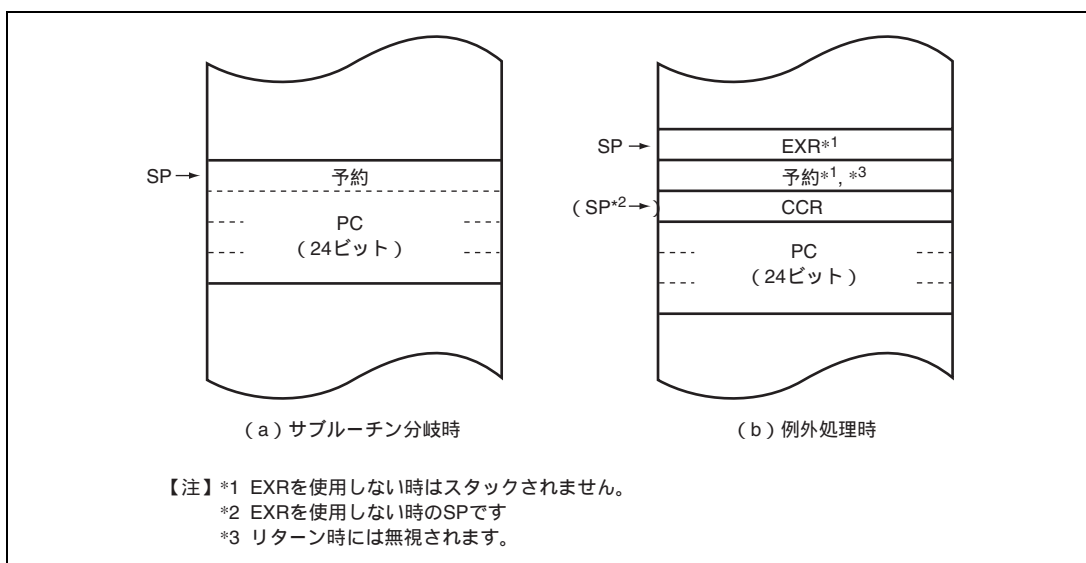


図 2.4 アドバンスモードのスタック構造

2.3 アドレス空間

H8S/2600 CPU のメモリマップを図 2.5 に示します。H8S/2600 CPU は、ノーマルモードのとき最大 64K バイト、アドバンスモードのとき最大 16M バイト（アーキテクチャ上は 4G バイト）のアドレス空間をリニアに使用することができます。実際に使用できるモードやアドレス空間は製品ごとに異なります。詳細は「第 3 章 MCU 動作モード」を参照してください。

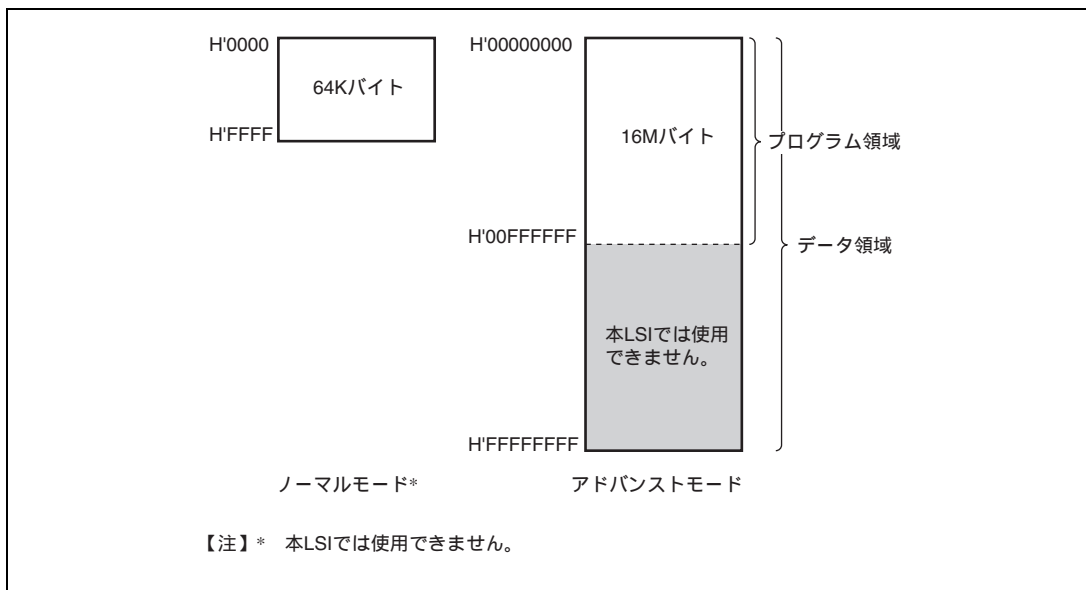


図 2.5 アドレス空間

2.4 レジスタの構成

H8S/2600 CPU の内部レジスタの構成を図 2.6 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。コントロールレジスタには、24 ビットのプログラムカウンタ (PC)、8 ビットのエクステンドレジスタ (EXR)、8 ビットのコンディションコードレジスタ (CCR) および 64 ビット積和レジスタ (MAC) があります。

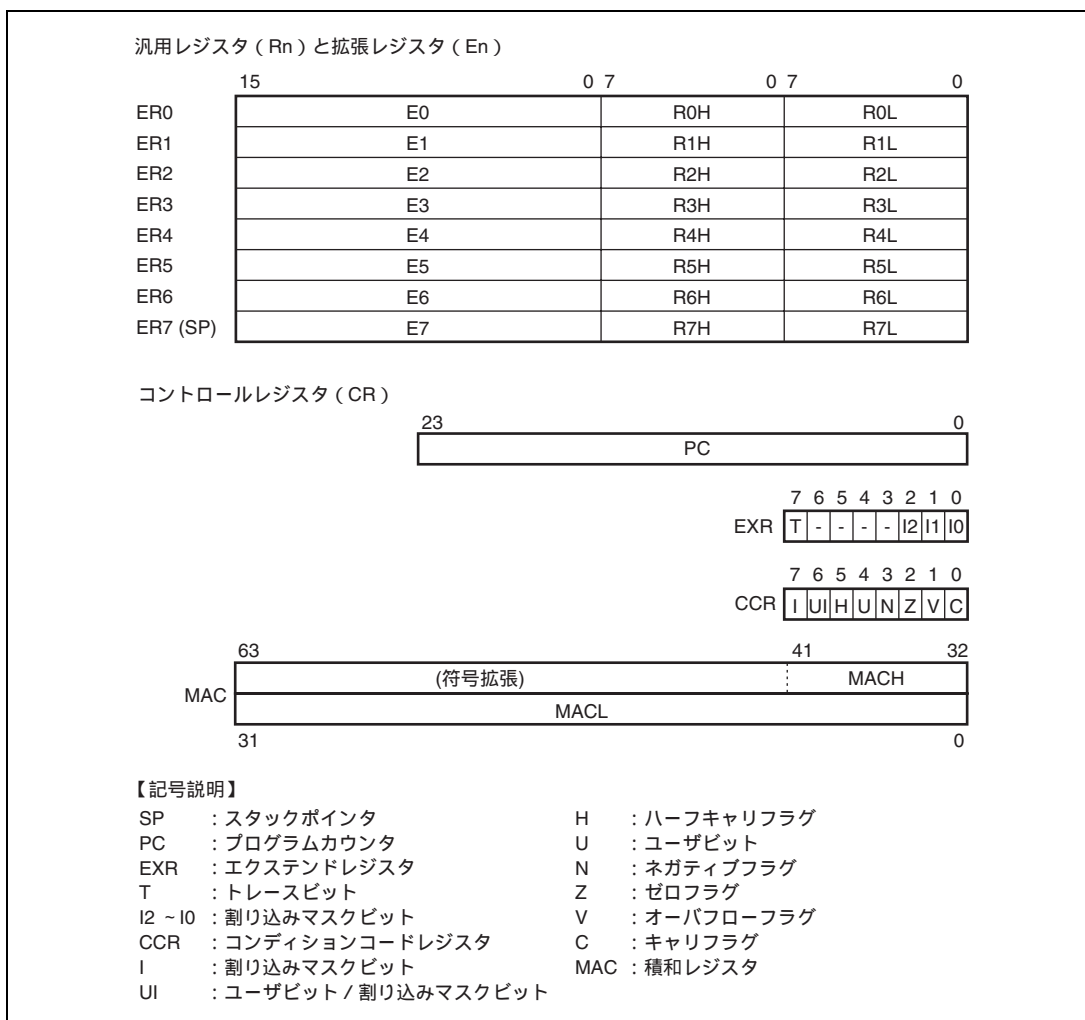


図 2.6 CPU 内部レジスタ構成

2.4.1 汎用レジスタ

H8S/2600 CPU は、32 ビット長の汎用レジスタを 8 本持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタまたはデータレジスタとして使用することができます。データレジスタとしては 32 ビット、16 ビットまたは 8 ビットレジスタとして使用できます。汎用レジスタの使用方法を図 2.7 に示します。

アドレスレジスタまたは 32 ビットレジスタとして使用する場合は一括して汎用レジスタ ER (ER0 ~ ER7) として指定します。

16 ビットレジスタとして使用する場合は汎用レジスタ ER を分割して汎用レジスタ E (E0 ~ E7)、汎用レジスタ R (R0 ~ R7) として指定します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本まで使用することができます。なお、汎用レジスタ E (E0 ~ E7) を特に拡張レジスタと呼ぶ場合があります。

8 ビットレジスタとして使用する場合は汎用レジスタ R を分割して汎用レジスタ RH (R0H ~ R7H)、汎用レジスタ RL (R0L ~ R7L) として指定します。これらは同等の機能を持っており、8 ビットレジスタを最大 16 本まで使用することができます。

各レジスタは独立に使用方法を選択できます。

汎用レジスタ ER7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図 2.8 に示します。

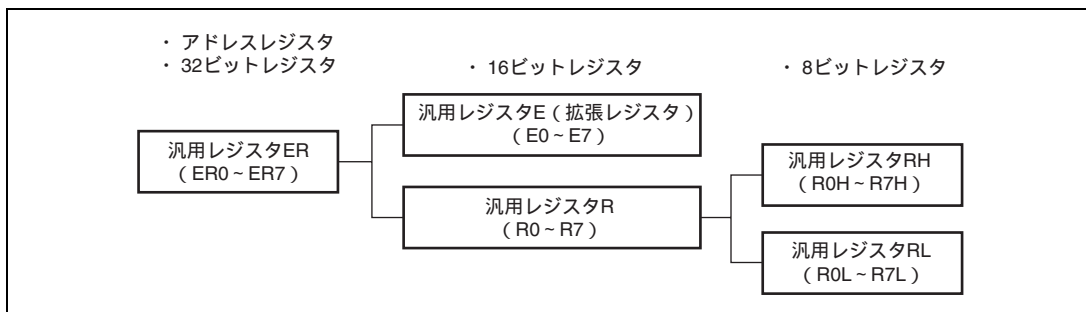


図 2.7 汎用レジスタの使用方法

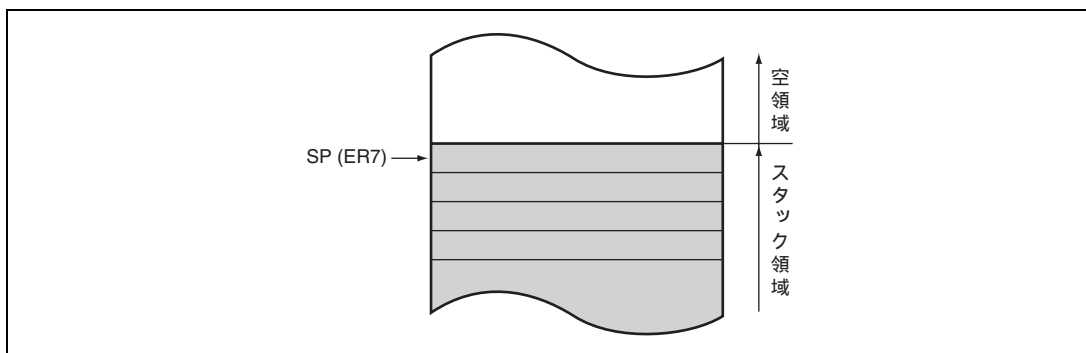


図 2.8 スタックの状態

2.4.2 プログラムカウンタ (PC)

24 ビットのカウンタで、CPU が次に実行する命令のアドレスを示しています。CPU の命令は、すべて 2 バイト (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時は最下位ビットは 0 とみなされます)。

2.4.3 エクステンドレジスタ (EXR)

本 LSI では動作に影響を与えません。

ビット	ビット名	初期値	R/W	説明
7	T	0	R/W	トレースビット このビットが 1 にセットされているときは 1 命令実行することにトレース例外処理を開始します。0 にクリアされているときは命令を順次実行します。
6~3	-	すべて 1	-	リザーブビット リードすると常に 1 がリードされます。
2	I2	1	R/W	割り込み要求マスクレベル (0~7) を指定します。 詳細は「第 5 章 割り込みコントローラ」を参照してください。
1	I1	1	R/W	
0	I0	1	R/W	

2.4.4 コンディションコードレジスタ (CCR)

8 ビットのレジスタで、CPU の内部状態を示しています。割り込みマスクビット (I) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む 8 ビットで構成されています。CCR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。

ビット	ビット名	初期値	R/W	説明
7	I	1	R/W	割り込みマスクビット 本ビットが 1 にセットされると、割り込みがマスクされます。ただし、NMI は 1 ビットに関係なく、受け付けられます。例外処理の実行が開始されたときに 1 にセットされます。詳細は「第 5 章 割り込みコントローラ」を参照してください。
6	UI	不定	R/W	ユーザビット / 割り込みマスクビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード / ライトできます。本 LSI では、割り込みマスクビットとしては使用できません。

2. CPU

ビット	ビット名	初期値	R/W	説明
5	H	不定	R/W	ハーフキャリフラグ ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット 3 にキャリまたはポローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。また、ADD.W、SUB.W、CMP.W、NEG.W 命令の実行により、ビット 11 にキャリまたはポローが生じたとき、もしくは ADD.L、SUB.L、CMP.L、NEG.L 命令の実行により、ビット 27 にキャリまたはポローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。
4	U	不定	R/W	ユーザビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。
3	N	不定	R/W	ネガティブフラグ データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。
2	Z	不定	R/W	ゼロフラグ データがゼロのとき 1 にセットされ、ゼロ以外のとき 0 にクリアされます。
1	V	不定	R/W	オーバフローフラグ 算術演算命令の実行により、オーバフローが生じたとき 1 にセットされます。それ以外のとき 0 にクリアされます。
0	C	不定	R/W	キャリフラグ 演算の実行により、キャリが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。キャリには次の種類があります。 <ul style="list-style-type: none">• 加算結果のキャリ• 減算結果のポロー• シフト/ローテートのキャリ また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

2.4.5 積和レジスタ (MAC)

64 ビットのレジスタで、積和演算結果を格納します。32 ビットの MACH、MACL から構成されます。MACH は下位 10 ビットが有効で、上位は符合拡張されています。

2.4.6 CPU 内部レジスタの初期値

CPU 内部レジスタのうち、PC はリセット例外処理によってベクタアドレスからスタートアドレスをロードすることにより初期化されます。また EXR の T ビットは 0 にクリアされ、EXR、CCR の I ビットは 1 にセットされますが、汎用レジスタと CCR の他のビットは初期化されません。SP (ER7) の初期値も不定です。したがって、リセット直後に、MOV.L 命令を使用して SP の初期化を行ってください。

2.5 データ形式

H8S/2600 CPU は、1 ビット、4 ビット BCD、8 ビット (バイト)、16 ビット (ワード)、および 32 ビット (ロングワード) のデータを扱うことができます。

1 ビットデータはビット操作命令で扱われ、オペランドデータ (バイト) の第 n ビット ($n=0,1,2,\dots,7$) という形式でアクセスできます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

2.5.1 汎用レジスタのデータ形式

汎用レジスタのデータ形式を図 2.9 に示します。

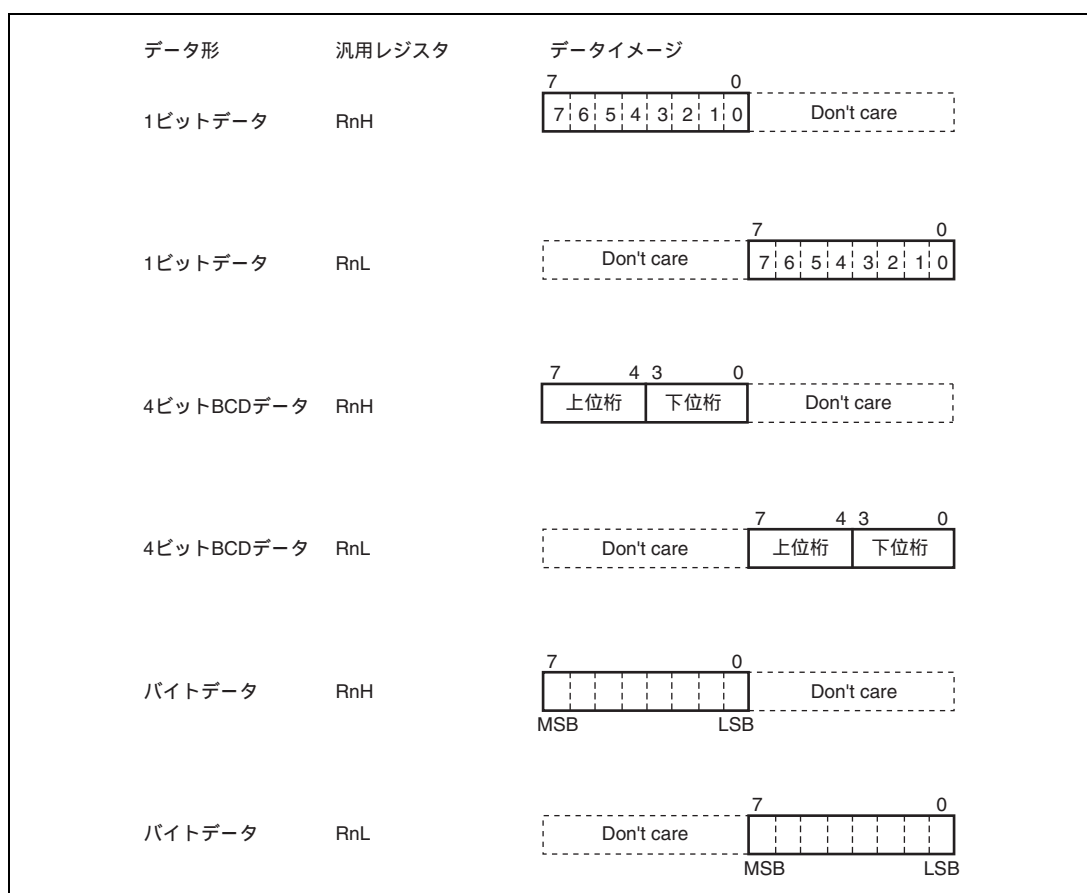


図 2.9 汎用レジスタのデータ形式 (1)

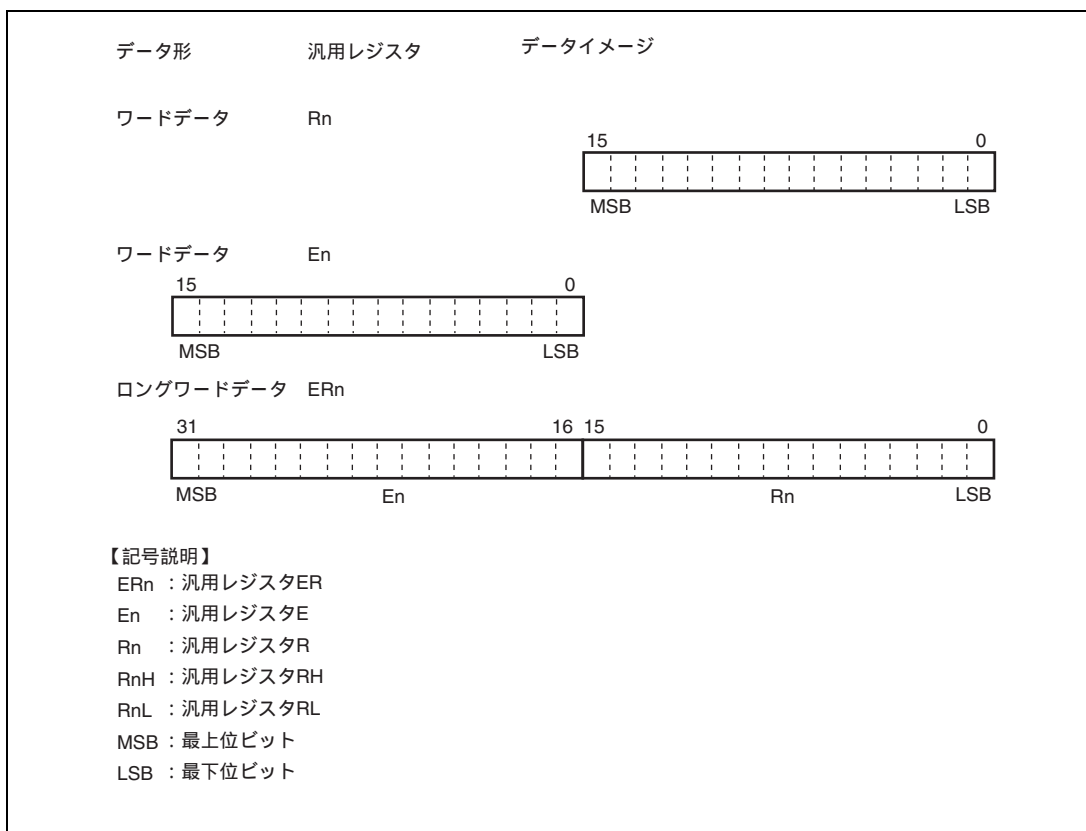


図 2.9 汎用レジスタのデータ形式 (2)

2.5.2 メモリ上でのデータ形式

メモリ上でのデータ形式を図 2.10 に示します。

H8S/2600 CPU は、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ/ロングワードデータをアクセスした場合、アドレスの最下位ビットは0とみなされ、1番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

なお、SP (ER7) をアドレスレジスタとしてスタック領域をアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

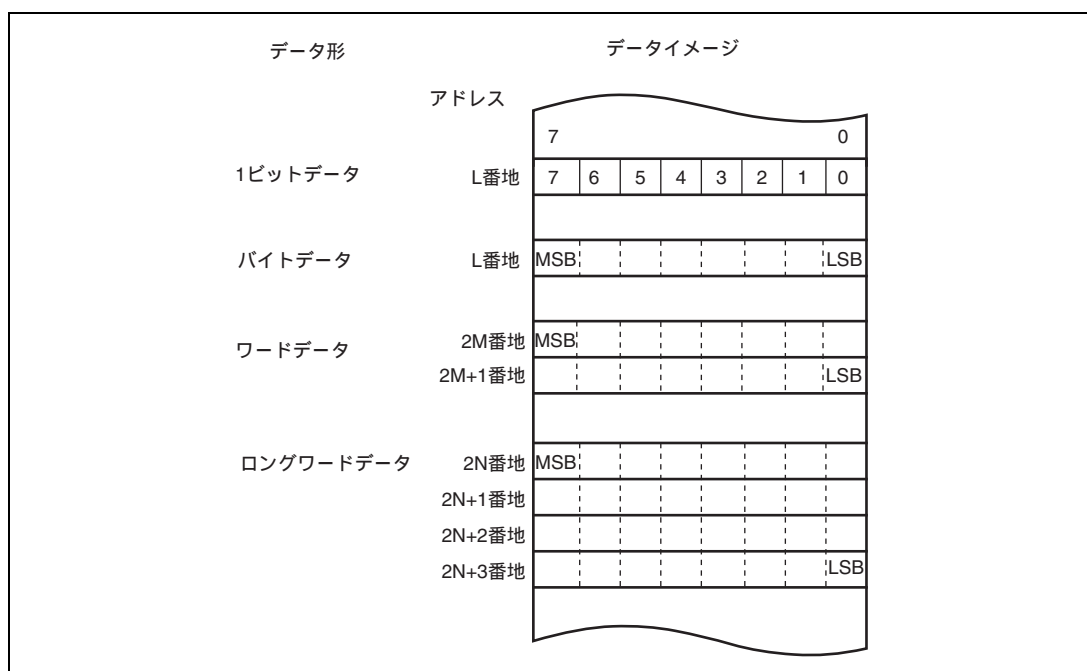


図 2.10 メモリ上でのデータ形式

2. CPU

2.6 命令セット

H8S/2600 CPU の命令は合計 69 種類あり、各命令の持つ機能によって表 2.1 に示すように分類されます。

表 2.1 命令の分類

分類	命令	サイズ	種類
データ転送命令	MOV	B/W/L	5
	POP* ¹ 、PUSH* ¹	W/L	
	LDM、STM	L	
	MOVFP* ³ 、MOVTP* ³	B	
算術演算命令	ADD、SUB、CMP、NEG	B/W/L	23
	ADDX、SUBX、DAA、DAS	B	
	INC、DEC	B/W/L	
	ADDS、SUBS	L	
	MULXU、DIVXU、MULXS、DIVXS	B/W	
	EXTU、EXTS	W/L	
	TAS* ⁴	B	
	MAC、LDMAC、STMAC、CLRMAC	-	
論理演算命令	AND、OR、XOR、NOT	B/W/L	4
シフト命令	SHAL、SHAR、SHLL、SHLR、ROTL、ROTR、ROTXL、ROTXR	B/W/L	8
ビット操作命令	BSET、BCLR、BNOT、BTST、BLD、BILD、BST、BIST、BAND、BIAND、BOR、BIOR、BXOR、BIXOR	B	14
分岐命令	Bcc* ² 、JMP、BSR、JSR、RTS	-	5
システム制御命令	TRAPA、RTE、SLEEP、LDC、STC、ANDC、ORC、XORC、NOP	-	9
ブロック転送命令	EPMOV	-	1

合計 69 種類

【注】 B：バイトサイズ W：ワードサイズ L：ロングワードサイズ

- *1 POP.W Rn、PUSH.W Rn は、それぞれ MOV.W @SP+,Rn、MOV.W Rn,@-SP と同一です。
また、POP.L ERn、PUSH.L ERn は、それぞれ MOV.L @SP+,ERn、MOV.L ERn,@-SP と同一です。
- *2 Bcc は条件分岐命令の総称です。
- *3 本 LSI では使用できません。
- *4 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

2.6.1 命令の機能別一覧

各命令の機能について表 2.3～表 2.10 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

表 2.2 オペレーションの記号

記号	説明
Rd	汎用レジスタ (デスティネーション側)*
Rs	汎用レジスタ (ソース側)*
Rn	汎用レジスタ*
ERn	汎用レジスタ (32 ビットレジスタ)
MAC	積和レジスタ (32 ビットレジスタ)
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレイースメント
+	加算
-	減算
×	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
	転送
~	反転論理 (論理的補数)
:8/:16/:24/:32	8/16/24/32 ビット長

【注】 * 汎用レジスタは、8 ビット (R0H～R7H、R0L～R7L)、16 ビット (R0～R7、E0～E7)、または 32 ビットレジスタ (ER0～ER7) です。

2. CPU

表 2.3 データ転送命令

命令	サイズ*	機能
MOV	B/W/L	(EAs) Rd, Rs (EAd) 汎用レジスタと汎用レジスタ、または汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。
MOVFPPE	B	本 LSI では使用できません。
MOVTPPE	B	本 LSI では使用できません。
POP	W/L	@SP+ Rn スタックから汎用レジスタへデータを復帰します。 POP.W Rn は MOV.W @SP+, Rn と、また、POP.L ERn は MOV.L @SP+, ERn と同一です。
PUSH	W/L	Rn @-SP 汎用レジスタの内容をスタックに退避します。 PUSH.W Rn は MOV.W Rn, @-SP と同一です。 PUSH.L ERn は MOV.L ERn, @-SP と同一です。
LDM	L	@SP+ Rn (レジスタ群) スタックから複数の汎用レジスタへデータを復帰します。
STM	L	Rn (レジスタ群) @-SP 複数の汎用レジスタの内容をスタックに退避します。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.4 算術演算命令 (1)

命令	サイズ*	機能
ADD SUB	B/W/L	$Rd \pm Rs$ Rd , $Rd \pm \#IMM$ Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います (バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください)。
ADDX SUBX	B	$Rd \pm Rs \pm C$ Rd , $Rd \pm \#IMM \pm C$ Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付きの加減算を行います。
INC DEC	B/W/L	$Rd \pm 1$ Rd , $Rd \pm 2$ Rd 汎用レジスタに 1 または 2 を加減算します (バイトサイズで 1 の加減算のみ可能です)。
ADDS SUBS	L	$Rd \pm 1$ Rd , $Rd \pm 2$ Rd , $Rd \pm 4$ Rd 32 ビットレジスタに 1、2、または 4 を加減算します。
DAA DAS	B	$Rd(10 \text{ 進補正})$ Rd 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B/W	$Rd \times Rs$ Rd 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。 8 ビット \times 8 ビット 16 ビット、16 ビット \times 16 ビット 32 ビットの乗算が可能です。
MULXS	B/W	$Rd \times Rs$ Rd 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。 8 ビット \times 8 ビット 16 ビット、16 ビット \times 16 ビット 32 ビットの乗算が可能です。
DIVXU	B/W	$Rd \div Rs$ Rd 汎用レジスタと汎用レジスタ間の符号なし除算を行います。 16 ビット \div 8 ビット 商 8 ビット余り 8 ビット、 32 ビット \div 16 ビット 商 16 ビット余り 16 ビットの除算が可能です。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

2. CPU

表 2.4 算術演算命令 (2)

命令	サイズ*1	機能
DIVXS	B/W	Rd ÷ Rs Rd 汎用レジスタと汎用レジスタ間の符号付き除算を行います。 16 ビット ÷ 8 ビット 商 8 ビット余り 8 ビット、 32 ビット ÷ 16 ビット 商 16 ビット余り 16 ビットの除算が可能です。
CMP	B/W/L	Rd - Rs、Rd - #IMM 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果を CCR に反映します。
NEG	B/W/L	0 - Rd Rd 汎用レジスタの内容の 2 の補数 (算術的補数) をとります。
EXTU	W/L	Rd(ゼロ拡張) Rd 16 ビットレジスタの下位 8 ビットをワードサイズにゼロ拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズにゼロ拡張します。
EXTS	W/L	Rd(符号拡張) Rd 16 ビットレジスタの下位 8 ビットをワードサイズに符号拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズに符号拡張します。
TAS*2	B	@ERd - 0、1 (<ビット 7> of @ERd) メモリの内容をテストした後、最上位ビット (ビット 7) を 1 にセットします。
MAC	-	(EAs) × (EAd) + MAC MAC メモリとメモリ間の符合付き乗算を行い、結果を積和レジスタに加算します。 16 ビット × 16 ビット + 32 ビット 32 ビットの飽和演算、 16 ビット × 16 ビット + 42 ビット 42 ビットの非飽和演算が可能です。
CLRMAC	-	0 MAC 積和レジスタをゼロクリアします。
LDMAC STMAC	L	Rs MAC、MAC Rd 汎用レジスタと積和レジスタ間でデータ転送します。

【注】 *1 サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

*2 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

表 2.5 論理演算命令

命令	サイズ*	機能
AND	B/W/L	Rd Rs Rd, Rd #IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B/W/L	Rd Rs Rd, Rd #IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B/W/L	Rd⊕Rs Rd, Rd⊕#IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の排他的論理和をとります。
NOT	B/W/L	~Rd Rd 汎用レジスタの内容の1の補数（論理的補数）をとります。

【注】 * サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.6 シフト命令

命令	サイズ*	機能
SHAL SHAR	B/W/L	Rd(シフト処理) Rd 汎用レジスタの内容を算術的にシフトします。 1ビットまたは2ビットのシフトが可能です。
SHLL SHLR	B/W/L	Rd(シフト処理) Rd 汎用レジスタの内容を論理的にシフトします。 1ビットまたは2ビットのシフトが可能です。
ROTL ROTR	B/W/L	Rd(ローテート処理) Rd 汎用レジスタの内容をローテートします。 1ビットまたは2ビットのローテートが可能です。
ROTXL ROTXR	B/W/L	Rd(ローテート処理) Rd 汎用レジスタの内容をキャリフラグを含めてローテートします。 1ビットまたは2ビットのローテートが可能です。

【注】 * サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

2. CPU

表 2.7 ビット操作命令 (1)

命令	サイズ*	機能
BSET	B	1 (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 1 にセットします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BCLR	B	0 (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 0 にクリアします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BNOT	B	~(<ビット番号>of<EAd>) (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BTST	B	~(<ビット番号>of<EAd>) Z 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをテストし、ゼロフラグに反映します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BAND	B	C (<ビット番号>of<EAd>) C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理積をとり、結果をキャリフラグに格納します。
BIAND	B	C [~(<ビット番号>of<EAd>)] C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理積をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BOR	B	C (<ビット番号>of<EAd>) C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理和をとり、結果をキャリフラグに格納します。
BIOR	B	C [~(<ビット番号>of<EAd>)] C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B: バイト

表 2.7 ビット操作命令 (2)

命令	サイズ*	機能
BXOR	B	$C \oplus (<\text{ビット番号}> \text{of} <\text{EAd}>) \quad C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。
BIXOR	B	$C \oplus [\sim (<\text{ビット番号}> \text{of} <\text{EAd}>)] \quad C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BLD	B	$<\text{ビット番号}> \text{of} <\text{EAd}> \quad C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをキャリフラグに転送します。
BILD	B	$\sim (<\text{ビット番号}> \text{of} <\text{EAd}>) \quad C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグに転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BST	B	$C \quad (<\text{ビット番号}> \text{of} <\text{EAd}>)$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグの内容を転送します。
BIST	B	$\sim C \quad (<\text{ビット番号}> \text{of} <\text{EAd}>)$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグを反転して転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B: バイト

2. CPU

表 2.8 分岐命令

命令	サイズ	機 能																																																			
Bcc	-	<p>指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。</p> <table border="1"> <thead> <tr> <th>ニーモニック</th> <th>説 明</th> <th>分岐条件</th> </tr> </thead> <tbody> <tr> <td>BRA(BT)</td> <td>Always(True)</td> <td>Always</td> </tr> <tr> <td>BRN(BF)</td> <td>Never(False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>CVZ=0</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>CVZ=1</td> </tr> <tr> <td>BCC(BHS)</td> <td>Carry Clear(High or Same))</td> <td>C=0</td> </tr> <tr> <td>BCS(BLO)</td> <td>Carry Set(LOW)</td> <td>C=1</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>Z=0</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>Z=1</td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td>V=0</td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td>V=1</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>N=0</td> </tr> <tr> <td>BMI</td> <td>MInus</td> <td>N=1</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>N⊕V=0</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>N⊕V=1</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>Z (N⊕V)=0</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>Z (N⊕V)=1</td> </tr> </tbody> </table>	ニーモニック	説 明	分岐条件	BRA(BT)	Always(True)	Always	BRN(BF)	Never(False)	Never	BHI	High	CVZ=0	BLS	Low or Same	CVZ=1	BCC(BHS)	Carry Clear(High or Same))	C=0	BCS(BLO)	Carry Set(LOW)	C=1	BNE	Not Equal	Z=0	BEQ	Equal	Z=1	BVC	oVerflow Clear	V=0	BVS	oVerflow Set	V=1	BPL	PLus	N=0	BMI	MInus	N=1	BGE	Greater or Equal	N⊕V=0	BLT	Less Than	N⊕V=1	BGT	Greater Than	Z (N⊕V)=0	BLE	Less or Equal	Z (N⊕V)=1
ニーモニック	説 明	分岐条件																																																			
BRA(BT)	Always(True)	Always																																																			
BRN(BF)	Never(False)	Never																																																			
BHI	High	CVZ=0																																																			
BLS	Low or Same	CVZ=1																																																			
BCC(BHS)	Carry Clear(High or Same))	C=0																																																			
BCS(BLO)	Carry Set(LOW)	C=1																																																			
BNE	Not Equal	Z=0																																																			
BEQ	Equal	Z=1																																																			
BVC	oVerflow Clear	V=0																																																			
BVS	oVerflow Set	V=1																																																			
BPL	PLus	N=0																																																			
BMI	MInus	N=1																																																			
BGE	Greater or Equal	N⊕V=0																																																			
BLT	Less Than	N⊕V=1																																																			
BGT	Greater Than	Z (N⊕V)=0																																																			
BLE	Less or Equal	Z (N⊕V)=1																																																			
JMP	-	指定されたアドレスへ無条件に分岐します。																																																			
BSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	-	サブルーチンから復帰します。																																																			

表 2.9 システム制御命令

命令	サイズ*	機能
TRAPA	-	命令トラップ例外処理を行います。
RTE	-	例外処理ルーチンから復帰します。
SLEEP	-	低消費電力状態に遷移します。
LDC	B / W	(EAs) CCR、(EAs) EXR 汎用レジスタまたはメモリの内容を CCR、EXR に転送します。また、イミディエイトデータを CCR、EXR に転送します。CCR、EXR は 8 ビットですが、メモリと CCR、EXR 間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
STC	B / W	CCR (EAd)、EXR (EAd) CCR、EXR の内容を汎用レジスタまたはメモリに転送します。CCR、EXR は 8 ビットですが、CCR、EXR とメモリ間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
ANDC	B	CCR #IMM CCR、EXR #IMM EXR CCR、EXR とイミディエイトデータの論理積をとります。
ORC	B	CCR #IMM CCR、EXR #IMM EXR CCR、EXR とイミディエイトデータの論理和をとります。
XORC	B	CCR@#IMM CCR、EXR@#IMM EXR CCR、EXR とイミディエイトデータの排他的論理和をとります。
NOP	-	PC+2 PC PC のインクリメントだけを行います。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

表 2.10 ブロック転送命令

命令	サイズ*	機能
EEPMOV.B	-	<pre> if R4L = 0 then Repeat @ER5+ @ER6+ R4L - 1 R4L Until R4L = 0 else next; </pre>
EEPMOV.W	-	<pre> if R4 = 0 then Repeat @ER5+ @ER6+ R4 - 1 R4 Until R4 = 0 else next; </pre> <p>ブロック転送命令です。ER5 で示されるアドレスから始まり、R4L または R4 で指定されるバイト数のデータを、ER6 で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。</p>

【注】 * サイズはオペランドサイズを示します。

2.6.2 命令の基本フォーマット

H8S/2600 CPU の命令は、2 バイト (ワード) を単位にしています。各命令はオペレーションフィールド (op)、レジスタフィールド (r)、EA 拡張部 (EA)、およびコンディションフィールド (cc) から構成されています。

図 2.11 に命令フォーマットの例を示します。

- オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭4ビットを必ず含みます。2つのオペレーションフィールドを持つ場合もあります。

- レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき3ビット、データレジスタのとき3ビットまたは4ビットです。2つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

- EA拡張部

イミディエイトデータ、絶対アドレスまたはディスプレイメントを指定します。8ビット、16ビット、または32ビットです。

- コンディションフィールド

Bcc命令の分岐条件を指定します。

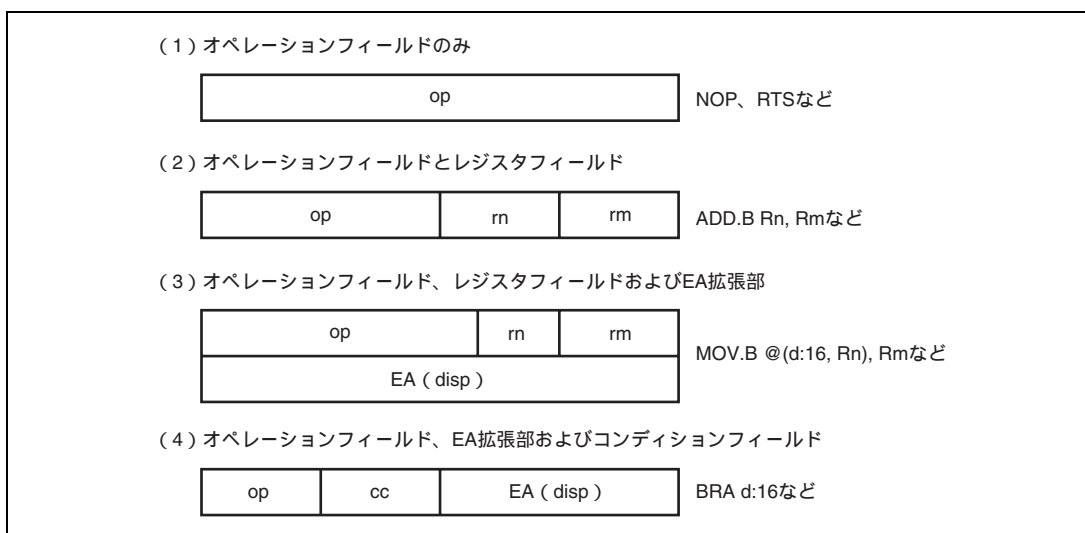


図 2.11 命令フォーマットの例

2.7 アドレッシングモードと実効アドレスの計算方法

H8S/2600 CPU は表 2.11 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードが異なります。

演算命令では、レジスタ直接、およびイミディエイトが使用できます。転送命令では、プログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードが使用できます。また、ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレスが使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接 (BSET、BCLR、BNOT、BTST の各命令)、およびイミディエイト (3 ビット) が独立して使用できます。

表 2.11 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディスプレースメント付きレジスタ間接	@(d:16,ERn)/@(d:32,ERn)
4	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn+ @-ERn
5	絶対アドレス	@aa:8/@aa:16/@aa:24/@aa:32
6	イミディエイト	#xx:8/#xx:16/#xx:32
7	プログラムカウンタ相対	@(d:8,PC)/@(d:16,PC)
8	メモリ間接	@@aa:8

2.7.1 レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8 ビット、16 ビットまたは 32 ビット) がオペランドとなります。8 ビットレジスタとしては R0H ~ R7H、R0L ~ R7L を指定可能です。16 ビットレジスタとしては R0 ~ R7、E0 ~ E7 を指定可能です。32 ビットレジスタとしては ER0 ~ ER7 を指定可能です。

2.7.2 レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。プログラム領域としては、下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。

2.7.3 ディスプレースメント付きレジスタ間接 @(d:16,ERn)/@(d:32,ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容に、命令コード中に含まれる 16 ビットディスプレースメント、または 32 ビットディスプレースメントを加算した内容をアドレスとして、メモリ上のオペランドを指定します。加算に際して、16 ビットディスプレースメントは符号拡張されます。

2.7.4 ポストインクリメントレジスタ間接@ERn+/ プリデクリメントレジスタ間接@-ERn

(1) ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。その後、アドレスレジスタの内容に 1、2 または 4 が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ加算されます。ワードサイズまたはロングワードサイズのと看、アドレスレジスタの内容が偶数となるようにしてください。

(2) プリデクリメントレジスタ間接 @-ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から、1、2 または 4 を減算した内容をアドレスとしてメモリ上のオペランドを指定します。その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ減算されます。ワードサイズまたはロングワードサイズのと看、アドレスレジスタの内容が偶数になるようにしてください。

2.7.5 絶対アドレス @aa:8/@aa:16/@aa:24/@aa:32

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。絶対アドレスは 8 ビット (@aa:8)、16 ビット (@aa:16)、24 ビット (@aa:24)、または 32 ビット (@aa:32) です。絶対アドレスのアクセス範囲を表 2.12 に示します。

データ領域としては、8 ビット (@aa:8)、16 ビット (@aa:16)、または 32 ビット (@aa:32) を使用します。8 ビット絶対アドレスの場合、上位 24 ビットはすべて 1 (H'FFFF) となります。16 ビット絶対アドレスの場合、上位 16 ビットは符号拡張されます。32 ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

プログラム領域としては 24 ビット (@aa:24) を使用します。上位 8 ビットはすべて 0 (H'00) となります。

表 2.12 絶対アドレスのアクセス範囲

絶対アドレス		ノーマルモード*	アドバンスドモード
データ領域	8 ビット (@aa:8)	H'FF00 ~ H'FFFF	H'FFFF00 ~ H'FFFFFF
	16 ビット (@aa:16)	H'0000 ~ H'FFFF	H'000000 ~ H'007FFF、 H'FF8000 ~ H'FFFFFF
	32 ビット (@aa:32)		H'000000 ~ H'FFFFFF
プログラム領域	24 ビット (@aa:24)		

【注】 * 本 LSI では使用できません。

2.7.6 イミディエイト #xx:8/#xx:16/#xx:32

命令コード中に含まれる 8 ビット (#xx:8)、16 ビット (#xx:16)、または 32 ビット (#xx:32) のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC 命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが、命令コード中に含まれる場合があります。また、TRAPA 命令では、ベクタアドレスを指定するための 2 ビットのイミディエイトデータが命令コードの中に含まれます。

2.7.7 プログラムカウンタ相対 @(d:8,PC)/@(d:16,PC)

Bcc、BSR 命令で使用されます。PC の内容で指定される 24 ビットのアドレスに、命令コード中に含まれる 8 ビット、または 16 ビットディスプレースメントを加算して 24 ビットの分岐アドレスを生成します。加算に際して、ディスプレースメントは 24 ビットに符号拡張されます。加算結果は下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して - 126 ~ + 128 バイト (- 63 ~ + 64 ワード) または - 32766 ~ + 32768 バイト (- 16383 ~ + 16384 ワード) です。このとき、加算結果が偶数となるようにしてください。

2.7.8 メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。命令コード中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。8 ビット絶対アドレスの上位のビットはすべて 0 となりますので、分岐アドレスを格納できるのは 0 ~ 255 (ノーマルモードのとき H'0000 ~ H'00FF、アドバンスモードのとき H'000000 ~ H'0000FF) 番地です。

ノーマルモードの場合は、メモリ上のオペランドはワードサイズで指定し、16 ビットの分岐アドレスを生成します。また、アドバンスモードの場合は、メモリ上のオペランドはロングワードサイズで指定します。このうち先頭の 1 バイトはすべて 0 (H'00) とみなされます。ただし、分岐アドレスを格納可能なアドレスの先頭領域は、例外処理ベクタ領域と共通になっていますので注意してください。詳細は「第 4 章 例外処理」を参照してください。

ワードサイズ、ロングワードサイズでメモリを指定する場合、および分岐アドレスを指定する場合に奇数アドレスを指定すると、最下位ビットは 0 とみなされ、1 番地前から始まるデータまたは命令コードをアクセスします (「2.5.2 メモリ上でのデータ形式」 を参照してください) 。

【注】 本 LSI ではノーマルモードは使用できません。

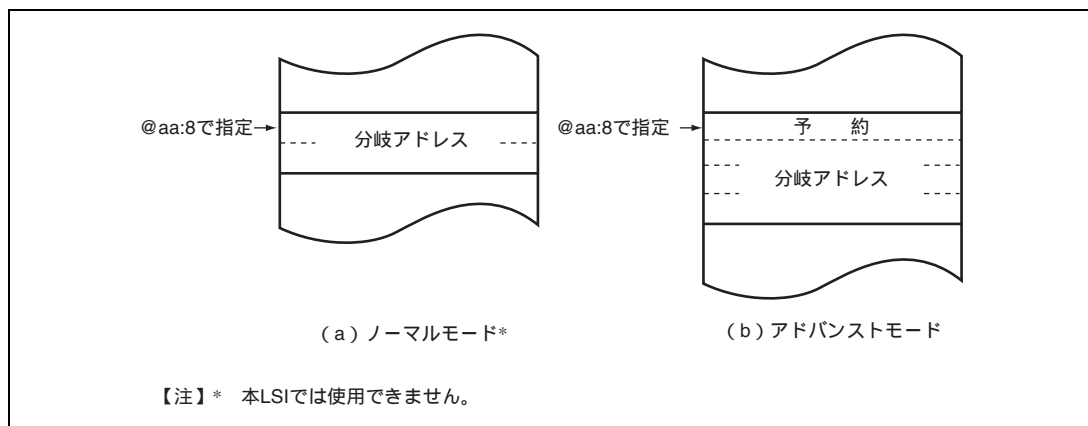


図 2.12 メモリ間接による分岐アドレスの指定

2.7.9 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス（EA：Effective Address）の計算法を表 2.13 に示します。

ノーマルモードの場合、実効アドレスの上位 8 ビットは無視され、16 ビットのアドレスとなります。

【注】本 LSI ではノーマルモードは使用できません。

表 2.13 実行アドレスの計算方法（1）

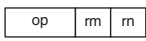

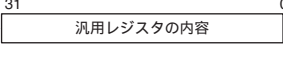
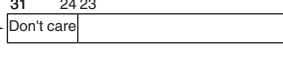
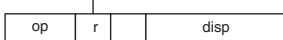
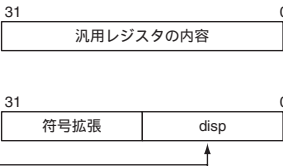
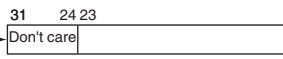


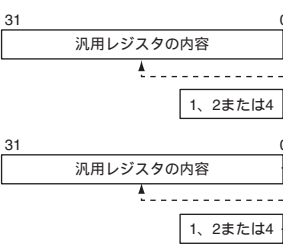
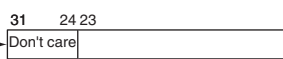
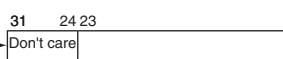
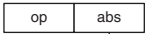


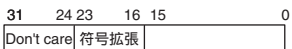
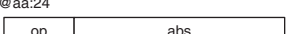
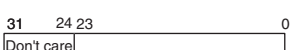


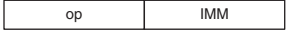

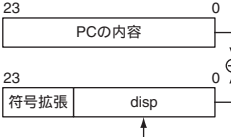


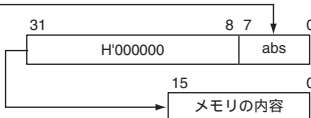
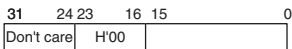

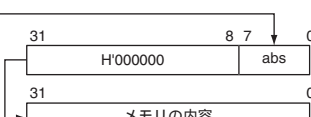

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス（EA）								
1	レジスタ直接（Rn） 		オペランドは汎用レジスタの内容です。								
2	レジスタ間接（@ERn） 										
3	ディスプレイメント付きレジスタ間接 @(d:16,ERn) / @(d:32,ERn) 										
4	ポストインクリメントレジスタ間接/プリデクリメントレジスタ間接 ・ポストインクリメントレジスタ間接 @ERn+  ・プリデクリメントレジスタ間接 @-ERn 	 <table border="1" data-bbox="562 1188 802 1265"> <thead> <tr> <th>オペランドサイズ</th> <th>加減算される値</th> </tr> </thead> <tbody> <tr> <td>バイト</td> <td>1</td> </tr> <tr> <td>ワード</td> <td>2</td> </tr> <tr> <td>ロングワード</td> <td>4</td> </tr> </tbody> </table>	オペランドサイズ	加減算される値	バイト	1	ワード	2	ロングワード	4	 
オペランドサイズ	加減算される値										
バイト	1										
ワード	2										
ロングワード	4										

表 2.13 実行アドレスの計算方法 (2)

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
5	絶対アドレス @aa:8 		
	@aa:16 		
	@aa:24 		
	@aa:32 		
6	イミディエイト #xx:8 / #xx:16 / #xx:32 		オペランドはイミディエイトデータです。
7	プログラムカウンタ相対 @(d:8,PC) / @(d:16,PC) 		
8	メモリ間接 @aa:8 ・ノーマルモード* 		
	・アドバンストモード 		

【注】 * 本 LSI では使用できません。

2.8 処理状態

H8S/2600 CPU の処理状態には、リセット状態、例外処理状態、プログラム実行状態、バス権解放状態、およびプログラム停止状態の 5 種類があります。処理状態間の状態遷移図を図 2.13 に示します。

- リセット状態

CPUおよび内蔵周辺モジュールがすべて初期化され、停止している状態です。リセット端子がLowレベルになると、実行中の処理はすべて中止され、CPUはリセット状態になります。リセット状態ではすべての割り込みが禁止されます。リセット端子をLowレベルからHighレベルにすると、リセット例外処理を開始します。リセットの詳細は「第4章 例外処理」を参照してください。ウォッチドッグタイマを内蔵する製品では、ウォッチドッグタイマのオーバフローによってもリセットすることもできます。

- 例外処理状態

例外処理状態は、リセット、トレース、割り込み、またはトラップ命令の例外処理要因によってCPUが通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出してそのスタートアドレスに分岐する過渡的な状態です。詳細は「第4章 例外処理」を参照してください。

- プログラム実行状態

CPUがプログラムを順次実行している状態です。

- バス権解放状態

CPU以外のバスマスタからのバス権要求に対してバス権を解放した状態です。バス権解放状態ではCPUは動作を停止します。

- プログラム停止状態

CPUが動作を停止し、消費電力を低下させた状態です。SLEEP命令の実行、またはソフトウェアスタンバイモードへの遷移でCPUはプログラム停止状態になります。詳細は「第24章 低消費電力状態」を参照してください。

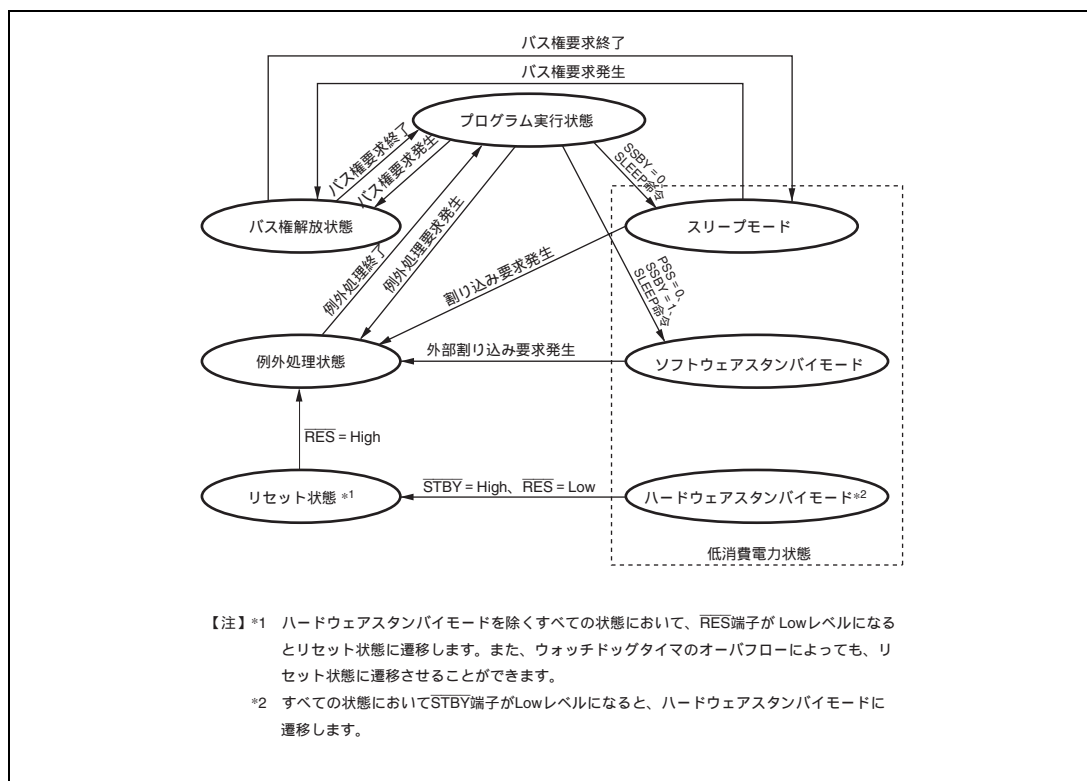


図 2.13 状態遷移図

2.9 使用上の注意事項

2.9.1 ビット操作命令

BSET、BCLR、BNOT、BST、BISTの各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。したがって、ライト専用ビットを含むレジスタ、またはポートに対してこれらの命令を使用するときは注意が必要です。

また、内部 I/O レジスタのフラグを 0 にクリアするために、BCLR 命令を使用できます。この場合、割り込み処理ルーチンなどで当該フラグが 1 にセットされていることが明らかであれば、事前に当該フラグをリードする必要はありません。

3. MCU 動作モード

3.1 動作モードの選択

本 LSI には、3 種類の動作モード（モード 2、4、6）があります。動作モードは、モード端子（ $\overline{\text{MD2}}$ 、MD1、MD0）の設定で決まります。表 3.1 に、MCU 動作モードの選択を示します。

表 3.1 MCU 動作モードの選択

MCU 動作モード	MD2	MD1	MD0	CPU 動作モード	内 容
2	1	1	0	アドバンスト	内蔵 ROM 有効拡張モード シングルチップモード
4	0	0	0	-	フラッシュ書き込み / 消去
6	0	1	0	エミュレーション	オンチップエミュレーションモード

モード 2 は、リセット後はシングルチップモードで動作を開始します。MDCR の EXPE ビットを 1 にセットすることにより拡張モードに移行することができます。

モード 0、1、3、5、7 は、本 LSI では使用できません。モード 4、6 は、特殊な動作モードです。したがって、通常のプログラム実行状態では、モード端子は必ずモード 2 になるように設定してください。また、モード端子は動作中に変化させないでください。

3.2 レジスタの説明

動作モードに関連するレジスタには以下のものがあります。バスコントロールレジスタ (BCR) については「6.3.1 バスコントロールレジスタ (BCR)」を、バスコントロールレジスタ 2 (BCR2) については「6.3.2 バスコントロールレジスタ 2 (BCR2)」を参照してください。

- モードコントロールレジスタ (MDCR)
- システムコントロールレジスタ (SYSCR)
- シリアルタイムコントロールレジスタ (STCR)

3. MCU 動作モード

3.2.1 モードコントロールレジスタ (MDCR)

MDCR は、動作モードの設定および現在の動作モードをモニタするのに用います。

ビット	ビット名	初期値	R/W	説明
7	EXPE	0	R/W	拡張モードイネーブル 拡張モードを設定します。 0 : シングルチップモード 1 : 拡張モード
6~3	-	すべて 0	R	リザーブビット
2	MDS2	- *	R	モードセレクト 2、1、0
1	MDS1	- *	R	モード端子 ($\overline{\text{MD2}}$ 、MD1、MD0) の入力レベルを反映した値 (現在の動作モード) を示しています。MDS2、MDS1、MDS0 ビットは $\overline{\text{MD2}}$ 、MD1、MD0 端子にそれぞれ対応します。これらのビットはリード専用でライトは無効です。MDCR をリードすると、モード端子 ($\overline{\text{MD2}}$ 、MD1、MD0) の入力レベルがこれらのビットにラッチされます。このラッチはリセットで解除されます。
0	MDS0	- *	R	

【注】 * $\overline{\text{MD2}}$ 、MD1、MD0 端子により決定されます。

3.2.2 システムコントロールレジスタ (SYSCR)

SYSCR は、システム端子機能の選択、リセット要因のモニタ、割り込み制御モードの選択、NMI 検出エッジの選択、周辺機能のレジスタアクセスの制御、RAM のアドレス空間の制御を行います。

ビット	ビット名	初期値	R/W	説明
7	CS256E	0	R/W	チップセレクト 256 イネーブル 拡張モード時の P97/ $\overline{\text{WAIT}}$ / $\overline{\text{CS256}}$ 端子の機能を制御します。 0 : P97/ $\overline{\text{WAIT}}$ 端子 $\overline{\text{WAIT}}$ 端子機能は WSCR、WSCR2 の設定で選択 1 : $\overline{\text{CS256}}$ 端子 アドレス H'F80000 ~ H'FBFFFF の 256kB 拡張エリアをアクセス時に Low 出力
6	IOSE	0	R/W	IOS イネーブル 拡張モード時の $\overline{\text{AS}}$ / $\overline{\text{IOS}}$ 端子の機能を制御します。 0 : $\overline{\text{AS}}$ 端子 外部エリアアクセス時に Low 出力 1 : $\overline{\text{IOS}}$ 端子 アドレス H'FFF000 ~ H'FFF7FF の IOS 拡張エリアをアクセス時に Low 出力

3. MCU 動作モード

ビット	ビット名	初期値	R/W	説 明
5 4	INTM1 INTM0	0 0	R R/W	割り込みコントローラの割り込み制御モードを選択します。割り込み制御モードについては「5.6 割り込み制御モードと割り込み動作」を参照してください。 00：割り込み制御モード 0 01：割り込み制御モード 1 10：設定禁止 11：設定禁止
3	XRST	1	R	外部リセット リセット要因を表すビットです。リセットは、外部リセット入力、または、ウォッチドッグタイマオーバーフローにより発生できます。 0：ウォッチドッグタイマオーバーフローで発生 1：外部リセットで発生
2	NMIEG	0	R/W	NMI エッジセレクト NMI 端子の入力エッジ選択を行います。 0：NMI 入力の立ち下がりエッジで割り込み要求を発生 1：NMI 入力の立ち上がりエッジで割り込み要求を発生
1	-	0	R/W	リザーブビット 初期値を変更しないで下さい。
0	RAME	1	R/W	RAM イネーブル 内蔵 RAM の有効または無効を選択します。RAME ビットはリセットを解除したときに初期化されます。 0：内蔵 RAM 無効 1：内蔵 RAM 有効

3. MCU 動作モード

3.2.3 シリアルタイマコントロールレジスタ (STCR)

STCR は、レジスタアクセスの制御、IIC の動作モードの制御、内蔵フラッシュメモリの制御、タイマカウンタの入力クロックの選択を行います。

ビット	ビット名	初期値	R/W	説明
7	IICX2	0	R/W	IIC トランスファレートセレクト 2、1、0
6	IICX1	0	R/W	IIC の動作を制御するビットです。I ² C バスモードレジスタ (ICMR) の CKS2 ~ CKS0 ビットと組み合わせて、マスタモードでの転送レートを選択します。転送レートについては、表 15.3 を参照してください。IICXn は IIC_n を制御します。(n=0~2)
5	IICX0	0	R/W	
4	-	0	R/W	
3	FLSHE	0	R/W	フラッシュメモリコントロールレジスタイネーブル フラッシュメモリのレジスタ (FCCS、FPCS、FECS、FKEY、FMATS、FTDAR)、低消費電力状態の制御レジスタ (SBYCR、LPWRCR、MSTPCRH、MSTPCRL)、および周辺モジュールの制御レジスタ (BCR2、WSCR2、PCSR、SYSCR2) の CPU アクセスを制御します。 0 : アドレス H'FFFE88 ~ H'FFFE8F のエリアは、リザーブエリア アドレス H'FFFF80 ~ H'FFFF87 のエリアは、低消費電力状態および周辺モジュールの制御レジスタにアクセス 1 : アドレス H'FFFE88 ~ H'FFFE8F のエリアは、フラッシュメモリの制御レジスタにアクセス アドレス H'FFFF80 ~ H'FFFF87 のエリアは、リザーブエリア
2	-	1	R/(W)	リザーブビット 初期値を変更しないでください。
1	ICKS1	0	R/W	インターナルクロックソースセレクト 1、0
0	ICKS0	0	R/W	タイマコントロールレジスタ (TCR) の CKS2 ~ CKS0 ビットと組み合わせてタイマカウンタ (TCNT) に入力するクロックとカウント条件を選択します。詳細は「11.2.4 タイマコントロールレジスタ (TCR)」を参照してください。

3.3 各動作モードの説明

3.3.1 モード 2

CPU はアドバンスモードで、アドレス空間は 16M バイトです。内蔵 ROM は有効です。

リセット後はシングルチップモードに設定されており、外部アドレス空間を使用するには MDCR の EXPE ビットを 1 にセットしてください。

- ノーマル拡張時

拡張モードでは、ポート 1、2 はリセット後は入力ポートになっています。

対応するポートのデータディレクションレジスタ (DDR) を 1 にセットすることによりアドレスバスを出力できます。ポート 3 がデータバス、ポート 9 の一部がバス制御信号となります。また、WSCR の ABW ビットを 0 にクリアすることで、ポート 6 がデータバスとなります。

- マルチプレックス拡張時

8 ビットバス時には、ポート 2 はデータディレクションレジスタ (DDR) の設定にかかわらず、アドレス出力、データ入出力となります。ポート 1 は汎用ポートとして使用できます。

16 ビットバス時には、ポート 1、2 はデータディレクションレジスタ (DDR) の設定にかかわらず、アドレス出力、データ入出力となります。

3. MCU 動作モード

3.4 アドレスマップ

動作モードのアドレスマップを図 3.1 に示します。

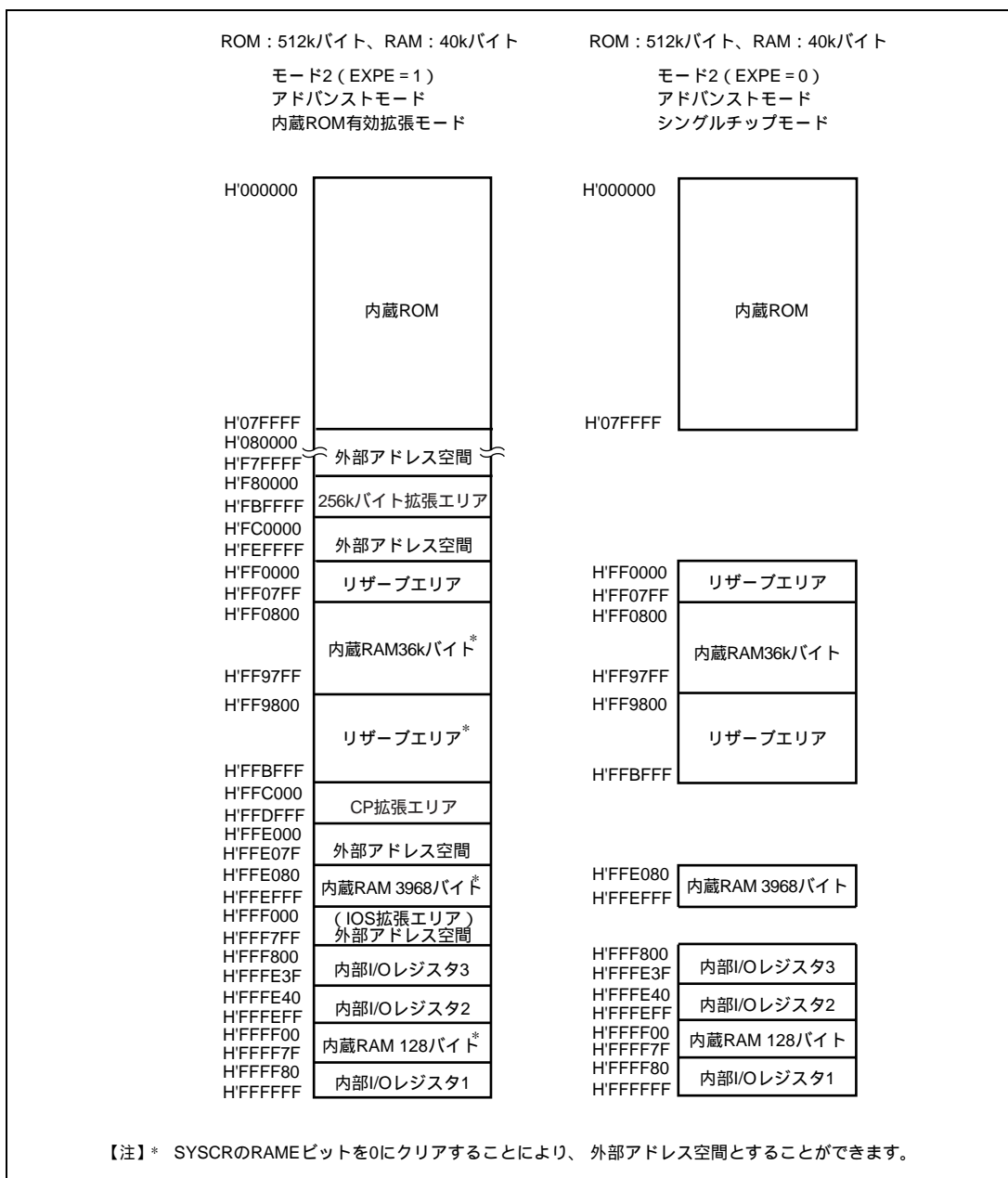


図 3.1 アドレスマップ

4. 例外処理

4.1 例外処理の種類と優先度

例外処理要因には表 4.1 に示すようにリセット、割り込み、不当命令、およびトラップ命令があります。これらの例外処理要因には表 4.1 に示すように優先順位が設けられており、複数の例外処理が同時に発生した場合は、この優先度に従って受け付けられ処理されます。

表 4.1 例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
高 ↑ 低	リセット	RES 端子の Low レベルから High レベルへの遷移時、またはウォッチドッグタイマのオーバーフローにより開始します。
	不当命令	未定義コードが実行されると開始します。
	割り込み	割り込み要求が発生すると、命令または例外処理の実行終了時に開始します。ただし、ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。
	トラップ命令	トラップ (TRAPA) 命令の実行により開始します。 トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

4.2 例外処理要因とベクタテーブル

例外処理要因には、それぞれ異なるベクタアドレスが割り当てられています。例外処理要因とベクタアドレスとの対応を表 4.2 に示します。

表 4.2 例外処理ベクタテーブル

例外処理要因	ベクタ番号	ベクタアドレス
		アドバンストモード
リセット	0	H'000000 ~ H'000003
システム予約	1	H'000004 ~ H'000007
	3	H'00000C ~ H'00000F
不当命令	4	H'000010 ~ H'000013
システム予約	5	H'000014 ~ H'000017
	6	H'000018 ~ H'00001B
外部割り込み NMI	7	H'00001C ~ H'00001F

4. 例外処理

例外処理要因	ベクタ番号	ベクタアドレス
		アドバンストモード
トラップ命令 (4 要因)	8	H'000020 ~ H'000023
	9	H'000024 ~ H'000027
	10	H'000028 ~ H'00002B
	11	H'00002C ~ H'00002F
システム予約	12	H'000030 ~ H'000033
	15	H'00003C ~ H'00003F
外部割り込み IRQ0	16	H'000040 ~ H'000043
外部割り込み IRQ1	17	H'000044 ~ H'000047
外部割り込み IRQ2	18	H'000048 ~ H'00004B
外部割り込み IRQ3	19	H'00004C ~ H'00004F
外部割り込み IRQ4	20	H'000050 ~ H'000053
外部割り込み IRQ5	21	H'000054 ~ H'000057
外部割り込み IRQ6	22	H'000058 ~ H'00005B
外部割り込み IRQ7	23	H'00005C ~ H'00005F
内部割り込み*	24	H'000060 ~ H'000063
	29	H'000074 ~ H'000077
システム予約	30	H'000078 ~ H'00007B
	33	H'000084 ~ H'000087
内部割り込み*	34	H'000088 ~ H'00008B
	55	H'0000DC ~ H'0000DF
外部割り込みIRQ8	56	H'0000E0 ~ H'0000E3
外部割り込みIRQ9	57	H'0000E4 ~ H'0000E7
外部割り込みIRQ10	58	H'0000E8 ~ H'0000EB
外部割り込みIRQ11	59	H'0000EC ~ H'0000EF
外部割り込みIRQ12	60	H'0000F0 ~ H'0000F3
外部割り込みIRQ13	61	H'0000F4 ~ H'0000F7
外部割り込みIRQ14	62	H'0000F8 ~ H'0000FB
外部割り込みIRQ15	63	H'0000FC ~ H'0000FF
内部割り込み*	64	H'000100 ~ H'000103
	107	H'0001AC ~ H'0001AF

【注】 * 内部割り込みのベクタテーブルは「5.5 割り込み例外処理ベクタテーブル」を参照してください。

4.3 リセット

リセットは、最も優先順位の高い例外処理です。 $\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて打ち切られ、本 LSI はリセット状態になります。本 LSI を確実にリセットするため、電源投入時は最低 20ms の間、 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。また、動作中は $\overline{\text{RES}}$ 端子を最低 20 ステートの間、Low レベルに保持してください。リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。またウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「第 12 章 ウォッチドッグタイマ (WDT)」を参照してください。

4.3.1 リセット例外処理

$\overline{\text{RES}}$ 端子が一定期間 Low レベルの後 High レベルになると、リセット例外処理を開始し、本 LSI は次のように動作します。

1. CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化され、CCR の I ビットが 1 にセットされます。
2. リセット例外処理ベクタアドレスをリードして PC に転送した後、PC で示されるアドレスからプログラムの実行を開始します。

リセットシーケンスの例を図 4.1 に示します。

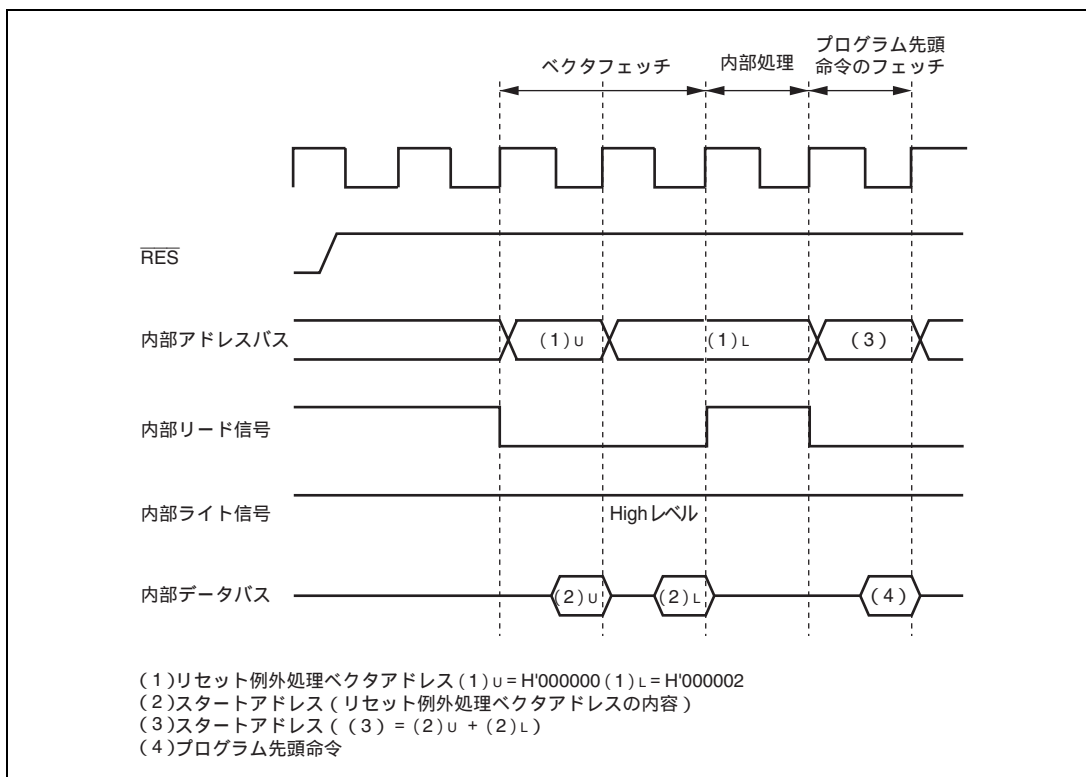


図 4.1 リセットシーケンス

4. 例外処理

4.3.2 リセット直後の割り込み

リセット直後、スタックポインタ (SP) を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われなため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP を初期化する命令としてください (例: MOV.L #xx: 32, SP)。

4.3.3 リセット解除後の内蔵周辺機能

リセット解除後は、モジュールストップコントロールレジスタ (MSTPCR、MSTPCRA、SUBMSTPB、SUBMSTPA) は初期化され、DTC を除くすべてのモジュールがモジュールストップモードになっています。そのため、各内蔵周辺モジュールのレジスタは、リード/ライトできません。モジュールストップモードを解除することにより、レジスタのリード/ライトが可能となります。

4.4 割り込み例外処理

割り込みは割り込みコントローラによって制御されます。割り込み例外処理を開始させる要因には、外部割り込み要因 (NMI、IRQ15 ~ IRQ0) と、内蔵周辺モジュールからの内部割り込み要因があります。NMI は最も優先順位の高い割り込みです。割り込みについての詳細は「第 5 章 割り込みコントローラ」を参照してください。

割り込み例外処理は、次のように動作します。

1. プログラムカウンタ (PC) とコンディションコードレジスタ (CCR) の内容をスタックに退避します。
2. 割り込み要因に対応するベクタアドレスを生成し、ベクタテーブルからスタートアドレスを PC にロードしてその番地からプログラムの実行を開始します。

4.5 トラップ命令例外処理

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。トラップ命令例外処理はプログラム実行状態で常に実行可能です。

トラップ命令例外処理は、次のように動作します。

1. プログラムカウンタ (PC) とコンディションコードレジスタ (CCR) の内容をスタックに退避します。
2. 割り込み要因に対応するベクタアドレスを生成し、ベクタテーブルからスタートアドレスをPCにロードしてその番地からプログラムの実行を開始します。

TRAPA 命令は、命令コード中で指定した 0~3 のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

表 4.3 にトラップ命令例外処理実行後の CCR の状態を示します。

表 4.3 トラップ命令例外処理後の CCR の状態

割り込み制御モード	CCR	
	I	UI
0	1 にセット	実行前の値を保持
1	1 にセット	1 にセット

4.6 例外処理後のスタックの状態

トラップ命令例外処理および割り込み例外処理後のスタックの状態を図 4.2 に示します。

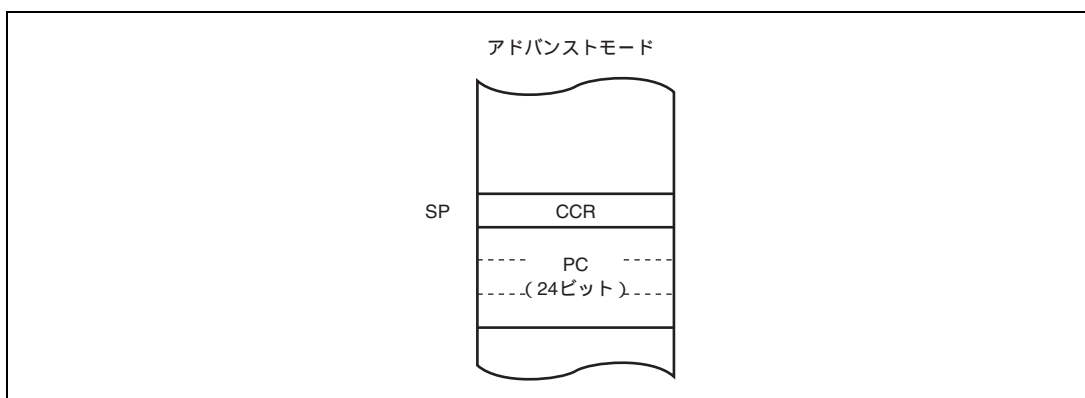


図 4.2 例外処理終了後のスタックの状態

4.7 使用上の注意事項

ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは0とみなされます。スタック領域に対するアクセスは常にワードサイズまたはロングワードサイズで行い、スタックポインタ (SP : ER7) の内容は奇数にしないでください。

すなわち、レジスタの退避は

```
PUSH.W Rn (MOV.W Rn, @-SP)
```

```
PUSH.L ERn (MOV.L ERn, @-SP)
```

また、レジスタの復帰は

```
POP.W Rn (MOV.W @SP+, Rn)
```

```
POP.L ERn (MOV.L @SP+, ERn)
```

を使用してください。

SP を奇数に設定すると誤動作の原因となります。SP を奇数に設定したとき作例を図 4.3 に示します。

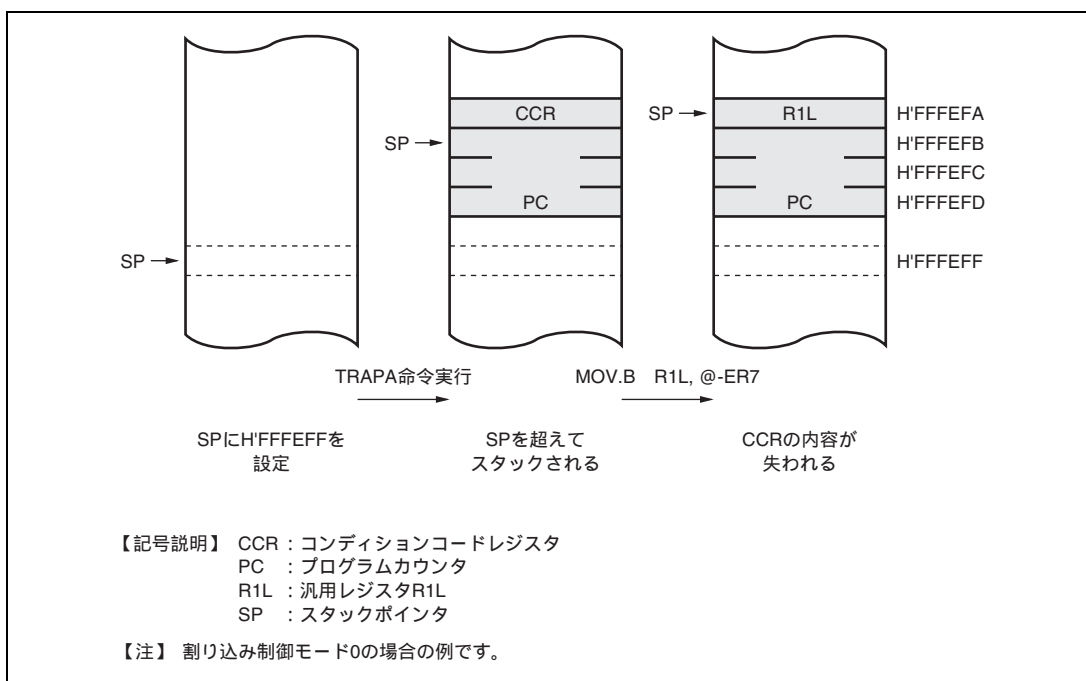


図 4.3 SP を奇数に設定したときの動作

5. 割り込みコントローラ

5.1 特長

- 2種類の割り込み制御モード
システムコントロールレジスタ (SYSCR) のINTM1、INTM0ビットにより2種類の割り込み制御モードを設定できます。
- ICRにより、優先順位を設定可能
インタラプトコントロールレジスタ (ICR) により、NMI以外の割り込み要求にはモジュールごとに優先順位を設定できます。
- 3レベルの割り込みマスク制御
割り込み制御モード、CCRのI、UIビット、およびICRにより3レベルの割り込みマスク制御を行うことができます。
- 独立したベクタアドレス
すべての割り込み要因には独立したベクタアドレスが割り当てられており、割り込み処理ルーチンで要因を判別する必要がありません。
- 33本の外部割り込み端子
NMIは最優先の割り込みで常に受け付けられます。NMIは立ち上がりエッジまたは立ち下がりエッジを選択できます。 $\overline{\text{IRQ}}_n$ 、 $\overline{\text{ExIRQ}}_n$ ($n=15 \sim 0$) は立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかをそれぞれ独立に選択できます。
- DTCの制御
割り込み要求によりDTCを起動することができます。

5. 割り込みコントローラ

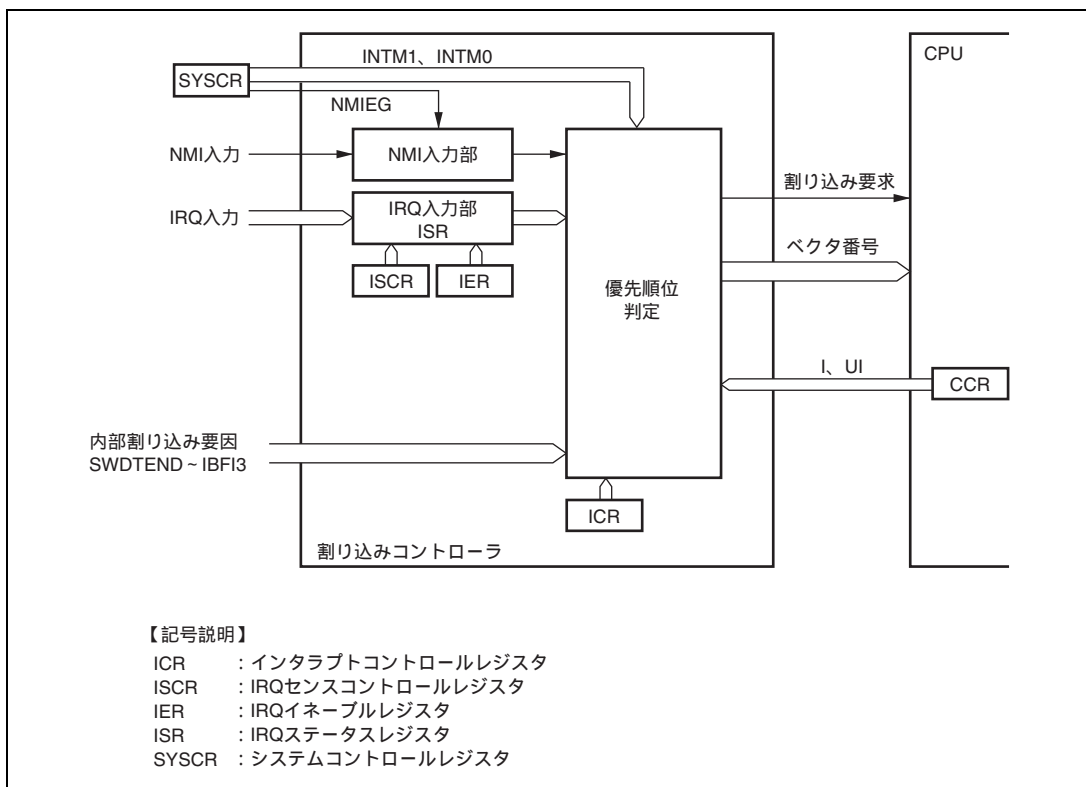


図 5.1 割り込みコントローラのブロック図

5.2 入出力端子

割り込みコントローラの端子構成を表 5.1 に示します。

表 5.1 端子構成

記号	入出力	機能
NMI	入力	ノンマスク可能外部割り込み端子 立ち上がりエッジまたは立ち下がりエッジを選択可能です。
$\overline{\text{IRQ}}_{15} \sim \overline{\text{IRQ}}_0$ $\text{ExIRQ}_{15} \sim \text{ExIRQ}_0$	入力	マスク可能な外部割り込み端子 立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかを独立に選択可能です。 $\overline{\text{IRQ}}_n$ ($n=15 \sim 0$) 割り込みは、 $\overline{\text{IRQ}}_n$ または ExIRQ_n のどの端子から入力するかを選択できます。

5.3 レジスタの説明

割り込みコントローラには以下のレジスタがあります。システムコントロールレジスタ (SYSCR) については「3.2.2 システムコントロールレジスタ (SYSCR)」を、IRQ センサポートセレクトレジスタ (ISSR16、ISSR) については「8.16.1 IRQ センサポートセレクトレジスタ 16 (ISSR16)、IRQ センサポートセレクトレジスタ (ISSR)」を参照してください。

- インタラプトコントロールレジスタ A~D (ICRA ~ ICRD)
- アドレスブレイクコントロールレジスタ (ABRKCR)
- ブレークアドレスレジスタ A~C (BARA ~ BARC)
- IRQ センサポートコントロールレジスタ (ISCR16H、ISCR16L、ISCRH、ISCRL)
- IRQ イネーブルレジスタ (IER16、IER)
- IRQ ステータスレジスタ (ISR16、ISR)

5.3.1 インタラプトコントロールレジスタ A ~ D (ICRA ~ ICRD)

ICR は、NMI を除く割り込みのコントロールレベルを設定します。各割り込み要因と ICRA ~ ICRD の対応を表 5.2 に示します。

ビット	ビット名	初期値	R/W	説明
7~0	ICRn7 ~ ICRn0	すべて 0	R/W	割り込みコントロールレベル 0 : 対応する割り込み要因は割り込みコントロールレベル 0 (非優先) 1 : 対応する割り込み要因は割り込みコントロールレベル 1 (優先)

【注】 n : A~D

表 5.2 各割り込み要因と ICR の対応

ビット	ビット名	レジスタ			
		ICRA	ICRB	ICRC	ICRD
7	ICRn7	IRQ0	A/D 変換器	SCI_3	IRQ8 ~ IRQ11
6	ICRn6	IRQ1	FRT	SCI_1	IRQ12 ~ IRQ15
5	ICRn5	IRQ2、IRQ3	-	-	-
4	ICRn4	IRQ4、IRQ5	TMR_X	IIC_0	-
3	ICRn3	IRQ6、IRQ7	TMR_0	IIC_1	-
2	ICRn2	DTC	TMR_1	IIC_2、IIC_3	-
1	ICRn1	WDT_0	TMR_Y	LPC	SCIF
0	ICRn0	WDT_1	IIC_4、IIC_5	-	-

【注】 n : A~D

- : リザーブビットです。0 をライトしてください。

5. 割り込みコントローラ

5.3.2 アドレスブ레이크コントロールレジスタ (ABRKCR)

ABRKCR は、アドレスブ레이크の制御を行います。CMF フラグ、BIE フラグがいずれも 1 にセットされるとアドレスブ레이크が要求されます。

ビット	ビット名	初期値	R/W	説明
7	CMF	不定	R	コンディションマッチフラグ アドレスブ레이크要因フラグです。BARA ~ BARC で設定したアドレスをプリフェッチしたことを示します。 [クリア条件] アドレスブ레이크割り込みを例外処理を実行したとき [セット条件] BIE フラグが 1 のとき、BARA ~ BARC で設定したアドレスのプリフェッチを実行したとき
6~1	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
0	BIE	0	R/W	ブ레이크割り込みイネーブル アドレスブ레이크の許可 / 禁止を選択します。 0 : 禁止 1 : 許可

5.3.3 ブ레이크アドレスレジスタ A~C (BARA~BARC)

BAR は、ブ레이크アドレスを発生させるアドレスを指定します。ブ레이크アドレスは、命令の第 1 バイトが存在するアドレスに設定してください。

• BARA

ビット	ビット名	初期値	R/W	説明
7~0	A23~A16	すべて 0	R/W	アドレス 23~16 A23~A16 ビットは、内部アドレスバスの A23~A16 と比較されます。

• BARB

ビット	ビット名	初期値	R/W	説明
7~0	A15~A8	すべて 0	R/W	アドレス 15~8 A15~A8 ビットは、内部アドレスバスの A15~A8 と比較されます。

• BARC

ビット	ビット名	初期値	R/W	説明
7~1	A7~A1	すべて 0	R/W	アドレス 7~1 A7~A1 ビットは、内部アドレスバスの A7~A1 と比較されます。
0	-	0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。

5.3.4 IRQ センスコントロールレジスタ (ISCR16H、ISCR16L、ISCRH、ISCRL)

ISCR は、 $\overline{\text{IRQ15}}$ ~ $\overline{\text{IRQ0}}$ 端子または $\overline{\text{ExIRQ15}}$ ~ $\overline{\text{ExIRQ0}}$ 端子から割り込み要求を発生させる要因を選択します。

• ISCR16H

ビット	ビット名	初期値	R/W	説明
7	IRQ15SCB	0	R/W	IRQn センスコントロール B IRQn センスコントロール A 00 : $\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生 (n = 15 ~ 12)
6	IRQ15SCA	0	R/W	
5	IRQ14SCB	0	R/W	
4	IRQ14SCA	0	R/W	
3	IRQ13SCB	0	R/W	
2	IRQ13SCA	0	R/W	
1	IRQ12SCB	0	R/W	
0	IRQ12SCA	0	R/W	

• ISCR16L

ビット	ビット名	初期値	R/W	説明
7	IRQ11SCB	0	R/W	IRQn センスコントロール B IRQn センスコントロール A 00 : $\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生 (n = 11 ~ 8)
6	IRQ11SCA	0	R/W	
5	IRQ10SCB	0	R/W	
4	IRQ10SCA	0	R/W	
3	IRQ9SCB	0	R/W	
2	IRQ9SCA	0	R/W	
1	IRQ8SCB	0	R/W	
0	IRQ8SCA	0	R/W	

• ISCRH

ビット	ビット名	初期値	R/W	説明
7	IRQ7SCB	0	R/W	IRQn センスコントロール B IRQn センスコントロール A 00 : $\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生 (n = 7 ~ 4)
6	IRQ7SCA	0	R/W	
5	IRQ6SCB	0	R/W	
4	IRQ6SCA	0	R/W	
3	IRQ5SCB	0	R/W	
2	IRQ5SCA	0	R/W	
1	IRQ4SCB	0	R/W	
0	IRQ4SCA	0	R/W	

5. 割り込みコントローラ

• ISCR_L

ビット	ビット名	初期値	R/W	説明
7	IRQ3SCB	0	R/W	IRQn センスコントロール B IRQn センスコントロール A 00 : $\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生 (n=3~0)
6	IRQ3SCA	0	R/W	
5	IRQ2SCB	0	R/W	
4	IRQ2SCA	0	R/W	
3	IRQ1SCB	0	R/W	
2	IRQ1SCA	0	R/W	
1	IRQ0SCB	0	R/W	
0	IRQ0SCA	0	R/W	

5.3.5 IRQ イネーブルレジスタ (IER16、IER)

IER は、IRQ15 ~ IRQ0 割り込み要求をイネーブルにします。

• IER16

ビット	ビット名	初期値	R/W	説明
7	IRQ15E	0	R/W	IRQn イネーブル (n=15~8) このビットが 1 のとき IRQn 割り込み要求がイネーブルになります。
6	IRQ14E	0	R/W	
5	IRQ13E	0	R/W	
4	IRQ12E	0	R/W	
3	IRQ11E	0	R/W	
2	IRQ10E	0	R/W	
1	IRQ9E	0	R/W	
0	IRQ8E	0	R/W	

• IER

ビット	ビット名	初期値	R/W	説明
7	IRQ7E	0	R/W	IRQn イネーブル (n=7~0) このビットが 1 のとき IRQn 割り込み要求がイネーブルになります。
6	IRQ6E	0	R/W	
5	IRQ5E	0	R/W	
4	IRQ4E	0	R/W	
3	IRQ3E	0	R/W	
2	IRQ2E	0	R/W	
1	IRQ1E	0	R/W	
0	IRQ0E	0	R/W	

5.3.6 IRQ ステータスレジスタ (ISR16、ISR)

ISR は、IRQ15 ~ IRQ0 割り込み要求フラグレジスタです。

• ISR16

ビット	ビット名	初期値	R/W	説明
7	IRQ15F	0	R/W	[セット条件]
6	IRQ14F	0	R/W	• ISCR16 で選択した割り込み要因が発生したとき
5	IRQ13F	0	R/W	[クリア条件]
4	IRQ12F	0	R/W	• 1 の状態をリードした後、0 をライトしたとき
3	IRQ11F	0	R/W	• Low レベル検出設定の状態かつ $\overline{\text{IRQn}}$ または ExIRQn 入力が High レベルの状態、割り込み例外処理を実行したとき
2	IRQ10F	0	R/W	• 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時の状態で IRQn 割り込み例外処理を実行したとき
1	IRQ9F	0	R/W	
0	IRQ8F	0	R/W	
(n = 15 ~ 8)				

• ISR

ビット	ビット名	初期値	R/W	説明
7	IRQ7F	0	R/W	[セット条件]
6	IRQ6F	0	R/W	• ISCR で選択した割り込み要因が発生したとき
5	IRQ5F	0	R/W	[クリア条件]
4	IRQ4F	0	R/W	• 1 の状態をリードした後、0 をライトしたとき
3	IRQ3F	0	R/W	• Low レベル検出設定の状態かつ $\overline{\text{IRQn}}$ または ExIRQn 入力が High レベルの状態、割り込み例外処理を実行したとき
2	IRQ2F	0	R/W	• 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時の状態で IRQn 割り込み例外処理を実行したとき
1	IRQ1F	0	R/W	
0	IRQ0F	0	R/W	
(n = 7 ~ 0)				

5. 割り込みコントローラ

5.4 割り込み要因

5.4.1 外部割り込み要因

外部割り込みには、NMI、IRQ15～IRQ0の割り込み要因があります。これらは、すべてソフトウェアスタンバイモードからの復帰に使用できます。

(1) NMI 割り込み

ノンマスクابل割り込み要求 NMI は最優先の外部割り込み要求で、割り込み制御モードや CPU の割り込みマスクビットの状態にかかわらず常に受け付けられます。NMI 端子の立ち上がりエッジと立ち下がりエッジのいずれで割り込み要求を発生させるか、SYSCR の NMIEG ビットで選択できます。

(2) IRQ15～IRQ0 割り込み

IRQ15～IRQ0 割り込みは $\overline{\text{IRQ15}} \sim \overline{\text{IRQ0}}$ 端子または $\overline{\text{ExIRQ15}} \sim \overline{\text{ExIRQ0}}$ 端子の入力信号により割り込み要求を発生します。IRQ15～IRQ0 割り込みには以下の特長があります。

- IRQ15～IRQ0 割り込み要求により、独立のベクタアドレスで割り込み例外処理を開始できます。
- $\overline{\text{IRQ15}} \sim \overline{\text{IRQ0}}$ 端子または $\overline{\text{ExIRQ15}} \sim \overline{\text{ExIRQ0}}$ 端子の Low レベル、立ち下がりエッジ、立ち上がりエッジおよび両エッジのいずれで割り込み要求を発生させるか、ISCR で選択できます。
- IRQ15～IRQ0 割り込み要求は IER によりマスクできます。
- IRQ15～IRQ0 割り込み要求のステータスは、ISR に表示されます。ISR のフラグはソフトウェアで 0 にクリアすることができます。

IRQ15～IRQ0 割り込みの検出は、当該の端子が入力に設定されているか、出力に設定されているかに依存しません。したがって、外部割り込み入力端子として使用する場合には、対応するポートの DDR を 0 にクリアしてそのほかの機能の入出力端子としては使用しないでください。

IRQ15～IRQ0 割り込みのブロック図を図 5.2 に示します。

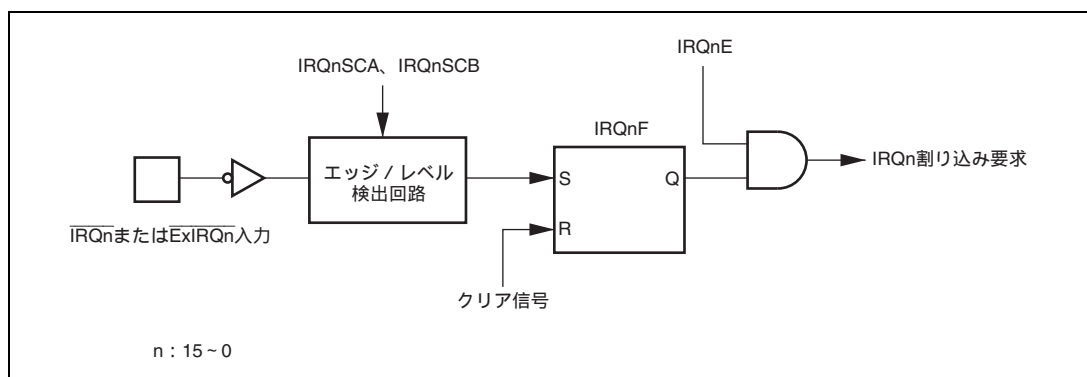


図 5.2 IRQ15～IRQ0 割り込みのブロック図

5.4.2 内部割り込み要因

内蔵周辺モジュールからの内部割り込み要因には以下の特長があります。

1. 各内蔵周辺モジュールには、割り込み要求のステータスを表示するフラグと、これらの割り込みイネーブルビットがあり、独立にマスクすることができます。イネーブルビットが1のとき割り込み要求が割り込みコントローラに送られます。
2. ICRによって割り込みのコントロールレベルを設定できます。
3. 内蔵周辺モジュールからの割り込み要求によってDTCを起動することができます。
4. 割り込み要求によってDTCを起動する場合は、割り込みモードや、CPUの割り込みマスクビットの影響を受けません。

5. 割り込みコントローラ

5.5 割り込み例外処理ベクタテーブル

表 5.3 に割り込み例外処理要因とベクタアドレスおよび割り込み優先順位の一覧を示します。デフォルトの優先順位はベクタ番号の小さいものほど高くなっています。同一優先順位に設定されたモジュールはデフォルトの優先順位に従います。モジュール内の優先順位は固定されています。

ICR のビットが割り当てられているモジュールは、割り込みコントロールレベルを設定することができます。割り込みコントロールレベルと CCR の I、UI ビットにより、コントロールレベル 1 (優先) に設定したモジュールの割り込みは、コントロールレベル 0 (非優先) に設定したモジュールの割り込みより優先して処理できます。

表 5.3 割り込み要因とベクタアドレスおよび割り込み優先順位一覧

割り込み要因 発生元	名 称	ベクタ番 号	ベクタアドレス	ICR	優先 順位
			アドバンストモード		
外部端子	NMI	7	H'00001C	-	↑ 高
	IRQ0	16	H'000040	ICRA7	
	IRQ1	17	H'000044	ICRA6	
	IRQ2	18	H'000048	ICRA5	
	IRQ3	19	H'00004C		
	IRQ4	20	H'000050	ICRA4	
	IRQ5	21	H'000054		
	IRQ6 IRQ7	22 23	H'000058 H'00005C	ICRA3	
DTC	SWDTEND (ソフトウェア起動データ転送終了)	24	H'000060	ICRA2	↓ 低
WDT_0	WOVI0 (インターバルタイマ)	25	H'000064	ICRA1	
WDT_1	WOVI1 (インターバルタイマ)	26	H'000068	ICRA0	
-	アドレスブ레이크	27	H'00006C	-	
A/D 変換器	ADI (A/D 変換終了)	28	H'000070	ICRB7	
EVC	EVENTI	29	H'000074	-	
TMR_X	CMIAX (コンペアマッチ A)	44	H'0000B0	ICRB4	
	CMIBX (コンペアマッチ B)	45	H'0000B4		
	OVIX (オーバフロー)	46	H'0000B8		
FRT	OCIA (アウトプットコンペア A)	52	H'0000D0	ICRB6	
	OCIB (アウトプットコンペア B)	53	H'0000D4		
	FOVI (オーバフロー)	54	H'0000D8		

5. 割り込みコントローラ

割り込み要因 発生元	名 称	ベクタ番 号	ベクタアドレス	ICR	優先 順位	
			アドバンストモード			
外部端子	IRQ8	56	H'0000E0	ICRD7	↑ 高	
	IRQ9	57	H'0000E4			
	IRQ10	58	H'0000E8			
	IRQ11	59	H'0000EC			
	IRQ12	60	H'0000F0	ICRD6		
		IRQ13	61			H'0000F4
		IRQ14	62			H'0000F8
		IRQ15	63			H'0000FC
TMR_0	CMIA0 (コンペアマッチ A)	64	H'000100	ICRB3		
	CMIB0 (コンペアマッチ B)	65	H'000104			
	OVI0 (オーバフロー)	66	H'000108			
TMR_1	CMIA1 (コンペアマッチ A)	68	H'000110	ICRB2		
	CMIB1 (コンペアマッチ B)	69	H'000114			
	OVI1 (オーバフロー)	70	H'000118			
TMR_Y	CMIA Y (コンペアマッチ A)	72	H'000120	ICRB1		
	CMIB Y (コンペアマッチ B)	73	H'000124			
	OVI Y (オーバフロー)	74	H'000128			
IIC_2	IIC I2	76	H'000130	ICRC2		
IIC_3	IIC I3	78	H'000138			
SCI_3	ERI3 (受信エラー3)	80	H'000140	ICRC7		
	RX I3 (受信完了3)	81	H'000144			
	TX I3 (送信データエンプティ3)	82	H'000148			
	TE I3 (送信終了3)	83	H'00014C			
SCI_1	ERI1 (受信エラー1)	84	H'000150	ICRC6		
	RX I1 (受信完了1)	85	H'000154			
	TX I1 (送信データエンプティ1)	86	H'000158			
	TE I1 (送信終了1)	87	H'00015C			
SCIF	SCIF I	92	H'000170	ICRD1		
IIC_0	IIC I0	94	H'000178	ICRC4		
IIC_1	IIC I1	98	H'000188	ICRC3		
IIC_4	IIC I4	100	H'000190	ICRB0		
		102	H'000198			
LPC	ERR I (転送エラー他)	104	H'0001A0	ICRC1		
	IBF I1 (IDR1 受信完了)	105	H'0001A4			
	IBF I2 (IDR2 受信完了)	106	H'0001A8			
	IBF I3 (IDR3 受信完了)	107	H'0001AC			
					↓ 低	

【注】 記載のないベクタ番号はシステム予約 (リザーブ) です。

5. 割り込みコントローラ

5.6 割り込み制御モードと割り込み動作

割り込みコントローラには割り込み制御モード0と割り込み制御モード1の2種類のモードがあり、割り込み制御モードによって動作が異なります。NMI 割り込みおよびアドレスブレイク割り込みは、リセット状態やハードウェアスタンバイ状態を除き常に受け付けられます。割り込み制御モードの選択はSYSCRで行います。表5.4に割り込み制御モードを示します。

表 5.4 割り込み制御モード

割り込み制御 モード	SYSCR		優先順位設 定レジスタ	割り込み マスクビット	説 明
	INTM1	INTM0			
0	0	0	ICR	I	Iビットにより割り込みマスク制御を行います。ICRにより優先順位の設定ができます。
1		1	ICR	I、UI	I、UIビットにより3レベルの割り込みマスク制御を行います。ICRにより優先順位の設定ができます。

図 5.3 に優先順位判定回路のブロック図を示します。

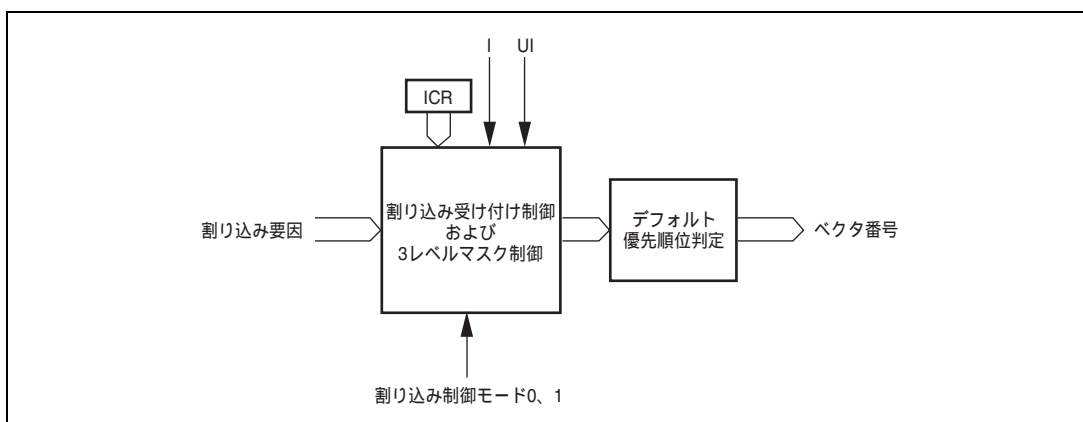


図 5.3 割り込み制御動作のブロック図

(1) 割り込み受け付け制御および3レベル制御

割り込み制御モード0、1のとき、CCRのI、UIビット、およびICR(割り込みコントロールレベル)により割り込み受け付け制御、3レベルのマスク制御を行います。

表5.5に、割り込み制御モードと選択可能な割り込みについて示します。

表5.5 割り込み制御モードと選択される割り込み

割り込み制御モード	割り込みマスクビット		選択される割り込み
	I	UI	
0	0	x	すべての割り込み(割り込みコントロールレベル1を優先)
	1	x	NMI割り込み、アドレスブレイク割り込み
1	0	x	すべての割り込み(割り込みコントロールレベル1を優先)
	1	0	NMI、アドレスブレイク割り込みおよび割り込みコントロールレベル1の割り込み
		1	NMI、アドレスブレイク割り込み

【記号説明】

x : Don't care

(2) デフォルト優先順位判定

選択された割り込みについて優先順位を判定し、ベクタ番号を生成します。

ICRに対して同じ値を設定した場合には、複数の割り込み要因の受け付けが許可されることになるため、あらかじめデフォルトで設定した優先順位に従って最も優先順位の高い割り込み要因のみを選択し、ベクタ番号を生成します。

受け付けられた割り込み要因よりも低い優先順位をもった割り込み要因は保留されます。

表5.6に割り込み制御モードと動作および制御信号機能を示します。

表5.6 割り込み制御モードと動作および制御信号機能

割り込み制御モード	設定		割り込み受け付け制御 3レベル制御			デフォルト優先順位 判定	T (トレース)
	INTM1	INTM0	I	UI	ICR		
	0	0	0	IM	-	PR	-
1		1	IM	IM	PR	-	

【記号説明】

: 割り込み動作制御を行います。

IM: 割り込みマスクビットとして使用します。

PR: 優先順位を設定します。

- : 使用しません。

5. 割り込みコントローラ

5.6.1 割り込み制御モード 0

割り込み制御モード 0 では NMI を除く割り込みは、ICR および CPU の CCR の I ビットによってマスク制御されます。割り込み受け付け動作のフローチャートを図 5.4 に示します。

1. 割り込みイネーブルビットが 1 にセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. 割り込みコントローラは、ICR に設定された割り込みコントロールレベルに従って優先度の高い割り込みコントロールレベル 1 の割り込み要求を選択し、割り込みコントロールレベル 0 の割り込み要求は保留します。このとき、複数の割り込み要求があるときは割り込みコントローラは優先順位に従って最も優先度の高い割り込み要求を選択して CPU に対して割り込み処理を要求し、その他は保留します。
3. CCR の I ビットが 1 にセットされているときは、割り込みコントローラは NMI とアドレスブレイク以外の割り込み要求を保留します。I ビットが 0 にクリアされているときは、割り込み要求を受け付けます。
EVENTI の割り込みは I ビットにより制御されます。
4. CPU は割り込み要求を受け付けると、実行中の命令の処理が終了した後、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PC と CCR がスタック領域に退避されます。PC にはリターン後に実行する最初の命令のアドレスが退避されます。
6. CCR の I ビットを 1 にセットします。これにより、NMI とアドレスブレイク割り込みを除く割り込みはマスクされます。
7. CPU は受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

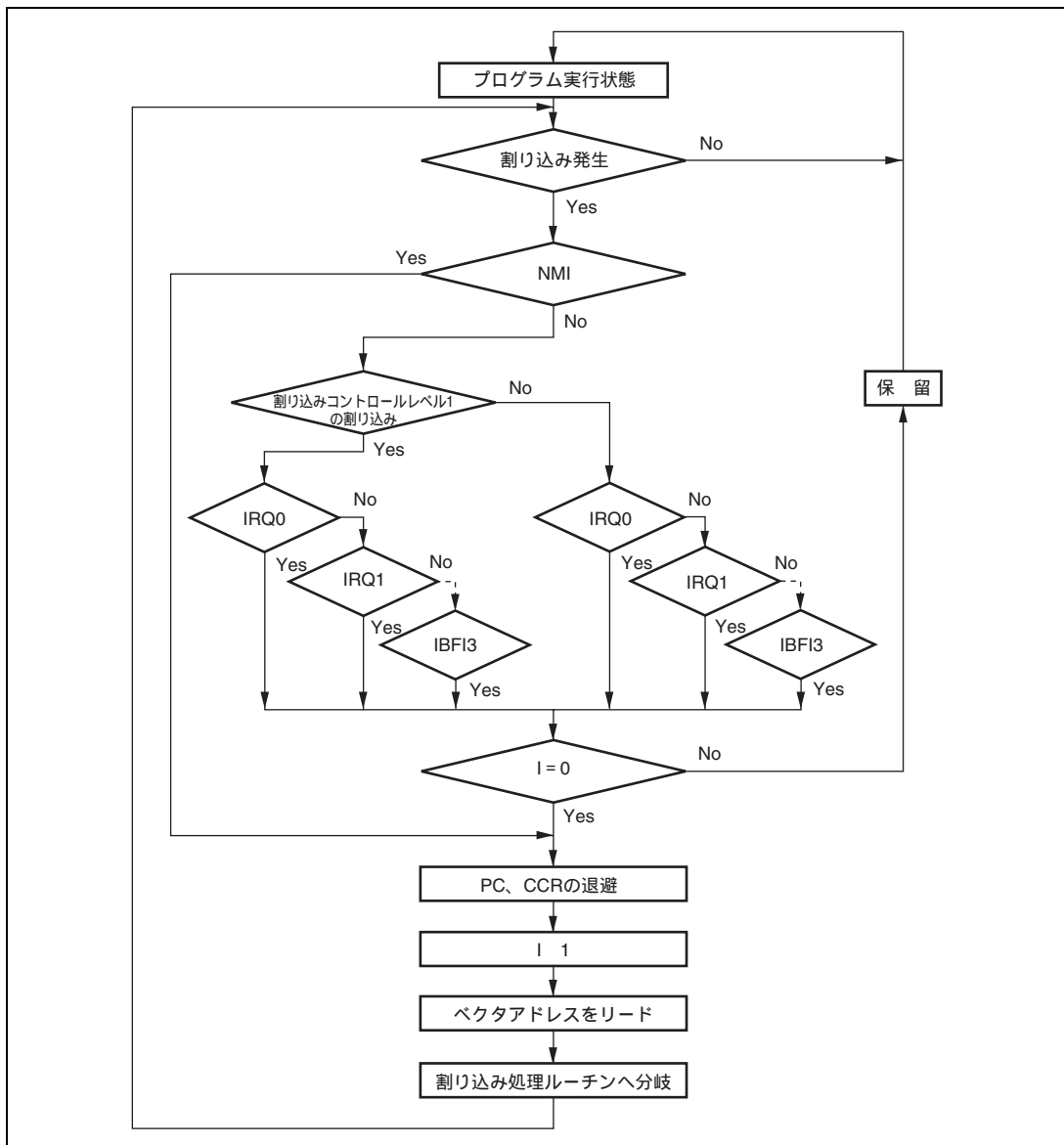


図 5.4 割り込み制御モード 0 の割り込み受け付けまでのフロー

5. 割り込みコントローラ

5.6.2 割り込み制御モード 1

割り込み制御モード 1 では IRQ、および内蔵周辺モジュールの割り込みは、CPU の CCR の I、UI ビット、および ICR によって 3 レベルのマスク制御を行います。

- 割り込みコントロールレベル0の割り込み要求は、CCRのIビットが0にクリアされているときは割り込み要求を受け付けます。Iビットが1にセットされているときは割り込み要求を保留します。
EVENTIの割り込みはIビットにより制御されます。
- 割り込みコントロールレベル1の割り込み要求は、CCRのIビット、またはUIビットが0にクリアされているときは割り込み要求を受け付けます。Iビット、およびUIビットがいずれも1にセットされているときは割り込み要求を保留します。

たとえば各割り込み要求に対応する割り込みイネーブルビットを 1 にセット、ICRA ~ ICRD をそれぞれ H'20、H'00、H'00 に設定した場合 (IRQ2、IRQ3 割り込みをコントロールレベル 1 に、その他の割り込みをコントロールレベル 0 に設定)、次のようになります。このときの状態遷移を図 5.5 に示します。

- I=0のときはすべての割り込み要求を受け付けます。
(優先順位：NMI > IRQ2 > IRQ3 > IRQ0 > IRQ1 > アドレスブレーク...)
- I=1、UI=0のときはNMI、IRQ2、IRQ3とアドレスブレークの割り込み要求のみを受け付けます。
- I=1、UI=1のときはNMIとアドレスブレークの割り込み要求のみを受け付けます。

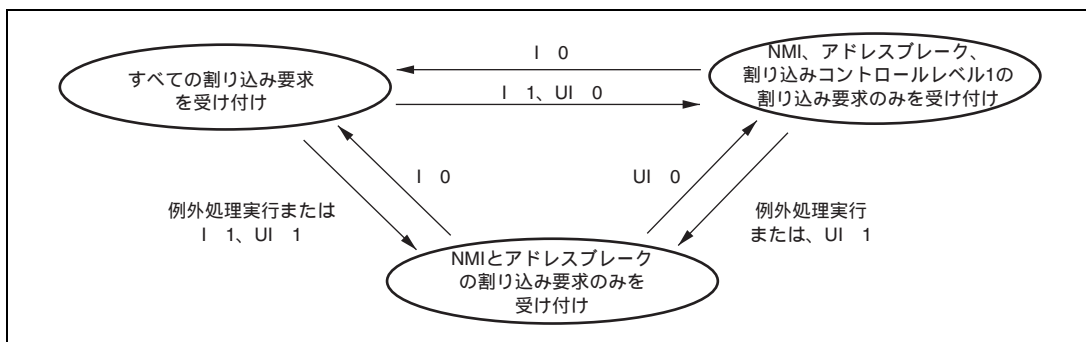


図 5.5 割り込み制御モード 1 の状態遷移

割り込み受け付けの動作フローチャートを図 5.6 に示します。

1. 割り込みイネーブルビットが1にセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. 割り込みコントローラは、ICRに設定された割り込みコントロールレベルに従って優先度の高い割り込みコントロールレベル1の割り込み要求を選択し、割り込みコントロールレベル0の割り込み要求は保留します。このとき、複数の割り込み要求があるときは割り込みコントローラは優先順位に従って最も優先度の高い割り込み要求を選択してCPUに対して割り込み処理を要求し、その他は保留します。
3. 割り込みコントロールレベル1の割り込み要求は、Iビットが0にクリアされているとき、またはIビットが1にセットされ、UIビットが0にクリアされているときに受け付けます。
割り込みコントロールレベル0の割り込み要求は、Iビットが0にクリアされているときに受け付けます。Iビットが1にセットされているときはNMIとアドレスブレイクの割り込み要求のみ受け付け、その他は保留します。
I、UIビットがいずれも1にセットされているときはNMIとアドレスブレイクの割り込み要求のみ受け付け、その他は保留します。
Iビットが0にクリアされているときは、UIビットの影響を受けません。
4. CPUは割り込み要求を受け付けると、実行中の命令の処理が終了した後、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PCとCCRがスタック領域に退避されます。PCにはリターン後に実行する最初の命令のアドレスが退避されます。
6. CCRのI、UIビットを1にセットします。これにより、NMIとアドレスブレイクを除く割り込みがマスクされます。
7. CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

5. 割り込みコントローラ

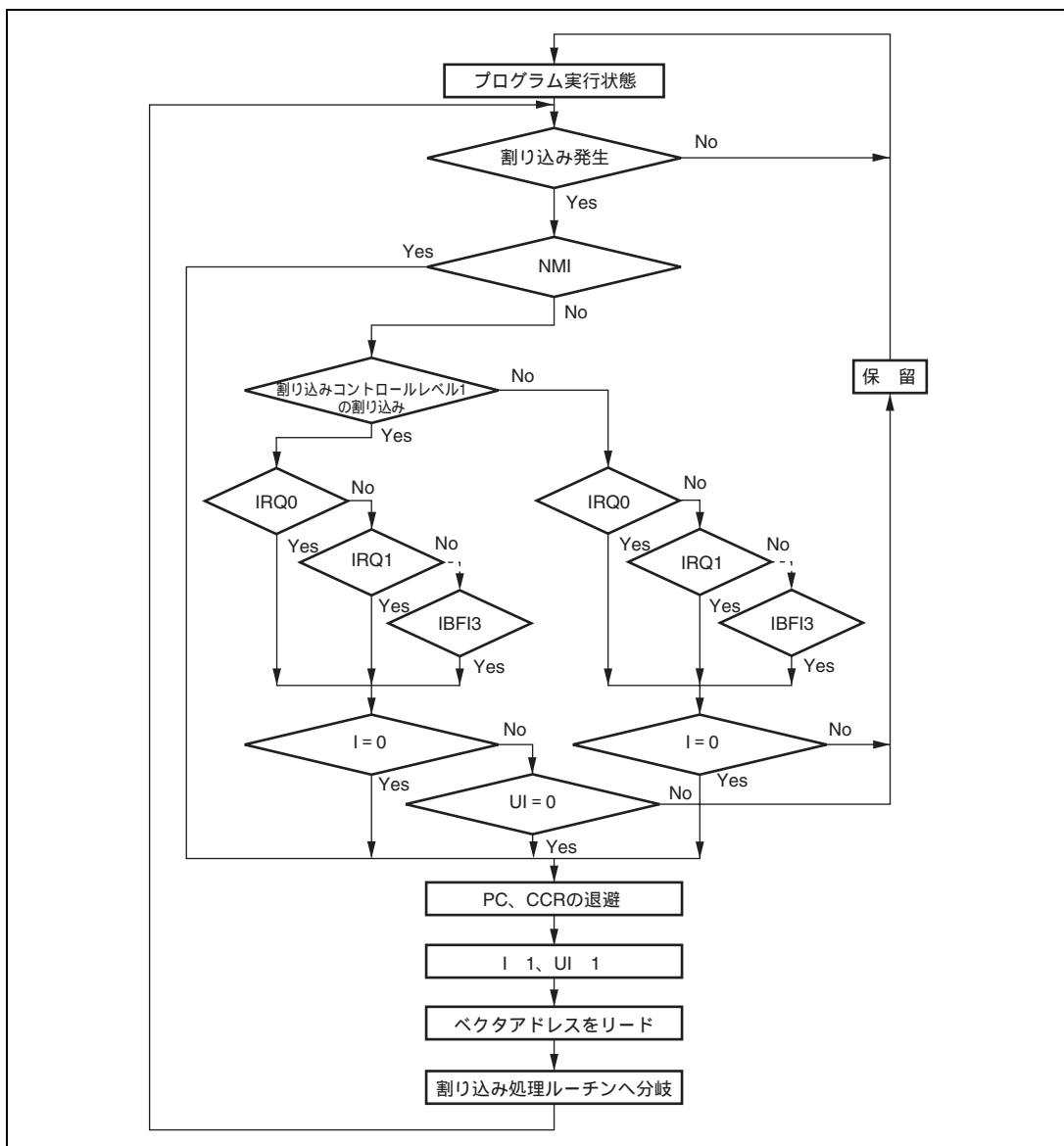


図 5.6 割り込み制御モード 1 の割り込み受け付けまでのフロー

5.6.3 割り込み例外処理シーケンス

図 5.7 に割り込み例外処理シーケンスを示します。アドバンスモードで割り込み制御モード 0、プログラム領域およびスタック領域を内蔵メモリの場合の例です。

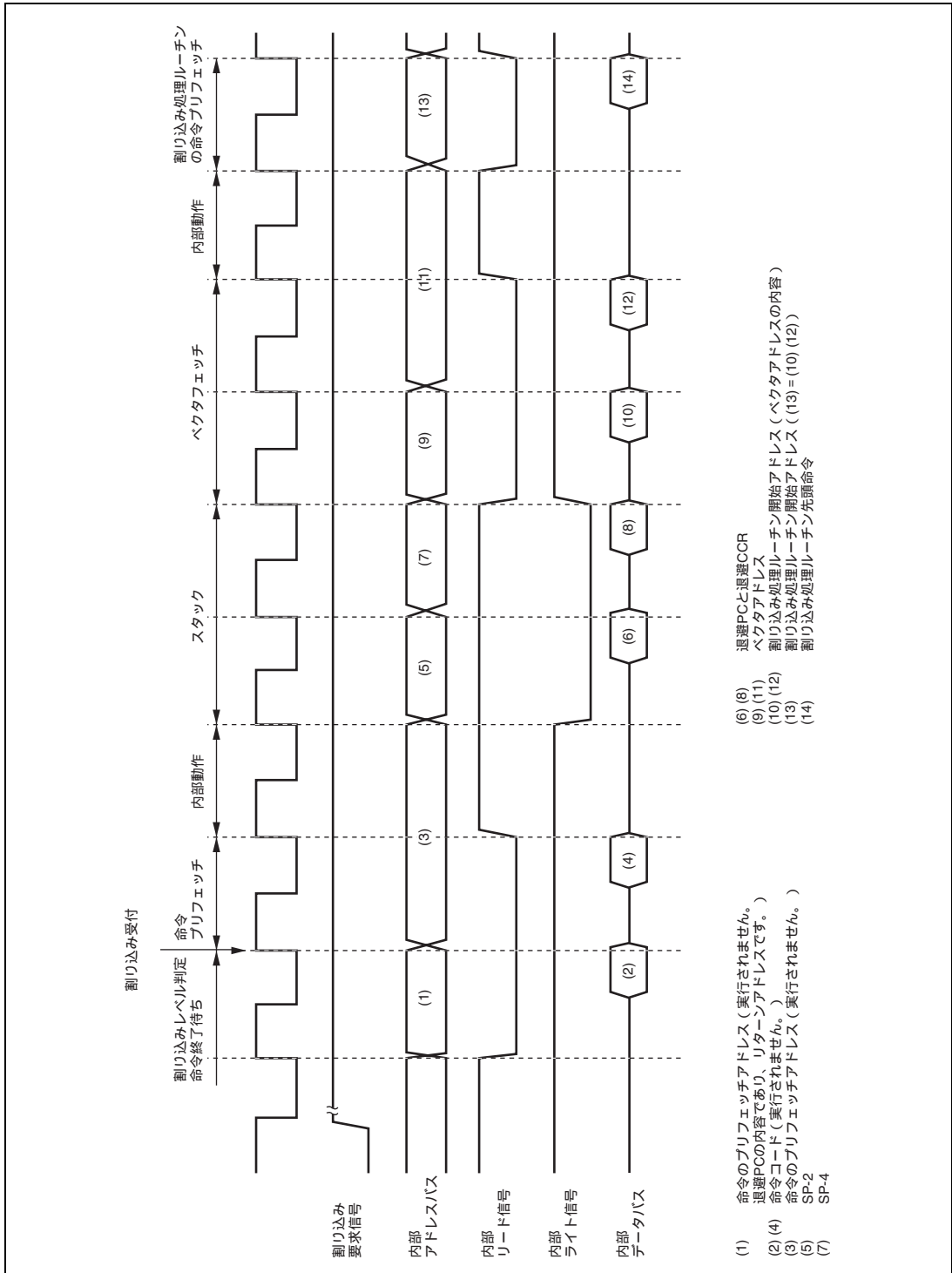


図 5.7 割り込み例外処理

5. 割り込みコントローラ

5.6.4 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理ルーチンの先頭命令が実行されるまでの割り込み応答時間を表 5.7 に示します。表 5.7 の実行状態の記号については表 5.8 を参照してください。

表 5.7 割り込み応答時間

No.	実行状態	アドバンスモード
1	割り込み優先順位判定* ¹	3
2	実行中の命令が終了するまでの待ちステート数* ²	$1 \sim (19 + 2 \cdot S_i)$
3	PC、CCR のスタック	$2 \cdot S_k$
4	ベクタフェッチ	$2 \cdot S_i$
5	命令フェッチ* ³	$2 \cdot S_i$
6	内部処理* ⁴	2
合計 (内蔵メモリ使用時)		12 ~ 32

- 【注】 *1 内部割り込みの場合 2 ステートとなります。
 *2 MULXS、DIVXS 命令について示しています。
 *3 割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチです。
 *4 割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理です。

表 5.8 割り込み例外処理の実行状態のステート数

記号	アクセス対象					
	内部メモリ	外部デバイス				
		8 ビットバス		16 ビットバス		
		2 ステート アクセス	3 ステート アクセス	2 ステート アクセス	3 ステート アクセス	
命令フェッチ	S_i	1	4	$6 + 2m$	2	$3 + m$
分岐アドレスリード	S_j					
スタック操作	S_k					

【記号説明】

m : 外部デバイスアクセス時のウェイトステート数

5.6.5 割り込みによる DTC の起動

割り込みにより、DTC を起動することができます。この場合、以下の選択を行うことができます。

1. CPUに対する割り込み要求
2. DTCに対する起動要求
3. 1.~2.の複数の選択

なお、DTC を起動できる割り込み要求については、「第 7 章 データトランスファコントローラ (DTC)」を参照してください。図 5.8 に DTC と割り込みコントローラのブロック図を示します。

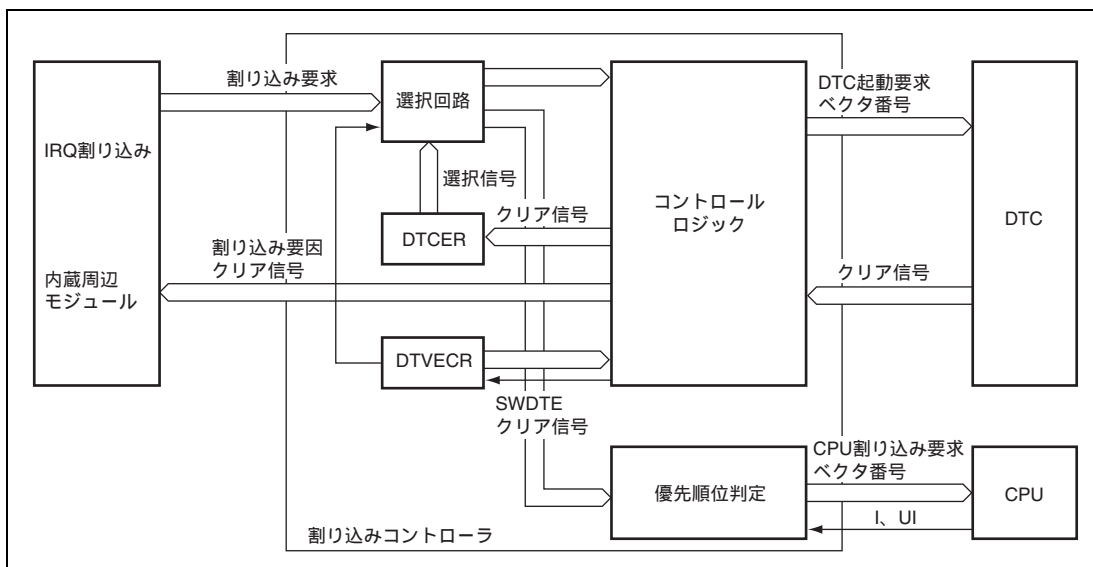


図 5.8 DTC と割り込み制御

DTC 制御の割り込みコントローラの機能は 3 つに大別されます。

(1) 割り込み要因の選択

割り込み要因は、DTCのDTCERA～DTCEREのDTCEビットにより、DTC起動要求とするか、CPU割り込み要求とするかを選択します。DTCのMRBのDISELビットの指定により、DTCのデータ転送後、DTCEビットを0にクリアして、CPUに割り込みを要求することができます。なお、DTCが所定回数のデータ転送を行い、転送カウンタが0になった場合には、DTCのデータ転送後、DTCEビットを0にクリアして、CPUに割り込みを要求します。

5. 割り込みコントローラ

(2) 優先順位判定

DTCの起動要因はデフォルトの優先順位に従って選択されます。マスクレベルやプライオリティレベルなどの影響を受けません。それぞれの優先順位は、「7.5 レジスタ情報の配置とDTCベクタテーブル」を参照してください。

(3) 動作順序

同一の割り込みをDTCの起動要因とCPUの割り込み要因に選択した場合、DTCのデータ転送が行われ、その後、CPUの割り込み例外処理が行われます。

表 5.9 に DTC の DTCERA ~ DTCERE の DTCE ビット、および DTC の MRB の DISEL ビットの設定による割り込み要因の選択と割り込み要因クリア制御を示します。

表 5.9 割り込み要因の選択とクリア制御

設定内容		割り込み要因選択・クリア制御	
DTC			
DTCE	DISEL	DTC	CPU
0	x	x	
1	0		x
	1		

【記号説明】

: 当該割り込みを使用します。割り込み要因のクリアを行います。

(CPU は割り込み処理ルーチンで、要因フラグをクリアしてください。)

: 当該割り込みを使用します。割り込み要因をクリアしません。

x : 当該割り込みは使用できません。

x : Don't care

5.7 使用上の注意事項

5.7.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットをクリアして割り込み要求をマスクする場合、割り込みのマスクはその命令実行終了後に有効になります。BCLR 命令、MOV 命令等で割り込みイネーブルビットをクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込みはイネーブル状態にあるため、命令実行終了後にその割り込み例外処理を開始します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。割り込み要因フラグを 0 にクリアする場合も同様です。TMR の TCR の CMIEA ビットを 0 にクリアする場合の例を図 5.9 に示します。なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを 0 にクリアすれば、上記の競合は発生しません。

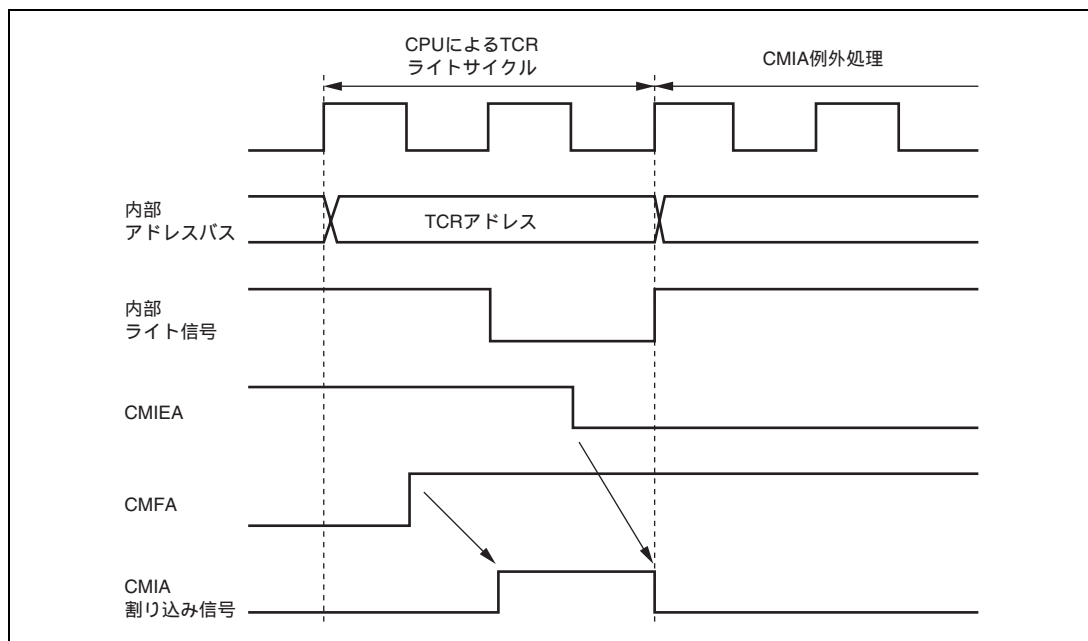


図 5.9 割り込みの発生とディスエーブルの競合

5. 割り込みコントローラ

5.7.2 割り込みを禁止している命令

実行直後に割り込み要求を受け付けない命令として、LDC、ANDC、ORC、XORC 命令があります。これらの命令実行終了後は NMI 割り込みを含めて割り込みが禁止され、必ず次の命令を実行します。これらの命令により I ビットまたは UI ビットを設定した場合、命令実行終了の 2 ステート後に新しい値が有効になります。

5.7.3 EEPMOV 命令実行中の割り込み

EEPMOV.B 命令と EEPMOV.W 命令では、割り込み動作が異なります。

EEPMOV.B 命令のときは、転送中に NMI を含めた割り込み要求があっても転送終了まで割り込みを受け付けません。

EEPMOV.W 命令のときは、転送中に割り込み要求があった場合、転送サイクルの切れ目で割り込み例外処理が開始されます。このときスタックされる PC の値は次の命令のアドレスとなります。このため、EEPMOV.W 命令実行中に割り込みが発生する場合には、以下のプログラムとしてください。

```
L1:      EEPMOV.W
        MOV.W   R4, R4
        BNE    L1
```

5.7.4 IRQ ステータスレジスタ (ISR16、ISR) について

リセット後の端子状態により $IRQnF = 1$ となっていることがあるので、リセット後に必ず ISR16、ISR をリードし、0 をライトしてください。(n = 15 ~ 0)

6. バスコントローラ (BSC)

- マルチブレックスバスインタフェース

	ウェイト挿入なし		ウェイト挿入あり	
	アドレス	データ	アドレス	データ
256kB 拡張エリア	2 ステート*	2 ステート	2 ステート*	(3+ウェイト)ステート
IOS 拡張エリア	2 ステート*	2 ステート	2 ステート*	(3+ウェイト)ステート

【注】 * WC22 ビットでウェイトが入ります。

- 基本バスインタフェース

2ステートアクセス空間 / 3ステートアクセス空間を選択可能

プログラムウェイトステートを挿入可能

- バーストROMインタフェース

ノーマル拡張時

基本拡張エリアをバーストROMインタフェースに設定可能

バーストアクセスは1または2ステートを選択可能

- アイドルサイクル挿入

ノーマル拡張時

外部リードサイクルの直後の外部ライトサイクル時、アイドルサイクルを挿入可能

- バス権調停機能 (バスアービトレーション)

バスアービタを内蔵し、CPUおよびDTCのバス権を調停

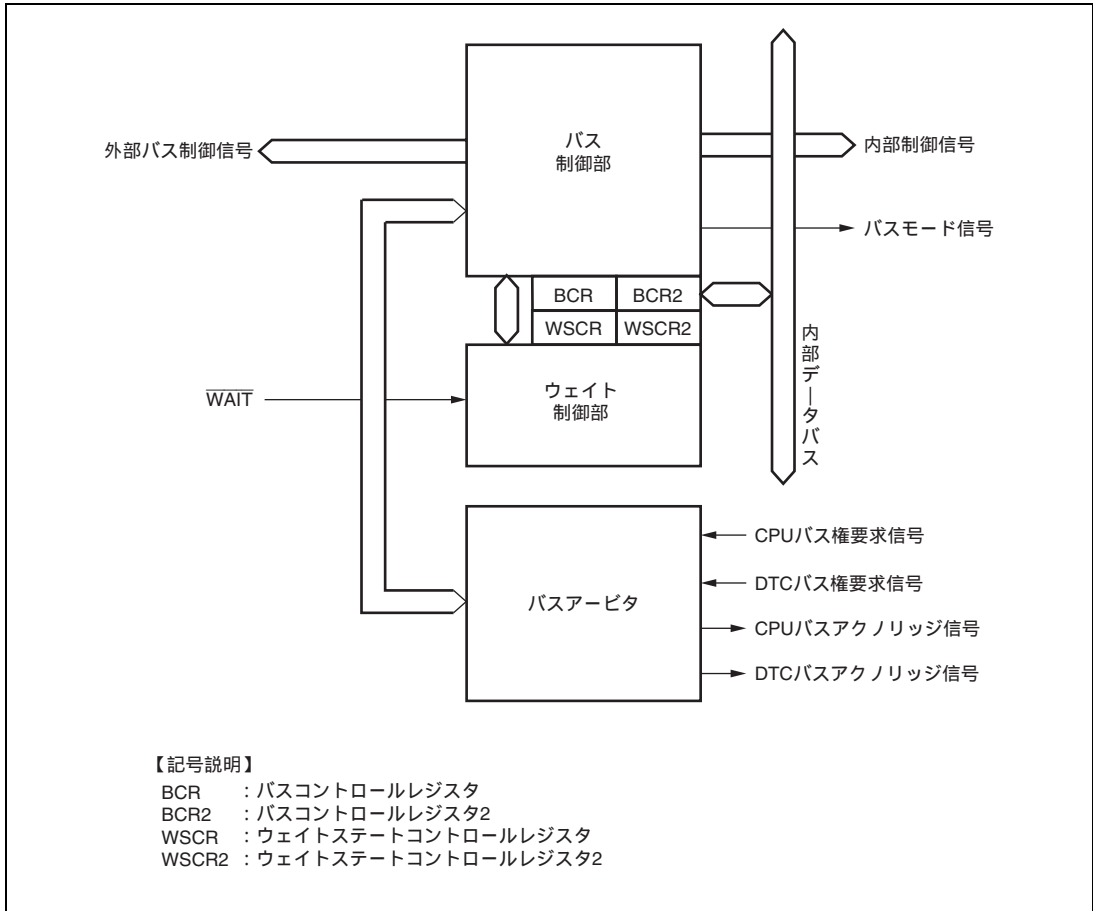


図 6.1 バスコントローラのブロック図

6. バスコントローラ (BSC)

6.2 入出力端子

BSC の端子構成を表 6.1 に示します。

表 6.1 端子構成

記号	入出力	機能
AS	出力	アドレスバス上のアドレス出力が有効であることを示すストロープ信号 (SYSCR の IOSE = 0 の場合) 256kB 拡張エリアをアクセス (SYSCR の CS256E = 1) した場合、 \overline{AS} 信号は出力されません。
IOS	出力	IOS 拡張エリアのアクセスを示すチップセレクト信号 (SYSCR の IOSE = 1 の場合)
CS256	出力	256kB 拡張エリアのアクセスを示すチップセレクト信号 (SYSCR の CS256E = 1 の場合)
RD	出力	外部アドレス空間をリードしていることを示すストロープ信号
HWR	出力	外部アドレス空間をライトし、データバスの上位 (D15 ~ D8/AD15 ~ AD8) が有効であることを示すストロープ信号
\overline{LWR}	出力	外部アドレス空間をライトし、データバスの下位 (D7 ~ D0/AD7 ~ AD0) が有効であることを示すストロープ信号
WAIT	入力	外部空間をアクセスするときのウェイト要求信号
\overline{WR}	出力	外部アドレス空間をライトしていることを示すストロープ信号
HBE	出力	外部アドレス空間をアクセスし、データバスの上位 (D15 ~ D8) が有効であることを示すストロープ信号
LBE	出力	外部アドレス空間をアクセスし、データバスの下位 (D7 ~ D0) が有効であることを示すストロープ信号
AH	出力	アドレス / データマルチプレックスバス時にアドレスの取り込みタイミングを示す信号
AD15 ~ AD0	入出力	アドレス / データマルチプレックス拡張の場合、アドレス出力およびデータ入出力端子

6.3 レジスタ構成

BSCに関連するレジスタには以下のものがあります。システムコントロールレジスタ (SYSCR) については「3.2.2 システムコントロールレジスタ (SYSCR)」を、ポートコントロールレジスタ 0 (PTCNT0) については「8.16.2 ポートコントロールレジスタ 0 (PTCNT0)」を参照してください。

- バスコントロールレジスタ (BCR)
- バスコントロールレジスタ2 (BCR2)
- ウェイトステートコントロールレジスタ (WSCR)
- ウェイトステートコントロールレジスタ2 (WSCR2)
- システムコントロールレジスタ2 (SYSCR2)

6.3.1 バスコントロールレジスタ (BCR)

BCR は、外部アドレス空間のアクセスモード、 $\overline{AS}/\overline{IOS}$ 端子を I/O ストローブ機能に設定したときの I/O 領域の範囲を設定します。

ビット	ビット名	初期値	R/W	説明
7	-	1	R/W	リザーブビット 初期値を変更しないでください。
6	ICIS	1	R/W	アイドルサイクル挿入 外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを 1 ステート挿入するか、挿入しないかを選択します。 0 : アイドルサイクルを挿入しない。 1 : アイドルサイクルを 1 ステート挿入する。
5	BRSTRM	0	R/W	ノーマル拡張の場合のみ有効 バースト ROM イネーブル 外部アドレス空間を選択します。 0 : 基本バスインタフェース 1 : バースト ROM インタフェース SYSCR の CS256E ビットが 1 にセットされているとき、256kB 拡張エリアはバースト ROM インタフェースの対象から除外されます。
4	BRSTS1	1	R/W	ノーマル拡張の場合のみ有効 バーストサイクルセレクト 1 バースト ROM インタフェースのバーストサイクル数を選択します。 0 : 1 ステート 1 : 2 ステート

6. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
3	BRSTS0	0	R/W	ノーマル拡張の場合のみ有効 バーストサイクルセレクト 0 バースト ROM インタフェースのバーストアクセス可能なワード数を選択します。 0: 最大 4 ワード 1: 最大 8 ワード
2	-	0	R/W	リザーブビット 初期値を変更しないでください。
1	IOS1	1	R/W	IOS セレクト 1、0
0	IOS0	1	R/W	\overline{IOS} 信号を出力するアドレスの範囲を指定します。表 6.15 を参照してください。

6.3.2 バスコントロールレジスタ 2 (BCR2)

BCR2 は、拡張エリアのアクセスモードを設定します。

ビット	ビット名	初期値	R/W	説明
7	-	0	R/W	リザーブビット
6	-	0	R/W	初期値を変更しないでください。
5	-	1	R/W	リザーブビット
4	-	1		初期値を変更しないでください。
3	ADFULLE	0	R/W	アドレス出力フルインエーブル 拡張エリアアクセス時、アドレス A23 ~ A21 出力を制御します。「第 8 章 I/O ポート」を参照してください。ADMXE = 1 の場合はサポートしません。
2	EXCKS	0	R/W	外部拡張クロックセレクト 外部拡張エリアアクセスの動作クロックを選択します。 0: 中速クロックで動作 1: システムクロック () で動作 外部拡張エリアアクセスの前のバスサイクル中に動作クロックは切り替わりません。
1	-	1	R/W	リザーブビット 初期値を変更しないでください。
0	-	0	R/W	リザーブビット 初期値を変更しないでください。

6.3.3 ウェイトステートコントロールレジスタ (WSCR)

WSCR は、外部アドレス空間 (基本拡張エリア、256kB 拡張エリア) のデータバス幅、外部アドレス空間のアクセスステート数、および外部アドレス空間のウェイトモードとウェイトステート数を設定します。内蔵メモリおよび内蔵 I/O レジスタのバス幅およびアクセスステート数は WSCR の設定値にかかわらず固定です。

ビット	ビット名	初期値	R/W	説明
7	ABW256	1	R/W	256kB 拡張エリアバス幅コントロール SYSCR の CS256E ビットが 1 にセットされているとき、256kB 拡張エリアのバス幅を選択します。 0 : 16 ビット 1 : 8 ビット
6	AST256	1	R/W	256kB 拡張エリアアクセスステートコントロール SYSCR の CS256E ビットが 1 にセットされているとき、256kB 拡張エリアのアクセスステート数を選択します。同時にウェイトステートの挿入を許可または禁止します。 [ADMXE = 0] ノーマル拡張 0 : 2 ステートアクセス空間、ウェイトステートの挿入を禁止 1 : 3 ステートアクセス空間、ウェイトステートの挿入を許可 [ADMXE = 1] アドレス/データマルチプレックス拡張 0 : データ 2 ステートアクセス空間、ウェイトステートの挿入を禁止 1 : データ 3 ステートアクセス空間、ウェイトステートの挿入を許可
5	ABW	1	R/W	基本拡張エリアバス幅コントロール 基本拡張エリアのバス幅を選択します。 0 : 16 ビット 1 : 8 ビット SYSCR の CS256E ビットが 1 にセットされているとき、256kB 拡張エリアのアクセスについてはこのビットの設定は無視されます。
4	AST	1	R/W	基本拡張エリアアクセスステートコントロール 基本拡張エリアのアクセスステート数を選択します。同時にウェイトステートの挿入を許可または禁止します。 [ADMXE = 0] ノーマル拡張 0 : 2 ステートアクセス空間、ウェイトステートの挿入を禁止 1 : 3 ステートアクセス空間、ウェイトステートの挿入を許可 [ADMXE = 1] アドレス/データマルチプレックス拡張 0 : データ 2 ステートアクセス空間、ウェイトステートの挿入を禁止 1 : データ 3 ステートアクセス空間、ウェイトステートの挿入を許可 SYSCR の CS256E ビットが 1 にセットされているとき、256kB 拡張エリアのアクセスについてはこのビットの設定は無視されます。

6. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
3 2	WMS1 WMS0	0 0	R/W R/W	<p>基本拡張エリアウェイトモードセレクト 1、0</p> <p>AST ビットが 1 にセットされたとき、基本拡張エリアをアクセスするときのウェイトモードを選択します。</p> <p>00：プログラムウェイトモード 01：ウェイト禁止モード 10：端子ウェイトモード 11：端子オートウェイトモード</p> <p>SYSCR の CS256E ビットが 1 にセットされているとき、256kB 拡張エリアのアクセスについてはこのビットの設定は無視されます。</p>
1 0	WC1 WC0	1 1	R/W R/W	<p>基本拡張エリアウェイトカウント 1、0</p> <p>AST ビットが 1 にセットされたとき、基本拡張エリアをアクセスするときのプログラムウェイトステート数を選択します。プログラムウェイトはデータサイクルにのみ挿入されます。</p> <p>00：プログラムウェイトを挿入しない 01：プログラムウェイトを 1 ステート挿入 10：プログラムウェイトを 2 ステート挿入 11：プログラムウェイトを 3 ステート挿入</p> <p>SYSCR の CS256E ビットが 1 にセットされているとき、256kB 拡張エリアのアクセスについてはこのビットの設定は無視されます。</p>

6.3.4 ウェイトステートコントロールレジスタ 2 (WSCR2)

WSCR2 は、256kB 拡張エリアのウェイトモードとウェイトステート数を設定します。

ビット	ビット名	初期値	R/W	説明
7	WMS10	0	R/W	256kB 拡張エリアウェイトモードセレクト 0 SYSCR の CS256E ビット、WSCR の AST256 ビットが 1 にセットされているとき、256kB 拡張エリアをアクセスするときのウェイトモードを選択します。 0 : プログラムウェイトモード 1 : ウェイト禁止モード
6	WC11	1	R/W	256kB 拡張エリアウェイトカウント 1、0 SYSCR の CS256E ビット、WSCR の AST256 ビットが 1 にセットされているとき、256kB 拡張エリアをアクセスするときの、データサイクルのプログラムウェイト数を選択します。 00 : プログラムウェイトを挿入しない 01 : プログラムウェイトを 1 ステート挿入 10 : プログラムウェイトを 2 ステート挿入 11 : プログラムウェイトを 3 ステート挿入
5	WC10	1	R/W	
4	-	0	R/W	リザーブビット
3	-	0	R/W	

- ADMXE = 0 の場合

ビット	ビット名	初期値	R/W	説明
2-0	-	すべて 1	R/W	リザーブビット 初期値を変更しないでください。

- ADMXE = 1 の場合

ビット	ビット名	初期値	R/W	説明
2	WC22	1	R/W	アドレス / データマルチプレックス拡張エリアアドレスウェイトカウント 2 アドレス / データマルチプレックス拡張エリアをアクセスするときの、アドレスサイクルのプログラムウェイト数を選択します。 0 : プログラムウェイトを挿入しない 1 : アドレスサイクルに 1 ステートのプログラムウェイトを挿入
1、0	-	すべて 1	R/W	リザーブビット 初期値を変更しないでください。

6. バスコントローラ (BSC)

6.3.5 システムコントロールレジスタ 2 (SYSCR2)

SYSCR2 は、アドレス/データマルチプレックスの動作を制御します。

ビット	ビット名	初期値	R/W	説 明
7~4	-	すべて 0	R/W	リザーブビット 初期値を変更しないでください。
3	ADMXE	0	R/W	アドレス/データマルチプレックスバスインタフェースイネーブル 0: ノーマル拡張バスインタフェース 1: アドレス/データマルチプレックス拡張バスインタフェース
2~0	-	すべて 0	R/W	リザーブビット 初期値を変更しないでください。

6.4 バス制御の概要

6.4.1 バス仕様

外部アドレス空間のバス仕様は、バス幅、アクセスステート数、ウェイトモード・プログラムウェイトステート数の3つの要素で構成されます。内蔵メモリ、内部 I/O レジスタは、バス幅、アクセスステート数は固定で、バスコントローラの設定の影響を受けません。

(1) ノーマル拡張の場合

(a) バス幅

バス幅は、WSCR の ABW、ABW256 ビットにより、8 ビットまたは 16 ビットを選択します。

(b) アクセスステート数

アクセスステート数は、WSCR の AST、AST256 ビットにより、2 ステートまたは 3 ステートを選択します。2 ステートアクセス空間に設定すると、ウェイトステートの挿入が禁止されます。

バースト ROM インタフェースでは、AST ビットの設定に関係なく基本拡張エリアのアクセスステート数が決まります。

(c) ウェイトモード・プログラムウェイトステート数

WSCR の AST ビットによって基本拡張エリアを 3 ステートアクセス空間に設定したとき、WSCR の WMS1、WMS0、WC1、WC0 ビットにより、ウェイトモードおよび自動的に挿入するプログラムウェイトステート数を選択します。プログラムウェイトは 0~3 ステートを選択可能です。

WSCR の AST256 ビットによって 256kB 拡張エリアを 3 ステートアクセス空間に設定したとき、WSCR2 の WMS10、WC11、WC10 ビットにより、ウェイトモードおよび自動的に挿入するプログラムウェイトステート数を選択します。プログラムウェイト数は 0~3 ステートを選択可能です。

外部拡張時のウェイト機能は、低速デバイスを外部アドレス空間に外付けする際に有効な機能です。一方で、CPU 以外のバスマスタ (DTC) の動作を遅延させる際に問題が発生する場合があります。

(d) グルーレス拡張

PTCNT0 の OBE ビットを 1 にセットするとグルーレス拡張となります。グルーレス拡張では、 \overline{RD} 、 \overline{WR} 、 \overline{HBE} 、 \overline{LBE} 信号により外部に付加回路を使用することなく外部メモリに接続することができます。

6. バスコントローラ (BSC)

外部アドレス空間のアドレス範囲における各ビットの設定と外部アドレス空間の区分、および、各エリアの基本バスインタフェースのバス仕様を表 6.2～表 6.5 に示します。

表 6.2 アドレス範囲と外部アドレス空間

アドレス範囲	エリア	
	基本拡張エリア	256kB 拡張エリア
H'080000 ~ H'F7FFFF (15M バイト)	無条件	-
H'F80000 ~ H'FBFFFF (256k バイト) 256kB 拡張エリア	CS256E = 0 のとき 基本拡張エリアに統合	WAIT 端子機能非選択 かつ CS256E = 1 のとき CS256 出力、アドレス A17 ~ A0 使用
H'FC0000 ~ H'FEFFFF (192k バイト)	無条件	-
H'FF0800 ~ H'FFBFFF (46k バイト)	RAME = 0 のとき 基本拡張エリアに統合	-
H'FFC000 ~ H'FFDFFF (8k バイト)	無条件	-
H'FFE000 ~ H'FFE07F (128 バイト)	無条件	-
H'FFE080 ~ H'FFEFFF (3968 バイト)	RAME = 0 のとき 基本拡張エリアに統合	-
H'FFF000 ~ H'FFF7FF (2k バイト)	無条件 IOSE = 1 のとき IOS 出力、A10 ~ A0 使用	-
H'FFFF00 ~ H'FFFF7F (128 バイト)	RAME = 0 のとき 基本拡張エリアに統合	-

【記号説明】

- : 該当アドレス範囲アクセス時、無条件で基本拡張エリア
- : 該当アドレス範囲アクセス時、基本拡張エリアとなる設定条件
- : 非該当アドレス範囲

表 6.3 各ビットの設定と基本バスインタフェースのバス仕様

BRSTRM	CS256E	エリア	
		基本拡張エリア	256kB 拡張エリア
0	0	基本拡張エリア ABW、AST、	
	1	WMS1、WMS0、 WC1、WC0	
1	0	バースト ROM インタフェース*	
	1	ABW、AST、 WMS0、WC1、WC0、 BRSTS1、BRSTS0	

【注】 * バースト ROM インタフェースでは、バス幅は ABW で設定し、フルアクセスステート数は AST で設定 (ウェイト挿入も可能) します。バーストアクセスのサイクル数は AST の設定と無関係です。

表 6.4 基本拡張エリア / 基本バスインタフェースのバス仕様

ABW	AST	WMS1	WMS0	WC1	WC0	バス仕様			
						バス幅	アクセス ステート数	プログラム ウェイト ステート数	
0	0	x	x	x	x	16	2	0	
		0	1	x	x				
	1	1	WMS1 = 0 かつ WMS0 = 1 を除く		0	0	16	3	0
					1	0			1
					1	0			0
					1	1			3
1	0	x	x	x	x	8	2	0	
		0	1	x	x				
	1	1	WMS1 = 0 かつ WMS0 = 1 を除く		0	0	8	3	0
					1	0			1
					1	0			0
					1	1			3

【記号説明】 x : Don't care

6. バスコントローラ (BSC)

表 6.5 256kB 拡張エリア / 基本バスインタフェースのバス仕様

ABW256	AST256	WMS10	WC11	WC10	バス仕様					
					バス幅	アクセス ステート数	プログラム ウェイト ステート数			
0	0	x	x	x	16	2	0			
		1	x	x						
	1	1	0	0		0		8	3	0
				1		0				1
		0	0	0		0			2	
			1	0		1			3	
1	0	x	x	x	8	2	0			
		1	x	x						
	1	1	0	0		0		8	3	0
				1		0				
		0	0	0		0			1	
			1	0		1			2	
0	0	0	0	0	3	0				
	1	0	1	3						

【記号説明】 x : Don't care

(2) アドレス / データマルチプレックス拡張の場合

(a) バス幅

バス幅は、WSCR の ABW、ABW256 ビットにより、8 ビットまたは 16 ビットを選択します。

(b) アクセスステート数

アクセスステート数は、WSCR の AST、AST256 ビットにより、データアクセスが 2 ステートまたは 3 ステートを選択します。2 ステートアクセス空間に設定すると、ウェイトステートの挿入が禁止されます。

(c) ウェイトモード・プログラムウェイトステート数

・ IOS 拡張エリア

WSCR の AST ビットによって IOS 拡張エリアを 3 ステートデータアクセス空間に設定したとき、WSCR の WMS1、WMS0、WC1、WC0 により、ウェイトモードおよび自動的に挿入するプログラムウェイトステート数を選択します。アドレスサイクルのプログラムウェイト数は 0、1 ステートを選択可能です。データサイクルのプログラムウェイト数は 0 ~ 3 ステートを選択可能です。

- 256kB拡張エリア

WSCRのAST256ビットによって256kB拡張エリアを3ステートデータアクセス空間に設定したとき、WSCR2のWMS10、WC11、WC10により、ウェイトモードおよび自動的に挿入するプログラムウェイトステート数を選択します。アドレスサイクルのプログラムウェイト数は0、1ステートを選択可能です。データサイクルのプログラムウェイト数は0~3ステートを選択可能です。

外部拡張時のウェイト機能は、低速デバイスを外部アドレス空間に外付けする際に有効な機能です。一方で、CPU 以外のバスマスタ (DTC) の動作を遅延させる際に、問題が発生する場合があります。

アドレス/データマルチプレックスアドレス空間および、各エリアの基本バスインタフェース仕様を表 6.6~表 6.11 に示します。

表 6.6 アドレス/データマルチプレックスアドレス空間

アドレス範囲		アドレス/データマルチプレックスエリア	
H'080000 ~ H'F7FFFF (15M バイト)		×	無条件
H'F80000 ~ H'FBFFFF (256k バイト)			
256kB 拡張 エリア	H'F80000 ~ H'F8FFFF (64k バイト)		WAIT 端子機能非選択かつ CS256E = 1 のとき CS256 出力、アドレス AD15 ~ AD0 または AD7 ~ AD0 使用
	H'F90000 ~ H'F9FFFF (64k バイト)	×	無条件
	H'FA0000 ~ H'FAFFFF (64k バイト)	×	無条件
	H'FB0000 ~ H'FBFFFF (64k バイト)	×	無条件
H'FC0000 ~ H'FFBFFF (240k バイト)		×	無条件
H'FFC000 ~ H'FFDFFF (8k バイト)		×	無条件
H'FFE000 ~ H'FFEFFF (4k バイト)		×	無条件
H'FFF000 ~ H'FFF7FF (2k バイト) IOS 拡張エリア			IOSE = 1 のとき $\overline{\text{IOS}}$ 出力、アドレス AD15 ~ AD0 または AD7 ~ AD0 使用
H'FFFF00 ~ H'FFFF7F (128 バイト)		×	無条件

表 6.7 各モードビットの設定と基本インタフェースバス仕様決定

IOSE	CS256E	エリア	
		IOS 拡張エリア	256kB 拡張エリア
1	0	ABW、AST、WMS1、WMS0、 WC1、WC0	-
	1		ABW256、AST256、 WMS10、WC11、WC10
0	0	-	-
	1		ABW256、AST256、 WMS10、WC11、WC10

6. バスコントローラ (BSC)

表 6.8 IOS 拡張エリア / マルチブレックスバスインタフェースのバス仕様 (アドレスサイクル)

AST	WMS1	WMS0	WC22	WC1	WC0	アクセス ステート数	プログラム ウェイトステート数
-	-	-	0	-	-	2	0
			1	-	-		1

表 6.9 IOS 拡張エリア / マルチブレックスバスインタフェースのバス仕様 (データサイクル)

AST	WMS1	WMS0	WC1	WC0	アクセス ステート数	プログラム ウェイトステート数
0	-	-	-	-	2	0
1	0	1	-	-	3	0
	0	0	0	0	3	0
	1	x		1		1
			1	0	2	
				1	3	

【記号説明】 x : Don't care

表 6.10 256kB 拡張エリア / マルチブレックスバスインタフェースのバス仕様 (アドレスサイクル)

AST256	WMS10	WC22	WC11	WC10	アクセス ステート数	プログラム ウェイトステート数
-	-	0	-	-	2	0
		1	-	-		1

表 6.11 256kB 拡張エリア / マルチブレックスバスインタフェースのバス仕様 (データサイクル)

AST256	WMS10	WC11	WC10	アクセス ステート数	プログラム ウェイトステート数
0	-	-	-	2	0
1	1	-	-	3	0
	0	0	0	3	0
			1		1
		1	0	2	
			1	3	

【記号説明】 x : Don't care

6.4.2 アドバンスモード

外部アドレス空間 (H'FFF000 ~ H'FFF7FF) は $\overline{AS}/\overline{IOS}$ 端子を I/O ストローブ機能に設定することにより、また 256kB 拡張エリア (H'F80000 ~ H'FBFFFF) は $\overline{CS256}$ 端子の機能によりアクセスすることができます。

外部アドレス空間の初期状態は、基本バスインタフェースで 3 ステートアクセス空間になっています。モード 2 では、内蔵 ROM、内蔵 RAM、内部 I/O レジスタ、およびそれらのリザーブエリアを除いた空間が外部アドレス空間となります。内蔵 RAM およびそのリザーブエリアは、SYSCR の RAME ビットを 1 にセットしたときに有効で、RAME ビットを 0 にクリアすると内蔵 RAM およびそのリザーブエリアは無効になります。また、内蔵 RAM およびそのリザーブエリアのうち、H'FF0800 ~ H'FFBFFF、H'FFE080 ~ H'FFEFFF と H'FFF000 ~ H'FFF7FF は外部アドレス空間になります。

6.4.3 I/O セレクト信号

本 LSI は、I/O セレクト信号 (\overline{IOS}) を出力することができ、設定された外部アドレス空間をアクセスしたときに Low レベルを出力します。図 6.2 に、 \overline{IOS} 信号出力タイミング例を示します。

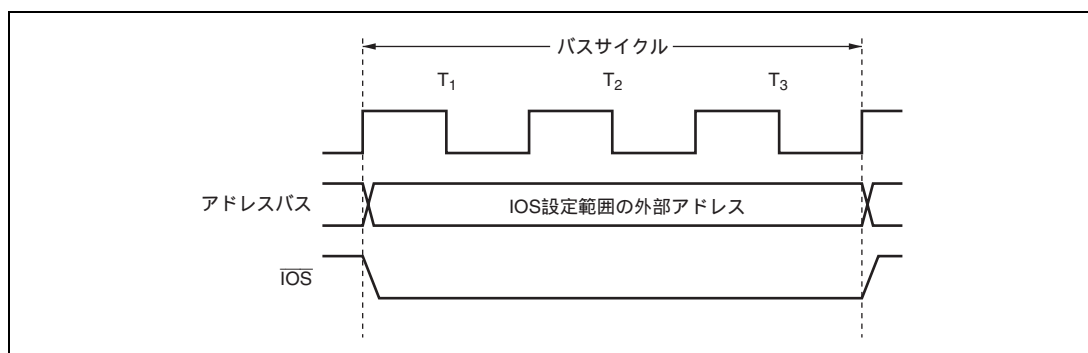


図 6.2 \overline{IOS} 信号出力タイミング

\overline{IOS} 信号の出力の許可または禁止は、SYSCR の IOSE ビットの設定により行います。拡張モードでは、 \overline{IOS} 端子はリセットにより \overline{AS} 端子として動作しますので、 \overline{IOS} 端子として動作させる場合には IOSE ビットを 1 にセットしてください。詳細は「第 8 章 I/O ポート」を参照してください。

\overline{IOS} 信号を出力するアドレスの範囲は、BCR の IOS1、IOS0 ビットにより設定することができます。 \overline{IOS} 信号を出力するアドレスの範囲を表 6.12 に示します。

表 6.12 \overline{IOS} 信号を出力するアドレスの範囲

IOS1	IOS0	\overline{IOS} 信号出力範囲
0	0	H'FFF000 ~ H'FFF03F
	1	H'FFF000 ~ H'FFF0FF
1	0	H'FFF000 ~ H'FFF3FF
	1	H'FFF000 ~ H'FFF7FF (初期値)

6.5 バスインタフェース

ノーマル拡張バスインタフェースではROM、SRAMとの直結が可能です。基本拡張エリア、256kB 拡張エリアのバス仕様の選択については、表 6.4、表 6.5 を参照してください。

アドレス/データマルチプレックス拡張バスインタフェースでは、本バス方式に対応した製品のみ直結が可能です。IOS 拡張エリア、256kB 拡張エリアのバス仕様選択については表 6.9～表 6.14 を参照してください。

6.5.1 データサイズとデータアライメント

CPU およびそのほかの内部バスマスタのデータサイズにはバイト、ワード、ロングワードがあります。BSC はデータアライメント機能を持っており、外部アドレス空間をアクセスするとき、上位側データバス (D15～D8/AD15～AD8) を使用するか下位側データバス (D7～D0/AD7～AD0) を使用するかを、アクセスするエリアのバス仕様 (8 ビットアクセス空間または 16 ビットアクセス空間) とデータサイズによって制御します。

(1) 8 ビットアクセス空間

図 6.3 に 8 ビットアクセス空間のデータアライメント制御を示します。8 ビットアクセス空間では常に上位側データバス (D15～D8) を使ってアクセスを行います。一回にアクセスできるデータ量は 1 バイトで、ワードアクセスでは 2 回、ロングワードアクセスは 4 回のバイトアクセスを実行します。アドレス/データマルチプレックス拡張時には、上位側の AD15～AD8 を使用します。

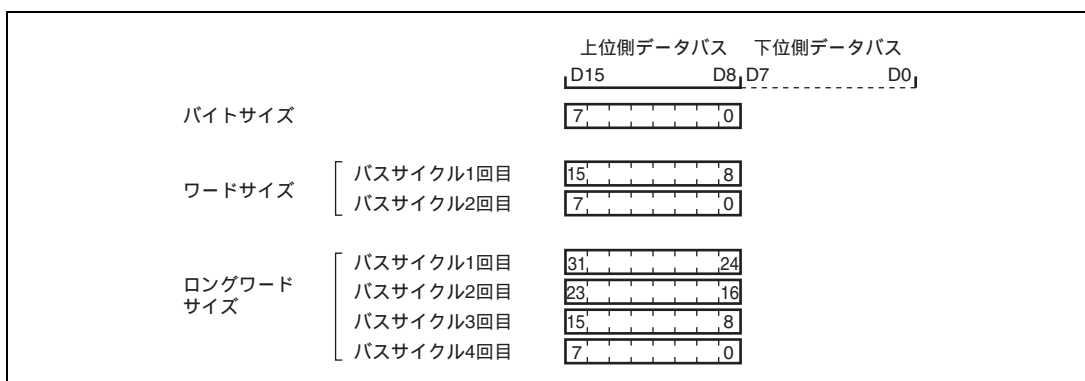


図 6.3 アクセスサイズとデータアライメント制御 (8 ビットアクセス空間)

(2) 16 ビットアクセス空間

図 6.4 に 16 ビットアクセス空間のデータアライメント制御を示します。16 ビットアクセス空間では、上位側データバス (D15～D8/AD15～AD8) および下位側データバス (D7～D0/AD7～AD0) を使ってアクセスを行います。一回にアクセスできるデータ量は 1 バイトまたは 1 ワードで、ロングワードアクセスはワードアクセスを 2 回実行します。バイトアクセスのとき、上位側データバスを使用するか下位側データバスを使用するかは、アドレスの偶数/奇数で決まります。偶数アドレスに対するバイトアクセスは上位側データバスを使用し、奇数アドレスに対するバイトアクセスは下位側データバスを使用します。

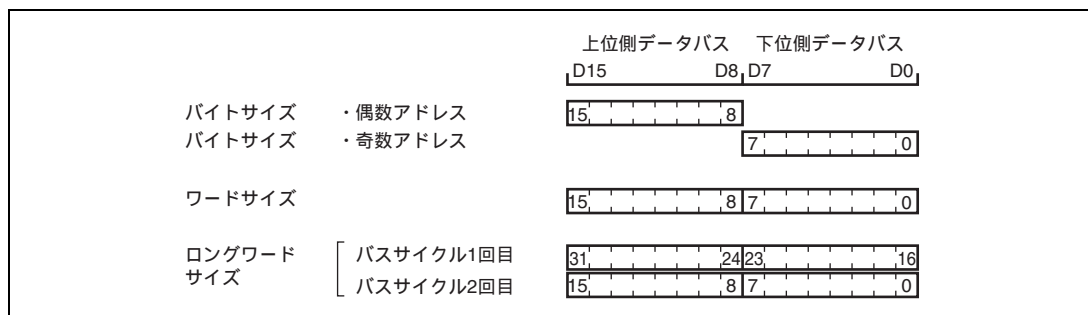


図 6.4 アクセスサイズとデータアライメント制御 (16 ビットアクセス空間)

6.5.2 有効ストロープ

表 6.13 にアクセス空間と、使用するデータバスおよび有効なストロープを示します。リード時はデータバスの上位側、下位側の区別なく \overline{RD} 信号が有効です。ライト時はデータバスの上位側に対して \overline{HWR} 信号が、下位側に対して \overline{LWR} 信号が有効です。

表 6.13 使用するデータバスと有効ストロープ

エリア	アクセスサイズ	リード/ライト	アドレス	有効なストロープ	データバス上位 (D15 ~ D8/ AD15 ~ AD8)	データバス下位 (D7 ~ D0/ AD7 ~ AD0)
8 ビットアクセス空間	バイト	リード	-	\overline{RD}	有効	ポート他
		ライト	-	\overline{HWR}		
8 ビットアクセス空間 (アドレス/データマルチプレックス拡張)	バイト	リード	-	\overline{RD}	有効	ポート他
		ライト	-	\overline{HWR}		
16 ビット アクセス空間	バイト	リード	偶数	\overline{RD}	有効	無効
			奇数		無効	有効
		ライト	偶数	\overline{HWR}	有効	不定
			奇数	\overline{LWR}	不定	有効
	ワード	リード	-	\overline{RD}	有効	有効
		ライト	-	\overline{HWR} , \overline{LWR}		

【注】 不定：不定データが出力されます。

無効：入力状態であり、入力値は無視されます。

ポート他：ポートまたは内蔵周辺機器の入出力端子となり、データバスとしては使用されません。

6. バスコントローラ (BSC)

6.5.3 有効ストロープ (グルーレス拡張時)

表 6.14 にアクセス空間と、使用するデータバスおよび有効なストロープを示します。データバスの上位側、下位側の区別なく \overline{RD} 、 \overline{WR} 信号が有効です。データバスの上位側に対して $\overline{HB\overline{E}}$ 信号が下位側に対して $\overline{LB\overline{E}}$ 信号が有効です。

表 6.14 使用するデータバスと有効ストロープ

エリア	アクセス サイズ	リード/ ライト	アドレス	有効な ストロープ	データバス上位 (D15 ~ D8)	データバス下位 (D7 ~ D0)
8 ビット アクセス空間	バイト	リード	-	\overline{RD}	有効	ポート他
		ライト	-	\overline{WR}		
16 ビット アクセス空間	バイト	リード	偶数	\overline{RD} 、 $\overline{HB\overline{E}}$	有効	無効
			奇数	\overline{RD} 、 $\overline{LB\overline{E}}$	無効	有効
		ライト	偶数	\overline{WR} 、 $\overline{HB\overline{E}}$	有効	不定
			奇数	\overline{WR} 、 $\overline{LB\overline{E}}$	不定	有効
	ワード	リード	-	\overline{RD} 、 $\overline{HB\overline{E}}$ 、 $\overline{LB\overline{E}}$	有効	有効
		ライト	-	\overline{WR} 、 $\overline{HB\overline{E}}$ 、 $\overline{LB\overline{E}}$		

【注】 不定：不定データが出力されます。

無効：入力状態であり、入力値は無視されます。

ポート他：ポートまたは内蔵周辺機器の入出力端子となり、データバスとしては使用されません。

6.5.4 ノーマル拡張基本タイミング

(1) 8ビット2ステートアクセス空間

図 6.5 に 8 ビット 2 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側 (D15~D8) を使用します。ウェイトステートを挿入することはできません。

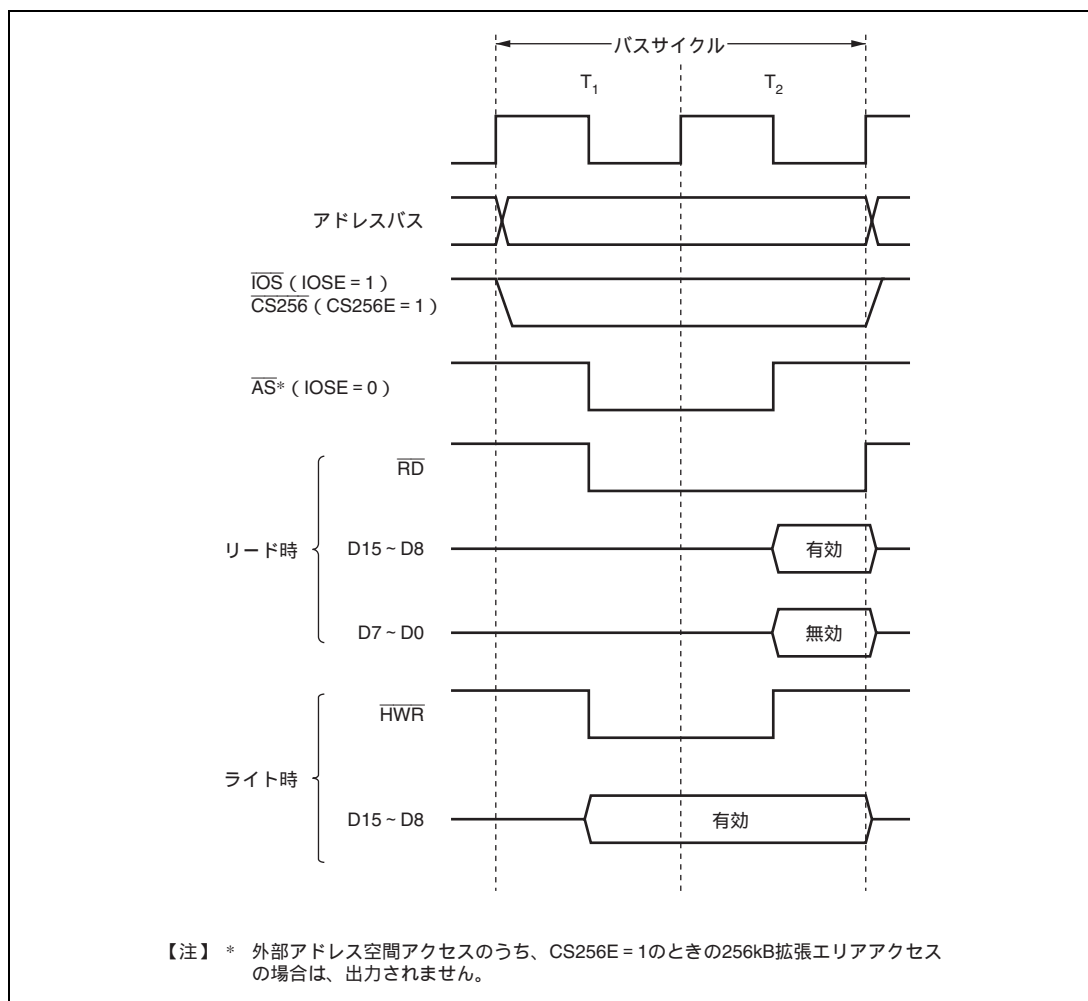


図 6.5 8 ビット 2 ステートアクセス空間のバスタイミング

6. バスコントローラ (BSC)

(2) 8ビット3ステートアクセス空間

図 6.6 に 8 ビット 3 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側 (D15~D8) を使用します。ウェイトステートを挿入することができます。

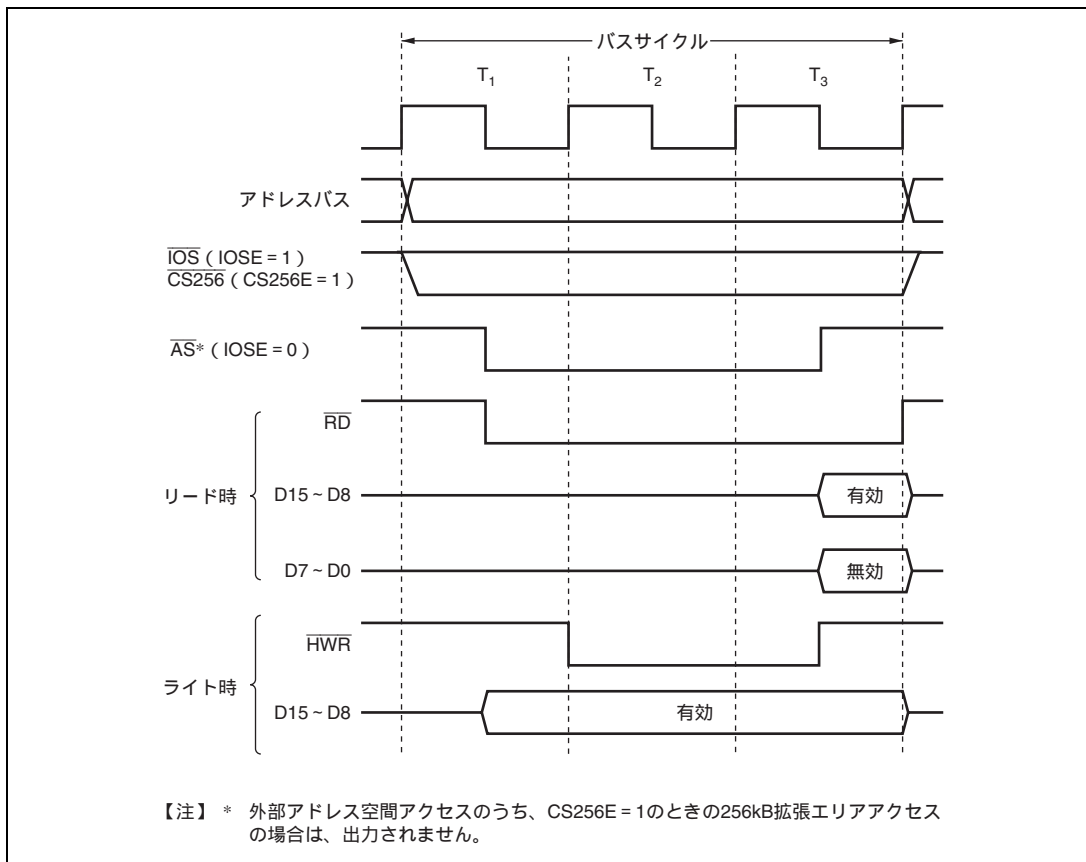


図 6.6 8 ビット 3 ステートアクセス空間のバスタイミング

(3) 16 ビット 2 ステートアクセス空間

図 6.7~図 6.9 に 16 ビット 2 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側 (D15~D8) を使用し、奇数アドレスに対してはデータバスは下位側 (D7~D0) を使用します。ウェイトステートを挿入することはできません。

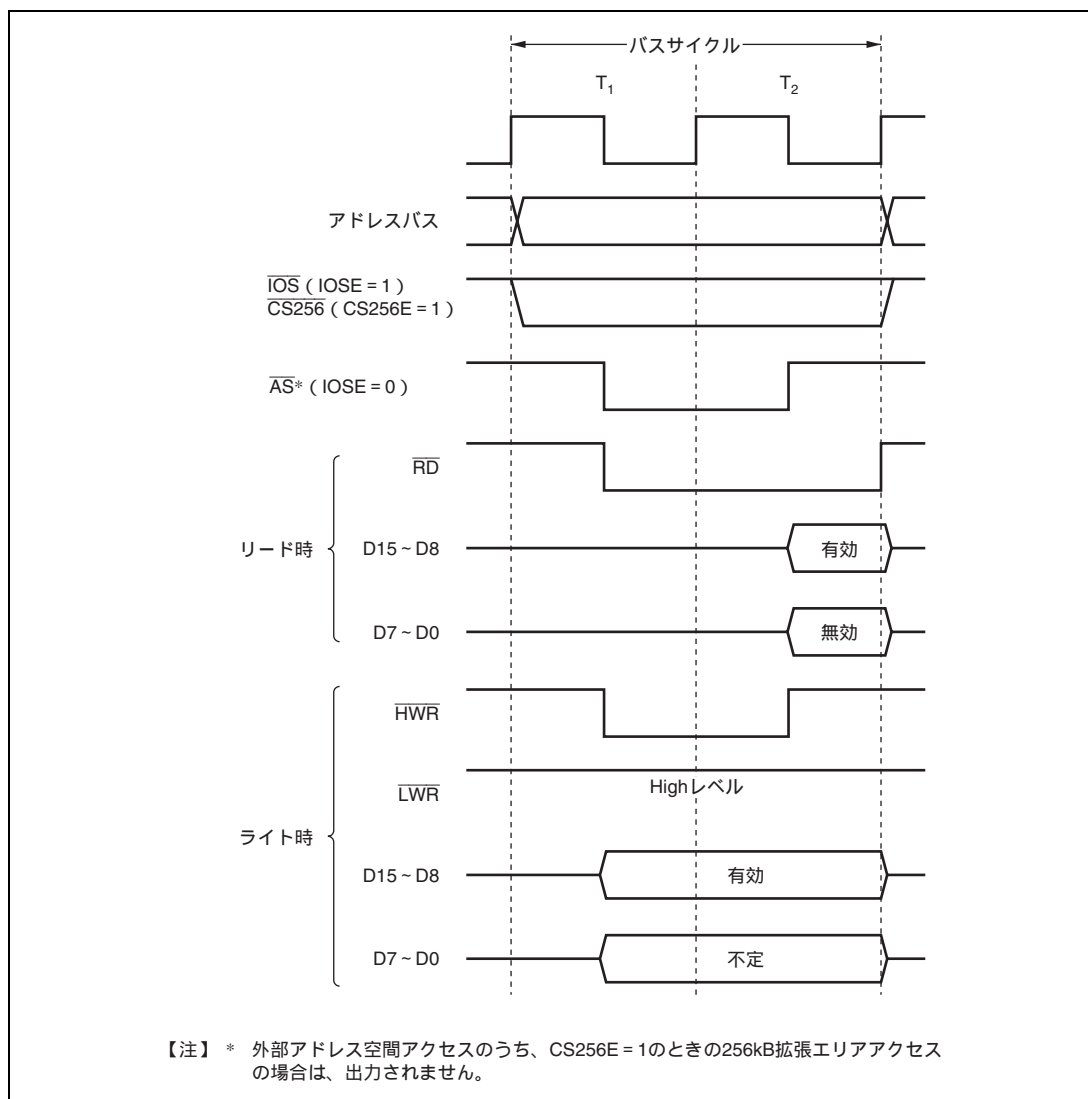


図 6.7 16 ビット 2 ステートアクセス空間のバスタイミング (偶数バイトアクセス)

6. バスコントローラ (BSC)

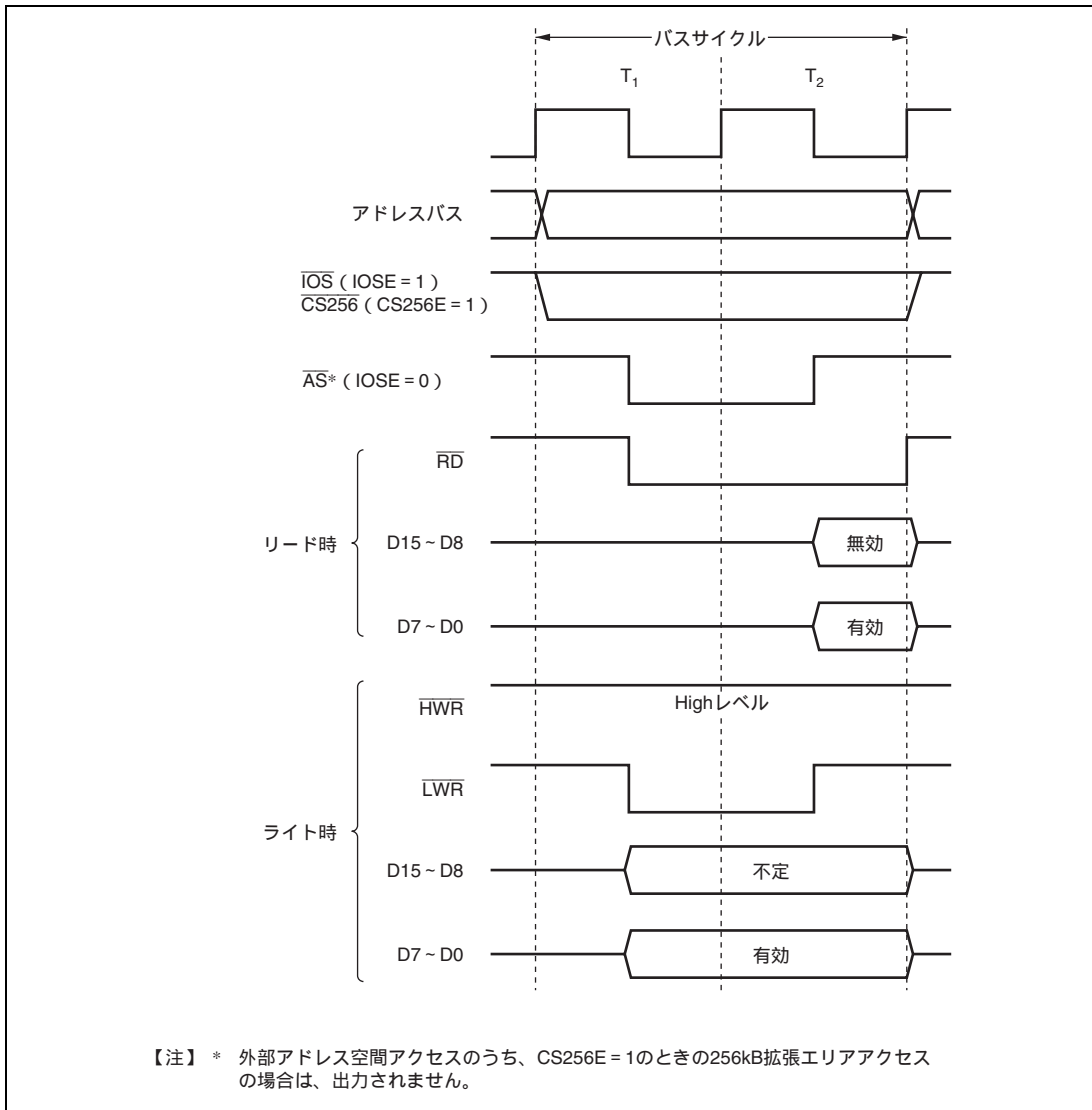


図 6.8 16 ビット 2 ステートアクセス空間のバスタイミング (奇数バイトアクセス)

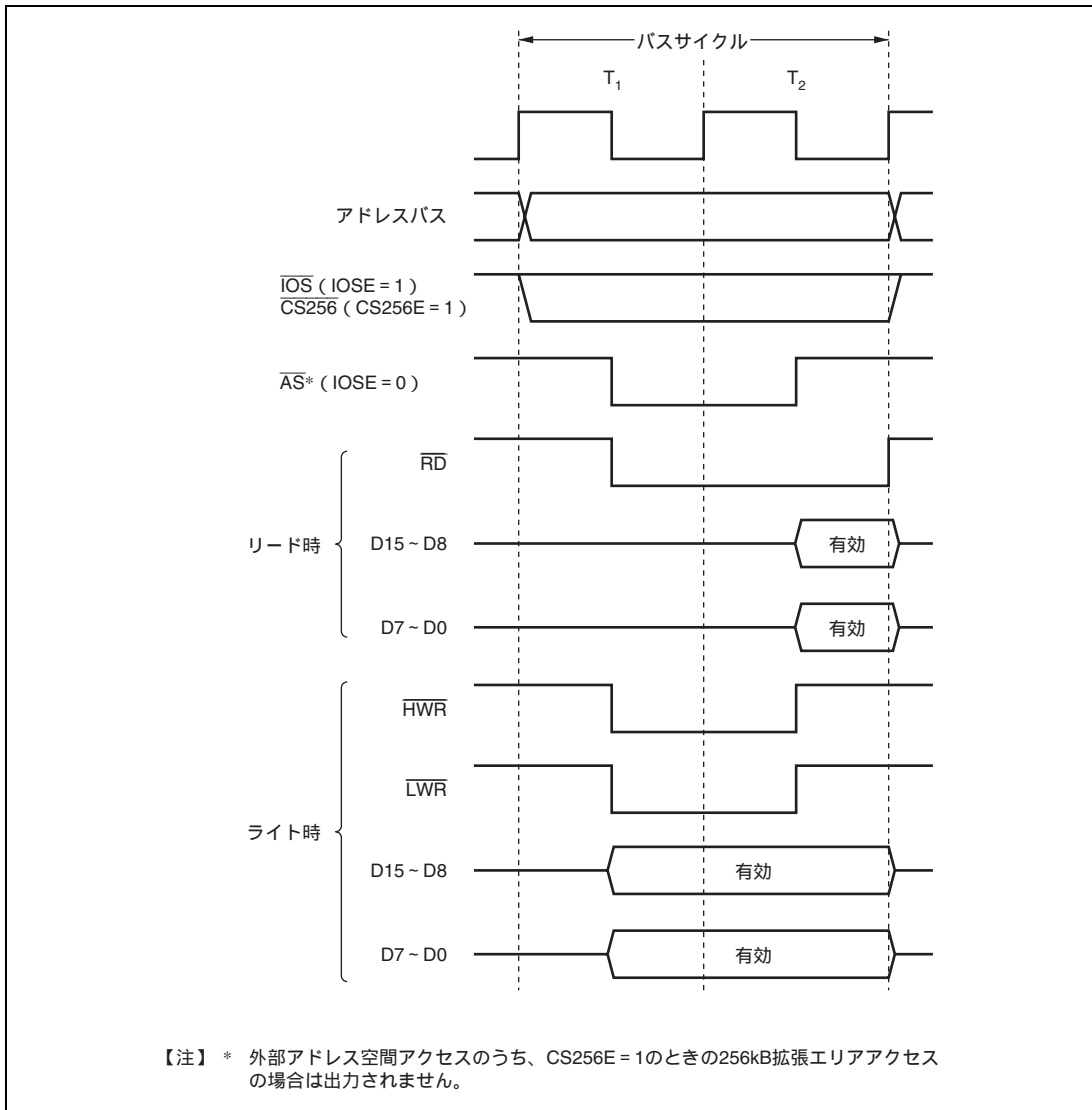


図 6.9 16 ビット 2 ステートアクセス空間のバスタイミング (ワードアクセス)

6. バスコントローラ (BSC)

(4) 16 ビット 3 ステートアクセス空間

図 6.10～図 6.12 に 16 ビット 3 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側 (D15～D8) を使用し、奇数アドレスに対してはデータバスは下位側 (D7～D0) を使用します。ウェイトステートを挿入することができます。

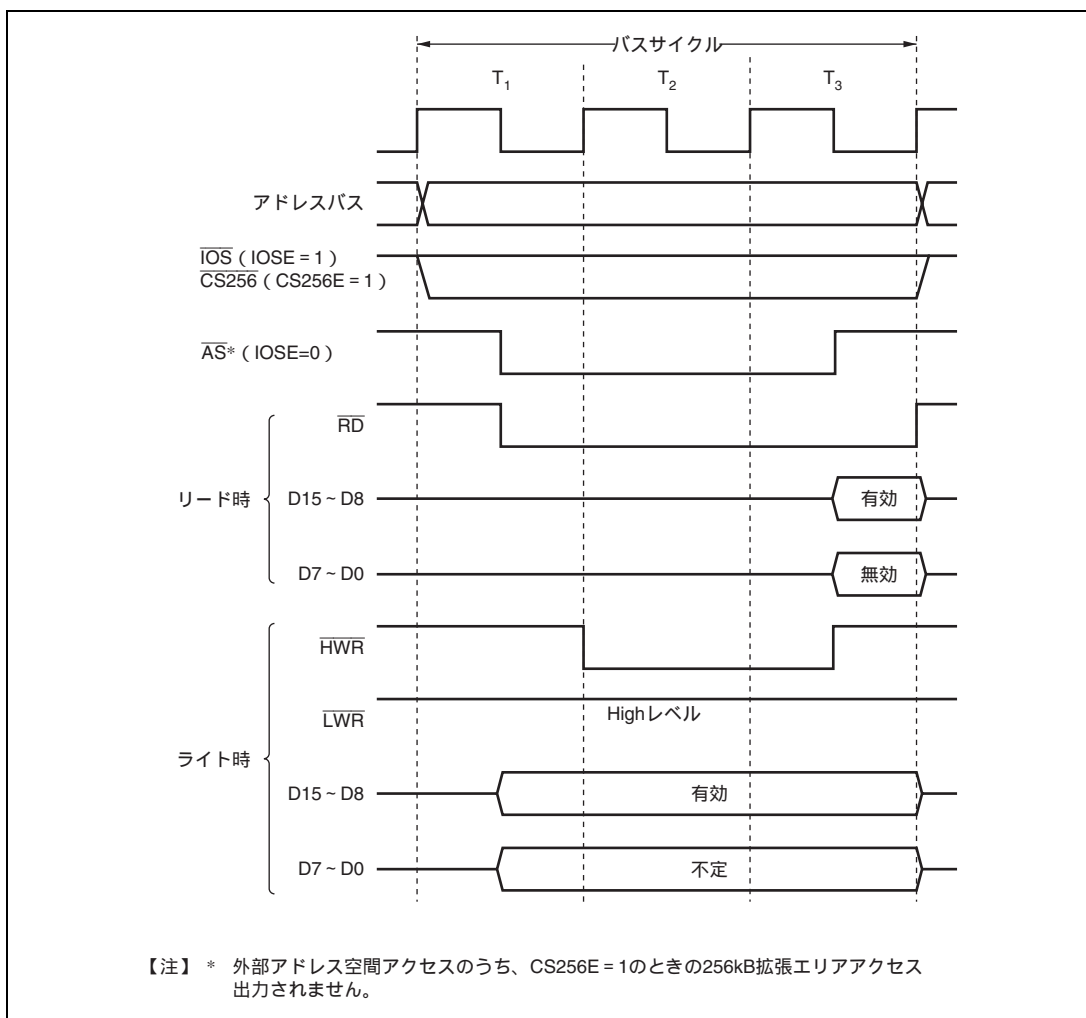


図 6.10 16 ビット 3 ステートアクセス空間のバスタイミング (偶数バイトアクセス)

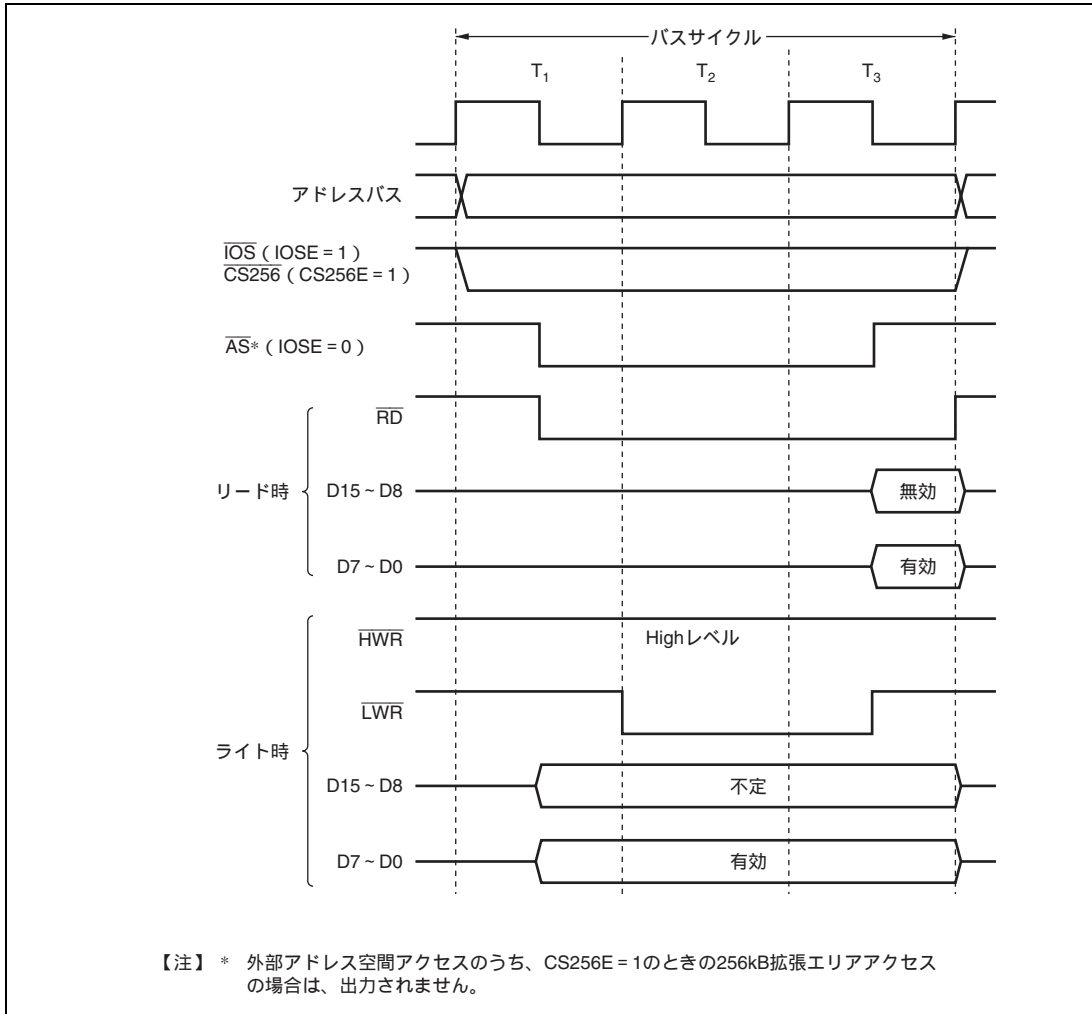


図 6.11 16 ビット 3 ステートアクセス空間のバスタイミング (奇数バイトアクセス)

6. バスコントローラ (BSC)

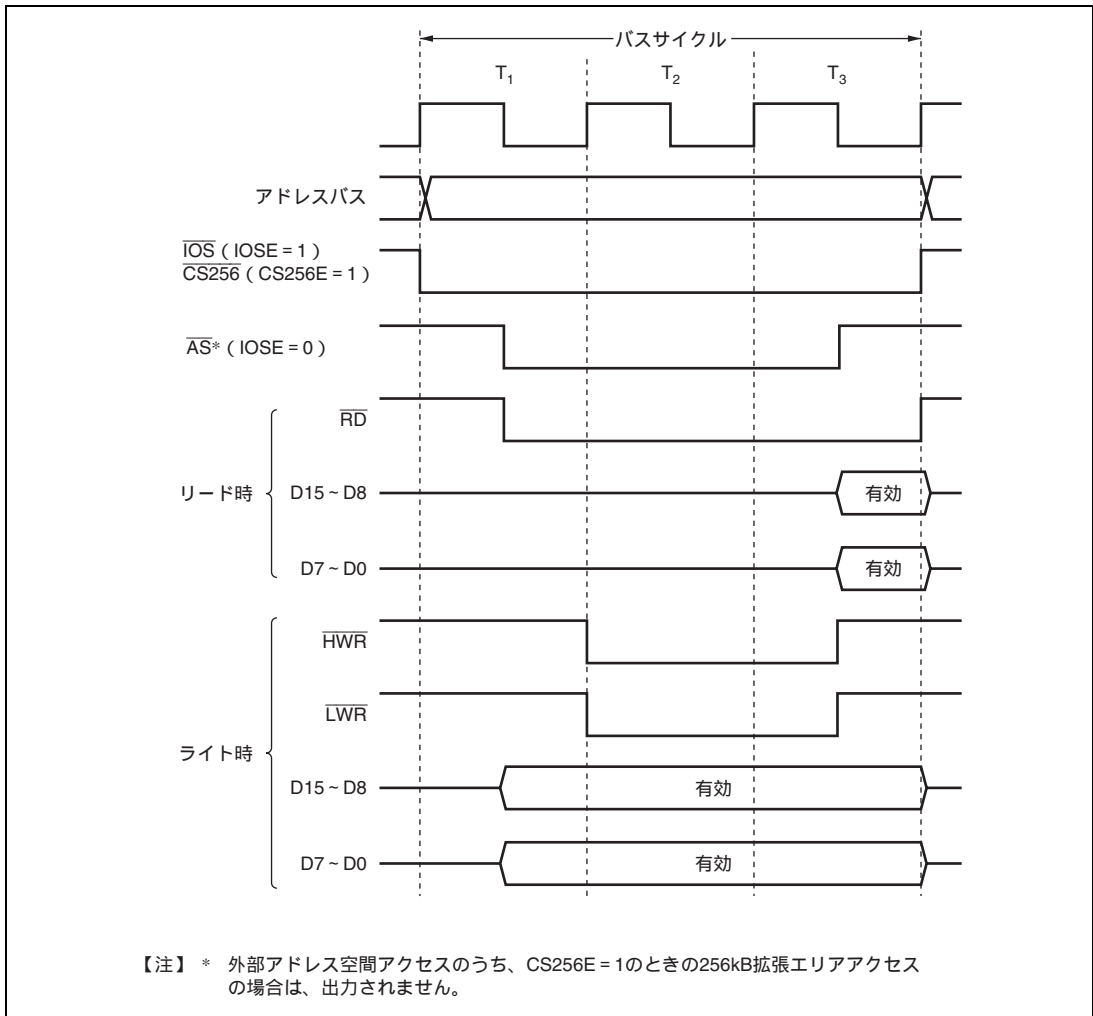


図 6.12 16 ビット 3 ステートアクセス空間のバスタイミング (ワードアクセス)

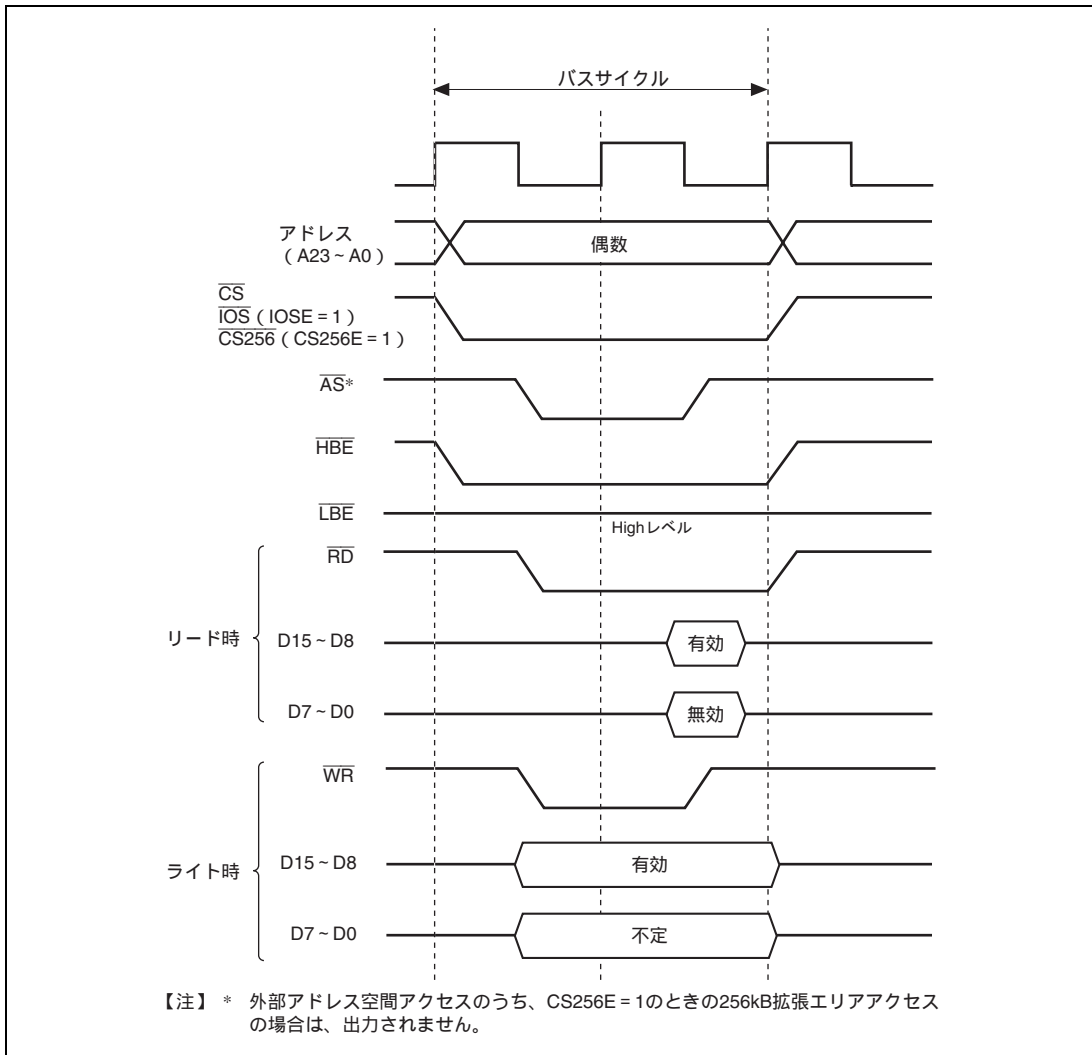


図 6.13 グルーレス拡張時偶数バイトアクセス (ADMXE = 0)

6. バスコントローラ (BSC)

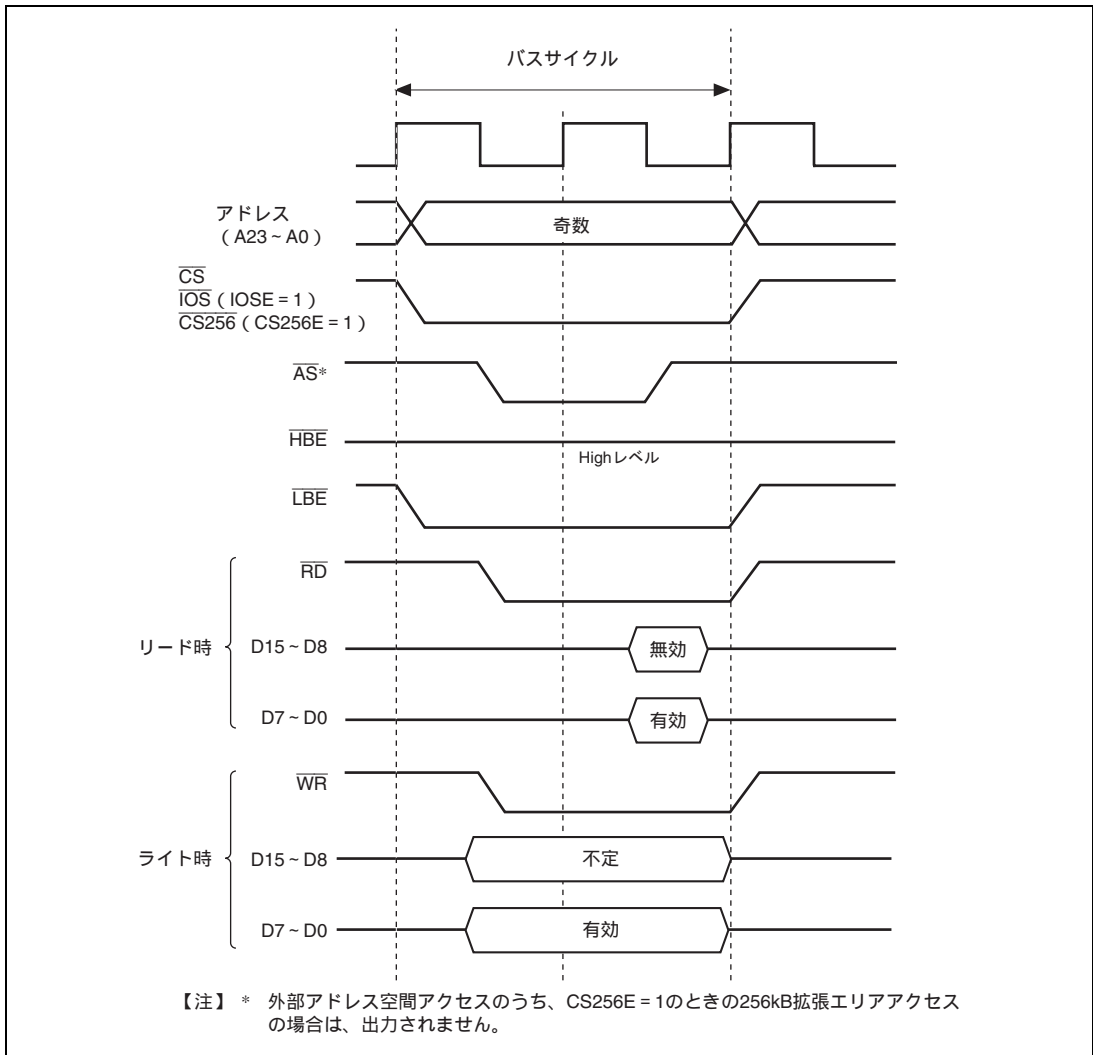


図 6.14 グループ拡張時奇数バイトアクセス (ADMXE = 0)

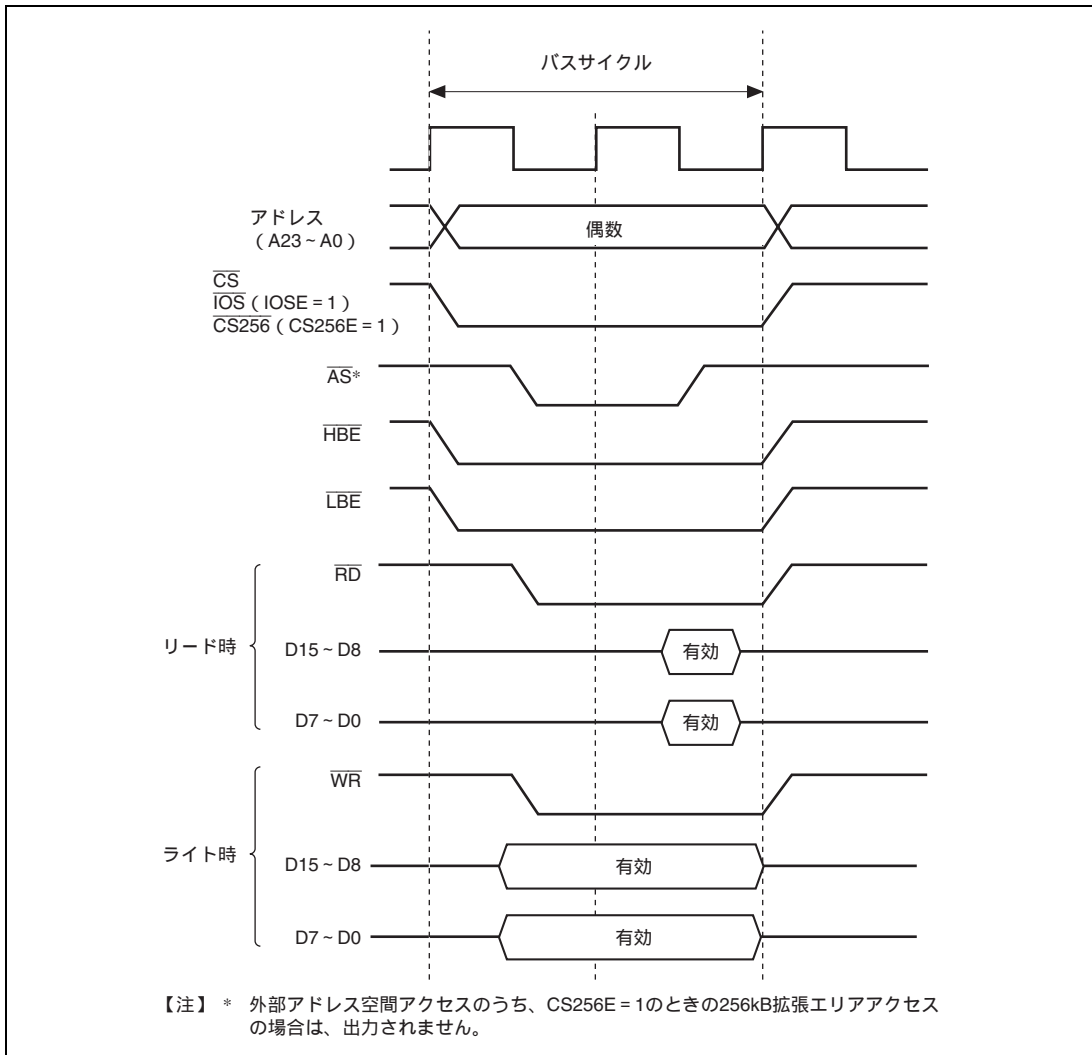


図 6.15 グループ拡張時ワードアクセス (ADMXE = 0)

6. バスコントローラ (BSC)

6.5.5 アドレス / データマルチプレックス拡張基本タイミング

(1) 8ビット・データ2ステートアクセス空間

図 6.16 と図 6.17 に 8 ビット・データ 2 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側 (AD15 ~ AD8) を使用します。ウェイトステートを挿入することはできません。

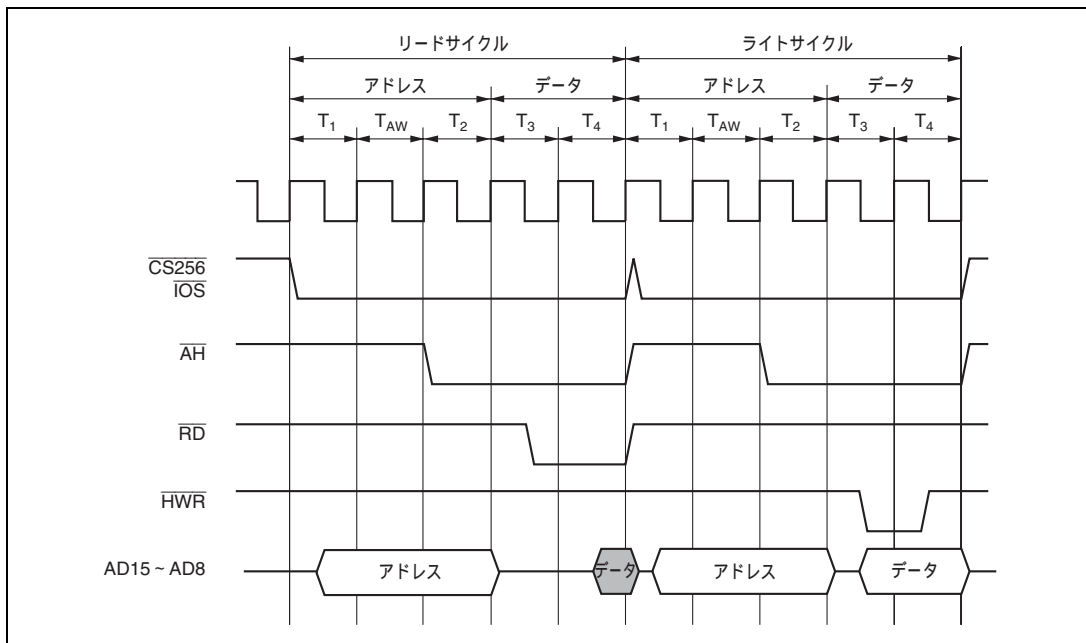


図 6.16 8ビット・データ2ステートアクセス空間のバスタイミング

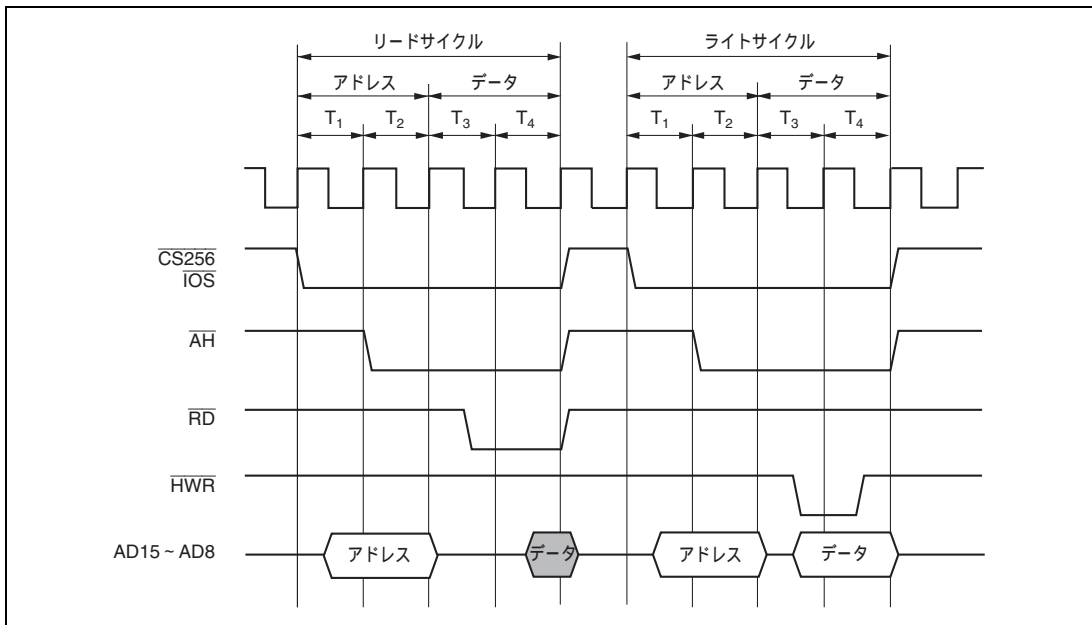


図 6.17 8 ビット・データ 2 ステートアクセス空間のバスタイミング

6. バスコントローラ (BSC)

(2) 8ビット・データ3ステートアクセス空間

図 6.18 に 8 ビット・データ 3 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側 (AD15 ~ AD8) を使用します。ウェイトステートを挿入することができます。

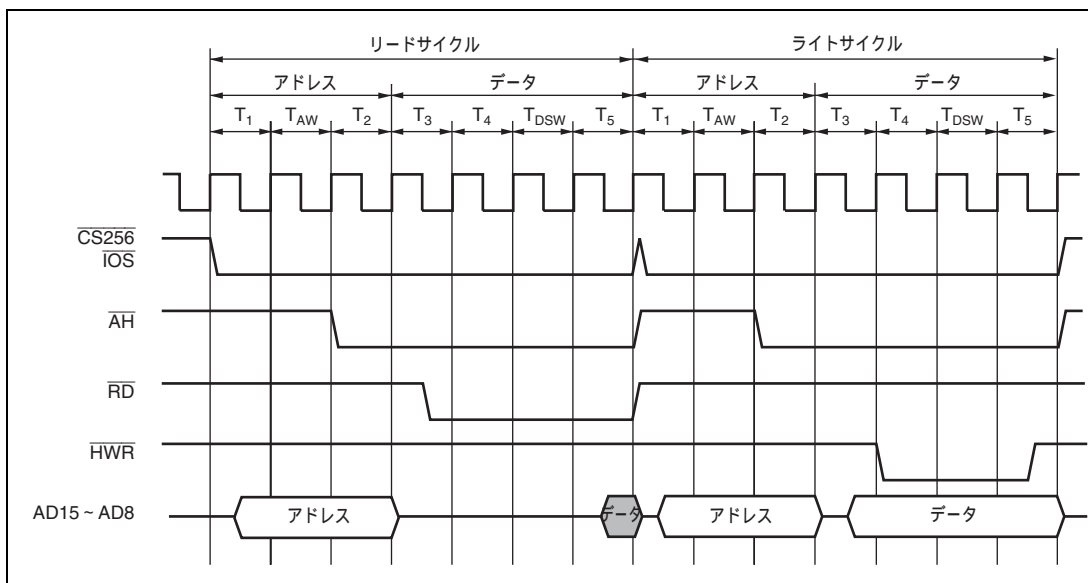


図 6.18 8ビット・データ3ステートアクセス空間のバスタイミング

(3) 16ビット・データ2ステートアクセス空間

図 6.19～図 6.24 に 16 ビット・データ 2 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側 (AD15～AD8) を使用し、奇数アドレスに対してはデータバスは下位側 (AD7～AD0) を使用します。ウェイトステートを挿入することはできません。

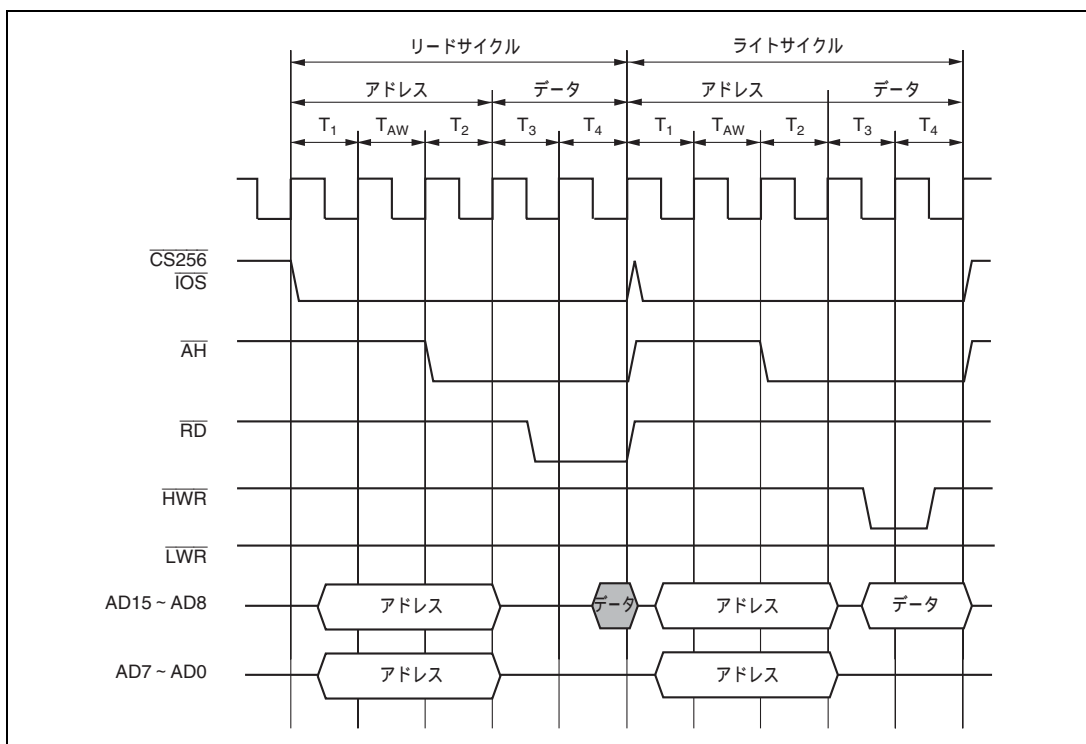


図 6.19 16 ビット・データ 2 ステートアクセス空間のバスタイミング (1)
(偶数バイトアクセス)

6. バスコントローラ (BSC)

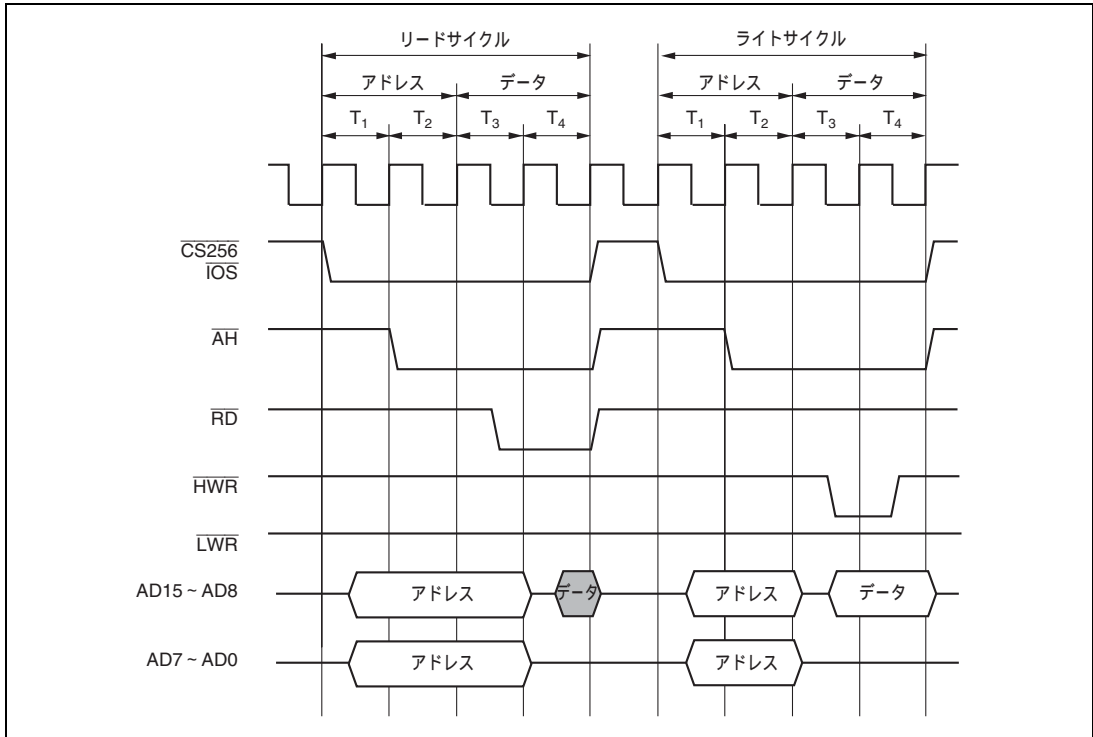


図 6.20 16 ビット・データ 2 ステートアクセス空間のバスタイミング (2)
(偶数バイトアクセス)

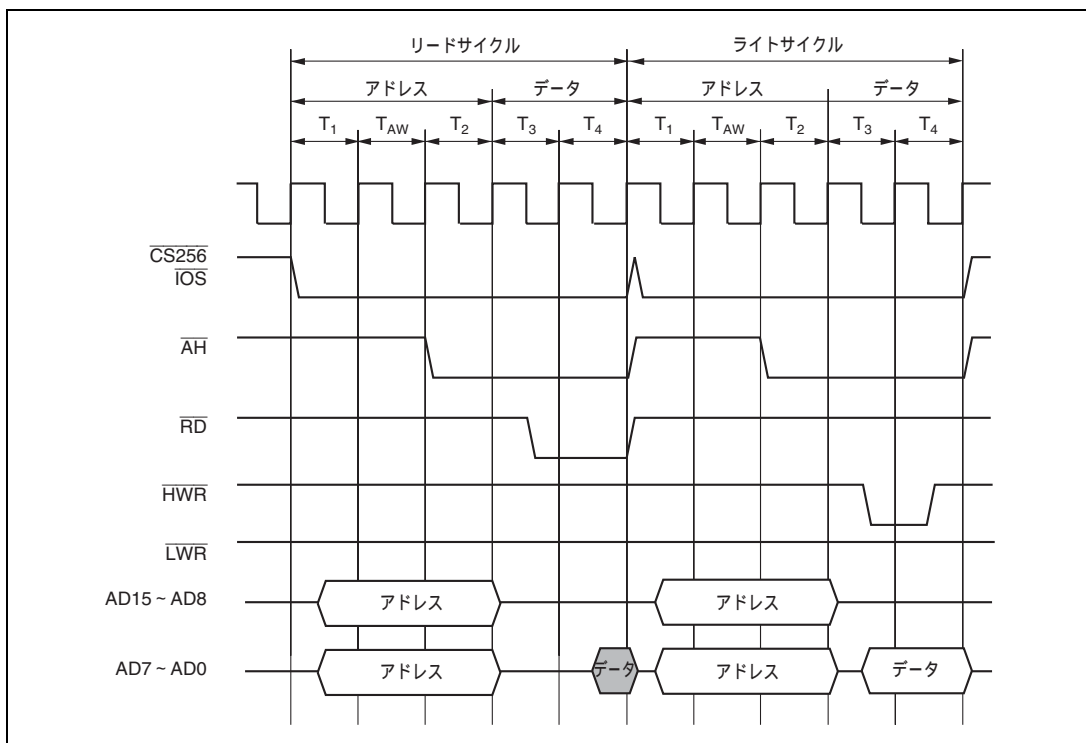


図 6.21 16 ビット・データ 2 ステートアクセス空間のバスタイミング (3)
(奇数バイトアクセス)

6. バスコントローラ (BSC)

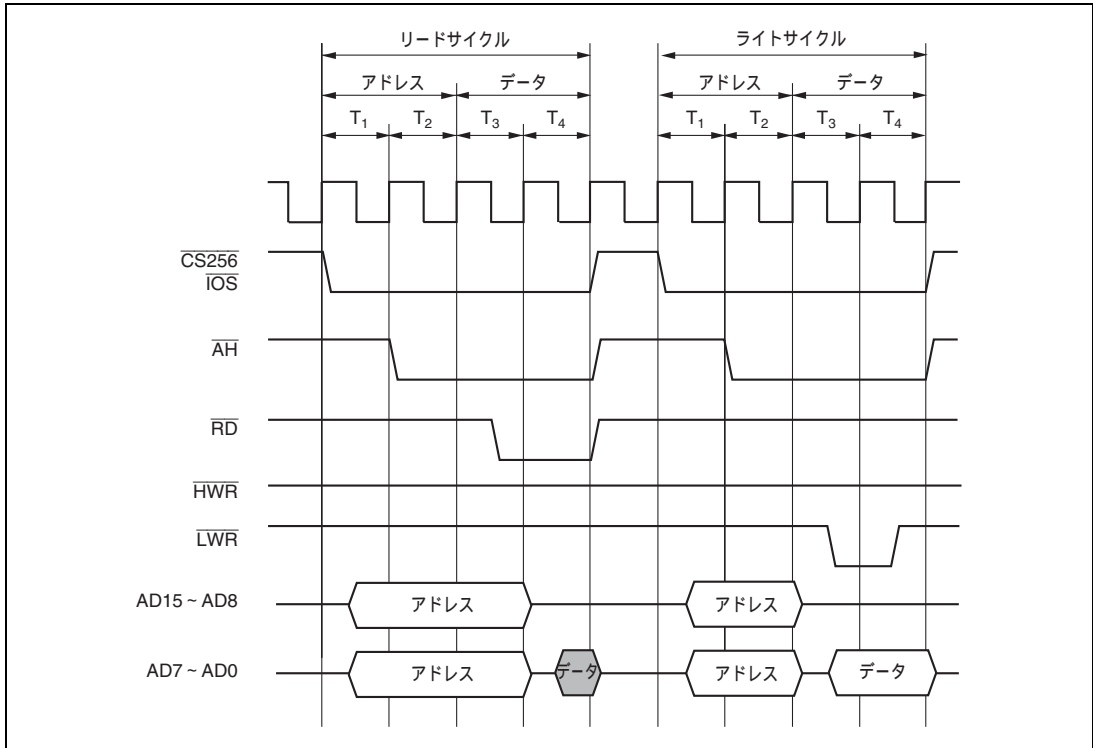


図 6.22 16 ビット・データ 2 ステートアクセス空間のバスタイミング (4)
(奇数バイトアクセス)

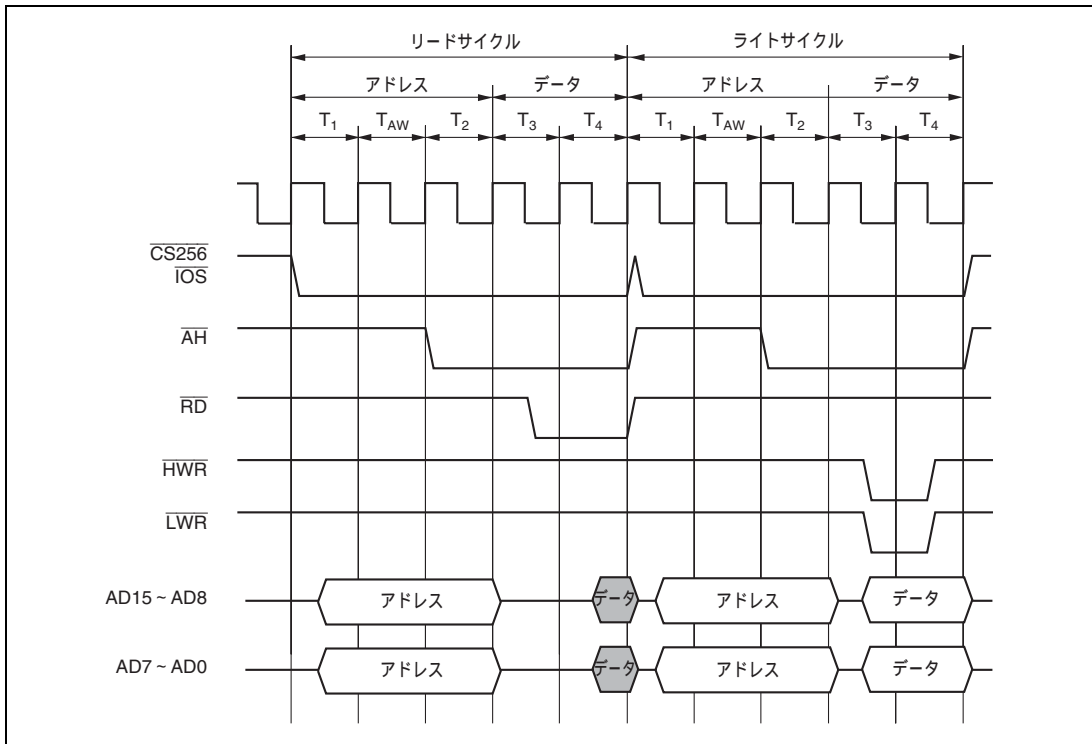


図 6.23 16 ビット・データ 2 ステートアクセス空間のバスタイミング (5)
(ワードアクセス)

6. バスコントローラ (BSC)

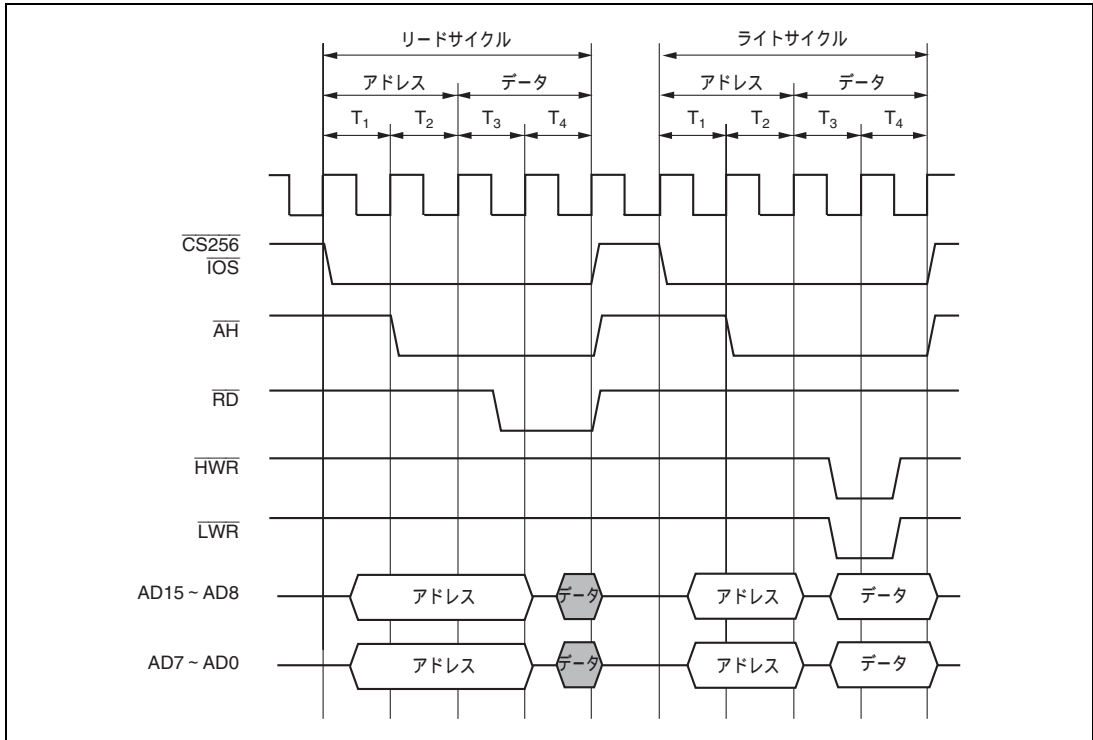


図 6.24 16 ビット・データ 2 ステートアクセス空間のバスタイミング (6)
(ワードアクセス)

(4) 16 ビット・データ 3 ステートアクセス空間

図 6.25 ~ 図 6.27 に 16 ビット・データ 3 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側 (AD15 ~ AD8) を使用し、奇数アドレスに対してはデータバスは下位側 (AD7 ~ AD0) を使用します。ウェイトステートを挿入することができます。

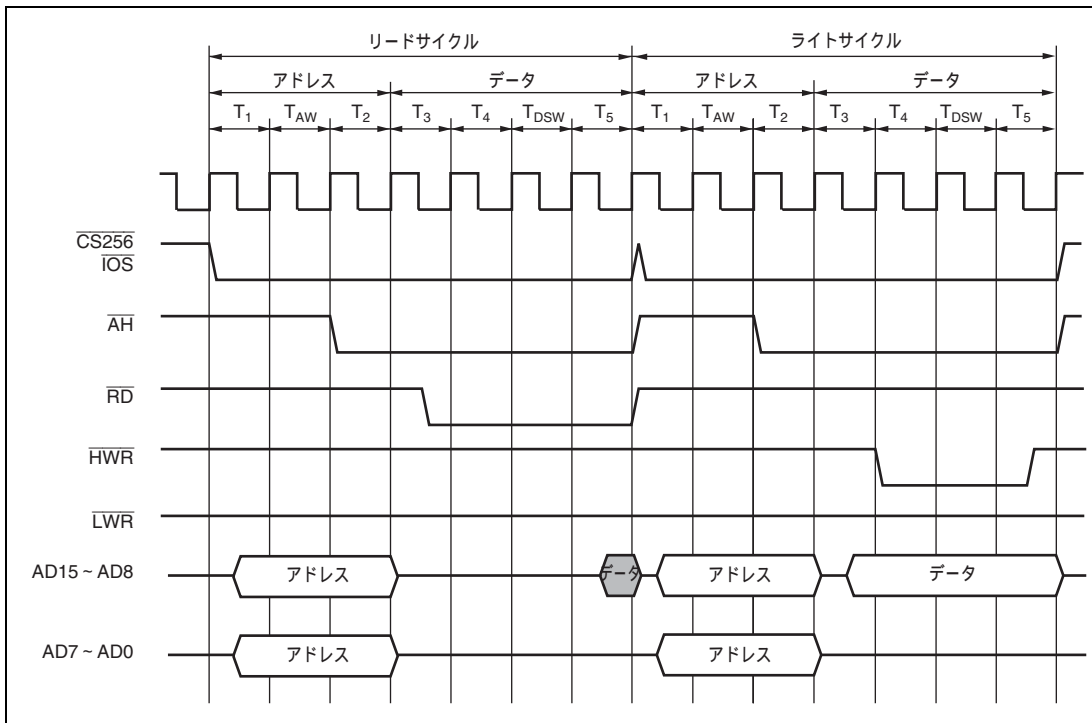


図 6.25 16 ビット・データ 3 ステートアクセス空間のバスタイミング (1)
(偶数バイトアクセス)

6. バスコントローラ (BSC)

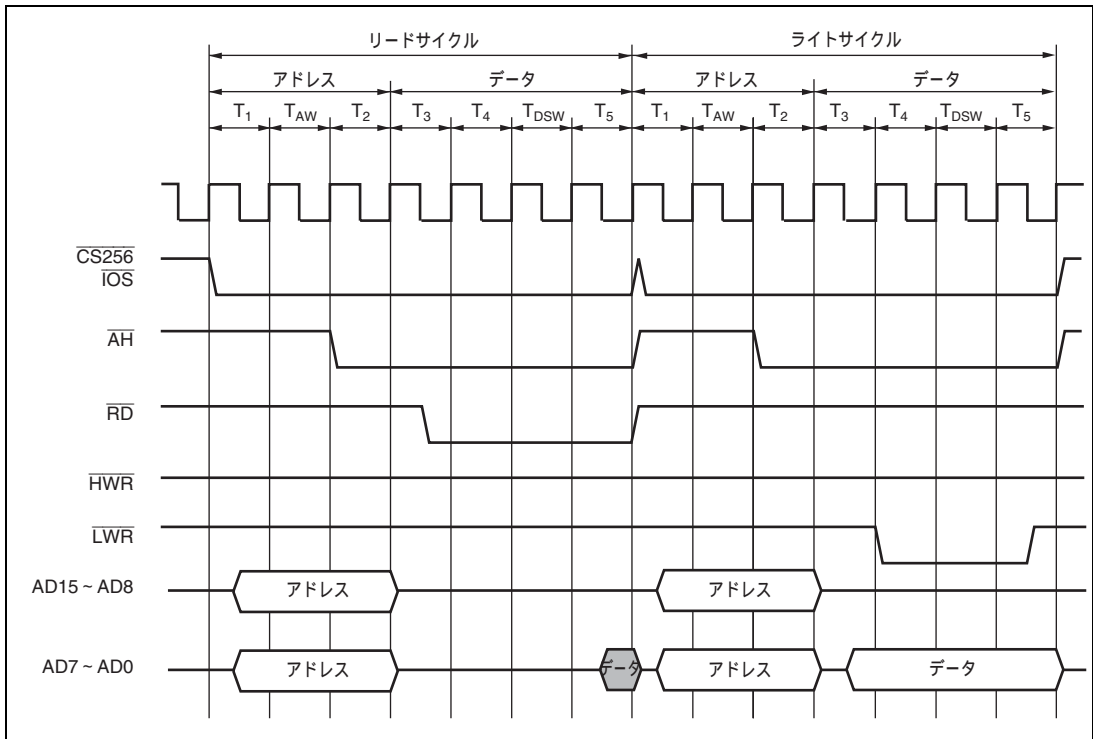


図 6.26 16 ビット・データ 3 ステートアクセス空間のバスタイミング (2)
(奇数バイトアクセス)

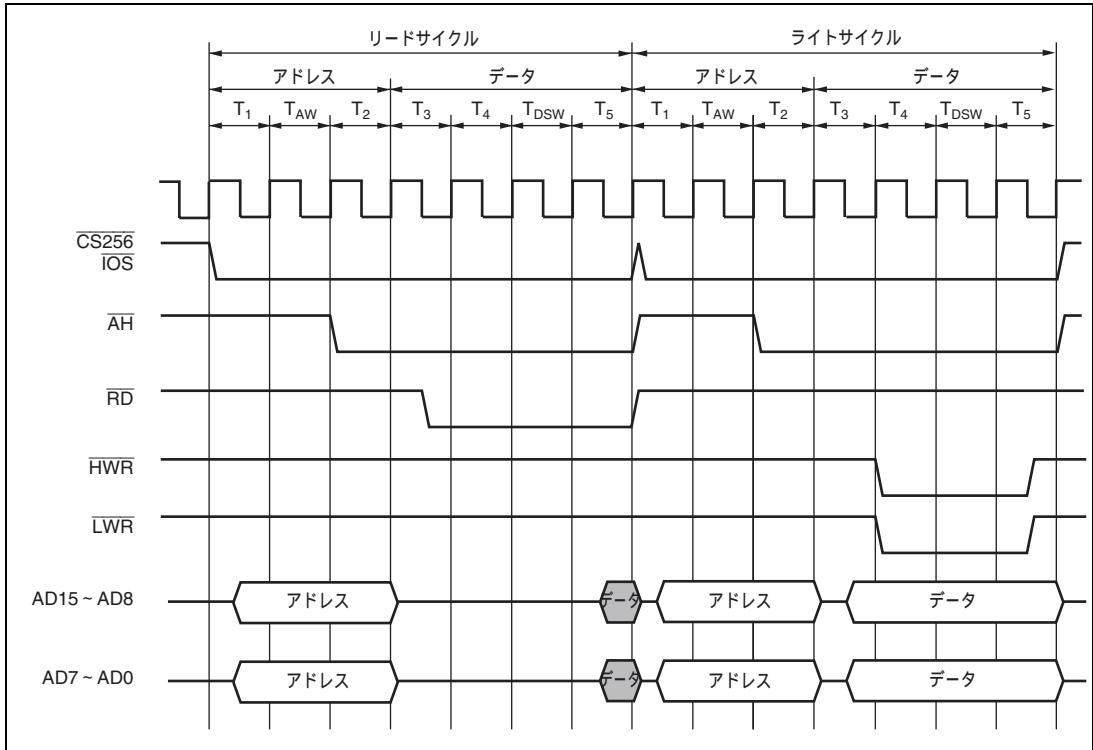


図 6.27 16 ビット・データ 3 ステートアクセス空間のバスタイミング (3)
(ワードアクセス)

6. バスコントローラ (BSC)

6.5.6 ウェイト制御

本 LSI は、外部アドレス空間をアクセスするとき、ウェイトステート (T_w) を挿入してバスサイクルを引き伸ばすことができます。ウェイトステートを挿入する方法には、プログラムウェイトの挿入、 $\overline{\text{WAIT}}$ 端子による端子ウェイトの挿入による端子ウェイトの組み合わせがあります。

(1) ノーマル拡張時

(a) プログラムウェイトモード

プログラムウェイトモードでは外部アドレス空間をアクセスすると、常に WSCR の WC1、WC0 ビット (256kB 拡張エリアでは WSCR2 の WC11、WC10) ビットにより設定されたステート数の T_w が、 T_2 ステートと T_3 ステートの間に挿入されます。

(b) 端子ウェイトモード

端子ウェイトモードでは外部アドレス空間をアクセスすると、常に WC1、WC0 ビットにより設定されたステート数の T_w が、 T_2 ステートと T_3 ステートの間に挿入されます。 T_2 または T_w の最後のステートの の立ち下りのタイミングで、 $\overline{\text{WAIT}}$ 端子が Low レベルであると、さらに T_w が挿入されます。 $\overline{\text{WAIT}}$ 端子が Low レベルに保持されると、 $\overline{\text{WAIT}}$ 端子が High レベルになるまで T_w が挿入されます。

端子ウェイトモードは、4 ステート以上の T_w を挿入する場合や、外部デバイスごとに挿入する T_w 数を変える場合などに有効です。

(c) 端子オートウェイトモード

端子オートウェイトモードでは外部アドレス空間をアクセスしたとき、 T_2 の の立ち下りのタイミングで $\overline{\text{WAIT}}$ 端子が Low レベルであると、WC1、WC0 ビットにより設定されたステート数の T_w が、 T_2 ステートと T_3 ステートの間に挿入されます。 $\overline{\text{WAIT}}$ 端子が Low レベルに保持されても、設定されたステート数を超える T_w は挿入されません。

端子オートウェイトモードを用いると、チップセレクト信号を $\overline{\text{WAIT}}$ 端子に入力するだけで低速メモリと容易にインタフェースすることができます。

図 6.28 に端子ウェイトモードのウェイトステート挿入のタイミング例を示します。

リセット後は、3 ステートアクセスかつプログラムウェイト 3 ステート挿入、 $\overline{\text{WAIT}}$ 入力禁止状態となっています。

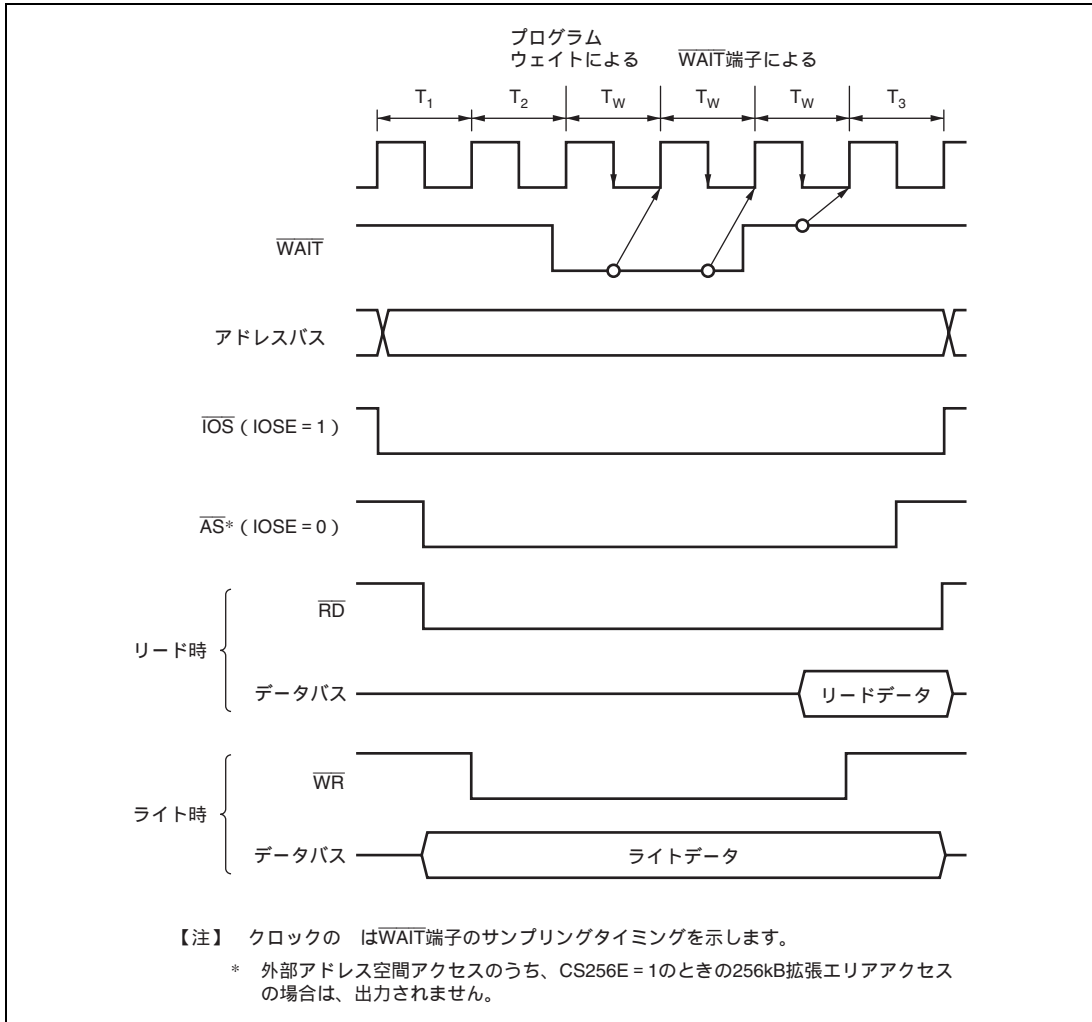


図 6.28 ウェイトステート挿入タイミング例 (端子ウェイトモード)

6. バスコントローラ (BSC)

(2) アドレス/データマルチプレックス拡張時

(a) プログラムウェイトモード

プログラムウェイトモードはアドレスウェイトとデータウェイトの2種類があります。

- 256kB拡張エリア、IOS拡張エリア

アドレスウェイト T_{AW} は T_1 ステートと T_2 ステートの間に0、1ステート挿入されます。

データウェイト T_{DSW} は T_4 ステートと T_5 ステートの間に0~3ステート挿入されます。

(b) 端子ウェイトモード

端子ウェイトモードでは、外部アドレス空間をアクセスすると、データステートにのみウェイトが挿入されません。

端子ウェイトモードでは外部アドレス空間をアクセスすると、常に WC1、WC0 ビットにより設定されたステート数の T_{DSW} が、 T_4 ステートと T_5 ステートの間に挿入されます。 T_4 、 T_{DSW} または T_{DOW} の最後のステートの 立ち下がりのタイミングで、 \overline{WAIT} 端子が Low レベルであると、さらに T_{DOW} が挿入されます。 \overline{WAIT} 端子が Low レベルに保持されると、 \overline{WAIT} 端子が High レベルになるまで T_{DOW} が挿入されます。

端子ウェイトモードは、4 ステート以上の T_{DOW} を挿入する場合や、外部デバイスごとに挿入する T_{DOW} 数を変える場合などに有効です。

(c) 端子オートウェイトモード

端子オートウェイトモードでは、外部アドレス空間をアクセスしたとき、 T_4 の 立ち下がりのタイミングで、 \overline{WAIT} 端子が Low レベルであると、WC1、WC0 ビットにより設定されたステート数だけの T_{DOW} が、 T_4 ステートと T_5 ステートの間に挿入されます。 \overline{WAIT} 端子が Low レベルに保持されても、設定された数を超える T_{DOW} は挿入されません。

端子オートウェイトモードを用いると、チップセレクト信号を \overline{WAIT} 端子に入力するだけで、低速メモリと容易にインタフェースすることができます。

図 6.29 にウェイトステート挿入のタイミング例を示します。

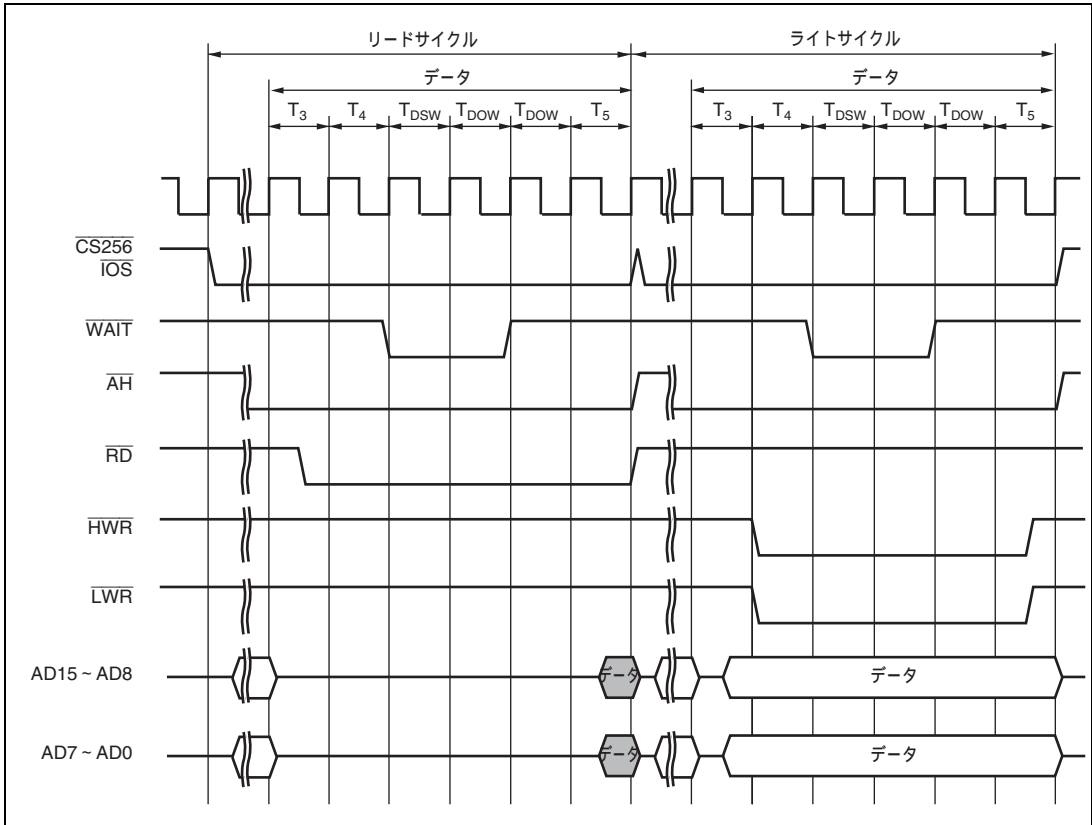


図 6.29 ウェイトステート挿入タイミング例

6.6 バースト ROM インタフェース

本 LSI は BCR の BRSTRM ビットにより、外部アドレス空間をバースト ROM 空間に設定し、バースト ROM インタフェースを行うことができます。CPU の命令フェッチに限り最大 4 ワードまたは最大 8 ワードの連続バーストアクセスを行うことができます。バーストアクセスは 1 ステートまたは 2 ステートを選択できます。

6.6.1 基本動作タイミング

バースト ROM インタフェースのイニシャルサイクル(フルアクセス)のアクセスステート数は、WSCR の AST ビットの設定に従います。AST ビットを 1 にセットすると、ウェイトステートを挿入することもできます。バーストサイクルは BCR の BRSTS1 ビットの設定により、1 ステートまたは 2 ステートの選択が可能です。ウェイトステートは挿入できません。また、BCR の BRSTS0 ビットを 0 にクリアすると最大 4 ワードのバーストアクセスを行います。BRSTS0 ビットを 1 にセットすると最大 8 ワードのバーストアクセスを行います。

バースト ROM 空間の基本アクセスタイミングを図 6.30、図 6.31 に示します。

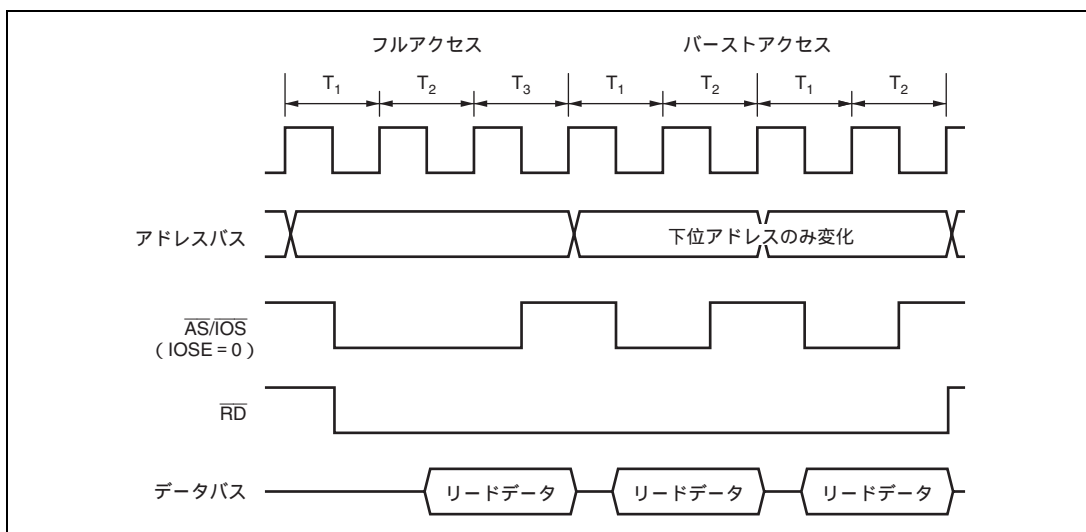


図 6.30 バースト ROM 空間のアクセスタイミング例 (AST = BRSTS1 = 1 の場合)

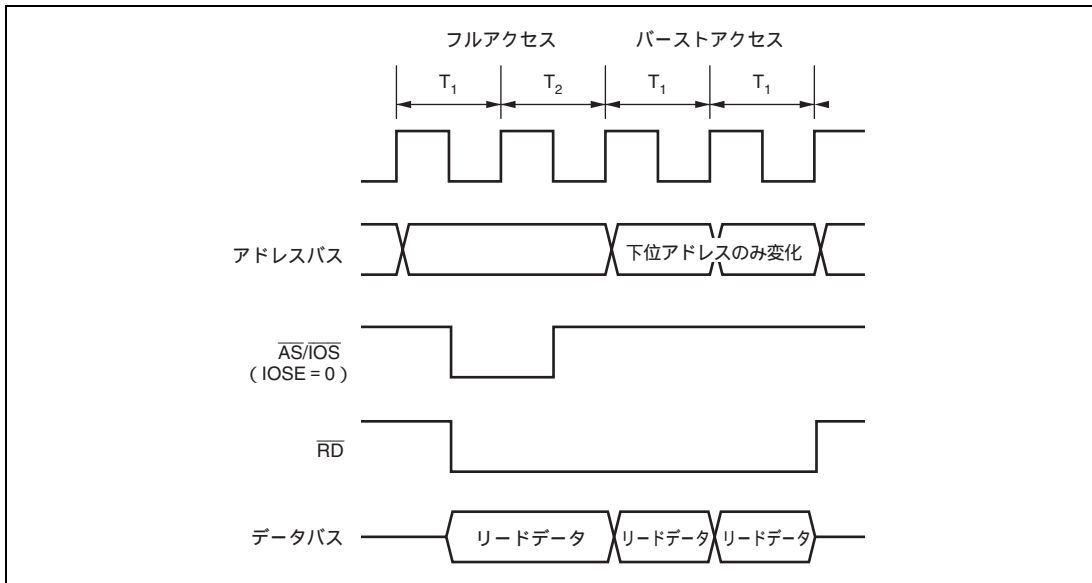


図 6.31 バースト ROM 空間のアクセスタイミング例 (AST = BRSTS1 = 0 の場合)

6.6.2 ウェイト制御

バースト ROM インタフェースのイニシャルサイクル(フルアクセス)には、基本バスインタフェースと同様にプログラムウェイトの挿入、および \overline{WAIT} 端子による端子ウェイトの挿入が可能です。詳細は「6.5.6 ウェイト制御」を参照してください。バーストサイクルにはウェイトステートを挿入することはできません。

6. バスコントローラ (BSC)

6.7 アイドルサイクル

本 LSI は外部アドレス空間をアクセスするときに、リードサイクルの直後にライトサイクルが発生した場合、バスサイクルとバスサイクルの間にアイドルサイクル (T_1) を 1 ステート挿入することができます。アイドルサイクルを挿入することにより、例えば出力フローティング時間の大きい ROM と、高速メモリ、I/O インタフェースとのデータ衝突を防ぐことができます。

BCR の ICIS ビットを 1 にセットした状態で外部リード後に外部ライトが発生すると、ライトサイクルの先頭にアイドルサイクルが挿入されます。

図 6.32 にアイドルサイクルの動作例を示します。バスサイクル A は出力フローティング時間の大きい ROM からのリードサイクル、バスサイクル B は CPU のライトサイクルの場合の例です。図 6.32 (a) はアイドルサイクルを挿入しない場合で、バスサイクル B で ROM からのリードデータと CPU のライトデータの衝突が発生しています。これに対し図 6.32 (b) ではアイドルサイクルの挿入でデータの衝突を回避しています。

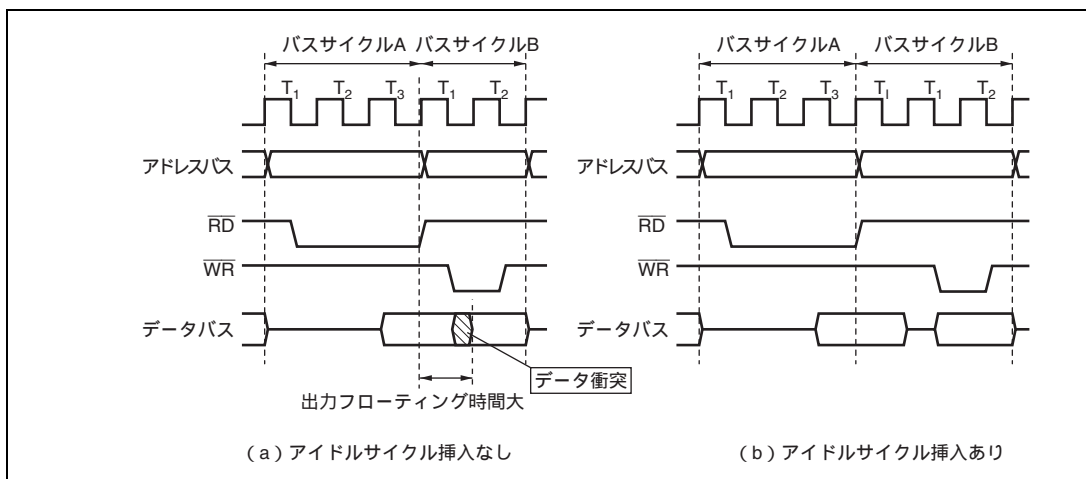


図 6.32 アイドルサイクルの動作例

アイドルサイクルでの端子状態を表 6.15 に示します。

表 6.15 アイドルサイクルでの端子状態

端子名	端子の状態
A23 ~ A0	直後のバスサイクルの内容
D15 ~ D0	ハイインピーダンス
AS、IOS、CSC256	High レベル
RD	High レベル
HWR、LWR	High レベル

6.8 バスアービトレーション

6.8.1 概要

BSCはバスマスタの動作を調停(バスアービトレーション)するバスアービタを内蔵しています。バスマスタは、CPU、DTCの2つがあり、バス権を占有した状態でリード/ライト動作を行います。

6.8.2 バスマスタの優先順位

各バスマスタはバス権要求信号によりバス権を要求します。バスアービタは、バスマスタのバス権要求信号を検出し、バス権要求であれば所定のタイミングでそのバスマスタにバス権要求アクノリッジ信号を与えます。複数のバスマスタからバス権要求があれば、最も優先順位の高いものにバス権要求アクノリッジ信号を与えます。バス権要求アクノリッジ信号を受け取ったバスマスタは、以後この信号が取り消されるまでバスを占有します。バスマスタの優先順位は以下のとおりです。

(高)DTC > CPU(低)

6.8.3 バス権移行タイミング

バス権を獲得して動作しているバスマスタよりも優先順位の高いバスマスタからのバス権要求があったときに、すぐにバス権が移行するとは限りません。各バスマスタにはバス権が移行するタイミングは次のとおりです。

(1) CPU

CPUは最も優先順位が低いバスマスタで、DTCからのバス権要求があるとバスアービタはバス権をDTCに移行します。

- DTCのバス権移行タイミング

1. バスサイクルの切れ目で、バス権を移行します。

ただし、ロングワードサイズのアクセスなど、バスサイクルを分割して実行する場合には、分割されたバスサイクルの切れ目ではバス権は移行しません。詳細はH8S/2600シリーズ、H8S/2000シリーズプログラミングマニュアルの「2.7 命令実行中のバス状態」を参照してください。

2. CPUがスリープモードの場合は、ただちにバス権を移行します。

(2) DTC

DTCは起動要求が発生すると、バスアービタに対してバス権を要求します。DTCは一連の処理が完了するまでバス権を解放しません。

6. バスコントローラ (BSC)

7. データトランスファコントローラ (DTC)

本 LSI は、データトランスファコントローラ (DTC) を内蔵しています。DTC は、割り込みまたはソフトウェアによって起動され、データ転送を行うことができます。

図 7.1 に DTC のブロック図を示します。DTC のレジスタ情報は内蔵 RAM に配置されます。DTC を使用する際には、必ず SYSCR の RAME ビットを 1 にセットしてください。DTC と内蔵 RAM の H'FFEC00 ~ H'FFEFF (1K バイト) 間は 32 ビットバスで接続されていますので、DTC のレジスタ情報のリード/ライトを 32 ビット 1 ステートで実行できます。

7.1 特長

- 任意チャンネル数の転送可能
- 転送モード：3種類
ノーマル転送モード、リピート転送モード、ブロック転送モード
- 一つの起動要因で複数データの連続転送が可能 (チェイン転送)
- 16Mバイトのアドレス空間を直接指定可能
- ソフトウェアによる起動が可能
- 転送単位をバイト/ワードに設定可能
- DTCを起動した割り込みをCPUに要求可能
- モジュールストップモードの設定可能
- 中速モード時、DTCは高速モードで動作可能

7. データトランスファコントローラ (DTC)

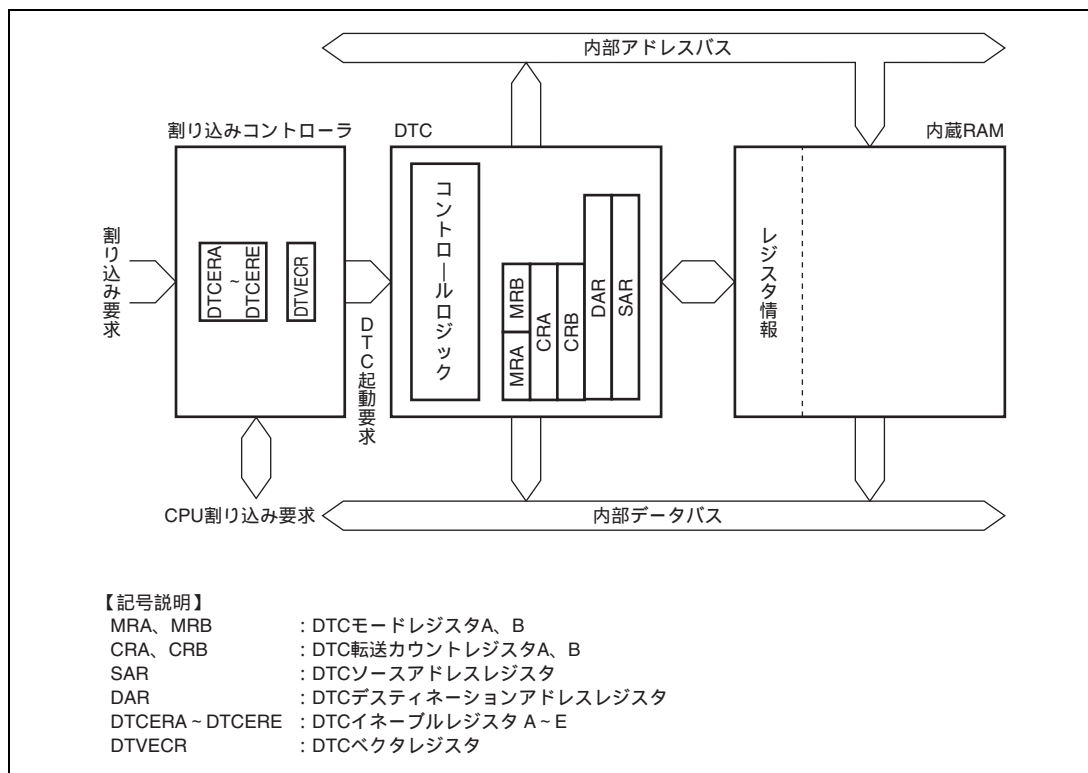


図 7.1 DTC のブロック図

7.2 レジスタの説明

DTC には以下のレジスタがあります。

- DTCモードレジスタA (MRA)
- DTCモードレジスタB (MRB)
- DTCソースアドレスレジスタ (SAR)
- DTCデスティネーションアドレスレジスタ (DAR)
- DTC転送カウントレジスタA (CRA)
- DTC転送カウントレジスタB (CRB)

以上の6本のレジスタはCPUから直接アクセスすることはできません。DTC起動要因が発生すると内蔵RAM上に配置された任意の組のレジスタ情報から該当するレジスタ情報をこれらのレジスタに転送してDTC転送を行い、転送が終了するとこれらのレジスタの内容が内蔵RAMに戻されます。

- DTCイネーブルレジスタ (DTCER)
- DTCベクタレジスタ (DTVECR)

- キーボードコンパレータコントロールレジスタ (KBCOMP)
- イベントカウンタコントロールレジスタ (ECCR)
- イベントカウンタステータスレジスタ (ECS)

7.2.1 DTC モードレジスタ A (MRA)

MRA は DTC の動作モードの選択を行います。

ビット	ビット名	初期値	R/W	説明
7 6	SM1 SM0	不定 不定	- -	ソースアドレスモード 1、0 データ転送後の SAR の動作を指定します。 0x : SAR は固定 10 : 転送後 SAR をインクリメント (Sz=0 のとき +1、Sz=1 のとき +2) 11 : 転送後 SAR をデクリメント (Sz=0 のとき -1、Sz=1 のとき -2)
5 4	DM1 DM0	不定 不定	- -	デスティネーションアドレスモード 1、0 データ転送後の DAR の動作を指定します。 0x : DAR は固定 10 : 転送後 DAR をインクリメント (Sz=0 のとき +1、Sz=1 のとき +2) 11 : 転送後 DAR をデクリメント (Sz=0 のとき -1、Sz=1 のとき -2)
3 2	MD1 MD0	不定 不定	- -	DTC モード DTC の転送モードを指定します。 00 : ノーマル転送モード 01 : リピート転送モード 10 : ブロック転送モード 11 : 設定禁止
1	DTS	不定	-	DTC 転送モードセレクト リピート転送モードまたはブロック転送モードのとき、ソース側とデスティネーション側のどちらをリピート領域またはブロック領域とするかを指定します。 0 : デスティネーション側がリピート領域またはブロック領域 1 : ソース側がリピート領域またはブロック領域
0	Sz	不定	-	DTC データトランスファサイズ 転送データのサイズを指定します。 0 : バイトサイズ転送 1 : ワードサイズ転送

【注】 x : Don't care

7. データトランスファコントローラ (DTC)

7.2.2 DTC モードレジスタ B (MRB)

MRB は DTC モードの選択を行います。

ビット	ビット名	初期値	R/W	説明
7	CHNE	不定	-	DTC チェイン転送イネーブル このビットが 1 のときチェイン転送を行います。チェイン転送の詳細は「7.6.4 チェイン転送」を参照してください。 CHNE = 1 に設定したデータ転送では、指定した転送回数の終了の判定や起動要因フラグのクリアや DTCER のクリアは行いません。
6	DISEL	不定	-	DTC インタラプトセレクト このビットが 1 のとき DTC 転送のたびに CPU に対して割り込み要求を発生します。このビットが 0 のとき指定されたデータ転送を終了したときだけ CPU に対して割り込み要求を発生します。
5~0	-	すべて不定	-	リザーブビット DTC の動作に影響を与えません。0 をライトしてください。

7.2.3 DTC ソースアドレスレジスタ (SAR)

SAR は 24 ビットのレジスタで、DTC の転送するデータの転送元アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

7.2.4 DTC デスティネーションアドレスレジスタ (DAR)

DAR は 24 ビットのレジスタで、DTC の転送するデータの転送先アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

7.2.5 DTC 転送カウンタレジスタ A (CRA)

CRA は 16 ビットのレジスタで、DTC のデータ転送の転送回数を指定します。

ノーマル転送モードでは、一括して 16 ビットの転送カウンタ (1~65536) として機能します。1 回のデータ転送を行うたびにデクリメント (-1) されます。カウンタ値が H'0000 になると転送を終了します。転送回数は、設定値が H'0001 のときは 1 回、H'FFFF のときは 65535 回で、H'0000 のときが 65536 回になります。

リピート転送モードでは、上位 8 ビットの CRAH と下位 8 ビットの CRAL に分割されます。CRAH は転送回数を保持し、CRAL は 8 ビットの転送カウンタ (1~256) として機能します。CRAL は 1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'00 になると CRAH の内容が転送されます。転送回数は、設定値が CRAH=CRAL=H'01 のときは 1 回、H'FF のときは 255 回で、H'00 のときが 256 回になります。

ブロック転送モードでは、上位 8 ビットの CRAH と下位 8 ビットの CRAL に分割されます。CRAH はブロックサイズを保持し、CRAL は 8 ビットのブロックサイズカウンタ (1~256) として機能します。CRAL は 1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'00 になると、CRAH の内容が転送されます。ブロックサイズは設定値が CRAH=CRAL=H'01 のときは 1 バイト (または 1 ワード)、H'FF のときは 255 バイト (または 255 ワード) で、H'00 のときが 256 バイト (または 256 ワード) になります。

7.2.6 DTC 転送カウントレジスタ B (CRB)

CRB は 16 ビットのレジスタで、ブロック転送モードのとき、DTC のブロックデータ転送の転送回数を指定します。16 ビットの転送カウンタ (1 ~ 65536) として機能し、1 回のデータ転送を行うたびに、デクリメント (-1) され、カウンタ値が H'0000 になると転送を終了します。

7.2.7 DTC イネーブルレジスタ (DTCER)

DTCER は DTC を起動する割り込み要因を選択するためのレジスタで、DTCERA ~ DTCERE があります。各割り込み要因と DTCE ビットの対応については表 7.1、表 7.4 を参照してください。DTCE ビットの設定は、BSET、BCLR などビット操作命令を使用してください。ただし複数の起動要因を一度に設定するときには、初期設定に限り、割り込みをマスクして対象となるレジスタをダミーリードした後ライトすることができます。

ビット	ビット名	初期値	R/W	説明
7	DTCE7	0	R/W	DTC 起動イネーブル
6	DTCE6	0	R/W	1 をセットすると対応する割り込み要因が DTC 起動要因として選択されます。
5	DTCE5	0	R/W	[クリア条件]
4	DTCE4	0	R/W	• MRB の DISEL ビットが 1 でデータ転送を終了したとき
3	DTCE3	0	R/W	• 指定した回数の転送が終了したとき
2	DTCE2	0	R/W	DISEL ビットが 0 で、指定した回数の転送が終了していないときはクリアされません。
1	DTCE1	0	R/W	
0	DTCE0	0	R/W	

表 7.1 各割り込み要因と DTCER の対応

ビット	ビット名	レジスタ				
		DTCERA	DTCERB	DTCERC	DTCERD	DTCERE
7	DTCEn7	(16)IRQ0	-	-	(86)TXI1	-
6	DTCEn6	(17)IRQ1	(76)IIC12	-	-	-
5	DTCEn5	(18)IRQ2	(94)IIC10	-	-	-
4	DTCEn4	(19)IRQ3	-	(29)EVENT1	(78)IIC13	-
3	DTCEn3	(28)ADI	-	-	(98)IIC11	(104)ERR1
2	DTCEn2	-	-	(81)RXI3	-	(105)IBFI1
1	DTCEn1	-	-	(82)TXI3	-	(106)IBFI2
0	DTCEn0	-	-	(85)RXI1	-	(107)IBFI3

【注】 n : A ~ E

() : ベクタ番号

- : リザーブビットです。0 をライトしてください。

7. データトランスファコントローラ (DTC)

7.2.8 DTC ベクタレジスタ (DTVECR)

DTVECR はソフトウェアによる DTC 起動およびソフトウェア起動割り込み用ベクタ番号を設定します。

ビット	ビット名	初期値	R/W	説 明
7	SWDTE	0	R/W	DTC ソフトウェア起動イネーブル このビットを 1 にセットすると DTC が起動します。1 のライトのみ可能です。 [クリア条件] <ul style="list-style-type: none">• DISEL ビットが 0 で、指定した回数の転送が終了しないとき• CPU に対し、ソフトウェア起動データ転送終了割り込み要求 (SWDTEND) が発生したあと、0 をライトしたとき DISEL ビットが 1 で、データ転送を終了したとき、および指定した回数の転送が終了したときはクリアされません。
6	DTVEC6	0	R/W	DTC ソフトウェア起動ベクタ 6~0
5	DTVEC5	0	R/W	ソフトウェアによる DTC 起動ベクタ番号を設定します。
4	DTVEC4	0	R/W	ベクタアドレスは、H'0400 + ベクタ番号 × 2 となります。たとえば、DTVEC6
3	DTVEC3	0	R/W	~ DTVEC0 = H'10 のとき、ベクタアドレスは H'0420 となります。
2	DTVEC2	0	R/W	SWDTE = 0 のときだけライト可能です。
1	DTVEC1	0	R/W	
0	DTVEC0	0	R/W	

7.2.9 キーボードコンパレータコントロールレジスタ (KBCOMP)

KBCOMP は、イベントカウント機能の許可 / 禁止を設定します。

ビット	ビット名	初期値	R/W	説 明
7	EVENTE	0	R/W	イベントカウントイネーブル 0 : イベントカウント機能を禁止 1 : イベントカウント機能を許可
6	-	0	R	リザーブビット
5	-	0	R	リードすると常に 0 が読み出されます。ライトは無効です。
4~0	-	すべて 0	R/W	リザーブビット 初期値を変更しないでください。

7.2.10 イベントカウンタコントロールレジスタ (ECCR)

ECCR は、使用するイベントカウンタチャンネルおよび検出エッジを選択します。

ビット	ビット名	初期値	R/W	説 明
7	EDSB	0	R/W	イベントカウンタエッジセレクト イベントカウンタの検出エッジを選択します。 0 : 立ち上がりエッジをカウント 1 : 立ち下がりエッジをカウント
6~4	-	すべて0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
3 2 1 0	ECSB3 ECSB2 ECSB1 ECSB0	0 0 0 0	R/W R/W R/W R/W	イベントカウンタチャンネルセレクト3~0 イベントカウンタ入力とする端子を EVENT0 から選択します。 EVENT0 ~ EVENT7 は PAnDDR の値が 1 に設定されている場合には EVENT 入力は無視されます。 0000 : EVENT0 を使用 0001 : EVENT0、EVENT1 を使用 0010 : EVENT0 ~ EVENT2 を使用 0011 : EVENT0 ~ EVENT3 を使用 0100 : EVENT0 ~ EVENT4 を使用 0101 : EVENT0 ~ EVENT5 を使用 0110 : EVENT0 ~ EVENT6 を使用 0111 : EVENT0 ~ EVENT7 を使用 1000 : EVENT0 ~ EVENT8 を使用 1001 : EVENT0 ~ EVENT9 を使用 1010 : EVENT0 ~ EVENT10 を使用 1011 : EVENT0 ~ EVENT11 を使用 1100 : EVENT0 ~ EVENT12 を使用 1101 : EVENT0 ~ EVENT13 を使用 1110 : EVENT0 ~ EVENT14 を使用 1111 : EVENT0 ~ EVENT15 を使用

7.2.11 イベントカウンタステータスレジスタ (ECS)

ECS は、16 ビットのイベントを一時的に保持するレジスタです。DTC はこのレジスタの状態に従い、加算するイベントカウンタを決定します。リードすると、イベントカウンタに加算されていないイベントをモニタすることができます。8 ビット単位のアクセスはできません。

ビット	ビット名	初期値	R/W	説 明
15~0	E15~E0	0	R	イベントモニタ 15~0 EVENT15 ~ EVENT0 に入力されたイベントの処理状態をモニタします。 0 : 未処理のイベントがない 1 : 未処理のイベントがある

7. データトランスファコントローラ (DTC)

7.3 DTC イベントカウンタ

DTC イベントカウンタ機能で EVENT0 ~ EVENT15 のイベントをカウントするためには、次のように DTC を設定します。

表 7.2 DTC イベントカウンタ機能の条件

レジスタ	ビット	ビット名	説明
MRA	7, 6	SM1, SM0	00 : SAR は固定
	5, 4	DM1, DM0	00 : DAR は固定
	3, 2	MD1, MD0	01 : リピート転送モード
	1	DTS	0 : デスティネ ション側がリピート領域
	0	Sz	1 : ワードサイズ転送
MRB	7	CHNE	0 : チェイン転送を行わない
	6	DISEL	0 : 指定回数のデータ転送終了時に割り込み要求発生
	5~0	-	B'000000
SAR	23~0	-	同一の任意の RAM アドレス、ただし下位 5 ビットは B'00000 とする。 このアドレスを先頭とする 16 ワードを、EVENT0 ~ EVENT15 にイベントを検出する ごとにインクリメントする。
DAR	23~0	-	
CRAH	7~0	-	H'FF
CRAL	7~0	-	H'FF
CRBH	7~0	-	H'FF
CRBL	7~0	-	H'FF
DTCEC4	4	DTCEC4	1 : イベントカウンタの DTC 機能を許可
KBCOMP	7	EVENTE	1 : イベントカウンタ機能イネーブル
RAM	-	-	(SAR, DAR) : EVENT0 のカウント結果 (SAR, DAR) + 2 : EVENT1 のカウント結果 (SAR, DAR) + 4 : EVENT2 のカウント結果 (SAR, DAR) + 30 : EVENT15 のカウント結果

ECCR の ECSB3 ~ ECSB0 で指定したイベント入力端子に、ECCR の EDSB で指定したエッジのイベントを検出すると、ECS の入力端子に対応したフラグに 1 がセットされます。このフラグの状態から、表 7.3 のようにステータス / アドレスコードが生成されます。

ECS が 1 ビットでも 1 にセットされると、EVENTI 割り込み要求が発行されます。

EVENTI 割り込み要求は DTC を起動し、同一アドレスの RAM から RAM へのデータ転送を行います。ただし、データは DTC 内部でインクリメントされます。このとき、SAR および DAR の下位 5 ビットは、ECS のフラグの状態から生成したアドレスコードに置き換えられます。

DTC の転送が終了すると、転送に対応する ECS のフラグはクリアされます。

表 7.3 フラグステータス/アドレスコード

ECS															アドレスコード	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1		0
															1	B'00000
														1	0	B'00010
													1	0	0	B'00100
												1	0	0	0	B'00110
											1	0	0	0	0	B'01000
										1	0	0	0	0	0	B'01010
									1	0	0	0	0	0	0	B'01100
								1	0	0	0	0	0	0	0	B'01110
							1	0	0	0	0	0	0	0	0	B'10000
						1	0	0	0	0	0	0	0	0	0	B'10010
					1	0	0	0	0	0	0	0	0	0	0	B'10100
				1	0	0	0	0	0	0	0	0	0	0	0	B'10110
			1	0	0	0	0	0	0	0	0	0	0	0	0	B'11000
		1	0	0	0	0	0	0	0	0	0	0	0	0	0	B'11010
	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	B'11100
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	B'11110

7.3.1 イベントカウンタ処理の優先順位

EVENT0 ~ EVENT15 のカウンタ処理は次の優先順位で行われます。

高 低
 EVENT0 > EVENT1 EVENT14 > EVENT15

7.3.2 使用上の注意事項

本イベントカウンタは DTC を利用しているため、以下の使用上の注意事項があります。

1. DTCを利用してカウンタアップ処理を行うため、DTC処理が間に合わない同一入力の連続したイベントは無視されます。
2. 複数のイベントが近接したタイミングで発生した場合、イベントカウンタの優先順位が先着順でないため、イベントとカウンタの前後関係は保証できません。
3. カウンタがオーパフローしても、割り込みなどを発生せずにH'0000からカウントを続けます。

7.4 起動要因

DTC は割り込み要求またはソフトウェアによる DTVECR へのライト動作により起動します。起動する割り込み要因は DTCER で選択します。1 回のデータ転送 (チェーン転送の場合、連続した最後の転送) 終了時に、起動要因となった割り込みフラグまたは DTCER の対応するビットをクリアします。たとえば RX11 の場合、起動要因フラグは、SCI_1 の RDRF フラグになります。

割り込みで DTC を起動する場合は CPU のマスクレベルおよび割り込みコントローラに設定されたプライオリティレベルの影響を受けません。複数の起動要因が同時に発生した場合には、割り込み要因のデフォルトの優先順位に従って DTC が起動します。DTC 起動要因制御ブロック図を図 7.2 に示します。割り込みコントローラの詳細は、「第 5 章 割り込みコントローラ」を参照してください。

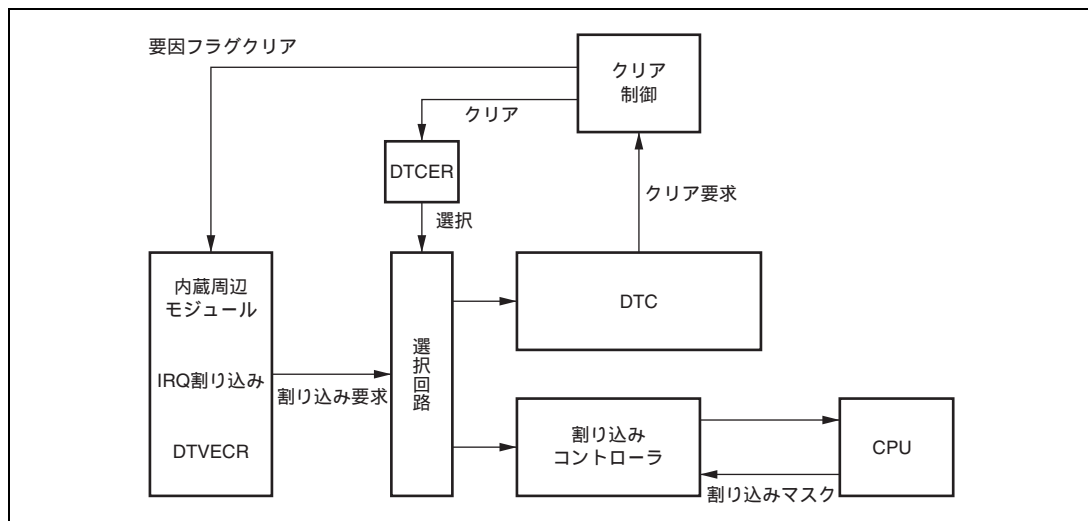


図 7.2 DTC 起動要因制御ブロック図

7.5 レジスタ情報の配置と DTC ベクタテーブル

レジスタ情報は、内蔵 RAM 上のアドレス H'FFEC00 ~ H'FFEF00 に配置してください。レジスタ情報はこの範囲の任意のアドレスに配置することができますが、アドレスは4の倍数の番地としてください。図 7.3 に、アドレス空間上でのレジスタ情報の配置方法を示します。レジスタ情報の先頭アドレスから、MRA、SAR、MRB、DAR、CRA、CRB の順に配置してください。チェーン転送の場合は、図 7.3 のように連続した領域にレジスタ情報を配置してください。また、各レジスタ情報の先頭アドレスを DTC ベクタテーブルの起動要因に対応する番地に格納してください。DTC は起動要因別にベクタテーブルからレジスタ情報の先頭アドレスをリードし、この先頭アドレスからレジスタ情報をリードします。

ソフトウェアで起動する場合のベクタアドレスは $H'0400 + (DTVECR[6:0] \times 2)$ となります。たとえば、DTVECR が H'10 のとき、ベクタアドレスは H'0420 となります。

ベクタアドレスの構造は、2 バイト単位となっています。先頭アドレスの下位 2 バイトを設定してください。

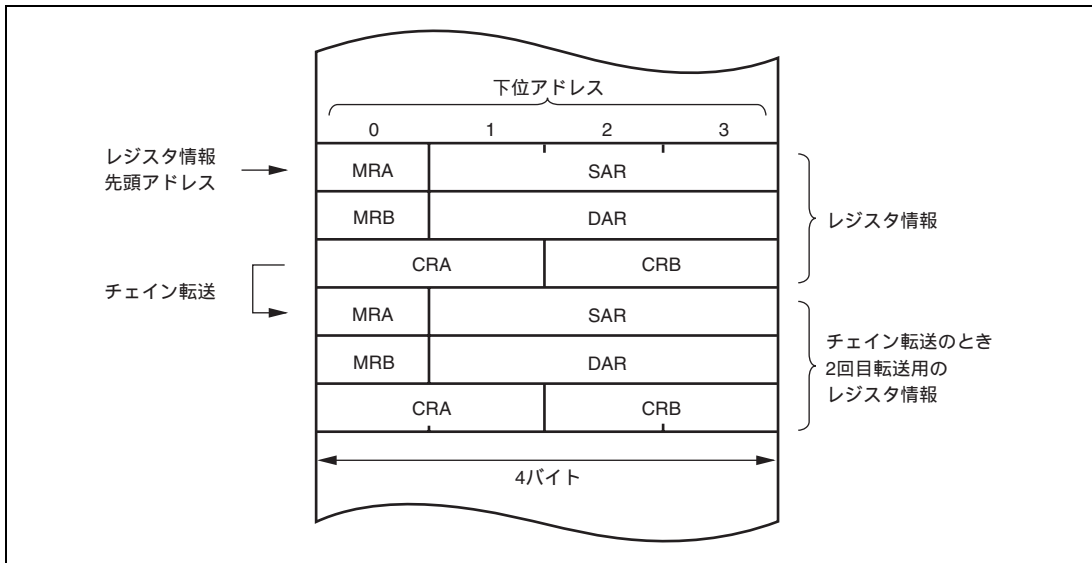


図 7.3 アドレス空間上での DTC レジスタ情報の配置

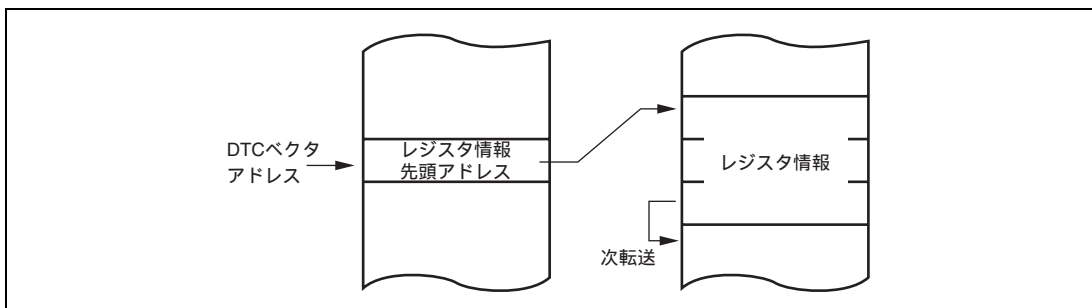


図 7.4 DTC ベクタアドレスとレジスタ情報との対応

7. データトランスファコントローラ (DTC)

表 7.4 割り込み要因と DTC ベクタアドレスおよび対応する DTCE

起動要因発生元	起動要因	ベクタ 番号	DTC ベクタアドレス	DTCE*	優先 順位
ソフトウェア	DTVECR へのライト	DTVECR	H'0400 + ベクタ番号 × 2	-	高 ▲
外部端子	IRQ0	16	H'0420	DTCEA7	↑ 低
	IRQ1	17	H'0422	DTCEA6	
	IRQ2	18	H'0424	DTCEA5	
	IRQ3	19	H'0426	DTCEA4	
A/D 変換器	ADI	28	H'0438	DTCEA3	
EVC	EVENTI	29	H'043A	DTCEC4	
IIC_2	IIC12	76	H'0498	DTCEB6	
IIC_3	IIC13	78	H'049C	DTCED4	
SCI_3	RX13	81	H'04A2	DTCEC2	
	TX13	82	H'04A4	DTCEC1	
SCI_1	RX11	85	H'04AA	DTCEC0	
	TX11	86	H'04AC	DTCED7	
IIC_0	IIC10	94	H'04BC	DTCEB5	
IIC_1	IIC11	98	H'04C4	DTCED3	
LPC	ERRI	104	H'04D0	DTCEE3	
	IBFI1	105	H'04D2	DTCEE2	
	IBFI2	106	H'04D4	DTCEE1	
	IBFI3	107	H'04D6	DTCEE0	

【注】 * 対応する割り込みのない DTCE ビットはリザーブビットとなります。0 をライトしてください。

7.6 動作説明

DTC はレジスタ情報を内蔵 RAM に格納します。DTC が起動すると、内蔵 RAM からレジスタ情報をリードしてデータ転送を行い、データ転送後のレジスタ情報を内蔵 RAM に戻します。レジスタ情報を内蔵 RAM に格納することで、任意のチャンネル数のデータ転送を行うことができます。転送モードにはノーマル転送モード、リピート転送モード、ブロック転送モードがあります。また、MRB の CHNE ビットを 1 にセットしておくことにより、1 つの起動要因で複数の転送を行うことができます (チェーン転送)。

転送元アドレスは 24 ビット長の SAR、転送先アドレスは 24 ビット長の DAR で指定します。SAR、DAR は転送後、レジスタ情報に従って独立にインクリメント、デクリメントされるか固定されます。

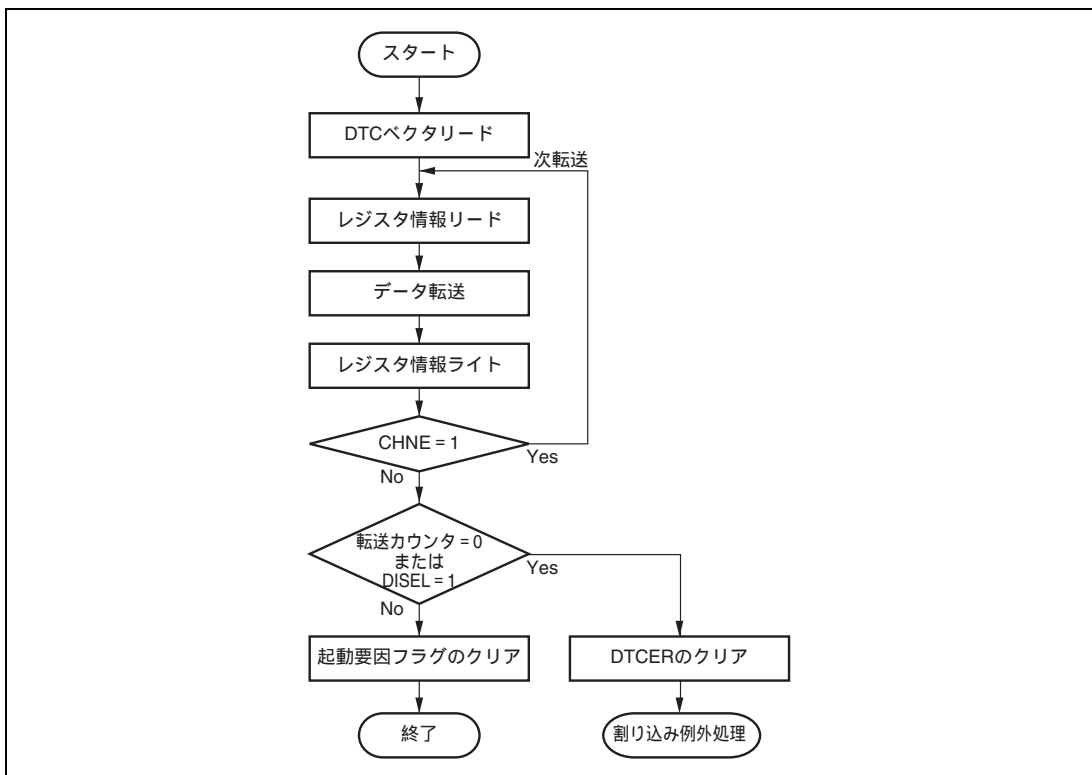


図 7.5 DTC 動作フローチャート

7. データトランスファコントローラ (DTC)

7.6.1 ノーマル転送モード

1つの起動要因で、1バイトまたは1ワードの転送を行います。表 7.5 にノーマル転送モードにおけるレジスタ機能を示します。転送回数は1~65536です。指定回数の転送が終了すると、CPUへ割り込み要求を発生することができます。

表 7.5 ノーマル転送モードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ A	CRA	転送カウント
DTC 転送カウントレジスタ B	CRB	使用しません

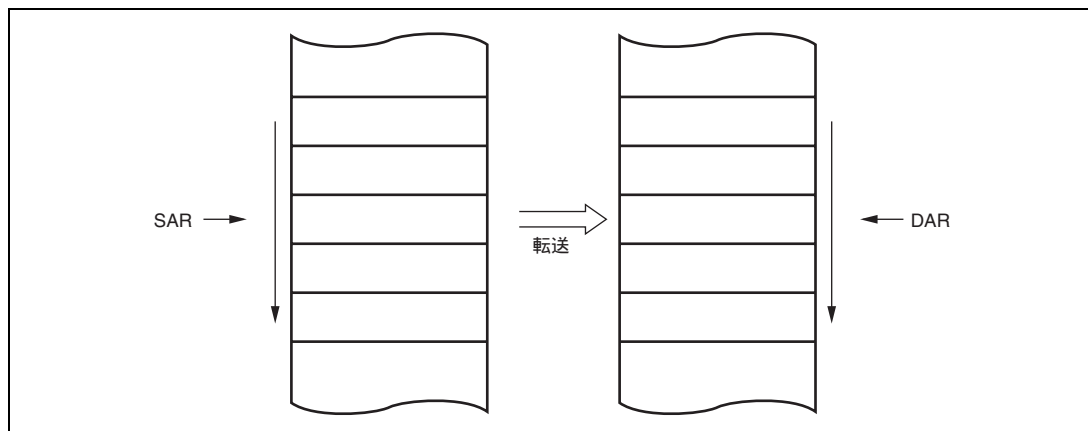


図 7.6 ノーマル転送モードのメモリマップ

7.6.2 リピート転送モード

1つの起動要因で、1バイトまたは1ワードの転送を行います。表 7.6 にリピート転送モードにおけるレジスタ機能を示します。転送回数は1~256で、指定回数の転送が終了すると、転送カウンタおよびリピートエリアに指定された方のアドレスレジスタの初期状態が回復し、転送を繰り返します。リピート転送モードでは、転送カウンタがH'00にならないので、DISEL = 0の場合はCPUへの割り込み要求は発生しません。

表 7.6 リピート転送モードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ AH	CRAH	転送回数保持
DTC 転送カウントレジスタ AL	CRAL	転送カウンタ
DTC 転送カウントレジスタ B	CRB	使用しません

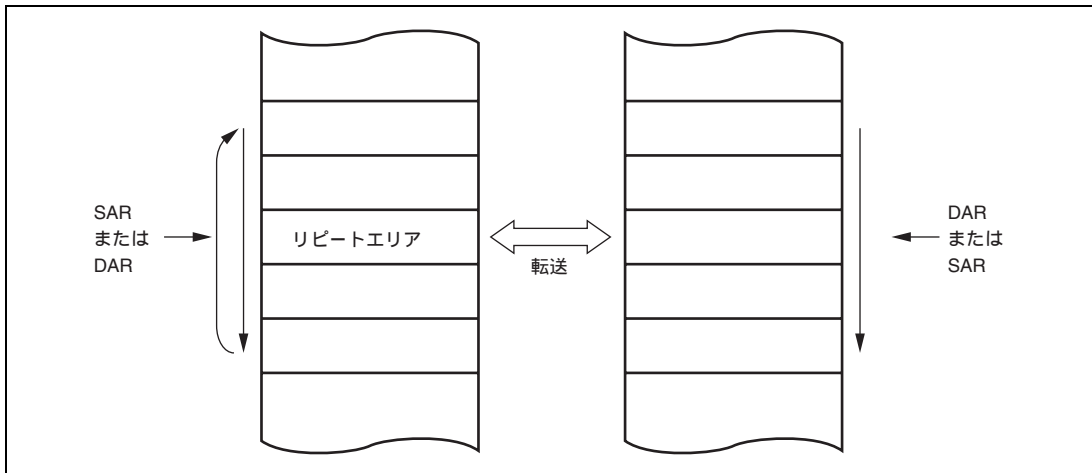


図 7.7 リピート転送モードのメモリマップ

7. データトランスファコントローラ (DTC)

7.6.3 ブロック転送モード

1つの起動要因で、1ブロックの転送を行います。転送元、転送先のいずれか一方をブロックエリアに指定します。表 7.7 にブロック転送モードにおけるレジスタ機能を示します。ブロックサイズは1~256で、1ブロックの転送が終了すると、ブロックサイズカウンタとブロックエリアに指定した方のアドレスレジスタの初期状態が復帰します。他方のアドレスレジスタは、レジスタ情報に従い連続してインクリメント、デクリメントするか固定されます。転送回数は1~65536です。指定回数ブロック転送が終了すると、CPUへ割り込み要求を発生させることができます。

表 7.7 ブロック転送モードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ AH	CRAH	ブロックサイズ保持
DTC 転送カウントレジスタ AL	CRAL	ブロックサイズカウンタ
DTC 転送カウントレジスタ B	CRB	転送カウンタ

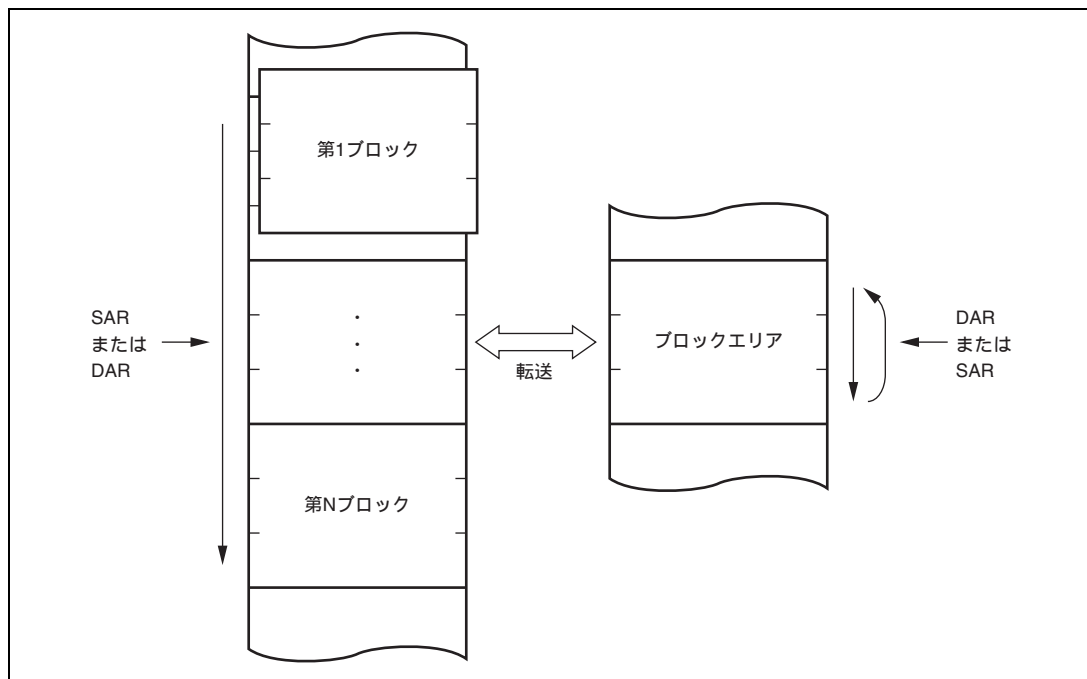


図 7.8 ブロック転送モードのメモリマップ

7.6.4 チェイン転送

MRB の CHNE ビットを 1 にセットしておくことにより、1 つの起動要因で複数のデータ転送を連続して行うことができます。SAR、DAR、CRA、CRB および MRA、MRB は各々独立に設定できます。

図 7.9 にチェイン転送の動作の概要を示します。DTC は起動すると起動要因に対応した DTC ベクタアドレスからレジスタ情報の先頭アドレスをリードし、この先頭アドレスから最初のレジスタ情報をリードします。データ転送終了後このレジスタの CHNE ビットをテストし、1 であれば連続して配置された次のレジスタ情報をリードして転送を行います。この動作を CHNE ビットが 0 のレジスタ情報のデータ転送が終了するまで続けます。

CHNE = 1 の転送では指定した転送回数の終了による CPU への割り込み要求や、DISEL = 1 による CPU への割り込み要求は発生しません。また、CHNE = 1 の転送は起動要因となった割り込み要因フラグに影響を与えません。

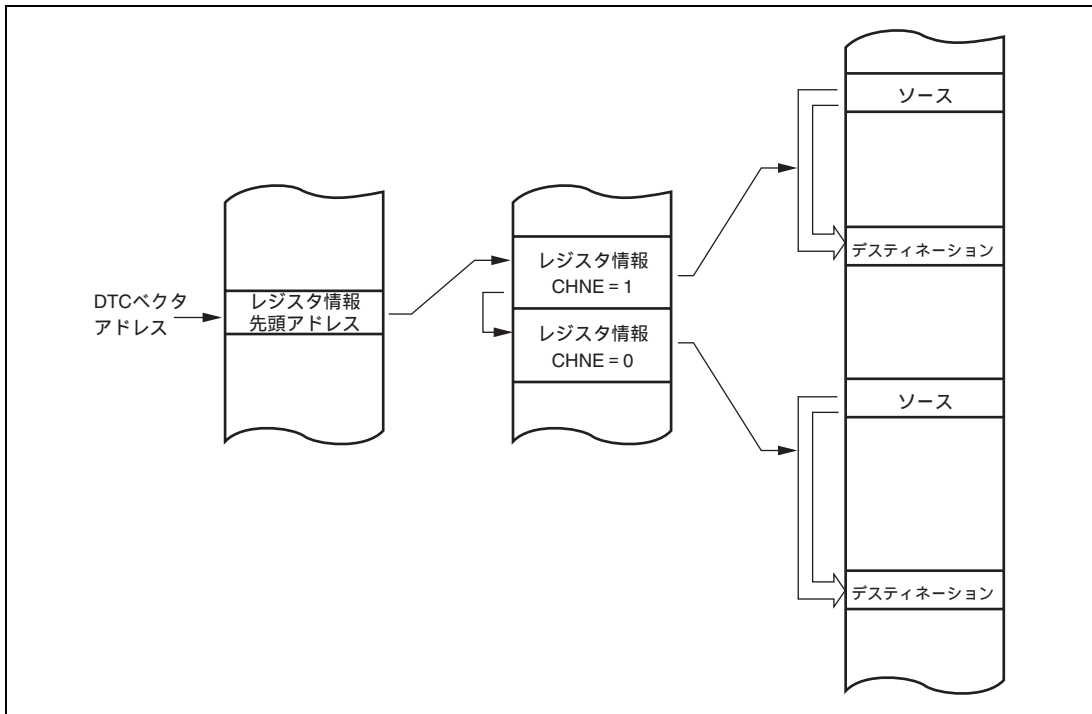


図 7.9 チェイン転送の動作

7. データトランスファコントローラ (DTC)

7.6.5 割り込み要因

DTC が指定された回数のデータ転送を終了したとき、および DISEL ビットが 1 にセットされたデータ転送を終了したとき、CPU に対して割り込みを要求します。割り込み起動の場合、起動要因に設定した割り込みが発生します。これらの CPU に対する割り込みは CPU のマスクレベルや割り込みコントローラの割り込みコントロールレベルの制御を受けます。

ソフトウェアによる起動の場合、ソフトウェア起動データ転送終了割り込み (SWDTEND) を発生します。

DISEL ビットが 1 の状態で、1 回のデータ転送を終了した場合、または指定した回数のデータ転送を終了した場合、データ転送終了後に SWDTE ビットが 1 に保持され、SWDTEND 割り込みを発生します。割り込み処理ルーチンで SWDTE ビットを 0 にクリアしてください。

ソフトウェアで DTC を起動する場合、SWDTE ビットを 1 にセットしても、データ転送待ち、およびデータ転送中は、SWDTEND 割り込みは発生しません。

7.6.6 動作タイミング

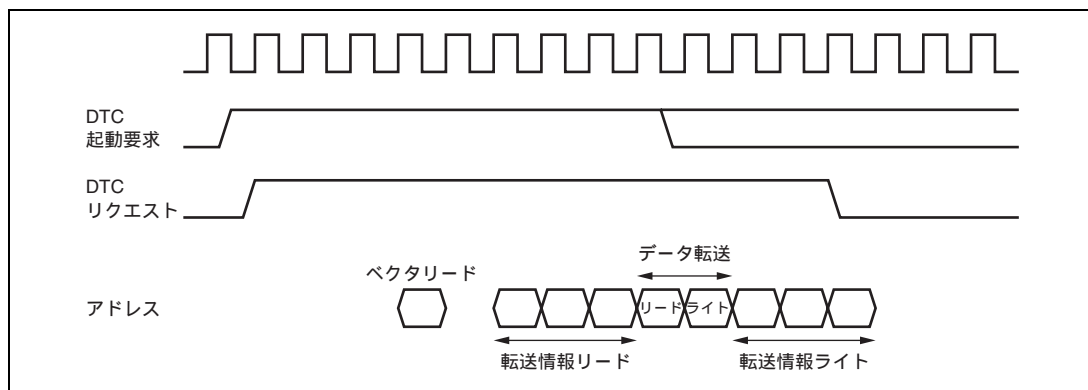


図 7.10 DTC の動作タイミング (ノーマル転送モード、リピータ転送モードの例)

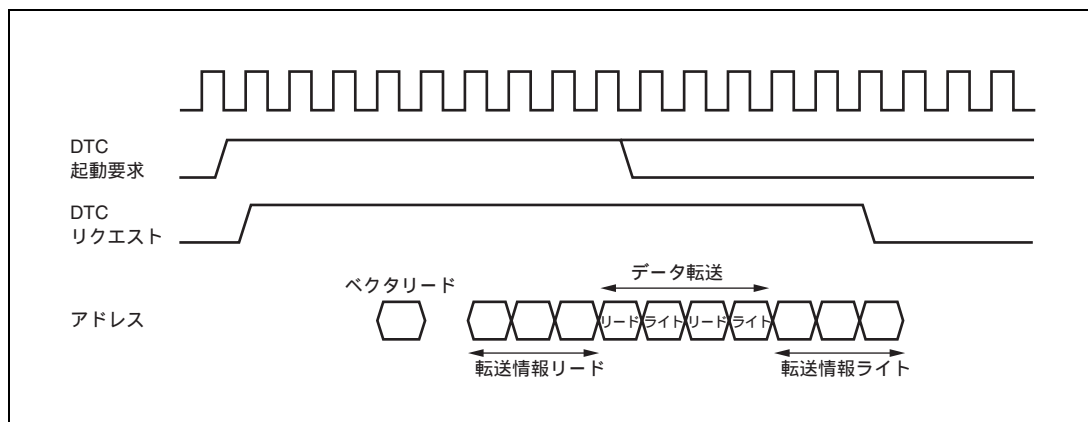


図 7.11 DTC の動作タイミング (ブロック転送モード、ブロックサイズ=2 の例)

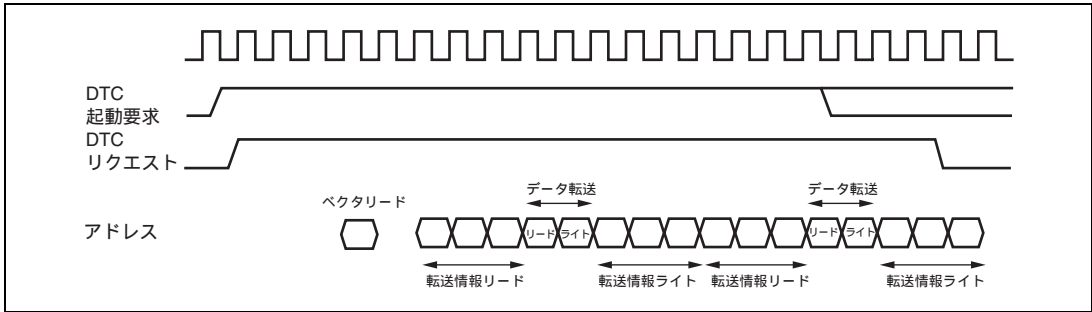


図 7.12 DTC の動作タイミング (チェーン転送の例)

7.6.7 DTC 実行ステート数

表 7.8 に DTC の 1 回のデータ転送の実行状態を示します。また、表 7.9 に実行状態に必要なステート数を示します。

表 7.8 DTC の実行状態

モード	ベクタリード I	レジスタ情報 リード/ライト J	データリード K	データライト L	内部動作 M
ノーマル転送	1	6	1	1	3
リピート転送	1	6	1	1	3
ブロック転送	1	6	N	N	3

N : ブロックサイズ (CRAH、CRAL の初期設定値)

表 7.9 実行状態に必要なステート数

アクセス対象		内蔵 RAM (H'FFEC00 ~ H'FFEFFF)	内蔵 RAM (左記以外の内蔵 RAM エリア)	内蔵 ROM	内部 I/O レジスタ		外部デバイス			
バス幅		32	16	16	8	16	8		16	
アクセスステート		1	1	1	2	2	2	3	2	3
実行 状態	ベクタリード S_i	-	-	1	-	-	4	6+2m	2	3+m
	レジスタ情報 リード/ライト S_j	1	-	-	-	-	-	-	-	-
	バイトデータリード S_k	1	1	1	2	2	2	3+m	2	3+m
	ワードデータリード S_k	1	1	1	4	2	4	6+2m	2	3+m
	バイトデータライト S_l	1	1	1	2	2	2	3+m	2	3+m
	ワードデータライト S_l	1	1	1	4	2	4	6+2m	2	3+m
	内部動作 S_m	1								

7. データトランスファコントローラ (DTC)

実行ステート数は次の計算式で計算されます。なお、は1つの起動要因で転送する回数分(CHNE ビットを1にセットした数+1)の和を示します。

$$\text{実行ステート数} = I \cdot S_I + (J \cdot S_J + K \cdot S_K + L \cdot S_L) + M \cdot S_M$$

たとえば、DTC ベクタアドレスを内蔵 ROM に配置し、ノーマル転送モードで、内蔵 ROM 内部 I/O レジスタのデータ転送を行った場合、DTC の動作に必要な時間は 13 ステートです。起動からデータライト終了までの時間は 10 ステートです。

7.7 DTC 使用手順

7.7.1 割り込みによる起動

DTC の割り込み起動による使用手順を以下に示します。

1. MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. DTCERの対応するビットを1にセットします。
4. 起動要因となる割り込み要因のイネーブルビットを1にセットします。
要因となる割り込みが発生すると、DTCが起動されます。
5. 1回のデータ転送終了後、または、指定した回数のデータ転送終了後、DTCEビットが0にクリアされ、CPUに割り込みが要求されます。引き続きDTCによるデータ転送を行う場合には、DTCEビットを1にセットしてください。

7.7.2 ソフトウェアによる起動

DTC のソフトウェア起動による使用手順を以下に示します。

1. MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. SWDTE = 0を確認します。
4. SWDTEに1を、DTVECRにベクタ番号をライトします。
5. DTVECRにライトしたベクタ番号を確認します。
6. 1回のデータ転送終了後、DISELビットが0で、CPUに割り込みを要求しない場合、SWDTEビットが0にクリアされます。引き続きDTCによるデータ転送を行う場合には、SWDTEを1にセットしてください。DISELビットが1の場合、または指定した回数のデータ転送終了後、SWDTEビットは1に保持され、CPUに割り込みが要求されます。

7.8 DTC 使用例

7.8.1 ノーマル転送モード

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

1. MRAはソースアドレス固定 (SM1 = SM0 = 0)、デスティネーションアドレスインクリメント (DM1 = 1、DM0 = 0)、ノーマル転送モード (MD1 = MD0 = 0)、バイトサイズ (Sz = 0) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のデータ転送 (CHNE = 0、DISEL = 0) を行います。SARはSCIのRDRのアドレス、DARはデータを格納するRAMの先頭アドレス、CRAは128 (H'0080) を設定します。CRBは任意の値とすることができます。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. DTCERの対応するビットを1にセットします。
4. SCIを所定の受信モードに設定します。SCRのRIEビットを1にセットし、受信完了 (RXI) 割り込みを許可します。また、SCIの受信動作中に受信エラーが発生すると、以後の受信が行われませんので、CPUが受信エラー割り込みを受け付けられるようにしてください。
5. SCIの1バイトのデータ受信が完了するごとに、SSRのRDRFフラグが1にセットされ、RXI割り込みが発生し、DTCが起動されます。DTCによって、受信データがRDRからRAMへ転送され、DARのインクリメント、CRAのデクリメントを行います。RDRFフラグは自動的に0にクリアされます。
6. 128回のデータ転送終了後、CRAが0になると、RDRFフラグは1のまま保持され、DTCEが0にクリアされ、CPUにRXI割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

7.8.2 ソフトウェア起動

DTC の使用例として、ソフトウェア起動による 1 ブロック 128 バイトのデータ転送を行う例を示します。転送元アドレスは H'1000、転送先アドレスは H'2000 です。ベクタ番号は H'60、したがって、ベクタアドレスは H'04C0 です。

1. MRAはソースアドレスインクリメント (SM1 = 1、SM0 = 0)、デスティネーションアドレスインクリメント (DM1 = 1、DM0 = 0)、ブロック転送モード (MD = 1、MD0 = 0)、バイトサイズ (Sz = 0) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のブロック転送 (CHNE = 0) を行います。SARは転送元アドレスでH'1000、DARは転送先アドレスでH'2000、CRAは128 (H'8080) を設定します。CRBは1 (H'0001) をセットします。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレス (H'04C0) に設定します。
3. DTVECRのSWDTE = 0を確認します。現在、DTCがソフトウェア起動による転送を行っていないことの確認です。
4. SWDTE = 1とともに、ベクタ番号H'60を、DTVECRにライトします。ライトデータはH'E0です。

7. データトランスファコントローラ (DTC)

- 再度、DTVECRを読み、ベクタ番号H'60が設定されていることを確認します。設定されていないときは、ライトが失敗したことを表します。3.と4.の間に割り込みが入り、ここで他のソフトウェアによって起動された場合が、これに相当します。起動したい場合、3.に戻ってください。
- ライトが成功すると、DTCが起動され、128バイト1ブロックの転送を行います。
- 転送後、SWDTEND割り込みが起動します。割り込み処理ルーチンでSWDTEビットの0クリアなど、終了処理を行ってください。

7.9 使用上の注意事項

7.9.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、DTCの動作禁止/許可を設定することが可能です。初期値では、DTCの動作許可状態です。モジュールストップモードを設定することにより、レジスタのアクセスが禁止されます。ただし、DTCが起動中はモジュールストップモードに設定できません。詳細は、「第24章 低消費電力状態」を参照してください。

7.9.2 内蔵 RAM

MRA、MRB、SAR、DAR、CRA、CRBの各レジスタは、内蔵RAMに配置します。DTCを使用する場合は、SYSCRのRAMEビットを0にクリアしないでください。

7.9.3 DTCE ビットの設定

DTCEビットの設定は、必ずBSET、BCLRなどビット操作命令を使ってリード/ライトしてください。ただし、初期設定に限り、複数の起動要因を一度に設定するときには、割り込みを禁止して、当該レジスタのダミーリードを行ってからライトすることができます。

7.9.4 SCI、IIC および A/D 変換器の割り込み要因による DTC の起動

SCI、IICおよびA/D変換器の割り込み要因は、DTCが所定のレジスタをリード/ライトしたときにクリアされ、DISELビットには依存しません。

8. I/O ポート

ポートの機能一覧を表 8.1 に示します。各ポートは周辺モジュールの入出力端子や割り込み入力と端子を兼用しています。入出力ポートは入出力を制御するデータディレクションレジスタ (DDR)、出力データを格納するデータレジスタ (DR) から構成されています。入力専用ポートには DDR、DR はありません。

ポート 1~4、6、A、D0~D5 には、入力プルアップ MOS が内蔵されています。ポート A、D0~D5 は DDR と ODR で、入力プルアップ MOS のオン/オフを制御し、ポート 1~3、6 は DDR、DR の他に入力プルアップ MOS コントロールレジスタ (PCR) で入力プルアップ MOS のオン/オフを制御します。

ポート 6 にはデバウンス入力 (DBn: Debounce Input) が内蔵されています。入力信号のノイズ等を除去することができます。

ポート 4、F はリテインステート出力 (RSn: Retain State output) です。ウォッチドッグタイマのオーバフローによりリセットされても端子の出力値を保持します。

ポート 1~6、8~F は 1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。すべて入出力ポートは出力時にダーリントトランジスタを駆動することができます。なお、ポート 80~83、C0~C5、D6、D7 は、NMOS プッシュプル出力となっています。

表 8.1 ポートの機能一覧表

ポート名	概要	拡張モード (EXPE=1)	シングルチップモード (EXPE=0)	入出力形態
ポート 1	アドレス出力、アドレス/データマルチプレックス入出力と兼用汎用入出力ポート	P17/A7/AD7 P16/A6/AD6 P15/A5/AD5 P14/A4/AD4 P13/A3/AD3 P12/A2/AD2 P11/A1/AD1 P10/A0/AD0	P17 P16 P15 P14 P13 P12 P11 P10	入力プルアップ MOS 内蔵
ポート 2	アドレス出力、アドレス/データマルチプレックス入出力と兼用汎用入出力ポート	P27/A15/AD15 P26/A14/AD14 P25/A13/AD13 P24/A12/AD12 P23/A11/AD11 P22/A10/AD10 P21/A9/AD9 P20/A8/AD8	P27 P26 P25 P24 P23 P22 P21 P20	入力プルアップ MOS 内蔵

8. I/O ポート

ポート名	概要	拡張モード (EXPE = 1)	シングルチップモード (EXPE = 0)	入出力形態	
ポート 3	双方向データバスと 兼用汎用入出力ポート	P37/D15 P36/D14 P35/D13 P34/D12 P33/D11 P32/D10 P31/D9 P30/D8	P37 P36 P35 P34 P33 P32 P31 P30	入力プルアップ MOS 内蔵	
ポート 4	割り込み入力と 兼用汎用入出力ポート	P47/ $\overline{\text{IRQ7}}$ /RS7/HC7 P46/ $\overline{\text{IRQ6}}$ /RS6/HC6 P45/ $\overline{\text{IRQ5}}$ /RS5/HC5 P44/ $\overline{\text{IRQ4}}$ /RS4/HC4 P43/ $\overline{\text{IRQ3}}$ /RS3/HC3 P42/ $\overline{\text{IRQ2}}$ /RS2/HC2 P41/ $\overline{\text{IRQ1}}$ /RS1/HC1 P40/ $\overline{\text{IRQ0}}$ /RS0/HC0		LED 駆動可能 (シンク電流 12mA)	
ポート 5	割り込み入力、PWMX 出力、 SCIF、SCI_1、SCI_3 入出力 と兼用汎用入出力ポート	P57/ $\overline{\text{IRQ15}}$ /PWX1 P56/ $\overline{\text{IRQ14}}$ /PWX0 P55/ $\overline{\text{IRQ13}}$ /Rx/D3 P54/ $\overline{\text{IRQ12}}$ /Tx/D3 P53/ $\overline{\text{IRQ11}}$ /Rx/D1 P52/ $\overline{\text{IRQ10}}$ /Tx/D1 P51/ $\overline{\text{IRQ9}}$ /Rx/DF P50/ $\overline{\text{IRQ8}}$ /Tx/DF			
ポート 6	SCIF 制御入出力、 双方向データバスと兼用汎 用入出力ポート	P67/DB15 P66/DB14 P65/DB13/ $\overline{\text{RTS}}$ P64/DB12/ $\overline{\text{CTS}}$ P63/DB11 P62/DB10 P61/DB9 P60/DB8	D7* D6* D5* D4* D3* D2* D1* D0*	P67/DB15 P66/DB14 P65/DB13/ $\overline{\text{RTS}}$ P64/DB12/ $\overline{\text{CTS}}$ P63/DB11 P62/DB10 P61/DB9 P60/DB8	入力プルアップ MOS 内蔵
ポート 7	A/D 変換器のアナログ入力、 割り込み入力と兼用汎用入 力ポート	P77/ $\overline{\text{IRQ7}}$ /AN7 P76/ $\overline{\text{IRQ6}}$ /AN6 P75/ $\overline{\text{IRQ5}}$ /AN5 P74/ $\overline{\text{IRQ4}}$ /AN4 P73/ $\overline{\text{IRQ3}}$ /AN3 P72/ $\overline{\text{IRQ2}}$ /AN2 P71/ $\overline{\text{IRQ1}}$ /AN1 P70/ $\overline{\text{IRQ0}}$ /AN0			

ポート名	概要	拡張モード (EXPE = 1)	シングルチップモード (EXPE = 0)	入出力形態
ポート 8	A/D 変換器の外部トリガ入力、割り込み入力、IIC_0、IIC_1 入出力と兼用汎用入出力ポート	P87/ $\overline{\text{ExIRQ15}}/\text{ADTRG}$ P86/ $\overline{\text{ExIRQ14}}/\text{RxD3}$ P85/ $\overline{\text{ExIRQ13}}/\text{SCK1}$ P84/ $\overline{\text{ExIRQ12}}/\text{SCK3}$		
		P83/ $\overline{\text{ExIRQ11}}/\text{SDA1}$ P82/ $\overline{\text{ExIRQ10}}/\text{SCL1}$ P81/ $\overline{\text{ExIRQ9}}/\text{SDA0}$ P80/ $\overline{\text{ExIRQ8}}/\text{SCL0}$		NMOS プッシュプル出力
ポート 9	PWMX 出力、バス制御の入出力と兼用汎用入出力ポート	P97/ $\overline{\text{WAIT}}/\text{CS256}$	P97	
		P96/ $\overline{\text{EXCL}}$		
		$\overline{\text{AS}}/\text{IOS}$ $\overline{\text{HWR}}/\text{WR}$ $\overline{\text{RD}}$ P92/ $\overline{\text{HBE}}$ P91/ $\overline{\text{AH}}$ P90/ $\overline{\text{LWR}}/\text{LBE}$	P95 P94 P93 P92 P91 P90	
ポート A	割り込み入力、DTC イベントカウンタ入力、アドレス出力と兼用汎用入出力ポート	PA7/ $\text{EVENT7}/\text{A23}$ PA6/ $\text{EVENT6}/\text{A22}$ PA5/ $\text{EVENT5}/\text{A21}$ PA4/ $\text{EVENT4}/\text{A20}$ PA3/ $\text{EVENT3}/\text{A19}$ PA2/ $\text{EVENT2}/\text{A18}$ PA1/ $\text{EVENT1}/\text{A17}$ PA0/ $\text{EVENT0}/\text{A16}$	PA7/ EVENT7 PA6/ EVENT6 PA5/ EVENT5 PA4/ EVENT4 PA3/ EVENT3 PA2/ EVENT2 PA1/ EVENT1 PA0/ EVENT0	入力プルアップ MOS 内蔵
ポート B	DTC イベントカウンタ入力と兼用汎用入出力ポート	PB7/ EVENT15 PB6/ EVENT14 PB5/ EVENT13 PB4/ EVENT12 PB3/ EVENT11 PB2/ EVENT10 PB1/ EVENT9 PB0/ EVENT8		
ポート C	PWMX 出力、IIC_2 - IIC_4 入出力と兼用汎用入出力ポート	PC7/ PWX3 PC6/ PWX2		
		PC5/ SDA4 PC4/ SCL4 PC3/ SDA3 PC2/ SCL3 PC1/ SDA2 PC0/ SCL2		NMOS プッシュプル出力

8. I/O ポート

ポート名	概要	拡張モード (EXPE=1)	シングルチップモード (EXPE=0)	入出力形態
ポート D	LPC 入出力、IIC_5 入出力と 兼用汎用入出力ポート	PD7/SDA5 PD6/SCL5		NMOS プッシュ プル出力
		PD5/ $\overline{\text{LPCPD}}$ PD4/ $\overline{\text{CLKRUN}}$ PD3/GA20 PD2/ $\overline{\text{PME}}$ PD1/ $\overline{\text{LSMI}}$ PD0/LSCI		入力プルアップ MOS 内蔵
ポート E	LPC 入出力と 兼用汎用入出力ポート	PE7/SERIRQ PE6/LCLK PE5/ $\overline{\text{RESET}}$ PE4/ $\overline{\text{FRAME}}$ PE3/LAD3 PE2/LAD2 PE1/LAD1 PE0/LAD0		
ポート F	兼用汎用入出力ポート	PF3/RS11 PF2/RS10 PF1/RS9 PF0/RS8		

【注】 * 16 ビットデータバス設定のとき

8.1 ポート 1

ポート1は、8ビットの入出力ポートです。ポート1はアドレスバス、アドレス/データマルチプレックスバスと兼用になっています。動作モードによって端子機能が切り替わります。ポート1には以下のレジスタがあります。

- ポート1データディレクションレジスタ (P1DDR)
- ポート1データレジスタ (P1DR)
- ポート1プルアップMOSコントロールレジスタ (P1PCR)

8.1.1 ポート1データディレクションレジスタ (P1DDR)

P1DDRは、ポート1の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	P17DDR	0	W	ノーマル拡張モードのとき (ADMXE=0)
6	P16DDR	0	W	このビットを1にセットすると、対応する端子はアドレス出力となり、0にクリアすると入力ポートになります。
5	P15DDR	0	W	
4	P14DDR	0	W	アドレス/データマルチプレックス拡張モードのとき (ADMXE=1)
3	P13DDR	0	W	
2	P12DDR	0	W	対応する端子はアドレス/データマルチプレックスバスのAD7~AD0端子になります。
1	P11DDR	0	W	
0	P10DDR	0	W	シングルチップモードのとき このビットを1にセットすると、対応する端子は出力ポートとなり、0にクリアすると入力ポートになります。

8.1.2 ポート1データレジスタ (P1DR)

P1DRは、ポート1の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	P17DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。 このレジスタをリードすると、P1DDRが1にセットされているビットはこのレジスタの値が読み出されます。P1DDRが0にクリアされているビットは端子の状態が読み出されます。
6	P16DR	0	R/W	
5	P15DR	0	R/W	
4	P14DR	0	R/W	
3	P13DR	0	R/W	
2	P12DR	0	R/W	
1	P11DR	0	R/W	
0	P10DR	0	R/W	

8. I/O ポート

8.1.3 ポート 1 プルアップ MOS コントロールレジスタ (P1PCR)

P1PCR は、ポート 1 の入力プルアップ MOS のオン / オフを制御します。

ビット	ビット名	初期値	R/W	説明
7	P17PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。 アドレス / データマルチプレックス拡張バスモードを使用する場合は初期値を変更しないでください。
6	P16PCR	0	R/W	
5	P15PCR	0	R/W	
4	P14PCR	0	R/W	
3	P13PCR	0	R/W	
2	P12PCR	0	R/W	
1	P11PCR	0	R/W	
0	P10PCR	0	R/W	

8.1.4 端子機能

レジスタの設定値と端子機能の関係は以下のとおりです。

(1) 拡張モード (EXPE = 1)

P1nDDR ビットにより、次のように切り替わります。

P1nDDR	0			1		
ADMXE	0	1		0	1	
ABW、 ABW256	x	いずれかが 0 (8/16 ビットバス)	すべて 1 (8 ビットバス)	x	いずれかが 0 (8/16 ビットバス)	すべて 1 (8 ビットバス)
端子機能	P1n 入力端子	ADn 入出力端子	P1n 入力端子	An 出力端子	設定禁止	P1n 出力端子

【注】 n = 7 ~ 0

x : Don't care

(2) シングルチップモード (EXPE = 0)

P1nDDR ビットにより、次のように切り替わります。

P1nDDR	0	1
端子機能	P1n 入力端子	P1n 出力端子

【注】 n = 7 ~ 0

8.1.5 ポート 1 入力プルアップ MOS の状態

ポート 1 はプログラムで制御可能な入力プルアップ MOS を内蔵しています。入力プルアップ MOS は動作モードに関係なく使用できます。入力プルアップ MOS の状態を表 8.2 に示します。

表 8.2 ポート 1 入力プルアップ MOS の状態

リセット	ハードウェアスタンバイモード	ソフトウェアスタンバイモード	その他の動作時
	OFF		ON/OFF

【記号説明】

OFF : 常にオフ状態です。

ON/OFF : P1DDR=0 かつ P1PCR=1 のときオン状態、その他のときはオフ状態です。

8.2 ポート 2

ポート 2 は、8 ビットの入出力ポートです。ポート 2 は、アドレスバス、アドレス/データマルチプレックスバスと兼用になっています。動作モードによって端子機能が切り替わります。ポート 2 には以下のレジスタがあります。

- ポート2データディレクションレジスタ (P2DDR)
- ポート2データレジスタ (P2DR)
- ポート2プルアップMOSコントロールレジスタ (P2PCR)

8.2.1 ポート 2 データディレクションレジスタ (P2DDR)

P2DDR は、ポート 2 の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説 明
7	P27DDR	0	W	ノーマル拡張モードのとき (ADMXE=0)
6	P26DDR	0	W	このビットを 1 にセットすると、対応する端子はアドレス出力となり、0 にクリアすると入力ポートになります。
5	P25DDR	0	W	
4	P24DDR	0	W	アドレス出力端子となる範囲は、SYSCR の IOSE ビット、CS256E ビットの設定により異なります。
3	P23DDR	0	W	
2	P22DDR	0	W	アドレス/データマルチプレックス拡張モードのとき (ADMXE=1)
1	P21DDR	0	W	
0	P20DDR	0	W	対応する端子はアドレス/データマルチプレックスバスの AD15 ~ AD8 端子になります。
				シングルチップモードのとき
				このビットを 1 にセットすると、対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。

8. I/O ポート

8.2.2 ポート 2 データレジスタ (P2DR)

P2DR は、ポート 2 の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	P27DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。 このレジスタをリードすると、P2DDR が 1 にセットされているビットはこのレジスタの値が読み出されます。P2DDR が 0 にクリアされているビットは端子の状態が読み出されます。
6	P26DR	0	R/W	
5	P25DR	0	R/W	
4	P24DR	0	R/W	
3	P23DR	0	R/W	
2	P22DR	0	R/W	
1	P21DR	0	R/W	
0	P20DR	0	R/W	

8.2.3 ポート 2 プルアップ MOS コントロールレジスタ (P2PCR)

P2PCR は、ポート 2 の入力プルアップ MOS のオン/オフを制御します。

ビット	ビット名	初期値	R/W	説明
7	P27PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。 アドレス / データマルチプレックス拡張バスモードを使用する場合は初期値を変更しないでください。
6	P26PCR	0	R/W	
5	P25PCR	0	R/W	
4	P24PCR	0	R/W	
3	P23PCR	0	R/W	
2	P22PCR	0	R/W	
1	P21PCR	0	R/W	
0	P20PCR	0	R/W	

8.2.4 端子機能

レジスタの設定値と端子機能の関係は以下のとおりです。

(1) 拡張モード (EXPE = 1)

SYSCR の CS256E、IOSE ビット、BSC の BCR2 の ADFULLE ビットおよび P2nDDR ビットの組み合わせにより、次のように切り替わります。表中のアドレス 11 は、次の論理式で表されます。

$$\text{アドレス 11} = 1 : \overline{\text{ADFULLE}} \cdot \overline{\text{CS256E}} \cdot \text{IOSE}$$

P2nDDR	0		1		
ADMXE	0	1	0		1
アドレス 11	x	x	0	1	x
端子機能	P2n 入力端子	ADm 入出力端子	Am 出力端子	P2n 出力端子	ADm 入出力端子

【注】 m=15~11、n=7~3

x : Don't care

P2nDDR	0		1	
ADMXE	0	1	0	1
端子機能	P2n 入力端子	ADm 入出力端子	Am 出力端子	ADm 入出力端子

【注】 m=10~8、n=2~0

(2) シングルチップモード (EXPE = 0)

P2nDDR ビットにより次のように切り替わります。

P2nDDR	0	1
端子機能	P2n 入力端子	P2n 出力端子

【注】 n=7~0

8.2.5 ポート 2 入力プルアップ MOS の状態

ポート 2 はプログラムで制御可能な入力プルアップ MOS を内蔵しています。入力プルアップ MOS は動作モードに関係なく使用できます。入力プルアップ MOS の状態を表 8.3 に示します。

表 8.3 ポート 2 入力プルアップ MOS の状態

リセット	ハードウェアスタンバイモード	ソフトウェアスタンバイモード	その他の動作時
	OFF	ON/OFF	

【記号説明】

OFF : 常にオフ状態です。

ON/OFF : P2DDR = 0 かつ P2PCR = 1 のときオン状態、その他のときはオフ状態です。

8. I/O ポート

8.3 ポート 3

ポート 3 は、8 ビットの入出力ポートです。ポート 3 は、双方向データバス、デバウンス入力端子と兼用になっています。動作モードによって端子機能が切り替わります。ポート 3 には以下のレジスタがあります。

- ポート3データディレクションレジスタ (P3DDR)
- ポート3データレジスタ (P3DR)
- ポート3プルアップMOSコントロールレジスタ (P3PCR)

8.3.1 ポート 3 データディレクションレジスタ (P3DDR)

P3DDR は、ポート 3 の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	P37DDR	0	W	ノーマル拡張モードのとき (ADMXE=0) 双方向データバスになります。 他のモードのとき このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	P36DDR	0	W	
5	P35DDR	0	W	
4	P34DDR	0	W	
3	P33DDR	0	W	
2	P32DDR	0	W	
1	P31DDR	0	W	
0	P30DDR	0	W	

8.3.2 ポート 3 データレジスタ (P3DR)

P3DR は、ポート 3 の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	P37DR	0	R/W	ノーマル拡張モードのとき (ADMXE=0) このレジスタをリードすると P3DDR が 1 にセットされているビットはこのレジスタの値が読み出されます。P3DDR が 0 にクリアされているビットは 1 が読み出されます。 他のモードのとき 汎用出力ポートとして使用する端子の出力データを格納します。 このレジスタをリードすると、P3DDR が 1 にセットされているビットはこのレジスタの値が読み出されます。P3DDR が 0 にクリアされているビットは端子の状態が読み出されます。
6	P36DR	0	R/W	
5	P35DR	0	R/W	
4	P34DR	0	R/W	
3	P33DR	0	R/W	
2	P32DR	0	R/W	
1	P31DR	0	R/W	
0	P30DR	0	R/W	

8.3.3 ポート 3 プルアップ MOS コントロールレジスタ (P3PCR)

P3PCR は、ポート 3 の入力プルアップ MOS のオン / オフを制御します。

ビット	ビット名	初期値	R/W	説明
7	P37PCR	0	R/W	ノーマル拡張モードのとき (ADMXE = 0) 動作に影響しません。 他のモードのとき 端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	P36PCR	0	R/W	
5	P35PCR	0	R/W	
4	P34PCR	0	R/W	
3	P33PCR	0	R/W	
2	P32PCR	0	R/W	
1	P31PCR	0	R/W	
0	P30PCR	0	R/W	

8.3.4 端子機能

(1) ノーマル拡張モード

ポート 3 は、自動的に双方向データバスになります。

(2) アドレス / データマルチプレックス拡張モード

シングルチップモードと同じ動作になります。

(3) シングルチップモード

P3nDDR ビットの組み合わせにより、次のように切り替わります。

P3nDDR	0	1
端子機能	P3n 入力端子	P3n 出力端子

【注】 n = 7 ~ 0

8.3.5 ポート 3 入力プルアップ MOS の状態

ポート 3 はプログラムで制御可能な入力プルアップ MOS を内蔵しています。入力プルアップ MOS はシングルチップモードのときに使用できます。入力プルアップ MOS の状態を表 8.4 に示します。

表 8.4 ポート 3 入力プルアップ MOS の状態

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
ノーマル拡張モード (EXPE = 1、ADMXE = 0)		OFF		OFF
シングルチップモード (EXPE = 0) アドレス / データマルチプレックス拡張モード (EXPE = 1、ADMXE = 1)		OFF		ON/OFF

【記号説明】

OFF : 常にオフ状態です。

ON/OFF : P3DDR = 0 かつ P3PCR = 1 のときオン状態、その他のときはオフ状態です。

8. I/O ポート

8.4 ポート 4

ポート 4 は、8 ビットの入出力ポートです。ポート 4 は外部割り込みと兼用になっています。ポート 4 には以下のレジスタがあります。

- ポート4データディレクションレジスタ (P4DDR)
- ポート4データレジスタ (P4DR)
- ポート4プルアップMOSコントロールレジスタ (P4PCR)

8.4.1 ポート 4 データディレクションレジスタ (P4DDR)

P4DDR は、ポート 4 の入出力をビットごとに指定します。P4DDR はシステムリセットでしか初期化されません。WDT の内部リセット信号が発生しても値を保持します。

ビット	ビット名	初期値	R/W	説 明
7	P47DDR	0	W	このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	P46DDR	0	W	
5	P45DDR	0	W	
4	P44DDR	0	W	
3	P43DDR	0	W	
2	P42DDR	0	W	
1	P41DDR	0	W	
0	P40DDR	0	W	

8.4.2 ポート 4 データレジスタ (P4DR)

P4DR は、ポート 4 の出力データを格納します。P4DR はシステムリセットでしか初期化されません。WDT の内部リセット信号が発生しても値を保持します。

ビット	ビット名	初期値	R/W	説 明
7	P47DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。 このレジスタをリードすると、P4DDR が 1 にセットされているビットはこのレジスタの値が読み出されます。P4DDR が 0 にクリアされているビットは端子の状態が読み出されます。
6	P46DR	0	R/W	
5	P45DR	0	R/W	
4	P44DR	0	R/W	
3	P43DR	0	R/W	
2	P42DR	0	R/W	
1	P41DR	0	R/W	
0	P40DR	0	R/W	

8.4.3 ポート 4 プルアップ MOS コントロールレジスタ (P4PCR)

P4PCR は、ポート 4 の入力プルアップ MOS のオン / オフを制御します。

ビット	ビット名	初期値	R/W	説 明
7	P47PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	P46PCR	0	R/W	
5	P45PCR	0	R/W	
4	P44PCR	0	R/W	
3	P43PCR	0	R/W	
2	P42PCR	0	R/W	
1	P41PCR	0	R/W	
0	P40PCR	0	R/W	

8.4.4 端子機能

レジスタの設定値と端子機能の関係は以下のとおりです。

P4nDDR ビットの組み合わせにより、次のように切り替わります。

ISSR の ISSn ビットを 0 にクリアし、割り込みコントローラの IER の IRQnE ビットを 1 にセットすると、 $\overline{\text{IRQn}}$ 入力端子になります。 $\overline{\text{IRQn}}$ 入力端子として使用する場合は、P4nDDR ビットを 0 にクリアしてください。

P4nDDR	0	1
端子機能	P4n 入力端子	P4n 出力端子
	$\overline{\text{IRQn}}$ 入力端子	

【注】 n = 7 ~ 0

8. I/O ポート

8.5 ポート 5

ポート 5 は、8 ビットの入出力ポートです。ポート 5 は、SCIF、SCL_1 入出力端子、バス制御出力端子、システムクロック出力端子、外部サブクロック入力端子、割り込み入力端子と兼用になっています。ポート 5 には以下のレジスタがあります。

- ポート5データディレクションレジスタ (P5DDR)
- ポート5データレジスタ (P5DR)

8.5.1 ポート 5 データディレクションレジスタ (P5DDR)

P5DDR は、ポート 5 の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	P57DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	P56DDR	0	W	
5	P55DDR	0	W	
4	P54DDR	0	W	
3	P53DDR	0	W	
2	P52DDR	0	W	
1	P51DDR	0	W	
0	P50DDR	0	W	

8.5.2 ポート 5 データレジスタ (P5DR)

P5DR は、ポート 5 の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	P57DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。 このレジスタをリードすると、P5DDR が 1 にセットされているビットはこのレジスタの値が読み出されます。P5DDR が 0 にクリアされているビットは端子の状態が読み出されません。
6	P56DR	0	R/W	
5	P55DR	0	R/W	
4	P54DR	0	R/W	
3	P53DR	0	R/W	
2	P52DR	0	R/W	
1	P51DR	0	R/W	
0	P50DR	0	R/W	

8.5.3 端子機能

PWMX 入出力端子、SCI_1、SCL_3、SCIF 入出力端子、または入出力ポートとして機能します。

レジスタの設定値と端子機能の関係は以下のとおりです。

- P57/ $\overline{\text{IRQ15}}$ /PWX1

PWMX の DACR の OEB ビットと P57DDR ビットの組み合わせにより、次のように切り替わります。ISSR16 の ISS15 ビットを 0 にクリアし、割り込みコントローラの IER16 の IRQ15E ビットを 1 にセットすると $\overline{\text{IRQ15}}$ 入力端子になります。 $\overline{\text{IRQ15}}$ 入力端子として使用する場合は、P57DDR ビットを 0 にクリアしてください。

OEB	0		1
P57DDR	0	1	x
端子機能	P57 入力端子	P57 出力端子	PWX1 出力端子
	$\overline{\text{IRQ15}}$ 入力端子		

【注】 x : Don't care

- P56/ $\overline{\text{IRQ14}}$ /PWX0

PWMX の DACR の OEA ビットと P56DDR ビットの組み合わせにより、次のように切り替わります。ISSR16 の ISS14 ビットを 0 にクリアし、割り込みコントローラの IER16 の IRQ14E ビットを 1 にセットすると $\overline{\text{IRQ14}}$ 入力端子になります。 $\overline{\text{IRQ14}}$ 入力端子として使用する場合は、P56DDR ビットを 0 にクリアしてください。

OEA	0		1
P56DDR	0	1	x
端子機能	P56 入力端子	P56 出力端子	PWX0 出力端子
	$\overline{\text{IRQ14}}$ 入力端子		

【注】 x : Don't care

- P55/ $\overline{\text{IRQ13}}$ /RxD3

SCI_3 の SCR の RE ビットと SCMR の SMIF ビット、P55DDR ビットの組み合わせにより、次のように切り替わります。ISSR16 の ISS13 ビットを 0 にクリアし、割り込みコントローラの IER16 の IRQ13E ビットを 1 にセットすると $\overline{\text{IRQ13}}$ 入力端子になります。 $\overline{\text{IRQ13}}$ 入力端子として使用する場合は、P55DDR ビットを 0 にクリアしてください。

RE	0		1	
SMIF	0		1	
P55DDR	0	1	x	
端子機能	P55 入力端子	P55 出力端子	RxD3 入力端子	RxD3 入出力端子
	$\overline{\text{IRQ13}}$ 入力端子			

【注】 x : Don't care

8. I/O ポート

- P54/ $\overline{\text{IRQ12}}$ /TxD3

SCR₃ の SCR の TE ビットと SCMR の SMIF ビット、P54DDR ビットの組み合わせにより、次のように切り替わります。ISSR16 の ISS12 ビットを 0 にクリアし、割り込みコントローラの IER16 の IRQ12E ビットを 1 にセットすると $\overline{\text{IRQ12}}$ 入力端子になります。 $\overline{\text{IRQ12}}$ 入力端子として使用する場合は、P54DDR ビットを 0 にクリアしてください。

TE	0	x	0	x	1
SMIF	0	1	0	1	0
P54DDR	0		1		x
端子機能	P54 入力端子		P54 出力端子		TxD3 出力端子
	$\overline{\text{IRQ12}}$ 入力端子				

【注】 x : Don't care

- P53/ $\overline{\text{IRQ11}}$ /Rx/D1

SCR₁ の SCR の RE ビットと SCMR の SMIF ビット、P53DDR ビットの組み合わせにより、次のように切り替わります。ISSR16 の ISS11 ビットを 0 にクリアし、割り込みコントローラの IER16 の IRQ11E ビットを 1 にセットすると $\overline{\text{IRQ11}}$ 入力端子になります。 $\overline{\text{IRQ11}}$ 入力端子として使用する場合は、P53DDR ビットを 0 にクリアしてください。

RE	0		1	
SMIF	0			1
P53DDR	0	1	x	
端子機能	P53 入力端子	P53 出力端子	RxD1 入力端子	RxD3 入出力端子
	$\overline{\text{IRQ11}}$ 入力端子			

【注】 x : Don't care

- P52/ $\overline{\text{IRQ10}}$ /Tx/D1

SCR₁ の SCR の TE ビットと SCMR の SMIF ビット、P52DDR ビットの組み合わせにより、次のように切り替わります。ISSR16 の ISS10 ビットを 0 にクリアし、割り込みコントローラの IER16 の IRQ10E ビットを 1 にセットすると $\overline{\text{IRQ10}}$ 入力端子になります。 $\overline{\text{IRQ10}}$ 入力端子として使用する場合は、P52DDR ビットを 0 にクリアしてください。

TE	0	x	0	x	1
SMIF	0	1	0	1	0
P52DDR	0		1		x
端子機能	P52 入力端子		P52 出力端子		TxD1 出力端子
	$\overline{\text{IRQ10}}$ 入力端子				

【注】 x : Don't care

- P51/ $\overline{\text{IRQ9}}$ /RxDF

SCIF のイネーブル/ディセーブルと P51DDR ビットの組み合わせにより、次のように切り替わります。ISSR16 の ISS9 ビットを 0 にクリアし、割り込みコントローラの IER16 の IRQ9E ビットを 1 にセットすると $\overline{\text{IRQ9}}$ 入力端子になります。 $\overline{\text{IRQ9}}$ 入力端子として使用する場合は、P51DDR ビットを 0 にクリアしてください。

SCIF	ディセーブル		イネーブル
P51DDR	0	1	x
端子機能	P51 入力端子	P51 出力端子	RxDF 入力端子
	$\overline{\text{IRQ9}}$ 入力端子		

【注】 x : Don't care

- P50/ $\overline{\text{IRQ8}}$ /TxDF

SCIF のイネーブル/ディセーブルと P50DDR ビットの組み合わせにより、次のように切り替わります。ISSR16 の ISS8 ビットを 0 にクリアし、割り込みコントローラの IER16 の IRQ8E ビットを 1 にセットすると $\overline{\text{IRQ8}}$ 入力端子になります。 $\overline{\text{IRQ8}}$ 入力端子として使用する場合は、P50DDR ビットを 0 にクリアしてください。

SCIF	ディセーブル		イネーブル
P50DDR	0	1	x
端子機能	P50 入力端子	P50 出力端子	TxDF 出力端子
	$\overline{\text{IRQ8}}$ 入力端子		

【注】 x : Don't care

8. I/O ポート

8.6 ポート 6

ポート 6 は、8 ビットの入出力ポートです。ポート 6 は、双方向データバス、SCIF 制御入出力と兼用になっています。動作モードによって端子機能が切り替わります。また、拡張データバス (D7~D0) として使用することができます。ポート 6 には以下のレジスタがあります。

- ポート6データディレクションレジスタ (P6DDR)
- ポート6データレジスタ (P6DR)
- ポート6プルアップMOSコントロールレジスタ (P6PCR)
- ノイズキャンセライネーブルレジスタ (P6NCE)
- ノイズキャンセラモードコントロールレジスタ (P6NCMC)
- ノイズキャンセル周期設定レジスタ (NCCS)

8.6.1 ポート 6 データディレクションレジスタ (P6DDR)

P6DDR は、ポート 6 の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	P67DDR	0	W	ノーマル拡張モード (16 ビットデータバス) のとき 動作に影響しません。 他のモードのとき 汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	P66DDR	0	W	
5	P65DDR	0	W	
4	P64DDR	0	W	
3	P63DDR	0	W	
2	P62DDR	0	W	
1	P61DDR	0	W	
0	P60DDR	0	W	

8.6.2 ポート 6 データレジスタ (P6DR)

P6DR は、ポート 6 の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	P67DR	0	R/W	ノーマル拡張モード (16 ビットデータバス) のとき このレジスタをリードすると、P6DDR が 1 にセットされているビットはこのレジスタの値が読み出されます。P6DDR が 0 にクリアされているビットは 1 が読み出されます。
6	P66DR	0	R/W	
5	P65DR	0	R/W	他のモードのとき 汎用出力ポートとして使用する端子の出力データを格納します。
4	P64DR	0	R/W	
3	P63DR	0	R/W	このレジスタをリードすると、P6DDR が 1 にセットされているビットはこのレジスタの値が読み出されます。P6DDR が 0 にクリアされているビットは端子の状態が読み出されます。
2	P62DR	0	R/W	
1	P61DR	0	R/W	
0	P60DR	0	R/W	

8.6.3 ポート 6 プルアップ MOS コントロールレジスタ (P6PCR)

P6PCR は、ポート 6 の入力プルアップ MOS のオン/オフを制御します。

ビット	ビット名	初期値	R/W	説明
7	P67PCR	0	R/W	ノーマル拡張モード (16 ビットデータバス) のとき 動作に影響しません。
6	P66PCR	0	R/W	
5	P65PCR	0	R/W	他のモードのとき 端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
4	P64PCR	0	R/W	
3	P63PCR	0	R/W	
2	P62PCR	0	R/W	
1	P61PCR	0	R/W	
0	P60PCR	0	R/W	

8.6.4 ノイズキャンセライネーブルレジスタ (P6NCE)

P6NCE は、ポート 6 端子のノイズキャンセル回路のイネーブルとディセーブルをビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7	P67NCE	0	R/W	ノイズキャンセル回路をイネーブルにして、NCCS で設定したサンプリング周期で端子状態を P6DR に取り込みます。
6	P66NCE	0	R/W	
5	P65NCE	0	R/W	動作状態は他の制御ビットにより変化します。「8.6.7 端子機能」を参照してください。
4	P64NCE	0	R/W	
3	P63NCE	0	R/W	
2	P62NCE	0	R/W	
1	P61NCE	0	R/W	
0	P60NCE	0	R/W	

8. I/O ポート

8.6.5 ノイズキャンセラモードコントロールレジスタ (P6NCCM)

P6NCCM は、ポート 6 端子の入力信号で 1 期待か 0 期待かをビットごとに制御します。

ビット	ビット名	初期値	R/W	説 明
7	P67NCCM	1	R/W	1 期待 : 1 が安定入力時にポートデータレジスタに 1 が格納されます。 0 期待 : 0 が安定入力時にポートデータレジスタに 0 が格納されます。
6	P66NCCM	1	R/W	
5	P65NCCM	1	R/W	
4	P64NCCM	1	R/W	
3	P63NCCM	1	R/W	
2	P62NCCM	1	R/W	
1	P61NCCM	1	R/W	
0	P60NCCM	1	R/W	

8.6.6 ノイズキャンセル周期設定レジスタ (NCCS)

NCCS は、ノイズキャンセラのサンプリングの周期を制御します。

ビット	ビット名	初期値	R/W	説 明		
7~3	-	不定	R/W	リザーブビット リード値は不定です。		
2	NCCK2	0	R/W	ノイズキャンセラのサンプリング周期を設定します。 = 34MHz 時		
1	NCCK1	0	R/W			
0	NCCK0	0	R/W		000 : 0.06 μ s /2	100 : 963.8 μ s /32768
					001 : 0.94 μ s /32	101 : 1.9ms /65536
				010 : 15.1 μ s /512	110 : 3.9ms /131072	
				011 : 240.9 μ s /8192	111 : 7.7ms /262144	

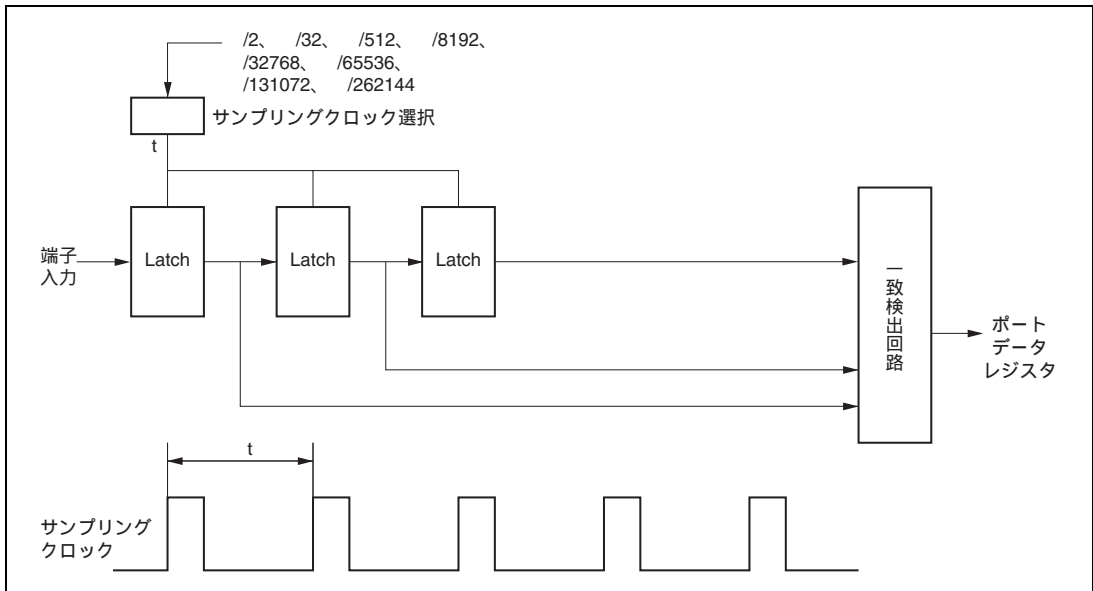


図 8.1 ノイズキャンセル回路

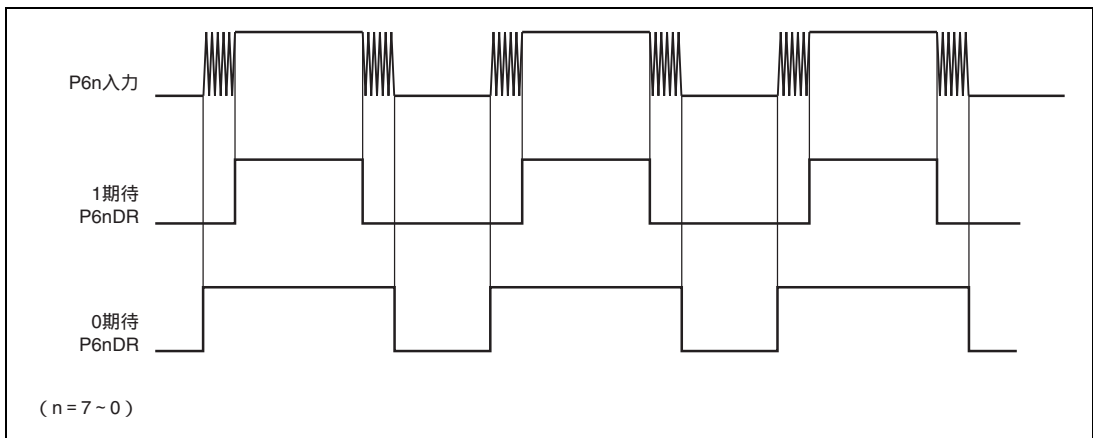


図 8.2 ノイズキャンセル動作概念図

8. I/O ポート

8.6.7 端子機能

(1) ノーマル拡張モード

- 16ビットバスモード
自動的に双方向データバスになります。
- 8ビットバスモード
シングルチップモードと同じ動作になります。

(2) アドレス/データマルチプレックス拡張モード

シングルチップモードと同じ動作になります。

(3) シングルチップモード

レジスタの設定値と端子機能の関係は以下のとおりです。

PWMX 出力、SCIF 制御入出力、割り込み入力、または入出力ポートとして機能します。

- P67/DB15
P67DDR ビットと P67NCE ビットとの組み合わせにより、次のように切り替わります。

P67DDR	0		1
P67NCE	0	1	x
端子機能	P67 入力端子	DB15 入力端子	P67 出力端子

【注】 x : Don't care

- P66/DB14
P66DDR ビットと P66NCE ビットとの組み合わせにより、次のように切り替わります。

P66DDR	0		1
P66NCE	0	1	x
端子機能	P66 入力端子	DB14 入力端子	P66 出力端子

【注】 x : Don't care

- P65/DB13/ $\overline{\text{RTS}}$
SCIF のイネーブル/ディセーブルと P65DDR ビットおよび P65NCE ビットとの組み合わせにより、次のように切り替わります。

SCIF	ディセーブル			イネーブル
P65NCE	0	1	x	x
P65DDR	0		1	x
端子機能	P65 入力端子	DB13 入力端子	P65 出力端子	RTS 出力端子

【注】 x : Don't care

- P64/DB12/ $\overline{\text{CTS}}$

SCIF のイネーブル/ディセーブルと P64DDR ビットおよび P64NCE ビットとの組み合わせにより、次のように切り替わります。

SCIF	ディセーブル		イネーブル
P64DDR	0		1 x
P64NCE	0	1	x
端子機能	P64 入力端子	DB12 入力端子	P64 出力端子 CTS 入力端子

【注】 x : Don't care

- P63/DB11

P63DDR ビットと P63NCE ビットとにより次のように切り替わります。

P63DDR	0		1
P63NCE	0	1	x
端子機能	P63 入力端子	DB11 入力端子	P63 出力端子

【注】 x : Don't care

- P62/DB10

P62DDR ビットと P62NCE ビットとにより次のように切り替わります。

P62DDR	0		1
P62NCE	0	1	x
端子機能	P62 入力端子	DB10 入力端子	P62 出力端子

【注】 x : Don't care

- P61/DB9

P61DDR ビットと P61NCE ビットとにより次のように切り替わります。

P61DDR	0		1
P61NCE	0	1	x
端子機能	P61 入力端子	DB9 入力端子	P61 出力端子

【注】 x : Don't care

- P60/DB8

P60DDR ビットと P60NCE ビットとにより次のように切り替わります。

P60DDR	0		1
P60NCE	0	1	x
端子機能	P60 入力端子	DB8 入力端子	P60 出力端子

【注】 x : Don't care

8. I/O ポート

8.6.8 ポート 6 入力プルアップ MOS の状態

ポート 6 はプログラムで制御可能な入力プルアップ MOS を内蔵しています。入力プルアップ MOS の状態を表 8.5 に示します。

表 8.5 ポート 6 入力プルアップ MOS の状態

リセット	ハードウェアスタンバイモード	ソフトウェアスタンバイモード	その他の動作時
OFF	OFF	ON/OFF	ON/OFF

【記号説明】

OFF : 常にオフ状態です。

ON/OFF : P6DDR = 0 で入力状態かつ P6PCR = 1 のときオン状態、その他のときはオフ状態です。

8.7 ポート 7

ポート 7 は、8 ビットの入力ポートです。ポート 7 は、A/D 変換器のアナログ入力端子、割り込み入力端子と兼用になっています。ポート 7 には以下のレジスタがあります。

- ポート 7 入力データレジスタ (P7PIN)

8.7.1 ポート 7 入力データレジスタ (P7PIN)

P7PIN は、ポート 7 の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説明
7	P77PIN	不定*	R	このレジスタをリードすると、端子の状態が読み出されます。 PBDDR と同じアドレスのため、このレジスタをライトすると PBDDR にデータが書き込まれポート B の設定が変わります。
6	P76PIN	不定*	R	
5	P75PIN	不定*	R	
4	P74PIN	不定*	R	
3	P73PIN	不定*	R	
2	P72PIN	不定*	R	
1	P71PIN	不定*	R	
0	P70PIN	不定*	R	

【注】 * P77 ~ P70 端子の状態により決定されます。

8.7.2 端子機能

- P77/ExIRQ7/AN7

A/D 変換器の ADCSR の CH2 ~ CH0 ビットと割り込みコントローラの ISSR の ISS7 ビットの組み合わせにより、次のように切り替わります。表以外の設定は使用しないでください。

CH2 ~ CH0	B'111	B'111 以外	
ISS7	0	0	1
端子機能	AN7 入力端子	P77 入力端子	ExIRQ7 入力端子

- P76/ $\overline{\text{ExIRQ6}}$ /AN6

A/D 変換器の ADCR の SCANE ビットと ADCSR の CH2 ~ CH0 ビットと割り込みコントローラの ISSR の ISS6 ビットの組み合わせにより、次のように切り替わります。表以外の設定は使用しないでください。

SCANE	0			1		
CH2 ~ CH0	B'110	B'110 以外		B'110 ~ B'111	B'000 ~ B'101	
ISS6	0	0	1	0	0	1
端子機能	AN6 入力端子	P76 入力端子	$\overline{\text{ExIRQ6}}$ 入力端子	AN6 入力端子	P76 入力端子	$\overline{\text{ExIRQ6}}$ 入力端子

- P75/ $\overline{\text{ExIRQ5}}$ /AN5

A/D 変換器の ADCR の SCANE ビットと ADCSR の CH2 ~ CH0 ビットと割り込みコントローラの ISSR の ISS5 ビットの組み合わせにより、次のように切り替わります。表以外の設定は使用しないでください。

SCANE	0			1		
CH2 ~ CH0	B'101	B'101 以外		B'101 ~ B'111	B'000 ~ B'100	
ISS5	0	0	1	0	0	1
端子機能	AN5 入力端子	P75 入力端子	$\overline{\text{ExIRQ5}}$ 入力端子	AN5 入力端子	P75 入力端子	$\overline{\text{ExIRQ5}}$ 入力端子

- P74/ $\overline{\text{ExIRQ4}}$ /AN4

A/D 変換器の ADCR の SCANE ビットと ADCSR の CH2 ~ CH0 ビットと割り込みコントローラの ISSR の ISS4 ビットの組み合わせにより、次のように切り替わります。表以外の設定は使用しないでください。

SCANE	0			1		
CH2 ~ CH0	B'100	B'100 以外		B'100 ~ B'111	B'000 ~ B'011	
ISS4	0	0	1	0	0	1
端子機能	AN4 入力端子	P74 入力端子	$\overline{\text{ExIRQ4}}$ 入力端子	AN4 入力端子	P74 入力端子	$\overline{\text{ExIRQ4}}$ 入力端子

- P73/ $\overline{\text{ExIRQ3}}$ /AN3

A/D 変換器の ADCR の SCANE ビットと SCANS ビットおよび ADCSR の CH2 ~ CH0 ビットと割り込みコントローラの ISSR の ISS3 ビットの組み合わせにより、次のように切り替わります。表以外の設定は使用しないでください。

SCANE	0			1					
SCANS	x			0			1		
CH2 ~ CH0	B'011	B'011 以外		B'011	B'011 以外		B'011 ~ B'111	B'000 ~ B'010	
ISS3	0	0	1	0	0	1	0	0	1
端子機能	AN3 入力端子	P73 入力端子	$\overline{\text{ExIRQ3}}$ 入力端子	AN3 入力端子	P73 入力端子	$\overline{\text{ExIRQ3}}$ 入力端子	AN3 入力端子	P73 入力端子	$\overline{\text{ExIRQ3}}$ 入力端子

【注】 x : Don't care

8. I/O ポート

- P72/ $\overline{\text{ExIRQ2}}$ /AN2

A/D 変換器の ADCR の SCANE ビットと SCANS ビットおよび ADCSR の CH2 ~ CH0 ビットと割り込みコントローラの ISSR の ISS2 ビットの組み合わせにより、次のように切り替わります。表以外の設定は使用しないでください。

SCANE	0			1					
SCANS	x			0			1		
CH2 ~ CH0	B'010	B'010 以外		B'010 ~ B'011	B'010 ~ B'011 以外		B'010 ~ B'111	B'000 ~ B'001	
ISS2	0	0	1	0	0	1	0	0	1
端子機能	AN2 入力端子	P72 入力端子	$\overline{\text{ExIRQ2}}$ 入力端子	AN2 入力端子	P72 入力端子	$\overline{\text{ExIRQ2}}$ 入力端子	AN2 入力端子	P72 入力端子	$\overline{\text{ExIRQ2}}$ 入力端子

【注】 x : Don't care

- P71/ $\overline{\text{ExIRQ1}}$ /AN1

A/D 変換器の ADCR の SCANE ビットと SCANS ビットおよび ADCSR の CH2 ~ CH0 ビットと割り込みコントローラの ISSR の ISS1 ビットの組み合わせにより、次のように切り替わります。表以外の設定は使用しないでください。

SCANE	0			1					
SCANS	x			0			1		
CH2 ~ CH0	B'001	B'001 以外		B'001 ~ B'011	B'001 ~ B'011 以外		B'001 ~ B'111	B'000	
ISS1	0	0	1	0	0	1	0	0	1
端子機能	AN1 入力端子	P71 入力端子	$\overline{\text{ExIRQ1}}$ 入力端子	AN1 入力端子	P71 入力端子	$\overline{\text{ExIRQ1}}$ 入力端子	AN1 入力端子	P71 入力端子	$\overline{\text{ExIRQ1}}$ 入力端子

【注】 x : Don't care

- P70/ $\overline{\text{ExIRQ0}}$ /AN0

A/D 変換器の ADCR の SCANE ビットと SCANS ビットおよび CH2 ~ CH0 ビットと割り込みコントローラの ISSR の ISS0 ビットの組み合わせにより、次のように切り替わります。表以外の設定は使用しないでください。

SCANE	0			1					
SCANS	x			0			1		
CH2 ~ CH0	B'000	B'000 以外		B'000 ~ B'011	B'000 ~ B'011 以外		B'000 ~ B'111		
ISS0	0	0	1	0	0	1	0		
端子機能	AN0 入力端子	P70 入力端子	$\overline{\text{ExIRQ0}}$ 入力端子	AN0 入力端子	P70 入力端子	$\overline{\text{ExIRQ0}}$ 入力端子	AN0 入力端子		

【注】 x : Don't care

8.8 ポート 8

ポート 8 は、8 ビットの入出力ポートです。ポート 8 は、A/D 変換器の外部トリガ入力端子、SCI_1、SCI_3 入出力端子、IIC_0、IIC_1 入出力端子、割り込み入力端子と兼用になっています。ポート 83 ~ 80 の出力形式は、NMOS プッシュプル出力となります。ポート 8 には以下のレジスタがあります。

- ポート 8 データディレクションレジスタ (P8DDR)
- ポート 8 データレジスタ (P8DR)

8.8.1 ポート 8 データディレクションレジスタ (P8DDR)

P8DDR は、ポート 8 の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	P87DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。 PBPIN と同じアドレスのため、このレジスタをリードすると、ポート B の状態が読み出されます。
6	P86DDR	0	W	
5	P85DDR	0	W	
4	P84DDR	0	W	
3	P83DDR	0	W	
2	P82DDR	0	W	
1	P81DDR	0	W	
0	P80DDR	0	W	

8.8.2 ポート 8 データレジスタ (P8DR)

P8DR は、ポート 8 の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	P87DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。 このレジスタをリードすると、P8DDR が 1 にセットされているビットはこのレジスタの値が読み出されます。P8DDR が 0 にクリアされているビットは端子の状態が読み出されます。
6	P86DR	0	R/W	
5	P85DR	0	R/W	
4	P84DR	0	R/W	
3	P83DR	0	R/W	
2	P82DR	0	R/W	
1	P81DR	0	R/W	
0	P80DR	0	R/W	

8. I/O ポート

8.8.3 端子機能

レジスタの設定値と端子機能の関係は以下のとおりです。

- P87/ExIRQ15/ADTRG

P87DDR ビットにより、次のように切り替わります。ADCR の TRGS1、TRGS0 ビットをいずれも 1 にセットすると $\overline{\text{ADTRG}}$ 入力端子になります。ISSR16 の ISS15 ビットを 1 にセットすると $\overline{\text{ExIRQ15}}$ 入力端子として使用できます。 $\overline{\text{ExIRQ15}}$ 入力端子として使用する場合は、P87DDR ビットを 0 にクリアしてください。

P87DDR	0	1
端子機能	P87 入力端子	P87 出力端子
	$\overline{\text{ExIRQ15}}$ 入力端子 / ADTRG 入力端子	

【注】 x : Don't care

- P86/ $\overline{\text{ExIRQ14}}$

P86DDR ビットにより、次のように切り替わります。ISSR16 の ISS14 ビットを 1 にセットすると $\overline{\text{ExIRQ14}}$ 入力端子として使用できます。 $\overline{\text{ExIRQ14}}$ 入力端子として使用する場合は、P86DDR ビットを 0 にクリアしてください。

P86DDR	0	1
端子機能	P86 入力端子	P86 出力端子
	$\overline{\text{ExIRQ14}}$ 入力端子	

- P85/ $\overline{\text{ExIRQ13}}$ /SCK1

SCL1 の SMR の C/\overline{A} ビット、SCR の CKE0、CKE1 ビットおよび P85DDR ビットの組み合わせにより、次のように切り替わります。ISSR16 の ISS13 ビットを 1 にセットすると $\overline{\text{ExIRQ13}}$ 入力端子として使用できます。 $\overline{\text{ExIRQ13}}$ 入力端子として使用する場合は、P85DDR ビットを 0 にクリアしてください。

CKE1	0			1	
C/\overline{A}	0		1	x	
CKE0	0		1	x	x
P85DDR	0	1	x	x	x
端子機能	P85 入力端子	P85 出力端子	SCK1 出力端子	SCK1 出力端子	SCK1 入力端子
	$\overline{\text{ExIRQ13}}$ 入力端子				

【注】 x : Don't care

- P84/ $\overline{\text{ExIRQ12}}$ /SCK3

SCL₃ の SMR の $\overline{\text{C/A}}$ ビット、SCR の CKE0、CKE1 ビットおよび P84DDR ビットの組み合わせにより、次のように切り替わります。ISSR16 の ISS12 ビットを 1 にセットすると $\overline{\text{ExIRQ12}}$ 入力端子として使用できます。 $\overline{\text{ExIRQ12}}$ 入力端子として使用する場合は、P84DDR ビットを 0 にクリアしてください。

CKE1	0				1
$\overline{\text{C/A}}$	0			1	x
CKE0	0		1	x	x
P84DDR	0	1	x	x	x
端子機能	P84 入力端子	P84 出力端子	SCK3 出力端子	SCK3 出力端子	SCK3 入力端子
	$\overline{\text{ExIRQ12}}$ 入力端子				

【注】 x : Don't care

- P83/ $\overline{\text{ExIRQ11}}$ /SDA1

IIC₁ の ICCR の ICE ビットと P83DDR ビットの組み合わせにより、次のように切り替わります。P83 出力端子に設定した場合の出力形式は、NMOS プッシュプル出力となります。SDA1 の出力形式は NMOS オープンドレイン出力となり、直接バス駆動が可能です。ISSR16 の ISS11 ビットを 1 にセットすると $\overline{\text{ExIRQ11}}$ 入力端子として使用できます。 $\overline{\text{ExIRQ11}}$ 入力端子として使用する場合は、P83DDR ビットを 0 にクリアしてください。

ICE	0		1
P83DDR	0	1	x
端子機能	P83 入力端子	P83 出力端子	SDA1 入出力端子
	$\overline{\text{ExIRQ11}}$ 入力端子		

【注】 x : Don't care

- P82/ $\overline{\text{ExIRQ10}}$ /SCL1

IIC₁ の ICCR の ICE ビットと P82DDR ビットの組み合わせにより、次のように切り替わります。P82 出力端子に設定した場合の出力形式は、NMOS プッシュプル出力となります。SCL1 の出力形式は NMOS オープンドレイン出力となり、直接バス駆動が可能です。ISSR16 の ISS10 ビットを 1 にセットすると $\overline{\text{ExIRQ10}}$ 入力端子として使用できます。 $\overline{\text{ExIRQ10}}$ 入力端子として使用する場合は、P82DDR ビットを 0 にクリアしてください。

ICE	0		1
P82DDR	0	1	x
端子機能	P82 入力端子	P82 出力端子	SCL1 入出力端子
	$\overline{\text{ExIRQ10}}$ 入力端子		

【注】 x : Don't care

8. I/O ポート

- P81/ $\overline{\text{ExIRQ9}}$ /SDA0

IIC_0 の ICR の ICE ビットと P81DDR ビットの組み合わせにより、次のように切り替わります。P81 出力端子に設定した場合の出力形式は、NMOS プッシュプル出力となります。SDA0 の出力形式は NMOS オープンドレイン出力となり、直接バス駆動が可能です。ISSR16 の ISS9 ビットを 1 にセットすると $\overline{\text{ExIRQ9}}$ 入力端子として使用できます。 $\overline{\text{ExIRQ9}}$ 入力端子として使用する場合は、P81DDR ビットを 0 にクリアしてください。

ICE	0		1
P81DDR	0	1	x
端子機能	P81 入力端子	P81 出力端子	SDA0 入出力端子
	$\overline{\text{ExIRQ9}}$ 入力端子		

【注】 x : Don't care

- P80/ $\overline{\text{ExIRQ8}}$ /SCL0

IIC_0 の ICR の ICE ビットと P80DDR ビットの組み合わせにより、次のように切り替わります。P80 出力端子に設定した場合の出力形式は、NMOS プッシュプル出力となります。SCL0 の出力形式は NMOS オープンドレイン出力となり、直接バス駆動が可能です。ISSR16 の ISS8 ビットを 1 にセットすると $\overline{\text{ExIRQ8}}$ 入力端子として使用できます。 $\overline{\text{ExIRQ8}}$ 入力端子として使用する場合は、P80DDR ビットを 0 にクリアしてください。

ICE	0		1
P80DDR	0	1	x
端子機能	P80 入力端子	P80 出力端子	SCL0 入出力端子
	$\overline{\text{ExIRQ8}}$ 入力端子		

【注】 x : Don't care

8.9 ポート 9

ポート 9 は、8 ビットの入出力ポートです。ポート 9 は、バス制御の入出力端子、システムクロック出力端子と兼用になっています。動作モードによって端子機能が切り替わります。ポート 9 には以下のレジスタがあります。

- ポート 9 データディレクションレジスタ (P9DDR)
- ポート 9 データレジスタ (P9DR)

8.9.1 ポート 9 データディレクションレジスタ (P9DDR)

P9DDR は、ポート 9 の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	P97DDR	0	W	汎用入出力ポート機能が選択されているとき、このビットを 1 にセットすると出力ポートとなり、0 にクリアすると入力ポートになります。
6	P96DDR	0	W	1 にセットするとシステムクロック出力端子 () となり、0 にクリアすると汎用入力ポートになります。
5	P95DDR	0	W	汎用入出力ポート機能が選択されているとき、このビットを 1 にセットすると出力ポートとなり、0 にクリアすると入力ポートになります。
4	P94DDR	0	W	
3	P93DDR	0	W	
2	P92DDR	0	W	
1	P91DDR	0	W	
0	P90DDR	0	W	

8.9.2 ポート 9 データレジスタ (P9DR)

P9DR は、ポート 9 の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	P97DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。 このレジスタをリードすると、P9DDR が 1 にセットされているビットはこのレジスタの値が読み出されます。P9DDR が 0 にクリアされているビットは端子の状態が読み出されます。
6	P96DR	不定*	R/W	
5	P95DR	0	R/W	
4	P94DR	0	R/W	
3	P93DR	0	R/W	
2	P92DR	0	R/W	
1	P91DR	0	R/W	
0	P90DR	0	R/W	

【注】 * P96 端子の状態により決定されます。

8. I/O ポート

8.9.3 端子機能

レジスタの設定値と端子機能の関係は以下のとおりです。

- P97/WAIT/CS256

動作モード、SYSCR の CS256E ビット、WSCR の WMS1 ビット、WSCR2 の WMS21 ビットおよび P97DDR の組み合わせにより、次のように切り替わります。

動作モード	拡張モード				シングルチップモード	
WMS1, WMS21	すべて 0			どちらか 1	x	
CS256E	0	1	x	x	x	
P97DDR	0	1	x	x	0	1
端子機能	P97 入力端子	P97 出力端子	CS256 出力端子	WAIT 入力端子	P97 入力端子	P97 出力端子

【注】 x : Don't care

- P96/ /EXCL

LPWRCR の EXCLE ビットおよび P96DDR ビットにより、次のように切り替わります。

P96DDR	0		1
EXCLE	0	1	x
端子機能	P96 入力端子	EXCL 入力端子	出力端子

【注】 x : Don't care

- P95/ \overline{AS} / \overline{IOS}

動作モード、SYSCR の IOSE ビット、および P95DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	拡張モード		シングルチップモード	
P95DDR	x		0	1
IOSE	0	1	x	x
端子機能	\overline{AS} 出力端子	\overline{IOS} 出力端子	P95 入力端子	P95 出力端子

【注】 x : Don't care

- P94/ \overline{HWR}

動作モードおよび P94DDR ビットの組み合わせにより次のように切り替わります。

動作モード	拡張モード	シングルチップモード	
P94DDR	x	0	1
端子機能	\overline{HWR} 出力端子	P94 入力端子	P94 出力端子

【注】 x : Don't care

- P93/ \overline{RD}

動作モードおよび P93DDR ビットの組み合わせにより次のように切り替わります。

動作モード	拡張モード	シングルチップモード	
P93DDR	x	0	1
端子機能	\overline{RD} 出力端子	P93 入力端子	P93 出力端子

【注】 x : Don't care

- P92/ \overline{HBE}

動作モード、PTCNT0 の OBE ビットおよび P92DDR ビットにより、次のように切り替わります。

動作モード	拡張モード			シングルチップモード	
OBE	0		1	x	
P92DDR	0	1	x	0	1
端子機能	P92 入力端子	P92 出力端子	\overline{HBE} 出力端子	P92 入力端子	P92 出力端子

【注】 x : Don't care

- P91/ \overline{AH}

動作モード、SYSCR2 の ADMXE ビットおよび P91DDR ビットにより、次のように切り替わります。

動作モード	拡張モード			シングルチップモード	
ADMXE	0		1	x	
P91DDR	0	1	x	0	1
端子機能	P91 入力端子	P91 出力端子	\overline{AH} 出力端子	P91 入力端子	P91 出力端子

【注】 x : Don't care

- P90/ \overline{LWR} / \overline{LBE}

動作モード、WSCR の ABW ビット、ABW256 ビット PTCNT0 の OBE ビットおよび P90DDR ビットにより、次のように切り替わります。

動作モード	拡張モード				シングルチップモード	
OBE	0		1		x	
ABW, ABW256	すべて 1		いずれかが 0		x	
P90DDR	0	1	x		0	1
端子機能	P90 入力端子	P90 出力端子	\overline{LWR} 出力端子	\overline{LBE} 出力端子	P90 入力端子	P90 出力端子

【注】 x : Don't care

8. I/O ポート

8.10 ポート A

ポート A は 8 ビットの入出力ポートです。ポート A はアドレス出力端子、イベントカウンタ入力端子と兼用になっています。ポート A には以下のレジスタがあります。PADDR と PAPIN は、同一のアドレスにアサインされています。

- ポートAデータディレクションレジスタ (PADDR)
- ポートA出力データレジスタ (PAODR)
- ポートA入力データレジスタ (PAPIN)

8.10.1 ポート A データディレクションレジスタ (PADDR)

PADDR は、ポート A の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	PA7DDR	0	W	このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。 PAPIN と同じアドレスのため、このアドレスをリードするとポート A の状態が読み出されます。
6	PA6DDR	0	W	
5	PA5DDR	0	W	
4	PA4DDR	0	W	
3	PA3DDR	0	W	
2	PA2DDR	0	W	
1	PA1DDR	0	W	
0	PA0DDR	0	W	

8.10.2 ポート A 出力データレジスタ (PAODR)

PAODR は、ポート A の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PA7ODR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PA6ODR	0	R/W	
5	PA5ODR	0	R/W	
4	PA4ODR	0	R/W	
3	PA3ODR	0	R/W	
2	PA2ODR	0	R/W	
1	PA1ODR	0	R/W	
0	PA0ODR	0	R/W	

8.10.3 ポート A 入力データレジスタ (PAPIN)

PAPIN は、ポート A の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説明
7	PA7PIN	不定*	R	このレジスタをリードすると、端子の状態が読み出されます。 PADDR と同じアドレスのため、このアドレスをライトすると PADDR にデータが書き込まれポート A の設定が変わります。
6	PA6PIN	不定*	R	
5	PA5PIN	不定*	R	
4	PA4PIN	不定*	R	
3	PA3PIN	不定*	R	
2	PA2PIN	不定*	R	
1	PA1PIN	不定*	R	
0	PA0PIN	不定*	R	

【注】 * PA7～PA0 端子の状態により決定されます。

8.10.4 端子機能

動作モードおよびレジスタの設定値と端子機能の関係は以下のとおりです。

(1) ノーマル拡張モード

ポート A はアドレス出力、割込み入力、イベントカウンタ入力または入出力ポートとして機能し、ビット単位で入出力を指定可能です。

表中のアドレス 18、アドレス 13 は、バスコントローラ等の制御ビットにより、次の論理式で表されます。

アドレス 18 = 1 : $\overline{ADFULLE}$

アドレス 13 = 1 : $\overline{ADFULLE} \cdot \overline{CS256E} \cdot IOSE$

- PA7/EVENT7/A23、PA6/EVENT6/A22、PA5/EVENT5/A21、PA4/EVENT4/A20、PA3/EVENT3/A19、PA2/EVENT2/A18

アドレス 18 の設定と PAnDDR ビットの組み合わせにより、次のように切り替わります。

EVENT 入力端子として使用する場合は、PAnDDR ビットを 0 にクリアしてください。EVENT 入力端子の設定をしていても、PAn 出力端子または Am 出力端子として使用する場合は PAnDDR ビットを 1 にセットしてください。

PAnDDR	0	1	1
アドレス 18	1		0
端子機能	PAn 入力端子	PAn 出力端子	Am 出力端子
	EVENTn 入力端子		

【注】 n = 7～2

m = 23～18

8. I/O ポート

- PA1/EVENT1/A17、PA0/EVENT0/A16

アドレス 13 の設定および PAnDDR ビットの組み合わせにより、次のように切り替わります。

EVENT 入力端子として使用する場合は、PAnDDR ビットを 0 にクリアしてください。EVENT 入力端子の設定をしていても、PAn 出力端子または Am 出力端子として使用する場合は PAnDDR ビットを 1 にセットしてください。

PAnDDR	0	1	
アドレス 13	1		0
端子機能	PAn 入力端子	PAn 出力端子	Am 出力端子
	EVENTn 入力端子		

【注】 n=1、0
m=17、16

(2) シングルチップモードおよびアドレス/データマルチプレックス拡張モード

ポート A はイベントカウンタ入力と兼用になっています。

- PA7/EVENT7、PA6/EVENT6、PA5/EVENT5、PA4/EVENT4、PA3/EVENT3、PA2/EVENT2、PA1/EVENT1、PA0/EVENT0

PAnDDR ビットにより、次のように切り替わります。

EVENT 入力端子の設定をしていても、PAn 出力端子として使用する場合は PAnDDR ビットを 1 にセットしてください。

PAnDDR	0	1
端子機能	PAn 入力端子	PAn 出力端子
	EVENTn 入力端子	

【注】 n=7~0

8.10.5 入力プルアップ MOS

ポート A は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はいずれの動作モードでも使用でき、ビット単位でオン/オフを指定できます。

PAnDDR	0		1
PAnODR	1	0	x
PAn プルアップ MOS	ON	OFF	OFF

【注】 n = 7 ~ 0

x : Don't care

入力プルアップ MOS は、リセットまたはハードウェアスタンバイモードではオフします。ソフトウェアスタンバイモードでは直前の状態を保持します。入力プルアップ MOS の状態を表 8.6 に示します。

表 8.6 入力プルアップ MOS の状態

リセット	ハードウェアスタンバイモード	ソフトウェアスタンバイモード	その他の動作時
	OFF	ON/OFF	

【記号説明】

OFF : 入力プルアップは、常にオフ状態です。

ON/OFF : PADDR = 0 かつ PAODR = 1 のときオン状態、その他のときはオフ状態です。

8. I/O ポート

8.11 ポート B

ポート B は 8 ビットの入出力ポートです。ポート B はイベントカウンタ入力端子と兼用になっています。ポート B には以下のレジスタがあります。

- ポート B データディレクションレジスタ (PBDDR)
- ポート B データレジスタ (PBODR)
- ポート B 入力データレジスタ (PBPIN)

8.11.1 ポート B データディレクションレジスタ (PBDDR)

PBDDR は、ポート B の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	PB7DDR	0	W	このビットを 1 にセットすると対応する端子は出力ポートになり、0 にクリアすると入力ポートになります。
6	PB6DDR	0	W	
5	PB5DDR	0	W	
4	PB4DDR	0	W	
3	PB3DDR	0	W	
2	PB2DDR	0	W	
1	PB1DDR	0	W	
0	PB0DDR	0	W	

8.11.2 ポート B 出力データレジスタ (PBODR)

PBODR は、ポート B の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PB7ODR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PB6ODR	0	R/W	
5	PB5ODR	0	R/W	
4	PB4ODR	0	R/W	
3	PB3ODR	0	R/W	
2	PB2ODR	0	R/W	
1	PB1ODR	0	R/W	
0	PB0ODR	0	R/W	

8.11.3 ポート B 入力データレジスタ (PBPIN)

PBPIN は、ポート B の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説明
7	PB7PIN	不定*	R	このレジスタをリードすると、端子の状態が読み出されます。 P8DDR と同じアドレスのため、このレジスタをライトすると P8DDR にデータが書き込まれポート 8 の設定が変わります。
6	PB6PIN	不定*	R	
5	PB5PIN	不定*	R	
4	PB4PIN	不定*	R	
3	PB3PIN	不定*	R	
2	PB2PIN	不定*	R	
1	PB1PIN	不定*	R	
0	PB0PIN	不定*	R	

【注】 * PB7 ~ PB0 端子の状態により決定されます。

8.11.4 端子機能

- PB7/EVENT15 ~ PB0/EVENT8

PBnDDR により、次のように切り替わります。EVENT 入力端子として使用する場合は、PBnDDR ビットを 0 にクリアしてください。

PBnDDR	0		1
イベントカウンタ*	ディスエーブル	イネーブル	x
端子機能	PBn 入力端子	EVENTm 入力端子	PBn 出力端子

【注】 n=7~0、m=15~8

x : Don't care

* イベントカウンタの設定は「7.3 DTC イベントカウンタ」を参照してください。

8. I/O ポート

8.12 ポート C

ポート C は 8 ビットの入出力ポートです。ポート C は、PWMX 出力端子、IIC_2、IIC_3、IIC_4 入出力端子と兼用になっています。ポート C0~C5 の出力形式は、NMOS プッシュプル出力となります。ポート C には以下のレジスタがあります。

- ポート C データディレクションレジスタ (PCDDR)
- ポート C 出力データレジスタ (PCODR)
- ポート C 入力データレジスタ (PCPIN)

8.12.1 ポート C データディレクションレジスタ (PCDDR)

PCDDR は、ポート C の各端子の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	PC7DDR	0	W	PCDDR を 1 にセットすると対応するポート C の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。 PCPIN と同じアドレスのため、このアドレスをリードするとポート C の状態が読み出されます。
6	PC6DDR	0	W	
5	PC5DDR	0	W	
4	PC4DDR	0	W	
3	PC3DDR	0	W	
2	PC2DDR	0	W	
1	PC1DDR	0	W	
0	PC0DDR	0	W	

8.12.2 ポート C 出力データレジスタ (PCODR)

PCODR は、ポート C の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PC7ODR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PC6ODR	0	R/W	
5	PC5ODR	0	R/W	
4	PC4ODR	0	R/W	
3	PC3ODR	0	R/W	
2	PC2ODR	0	R/W	
1	PC1ODR	0	R/W	
0	PC0ODR	0	R/W	

8.12.3 ポート C 入力データレジスタ (PCPIN)

PCPIN は、ポート C の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説明
7	PC7PIN	不定*	R	このレジスタをリードすると、端子の状態が読み出されます。 PCDDR と同じアドレスのため、このアドレスをライトすると PCDDR にデータが書き込まれポート C の設定が変わります。
6	PC6PIN	不定*	R	
5	PC5PIN	不定*	R	
4	PC4PIN	不定*	R	
3	PC3PIN	不定*	R	
2	PC2PIN	不定*	R	
1	PC1PIN	不定*	R	
0	PC0PIN	不定*	R	

【注】 * PC7～PC0 端子の状態により決定されます。

8.12.4 端子機能

ポート C は PWMX 出力、IIC_2、IIC_3、IIC_4 入出力と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- PC7/PWX3

PWMX の DACR の OEB ビットと PC7DDR ビットの組み合わせにより次のように切り替わります。

OEB	0		1
PC7DDR	0	1	x
端子機能	PC7 入力端子	PC7 出力端子	PWX3 出力端子

【注】 x : Don't care

- PC6/PWX2

PWMX の DACR の OEA ビットと PC6DDR ビットの組み合わせにより次のように切り替わります。

OEA	0		1
PC6DDR	0	1	x
端子機能	PC6 入力端子	PC6 出力端子	PWX2 出力端子

【注】 x : Don't care

- PC5/SDA4

IIC_4 の ICCR の ICE ビットと PC5DDR の組み合わせにより、次のように切り替わります。

ICE	0		1
PC5DDR	0	1	x
端子機能	PC5 入力端子	PC5 出力端子	SDA4 入出力端子

【注】 x : Don't care

8. I/O ポート

- PC4/SCL4

IIC_4 の ICCR の ICE ビットと PC4DDR の組み合わせにより、次のように切り替わります。

ICE	0		1
PC4DDR	0	1	x
端子機能	PC4 入力端子	PC4 出力端子	SCL4 入出力端子

【注】 x : Don't care

- PC3/SDA3

IIC_3 の ICCR の ICE ビットと PC3DDR の組み合わせにより、次のように切り替わります。

ICE	0		1
PC3DDR	0	1	x
端子機能	PC3 入力端子	PC3 出力端子	SDA3 入出力端子

【注】 x : Don't care

- PC2/SCL3

IIC_3 の ICCR の ICE ビットと PC2DDR の組み合わせにより、次のように切り替わります。

ICE	0		1
PC2DDR	0	1	x
端子機能	PC2 入力端子	PC2 出力端子	SCL3 入出力端子

【注】 x : Don't care

- PC1/SDA2

IIC_2 の ICCR の ICE ビットと PC1DDR の組み合わせにより、次のように切り替わります。

ICE	0		1
PC1DDR	0	1	x
端子機能	PC1 入力端子	PC1 出力端子	SDA2 入出力端子

【注】 x : Don't care

- PC0/SCL2

IIC_2 の ICCR の ICE ビットと PC0DDR の組み合わせにより、次のように切り替わります。

ICE	0		1
PC0DDR	0	1	x
端子機能	PC0 入力端子	PC0 出力端子	SCL2 入出力端子

【注】 x : Don't care

8.13 ポート D

ポート D は 8 ビットの兼用入出力ポートです。ポート D は IIC_5 入出力端子、LPC 入出力端子と兼用になっています。ポート D には以下のレジスタがあります。ポート D7、D6 は NMOS プッシュプル出力となります。

- ポート D データディレクションレジスタ (PDDDR)
- ポート D 出力データレジスタ (PDODR)
- ポート D 入力データレジスタ (PDPIN)

8.13.1 ポート D データディレクションレジスタ (PDDDR)

PDDDR は、ポート D の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	PD7DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。 PDPIN と同じアドレスのため、このレジスタをリードするとポート D の状態が読み出されず。
6	PD6DDR	0	W	
5	PD5DDR	0	W	
4	PD4DDR	0	W	
3	PD3DDR	0	W	
2	PD2DDR	0	W	
1	PD1DDR	0	W	
0	PD0DDR	0	W	

8.13.2 ポート D 出力データレジスタ (PDODR)

PDODR は、ポート D の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PD7ODR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PD6ODR	0	R/W	
5	PD5ODR	0	R/W	
4	PD4ODR	0	R/W	
3	PD3ODR	0	R/W	
2	PD2ODR	0	R/W	
1	PD1ODR	0	R/W	
0	PD0ODR	0	R/W	

8. I/O ポート

8.13.3 ポート D 入力データレジスタ (PDPIN)

PDPIN は、ポート D の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説明
7	PD7PIN	不定*	R	このレジスタをリードすると、端子の状態が読み出されます。 PDDDR と同じアドレスのため、このレジスタをライトすると PDDDR にデータが書き込まれポート D の設定が変わります。
6	PD6PIN	不定*	R	
5	PD5PIN	不定*	R	
4	PD4PIN	不定*	R	
3	PD3PIN	不定*	R	
2	PD2PIN	不定*	R	
1	PD1PIN	不定*	R	
0	PD0PIN	不定*	R	

【注】 * PD7～PD0 端子の状態により決定されます。

8.13.4 端子機能

ポート D は LPC 入出力、IIC_5 入出力と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

LPC は、HICR0 の LPC1E、LPC2E、LPC3E および HICR5 の SCIFE がすべて 0 のときディスエーブル状態となります。

- PD7/SDA5

IIC_5 の ICCR の ICE ビットと PD7DDR の組み合わせにより、次のように切り替わります。

ICE	0		1
PD7DDR	0	1	x
端子機能	PD7 入力端子	PD7 出力端子	SDA5 入出力端子

【注】 x : Don't care

- PD6/SCL5

IIC_5 の ICCR の ICE ビットと PD6DDR の組み合わせにより、次のように切り替わります。

ICE	0		1
PD6DDR	0	1	x
端子機能	PD6 入力端子	PD6 出力端子	SCL5 入出力端子

【注】 x : Don't care

- PD5/ $\overline{\text{LPCPD}}$

PD5DDR により次のように切り替わります。LPC のイネーブル時には $\overline{\text{LPCPD}}$ 入力として使用できます。

LPC	ディスエーブル		イネーブル
PD5DDR	0	1	0
端子機能	PD5 入力端子	PD5 出力端子	$\overline{\text{LPCPD}}$ 入力端子

- PD4/ $\overline{\text{CLKRUN}}$

LPC のイネーブル/ディスエーブルと PD4DDR の組み合わせにより、次のように切り替わります。

LPC	ディスエーブル		イネーブル
PD4DDR	0	1	0
端子機能	PD4 入力端子	PD4 出力端子	$\overline{\text{CLKRUN}}$ 入出力端子

- PD3/ $\overline{\text{GA20}}$

LPC の HICR0 の FGA20E ビットと PD3DDR の組み合わせにより、次のように切り替わります。

FGA20E	0		1
PD3DDR	0	1	0
端子機能	PD3 入力端子	PD3 出力端子	GA20 出力端子

- PD2/ $\overline{\text{PMEE}}$

LPC の HICR0 の PMEE ビットと PD2DDR の組み合わせにより、次のように切り替わります。

PMEE	0		1
PD2DDR	0	1	0
端子機能	PD2 入力端子	PD2 出力端子	$\overline{\text{PMEE}}$ 出力端子

- PD1/ $\overline{\text{LSMI}}$

LPC の HICR0 の LSMIE ビットと PD1DDR の組み合わせにより、次のように切り替わります。

LSMIE	0		1
PD1DDR	0	1	0
端子機能	PD1 入力端子	PD1 出力端子	$\overline{\text{LSMI}}$ 出力端子

- PD0/ $\overline{\text{LSCIE}}$

LPC の HICR0 の LSCIE ビットと PD0DDR の組み合わせにより、次のように切り替わります。

LSCIE	0		1
PD0DDR	0	1	0
端子機能	PD0 入力端子	PD0 出力端子	LSCIE 出力端子

8. I/O ポート

8.13.5 入力プルアップ MOS

ポート D5～D0 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はいずれの動作モードでも使用でき、ビット単位でオン/オフを指定できます。

PDnDDR	0		1
PDnODR	1	0	x
PDn プルアップ MOS	ON	OFF	OFF

【注】 n = 5～0

x : Don't care

入力プルアップ MOS は、リセットまたはハードウェアスタンバイモードではオフします。ソフトウェアスタンバイモードでは直前の状態を保持します。入力プルアップ MOS の状態を表 8.7 に示します。

表 8.7 入力プルアップ MOS の状態 (ポート D)

リセット	ハードウェアスタンバイモード	ソフトウェアスタンバイモード	その他の動作時
	OFF	ON/OFF	

【記号説明】

OFF : 入力プルアップは、常にオフ状態です。

ON/OFF : PDDDR = 0 かつ PDODR = 1 のときオン状態、その他のときはオフ状態です。

8.14 ポート E

ポート E は 8 ビットの入出力ポートです。ポート E は LPC 入出力端子と兼用になっています。ポート E には以下のレジスタがあります。

- ポート E データディレクションレジスタ (PEDDR)
- ポート E 出力データレジスタ (PEODR)
- ポート E 入力データレジスタ (PEPIN)

8.14.1 ポート E データディレクションレジスタ (PEDDR)

PEDDR は、ポート E の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説 明
7	PE7DDR	0	W	このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。 PEPIN と同じアドレスのため、このレジスタをリードするとポート E の状態が読み出されます。
6	PE6DDR	0	W	
5	PE5DDR	0	W	
4	PE4DDR	0	W	
3	PE3DDR	0	W	
2	PE2DDR	0	W	
1	PE1DDR	0	W	
0	PE0DDR	0	W	

8.14.2 ポート E 出力データレジスタ (PEODR)

PEODR は、ポート E の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7	PE7ODR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PE6ODR	0	R/W	
5	PE5ODR	0	R/W	
4	PE4ODR	0	R/W	
3	PE3ODR	0	R/W	
2	PE2ODR	0	R/W	
1	PE1ODR	0	R/W	
0	PE0ODR	0	R/W	

8.14.3 ポート E 入力データレジスタ (PEPIN)

PEPIN は、ポート E の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説 明
7	PE7PIN	不定*	R	このレジスタをリードすると、端子の状態が読み出されます。 PEDDR と同じアドレスのため、このレジスタをライトすると PEDDR にデータが書き込まれポート E の設定が変わります。
6	PE6PIN	不定*	R	
5	PE5PIN	不定*	R	
4	PE4PIN	不定*	R	
3	PE3PIN	不定*	R	
2	PE2PIN	不定*	R	
1	PE1PIN	不定*	R	
0	PE0PIN	不定*	R	

【注】 * PE7 - PE0 端子の状態により決定されます。

8. I/O ポート

8.14.4 端子機能

ポート E は LPC 入出力と兼用になっています。LPC のイネーブル / ディスエーブルにより切り替わります。LPC は HICR0 の LPC1E、LPC2E、LPC3E および HICR5 の SCIFE がすべて 0 のとき LPC ディスエーブル状態となります。

- PE7/SERIRQ

LPC のイネーブル / ディスエーブルと PE7DDR により次のように切り替わります。

LPC	ディスエーブル		イネーブル
PE7DDR	0	1	x
端子機能	PE7 入力端子	PE7 出力端子	SERIRQ 入出力端子

【注】 x : Don't care

- PE6/LCLK

LPC のイネーブル / ディスエーブルと PE6DDR により次のように切り替わります。

LPC	ディスエーブル		イネーブル
PE6DDR	0	1	x
端子機能	PE6 入力端子	PE6 出力端子	LCLK 入力端子

【注】 x : Don't care

- PE5/ $\overline{\text{LRESET}}$

LPC のイネーブル / ディスエーブルと PE5DDR により次のように切り替わります。

LPC	ディスエーブル		イネーブル
PE5DDR	0	1	x
端子機能	PE5 入力端子	PE5 出力端子	$\overline{\text{LRESET}}$ 入力端子

【注】 x : Don't care

- PE4/ $\overline{\text{LFRAME}}$

LPC のイネーブル / ディスエーブルと PE4DDR により次のように切り替わります。

LPC	ディスエーブル		イネーブル
PE4DDR	0	1	x
端子機能	PE4 入力端子	PE4 出力端子	$\overline{\text{LFRAME}}$ 入力端子

【注】 x : Don't care

- PE3/LAD3

LPC のイネーブル/ディスエーブルと PE3DDR により次のように切り替わります。

LPC	ディスエーブル		イネーブル
PE3DDR	0	1	x
端子機能	PE3 入力端子	PE3 出力端子	LAD3 入出力端子

【注】 x : Don't care

- PE2/LAD2

LPC のイネーブル/ディスエーブルと PE2DDR により次のように切り替わります。

LPC	ディスエーブル		イネーブル
PE2DDR	0	1	x
端子機能	PE2 入力端子	PE2 出力端子	LAD2 入出力端子

【注】 x : Don't care

- PE1/LAD1

LPC のイネーブル/ディスエーブルと PE1DDR により次のように切り替わります。

LPC	ディスエーブル		イネーブル
PE1DDR	0	1	x
端子機能	PE1 入力端子	PE1 出力端子	LAD1 入出力端子

【注】 x : Don't care

- PE0/LAD0

LPC のイネーブル/ディスエーブルと PE0DDR により次のように切り替わります。

LPC	ディスエーブル		イネーブル
PE0DDR	0	1	x
端子機能	PE0 入力端子	PE0 出力端子	LAD0 入出力端子

【注】 x : Don't care

8. I/O ポート

8.15 ポート F

ポート F は 4 ビットの兼用入出力ポートです。ポート F には以下のレジスタがあります。

- ポート F データディレクションレジスタ (PFDDR)
- ポート F 出力データレジスタ (PFODR)
- ポート F 入力データレジスタ (PFPIN)

8.15.1 ポート F データディレクションレジスタ (PFDDR)

PFDDR は、ポート F の入出力をビットごとに指定します。PFDDR はシステムリセットでしか初期化されません。WDT の内部リセット信号が発生しても値を保持します。

ビット	ビット名	初期値	R/W	説明
7~4	-	-	-	リザーブビット
3	PF3DDR	0	W	1 にセットすると出力ポートとなり、0 にクリアすると入力ポートになります。 PFPIN と同じアドレスのため、このレジスタをリードするとポート F の状態を読み出します。
2	PF2DDR	0	W	
1	PF1DDR	0	W	
0	PF0DDR	0	W	

8.15.2 ポート F 出力データレジスタ (PFODR)

PFODR は、ポート F の出力データを格納します。PFODR はシステムリセットでしか初期化されません。WDT の内部リセット信号が発生しても値を保持します。

ビット	ビット名	初期値	R/W	説明
7~4	-	-	-	リザーブビット このビットをリードすると不定値が読み出されます。
3	PF3ODR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
2	PF2ODR	0	R/W	
1	PF1ODR	0	R/W	
0	PF0ODR	0	R/W	

8.15.3 ポート F 入力データレジスタ (PFPIN)

PFPIN は、ポート F の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説 明
7~4	-	-	-	リザーブビット このビットをリードすると不定値が読み出されます。
3	PF3PIN	不定*	R	このレジスタをリードすると、端子の状態が読み出されます。 PFDDR と同じアドレスのため、このレジスタをライトすると PFDDR にデータが書き込まれ、ポート F の設定が変わります。
2	PF2PIN	不定*	R	
1	PF1PIN	不定*	R	
0	PF0PIN	不定*	R	

【注】 * PF3 ~ PF0 端子の状態により決定されます。

8.15.4 端子機能

ポート F は 4 ビットの入出力ポートです。レジスタの設定値と端子機能の関係は以下のとおりです。

- PF3/RS11、PF2/RS10、PF1/RS9、PF0/RS8

PFnDDR ビットにより次のように切り替わります。

PFnDDR	0	1
端子機能	PFn 入力端子	PFn 出力端子

【注】 n = 3 ~ 0

8. I/O ポート

8.16 周辺機能端子の移動

外部割り込みでは、兼用の入出力ポートを変更することができます。外部割り込みは、ISSR16 および ISSR の設定で変更できます。変更先の周辺機能端子名は、元の端子名の先頭に「Ex」を付加して表示します。各周辺機能の説明では元の端子名のみを使用します。

8.16.1 IRQ センSPORTセレクトレジスタ 16 (ISSR16)、 IRQ センSPORTセレクトレジスタ (ISSR)

ISSR16、ISSR は、 $\overline{\text{IRQ15}} \sim \overline{\text{IRQ0}}$ 入力の兼用ポートを選択します。

- ISSR16

ビット	ビット名	初期値	R/W	説明
15	ISS15	0	R/W	0 : P57/ $\overline{\text{IRQ15}}$ を選択します。 1 : P87/Ex $\overline{\text{IRQ15}}$ を選択します。
14	ISS14	0	R/W	0 : P56/ $\overline{\text{IRQ14}}$ を選択します。 1 : P86/Ex $\overline{\text{IRQ14}}$ を選択します。
13	ISS13	0	R/W	0 : P55/ $\overline{\text{IRQ13}}$ を選択します。 1 : P85/Ex $\overline{\text{IRQ13}}$ を選択します。
12	ISS12	0	R/W	0 : P54/ $\overline{\text{IRQ12}}$ を選択します。 1 : P84/Ex $\overline{\text{IRQ12}}$ を選択します。
11	ISS11	0	R/W	0 : P53/ $\overline{\text{IRQ11}}$ を選択します。 1 : P83/Ex $\overline{\text{IRQ11}}$ を選択します。
10	ISS10	0	R/W	0 : P52/ $\overline{\text{IRQ10}}$ を選択します。 1 : P82/Ex $\overline{\text{IRQ10}}$ を選択します。
9	ISS9	0	R/W	0 : P51/ $\overline{\text{IRQ9}}$ を選択します。 1 : P81/Ex $\overline{\text{IRQ9}}$ を選択します。
8	ISS8	0	R/W	0 : P50/ $\overline{\text{IRQ8}}$ を選択します。 1 : P80/Ex $\overline{\text{IRQ8}}$ を選択します。

• ISSR

ビット	ビット名	初期値	R/W	説 明
7	ISS7	0	R/W	0 : P47/ $\overline{\text{IRQ7}}$ を選択します。 1 : P77/ $\overline{\text{ExIRQ7}}$ を選択します。
6	ISS6	0	R/W	0 : P46/ $\overline{\text{IRQ6}}$ を選択します。 1 : P76/ $\overline{\text{ExIRQ6}}$ を選択します。
5	ISS5	0	R/W	0 : P45/ $\overline{\text{IRQ5}}$ を選択します。 1 : P75/ $\overline{\text{ExIRQ5}}$ を選択します。
4	ISS4	0	R/W	0 : P44/ $\overline{\text{IRQ4}}$ を選択します。 1 : P74/ $\overline{\text{ExIRQ4}}$ を選択します。
3	ISS3	0	R/W	0 : P43/ $\overline{\text{IRQ3}}$ を選択します。 1 : P73/ $\overline{\text{ExIRQ3}}$ を選択します。
2	ISS2	0	R/W	0 : P42/ $\overline{\text{IRQ2}}$ を選択します。 1 : P72/ $\overline{\text{ExIRQ2}}$ を選択します。
1	ISS1	0	R/W	0 : P41/ $\overline{\text{IRQ1}}$ を選択します。 1 : P71/ $\overline{\text{ExIRQ1}}$ を選択します。
0	ISS0	0	R/W	0 : P40/ $\overline{\text{IRQ0}}$ を選択します。 1 : P70/ $\overline{\text{ExIRQ0}}$ を選択します。

8. I/O ポート

8.16.2 ポートコントロールレジスタ 0 (PTCNT0)

PTCNT0 は、外部拡張の制御方式を選択します。

ビット	ビット名	初期値	R/W	説 明
7	SCPFSEL1	0	R/W	SCI_1 をスマートカードインタフェースとして使用するとき、TxD1 と RxD1 を内部で接続するための制御ビットです。 0 : TxD1 と RxD1 は内部で接続しない。 1 : TxD1 と RxD1 は内部で接続する。
6	SCPFSEL3	0	R/W	SCI_3 をスマートカードインタフェースとして使用するとき、TxD3 と RxD3 を内部で接続するための制御ビットです。 0 : TxD3 と RxD3 は内部で接続しない。 1 : TxD3 と RxD3 は内部で接続する。
5~2	-	すべて 0	R/W	リザーブビット 初期値を変更しないでください。
1	OBE	0	R/W	グループ拡張設定 0 : \overline{RD} 、 \overline{HWR} 、 \overline{LWR} による制御。 1 : \overline{RD} 、 \overline{WR} 、 \overline{HBE} 、 \overline{LBE} による制御。
0	-	0	R/W	リザーブビット 初期値を変更しないでください。

9. 14 ビット PWM タイマ (PWMX)

本 LSI は 4 チャンネルの 14 ビット PWM (Pulse Width Modulation) を内蔵しています。LSI 外部にローパスフィルタを接続することにより、14 ビット D/A 変換器として使用できます。

9.1 特長

- リップルの少ないパルス分割方式
- 8種類の分解能を選択可能
システムクロック周期
システムクロック周期×2、×64、×128、×256、×1024、×4096、×16384から選択可能
- 2種類の基本周期を設定可能
基本周期 $T \times 64$
基本周期 $T \times 256$ ($T =$ 分解能)
- 16種類の動作クロック (基本周期2種類×分解能8種類) を選択可能

9. 14ビットPWMタイマ (PWMX)

PWMX (D/A) のブロック図を図 9.1 に示します。

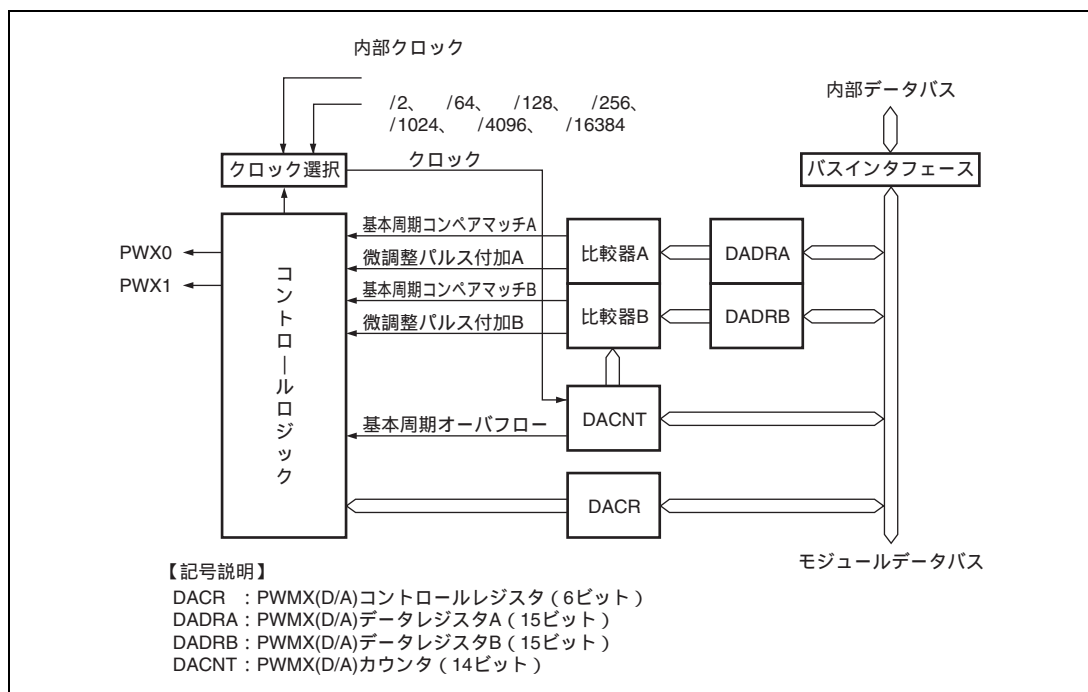


図 9.1 PWMX (D/A) のブロック図

9.2 入出力端子

PWMX (D/A) の入出力端子を表 9.1 に示します。

表 9.1 端子構成

名 称	記号	入出力	機 能
PWMX 出力端子 0	PWX0	出力	PWMX_0 チャンネル A の PWM 出力
PWMX 出力端子 1	PWX1	出力	PWMX_0 チャンネル B の PWM 出力
PWMX 出力端子 2	PWX2	出力	PWMX_1 チャンネル A の PWM 出力
PWMX 出力端子 3	PWX3	出力	PWMX_1 チャンネル B の PWM 出力

9.3 レジスタの説明

PWMX (D/A) には以下のレジスタがあります。なお、モジュールストップコントロールレジスタについては「24.1.3 モジュールストップコントロールレジスタ H、L、A (MSTPCRH、MSTPCRL、MSTPCRA)」を参照してください。

- PWMX (D/A) カウンタ (DACNT)
- PWMX (D/A) データレジスタA (DADRA)
- PWMX (D/A) データレジスタB (DADRB)
- PWMX (D/A) コントロールレジスタ (DACR)
- 周辺クロックセレクトレジスタ (PCSR)

【注】 DADRA と DACR、DADRB と DACNT のアドレスは同一です。レジスタの切り替えは DACNT または DADRB の REGS ビットで行います。

9.3.1 PWMX (D/A) カウンタ (DACNT)

DACNT は 14 ビットのリード/ライト可能なアップカウンタです。入力クロックは DACR の CKS ビットにより選択します。DACNT は、2 チャンネルの PWMX (D/A) のタイムベースとして使用されます。14 ビット精度で使用する場合には全ビットを、12 ビット精度で使用する場合には上位 2 ビットを無視し、下位 12 ビットを利用します。DACNT は 8 ビット単位のアクセスはできません。常に 16 ビット単位でアクセスしてください。詳細は「9.4 バスマスタとのインタフェース」を参照してください。

ビット	ビット名	初期値	R/W	説明
15~8	UC7~UC0	すべて 0	R/W	下位アップカウンタ
7~2	UC8~UC13	すべて 0	R/W	上位アップカウンタ
1	-	1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
0	REGS	1	R/W	レジスタセレクト DADRA と DACR、DADRB と DACNT は同一のアドレスに配置されています。このビットはアクセス可能にするレジスタを選択します。アドレスレジスタを変更する場合には、あらかじめこのビットを設定してから行ってください。 0 : DADRA と DADRB がアクセス可能 1 : DACR と DACNT がアクセス可能

9. 14 ビット PWM タイマ (PWMX)

9.3.2 PWMX (D/A) データレジスタ A、B (DADRA、DADRB)

DADRA は PWMX (D/A) チャンネル A に、DADRB は PWMX (D/A) チャンネル B に対応します。DADR は 8 ビット単位のアクセスはできません。常に 16 ビット単位でアクセスしてください。詳細は「9.4 バスマスタとのインタフェース」を参照してください。

• DADRA

ビット	ビット名	初期値	R/W	説明
15	DA13	1	R/W	D/A データ 13~0
14	DA12	1	R/W	D/A 変換データを設定します。このレジスタの値は DACNT の値と常に比較されており、基本周期ごとに出力波形のデューティを選択します。また、分解能幅の付加パルスを出力するか否かを選択します。この動作を可能にするためには、このレジスタをある範囲の値に設定する必要があります。この範囲は CFS ビットによって設定します。範囲外の値を設定すると PWM 出力は固定されます。 12 ビット精度で使用する場合には、DA0、DA1 をそれぞれ 0 に固定します。この下位 2 ビットデータは DACNT の UC12、13 との比較を行いません。
13	DA11	1	R/W	
12	DA10	1	R/W	
11	DA9	1	R/W	
10	DA8	1	R/W	
9	DA7	1	R/W	
8	DA6	1	R/W	
7	DA5	1	R/W	
6	DA4	1	R/W	
5	DA3	1	R/W	
4	DA2	1	R/W	
3	DA1	1	R/W	
2	DA0	1	R/W	
1	CFS	1	R/W	
0	-	1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

• DADRB

ビット	ビット名	初期値	R/W	説明
15	DA13	1	R/W	D/A データ 13~0
14	DA12	1	R/W	D/A 変換データを設定します。このレジスタの内容は、DACNT の値と常に比較されており、基本周期ごとに出力波形のデューティを選択します。また、分解能幅の付加パルスを出力するか否かを選択します。この動作を可能にするためには、このレジスタをある範囲の値に設定する必要があります。この範囲は CFS ビットによって設定します。範囲外の値を DADR に設定すると PWM 出力は固定されます。 12 ビット精度で使用する場合には、DA0、DA1 をそれぞれ 0 に固定します。この 2 ビットデータは DACNT の UC12、13 との比較を行いません。
13	DA11	1	R/W	
12	DA10	1	R/W	
11	DA9	1	R/W	
10	DA8	1	R/W	
9	DA7	1	R/W	
8	DA6	1	R/W	
7	DA5	1	R/W	
6	DA4	1	R/W	
5	DA3	1	R/W	
4	DA2	1	R/W	
3	DA1	1	R/W	
2	DA0	1	R/W	
1	CFS	1	R/W	
0	REGS	1	R/W	レジスタセレクト DADRA と DACR、DADRB と DACNT は同一のアドレスに配置されています。このビットはアクセス可能にするレジスタを選択します。アドレスレジスタを変更する場合には、あらかじめこのビットを設定してから行ってください。 0 : DADRA と DADRB がアクセス可能 1 : DACR と DACNT がアクセス可能

9. 14 ビット PWM タイマ (PWMX)

9.3.3 PWMX (D/A) コントロールレジスタ (DACR)

DACR は、出力の許可、出力位相および動作速度を選択します。

ビット	ビット名	初期値	R/W	説 明
7	-	0	R/W	リザーブビット 初期値を変更しないでください。
6	PWME	0	R/W	PWMX イネーブル DACNT の動作 / 停止を選択します。 0 : DACNT は 14 ビットのアップカウンタとして動作 1 : DACNT = H'0003 で停止
5	-	1	R	リザーブビット
4	-	1	R	リードすると常に 1 が読み出されます。ライトは無効です。
3	OEB	0	R/W	アウトプットイネーブル B PWMX (D/A) チャンネル B の出力の許可 / 禁止を選択します。 0 : PWMX (D/A) チャンネル B 出力 (PWX1、PWX3 出力端子) を禁止 1 : PWMX (D/A) チャンネル B 出力 (PWX1、PWX3 出力端子) を許可
2	OEA	0	R/W	アウトプットイネーブル A PWMX (D/A) チャンネル A の出力の許可 / 禁止を選択します。 0 : PWMX (D/A) チャンネル A 出力 (PWX0、PWX2 出力端子) を禁止 1 : PWMX (D/A) チャンネル A 出力 (PWX0、PWX2 出力端子) を許可
1	OS	0	R/W	アウトプットセレクト PWMX(D/A)の出力位相を選択します。 0 : PWMX (D/A) 直接出力 1 : PWMX (D/A) 反転出力
0	CKS	0	R/W	クロックセレクト PWMX (D/A) の分解能を選択します。分解能は 8 種類から選択できます。 0 : 分解能 (T) = システムクロック周期 (t_{cyc}) で動作 1 : 分解能 (T) = システムクロック周期 (t_{cyc}) × 2、× 64、× 128、× 256、 × 1024、× 4096、× 16384 で動作

9.3.4 周辺クロックセレクトレジスタ (PCSR)

PCSR は、DACR の CKS ビットとあわせて動作速度を選択します。

ビット	ビット名	初期値	R/W	説明
7	PWCKX1B	0	R/W	PWMX_1 クロックセレクト
6	PWCKX1A	0	R/W	PWMX_1 の DACR の CKS が 1 の状態でクロックを選択します。表 9.2 を参照してください。
5	PWCKX0B	0	R/W	PWMX_0 クロックセレクト
4	PWCKX0A	0	R/W	PWMX_0 の DACR の CKS が 1 の状態でクロックを選択します。表 9.2 を参照してください。
3	PWCKX1C	0	R/W	PWMX_1 クロックセレクト PWMX_1 の DACR の CKS が 1 の状態でクロックを選択します。表 9.2 を参照してください。
2	-	0	R/W	リザーブビット
1	-	0	R/W	初期値を変更しないでください。
0	PWCKX0C	0	R/W	PWMX_0 クロックセレクト PWMX_0 の DACR の CKS が 1 の状態でクロックを選択します。表 9.2 を参照してください。

表 9.2 PWMX_1、PWMX_0 のクロックセレクト

PWCKX0C PWCKX1C	PWCKX0B PWCKX1B	PWCKX0A PWCKX1A	分解能 (T)
0	0	0	システムクロック周期 (t_{sys}) × 2 で動作
0	0	1	システムクロック周期 (t_{sys}) × 64 で動作
0	1	0	システムクロック周期 (t_{sys}) × 128 で動作
0	1	1	システムクロック周期 (t_{sys}) × 256 で動作
1	0	0	システムクロック周期 (t_{sys}) × 1024 で動作
1	0	1	システムクロック周期 (t_{sys}) × 4096 で動作
1	1	0	システムクロック周期 (t_{sys}) × 16384 で動作
1	1	1	設定禁止

9.4 バスマスタとのインタフェース

DACNT、DADRA、DADRB は 16 ビットのレジスタです。一方、バスマスタと内蔵周辺モジュールの間のデータバスは 8 ビット幅です。したがって、バスマスタがこれらのレジスタをアクセスするには、8 ビットのテンポラリレジスタ (TEMP) を介して行います。各レジスタのリード/ライトは次のような動作で行われます。

(1) レジスタへのライト時の動作

上位バイトのライトにより、上位バイトのデータが TEMP にストアされます。次に下位バイトのライトにより、TEMP にある上位バイトの値と合わせて 16 ビットデータとしてレジスタにライトされます。

(2) レジスタからのリード時の動作

上位バイトのリードにより、上位バイトの値は CPU に転送され、下位バイトの値は TEMP に転送されます。次に下位バイトのリードにより、TEMP にある下位バイトの値が CPU に転送されます。

これらのレジスタのアクセスは MOV 命令を使用し、常に 16 ビット単位で行い、上位バイト、下位バイトの順序で行ってください。上位バイトのみ、下位バイトのみのアクセスではデータは正しく転送されません。なお、ビット操作命令は使用できません。

例 1 DACNT へのライト

```
MOV.W R0, @DACNT    DACNT へ R0 の内容をライト
```

例 2 DADRA のリード

```
MOV.W @DADRA, R0    DADRA の内容を R0 に転送
```

9.5 動作説明

PWX 端子からは、図 9.2 に示すような PWM 波形が出力されます。1 変換周期中に発生するパルス (CFS = 0 の場合 256 個、CFS = 1 の場合 64 個) の 0 レベル幅の合計 (T_L) が DADR の DA13 ~ DA0 と対応しています。OS = 0 の場合、この波形が直接出力されます。OS = 1 の場合、この波形が反転して出力されます。このとき 1 レベル幅の合計 (T_H) が DADR の DA13 ~ DA0 と対応しています。出力波形を図 9.3、図 9.4 に示します。

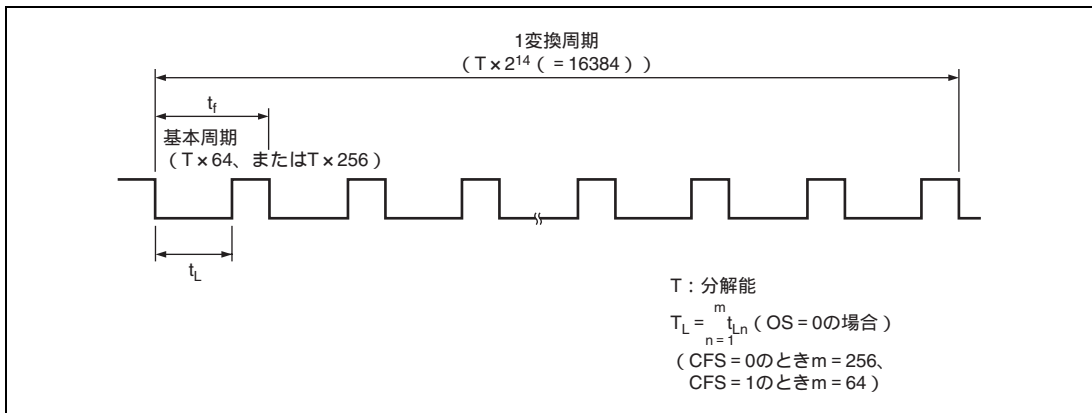


図 9.2 PWMX (D/A) の動作

CKS、CFS の設定と、分解能、基本周期、変換周期との関係を表 9.3 に示します。DADR の DA13 ~ DA0 がある値以上ではないと PWM 出力は固定レベルとなります。また、OS ビットと出力波形の関係を図 9.3 と図 9.4 に示します。

9. 14ビットPWMタイマ (PWMX)

表 9.3 設定値と動作内容 (: 34MHz 時の例)

PCSR			OS	分解能 T (μ s)	CS	基本 周期	変換 周期	T_{L}/T_{H} (OS = 0/OS = 1)	DADR 固定ビット				変換 周期*		
PWCKX0 PWCKX1									変換精度 (bit)	ビットデータ					
C	B	A								DA3	DA2	DA1		DA0	
															DA13~0
-	-	-	0	0.03 ()	0	1.88 μ s/ 531.3kHz	481.88 (μ s)	常時 Low/High レベル H'0000 - H'00FF	14	x	x	x	x	481.88	
								(データ値) x T H'0100 - H'3FFF	12	x	x	0	0	120.47	
						1		7.53 μ s/ 132.8kHz	常時 Low/High レベル H'0000 - H'003F	10	0	0	0	0	30.12
									(データ値) x T H'0040 - H'3FFF					(μ s)	
0	0	0	1	0.06 (/2)	0	3.76 μ s/ 265.6kHz	0.964 (ms)	常時 Low/High レベル H'0000 - H'00FF	14	x	x	x	x	0.964	
								(データ値) x T H'0100 - H'3FFF	12	x	x	0	0	0.241	
					1	15.06 μ s/ 66.4kHz		常時 Low/High レベル H'0000 - H'003F	10	0	0	0	0	0.060	
								(データ値) x T H'0040 - H'3FFF					(ms)		
0	0	1	1	1.88 (/64)	0	120.5 μ s/ 8.3kHz	30.840 (ms)	常時 Low/High レベル H'0000 - H'00FF	14	x	x	x	x	30.840	
								(データ値) x T H'0100 - H'3FFF	12	x	x	0	0	7.710	
					1	481.9 μ s/ 2.1kHz		常時 Low/High レベル H'0000 - H'003F	10	0	0	0	0	1.928	
								(データ値) x T H'0040 - H'3FFF					(ms)		
0	1	0	1	3.76 (/128)	0	240.9 μ s/ 4.2kHz	61.681 (ms)	常時 Low/High レベル H'0000 - H'00FF	14	x	x	x	x	61.681	
								(データ値) x T H'0100 - H'3FFF	12	x	x	0	0	15.420	
					1	963.8 μ s/ 1.0kHz		常時 Low/High レベル H'0000 - H'003F	10	0	0	0	0	3.855	
								(データ値) x T H'0040 - H'3FFF					(ms)		
0	1	1	1	7.53 (/256)	0	481.9 μ s/ 2.1kHz	123.36 (ms)	常時 Low/High レベル H'0000 - H'00FF	14	x	x	x	x	123.36	
								(データ値) x T H'0100 - H'3FFF	12	x	x	0	0	30.84	
					1	1927.5 μ s/ 0.5kHz		常時 Low/High レベル H'0000 - H'003F	10	0	0	0	0	7.71	
								(データ値) x T H'0040 - H'3FFF					(ms)		
1	0	0	1	30.12 (/1024)	0	1.93ms/ 518.8Hz	493.45 (ms)	常時 Low/High レベル H'0000 - H'00FF	14	x	x	x	x	493.45	
								(データ値) x T H'0100 - H'3FFF	12	x	x	0	0	123.36	
					1	7.71ms/ 129.7Hz		常時 Low/High レベル H'0000 - H'003F	10	0	0	0	0	30.84	
								(データ値) x T H'0040 - H'3FFF					(ms)		
1	0	1	1	120.47 (/4096)	0	7.71ms/ 129.7Hz	1.974 (s)	常時 Low/High レベル H'0000 - H'00FF	14	x	x	x	x	1.974	
								(データ値) x T H'0100 - H'3FFF	12	x	x	0	0	0.493	
					1	30.84ms/ 32.4Hz		常時 Low/High レベル H'0000 - H'003F	10	0	0	0	0	0.123	
								(データ値) x T H'0040 - H'3FFF					(s)		
1	1	0	1	481.88 (/16384)	0	30.84ms/ 32.4Hz	7.895 (s)	常時 Low/High レベル H'0000 - H'00FF	14	x	x	x	x	7.895	
								(データ値) x T H'0100 - H'3FFF	12	x	x	0	0	1.974	
					1	123.36ms/ 8.1Hz		常時 Low/High レベル H'0000 - H'003F	10	0	0	0	0	0.493	
								(データ値) x T H'0040 - H'3FFF					(s)		
1	1	1	1	設定禁止	-	-	-	-	-	-	-	-	-		

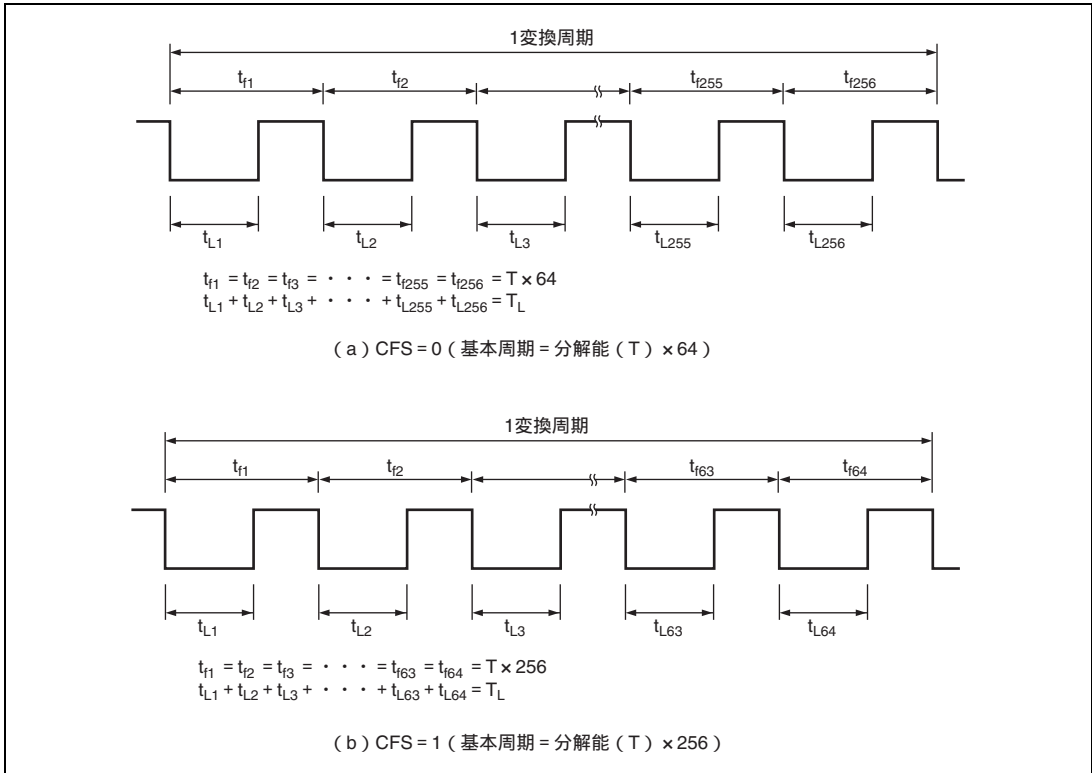


図 9.3 出力波形 (OS = 0、DADR は T_L に対応)

9. 14ビットPWM タイマ (PWMX)

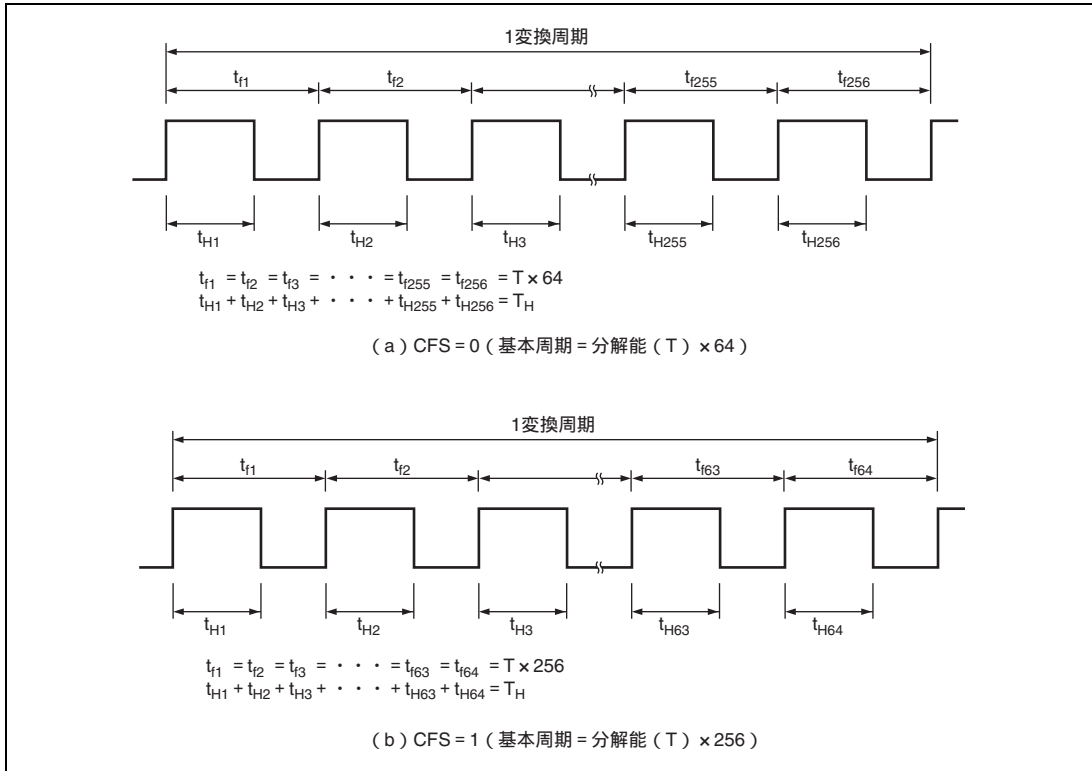


図 9.4 出力波形 (OS = 1、DADR は T_H に対応)

付加パルスについては、CFS = 1 (基本周期 = 分解能 (T) × 256) かつ OS = 1 (PWM 反転出力) の設定を例に示します。CFS = 1 のとき、図 9.5 に示すように DADR の上位 8 ビット (DA13 ~ DA6) で基本パルスのデューティ比が、次の 6 ビット (DA5 ~ DA0) で付加パルスの位置が決定されます。

表9.4 に付加パルスの位置を示します。

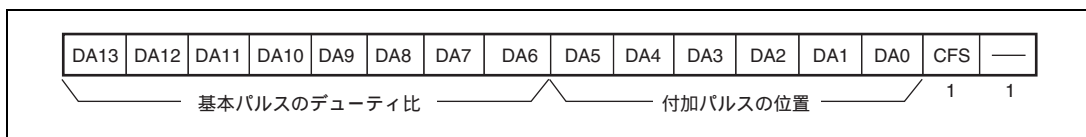


図 9.5 CFS = 1 のときの D/A データレジスタの構成

ここでは、DADR = H'0207 (B'0000 0010 0000 0111) の場合を考えます。図 9.6 に出力波形を示します。CFS = 1 であり、上位 8 ビットの値が B'0000 0010 ですので、基本パルスは High 幅が $2/256 \times (T)$ のデューティ比となります。

次に続く 6 ビットの値が B'0000 01 ですので、表 9.5 より、付加パルスは基本パルス No.63 の位置でのみ出力されます。付加パルスは基本パルスに $1/256 \times (T)$ だけ追加される形となります。

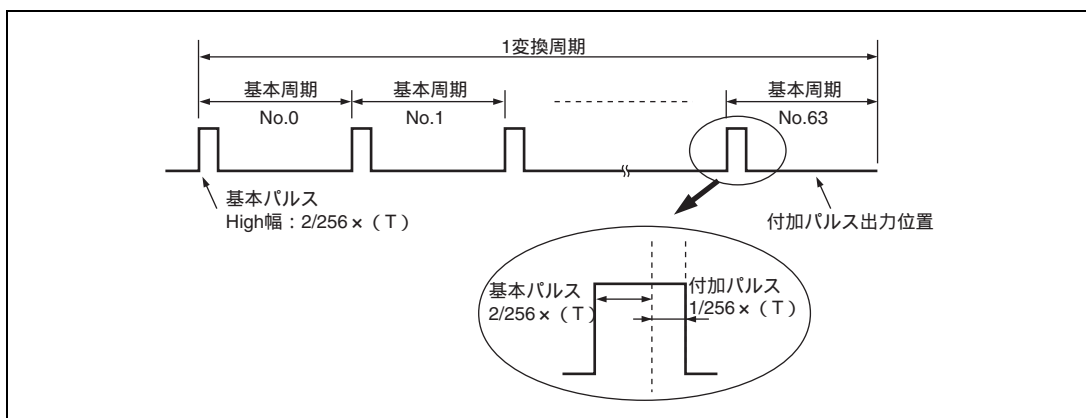


図 9.6 DADR = H'0207 のときの出力波形 (OS = 1)

なお、CFS = 0 (基本周期 = 分解能 (T) × 64) の場合、基本パルスのデューティ比は上位 6 ビットで、付加パルスの位置はその次の 8 ビットで決定されるという点以外は、同様な考え方となります。

10. 16 ビットフリーランニングタイマ (FRT)

本 LSI は、16 ビットフリーランニングタイマ (FRT : Free Running Timer) を内蔵しています。

10.1 特長

- 3種類のカウンタ入力クロックを選択可能
3種類の内部クロック (/2、 /8、 /32) のうちから選択できます。
- 2本の独立したコンパレータ
- カウンタのクリア指定が可能
コンペアマッチAによりカウンタの値をクリアすることができます。
- 3種類の割り込み要因
コンペアマッチ×2要因、オーバフロー×1要因があり、それぞれ独立に要求することができます。

10. 16ビットフリーランニングタイム (FRT)

FRTのブロック図を図10.1に示します。

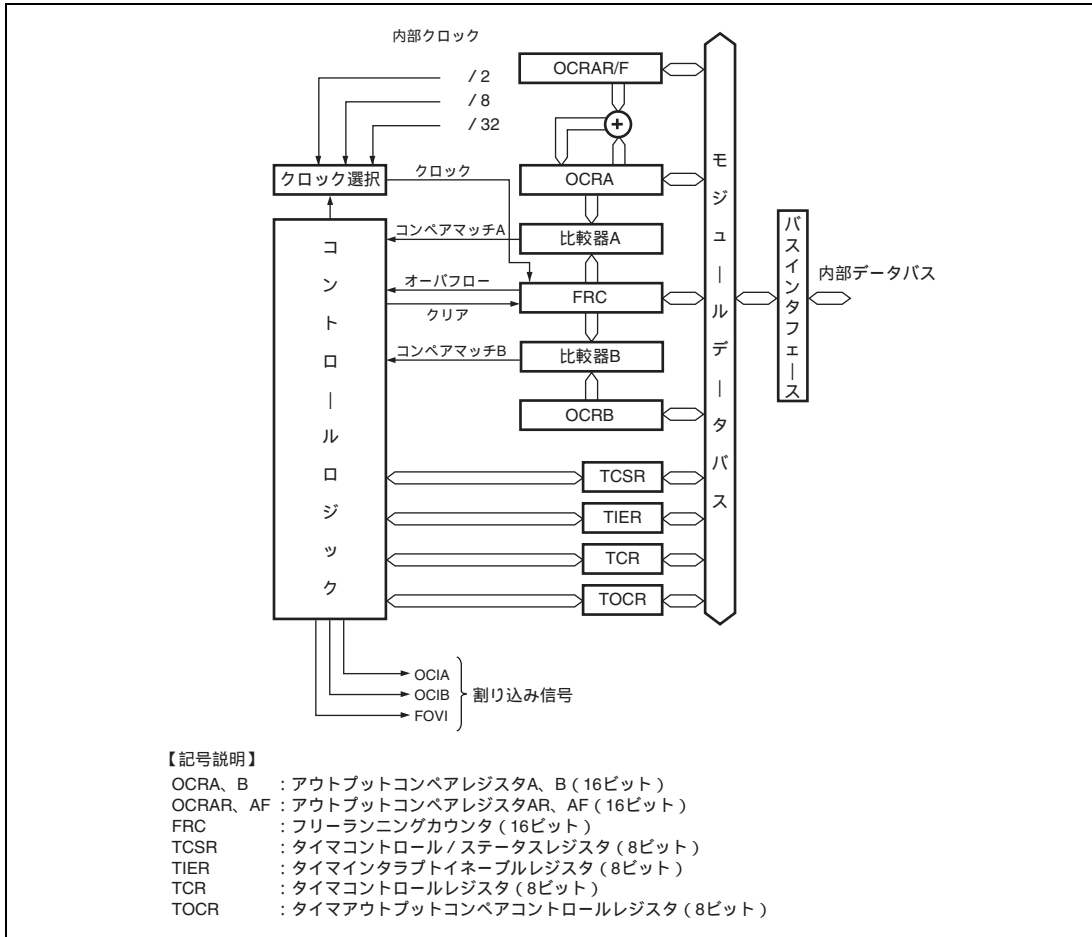


図 10.1 16ビットフリーランニングタイムのブロック図

10.2 レジスタの説明

FRT には以下のレジスタがあります。

- フリーランニングカウンタ (FRC)
- アウトプットコンペアレジスタA (OCRA)
- アウトプットコンペアレジスタB (OCRB)
- アウトプットコンペアレジスタAR (OCRAR)
- アウトプットコンペアレジスタAF (OCRAF)
- タイマインタラプトイネーブルレジスタ (TIER)
- タイマコントロール/ステータスレジスタ (TCSR)
- タイマコントロールレジスタ (TCR)
- タイマアウトプットコンペアコントロールレジスタ (TOCR)

【注】 OCRA と OCRB のアドレスは同一です。レジスタの切り替えは TOCR の OCRS ビットで行います。

10.2.1 フリーランニングカウンタ (FRC)

FRC は 16 ビットのリード/ライト可能なアップカウンタです。入力クロックは TCR の CKS1、CKS0 ビットにより選択します。FRC はコンペアマッチ A によりクリアすることができます。FRC が H'FFFF から H'0000 にオーバフローすると、TCSR の OVF が 1 にセットされます。FRC は 8 ビット単位のアクセスはできません。常に 16 ビットでアクセスしてください。FRC の初期値は H'0000 です。

10.2.2 アウトプットコンペアレジスタ A、B (OCRA、OCRB)

OCR は 16 ビットのリード/ライト可能なレジスタです。FRT には 2 本の OCR があります。OCR の値は FRC の値と常に比較されています。両者の値が一致 (コンペアマッチ) すると、TCSR の OCFA、OCFB フラグが 1 にセットされます。OCR は 8 ビット単位のアクセスはできません。常に 16 ビットでアクセスしてください。OCR の初期値は H'FFFF です。

10. 16ビットフリーランニングタイム (FRT)

10.2.3 アウトプットコンペアレジスタ AR、AF (OCRAR、OCRAF)

OCRAR、OCRAFは16ビットのリード/ライト可能なレジスタです。TOCRのICRSビットを1にセットするとアクセスできます。TOCRのOCRAMSビットを1にセットすると、OCRAをOCRAR、OCRAFを使用した動作モードに設定されます。OCRAR、OCRAFの値は交互にOCRAに自動的に加算され、OCRAに書き込まれます。書き込みはコンペアマッチAのタイミングで行われます。OCRAMSビットを1にセットした後の最初のコンペアマッチAでは、OCRAFが加算されます。コンペアマッチAの動作は、OCRAR、OCRAFのいずれを加算した後のコンペアマッチかによって異なります。

OCRAの自動加算機能を使用する場合には、FRCの入力クロックを内部クロック /2で、かつOCRAR(またはOCRAF)の値をH'0001以下に設定しないでください。

OCRAR、OCRAFは8ビット単位のアクセスはできません。常に16ビット単位でアクセスしてください。OCRAR、OCRAFの初期値はH'FFFFです。

10.2.4 タイマインタラプトイネーブルレジスタ (TIER)

TIERは、割り込み要求の許可/禁止を制御します。

ビット	ビット名	初期値	R/W	説明
7~4		すべて0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
3	OCIAE	0	R/W	アウトプットコンペアインタラプトAイネーブル TCSRのOCFAフラグが1にセットされたとき、OCFAフラグによる割り込み要求(OCIA)を許可または、禁止します。 0: OCFAによる割り込み要求(OCIA)を禁止 1: OCFAによる割り込み要求(OCIA)を許可
2	OCIBE	0	R/W	アウトプットコンペアインタラプトBイネーブル TCSRのOCFBフラグが1にセットされたとき、OCFBフラグによる割り込み要求(OCIB)を許可または、禁止します。 0: OCFBによる割り込み要求(OCIB)を禁止 1: OCFBによる割り込み要求(OCIB)を許可
1	OVIE	0	R/W	タイマオーバーフローインタラプトイネーブル TCSRのOVFフラグが1にセットされたとき、OVFフラグによる割り込み要求(FOVI)を許可または禁止します。 0: OVFによる割り込み要求(FOVI)を禁止 1: OVFによる割り込み要求(FOVI)を許可
0		0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。

10.2.5 タイマコントロール / ステータスレジスタ (TCSR)

TCSR は、カウンタの動作 / 停止の選択、割り込み要求信号の許可 / 禁止制御を行います。

ビット	ビット名	初期値	R/W	説明
7~4		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
3	OCFA	0	R/(W)*	アウトプットコンペアフラグ A FRC と OCRA の値が一致したことを示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。 [セット条件] FRC = OCRA になったとき [クリア条件] OCFA = 1 の状態で OCFA をリード後、OCFA に 0 をライトしたとき
2	OCFB	0	R/(W)*	アウトプットコンペアフラグ B FRC と OCRB の値が一致したことを示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。 [セット条件] FRC = OCRB になったとき [クリア条件] OCFB = 1 の状態で OCFB をリード後、OCFB に 0 をライトしたとき
1	OVF	0	R/(W)*	オーバフローフラグ FRC のオーバフローの発生を示すフラグです。フラグをクリアするための 0 ライトのみ可能です。 [セット条件] FRC の値がオーバフロー (H'FFFF H'0000) したとき [クリア条件] OVF = 1 の状態で OVF をリード後、OVF に 0 をライトしたとき
0	CCLRA	0	R/W	カウンタクリア A コンペアマッチ A (FRC と OCRA の一致信号) により FRC をクリアするか、しないかを選択します。 0 : FRC のクリアを禁止 1 : コンペアマッチ A により FRC をクリア

【注】 * フラグをクリアするための 0 ライトのみ可能です。

10. 16 ビットフリーランニングタイム (FRT)

10.2.6 タイマコントロールレジスタ (TCR)

TCR は、FRC の入力クロックの選択を行います。

ビット	ビット名	初期値	R/W	説明
7~2		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
1	CKS1	0	R/W	クロックセレクト 1、0
0	CKS0	0	R/W	FRC に入力するクロックを選択します。 00 : 内部クロック /2 をカウント 01 : 内部クロック /8 をカウント 10 : 内部クロック /32 をカウント 11 : リザーブ

10.2.7 タイマアウトプットコンペアコントロールレジスタ (TOCR)

TOCR は、アウトプットコンペア出力レベルの選択、アウトプットコンペア出力の許可、アウトプットコンペアレジスタ A、B のアクセスの切り替え制御、OCRA の動作モードのアクセスの切り替え制御を行います。

ビット	ビット名	初期値	R/W	説明
7		0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
6	OCRAMS	0	R/W	アウトプットコンペア A モードセレクト OCRA を通常の動作モードにするか、OCRAR、OCRAF を使用した動作モードにするかを選択します。 0 : OCRA を通常の動作モードに設定 1 : OCRA を OCRAR、OCRAF を使用した動作モードに設定
5		0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
4	OCRS	0	R/W	アウトプットコンペアレジスタセレクト OCRA と OCRB のアドレスは同一です。このアドレスをリード/ライトするとき、どちらのレジスタを選択するか制御します。OCRA、OCRB の動作には影響を与えません。 0 : OCRA レジスタを選択 1 : OCRB レジスタを選択
3~0		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。

10.3 動作タイミング

10.3.1 FRC のカウントタイミング

内部クロック動作の場合の FRC のカウントタイミングを図 10.2 に示します。

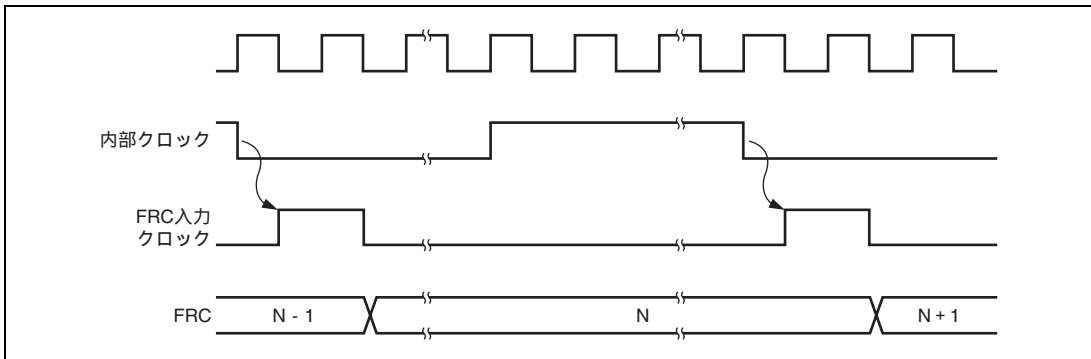


図 10.2 内部クロック動作時のカウントタイミング

10.3.2 アウトプットコンペア出力タイミング

コンペアマッチ信号は、FRC と OCR の値が一致した最後のステート (FRC が一致したカウント値を更新するタイミング) で発生します。アウトプットコンペア A 出力タイミングを図 10.3 に示します。

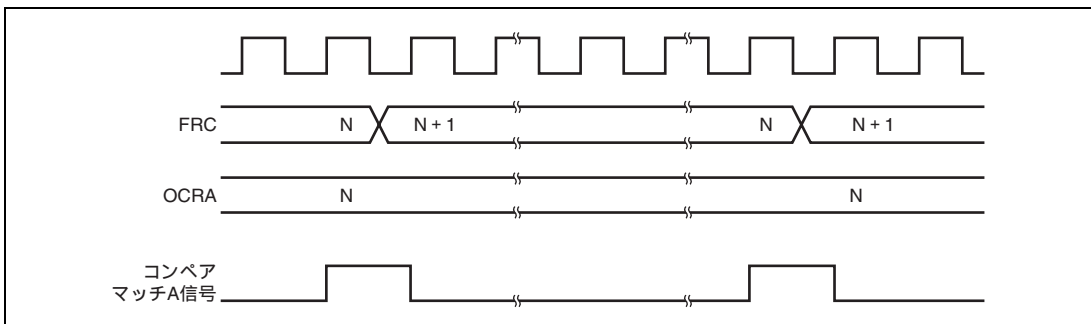


図 10.3 アウトプットコンペア A 出力タイミング

10. 16ビットフリーランニングタイム (FRT)

10.3.3 FRC のクリアタイミング

FRC はコンペアマッチ A 信号でクリアすることができます。このタイミングを図 10.4 に示します。

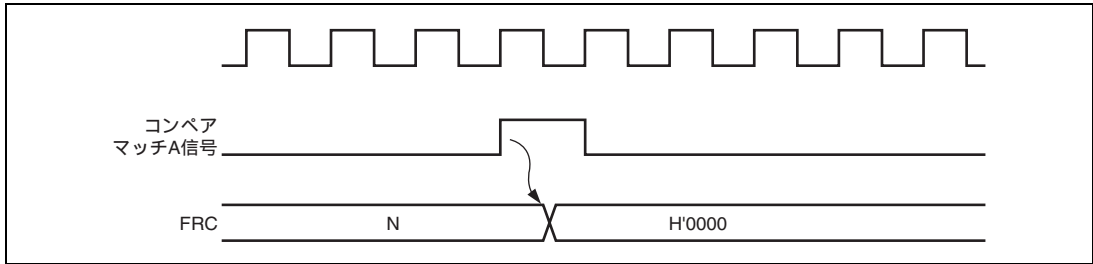


図 10.4 コンペアマッチ A 信号による FRC のクリアタイミング

10.3.4 アウトプットコンペア時のフラグセットタイミング

OCFA、OCFB フラグは、OCRA、OCRB と FRC の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は値が一致した最後のステート (FRC が一致したカウント値を更新するタイミング) で発生します。OCRA、OCRB と FRC の値が一致した後、カウントアップクロックが発生するまでコンペアマッチ信号は発生しません。OCFA、OCFB フラグのセットタイミングを図 10.5 に示します。

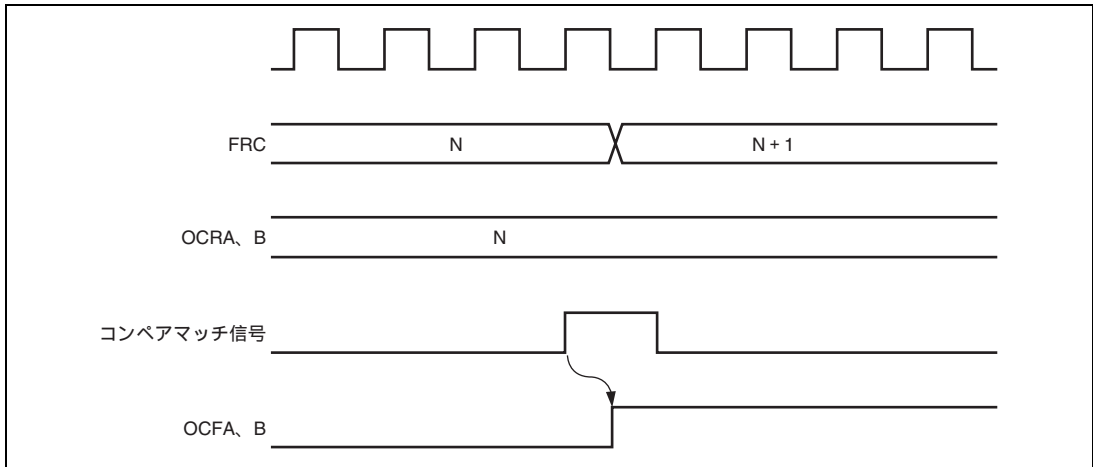


図 10.5 OCFA、OCFB フラグのセットタイミング

10.3.5 オーバフロー時のフラグセットタイミング

OVF フラグは、FRC がオーバフロー (H'FFFF H'0000) したとき 1 にセットされます。OVF フラグのセットタイミングを図 10.6 に示します。

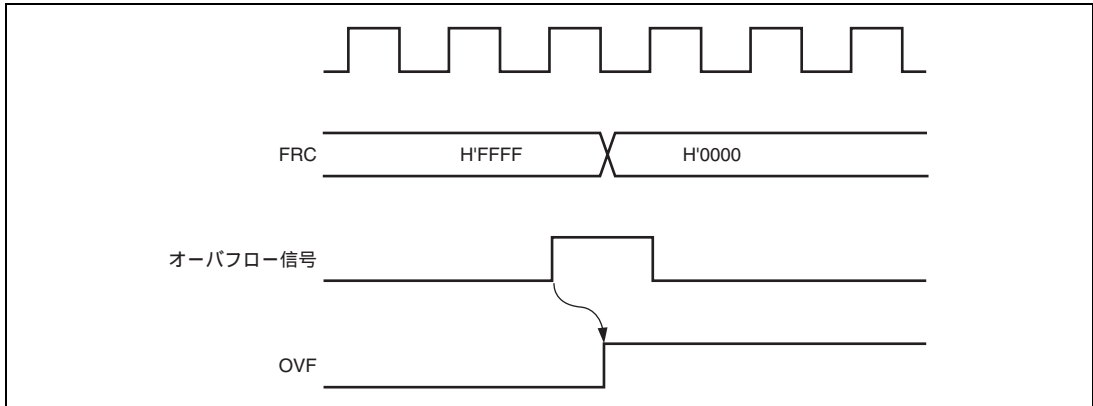


図 10.6 OVF フラグのセットタイミング

10.3.6 自動加算タイミング

TOCR の OCRAMS ビットが 1 にセットされている場合、OCRAR、OCRAF の内容は交互に OCRA に自動加算され、OCRA のコンペアマッチが発生すると OCRA に書き込まれます。OCRA の書き込みタイミングを図 10.7 に示します。

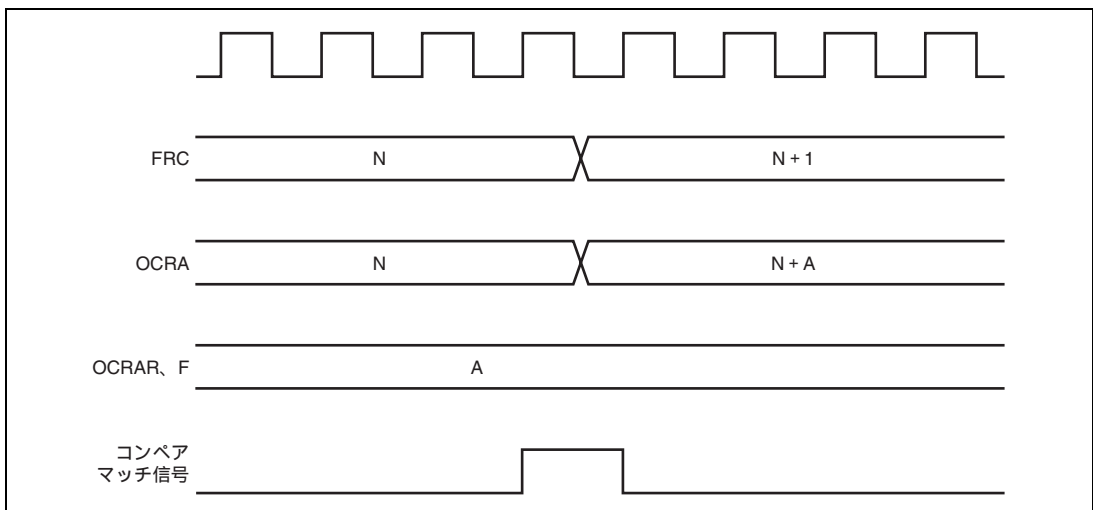


図 10.7 OCRA の自動加算タイミング

10. 16ビットフリーランニングタイム (FRT)

10.4 割り込み要因

FRTの割り込み要因はOCIA、OCIBおよびFOVIの3つあります。各割り込み要因はTIERの各割り込みイネーブルビットで許可または禁止され、それぞれ独立に割り込みコントローラに送られます。表10.1に各割り込み要因と優先順位を示します。

OCIA、OCIB割り込みは、内蔵DTCの起動要因とすることができます。

表 10.1 FRT 割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	優先順位
OCIA	OCRAのコンペアマッチ	OCFA	可	高 ↑ 低
OCIB	OCRBのコンペアマッチ	OCFB	可	
FOVI	FRCのオーバフロー	OVF	不可	

10.5 使用上の注意事項

10.5.1 FRCのライトとクリアの競合

FRCのライトサイクルの次の状態でカウンタクリア信号が発生すると、FRCへのライトは行われず、FRCのクリアが優先されます。このタイミングを図10.8に示します。

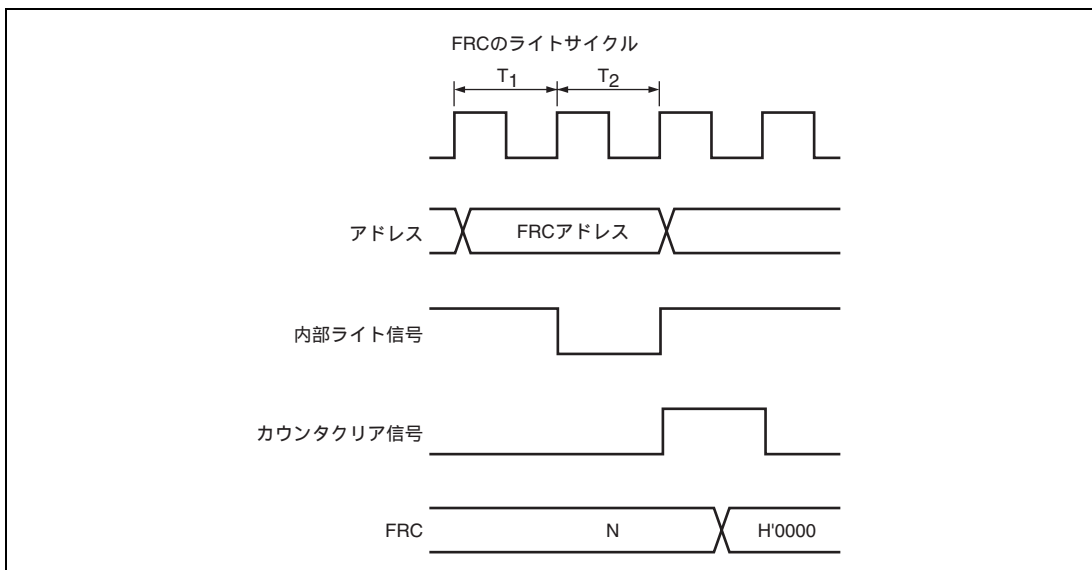


図 10.8 FRCのライトとクリアの競合

10.5.2 FRC のライトとカウントアップの競合

FRC のライトサイクルの次のステートでカウントアップが発生しても、カウントアップされず、カウンタライトが優先されます。このタイミングを図 10.9 に示します。

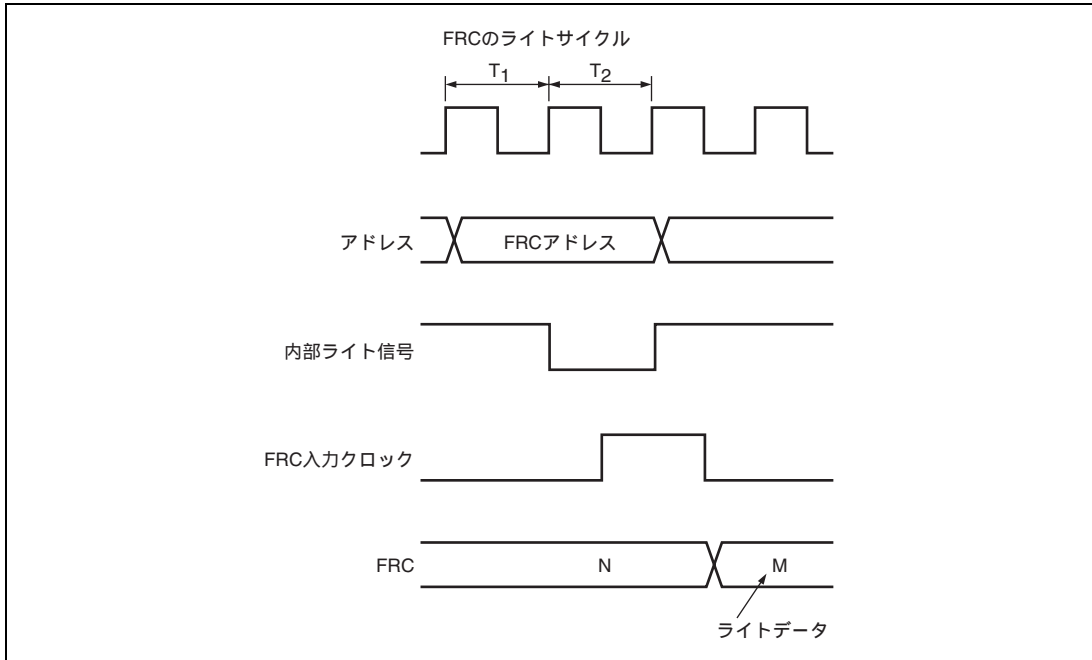


図 10.9 FRC のライトとカウントアップの競合

10.5.3 OCR のライトとコンペアマッチの競合

OCRA、OCRB のライトサイクルの次のステートでコンペアマッチが発生した場合、OCR のライトが優先され、コンペアマッチ信号は禁止されます。このタイミングを図 10.10 に示します。

OCRA の自動加算機能を選択しているとき、OCRA、OCRAR、OCRAF ライトサイクルの次のステートでコンペアマッチが発生した場合、OCRA、OCRAR、OCRAF のライトが優先され、コンペアマッチ信号が禁止されるため、自動加算結果のライトは行われません。このタイミングを図 10.10 に示します。

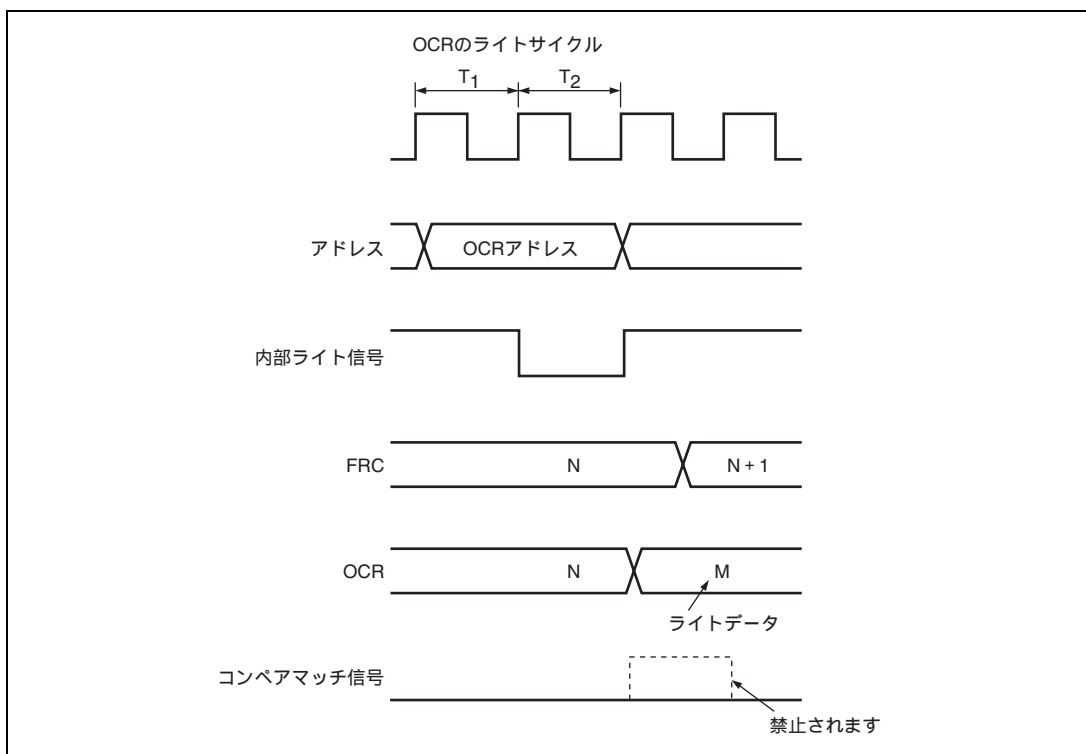


図 10.10 OCR のライトとコンペアマッチの競合 (自動加算機能を使用していない場合)

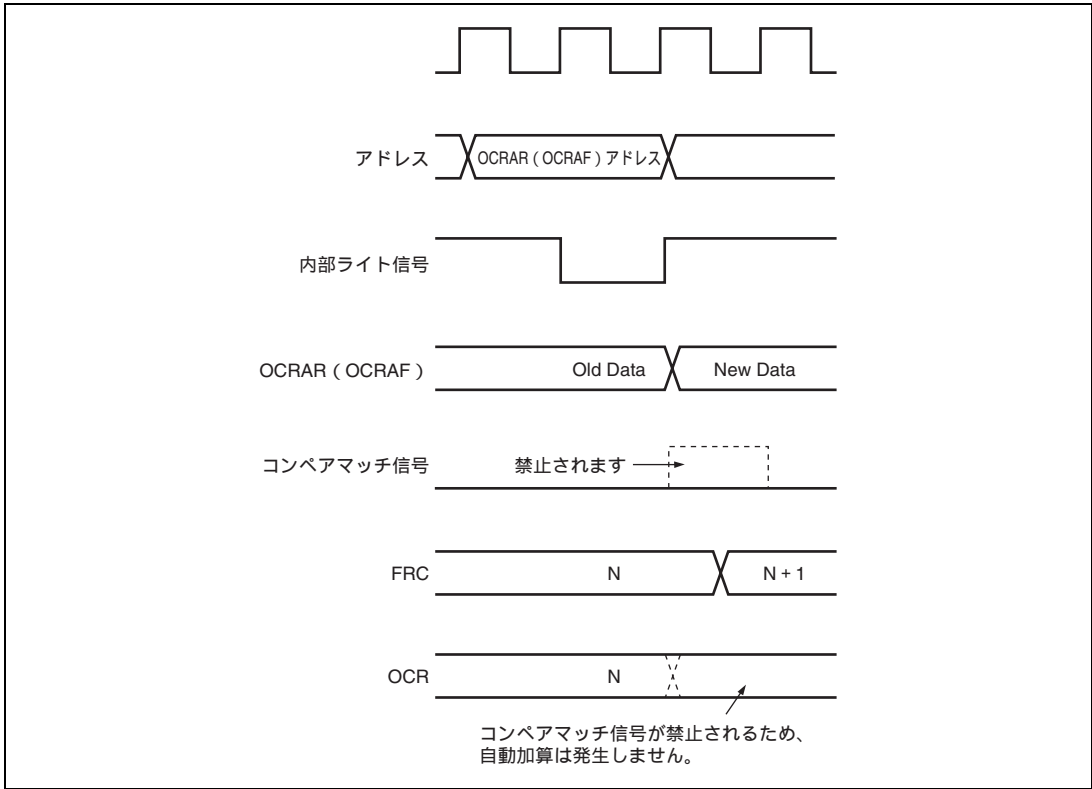


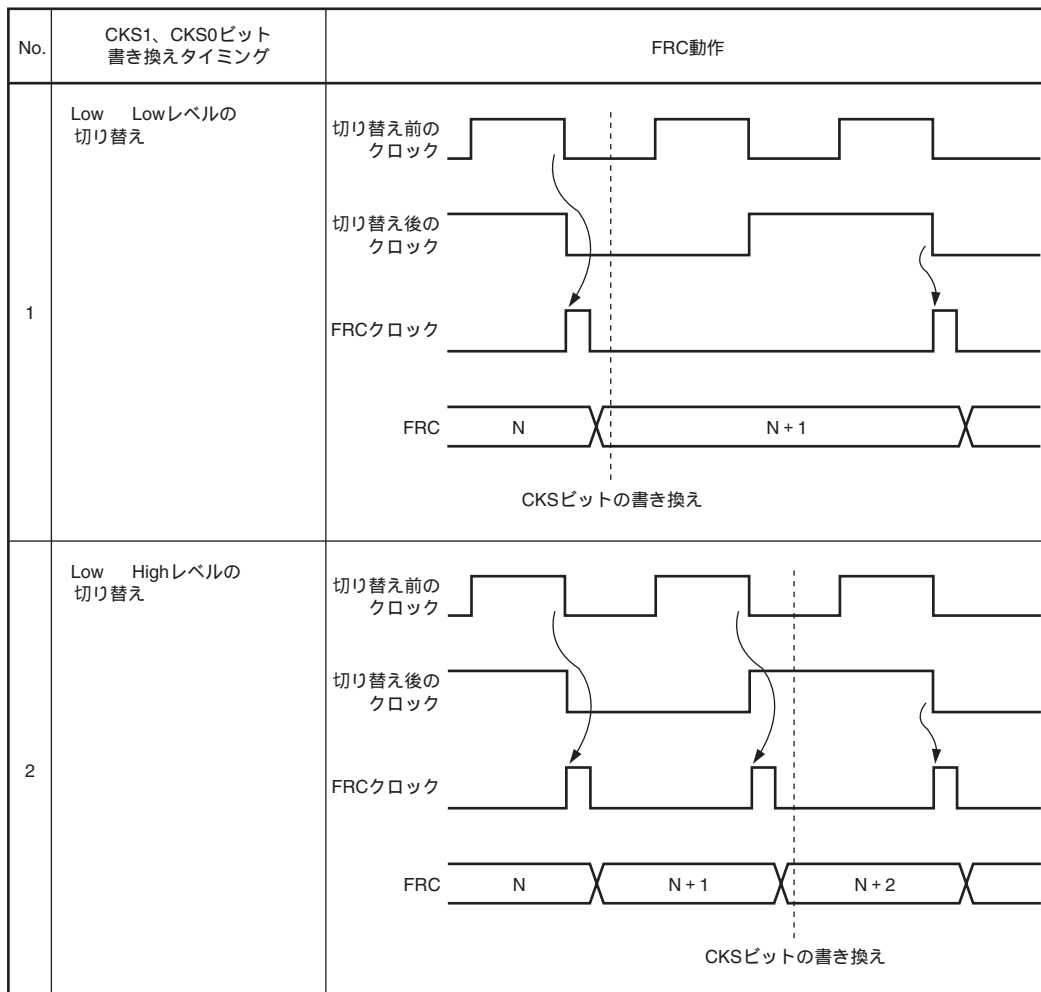
図 10.11 OCRAR/OCRAF ライトとコンペアマッチの競合 (自動加算機能を使用している場合)

10.5.4 内部クロックの切り替えとカウンタの動作

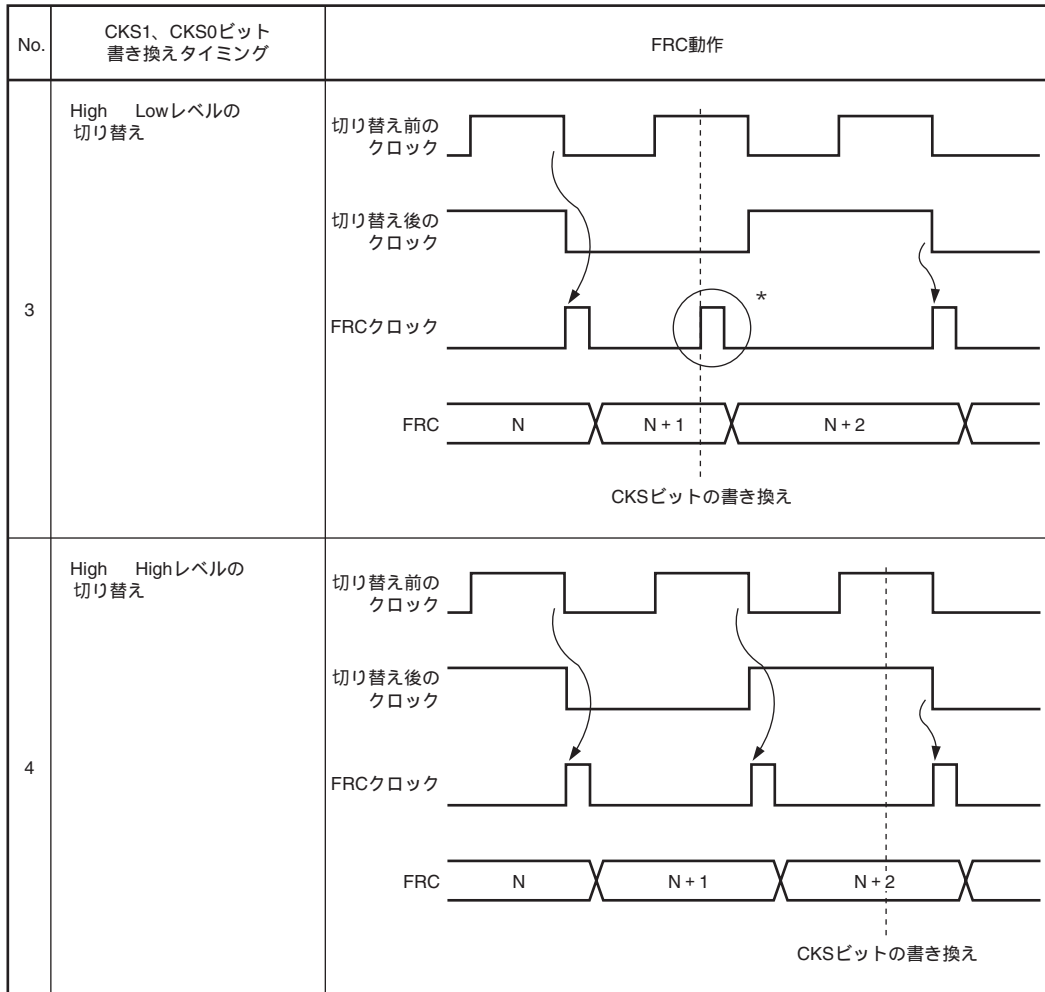
内部クロックを切り替えるタイミングによっては、FRC がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング (CKS1、CKS0 ビットの書き換え) と FRC 動作の関係を表 10.2 に示します。

内部クロックを使用する場合、システムクロック () を分周した内部クロックの立ち下がりエッジを検出して FRC クロックを生成しています。そのため、表 10.2 の No.3 のように切り替え前のクロック High 切り替え後のクロック Low レベルになるような切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして FRC クロックが発生し、FRC がカウントアップされてしまいます。また、内部クロックと外部クロックを切り替えるときも、FRC がカウントアップされることがあります。

表 10.2 内部クロックの切り替えと FRC 動作



10. 16ビットフリーランニングタイマ (FRT)



【注】 * 切り替えのタイミングを立ち下がりエッジとみなすために発生し、FRCはカウントアップされます。

10. 16ビットフリーランニングタイム (FRT)

11. 8ビットタイマ (TMR)

本 LSI は、8 ビットのカウンタをベースにした 2 チャンネルの 8 ビットタイマ (TMR_0、TMR_1) を内蔵しています。

また、本 LSI は 2 チャンネルの類似の 8 ビットタイマ (TMR_Y、TMR_X) を内蔵しています。

11.1 特長

- クロックを選択可能

TMR_0、TMR_1：6種類の内部クロックのうちから選択できます。

TMR_Y、TMR_X：3種類の内部クロックのうちから選択できます。

- カウンタのクリア指定が可能

コンペアマッチA、コンペアマッチBのうちから選択できます。

- TMR_0、TMR_1のカスケード接続が可能

(TMR_Y、TMR_Xのカスケード接続はできません。)

TMR_0を上位、TMR_1を下位とする16ビットタイマとして動作可能です(16ビットカウントモード)。

TMR_1はTMR_0のコンペアマッチをカウント可能です(コンペアマッチカウントモード)。

- 複数の割り込み要因

TMR_0、TMR_1、TMR_Y、TMR_X：コンペアマッチA、コンペアマッチB、オーバフローの3種類があります。

11. 8ビットタイマ (TMR)

8ビットタイマのブロック図を図 11.1、図 11.2 に示します。

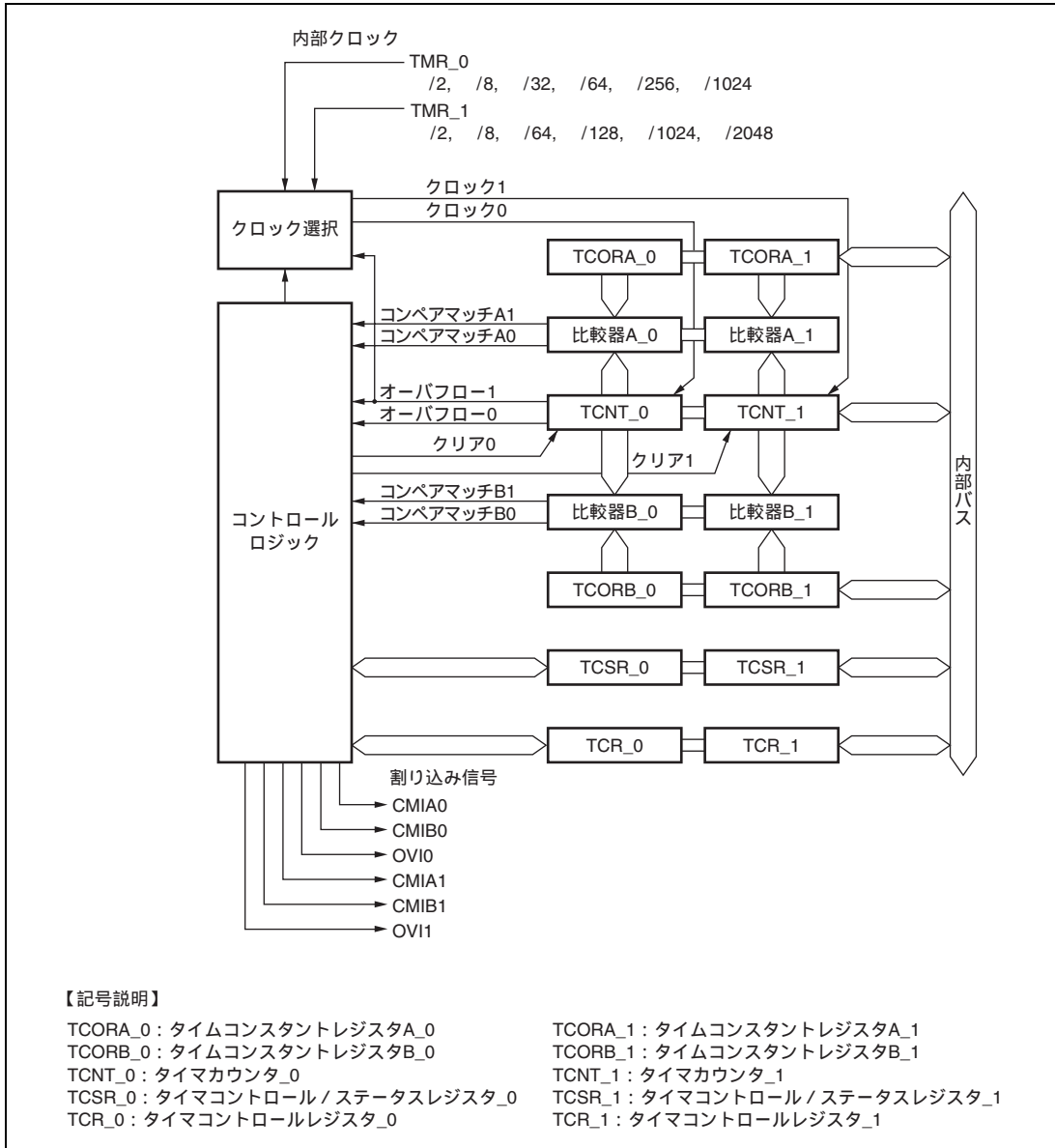


図 11.1 8ビットタイマ (TMR_0、TMR_1) のブロック図

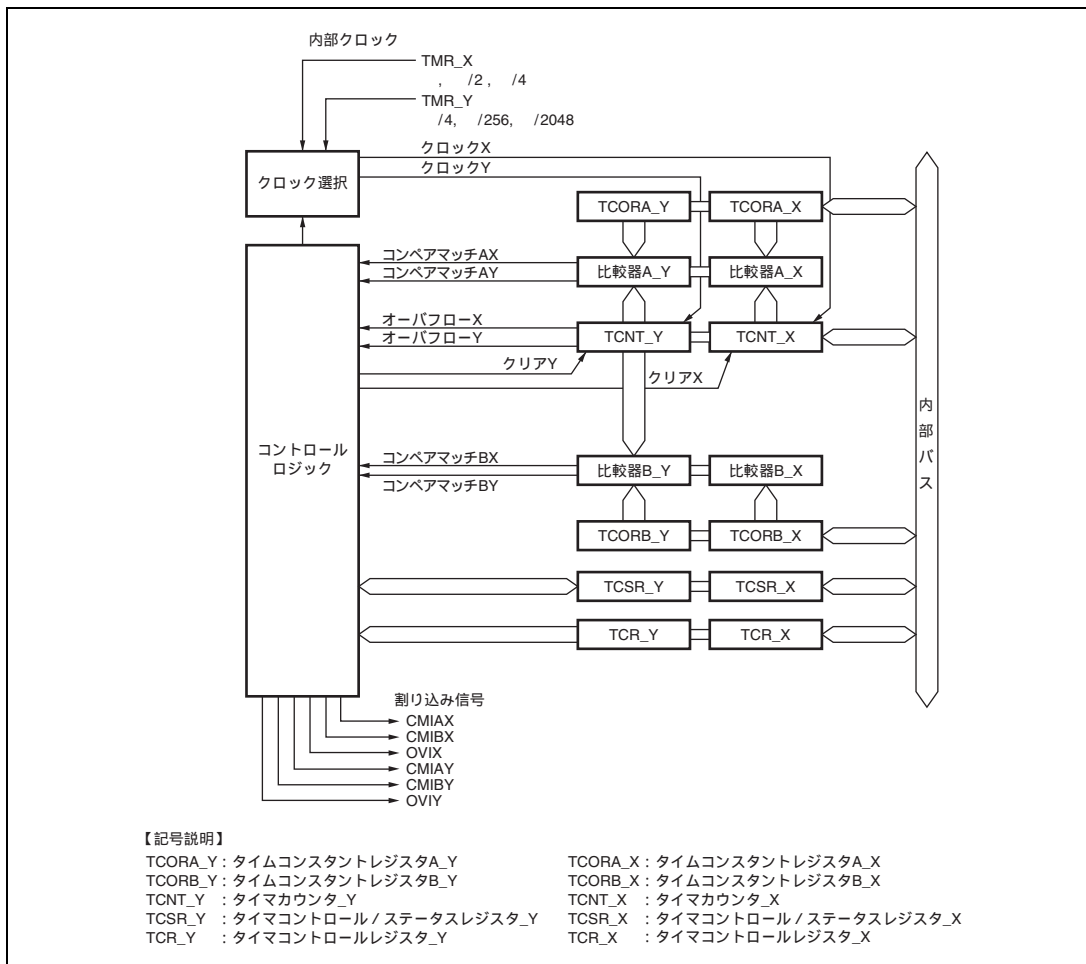


図 11.2 8ビットタイマ(TMR_Y、TMR_X)のブロック図

11.2 レジスタの説明

TMRにはチャンネルごとに以下のレジスタがあります。なお、シリアルタイマコントロールレジスタについては「3.2.3 シリアルタイマコントロールレジスタ (STCR)」を参照してください。

- タイマカウンタ (TCNT)
- タイムコンスタントレジスタA (TCORA)
- タイムコンスタントレジスタB (TCORB)
- タイマコントロールレジスタ (TCR)
- タイマコントロール/ステータスレジスタ (TCSR)
- タイマコネクションレジスタS (TCONRS)*

【注】 TMR_XとTMR_Yのレジスタは一部同一アドレスです。レジスタの切り替えはTCONRSのTMRX/Yビットで行います。TCONRSはTMR_Xのみです。

11.2.1 タイマカウンタ (TCNT)

TCNTは8ビットのリード/ライト可能なアップカウンタです。TCNT_0、TCNT_1を16ビットレジスタとしてワードアクセスすることも可能です。クロックは、TCRのCKS2~CKS0ビットにより選択します。TCNTは、コンペアマッチA信号、コンペアマッチB信号によりクリアすることができます。いずれの信号でクリアするかは、TCRのCCLR1、CCLR0ビットにより選択します。また、TCNTがオーバフロー (H'FF H'00)すると、TCSRのOVFが1にセットされます。TCNTの初期値はH'00です。

TCNT_YはTCONRSのTMRX/Y=1のときアクセス可能です。TCNT_XはTCONRSのTMRX/Y=0のときアクセス可能です。「11.2.6 タイマコネクションレジスタS (TCONRS)」を参照してください。

11.2.2 タイムコンスタントレジスタA (TCORA)

TCORAは8ビットのリード/ライト可能なレジスタです。TCORA_0、TCORA_1を16ビットレジスタとしてワードアクセスすることも可能です。TCORAの値はTCNTと常に比較され、一致するとTCSRのCMFAが1にセットされます。ただし、TCORAへのライトサイクルのT2ステートでの比較は禁止されています。TCORAの初期値はH'FFです。

TCORA_YはTCONRSのTMRX/Y=1のときアクセス可能です。TCORA_XはTCONRSのTMRX/Y=0のときアクセス可能です。「11.2.6 タイマコネクションレジスタS (TCONRS)」を参照してください。

11.2.3 タイムコンスタントレジスタ B (TCORB)

TCORB は 8 ビットのリード/ライト可能なレジスタです。TCORB_0、TCORB_1 を 16 ビットレジスタとしてワードアクセスすることも可能です。TCORB の値は TCNT と常に比較され、一致すると TCSR の CMFB が 1 にセットされます。ただし、TCORB へのライトサイクルの T2 ステートでの比較は禁止されています。TCORB の初期値は H'FF です。

TCORB_Y は TCONRS の TMRX/Y = 1 のときアクセス可能です。TCORB_X は TCONRS の TMRX/Y = 0 のときアクセス可能です。「11.2.6 タイマコネクションレジスタ S (TCONRS)」を参照してください。

11.2.4 タイマコントロールレジスタ (TCR)

TCR は TCNT の入力クロックの選択、TCNT のクリア条件指定、各割り込み要求の制御を行います。

TCR_Y は TCONRS の TMRX/Y = 1 のときアクセス可能です。TCR_X は TCONRS の TMRX/Y = 0 のときアクセス可能です。「11.2.6 タイマコネクションレジスタ S (TCONRS)」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	CMIEB	0	R/W	コンペアマッチインタラプトイネーブル B TCSR の CMFB が 1 にセットされたとき、CMFB による割り込み要求 (CMIB) の許可または禁止を選択します。 0 : CMFB による割り込み要求 (CMIB) を禁止 1 : CMFB による割り込み要求 (CMIB) を許可
6	CMIEA	0	R/W	コンペアマッチインタラプトイネーブル A TCSR の CMFA が 1 にセットされたとき、CMFA による割り込み要求 (CMIA) の許可または禁止を選択します。 0 : CMFA による割り込み要求 (CMIA) を禁止 1 : CMFA による割り込み要求 (CMIA) を許可
5	OVIE	0	R/W	タイマオーバーフローインタラプトイネーブル TCSR の OVF が 1 にセットされたとき、OVF による割り込み要求 (OVI) の許可または禁止を選択します。 0 : OVF による割り込み要求 (OVI) を禁止 1 : OVF による割り込み要求 (OVI) を許可
4	CCLR1	0	R/W	カウンタクリア 1、0
3	CCLR0	0	R/W	TCNT のクリア条件を指定します。 00 : クリアを禁止 01 : コンペアマッチ A によりクリア 10 : コンペアマッチ B によりクリア 11 : 設定禁止
2	CKS2	0	R/W	クロックセレクト 2~0
1	CKS1	0	R/W	STCR の ICKS1、ICKS0 ビットとの組み合わせで、TCNT に入力するクロック
0	CKS0	0	R/W	とカウント条件を選択します。表 11.1 を参照してください。

11. 8ビットタイマ (TMR)

表 11.1 (1) TCNT に入力するクロックとカウント条件 (チャンネル 0)

チャンネル	TCR			STCR	説明
	CKS2	CKS1	CKS0	ICKS0	
TMR_0	0	0	0	x	クロック入力を禁止
	0	0	1	0	内部クロック /8 立ち下がりエッジでカウント
	0	0	1	1	内部クロック /2 立ち下がりエッジでカウント
	0	1	0	0	内部クロック /64 立ち下がりエッジでカウント
	0	1	0	1	内部クロック /32 立ち下がりエッジでカウント
	0	1	1	0	内部クロック /1024 立ち下がりエッジでカウント
	0	1	1	1	内部クロック /256 立ち下がりエッジでカウント
	1	0	0	x	TCNT_1 のオーバフロー信号でカウント*
	1	0	1	x	設定禁止
1	1	x	x	設定禁止	

【記号説明】 x : Don't care

【注】 * TMR_0 のクロック入力を TCNT_1 のオーバフロー信号とし、TMR_1 のクロック入力を TCNT_0 のコンペアマッチ信号とするとカウントアップクロックが発生しません。この設定は行わないでください。

表 11.1 (2) TCNT に入力するクロックとカウント条件 (チャンネル 1)

チャンネル	TCR			STCR	説明
	CKS2	CKS1	CKS0	ICKS1	
TMR_1	0	0	0	x	クロック入力を禁止
	0	0	1	0	内部クロック /8 立ち下がりエッジでカウント
	0	0	1	1	内部クロック /2 立ち下がりエッジでカウント
	0	1	0	0	内部クロック /64 立ち下がりエッジでカウント
	0	1	0	1	内部クロック /128 立ち下がりエッジでカウント
	0	1	1	0	内部クロック /1024 立ち下がりエッジでカウント
	0	1	1	1	内部クロック /2048 立ち下がりエッジでカウント
	1	0	0	x	TCNT_0 のコンペアマッチ A でカウント*
	1	0	1	x	設定禁止
1	1	x	x	設定禁止	

【記号説明】 x : Don't care

【注】 * TMR_0 のクロック入力を TCNT_1 のオーバフロー信号とし、TMR_1 のクロック入力を TCNT_0 のコンペアマッチ信号とするとカウントアップクロックが発生しません。この設定は行わないでください。

表 11.1 (3) TCNT に入力するクロックとカウント条件 (チャンネルY、チャンネルX)

チャンネル	TCR			説 明
	CKS2	CKS1	CKS0	
TMR_Y	0	0	0	クロック入力を禁止
	0	0	1	内部クロック /4 立ち下がりエッジでカウント
	0	1	0	内部クロック /256 立ち下がりエッジでカウント
	0	1	1	内部クロック /2048 立ち下がりエッジでカウント
	1	x	x	設定禁止
TMR_X	0	0	0	クロック入力を禁止
	0	0	1	内部クロック でカウント
	0	1	0	内部クロック /2 立ち下がりエッジでカウント
	0	1	1	内部クロック /4 立ち下がりエッジでカウント
	1	x	x	設定禁止

【記号説明】 x : Don't care

【注】 * TMR_0のクロック入力を TCNT_1のオーバーフロー信号とし、TMR_1のクロック入力を TCNT_0のコンペアマッチ信号とするとカウントアップクロックが発生しません。この設定は行わないでください。

11. 8ビットタイマ (TMR)

11.2.5 タイマコントロール/ステータスレジスタ (TCSR)

TCSR はステータスフラグの表示およびコンペアマッチによる出力制御を行います。TCSR_Y、TCSR_X のアクセスについては「11.2.6 タイマコネクションレジスタ S (TCNRS)」を参照してください。

• TCSR_0

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)*	コンペアマッチフラグ B [セット条件] TCNT_0 の値と TCORB_0 の値が一致したとき [クリア条件] CMFB = 1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき
6	CMFA	0	R/(W)*	コンペアマッチフラグ A [セット条件] TCNT_0 の値と TCORA_0 の値が一致したとき [クリア条件] CMFA = 1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき
5	OVF	0	R/(W)*	タイマオーバーフローフラグ [セット条件] TCNT_0 の値が H'FF から H'00 にオーバーフローしたとき [クリア条件] OVF = 1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4	ADTE	0	P/W	A/D トリガインエーブル コンペアマッチ A による A/D 変換開始要求の許可または禁止を選択します。 0: コンペアマッチ A による A/D 変換開始を禁止 1: コンペアマッチ A による A/D 変換開始を許可
3~0	-	すべて 1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

【注】 * フラグをクリアするための 0 ライトのみ可能です。

• TCSR_1

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)*	コンペアマッチフラグ B [セット条件] TCNT_1 の値と TCORB_1 の値が一致したとき [クリア条件] CMFB = 1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき
6	CMFA	0	R/(W)*	コンペアマッチフラグ A [セット条件] TCNT_1 の値と TCORA_1 の値が一致したとき [クリア条件] CMFA = 1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき
5	OVF	0	R/(W)*	タイマオーバーフローフラグ [セット条件] TCNT_1 の値が H'FF から H'00 にオーバーフローしたとき [クリア条件] OVF = 1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4~0	-	すべて 1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

【注】 * フラグをクリアするための 0 ライトのみ可能です。

• TCSR_Y (TCONRS の TMRX/Y = 1 のときアクセス可能)

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)*	コンペアマッチフラグ B [セット条件] TCNT_Y の値と TCORB_Y の値が一致したとき [クリア条件] CMFB = 1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき
6	CMFA	0	R/(W)*	コンペアマッチフラグ A [セット条件] TCNT_Y の値と TCORA_Y の値が一致したとき [クリア条件] CMFA = 1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき
5	OVF	0	R/(W)*	タイマオーバーフローフラグ [セット条件] TCNT_Y の値が H'FF から H'00 にオーバーフローしたとき [クリア条件] OVF = 1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4~0	-	すべて 1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

【注】 * フラグをクリアするための 0 ライトのみ可能です。

11. 8ビットタイマ (TMR)

- TCSR_X (TCONRSのTMRX/Y = 0のときアクセス可能)

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)*	コンペアマッチフラグ B [セット条件] TCNT_X の値と TCORB_X の値が一致したとき [クリア条件] CMFB = 1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき
6	CMFA	0	R/(W)*	コンペアマッチフラグ A [セット条件] TCNT_X の値と TCORA_X の値が一致したとき [クリア条件] CMFA = 1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき
5	OVF	0	R/(W)*	タイマオーバーフローフラグ [セット条件] TCNT_X の値が H'FF から H'00 にオーバーフローしたとき [クリア条件] OVF = 1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4~0		すべて 1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

【注】 * フラグをクリアするための 0 ライトのみ可能です。

11.2.6 タイマコネクションレジスタ S (TCONRS)

TCONRS は TMR_X、TMR_Y のアクセスを選択します。

ビット	ビット名	初期値	R/W	説明
7	TMRX/Y	0	R/W	TMR_X/TMR_Y アクセス選択 表 11.3 を参照してください。 0 : アドレス H'FFFFFF0 ~ H'FFFFFF5 で TMR_X のレジスタをアクセスする 1 : アドレス H'FFFFFF0 ~ H'FFFFFF5 で TMR_Y のレジスタをアクセスする
6~0	-	すべて 0	R/W	リザーブビット 初期値を変更しないでください。

表 11.2 TMR_X/TMR_Y のアクセス可能なレジスタ

TMRX/Y	H'FFFFFF0	H'FFFFFF1	H'FFFFFF2	H'FFFFFF3	H'FFFFFF4	H'FFFFFF5	H'FFFFFF6	H'FFFFFF7
0	TMR_X TCR_X	TMR_X TCSR_X	TMR_X	TMR_X	TMR_X TCNT_X	TMR_X	TMR_X TCORA_X	TMR_X TCORB_X
1	TMR_Y TCR_Y	TMR_Y TCSR_Y	TMR_Y TCORA_Y	TMR_Y TCORB_Y	TMR_Y TCNT_Y	TMR_Y		

11.3 動作タイミング

11.3.1 TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 11.3 に示します。

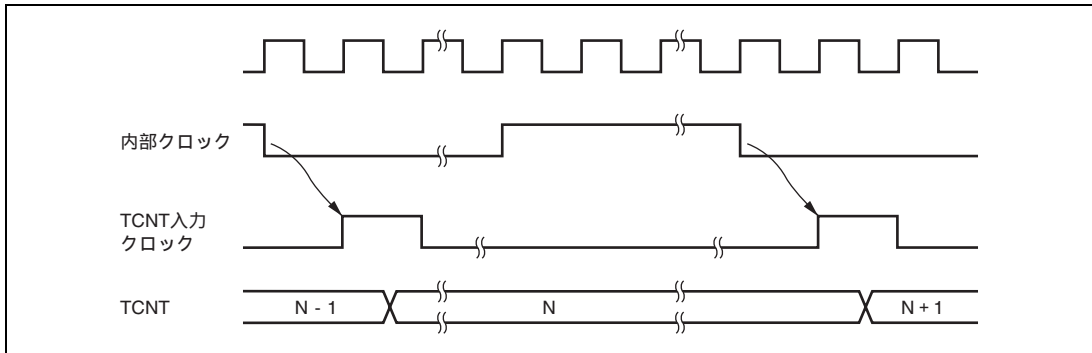


図 11.3 内部クロック動作時のカウントタイミング

11.3.2 コンペアマッチ時の CMFA、CMFB フラグのセットタイミング

TCSR の CMFA、CMFB フラグは、TCNT と TCOR の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。したがって、TCNT と TCOR の値が一致した後、TCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。CMF フラグのセットタイミングを図 11.4 に示します。

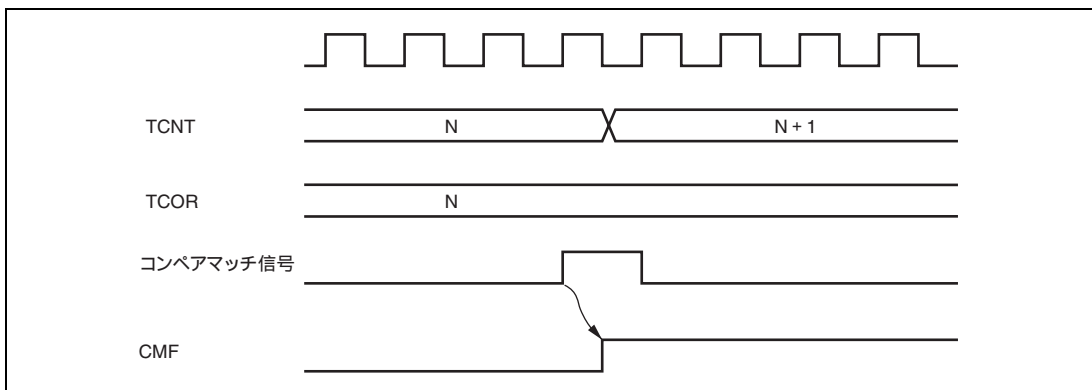


図 11.4 コンペアマッチ時の CMF フラグのセットタイミング

11. 8ビットタイマ (TMR)

11.3.3 コンペアマッチによるカウンタクリアタイミング

TCNT は、TCR の CCLR1、CCLR0 ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。コンペアマッチによるカウンタクリアタイミングを図 11.5 に示します。

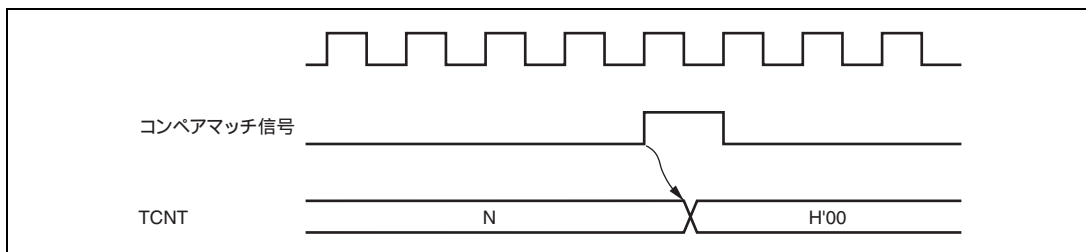


図 11.5 コンペアマッチによるカウンタクリアタイミング

11.3.4 オーバフローフラグ (OVF) のセットタイミング

TCSR の OVF は、TCNT がオーバーフロー (H'FF H'00) したとき出力されるオーバーフロー信号により 1 にセットされます。OVF フラグのセットタイミングを図 11.6 に示します。

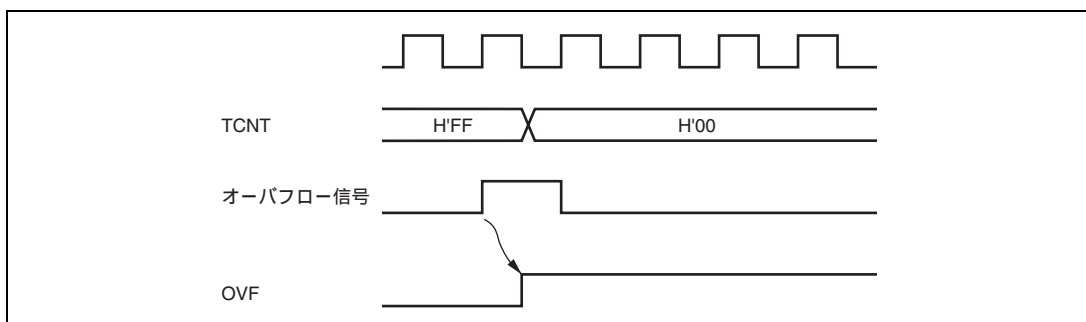


図 11.6 OVF フラグのセットタイミング

11.4 TMR_0、TMR_1 のカスケード接続

TCR_0、TCR_1 のいずれか一方の CKS2~CKS0 ビットを B'100 に設定すると、2チャンネルの8ビットタイマはカスケード接続されます。この場合、16ビットカウントモードか、またはコンペアマッチカウントモードにすることができます。

11.4.1 16ビットカウントモード

TCR_0 の CKS2~CKS0 ビットが B'100 のとき、タイマは TMR_0 を上位8ビット、TMR_1 を下位8ビットとする1チャンネルの16ビットタイマとして動作します。

(1) コンペアマッチフラグのセット

- TCSR_0のCMFフラグは、16ビットのコンペアマッチが発生したとき1にセットされます。
- TCSR_1のCMFフラグは、下位8ビットのコンペアマッチが発生したとき1にセットされます。

(2) カウンタクリア指定

- TCR_0のCCLR1、CCLR0ビットでコンペアマッチによるカウンタクリアを設定した場合、16ビットのコンペアマッチが発生したとき16ビットカウンタ (TCNT_0、TCNT_1の両方) がクリアされます。また、TMI0端子によるカウンタクリアを設定した場合も、16ビットカウンタ (TCNT_0、TCNT_1の両方) がクリアされません。
- TCR_1のCCLR1、CCLR0ビットの設定は無効になります。下位8ビットのみのカウンタクリアはできません。

11.4.2 コンペアマッチカウントモード

TCR_1 の CKS2~CKS0 ビットが B'100 のとき、TCNT_1 は TMR_0 のコンペアマッチ A をカウントします。TMR_0、TMR_1 の制御はそれぞれ独立に行われます。CMF フラグのセット、割り込みの発生、カウンタクリアなどは各チャンネルの設定に従います。

11. 8ビットタイマ (TMR)

11.5 割り込み要因

TMR_0、TMR_1、TMR_Y、TMR_Xの割り込み要因は、CMIA、CMIB、OVIの3種類があります。表11.3に各割り込み要因と優先順位を示します。各割り込み要因は、TCRまたはTCSRの各割り込みイネーブルビットにより許可または禁止が設定され、それぞれ独立に割り込みコントローラに送られます。

CMIA、CMIB割り込みは、内蔵DTCの起動要因とすることができます。

表 11.3 8ビットタイマ TMR_0、TMR_1、TMR_Y、TMR_X の割り込み要因

チャンネル	名 称	割り込み要因	割り込みフラグ	DTC の起動	優先順位
TMR_X	CMIAX	TCORA_X のコンペアマッチ	CMFA	可	高 ↑ 低
	CMIBX	TCORB_X のコンペアマッチ	CMFB	可	
	OVI_X	TCNT_X のオーバーフロー	OVF	不可	
TMR_0	CMIA0	TCORA_0 のコンペアマッチ	CMFA	可	
	CMIB0	TCORB_0 のコンペアマッチ	CMFB	可	
	OVI0	TCNT_0 のオーバーフロー	OVF	不可	
TMR_1	CMIA1	TCORA_1 のコンペアマッチ	CMFA	可	
	CMIB1	TCORB_1 のコンペアマッチ	CMFB	可	
	OVI1	TCNT_1 のオーバーフロー	OVF	不可	
TMR_Y	CMIAY	TCORA_Y のコンペアマッチ	CMFA	可	
	CMIBY	TCORB_Y のコンペアマッチ	CMFB	可	
	OVIY	TCNT_Y のオーバーフロー	OVF	不可	

11.6 使用上の注意事項

11.6.1 TCNTのライトとカウンタクリアの競合

図 11.7 のように TCNT のライトサイクル中の T_2 ステートでカウンタクリアが発生すると、カウンタへのライトは行われずクリアが優先されます。

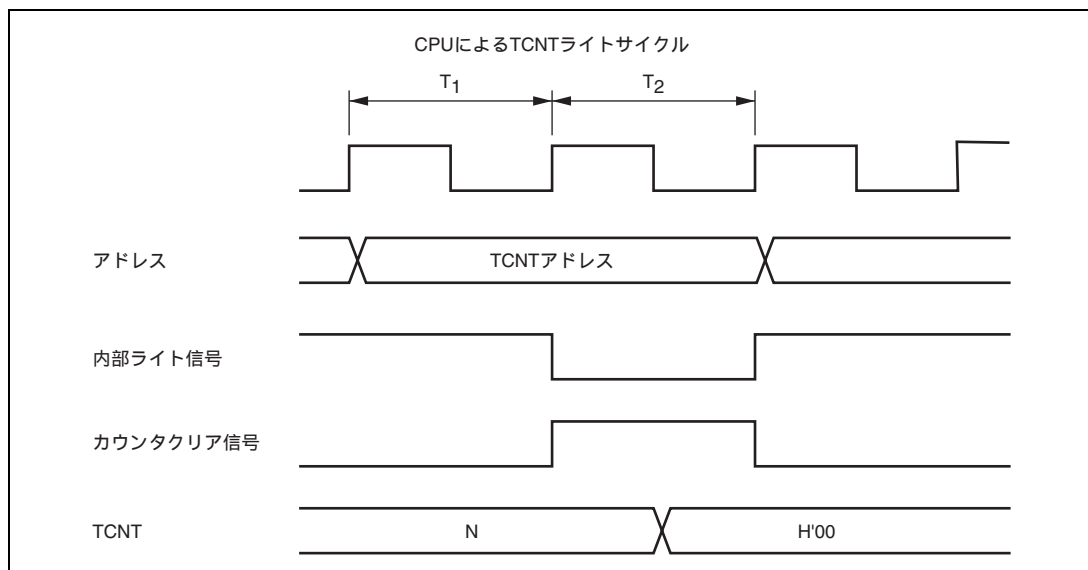


図 11.7 TCNTのライトとクリアの競合

11.6.2 TCNT のライトとカウントアップの競合

図 11.8 のように TCNT のライトサイクル中の T_2 ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

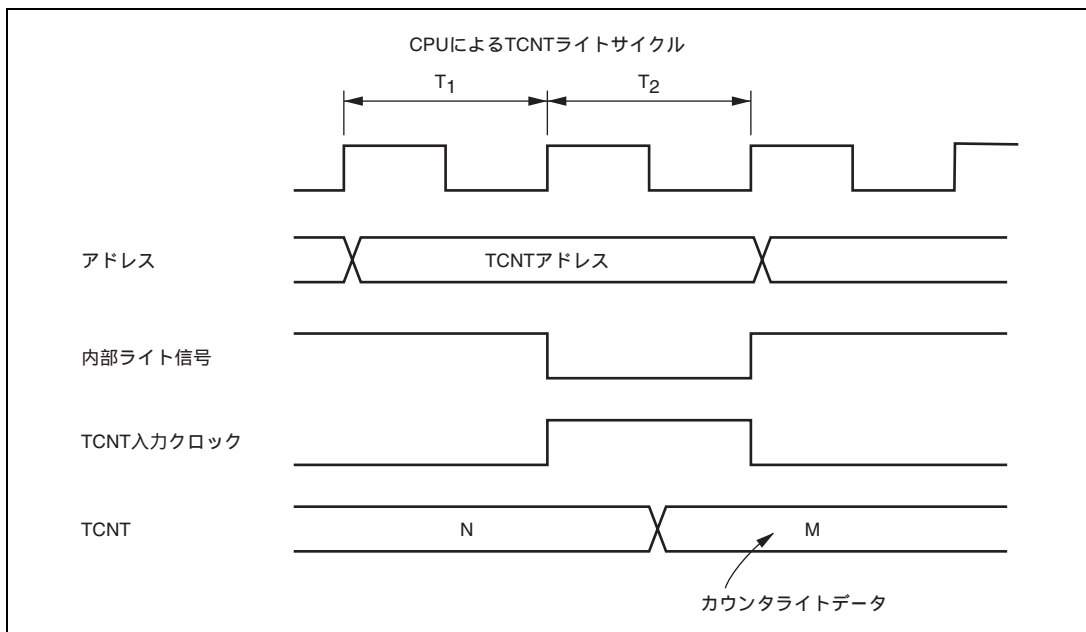


図 11.8 TCNT のライトとカウントアップの競合

11.6.3 TCORのライトとコンペアマッチの競合

図 11.9 のように TCOR のライトサイクル中の T_2 ステートでコンペアマッチが発生しても、TCOR のライトが優先されコンペアマッチ信号は禁止されます。

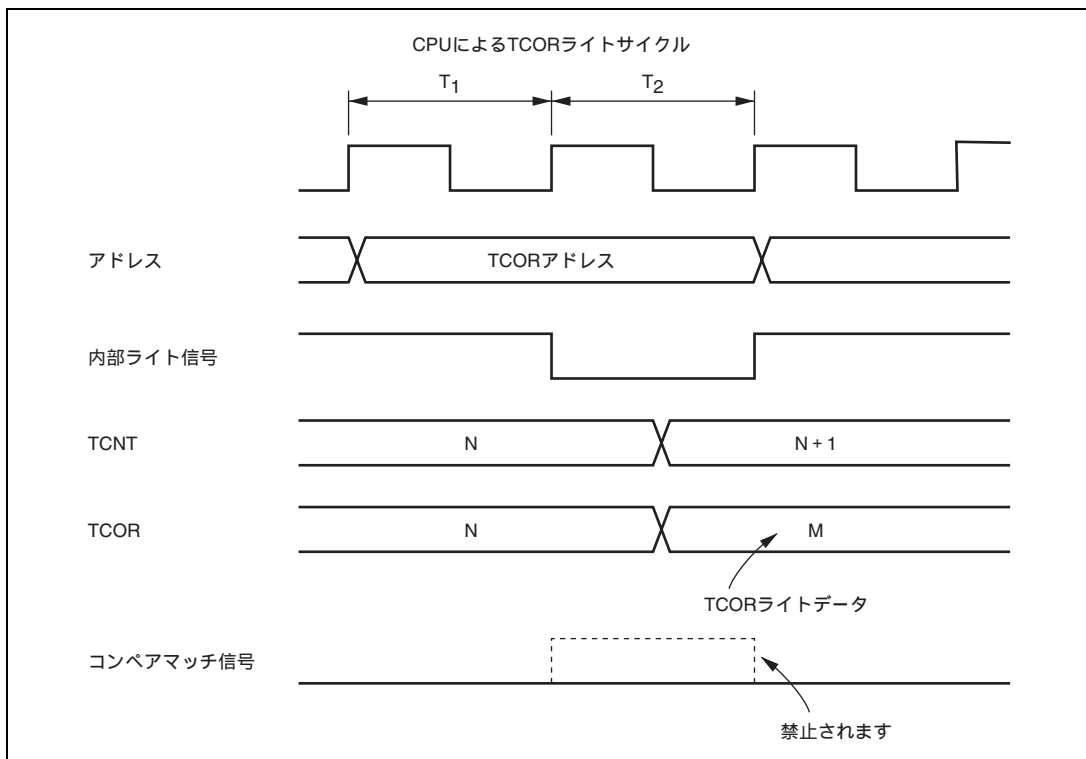


図 11.9 TCOR のライトとコンペアマッチの競合

11.6.4 内部クロックの切り替えと TCNT の動作

内部クロックを切り替えるタイミングによっては、TCNT がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング (CKS1、CKS0 ビットの書き換え) と TCNT 動作の関係を表 11.4 に示します。

内部クロックから TCNT クロックを生成する場合、内部クロックの立ち下がりエッジで検出しています。そのため表 11.4 の No.3 のように、High Low レベルになるようなクロックの切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして TCNT クロックが発生し、TCNT がカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、TCNT がカウントアップされることがあります。

表 11.4 内部クロックの切り替えと TCNT の動作

No	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
1	Low Low レベル* ¹ の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>
2	Low High レベル* ² の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>

No	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
3	High Low レベル ^{*3} の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>
4	High High レベル の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>

【注】 *1 Low レベル 停止、および停止 Low レベルの場合を含みます。

*2 停止 High レベルの場合を含みます。

*3 High レベル 停止を含みます。

*4 切り替えのタイミングを立ち下がりエッジとみなすために発生し、TCNT はカウントアップされてしまいます。

11.6.5 カスケード接続時のモード設定

16ビットカウンタモードとコンペアマッチカウントモードを同時に設定した場合、TCNT_0、TCNT_1の入カクロックが発生しなくなるためカウンタが停止して動作しません。この設定は行わないでください。

11. 8ビットタイマ (TMR)

12. ウォッチドッグタイマ (WDT)

本 LSI は、2 チャンネルのウォッチドッグタイマ (WDT_0、WDT_1) を内蔵しています。WDT は 8 ビットのタイマで、システムの暴走などによりカウンタの値を CPU が書き換えられずにオーバーフローすると、本 LSI 内部をリセットするかまたは内部 NMI 割り込みを発生させることができます。また、外部にオーバーフロー信号 ($\overline{\text{RESO}}$) を出力することができます。

ウォッチドッグタイマとして使用しない場合は、インターバルタイマとして使用することもできます。インターバルタイマモードとして使用する場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込みを発生します。WDT_0、WDT_1 のブロック図を図 12.1 に示します。

12.1 特長

- WDT_0は8種類、WDT_1は16種類のカウント入力クロックを選択可能
- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能

ウォッチドッグタイマモード

- カウンタがオーバーフローすると、本LSI内部をリセットするかまたは内部NMI割り込みを発生するかを選択可能
- 内部リセットを選択した場合、カウンタがオーバーフローすると $\overline{\text{RESO}}$ 端子からLowレベル信号を出力

インターバルタイマモード

- カウンタがオーバーフローすると、インターバルタイマ割り込み (WOVI) を発生

12. ウォッチドッグタイマ (WDT)

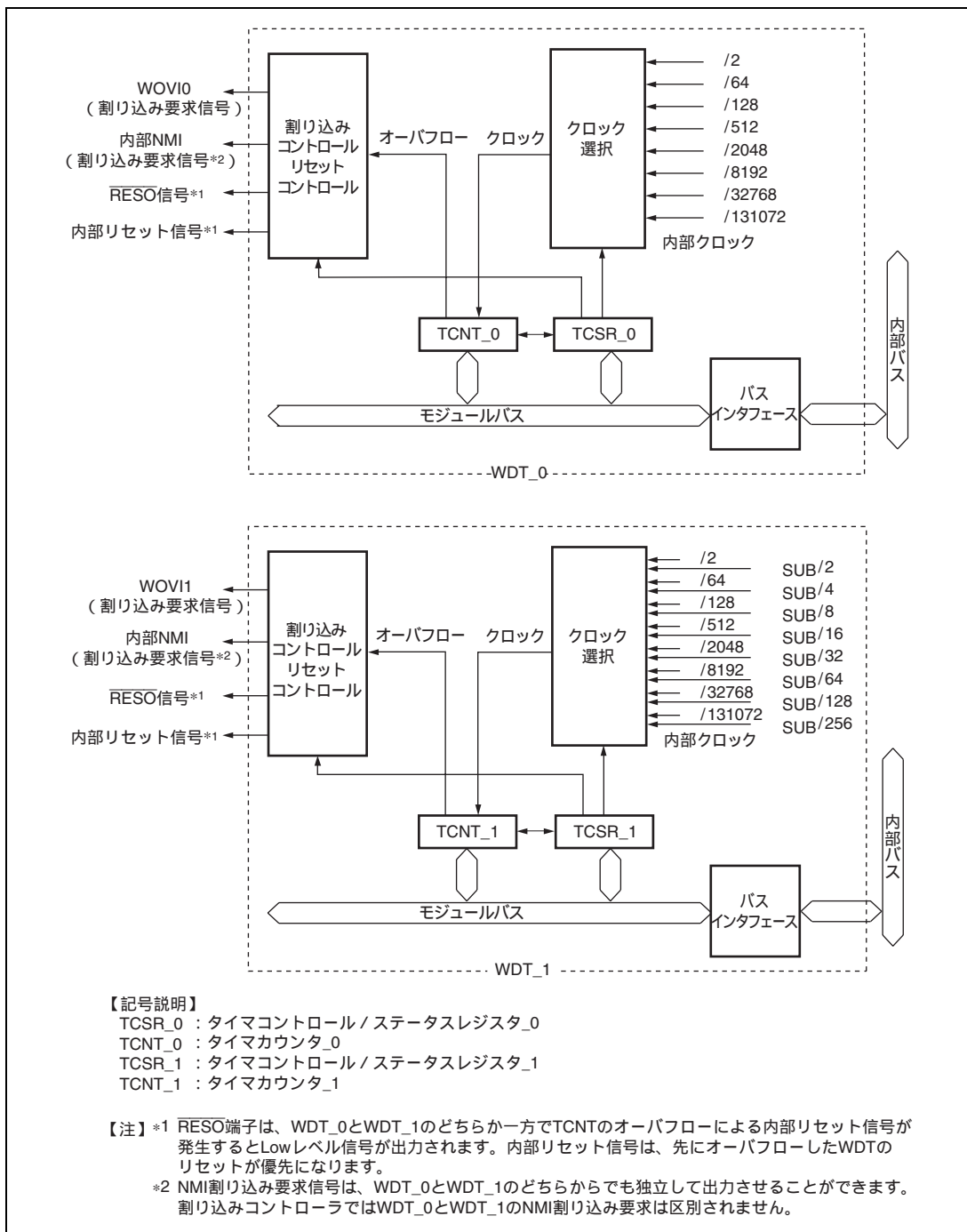


図 12.1 WDT のブロック図

12.2 入出力端子

WDTの入出力端子を表 12.1 に示します。

表 12.1 端子構成

名 称	記号	入出力	機 能
リセット出力端子	RES \bar{O}	出力	ウォッチドッグタイマモード時のカウンタオーバフロー信号出力
外部サブクロック入力端子	EXCL	入力	WDT_1 のプリスケアラのカウンタ入力クロック

12.3 レジスタの説明

WDT にはチャンネルごとに以下のレジスタがあります。TCNT、TCSR は容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。詳細は「12.6.1 レジスタアクセス時の注意事項」を参照してください。システムコントロールレジスタについては、「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

- タイマカウンタ (TCNT)
- タイマコントロール/ステータスレジスタ (TCSR)

12.3.1 タイマカウンタ (TCNT)

TCNT は、リード/ライト可能な 8 ビットのアップカウンタです。TCNT は、タイマコントロール/ステータスレジスタ (TCSR) の TME ビットが 0 のとき、H'00 に初期化されます。

12. ウォッチドッグタイマ (WDT)

12.3.2 タイマコントロール/ステータスレジスタ (TCSR)

TCSR は、TCNT に入力するクロック、モードの選択などを行います。

• TCSR_0

ビット	ビット名	初期値	R/W	説明
7	OVF	0	R/(W)*	<p>オーバーフローフラグ</p> <p>TCNT がオーバーフロー (H'FF H'00) したことを示します。</p> <p>[セット条件]</p> <p>TCNT がオーバーフロー (H'FF H'00) したとき</p> <p>ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • OVF=1 の状態で、TCSR をリード後、OVF に 0 をライトしたとき • TME ビットに 0 をライトしたとき
6	WT/IT	0	R/W	<p>タイマモードセレクト</p> <p>ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。</p> <p>0: インターバルタイマモード</p> <p>1: ウォッチドッグタイマモード</p>
5	TME	0	R/W	<p>タイマイネーブル</p> <p>このビットを 1 にセットすると TCNT がカウントを開始します。クリアすると TCNT はカウント動作を停止し、H'00 に初期化されます。</p>
4		0	R/W	<p>リザーブビット</p> <p>初期値を変更しないでください。</p>
3	RST/NMI	0	R/W	<p>リセットまたは NMI</p> <p>TCNT がオーバーフローしたときに、内部リセットか NMI 割り込み要求かを選択します。</p> <p>0: NMI 割り込みを要求</p> <p>1: 内部リセットを要求</p>
2	CKS2	0	R/W	<p>クロックセレクト 2~0</p> <p>TCNT に入力するクロックを選択します。()内は =34MHz のときのオーバーフロー周期を表します。</p> <p>000: /2 (周期 15.1μs)</p> <p>001: /64 (周期 481.9μs)</p> <p>010: /128 (周期 963.8μs)</p> <p>011: /512 (周期 3.856ms)</p> <p>100: /2048 (周期 15.42ms)</p> <p>101: /8192 (周期 61.68ms)</p> <p>110: /32768 (周期 246.7ms)</p> <p>111: /131072 (周期 986.9s)</p>
1	CKS1	0	R/W	
0	CKS0	0	R/W	

【注】 * フラグをクリアするための 0 ライトのみ可能です。

12. ウォッチドッグタイマ (WDT)

• TCSR_1

ビット	ビット名	初期値	R/W	説明
7	OVF	0	R/(W)* ¹	<p>オーバーフローフラグ</p> <p>TCNT がオーバーフロー (H'FF H'00) したことを示します。</p> <p>[セット条件]</p> <p>TCNT がオーバーフロー (H'FF H'00) したとき ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • OVF = 1 の状態で、TCSR をリード後*²、OVF に 0 をライトしたとき • TME ビットに 0 をライトしたとき
6	WT/ $\overline{\text{IT}}$	0	R/W	<p>タイマモード選択</p> <p>ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。</p> <p>0: インターバルタイマモード 1: ウォッチドッグタイマモード</p>
5	TME	0	R/W	<p>タイマイネーブル</p> <p>このビットを 1 にセットすると TCNT がカウントを開始します。クリアすると TCNT はカウント動作を停止し、H'00 に初期化されます。</p>
4	PSS	0	R/W	<p>プリスケラ選択</p> <p>TCNT に入力するクロックを選択します。</p> <p>0: ベースのプリスケラ (PSM) の分周クロックをカウント 1: SUB ベースのプリスケラ (PSS) の分周クロックをカウント</p>
3	RST/ $\overline{\text{NMI}}$	0	R/W	<p>リセットまたは NMI</p> <p>TCNT がオーバーフローしたときに、内部リセットか NMI 割り込み要求かを選択します。</p> <p>0: NMI 割り込みを要求 1: 内部リセットを要求</p>

12. ウォッチドッグタイマ (WDT)

ビット	ビット名	初期値	R/W	説明
2	CKS2	0	R/W	クロックセレクト 2~0 TCNT に入力するクロックを選択します。()内は = 34MHz、 SUB=32.768kHz のときのオーバフロー周期を表します。 PSS = 0 の場合 000 : /2 (周期 15.1 μ s) 001 : /64 (周期 481.9 μ s) 010 : /128 (周期 963.8 μ s) 011 : /512 (周期 3.856ms) 100 : /2048 (周期 15.42ms) 101 : /8192 (周期 61.68ms) 110 : /32768 (周期 246.7ms) 111 : /131072 (周期 986.9ms) PSS = 1 の場合 000 : SUB/2 (周期 15.6ms) 001 : SUB/4 (周期 31.3ms) 010 : SUB/8 (周期 62.5ms) 011 : SUB/16 (周期 125ms) 100 : SUB/32 (周期 250ms) 101 : SUB/64 (周期 500ms) 110 : SUB/128 (周期 1s) 111 : SUB/256 (周期 2s)
1	CKS1	0	R/W	
0	CKS0	0	R/W	

【注】 *1 フラグをクリアするための 0 ライトのみ可能です。

*2 インターバルタイマ割り込みを禁止して OVF をポーリングした場合、OVF = 1 の状態を 2 回以上リードしてください。

12.4 動作説明

12.4.1 ウォッチドッグタイマモード

ウォッチドッグタイマモードとして使用するときは、TCSR の $\overline{WT}/\overline{IT}$ ビット = 1 に、TME ビット = 1 に設定してください。ウォッチドッグタイマとして動作しているとき、システムの暴走などにより TCNT の値が書き換えられずオーバーフローすると、内部リセットまたは NMI 割り込み要求を発生します。システムが正常に動作している間は、TCNT のオーバーフローは発生しません。TCNT がオーバーフローする前に必ず TCNT の値を書き換えて (通常は H'00 をライトする)、オーバーフローを発生させないようにプログラミングしてください。

TCSR の $\overline{RST}/\overline{NMI}$ ビットを 1 にセットしておく、図 12.2 に示すように TCNT がオーバーフローしたときに、本 LSI の内部をリセットする信号が 518 システムクロックの間出力され、 $\overline{RES0}$ 端子から 132 ステートの間 Low レベルが出力されます。また、 $\overline{RST}/\overline{NMI}$ ビットを 0 にクリアしておく、TCNT がオーバーフローしたときに、NMI 割り込み要求を発生します。このとき $\overline{RES0}$ 端子は High レベルのままです。

ウォッチドッグタイマからの内部リセット要求と \overline{RES} 端子からのリセット入力は、同一ベクタで処理されます。リセット要因は SYSCR の XRST ビットの内容によって判別できます。ウォッチドッグタイマからの内部リセット要求と \overline{RES} 端子からのリセット入力が同時に発生したときは、 \overline{RES} 端子からのリセット入力が優先され、SYSCR の XRST ビットは 1 にセットされます。

ウォッチドッグタイマからの NMI 割り込み要求と NMI 端子からの割り込み要求は、同一ベクタで処理されます。ウォッチドッグタイマからの NMI 割り込み要求と NMI 端子からの割り込み要求を同時に扱うことは避けてください。

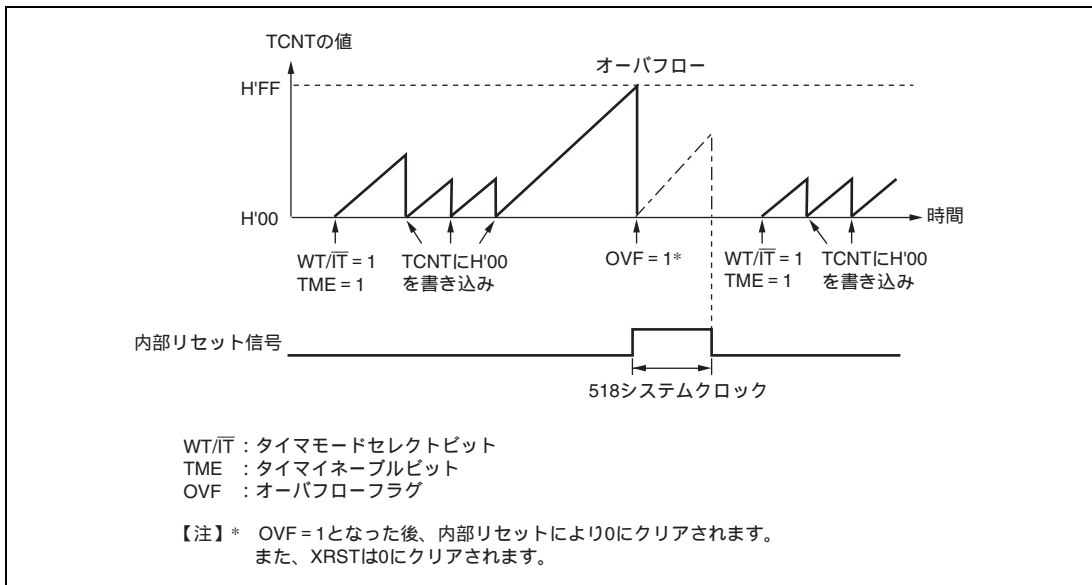


図 12.2 ウォッチドッグタイマモード時 ($\overline{RST}/\overline{NMI} = 1$) の動作

12. ウォッチドッグタイマ (WDT)

12.4.2 インターバルタイマモード

インターバルタイマとして動作しているときは、図 12.3 に示すように TCNT がオーバーフローするごとにインターバルタイマ割り込み (WOVI) が発生します。したがって、一定時間ごとに、割り込みを発生させることができます。

インターバルタイマモードで TCNT がオーバーフローすると、TCSR の OVF ビットが 1 にセットされ、同時にインターバルタイマ割り込み (WOVI) が要求されます。このタイミングを図 12.4 に示します。

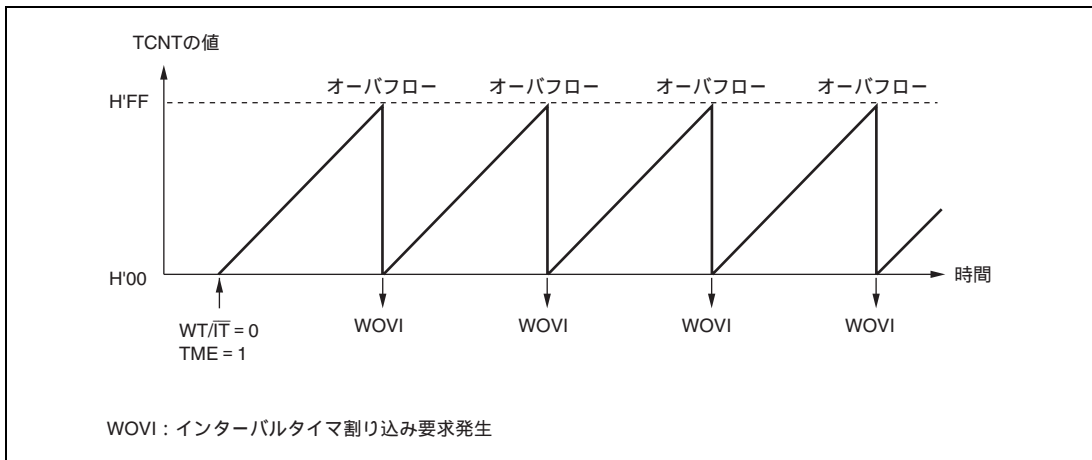


図 12.3 インターバルタイマモード時の動作

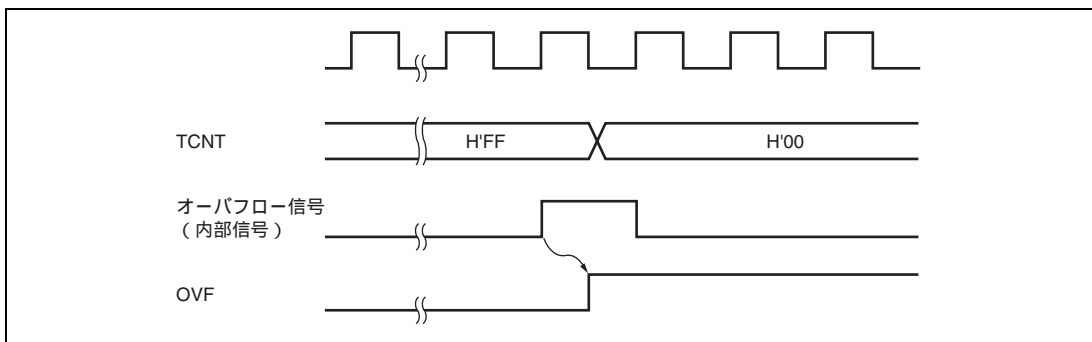


図 12.4 OVF のセットタイミング

12.4.3 RESO 信号出力タイミング

ウォッチドッグタイマモードで TCNT がオーバーフローすると、TCSR の OVF ビットが 1 にセットされます。このとき RST/NMI ビットが 1 にセットしてあると、本 LSI 全体に対して内部リセット信号を発生します。また、同時に RESO 端子から Low レベルを出力します。これらのタイミングを図 12.5 に示します。

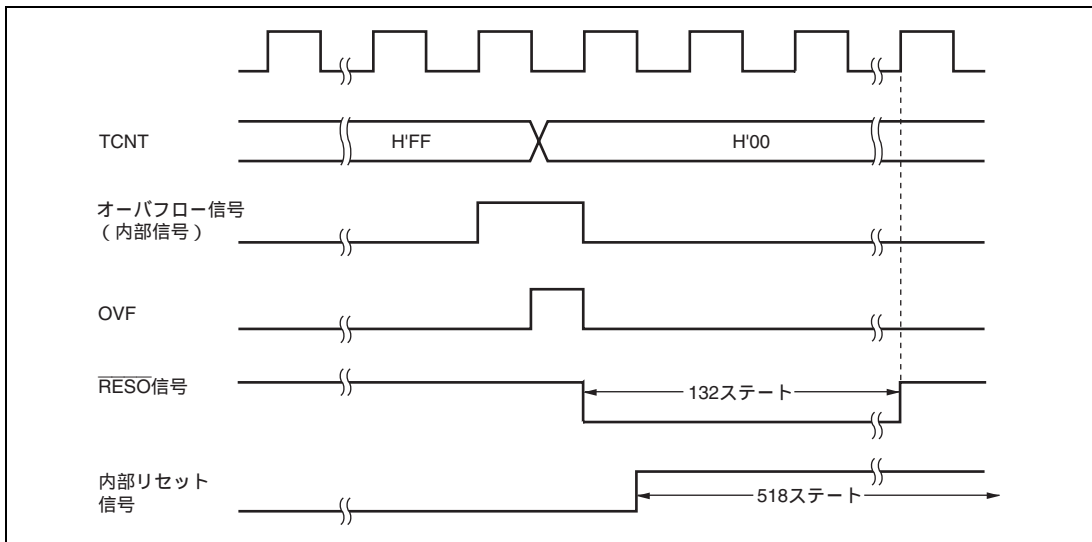


図 12.5 RESO 信号の出力タイミング

本 LSI にはリテインステート端子 (システムリセット時のみ初期化) があります。これらの端子は、オーバーフロー信号による内部リセットが発生しても端子出力を保持することができます。

詳細は「第 8 章 I/O ポート」を参照して下さい。

12.5 割り込み要因

インターバルタイマモード時、オーバーフローによりインターバルタイマ割り込み (WOVI) が発生します。インターバルタイマ割り込みは、TCSR の OVF フラグが 1 にセットされると常に要求されます。割り込み処理ルーチンで必ず OVF を 0 にクリアしてください。

ウォッチドッグタイマモードで NMI 割り込み要求の選択時は、オーバーフローにより NMI 割り込み要求が発生します。

表 12.2 WDT の割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動
WOVI	TCNT のオーバーフロー	OVF	不可

12. ウォッチドッグタイマ (WDT)

12.6 使用上の注意事項

12.6.1 レジスタアクセス時の注意事項

TCNT、TCSR は、容易に書き替えられないように、ライト方法が一般のレジスタと異なります。次の方法で、リード/ライトを行ってください。

(1) TCNT、TCSR へのライト (WDT_0 の例)

TCNT、TCSR へライトするときは、必ずワード転送命令を使用してください。バイト転送命令では、ライトできません。

ライト時は、TCNT と TCSR が同一アドレスに割り当てられています。このため、図 12.6 に示すようにして転送してください。TCNT へライトするときは上位バイトを H'5A にし、下位バイトをライトデータにして転送してください。TCSR へライトするときは上位バイトを H'A5 にし、下位バイトをライトデータにして転送してください。

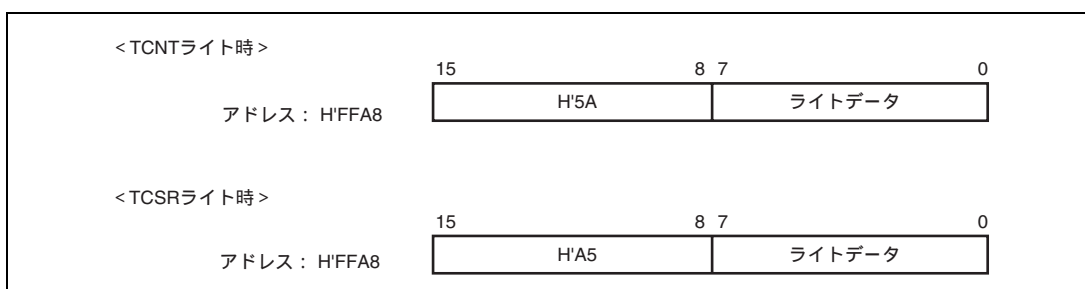


図 12.6 TCNT、TCSR へのライト (WDT_0 の例)

(2) TCNT、TCSR からのリード (WDT_0 の例)

リードは、一般のレジスタと同様の方法で行うことができます。TCSR はアドレス H'FFA8 に、TCNT はアドレス H'FFA9 にそれぞれ割り当てられています。

12.6.2 タイマカウンタ (TCNT) のライトとカウントアップの競合

TCNT のライトサイクル中の T_2 ステートでカウントアップが発生しても、カウントアップされずに TCNT へのカウンタライトが優先されます。これを図 12.7 に示します。

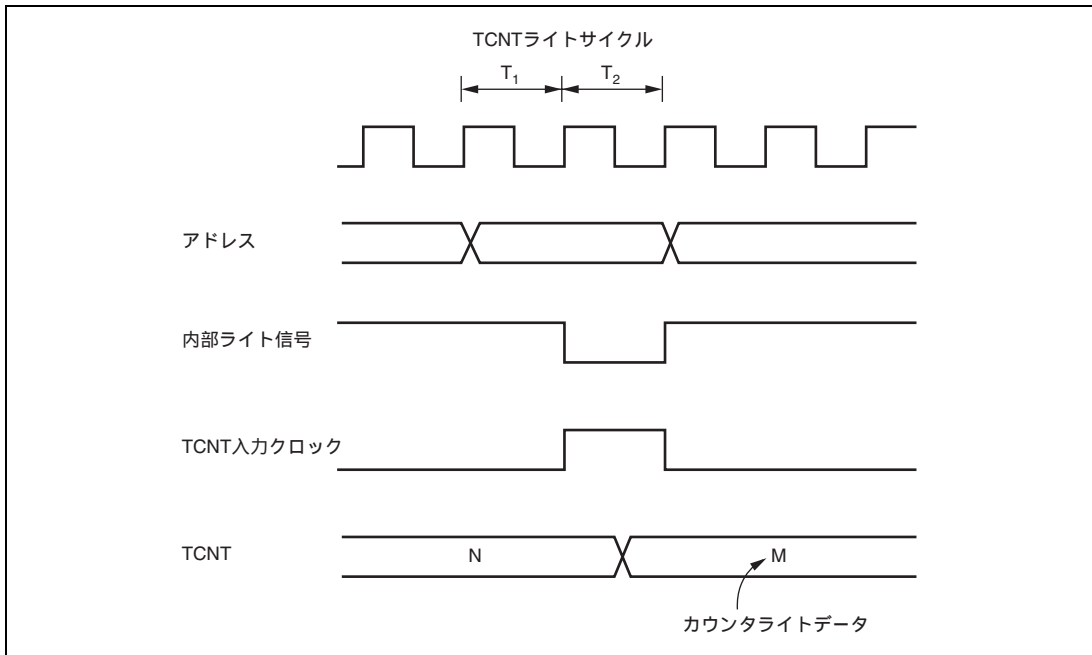


図 12.7 TCNT のライトとカウントアップの競合

12.6.3 CKS2 ~ CKS0 ビットの書き換え

WDT の動作中に TCSR の CKS2 ~ CKS0 ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS2 ~ CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

12.6.4 PSS ビットの書き換え

WDT の動作中に TCSR_1 の PSS ビットを書き換えると、正しい動作が行われない場合があります。PSS ビットを書き換えるときは、必ず WDT を停止させて (TME ビットを 0 にクリアして) から行ってください。

12.6.5 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われない場合があります。タイマモードの切り替えは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

12. ウォッチドッグタイマ (WDT)

12.6.6 $\overline{\text{RESO}}$ 信号によるシステムのリセット

$\overline{\text{RESO}}$ 出力信号を $\overline{\text{RES}}$ 端子に入力すると、本 LSI を正しく初期化できません。 $\overline{\text{RESO}}$ 信号は、 $\overline{\text{RES}}$ 端子に論理的に入力しないようにしてください。 $\overline{\text{RESO}}$ 信号でシステム全体をリセットするときは、図 12.8 に示すような回路で行ってください。

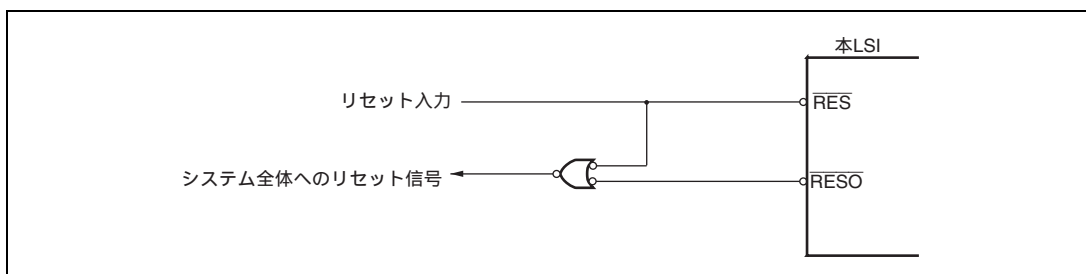


図 12.8 $\overline{\text{RESO}}$ 信号によるシステムのリセット回路例

13. シリアルコミュニケーションインタフェース (SCI)

本 LSI は独立した 2 チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。SCI は、調歩同期式とクロック同期式の 2 方式のシリアル通信が可能です。調歩同期方式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。また、調歩同期式モードでは複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。このほか、SCI は調歩同期式モードの拡張機能として、ISO/IEC 7816-3 (Identification Card) に準拠したスマートカード (IC カード) インタフェースをサポートしています。

13.1 特長

- シリアルデータ通信フォーマットを調歩同期式またはクロック同期式に設定可能
- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部と受信部はともにダブルバッファ構造になっていますので、連続送受信が可能です。

- 内蔵ボーレートジェネレータで任意のビットレートを選択可能
送受信クロックソースとして外部クロックの選択も可能です (スマートカードインタフェースを除く)。
- LSBファースト / MSBファースト選択可能 (調歩同期式7ビットデータを除く)
- 割り込み要因 : 4種類
送信終了、送信データエンプティ、受信データフル、受信エラーの割り込み要因があります。また、送信データエンプティ、受信データフル割り込み要因によりDTCを起動することができます。
- モジュールストップモードの設定可能

調歩同期式モード

- データ長 : 7ビット / 8ビット選択可能
- ストップビット長 : 1ビット / 2ビット選択可能
- パリティ : 偶数パリティ / 奇数パリティ / パリティなしから選択可能
- 受信エラーの検出 : パリティエラー、オーバランエラー、フレーミングエラー
- ブレークの検出 : フレーミングエラー発生時、RxD端子のレベルを直接リードすることでブレークを検出可能

13. シリアルコミュニケーションインタフェース (SCI)

クロック同期式モード

- データ長：8ビット
- 受信エラーの検出：オーバランエラー

スマートカードインタフェース

- 受信時パリティエラーを検出するとエラーシグナルを自動送出
- 送信時エラーシグナルを受信するとデータを自動再送信
- ダイレクトコンベンション / インバースコンベンションの両方をサポート

SCI₁、SCI₃ のブロック図を図 13.1 に示します。

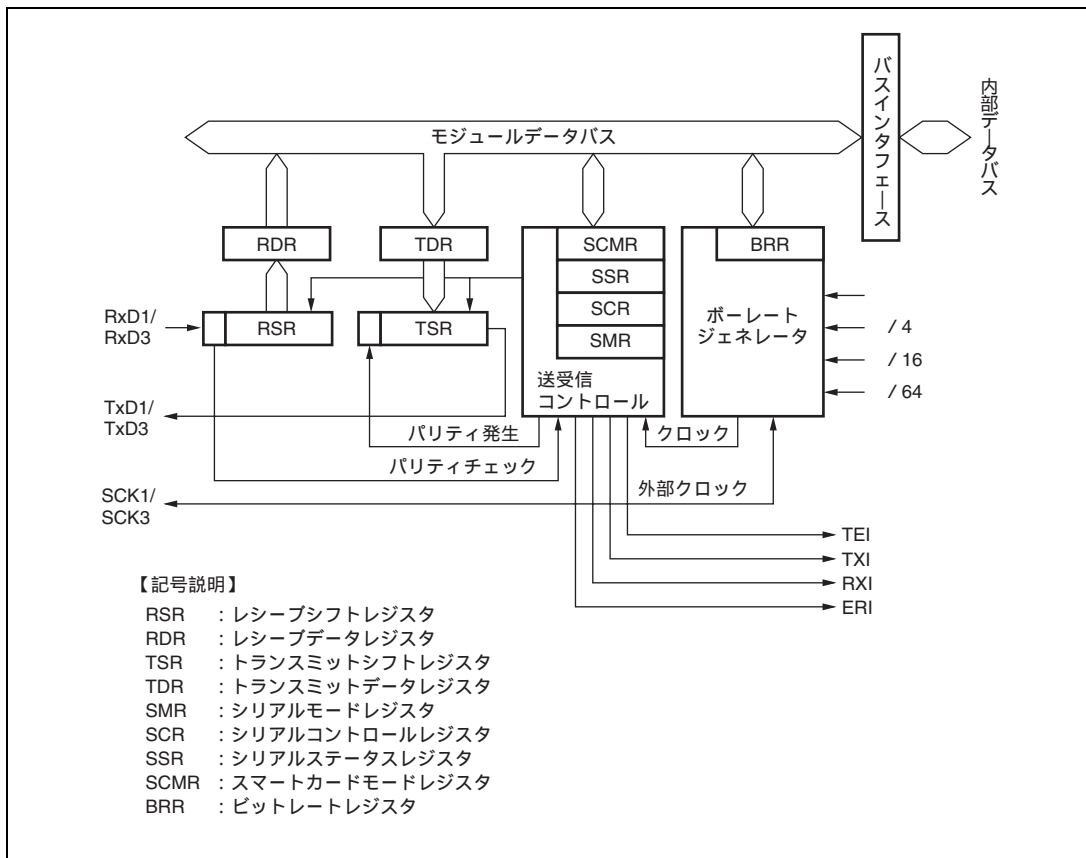


図 13.1 SCI₁、SCI₃ のブロック図

13.2 入出力端子

SCI には、表 13.1 の入出力端子があります。

表 13.1 端子構成

チャンネル	記号*	入出力	機能
1	SCK1	入出力	クロック入出力端子
	RxD1	入力	チャンネル 1 の受信データ入力端子
		入出力	チャンネル 1 の送受信データ入出力端子 (スマートカード時)
TxD1	出力	チャンネル 1 の送信データ出力端子	
3	SCK3	入出力	クロック入出力端子
	RxD3	入力	チャンネル 3 の受信データ入力端子
		入出力	チャンネル 3 の送受信データ入出力端子 (スマートカード時)
TxD3	出力	チャンネル 3 の送信データ出力端子	

【注】 * 本文中ではチャンネルを省略し、それぞれ SCK、RxD、TxD と略称します。

13.3 レジスタの説明

SCI にはチャンネルごとに以下のレジスタがあります。シリアルモードレジスタ (SMR)、シリアルステータスレジスタ (SSR)、シリアルコントロールレジスタ (SCR) は通常のシリアルコミュニケーションインタフェースモードとスマートカードインタフェースモードで一部のビットの機能が異なるため、別々に記載してあります。

- レシーブシフトレジスタ (RSR)
- レシーブデータレジスタ (RDR)
- トランスミットデータレジスタ (TDR)
- トランスミットシフトレジスタ (TSR)
- シリアルモードレジスタ (SMR)
- シリアルコントロールレジスタ (SCR)
- シリアルステータスレジスタ (SSR)
- スマートカードモードレジスタ (SCMR)
- ビットレートレジスタ (BRR)

13. シリアルコミュニケーションインタフェース (SCI)

13.3.1 レシーブシフトレジスタ (RSR)

RSR は RxD 端子から入力されたシリアルデータをパラレル変換するための受信用シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR へ転送されます。CPU から直接アクセスすることはできません。

13.3.2 レシーブデータレジスタ (RDR)

RDR は受信データを格納するための 8 ビットのレジスタです。1 フレーム分のデータを受信すると RSR から受信データがこのレジスタへ転送され、RSR は次のデータを受信可能となります。RSR と RDR はダブルバッファ構造になっているため連続受信動作が可能です。RDR のリードは SSR の RDRF が 1 にセットされていることを確認して 1 回だけ行ってください。RDR は CPU からライトできません。

13.3.3 トランスミットデータレジスタ (TDR)

TDR は送信データを格納するための 8 ビットのレジスタです。TSR に空きを検出すると TDR にライトされた送信データは TSR に転送されて送信を開始します。TDR と TSR はダブルバッファ構造になっているため連続送信動作が可能です。1 フレーム分のデータを送信したとき TDR につきの送信データがライトされていれば TSR へ転送して送信を続けます。TDR は CPU から常にリード/ライト可能ですが、シリアル送信を確実にを行うため TDR への送信データのライトは必ず SSR の TDRE が 1 にセットされていることを確認して 1 回だけ行ってください。

13.3.4 トランスミットシフトレジスタ (TSR)

TSR はシリアルデータを送信するためのシフトレジスタです。TDR にライトされた送信データは自動的に TSR に転送され、TxD 端子に送出することでシリアルデータの送信を行います。CPU からは直接アクセスすることはできません。

13.3.5 シリアルモードレジスタ (SMR)

SMR は通信フォーマットと内蔵ボーレートジェネレータのクロックソースを選択するためのレジスタです。SMR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

- 通常のシリアルコミュニケーションインタフェースモード (SCMRのSMIF = 0のとき)

ビット	ビット名	初期値	R/W	説明
7	C/Ā	0	R/W	コミュニケーションモード 0: 調歩同期式モードで動作します。 1: クロック同期式モードで動作します。
6	CHR	0	R/W	キャラクタレンクス (調歩同期式モードのみ有効) 0: データ長 8 ビットで送受信します。 1: データ長 7 ビットで送受信します。LSB ファースト固定となり、送信では TDR の MSB は送信されません。 クロック同期式モードではデータ長は 8 ビット固定です。
5	PE	0	R/W	パリティイネーブル (調歩同期式モードのみ有効) このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。マルチプロセッサフォーマットではこのビットの設定にかかわらずパリティビットの付加、チェックは行いません。
4	O/Ē	0	R/W	パリティモード (調歩同期式モードで PE = 1 のときのみ有効) 0: 偶数パリティで送受信します。 1: 奇数パリティで送受信します。
3	STOP	0	R/W	ストップビットレンクス (調歩同期式モードのみ有効) 送信時のストップビットの長さを選択します。 0: 1 ストップビット 1: 2 ストップビット 受信時はこのビットの設定にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が 0 の場合は次の送信フレームのスタートビットと見なします。
2	MP	0	R/W	マルチプロセッサモード (調歩同期式モードのみ有効) このビットが 1 のときマルチプロセッサ通信機能がイネーブルになります。マルチプロセッサモードでは PE、O/Ē ビットの設定は無効です。
1	CKS1	0	R/W	クロックセレクト 1、0
0	CKS0	0	R/W	内蔵ボーレートジェネレータのクロックソースを選択します。 00: クロック (n=0) 01: /4 クロック (n=1) 10: /16 クロック (n=2) 11: /64 クロック (n=3) このビットの設定値とボーレートの関係については、「13.3.9 ビットレートレジスタ (BRR)」を参照してください。n は設定値の 10 進表示で、「13.3.9 ビットレートレジスタ (BRR)」中の n の値を表します。

13. シリアルコミュニケーションインタフェース (SCI)

• スマートカードインタフェース (SCMRのSMIF = 1のとき)

ビット	ビット名	初期値	R/W	説明
7	GM	0	R/W	GSM モード このビットを 1 にセットすると GSM モードで動作します。GSM モードでは TEND のセットタイミングが先頭から 11.0 etu*に前倒しされ、クロック出力制御機能が追加されます。詳細は「13.7.8 クロック出力制御」を参照してください。
6	BLK	0	R/W	このビットを 1 にセットするとブロック転送モードで動作します。ブロック転送モードについての詳細は「13.7.3 ブロック転送モード」を参照してください。
5	PE	0	R/W	パリティネーブル (調歩同期式モードのみ有効) このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースではこのビットは 1 にセットして使用してください。
4	O/E	0	R/W	パリティモード (調歩同期式モードで PE = 1 のときのみ有効) 0 : 偶数パリティで送受信します。 1 : 奇数パリティで送受信します。 スマートカードインタフェースにおけるこのビットの使用方法については「13.7.2 データフォーマット (ブロック転送モード時を除く)」を参照してください。
3 2	BCP1 BCP0	0 0	R/W R/W	基本クロックパルス 1、0 スマートカードインタフェースモードにおいて 1 ビット転送期間中の基本クロック数を選択します。 00 : 32 クロック (S=32) 01 : 64 クロック (S=64) 10 : 372 クロック (S=372) 11 : 256 クロック (S=256) 詳細は、「13.7.4 受信データサンプリングタイミングと受信マージン」を参照してください。S は「13.3.9 ビットレートレジスタ (BRR)」中の S の値を表します。
1 0	CKS1 CKS0	0 0	R/W R/W	クロックセレクト 1、0 内蔵ボーレートジェネレータのクロックソースを選択します。 00 : クロック (n=0) 01 : /4 クロック (n=1) 10 : /16 クロック (n=2) 11 : /64 クロック (n=3) このビットの設定値とボーレートの関係については、「13.3.9 ビットレートレジスタ (BRR)」を参照してください。n は設定値の 10 進表示で、「13.3.9 ビットレートレジスタ (BRR)」中の n の値を表します。

【注】 * etu : Element Time Unit 1 ビットの転送期間

13.3.6 シリアルコントロールレジスタ (SCR)

SCR は以下の送受信制御と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。各割り込み要求については「13.8 割り込み要因」を参照してください。SCR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

- 通常のシリアルコミュニケーションインタフェースモード (SCMRのSMIF = 0のとき)

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを1にセットすると、TXI 割り込み要求がイネーブルになります。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを1にセットすると、RXI および ERI 割り込み要求がイネーブルになります。
5	TE	0	R/W	トランスミットイネーブル このビットを1にセットすると、送信動作が可能になります。
4	RE	0	R/W	レシーブイネーブル このビットを1にセットすると、受信動作が可能になります。
3	MPIE	0	R/W	マルチプロセッサインタラプトイネーブル (調歩同期式モードで SMR の MP = 1 のとき有効) このビットを1にセットすると、マルチプロセッサビットが0の受信データは読みとばし、SSR の RDRF、FER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが1のデータを受信すると、このビットは自動的にクリアされ通常の受信動作に戻ります。詳細は「13.5 マルチプロセッサ通信機能」を参照してください。
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル このビットを1にセットすると TEI 割り込み要求がイネーブルになります。
1	CKE1	0	R/W	クロックイネーブル 1、0
0	CKE0	0	R/W	クロックソースおよび SCK 端子の機能を選択します。 調歩同期式の場合 00 : 内部クロック (SCK 端子は入出力ポートとして使用できます) 01 : 内部クロック (SCK 端子からビットレートと同じ周波数のクロックを出力します) 1x : 外部クロック (ビットレートの 16 倍の周波数のクロックを SCK 端子に入力してください。) クロック同期式の場合 0x : 内部クロック (SCK 端子はクロック出力端子となります。) 1x : 外部クロック (SCK 端子はクロック入力端子となります。)

【注】 x : Don't care

13. シリアルコミュニケーションインタフェース (SCI)

• スマートカードインタフェース (SCMRのSMIF = 1のとき)

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを1にセットすると、TXI 割り込み要求がイネーブルになります。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを1にセットすると、RXI および ERI 割り込み要求がイネーブルになります。
5	TE	0	R/W	トランスミットイネーブル このビットを1にセットすると、送信動作が可能になります。
4	RE	0	R/W	レシーブイネーブル このビットを1にセットすると、受信動作が可能になります。
3	MPIE	0	R/W	マルチプロセッサインタラプトイネーブル (調歩同期式モードで SMR の MP = 1 のとき有効) スマートカードインタフェースではこのビットには0をライトして使用してください。
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル スマートカードインタフェースではこのビットには0をライトして使用してください。
1	CKE1	0	R/W	クロックイネーブル 1、0 SCK 端子からのクロック出力を制御します。GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は「13.7.8 クロック出力制御」を参照してください。 SMR の GM = 0 の場合 00 : 出力ディスエーブル (SCK 端子は入出力ポートとして使用可) 01 : クロック出力 1x : リザーブ SMR の GM = 1 の場合 00 : Low 出力固定 01 : クロック出力 10 : High 出力固定 11 : クロック出力
0	CKE0	0	R/W	

【注】 x : Don't care

13.3.7 シリアルステータスレジスタ (SSR)

SSR は SCI のステータスフラグと送受信マルチプロセッサビットで構成されます。TDRE、RDRF、ORER、PER、FER はクリアのみ可能です。SSR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

- 通常のシリアルコミュニケーションインタフェースモード (SCMRのSMIF=0のとき)

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)*	トランスミットデータレジスタエンpty TDR 内の送信データの有無を表示します。 [セット条件] • SCR の TE が 0 のとき • TDR から TSR にデータが転送され、TDR がデータライト可能になったとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • TXI 割り込み要求による DTC で TDR ヘデータをライトしたとき
6	RDRF	0	R/(W)*	レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 [セット条件] • 受信が正常終了し、RSR から RDR へ受信データが転送されたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • RXI 割り込み要求による DTC で RDR のデータをリードしたとき SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。
5	ORER	0	R/(W)*	オーバランエラー [セット条件] • RDRF = 1 の状態で次のデータを受信したとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき
4	FER	0	R/(W)*	フレーミングエラー [セット条件] • ストップビットが 0 のとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき 2 ストップのときも 1 ビット目のストップビットのみチェックします。

13. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
3	PER	0	R/(W)*	パリティエラー [セット条件] • 受信中にパリティエラーを検出したとき [クリア条件] • 1の状態をリードした後、0をライトしたとき
2	TEND	1	R	トランスミットエンド [セット条件] • SCRのTEが0のとき • 送信キャラクタの最後尾ビットの送信時、TDREが1のとき [クリア条件] • TDRE=1の状態をリードした後、TDREフラグに0をライトしたとき • TXI割り込み要求によるDTCでTDRヘデータをライトしたとき
1	MPB	0	R	マルチプロセッサビット 受信フレーム中のマルチプロセッサビットの値が格納されます。SCRのREが0のときは変化しません。
0	MPBT	0	R/W	マルチプロセッサビットトランスファ 送信フレームに付加するマルチプロセッサビットの値を設定します。

【注】 * フラグをクリアするための0ライトのみ可能です。

13. シリアルコミュニケーションインタフェース (SCI)

• スマートカードインタフェース (SCMRのSMIF = 1のとき)

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)* ¹	トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。 [セット条件] • SCR の TE が 0 のとき • TDR から TSR にデータが転送され、TDR がデータライト可能になったとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • TXI 割り込み要求により DTC で TDR へ送信データを転送したとき
6	RDRF	0	R/(W)* ¹	レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 [セット条件] • 受信が正常終了し、RSR から RDR へ受信データが転送されたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • RXI 割り込み要求による DTC で RDR のデータをリードしたとき SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。
5	ORER	0	R/(W)* ¹	オーバランエラー [セット条件] • RDRF = 1 の状態で次のデータを受信したとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき
4	ERS	0	R/(W)* ¹	エラーシグナルステータス [セット条件] • エラーシグナル Low をサンプリングしたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき
3	PER	0	R/(W)* ¹	パリティエラー [セット条件] • 受信中にパリティエラーを検出したとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき

13. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
2	TEND	1	R	<p>トランスミットエンド</p> <p>受信側からのエラーシグナルの応答がなく、次の送信データを TDR に転送可能になったときセットされます。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCR の TE=0 かつ ERS=0 のとき • 1 バイトのデータを送信して一定期間後、ERS=0 かつ TDRE=1 のとき。 <p>セットされるタイミングはレジスタの設定により以下のように異なります。</p> <p>GM=0、BLK=0 のとき、送信開始から 2.5etu^{*2}後</p> <p>GM=0、BLK=1 のとき、送信開始から 1.5etu^{*2}後</p> <p>GM=1、BLK=0 のとき、送信開始から 1.0etu^{*2}後</p> <p>GM=1、BLK=1 のとき、送信開始から 1.0etu^{*2}後</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • TDRE=1 の状態をリードした後、TDRE フラグに 0 をライトしたとき • TXI 割り込み要求により DTC で TDR へ送信データをライトしたとき
1	MPB	0	R	<p>マルチプロセッサビット</p> <p>スマートカードインタフェースでは使用しません。</p>
0	MPBT	0	R/W	<p>マルチプロセッサビットトランスファ</p> <p>スマートカードインタフェースではこのビットには 0 をライトして使用してください。</p>

【注】 *1 フラグをクリアするための 0 ライトのみ可能です。

*2 etu : Element Time Unit 1 ビットの転送期間

13.3.8 スマートカードモードレジスタ (SCMR)

SCMR はスマートカードインタフェースおよびそのフォーマットを選択するためのレジスタです。

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3	SDIR	0	R/W	スマートカードデータトランスファディレクション シリアル/パラレル変換の方向を選択します。 0: TDR の内容を LSB ファーストで送信 受信データを LSB ファーストとして RDR に格納 1: TDR の内容を MSB ファーストで送信 受信データを MSB ファーストとして RDR に格納 送受信フォーマットが 8 ビットデータの場合のみ有効です。7 ビットデータの場合は LSB ファーストに固定されます。
2	SINV	0	R/W	スマートカードデータインバート 送受信データのロジックレベルの反転を指定します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は SMR の O/E ビットを反転してください。 0: TDR の内容をそのまま送信、受信データをそのまま RDR に格納 1: TDR の内容を反転して送信、受信データを反転して RDR に格納
1	-	1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
0	SMIF	0	R/W	スマートカードインタフェースモードセレクト スマートカードインタフェースモードで動作させるとき 1 をセットします。 0: 通常の調歩同期式またはクロック同期式モード 1: スマートカードインタフェースモード

13.3.9 ビットレートレジスタ (BRR)

BRR はビットレートを調整するための 8 ビットのレジスタです。SCI はチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、クロック同期式モード、スマートカードインタフェースモードにおける BRR の設定値 N とビットレート B の関係を表 13.2 に示します。BRR の初期値は H'FF で、CPU から常にリード/ライト可能です。

表 13.2 BRR の設定値 N とビットレート B の関係

モード	ビットレート	誤差
調歩同期式	$B = \frac{\times 10^6}{64 \times 2^{2n-1} \times (N+1)}$	誤差 (%) = $\left\{ \frac{\times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式	$B = \frac{\times 10^6}{8 \times 2^{2n-1} \times (N+1)}$	
スマートカード インタフェース	$B = \frac{\times 10^6}{S \times 2^{2n+1} \times (N+1)}$	誤差 (%) = $\left\{ \frac{\times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$

【注】 B : ビットレート (bit/s)

N : ボーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)

n : 動作周波数 (MHz)

n と S : 下表のとおり SMR の設定値によって決まります。

SMR の設定値		n
CKS1	CKS0	
0	0	0
0	1	1
1	0	2
1	1	3

SMR の設定値		S
BCP1	BCP0	
0	0	32
0	1	64
1	0	372
1	1	256

通常の調歩同期式モードにおける BRR の値 N の設定例を表 13.3 に、各動作周波数における設定可能な最大ビットレートを表 13.4 に示します。また、クロック同期式モードにおける BRR の値 N の設定例を表 13.6 に、スマートカードインタフェースにおける BRR の値 N の設定例を表 13.8 に示します。スマートカードインタフェースでは 1 ビット転送期間の基本クロック数 S を選択できます。詳細は「13.7.4 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 13.5、表 13.7 に外部クロック入力時の最大ビットレートを示します。

13. シリアルコミュニケーションインタフェース (SCI)

表 13.3 ビットレートに対する BRR の設定例 (調歩同期式モード)

ビットレート (bit/s)	動作周波数 (MHz)								
	20			25			34		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	88	- 0.25	3	110	- 0.02	3	150	- 0.05
150	3	64	0.16	3	80	- 0.47	3	110	- 0.29
300	2	129	0.16	2	162	0.15	2	220	0.16
600	2	64	0.16	2	80	- 0.47	2	110	- 0.29
1200	1	129	0.16	1	162	0.15	1	220	0.16
2400	1	64	0.16	1	80	- 0.47	1	110	- 0.29
4800	0	129	0.16	0	162	0.15	0	220	0.16
9600	0	64	0.16	0	80	- 0.47	0	110	- 0.29
19200	0	32	- 1.36	0	40	- 0.76	0	54	0.62
31250	0	19	0.00	0	24	0.00	0	33	0.00
38400	0	15	1.73	0	19	1.73	0	27	- 1.18

【注】 誤差はなるべく 1%以内になるように設定してください。

表 13.4 各動作周波数における最大ビットレート (調歩同期式モード)

(MHz)	最大ビットレート (bit/s)	n	N
20	625000	0	0
25	781250	0	0
34	1062500	0	0

表 13.5 外部クロック入力時の最大ビットレート (調歩同期式モード)

(MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
20	5.0000	312500
25	6.2500	390625
34	8.0000	531250

13. シリアルコミュニケーションインタフェース (SCI)

表 13.6 ビットレートに対する BRR の設定例〔クロック同期式モード〕

ビットレート (bit/s)	動作周波数 (MHz)					
	20		24		34	
	n	N	n	N	n	N
110						
250						
500	-	-	-	-	-	-
1k	-	-	-	-	-	-
2.5k	2	124	2	149	2	212
5k	1	249	2	74	2	105
10k	1	124	1	149	1	212
25k	0	199	0	239	1	84
50k	0	99	0	119	0	169
100k	0	49	0	59	0	84
250k	0	19	0	23	0	33
500k	0	9	0	11	0	16
1M	0	4	0	5		
2.5M	0	1				
5M	0	0*				

【記号説明】

- 空欄 : 設定できません。
- : 設定可能ですが誤差がでます。
- * : 連続送信 / 連続受信はできません。

表 13.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

(MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
20	3.3333	3333333.3
25	4.1667	4166666.7
34	5.6667	5666666.7

表 13.8 ビットレートに対する BRR の設定例
(スマートカードインタフェースモードで n=0、S=372 のとき)

ビットレート (bit/s)	動作周波数 (MHz)											
	20.00			21.4272			25			34		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	2	- 6.65	0	2	0.00	0	3	- 12.49	0	4	- 4.79

表 13.9 各動作周波数における最大ビットレート
(スマートカードインタフェースモードで S=372 のとき)

(MHz)	最大ビットレート (bit/s)	n	N
21.4272	28800	0	0
25.00	33602	0	0
34	45699	0	0

13.4 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なフォーマットを図 13.2 に示します。1 フレームは、スタートビット (Low レベル) から始まり送受信データ、パリティビット、ストップビット (High レベル) の順で構成されます。調歩同期式シリアル通信では、通信回線は通常マーク状態 (High レベル) に保たれています。SCI は通信回線を監視し、スペース (Low レベル) を検出するとスタートビットとみなしてシリアル通信を開始します。SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

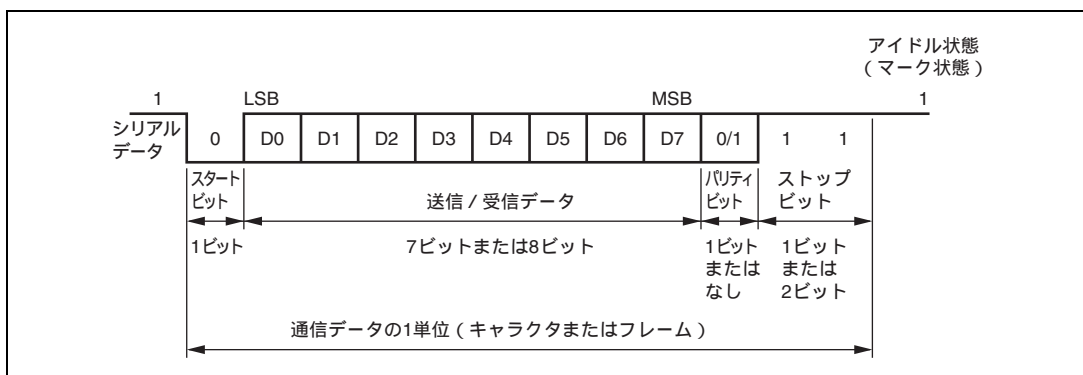


図 13.2 調歩同期式通信のデータフォーマット (8 ビットデータ/パリティあり/2ストップビットの例)

13. シリアルコミュニケーションインタフェース (SCI)

13.4.1 送受信フォーマット

調歩同期式モードで設定できる送受信フォーマットを、表 13.10 に示します。フォーマットは 12 種類あり、SMR の選定により選択できます。マルチプロセッサビットについては「13.5 マルチプロセッサ通信機能」を参照してください。

表 13.10 シリアル送信 / 受信フォーマット (調歩同期式モード)

SMRの設定				シリアル送信 / 受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	0	S	8ビットデータ								P	STOP		
0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	0	S	7ビットデータ							P	STOP			
1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	-	1	0	S	8ビットデータ								MPB	STOP		
0	-	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	-	1	0	S	7ビットデータ							MPB	STOP			
1	-	1	1	S	7ビットデータ							MPB	STOP	STOP		

【記号説明】

- S : スタートビット
- STOP : ストップビット
- P : パリティビット
- MPB : マルチプロセッサビット

13.4.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI はビットレートの 16 倍の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、図 13.3 に示すように受信データを基本クロックの 8 ヶ目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left\{ \left(0.5 - \frac{1}{2N} \right) - \frac{D - 0.5}{N} (1 + F) - (L - 0.5) F \right\} \times 100 \quad [\%] \quad \dots \text{式 (1)}$$

M: 受信マージン (%)

N: クロックに対するビットレートの比 (N=16)

D: クロックのデューティ (D=0.5~1.0)

L: フレーム長 (L=9~12)

F: クロック周波数の偏差の絶対値

式 (1) で、F (クロック周波数の偏差の絶対値) = 0、D (クロックのデューティ) = 0.5 とすると、

$$M = \left\{ 0.5 - 1 / (2 \times 16) \right\} \times 100 \quad [\%] = 46.875\%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

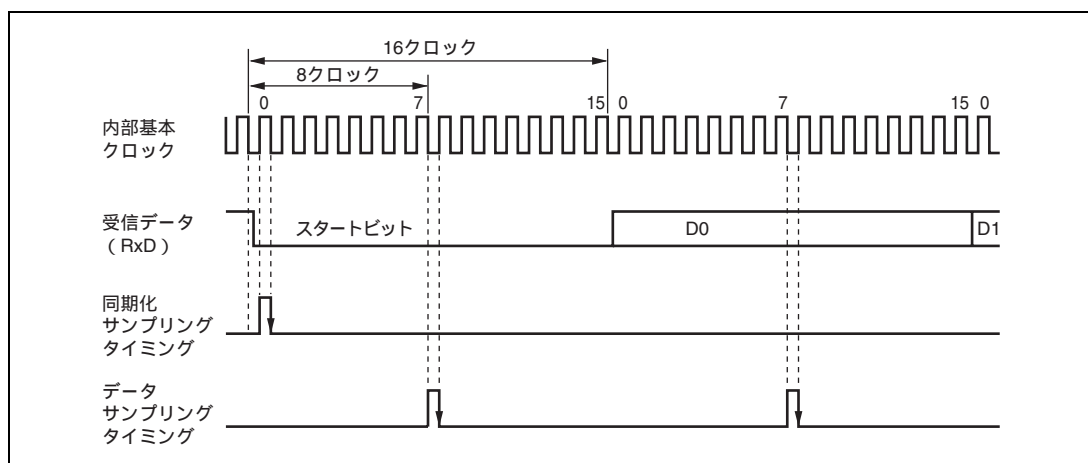


図 13.3 調歩同期式モードの受信データサンプリングタイミング

13. シリアルコミュニケーションインタフェース (SCI)

13.4.3 クロック

SCIの送受信クロックは、SMRの C/\bar{A} ビットとSCRのCKE1、CKE0ビットの設定により、内蔵ポーレートジェネレータの生成する内部クロックまたはSCK端子から入力される外部クロックのいずれかを選択できます。外部クロックを使用する場合は、SCK端子にビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるときはSCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図13.4に示すように送信データの中央でクロックが立ち上がります。

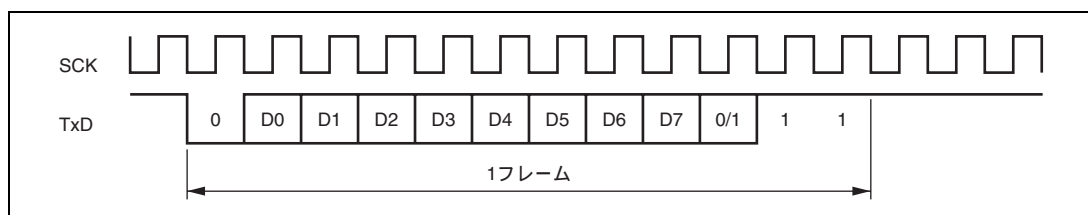


図 13.4 出力クロックと送信データの位相関係 (調歩同期式モード)

13.4.4 SCI の初期化 (調歩同期式)

データの送受信前に、SCR の TE、RE ビットをクリアした後、図 13.5 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TE ビットおよび RE ビットを 0 にクリアしてから変更を行ってください。TE を 0 にクリアすると、SSR の TDRE は 1 にセットされますが、RE を 0 にクリアしても、SSR の RDRF、PER、FER、ORER の各フラグ、および RDR は初期化されませんので注意してください。調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

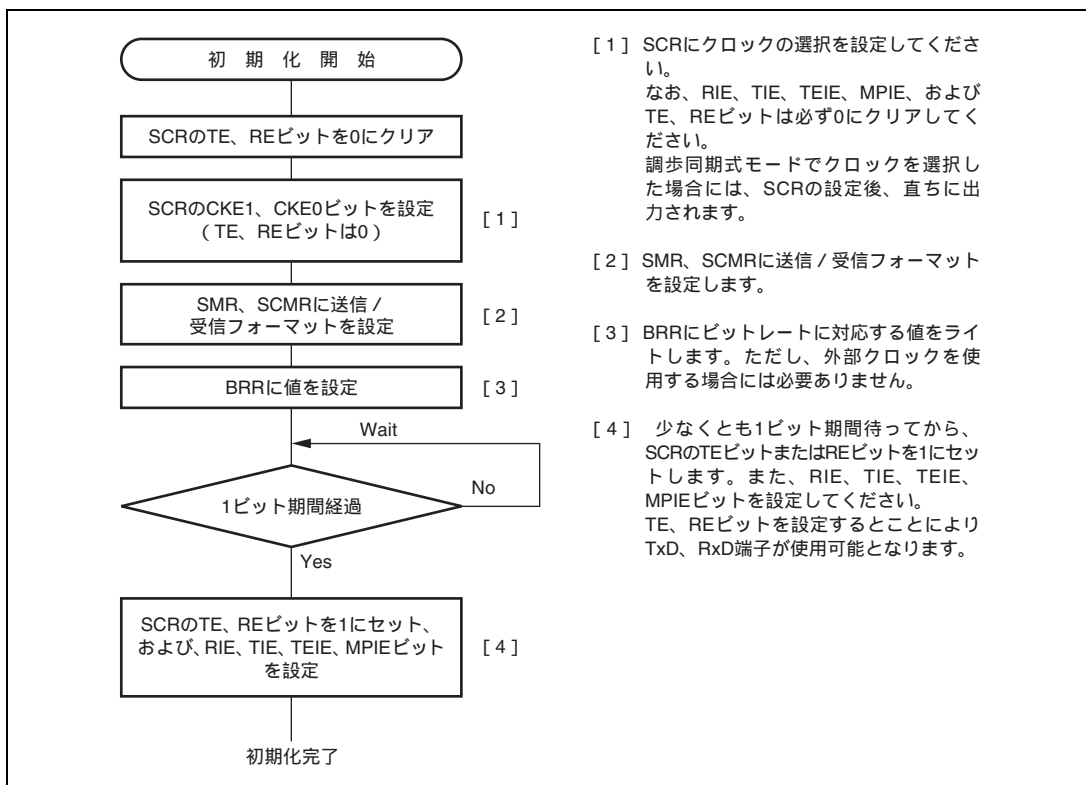


図 13.5 SCI の初期化フローチャートの例

13. シリアルコミュニケーションインタフェース (SCI)

13.4.5 シリアルデータ送信 (調歩同期式)

図 13.6 に調歩同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. TxD端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット (フォーマットによってはない場合もあります)、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDを1をセットし、ストップビット送出後、1を出力してマーク状態になります。このときSCRのTEIEが1にセットされているとTEI割り込み要求を発生します。

図 13.7 にデータ送信のフローチャートの例を示します。

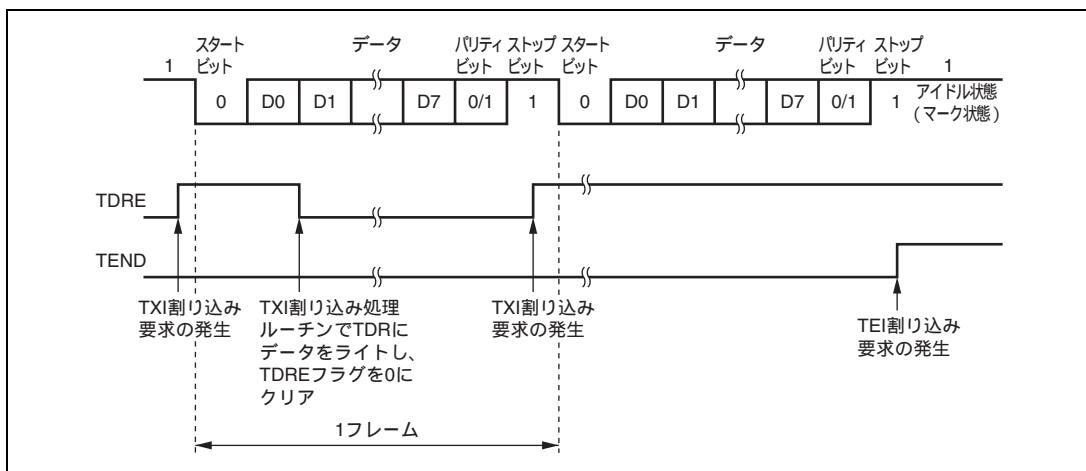


図 13.6 調歩同期式モードの送信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)

13. シリアルコミュニケーションインタフェース (SCI)

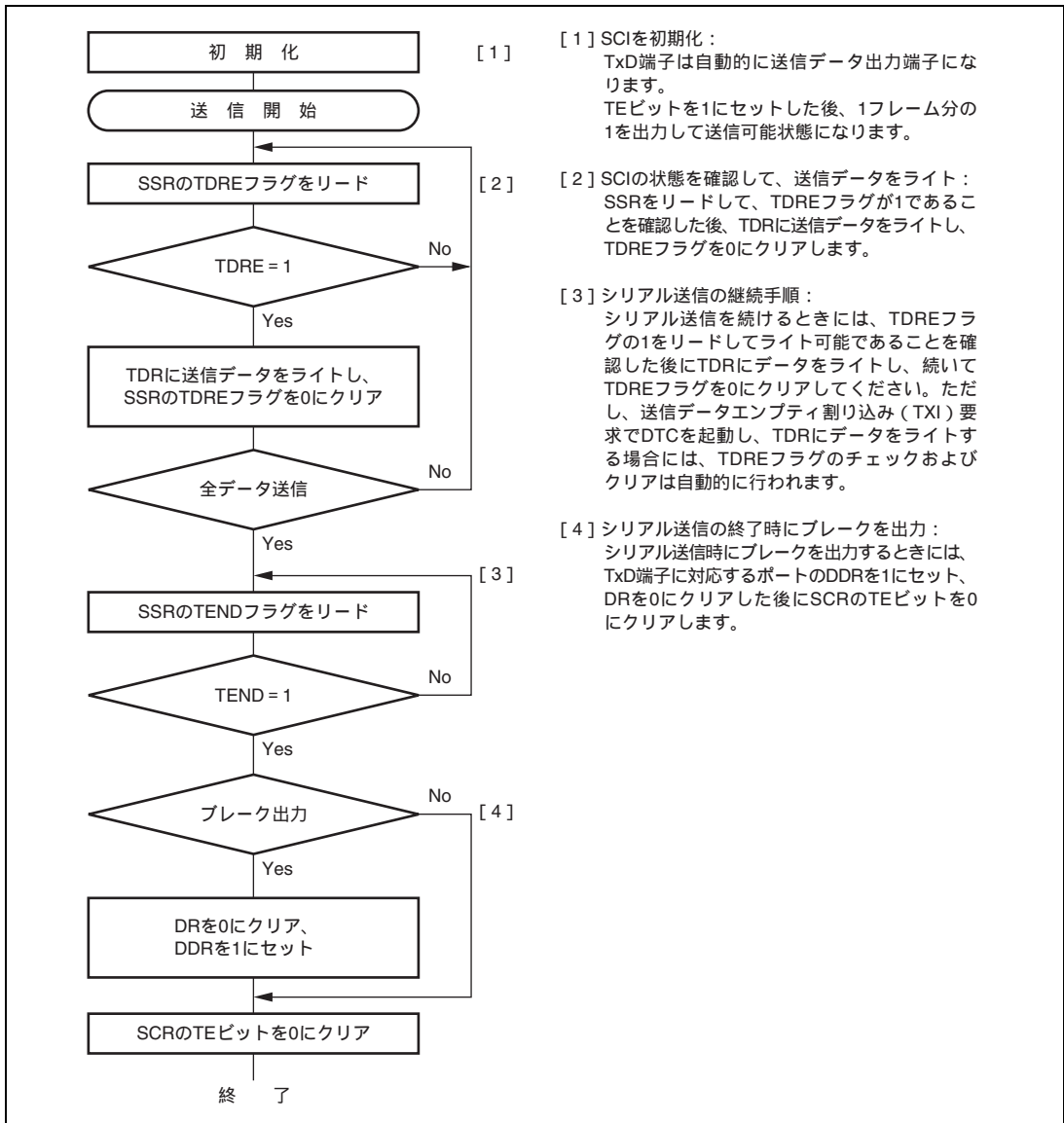


図 13.7 シリアル送信のフローチャートの例

13.4.6 シリアルデータ受信 (調歩同期式)

図 13.8 に調歩同期式モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. 通信回線を監視し、スタートビットを検出すると内部を同期化して受信データをRSRに取り込み、パリティビットとストップビットをチェックします。
2. オーバランエラーが発生したとき (SSRのRDRFが1にセットされたまま次のデータを受信完了したとき) はSSRのORERをセットします。このときSCRのRIEが1にセットされているとERI割り込み要求が発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. パリティエラーを検出した場合はSSRのPERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求が発生します。
4. フレーミングエラー (ストップビットが0のとき) を検出した場合はSSRのFERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求が発生します。
5. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI割り込み要求が発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

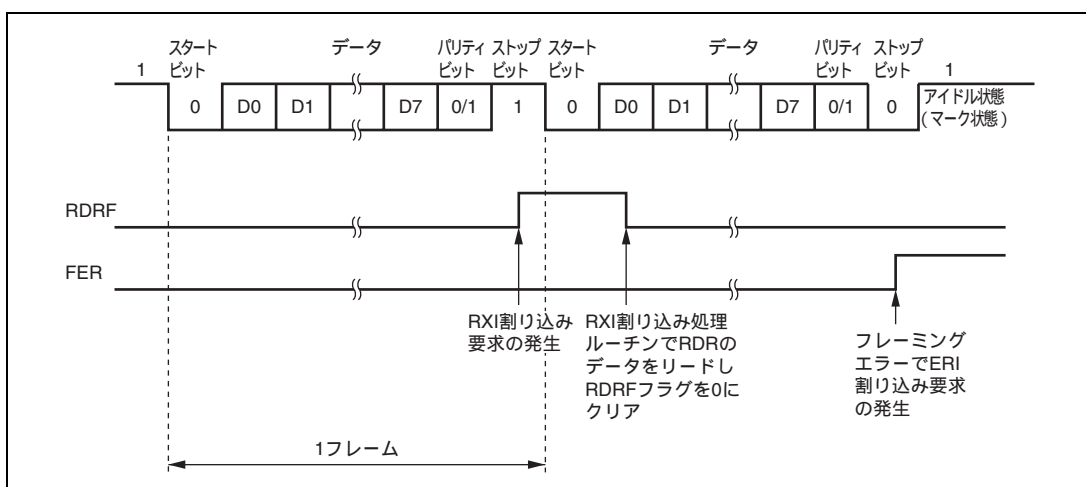


図 13.8 SCI の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

受信エラーを検出した場合の SSR の各ステータスフラグの状態と受信データの処理を表 13.11 に示します。受信エラーを検出すると、RDRF はデータを受信する前の状態を保ちます。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 13.9 にデータ受信のためのフローチャートの例を示します。

表 13.11 SSR のステータスフラグの状態と受信データの処理

SSR のステータスフラグ				受信データ	受信エラーの状態
RDRF*	ORER	FER	PER		
1	1	0	0	消失	オーバランエラー
0	0	1	0	RDR へ転送	フレーミングエラー
0	0	0	1	RDR へ転送	パリティエラー
1	1	1	0	消失	オーバランエラー + フレーミングエラー
1	1	0	1	消失	オーバランエラー + パリティエラー
0	0	1	1	RDR へ転送	フレーミングエラー + パリティエラー
1	1	1	1	消失	オーバランエラー + フレーミングエラー + パリティエラー

【注】 * RDRF は、データ受信前の状態を保持します。

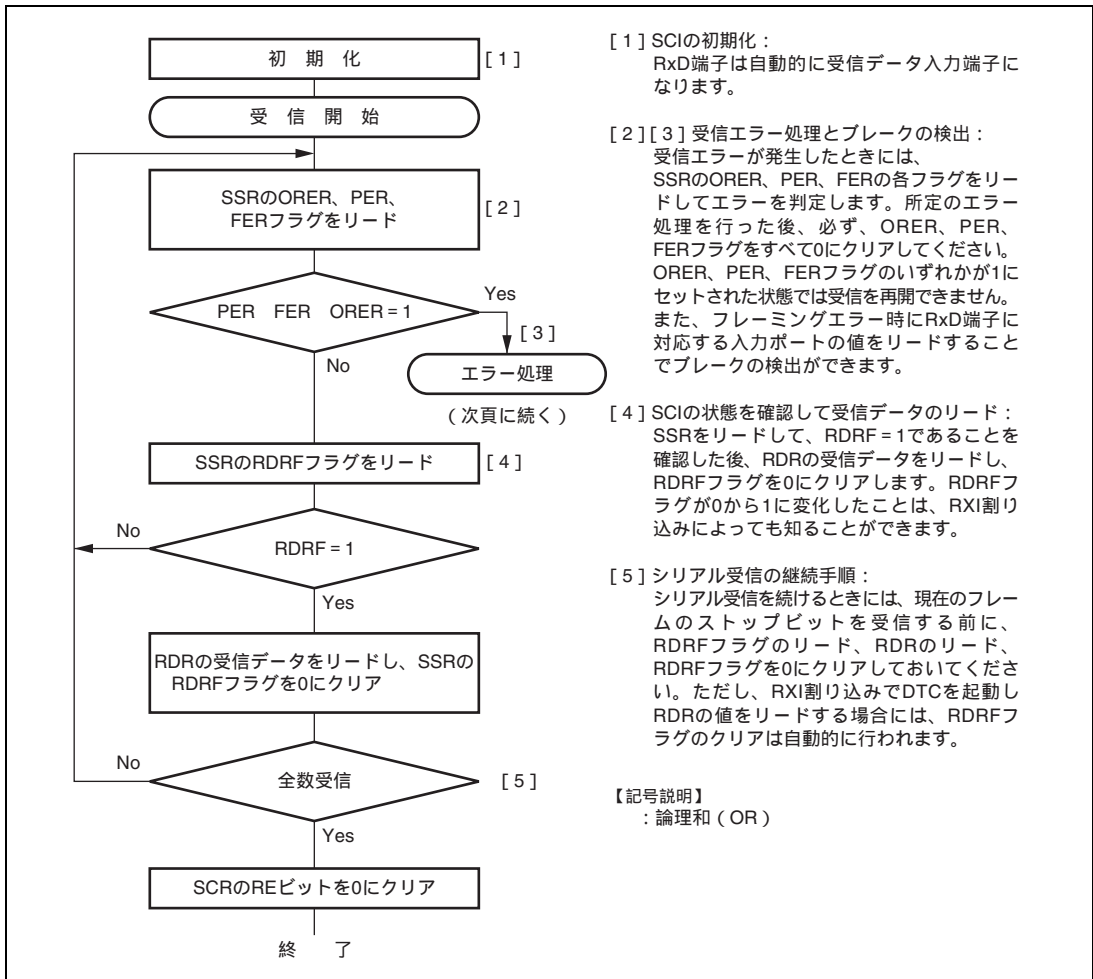


図 13.9 シリアル受信データフローチャートの例 (1)

13. シリアルコミュニケーションインタフェース (SCI)

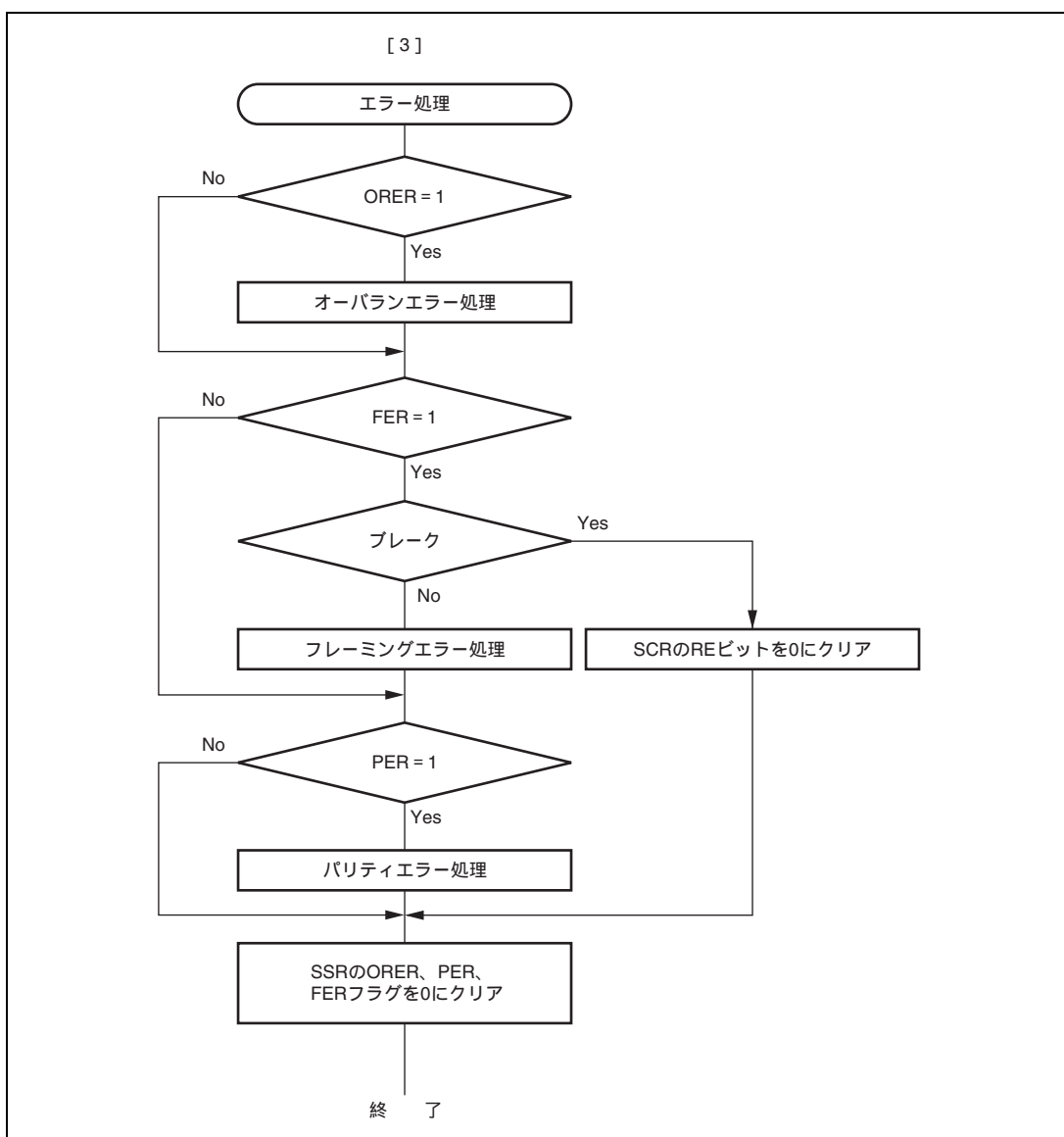


図 13.9 シリアル受信データフローチャートの例 (2)

13.5 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。図 13.10 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。

SCI はこの機能をサポートするため、SCR に MPIE ビットが設けてあります。MPIE を 1 にセットすると、マルチプロセッサビットが 1 のデータを受け取るまで RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 の受信キャラクタを受け取ると、SSR の MPB が 1 にセットされるとともに MPIE が自動的にクリアされて通常の受信動作に戻ります。このとき SCR の RIE がセットされていると RXI 割り込みを発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

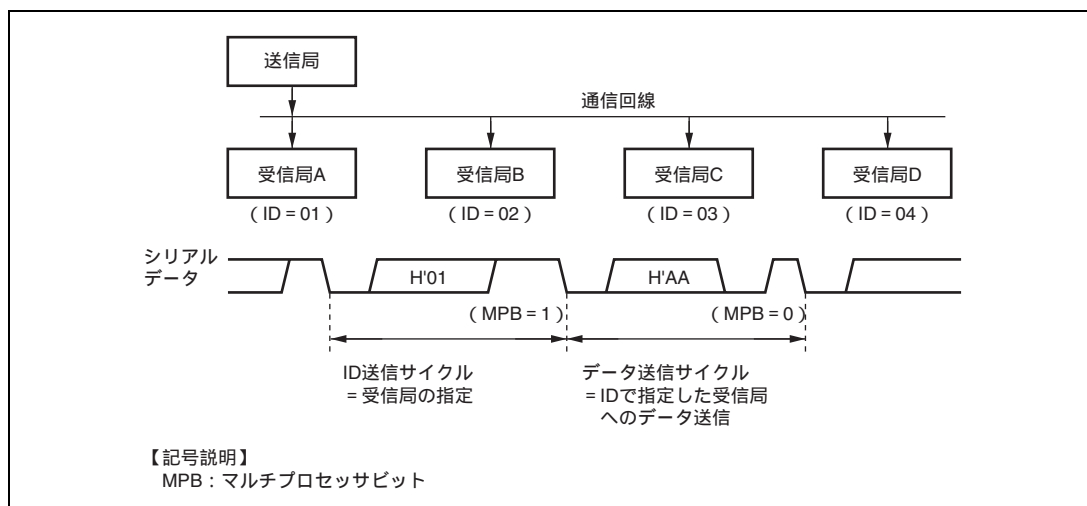


図 13.10 マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ H'AA の送信の例)

13.5.1 マルチプロセッサシリアルデータ送信

図 13.11 にマルチプロセッサデータ処理のフローチャートの例を示します。ID 送信サイクルでは SSR の MPBT を 1 にセットして送信してください。データ送信サイクルでは SSR の MPBT を 0 にクリアして送信してください。その他の動作は調歩同期式モードの動作と同じです。

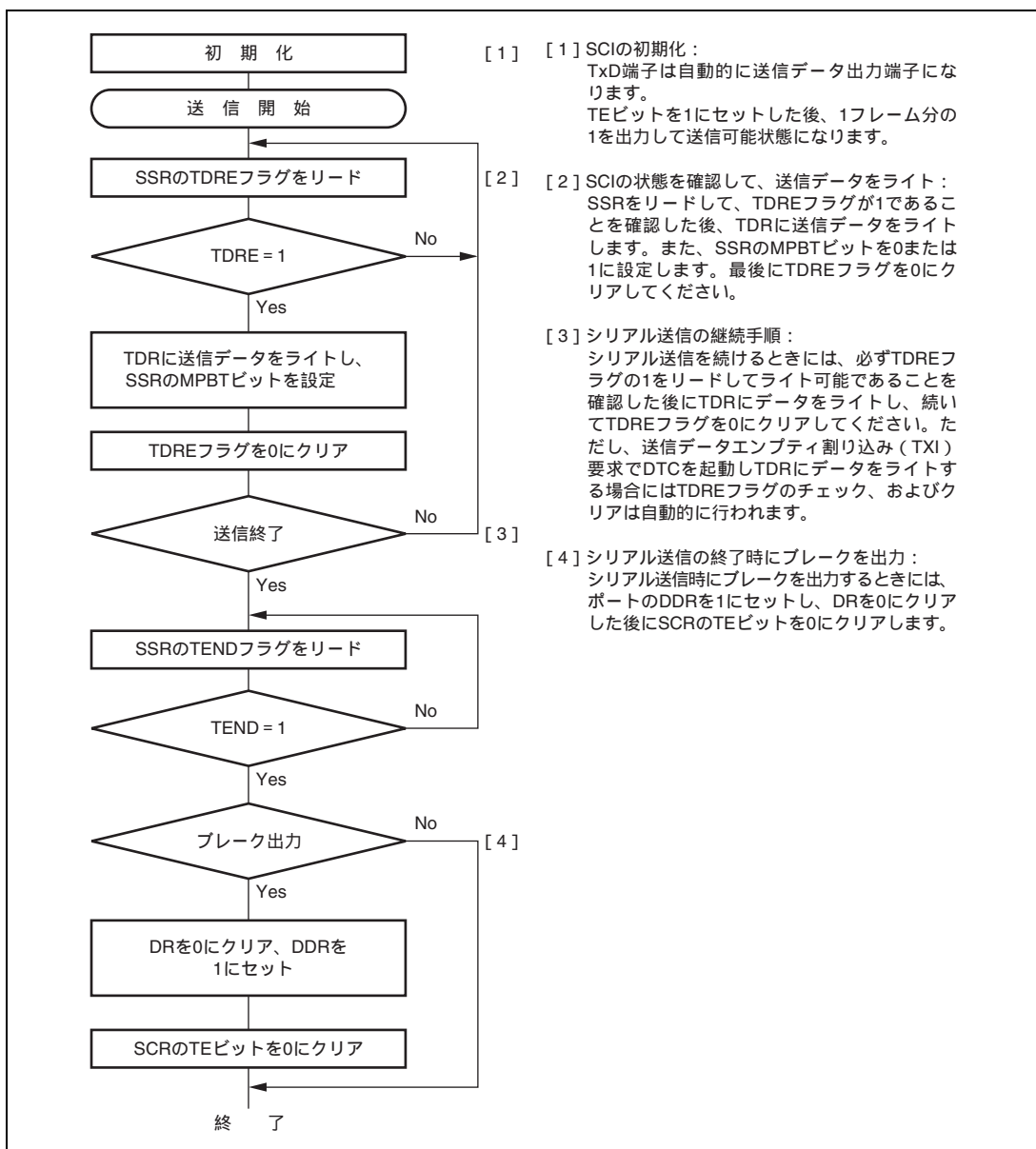


図 13.11 マルチプロセッサシリアル送信のフローチャートの例

13.5.2 マルチプロセッサシリアルデータ受信

図 13.13 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR の MPIE を 1 にセットするとマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。マルチプロセッサビットが 1 の通信データを受信すると受信データを RDR に転送します。このとき RXI 割り込み要求を発生します。その他の動作は調歩同期モードの動作と同じです。図 13.12 に受信時の動作例を示します。

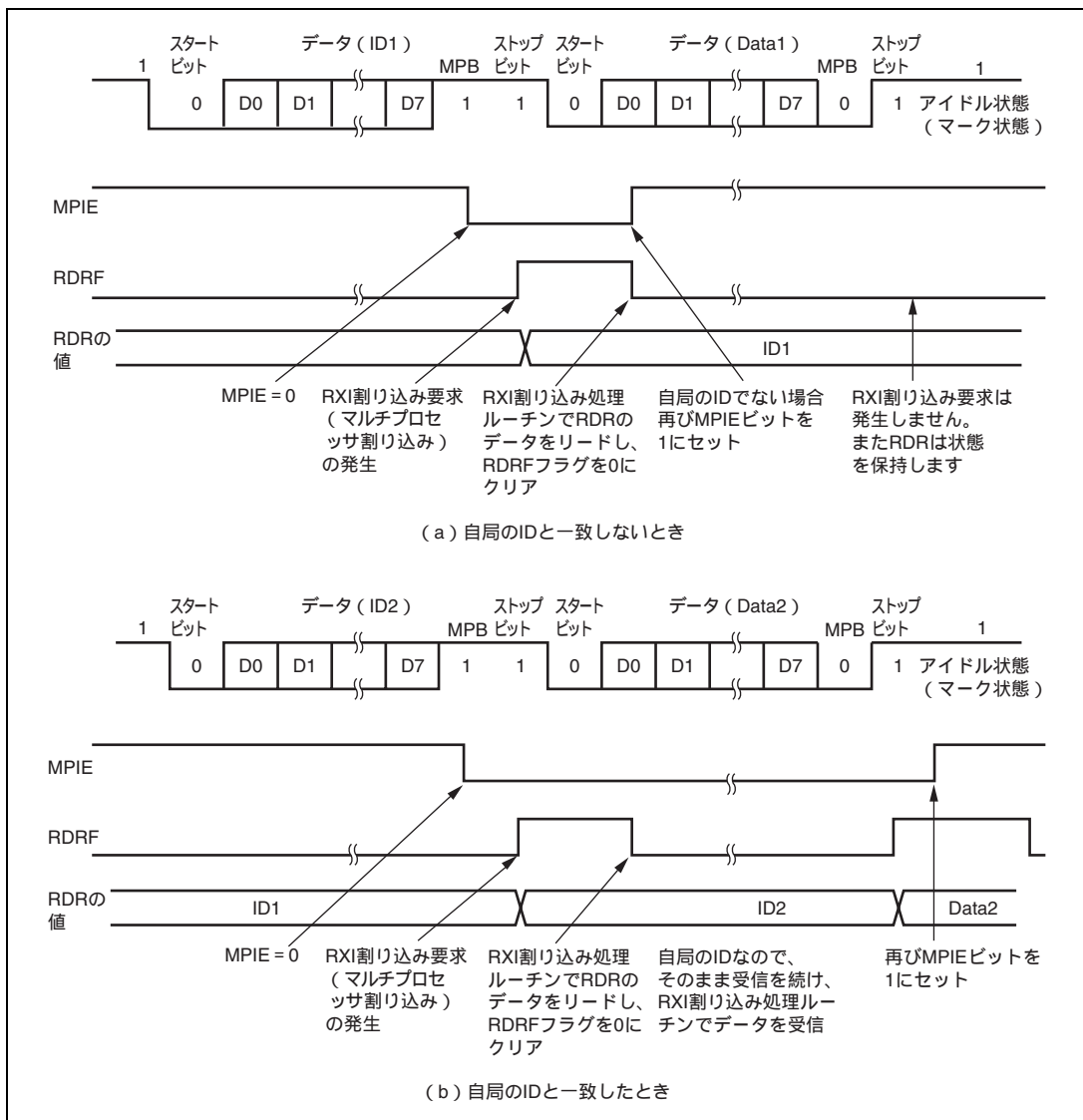


図 13.12 SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

13. シリアルコミュニケーションインタフェース (SCI)

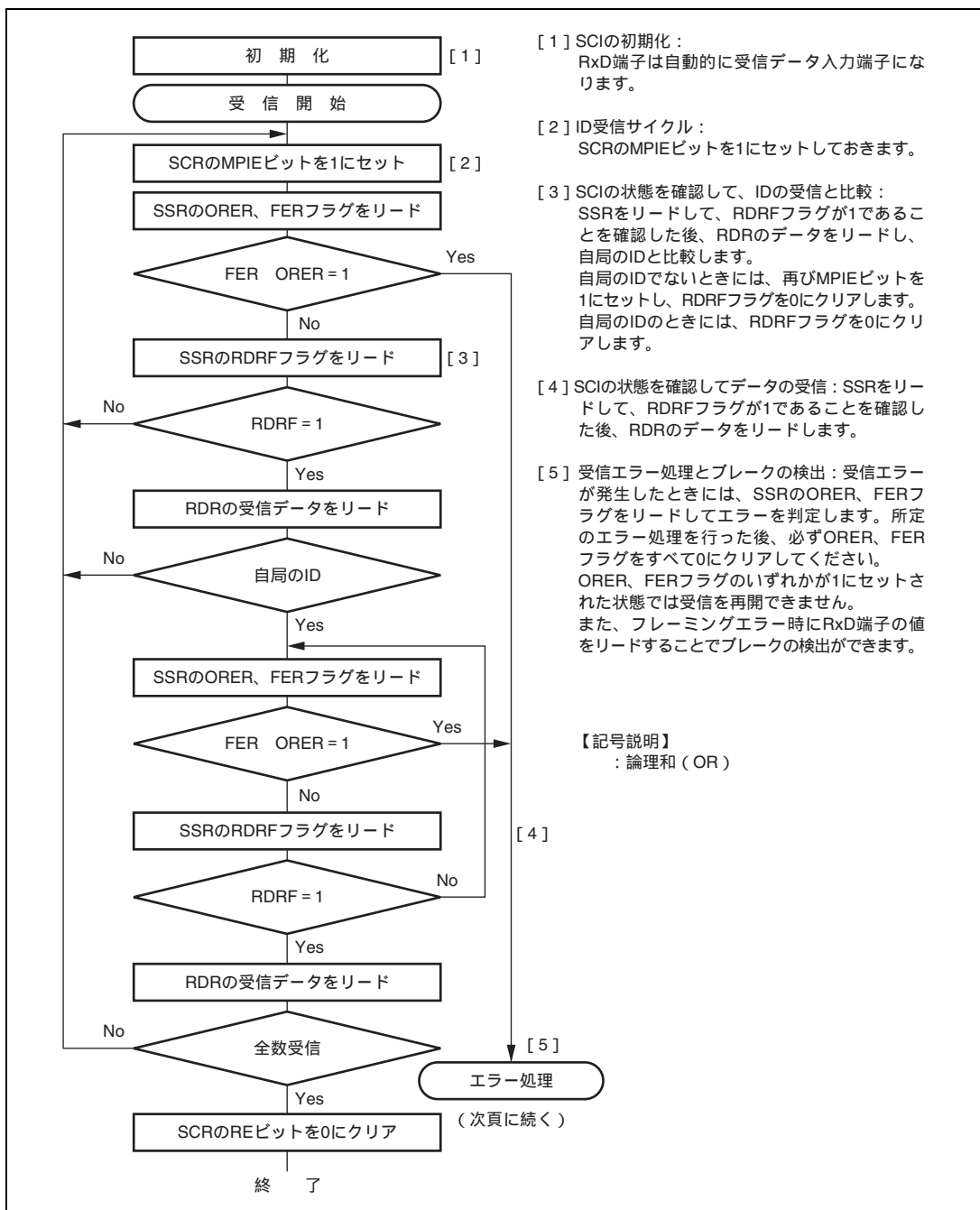


図 13.13 マルチプロセッサシリアル受信のフローチャートの例 (1)

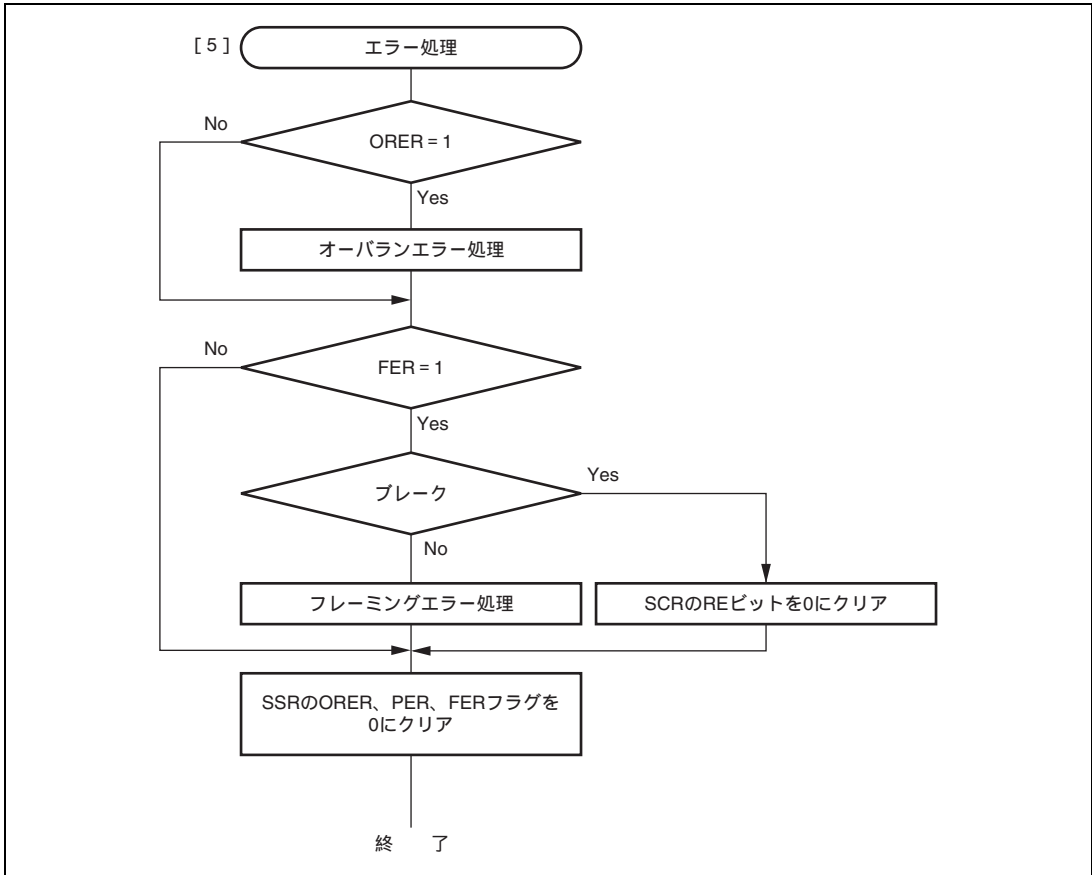


図 13.13 マルチプロセッサシリアル受信のフローチャートの例 (2)

13.6 クロック同期式モードの動作

クロック同期式通信の通信データのフォーマットを図 13.14 に示します。クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。SCI はデータ送信時は同期クロックの立ち上がりから次の立ち上がりまで出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。8 ビット出力後の通信回線は最終ビット出力状態を保ちます。クロック同期式モードでは、パリティビットやマルチプロセッサビットの付加はできません。SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。送信部 / 受信部はともにダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

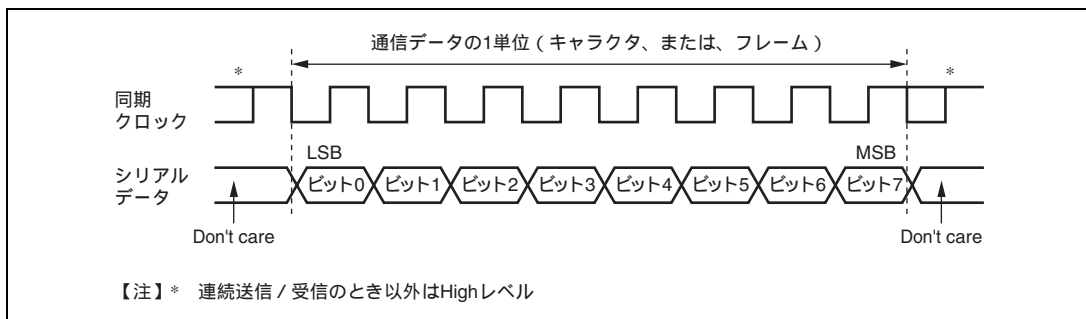


図 13.14 クロック同期式通信のデータフォーマット (LSB ファーストの場合)

13.6.1 クロック

SCR の CKE1、CKE0 の設定により、内蔵ボーレートジェネレータが生成する内部クロックまたは SCK 端子から入力される外部同期クロックを選択できます。内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High レベルに固定されます。

13.6.2 SCI の初期化 (クロック同期式)

データの送受信前に、SCRのTE、REビットをクリアした後、図13.15のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TEビットおよびREビットを0にクリアしてから変更を行ってください。TEを0にクリアすると、SSRのTDREは1にセットされますが、REを0にクリアしても、SSRのRDRF、PER、FER、ORERの各フラグ、およびRDRは初期化されませんので注意してください。

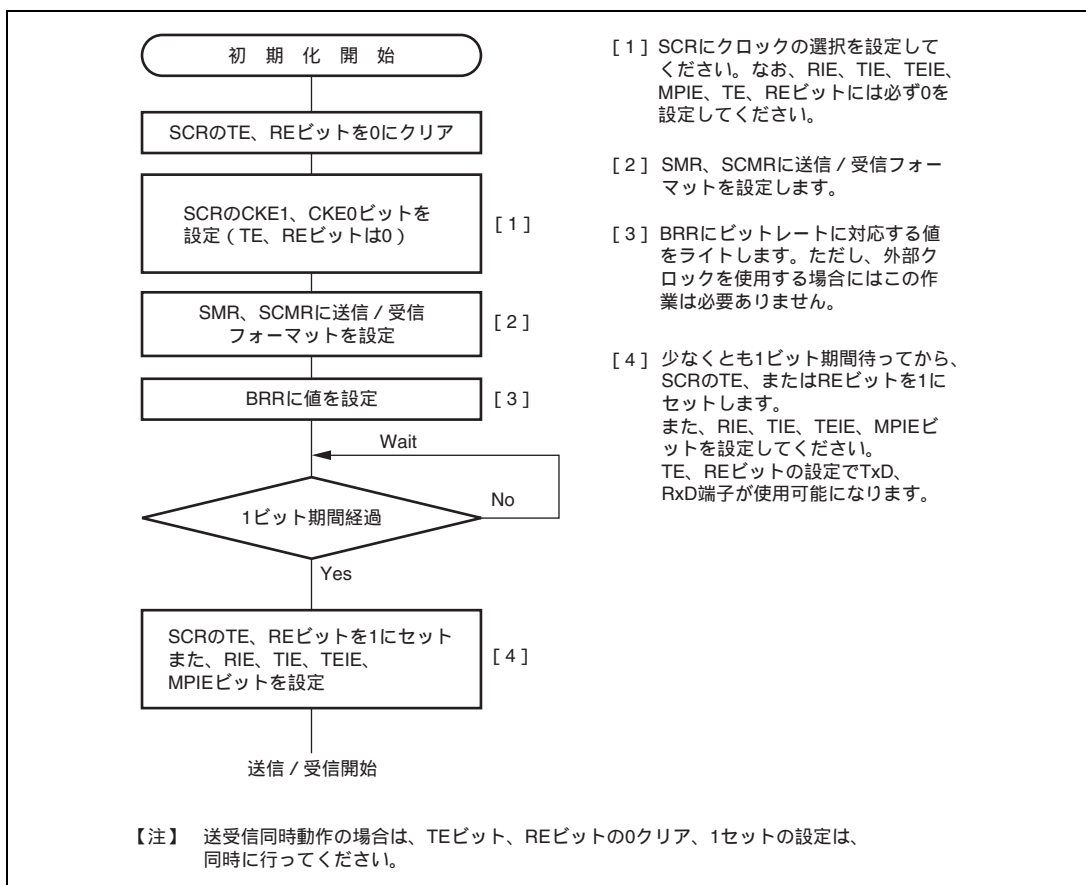


図 13.15 SCI の初期化フローチャートの例

13. シリアルコミュニケーションインタフェース (SCI)

13.6.3 シリアルデータ送信 (クロック同期式)

図 13.16 にクロック同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. クロック出力モードに設定したときには出力クロックに同期して、外部クロックに設定したときには入力クロックに同期して、TxD端子から8ビットのデータを出力します。
4. 最終ビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDに1をセットし、最終ビット出力状態を保持します。このときSCRのTEIEが1にセットされているとTEI割り込み要求を発生します。SCK端子はHighレベルに固定されます。

図 13.17 にデータ送信のフローチャートの例を示します。受信エラーフラグ (ORER、FER、PER) が 1 にセットされた状態では TDRE をクリアしても送信を開始しません。送信開始の前に、必ず受信エラーフラグを 0 にクリアしておいてください。また、受信エラーフラグは RE ビットをクリアしただけではクリアされませんので注意してください。

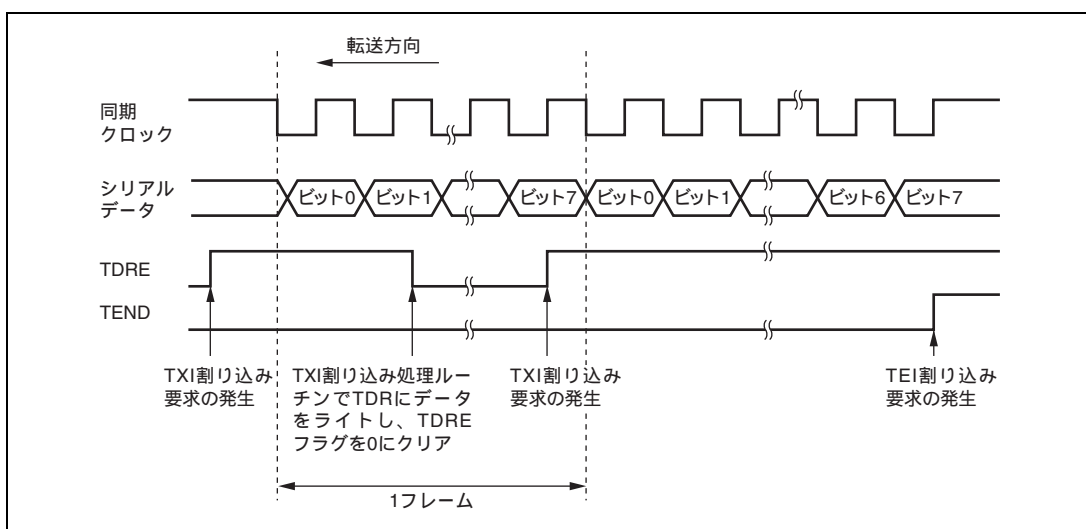


図 13.16 クロック同期式モードの送信時の動作例

13. シリアルコミュニケーションインタフェース (SCI)

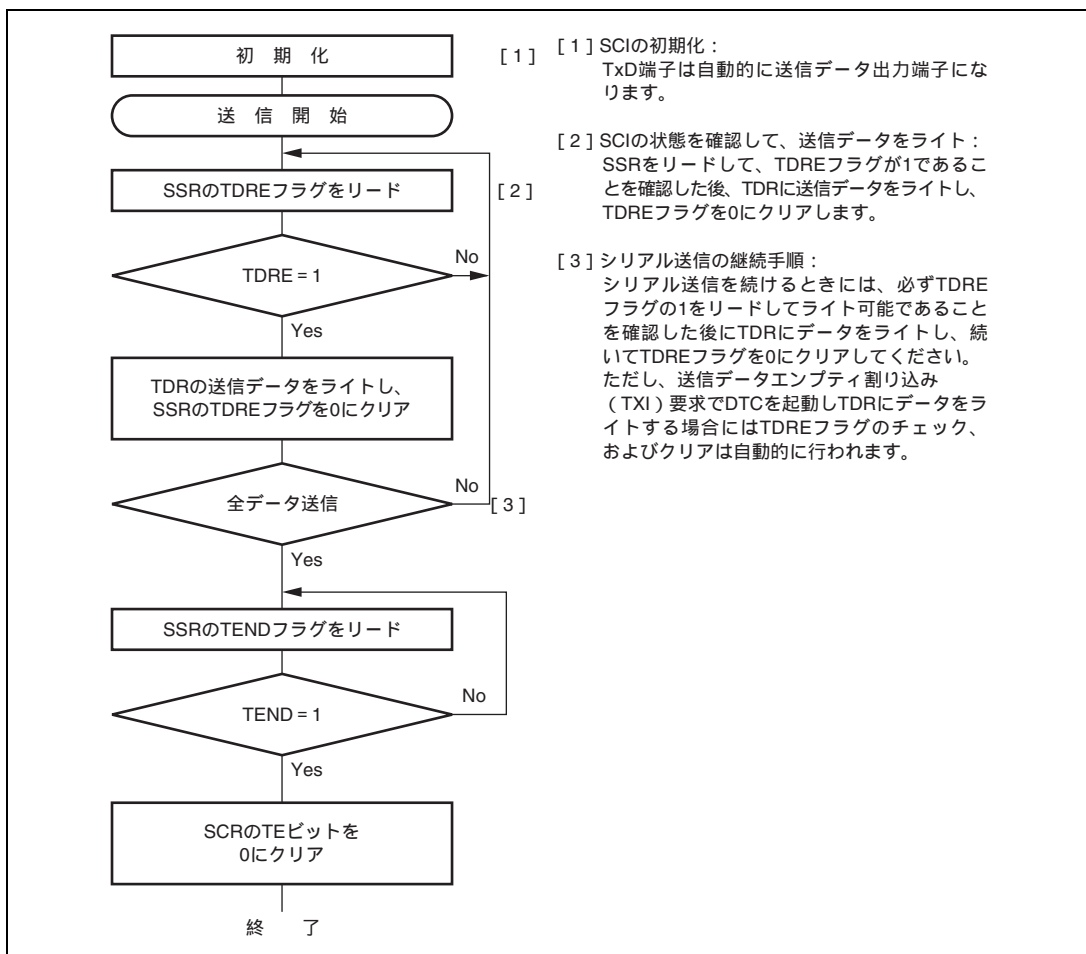


図 13.17 シリアル送信のフローチャートの例

13. シリアルコミュニケーションインタフェース (SCI)

13.6.4 シリアルデータ受信 (クロック同期式)

図 13.18 にクロック同期式モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. SCIは同期クロックの入力または、出力に同期して内部を初期化して受信を開始し、受信データをRSRに取り込みます。
2. オーバランエラーが発生したとき (SSRのRDRFが1にセットされたまま次のデータを受信完了したとき) はSSRのORERをセットします。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI割り込み要求を発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

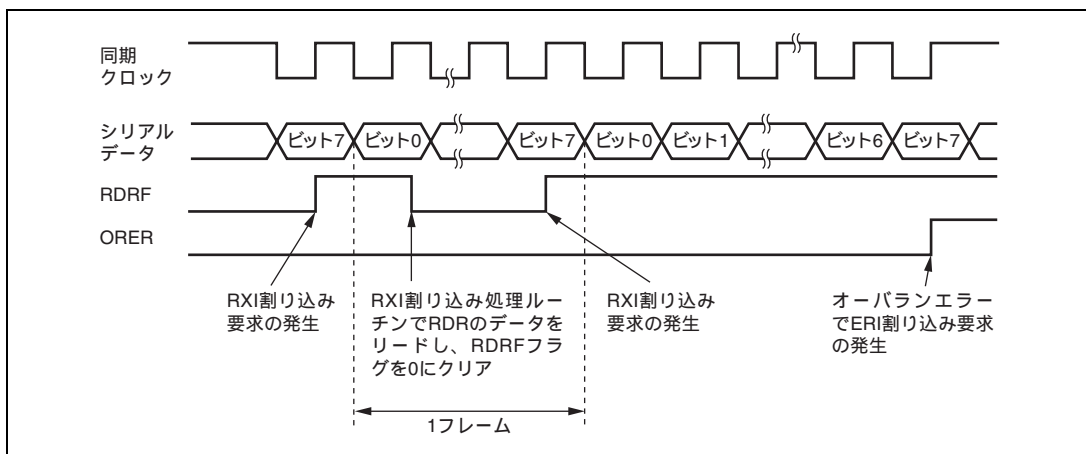


図 13.18 SCI の受信時の動作例

13. シリアルコミュニケーションインタフェース (SCI)

受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 13.19 にデータ受信のためのフローチャートの例を示します。

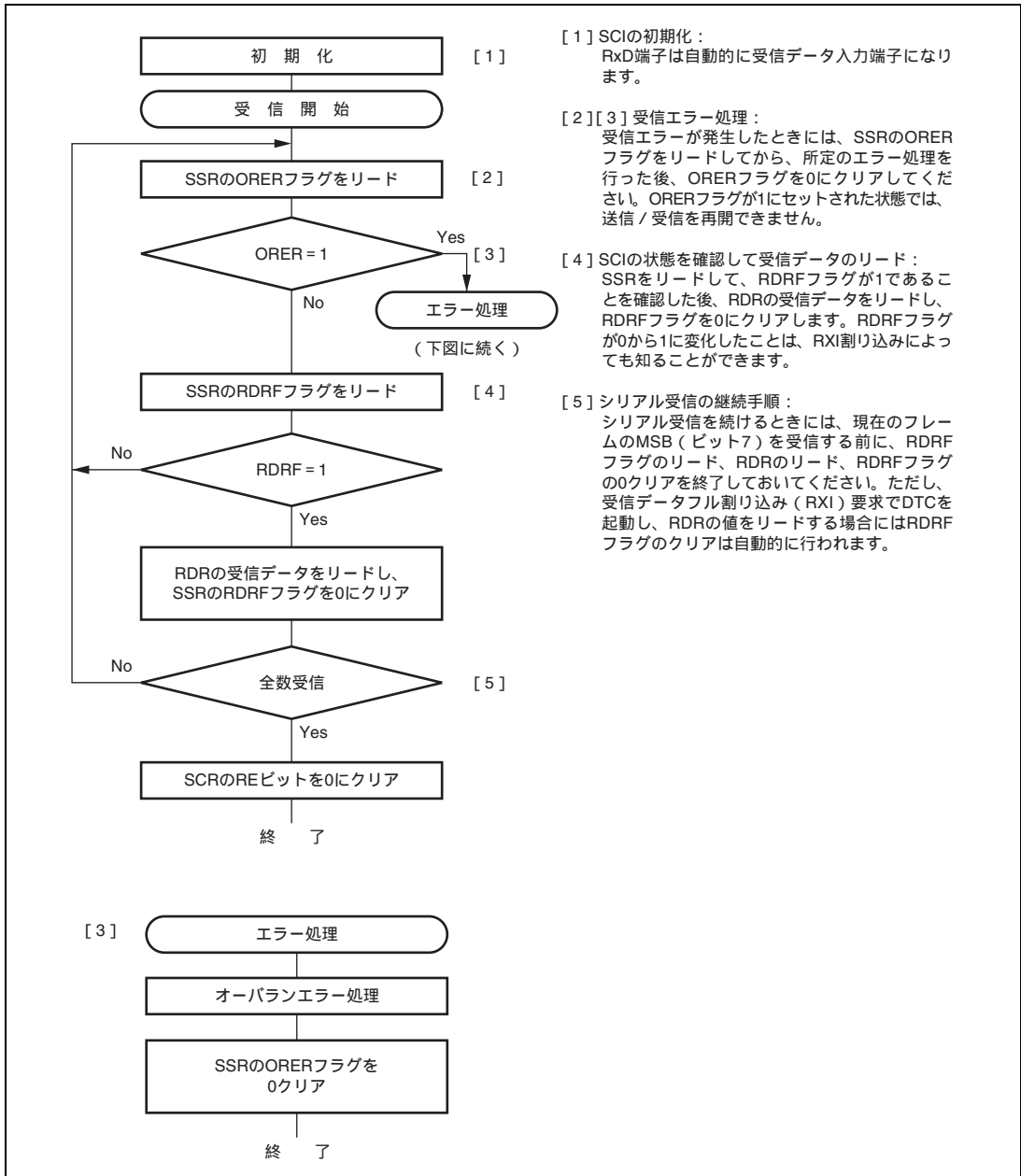


図 13.19 シリアルデータ受信フローチャートの例

13.6.5 シリアルデータ送受信同時動作 (クロック同期式)

図 13.20 にデータ送受信同時動作のフローチャートの例を示します。データ送受信同時動作は SCI の初期化後、以下の手順に従って行ってください。送信から同時送受信へ切り替えるときには、SCI が送信終了状態であること、SSR の TDRE および TEND が 1 にセットされていることを確認した後、SCR の TE ビットを 0 にクリアしてから TE および RE ビットを 1 命令で同時に 1 にセットしてください。受信から同時送受信へ切り替えるときには、SCI が受信完了状態であることを確認し、RE ビットを 0 にクリアしてから SSR の RDRF およびエラーフラグ (ORER、FER、PER) が 0 にクリアされていることを確認した後、TE および RE ビットを 1 命令で同時に 1 にセットしてください。

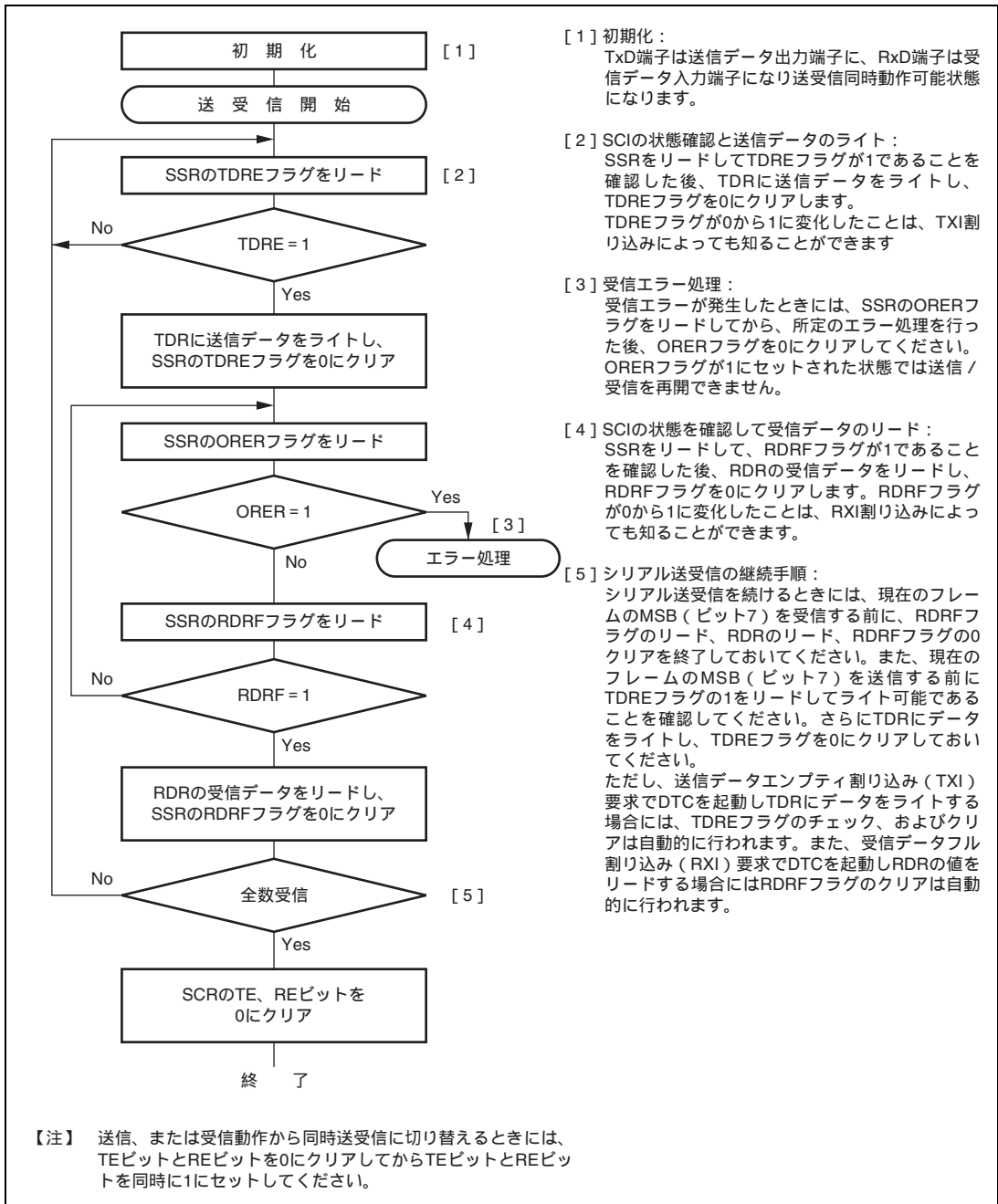


図 13.20 シリアル送受信同時動作のフローチャートの例

13.7 スマートカードインタフェースの動作説明

SCI はシリアルコミュニケーションインタフェースの拡張機能として、ISO/IEC 7816-3 (Identification Card) に準拠した IC カード (スマートカード) とのインタフェースをサポートしています。スマートカードインタフェースモードへの切り替えはレジスタにより行います。

13.7.1 接続例

図 13.21 にスマートカードとの接続例を示します。IC カードとは 1 本のデータ伝送線で送受信が行われます。SMCR の SMIF ビットを 1 にすると、TxD 端子と RxD 端子は内部で結線され、RxD 端子が入出力端子となります。データ伝送線は抵抗で電源 V_{CC} 側にプルアップしてください。IC カードを接続しない状態で SCR の RE、TE ビットをそれぞれ 1 に設定すると、閉じた送信 / 受信が可能となり自己診断をすることができます。SCI で生成するクロックを IC カードに供給する場合は、SCK 端子出力を IC カードの CLK 端子に入力してください。リセット信号の出力には本 LSI の出力ポートを使用できます。

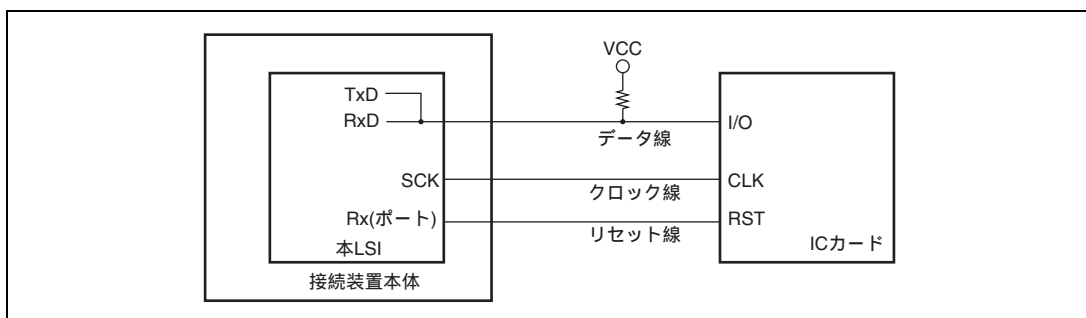


図 13.21 スマートカードインタフェース端子接続概要

13.7.2 データフォーマット (ブロック転送モード時を除く)

図 13.22 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1フレームは8ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで2etu (Elementary Time Unit : 1ビットの転送期間) 以上のガードタイムをおきます。
- 受信時はパリティエラーを検出した場合、スタートビットから10.5etu経過後、エラーシグナルLowを1etu期間出力します。
- 送信時はエラーシグナルをサンプリングすると、2etu以上経過後、自動的に同じデータを再送信します。

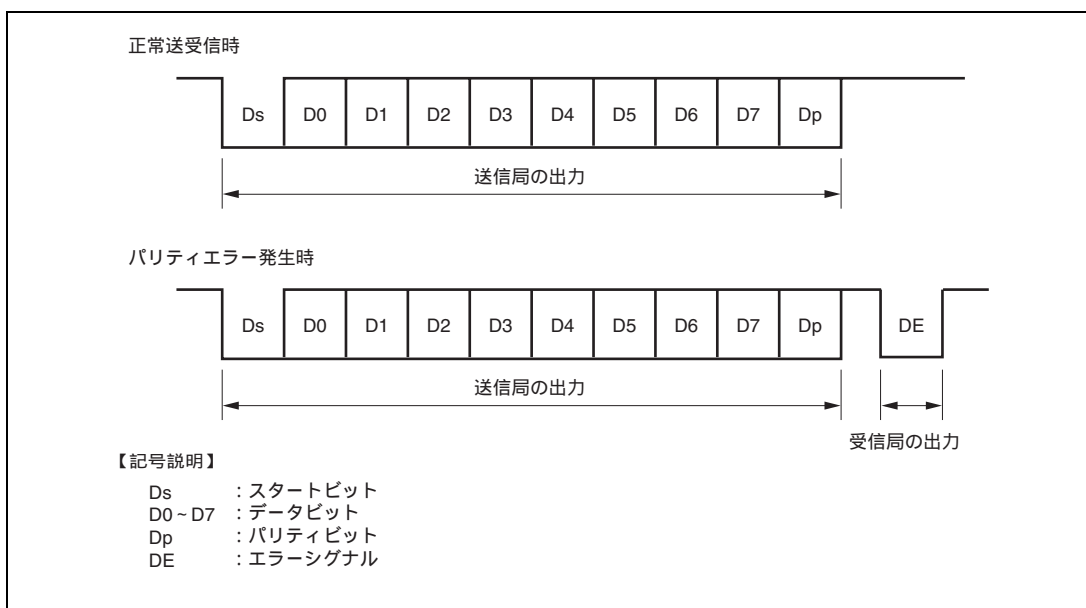


図 13.22 通常のスマートカードインタフェースのデータフォーマット

13. シリアルコミュニケーションインタフェース (SCI)

ダイレクトコンベンションタイプとインバースコンベンションタイプの2種類のICカードとの送受信は次のように行ってください。

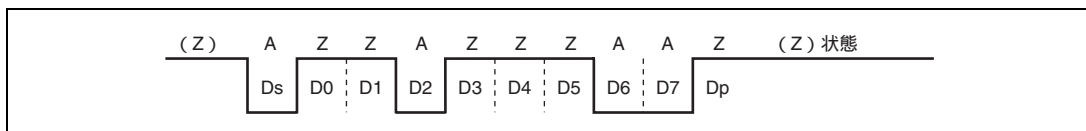


図 13.23 ダイレクトコンベンション (SDIR = SINV = O/E = 0)

ダイレクトコンベンションタイプは上記開始キャラクタの例のように、論理1レベルを状態Zに、論理0レベルを状態Aに対応付け、LSBファーストで送受信します。上記の開始キャラクタではデータはH'3Bとなります。ダイレクトコンベンションタイプではSCMRのSDIRビット、SINVビットをともに0にセットしてください。また、スマートカードの規程により偶数パリティとなるようSMRのO/Eビットには0をセットしてください。

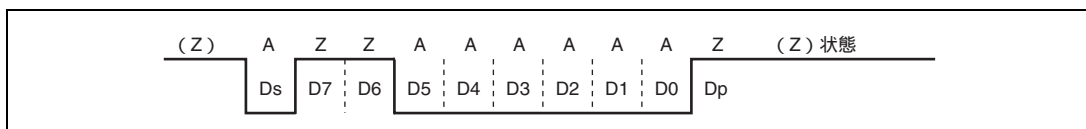


図 13.24 インバースコンベンション (SDIR = SINV = O/E = 1)

インバースコンベンションタイプは、論理1レベルを状態Aに、論理0レベルを状態Zに対応付け、MSBファーストで送受信します。上記の開始キャラクタではデータはH'3Fとなります。インバースコンベンションタイプではSCMRのSDIRビット、SINVビットをともに1にセットしてください。パリティビットはスマートカードの規程により偶数パリティで論理0となり、状態Zが対応します。本LSIでは、SINVビットはデータビットD7~D0のみ反転させます。このため、送受信ともSMRのO/Eビットに1を設定してパリティビットを反転させてください。

13.7.3 ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースと比較して以下の点が異なります。

- 受信時はパリティチェックは行いますが、エラーを検出してもエラーシグナルは出力しません。SSRのPERはセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から次のフレーム開始までのガードタイムは最小1 μ tu以上です。
- 送信時は再送信を行わないため、SSRのTENDフラグは送信開始から11.5 μ tu後にセットされます。
- ERSフラグは通常のスマートカードインタフェースと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため常に0となります。

13.7.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースで使用できる送受信クロックは内蔵ポーレートジェネレータの生成した内部クロックのみです。スマートカードインタフェースモードでは、SCIはBCP1、BCP0の設定によりビットレートの32倍、64倍、372倍、256倍（通常の調歩同期モードでは16倍に固定されています）の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、図13.25に示すように受信データを基本クロックのそれぞれ16、32、186、128ヶ目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100 [\%] \quad \dots \text{式(1)}$$

M: 受信マージン (%)

N: クロックに対するビットレートの比 (N=32、64、372、256)

D: クロックデューティ (D=0~1.0)

L: フレーム長 (L=10)

F: クロック周波数の偏差の絶対値

式(1)で、F=0、D=0.5、N=372とすると、受信マージンは次のようになります。

$$M = \left(0.5 - \frac{1}{2 \times 372} \right) \times 100 [\%] = 49.866\%$$

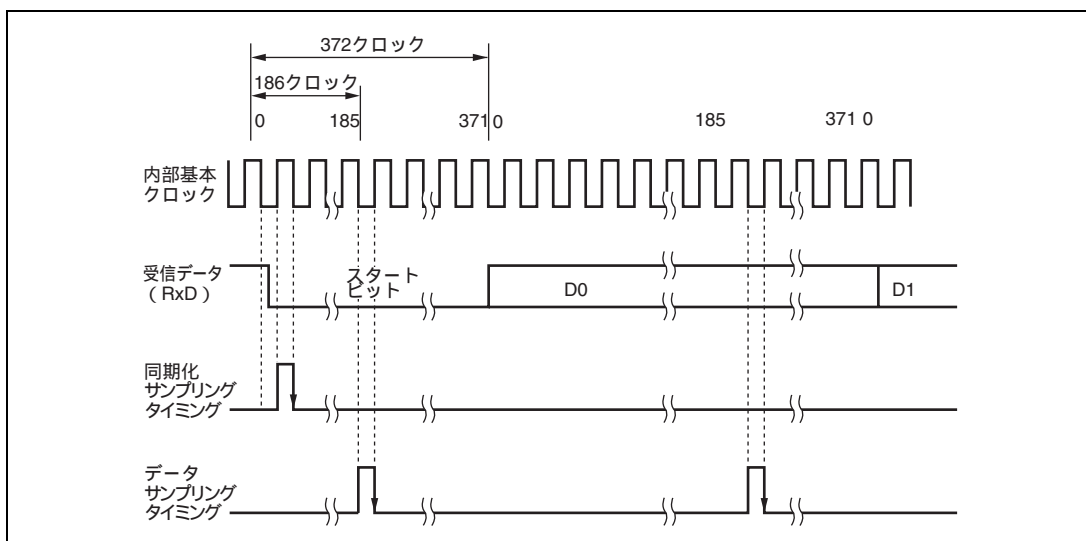


図 13.25 スマートカードインタフェースモード時の受信データサンプリングタイミング (372 倍のクロック使用時)

13. シリアルコミュニケーションインタフェース (SCI)

13.7.5 初期設定

データの送受信の前に、以下の手順で SCI を初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。

1. SCRのTE、REビットを0にクリアします。
2. SSRのエラーフラグORER、ERS、PERを0にクリアしてください。
3. SMRのGM、BLK、 $O\bar{E}$ 、BCP1、BCP0、CKS1、CKS0ビットを設定してください。このとき、PEビットは1に設定してください。
4. SCMRのSMIF、SDIR、SINVビットを設定してください。
SMIFビットを1にセットすると、TxD端子およびRxD端子はともにポートからSCIの端子に切り替わり、ハイインピーダンス状態となります。
5. ビットレートに対応する値をBRRに設定します。
6. SCRのCKE1、CKE0ビットを設定してください。このとき、TIE、RIE、TE、RE、MPIE、TEIEビットは、0に設定してください。CKE0ビットを1にセットした場合は、SCK端子からクロックを出力します。
7. 少なくとも、1ビット期間待ってから、SCRのTIE、RIE、TE、REビットを設定してください。自己診断以外はTEビットとREビットを同時にセットしないでください。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、RE=0、TE=1に設定してください。受信動作の完了は、RDRFフラグ、あるいはPER、ORERフラグで確認できます。送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE=0、RE=1に設定してください。送信動作の完了はTENDフラグで確認できます。

13.7.6 シリアルデータ送信 (ブロック転送モードを除く)

スマートカードモードにおけるデータ送信ではエラーシグナルのサンプリングと再送信処理があるため、通常のシリアルコミュニケーションインタフェースとは動作が異なります (ブロック転送モードを除く)。送信時の再転送動作を図 13.26 に示します。

1. 1フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングするとSSRのERSビットが1にセットされます。このとき、SCRのRIEビットがセットされているとERI割り込み要求を発生します。次のパリティビットのサンプリングまでにERSをクリアしてください。
2. エラーシグナルを受信したフレームでは、SSRのTENDはセットされません。TDRからTSRに再度データが転送され、自動的に再送信を行います。
3. 受信側からエラーシグナルが返ってこない場合は、SSRのERSビットはセットされません。再転送を含む1フレームの送信が完了したと判断して、SSRのTENDがセットされます。このときSCRのTIEがセットされていれば、TXI割り込み要求を発生します。送信データをTDRに書き込むことにより次のデータが送信されず。

送信処理フローの例を図 13.28 に示します。これら一連の処理は TXI 割り込み要因によって DTC を起動することで、自動的に行うことができます。送信動作では、SSR の TEND フラグが 1 にセットされると同時に TDRE フラグもセットされ、SCR の TIE をセットしておくことで TXI 割り込み要求を発生します。あらかじめ DTC の起動要因に TXI 要求を設定しておけば、TXI 要求により DTC が起動されて送信データの転送を行います。TDRE および TEND フラグは、DTC によるデータ転送時に自動的に 0 にクリアされます。エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間 TEND は 0 のまま保持され、DTC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にクリアされませんので、RIE ビットを 1 にセットしておき、エラー発生時に ERI 割り込み要求を発生させ、ERS をクリアしてください。

なお、DTC を使って送受信を行う場合は、必ず先に DTC を設定し、許可状態にしてから SCI の設定を行ってください。DTC の設定方法は「第 7 章 データトランスファコントローラ (DTC)」を参照してください。

13. シリアルコミュニケーションインタフェース (SCI)

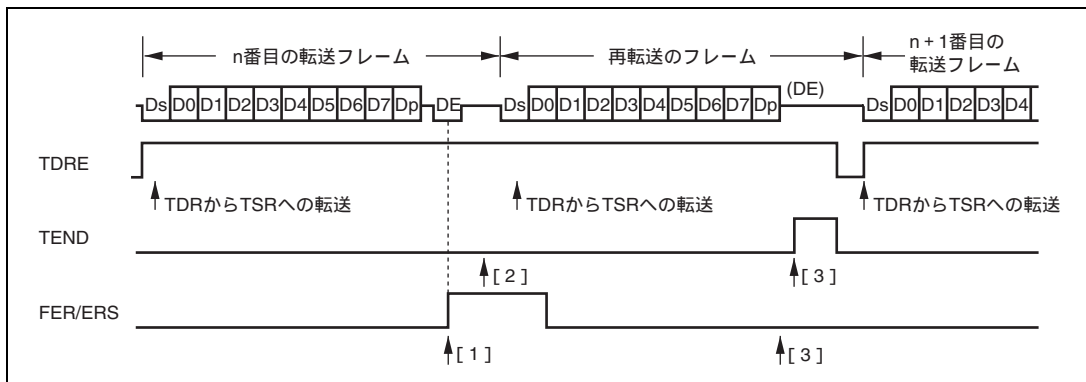


図 13.26 SCI 送信モードの場合の再転送動作

なお、SMR の GM ビットの設定により、TEND フラグのセットタイミングが異なります。図 13.27 に TEND フラグ発生タイミングを示します。

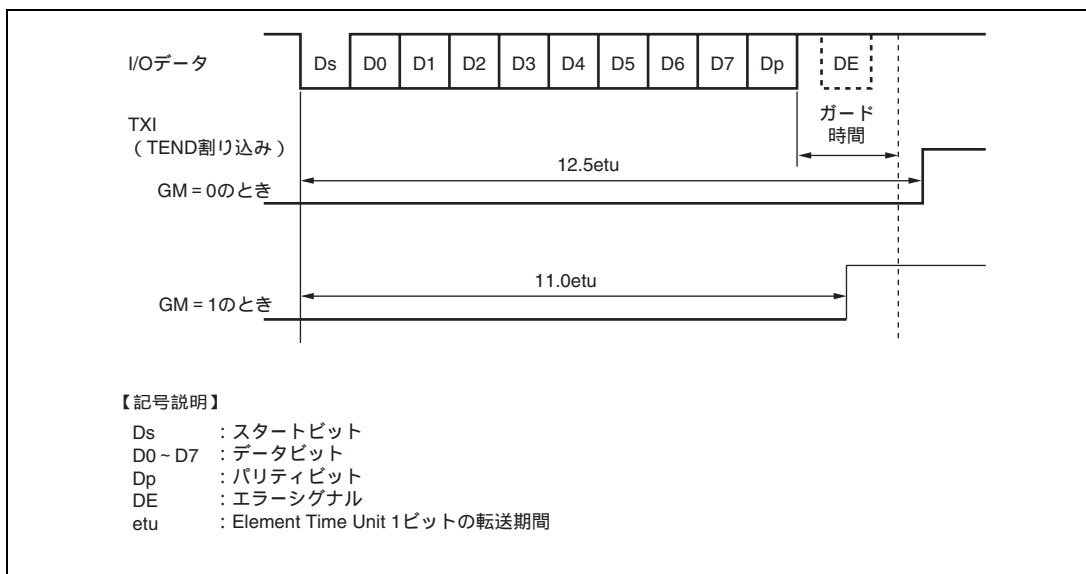


図 13.27 送信動作時の TEND フラグ発生タイミング

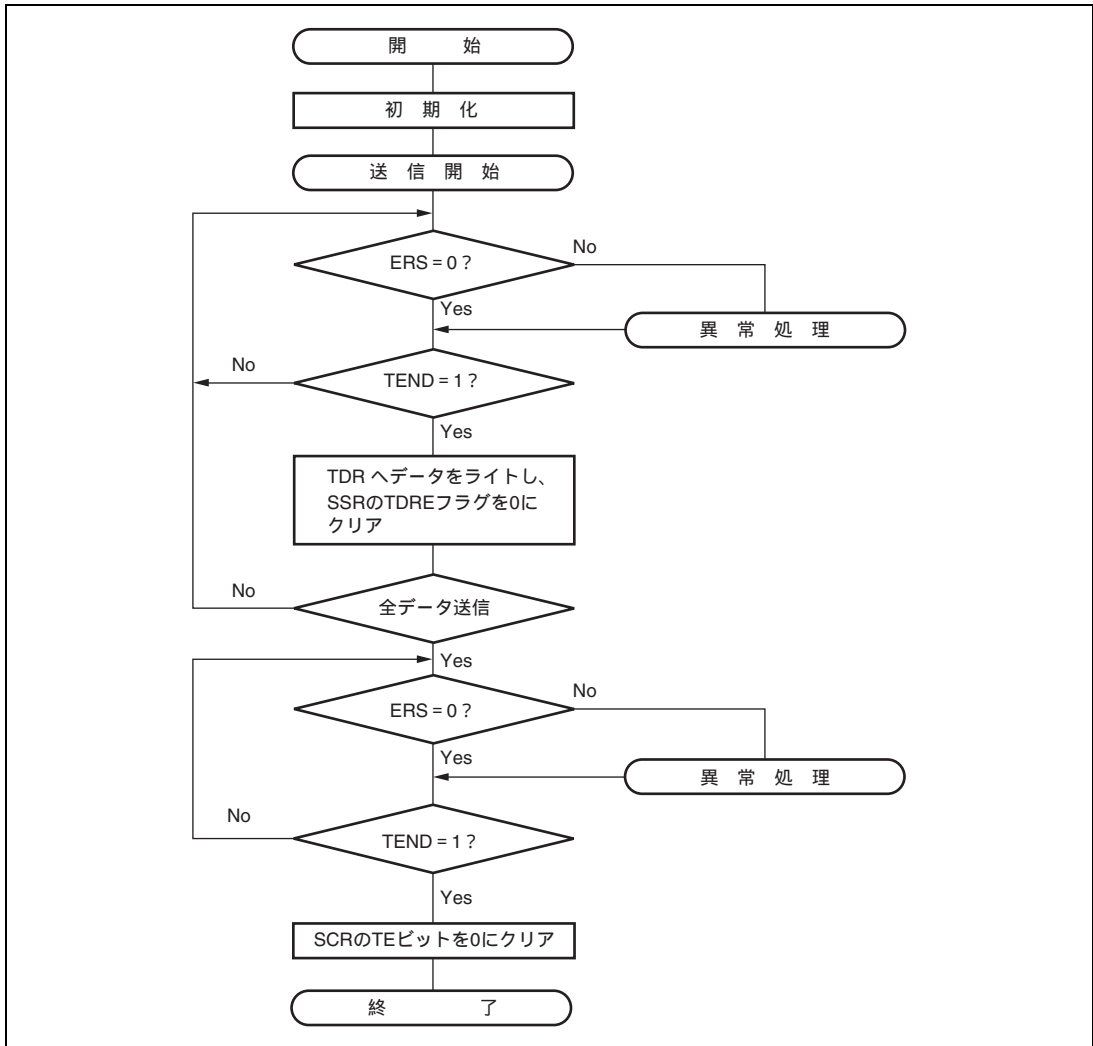


図 13.28 送信処理フローの例

13. シリアルコミュニケーションインタフェース (SCI)

13.7.7 シリアルデータ受信 (ブロック転送モードを除く)

スマートカードインタフェースモードにおけるデータ受信は、通常のシリアルコミュニケーションインタフェースモードと同様の処理手順になります。受信モードの場合の再転送動作を図 13.29 示します。

1. 受信データにパリティエラーを検出するとSSRのPERビットが1にセットされます。このとき、SCRのRIEがセットされているとERI割り込み要求を発生します。次のパリティビットのサンプリングタイミングまでにPERビットをクリアしてください。
2. パリティエラーを検出したフレームではSSRのRDRFビットはセットされません。
3. パリティエラーが検出されない場合は、SSRのPERビットはセットされません。正常に受信を完了したと判断して、SSRのRDRFが1にセットされます。このときSCRのRIEビットがセットされていれば、RXI割り込み要求を発生します。

受信フローの例を図 13.30 に示します。これら一連の処理はRXI 割り込み要因によってDTCを起動することで、自動的に行うことができます。受信動作では、RIE ビットを1にセットしておくでRDRF フラグが1にセットされるとRXI 要求を発生します。あらかじめDTCの起動要因にRXI 要求を設定しておけば、RXI 要求によりDTCが起動されて受信データの転送を行います。DTCによりデータが転送されるとRDRF フラグは自動的にクリアされます。また、受信時にエラーが発生しORER、PER フラグのいずれかが1にセットされると、送受信エラー割り込み (ERI) 要求を発生しますのでエラーフラグをクリアしてください。エラーが発生した場合はDTCは起動されず、受信データはスキップされるためDTCに設定したバイト数だけ受信データを転送します。なお、受信時にパリティエラーが発生しPERが1にセットされた場合でも、受信したデータはRDRに転送されるのでこのデータをリードすることは可能です。

【注】 ブロック転送モードの場合は「13.4 調歩同期式モードの動作」を参照してください。

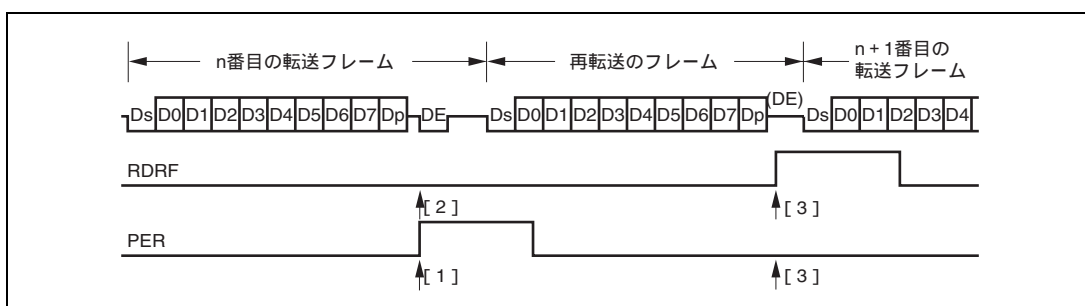


図 13.29 SCI 受信モードの場合の再転送動作

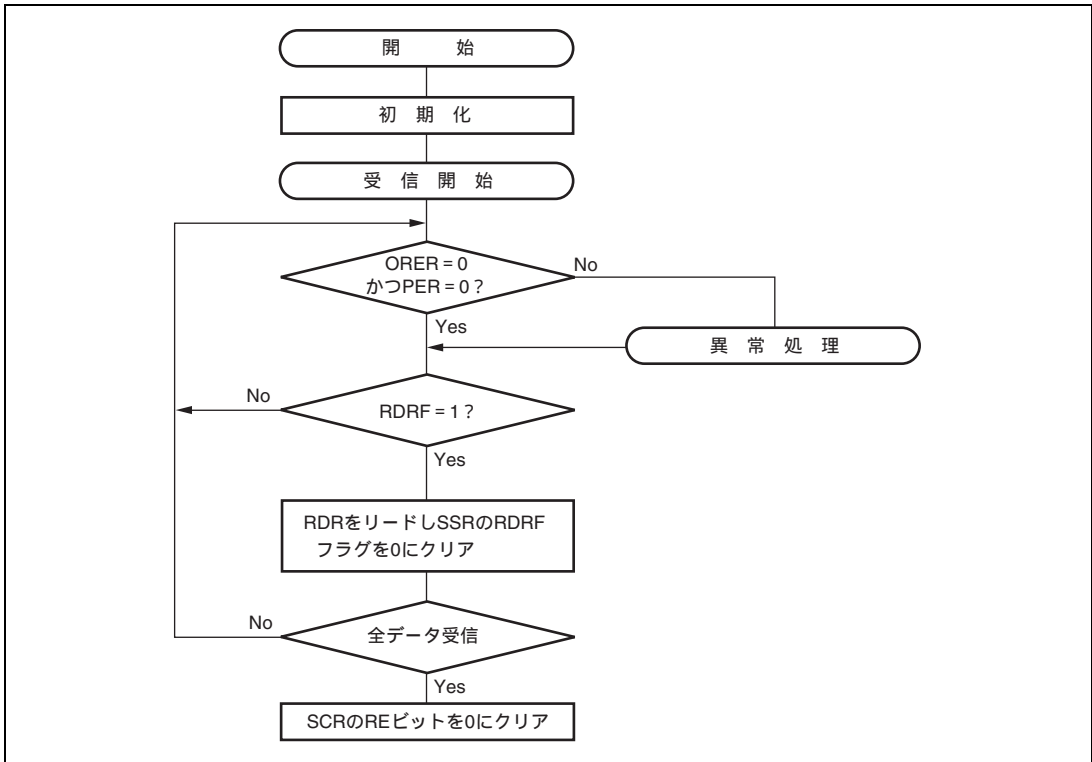


図 13.30 受信フローの例

13.7.8 クロック出力制御

SMR の GM ビットが 1 にセットされているとき、SCR の CKE1、CKE0 ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 13.31 にクロック出力の固定タイミングを示します。GM = 1、CKE1 = 0 とし、CKE0 ビットを制御した場合の例です。

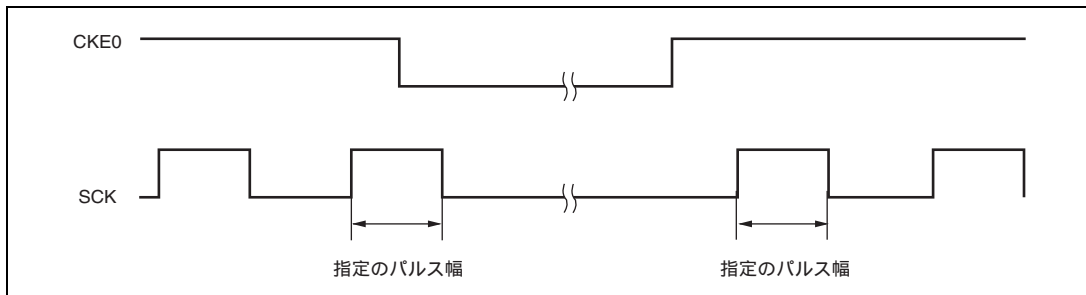


図 13.31 クロック出力固定タイミング

電源投入時およびソフトウェアスタンバイモードへの遷移またはソフトウェアスタンバイモードからの復帰の際は、クロックのデューティを確保するため、以下の手順で処理してください。

- 電源投入時

電源投入時からクロックデューティを確保するため、下記の切り替え手順で処理してください。

1. 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗 / プルダウン抵抗を使用してください。
2. SCRのCKE1ビットでSCK端子を指定の出力に固定してください。
3. SMRとSCMRをセットし、スマートカードモードの動作に切り替えてください。
4. SCRのCKE0ビットを1に設定して、クロック出力を開始させてください。

- スマートカードインタフェースモードからソフトウェアスタンバイモードに遷移するとき

1. SCK端子に対応するポートのデータレジスタ (DR) とデータディレクションレジスタ (DDR) をソフトウェアスタンバイモード時の出力固定状態の値に設定してください。
2. SCRのTEビットとREビットに0をライトし、送信 / 受信動作を停止させてください。
同時に、CKE1ビットをソフトウェアスタンバイ時の出力固定状態の値に設定してください。
3. SCRのCKE0ビットに0をライトし、クロックを停止させてください。
4. シリアルクロックの1クロック周期の間、待ってください。
この間にデューティを守って、指定のレベルでクロック出力は固定されます。
5. ソフトウェアスタンバイ状態に遷移させてください。

- ソフトウェアスタンバイモードからスマートカードインタフェースモードに戻るとき
 - ソフトウェアスタンバイ状態を解除してください。
 - SCRのCKE0ビットに1をライトし、クロックを出力させてください。正常なデューティにて信号発生を開始します。

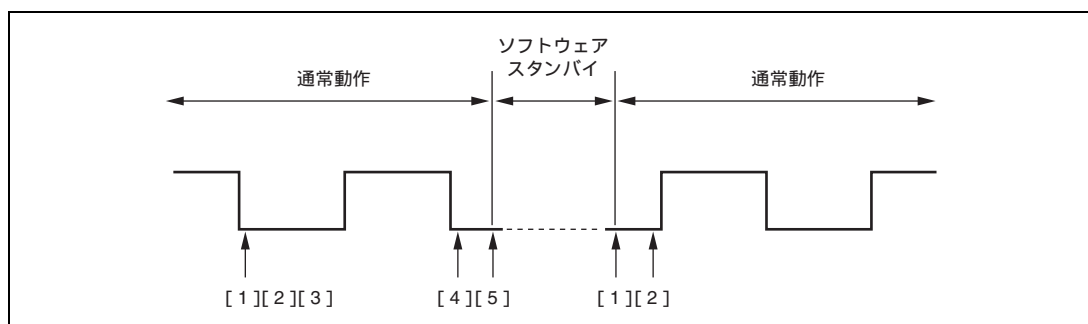


図 13.32 クロック停止・再起動手順

13.8 割り込み要因

13.8.1 通常のシリアルコミュニケーションインタフェースモードにおける割り込み

表 13.12 に通常のシリアルコミュニケーションインタフェースモードにおける割り込み要因を示します。各割り込み要因には異なる割り込みベクタが割り当てられており、SCRのイネーブルビットにより独立にイネーブルにすることができます。

SSRのTDREフラグが1にセットされると、TXI割り込み要求が発生します。また、SSRのTENDフラグが1にセットされると、TEI割り込み要求が発生します。TXI割り込み要求によりDTCを起動してデータ転送を行うことができます。TDREフラグはDTCによるデータ転送時に自動的に0にクリアされます。

SSRのRDRFフラグが1にセットされるとRXI割り込み要求が発生します。SSRのORER、PER、FERフラグのいずれかが1にセットされると、ERI割り込み要求が発生します。RXI割り込み要求でDTCを起動してデータ転送を行うことができます。RDRFフラグはDTCによるデータ転送時に自動的に0にクリアされます。

TEI割り込みはTEIEビットが1にセットされた状態でTENDフラグが1にセットされたとき発生します。TEI割り込みとTXI割り込みが同時に発生している状態ではTXI割り込みが先に受け付けられ、TXI割り込みルーチンでTDREフラグとTENDフラグを同時にクリアする場合はTEI割り込みルーチンへ分岐できなくなりますので注意してください。

13. シリアルコミュニケーションインタフェース (SCI)

表 13.12 SCI 割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ	DTC の起動	優先順位
3	ERI3	受信エラー	ORER、FER、PER	不可	高 ↑ 低
	RXI3	受信データフル	RDRF	可	
	TXI3	送信データエンpty	TDRE	可	
	TEI3	送信終了	TEND	不可	
1	ERI1	受信エラー	ORER、FER、PER	不可	
	RXI1	受信データフル	RDRF	可	
	TXI1	送信データエンpty	TDRE	可	
	TEI1	送信終了	TEND	不可	

13.8.2 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 13.13 の割り込み要因があります。送信終了割り込み (TEI) 要求は使用できません。

表 13.13 SCI 割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ	DTC の起動	優先順位
3	ERI3	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可	高 ↑ 低
	RXI3	受信データフル	RDRF	可	
	TXI3	送信データエンpty	TEND	可	
1	ERI1	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可	
	RXI1	受信データフル	RDRF	可	
	TXI1	送信データエンpty	TEND	可	

スマートカードモードの場合も通常の SCI の場合と同様に、DTC を使って送受信を行うことができます。送信動作では、SSR の TEND フラグが 1 にセットされると同時に TDRE フラグもセットされ、TXI 割り込み要求が発生します。あらかじめ DTC の起動要因に TXI 割り込み要因を設定しておけば、TXI 割り込み要求により DTC が起動されて送信データの転送を行います。TDRE および TEND フラグは、DTC によるデータ転送時に自動的に 0 にクリアされます。エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間 TEND は 0 のまま保持され、DTC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、SSR の ERS フラグは自動的にクリアされませんので、SCR の RIE ビットを 1 にセットしておき、エラー発生時に ERI 割り込み要求を発生させ、ERS をクリアしてください。

なお、DTC を使って送受信を行う場合は、必ず先に DTC を設定し、許可状態にしてから SCI の設定を行ってください。DTC の設定方法は「第 7 章 データトランスファコントローラ (DTC)」を参照してください。

また、受信動作では、SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。あらかじめ DTC の起動要因に RXI 割り込み要因を設定しておけば、RXI 割り込み要求で DTC が起動されて受信データの転送を行います。RDRF フラグは、DTC によるデータ転送時に、自動的に 0 にクリアされます。エラーが発生した場合は、RDRF フラグはセットされずエラーフラグがセットされます。そのため DTC は起動されず、かわりに CPU に対し ERI 割り込み要求を発生しますのでエラーフラグをクリアしてください。

13.9 使用上の注意事項

13.9.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、SCI の動作停止 / 許可を設定することが可能です。初期値では SCI の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 24 章 低消費電力状態」を参照してください。

13.9.2 ブレークの検出と処理

フレーミングエラー検出時に、RxD 端子の値を直接リードすることでブレークを検出できます。ブレークでは RxD 端子からの入力がすべて 0 になりますので、SSR の FER がセットされ、また PER もセットされる可能性があります。SCI は、ブレークを受信した後も受信動作を続けます。したがって FER を 0 にクリアしてもふたたび FER が 1 にセットされますので注意してください。

13.9.3 マーク状態とブレークの送り出し

SCR の TE が 0 のとき、TxD 端子はポートの DR と DDR により入出力方向とレベルが決まる I/O ポートになります。これを利用して TxD 端子をマーク状態にしたりデータ送信時にブレークの送出をすることができます。TE を 1 にセットするまで、通信回線をマーク状態 (1 の状態) にするためには、DDR = 1、DR = 1 を設定します。このとき、TE が 0 にクリアされていますので、TxD 端子は I/O ポートとなっており 1 が出力されます。一方、データ送信時にブレークを送出したいときは、DDR = 1、DR = 0 に設定した後 TE を 0 にクリアします。TE を 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子は I/O ポートになり、TxD 端子から 0 が出力されます。

13.9.4 受信エラーフラグと送信動作 (クロック同期式モードのみ)

SSR の受信エラーフラグ (ORER、FER、PER) が 1 にセットされた状態では、SSR の TDRE を 0 にクリアしても送信を開始できません。必ず送信開始時には受信エラーフラグを 0 にクリアしておいてください。また、SCR の RE を 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

13.9.5 TDR へのライトと TDRE フラグの関係

TDR へのデータのライトは SSR の TDRE フラグの状態にかかわらず行うことができます。しかし、TDRE フラグが 0 の状態で新しいデータを TDR にライトすると、TDR に格納されていたデータはまだ TSR に転送されていないため失われてしまいます。したがって、TDR への送信データのライトは必ず TDRE フラグが 1 にセットされていることを確認してから行ってください。

13.9.6 DTC の使用上の制約

同期クロックに外部クロックソースを使用する場合は、DTC による TDR の更新後、クロックで 5 クロック以上経過した後に送信クロックを入力してください。TDR の更新後、4 クロック以内に送信クロックを入力すると誤動作することがあります (図 13.33)。

DTC により RDR のリードを行うときは、必ず起動要因を当該 SCI の受信完了割り込み要因 (RXI) に設定してください。

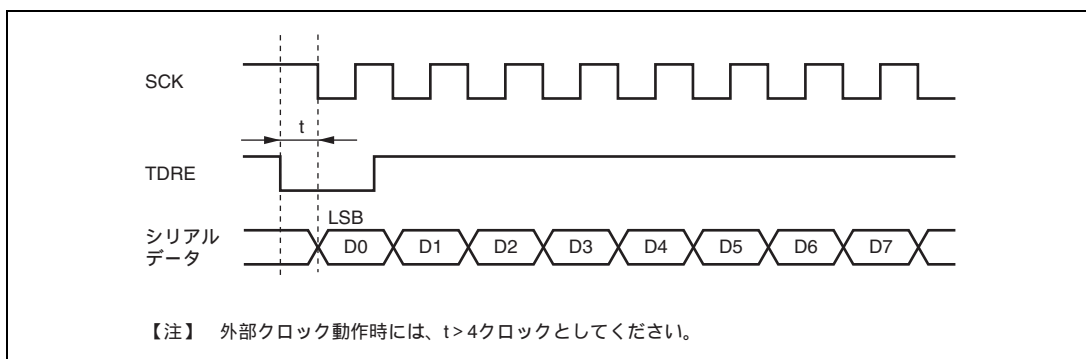


図 13.33 DTC によるクロック同期式送信時の例

13.9.7 モード遷移時の動作

(1) 送信

モジュールストップモード、またはソフトウェアスタンバイモードへ遷移するときは ($TE = TIE = TEIE = 0$) してから行ってください。TSR、TDR および SSR はリセットされます。モジュールストップモードまたはソフトウェアスタンバイモード期間中の出力端子の状態はポートの設定に依存し、モード解除後に High 出力となります。送信中に遷移すると送信中のデータは不確定になります。

モード解除後、送信モードを変えないで送信する場合は、 $TE = 1$ に設定し、SSR リード TDR ライト TDRE を 0 にクリアで送信を開始してください。送信モードを変えて送信する場合は、初期設定から行ってください。

図 13.34 に送信時のモード遷移フローチャートの例を示します。図 13.35、図 13.36 に送信時の端子状態を示します。

また、DTC 転送による送信から、モジュールストップモードまたはソフトウェアスタンバイモードから行ってください。モード解除後に $TE = 1$ 、 $TIE = 1$ に設定すると、TXI 割り込み要求が発生して DTC による送信が始まります。

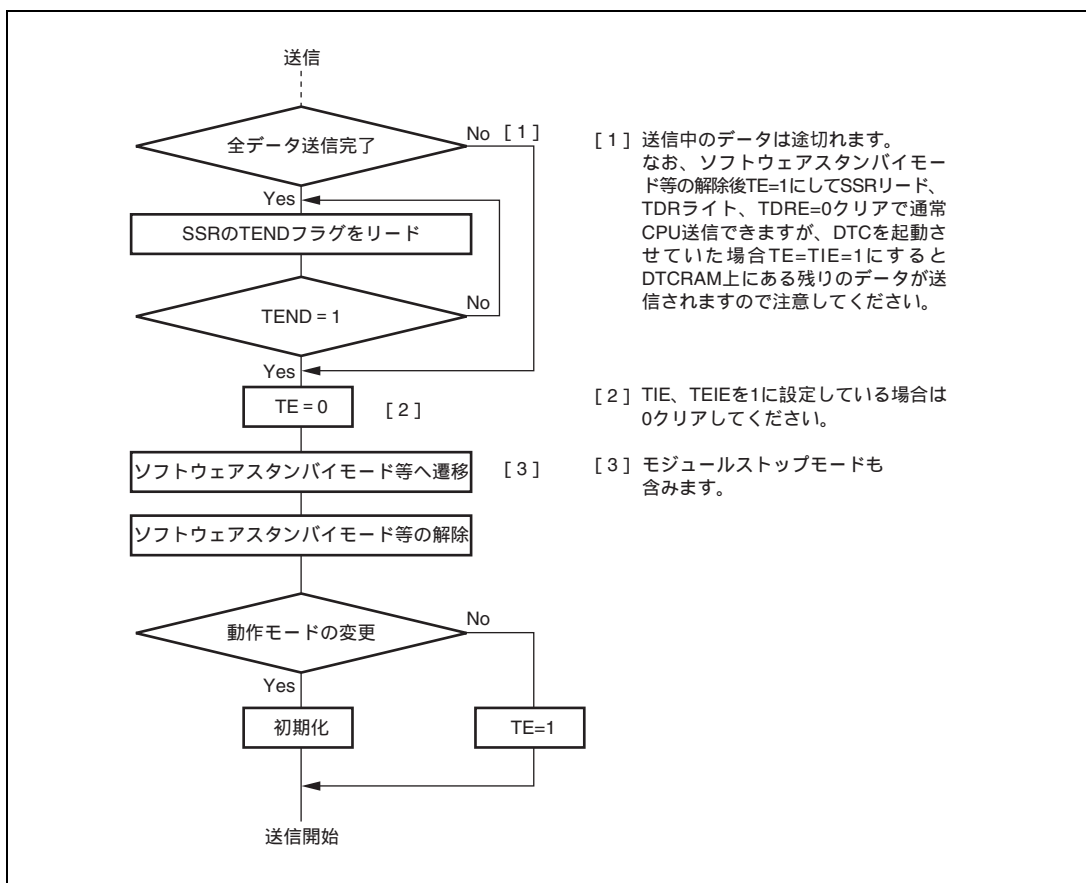


図 13.34 送信時のモード遷移フローチャートの例

13. シリアルコミュニケーションインタフェース (SCI)

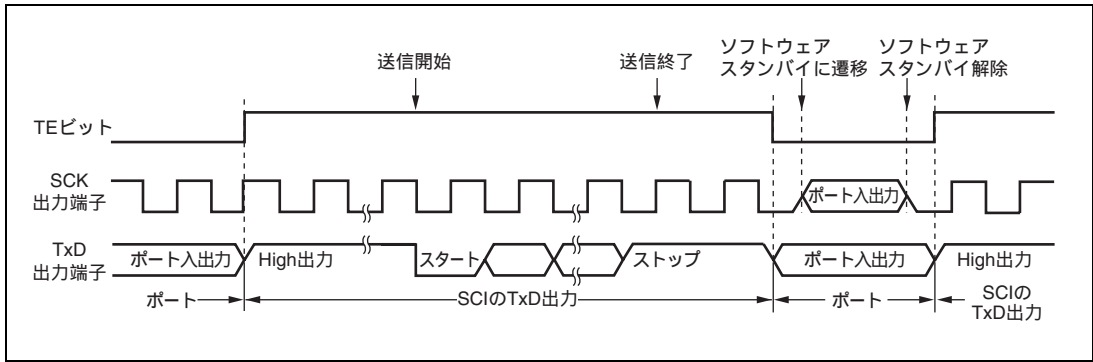


図 13.35 調歩同期式モード送信時 (内部クロック) の端子状態

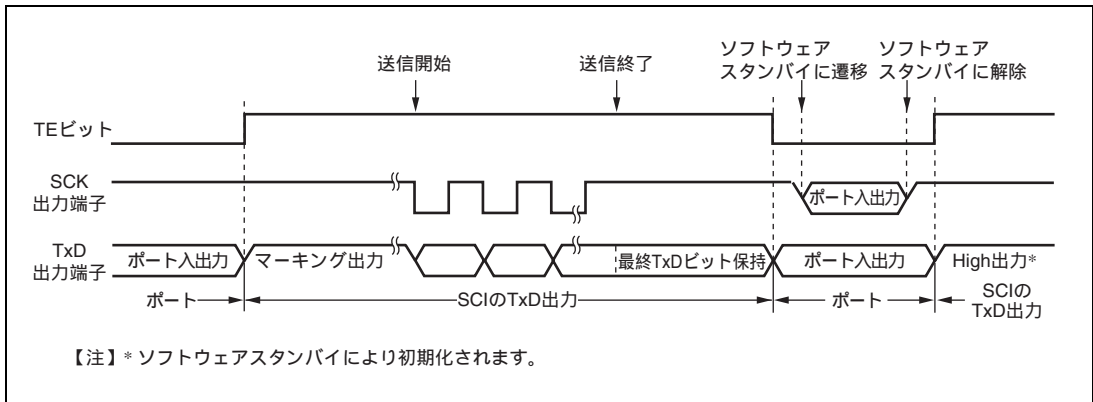


図 13.36 クロック同期式モード送信時 (内部クロック) の端子状態

(2) 受信

モジュールストップモード、ソフトウェアスタンバイモードへ遷移するときには、受信動作を停止 (RE=0) してから行ってください。RSR、RDR および SSR はリセットされます。受信中に遷移すると、受信中のデータは無効になります。

モード解除後、受信モードを変えないで受信する場合は、RE=1 に設定してから受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 13.37 に受信時のモード遷移フローチャートの例を示します。

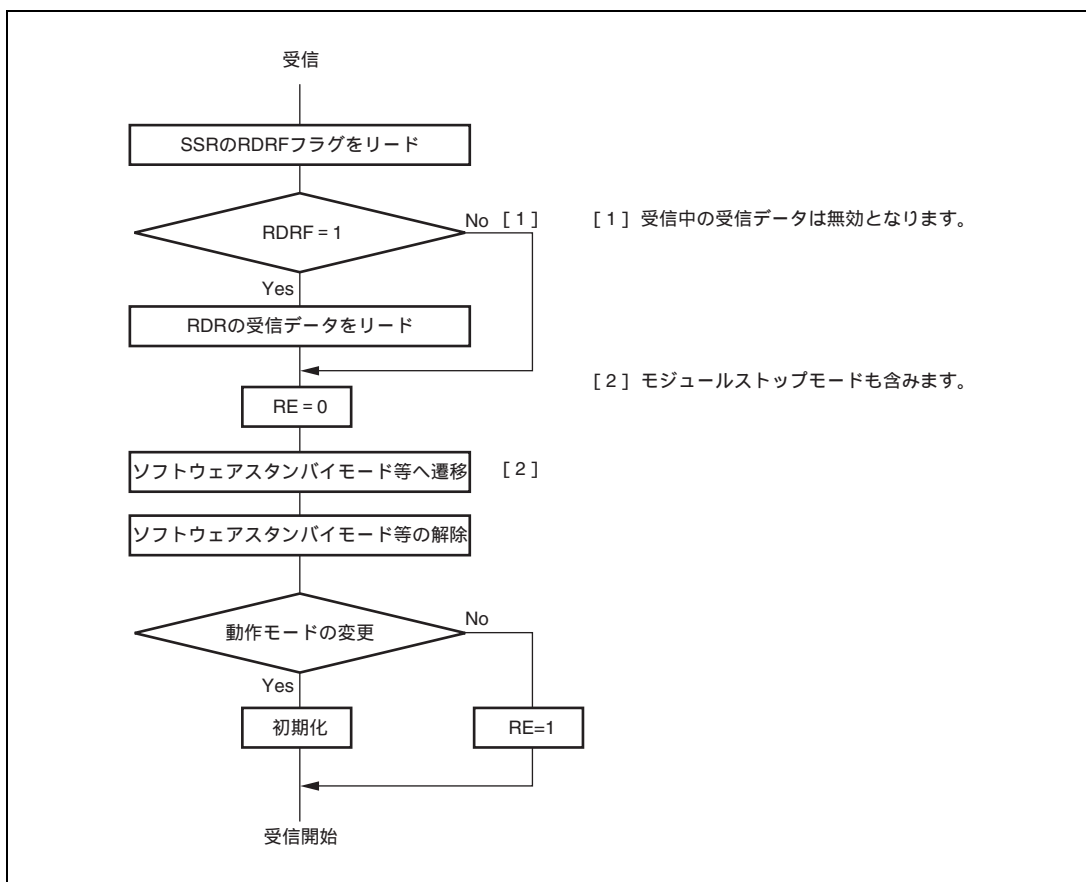


図 13.37 受信時のモード遷移フローチャートの例

13. シリアルコミュニケーションインタフェース (SCI)

13.9.8 SCK 端子からポート端子への切り替え

送信終了状態で SCK 端子をポート端子に切り替えるとき、図 13.38 に示すように半サイクルの Low 出力後にポート出力となります。

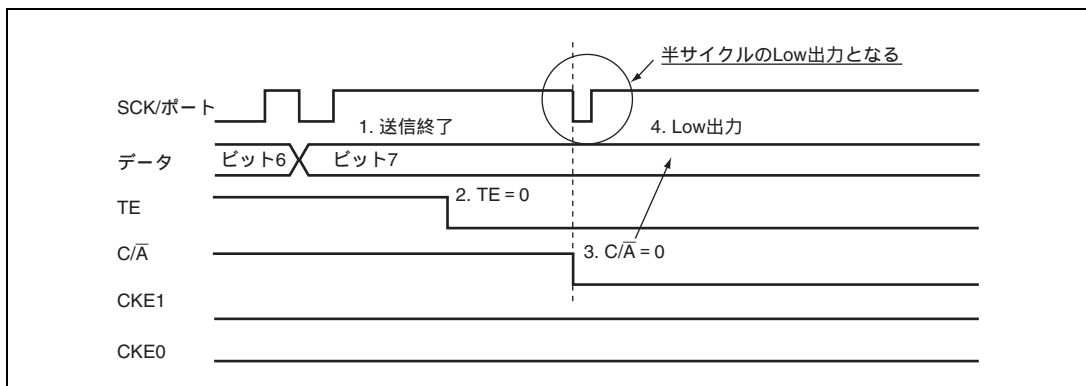


図 13.38 SCK 端子からポート端子へ切り替える時の動作

SCK 端子をポート端子に切り替えるときに発生する Low 出力を回避するためには、SCK 端子を入力状態にして (SCK/ポート端子を外部回路で Pull-up)、DDR = 1、DR = 1、 $C/\bar{A} = 1$ 、CKE1 = 0、CKE0 = 0、TE = 1 の状態で次の 1~5 の順で設定してください。

1. シリアルデータ送信終了
2. TEビット = 0
3. CKE1ビット = 1
4. C/\bar{A} ビット = 0 (ポート出力に切り替え)
5. CKE1ビット = 0

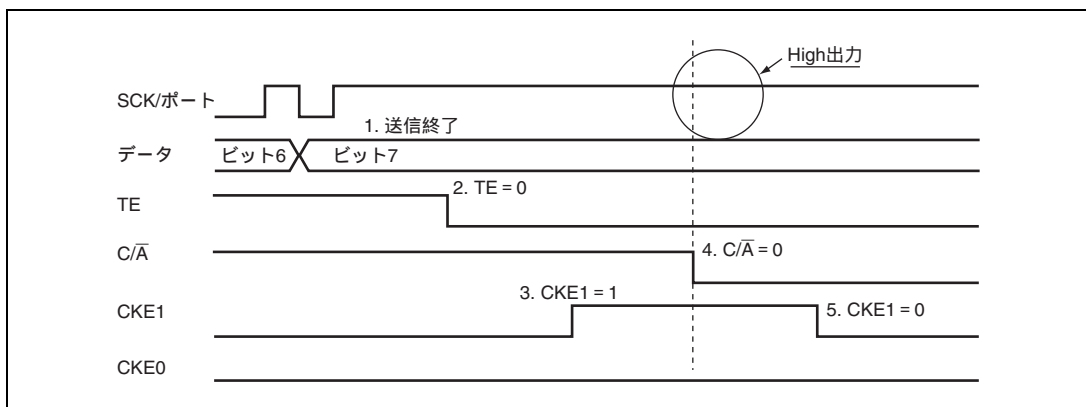


図 13.39 SCK 端子からポート端子へ切り替え時の Low 出力の回避例

14. CRC 演算器 (CRC)

高速送受信などのデータ転送の信頼性のためにCRC (Cyclic Redundancy Check) 演算器を内蔵しています。CRC 演算器は、データブロックの誤り検出を行います。

14.1 特長

- 8ビット単位の任意のデータ長に対してCRCコードを生成
- CRC演算は8ビットずつ並列に実行
- 生成多項式を3つの多項式から選択可能
- LSBファースト通信用CRCコード生成 / MSBファースト通信用CRCコード生成の選択が可能

図 14.1 に CRC 演算器のブロック図を示します。

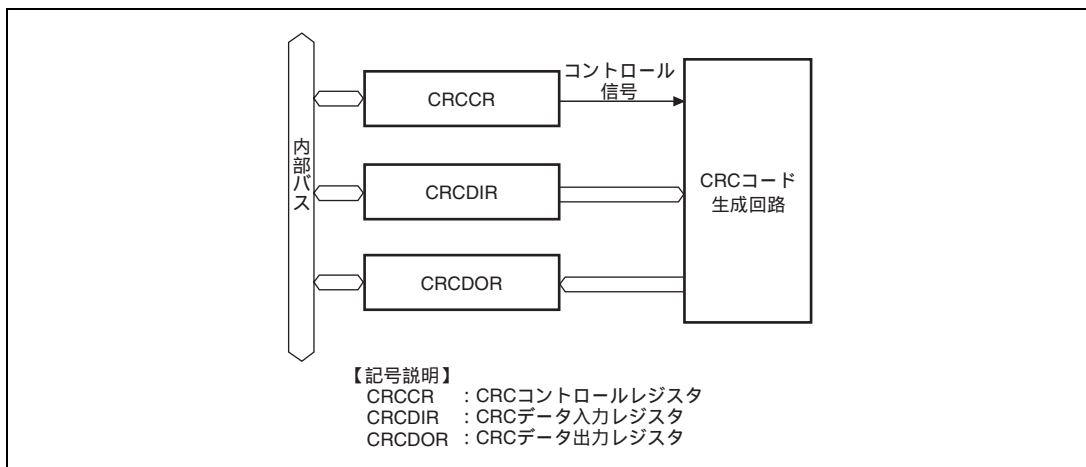


図 14.1 CRC 演算器のブロック図

14. CRC 演算器 (CRC)

14.2 レジスタの説明

CRC 演算器には以下のレジスタがあります。

- CRCコントロールレジスタ (CRCCR)
- CRCデータ入力レジスタ (CRCDIR)
- CRCデータ出力レジスタ (CRCDOR)

14.2.1 CRC コントロールレジスタ (CRCCR)

CRCCR は CRC 演算器の初期化、演算切り替え、生成多項式を選択します。

ビット	ビット名	初期値	R/W	説明
7	DORCLR	0	W	CRCDOR クリア このビットを 1 にセットすると、CRCDOR が H'0000 にクリアされます。
6~3	-	すべて 0	R	リザーブビット 初期値を変更しないでください。
2	LMS	0	R/W	CRC 演算切り替え LSB ファースト通信用 CRC コード生成か、MSB ファースト通信用 CRC コード生成かを選択します。 0 : LSB ファーストで通信する場合の CRC 演算を行います。CRCDOR の内容 (CRC コード) を 2 バイトに分けて送信する場合、下位バイト (ビット 7~0) を先に送信します。 1 : MSB ファーストで通信する場合の CRC 演算を行います。CRCDOR の内容 (CRC コード) を 2 バイトに分けて送信する場合、上位バイト (ビット 15~8) を先に送信します。
1	G1	0	R/W	CRC 生成多項式切り替え 多項式を選択します。 00 : リザーブ 01 : $X^8 + X^2 + X + 1$ 10 : $X^{16} + X^{15} + X^2 + 1$ 11 : $X^{16} + X^{12} + X^5 + 1$
0	G0	0	R/W	

14.2.2 CRC データ入力レジスタ (CRCDIR)

CRCDIR は 8 ビットのリード/ライト可能なレジスタです。CRCDIR に CRC 演算対象のバイトをライトすると CRCDOR に結果が得られます。

14.2.3 CRC データ出力レジスタ (CRCDOR)

CRCDOR は 16 ビットのリード/ライト可能なレジスタです。CRCDOR クリア後、CRCDIR に CRC 演算対象のバイトをライトすると CRCDOR に結果が得られます。CRC 演算対象のバイトに CRC 演算結果を追加してライトした場合、CRC エラーがなければ結果は H'0000 になります。CRCCR ビット 1、0 を G1=0、G0=1 と指定した場合、下位バイトに結果が得られます。

14.3 CRC 演算器の動作説明

CRC 演算器は、LSB ファースト / MSB ファースト通信用 CRC コードを生成します。以下に CRCCR の G1、G0 ビットを B'11 として $X^{16} + X^{12} + X^5 + 1$ の多項式を使用し、16 進数 H'F0 データについて CRC コードを生成する使用例を示します。

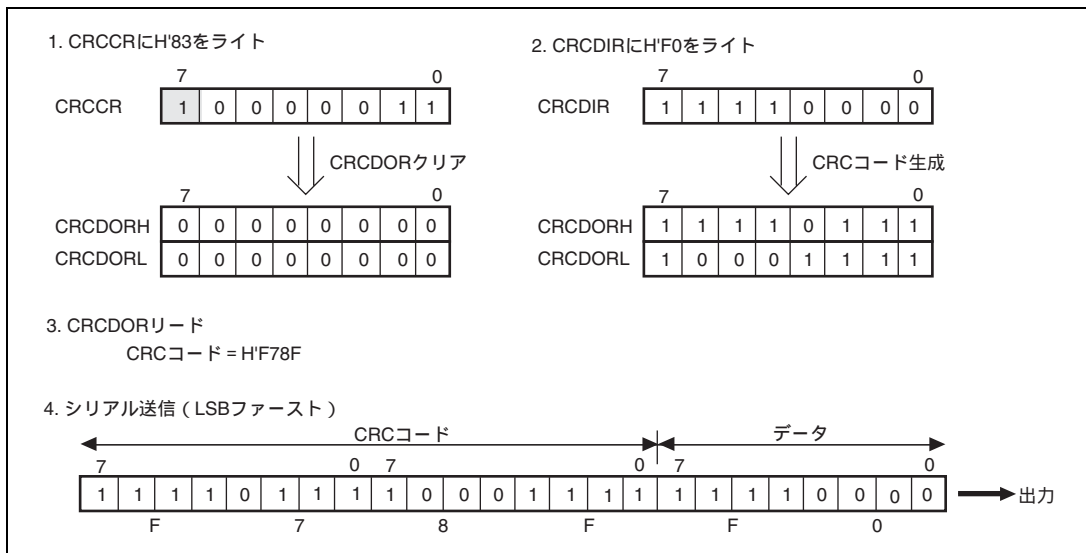


図 14.2 LSB ファーストでのデータ送信

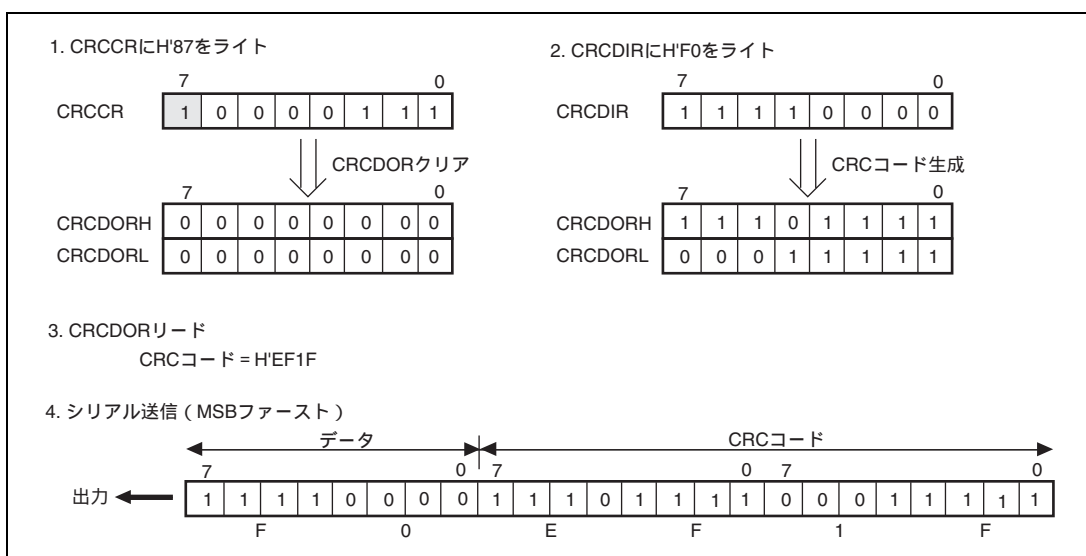


図 14.3 MSB ファーストでのデータ送信

14. CRC 演算器 (CRC)

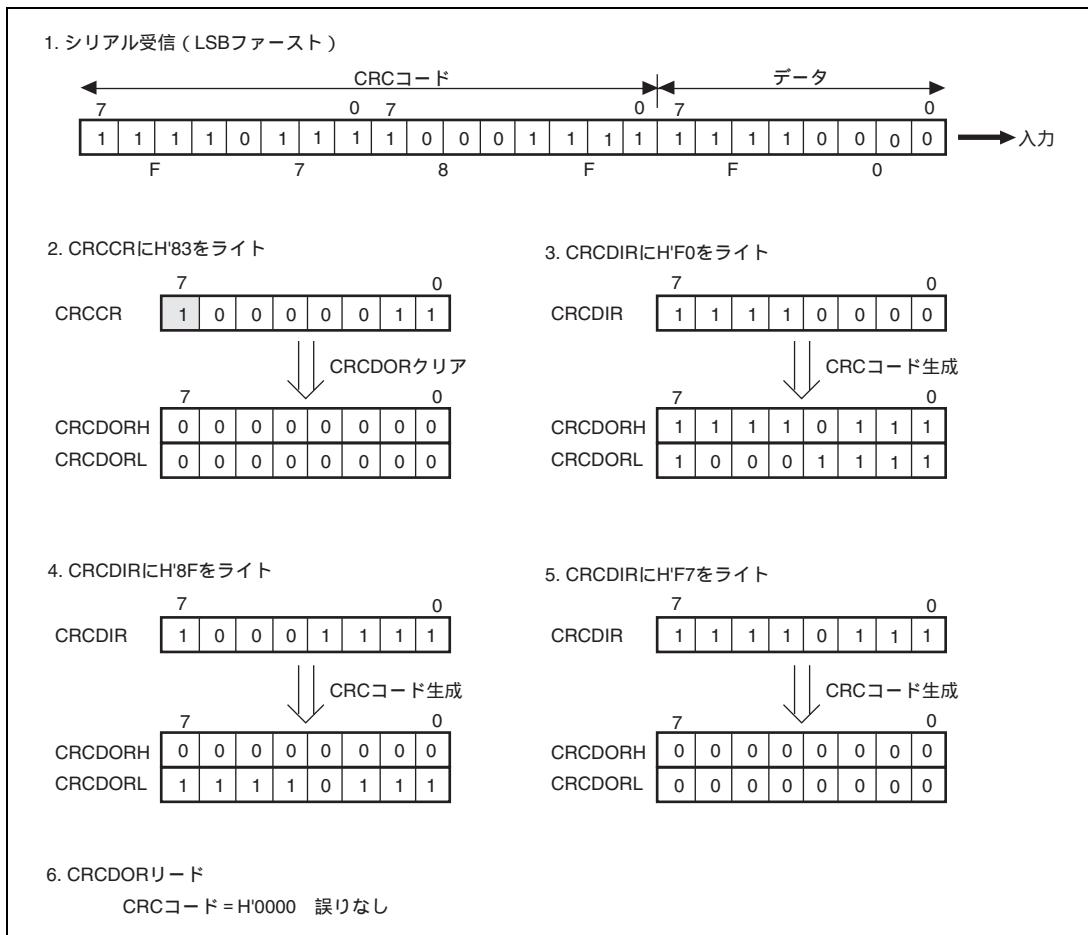


図 14.4 LSB ファーストでのデータ受信

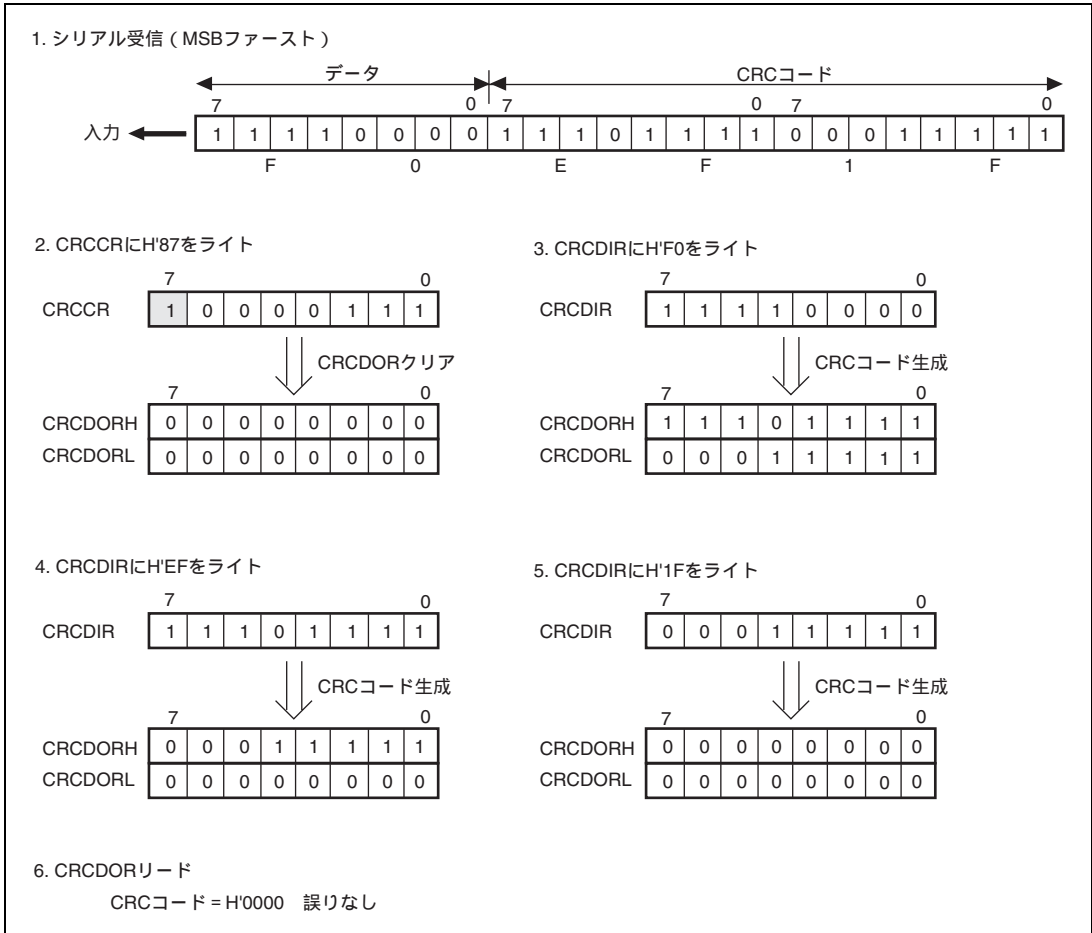


図 14.5 MSB ファーストでのデータ受信

14.4 CRC 演算器使用上の注意事項

LSB ファーストで送信する場合と MSB ファーストで送信する場合とは、CRC コードを送る順序が異なりますので、注意してください。

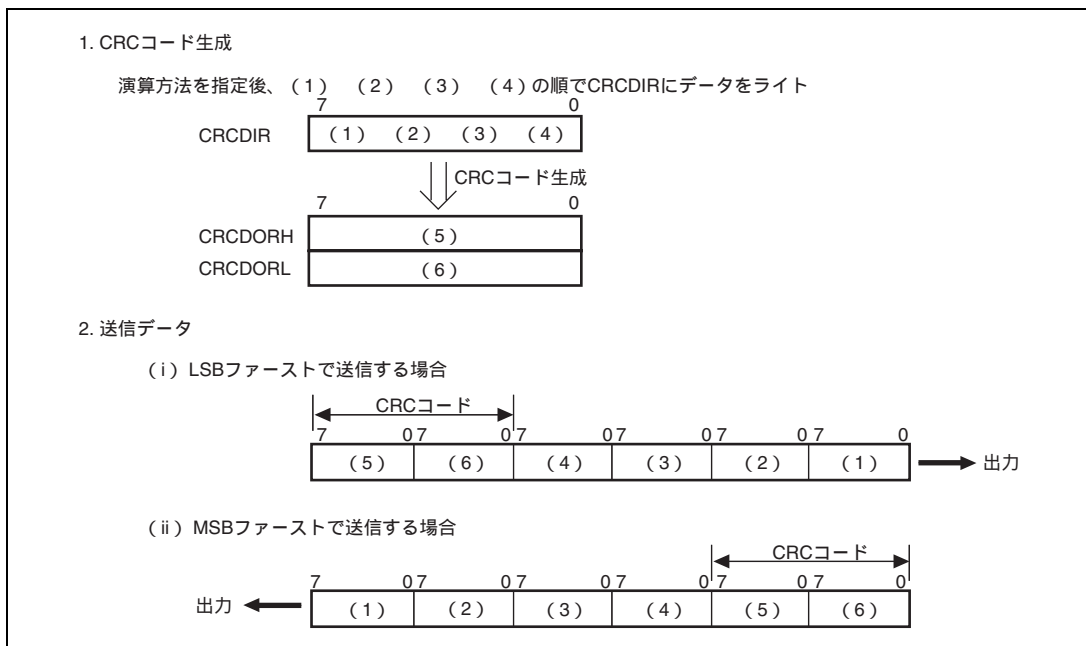


図 14.6 LSB ファーストと MSB ファーストの送信データ

15. FIFO 内蔵シリアルコミュニケーション インタフェース (SCIF)

本 LSI は、1 チャンネルの FIFO バッファ内蔵のシリアルコミュニケーションインタフェース (SCIF: Serial Communication Interface with FIFO) を内蔵しています。SCIF は調歩同期式のシリアル通信が可能です。

調歩同期式では Universal Asynchronous Receiver/Transmitter (UART) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。送受信に FIFO バッファを各々 16 段内蔵しており、効率の良い高速連続通信を行うことができます。

また、SCIF は LPC インタフェースと接続しており、LPC ホストから直接制御することができます。

15.1 特長

- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部および受信部ともに 16 段の FIFO バッファ構造になっており、シリアルデータを連続で送受信できます。

- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能
- モデムコントロール機能内蔵
- データ長：5、6、7、8 ビットから選択可能
- パリティ：偶数パリティ / 奇数パリティ / パリティなしから選択可能
- ストップビット長：1、1.5、2 ビットから選択可能
- 受信エラーの検出：パリティエラー、オーバーランエラー、フレーミングエラー
- ブレークの検出

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

SCIF のブロック図を以下に示します。

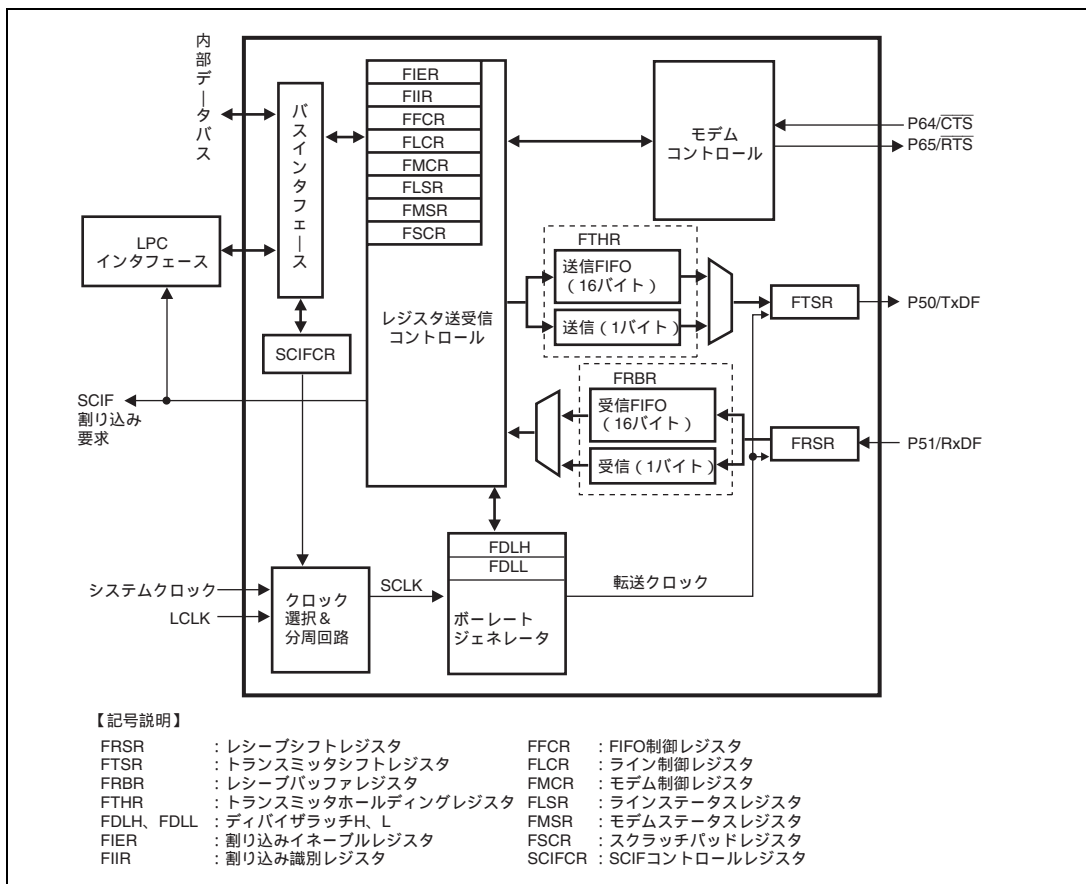


図 15.1 SCIF のブロック図

15.2 入出力端子

SCIF の入出力端子を表 15.1 に示します。

表 15.1 端子構成

端子名	ポート	入出力	機能
TxDf	P50	出力	送信データ出力端子
RxDf	P51	入力	受信データ入力端子
CTS	P64	入力	送信許可入力端子
RTS	P65	出力	送信要求出力端子

15.3 レジスタの説明

SCIF には以下のレジスタがあります。SCIF のレジスタ構成を以下に示します。HICR5 の SCIFE ビットと MSTPCRB のビット 3 によりレジスタへのアクセスが切り替わります。詳細は表 15.2 を参照してください。なお、SCIF アドレスレジスタ H、L (SCIFADRH、SCIFADRL) およびシリアル IRQ コントロールレジスタ 4 (SIRQCR4) については「第 18 章 LPC インタフェース (LPC)」を参照してください。

- ホストインタフェースコントロールレジスタ5 (HICR5)
- サブチップモジュールストップコントロールレジスタAL (SUBMSTPAH)
- レシーブバッファレジスタ (FRBR)
- トランスミッタホールディングレジスタ (FTHR)
- ディバイザラッチL (FDLL)
- 割り込みイネーブルレジスタ (FIER)
- ディバイザラッチH (FDLH)
- 割り込み識別レジスタ (FIIR)
- FIFO制御レジスタ (FFCR)
- ライン制御レジスタ (FLCR)
- モデム制御レジスタ (FMCR)
- ラインステータスレジスタ (FLSR)
- モデムステータスレジスタ (FMSR)
- スクラッチパッドレジスタ (FSCR)
- SCIFコントロールレジスタ (SCIFCR)
- SCIFアドレスレジスタH (SCIFADRH)
- SCIFアドレスレジスタL (SCIFADRL)
- シリアルIRQコントロールレジスタ4 (SIRQCR4)

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

表 15.2 レジスタアクセス

HICR5 の SCIFE ビット	0		1	
SUBMSTPAH のビット 3	0	1	0	1
SCIFCR	H8S CPU アクセス*2	アクセス不可	H8S CPU アクセス*2	アクセス不可
SCIFCR 以外	H8S CPU アクセス*2	アクセス不可	LPC アクセス*1	LPC アクセス*1

【注】 *1 LPC アクセスに設定時は H8S CPU からの書き込みは禁止されます。また、読み出し時は H'FF が読み出されます。

*2 H8S CPU アクセスに設定時は LPC からの書き込みは禁止されます。また、読み出し時は H'00 が読み出されます。

15.3.1 レシーブシフトレジスタ (FRSR)

FRSR は RxD_F 端子から入力されたシリアルデータをパラレルデータに変換するための受信レジスタです。シリアルデータは LSB(ビット 0)から受信したデータを格納します。1 フレーム分のシリアルデータを受信すると、データは FRBR に転送されます。

FRSR は CPU/LPC インタフェースからはリードできません。

15.3.2 レシーブバッファレジスタ (FRBR)

FRBR は受信したシリアルデータを格納するための 8 ビットのリード専用レジスタです。FLSR の DR ビットがセットされているとき、正しいデータをリードすることができます。

FIFO ディセーブル時は、次のデータを受信する前に FRBR のデータをリードしなければなりません。リードする前にデータを受信すると上書きされ、オーバーランエラーになります。

FIFO イネーブル時はレジスタをリードしたとき、受信 FIFO の先頭をリードします。受信 FIFO がいっぱいになると、それ以降の受信データは失われオーバーランエラーになります。

ビット	ビット名	初期値	R/W	説明
7~0	bit7 ~ bit0	すべて 0	R	受信したシリアルデータを格納します。 FIFO イネーブル時は 16 バイトになります。

15.3.3 トランスミッタシフトレジスタ (FTSR)

FTSR は TxDF 端子からパラレルデータをシリアルデータに変換して送信するレジスタです。1 フレーム分のシリアルデータを送信すると、データは FTNR から転送されます。シリアルデータは LSB (ビット 0) から送信されます。

FTSR は H8S CPU/LPC インタフェースからはライトできません。

15.3.4 トランスミッタホールディングレジスタ (FTNR)

FTNR は送信するシリアルデータを格納するための 8 ビットのライト専用レジスタで、FLCR の DLAB ビットが 0 のときアクセス可能です。FLSR の THRE ビットがセットされているときに送信データをライトしてください。

FIFO ディセーブルで THRE ビットがセットされているとき、FTNR にデータをライトすることができます。THRE ビットがセットされていないときに FTNR にデータをライトすると、データは上書きされます。

FIFO イネーブルで THRE ビットがセットされているとき、16 バイトまでデータをライトすることができます。FIFO が満杯の状態ではデータをライトすると、ライトしたデータは無効になります。

ビット	ビット名	初期値	R/W	説 明
7~0	bit7~bit0	-	W	送信するシリアルデータを格納します。 FIFO イネーブル時は 16 バイトになります。

15.3.5 デイバイザラッチ H、L (FDLH、FDLL)

FDLH、FDLL はボーレートを設定するためのレジスタで、FLCR の DLAB ビットが 1 のときアクセス可能です。分周は $1 \sim (2^{16} - 1)$ の範囲が設定可能で、FDLH、FDLL が 0 (初期値) のとき分周回路は停止します。

• FDLH

ビット	ビット名	初期値	R/W	説 明
7~0	bit7~bit0	すべて 0	R/W	デイバイザラッチの上位 8 ビット

• FDLL

ビット	ビット名	初期値	R/W	説 明
7~0	bit7~bit0	すべて 0	R/W	デイバイザラッチの低位 8 ビット

ボーレート = (ボーレートジェネレータに入力するクロックの周波数) / (16 × デイバイザ値)

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

15.3.6 割り込みイネーブルレジスタ (FIER)

FIER は割り込みの許可 / 禁止を設定するためのレジスタで、FLCR の DLAB ビットが 0 のときアクセスできません。

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。初期値を変更しないでください。
3	EDSSI	0	R/W	モデムステータス割り込みイネーブル 0: モデムステータス割り込み禁止 1: モデムステータス割り込み許可
2	ELSI	0	R/W	受信ラインステータス割り込みイネーブル 0: 受信ラインステータス割り込み禁止 1: 受信ラインステータス割り込み許可
1	ETBEI	0	R/W	FTHR エンプティ割り込みイネーブル 0: FTHR エンプティ割り込み禁止 1: FTHR エンプティ割り込み許可
0	ERBFI	0	R/W	受信データレディ割り込みイネーブル FIFO イネーブル時はキャラクタタイムアウト割り込みを含みます。 0: 受信データレディ割り込み禁止 1: 受信データレディ割り込み許可

15.3.7 割り込み識別レジスタ (FIIR)

FIIR は割り込み要因を識別するビットで構成されます。詳細は表 15.3 を参照してください。

ビット	ビット名	初期値	R/W	説 明
7	FIFOE1	0	R	FIFO イネーブル 1、0
6	FIFOE0	0	R	送信、受信 FIFO の設定状態を示します。 00 : 送信、受信 FIFO ディスエーブル 11 : 送信、受信 FIFO イネーブル
5~4	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。初期値を変更しないでください。
3	INTID2	0	R	インタラプト ID2、1、0
2	INTID1	0	R	実行待ちの割り込みの中でもっとも優先順位の高い割り込みを示します。
1	INTID0	0	R	000 : モデムステータス 001 : FTNR エンプティ 010 : 受信データレディ 011 : 受信ラインステータス 110 : キャラクタタイムアウト (FIFO イネーブル時)
0	INTPEND	1	R	インタラプトペンディング 実行待ちの割り込みの有無を示すビットです。 0 : 実行待ちの割り込みあり 1 : 実行待ちの割り込みなし

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

表 15.3 割り込み制御機能

FIIR				割り込みセット/クリア			
INTID			INTPEND	優先 順位	割り込み種類	割り込み要因	割り込みクリア
2	1	0					
0	0	0	1	-	割り込みなし	なし	-
0	1	1	0	1(高)	受信ラインステータス	オーバランエラー、 パリティエラー、 フレーミングエラー、 ブレーク割り込み	FLSR リード
0	1	0	0	2	受信データレディ	受信データあり、 FIFO トリガレベル	FRBR リードまたは受 信 FIFO がトリガレベ ル以下
1	1	0	0	2	キャラクタタイムアウト (FIFO イネーブル時)	受信 FIFO にデータが 1 キャラクタ以上ある状 態で、4 キャラクタタイ ム間受信 FIFO にデー タの入出力がない	FRBR リード
0	0	1	0	3	FTHR エンプティ	FTHR エンプティ	FIIR リードまたは FTHR ライト
0	0	0	0	4(低)	モデムステータス	CTS	FMSR リード

15.3.8 FIFO 制御レジスタ (FFCR)

FFCR は送信、受信 FIFO を制御するためのライト専用レジスタです。

ビット	ビット名	初期値	R/W	説明
7	RCVRTRIG1	0	W	受信 FIFO 割り込みトリガレベル 1、0
6	RCVRTRIG0	0	W	受信 FIFO 割り込みのトリガレベルを設定します。 00 : 1 バイト 01 : 4 バイト 10 : 8 バイト 11 : 14 バイト
5-4	-	-	-	リザーブビット ライトは無効です。
3	DMAMODE	0	-	DMA モード サポートしていません。初期値を変更しないでください。
2	XMITFRST	0	W	送信 FIFO リセット 1 をライトすると送信 FIFO のデータがクリアされます。ただし、FTSR のデータはクリアされません。 このビットは自動的にクリアされます。
1	RCVRFRST	0	W	受信 FIFO リセット 1 をライトすると受信 FIFO のデータがクリアされます。ただし、FRSR のデータはクリアされません。 このビットは自動的にクリアされます。
0	FIFOE	0	W	FIFO イネーブル 0 : 送信、受信 FIFO ディスエーブル 送信、受信 FIFO の全バイトがクリアされます。 1 : 送信、受信 FIFO イネーブル

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

15.3.9 ライン制御レジスタ (FLCR)

FLCR は送受信データのフォーマットを設定します。

ビット	ビット名	初期値	R/W	説明
7	DLAB	0	R/W	ディバイザラッチアドレスビット FDLL、FDLH は FRBR/FTHR、FIER と同一アドレスに配置されています。DLAB はどちらのレジスタをアクセスするかを選択します。 0 : FRBR/FTHR、FIER のアクセスを許可 1 : FDLL、FDLH のアクセスを許可
6	BREAK	0	R/W	ブレイクコントロール シリアル出力信号 TxDF を Low レベルにしてブレイクを発生させます。ブレイク状態はビットをクリアすることにより解除されます。 0 : ブレイク解除 1 : ブレイク発生
5	STICK PARITY	0	R	スティックパリティ 本 LSI ではサポートしていません。 リードすると常に 0 が読み出されます。初期値を変更しないでください。
4	EPS	0	R/W	パリティセレクト PEN ビットが 1 のとき、パリティの偶数 / 奇数を選択します。 0 : 奇数パリティ 1 : 偶数パリティ
3	PEN	0	R/W	パリティイネーブル 送信時のパリティビットの付加、受信時のパリティチェックあり / なしの選択を行います。 0 : パリティビットの付加 / チェックなし 1 : パリティビットの付加 / チェックあり
2	STOP	0	R/W	ストップビット 送信時のストップビットの長さを選択します。受信時は設定にかかわらず、最初のストップビットのみをチェックします。 0 : 1 ストップビット 1 : 1.5 ストップビット (データ長 : 5 ビット) 2 ストップビット (データ長 : 6~8 ビット)
1 0	CLS1 CLS0	0 0	R/W R/W	キャラクタレングスセレクト 1、0 送受信キャラクタのデータ長を設定します。 00 : データ長 5 ビット 01 : データ長 6 ビット 10 : データ長 7 ビット 11 : データ長 8 ビット

15.3.10 モデム制御レジスタ (FMCR)

FMCR は出力信号を制御します。

ビット	ビット名	初期値	R/W	説 明
7~5	-	すべて0	R	リザーブビット リードすると常に0が読み出されます。初期値を変更しないでください。
4	LOOP BACK	0	R/W	ループバックテスト 送信データ出力と受信データ入力が入部接続され、送信データ出力端子 (RxD \overline{F}) = 1、受信入力端子は外部との接続が切り離されます。また、モデム制御入力のCTS端子は外部との接続が切り離され、それぞれモデム制御出力のRTSに内部で接続されます。ループバックモード時に送信データは直ちに受信されます。また、割り込みの許可/禁止はSCIFCRのOUT2LOOPビットとFIERで設定します。 0: ループバック機能を禁止 1: ループバック機能を許可
3	OUT2	0	R/W	$\overline{O}UT2$ • 通常動作時 SCIF 割り込みの許可/禁止を設定します。 0: 割り込み禁止 1: 割り込み許可
2	OUT1	0	R/W	$\overline{O}UT1$ • 通常動作時 動作に影響しません。
1	RTS	0	R/W	リクエストトゥーセンド $\overline{R}TS$ 出力を制御します。 0: RTS 出力ハイレベル 1: $\overline{R}TS$ 出力はロウレベル
0	-	-	-	リザーブビット

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

15.3.11 ラインステータスレジスタ (FLSR)

FLSR はデータ転送のステータス情報を示すリード専用レジスタです。

ビット	ビット名	初期値	R/W	説明
7	RXFIFOERR	0	R	<p>受信 FIFO エラー</p> <p>FIFO イネーブル時に、パリティエラー、フレーミングエラー、ブレーク割り込みのデータエラーが少なくとも一つ発生したことを示します。</p> <p>0: 受信 FIFO エラーなし</p> <p>[クリア条件]</p> <p>FRBR をリードするかまたは、FIFO クリアによってエラー要因となるデータが FIFO になくなった状態で FLSR をリードしたとき</p> <p>1: 受信 FIFO エラーあり</p> <p>[セット条件]</p> <p>FIFO 内にパリティエラー、フレーミングエラー、ブレーク割り込みのデータエラーが少なくとも一つ発生</p>
6	TEMT	1	R	<p>トランスミッタエンプティ</p> <p>送信データがあるかどうかを示します。</p> <ul style="list-style-type: none"> FIFO ディセーブル時 <ul style="list-style-type: none"> 0: FTHR または FTSR に送信データあり <p>[クリア条件]</p> <p>FTHR に送信データライト</p> <p>1: FTHR と FTSR に送信データなし</p> <p>[セット条件]</p> <p>FTHR と FTSR の送信データがなくなったとき</p> <ul style="list-style-type: none"> FIFO イネーブル時 <ul style="list-style-type: none"> 0: 送信 FIFO または FTSR に送信データあり <p>[クリア条件]</p> <p>FTHR に送信データライト</p> <p>1: 送信 FIFO と FTSR に送信データなし</p> <p>[セット条件]</p> <p>送信 FIFO と FTSR の送信データがなくなったとき</p>

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
5	THRE	1	R	<p>FTHR エンプティ 送信のための新しいデータの受け入れ準備ができています。</p> <ul style="list-style-type: none"> • FIFO イネーブル時 <ul style="list-style-type: none"> 0 : 送信 FIFO に 1 バイト以上の送信データあり [クリア条件] <ul style="list-style-type: none"> FTHR に送信データライト 1 : 送信 FIFO に送信データなし [セット条件] <ul style="list-style-type: none"> 送信 FIFO が空になったとき • FIFO ディセーブル時 <ul style="list-style-type: none"> 0 : FTHR に送信データあり [クリア条件] <ul style="list-style-type: none"> FTHR に送信データライト 1 : FTHR に送信データなし [セット条件] <ul style="list-style-type: none"> FTHR のデータを FTSR に転送完了
4	BI	0	R	<p>ブレイク割り込み 受信データのブレイク信号検出を示します。FIFO イネーブル時は、FIFO 内の個々の受信データにより発生しこの受信データが FIFO の先頭にあるときにセットされます。また、次のデータ受信は、受信データ入力マーク状態に遷移し有効なスタートビットを受信した後に開始します。</p> <ul style="list-style-type: none"> 0 : ブレイク信号未検出 [クリア条件] <ul style="list-style-type: none"> FLSR リード 1 : ブレイク信号検出 [セット条件] <ul style="list-style-type: none"> 1 フレーム長以上の受信時間を超えて受信データ入力マーク状態 (Low レベル) に保持

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
3	FE	0	R	<p>フレーミングエラー</p> <p>受信データのストップビットが有効でないことを示します。FIFO イネーブル時は、FIFO 内の個々の受信データにより発生しこの受信データが FIFO の先頭にあるときにセットされます。フレーミングエラー後、UART は再同期化を試みます。この際フレーミングエラーは次のスタートビットによるものと想定し、このスタートビットをサンプリングしてスタートビットとします。</p> <p>0: フレーミングエラーなし</p> <p>[クリア条件]</p> <p>FLSR リード</p> <p>1: フレーミングエラーあり</p> <p>[セット条件]</p> <p>受信データのストップビットが無効</p>
2	PE	0	R	<p>パリティエラー</p> <p>FLCR の PEN ビットが 1 のとき、受信したデータにパリティエラーがあることを示します。FIFO イネーブル時は FIFO 内の個々の受信データにより発生し、この受信データが FIFO の先頭にあるときにセットされます。</p> <p>0: パリティエラーなし</p> <p>[クリア条件]</p> <p>FLSR リード</p> <p>ただし、オーバランエラー時にセットされた場合は FLSR を 2 回リード</p> <p>1: パリティエラーあり</p> <p>[セット条件]</p> <p>受信データがパリティエラー</p>
1	OE	0	R	<p>オーバランエラー</p> <p>オーバランエラーが発生したことを示すビットです。</p> <ul style="list-style-type: none"> • FIFO ディセーブル時 <p>FRBR の受信データがリードされずに次のデータを受信完了したときにオーバランエラーが発生し、前のデータは失われます。</p> <ul style="list-style-type: none"> • FIFO イネーブル時 <p>FIFO が満杯になり、次のデータを受信完了したときにオーバランエラーが発生します。FIFO 内のデータは保持されますが、最後に受信したデータは失われます。</p> <p>0: オーバランエラーなし</p> <p>[クリア条件]</p> <p>FLSR リード</p> <p>1: オーバランエラー</p> <p>[セット条件]</p> <p>オーバランエラー発生時</p>

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
0	DR	0	R	データレディ FRBR または FIFO に受信データが格納されたことを示します。 0: 受信データなし [クリア条件] FRBR をリード、または FIFO 内のデータをすべてリード 1: 受信データあり [セット条件] データを受信

15.3.12 モデムステータスレジスタ (FMSR)

FMSR は、モデム制御端子の状態または変化を示すリード専用レジスタです。

ビット	ビット名	初期値	R/W	説明
7~5	-	0	R	リザーブビット
4	CTS	0	R	クリアトゥセンド CTS 入力端子の反転した状態を示します。
3~1	-	0	R	リザーブビット
0	DCTS	0	R	デルタクリアトゥセンドインジケータ DCTS ビットをリード後に CTS 入力信号が変化していることを示します。 0: FMSR リード後に CTS 入力信号変化なし [クリア条件] FMSR をリード 1: FMSR リード後、CTS 入力信号が変化 [セット条件] CTS 入力信号が変化

15.3.13 スクラッチパッドレジスタ (FSCR)

FSCR は SCIF の制御には使用しません。プログラムの一時的なデータ保持に使用することができます。

ビット	ビット名	初期値	R/W	説明
7~0	bit7~bit0	すべて 0	R/W	プログラムの一時データ保持に使用します。

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

15.3.14 SCIF コントロールレジスタ (SCIFCR)

SCIFCR は SCIF の各種動作を制御します。SCIFCR は CPU からのみアクセスが可能です。

ビット	ビット名	初期値	R/W	説明
7	SCIFOE1	0	R/W	SCIF の PORT 出力の許可 / 禁止を設定します。LPC の HICR5 の SCIF ビットとの組み合わせでポート機能が変わります。 詳細は表 15.4 を参照してください。
6	SCIFOE0	0	R/W	
5	-	0	R/W	リザーブビット 初期値を変更しないでください
4	OUT2LOOP	0	R/W	ループバックテスト時の割り込みを許可 / 禁止します。 0: 割り込み許可 1: 割り込み禁止
3	CKSEL1	0	R/W	ポーレートジェネレータへ入力するクロック (SCLK) を選択します。 00: LCLK を 18 分周したクロック 01: システムクロックを 11 分周したクロック 10: リザーブ (選択禁止) (LCLK) 11: リザーブ (選択禁止) (システムクロック)
2	CKSEL0	0	R/W	
1	SCIFRST	0	R/W	ポーレートジェネレータ、FRSR、FTSR をリセットします。 0: 通常動作 1: リセット
0	REGRST	0	R/W	SCIFCR 以外で H8S CPU 又は LPC インタフェースからアクセス可能なレジスタをリセットします。 0: 通常動作 1: リセット

表 15.4 SCIF 出力設定

HICR5 の SCIFE ビット	0				1			
SCIFOE1	0		1		0		1	
SCIFOE0	0	1	0	1	0	1	0	1
P65 端子	PORT	PORT	\overline{RTS}	PORT	\overline{RTS}	PORT	\overline{RTS}	PORT
P27 端子	PORT	PORT	\overline{DTR}	PORT	\overline{DTR}	PORT	\overline{DTR}	PORT
P50 端子	PORT	PORT	TxD \overline{F}	TxD \overline{F}	TxD \overline{F}	TxD \overline{F}	TxD \overline{F}	TxD \overline{F}

【注】 P65、P50 端子の出力を PORT に設定した場合でも P51、P64 は SCIF へ入力されます。

15.4 動作説明

15.4.1 ボーレート

SCIF はボーレートジェネレータを内蔵しており、FDLH、FDLL と SCIFCR の CKSEL ビットにより、任意のボーレートを設定できます。表 15.5 にボーレートの設定例を示します。

表 15.5 ボーレートの設定例

CKSEL1、0	00		01	
	LCLK (33MHz) の 18 分周		システムクロック (34MHz) の 11 分周	
ボーレート	FDLH+FDLL	エラー (%)	FDLH+FDLL	エラー (%)
50	H'0900	- 0.54%	H'0F18	- 0.01%
75	H'0600	- 0.54%	H'0A10	- 0.01%
110	H'0417	- 0.51%	H'06DC	0.01%
300	H'0180	- 0.54%	H'0284	- 0.01%
600	H'00C0	- 0.54%	H'0142	- 0.01%
1200	H'0060	- 0.54%	H'00A1	- 0.01%
1800	H'0040	- 0.54%	H'006B	0.30%
2400	H'0030	- 0.54%	H'0050	0.62%
4800	H'0018	- 0.54%	H'0028	0.62%
9600	H'000C	- 0.54%	H'0014	0.62%
14400	H'0008	- 0.54%	H'000D	-
19200	H'0006	- 0.54%	H'000A	0.62%
38400	H'0003	- 0.54%	H'0005	0.62%
57600	H'0002	- 0.54%	H'0003	-
115200	H'0001	- 0.54%	H'0002	-

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

15.4.2 調歩同期式通信の動作

調歩同期式シリアル通信の一般的なフォーマットを図 15.2 に示します。1 フレームは、スタートビット (Low レベル) から始まり送受信データ (LSB ファースト: 最下位ビットから)、パリティビット、ストップビット (High レベル) の順で構成されます。調歩同期式シリアル通信では、通信回線は通常マーク状態 (High レベル) に保たれています。SCIF は通信回線を監視し、スペース (Low レベル) を検出するとスタートビットとみなしてシリアル通信を開始します。SCIF 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

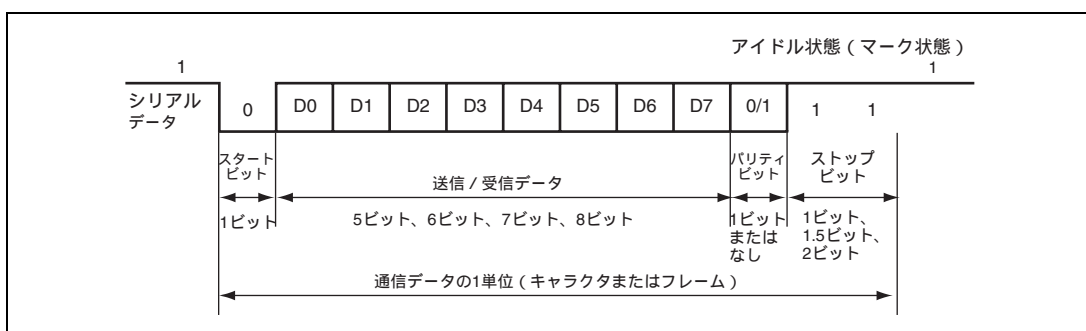


図 15.2 シリアル送信/受信データフォーマット
(8 ビットデータ / パリティあり / 2 ストップビットの例)

15.4.3 SCIF の初期化

(1) SCIF の初期化

データ送受信前に図 15.3 のフローチャート例に従って初期化を行ってください。

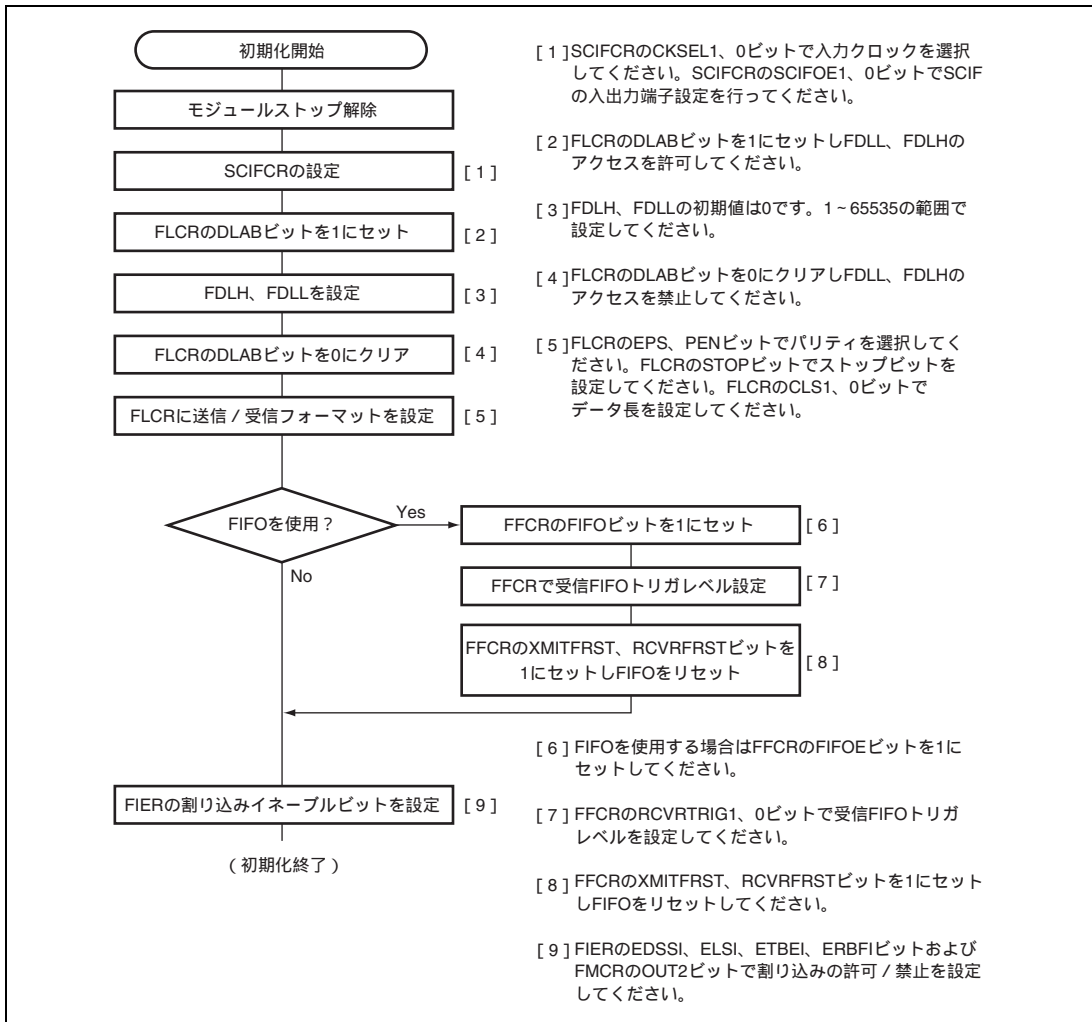


図 15.3 初期化フローチャートの例

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

(2) シリアルデータ送信

図 15.4 に送信フローチャートの例を示します。

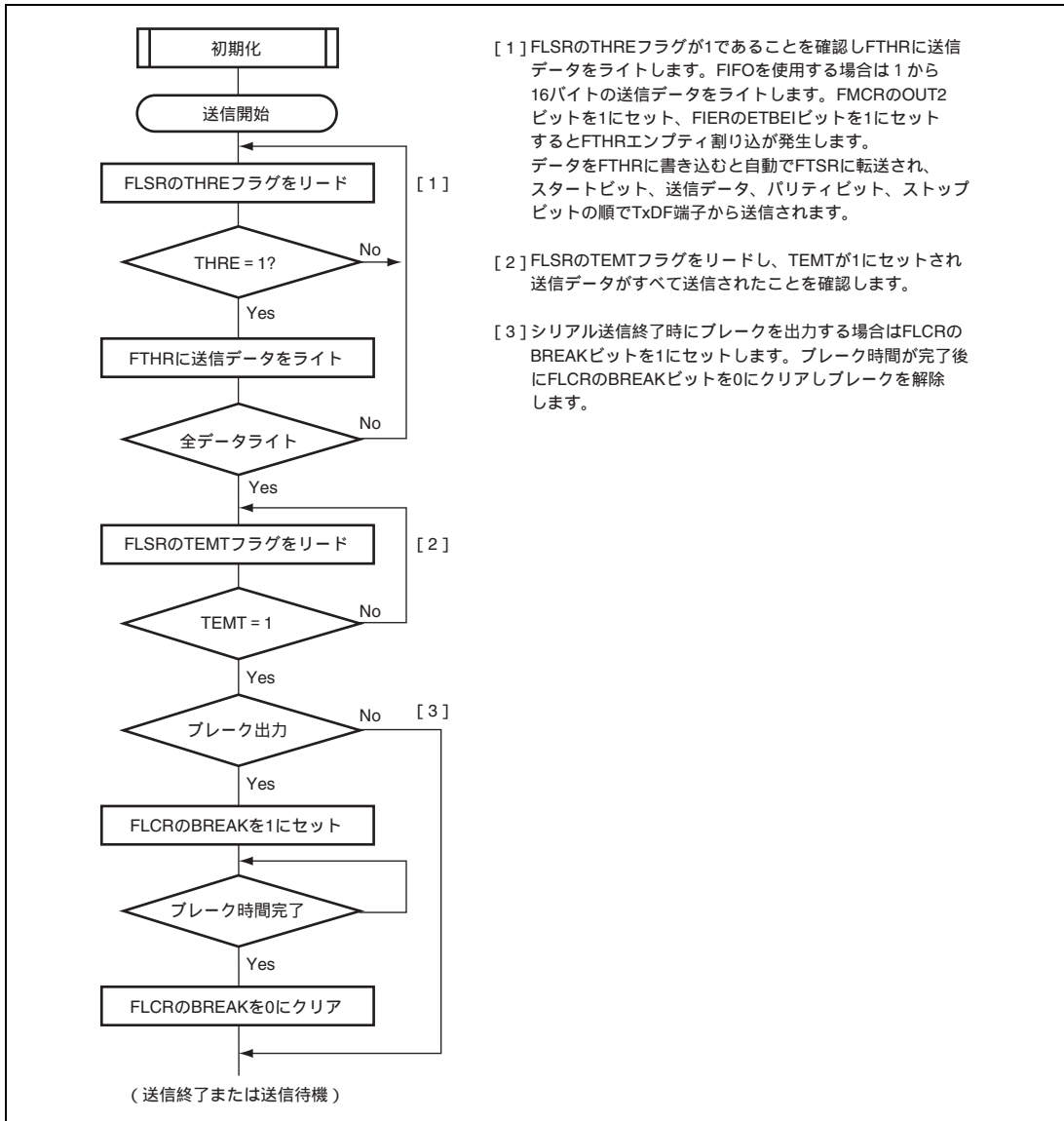


図 15.4 データ送信フローチャートの例

(3) シリアルデータ受信

図 15.5 に受信フローチャートの例を示します。

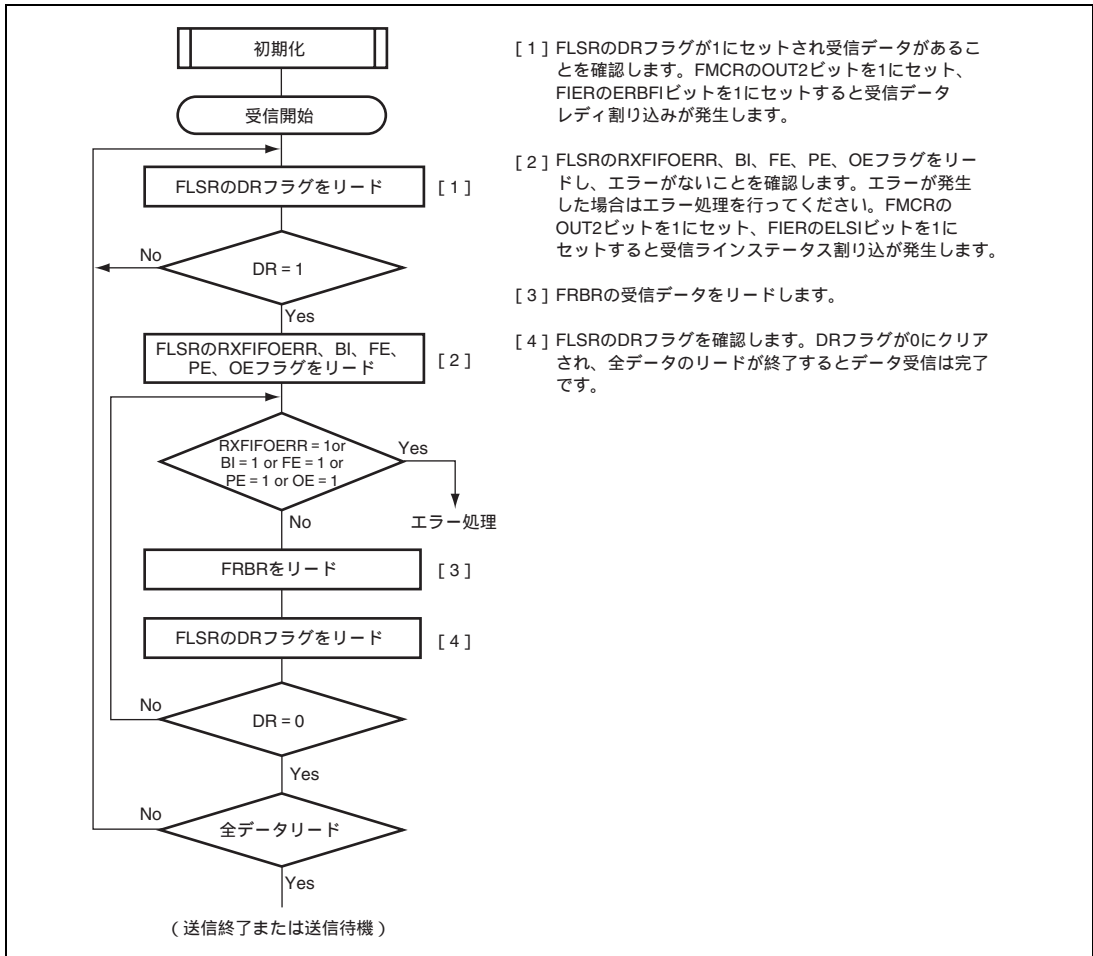


図 15.5 データ受信フローチャートの例

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

15.4.4 フロー制御を行った送受信

CTS/RTS を使用したフロー制御を行う場合の送受信の例を示します。

(1) 初期化

図 15.6 に初期化フローチャートの例を示します。

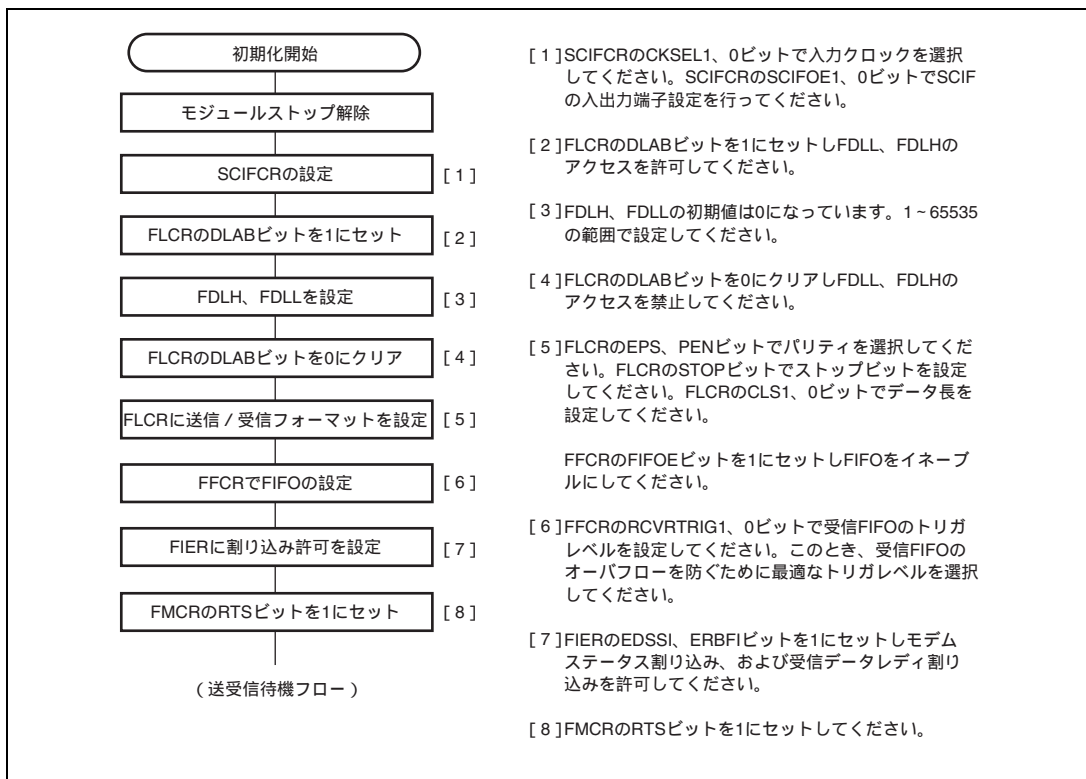


図 15.6 初期化フローチャートの例

(2) 送受信待機

図 15.7 に送受信待機フローチャートの例を示します。

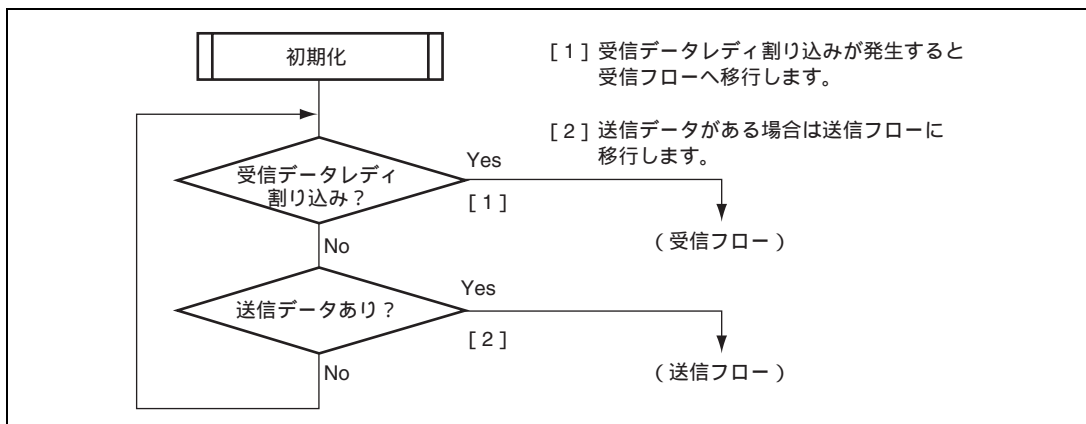


図 15.7 送受信待機フローチャートの例

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

(3) 送信

図 15.8 に送信フローチャートの例を示します。

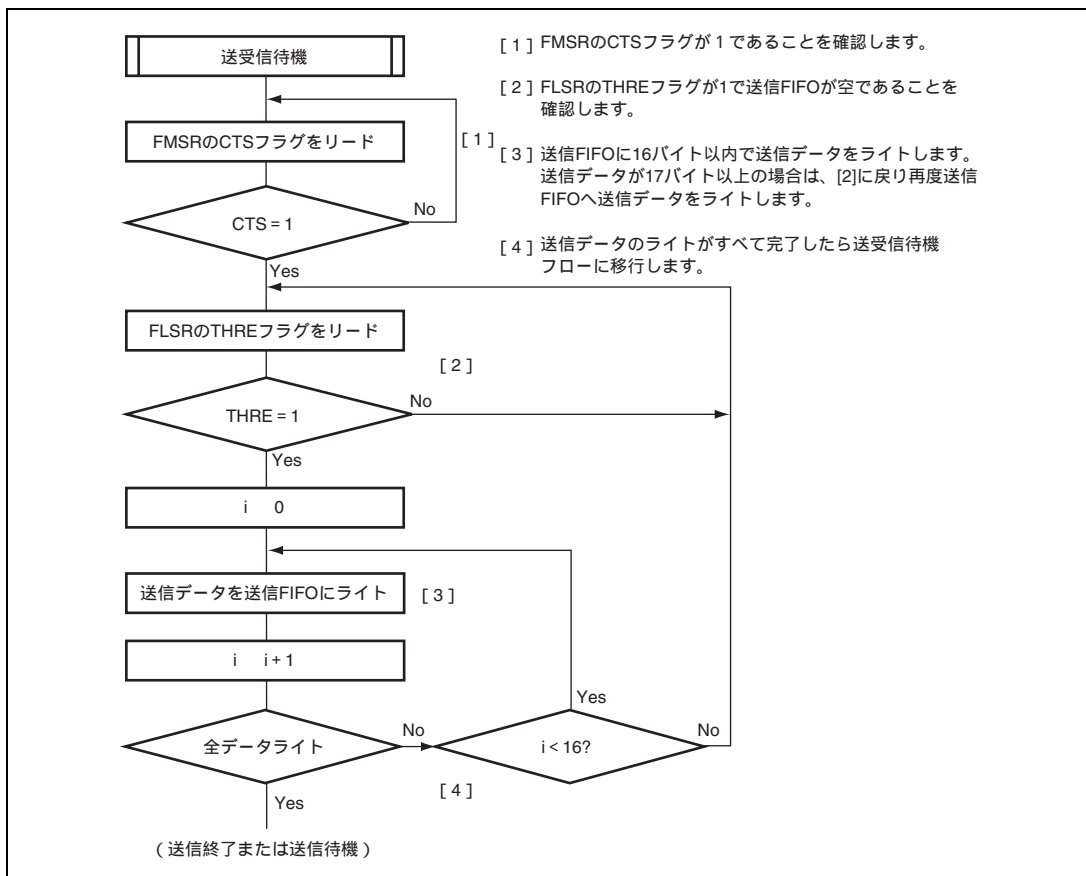


図 15.8 送信フローチャートの例

(4) 送信中断

図 15.9 に送信中断フローチャートの例を示します。

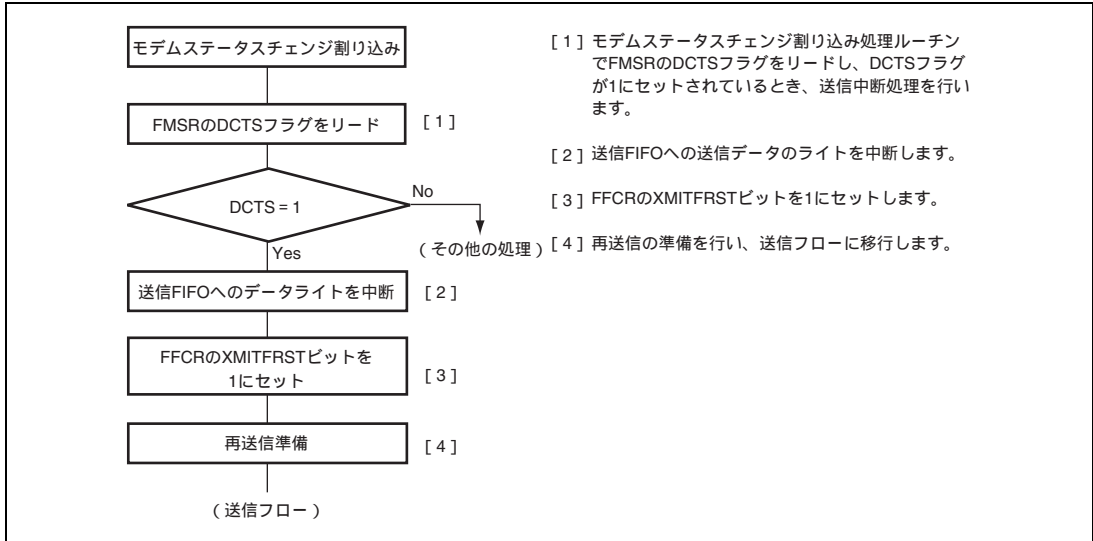


図 15.9 送信中断フローチャートの例

(5) 受信

図 15.10 に受信フローチャートの例を示します。

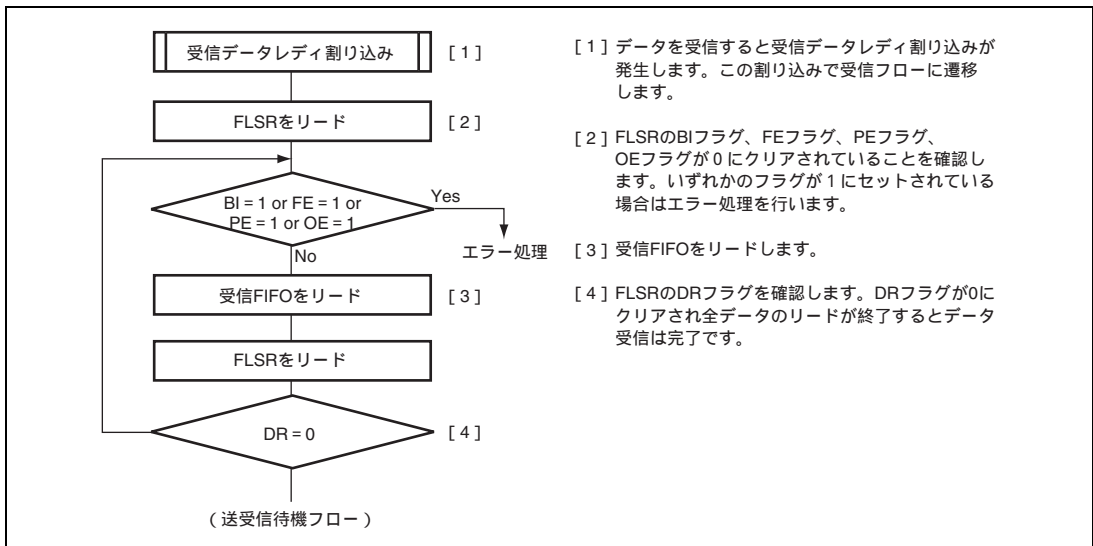


図 15.10 受信フローチャートの例

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

(6) 受信中断

図 15.11 に受信中断フローチャートの例を示します。

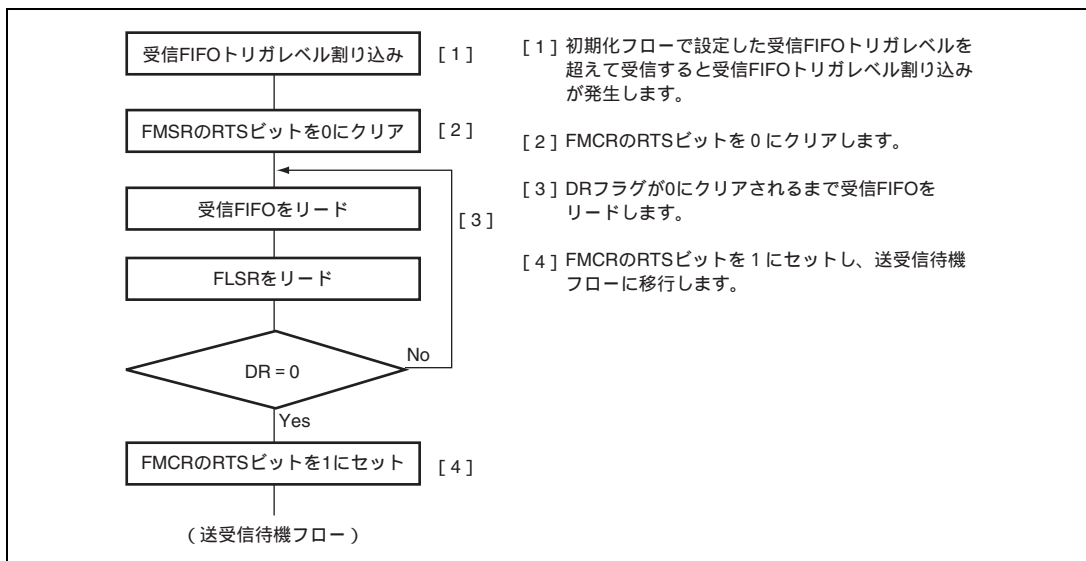


図 15.11 受信中断フローチャートの例

15.4.5 LPC インタフェースからのデータ送受信

表 15.2 に示すように HICR5 の SCIFE ビットを 1 にセットすると SCIFCR 以外のレジスタが LPC インタフェースからアクセス可能となります。CPU から SCIFCR の初期設定を行い HICR5 の SCIFE ビットを 1 にセットすることによって図 15.2～図 15.4 に示す初期設定、データ送信、データ受信のフロー設定が、LPC インタフェースから可能となります。LPC インタフェースの I/O アドレスと SCIF レジスタのアクセス対応を表 15.6 に示します。なお、LPC インタフェースの詳細な設定方法は「第 18 章 LPC インタフェース (LPC)」を参照してください。

表 15.6 SCIF のレジスタと LPC I/O アドレス対応

LPC インタフェース I/O アドレス				R/W	条件	SCIF のレジスタ
ビット 15～3	ビット 2	ビット 1	ビット 0			
SCIFADR (bit15～3)	0	0	0	R	FLCR[7]=0	FRBR
				W	FLCR[7]=0	FTHR
				R/W	FLCR[7]=1	FDLL
SCIFADR (bit15～3)	0	0	1	R/W	FLCR[7]=0	FIER
				R/W	FLCR[7]=1	FDLH
SCIFADR (bit15～3)	0	1	0	R	-	FIIR
				W	-	FFCR
SCIFADR (bit15～3)	0	1	1	R/W	-	FLCR
SCIFADR (bit15～3)	1	0	0	R/W	-	FMCR
SCIFADR (bit15～3)	1	0	1	R	-	FLSR
SCIFADR (bit15～3)	1	1	0	R	-	FMSR
SCIFADR (bit15～3)	1	1	1	R/W	-	FSCR

また、LPC インタフェースからのデータ送受信に関連するレジスタの状態を表 15.7 に示します。

表 15.7 レジスタの状態

レジスタ名		システム リセット	LPC リセット	LPC シャットダウン	LPC アバート
SCIFADRH	bit15～8	初期化	保持	保持	保持
SCIFADRL	bit7～0	初期化	保持	保持	保持
HICR5	SCIFE	初期化	保持	保持	保持
SIRQCR4	bit7～4	初期化	保持	保持	保持
	SCSIRQ3	初期化	保持	保持	保持
	SCSIRQ2	初期化	保持	保持	保持
	SCSIRQ1	初期化	保持	保持	保持
	SCSIRQ0	初期化	保持	保持	保持

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

15.5 割り込み要因

表 15.8 に割り込み要因を示します。各割り込み要因には共通の 1 つの割り込みベクタが割り当てられています。

LPC で SCIF を使用する場合、H8S CPU に対して割り込みを要求しません。LPC インタフェースの SERIRQ によりホストへ割り込みが要求されます。

表 15.8 割り込み要因

名称	割り込み要因	優先順位
受信ラインステータス	オーバランエラー、パリティエラー、フレーミングエラー、ブ레이크割り込み	高 ↑ 低
受信データレディ	受信データあり、FIFO トリガレベル	
キャラクタタイムアウト (FIFO イネーブル時)	受信 FIFO にデータが 1 キャラクタ以上ある状態で、4 キャラクタタイム間受信 FIFO にデータの入出力がない	
FTHR エンプティ	FTHR エンプティ	
モデムステータス	CTS	

表 15.9 に割り込み要因とベクタアドレスおよび優先順位一覧を示します。

表 15.9 割り込み要因とベクタアドレスおよび優先順位一覧

割り込み 要因発生元	割り込み名称	ベクタ番号	ベクタアドレス	ICR
SCIF	SCIFI	82	H'000148	ICRC7

15.6 使用上の注意事項

15.6.1 SCLK に LCLK を選択した場合の低消費電力モード

SCLK に LCLK の 18 分周クロックを選択している場合でソフトウェアスタンバイモードに遷移する場合は、LPC インタフェースのシャットダウン機能を使用して LCLK をストップしてください。

16. シリアルマルチプレクス機能

本 LSI は、3 つのシリアルモジュール (SCIF、SCL₁、SCL₃) が COM ポートによって構成され、内部接続されています (シリアルマルチプレクス機能)。シリアルマルチプレクス機能は、シリアルマルチプレクスレジスタ 0 (SMR0) とシリアルマルチプレクスレジスタ 1 (SMR1) の 2 つのレジスタで制御します。

16.1 特長

IPMI アプリケーションのソフトウェアブリッジをつくるための COM ポート内部接続が構成可能

シリアルマルチプレクス機能 : 5 種類

モード 0 : それぞれの COM ポートをシリアル専用として使用します。 (COM1-SCIF、COM2-SCL₁、COM3-SCL₃)

モード 1 : COM1 ポートが SCL₁ と内部レジスタによって、ポートをモニタします。

モード 2 : SCIF、SCL₁ ブリッジと内部レジスタによって、ソフトウェアフロー制御を提供します。

モード 3 : COM ポートを COM1-SCL₁ と COM2-SCIF を切り換えることができます。内部レジスタは SCL₁ のフロー制御を行います。

モード 4 : モード 3 とともに、SCIF と SCL₃ ブリッジモード

なお、SCI および SCIF についての詳細は、「第 13 章 シリアルコミュニケーションインタフェース (SCI) 」および「第 15 章 FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF) 」を参照してください。

16.2 入出力端子

シリアルマルチプレクス機能の入出力端子を表 16.1 に示します。

表 16.1 端子構成

モジュール	端子名	ポート	入出力	機能
SCIF	TxDF	P50	出力	送信データ出力端子
	RxDF	P51	入力	受信データ入力端子
	$\overline{\text{CTS}}$	P64	入力	送信許可入力端子
	$\overline{\text{RTS}}$	P65	出力	送信要求出力端子

16. シリアルマルチプレクス機能

16.3 レジスタの説明

シリアルマルチプレクス機能には以下のレジスタがあります。

- シリアルマルチプレクスモードレジスタ0 (SMR0)
- シリアルマルチプレクスモードレジスタ1 (SMR1)

16.3.1 シリアルマルチプレクスモードレジスタ0 (SMR0)

SMR0 はシリアルマルチプレクス機能や各モードの制御、およびポートの状態をモニタするレジスタです。

ビット	ビット名	初期値	R/W	説明
7	-	-	R	リザーブビット
6	-	-	R	
5	-	-	R	
4	SME	0	R/W	シリアルマルチプレクスイネーブルビット 0: 端子切り換えディスエーブル 1: 端子切り換えイネーブル
3	-	0	R	リザーブビット リードすると0が読み出されます。書き込むときは0をライトしてください。
2	SM2	0	R/W	シリアルマルチプレクスモード選択 シリアルマルチプレクスモードを設定します。本ビットへの書き込みは、SME ビットが1のときのみ有効です。 000: シリアルマルチプレクスモード0 001: シリアルマルチプレクスモード1 010: シリアルマルチプレクスモード2 011: シリアルマルチプレクスモード3 100: シリアルマルチプレクスモード4 101: 設定禁止 110: 設定禁止 111: 設定禁止
1	SM1	0	R/W	
0	SM0	0	R/W	

16.3.2 シリアルマルチプレクスモードレジスタ 1 (SMR1)

SMR1 はポートのモニタおよびポート出力の制御をするレジスタです。

ビット	ビット名	初期値	R/W	説 明
7	CTS1	-	R	モード 1 では COM1 の $\overline{\text{CTS}}$ 端子のステータスをモニタします。 モード 2 では SCIF の $\overline{\text{RTS}}$ 端子のステータスをモニタします。
6	-	-	R/W	リザーブビット
5	RTS1	1	R/W	COM1 の $\overline{\text{RTS}}$ 端子出力を制御します。 モード 2 では SCIF の $\overline{\text{CTS}}$ 端子の入力を制御します。 0 : 0 出力 1 : 1 出力
4	CTS3	-	R	モード 4 における SCIF の $\overline{\text{RTS}}$ 端子のステータスをモニタします。
3	-	-	R	リザーブビット
2	RTS3	1	R/W	SCIF の $\overline{\text{CTS}}$ 端子出力を制御します。 0 : 0 出力 1 : 1 出力
1、0	-	-	R/W	リザーブビット

16.4 動作モード

16.4.1 シリアルマルチプレクスモード 0

SMR0 の SM3 ~ SM0 ビットを B'000 に設定すると、シリアルマルチプレクスモード 0 になります。シリアルマルチプレクスモード 0 では、それぞれの COM ポートがシリアル専用ポートになります。COM1 が SCIF と COM2 が SCL_1 と COM3 が SCL_3 に対応します。なお、初期値では、シリアルマルチプレクスモード 0 になっています。

SCIF 側の $\overline{\text{CTS}}$ 、 $\overline{\text{RTS}}$ 、RxDF、TxDF 端子はそれぞれ COM1 の対応する端子と接続されます。COM1 の Tx/Rx 端子はそれぞれ RxDF/TxDF 端子と交差接続されています。

SCL_1 の Rx/D1 と Tx/D1 端子は COM2 に、SCL_3 の Rx/D3 と Tx/D3 端子は COM3 に接続されています。

図 16.1 にシリアルマルチプレクスモード 0 の端子接続図を示します。

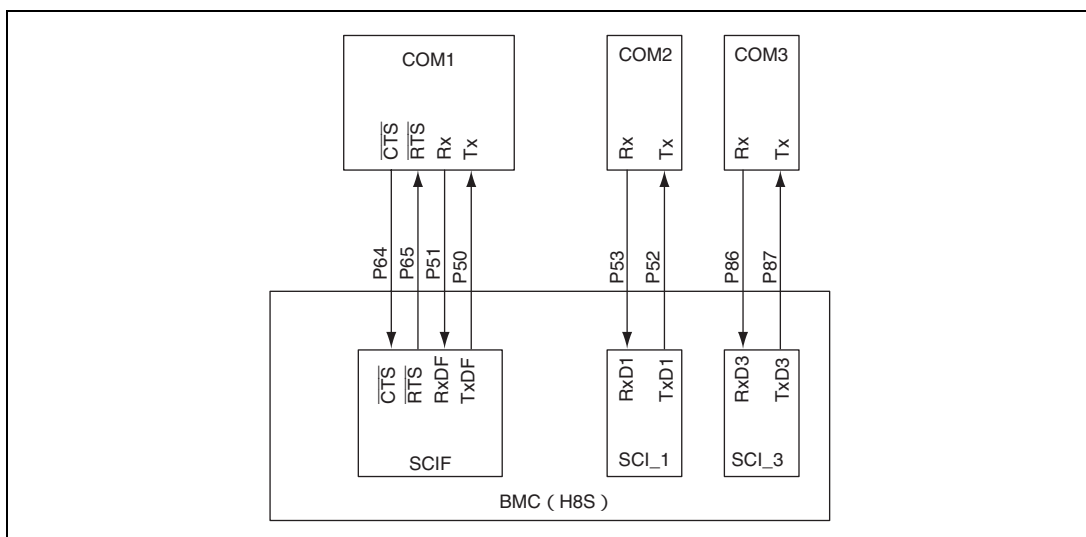


図 16.1 シリアルマルチプレクスモード 0 の端子接続図

16.4.2 シリアルマルチプレクスモード 1

SMR0 の SM3 ~ SM0 ビットを B'001 に設定すると、シリアルマルチプレクスモード 1 になります。シリアルマルチプレクスモード 1 では、SCI_1 と内部レジスタにより COM1 をモニタします。

SCIF 側の $\overline{\text{CTS}}$ 、 $\overline{\text{RTS}}$ 、RxD $\overline{\text{F}}$ 、Tx $\overline{\text{D}}$ 端子はそれぞれ COM1 の対応する端子と接続されます。SCI_1 の RxD1 端子は SCIF の RxD $\overline{\text{F}}$ 端子と内部で接続され、Tx $\overline{\text{D}}$ 端子は使用しません。

また、COM2 は使用できず、内部 Rx 端子は 1 に固定されています。SCI_3 の RxD3 および Tx $\overline{\text{D}}$ 3 端子は COM3 に接続されます。

COM1 の $\overline{\text{CTS}}$ 端子状態は SMR1 の CTS1 ビットに反映されます。

図 16.2 にシリアルマルチプレクスモード 1 の端子接続図を示します。

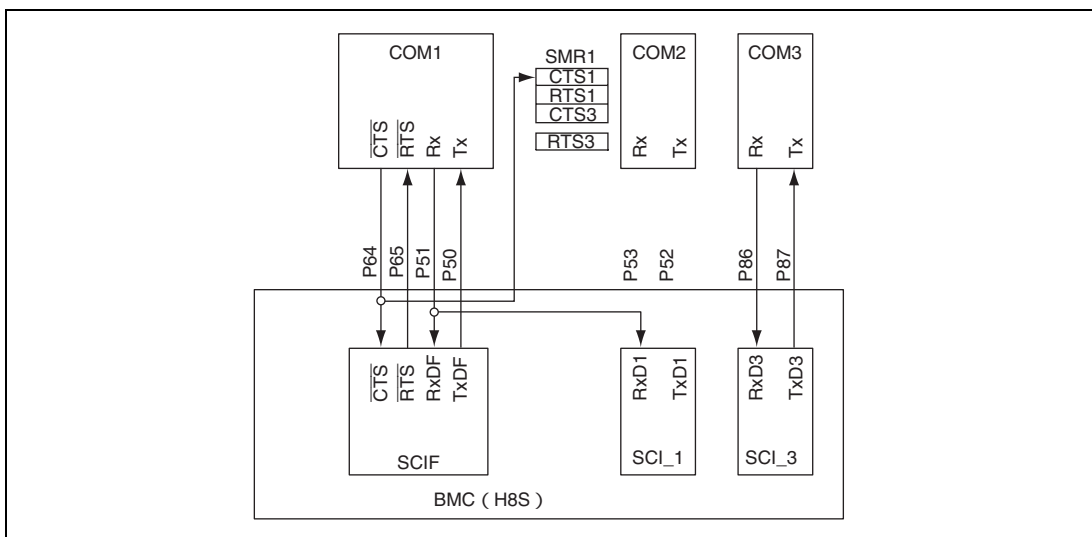


図 16.2 シリアルマルチプレクスモード 1 の端子接続図

16.4.3 シリアルマルチプレクスモード 2

SMR0 の SM3 ~ SM0 ビットを B'010 に設定すると、シリアルマルチプレクスモード 2 になります。シリアルマルチプレクスモード 2 では、SCIF と SCI_1 が内部接続されます。COM1 は使用できず、 $\overline{\text{RTS}}$ 、Rx 端子は 1 に固定されます。SCIF の $\overline{\text{CTS}}$ 、 $\overline{\text{RTS}}$ 、RxDF、TxDF 端子は COM1 には接続されません。RxDF と TxDF 端子は SCI_1 の TxD1 と RxD1 端子に内部接続されます。

COM2 は使用できません。COM2 の Rx 端子は 1 に固定されています。SCI_3 の RxD3 および TxD3 端子は、COM3 の Tx および Rx 端子に接続されます。

SMR1 の RTS1 ビットに値を書き込むことで、SCIF の $\overline{\text{CTS}}$ 端子の出力値を設定できます。SCIF の $\overline{\text{RTS}}$ 端子状態は SMR1 の CTS1 ビットに反映されます。

図 16.3 にシリアルマルチプレクスモード 2 の端子接続図を示します。

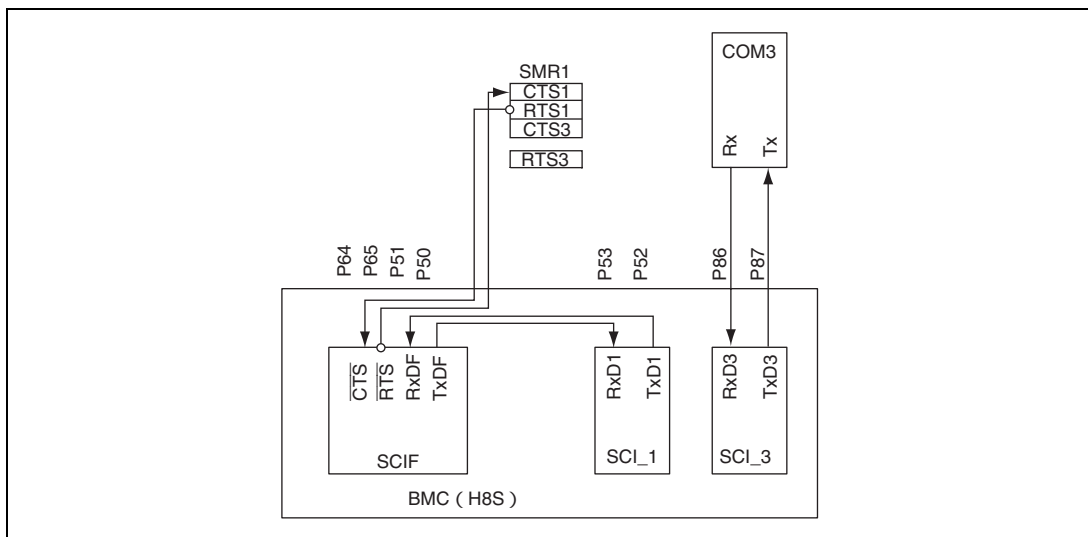


図 16.3 シリアルマルチプレクスモード 2 の端子接続図

16.4.4 シリアルマルチプレクスモード 3

SMR0 の SM3 ~ SM0 ビットを B'011 に設定すると、シリアルマルチプレクスモード 3 になります。シリアルマルチプレクスモード 3 では、COM2 は SCIF を使用し、COM1 は SCL_1 を使用します。SCL_1 はハードウェアフロー制御端子を使用しないので、内部レジスタでエミュレーションすることができます。

COM1 の Tx/Rx は SCL_1 の RxD1/TxD1 に接続され、内部レジスタは、他の信号を制御またはモニタします。SCIF の RxD3/TxD3 は COM2 の Tx/Rx に接続され、その他の端子は使用しません。 $\overline{\text{CTS}}$ は 1 に固定されます。SCL_3 の RxD3 および TxD3 端子は COM3 の Tx および Rx に接続されます。

COM1 の $\overline{\text{CTS}}$ 端子は SMR1 の CTS1 ビットに反映されます。

SMR1 の DTR1、RTS1 ビットに値を書き込むことで、SCIF の $\overline{\text{CTS}}$ 端子の出力値を設定できます。

図 16.4 にシリアルマルチプレクスモード 3 の端子接続図を示します。

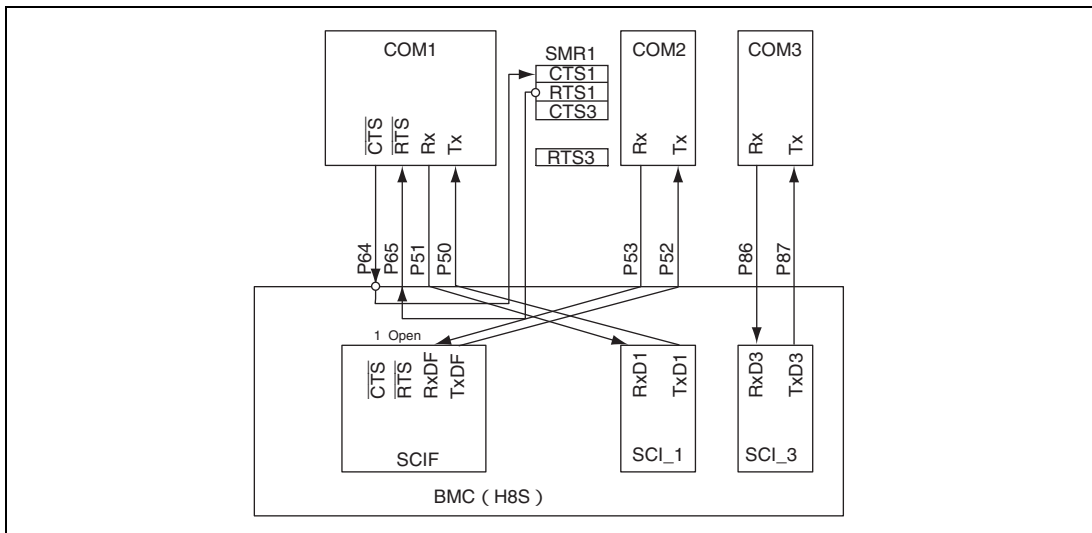


図 16.4 シリアルマルチプレクスモード 3 の端子接続図

16. シリアルマルチプレクス機能

16.4.5 シリアルマルチプレクスモード 4

SMR0 の SM3 ~ SM0 ビットを B'100 に設定すると、シリアルマルチプレクスモード 4 になります。シリアルマルチプレクスモード 4 では、機能はシリアルマルチプレクスモード 3 と同じですが、SCI_3 のデータラインと SCIF が接続されます。

SCI_1 の RxD1/TxD1 は COM1 の Tx/Rx と接続され、内部レジスタは COM1 の他の信号をエミュレートします。

SCIF の $\overline{\text{CTS}}$ は 1 に固定されます。COM2、COM3 は使用せず、COM2、COM3 の Rx は 1 に固定されます。SCI_3 の RxD3 および TxD3 は、SCIF の TxDF および RxDF と内部で接続されます。

COM1 の $\overline{\text{CTS}}$ 端子は SMR1 の CTS1 ビットに反映されます。

SMR1 の DTR1、RTS1 ビットに値を書き込むことで、COM1 の $\overline{\text{RTS}}$ 端子の出力値を設定できます。また、SMR1 の RTS3 ビットに値を書き込むことで、SCIF の $\overline{\text{CTS}}$ 端子の状態が反映され、 $\overline{\text{RTS}}$ 端子の状態は SMR1 の CTS3 ビットに反映されます。したがって、SCI_3 と SCIF はバーチャルフロー制御を相互通信することができます。

図 16.5 にシリアルマルチプレクスモード 4 の端子接続図を示します。

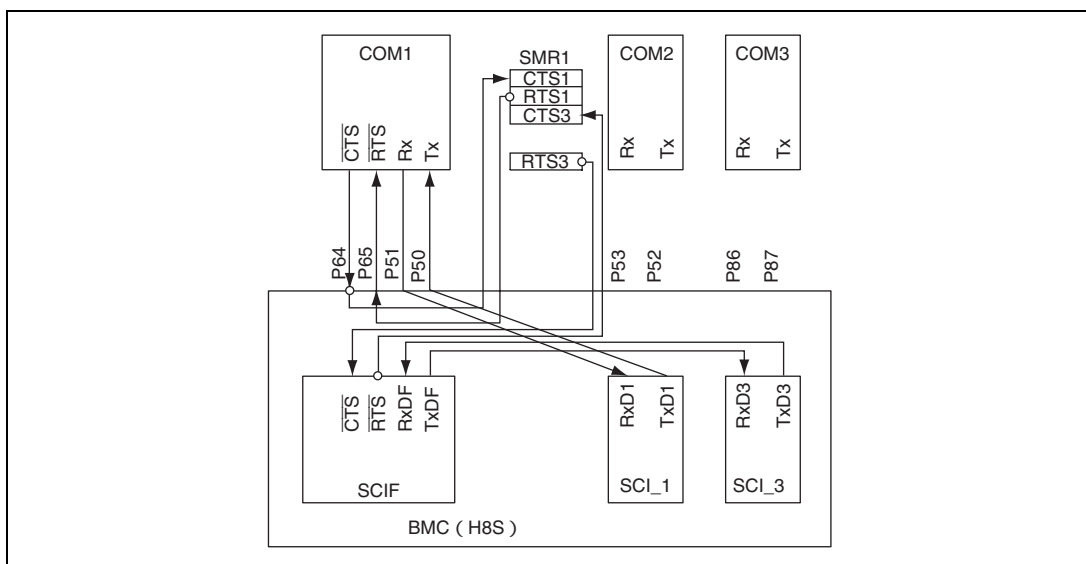


図 16.5 シリアルマルチプレクスモード 4 の端子接続図

16.5 シリアルポート端子構成

- (a) SME : 1 SCI (SCIF) シリアルマルチプレクス機能
- (b) SME : 0 SCI (SCIF) シリアルマルチプレクス機能なし、または GPIO

17. I²C バスインタフェース (IIC)

本 LSI は、6 チャンネルの I²C バスインタフェースを内蔵しています。I²C バスインタフェースは、Philips 社の提唱している I²C バス (Inter IC Bus) インタフェース方式に準拠しており、サブセット機能を備えています。ただし、I²C バスを制御するレジスタの構成が一部 Philips 社と異なりますので注意してください。

17.1 特長

- アドレッシングフォーマット、ノンアドレッシングフォーマットを選択可能

I²C バスフォーマット：アドレッシングフォーマットでアクノリッジビットあり、マスタ、スレーブ動作

クロック同期式シリアルフォーマット：ノンアドレッシングフォーマットでアクノリッジビットなし、マスタ動作専用

- I²C バスフォーマットは、Philips 社提唱の I²C バスインタフェースに準拠

- I²C バスフォーマットで、スレーブアドレスを 2 通り設定可能

- I²C バスフォーマットで、マスタモード時、開始、停止条件の自動生成

- I²C バスフォーマットで、受信時にアクノリッジの出力レベルを選択可能

- I²C バスフォーマットで、送信時にアクノリッジビットの自動ロード機能

- I²C バスフォーマットで、マスタモード時のウェイトビット機能

アクノリッジを除くデータ転送後、SCL を Low レベルにしてウェイト状態にすることが可能。ウェイト状態は、割り込みフラグを 0 にクリアすることで解除。

- I²C バスフォーマットでのウェイト機能

データ転送後、SCL を Low レベルにしてウェイト要求を発生することが可能。ウェイト要求は、次の転送が可能になった時点で解除。

- 割り込み要因

データ転送終了時 (I²C バスフォーマットで送信モード遷移時、ICDR 内データ転送発生時、およびウェイト時を含む)

アドレス一致時：I²C バスフォーマット、スレーブ受信モードで、いずれかのスレーブアドレスが一致したとき、またはゼネラルコールアドレスを受信したとき (マスタ競合負け後のアドレス受信を含む)

アービトラションロスト発生時

開始条件検出時 (マスタモード)

停止条件検出時 (スレーブモード時)

- マスタモード時、32 種類の内部クロック選択可能

17. I²C バスインタフェース (IIC)

- バスを直接駆動

SCL0 ~ SCL5、SDA0 ~ SDA5の各端子は、通常時はNMOSプッシュプル出力、バス駆動機能選択時はNMOSオープンドレイン出力。

I²C バスインタフェースのブロック図を図 17.1 に示します。

入出力端子の外部回路接続例を、図 17.2 に示します。I²C バスインタフェースの入出力端子は通常ポートと端子構造が違うため、端子に印加可能な電圧仕様が異なります。

詳細は「第 26 章 電気的特性」を参照してください。

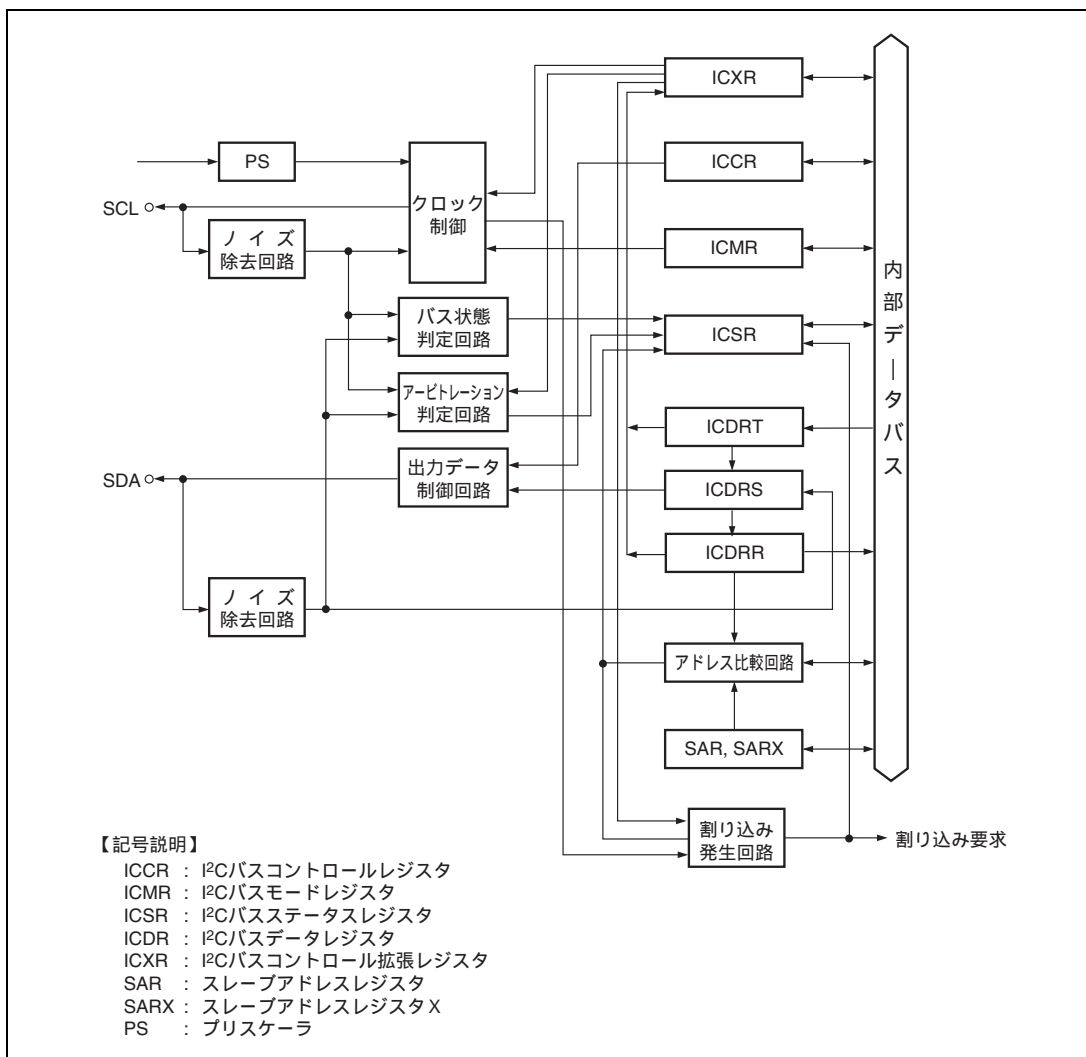


図 17.1 I²C バスインタフェースのブロック図

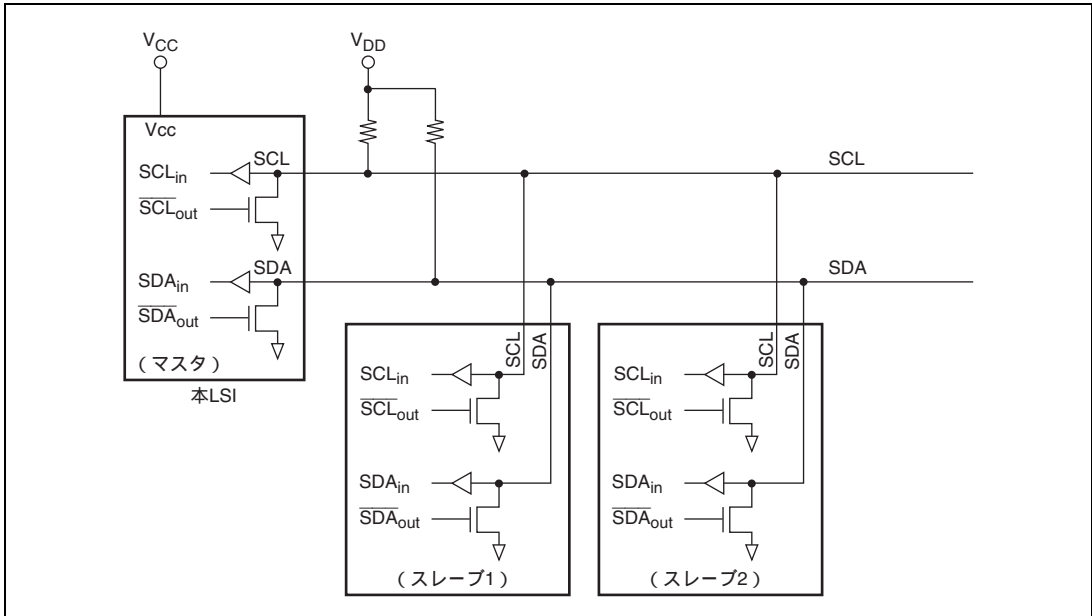


図 17.2 I²C バスインタフェース接続例 (本 LSI がマスタの場合)

17.2 端子構成

I²C バスインタフェースで使用する端子を表 17.1 に示します。

表 17.1 端子構成

チャンネル	記号*	入出力	機能
0	SCL0	入出力	IIC_0 シリアルクロック入出力端子
	SDA0	入出力	IIC_0 シリアルデータの入出力端子
1	SCL1	入出力	IIC_1 シリアルクロック入出力端子
	SDA1	入出力	IIC_1 シリアルデータの入出力端子
2	SCL2	入出力	IIC_2 シリアルクロック入出力端子
	SDA2	入出力	IIC_2 シリアルデータの入出力端子
3	SCL3	入出力	IIC_3 シリアルクロック入出力端子
	SDA3	入出力	IIC_3 シリアルデータの入出力端子
4	SCL4	入出力	IIC_4 シリアルクロック入出力端子
	SDA4	入出力	IIC_4 シリアルデータの入出力端子
5	SCL5	入出力	IIC_5 シリアルクロック入出力端子
	SDA5	入出力	IIC_5 シリアルデータの入出力端子

【注】 * 本文中ではチャンネルを省略し、それぞれ SCL、SDA と略称します。

17.3 レジスタの説明

IIC にはチャンネルごとに以下のレジスタがあります。ICDR と SARX、ICMR と SAR は同じアドレスに割り付けられており、ICCR の ICE ビットによりアクセスできるレジスタが変わります。ICE = 0 のとき SAR と SARX、ICE = 1 のとき ICMR と ICDR がアクセスできます。

- I²C バスデータレジスタ (ICDR)
- スレーブアドレスレジスタ (SAR)
- 第2スレーブアドレスレジスタ (SARX)
- I²C バスモードレジスタ (ICMR)
- I²C バストランスファレートセレクトレジスタ (IICX3)
- I²C バスコントロールレジスタ (ICCR)
- I²C バスステータスレジスタ (ICSR)
- I²C バスコントロール拡張レジスタ (ICXR)
- I²C SMBus制御レジスタ (ICSMBCR)

17.3.1 I²C バスデータレジスタ (ICDR)

ICDR は、8 ビットのリード/ライト可能なレジスタで、送信時は送信データレジスタとして、受信時は受信データレジスタとして機能します。ICDR は、内部的に、シフトレジスタ (ICDRS)、受信バッファ (ICDRR) および送信バッファ (ICDRT) に分かれています。3 本のレジスタ間のデータ転送は、バス状態の変化に関連付けられて自動的に行われ、ICXR の ICDRF フラグ、ICDRE フラグなどの状態に影響を与えます。

送信データの ICDR へのライトは、I²C バスフォーマットのマスタ送信モードでは開始条件検出後に行ってください。開始条件を検出すると、それ以前のライトデータは無視されます。また、スレーブ送信モードでは、スレーブアドレスが一致し TRS ビットが 1 に自動的に切り替わった後にライトしてください。

送信モード (TRS = 1) で ICDRT に次のデータがある場合 (ICDRE フラグが 0 の場合)、ICDRS で 1 フレームのデータを正常に送信終了後、自動的に ICDRT から ICDRS へデータが転送されます。ICDRE フラグが 1 で次の送信データのライトを待っている状態では、ICDR ライトにより自動的に ICDRT から ICDRS へデータが転送されません。受信モード (TRS = 0) では ICDRT から ICDRS へデータ転送は行われません。受信モードでの ICDR レジスタの書き込みは行わないでください。

受信データの ICDR からの読み出しは、ICDRS から ICDRR へデータが転送された後で行います。

受信モードで ICDRR に以前のデータがない場合 (ICDRF フラグが 0 の場合)、ICDRS で 1 フレームのデータを正常に受信終了後、自動的に ICDRS から ICDRR にデータが転送されます。ICDRF フラグが 1 の状態で更に受信データを受け取っている場合、ICDR リードにより自動的に ICDRS から ICDRR へデータが転送されます。送信モードでは ICDRS から ICDRR へデータ転送は行われません。受信モードに設定した上でリードしてください。

1 フレームのアクノリッジを除いたビット数が 8 ビットに満たない場合、送受信データの格納される位置が異なります。送信データは、MLS ビットが 0 のとき MSB 側に、MLS ビットが 1 のとき LSB 側に詰めて書き込んでください。受信データは、MLS ビットが 0 のとき LSB 側に、MLS ビットが 1 のとき MSB 側に詰めて格納されます。

ICDR は ICCR の ICE ビットを 1 に設定したときのみアクセス可能です。ICDR のリセット時の値は不定です。

17.3.2 スレーブアドレスレジスタ (SAR)

SAR は転送フォーマットの設定およびスレーブアドレスを格納します。I²C バスフォーマットでスレーブモードの場合、開始条件後に送られてきた第 1 フレームの上位 7 ビットと SAR の上位 7 ビットを比較して一致したとき、FS ビットに 0 が設定されていると、マスタデバイスに指定されたスレーブデバイスとして動作します。SAR は ICCR の ICE ビットを 0 に設定したときのみアクセス可能です。

ビット	ビット名	初期値	R/W	説 明
7	SVA6	0	R/W	スレーブアドレス 6~0 スレーブアドレスを設定します。
6	SVA5	0	R/W	
5	SVA4	0	R/W	
4	SVA3	0	R/W	
3	SVA2	0	R/W	
2	SVA1	0	R/W	
1	SVA0	0	R/W	
0	FS	0	R/W	フォーマットセレクト SARX の FSX との組み合わせで転送フォーマットを選択します。表 17.2 を参照してください。 なお、ゼネラルコールアドレスの認識を行う場合は、必ず本ビットを 0 に設定してください。

17. I²C バスインタフェース (IIC)

17.3.3 第2スレーブアドレスレジスタ (SARX)

SARX は転送フォーマットの設定および第2スレーブアドレスを格納します。スレーブモードでは受信したアドレスが第2スレーブアドレスに一致したときに DTC を利用した送受信動作が可能になります。I²C バスフォーマットでスレーブモードの場合、開始条件後に送られてきた第1フレームの上位7ビットと SARX の上位7ビットを比較して一致したとき、FSX ビットに0が設定されていると、マスタデバイスに指定されたスレーブデバイスとして動作します。SARX は ICCR の ICE ビットを0に設定したときのみアクセス可能です。

ビット	ビット名	初期値	R/W	説明
7	SVAX6	0	R/W	第2スレーブアドレス6~0 第2スレーブアドレスを設定します。
6	SVAX5	0	R/W	
5	SVAX4	0	R/W	
4	SVAX3	0	R/W	
3	SVAX2	0	R/W	
2	SVAX1	0	R/W	
1	SVAX0	0	R/W	
0	FSX	1	R/W	フォーマットセレクト X SAR の FS との組み合わせで転送フォーマットを選択します。表 17.2 を参照してください。

表 17.2 転送フォーマット

SAR	SARX	動作モード
FS	FSX	
0	0	I ² C バスフォーマット • SAR と SARX のスレーブアドレスを認識 • ゼネラルコールアドレスを認識
	1	I ² C バスフォーマット • SAR のスレーブアドレスを認識 • SARX のスレーブアドレスを無視 • ゼネラルコールアドレスを認識
1	0	I ² C バスフォーマット • SAR のスレーブアドレスを無視 • SARX のスレーブアドレスを認識 • ゼネラルコールアドレスを無視
	1	クロック同期式シリアルフォーマット • SAR と SARX のスレーブアドレスを無視 • ゼネラルコールアドレスを無視

- I²C バスフォーマット :
アドレスリングフォーマットでアクノリッジビットあり
- クロック同期式シリアルフォーマット :
ノンアドレスリングフォーマットでアクノリッジビットなし、マスタモード専用

17.3.4 I²C バスモードレジスタ (ICMR)

ICMR は転送フォーマットと転送レートを設定します。ICCR の ICE ビットを 1 に設定したときのみアクセス可能です。

ビット	ビット名	初期値	R/W	説明
7	MLS	0	R/W	MSB ファースト / LSB ファースト選択 0 : MSB ファースト 1 : LSB ファースト I ² C バスフォーマットで使用するとき、本ビットを 0 に設定してください。
6	WAIT	0	R/W	ウェイト挿入ビット I ² C バスフォーマットでマスタモードのときのみ有効。 0 : ウェイト状態は挿入されず、データとアクノリッジを連続して転送します。 1 : データの最終ビットのクロック (8 クロック目) が立ち下がった後、ICCR の IRIC フラグは 1 にセットされ、ウェイト状態 (SCL = Low レベル) となります。ICCR の IRIC フラグを 0 にクリアすることでウェイト状態を解除しアクノリッジの転送を行います。 詳細は「17.4.7 IRIC セットタイミングと SCL 制御」を参照してください。
5	CKS2	0	R/W	転送クロック選択 2~0 IICX3 レジスタの IICX5 ビット (チャンネル 5)、IICX4 ビット (チャンネル 4)、IICX3 ビット (チャンネル 3)、STCR レジスタの IICX2 ビット (チャンネル 2)、IICX1 ビット (チャンネル 1)、IICX0 ビット (チャンネル 0) との組み合わせで転送クロックの周波数を選択します。マスタモード時に使用します。表 17.3 を参照してください。
4	CKS1	0	R/W	
3	CKS0	0	R/W	
2	BC2	0	R/W	ビットカウンタ 2~0 次に転送するフレームのビット数を指定します。設定は転送フレーム間で行ってください。また、B'000 以外を設定する場合は、SCL が Low 状態のときに行ってください。 ビットカウンタは、開始条件検出時 B'000 に初期化されます。また、データ転送終了後、B'000 に戻ります。 I ² C バスフォーマット クロック同期式シリアルフォーマット 000 : 9 ビット 000 : 8 ビット 001 : 2 ビット 001 : 1 ビット 010 : 3 ビット 010 : 2 ビット 011 : 4 ビット 011 : 3 ビット 100 : 5 ビット 100 : 4 ビット 101 : 6 ビット 101 : 5 ビット 110 : 7 ビット 110 : 6 ビット 111 : 8 ビット 111 : 7 ビット
1	BC1	0	R/W	
0	BC0	0	R/W	

17. I²C バスインタフェース (IIC)

17.3.5 I²C バストランスファレートセレクトレジスタ (IICX3)

IICX3 は、IIC の転送レートのクロック選択、IIC チャンネル 3 の転送レートを設定します。

ビット	ビット名	初期値	R/W	説明
7~4	-	-	-	リザーブビット ライトは無効です。リード値は不定です。
3	TCSS	0	R/W	転送レート・クロックソース選択ビット IIC の転送レートに供給するクロックの速度を選択します。 0 : /2 1 : /4
2 1 0	IICX5 IICX4 IICX3	0 0 0	R/W R/W R/W	IIC トランスファレートセレクト 5~3 IIC_3 ~ IIC_5 の動作を制御するビットです。ICMR の CKS2 ~ CKS0 ビットと組み合わせて、マスタモードでの転送レートを選択します。転送レートについては表 17.3 を参照してください。

表 17.3 転送レート (1)

TCSS = 0

STCR/ IICX3	ICMR			クロック	転送レート			
	5	4	3		= 20MHz	= 25MHz	= 34MHz	
IICXn	CKS2	CKS1	CKS0					
0	0	0	0	/28	714.3kHz*	892.9kHz*	1214.3kHz*	
			1	/40	500.0kHz*	625.0kHz*	850.0kHz*	
		1	0	/48	416.7kHz*	520.8kHz*	708.3kHz*	
			1	/64	312.5kHz	390.6kHz	531.3kHz*	
		1	0	0	/80	250.0kHz	312.5kHz	425.0kHz*
				1	/100	200.0kHz	250.0kHz	340.0kHz
	1	1	0	/112	178.6kHz	223.2kHz	303.6kHz	
			1	/128	156.3kHz	195.3kHz	265.6kHz	
	1	0	0	0	/56	357.1kHz	446.4kHz*	607.1kHz*
				1	/80	250.0kHz	312.5kHz	425.0kHz*
			1	0	/96	208.3kHz	260.4kHz	354.2kHz
				1	/128	156.3kHz	195.3kHz	265.6kHz
1			0	0	/160	125.0kHz	156.3kHz	212.5kHz
				1	/200	100.0kHz	125.0kHz	170.0kHz
1		1	0	/224	89.3kHz	111.6kHz	151.8kHz	
			1	/256	78.1kHz	97.7kHz	132.8kHz	

【注】 * I²Cバスインタフェース仕様 (高速モード : 最大400kHz) の範囲外となりますので、動作の保証はできません。

表 17.3 転送レート (2)

TCSS = 1

STCR/ IICX3	ICMR			クロック	転送レート			
	5	4	3		= 20MHz	= 25MHz	= 34MHz	
IICXn	CKS2	CKS1	CKS0					
0	0	0	0	/56	357.1kHz	446.4kHz*	607.1kHz*	
			1	/80	250.0kHz	312.5kHz	425.0kHz*	
		1	0	/96	208.3kHz	260.4kHz	354.2kHz	
			1	/128	156.3kHz	195.3kHz	265.6kHz	
		1	0	0	/160	125.0kHz	156.3kHz	212.5kHz
	1			/200	100.0kHz	125.0kHz	170.0kHz	
	1		0	/224	89.3kHz	111.6kHz	151.8kHz	
			1	/256	78.1kHz	97.7kHz	132.8kHz	
	1	0	0	0	/112	178.6kHz	223.2kHz	303.6kHz
				1	/160	125.0kHz	156.3kHz	212.5kHz
1			0	/190	104.2kHz	130.2kHz	177.1kHz	
			1	/256	78.1kHz	97.7kHz	132.8kHz	
1			0	0	/320	62.5kHz	78.1kHz	106.3kHz
		1		/400	50.0kHz	62.5kHz	85.0kHz	
		1	0	/448	44.6kHz	55.8kHz	75.9kHz	
			1	/512	39.1kHz	48.8kHz	66.4kHz	

(n = 0 ~ 5)

【注】 * I²C バスインタフェース仕様 (高速モード : 最大 400kHz) の範囲外となりますので、動作の保証はできません。

17. I²C バスインタフェース (IIC)

17.3.6 I²C バスコントロールレジスタ (ICCR)

ICCR は I²C バスインタフェースの制御、および割り込みフラグの確認を行います。

ビット	ビット名	初期値	R/W	説 明
7	ICE	0	R/W	<p>I²C バスインタフェースイネーブル</p> <p>0 : 本モジュールは機能を停止し、内部状態をクリアします。 SAR および SARX がアクセス可能になります。</p> <p>1 : 本モジュールは転送動作可能状態となり、ポートは SCL、SDA 入出力端子となります。ICMR および ICDR がアクセス可能になります。</p>
6	IEIC	0	R/W	<p>I²C バスインタフェース割り込みイネーブル</p> <p>0 : I²C バスインタフェースから CPU に対する割り込み要求を禁止</p> <p>1 : I²C バスインタフェースから CPU に対する割り込み要求を許可</p>
5 4	MST TRS	0 0	R/W R/W	<p>マスタ/スレーブ選択</p> <p>送信/受信選択</p> <p>00 : スレーブ受信モード 01 : スレーブ送信モード 10 : マスタ受信モード 11 : マスタ送信モード</p> <p>I²C バスフォーマットのマスタモードでバス競合負けをすると MST、TRS ビットはともにハードウェアによってリセットされ、スレーブ受信モードに変わります。また、I²C バスフォーマットのスレーブ受信モードのとき、開始条件直後の第 1 フレームの R/W ビットにより、ハードウェアで自動的に受信/送信モードが設定されます。</p> <p>転送中の TRS ビットの変更は、データ転送終了時まで保留され、転送終了後に切り替わります。</p> <p>[MST クリア条件]</p> <p>(1) ソフトウェアにより 0 をライトしたとき (2) I²C バスフォーマットのマスタモードで、バス競合負けしたとき</p> <p>[MST セット条件]</p> <p>(1) ソフトウェアにより 1 をライトしたとき (MST クリア条件(1)の場合) (2) MST = 0 をリード後、1 をライトしたとき (MST クリア条件(2)の場合)</p> <p>[TRS クリア条件]</p> <p>(1) ソフトウェアにより 0 をライトしたとき (TRS セット条件(3)以外の場合) (2) TRS = 1 をリード後、0 をライトしたとき (TRS セット条件(3)の場合) (3) I²C バスフォーマットのマスタモードで、バス競合負けしたとき</p> <p>[TRS セット条件]</p> <p>(1) ソフトウェアにより 1 をライトしたとき (TRS クリア条件(3)以外の場合) (2) TRS = 0 をリード後、1 をライトしたとき (TRS クリア条件(3)の場合) (3) I²C バスフォーマットのスレーブモードで第 1 フレームのアドレス一致後に R/W ビットとして 1 を受信したとき</p>

ビット	ビット名	初期値	R/W	説 明
3	ACKE	0	R/W	<p>ACKノリッジビット判定選択</p> <p>0: 受信したACKノリッジビットの内容を無視して連続的に転送を行います。受信したACKノリッジビットの内容は ICSR の ACKB ビットに反映されず、常時0となります。</p> <p>1: I²C バスフォーマットで受信したACKノリッジビットが1ならば転送を中断します。</p> <p>ACKノリッジビットは、受信デバイスによって、受信したデータの処理完了などの意味をもたせる場合と、意味をもたず1固定の場合があります。</p>
2 0	BBSY SCP	0 1	R/W* W	<p>バスビジー</p> <p>開始条件 / 停止条件発行禁止ビット</p> <p>マスタモード時</p> <ul style="list-style-type: none"> • BBSY = 0 かつ SCP = 0 ライト: 停止条件発行 • BBSY = 1 かつ SCP = 0 ライト: 開始条件、再送開始条件発行 <p>スレーブモード時</p> <ul style="list-style-type: none"> • BBSY フラグのライトは無効 <p>[BBSY セット条件]</p> <ul style="list-style-type: none"> • SCL = High レベルの状態 で SDA が High レベルから Low レベルに変化し、開始条件が発行されたと認識したとき <p>[BBSY クリア条件]</p> <ul style="list-style-type: none"> • SCL = High レベルの状態 で SDA が Low レベルから High レベルに変化し、停止条件が発行されたと認識したとき <p>開始条件 / 停止条件の発行は、MOV 命令を用います。</p> <p>開始条件の発行に先立って、I²C バスインタフェースをマスタ送信モードに設定する必要があります。BBSY = 1 かつ SCP = 0 をライトする以前に、MST = 1 かつ TRS = 1 を設定してください。</p> <p>BBSY フラグをリードすることにより、I²C バス (SCL, SDA) が占有されているか開放されているかを確認できます。</p>

【注】 * BBSY ビットはライトしても、フラグの値は変化しません。

17. I²C バスインタフェース (IIC)

ビット	ビット名	初期値	R/W	説明
1	IRIC	0	R/(W)*	<p>I²C バスインタフェース割り込み要求フラグ</p> <p>I²C バスインタフェースが CPU に対して割り込み要求を発生させたことを示します。</p> <p>SAR の FS ビットと SARX の FSX ビットおよび、ICMR の WAIT ビットの組み合わせにより IRIC フラグのセットタイミングが異なりますので、「17.4.7 IRIC セットタイミングと SCL 制御」を参照してください。また、ICCR の ACKE ビットの設定によっても、IRIC フラグがセットされる条件が異なります。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> I²C バスフォーマットでマスタモード <ul style="list-style-type: none"> 開始条件を発行後、バスラインの状態から開始条件を検出したとき (第 1 フレーム送信のため ICDRE フラグが 1 にセットされたとき) WAIT=1 の場合、データとアクノリッジの間にウェイトを挿入したとき (送受信クロックの 8 クロック目の立ち下がりのとき) データ転送終了時 (ウェイト挿入なしで送受信クロックの 9 クロック目の立ち上がりのとき) バス競合負けの後、自分のスレーブアドレスを受信したとき (開始条件に続く第 1 フレーム) ACKE ビットが 1 のとき、アクノリッジビットとして 1 を受信したとき (ACKB ビットが 1 にセットされたとき) ALIE ビットが 1 の状態でバス競合負けし、AL フラグが 1 にセットされたとき I²C バスフォーマットでスレーブモード <ul style="list-style-type: none"> スレーブアドレス (SVA、SVAX) が一致したとき (AAS、AASX フラグが 1 にセットされたとき)、 および、その後の再送開始条件または停止条件検出までのデータ転送終了時 (送受信クロックの 9 クロック目の立ち上がりのとき) ゼネラルコールアドレスを検出したとき (R\bar{W} ビットとして 0 を受信し、ADZ フラグが 1 にセットされたとき)、 および、その後の再送開始条件または停止条件検出までのデータ受信終了時 (受信クロックの 9 クロック目の立ち上がりのとき) ACKE ビットが 1 のとき、アクノリッジビットとして 1 を受信したとき (ACKB ビットが 1 にセットされたとき) STOPIM ビットが 0 の状態で停止条件を検出したとき (STOP または ESTP フラグが 1 にセットされたとき)

ビット	ビット名	初期値	R/W	説明
1	IRIC	0	R/(W)*	<ul style="list-style-type: none"> • クロック同期式シリアルフォーマット、データ転送終了時 (受信クロックの8クロック目の立ち上がりするとき) シリアルフォーマットで開始条件を検出したとき • ICDRE または ICDRF フラグが 1 にセットされる条件が発生したとき 送信モードで開始条件を検出したとき (送信モードで開始条件を検出し ICDRE フラグが 1 にセットされたとき) ICDR レジスタバッファデータ転送時 (送信モードで ICDRT から ICDRS にデータが転送され ICDRE フラグが 1 にセットされたとき、または受信モードで ICDRS から ICDRR にデータが転送され ICDRF フラグが 1 にセットされたとき) <p>[クリア条件]</p> <ul style="list-style-type: none"> • IRIC = 1 の状態でリードした後、0 をライトしたとき • DTC で ICDR をリード/ライトしたとき (クリア条件とならない場合もあるため、詳細は下記 DTC の動作説明参照)

【注】 * フラグを 0 にクリアするための 0 ライトのみ可能です。

DTC を利用すると IRIC フラグは自動的にクリアされ、CPU を介さない連続的な転送が可能です。

I²C バスフォーマットで IRIC = 1 となり割り込みが発生した場合には、IRIC = 1 となった要因を調べるために、他のフラグを調べる必要があります。各要因には、それぞれ対応するフラグがありますが、データ転送終了時に關しては注意が必要です。

ICDRE または ICDRF フラグがセットされたとき、IRTR フラグがセットされる場合とされない場合があります。DTC 起動要求フラグである IRTR フラグがデータ転送終了時にセットされないのは、I²C バスフォーマットでスレーブモードの場合に、スレーブアドレス (SVA) またはゼネラルコールアドレスが一致した後の再送開始条件または停止条件検出までの期間です。

IRIC フラグ、IRTR フラグがセットされているときでも、ICDRE または ICDRF フラグがセットされていない場合があります。DTC を利用した連続的な転送の場合、設定した回数の転送終了時には、IRIC フラグおよび IRTR フラグはクリアされません。一方、設定した回数の ICDR のリード/ライトは完了しているため ICDRE または ICDRF フラグはクリアされています。各フラグと転送状態の関係を表 17.4 と表 17.5 に示します。

17. I²C バスインタフェース (IIC)

表 17.4 フラグと転送状態の関係 (マスタモード)

MST	TRS	BBSY	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	ICDRF	ICDRE	状態
1	1	0	0	0	0	0	0	0	0	0	-	0	アイドル状態 (フラグクリア要)
1	1	1	0	0	1	0	0	0	0	0	-	1	開始条件検出
1	-	1	0	0	-	0	0	0	0	-	-	-	ウェイト状態
1	1	1	0	0	-	0	0	0	0	1	-	-	送信終了(ACK=1 かつ ACKB=1)
1	1	1	0	0	1	0	0	0	0	0	-	1	ICDRE=0の状態から 送信終了
1	1	1	0	0	-	0	0	0	0	0	-	0	上記状態から ICDR ライト
1	1	1	0	0	-	0	0	0	0	0	-	1	ICDRE=1の状態から 送信終了
1	1	1	0	0	-	0	0	0	0	0	-	0	上記状態から、または 開始条件検出後の ICDR ライト
1	1	1	0	0	1	0	0	0	0	0	-	1	上記状態から ICDRT ICDRS データ転送 (自動)
1	0	1	0	0	1	0	0	0	0	-	1	-	ICDRF=0の状態から 受信終了
1	0	1	0	0	-	0	0	0	0	-	0	-	上記状態から ICDR リード
1	0	1	0	0	-	0	0	0	0	-	1	-	ICDRF=1の状態から 受信終了
1	0	1	0	0	-	0	0	0	0	-	0	-	上記状態から ICDR リード
1	0	1	0	0	1	0	0	0	0	-	1	-	上記状態から ICDRS ICDRR データ転送 (自動)
0	0	1	0	0	-	0	1	0	0	-	-	-	アービトレーション ロスト
1	-	0	0	0	-	0	0	0	0	-	-	0	停止条件検出

【注】 0:0 状態保持 1:1 状態保持 - : 以前の状態を保持 0 : 0 にクリア 1 : 1 にセット

表 17.5 フラグと転送状態の関係 (スレーブモード)

MST	TRS	BBSY	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	ICDRF	ICDRE	状態
0	0	0	0	0	0	0	0	0	0	0	-	0	アイドル状態 (フラグクリア要)
0	0	1	0	0	0	0	0	0	0	0	-	1	開始条件検出
0	1 /0 (*1)	1	0	0	0	0	-	1	0	0	1	1	第1フレームでSAR に一致(SARX SAR)
0	0	1	0	0	0	0	-	1	1	0	1	1	第1フレームでゼネ ラルコールアドレス に一致(SARX H'00)
0	1 /0 (*1)	1	0	0	1	1	-	0	0	0	1	1	第1フレームでSARX に一致(SAR SARX)
0	1	1	0	0	-	-	-	-	0	1	-	-	送信終了(ACKC = 1 かつ ACKB = 1)
0	1	1	0	0	1 /0 (*2)	-	-	-	0	0	-	1	ICDRE = 0 の状態か ら送信終了
0	1	1	0	0	-	-	0	0	0	0	-	0	上記状態から ICDR ライト
0	1	1	0	0	-	-	-	-	0	0	-	1	ICDRE = 1 の状態か ら送信終了
0	1	1	0	0	-	-	0	0	0	0	-	0	上記状態から ICDR ライト
0	1	1	0	0	1 /0 (*2)	-	0	0	0	0	-	1	上記状態から ICDRT ICDRS データ転送 (自動)
0	0	1	0	0	1 /0 (*2)	-	-	-	-	-	1	-	ICDRF = 0 の状態か ら受信終了
0	0	1	0	0	-	-	0	0	0	0	-	0	上記状態から ICDR リード
0	0	1	0	0	-	-	-	-	-	-	1	-	ICDRF = 1 の状態か ら受信終了
0	0	1	0	0	-	-	0	0	0	0	-	0	上記状態から ICDR リード
0	0	1	0	0	1 /0 (*2)	-	0	0	0	0	-	1	上記状態から ICDRS ICDRR データ転送 (自動)
0	-	0	1 /0 (*3)	0/1 (*3)	-	-	-	-	-	-	-	0	停止条件検出

【注】 0 : 0 状態保持 1 : 1 状態保持 - : 以前の状態を保持 0 : 0 にクリア 1 : 1 にセット

*1 アドレスに続く R/W ビットとして 1 を受信した場合に 1 にセット

*2 AASX ビットに 1 がセットされている場合に 1 にセット

*3 ESTP = 1 のとき STOP = 0、または STOP = 1 のとき ESTP = 0

17. I²C バスインタフェース (IIC)

17.3.7 I²C バスステータスレジスタ (ICSR)

ICSR はステータスフラグで構成されます。表 17.4、表 17.5 をあわせて参照してください。

ビット	ビット名	初期値	R/W	説 明
7	ESTP	0	R/(W)*	<p>エラー停止条件検出フラグ</p> <p>I²C バスフォーマットでスレープモードのとき有効</p> <p>[セット条件]</p> <ul style="list-style-type: none"> フレーム転送の途中で停止条件を検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> ESTP = 1 の状態をリードした後、0 をライトしたとき IRIC フラグが 0 にクリアされたとき
6	STOP	0	R/(W)*	<p>正常停止条件検出フラグ</p> <p>I²C バスフォーマットでスレープモードのとき有効</p> <p>[セット条件]</p> <ul style="list-style-type: none"> フレーム転送の完了後に停止条件を検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> STOP = 1 の状態をリードした後、0 をライトしたとき IRIC フラグが 0 にクリアされたとき
5	IRTR	0	R/(W)*	<p>I²C バスインタフェース連続送受信割り込み要求フラグ</p> <p>I²C バスインタフェースが CPU に対して割り込み要求を発生させており、その要因が DTC 起動可能な 1 フレームデータ送受信の終了であることを示します。IRTR フラグが 1 にセットされると、同時に IRIC フラグも 1 にセットされます。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> I²C バスインタフェースでスレープモードのとき AASX = 1 の状態で、ICDRE または ICDRF フラグが 1 にセットされたとき I²C バスインタフェースでマスタモード、クロック同期式シリアルフォーマットのとき ICDRE または ICDRF フラグが 1 にセットされたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> IRTR = 1 の状態をリードした後、0 をライトしたとき ICE = 1 の状態で IRIC フラグが 0 にクリアされたとき

17. I²C バスインタフェース (IIC)

ビット	ビット名	初期値	R/W	説明
4	AASX	0	R/(W)*	<p>第 2 スレーブアドレス認識フラグ</p> <p>I²C バスフォーマットのスレーブ受信モードで、開始条件直後の第 1 フレームが SARX の SVAX6 ~ SVAX0 と一致したことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> スレーブ受信モードでかつ FSX = 0 で第 2 スレーブアドレスを検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> AASX = 1 の状態をリードした後、0 をライトしたとき 開始条件を検出したとき マスタモードのとき
3	AL	0	R/(W)*	<p>アービトレーションロストフラグ</p> <p>マスタモード時にバス競合負けをしたことを示します。</p> <p>[セット条件]</p> <p>ALSL = 0 のとき</p> <ul style="list-style-type: none"> マスタ送信モードで SCL の立ち上がりで内部 SDA と SDA 端子が不一致のとき マスタモードで SCL の立ち下がりで内部 SCL が High レベルのとき <p>ALSL = 1 のとき</p> <ul style="list-style-type: none"> マスタ送信モードで SCL の立ち上がりで内部 SDA と SDA 端子が不一致のとき マスタ送信モードで開始条件命令実行後、自分が SDA 端子を Low に立ち下げる前に他デバイスにより SDA 端子が Low に立ち下げられたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> ICDR にデータをライト (送信時)、データをリード (受信時) したとき AL = 1 の状態をリードした後、0 をライトしたとき
2	AAS	0	R/(W)*	<p>スレーブアドレス認識フラグ</p> <p>I²C バスフォーマットのスレーブ受信モードで、開始条件直後の第 1 フレームが SAR の SVA6 ~ SVA0 と一致した場合、またはゼネラルコールアドレス (H'00) を検出したことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> スレーブ受信モードかつ FS = 0 でスレーブアドレスまたはゼネラルコールアドレス (R/W ビットも含めた 1 フレームが H'00) を検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> ICDR にデータをライト (送信時)、または ICDR のデータをリード (受信時) したとき AAS = 1 の状態をリードした後、0 をライトしたとき マスタモードのとき

17. I²C バスインタフェース (IIC)

ビット	ビット名	初期値	R/W	説明
1	ADZ	0	R/(W)*	<p>ゼネラルコールアドレス認識フラグ</p> <p>I²C バスフォーマットのスレーブ受信モードで、開始条件直後の第 1 フレームでゼネラルコールアドレス (H'00) を検出したことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> スレーブ受信モードかつ、FSX = 0 または FS = 0 でゼネラルコールアドレス (R/W ビットも含めた 1 フレームが H'00) を検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> ICDR にデータをライト (送信時)、または ICDR のデータをリード (受信時) したとき ADZ = 1 の状態をリード後、0 をライトしたとき マスタモードのとき <p>FS = 1 かつ FSX = 0 でゼネラルコールアドレスを検出した場合、ADZ フラグは 1 にセットされますが、ゼネラルコールアドレスは認識されません (AAS フラグは 1 にセットされません)。</p>
0	ACKB	0	R/W	<p>アクノリッジビット</p> <p>アクノリッジデータを格納するビットです。</p> <p>送信モード</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 送信モードかつ ACKE = 1 でアクノリッジビットとして 1 を受信したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 送信モードかつ ACKE = 1 でアクノリッジビットとして 0 を受信したとき ACKE ビットに 0 をライトしたとき <p>受信モード</p> <p>0: データを受信した後、アクノリッジデータとして 0 を送出します。</p> <p>1: データを受信した後、アクノリッジデータとして 1 を送出します。</p> <p>本ビットをリードすると、送信時 (TRS = 1 のとき) にはロードした値 (受信デバイスから返ってきた値) が読み出され、受信時 (TRS = 0 のとき) には設定した値が読み出されます。</p> <p>また、本ビットをライトすると TRS の値にかかわらず受信時に送信するアクノリッジデータの設定値を書き換えます。ICSR レジスタのフラグをビット操作命令によって書き換えた場合は、ACKB ビットのリード値でアクノリッジデータの設定値を書き換えますので、再度アクノリッジデータを設定し直してください。</p> <p>マスタモードで送信動作を終了して停止条件を発行する場合、もしくはスレーブモードで送信動作を終了してマスタデバイスが停止条件を発行できるように SDA を開放する場合は、その前に ACKE ビットに 0 をライトして ACKB フラグを 0 にクリアしてください。</p>

【注】 * フラグを 0 にクリアするための 0 ライトのみ可能です。

17.3.8 I²C バスコントロール拡張レジスタ (ICXR)

ICXR は I²C バスインタフェースの割り込み動作の許可/禁止、連続受信動作の許可/禁止、受信や送信状態の確認を行います。

ビット	ビット名	初期値	R/W	説明
7	STOPIM	0	R/W	<p>停止条件割り込み要因マスク</p> <p>スレープモード動作時に停止条件検出での割り込み発生の許可 / 禁止を選択します。</p> <p>0 : スレープモード動作時、停止条件検出 (STOP = 1 または ESTP = 1) での IRIC フラグセットおよび割り込み発生を許可</p> <p>1 : 停止条件検出での IRIC フラグセットおよび割り込み発生を禁止</p>
6	HNDS	0	R/W	<p>ハンドシェイク受信動作選択</p> <p>受信モードで連続受信動作をするかどうかを選択します。</p> <p>0 : 連続受信動作を許可</p> <p>1 : 連続受信動作を禁止</p> <p>HNDS ビットが 0 にクリアされているときは、ICDRF フラグが 0 の状態でデータを正常に受信終了した場合、引き続き受信動作を行います。</p> <p>HNDS ビットが 1 にセットされているときは、ICDRF フラグが 0 の状態でデータを正常に受信終了した場合、SCL を Low レベルに固定し、次のデータ転送を禁止します。ICDR の受信データをリードすることにより SCL バスラインを開放し、次フレームの受信動作を行います。</p>
5	ICDRF	0	R	<p>受信データ読み出し要求フラグ</p> <p>受信モードでの ICDR (ICDRR) の状態を示すフラグです。</p> <p>0 : ICDR (ICDRR) にあるデータは既にリードされている、あるいは初期状態であることを示します。</p> <p>1 : 正常に受信が完了し、データが ICDRS から ICDRR へ転送され、受信完了後にまだ読み出されていないことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> データが正常に受信され、ICDRS から ICDRR へデータが転送されたとき <p>(1) ICDRF = 0 状態でデータ受信完了したとき (9 クロック目の立ち上がり)</p> <p>(2) ICDRF = 1 状態でデータ受信完了後、受信モードで ICDR をリードしたとき</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> ICDR (ICDRR) をリードしたとき ICE ビットに 0 をライトしたとき <p>[セット条件] (2) の場合、ICDR (ICDRR) をリードしたときに一度 ICDRF は 0 クリアされますが、直ちに ICDRS から ICDRR へデータが転送されるため再び ICDRF は 1 にセットされます。</p> <p>なお、送信モード (TRS = 1) で ICDR をリードしたときは、ICDRS から ICDRR へのデータ転送が行われませんので、正常なデータの読み出しができません。ICDR のデータを読み出すときは受信モード (TRS = 0) で ICDR をリードしてください。</p>

17. I²C バスインタフェース (IIC)

ビット	ビット名	初期値	R/W	説 明
4	ICDRE	0	R	<p>送信データ書き込み要求フラグ</p> <p>送信モードでの ICDR (ICDRT) の状態を示すフラグです。</p> <p>0 : ICDR (ICDRT) に次に送信するデータが書き込まれている、あるいは初期状態であることを示します。</p> <p>1 : 送信データが ICDRT から ICDRS へ転送され送信中である、あるいは開始条件を検出または送信完了しており、次の送信データをライトすることが可能な状態であることを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • I²C バスフォーマット、シリアルフォーマットでバスラインの状態から開始条件成立を検出したとき • ICDRT から ICDRS にデータが転送されたとき <p>(1) ICDRE = 0 状態でデータ送信完了したとき (9 クロック目の立ち上がり)</p> <p>(2) ICDRE = 1 状態でデータ送信完了後、送信モードで ICDR をライトしたとき</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • ICDR (ICDRT) に送信データをライトしたとき • I²C バスフォーマットまたはシリアルフォーマットで停止条件を検出したとき • ICE ビットに 0 をライトしたとき <p>I²C バスフォーマットで ACKE ビットを 1 に設定し、アクノリッジビット判定を有効にしている場合、アクノリッジビットが 1 でデータ送信が完了した場合、ICDRE はセットされません。</p> <p>[セット条件] (2) の場合、ICDR (ICDRT) にライトしたときに一度 ICDRE は 0 クリアされますが、直ちに ICDRT から ICDRS へデータが転送されるため再び ICDRE は 1 にセットされます。</p> <p>なお、TRS = 0 のときは ICDRE フラグの値は無効ですので、ICDR へのライト動作は行わないでください。</p>
3	ALIE	0	R/W	<p>アービトレーションロスト割り込みイネーブル</p> <p>アービトレーションロスト発生時に IRIC フラグを 1 にセットし、割り込み発生を許可するかどうかを選択します。</p> <p>0 : アービトレーションロスト発生時の割り込み要求を禁止</p> <p>1 : アービトレーションロスト発生時の割り込み要求を許可</p>

ビット	ビット名	初期値	R/W	説 明
2	ALSL	0	R/W	アービトレーションロスト条件セレクト アービトレーションロスト発生条件を選択します。 0: SCL 立ち上がり時に、SDA 端子の状態が自分の出力したデータと不一致 または、SCL 端子が他デバイスにより立ち下げられたとき 1: SCL 立ち上がり時に、SDA 端子の状態が自分の出力したデータと不一致 または、アイドル状態または開始条件命令実行後、他デバイスにより SDA 端子を立ち下げられたとき
1	FNC1	0	R/W	ファンクションビット 1、0
0	FNC0	0	R/W	一部の使用上の制限事項を解除するためのビットです。 詳細は、「17.6 使用上の注意事項」を参照してください。 00: 動作制限対策無効 01: 設定禁止 10: 設定禁止 11: 動作制限対策有効

17.3.9 I²C SMBus 制御レジスタ (ICSMBCR)

ICSMBCR は I²C バスインタフェースの System Management Bus (SMBus) 規格への対応を行います。SMBus 規格に対応するには、SDA 出力データホールド時間を 300ns ~ 1000ns の範囲内に設定する必要があります。ICSMBCR の設定と出力データホールド時間の関係を表 17.6 に示します。

SMBus 対応を行わない場合 ICSMBCR は初期値のままにしてください。ICSMBCR は MSTPCRL の MSTP4 ビットを 0 に設定したときのみアクセス可能です。

ビット	ビット名	初期値	R/W	説 明
7	SMB5E	0	R/W	SMBus イネーブル
6	SMB4E	0	R/W	SMBus 対応を有効にするビットです。FSEL1、FSEL0 と組み合わせて使用します。SMB5E は IIC_5 を、SMB4E は IIC_4 を、SMB3E は IIC_3 を、SMB3E は IIC_3 を、SMB2E は IIC_2 を、SMB1E は IIC_1 を、SMB0E は IIC_0 を制御します。 0: SMBus 対応無効 1: SMBus 対応有効
5	SMB3E	0	R/W	
4	SMB2E	0	R/W	
3	SMB1E	0	R/W	
2	SMB0E	0	R/W	
1	FSEL1	0	R/W	周波数選択ビット
0	FSEL0	0	R/W	SMBus 対応を行うには、システムクロックの周波数に合わせて本ビットを正しく設定する必要があります。設定の仕方については表 17.7 を参照してください。

17. I²C バスインタフェース (IIC)

表 17.6 出力データホールド時間

SMBnE	FSEL1	FSEL0	min/ max	出力データホールド[ns]		
				= 20MHz	= 25MHz	= 34MHz
0	-	-	min	100*	80*	59*
			max	150*	120*	88*
1	0	0	min	150*	120*	88*
			max	250*	200*	147*
		1	min	200*	160*	118*
			max	350	280*	206*
	1	0	min	300	240*	176*
			max	550	440	324
		1	min	500	400	294*
			max	950	760	559

【注】 * SMBus 規格の範囲外となりますので設定しないでください。

(n = 0 ~ 5)

表 17.7 ICSMBnCR 設定方法

システムクロック	SMBnE	FSEL1	FSEL0
20MHz	1	1	0
20 ~ 34MHz	1	1	1

(n = 0 ~ 5)

17.4 動作説明

17.4.1 I²C バスデータフォーマット

I²C バスインタフェースには、I²C バスフォーマットとシリアルフォーマットがあります。

I²C バスフォーマットは、アドレッシングフォーマットでアクノリッジビットありです。これを図 17.3 (a)、(b) に示します。開始条件に続く第 1 フレームは必ず 9 ビット構成となります。

シリアルフォーマットは、ノンアドレッシングフォーマットでアクノリッジビットなしです。これを図 17.4 に示します。また、I²C バスのタイミングを図 17.5 示します。

図 17.3~ 図 17.5 の記号説明を表 17.8 に示します。

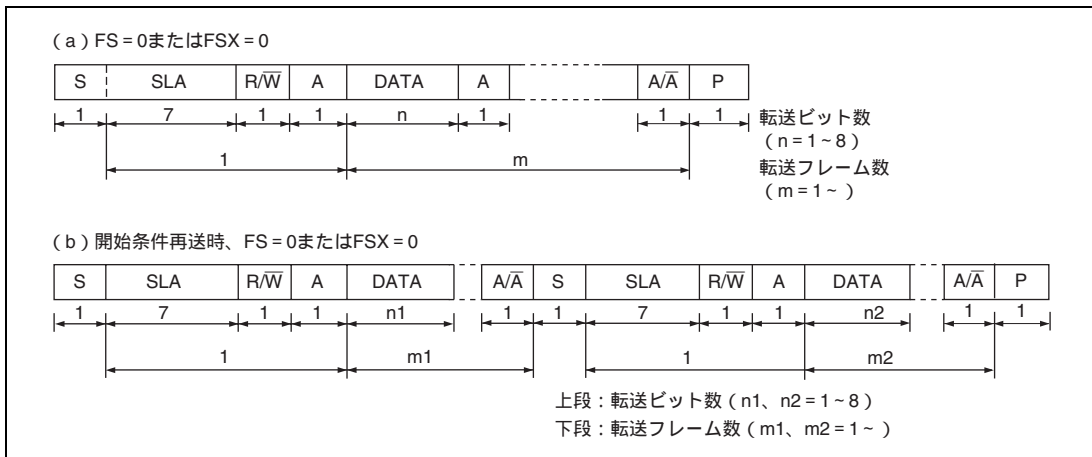


図 17.3 I²C バスデータフォーマット (I²C バスフォーマット)

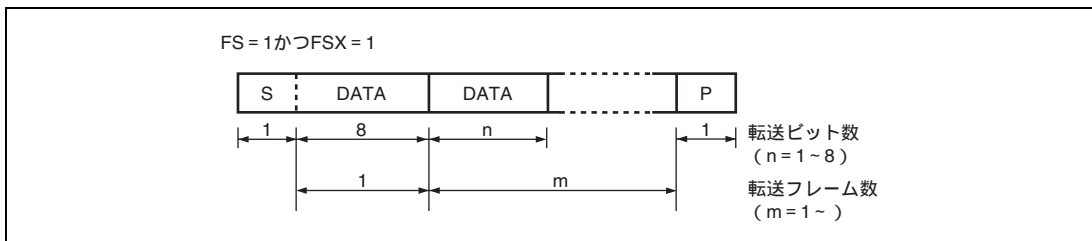


図 17.4 I²C バスデータフォーマット (シリアルフォーマット)

17. I²C バスインタフェース (IIC)

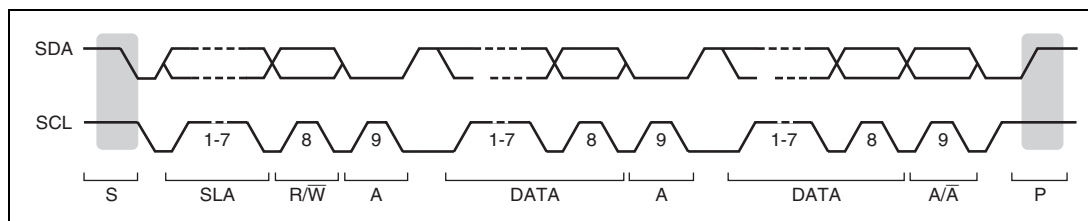


図 17.5 I²C バスタイミング

表 17.8 I²C バスデータフォーマット記号説明

S	開始条件を示します。マスタデバイスが SCL = High レベルの状態では SDA を High レベルから Low レベルに変化させます。
SLA	スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
R/W	送信 / 受信の方向を示します。R/W ビットが 1 の場合スレーブデバイスからマスタデバイス、R/W ビットが 0 の場合マスタデバイスからスレーブデバイスへデータを転送します。
A	アックノリッジを示します。受信デバイスが SDA を Low レベルにします (マスタ送信モード時スレーブが、マスタ受信モード時マスタがアックノリッジを返します)。
DATA	送受信データを示します。送受信するデータのビット長は ICMR の BC2 ~ BC0 ビットで設定します。また MSB ファースト / LSB ファーストの切り替えは ICMR の MLS ビットで選択します。
P	停止条件を示します。マスタデバイスが SCL = High レベルの状態では SDA を Low レベルから High レベルに変化させます。

17.4.2 初期設定

データ送信 / 受信を開始するとき、以下の手順に従い IIC を初期化してください。

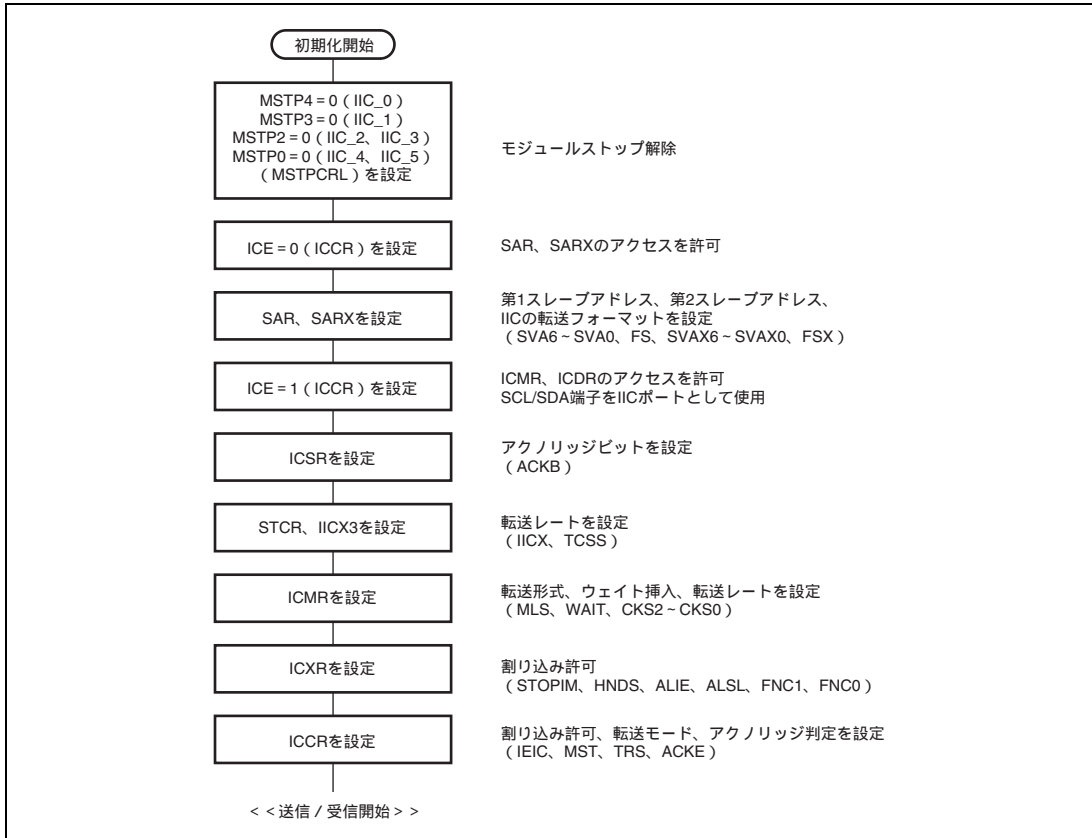


図 17.6 IIC の初期化フローチャートの例

【注】 ICMR レジスタの書き換えは、必ず送受信動作の終了後に行ってください。

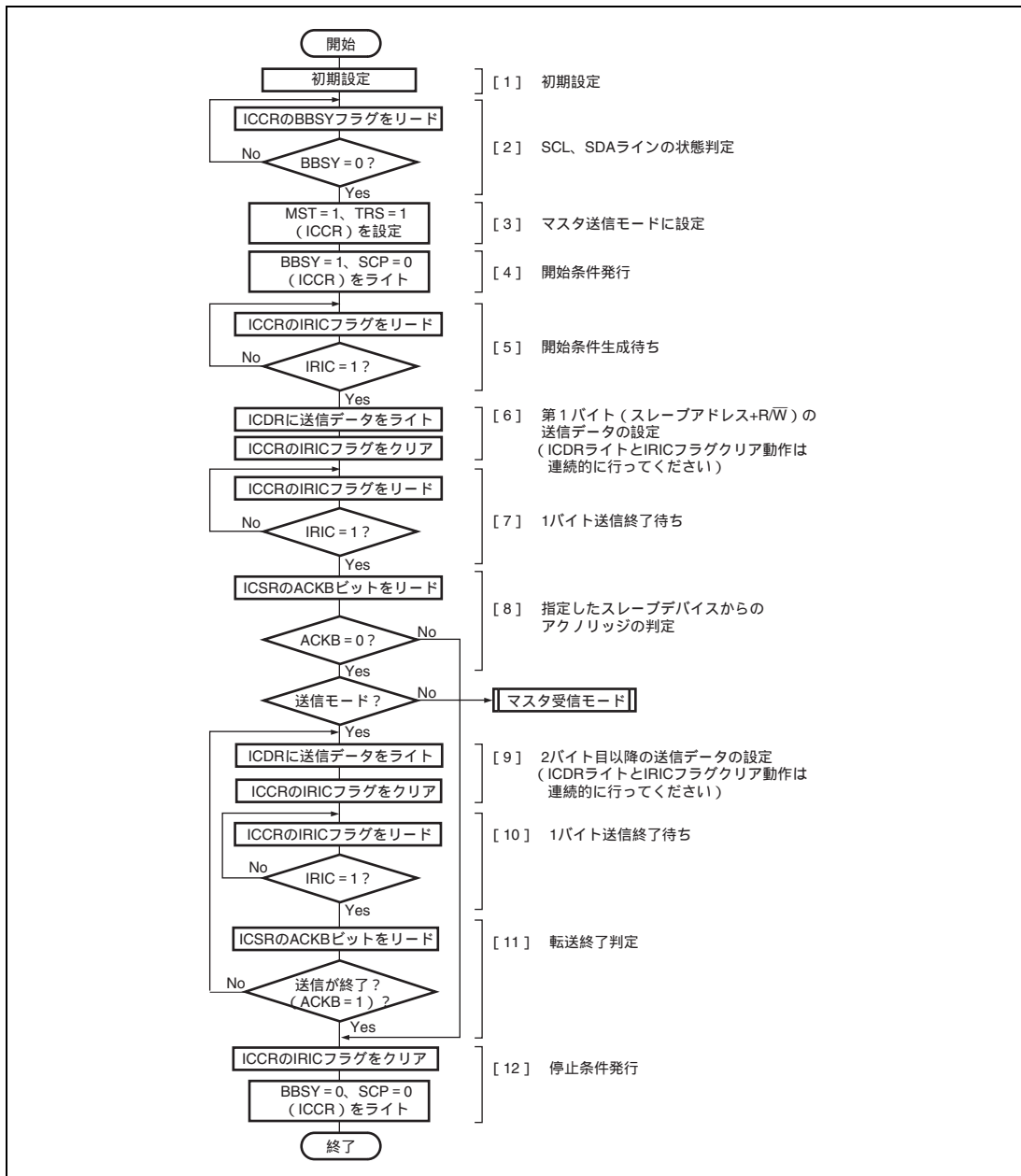
送受信動作の途中で ICMR レジスタに対しライト動作を行うと、ビットカウンタ BC2 ~ BC0 の値が不正に書き換えられ、正常に動作しなくなる恐れがあります。

17. I²C バスインタフェース (IIC)

17.4.3 マスタ送信動作

I²C バスフォーマットによるマスタ送信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクノリッジを返します。

図 17.7 にマスタ送信モードのフローチャート例を示します。



以下に ICDR (ICDRT) のライト動作に同期して、データを逐次的に送信する送信手順と動作を示します。

1. 「17.4.2 初期設定」に従い初期設定を行います。
2. ICCRのBBSYフラグをリードし、バスがフリー状態であることを確認します。
3. ICCRのMST、TRSビットをそれぞれ1にセットしてマスタ送信モードに設定します。
4. ICCRにBBSY = 1かつSCP = 0をライトします。これにより、SCLがHighレベルのときSDAをHighレベルからLowレベルに変化させ、開始条件を生成します。
5. 開始条件の生成に伴いIRIC、IRTRフラグが1にセットされます。このとき、ICCRのIEICビットが1にセットされているとCPUに対して割り込み要求を発生します。
6. 開始条件を検出後、ICDRにデータ (スレーブアドレス+R/W) をライトします。
I²Cバスフォーマット (SARのFSビットまたはSARXのFSXビットが0のとき) では、開始条件に続く第1フレームデータは7ビットのスレーブアドレスと送信 / 受信の方向(R/W)を示します。
次に転送終了を判断するためIRICフラグを0にクリアします。
ここでICDRのライトとIRICフラグのクリアは連続的に行い、他の割り込み処理が入らないようにしてください。もしIRICフラグのクリアまでに1バイト分の転送時間が経過した場合には転送終了を判定することができなくなります。
マスタデバイスは送信クロックとICDRにライトされたデータを順次送出します。選択された (スレーブアドレスが一致した) スレーブデバイスは、送信クロックの9クロック目にSDAをLowレベルにし、アクノリッジを返します。
7. 1フレームのデータ送信が終了し、送信クロックの9クロック目の立ち上がりでIRICフラグが1にセットされず。
SCLは1フレーム転送終了後、次の送信データをライトするまで内部クロックに同期して自動的にLowレベルに固定されます。
8. ICSRのACKBビットをリードしてACKB = 0であることを確認します。
スレーブデバイスがアクノリッジを返さずACKB = 1となっている場合は、12.の送信終了処理を行い、再度送信動作をやり直してください。
9. ICDRに送信データをライトします。
次に転送終了を判断するためIRICフラグを0にクリアします。
ここで 6.同様にICDRのライトとIRICフラグのクリアは連続的に行ってください。
次フレームの送信は内部クロックに同期して行われます。
10. 1フレームのデータ送信が終了し、送信クロックの9クロック目の立ち上がりでIRICフラグが1にセットされず。
SCLは1フレーム転送終了後、次の送信データをライトするまで内部クロックに同期して自動的にLowレベルに固定されます。

17. I²C バスインタフェース (IIC)

11. ICSRのACKBビットをリードします。

スレーブデバイスがアクノリッジを返しACKB=0となっていることを確認します。引き続きデータを送信する場合には、9.に戻り次の送信動作に移ります。スレーブデバイスがアクノリッジを返さずACKB=1となっている場合は、12.の送信終了処理を行います。

12. IRICフラグを0にクリアします。

ICCRのACKEビットに0をライトし、受信したACKBビットの内容を0にクリアします。

ICCRにBBSY=0かつSCP=0をライトします。これにより、SCLがHighレベルのときSDAをLowレベルからHighレベルに変化させ、停止条件を生成します。

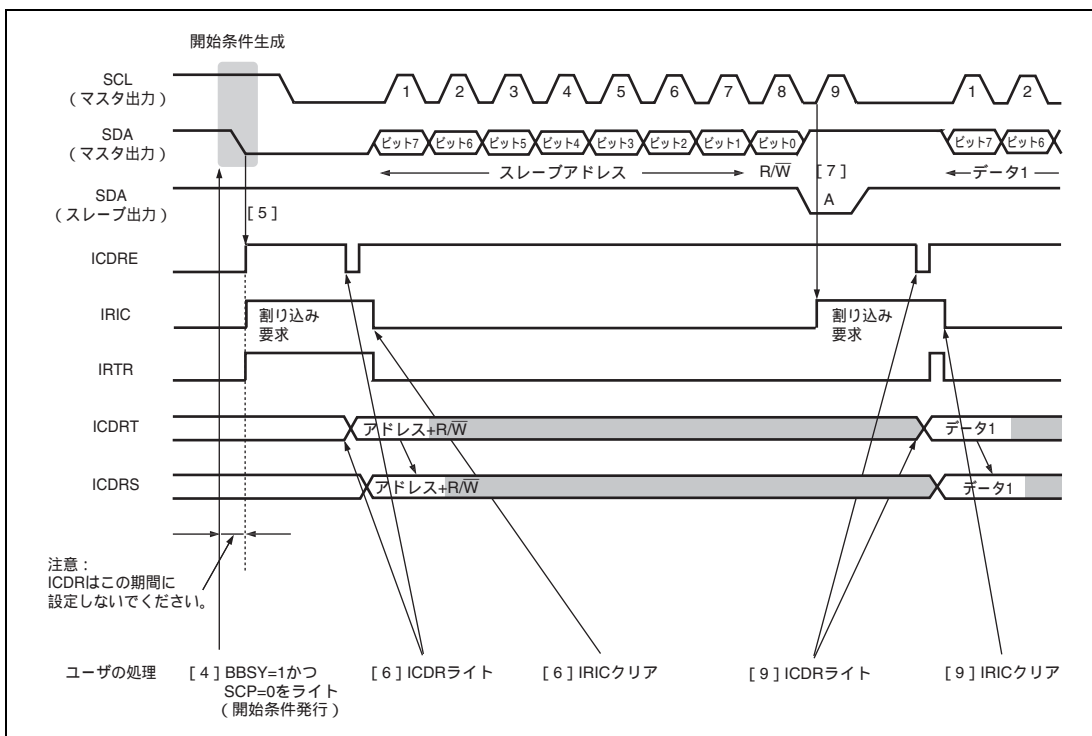


図 17.8 マスタ送信モード動作タイミング例 (MLS = WAIT = 0 のとき)

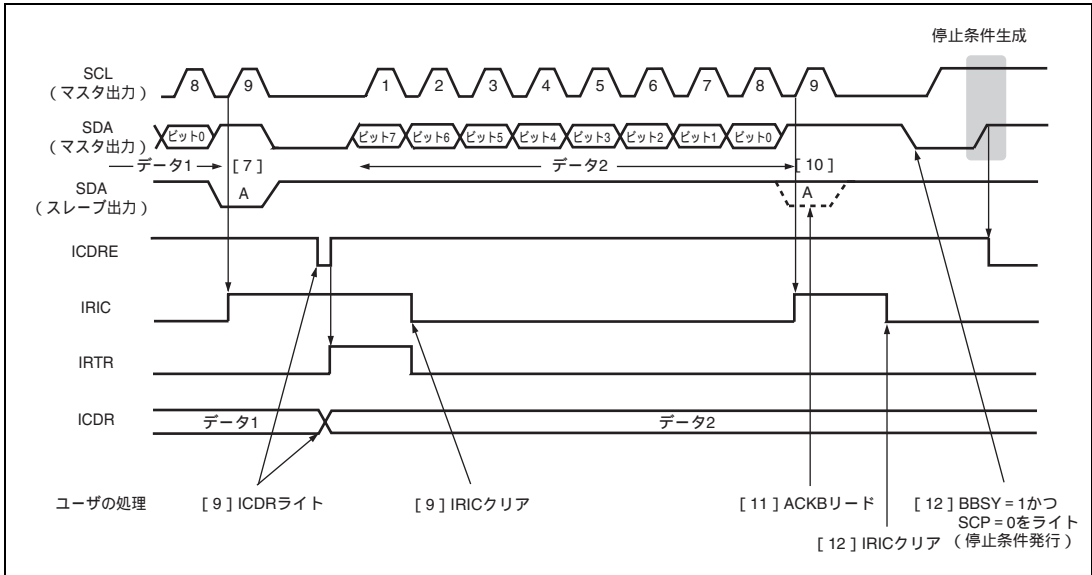


図 17.9 マスタ送信モード停止条件発行動作タイミング例 (MLS = WAIT = 0 のとき)

17. I²C バスインタフェース (IIC)

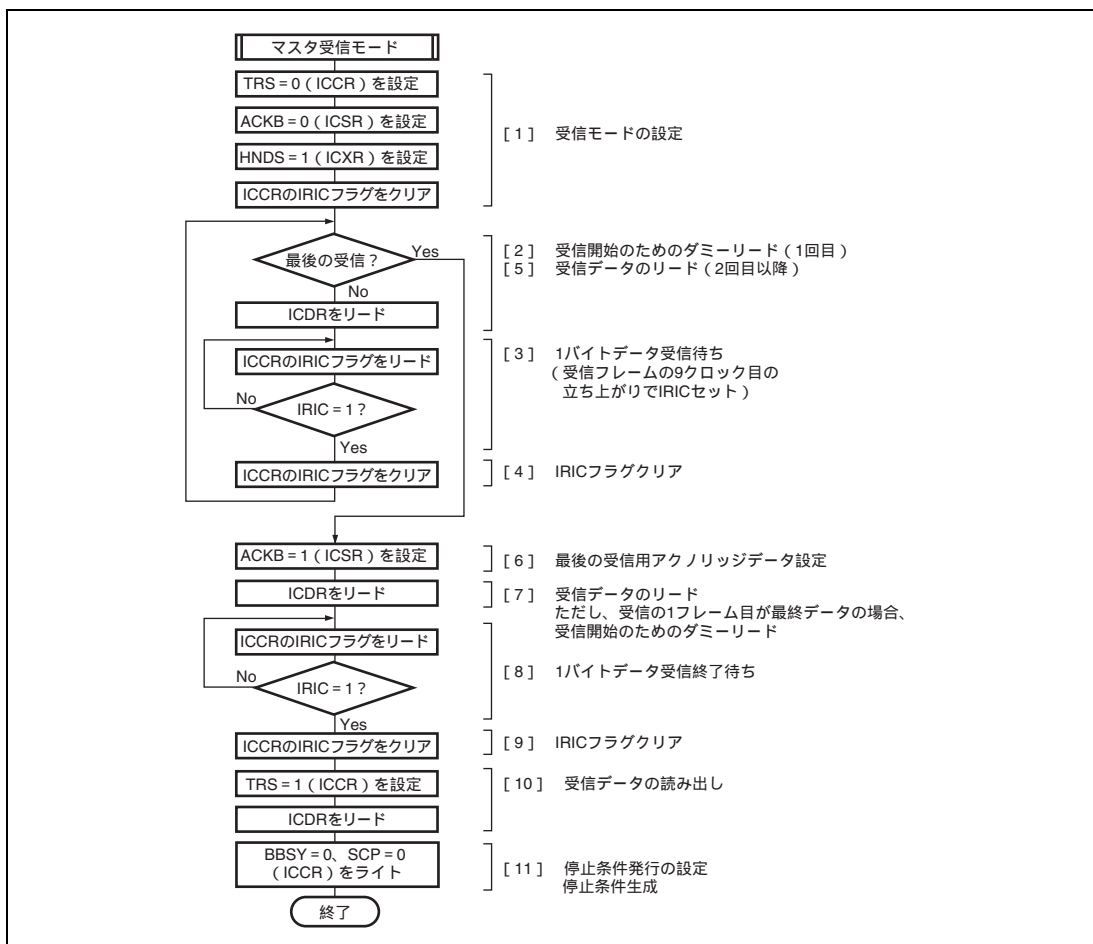
17.4.4 マスタ受信動作

I²C バスフォーマットによるマスタ受信モードでは、マスタデバイスが受信クロックを出力し、データを受信し、アックノリッジを返します。スレーブデバイスはデータを送信します。

マスタデバイスは、マスタ送信モードにて開始条件発行後の第一フレームでスレーブアドレス + R/W (1: リード) のデータを送信し、スレーブデバイスを選択した後、受信動作に切り替えます。

(1) HNDS 機能を利用した受信動作 (HNDS = 1)

図 17.10 にマスタ受信モードのフローチャート例 (HNDS = 1) を示します。



以下に HNDS ビット機能を利用し、データ受信ごとに SCL を Low に固定することで 1 バイトごとのデータ受信処理を行う受信手順と動作を示します。

1. ICCRのTRSビットを0にクリアし、送信モードから受信モードに切り替えます。
ICSRのACKBビットを0にクリアします。(アクノリッジデータの設定)
ICXRのHNDSビットを1にセットします。
受信完了を判断するためIRICフラグを0にクリアします。
受信の1フレーム目が最後の受信データの場合は、6以降の終了処理を行ってください。
2. ICDRをリード(ダミーリード)すると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。(受信クロックの立ち上がりに同期してSDA端子のデータをICDRSに順次格納します。)
3. 受信フレームの9クロック目でマスタデバイスはSDAをLowレベルにし、アクノリッジを返します。受信データは9クロック目の立ち上がりでICDRSからICDRRに転送され、ICDRF、IRIC、IRTRの各フラグが1にセットされます。このとき、IEICビットが1にセットされていると、CPUに対し割り込み要求を発生します。
マスタデバイスは受信クロックの9クロック目の立ち下がりからICDRのデータをリードするまでSCLをLowレベルにします。
4. 次の割り込みを判断するためIRICフラグを0にクリアします。
次のフレームが最後の受信データの場合は、6以降の終了処理を行ってください。
5. ICDRの受信データをリードします。このときICDRFフラグが0にクリアされ、マスタデバイスは次のデータ受信のため、引き続き受信クロックを出力します。

3から5を繰り返し行うことにより、データを受信することができます。
6. ACKBビットを1にセットします。(最後の受信用アクノリッジデータの設定)
7. ICDRの受信データをリードします。このときICDRFフラグが0にクリアされ、マスタデバイスはデータ受信のため、受信クロックを出力します。
8. 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりでICDRF、IRIC、IRTRの各フラグが1にセットされます。
9. IRICフラグを0にクリアします。
10. TRSビットを1にセット後、ICDRの受信データをリードします。このとき、ICDRFフラグが0にクリアされません。
11. 停止条件生成のため、ICCRにBBSY=0かつSCP=0をライトします。
これによりSCLがHighレベルのときSDAをLowレベルからHighレベルに変化させ、停止条件を生成します。

17. I²C バスインタフェース (IIC)

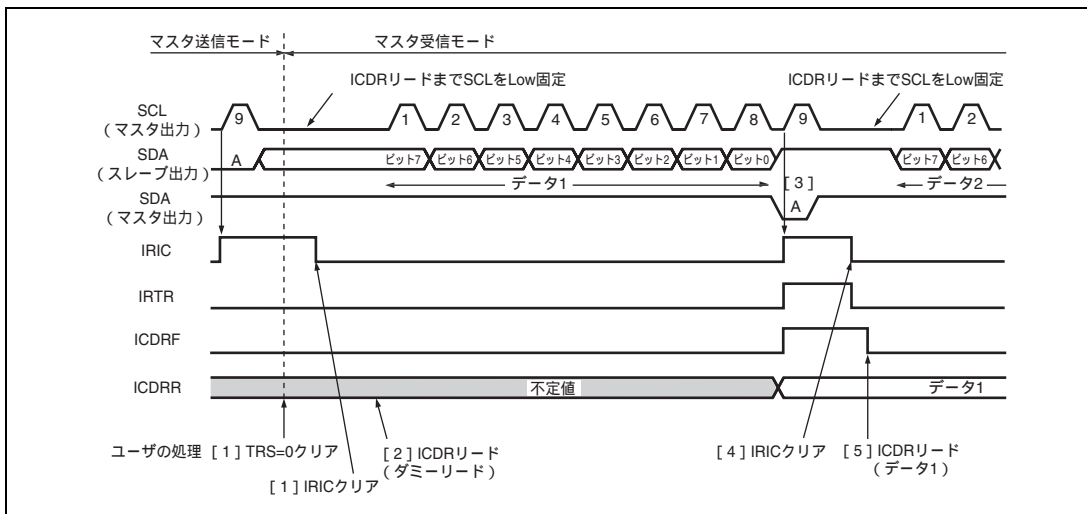


図 17.11 マスタ受信モード動作タイミング例 (MLS = WAIT = 0、HNDS = 1 のとき)

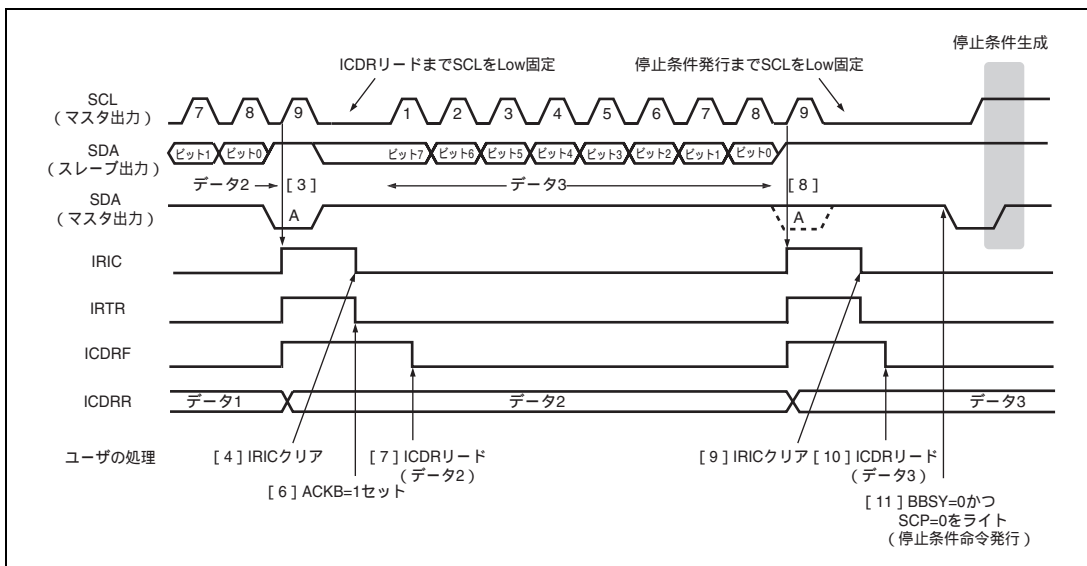


図 17.12 マスタ受信モード動作停止条件発行タイミング例 (MLS = WAIT = 0、HNDS = 1 のとき)

(2) ウェイトを利用した受信動作

図 17.13、図 17.14 にマスタ受信モードのフローチャート例 (WAIT = 1) を示します。

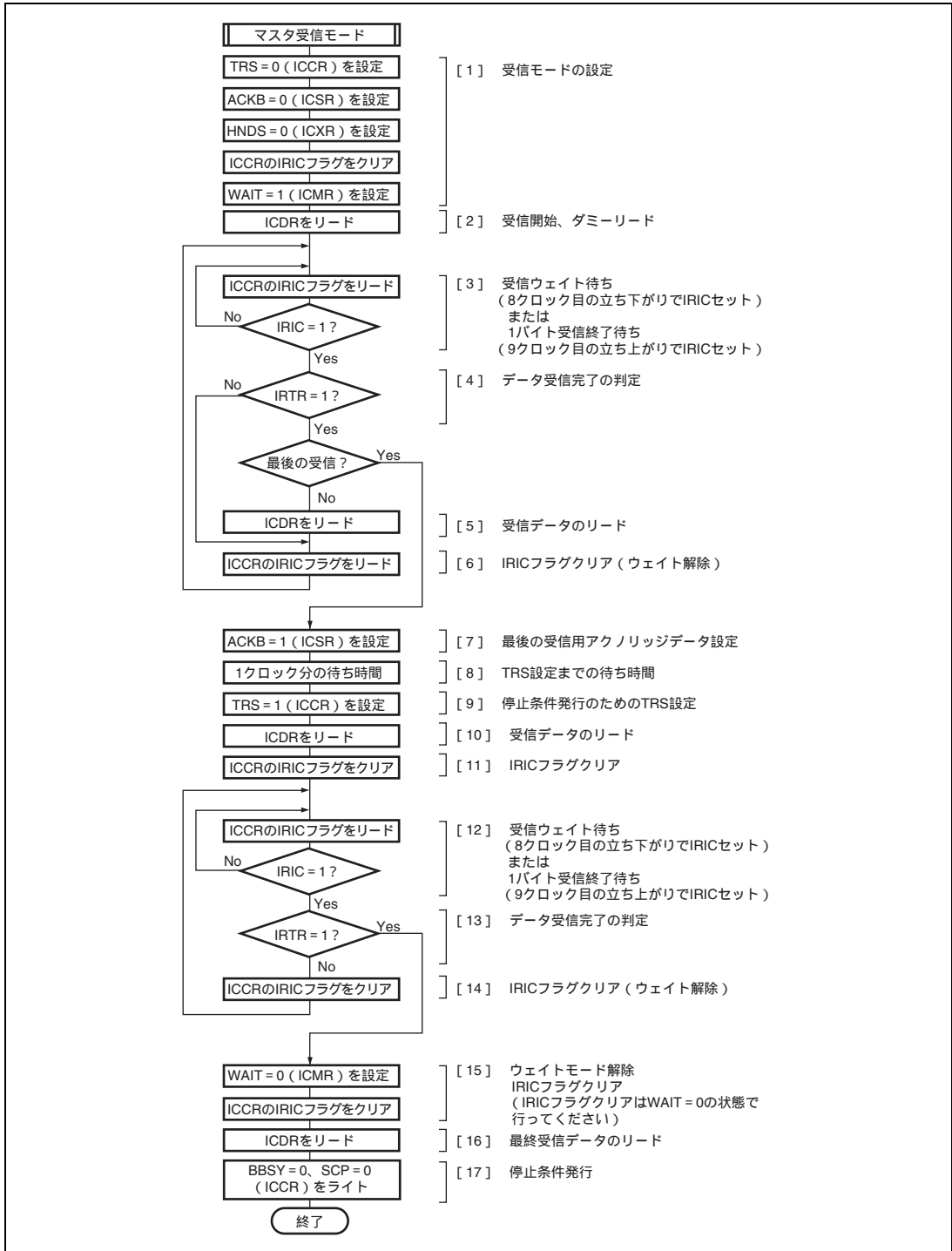


図 17.13 マスタ受信モード (複数バイト数受信) のフローチャート例 (WAIT = 1)

17. I²C バスインタフェース (IIC)

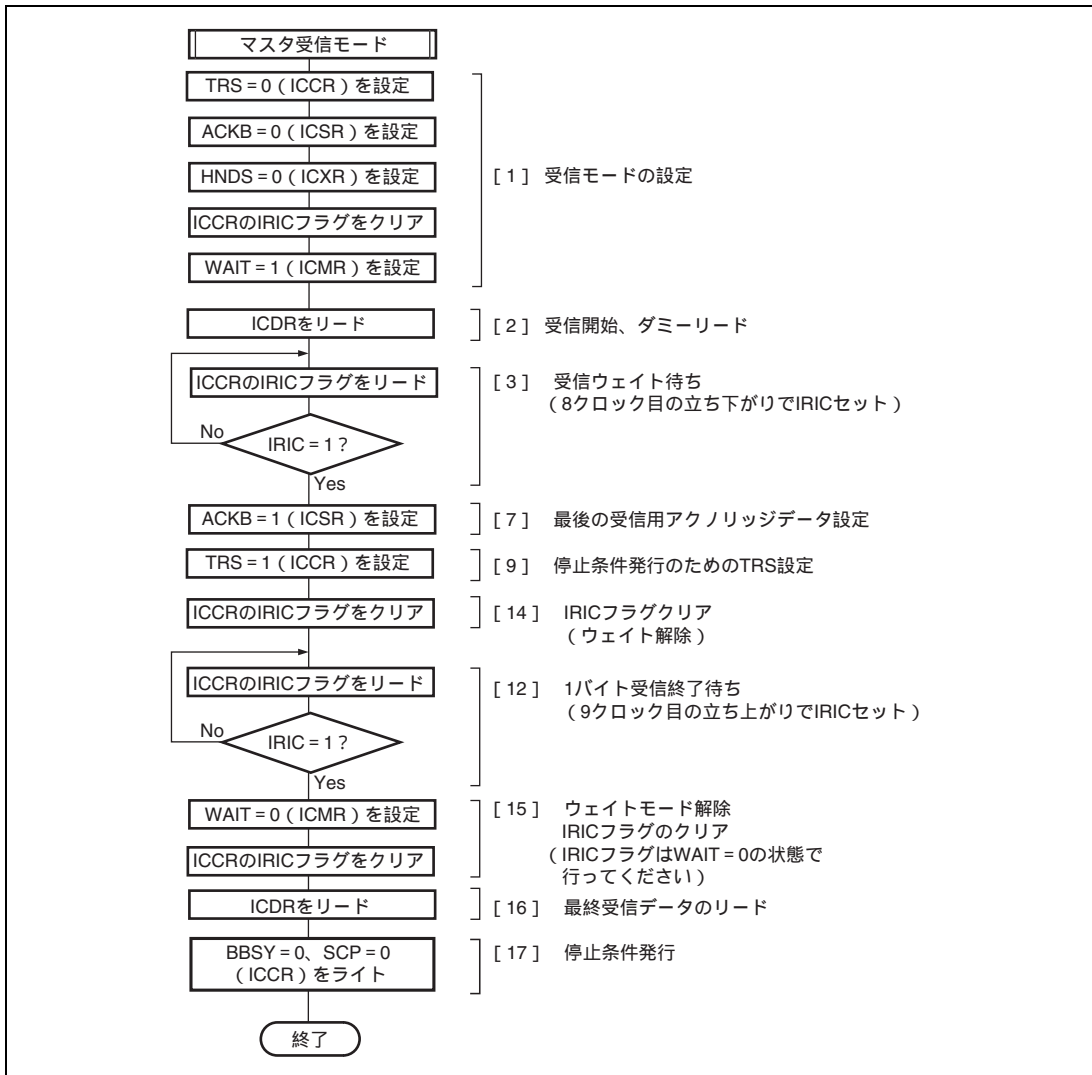


図 17.14 マスタ受信モード (1バイトのみ受信) のフローチャート例 (WAIT=1)

以下にウェイト動作 (WAIT ビット) を利用し、ICDR (ICDRR) のリード動作に同期してデータを逐次的に受信する受信手順と動作を示します。

下記手順は複数バイト受信動作について説明しています。1 バイトのみ受信の場合は一部手順が省略されていますので、図 17.14 のフローチャートに従って動作を行ってください。

1. ICCRのTRSビットを0にクリアし、送信モードから受信モードに切り替えます。
ICSRのACKBビットを0にクリアします。(アクノリッジデータの設定)
ICXRのHNDSビットを0にクリアします。(ハンドシェイク機能の解除)
IRICフラグを0にクリアし、その後にICMRのWAITビットを1にセットします。
2. ICDRをリード (ダミーリード) すると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。
3. IRICフラグが以下の2条件で1にセットされます。このとき、ICCRのIEICビットが1にセットされているとCPUに対して割り込み要求を発生します。
 - (1) 1フレームの受信クロックの8クロック目の立ち下がりでセットされます。
SCLはIRICフラグがクリアされるまで内部クロックに同期して自動的にLowレベルに固定されます。
 - (2) 1フレームの受信クロックの9クロック目の立ち上がりでセットされます。
IRTRフラグとICDRFフラグが1にセットされ、1フレームのデータ受信が終了したことを示します。マスタデバイスは引き続き次の受信データの受信クロックを出力します。
4. ICSRのIRTRフラグをリードします。
IRTRフラグが0の場合は6.のIRICフラグクリアでウェイト解除を行います。
IRTRフラグが1で、次に受信するデータが最後の受信データの場合は、7.の終了処理を行ってください。
5. IRTRフラグが1の場合は、ICDRの受信データをリードします。
6. IRICフラグを0にクリアします。3.(1)の場合、マスタデバイスは受信クロックの9クロック目を出力するとともに、SDAをLowレベルにし、アクノリッジを返します。

3.から6.を繰り返し行うことにより、データを受信することができます。
7. ICSRのACKBビットを1にセットし、最後の受信用アクノリッジデータを設定します。
8. IRICフラグが1にセットされてから少なくとも1クロック分の待ち時間を取り、次の受信データの1クロック目が立ち上がるのを待ちます。
9. ICCRのTRSビットを1にセットし、受信モードから送信モードに切り替えます。ここで設定したTRSビットの値は次の9クロック目の立ち上がりエッジが入力されてから有効になります。
10. ICDRの受信データをリードします。
11. IRICフラグを0にクリアします。

17. I²C バスインタフェース (IIC)

12. IRICフラグが以下の2条件で1にセットされます。

(1) 1フレームの受信クロックの8クロック目の立ち下がりです。

SCLはIRICフラグがクリアされるまで内部クロックに同期して自動的にLowレベルに固定されます。

(2) 1フレームの受信クロックの9クロック目の立ち上がりです。

IRTRフラグとICDRFフラグが1にセットされ、1フレームのデータ受信が終了したことを示します。

13. ICSRのIRTRフラグをリードします。

IRTRフラグが0の場合は14.のIRICフラグクリアでウェイト解除を行います。

IRTRフラグが1で受信動作が完了している場合は、16.の停止条件発行処理を行ってください。

14. IRTRフラグが0の場合は、IRICフラグを0にクリアし、ウェイトを解除します。

受信動作の完了を検出するため12.のIRICフラグリードに戻ります。

15. ICMRのWAITビットを0にクリアし、ウェイトモードを解除します。

その後、IRICフラグを0にクリアします。

IRICフラグのクリアはWAIT=0の状態で行ってください。

(IRICフラグを0にクリアした後にWAITビットを0にクリアし、停止条件発行命令を実行した場合、停止条件が正常に出力されない場合があります。)

16. ICDRにある最終受信データをリードします。

17. ICCRにBBSY=0かつSCP=0をライトします。これにより、SCLがHighレベルのときSDAをLowレベルからHighレベルに変化させ、停止条件を生成します。

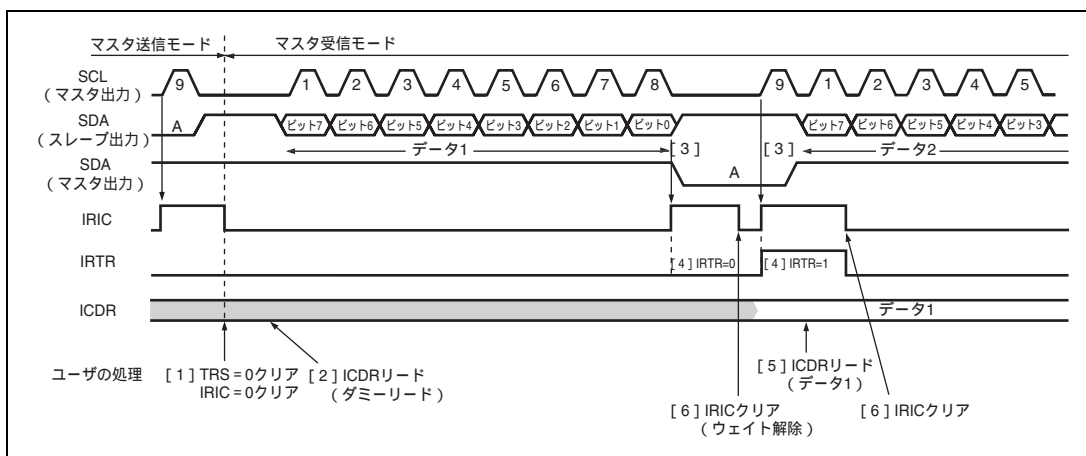


図 17.15 マスタ受信モード動作タイミング例 (MLS = ACKB = 0、WAIT = 1 のとき)

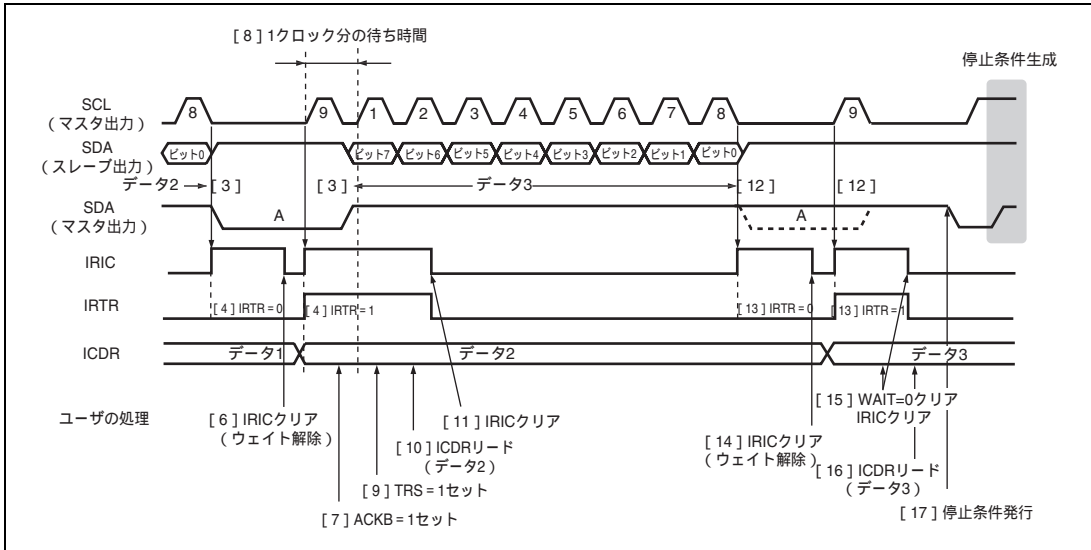


図 17.16 マスタ受信モード停止条件発行動作タイミング例 (MLS = ACKB = 0、WAIT = 1 のとき)

17.4.5 スレーブ受信動作

I²C バスフォーマットによるスレーブ受信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクノリッジを返します。

スレーブデバイスは、マスタが発行する開始条件後の第 1 フレームのスレーブアドレスと自分のアドレスを比較し、一致したときにマスタデバイスに指定されたスレーブデバイスとして動作します。

(1) HNDS 機能を利用した受信動作 (HNDS = 1)

図 17.17 にスレーブ受信モードのフローチャート例 (HNDS = 1) を示します。

17. I²C バスインタフェース (IIC)

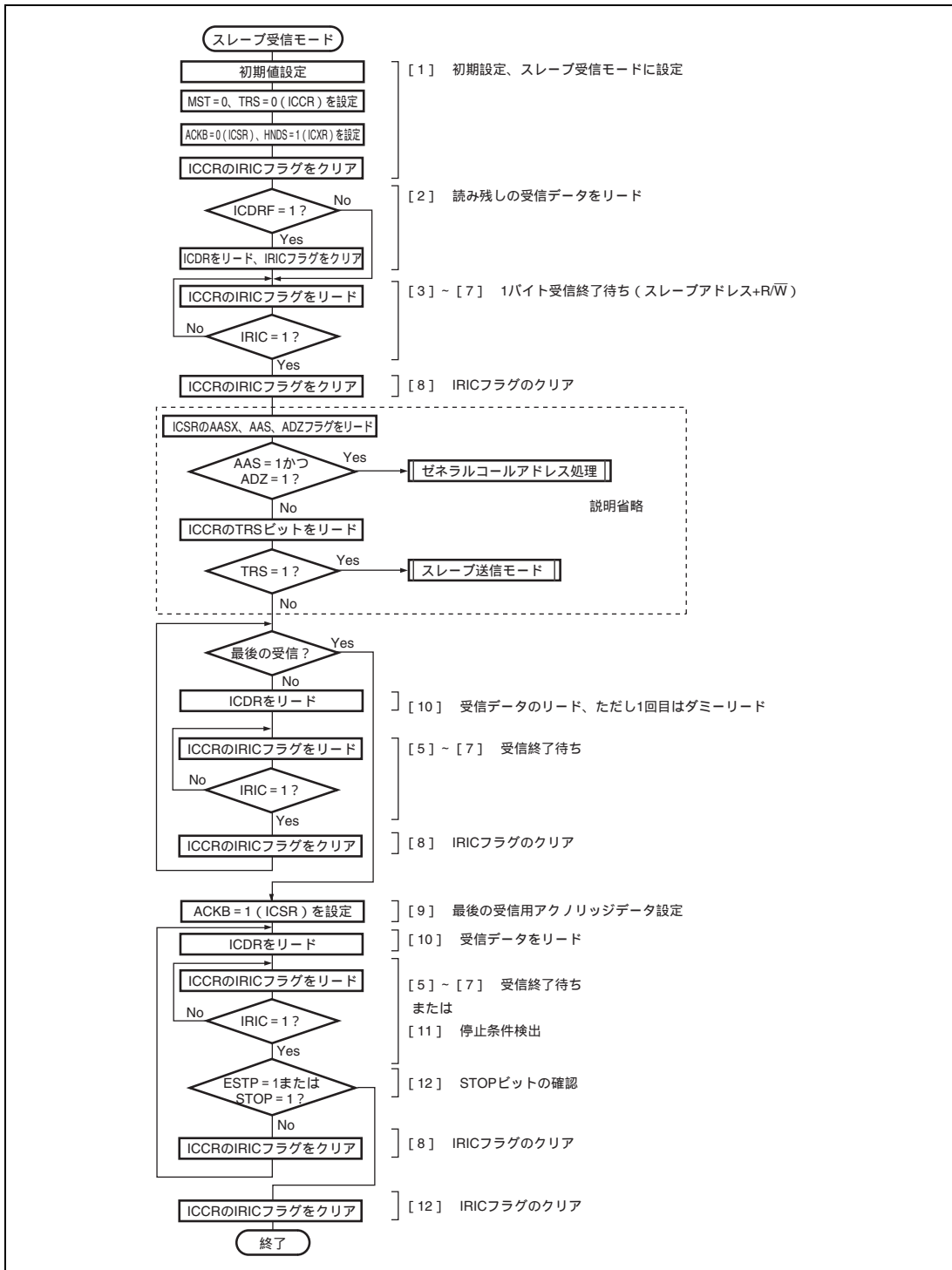


図 17.17 スレープ受信モードのフローチャート例 (HNDS = 1)

以下に HNDS ビット機能を利用し、データ受信ごとに SCL を Low に固定することで 1 バイトごとのデータ受信処理を行う受信手順と動作を示します。

1. 「17.4.2 初期設定」に従い初期設定を行います。

MST、TRS ビットをそれぞれ 0 にクリアしてスレーブ受信モードに設定します。また、HNDS ビットを 1 にセットし、ACKB ビットを 0 に設定します。受信完了を判断するため、ICCR の IRIC フラグを 0 にクリアします。

2. ICDRF フラグが 0 であることを確認します。もし ICDRF フラグが 1 にセットされているときは、ICDR をリードし、その後で IRIC フラグを 0 にクリアしておきます。
3. マスタデバイスの出力した開始条件を検出すると、ICCR の BBSY フラグが 1 にセットされます。マスタデバイスは、開始条件に引き続き 7 ビットのスレーブアドレスと送受信の方向 (R/\bar{W}) のデータを送信クロックに合せ順次出力します。
4. 開始条件後の第 1 フレームでスレーブアドレスが一致したとき、マスタデバイスに指定されたスレーブデバイスとして動作します。8 ビット目のデータ (R/\bar{W}) が 0 のとき TRS ビットは 0 のまま変化せず、スレーブ受信動作を行います。8 ビット目のデータ (R/\bar{W}) が 1 のとき TRS ビットは 1 にセットされ、スレーブ送信動作を行います。

なお、アドレスが一致しなかった場合は、次の開始条件の検出までデータ受信動作は行いません。

5. 受信フレームの 9 クロック目でスレーブデバイスは ACKB ビットに設定したデータをアクノリッジとして返します。
6. 9 クロック目の立ち上がりで IRIC フラグが 1 にセットされます。このとき、IEIC ビットが 1 にセットされていると、CPU に対し割り込み要求を発生します。

また、AASX ビットが 1 にセットされていると IRTR フラグも 1 にセットされます。

7. 9 クロック目の立ち上がりで、受信データは ICDRS から ICRR に転送され、ICDRF フラグが 1 にセットされます。スレーブデバイスは受信クロックの 9 クロック目の立ち下がりから ICDR のデータをリードするまで SCL を Low レベルにします。
8. STOP ビットが 0 にクリアされていることを確認し、IRIC フラグを 0 にクリアします。
9. 次のフレームが最後の受信フレームのときは ACKB ビットを 1 にセットしておきます。
10. ICDR をリードすると、ICDRF フラグが 0 にクリアされ、SCL バスラインを開放します。これによりマスタデバイスは次のデータの転送が可能となります。

5. から 10. を繰り返し行うことにより、受信動作を継続できます。

11. 停止条件 (SCL が High レベルのとき、SDA が Low レベルから High レベルに変化) が検出されると、BBSY フラグが 0 にクリアされます。また、STOP ビットが 1 にセットされます。このとき STOPIM ビットが 0 にクリアされていると IRIC フラグは 1 にセットされます。
12. STOP ビットが 1 にセットされていることを確認し、IRIC フラグを 0 にクリアします。

17. I²C バスインタフェース (IIC)

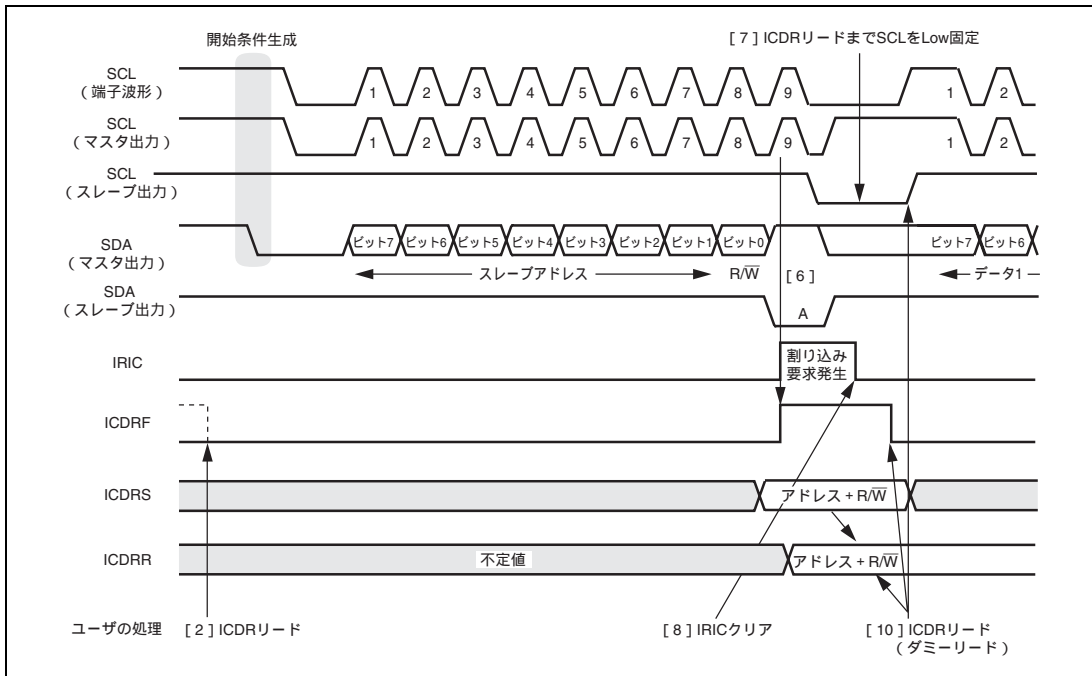


図 17.18 スレーブ受信モード動作タイミング例 1 (MLS = 0、HNDS = 1 のとき)

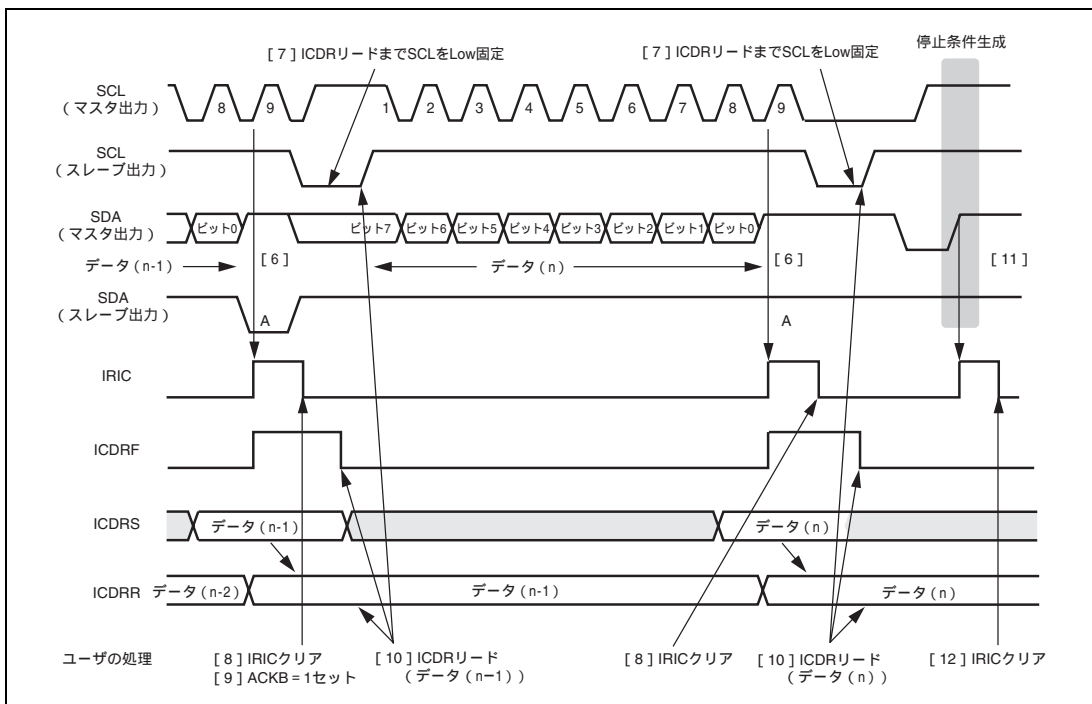


図 17.19 スレーブ受信モード動作タイミング例 2 (MLS = 0、HNDS = 1 のとき)

(2) 連続受信動作

図 17.20 にスレーブ受信モードのフローチャート例 (HNDS = 0) を示します。

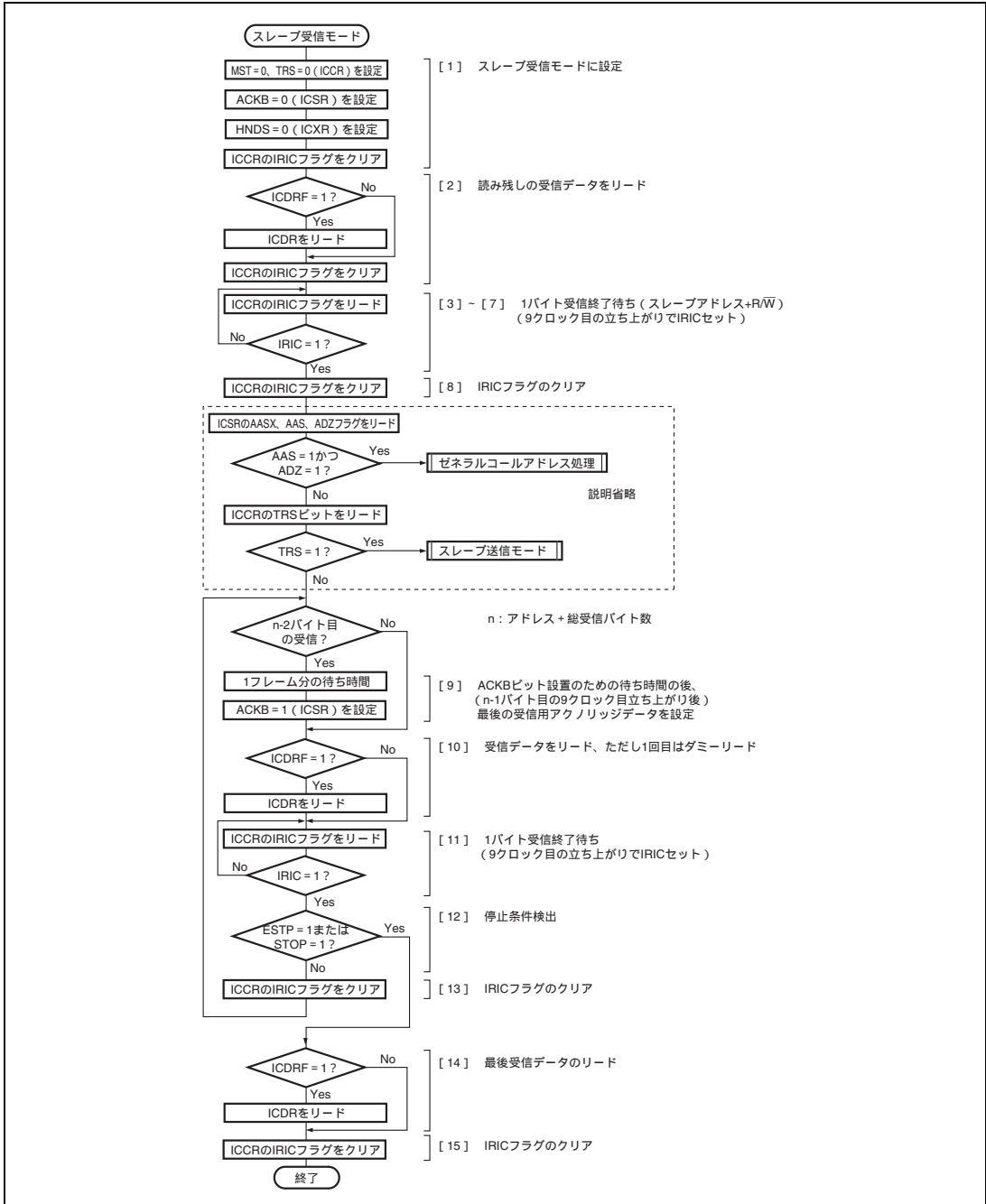


図 17.20 スレーブ受信モードのフローチャート例 (HNDS = 0)

17. I²C バスインタフェース (IIC)

以下にスレーブ受信モードの受信手順と動作を示します。

1. 「17.4.2 初期設定」に従い初期設定を行います。

MST、TRSビットをそれぞれ0にクリアしてスレーブ受信モードに設定します。また、HNDSビットを0にセットし、ACKBビットを0に設定します。受信完了を判断するため、ICCRのIRICフラグを0にクリアします。
2. ICDRFフラグが0であることを確認します。ICDRFフラグが1にセットされているときは、ICDRをリードし、その後でIRICフラグを0にクリアしておきます。
3. マスタデバイスの出力した開始条件を検出すると、ICCRのBBSYフラグが1にセットされます。マスタデバイスは、開始条件に引き続き7ビットのスレーブアドレスと送受信の方向 (R/\bar{W}) のデータを送信クロックに合せ順次出力します。
4. 開始条件後の第1フレームでスレーブアドレスが一致したとき、マスタデバイスに指定されたスレーブデバイスとして動作します。8ビット目のデータ (R/\bar{W}) が0のときTRSビットは0のまま変化せず、スレーブ受信動作を行います。8ビット目のデータ (R/\bar{W}) が1のときTRSビットは1にセットされ、スレーブ送信動作を行います。

なお、アドレスが一致しなかった場合は、次の開始条件の検出までデータ受信動作は行いません。
5. 受信フレームの9クロック目でスレーブデバイスはACKBビットに設定したデータをアクノリッジとして返します。
6. 9クロック目の立ち上がりでIRICフラグが1にセットされます。このとき、IEICビットが1にセットされていると、CPUに対し割り込み要求を発生します。

また、AASXビットが1にセットされているとIRTRフラグも1にセットされます。
7. 9クロック目の立ち上がりで、受信データはICDRSからICDRRに転送され、ICDRFフラグが1にセットされます。
8. STOPビットが0にクリアされていることを確認し、IRICフラグを0にクリアします。
9. 次にリードするデータが最後から2つ前の受信フレームのときはACKBビット設定のため最低1フレーム分の待ち時間を設けます。最後から1つ前の受信フレームの9クロック目が立ち上がった後にACKBビットを1にセットしておきます。
10. ICDRFフラグが1にセットされていることを確認し、ICDRをリードします。

ICDRをリードすると、ICDRFフラグが0にクリアされます。
11. 9クロック目の立ち上がりまたは、ICDRリード動作により受信データがICDRSからICDRRに転送されるとIRICフラグおよびICDRFフラグが1にセットされます。
12. 停止条件 (SCLがHighレベルのとき、SDAがLowレベルからHighレベルに変化) が検出されると、BBSYフラグが0にクリアされます。また、STOPフラグまたは、ESTPフラグが1にセットされます。このときSTOPIMビットが0にクリアされているとIRICフラグは1にセットされます。この場合は14.の最終受信データのリードを行います。

13. IRICフラグを0にクリアします。

9から13を繰り返し行うことにより、受信動作を継続できます。

14. ICDRFフラグが1にセットされていることを確認し、ICDRをリードします。

15. IRICフラグを0にクリアします。

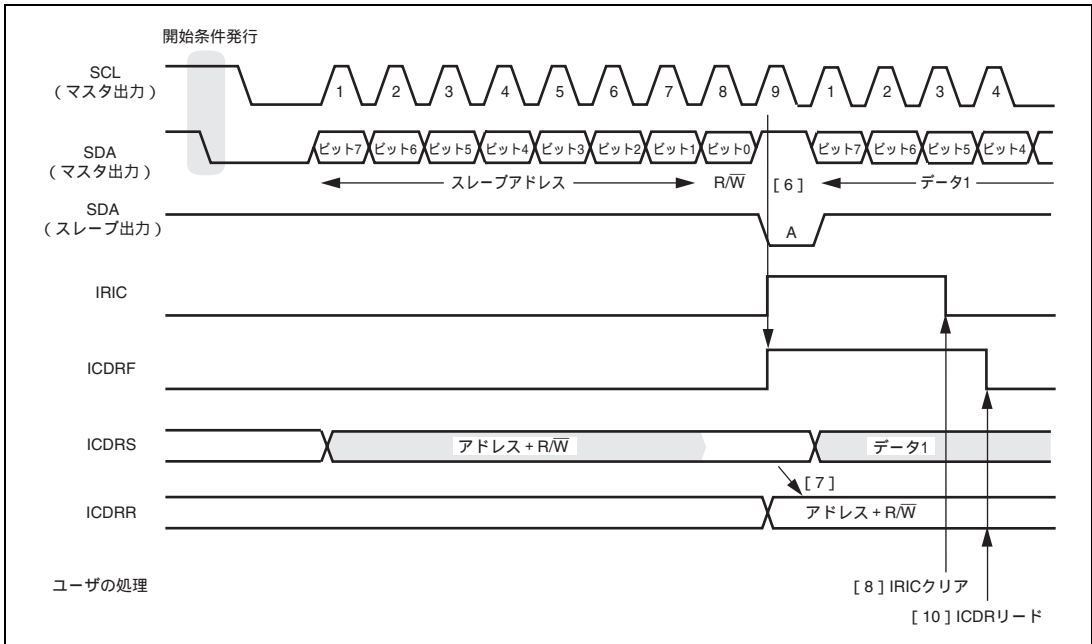


図 17.21 スレーブ受信モード動作タイミング例 1 (MLS = ACKB = 0、HNDS = 0 のとき)

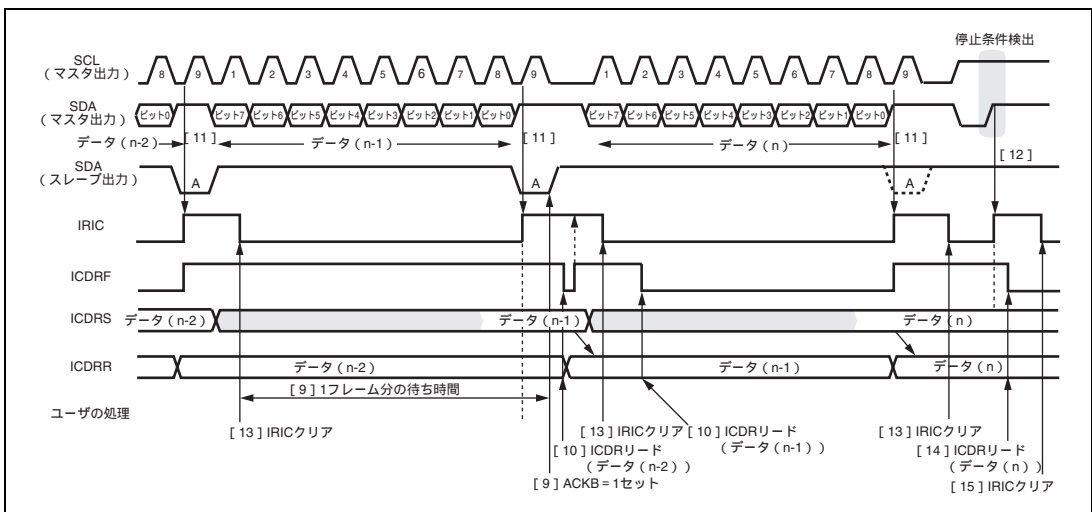


図 17.22 スレーブ受信モード動作タイミング例 2 (MLS = ACKB = 0、HNDS = 0 のとき)

17. I²C バスインタフェース (IIC)

17.4.6 スレーブ送信動作

スレーブ送信動作は、スレーブ受信モードで開始条件検出後の第1フレーム（アドレス受信フレーム）にてマスタが送信したアドレスと自分のアドレスが一致し、かつ8ビット目のデータ（R/W）が1（リード）のときに ICCR の TRS ビットが自動的に1にセットされ、スレーブ送信モードになります。

図 17.23 にスレーブ送信モードのフローチャート例を示します。

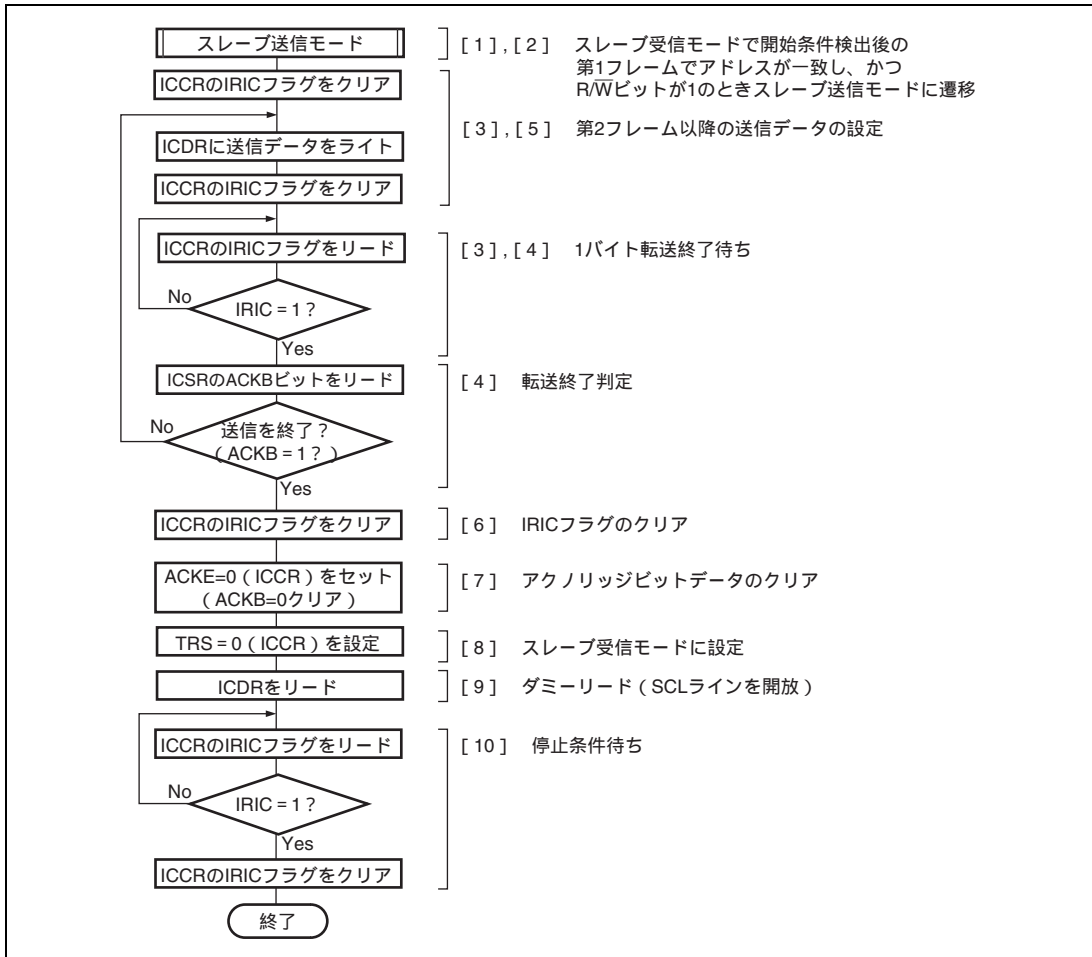


図 17.23 スレーブ送信モードのフローチャート例

スレーブ送信モードでは、スレーブデバイスが送信データを出し、マスタデバイスが受信クロックを出し、アクノリッジを返します。以下にスレーブ送信モードの送信手順と動作を示します。

1. スレーブ受信モードの初期設定を行い、自分のアドレス受信を待ちます。
 2. 開始条件を検出後の第1フレームでスレーブアドレスが一致したとき、9クロック目でスレーブデバイスはSDAをLowレベルにし、アクノリッジを返します。また、8ビット目のデータ (R/\overline{W}) が1のときTRSビットが1にセットされ、自動的にスレーブ送信モードになります。9クロック目の立ち上がりのタイミングでIRICフラグが1にセットされます。このとき、IEICビットが1にセットされているとCPUに対し割り込み要求を発生します。このとき、ICDREフラグは1にセットされています。スレーブデバイスは送信クロックの9クロック目の立ち下がりからICDRにデータをライトするまでSCLをLowレベルにしマスタデバイスが次の転送クロックを出力できないようにします。
 3. IRICフラグを0にクリア後、ICDRに送信データをライトします。このときICDREフラグは0にクリアされます。ライトされたデータはICDRSに転送され、ICDREフラグとIRICフラグが再び1にセットされます。スレーブデバイスはマスタデバイスが出力するクロックに従い、ICDRSに転送されたデータを順次送出します。
送信完了を検知するためにIRICフラグを0にクリアします。ICDRレジスタライトからIRICフラグクリアまでは連続的に行い、この間に他の処理が入らないようにしてください。
 4. マスタデバイスは転送フレームの9クロック目にSDAをLowレベルにし、アクノリッジを返します。このアクノリッジはICSRのACKBビットに格納されるので転送動作が正常に行われたかどうかを確認することができます。1フレームのデータ送信が終了し、送信クロックの9クロック目の立ち上がりでIRICフラグが1にセットされます。ICDREフラグが0のときは、ICDRにライトされたデータはICDRSに転送され送信を開始し、ICDREフラグとIRICフラグが再び1にセットされます。ICDREフラグが1にセットされていると、送信クロックの9クロック目の立ち下がりからICDRにデータライトするまでSCLをLowレベルにします。
 5. 送信を続ける場合は、次に送信するデータをICDRにライトします。このときICDREフラグは0にクリアされます。送信完了を検知するためにIRICフラグを0にクリアします。ICDRレジスタライトからIRICフラグクリアまでは連続的に行い、この間に他の処理が入らないようにしてください。
- 4.から5.を繰り返し行うことにより、送信動作を継続できます。
6. IRICフラグを0にクリアします。
 7. 送信を終了する場合は、ICCRレジスタのACKEビットを0にクリアし、ACKBビットに格納されているアクノリッジビットの値を0にクリアします。
 8. 次のアドレス受信動作のため、TRSビットを0にクリアし、スレーブ受信モードに設定します。
 9. スレーブ側でSCLを開放するためにICDRをダミーリードします。
 10. SCLがHighレベルのときSDAがLowレベルからHighレベルに変化して停止条件を検出すると、ICCRのBBSYフラグが0にクリアされ、ICSRのSTOPフラグが1にセットされます。ICXRのSTOPIMビットが0の場合は、IRICフラグが1にセットされます。IRICフラグがセットされているときは、IRICフラグを0にクリアします。

17. I²C バスインタフェース (IIC)

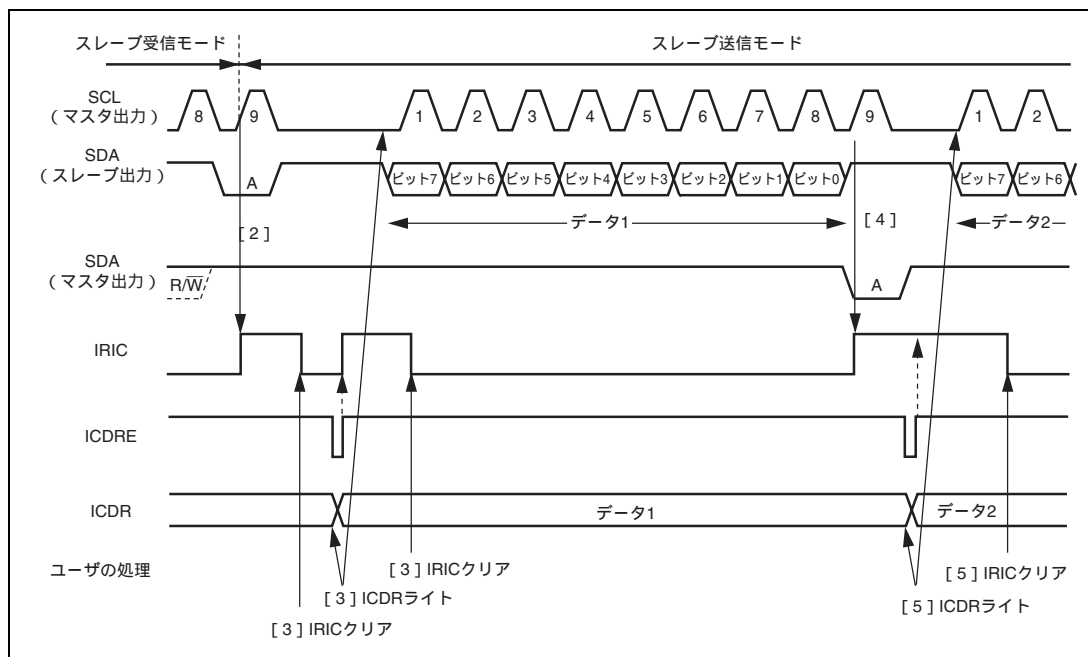


図 17.24 スレーブ送信モード動作タイミング例 (MLS=0 のとき)

17.4.7 IRIC セットタイミングと SCL 制御

割り込み要求フラグ (IRIC) セットタイミングは ICMR の WAIT ビット、SAR の FS ビットおよび SARX の FSX ビットの組み合わせにより異なります。また SCL は、ICDRE や ICDRF フラグが 1 にセットされていると、1 フレーム転送終了後内部クロックに同期して自動的に Low レベルに固定します。図 17.25 ~ 図 17.27 に IRIC セットタイミングと SCL 制御を示します。

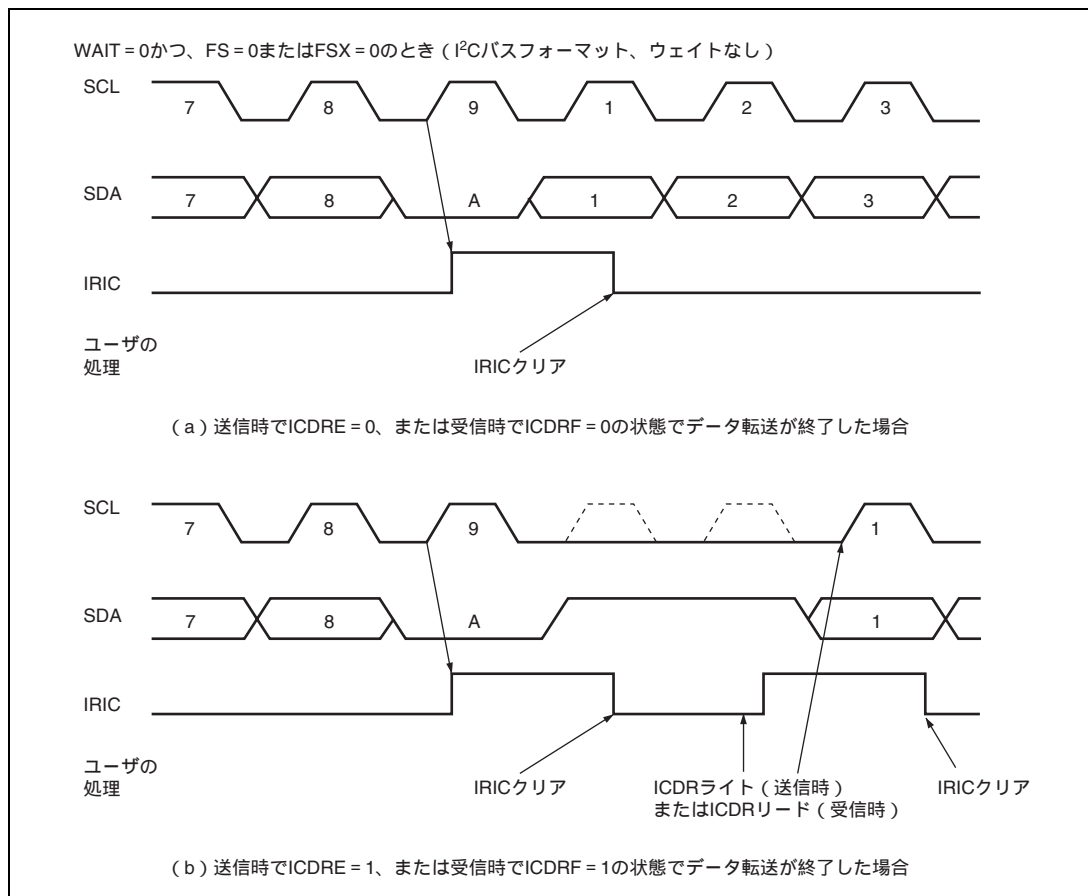


図 17.25 IRIC フラグセットタイミングと SCL 制御 (1)

17. I²C バスインタフェース (IIC)

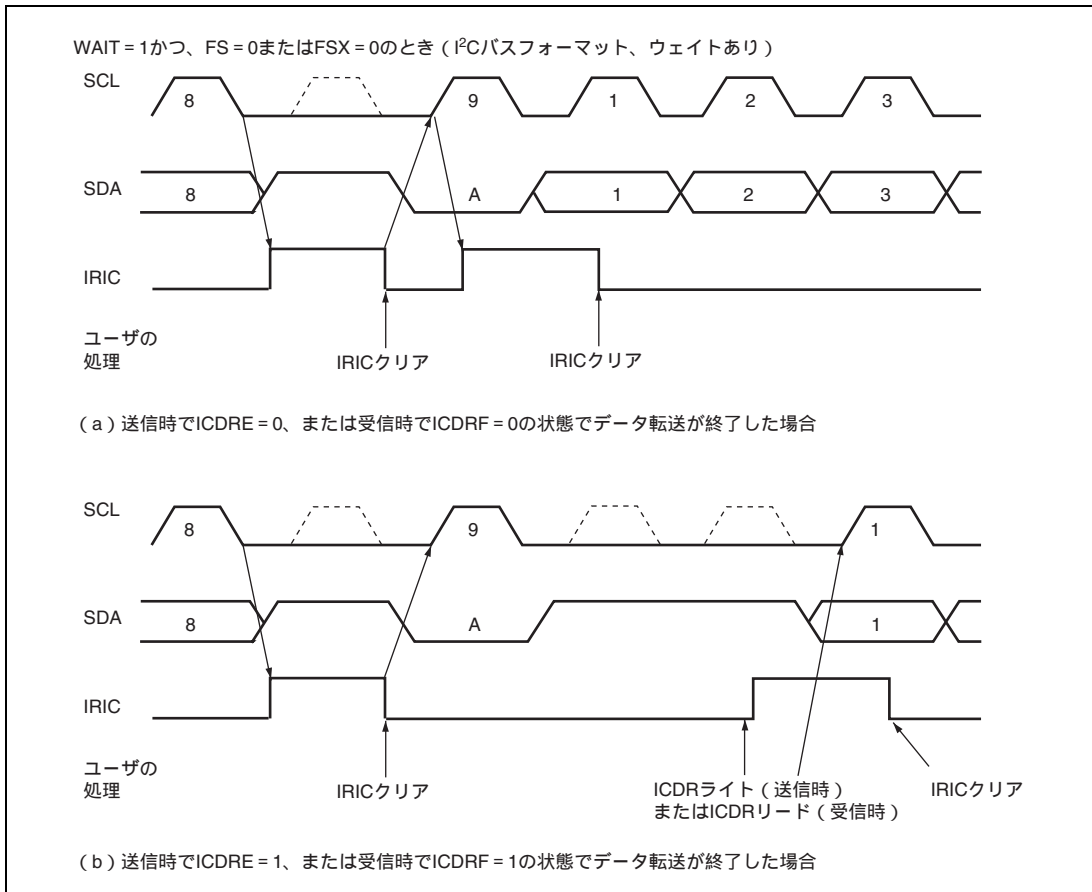


図 17.26 IRIC フラグセットタイミングと SCL 制御 (2)

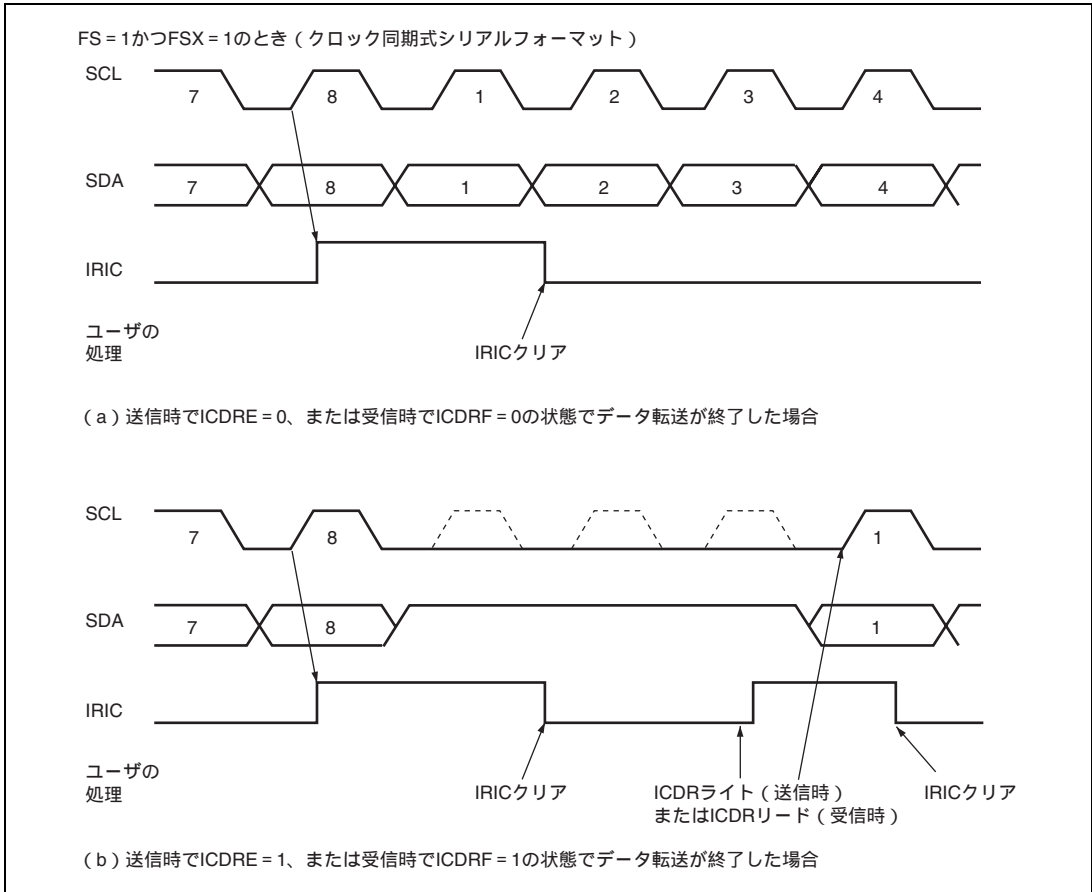


図 17.27 IRIC フラグセットタイミングと SCL 制御 (3)

17. I²C バスインタフェース (IIC)

17.4.8 DTC による動作

本 LSI では転送を連続的に行うために、DTC を利用することができます。DTC は、2 つある割り込みフラグ (IRIC と IRTR) のうち、IRTR フラグが 1 にセットされた場合に起動されます。ACKE ビットが 0 の場合、アクノリッジビットの内容にかかわらずデータ送信完了時に ICDRE フラグ、IRIC フラグと IRTR フラグがセットされます。ACKE ビットが 1 の場合、アクノリッジビットが 0 でデータ送信が完了すると ICDRE フラグ、IRIC フラグと IRTR フラグがセットされ、アクノリッジビットが 1 でデータ送信が完了すると IRIC フラグだけがセットされます。

DTC が起動されると、所定のデータ転送を実行した後、ICDRE フラグ、IRIC フラグと IRTR フラグを 0 にクリアします。そのため、データを連続的に転送している間は割り込みが発生しませんが、ACKE ビットが 1 の場合にアクノリッジビットが 1 でデータ送信が完了すると、DTC は起動されず、許可されていれば割り込みが発生します。

アクノリッジビットは、受信デバイスによって、受信したデータの処理完了などの意味をもたせる場合と、全く意味をもたず 1 固定の場合があります。

I²C バスフォーマットでは、スレーブアドレスと R \bar{W} ビットによるスレーブデバイスおよび転送方向の選択や、アクノリッジビットによる受信の確認および最終フレームの表示などが行われるため、DTC によるデータの連続転送は、割り込みによる CPU 処理と組み合わせて行う必要があります。

表 17.9 は、DTC を利用した処理の例を示します。スレーブモードでも転送データ数が判っていると仮定しています。

表 17.9 DTC による動作例

項目	マスタ送信モード	マスタ受信モード	スレーブ送信モード	スレーブ受信モード
スレーブアドレス + R \bar{W} ビット送信 / 受信	DTC で送信 (ICDR ライト)	CPU で送信 (ICDR ライト)	CPU で受信 (ICDR リード)	CPU で受信 (ICDR リード)
ダミーデータリード	-	CPU で処理 (ICDR リード)	-	-
本体データ送信 / 受信	DTC で送信 (ICDR ライト)	DTC で受信 (ICDR リード)	DTC で送信 (ICDR ライト)	DTC で受信 (ICDR リード)
ダミーデータ (H'FF) ライト	-	-	DTC で処理 (ICDR ライト)	-
最終フレーム処理	不要	CPU で受信 (ICDR リード)	不要	CPU で受信 (ICDR リード)
最終フレーム処理後の転送要求処理	1 回目 : CPU でクリア 2 回目 : CPU で停止条件発行	不要	ダミーデータ (H'FF) 送出中に停止条件を検出して自動的にクリア	不要
DTC 転送データフレーム数設定	送信 : 実データ数 + 1 (+1 は、スレーブアドレス + R \bar{W} ビット分)	受信 : 実データ数	送信 : 実データ数 + 1 (+1 は、ダミーデータ (H'FF) 分)	受信 : 実データ数

17.4.9 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を経由して内部に取り込まれます。図 17.28 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 2 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号（または SDA 端子入力信号）がシステムクロックでサンプリングされ、2 つのラッチ出力が一致したときはじめて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

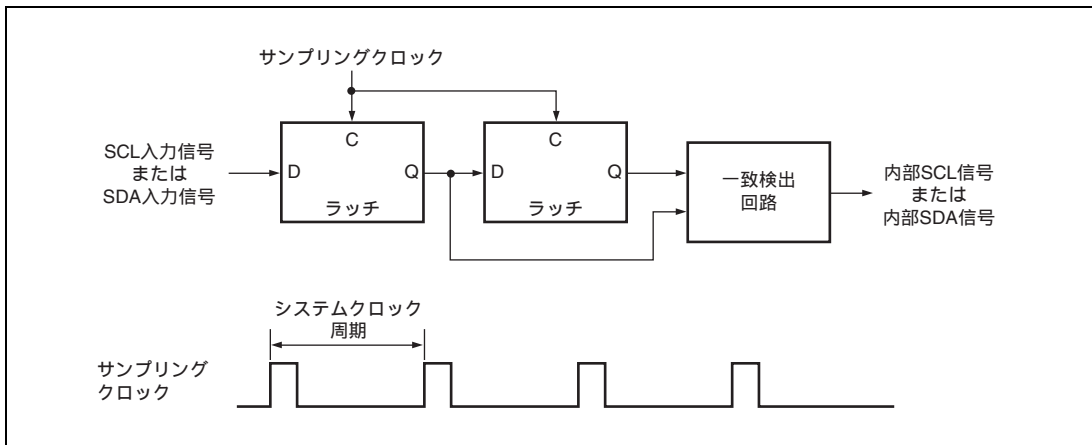


図 17.28 ノイズ除去回路のブロック図

17.4.10 内部状態の初期化

本 IIC モジュールは、通信動作中のデッドロック発生時に、強制的に IIC 内部状態を初期化させる機能をもっています。

初期化は、ICE ビットのクリアにより実行されます。

(1) 初期化の範囲

本機能により初期化されるのは、次の範囲となります。

- ICDRE、ICDRF内部フラグ
- 送信 / 受信シーケンサ、内部動作クロックのカウンタ
- SCL、SDA端子出力状態を保持するための内部ラッチ（ウェイト、クロック、データ出力など）

なお、以下の内容は初期化されません。

- レジスタ自体の値（ICDR、SAR、SARX、ICMR、ICCR、ICSR、ICXR（ICDRE、ICDRFフラグ以外））
- ICMR、ICCR、ICSR各レジスタのフラグのセット / クリアのためのレジスタリード情報保持用内部ラッチ
- ICMRレジスタのビットカウンタ（BC2～BC0）の値
- 発生した割り込み要因（割り込みコントローラに転送された割り込み要因）

17. I²C バスインタフェース (IIC)

(2) 初期化における注意事項

- 割り込みフラグ、割り込み要因はクリアされませんので、必要に応じてフラグを0にクリアする処置が必要です。
- その他のレジスタフラグも基本的にクリアされませんので、必要に応じてフラグを0にクリアする処置が必要です。
- 送受信中にフラグのクリア設定を行うと、その時点でIICモジュールは送受信を中止しSCL、SDA端子を開放します。再度送受信を開始する際には、システムとして正しく通信できるよう、必要に応じてレジスタの初期化などを行ってください。

なお、本モジュールクリア機能により直接 BBSY ビットの値を書き換えませんが、SCL、SDA 端子の状態、開放するタイミングにより、停止条件の端子波形が生成され、結果的に BBSY ビットをクリアする場合があります。また、他のビット、フラグも同様に、状態の切り替わりに伴い影響が発生する場合があります。

これらによる問題を回避するため、IIC の状態を初期化するときは、以下の手順に従ってください。

1. ICEビットによる内部状態の初期化実行
2. BBSYビットを0にクリアするための、停止条件発行命令実行 (BBSY = 0かつSCP = 0ライト) および、転送レート₀の2クロック分の期間ウェイト
3. ICEビットによる内部状態の初期化の再実行
4. IICの各レジスタの初期化 (再設定)

17.5 割り込み要因

IIC の割り込み要因は、IICi があります。表 17.10 に各割り込み要因と優先順位を示します。各割り込み要因は、ICCR の割り込みイネーブルビットにより許可または禁止が設定され、それぞれ独立に割り込みコントローラに送られます。

表 17.10 IIC 割り込み要因

チャンネル	名称	イネーブルビット	割り込み要因	割り込みフラグ	DTC の起動	優先順位
2	IICi2	IEIC	I ² C バスインタフェース割り込み要求	IRIC	可	↑ 高 低
3	IICi3	IEIC	I ² C バスインタフェース割り込み要求	IRIC	可	
0	IICi0	IEIC	I ² C バスインタフェース割り込み要求	IRIC	可	
1	IICi1	IEIC	I ² C バスインタフェース割り込み要求	IRIC	可	
4	IICi4	IEIC	I ² C バスインタフェース割り込み要求	IRIC	不可	
5	IICi5	IEIC	I ² C バスインタフェース割り込み要求	IRIC	不可	

17.6 使用上の注意事項

1. マスタモードで開始条件生成のための命令を発行した際に、実際に開始条件がI²Cバスに出力される前に停止条件生成のため命令を発行すると、開始条件も停止条件も正常に出力されなくなります。開始条件に引き続いて停止条件を出力する*必要がある場合は、開始条件生成のための命令を発行後、各I²Cバス出力端子のDRレジスタをリードし、SCL、SDAがともにLowレベルになっていることを確認してください。ICEビットに1が設定された状態でもDRレジスタのリードで、端子状態をモニタすることができます。その後、停止条件生成のための命令を発行してください。BBSY=0となったタイミングでは、まだSCLがLowレベルになっていない場合もありますのでご注意ください。

【注】 * I²Cバスの仕様上では、不正なフォーマットです。

2. 次転送のスタート条件が次の2条件となっています。ICDRをリード/ライトする場合は注意してください。
 - ICE = 1かつTRS = 1かつICDRにライトしたとき (ICDRT ICDRSの自動転送を含む)
 - ICE = 1かつTRS = 0かつICDRをリードしたとき (ICDRS ICDRRの自動転送を含む)
3. SCL、SDA出力は、内部クロックに同期して表17.11に示すタイミングで出力されます。バス上でのタイミングは、バスの負荷容量、直列抵抗、および並列抵抗に影響される信号の立ち上がり/立ち下がり時間によって定まります。

表 17.11 I²C バスタイミング (SCL、SDA 出力)

項目	記号	出力タイミング	単位	備考
SCL 出力サイクル時間	t_{SCLO}	$28t_{cyc} \sim 512t_{cyc}$	ns	図 26.28 (参考)
SCL 出力 High パルス幅	t_{SCLHO}	$0.5t_{SCLO}$	ns	
SCL 出力 Low パルス幅	t_{SCLLO}	$0.5t_{SCLO}$	ns	
SDA 出力バスフリー時間	t_{BUFO}	$0.5t_{SCLO} \quad 1t_{cyc}$	ns	
開始条件出力ホールド時間	t_{STAHO}	$0.5t_{SCLO} \quad 1t_{cyc}$	ns	
再送開始条件出力セットアップ時間	t_{STASO}	$1t_{SCLO}$	ns	
停止条件出力セットアップ時間	t_{STOSO}	$0.5t_{SCLO} + 2t_{cyc}$	ns	
データ出力セットアップ時間 (マスタ時)	t_{SDASO}	$1t_{SCLLO} \quad 3t_{cyc}$	ns	
データ出力セットアップ時間 (スレーブ時)		$1t_{SCLLO} \quad (6t_{cyc} \text{ または } 12t_{cyc}^*)$	ns	
データ出力ホールド時間	t_{SDAHO}	$3t_{cyc}$	ns	

【注】 * IICXn が 0 のとき $6t_{cyc}$ 、IICXn が 1 のとき $12t_{cyc}$ となります。

(n=0~5)

4. SCL、SDA入力は、内部クロックに同期してサンプリングされます。そのため、ACタイミングは、「第26章 電気的特性」のI²Cバスタイミングに示すように、システムクロック周期 t_{cyc} に依存しています。システムクロック周波数が5MHzに満たないと、I²CバスインタフェースのACタイミング仕様を満足しなくなりますのでご注意ください。

17. I²C バスインタフェース (IIC)

5. SCLの立ち上がり時間 t_{Sr} は、I²Cバスインタフェースの仕様で1000ns（高速モード時は300ns）以内と定められています。本I²Cバスインタフェースは、マスタモード時SCLをモニタし、ビットごとに同期をとりながら通信を行います。そのためSCLの立ち上がり時間 t_{Sr} （Lowレベルから V_{in} まで変化する時間）が、I²Cバスインタフェースの入クロックで決まる時間を超えた場合、SCLのHigh期間が延ばされます。SCLの立ち上がり時間は、SCLラインのプルアップ抵抗、負荷容量で決定されますので、設定した転送レートで動作させるためには、表17.12に示す時間以下になるようにプルアップ抵抗、負荷容量を設定してください。

表 17.12 SCL 立ち上がり時間 (t_{Sr}) の許容範囲

TCSS	IICXn	t_{cyc} 表示	時間表示 [ns]				
			I ² C バス仕様 (max.)	= 20MHz	= 25MHz	= 34MHz	
0	0	7.5 t_{cyc}	標準モード	1000	375	300	221
			高速モード	300			221
1	1	17.5 t_{cyc}	標準モード	1000	875	700	516
			高速モード	300			
1	1	37.5 t_{cyc}	標準モード	1000			
			高速モード	300			

(n = 0 ~ 5)

6. SCL、SDAの立ち上がり、立ち下がり時間は、I²Cバスインタフェースの仕様で1000nsおよび300ns以内と定められています。一方、本I²CバスインタフェースのSCL、SDA出力タイミングは、表17.11に示すように t_{cyc} によって規定されますが、立ち上がり、立ち下がり時間の影響で最大の転送レートではI²Cバスインタフェースの仕様を満足しない場合があります。表17.13は出力タイミングを各動作周波数で計算し、ワーストケースの立ち上がり、立ち下がり時間の影響を加えたものです。

t_{BUFO} はどの周波数でもI²Cバスインタフェースの仕様を満足しません。これに対しては、(a)停止条件発行後、開始条件の発行まで必要なインターバル(1 μ s程度)を確保するようプログラムする必要があります。あるいは、(b)I²Cバスに接続されるスレーブデバイスとして、入力タイミングがこの出力タイミングを許容するものを選択してください。

高速モード時の t_{SCLLO} 、標準モード時の t_{STASO} では、 t_{Sr} / t_{Sr} をワーストケースとして計算した場合にI²Cバスインタフェースの仕様を満足しません。(a)プルアップ抵抗、容量負荷により立ち上がり、立ち下がり時間を調整するか、(b)転送レートを下げて仕様を満足するよう調整するなどの対応を検討してください。あるいは、(c)I²Cバスに接続されるスレーブデバイスとして、入力タイミングがこの出力タイミングを許容するものを選択してください。

表 17.13 I²C バスタイミング (t_{S}/t_{Sr} 影響最大の場合)

項目	tcyc 表示	時間表示 (最大転送レート時) [ns]					
			t_{S}/t_{Sr} 影響 (max.)	I ² C バス 仕様 (min.)	I ² C バス (MHz)		
					20	25	34
		標準モード			/200	/224	/224
		高速モード			/48	/56	/80
t_{SCLHO}	$0.5t_{SCLO}$ ($-t_{Sr}$)	標準モード	- 1000	4000	4000	3480	3706
		高速モード	- 300	600	900	820	876
t_{SCLLO}	$0.5t_{SCLO}$ ($-t_{Sr}$)	標準モード	- 250	4700	4750	4230	4456
		高速モード	- 250	1300	950 ^{*1}	870 ^{*1}	926 ^{*1}
t_{BUFO}	$0.5t_{SCLO}-1t_{cyc}$ ($-t_{Sr}$)	標準モード	- 1000	4700	3950 ^{*1}	3440 ^{*1}	3676 ^{*1}
		高速モード	- 300	1300	850 ^{*1}	780 ^{*1}	847 ^{*1}
t_{STAHO}	$0.5t_{SCLO}-1t_{cyc}$ ($-t_{Sr}$)	標準モード	- 250	4000	4700	4190	4426
		高速モード	- 250	600	900	830	897
t_{STASO}	$1t_{SCLO}$ ($-t_{Sr}$)	標準モード	- 1000	4700	9000	7960	8412
		高速モード	- 300	600	2100	1940	2053
t_{STOSO}	$0.5t_{SCLO}+2t_{cyc}$ ($-t_{Sr}$)	標準モード	- 1000	4000	4100	3560	3765
		高速モード	- 300	600	1000	900	935
マスタ時	$1t_{SCLLO}-3t_{cyc}$ ($-t_{Sr}$)	標準モード	- 1000	250	3600	3110	3368
		高速モード	- 300	100	500	450	538
スレーブ時	$1t_{SCLL}^{*3}-12t_{cyc}^{*2}$ ($-t_{Sr}$)	標準モード	- 1000	250	3100	3220	3347
		高速モード	- 300	100	400	520	64
t_{SDAHO}	$3.0t_{cyc}$	標準モード	0	0	150	120	88
		高速モード	0	0	150	120	88

【注】 *1 I²C バスインタフェースの仕様を満足しません。以下の4つの対応などが必要です。

(1) 開始/停止条件発行のインターバルを確保する。(2) プルアップ抵抗・容量負荷により、立ち上がり、立ち下がり時間を調整する。(3) 転送レートを下げて調整する。(4) 入力タイミングが本出力タイミングを許容するスレーブデバイスを選択する。

なお、上記表の値は、TCSS ビット、IICX3~IICX0 ビット、CKS2~CKS0 ビットの設定値により変わります。周波数により最大転送レートを実現できない場合もありますので、実際の設定条件に合せ、I²C バスインタフェースの仕様を満足するか検討してください。

*2 IICXn ビットが 1 のときです。IICXn ビットを 0 に設定すると、($-6t_{cyc}$) となります。(n=0~5)

*3 I²C バス仕様値 (標準モード: 4700ns min.、高速モード: 1300ns min.) で計算しています。

17. I²C バスインタフェース (IIC)

7. マスタ受信終了時におけるICDRレジスタリードの注意

マスタ受信モードでの受信動作完了後、受信をやめる場合は、TRSビットを1にセットし、ICCRのBBSY=0かつSCP=0をライトします。これにより、SCLがHighレベルのとき、SDAをLowレベルからHighレベルに変化させ、停止条件を生成します。この後で受信データはICDRのリードにより読み出すことができますが、バッファにデータが残っている場合、ICDRSの受信データはICDR (ICDRR) に転送されなくなりますので、第2バイト目のデータは、読み出すことができなくなります。

第2バイト目のデータを読み出す必要があるときは、マスタ受信モードの状態 (TRSビットが0の状態) で停止条件の発行を行ってください。受信データの読み出しは、必ずICCRレジスタのBBSYビットが0になり、停止条件が生成され、バスが開放されていることを確認後に、TRSが0の状態でのICDRレジスタをリードしてください。

このとき、停止条件発行のための命令実行 (ICCRのBBSY=0かつSCP=0をライト) から実際に停止条件が生成されるまでの期間において、受信データ (ICDRのデータ) を読み出すと、次のマスタ送信時に正しくクロックが出なくなる場合がありますので注意が必要です。

なお、マスタ送受信完了後のMSTビットのクリアなど、送受信の動作モード、設定変更のためのIIC制御ビットの書き換えについては、必ず図17.29 (a) の期間中 (ICCRレジスタのBBSYビットの0クリア確認後) に行ってください。

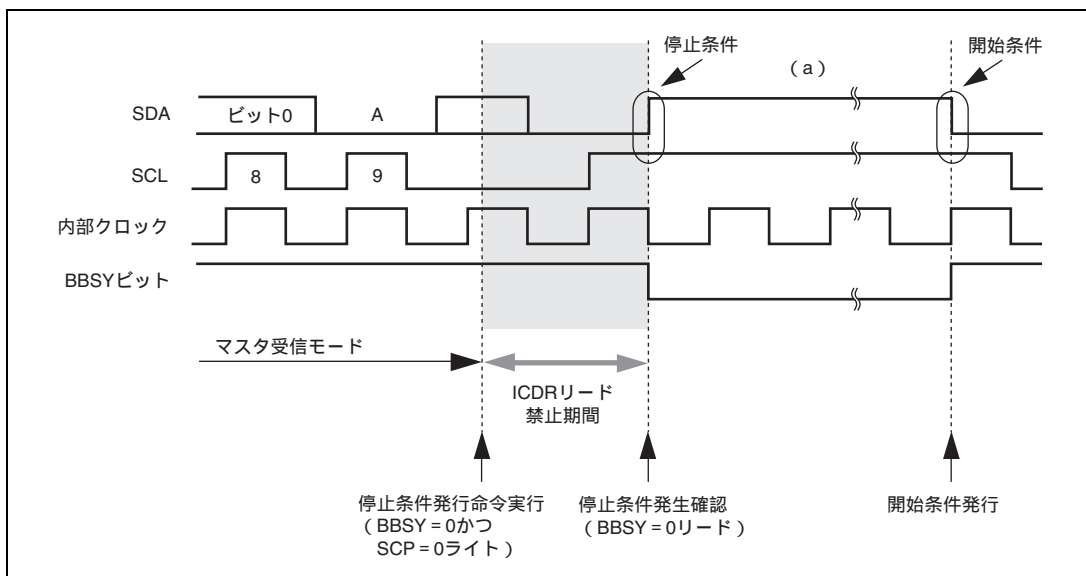


図 17.29 マスタ受信データの読み出しにおける注意

【注】 本使用上の制限は ICXR レジスタの FNC1、FNC0 ビットに B'11 を設定することで解除することができます。

8. 再送のための開始条件発行時の注意事項

図17.30に、再送のための開始条件発行のタイミングと、それに連続してICDRにデータを書き込むタイミングおよびフローチャートを示します。再送開始条件を発行し、開始条件が生成された後でICDRに送信データをライトしてください。

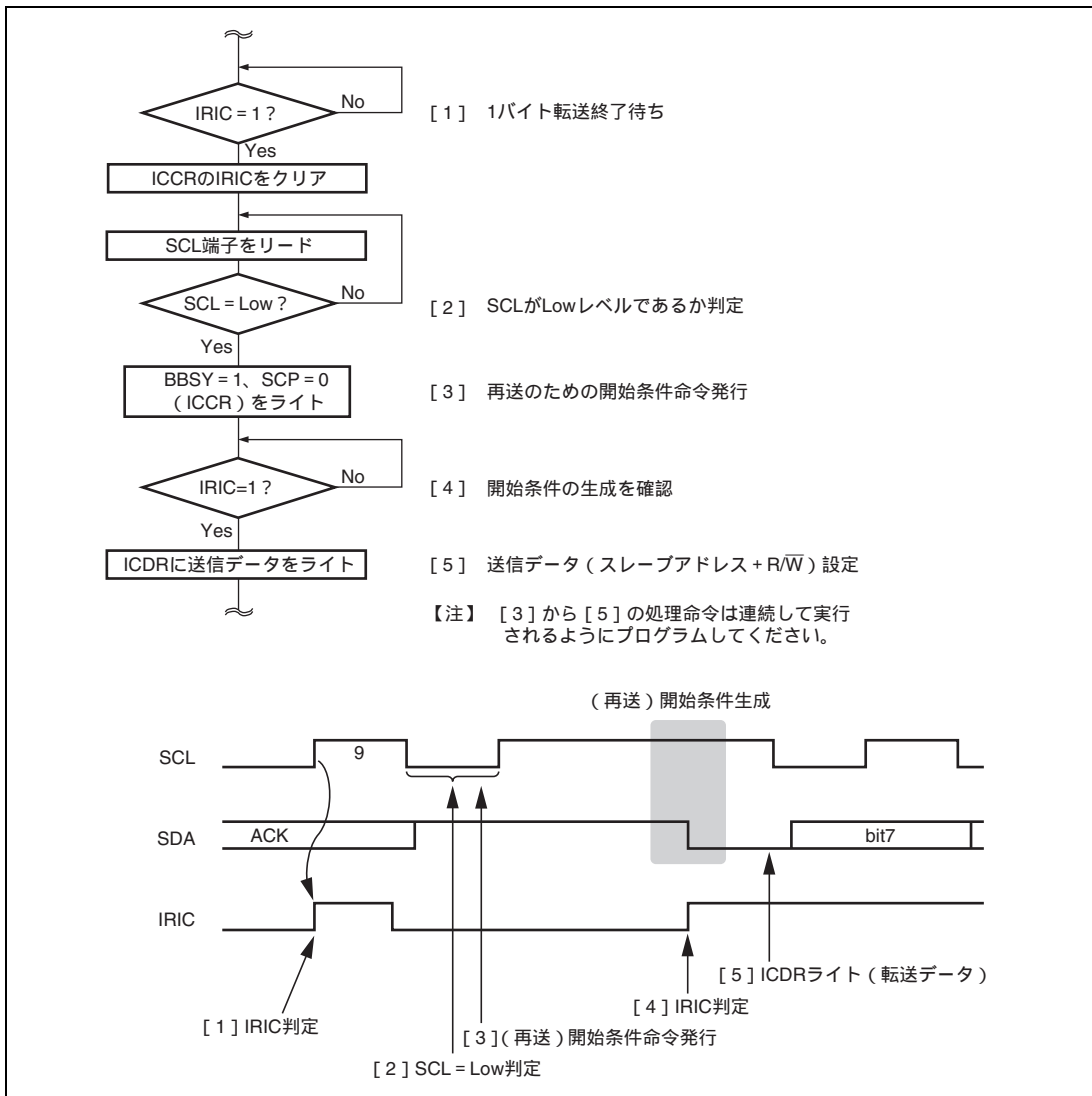


図 17.30 再送のための開始条件命令発行フローチャートおよびタイミング

【注】 本使用上の制限は ICXR レジスタの FNC1、FNC0 ビットに B'11 を設定することで解除することができます。

17. I²C バスインタフェース (IIC)

9. I²Cバスインタフェース停止条件命令発行時の注意事項

バス負荷容量が大きいため、SCLの9クロック目の立ち上がり時間が規定を超えてしまう場合や、SCLをLowにしてウェイトをかけるタイプのスレーブデバイスがある場合は、下記のように9クロック目の立ち上がり後にSCLをリードして、Lowを判定してから停止条件命令を発行してください。

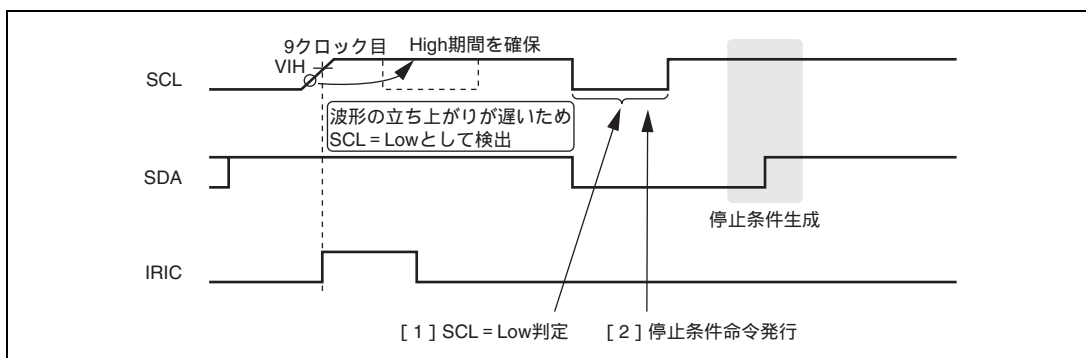


図 17.31 停止条件発行タイミング

【注】 本使用上の制限は ICXR レジスタの FNC1、FNC0 ビットに B'11 を設定することで解除することができます。

10. ウェイト機能使用時のIRICフラグクリアの注意事項

I²Cバスインタフェースのマスタモードでウェイト機能を使用しているときに、SCLの立ち上がり時間が規定を超えてしまう場合や、SCLをLowにしてウェイトをかけるタイプのスレーブデバイスがある場合は、下記のようにSCLをリードして、SCLがLowに立ち下がったことを判定してからIRICフラグのクリアをしてください。

SCLがHigh期間を引き延ばしている最中にWAIT = 1の状態ではIRICフラグを0にクリアすると、SCLが立ち下がる前にSDAの値が変化し、開始条件や停止条件が誤って発生してしまうことがあります。

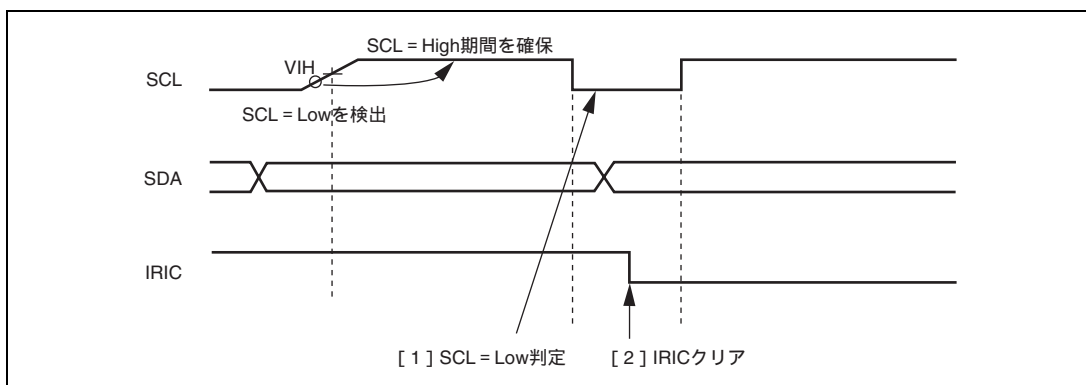


図 17.32 WAIT = 1 状態での IRIC フラグクリアタイミング

【注】 本使用上の制限は ICXR レジスタの FNC1、FNC0 ビットに B'11 を設定することで解除することができます。

11. スレーブ送信モードでのICDRレジスタリードとICCRレジスタアクセスの注意事項

I²Cバスインタフェースのスレーブモード送信動作では、図17.33の網かけ期間中にICDRレジスタリードまたは、ICCRレジスタリード/ライト動作を行わないようにしてください。

通常9クロック立ち上がりエッジに同期して発生する割り込み処理では、割り込み処理に移行するまでに問題の期間は経過しているため、ICDRレジスタリードまたは、ICCRレジスタリード/ライト動作を行っても問題ありません。

この割り込み処理を確実にするために、下記のいずれかの条件で使用願います。

- 次のスレーブアドレス受信動作が開始される前に、それまでに受信したICDRレジスタのリード動作および、ICCRレジスタのリード/ライト動作を完了させるようにしてください。
- ICMRレジスタのBC2~BC0ビットカウンタをモニタし、BC2~BC0=B'000(8クロック目または9クロック目)の場合は、2転送クロック期間以上の待ち時間を設けて、問題となる期間を避けてICDRレジスタリードまたは、ICCRレジスタリード/ライト動作を行ってください。

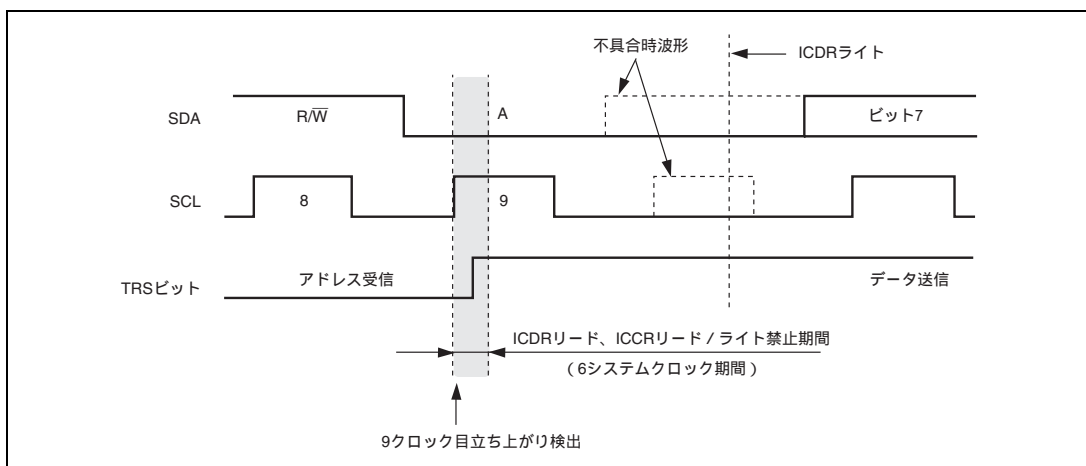


図 17.33 スレーブ送信モードでのICDRレジスタリード、ICCRレジスタアクセスタイミング

【注】 本使用上の制限はICXRレジスタのFNC1、FNC0ビットにB'11を設定することで解除することができます。

17. I²C バスインタフェース (IIC)

12. スレープモードでのTRSビット設定の注意事項

I²Cバスインタフェースのスレープモードでは、9クロック目の立ち上がりエッジ検出または、停止条件検出時から次にSCL端子に立ち上がりエッジを検出するまで（図17.34（a）の期間）は、ICCRレジスタのTRSビットに設定された値は、直ちに有効となります。

しかし、上記以外の期間（図17.34（b）の期間）に設定されたTRSビットの値は、次に9クロック目の立ち上がりエッジが検出されるか停止条件が検出されるまで設定値が保留されるため、すぐには有効になりません。そのため、停止条件が入らない再送開始条件入力に続くアドレス受信動作時は、内部的なTRSビットの実効値は1（送信モード）のままとなり、9クロック目のアドレス受信完了に伴うアクノリッジビット送信が行われません。

スレープモードのアドレス受信を行う場合は、図17.34（a）の期間中に、TRSビットを0クリアしてください。スレープモード時のウェイト機能によるSCL端子のLow固定解除については、TRSビット0クリア後ICDRレジスタのダミーリードにより行います。

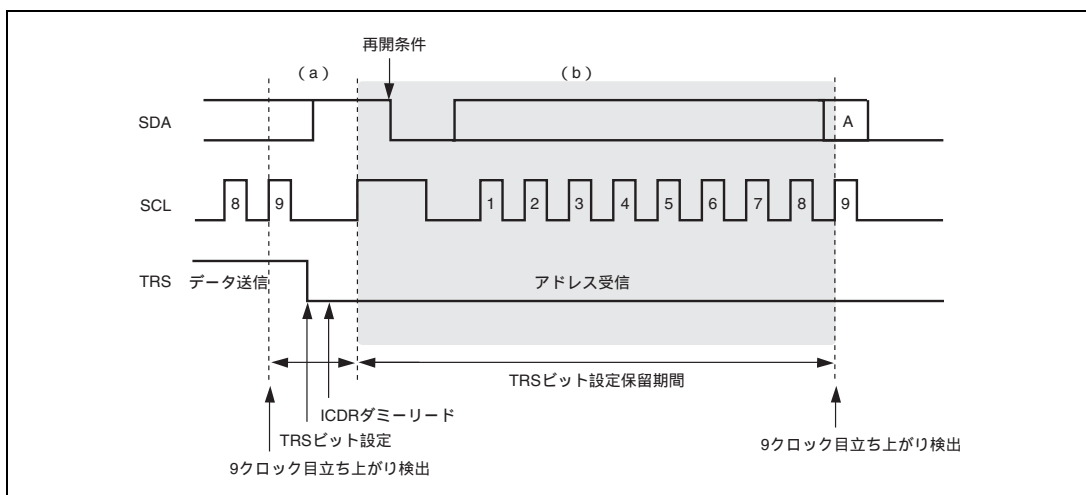


図 17.34 スレープモードでの TRS ビット設定タイミング

【注】 本使用上の制限は ICXR レジスタの FNC1、FNC0 ビットに B'11 を設定することで解除することができます。

13. 送信モードでのICDRリードと受信モードでのICDRライトの注意事項

送信モード（TRS = 1）でのICDRリード動作または、受信モード（TRS = 0）でのICDRライト動作を行った場合、条件によっては送受信動作終了後のSCL端子のLow固定が行われず、正規のICDRレジスタアクセス動作以前にクロックがSCLバスラインに出力される場合があります。

ICDRをアクセスするときは、受信モードに設定した後にリード動作を行うか、または送信モードに設定した後にライト動作を行うようにしてください。

14. スレーブモードでのACKビットとTRSビットの注意事項

I²Cバスインタフェースにおいて、送信モード (TRS=1) でアクノリッジビットとして1を受信 (ACKB=1) した後に、その状態のままスレーブモードでアドレスを受信すると、アドレス不一致のときも9クロック目の立ち上がりで、割り込み動作が発生することがあります。

また、スレーブモードで送信モード (TRS=1) の状態でマスタデバイスから開始条件およびアドレスが送信された場合、ICDREフラグセットおよびアクノリッジビットとして1を受信 (ACKB=1) することでIRICフラグがセットされ、アドレス不一致のときも割り込み要因が発生することがあります。

I²Cバスインタフェースモジュールでスレーブモード動作を行う際は、下記処置を行ってください。

- 一連の送信動作の終了時、最終送信データに対するアクノリッジビットとして1を受信した場合には、ICCRレジスタのACKビットをいったん0にクリアすることで、ACKビットを0に初期化してください。
- スレーブモードで次の開始条件が入力される前に受信モード (TRS=0) にセットしてください。
スレーブ送信モードから確実にスレーブ受信モードに切り替えるために、図17.23に従って送信を終了してください。

15. マスタモードでのアービトレーションロスト発生時の注意事項

I²Cバスインタフェースではマスタモードでアービトレーションロストにより、スレーブ受信モードに自動遷移した場合、アービトレーションロストが発生した送受信フレームのデータをアドレスとして認識する仕様となっています。

そのため、マスタモード第1フレーム送信動作でアービトレーションロストが発生せず、第2フレーム目以降でアービトレーションロストが発生すると、本来アドレスではない送受信データをアドレス値としてSAR、SARXの設定値と比較を行います。このとき、受信データがSAR、SARXの値と一致した場合、I²Cバスインタフェースに対し、アドレスコールがあったものとして動作してしまいます。(図17.35参照)

マルチマスタ環境でバス権の競合が起こり得る状況にあって、マスタモードで動作させている場合は、1フレームごとの送受信動作完了時にICSRのALビットの確認を行ってください。

第2フレーム以降でアービトレーションロストの発生が確認された場合は、異常動作として回避処置を行ってください。

17. I²C バスインタフェース (IIC)

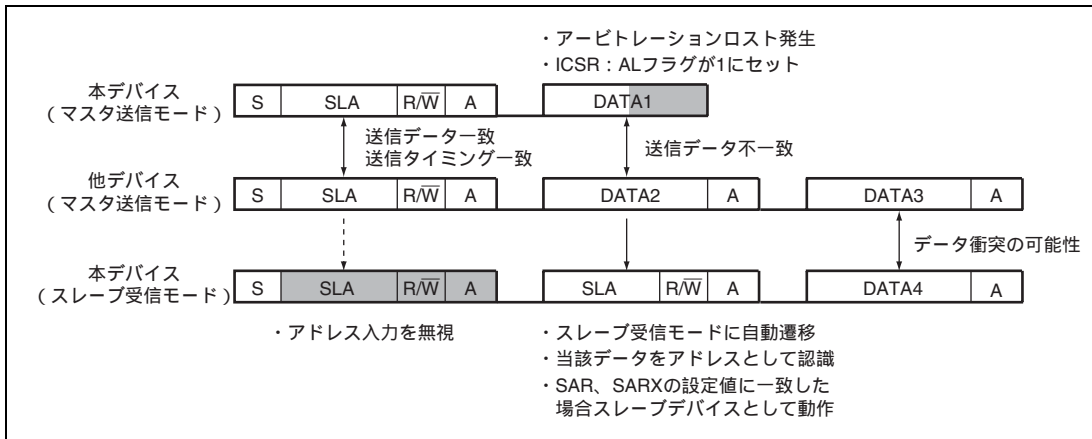


図 17.35 アービトレーションロスト時の動作模式図

本来のI²Cバスプロトコルでは禁止されている動作ですが、スレーブモードで送受信を行っている最中に誤ってMSTビットを1にセットしてマスタモードに設定した場合も、同様の現象が発生する可能性があります。マルチマスタ動作でバス権の競合が予想される場合、ICCRのMSTビットに1をセットするときは、以下の手順で行ってください。

- (1) MSTビットのセット直前にICCRのBBSYフラグが0であり、バスがフリー状態であることを確認する。
- (2) MSTビットに1を設定する。
- (3) MSTビットの設定中にバスがビジー状態にならなかったことを確認する意味で、MSTビットのセット直後も、ICCRのBBSYフラグが0であることを確認する。

【注】 本使用上の制限はICXRのFNC1、FNC0ビットにB'11を設定することで解除できます。

18. LPC インタフェース (LPC)

本 LSI は、LPC インタフェースを内蔵しています。

LPC は、データレジスタとステータスレジスタからなるレジスタセットを 3 セットと、コントロールレジスタと高速 GATE A20 ロジックおよびホスト割り込み要求回路から構成されています。

LPC は、33MHz の PCI クロックに同期して、転送の種類、アドレスおよびデータをシリアルに転送します。アドレス/データ用に 4 本、ホスト割り込み要求用に 1 本の信号線を用い、I/O リードサイクルと I/O ライトサイクルの転送に対応します。そのほか、低消費電力機能として、PCI クロックを制御する機能や LPC インタフェースをシャットダウンする機能があります。

18.1 特長

- LPC インタフェースの I/O リードサイクルおよび I/O ライトサイクルに対応
転送の種類 / アドレス / データを、4 本の信号線 (LAD3 ~ LAD0) で転送します。
制御信号として、クロック (LCLK)、リセット ($\overline{\text{LRESET}}$)、フレーム ($\overline{\text{LFRAME}}$) 信号を用います。
- データレジスタとステータスレジスタからなるレジスタセットを 3 セットで構成
基本のレジスタセットは、入力レジスタ (IDR)、出力レジスタ (ODR)、ステータスレジスタ (STR) の 3 バイトからなります。
チャンネル 1 ~ 3 は、I/O アドレスを H'0000 ~ H'FFFF に設定可能です。
チャンネル 1 は、高速 GATE A20 機能があります。
チャンネル 3 は、基本レジスタセットのほか双方向レジスタ 16 バイトを操作可能です。
- SCIF に対応
LPC インタフェースは SCIF と接続しており、LPC ホストから SCIF を直接制御することができます。
- SERIRQ に対応
ホスト割り込み要求を、1 本の信号線 (SERIRQ) でシリアルに転送します。
チャンネル 1 は、HIRQ1、HIRQ12 を生成可能です。
チャンネル 2、3 は、SMI、HIRQ6、HIRQ9 ~ HIRQ11 をそれぞれ生成可能です。
SCIF は、SMI、HIRQ1 ~ HIRQ15 をそれぞれ生成可能です。
クワイエットモードとコンティニューアモードの切り替えに対応します。
 $\overline{\text{CLKRUN}}$ 信号を操作し、PCI クロック (LCLK) の再起動を要求可能です。

18. LPC インタフェース (LPC)

- 低消費電力機能、割り込みほか

$\overline{\text{LPCPD}}$ 信号を入力し、LPCモジュールをシャットダウンすることができます。

汎用入出力として $\overline{\text{PME}}$ 、 $\overline{\text{LSMI}}$ 、LSCIの3端子があります。

- IPMI (Intelligent Platform Management Interface) 仕様ver.1.5に対応
チャンネル3はSMICインタフェース、KCSインタフェース、BTインタフェースをサポートします。

LPC のブロック図を図 18.1 に示します。

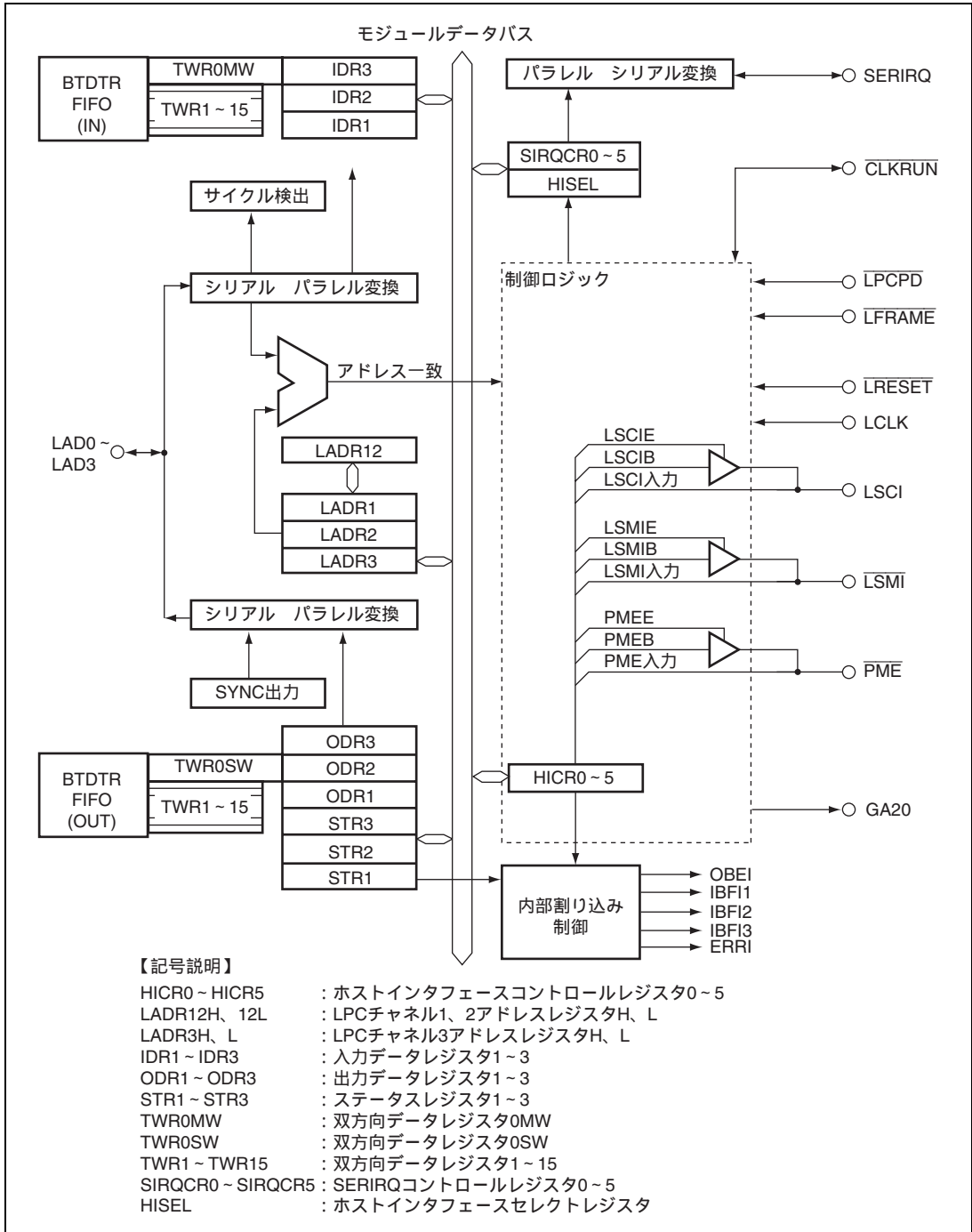


図 18.1 LPC のブロック図

18. LPC インタフェース (LPC)

18.2 入出力端子

LPC の入出力端子を表 18.1 に示します。

表 18.1 端子構成

名称	略称	ポート	入出力	機能
LPC アドレス / データ 3~0	LAD3~LAD0	PE3~PE0	入出力	LCLK に同期した、シリアル (4 信号線) の、転送サイクル種類 / アドレス / データ信号
LPC フレーム	$\overline{\text{LFRAME}}$	PE4	入力* ¹	転送サイクルの開始および強制終了信号
LPC リセット	$\overline{\text{LRESET}}$	PE5	入力* ¹	LPC インタフェースのリセット信号
LPC クロック	LCLK	PE6	入力	33MHz の PCI クロック信号
シリアルインタラプトリクエスト	SERIRQ	PE7	入出力* ¹	LCLK に同期した、シリアルホスト割り込み要求信号 (SMI、HIRQ1~HIRQ15)
LSCI 汎用出力	LSCI	PD0	出力* ¹ * ²	汎用出力
LSMI 汎用出力	$\overline{\text{LSMI}}$	PD1	出力* ¹ * ²	汎用出力
PME 汎用出力	PME	PD2	出力* ¹ * ²	汎用出力
GATE A20	GA20	PD3	出力* ¹ * ²	GATE A20 コントロール信号出力
LPC クロックラン	$\overline{\text{CLKRUN}}$	PD4	入出力* ¹ * ²	シリアルホスト割り込み要求時の、LCLK 再起動要求信号
LPC パワーダウン	LPCPD	PD5	入力* ¹	LPC モジュールのシャットダウン信号

【注】 *¹ LPC インタフェースの制御入出力機能以外に、端子状態をモニタする入力が可能です。

*² 0 出力のみ可能です。1 出力時はハイインピーダンスとなるため、Vcc へのプルアップ抵抗を外付けする必要があります。

18.3 レジスタの説明

LPC のレジスタ構成を以下に示します。

- ホストインタフェースコントロールレジスタ0 (HICR0)
- ホストインタフェースコントロールレジスタ1 (HICR1)
- ホストインタフェースコントロールレジスタ2 (HICR2)
- ホストインタフェースコントロールレジスタ3 (HICR3)
- ホストインタフェースコントロールレジスタ4 (HICR4)
- ホストインタフェースコントロールレジスタ5 (HICR5)
- ピンファンクションコントロールレジスタ (PINFNCR)
- LPCチャンネル1、2アドレスレジスタH、L (LADR12H、12L)
- LPCチャンネル3アドレスレジスタH、L (LADR3H、3L)
- 入力データレジスタ1 (IDR1)
- 入力データレジスタ2 (IDR2)
- 入力データレジスタ3 (IDR3)
- 出力データレジスタ1 (ODR1)
- 出力データレジスタ2 (ODR2)
- 出力データレジスタ3 (ODR3)
- ステータスレジスタ1 (STR1)
- ステータスレジスタ2 (STR2)
- ステータスレジスタ3 (STR3)
- 双方向レジスタ0 ~ 15 (TWR0 ~ 15)
- SERIRQコントロールレジスタ0 (SIRQCR0)
- SERIRQコントロールレジスタ1 (SIRQCR1)
- SERIRQコントロールレジスタ2 (SIRQCR2)
- SERIRQコントロールレジスタ3 (SIRQCR3)
- SERIRQコントロールレジスタ4 (SIRQCR4)
- SERIRQコントロールレジスタ5 (SIRQCR5)
- ホストインタフェースセレクトレジスタ (HISEL)
- SCIFアドレスレジスタH (SCIFADRH)
- SCIFアドレスレジスタL (SCIFADRL)

18. LPC インタフェース (LPC)

SMIC モード

SMIC モードを使用するとき以下のレジスタが必要です。

- SMICフラグレジスタ (SMICFLG)
- SMICコントロールステータスレジスタ (SMICCSR)
- SMICデータレジスタ (SMICDTR)
- SMIC割り込みレジスタ0 (SMICIR0)
- SMIC割り込みレジスタ1 (SMICIR1)

BT モード

BT モードを使用するとき以下のレジスタが必要です。

- BTステータスレジスタ0 (BTSR0)
- BTステータスレジスタ1 (BTSR1)
- BTコントロールステータスレジスタ0 (BTCSR0)
- BTコントロールステータスレジスタ1 (BTCSR1)
- BTコントロールレジスタ (BTCR)
- BTデータバッファ (BTDTR)
- BT割り込みマスクレジスタ (BTIMSR)
- BT FIFO有効サイズレジスタ0 (BTFVSR0)
- BT FIFO有効サイズレジスタ1 (BTFVSR1)

18.3.1 ホストインタフェースコントロールレジスタ 0、1 (HICR0、HICR1)

HICR0、HICR1 には、LPC インタフェースの機能を許可 / 禁止する制御ビット、端子出力および LPC インタフェースの内部状態を決める制御ビット、および LPC インタフェースの内部状態をモニタするステータスフラグがあります。

• HICR0

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7 6 5	LPC3E LPC2E LPC1E	0 0 0	R/W R/W R/W	- - -	<p>LPC イネーブル 3~1</p> <p>LPC インタフェース機能を許可または禁止します。許可時 (3 ビットのうち、いずれかが 1 にセット) は、LAD3~LAD0、LFRAME、LRESET、LCLK、SERIRQ、CLKRUN、LPCPD 端子を利用して、スレーブ (本 LSI) とホスト間のデータ転送処理を行います。</p> <ul style="list-style-type: none"> • LPC3E <ul style="list-style-type: none"> 0: LPC チャンネル 3 の動作を禁止 IDR3、ODR3、STR3、TWR0~TWR15、SMIC、KCS、BT に関してアドレス (LADR3) 一致発生なし 1: LPC チャンネル 3 の動作を許可 • LPC2E <ul style="list-style-type: none"> 0: LPC チャンネル 2 の動作を禁止 IDR2、ODR2、STR2 に関してアドレス (LADR2) 一致発生なし 1: LPC チャンネル 2 の動作を許可 • LPC1E <ul style="list-style-type: none"> 0: LPC チャンネル 1 の動作を禁止 IDR1、ODR1、STR1 に関してアドレス (LADR1) 一致発生なし 1: LPC チャンネル 1 の動作を許可
4	FGA20E	0	R/W	-	<p>高速 GATE A20 イネーブル</p> <p>高速 GATE A20 の機能を許可または禁止します。高速 GATE A20 が禁止された場合、通常の GATE A20 は PD3 出力をファームウェアで操作することで実現できます。PD3DDR は 0 にクリアしてください。</p> <ul style="list-style-type: none"> 0: 高速 GATE A20 機能を禁止 端子の兼用機能の入出力を許可 GA20 出力の内部状態を 1 に初期化 1: 高速 GATE A20 機能を許可 GA20 端子出力はオープンドレイン (V_{cc} ヘブルアップ抵抗外付け要)

18. LPC インタフェース (LPC)

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
3	SDWNE	0	R/W	-	<p>LPC ソフトウェアシャットダウンイネーブル</p> <p>LPC インタフェースのシャットダウンを制御します。LPC シャットダウン機能の詳細、および LPC リセットおよび LPC シャットダウンで初期化される範囲は、「18.4.6 LPC インタフェースのシャットダウン機能 (LPCPD)」を参照してください。</p> <p>0 : 通常状態、LPC ソフトウェアシャットダウンの設定許可</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 0 ライト LPC ハードウェアリセットおよび LPC ソフトウェアリセット LPC ハードウェアシャットダウン解除 ($\overline{\text{LPCPD}}$ 信号立ち上がりエッジ) <p>1 : LPC ハードウェアシャットダウン状態の設定許可</p> <p>$\overline{\text{LPCPD}}$ 信号ローレベル時にハードウェアシャットダウン状態</p> <p>[セット条件]</p> <p>SDWNE=0 リード後の 1 ライト</p>
2	PMEE	0	R/W	-	<p>PME 出力イネーブル</p> <p>HICR1 の PMEB ビットとの組み合わせにより PME 出力を制御します。PME 端子出力はオープンドレインであり、Vcc へのプルアップ抵抗の外付けが必要です。PD2DDR は 0 にクリアしてください。</p> <p>PMEE PMEB</p> <p>0 x : PME 出力を禁止、端子の兼用機能の入出力を許可</p> <p>1 0 : PME 出力を許可、$\overline{\text{PME}}$ 端子出力は 0 レベル</p> <p>1 1 : PME 出力を許可、$\overline{\text{PME}}$ 端子出力はハイインピーダンス</p>
1	LSMIE	0	R/W	-	<p>LSMI 出力イネーブル</p> <p>HICR1 の LSMIB ビットとの組み合わせにより LSMI 出力を制御します。LSMI 端子出力はオープンドレインであり、Vcc へのプルアップ抵抗の外付けが必要です。PD1DDR は 0 にクリアしてください。</p> <p>LSMIE LSMIB</p> <p>0 x : LSMI 出力を禁止、端子の兼用機能の入出力を許可</p> <p>1 0 : LSMI 出力を許可、$\overline{\text{LSMI}}$ 端子出力は 0 レベル</p> <p>1 1 : LSMI 出力を許可、$\overline{\text{LSMI}}$ 端子出力はハイインピーダンス</p>
0	LSCIE	0	R/W	-	<p>LSCI 出力イネーブル</p> <p>HICR1 の LSCIB ビットとの組み合わせにより LSCI 出力を制御します。LSCI 端子出力はオープンドレインであり、Vcc へのプルアップ抵抗の外付けが必要です。PD0DDR は 0 にクリアしてください。</p> <p>LSCIE LSCIB</p> <p>1 x : LSCI 出力を禁止、端子の兼用機能の入出力を許可</p> <p>1 0 : LSCI 出力を許可、LSCI 端子出力は 0 レベル</p> <p>1 1 : LSCI 出力を許可、LSCI 端子出力はハイインピーダンス</p>

【注】 x : Don't care

• HICR1

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	LPCBSY	0	R	-	<p>LPC ビジー</p> <p>LPC インタフェースが、転送サイクルを処理中であることを示します。</p> <p>0 : LPC インタフェースが転送サイクル待ち状態 バスアイドル、または処理対象外の転送サイクル中 転送サイクル中、転送の種類またはアドレスが未確定の状態</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • LPC ハードウェアリセットまたは LPC ソフトウェアリセット • LPC ハードウェアシャットダウンまたは LPC ソフトウェアシャットダウン • 処理対象転送サイクルの強制終了 (アボート) • 処理対象転送サイクルの正常終了 <p>1 : LPC インタフェースが転送サイクル処理中</p> <p>[セット条件]</p> <p>転送の種類およびアドレスの一致</p>
6	CLKREQ	0	R	-	<p>LCLK リクエスト</p> <p>LPC インタフェースの SERIRQ が、LCLK の再起動を要求中であることを示します。</p> <p>0 : LCLK の再起動要求なし</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • LPC ハードウェアリセットまたは LPC ソフトウェアリセット • LPC ハードウェアシャットダウンまたは LPC ソフトウェアシャットダウン • SERIRQ がコンティニューアスモードに設定された • クワイエットモード時に、新たにホストに転送する割り込みがなくなった <p>1 : LCLK の再起動要求あり</p> <p>[セット条件]</p> <p>クワイエットモード時・LCLK 停止中に SERIRQ 割り込み出力の必要が生じた</p>

18. LPC インタフェース (LPC)

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
5	IRQBSY	0	R	-	<p>SERIRQ ビジー</p> <p>LPC インタフェースの SERIRQ が、転送処理中であることを示します。</p> <p>0 : SERIRQ の転送フレーム開始待ち状態</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> LPC ハードウェアリセットまたは LPC ソフトウェアリセット LPC ハードウェアシャットダウンまたは LPC ソフトウェアシャットダウン SERIRQ の転送フレーム終了 <p>1 : SERIRQ の転送処理中</p> <p>[セット条件]</p> <p>SERIRQ の転送フレーム開始</p>
4	LRSTB	0	R/W	-	<p>LPC ソフトウェアリセットビット</p> <p>LPC インタフェースをリセットします。LPC リセットで初期化される範囲は、「18.4.6 LPC インタフェースのシャットダウン機能 (LPCPD)」を参照してください。</p> <p>0 : 通常状態</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 0 ライト LPC ハードウェアリセット <p>1 : LPC ソフトウェアリセット状態</p> <p>[セット条件]</p> <p>LRSTB = 0 リード後の 1 ライト</p>
3	SDWNB	0	R/W	-	<p>LPC ソフトウェアシャットダウンビット</p> <p>LPC インタフェースのシャットダウンを制御します。LPC シャットダウン機能の詳細、LPC リセットおよび LPC シャットダウンで初期化される範囲は、「18.4.6 LPC インタフェースのシャットダウン機能 (LPCPD)」を参照してください。</p> <p>0 : 通常状態</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 0 ライト LPC ハードウェアリセットおよび LPC ソフトウェアリセット LPC ハードウェアシャットダウン (SDWNE = 1 のとき、LPCPD 信号立ち下がりエッジ) LPC ソフトウェアシャットダウン解除 (SDWNE = 0 のとき、LPCPD 信号立ち上がりエッジ) <p>1 : LPC ソフトウェアシャットダウン状態</p> <p>[セット条件]</p> <p>SDWNB = 0 リード後の 1 ライト</p>

18. LPC インタフェース (LPC)

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
2	PMEB	0	R/W	-	PME 出力ビット PMEE ビットとの組み合わせにより PME 出力を制御します。 詳細は HICR0 の PMEE ビットを参照してください。
1	LSMIB	0	R/W	-	LSMI 出力ビット LSMIE ビットとの組み合わせにより LSMI 出力を制御します。 詳細は HICR0 の LSMIE ビットを参照してください。
0	LSCIB	0	R/W	-	LSCI 出力ビット HICR1 の LSCIE ビットとの組み合わせにより LSCI 出力を制御します。 詳細は LSCIE ビットを参照してください。

18. LPC インタフェース (LPC)

18.3.2 ホストインタフェースコントロールレジスタ 2、3 (HICR2、HICR3)

HICR2 は、LPC インタフェースのスレーブ (本 LSI) に対する割り込みを制御します。HICR3 は、LPC インタフェースの端子状態をモニタします。HICR2 のビット 6~0 は、リセット時に H'00 に初期化されます。それ以外のビットの状態は、端子の状態によって決定されます。端子モニタビットは、LPC インタフェースの動作状態や端子を兼用する機能の動作状態にかかわらず、端子の状態をモニタすることができます。

- HICR2

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	GA20	不定	R	-	GA20 端子モニタ
6	LRST	0	R/(W)*	-	LPC リセット割り込みフラグ LPC ハードウェアリセット発生時に ERR1 割り込みを発生させるフラグです。 0: [クリア条件] LRST=1 リード後の 0 ライト 1: [セット条件] LRESET 端子の立ち下がりエッジ検出
5	SDWN	0	R/(W)*	-	LPC シャットダウン割り込みフラグ LPC ハードウェアシャットダウン要求発生時に ERR1 割り込みを発生させる割り込みフラグです。 0: [クリア条件] SDWN=1 リード後の 0 ライト LPC ハードウェアリセット (LRESET 端子の立ち下がりエッジ検出) LPC ソフトウェアリセット (LRSTB=1) 1: [セット条件] LPCPD 端子の立ち下がりエッジ検出

18. LPC インタフェース (LPC)

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
4	ABRT	0	R/(W)*	-	<p>LPC アボート割り込みフラグ</p> <p>LPC 転送サイクルの強制終了 (アボート) 発生時に ERRRI 割り込みを発生させる割り込みフラグです。</p> <p>0: [クリア条件]</p> <ul style="list-style-type: none"> • ABRT = 1 リード後の 0 ライト • LPC ハードウェアリセット (LRESET 端子の立ち下がりエッジ検出) LPC ソフトウェアリセット (LRSTB = 1) • LPC ハードウェアシャットダウン (SDWNE = 1 かつ $\overline{\text{LPCPD}}$ 端子の立ち下がりエッジ検出) • LPC ソフトウェアシャットダウン (SDWNB = 1) <p>1: [セット条件]</p> <p>LPC 転送サイクル中の $\overline{\text{LFRAME}}$ 端子の立ち下がりエッジ検出</p>
3	IBFIE3	0	R/W	-	<p>IDR3、TWR 受信完了割り込みイネーブル</p> <p>スレーブ(本 LSI)に対して IBF11 割り込みを許可または禁止します。</p> <p>0: 入力データレジスタ (IDR3)、TWR の受信完了割り込み要求および SMIC モード、BT モードの割り込み要求を禁止</p> <p>1: [LADR3 の TWRIE = 0 の場合]</p> <p>入力データレジスタ (IDR3) 受信完了割り込み要求および SMIC モード、BT モードの割り込み要求を許可</p> <p>[LADR3 の TWRIE = 1 の場合]</p> <p>入力データレジスタ (IDR3)、TWR 受信完了割り込み要求および SMIC モード、BT モードの割り込み要求を許可</p>
2	IBFIE2	0	R/W	-	<p>IDR2 受信完了割り込みイネーブル</p> <p>スレーブ(本 LSI)に対して IBF12 割り込みを許可または禁止します。</p> <p>0: 入力データレジスタ (IDR2) 受信完了割り込み要求を禁止</p> <p>1: 入力データレジスタ (IDR2) 受信完了割り込み要求を許可</p>

18. LPC インタフェース (LPC)

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
1	IBFIE1	0	R/W	-	IDR1 受信完了割り込みイネーブル スレーブ(本 LSI)に対して IBFI3 割り込みを許可または禁止します。 0: 入力データレジスタ (IDR1) 受信完了割り込み要求を禁止 1: 入力データレジスタ (IDR1) 受信完了割り込み要求を許可
0	ERRIE	0	R/W	-	エラー割り込みイネーブル (ERRIE) スレーブ(本 LSI)に対して ERRI 割り込みを許可または禁止します。 0: エラー割り込み要求を禁止 1: エラー割り込み要求を許可

【注】 * ビット 6~4 はフラグをクリアするための 0 ライトのみ可能です。

• HICR3

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	LFRAME	不定	R	-	0: $\overline{\text{LFRAME}}$ 端子状態はローレベル 1: $\overline{\text{LFRAME}}$ 端子状態はハイレベル
6	CLKRUN	不定	R	-	0: $\overline{\text{CLKRUN}}$ 端子状態はローレベル 1: $\overline{\text{CLKRUN}}$ 端子状態はハイレベル
5	SERIRQ	不定	R	-	0: $\overline{\text{SERIRQ}}$ 端子状態はローレベル 1: $\overline{\text{SERIRQ}}$ 端子状態はハイレベル
4	LRESET	不定	R	-	0: $\overline{\text{LRESET}}$ 端子状態はローレベル 1: $\overline{\text{LRESET}}$ 端子状態はハイレベル
3	LPCPD	不定	R	-	0: $\overline{\text{LPCPD}}$ 端子状態はローレベル 1: $\overline{\text{LPCPD}}$ 端子状態はハイレベル
2	PME	不定	R	-	0: $\overline{\text{PME}}$ 端子状態はローレベル 1: $\overline{\text{PME}}$ 端子状態はハイレベル
1	LSMI	不定	R	-	0: $\overline{\text{LSMI}}$ 端子状態はローレベル 1: $\overline{\text{LSMI}}$ 端子状態はハイレベル
0	LSCI	不定	R	-	0: $\overline{\text{LSCI}}$ 端子状態はローレベル 1: $\overline{\text{LSCI}}$ 端子状態はハイレベル

18.3.3 ホストインタフェースコントロールレジスタ 4 (HICR4)

HICR4 は、LPC チャンネル 1、チャンネル 2 におけるアドレス設定時のアクセスチャンネルの選択、チャンネル 3 に搭載される KCS インタフェース、SMIC インタフェース、BT インタフェースの動作を制御します。

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	LADR12SEL	0	R/W	-	LADR12H、LADR12L のアクセスチャンネルを切り替えます。 0 : LADR1 を選択 1 : LADR2 を選択
6~4	-	すべて 0	R/W	-	リザーブビット 初期値を変更しないでください。
3	SWENBL	0	R/W	-	BT モード時、スレーブからの同期返送サイクルで H'5 (Short Wait) または H'6 (Long Wait) をホストに返し、ホストを待たせることができます。 0 : Short Wait を発行 1 : Long Wait を発行
2	KCSENBL	0	R/W	-	チャンネル 3 に搭載される KCS インタフェースの使用の許可または禁止を設定します。HICR0 の LPC3E ビットが 1 のとき本ビットは有効になります。 0 : KCS インタフェースの動作を禁止 IDR3、ODR3、STR3 の KCS モードに関してのアドレス (LADR3) 一致発生なし 1 : KCS インタフェースの動作を許可
1	SMICENBL	0	R/W	-	チャンネル 3 に搭載される SMIC インタフェースの使用の許可または禁止を設定します。HICR0 の LPC3E ビットが 1 のとき本ビットは有効になります。 0 : SMIC インタフェースの動作を禁止 SMICFLG、SMICCSR、SMICDTR に関してのアドレス (LADR3) 一致発生なし 1 : SMIC インタフェースの動作を許可
0	BTENBL	0	R/W	-	チャンネル 3 に搭載される BT インタフェースの使用の許可または禁止を設定します。HICR0 の LPC3E ビットが 1 のとき本ビットは有効になります。 0 : BT インタフェースの動作を禁止 BTMSR、BTCR、BTDTR に関してのアドレス (LADR3) 一致発生なし 1 : BT インタフェースの動作を許可

18. LPC インタフェース (LPC)

18.3.4 ホストインタフェースコントロールレジスタ 5 (HICR5)

HICR5 は、SCIF インタフェースに対する動作を許可 / 禁止、OBEI 割り込みを制御します。

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7~2	-	すべて 0	R/W		リザーブビット 初期値を変更しないでください。
1	SCIFE	0	R/W	-	SCIF イネーブル SCIF の LPC ホストからのアクセスを許可または禁止を設定します。 0 : SCIF の LPC ホストからのアクセスを禁止 1 : SCIF の LPC ホストからのアクセスを許可
0	-	すべて 0	R/W	-	リザーブビット 初期値を変更しないでください。

18.3.5 ピンファンクションコントロールレジスタ (PINFNCR)

PINFNCR は、LPC 機能の端子として使うか、汎用ポートとして使うかを説明します。

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7~3	-	すべて 0	R/W	-	リザーブビット 初期値を変更しないでください。
2	SERIRQOFF	0	R/W	-	0 : SERIRQ 端子 1 : 汎用ポート
1	LPCPDOFF	0	R/W	-	0 : LPCPD 端子 1 : 汎用ポート
0	CLKRUNOFF	0	R/W	-	0 : CLKRUN 端子 1 : 汎用ポート

18.3.6 LPC チャンネル 1、2 アドレスレジスタ H、L (LADR12H、LADR12L)

LADR12H、LADR12L は内部レジスタ LADR1H、LADR1L、LADR2H、LADR2L をアクセスするためのテンポラリレジスタです。

HICR4 の LADR12SEL ビットが 0 のとき、LADR12 を介して LPC チャンネル 1 のホストアドレス (LADR1H、LADR1L) を設定します。LADR1 はチャンネル 1 動作状態 (LPC1E を 1 にセットした状態) では、内容は変更しないでください。

LADR12SEL ビットが 1 のとき、LADR12 を介して LPC チャンネル 2 のホストアドレス (LADR2H、LADR2L) を設定します。LADR2 はチャンネル 1 動作状態 (LPC2E を 1 にセットした状態) では、内容は変更しないでください。

表 18.2 に各レジスタの初期値を表 18.3 にアドレス一致判定時のホスト選択レジスタを表 18.4 にスレーブ (本 LSI) アクセス時のスレーブ選択内部レジスタを示します。

表 18.2 LADR1、LADR2 の初期値

レジスタ名	初期値	説明
LADR1	H'0060	チャンネル 1 の I/O アドレス
LADR2	H'0062	チャンネル 2 の I/O アドレス

表 18.3 ホスト選択レジスタ

I/O アドレス				転送サイクル	ホスト選択レジスタ
ビット 15~3	ビット 2	ビット 1	ビット 0		
LADR1(bit15~3)	0	LADR1(bit1)	LADR1(bit0)	I/O ライト	IDR1 ライト (データ)、 C/ \bar{D} 1 0
LADR1(bit15~3)	1	LADR1(bit1)	LADR1(bit0)	I/O ライト	IDR1 ライト (コマンド)、 C/ \bar{D} 1 1
LADR1(bit15~3)	0	LADR1(bit1)	LADR1(bit0)	I/O リード	ODR1 リード
LADR1(bit15~3)	1	LADR1(bit1)	LADR1(bit0)	I/O リード	STR1 リード
LADR2(bit15~3)	0	LADR2(bit1)	LADR2(bit0)	I/O ライト	IDR2 ライト (データ)、 C/ \bar{D} 2 0
LADR2(bit15~3)	1	LADR2(bit1)	LADR2(bit0)	I/O ライト	IDR2 ライト (コマンド)、 C/ \bar{D} 2 1
LADR2(bit15~3)	0	LADR2(bit1)	LADR2(bit0)	I/O リード	ODR2 リード
LADR2(bit15~3)	1	LADR2(bit1)	LADR2(bit0)	I/O リード	STR2 リード

18. LPC インタフェース (LPC)

表 18.4 スレープ選択内部レジスタ

スレープ (R/W)	バス幅 (B/W)	LADR12SEL	LADR12		内部レジスタ	
R/W	B	0	LADR12H		LADR1H	
R/W	B	1	LADR12H		LADR2H	
R/W	B	0	LADR12L		LADR1L	
R/W	B	1	LADR12L		LADR2L	
R/W	W	0	LADR12H	LADR12L	LADR1H	LADR1L
R/W	W	1	LADR12H	LADR12L	LADR2H	LADR2L

18.3.7 LPC チャネル 3 アドレスレジスタ H、L (LADR3H、LADR3L)

LADR3 は 8 ビットのリード/ライト可能な 2 本のレジスタで、LPC チャネル 3 のホストアドレスの設定、および、双方向データレジスタの動作の制御を行います。LADR3 のアドレス部分は、チャンネル 3 動作時 (LPC3E を 1 にセットした状態) では、内容を変更しないでください。

• LADR3H

ビット	ビット名	初期値	R/W		説 明
			スレープ	ホスト	
7	bit15	0	R/W	-	チャンネル 3 アドレスビット 15~8 LPC チャネル 3 のホストアドレスの設定を行います。
6	bit14	0	R/W	-	
5	bit13	0	R/W	-	
4	bit12	0	R/W	-	
3	bit11	0	R/W	-	
2	bit10	0	R/W	-	
1	bit9	0	R/W	-	
0	bit8	0	R/W	-	

• LADR3L

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	bit7	0	R/W	-	チャンネル3 アドレスビット7~3 LPC チャンネル3 のホストアドレスの設定を行います。
6	bit6	0	R/W	-	
5	bit5	0	R/W	-	
4	bit4	0	R/W	-	
3	bit3	0	R/W	-	
2	-	0	R/W	-	リザーブビット 初期値を変更しないでください。
1	bit1	0	R/W	-	チャンネル3 アドレスビット1 LPC チャンネル3 のホストアドレスの設定を行います。
0	TWRE	0	R/W	-	双方向データレジスタイネーブル 双方向データレジスタの動作を許可または禁止します。 KCS モードでは必ず本ビットは0にクリアしてください。 0 : TWR の動作を禁止 TWR に関してアドレス (LADR3) 一致発生なし 1 : TWR の動作を許可

LPC3E ビットが1の場合、LPC のI/O サイクルで受信したI/O アドレスは、LADR3 の内容と比較されます。IDR3、ODR3、STR3 のアドレス一致判定時には、LADR3 のビット0 を0 とみなし、ビット2 の内容は無視します。TWR0 ~ TWR15 のアドレス一致判定時には、LADR3 のビット4 を反転し、ビット3~0 の内容は無視します。

KCS モード時の IDR3、ODR3、STR3 と、SMIC モード時の SMICFLG、SMICCSR、SMICDTR、および BT モード時の BT DTR、BTCR、BTIMSR のアドレス一致判定時にはビット3~0 の内容は無視します。

アドレス一致判定時に無視したビットによるレジスタの選択は次のとおりです。

I/O アドレス						転送 サイクル	ホスト選択レジスタ
ビット15~5	ビット4	ビット3	ビット2	ビット1	ビット0		
bit15~5	bit4	bit3	0	bit1	0	I/O ライト	IDR3 ライト、C/D3 0
bit15~5	bit4	bit3	1	bit1	0	I/O ライト	IDR3 ライト、C/D3 1
bit15~5	bit4	bit3	0	bit1	0	I/O リード	ODR3 リード
bit15~5	bit4	bit3	1	bit1	0	I/O リード	STR3 リード
bit15~5	$\overline{\text{bit4}}$	0	0	0	0	I/O ライト	TWR0MW ライト
bit15~5	$\overline{\text{bit4}}$	0	0	0	1	I/O ライト	TWR1 ライト
		1	1	1	1		TWR15 ライト
bit15~5	$\overline{\text{bit4}}$	0	0	0	0	I/O リード	TWR0SW リード
bit15~5	$\overline{\text{bit4}}$	0	0	0	1	I/O リード	TWR1 リード
		1	1	1	1		TWR15 リード

18. LPC インタフェース (LPC)

• KCS モード

I/O アドレス						転送 サイクル	ホスト選択レジスタ
ビット 15~5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0		
bit15~5	bit4	0	0	1	0	I/O ライト	IDR3 ライト、C/D3 0
bit15~5	bit4	0	0	1	1	I/O ライト	IDR3 ライト、C/D3 1
bit15~5	bit4	0	0	1	0	I/O リード	ODR3 リード
bit15~5	bit4	0	0	1	1	I/O リード	STR3 リード

• BT モード

I/O アドレス						転送 サイクル	ホスト選択レジスタ
ビット 15~5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0		
bit15~5	bit4	0	1	0	0	I/O ライト	BTCR ライト
bit15~5	bit4	0	1	0	1	I/O ライト	BTDTR ライト
bit15~5	bit4	0	1	1	0	I/O ライト	BTIMSR ライト
bit15~5	bit4	0	1	0	0	I/O リード	BTCR リード
bit15~5	bit4	0	1	0	1	I/O リード	BTDTR リード
bit15~5	bit4	0	1	1	0	I/O リード	BTIMSR リード

• SMIC モード

I/O アドレス						転送 サイクル	ホスト選択レジスタ
ビット 15~5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0		
bit15~5	bit4	1	0	0	1	I/O ライト	SMICDTR ライト
bit15~5	bit4	1	0	1	0	I/O ライト	SMICCSR ライト
bit15~5	bit4	1	0	1	1	I/O ライト	SMICFLG ライト
bit15~5	bit4	1	0	0	1	I/O リード	SMICDTR リード
bit15~5	bit4	1	0	1	0	I/O リード	SMICCSR リード
bit15~5	bit4	1	0	1	1	I/O リード	SMICFLG リード

18.3.8 入力データレジスタ 1~3 (IDR1~IDR3)

IDR は 8 ビットの、スレーブ (本 LSI) に対してはリード専用、ホストに対してはライト専用のレジスタです。I/O アドレスによってホストから選択されるレジスタは、IDR1、IDR2 の選択については「18.3.6 LPC チャンネル 1、2 アドレスレジスタ H、L (LADR12H、LADR12L)」、IDR3 の選択については、「18.3.7 LPC チャンネル 3 アドレスレジスタ H、L (LADR3H、LADR3L)」を参照してください。LPC の I/O ライトサイクルで転送されたデータが、選択されたレジスタにライトされます。I/O アドレスのビット 2 は STR の C/\bar{D} ビットに反映され、コマンドライトとデータライトの識別に用いられます。

IDR1~IDR3 の初期値は不定です。

18.3.9 出力データレジスタ 1~3 (ODR1~ODR3)

ODR は 8 ビットの、スレーブ (本 LSI) に対してはリード/ライト可能、ホストに対してはリード専用のレジスタです。I/O アドレスによってホストから選択されるレジスタは、ODR1、ODR2 の選択については、「18.3.6 LPC チャンネル 1、2 アドレスレジスタ H、L (LADR12H、LADR12L)」、ODR3 の選択については、「18.3.7 LPC チャンネル 3 アドレスレジスタ H、L (LADR3H、LADR3L)」を参照してください。LPC の I/O リードサイクルで、選択されたレジスタのデータがホストに転送されます。

ODR1~ODR3 の初期値は不定です。

18.3.10 双方向データレジスタ 0~15 (TWR0~TWR15)

TWR0~15 は、スレーブ (本 LSI) とホストで、どちらからもリード/ライト可能な 17 バイトの 8 ビットレジスタです。ただし、TWR0 は、ホストアドレス、スレーブアドレスとも同一のアドレスにふたつのレジスタ (TWR0MW、TWR0SW) が割り当てられています。TWR0MW は、ホストからはライト専用、スレーブからはリード専用のレジスタです。TWR0SW は、スレーブからはライト専用、ホストからはリード専用のレジスタです。ホストとスレーブがライトを開始する場合、それぞれ TWR0 にライトした後、そのライトが有効だったかをステータスフラグで確認することにより同時アクセス時のアクセス権の調停を行います。I/O アドレスによってホストから選択されるレジスタは、「18.3.7 LPC チャンネル 3 アドレスレジスタ H、L (LADR3H、LADR3L)」を参照してください。

LPC の I/O ライトサイクルで転送されたデータが、選択されたレジスタにライトされ、LPC の I/O リードサイクルで、選択されたレジスタのデータがホストに転送されます。

TWR0~15 の初期値は不定です。

18.3.11 ステータスレジスタ 1~3 (STR1~STR3)

STR は、8 ビットのレジスタで、LPC インタフェース処理中の状態を表示します。STR1~STR3 のビット 3、1、0 は、ホストとスレーブ (本 LSI) のいずれもリード専用です。ただし、STR1~STR3 のビット 0、および STR3 のビット 6、4 は、スレーブ (本 LSI) から 0 フラグをクリアするための 0 ライトのみ可能です。STR3 のビット 7~4 の機能は、HISEL の SELSTR3 ビットと LADR3L の TWRE ビットの設定により異なります。詳細は「18.3.18 ホストインタフェースセレクトレジスタ (HISEL)」を参照してください。I/O アドレスによってホストから選択されるレジスタは、STR1、STR2 の選択については、「18.3.6 LPC チャネル 1、2 アドレスレジスタ H、L (LADR12H、LADR12L)」、STR3 の選択については、「18.3.7 LPC チャネル 3 アドレスレジスタ H、L (LADR3H、LADR3L)」を参照してください。LPC の I/O リードサイクルで、選択されたレジスタのデータがホストに転送されます。

STR は、リセット、またはハードウェアスタンバイモード時に H'00 に初期化されます。

• STR1

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	DBU17	0	R/W	R	ユーザ定義ビット ユーザが必要に応じて使用できるビットです。
6	DBU16	0	R/W	R	
5	DBU15	0	R/W	R	
4	DBU14	0	R/W	R	
3	C/D1	0	R	R	コマンド/データ ホストが IDR1 に対してライトを行ったときの、I/O アドレスのビット 2 (CH1OFFSEL=0 のとき)、I/O アドレスのビット 0 (CH1OFFSEL=1 のとき) の状態がライトされ、IDR1 の内容がデータかコマンドかを識別します。 0: 入力データレジスタ (IDR1) の内容はデータ 1: 入力データレジスタ (IDR1) の内容はコマンド
2	DBU12	0	R/W	R	ユーザ定義ビット ユーザが必要に応じて使用できるビットです。
1	IBF1	0	R	R	入力データレジスタフル IDR1 内の受信データの有無を示します。スレーブ (本 LSI) に対しての内部割り込み要因の 1 つとなります。なお、高速 GATE A20 を使用しているときは IBF1 フラグのセット/クリア条件が変わります。詳細は表 18.7 を参照してください。 0: IDR1 に受信データなし [クリア条件] スレーブが IDR1 をリード 1: IDR1 に受信データあり [セット条件] I/O ライトサイクルにより IDR1 にホストライト

ビット	ビット名	初期値	R/W		説 明
			スレーブ	ホスト	
0	OBF1	0	R/(W)*	R	出力データレジスタフル ODR1 内の送信データの有無を示します。 0 : ODR1 に送信データなし [クリア条件] I/O リードサイクルにより ODR1 をホストリード、またはスレーブが OBF1 ビットに 0 ライト 1 : ODR1 に送信データあり [セット条件] スレーブが ODR1 にライト

【注】 * フラグをクリアするための 0 ライトのみ可能です。

18. LPC インタフェース (LPC)

• STR2

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	DBU27	0	R/W	R	ユーザ定義ビット ユーザが必要に応じて使用できるビットです。
6	DBU26	0	R/W	R	
5	DBU25	0	R/W	R	
4	DBU24	0	R/W	R	
3	C/D $\bar{2}$	0	R	R	コマンド / データ ホストが IDR2 に対してライトを行ったときの、I/O アドレスのビット 2 (CH2OFFSEL = 0 のとき)、I/O アドレスのビット 0 (CH2OFFSEL = 1 のとき) の状態がライトされ、IDR2 の内容がデータかコマンドかを識別します。 0 : 入力データレジスタ (IDR2) の内容はデータ 1 : 入力データレジスタ (IDR2) の内容はコマンド
2	DBU22	0	R/W	R	ユーザ定義ビット ユーザが必要に応じて使用できるビットです。
1	IBF2	0	R	R	入力データレジスタフル IDR2 内の受信データの有無を示します。スレーブ (本 LSI) に対しての内部割り込み要因の 1 つとなります。 0 : IDR2 に受信データなし [クリア条件] スレーブが IDR2 をリード 1 : IDR2 に受信データあり [セット条件] I/O ライトサイクルにより IDR2 にホストライト
0	OBF2	0	R/(W)*	R	出力データレジスタフル ODR2 内の送信データの有無を示します。 0 : ODR2 に送信データなし [クリア条件] I/O リードサイクルにより ODR2 をホストリード、またはスレーブが OBF2 ビットに 0 ライト 1 : ODR2 に送信データあり [セット条件] スレーブが ODR2 にライト

【注】 * フラグをクリアするための 0 ライトのみ可能です。

• STR3 (TWRE = 1またはSELSTR3 = 0のとき)

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	IBF3B	0	R	R	双方向レジスタ入力データフルフラグ スレーブ(本 LSI) に対しての内部割り込み要因の 1 つとなります。 0: [クリア条件] スレーブが TWR15 をリード 1: [セット条件] ホストが I/O ライトサイクルにより TWR15 にライト
6	OBF3B	0	R/(W)*	R	双方向レジスタ出力データフルフラグ 0: [クリア条件] ホストが I/O リードサイクルにより TWR15 をリード、またはスレーブが OBF3B ビットに 0 ライト 1: [セット条件] スレーブが TWR15 にライト
5	MWMF	0	R	R	マスタライトモードフラグ 0: [クリア条件] スレーブが TWR15 をリード 1: [セット条件] ホストが SWMF = 0 の状態で、I/O ライトサイクルにより TWR0 にライト
4	SWMF	0	R/(W)*	R	スレーブライトモードフラグ マスタとスレーブの同時ライト時にはマスタのライトが優先されます。 0: [クリア条件] ホストが I/O リードサイクルにより TWR15 をリード、またはスレーブが SWMF ビットに 0 ライト 1: [セット条件] MWMF = 0 の状態で、スレーブが TWR0 にライト
3	C/D ₃	0	R	R	コマンド/データフラグ ホストが IDR3 に対してライトを行ったときの、I/O アドレスのビット 2 の状態がライトされ、IDR3 の内容がデータかコマンドかを識別します。 0: 入力データレジスタ (IDR3) の内容はデータ 1: 入力データレジスタ (IDR3) の内容はコマンド
2	DBU32	0	R/W	R	ユーザ定義ビット ユーザが必要に応じて使用できるビットです。

18. LPC インタフェース (LPC)

ビット	ビット名	初期値	R/W		説 明
			スレーブ	ホスト	
1	IBF3A	0	R	R	入力データレジスタフル IDR3 内の受信データの有無を示します。スレーブ(本 LSI) に対しての内部割り込み要因の 1 つとなります。 0 : IDR3 に受信データなし [クリア条件] スレーブが IDR3 をリード 1 : IDR3 に受信データあり [セット条件] I/O ライトサイクルにより IDR3 にホストライト
0	OBF3A	0	R(W)*	R	出力データレジスタフル ODR3 内の送信データの有無を示します。 0 : ODR3 に送信データなし [クリア条件] I/O リードサイクルにより ODR3 をホストリード、またはスレーブが OBF3A ビットに 0 ライト 1 : ODR3 に送信データあり [セット条件] スレーブが ODR3 にライト

【注】 * フラグをクリアするための 0 ライトのみ可能です。

• STR3 (TWRE = 0でSELSTR3 = 1のとき)

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	DBU37	0	R/W	R	ユーザ定義ビット ユーザが必要に応じて使用できるビットです。
6	DBU36	0	R/W	R	
5	DBU35	0	R/W	R	
4	DBU34	0	R/W	R	
3	C/D $\bar{3}$	0	R	R	コマンド / データ ホストが IDR3 に対してライトを行ったときの、I/O アドレスのビット 2 の状態がライトされ、IDR3 の内容がデータかコマンドかを識別します。 0 : 入力データレジスタ (IDR3) の内容はデータ 1 : 入力データレジスタ (IDR3) の内容はコマンド
2	DBU32	0	R/W	R	ユーザ定義ビット ユーザが必要に応じて使用できるビットです。
1	IBF3A	0	R	R	入力データレジスタフル IDR3 内の受信データの有無を示します。スレーブ (本 LSI) に対しての内部割り込み要因の 1 つとなります。 0 : IDR3 に受信データなし [クリア条件] スレーブが IDR3 をリード 1 : IDR3 に受信データあり [セット条件] I/O ライトサイクルにより IDR3 にホストライト
0	OBF3A	0	R(W)*	R	出力データレジスタフル ODR3 内の送信データの有無を示します。 0 : ODR3 に送信データなし [クリア条件] I/O リードサイクルにより ODR3 をホストリード、またはスレーブが OBF3A ビットに 0 ライト 1 : ODR3 に送信データあり [セット条件] スレーブが ODR3 にライト

【注】 * フラグをクリアするための 0 ライトのみ可能です。

18. LPC インタフェース (LPC)

18.3.12 SERIRQ コントロールレジスタ 0 (SIRQCR0)

SIRQCR0 には、SERIRQ の動作モードを示すステータスビットと、SERIRQ の割り込みソースを指定するビットがあります。

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	Q/C	0	R	-	クワイエット / コンティニューアスモードフラグ SERIRQ の転送サイクルの最後で、ホストにより指定されたモードを示します。 0 : コンティニューアスモード [クリア条件] <ul style="list-style-type: none"> LPC ハードウェアリセット、LPC ソフトウェアリセット SERIRQ 転送サイクルのストップフレームによる指定 1 : クワイエットモード [セット条件] SERIRQ 転送サイクルのストップフレームによる指定
6	SELREQ	0	R/W	-	スタートフレーム起動要求選択 クワイエットモードでホスト割り込み要求がクリアされた場合のスタートフレーム起動の条件を選択します。 0 : すべての割り込み要求がクリアされたとき 1 : 1 つ以上の割り込み要求がクリアされたとき
5	IEDIR2	0	R/W	-	割り込みイネーブルダイレクトモード 2 LPC チャネル 2 の SERIRQ の割り込み要因の発生を、OBF に関連付けて行うか、ホスト割り込み許可ビットのみで行うかを制御します。 0 : ホスト割り込みは、ホスト割り込み許可ビットと、対応する OBF が両方とも 1 にセットされたときに要求 1 : ホスト割り込みは、ホスト割り込み許可ビットが 1 にセットされたときに要求

18. LPC インタフェース (LPC)

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
4	SMIE3B	0	R/W	-	<p>ホスト SMI 割り込みイネーブル 3B</p> <p>TWR15 ライトにより OBF3B がセットされた場合の、SMI 割り込み要求を許可または禁止します。</p> <p>0 : OBF3B および SMIE3B による SMI 割り込みの要求を禁止</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • SMIE3B への 0 ライト • LPC ハードウェアリセット、LPC ソフトウェアリセット • OBF3B の 0 クリア (IEDIR3 = 0 の場合) <p>1 : [IEDIR3 = 0 の場合]</p> <p>OBF3B の 1 セットによる SMI 割り込み要求を許可</p> <p>[IEDIR3 = 1 の場合]</p> <p>SMI 割り込みを要求</p> <p>[セット条件]</p> <p>SMIE3B = 0 リード後の 1 ライト</p>
3	SMIE3A	0	R/W	-	<p>ホスト SMI 割り込みイネーブル 3A</p> <p>ODR3 ライトにより OBF3A がセットされた場合の、SMI 割り込み要求を許可または禁止します。</p> <p>0 : OBF3A および SMIE3A による SMI 割り込みの要求を禁止</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • SMIE3A への 0 ライト • LPC ハードウェアリセット、LPC ソフトウェアリセット • OBF3A の 0 クリア (IEDIR3 = 0 の場合) <p>1 : [IEDIR3 = 0 の場合]</p> <p>OBF3A の 1 セットによる SMI 割り込み要求を許可</p> <p>[IEDIR3 = 1 の場合]</p> <p>SMI 割り込みを要求</p> <p>[セット条件]</p> <p>SMIE3A = 0 リード後の 1 ライト</p>

18. LPC インタフェース (LPC)

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
2	SMIE2	0	R/W	-	<p>ホスト SMI 割り込みイネーブル 2 ODR2 ライトにより OBF2 がセットされた場合の、SMI 割り込み要求を許可または禁止します。</p> <p>0 : OBF2 および SMIE2 による SMI 割り込みの要求を禁止 [クリア条件]</p> <ul style="list-style-type: none"> SMIE2 への 0 ライト LPC ハードウェアリセット、LPC ソフトウェアリセット OBF2 の 0 クリア (IEDIR2 = 0 の場合) <p>1 : [IEDIR2 = 0 の場合] OBF2 の 1 セットによる SMI 割り込み要求を許可 [IEDIR2 = 1 の場合] SMI 割り込みを要求 [セット条件] SMIE2 = 0 リード後の 1 ライト</p>
1	IRQ12E1	0	R/W	-	<p>ホスト IRQ12 割り込みイネーブル 1 ODR1 ライトにより OBF1 がセットされた場合の、HIRQ12 割り込み要求を許可または禁止します。</p> <p>0 : OBF1 および IRQ12E1 による HIRQ12 割り込みの要求を禁止 [クリア条件]</p> <ul style="list-style-type: none"> IRQ12E1 への 0 ライト LPC ハードウェアリセット、LPC ソフトウェアリセット OBF1 の 0 クリア <p>1 : OBF1 の 1 セットによる HIRQ12 割り込み要求を許可 [セット条件] IRQ12E1 = 0 リード後の 1 ライト</p>
0	IRQ1E1	0	R/W	-	<p>ホスト IRQ1 割り込みイネーブル 1 ODR1 ライトにより OBF1 がセットされた場合の、HIRQ1 割り込み要求を許可または禁止します。</p> <p>0 : OBF1 および IRQ1E1 による HIRQ1 割り込みの要求を禁止 [クリア条件]</p> <ul style="list-style-type: none"> IRQ1E1 への 0 ライト LPC ハードウェアリセット、LPC ソフトウェアリセット OBF1 の 0 クリア <p>1 : OBF1 の 1 セットによる HIRQ1 割り込み要求を許可 [セット条件] IRQ1E1 = 0 リード後の 1 ライト</p>

18.3.13 SERIRQ コントロールレジスタ 1 (SIRQCR1)

SIRQCR1 には、SERIRQ の割り込み要求の許可または禁止を指定するビットがあります。

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	IRQ11E3	0	R/W	-	<p>ホスト IRQ11 割り込みイネーブル 3</p> <p>ODR3 ライトにより OBF3A がセットされた場合の、HIRQ11 割り込み要求を許可または禁止します。</p> <p>0 : OBF3A および IRQ11E3 による HIRQ11 割り込みの要求を禁止</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • IRQ11E3 への 0 ライト • LPC ハードウェアリセット、LPC ソフトウェアリセット • OBF3A の 0 クリア (IEDIR3 = 0 の場合) <p>1 : [IEDIR3 = 0 の場合]</p> <p>OBF3A の 1 セットによる HIRQ11 割り込み要求を許可</p> <p>[IEDIR3 = 1 の場合]</p> <p>HIRQ11 割り込みを要求</p> <p>[セット条件]</p> <p>IRQ11E3 = 0 リード後の 1 ライト</p>
6	IRQ10E3	0	R/W	-	<p>ホスト IRQ10 割り込みイネーブル 3</p> <p>ODR3 ライトにより OBF3A がセットされた場合の、HIRQ10 割り込み要求を許可または禁止します。</p> <p>0 : OBF3A および IRQ10E3 による HIRQ10 割り込みの要求を禁止</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • IRQ10E3 への 0 ライト • LPC ハードウェアリセット、LPC ソフトウェアリセット • OBF3A の 0 クリア (IEDIR3 = 0 の場合) <p>1 : [IEDIR3 = 0 の場合]</p> <p>OBF3A の 1 セットによる HIRQ10 割り込み要求を許可</p> <p>[IEDIR3 = 1 の場合]</p> <p>HIRQ10 割り込みを要求</p> <p>[セット条件]</p> <p>IRQ10E3 = 0 リード後の 1 ライト</p>

18. LPC インタフェース (LPC)

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
5	IRQ9E3	0	R/W	-	<p>ホスト IRQ9 割り込みイネーブル 3</p> <p>ODR3 ライトにより OBF3A がセットされた場合の、HIRQ9 割り込み要求を許可または禁止します。</p> <p>0 : OBF3A および IRQ9E3 による HIRQ9 割り込みの要求を禁止</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • IRQ9E3 への 0 ライト • LPC ハードウェアリセット、LPC ソフトウェアリセット • OBF3A の 0 クリア (IEDIR3 = 0 の場合) <p>1 : [IEDIR3 = 0 の場合]</p> <p>OBF3A の 1 セットによる HIRQ9 割り込み要求を許可</p> <p>[IEDIR3 = 1 の場合]</p> <p>HIRQ9 割り込みを要求</p> <p>[セット条件]</p> <p>IRQ9E3 = 0 リード後の 1 ライト</p>
4	IRQ6E3	0	R/W	-	<p>ホスト IRQ6 割り込みイネーブル 3</p> <p>ODR3 ライトにより OBF3A がセットされた場合の、HIRQ6 割り込み要求を許可または禁止します。</p> <p>0 : OBF3A および IRQ6E3 による HIRQ6 割り込みの要求を禁止</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • IRQ6E3 への 0 ライト • LPC ハードウェアリセット、LPC ソフトウェアリセット • OBF3A の 0 クリア (IEDIR3 = 0 の場合) <p>1 : [IEDIR3 = 0 の場合]</p> <p>OBF3A の 1 セットによる HIRQ6 割り込み要求を許可</p> <p>[IEDIR3 = 1 の場合]</p> <p>HIRQ6 割り込みを要求</p> <p>[セット条件]</p> <p>IRQ6E3 = 0 リード後の 1 ライト</p>

18. LPC インタフェース (LPC)

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
3	IRQ11E2	0	R/W	-	<p>ホスト IRQ11 割り込みイネーブル 2</p> <p>ODR2 ライトにより OBF2 がセットされた場合の、HIRQ11 割り込み要求を許可または禁止します。</p> <p>0: OBF2 および IRQ11E2 による HIRQ11 割り込みの要求を禁止</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • IRQ11E2 への 0 ライト • LPC ハードウェアリセット、LPC ソフトウェアリセット • OBF2 の 0 クリア (IEDIR2 = 0 の場合) <p>1: [IEDIR2 = 0 の場合]</p> <p>OBF2 の 1 セットによる HIRQ11 割り込み要求を許可</p> <p>[IEDIR2 = 1 の場合]</p> <p>HIRQ11 割り込みを要求</p> <p>[セット条件]</p> <p>IRQ11E2 = 0 リード後の 1 ライト</p>
2	IRQ10E2	0	R/W	-	<p>ホスト IRQ10 割り込みイネーブル 2</p> <p>ODR2 ライトにより OBF2 がセットされた場合の、HIRQ10 割り込み要求を許可または禁止します。</p> <p>0: OBF2 および IRQ10E2 による HIRQ10 割り込みの要求を禁止</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • IRQ10E2 への 0 ライト • LPC ハードウェアリセット、LPC ソフトウェアリセット • OBF2 の 0 クリア (IEDIR2 = 0 の場合) <p>1: [IEDIR2 = 0 の場合]</p> <p>OBF2 の 1 セットによる HIRQ10 割り込み要求を許可</p> <p>[IEDIR2 = 1 の場合]</p> <p>HIRQ10 割り込みを要求</p> <p>[セット条件]</p> <p>IRQ10E2 = 0 リード後の 1 ライト</p>

18. LPC インタフェース (LPC)

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
1	IRQ9E2	0	R/W	-	<p>ホスト IRQ9 割り込みイネーブル 2</p> <p>ODR2 ライトにより OBF2 がセットされた場合の、HIRQ9 割り込み要求を許可または禁止します。</p> <p>0 : OBF2 および IRQ9E2 による HIRQ9 割り込みの要求を禁止</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • IRQ9E2 への 0 ライト • LPC ハードウェアリセット、LPC ソフトウェアリセット • OBF2 の 0 クリア (IEDIR2 = 0 の場合) <p>1 : [IEDIR2 = 0 の場合]</p> <p>OBF2 の 1 セットによる HIRQ9 割り込み要求を許可</p> <p>[IEDIR2 = 1 の場合]</p> <p>HIRQ9 割り込みを要求</p> <p>[セット条件]</p> <p>IRQ9E2 = 0 リード後の 1 ライト</p>
0	IRQ6E2	0	R/W	-	<p>ホスト IRQ6 割り込みイネーブル 2</p> <p>ODR2 ライトにより OBF2 がセットされた場合の、HIRQ6 割り込み要求を許可または禁止します。</p> <p>0 : OBF2 および IRQ6E2 による HIRQ6 割り込みの要求を禁止</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • IRQ6E2 への 0 ライト • LPC ハードウェアリセット、LPC ソフトウェアリセット • OBF2 の 0 クリア (IEDIR2 = 0 の場合) <p>1 : [IEDIR2 = 0 の場合]</p> <p>OBF2 の 1 セットによる HIRQ6 割り込み要求を許可</p> <p>[IEDIR2 = 1 の場合]</p> <p>HIRQ6 割り込みを要求</p> <p>[セット条件]</p> <p>IRQ6E2 = 0 リード後の 1 ライト</p>

18.3.14 SERIRQ コントロールレジスタ 2 (SIRQCR2)

SIRQCR2 には、SERIRQ の割り込み要求の許可または禁止を指定するビットがあります。また、ホスト割り込み要求信号の出力を選択するビットがあります。

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	IEDIR3	0	R/W	-	割り込みイネーブルダイレクトモード 3 LPC チャンネル 3 の SERIRQ の割り込み要因の発生を、OBF に関連づけて行うか、ホスト割り込み許可ビットのみで行うかを制御します。 0 : ホスト割り込みは、ホスト割り込み許可ビットと、対応する OBF が両方とも 1 にセットされたときに要求 1 : ホスト割り込みは、ホスト割り込み許可ビットが 1 にセットされたときに要求
6-0	-	すべて 0	R/W	-	リザーブビット 初期値を変更しないでください。

18. LPC インタフェース (LPC)

18.3.15 SERIRQ コントロールレジスタ 3 (SIRQCR3)

SIRQCR3 には、SCIF の SERIRQ 割り込み要求を選択するレジスタです。

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7~4	-	すべて 0	R/W	-	リザーブビット 初期値を変更しないでください。
3	SCSIRQ3	0	R/W	-	SCIF SERIRQ 要求
2	SCSIRQ2	0	R/W	-	SCIF のホスト割り込み要求を選択します。
1	SCSIRQ1	0	R/W	-	0000 : ホスト割り込み要求なし
0	SCSIRQ0	0	R/W	-	0001 : HIRQ1 0010 : SMI 0011 : HIRQ3 0100 : HIRQ4 0101 : HIRQ5 0110 : HIRQ6 0111 : HIRQ7 1000 : HIRQ8 1001 : HIRQ9 1010 : HIRQ10 1011 : HIRQ11 1100 : HIRQ12 1101 : HIRQ13 1110 : HIRQ14 1111 : HIRQ15

18.3.16 SERIRQ コントロールレジスタ 4 (SIRQCR4)

SIRQCR4 は、LPC のホスト割り込み要求を制御します。

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	IRQ15E	0	R/W	-	ホスト IRQ15 割り込みイネーブル 0 : IRQ15E による HIRQ15 割り込み要求なし 1 : HIRQ15 割り込みを要求
6	IRQ14E	0	R/W	-	ホスト IRQ14 割り込みイネーブル 0 : IRQ14E による HIRQ14 割り込み要求なし 1 : HIRQ14 割り込みを要求
5	IRQ13E	0	R/W	-	ホスト IRQ13 割り込みイネーブル 0 : IRQ13E による HIRQ13 割り込み要求なし 1 : HIRQ13 割り込みを要求
4	IRQ8E	0	R/W	-	ホスト IRQ8 割り込みイネーブル 0 : IRQ8E による HIRQ8 割り込み要求なし 1 : HIRQ8 割り込みを要求
3	IRQ7E	0	R/W	-	ホスト IRQ7 割り込みイネーブル 0 : IRQ7E による HIRQ7 割り込み要求なし 1 : HIRQ7 割り込みを要求
2	IRQ5E	0	R/W	-	ホスト IRQ5 割り込みイネーブル 0 : IRQ5E による HIRQ5 割り込み要求なし 1 : HIRQ5 割り込みを要求
1	IRQ4E	0	R/W	-	ホスト IRQ4 割り込みイネーブル 0 : IRQ4E による HIRQ4 割り込み要求なし 1 : HIRQ4 割り込みを要求
0	IRQ3E	0	R/W	-	ホスト IRQ3 割り込みイネーブル 0 : IRQ3E による HIRQ3 割り込み要求なし 1 : HIRQ3 割り込みを要求

18. LPC インタフェース (LPC)

18.3.17 SERIRQ コントロールレジスタ 5 (SIRQCR5)

SIRQCR5 は、LPC のホスト割り込み要求を制御します。

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	SELIRQ15	0	R/W	-	ホスト SELIRQ 出力選択
6	SELIRQ14	0	R/W	-	LPC のホスト割り込み要求 (HIRQ15、HIRQ14、HIRQ13、HIRQ8、HIRQ7、HIRQ5、HIRQ4、HIRQ3) の端子出力状態を選択します。 0: [ホスト割り込み要求がクリアされている場合] SERIRQ 端子出力はハイインピーダンス [ホスト割り込み要求がセットされている場合] SERIRQ 端子出力は 0 レベル 1: [ホスト割り込み要求がクリアされている場合] SERIRQ 端子出力は 0 レベル [ホスト割り込み要求がセットされている場合] SERIRQ 端子出力はハイインピーダンス
5	SELIRQ13	0	R/W	-	
4	SELIRQ8	0	R/W	-	
3	SELIRQ7	0	R/W	-	
2	SELIRQ5	0	R/W	-	
1	SELIRQ4	0	R/W	-	
0	SELIRQ3	0	R/W	-	

18.3.18 ホストインタフェースセレクトレジスタ (HISEL)

HISEL は、STR3 レジスタのビット7~4の機能を選択することができます。また、各フレームのホスト割り込み要求信号の出力を選択することができます。

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	SELSTR3	0	R/W	-	ステータスレジスタ3の選択 LADR3LのTWREビットとの組み合わせにより、STR3のビット7~4の機能を選択します。STR3についての詳細は、「18.3.11 ステータスレジスタ1~3 (STR1~STR3)」を参照してください。 0: ホストインタフェース処理中の状態を表示します。 1: [TWRE=0]のとき ホストインタフェース処理中の状態を表示します。 [TWRE=1]のとき ユーザが必要に応じて使用できるリード/ライト可能なビットになります。
6	SELIRQ11	0	R/W	-	ホスト IRQ 割り込み選択 SERIRQ 出力を選択するビットです。 0: [ホスト割り込み要求がクリアされている場合] SERIRQ 端子出力はハイインピーダンス [ホスト割り込み要求がセットされている場合] SERIRQ 端子出力はローレベル 1: [ホスト割り込み要求がクリアされている場合] SERIRQ 端子出力はローレベル [ホスト割り込み要求がセットされている場合] SERIRQ 端子出力はハイインピーダンス
5	SELIRQ10	0	R/W	-	
4	SELIRQ9	0	R/W	-	
3	SELIRQ6	0	R/W	-	
2	SELSMI	0	R/W	-	
1	SELIRQ12	1	R/W	-	
0	SELIRQ1	1	R/W	-	

18. LPC インタフェース (LPC)

18.3.19 SCIF アドレスレジスタ (SCIFADRH、SCIFADRL)

SCIFADR は、SCIF のホストアドレスの設定を行います。SCIFADR は、SCIF 動作時 (SCIFE を 1 にセットした状態) では、内容を変更しないでください。

• SCIFADRH

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	-	0	R/W	-	SCIF アドレスビット 15~8 SCIF のホストアドレスの設定を行います。
6	-	0	R/W	-	
5	-	0	R/W	-	
4	-	0	R/W	-	
3	-	0	R/W	-	
2	-	0	R/W	-	
1	-	1	R/W	-	
0	-	1	R/W	-	

• SCIFADRL

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	-	1	R/W	-	SCIF アドレスビット 15~8 SCIF のホストアドレスの設定を行います。
6	-	1	R/W	-	
5	-	1	R/W	-	
4	-	1	R/W	-	
3	-	1	R/W	-	
2	-	0	R/W	-	
1	-	0	R/W	-	
0	-	0	R/W	-	

【注】 SCIF を使用する場合は、SCIFADR の設定をチャンネル 1、2、3 と異なるアドレスにして設定してください。

18.3.20 SMIC フラグレジスタ (SMICFLG)

SMICFLG は、SMIC モードを実現するためのレジスタです。転送のための準備ができていないかを示すビットと、転送サイクルのハンドシェイクに使用するビットがあります。

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	RX_DATA_RDY	0	R/W	R	リード転送レディ スレーブがホストリード転送の準備ができたことを示すビットです。 0: ホストリード転送準備待ち状態 1: ホストリード転送準備完了
6	TX_DATA_RDY	0	R/W	R	ライト転送レディ スレーブが次のホストライト転送の準備ができたことを示すビットです。 0: ホストライト転送準備待ち状態 1: ホストライト転送準備完了
5	-	0	R/W	R	リザーブビット 初期値を変更しないでください。
4	SMI	0	R/W	R	SMI フラグ SMI がアサートされたことを示すビットです。 0: SMI がアサート待ち状態 1: SMI がアサート
3	SEVT_ATN	0	R/W	R	イベントフラグ スレーブがホストに対するイベントを検出したとき、このビットをセットします。 0: イベント検出待ち状態 1: イベント検出
2	SMS_ATN	0	R/W	R	SMS フラグ スレーブからホストに対するメッセージがあるとき、このビットをセットします。 0: メッセージなし 1: メッセージあり

18. LPC インタフェース (LPC)

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
1	-	0	R/W	R	リザーブビット 初期値を変更しないでください。
0	BUSY	0	R/(W)*	W	SMIC ビジー スレーブが転送処理中であることを示すビットです。このビットはスレーブからのクリアとホストからのセットのみ可能です。 このビットの立ち上がりは、スレーブに対する内部割り込み要因となります。 0：転送サイクル待ち状態 [クリア条件] スレーブが BUSY=1 のリード後に 0 ライト 1：転送サイクル処理中 [セット条件] ホストが 1 ライト

【注】 * フラグをクリアするための 0 ライトのみ可能です。

18.3.21 SMIC コントロールステータスレジスタ (SMICCSR)

SMICCSR は、SMIC モードを実現するためのレジスタです。ホストから発行されたコントロールコードとスレーブから返されるステータスコードを格納する 8 ビットのリード/ライト可能なレジスタです。

コントロールコードはホストとスレーブ間の転送に伴い本レジスタにライトされます。ステータスコードはコントロールコードを認識し、指定された転送サイクルが終了したことを示すため本レジスタに返されます。

18.3.22 SMIC データレジスタ (SMICDTR)

SMICDTR は、SMIC モードを実現するためのレジスタです。スレーブ (本 LSI) とホストで、どちらからもリード/ライト可能な 8 ビットのレジスタで、ホストとスレーブ間のデータ転送に使用します。

18.3.23 SMIC 割り込みレジスタ 0 (SMICIR0)

SMICIR0 は、SMIC モードを実現するためのレジスタです。スレープへの割り込み要因を示すビットがあります。

ビット	ビット名	初期値	R/W		説明
			スレープ	ホスト	
7~5	-	すべて 0	R/W	-	リザーブビット 初期値を変更しないでください。
4	HDTWI	0	R/(W)*	-	転送データ送信完了割り込み ホストから SMICDTR への転送データの送信が完了したことを示すステータスフラグです。IBFIE3 ビットと HDTWIE ビットが 1 のとき、IBFI3 割り込みがスレープに要求されます。 0: 転送データ送信待ち状態 [クリア条件] スレープが HDTWI = 1 のリード後に 0 ライト 1: 転送データ送信完了 [セット条件] 転送サイクルがライト転送で、ホストが SMICDTR に転送データをライト
3	HDTRI	0	R/(W)*	-	転送データ受信完了割り込み ホストが SMICDTR からの転送データの受信が完了したことを示すステータスフラグです。IBFIE3 ビットと HDTRIE ビットが 1 のとき、IBFI3 割り込みがスレープに要求されます。 0: 転送データ受信待ち状態 [クリア条件] スレープが HDTRI = 1 のリード後に 0 ライト 1: 転送データ受信完了 [セット条件] 転送サイクルがリード転送で、ホストが SMICDTR の転送データをリード
2	STARI	0	R/(W)*	-	ステータスコード受信完了割り込み ホストが SMICCSR からのステータスコードの受信が完了したことを示すステータスフラグです。IBFIE3 ビットと STARIE ビットが 1 のとき、IBFI3 割り込みがスレープに要求されます。 0: ステータスコード受信待ち状態 [クリア条件] スレープが STARI = 1 のリード後に 0 ライト 1: ステータスコード受信完了 [セット条件] ホストが SMICCSR のステータスコードをリード

18. LPC インタフェース (LPC)

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
1	CTLWI	0	R/(W)*	-	<p>コントロールコード送信完了割り込み</p> <p>ホストから SMICCSR へのコントロールコードの送信が完了したことを示すステータスフラグです。IBFIE3 ビットと CTLWIE ビットが 1 のとき、IBFIE3 割り込みがスレーブに要求されます。</p> <p>0 : コントロールコード送信待ち状態</p> <p>[クリア条件]</p> <p>スレーブが CTLWI = 1 のリード後に 0 ライト</p> <p>1 : コントロールコード送信完了</p> <p>[セット条件]</p> <p>ホストが SMICCSR にコントロールコードをライト</p>
0	BUSYI	0	R/(W)*	-	<p>転送開始割り込み</p> <p>ホストによる転送が開始されたことを示すステータスフラグです。IBFIE3 ビットと BUSYIE ビットが 1 のとき、IBFIE3 割り込みがスレーブに要求されます。</p> <p>0 : 転送開始待ち状態</p> <p>[クリア条件]</p> <p>スレーブが BUSYI = 1 のリード後に 0 ライト</p> <p>1 : 転送開始</p> <p>[セット条件]</p> <p>SMICFLG の BUSY ビットの立ち上がりエッジを検出</p>

【注】 * フラグをクリアするための 0 ライトのみ可能です。

18.3.24 SMIC 割り込みレジスタ 1 (SMICIR1)

SMICIR1 は、SMIC モードを実現するためのレジスタです。スレーブへの割り込みの許可/禁止を指定するビットがあります。IBFI3 割り込みを許可するときは、HICR2 の IBFIE3 ビットを 1 にしてください。

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7~5	-	すべて 0	R/W	-	リザーブビット 初期値を変更しないでください。
4	HDTWIE	0	R/W	-	転送データ送信完了割り込みイネーブル スレーブへの IBFI3 割り込み要因である HDTWI 割り込みを許可または禁止します。 0: 転送データ送信完了割り込みを禁止 1: 転送データ送信完了割り込みを許可
3	HDTRIE	0	R/W	-	転送データ受信完了割り込みイネーブル スレーブへの IBFI3 割り込み要因である HDTRI 割り込みを許可または禁止します。 0: 転送データ受信完了割り込みを禁止 1: 転送データ受信完了割り込みを許可
2	STARIE	0	R/W	-	ステータスコード受信完了割り込みイネーブル スレーブへの IBFI3 割り込み要因である STARI 割り込みを許可または禁止します。 0: ステータスコード受信完了割り込みを禁止 1: ステータスコード受信完了割り込みを許可
1	CTLWIE	0	R/W	-	コントロールコード送信完了割り込みイネーブル スレーブへの IBFI3 割り込み要因である CTLWI 割り込みを許可または禁止します。 0: コントロールコード送信完了割り込みを禁止 1: コントロールコード送信完了割り込みを許可
0	BUSYIE	0	R/W	-	転送開始割り込みイネーブル スレーブへの IBFI3 割り込み要因である BUSYI 割り込みを許可または禁止します。 0: 転送開始割り込みを禁止 1: 転送開始割り込みを許可

18. LPC インタフェース (LPC)

18.3.25 BT ステータスレジスタ 0 (BTSR0)

BTSR0 は、BT モードを実現するためのレジスタです。スレーブ (本 LSI) に対する割り込みを制御するフラグがあります。

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7~5	-	すべて 0	R/W	-	リザーブビット 初期値を変更しないでください。
4	FRDI	0	R/(W)*	-	FIFO 読み出し要求割り込み BT DTR バッファへのホストライト転送時、FIFO Full 状態でホストライトされたことを示すステータスフラグです。IBFIE3 ビットと FRDIE ビットが 1 のとき、IBFIE3 割り込みがスレーブに要求されず、FIFO のデータを読み出し、空きエリアを作ってからフラグをクリアする必要があります。 0: FIFO 読み出し要求なし [クリア条件] • スレーブが FRDI=1 のリード後に 0 ライト 1: FIFO 読み出し要求あり [セット条件] • ホスト転送時、FIFO Full 状態でホストライト
3	HRDI	0	R/(W)*	-	BT ホストリード割り込み ホストが BT DTR バッファから 1 バイトリードしたことを示すステータスフラグです。IBFIE3 ビットと HRDIE ビットが 1 のとき、IBFIE3 割り込みがスレーブに要求されます。 0: ホストの BT DTR リード待ち状態 [クリア条件] • スレーブが HRDI=1 のリード後に 0 ライト 1: ホストが BT DTR をリード [セット条件] • ホストが 1 バイトリード
2	HWRI	0	R/(W)*	-	BT ホストライト割り込み ホストが BT DTR バッファに 1 バイトライトしたことを示すステータスフラグです。IBFIE3 ビットと HWRIE ビットが 1 のとき、IBFIE3 割り込みがスレーブに要求されます。 0: ホストの BT DTR ライト待ち状態 [クリア条件] • スレーブが HWRI=1 のリード後に 0 ライト 1: ホストが BT DTR にライト [セット条件] • ホストが 1 バイトライト

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
1	HBTWI	0	R/(W)*	-	<p>BTDDR ホストライト開始割り込み</p> <p>ホストが BTDDR バッファに有効データの 1 バイト目をライトしたことを示すステータスフラグです。IBFIE3 ビットと HBTWIE ビットが 1 のとき、IBFI3 割り込みがスレーブに要求されます。</p> <p>0 : BTDDR ホストライト開始待ち状態</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> スレーブが HBTWI = 1 のリード後に 0 ライト <p>1 : BTDDR ホストライト開始</p> <p>[セット条件]</p> <ul style="list-style-type: none"> ホストが BTDDR に有効データをライト開始
0	HBTRI	0	R/(W)*	-	<p>BTDDR ホストリード完了割り込み</p> <p>ホストが BTDDR バッファからすべての有効データをリードしたことを示すステータスフラグです。IBFIE3 ビットと HBTRIE ビットが 1 のとき、IBFI3 割り込みがスレーブに要求されます。</p> <p>0 : BTDDR ホストリード完了待ち状態</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> スレーブが HBTRI = 1 のリード後に 0 ライト <p>1 : BTDDR ホストリード完了</p> <p>[セット条件]</p> <ul style="list-style-type: none"> ホストが BTDDR の有効データをリード完了

【注】 * フラグをクリアするための 0 ライトのみ可能です。

18. LPC インタフェース (LPC)

18.3.26 BT ステータスレジスタ 1 (BTSR1)

BTSR1 は BT モードを実現するためのレジスタです。スレーブ (本 LSI) に対する割り込みを制御するフラグがあります。

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	-	0	R/W	-	リザーブビット 初期値を変更しないでください。
6	HRSTI	0	R/(W)*	-	BT リセット割り込み BTIMSR の BMC_HWRST ビットがホストにより 1 にセットされたことを示すステータスフラグです。IBFIE3 ビットと HRSTIE ビットが 1 のとき、IBFI3 割り込みがスレーブに要求されます。 0: [クリア条件] スレーブが HRSTI = 1 のリード後に 0 ライト 1: [セット条件] BMC_HWRST の立ち上がりエッジを検出
5	IRQCRI	0	R/(W)*	-	B2H_IRQ クリア割り込み BTIMSR の B2H_IRQ ビットがホストによりクリアされたことを示すステータスフラグです。IBFIE3 ビットと IRQCRIE ビットが 1 のとき、IBFI3 割り込みがスレーブに要求されます。 0: [クリア条件] スレーブが IRQCRI = 1 のリード後に 0 ライト 1: [セット条件] B2H_IRQ の立ち下がりエッジを検出
4	BEVTI	0	R/(W)*	-	BEVT_ATN クリア割り込み BTCR の BEVT_ATN ビットがホストによりクリアされたことを示すステータスフラグです。IBFIE3 ビットと BEVTIE ビットが 1 のとき、IBFI3 割り込みがスレーブに要求されます。 0: [クリア条件] スレーブが BEVTI = 1 のリード後に 0 ライト 1: [セット条件] BEVT_ATN の立ち下がりエッジを検出
3	B2HI	0	R/(W)*	-	リード完了割り込み ホストによる BTDTR バッファリードが完了したことを示すステータスフラグです。IBFIE3 ビットと B2HIE ビットが 1 のとき、IBFI3 割り込みがスレーブに要求されます。 0: [クリア条件] スレーブが B2HI = 1 のリード後に 0 ライト 1: [セット条件] B2H_ATN の立ち下がりエッジを検出

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
2	H2BI	0	R/(W)*	-	<p>ライト完了割り込み</p> <p>ホストによる BTDTDR バッファライトが完了したことを示すステータスフラグです。IBFIE3 ビットと H2BIE ビットが 1 のとき、IBFI3 割り込みがスレーブに要求されます。</p> <p>0: [クリア条件] スレーブが H2BI=1 のリード後に 0 ライト</p> <p>1: [セット条件] H2B_ATN の立ち上がりエッジを検出</p>
1	CRRPI	0	R/(W)*	-	<p>リードポインタクリア割り込み</p> <p>BTDR の CLR_RD_PTR ビットがホストにより 1 にセットされたことを示すステータスフラグです。IBFIE3 ビットと CRRPIE ビットが 1 のとき、IBFI3 割り込みがスレーブに要求されます。</p> <p>0: [クリア条件] スレーブが CRRPI=1 のリード後に 0 ライト</p> <p>1: [セット条件] CLR_RD_PTR の立ち上がりエッジを検出</p>
0	CRWPI	0	R/(W)*	-	<p>ライトポインタクリア割り込み</p> <p>BTDR の CLR_WR_PTR ビットがホストにより 1 にセットされたことを示すステータスフラグです。IBFIE3 ビットと CRWPIE ビットが 1 のとき、IBFI3 割り込みがスレーブに要求されます。</p> <p>0: [クリア条件] スレーブが CRWPI=1 のリード後に 0 ライト</p> <p>1: [セット条件] CLR_WR_PTR の立ち上がりエッジを検出</p>

【注】 * フラグをクリアするための 0 ライトのみ可能です。

18. LPC インタフェース (LPC)

18.3.27 BT コントロールステータスレジスタ 0 (BTCSR0)

BTCSR0 は、BT モードを実現するためのレジスタです。BT 転送において FIFO 使用の切り替えと、スレーブ(本 LSI) に対する割り込みを許可または禁止するビットがあります。IBFI3 割り込みを許可するときは、HICR2 の IBFIE3 ビットを 1 にしてください。

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	-	0	R/W	-	リザーブビット 初期値を変更しないでください。
6	FSEL1	0	R/W	-	BT 転送を行う場合、FIFO 使用を選択します。 FSEL1 FSEL0 0 * : FIFO 使用不可 1 * : FIFO 使用可 FIFO サイズ: 64 バイト(ホストライト転送用)+64 バイト(ホストリード転送用)
5	FSEL0	0	R/W	-	
4	FRDIE	0	R/W	-	FIFO 読み出し要求割り込みイネーブル スレーブへの IBFI3 割り込み要因である FRDI 割り込みを許可または禁止するビットです。 0 : FIFO 読み出し要求割り込みを禁止 1 : FIFO 読み出し要求割り込みを許可
3	HRDIE	0	R/W	-	BT ホストリード割り込みイネーブル スレーブへの IBFI3 割り込み要因である HRDI 割り込みを許可または禁止するビットです。 FIFO 使用時はこのビットを 1 にセットしないでください。 0 : BT ホストリード割り込みを禁止 1 : BT ホストリード割り込みを許可
2	HWRIE	0	R/W	-	BT ホストライト割り込みイネーブル スレーブへの IBFI3 割り込み要因である HWRI 割り込みを許可または禁止するビットです。 FIFO 使用時はこのビットを 1 にセットしないでください。 0 : BT ホストライト割り込みを禁止 1 : BT ホストライト割り込みを許可
1	HBTWIE	0	R/W	-	BT DTR ホストライト開始割り込みイネーブル スレーブへの IBFI3 割り込み要因である HBTWI 割り込みを許可または禁止するビットです。 0 : BT DTR ホストライト開始割り込みを禁止 1 : BT DTR ホストライト開始割り込みを許可
0	HBTRIE	0	R/W	-	BT DTR ホストリード完了割り込みイネーブル スレーブへの IBFI3 割り込み要因である HBTRI 割り込みを許可または禁止するビットです。 0 : BT DTR ホストリード完了割り込みを禁止 1 : BT DTR ホストリード完了割り込みを許可

【注】 * : Don't care

18.3.28 BT コントロールステータスレジスタ 1 (BTCSR1)

BTCSR1 は BT モードを実現するためのレジスタです。スレーブ (本 LSI) に対する割り込みを許可または禁止するビットがありあます。IBFI3 割り込みを許可するときは、HICR2 の IBFIE3 ビットを 1 にしてください。

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	RSTRENB	0	R/W	-	スレーブリセットリードイネーブル BTIMSR の BMC_HWRST ビットはホスト 0 リードのビットです。 本ビットをセットすることによりホスト 1 リードを可能とします。 0 : BMC_HWRST ホスト 0 リードのみ有効 1 : BMC_HWRST ホスト 1 リード可能
6	HRSTIE	0	R/W	-	BT リセット割り込みイネーブル スレーブへの IBFI3 割り込み要因である HRSTI 割り込みを許可または禁止するビットです。 0 : BT リセット割り込みを禁止 1 : BT リセット割り込みを許可
5	IRQCRIE	0	R/W	-	B2H_IRQ クリア割り込みイネーブル スレーブへの IBFI3 割り込み要因である IRQCRI 割り込みを許可または禁止するビットです。 0 : B2H_IRQ クリア割り込みを禁止 1 : B2H_IRQ クリア割り込みを許可
4	BEVTIE	0	R/W	-	BEVT_ATN クリア割り込みイネーブル スレーブへの IBFI3 割り込み要因である BEVTI 割り込みを許可または禁止するビットです。 0 : BEVT_ATN クリア割り込みを禁止 1 : BEVT_ATN クリア割り込みを許可
3	B2HIE	0	R/W	-	リード完了割り込みイネーブル スレーブへの IBFI3 割り込み要因である B2HI 割り込みを許可または禁止するビットです。 0 : リード完了割り込みを禁止 1 : リード完了割り込みを許可
2	H2BIE	0	R/W	-	ライト完了割り込みイネーブル スレーブへの IBFI3 割り込み要因である H2BI 割り込みを許可または禁止するビットです。 0 : ライト完了割り込みを禁止 1 : ライト完了割り込みを許可
1	CRRPIE	0	R/W	-	リードポインタクリア割り込みイネーブル スレーブへの IBFI3 割り込み要因である CRRPI 割り込みを許可または禁止するビットです。 0 : リードポインタクリア割り込みを禁止 1 : リードポインタクリア割り込みを許可

18. LPC インタフェース (LPC)

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
0	CRWPIE	0	R/W	-	ライトポインタクリア割り込みイネーブル スレーブへの IBFI3 割り込み要因である CRWPI 割り込みを許可または禁止するビットです。 0: ライトポインタクリア割り込みを禁止 1: ライトポインタクリア割り込みを許可

18.3.29 BT コントロールレジスタ (BTCR)

BTCR は BT モードを実現するためのレジスタです。転送サイクルのハンドシェイクに使用するビット、バッファに対するデータ転送完了を示すビットがあります。

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	B_BUSY	1	R/W	R	BT ライト転送ビジービット ホストからリード専用のビットです。BT ライト転送において BTDR バッファが使用中 (ライト転送中) であることを示します。 0: BT ライト転送待ち状態 1: BTDR バッファ使用中
6	H_BUSY	0	R	(W)* ³	BT リード転送ビジービット ホストからセット/クリア可能なビットです。BT リード転送において BTDR バッファが使用中 (リード転送中) であることを示します。 0: BT リード転送待ち状態 [クリア条件] ホストが H_BUSY = 1 で 1 ライト 1: BTDR バッファ使用中 [セット条件] ホストが H_BUSY = 0 で 1 ライト
5	OEM0	0	R/W	R/(W)* ⁴	ユーザ定義ビット ユーザが定義可能なビットです。ホストからは 0 ライトによる 1 セットのみ有効です。 0: [クリア条件] スレーブが OEM0 = 1 のリード後に 0 ライト 1: [セット条件] スレーブが OEM0 = 0 のリード後に 1 ライト、またはホストが 0 ライト

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
4	BEVT_ATN	0	R/(W)* ¹	R/(W)* ⁵	<p>イベント割り込みビット</p> <p>スレーブがホストに対するイベントを検出したときにこのビットをセットします。このビットは BTIMSR レジスタの B2H_IRQ_EN ビットをセットすることによりホストへの割り込み要因として使用可能です。</p> <p>0: イベント割り込み要求なし</p> <p>[クリア条件]</p> <p>ホストが 1 ライト</p> <p>1: イベント割り込み要求あり</p> <p>[セット条件]</p> <p>スレーブが BEVT_ATN=0 のリード後に 1 ライト</p>
3	B2H_ATN	0	R/(W)* ¹	R/(W)* ⁵	<p>スレーブバッファライト完了通知ビット</p> <p>スレーブが BTDTR バッファに書き込みが完了したことを示すビットです。このビットは BTIMSR レジスタの B2H_IRQ_EN ビットをセットすることによりホストへの割り込み要因として使用可能です。</p> <p>0: ホストが BTDTR バッファリード完了</p> <p>[クリア条件]</p> <p>ホストが 1 ライト</p> <p>1: スレーブが BTDTR バッファライト完了</p> <p>[セット条件]</p> <p>スレーブが B2H_ATN=0 のリード後に 1 ライト</p>
2	H2B_ATN	0	R/(W)* ²	R/(W)* ¹	<p>ホストバッファライト完了通知ビット</p> <p>ホストが BTDTR バッファに書き込みが完了したことを示すビットです。</p> <p>0: スレーブが BTDTR バッファリード完了</p> <p>[クリア条件]</p> <p>スレーブが H2B_ATN=1 リード後に 0 ライト</p> <p>1: ホストが BTDTR バッファライト完了</p> <p>[セット条件]</p> <p>ホストが 1 ライト</p>

18. LPC インタフェース (LPC)

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
1	CLR_RD_PTR	0	R/(W)* ²	(W)* ¹	<p>リードポインタクリアビット</p> <p>リード転送時、ホストが BTDTR バッファのリードポインタをクリアするためのビットです。ホストからのリードは常に 0 が読み出されます。</p> <p>0: リードポインタクリア待ち</p> <p>[クリア条件]</p> <p>スレーブが CLR_RD_PTR = 1 のリード後に 0 ライト</p> <p>1: リードポインタクリア</p> <p>[セット条件]</p> <p>ホストが 1 ライト</p>
0	CLR_WR_PTR	0	R/(W)* ²	(W)* ¹	<p>ライトポインタクリアビット</p> <p>ライト転送時、ホストが BTDTR バッファのライトポインタをクリアするためのビットです。ホストからのリードは常に 0 が読み出されます。</p> <p>0: ライトポインタクリア待ち</p> <p>[クリア条件]</p> <p>スレーブが CLR_WR_PTR = 1 のリード後に 0 ライト</p> <p>1: ライトポインタクリア</p> <p>[セット条件]</p> <p>ホストが 1 ライト</p>

【注】 *1 フラグセットのための 1 ライトのみ可能です。

*2 フラグクリアのための 0 ライトのみ可能です。

*3 フラグトグルのための 1 ライトのみ可能です。

*4 フラグセットのための 0 ライトのみ可能です。

*5 フラグクリアのための 1 ライトのみ可能です。

18.3.30 BT データバッファ (BTDTR)

BTDTR は BT モードを実現するためのレジスタです。BTDTR はホストライト転送用とホストリード転送用の 2 つの FIFO で構成されており、容量はそれぞれ 64 バイトです。使用するときは BTCSR0 の FSEL1、FSEL0 ビットで FIFO 使用可を選択してください。

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	bit7	不定	R/W	R/W	ホストがライトしたデータは、ホストライト転送用 FIFO (64 バイト) に蓄積され、スレーブがリードすることにより、ホストがライトした順番で読み出されます。スレーブがライトしたデータは、ホストリード転送用 FIFO (64 バイト) に蓄積され、ホストがリードすることにより、スレーブがライトした順番で読み出されます。
6	bit6	不定	R/W	R/W	
5	bit5	不定	R/W	R/W	
4	bit4	不定	R/W	R/W	
3	bit3	不定	R/W	R/W	
2	bit2	不定	R/W	R/W	
1	bit1	不定	R/W	R/W	
0	bit0	不定	R/W	R/W	

18.3.31 BT 割り込みマスクレジスタ (BTIMSR)

BTIMSR は BT モードを実現するためのレジスタです。BTIMSR はホストに対する割り込みの制御を行うビットがあります。

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	BMC_ HWRST	0	R/(W)* ²	R/(W)* ¹	スレーブリセット スレーブに対するホストからのリセットです。ホストは 1 ライトのみで 0 ライトは無効です。ホストからのリードは常に 0 が読み出されます。RSTRENB1 ビットをセットすることによりホストからの 1 リードが可能となります。 0 : リセット解除 [クリア条件] • スレーブが BMC_HWRST = 1 のリード後に 0 ライト 1 : リセット中 [セット条件] • ホストが 1 ライト
6	-	0	R/W	R/W	リザーブビット
5	-	0	R/W	R/W	初期値を変更しないでください。

18. LPC インタフェース (LPC)

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
4 3 2	OEM3 OEM2 OEM1	0 0 0	R/W R/W R/W	R/(W)* ⁴ R/(W)* ⁴ R/(W)* ⁴	ユーザ定義ビット ユーザが定義可能なビットです。ホストからは0ライトによる1セットのみ有効です。 0: [クリア条件] スレーブが OEM = 1 のリード後に 0 ライト 1: [セット条件] スレーブが OEM = 0 のリード後に 1 ライト、またはホストが 0 ライト
1	B2H_IRQ	0	R/(W)* ¹	R/(W)* ³	BMC to HOST 割り込み BEVT_ATN または B2H_ATN ビットがセットされた場合、ホストへの割り込みとしてホストに通知するビットです。SERIRQ は発行されません。SERIRQ を使用する場合は、プログラムで SERIRQ を発行してください。 0: B2H_IRQ 割り込み要求なし [クリア条件] ホストからの 1 ライト 1: B2H_IRQ 割り込み要求あり [セット条件] B2H_IRQ = 0 のリード後のスレーブ 1 ライト
0	B2H_IRQ _EN	0	R	R/W	BMC to HOST 割り込みイネーブル スレーブからホストへの割り込み要因である B2H_IRQ 割り込みの許可または禁止をします。 0: B2H_IRQ 割り込みを禁止 [クリア条件] ホストによる 0 ライト 1: B2H_IRQ 割り込みを許可 [セット条件] ホストによる 1 ライト

- 【注】 *1 フラグセットのための 1 ライトのみ可能です。
*2 フラグクリアのための 0 ライトのみ可能です。
*3 フラグクリアのための 1 ライトのみ可能です。
*4 フラグセットのための 0 ライトのみ可能です。

18.3.32 BT FIFO 有効サイズレジスタ 0 (BTFVSR0)

BTFVSR0 は BT モードを実現するためのレジスタです。BTFVSR0 はホストライト転送用 FIFO 内の有効データサイズを表示します。

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	N7	0	R	-	ホストライト転送用 FIFO にある有効データのバイト数 (スレーブがリード可能なバイト数) を示します。BTFVSR0 の値はホストがデータをライトすると、ライトしたバイト数だけインクリメントされます。また、スレーブがデータをリードすると、リードしたバイト数だけデクリメントされます。
6	N6	0	R	-	
5	N5	0	R	-	
4	N4	0	R	-	
3	N3	0	R	-	
2	N2	0	R	-	
1	N1	0	R	-	
0	N0	0	R	-	

18.3.33 BT FIFO 有効サイズレジスタ 1 (BTFVSR1)

BTFVSR1 は BT モードを実現するためのレジスタです。BTFVSR1 はホストリード転送用 FIFO 内の有効データサイズを表示します。

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	N7	0	R	-	ホストリード転送用 FIFO にある有効データのバイト数 (ホストがリード可能なバイト数) を示します。BTFVSR1 の値はスレーブがデータをライトすると、ライトしたバイト数だけインクリメントされます。また、ホストがデータをリードすると、リードしたバイト数だけデクリメントされます。
6	N6	0	R	-	
5	N5	0	R	-	
4	N4	0	R	-	
3	N3	0	R	-	
2	N2	0	R	-	
1	N1	0	R	-	
0	N0	0	R	-	

18.4 動作説明

18.4.1 LPC インタフェースの起動

HICR0 の LPC3E ~ LPC1E ビット、HICR5 の SCIFE ビットのいずれかひとつを 1 にセットすることにより、LPC インタフェースが起動します。LPC インタフェースを起動することにより、関連する I/O ポート (PE7 ~ 0、PD5、PD4) は LPC インタフェース専用入出力となります。さらに HICR0 の FGA20E、PMEE、LSMIE および LSCIE ビットを 1 にセットすることにより、関連する I/O ポート (PD3、PD2、PD1、PD0) が LPC インタフェースの入出力に加わります。

リセット解除後の LPC インタフェースの起動は、以下の手順に従ってください。

1. 信号線の状態をリードして、LPCを接続可能であることを確認します。
また、LPCの内部状態が初期状態であることを確認します。
2. チャンネル1、2を使用する場合は、LADR1、LADR2を設定してI/Oアドレスを決定します。
3. チャンネル3を使用する場合は、LADR3を設定してチャンネル3のI/Oアドレスおよび双方向レジスタの使用の有無を決定します。
4. SCIFEインタフェースを使用する場合はSCIFARを設定してI/Oアドレスを決定します。
5. 使用するチャンネルのイネーブルビット (LPC3E ~ LPC1E、SCIFE) をセットします。
6. 使用する付加機能のイネーブルビット (FGA20E、PMEE、LSMIE、LSCIE) をセットします。
7. その他の機能の選択ビット (SDWNE、IEDIR) を設定します。
8. 念のため、割り込みフラグ (LRST、SDWN、ABRT、OBF、OBEI) をクリアします。IBFをクリアするために、IDRやTWR15をリードします。
9. 受信完了割り込みが必要なときは、受信完了割り込みイネーブルビット (IBFIE3 ~ IBFIE1、ERRIE、OBEIE) を設定します。

18.4.2 LPC の I/O サイクル

LPC の転送サイクルには、LPC メモリリード、LPC メモリライト、I/O リード、I/O ライト、DMA リード、DMA ライト、バスマスタメモリリード、バスマスタメモリライト、バスマスタ I/O リード、バスマスタ I/O ライト、FW メモリリード、FW メモリライトの、合計 12 種類が存在します。本 LSI の LPC は、このうち I/O リード、I/O ライトをサポートします。

LPC の転送サイクルは、バスアイドル状態で $\overline{\text{LFRAME}}$ 信号が Low レベルになることにより起動されます。バスアイドルでない状態で $\overline{\text{LFRAME}}$ 信号が Low レベルになると、その LPC 転送サイクルの強制終了 (アボート) が要求されたことを表します。

I/O リードサイクルおよび I/O ライトサイクルでは、LCLK に同期して、次の順番で LAD3 ~ LAD0 を用いて転送が行われます。スレーブからの同期返送サイクルは、B'0000 以外の値を返送してホストを待たせることが可能ですが、本 LSI の LPC では必ず B'0000 を返送します。(BT インタフェースを除く)

LPC インタフェースは、受信したアドレスが LPC のレジスタのホストアドレスに一致した場合にビジーとなり、ステートカウンタ 12 のターンアラウンドを出力することによりアイドル状態に戻ります。レジスタおよびフラグの変更は、このタイミングで行われるため、転送サイクルの強制終了 (アボート) があつた場合にはレジスタおよびフラグの内容の変更は行われません。

$\overline{\text{LFRAME}}$ 、LCLK、LAD 信号のタイミングを図 18.2、図 18.3 に示します。

表 18.5 LPC I/O サイクル

ステート カウンタ	I/O リードサイクル			I/O ライトサイクル		
	内容	駆動元	値 (3~0)	内容	駆動元	値 (3~0)
1	スタート	ホスト	0000	スタート	ホスト	0000
2	サイクル種類 / 方向	ホスト	0000	サイクル種類 / 方向	ホスト	0010
3	アドレス 1	ホスト	bit15 ~ 12	アドレス 1	ホスト	bit15 ~ 12
4	アドレス 2	ホスト	bit11 ~ 8	アドレス 2	ホスト	bit11 ~ 8
5	アドレス 3	ホスト	bit7 ~ 4	アドレス 3	ホスト	bit7 ~ 4
6	アドレス 4	ホスト	bit3 ~ 0	アドレス 4	ホスト	bit3 ~ 0
7	ターンアラウンド (リカバリー)	ホスト	1111	データ 1	ホスト	bit3 ~ 0
8	ターンアラウンド	なし	ZZZZ	データ 2	ホスト	bit7 ~ 4
9	同期	スレーブ	0000	ターンアラウンド (リカバリー)	ホスト	1111
10	データ 1	スレーブ	bit3 ~ 0	ターンアラウンド	なし	ZZZZ
11	データ 2	スレーブ	bit7 ~ 4	同期	スレーブ	0000
12	ターンアラウンド (リカバリー)	スレーブ	1111	ターンアラウンド (リカバリー)	スレーブ	1111
13	ターンアラウンド	なし	ZZZZ	ターンアラウンド	なし	ZZZZ

18. LPC インタフェース (LPC)

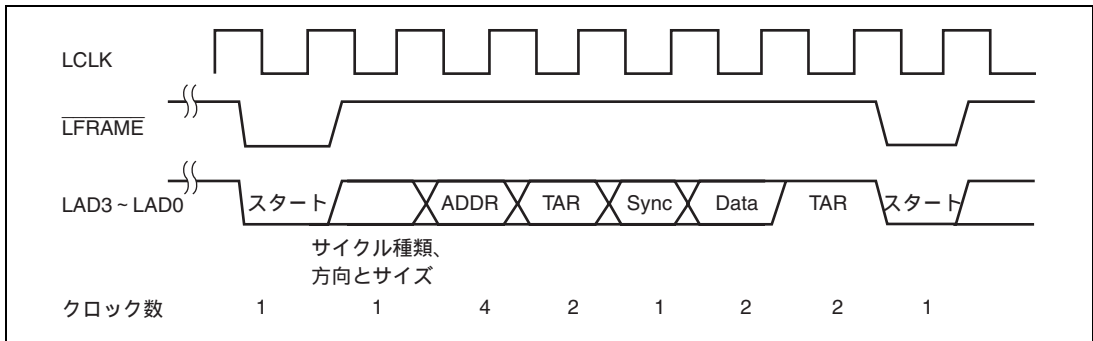


図 18.2 LFRAME のタイミング例

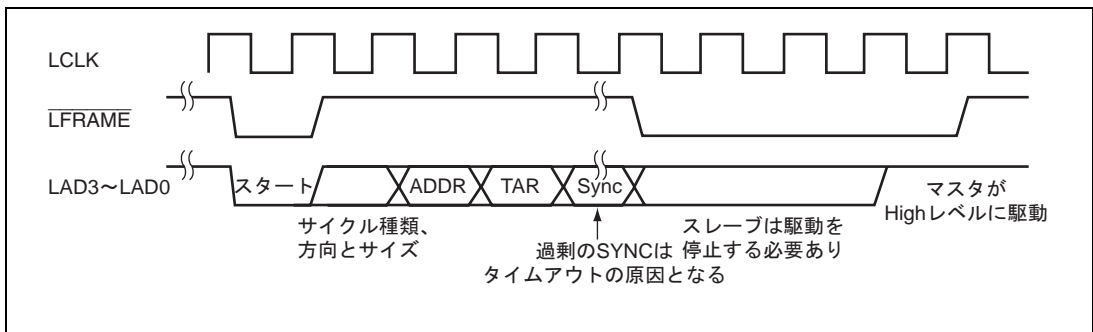


図 18.3 アポートメカニズム

18. LPC インタフェース (LPC)

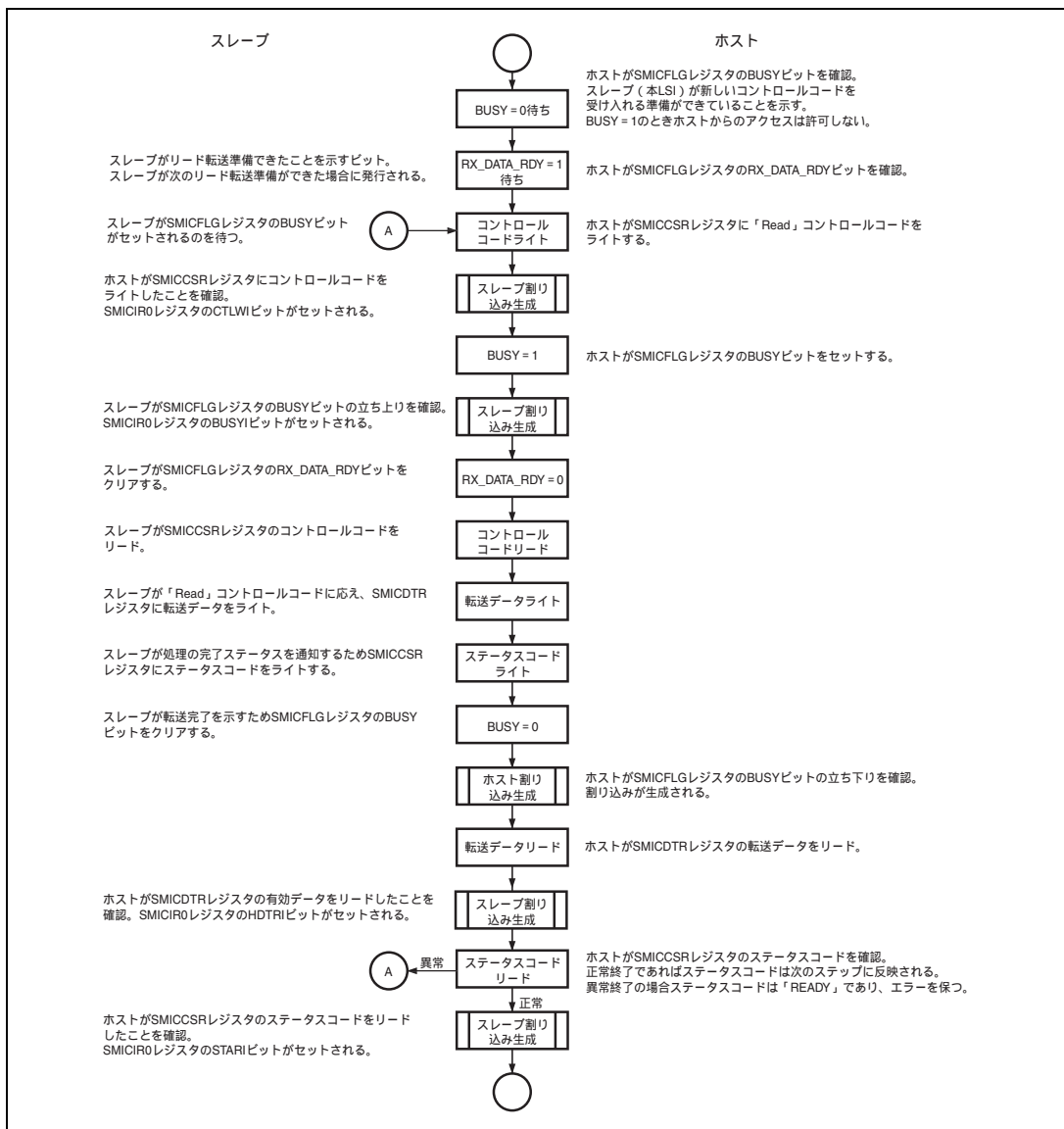


図 18.5 SMIC リード転送フロー

18.4.4 BT モードの転送フロー

BT モードのライト転送フローを図 18.6 に、リード転送フローを図 18.7 に示します。

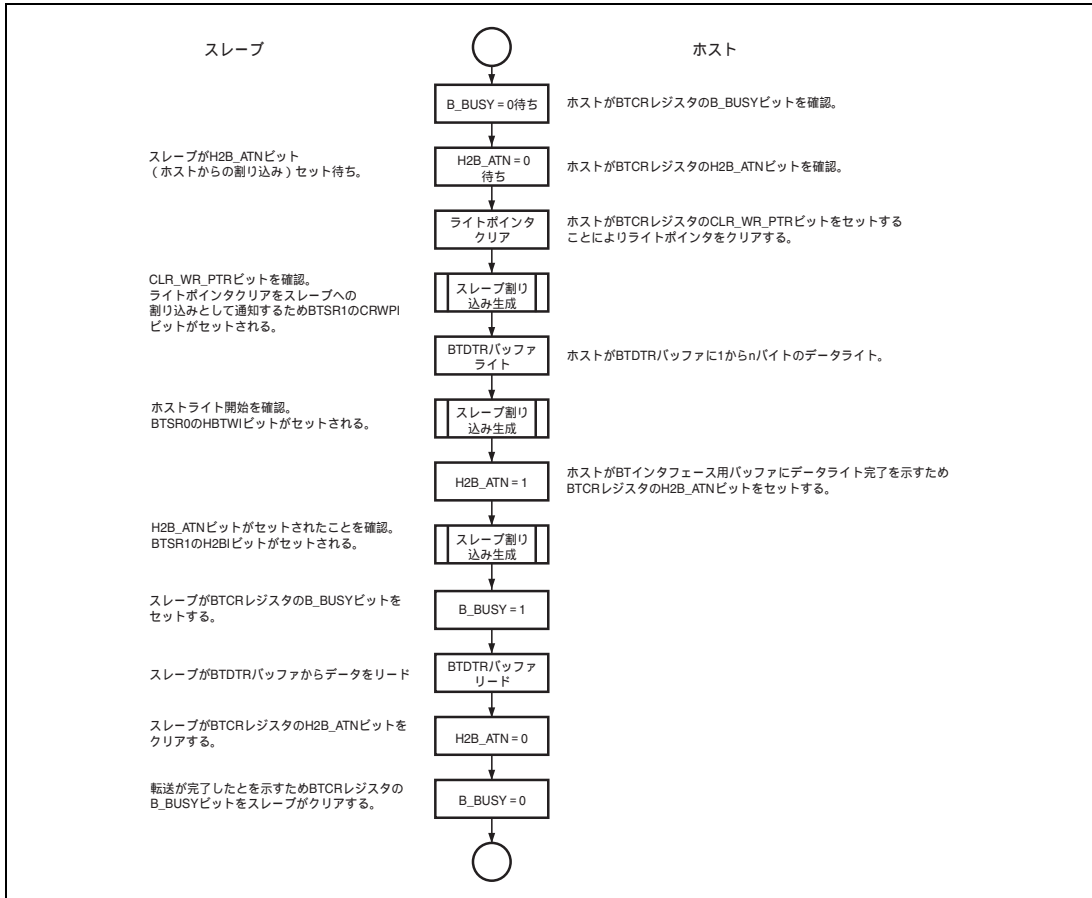


図 18.6 BT ライト転送フロー

18. LPC インタフェース (LPC)

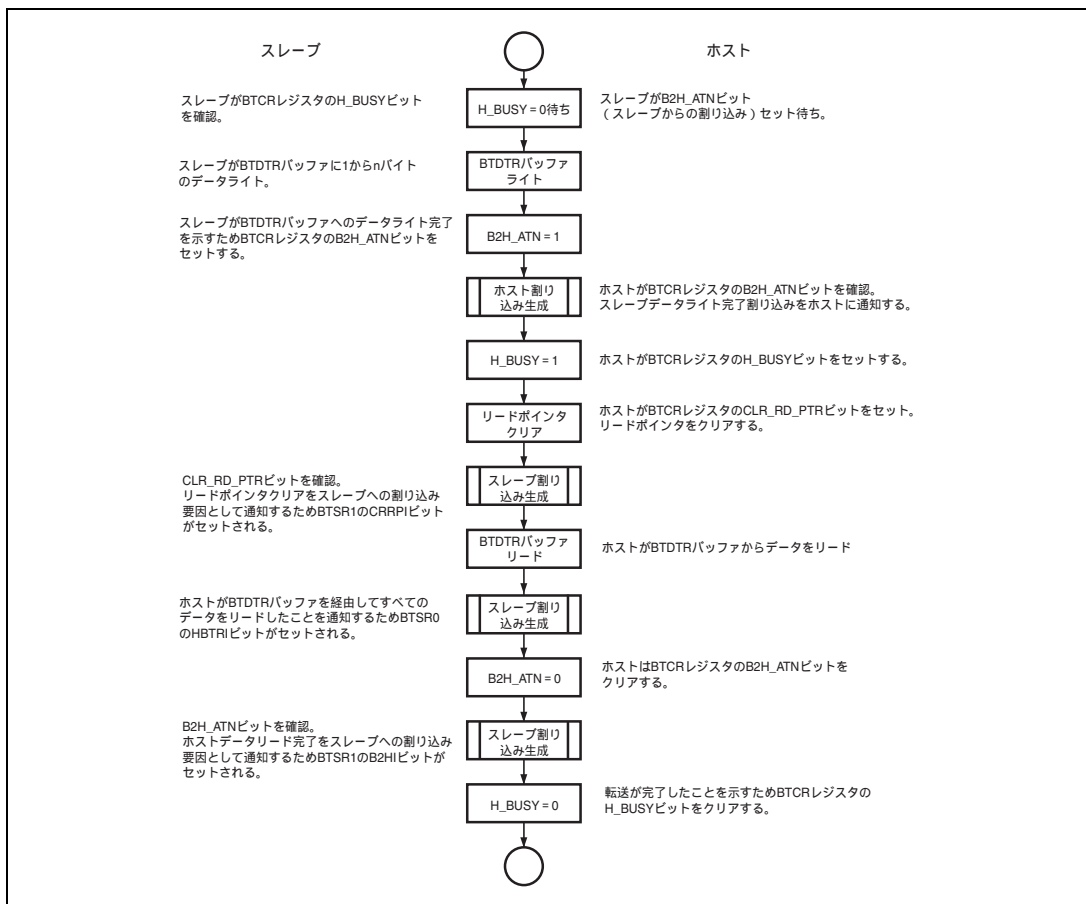


図 18.7 BT リード転送フロー

18.4.5 GATE A20

GATE A20 は 8086*系 CPU を使用したパソコンのアドレッシングモードをエミュレートするための機能で、アドレス A20 をマスクすることができます。本出力は通常 GATE A20 としてファームウェアで制御されますが、HICR0 の FGA20E ビットを 1 にセットすることによりハードウェアで処理速度を上げた、高速 GATE A20 機能を使用することが可能です。

【注】 * 米国インテル社のマイクロプロセッサの名称です。

(1) 通常の GATE A20 の動作

H'D1 コマンドとデータの組み合わせで GATE A20 の出力を制御することができます。スレーブ (本 LSI) がデータを受信するときは、通常は IBF11 割り込みによる割り込みルーチン使用して IDR1 をリードします。このとき、ファームウェアにより H'D1 コマンドに続くデータのビット 1 の値をコピーして GATE A20 端子に出力します。

(2) 高速 GATE A20 の動作

GA20 出力の内部状態は、FGA20E=0 であることにより 1 に初期化されます。FGA20E ビットを 1 にセットすると、GA20 は高速 GA20 信号の出力端子となります。GA20 端子の状態をモニタする場合は、HICR2 の GA20 ビットをリードしてください。

端子は、最初に初期値である 1 を出力します。その後ホストはコマンド / データを送ることにより本端子の出力を操作することができます。本機能は IDR1 によってのみ使用できます。この場合、ホストインタフェースはホストから入力されてくるコマンドをデコードします。ホストコマンド H'D1 が検出されると、このホストコマンドに続くデータのビット 1 が GA20 出力端子から出力されます。本動作は、ファームウェアや割り込みに依存しないため、通常の割り込みを使用した処理よりも高速です。表 18.4 に GA20 のセット / クリアの条件を、図 18.6 に GA20 出力のフローを示します。また、表 18.7 に GA20 出力信号の値を示します。

表 18.6 GA20 のセット / クリアタイミング

端子名	セット条件	クリア条件
GA20	H'D1 ホストコマンドに続くデータのビット 1 が 1 のとき	H'D1 ホストコマンドに続くデータのビット 1 が 0 のとき

18. LPC インタフェース (LPC)

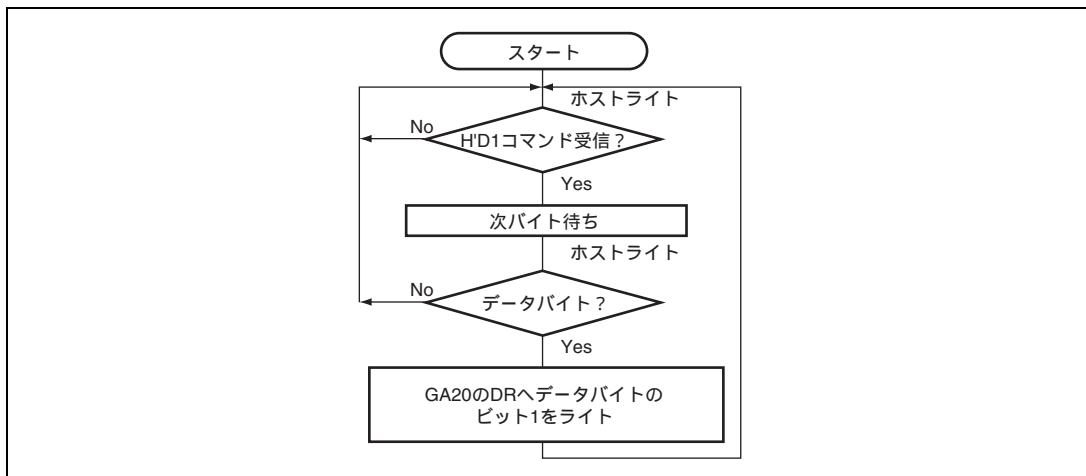


図 18.8 GA20 出力

表 18.7 高速 GATE A20 出力信号

C/D1	データ/コマンド	内部 CPU 割り込みフラグ (IBF)	GA20	備 考
1 0 1	H'D1 コマンド 1 データ*1 H'FF コマンド	0 0 0	Q 1 Q (1)	ターンオンシーケンス
1 0 1	H'D1 コマンド 0 データ*2 H'FF コマンド	0 0 0	Q 0 Q (0)	ターンオフシーケンス
1 0 1/0	H'D1 コマンド 1 データ*1 H'FF・H'D1 コマンド以外	0 0 1	Q 1 Q (1)	ターンオンシーケンス (短縮形)
1 0 1/0	H'D1 コマンド 0 データ*2 H'FF・H'D1 コマンド以外	0 0 1	Q 0 Q (0)	ターンオフシーケンス (短縮形)
1 1	H'D1 コマンド H'D1 以外のコマンド	0 1	Q Q	シーケンスの取消し
1 1	H'D1 コマンド H'D1 コマンド	0 0	Q Q	シーケンスの再トリガ
1 0 1	H'D1 コマンド 任意のデータ H'D1 コマンド	0 0 0	Q 1/0 Q (1/0)	シーケンスの連続実行

【注】 *1 ビット 1 が 1 の任意のデータ

*2 ビット 1 が 0 の任意のデータ

18.4.6 LPC インタフェースのシャットダウン機能 (LPCPD)

$\overline{\text{LPCPD}}$ 端子の状態により、LPC インタフェースをシャットダウン状態にすることができます。LPC インタフェースのシャットダウン状態には、LPC ハードウェアシャットダウン状態と LPC ソフトウェアシャットダウン状態の 2 種類があります。LPC ハードウェアシャットダウン状態は $\overline{\text{LPCPD}}$ 端子で、LPC ソフトウェアシャットダウン状態は SDWNB ビットで制御されます。いずれの状態でも、LPC インタフェースは部分的にリセット状態となり、 $\overline{\text{LRESET}}$ 信号および $\overline{\text{LPCPD}}$ 信号以外の外部信号の影響を受けなくなります。

シャットダウン状態での消費電流を低減するためには、スレーブをスリープモードまたはソフトウェアスタンバイモードに設定することが有効です。ソフトウェアスタンバイモードに設定した場合には、 $\overline{\text{LPCPD}}$ 信号によるシャットダウン状態の解除の前にソフトウェアスタンバイモードを解除しておく手段が必要です。

SDWNE ビットをあらかじめ 1 にセットしておく、 $\overline{\text{LPCPD}}$ 信号の立ち下がりと同時に LPC ハードウェアシャットダウン状態になり、事前の準備ができません。一方、SDWNB ビットによって LPC ソフトウェアシャットダウン状態に設定すると、 $\overline{\text{LPCPD}}$ 信号の立ち上がりと同時に LPC ソフトウェアシャットダウン状態の解除ができません。これを考慮して、LPC ソフトウェアシャットダウンと LPC ハードウェアシャットダウンを組み合わせた操作手順を以下に示します。

1. SDWNE ビットは 0 にクリアしておきます。
2. ERRIE ビットを 1 にセットしておき、SDWN フラグによる割り込みを待ちます。
3. SDWN フラグによる ERRI 割り込みが発生したら、LPC インタフェースの内部状態フラグを確認し、処理すべき事項があれば処理します。
4. SDWNB ビットを 1 にセットして LPC ソフトウェアスタンバイモードを設定します。
5. SDWNE ビットを 1 にセットして LPC ハードウェアスタンバイモードに移行します。SDWNB ビットは自動的にクリアされます。
6. $\overline{\text{LPCPD}}$ 信号の状態を確認して、3~5 の操作中に $\overline{\text{LPCPD}}$ 信号が立ち上がっていないことを確認します。もし立ち上がっていれば、SDWNE を 0 にクリアして (1) の状態に戻ります。
7. ソフトウェアスタンバイモードを設定した場合は、LPC と関係のない手段でソフトウェアスタンバイモードを解除します。
8. $\overline{\text{LPCPD}}$ 信号の立ち上がりエッジを検出すると、SDWNE ビットが自動的に 0 にクリアされます。スレーブがスリープモードに設定されている場合は、 $\overline{\text{LRESET}}$ 信号入力や LPC の転送サイクルの完了などによって解除されます。

18. LPC インタフェース (LPC)

表 18.8 に LPC インタフェース端子シャットダウン範囲を示します。

表 18.8 LPC インタフェース端子シャットダウン範囲

略 称	ポート	シャット ダウン範囲	入出力	備 考
LAD3~LAD0	PE3~PE0		入出力	Hi-Z
$\overline{\text{LFRAME}}$	PE4		入力	Hi-Z
$\overline{\text{LRESET}}$	PE5	x	入力	LPC ハードウェアリセット機能はアクティブ
LCLK	PE6		入力	Hi-Z
SERIRQ	PE7		入出力	Hi-Z
LSCI	PD0		入出力	Hi-Z, LSCIE = 1 のときのみ
$\overline{\text{LSMI}}$	PD1		入出力	Hi-Z, LSMIE = 1 のときのみ
$\overline{\text{PME}}$	PD2		入出力	Hi-Z, PMEE = 1 のときのみ
GA20	PD3		入出力	Hi-Z, FGA20E = 1 のときのみ
CLKRUN	PD4		入力	Hi-Z
LPCPD	PD5	x	入力	シャットダウン状態解除に必要

【記号説明】

- : シャットダウン機能によりシャットダウンされる端子
- : レジスタの設定による LPC 機能選択時のみシャットダウンされる端子
- x : シャットダウンされない端子

LPC シャットダウン状態では、LPC の内部状態および一部のレジスタビットが初期化されます。LPC リセット状態との優先順位は以下のようになっています。

1. システムリセット ($\overline{\text{STBY}}$ 、 $\overline{\text{RES}}$ 端子入力、WDT0オーバーフローによるリセット)
LPC4E~LPC1Eビットをはじめ、すべてのレジスタビットを初期化します。
2. LPCハードウェアリセット ($\overline{\text{LRESET}}$ 端子入力によるリセット)
LRSTB、SDWNE、SDWNBビットを0にクリアします。
3. LPCソフトウェアリセット (LRSTBによるリセット)
SDWNE、SDWNBビットを0にクリアします。
4. LPCハードウェアシャットダウン
SDWNBビットを0にクリアします。
5. LPCソフトウェアシャットダウン

各モードで初期化される範囲を表 18.9 に示します。

表 18.9 LPC インタフェースの各モードで初期化される範囲

初期化対象	システムリセット	LPC リセット	LPC シャットダウン
LPC 転送サイクルシーケンサ (内部状態) および LPCBSY フラグ、ABRT フラグ	初期化	初期化	初期化
SERIRQ 転送サイクルシーケンサ (内部状態) および CLKREQ、IRQBSY フラグ	初期化	初期化	初期化
LPC インタフェースフラグ (IBF1、IBF2、IBF3A、IBF3B、MWMF、C/D $\bar{1}$ 、C/D $\bar{2}$ 、C/D $\bar{3}$ 、 OBF1、OBF2、OBF3A、OBF3B、SWMF、DBU、SMICFLG、 SMICIR0、BTSR0、BTSR1、BTIMSR、BTFVSR0、BTFVSR1) および GA20 (内部状態)	初期化	初期化	保持
ホスト割り込みイネーブル (IRQ1E1、IRQ12E1、SMIE2、IRQ6E2、 IRQ9E2 ~ IRQ11E2、SMIE3B、SMIE3A、IRQ6E3、 IRQ9E3 ~ IRQ11E3、SELREQ、 IEDIR2、IEDIR3) および Q/C フラグ	初期化	初期化	保持
LRST フラグ	初期化 (0)	セット/クリア可能	セット/クリア可能
SDWN フラグ	初期化 (0)	初期化 (0)	セット/クリア可能
LRSTB ビット	初期化 (0)	HR : 0 SR : 1	0 (セット可能)
SDWNB ビット	初期化 (0)	初期化 (0)	HS : 0 SS : 1
SDWNE ビット	初期化 (0)	初期化 (0)	HS : 1 SS : 0 または 1
LPC インタフェース動作制御ビット (LPC3E ~ LPC1E、FGA20E、LADR1 ~ LADR3、 IBFIE1 ~ IBFIE3、PMEE、PMEB、LSMIE、LSMIB、LSCIE、 LSCIB、TWRE、SELSTR3、SELIRQ1、SELSMI、 SELIRQ3 ~ SELIRQ15、HICR4、HICR5、SCIFAR、HISEL、 BTCSR0、BTCSR1)	初期化	保持	保持
$\overline{\text{LRESET}}$ 信号	入力 (ポート機能)	入力	入力
LPCPD 信号		入力	入力
LAD3 ~ LAD0、 $\overline{\text{LFRAME}}$ 、LCLK、SERIRQ、 $\overline{\text{CLKRUN}}$ 信号		入力	Hi-Z
PME、 $\overline{\text{LSMI}}$ 、LSCI、GA20 信号 (機能選択時)		出力	Hi-Z
$\overline{\text{PME}}$ 、 $\overline{\text{LSMI}}$ 、LSCI、GA20 信号 (機能非選択時)		ポート機能	

【注】 システムリセット : STBY 入力、RES 入力、WDT オーバフローによるリセット

LPC リセット : LPC ハードウェアリセット (HR)、LPC ソフトウェアリセット (SR) によるリセット

LPC シャットダウン : LPC ハードウェアシャットダウン (HS)、LPC ソフトウェアシャットダウン (SS) によるリセット

18. LPC インタフェース (LPC)

$\overline{\text{LPCPD}}$ 、 $\overline{\text{LRESET}}$ 信号のタイミングを図 18.9 に示します。

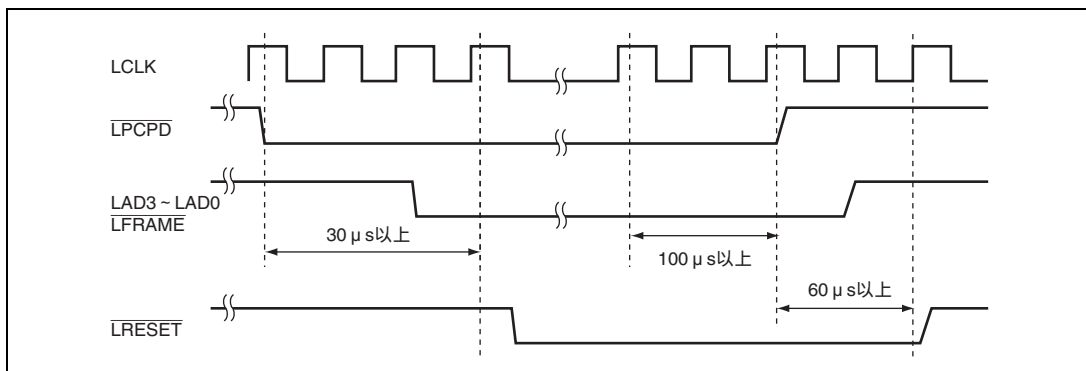


図 18.9 パワーダウン状態の終了タイミング

18.4.7 LPC インタフェースのシリアル割り込み動作 (SERIRQ)

SERIRQ 端子により、LPC インタフェースからホスト割り込み要求をすることができます。SERIRQ 端子によるホスト割り込み要求は、ホストまたは周辺機能から発生されるシリアル割り込み転送サイクルの開始フレームから起算して LCLK をカウントし、当該割り込みに対応するフレームで要求信号を発生します。このタイミングを図 18.10 に示します。

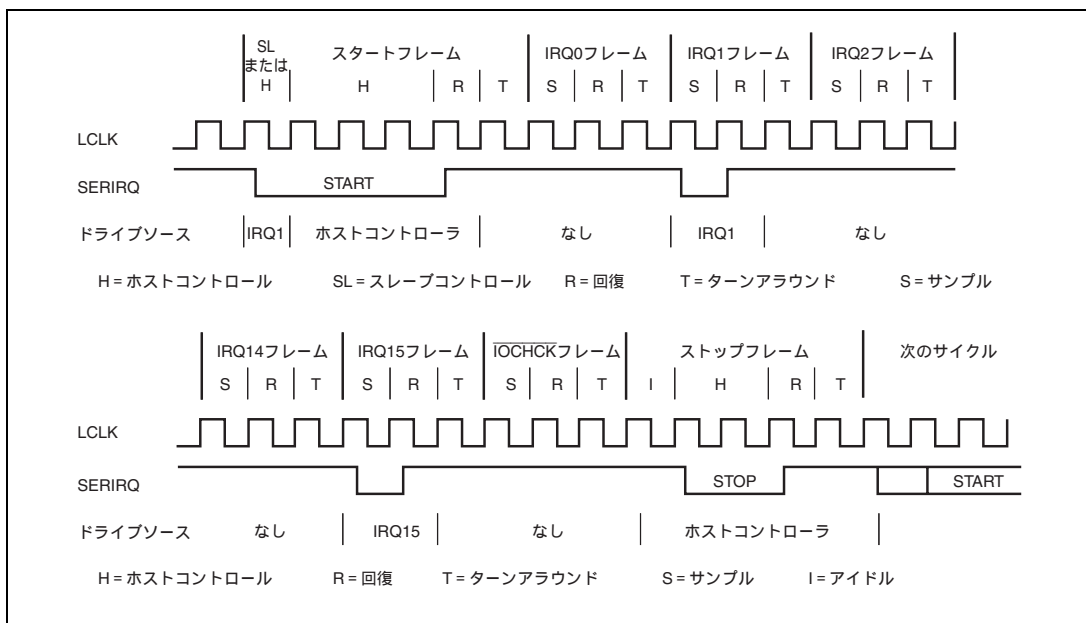


図 18.10 SERIRQ タイミング

シリアル割り込み転送サイクルのフレームの配列は次の通りです。各フレームのステート数のうち2ステートは、フレームの終わりに SERIRQ 信号を1レベルに戻すリカバーステートと、SERIRQ 信号をドライブしないターンアラウンドステートです。リカバーステートは、直前のステートをドライブしていたホストまたはスレーブがドライブする必要があります。

表 18.10 シリアル割り込み転送サイクルのフレームの配列

フレーム カウント	シリアル割り込み転送サイクル			備 考
	内 容	駆動元	ステート数	
0	スタート	スレーブ ホスト	6	クワイエットモード時のみ、先頭ステートのスレーブ駆動可能 続く3ステートをホストが0駆動
1	IRQ0	スレーブ	3	
2	IRQ1	スレーブ	3	LPC チャンネル 1、SCIF で駆動可能
3	SMI	スレーブ	3	LPC チャンネル 2、3、SCIF で駆動可能
4	IRQ3	スレーブ	3	SCIF、IRQ3E で駆動可能
5	IRQ4	スレーブ	3	SCIF、IRQ4E で駆動可能
6	IRQ5	スレーブ	3	SCIF、IRQ5E で駆動可能
7	IRQ6	スレーブ	3	LPC チャンネル 2、3、SCIF で駆動可能
8	IRQ7	スレーブ	3	SCIF、IRQ7E で駆動可能
9	IRQ8	スレーブ	3	SCIF、IRQ8E で駆動可能
10	IRQ9	スレーブ	3	LPC チャンネル 2、3、SCIF で駆動可能
11	IRQ10	スレーブ	3	LPC チャンネル 2、3、SCIF で駆動可能
12	IRQ11	スレーブ	3	LPC チャンネル 2、3、SCIF で駆動可能
13	IRQ12	スレーブ	3	LPC チャンネル 1、SCIF で駆動可能
14	IRQ13	スレーブ	3	SCIF、IRQ13E で駆動可能
15	IRQ14	スレーブ	3	SCIF、IRQ14E で駆動可能
16	IRQ15	スレーブ	3	SCIF、IRQ15E で駆動可能
17	IOCHCK	スレーブ	3	
18	ストップ	ホスト	不定	先頭に1ステート以上のアイドルステート その後ホストが2または3ステート0駆動 2ステート：次はクワイエットモード 3ステート：次はコンティニユアスモード

18. LPC インタフェース (LPC)

シリアル割り込みには、コンティニュアスモードとクワイエットモードがあり、次の転送サイクルがいずれのモードで起動されるかは、ひとつ前に終了したシリアル割り込み転送サイクルの停止フレームで選択されています。

コンティニュアスモードでは、ホストが定期的にホスト割り込み転送サイクルを起動します。クワイエットモードでは、ホストの他に、要求すべき割り込み要因をもつスレーブが割り込み転送サイクルを起動することができます。クワイエットモードでは、必ずしもホストが割り込み転送サイクルを起動する必要がないため、クロック (LCLK) 供給を中断して低消費電力状態に入ることが可能です。このときスレーブが割り込み要求を転送するためには、事前にクロックの再起動をホストに要求する必要があります。詳細は「18.4.8 LPC インタフェースのクロック起動要求」を参照してください。

18.4.8 LPC インタフェースのクロック起動要求

$\overline{\text{CLKRUN}}$ 端子により、ホストにクロック (LCLK) の再起動を要求することができます。LPC のデータ転送およびコンティニュアスモードの SERIRQ では、転送サイクルはホストにより起動されるため、クロックの再起動を要求することはありません。クワイエットモードの SERIRQ では、ホスト割り込み要求が発生すると $\overline{\text{CLKRUN}}$ 信号を駆動し、ホストにクロック (LCLK) の再起動を要求します。このタイミングを図 18.7 に示します。

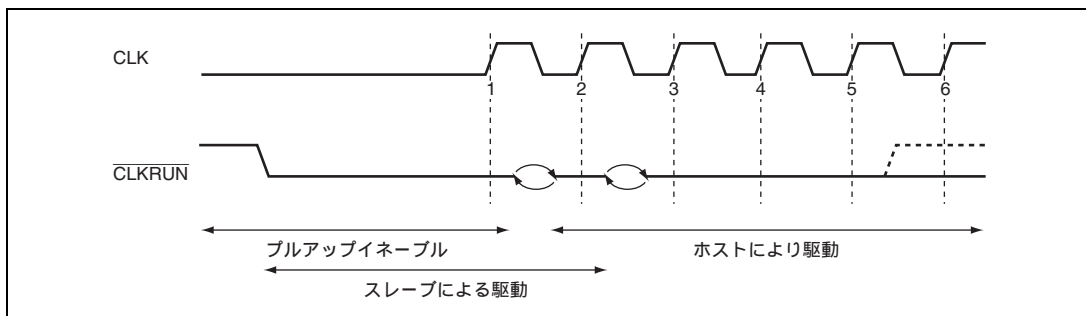


図 18.11 クロック起動要求タイミング

クワイエットモードの SERIRQ 以外の場合でクロックの再起動が必要な場合は、 $\overline{\text{PME}}$ 信号等を用いた別プロトコルによる対応が必要です。

18.4.9 LPC インタフェースから SCIF 制御

HICR5 の SCIFE ビットを 1 にセットすると、LPC ホストは SCIF と通信することができます。モジュール SCIF のレジスタ SCIFCR を除いて、LPC インタフェースは SCIF のレジスタにアクセス可能となります。詳細送受信動作は「第 15 章 FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)」を参照してください。

18.5 割り込み要因

18.5.1 IBFI1、IBFI2、IBFI3、OBEI、ERRI

LPC インタフェースはスレーブ(本 LSI)に対して IBFI1、IBFI2、IBFI3、ERRI の 4 つの割り込み要求があります。IBFI1、IBFI2、IBFI3 はそれぞれ入力データレジスタ IDR1、IDR2、IDR3 および TWR についての受信完了割り込みです。ただし、IBFI3 は SMIC モードおよび BT モードの割り込み要求も兼用しています。ERRI は、LPC リセット、LPC シャットダウン、転送サイクルのアボートなど、特別な状態が発生したことを示す割り込みです。

表 18.11 受信完了割り込みおよびエラー割り込み

割り込み	説明
IBFI1	IBFIE1 が 1 にセットされ、IDR1 が受信完了になったとき
IBFI2	IBFIE2 が 1 にセットされ、IDR2 が受信完了になったとき
IBFI3	IBFIE3 が 1 にセットされ、IDR3 が受信完了になったときまたは、TWRE と IBFIE3 が 1 にセットされ、TWR15 まで受信完了になったとき
ERRI	ERRIE が 1 にセットされ、LRST、SDWN、ABRT のいずれかが 1 にセットされたとき

18.5.2 SMI、HIRQ1、HIRQ3、HIRQ4、HIRQ5、HIRQ6、HIRQ7、HIRQ8、HIRQ9、HIRQ10、HIRQ11、HIRQ12、HIRQ13、HIRQ14、HIRQ15

LPC インタフェースは、SERIRQ により 15 種類のホスト割り込みを要求することができます。HIRQ1 と HIRQ12 は LPC チャネル 1 で要求でき、SMI、HIRQ6、HIRQ9、HIRQ10 および HIRQ11 は LPC チャネル 2 およびチャネル 3 のどちらからでも要求できます。

SCIF は 15 種類の割り込みから 1 つ選択可能です。また、SCIFCR4 の設定により、HICR3、HICR4、HICR5、HICR7、HICR8、HICR13、HICR14、HICR15 の 8 種類のホスト割り込みを要求可能です。

LPC チャネルを使用する時、ホスト割り込み要求のクリアにはふたつの方法があります。

SIRQCR の IEDIR ビットが 0 にクリアされている場合は、ホスト割り込み要因と LPC チャネルは、すべてホスト割り込み要求イネーブルビットに関連付けられています。対応する LPC チャネルの ODR または TWR15 がホストにリードされることにより OBF フラグが 0 にクリアされると、対応するホスト割り込みイネーブルビットが自動的に 0 にクリアされ、ホスト割り込み要求がクリアされます。

SIRQCR の IEDIR ビットが 1 にセットされていると、ホスト割り込み要求は、ホスト割り込みイネーブルビットのみによって要求されます。また、OBF がクリアされても、ホスト割り込みイネーブルビットはクリアされません。したがって、SMIE2、SMIE3A、SMIE3B と SMIE4、IRQ6En、IRQ9En、IRQ10En、IRQ11En は、それぞれ機能上の違いはなくなります。ホスト割り込み要求をクリアするには、ホスト割り込みイネーブルビットをクリアする必要があります。(n=2、3)

また、HIRQ3~5、HIRQ7、HIRQ8、HIRQ13~15 は、SIRQCR4 の各ホスト割り込みイネーブルビットを 1 にセットするとホスト割り込みを要求し、0 にクリアすることによりホスト割り込みがクリアされます。

SCIF チャネルを使用するとき、SCIF の割り込みがクリアされると、ホスト割り込み要求がクリアされます。

18. LPC インタフェース (LPC)

表 18.12 に、LPC チャネルを使用するとき、これらのビットのセットとクリアの方法を示します。表 18.13 に、SCIF チャネルを使用するとき、これらのビットのセットとクリアの方法を示します。また、図 18.12 に処理フローを示します。

表 18.12 LPC チャネルを使用する場合の HIRQ のセット/クリア

ホスト割り込み	セット条件	クリア条件
HIRQ1	内部 CPU が、ODR1 にライトした後、IRQ1E1 ビットの 0 リード後、1 をライト	IRQ1E1 ビットに内部 CPU から 0 ライト、または ODR1 をホストリード
HIRQ12	内部 CPU が、ODR1 にライトした後、IRQ12E1 ビットの 0 リード後、1 をライト	IRQ12E1 ビットに内部 CPU から 0 ライト、ODR1 をホストリード
SMI (IEDIR2 = 0 または IEDIR3 = 0)	内部 CPU が、 ODR2 にライトした後、SMIE2 ビットの 0 リード後、1 をライト ODR3 にライトした後、SMIE3A ビットの 0 リード後、1 をライト TWR15 にライトした後、SMIE3B ビットの 0 リード後、1 をライト	SMIE2 ビットに内部 CPU から 0 ライト、または ODR2 をホストリード SMIE3A ビットに内部 CPU から 0 ライト、または ODR3 をホストリード SMIE3B ビットに内部 CPU から 0 ライト、または TWR15 をホストリード
SMI (IEDIR2 = 1 または IEDIR3 = 1)	内部 CPU が、 SMIE2 ビットの 0 リード後、1 をライト SMIE3A ビットの 0 リード後、1 をライト SMIE3B ビットの 0 リード後、1 をライト	SMIE2 ビットに内部 CPU から 0 ライト SMIE3A ビットに内部 CPU から 0 ライト SMIE3B ビットに内部 CPU から 0 ライト
HIRQi (i = 6、9、10、11) (IEDIR2 = 0 または IEDIR3 = 0)	内部 CPU が、 ODR2 にライトした後、IRQiE2 ビットの 0 リード後、1 をライト ODR3 にライトした後、IRQiE3 ビットの 0 リード後、1 をライト	IRQiE2 ビットに内部 CPU から 0 ライト、または ODR2 をホストリード IRQiE3 ビットに内部 CPU から 0 ライト、または ODR3 をホストリード
HIRQi (i = 6、9、10、11) (IEDIR2 = 1 または IEDIR3 = 1)	内部 CPU が、 IRQiE2 ビットの 0 リード後、1 をライト IRQiE3 ビットの 0 リード後、1 をライト	IRQiE2 ビットに内部 CPU から 0 ライト IRQiE3 ビットに内部 CPU から 0 ライト

表 18.13 SCIF チャネルを使用する場合の HIRQ のセット/クリア

ホスト割り込み	セット条件	クリア条件
SMI HIRQi (i = 1、3 ~ 15)	SIRQCR3 で設定したホスト割り込みに対し、SCIF の割り込みが発生したとき	SCIF の割り込みがクリアされたとき

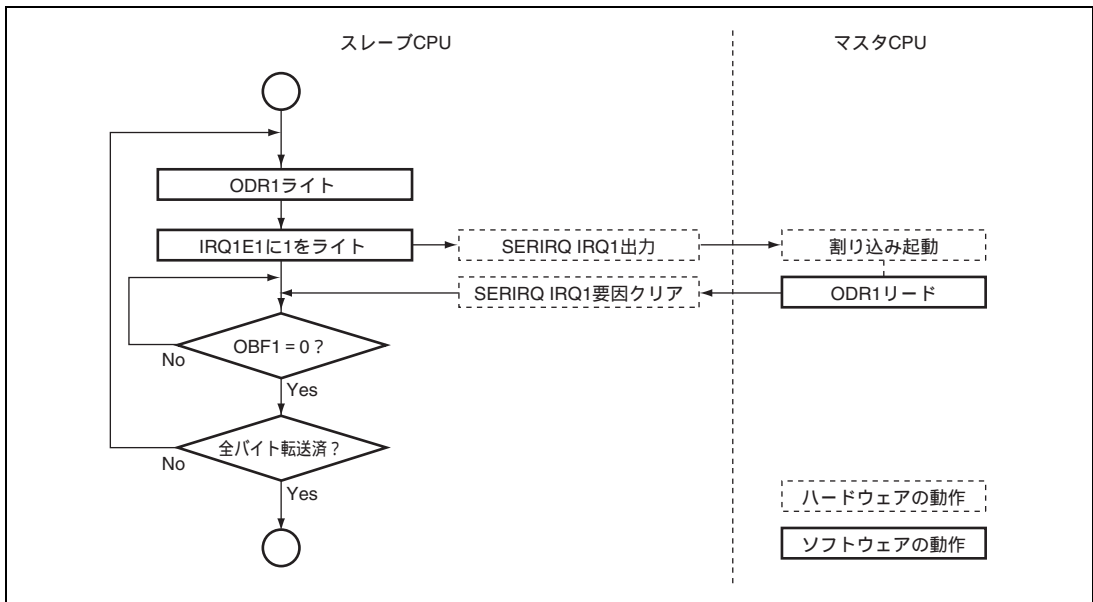


図 18.12 HIRQ の処理フロー (チャンネル1 の例)

18.6 使用上の注意事項

18.6.1 データアクセスの競合

LPC インタフェースはホストとスレーブ (本 LSI) からの非同期データのバッファリングを提供しています。データアクセスの競合を防ぐためには、STR 中のフラグを利用したインタフェースのプロトコルが必要です。

たとえば、ホストとスレーブ (本 LSI) が同時に IDR や ODR をアクセスしようとする、正しいデータが得られません。同時アクセスを防ぐためには、IBF や OBF を利用して、書き込みの終わったデータのみをアクセスする必要があります。

双方向レジスタ (TWR) では、IDR や ODR と異なり、転送の方向が固定されていません。これを解決するために、STR 中に MWMF と SWMF があります。TWR0 にライトした後、TWR1 ~ TWR15 の書き込み権を得られたのを MWMF と SWMF を利用して確認する必要があります。

LADR3 と IDR3、ODR3、STR3、TWR0MW、TWR0SW、TWR1 ~ TWR15 レジスタのホストアドレス例を表 18.14 に示します。

表 18.14 ホストアドレス

レジスタ	LADR3 = H'A24F の場合のホストアドレス	LADR3 = H'FD0 の場合のホストアドレス
IDR3	H'A24A と H'A24E	H'3FD0 と H'3FD4
ODR3	H'A24A	H'3FD0
STR3	H'A24E	H'3FD4
TWR0MW	H'A250	H'3FC0
TWR0SW	H'A250	H'3FC0
TWR1	H'A251	H'3FC1
TWR2	H'A252	H'3FC2
TWR3	H'A253	H'3FC3
TWR4	H'A254	H'3FC4
TWR5	H'A255	H'3FC5
TWR6	H'A256	H'3FC6
TWR7	H'A257	H'3FC7
TWR8	H'A258	H'3FC8
TWR9	H'A259	H'3FC9
TWR10	H'A25A	H'3FCA
TWR11	H'A25B	H'3FCB
TWR12	H'A25C	H'3FCC
TWR13	H'A25D	H'3FCD
TWR14	H'A25E	H'3FCE
TWR15	H'A25F	H'3FCF

19. A/D 変換器

本 LSI は、逐次比較方式の 10 ビットの A/D 変換器を内蔵しています。最大 8 チャンネルのアナログ入力を選択することができます。

A/D 変換器のブロック図を図 19.1 に示します。

19.1 特長

- 分解能：10ビット
- 入力チャンネル：8チャンネル
- 変換時間：1チャンネル当たり4.7 μ s (34MHz動作時)
- 動作モード：2種類
 - シングルモード：1チャンネルのA/D変換
 - スキャンモード：1～4チャンネルの連続A/D変換、または1～8チャンネルの連続A/D変換
- データレジスタ：8本
 - A/D変換結果は各チャンネルに対応した16ビットデータレジスタに保持
- サンプル&ホールド機能付き
- A/D変換開始方法：3種類
 - TMR_0の変換開始トリガ
 - ソフトウェア
 - 外部トリガ信号
- 割り込み要因
 - A/D変換終了割り込み要求 (ADI) を発生
- モジュールストップモードの設定可能

19. A/D変換器

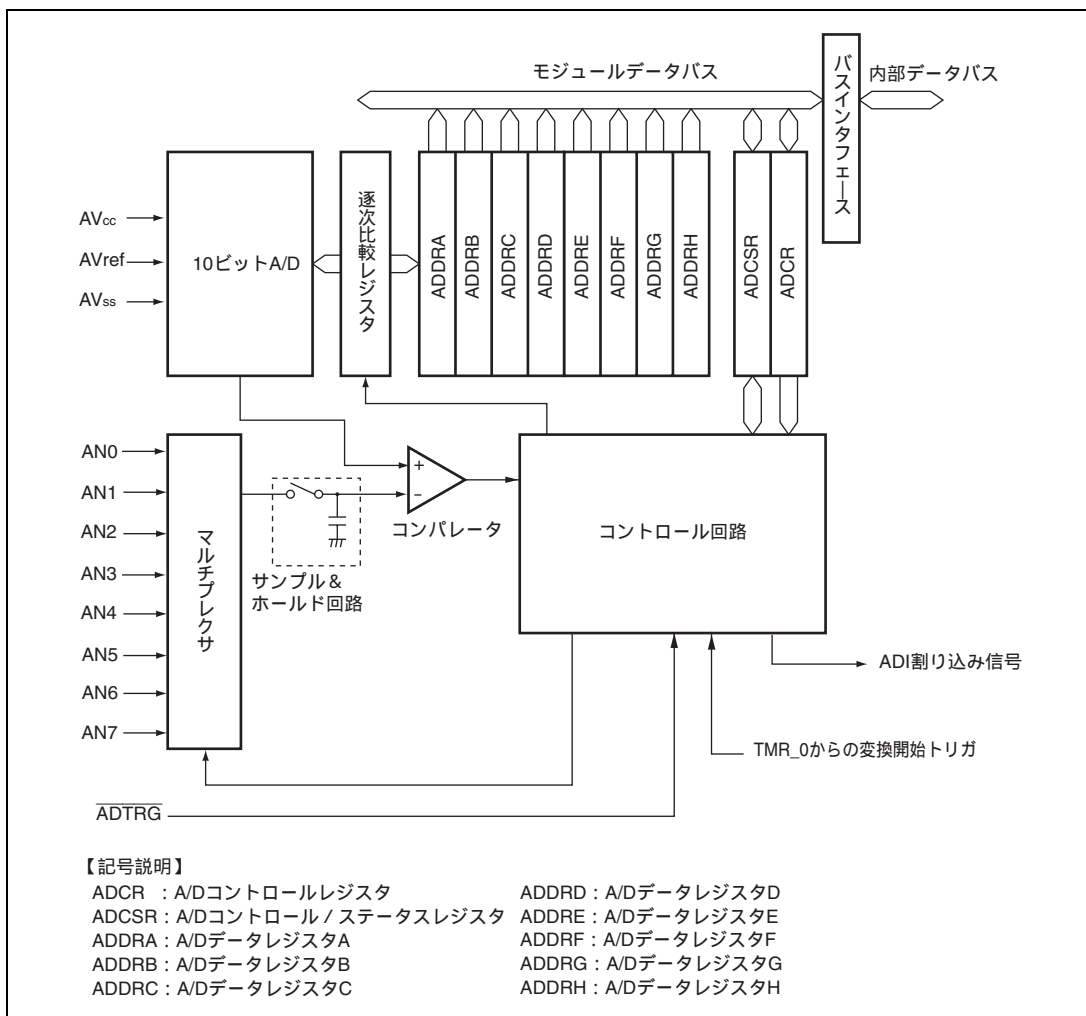


図 19.1 A/D変換器のブロック図

19.2 入出力端子

A/D 変換器で使用する入力端子を表 19.1 に示します。

表 19.1 端子構成

端子名	記号	入出力	機能
アナログ入力端子 0	AN0	入力	アナログ入力端子
アナログ入力端子 1	AN1	入力	
アナログ入力端子 2	AN2	入力	
アナログ入力端子 3	AN3	入力	
アナログ入力端子 4	AN4	入力	
アナログ入力端子 5	AN5	入力	
アナログ入力端子 6	AN6	入力	
アナログ入力端子 7	AN7	入力	
A/D 外部トリガ入力端子	ADTRG	入力	A/D 変換開始のための外部トリガ入力端子
アナログ電源端子	AVcc	入力	アナログ部の電源端子
アナロググランド端子	AVss	入力	アナログ部のグランド端子
リファレンス電圧端子	AVref	入力	A/D 変換器の基準電圧端子

19.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。

- A/DデータレジスタA (ADDRA)
- A/DデータレジスタB (ADDRB)
- A/DデータレジスタC (ADDRC)
- A/DデータレジスタD (ADDRD)
- A/DデータレジスタE (ADDRE)
- A/DデータレジスタF (ADDRF)
- A/DデータレジスタG (ADDRG)
- A/DデータレジスタH (ADDRH)
- A/Dコントロール/ステータスレジスタ (ADCSR)
- A/Dコントロールレジスタ (ADCR)

19.3.1 A/D データレジスタ A ~ H (ADDR A ~ ADDR H)

ADDR は、A/D 変換された結果を格納するための 16 ビットのリード専用レジスタです。ADDR A ~ ADDR H の 8 本あります。各アナログ入力チャネルの変換結果が格納される ADDR は表 19.2 のとおりです。

10 ビットの変換データは ADDR のビット 15 からビット 6 に格納されます。下位 6 ビットはリードすると常に 0 がリードされます。

CPU との間のデータバスは 16 ビット幅で、CPU から直接リードできます。ADDR をアクセスする場合は、16 ビット単位でアクセスしてください。8 ビット単位でのアクセスは禁止です。

ADF フラグが 1 にセットされたときに A/D 変換結果が各レジスタに格納されます。

表 19.2 アナログ入力チャネルと ADDR の対応

アナログ入力チャネル	変換結果が格納される A/D データレジスタ
AN0	ADDR A
AN1	ADDR B
AN2	ADDR C
AN3	ADDR D
AN4	ADDR E
AN5	ADDR F
AN6	ADDR G
AN7	ADDR H

19.3.2 A/D コントロール/ステータスレジスタ (ADCSR)

ADCSR は A/D 変換動作を制御します。

ビット	ビット名	初期値	R/W	説明
7	ADF	0	R/(W)*	A/D エンドフラグ A/D 変換の終了を示すステータスフラグです。A/D 変換結果が各レジスタに格納されたことを示します。 [セット条件] • シングルモードで A/D 変換が終了したとき • スキャンモードで選択されたすべてのチャンネルの A/D 変換が終了したとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • ADI 割り込みにより DTC が起動され、ADDR をリードしたとき
6	ADIE	0	R/W	A/D インタラプトイネーブル 1 にセットすると ADF による ADI 割り込みがイネーブルになります。
5	ADST	0	R/W	A/D スタート 0 にクリアすると A/D 変換を停止し、待機状態になります。1 にセットすると A/D 変換を開始します。シングルモードでは選択したチャンネルの A/D 変換が終了すると自動的にクリアされます。スキャンモードではソフトウェア、リセット、またはハードウェアスタンバイモードによってクリアされるまで選択されたチャンネルを順次連続変換します。
4	-	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
3	-	0	R/W	リザーブビット 初期値を変更しないでください。
2 1 0	CH2 CH1 CH0	0 0 0	R/W R/W R/W	チャンネルセレクト 2~0 ADCR の SCANE ビット、SCANS ビットとともに、アナログ入力を選択します。 SCANE = 0、 SCANS = X のとき 000 : AN0 001 : AN1 010 : AN2 011 : AN3 100 : AN4 101 : AN5 110 : AN6 111 : AN7 SCANE = 1、 SCANS = 0 のとき 000 : AN0 001 : AN0、AN1 010 : AN0 ~ AN2 011 : AN0 ~ AN3 100 : AN4 101 : AN4、AN5 110 : AN4 ~ AN6 111 : AN4 ~ AN7 SCANE = 1、 SCANS = 1 のとき 000 : AN0 001 : AN0、AN1 010 : AN0 ~ AN2 011 : AN0 ~ AN3 100 : AN0 ~ AN4 101 : AN0 ~ AN5 110 : AN0 ~ AN6 111 : AN0 ~ AN7

【記号説明】 X : Don't care

【注】 * フラグをクリアするための 0 ライトのみ可能です。

19. A/D 変換器

19.3.3 A/D コントロールレジスタ (ADCR)

ADCR は A/D 変換器の動作モード、変換時間の設定を行います。

ビット	ビット名	初期値	R/W	説明
7 6 0	TRGS1 TRGS0 EXTRGS	0 0 0	R/W R/W R/W	タイマトリガセレクト 1、0、拡張トリガセレクト トリガ信号による A/D 変換開始をイネーブルにします。 ビットの設定は A/D 変換停止時 (ADST=0) に行ってください。 00 0 : 外部トリガによる A/D 変換開始を禁止 10 0 : TMR_0 からの変換トリガによる A/D 変換を開始 10 1 : $\overline{\text{ADTRG}}$ による A/D 変換を開始。 上記以外 : 設定禁止
5 4	SCANE SCANS	0 0	R/W R/W	スキャンモード A/D 変換の動作モードを選択します。 0X : シングルモード 10 : スキャンモード (1~4 チャンルの連続 A/D 変換) 11 : スキャンモード (1~8 チャンルの連続 A/D 変換)
3 2	CKS1 CKS0	0 0	R/W R/W	クロックセレクト 1、0 A/D 変換時間の設定を行います。変換時間の設定は変換停止中 (ADST=0) に行ってください。 00 : 設定禁止 01 : 変換時間 = 80 ステート (max) 10 : 変換時間 = 160 ステート (max) 11 : 変換時間 = 320 ステート (max)
1	ADSTCLR	0	R/W	A/D スタートクリア スキャンモード時に ADST ビットの自動クリアの設定をします。 0 : スキャンモードのとき、ADST ビットの自動的なクリアを禁止 1 : スキャンモードのとき、選択されたすべてのチャンネルの A/D 変換が終了すると自動的にクリアされます。

【記号説明】 X : Don't care

19.4 動作説明

A/D 変換器は、逐次比較方式で分解能は 10 ビットです。動作モードには、シングルモードとスキャンモードがあります。動作モードやアナログ入力チャネルの切り替えは、誤動作を避けるため ADCSR の ADST ビットが 0 の状態で行ってください。動作モードやアナログ入力チャネルの変更と、ADST ビットを 1 にセットするのは同時に行うことができます。

19.4.1 シングルモード

シングルモードは、指定された 1 チャネルのアナログ入力を以下のように 1 回 A/D 変換します。

1. ソフトウェアまたは外部トリガによって ADCSR の ADST ビットが 1 にセットされると、選択されたチャネルの A/D 変換を開始します。
2. A/D 変換が終了すると、A/D 変換結果がそのチャネルに対応する A/D データレジスタに転送されます。
3. A/D 変換終了後、ADCSR の ADF ビットが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求が発生します。
4. ADST ビットは A/D 変換中は 1 を保持し、変換が終了すると自動的にクリアされて A/D 変換器は待機状態になります。A/D 変換中に ADST ビットを 0 にクリアすると A/D 変換を中止し、A/D 変換器は待機状態になります。

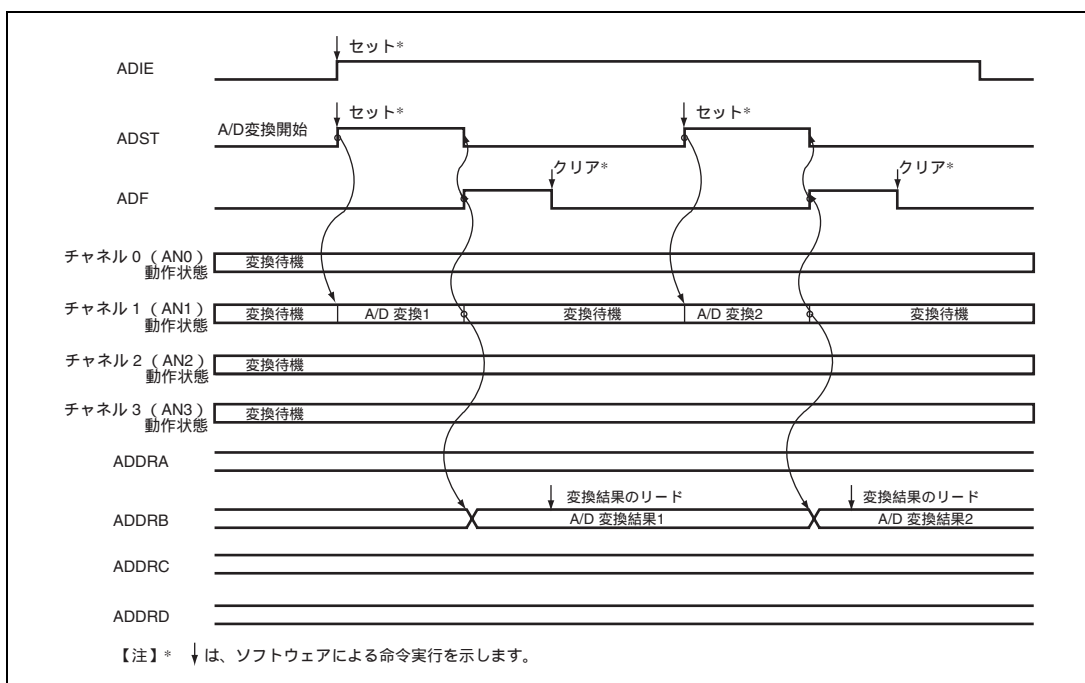


図 19.2 A/D 変換器の動作例 (シングルチップモード、チャンネル 1 選択時)

19.4.2 スキャンモード

スキャンモードは、指定された最大4チャンネル、または最大8チャンネルのアナログ入力を以下のように順次連続してA/D変換します。

1. ソフトウェアまたは外部トリガによってADCSRのADSTビットが1にセットされると、選択されたチャンネルの第1チャンネルからA/D変換を開始します。最大4チャンネルの連続A/D変換 (SCANE、SCANS = B'10)、または最大8チャンネルの連続A/D変換 (SCANE、SCANS = B'11) を選択できます。4チャンネルの連続A/D変換の場合は、CH2 = B'0のときAN0、CH2 = B'1のときAN4からA/D変換を開始します。8チャンネルの連続A/D変換の場合は、AN0からA/D変換を開始します。
2. それぞれのチャンネルのA/D変換が終了すると、A/D変換結果は順次そのチャンネルに対応するADDRに転送されます。
3. 選択されたすべてのチャンネルのA/D変換が終了すると、ADCSRのADFビットが1にセットされます。このときADIEビットが1にセットされていると、ADI割り込み要求を発生します。A/D変換器は再び第1チャンネルからA/D変換を開始します。
4. ADSTビットは自動的にクリアされず、1にセットされている間は2.~3.を繰り返します。ADSTビットを0にクリアするとA/D変換を中止し、A/D変換器は待機状態になります。その後、ADSTビットを1にセットすると再び第1チャンネルからA/D変換を開始します。

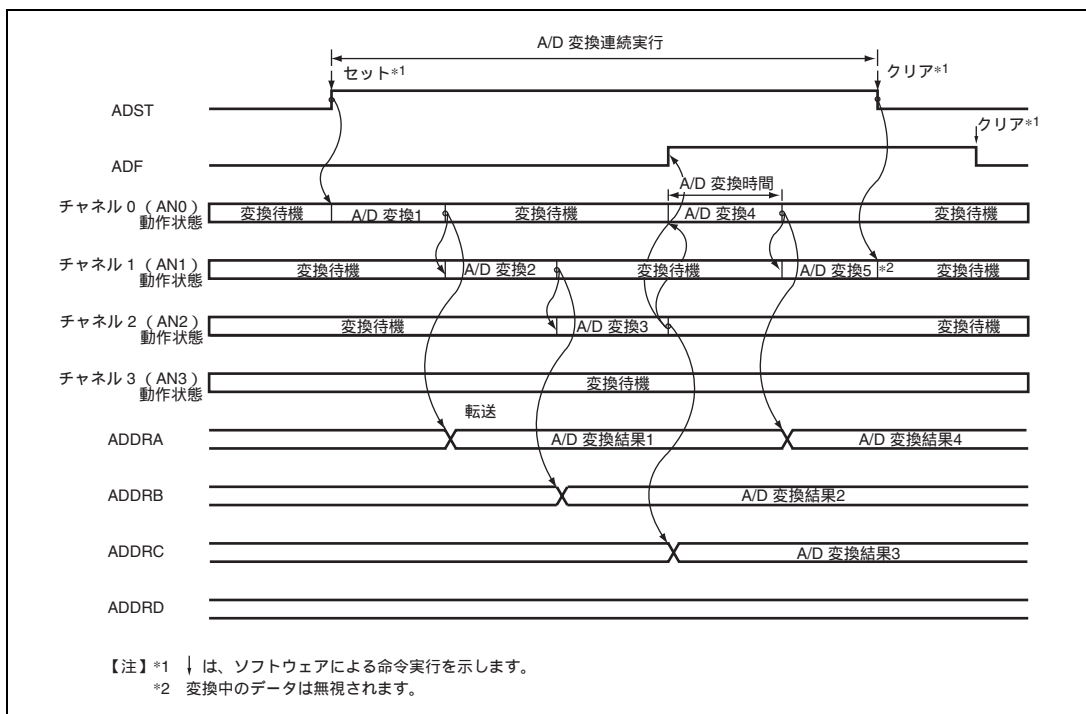


図 19.3 A/D 変換器の動作例 (スキャンモード、AN0 ~ AN2 の3チャンネル選択時)

19.4.3 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADCSR の ADST ビットが 1 にセットされてから A/D 変換開始遅延時間 (t_D) 経過後、入力のサンプリングを行い、その後 A/D 変換を開始します。A/D 変換のタイミングを図 19.4 に示します。また、A/D 変換時間を表 19.3 に示します。A/D 変換時間(t_{CONV})は、図 19.4 に示すように、 t_D と入力サンプリング時間(t_{SPL})を含めた時間となります。ここで t_D は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 19.3 に示す範囲で変化します。

スキャンモードの変換時間は、表 19.3 に示す値が 1 回目の変換時間となります。2 回目以降の変換時間は表 19.4 に示す値となります。いずれの場合も変換時間は A/D 変換特性に示す範囲となるように ADCR の CKS1、CKS0 ビットを設定してください。

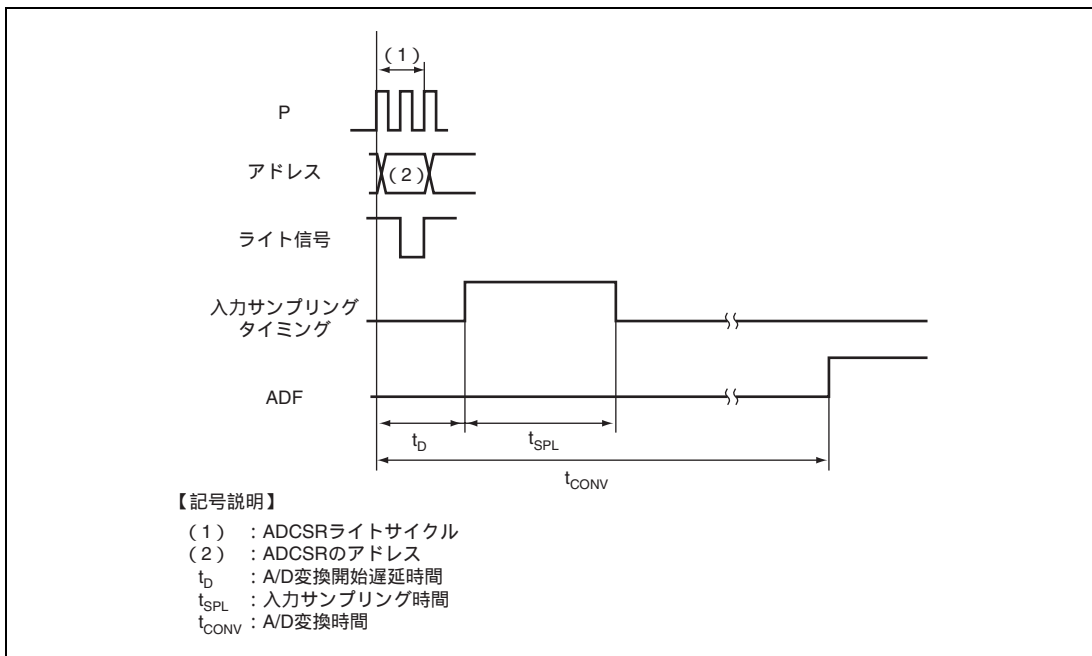


図 19.4 A/D 変換タイミング

表 19.3 A/D 変換時間 (シングルモード)

項目	記号	CKS1 = 0			CKS = 1					
		CKS0 = 1			CKS1 = 0			CKS0 = 1		
		min	typ	max	min	typ	max	min	typ	max
A/D 変換開始遅延時間	t_D	(6)	-	(9)	(10)	-	(17)	(18)	-	(33)
入力サンプリング時間	t_{SPL}	-	30	-	-	60	-	-	120	-
A/D 変換時間	t_{CONV}	77	-	80	153	-	160	305	-	320

【注】 表中の数値の単位はステートです。

表 19.4 A/D 変換時間 (スキャンモード)

CKS1	CKS0	変換時間 (ステート)
0	0	設定禁止
0	1	80 (固定)
1	0	160 (固定)
1	1	320 (固定)

19.4.4 外部トリガ入力タイミング

A/D 変換は外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCR の TRGS1、TRGS0 ビットが B'11 にセットされているとき、 $\overline{\text{ADTRG}}$ 端子から入力されます。 $\overline{\text{ADTRG}}$ の立ち下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、シングルモード/スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 19.5 に示します。

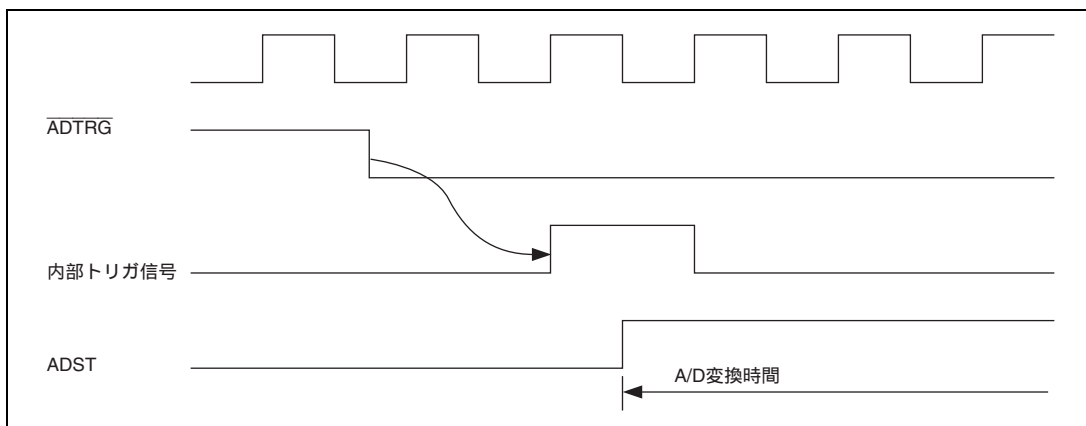


図 19.5 外部トリガ入力タイミング

19.5 割り込み要因

A/D 変換器は、A/D 変換が終了すると A/D 変換終了割り込み (ADI) を発生します。ADI 割り込み要求は、A/D 変換終了後 ADCSR の ADF が 1 にセットされ、このとき ADIE ビットが 1 にセットされるとイネーブルになります。ADI 割り込みで、データトランスファコントローラ (DTC) の起動ができます。ADI 割り込みで変換されたデータのリードを DTC で行くと、連続変換がソフトウェアの負担なく実現できます。

表 19.5 A/D 変換器の割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動
ADI	A/D 変換終了	ADF	可

19.6 A/D 変換精度の定義

本 LSI の A/D 変換精度の定義は以下のとおりです。

- 分解能
A/D変換器のデジタル出力コード数
- 量子化誤差
A/D変換器が本質的に有する偏差であり、1/2LSBで与えられる (図19.6)
- オフセット誤差
デジタル出力が最小電圧値B'000000000 (H'000) からB'000000001 (H'001) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差 (図19.7)
- フルスケール誤差
デジタル出力がB'111111110 (H'3FE) からB'111111111 (H'3FF) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差 (図19.7)
- 非直線性誤差
ゼロ電圧からフルスケール電圧までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない (図19.7)
- 絶対精度
デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む

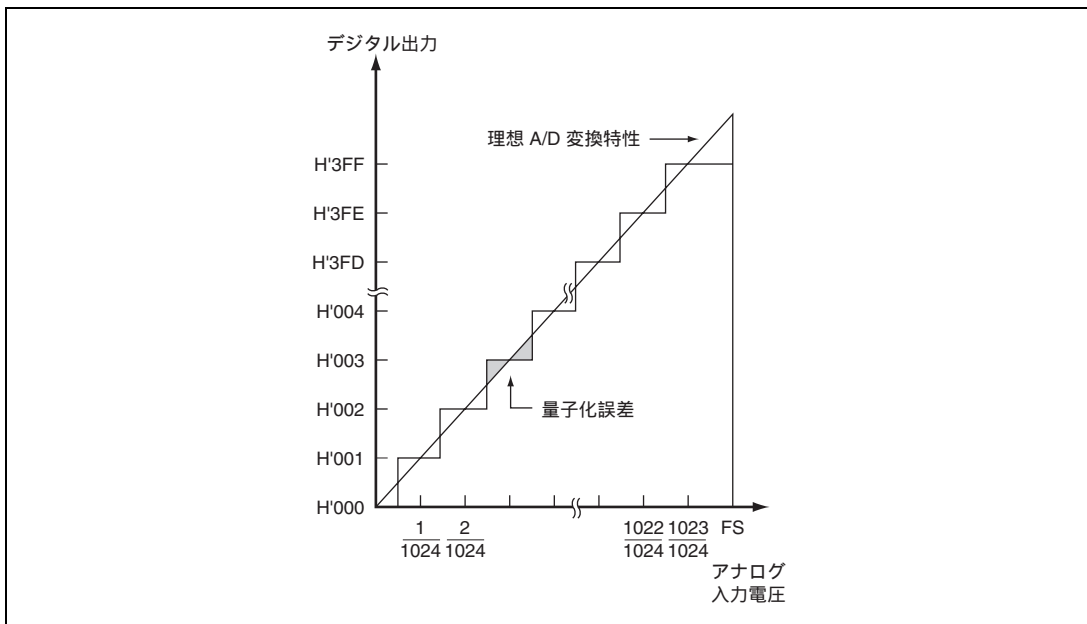


図 19.6 A/D 変換精度の定義

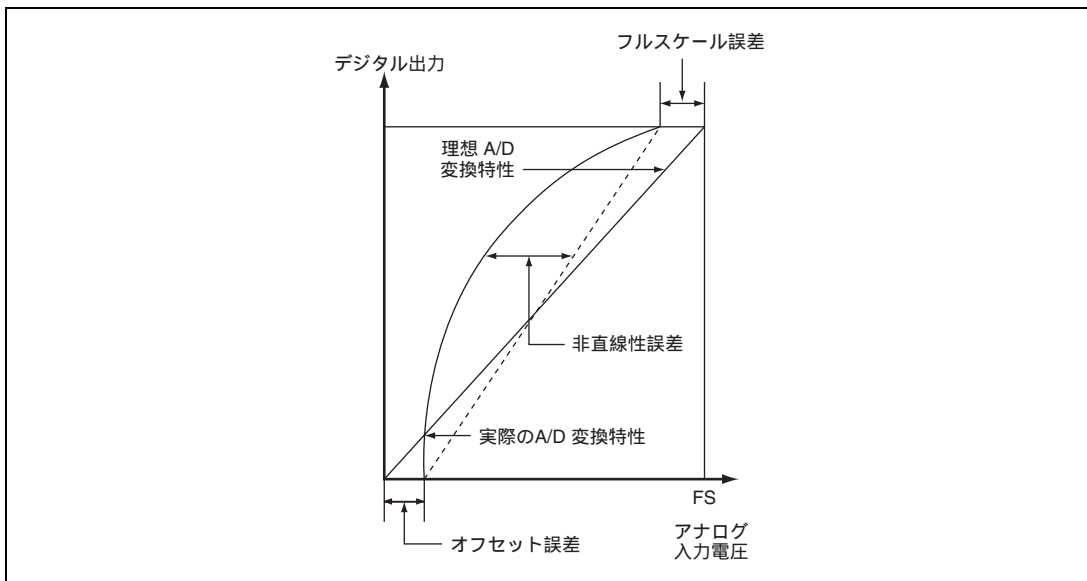


図 19.7 A/D 変換精度の定義

19.7 使用上の注意事項

19.7.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、A/D 変換器の動作禁止/許可を設定することが可能です。初期値では、A/D 変換器の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 24 章 低消費電力状態」を参照してください。

19.7.2 許容信号源インピーダンスについて

本 LSI のアナログ入力は、信号源インピーダンスが $5k$ 以下の入力信号に対し、変換精度が保証される設計となっています。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが $5k$ を超える場合は、充電不足が生じて A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合は、入力の負荷は実質的に内部入力抵抗の $10k$ だけになりますので、信号源インピーダンスは不用となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号(たとえば $5mV/\mu s$ 以上)には追従できないことがあります(図 19.7)。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

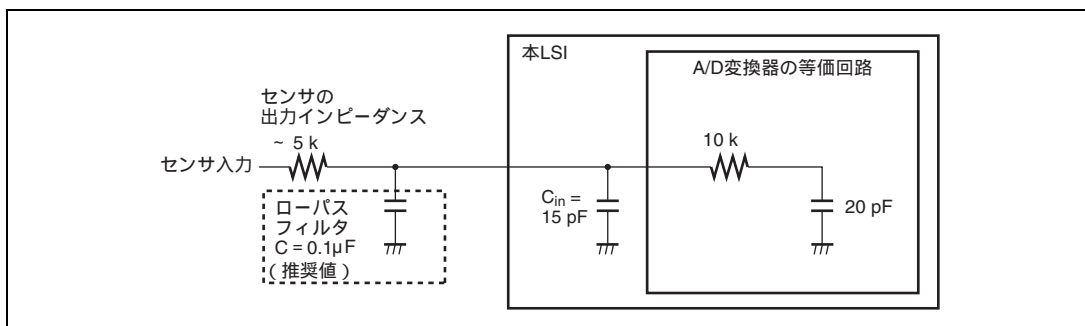


図 19.8 アナログ入力回路の例

19.7.3 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることとなりますので、GND にノイズがあると絶対精度が悪化する可能性がありますので、必ず AV_{SS} 等の電氣的に安定な GND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意してください。

19.7.4 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

A/D変換中、アナログ入力端子ANnに印加する電圧は $AV_{SS} \sim V_{AN} \sim AV_{ref}$ の範囲としてください。

- AV_{CC} 、 AV_{SS} と V_{CC} 、 V_{SS} の関係

AV_{CC} 、 AV_{SS} と V_{CC} 、 V_{SS} との関係は $AV_{CC} = V_{CC} \pm 0.3V$ かつ $AV_{SS} = V_{SS}$ としてください。A/D変換器を使用しない場合、 $AV_{CC} = V_{CC}$ 、 $AV_{SS} = V_{SS}$ としてください。

- AV_{ref} の設定範囲

AV_{ref} 端子によるリファレンス電圧の設定範囲は、 $AV_{ref} \sim AV_{CC}$ にしてください。

19.7.5 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号配線を交差させたり、近接させないでください。誘導によりアナログ回路が誤動作し、A/D変換値に悪影響を及ぼします。アナログ入力端子（AN0～AN7）、アナログ基準電源（ AV_{ref} ）、アナログ電源電圧（ AV_{CC} ）は、アナロググランド（ AV_{SS} ）でデジタル回路と分離してください。さらに、アナロググランド（ AV_{SS} ）は、ボード上の安定したグランド（ V_{SS} ）に一点接続してください。

19.7.6 ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子（AN0～AN7）の破壊を防ぐために、図 19.8 に示すように AV_{CC} - AV_{SS} 間に保護回路を接続してください。 AV_{CC} に接続するバイパスコンデンサ、AN0～AN7 に接続するフィルタ用のコンデンサは、必ず AV_{SS} に接続してください。

なお、フィルタ用のコンデンサを接続すると、AN0～AN7 の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモードなどで A/D 変換を頻繁に行う場合、A/D 変換器内部のサンプル&ホールド回路の容量に充放電される電流が入力インピーダンス（ R_{in} ）を経由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。したがって、回路定数は十分ご検討の上決定してください。

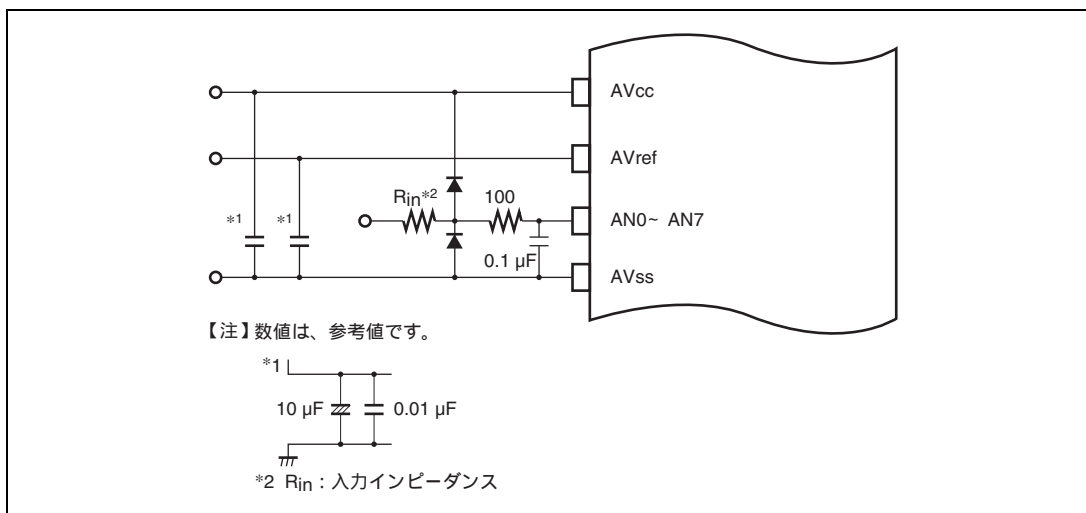


図 19.9 アナログ入力保護回路の例

表 19.6 アナログ端子の規格

項目	min	max	単位
アナログ入力容量	-	20	pF
許容信号源インピーダンス	-	5	k

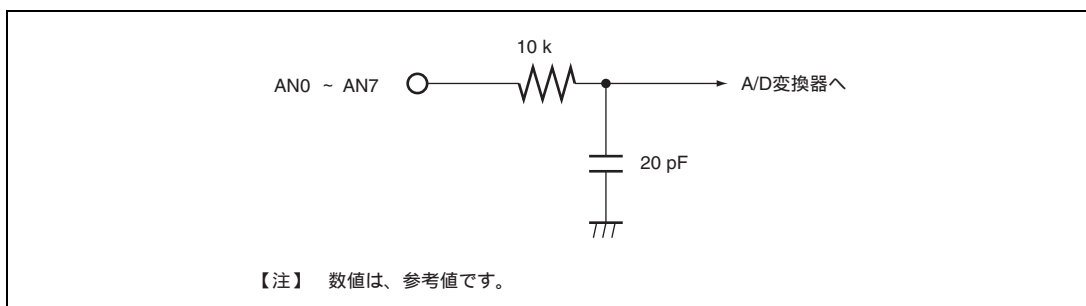


図 19.10 アナログ入力端子等価回路

19.7.7 ソフトウェアスタンバイ時の A/D 変換保持機能

A/D 変換を許可した状態で本 LSI がソフトウェアスタンバイモードになると A/D 変換は保持され、アナログ電源電流は A/D 変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、ADST ビットを 0 にクリアして A/D 変換を禁止してください。

20. RAM

本 LSI は 40k バイトの高速スタティック RAM を内蔵しています。RAM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。

RAM は、システムコントロールレジスタ (SYSCR) の RAM イネーブルビットにより有効または無効の制御が可能です。SYSCR については「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

21. フラッシュメモリ

フラッシュメモリの特長を以下に示します。フラッシュメモリのブロック図を図 21.1 に示します。

21.1 特長

- 容量

512kバイト (H'000000 ~ H'07FFFF)

- 内蔵プログラムのダウンロードによる書き込み / 消去インタフェース

本LSIでは専用の書き込み / 消去プログラムを内蔵しています。このプログラムを内蔵RAMにダウンロードした後、引数パラメータを設定するだけで書き込み / 消去が可能です。

- 書き込み / 消去時間

フラッシュメモリの書き込み時間は、128バイト同時書き込み1ms (typ)、1バイト当たり換算にて7.8 μ m、消去時間は64kBブロックあたり600ms (typ)です。

- 書き換え回数

フラッシュメモリの書き換えは、min100回可能です (保証は1 ~ 100回の範囲)。

- オンボードプログラミングモード : 3種類

ブートモード :

内蔵SCIインタフェースを使用するプログラムモードで、ユーザマットとユーザブートマットの書き換えができます。本モードでは、ホストと本LSI間のビットレートを自動で合わせることができます。

ユーザプログラムモード :

任意のインタフェースで、ユーザマットの書き換えができます。

ユーザブートモード :

任意のインタフェースのユーザブートプログラム作成が可能で、ユーザマットの書き換えが可能です。

- 書き込み / 消去プロテクト

ハードウェアプロテクト、ソフトウェアプロテクト、エラープロテクトの3種類でフラッシュメモリの書き込み / 消去に対するプロテクトを設定できます。

- ライタモード

PROMライタを用いたライタモードで、ユーザマットとユーザブートマットの書き換えが可能です。

21. フラッシュメモリ

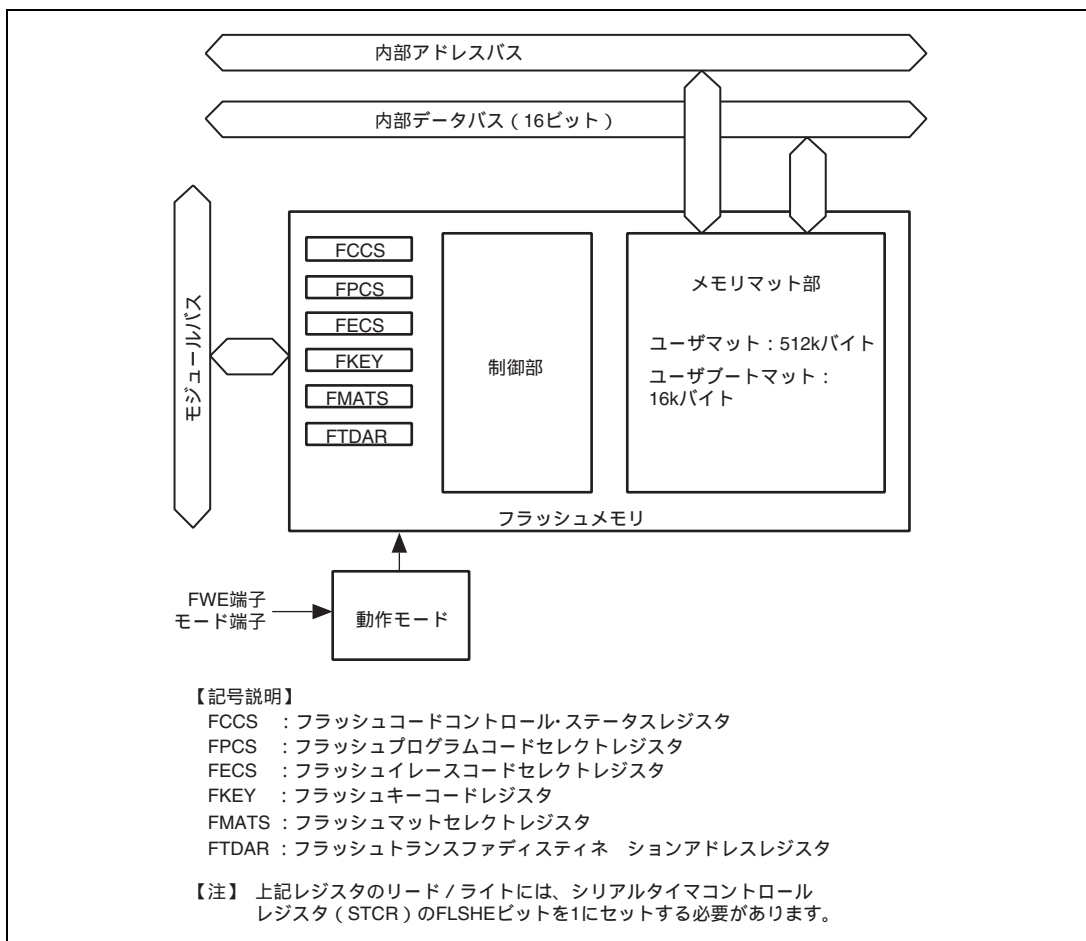


図 21.1 フラッシュメモリのブロック図

21.1.1 モード遷移図

リセット状態でモード端子と FWE 端子を設定しリセットスタートすると、本 LSI は図 21.2 に示すような動作モードへ遷移します。

1. ユーザモードではフラッシュメモリの読み出しはできますが、書き込み / 消去はできません。
2. オンボードでフラッシュメモリの読み出し / 書き込み / 消去ができるのはブートモード、ユーザプログラムモード、ユーザブートモードです。
3. ライタモードでは、PROMライタを利用してフラッシュメモリの読み出し / 書き込み / 消去を行います。

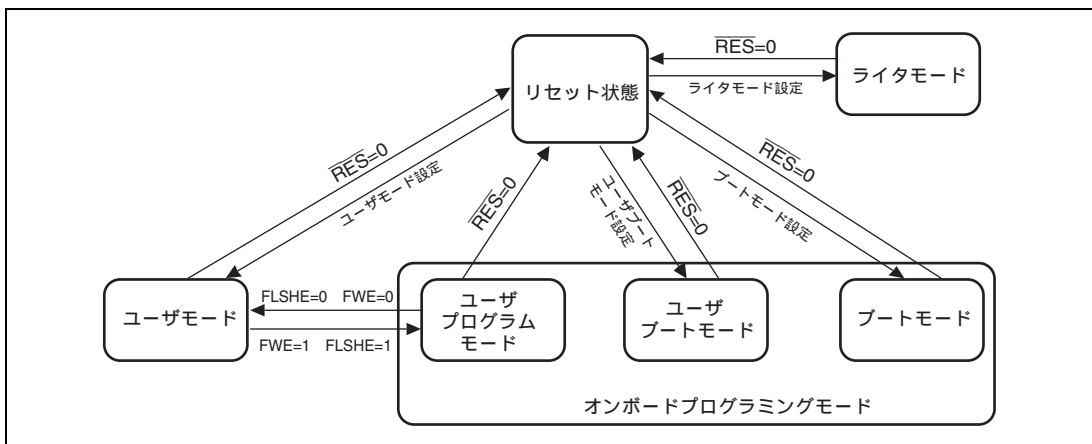


図 21.2 フラッシュメモリに関するモード遷移図

21. フラッシュメモリ

21.1.2 モード比較

ブートモード、ユーザプログラムモード、ユーザブートモード、ライターモードについての書き込み/消去関連項目の比較表を表 21.1 に示します。

表 21.1 プログラミングモードの比較

	ブートモード	ユーザプログラムモード	ユーザブートモード	ライターモード
書き込み/消去環境	オンボード			PROM ライタ
書き込み/消去可能マツト	ユーザマツト ユーザブートマツト	ユーザマツト	ユーザマツト	ユーザマツト ユーザブートマツト
全面消去	(自動)			(自動)
ブロック分割消去	*1			×
書き込みデータ転送	ホストから SCI 経由	任意のデバイス経由	任意のデバイス経由	ライター経由
リセット起動マツト	組み込みプログラム格納マツト	ユーザマツト	ユーザブートマツト*2	—
ユーザモードへの遷移	モード設定変更 & リセット	FWE 端子と FLSHE ビット設定変更	モード設定変更 & リセット	—

【注】 *1 いったん全面消去が行われます。その後、特定ブロックの消去を行うことができます。

*2 いったん組み込みプログラム格納マツトから起動し、フラッシュ関連レジスタのチェックが実行された後、ユーザブートマツトのリセットベクタから起動します。

- ユーザブートマツトの書き込み/消去は、ブートモードとライターモードでのみ可能です。
- ブートモードでは、いったんユーザマツトとユーザブートマツトが全面消去されます。その後、コマンド方式でユーザマツトまたはユーザブートマツトの書き込みができますが、この状態になるまではマツト内容の読み出しはできません。
ユーザブートマツトだけ書き込んでユーザマツトの書き換えはユーザブートモードで実施する、あるいは、ユーザブートモードは使用しないためユーザマツトだけ書き換えるなどの使い方が可能です。
- ユーザブートモードでは、ユーザプログラムモードと異なるモード端子設定で、任意のインタフェースのブート動作を実現できます。

21.1.3 フラッシュメモリマット構成

本 LSI のフラッシュメモリは、512k バイトのユーザマットと 16k バイトのユーザブートマットから構成されています。

ユーザマットとユーザブートマットは先頭アドレスが同じアドレスに割り当てられていますので、2 つのマット間でプログラム実行またはデータアクセスがまたがる場合は、FMATS によるマット切り替えが必要です。

ユーザマット/ユーザブートマットの読み出しはどのモードでも可能ですが、ユーザブートマットの書き換えはブートモードとライタモードでのみ可能です。

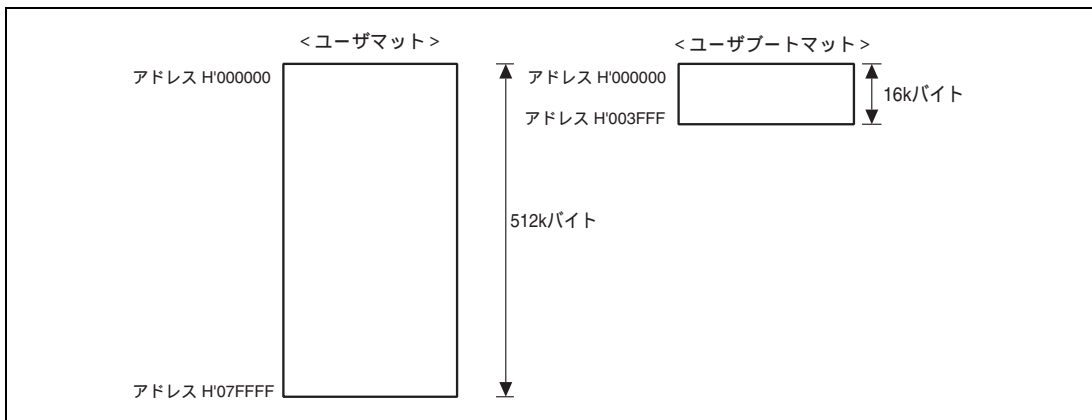


図 21.3 フラッシュメモリ構成図

ユーザマットとユーザブートマットはメモリサイズが異なります。16k バイト空間以上のユーザブートマットをアクセスしないようにしてください。16k バイト空間以上のユーザブートマットを読み出した場合、不定値が読み出されます。

21.1.4 ブロック分割

ユーザマットは、図 21.4 に示すように 64k バイト (7 ブロック)、32k バイト (1 ブロック)、4k バイト (8 ブロック) に分割されています。この分割ブロック単位に消去ができ、消去時に EB0 ~ EB15 の消去ブロック番号で指定します。書き込みは下位アドレスが H'00 または H'80 で始まる 128 バイト単位で行います。

21. フラッシュメモリ

EB0 消去単位4kバイト	H'000000	H'000001	H'000002	書き込み単位 128バイト	H'00007F
	H'000F80	H'000F81	H'000F82	- - - - -	H'000FFF
EB1 消去単位4kバイト	H'001000	H'001001	H'001002	書き込み単位 128バイト	H'00107F
	H'001F80	H'001F81	H'001F82	- - - - -	H'001FFF
EB2 消去単位4kバイト	H'002000	H'002001	H'002002	書き込み単位 128バイト	H'00207F
	H'002F80	H'002F81	H'002F82	- - - - -	H'002FFF
EB3 消去単位4kバイト	H'003000	H'003001	H'003002	書き込み単位 128バイト	H'00307F
	H'003F80	H'003F81	H'003F82	- - - - -	H'003FFF
EB4 消去単位4kバイト	H'004000	H'004001	H'004002	書き込み単位 128バイト	H'00407F
	H'004F80	H'004F81	H'004F82	- - - - -	H'004FFF
EB5 消去単位4kバイト	H'005000	H'005001	H'005002	書き込み単位 128バイト	H'00507F
	H'005F80	H'005F81	H'005F82	- - - - -	H'005FFF
EB6 消去単位4kバイト	H'006000	H'006001	H'006002	書き込み単位 128バイト	H'00607F
	H'006F80	H'006F81	H'006F82	- - - - -	H'006FFF
EB7 消去単位4kバイト	H'007000	H'007001	H'007002	書き込み単位 128バイト	H'00707F
	H'007F80	H'007F81	H'007F82	- - - - -	H'007FFF
EB8 消去単位32kバイト	H'008000	H'008001	H'008002	書き込み単位 128バイト	H'00807F
	H'00FF80	H'00FF81	H'00FF82	- - - - -	H'00FFFF
EB9 消去単位64kバイト	H'010000	H'010001	H'010002	書き込み単位 128バイト	H'01007F
	H'01FF80	H'01FF81	H'01FF82	- - - - -	H'01FFFF
EB10 消去単位64kバイト	H'020000	H'020001	H'020002	書き込み単位 128バイト	H'02007F
	H'02FF80	H'02FF81	H'02FF82	- - - - -	H'02FFFF
EB11 消去単位64kバイト	H'030000	H'030001	H'030002	書き込み単位 128バイト	H'03007F
	H'03FF80	H'03FF81	H'03FF82	- - - - -	H'03FFFF
EB12 消去単位64kバイト	H'040000	H'040001	H'040002	書き込み単位 128バイト	H'04007F
	H'04FF80	H'04FF81	H'04FF82	- - - - -	H'04FFFF
EB13 消去単位64kバイト	H'050000	H'050001	H'050002	書き込み単位 128バイト	H'05007F
	H'05FF80	H'05FF81	H'05FF82	- - - - -	H'05FFFF
EB14 消去単位64kバイト	H'060000	H'060001	H'060002	書き込み単位 128バイト	H'06007F
	H'06FF80	H'06FF81	H'06FF82	- - - - -	H'06FFFF
EB15 消去単位64kバイト	H'070000	H'070001	H'070002	書き込み単位 128バイト	H'07007F
	H'07FF80	H'07FF81	H'07FF82	- - - - -	H'07FFFF

図 21.4 ユーザマットのブロック分割

21.1.5 書き込み / 消去インタフェース

書き込み / 消去の実行は内蔵されているプログラムを内蔵 RAM 上にダウンロードし、書き込みアドレス / データ、消去ブロックなどをインタフェースレジスタ / パラメータで指定して行います。

ユーザプログラムモード / ユーザブートモードでは、これらの一連の手続きプログラムはユーザで作成していただきます。手順の概要を以下に示します。なお、詳細は「21.4.2 ユーザプログラムモード」で説明します。

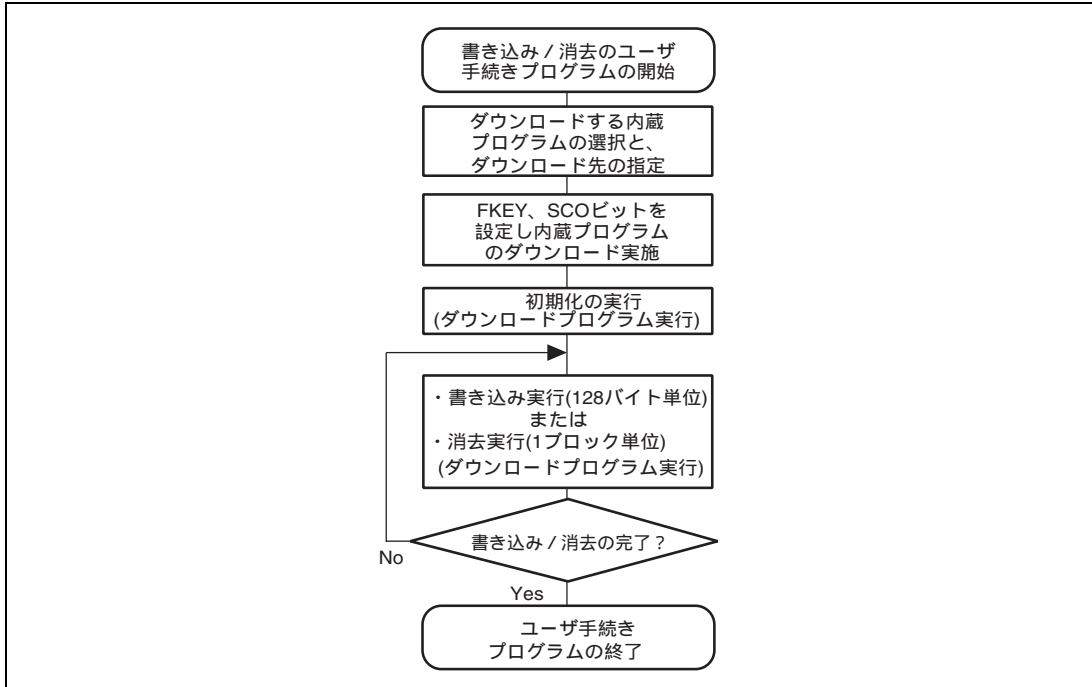


図 21.5 ユーザの手続きプログラムの概要

(1) ダウンロードする内蔵プログラムの選択

書き込み / 消去を実施するためには、STCR の FLSHE ビットを 1 に設定しユーザプログラムモードにする必要があります。

本 LSI には、書き込み / 消去関係のプログラムが内蔵されており、内蔵 RAM 上へのダウンロードが可能です。ダウンロードする内蔵プログラムの選択は、書き込み / 消去インタフェースレジスタの対応ビットをセットすることで行います。また、ダウンロード先のアドレスはフラッシュトランスファデスティネーションアドレスレジスタ (FTDAR) で指定することができます。

21. フラッシュメモリ

(2) 内蔵プログラムのダウンロード

内蔵プログラムのダウンロードは、書き込み / 消去インタフェースレジスタのフラッシュキーコードレジスタ (FKKEY) と、フラッシュコードコントロール・ステータスレジスタ (FCCS) の SCO ビットの設定を行うことで自動的に行われます。

ダウンロード中はフラッシュメモリマットが組み込みプログラム格納領域と入れ替わります。また、書き込み / 消去時はフラッシュメモリマットの読み出しはできないため、ダウンロード以降書き込み / 消去完了までの一連の手続きプログラムはフラッシュメモリ以外 (内蔵 RAM 上など) で実行するようにしてください。

ダウンロードの結果は、書き込み / 消去インタフェースパラメータに戻されますので、正常にダウンロードできたかの確認ができます。

(3) 書き込み / 消去の初期化

書き込み / 消去の実行前に、動作周波数の設定を行います。この設定は書き込み / 消去インタフェースパラメータで行います。

(4) 書き込み / 消去の実行

書き込み / 消去を行うためには、FWE 端子と STCR の FLSHE ビットを 1 にセットしユーザプログラムモードにしてください。

書き込みでは書き込みデータ / 書き込み先アドレスの指定を 128 バイト単位で行います。消去では消去ブロックの指定を消去ブロック単位で行います。

これらの指定を書き込み / 消去インタフェースパラメータで設定し、内蔵プログラムを起動します。内蔵プログラムは、内蔵 RAM 上の特定アドレスを JSR 命令または BSR 命令でサブルーチンコールすることで実行します。実行結果は、書き込み / 消去インタフェースパラメータに戻されます。

フラッシュメモリの書き込みにおいては事前に対象領域が消去されている必要があります。書き込み / 消去処理中は、すべての割り込みを禁止する必要があります。ユーザのシステム上で、割り込みが入らないようにしてください。

(5) 引き続き、書き込み / 消去を実行する場合

128 バイトの書き込み、1 ブロックの消去で処理が終わらない場合、書き込みアドレス / データ、消去ブロック番号を更新して書き込み / 消去を連続して行う必要があります。

ダウンロードした内蔵プログラムは処理終了後も内蔵 RAM 上に残っていますので、引き続き同じ処理を実行する場合はダウンロードと初期化の必要はありません。

21.2 入出力端子

フラッシュメモリは表 21.2 に示す端子により制御されます。

表 21.2 端子構成

端子名	入出力	機能
RES	入力	リセット
FWE	入力	フラッシュメモリ書き込み / 消去イネーブル端子
MD2	入力	本 LSI の動作モードを設定
MD1	入力	本 LSI の動作モードを設定
MD0	入力	本 LSI の動作モードを設定
TxD1	出力	シリアル送信データ出力 (ブートモードで使用)
RxD1	入力	シリアル受信データ入力 (ブートモードで使用)

21.3 レジスタの説明

フラッシュメモリをコントロールするレジスタ / パラメータを以下に示します。これらのレジスタをアクセスするためには、STCR の FLSHE ビットを 1 セットする必要があります。STCR については「3.2.3 シリアルタイムコントロールレジスタ (STCR)」を参照してください。

- フラッシュコードコントロール・ステータスレジスタ (FCCS)
- フラッシュプログラムコードセレクトレジスタ (FPCS)
- フラッシュイレーンコードセレクトレジスタ (FECS)
- フラッシュキーコードレジスタ (FKEY)
- フラッシュマットセレクトレジスタ (FMATS)
- フラッシュトランスファデスティネーションアドレスレジスタ (FTDAR)
- ダウンロードパス・フェイルリザルト (DPFR)
- フラッシュパス・フェイルリザルト (FPFR)
- フラッシュマルチパーパスアドレスエリア (FMPAR)
- フラッシュマルチパーパスデータデスティネーションエリア (FMPDR)
- フラッシュイレーンブロックセレクト (FEBS)
- フラッシュプログラム・イレーン周波数コントロール (FPEFEQ)

フラッシュメモリのアクセスには読み出しモード / 書き込みモードなどいくつかの動作モードがあります。

また、メモリマットもユーザマットとユーザブートマットがあり、それぞれの動作モード、マット選択で専用のレジスタ / パラメータが割り当てられています。動作モードと使用レジスタ / パラメータの対応表を表 21.3 に示します。

21. フラッシュメモリ

表 21.3 使用レジスタ/パラメータと対象モード

		ダウンロード	初期化	書き込み	消去	読み出し
書き込み / 消去インタ フェース レジスタ	FCCS		—	—	—	—
	FPCS		—	—	—	—
	FECS		—	—	—	—
	FKEY		—			—
	FMATS	—	—	(*) ¹	(*) ¹	(*) ²
	FTDAR		—	—	—	—
書き込み / 消去インタ フェース パラメータ	DPFR		—	—	—	—
	FPPR	—				—
	FPEFEQ	—		—	—	—
	FMPAR	—	—		—	—
	FMPDR	—	—		—	—
	FEBS	—	—	—		—

【注】 *1 ユーザブートモードでの、ユーザマツトへの書き込み / 消去時に設定が必要です。

*2 起動モードと読み出し対象マツトの組み合わせで設定が必要な場合があります。

21.3.1 書き込み / 消去インタフェースレジスタ

書き込み / 消去インタフェースレジスタは 8 ビットのレジスタでバイトアクセスのみ可能です。これらのレジスタはリセットとハードウェアスタンバイモードで初期化されます。

(1) フラッシュコードコントロール・ステータスレジスタ (FCCS)

FCCS は FWE 端子状態のモニタ、フラッシュメモリの書き込み / 消去実行中のエラー発生のモニタ、および内蔵プログラムのダウンロードを要求します。

ビット	ビット名	初期値	R/W	説明
7	FWE	1/0	R	フラッシュライトイネーブル FWE 端子に入力されているレベルをモニタし、フラッシュを制御します。 0 : 書き込み / 消去が禁止 1 : 書き込み / 消去が可能
6		0	R/W	リザーブビット
5		0	R/W	初期値を変更しないでください。

ビット	ビット名	初期値	R/W	説 明
4	FLEP	0	R	<p>フラッシュメモリエラー</p> <p>フラッシュメモリへの書き込み / 消去実行中にエラーが発生したことを示します。FLEP=1 にセットされると、フラッシュメモリはエラープロテクト状態に移ります。なお、FLEP=1 になった場合は、フラッシュメモリ内部に高電圧が印加されていますので、フラッシュメモリへのダメージを低減するために、通常より長い 100 μs のリセット入力期間の後にリセットリリースしてください。</p> <p>0: フラッシュメモリは正常に動作 フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) は無効</p> <p>[クリア条件] リセットまたはハードウェアスタンバイモードのとき</p> <p>1: フラッシュメモリへの書き込み / 消去中にエラーが発生 フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) が有効</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 書き込み / 消去中に NMI などの割り込みが発生したとき 書き込み / 消去中にフラッシュメモリを読み出したとき (ベクタリードおよび命令フェッチを含む) 書き込み / 消去中に SLEEP 命令を実行したとき (ソフトウェアスタンバイを含む) 書き込み / 消去中に CPU 以外のバスマスタ (DTC) が、バス権を確保したとき
3	WEINTE	0	R/W	<p>書き込み / 消去イネーブル</p> <p>フラッシュメモリの書き込み / 消去実行中やユーザマットとユーザブートマットのマット切り替え時の割り込みベクタを正しく読み出せない場合に、割り込みベクタテーブルの空間を変更するビットです。本ビットを 1 にセットすると、H'000000 ~ H'00007F (ベクタ番号 31 まで) の空間の代わりに H'FFE080 ~ H'FFE0FF (内蔵 RAM 空間) から割り込みベクタが読み出されます。したがって、本ビットを 1 にセットする場合は当該内蔵 RAM 空間にベクタテーブルを設定しておく必要があります。</p> <p>また、ベクタ番号 32 以降の割り込み例外処理は発生しないようにしてください。正常なベクタリードができないため、結果として CPU が暴走してしまいます。</p> <p>0: 割り込みベクタテーブルの空間を変更しない 割り込みベクタを正しく読み出せない場合の、割り込み例外処理は保証できません。すべての割り込みを発生させないでください。</p> <p>1: 割り込みベクタテーブルの空間を変更する 割り込みベクタを正しく読み出せない場合でも、ベクタ番号 31 までの割り込み例外処理を許可します。</p>
2		0	R/W	リザーブビット
1		0	R/W	初期値を変更しないでください。

21. フラッシュメモリ

ビット	ビット名	初期値	R/W	説 明
0	SCO	0	(R)/W*	<p>ソースプログラムコピーオペレーション</p> <p>内蔵書き込み / 消去プログラムを内蔵 RAM にダウンロードする要求ビットです。本ビットを 1 にセットすると、FPCS/FECS レジスタで選択した内蔵プログラムが、FTDAR レジスタで指定された内蔵 RAM の領域に自動的にダウンロードされます。本ビットを 1 にセットするためには、FKEY への H'A5 の書き込み、および内蔵 RAM 上での実行が必要です。</p> <p>本ビットを 1 にセットした直後には、4 個の NOP 命令を必ず実行するようにしてください。なお、ダウンロード完了時点では本ビットは 0 クリアされているため、本ビットの 1 状態を読み出すことはできません。ダウンロード中は、すべての割り込みを禁止する必要があります。ユーザのシステム上で割り込みが入らないようにしてください。</p> <p>0 : 内蔵されている書き込み / 消去プログラムの内蔵 RAM へのダウンロードは行いません</p> <p>[クリア条件] ダウンロードが完了したとき</p> <p>1 : 内蔵されている書き込み / 消去プログラムの内蔵 RAM へのダウンロードリクエストを発生します。</p> <p>[セット条件] 以下の条件がすべて満足されている状態で、1 をセットしたとき</p> <ul style="list-style-type: none"> • FKEY に H'A5 が書かれていること • 内蔵 RAM 上で実行中であること

【注】 * ライトのみ可能です。リードすると常に 0 が読み出されます。

(2) フラッシュプログラムコードセレクトレジスタ (FPCS)

FPCS は、ダウンロードする書き込み関係の内蔵プログラムを選択するレジスタです。

ビット	ビット名	初期値	R/W	説 明
7~1		すべて 0	R/W	リザーブビット 初期値を変更しないでください。
0	PPVS	0	R/W	<p>プログラムパルスベリファイ</p> <p>書き込みプログラムを選択します。</p> <p>0 : 内蔵の書き込みプログラムを選択しない</p> <p>[クリア条件] 転送が終了したとき</p> <p>1 : 内蔵の書き込みプログラムを選択する</p>

(3) フラッシュイレースコードセレクトレジスタ (FECS)

FECS は、消去関係の内蔵プログラムのダウンロードを選択するレジスタです。

ビット	ビット名	初期値	R/W	説明
7~1		すべて0	R/W	リザーブビット 初期値を変更しないでください。
0	EPVB	0	R/W	イレースパルスベリファイブロック 消去プログラムを選択します。 0 : 内蔵消去プログラムを選択しない [クリア条件] 転送が終了したとき 1 : 内蔵消去プログラムを選択する

(4) フラッシュキーコードレジスタ (FKEY)

FKEY は、内蔵プログラムのダウンロードとフラッシュメモリの書き込み / 消去を許可するソフトウェアプロテクトのレジスタです。内蔵プログラムのダウンロード実施のため、SCO ビットを 1 にセットする前、およびダウンロードした書き込み / 消去プログラム実行前に、キーコードを書き込まないとそれぞれの処理が実行できません。

ビット	ビット名	初期値	R/W	説明
7	K7	0	R/W	キーコード H'A5 を書き込んだ場合にのみ、SCO ビットの書き込みが有効になります。H' A5 以外の値が FKEY に書かれている場合、SCO ビットを 1 にセットすることができないため、内蔵 RAM へのダウンロードができません。また、H'5A を書き込んだ場合のみ、書き込み / 消去が可能になります。内蔵の書き込み / 消去プログラムを実行しても、H'5A 以外の値が FKEY レジスタに書かれている場合はフラッシュメモリの書き込み / 消去はできません。 H'A5 : SCO ビットの書き込みを許可 (H'A5 以外では SCO ビットのセットはできません) H'5A : 書き込み / 消去を許可 (H'5A 以外ではソフトウェアプロテクト状態) H'00 : 初期値
6	K6	0	R/W	
5	K5	0	R/W	
4	K4	0	R/W	
3	K3	0	R/W	
2	K2	0	R/W	
1	K1	0	R/W	
0	K0	0	R/W	

21. フラッシュメモリ

(5) フラッシュマットセレクトレジスタ (FMATS)

FMATS は、ユーザマット/ユーザブートマットのどちらを選択するかを指定するレジスタです。

ビット	ビット名	初期値	R/W	説明
7	MS7	0/1*	R/W	マットセレクト H'AA 以外の場合はユーザマット選択状態、H'AA が書かれている状態はユーザブートマット選択状態です。FMATS に値を書き込みことによりマット切り替えが発生します。マット切り替えは、必ず「21.6 ユーザマットとユーザブートマットの切り替え」に従ってください(ユーザプログラミングモードでのユーザブートマットの書き換えは、FMATS でユーザブートマットを選択してできません。ユーザブートマットの書き換えは、ブートモードかライターモードで実施してください)。 H'AA : ユーザブートマットを選択 (H'AA 以外ではユーザマット選択状態となります)。 ユーザブートモードで立ち上がった場合の初期値です。 H'00 : ユーザブートモード以外で立ち上がった場合の初期値 (ユーザマット選択状態です)。 [書き込み可能条件] 内蔵 RAM 上での実行状態であること
6	MS6	0	R/W	
5	MS5	0/1*	R/W	
4	MS4	0	R/W	
3	MS3	0/1*	R/W	
2	MS2	0	R/W	
1	MS1	0/1*	R/W	
0	MS0	0	R/W	

【注】 * ユーザブートモードのときは1になります。それ以外のときは0となります。

(6) フラッシュトランスファデスティネーションアドレスレジスタ (FTDAR)

FTDAR は、内蔵プログラムのダウンロード先の内蔵 RAM 上のアドレスを指定するレジスタです。FCCS レジスタの SCO ビットを 1 にセットする前に、本レジスタの設定を行ってください。

ビット	ビット名	初期値	R/W	説明
7	TDER	0	R/W	トランスファデスティネーションアドレス設定エラー TDA6 ~ TDA0 ビットで指定するダウンロード先頭アドレス指定にエラーがあった場合、1 がセットされます。アドレス指定のエラー判定は、FCCS の SCO ビットを 1 にセットして、ダウンロード処理が実行されたときに、TDA6 ~ TDA0 の値が H'00 ~ H'03 の範囲にあるかどうかを判定します。SCO ビットを 1 にセットする前に、本ビットの値を 0 にすることも含めて、FTDAR の値を H'00 ~ H'03 の範囲に設定してください。 0 : TDA6 ~ TDA0 の設定は、正常値です。 1 : TDER、TDA6 ~ TDA0 の設定値が H'04 ~ H'FF であり、ダウンロードは中断したことを示します。
6	TDA6	0	R/W	トランスファデスティネーションアドレス ダウンロード先頭アドレスを指定します。設定可能な値は H'00 ~ H'03 で、内蔵 RAM 上のダウンロード先頭アドレスを指定できます。 H'00 : ダウンロード先頭アドレスを H'FFE080 に設定 H'01 : ダウンロード先頭アドレスを H'FF0800 に設定 H'02 : ダウンロード先頭アドレスを H'FF1800 に設定 H'03 : ダウンロード先頭アドレスを H'FF8800 に設定 H'04 ~ H'FF : 設定しないでください。この値が設定された場合、ダウンロード処理において、TDER ビットが 1 になり、内蔵プログラムのダウンロード処理は中断されます。
5	TDA5	0	R/W	
4	TDA4	0	R/W	
3	TDA3	0	R/W	
2	TDA2	0	R/W	
1	TDA1	0	R/W	
0	TDA0	0	R/W	

21.3.2 書き込み / 消去インタフェースパラメータ

書き込み / 消去インタフェースパラメータは、ダウンロードした内蔵プログラムに対して動作周波数、書き込みデータの格納場所、書き込み先アドレス、消去ブロックなどの指定および処理結果のやりとりをするものです。このパラメータは、CPU の汎用レジスタ (ER0, ER1) や内蔵 RAM 領域を使用します。リセット、ハードウェアスタンバイでの初期値は不定です。

ダウンロード、初期化、内蔵プログラム実行においては、R0L 以外の CPU のレジスタは保存されます。R0L は、処理結果の戻り値が記入されます。R0L 以外のレジスタ保存のためにスタック領域を使用しますので、処理開始においてはスタック領域の確保をしてください (使用スタック領域サイズは、最大 128 バイトです)。

書き込み / 消去インタフェースパラメータは、次の 4 項目で使用します。

1. ダウンロード制御
2. 書き込み / 消去実行前の初期化実行
3. 書き込み実行
4. 消去実行

それぞれ使用するパラメータは異なります。対応表を、表 21.4 に示します。

ここで FPFR パラメータは初期化処理、書き込み処理、消去処理において処理結果が戻されますが、処理内容によりビットの意味が異なります。各処理ごとの FPFR 説明部分をご覧ください。

表 21.4 使用パラメータと対象モード

パラメータ名	略称	ダウンロード	初期化	書き込み	消去	R/W	初期値	割り当て
ダウンロードバス・フェイルリザルト	DPFR		—	—	—	R/W	不定	内蔵 RAM*
フラッシュバス・フェイルリザルト	FPFR	—				R/W	不定	CPU の R0L
フラッシュプログラムイレース周波数コントロール	FPEFEQ	—		—	—	R/W	不定	CPU の ER0
フラッシュマルチパーパスアドレスエリア	FMPAR	—	—		—	R/W	不定	CPU の ER1
フラッシュマルチパーパスデータステイネーションエリア	FMPDR	—	—		—	R/W	不定	CPU の ER0
フラッシュイレースブロックセレクト	FEBS	—	—	—		R/W	不定	CPU の ER0

【注】 * FTDAR レジスタで指定したダウンロード先の先頭アドレス 1 バイト

21. フラッシュメモリ

(1) ダウンロード制御

内蔵プログラムのダウンロードは、SCO ビットを 1 にセットすることで自動的に行われます。ダウンロードされる内蔵 RAM の領域は、FTDAR で指定した先頭アドレスから 3k バイト分の領域です。

ダウンロード制御は書き込み / 消去インタフェースレジスタで設定し、戻り値は DPFR パラメータで渡されません。

(a) ダウンロードパス・フェイルリザルトパラメータ (DPFR : FTDAR レジスタで指定した内蔵 RAM の先頭アドレス 1 バイト)

ダウンロード結果の戻り値です。ダウンロードが実行できたかどうかは、本パラメータの値で判断します。SCO ビットを 1 にセットできたかの確認が困難のため、ダウンロード開始前 (SCO ビットを 1 にセットする前) に、FTDAR で指定した内蔵 RAM の先頭アドレス 1 バイトをダウンロードの戻り値以外 (H'FF など) にして、確実な判断ができるようにしてください。

ビット	ビット名	初期値	R/W	説明
7~3				未使用ビット 値 0 が戻されます
2	SS		R/W	ソースセレクトエラー検出ビット ダウンロード可能な内蔵プログラムは 1 種類のみ指定できます。2 種類以上の選択を行った場合、選択されていない場合、およびマッピングされていない選択の場合にはエラーとなります。 0 : ダウンロードプログラムの選択関係は正常 1 : ダウンロードエラー発生 (多重選択または、マッピングされていないプログラム選択)
1	FK		R/W	フラッシュキーレジスタエラー検出ビット FKEY の値が、H'A5 であるかどうかをチェックした結果を返すビットです。 0 : FKEY の設定は正常 (FKEY = H'A5) 1 : FKEY の設定値エラー (FKEY は、H'A5 以外の値)
0	SF		R/W	サクセス / フェイルビット ダウンロードが正常に終了したかどうかを返すビットです。内蔵 RAM 上にダウンロードしたプログラムをリードバックし、内蔵 RAM 上に転送できているかの判定結果です。 0 : 内蔵プログラムのダウンロードは正常終了 (エラーなし) 1 : 内蔵プログラムのダウンロードが異常終了 (エラーが発生している)

(2) 書き込み / 消去の初期化

ダウンロードされる書き込み / 消去の内蔵プログラムには、初期化プログラムも含まれています。

書き込み / 消去では決められた時間幅のパルス印加が必要で、ウェイトループを CPU 命令で構成する方法で規定のパルス幅を作成しています。このため、CPU の動作周波数を設定する必要があります。

これらの設定をダウンロードした書き込み / 消去プログラムのパラメータとして設定するのが初期化プログラムです。

(a) フラッシュプログラム / イレース周波数パラメータ (FPEFEQ : CPU の汎用レジスタ ER0)

CPU の動作周波数を設定するパラメータです。本 LSI の動作周波数範囲は 20MHz ~ 34MHz です。

ビット	ビット名	初期値	R/W	説明
31 ~ 16				未使用ビット 値 0 を設定してください。
15 ~ 0	F15 ~ F0		R/W	周波数設定ビット CPU の動作周波数を設定します。PLL 逡倍を使用する場合は逡倍後の周波数を設定してください。設定値は以下のように算出してください。 <ul style="list-style-type: none"> • MHz 単位で表現した動作周波数を小数点第 3 位で四捨五入し、小数点第 2 位までとする。 • 100 倍した値を 2 進数に変換し、FPEFEQ パラメータ (汎用レジスタ ER0) に書き込む。 具体例として、CPU の動作周波数が 34.000MHz の場合には、以下のようになります。 <ul style="list-style-type: none"> • 34.000 の小数点第 3 位を四捨五入し、34.00。 • $34.00 \times 100 = 3400$ を 2 進数変換し、B'0000,1101,0100,1000 (H'0D48) を ER0 に設定。

(b) フラッシュパス / フェイルパラメータ (FPFR : CPU の汎用レジスタ R0L)

初期化結果の戻り値です。

ビット	ビット名	初期値	R/W	説明
7 ~ 2				未使用ビット 値 0 が戻されます
1	FQ		R/W	周波数エラー検出ビット 指定された CPU 動作周波数が、サポートしている動作周波数の範囲にあるかをチェックした結果を戻します。 0 : 動作周波数の設定は正常値 1 : 動作周波数の設定が異常値
0	SF		R/W	サクセス / フェイルビット 初期化が正常に終了したかどうかを戻すビットです。 0 : 初期化は正常終了 (エラーなし) 1 : 初期化が異常終了 (エラーが発生している)

21. フラッシュメモリ

(3) 書き込み実行

フラッシュメモリへの書き込み実行においては、ユーザマット上の書き込み先アドレスと書き込みデータをダウンロードした書き込みプログラムに渡す必要があります。

1. ユーザマット上の書き込み先の先頭アドレスを汎用レジスタER1に設定してください。このパラメータをフラッシュマルチパースアドレスエリアパラメータ (FMPAR) と呼びます。

書き込みデータは常に128バイト単位ですので、ユーザマット上の書き込み先頭アドレスの境界はアドレスの下位8ビット (A7~A0) が、H'00またはH'80のいずれかとしてください。

2. ユーザマットへの書き込みデータを連続領域に準備してください。書き込みデータはCPUのMOV.B命令でアクセス可能な連続空間で、内蔵フラッシュメモリ空間以外としてください。

書き込みたいデータが128バイトに満たない場合でも、ダミーコード (H'FF) を埋め込んで128バイトの書き込みデータを準備してください。

準備した書き込みデータが格納されている領域の先頭アドレスを、汎用レジスタER0に設定してください。

このパラメータをフラッシュマルチパースデータデスティネーションエリアパラメータ (FMPDR) と呼びます。

書き込み処理の手続きの詳細については、「21.4.2 ユーザプログラムモード」を参照してください。

(a) フラッシュマルチパースアドレスエリアパラメータ (FMPAR : CPU の汎用レジスタ ER1)

ユーザマット上の書き込み先の先頭アドレスを設定します。

フラッシュメモリ空間以外の領域のアドレスが設定されている場合、エラーとなります。

また、書き込み先の先頭アドレスは 128 バイト境界である必要があります。この境界条件になっていない場合も、エラーとなります。これらのエラーは FMPAR パラメータのビット 1 : WA ビットに反映されます。

ビット	ビット名	初期値	R/W	説明
31~0	MOA31 ~ MOA0		R/W	ユーザマット上の書き込み先の先頭アドレスを格納します。ここで指定されたユーザマットの先頭アドレスから連続 128 バイトの書き込みが行われます。よって、指定する書き込み先の先頭アドレスは 128 バイト境界となり、MOA6 ~ MOA0 は常に 0 になります。

(b) フラッシュマルチパースデータデスティネーションパラメータ (FMPDR : CPU の汎用レジスタ ER0)

ユーザマットに書き込むデータが格納されている領域の先頭アドレスを設定します。書き込みデータの格納先がフラッシュメモリ内の場合には、エラーとなります。このエラーは FMPDR パラメータの WD ビットに反映されます。

ビット	ビット名	初期値	R/W	説明
31~0	MOD31 ~ MODA0		R/W	ユーザマットへの書き込みデータが格納されている領域の先頭アドレスを格納します。ここで指定された先頭アドレスから連続 128 バイトのデータが、ユーザマットに対して書き込まれます。

(c) フラッシュパス/フェイルパラメータ (FPFR: CPU の汎用レジスタ R0L)

書き込み処理結果の戻り値です。

ビット	ビット名	初期値	R/W	説明
7				未使用ビット 値 0 が戻されます
6	MD		R/W	書き込みモード関連設定エラー検出ビット FWE 端子への入力値が High レベルであること、およびエラープロテクト状態でないことのチェック結果を返します。FWE 端子が Low レベルであったり、エラープロテクト状態になっている場合、1 が書き込まれます。これらの状態は、FCCS の FWE ビット、FLER ビットで確認できます。なお、エラープロテクト状態への遷移条件につきましては、「21.5.3 エラープロテクト」を参照してください。 0: FWE、FLER 状態は正常 (FWE = 1、FLER = 0) 1: FWE = 0 または FLER = 1 であり、書き込みできない状態
5	EE		R/W	書き込み実行時エラー検出ビット ユーザマットが消去されていないために、指定データを書き込めなかった場合に、本ビットには 1 が返されます。これらが原因で、本ビットが 1 になった場合、ユーザマットは途中まで書き換えられている可能性が高いため、エラーになる原因を取り除いた後、消去から実施し直してください。また、FMATS の値が H'AA となっており、ユーザブートマット選択状態のときに書き込みを実施しても、書き込み実行時エラーとなります。この場合は、ユーザマット/ユーザブートマットともに、書き換えられてはいけません。ユーザブートマットの書き込みはブートモードまたはライトモードで実施してください。 0: 書き込み処理は正常終了 1: 書き込み処理が異常終了し、書き込み結果は保証できない
4	FK		R/W	フラッシュキーレジスタエラー検出ビット 書き込み処理開始前に FKEY の値をチェックした結果を戻します。 0: FKEY の設定は正常 (FKEY = H'5A) 1: FKEY の設定値エラー (FKEY は、H'5A 以外の値)
3				未使用ビット 値 0 が戻されます
2	WD		R/W	ライトデータアドレス検出ビット 書き込みデータの格納先の先頭アドレスとして、フラッシュメモリ領域のアドレスが指定された場合にはエラーとなります。 0: 書き込みデータアドレス設定は正常値 1: 書き込みデータアドレス設定が異常値
1	WA		R/W	ライトアドレスエラー検出ビット 書き込み先先頭アドレスとして、以下が指定された場合にはエラーとなります。 • フラッシュメモリの領域外が書き込み先アドレスとして指定された場合 • 指定されたアドレスが 128 バイト境界でない場合 (アドレスの低位 8 ビットが H'00 か H'80 以外) 0: 書き込み先アドレス設定は正常値 1: 書き込み先アドレス設定が異常値

21. フラッシュメモリ

ビット	ビット名	初期値	R/W	説 明
0	SF		R/W	サクセス/フェイルビット 書き込み処理が正常に終了したかどうかを戻すビットです。 0 : 書き込みは正常終了(エラーなし) 1 : 書き込みが異常終了(エラーが発生している)

(4) 消去実行

フラッシュメモリの消去実行においては、ユーザマツト上の消去ブロック番号をダウンロードした消去プログラムに渡す必要があります。これを、FEBS パラメータ(汎用レジスタ ER0)に設定します。

0~15のブロック番号から1ブロックを指定します。

消去処理の手続きの詳細については、「21.4.2 ユーザプログラムモード」を参照してください。

(a) フラッシュイレースブロックセレクトパラメータ(FEBS: CPUの汎用レジスタ ER0)

消去ブロック番号を指定します。複数のブロック番号の指定はできません。

ビット	ビット名	初期値	R/W	説 明
31~16				未使用ビット 値0を設定してください。
15	EB15		R/W	イレースブロック 0~15の範囲で消去ブロック番号を設定します。0はEB0ブロック、15はEB15ブロックに対応します。
14	EB14		R/W	
13	EB13		R/W	
12	EB12		R/W	
11	EB11		R/W	
10	EB10		R/W	
9	EB9		R/W	
8	EB8		R/W	
7	EB7		R/W	
6	EB6		R/W	
5	EB5		R/W	
4	EB4		R/W	
3	EB3		R/W	
2	EB2		R/W	
1	EB1		R/W	
0	EB0		R/W	

(b) フラッシュパス/フェイルパラメータ (FPFR: CPU の汎用レジスタ R0L)

消去処理結果の戻り値です。

ビット	ビット名	初期値	R/W	説明
7				未使用ビット 値0が戻されます
6	MD		R/W	消去モード関連設定エラー検出ビット FWE 端子への入力値が High レベルであることと、エラープロテクト状態でないことのチェック結果を返します。FWE 端子が Low レベルであったり、エラープロテクト状態になっている場合、1が書き込まれます。これらの状態は、FCCS の FWE ビット、FLER ビットで確認できます。なお、エラープロテクト状態への遷移条件につきましては、「21.5.3 エラープロテクト」を参照してください。 0: FWE、FLER 状態は正常 (FWE = 1、FLER = 0) 1: FWE = 0 または FLER = 1 であり、消去できない状態
5	EE		R/W	消去実行時エラー検出ビット ユーザマットの消去ができなかったり、フラッシュ関連レジスタの一部が書き換えられている場合に、本ビットには1が返されます。これらが原因で、本ビットが1になった場合、ユーザマットは途中まで消去されている可能性が高いため、エラーになる原因を取り除いた後、再度消去を実施し直してください。また、FMATS レジスタの値が H'AA となっており、ユーザブートマット選択状態のときに消去を実施しても、消去実行時エラーとなります。この場合は、ユーザマット/ユーザブートマットともに、消去されてはいません。ユーザブートマットの消去はブートモードまたはライターモードで実施してください。
4	FK		R/W	フラッシュキーレジスタエラー検出ビット 消去処理開始前に FKEY の値をチェックした結果を戻します。 0: FKEY の設定は正常 (FKEY = H'5A) 1: FKEY の設定値エラー (FKEY は、H'5A 以外の値)
3	EB		R/W	イレースブロックセレクトエラー検出ビット 指定された消去ブロック番号が、ユーザマットのブロック範囲内であるかのチェック結果です。 0: 消去ブロック番号の設定は正常値 1: 消去ブロック番号の設定が異常値
2				未使用ビット
1				値0が戻されます
0	SF		R/W	サクセス/フェイルビット 消去処理が正常に終了したかどうかを戻すビットです。 0: 消去は正常終了 (エラー無し) 1: 消去が異常終了 (エラーが発生している)

21.4 オンボードプログラミング

オンボードプログラミングモードに端子を設定しリセットスタートすると、内蔵フラッシュメモリへの書き込み/消去を行うことができるオンボードプログラミング状態へ遷移します。オンボードプログラミングモードにはブートモード、ユーザプログラムモードとユーザブートモードの3種類の動作モードがあります。

各モードへの設定方法は、表 21.5 を参照してください。また、フラッシュメモリに対する各モードへの状態遷移図は図 21.2 を参照してください。

表 21.5 オンボードプログラミングモードの設定方法

モード設定	FWE	$\overline{\text{MD2}}$	MD1	MD0	NMI
ブートモード	1	0	0	0	1
ユーザプログラムモード	1*	1	1	0	0/1
ユーザブートモード	1	0	0	0	0

【注】 * 書き込み/消去プログラムのダウンロードを行う前に FLSHE ビットを 1 に設定し、ユーザプログラムモードに遷移してください。

21.4.1 ブートモード

ブートモードは、内蔵の SCI を使用してホストから制御コマンドや書き込みデータを送信する方式でユーザマットやユーザブートマットへの書き込み/消去を実行するモードです。ホスト上に制御コマンドを送信するためのツールと書き込みデータを準備しておく必要があります。使用する SCI 通信モードは調歩同期式モードに設定されています。本 LSI の端子をブートモードに設定後、リセットスタートするとあらかじめマイコン内部に組み込まれているブートプログラムを起動し、SCI ビットレートの自動調整実施後、制御コマンド方式でのホストとの通信を行います。

図 21.6 にブートモード時のシステム構成図を示します。なお、ブートモードの端子設定は表 21.5 を参照してください。ブートモードでの NMI およびその他の割り込みは無視されます。しかし、NMI およびその他の割り込みはシステム側で発生しないようにしてください。

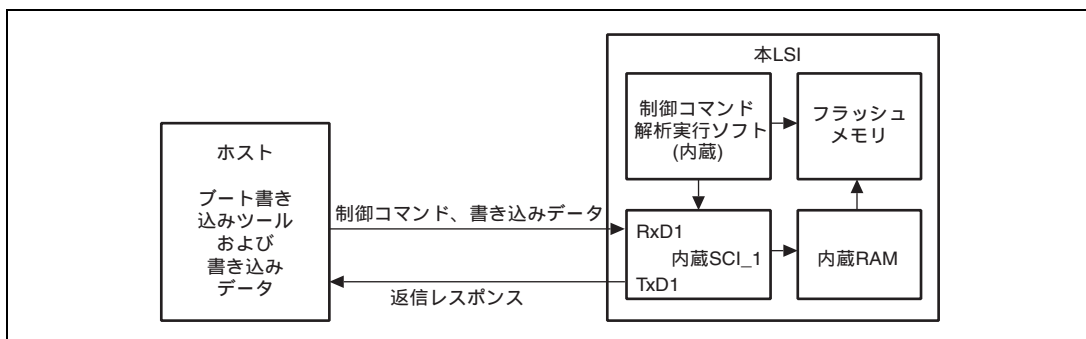


図 21.6 ブートモード時のシステム構成図

(1) ホストの SCI インタフェース設定

ブートモードが起動すると、本 LSI はホストより連続送信される調歩同期式 SCI 通信のデータ (H'00) の Low 期間を測定します。このときの SCI 送信 / 受信フォーマットは「8 ビットデータ、1 ストップビット、パリティなし」に設定してください。本 LSI は、測定した Low 期間よりホストの送信するビットレートを計算し、ビット調整終了合図 (H'00 を 1 バイト) をホストへ送信します。ホストは、この調整終了合図 (H'00) を正常に受信したことを確認し、本 LSI へ H'55 を 1 バイト送信してください。受信が正常に行われなかった場合は、再度ブートモードを起動し (リセット)、上述の操作を行ってください。ホストが送信するビットレート、および本 LSI のシステムクロックの周波数によってホストと本 LSI のビットレートに誤差が生じます。正常に SCI を動作させるために、ホストの転送ビットレートを 9,600bps または 19,200bps に設定してください。

ホストの転送ビットレートと本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数を表 21.6 に示します。このシステムクロックの範囲内でブートモードを起動してください。

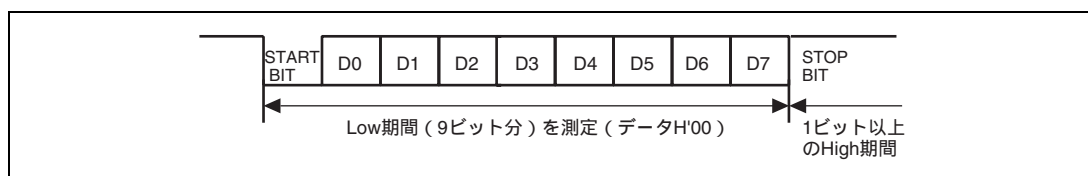


図 21.7 SCI ビットレートの自動合わせ込み動作

表 21.6 本 LSI の自動合わせ込みが可能なシステムクロックの周波数

ホストのビットレート	本 LSI のビットレートの自動合わせ込みが可能なシステムクロック周波数
9,600 bps	20 ~ 34 MHz
19,200 bps	

(2) 状態遷移図

ブートモード起動後の、状態遷移図の概要を図 21.8 に示します。

1. ビットレート合わせ込み

ブートモード起動後、ホストとの SCI インタフェースのビットレート合わせ込みを行います。

2. 問い合わせ設定コマンド待ち

ユーザマットサイズ、ユーザマット構成、マット先頭アドレス、サポート状況などの問い合わせに対して、必要情報をホストに送信します。

3. 全ユーザマットおよびユーザブートマットの自動消去

問い合わせが完了すると、すべてのユーザマットとユーザブートマットを自動消去します。

4. 書き込み/消去コマンド待ち

- 「書き込み準備通知」を受信すると、書き込みデータ待ち状態に遷移します。書き込みコマンドに続けて書き込み先頭アドレス、書き込みデータを送信してください。書き込み終了時は、書き込み先頭アドレスをH'FFFFFFFと設定して送信してください。これにより書き込みデータ待ち状態から、書き込み/消去コマンド待ち状態に戻ります。
- 「消去準備通知」を受信すると、消去ブロックデータ待ち状態に遷移します。消去コマンドに続けて消去ブロック番号を送信してください。消去終了時は、消去ブロック番号をH'FFと設定して送信してください。これにより消去ブロックデータ待ち状態から、書き込み/消去コマンド待ち状態に戻ります。なお、消去の実行はブートモードで一旦書き込んだ後に、リセットスタートせずに特定のブロックのみを書き換える場合に使用してください。1回の操作で書き込みができる場合には、書き込み/消去/他コマンド待ち状態に遷移する前に全ブロックの消去が行われていますので、本消去操作は必要ありません。
- 書き込み/消去以外に、ユーザマット/ユーザブートマットのサムチェック、ユーザマット/ユーザブートマットのブランクチェック（消去チェック）、ユーザマット/ユーザブートマットのメモリリード、および現在のステータス情報取得のコマンドがあります。

ユーザマット/ユーザブートマットのメモリ読み出しは、すべてのユーザマット/ユーザブートマットを自動消去した後に書き込んだデータについてのみ読み出しができます。それ以外は読み出しができませんので、ご注意ください。

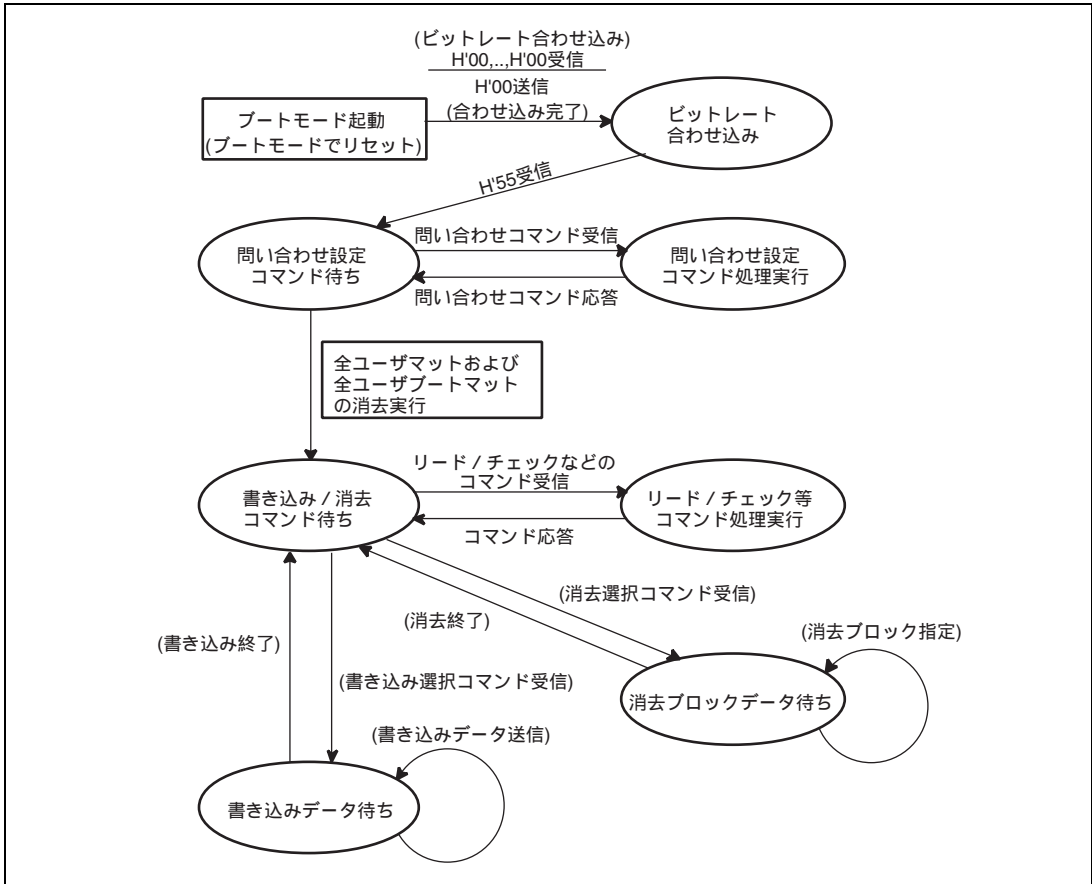


図 21.8 ブートモードの状態遷移の概略図

21.4.2 ユーザプログラムモード

ユーザプログラムモードでは、ユーザマットの書き込み / 消去ができます（ユーザブートマットの書き込み / 消去はできません）。

あらかじめマイコン内に内蔵されているプログラムをダウンロードして書き込み / 消去を実施します。

書き込み / 消去概略フローを図 21.9 に示します。

なお、書き込み / 消去処理中はフラッシュメモリ内部に高電圧が印加されていますので、書き込み / 消去処理中にはリセット、ハードウェアスタンバイへの遷移は行わないようにしてください。フラッシュメモリにダメージを与え破壊する可能性があります。誤って、リセットしてしまった場合は、100 μ s の通常より長いリセット入力期間のあとにリセットリリースしてください。

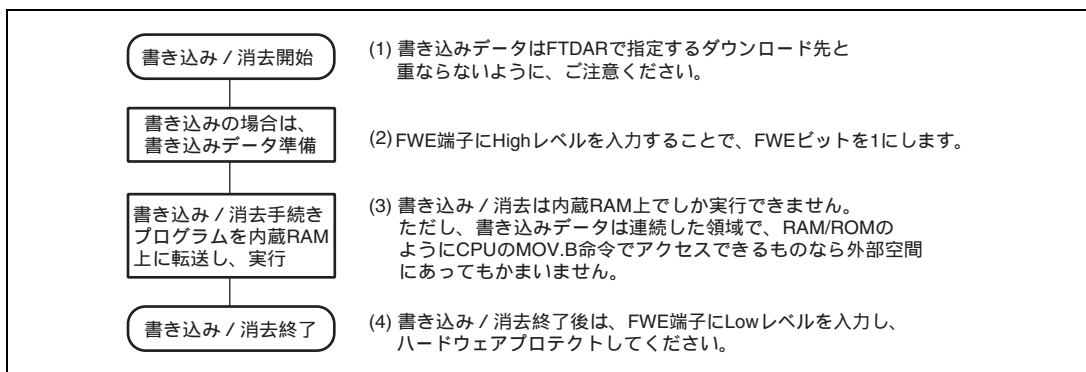


図 21.9 書き込み / 消去概略フロー

(1) 書き込み / 消去実行時の内蔵 RAM のアドレスマップ

ダウンロードの要求、書き込み / 消去の手順、結果の判定などのユーザで作成してもらう手続きプログラムの一部は必ず内蔵 RAM 上で実行する必要があります。また、ダウンロードされる内蔵プログラムはすべて内蔵 RAM 上に存在します。これらが重複することのないように、内蔵 RAM 上の領域管理に気を付けてください。

図 21.10 にダウンロードされるプログラムの領域を示します。

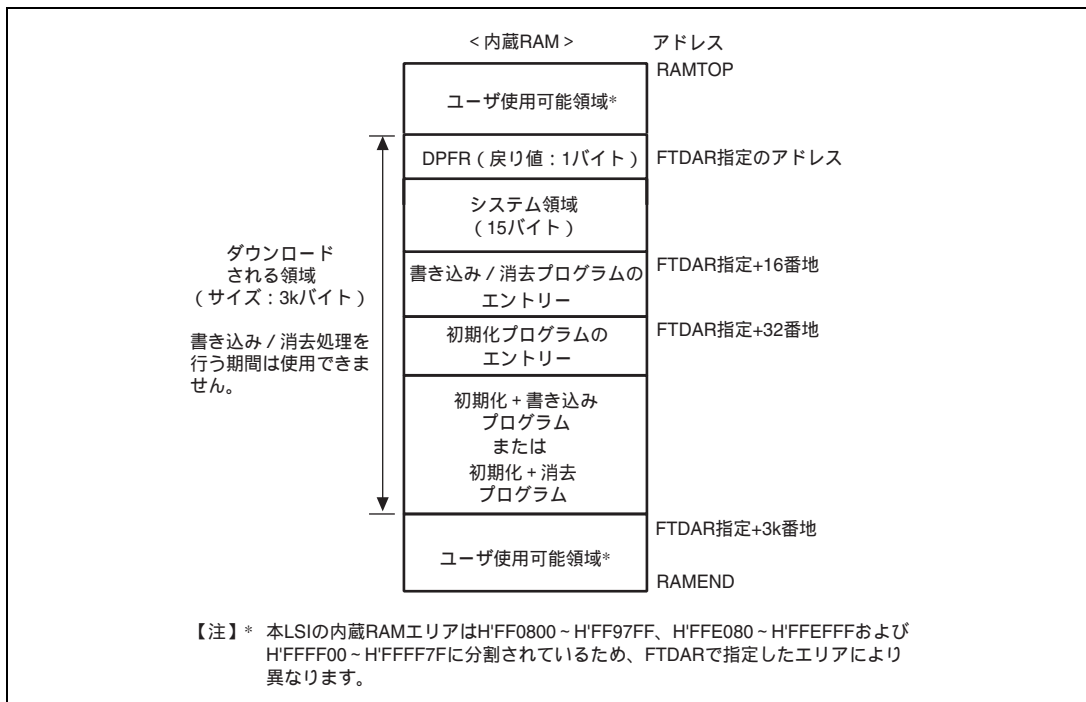


図 21.10 書き込み / 消去実施時の RAM マップ

21. フラッシュメモリ

(2) ユーザプログラムモードでの書き込み手順

ダウンロード、初期化、書き込みの手順を図 21.11 に示します。

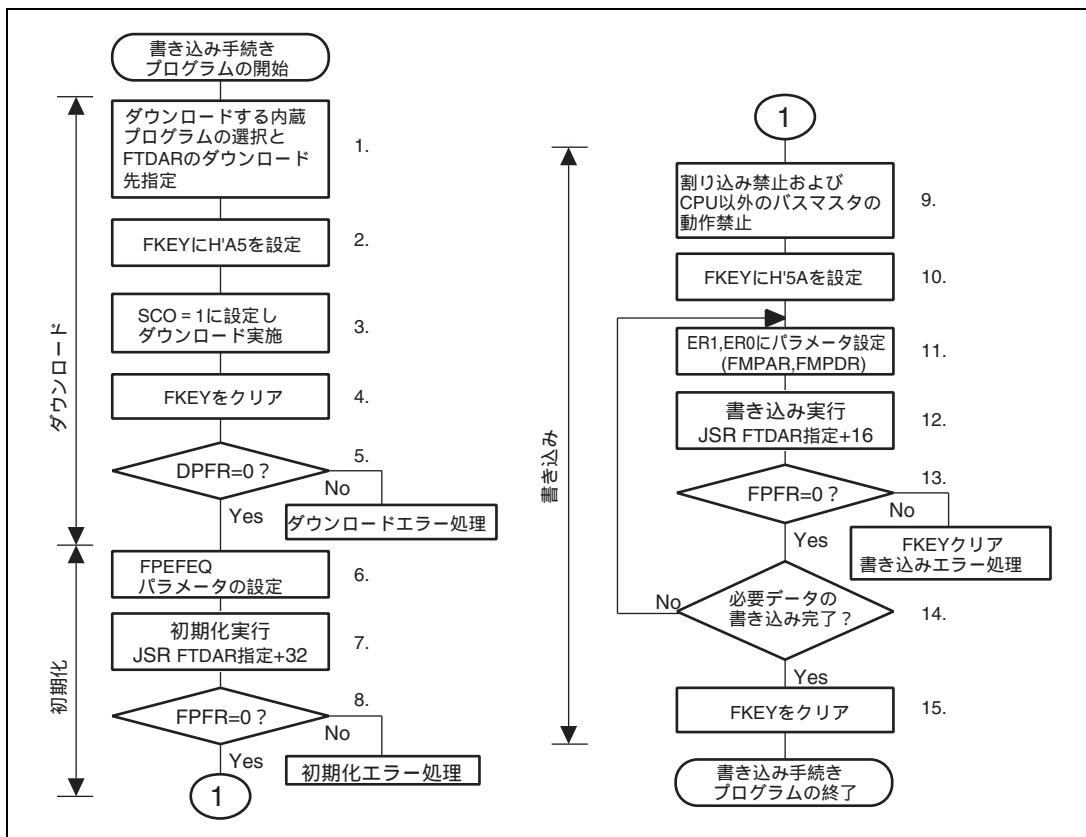


図 21.11 書き込み手順

手続きプログラムは、書き込み対象のフラッシュメモリ以外で実行してください。特に、ダウンロードのために FCCS の SCO ビットを 1 にセットする部分は、必ず内蔵 RAM 上で実行するようにしてください。

ユーザの手続きプログラムのステップごとの実行可能な領域（内蔵 RAM、ユーザマツト、外部空間など）を「21.4.4 手順プログラム、または書き込みデータの格納可能領域」に示します。

以下の説明は、ユーザマツト上の書き込み対象領域は消去されており、書き込みデータも連続領域に準備できたという前提です。消去ができていない場合は、書き込み前に消去を実施してください。

1 回の書き込み処理では 128 バイトの書き込みを行います。128 バイトを超える書き込みを行う場合は、書き込み先アドレス / 書き込みデータのパラメータを 128 バイト単位で更新して書き込みを繰り返します。

128 バイト未満の書き込みの場合も無効データを埋め込んで 128 バイトにそろえる必要があります。埋め込む無効データを H'FF にすると書き込み処理時間を短縮できます。

1. ダウンロードする内蔵プログラムの選択とダウンロード先を選択します。

FPCSのPPVSビットを1にセットすると書き込みプログラムが選択されます。

書き込み/消去プログラムを複数選択することはできません。複数設定した場合は、ダウンロードの実行は行われず、DPFRパラメータにのSSビットにダウンロードエラーが報告されます。FTDARでダウンロード先の先頭アドレスを指定します。

2. FKEYにH'A5を書き込みます。

プロテクトのためにFKEYにH'A5を書き込まないとダウンロード要求のSCOビットに1をセットすることができません。

3. FCCSのSCOビットが1にセットし、ダウンロードを実行します。

SCOビットに1をセットするためには、以下の条件がすべて満足されている必要があります。

(1) FKEYにH'A5が書き込まれていること。

(2) SCOビット書き込みが内蔵RAM上で実行されていること。

SCOビットが1にセットされると自動的にダウンロードが開始され、ユーザの手続きプログラムに戻ってきた時点では、SCOビットが0にクリアされていますので、ユーザ手続きプログラムではSCOビットが1であることの確認ができません。

ダウンロード結果の確認は、DPFRパラメータの戻り値での確認となりますので、SCOビットを1にセットする前に、DPFRパラメータとなる、FTDARで指定した内蔵RAMの先頭1バイトを、戻り値以外(H'FFなど)に設定して誤判定の発生を防いでください。

ダウンロードの実行においては、マイコン内部処理として以下に示すようなバンク切り替えを伴った特殊な割り込み処理を行いますので、SCOビットを1にセットする命令の直後には4つのNOP命令を実行してください。

- ユーザマット空間を内蔵プログラム格納領域に切り替えます。
- ダウンロードプログラム選択条件とFTDARでの指定アドレスをチェック後、FTDARで指定された内蔵RAMへの転送処理を行います。
- FPCS、FECS、FCCSのSCOビットを0クリアします。
- DPFRパラメータに戻り値を設定します。
- 内蔵プログラム格納領域をユーザマット空間に戻した後、ユーザ手続きプログラムに戻ります。
- ダウンロード処理では、CPUの汎用レジスタは値が保存されます。
- ダウンロード処理中は、すべての割り込みは受け付けられません。NMI以外の割り込みの要求は保持されていますので、ユーザ手続きプログラムに戻った時点で、割り込みが発生することになります。
- レベル検出割り込み要求を保持したい場合は、ダウンロード終了まで割り込みを入れておく必要があります。
- ダウンロード処理中にハードウェアスタンバイモードに遷移した場合、内蔵RAM上への正常ダウンロードの保証はできませんので、再度ダウンロードから実行してください。
- 最大128バイトのスタック領域を使用しますので、SCOビットを1にセットする前に確保しておいてください。
- ダウンロード中にDTCによるフラッシュメモリのアクセスが発生した場合は、動作保証ができませんので、DTCによるアクセスが発生しないようご注意ください。

21. フラッシュメモリ

4. プロテクトのために、FKEYをH'00にクリアします。
5. DPFRパラメータの値をチェックしダウンロード結果を確認します。
 - DPFR パラメータ (FTDARで指定したダウンロード先の先頭アドレスの1バイト) の値をチェックします。値がH'00ならば、ダウンロードは正常に行われています。H'00以外の場合は、以下の手順でダウンロードが行われなかった原因を調査することができます。
 - DPFRパラメータの値が、ダウンロード実行前に設定した値 (H'FFなど) と同じであった場合は、FTDARのダウンロード先アドレス設定の異常が考えられますので、FTDARのTDERビットを確認してください。
 - DPFRパラメータの値が、ダウンロード実行前の設定値と異なっている場合は、DPFRパラメータのSSビットや、FKビットにて、ダウンロードプログラムの選択やFKEYの設定が正常であったかの確認をしてください。
6. 初期化のためにFPEFEQパラメータに動作周波数を設定します。

- FPEFEQパラメータ (汎用レジスタ : ER0) に、現在のCPUクロックの周波数を設定します。

FPEFEQパラメータの設定可能範囲は20MHz ~ 34MHzです。この範囲以外の周波数が設定された場合、初期化プログラムのFPFRパラメータにエラーが報告され初期化は行われません。周波数の設定方法は「21.3.2(2) (a) フラッシュプログラム / イレース周波数パラメータ (FPEFEQ : CPUの汎用レジスタER0)」を参照してください。

7. 初期化を実行します。

初期化プログラムは書き込みプログラムのダウンロード時に一緒に内蔵RAM上にダウンロードされています。FTDAR設定のダウンロード先頭アドレス + 32バイトからの領域に、初期化プログラムのエントリーポイントがありますので、以下のような方法でサブルーチンコールして実行してください。

```
MOV.L #DLTOP+32,ER2 ; エントリーアドレスを ER2 に設定
JSR @ER2 ; 初期化ルーチンをコール
NOP
```

- 初期化プログラムではR0L以外の汎用レジスタは保存されます。
 - R0LはFPFRパラメータの戻り値です。
 - 初期化プログラムではスタック領域を使用しますので、最大128バイトのスタック領域をRAM上に確保しておいてください。
 - 初期化プログラム実行中の割り込み受け付けは可能です。ただし、内蔵RAM上のプログラム格納領域やスタック領域、レジスタの値を破壊しないようにしてください。
8. 初期化プログラムの戻り値FPFR (汎用レジスタR0L) を判定します。

9. すべての割り込みと、CPU以外のバスマスタの使用を禁止してください。

書き込みおよび消去においては規定の電圧を規定の時間幅で印加する処理を行います。この間に割り込みの発生または、CPU以外にバス権が移行するなどにより、規定以上の電圧パルスが印加されるとフラッシュメモリにダメージを与える可能性がありますので、必ず割り込みとCPU以外のDTCへのバス権を禁止としてください。

割り込み処理禁止の設定は、割り込み制御モード0のときはCPUのコンディションコードレジスタ (CCR) のビット7 (I) をB'1に設定し、割り込み制御モード1のときはCCRのビット7、6 (I、UI) をB'11に設定することで行います。こうするとNMI以外の割り込みは保持され、実行はされなくなります。

NMI割り込みは、ユーザシステム上で発生しないようにしてください。

保持した割り込みは、すべての書き込み処理後に実行するようにしてください。

また、CPU以外のDTCへのバス権の移動が発生した場合、エラープロテクト状態に遷移しますので、割り込み禁止と同様にDTCによるバス権確保も発生しないようにしておいてください。

10. FKEYにH'5Aを設定し、ユーザマツトへの書き込みができるようにしてください。

11. 書き込みに必要なパラメータの設定を行います。

ユーザマツトの書き込み先の先頭アドレス (FMPAR) を汎用レジスタER1に、書き込みデータ領域の先頭アドレス (FMPDR) の先頭アドレスを汎用レジスタのER0に設定します。

- FMPAR設定例

FMPARは書き込み先アドレスの指定ですので、ユーザマツトエリア以外のアドレスが指定された場合、書き込みプログラムを実行しても書き込みは実行されず、戻り値パラメータFPFRにはエラーが報告されます。また、128バイト単位ですのでアドレスの下位8ビットが、H'00かH'80の128バイト境界である必要があります。

- FMPDR設定例

書き込みデータの格納先がフラッシュメモリ上の場合、書き込み実行ルーチンを実行しても書き込みは行われず、FPFRパラメータにエラーが報告されます。この場合はいったん内蔵RAMに転送してから書き込むようにしてください。

12. 書き込み処理の実行

FTDARで指定したダウンロード先の先頭アドレス + 16バイトからの領域に、書き込みプログラムのエントリーポイントがありますので、以下のような方法でサブルーチンコールして実行してください。

```
MOV.L #DLTOP+16,ER2 ; エントリーアドレスを ER2 に設定
JSR @ER2 ; 書き込みルーチンをコール
NOP
```

- 書き込みプログラムではR0L以外の汎用レジスタは保存されます。
- R0LはFPFRパラメータの戻り値です。
- 書き込みプログラムではスタック領域を使用しますので、最大128バイトのスタック領域をRAM上に確保しておいてください。

21. フラッシュメモリ

13. 書き込みプログラムの戻り値FPFR（汎用レジスタR0L）を判定します。

14. 必要データの書き込みが完了したかを判断します。

128バイトを超えるデータを書き込む場合、128バイト単位でFMPAR、FMPDRの設定を行い上記12.～14.の処理を繰り返します。書き込み先アドレスの128バイトのインクリメント、書き込みデータポインタの更新を正しく行ってください。書き込み済みのアドレスへの重複書き込みになると、書き込みエラーになるばかりでなく、フラッシュメモリにダメージを与えてしまいます。

15. 書き込みが終了したらFKEYをクリアして、ソフトウェアプロテクトをかけてください。

ユーザマットへの書き込み完了直後、リセットで再起動する場合は通常より長い100 μ s以上のリセット実施期間（ $\overline{\text{RES}}=0$ の期間）を設けてください。

(3) ユーザプログラムモードでの消去手順

ダウンロード、初期化、消去の手順を図 21.12 に示します。

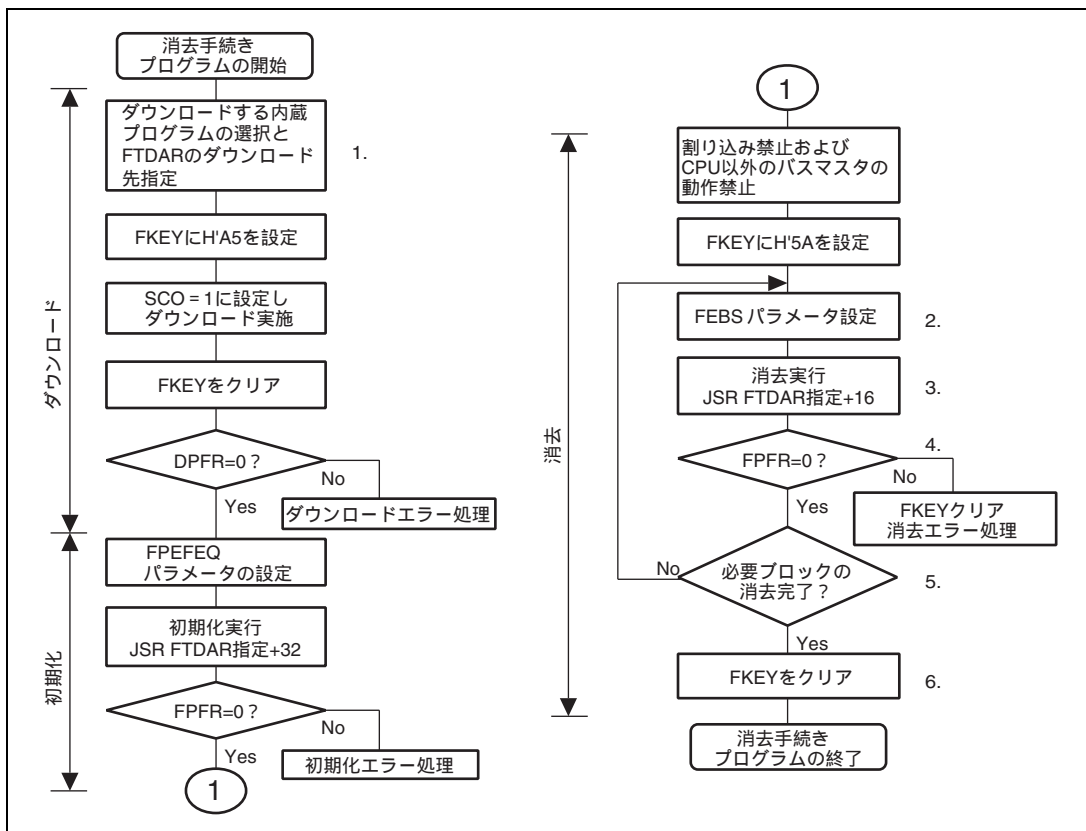


図 21.12 消去手順

手順プログラムは、消去対象のユーザマット以外で実行してください。

特に、ダウンロードのために FCCS レジスタの SCO ビットを 1 にセットする部分は、必ず内蔵 RAM 上で動作するようにしてください。

ユーザの手続きプログラムのステップごとの実行可能な領域（内蔵 RAM、ユーザマット、外部空間など）を「21.4.4 手順プログラム、または書き込みデータの格納可能領域」に示します。

ダウンロードされる内蔵プログラムの領域については、図 21.10 の書き込み / 消去時の RAM マップを参照してください。

- 1 回の消去処理では 1 分割ブロックの消去を行います。ブロック分割については、図 21.4 を参照してください。
- 2 ブロック以上の消去を行う場合は、消去ブロック番号を更新して消去を繰り返します。

21. フラッシュメモリ

1. ダウンロードする内蔵プログラムを選択します。

FECsのEPVBビットを1にセットします。

書き込み/消去プログラムを複数選択することはできません。複数設定した場合は、ダウンロードの実行は行われず、DPFRパラメータのSSビットにダウンロードエラーが報告されます。

FTDARレジスタで、ダウンロード先の先頭アドレスを指定します。

FKEYの設定以降のダウンロード、初期化、などの手続きは、書き込み手順と同じですので、「21.4.2(2) ユーザプログラムモードでの書き込み手順」を参照してください。

消去プログラム用のパラメータ設定以降を以下に示します。

2. 消去に必要なFEBSパラメータの設定を行います。

ユーザマットの消去ブロック番号をフラッシュイレースブロックセレクトパラメータFEBS（汎用レジスタER0）に設定します。ユーザマットの分割ブロック番号以外の値が設定された場合、消去処理プログラムを実行しても消去はされず、戻り値パラメータFPFRにはエラーが報告されます。

3. 消去処理を実行します。

書き込みと同様に、FTDARで指定したダウンロード先の先頭アドレス+16バイトからの領域に、消去プログラムのエントリーポイントがありますので、以下のような方法でサブルーチンコールして実行してください。

```
MOV.L #DLTOP+16,ER2 ; エントリーアドレスを ER2 に設定
JSR   @ER2          ; 消去ルーチンをコール
NOP
```

- 消去プログラムではR0L以外の汎用レジスタは保存されません。
 - R0LはFPFRパラメータの戻り値です。
 - 消去プログラムではスタック領域を使用しますので、最大128バイトのスタック領域をRAM上に確保しておいてください。
4. 消去プログラムの戻り値FPFR（汎用レジスタR0L）を判定します。
 5. 必要ブロックの消去が完了したかを判断します。

複数ブロックの消去を実施する場合、FEBSパラメータの更新設定を行い上記2.～5.の処理を繰り返します。消去済みブロックに対しての消去は可能です。
 6. 消去が終了したらFKEYをクリアして、ソフトウェアプロテクトを掛けてください。

ユーザマットへの消去完了直後、リセットで再起動する場合は通常より長い100μs以上のリセット実施期間（RES=0の期間）を設けてください。

(4) ユーザプログラムモードでの消去 / 書き込み手順

FTDAR レジスタで、ダウンロード先の内蔵 RAM アドレスを変更することで、消去プログラムと書き込みプログラムを別々の内蔵 RAM 領域にダウンロードしておくことが可能です。

消去、書き込みを繰り返し実行する場合の手順を図 21.13 に示します。

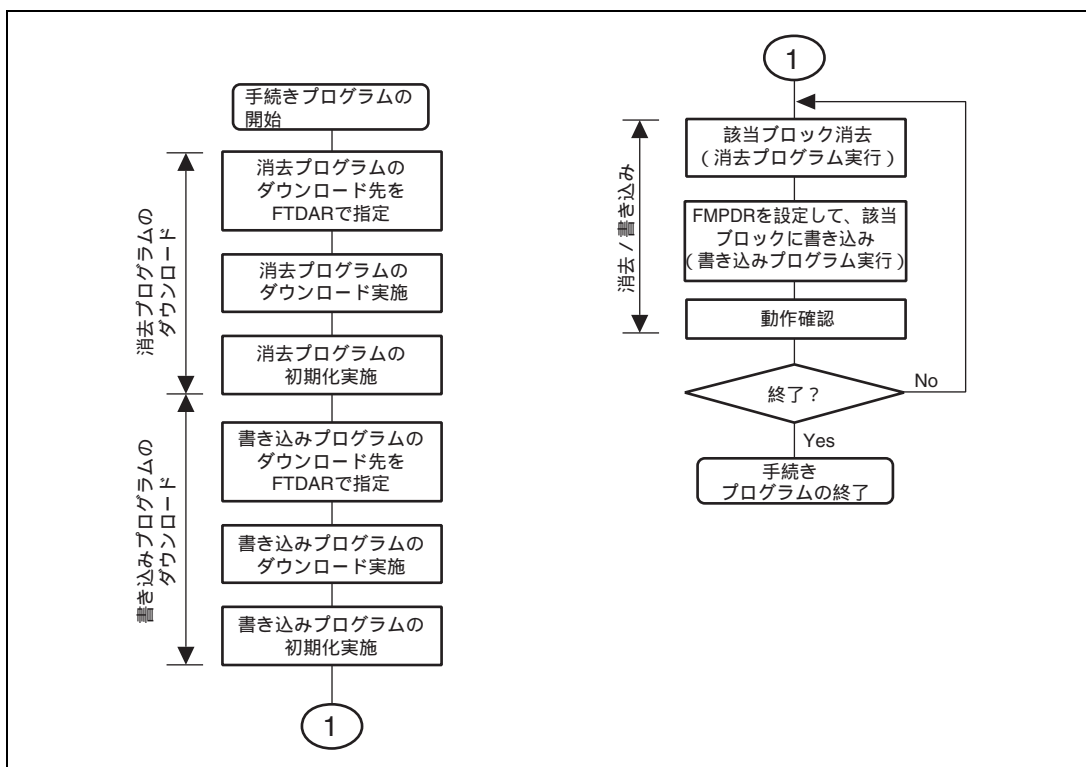


図 21.13 消去、書き込みの繰り返し手順

本手順では、ダウンロードと初期化は最初の 1 回だけ実施するようにしています。本手順のような手続きを行う場合、以下にご注意ください。

- 内蔵RAM領域の重複破壊にご注意ください。

消去プログラム領域、書き込みプログラム領域以外に、ユーザに作成していただく手順プログラムや、作業領域、スタック領域などが、内蔵RAM上に存在しますので、これらの領域を破壊しないようにしてください。

- 消去プログラムの初期化、書き込みプログラムの初期化を行ってください。

FPEFEQパラメータを設定する初期化は、必ず、消去プログラム / 書き込みプログラムの両方に実行してください。初期化のエントリーアドレスは、消去プログラムのダウンロード先頭 + 32番地、書き込みプログラムのダウンロード先頭 + 32番地の両方に対して初期化してください。

21.4.3 ユーザブートモード

本 LSI にはブートモード、ユーザプログラムモードとは異なるモード端子設定で起動するユーザブートモードがあります。内蔵 SCI を使用するブートモードとは異なるユーザ任意のブートモードが実現できます。

ユーザブートモードで書き込み/消去が可能なマットはユーザマットだけです。ユーザブートマットの書き込み/消去は、ブートモードまたはライターモードで行ってください。

(1) ユーザブートモードでの起動

ユーザブートモード起動のためのモード端子の設定は表 21.5 を参照してください。

ユーザブートモードでリセットスタートすると、いったん組み込みのチェックルーチンが走行します。ここではユーザマット、ユーザブートマットの状態チェックが行われます。

この間の NMI およびその他の割り込みは受けつけられません。

その後、ユーザブートマット上のリセットベクタの実行開始アドレスから処理を開始します。この時点で、実行マットはユーザブートマットになっていますので、FMATS レジスタには H'AA が設定されています。

(2) ユーザブートモードでのユーザマットの書き込み

ユーザブートモードでユーザマットへの書き込みを行う手続きでは、FMATS によるユーザブートマット選択状態からユーザマット選択状態への切り替え、および書き込み終了後にユーザマット選択状態から再びユーザブートマット選択状態に戻す手続きの追加が必要です。

ユーザブートモードでのユーザマットの書き込み手続きを図 21.14 に示します。

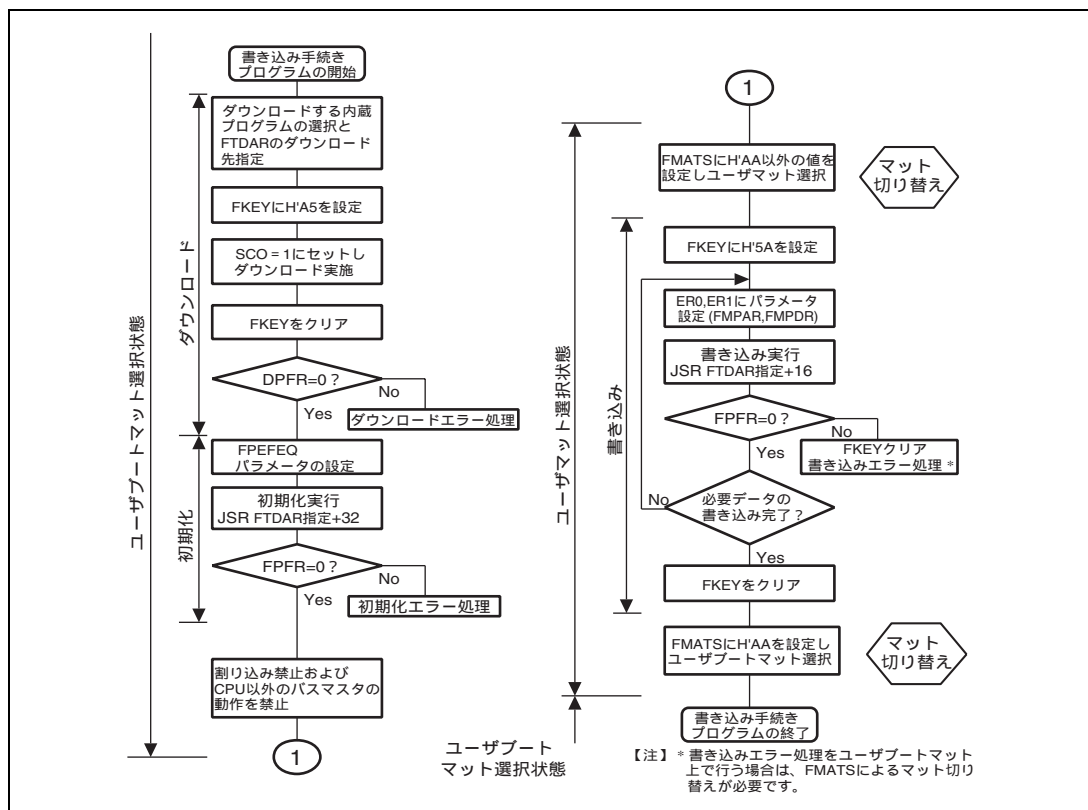


図 21.14 ユーザブートモードでのユーザマットへの書き込み手順

図 21.14 に示したように、ユーザプログラムモードとユーザブートモードでの書き込み手続きの違いは、マット切り替えを行うか否かです。

ユーザブートモードでは、フラッシュメモリ空間にユーザブートマットが見えていて、ユーザマットは「裏」に隠れている状態です。ユーザマットに書き込む処理の間だけ、ユーザマットとユーザブートマットを切り替えます。書き込み処理中は、ユーザブートマットは隠れており、かつユーザマットは書き込み状態ですので、手続きプログラムはフラッシュメモリ以外の領域で走行させる必要があります。書き込み処理が終了したら、最初の状態に戻すために再度マット切り替えを行います。

マット切り替えは、FMATS へ規定の値を書き込みことで実現できますが、完全にマット切り替えが完了するまではアクセスできず、また、割り込みが発生した場合に割り込みベクタをどちらのマットから読み出すかなど不安定状態が存在します。マット切り替えについては、「21.6 ユーザマットとユーザブートマットの切り替え」の説明に従ってください。

マット切り替え以外の書き込み手順は、ユーザプログラムモードの手順と同じです。

ユーザ手続きプログラムのステップごとの、実行可能な領域（内蔵 RAM、ユーザマット、外部空間など）については「21.4.4 手順プログラム、または書き込みデータの格納可能領域」に示します。

21. フラッシュメモリ

(3) ユーザブートモードでのユーザマットの消去

ユーザブートモードでユーザマットの消去を行う手続きでは、FMATS によるユーザブートマット選択状態からユーザマット選択状態への切り替え、および消去終了後にユーザマット選択状態から再びユーザブートマット選択状態に戻す手続きの追加が必要です。

ユーザブートモードでのユーザマットの消去手続きを図 21.15 に示します。

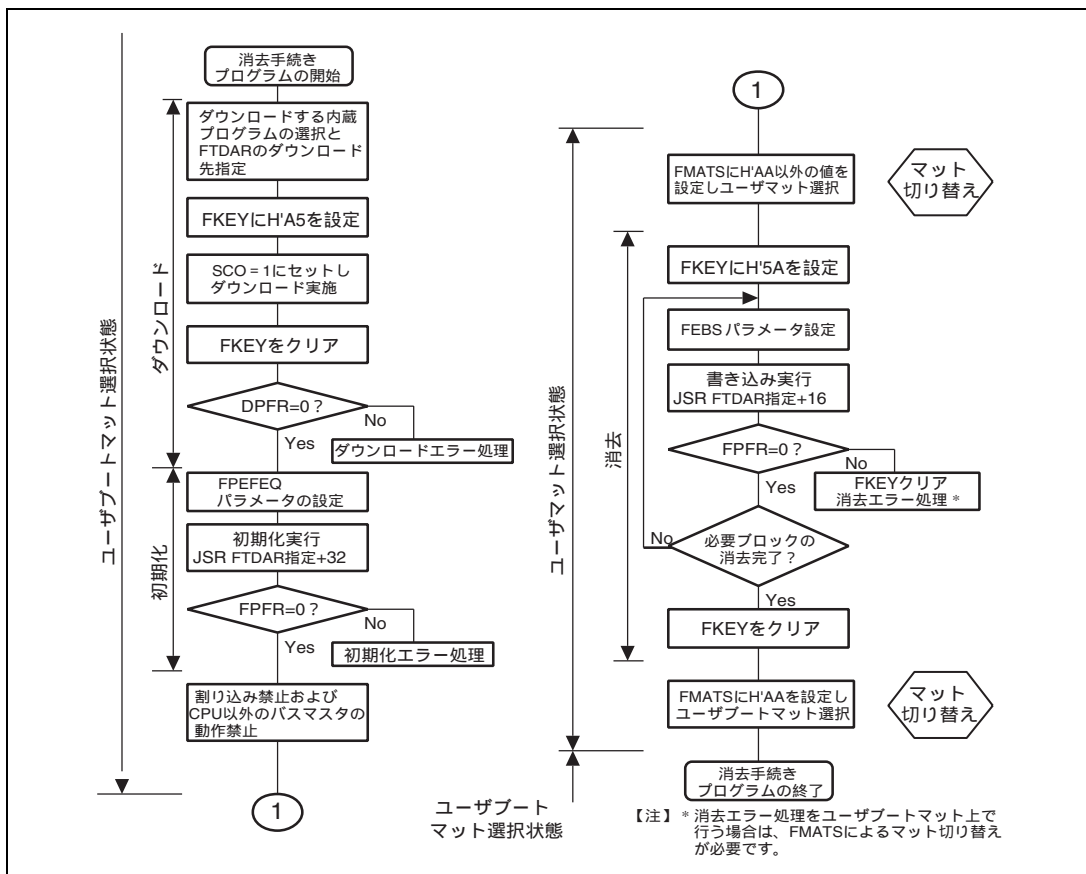


図 21.15 ユーザブートモードでのユーザマットの消去手順

図 21.15 に示したように、ユーザプログラムモードとユーザブートモードでの消去手続きの違いは、マット切り替えを行うか否かです。

マット切り替えは、FMATS へ規定の値を書き込みことで実現できますが、完全にマット切り替えが完了するまではアクセスできず、また、割り込みが発生した場合に割り込みベクタをどちらのマットから読み出すかなど不安定状態が存在します。マット切り替えについては、「21.6 ユーザマットとユーザブートマットの切り替え」の説明に従ってください。

マット切り替え以外の消去手順は、ユーザプログラムモードの手順と同じです。

ユーザ手続きプログラムのステップごとの、実行可能な領域（内蔵 RAM、ユーザマット、外部空間など）については「21.4.4 手順プログラム、または書き込みデータの格納可能領域」に示します。

21.4.4 手順プログラム、または書き込みデータの格納可能領域

本文中での書き込み/消去手順プログラムおよび書き込みデータの格納可能領域は、内蔵RAM上に準備している例で示しましたが、以下の条件により他の領域（書き込み/消去対象外のフラッシュメモリ、外部空間領域など）で実行することができます。

(1) 書き込み/消去の条件

1. 内蔵の書き込み/消去実行プログラムはFTDARで指定された内蔵RAMのアドレスからダウンロードされ、実行されるのでここは使用不可能です。
2. 内蔵の書き込み/消去実行プログラムでは、スタック領域を最大128バイト使用するので、確保してください。
3. SCOビットを1にセットしてダウンロードの要求を行う処理では、マット切り替えが発生するので内蔵RAM上で実施してください。
4. 書き込み/消去を開始する前（ダウンロード結果の判定まで）は、フラッシュメモリはアクセス可能です。シングルチップモードのように外部空間アクセスができないモードでは、この時点までに必要な手続きプログラム、NMI処理ベクタとNMI処理ルーチンなどを内蔵RAMに転送してください。
5. 書き込み/消去処理中は、フラッシュメモリのアクセスはできませんので、内蔵RAM上のダウンロードされたプログラムで実行します。これを起動させる手続きプログラム、およびNMI割り込みのベクタテーブルとNMI割り込み処理プログラムの実行領域も、フラッシュメモリ以外の内蔵RAMや、外部バス空間にある必要があります。
6. 書き込み/消去完了後のFKEYのクリアまでの期間は、フラッシュメモリのアクセスは禁止とします。

書き込み/消去完了後に、LSIモードを変更してリセット動作をさせる場合には、100 μ s以上のリセット期間（ $\overline{\text{RES}}=0$ とする期間）を設けてください。

なお、書き込み/消去処理中のリセット状態、ハードウェアスタンバイ状態への遷移は禁止ですが、誤ってリセットを入れてしまった場合は、100 μ sの通常より長いリセット期間の後に、リセットリリースしてください。

7. ユーザブートモードでのユーザマットへの書き込み/消去処理では、FMATSによるマット切り替えが必要です。マット切り替えの実行は内蔵RAM上で実施してください。

（「21.6 ユーザマットとユーザブートマットの切り替え」を参照ください）

マットの切り替えにおいて、現在どちらのマットが選択されているかにご注意ください。

8. 通常書き込みのデータであっても、書き込み処理のパラメータFMPDRが示す書き込みデータ格納領域がフラッシュメモリ上であるとエラーと判断しますので、いったん内蔵RAMに転送してFMPDRの示すアドレスはフラッシュメモリ空間以外としてください。

21. フラッシュメモリ

これらの条件を考慮し、各動作モード/ユーザマットのバンク構成/処理内容ごとの組み合わせでの、書き込みデータ格納および実行が可能なエリアを表に示します。

表 21.7 実行可能マツトまとめ

処理	起動モード	
	ユーザプログラムモード	ユーザブートモード*
書き込み	表 21.8 (1)	表 21.8 (3)
消去	表 21.8 (2)	表 21.8 (4)

【注】 * ユーザマツトに対する書き込み/消去が可能です。

表 21.8 (1) ユーザプログラムモードでの書き込み処理で使用可能エリア

項目	格納/実行が可能なエリア			選択されているマツト	
	内蔵 RAM	ユーザマツト	外部空間 (拡張モード時)	ユーザマツト	組み込み プログラム 格納マツト
書き込みデータの格納領域		×		—	—
ダウンロードする内蔵プログラムの選択処理					
FKEY への H'A5 書き込み処理					
FCCS の SCO=1 書き込み実行 (ダウンロード)		×	×		
FKEY クリア処理					
ダウンロード結果の判定					
ダウンロードエラー処理					
初期化パラメータの設定処理					
初期化実行		×	×		
初期化結果の判定					
初期化エラー処理					
NMI 処理ルーチン		×			
割り込み禁止処理					
FKEY への H'5A 書き込み処理					
書き込みパラメータの設定処置		×			
書き込み実行		×	×		
書き込み結果の判定		×			
書き込みエラー処理		×			
FKEY クリア処理		×			

【注】 * 事前に内蔵 RAM に転送しておけば可能です。

表 21.8 (2) ユーザプログラムモードでの消去処理で使用可能エリア

項目	格納 / 実行が可能なエリア			選択されているマツト	
	内蔵 RAM	ユーザマツト	外部空間 (拡張モード時)	ユーザマツト	組み込み プログラム 格納マツト
ダウンロードする内蔵プログラムの選択処理					
FKEY への H'A5 書き込み処理					
FCCS の SCO=1 書き込み実行 (ダウンロード)		×	×		
FKEY クリア処理					
ダウンロード結果の判定					
ダウンロードエラー処理					
初期化パラメータの設定処理					
初期化実行		×	×		
初期化結果の判定					
初期化エラー処理					
NMI 処理ルーチン		×			
割り込み禁止処理					
FKEY への H'5A 書き込み処理					
消去パラメータの設定処置		×			
消去実行		×	×		
消去結果の判定		×			
消去エラー処理		×			
FKEY クリア処理		×			

21. フラッシュメモリ

表 21.8 (3) ユーザブートモードでの書き込み処理で使用可能エリア

項目	格納 / 実行が可能なエリア			選択されているマット		
	内蔵 RAM	ユーザブート マット	外部空間 (拡張モード時)	ユーザ マット	ユーザ ブート マット	組み込み プログラム 格納マット
書き込みデータの格納領域		x ^{*1}		—	—	—
ダウンロードする内蔵プログラムの選択処理						
FKEY への H'5A 書き込み処理						
FCCS の SCO=1 書き込み実行 (ダウンロード)		x	x			
FKEY クリア処理						
ダウンロード結果の判定						
ダウンロードエラー処理						
初期化パラメータの設定処理						
初期化実行		x	x			
初期化結果の判定						
初期化エラー処理						
NMI 処理ルーチン		x				
割り込み禁止処理						
FMATS によるマット切り替え		x	x			
FKEY への H'5A 書き込み処理		x				
書き込みパラメータの設定処置		x				
書き込み実行		x	x			
書き込み結果の判定		x				
書き込みエラー処理		x ^{*2}				
FKEY クリア処理		x				
FMATS によるマット切り替え		x	x			

【注】 *1 事前に内蔵 RAM に転送しておけば可能です。

*2 内蔵 RAM 上で FMATS を切り替えた後なら可能です。

表 21.8 (4) ユーザブートモードでの消去処理で使用可能エリア

項目	格納 / 実行が可能なエリア			選択されているマット		
	内蔵 RAM	ユーザブート マット	外部空間 (拡張モード時)	ユーザ マット	ユーザ ブート マット	組み込み プログラム 格納マット
ダウンロードする内蔵プログラムの選択処理						
FKEY への H'A5 書き込み処理						
FCCS の SCO=1 書き込み実行 (ダウンロード)		×	×			
FKEY クリア処理						
ダウンロード結果の判定						
ダウンロードエラー処理						
初期化パラメータの設定処理						
初期化実行		×	×			
初期化結果の判定						
初期化エラー処理						
NMI 処理ルーチン		×				
割り込み禁止処理						
FMATS によるマット切り替え		×	×			
FKEY への H'5A 書き込み処理		×				
消去パラメータの設定処置		×				
消去実行		×	×			
消去結果の判定		×				
消去エラー処理		×*				
FKEY クリア処理		×				
FMATS によるマット切り替え		×	×			

【注】 * 内蔵 RAM 上で FMATS を切り替えた後なら可能です。

21. フラッシュメモリ

21.5 プロテクト

フラッシュメモリに対する書き込み / 消去プロテクトは、ハードウェアプロテクト、ソフトウェアプロテクト、エラープロテクトの3種類あります。

21.5.1 ハードウェアプロテクト

ハードウェアプロテクトとは、フラッシュメモリに対する書き込み / 消去が強制的に禁止、中断された状態のことです。内蔵プログラムのダウンロードと初期化実行はできますが、書き込み / 消去プログラムを起動してもユーザマットの書き込み / 消去はできず、書き込み / 消去エラーが FPFPR パラメータで報告されます。

表 21.9 ハードウェアプロテクト

項目	説明	プロテクトが有効な機能	
		ダウンロード	書き込みと消去
FWE 端子プロテクト	<ul style="list-style-type: none">FWE 端子に Low レベルが入力されているときには、FCCS の FWE ビットがクリアされ、書き込み / 消去プロテクト状態になります。	-	
リセット、スタンバイプロテクト	<ul style="list-style-type: none">リセット (WDT によるリセットも含む) およびハードウェアスタンバイ時は、書き込み / 消去インタフェースレジスタが初期化され、書き込み / 消去プロテクト状態になります。RES 端子によるリセットでは、電源投入後発振が安定するまで RES 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した RES パルス幅の間 RES 端子を Low レベルに保持してください。書き込み / 消去動作中のフラッシュメモリの値は、保証しません。この場合は、消去を実施してから再度書き込みを実施してください。		

21.5.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、内蔵の書き込み / 消去プログラムのダウンロードからのプロテクト、キーコードによるプロテクトがあります。

表 21.10 ソフトウェアプロテクト

項目	説明	プロテクトが有効な機能	
		ダウンロード	書き込みと消去
SCO ビットプロテクト	<ul style="list-style-type: none">FCCS の SCO ビットを 0 にクリアすることにより、書き込み / 消去プログラムのダウンロードができないため、書き込み / 消去プロテクト状態になります。		
FKEY プロテクト	<ul style="list-style-type: none">FKEY にキーコードを書き込まないと、ダウンロードと書き込み / 消去ができません。ダウンロードと書き込み / 消去では、異なったキーコードの設定が必要です。		

21.5.3 エラープロテクト

エラープロテクトは、フラッシュメモリへの書き込み/消去中のマイコンの暴走や規定の書き込み/消去手順に沿っていない動作をした場合に発生する異常を検出し、書き込み/消去動作を強制的に中断するプロテクトです。書き込み/消去動作を中断することで、過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み/消去中にマイコンが異常動作すると、FCCSのFLERビットが1にセットされエラープロテクト状態に遷移し、書き込み/消去は中断されます。

FLERビットのセット条件を以下に示します。

1. 書き込み/消去中にNMIなどの割り込みが発生したとき
2. 書き込み/消去中にフラッシュメモリを読み出したとき（ベクタリードおよび命令フェッチを含む）
3. 書き込み/消去中にSLEEP命令を実行したとき（ソフトウェアスタンバイを含む）
4. 書き込み/消去中にCPU以外のバスマスタ（DTC）が、バス権を確保したとき

エラープロテクトの解除は、リセットまたはハードウェアスタンバイで行われます。

なお、この場合のリセット入力期間は、通常より長い100 μ sの期間のあとにリセットリリースしてください。フラッシュメモリには書き込み/消去中には高電圧が印加されているため、エラープロテクト状態への遷移時に、印加電圧が抜けきれない恐れがあります。このため、リセット期間を延長してチャージを抜くことにより、フラッシュメモリへのダメージを低減する必要があります。

図 21.16 にエラープロテクト状態への状態遷移図を示します。

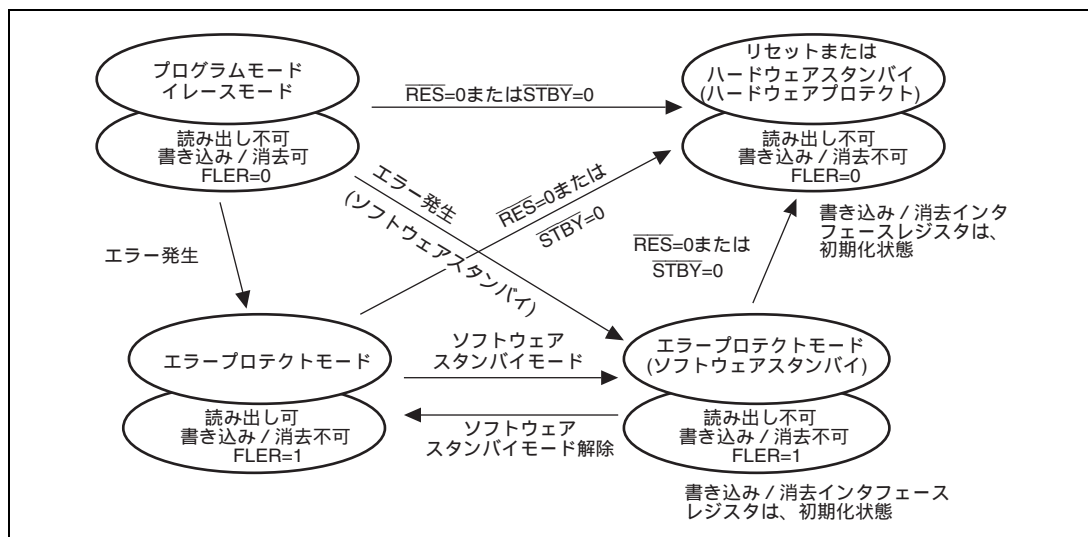


図 21.16 エラープロテクト状態への状態遷移図

21.6 ユーザマットとユーザブートマットの切り替え

ユーザマットとユーザブートマットを切り替えて使うことができます。ただし、同じ0番地からのアドレスに割り当てられているため、以下の手順が必要です。

(ユーザブートマットに切り替えた状態での書き込み/消去はできません。ユーザブートマットの書き換えは、ブートモードまたはライターモードで実施してください。)

1. FMATSによるマット切り替えは、必ず内蔵RAM上で実行してください。
2. 確実に切り替えを行った後で切り替え後のマットのアクセスをするために内蔵RAM上でのFMATS書き換えの直後には、同じく内蔵RAM上で4個のNOP命令を実行してください。
(切り替えを行っている最中のフラッシュメモリをアクセスしないためです)
3. 切り替えの最中に割り込みが発生した場合、どちらのメモリマットがアクセスされるか保証できません。
必ずマット切り替え実行前に、マスク可能な割り込みはマスクするようにしてください。また、マット切り替え中には、NMI割り込みが発生しないようなシステムとしてください。
4. マット切り替え完了後は、各種割り込みのベクターテーブルも切り替わっていますので注意してください。
マット切り替え前後で同じ割り込み処理を実施する場合は、内蔵RAM上に割り込み処理ルーチンを転送しておき、かつ割り込みベクターテーブルもFCCSのWEINTEビットをセットすることにより内蔵RAM上に設定するをお願いします。
5. ユーザマットとユーザブートマットはメモリサイズが異なります。16kバイト以上の空間のユーザブートマットをアクセスしないようにしてください。16kバイト空間以上をアクセスした場合、不定値が読み出されます。

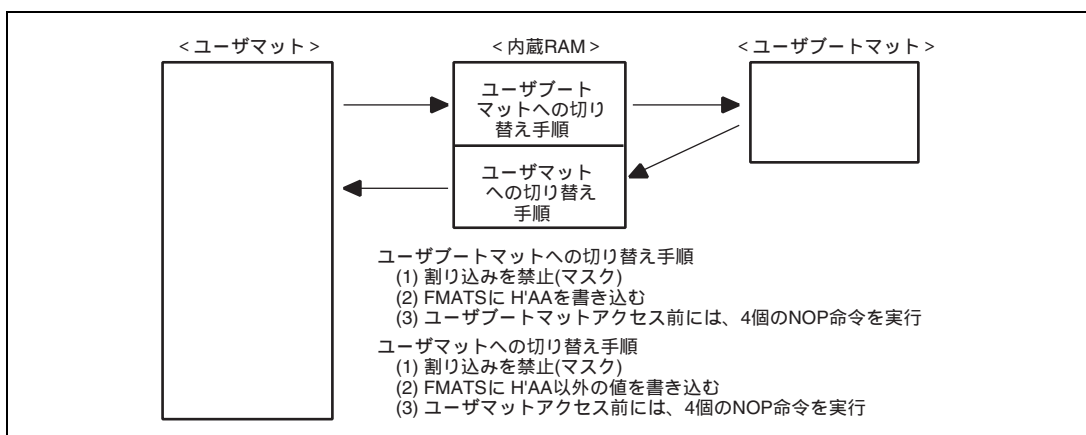


図 21.17 ユーザマット/ユーザブートマットの切り替え

21.7 ライタモード

プログラム/データの書き込み/消去が可能なモードとして、オンボードプログラミングモード以外にライタモードがあります。ライタモードでは 256k バイトフラッシュメモリ内蔵マイコンのデバイスタイプ*¹、もしくは 512k バイトフラッシュメモリ内蔵マイコンのデバイスタイプ*¹をサポートしている汎用 PROM ライタを用いて内蔵 ROM に自由にプログラムを書き込むことができます。書き込み/消去対象マツトは、ユーザマツトとユーザブートマツト*²です。

自動書き込み/自動消去/ステータス読み出しのモードではステータスポーリング方式を採用しており、また、ステータス読み出しモードでは自動書き込み/自動消去を実行した後に、その詳細な内部信号を出力します。ライタモードでは、入力クロックとして 12MHz を入力してください。

【注】 *1 本 LSI は、PROM ライタの書き込み電圧を 3.3V に設定して使用してください。

*2 対応する PROM ライタおよびそのプログラムバージョンに関しては、ソケットアダプタの取り扱い説明書等を参照してください。

21.8 ブートモードの標準シリアル通信インタフェース仕様

ブートモードで起動するブートプログラムは、ホストパソコンと LSI 内蔵の SCI を使って送受信を行います。ホストとブートプログラムのシリアル通信インタフェース仕様を以下に示します。

(1) ステータス

ブートプログラムは 3 つのステータスを持ちます。

1. ビットレート合わせ込みステータス

ホストと送受信するビットレートを合わせ込むステータスです。ブートモードで起動するとブートプログラムが起動し、ビットレート合わせ込みステータスになり、ホストからのコマンドを受信しビットレートの合わせ込みを行います。合わせ込みが終了すると、問い合わせ選択ステータスに遷移します。

21. フラッシュメモリ

2. 問い合わせ選択ステータス

ホストからの問い合わせコマンドに応答するステータスです。このステータスで、デバイスとクロックモードとビットレートを選択します。選択が完了したら、書き込み/消去ステータス遷移コマンドで書き込み/消去ステータスに遷移します。書き込み/消去ステータスに遷移する前に、ブートプログラムは消去関連ライブラリを内蔵RAM上に転送し、ユーザマットとユーザブートマットを消去します。

3. 書き込み消去ステータス

書き込み/消去を行うステータスです。ホストからのコマンドに従って、書き込み/消去プログラムをRAMに転送し、書き込み/消去を行います。コマンドにより、サムチェック、ブランクチェックを行います。

ブートプログラムのステータスを図 21.18 に示します。

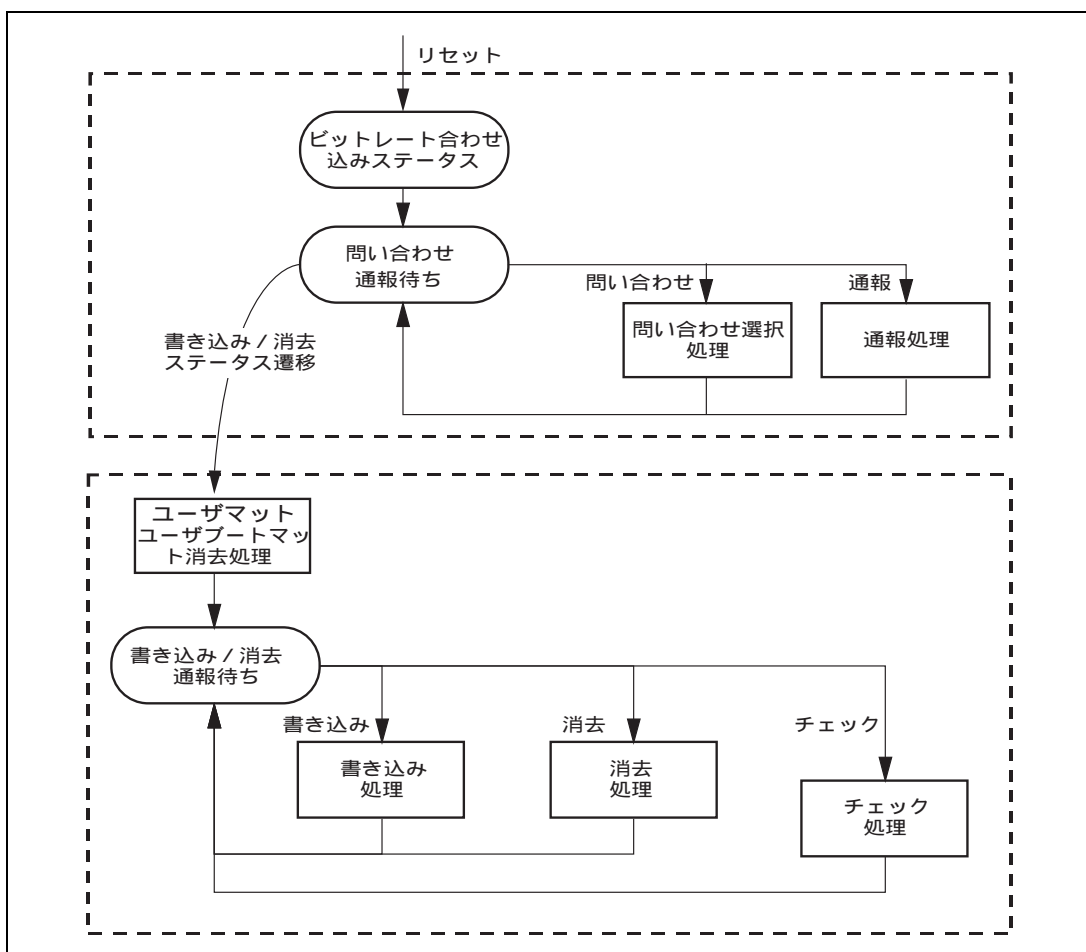


図 21.18 ブートプログラムのステータス

(2) ビットレート合わせ込みステータス

ビットレート合わせ込みは、ホストから送信された H'00 のローレベルの区間を測定してビットレートを計算します。このビットレートは新ビットレート選択コマンドで変更することができます。ビットレート合わせ込みが終了すると、ブートプログラムは問い合わせ選択ステータスに遷移します。ビットレート合わせ込みのシーケンスを図 21.19 に示します。

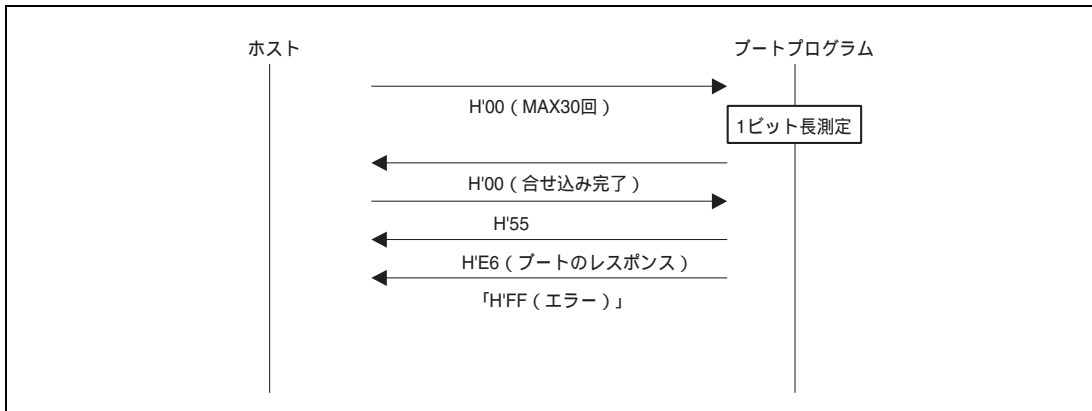


図 21.19 ビットレート合わせ込みのシーケンス

(3) 通信プロトコル

ビットレート合わせ込みが完了した後の、パソコンホストとブートプログラムとのシリアル通信プロトコルは以下のとおりです。

1. 1文字コマンドまたは1文字レスポンス

コマンドまたはレスポンスが1文字だけのもので、問い合わせと、正常終了のACKがあります。

2. n文字コマンドまたはn文字レスポンス

コマンド、レスポンスにnバイトのデータを必要とするもので、選択コマンドと、問い合わせに対応するレスポンスがあります。

書き込みデータについては、データ長を別途定めるので、データのサイズは省略します。

3. エラーレスポンス

コマンドに対するエラーレスポンスです。エラーレスポンスと、エラーコードの2バイトです。

4. 128バイト書き込み

サイズのないコマンドです。データのサイズは書き込みサイズ問い合わせのレスポンスで知ることができます。

5. メモリリードのレスポンス

サイズが4バイトのレスポンスです。

21. フラッシュメモリ

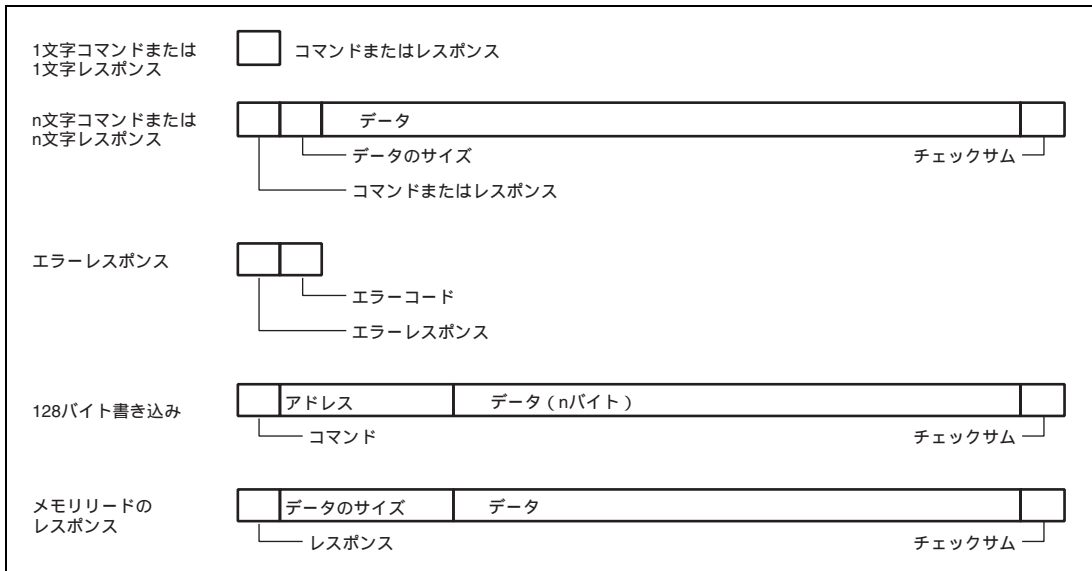


図 21.20 通信プロトコルフォーマット

- コマンド (1バイト) : 問い合わせ、選択、書き込み、消去、チェックなどのコマンド
- レスポンス (1バイト) : 問い合わせに対する応答
- サイズ (1バイト) : コマンド、サイズ、サムチェックを除いた送受信データのサイズ
- データ (nバイト) : コマンド、レスポンスの詳細データ
- チェックサム (1バイト) : コマンドからSUMまで加算し、H'00となるように設定
- エラーレスポンス (1バイト) : コマンドに対するエラーレスポンス
- エラーコード (1バイト) : 発生したエラーの種類
- アドレス (4バイト) : 書き込みアドレス
- データ (nバイト) : 書き込みデータ、nは書き込みサイズ問い合わせコマンドのレスポンスで知る
- データのサイズ (4バイト) : メモリリードのレスポンスで4バイト長

(4) 問い合わせ選択ステータス

問い合わせ選択ステータスでは、ブートプログラムはホストからの問い合わせコマンドに対してフラッシュROMの情報を応答し、選択コマンドに対してデバイス、クロックモード、ビットレートを選択します。

問い合わせ選択コマンド一覧を下表に示します。

表 21.11 問い合わせ選択コマンド一覧

コマンド	コマンド名	機能
H'20	サポートデバイス問い合わせ	デバイスコードと品名の問い合わせ
H'10	デバイス選択	デバイスコードの選択
H'21	クロックモード問い合わせ	クロックモード数とそれぞれの値の問い合わせ
H'11	クロックモード選択	選択されているクロックモードの通知
H'22	逡倍比問い合わせ	逡倍比または分周比の種類数とそれぞれの個数とその値の問い合わせ
H'23	動作周波数問い合わせ	メインクロックとペリフェラルクロックの最小値最大値の問い合わせ
H'24	ユーザブートマット情報問い合わせ	ユーザブートマットの個数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'25	ユーザマット情報問い合わせ	ユーザマットの個数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'26	消去ブロック情報問い合わせ	ブロック数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'27	書き込みサイズ問い合わせ	書き込み時のデータ長の問い合わせ
H'3F	新ビットレート選択	新ビットレートの選択
H'40	書き込み消去ステータス遷移	ユーザマット、ユーザブートマットを消去し、書き込み消去ステータスに遷移
H'4F	ブートプログラムステータス問い合わせ	ブートの処理状態の問い合わせ

選択コマンドは、デバイス選択 (H'10)、クロックモード選択 (H'11)、新ビットレート選択 (H'3F) の順にホストから送信してください。これらのコマンドは必ず必要です。選択コマンドが2つ以上送信されたときは、後に送信された選択コマンドが有効になります。

これらのコマンドは、ブートプログラムステータス問い合わせ (H'4F) を除いて、書き込み消去ステータス遷移 (H'40) を受付けるまでは有効であり、ホスト側は上記のコマンド中、ホストが必要なものを、選択して問い合わせを行うことができます。ブートプログラムステータス問い合わせ (H'4F) は書き込み消去ステータス遷移 (H'40) を受付け後も有効です。

21. フラッシュメモリ

(a) サポートデバイス問い合わせ

サポートデバイス問い合わせに対して、ブートプログラムはサポート可能なデバイスのデバイスコードと製品名を応答します。

コマンド

H'20

- コマンド「H'20」（1バイト）：サポートデバイス問い合わせ

レスポンス

H'30	サイズ	デバイス数	
文字数	デバイスコード	品名	
...			
SUM			

- レスポンス「H'30」（1バイト）：サポートデバイス問い合わせに対する応答
- サイズ(1バイト)：コマンド、サイズ、チェックサムを除いた送受信データのサイズ、ここではデバイス数、文字数、デバイスコード、品名の合計サイズ
- デバイス数(1バイト)：マイコン内のブートプログラムがサポートする品種数
- 文字数(1バイト)：デバイスコードとブートプログラム品名の文字数
- デバイスコード(4バイト)：サポートする品名のASCIIコード
- 品名(nバイト)：ブートプログラム型名、ASCIIコード
- SUM(1バイト)：サムチェック、コマンドからSUMまで加算し、H'00となるように設定

(b) デバイス選択

デバイス選択に対して、ブートプログラムはサポートデバイスを指定されたサポートデバイスに設定します。その後の問い合わせに対して選択されたデバイスの情報を応答します。

コマンド

H'10	サイズ	デバイスコード	SUM
------	-----	---------	-----

- コマンド「H'10」（1バイト）：デバイス選択
- サイズ.(1バイト)：デバイスコードの文字数、固定値で2
- デバイスコード(4バイト)：サポートデバイス問い合わせで応答したデバイスコード(ASCIIコード)
- SUM(1バイト)：サムチェック

レスポンス

H'06

• レスポンス「H'06」（1バイト）：デバイス選択に対する応答、デバイスコードが一致したときACK
エラー

レスポンス

H'90	ERROR
------	-------

- エラーレスポンス「H'90」（1バイト）：デバイス選択に対するエラー応答
- ERROR：(1バイト)：エラーコード
 - H'11：サムチェックエラー
 - H'21：デバイスコードエラー、デバイスコードが一致しない

(c) クロックモード問い合わせ

クロックモード問い合わせに対して、ブートプログラムは選択可能なクロックモードを応答します。

コマンド

H'21

- コマンド「H'21」（1バイト）：クロックモード問い合わせ

レスポンス

H'31	サイズ	モード数	モード	...	SUM
------	-----	------	-----	-----	-----

- レスポンス「H'31」（1バイト）：クロックモード問い合わせに対する応答
- サイズ（1バイト）：モード数、モードの合計サイズ
- クロックモード数（1バイト）：デバイスで選択可能なクロックモード数
H'00の場合はクロックモードなし、またはデバイスがクロックモード読み取り可を示す
- モード（1バイト）：選択可能なクロックモード（例：H'01 クロックモード1）
- SUM（1バイト）：サムチェック

(d) クロックモード選択

クロックモード選択に対して、ブートプログラムはクロックモードを指定されたモードに設定します。その後の問い合わせに対して、選択されたクロックモードの情報を応答します。

クロックモード選択コマンドはデバイス選択コマンド送信後に送信してください。

コマンド

H'11	サイズ	モード	SUM
------	-----	-----	-----

- コマンド「H'11」（1バイト）：クロックモード選択
- サイズ（1バイト）：モードの文字数、固定値1
- モード（1バイト）：クロックモード問い合わせで応答されたクロックモード
- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：クロックモード選択に対する応答、クロックモードが一致したときACK
エラー

レスポンス

H'91	ERROR
------	-------

- エラーレスポンス「H'91」（1バイト）：クロックモード選択に対するエラー応答
- ERROR：（1バイト）：エラーコード
H'11：サムチェックエラー
H'22：クロックモードエラー、クロックモードが一致しない

クロックモード問い合わせでクロックモード数がH'00、H'01の場合もそれぞれその値で、クロックモード選択をしてください。

21. フラッシュメモリ

(e) 逡倍比問い合わせ

逡倍比問い合わせに対して、ブートプログラムは選択可能な逡倍比または分周比を応答します。

コマンド

H'22

- コマンド「H'22」（1バイト）：逡倍比問い合わせ

レスポンス	H'32	サイズ	種別数						
	逡倍比数	逡倍比	...						
	...								
	SUM								

- レスポンス「H'32」（1バイト）：逡倍比問い合わせに対する応答
- サイズ（1バイト）：種別数、逡倍比数、逡倍比の合計サイズ
- 種別数（1バイト）：デバイスで選択可能な逡倍比の種別の数
（メイン動作周波数と周辺モジュール動作周波数の2種類ならH'02）
- 逡倍比数（1バイト）：各動作周波数で選択可能な逡倍比数
メインモジュール、周辺モジュールで選択可能な逡倍比数
- 逡倍比（1バイト）
 - ・ 逡倍比： 逡倍する数値（例 4逡倍：H'04）
 - ・ 分周比： 分周する数値、負の数（例 2分周：H'FE[- 2]）
 逡倍比を逡倍比数の数だけ繰り返す、逡倍比数と逡倍比の組み合わせを種別数の数だけ繰り返す。
- SUM（1バイト）：サムチェック

(f) 動作周波数問い合わせ

動作周波数問い合わせに対して、ブートプログラムは動作周波数の数とその最小値、最大値を応答します。

コマンド

H'23

- コマンド「H'23」（1バイト）：動作周波数問い合わせ

レスポンス	H'33	サイズ	周波数の数
	動作周波数最小値	動作周波数最大値	
	...		
	SUM		

- レスポンス「H'33」（1バイト）：動作周波数問い合わせに対する応答
- サイズ（1バイト）：動作周波数の数、動作周波数最小値、動作周波数最大値の合計サイズ
- 周波数の数（1バイト）：デバイスに必要な動作周波数の種類数、
たとえば、メイン動作周波数と周辺モジュール動作周波数の場合は2
- 動作周波数最小値（2バイト）：逡倍あるいは分周されたクロックの最小値、
動作周波数最小値、最大値は周波数（MHz）の小数点2位までの値を100倍した値、
（たとえば、20.00MHzのときは100倍して2000とし、H'07D0とする）
- 動作周波数最大値（2バイト）：逡倍あるいは分周されたクロックの最大値、
動作周波数最大値、動作周波数最大値のデータが周波数の数だけ続く

- SUM (1バイト) : サムチェック

(g) ユーザブートマット情報問い合わせ

ユーザブートマット情報問い合わせに対して、ブートプログラムはユーザブートマットのエリア数とアドレスを応答します。

コマンド

H'24

- コマンド「H'24」(1バイト) : ユーザブートマット情報問い合わせ

レスポンス	H'34	サイズ	エリア数	
	エリア先頭アドレス		エリア最終アドレス	
	...			
	SUM			

- レスポンス「H'34」(1バイト) : ユーザブートマット情報問い合わせに対する応答
- サイズ(1バイト) : エリア数、エリア先頭アドレス、エリア最終アドレスの合計サイズ
- エリア数(1バイト) : 連続したユーザブートマットのエリアの数、ユーザブートマットのエリアが連続の場合はH'01
- エリア先頭アドレス(4バイト) : エリアの先頭アドレス
- エリア最終アドレス(4バイト) : エリアの最終アドレス、エリア先頭アドレス、エリア最終アドレスのデータがエリア数分続く
- SUM(1バイト) : サムチェック

(h) ユーザマット情報問い合わせ

ユーザマット情報問い合わせに対して、ブートプログラムはユーザマットのエリア数とアドレスを応答します。

コマンド

H'25

- コマンド「H'25」(1バイト) : ユーザマット情報問い合わせ

レスポンス	H'35	サイズ	エリア数	
	エリア先頭アドレス		エリア最終アドレス	
	...			
	SUM			

- レスポンス「H'35」(1バイト) : ユーザマット情報問い合わせに対する応答
- サイズ(1バイト) : エリア数、エリア先頭アドレス、エリア最終アドレスの合計サイズ
- エリア数(1バイト) : 連続したユーザマットのエリアの数、ユーザマットのマットエリアが連続の場合はH'01
- エリア先頭アドレス(4バイト) : エリアの先頭アドレス
- エリア最終アドレス(4バイト) : エリアの最終アドレス、エリア先頭アドレス、エリア最終アドレスのデータがエリア数分続く
- SUM(1バイト) : サムチェック

21. フラッシュメモリ

(i) 消去ブロック情報問い合わせ

消去ブロック情報問い合わせに対して、ブートプログラムは消去ブロックのブロック数とそのアドレスを応答します。

コマンド

H'26

- コマンド「H'26」（1バイト）：消去ブロック情報問い合わせ

レスポンス	H'36	サイズ	ブロック数	
	ブロック先頭アドレス			ブロック最終アドレス
	...			
	SUM			

- レスポンス「H'36」（1バイト）：消去ブロック情報問い合わせに対する応答
- サイズ（2バイト）：ブロック数、ブロック先頭アドレス、ブロック最終アドレスの合計サイズ
- ブロック数（1バイト）：フラッシュメモリ消去ブロック数
- ブロック先頭アドレス（4バイト）：ブロックの先頭アドレス
- ブロック最終アドレス（4バイト）：ブロックの最終アドレス、
ブロック先頭アドレス、ブロック最終アドレスのデータがブロック数分続く
- SUM（1バイト）：サムチェック

(j) 書き込みサイズ問い合わせ

書き込みサイズ問い合わせに対して、ブートプログラムは書き込みデータの書き込み単位を応答します。

コマンド

H'27

- コマンド「H'27」（1バイト）：書き込みサイズ問い合わせ

レスポンス	H'37	サイズ	書き込みサイズ	SUM
-------	------	-----	---------	-----

- レスポンス「H'37」（1バイト）：書き込みサイズ問い合わせに対する応答
- サイズ（1バイト）：書き込み単位のサイズの文字数、固定値で2
- 書き込みサイズ（2バイト）：書き込み単位のサイズ、
このサイズで書き込みデータを受け取る
- SUM（1バイト）：サムチェック

(k) 新ビットレート選択

新ビットレート選択に対して、ブートプログラムは指定されたビットレートに選択変更し、確認に対して新ビットレートで応答します。

新ビットレート選択コマンドはクロックモード選択コマンド送信後に送信してください。

コマンド	H'3F	サイズ	ビットレート	入力周波数
	通倍比数	通倍比 1	通倍比 2	
	SUM			

- コマンド「H'3F」（1バイト）：新ビットレート選択
- サイズ（1バイト）：ビットレート、入力周波数、逡倍比数、逡倍比の合計サイズ
- ビットレート（2バイト）：新ビットレート、
1/100の値とする、（たとえば、19200bpsのときは192とし、H'00C0とする）
- 入力周波数（2バイト）：ブートプログラムに入力されるクロック周波数、
周波数（MHz）の小数点2位までの値とする（たとえば、20.00MHzのときは100倍して2000とし、H'07D0
とする）。
- 逡倍比数（1バイト）：デバイスで選択可能な逡倍比数、
通常はメイン動作周波数と周辺モジュール動作周波数で2
- 逡倍比1（1バイト）：メイン動作周波数の逡倍比または分周比
逡倍比：逡倍する数値（例 4逡倍：H'04）
分周比：分周する数値、負の数値（例 2分周：H'FE[- 2]）
- 逡倍比2（1バイト）：周辺動作周波数の逡倍比または分周比
逡倍比：逡倍する数値（例 4逡倍：H'04）
分周比：分周する数値、負の数値（例 2分周：H'FE[- 2]）

- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：新ビットレート選択に対する応答、選択可能なときACK

エラー

レスポンス

H'BF	ERROR
------	-------

- エラーレスポンス「H'BF」（1バイト）：新ビットレート選択に対するエラー応答
- ERROR：（1バイト）：エラーコード
H'11：サムチェックエラー
H'24：ビットレート選択不可エラー、指定されたビットレートが選択できない
H'25：入力周波数エラー、入力周波数が最小値と最大値の範囲にない
H'26：逡倍比エラー、逡倍比が一致しない
H'27：動作周波数エラー、動作周波数が最小値と最大値の範囲にない

（5）受信データのチェック

受信したデータのチェック方法を以下に示します。

1. 入力周波数

受信した入力周波数の値が、すでに選択されたデバイスのクロックモードに対する入力周波数の最小値と最大値の範囲内にあるかどうかをチェックします。範囲内になければ入力周波数エラーです。

21. フラッシュメモリ

2. 通倍比

受信した通倍比または分周比の値が、すでに選択されたデバイスのクロックモードに対する通倍比または分周比と一致するかどうかをチェックします。一致しなければ通倍比エラーです。

3. 動作周波数

受信した入力周波数と通倍比または分周比とから動作周波数を計算します。入力周波数はLSIに供給される周波数で、動作周波数は実際にLSIが動作する周波数です。計算式を以下に示します。

動作周波数 = 入力周波数 × 通倍比、または、

動作周波数 = 入力周波数 ÷ 分周比

この計算した動作周波数が、すでに選択されたデバイスのクロックモードに対する動作周波数の最小値と最大値の範囲内にあるかどうかをチェックします。範囲内になければ動作周波数エラーです。

4. ビットレート

パリティ動作周波数 () とビットレート (B) から、シリアルモードレジスタ (SMR) のクロックセレクト (CKS) の値 (n) とビットレートレジスタ (BRR) の値 (N) を求め、誤差を計算し、誤差が4%未満であるかどうかをチェックします。誤差が4%以上ならばビットレート選択エラーです。誤差の計算は下記のとおりです。

$$\text{誤差 (\%)} = \left\{ \left[\frac{* 10^6}{(N+1) * B * 64 * 2^{(2^n-1)}} \right] - 1 \right\} * 100$$

新ビットレート選択が可能な場合は、ACK を応答した後で、新ビットレートの値にレジスタを選択します。新ビットレートでホストが ACK を送信し、ブートプログラムが新ビットレートで応答します。

確認

H'06

- 確認「H'06」（1バイト）：新ビットレートの確認

レスポンス

H'06

- レスポンス「H'06」（1バイト）：新ビットレートの確認に対する応答

新ビットレート選択のシーケンスを図 21.21 に示します。

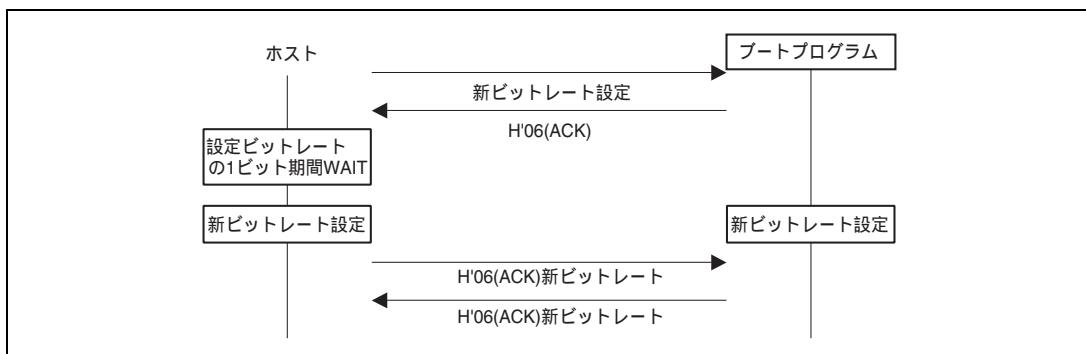


図 21.21 新ビットレート選択のシーケンス

(6) 書き込み消去ステータス遷移

書き込み消去ステータス遷移に対して、ブートプログラムは、消去プログラムを転送し、ユーザマット、ユーザブートマットの順にデータを消去します。消去が完了すると、ACK を応答し、書き込み消去ステータスになります。

ホストは、書き込み選択コマンドと書き込みデータを送る前に、デバイス選択コマンド、クロックモード選択コマンド、新ビットレート選択コマンドで LSI のデバイス、クロックモード、新ビットレートを選択し、書き込み消去ステータス遷移コマンドをブートプログラムへ送ってください。

コマンド

H'40

- コマンド「H'40」（1バイト）：書き込み消去ステータス遷移

レスポンス

H'06

- レスポンス「H'06」（1バイト）：書き込み消去ステータス遷移に対する応答、

消去プログラムを転送した後、ユーザブートマット、ユーザマットが正常にデータを消去できたときACK エラー

レスポンス

H'C0	H'51
------	------

- エラーレスポンス「H'C0」（1バイト）：ユーザブートマットのブランクチェックに対するエラー応答
- エラーコード「H'51」（1バイト）：消去エラー、エラーが発生し消去できなかった

(7) コマンドエラー

コマンドが未定義のとき、コマンドの順序が正しくないとき、あるいはコマンドが受け付けることができないとき、コマンドエラーとなります。たとえば、デバイス選択の前のクロックモード選択コマンド、書き込み消去ステータス遷移コマンドの後での問い合わせコマンドは、コマンドエラーになります。

エラー

レスポンス

H'80	H'xx
------	------

- エラーレスポンス「H'80」（1バイト）：コマンドエラー
- コマンド「H'xx」（1バイト）：受信したコマンド

(8) コマンドの順序

問い合わせ選択ステータスでのコマンドの順序の例は以下のとおりです。

1. サポートデバイス問い合わせ（H'20）で、サポートデバイスを問い合わせてください。
2. 応答されたデバイス情報からデバイスを選んで、デバイス選択（H'10）をしてください。
3. クロックモード問い合わせ（H'21）で、クロックモードを問い合わせてください。
4. 応答されたクロックモードからクロックモードを選んで、クロックモード選択をしてください。

21. フラッシュメモリ

5. デバイス選択、クロックモード選択が終わったら、逡倍比問い合わせ(H'22)、動作周波数問い合わせ(H'23)で新ビットレート選択に必要な情報を問い合わせてください。
6. 逡倍比、動作周波数の情報に従って、新ビットレート選択(H'3F)をしてください。
7. デバイス選択、クロックモード選択が終わったら、ユーザブートマット情報問い合わせ(H'24)、ユーザマット情報問い合わせ(H'25)、消去ブロック情報問い合わせ(H'26)、書き込みサイズ問い合わせ(H'27)で、ユーザブートマット、ユーザマットへの書き込み消去情報を問い合わせてください。
8. 問い合わせと新ビットレート選択が終わったら、書き込み消去ステータス遷移(H'40)を実行してください。書き込み消去ステータスに遷移します。

(9) 書き込み消去ステータス

書き込み消去ステータスでは、ブートプログラムは書き込み選択コマンドで書き込み方法を選択し、128 バイト書き込みコマンドでデータを書き込み、消去選択コマンドとブロック消去コマンドでブロックを消去します。書き込み消去コマンド一覧を下表に示します。

表 21.12 書き込み消去コマンド一覧

コマンド	コマンド名	機能
H'42	ユーザブートマット書き込み選択	ユーザブートマット書き込みプログラムの転送
H'43	ユーザマット書き込み選択	ユーザマット書き込みプログラムの転送
H'50	128 バイト書き込み	128 バイト書き込み
H'48	消去選択	消去プログラムの転送
H'58	ブロック消去	ブロックデータの消去
H'52	メモリアード	メモリの読み出し
H'4A	ユーザブートマットのサムチェック	ユーザブートマットのサムチェック
H'4B	ユーザマットのサムチェック	ユーザマットのサムチェック
H'4C	ユーザブートマットのブランクチェック	ユーザブートマットのブランクチェック
H'4D	ユーザマットのブランクチェック	ユーザマットのブランクチェック
H'4F	ブートプログラムステータス問い合わせ	ブートの処理状態の問い合わせ

• 書き込み

書き込みは書き込み選択コマンドと 128 バイト書き込みコマンドで行います。

最初に、ホストは書き込み選択コマンドを送信し書き込み方式と書き込みマットを選択します。書き込み選択コマンドは書き込みエリアと書き込み方式により以下の 2 つがあります。

1. ユーザブートマット書き込み選択
2. ユーザマット書き込み選択

次に 128 バイト書き込みコマンドを送信します。選択コマンドに続く 128 バイト書き込みコマンドはそれぞれ選択コマンドで指定された書き込み方式の書き込みデータと解釈します。128 バイトを超えるデータを書き込むときは 128 バイトコマンドを繰り返してください。書き込みを終了させたいときはアドレスが H'FFFFFFF の 128 バイト書き込みコマンドをホストから送信してください。書き込みが終了すると書き込み消去選択待ちになります。

続けて他の方式、他のマットの書き込みを行うときは書き込み選択コマンドから開始します。

書き込み選択コマンドと 128 バイト書き込みコマンドのシーケンスを図 21.22 に示します。

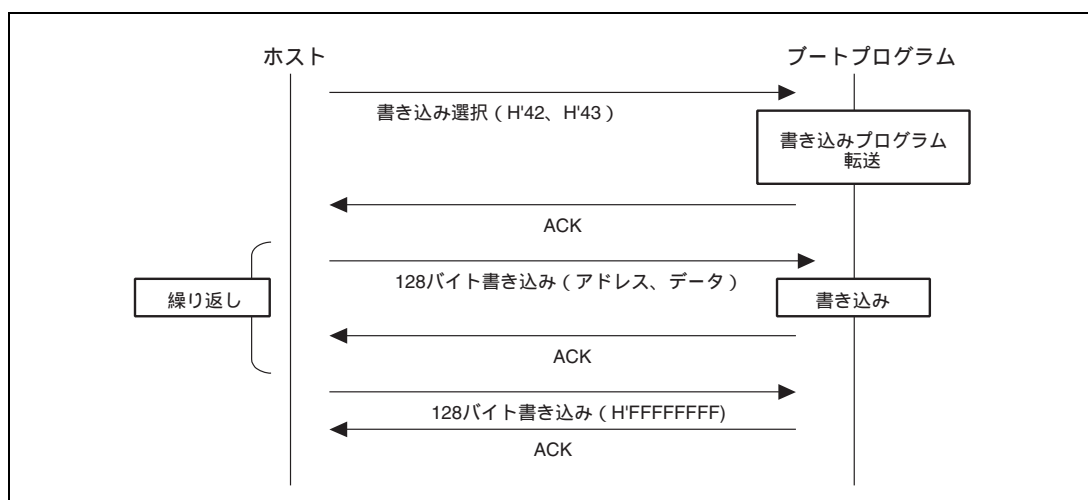


図 21.22 書き込みシーケンス

(a) ユーザブートマット書き込み選択

ユーザブートマット書き込み選択に対して、ブートプログラムは、書き込みプログラムを転送します。書き込みは転送した書き込みプログラムで、ユーザブートマットに書き込みます。

コマンド H'42

- コマンド「H'42」（1バイト）：ユーザブートマット書き込み選択

レスポンス H'06

- レスポンス「H'06」（1バイト）：ユーザブートマット書き込み選択に対する応答、書き込みプログラムを転送したときACK

エラー

レスポンス H'C2 ERROR

- エラーレスポンス「H'C2」（1バイト）：ユーザブートマット書き込み選択に対するエラー応答
- ERROR：（1バイト）：エラーコード

H'54：選択処理エラー（転送エラーが発生し処理が完了しない）

21. フラッシュメモリ

- ユーザマット書き込み選択

ユーザマット書き込み選択に対して、ブートプログラムは、書き込みプログラムを転送します。書き込みは転送した書き込みプログラムで、ユーザマットに書き込みます。

コマンド

H'43

- コマンド「H'43」（1バイト）：ユーザマット書き込み選択

レスポンス

H'06

- レスポンス「H'06」（1バイト）：ユーザマット書き込み選択に対する応答、書き込みプログラムを転送したときACK

エラー

レスポンス

H'C3	ERROR
------	-------

- エラーレスポンス「H'C3」（1バイト）：ユーザマット書き込み選択に対するエラー応答
- ERROR：（1バイト）：エラーコード

H'54：選択処理エラー（転送エラーが発生し処理が完了しない）

(b) 128 バイト書き込み

n バイト書き込みに対して、ブートプログラムは書き込み選択で転送した書き込みプログラムで、ユーザブートマット、またはユーザマットに書き込みます。

コマンド

H'50	アドレス						
データ	...						
...							
SUM							

- コマンド「H'50」（1バイト）：128バイト書き込み
- 書き込みアドレス（4バイト）：書き込み先頭アドレス、「書き込みサイズ問い合わせ」で応答したサイズの倍数
例）H'00,H'01,H'00,H'00：H'010000
- 書き込みデータ（128バイト）：書き込みデータ、書き込みデータのサイズは「書き込みサイズ問い合わせ」で応答したサイズ
- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：128バイト書き込みに対する応答、書き込みが完了したときACK

エラー

レスポンス

H'D0	ERROR
------	-------

- エラーレスポンス「H'D0」（1バイト）：128バイト書き込みに対するエラー応答
- ERROR：（1バイト）：エラーコード
 - H'11：サムチェックエラー
 - H'2A：アドレスエラー
 - H'53：書き込みエラー、書き込みエラーが発生し書き込めない

データ書き込みサイズに従った境界のアドレスを指定してください。たとえば、データ書き込みサイズが 128 バイトのときは、アドレスの下位 8 ビットを H'00 か H'80 にしてください。

ホストは、128 バイト中に書き込みデータが無い部分を H'FF に埋めて送信してください。

書き込み処理を終了するときは、アドレス H'FFFFFF の 128 バイト書き込みコマンドを送信してください。アドレス H'FFFFFF の 128 バイト書き込みコマンドに対して、ブートプログラムはデータが終了したと判断し、書き込み消去選択コマンド待ちになります。

コマンド	H'50	アドレス	SUM
------	------	------	-----

- コマンド「H'50」（1バイト）：128バイト書き込み
- 書き込みアドレス（4バイト）：終了コード（H'FF,H'FF,H'FF,H'FF）
- SUM（1バイト）：サムチェック

レスポンス	H'06
-------	------

- レスポンス「H'06」（1バイト）：128バイト書き込みに対する応答、書き込み処理が完了したときACKエラー

レスポンス

H'D0	ERROR
------	-------

- エラーレスポンス「H'D0」（1バイト）：128バイト書き込みに対するエラー応答
- ERROR：（1バイト）：エラーコード
 - H'11：サムチェックエラー
 - H'2A：アドレスエラー
 - H'53：書き込みエラー、書き込みエラーが発生し書き込めない

(10) 消去

消去は消去選択コマンドとブロック消去コマンドで行います。

最初に消去選択コマンドで消去を選択し、次にブロック消去コマンドで指定されたブロックを消去します。消去ブロックが複数あるときはブロック消去コマンドを繰り返します。消去処理を終了するときはブロック番号 H'FF のブロック消去コマンドをホストから送信してください。消去が終了すると書き込み消去選択待ちになります。

消去選択コマンドとブロック消去コマンドのシーケンスを図 21.23 に示します。

21. フラッシュメモリ

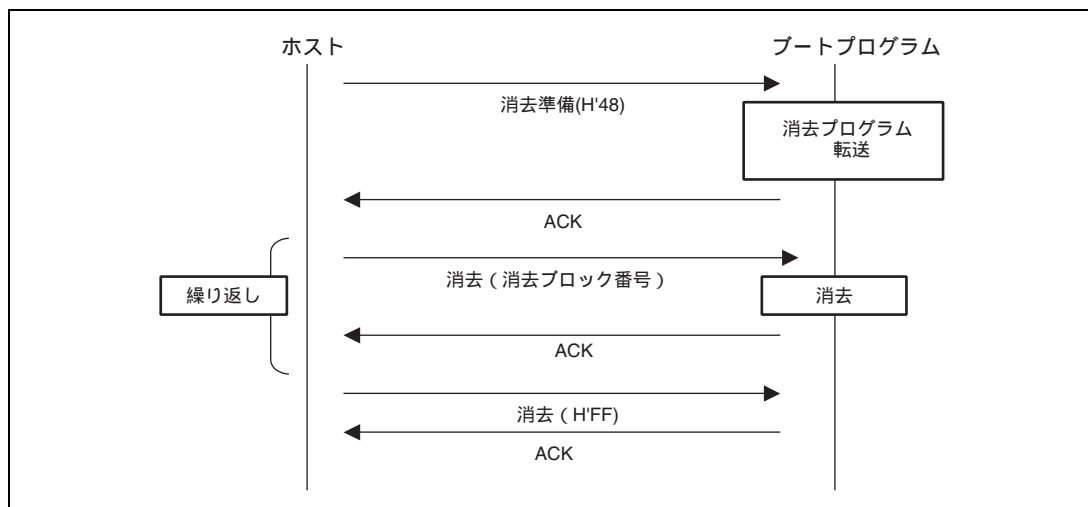


図 21.23 消去シーケンス

(a) 消去選択

消去選択に対して、ブートプログラムは、消去プログラムを転送します。消去は転送した消去プログラムで、ユーザマットのデータを消去します。

コマンド

H'48

- コマンド「H'48」(1バイト)：消去選択

レスポンス

H'06

- レスポンス「H'06」(1バイト)：消去選択に対する応答、消去プログラムを転送したときACK

エラー

レスポンス

H'C8	ERROR
------	-------

- エラーレスポンス「H'C8」(1バイト)：消去選択に対するエラー応答
- ERROR：(1バイト)：エラーコード

H'54：選択処理エラー（転送エラーが発生し処理が完了しない）

(b) ブロック消去

消去に対して、ブートプログラムは指定されたブロックを消去します。

コマンド

H'58	サイズ	ブロック番号	SUM
------	-----	--------	-----

- コマンド「H'58」(1バイト)：消去
- サイズ(1バイト)：消去ブロックNoの文字数、固定値で1
- ブロック番号(1バイト)：データを消去する消去ブロック番号
- SUM(1バイト)：サムチェック

レスポンス

H'06

- レスポンス「H'06」(1バイト)：消去に対する応答、消去が完了したときACK

エラー

レスポンス

H'D8	ERROR
------	-------

- エラーレスポンス「H'D8」（1バイト）：消去に対するエラー応答
- ERROR：（1バイト）：エラーコード
 - H'11：サムチェックエラー
 - H'29：ブロック番号エラー、ブロック番号が正しくない
 - H'51：消去エラー、消去中にエラー発生

ブロック番号が H'FF に対して、ブートプログラムは消去処理を終了し、選択コマンド待ち状態になります。

コマンド

H'58	サイズ	ブロック番号	SUM
------	-----	--------	-----

- コマンド「H'58」（1バイト）：消去
- サイズ（1バイト）：消去ブロックNoの文字数、固定値で1
- ブロック番号（1バイト）：H'FF、消去処理の終了コード
- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：消去終了に対する応答、ACK

ブロック番号を H'FF で指定した後、再度、消去を行う場合は、消去選択から実行します。

(11) メモリリード

メモリリードに対して、ブートプログラムは指定されたアドレスのデータを応答します。

コマンド

H'52	サイズ	エリア	読み出しアドレス
読み出しサイズ			SUM

- コマンド「H'52」（1バイト）：メモリリード
- サイズ（1バイト）：エリア、読み出しアドレス、読み出しサイズの合計サイズ（固定値で9）
- エリア（1バイト）

H'00：ユーザブートマット

H'01：ユーザマット

エリアの指定が正しくないときはアドレスエラー

- 読み出しアドレス（4バイト）：読み出す先頭アドレス
- 読み出しサイズ（4バイト）：読み出すデータのサイズ
- SUM（1バイト）：サムチェック

レスポンス

H'52	読み出しアドレス						
データ	...						
SUM							

- レスポンス「H'52」（1バイト）：メモリリードに対する応答

21. フラッシュメモリ

- 読み出しサイズ (4バイト) : 読み出すデータのサイズ
- データ (nバイト) 読み出しアドレスからの読み出しサイズ分のデータ
- SUM (1バイト) : サムチェック

エラー

レスポンス

H'D2	ERROR
------	-------

- エラーレスポンス「H'D2」(1バイト) : メモリリードに対するエラー応答
- ERROR : (1バイト) : エラーコード

H'11 : サムチェックエラー

H'2A : アドレスエラー

読み出しアドレスがマットの範囲にない

H'2B : サイズエラー

読み出しサイズがマットの範囲を超えている

(12) ユーザブートマットのサムチェック

ユーザブートマットのサムチェックに対して、ブートプログラムはユーザブートマットのデータを加算してその結果を応答します。

コマンド

H'4A

- コマンド「H'4A」(1バイト) : ユーザブートマットのサムチェック

レスポンス

H'5A	サイズ	マットのサムチェック	SUM
------	-----	------------	-----

- レスポンス「H'5A」(1バイト) : ユーザブートマットのサムチェックに対する応答
- サイズ(1バイト) : サムチェックデータの文字数、固定値で4
- マットのサムチェック(4バイト) : ユーザブートマットのサムチェック値、バイト単位で加算
- SUM(1バイト) : サムチェック(送信データの)

(13) ユーザマットのサムチェック

ユーザマットのサムチェックに対して、ブートプログラムはユーザマットのデータを加算してその結果を応答します。

コマンド

H'4B

- コマンド「H'4B」(1バイト) : ユーザマットのサムチェック

レスポンス

H'5B	サイズ	マットのサムチェック	SUM
------	-----	------------	-----

- レスポンス「H'5B」(1バイト) : ユーザマットのサムチェックに対する応答
- サイズ(1バイト) : サムチェックデータの文字数、固定値で4
- サムチェック(4バイト) : ユーザマットのサムチェック値、バイト単位で加算
- SUM(1バイト) : サムチェック(送信データの)

(14) ユーザブートマットのブランクチェック

ユーザブートマットのブランクチェックに対して、ブートプログラムはユーザブートマットがすべてブランクであることをチェックしその結果を応答します。

コマンド

H'4C

- コマンド「H'4C」(1バイト) : ユーザブートマットのブランクチェック

レスポンス

H'06

- レスポンス「H'06」(1バイト) : ユーザブートマットのブランクチェックに対する応答、エリアがすべてブランク(H'FF)のときACK

エラー

レスポンス

H'CC	H'52
------	------

- エラーレスポンス「H'CC」(1バイト) : ユーザブートマットのブランクチェックに対するエラー応答
- エラーコード「H'52」(1バイト) : 未消去エラー

(15) ユーザマットのブランクチェック

ユーザマットのブランクチェックに対して、ブートプログラムはユーザマットがすべてブランクであることをチェックしその結果を応答します。

コマンド

H'4D

- コマンド「H'4D」(1バイト) : ユーザマットのブランクチェック

レスポンス

H'06

- レスポンス「H'06」(1バイト) : ユーザマットのブランクチェックに対する応答、エリアがすべてブランク(H'FF)のときACK

エラー

レスポンス

H'CD	H'52
------	------

- エラーレスポンス「H'CD」(1バイト) : ユーザマットのブランクチェックに対するエラー応答
- エラーコード「H'52」(1バイト) : 未消去エラー

(16) ブートプログラムステータス問い合わせ

ブートプログラムステータス問い合わせに対して、ブートプログラムは現在のステータスとエラー状態を応答します。この問い合わせは、問い合わせ選択ステータス、書き込み消去ステータス、いずれも有効です。

コマンド

H'4F

- コマンド「H'4F」(1バイト) : ブートプログラムステータス問い合わせ

レスポンス

H'5F	サイズ	STATUS	ERROR	SUM
------	-----	--------	-------	-----

- レスポンス「H'5F」(1バイト) : ブートプログラムステータス問い合わせに対する応答

21. フラッシュメモリ

- サイズ (1バイト) : データの文字数、固定値で2
- STATUS (1バイト) : 標準ブートプログラムのステータス
- ERROR (1バイト) : エラー状態
ERROR =0で正常
ERRORが0以外で異常
- SUM (1バイト) : サムチェック

表 21.13 ステータスコード

コード	内 容
H'11	デバイス選択待ち
H'12	クロックモード選択待ち
H'13	ビットレート選択待ち
H'1F	書き込み消去ステータス遷移待ち (ビットレート選択完了)
H'31	書き込みステータス消去中
H'3F	書き込み消去選択待ち (消去完了)
H'4F	書き込みデータ受信待ち (書き込み完了)
H'5F	消去ブロック指定待ち (消去完了)

表 21.14 エラーコード

コード	内 容
H'00	エラーなし
H'11	サムチェックエラー
H'12	プログラムサイズエラー
H'21	デバイスコード不一致エラー
H'22	クロックモード不一致エラー
H'24	ビットレート選択不可エラー
H'25	入力周波数エラー
H'26	逡倍比エラー
H'27	動作周波数エラー
H'29	ブロック番号エラー
H'2A	アドレスエラー
H'2B	データ長エラー
H'51	消去エラー
H'52	未消去エラー
H'53	書き込みエラー
H'54	選択処理エラー
H'80	コマンドエラー
H'FF	ビットレート合わせ込み確認エラー

21.9 使用上の注意事項

- 出荷品の初期状態は、消去状態です。これ以外の消去来歴不明チップに対して、初期化（消去）レベルをチェック、補正するために自動消去実施を推奨します。
- 本LSIのライターモードに適合するPROMライターおよびそのプログラムバージョンに関しては、ソケットアダプタの取り扱い説明書等を参照してください。
- PROMライターのソケット、ソケットアダプタ、および製品のインデックスが一致していないと過剰電流が流れ、製品が破壊することがあります。
- 定格以上の電圧を印加した場合、製品の永久破壊にいたることがあります。PROMライターは、512kバイトフラッシュメモリ内蔵マイコンデバイスタイプの書き込み電圧3.3Vをサポートしているものを使用してください。ライターの設定をHN28F101や書き込み電圧を5.0Vにセットしないでください。また、規定したソケットアダプタ以外は使用しないでください。誤って使用した場合、破壊にいたることがあります。
- 書き込み / 消去実行中に、マイコンチップをPROMライターから取り外したり、リセットを入力することはやめてください。書き込み / 消去実行中はフラッシュメモリに高電圧が印加されているため、フラッシュメモリの永久破壊の可能性があります。もし、誤ってリセット入力してしまった場合は、100 μ sの通常より長いリセット期間の後にリセットリリースしてください。
- 書き込み / 消去完了後のFKEYのクリアまでの期間は、フラッシュメモリのアクセスは禁止とします。書き込み / 消去完了直後に、LSIモードを変更してリセット動作をさせる場合には、100 μ s以上のリセット期間（ $\overline{\text{RES}}=0$ とする期間）を設けてください。なお、書き込み / 消去処理中のリセット状態、ハードウェアスタンバイ状態への遷移は禁止ですが、誤ってリセットを入れてしまった場合は、100 μ sの通常より長いリセット期間の後に、リセットリリースしてください。
- V_{cc} 電源の印加 / 切断時は $\overline{\text{RES}}$ 端子をLowレベルに固定し、フラッシュメモリをハードウェアプロテクト状態にしてください。この電源投入および解除タイミングは、停電等による電源の切断、再投入時にも満足するようにしてください。
- オンボードプログラミングでは128バイトの書き込み単位ブロックへの書き込みは、1回のみとしてください。ライターモードでも128バイトの書き込み単位ブロックへの書き込みは、1回のみとしてください。書き込みはこの書き込み単位ブロックがすべて消去された状態で行ってください。
- オンボードプログラミングモードにて書き込み / 消去を行ったチップに対して、ライターを用いて書き換えを行う場合には、自動消去を行った後に自動書き込みを行うことを推奨します。

21. フラッシュメモリ

10. フラッシュメモリへの書き込みを行う場合は、書き込みデータ、およびプログラムは外部割り込みベクタテーブル (H'000040以降) に配置して、例外処理ベクタテーブルのシステム予約エリアには必ずall H'FFを配置してください。
11. フラッシュメモリのキーコードエリア (H'00003C ~ 3F) にH'FFFFFF以外のデータを書き込むと、ライターモードではall H'00しか読み出せなくなります (消去 書き換えは可能)。ライターモードによる読み出しを行う場合は、必ずキーコードエリアにH'FFFFFFを書き込むようにしてください。
ライターモードでキーコードエリアにH'FFFFFF以外のデータを書き込む場合、PROMライターがおよびそのプログラムバージョンが対応されていないと書き込み時にペリファイエラーになります。
12. 初期化ルーチンを含む書き込みプログラム、または初期化ルーチンを含む消去プログラムのコードサイズはそれぞれ3kバイト以内です。よって、CPUクロック周波数が、34MHzの場合、それぞれ最大で180 μ sのダウンロード時間となります。
13. ダウンロード要求のFCCSのSCOビットや、マット切り替えのFMATSは、内蔵RAM上で命令実行中ならば、DTCからでも書き込みができてしまいます。不用意にこれらのレジスタへの書き込みが行われると、ダウンロードが実行され RAMを破壊したり、マット切り替えが発生して暴走するなどの危険性がありますので、DTCでのフラッシュ関連レジスタへの書き込みを行わないでください。
14. SCO転送要求による内蔵プログラムのダウンロード方式をサポートしていない、従来のH8S F-ZTATマイコンで使用していたフラッシュメモリの書き込み / 消去プログラムは、本LSIでは動作しません。本LSIでのフラッシュメモリへの書き込み / 消去は、必ず内蔵プログラムをダウンロードして実施してください。
15. 従来のH8S F-ZTATマイコンと異なり、書き込み / 消去中はWDTによる暴走などへの対応は、実施していません。必要に応じて、書き込み / 消去の実行時間を考慮したWDTでの対応を実施してください (定期的なタイマ割り込みの使用など)。

22. バウンダリスキャン (JTAG)

JTAG (Joint Test Action Group) は国際標準規格 IEEE Std 1149.1 として標準化されており、IEEE Standard Test Access Port and Boundary-Scan Architecture として公開されています。機能の名称がバウンダリスキャンで、JTAG はこの規格の標準化作業を推進したグループの名称ですが、バウンダリスキャン用のアーキテクチャとそれにアクセスするためのシリアルインタフェースの名称として広く普及しています。

本 LSI はこのバウンダリスキャン (JTAG) の機能を内蔵しており、他の LSI と組み合わせることでプリント基板のテストを容易に行うことができます。

22.1 特長

- 5本のテスト端子 (ETCK、ETDI、ETDO、ETMS、および $\overline{\text{ETRST}}$)
- TAPコントローラ
- インストラクション：6種類

BYPASSモード

EXTESTモード

SAMPLE/PRELOADモード

CLAMPモード

HIGHZモード

IDCODEモード

(上記6つのインストラクションはIEEE1149.1に対応したテストモード)

22. バウンダリスキャン (JTAG)

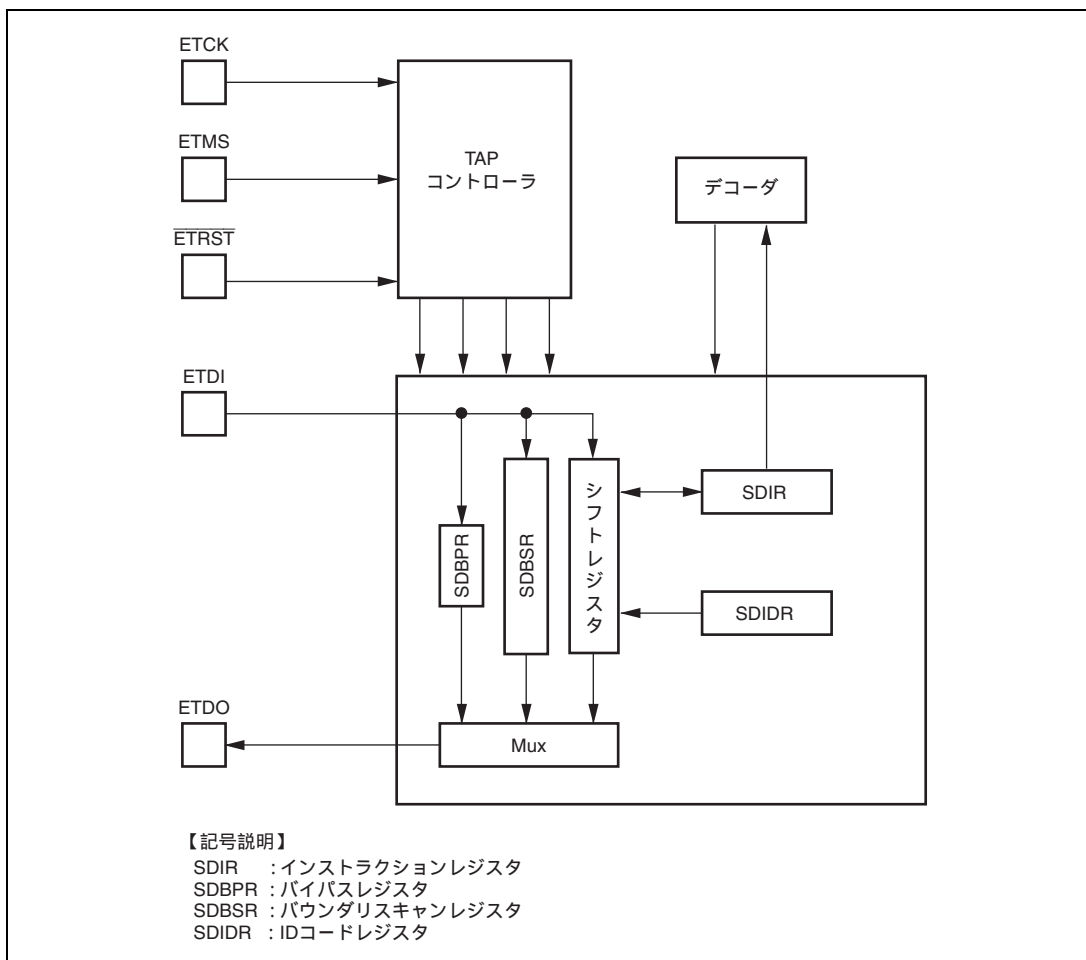


図 22.1 JTAG のブロック図

22.2 入出力端子

表 22.1 に JTAG の端子構成を示します。

表 22.1 端子構成

名 称	略 称	入出力	機 能
テストクロック	ETCK	入力	テストクロック入力 JTAG に独立にクロックを供給します。ETCK 端子への入力クロックはそのまま JTAG へ供給しているため、デューティ比 50% に近いクロック波形を入力してください。詳細は「第 26 章 電気的特性」を参照してください。何も入力されないと ETCK 端子は内部プルアップにより 1 に固定されます。
テストモード セレクト	ETMS	入力	テストモードセレクト入力 ETCK 端子の立ち上がりでサンプリングされます。ETMS 端子は TAP コントローラの内部ステートを制御します。何も入力されないと ETMS 端子は内部プルアップにより 1 に固定されます。
テストデータ入力	ETDI	入力	シリアルデータ入力 JTAG レジスタに対するインストラクションとデータのシリアル入力を行います。ETDI 端子は ETCK 端子の立ち上がりでサンプリングされます。何も入力されないと ETDI 端子は内部プルアップにより 1 に固定されます。
テストデータ出力	ETDO	出力	シリアルデータ出力 JTAG レジスタからのインストラクションとデータのシリアル出力を行います。転送は ETCK 端子に同期して行われます。ETDO 端子は出力していない場合、ハイインピーダンス状態です。
テストリセット	$\overline{\text{ETRST}}$	入力	テストリセット入力 JTAG を非同期に初期化する信号です。何も入力されないと $\overline{\text{ETRST}}$ 端子は内部プルアップにより 1 に固定されます。

22.3 レジスタの説明

JTAG には以下のレジスタがあります。

- インストラクションレジスタ (SDIR)
- バイパスレジスタ (SDBPR)
- バウンダリスキャンレジスタ (SDBSR)
- IDコードレジスタ (SDIDR)

インストラクションは、テストデータ入力端子 (ETDI) からシリアル転送によりインストラクションレジスタ (SDIR) へ入力できます。SDIR からのデータは、テストデータ出力端子 (ETDO) を通じて出力できます。バイパスレジスタ (SDBPR) は 1 ビットのレジスタで、BYPASS モード、CLAMP モード、および HIGHZ モード時、ETDI 端子と ETDO 端子はこのレジスタに接続されます。また、バウンダリスキャンレジスタ (SDBSR) は 210 ビットのレジスタで、SAMPLE/PRELOAD モード、および EXTEST モード時、ETDI 端子と ETDO 端子はこのレジスタに接続されます。ID コードレジスタ (SDIDR) は 32 ビットのレジスタで、IDCODE モード時、ETDO 端子を通じて固定コードが出力できます。すべてのレジスタは CPU から直接アクセスすることができません。表 22.2 に JTAG の各レジスタの可能なシリアル転送の種類を示します。

表 22.2 JTAG レジスタのシリアル転送

レジスタ	シリアル入力	シリアル出力
SDIR	可能	可能
SDBPR	可能	可能
SDBSR	可能	可能
SDIDR	不可	可能

22.3.1 インストラクションレジスタ (SDIR)

SDIRは32ビットのレジスタです。JTAGのインストラクションは、ETDI端子からのシリアル入力によってSDIRに転送することができます。SDIRは $\overline{\text{ETRST}}$ 端子がLowレベル、またはTAPコントローラがTest-Logic-Reset状態時に初期化されますが、リセットまたはスタンバイモードでは初期化されません。

SDIRに転送するインストラクションは、4ビット長でなければなりません。4ビットを超えるインストラクションを入力するとSDIRにはシリアルデータの最後の4ビットを格納します。

ビット	ビット名	初期値	R/W	説明
31	TS3	1	R/W	テストセットビット
30	TS2	1	R/W	0000 : EXTEST モード
29	TS1	1	R/W	0001 : 設定禁止
28	TS0	0	R/W	0010 : CLAMP モード 0011 : HIGHZ モード 0100 : SAMPLE/PRELOAD モード 0101 : 設定禁止 : : 1101 : 設定禁止 1110 : IDCODE モード (初期値) 1111 : BYPASS モード
27~14	-	すべて0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
13	-	1	R	リザーブビット リードすると常に1が読み出されます。ライトは無効です。
12	-	0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
11	-	1	R	リザーブビット リードすると常に1が読み出されます。ライトは無効です。
10~1	-	すべて0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
0	-	1	R	リザーブビット リードすると常に1が読み出されます。ライトは無効です。

22.3.2 バイパスレジスタ (SDBPR)

SDBPRは1ビットのシフトレジスタです。BYPASS モード、CLAMP モード、および HIGHZ モードでは、SDBPRはETDI端子とETDO端子の間に接続されます。

22. バウンダリスキャン (JTAG)

22.3.3 バウンダリスキャンレジスタ (SDBSR)

SDBSR は、本 LSI の入出力端子の制御を行うために PAD 上に配置されたシフトレジスタです。EXTEST モードと SAMPLE/PRELOAD モードを用いて、IEEE1149.1 規格に準拠したバウンダリスキャンテストを行うことができます。表 22.3 に端子とバウンダリスキャンレジスタの対応を示します。

表 22.3 端子とバウンダリスキャンレジスタの対応

Pin No.	端子名	入出力	ビット名
from ETDI			
1	VCC	- - -	- - -
2	P45	入力	336
		イネーブル	335
		出力	334
3	P46	入力	333
		イネーブル	332
		出力	331
4	P47	入力	330
		イネーブル	329
		出力	328
5	P56	入力	327
		イネーブル	326
		出力	325
6	P57	入力	324
		イネーブル	323
		出力	322
7	VSS	- - -	- - -
8	$\overline{\text{RES}}$	- - -	- - -
9	MD1	入力	321
		-	-
		-	-
10	MD0	入力	320
		-	-
		-	-
11	NMI	入力	319
		-	-
		-	-
12	$\overline{\text{STBY}}$	-	-
		-	-
		-	-
13	VCL	-	-
		-	-
		-	-
14	$\overline{\text{MD2}}$	入力	318
		-	-
		-	-
15	P51	入力	317
		イネーブル	316
		出力	315
16	P50	入力	314
		イネーブル	313
		出力	312
17	P97	入力	311
		イネーブル	310
		出力	309
18	P96	入力	308
		イネーブル	307
		出力	306
19	P95	入力	305
		イネーブル	304
		出力	303

22. パウンダリスキャン (JTAG)

Pin No.	端子名	入出力	ビット名
20	P94	入力	302
		イネーブル	301
		出力	300
21	P93	入力	299
		イネーブル	298
		出力	297
22	P92	入力	296
		イネーブル	295
		出力	294
23	P91	入力	293
		イネーブル	292
		出力	291
24	P90	入力	290
		イネーブル	289
		出力	288
25	PC7	入力	287
		イネーブル	286
		出力	285
26	PC6	入力	284
		イネーブル	283
		出力	282
27	PC5	入力	281
		イネーブル	280
		出力	279
28	PC4	入力	278
		イネーブル	277
		出力	276
29	PC3	入力	275
		イネーブル	274
		出力	273
30	PC2	入力	272
		イネーブル	271
		出力	270
31	PC1	入力	269
		イネーブル	268
		出力	267

Pin No.	端子名	入出力	ビット名
32	PC0	入力	266
		イネーブル	265
		出力	264
33	PA7	入力	263
		イネーブル	262
		出力	261
34	PA6	入力	260
		イネーブル	259
		出力	258
35	PA5	入力	257
		イネーブル	256
		出力	255
36	VCC	-	
		-	
		-	
37	PA4	入力	254
		イネーブル	253
		出力	252
38	PA3	入力	251
		イネーブル	250
		出力	249
39	PA2	入力	248
		イネーブル	247
		出力	246
40	PA1	入力	245
		イネーブル	244
		出力	243
41	PA0	入力	242
		イネーブル	241
		出力	240
42	VSS	-	
		-	
		-	
43	P87	入力	239
		イネーブル	238
		出力	237

22. バウンダリスキャン (JTAG)

Pin No.	端子名	入出力	ビット名
44	P86	入力	236
		イネーブル	235
		出力	234
45	P85	入力	233
		イネーブル	232
		出力	231
46	P84	入力	230
		イネーブル	229
		出力	228
47	P83	入力	227
		イネーブル	226
		出力	225
48	P82	入力	224
		イネーブル	223
		出力	222
49	P81	入力	221
		イネーブル	220
		出力	219
50	P80	入力	218
		イネーブル	217
		出力	216
51	PE7	入力	215
		イネーブル	214
		出力	213
52	PE6	入力	212
		イネーブル	211
		出力	210
53	PE5	入力	209
		イネーブル	208
		出力	207
54	PE4	入力	206
		イネーブル	205
		出力	204
55	PE3	入力	203
		イネーブル	202
		出力	201

Pin No.	端子名	入出力	ビット名
56	PE2	入力	200
		イネーブル	199
		出力	198
57	PE1	入力	197
		イネーブル	196
		出力	195
58	PE0	入力	194
		イネーブル	193
		出力	192
59	PD7	入力	191
		イネーブル	190
		出力	189
60	PD6	入力	188
		イネーブル	187
		出力	186
61	PD5	入力	185
		イネーブル	184
		出力	183
62	PD4	入力	182
		イネーブル	181
		出力	180
63	PD3	入力	179
		イネーブル	178
		出力	177
64	PD2	入力	176
		イネーブル	175
		出力	174
65	PD1	入力	173
		イネーブル	172
		出力	171
66	PD0	入力	170
		イネーブル	169
		出力	168
67	AVSS	-	
		-	
		-	

22. パウンダリスキャン (JTAG)

Pin No.	端子名	入出力	ビット名
68	P70	入力	167
		-	
		-	
69	P71	入力	166
		-	
		-	
70	P72	入力	165
		-	
		-	
71	P73	入力	164
		-	
		-	
72	P74	入力	163
		-	
		-	
73	P75	入力	162
		-	
		-	
74	P76	入力	161
		-	
		-	
75	P77	入力	160
		-	
		-	
76	AVCC	-	
		-	
		-	
77	AVref	-	
		-	
		-	
78	P60	入力	159
		イネーブル	158
		出力	157
79	P61	入力	156
		イネーブル	155
		出力	154

Pin No.	端子名	入出力	ビット名
80	P62	入力	153
		イネーブル	152
		出力	151
81	P63	入力	150
		イネーブル	149
		出力	148
82	P64	入力	147
		イネーブル	146
		出力	145
83	P65	入力	144
		イネーブル	143
		出力	142
84	P66	入力	141
		イネーブル	140
		出力	139
85	P67	入力	138
		イネーブル	137
		出力	136
86	VCC	-	
		-	
		-	
87	ETMS	-	
		-	
		-	
88	ETDO	-	
		-	
		-	
89	ETDI	-	
		-	
		-	
90	ETCK	-	
		-	
		-	
91	ETRST	-	
		-	
		-	

22. バウンダリスキャン (JTAG)

Pin No.	端子名	入出力	ビット名
92	PF2	入力	135
		イネーブル	134
		出力	133
93	PF1	入力	132
		イネーブル	131
		出力	130
94	PF0	入力	129
		イネーブル	128
		出力	127
95	VSS		
96	P27	入力	126
		イネーブル	125
		出力	124
97	P26	入力	123
		イネーブル	122
		出力	121
98	P25	入力	120
		イネーブル	119
		出力	118
99	P24	入力	117
		イネーブル	116
		出力	115
100	P23	入力	114
		イネーブル	113
		出力	112
101	P22	入力	111
		イネーブル	110
		出力	109
102	P21	入力	108
		イネーブル	107
		出力	106

Pin No.	端子名	入出力	ビット名
103	P20	入力	105
		イネーブル	104
		出力	103
104	P17	入力	102
		イネーブル	101
		出力	100
105	P16	入力	99
		イネーブル	98
		出力	97
106	P15	入力	96
		イネーブル	95
		出力	94
107	P14	入力	93
		イネーブル	92
		出力	91
108	P13	入力	90
		イネーブル	89
		出力	88
109	P12	入力	87
		イネーブル	86
		出力	85
110	P11	入力	84
		イネーブル	83
		出力	82
111	VSS		
112	P10	入力	81
		イネーブル	80
		出力	79
113	PB7	入力	78
		イネーブル	77
		出力	76

22. バウンダリスキャン (JTAG)

Pin No.	端子名	入出力	ビット名
114	PB6	入力	75
		イネーブル	74
		出力	73
115	PB5	入力	72
		イネーブル	71
		出力	70
116	PB4	入力	69
		イネーブル	68
		出力	67
117	PB3	入力	66
		イネーブル	65
		出力	64
118	PB2	入力	63
		イネーブル	62
		出力	61
119	PB1	入力	60
		イネーブル	59
		出力	58
120	PB0	入力	57
		イネーブル	56
		出力	55
121	P30	入力	54
		イネーブル	53
		出力	52
122	P31	入力	51
		イネーブル	50
		出力	49
123	P32	入力	48
		イネーブル	47
		出力	46
124	P33	入力	45
		イネーブル	44
		出力	43

Pin No.	端子名	入出力	ビット名
125	P34	入力	42
		イネーブル	41
		出力	40
126	P35	入力	39
		イネーブル	38
		出力	37
127	P36	入力	36
		イネーブル	35
		出力	34
128	P37	入力	33
		イネーブル	32
		出力	31
129	P40	入力	30
		イネーブル	29
		出力	28
130	P41	入力	27
		イネーブル	26
		出力	25
131	P42	入力	24
		イネーブル	23
		出力	22
132	P43	入力	21
		イネーブル	20
		出力	19
133	P52	入力	18
		イネーブル	17
		出力	16
134	P53	入力	15
		イネーブル	14
		出力	13
135	FWE	入力	12

22. バウンダリスキャン (JTAG)

Pin No.	端子名	入出力	ビット名
136	P54	入力	11
		イネーブル	10
		出力	9
137	P55	入力	8
		イネーブル	7
		出力	6
138	P44	入力	5
		イネーブル	4
		出力	3
139	VSS		
140	NC		
141	PF3	入力	2
		イネーブル	1
		出力	0
142	RES0	-	-
		-	-
		-	-
143	XTAL	-	-
		-	-
		-	-
144	EXTAL	-	-
		-	-
		-	-
to ETDO			

22.3.4 ID コードレジスタ (SDIDR)

SDIDR は 32 ビットのレジスタです。IDCODE モード時、SDIDR は ETDO 端子から固定コード (H'08039447) を出力可能ですが、シリアルデータは ETDI 端子を通じて SDIDR に書き込むことはできません。

31 28	27	12	11	1	0	
0000	1000	0000	0011	1001	0100 0100 011	1
Version (4 ビット)	Part Number (16 ビット)			Manufacture Identify (11 ビット)		固定コード (1 ビット)

22.4 動作説明

22.4.1 TAP コントローラの状態遷移

図 22.2 に TAP コントローラの内部状態を示します。IEEE1149.1 で規定されている状態遷移に準拠しています。

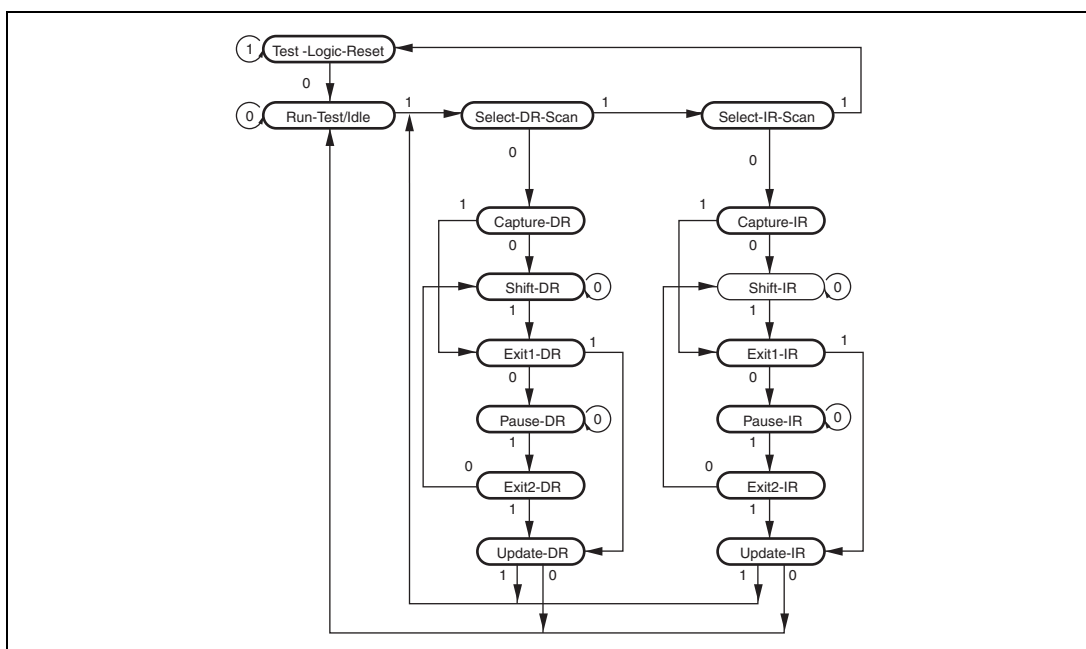


図 22.2 TAP コントローラ状態遷移図

22.4.2 JTAG のリセット

JTAG は 2 つの方法でリセットできます。

- $\overline{\text{ETRST}}$ 端子を0に保持する。
- $\overline{\text{ETRST}} = 1$ のとき、 $\text{ETMS} = 1$ の状態で5クロック以上のETCKを入力する。

22.5 バウンダリスキャン

SDIR にコマンドを設定することにより、JTAG 端子を IEEE1149.1 で規定されているバウンダリスキャンモードに設定できます。

22.5.1 サポート命令

IEEE1149.1 で定義される 3 つの命令 (BYPASS、SAMPLE/PRELOAD、EXTEST) およびオプション命令 (CLAMP、HIGHZ、IDCODE) をサポートします。

(1) BYPASS 命令コード : B'1111

BYPASS 命令は、バイパスレジスタを動作させる命令です。この命令はシフトバスを短縮してプリント基板上の他の LSI のシリアルデータを転送高速化するためのものです。この命令の実行中、テスト回路はシステム回路に何も影響を与えません。

(2) SAMPLE/PRELOAD 命令コード : B'0100

SAMPLE/PRELOAD 命令は、本 LSI の内部回路からバウンダリスキャンレジスタに値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードする命令です。この命令の実行中、本 LSI の入力信号はそのまま内部回路に伝達され、内部回路の値はそのまま出力端子から外部へ出力されます。この命令の実行により本 LSI のシステム回路は何も影響を受けません。

SAMPLE 動作では、入力端子から内部回路へ転送される値や、内部回路から出力端子へ転送される値のスナッチをバウンダリスキャンレジスタに取り込み、スキャンパスから読み出します。スナッチショットの取り込みは本 LSI の通常動作を妨げずに行われます。

PRELOAD 動作では、EXTEST 命令に先立ちスキャンパスからバウンダリスキャンレジスタのパラレル出力ラッチに初期値を設定します。PRELOAD 動作がないと、EXTEST 命令の実行時、最初のスキャンシーケンスが完了する (出力ラッチへの転送) までの間、出力端子から不定値が出力される (EXTEST 命令では出力端子に常にパラレル出力ラッチを出力する) ことになります。

(3) EXTEST 命令コード : B'0000

EXTEST 命令は、本 LSI をプリント基板に実装したとき、外部回路をテストするためのものです。本命令の実行時、出力端子はバウンダリスキャンレジスタからテストデータ (SAMPLE/PRELOAD 命令ですでに設定されています) をプリント基板へ出力するために使用され、入力端子はプリント基板からバウンダリスキャンレジスタにテスト結果を取り込むために使用されます。EXTEST 命令を N 回用いてテストを行うとき、N 回目のテストデータは (N-1) 回目のスキャンアウトのときにスキャンインされます。

本命令の Capture-DR 状態で出力端子のバウンダリスキャンレジスタにロードされたデータは、外部回路のテストには使用されません (シフト動作で入れ替えます)。

22. バウンダリスキャン (JTAG)

(4) CLAMP 命令コード : B'0010

CLAMP 命令が選択されると、出力端子はあらかじめ SAMPLE/PRELOAD 命令によって設定されたバウンダリスキャンレジスタの値を出力します。CLAMP 命令が選択されている間、バウンダリスキャンレジスタの状態は TAP コントローラの状態に関係なく前の状態が保持されます。

ETDI、ETDO 端子間にはバイパスレジスタが接続され、BYPASS 命令が選択されたときと同様の動作をします。

(5) HIGHZ 命令コード : B'0011

HIGHZ 命令が選択されると、すべての出力端子はハイインピーダンス状態となります。HIGHZ 命令が選択されている間、バウンダリスキャンレジスタの状態は TAP コントローラの状態に関係なく前の状態で保持されます。

ETDI、ETDO 端子間にはバイパスレジスタが接続され、BYPASS 命令が選択されたときと同様の動作をします。

(6) IDCODE 命令コード : B'1110

IDCODE 命令が選択されると、TAP コントローラの Shift-DR 状態時に ID コードレジスタの値を LSB より ETDO 端子から出力します。この命令の実行中テスト回路はシステム回路に何も影響を与えません。

TAP コントローラの Test-Logic-Reset 状態時、インストラクションレジスタは IDCODE 命令に初期化されます。

- 【注】
1. 電源関連端子 (VCC、VCL、VSS、AVCC、AVSS、AVref) はバウンダリスキャン対象外です。
 2. クロック関連端子 (EXTAL、XTAL) はバウンダリスキャンの対象外です。
 3. リセット、スタンバイ関連端子 ($\overline{\text{RES}}$ 、 $\overline{\text{STBY}}$ 、 $\overline{\text{RES0}}$) はバウンダリスキャンの対象外です。
 4. JTAG 関連端子 (ETCK、ETDI、ETDO、ETMS、 $\overline{\text{ETRST}}$) はバウンダリスキャンの対象外です。
 5. MD2 端子は High 固定としてください。
 6. $\overline{\text{STBY}}$ 端子は High で使用してください。

22.6 使用上の注意事項

1. JTAGを起動する / しないにかかわらず、必ず $\overline{\text{ETRST}}$ 端子を0にして、リセットしてください。このとき、 $\overline{\text{ETRST}}$ 端子はETCKに対して20クロックの間、Lowレベルに保持してください。詳細は「第26章 電気的特性」を参照してください。その後、JTAGを起動する場合は $\overline{\text{ETRST}}$ 端子を1にして、ETCK、ETMS、ETDI端子を任意に設定してください。JTAGを起動しない通常動作の場合は、 $\overline{\text{ETRST}}$ 、ETCK、ETMS、ETDI端子は1もしくはハイインピーダンスに設定してください。これらの端子はチップ内部でプルアップされますので、スタンバイ時注意してください。
2. $\overline{\text{ETRST}}$ 端子に印加するパワーオンリセット信号については、以下の注意が必要です。
 - 電源投入時に必ずリセット信号を印加してください。
 - ボードテストの $\overline{\text{ETRST}}$ 端子がLSIのシステム側の動作に影響がないように回路を分離してください。
 - また、LSIのシステムリセットがボードテストの $\overline{\text{ETRST}}$ 端子に影響を与えないように回路を分離してください。

図22.3に相互干渉しないリセット系信号の設計例を示します。

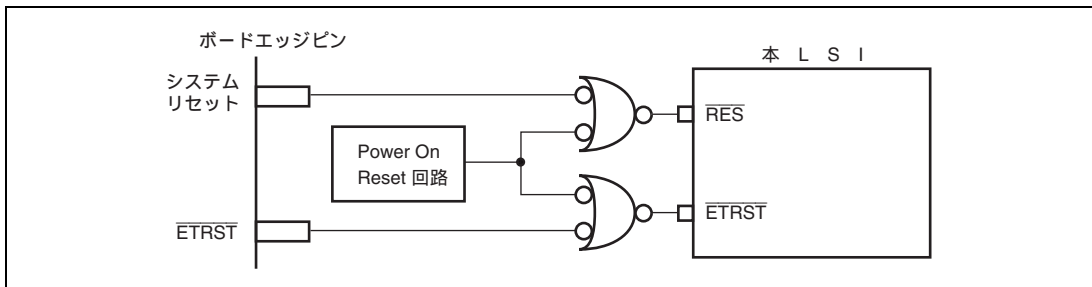


図 22.3 相互干渉しないリセット系信号の設計例

3. スタンバイモードではレジスタは初期化されません。スタンバイモード時に $\overline{\text{ETRST}}$ 端子を0に設定するとIDCODEモードになります。
4. ETCK端子の周波数はシステムクロックの周波数よりも低くしてください。詳細は「第26章 電気的特性」を参照してください。
5. シリアル転送時のデータ入出力はLSBから開始します。図22.4、図22.5にシリアルデータ入出力を示します。
6. ETDI、ETDO端子間に接続されるレジスタのビット数を超過してシリアル転送した場合、レジスタのビット数を超過してETDO端子から出力されるシリアルデータはETDI端子から入力されたデータとなります。
7. JTAGシリアル転送シーケンスがくずれた場合、必ず $\overline{\text{ETRST}}$ 端子のリセットを行ってください。このとき、転送動作にかかわらず再度転送し直してください。
8. プルアップ機能付きピンで、プルアップ機能有効の状態でSAMPLEすると、対応する入力のスキャンレジスタで1を見ることができます。このとき対応するイネーブルのスキャンレジスタは0にしてください。

22. バウンダリスキャン (JTAG)

9. オープンドレイン機能付きピンで、オープンドレイン機能有効の状態かつ対応する出力のスクアンレジスタが1でSAMPLEすると、対応するイネーブルのスクアンレジスタで0を見ることができます。

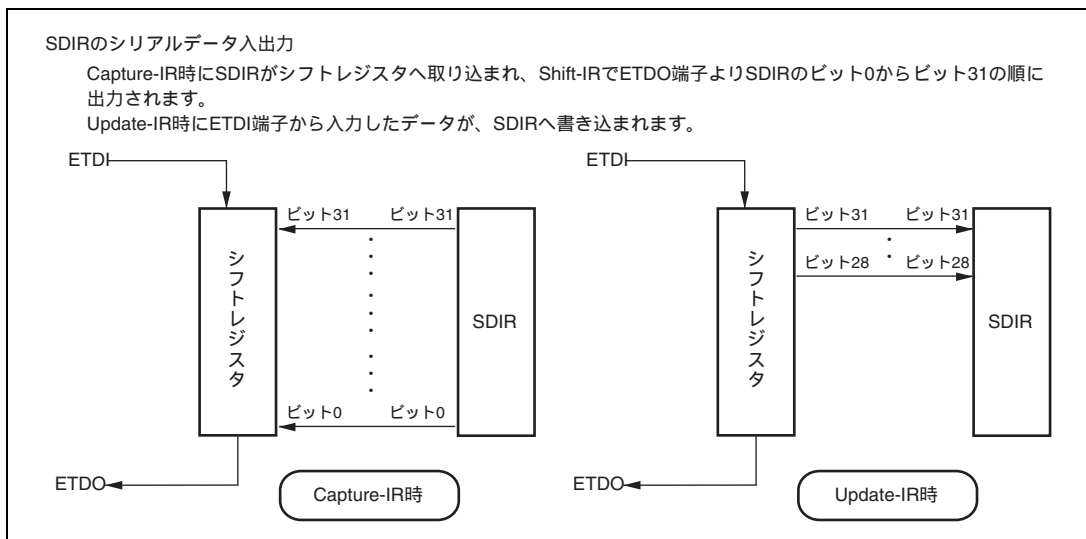


図 22.4 シリアルデータ入出力 (1)

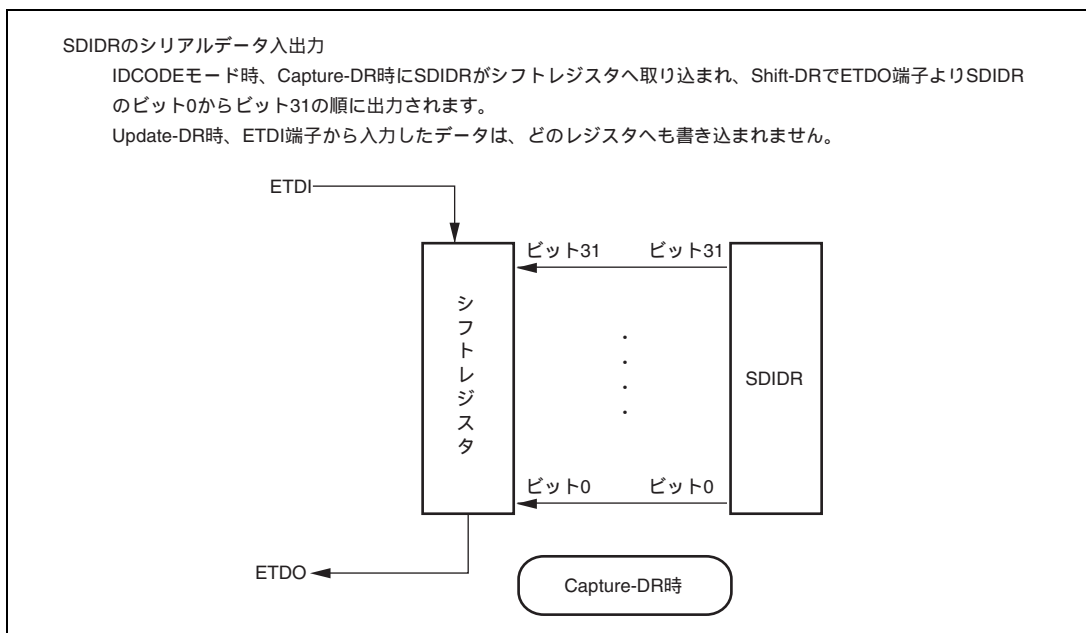


図 22.5 シリアルデータ入出力 (2)

23. クロック発振器

本 LSI は、クロック発振器を内蔵しており、システムクロック ()、内部クロック、バスマスタクロック、およびサブクロック (SUB) を生成します。クロック発振器は、発振回路、PLL 逡倍回路、システムクロック選択回路、中速クロック分周器、バスマスタクロック選択回路、サブクロック入力回路、サブクロック波形形成回路で構成されます。クロック発振器のブロック図を図 23.1 に示します。

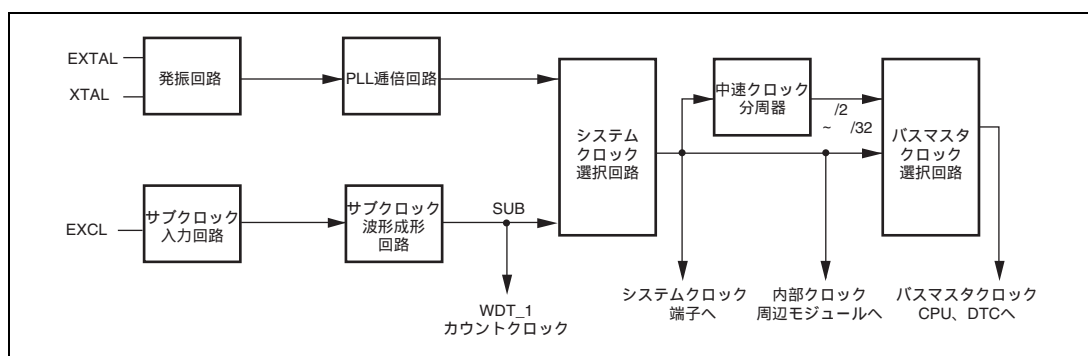


図 23.1 クロック発振器のブロック図

高速モード、中速モードでのバスマスタクロックの選択は、スタンバイコントロールレジスタの SCK2 ~ SCK0 ビットの設定によりソフトウェアで行います。また、中速クロック (/2 ~ /32) を CPU 動作時および CPU の内部メモリアクセス時に限定して使用することが可能です。これにより、DTC の動作速度や外部空間のアクセスサイクルを、中速モードの設定にかかわらず一定にすることが可能です。スタンバイコントロールレジスタについては、「24.1.1 スタンバイコントロールレジスタ (SBYCR)」を参照してください。

サブクロック入力は、ローパワーコントロールレジスタの EXCLE ビットの設定によりソフトウェアで制御します。ローパワーコントロールレジスタについては「24.1.2 ローパワーコントロールレジスタ (LPWRCR)」を参照してください。

23. クロック発振器

23.1 発振回路

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法があります。

23.1.1 水晶発振子を接続する方法

水晶発振子を接続する場合の接続例を図 23.2 に示します。ダンピング抵抗 R_d は、水晶発振子の周波数に合わせて表 23.1 に示すものを使用してください。水晶発振子は、AT カット並列共振形を使用してください。

水晶発振子の等価回路を図 23.3 に示します。水晶発振子は表 23.2 に示す特性のものを使用してください。

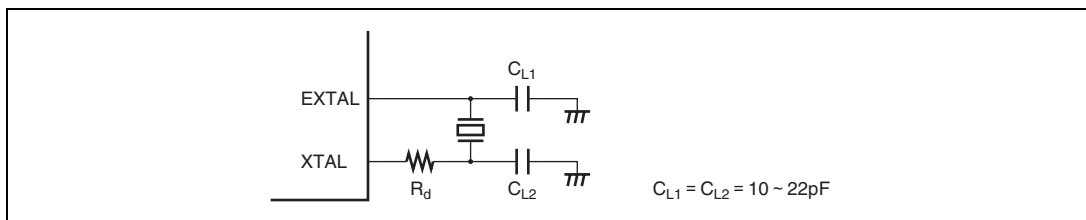


図 23.2 水晶発振子の接続例

表 23.1 ダンピング抵抗値

周波数 (MHz)	5	8	8.5
R_d ()	300	200	0

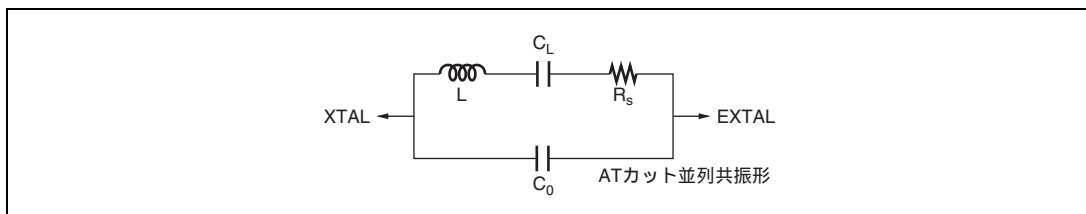


図 23.3 水晶発振子の等価回路

表 23.2 水晶発振子の特性

周波数 (MHz)	5	8	8.5
R_s max ()	100	80	70
C_0 max (pF)	7		

23.1.2 外部クロックを入力する方法

外部クロック入力の接続例を図 23.4 に示します。XTAL 端子をオープン状態にする場合は、寄生容量を 10pF 以下にしてください。XTAL 端子に逆相クロックを入力する場合、スタンバイモード時は外部クロックを High レベルにしてください。

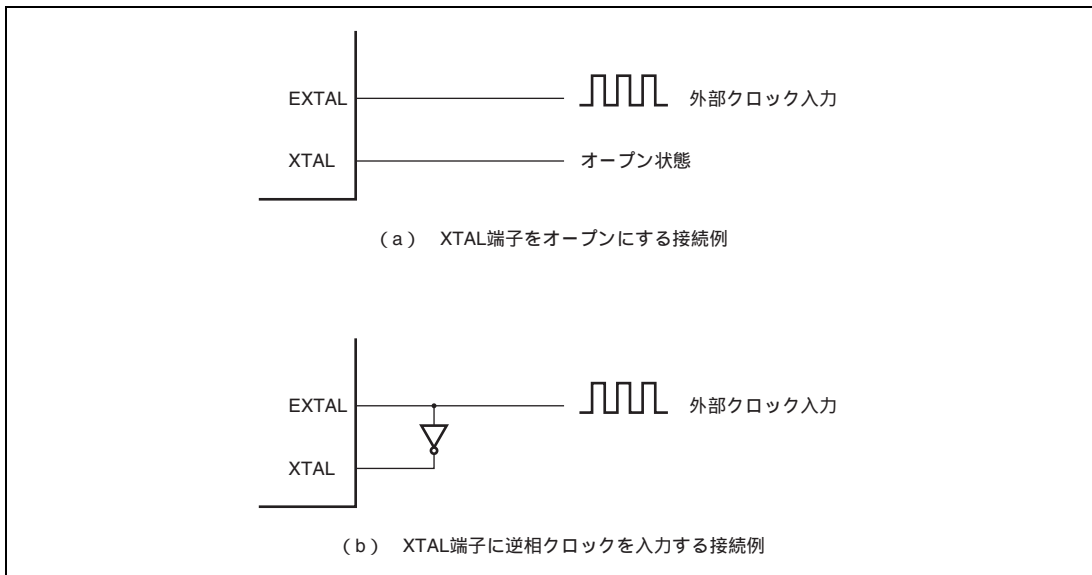


図 23.4 外部クロックの接続例

EXTAL 端子に規定のクロック信号を入力すると、外部クロック出力安定遅延時間 (t_{DEXT}) 経過後に内部クロック信号出力が確定します。 t_{DEXT} 期間中はクロック信号出力が確定していませんので、リセット信号を Low レベルにしリセット状態を保持してください。外部クロック出力安定遅延時間については「第 26 章 電気的特性」の表 25.5、図 25.8 を参照してください。

23. クロック発振器

23.2 PLL 逓倍回路

PLL 逓倍回路は外部から入力されるクロックを 4 倍に逓倍します。表 23.3 に逓倍比を示します。

表 23.3 逓倍比

	入力クロック (MHz)	逓倍比	システムクロック (MHz)
水晶発振子、外部クロック	5 ~ 8.5	4	20 ~ 34

23.3 中速クロック分周器

中速クロック分周器は、システムクロック () を分周し、 $/2$ 、 $/4$ 、 $/8$ 、 $/16$ 、 $/32$ を生成します。

23.4 バスマスタクロック選択回路

バスマスタクロック選択回路は、バスマスタに供給するクロックを SBYCR の SCK2 ~ SCK0 ビットによりシステムクロック ()、または中速クロック ($/2$ 、 $/4$ 、 $/8$ 、 $/16$ 、 $/32$) から選択します。

23.5 サブクロック入力回路

EXCL 端子からのサブクロック入力を制御します。サブクロックを使用する場合は、EXCL 端子から 32.768kHz の外部クロックを入力してください。このとき P9DDR の P96DDR ビットを 0 にクリアし、LPWRCR の EXCLE ビットを 1 にセットしてください。

サブクロックを必要としない場合には、サブクロック入力をイネーブルにしないでください。

23.6 サブクロック波形成形回路

EXCL 端子から入力されたサブクロックのノイズ除去のため、クロックの分周クロックでサンプリングします。サンプリング周波数は、LPWRCR の NESEL ビットで設定します。

23.7 クロック選択回路

LSI 内部で使用するシステムクロックを選択します。

高速モード、中速モード、スリープモード、リセット状態スタンバイモードからの復帰時には、EXTAL、XTAL 端子の発振回路で生成されるクロックを PLL で通倍したものをシステムクロックとして選択します。

23.8 使用上の注意事項

23.8.1 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本書で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定格は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

23.8.2 ボード設計上の注意事項

水晶発振子を使用する場合は、発振子および負荷容量はできるだけ EXTAL、XTAL 端子の近くに配置してください。また、図 23.5 に示すように発振回路の近くには他の信号線を通過させないでください。誘導により正しい発振ができなくなることがあります。

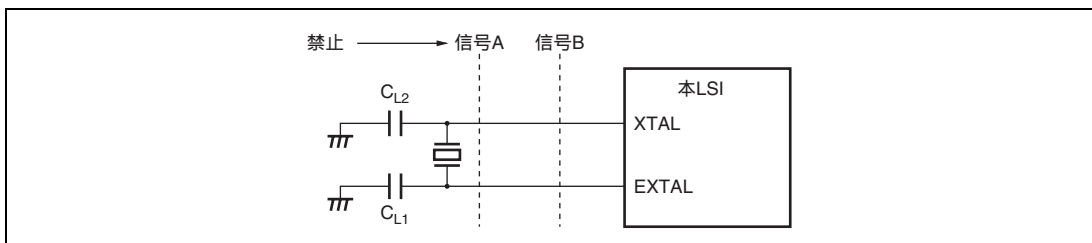


図 23.5 発振回路部のボード設計に関する注意事項

23.8.3 動作確認時の注意事項

本LSIは、EXTAL、XTAL端子に水晶発振子を接続していなかったり、外部クロック入力されていない状態でも、数kHz程度の周波数で自己発振することがあります。よって正しい周波数で動作していることを確認の上使用してください。

24. 低消費電力状態

リセット解除後の動作モードには、通常の高速モードでのプログラム実行状態のほかに消費電力を著しく低下させる4種類の低消費電力モードがあります。このほか、内蔵周辺モジュールを選択的に停止させて消費電力を低下させるモジュールストップモードがあります。

- 中速モード

CPUを動作させるシステムクロックの周波数は $/2$ 、 $/4$ 、 $/8$ 、 $/16$ 、 $/32$ の中から選択できます。

- スリープモード

CPUは動作を停止しますが、内蔵周辺モジュールは動作します。

- ソフトウェアスタンバイモード

クロック発振器が停止し、CPUおよび内蔵周辺モジュールは動作を停止します。

- ハードウェアスタンバイモード

クロック発振器が停止し、CPUおよび内蔵周辺モジュールはリセット状態になります。

- モジュールストップモード

上記動作モードとは独立に、使用しない内蔵周辺モジュールの動作をモジュール単位で停止させることができます。

24.1 レジスタの説明

低消費電力モードに関連するレジスタには以下のものがあります。SBYCR、LPWRCR、MSTPCRH、MSTPCRL をアクセスするためには、シリアルタイムコントロールレジスタ (STCR) の FLSHE ビットを 0 にクリアする必要があります。なお、シリアルタイムコントロールレジスタについては「3.2.3 シリアルタイムコントロールレジスタ (STCR)」を参照してください。

- スタンバイコントロールレジスタ (SBYCR)
- ローパワーコントロールレジスタ (LPWRCR)
- モジュールストップコントロールレジスタH (MSTPCRH)
- モジュールストップコントロールレジスタL (MSTPCRL)
- モジュールストップコントロールレジスタA (MSTPCRA)
- サブチップモジュールストップコントロールレジスタBH、BL (SUBMSTPBH、SUBMSTPBL)

24.1.1 スタンバイコントロールレジスタ (SBYCR)

SBYCR は低消費電力モードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	SSBY	0	R/W	ソフトウェアスタンバイ SLEEP 命令実行後の遷移先を指定します。 高速モードまたは中速モードで SLEEP 命令を実行したとき 0: スリープモードに遷移 1: ソフトウェアスタンバイモード 割り込みなどによってモード間遷移をした場合でも SSBY ビットの内容は変わりません。
6	STS2	0	R/W	スタンバイタイムセレクト 2~0 ソフトウェアスタンバイモードを解除する際に、クロック発振器が発振を開始してからクロックが安定するまでの待機状態数を設定します。動作周波数に応じて待機時間が 8ms(発振安定時間)以上となるように設定してください。 外部クロックを使用する場合は動作周波数に応じて待機時間が 500 μ s(外部クロック出力安定遅延時間)以上となるように設定してください。 設定値と待機状態数の関係は表 24.1 のとおりです。
5	STS1	0	R/W	
4	STS0	0	R/W	

ビット	ビット名	初期値	R/W	説明
3	DTSPEED	0	R/W	DTC スピード 中速モード時、CPU 以外のバスマスタ (DTC) の動作クロックを選択します。 0 : すべてのバスマスタが中速クロックで動作します。 1 : DTC は常にシステムクロックで動作します。 DTC の転送要求が発生した時点で、CPU が中速モードで動作中であっても動作クロックが切り替わります。
2	SCK2	0	R/W	システムクロックセレクト 2~0 高速モードおよび中速モードでのバスマスタのクロックを選択します。 000 : 高速モード 001 : 中速クロックは /2 010 : 中速クロックは /4 011 : 中速クロックは /8 100 : 中速クロックは /16 101 : 中速クロックは /32 11x : 設定しないでください
1	SCK1	0	R/W	
0	SCK0	0	R/W	

【注】 x : Don't care

表 24.1 動作周波数と待機時間

STS2	STS1	STS0	待機時間	20MHz	25MHz	34MHz	単位
0	0	0	8192 ステート	0.4	0.3	0.2	ms
0	0	1	16384 ステート	0.8	0.7	0.5	
0	1	0	32768 ステート	1.6	1.3	1.0	
0	1	1	65536 ステート	3.3	2.6	1.9	
1	0	0	131072 ステート	6.6	5.2	3.9	
1	0	1	262144 ステート	13.1	10.5	7.7	
1	1	x	リザーブ*	-	-	-	-

: 推奨設定時間

【注】 * 本設定は使用しないでください。

x : Don't care

24. 低消費電力状態

24.1.2 ローパワーコントロールレジスタ (LPWRCR)

LPWRCR は低消費電力モードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7, 6	-	0	R/W	リザーブビット 初期値を変更しないでください。
5	NESEL	0	R/W	ノイズ除去サンプリング周波数選択 EXCL 端子から入力されたサブクロック (SUB) を、システムクロック発振器で生成されたクロック () により、サンプリングする周波数を選択します。 0: の 32 分周クロックでサンプリング 1: の 4 分周クロックでサンプリング
4	EXCLE	0	R/W	サブクロック入力イネーブル サブクロック入力を制御します。 0: サブクロック入力禁止 1: サブクロック入力許可
3	-	0	R/W	リザーブビット 初期値を変更しないでください。
2	PNCCS	0	R/W	アドレスマルチプレックス時にチップセレクト信号 (CS256、IOS) の出力極性を制御します。 0: $\overline{\text{CS256}}$ 、 $\overline{\text{IOS}}$ 出力 1: CS256、IOS 出力
1	PNCAH	0	R/W	アドレスマルチプレックス時にアドレスホールド信号 (AH) の出力極性を制御します。 0: $\overline{\text{AH}}$ 出力 1: AH 出力
0	-	0	R/W	リザーブビット 初期値を変更しないでください。

24.1.3 モジュールストップコントロールレジスタ H、L、A (MSTPCR_H、MSTPCR_L、MSTPCR_A)

MSTPCR は内蔵周辺モジュールをモジュール単位でモジュールストップモードにします。各モジュールに対応したビットを 1 にセットするとそのモジュールはモジュールストップモードになります。

• MSTPCR_H

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTP15	0	R/W	リザーブビット 初期値を変更しないでください。
6	MSTP14	0	R/W	データトランスファコントローラ (DTC)
5	MSTP13	1	R/W	16 ビットフリーランニングタイマ (FRT)
4	MSTP12	1	R/W	8 ビットタイマ (TMR_0、TMR_1)
3	MSTP11	1	R/W	14 ビット PWM タイマ (PWMX)
2	MSTP10	1	R/W	リザーブビット 初期値を変更しないでください。
1	MSTP9	1	R/W	A/D 変換器
0	MSTP8	1	R/W	8 ビットタイマ (TMR_X、TMR_Y)

• MSTPCR_L

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTP7	1	R/W	シリアルコミュニケーションインタフェース 3 (SCI_3)
6	MSTP6	1	R/W	シリアルコミュニケーションインタフェース 1 (SCI_1)
5	MSTP5	1	R/W	リザーブビット 初期値を変更しないでください。
4	MSTP4	1	R/W	I ² C バスインタフェース チャンネル 0 (IIC_0)
3	MSTP3	1	R/W	I ² C バスインタフェース チャンネル 1 (IIC_1)
2	MSTP2	1	R/W	I ² C バスインタフェース チャンネル 2、3 (IIC_2、IIC_3)
1	MSTP1	1	R/W	CRC 演算器
0	MSTP0	1	R/W	I ² C バスインタフェース チャンネル 4、5 (IIC_4、IIC_5)

• MSTPCR_A

ビット	ビット名	初期値	R/W	対象モジュール
7-3	MSTPA7~ MSTPA3	すべて 0	R/W	リザーブビット 初期値を変更しないでください。
2	MSTPA2	0	R/W	14 ビット PWM タイマ (PWMX_1)
1	MSTPA1	0	R/W	14 ビット PWM タイマ (PWMX_0)
0	MSTPA0	0	R/W	リザーブビット 初期値を変更しないでください。

24. 低消費電力状態

MSTPCR はビットの組み合わせにより以下のとおり動作と停止を設定します。

MSTPCRH (ビット3) MSTP11	MSTPCRA (ビット2) MSTPA2	機 能
0	0	14 ビット PWM タイマ (PWMX_1) 動作
0	1	14 ビット PWM タイマ (PWMX_1) 停止
1	x	リザーブ

MSTPCRH (ビット3) MSTP11	MSTPCRA (ビット1) MSTPA1	機 能
0	0	14 ビット PWM タイマ (PWMX_0) 動作
0	1	14 ビット PWM タイマ (PWMX_0) 停止
1	x	リザーブ

【注】 MSTPCRH のビット 3 は PWMX_0、PWMX_1 のモジュールストップビットです。

【注】 x : Don't care

24.1.4 サブチップモジュールストップコントロールレジスタ BH、BL (SUBMSTPBH、SUBMSTPBL)

SUBMSTPB は内蔵周辺モジュールをモジュール単位でモジュールストップモードにします。各モジュールに対応したビットを 1 にセットするとそのモジュールはモジュールストップモードになります。

• SUBMSTPBH

ビット	ビット名	初期値	R/W	対象モジュール
7-0	SMSTPB15 ~ SMSTPB8	すべて 1	R/W	リザーブビット 初期値を変更しないでください。

• SUBMSTPBL

ビット	ビット名	初期値	R/W	対象モジュール
7-4	SMSTPB7 ~ SMSTPB4	すべて 1	R/W	リザーブビット 初期値を変更しないでください。
3	SMSTPB3	1	R/W	SCIF
2	SMSTPB2	1	R/W	リザーブビット 初期値を変更しないでください。
1	SMSTPB1	1	R/W	LPC インタフェース (LPC)
0	SMSTPB0	1	R/W	リザーブビット 初期値を変更しないでください。

24.2 モード間遷移と LSI の状態

図 24.1 に可能なモード間遷移を示します。プログラム実行状態からプログラム停止状態へは SLEEP 命令の実行によって遷移します。プログラム停止状態からプログラム実行状態へは割り込みによって復帰します。STBY 入力によりすべてのモードからハードウェアスタンバイモードに遷移します。また、RES 入力によりハードウェアスタンバイモードを除くすべてのモードからリセット状態に遷移します。表 24.2 に各動作モードでの LSI の内部状態を示します。

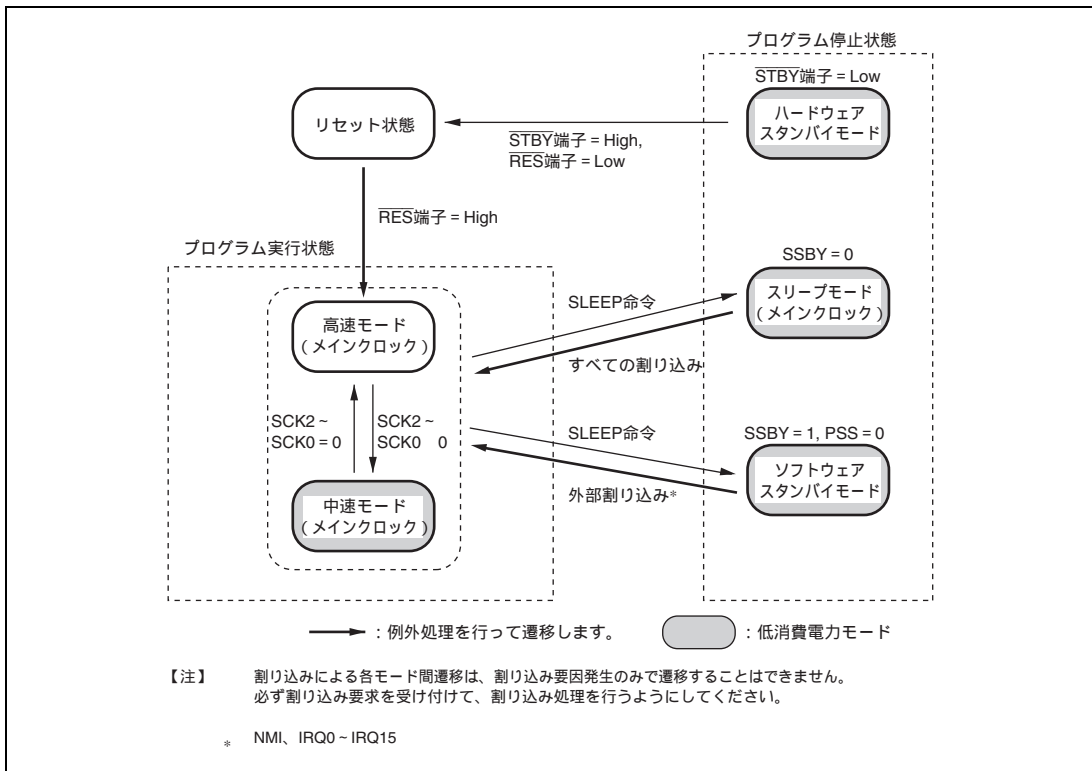


図 24.1 モード遷移図

24. 低消費電力状態

表 24.2 各動作モードでの LSI の内部状態

機能		高速	中速	スリープ	モジュール ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ		
システムクロック 発振器		動作	動作	動作	動作	停止	停止		
サブクロック入力		動作	動作	動作	動作	停止	停止		
CPU 動作	命令実行	動作	中速動作	停止	動作	停止	停止		
	レジスタ			保持		保持	不定		
外部 割り込み	NMI	動作	動作	動作	動作	動作	停止		
	IRQ0 ~ 15								
周辺 モジュール	DTC	動作	中速動作 / 動作	動作	動作 / 停止 (保持)	停止 (保持)	停止 (リセット)		
	WDT_1				動作			動作	動作 / 停止 (保持)
	WDT_0								
	TMR_0、1								
	LPC								
	FRT								
	TMR_X、Y								
	IIC_0 ~ 5								
	CRC								
	SCI_1、3						動作 / 停止 (保持 / リセット)	停止 (保持 / リセット)	
	SCI_F						動作 / 停止 (リセット)		
	PWMX_0、1							停止 (リセット)	
	A/D 変換器								
	RAM				動作	動作	動作 (DTC)	動作	保持
I/O	動作	動作	動作	動作	保持	ハイインピーダ ンス			

【注】 停止 (保持) は、内部レジスタ値保持、内部状態は動作停止。
 停止 (リセット) は、内部レジスタおよび内部状態を初期化。
 モジュールストップモードは、対象モジュールのみ停止 (リセットまたは保持)。

24.3 中速モード

SBYCR の SCK2 ~ SCK0 ビットの設定により、そのバスサイクルの終了時点で中速モードになります。動作クロックは $1/2$ 、 $1/4$ 、 $1/8$ 、 $1/16$ 、 $1/32$ から選択できます。SBYCR の DTSPEED ビットが 0 にクリアされている場合、CPU 以外のバスマスタ (DTC) も中速モードで動作します。バスマスタ以外の内蔵周辺機能はシステムクロック () で動作します。

SBYCR の DTSPEED ビットが 1 にセットされている場合は、DTC の動作クロックに限って で動作させることが可能です。

中速モードではバスマスタの動作クロックに対して、指定されたステート数でバスアクセスを行います。例えば、動作クロックとして $1/4$ を選択した場合、内蔵メモリは 4 ステートアクセス、内部 I/O レジスタは 8 ステートアクセスになります。

中速モードは、SCK2 ~ SCK0 ビットをいずれも 0 にクリアすると、そのバスサイクルの終了時点で高速モードに遷移します。

SBYCR の SSBY ビットが 0 のとき SLEEP 命令を実行すると、スリープモードに遷移します。スリープモードが割り込みによって解除されると中速モードに復帰します。SSBY ビットが 1、TCSR (WDT_1) の PSS ビットが 0 のとき SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードが外部割り込みによって解除されると、中速モードに復帰します。

$\overline{\text{RES}}$ 端子を Low レベルにすると中速モードは解除されリセット状態に遷移します。ウォッチドッグタイマのオーバーフローによるリセットによっても同様です。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

図 24.2 に中速モードのタイミングを示します。

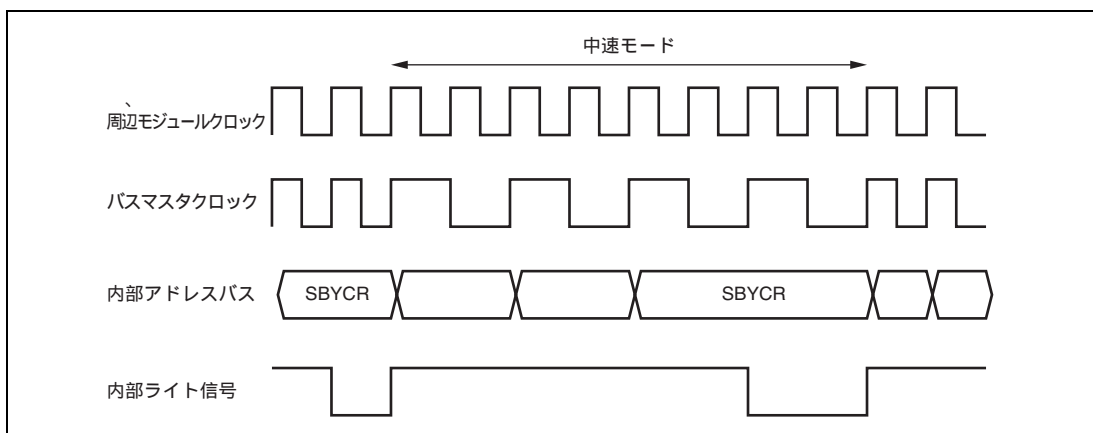


図 24.2 中速モードのタイミング

24.4 スリープモード

SBYCR の SSBY ビットが 0 の状態で SLEEP 命令を実行すると、スリープモードに遷移します。スリープモードでは CPU の動作は停止しますが、内蔵周辺モジュールは動作します。CPU の内部レジスタの内容は保持されません。

スリープモードは、割り込み、 $\overline{\text{RES}}$ 端子、または $\overline{\text{STBY}}$ 端子によって解除されます。

割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。割り込みが禁止されているとき、または NMI 以外の割り込みが CPU でマスクされているとスリープモードは解除できません。

$\overline{\text{RES}}$ 端子を Low レベルにすると、スリープモードは解除されリセット状態になります。発振安定時間経過後、 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

24.5 ソフトウェアスタンバイモード

SBYCR の SSBY ビットが 1、TCSR (WDT_1) の PSS ビットが 0 のとき SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードでは、クロック発振器が停止し、CPU および内蔵周辺機能が停止します。ただし、規定の電圧が与えられているかぎり、CPU のレジスタと内蔵 RAM のデータおよび SCI の一部、PWMX、A/D 変換器を除く内蔵周辺機能と I/O ポートの状態は保持されます。

ソフトウェアスタンバイモードは、外部割り込み (NMI、IRQ0~IRQ15)、 $\overline{\text{RES}}$ 入力、または $\overline{\text{STBY}}$ 入力によって解除されます。

外部割り込み要求信号が入力されると、システムクロック発振器が発振を開始します。SBYCR の STS2~STS0 ビットによって設定された時間が経過するとソフトウェアスタンバイモードが解除され、割り込み例外処理を開始します。IRQ0~IRQ15 割り込みでソフトウェアスタンバイモードを解除するときには対応するイネーブルビットを 1 にセットし、かつ IRQ0~IRQ15 割り込みより高い優先順位の割り込みが発生しないようにしてください。なお、IRQ0~IRQ15 割り込みについては対応するイネーブルビットが 0 にクリアされている場合、または割り込みが CPU でマスクされている場合には、ソフトウェアスタンバイモードは解除されません。

$\overline{\text{RES}}$ 端子を Low レベルにすると、クロック発振器が発振を開始します。システムクロックの発振開始と同時に、本 LSI 全体にシステムクロックが供給されます。 $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで Low レベルに保持してください。発振安定時間経過後 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ソフトウェアスタンバイモードは解除されハードウェアスタンバイモードに遷移します。

図 24.3 に NMI 端子の立ち下がりエッジでソフトウェアスタンバイモードに遷移し、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 24.3 に示します。

この例では、SYSCR の NMIEG ビットが 0 にクリアされている（立ち下がりエッジ指定）状態で、NMI 割り込みを受け付けた後、NMIEG ビットを 1 にセット（立ち上がりエッジ指定）、SSBY ビットを 1 にセットした後、SLEEP 命令を実行してソフトウェアスタンバイモードに遷移しています。

その後、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

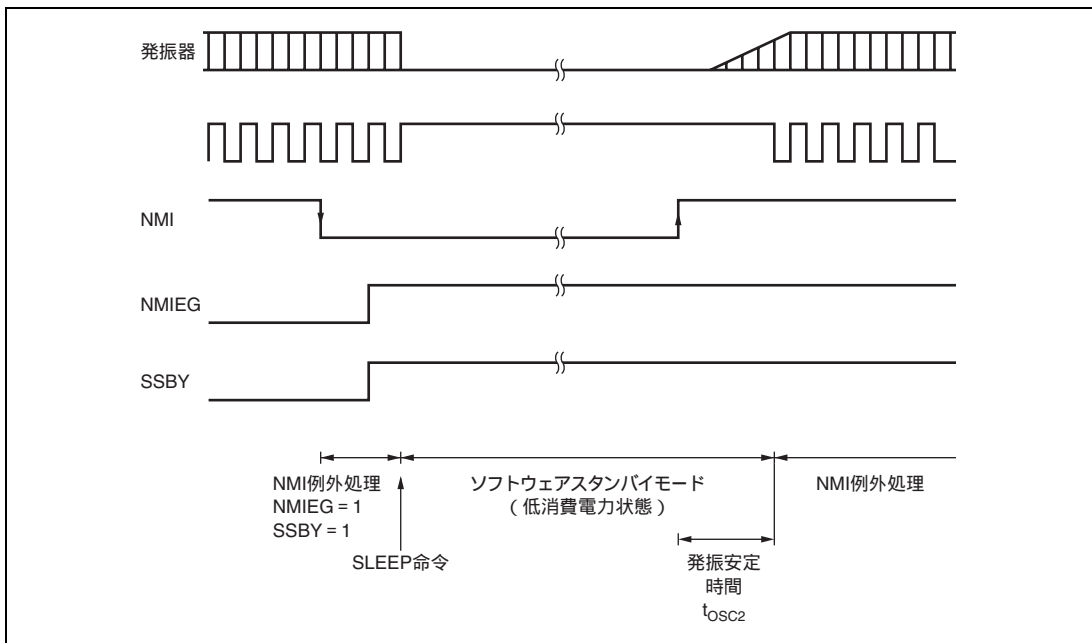


図 24.3 ソフトウェアスタンバイモードの応用例

24.6 ハードウェアスタンバイモード

$\overline{\text{STBY}}$ 端子を Low レベルにすると、どのモードからでもハードウェアスタンバイモードに遷移します。

ハードウェアスタンバイモードでは、すべての機能がリセット状態になります。規定の電圧が与えられている限り、内蔵 RAM のデータは保持されます。I/O ポートはハイインピーダンス状態になります。

内蔵 RAM のデータを保持するためには、 $\overline{\text{STBY}}$ 端子を Low レベルにする前に、SYSCR の RAME ビットを 0 にクリアしてください。また、ハードウェアスタンバイモード中に、モード端子 ($\overline{\text{MD2}}$ 、 $\overline{\text{MD1}}$ 、 $\overline{\text{MD0}}$) の状態を変化させないでください。

ハードウェアスタンバイモードは、 $\overline{\text{RES}}$ 入力と $\overline{\text{STBY}}$ 入力によって解除されます。

$\overline{\text{RES}}$ 端子を Low レベルの状態、 $\overline{\text{STBY}}$ 端子を High レベルにするとクロック発振器が発振を開始します。 $\overline{\text{RES}}$ 端子は必ずシステムクロックの発振が安定するまで Low レベルを保持してください。発振安定時間経過後、 $\overline{\text{RES}}$ 端子を High レベルにすると、リセット例外処理を開始します。

図 24.4 にハードウェアスタンバイモードのタイミング例を示します。

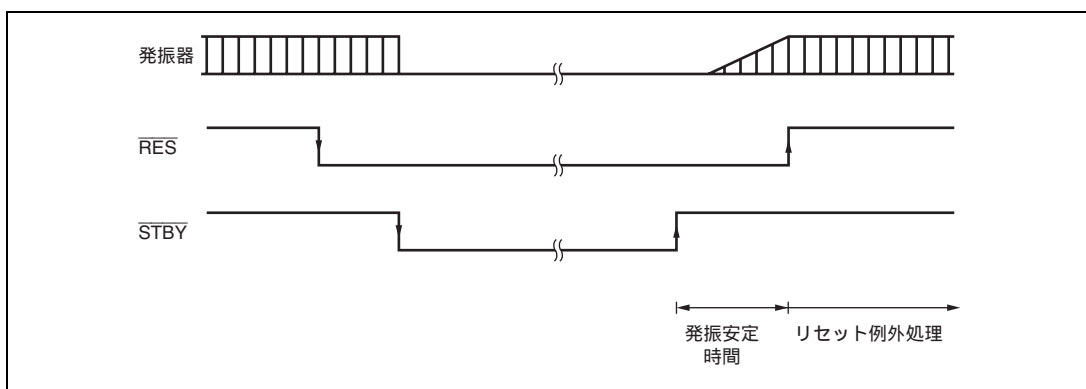


図 24.4 ハードウェアスタンバイモードのタイミング

24.7 モジュールストップモード

モジュールストップモードはすべての内蔵周辺モジュールに対して設定できます。

MSTPCR、SUBMSTP の各モジュールに対応した MSTP ビットを 1 にセットすると、そのモジュールはバスサイクルの終了時点でモジュールストップモードへ遷移します。0 にクリアするとモジュールストップモードは解除され、バスサイクルの終了時点で動作を再開します。モジュールストップモードでは、SCI の一部、PWMX、A/D 変換器を除く周辺モジュールの内部状態は保持されています。

リセット解除後は、DTC を除くすべてのモジュールがモジュールストップモードになっています。

モジュールストップモードに設定されたモジュールのレジスタは、リード/ライトできません。

24.8 使用上の注意事項

24.8.1 I/O ポートの状態

ソフトウェアスタンバイモードでは、I/O ポートの状態が保持されます。したがって、High レベルを出力している場合、出力電流分の消費電流は低減されません。

24.8.2 発振安定待機中の消費電流

発振安定待機中は消費電流が増加します。

24.8.3 DTC のモジュールストップモードの設定

DTC のモジュールストップモードの設定と、DTC のバス権要求が競合すると、バス権要求が優先され、MSTP ビットは 1 にセットされません。

DTC のバスサイクル終了後に再び MSTP ビットに 1 をライトしてください。

24.8.4 サブクロック使用上の注意事項

サブクロックを使用する場合、LPWRCR の EXCLE ビットを 1 にセットしてから、2 サイクル以上サブクロックを取り込んだ上で、低消費電力モードへ遷移してください。また、サブクロックを使用しない場合は、EXCLE ビットを 1 にセットしないでください。

25. レジスタ一覧

アドレス一覧では、内蔵レジスタのアドレス、ビット構成および動作モード別の状態に関する情報をまとめています。表記方法は下記のとおりです。

1. レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載します。
- アドレスは、16ビットの場合、MSB側のアドレスを記載しています。
- モジュール名称による分類をしています。
- アクセスサイズを表示しています。

2. ビット構成一覧

- 「レジスタアドレス一覧（アドレス順）」の順序で、ビット構成を記載しています。
- リザーブビットは、ビット名称部に「 - 」で表記しています。
- ビット番号が表示されているものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。
- 16ビットのレジスタの場合、8ビットずつ2段で記載しています。

3. 各動作モード別レジスタの状態

- 「レジスタアドレス一覧（アドレス順）」の順序で、レジスタの状態を記載しています。
- 基本的な動作モードにおけるレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。

25. レジスタ一覧

25.1 レジスタアドレス一覧（アドレス順）

データバス幅は、ビット数を示します。

アクセスステート数は、指定の基準クロックのステート数を示します。

レジスタ名称	略 称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
レシーブバッファレジスタ	FRBR	8	H'FC80	SCIF	16	2
トランスマッタホールディングレジスタ	FTHR	8	H'FC80	SCIF	16	2
ディバイザラッチL	FDLL	8	H'FC80	SCIF	16	2
割り込みイネーブルレジスタ	FIER	8	H'FC81	SCIF	16	2
ディバイザラッチH	FDLH	8	H'FC81	SCIF	16	2
割り込み識別レジスタ	FIIR	8	H'FC82	SCIF	16	2
FIFO 制御レジスタ	FFCR	8	H'FC82	SCIF	16	2
ライン制御レジスタ	FLCR	8	H'FC83	SCIF	16	2
モデム制御レジスタ	FMCR	8	H'FC84	SCIF	16	2
ラインステータスレジスタ	FLSR	8	H'FC85	SCIF	16	2
モデムステータスレジスタ	FMSR	8	H'FC86	SCIF	16	2
スクラッチパッドレジスタ	FSCR	8	H'FC87	SCIF	16	2
SCIF コントロールレジスタ	SCIFCR	8	H'FC88	SCIF	16	2
ホストインタフェースコントロールレジスタ 4	HICR4	8	H'FD00	LPC	16	2
BT ステータスレジスタ 0	BTSR0	8	H'FD02	LPC	16	2
BT ステータスレジスタ 1	BTSR1	8	H'FD03	LPC	16	2
BT コントロールステータスレジスタ 0	BTCSR0	8	H'FD04	LPC	16	2
BT コントロールステータスレジスタ 1	BTCSR1	8	H'FD05	LPC	16	2
BT コントロールレジスタ	BTCR	8	H'FD06	LPC	16	2
BT 割り込みマスクレジスタ	BTIMSR	8	H'FD07	LPC	16	2
SMIC フラグレジスタ	SMICFLG	8	H'FD08	LPC	16	2
ホストインタフェースコントロールレジスタ 5	HICR5	8	H'FD09	LPC	16	2
SMIC コントロールステータスレジスタ	SMICCSR	8	H'FD0A	LPC	16	2
SMIC データレジスタ	SMICDTR	8	H'FD0B	LPC	16	2
SMIC 割り込みレジスタ 0	SMICIR0	8	H'FD0C	LPC	16	2
SMIC 割り込みレジスタ 1	SMICIR1	8	H'FD0E	LPC	16	2
SERIRQ コントロールレジスタ 3	SIRQCR3	8	H'FD0F	LPC	16	2
双方向データレジスタ 0MW	TWR0MW	8	H'FD10	LPC	16	2
双方向データレジスタ 0SW	TWR0SW	8	H'FD10	LPC	16	2
双方向データレジスタ 1	TWR1	8	H'FD11	LPC	16	2
双方向データレジスタ 2	TWR2	8	H'FD12	LPC	16	2

25. レジスタ一覧

レジスタ名称	略 称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
双方向データレジスタ 3	TWR3	8	H'FD13	LPC	16	2
双方向データレジスタ 4	TWR4	8	H'FD14	LPC	16	2
双方向データレジスタ 5	TWR5	8	H'FD15	LPC	16	2
双方向データレジスタ 6	TWR6	8	H'FD16	LPC	16	2
双方向データレジスタ 7	TWR7	8	H'FD17	LPC	16	2
双方向データレジスタ 8	TWR8	8	H'FD18	LPC	16	2
双方向データレジスタ 9	TWR9	8	H'FD19	LPC	16	2
双方向データレジスタ 10	TWR10	8	H'FD1A	LPC	16	2
双方向データレジスタ 11	TWR11	8	H'FD1B	LPC	16	2
双方向データレジスタ 12	TWR12	8	H'FD1C	LPC	16	2
双方向データレジスタ 13	TWR13	8	H'FD1D	LPC	16	2
双方向データレジスタ 14	TWR14	8	H'FD1E	LPC	16	2
双方向データレジスタ 15	TWR15	8	H'FD1F	LPC	16	2
入力データレジスタ 3	IDR3	8	H'FD20	LPC	16	2
出力データレジスタ 3	ODR3	8	H'FD21	LPC	16	2
ステータスレジスタ 3	STR3	8	H'FD22	LPC	16	2
SERIRQ コントロールレジスタ 4	SIRQCR4	8	H'FD23	LPC	16	2
LPC チャネル 3 アドレスレジスタ H	LADR3H	8	H'FD24	LPC	16	2
LPC チャネル 3 アドレスレジスタ L	LADR3L	8	H'FD25	LPC	16	2
SERIRQ コントロールレジスタ 0	SIRQCR0	8	H'FD26	LPC	16	2
SERIRQ コントロールレジスタ 1	SIRQCR1	8	H'FD27	LPC	16	2
入力データレジスタ 1	IDR1	8	H'FD28	LPC	16	2
出力データレジスタ 1	ODR1	8	H'FD29	LPC	16	2
ステータスレジスタ 1	STR1	8	H'FD2A	LPC	16	2
SERIRQ コントロールレジスタ 5	SIRQCR5	8	H'FD2B	LPC	16	2
入力データレジスタ 2	IDR2	8	H'FD2C	LPC	16	2
出力データレジスタ 2	ODR2	8	H'FD2D	LPC	16	2
ステータスレジスタ 2	STR2	8	H'FD2E	LPC	16	2
ホストインタフェースセレクトレジスタ	HISEL	8	H'FD2F	LPC	16	2
ホストインタフェースコントロールレジスタ 0	HICR0	8	H'FD30	LPC	16	2
ホストインタフェースコントロールレジスタ 1	HICR1	8	H'FD31	LPC	16	2
ホストインタフェースコントロールレジスタ 2	HICR2	8	H'FD32	LPC	16	2
ホストインタフェースコントロールレジスタ 3	HICR3	8	H'FD33	LPC	16	2
SERIRQ コントロールレジスタ 2	SIRQCR2	8	H'FD34	LPC	16	2
BT データバッファ	BTDR	8	H'FD35	LPC	16	2

25. レジスタ一覧

レジスタ名称	略 称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
BTFIFO 有効サイズレジスタ 0	BTFVSR0	8	H'FD36	LPC	16	2
BTFIFO 有効サイズレジスタ 1	BTFVSR1	8	H'FD37	LPC	16	2
LPC チャンネル 1、2 アドレスレジスタ H	LADR12H	8	H'FD38	LPC	16	2
LPC チャンネル 1、2 アドレスレジスタ L	LADR12L	8	H'FD39	LPC	16	2
SCIF アドレスレジスタ H	SCIFADRH	8	H'FD3A	LPC	16	2
SCIF アドレスレジスタ L	SCIFADRL	8	H'FD3B	LPC	16	2
サブチップモジュールストップ コントロールレジスタ BH	SUBMSTPBH	8	H'FE3E	SYSTEM	8	2
サブチップモジュールストップ コントロールレジスタ BL	SUBMSTPBL	8	H'FE3F	SYSTEM	8	2
イベントカウントステータスレジスタ	ECS	16	H'FE40	EVC	16	2
イベントカウントコントロールレジスタ	ECCR	8	H'FE42	EVC	8	2
モジュールストップコントロールレジスタ A	MSTPCRA	8	H'FE43	SYSTEM	8	2
ノイズキャンセララインブルレジスタ	P6NCE	8	H'FE44	PORT	8	2
ノイズキャンセラモードコントロールレジスタ	P6NCMC	8	H'FE45	PORT	8	2
ノイズキャンセラ周期設定レジスタ	NCCS	8	H'FE46	PORT	8	2
ポート E 出力データレジスタ	PEODR	8	H'FE48	PORT	8	2
ポート F 出力データレジスタ	PFODR	8	H'FE49	PORT	8	2
ポート E 入力データレジスタ	PEPIN	8	H'FE4A	PORT	8	2
ポート E データディレクションレジスタ	PEDDR	8	H'FE4A	PORT	8	2
ポート F 入力データレジスタ	PFPIN	8	H'FE4B	PORT	8	2
ポート F データディレクションレジスタ	PFDDR	8	H'FE4B	PORT	8	2
ポート C 出力データレジスタ	PCODR	8	H'FE4C	PORT	8	2
ポート D 出力データレジスタ	PDODR	8	H'FE4D	PORT	8	2
ポート C 入力データレジスタ	PCPIN	8	H'FE4E	PORT	8	2
ポート C データディレクションレジスタ	PCDDR	8	H'FE4E	PORT	8	2
ポート D 入力データレジスタ	PDPIN	8	H'FE4F	PORT	8	2
ポート D データディレクションレジスタ	PDDDR	8	H'FE4F	PORT	8	2
フラッシュコードコントロール ステータスレジスタ	FCCS	8	H'FE88	FLASH	8	2
フラッシュプログラムコードセレクトレジスタ	FPCS	8	H'FE89	FLASH	8	2
フラッシュイレースコードセレクトレジスタ	FECS	8	H'FE8A	FLASH	8	2
フラッシュキーコードレジスタ	FKEY	8	H'FE8C	FLASH	8	2
フラッシュマットセレクトレジスタ	FMATS	8	H'FE8D	FLASH	8	2
フラッシュトランスファデスティネーション アドレスレジスタ	FTDAR	8	H'FE8E	FLASH	8	2

25. レジスタ一覧

レジスタ名称	略 称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
I ² C バスコントロールレジスタ_4	ICCR_4	8	H'FE90	IIC_4	8	2
I ² C バスステータスレジスタ_4	ICSR_4	8	H'FE91	IIC_4	8	2
I ² C バスデータレジスタ_4	ICDR_4	8	H'FE92	IIC_4	8	2
第2スレーブアドレスレジスタ_4	SARX_4	8	H'FE92	IIC_4	8	2
I ² C バスモードレジスタ_4	ICMR_4	8	H'FE93	IIC_4	8	2
スレーブアドレスレジスタ_4	SAR_4	8	H'FE93	IIC_4	8	2
I ² C バスコントロールレジスタ_5	ICCR_5	8	H'FE94	IIC_5	8	2
I ² C バスステータスレジスタ_5	ICSR_5	8	H'FE95	IIC_5	8	2
I ² C バスデータレジスタ_5	ICDR_5	8	H'FE96	IIC_5	8	2
第2スレーブアドレスレジスタ_5	SARX_5	8	H'FE96	IIC_5	8	2
I ² C バスモードレジスタ_5	ICMR_5	8	H'FE97	IIC_5	8	2
スレーブアドレスレジスタ_5	SAR_5	8	H'FE97	IIC_5	8	2
シリアルモードレジスタ_1	SMR_1	8	H'FE98	SCI_1	8	2
ビットレートレジスタ_1	BRR_1	8	H'FE99	SCI_1	8	2
シリアルコントロールレジスタ_1	SCR_1	8	H'FE9A	SCI_1	8	2
トランスミットデータレジスタ_1	TDR_1	8	H'FE9B	SCI_1	8	2
シリアルステータスレジスタ_1	SSR_1	8	H'FE9C	SCI_1	8	2
レシブデータレジスタ_1	RDR_1	8	H'FE9D	SCI_1	8	2
スマートカードモードレジスタ_1	SCMR_1	8	H'FE9E	SCI_1	8	2
A/D データレジスタ A	ADDRA	16	H'FEA0	ADC	16	2
A/D データレジスタ B	ADDRB	16	H'FEA2	ADC	16	2
A/D データレジスタ C	ADDRC	16	H'FEA4	ADC	16	2
A/D データレジスタ D	ADDRD	16	H'FEA6	ADC	16	2
A/D データレジスタ E	ADDRE	16	H'FEA8	ADC	16	2
A/D データレジスタ F	ADDRF	16	H'FEAA	ADC	16	2
A/D データレジスタ G	ADDRG	16	H'FEAC	ADC	16	2
A/D データレジスタ H	ADDRH	16	H'FEAE	ADC	16	2
A/D コントロール/ステータスレジスタ	ADCSR	8	H'FEB0	ADC	8	2
A/D コントロールレジスタ	ADCR	8	H'FEB1	ADC	8	2
SMX モードコントローラレジスタ	SMR0	8	H'FEB8	SMX	8	2
SMX モードコントローラレジスタ	SMR1	8	H'FEB9	SMX	8	2
ポート 6 ブルアップ MOS コントロールレジスタ	P6PCR	8	H'FEBC	PORT	8	2
ピンファンクションコントロールレジスタ	PINFNCR	8	H'FEBE	PORT	8	2
ポート 4 ブルアップ MOS コントロールレジスタ	P4PCR	8	H'FEBF	PORT	8	2
I ² C バスコントロールレジスタ_3	ICCR_3	8	H'FEC0	IIC_3	8	2
I ² C バスステータスレジスタ_3	ICSR_3	8	H'FEC1	IIC_3	8	2

25. レジスタ一覧

レジスタ名称	略 称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
I ² C バスデータレジスタ_3	ICDR_3	8	H'FEC2	IIC_3	8	2
第2スレーブアドレスレジスタ_3	SARX_3	8	H'FEC2	IIC_3	8	2
I ² C バスモードレジスタ_3	ICMR_3	8	H'FEC3	IIC_3	8	2
スレーブアドレスレジスタ_3	SAR_3	8	H'FEC3	IIC_3	8	2
I ² C バスコントロールレジスタ_2	ICCR_2	8	H'FEC8	IIC_2	8	2
I ² C バスステータスレジスタ_2	ICSR_2	8	H'FEC9	IIC_2	8	2
I ² C バスデータレジスタ_2	ICDR_2	8	H'FECA	IIC_2	8	2
第2スレーブアドレスレジスタ_2	SARX_2	8	H'FECA	IIC_2	8	2
I ² C バスモードレジスタ_2	ICMR_2	8	H'FECEB	IIC_2	8	2
スレーブアドレスレジスタ_2	SAR_2	8	H'FECEB	IIC_2	8	2
PWMX(D/A)データレジスタ A_1	DADRA_1	16	H'FECC	PWMX_1	8	4
PWMX(D/A)コントロールレジスタ_1	DACR_1	8	H'FECC	PWMX_1	8	2
PWMX(D/A)データレジスタ B_1	DADRB_1	16	H'FECE	PWMX_1	8	4
PWMX(D/A)カウンタ_1	DACNT_1	16	H'FECE	PWMX_1	8	4
CRC コントロールレジスタ	CRCCR	8	H'FED4	CRC	16	2
CRC データ入力レジスタ	CRCDIR	8	H'FED5	CRC	16	2
CRC データ出力レジスタ	CRCDOR	16	H'FED6	CRC	16	2
I ² C バスコントロール拡張レジスタ_0	ICXR_0	8	H'FED8	IIC_0	8	2
I ² C バスコントロール拡張レジスタ_1	ICXR_1	8	H'FED9	IIC_1	8	2
I ² C SMBus 制御レジスタ	ICSMBCR	8	H'FEDB	IIC	8	2
I ² C バスコントロール拡張レジスタ_2	ICXR_2	8	H'FEDC	IIC_2	8	2
I ² C バスコントロール拡張レジスタ_3	ICXR_3	8	H'FEDD	IIC_3	8	2
I ² C バストランスファレートセレクトレジスタ	IICX3	8	H'FEDF	IIC	8	2
I ² C バスコントロール拡張レジスタ_4	ICXR_4	8	H'FEE0	IIC_4	8	2
I ² C バスコントロール拡張レジスタ_5	ICXR_5	8	H'FEE1	IIC_5	8	2
キーボードコンパレータコントロールレジスタ	KBCOMP	8	H'FEE4	EVC	8	2
インタラプトコントロールレジスタ D	ICRD	8	H'FEE7	INT	8	2
インタラプトコントロールレジスタ A	ICRA	8	H'FEE8	INT	8	2
インタラプトコントロールレジスタ B	ICRB	8	H'FEE9	INT	8	2
インタラプトコントロールレジスタ C	ICRC	8	H'FEEA	INT	8	2
IRQ ステータスレジスタ	ISR	8	H'FEEB	INT	8	2
IRQ センスコントロールレジスタ H	ISCRH	8	H'FEEC	INT	8	2
IRQ センスコントロールレジスタ L	ISCR_L	8	H'FEED	INT	8	2

25. レジスタ一覧

レジスタ名称	略 称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
DTC イネーブルレジスタ A	DTCERA	8	H'FEEE	DTC	8	2
DTC イネーブルレジスタ B	DTCERB	8	H'FEED	DTC	8	2
DTC イネーブルレジスタ C	DTCERC	8	H'FEF0	DTC	8	2
DTC イネーブルレジスタ D	DTCERD	8	H'FEF1	DTC	8	2
DTC イネーブルレジスタ E	DTCERE	8	H'FEF2	DTC	8	2
DTC ベクタレジスタ	DTVECR	8	H'FEF3	DTC	8	2
アドレスブ레이크コントロールレジスタ	ABRKCR	8	H'FEF4	INT	8	2
ブ레이크アドレスレジスタ A	BARA	8	H'FEF5	INT	8	2
ブ레이크アドレスレジスタ B	BARB	8	H'FEF6	INT	8	2
ブ레이크アドレスレジスタ C	BARC	8	H'FEF7	INT	8	2
IRQ イネーブルレジスタ 16	IER16	8	H'FEF8	INT	8	2
IRQ ステータスレジスタ 16	ISR16	8	H'FEF9	INT	8	2
IRQ センスコントロールレジスタ 16H	ISCR16H	8	H'FEFA	INT	8	2
IRQ センスコントロールレジスタ 16L	ISCR16L	8	H'FEFB	INT	8	2
IRQ センスポートセレクトレジスタ 16	ISSR16	8	H'FEFC	PORT	8	2
IRQ センスポートセレクトレジスタ	ISSR	8	H'FEFD	PORT	8	2
ポートコントロールレジスタ 0	PTCNT0	8	H'FEFE	PORT	8	2
バスコントロールレジスタ 2	BCR2	8	H'FF80	BSC	8	2
ウェイトステートコントロールレジスタ 2	WSCR2	8	H'FF81	BSC	8	2
周辺クロックセレクトレジスタ	PCSR	8	H'FF82	SYSTEM	8	2
システムコントロールレジスタ 2	SYSCR2	8	H'FF83	SYSTEM	8	2
スタンバイコントロールレジスタ	SBYCR	8	H'FF84	SYSTEM	8	2
ローパワーコントロールレジスタ	LPWRCR	8	H'FF85	SYSTEM	8	2
モジュールストップコントロールレジスタ H	MSTPCRH	8	H'FF86	SYSTEM	8	2
モジュールストップコントロールレジスタ L	MSTPCRL	8	H'FF87	SYSTEM	8	2
I ² C バスコントロールレジスタ_1	ICCR_1	8	H'FF88	IIC_1	8	2
I ² C バスステータスレジスタ_1	ICSR_1	8	H'FF89	IIC_1	8	2
I ² C バスデータレジスタ_1	ICDR_1	8	H'FF8E	IIC_1	8	2
第 2 スレーブアドレスレジスタ_1	SARX_1	8	H'FF8E	IIC_1	8	2
I ² C バスモードレジスタ_1	ICMR_1	8	H'FF8F	IIC_1	8	2
スレーブアドレスレジスタ_1	SAR_1	8	H'FF8F	IIC_1	8	2
タイマインタラプトイネーブルレジスタ	TIER	8	H'FF90	FRT	8	2
タイマコントロール/ステータスレジスタ	TCSR	8	H'FF91	FRT	8	2
フリーランニングカウンタ	FRC	16	H'FF92	FRT	16	2
アウトプットコンペアレジスタ A	OCRA	16	H'FF94	FRT	16	2
アウトプットコンペアレジスタ B	OCRB	16	H'FF94	FRT	16	2

25. レジスタ一覧

レジスタ名称	略 称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
タイマコントロールレジスタ	TCR	8	H'FF96	FRT	16	2
タイマアウトプットコンペアコントロール レジスタ	TOCR	8	H'FF97	FRT	16	2
アウトプットコンペアレジスタ AR	OCRAR	16	H'FF98	FRT	16	2
アウトプットコンペアレジスタ AF	OCRAF	16	H'FF9A	FRT	16	2
PWMX(D/A)データレジスタ A_0	DADRA_0	16	H'FFA0	PWMX_0	8	4
PWMX(D/A)コントロールレジスタ_0	DACR_0	8	H'FFA0	PWMX_0	8	2
PWMX(D/A)データレジスタ B_0	DADRB_0	16	H'FFA6	PWMX_0	8	4
PWMX(D/A)カウンタ_0	DACNT_0	16	H'FFA6	PWMX_0	8	4
タイマコントロール/ ステータスレジスタ_0 (リード)	TCSR_0	8	H'FFA8	WDT_0	16	2
タイマコントロール/ ステータスレジスタ_0 (ライト)	TCSR_0	16	H'FFA8	WDT_0	16	2
タイマカウンタ_0 (リード)	TCNT_0	8	H'FFA9	WDT_0	16	2
タイマカウンタ_0 (ライト)	TCNT_0	16	H'FFA8	WDT_0	16	2
ポート A 出力データレジスタ	PAODR	8	H'FFAA	PORT	8	2
ポート A 入力データレジスタ	PAPIN	8	H'FFAB	PORT	8	2
ポート A データディレクションレジスタ	PADDR	8	H'FFAB	PORT	8	2
ポート 1 ブルアップ MOS コントロールレジスタ	P1PCR	8	H'FFAC	PORT	8	2
ポート 2 ブルアップ MOS コントロールレジスタ	P2PCR	8	H'FFAD	PORT	8	2
ポート 3 ブルアップ MOS コントロールレジスタ	P3PCR	8	H'FFAE	PORT	8	2
ポート 1 データディレクションレジスタ	P1DDR	8	H'FFB0	PORT	8	2
ポート 2 データディレクションレジスタ	P2DDR	8	H'FFB1	PORT	8	2
ポート 1 データレジスタ	P1DR	8	H'FFB2	PORT	8	2
ポート 2 データレジスタ	P2DR	8	H'FFB3	PORT	8	2
ポート 3 データディレクションレジスタ	P3DDR	8	H'FFB4	PORT	8	2
ポート 4 データディレクションレジスタ	P4DDR	8	H'FFB5	PORT	8	2
ポート 3 データレジスタ	P3DR	8	H'FFB6	PORT	8	2
ポート 4 データレジスタ	P4DR	8	H'FFB7	PORT	8	2
ポート 5 データディレクションレジスタ	P5DDR	8	H'FFB8	PORT	8	2
ポート 6 データディレクションレジスタ	P6DDR	8	H'FFB9	PORT	8	2
ポート 5 データレジスタ	P5DR	8	H'FFBA	PORT	8	2
ポート 6 データレジスタ	P6DR	8	H'FFBB	PORT	8	2
ポート B 出力データレジスタ	PBODR	8	H'FFBC	PORT	8	2
ポート B 入力データレジスタ	PBPIN	8	H'FFBD	PORT	8	2
ポート 8 データディレクションレジスタ	P8DDR	8	H'FFBD	PORT	8	2

25. レジスタ一覧

レジスタ名称	略 称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
ポート7入力データレジスタ	P7PIN	8	H'FFBE	PORT	8	2
ポートBデータディレクションレジスタ	PBDDR	8	H'FFBE	PORT	8	2
ポート8データレジスタ	P8DR	8	H'FFBF	PORT	8	2
ポート9データディレクションレジスタ	P9DDR	8	H'FFC0	PORT	8	2
ポート9データレジスタ	P9DR	8	H'FFC1	PORT	8	2
インタラプトイネーブルレジスタ	IER	8	H'FFC2	INT	8	2
シリアルタイムコントロールレジスタ	STCR	8	H'FFC3	SYSTEM	8	2
システムコントロールレジスタ	SYSCR	8	H'FFC4	SYSTEM	8	2
モードコントロールレジスタ	MDCR	8	H'FFC5	SYSTEM	8	2
バスコントロールレジスタ	BCR	8	H'FFC6	BSC	8	2
ウェイトステートコントロールレジスタ	WSCR	8	H'FFC7	BSC	8	2
タイマコントロールレジスタ_0	TCR_0	8	H'FFC8	TMR_0	8	2
タイマコントロールレジスタ_1	TCR_1	8	H'FFC9	TMR_1	8	2
タイマコントロール/ステータスレジスタ_0	TCSR_0	8	H'FFCA	TMR_0	8	2
タイマコントロール/ステータスレジスタ_1	TCSR_1	8	H'FFCB	TMR_1	8	2
タイムコンスタントレジスタ A_0	TCORA_0	8	H'FFCC	TMR_0	8	2
タイムコンスタントレジスタ A_1	TCORA_1	8	H'FFCD	TMR_1	8	2
タイムコンスタントレジスタ B_0	TCORB_0	8	H'FFCE	TMR_0	8	2
タイムコンスタントレジスタ B_1	TCORB_1	8	H'FFCF	TMR_1	8	2
タイマカウンタ_0	TCNT_0	8	H'FFD0	TMR_0	8	2
タイマカウンタ_1	TCNT_1	8	H'FFD1	TMR_1	8	2
I ² C バスコントロールレジスタ_0	ICCR_0	8	H'FFD8	IIC_0	8	2
I ² C バスステータスレジスタ_0	ICSR_0	8	H'FFD9	IIC_0	8	2
I ² C バスデータレジスタ_0	ICDR_0	8	H'FFDE	IIC_0	8	2
第2スレーブアドレスレジスタ_0	SARX_0	8	H'FFDE	IIC_0	8	2
I ² C バスモードレジスタ_0	ICMR_0	8	H'FFDF	IIC_0	8	2
スレーブアドレスレジスタ_0	SAR_0	8	H'FFDF	IIC_0	8	2
シリアルモードレジスタ_3	SMR_3	8	H'FFE0	SCI_3	8	2
ビットレートレジスタ_3	BRR_3	8	H'FFE1	SCI_3	8	2
シリアルコントロールレジスタ_3	SCR_3	8	H'FFE2	SCI_3	8	2
トランスミットデータレジスタ_3	TDR_3	8	H'FFE3	SCI_3	8	2
シリアルステータスレジスタ_3	SSR_3	8	H'FFE4	SCI_3	8	2
レシーブデータレジスタ_3	RDR_3	8	H'FFE5	SCI_3	8	2
スマートカードモードレジスタ_3	SCMR_3	8	H'FFE6	SCI_3	8	2
タイマコントロール/ ステータスレジスタ_1 (リード)	TCSR_1	8	H'FFEA	WDT_1	16	2

25. レジスタ一覧

レジスタ名称	略 称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
タイマコントロール/ ステータスレジスタ_1 (ライト)	TCSR_1	16	H'FFEA	WDT_1	16	2
タイマカウンタ_1 (リード)	TCNT_1	8	H'FFEB	WDT_1	16	2
タイマカウンタ_1 (ライト)	TCNT_1	16	H'FFEA	WDT_1	16	2
タイマコントロールレジスタ_X	TCR_X	8	H'FFF0	TMR_X	8	2
タイマコントロール/ステータスレジスタ_X	TCSR_X	8	H'FFF1	TMR_X	8	2
タイマカウンタ_X	TCNT_X	8	H'FFF4	TMR_X	8	2
タイムコンスタントレジスタ A_X	TCORA_X	8	H'FFF6	TMR_X	8	2
タイムコンスタントレジスタ B_X	TCORB_X	8	H'FFF7	TMR_X	8	2
タイマコントロールレジスタ_Y	TCR_Y	8	H'FFF0	TMR_Y	8	2
タイマコントロール/ステータスレジスタ_Y	TCSR_Y	8	H'FFF1	TMR_Y	8	2
タイムコンスタントレジスタ A_Y	TCORA_Y	8	H'FFF2	TMR_Y	8	2
タイムコンスタントレジスタ B_Y	TCORB_Y	8	H'FFF3	TMR_Y	8	2
タイマカウンタ_Y	TCNT_Y	8	H'FFF4	TMR_Y	8	2
タイマコネクションレジスタ S	TCONRS	8	H'FFFE	TMR	8	2

25.2 レジスタビット一覧

内蔵周辺モジュールのレジスタのアドレスとビット名を以下に示します。

16 ビットレジスタは、8 ビットずつ 2 段で表しています。

レジスタ略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール
FRBR	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	SCIF
FTHR	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
FDLL	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
FIER	-	-	-	-	EDSSI	ELSI	ETBEI	ERBF1	
FDLH	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
FIIR	FIFOE1	FIFOE0	-	-	INTID2	INTID1	INTID0	INTPEND	
FFCR	RCVRTRIG1	RCVRTRIG0	-	-	DMAMODE	XMITFRST	RCVFRFRST	FIFOE	
FLCR	DLAB	BREAK	STICKPARITY	EPS	PEN	STOP	CLS1	CLS0	
FMCR	-	-	-	LOOPBACK	OUT2	OUT1	RTS	DTR	
FLSR	RXFIFOERR	TEMT	THRE	BI	FE	PE	OE	DR	
FMSR	DCD	RI	DSR	CTS	DDCD	TERI	DDSR	DCTS	
FSCR	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SCIFCR	SCIFOE1	SCIFOE0	-	OUT2LOOP	CKSEL1	CKSEL0	SCIFRST	REGRST	LPC
HICR4	LADR12SEL	-	-	-	SWENBL	KCSENBL	SMCENBL	BTENBL	
BTSR0	-	-	-	FRDI	HRDI	HWRI	HBTWI	HBTRI	
BTSR1	-	HRSTI	IRQCRI	BEVTI	B2HI	H2BI	CRRPI	CRWPI	
BTCR0	-	FSEL1	FSEL0	FRDIE	HRDIE	HWRIE	HBTWIE	HBTRIE	
BTCR1	RSTRENB	HRSTIE	IRQCRIE	BEVTIE	B2HIE	H2BIE	CRRPIE	CRWPIE	
BTCR	B_BUSY	H_BUSY	OEM0	BEVT_ATN	B2H_ATN	H2B_ATN	CLR_RD_ PTR	CLR_WR_ PTR	
BTMSR	BMC_HWRST	-	-	OEM3	OEM2	OEM1	B2H_IRQ	B2H_IRQ_ EN	
SMICFLG	RX_DATA_ RDY	TX_DATA_ RDY	-	SMI	SEVT_ATN	SMS_ATN	-	BUSY	
HICR5	-	-	-	-	-	-	SCIFE	-	
SMICCSR	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SMICDTR	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SMICIR0	-	-	-	HDTWI	HDTRI	STARI	CTLWI	BUSYI	
SMICIR1	-	-	-	HDTWIE	HDTRIE	STARIE	CTLWIE	BUSYIE	
SIRQCR3	-	-	-	-	SCSIRQ3	SCSIRQ2	SCSIRQ1	SCSIRQ0	
TWR0MW	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR0SW	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	

25. レジスタ一覧

レジスタ略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール
TWR2	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	LPC
TWR3	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR4	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR5	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR6	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR7	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR9	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR10	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR11	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR12	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR13	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR14	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR15	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
IDR3	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
ODR3	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
STR3 ^{s1}	IBF3B	OBF3B	MWMF	SWMF	C/D3	DBU32	IBF3A	OBF3A	
STR3 ^{s2}	DBU37	DBU36	DBU35	DBU34	C/D3	DBU32	IBF3A	OBF3A	
SIRQCR4	IRQ15E	IRQ14E	IRQ13E	IRQ8E	IRQ7E	IRQ5E	IRQ4E	IRQ3E	
LADR3H	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
LADR3L	bit7	bit6	bit5	bit4	bit3	-	bit1	TWRE	
SIRQCR0	Q/C	SELREQ	IEDIR2	SMIE3B	SMIE3A	SMIE2	IRQ12E1	IRQ1E1	
SIRQCR1	IRQ11E3	IRQ10E3	IRQ9E3	IRQ6E3	IRQ11E2	IRQ10E2	IRQ9E2	IRQ6E2	
IDR1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
ODR1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
STR1	DBU17	DBU16	DBU15	DBU14	C/D1	DBU12	IBF1	OBF1	
SIRQCR5	SELIRQ15	SELIRQ14	SELIRQ13	SELIRQ8	SELIRQ7	SELIRQ5	SELIRQ4	SELIRQ3	
IDR2	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
ODR2	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
STR2	DBU27	DBU26	DBU25	DBU24	C/D2	DBU22	IBF2	OBF2	
HISEL	SELSTR3	SELIRQ11	SELIRQ10	SELIRQ9	SELIRQ6	SELSMI	SELIRQ12	SELIRQ1	
HICR0	LPC3E	LPC2E	LPC1E	FGA20E	SDWNE	PMEE	LSMIE	LSCIE	
HICR1	LPCBSY	CLKREQ	IRQBSY	LRSTB	SDWNB	PMEB	LSMIB	LSCIB	
HICR2	GA20	LRST	SDWN	ABRT	IBFIE3	IBFIE2	IBFIE1	ERRIE	
HICR3	LFRAME	CLKRUN	SERIRQ	LRESET	LPCPD	PME	LSMI	LSCI	
SIRQCR2	IEDIR3	-	-	-	-	-	-	-	

25. レジスタ一覧

レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
BTDTR	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	LPC
BTFVSR0	N7	N6	N5	N4	N3	N2	N1	N0	
BTFVSR1	N7	N6	N5	N4	N3	N2	N1	N0	
LADR12H	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
LADR12L	bit7	bit6	bit5	bit4	bit3	-	bit1	bit0	
SCIFADRH	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
SCIFADRL	bit7	bit6	bit5	bit4	bit3	-	-	-	
SUBMSTPBH	SMSTPB15	SMSTPB14	SMSTPB13	SMSTPB12	SMSTPB11	SMSTPB10	SMSTPB9	SMSTPB8	SYSTEM
SUBMSTPBL	SMSTPB7	SMSTPB6	SMSTPB5	SMSTPB4	SMSTPB3	SMSTPB2	SMSTPB1	SMSTPB0	
ECS	E15	E14	E13	E12	E11	E10	E9	E8	EVC
	E7	E6	E5	E4	E3	E2	E1	E0	
ECCR	EDSB	-	-	-	ECSB3	ECSB2	ECSB1	ECSB0	
MSTPCRA	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0	SYSTEM
P6NCE	P67NCE	P66NCE	P65NCE	P64NCE	P63NCE	P62NCE	P61NCE	P60NCE	PORT
P6NCMC	P67NCMC	P66NCMC	P65NCMC	P64NCMC	P63NCMC	P62NCMC	P61NCMC	P60NCMC	
NCCS	-	-	-	-	-	NCCK2	NCCK1	NCCK0	
PEODR	PE7ODR	PE6ODR	PE5ODR	PE4ODR	PE3ODR	PE2ODR	PE1ODR	PE0ODR	
PFODR	-	-	-	-	-	PF2ODR	PF1ODR	PF0ODR	
PEPIN	PE7PIN	PE6PIN	PE5PIN	PE4PIN	PE3PIN	PE2PIN	PE1PIN	PE0PIN	
PEDDR	PE7DDR	PE6DDR	PE5DDR	PE4DDR	PE3DDR	PE2DDR	PE1DDR	PE0DDR	
PFPIN	-	-	-	-	-	PF2PIN	PF1PIN	PF0PIN	
PFDDR	-	-	-	-	-	PF2DDR	PF1DDR	PF0DDR	
PCODR	PC7ODR	PC6ODR	PC5ODR	PC4ODR	PC3ODR	PC2ODR	PC1ODR	PC0ODR	
PDODR	PD7ODR	PD6ODR	PD5ODR	PD4ODR	PD3ODR	PD2ODR	PD1ODR	PD0ODR	
PCPIN	PC7PIN	PC6PIN	PC5PIN	PC4PIN	PC3PIN	PC2PIN	PC1PIN	PC0PIN	
PCDDR	PC7DDR	PC6DDR	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	PC0DDR	
PDPIN	PD7PIN	PD6PIN	PD5PIN	PD4PIN	PD3PIN	PD2PIN	PD1PIN	PD0PIN	
PDDDR	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR	
FCCS	FWE	-	-	FLER	WEINTE	-	-	SCO	FLASH
FPCS	-	-	-	-	-	-	-	PPVS	
FECS	-	-	-	-	-	-	-	EPVB	
FKEY	K7	K6	K5	K4	K3	K2	K1	K0	
FMATS	MS7	MS6	MS5	MS4	MS3	MS2	MS1	MS0	
FTDAR	TDER	TDA6	TDA5	TDA4	TDA3	TDA2	TDA1	TDA0	

25. レジスタ一覧

レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
ICCR_4	ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP	IIC_4
ICSR_4	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	
ICDR_4	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SARX_4	SVAX6	SVAX5	SVAX4	SVAX3	SVAX2	SVAX1	SVAX0	FSX	
ICMR_4	MLS	WAIT	CKS2	CKS1	CKS0	BC2	BC1	BC0	
SAR_4	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS	
ICCR_5	ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP	IIC_5
ICSR_5	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	
ICDR_5	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SARX_5	SVAX6	SVAX5	SVAX4	SVAX3	SVAX2	SVAX1	SVAX0	FSX	
ICMR_5	MLS	WAIT	CKS2	CKS1	CKS0	BC2	BC1	BC0	
SAR_5	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS	
SMR_1	C/ \bar{A} (GM)	CHR (BLK)	PE (PE)	O/ \bar{E} (O/ \bar{E})	STOP (BCP1)	MP (BCP0)	CKS1 (CKS1)	CKS0 (CKS0)	SCI_1
BRR_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SCR_1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SSR_1	TDRE (TDRE)	RDRF (RDRF)	ORER (ORER)	FER (ERS)	PER (PER)	TEND (TEND)	MPB (MPB)	MPBT (MPBT)	
RDR_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SCMR_1	-	-	-	-	SDIR	SINV	-	SMIF	
ADDRA	AD9 AD1	AD8 AD0	AD7 -	AD6 -	AD5 -	AD4 -	AD3 -	AD2 -	ADC
ADDRB	AD9 AD1	AD8 AD0	AD7 -	AD6 -	AD5 -	AD4 -	AD3 -	AD2 -	
ADDRC	AD9 AD1	AD8 AD0	AD7 -	AD6 -	AD5 -	AD4 -	AD3 -	AD2 -	
ADDRD	AD9 AD1	AD8 AD0	AD7 -	AD6 -	AD5 -	AD4 -	AD3 -	AD2 -	
ADDRE	AD9 AD1	AD8 AD0	AD7 -	AD6 -	AD5 -	AD4 -	AD3 -	AD2 -	
ADDRF	AD9 AD1	AD8 AD0	AD7 -	AD6 -	AD5 -	AD4 -	AD3 -	AD2 -	
ADDRG	AD9 AD1	AD8 AD0	AD7 -	AD6 -	AD5 -	AD4 -	AD3 -	AD2 -	
ADDRH	AD9 AD1	AD8 AD0	AD7 -	AD6 -	AD5 -	AD4 -	AD3 -	AD2 -	

25. レジスタ一覧

レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
ADCSR	ADF	ADIE	ADST	-	-	CH2	CH1	CH0	ADC
ADCR	TRGS1	TRGS0	SCANE	SCANS	CKS1	CKS0	ADSTCLR	EXTRGS	
SMR0	DCD1	RI1	DSR1	SME	-	SM2	SM1	SM0	SMX
SMR1	CTS1	DTR1	RTS1	CTS3	-	RTS3	-	-	
P6PCR	P67PCR	P66PCR	P65PCR	P64PCR	P63PCR	P62PCR	P61PCR	P60PCR	PORT
PINFNCR	-	-	-	-	-	SERIRQOFF	LPCPDOFF	CLKRUNOFF	
P4PCR	P47PCR	P46PCR	P45PCR	P44PCR	P43PCR	P42PCR	P41PCR	P40PCR	
ICCR_3	ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP	IIC_3
ICSR_3	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	
ICDR_3	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SARX_3	SVAX6	SVAX5	SVAX4	SVAX3	SVAX2	SVAX1	SVAX0	FSX	
ICMR_3	MLS	WAIT	CKS2	CKS1	CKS0	BC2	BC1	BC0	
SAR_3	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS	
ICCR_2	ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP	IIC_2
ICSR_2	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	
ICDR_2	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SARX_2	SVAX6	SVAX5	SVAX4	SVAX3	SVAX2	SVAX1	SVAX0	FSX	
ICMR_2	MLS	WAIT	CKS2	CKS1	CKS0	BC2	BC1	BC0	
SAR_2	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS	
DADRA_1	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	PWMX_1
	DA5	DA4	DA3	DA2	DA1	DA0	CFS	-	
DACR_1	-	PWME	-	-	OEB	OEA	OS	CKS	
DADRB_1	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	
	DA5	DA4	DA3	DA2	DA1	DA0	CFS	REGS	
DACNT_1	UC7	UC6	UC5	UC4	UC3	UC2	UC1	UC0	
	UC8	UC9	UC10	UC11	UC12	UC13	-	REGS	
CRCCR	DORCLR	-	-	-	-	LMS	G1	G0	CRC
CRCDIR	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
CRCDOR	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
ICXR_0	STOPIM	HNDS	ICDRF	ICDRE	ALIE	ALSL	FNC1	FNC0	IIC_0
ICXR_1	STOPIM	HNDS	ICDRF	ICDRE	ALIE	ALSL	FNC1	FNC0	IIC_1
ICSMBCR	SMB5E	SMB4E	SMB3E	SMB2E	SMB1E	SMB0E	FSEL1	FSEL0	IIC
ICXR_2	STOPIM	HNDS	ICDRF	ICDRE	ALIE	ALSL	FNC1	FNC0	IIC_2
ICXR_3	STOPIM	HNDS	ICDRF	ICDRE	ALIE	ALSL	FNC1	FNC0	IIC_3
IICX3	-	-	-	-	TCSS	IICX5	IICX4	IICX3	IIC

25. レジスタ一覧

レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
ICXR_4	STOPIM	HNDS	ICDRF	ICDRE	ALIE	ALSL	FNC1	FNC0	IIC_4
ICXR_5	STOPIM	HNDS	ICDRF	ICDRE	ALIE	ALSL	FNC1	FNC0	IIC_5
KBCOMP	EVENTE	-	-	-	-	-	-	-	EVC
ICRD	ICRD7	ICRD6	-	-	-	-	-	ICRD1	INT
ICRA	ICRA7	ICRA6	ICRA5	ICRA4	ICRA3	ICRA2	ICRA1	ICRA0	
ICRB	ICRB7	ICRB6	-	ICRB4	ICRB3	ICRB2	ICRB1	ICRB0	
ICRC	ICRC7	ICRC6	ICRC5	ICRC4	ICRC3	ICRC2	ICRC1	-	
ISR	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F	
ISCRH	IRQ7SCB	IRQ7SCA	IRQ6SCB	IRQ6SCA	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA	
ISURL	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA	
DTCEA	DTCEA7	DTCEA6	DTCEA5	DTCEA4	DTCEA3	-	-	-	DTC
DTCEB	-	DTCEB6	DTCEB5	-	-	-	-	-	
DTCEC	-	-	-	DTCEC4	-	DTCEC2	DTCEC1	DTCEC0	
DTCED	DTCED7	-	-	DTCED4	DTCED3	-	-	-	
DTCEE	-	-	-	-	DTCEE3	DTCEE2	DTCEE1	DTCEE0	
DTVEC	SWDTE	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0	
ABRKCR	CMF	-	-	-	-	-	-	BIE	INT
BARA	A23	A22	A21	A20	A19	A18	A17	A16	
BARB	A15	A14	A13	A12	A11	A10	A9	A8	
BARC	A7	A6	A5	A4	A3	A2	A1	-	
IER16	IRQ15E	IRQ14E	IRQ13E	IRQ12E	IRQ11E	IRQ10E	IRQ9E	IRQ8E	
ISR16	IRQ15F	IRQ14F	IRQ13F	IRQ12F	IRQ11F	IRQ10F	IRQ9F	IRQ8F	
ISCR16H	IRQ15SCB	IRQ15SCA	IRQ14SCB	IRQ14SCA	IRQ13SCB	IRQ13SCA	IRQ12SCB	IRQ12SCA	
ISCR16L	IRQ11SCB	IRQ11SCA	IRQ10SCB	IRQ10SCA	IRQ9SCB	IRQ9SCA	IRQ8SCB	IRQ8SCA	
ISSR16	ISS15	ISS14	ISS13	ISS12	ISS11	ISS10	ISS9	ISS8	PORT
ISSR	ISS7	ISS6	ISS5	ISS4	ISS3	ISS2	ISSR1	ISS0	
PTCNT0	SCPFSEL1	SCPFSEL3	-	-	-	-	OBE	-	
BCR2	-	-	-	-	ADFULLE	EXCKS	-	-	BSC
WSCR2	WMS10	WC11	WC10	-	-	-	-	-	
PCSR	PWCKX1B	PWCKX1A	PWCKX0B	PWCKX0A	PWCKX1C	-	-	PWCKX0C	PWM
SYSCR2	-	-	-	-	ADMXE	-	-	-	SYSTEM
SBYCR	SSBY	STS2	STS1	STS0	DTSPEED	SCK2	SCK1	SCK0	
LPWRCR	-	-	NESEL	EXCLE	-	PNCCS	PNCAH	-	
MSTPCRH	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	
MSTPCRL	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0	

25. レジスタ一覧

レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
ICCR_1	ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP	IIC_1
ICSR_1	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	
ICDR_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SARX_1	SVAX6	SVAX5	SVAX4	SVAX3	SVAX2	SVAX1	SVAX0	FSX	
ICMR_1	MLS	WAIT	CKS2	CKS1	CKS0	BC2	BC1	BC0	
SAR_1	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS	
TIER	-	-	-	-	OCIAE	OCIBE	OVIE	-	FRT
TCSR	-	-	-	-	OCFA	OCFB	OVF	CCLRA	
FRC	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
OCRA	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
OCRB	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCR	-	-	-	-	-	-	CKS1	CKS0	
TOCR	-	OCRAMS	ICRS	OCRS	-	-	-	-	
OCRAR	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
OCRAF	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
DADRA_0	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	PWMX_0
	DA5	DA4	DA3	DA2	DA1	DA0	CFS	-	
DACR_0	-	PWME	-	-	OEB	OEA	OS	CKS	
DADRB_0	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	
	DA5	DA4	DA3	DA2	DA1	DA0	CFS	REGS	
DACNT_0	UC7	UC6	UC5	UC4	UC3	UC2	UC1	UC0	
	UC8	UC9	UC10	UC11	UC12	UC13	-	REGS	
TCSR_0	OVF	WT/IT	TME	-	RST/NMI	CKS2	CKS1	CKS0	WDT_0
TCNT_0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
PAODR	PA7ODR	PA6ODR	PA5ODR	PA4ODR	PA3ODR	PA2ODR	PA1ODR	PA0ODR	PORT
PAPIN	PA7PIN	PA6PIN	PA5PIN	PA4PIN	PA3PIN	PA2PIN	PA1PIN	PA0PIN	
PADDR	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR	
P1PCR	P17PCR	P16PCR	P15PCR	P14PCR	P13PCR	P12PCR	P11PCR	P10PCR	
P2PCR	P27PCR	P26PCR	P25PCR	P24PCR	P23PCR	P22PCR	P21PCR	P20PCR	
P3PCR	P37PCR	P36PCR	P35PCR	P34PCR	P33PCR	P32PCR	P31PCR	P30PCR	
P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR	
P2DDR	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR	
P1DR	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR	
P2DR	P27DR	P26DR	P25DR	P24DR	P23DR	P22DR	P21DR	P20DR	
P3DDR	P37DDR	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR	

25. レジスタ一覧

レジスタ略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール	
P4DDR	P47DDR	P46DDR	P45DDR	P44DDR	P43DDR	P42DDR	P41DDR	P40DDR	PORT	
P3DR	P37DR	P36DR	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR		
P4DR	P47DR	P46DR	P45DR	P44DR	P43DR	P42DR	P41DR	P40DR		
P5DDR	P57DDR	P56DDR	P55DDR	P54DDR	P53DDR	P52DDR	P51DDR	P50DDR		
P6DDR	P67DDR	P66DDR	P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR		
P5DR	P57DR	P56DR	P55DR	P54DR	P53DR	P52DR	P51DR	P50DR		
P6DR	P67DR	P66DR	P65DR	P64DR	P63DR	P62DR	P61DR	P60DR		
PBODR	PB7ODR	PB6ODR	PB5ODR	PB4ODR	PB3ODR	PB2ODR	PB1ODR	PB0ODR		
PBPIN	PB7PIN	PB6PIN	PB5PIN	PB4PIN	PB3PIN	PB2PIN	PB1PIN	PB0PIN		
P8DDR	P87DDR	P86DDR	P85DDR	P84DDR	P83DDR	P82DDR	P81DDR	P80DDR		
P7PIN	P77PIN	P76PIN	P75PIN	P74PIN	P73PIN	P72PIN	P71PIN	P70PIN		
PBDDR	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR	SYSTEM	
P8DR	P87DR	P86DR	P85DR	P84DR	P83DR	P82DR	P81DR	P80DR		
P9DDR	P97DDR	P96DDR	P95DDR	P94DDR	P93DDR	P92DDR	P91DDR	P90DDR		
P9DR	P97DR	P96DR	P95DR	P94DR	P93DR	P92DR	P91DR	P90DR		
IER	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E		INT
STCR	IICX2	IICX1	IICX0	-	FLSHE	-	ICKS1	ICKS0		
SYSCR	CS256E	IOSE	INTM1	INTM0	XRST	NMIEG	-	RAME		
MDCR	EXPE	-	-	-	-	MDS2	MDS1	MDS0		
BCR	-	ICIS	BRSTRM	BRSTS1	BRSTS0	-	IOS1	IOS0		BSC
WSCR	ABW256	AST256	ABW	AST	WMS1	WMS0	WC1	WC0		
TCR_0	CMIEB	CMIEA	OVIE	-	-	CKS2	CKS1	CKS0	TMR_0, 1	
TCR_1	CMIEB	CMIEA	OVIE	-	-	CKS2	CKS1	CKS0		
TCSR_0	CMFB	CMFA	OVF	ADTE	-	-	-	-		
TCSR_1	CMFB	CMFA	OVF	-	-	-	-	-		
TCORA_0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
TCORA_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
TCORB_0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
TCORB_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
TCNT_0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
TCNT_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
ICCR_0	ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP	IIC_0	
ICSR_0	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB		
ICDR_0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
SARX_0	SVAX6	SVAX5	SVAX4	SVAX3	SVAX2	SVAX1	SVAX0	FSX		
ICMR_0	MLS	WAIT	CKS2	CKS1	CKS0	BC2	BC1	BC0		

レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
SAR_0	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS	IIC_0
SMR_3	C/ \bar{A} (GM)	CHR (BLK)	PE (PE)	O/ \bar{E} (O/ \bar{E})	STOP (BCP1)	MP (BCP0)	CKS1 (CKS1)	CKS0 (CKS0)	SCI_3
BRR_3	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SCR_3	TIE	RIE	TE	RE	MPIE	TIE	CKE1	CKE0	
TDR_3	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SSR_3	TDRE (TDRE)	RDRF (RDRF)	ORER (ORER)	FER (ERS)	PER (PER)	TEND (TEND)	MPB (MPB)	MPBT (MPBT)	
RDR_3	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SCMR_3	-	-	-	-	SDIR	SINV	-	SMIF	
TCSR_1	OVF	WT/ \bar{IT}	TME	PSS	RST/ \bar{NM}	CKS2	CKS1	CKS0	WDT_1
TCNT_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCR_X	CMIEB	CMIEA	OVIE	-	-	CKS2	CKS1	CKS0	TMR_X, Y
TCSR_X	CMFB	CMFA	OVF	-	-	-	-	-	
TCNT_X	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCORA_X	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCORB_X	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCR_Y	CMIEB	CMIEA	OVIE	-	-	CKS2	CKS1	CKS0	
TCSR_Y	CMFB	CMFA	OVF	-	-	-	-	-	
TCORA_Y	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCORB_Y	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCNT_Y	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCONRS	TMRX/Y	-	-	-	-	-	-	-	

- 【注】 *1 TWRE = 1 または SELSTR3 = 0 の場合です。
*2 TWRE = 0 かつ SELSTR3 = 1 の場合です。
*3 通常モードとスマートカードインタフェースで一部ビット名が異なります。
() スマートカードインタフェースモード時のビット名

25. レジスタ一覧

25.3 各動作モードにおけるレジスタの状態

レジスタ略称	リセット	WDT リセット	高速/中速	スリープ	モジュール ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
FRBR	初期化	初期化	-	-	-	-	初期化	SCIF
FTHR	初期化	初期化	-	-	-	-	初期化	
FDLL	初期化	初期化	-	-	-	-	初期化	
FIER	初期化	初期化	-	-	-	-	初期化	
FDLH	初期化	初期化	-	-	-	-	初期化	
FIIR	初期化	初期化	-	-	-	-	初期化	
FFCR	初期化	初期化	-	-	-	-	初期化	
FLCR	初期化	初期化	-	-	-	-	初期化	
FMCR	初期化	初期化	-	-	-	-	初期化	
FLSR	初期化	初期化	-	-	-	-	初期化	
FMSR	初期化	初期化	-	-	-	-	初期化	
FSCR	初期化	初期化	-	-	-	-	初期化	
SCIFCR	初期化	初期化	-	-	-	-	初期化	
HICR4	初期化	初期化	-	-	-	-	初期化	
BTSR0	初期化	初期化	-	-	-	-	初期化	
BTSR1	初期化	初期化	-	-	-	-	初期化	
BTCSR0	初期化	初期化	-	-	-	-	初期化	
BTCSR1	初期化	初期化	-	-	-	-	初期化	
BTCCR	初期化	初期化	-	-	-	-	初期化	
BTIMSR	初期化	初期化	-	-	-	-	初期化	
SMICFLG	初期化	初期化	-	-	-	-	初期化	
HICR5	初期化	初期化	-	-	-	-	初期化	
SMICCSR	-	-	-	-	-	-	-	
SMICDTR	-	-	-	-	-	-	-	
SMICIR0	初期化	初期化	-	-	-	-	初期化	
SMICIR1	初期化	初期化	-	-	-	-	初期化	
SIRQCR3	初期化	初期化	-	-	-	-	初期化	
TWR0MW	-	-	-	-	-	-	-	
TWR0SW	-	-	-	-	-	-	-	
TWR1	-	-	-	-	-	-	-	
TWR2	-	-	-	-	-	-	-	
TWR3	-	-	-	-	-	-	-	
TWR4	-	-	-	-	-	-	-	

25. レジスタ一覧

レジスタ略称	リセット	WDT リセット	高速/中速	スリープ	モジュール ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
TWR5	-	-	-	-	-	-	-	LPC
TWR6	-	-	-	-	-	-	-	
TWR7	-	-	-	-	-	-	-	
TWR8	-	-	-	-	-	-	-	
TWR9	-	-	-	-	-	-	-	
TWR10	-	-	-	-	-	-	-	
TWR11	-	-	-	-	-	-	-	
TWR12	-	-	-	-	-	-	-	
TWR13	-	-	-	-	-	-	-	
TWR14	-	-	-	-	-	-	-	
TWR15	-	-	-	-	-	-	-	
IDR3	-	-	-	-	-	-	-	
ODR3	-	-	-	-	-	-	-	
STR3	初期化	初期化	-	-	-	-	初期化	
SIRQCR4	初期化	初期化	-	-	-	-	初期化	
LADR3H	初期化	初期化	-	-	-	-	初期化	
LADR3L	初期化	初期化	-	-	-	-	初期化	
SIRQCR0	初期化	初期化	-	-	-	-	初期化	
SIRQCR1	初期化	初期化	-	-	-	-	初期化	
IDR1	-	-	-	-	-	-	-	
ODR1	-	-	-	-	-	-	-	
STR1	初期化	初期化	-	-	-	-	初期化	
SIRQCR5	初期化	初期化	-	-	-	-	初期化	
IDR2	-	-	-	-	-	-	-	
ODR2	-	-	-	-	-	-	-	
STR2	初期化	初期化	-	-	-	-	初期化	
HISEL	初期化	初期化	-	-	-	-	初期化	
HICR0	初期化	初期化	-	-	-	-	初期化	
HICR1	初期化	初期化	-	-	-	-	初期化	
HICR2	初期化	初期化	-	-	-	-	初期化	
HICR3	-	-	-	-	-	-	-	
SIRQCR2	初期化	初期化	-	-	-	-	初期化	
BDTR	-	-	-	-	-	-	-	
BTFVSR0	初期化	初期化	-	-	-	-	初期化	
BTFVSR1	初期化	初期化	-	-	-	-	初期化	
LADR12H	初期化	初期化	-	-	-	-	初期化	

25. レジスタ一覧

レジスタ略称	リセット	WDT リセット	高速/中速	スリープ	モジュール ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
LADR12L	初期化	初期化	-	-	-	-	初期化	LPC
SCIFADRH	初期化	初期化	-	-	-	-	初期化	
SCIFADRL	初期化	初期化	-	-	-	-	初期化	
SUBMSTPBH	初期化	初期化	-	-	-	-	初期化	SYSTEM
SUBMSTPBL	初期化	初期化	-	-	-	-	初期化	
ECS	初期化	初期化	-	-	-	-	初期化	EVC
ECCR	初期化	初期化	-	-	-	-	初期化	
MSTPCRA	初期化	初期化	-	-	-	-	初期化	SYSTEM
P6NCE	初期化	初期化	-	-	-	-	初期化	PORT
P6NCMC	初期化	初期化	-	-	-	-	初期化	
NCCS	初期化	初期化	-	-	-	-	初期化	
PEODR	初期化	初期化	-	-	-	-	初期化	
PFODR	初期化	-	-	-	-	-	初期化	
PEPIN	-	-	-	-	-	-	-	
PEDDR	初期化	初期化	-	-	-	-	初期化	
PFPIN	-	-	-	-	-	-	-	
PFDDR	初期化	-	-	-	-	-	初期化	
PCODR	初期化	初期化	-	-	-	-	初期化	
PDODR	初期化	初期化	-	-	-	-	初期化	
PCPIN	-	-	-	-	-	-	-	
PCDDR	初期化	初期化	-	-	-	-	初期化	
PDPIN	-	-	-	-	-	-	-	
PDDDR	初期化	初期化	-	-	-	-	初期化	
FCCS	初期化	初期化	-	-	-	-	初期化	FLASH
FPCS	初期化	初期化	-	-	-	-	初期化	
FECS	初期化	初期化	-	-	-	-	初期化	
FKEY	初期化	初期化	-	-	-	-	初期化	
FMATS	初期化	初期化	-	-	-	-	初期化	
FTDAR	初期化	初期化	-	-	-	-	初期化	
ICCR_4	初期化	初期化	-	-	-	-	初期化	IIC_4
ICSR_4	初期化	初期化	-	-	-	-	初期化	
ICDR_4	-	-	-	-	-	-	-	
SARX_4	初期化	初期化	-	-	-	-	初期化	
ICMR_4	初期化	初期化	-	-	-	-	初期化	
SAR_4	初期化	初期化	-	-	-	-	初期化	IIC_4

25. レジスタ一覧

レジスタ略称	リセット	WDT リセット	高速/中速	スリープ	モジュール ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
ICCR_5	初期化	初期化	-	-	-	-	初期化	IIC_5
ICSR_5	初期化	初期化	-	-	-	-	初期化	
ICDR_5	-	-	-	-	-	-	-	
SARX_5	初期化	初期化	-	-	-	-	初期化	
ICMR_5	初期化	初期化	-	-	-	-	初期化	
SAR_5	初期化	初期化	-	-	-	-	初期化	
SMR_1	初期化	初期化	-	-	-	-	初期化	SCI_1
BRR_1	初期化	初期化	-	-	-	-	初期化	
SCR_1	初期化	初期化	-	-	-	-	初期化	
TDR_1	初期化	初期化	-	-	初期化	初期化	初期化	
SSR_1	初期化	初期化	-	-	初期化	初期化	初期化	
RDR_1	初期化	初期化	-	-	初期化	初期化	初期化	
SCMR_1	初期化	初期化	-	-	-	-	初期化	
ADDRA	初期化	初期化	-	-	初期化	初期化	初期化	ADC
ADDRB	初期化	初期化	-	-	初期化	初期化	初期化	
ADDRC	初期化	初期化	-	-	初期化	初期化	初期化	
ADDRD	初期化	初期化	-	-	初期化	初期化	初期化	
ADDRE	初期化	初期化	-	-	初期化	初期化	初期化	
ADDRF	初期化	初期化	-	-	初期化	初期化	初期化	
ADDRG	初期化	初期化	-	-	初期化	初期化	初期化	
ADDRH	初期化	初期化	-	-	初期化	初期化	初期化	
ADCSR	初期化	初期化	-	-	初期化	初期化	初期化	
ADCR	初期化	初期化	-	-	初期化	初期化	初期化	
SMR0	初期化	初期化	-	-	-	-	初期化	SMX
SMR1	初期化	初期化	-	-	-	-	初期化	
P6PCR	初期化	初期化	-	-	初期化	初期化	初期化	PORT
PINFNCR	初期化	初期化	-	-	初期化	初期化	初期化	
P4PCR	初期化	初期化	-	-	初期化	初期化	初期化	
ICCR_3	初期化	初期化	-	-	-	-	初期化	IIC_3
ICSR_3	初期化	初期化	-	-	-	-	初期化	
ICDR_3	-	-	-	-	-	-	-	
SARX_3	初期化	初期化	-	-	-	-	初期化	
ICMR_3	初期化	初期化	-	-	-	-	初期化	
SAR_3	初期化	初期化	-	-	-	-	初期化	
ICCR_2	初期化	初期化	-	-	-	-	初期化	IIC_2
ICSR_2	初期化	初期化	-	-	-	-	初期化	

25. レジスタ一覧

レジスタ略称	リセット	WDT リセット	高速/中速	スリープ	モジュール ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
ICDR_2	-	-	-	-	-	-	-	IIC_2
SARX_2	初期化	初期化	-	-	-	-	初期化	
ICMR_2	初期化	初期化	-	-	-	-	初期化	
SAR_2	初期化	初期化	-	-	-	-	初期化	
DADRA_1	初期化	初期化	-	-	初期化	初期化	初期化	PWMX_1
DACR_1	初期化	初期化	-	-	初期化	初期化	初期化	
DADRB_1	初期化	初期化	-	-	初期化	初期化	初期化	
DACNT_1	初期化	初期化	-	-	初期化	初期化	初期化	
CRCCR	初期化	初期化	-	-	-	-	初期化	CRC
CRCDIR	初期化	初期化	-	-	-	-	初期化	
CRCDOR	初期化	初期化	-	-	-	-	初期化	
ICXR_0	初期化	初期化	-	-	-	-	初期化	IIC_0
ICXR_1	初期化	初期化	-	-	-	-	初期化	IIC_1
ICSMBCR	初期化	初期化	-	-	-	-	初期化	IIC
ICXR_2	初期化	初期化	-	-	-	-	初期化	IIC_2
ICXR_3	初期化	初期化	-	-	-	-	初期化	IIC_3
IICX3	初期化	初期化	-	-	-	-	初期化	IIC
ICXR_4	初期化	初期化	-	-	-	-	初期化	IIC_4
ICXR_5	初期化	初期化	-	-	-	-	初期化	IIC_5
KBCOMP	初期化	初期化	-	-	-	-	初期化	EVC
ICRD	初期化	初期化	-	-	-	-	初期化	INT
ICRA	初期化	初期化	-	-	-	-	初期化	
ICRB	初期化	初期化	-	-	-	-	初期化	
ICRC	初期化	初期化	-	-	-	-	初期化	
ISR	初期化	初期化	-	-	-	-	初期化	
ISCRH	初期化	初期化	-	-	-	-	初期化	
ISCRL	初期化	初期化	-	-	-	-	初期化	
DTCERA	初期化	初期化	-	-	-	-	初期化	DTC
DTCERB	初期化	初期化	-	-	-	-	初期化	
DTCERC	初期化	初期化	-	-	-	-	初期化	
DTCERD	初期化	初期化	-	-	-	-	初期化	
DTCERE	初期化	初期化	-	-	-	-	初期化	
DTVECR	初期化	初期化	-	-	-	-	初期化	
ABRKCR	初期化	初期化	-	-	-	-	初期化	INT
BARA	初期化	初期化	-	-	-	-	初期化	
BARB	初期化	初期化	-	-	-	-	初期化	

25. レジスタ一覧

レジスタ略称	リセット	WDT リセット	高速/中速	スリープ	モジュール ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
BARC	初期化	初期化	-	-	-	-	初期化	INT
IER16	初期化	初期化	-	-	-	-	初期化	
ISR16	初期化	初期化	-	-	-	-	初期化	
ISCR16H	初期化	初期化	-	-	-	-	初期化	
ISCR16L	初期化	初期化	-	-	-	-	初期化	
ISSR16	初期化	初期化	-	-	-	-	初期化	PORT
ISSR	初期化	初期化	-	-	-	-	初期化	
PTCNT0	初期化	初期化	-	-	-	-	初期化	
BCR2	初期化	初期化	-	-	-	-	初期化	BSC
WSCR2	初期化	初期化	-	-	-	-	初期化	
PCSR	初期化	初期化	-	-	-	-	初期化	PWM
SYSCR2	初期化	初期化	-	-	-	-	初期化	SYSTEM
SBYCR	初期化	初期化	-	-	-	-	初期化	
LPWRCR	初期化	初期化	-	-	-	-	初期化	
MSTPCRH	初期化	初期化	-	-	-	-	初期化	
MSTPCRL	初期化	初期化	-	-	-	-	初期化	
ICCR_1	初期化	初期化	-	-	-	-	初期化	IIC_1
ICSR_1	初期化	初期化	-	-	-	-	初期化	
ICDR_1	-	-	-	-	-	-	-	
SARX_1	初期化	初期化	-	-	-	-	初期化	
ICMR_1	初期化	初期化	-	-	-	-	初期化	
SAR_1	初期化	初期化	-	-	-	-	初期化	
TIER	初期化	初期化	-	-	-	-	初期化	FRT
TCSR	初期化	初期化	-	-	-	-	初期化	
FRC	初期化	初期化	-	-	-	-	初期化	
OCRA	初期化	初期化	-	-	-	-	初期化	
OCRB	初期化	初期化	-	-	-	-	初期化	
TCR	初期化	初期化	-	-	-	-	初期化	
TOCR	初期化	初期化	-	-	-	-	初期化	
OCRAR	初期化	初期化	-	-	-	-	初期化	
OCRAF	初期化	初期化	-	-	-	-	初期化	
DADRA_0	初期化	初期化	-	-	初期化	初期化	初期化	PWMX_0
DACR_0	初期化	初期化	-	-	初期化	初期化	初期化	
DADRB_0	初期化	初期化	-	-	初期化	初期化	初期化	
DACNT_0	初期化	初期化	-	-	初期化	初期化	初期化	

25. レジスタ一覧

レジスタ略称	リセット	WDT リセット	高速/中速	スリープ	モジュール ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
TCSR_0	初期化	初期化	-	-	-	-	初期化	WDT_0
TCNT_0	初期化	初期化	-	-	-	-	初期化	
PAODR	初期化	初期化	-	-	-	-	初期化	PORT
PAPIN	-	-	-	-	-	-	-	
PADDR	初期化	初期化	-	-	-	-	初期化	
P1PCR	初期化	初期化	-	-	-	-	初期化	
P2PCR	初期化	初期化	-	-	-	-	初期化	
P3PCR	初期化	初期化	-	-	-	-	初期化	
P1DDR	初期化	初期化	-	-	-	-	初期化	
P2DDR	初期化	初期化	-	-	-	-	初期化	
P1DR	初期化	初期化	-	-	-	-	初期化	
P2DR	初期化	初期化	-	-	-	-	初期化	
P3DDR	初期化	初期化	-	-	-	-	初期化	
P4DDR	初期化	-	-	-	-	-	初期化	
P3DR	初期化	初期化	-	-	-	-	初期化	
P4DR	初期化	-	-	-	-	-	初期化	
P5DDR	初期化	初期化	-	-	-	-	初期化	
P6DDR	初期化	初期化	-	-	-	-	初期化	
P5DR	初期化	初期化	-	-	-	-	初期化	
P6DR	初期化	初期化	-	-	-	-	初期化	
PBODR	初期化	初期化	-	-	-	-	初期化	
PBPIN	-	-	-	-	-	-	-	
P8DDR	初期化	初期化	-	-	-	-	初期化	
P7PIN	-	-	-	-	-	-	-	
PBDDR	初期化	初期化	-	-	-	-	初期化	
P8DR	初期化	初期化	-	-	-	-	初期化	
P9DDR	初期化	初期化	-	-	-	-	初期化	
P9DR	初期化	初期化	-	-	-	-	初期化	
IER	初期化	初期化	-	-	-	-	初期化	INT
STCR	初期化	初期化	-	-	-	-	初期化	SYSTEM
SYSCR	初期化	初期化	-	-	-	-	初期化	
MDCR	初期化	初期化	-	-	-	-	初期化	
BCR	初期化	初期化	-	-	-	-	初期化	BSC
WSCR	初期化	初期化	-	-	-	-	初期化	
TCR_0	初期化	初期化	-	-	-	-	初期化	TMR_0、1
TCR_1	初期化	初期化	-	-	-	-	初期化	

25. レジスタ一覧

レジスタ略称	リセット	WDT リセット	高速/中速	スリープ	モジュール ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
TCSR_0	初期化	初期化	-	-	-	-	初期化	TMR_0、1
TCSR_1	初期化	初期化	-	-	-	-	初期化	
TCORA_0	初期化	初期化	-	-	-	-	初期化	
TCORA_1	初期化	初期化	-	-	-	-	初期化	
TCORB_0	初期化	初期化	-	-	-	-	初期化	
TCORB_1	初期化	初期化	-	-	-	-	初期化	
TCNT_0	初期化	初期化	-	-	-	-	初期化	
TCNT_1	初期化	初期化	-	-	-	-	初期化	
ICCR_0	初期化	初期化	-	-	-	-	初期化	IIC_0
ICSR_0	初期化	初期化	-	-	-	-	初期化	
ICDR_0	-	-	-	-	-	-	-	
SARX_0	初期化	初期化	-	-	-	-	初期化	
ICMR_0	初期化	初期化	-	-	-	-	初期化	
SAR_0	初期化	初期化	-	-	-	-	初期化	
SMR_3	初期化	初期化	-	-	-	-	初期化	SCI_3
BRR_3	初期化	初期化	-	-	-	-	初期化	
SCR_3	初期化	初期化	-	-	-	-	初期化	
TDR_3	初期化	初期化	-	-	初期化	初期化	初期化	
SSR_3	初期化	初期化	-	-	初期化	初期化	初期化	
RDR_3	初期化	初期化	-	-	初期化	初期化	初期化	
SCMR_3	初期化	初期化	-	-	-	-	初期化	
TCSR_1	初期化	初期化	-	-	-	-	初期化	WDT_1
TCNT_1	初期化	初期化	-	-	-	-	初期化	
TCR_X	初期化	初期化	-	-	-	-	初期化	TMR_X、Y
TCSR_X	初期化	初期化	-	-	-	-	初期化	
TCNT_X	初期化	初期化	-	-	-	-	初期化	
TCORA_X	初期化	初期化	-	-	-	-	初期化	
TCORB_X	初期化	初期化	-	-	-	-	初期化	
TCR_Y	初期化	初期化	-	-	-	-	初期化	
TCSR_Y	初期化	初期化	-	-	-	-	初期化	
TCORA_Y	初期化	初期化	-	-	-	-	初期化	
TCORB_Y	初期化	初期化	-	-	-	-	初期化	
TCNT_Y	初期化	初期化	-	-	-	-	初期化	
TCONRS	初期化	初期化	-	-	-	-	初期化	

26. 電気的特性

26.1 絶対最大定格

絶対最大定格を表 26.1 に示します。

表 26.1 絶対最大定格

項目	記号	定格値	単位
電源電圧*	VCC	-0.3 ~ +4.3	V
入力電圧 AN 入力兼用端子 (1)	V_{in}	-0.3 ~ AVCC +0.3	
入力電圧 IIC 兼用端子 (2)	V_{in}	-0.3 ~ +6.5	
入力電圧 ((1)(2))以外	V_{in}	-0.3 ~ VCC +0.3	
リファレンス電源電圧	AVref	-0.3 ~ AVCC +0.3	
アナログ電源電圧	AVCC	-0.3 ~ +4.3	
アナログ入力電圧 (AN0 ~ AN7)	V_{AN}	-0.3 ~ AVCC +0.3	
動作温度	T_{opr}	-20 ~ +75 (通常仕様品)	
		-40 ~ +85 (広温度範囲仕様品)	
動作温度 (フラッシュメモリ書き込み/消去時)	T_{opr}	0 ~ +75	
保存温度	T_{stg}	-55 ~ +125	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

【注】 * VCC 端子への印加電圧です。

VCL 端子への電源印加はしないでください。

26.2 DC 特性

DC 特性を表 26.2 に示します。また、出力許容電流値、バス駆動特性を表 26.3、表 26.4 に示します。

表 26.2 DC 特性 (1)

条件 : VCC = 3.0V ~ 3.6V、AVCC*1 = 3.0V ~ 3.6V、AVref*1 = 3.0V ~ AVCC、VSS = AVSS*1 = 0V

項目		記号	min	typ	max	単位	測定条件	
シュミット トリガ入力電圧	EVENT15 - EVENT0、 (Ex)DB7 ~ (Ex)DB0、 (Ex)IRQ15 ~ (Ex)IRQ0、 ETRST、XTAL、EXCL、ADTRG	(1)	V_T^-	VCC × 0.2		V		
			V_T^+					VCC × 0.7
		$V_T^+ - V_T^-$	VCC × 0.05					
	SCL5 - SCL0、SDA5 - SDA0	V_T^-	VCC × 0.3					
		V_T^+			VCC × 0.7			
		$V_T^+ - V_T^-$	VCC × 0.05					
入力 High レベル電圧	RES、STBY、NMI、FWE、 MD2、MD1、MD0	(2)	V_{IH}	VCC × 0.9		VCC + 0.3		
				EXTAL	VCC × 0.7			VCC + 0.3
	ポート 7			2.2		AVCC + 0.3		
	SCL5 - SCL0、SDA5 - SDA0、 ポート 80 - 83、C0 - C5、 D6、D7					5.5		
	CLKRUN、GA20、PME、LSMI、 LSCI、SERIRQ、LAD3 - LAD0、 LPCPD、LCLK、LRESET、 LFRAME			VCC × 0.5		VCC + 0.3		
	上記(1)(2)以外の入力端子			2.2		VCC + 0.3		
入力 Low レベル電圧	RES、STBY、NMI、FWE、 MD2、MD1、MD0	(3)	V_{IL}	- 0.3		VCC × 0.1		
				EXTAL	- 0.3			VCC × 0.1
	ポート 7			- 0.3		VCC × 0.2		f 25MHz
	CLKRUN、GA20、PME、LSMI、 LSCI、SERIRQ、LAD3 - LAD0、 LPCPD、LCLK、LRESET、 LFRAME			- 0.3		VCC × 0.3		
	上記(1)(3)以外の入力端子			- 0.3		VCC × 0.2		
	出力 High レベル電圧			SCL5 - SCL0、SDA5 - SDA0 CLKRUN、GA20、PME、LSMI、 LSCI*2	(4)	V_{OH}		0.5
ポート 80 - 83、C0 - C5、 D6、D7*3	VCC × 0.9			$I_{OH} = -0.5mA$				
SERIRQ、LAD3 - LAD0	VCC - 0.5			$I_{OH} = -200 \mu A$				
上記(4)以外の出力端子	VCC - 1.0			$I_{OH} = -1mA$				

項目		記号	min	typ	max	単位	測定条件
出力 Low レベル電圧	SCL5 ~ SCL0, SDA5 ~ SDA0	(5) V_{OL}			0.5	V	$I_{OL} = 8\text{mA}$
				0.4	$I_{OL} = 3\text{mA}$		
	CLKRUN、GA20、PME、LSMI、 LSCI、SERIRQ、LAD3 ~ LAD0				$VCC \times 0.1$		$I_{OL} = 1.5\text{mA}$
	上記(5)以外の出力端子				0.4		$I_{OL} = 1.6\text{mA}$
	HC7 ~ 0				1.0		$I_{OL} = 12\text{mA}$

表 26.2 DC 特性 (2)

条件 : $VCC = 3.0\text{V} \sim 3.6\text{V}$ 、 $AVCC^{*1} = 3.0\text{V} \sim 3.6\text{V}$ 、 $AVref^{*1} = 3.0\text{V} \sim AVCC$ 、 $VSS = AVSS^{*1} = 0\text{V}$

項目		記号	min	typ	max	単位	測定条件
入力リーク 電流	\overline{RES} 、 \overline{STBY} 、NMI、FWE、 $\overline{MD2}$ 、MD1、MD0	$ I_{in} $			1.0	μA	$V_{in} = 0.5 \sim VCC - 0.5\text{V}$
	ポート 7				1.0		$V_{in} = 0.5 \sim AVCC - 0.5\text{V}$
スリーステ ートリーク電流 (オフ状態)	ポート 1 ~ 6 ポート 8 ~ F	$ I_{TS1} $			1.0	μA	$V_{in} = 0.5 \sim VCC - 0.5\text{V}$
入力プリアップ MOS 電流	ポート 1 ~ 4、6、ポート A、 D5 ~ D0	$-I_p$	20		300		$V_{in} = 0\text{V}$
消費電流 ^{*4}	通常動作時	I_{CC}		45	60	mA	f = 34MHz、全モジュール 動作時、高速モード
	スリープ時			35	45		f = 34MHz
	スタンバイ時 ^{*5}			40	100	μA	$T_a = 50$ $50 < T_a$
アナログ 電源電流	A/D 変換中	AI_{CC}		1.0	2.0	mA	
	A/D 変換待機時			2.5	5.0		μA
リファレンス 電源電流	A/D 変換中	AI_{ref}		0.1	1.0	mA	
	A/D 変換待機時			0.5	5.0		μA
入力容量	全入力端子	C_{in}			10	PF	$V_{in} = 0\text{V}$ 、f = 1MHz、 $T_a = 25$
RAM スタンバイ電圧		V_{RAM}	3.0			V	
VCC 開始電圧		VCC_{START}		0	0.8	V	
VCC 立ち上がり勾配		SVCC			20	ms/V	

【注】 *1 A/D 変換器を使用しない場合でも、AVCC、AVref、AVSS 端子は開放しないでください。

A/D 変換器を使用しない場合でも、AVCC、AVref 端子は電源 (VCC) に接続し、3.0V ~ 3.6V の範囲の電圧を印加してください。このとき、AVref AVCC としてください。

*2 SCL5 ~ SCL0、SDA5 ~ SDA0 (ICCR の ICE = 1) \overline{CLKRUN} 、GA20、 \overline{PME} 、 \overline{LSMI} 、LSCI から High レベルを出力するためには、プリアップ抵抗を外付けする必要があります。

*3 ポート 80 ~ 83、C0 ~ C5、D6 および D7 は、NMOS プッシュプル出力です。

ポート 80 ~ 83、C0 ~ C5、D6、D7 の High レベルは、NMOS で駆動されます。出力として使用する場合は、High レベルを出力するためプリアップ抵抗を外付けする必要があります。

26. 電気的特性

- *4 消費電流値は $V_{IH} \min = VCC - 0.2V$ 、 $V_{IL} \max = 0.2V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。
- *5 $VCC = 3.0V$ のとき、 $V_{IH} \min = VCC - 0.2V$ 、 $V_{IL} \max = 0.2V$ とした場合です。

表 26.3 出力許容電流値

条件 : $VCC = 3.0V \sim 3.6V$ 、 $AVCC = 3.0V \sim 3.6V$ 、 $AVref = 3.0V \sim AVCC$ 、 $VSS = AVSS = 0V$

項目	記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	SCL5 ~ SCL0、SDA5 ~ SDA0			10	mA
	HC7 ~ 0			12	
	上記以外の出力端子			1.6	
出力 Low レベル許容電流 (総和)	HC7 ~ 0 の総和	I_{OL}		48	
	上記を含む、全出力端子の総和			90	
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$		2	
出力 High レベル許容電流 (総和)	全出力端子の総和	$-I_{OH}$		60	

- 【注】
1. LSI の信頼性を確保するため、出力電流値は表 26.3 の値を超えないようにしてください。
 2. ダーリントントランジスタや、LED を直接駆動する場合には、図 26.1、図 26.2 に示すように出力に必ず電流制限抵抗を挿入してください。

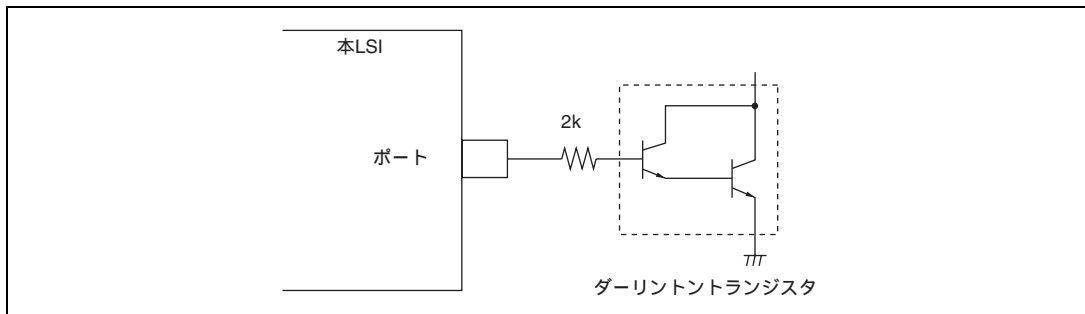


図 26.1 ダーリントントランジスタ駆動回路例

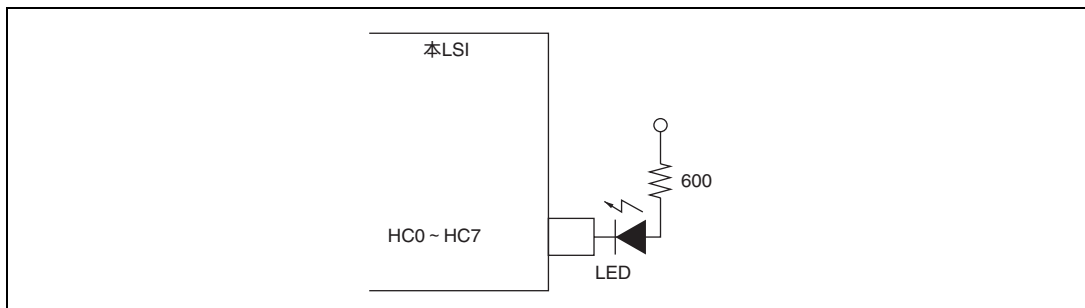


図 26.2 LED 駆動回路例

26.3 AC 特性

図 26.3 に AC 特性測定条件を示します。

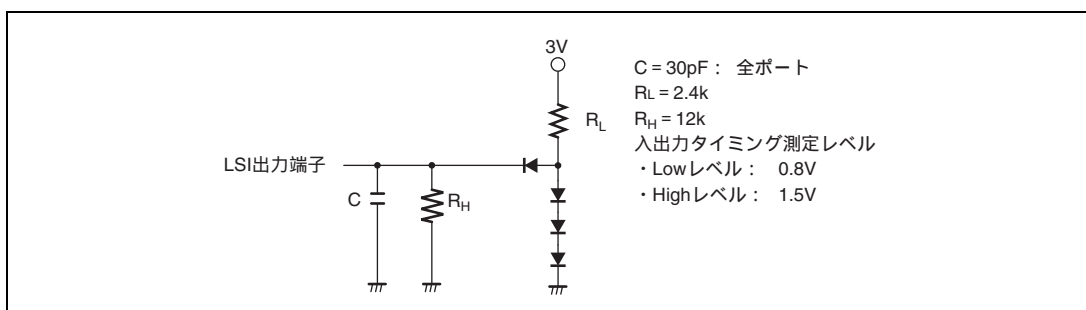


図 26.3 出力負荷回路

26. 電気的特性

26.3.1 クロックタイミング

表 26.4 にクロックタイミングを示します。ここで規定するクロックタイミングは、クロック出力 () と、クロック発振器 (水晶) と外部クロック入力 (EXTAL 端子) の発振安定時間です。外部クロック入力 (EXTAL 端子および EXCL 端子) タイミングの詳細については、表 26.5、表 26.6 を参照してください。

表 26.4 クロックタイミング

条件 : VCC = 3.0V ~ 3.6V、VSS = 0V、 = 20MHz ~ 34MHz

項目	記号	min	max	単位	参照図
クロックサイクル時間	t_{cyc}	29.4	50	ns	図 26.4
クロック High レベルパルス幅	t_{CH}	9.7			
クロック Low レベルパルス幅	t_{CL}	9.7			
クロック立ち上がり時間	t_{Cr}		5		
クロック立ち下がり時間	t_{Cf}		5		
リセット発振安定時間 (水晶)	t_{OSC1}	10		ms	図 26.5
ソフトウェアスタンバイ発振安定時間 (水晶)	t_{OSC2}	8			図 26.6

表 26.5 外部クロック入力条件

条件 : VCC = 3.0V ~ 3.6V、VSS = 0V、 = 20MHz ~ 34MHz

項目	記号	min	max	単位	測定条件
外部クロック入力 Low レベルパルス幅	t_{EXL}	58.8	-	ns	図 26.7
外部クロック入力 High レベルパルス幅	t_{EXH}	58.8	-	ns	
外部クロック入力立ち上がり時間	t_{EXr}	-	5	ns	
外部クロック入力立ち下がり時間	t_{EXf}	-	5	ns	
クロック Low レベルパルス幅	t_{CL}	0.4	0.6	t_{cyc}	図 26.4
クロック High レベルパルス幅	t_{CH}	0.4	0.6	t_{cyc}	
外部クロック出力安定遅延時間	t_{DEXT}^*	500	-	μs	図 26.8

【注】 * t_{DEXT} は、RES パルス幅 (t_{RESW}) を含みます。

表 26.6 サブクロック入力条件

条件 : VCC = 3.0V ~ 3.6V、VSS = 0V、 = 20MHz ~ 34MHz

項目	記号	min	typ	Max	単位	測定条件
サブクロック入力 Low レベルパルス幅	t_{EXCLL}	-	15.26	-	μs	図 26.9
サブクロック入力 High レベルパルス幅	t_{EXCLH}	-	15.26	-	μs	
サブクロック入力立ち上がり時間	t_{EXCLr}	-	-	10	ns	
サブクロック入力立ち下がり時間	t_{EXCLf}	-	-	10	ns	
クロック Low レベルパルス幅	t_{CL}	0.4	-	0.6	t_{cyc}	図 26.4
クロック High レベルパルス幅	t_{CH}	0.4	-	0.6	t_{cyc}	

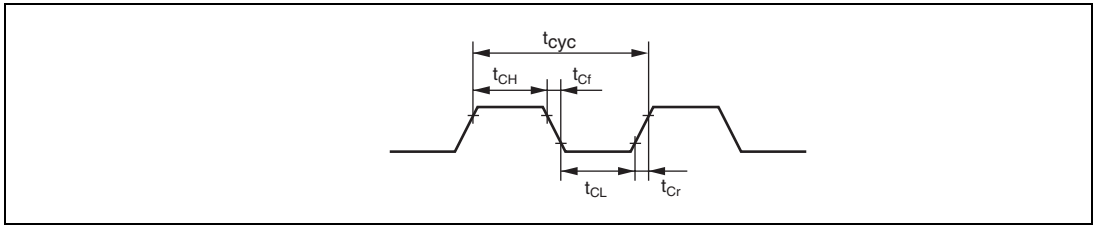


図 26.4 システムクロックタイミング

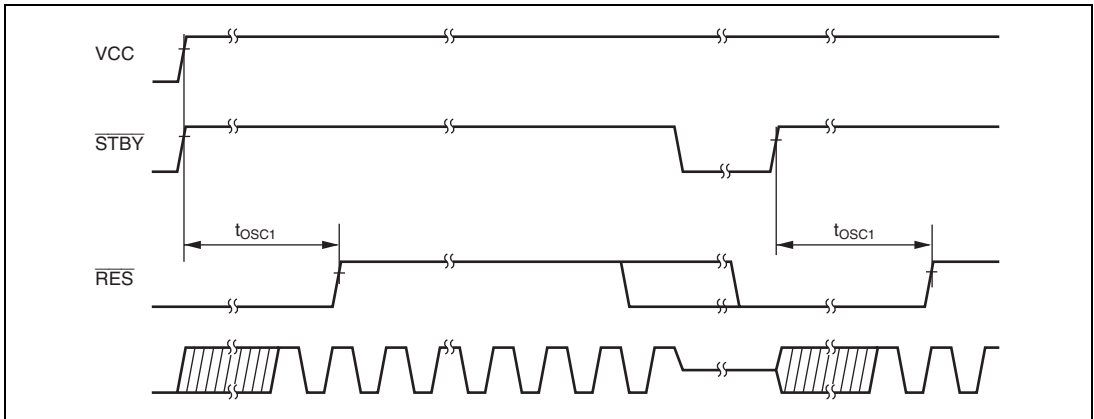


図 26.5 発振安定時間タイミング

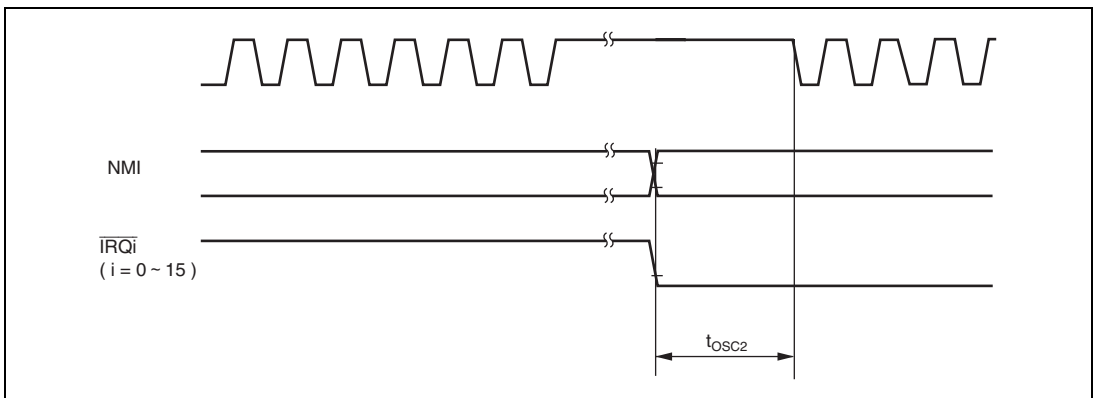


図 26.6 発振安定時間タイミング (ソフトウェアスタンバイからの復帰)

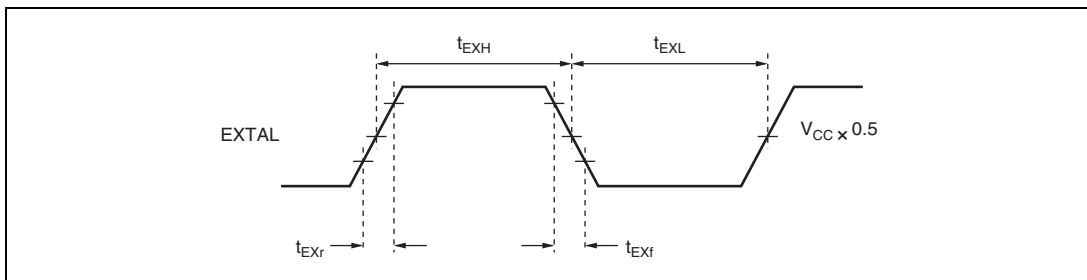


図 26.7 外部クロック入力タイミング

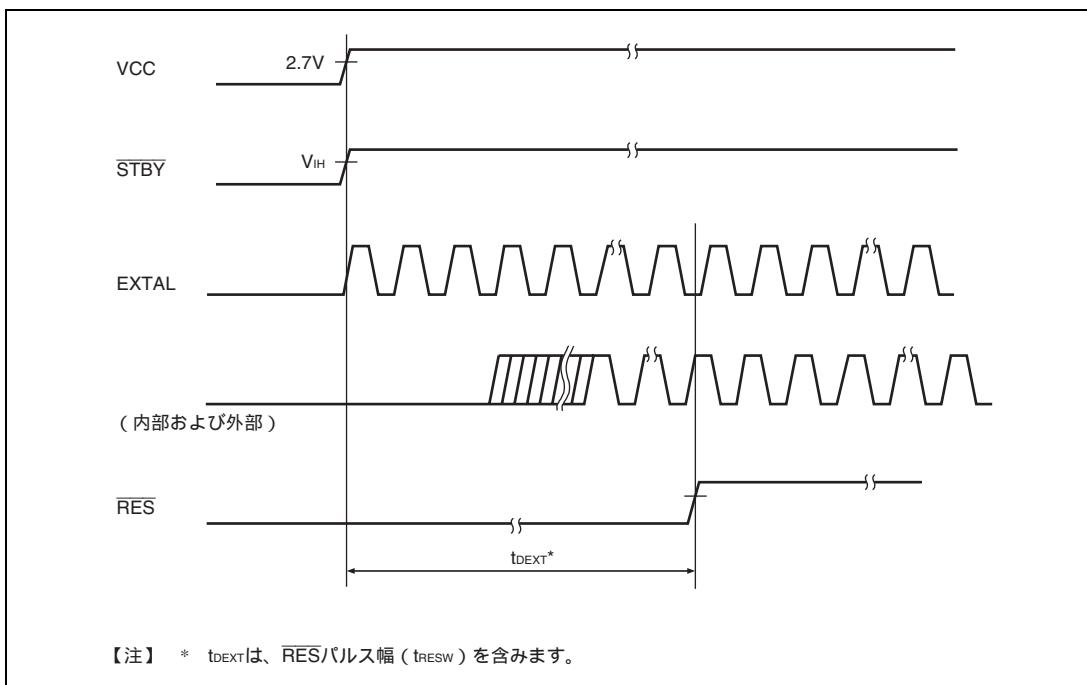


図 26.8 外部クロック出力安定遅延時間タイミング

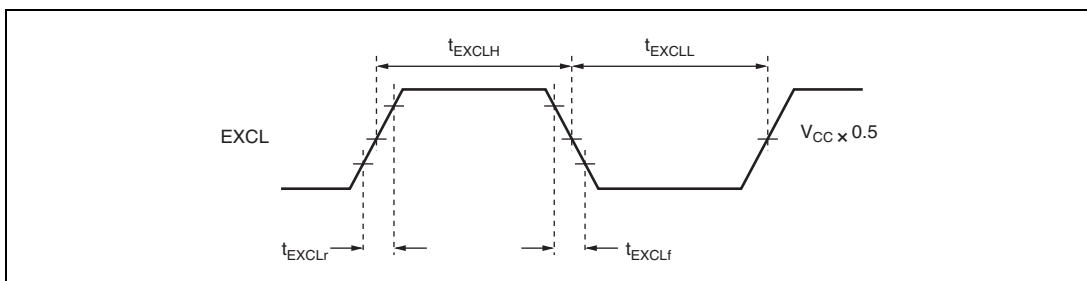


図 26.9 サブクロック入力タイミング

26.3.2 制御信号タイミング

表 26.7 に制御信号タイミングを示します。サブクロック (SUB = 32.768kHz) で動作可能な外部割り込みは、NMI、IRQ0 ~ IRQ15 のみです。

表 26.7 制御信号タイミング

条件 : VCC = 3.0V ~ 3.6V、VSS = 0V、 = 20MHz ~ 34MHz

項目	記号	min	max	単位	測定条件
RES セットアップ時間	t_{RESS}	200		ns	図 26.10
RES パルス幅	t_{RESW}	20		t_{cyc}	
NMI セットアップ時間	t_{NMIS}	150		ns	図 26.11
NMI ホールド時間	t_{NMIH}	10			
NMI パルス幅 (ソフトウェアスタンバイモードからの復帰時)	t_{NMIW}	200			
IRQ セットアップ時間 (IRQ15 ~ IRQ0)	t_{IROs}	150			
IRQ ホールド時間 (IRQ15 ~ IRQ0)	t_{IROH}	10			
IRQ パルス幅 (IRQ15 ~ IRQ0) (ソフトウェアスタンバイモードからの復帰時)	t_{IROW}	200			

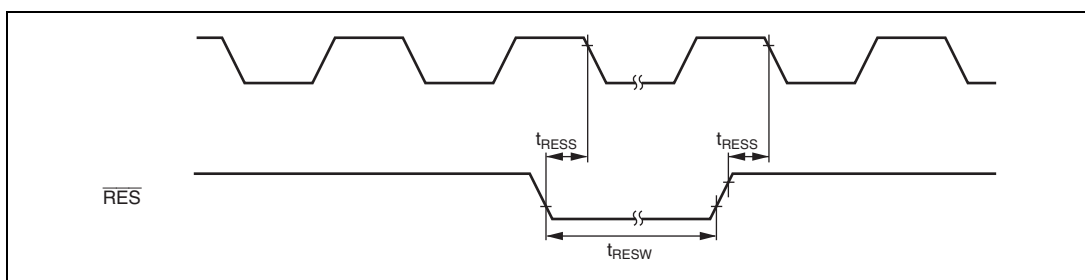


図 26.10 リセット入力タイミング

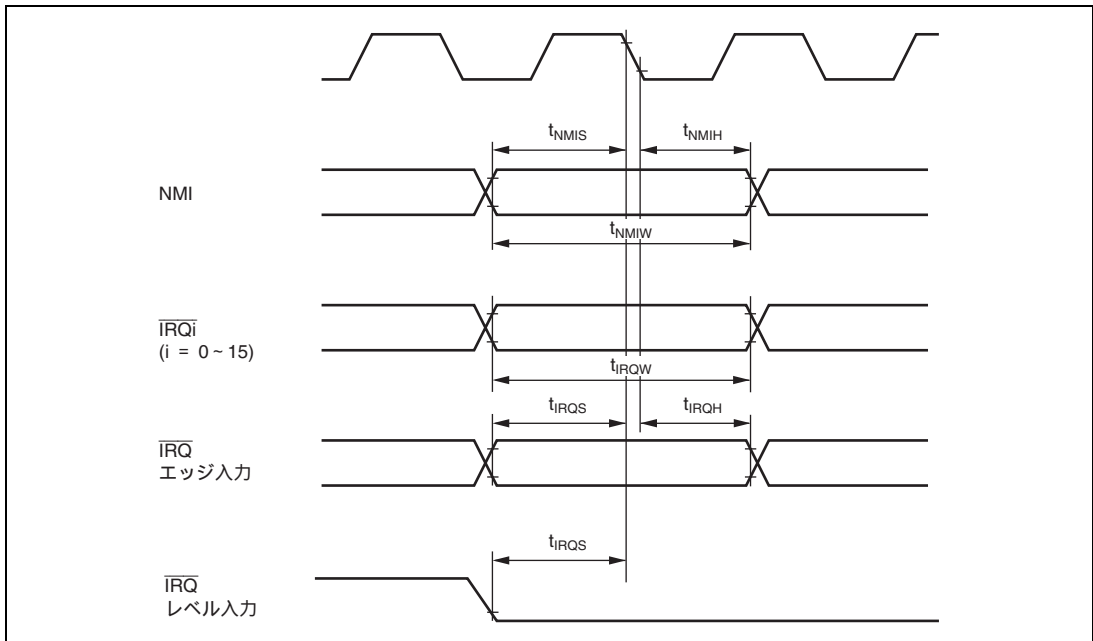


図 26.11 割り込み入力タイミング

26.3.3 バスタイミング

表 26.8 にバスタイミングを示します。サブクロック (SUB = 32.768kHz) 動作では、外部拡張モードの動作は保証されません。

表 26.8 バスタイミング

条件 : VCC = 3.0V ~ 3.6V、VSS = 0V、 = 20MHz ~ 34MHz

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}		14.7	ns	図 26.12 ~ 図 26.19
アドレスセットアップ時間	t_{AS}	$0.5 \times t_{cyc} - 14.7$			
アドレスホールド時間	t_{AH}	$0.5 \times t_{cyc} - 9.7$			
CS 遅延時間 (IOS、CS256)	t_{CSD}		14.7		
AS 遅延時間	t_{ASD}		14.7		
HBE 遅延時間	t_{HBD}		$t_{AD} + 5.0$		
LBE 遅延時間	t_{LBD}		$t_{AD} + 5.0$		
RD 遅延時間 1	t_{RSD1}		14.7		
RD 遅延時間 2	t_{RSD2}		14.7		
リードデータセットアップ時間	t_{RDS}	14.7			
リードデータホールド時間	t_{RDH}	0			
リードデータアクセス時間 1	t_{ACC1}		$1.0 \times t_{cyc} - 29.4$		
リードデータアクセス時間 2	t_{ACC2}		$1.5 \times t_{cyc} - 24.7$		
リードデータアクセス時間 3	t_{ACC3}		$2.0 \times t_{cyc} - 29.4$		
リードデータアクセス時間 4	t_{ACC4}		$2.5 \times t_{cyc} - 24.7$		
リードデータアクセス時間 5	t_{ACC5}		$3.0 \times t_{cyc} - 29.4$		
WR 遅延時間 1	t_{WRD1}		14.7		
WR 遅延時間 2	t_{WRD2}		14.7		
WR パルス幅 1	t_{WSW1}	$1.0 \times t_{cyc} - 19.6$			
WR パルス幅 2	t_{WSW2}	$1.5 \times t_{cyc} - 19.6$			
ライトデータ遅延時間	t_{WDD}		24.7		
ライトデータセットアップ時間	t_{WDS}	0			
ライトデータホールド時間	t_{WDH}	$0.5 \times t_{cyc} - 5$			
WAIT セットアップ時間	t_{WTS}	24.7			
WAIT ホールド時間	t_{WTH}	5			

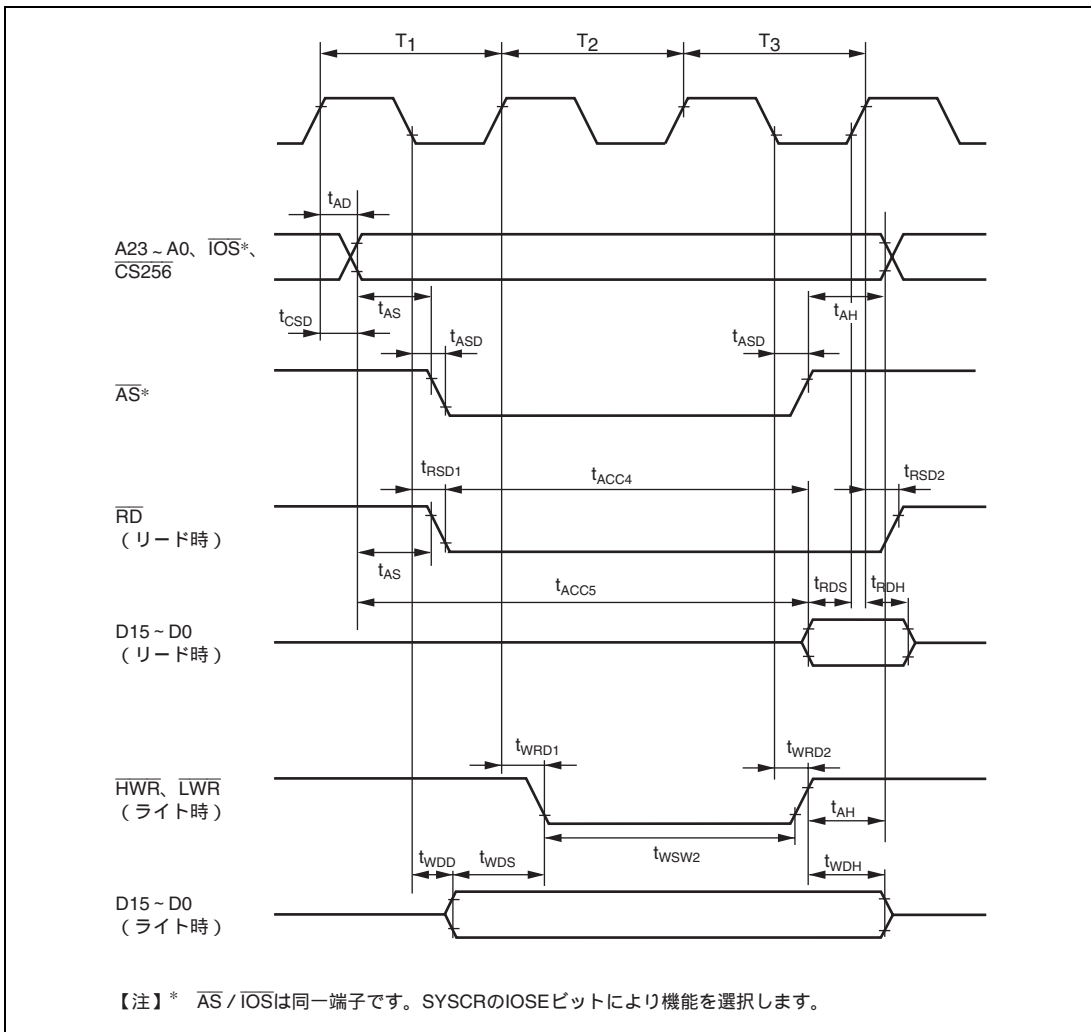


図 26.13 基本バスタイミング / 3 ステートアクセス

26. 電気的特性

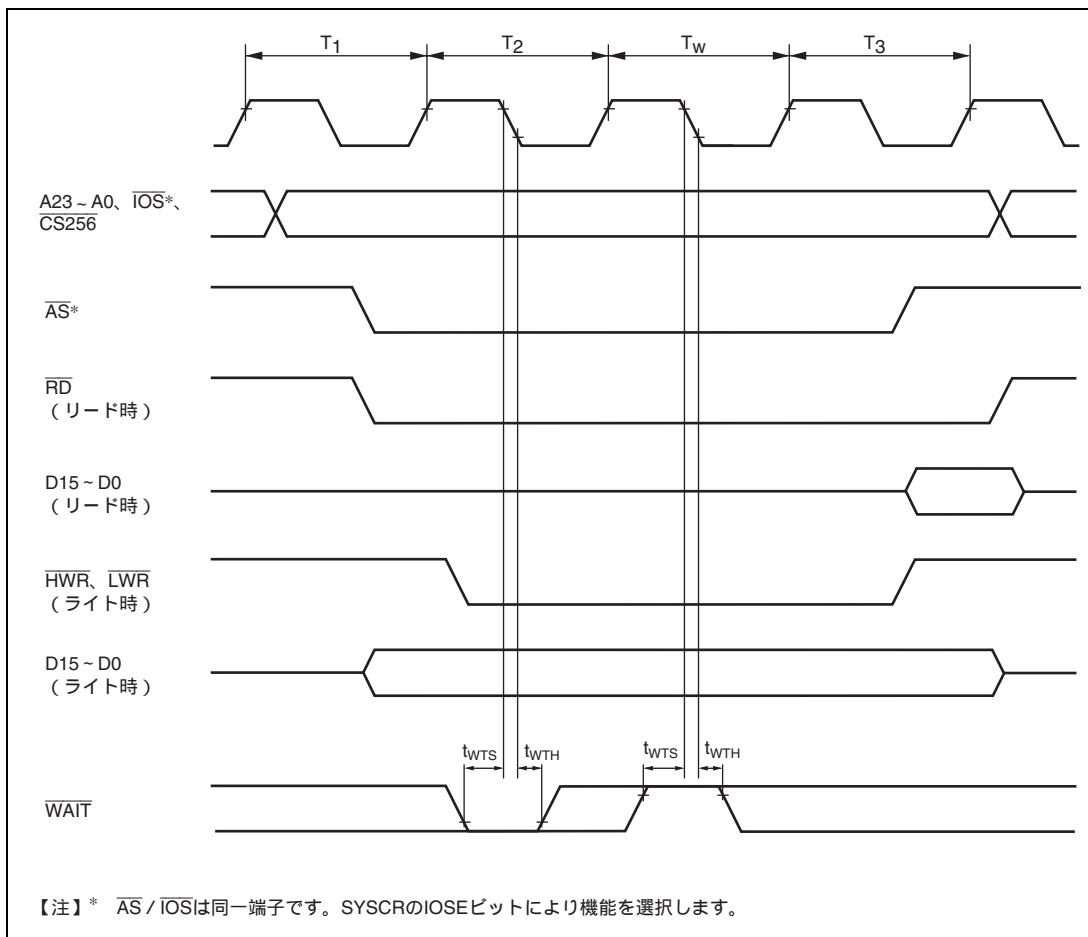


図 26.14 基本バスタイミング / 3 ステートアクセス 1 ウェイト

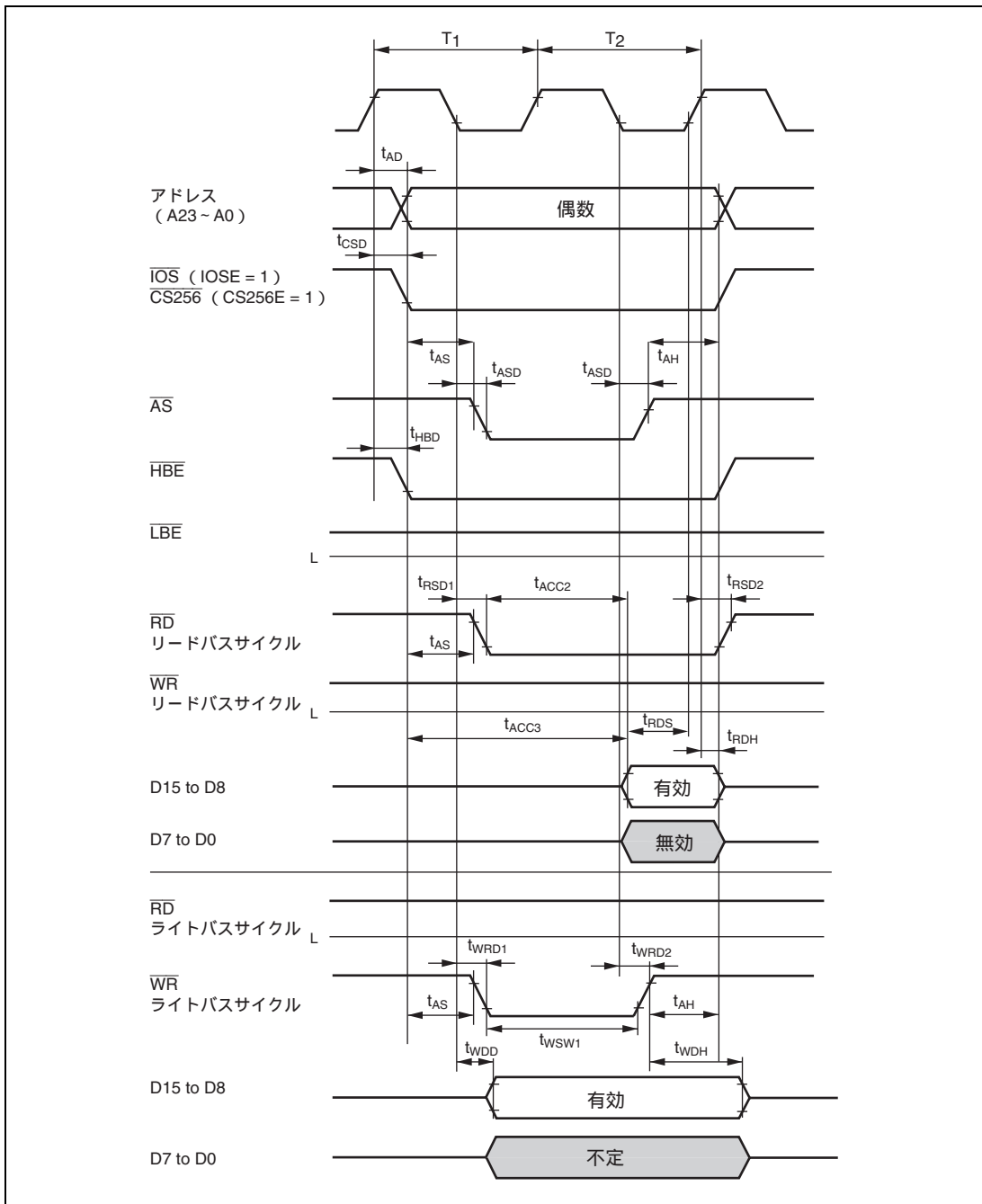


図 26.15 偶数バイトアクセス (ADMXE = 0)

26. 電気的特性

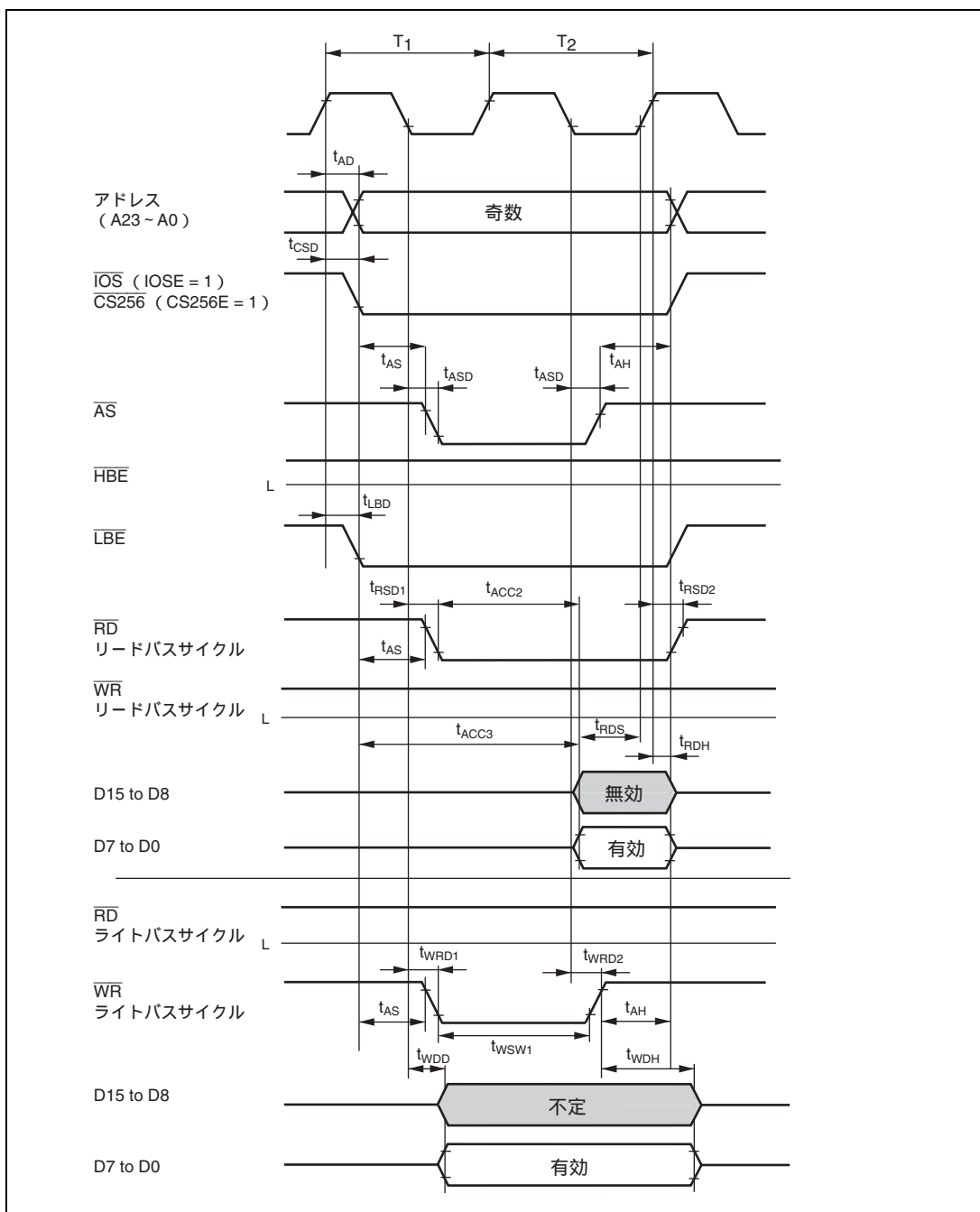


図 26.16 奇数バイトアクセス (ADMXE = 0)

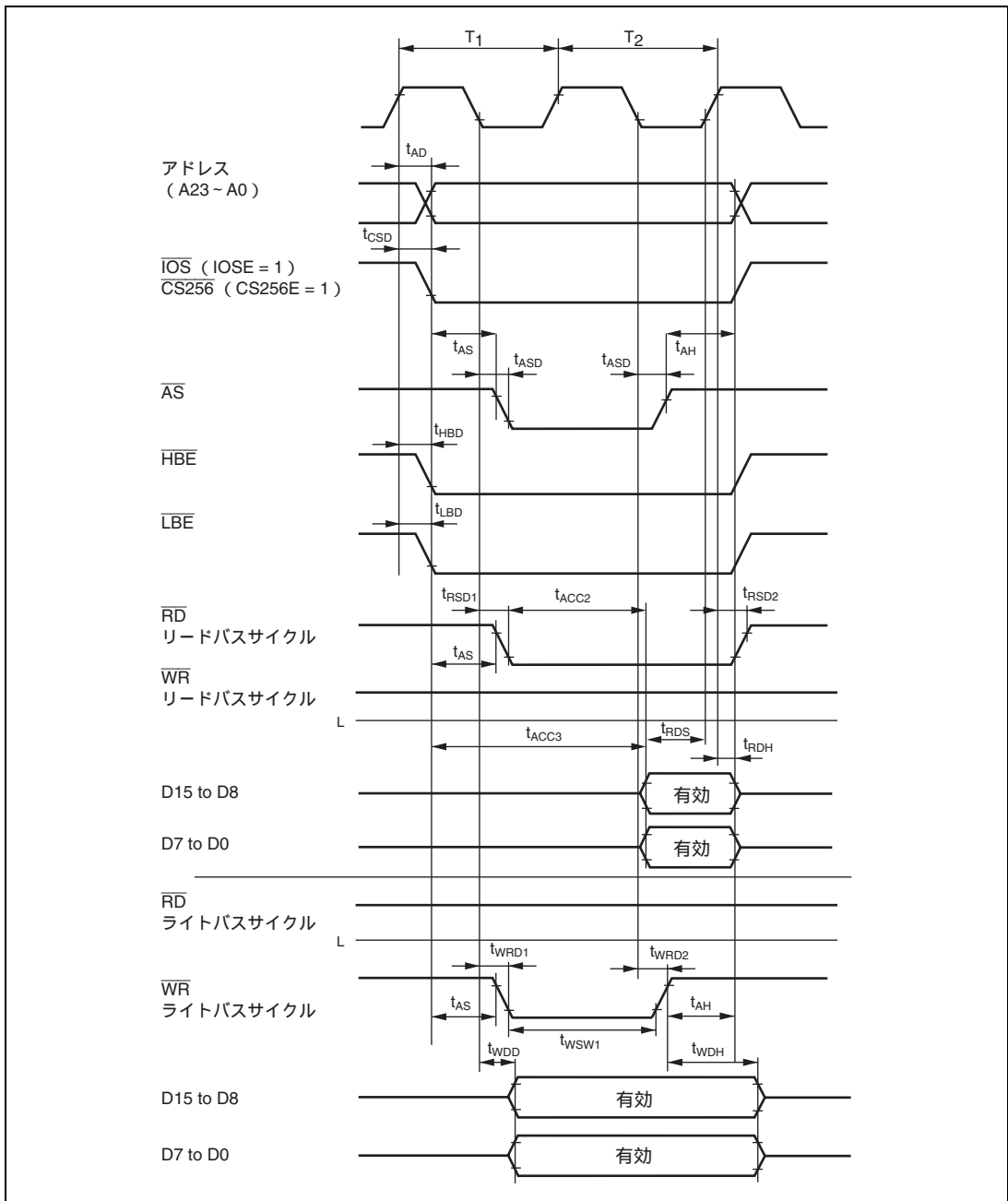


図 26.17 ワードアクセス (ADMXE = 0)

26. 電気的特性

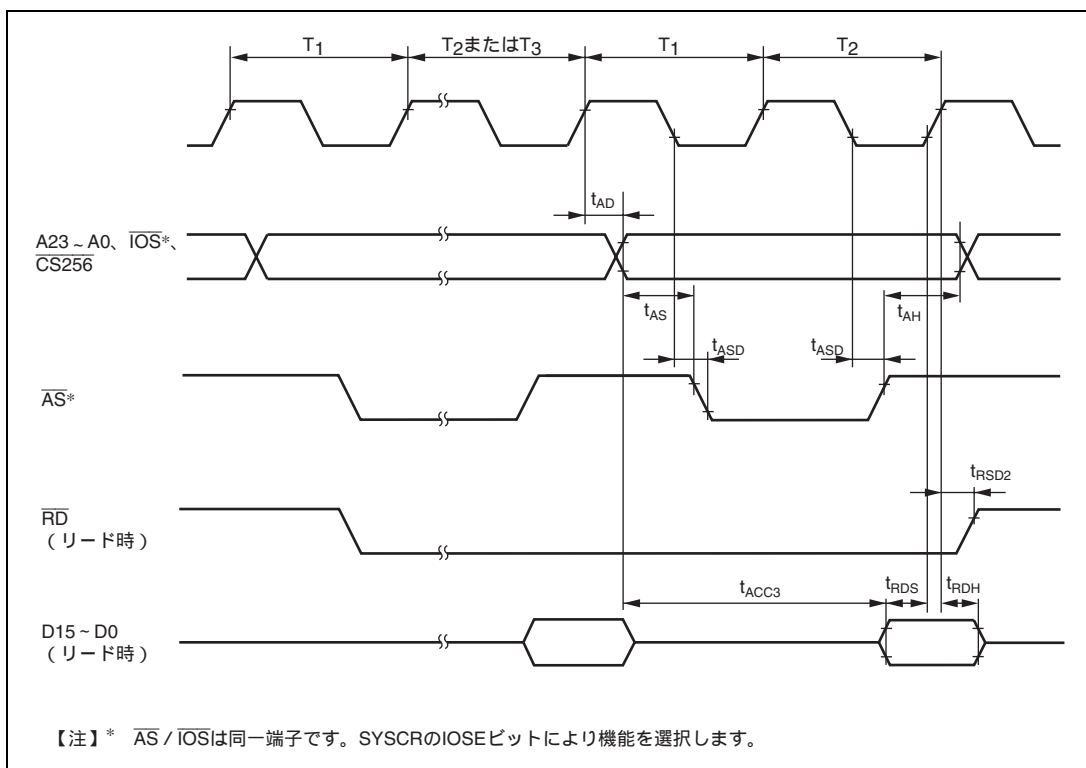


図 26.18 バースト ROM アクセスタイミング / 2 ステートアクセス

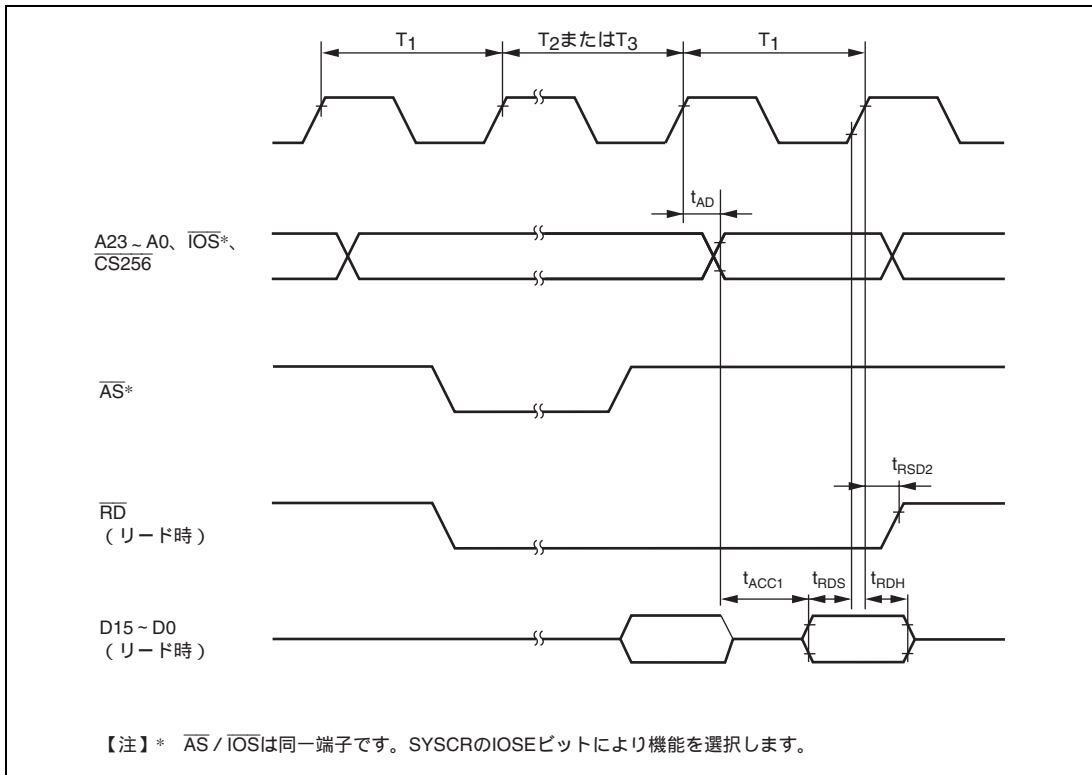


図 26.19 パースタティック ROM アクセスタイミング / 1 ステートアクセス

26. 電気的特性

26.3.4 マルチプレックスバスタイミング

表 26.9 にマルチプレックスバスタイミングを示します。サブクロック (SUB = 32.768kHz) では、外部拡張モードの動作は保証されません。

表 26.9 マルチプレックスバスタイミング

条件 : VCC = 3.0V ~ 3.6V、VSS = 0V、 = 20MHz ~ 34MHz

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}		14.7	ns	図 26.20、 図 26.21
アドレスセットアップ時間 2	t_{AS2}	$0.5 \times t_{cyc} - 14.7$			
アドレスホールド時間 2	t_{AH2}	$0.5 \times t_{cyc} - 9.7$			
CS 遅延時間 (IOS、CS256)	t_{CSD}		14.7		
AH 遅延時間	t_{AHD}		14.7		
\overline{RD} 遅延時間 1	t_{RSD1}		14.7		
\overline{RD} 遅延時間 2	t_{RSD2}		14.7		
リードデータセットアップ時間	t_{RDS}	14.7			
リードデータホールド時間	t_{RDH}	0			
リードデータアクセス時間 2	t_{ACC2}		$1.5 \times t_{cyc} - 24.4$		
リードデータアクセス時間 4	t_{ACC4}		$2.5 \times t_{cyc} - 24.4$		
リードデータアクセス時間 6	t_{ACC6}		$3.5 \times t_{cyc} - 24.4$		
リードデータアクセス時間 7	t_{ACC7}		$4.5 \times t_{cyc} - 24.4$		
WR 遅延時間 1	t_{WRD1}		14.7		
WR 遅延時間 2	t_{WRD2}		14.7		
WR パルス幅 1	t_{WSW1}	$1.0 \times t_{cyc} - 19.6$			
WR パルス幅 2	t_{WSW2}	$1.5 \times t_{cyc} - 19.6$			
ライトデータ遅延時間	t_{WDD}		24.4		
ライトデータセットアップ時間	t_{WDS}	0			
ライトデータホールド時間	t_{WDH}	$0.5 \times t_{cyc} - 5$			

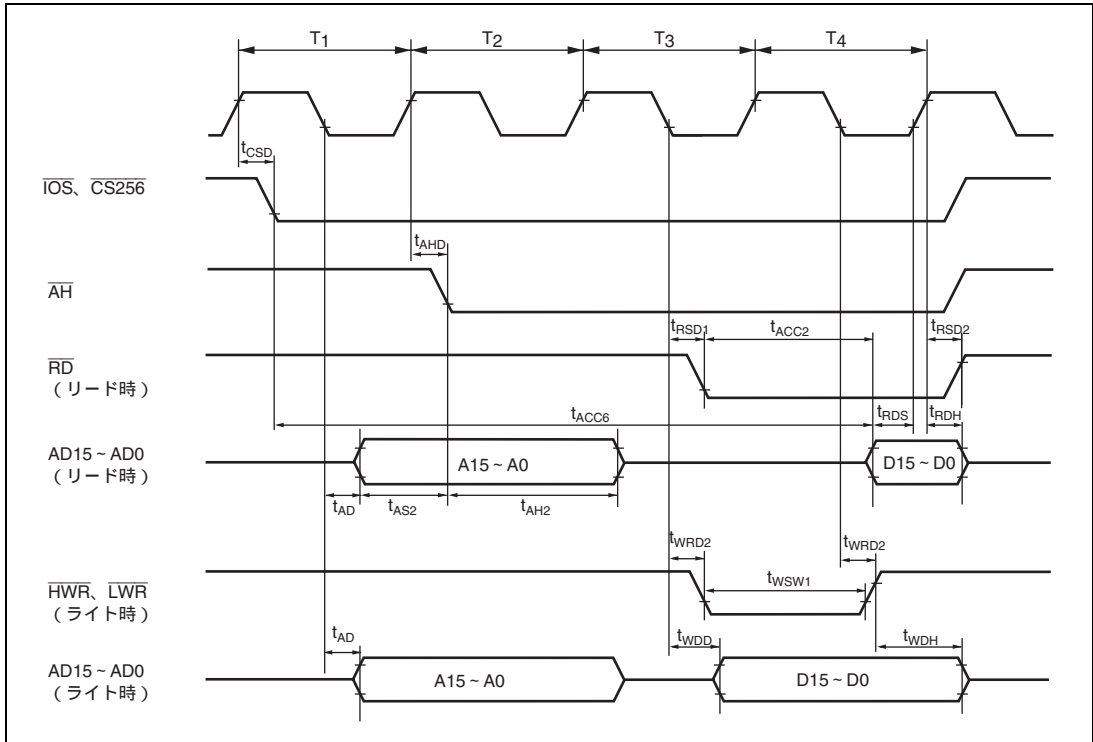


図 26.20 マルチプレックスバスタイミング / データ 2 ステートアクセス

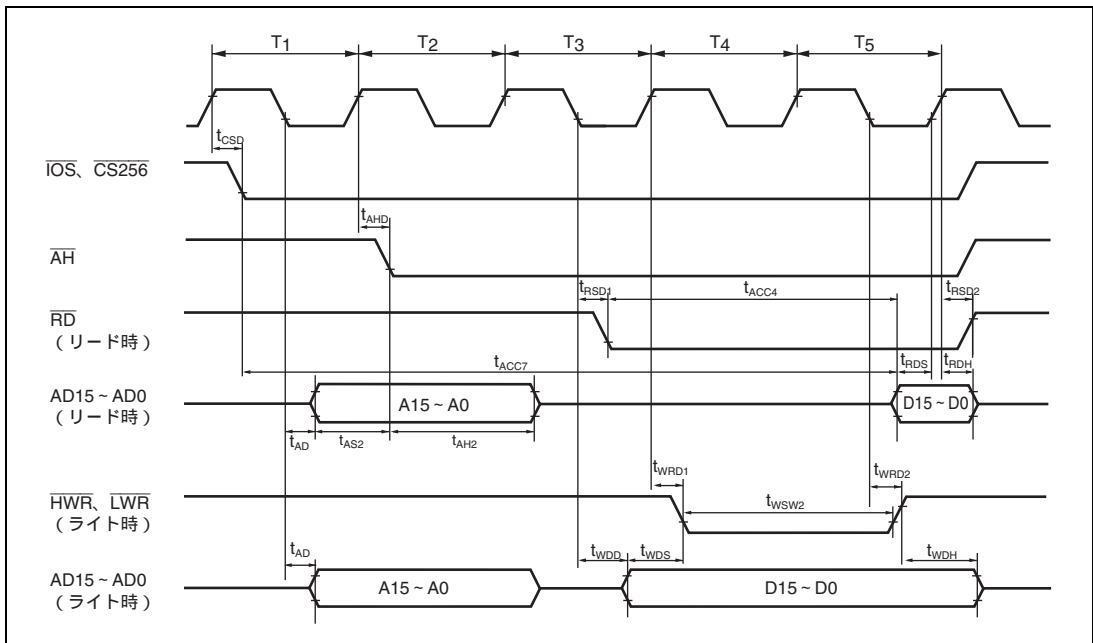


図 26.21 マルチプレックスバスタイミング / データ 3 ステートアクセス

26. 電気的特性

26.3.5 内蔵周辺モジュールタイミング

表 26.10 ~ 表 26.13 に内蔵周辺モジュールタイミングを示します。サブクロック動作時 (SUB = 32.768kHz) に動作可能な内蔵周辺モジュールは、I/O ポート、外部割り込み (NMI、IRQ0 ~ IRQ15)、ウォッチドッグタイマ、8 ビットタイマ (チャネル 0、1) のみです。

表 26.10 内蔵周辺モジュールタイミング

条件 : VCC = 3.0V ~ 3.6V、VSS = 0V、SUB = 32.768kHz*、 = 20MHz ~ 34MHz

項目		記号	min	max	単位	測定条件		
I/O ポート	出力データ遅延時間	t_{PVD}		29.4	ns	図 26.22		
	入力データセットアップ時間	t_{PRS}	19.6					
	入力データデータホールド時間	t_{PRH}	19.6					
PWMX	パルス出力遅延時間	t_{PWOD}		29.4	ns	図 26.23		
SCI	入カクロック サイクル	調歩同期	t_{Scyc}	4	t_{cyc}	図 26.24		
		クロック同期		6				
	入カクロックパルス幅		t_{SCKW}	0.4	0.6		t_{Scyc}	
	入カクロック立ち上がり時間		t_{SCKr}		1.5		t_{cyc}	
	入カクロック立ち下がり時間		t_{SCKf}		1.5		t_{cyc}	
	送信データ遅延時間 (クロック同期)		t_{TXD}		29.4		ns	図 26.25
	受信データセットアップ時間 (クロック同期)		t_{RXS}	19.6				
受信データホールド時間 (クロック同期)		t_{RXH}	19.6					
A/D 変換器	トリガ入力セットアップ時間	t_{TRGS}	19.6			図 26.26		
WDT	RES0 出力遅延時間	t_{RES0}		50	t_{cyc}	図 26.27		
	RES0 出力パルス幅	t_{RES0W}	132					

【注】 * サブクロック動作時に使用可能な内蔵周辺モジュールのみ

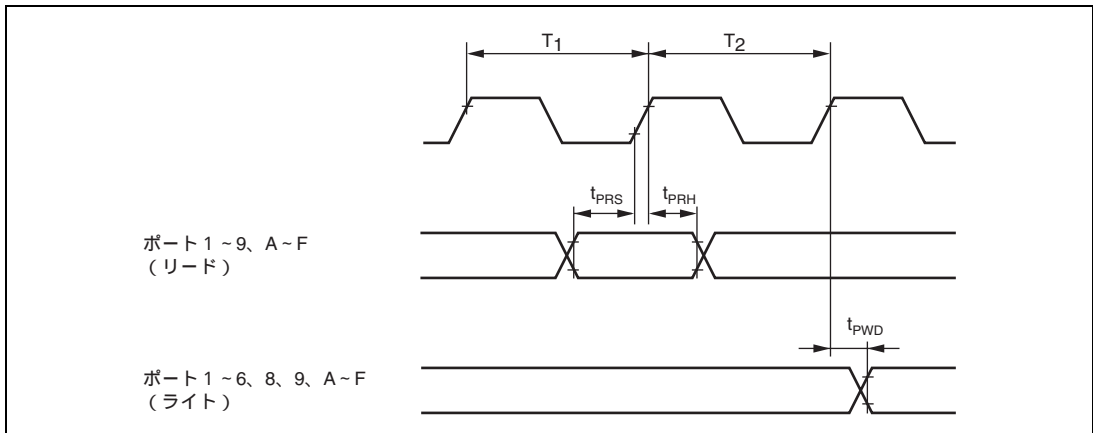


図 26.22 I/O ポート入出力タイミング

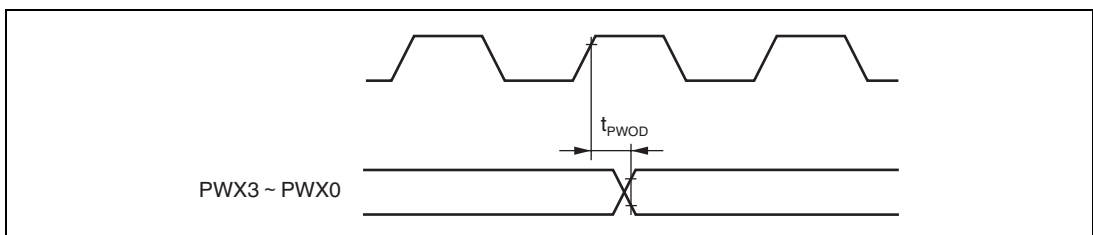


図 26.23 PWMX 出力タイミング

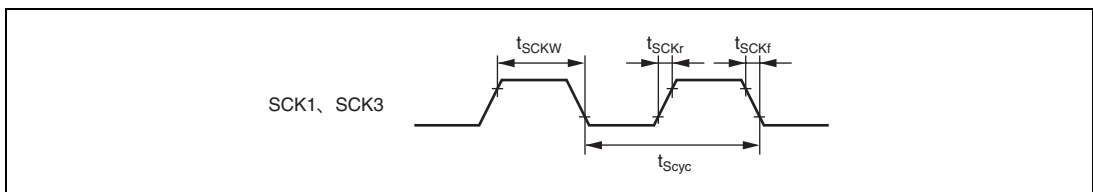


図 26.24 SCK クロック入力タイミング

26. 電気的特性

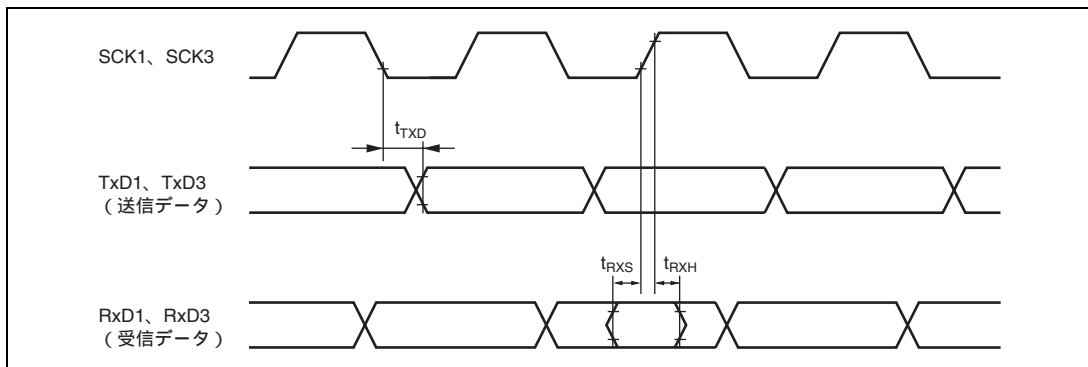


図 26.25 SCI 入出力タイミング/クロック同期式モード

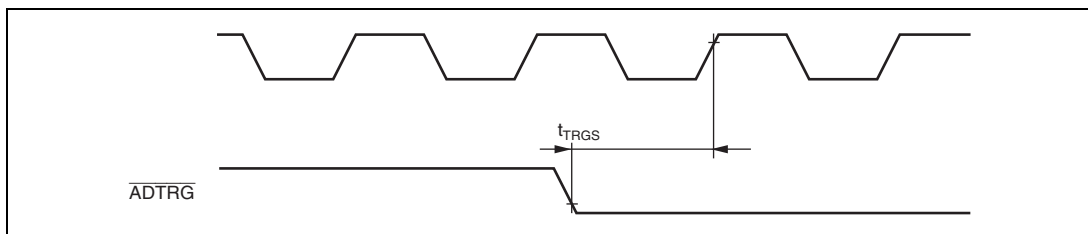


図 26.26 A/D 変換器外部トリガ入力タイミング

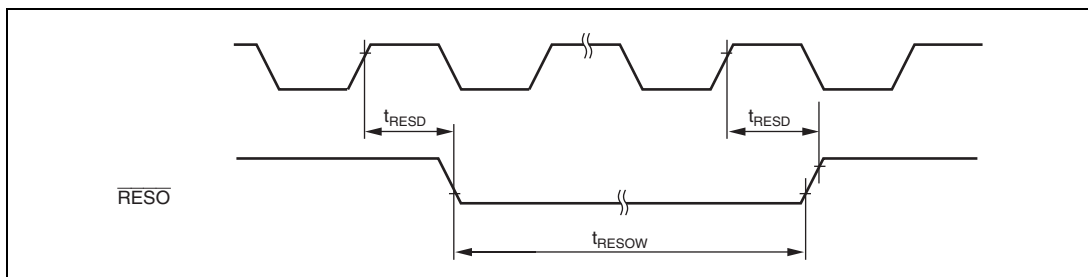
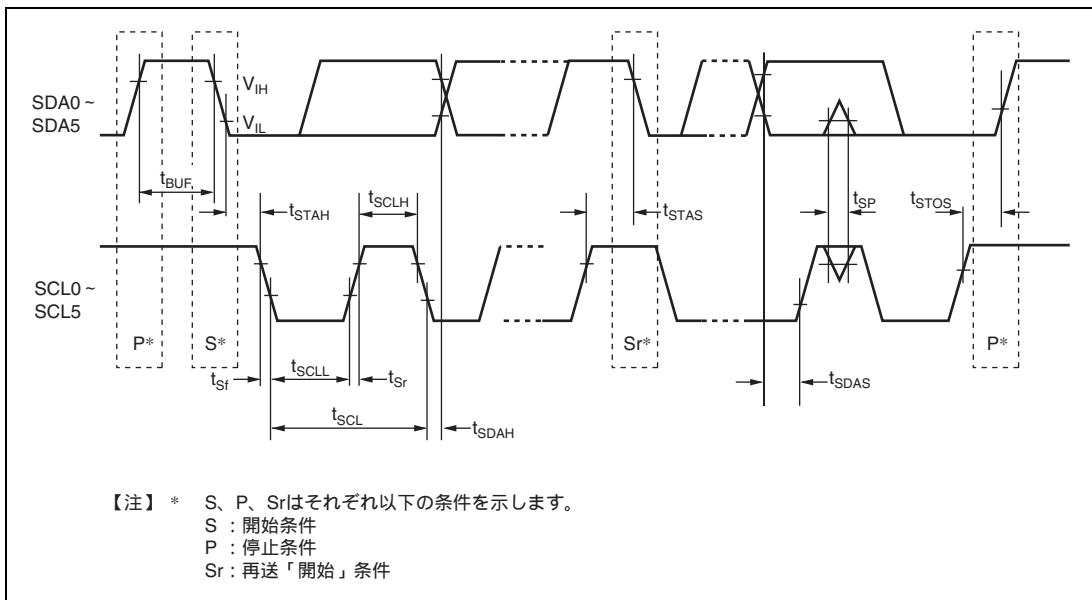


図 26.27 WDT 出力タイミング (RESO)

表 26.11 I²C バスタイミング

条件：VCC = 3.0V ~ 3.6V、VSS = 0V、f = 20MHz ~ 34MHz

項目	記号	min	typ	max	単位	測定条件
SCL 入力サイクル時間	t_{SCL}	12			t_{cyc}	図 26.28
SCL 入力 High パルス幅	t_{SCLH}	3				
SCL 入力 Low パルス幅	t_{SCLL}	5				
SCL、SDA 入力立ち上がり時間	t_{Sr}			7.5*	ns	
SCL、SDA 入力立ち下がり時間	t_{Sf}			300		
SCL、SDA 出力立ち下がり時間	t_{Of}	$20 + 0.1C_b$		250	t_{cyc}	
SCL、SDA 入カスパイクパルス除去時間	t_{SP}			1		
SDA 入力バスターン時間	t_{BUF}	5				
開始条件入力ホールド時間	t_{STAH}	3				
再送開始条件入力セットアップ時間	t_{STAS}	3				
停止条件入力セットアップ時間	t_{STOS}	3				
データ入力セットアップ時間	t_{SDAS}	0.5				
データ入力ホールド時間	t_{SDAH}	0				
SCL、SDA の容量性負荷	C_b			400		pF

【注】 * IIC モジュールで使用するクロックの選択により、 $17.5t_{cyc}$ または、 $37.5t_{cyc}$ とすることが可能です。図 26.28 I²C バスインタフェース入出力タイミング

26. 電気的特性

表 26.12 LPC タイミング

条件 : VCC = 3.0V ~ 3.6V、VSS = 0V、 = 20MHz ~ 34MHz

項目	記号	min	typ	max	単位	測定条件
入力クロックサイクル	t_{Lcyc}	30			ns	図 26.29
入力クロックパルス幅 (H)	t_{LCKH}	11				
入力クロックパルス幅 (L)	t_{LCKL}	11				
送信信号遅延時間	t_{TXD}	2		11		
送信信号フローティング遅延時間	t_{OFF}			28		
受信信号セットアップ時間	t_{RXS}	7				
受信信号ホールド時間	t_{RXH}	0				

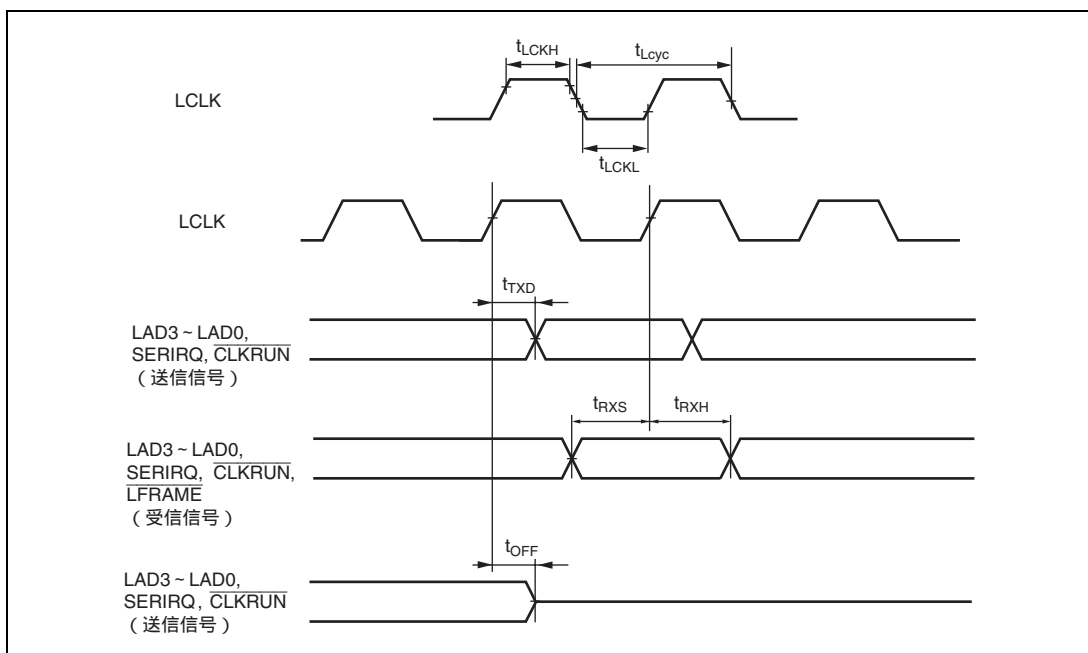


図 26.29 LPC インタフェース (LPC) タイミング

表 26.13 JTAG タイミング

条件 : VCC = 3.0V ~ 3.6V、VSS = 0V、 = 20MHz ~ 34MHz

項目	記号	min	max	単位	測定条件
ETCK クロックサイクル時間	t_{TCKcyc}	40*	50*	ns	図 26.30
ETCK クロック High レベルパルス幅	t_{TCKH}	15	—		
ETCK クロック Low レベルパルス幅	t_{TCKL}	15	—		
ETCK クロック立ち上がり時間	t_{TCKr}	—	5		
ETCK クロック立ち下がり時間	t_{TCKf}	—	5		
ETRST パルス幅	t_{TRSTW}	20	—	t_{cyc}	図 26.31
リセットホールド遷移パルス幅	t_{RSTHW}	3	—		
ETMS セットアップ時間	t_{TMSS}	20	—	ns	図 26.32
ETMS ホールド時間	t_{TMSH}	20	—		
ETDI セットアップ時間	t_{TDIS}	20	—		
ETDI ホールド時間	t_{TDIH}	20	—		
ETDO データ遅延時間	t_{TDOO}	—	20		

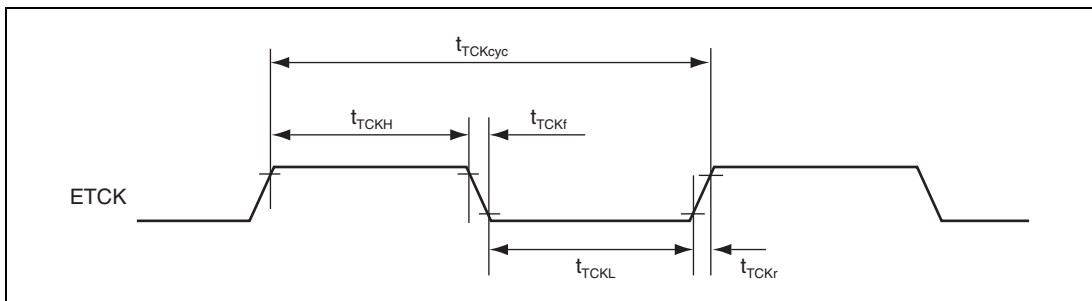
【注】 * ただし、 t_{cyc} t_{TCKcyc} 

図 26.30 JTAG ETCK タイミング

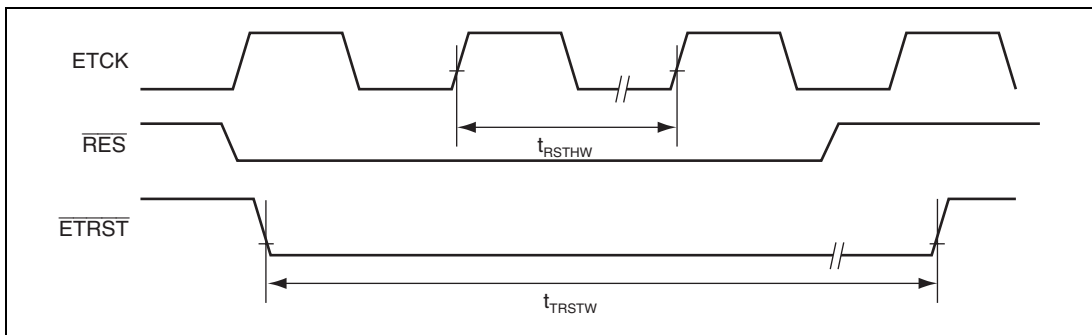


図 26.31 リセットホールドタイミング

26. 電氣的特性

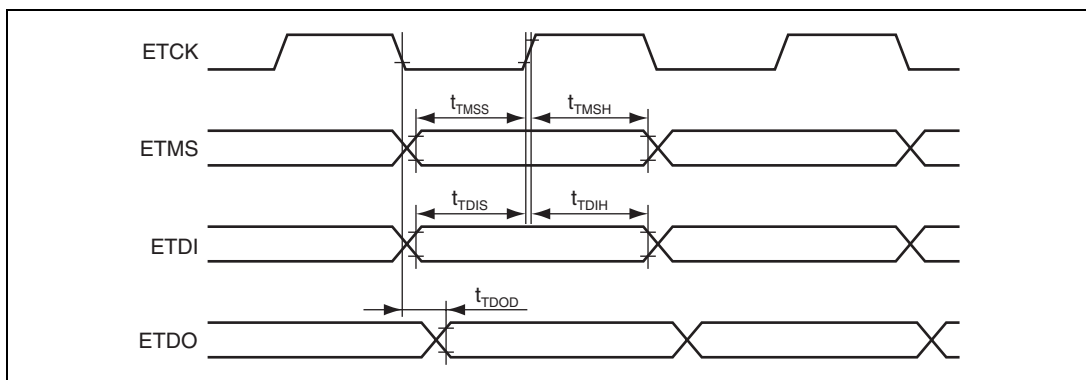


図 26.32 JTAG 入出力タイミング

26.4 A/D 変換特性

A/D 変換特性を表 26.14 に示します。

表 26.14 A/D 変換特性 (AN7 ~ AN0 入力 : 80 / 160 ステート変換)

条件 A : VCC = 3.0V ~ 3.6V、AVCC = 3.0V ~ 3.6V、AVref = 3.0V ~ AVCC、VSS = AVSS = 0V、 = 20MHz

条件 B : VCC = 3.0V ~ 3.6V、AVCC = 3.0V ~ 3.6V、AVref = 3.0V ~ AVCC、VSS = AVSS = 0V、 = 20MHz ~ 34MHz

項目	条件 A			条件 B			単位
	min	typ	max	min	typ	max	
分解能	10			10			ビット
変換時間			4.0 ^{*1}			4.7 ^{*2}	μs
アナログ入力容量			20			20	pF
許容信号源インピーダンス			5			5	k
非直線性誤差			± 7.0			± 7.0	LSB
オフセット誤差			± 7.5			± 7.5	
フルスケール誤差			± 7.5			± 7.5	
量子化誤差			± 0.5			± 0.5	
絶対精度			± 8.0			± 8.0	

【注】 *1 シングルモード、80 ステートで最大動作周波数のとき

*2 シングルモード、160 ステートで最大動作周波数のとき

26.5 フラッシュメモリ特性

表 26.15 にフラッシュメモリ特性を示します。

表 26.15 フラッシュメモリ特性

条件：VCC = 3.0V ~ 3.6V、AVCC = 3.0V ~ 3.6V、AVref = 3.0V ~ AVCC、VSS = AVSS = 0V

$T_{\text{a}} = 0 \sim +75$ （書き込み / 消去時の動作温度範囲：通常仕様品）

項目	記号	min	typ	max	単位	測定条件
書き込み時間 ^{*1*} ^{2*} ⁴	t_{P}	-	1	10	ms/128 バイト	
消去時間 ^{*1*} ^{2*} ⁴	t_{E}	-	40	130	ms/4k バイト	
		-	300	800	ms/32k バイト	
		-	600	1500	ms/64k バイト	
書き込み時間（総和） ^{*1*} ^{2*} ⁴	t_{P}	-	9.2	24	s/512k バイト	Ta = 25
消去時間（総和） ^{*1*} ^{2*} ⁴	t_{E}	-	9.2	24	-	-
書き込み、消去時間（総和） ^{*1*} ^{2*} ⁴	t_{PE}	-	18.4	48	-	-
書き換え回数 ^{*5}	N_{WEC}	100 ^{*3}	1000	-	回	
データ保持時間 ^{*4}	t_{DRP}	10	-	-	年	

【注】 *1 書き込み、消去時間はデータに依存します。

*2 書き込み、消去時間にはデータ転送時間は含みません。

*3 書き換え後のすべての特性を保証する min 回数です。（保証は 1 ~ min 値の範囲）

*4 書き換えが min 値を含む仕様範囲内で行われたときの特性です。

*5 書き換え回数は消去ブロックごとの消去回数です。

26.6 使用上の注意事項

VCC 端子と VSS 端子の間にはバイパスコンデンサ、VCL 端子と VSS 端子の間には内部降圧電源安定化用のコンデンサを接続する必要があります。図 26.33 に接続例を示します。

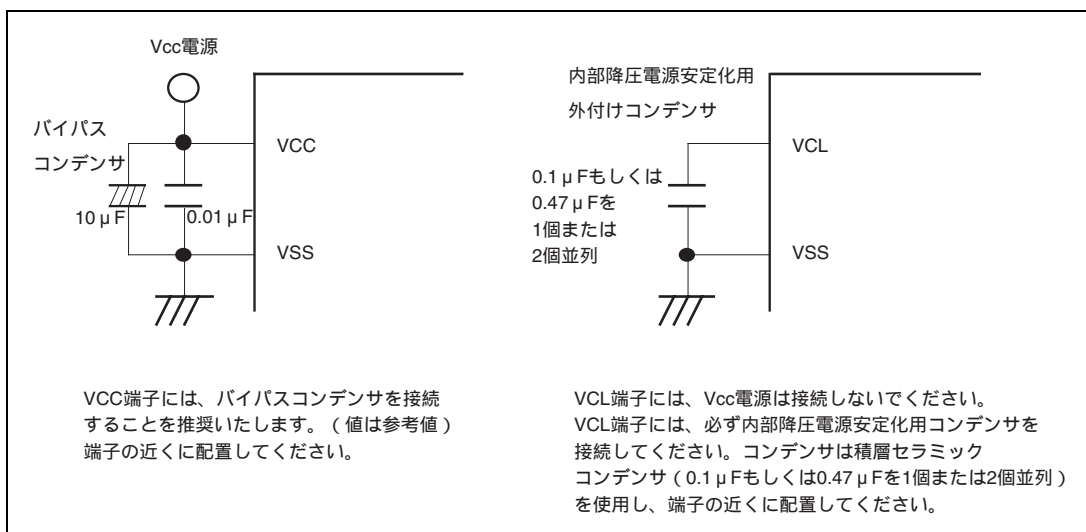


図 26.33 VCC 端子と VCL 端子のコンデンサ接続方法

付録

A. 各処理状態における I/O ポートの状態

表 A.1 各処理状態における I/O ポートの状態

ポート名 端子名	MCU 動作モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	スリープモード	プログラム 実行状態		
	EXPE							
ポート 1 A7 ~ A0	0 / 1 (DDR=0)	T	T	keep	keep	入出力ポート		
	1 (DDR=1)					keep*	keep*	アドレス出力
ポート 2 A15 ~ A8	0 / 1 (DDR=0)	T	T	keep	keep	入出力ポート		
	1 (DDR=1)					keep*	keep*	アドレス出力
ポート 3 D15 ~ D8	0	T	T	keep	keep	入出力ポート		
	1					T	T	D15 ~ D8
ポート 4	0	T	T	keep	keep	入出力ポート		
ポート 5	X	T	T	keep	keep	入出力ポート		
ポート 6 D7 ~ D0	0 / 1 (8 ビット)	T	T	keep	keep	入出力ポート		
	1 (16 ビット)					T	T	D3 ~ D0
ポート 7	X	T	T	T	T	入力ポート		
ポート 8	X	T	T	keep	keep	入出力ポート		
ポート 97 WAIT CS256	0	T	T	keep	keep	入出力ポート		
	1 (CS256E=0)					T	T	WAIT
	1 (CS256E=1)					H	H	CS256
ポート 96 EXCL、	0	T	T	T	T	入力ポート		
	1 (DDR=0)					H	出力	EXCL
	1 (DDR=1)							
ポート 95 AS、IOS	0	T	T	keep	keep	入出力ポート		
	1					H	H	AS/IOS
ポート 94 WR、HWR	0	T	T	keep	keep	入出力ポート		
	1					H	H	WR、HWR
ポート 93 RD	0	T	T	keep	keep	入出力ポート		
	1					H	H	RD
ポート 92 HBE	0	T	T	keep	keep	入出力ポート		
	1					H	H	HBE
ポート 91 AH	0 / 1 (ADMXE=0)	T	T	keep	keep	入出力ポート		
	1 (ADMXE=1)					H	H	AH

付録

ポート名 端子名	MCU 動作モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	スリープモード	プログラム 実行状態
	EXPE					
ポート 90 LWR、LBE	0 / 1 (8 ビット)	T	T	keep	keep	入出力ポート
	1 (16 ビット)					H
ポート A7 - A2 A23 - A18	0 / 1 (アドレス 18=1)	T	T	keep	keep	入出力ポート
	1 (アドレス 18=0)					keep*
ポート A1、A0 A17、A16	0 / 1 (アドレス 13=1)	T	T	keep	keep	入出力ポート
	1 (アドレス 13=0)					keep*
ポート B	X	T	T	keep	keep	入出力ポート
ポート C	X	T	T	keep	keep	入出力ポート
ポート D	X	T	T	keep	keep	入出力ポート
ポート E	X	T	T	keep	keep	入出力ポート
ポート F	X	T	T	keep	keep	入出力ポート

【記号説明】

H : High レベル

L : Low レベル

T : ハイインピーダンス

keep : 入力ポートはハイインピーダンス (DDR=0、PCR=1 の場合、入力プルアップ MOS は ON 状態を保持)
出力ポートは保持

なお、端子により内蔵周辺モジュールが初期化され、DDR、DR で決まる入出力ポートとなる場合があります。

DDR : データディレクションレジスタ

X : Don't care

【注】 * アドレス出力の場合、最後にアクセスしたアドレスを保持

B. 型名一覧

製品分類		製品型名	マーク型名	パッケージ(コード)
H8S/2164	F-ZTAT 版(通常仕様品)	R4F2164	F2164VTE34V	144ピン TFP (TFP-144)
H8S/2164	F-ZTAT 版(広温度範囲仕様品)	R4F2164	F2164VTE34DV	144ピン TFP (TFP-144)

C. 外形寸法図

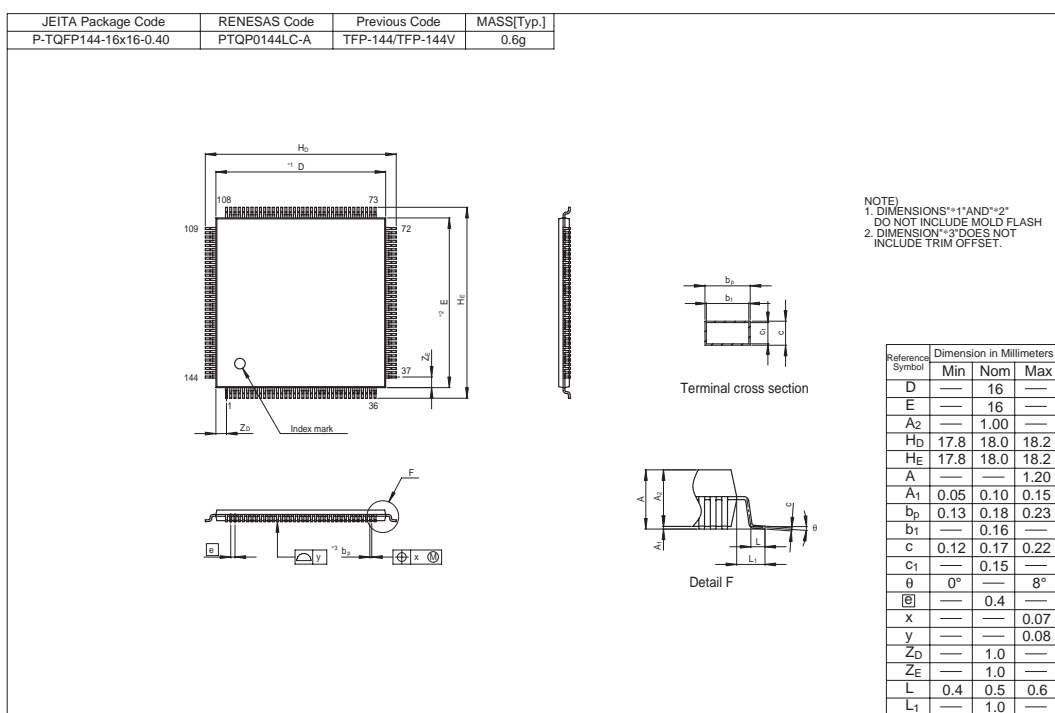



図 C.1 TQFP-144 外形寸法図

本版で改訂された箇所

修正項目	ページ	修正内容 (詳細はマニュアル参照)																											
3.1 動作モードの選択	3-1	<p>説明を修正</p> <p>本 LSI には、3 種類の動作モード (モード 2、4、6) があります。</p> <p>表を修正</p> <table border="1"> <thead> <tr> <th>MCU 動作モード</th> <th>MD2</th> <th>MD1</th> <th>MD0</th> <th>CPU 動作モード</th> <th>内 容</th> </tr> </thead> <tbody> <tr> <td>2</td> <td>1</td> <td>1</td> <td>0</td> <td>アドバンスト</td> <td>内蔵 ROM 有効拡張モード シングルチップモード</td> </tr> <tr> <td>4</td> <td>0</td> <td>0</td> <td>0</td> <td>-</td> <td>フラッシュ書き込み / 消去</td> </tr> <tr> <td>6</td> <td>0</td> <td>1</td> <td>0</td> <td>エミュレーション</td> <td>オンチップエミュレーションモード</td> </tr> </tbody> </table>	MCU 動作モード	MD2	MD1	MD0	CPU 動作モード	内 容	2	1	1	0	アドバンスト	内蔵 ROM 有効拡張モード シングルチップモード	4	0	0	0	-	フラッシュ書き込み / 消去	6	0	1	0	エミュレーション	オンチップエミュレーションモード			
MCU 動作モード	MD2	MD1	MD0	CPU 動作モード	内 容																								
2	1	1	0	アドバンスト	内蔵 ROM 有効拡張モード シングルチップモード																								
4	0	0	0	-	フラッシュ書き込み / 消去																								
6	0	1	0	エミュレーション	オンチップエミュレーションモード																								
表 3.1 MCU 動作モードの選択																													
3.3.1 モード 2 • マルチプレックス拡張時	3-5	<p>説明を修正</p> <p>8 ビットバス時には、ポート 2 はデータディレクションレジスタ (DDR) の設定にかかわらず、アドレス出力、データ入出力となります。ポート 1 は汎用ポートとして使用できます。</p>																											
5.5 割り込み例外処理ベクタテーブル 表 5.3 割り込み要因とベクタアドレスおよび割り込み優先順位一覧	5-11	<p>注を追加</p> <p>【注】 記載のないベクタ番号はシステム予約 (リザーブ) です。</p>																											
6.5.1 データサイズとデータアライメント (1) 8 ビットアクセス空間	6-18	<p>説明を修正</p> <p>アドレス / データマルチプレックス拡張時には、上位側の AD15 ~ AD8 を使用します。</p>																											
6.5.2 有効ストロープ 表 6.13 使用するデータバスと有効ストロープ	6-19	<p>表を修正</p> <table border="1"> <thead> <tr> <th>エリア</th> <th>アクセスサイズ</th> <th>リード / ライト</th> <th>アドレス</th> <th>有効なストロープ</th> <th>データバス上位 (D15 - D8 / AD15 - AD8)</th> <th>データバス下位 (D7 - D0 / AD7 - AD0)</th> </tr> </thead> <tbody> <tr> <td rowspan="2">8 ビットアクセス空間</td> <td rowspan="2">バイト</td> <td>リード</td> <td>-</td> <td>RD</td> <td rowspan="2">有効</td> <td rowspan="2">ポート他</td> </tr> <tr> <td>ライト</td> <td>-</td> <td>HWR</td> </tr> <tr> <td rowspan="2">8 ビットアクセス空間 (アドレス / データマルチプレックス拡張)</td> <td rowspan="2">バイト</td> <td>リード</td> <td>-</td> <td>RD</td> <td rowspan="2">有効</td> <td rowspan="2">ポート他</td> </tr> <tr> <td>ライト</td> <td>-</td> <td>HWR</td> </tr> </tbody> </table>	エリア	アクセスサイズ	リード / ライト	アドレス	有効なストロープ	データバス上位 (D15 - D8 / AD15 - AD8)	データバス下位 (D7 - D0 / AD7 - AD0)	8 ビットアクセス空間	バイト	リード	-	RD	有効	ポート他	ライト	-	HWR	8 ビットアクセス空間 (アドレス / データマルチプレックス拡張)	バイト	リード	-	RD	有効	ポート他	ライト	-	HWR
エリア	アクセスサイズ	リード / ライト	アドレス	有効なストロープ	データバス上位 (D15 - D8 / AD15 - AD8)	データバス下位 (D7 - D0 / AD7 - AD0)																							
8 ビットアクセス空間	バイト	リード	-	RD	有効	ポート他																							
		ライト	-	HWR																									
8 ビットアクセス空間 (アドレス / データマルチプレックス拡張)	バイト	リード	-	RD	有効	ポート他																							
		ライト	-	HWR																									
6.5.5 アドレス / データマルチプレックス拡張基本タイミング (1) 8 ビット・データ 2 ステートアクセス空間	6-32	<p>説明を修正</p> <p>8 ビットアクセス空間をアクセスするとき、データバスは上位側 (AD15 ~ AD8) を使用します。</p>																											
図 6.16 8 ビット・データ 2 ステートアクセス空間のバスタイミング		<p>図を修正</p>																											
図 6.17 8 ビット・データ 2 ステートアクセス空間のバスタイミング	6-33	<p>図を修正</p>																											

修正項目	ページ	修正内容（詳細はマニュアル参照）
6.5.5 アドレス/データマルチプレックス拡張基本タイミング (2) 8ビット・データ3ステートアクセス空間 ----- 図 6.18 8ビット・データ3ステートアクセス空間のバスタイミング	6-34	説明を修正 8ビットアクセス空間をアクセスするとき、データバスは上位側（AD15～AD8）を使用します。 図を修正 
7. データトランスファコントローラ (DTC)	7-1～7-22	説明を修正 ノーマルモード ノーマル転送モード リピートモード リピート転送モード
7.2.5 DTC 転送カウントレジスタ A (CRA)	7-4	説明を修正 1回のデータ転送を行うたびにデクリメント (-1) されます。カウンタ値が H'0000 になると転送を終了します。転送回数は、設定値が H'0001 のときは1回、H'FFFF のときは 65535 回で、H'0000 のときは 65536 回になります。 リピート転送モードでは、上位 8 ビットの CRAH と下位 8 ビットの CRAL に分割されます。CRAH は転送回数を保持し、CRAL は 8 ビットの転送カウンタ (1～256) として機能します。CRAL は 1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'00 になると CRAH の内容が転送されます。転送回数は、設定値が CRAH=CRAL=H'01 のときは 1 回、H'FF のときは 255 回で、H'00 のときは 256 回になります。 ブロック転送モードでは、上位 8 ビットの CRAH と下位 8 ビットの CRAL に分割されます。CRAH はブロックサイズを保持し、CRAL は 8 ビットのブロックサイズカウンタ (1～256) として機能します。CRAL は 1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'00 になると、CRAH の内容が転送されます。ブロックサイズは設定値が CRAH=CRAL=H'01 のときは 1 バイト (または 1 ワード)、H'FF のときは 255 バイト (または 255 ワード) で、H'00 のときは 256 バイト (または 256 ワード) になります。
7.5 レジスタ情報の配置と DTC ベクタテーブル 図 7.4 DTC ベクタアドレスとレジスタ情報との対応	7-11	新規追加
10.1 特長 • 自動加算機能による特殊動作	10-1	説明を削除
15.4.3 SCIF の初期化 (2) シリアルデータ送信 図 15.4 データ送信フローチャートの例	15-20	図を修正 [1] FLSRのTHREフラグが1であることを確認しFTHRに送信データをライトします。FIFOを使用する場合は1から16バイトの送信データをライトします。FMCRのOUT2ビットを1にセット、FIERのETBEIビットを1にセットするとFTHRエンプティ割り込みが発生します。データをFTHRに書き込むと自動でFTSRに転送され、スタートビット、送信データ、パリティビット、ストップビットの順でTxDF端子から送信されます。

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																											
15.4.3 SCIFの初期化 (3) シリアルデータ受信 図 15.5 データ受信フローチャートの例	15-21	<p>図を修正</p> <p>[1] FLSRのDRフラグが1にセットされ受信データがあることを確認します。FMCRのOUT2ビットを1にセット、FIERのERBFIビットを1にセットすると受信データレイディ割り込みが発生します。</p> <p>[2] FLSRのRXFIFOERR、BI、FE、PE、OEフラグをリードし、エラーがないことを確認します。エラーが発生した場合はエラー処理を行ってください。FMCRのOUT2ビットを1にセット、FIERのELSIビットを1にセットすると受信ラインステータス割り込みが発生します。</p> <p>[3] FRBRの受信データをリードします。</p> <p>[4] FLSRのDRフラグを確認します。DRフラグが0にクリアされ、全データのリードが終了するとデータ受信は完了です。</p> <p>(送信終了または送信待機)</p>																																																											
15.4.4 フロー制御を行った送受信 (5) 受信 図 15.10 受信フローチャートの例	15-25	<p>図を修正</p> <p>[1] データを受信すると受信データレイディ割り込みが発生します。この割り込みで受信フローに遷移します。</p> <p>[2] FLSRのBIフラグ、FEフラグ、PEフラグ、OEフラグが0にクリアされていることを確認します。いずれかのフラグが1にセットされている場合はエラー処理を行います。</p> <p>[3] 受信FIFOをリードします。</p> <p>[4] FLSRのDRフラグを確認します。DRフラグが0にクリアされ全データのリードが終了するとデータ受信は完了です。</p> <p>(送受信待機フロー)</p>																																																											
17.6 使用上の注意事項 表 17.13 I ² Cバスタイミング(t_{s}/t_{sr} 影響最大の場合)	17-55	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="3">項目</th> <th rowspan="3">tcyc表示</th> <th colspan="5">時間表示 (最大転送レート時) [ns]</th> </tr> <tr> <th rowspan="2"></th> <th>t_{s}/t_{sr}</th> <th rowspan="2">I²Cバス 仕様 (min.)</th> <th colspan="3">(MHz)</th> </tr> <tr> <th>影響 (max.)</th> <th>20</th> <th>25</th> <th>34</th> </tr> </thead> <tbody> <tr> <td rowspan="2">t_{SCLLO}</td> <td rowspan="2">$0.5t_{SCLLO}$ (-1t_{sr})</td> <td>標準モード</td> <td>-250</td> <td>4700</td> <td>4750</td> <td>4230</td> <td>4456</td> </tr> <tr> <td>高速モード</td> <td>-250</td> <td>1300</td> <td>950^{+H}</td> <td>870^{+H}</td> <td>926^{+H}</td> </tr> <tr> <td rowspan="2">t_{BUFO}</td> <td rowspan="2">$0.5t_{SCLLO} + 1t_{cyc}$ (-1t_{sr})</td> <td>標準モード</td> <td>-1000</td> <td>4700</td> <td>3950^{+H}</td> <td>3440^{+H}</td> <td>3676^{+H}</td> </tr> <tr> <td>高速モード</td> <td>-300</td> <td>1300</td> <td>850^{+H}</td> <td>780^{+H}</td> <td>847^{+H}</td> </tr> <tr> <td rowspan="2">t_{SDASO}</td> <td rowspan="2">$1t_{SCLLO} + 12t_{cyc}$ (-1t_{sr})</td> <td>標準モード</td> <td>-1000</td> <td>250</td> <td>3100</td> <td>3220</td> <td>3347</td> </tr> <tr> <td>高速モード</td> <td>-300</td> <td>100</td> <td>400</td> <td>520</td> <td>64</td> </tr> </tbody> </table>	項目	tcyc表示	時間表示 (最大転送レート時) [ns]						t_{s}/t_{sr}	I ² Cバス 仕様 (min.)	(MHz)			影響 (max.)	20	25	34	t_{SCLLO}	$0.5t_{SCLLO}$ (-1 t_{sr})	標準モード	-250	4700	4750	4230	4456	高速モード	-250	1300	950 ^{+H}	870 ^{+H}	926 ^{+H}	t_{BUFO}	$0.5t_{SCLLO} + 1t_{cyc}$ (-1 t_{sr})	標準モード	-1000	4700	3950 ^{+H}	3440 ^{+H}	3676 ^{+H}	高速モード	-300	1300	850 ^{+H}	780 ^{+H}	847 ^{+H}	t_{SDASO}	$1t_{SCLLO} + 12t_{cyc}$ (-1 t_{sr})	標準モード	-1000	250	3100	3220	3347	高速モード	-300	100	400	520	64
項目	tcyc表示	時間表示 (最大転送レート時) [ns]																																																											
					t_{s}/t_{sr}	I ² Cバス 仕様 (min.)	(MHz)																																																						
			影響 (max.)	20	25		34																																																						
t_{SCLLO}	$0.5t_{SCLLO}$ (-1 t_{sr})	標準モード	-250	4700	4750	4230	4456																																																						
		高速モード	-250	1300	950 ^{+H}	870 ^{+H}	926 ^{+H}																																																						
t_{BUFO}	$0.5t_{SCLLO} + 1t_{cyc}$ (-1 t_{sr})	標準モード	-1000	4700	3950 ^{+H}	3440 ^{+H}	3676 ^{+H}																																																						
		高速モード	-300	1300	850 ^{+H}	780 ^{+H}	847 ^{+H}																																																						
t_{SDASO}	$1t_{SCLLO} + 12t_{cyc}$ (-1 t_{sr})	標準モード	-1000	250	3100	3220	3347																																																						
		高速モード	-300	100	400	520	64																																																						

修正項目	ページ	修正内容 (詳細はマニュアル参照)																																																								
18.3.2 ホストインタフェースコントロールレジスタ 2、3 (HICR2、HICR3) • HICR3	18-14	表を修正 <table border="1"> <thead> <tr> <th rowspan="2">ビット</th> <th rowspan="2">ビット名</th> <th rowspan="2">初期値</th> <th colspan="2">R/W</th> <th rowspan="2">説明</th> </tr> <tr> <th>スレーブ</th> <th>ホスト</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>LFRAME</td> <td>不定</td> <td>R</td> <td>-</td> <td>0: LFRAME 端子状態はローレベル 1: LFRAME 端子状態はハイレベル</td> </tr> <tr> <td>6</td> <td>CLKRUN</td> <td>不定</td> <td>R</td> <td>-</td> <td>0: CLKRUN 端子状態はローレベル 1: CLKRUN 端子状態はハイレベル</td> </tr> <tr> <td>5</td> <td>SERIRQ</td> <td>不定</td> <td>R</td> <td>-</td> <td>0: SERIRQ 端子状態はローレベル 1: SERIRQ 端子状態はハイレベル</td> </tr> <tr> <td>4</td> <td>LRESET</td> <td>不定</td> <td>R</td> <td>-</td> <td>0: LRESET 端子状態はローレベル 1: LRESET 端子状態はハイレベル</td> </tr> <tr> <td>3</td> <td>LPCPD</td> <td>不定</td> <td>R</td> <td>-</td> <td>0: LPCPD 端子状態はローレベル 1: LPCPD 端子状態はハイレベル</td> </tr> <tr> <td>2</td> <td>PME</td> <td>不定</td> <td>R</td> <td>-</td> <td>0: PME 端子状態はローレベル 1: PME 端子状態はハイレベル</td> </tr> <tr> <td>1</td> <td>LSMI</td> <td>不定</td> <td>R</td> <td>-</td> <td>0: LSMI 端子状態はローレベル 1: LSMI 端子状態はハイレベル</td> </tr> <tr> <td>0</td> <td>LSCI</td> <td>不定</td> <td>R</td> <td>-</td> <td>0: LSCI 端子状態はローレベル 1: LSCI 端子状態はハイレベル</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W		説明	スレーブ	ホスト	7	LFRAME	不定	R	-	0: LFRAME 端子状態はローレベル 1: LFRAME 端子状態はハイレベル	6	CLKRUN	不定	R	-	0: CLKRUN 端子状態はローレベル 1: CLKRUN 端子状態はハイレベル	5	SERIRQ	不定	R	-	0: SERIRQ 端子状態はローレベル 1: SERIRQ 端子状態はハイレベル	4	LRESET	不定	R	-	0: LRESET 端子状態はローレベル 1: LRESET 端子状態はハイレベル	3	LPCPD	不定	R	-	0: LPCPD 端子状態はローレベル 1: LPCPD 端子状態はハイレベル	2	PME	不定	R	-	0: PME 端子状態はローレベル 1: PME 端子状態はハイレベル	1	LSMI	不定	R	-	0: LSMI 端子状態はローレベル 1: LSMI 端子状態はハイレベル	0	LSCI	不定	R	-	0: LSCI 端子状態はローレベル 1: LSCI 端子状態はハイレベル
ビット	ビット名	初期値				R/W			説明																																																	
			スレーブ	ホスト																																																						
7	LFRAME	不定	R	-	0: LFRAME 端子状態はローレベル 1: LFRAME 端子状態はハイレベル																																																					
6	CLKRUN	不定	R	-	0: CLKRUN 端子状態はローレベル 1: CLKRUN 端子状態はハイレベル																																																					
5	SERIRQ	不定	R	-	0: SERIRQ 端子状態はローレベル 1: SERIRQ 端子状態はハイレベル																																																					
4	LRESET	不定	R	-	0: LRESET 端子状態はローレベル 1: LRESET 端子状態はハイレベル																																																					
3	LPCPD	不定	R	-	0: LPCPD 端子状態はローレベル 1: LPCPD 端子状態はハイレベル																																																					
2	PME	不定	R	-	0: PME 端子状態はローレベル 1: PME 端子状態はハイレベル																																																					
1	LSMI	不定	R	-	0: LSMI 端子状態はローレベル 1: LSMI 端子状態はハイレベル																																																					
0	LSCI	不定	R	-	0: LSCI 端子状態はローレベル 1: LSCI 端子状態はハイレベル																																																					
25.2 レジスタビット一覧	25-13	表を修正 <table border="1"> <thead> <tr> <th>レジスタ名称</th> <th>ビット7</th> <th>ビット6</th> <th>ビット5</th> <th>ビット4</th> <th>ビット3</th> <th>ビット2</th> <th>ビット1</th> <th>ビット0</th> <th>モジュール</th> </tr> </thead> <tbody> <tr> <td>SUBMSTPBH</td> <td>SMSTPB15</td> <td>SMSTPB14</td> <td>SMSTPB13</td> <td>SMSTPB12</td> <td>SMSTPB11</td> <td>SMSTPB10</td> <td>SMSTPB9</td> <td>SMSTPB8</td> <td>SYSTEM</td> </tr> <tr> <td>SUBMSTPBL</td> <td>SMSTPB7</td> <td>SMSTPB6</td> <td>SMSTPB5</td> <td>SMSTPB4</td> <td>SMSTPB3</td> <td>SMSTPB2</td> <td>SMSTPB1</td> <td>SMSTPB0</td> <td></td> </tr> </tbody> </table>	レジスタ名称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール	SUBMSTPBH	SMSTPB15	SMSTPB14	SMSTPB13	SMSTPB12	SMSTPB11	SMSTPB10	SMSTPB9	SMSTPB8	SYSTEM	SUBMSTPBL	SMSTPB7	SMSTPB6	SMSTPB5	SMSTPB4	SMSTPB3	SMSTPB2	SMSTPB1	SMSTPB0																											
レジスタ名称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール																																																	
SUBMSTPBH	SMSTPB15	SMSTPB14	SMSTPB13	SMSTPB12	SMSTPB11	SMSTPB10	SMSTPB9	SMSTPB8	SYSTEM																																																	
SUBMSTPBL	SMSTPB7	SMSTPB6	SMSTPB5	SMSTPB4	SMSTPB3	SMSTPB2	SMSTPB1	SMSTPB0																																																		
26.2 DC 特性 表 26.2 DC 特性 (1)	26-2	表を修正 <table border="1"> <thead> <tr> <th colspan="2">項目</th> </tr> </thead> <tbody> <tr> <td>入力 High レベル電圧</td> <td>RES、STBY、NMI、FWE、MD2、MD1、MD0</td> </tr> <tr> <td></td> <td>EXTAL</td> </tr> <tr> <td></td> <td>ポート 7</td> </tr> <tr> <td></td> <td>SCL5 - SCL0、SDA5 - SDA0、</td> </tr> <tr> <td></td> <td>ポート 80 - 83、C0 - C5、</td> </tr> <tr> <td></td> <td>DB、D7</td> </tr> </tbody> </table>	項目		入力 High レベル電圧	RES、STBY、NMI、FWE、MD2、MD1、MD0		EXTAL		ポート 7		SCL5 - SCL0、SDA5 - SDA0、		ポート 80 - 83、C0 - C5、		DB、D7																																										
項目																																																										
入力 High レベル電圧	RES、STBY、NMI、FWE、MD2、MD1、MD0																																																									
	EXTAL																																																									
	ポート 7																																																									
	SCL5 - SCL0、SDA5 - SDA0、																																																									
	ポート 80 - 83、C0 - C5、																																																									
	DB、D7																																																									
B. 型名一覧	付録-3	表を修正 <table border="1"> <thead> <tr> <th>製品分類</th> <th></th> <th>製品型名</th> <th>マーク型名</th> <th>パッケージ (コード)</th> </tr> </thead> <tbody> <tr> <td>H8S/2164</td> <td>F-ZTAT 版 (通常仕様品)</td> <td>R4F2164</td> <td>F2164VTE34V</td> <td>144 ピン TFP (TFP-144)</td> </tr> <tr> <td>H8S/2164</td> <td>F-ZTAT 版 (広温度範囲仕様品)</td> <td>R4F2164</td> <td>F2164VTE34DV</td> <td>144 ピン TFP (TFP-144)</td> </tr> </tbody> </table>	製品分類		製品型名	マーク型名	パッケージ (コード)	H8S/2164	F-ZTAT 版 (通常仕様品)	R4F2164	F2164VTE34V	144 ピン TFP (TFP-144)	H8S/2164	F-ZTAT 版 (広温度範囲仕様品)	R4F2164	F2164VTE34DV	144 ピン TFP (TFP-144)																																									
製品分類		製品型名	マーク型名	パッケージ (コード)																																																						
H8S/2164	F-ZTAT 版 (通常仕様品)	R4F2164	F2164VTE34V	144 ピン TFP (TFP-144)																																																						
H8S/2164	F-ZTAT 版 (広温度範囲仕様品)	R4F2164	F2164VTE34DV	144 ピン TFP (TFP-144)																																																						

索引

【数字 / 記号】

14 ビット PWM タイマ (PWMX)	9-1
16 ビット 2 ステートアクセス空間	6-23
16 ビット 3 ステートアクセス空間	6-26
16 ビットカウントモード	11-13
16 ビットフリーランニングタイマ (FRT)	10-1
256kB 拡張エリア	6-14
8 ビット 2 ステートアクセス空間	6-21
8 ビット 3 ステートアクセス空間	6-22
8 ビットタイマ (TMR)	11-1

【A ~ Z】

A/D 変換器	19-1
A/D 変換精度	19-11
Bcc	2-24
CMIA	11-14
CMIA0	11-14
CMIA1	11-14
CMIAx	11-14
CMIAy	11-14
CMIB	11-14
CMIB0	11-14
CMIB1	11-14
CMIBx	11-14
CMIBy	11-14
EA 拡張部	2-27
ERI1	13-52
ERI2	13-52
FIFO 内蔵シリアルコミュニケーション	
インタフェース (SCIF)	15-1
I/O セレクト信号	6-17
I/O ポート	8-1
I ² C バスインタフェース (IIC)	17-1
I ² C バスフォーマット	17-23
IRQ15 ~ IRQ0 割り込み	5-8
LPC インタフェース (LPC)	18-1
LPC インタフェースのクロック起動要求	18-72
MCU 動作モード	3-1
NMI 割り込み	5-8
OVI	11-14

OVI0	11-14
OVI1	11-14
OVIx	11-14
OVIy	11-14
RAM	20-1
RXI1	13-52
RXI2	13-52
TAP コントローラ	22-14
TEI1	13-52
TEI2	13-52
TRAPA 命令	4-5
TXI1	13-52
TXI2	13-52
WOVI	12-9

【あ】

アウトプットコンペア	10-7
アクリッジ	17-24
アドバンスモード	6-17
アドレスマップ	3-6
アドレス空間	2-8
アドレス範囲と外部アドレス空間	6-12
アドレッシングモード	2-28
イミディエイト	2-30
インターバルタイマモード	12-8
インタフェース	13-1
ウェイト制御	6-49
ウォッチドッグタイマ (WDT)	12-1
ウォッチドッグタイマモード	12-7
エクステンドレジスタ	2-11
エラープロテクト	21-45
オーバフロー	12-7
オーバランエラー	13-24
オフセット誤差	19-11
オペレーションフィールド	2-27
オンボードプログラミング	21-22
オンボードプログラミングモード	21-1

【か】

開始条件	17-24
外部クロック	23-3

書き込み / 消去インタフェースパラメータ	21-15
書き込み / 消去インタフェースレジスタ	21-10
各動作モードでの LSI の内部状態	24-8
カスケード接続	11-13
基本拡張エリア	6-13
基本周期	9-9
基本動作タイミング	6-48
基本バスインタフェースのバス仕様	6-13
クロック同期式モード	13-32
クロック発振器	23-1
コンディションコードレジスタ	2-11
コンディションフィールド	2-27
コンペアマッチカウントモード	11-13

【さ】

算術演算命令	2-19
サンプル & ホールド回路	19-9
システム制御命令	2-25
実効アドレス	2-28, 2-32
シフト命令	2-21
シリアルコミュニケーション	
インタフェース (SCI)	13-1
シリアルデータ受信	13-24
シリアルデータ送信	13-22
シリアルフォーマット	17-23
シングルモード	19-7
水晶発振子	23-2
スキャンモード	19-8
スタックの状態	4-5
スタックポインタ	2-10
スマートカード	13-1
スマートカードインタフェース	13-40
スリープモード	24-10
スレーブアドレス	17-24
スレーブ受信動作	17-37
スレーブ送信動作	17-44
絶対アドレス	2-29
絶対精度	19-11
ソフトウェアスタンバイモード	24-10
ソフトウェアプロテクト	21-44

【た】

ダウンロードバス・フェイルリザルトパラメータ	21-16
端子機能	1-10
中速モード	24-9
調歩同期式モード	13-17
通信プロトコル	21-49

停止条件	17-24
低消費電力状態	24-1
ディスプレイメント付きレジスタ間接	2-28
データ転送命令	2-18
手順プログラム	21-39
トラップ命令例外処理	4-5
トレースビット	2-11

【な】

内部ブロック図	1-3
---------	-----

【は】

バースト ROM インタフェース	6-48
ハードウェアスタンバイモード	24-12
ハードウェアプロテクト	21-44
バウンダリスキャン	22-15
バスアドレスエリアパラメータ	21-18
パリティエラー	13-24
汎用レジスタ	2-10
非直線性誤差	19-11
ビットレート	13-14
ビット操作命令	2-22, 2-35
標準シリアル通信インタフェース仕様	21-47
ブートモード	21-22
フラッシュイレースブロックセレクトパラメータ	21-20
フラッシュバス / フェイルパラメータ	21-21
フラッシュプログラム / イレース周波数パラメータ	21-17
フラッシュマット構成	21-5
フラッシュマルチパースデータ	
デスティネーションパラメータ	21-18
フラッシュメモリ	21-1
プリデクリメントレジスタ間接	2-29
フルスケール誤差	19-11
フレーミングエラー	13-24
プログラムカウンタ	2-11
プログラムカウンタ相対	2-30
ブロック転送命令	2-26
プロテクト	21-44
分解能	9-9, 19-11
分岐命令	2-24
変換周期	9-9
ポストインクリメントレジスタ間接	2-29

【ま】

マスタ受信動作	17-30
マスタ送信動作	17-26

マルチプロセッサ通信機能	13-27
命令セット	2-16
メモリ間接	2-30
モード比較	21-4
モジュールストップモード	24-13

【や】

ユーザブートマット	21-46
ユーザブートモード	21-36
ユーザプログラムモード	21-26
ユーザマット	21-46

【ら】

ライタモード	21-47
リセット	4-3
リセット例外処理	4-3
量子化誤差	19-11
例外処理	4-1
例外処理ベクタテーブル	4-1
レジスタ	
ABRKCR	5-4
ADCR	19-6
ADCSR	19-5
ADDR	19-4
BARA	5-4
BARB	5-4
BARC	5-4
BRR	13-14
BTCR	18-52
BTCSR	18-50
BTDTR	18-55
BTFVSR	18-57
BTIMSR	18-55
BTSR	18-46
CRCCR	14-2
CRCDIR	14-2
CRCDOR	14-2
DACR	9-6
DADRA	9-4
DADRB	9-5
FCCS	21-10
FDLH	15-5
FDLL	15-5
FECS	21-13
FFCR	15-9
FIER	15-6
FIIR	15-7

FKEY	21-13
FLCR	15-10
FLSR	15-12
FMATS	21-14
FMCR	15-11
FMSR	15-15
FOVI	10-10
FPCS	21-12
FRBR	15-4
FRC	10-3
FRSR	15-4
FSCR	15-15
FTDAR	21-14
FTHR	15-5
FTSR	15-5
HICR	18-7
HISEL	18-39
ICCR	17-10
ICDR	17-4
ICMR	17-7
ICRA	5-3
ICRB	5-3
ICRC	5-3
ICRD	5-3
ICSMBCR	17-21
ICSR	17-16
ICXR	17-19
IDR	18-21
IER	5-6
IER16	5-6
IICX3	17-8
ISCR16H	5-5
ISCR16L	5-5
ISCRH	5-5
ISCR	5-6
ISR	5-7
ISR16	5-7
ISSR	8-52
ISSR16	8-52
LADR12	18-17
LADR3	18-18
LPWRCR	24-4
MDCR	3-2
MSTPCRA	24-5
MSTPCR	24-5
MSTPCRL	24-5
NCCS	8-18, 8-20

OCIA.....	10-10	PFODR.....	8-50
OCIB.....	10-10	PFPIN.....	8-51
OCRA.....	10-3	PINFNCR.....	18-16
OCRAF.....	10-4	PTCNT0.....	8-54
OCRAR.....	10-4	RDR.....	13-4
OCRB.....	10-3	RSR.....	13-4
ODR.....	18-21	SAR.....	17-5
P1DDR.....	8-5	SARX.....	17-6
P1DR.....	8-5	SBYCR.....	24-2
P1PCR.....	8-6	SCIFADR.....	18-40
P2DDR.....	8-7	SCIFCR.....	15-16
P2DR.....	8-8	SCMR.....	13-13
P2PCR.....	8-8	SCR.....	13-7
P3DDR.....	8-10	SDBPR.....	22-5
P3DR.....	8-10	SDBSR.....	22-6
P3NCE.....	8-18, 8-19	SDIDR.....	22-13
P3NCMC.....	8-18, 8-20	SDIR.....	22-5
P3PCR.....	8-11	SIRQCR.....	18-28
P4DDR.....	8-12	SMICCSR.....	18-42
P4DR.....	8-12	SMICDTR.....	18-42
P5DDR.....	8-14	SMICFLG.....	18-41
P5DR.....	8-14	SMICIR.....	18-43
P6DDR.....	8-18	SMR.....	13-5
P6DR.....	8-19	SMR0.....	16-2
P6PCR.....	8-19	SMR1.....	16-3
P7PIN.....	8-24	SSR.....	13-9
P8DDR.....	8-27	STCR.....	3-4
P8DR.....	8-27	STR.....	18-22
P9DDR.....	8-31	SUBMSTPBH.....	24-6
P9DR.....	8-31	SUBMSTPBL.....	24-6
PADDR.....	8-34	SYSCR.....	3-2
PAODR.....	8-34	SYSCR2.....	6-10
PAPIN.....	8-35	TCNT.....	12-3
PBDDR.....	8-38	TCONRS.....	11-10
PBODR.....	8-38	TCORA.....	11-4
PBPIN.....	8-39	TCORB.....	11-5
PCDDR.....	8-40	TCR.....	10-6, 11-5
PCODR.....	8-40	TCSR.....	10-5, 11-8, 12-4
PCPIN.....	8-41	TDR.....	13-4
PCSR.....	9-7	TIER.....	10-4
PDDDR.....	8-43	TOCR.....	10-6
PDODR.....	8-43	TSR.....	13-4
PDPIN.....	8-44	TWR.....	18-21
PEDDR.....	8-47	レジスタフィールド.....	2-27
PEODR.....	8-47	レジスタ間接.....	2-28
PEPIN.....	8-47	レジスタ直接.....	2-28
PFDDR.....	8-50	論理演算命令.....	2-21

【わ】

割り込みコントローラ..... 5-1
割り込み制御モード..... 5-12
割り込みマスクビット..... 2-11

割り込み要求マスクレベル..... 2-11
割り込み例外処理..... 4-4
割り込み例外処理シーケンス 5-18
割り込み例外処理ベクタテーブル..... 5-10

ルネサス16ビットシングルチップマイクロコンピュータ
ハードウェアマニュアル
H8S/2164グループ

発行年月日 2008年3月7日 Rev.1.00
2009年9月15日 Rev.2.00
発行 株式会社ルネサス テクノロジ 営業統括部
〒100-0004 東京都千代田区大手町 2-6-2
編集 株式会社ルネサスソリューションズ
グローバルストラテジックコミュニケーション本部
カスタマサポート部

株式会社ルネサステクノロジー 営業統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

営業お問合せ窓口
株式会社ルネサス販売

RENESAS

<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
西	東	京	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア)	(022) 221-1351
い	わ	き	支	〒970-8026	いわき市平字田町120 (ラトフ)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市中央区東大通1-4-2 (新潟三井物産ビル)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング)	(082) 244-2570
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ)	(092) 481-7695

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：コンタクトセンタ E-Mail: csc@renesas.com

H8S/2164 グループ ハードウェアマニュアル



ルネサス エレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0447-0200