

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。
改訂一覧は改訂箇所をまとめたものであり、詳細については、
必ず本文の内容をご確認ください。

H8S/2355グループ

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ

H8Sファミリ／H8S/2300シリーズ

H8S/2355	HD6432355
	HD6472355
H8S/2353	HD6432353
H8S/2393	HD6432393

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意下さい。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行なうもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
13. 本資料に関する詳細についてのお問い合わせ、その他お気づきの点等がございましたら弊社営業窓口までご照会下さい。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認ください。

同じグループのマイコンでも型名が違えば、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

はじめに

H8S/2355 グループは、内部 32 ビット構成の H8S/2000 CPU を核にして、システム構成に必要な周辺機能を集積した高性能マイクロコンピュータです。

H8S/2000 CPU は、基本命令を 1 ステートで実行でき、内部 32 ビット構成の 16 ビット×16 本の汎用レジスタと簡潔で最適化された命令セットを備えています。また、16M バイトのリニアなアドレス空間を扱うことができます（アーキテクチャとしては 4G バイト）。高級言語 C をベースとしたプログラムも効率的に実行できます。

アドレス空間は 8 つのエリアに分割されており、エリアごとにデータバス幅・アクセスステートを選択でき、各種のメモリを高速かつ容易に接続できます。

内蔵メモリとしては、大容量 ROM、RAM を内蔵しています。内蔵 ROM は、PROM 版(ZTAT[®]*1)、マスク ROM 版があり、仕様流動性の高い応用機器、量産初期から本格的量産の各状況に応じた、迅速かつ柔軟な対応が可能です。

周辺機能として、16 ビットタイマパルスユニット (TPU)、8 ビットタイマ、ウォッチドッグタイマ (WDT)、シリアルコミュニケーションインタフェース (SCI)、A/D 変換器、D/A 変換器*2、I/O ポートなどを内蔵しています。

また、データトランスファコントローラ (DTC) を内蔵し、CPU に代わって高速のデータ転送を行うことができます。

H8S/2355 グループを用いることにより、高性能かつ小型のシステムを容易に実現することができます。

本マニュアルは、H8S/2355 グループのハードウェアについて説明しています。命令の詳細については、「H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル」をあわせてご覧ください。

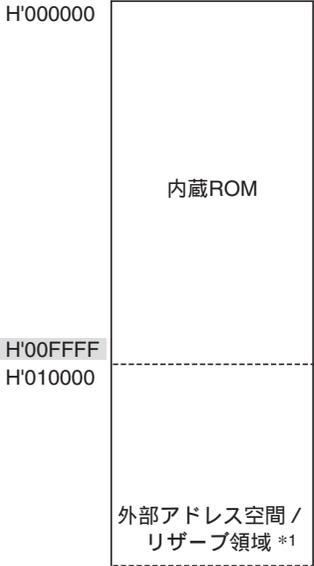
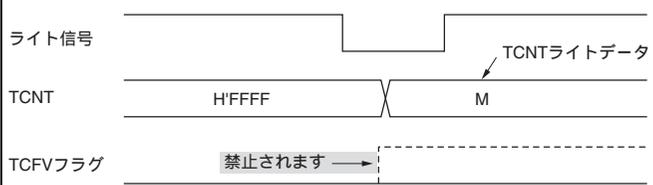
【注】*1 ZTAT は (株)ルネサス テクノロジーの登録商標です。H8S/2393 では PROM 版はありません。

*2 H8S/2393 では D/A 変換器を内蔵していません。

本版で改訂された箇所

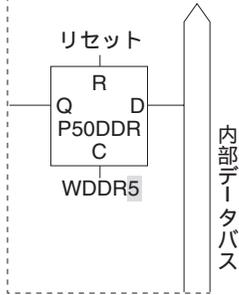
修正項目	ページ	修正内容（詳細はマニュアル参照）
全体	-	社名変更による修正 （修正前）日立製作所 → （修正後）ルネサス テクノロジ 呼称変更による修正 （修正前）H8S/2355 シリーズ → （修正後）H8S/2355 グループ パッケージコードを修正 （修正前）FP-128 → （修正後）FP-128B
1.1 概要	1-1	注*2 を修正 【注】*2 ZTAT は（株）ルネサス テクノロジの登録商標です。 H8S/2393 では PROM 版はありません。
表 1.1 概要	1-4	表 1.1 を修正 3.3V 動作電源電圧（修正前）3.3V ~ 5.5V （修正後）3.0V ~ 5.5V
2.4.3 コントロールレジスタ	2-12	（2）エクステンドレジスタ（EXR） 説明を修正 割り込みマスクビット（I2~I0）

修正項目	ページ	修正内容（詳細はマニュアル参照）
<p>3.5 各動作モードのアドレスマップ</p> <p>図 3.2 H8S/2353 の各動作モードのアドレスマップ(1)</p>	<p>3-9</p>	<p>図 3.2 を修正</p> <p>モード2 ノーマル・ 内蔵ROM有効拡張モード</p> <p>H'0000</p> <p>内蔵ROM</p> <p>H'DFFF</p> <p>H'E000</p> <p>H'EC00</p> <p>外部アドレス空間</p> <p>リザーブ領域*</p>

修正項目	ページ	修正内容（詳細はマニュアル参照）
<p>3.5 各動作モードのアドレスマップ</p> <p>図 3.2 H8S/2353 の各動作モードのアドレスマップ(2)</p>	3-10	<p>図 3.2 を修正</p> <p>モード6 アドバンスト・ 内蔵ROM有効拡張モード</p> 
<p>図 3.3 H8S/2393 の各動作モードのアドレスマップ(2)</p>	3-12	<p>図 3.3 を修正</p> <p>モード 4,5 およびモード 6 H'FFEC00 ~ H'FFFC00 (修正前) 内蔵 RAM*³ (修正後) 内蔵 RAM*²</p>
<p>5.3.1 外部割り込み</p> <p>図 5.2 IRQ7 ~ IRQ0 割り込みのブロック図</p>	5-9	<p>図 5.2 を修正</p> <p>(修正前) <u>IRQn</u> 入力 (修正後) <u>IRQn</u> 入力</p>
<p>図 5.3 IRQnF のセットタイミング</p>	5-9	<p>図 5.3 を修正</p> <p>(修正前) <u>IRQn</u> 入力端子 (修正後) <u>IRQn</u> 入力端子</p>
<p>5.4.1 割り込み制御モードと割り込み動作</p>	5-14	<p>説明を修正</p> <p>… IPR による割り込み優先順位の設定、および CPU の CCR の I ビットおよび UI ビット、EXR の I2 ~ I0 ビットによる…</p>
<p>9.7. 使用上の注意</p> <p>図 9.57 TCNT のライトとオーバフローの競合</p>	9-75	<p>図 9.57 を修正</p> 

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																																																																																																																																			
13.2.2 シリアルステータスレジスタ（SSR）	13-6	説明を修正 …また、これに関連してビット2のTENDのセット条件が変更となります。																																																																																																																																																																			
13.3.2 端子接続 図 13.2 スマートカードインタフェース端子接続概略図	13-10	図 13.2 を修正 「データ線」を追加																																																																																																																																																																			
14.6 使用上の注意	14-17	（4）AD 変換精度の定義 説明を修正 <ul style="list-style-type: none"> オフセット誤差 …デジタル出力が最小電圧値 B'0000000000（H'000）から B'0000000001（H'001）に変化するときの… フルスケール誤差 デジタル出力が B'1111111110（H'3FE）から B'1111111111（H'3FF）に変化するときの… 																																																																																																																																																																			
18.3.2 外部クロックを入力する方法 表 18.4 外部クロック入力条件	18-5	表 18.4 修正 <table border="1"> <thead> <tr> <th rowspan="2">項目</th> <th rowspan="2">記号</th> <th colspan="2">V_{CC} = 2.7 - 5.5V</th> <th colspan="2">V_{CC} = 5.0V ± 10</th> <th rowspan="2">単位</th> <th rowspan="2">測定条件</th> </tr> <tr> <th>min</th> <th>max</th> <th>min</th> <th>max</th> </tr> </thead> <tbody> <tr> <td>クロックパルス幅</td> <td>t_{CLK}</td> <td>0.4</td> <td>0.6</td> <td>0.4</td> <td>0.6</td> <td>t_{sync}</td> <td>φ 5MHz 図 20.4</td> </tr> <tr> <td>Low レベル</td> <td></td> <td>80</td> <td>-</td> <td>80</td> <td>-</td> <td>ns</td> <td>φ < 5MHz</td> </tr> <tr> <td>クロックパルス幅</td> <td>t_{CH}</td> <td>0.4</td> <td>0.6</td> <td>0.4</td> <td>0.6</td> <td>t_{sync}</td> <td>φ 5MHz</td> </tr> <tr> <td>High レベル</td> <td></td> <td>80</td> <td>-</td> <td>80</td> <td>-</td> <td>ns</td> <td>φ < 5MHz</td> </tr> </tbody> </table>	項目	記号	V _{CC} = 2.7 - 5.5V		V _{CC} = 5.0V ± 10		単位	測定条件	min	max	min	max	クロックパルス幅	t _{CLK}	0.4	0.6	0.4	0.6	t _{sync}	φ 5MHz 図 20.4	Low レベル		80	-	80	-	ns	φ < 5MHz	クロックパルス幅	t _{CH}	0.4	0.6	0.4	0.6	t _{sync}	φ 5MHz	High レベル		80	-	80	-	ns	φ < 5MHz																																																																																																																							
項目	記号	V _{CC} = 2.7 - 5.5V			V _{CC} = 5.0V ± 10		単位	測定条件																																																																																																																																																													
		min	max	min	max																																																																																																																																																																
クロックパルス幅	t _{CLK}	0.4	0.6	0.4	0.6	t _{sync}	φ 5MHz 図 20.4																																																																																																																																																														
Low レベル		80	-	80	-	ns	φ < 5MHz																																																																																																																																																														
クロックパルス幅	t _{CH}	0.4	0.6	0.4	0.6	t _{sync}	φ 5MHz																																																																																																																																																														
High レベル		80	-	80	-	ns	φ < 5MHz																																																																																																																																																														
19.6.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定 表 19.4 発振安定時間の設定	19-9	表 19.4 を修正 <table border="1"> <thead> <tr> <th>STS₂</th> <th>STS₁</th> <th>STS₀</th> <th>待機時間</th> <th>20MHz_Z</th> <th>16MHz_Z</th> <th>12MHz_Z</th> <th>10MHz_Z</th> <th>8MHz</th> <th>6MHz</th> <th>4MHz</th> <th>2MHz</th> <th>単位</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>0</td> <td>131072 ステート</td> <td>6.6</td> <td>6.2</td> <td>10.9</td> <td>13.1</td> <td>16.4</td> <td>21.8</td> <td>32.9</td> <td>65.5</td> <td></td> </tr> <tr> <td></td> <td>1</td> <td>0</td> <td>262144 ステート</td> <td>13.1</td> <td>16.4</td> <td>21.8</td> <td>26.2</td> <td>32.8</td> <td>43.6</td> <td>65.6</td> <td>131.2</td> <td></td> </tr> <tr> <td></td> <td>1</td> <td>0</td> <td>リザーブ</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> </tr> <tr> <td></td> <td>1</td> <td>1</td> <td>16 ステート</td> <td>0.8</td> <td>1.0</td> <td>1.3</td> <td>1.6</td> <td>2.0</td> <td>2.7</td> <td>4.0</td> <td>8.0</td> <td>μs</td> </tr> </tbody> </table>	STS ₂	STS ₁	STS ₀	待機時間	20MHz _Z	16MHz _Z	12MHz _Z	10MHz _Z	8MHz	6MHz	4MHz	2MHz	単位	1	0	0	131072 ステート	6.6	6.2	10.9	13.1	16.4	21.8	32.9	65.5			1	0	262144 ステート	13.1	16.4	21.8	26.2	32.8	43.6	65.6	131.2			1	0	リザーブ	-	-	-	-	-	-	-	-	-		1	1	16 ステート	0.8	1.0	1.3	1.6	2.0	2.7	4.0	8.0	μs																																																																																																		
STS ₂	STS ₁	STS ₀	待機時間	20MHz _Z	16MHz _Z	12MHz _Z	10MHz _Z	8MHz	6MHz	4MHz	2MHz	単位																																																																																																																																																									
1	0	0	131072 ステート	6.6	6.2	10.9	13.1	16.4	21.8	32.9	65.5																																																																																																																																																										
	1	0	262144 ステート	13.1	16.4	21.8	26.2	32.8	43.6	65.6	131.2																																																																																																																																																										
	1	0	リザーブ	-	-	-	-	-	-	-	-	-																																																																																																																																																									
	1	1	16 ステート	0.8	1.0	1.3	1.6	2.0	2.7	4.0	8.0	μs																																																																																																																																																									
20.3.4 内蔵周辺モジュールタイミング 表 20.7 内蔵周辺モジュールタイミング	20-19	表 20.7 を修正 <table border="1"> <thead> <tr> <th rowspan="2">項目</th> <th rowspan="2">記号</th> <th colspan="2">条件 A</th> <th colspan="2">条件 B</th> <th colspan="2">条件 C</th> <th rowspan="2">単位</th> <th rowspan="2">測定条件</th> </tr> <tr> <th>min</th> <th>max</th> <th>min</th> <th>max</th> <th>min</th> <th>max</th> </tr> </thead> <tbody> <tr> <td rowspan="4">TPU</td> <td>タイマ出力遅延時間</td> <td>t_{TPOD}</td> <td></td> <td>100</td> <td></td> <td>50</td> <td></td> <td>75</td> <td>ns</td> <td>図 20.15</td> </tr> <tr> <td>タイマ入力セットアップ時間</td> <td>t_{TICS}</td> <td>50</td> <td></td> <td>30</td> <td></td> <td>50</td> <td></td> <td>ns</td> <td rowspan="2">図 20.16</td> </tr> <tr> <td>タイマクロック入力セットアップ時間</td> <td>t_{TICKS}</td> <td>50</td> <td></td> <td>30</td> <td></td> <td>50</td> <td></td> <td>ns</td> </tr> <tr> <td>タイマクロックパルス幅</td> <td>単エッジ指定</td> <td>t_{TCPDH}</td> <td>1.5</td> <td></td> <td>1.5</td> <td></td> <td>1.5</td> <td></td> <td>t_{sync}</td> <td></td> </tr> <tr> <td></td> <td>両エッジ指定</td> <td>t_{TCPDL}</td> <td>2.5</td> <td></td> <td>2.5</td> <td></td> <td>2.5</td> <td></td> <td></td> <td></td> </tr> <tr> <td rowspan="4">8ビットタイマ</td> <td>タイマ出力遅延時間</td> <td>t_{TMOD}</td> <td></td> <td>100</td> <td></td> <td>50</td> <td></td> <td>75</td> <td>ns</td> <td>図 20.17</td> </tr> <tr> <td>タイマリセット入力セットアップ時間</td> <td>t_{TMSU}</td> <td>50</td> <td></td> <td>30</td> <td></td> <td>50</td> <td></td> <td>ns</td> <td>図 20.19</td> </tr> <tr> <td>タイマクロック入力セットアップ時間</td> <td>t_{TICS}</td> <td>50</td> <td></td> <td>30</td> <td></td> <td>50</td> <td></td> <td>ns</td> <td rowspan="2">図 20.18</td> </tr> <tr> <td>タイマクロックパルス幅</td> <td>単エッジ指定</td> <td>t_{TCPDH}</td> <td>1.5</td> <td></td> <td>1.5</td> <td></td> <td>1.5</td> <td></td> <td>t_{sync}</td> </tr> <tr> <td></td> <td>両エッジ指定</td> <td>t_{TCPDL}</td> <td>2.5</td> <td></td> <td>2.5</td> <td></td> <td>2.5</td> <td></td> <td></td> <td></td> </tr> <tr> <td>WDT</td> <td>オーバフロー出力遅延時間</td> <td>t_{WFOD}</td> <td></td> <td>100</td> <td></td> <td>50</td> <td></td> <td>75</td> <td>ns</td> <td>図 20.20</td> </tr> <tr> <td rowspan="3">SCI</td> <td>入カクロックサイクル</td> <td>調歩同期</td> <td>t_{SPC}</td> <td>4</td> <td></td> <td>4</td> <td></td> <td>4</td> <td></td> <td>t_{sync}</td> <td rowspan="3">図 20.21</td> </tr> <tr> <td></td> <td>クロック同期</td> <td></td> <td>6</td> <td></td> <td>6</td> <td></td> <td>6</td> <td></td> <td></td> </tr> <tr> <td>入カクロックパルス幅</td> <td>t_{SPWL}</td> <td>0.4</td> <td></td> <td>0.6</td> <td></td> <td>0.4</td> <td></td> <td>0.6</td> <td>t_{sync}</td> </tr> </tbody> </table>	項目	記号	条件 A		条件 B		条件 C		単位	測定条件	min	max	min	max	min	max	TPU	タイマ出力遅延時間	t _{TPOD}		100		50		75	ns	図 20.15	タイマ入力セットアップ時間	t _{TICS}	50		30		50		ns	図 20.16	タイマクロック入力セットアップ時間	t _{TICKS}	50		30		50		ns	タイマクロックパルス幅	単エッジ指定	t _{TCPDH}	1.5		1.5		1.5		t _{sync}			両エッジ指定	t _{TCPDL}	2.5		2.5		2.5				8ビットタイマ	タイマ出力遅延時間	t _{TMOD}		100		50		75	ns	図 20.17	タイマリセット入力セットアップ時間	t _{TMSU}	50		30		50		ns	図 20.19	タイマクロック入力セットアップ時間	t _{TICS}	50		30		50		ns	図 20.18	タイマクロックパルス幅	単エッジ指定	t _{TCPDH}	1.5		1.5		1.5		t _{sync}		両エッジ指定	t _{TCPDL}	2.5		2.5		2.5				WDT	オーバフロー出力遅延時間	t _{WFOD}		100		50		75	ns	図 20.20	SCI	入カクロックサイクル	調歩同期	t _{SPC}	4		4		4		t _{sync}	図 20.21		クロック同期		6		6		6			入カクロックパルス幅	t _{SPWL}	0.4		0.6		0.4		0.6	t _{sync}
項目	記号	条件 A			条件 B		条件 C		単位	測定条件																																																																																																																																																											
		min	max	min	max	min	max																																																																																																																																																														
TPU	タイマ出力遅延時間	t _{TPOD}		100		50		75	ns	図 20.15																																																																																																																																																											
	タイマ入力セットアップ時間	t _{TICS}	50		30		50		ns	図 20.16																																																																																																																																																											
	タイマクロック入力セットアップ時間	t _{TICKS}	50		30		50		ns																																																																																																																																																												
	タイマクロックパルス幅	単エッジ指定	t _{TCPDH}	1.5		1.5		1.5		t _{sync}																																																																																																																																																											
	両エッジ指定	t _{TCPDL}	2.5		2.5		2.5																																																																																																																																																														
8ビットタイマ	タイマ出力遅延時間	t _{TMOD}		100		50		75	ns	図 20.17																																																																																																																																																											
	タイマリセット入力セットアップ時間	t _{TMSU}	50		30		50		ns	図 20.19																																																																																																																																																											
	タイマクロック入力セットアップ時間	t _{TICS}	50		30		50		ns	図 20.18																																																																																																																																																											
	タイマクロックパルス幅	単エッジ指定	t _{TCPDH}	1.5		1.5		1.5			t _{sync}																																																																																																																																																										
	両エッジ指定	t _{TCPDL}	2.5		2.5		2.5																																																																																																																																																														
WDT	オーバフロー出力遅延時間	t _{WFOD}		100		50		75	ns	図 20.20																																																																																																																																																											
SCI	入カクロックサイクル	調歩同期	t _{SPC}	4		4		4		t _{sync}	図 20.21																																																																																																																																																										
		クロック同期		6		6		6																																																																																																																																																													
	入カクロックパルス幅	t _{SPWL}	0.4		0.6		0.4		0.6	t _{sync}																																																																																																																																																											

修正項目	ページ	修正内容 (詳細はマニュアル参照)																																																				
A.4 命令実行ステート数 表 A.5 命令実行状態 (サイクル数)	付録-43	<p>表 A.5 に STMAC の項目を追加</p> <table border="1"> <thead> <tr> <th rowspan="2">命令</th> <th rowspan="2">ニーモニック</th> <th>命令フェッチ</th> <th>分岐アドレス リード</th> <th>スタック操作</th> <th>バイトデータ アクセス</th> <th>ワードデータ アクセス</th> <th rowspan="2">内部動作</th> </tr> <tr> <th>I</th> <th>J</th> <th>K</th> <th>L</th> <th>M</th> <th>N</th> </tr> </thead> <tbody> <tr> <td>STMAC</td> <td>STMAC MACH,ERd STMAC MACL,ERd</td> <td colspan="6">本 LSI では使用できません。</td> <td></td> </tr> <tr> <td rowspan="4">SUB</td> <td>SUB.B Rs,Rd</td> <td>1</td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>SUB.W #xx:16,Rd</td> <td>2</td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>SUB.W Rs,Rd</td> <td>1</td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>SUB.L #xx:32,ERd SUB.L ERs,ERd</td> <td>3 1</td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> </tbody> </table>	命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作	I	J	K	L	M	N	STMAC	STMAC MACH,ERd STMAC MACL,ERd	本 LSI では使用できません。							SUB	SUB.B Rs,Rd	1						SUB.W #xx:16,Rd	2						SUB.W Rs,Rd	1						SUB.L #xx:32,ERd SUB.L ERs,ERd	3 1					
命令	ニーモニック	命令フェッチ			分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作																																													
		I	J	K	L	M	N																																															
STMAC	STMAC MACH,ERd STMAC MACL,ERd	本 LSI では使用できません。																																																				
SUB	SUB.B Rs,Rd	1																																																				
	SUB.W #xx:16,Rd	2																																																				
	SUB.W Rs,Rd	1																																																				
	SUB.L #xx:32,ERd SUB.L ERs,ERd	3 1																																																				
表 A.6 命令の実行状態	付録-51	<p>表 A.6 を修正</p> <table border="1"> <thead> <tr> <th>命令</th> <th>1</th> <th>2</th> <th>3</th> <th>4</th> <th>5</th> <th>6</th> <th>7</th> <th>8</th> <th>9</th> </tr> </thead> <tbody> <tr> <td>LDMAC ERs,MACH</td> <td colspan="9">本 LSI では使用できません。</td> </tr> <tr> <td>LDMAC ERs,MACL</td> <td colspan="9">本 LSI では使用できません。</td> </tr> <tr> <td>MAC @ERn+,@ERm+</td> <td colspan="9">本 LSI では使用できません。</td> </tr> </tbody> </table>	命令	1	2	3	4	5	6	7	8	9	LDMAC ERs,MACH	本 LSI では使用できません。									LDMAC ERs,MACL	本 LSI では使用できません。									MAC @ERn+,@ERm+	本 LSI では使用できません。																				
命令	1	2	3	4	5	6	7	8	9																																													
LDMAC ERs,MACH	本 LSI では使用できません。																																																					
LDMAC ERs,MACL	本 LSI では使用できません。																																																					
MAC @ERn+,@ERm+	本 LSI では使用できません。																																																					
	付録-55	<table border="1"> <thead> <tr> <th>命令</th> <th>1</th> <th>2</th> <th>3</th> <th>4</th> <th>5</th> <th>6</th> <th>7</th> <th>8</th> <th>9</th> </tr> </thead> <tbody> <tr> <td>STMAC MACH,ERd</td> <td colspan="9">本 LSI では使用できません。</td> </tr> <tr> <td>STMAC MACL,ERd</td> <td colspan="9">本 LSI では使用できません。</td> </tr> </tbody> </table>	命令	1	2	3	4	5	6	7	8	9	STMAC MACH,ERd	本 LSI では使用できません。									STMAC MACL,ERd	本 LSI では使用できません。																														
命令	1	2	3	4	5	6	7	8	9																																													
STMAC MACH,ERd	本 LSI では使用できません。																																																					
STMAC MACL,ERd	本 LSI では使用できません。																																																					
A.6 コンディションコード の変化 表 A.7 コンディションコード の変化	付録-59	<p>表 A.7 を修正</p> <table border="1"> <thead> <tr> <th>命令</th> <th>H</th> <th>N</th> <th>Z</th> <th>V</th> <th>C</th> <th>定義</th> </tr> </thead> <tbody> <tr> <td>LDMAC</td> <td colspan="6">本 LSI では使用できません。</td> </tr> <tr> <td>MAC</td> <td colspan="6">本 LSI では使用できません。</td> </tr> </tbody> </table>	命令	H	N	Z	V	C	定義	LDMAC	本 LSI では使用できません。						MAC	本 LSI では使用できません。																																				
命令	H	N	Z	V	C	定義																																																
LDMAC	本 LSI では使用できません。																																																					
MAC	本 LSI では使用できません。																																																					
	付録-60	<table border="1"> <thead> <tr> <th>命令</th> <th>H</th> <th>N</th> <th>Z</th> <th>V</th> <th>C</th> <th>定義</th> </tr> </thead> <tbody> <tr> <td>MOVFP</td> <td colspan="6">本 LSI では使用できません。</td> </tr> <tr> <td>MOVTP</td> <td colspan="6">本 LSI では使用できません。</td> </tr> </tbody> </table>	命令	H	N	Z	V	C	定義	MOVFP	本 LSI では使用できません。						MOVTP	本 LSI では使用できません。																																				
命令	H	N	Z	V	C	定義																																																
MOVFP	本 LSI では使用できません。																																																					
MOVTP	本 LSI では使用できません。																																																					
C.1 ポート 1 ブロック図 図 C.1 (a) ポート 1 ブロック図 (P1 ₀ 、P1 ₁ 、P1 ₄ 、P1 ₆ 端子)	付録-175	<p>図 C.1 を修正</p> <p>The diagram shows two blocks representing Port 1 registers. The top block is labeled 'P1nDDR' and contains a register symbol 'R' with 'Q' and 'D' outputs, and a control input 'C'. It is connected to 'WDDR1' and has a 'リセット' (Reset) signal input. The bottom block is labeled 'P1nDR' and contains a register symbol 'R' with 'Q' and 'D' outputs, and a control input 'C'. It is connected to 'WDR1' and has a 'リセット' (Reset) signal input. Both blocks are connected to a vertical line representing the '内部データバス' (Internal Data Bus).</p>																																																				

修正項目	ページ	修正内容（詳細はマニュアル参照）														
C.5 ポート5ブロック図 図 C.5 (a)ポート5ブロック図 (P5 ₀ 端子)	付録 -185	図 C.5 を修正 														
D.1 各処理状態におけるポートの状態 表 D.1 各処理状態におけるポートの状態	付録 -211	表 D.1 を修正 <table border="1" data-bbox="790 703 1002 981"> <thead> <tr> <th>ポート名 端子名</th> <th>MCU 動作 モード</th> </tr> </thead> <tbody> <tr> <td>P6₃ ~ P6₂</td> <td>1 ~ 7</td> </tr> <tr> <td>P6₇ /CS7</td> <td>1 ~ 3、7</td> </tr> <tr> <td>P6₆ /CS6</td> <td>4 ~ 6</td> </tr> <tr> <td>P6₁ /CS5</td> <td></td> </tr> <tr> <td>P6₀ /CS4</td> <td></td> </tr> <tr> <td>ポート A</td> <td>1 ~ 3、7</td> </tr> </tbody> </table>	ポート名 端子名	MCU 動作 モード	P6 ₃ ~ P6 ₂	1 ~ 7	P6 ₇ /CS7	1 ~ 3、7	P6 ₆ /CS6	4 ~ 6	P6 ₁ /CS5		P6 ₀ /CS4		ポート A	1 ~ 3、7
ポート名 端子名	MCU 動作 モード															
P6 ₃ ~ P6 ₂	1 ~ 7															
P6 ₇ /CS7	1 ~ 3、7															
P6 ₆ /CS6	4 ~ 6															
P6 ₁ /CS5																
P6 ₀ /CS4																
ポート A	1 ~ 3、7															
	付録 -213	<table border="1" data-bbox="790 991 1002 1238"> <thead> <tr> <th>ポート名 端子名</th> <th>MCU 動作 モード</th> </tr> </thead> <tbody> <tr> <td>PG₇ /CS1</td> <td>1 ~ 3、7</td> </tr> <tr> <td>PG₆ /CS2</td> <td>4 ~ 6</td> </tr> <tr> <td>PG₅ /CS3</td> <td></td> </tr> <tr> <td>PG₀</td> <td>1 ~ 3、7 4 ~ 6</td> </tr> </tbody> </table>	ポート名 端子名	MCU 動作 モード	PG ₇ /CS1	1 ~ 3、7	PG ₆ /CS2	4 ~ 6	PG ₅ /CS3		PG ₀	1 ~ 3、7 4 ~ 6				
ポート名 端子名	MCU 動作 モード															
PG ₇ /CS1	1 ~ 3、7															
PG ₆ /CS2	4 ~ 6															
PG ₅ /CS3																
PG ₀	1 ~ 3、7 4 ~ 6															
F.2 ハードウェアスタンバイモードからの復帰タイミング 図 F.2 ハードウェアスタンバイモードからの復帰タイミング	付録 -216	図 F.2 を修正 (修正前) $\overline{\text{NMI}}$ → (修正後) NMI														
I. 外形寸法図 図 I.1 TFP-120 の外形寸法図	付録 -220	図 I.1 を差し替え														
図 I.2 FP-128B の外形寸法図	付録 -221	図 I.2 を差し替え														

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

第1章 概要

1.1	概要	1-1
1.2	内部ブロック図	1-5
1.3	端子説明	1-7
1.3.1	ピン配置図	1-7
1.3.2	動作モード別端子機能一覧	1-11
1.3.3	端子機能	1-16

第2章 CPU

2.1	概要	2-1
2.1.1	特長	2-1
2.1.2	H8S/2600 CPU と H8S/2000 CPU との相違点	2-2
2.1.3	H8/300 CPU との相違点	2-3
2.1.4	H8/300H CPU との相違点	2-3
2.2	CPU 動作モード	2-4
2.3	アドレス空間	2-9
2.4	レジスタ構成	2-10
2.4.1	概要	2-10
2.4.2	汎用レジスタ	2-11
2.4.3	コントロールレジスタ	2-12
2.4.4	CPU 内部レジスタの初期値	2-14
2.5	データ構成	2-14
2.5.1	汎用レジスタのデータ構成	2-15
2.5.2	メモリ上でのデータ構成	2-16
2.6	命令セット	2-18
2.6.1	概要	2-18
2.6.2	命令とアドレッシングモードの組み合わせ	2-19
2.6.3	命令の機能別一覧	2-20
2.6.4	命令の基本フォーマット	2-29
2.7	アドレッシングモードと実効アドレスの計算方法	2-30
2.7.1	アドレッシングモード	2-30
2.7.2	実効アドレスの計算方法	2-33
2.8	処理状態	2-37
2.8.1	概要	2-37
2.8.2	リセット状態	2-38
2.8.3	例外処理状態	2-39
2.8.4	プログラム実行状態	2-42
2.8.5	バス権解放状態	2-42

2.8.6	低消費電力状態	2-42
2.9	基本動作タイミング	2-42
2.9.1	概要	2-42
2.9.2	内蔵メモリ (ROM、RAM)	2-43
2.9.3	内蔵周辺モジュールアクセスタイミング	2-44
2.9.4	外部アドレス空間アクセスタイミング	2-45

第3章 MCU 動作モード

3.1	概要	3-1
3.1.1	動作モードの選択	3-1
3.1.2	レジスタ構成	3-2
3.2	各レジスタの説明	3-2
3.2.1	モードコントロールレジスタ (MDCR)	3-2
3.2.2	システムコントロールレジスタ (SYSCR)	3-3
3.3	各動作モードの説明	3-4
3.3.1	モード 1	3-4
3.3.2	モード 2	3-4
3.3.3	モード 3	3-4
3.3.4	モード 4	3-4
3.3.5	モード 5	3-5
3.3.6	モード 6	3-5
3.3.7	モード 7	3-5
3.4	各動作モードにおける端子機能	3-5
3.5	各動作モードのアドレスマップ	3-6

第4章 例外処理

4.1	概要	4-1
4.1.1	例外処理の種類と優先度	4-1
4.1.2	例外処理の動作	4-2
4.1.3	例外処理要因とベクタテーブル	4-2
4.2	リセット	4-3
4.2.1	概要	4-3
4.2.2	リセットの種類	4-4
4.2.3	リセットシーケンス	4-5
4.2.4	リセット直後の割り込み	4-6
4.2.5	リセット解除後の内蔵周辺機能	4-6
4.3	トレース	4-7
4.4	割り込み	4-7
4.5	トラップ命令	4-8
4.6	例外処理後のスタックの状態	4-9
4.7	スタック使用上の注意	4-10

第5章 割り込みコントローラ

5.1	概要	5-1
5.1.1	特長	5-1

5.1.2	ブロック図	5-2
5.1.3	端子構成	5-3
5.1.4	レジスタ構成	5-3
5.2	各レジスタの説明	5-4
5.2.1	システムコントロールレジスタ (SYSCR)	5-4
5.2.2	インタラプトプライオリティレジスタ A ~ K (IPRA ~ IPRK)	5-5
5.2.3	IRQ イネーブルレジスタ (IER)	5-6
5.2.4	IRQ センスコントロールレジスタ H、L (ISCRH、ISCRL)	5-6
5.2.5	IRQ ステータスレジスタ (ISR)	5-7
5.3	割り込み要因	5-8
5.3.1	外部割り込み	5-8
5.3.2	内部割り込み	5-10
5.3.3	割り込み例外処理ベクタテーブル	5-11
5.4	割り込み動作	5-14
5.4.1	割り込み制御モードと割り込み動作	5-14
5.4.2	割り込み制御モード 0	5-17
5.4.3	割り込み制御モード 2	5-19
5.4.4	割り込み例外処理シーケンス	5-21
5.4.5	割り込み応答時間	5-23
5.5	使用上の注意	5-24
5.5.1	割り込みの発生とディスエーブルとの競合	5-24
5.5.2	割り込みを禁止している命令	5-25
5.5.3	割り込み禁止期間	5-25
5.5.4	EPMOV 命令実行中の割り込み	5-25
5.6	割り込みによる DTC の起動	5-25
5.6.1	概要	5-25
5.6.2	ブロック図	5-26
5.6.3	動作説明	5-26
第 6 章 バスコントローラ		
6.1	概要	6-1
6.1.1	特長	6-1
6.1.2	ブロック図	6-2
6.1.3	端子構成	6-3
6.1.4	レジスタ構成	6-3
6.2	各レジスタの説明	6-4
6.2.1	バス幅コントロールレジスタ (ABWCR)	6-4
6.2.2	アクセスステートコントロールレジスタ (ASTCR)	6-5
6.2.3	ウェイトコントロールレジスタ H、L (WCRH、WCRL)	6-6
6.2.4	バスコントロールレジスタ H (BCRH)	6-9
6.2.5	バスコントロールレジスタ L (BCRL)	6-10
6.3	バス制御の概要	6-12
6.3.1	エリア分割	6-12
6.3.2	バス仕様	6-13
6.3.3	メモリインタフェース	6-14
6.3.4	アドバンスモード	6-14

6.3.5	ノーマルモード時のエリアの説明	6-14
6.3.6	チップセレクト信号	6-15
6.4	基本バスインタフェース	6-15
6.4.1	概要	6-15
6.4.2	データサイズとデータアライメント	6-15
6.4.3	有効ストローク	6-17
6.4.4	基本タイミング	6-18
6.4.5	ウェイト制御	6-26
6.5	パースト ROM インタフェース	6-28
6.5.1	概要	6-28
6.5.2	基本タイミング	6-28
6.5.3	ウェイト制御	6-29
6.6	アイドルサイクル	6-29
6.6.1	動作説明	6-29
6.6.2	アイドルサイクルでの端子状態	6-32
6.7	バス解放	6-33
6.7.1	概要	6-33
6.7.2	動作説明	6-33
6.7.3	外部バス権解放状態での端子状態	6-33
6.7.4	遷移タイミング	6-34
6.7.5	使用上の注意	6-34
6.8	バスアービトレーション	6-35
6.8.1	概要	6-35
6.8.2	動作説明	6-35
6.8.3	バス権移行タイミング	6-35
6.8.4	外部バス権解放使用上の注意	6-36
6.9	リセットとバスコントローラ	6-36
第7章 データトランスファコントローラ (DTC)		
7.1	概要	7-1
7.1.1	特長	7-1
7.1.2	ブロック図	7-2
7.1.3	レジスタ構成	7-3
7.2	各レジスタの説明	7-3
7.2.1	DTC モードレジスタ A (MRA)	7-3
7.2.2	DTC モードレジスタ B (MRB)	7-5
7.2.3	DTC ソースアドレスレジスタ (SAR)	7-6
7.2.4	DTC デスティネーションアドレスレジスタ (DAR)	7-6
7.2.5	DTC 転送カウントレジスタ A (CRA)	7-6
7.2.6	DTC 転送カウントレジスタ B (CRB)	7-7
7.2.7	DTC イネーブルレジスタ (DTCER)	7-7
7.2.8	DTC ベクタレジスタ (DTVECR)	7-8
7.2.9	モジュールストップコントロールレジスタ (MSTPCR)	7-9
7.3	動作説明	7-10
7.3.1	概要	7-10
7.3.2	起動要因	7-12

7.3.3	DTC ベクタテーブル	7-13
7.3.4	アドレス空間上でのレジスタ情報の配置	7-15
7.3.5	ノーマルモード	7-15
7.3.6	リピートモード	7-16
7.3.7	ブロック転送モード	7-17
7.3.8	チェーン転送	7-19
7.3.9	動作タイミング	7-20
7.3.10	DTC 実行ステート数	7-21
7.3.11	DTC 使用手順	7-22
7.3.12	DTC 使用例	7-22
7.4	割り込み	7-23
7.5	使用上の注意	7-24

第8章 I/Oポート

8.1	概要	8-1
8.2	ポート1	8-5
8.2.1	概要	8-5
8.2.2	レジスタ構成	8-5
8.2.3	端子機能	8-7
8.3	ポート2	8-15
8.3.1	概要	8-15
8.3.2	レジスタ構成	8-15
8.3.3	端子機能	8-17
8.4	ポート3	8-25
8.4.1	概要	8-25
8.4.2	レジスタ構成	8-25
8.4.3	端子機能	8-28
8.5	ポート4	8-29
8.5.1	概要	8-29
8.5.2	レジスタ構成	8-30
8.5.3	端子機能	8-30
8.6	ポート5	8-31
8.6.1	概要	8-31
8.6.2	レジスタ構成	8-31
8.6.3	端子機能	8-33
8.7	ポート6	8-34
8.7.1	概要	8-34
8.7.2	レジスタ構成	8-35
8.7.3	端子機能	8-37
8.8	ポートA	8-39
8.8.1	概要	8-39
8.8.2	レジスタ構成	8-40
8.8.3	モード別端子機能	8-42
8.8.4	入力プルアップ MOS	8-44

8.9	ポート B	8-45
8.9.1	概要	8-45
8.9.2	レジスタ構成	8-46
8.9.3	モード別端子機能	8-48
8.9.4	入力プルアップ MOS	8-49
8.10	ポート C	8-50
8.10.1	概要	8-50
8.10.2	レジスタ構成	8-51
8.10.3	モード別端子機能	8-53
8.10.4	入力プルアップ MOS	8-54
8.11	ポート D	8-55
8.11.1	概要	8-55
8.11.2	レジスタ構成	8-56
8.11.3	モード別端子機能	8-58
8.11.4	入力プルアップ MOS	8-59
8.12	ポート E	8-60
8.12.1	概要	8-60
8.12.2	レジスタ構成	8-61
8.12.3	モード別端子機能	8-63
8.12.4	入力プルアップ MOS	8-64
8.13	ポート F	8-65
8.13.1	概要	8-65
8.13.2	レジスタ構成	8-66
8.13.3	端子機能	8-68
8.14	ポート G	8-70
8.14.1	概要	8-70
8.14.2	レジスタ構成	8-71
8.14.3	端子機能	8-73

第9章 16ビットタイマパルスユニット (TPU)

9.1	概要	9-1
9.1.1	特長	9-1
9.1.2	ブロック図	9-4
9.1.3	端子構成	9-5
9.1.4	レジスタ構成	9-6
9.2	各レジスタの説明	9-8
9.2.1	タイマコントロールレジスタ (TCR)	9-8
9.2.2	タイマモードレジスタ (TMDR)	9-12
9.2.3	タイマ I/O コントロールレジスタ (TIOR)	9-15
9.2.4	タイマインタラプトイネーブルレジスタ (TIER)	9-24
9.2.5	タイマステータスレジスタ (TSR)	9-27
9.2.6	タイマカウンタ (TCNT)	9-30
9.2.7	タイマジェネラルレジスタ (TGR)	9-30
9.2.8	タイマスタートレジスタ (TSTR)	9-31
9.2.9	タイマシンクロレジスタ (TSYR)	9-31
9.2.10	モジュールストップコントロールレジスタ (MSTPCR)	9-32

9.3	バスマスタとのインタフェース.....	9-33
9.3.1	16ビットレジスタ.....	9-33
9.3.2	8ビットレジスタ.....	9-33
9.4	動作説明.....	9-34
9.4.1	概要.....	9-34
9.4.2	基本機能.....	9-35
9.4.3	同期動作.....	9-41
9.4.4	バッファ動作.....	9-42
9.4.5	カスケード接続動作.....	9-47
9.4.6	PWMモード.....	9-49
9.4.7	位相計数モード.....	9-53
9.5	割り込み.....	9-59
9.5.1	割り込み要因と優先順位.....	9-59
9.5.2	DTCの起動.....	9-60
9.5.3	A/D変換器の起動.....	9-60
9.6	動作タイミング.....	9-61
9.6.1	入出力タイミング.....	9-61
9.6.2	割り込み信号タイミング.....	9-65
9.7	使用上の注意.....	9-69

第10章 8ビットタイマ

10.1	概要.....	10-1
10.1.1	特長.....	10-1
10.1.2	ブロック図.....	10-2
10.1.3	端子構成.....	10-3
10.1.4	レジスタ構成.....	10-3
10.2	各レジスタの説明.....	10-4
10.2.1	タイマカウンタ0、1(TCNT0、TCNT1).....	10-4
10.2.2	タイムコンスタントレジスタA0、A1(TCORA0、TCORA1).....	10-4
10.2.3	タイムコンスタントレジスタB0、B1(TCORB0、TCORB1).....	10-5
10.2.4	タイマコントロールレジスタ0、1(TCR0、TCR1).....	10-5
10.2.5	タイマコントロール/ステータスレジスタ0、1(TCSR0、TCSR1).....	10-8
10.2.6	モジュールストップコントロールレジスタ(MSTPCR).....	10-10
10.3	動作説明.....	10-11
10.3.1	TCNTのカウントタイミング.....	10-11
10.3.2	コンペアマッチタイミング.....	10-12
10.3.3	TCNTの外部リセットタイミング.....	10-13
10.3.4	オーバフローフラグ(OVF)のセットタイミング.....	10-14
10.3.5	カスケード接続時の動作.....	10-14
10.4	割り込み.....	10-15
10.4.1	割り込み要因とDTC起動.....	10-15
10.4.2	A/D変換器の起動.....	10-15
10.5	8ビットタイマの使用例.....	10-16
10.6	使用上の注意.....	10-17
10.6.1	TCNTのライトとカウンタクリアの競合.....	10-17

10.6.2	TCNT のライトとカウントアップの競合	10-18
10.6.3	TCOR のライトとコンペアマッチの競合	10-19
10.6.4	コンペアマッチ A、B の競合	10-19
10.6.5	内部クロックの切り替えと TCNT の動作	10-20
10.6.6	モジュールストップ時の割り込み	10-21
第 11 章 ウォッチドッグタイマ (WDT)		
11.1	概要	11-1
11.1.1	特長	11-1
11.1.2	ブロック図	11-2
11.1.3	端子構成	11-2
11.1.4	レジスタ構成	11-3
11.2	各レジスタの説明	11-3
11.2.1	タイマカウンタ (TCNT)	11-3
11.2.2	タイマコントロール/ステータスレジスタ (TCSR)	11-4
11.2.3	リセットコントロール/ステータスレジスタ (RSTCSR)	11-6
11.2.4	レジスタアクセス時の注意	11-7
11.3	動作説明	11-9
11.3.1	ウォッチドッグタイマモード時の動作	11-9
11.3.2	インターバルタイマモード時の動作	11-10
11.3.3	オーバフローフラグ (OVF) のセットタイミング	11-10
11.3.4	ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング	11-11
11.4	割り込み	11-11
11.5	使用上の注意	11-12
11.5.1	タイマカウンタ (TCNT) のライトとカウントアップの競合	11-12
11.5.2	CKS2~CKS0 ビットの書き換え	11-12
11.5.3	ウォッチドッグタイマモードとインターバルタイマモードの切り替え	11-12
11.5.4	WDTOVF 信号によるシステムのリセット	11-13
11.5.5	ウォッチドッグタイマモードでの内部リセット	11-13
第 12 章 シリアルコミュニケーションインタフェース (SCI)		
12.1	概要	12-1
12.1.1	特長	12-1
12.1.2	ブロック図	12-3
12.1.3	端子構成	12-4
12.1.4	レジスタ構成	12-5
12.2	各レジスタの説明	12-6
12.2.1	レシーブシフトレジスタ (RSR)	12-6
12.2.2	レシーブデータレジスタ (RDR)	12-6
12.2.3	トランスミットシフトレジスタ (TSR)	12-6
12.2.4	トランスミットデータレジスタ (TDR)	12-7
12.2.5	シリアルモードレジスタ (SMR)	12-7
12.2.6	シリアルコントロールレジスタ (SCR)	12-10
12.2.7	シリアルステータスレジスタ (SSR)	12-13
12.2.8	ビットレートレジスタ (BRR)	12-17
12.2.9	スマートカードモードレジスタ (SCMR)	12-23
12.2.10	モジュールストップコントロールレジスタ (MSTPCR)	12-24

12.3	動作説明	12-25
12.3.1	概要	12-25
12.3.2	調歩同期式モード時の動作	12-27
12.3.3	マルチプロセッサ通信機能	12-37
12.3.4	クロック同期式モード時の動作	12-44
12.4	SCI 割り込み	12-52
12.5	使用上の注意	12-53

第 13 章 スマートカードインタフェース

13.1	概要	13-1
13.1.1	特長	13-1
13.1.2	ブロック図	13-2
13.1.3	端子構成	13-3
13.1.4	レジスタ構成	13-4
13.2	各レジスタの説明	13-5
13.2.1	スマートカードモードレジスタ (SCMR)	13-5
13.2.2	シリアルステータスレジスタ (SSR)	13-6
13.2.3	シリアルモードレジスタ (SMR)	13-7
13.2.4	シリアルコントロールレジスタ (SCR)	13-8
13.3	動作説明	13-9
13.3.1	概要	13-9
13.3.2	端子接続	13-9
13.3.3	データフォーマット	13-10
13.3.4	レジスタの設定	13-11
13.3.5	クロック	13-13
13.3.6	データの送信 / 受信動作	13-14
13.3.7	GSM モード時の動作	13-20
13.4	使用上の注意	13-22

第 14 章 A/D 変換器

14.1	概要	14-1
14.1.1	特長	14-1
14.1.2	ブロック図	14-2
14.1.3	端子構成	14-3
14.1.4	レジスタ構成	14-3
14.2	各レジスタの説明	14-4
14.2.1	A/D データレジスタ A ~ D (ADDRA ~ ADDR D)	14-4
14.2.2	A/D コントロール / ステータスレジスタ (ADCSR)	14-4
14.2.3	A/D コントロールレジスタ (ADCR)	14-6
14.2.4	モジュールストップコントロールレジスタ (MSTPCR)	14-7
14.3	バスマスタとのインタフェース	14-8
14.4	動作説明	14-10
14.4.1	シングルモード (SCAN = 0)	14-10
14.4.2	スキャンモード (SCAN = 1)	14-11
14.4.3	入力サンプリングと A/D 変換時間	14-13
14.4.4	外部トリガ入力タイミング	14-14

14.5	割り込み.....	14-15
14.6	使用上の注意.....	14-15

第 15 章 D/A 変換器 (H8S/2393 では内蔵していません)

15.1	概要.....	15-1
15.1.1	特長.....	15-1
15.1.2	ブロック図.....	15-2
15.1.3	端子構成.....	15-2
15.1.4	レジスタ構成.....	15-3
15.2	各レジスタの説明.....	15-3
15.2.1	D/A データレジスタ 0、1 (DADR0、DADR1).....	15-3
15.2.2	D/A コントロールレジスタ (DACR).....	15-3
15.2.3	モジュールストップコントロールレジスタ (MSTPCR).....	15-5
15.3	動作説明.....	15-5

第 16 章 RAM

16.1	概要.....	16-1
16.1.1	ブロック図.....	16-1
16.1.2	レジスタ構成.....	16-2
16.2	各レジスタの説明.....	16-2
16.2.1	システムコントロールレジスタ (SYSCR).....	16-2
16.3	動作説明.....	16-2
16.4	使用上の注意.....	16-2

第 17 章 ROM

17.1	概要.....	17-1
17.1.1	ブロック図.....	17-1
17.1.2	レジスタ構成.....	17-2
17.2	各レジスタの説明.....	17-2
17.2.1	バスコントロールレジスタ L (BCRL).....	17-2
17.3	動作説明.....	17-3
17.4	PROM モード.....	17-3
17.4.1	PROM モードの設定.....	17-3
17.4.2	ソケットアダプタの端子対応とメモリマップ.....	17-4
17.5	プログラミング.....	17-7
17.5.1	概要.....	17-7
17.5.2	書き込み / ベリファイ.....	17-7
17.5.3	書き込み時の注意.....	17-10
17.5.4	書き込み後の信頼性.....	17-11

第 18 章 クロック発振器

18.1	概要.....	18-1
18.1.1	ブロック図.....	18-1
18.1.2	レジスタ構成.....	18-1

18.2	各レジスタの説明	18-2
18.2.1	システムクロックコントロールレジスタ (SCKCR)	18-2
18.3	発振器	18-3
18.3.1	水晶発振子を接続する方法	18-3
18.3.2	外部クロックを入力する方法	18-4
18.4	デューティ補正回路	18-6
18.5	中速クロック分周器	18-6
18.6	バスマスタクロック選択回路	18-6
第 19 章 低消費電力状態		
19.1	概要	19-1
19.1.1	レジスタ構成	19-2
19.2	各レジスタの説明	19-2
19.2.1	スタンバイコントロールレジスタ (SBYCR)	19-2
19.2.2	システムクロックコントロールレジスタ (SCKCR)	19-3
19.2.3	モジュールストップコントロールレジスタ (MSTPCR)	19-4
19.3	中速モード	19-5
19.4	スリープモード	19-6
19.5	モジュールストップモード	19-6
19.5.1	モジュールストップモード	19-6
19.5.2	使用上の注意	19-7
19.6	ソフトウェアスタンバイモード	19-8
19.6.1	ソフトウェアスタンバイモード	19-8
19.6.2	ソフトウェアスタンバイモードの解除	19-8
19.6.3	ソフトウェアスタンバイモード解除後の発振安定時間の設定	19-9
19.6.4	ソフトウェアスタンバイモードの応用例	19-10
19.6.5	使用上の注意	19-10
19.7	ハードウェアスタンバイモード	19-11
19.7.1	ハードウェアスタンバイモード	19-11
19.7.2	ハードウェアスタンバイモードのタイミング	19-11
19.8	ϕ クロック出力禁止機能	19-12
第 20 章 電気的特性		
20.1	絶対最大定格	20-1
20.2	DC 特性	20-2
20.3	AC 特性	20-9
20.3.1	クロックタイミング	20-9
20.3.2	制御信号タイミング	20-11
20.3.3	バスタイミング	20-13
20.3.4	内蔵周辺モジュールタイミング	20-19

20.4	A/D 変換特性	20-23
20.5	D/A 変換特性	20-24
20.6	使用上の注意	20-24
付録		
A.	命令	付録-1
A.1	命令セット一覧	付録-1
A.2	命令コード一覧	付録-19
A.3	オペレーションコードマップ	付録-29
A.4	命令実行ステート数	付録-33
A.5	命令実行中のバス状態	付録-44
A.6	コンディションコードの変化	付録-57
B.	内部 I/O レジスタ	付録-62
B.1	アドレス一覧	付録-62
B.2	機能一覧	付録-69
C.	I/O ポートのブロック図	付録-175
C.1	ポート 1 ブロック図	付録-175
C.2	ポート 2 ブロック図	付録-177
C.3	ポート 3 ブロック図	付録-181
C.4	ポート 4 ブロック図	付録-184
C.5	ポート 5 ブロック図	付録-185
C.6	ポート 6 ブロック図	付録-189
C.7	ポート A ブロック図	付録-193
C.8	ポート B ブロック図	付録-196
C.9	ポート C ブロック図	付録-197
C.10	ポート D ブロック図	付録-198
C.11	ポート E ブロック図	付録-199
C.12	ポート F ブロック図	付録-200
C.13	ポート G ブロック図	付録-208
D.	端子状態	付録-211
D.1	各処理状態におけるポートの状態	付録-211
E.	電源投入時の端子状態について	付録-214
E.1	電源投入時、端子が不定状態から確定する場合	付録-214
E.2	電源投入時、端子がハイインピーダンス状態から確定する場合	付録-215
F.	ハードウェアスタンバイモード遷移 / 復帰時のタイミングについて	付録-216
F.1	ハードウェアスタンバイモードの遷移タイミング	付録-216
F.2	ハードウェアスタンバイモードからの復帰タイミング	付録-216
G.	ROM 発注手順	付録-217
G.1	ROM 書き換え品開発の流れ (発注手順)	付録-217
G.2	ROM 発注時の注意事項	付録-218
H.	型名一覧	付録-219
I.	外形寸法図	付録-220

1. 概要

1.1 概要

H8S/2355 グループは、ルネサスオリジナルアーキテクチャを採用した H8S/2000 CPU を核にして、システム構成に必要な周辺機能を集積したマイクロコンピュータ (MCU) です。

H8S/2000 CPU は、内部 32 ビット構成で、16 ビット×16 本の汎用レジスタと高速動作を指向した簡潔で最適化された命令セットを備えており、16M バイトのリニアなアドレス空間を扱うことができます。また、H8/300 および H8/300H CPU の命令に対し、オブジェクトレベルで上位互換を保っていますので、H8/300、H8/300L、H8/300H の各シリーズから容易に移行することができます。

システム構成に必要な機能としては、データトランスファコントローラ (DTC) のバスマスタ、ROM、RAM、16 ビットタイマパルスユニット (TPU)、8 ビットタイマ、ウォッチドッグタイマ (WDT)、シリアルコミュニケーションインタフェース (SCI)、A/D 変換器、D/A 変換器*¹、I/O ポートの周辺機能などを内蔵しています。

内蔵 ROM は、PROM (ZTAT[®]*²) またはマスク ROM であり、128 K / 64 K / 32K バイトの容量を持っています。ROM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。命令フェッチを高速化し、処理速度を向上しています。

動作モードとしては、モード 1~7 があり、アドレス空間やシングルチップモード / 外部拡張モードの選択ができます。

H8S/2355 グループの特長を表 1.1 に示します。

【注】*¹ H8S/2393 では D/A 変換器を内蔵していません。

*² ZTAT は (株)ルネサス テクノロジーの登録商標です。H8S/2393 では PROM 版はありません。

1. 概要

表 1.1 概要

項目	仕様
CPU	汎用レジスタマシン <ul style="list-style-type: none"> • 16 ビット×16 本の汎用レジスタ (8 ビット×16 本、32 ビット×8 本としても使用可能) リアルタイム制御向き的高速動作 • 最高動作周波数 20MHz • 高速演算 8 / 16 / 32 ビットレジスタ間加減算 : 50ns 16×16 ビットレジスタ間乗算 : 1000ns 32÷16 ビットレジスタ間除算 : 1000ns 高速動作に適した命令セット • 65 種類の基本命令 • 8 / 16 / 32 ビット転送 / 演算命令 • 符号なし / 符号付き乗除算命令 • 強力なビット操作命令 • 2 種類の CPU 動作モード • ノーマルモード : アドレス空間 64K バイト • アドバンスモード : アドレス空間 16M バイト
バスコントローラ	<ul style="list-style-type: none"> • アドレス空間を 8 エリアに分割し、エリアごとに独立してバス仕様を設定可能 • エリアごとにチップセレクト出力可能 • エリアごとに 8 ビット / 16 ビットアクセス空間を選択可能 • エリアごとに 2 ステート / 3 ステートアクセス空間を設定可能 • エリアごとにプログラムウェイトのステート数を設定可能 • バースト ROM を直接接続可能 • 外部バス権解放機能
データトランスファ コントローラ (DTC)	<ul style="list-style-type: none"> • 内部割り込み / ソフトウェアによる起動 • 1 つの起動要因に対して、複数回・複数種類の転送が可能 • リピートモード / ブロック転送モードなどの転送可能 • DTC を起動した割り込みを CPU に要求可能
16 ビットタイマパルス ユニット (TPU)	<ul style="list-style-type: none"> • 16 ビットタイマ 6 チャンネルを内蔵 • 最大 16 端子のパルス入出力処理が可能 • 2 相エンコーダのカウント数の自動計測が可能
8 ビットタイマ ×2 チャンネル	<ul style="list-style-type: none"> • 8 ビットアップカウンタ (外部イベントカウンタ可能) • タイムコンスタントレジスタ×2 • 2 チャンネルの接続が可能
ウォッチドッグタイマ	<ul style="list-style-type: none"> • ウォッチドッグタイマ / インターバルタイマの選択が可能
シリアルコミュニケーション インタフェース (SCI) ×3 チャンネル	<ul style="list-style-type: none"> • 調歩同期式モード / クロック同期式モードの選択が可能 • マルチプロセッサ通信機能 • スマートカードインタフェース機能

項目	仕様																																													
A/D 変換器	<ul style="list-style-type: none"> 分解能：10 ビット 入力：8 チャンネル 最小変換時間 6.7μs (20MHz 動作時) シングル/スキャンモードの選択が可能 サンプル&ホールド機能 外部トリガ/タイマトリガによる A/D 変換の起動が可能 																																													
D/A 変換器*	<ul style="list-style-type: none"> 分解能：8 ビット 出力：2 チャンネル 																																													
I/O ポート	<ul style="list-style-type: none"> 入出力端子 87 本、入力専用端子 8 本 																																													
メモリ	<ul style="list-style-type: none"> PROM または マスク ROM 高速スタティック RAM <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>製品名</th> <th>ROM</th> <th>RAM</th> </tr> </thead> <tbody> <tr> <td>H8S/2355</td> <td>128Kバイト</td> <td>4Kバイト</td> </tr> <tr> <td>H8S/2353</td> <td>64Kバイト</td> <td>2Kバイト</td> </tr> <tr> <td>H8S/2393</td> <td>32Kバイト</td> <td>4Kバイト</td> </tr> </tbody> </table>	製品名	ROM	RAM	H8S/2355	128Kバイト	4Kバイト	H8S/2353	64Kバイト	2Kバイト	H8S/2393	32Kバイト	4Kバイト																																	
製品名	ROM	RAM																																												
H8S/2355	128Kバイト	4Kバイト																																												
H8S/2353	64Kバイト	2Kバイト																																												
H8S/2393	32Kバイト	4Kバイト																																												
割り込みコントローラ	<ul style="list-style-type: none"> 外部割り込み端子 9 本 (NMI、$\overline{\text{IRQ0}}$ ~ $\overline{\text{IRQ7}}$) 内部割り込み要因 47 要因 8 レベルの優先順位設定が可能 																																													
低消費電力状態	<ul style="list-style-type: none"> 中速モード スリープモード モジュールストップモード ソフトウェアスタンバイモード ハードウェアスタンバイモード 																																													
動作モード	<p>7 種類の MCU 動作モード</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th rowspan="2">モード</th> <th rowspan="2">CPU 動作モード</th> <th rowspan="2">内 容</th> <th rowspan="2">内蔵 ROM</th> <th colspan="2">外部データバス</th> </tr> <tr> <th>初期値</th> <th>最大値</th> </tr> </thead> <tbody> <tr> <td>1</td> <td rowspan="3">ノーマル</td> <td>内蔵ROM無効拡張モード</td> <td>無効</td> <td>8ビット</td> <td>16ビット</td> </tr> <tr> <td>2</td> <td>内蔵ROM有効拡張モード</td> <td>有効</td> <td>8ビット</td> <td>16ビット</td> </tr> <tr> <td>3</td> <td>シングルチップモード</td> <td>有効</td> <td colspan="2">-</td> </tr> <tr> <td>4</td> <td rowspan="4">アドバンスト</td> <td>内蔵ROM無効拡張モード</td> <td>無効</td> <td>16ビット</td> <td>16ビット</td> </tr> <tr> <td>5</td> <td>内蔵ROM無効拡張モード</td> <td>無効</td> <td>8ビット</td> <td>16ビット</td> </tr> <tr> <td>6</td> <td>内蔵ROM有効拡張モード</td> <td>有効</td> <td>8ビット</td> <td>16ビット</td> </tr> <tr> <td>7</td> <td>シングルチップモード</td> <td>有効</td> <td colspan="2">-</td> </tr> </tbody> </table>	モード	CPU 動作モード	内 容	内蔵 ROM	外部データバス		初期値	最大値	1	ノーマル	内蔵ROM無効拡張モード	無効	8ビット	16ビット	2	内蔵ROM有効拡張モード	有効	8ビット	16ビット	3	シングルチップモード	有効	-		4	アドバンスト	内蔵ROM無効拡張モード	無効	16ビット	16ビット	5	内蔵ROM無効拡張モード	無効	8ビット	16ビット	6	内蔵ROM有効拡張モード	有効	8ビット	16ビット	7	シングルチップモード	有効	-	
モード	CPU 動作モード					内 容	内蔵 ROM	外部データバス																																						
		初期値	最大値																																											
1	ノーマル	内蔵ROM無効拡張モード	無効	8ビット	16ビット																																									
2		内蔵ROM有効拡張モード	有効	8ビット	16ビット																																									
3		シングルチップモード	有効	-																																										
4	アドバンスト	内蔵ROM無効拡張モード	無効	16ビット	16ビット																																									
5		内蔵ROM無効拡張モード	無効	8ビット	16ビット																																									
6		内蔵ROM有効拡張モード	有効	8ビット	16ビット																																									
7		シングルチップモード	有効	-																																										
クロック発振器	<ul style="list-style-type: none"> デューティ補正回路内蔵 																																													
パッケージ	<ul style="list-style-type: none"> 120 ピンプラスチック TQFP (TFP-120) 128 ピンプラスチック QFP (FP-128B) 																																													

1. 概要

項目	仕様					
製品ラインナップ		5V版	3.3V版*	3V版	ROM/RAM (バイト)	
	動作電源電圧	5V ± 10%	3.0V ~ 5.5V	2.7V ~ 5.5V		
	動作周波数	2 ~ 20MHz	2 ~ 13MHz	2 ~ 10MHz		
	製品型名	ZTAT版	HD6472355F20 HD6472355TE20	-	HD6472355F10 HD6472355TE10	128K/4K
		マスクROM版	HD6432355(A**)F HD6432355(A**)TE	HD6432355(M**)F HD6432355(M**)TE	HD6432355(K**)F HD6432355(K**)TE	128K/4K
			HD6432353(A**)F HD6432353(A**)TE	HD6432353(M**)F HD6432353(M**)TE	HD6432353(K**)F HD6432353(K**)TE	64K/2K
			HD6432393(A**)F HD6432393(A**)TE	HD6432393(M**)F HD6432393(M**)TE	HD6432393(K**)F HD6432393(K**)TE	32K/4K
		FP-128B TFP-120	FP-128B TFP-120	FP-128B TFP-120		
	【注】 *1 マスクROM版の(**)はROMコードです。 *2 3.3V版については、弊社営業にお問い合わせください。					

【注】 * H8S/2393 では D/A 変換器を内蔵していません。

1.2 内部ブロック図

H8S/2355、H8S/2353 の内部ブロック図を図 1.1、H8S/2393 の内部ブロック図を図 1.2 に示します。

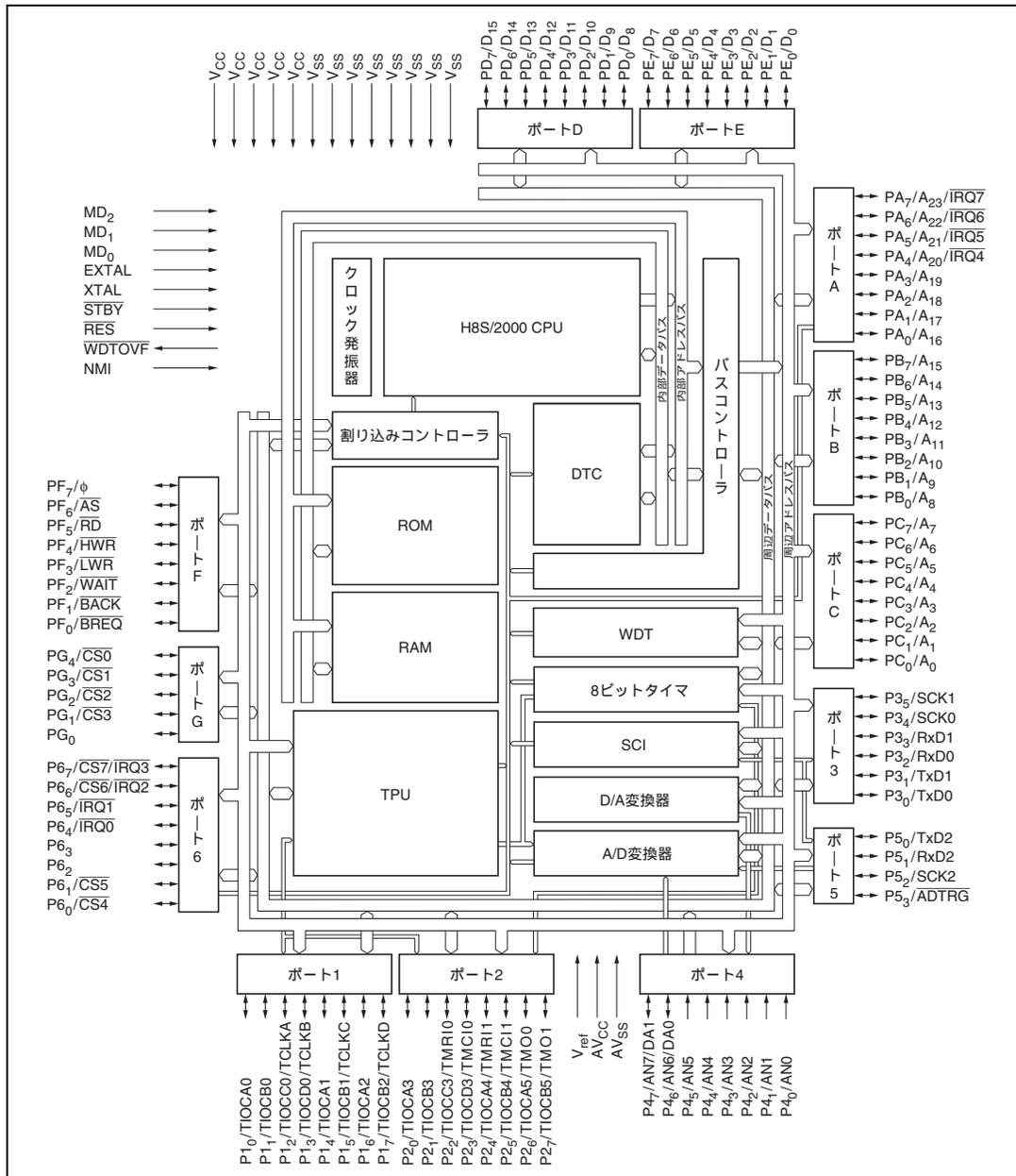


図 1.1 内部ブロック図 (H8S/2355、H8S/2353)

1. 概要

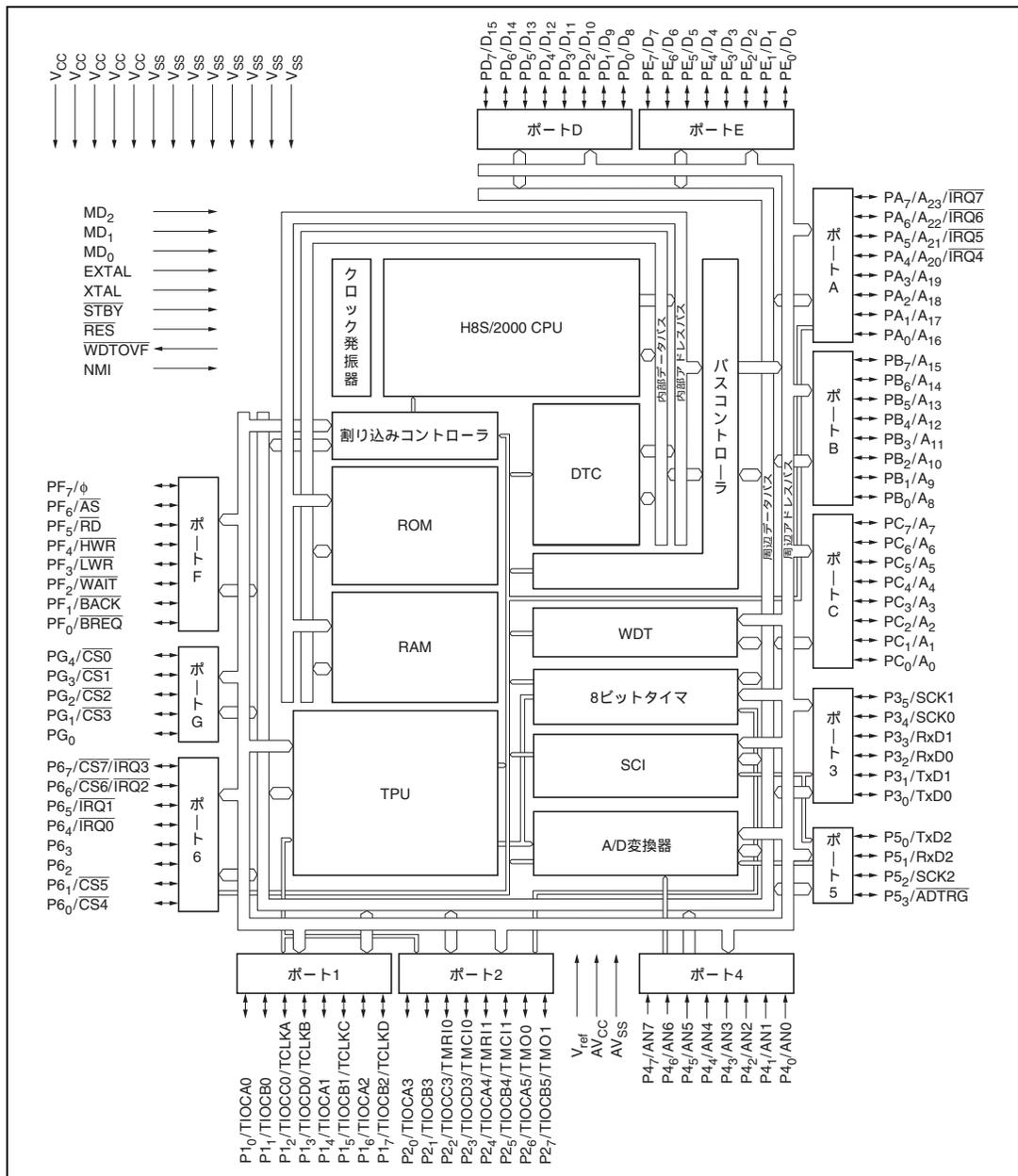


図 1.2 内部ブロック図 (H8S/2393)

1.3 端子説明

1.3.1 ピン配置図

H8S/2355、H8S/2353のピン配置図を図 1.3、図 1.4 に、H8S/2393のピン配置図を図 1.5、図 1.6 に示します。

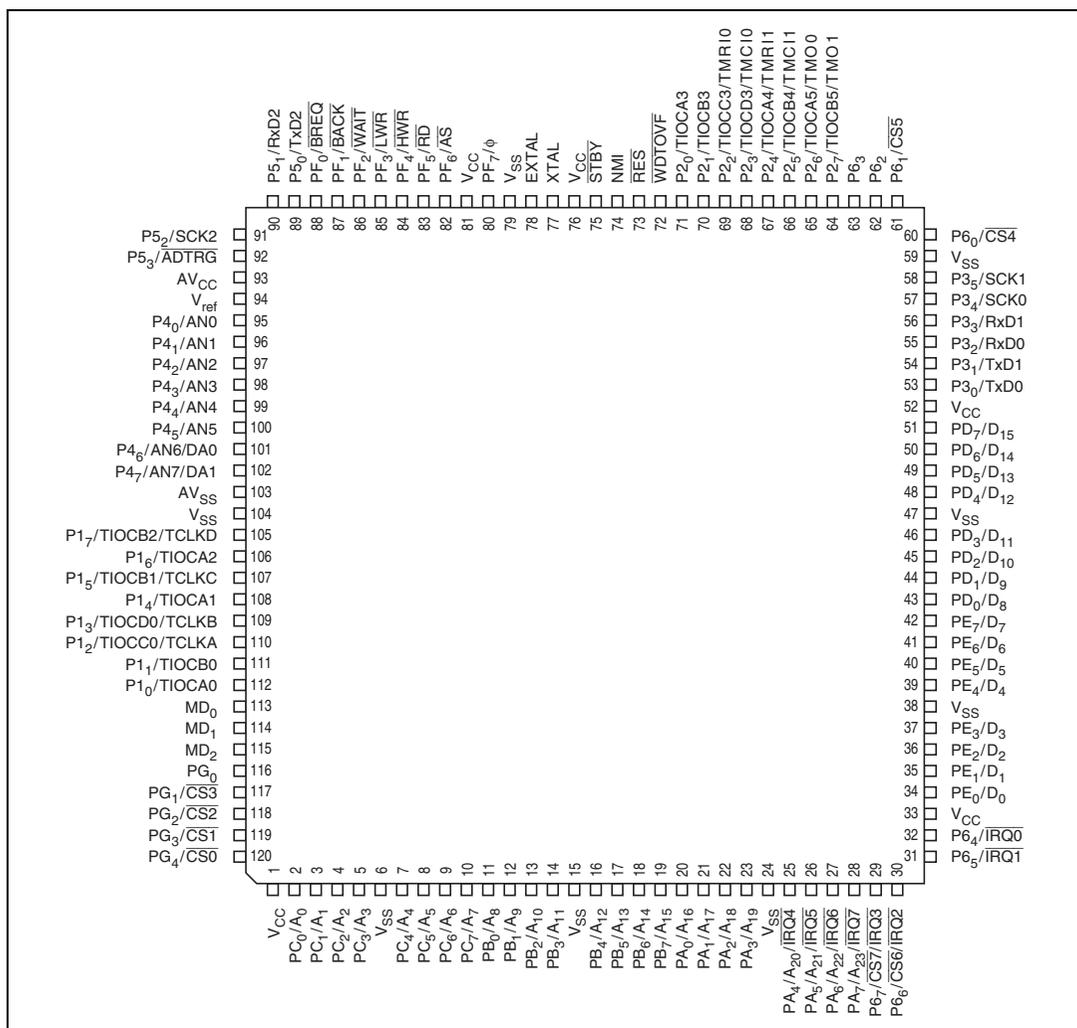


図 1.3 H8S/2355、H8S/2353 ピン配置図 (TFP-120 : 上面図)

1. 概要

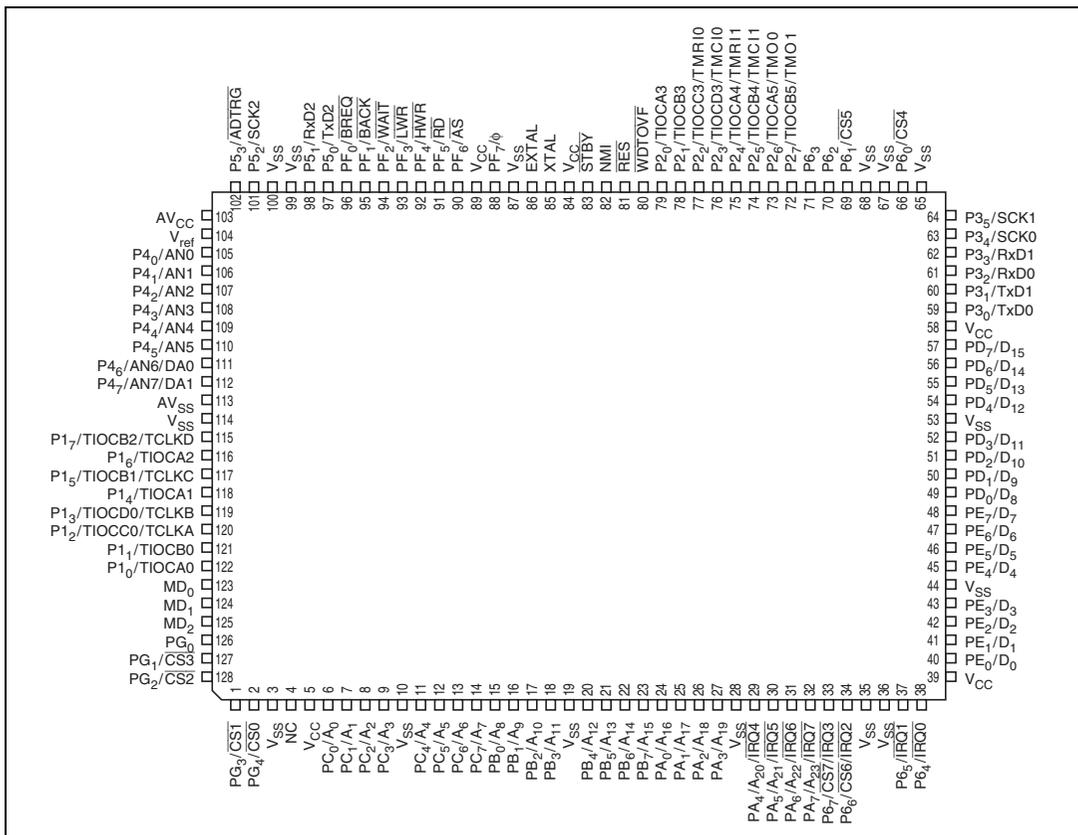


図 1.4 H8S/2355、H8S/2353 ピン配置図 (FP-128B : 上面図)

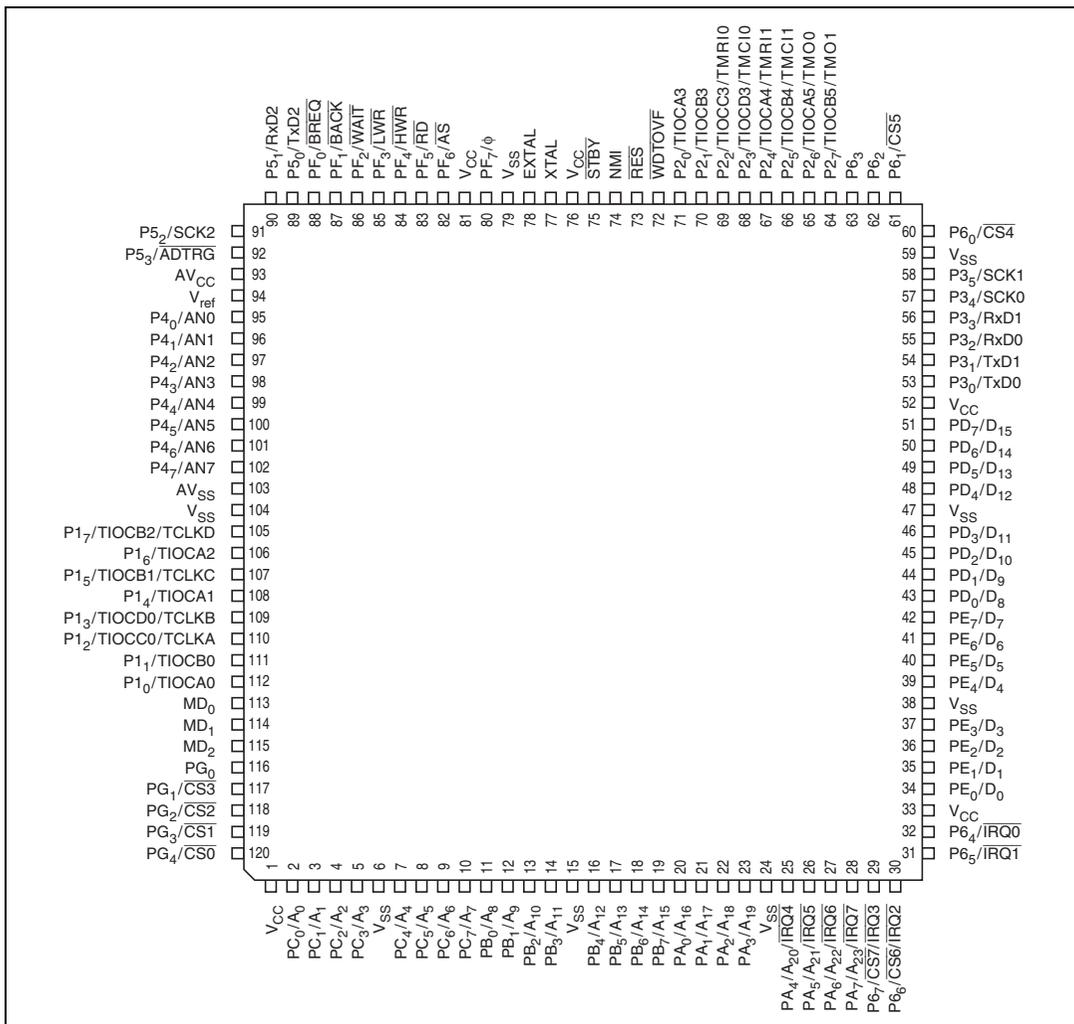


図 1.5 H8S/2393 ピン配置図 (TFP-120 : 上面図)

1. 概要

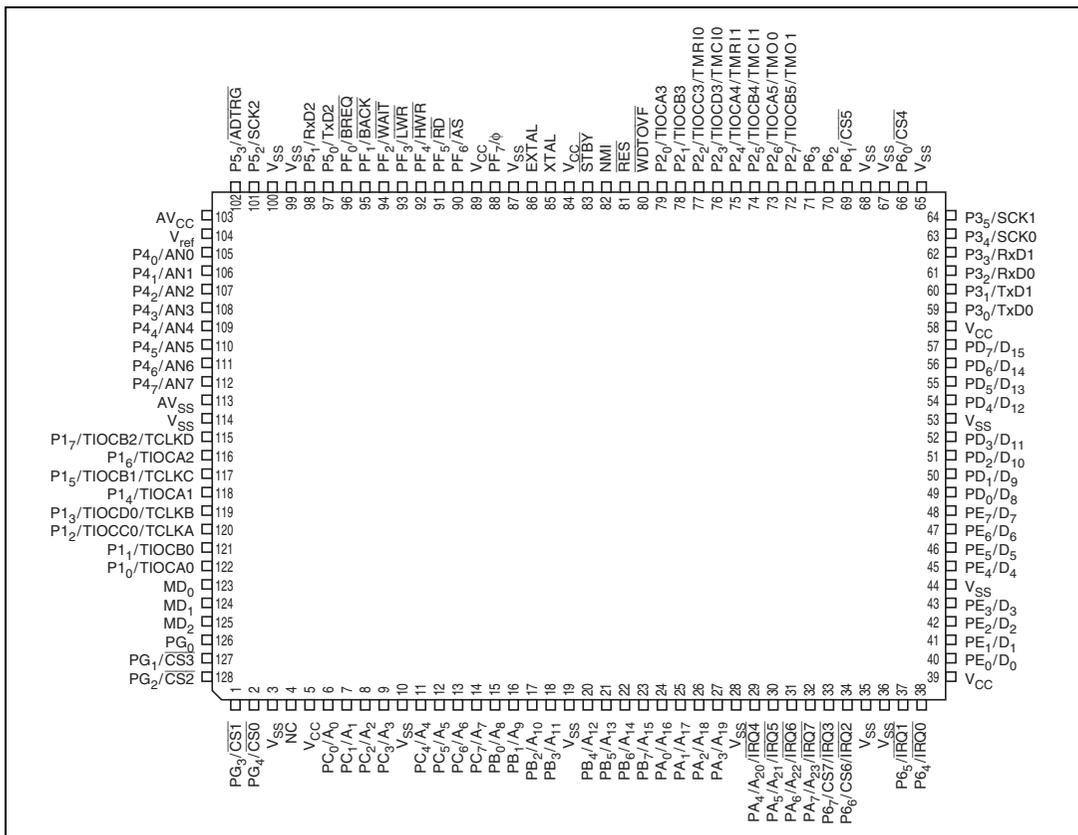


図 1.6 H8S/2393 ピン配置図 (TFP-128B : 上面図)

1.3.2 動作モード別端子機能一覧

動作モード別端子機能を表 1.2 に示します。

表 1.2 動作モード別端子機能一覧

ピン番号		端子名							
TFP-120	FP-128B	モード 1	モード 2	モード 3	モード 4	モード 5	モード 6	モード 7	PROM モード*1
1	5	V _{CC}	V _{CC}	V _{CC}	V _{CC}	V _{CC}	V _{CC}	V _{CC}	V _{CC}
2	6	A ₀	PC ₀ /A ₀	PC ₀	A ₀	A ₀	PC ₀ /A ₀	PC ₀	A ₀
3	7	A ₁	PC ₁ /A ₁	PC ₁	A ₁	A ₁	PC ₁ /A ₁	PC ₁	A ₁
4	8	A ₂	PC ₂ /A ₂	PC ₂	A ₂	A ₂	PC ₂ /A ₂	PC ₂	A ₂
5	9	A ₃	PC ₃ /A ₃	PC ₃	A ₃	A ₃	PC ₃ /A ₃	PC ₃	A ₃
6	10	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}
7	11	A ₄	PC ₄ /A ₄	PC ₄	A ₄	A ₄	PC ₄ /A ₄	PC ₄	A ₄
8	12	A ₅	PC ₅ /A ₅	PC ₅	A ₅	A ₅	PC ₅ /A ₅	PC ₅	A ₅
9	13	A ₆	PC ₆ /A ₆	PC ₆	A ₆	A ₆	PC ₆ /A ₆	PC ₆	A ₆
10	14	A ₇	PC ₇ /A ₇	PC ₇	A ₇	A ₇	PC ₇ /A ₇	PC ₇	A ₇
11	15	A ₈	PB ₀ /A ₈	PB ₀	A ₈	A ₈	PB ₀ /A ₈	PB ₀	A ₈
12	16	A ₉	PB ₁ /A ₉	PB ₁	A ₉	A ₉	PB ₁ /A ₉	PB ₁	\overline{OE}
13	17	A ₁₀	PB ₂ /A ₁₀	PB ₂	A ₁₀	A ₁₀	PB ₂ /A ₁₀	PB ₂	A ₁₀
14	18	A ₁₁	PB ₃ /A ₁₁	PB ₃	A ₁₁	A ₁₁	PB ₃ /A ₁₁	PB ₃	A ₁₁
15	19	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}
16	20	A ₁₂	PB ₄ /A ₁₂	PB ₄	A ₁₂	A ₁₂	PB ₄ /A ₁₂	PB ₄	A ₁₂
17	21	A ₁₃	PB ₅ /A ₁₃	PB ₅	A ₁₃	A ₁₃	PB ₅ /A ₁₃	PB ₅	A ₁₃
18	22	A ₁₄	PB ₆ /A ₁₄	PB ₆	A ₁₄	A ₁₄	PB ₆ /A ₁₄	PB ₆	A ₁₄
19	23	A ₁₅	PB ₇ /A ₁₅	PB ₇	A ₁₅	A ₁₅	PB ₇ /A ₁₅	PB ₇	A ₁₅
20	24	PA ₀	PA ₀	PA ₀	A ₁₆	A ₁₆	PA ₀ /A ₁₆	PA ₀	A ₁₆
21	25	PA ₁	PA ₁	PA ₁	A ₁₇	A ₁₇	PA ₁ /A ₁₇	PA ₁	V _{CC}
22	26	PA ₂	PA ₂	PA ₂	A ₁₈	A ₁₈	PA ₂ /A ₁₈	PA ₂	V _{CC}
23	27	PA ₃	PA ₃	PA ₃	A ₁₉	A ₁₉	PA ₃ /A ₁₉	PA ₃	NC
24	28	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}
25	29	PA ₄ /IRQ4	PA ₄ /IRQ4	PA ₄ /IRQ4	A ₂₀	A ₂₀	PA ₄ /A ₂₀ /IRQ4	PA ₄ /IRQ4	NC
26	30	PA ₅ /IRQ5	PA ₅ /IRQ5	PA ₅ /IRQ5	PA ₅ /A ₂₁ /IRQ5	PA ₅ /A ₂₁ /IRQ5	PA ₅ /A ₂₁ /IRQ5	PA ₅ /IRQ5	NC
27	31	PA ₆ /IRQ6	PA ₆ /IRQ6	PA ₆ /IRQ6	PA ₆ /A ₂₂ /IRQ6	PA ₆ /A ₂₂ /IRQ6	PA ₆ /A ₂₂ /IRQ6	PA ₆ /IRQ6	NC
28	32	PA ₇ /IRQ7	PA ₇ /IRQ7	PA ₇ /IRQ7	PA ₇ /A ₂₃ /IRQ7	PA ₇ /A ₂₃ /IRQ7	PA ₇ /A ₂₃ /IRQ7	PA ₇ /IRQ7	NC
29	33	P6 ₇ /IRQ3	P6 ₇ /IRQ3	P6 ₇ /IRQ3	P6 ₇ /IRQ3/CS7	P6 ₇ /IRQ3/CS7	P6 ₇ /IRQ3/CS7	P6 ₇ /IRQ3	NC
30	34	P6 ₆ /IRQ2	P6 ₆ /IRQ2	P6 ₆ /IRQ2	P6 ₆ /IRQ2/CS6	P6 ₆ /IRQ2/CS6	P6 ₆ /IRQ2/CS6	P6 ₆ /IRQ2	NC

1. 概要

ピン番号		端子名							
TFP-120	FP-128B	モード 1	モード 2	モード 3	モード 4	モード 5	モード 6	モード 7	PROM モード*1
-	35	V _{SS}	V _{SS}						
-	36	V _{SS}	V _{SS}						
31	37	P6 ₅ /IRQ ₁	NC						
32	38	P6 ₄ /IRQ ₀	NC						
33	39	V _{CC}	V _{CC}						
34	40	PE ₀ /D ₀	PE ₀ /D ₀	PE ₀	PE ₀ /D ₀	PE ₀ /D ₀	PE ₀ /D ₀	PE ₀	NC
35	41	PE ₁ /D ₁	PE ₁ /D ₁	PE ₁	PE ₁ /D ₁	PE ₁ /D ₁	PE ₁ /D ₁	PE ₁	NC
36	42	PE ₂ /D ₂	PE ₂ /D ₂	PE ₂	PE ₂ /D ₂	PE ₂ /D ₂	PE ₂ /D ₂	PE ₂	NC
37	43	PE ₃ /D ₃	PE ₃ /D ₃	PE ₃	PE ₃ /D ₃	PE ₃ /D ₃	PE ₃ /D ₃	PE ₃	NC
38	44	V _{SS}	V _{SS}						
39	45	PE ₄ /D ₄	PE ₄ /D ₄	PE ₄	PE ₄ /D ₄	PE ₄ /D ₄	PE ₄ /D ₄	PE ₄	NC
40	46	PE ₅ /D ₅	PE ₅ /D ₅	PE ₅	PE ₅ /D ₅	PE ₅ /D ₅	PE ₅ /D ₅	PE ₅	NC
41	47	PE ₆ /D ₆	PE ₆ /D ₆	PE ₆	PE ₆ /D ₆	PE ₆ /D ₆	PE ₆ /D ₆	PE ₆	NC
42	48	PE ₇ /D ₇	PE ₇ /D ₇	PE ₇	PE ₇ /D ₇	PE ₇ /D ₇	PE ₇ /D ₇	PE ₇	NC
43	49	D ₈	D ₈	PD ₀	D ₈	D ₈	D ₈	PD ₀	D ₀
44	50	D ₉	D ₉	PD ₁	D ₉	D ₉	D ₉	PD ₁	D ₁
45	51	D ₁₀	D ₁₀	PD ₂	D ₁₀	D ₁₀	D ₁₀	PD ₂	D ₂
46	52	D ₁₁	D ₁₁	PD ₃	D ₁₁	D ₁₁	D ₁₁	PD ₃	D ₃
47	53	V _{SS}	V _{SS}						
48	54	D ₁₂	D ₁₂	PD ₄	D ₁₂	D ₁₂	D ₁₂	PD ₄	D ₄
49	55	D ₁₃	D ₁₃	PD ₅	D ₁₃	D ₁₃	D ₁₃	PD ₅	D ₅
50	56	D ₁₄	D ₁₄	PD ₆	D ₁₄	D ₁₄	D ₁₄	PD ₆	D ₆
51	57	D ₁₅	D ₁₅	PD ₇	D ₁₅	D ₁₅	D ₁₅	PD ₇	D ₇
52	58	V _{CC}	V _{CC}						
53	59	P3 ₀ /TxD0	NC						
54	60	P3 ₁ /TxD1	NC						
55	61	P3 ₂ /RxD0	NC						
56	62	P3 ₃ /RxD1	NC						
57	63	P3 ₄ /SCK0	NC						
58	64	P3 ₅ /SCK1	NC						
59	65	V _{SS}	V _{SS}						
60	66	P6 ₀	P6 ₀	P6 ₀	P6 ₀ /CS4	P6 ₀ /CS4	P6 ₀ /CS4	P6 ₀	NC
-	67	V _{SS}	V _{SS}						

1. 概要

ピン番号		端子名							
TFP-120	FP-128B	モード 1	モード 2	モード 3	モード 4	モード 5	モード 6	モード 7	PROM モード*1
-	68	V _{SS}	V _{SS}						
61	69	P6 ₁	P6 ₁	P6 ₁	P6 ₁ /CS ₅	P6 ₁ /CS ₅	P6 ₁ /CS ₅	P6 ₁	NC
62	70	P6 ₂	NC						
63	71	P6 ₃	NC						
64	72	P2 ₇ /TIOCB5 /TMO1	NC						
65	73	P2 ₆ /TIOCA5 /TMO0	NC						
66	74	P2 ₅ /TIOCB4 /TMCI1	NC						
67	75	P2 ₄ /TIOCA4 /TMRI1	NC						
68	76	P2 ₃ /TIOCD3 /TMCI0	NC						
69	77	P2 ₂ /TIOCC3 /TMRI1	NC						
70	78	P2 ₁ /TIOCB3	NC						
71	79	P2 ₀ /TIOCA3	NC						
72	80	WDTOV F	NC						
73	81	RES	V _{PP}						
74	82	NMI	A ₉						
75	83	STBY	V _{SS}						
76	84	V _{CC}	V _{CC}						
77	85	XTAL	NC						
78	86	EXTAL	NC						
79	87	V _{SS}	V _{SS}						
80	88	PF ₇ /φ	NC						
81	89	V _{CC}	V _{CC}						
82	90	AS	AS	PF ₆	AS	AS	AS	PF ₆	NC
83	91	RD	RD	PF ₅	RD	RD	RD	PF ₅	NC

1. 概要

ピン番号		端子名							
TFP-120	FP-128B	モード 1	モード 2	モード 3	モード 4	モード 5	モード 6	モード 7	PROM モード*1
84	92	HWR	HWR	PF ₄	HWR	HWR	HWR	PF ₄	NC
85	93	LWR	LWR	PF ₃	LWR	LWR	LWR	PF ₃	NC
86	94	PF ₂ /WAIT	PF ₂ /WAIT	PF ₂	PF ₂ /WAIT	PF ₂ /WAIT	PF ₂ /WAIT	PF ₂	CE
87	95	PF ₁ /BACK	PF ₁ /BACK	PF ₁	PF ₁ /BACK	PF ₁ /BACK	PF ₁ /BACK	PF ₁	PGM
88	96	PF ₀ /BREQ	PF ₀ /BREQ	PF ₀	PF ₀ /BREQ	PF ₀ /BREQ	PF ₀ /BREQ	PF ₀	NC
89	97	P5 ₀ /TxD2	NC						
90	98	P5 ₁ /RxD2	NC						
-	99	V _{SS}	V _{SS}						
-	100	V _{SS}	V _{SS}						
91	101	P5 ₂ /SCK2	NC						
92	102	P5 ₃ /ADTRG	NC						
93	103	AV _{CC}	V _{CC}						
94	104	V _{ref}	V _{CC}						
95	105	P4 ₀ /AN0	NC						
96	106	P4 ₁ /AN1	NC						
97	107	P4 ₂ /AN2	NC						
98	108	P4 ₃ /AN3	NC						
99	109	P4 ₄ /AN4	NC						
100	110	P4 ₅ /AN5	NC						
101	111	P4 ₆ /AN6/DA0* ²	NC						
102	112	P4 ₇ /AN7/DA1* ²	NC						
103	113	AV _{SS}	V _{SS}						
104	114	V _{SS}	V _{SS}						
105	115	P1 ₇ /TIOCB2/TCLKD	NC						
106	116	P1 ₆ /TIOCA2	NC						
107	117	P1 ₅ /TIOCB1/TCLKC	NC						

ピン番号		端子名							
TFP-120	FP-128B	モード 1	モード 2	モード 3	モード 4	モード 5	モード 6	モード 7	PROM モード*1
108	118	P1 ₄ /TIOCA1	P1 ₄ /TIOCA1	P1 ₄ /TIOCA1	P1 ₄ /TIOCA1	P1 ₄ /TIOCA1	P1 ₄ /TIOCA1	P1 ₄ /TIOCA1	NC
109	119	P1 ₃ /TIOCD0/ TCLKB	P1 ₃ /TIOCD0/ /TCLKB	P1 ₃ /TIOCD0/ TCLKB	P1 ₃ /TIOCD0/ TCLKB	P1 ₃ /TIOCD0/ TCLKB	P1 ₃ /TIOCD0/ TCLKB	P1 ₃ /TIOCD0/ TCLKB	NC
110	120	P1 ₂ /TIOCC0/ TCLKA	P1 ₂ /TIOCC0/ /TCLKA	P1 ₂ /TIOCC0/ TCLKA	P1 ₂ /TIOCC0/ TCLKA	P1 ₂ /TIOCC0/ TCLKA	P1 ₂ /TIOCC0/ TCLKA	P1 ₂ /TIOCC0/ TCLKA	NC
111	121	P1 ₁ /TIOCB0	P1 ₁ /TIOCB0	P1 ₁ /TIOCB0	P1 ₁ /TIOCB0	P1 ₁ /TIOCB0	P1 ₁ /TIOCB0	P1 ₁ /TIOCB0	NC
112	122	P1 ₀ /TIOCA0	P1 ₀ /TIOCA0	P1 ₀ /TIOCA0	P1 ₀ /TIOCA0	P1 ₀ /TIOCA0	P1 ₀ /TIOCA0	P1 ₀ /TIOCA0	NC
113	123	MD ₀	MD ₀	MD ₀	MD ₀	MD ₀	MD ₀	MD ₀	V _{SS}
114	124	MD ₁	MD ₁	MD ₁	MD ₁	MD ₁	MD ₁	MD ₁	V _{SS}
115	125	MD ₂	MD ₂	MD ₂	MD ₂	MD ₂	MD ₂	MD ₂	V _{SS}
116	126	PG ₀	PG ₀	PG ₀	PG ₀	PG ₀	PG ₀	PG ₀	NC
117	127	PG ₁	PG ₁	PG ₁	PG ₁ / $\overline{\text{CS3}}$	PG ₁ / $\overline{\text{CS3}}$	PG ₁ / $\overline{\text{CS3}}$	PG ₁	NC
118	128	PG ₂	PG ₂	PG ₂	PG ₂ / $\overline{\text{CS2}}$	PG ₂ / $\overline{\text{CS2}}$	PG ₂ / $\overline{\text{CS2}}$	PG ₂	NC
119	1	PG ₃	PG ₃	PG ₃	PG ₃ / $\overline{\text{CS1}}$	PG ₃ / $\overline{\text{CS1}}$	PG ₃ / $\overline{\text{CS1}}$	PG ₃	NC
120	2	PG ₄ / $\overline{\text{CS0}}$	PG ₄ / $\overline{\text{CS0}}$	PG ₄	PG ₄ / $\overline{\text{CS0}}$	PG ₄ / $\overline{\text{CS0}}$	PG ₄ / $\overline{\text{CS0}}$	PG ₄	NC
-	3	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}
-	4	NC	NC	NC	NC	NC	NC	NC	NC

【注】 NC は V_{SS} に接続、または開放としてください。

*1 H8S/2393 では PROM 版はありません。

*2 H8S/2393 では D/A 変換器を内蔵していないので、DA0、DA1 出力はありません。

1. 概要

1.3.3 端子機能

各端子の機能について表 1.3 に示します。

表 1.3 端子機能

分類	記号	ピン番号		入出力	名称および機能																														
		TFP-120	FP-128																																
電源	V_{CC}	1、33、52、 76、81	5、39、58、 84、89	入力	電源 電源に接続します。 V_{CC} 端子は、全端子をシステムの電源に接続してください。																														
	V_{SS}	6、15、24、 38、47、59、 79、104	3、10、19、 28、35、 36、44、 53、65、 67、68、 87、99、 100、114	入力	グランド 電源 (0V) に接続します。 V_{SS} 端子は、全端子をシステムの電源 (0V) に接続してください。																														
クロック	XTAL	77	85	入力	水晶発振子を接続します。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 18 章 クロック発振器」を参照してください。																														
	EXTAL	78	86	入力	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 18 章 クロック発振器」を参照してください。																														
	ϕ	80	88	出力	システムクロック 外部デバイスにシステムクロックを供給します。																														
動作モードコントロール	$MD_2 \sim MD_0$	115 ~ 113	125 ~ 123	入力	モード端子 動作モードを設定します。 $MD_2 \sim MD_0$ 端子と動作モードの関係は次のとおりです。これらの端子は動作中には変化させないでください。 <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>MD_2</th> <th>MD_1</th> <th>MD_0</th> <th>動作モード</th> </tr> </thead> <tbody> <tr> <td rowspan="3">0</td> <td rowspan="2">0</td> <td>0</td> <td>-</td> </tr> <tr> <td>1</td> <td>モード1</td> </tr> <tr> <td>1</td> <td>0</td> <td>モード2</td> </tr> <tr> <td rowspan="4">1</td> <td rowspan="2">0</td> <td>1</td> <td>モード3</td> </tr> <tr> <td>0</td> <td>モード4</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>モード5</td> </tr> <tr> <td>1</td> <td>モード6</td> </tr> <tr> <td rowspan="2">1</td> <td rowspan="2">1</td> <td>0</td> <td>モード6</td> </tr> <tr> <td>1</td> <td>モード7</td> </tr> </tbody> </table>	MD_2	MD_1	MD_0	動作モード	0	0	0	-	1	モード1	1	0	モード2	1	0	1	モード3	0	モード4	1	0	モード5	1	モード6	1	1	0	モード6	1	モード7
MD_2	MD_1	MD_0	動作モード																																
0	0	0	-																																
		1	モード1																																
	1	0	モード2																																
1	0	1	モード3																																
		0	モード4																																
	1	0	モード5																																
		1	モード6																																
1	1	0	モード6																																
		1	モード7																																

分類	記号	ピン番号		入出力	名称および機能
		TFP-120	FP-128		
システム制御	$\overline{\text{RES}}$	73	81	入力	リセット入力 この端子が Low レベルになると、リセット状態となります。リセットの種類が NMI 端子の入力レベルによって選択されます。電源投入時は、NMI を High レベルとしてください。
	$\overline{\text{STBY}}$	75	83	入力	スタンバイ この端子が Low レベルになると、ハードウェアスタンバイモードに遷移します。
	$\overline{\text{BREQ}}$	88	96	入力	バス権要求 本 LSI に対し、外部バスマスタがバス権を要求します。
	$\overline{\text{BACK}}$	87	95	出力	バス権要求アクノリッジ バス権を外部バスマスタに解放したことを示します。
割り込み	NMI	74	82	入力	ノンマスカブル割り込み マスク不可能な割り込みを要求します。未使用の場合は High レベルに固定してください。
	$\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$	28 ~ 25、 29 ~ 32	32 ~ 29、 33、34、 37、38	入力	割り込み要求 7~0 マスク可能な割り込みを要求します。
アドレスバス	$A_{23} \sim A_0$	28 ~ 25、 23 ~ 16、 14 ~ 7、5 ~ 2	32 ~ 29、 27 ~ 20、 18 ~ 11、9 ~ 6	出力	アドレスバス アドレスを出力します。
データバス	$D_{15} \sim D_0$	51 ~ 48、 46 ~ 39、 37 ~ 34	57 ~ 54、 52 ~ 45、 43 ~ 40	入出力	データバス 双方向データバスです。
バス制御	$\overline{\text{CS7}} \sim \overline{\text{CS0}}$	29、30、61、 60、117 ~ 120	33、34、 69、66、 127、128、 1、2	出力	チップセレクト エリア 7~0 の選択信号です。
	$\overline{\text{AS}}$	82	90	出力	アドレスストロープ この端子が Low レベルのとき、アドレスバス上のアドレス出力が有効であることを示します。
	$\overline{\text{RD}}$	83	91	出力	リード この端子が Low レベルのとき、外部アドレス空間のリード状態であることを示します。
	$\overline{\text{HWR}}$	84	92	出力	ハイライト 外部空間をライトし、データバスの上位側 ($D_{15} \sim D_0$) が有効であることを示すストロープ信号です。

1. 概要

分類	記号	ピン番号		入出力	名称および機能
		TFP-120	FP-128		
バス制御	LWR	85	93	出力	ロウライト 外部空間をライトし、データバスの下位側(D ₇ ~D ₀)が有効であることを示すストローブ信号です。
	WAIT	86	94	入力	ウェイト 外部3ステートアドレス空間をアクセスするときに、バスサイクルにウェイトステートの挿入を要求します。
16ビットタイマパルスユニット (TPU)	TCLKD ~ TCLKA	105、107、109、110	115、117、119、120	入力	クロック入力 D~A 外部クロックを入力します。
	TIOCA0、TIOCB0、TIOCC0、TIOCD0	112 ~ 109	122 ~ 119	入出力	インプットキャプチャ/アウトプットコンペアマッチ A0~D0 TGR0A~TGR0Dのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。
	TIOCA1、TIOCB1	108、107	118、117	入出力	インプットキャプチャ/アウトプットコンペアマッチ A1、B1 TGR1A、TGR1Bのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。
	TIOCA2、TIOCB2	106、105	116、115	入出力	インプットキャプチャ/アウトプットコンペアマッチ A2、B2 TGR2A、TGR2Bのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。
	TIOCA3、TIOCB3、TIOCC3、TIOCD3	71 ~ 68	79 ~ 76	入出力	インプットキャプチャ/アウトプットコンペアマッチ A3~D3 TGR3A~TGR3Dのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。
	TIOCA4、TIOCB4	67、66	75、74	入出力	インプットキャプチャ/アウトプットコンペアマッチ A4、B4 TGR4A、TGR4Bのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。
TIOCA5、TIOCB5	65、64	73、72	入出力	インプットキャプチャ/アウトプットコンペアマッチ A5、B5 TGR5A、TGR5Bのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。	

分類	記号	ピン番号		入出力	名称および機能
		TFP-120	FP-128		
8ビット タイマ	TMO0、 TMO1	65、64	73、72	出力	コンペアマッチ出力 コンペアマッチ出力端子です。
	TMC10、 TMC11	68、66	76、74	入力	カウンタ外部クロック入力 カウンタに入力する外部クロックの入力端子 です。
	TMRI0、 TMRI1	69、67	77、75	入力	カウンタ外部リセット入力 カウンタリセット入力端子です。
ウォッチド ッグタイマ (WDT)	WDTOVF	72	80	出力	ウォッチドッグタイマオーバ フロー ウォッチドッグタイマモード時のカウンタオ ーバフロー信号出力端子です。
シリアルコ ミュニケー ションイン タフェース (SCI) / スマートカ ードインタ フェース	TxD2、 TxD1、 TxD0	89、54、53	97、60、59	出力	トランスミットデータ (チャンネル0、1、2) データ出力端子です。
	RxD2、 RxD1、 RxD0	90、56、55	98、62、61	入力	レシーブデータ (チャンネル0、1、2) データ入力端子です。
	SCK2、 SCK1、 SCK0	91、58、57	101、64、 63	入出力	シリアルクロック (チャンネル0、1、2) クロック入出力端子です。
A/D 変換器	AN7 ~ AN0	102 ~ 95	112 ~ 105	入力	アナログ7~0 アナログ入力端子です。
	ADTRG	92	102	入力	A/D 変換外部トリガ入力 A/D 変換開始のための外部トリガ入力端子で す。
D/A 変換器*	DA1、DA0	102、101	112、111	出力	アナログ出力 D/A 変換器のアナログ出力端子です。
A/D 変換器、 D/A 変換器	AV _{cc}	93	103	入力	A/D 変換器および D/A 変換器の電源端子で す。 A/D 変換器および D/A 変換器を使用しない場 合はシステム電源 (+5V) に接続してください。
	AV _{ss}	103	113	入力	A/D 変換器および D/A 変換器のグランド端子 です。 システムの電源 (0V) に接続してください。
	V _{ref}	94	104	入力	A/D 変換器および D/A 変換器の基準電圧入力 端子です。 A/D 変換器および D/A 変換器を使用しない場 合はシステムの電源 (+5V) に接続してくだ さい。

1. 概要

分類	記号	ピン番号		入出力	名称および機能
		TFP-120	FP-128		
I/O ポート	P1 ₇ ~ P1 ₀	105 ~ 112	115 ~ 122	入出力	<u>ポート 1</u> 8 ビットの入出力端子です。ポート 1 データディレクションレジスタ (P1DDR) によって、1 ビットごとに入出力を指定できます。
	P2 ₇ ~ P2 ₀	64 ~ 71	72 ~ 79	入出力	<u>ポート 2</u> 8 ビットの入出力端子です。ポート 2 データディレクションレジスタ (P2DDR) によって、1 ビットごとに入出力を指定できます。
	P3 ₅ ~ P3 ₀	58 ~ 53	64 ~ 59	入出力	<u>ポート 3</u> 6 ビットの入出力端子です。ポート 3 データディレクションレジスタ (P3DDR) によって、1 ビットごとに入出力を指定できます。
	P4 ₇ ~ P4 ₀	102 ~ 95	112 ~ 105	入力	<u>ポート 4</u> 8 ビットの入力端子です。
	P5 ₅ ~ P5 ₀	92 ~ 89	102、101、98、97	入出力	<u>ポート 5</u> 4 ビットの入出力端子です。ポート 5 データディレクションレジスタ (P5DDR) によって、1 ビットごとに入出力を指定できます。
	P6 ₇ ~ P6 ₀	29 ~ 32、63 ~ 60	33、34、37、38、71 ~ 69、66	入出力	<u>ポート 6</u> 8 ビットの入出力端子です。ポート 6 データディレクションレジスタ (P6DDR) によって、1 ビットごとに入出力を指定できます。
	PA ₇ ~ PA ₀	28 ~ 25、23 ~ 20	32 ~ 29、27 ~ 24	入出力	<u>ポート A</u> 8 ビットの入出力端子です。ポート A データディレクションレジスタ (PADDDR) によって、1 ビットごとに入出力を指定できます。
	PB ₇ ~ PB ₀	19 ~ 16、14 ~ 11	23 ~ 20、18 ~ 15	入出力	<u>ポート B</u> 8 ビットの入出力端子です。ポート B データディレクションレジスタ (PBDDR) によって、1 ビットごとに入出力を指定できます。
	PC ₇ ~ PC ₀	10 ~ 7、5 ~ 2	14 ~ 11、9 ~ 6	入出力	<u>ポート C</u> 8 ビットの入出力端子です。ポート C データディレクションレジスタ (PCDDR) によって、1 ビットごとに入出力を指定できます。

分類	記号	ピン番号		入出力	名称および機能
		TFP-120	FP-128		
I/O ポート	PD ₇ ~ PD ₀	51 ~ 48、 46 ~ 43	57 ~ 54、 52 ~ 49	入出力	ポート D 8 ビットの入出力端子です。 ポート D データディレクションレジスタ (PDDDR) によって、1 ビットごとに入出力を指定できます。
	PE ₇ ~ PE ₀	42 ~ 39、 37 ~ 34	48 ~ 45、 43 ~ 40	入出力	ポート E 8 ビットの入出力端子です。 ポート E データディレクションレジスタ (PEDDR) によって、1 ビットごとに入出力を指定できます。
	PF ₇ ~ PF ₀	80、82 ~ 88	88、90 ~ 96	入出力	ポート F 8 ビットの入出力端子です。 ポート F データディレクションレジスタ (PFDDR) によって、1 ビットごとに入出力を指定できます。
	PG ₄ ~ PG ₀	120 ~ 116	2、1、 128 ~ 126	入出力	ポート G 5 ビットの入出力端子です。 ポート G データディレクションレジスタ (PGDDR) によって、1 ビットごとに入出力を指定できます。

【注】 * H8S/2393 では D/A 変換器を内蔵していません。

1. 概要

2. CPU

2.1 概要

H8S/2000 CPU は、H8/300 CPU および H8/300H CPU の上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。

本 CPU は、16 ビット×16 本の汎用レジスタを持ち、16M バイト（アーキテクチャ上は 4G バイト）のリニアなアドレス空間を扱うことができ、リアルタイム制御に最適です。

2.1.1 特長

本 CPU には、次の特長があります。

H8/300 CPU および H8/300H CPU の上位互換

- H8/300 および H8/300H CPU オブジェクトプログラムを実行可能

汎用レジスタ方式

- 16 ビット×16 本（8 ビット×16 本、32 ビット×8 本としても使用可能）

65 種類の基本命令

- 8 / 16 / 32 ビット演算命令
- 乗除算命令
- 強力なビット操作命令

8 種類のアドレッシングモード

- レジスタ直接 (Rn)
- レジスタ間接 (@ERn)
- ディスプレースメント付きレジスタ間接 (@(d:16,ERn) / @(d:32,ERn))
- ポストインクリメント / プリデクリメントレジスタ間接 (@ERn+ / @-ERn)
- 絶対アドレス (@aa:8 / @aa:16 / @aa:24 / @aa:32)
- イミディエイト (#xx:8 / #xx:16 / #xx:32)
- プログラムカウンタ相対 (@(d:8,PC) / @(d:16,PC))
- メモリ間接 (@@aa:8)

16M バイトのアドレス空間

- プログラム : 16M バイト
- データ : 16M バイト（アーキテクチャ上は 4G バイト）

2. CPU

高速動作

- 頻出命令をすべて 1~2 ステートで実行
- 最高動作周波数 : 20MHz
- 8 / 16 / 32 ビットレジスタ間加減算 : 50ns
- 8 × 8 ビットレジスタ間乗算 : 600ns
- 16 ÷ 8 ビットレジスタ間除算 : 600ns
- 16 × 16 ビットレジスタ間乗算 : 1000ns
- 32 ÷ 16 ビットレジスタ間除算 : 1000ns

2 種類の CPU 動作モード

- ノーマルモード / アドバンスモード

低消費電力状態

- SLEEP 命令により低消費電力状態に遷移
- CPU 動作クロックを選択可能

2.1.2 H8S/2600 CPU と H8S/2000 CPU との相違点

H8S/2600 CPU および H8S/2000 CPU の相違点は、以下のとおりです。

レジスタ構成

- MAC レジスタは、H8S/2600 CPU のみサポートしています。

基本命令

- MAC、CLRMAC、LDMAC、STMAC の 4 命令は、H8S/2600 CPU のみサポートしています。

実行ステート数

- MULXU、MULXS 命令の実行ステート数

命令	ニーモニック	実行ステート	
		H8S/2600	H8S/2000
MULXU	MULXU.B Rs, Rd	3	12
	MULXU.W Rs, ERd	4	20
MULXS	MULXS.B Rs, Rd	4	13
	MULXS.W Rs, ERd	5	21

そのほか、製品によって、アドレス空間や CCR、EXR の機能、低消費電力状態などが異なる場合があります。

2.1.3 H8/300 CPU との相違点

本 CPU は、H8/300 CPU に対して、次の点が追加、拡張されています。

汎用レジスタ、コントロールレジスタを拡張

- 16 ビット×8 本の拡張レジスタ、および 8 ビット×1 本のコントロールレジスタを追加
アドレス空間を拡張

- ノーマルモードのとき、H8/300 CPU と同一の 64K バイトのアドレス空間を使用可能
- アドバンスモードのとき、最大 16M バイトのアドレス空間を使用可能

アドレッシングモードを強化

- 16M バイトのアドレス空間を有効に使用可能

命令強化

- ビット操作命令のアドレッシングモードを強化
- 符号付き乗除算命令などを追加
- 2 ビットシフト命令を追加
- 複数レジスタの退避 / 復帰命令を追加
- テストアンドセット命令を追加

高速化

- 基本的な命令を 2 倍に高速化

2.1.4 H8/300H CPU との相違点

本 CPU は、H8/300H CPU に対して、次の点が追加、拡張されています。

コントロールレジスタを拡張

- 8 ビット×1 本のコントロールレジスタを追加

命令強化

- ビット操作命令のアドレッシングモードを強化
- 2 ビットシフト命令を追加
- 複数レジスタの退避 / 復帰命令を追加
- テストアンドセット命令を追加

高速化

- 基本的な命令を 2 倍に高速化

2.2 CPU 動作モード

本 CPU は、ノーマルモードおよびアドバンスモードの2つの CPU 動作モードを持っています。サポートするアドレス空間は、ノーマルモードの場合最大 64K バイト、アドバンスモードの場合 16M バイト（アーキテクチャ上はプログラム領域最大 16M バイト、データ領域最大 4G バイト、合計で最大 4G バイト）となります。

各モードは LSI のモード端子によって選択されます。

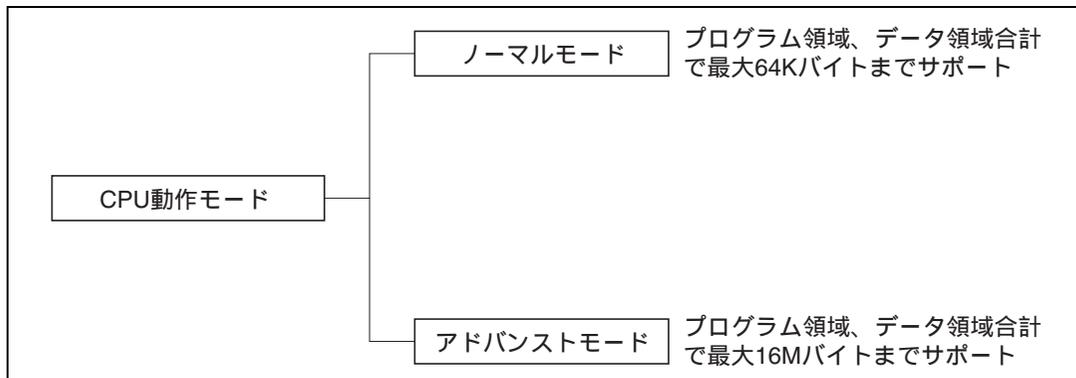


図 2.1 CPU 動作モード

(1) ノーマルモード

ノーマルモードでは例外処理ベクタ、スタックの構造が H8/300 CPU と同一になります。

(a) アドレス空間

最大 64K バイトをアクセス可能です。

(b) 拡張レジスタ (En)

拡張レジスタ (E0 ~ E7) は、16 ビットレジスタとして、または 32 ビットレジスタの上位 16 ビットとして使用できます。

拡張レジスタ En は、対応する汎用レジスタ Rn をアドレスレジスタとして使用している場合でも、16 ビットレジスタとして任意の値を設定することができます（ただし、プリデクリメントレジスタ間接 (@-Rn)、ポストインクリメントレジスタ間接 (@Rn+) により汎用レジスタ Rn が参照された場合、キャリ/ボローが発生すると、対応する拡張レジスタ En の内容に伝播しますので注意してください）。

(c) 命令セット

命令およびアドレッシングモードはすべて使用できます。実効アドレス (EA) の下位 16 ビットのみが有効となります。

(d) 例外処理ベクタテーブルおよびメモリ間接の分岐アドレス

ノーマルモードでは、H'0000 から始まる先頭領域に例外処理ベクタテーブル領域が割り当てられており、各 16 ビットの分岐先アドレスを格納します。ノーマルモードの例外処理ベクタテーブルの構造を図 2.2 に示します。例外処理ベクタテーブルは「第 4 章 例外処理」を参照してください。

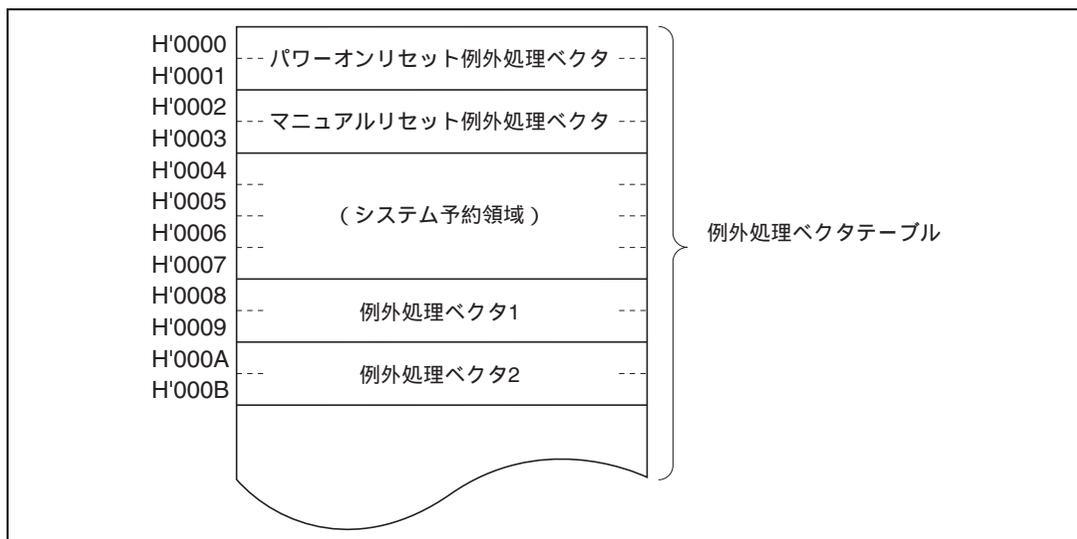


図 2.2 例外処理ベクタテーブル (ノーマルモード)

メモリ間接 (@@aa:8) は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

ノーマルモードでは、オペランドは 16 ビット (ワード) となり、この 16 ビットが分岐先アドレスとなります。なお、分岐先アドレスを格納できるのは、H'0000 ~ H'00FF の領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

(e) スタック構造

サブルーチン分岐時の PC のスタック構造と、例外処理時の PC と CCR、EXR のスタックの構造を図 2.3 に示します。EXR は EXR が無効のときはスタックされません。詳細は「第 4 章 例外処理」を参照してください。

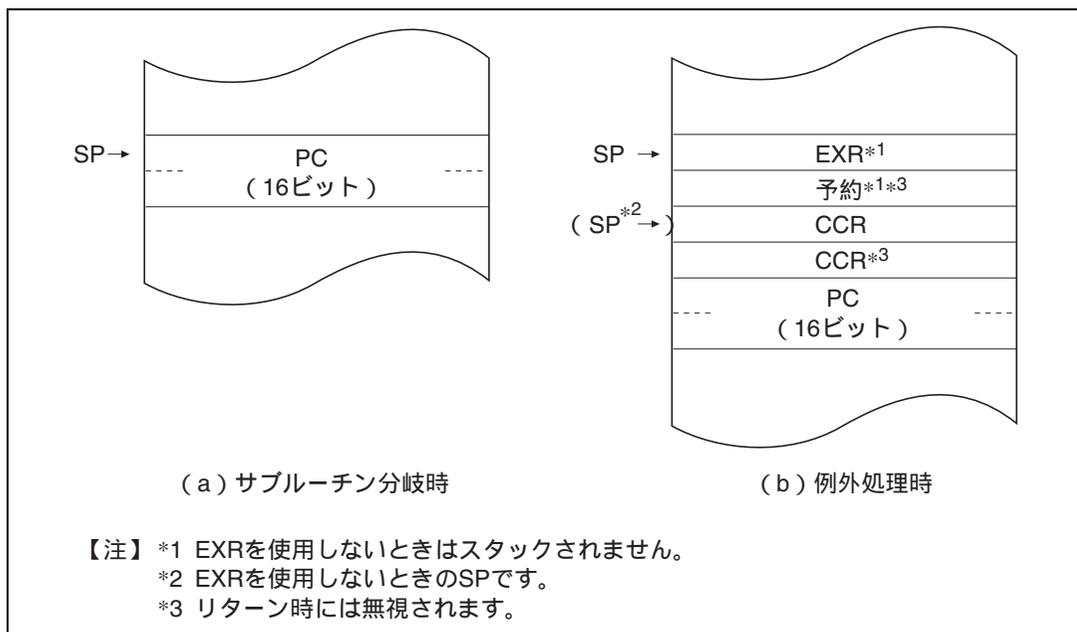


図 2.3 ノーマルモードのスタック構造

(2) アドバンストモード

(a) アドレス空間

最大 16M バイト(アーキテクチャ上はプログラム領域最大 16M バイト、データ領域最大 4G バイト、合計最大 4G バイト)をリニアにアクセス可能です。

(b) 拡張レジスタ (En)

拡張レジスタ (E0~E7) は、16 ビットレジスタとして、または 32 ビットレジスタ・アドレスレジスタの上位 16 ビットとして使用できます。

(c) 命令セット

命令およびアドレッシングモードはすべて使用できます。

(d) 例外処理ベクタテーブル、メモリ間接の分岐アドレス

アドバンストモードでは、H'00000000 から始まる先頭領域に 32 ビット単位で例外処理ベクタテーブル領域が割り当てられており、上位 8 ビットは無視され 24 ビットの分岐先アドレスを格納します(図 2.4 参照)。例外処理ベクタテーブルは「第 4 章 例外処理」を参照してください。

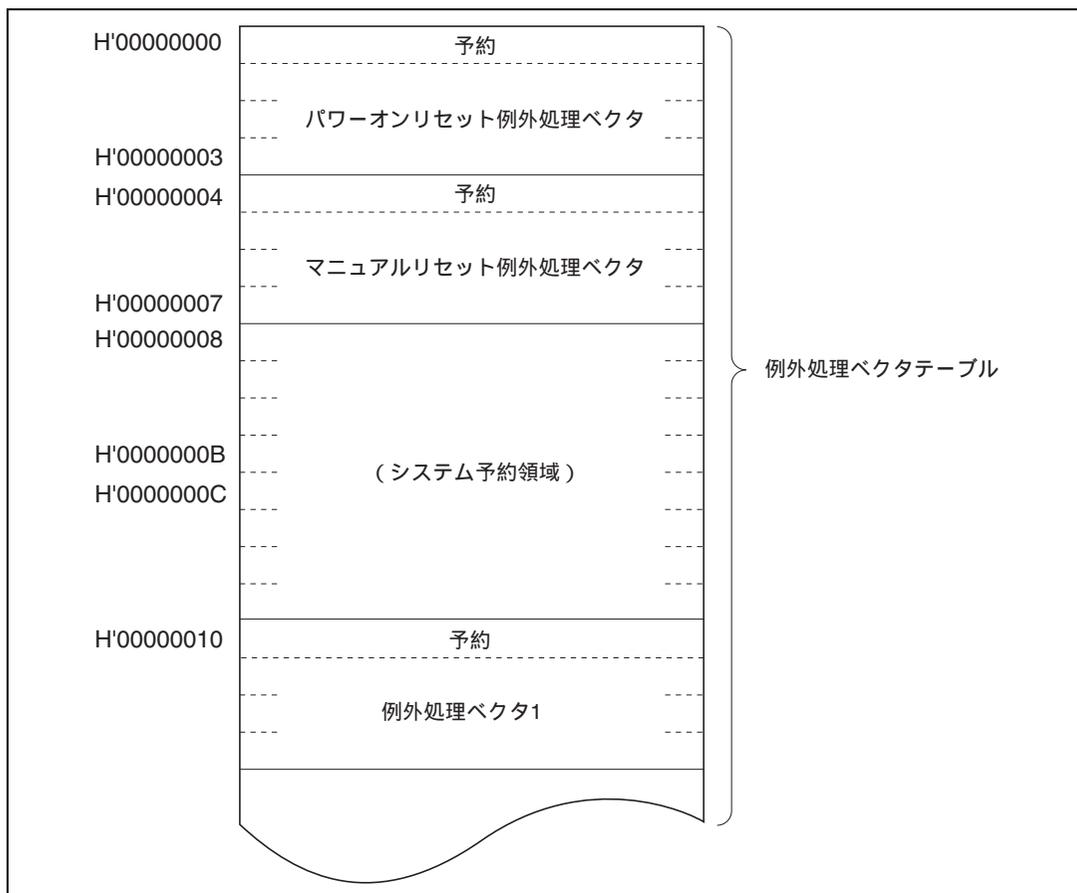


図 2.4 例外処理ベクタテーブル (アドバンストモード)

メモリ間接 (@aa:8) は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

アドバンストモードでは、オペランドは 32 ビット (ロングワード) となり、この 32 ビットが分岐先アドレスとなります。このうち、上位 8 ビットは予約領域となっており H'00 と見なされます。なお、分岐先アドレスを格納できるのは、H'00000000 ~ H'000000FF の領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

(e) スタック構造

アドバンストモード時のサブルーチン分岐時の PC のスタック構造と、例外処理時の PC と CCR、EXR のスタックの構造を図 2.5 に示します。EXR は EXR が無効のときはスタックされません。詳細は「第 4 章 例外処理」を参照してください。

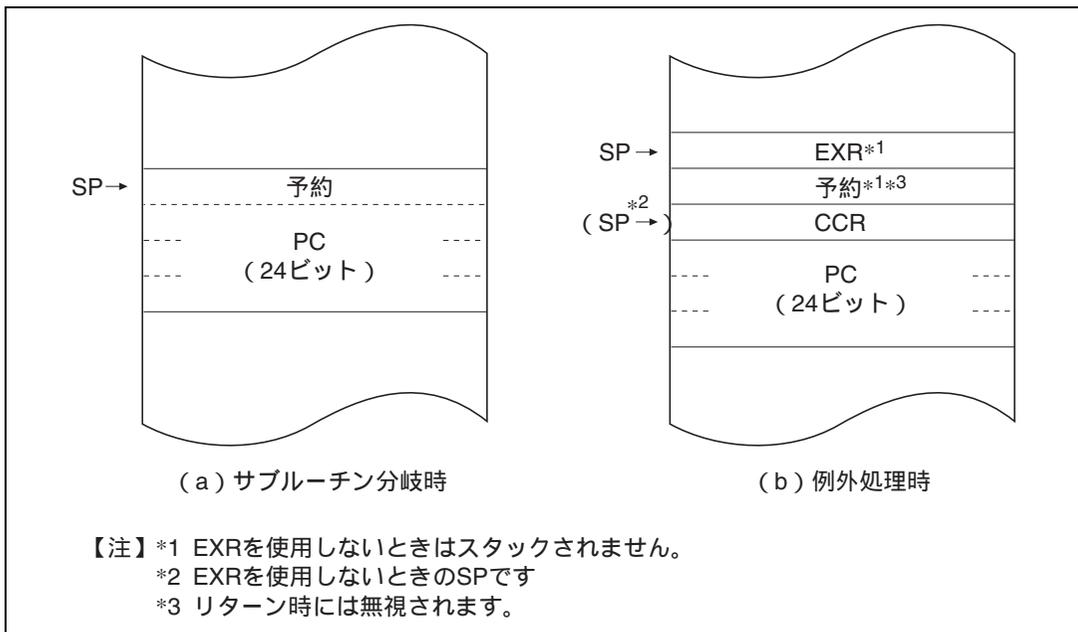


図 2.5 アドバンストモードのスタック構造

2.3 アドレス空間

本 CPU のメモリマップを図 2.6 に示します。本 CPU は、ノーマルモードのとき最大 64K バイト、またアドバンスモードのとき最大 16M バイト（アーキテクチャ上は 4G バイト）のアドレス空間をリニアに使用することができます。

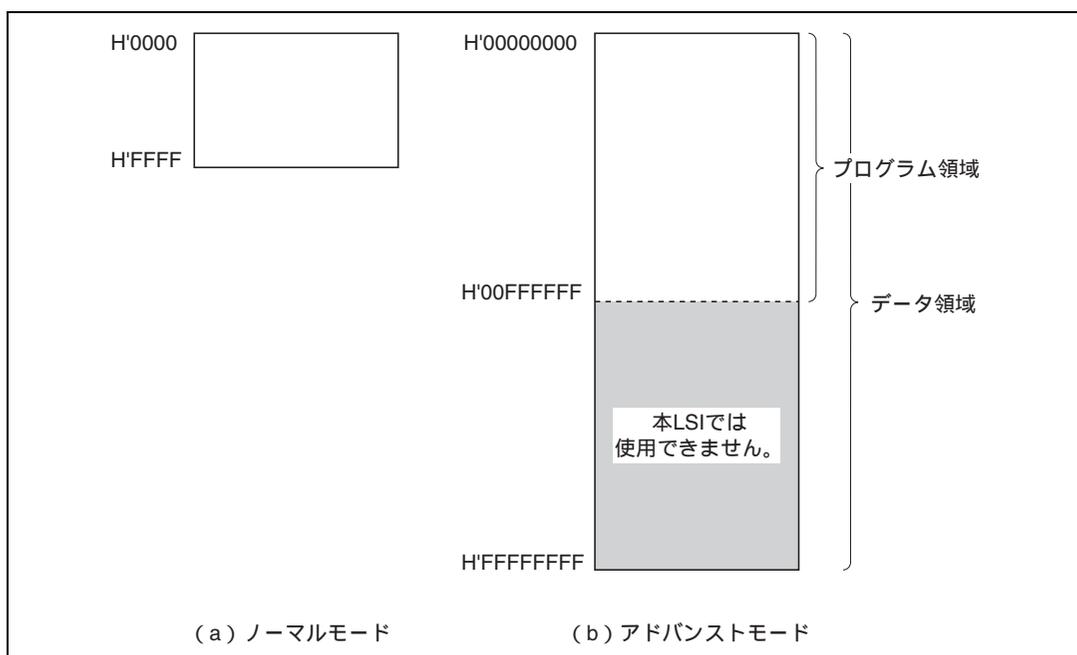


図 2.6 メモリマップ

2.4 レジスタ構成

2.4.1 概要

本 CPU の内部レジスタ構成を図 2.7 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。

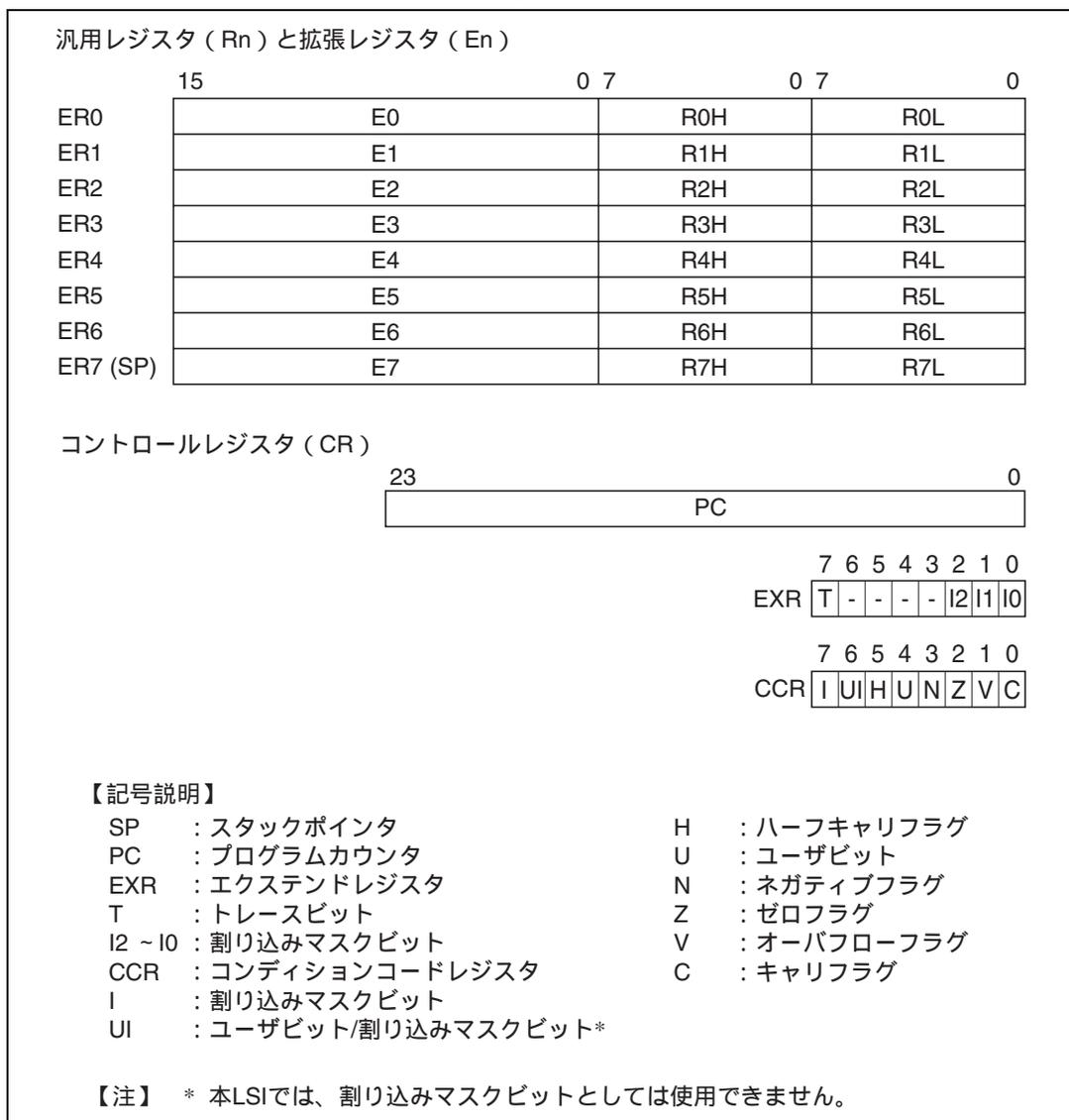


図 2.7 CPU 内部レジスタ構成

2.4.2 汎用レジスタ

本 CPU は、32 ビット長の汎用レジスタを 8 本持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタとしてもデータレジスタとしても使用することができます。データレジスタとしては 32 ビット、16 ビット、および 8 ビットレジスタとして使用できます。

アドレスレジスタおよび 32 ビットレジスタとしては、一括して汎用レジスタ ER (ER0 ~ ER7) として使用します。

16 ビットレジスタとしては、汎用レジスタ ER を分割して汎用レジスタ E (E0 ~ E7)、汎用レジスタ R (R0 ~ R7) として使用します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本まで使用することができます。なお、汎用レジスタ E (E0 ~ E7) を、特に拡張レジスタと呼ぶ場合があります。

8 ビットレジスタとしては、汎用レジスタ R を分割して汎用レジスタ RH (RH0 ~ RH7)、汎用レジスタ RL (RL0 ~ RL7) として使用します。これらは同等の機能を持っており、8 ビットレジスタを最大 16 本まで使用することができます。

汎用レジスタの使用方法を図 2.8 に示します。各レジスタ独立に使用方法を選択することができます。

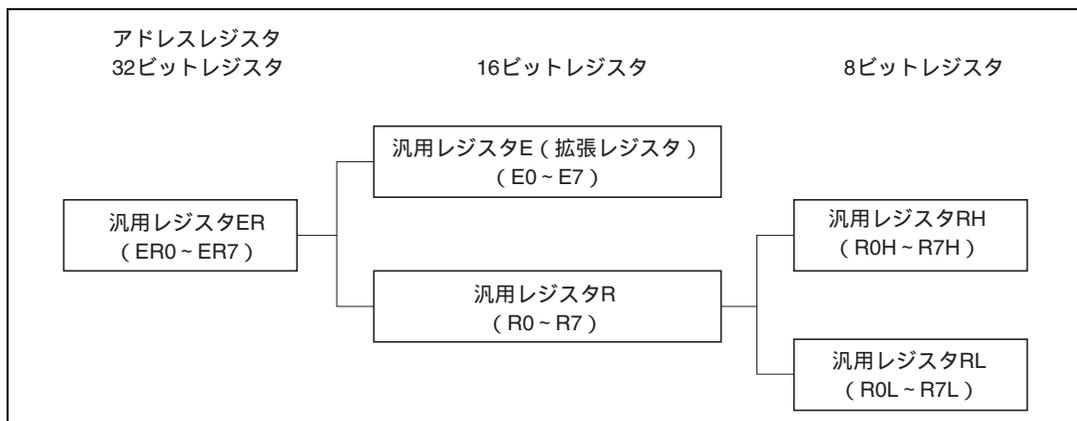


図 2.8 汎用レジスタの使用方法

汎用レジスタ ER7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図 2.9 に示します。

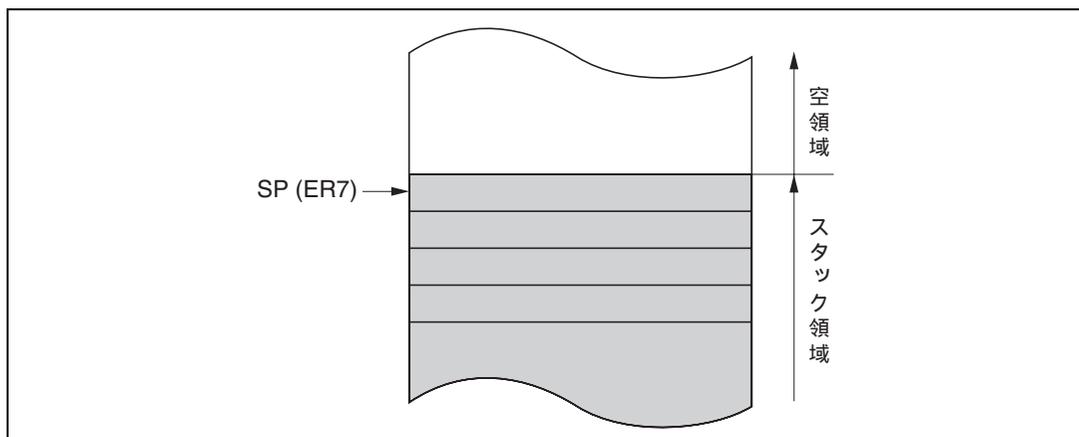


図 2.9 スタックの状態

2.4.3 コントロールレジスタ

コントロールレジスタには、24 ビットのプログラムカウンタ (PC)、8 ビットのエクステンドレジスタ (EXR)、および 8 ビットのコンディションコードレジスタ (CCR) があります。

(1) プログラムカウンタ (PC)

24 ビットのカウンタで、CPU が次に実行する命令のアドレスを示しています。CPU の命令は、すべて 2 バイト (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時には最下位ビットは 0 とみなされます)。

(2) エクステンドレジスタ (EXR)

8 ビットのレジスタです。トレースビット (T)、割り込みマスクビット (I2~I0) を含む 8 ビットで構成されています。

ビット 7: トレースビット (T)

トレースモードか否かを指定します。本ビットが 0 にクリアされているときは命令を順次実行します。1 にセットされているときは 1 命令実行するごとにトレース例外処理を開始します。

ビット 6~3: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。

ビット 2~0: 割り込みマスクビット (I2~I0)

割り込み要求マスクレベル (0~7) を指定します。詳細は「第 5 章 割り込みコントローラ」を参照してください。

EXR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。このうち STC を除く命令を実行した場合、実行終了後 3 ステートの間は、NMI を含めてすべての割り込みは受け付け

られません。

(3) コンディションコードレジスタ (CCR)

8ビットのレジスタで、CPUの内部状態を示しています。割り込みマスクビット(I)とハーフキャリ(H)、ネガティブ(N)、ゼロ(Z)、オーバフロー(V)、キャリ(C)の各フラグを含む8ビットで構成されています。

ビット7: 割り込みマスクビット(I)

本ビットが1にセットされると、割り込みがマスクされます。ただし、NMIはIビットに関係なく受け付けられます。例外処理の実行が開始されたときに1にセットされます。詳細は「第5章 割り込みコントローラ」を参照してください。

ビット6: ユーザビット/割り込みマスクビット(UI)

ソフトウェア(LDC、STC、ANDC、ORC、XORC命令)でリード/ライトできます。本LSIでは、割り込みマスクビットとしては使用できません。

ビット5: ハーフキャリフラグ(H)

ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B命令の実行により、ビット3にキャリまたはボローが生じたとき1にセットされ、生じなかったとき0にクリアされます。また、ADD.W、SUB.W、CMP.W、NEG.W命令の実行により、ビット11にキャリまたはボローが生じたとき、もしくはADD.L、SUB.L、CMP.L、NEG.L命令の実行により、ビット27にキャリまたはボローが生じたとき1にセットされ、生じなかったとき0にクリアされます。

ビット4: ユーザビット(U)

ソフトウェア(LDC、STC、ANDC、ORC、XORC命令)でリード/ライトできます。

ビット3: ネガティブフラグ(N)

データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。

ビット2: ゼロフラグ(Z)

データがゼロのとき1にセットされ、ゼロ以外のとき0にクリアされます。

ビット1: オーバフローフラグ(V)

算術演算命令の実行により、オーバフローが生じたとき1にセットされます。それ以外のとき0にクリアされます。

ビット0: キャリフラグ(C)

演算の実行により、キャリが生じたとき1にセットされ、生じなかったとき0にクリアされます。キャリには次の種類があります。

- (a) 加算結果のキャリ
- (b) 減算結果のボロー

(c) シフト/ローテートのキャリ

また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。なお、命令によってはフラグが変化しない場合があります。

各命令ごとのフラグの変化については、「付録 A.1 命令セット一覧」を参照してください。

CCR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。

2.4.4 CPU 内部レジスタの初期値

リセット例外処理によって、CPU 内部レジスタのうち、PC はベクタからロードすることにより初期化されます。また EXR の T ビットは 0 にクリアされ、EXR、CCR の I ビットは 1 にセットされますが、汎用レジスタと CCR の他のビットは初期化されません。SP (ER7) の初期値も不定です。したがって、リセット直後に、MOV.L 命令を使用して SP の初期化を行ってください。

2.5 データ構成

本 CPU は、1 ビット、4 ビット BCD、8 ビット (バイト)、16 ビット (ワード)、および 32 ビット (ロングワード) のデータを扱うことができます。

1 ビットデータはビット操作命令で扱われ、オペランドデータ (バイト) の第 n ビット ($n=0,1,2, \dots, 7$) という形式でアクセスされます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

2.5.1 汎用レジスタのデータ構成

汎用レジスタのデータ構成を図 2.10 に示します。

データ形	汎用レジスタ	データイメージ
1ビットデータ	RnH	
1ビットデータ	RnL	
4ビットBCDデータ	RnH	
4ビットBCDデータ	RnL	
バイトデータ	RnH	
バイトデータ	RnL	

図 2.10 汎用レジスタのデータ構成 (1)

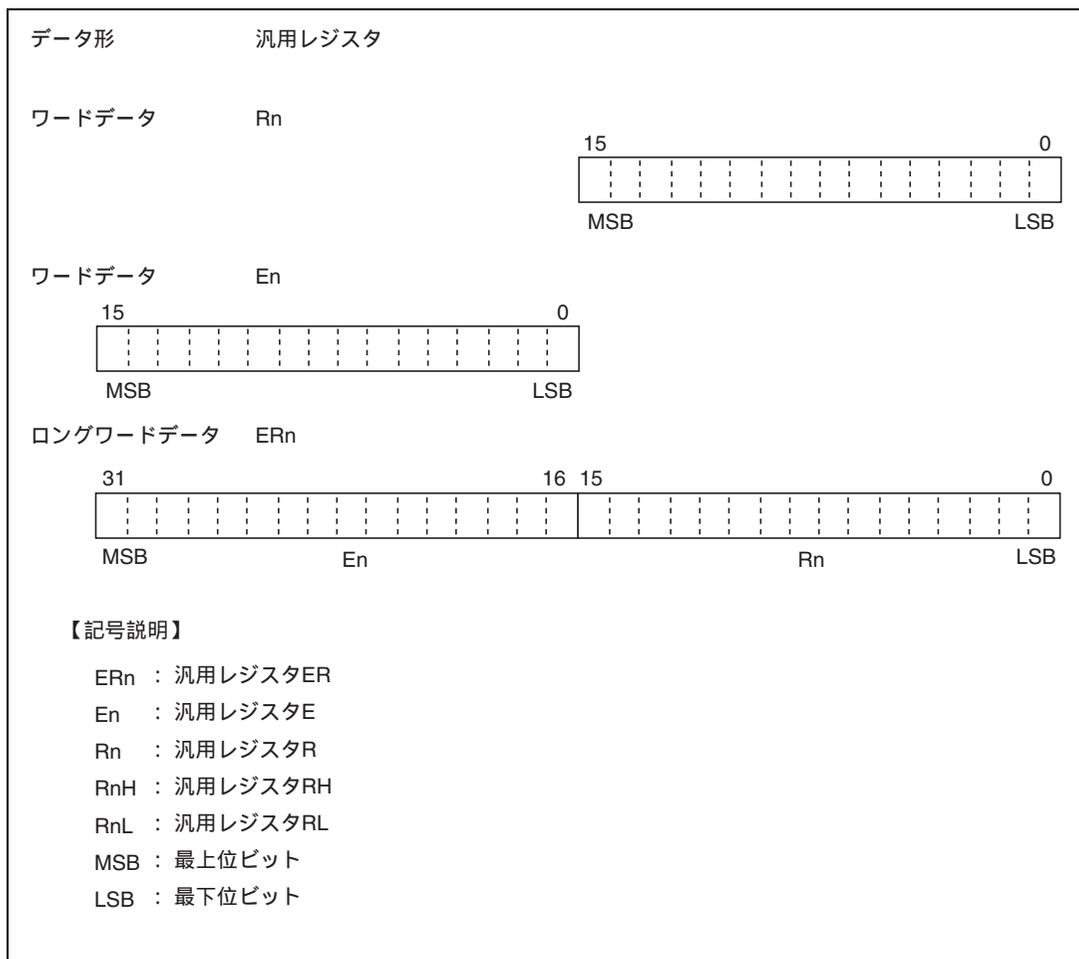


図 2.10 汎用レジスタのデータ構成 (2)

2.5.2 メモリ上でのデータ構成

メモリ上でのデータ構成を図 2.11 に示します。

本 CPU は、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ/ロングワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

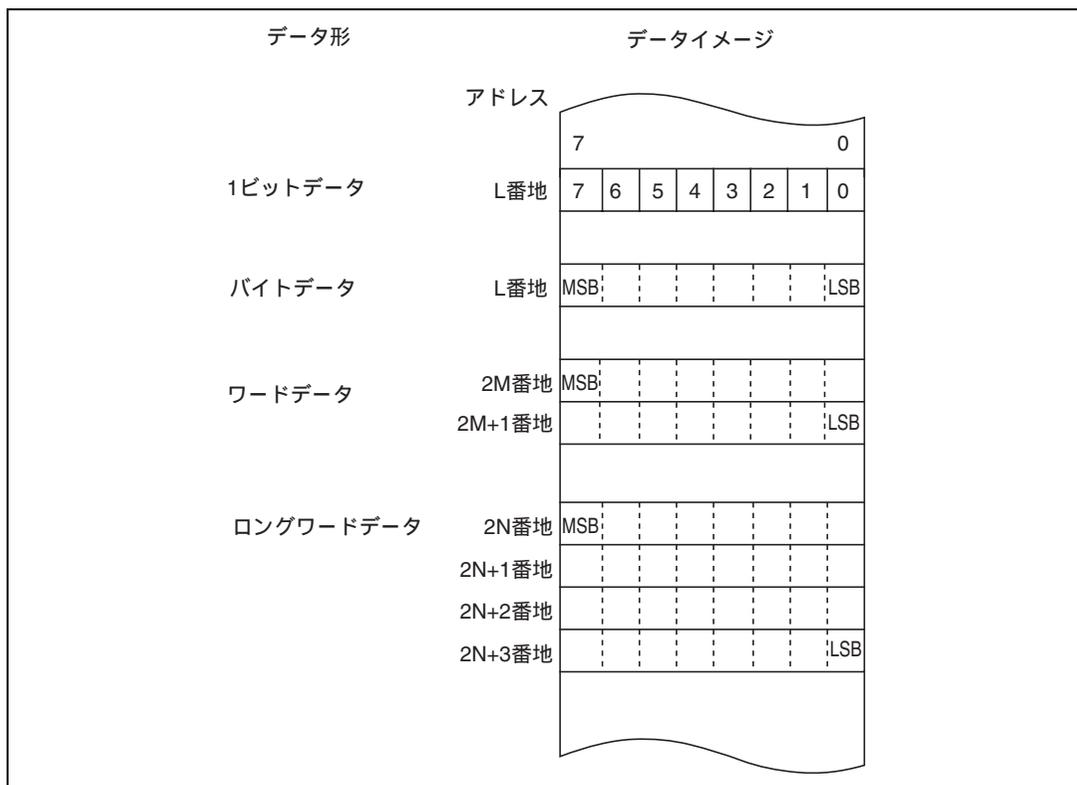


図 2.11 メモリ上でのデータ構成

なお、SP (ER7) をアドレスレジスタとしてスタックをアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

2.6 命令セット

2.6.1 概要

本 CPU の命令は合計 65 種類あり、各命令の持つ機能によって表 2.1 に示すように分類されます。

表 2.1 命令の分類

分類	命令	サイズ	種類
転送命令	MOV	BWL	5
	POP * ¹ , PUSH * ¹	WL	
	LDM, STM	L	
	MOVFPE, MOVTPE* ³	B	
算術演算命令	ADD, SUB, CMP, NEG	BWL	19
	ADDX, SUBX, DAA, DAS	B	
	INC, DEC	BWL	
	ADDS, SUBS	L	
	MULXU, DIVXU, MULXS, DIVXS	BW	
	EXTU, EXTS	WL	
	TAS	B	
論理演算命令	AND, OR, XOR, NOT	BWL	4
シフト命令	SHAL, SHAR, SHLL, SHLR, ROTL, ROTR, ROTXL, ROTXR	BWL	8
ビット操作命令	BSET, BCLR, BNOT, BTST, BLD, BILD, BST, BIST, BAND, BIAND, BOR, BIOR, BXOR, BIXOR	B	14
分岐命令	Bcc * ² , JMP, BSR, JSR, RTS	-	5
システム制御命令	TRAPA, RTE, SLEEP, LDC, STC, ANDC, ORC, XORC, NOP	-	9
ブロック転送命令	EEPMOV	-	1

合計 65 種類

【記号説明】

- B : バイトサイズ
W : ワードサイズ
L : ロングワードサイズ

【注】 *1 POP.W Rn、PUSH.W Rn は、それぞれ MOV.W @SP+,Rn、MOV.W Rn,@-SP と同一です。
また、POP.L ERn、PUSH.L ERn は、それぞれ MOV.L @SP+,ERn、MOV.L ERn,@-SP と同一です。

*2 Bcc は条件分岐命令の総称です。

*3 本 LSI では使用できません。

2.6.2 命令とアドレッシングモードの組み合わせ

本 CPU で使用できる命令とアドレッシングモードの組み合わせを表 2.2 に示します。

表 2.2 命令とアドレッシングモードの組み合わせ

機能	命令	アドレッシングモード													
		#xx	Rn	@ERn	@(d:16, ERn)	@(d:32, ERn)	@-ERn/@ERn+	@aa:8	@aa:16	@aa:24	@aa:32	@(dt:8, PC)	@(dt:16, PC)	@@aa:8	
データ転送命令	MOV	BWL	BWL	BWL	BWL	BWL	BWL	B	BWL	—	BWL	—	—	—	—
	POP, PUSH	—	—	—	—	—	—	—	—	—	—	—	—	—	WL
	LDM, STM	—	—	—	—	—	—	—	—	—	—	—	—	—	L
	MOVFP, MOVTP*	—	—	—	—	—	—	—	B	—	—	—	—	—	—
算術演算命令	ADD, CMP	BWL	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	SUB	WL	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	ADDX, SUBX	B	B	—	—	—	—	—	—	—	—	—	—	—	—
	ADDS, SUBS	—	L	—	—	—	—	—	—	—	—	—	—	—	—
	INC, DEC	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	DAA, DAS	—	B	—	—	—	—	—	—	—	—	—	—	—	—
	MULXU, DIVXU	—	BW	—	—	—	—	—	—	—	—	—	—	—	—
	MULXS, DIVXS	—	BW	—	—	—	—	—	—	—	—	—	—	—	—
	NEG	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	EXTU, EXTS	—	WL	—	—	—	—	—	—	—	—	—	—	—	—
	TAS	—	—	B	—	—	—	—	—	—	—	—	—	—	—
論理演算命令	AND, OR, XOR	BWL	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	NOT	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—
シフト命令	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット操作命令	—	B	B	—	—	—	—	B	B	—	B	—	—	—	—
分岐命令	Bcc, BSR	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	JMP, JSR	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	RTS	—	—	—	—	—	—	—	—	—	—	—	—	—	—
システム制御命令	TRAPA	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	RTE	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	SLEEP	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	LDC	B	B	W	W	W	W	—	W	—	W	—	—	—	—
	STC	—	B	W	W	W	W	—	W	—	W	—	—	—	—
	ANDC, ORC, XORC	B	—	—	—	—	—	—	—	—	—	—	—	—	—
ブロック転送命令	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BW

【記号説明】

- B : バイト
W : ワード
L : ロングワード

【注】 * 本 LSI では使用できません。

2.6.3 命令の機能別一覧

各命令の機能について表 2.3～表 2.10 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

《オペレーションの記号》

Rd	汎用レジスタ (デスティネーション側)*
Rs	汎用レジスタ (ソース側)*
Rn	汎用レジスタ*
ERn	汎用レジスタ (32 ビットレジスタ)
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
-	減算
×	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
→	転送
~	反転論理 (論理的補数)
:8 / :16 / :24 / :32	8 / 16 / 24 / 32 ビット長

【注】 * 汎用レジスタは、8 ビット (R0H～R7H、R0L～R7L)、16 ビット (R0～R7、E0～E7)、または 32 ビットレジスタ (ER0～ER7) です。

表 2.3 データ転送命令

命令	サイズ*	機能
MOV	B / W / L	(EAs) → Rd, Rs → (EAd) 汎用レジスタと汎用レジスタ、または汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。
MOVFPPE	B	本 LSI では使用できません。
MOVTPE	B	本 LSI では使用できません。
POP	W / L	@SP+ → Rn スタックから汎用レジスタへデータを復帰します。 POP.W Rn は MOV.W @SP+, Rn と、また、POP.L ERn は MOV.L @SP+, ERn と同一です。
PUSH	W / L	Rn → @-SP 汎用レジスタの内容をスタックに退避します。 PUSH.W Rn は MOV.W Rn, @-SP と、また、PUSH.L ERn は MOV.L ERn, @-SP と同一です。
LDM	L	@SP+ → Rn (レジスタ群) スタックから複数の汎用レジスタへデータを復帰します。
STM	L	Rn (レジスタ群) → @-SP 複数の汎用レジスタの内容をスタックに退避します。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.4 算術演算命令

命令	サイズ*	機能
ADD SUB	B / W / L	$Rd \pm Rs \rightarrow Rd$, $Rd \pm \#IMM \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います (バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください)。
ADDX SUBX	B	$Rd \pm Rs \pm C \rightarrow Rd$, $Rd \pm \#IMM \pm C \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付きの加減算を行います。
INC DEC	B / W / L	$Rd \pm 1 \rightarrow Rd$, $Rd \pm 2 \rightarrow Rd$ 汎用レジスタに 1 または 2 を加減算します (バイトサイズで 1 の加減算のみ可能です)。
ADDS SUBS	L	$Rd \pm 1 \rightarrow Rd$, $Rd \pm 2 \rightarrow Rd$, $Rd \pm 4 \rightarrow Rd$ 32 ビットレジスタに 1、2、または 4 を加減算します。
DAA DAS	B	$Rd (10 \text{ 進補正}) \rightarrow Rd$ 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B / W	$Rd \times Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。 8 ビット \times 8 ビット \rightarrow 16 ビット、16 ビット \times 16 ビット \rightarrow 32 ビットの乗算が可能です。
MULXS	B / W	$Rd \times Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。 8 ビット \times 8 ビット \rightarrow 16 ビット、16 ビット \times 16 ビット \rightarrow 32 ビットの乗算が可能です。
DIVXU	B / W	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号なし除算を行います。 16 ビット \div 8 ビット \rightarrow 商 8 ビット余り 8 ビット、 32 ビット \div 16 ビット \rightarrow 商 16 ビット余り 16 ビットの除算が可能です。
DIVXS	B / W	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号付き除算を行います。 16 ビット \div 8 ビット \rightarrow 商 8 ビット余り 8 ビット、 32 ビット \div 16 ビット \rightarrow 商 16 ビット余り 16 ビットの除算が可能です。
CMP	B / W / L	$Rd - Rs$, $Rd - \#IMM$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果を CCR に反映します。
NEG	B / W / L	$0 - Rd \rightarrow Rd$ 汎用レジスタの内容の 2 の補数 (算術的補数) をとります。
EXTU	W / L	$Rd(\text{ゼロ拡張}) \rightarrow Rd$ 16 ビットレジスタの下位 8 ビットをワードサイズにゼロ拡張します。または、 32 ビットレジスタの下位 16 ビットをロングワードサイズにゼロ拡張します。

命令	サイズ*	機能
EXTS	W/L	Rd(符号拡張) → Rd 16ビットレジスタの下位8ビットをワードサイズに符号拡張します。または、32ビットレジスタの下位16ビットをロングワードサイズに符号拡張します。
TAS	B	@ERd - 0、1 → (<ビット7> of @ERd) メモリの内容をテストした後、最上位ビット(ビット7)を1にセットします。

【注】 * サイズはオペランドサイズを示します。

B: バイト

W: ワード

L: ロングワード

表 2.5 論理演算命令

命令	サイズ*	機能
AND	B/W/L	Rd Rs → Rd、Rd #IMM → Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B/W/L	Rd Rs → Rd、Rd #IMM → Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B/W/L	Rd⊕Rs → Rd、Rd⊕#IMM → Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の排他的論理和をとります。
NOT	B/W/L	~Rd → Rd 汎用レジスタの内容の1の補数(論理的補数)をとります。

【注】 * サイズはオペランドサイズを示します。

B: バイト

W: ワード

L: ロングワード

表 2.6 シフト命令

命令	サイズ*	機能
SHAL SHAR	B/W/L	Rd(シフト処理) → Rd 汎用レジスタの内容を算術的にシフトします。 1ビットまたは2ビットのシフトが可能です。
SHLL SHLR	B/W/L	Rd(シフト処理) → Rd 汎用レジスタの内容を論理的にシフトします。 1ビットまたは2ビットのシフトが可能です。
ROTL ROTR	B/W/L	Rd(ローテート処理) → Rd 汎用レジスタの内容をローテートします。 1ビットまたは2ビットのローテートが可能です。
ROTXL ROTXR	B/W/L	Rd(ローテート処理) → Rd 汎用レジスタの内容をキャリフラグを含めてローテートします。 1ビットまたは2ビットのローテートが可能です。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.7 ビット操作命令

命令	サイズ*	機能
BSET	B	1 → (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを1にセットします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BCLR	B	0 → (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを0にクリアします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BNOT	B	~(<ビット番号>of<EAd>) → (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
BTST	B	~(<ビット番号>of<EAd>) → Z 汎用レジスタまたはメモリのオペランドの指定された1ビットをテストし、ゼロフラグに反映します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
BAND	B	C (<ビット番号>of<EAd>) → C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理積をとり、結果をキャリフラグに格納します。
BIAND	B	C [~(<ビット番号>of<EAd>)] → C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理積をとり、結果をキャリフラグに格納します。 ビット番号は、3ビットのイミディエイトデータで指定されます。
BOR	B	C (<ビット番号>of<EAd>) → C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理和をとり、結果をキャリフラグに格納します。
BIOR	B	C [~(<ビット番号>of<EAd>)] → C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3ビットのイミディエイトデータで指定されます。
BXOR	B	C⊕(<ビット番号>of<EAd>) → C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。
BIXOR	B	C⊕ [~(<ビット番号>of<EAd>)] → C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3ビットのイミディエイトデータで指定されます。

2. CPU

命令	サイズ*	機能
BLD	B	(<ビット番号>of<EAd>) → C 汎用レジスタまたはメモリのオペランドの指定された1ビットをキャリフラグに転送します。
BILD	B	~(<ビット番号>of<EAd>) → C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグに転送します。 ビット番号は、3ビットのイミディエイトデータで指定されます。
BST	B	C → (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、キャリフラグの内容を転送します。
BIST	B	~C → (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、キャリフラグを反転して転送します。 ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。
B: バイト

表 2.8 分岐命令

命令	サイズ	機 能																																																			
Bcc	-	<p>指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。</p> <table border="1"> <thead> <tr> <th>ニーモニック</th> <th>説 明</th> <th>分岐条件</th> </tr> </thead> <tbody> <tr> <td>BRA (BT)</td> <td>Always (True)</td> <td>Always</td> </tr> <tr> <td>BRN (BF)</td> <td>Never (False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>C Z = 0</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>C Z = 1</td> </tr> <tr> <td>BCC (BHS)</td> <td>Carry Clear (High or Same)</td> <td>C = 0</td> </tr> <tr> <td>BCS (BLO)</td> <td>Carry Set (LOW)</td> <td>C = 1</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>Z = 0</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>Z = 1</td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td>V = 0</td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td>V = 1</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>N = 0</td> </tr> <tr> <td>BMI</td> <td>MInus</td> <td>N = 1</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>$N \oplus V = 0$</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>$N \oplus V = 1$</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>Z (N\oplusV) = 0</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>Z (N\oplusV) = 1</td> </tr> </tbody> </table>	ニーモニック	説 明	分岐条件	BRA (BT)	Always (True)	Always	BRN (BF)	Never (False)	Never	BHI	High	C Z = 0	BLS	Low or Same	C Z = 1	BCC (BHS)	Carry Clear (High or Same)	C = 0	BCS (BLO)	Carry Set (LOW)	C = 1	BNE	Not Equal	Z = 0	BEQ	Equal	Z = 1	BVC	oVerflow Clear	V = 0	BVS	oVerflow Set	V = 1	BPL	PLus	N = 0	BMI	MInus	N = 1	BGE	Greater or Equal	$N \oplus V = 0$	BLT	Less Than	$N \oplus V = 1$	BGT	Greater Than	Z (N \oplus V) = 0	BLE	Less or Equal	Z (N \oplus V) = 1
ニーモニック	説 明	分岐条件																																																			
BRA (BT)	Always (True)	Always																																																			
BRN (BF)	Never (False)	Never																																																			
BHI	High	C Z = 0																																																			
BLS	Low or Same	C Z = 1																																																			
BCC (BHS)	Carry Clear (High or Same)	C = 0																																																			
BCS (BLO)	Carry Set (LOW)	C = 1																																																			
BNE	Not Equal	Z = 0																																																			
BEQ	Equal	Z = 1																																																			
BVC	oVerflow Clear	V = 0																																																			
BVS	oVerflow Set	V = 1																																																			
BPL	PLus	N = 0																																																			
BMI	MInus	N = 1																																																			
BGE	Greater or Equal	$N \oplus V = 0$																																																			
BLT	Less Than	$N \oplus V = 1$																																																			
BGT	Greater Than	Z (N \oplus V) = 0																																																			
BLE	Less or Equal	Z (N \oplus V) = 1																																																			
JMP	-	指定されたアドレスへ無条件に分岐します。																																																			
BSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	-	サブルーチンから復帰します。																																																			

表 2.9 システム制御命令

命令	サイズ*	機能
TRAPA	-	命令トラップ例外処理を行います。
RTE	-	例外処理ルーチンから復帰します。
SLEEP	-	低消費電力状態に遷移します。
LDC	B / W	(EAs) → CCR、(EAs) → EXR 汎用レジスタまたはメモリの内容を CCR、EXR に転送します。また、イミディエイトデータを CCR、EXR に転送します。CCR、EXR は 8 ビットですが、メモリと CCR、EXR 間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
STC	B / W	CCR → (EAd)、EXR → (EAd) CCR、EXR の内容を汎用レジスタまたはメモリに転送します。CCR、EXR は 8 ビットですが、CCR、EXR とメモリ間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
ANDC	B	CCR #IMM → CCR、EXR #IMM → EXR CCR、EXR とイミディエイトデータの論理積をとります。
ORC	B	CCR #IMM → CCR、EXR #IMM → EXR CCR、EXR とイミディエイトデータの論理和をとります。
XORC	B	CCR⊕#IMM → CCR、EXR⊕#IMM → EXR CCR、EXR とイミディエイトデータの排他的論理和をとります。
NOP	-	PC+2 → PC PC のインクリメントだけを行います。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

表 2.10 ブロック転送命令

命令	サイズ*	機能
EPEMOV.B	-	if R4L 0 then Repeat @ER5+ → @ER6+ R4L - 1 → R4L Until R4L = 0 else next;
EPEMOV.W	-	if R4 0 then Repeat @ER5+ → @ER6+ R4 - 1 → R4 Until R4 = 0 else next; ブロック転送命令です。ER5 で示されるアドレスから始まり、R4L または R4 で指定されるバイト数のデータを、ER6 で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。

2.6.4 命令の基本フォーマット

本 CPU の命令は、2 バイト（ワード）を単位にしています。各命令はオペレーションフィールド（op）、レジスタフィールド（r）、EA 拡張部（EA）、およびコンディションフィールド（cc）から構成されています。

図 2.12 に命令フォーマットの例を示します。

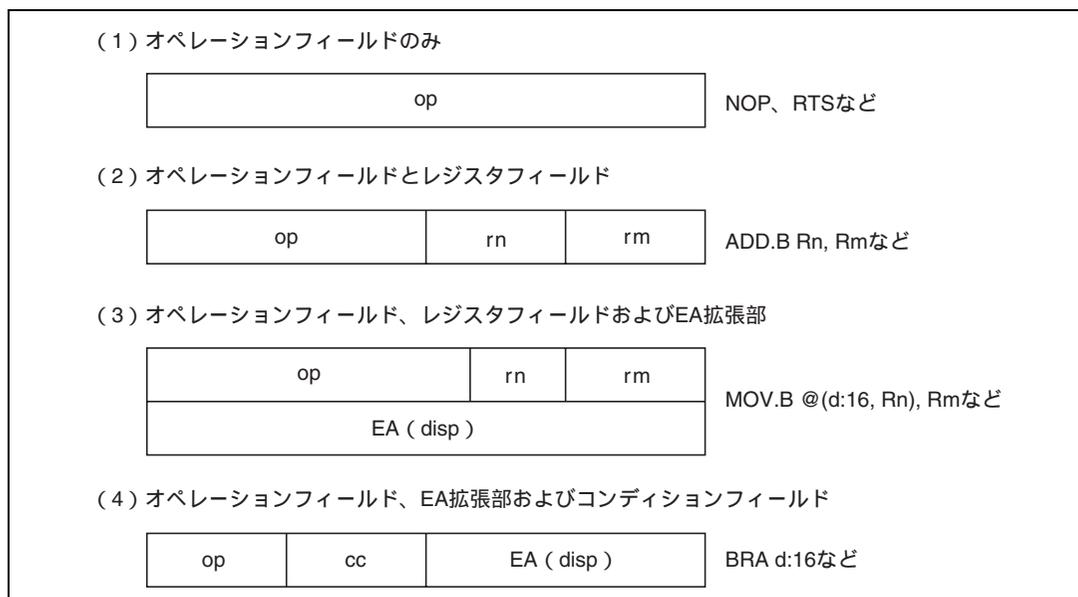


図 2.12 命令フォーマットの例

(1) オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭 4 ビットを必ず含みます。2 つのオペレーションフィールドを持つ場合もあります。

(2) レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき 3 ビット、データレジスタのとき 3 ビットまたは 4 ビットです。2 つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

(3) EA 拡張部

イミディエイトデータ、絶対アドレスまたはディスプレースメントを指定します。8 ビット、16 ビット、または 32 ビットです。

(4) コンディションフィールド

Bcc 命令の分岐条件を指定します。

2.7 アドレッシングモードと実効アドレスの計算方法

2.7.1 アドレッシングモード

本 CPU は表 2.11 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードは異なります。

演算命令では、レジスタ直接、およびイミディエイトが使用できます。

転送命令では、プログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードが使用できます。

また、ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレスが使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接 (BSET、BCLR、BNOT、BTST の各命令)、およびイミディエイト (3 ビット) が独立して使用できます。

表 2.11 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディスプレースメント付きレジスタ間接	@(d:16,ERn) / @(d:32,ERn)
4	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn+ @-ERn
5	絶対アドレス	@aa:8 / @aa:16 / @aa:24 / @aa:32
6	イミディエイト	#xx:8 / #xx:16 / #xx:32
7	プログラムカウンタ相対	@(d:8,PC) / @(d:16,PC)
8	メモリ間接	@@aa:8

(1) レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8 ビット、16 ビットまたは 32 ビット) がオペランドとなります。

8 ビットレジスタとしては R0H~R7H、R0L~R7L を指定可能です。

16 ビットレジスタとしては R0~R7、E0~E7 を指定可能です。

32 ビットレジスタとしては ER0~ER7 を指定可能です。

(2) レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。

プログラム領域としては、下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。

(3) ディスプレースメント付きレジスタ間接 @(d:16,ERn) / @(d:32,ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容に命令コード中に含まれる 16 ビットディスプレースメントまたは 32 ビットディスプレースメントを加算した内容をアドレスとしてメモリ上のオペランドを指定します。加算に際して、16 ビットディスプレースメントは符号拡張されます。

(4) ポストインクリメントレジスタ間接 @ERn+ / プリデクリメントレジスタ間接 @-ERn

(a) ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。その後、アドレスレジスタの内容に 1、2 または 4 が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ加算されます。ワードサイズまたはロングワードサイズるとき、アドレスレジスタの内容が偶数となるようにしてください。

(b) プリデクリメントレジスタ間接 @-ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から、1、2 または 4 を減算した内容をアドレスとしてメモリ上のオペランドを指定します。その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ減算されます。ワードサイズまたはロングワードサイズるとき、アドレスレジスタの内容が偶数になるようにしてください。

(5) 絶対アドレス @aa:8 / @aa:16 / @aa:24 / @aa:32

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。

絶対アドレスは 8 ビット (@aa:8)、16 ビット (@aa:16)、24 ビット (@aa:24)、または 32 ビット (@aa:32) です。

データ領域としては、8 ビット (@aa:8)、16 ビット (@aa:16)、または 32 ビット (@aa:32) を使用します。8 ビット絶対アドレスの場合、上位 24 ビットはすべて 1 (H'FFFF) となります。16 ビット絶対アドレスの場合、上位 16 ビットは符号拡張されます。32 ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

プログラム領域としては 24 ビット (@aa:24) を使用します。上位 8 ビットはすべて 0 (H'00) となります。

絶対アドレスのアクセス範囲を表 2.12 に示します。

表 2.12 絶対アドレスのアクセス範囲

絶対アドレス		ノーマルモード	アドバンストモード
データ領域	8 ビット (@aa:8)	H'FFF0 ~ H'FFFF	H'FFFF00 ~ H'FFFFFF
	16 ビット (@aa:16)	H'0000 ~ H'FFFF	H'000000 ~ H'007FFF, H'FF8000 ~ H'FFFFFF
	32 ビット (@aa:32)		H'000000 ~ H'FFFFFF
プログラム領域	24 ビット (@aa:24)		

(6) イミディエイト #xx:8 / #xx:16 / #xx:32

命令コード中に含まれる 8 ビット (#xx:8)、16 ビット (#xx:16)、または 32 ビット (#xx:32) のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC 命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが、命令コード中に含まれる場合があります。また、TRAPA 命令では、ベクタアドレスを指定するため

の 2 ビットのイミディエイトデータが、命令コードの中に含まれます。

(7) プログラムカウンタ相対 @ (d:8, PC) / @ (d:16, PC)

Bcc、BSR 命令で使用されます。PC の内容で指定される 24 ビットのアドレスに、命令コード中に含まれる 8 ビット、または 16 ビットディスプレースメントを加算して 24 ビットの分岐アドレスを生成します。加算に際して、ディスプレースメントは 24 ビットに符号拡張されます。加算結果は下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して - 126 ~ + 128 バイト (- 63 ~ + 64 ワード) または - 32766 ~ + 32768 バイト (- 16383 ~ + 16384 ワード) です。このとき、加算結果が偶数となるようにしてください。

(8) メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。命令コード中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。

8 ビット絶対アドレスの上位のビットはすべて 0 となりますので、分岐アドレスを格納できるのは 0 ~ 255 (ノーマルモードのとき H'0000 ~ H'00FF、アドバンスモードのとき H'000000 ~ H'0000FF) 番地です。

ノーマルモードの場合は、メモリ上のオペランドはワードサイズで指定し、16 ビットの分岐アドレスを生成します。

また、アドバンスモードの場合は、メモリ上のオペランドはロングワードサイズで指定します。このうち先頭の 1 バイトはすべて 0 (H'00) とみなされます。

ただし、分岐アドレスを格納可能なアドレスの先頭領域は、例外処理ベクタ領域と共通になっていますので注意してください。詳細は「第 4 章 例外処理」を参照してください。

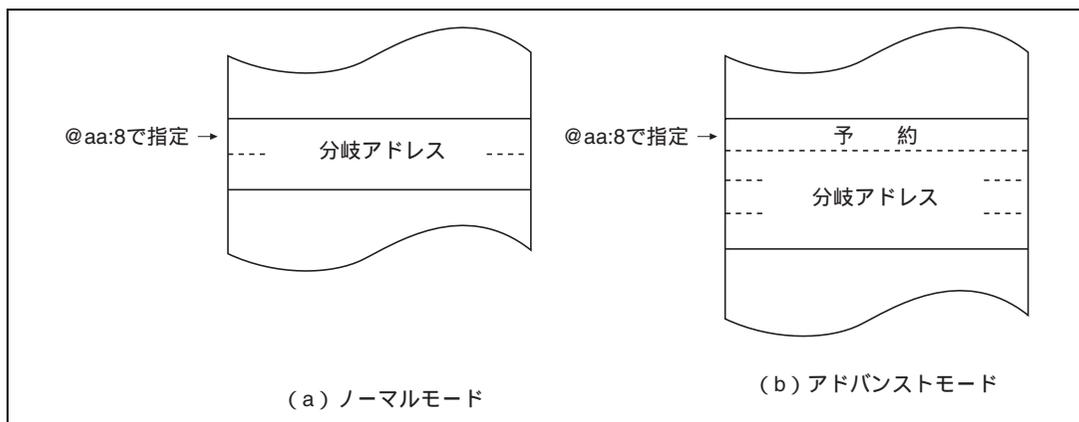


図 2.13 メモリ間接による分岐アドレスの指定

ワードサイズ、ロングワードサイズでメモリを指定する場合、および分岐アドレスを指定する場合に奇数アドレスを指定すると、最下位ビットは 0 とみなされ、1 番地前から始まるデータまたは命令コードをアクセスします (「2.5.2 メモリ上でのデータ構成」を参照してください)。

2.7.2 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス (EA : Effective Address) の計算法を表 2.13 に示します。

ノーマルモードの場合、実効アドレスの上位 8 ビットは無視され、16 ビットのアドレスとなります。

表 2.13 実行アドレスの計算方法

No	アドレッシングモード・命令フォーマット	実行アドレス計算方法	実行アドレス (EA)
1	レジスタ直接 (Rn) <div style="display: flex; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px;">op</div> <div style="border: 1px solid black; padding: 2px;">rm</div> <div style="border: 1px solid black; padding: 2px;">m</div> </div>		オペランドは汎用レジスタの内容です。
2	レジスタ間接 (@ERn) <div style="display: flex; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px;">op</div> <div style="border: 1px solid black; padding: 2px;">r</div> </div>	<div style="display: flex; align-items: center;"> <div style="border: 1px solid black; padding: 2px; width: 30px; text-align: center;">31</div> <div style="border: 1px solid black; padding: 2px; flex-grow: 1;">汎用レジスタの内容</div> <div style="margin-left: 10px;"> \oplus </div> <div style="border: 1px solid black; padding: 2px; width: 30px; text-align: center;">0</div> </div>	<div style="display: flex; align-items: center;"> <div style="border: 1px solid black; padding: 2px; width: 30px; text-align: center;">31</div> <div style="border: 1px solid black; padding: 2px; flex-grow: 1;">Don't care</div> <div style="margin-left: 10px;"> \oplus </div> <div style="border: 1px solid black; padding: 2px; width: 30px; text-align: center;">0</div> </div>
3	ディスプレイメント付きレジスタ間接 @(d:16;ERn) / @(d:32;ERn) <div style="display: flex; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px;">op</div> <div style="border: 1px solid black; padding: 2px;">r</div> <div style="border: 1px solid black; padding: 2px;">disp</div> </div>	<div style="display: flex; align-items: center;"> <div style="border: 1px solid black; padding: 2px; width: 30px; text-align: center;">31</div> <div style="border: 1px solid black; padding: 2px; flex-grow: 1;">汎用レジスタの内容</div> <div style="margin-left: 10px;"> \oplus </div> <div style="border: 1px solid black; padding: 2px; width: 30px; text-align: center;">0</div> </div> <div style="margin-top: 5px; display: flex; align-items: center;"> <div style="border: 1px solid black; padding: 2px; width: 30px; text-align: center;">31</div> <div style="border: 1px solid black; padding: 2px; flex-grow: 1;">符号拡張</div> <div style="margin-left: 10px;"> \oplus </div> <div style="border: 1px solid black; padding: 2px; width: 30px; text-align: center;">0</div> </div>	<div style="display: flex; align-items: center;"> <div style="border: 1px solid black; padding: 2px; width: 30px; text-align: center;">31</div> <div style="border: 1px solid black; padding: 2px; flex-grow: 1;">Don't care</div> <div style="margin-left: 10px;"> \oplus </div> <div style="border: 1px solid black; padding: 2px; width: 30px; text-align: center;">0</div> </div>
4	ポストインクリメントレジスタ間接/プリデクリメントレジスタ間接 @ERn+ ・ポストインクリメントレジスタ間接 @ERn+ <div style="display: flex; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px;">op</div> <div style="border: 1px solid black; padding: 2px;">r</div> </div> ・プリデクリメントレジスタ間接 @-ERn <div style="display: flex; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px;">op</div> <div style="border: 1px solid black; padding: 2px;">r</div> </div>	<div style="display: flex; align-items: center;"> <div style="border: 1px solid black; padding: 2px; width: 30px; text-align: center;">31</div> <div style="border: 1px solid black; padding: 2px; flex-grow: 1;">汎用レジスタの内容</div> <div style="margin-left: 10px;"> \oplus </div> <div style="border: 1px solid black; padding: 2px; width: 30px; text-align: center;">0</div> </div> <div style="margin-top: 5px; display: flex; align-items: center;"> <div style="border: 1px solid black; padding: 2px; width: 30px; text-align: center;">31</div> <div style="border: 1px solid black; padding: 2px; flex-grow: 1;">1、または4</div> <div style="margin-left: 10px;"> \oplus </div> <div style="border: 1px solid black; padding: 2px; width: 30px; text-align: center;">0</div> </div>	<div style="display: flex; align-items: center;"> <div style="border: 1px solid black; padding: 2px; width: 30px; text-align: center;">31</div> <div style="border: 1px solid black; padding: 2px; flex-grow: 1;">Don't care</div> <div style="margin-left: 10px;"> \oplus </div> <div style="border: 1px solid black; padding: 2px; width: 30px; text-align: center;">0</div> </div>

オペランドサイズ	加減算される値
バイト	1
ワード	2
ロングワード	4

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
5	絶対アドレス @aa:8 op abs		31 24 23 8 7 0 ----- ----- ----- Don't care H'FFFF ----- ----- -----
	@aa:16 op abs		31 24 23 16 15 0 ----- ----- ----- Don't care 符号拡張 ----- ----- -----
	@aa:24 op abs		31 24 23 0 ----- ----- ----- Don't care ----- ----- -----
	@aa:32 op abs		31 24 23 0 ----- ----- ----- Don't care ----- ----- -----
6	イミディエイト #xx:8 / #xx:16 / #xx:32 op IMM		オペランドはイミディエイトデータです。

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
7	<p>プログラムカウンタ相対 @(d16,PC) / @(d16,PC)</p>		
8	<p>メモリ間接 @aa:8 ・ノーマルモード</p> <p>・アドバンスドモード</p>		

2.8 処理状態

2.8.1 概要

本 LSI の処理状態には、リセット状態、例外処理状態、プログラム実行状態、バス権解放状態、および低消費電力状態の 5 種類があります。

処理状態の分類を図 2.14 に、処理状態間の遷移を図 2.15 に示します。

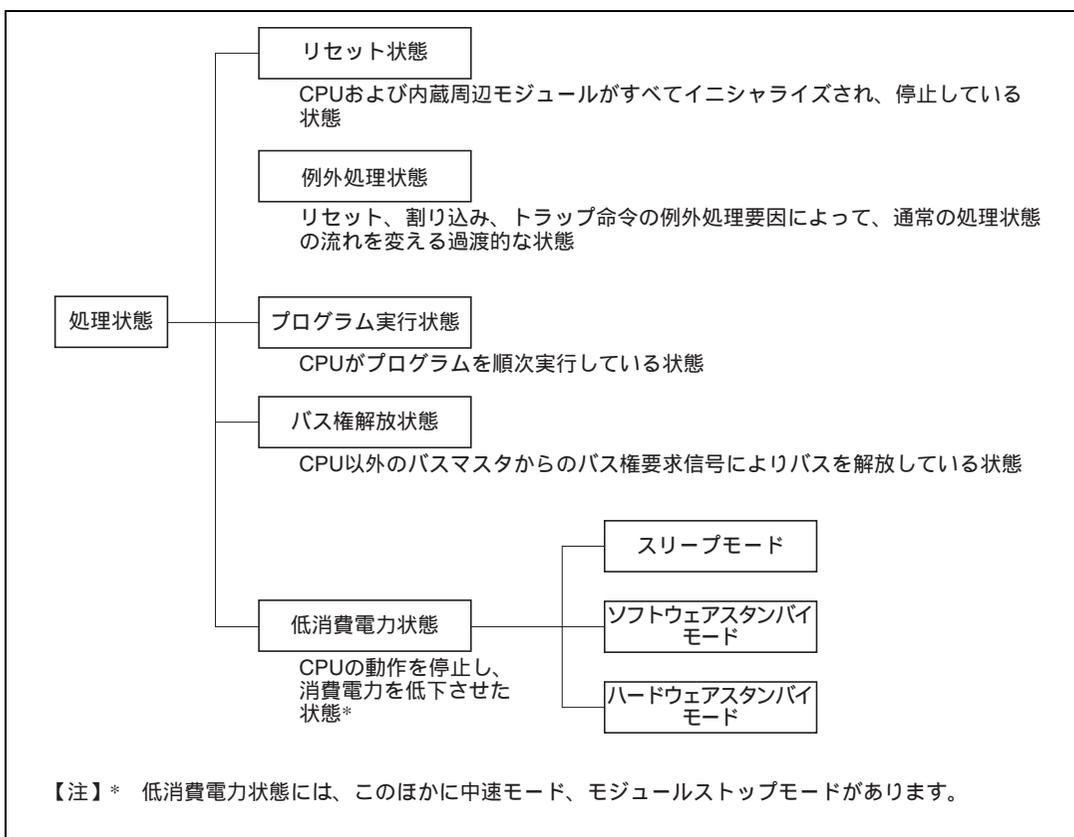


図 2.14 処理状態の分類

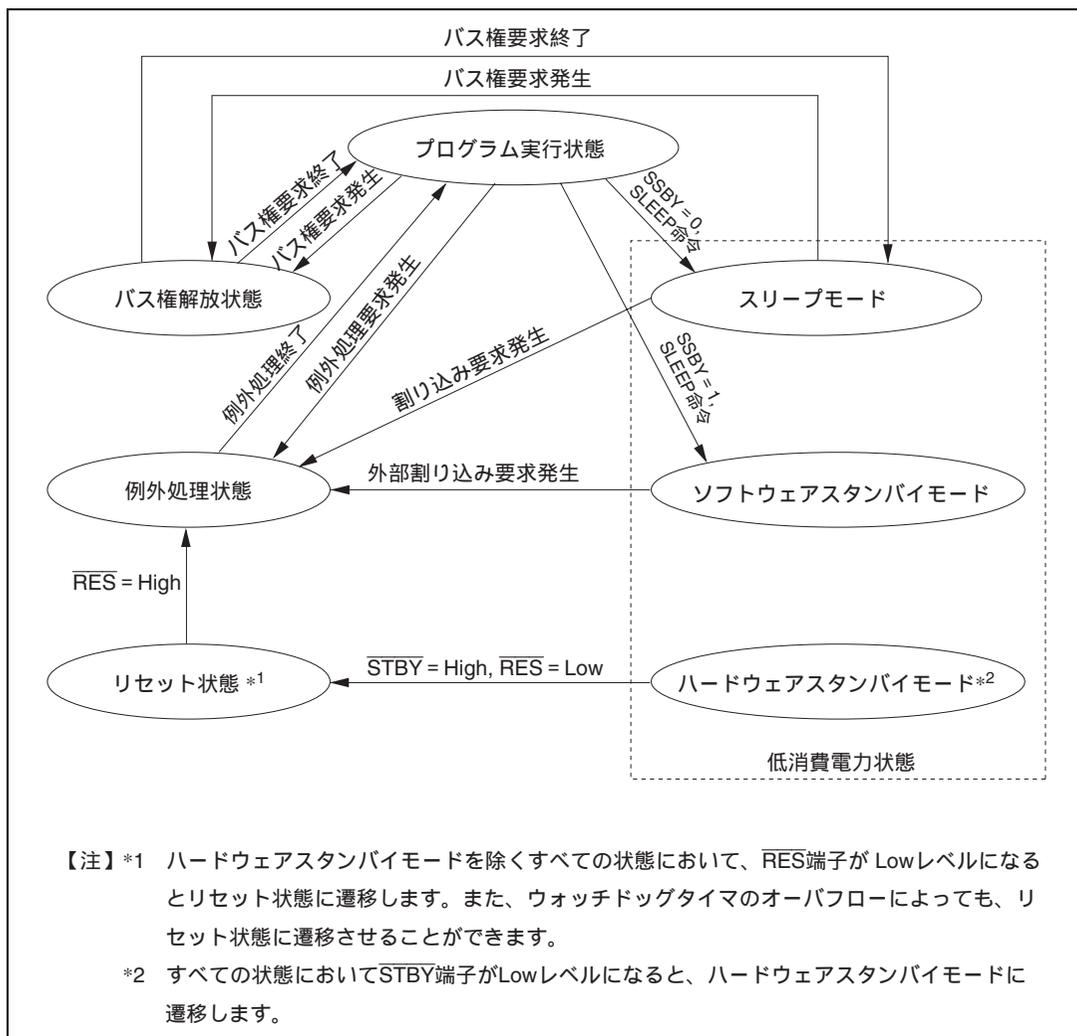


図 2.15 状態遷移図

2.8.2 リセット状態

$\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて中止され、CPU はリセット状態になります。NMI 端子が High レベルのときパワーオンリセット状態、Low レベルのときはマニュアルリセット状態になります。リセット状態ではすべての割り込みが禁止されます。

$\overline{\text{RES}}$ 端子を Low レベルから High レベルにすると、リセット例外処理を開始します。

ウォッチドッグタイマのオーバーフローによって、リセット状態とすることもできます。詳細は「第 11 章 ウォッチドッグタイマ」を参照してください。

2.8.3 例外処理状態

例外処理状態は、リセット、割り込み、またはトラップ命令の例外処理要因によって起動され、CPU が通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出し、そのスタートアドレスに分岐する過渡的な状態です。

(1) 例外処理の種類と優先度

例外処理要因には、リセット、トレース、割り込み、およびトラップ命令があります。表 2.14 に、例外処理の種類と優先度を示します。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

SYSCR で設定される割り込み制御モードによって、例外処理やスタックの構造が異なります。

表 2.14 例外処理の種類と優先度

優先度	例外処理要因	例外処理検出 タイミング	例外処理開始タイミング
高  低	リセット	クロック同期	RES 端子の Low レベルから High レベルへの遷移時、または、ウォッチドックタイマのオーバフローにより例外処理を開始します。
	トレース	命令実行終了時または例外処理終了時*1	T ビット = 1 の状態で命令または例外処理の実行終了時開始します。
	割り込み	命令実行終了時または例外処理終了時*2	割り込み要求が発生すると、命令実行終了時または例外処理終了時に例外処理を開始します。
	トラップ命令	TRAPA 命令実行時	TRAPA 命令を実行すると、例外処理を開始します。*3

【注】 *1 トレースは割り込み制御モード 2 でのみ有効です。トレース例外処理は、RTE 命令の実行終了後には実行しません。

*2 ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。

*3 トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

(2) リセット例外処理

RES 端子を Low レベルにして、リセット状態とした後、RES 端子を High レベルにすると、リセット例外処理を開始します。NMI 端子が High レベルのときパワーオンリセット状態、Low レベルのときはマニュアルリセット状態になります。

リセット例外処理が起動されると、CPU は、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出し、そのスタートアドレスからプログラムの実行を開始します。

リセット例外処理実行中、および終了後は、NMI を含めたすべての割り込みが禁止されます。

(3) トレース

トレースは、割り込み制御モード 2 で有効です。

EXR の T ビットが 1 にセットされていると、トレースモードになります。トレースモードが設定されていると、1 命令の実行を終了するたびにトレース例外処理を開始します。

トレース例外処理実行後、EXR の T ビットが 0 にクリアされ、トレースモードが解除されます。割り込みマスクは影響を受けません。

スタックに退避された T ビットは 1 を保持しており、RTE 命令を実行して、トレース例外処理ルーチンから復帰した後は、再び、トレースモードになります。

RTE 命令実行後は、トレース例外処理を行いません。
割り込み制御モード 0 では、T ビットの状態によらず、トレースモードにはなりません。

(4) 割り込み例外処理およびトラップ命令例外処理

割り込み例外処理およびトラップ命令例外処理が起動されると、CPU は、SP (ER7) を参照してプログラムカウンタとコントロールレジスタをスタックに退避します。そして、CPU はコントロールレジスタの割り込みマスクビットを再設定します。次に、例外処理ベクタテーブルからスタートアドレス (ベクタ) を取り出し、そのスタートアドレスからプログラムの実行を開始します。

例外処理終了後のスタックの状態を図 2.16 に示します。

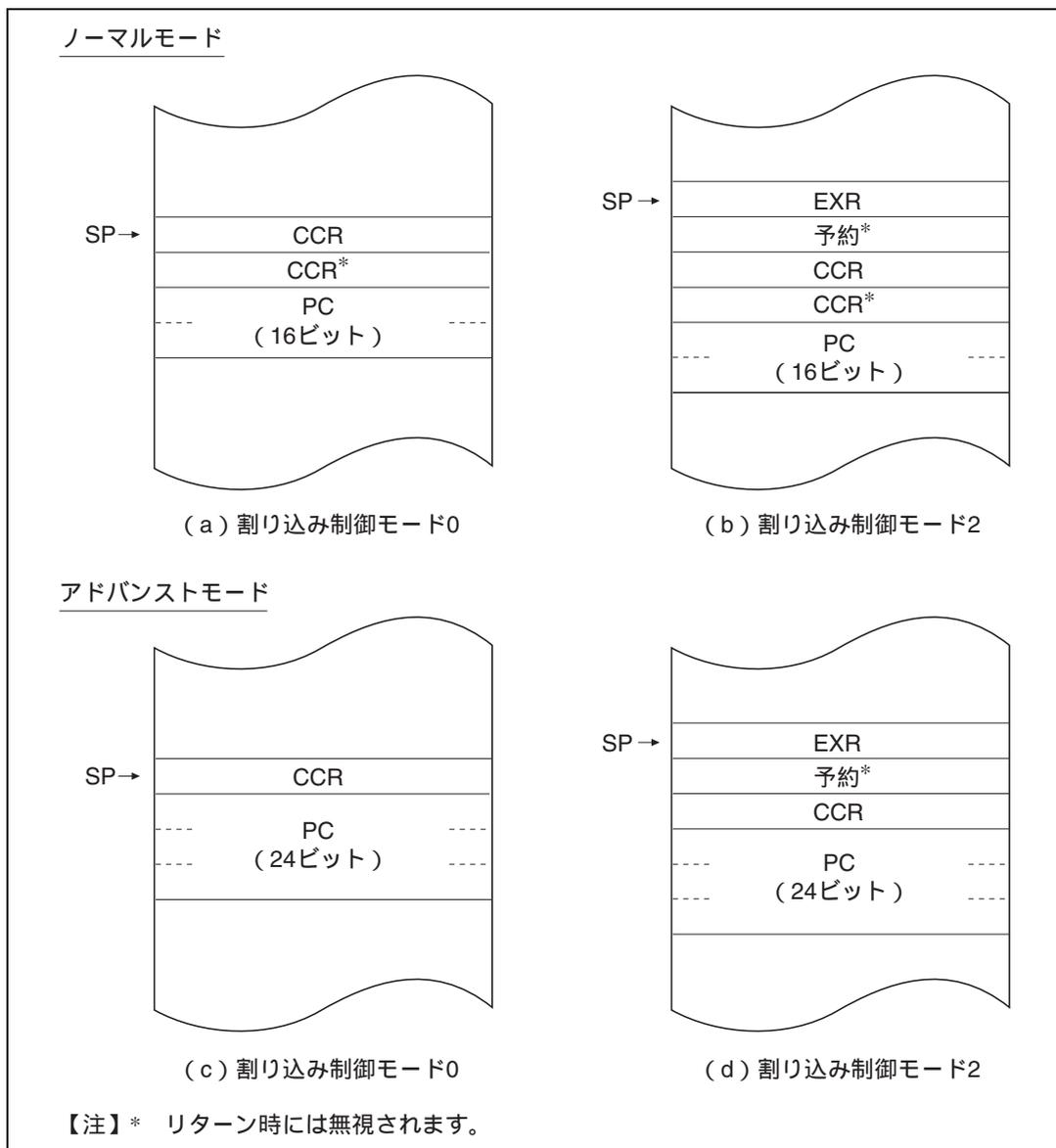


図 2.16 例外処理終了後のスタックの状態 (例)

2.8.4 プログラム実行状態

CPU がプログラムを順次実行している状態です。

2.8.5 バス権解放状態

CPU 以外のバスマスタによるバス権要求に対して、バス権を解放した状態です。バス権解放状態では、CPU は動作を停止します。

なお、CPU 以外のバスマスタにはデータトランスファコントローラ (DTC) があります。

詳細は、「第 6 章 バスコントローラ」を参照してください。

2.8.6 低消費電力状態

低消費電力状態には、CPU の動作を停止した状態と、CPU の動作を停止しない状態があります。CPU の動作を停止した低消費電力状態には、スリープモード、ソフトウェアスタンバイモード、ハードウェアスタンバイモードがあります。

また、その他の低消費電力状態には、中速モード、モジュールストップモードがあります。中速モードでは CPU およびそのほかのバスマスタが中速クロックで動作します。モジュールストップモードでは、モジュール単位で、CPU 以外のモジュールの動作を停止します。詳細は「第 19 章 低消費電力状態」を参照してください。

(1) スリープモード

スリープモードには、SBYCR の SSBY ビットを 0 にクリアした状態で、SLEEP 命令を実行することによって遷移します。スリープモードでは、CPU の動作は SLEEP 命令実行直後で停止します。CPU の内部レジスタの内容は保持されます。

(2) ソフトウェアスタンバイモード

ソフトウェアスタンバイモードには、SBYCR の SSBY ビットを 1 にセットした状態で、SLEEP 命令を実行することによって遷移します。ソフトウェアスタンバイモードでは、CPU およびクロックをはじめ MCU のすべての動作が停止します。規定の電圧が与えられている限り、CPU の内部レジスタの内容および内蔵 RAM の内容は保持されます。また、I/O ポートの状態も保持されます。

(3) ハードウェアスタンバイモード

ハードウェアスタンバイモードには、 $\overline{\text{STBY}}$ 端子を Low レベルにすることによって遷移します。ハードウェアスタンバイモードでは、CPU およびクロックをはじめ MCU のすべての動作が停止します。内蔵周辺モジュールはリセット状態になりますが、規定の電圧が与えられている限り、内蔵 RAM の内容は保持されます。

2.9 基本動作タイミング

2.9.1 概要

本 CPU は、システムクロック (ϕ) を基準に動作しています。 ϕ の立ち上がりから次の立ち上がりまでの 1 単位をステートと呼びます。メモリサイクルまたはバスサイクルは、1、2、または 3 ステートで構成され、内蔵メモリ、内蔵周辺モジュール、または外部アドレス空間によってそれぞれ異なるアクセスを行います。

2.9.2 内蔵メモリ (ROM、RAM)

内蔵メモリのアクセスは1ステートアクセスを行います。このとき、データバス幅は16ビットで、バイトおよびワードサイズアクセスが可能です。内蔵メモリアクセスサイクルを図 2.17 に、端子状態を図 2.18 に示します。

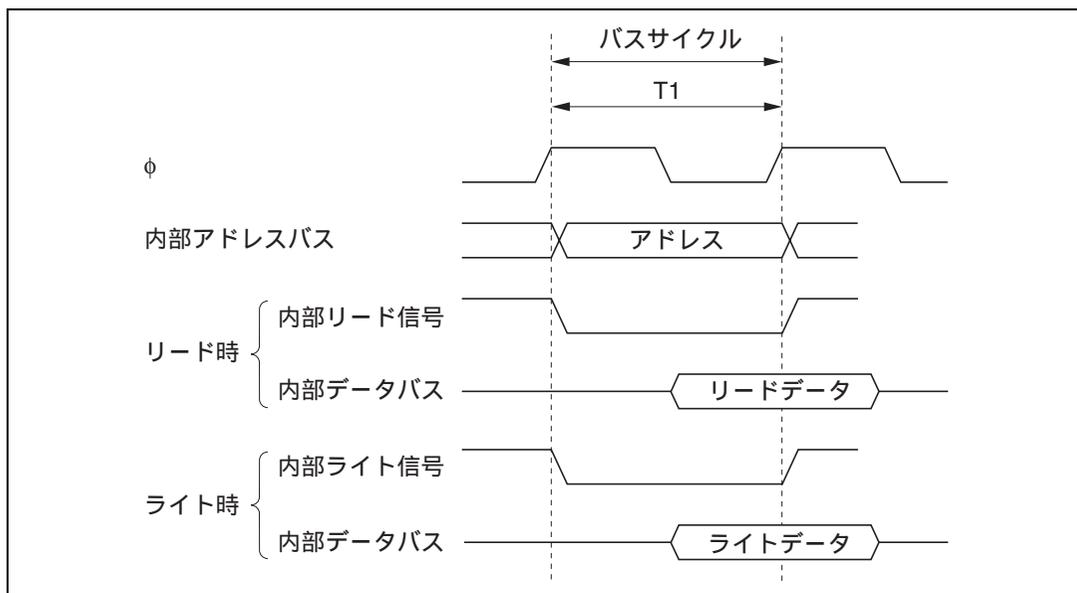


図 2.17 内蔵メモリアクセスサイクル

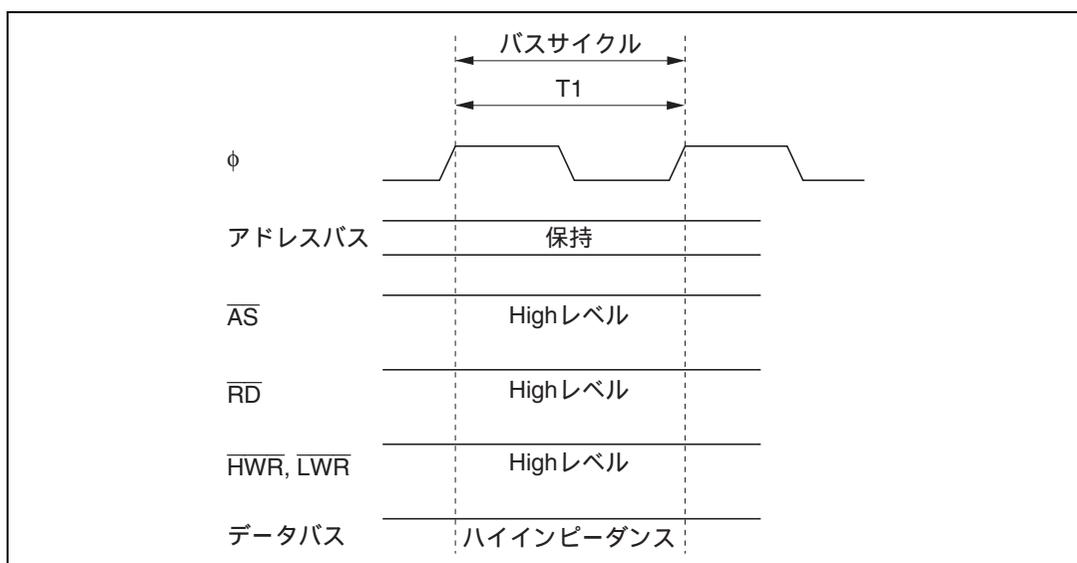


図 2.18 内蔵メモリアクセス時の端子状態

2.9.3 内蔵周辺モジュールアクセスタイミング

内蔵周辺モジュールのアクセスは2ステートで行われます。このとき、データバス幅は8ビットまたは16ビットで内部I/Oレジスタにより異なります。内蔵周辺モジュールアクセスタイミングを図2.19、端子状態を図2.20に示します。

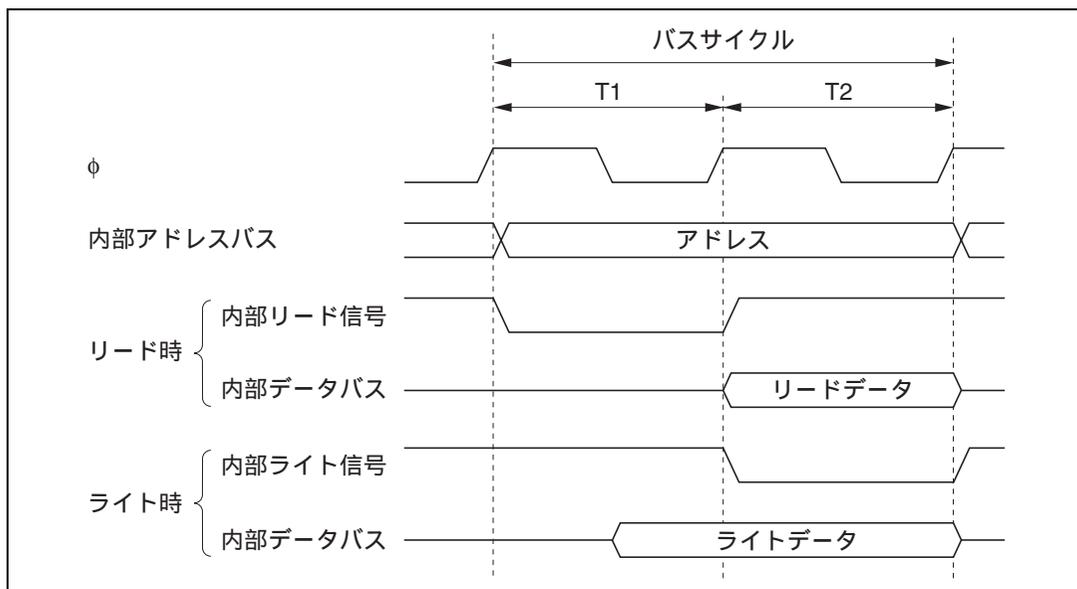


図 2.19 内蔵周辺モジュールアクセスサイクル

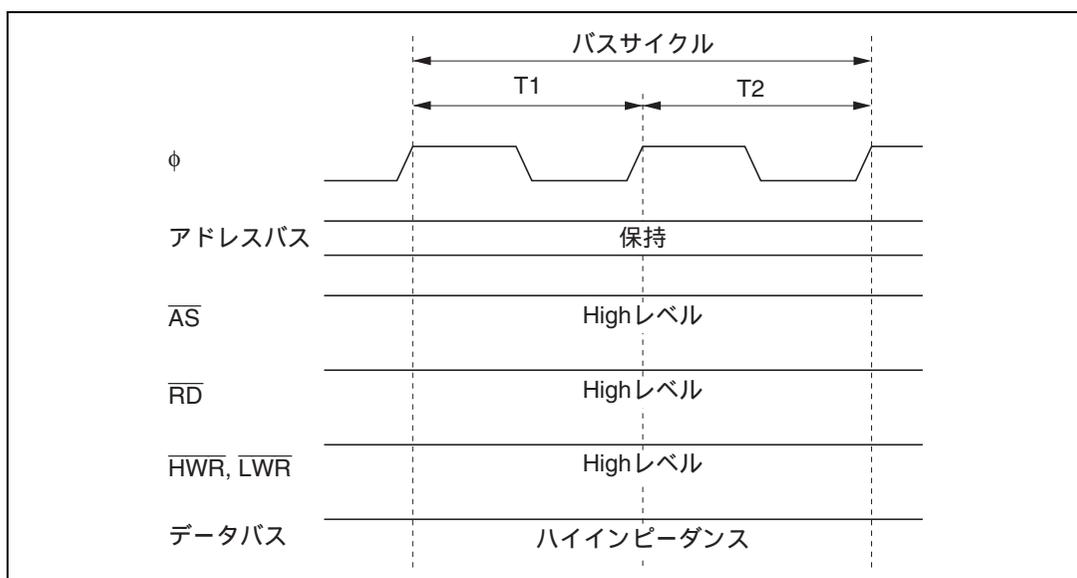


図 2.20 内蔵周辺モジュールアクセス時の端子状態

2.9.4 外部アドレス空間アクセスタイミング

外部アドレス空間のアクセスを行うときのデータバス幅は、8ビットまたは16ビット、バスサイクルは2ステートまたは3ステートです。3ステートアクセスではウェイトステートを挿入することができます。詳細は「第6章 バスコントローラ」を参照してください。

3. MCU 動作モード

3.1 概要

3.1.1 動作モードの選択

本 LSI には、7 種類の動作モード(モード 1~7)があります。これらのモードは、モード端子(MD₂ ~ MD₀)の設定で決まります。表 3.1 のように CPU 動作モード、内蔵 ROM の有効/無効、バス幅の初期状態を選択することができます。

表 3.1 に、MCU 動作モードの選択を示します。

表 3.1 MCU 動作モードの選択

MCU 動作モード	MD ₂	MD ₁	MD ₀	CPU	内容	内蔵 ROM	外部データバス				
				動作モード			初期値	最大値			
0	0	0	0	-	-	-	-				
1			1	ノーマル	内蔵 ROM 無効 拡張モード	無効	8 ビット	16 ビット			
2			1	0		内蔵 ROM 有効 拡張モード	有効	8 ビット	16 ビット		
3			1		シングルチップ モード			-			
4	1	0	0	アドバンスト	内蔵 ROM 無効 拡張モード	無効	16 ビット	16 ビット			
5			1				8 ビット	16 ビット			
6			1				0	内蔵 ROM 有効 拡張モード	有効	8 ビット	16 ビット
7			1					シングルチップ モード			-

アドレス空間は、CPU のアーキテクチャ上は 4G バイトですが、本 LSI では最大 16M バイトになります。

モード 1、2、4~6 は、外部メモリおよび周辺デバイスをアクセスすることができる外部拡張モードです。

外部拡張モードでは、8 ビットバスモードと 16 ビットバスモードを切り替えることができます。プログラム実行開始後、バスコントローラの設定により、エリアごとに 8 ビットまたは 16 ビットアドレス空間にすることができます。また、いずれか 1 つのエリアを 16 ビットアクセス空間にすると 16 ビットバスモードになり、すべてのエリアを 8 ビットアクセス空間にすると 8 ビットバスモードになります。各動作モードによって端子の機能が切り替わります。

モード 1~7 以外は本 LSI では使用できません。したがって、モード端子は必ずモード 1~7 になるように設定してください。

モード端子は、動作中に変化させないでください。

3. MCU 動作モード

3.1.2 レジスタ構成

本 LSI にはモード端子 ($MD_2 \sim MD_0$) の状態が反映されるモードコントロールレジスタ (MDCR) と、本 LSI の動作を制御するシステムコントロールレジスタ (SYSCR) があります。レジスタ構成を表 3.2 に示します。

表 3.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
モードコントロールレジスタ	MDCR	R	不定	H'FF3B
システムコントロールレジスタ	SYSCR	R/W	H'01	H'FF39

【注】* アドレスの下位 16 ビットを示しています。

3.2 各レジスタの説明

3.2.1 モードコントロールレジスタ (MDCR)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	MDS2	MDS1	MDS0
初期値 :	1	0	0	0	0	- *	- *	- *
R/W :	-	-	-	-	-	R	R	R

【注】* $MD_2 \sim MD_0$ 端子により決定されます。

MDCR は 8 ビットのリード専用レジスタで、本 LSI の現在の動作モードをモニタするのに用います。

ビット 7: リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

ビット 6~3: リザーブビット

リードすると常に 0 が読み出されます。ライトは無効です。

ビット 2~0: モードセレクト 2~0 (MDS2 ~ MDS0)

モード端子 ($MD_2 \sim MD_0$) の入力レベルを反映した値 (現在の動作モード) を示しています。MDS2 ~ MDS0 ビットは $MD_2 \sim MD_0$ 端子にそれぞれ対応します。これらのビットはリード専用でライトは無効です。MDCR をリードすると、モード端子 ($MD_2 \sim MD_0$) の入力レベルがこれらのビットにラッチされます。このラッチはパワーオンリセットでは解除されますが、マニュアルリセットでは保持されます。

3.2.2 システムコントロールレジスタ (SYSCR)

ビット:	7	6	5	4	3	2	1	0
	-	-	INTM1	INTM0	NMIEG	-	-	RAME
初期値:	0	0	0	0	0	0	0	1
R/W:	R/W	-	R/W	R/W	R/W	-	R/W	R/W

ビット7: リザーブビット

リザーブビットです。0をライトしてください。

ビット6: リザーブビット

リードすると、常に0が読み出されます。ライトは無効です。

ビット5、4: 割り込み制御モード1、0 (INTM1、INTM0)

割り込みコントローラの割り込み制御モードを選択します。割り込み制御モードの詳細については、「5.4.1 割り込み制御モードと割り込み動作」を参照してください。

ビット5	ビット4	割り込み 制御モード	説明
0	0	0	1ビットで、割り込みを制御 (初期値)
	1		設定禁止
1	0	2	I2~I0ビットとIPRで、割り込みを制御
	1		設定禁止

ビット3: NMI エッジセレクト (NMIEG)

NMI 割り込みの入力エッジ選択を行います。

ビット3	説明
NMIEG	
0	NMI 入力の下向きエッジで割り込み要求を発生 (初期値)
1	NMI 入力の上向きエッジで割り込み要求を発生

ビット2: リザーブビット

リードすると常に0が読み出されます。ライトは無効です。

ビット1: リザーブビット

リザーブビットです。0をライトしてください。

3. MCU 動作モード

ビット 0 : RAM イネーブル (RAME)

内蔵 RAM の有効または無効を選択します。RAME ビットはリセット状態の解除時に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 0	説明
RAME	
0	内蔵 RAM 無効
1	内蔵 RAM 有効 (初期値)

3.3 各動作モードの説明

3.3.1 モード 1

CPU はノーマルモードでアドレス空間は 64K バイトです。内蔵 ROM は無効であり、リセット直後は 8 ビットバスモードとなります。

ポート B、C がアドレスバス、ポート D がデータバス、ポート F の一部がバス制御信号となります。ただし、バスコントローラにより 16 ビットアクセス空間に設定した場合には、16 ビットバスモードとなり、ポート E がデータバスとなります。

3.3.2 モード 2

CPU はノーマルモードでアドレス空間は 64K バイトです。内蔵 ROM は有効であり、リセット直後は 8 ビットバスモードとなります。

ポート B、C はリセット直後は入力ポートになっています。対応する DDR (データディレクションレジスタ) を 1 にセットすることにより、アドレスを出力することができます。ポート D がデータバス、ポート F の一部がバス制御信号となります。ただし、バスコントローラにより 16 ビットアクセス空間に設定した場合には、16 ビットバスモードとなり、ポート E がデータバスとなります。使用できる内蔵 ROM 容量は 56K バイトに制限されます。

3.3.3 モード 3

CPU はノーマルモードでアドレス空間は 64K バイトです。内蔵 ROM は有効であり、外部アドレスは使用できません。

すべての I/O ポートを入出力ポートとして使用できます。

使用できる内蔵 ROM 容量は 56K バイトに制限されます。

3.3.4 モード 4

CPU はアドバンスモードでアドレス空間は 16M バイトです。内蔵 ROM は無効です。ポート A、B、C がアドレスバス、ポート D、E がデータバス、ポート F の一部がバス制御信号となります。

リセット直後は 16 ビットバスモードとなり、すべてのエリアは 16 ビットアクセス空間となります。ただし、バスコントローラにより、すべてのエリアを 8 ビットアクセス空間に設定した場合には、8 ビットバスモードとなります。

3.3.5 モード 5

CPU はアドバンスモードでアドレス空間は 16M バイトです。内蔵 ROM は無効です。

ポート A、B、C がアドレスバス、ポート D がデータバス、ポート F の一部がバス制御信号となります。

リセット直後は 8 ビットバスモードとなり、すべてのエリアは 8 ビットアクセス空間となります。ただし、バスコントローラにより、いずれかのエリアを 16 ビットアクセス空間に設定した場合には、16 ビットバスモードとなり、ポート E がデータバスとなります。

3.3.6 モード 6

CPU はアドバンスモードでアドレス空間は 16M バイトです。内蔵 ROM は有効です。ポート A、B、C はリセット直後は入力ポートになっています。対応する DDR (データディレクションレジスタ) を 1 にセットすることにより、アドレスを出力することができます。ポート D がデータバス、ポート F の一部がバス制御信号となります。

リセット直後は 8 ビットバスモードとなり、すべてのエリアは 8 ビットアクセス空間となります。ただし、バスコントローラにより、いずれかのエリアを 16 ビットアクセス空間に設定した場合には、16 ビットバスモードとなり、ポート E がデータバスとなります。

3.3.7 モード 7

CPU はアドバンスモードでアドレス空間は 16M バイトです。内蔵 ROM は有効であり、外部アドレスは使用できません。

すべての I/O ポートを入出力ポートとして使用できます。

3.4 各動作モードにおける端子機能

動作モードにより、ポート A~F の端子機能が切り替わります。各動作モードにおける端子機能の一覧を表 3.3 に示します。

表 3.3 各動作モードにおける端子機能

ポート		モード 1	モード 2	モード 3	モード 4	モード 5	モード 6	モード 7
ポート A	PA ₇ ~PA ₅	P	P	P	P*/A	P*/A	P*/A	P
	PA ₄ ~PA ₀				A	A		
ポート B		A	P*/A	P	A	A	P*/A	P
ポート C		A	P*/A	P	A	A	P*/A	P
ポート D		D	D	P	D	D	D	P
ポート E		P*/D	P*/D	P	P/D*	P*/D	P*/D	P
ポート F	PF ₇	P/C*	P/C*	P*/C	P/C*	P/C*	P/C*	P*/C
	PF ₆ ~PF ₃	C	C	P	C	C	C	P
	PF ₂ ~PF ₀	P*/C	P*/C		P*/C	P*/C	P*/C	

【記号説明】

- P : 入出力ポート
- A : アドレスバス出力
- D : データバス入出力
- C : 制御信号・クロック入出力

【注】* リセット直後

3.5 各動作モードのアドレスマップ

H8S/2355 のアドレスマップを図 3.1、H8S/2353 のアドレスマップを図 3.2、H8S/2393 のアドレスマップを図 3.3 に示します。

アドレス空間はモード 1~3 (ノーマルモード) では 64K バイトです。また、モード 4~7 (アドバンストモード) では 16M バイトです。

H8S/2355 の内蔵 ROM の容量は 128K バイトですが、モード 2、3 (ノーマルモード) では、使用できる内蔵 ROM の容量は 56K バイトになります。

モード 4~7 のとき、アドレス空間は 8 エリアに分割されています。詳細は、「第 6 章 バスコントローラ」を参照してください。

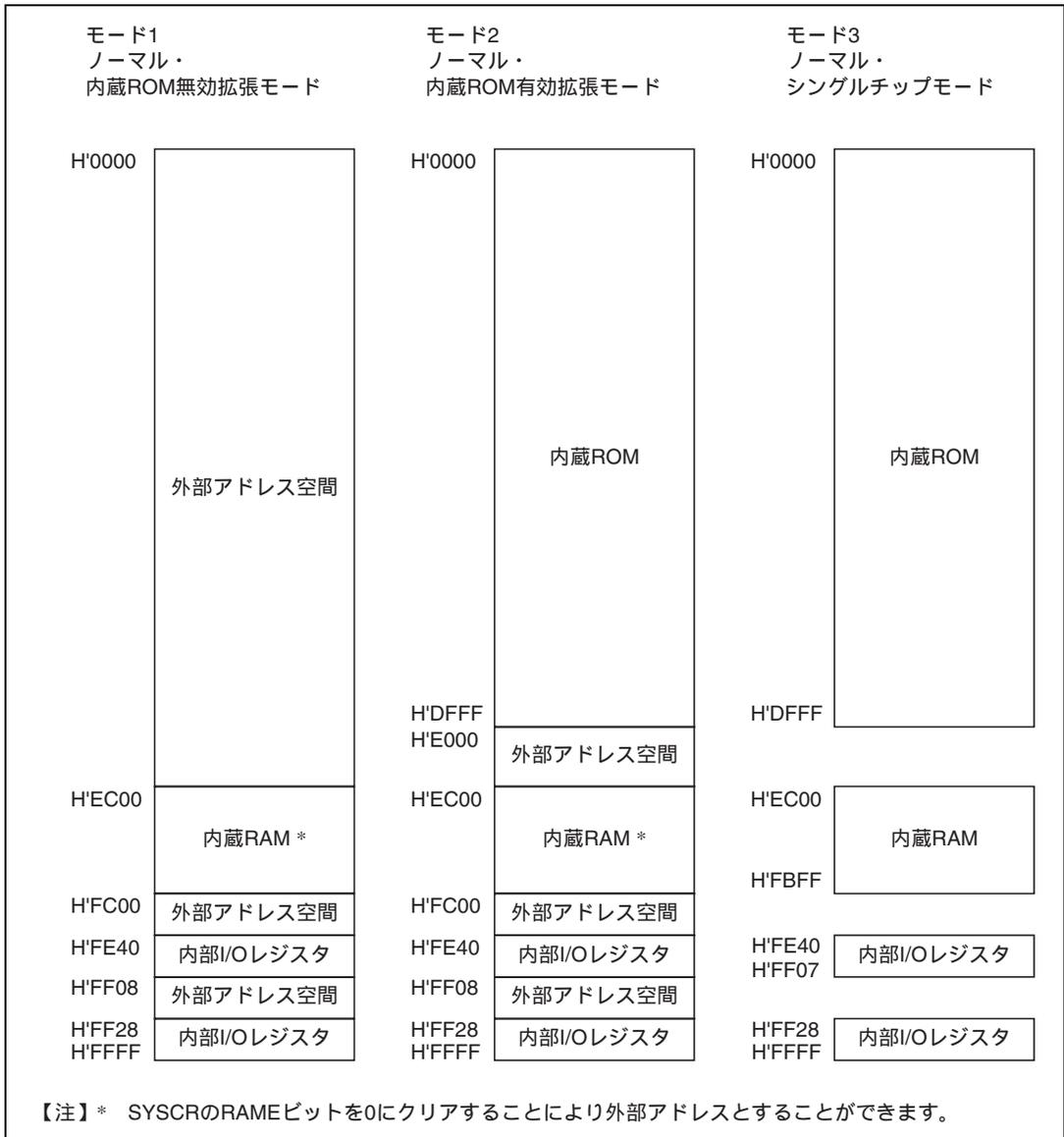


図 3.1 H8S/2355 の各動作モードのアドレスマップ (1)

3. MCU 動作モード

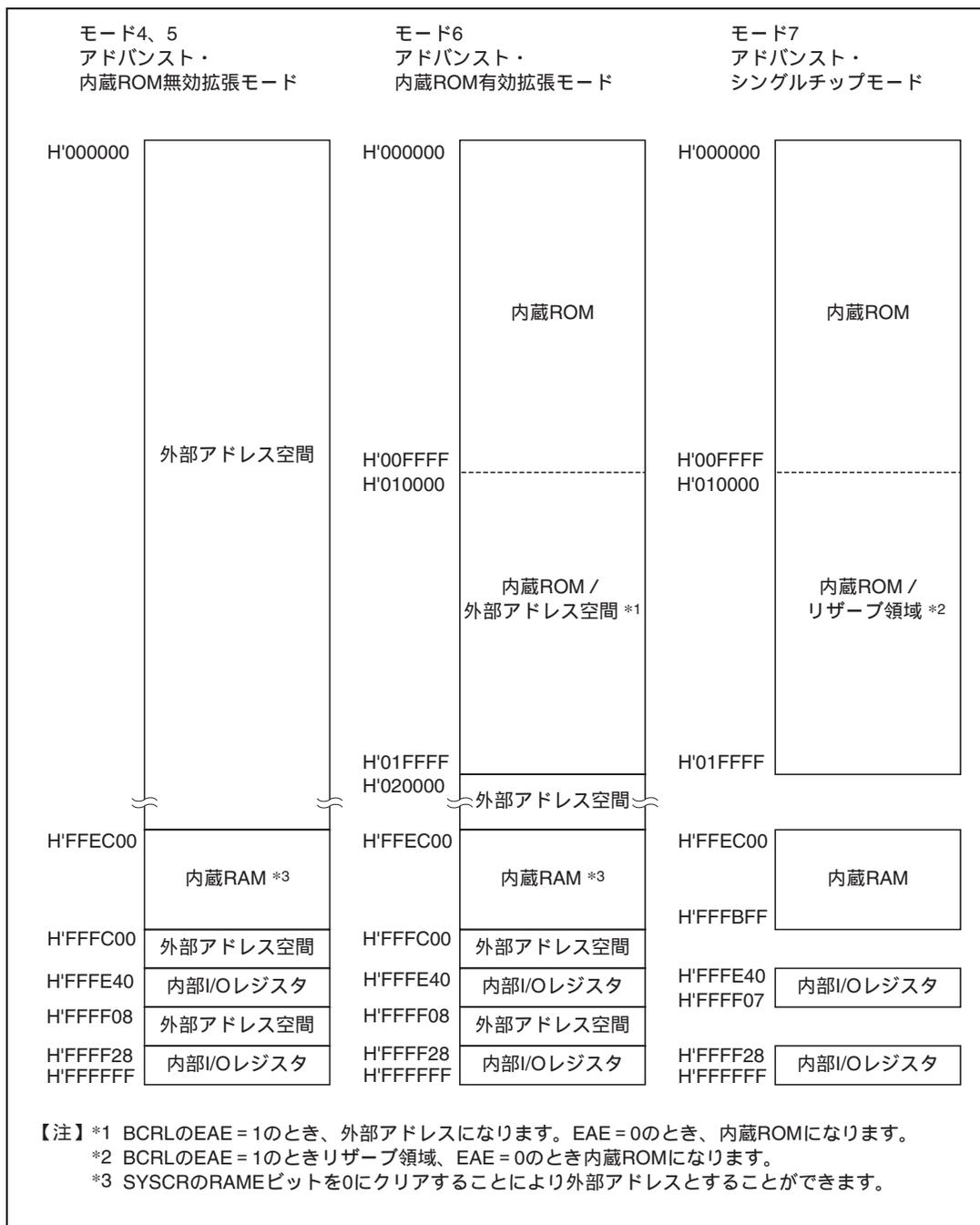


図 3.1 H8S/2355 の各動作モードのアドレスマップ (2)

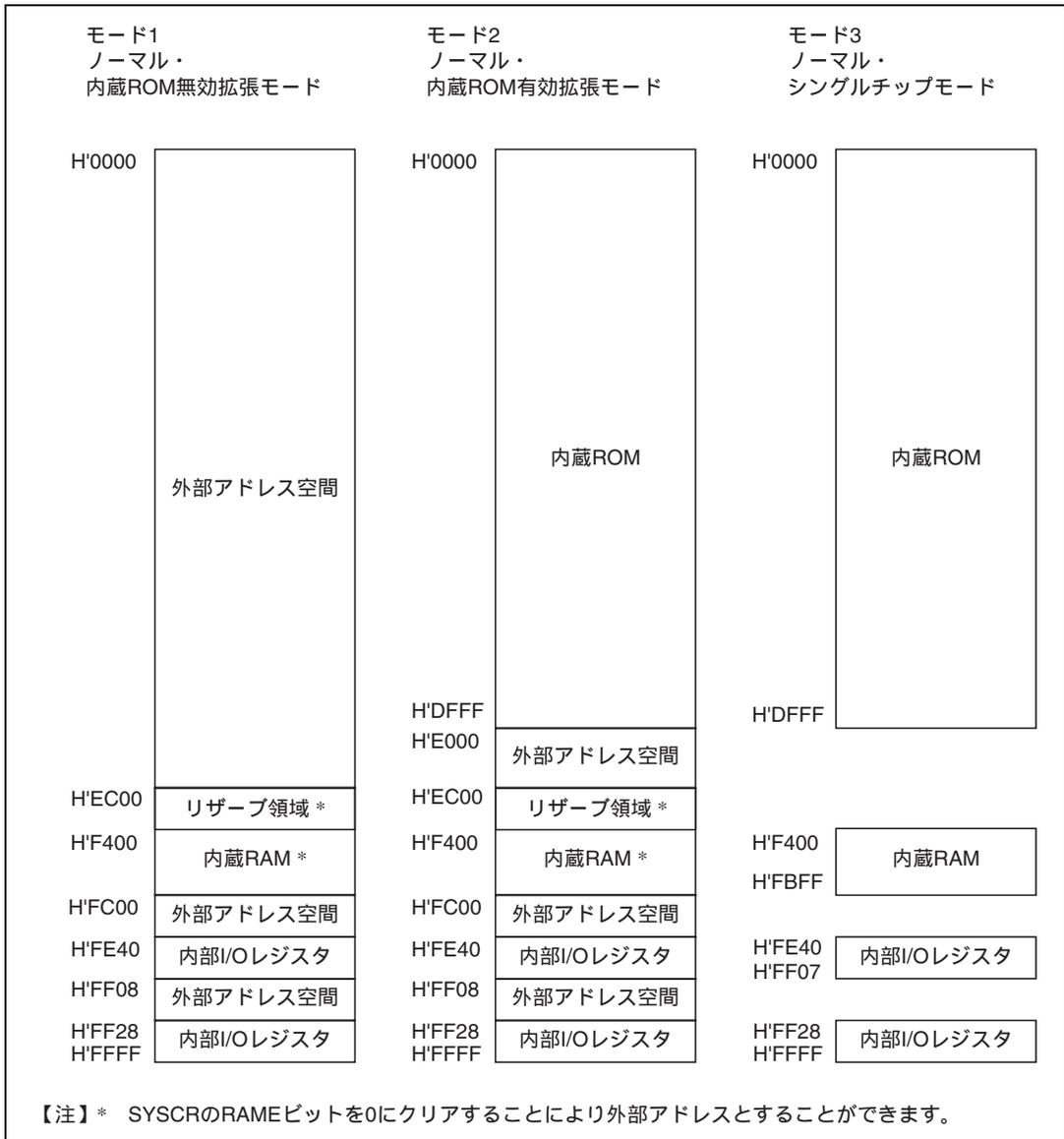


図 3.2 H8S/2353 の各動作モードのアドレスマップ (1)

3. MCU 動作モード

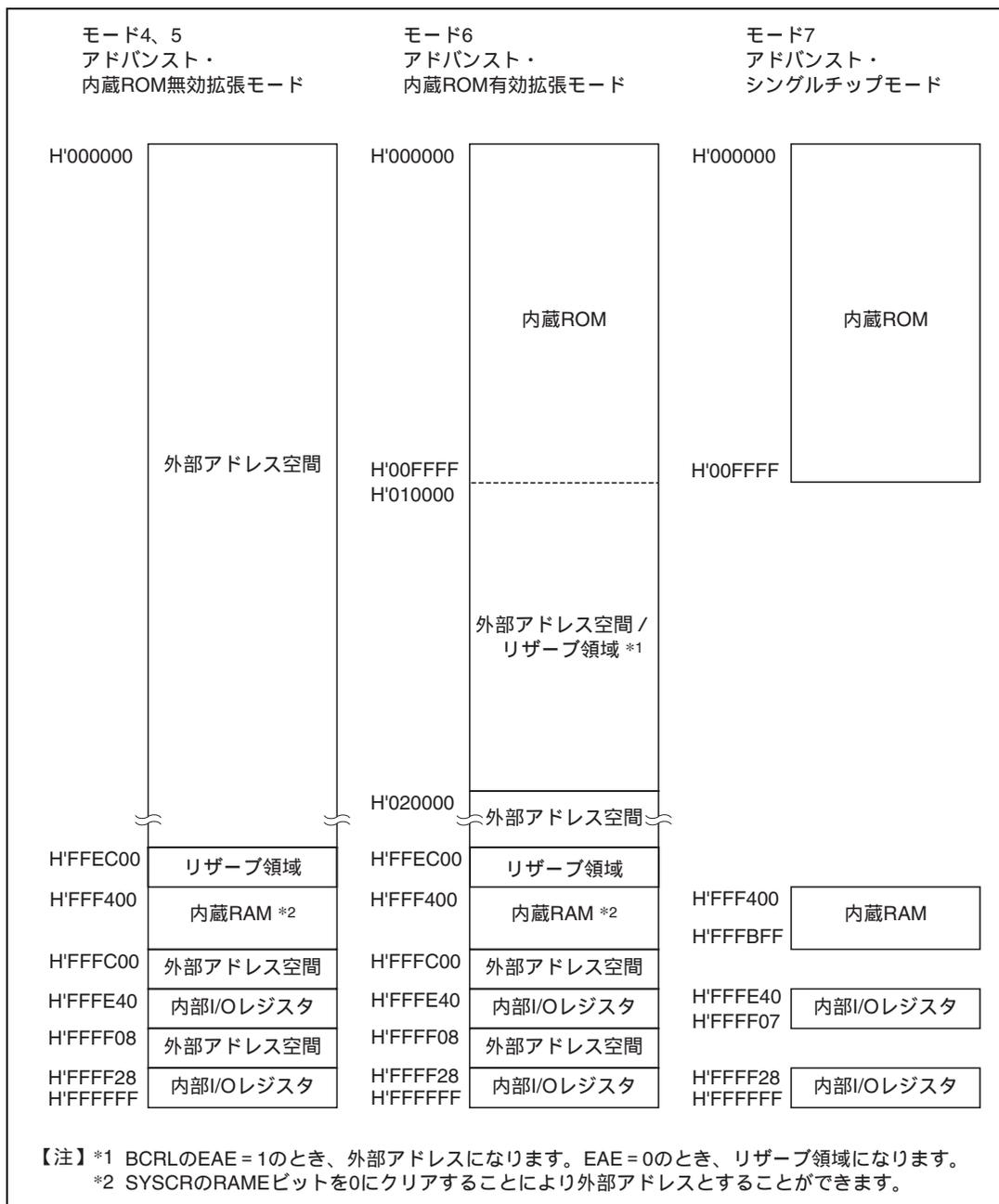


図 3.2 H8S/2353 の各動作モードのアドレスマップ (2)

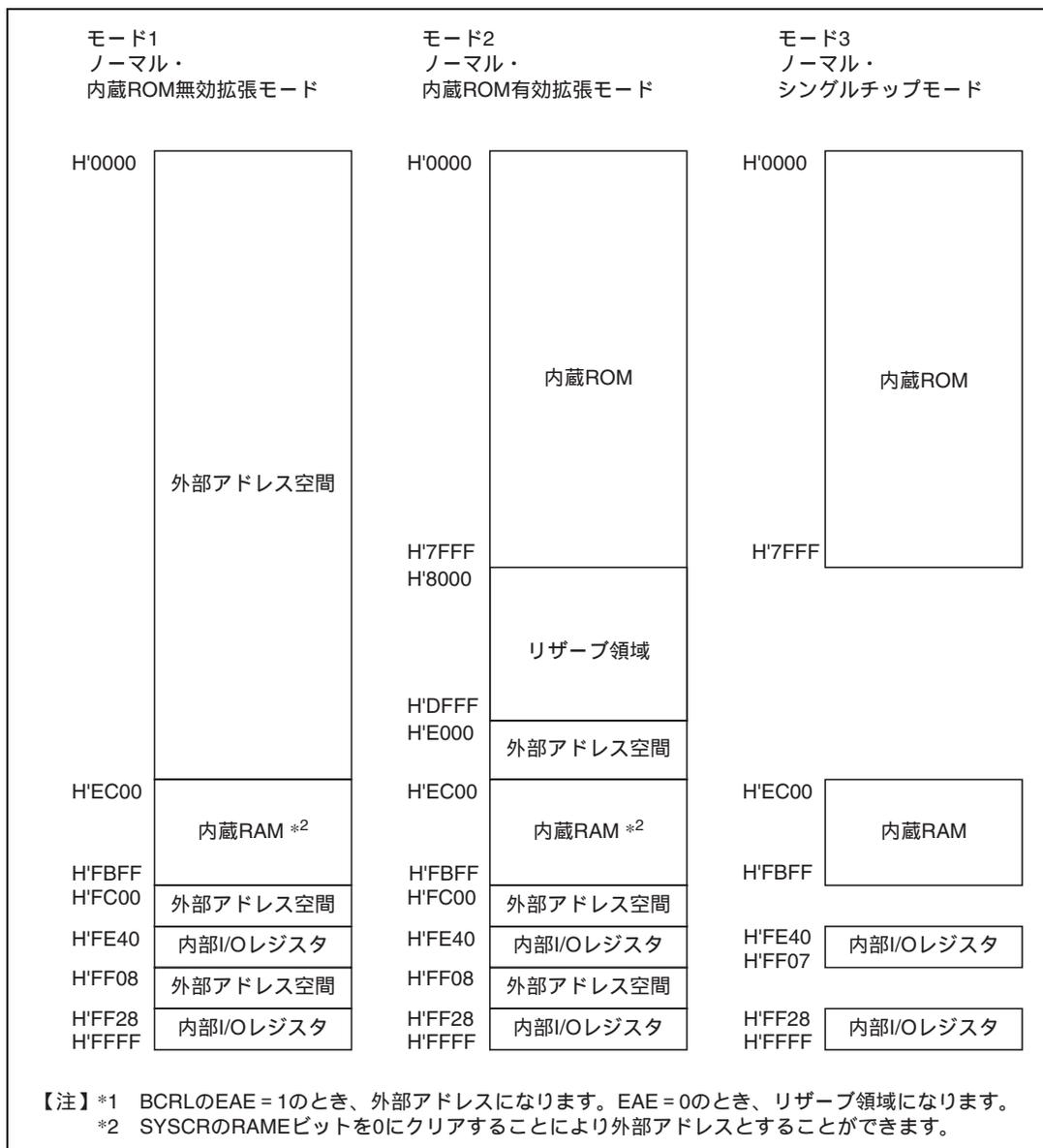


図 3.3 H8S/2393 の各動作モードのアドレスマップ (1)

3. MCU 動作モード

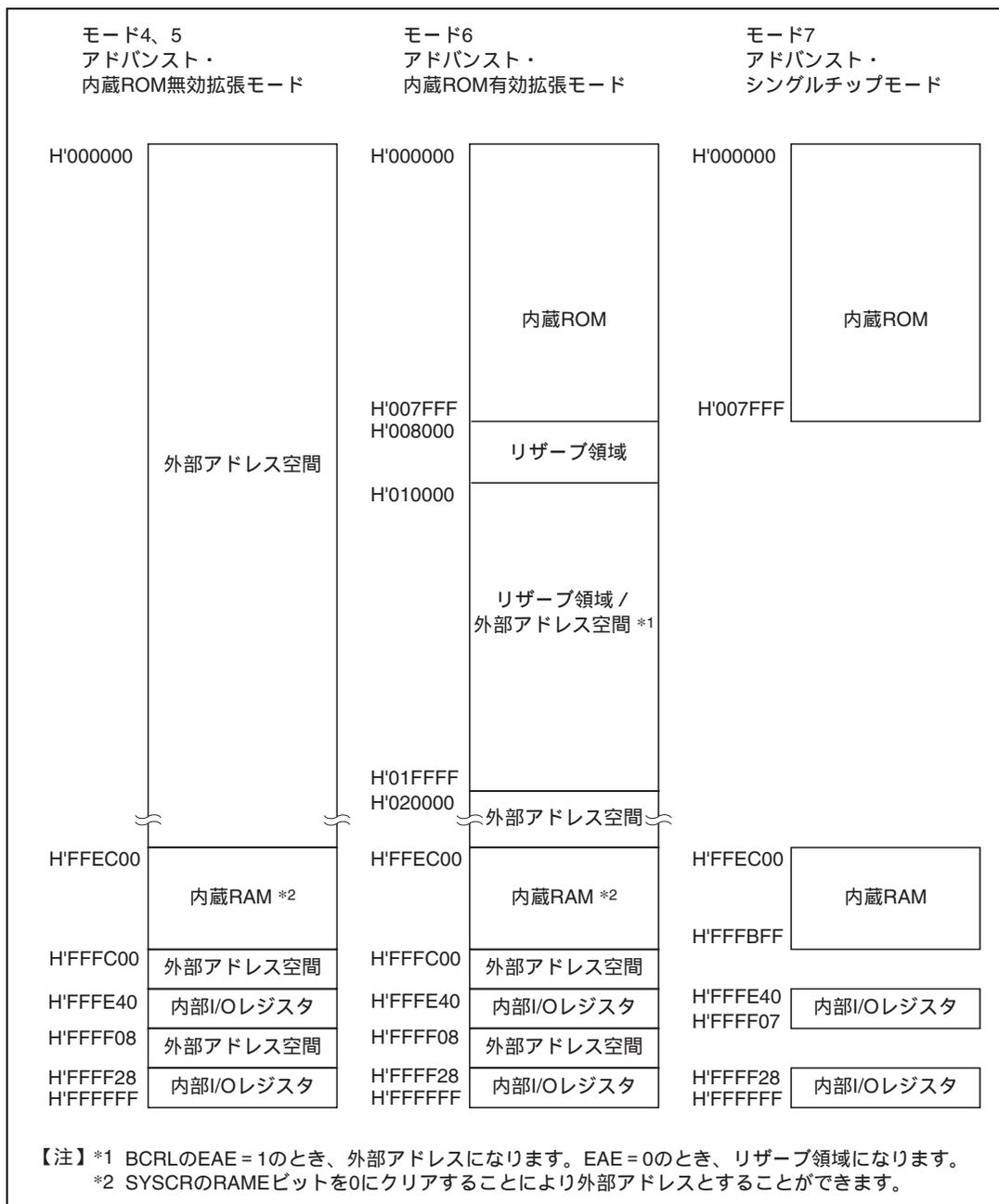


図 3.3 H8S/2393 の各動作モードのアドレスマップ (2)

4. 例外処理

4.1 概要

4.1.1 例外処理の種類と優先度

例外処理には、表 4.1 に示すように、リセット、トラップ命令、および割り込みによるものがあります。これらの例外処理には表 4.1 に示すように優先順位が設けられており、複数の例外処理が同時に発生した場合は、この優先度に従って受け付けられ処理されます。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

SYSCR の INTM0、INTM1 ビットで設定される割り込み制御モードによって、例外処理要因やスタックの構造、CPU の動作が異なります。

表 4.1 例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
↑ 高 ↓ 低	リセット	RES 端子の Low レベルから High レベルへの遷移時、または、ウォッチドッグタイマのオーバーフローにより開始します。NMI 端子が High レベルのときパワーオンリセット状態、Low レベルのときはマニュアルリセット状態になります。
	トレース* ¹	トレース (T) ビット = 1 の状態で、命令または例外処理の実行終了時に開始します。
	割り込み	割り込み要求が発生すると、命令または例外処理の実行終了時に開始します。* ²
	トラップ命令* ³ (TRAPA)	トラップ (TRAPA) 命令の実行により開始します。

【注】 *1 トレースは割り込み制御モード 2 でのみ有効です。トレース例外処理は、RTE 命令の実行終了後には実行しません。

*2 ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。

*3 トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

4. 例外処理

4.1.2 例外処理の動作

例外処理は、各例外処理要因により起動されます。

トラップ命令および割り込み例外処理は、次のように動作します。

- [1] プログラムカウンタ (PC) とコンディションコードレジスタ (CCR)、エクステンドレジスタ (EXR) をスタックに退避します。
- [2] 割り込みマスクビットを更新します。Tビットを0にクリアします。
- [3] 起動要因に対応するベクタアドレスを生成し、そのベクタアドレスの内容が示す番地からプログラムの実行が開始されます。

リセット例外処理の場合は上記 [2]、[3] の動作を行います。

4.1.3 例外処理要因とベクタテーブル

各例外処理要因は、図 4.1 に示すように分類されます。

これらの例外処理要因には、それぞれ異なるベクタアドレスが割り当てられています。

これらの要因とベクタアドレスとの対応を表 4.2 に示します。

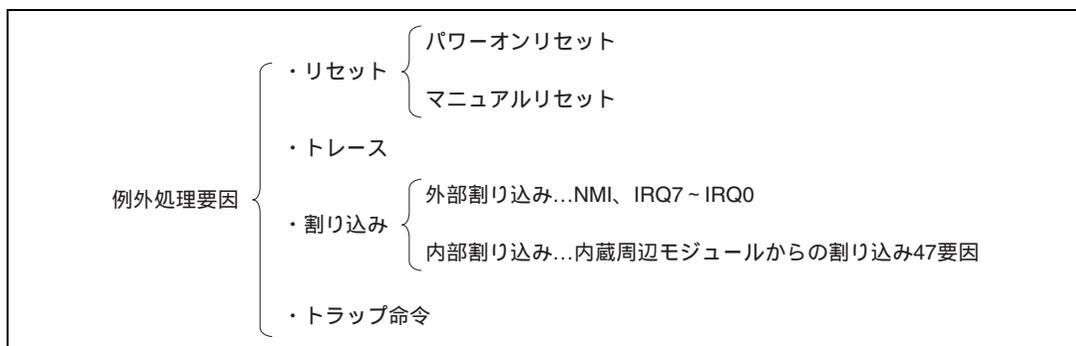


図 4.1 例外処理要因

H8S/2355 のモード 6、7 の場合、パワーオンリセット後に使用できる内蔵 ROM はアドレス H'000000 ~ H'00FFFF の 64K バイトです。ベクタアドレスの設定については注意してください。この場合、BCRL の EAE ビットを 0 にクリアすることにより、内蔵 ROM をアドレス H'000000 ~ H'01FFFF の 128K バイトとすることができます。

表 4.2 例外処理ベクタテーブル

例外処理要因		ベクタ番号	ベクタアドレス*1	
			ノーマルモード	アドバンストモード
パワーオンリセット		0	H'0000 ~ H'0001	H'0000 ~ H'0003
マニュアルリセット		1	H'0002 ~ H'0003	H'0004 ~ H'0007
システム予約		2	H'0004 ~ H'0006	H'0008 ~ H'000B
		3	H'0006 ~ H'0007	H'000C ~ H'000F
		4	H'0008 ~ H'0009	H'0010 ~ H'0013
トレース		5	H'000A ~ H'000B	H'0014 ~ H'0017
システム予約		6	H'000C ~ H'000D	H'0018 ~ H'001B
外部割り込み	NMI	7	H'000E ~ H'000F	H'001C ~ H'001F
トラップ命令 (4 要因)		8	H'0010 ~ H'0011	H'0020 ~ H'0023
		9	H'0012 ~ H'0013	H'0024 ~ H'0027
		10	H'0014 ~ H'0015	H'0028 ~ H'002B
		11	H'0016 ~ H'0017	H'002C ~ H'002F
システム予約		12	H'0018 ~ H'0019	H'0030 ~ H'0033
		13	H'001A ~ H'001B	H'0034 ~ H'0037
		14	H'001C ~ H'001D	H'0038 ~ H'003B
		15	H'001E ~ H'001F	H'003C ~ H'003F
外部割り込み	IRQ0	16	H'0020 ~ H'0021	H'0040 ~ H'0043
	IRQ1	17	H'0022 ~ H'0023	H'0044 ~ H'0047
	IRQ2	18	H'0024 ~ H'0025	H'0048 ~ H'004B
	IRQ3	19	H'0026 ~ H'0027	H'004C ~ H'004F
	IRQ4	20	H'0028 ~ H'0029	H'0050 ~ H'0053
	IRQ5	21	H'002A ~ H'002B	H'0054 ~ H'0057
	IRQ6	22	H'002C ~ H'002D	H'0058 ~ H'005B
	IRQ7	23	H'002E ~ H'002F	H'005C ~ H'005F
内部割り込み*2		24	H'0030 ~ H'0031	H'0060 ~ H'0063
		91	H'00B6 ~ H'00B7	H'016C ~ H'016F

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 内部割り込みのベクタテーブルは、「5.3.3 割り込み例外処理ベクタテーブル」を参照してください。

4.2 リセット

4.2.1 概要

リセットは、最も優先順位の高い例外処理です。

$\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて打ち切れ、本 LSI はリセット状態になります。リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。リセット直後は割り込み制御モード 0 になっています。

$\overline{\text{RES}}$ 端子が Low レベルから High レベルになるとリセット例外処理が開始されます。

リセット時の NMI 端子のレベルにより、パワーオンリセットと、マニュアルリセットの 2 種類に分けられます。

4. 例外処理

またウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「第 11 章 ウォッチドッグタイマ」を参照してください。

4.2.2 リセットの種類

リセットには、パワーオンリセットとマニュアルリセットの 2 種類があります。

表 4.3 にリセットの種類を示します。電源投入時には、パワーオンリセットとしてください。

パワーオンリセット、マニュアルリセットのどちらでも CPU の内部状態は初期化されます。また、パワーオンリセットでは、内蔵周辺モジュールのレジスタがすべて初期化されるのに対し、マニュアルリセットでは、バスコントローラ、I/O ポートを除いた内蔵周辺モジュールのレジスタが初期化されます。バスコントローラ、I/O ポートの状態は保持されます。

マニュアルリセット時、内蔵周辺モジュールが初期化されるため、内蔵周辺モジュールの入出力端子として使用しているポートは、DDR と DR で制御される入出力ポートに切り替わります。

表 4.3 リセットの種類

種 類	リセットへの遷移条件		内部状態	
	NMI	$\overline{\text{RES}}$	CPU	内蔵周辺モジュール
パワーオンリセット	High	Low	初期化	初期化
マニュアルリセット	Low	Low	初期化	バスコントローラ、I/O ポート以外初期化

ウォッチドッグタイマによるリセットにも、パワーオンリセット、マニュアルリセットの 2 種類があります。

4.2.3 リセットシーケンス

$\overline{\text{RES}}$ 端子が Low レベルになると本 LSI はリセット状態になります。

本 LSI を確実にリセットするために、電源投入時は最低 20ms の間、 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。また、動作中は最低 20 ステートの間、Low レベルにしてください。

$\overline{\text{RES}}$ 端子が一定期間 Low レベルの後 High レベルになると、リセット例外処理が開始され、本 LSI は次のように動作します。

- [1] CPUの内部状態と内蔵周辺モジュールの各レジスタが初期化され、EXRのTビットは0にクリアされ、EXR、CCRのIビットが1にセットされます。
- [2] リセット例外処理ベクタアドレスをリードしてPCに転送した後、PCで示されるアドレスからプログラムの実行を開始します。

リセットシーケンスの例を図 4.2、図 4.3 に示します。

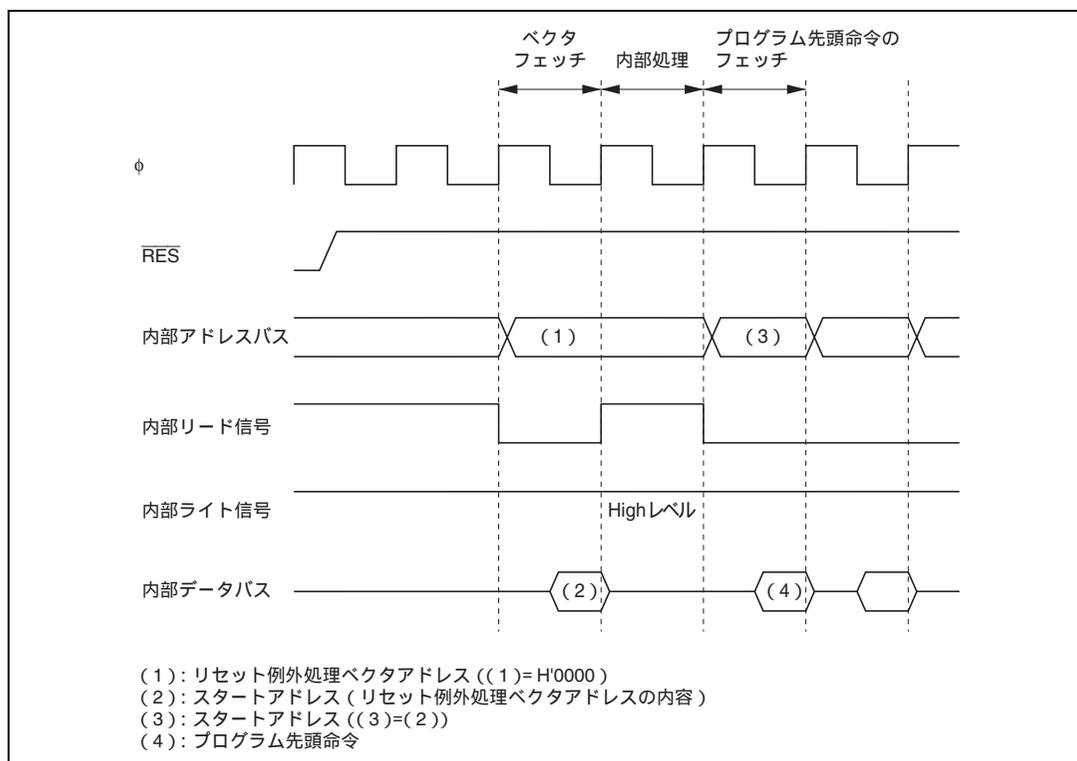


図 4.2 リセットシーケンス (モード 2、3)

4. 例外処理

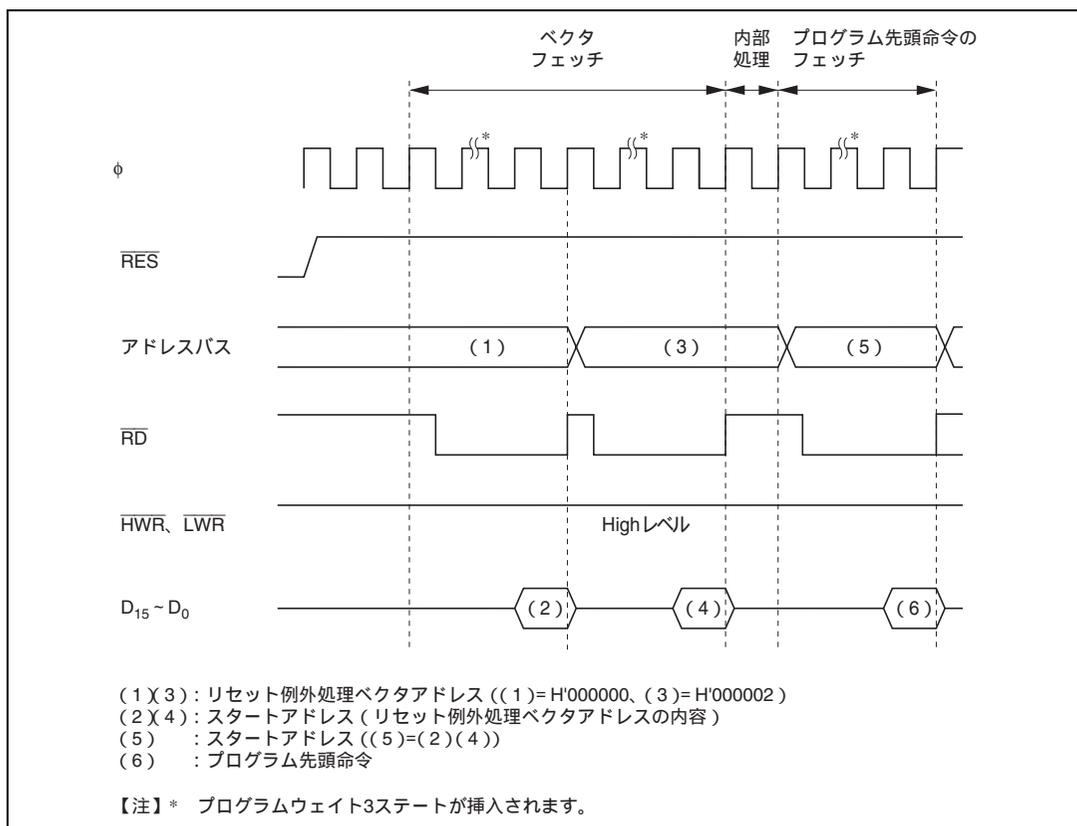


図 4.3 リセットシーケンス (モード 4)

4.2.4 リセット直後の割り込み

リセット直後、スタックポインタ (SP) を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われないため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP を初期化する命令としてください (例: MOV.L #xx, SP)。

4.2.5 リセット解除後の内蔵周辺機能

リセット解除後、MSTPCR は H'3FFF に初期化され、DTC を除くすべてのモジュールがモジュールストップモードになっています。

そのため、各内蔵周辺モジュールのレジスタは、リード/ライトできません。モジュールストップモードを解除することにより、レジスタのリード/ライトが可能となります。

4.3 トレース

トレースは、割り込み制御モード2で有効です。割り込み制御モード0では、Tビットの状態にかかわらず、トレースモードにはなりません。割り込み制御モードについては、「第5章 割り込みコントローラ」を参照してください。

EXRのTビットが1にセットされていると、トレースモードになります。トレースモードが設定されていると、1命令の実行を終了するたびにトレース例外処理を開始します。

トレース例外処理実行後、EXRのTビットが0にクリアされ、トレースモードが解除されます。割り込みマスクの影響を受けません。

表4.4にトレース命令例外処理実行後のCCR、EXRの状態を示します。

トレース例外処理ルーチンでも割り込みを受け付けます。

スタックに退避されたTビットは1を保持しており、RTE命令を実行して、トレース例外処理ルーチンから復帰した後は、再び、トレースモードになります。

RTE命令実行後は、トレース例外処理を行いません。

表 4.4 トレース例外処理後のCCR、EXRの状態

割り込み制御モード	CCR		EXR	
	I	UI	I2~I0	T
0	トレース例外処理は使用できません。			
2	1	-	-	0

【記号説明】

- 1 : 1にセットされます。
- 0 : 0にクリアされます。
- : 実行前の値が保持されます。

4.4 割り込み

割り込み例外処理を開始させる要因には、9本の外部割り込み(NMI、IRQ7~IRQ0)と、内蔵周辺モジュールからの要求による47の内部要因があります。割り込み要因と要因数を図4.4に示します。

割り込み要因を要求する内蔵周辺モジュールには、ウォッチドッグタイマ(WDT)、16ビットタイマパルスユニット(TPU)、8ビットタイマ、シリアルコミュニケーションインタフェース(SCI)、データトランスファコントローラ(DTC)、A/D変換器などがあります。割り込みベクタアドレスは各要因別に割り当てられています。

NMIは最も優先度の高い割り込みです。割り込みは、割り込みコントローラによって制御されます。割り込み制御には、2つの割り込み制御モードがあり、NMI以外の割り込みに8レベルの優先順位/マスクレベルを設定して、多重割り込みの制御を行うことができます。

割り込みについての詳細は「第5章 割り込みコントローラ」を参照してください。

4. 例外処理

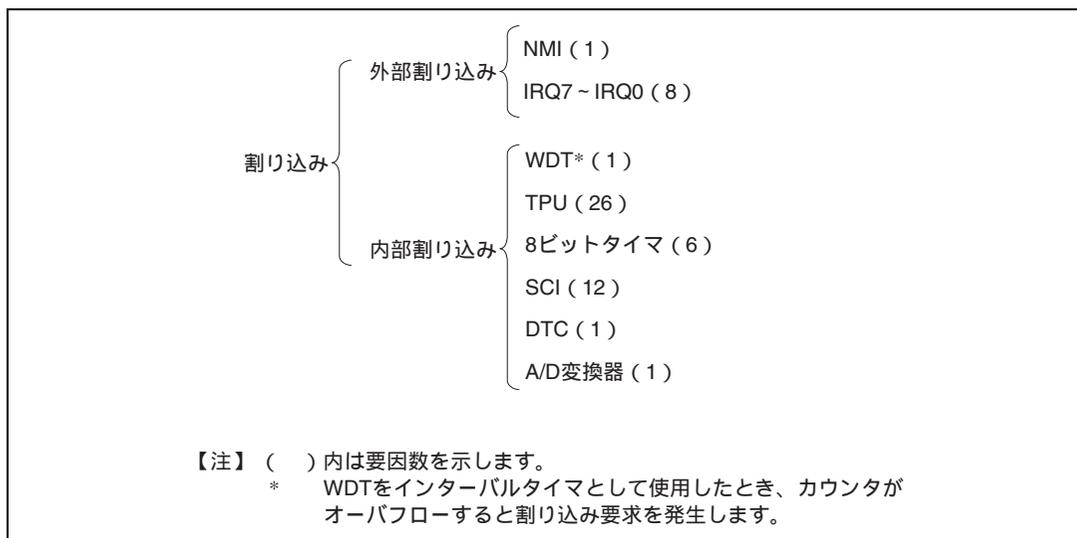


図 4.4 割り込み要因と要因数

4.5 トラップ命令

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。トラップ命令例外処理はプログラム実行状態で常に実行可能です。

TRAPA 命令は、命令コード中で指定した 0~3 のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

表 4.5 に、トラップ命令例外処理実行後の CCR、EXR の状態を示します。

表 4.5 トラップ命令例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	I2 ~ I0	T
0	1	-	-	-
2	1	-	-	0

【記号説明】

- 1 : 1 にセットされます。
- 0 : 0 にクリアされます。
- : 実行前の値が保持されます。

4.6 例外処理後のスタックの状態

トラップ命令例外処理および割り込み例外処理後のスタックの状態を図 4.5 に示します。

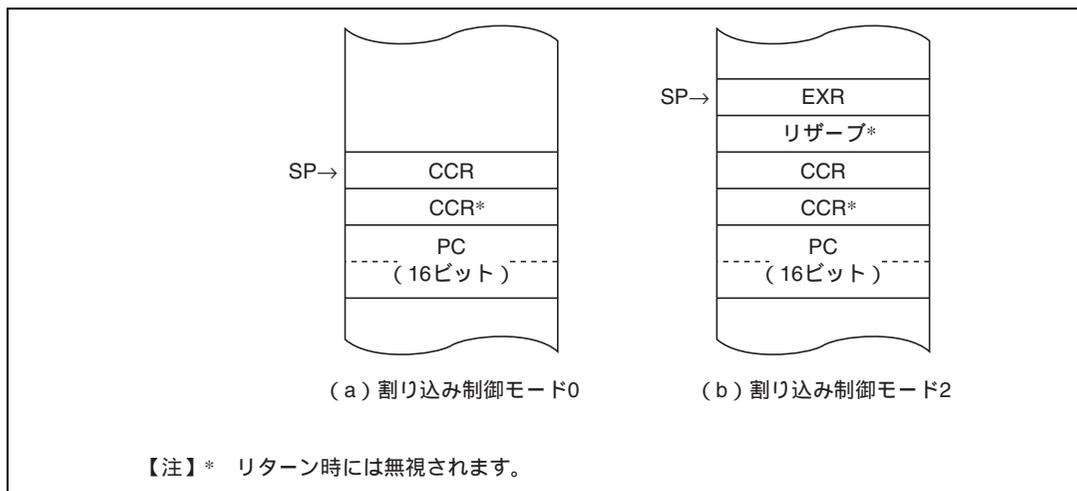


図 4.5(1) 例外処理終了後のスタックの状態 (ノーマルモード)

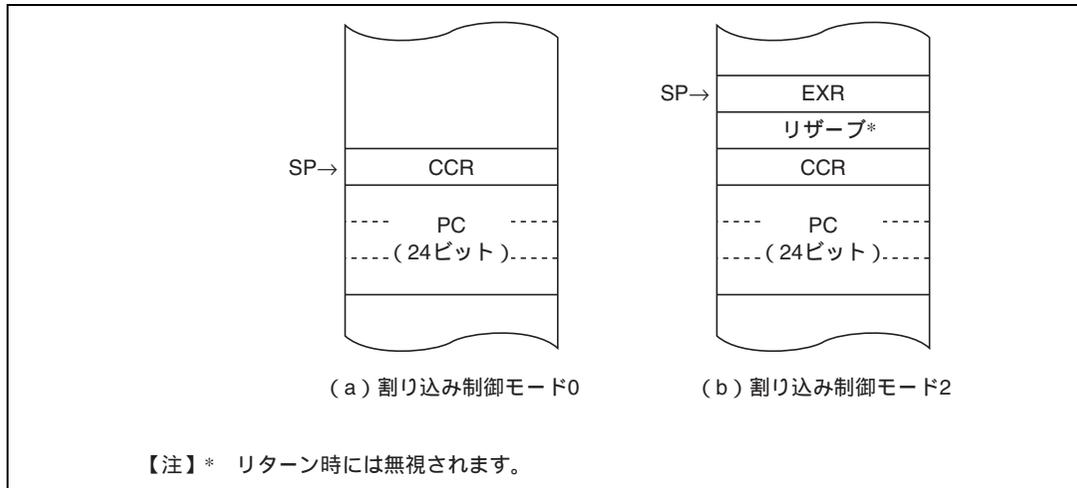


図 4.5(2) 例外処理終了後のスタックの状態 (アドバンスモード)

4.7 スタック使用上の注意

本 LSI では、ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは 0 とみなされます。スタック領域に対するアクセスは、常にワードサイズまたはロングワードサイズで行い、スタックポインタ (SP : ER7) の内容は奇数にしないでください。

すなわち、レジスタの退避は、

```
PUSH.W Rn (MOV.W Rn, @-SP)
PUSH.L ERn (MOV.L ERn, @-SP)
```

また、レジスタの復帰は、

```
POP.W Rn (MOV.W @SP+, Rn)
POP.L ERn (MOV.L @SP+, ERn)
```

を使用してください。

SP を奇数に設定すると、誤動作の原因となります。SP を奇数に設定した場合の動作例を図 4.6 に示します。

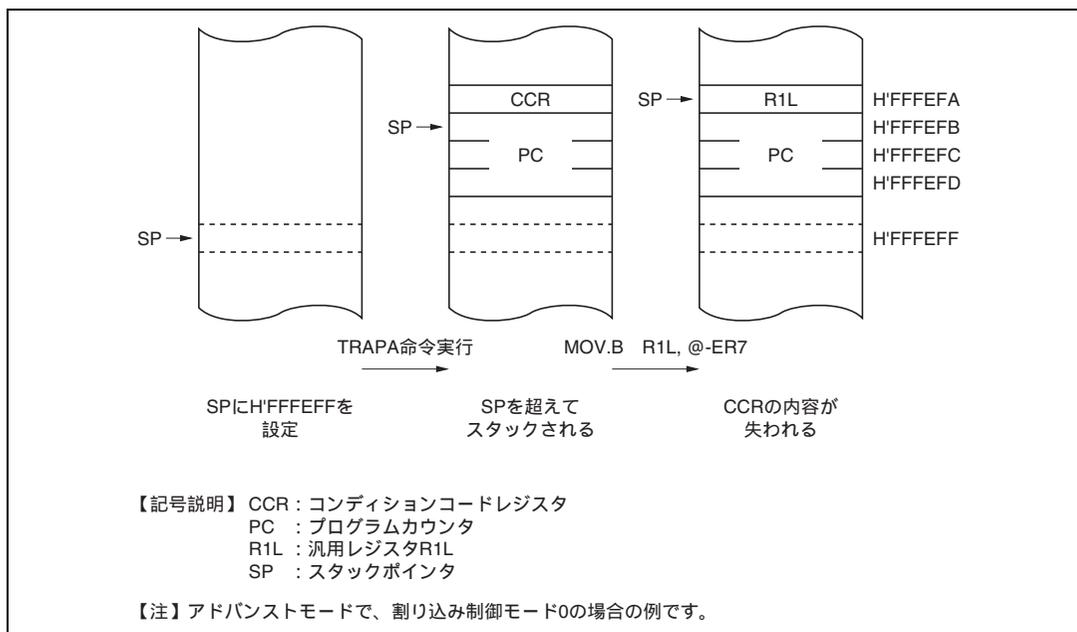


図 4.6 SP を奇数に設定したときの動作

5. 割り込みコントローラ

5.1 概要

5.1.1 特長

本 LSI は割り込みコントローラにより、割り込みの制御を行います。割り込みコントローラには、次の特長があります。

2 種類の割り込み制御モード

- システムコントロールレジスタ (SYSCR) の INTM1、INTM0 ビットにより、2 種類の割り込み制御モードを設定できます。

IPR により、優先順位を設定可能

- 割り込み優先順位を設定するインタラプトプライオリティレジスタ (IPR) を備えており、NMI 以外の割り込みは、モジュールごとに 8 レベルの優先順位を設定できます。
- NMI は、最優先のレベル 8 の割り込み要求として、常に受け付けられます。

独立したベクタアドレス

- すべての割り込み要因には独立のベクタアドレスが割り当てられており、割り込み処理ルーチンで要因を判別する必要がありません。

9 本の外部割り込み端子

- NMI は最優先の割り込みで常に受け付けられます。NMI は立ち上がりエッジまたは立ち下がりエッジを選択できます。
- IRQ7 ~ IRQ0 は立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかをそれぞれ独立に選択できます。

DTC の制御

- 割り込みによる DTC の起動の制御を行います。

5. 割り込みコントローラ

5.1.2 ブロック図

割り込みコントローラのブロック図を図 5.1 に示します。

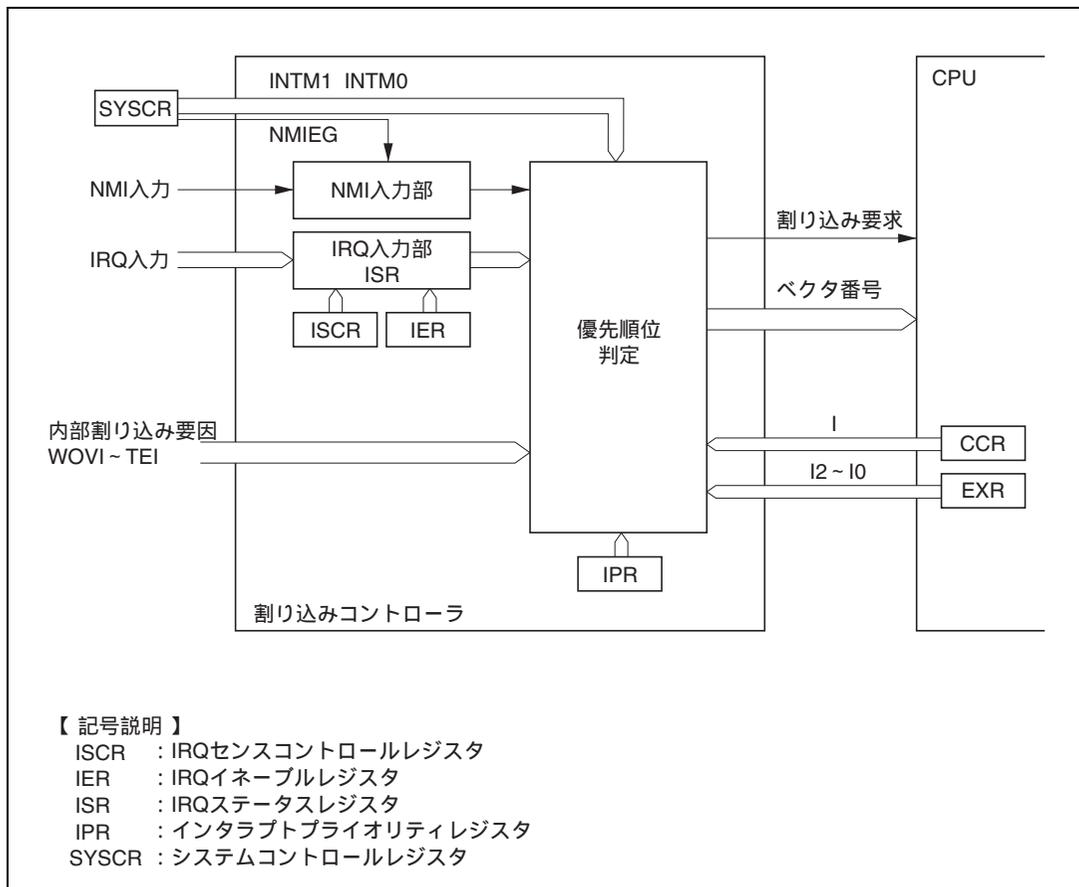


図 5.1 割り込みコントローラのブロック図

5.1.3 端子構成

割り込みコントローラの端子構成を表 5.1 に示します。

表 5.1 端子構成

名 称	記号	入出力	機 能
ノンマスクابل 割り込み	NMI	入力	マスク不可能な外部割り込み。立ち上がりエッジ または立ち下がりエッジを選択可能
外部割り込み要求 7~0	IRQ7~IRQ0	入力	マスク可能な外部割り込み。立ち下がりエッジ、 立ち上がりエッジ、両エッジ、レベルセンスのいずれかを選択可能

5.1.4 レジスタ構成

割り込みコントローラのレジスタ構成を表 5.2 に示します。

表 5.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス*1
システムコントロールレジスタ	SYSCR	R/W	H'01	H'FF39
IRQ センسコントロールレジスタ H	ISCRH	R/W	H'00	H'FF2C
IRQ センスコントロールレジスタ L	ISCR L	R/W	H'00	H'FF2D
IRQ イネーブルレジスタ	IER	R/W	H'00	H'FF2E
IRQ ステータスレジスタ	ISR	R/(W)*2	H'00	H'FF2F
インタラプトプライオリティレジスタ A	IPRA	R/W	H'77	H'FEC4
インタラプトプライオリティレジスタ B	IPRB	R/W	H'77	H'FEC5
インタラプトプライオリティレジスタ C	IPRC	R/W	H'77	H'FEC6
インタラプトプライオリティレジスタ D	IPRD	R/W	H'77	H'FEC7
インタラプトプライオリティレジスタ E	IPRE	R/W	H'77	H'FEC8
インタラプトプライオリティレジスタ F	IPRF	R/W	H'77	H'FEC9
インタラプトプライオリティレジスタ G	IPRG	R/W	H'77	H'FECA
インタラプトプライオリティレジスタ H	IPRH	R/W	H'77	H'FECEB
インタラプトプライオリティレジスタ I	IPRI	R/W	H'77	H'FECEC
インタラプトプライオリティレジスタ J	IPRJ	R/W	H'77	H'FECE D
インタラプトプライオリティレジスタ K	IPRK	R/W	H'77	H'FECE E

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 フラグをクリアするための 0 ライトのみ可能です。

5.2 各レジスタの説明

5.2.1 システムコントロールレジスタ (SYSCR)

ビット :	7	6	5	4	3	2	1	0
	-	-	INTM1	INTM0	NMIEG	-	-	RAME
初期値 :	0	0	0	0	0	0	0	1
R/W :	R/W	-	R/W	R/W	R/W	-	R/W	R/W

SYSCR は 8 ビットのリード/ライト可能なレジスタで、割り込み制御モードの選択、NMI の検出エッジの選択を行います。

ここでは、ビット 5~3 についてのみ説明します。その他のビットの詳細については「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

SYSCR はリセットまたはハードウェアスタンバイモード時に、H'01 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 5、4 : 割り込み制御選択モード 1、0 (INTM1、INTM0)

割り込みコントローラの割り込み制御モードを 2 つのモードの中から選択します。

ビット 5	ビット 4	割り込み 制御モード	説 明
INTM1	INTM0		
0	0	0	1 ビットで、割り込みを制御します。 (初期値)
	1		設定禁止
1	0	2	I2~I0 ビットと IPR で、割り込みを制御します。
	1		設定禁止

ビット 3 : NMI エッジセレクト (NMIEG)

NMI 端子の入力エッジ選択を行います。

ビット 3	説 明
NMIEG	
0	NMI 入力の立ち下がりで割り込み要求を発生 (初期値)
1	NMI 入力の立ち上がりエッジで割り込み要求を発生

5.2.2 インタラプトプライオリティレジスタ A~K (IPRA~IPRK)

ビット :	7	6	5	4	3	2	1	0
	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0
初期値 :	0	1	1	1	0	1	1	1
R/W :	-	R/W	R/W	R/W	-	R/W	R/W	R/W

IPR は 8 ビットのリード/ライト可能な 11 本のレジスタで、NMI を除く割り込みの優先順位 (レベル 7~0) を設定します。

各割り込み要因と IPR の対応を表 5.3 に示します。

IPR は、NMI を除く各割り込み要因の優先順位 (レベル 7~0) を設定します。

IPR はリセットまたはハードウェアスタンバイモード時に、H'77 に初期化されます。

ビット 7、3 : リザーブビット

リードすると常に 0 が読み出されます。ライトは無効です。

表 5.3 各割り込み要因と IPR の対応

レジスタ	ビット	
	6~4	2~0
IPRA	IRQ0	IRQ1
IPRB	IRQ2	IRQ4
	IRQ3	IRQ5
IPRC	IRQ6	DTC
	IRQ7	
IPRD	ウォッチドッグタイマ	*
IPRE	- *	A/D 変換器
IPRF	TPU チャンネル 0	TPU チャンネル 1
IPRG	TPU チャンネル 2	TPU チャンネル 3
IPRH	TPU チャンネル 4	TPU チャンネル 5
IPRI	8 ビットタイマチャンネル 0	8 ビットタイマチャンネル 1
IPRJ	*	SCI チャンネル 0
IPRK	SCI チャンネル 1	SCI チャンネル 2

【注】 * リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

表 5.3 に示すように、1 本の IPR に複数の割り込みが割り当てられています。ビット 6~4、ビット 2~0 の各 3 ビットに H'0 から H'7 の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込み優先順位は、H'0 をセットすると優先レベル 0 (最低) に、H'7 をセットすると優先レベル 7 (最高) になります。

割り込み要求が発生すると、IPR で設定した優先順位に従って最も優先順位の高い割り込みが選択されます。その後、この割り込みレベルと CPU 内のエクステンドレジスタ (EXR) の割り込みマスクビット (I2~I0) で設定された割り込みマスクレベルとを比較し、割り込みの優先レベルが設定したマスクレベルより高ければ、CPU に対して割り込み要求を発生します。

5. 割り込みコントローラ

5.2.3 IRQ イネーブルレジスタ (IER)

ビット :	7	6	5	4	3	2	1	0
	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

IER は 8 ビットのリード/ライト可能なレジスタで、IRQ7 ~ IRQ0 割り込み要求の許可または禁止を制御します。

IER はリセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット 7 ~ 0 : IRQ7 ~ IRQ0 イネーブル (IRQ7E ~ IRQ0E)

IRQ7 ~ IRQ0 割り込みを許可または禁止するかを選択します。

ビット n	説明
IRQnE	
0	IRQn 割り込みを禁止 (初期値)
1	IRQn 割り込みを許可

(n=7~0)

5.2.4 IRQ センスコントロールレジスタ H、L (ISCRH、ISCRL)

ISCRH

ビット :	15	14	13	12	11	10	9	8
	IRQ7SCB	IRQ7SCA	IRQ6SCB	IRQ6SCA	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ISCRL

ビット :	7	6	5	4	3	2	1	0
	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ISCR は 16 ビットのリード/ライト可能なレジスタで、 $\overline{\text{IRQ}}7 \sim \overline{\text{IRQ}}0$ 端子の入力の立ち上がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかを選択します。

ISCR はリセットまたはハードウェアスタンバイモード時に、H'0000 に初期化されます。

ビット 15~0 : IRQ7 センスコントロール A、B (IRQ7SCA、IRQ7SCB)
 ~ IRQ0 センスコントロール A、B (IRQ0SCA、IRQ0SCB)

ビット 15~0		説明
IRQ7SCB ~ IRQ0SCB	IRQ7SCA ~ IRQ0SCA	
0	0	IRQ7 ~ IRQ0 入力の Low レベルで割り込み要求を発生 (初期値)
	1	IRQ7 ~ IRQ0 入力の立ち下がりエッジで割り込み要求を発生
1	0	IRQ7 ~ IRQ0 入力の立ち上がりエッジで割り込み要求を発生
	1	IRQ7 ~ IRQ0 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生

5.2.5 IRQ ステータスレジスタ (ISR)

ビット :	7	6	5	4	3	2	1	0
	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*							

【注】* フラグをクリアするための0ライトのみ可能です。

ISR は 8 ビットのリード/ライト可能なレジスタで、IRQ7 ~ IRQ0 割り込み要求のステータス表示を行います。

ISR はリセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

5. 割り込みコントローラ

ビット7~0 : IRQ7~IRQ0 フラグ (IRQ7F~IRQ0F)

IRQ7~IRQ0 割り込み要求のステータスの表示を行います。

ビット n	説明
IRQnF	
0	[クリア条件] (初期値) (1) IRQnF = 1 の状態で IRQnF フラグをリードした後、IRQnF フラグに 0 をライトしたとき (2) Low レベル検出設定 (IRQnSCB = IRQnSCA = 0) の状態かつ $\overline{\text{IRQn}}$ 入力が高レベルの状態、割り込み例外処理を実行したとき (3) 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時 (IRQnSCB = 1、または IRQnSCA = 1) の状態で IRQn 割り込み例外処理を実行したとき (4) IRQn 割り込みにより DTC が起動され、DTC の MRB の DISSEL ビットが 0 のとき
1	[セット条件] (1) Low レベル検出設定 (IRQnSCB = IRQnSCA = 0) の状態で $\overline{\text{IRQn}}$ 入力が Low レベルになったとき (2) 立ち下がりエッジ検出設定時 (IRQnSCB = 0、IRQnSCA = 1) の状態で $\overline{\text{IRQn}}$ 入力に立ち下がりエッジが発生したとき (3) 立ち上がりエッジ検出設定時 (IRQnSCB = 1、IRQnSCA = 0) の状態で $\overline{\text{IRQn}}$ 入力に立ち上がりエッジが発生したとき (4) 両エッジ検出設定時 (IRQnSCB = IRQnSCA = 1) の状態で $\overline{\text{IRQn}}$ 入力に立ち下がり、または立ち上がりエッジが発生したとき

(n = 7 ~ 0)

5.3 割り込み要因

割り込み要因には、外部割り込み (NMI、IRQ7~IRQ0) と内部割り込み (47 要因) があります。

5.3.1 外部割り込み

外部割り込みには、NMI、IRQ7~IRQ0 の 9 要因があります。このうち、NMI、IRQ2~IRQ0 はソフトウェアスタンバイモードからの復帰に使用できます。

(1) NMI 割り込み

NMI は最優先の割り込みで、割り込み制御モードや、CPU の割り込みマスクビットの状態にかかわらず常に受け付けられます。NMI 端子の立ち上がりエッジまたは立ち下がりエッジのいずれかで割り込みを要求するか、SYSCR の NMIEG ビットで選択できます。

NMI 割り込み例外処理のベクタ番号は 7 です。

(2) IRQ7~IRQ0 割り込み

IRQ7~IRQ0 割り込みは $\overline{\text{IRQ7}}$ ~ $\overline{\text{IRQ0}}$ 端子の入力信号により要求されます。IRQ7~IRQ0 割り込みには次の特長があります。

- (a) $\overline{\text{IRQ7}}$ ~ $\overline{\text{IRQ0}}$ 端子のLowレベル、立ち下がりエッジ、立ち上がりエッジおよび両エッジのいずれかで割り込みを要求するか、ISCRで選択できます。
- (b) IRQ7~IRQ0割り込み要求を許可するか禁止するかを、IERで選択できます。
- (c) IPRにより割り込みプライオリティレベルを設定できます。

(d) IRQ7～IRQ0割り込み要求のステータスは、ISRに表示されます。ISRのフラグはソフトウェアで0にクリアすることができます。

IRQ7～IRQ0 割り込みのブロック図を図 5.2 に示します。

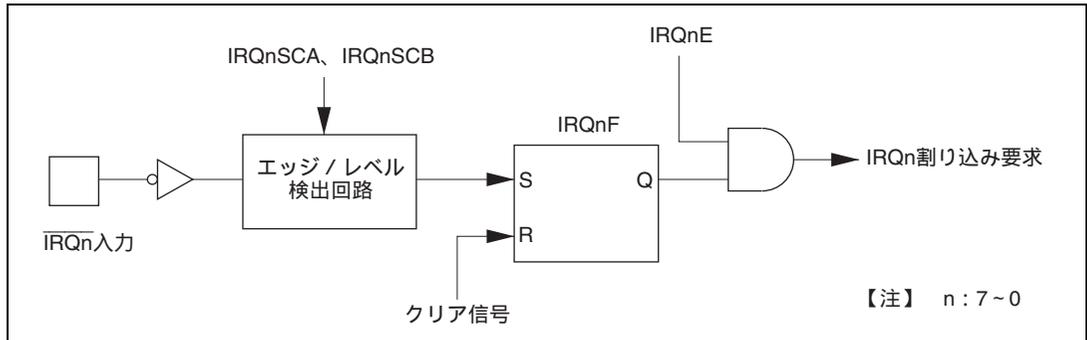


図 5.2 IRQ7～IRQ0 割り込みのブロック図

IRQnF のセットタイミングを図 5.3 に示します。

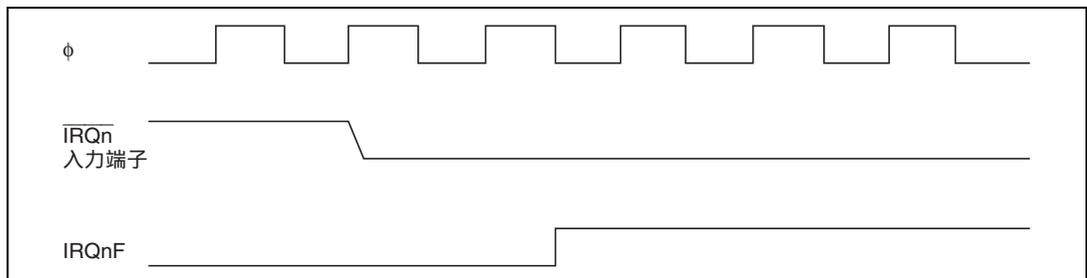


図 5.3 IRQnF のセットタイミング

IRQ7～IRQ0 割り込み例外処理のベクタ番号は、23～16 です。

IRQ7～IRQ0 割り込みの検出は、当該の端子が入力に設定されているか、出力に設定されているかに依存しません。したがって、外部割り込み入力端子として使用する場合には、対応する DDR を 0 にクリアしてそのほかの機能の入出力端子としては使用しないでください。

5.3.2 内部割り込み

内蔵周辺モジュールからの割り込みによる内部割り込みには 47 要因があります。

- (1) 各内蔵周辺モジュールには、割り込み要求のステータスを表示するフラグと、これらの割り込みを許可するか禁止するかを選択するイネーブルビットがあります。これらがいずれも1にセットされると割り込み要求が割り込みコントローラに要求されます。
- (2) IPRによって割り込みプライオリティレベルを設定できます。
- (3) TPU、8ビットタイマ、SCIなどの割り込み要求によりDTCの起動ができます。割り込みによりDTCの起動を行う場合、割り込み制御モードや、CPUの割り込みマスクビットの影響を受けません。

5.3.3 割り込み例外処理ベクタテーブル

表 5.4 に割り込み例外処理要因とベクタアドレスおよび割り込み優先順位の一覧を示します。デフォルトの優先順位はベクタ番号の小さいものほど高くなっています。

モジュール間の優先順位は、IPR により設定することができます。2 つ以上のモジュールを同一の優先順位に設定した場合、また、モジュール内の優先順位は、表 5.4 のとおり固定です。

表 5.4 割り込み要因とベクタアドレスおよび割り込み優先順位一覧

割り込み要因	要因発生元	ベクタ 番号	ベクタアドレス*		IPR	優先 順位
			ノーマルモード	アドレスモード		
NMI	外部端子	7	H'000E	H'001C		高 ▲
IRQ0		16	H'0020	H'0040	IPRA6 ~ IPRA4	
IRQ1		17	H'0022	H'0044	IPRA2 ~ IPRA0	
IRQ2		18	H'0024	H'0048	IPRB6 ~ IPRB4	
IRQ3		19	H'0026	H'004C		
IRQ4		20	H'0028	H'0050	IPRB2 ~ IPRB0	
IRQ5		21	H'002A	H'0054		
IRQ6 IRQ7		22 23	H'002C H'002E	H'0058 H'005C	IPRC6 ~ IPRC4	
SWDTEND (ソフトウェア起動データ転送終了)	DTC	24	H'0030	H'0060	IPRC2 ~ IPRC0	低
WOVI (インターバルタイマ)	ウォッチド ッグタイマ	25	H'0032	H'0064	IPRD6 ~ IPRD4	
リザーブ	-	26	H'0034	H'0068		
		27	H'0036	H'006C		
ADI (A/D 変換終了)	A/D	28	H'0038	H'0070	IPRE2 ~ IPRE0	
リザーブ	-	29	H'003A	H'0074		
		30	H'003C	H'0078		
		31	H'003E	H'007C		
TGI0A(TGR0A インพุットキャプチャ/ コンペアマッチ)	TPU チャネ ル 0	32	H'0040	H'0080	IPRF6 ~ IPRF4	
TGI0B(TGR0B インพุットキャプチャ/ コンペアマッチ)		33	H'0042	H'0084		
TGI0C(TGR0C インพุットキャプチャ/ コンペアマッチ)		34	H'0044	H'0088		
TGI0D(TGR0D インพุットキャプチャ/ コンペアマッチ)		35	H'0046	H'008C		
TCI0V (オーバフロー)		36	H'0048	H'0090		
リザーブ	-	37	H'004A	H'0094		
		38	H'004C	H'0098		
		39	H'004E	H'009C		

5. 割り込みコントローラ

割り込み要因	要因発生元	ベクタ 番号	ベクタアドレス*		IPR	優先 順位
			ノーマルモード	アドレスリストモード		
TGI1A (TGR1A インพุットキャプチャ/ コンペアマッチ) TGI1B (TGR1B インพุットキャプチャ/ コンペアマッチ) TCI1V (オーバフロー-1) TCI1U (アンダフロー-1)	TPUチャネル1	40	H'0050	H'00A0	IPRF2 ~ IPRF0	高 ↑
		41	H'0052	H'00A4		
		42	H'0054	H'00A8		
		43	H'0056	H'00AC		
TGI2A (TGR2A インพุットキャプチャ/ コンペアマッチ) TGI2B (TGR2B インพุットキャプチャ/ コンペアマッチ) TCI2V (オーバフロー-2) TCI2U (アンダフロー-2)	TPUチャネル2	44	H'0058	H'00B0	IPRG6 ~ IPRG4	
		45	H'005A	H'00B4		
		46	H'005C	H'00B8		
		47	H'005E	H'00BC		
TGI3A (TGR3A インพุットキャプチャ/ コンペアマッチ) TGI3B (TGR3B インพุットキャプチャ/ コンペアマッチ) TGI3C (TGR3C インพุットキャプチャ/ コンペアマッチ) TGI3D (TGR3D インพุットキャプチャ/ コンペアマッチ) TCI3V (オーバフロー-3)	TPUチャネル3	48	H'0060	H'00C0	IPRG2 ~ IPRG0	
		49	H'0062	H'00C4		
		50	H'0064	H'00C8		
		51	H'0066	H'00CC		
リザーブ	-	53	H'006A	H'00D4		
		54	H'006C	H'00D8		
		55	H'006E	H'00DC		
TGI4A (TGR4A インพุットキャプチャ/ コンペアマッチ) TGI4B (TGR4B インพุットキャプチャ/ コンペアマッチ) TCI4V (オーバフロー-4) TCI4U (アンダフロー-4)	TPUチャネル4	56	H'0070	H'00E0	IPRH6 ~ IPRH4	低
		57	H'0072	H'00E4		
		58	H'0074	H'00E8		
		59	H'0076	H'00EC		

5. 割り込みコントローラ

割り込み要因	要因発生元	ベクタ 番号	ベクタアドレス*		IPR	優先 順位
			ノーマルモード	アドレスモード		
TGI5A (TGR5A インพุットキャプチャ/ コンペアマッチ) TGI5B (TGR5B インพุットキャプチャ/ コンペアマッチ) TCI5V (オーバフロー-5) TCI5U (アンダフロー-5)	TPUチャネル5	60	H'0078	H'00F0	IPRH2 ~ IPRH0	高 ↑
		61	H'007A	H'00F4		
		62	H'007C	H'00F8		
		63	H'007E	H'00FC		
CMIA0 (コンペアマッチ A) CMIB0 (コンペアマッチ B) OVI0 (オーバフロー)	8ビットタイ マチャネル0	64	H'0080	H'0100	IPRI6 ~ IPRI4	
		65	H'0082	H'0104		
		66	H'0084	H'0108		
リザーブ	-	67	H'0086	H'010C		
CMIA1 (コンペアマッチ A) CMIB1 (コンペアマッチ B) OVI1 (オーバフロー)	8ビットタイ マチャネル1	68	H'0088	H'0110	IPRI2 ~ IPRI0	
		69	H'008A	H'0114		
		70	H'008C	H'0118		
リザーブ	-	71	H'008E	H'011C		
		72	H'0090	H'0120		
		73	H'0092	H'0124		
		74	H'0094	H'0128		
		75	H'0096	H'012C		
		76	H'0098	H'0130		
		77	H'009A	H'0134		
		78	H'009C	H'0138		
79	H'009E	H'013C				
ERI0 (受信エラー0) RXI0 (受信完了0) TXI0 (送信データエンプティ0) TEI0 (送信終了0)	SCIチャネル0	80	H'00A0	H'0140	IPRJ2 ~ IPRJ0	
		81	H'00A2	H'0144		
		82	H'00A4	H'0148		
		83	H'00A6	H'014C		
ERI1 (受信エラー1) RXI1 (受信完了1) TXI1 (送信データエンプティ1) TEI1 (送信終了1)	SCIチャネル1	84	H'00A8	H'0150	IPRK6 ~ IPRK4	
		85	H'00AA	H'0154		
		86	H'00AC	H'0158		
		87	H'00AE	H'015C		
ERI2 (受信エラー2) RXI2 (受信完了2) TXI2 (送信データエンプティ2) TEI2 (送信終了2)	SCIチャネル2	88	H'00B0	H'0160	IPRK2 ~ IPRK0	低
		89	H'00B2	H'0164		
		90	H'00B4	H'0168		
		91	H'00B6	H'016C		

【注】 * 先頭アドレスの下位 16 ビットを示しています。

5.4 割り込み動作

5.4.1 割り込み制御モードと割り込み動作

本 LSI の割り込みの動作は、割り込み制御モードによって異なります。

NMI 割り込みはリセット状態、ハードウェアスタンバイ状態を除き常に受け付けられます。IRQ 割り込みおよび内蔵周辺モジュールの割り込みは、それぞれの割り込みに対応したイネーブルビットがあります。このイネーブルビットを 0 にクリアすると、その割り込み要求は禁止されます。イネーブルビットを 1 にセットした割り込み要因が、割り込みコントローラで制御されます。

表 5.5 に割り込み制御モードを示します。

SYSCR の INTM1、INTM0 ビットによる割り込み制御モードの設定、IPR による割り込み優先順位の設定、および CPU の CCR の I ビットおよび UI ビット、EXR の I2~I0 ビットによるマスク状態に基づいて、割り込みコントローラは割り込みを制御します。

表 5.5 割り込み制御モード

割り込み制御モード	SYSCR		優先順位設定レジスタ	割り込みマスクビット	説明
	INTM1	INTM0			
0	0	0		1	1 ビットにより、割り込みマスク制御を行います。
		1			設定禁止
2	1	0	IPR	12~10	12~10 ビットにより、8 レベルの割り込みマスク制御を行います。 IPR により、8 レベルの優先順位の設定ができます。
		1			設定禁止

図 5.4 に優先順位判定回路のブロック図を示します。

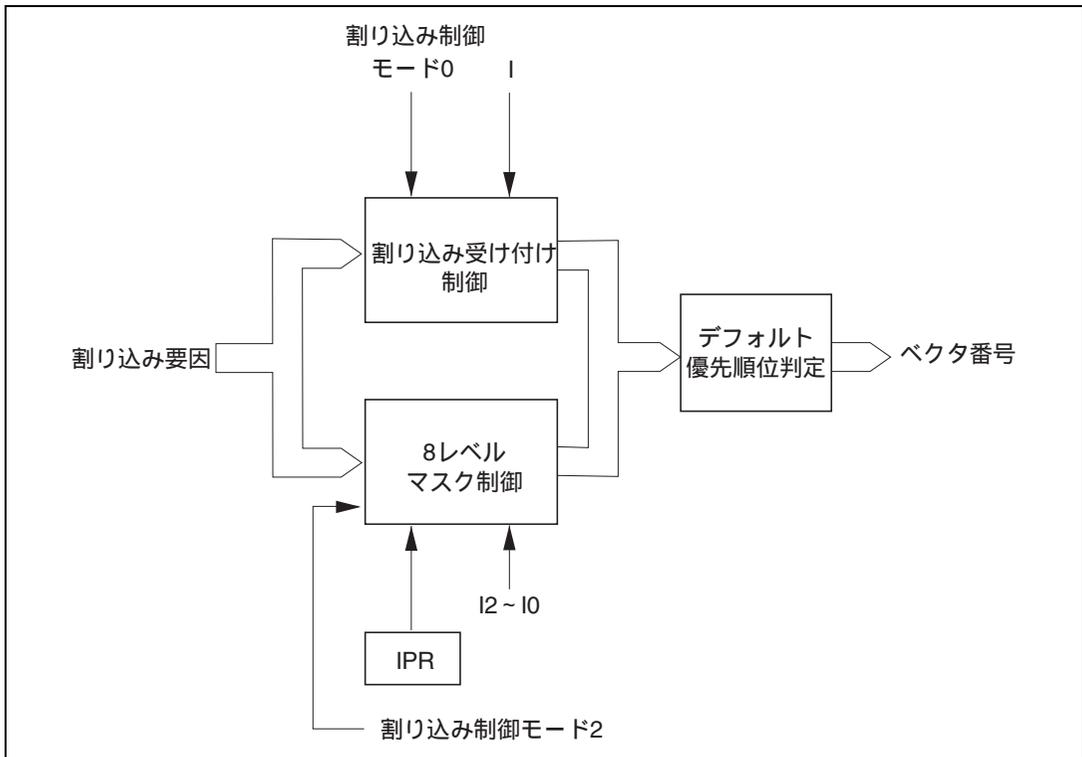


図 5.4 割り込み制御動作のブロック図

(1) 割り込み受け付け制御

割り込み制御モード 0 のとき、CCR の I ビットにより割り込み受け付け制御を行います。
表 5.6 に、割り込み制御モードと選択可能な割り込みについて示します。

表 5.6 割り込み制御モードと選択される割り込み (1)

割り込み制御モード	割り込みマスクビット	選択される割り込み
	I	
0	0	すべての割り込み
	1	NMI 割り込み
2	*	すべての割り込み

【記号説明】

* : Don't care

5. 割り込みコントローラ

(2) 8レベル制御

割り込み制御モード2のとき、割り込み受け付け制御において、選択された割り込みに対して割り込みプライオリティレベル（IPR）に従った8レベルのマスケレベル判定を行います。

IPRで設定したプライオリティレベルが、マスケレベルよりも大きく、かつ最もプライオリティレベルの高い割り込み要因を選択します。

表 5.7 割り込み制御モードと選択される割り込み (2)

割り込み制御モード	選択される割り込み
0	すべての割り込み
2	プライオリティレベルがマスケレベルより大きい (IPR > I2 ~ I0) かつ、プライオリティレベル (IPR) が最大の割り込み

(3) デフォルト優先順位判定

8レベル制御において選択された割り込みについて優先順位を判定し、ベクタ番号を生成します。

IPRに対して同じ値を設定した場合には、複数の割り込み要因の受け付けが許可されることになるため、あらかじめデフォルトで設定した優先順位に従って最も優先順位の高い割り込み要因のみを選択しベクタ番号を生成します。

受け付けられた割り込み要因よりも低い優先順位をもった割り込み要因は保留されます。

表 5.8 に割り込み制御モードと動作および制御信号機能を示します。

表 5.8 割り込み制御モードと動作および制御信号機能

割り込み制御モード	設定		割り込み受け付け制御		8レベル制御			デフォルト優先順位判定	T (トレース)
	INTM1	INTM0		I	I2 ~ I0	IPR			
0	0	0		IM	x	-	- *2		-
2	1	0	x	- *1		IM	PR		T

【記号説明】

- : 割り込み動作制御を行います。
- x : 動作しません。(割り込みはすべて許可)
- IM : 割り込みマスケビットとして使用。
- PR : 優先順位を設定。
- : 使用しません。

【注】 *1 割り込み受け付け時に1にセットされます。

*2 初期設定値を保持してください。

5.4.2 割り込み制御モード 0

IRQ 割り込み、および内蔵周辺モジュールの割り込みは CPU の CCR の I ビットによって許可または禁止を設定できます。I ビットが 0 にクリアされているときは許可状態、1 にセットされているときは禁止状態です。

この場合の割り込み受け付けの動作フローチャートを図 5.5 に示します。

- [1] 対応する割り込みイネーブルビットが 1 にセットされている状態で割り込み要因が発生したとき、割り込みコントローラに対して、割り込み要求が送られます。
- [2] I ビットを参照します。I ビットが 0 にクリアされているときは、割り込み要求が受け付けられます。I ビットが 1 にセットされているときは、NMI 割り込みのみ受け付けられ、その他の割り込み要求は保留されます。
- [3] 割り込みコントローラに対して割り込み要求が送られ、優先順位に従って最高位の割り込みが選択され、その他は保留となります。
- [4] 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、割り込み例外処理を起動します。
- [5] 割り込み例外処理によって、PC と CCR がスタック領域に退避されます。退避される PC は、リターン後に実行する最初の命令のアドレスを示しています。
- [6] 次に CCR の I ビットが 1 にセットされます。これにより、NMI を除く割り込みはマスクされます。
- [7] 受け付けた割り込みに対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行が開始されます。

5. 割り込みコントローラ

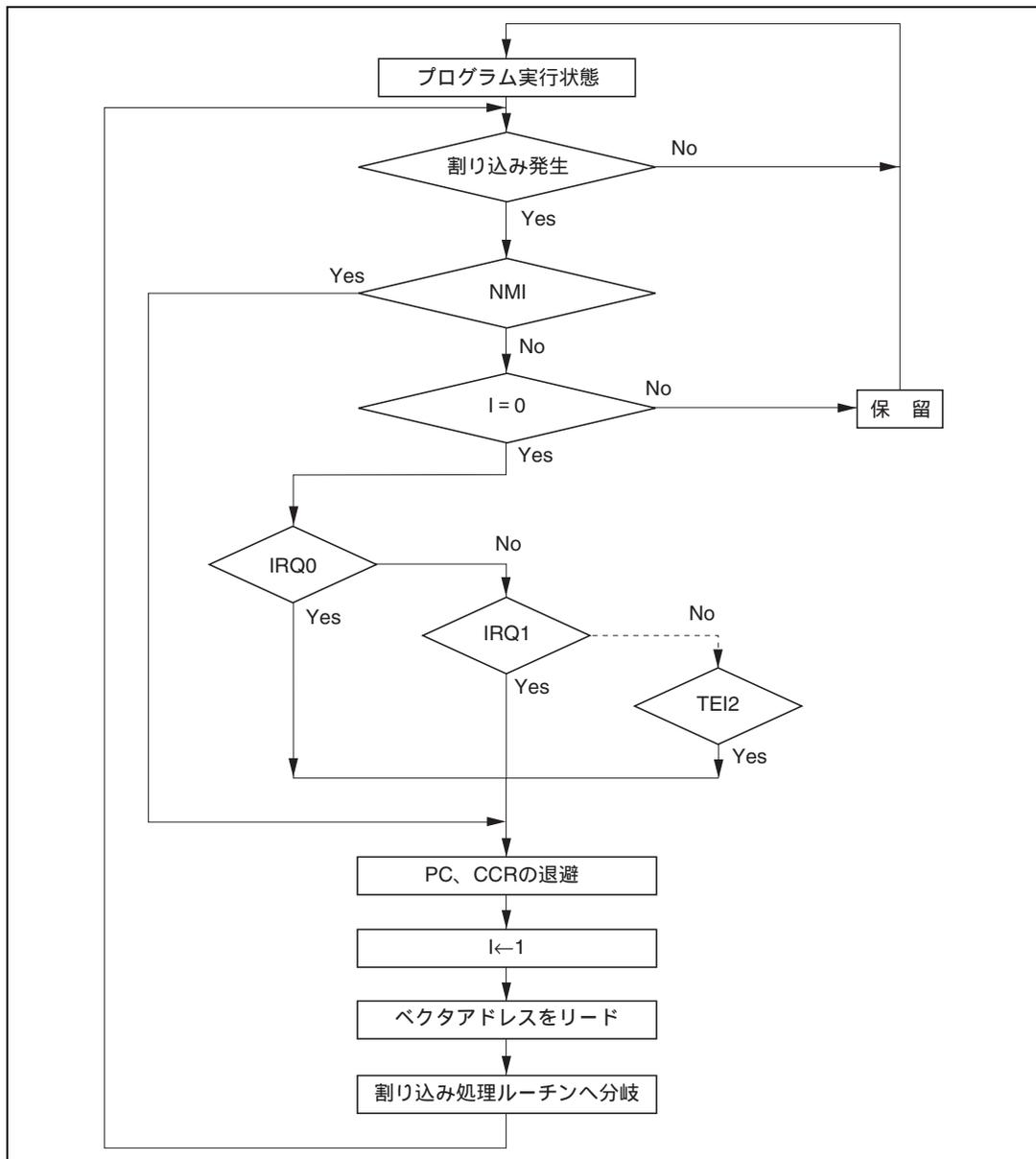


図 5.5 割り込み制御モード 0 の割り込み受け付けまでのフロー

5.4.3 割り込み制御モード 2

IRQ 割り込み、および内蔵周辺モジュールの割り込みは、CPU の EXR の割り込みマスクレベル (I2~I0 ビット) と IPR との比較によって 8 レベルのマスクレベルを実現できます。

このときの割り込み受け付けの動作フローチャートを図 5.6 に示します。

- [1] 対応する割り込みイネーブルビットが1にセットされている状態で割り込み要因が発生したとき、割り込みコントローラに対して、割り込み要求が送られます。
- [2] 割り込みコントローラに対して割り込み要求が送られると、IPRに設定された割り込みプライオリティレベルに従って最も優先順位の高い割り込みが選択され、それより低位の優先順位の割り込み要求は保留となります。このとき、同一優先順位の割り込み要求が同時に複数個発生したときは、表5.4に示す優先度に従って、優先順位の最も高い割り込み要求が選択されます。
- [3] その後、選択された割り込み要求の優先順位とEXRの割り込みマスクレベルとが比較されます。ここで、そのときに設定されていたマスクレベル以下の要求は保留され、割り込みマスクレベルより優先順位の高い割り込み要求だけが受け付けられます。
- [4] 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、割り込み例外処理を起動します。
- [5] 割り込み例外処理によって、PC、CCRおよびEXRがスタック領域に退避されます。退避されるPCは、リターン後に実行する最初の命令のアドレスを示しています。
- [6] EXRのTビットが0にクリアされます。割り込みマスクレベルは受け付けた割り込みのプライオリティレベルに書き換えられます。
受け付けた割り込みがNMIのとき、割り込みマスクレベルはH'7に設定されます。
- [7] 受け付けた割り込みに対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行が開始されます。

5. 割り込みコントローラ

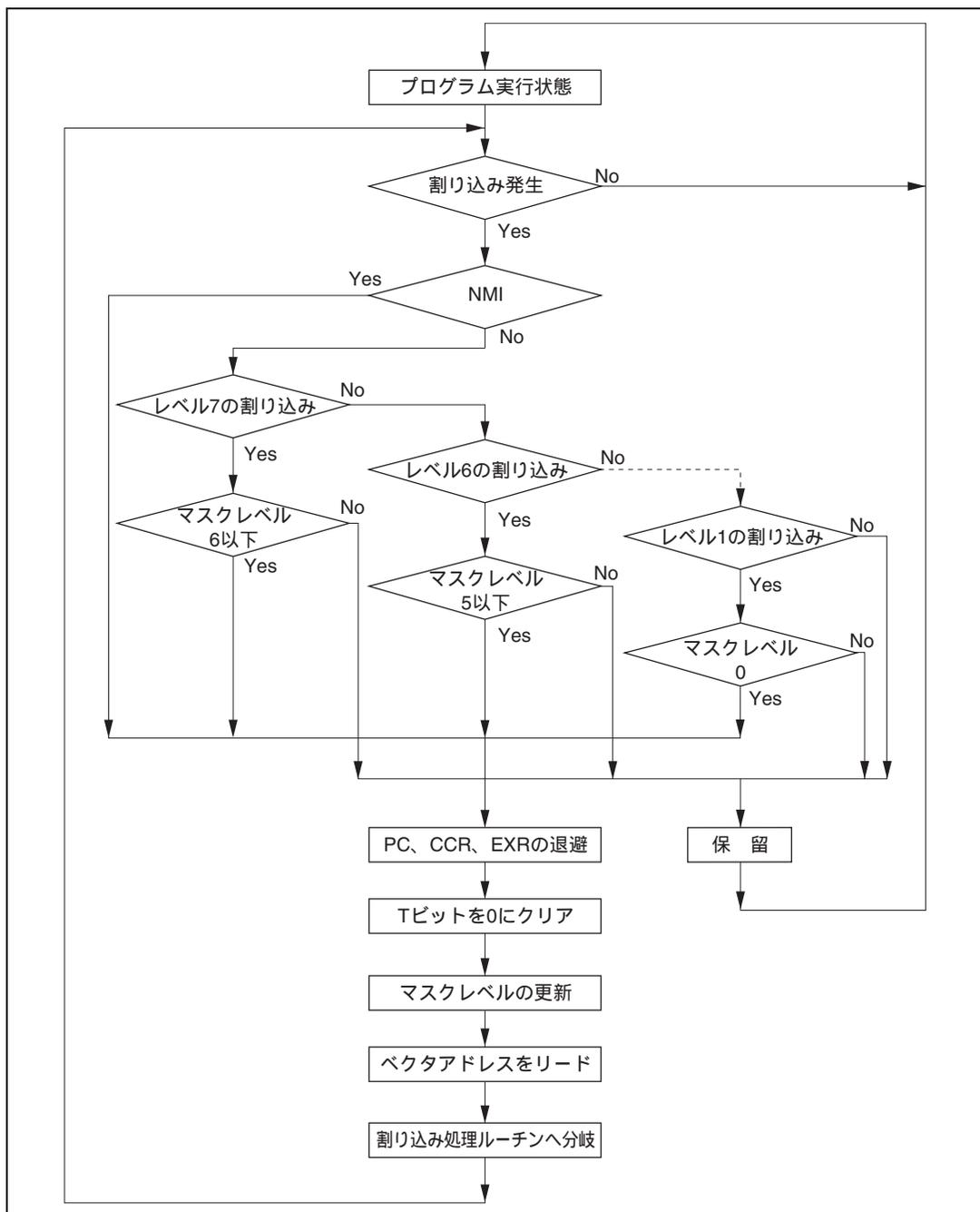


図 5.6 割り込み制御モード 2 の割り込み受け付けまでのフロー

5.4.4 割り込み例外処理シーケンス

図 5.7 に、割り込み例外処理シーケンスを示します。アドバンスモードで割り込み制御モード 0 とし、プログラム領域およびスタック領域を内蔵メモリとした場合の例です。

5. 割り込みコントローラ

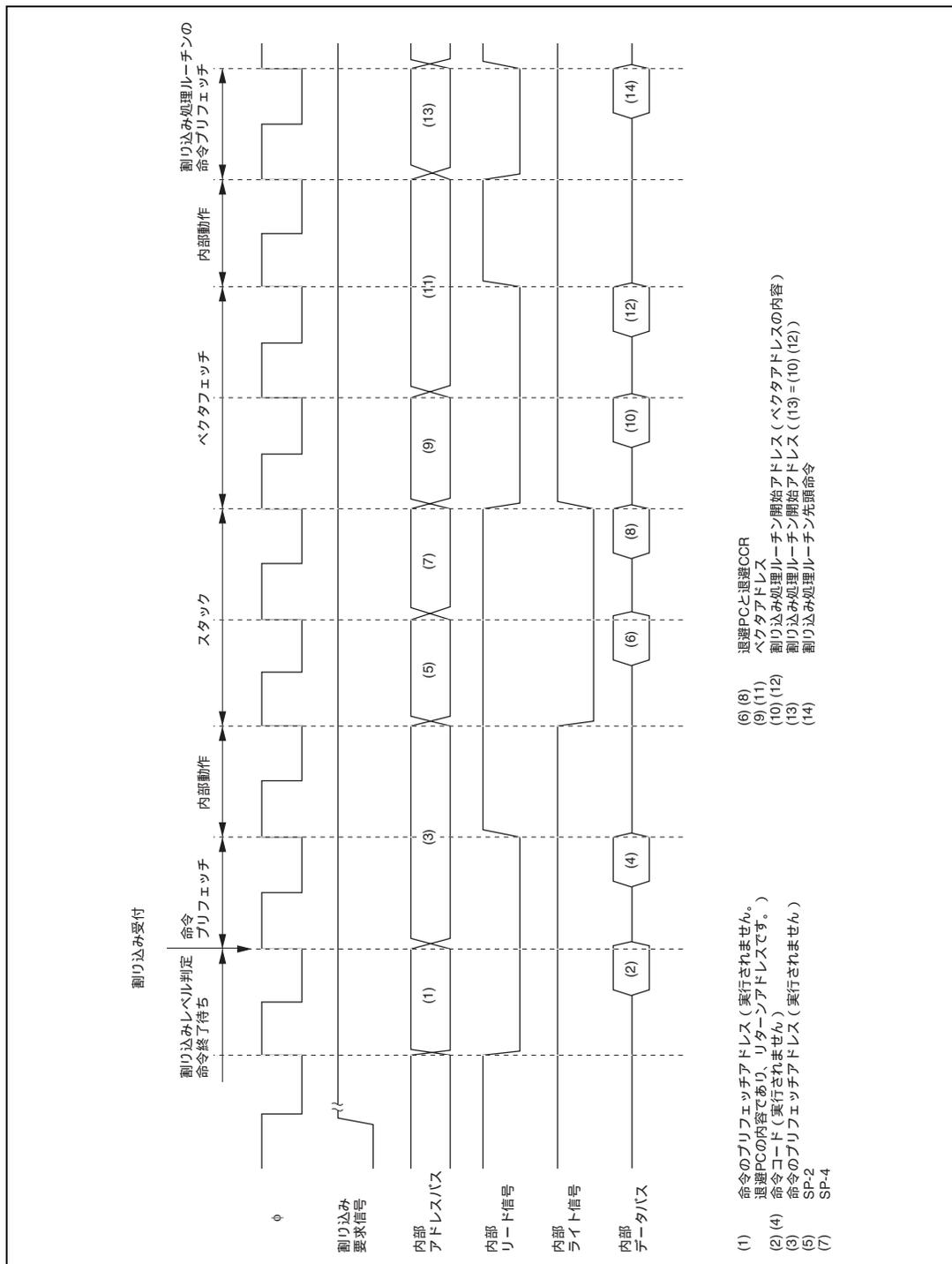


図 5.7 割り込み例外処理

5.4.5 割り込み応答時間

本 LSI では、内蔵メモリに対する高速ワードアクセスを可能にしており、プログラム領域を内蔵 ROM、スタック領域を内蔵 RAM に設けることにより、処理速度の向上を図ることができます。

割り込み要求が発生してから、割り込み例外処理ルーチンの先頭命令が実行されるまでの割り込み応答時間を表 5.9 に示します。表 5.9 の実行状態の記号については表 5.10 を参照してください。

表 5.9 割り込み応答時間

No.	実行状態	ノーマルモード		アドバンスモード	
		INTM1 = 0	INTM1 = 1	INTM1 = 0	INTM1 = 1
1	割り込み優先順位判定 ^{*1}	3			
2	実行中の命令が終了するまでの待ち状態数 ^{*2}	$1 - 19 + 2 \cdot S_i$			
3	PC、CCR および EXR のスタック	$2 \cdot S_k$	$3 \cdot S_k$	$2 \cdot S_k$	$3 \cdot S_k$
4	ベクタフェッチ	S_i		$2 \cdot S_i$	
5	命令フェッチ ^{*3}	$2 \cdot S_i$			
6	内部処理 ^{*4}	2			
合計 (内蔵メモリ使用時)		11 ~ 31	12 ~ 32	12 ~ 32	13 ~ 33

- 【注】 *1 内部割り込みの場合 2 ステートとなります。
 *2 MULXS、DIVXS 命令について示しています。
 *3 割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチです。
 *4 割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理です。

表 5.10 割り込み例外処理の実行状態のステート数

記号	アクセス対象				
	内部メモリ	外部デバイス			
		8 ビットバス		16 ビットバス	
		2 ステート アクセス	3 ステート アクセス	2 ステート アクセス	3 ステート アクセス
命令フェッチ S_i	1	4	$6 + 2m$	2	$3 + m$
分岐アドレスリード S_j					
スタック操作 S_k					

【記号説明】

m : 外部デバイスアクセス時のウェイトステート数

5.5 使用上の注意

5.5.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットを0にクリアして割り込みを禁止する場合、割り込みの禁止はその命令実行終了後に有効になります。

すなわち、BCLR 命令、MOV 命令等で割り込みイネーブルビットを0にクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込み許可状態にあるため、命令実行終了後にその割り込み例外処理を実行します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。

割り込み要因フラグを0にクリアする場合も同様です。

8ビットタイマのTCRのCMIEAビットを0にクリアする場合の例を図5.8に示します。

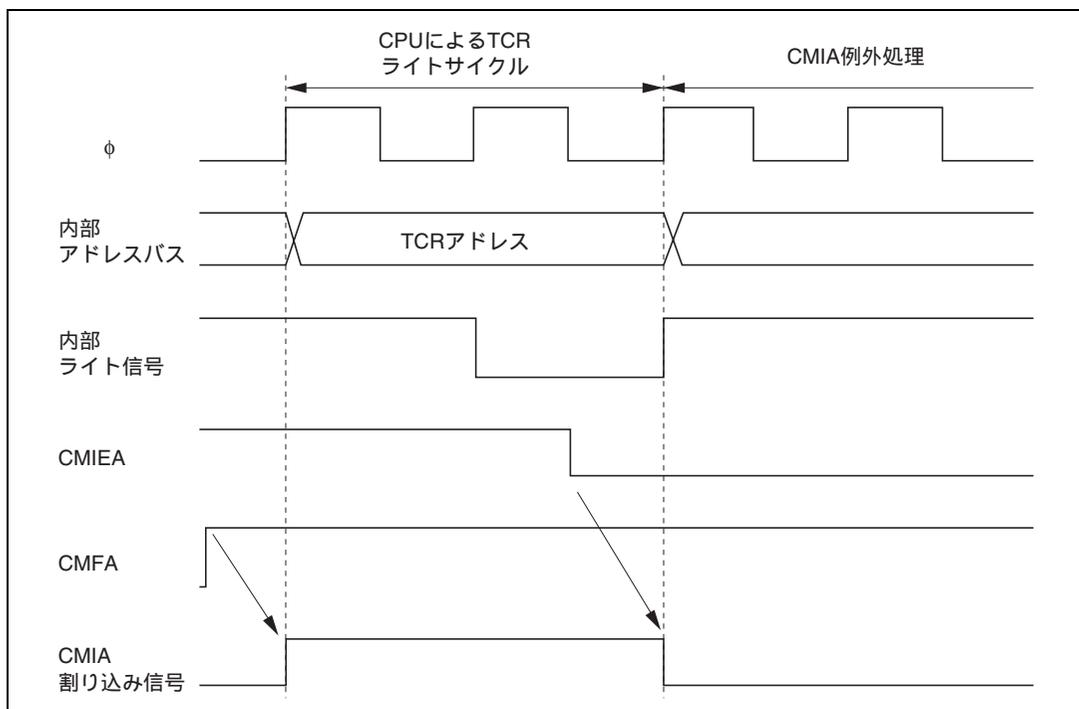


図 5.8 割り込みの発生とディスエーブルの競合

なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを0にクリアすれば、上記の競合は発生しません。

5.5.2 割り込みを禁止している命令

割り込みを禁止している命令には、LDC、ANDC、ORC、XORC 命令があります。これらの命令実行終了後は、NMI 割り込みを含めて割り込みが禁止され、必ず次の命令を実行します。

これらの命令により I ビットを設定した場合、命令実行終了の 2 ステート後に新しい値が有効になります。

5.5.3 割り込み禁止期間

割り込みコントローラには割り込み受け付けを禁止している期間があります。

CPU が LDC、ANDC、ORC、XORC 命令によってマスクレベルを更新した後の 3 ステート期間は、割り込みコントローラは割り込みの受け付けを禁止します。

5.5.4 EEPMOV 命令実行中の割り込み

EEPMOV.B 命令と EEPMOV.W 命令では、割り込み動作が異なります。

EEPMOV.B 命令のときは、転送中に NMI を含めた割り込み要求があっても転送終了まで割り込みを受け付けません。

EEPMOV.W 命令のときは、転送中に割り込み要求があった場合、転送サイクルの切れ目で割り込み例外処理が開始されます。このときスタックされる PC の値は次命令のアドレスとなります。

このため、EEPMOV.W 命令実行中に割り込みが発生する場合には、以下のプログラムとしてください。

```
L1:  EEPMOV.W
      MOV.W  R4, R4
      BNE   L1
```

5.6 割り込みによる DTC の起動

5.6.1 概要

割り込みにより DTC を起動することができます。この場合、以下の選択を行うことができます。

- (1) CPU に対する割り込み要求
- (2) DTC に対する起動要求
- (3) (1) と (2) の複数の選択

なお、DTC を起動できる割り込み要求については、「第 7 章 データトランスファコントローラ (DTC)」を参照してください。

5.6.2 ブロック図

図 5.9 に、DTC と割り込みコントローラのブロック図を示します。

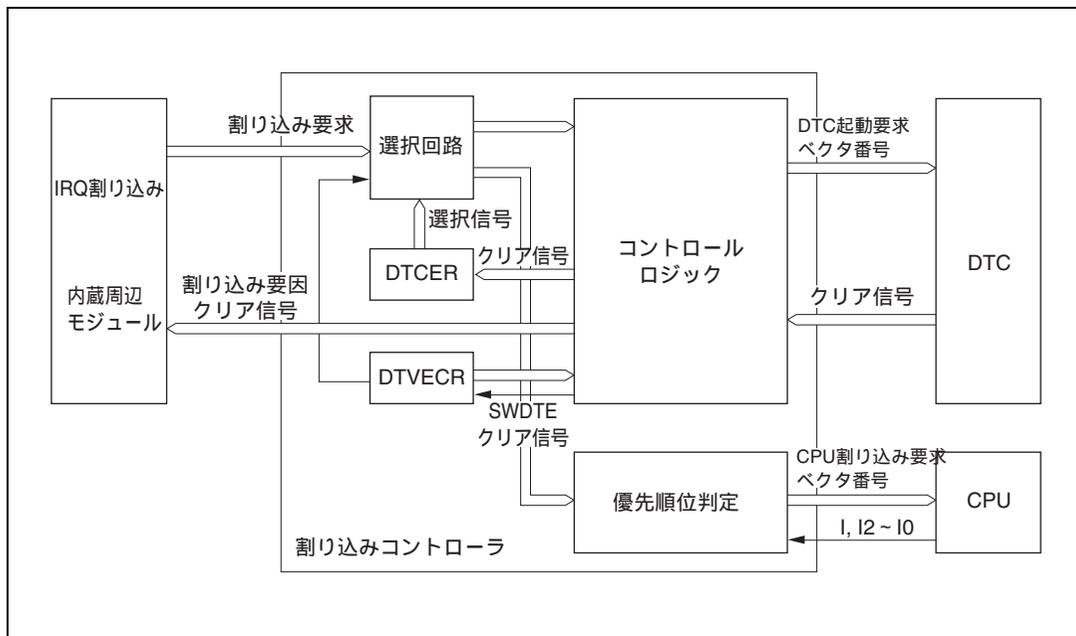


図 5.9 DTC と割り込み制御

5.6.3 動作説明

DTC 制御の割り込みコントローラの機能は 3 つに大別されます。

(1) 割り込み要因の選択

割り込み要因は、DTC の DTCEA ~ DTCEF の DTCE ビットにより、DTC 起動要求とするか、CPU 割り込み要求とするかを選択します。

DTC の MRB の DISEL ビットの指定により、DTC のデータ転送後、DTCE ビットを 0 にクリアして、CPU に割り込みを要求することができます。

なお、DTC が所定回数のデータ転送を行い、転送カウンタが 0 になった場合には、DTC のデータ転送後、DTCE もビットを 0 にクリアして、CPU に割り込みを要求します。

(2) 優先順位判定

DTC の起動要因はデフォルトの優先順位に従って選択されます。マスクレベルやプライオリティレベルなどの影響を受けません。優先順位は、「7.3.3 DTC ベクタテーブル」を参照してください。

(3) 動作順序

同一の割り込みを、DTC の起動要因と CPU の割り込み要因に選択した場合、DTC のデータ転送が行われ、その後、CPU の割り込み例外処理が行われます。

表 5.11 に、DTC の DTCEA ~ DTCEF の DTCE ビット、および DTC の MRB の DISEL ビットの設定による割り込み要因の選択と割り込み要因クリア制御を示します。

表 5.11 割り込み要因の選択とクリア制御

設定内容		割り込み要因選択・クリア制御	
DTC			
DTCE	DISEL	DTC	CPU
0	*	×	
1	0		×
	1		

【記号説明】

- : 当該割り込みを使用します。割り込み要因のクリアを行います。
(CPU は割り込み処理ルーチンで、要因フラグをクリアしてください。)
- : 当該割り込みを使用します。割り込み要因をクリアしません。
- ×
- * : Don't care

(4) 使用上の注意

SCI および A/D 変換器の割り込み要因は、DTC が所定のレジスタをリード/ライトしたときにクリアされ、DISEL ビットには依存しません。

6. バスコントローラ

6.1 概要

本 LSI はバスコントローラ (BSC) を内蔵しており、外部アドレス空間を 8 つのエリアに分割して管理します。各エリアでは、バス幅、アクセスステート数などのバス仕様を独立に設定することが可能であり、複数のメモリを容易に接続することができます。

また、バスコントローラはバス権調停機能をもっており、内部バスマスタである CPU、およびデータトランスファコントローラ (DTC) の動作を制御します。

6.1.1 特長

バスコントローラの特長を以下に示します。

外部アドレス空間をエリア単位で管理

- アドバンストモードでは外部空間を 2M バイト単位の 8 エリアに分割して管理
- ノーマルモードでは外部空間を 1 つのエリアとして管理
- エリアごとにバス仕様を設定可能

基本バスインタフェース

- エリア 0~7 に対してチップセレクト ($\overline{CS0} \sim \overline{CS7}$) を出力可能
- エリアごとに、8 ビットアクセス空間 / 16 ビットアクセス空間を選択可能
- エリアごとに、2 ステートアクセス空間 / 3 ステートアクセス空間を選択可能
- エリアごとに、プログラムウェイトステートを挿入可能

バースト ROM インタフェース

- エリア 0 に対してバースト ROM インタフェースを設定可能
- バーストアクセスの 1 または 2 ステートを選択可能

アイドルサイクル挿入

- 異なるエリア間の外部リードサイクル時、アイドルサイクルを挿入可能
- 外部リードサイクルの直後の外部ライトサイクル時、アイドルサイクルを挿入可能

バス権調停機能 (バスアービトレーション)

- バスアービタを内蔵し、CPU および DTC のバス権を調停

その他

- 外部バス権解放機能

6.1.2 ブロック図

バスコントローラのブロック図を図 6.1 に示します。

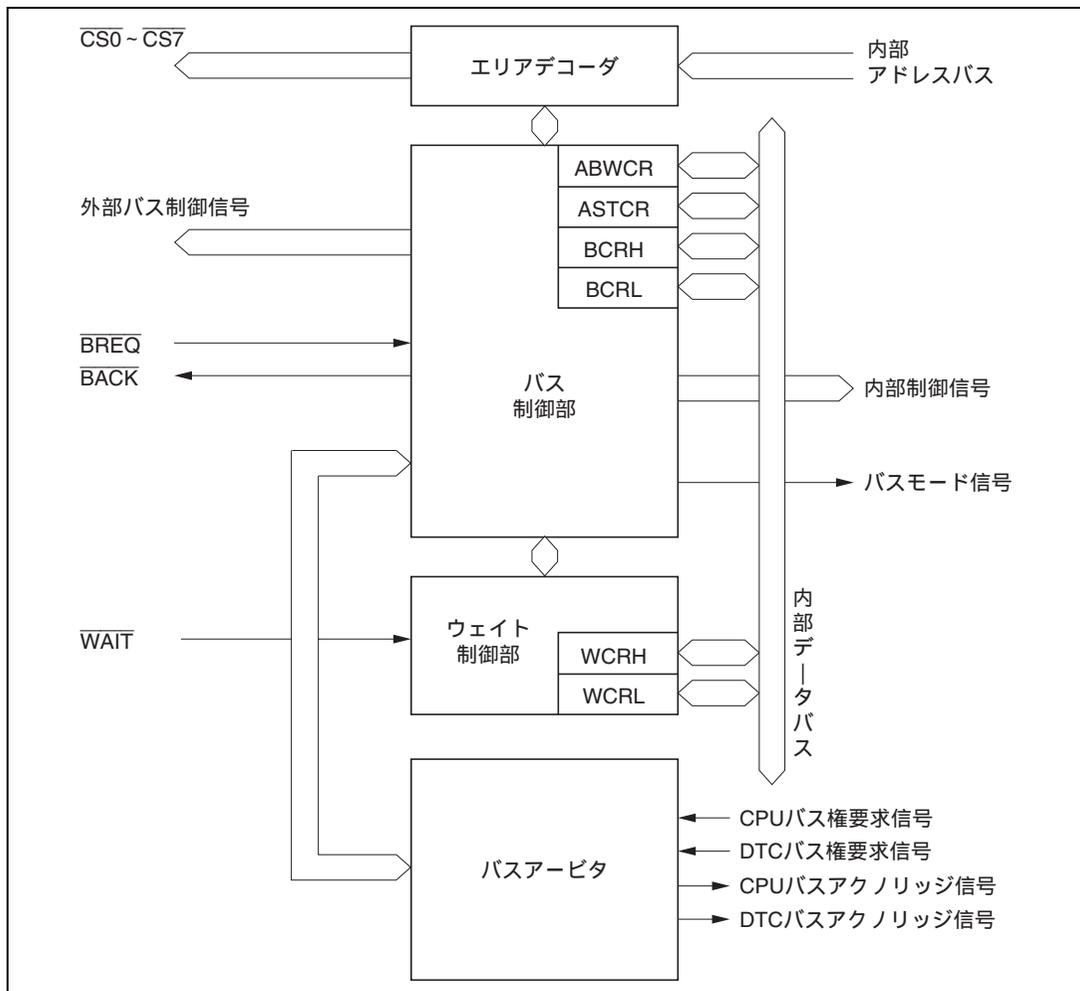


図 6.1 バスコントローラのブロック図

6.1.3 端子構成

表 6.1 にバスコントローラの端子構成を示します。

表 6.1 端子構成

名 称	記号	入出力	機 能
アドレスストロープ	AS	出力	アドレスバス上のアドレス出力が有効であることを示すストロープ信号。
リード	RD	出力	外部空間をリードしていることを示すストロープ信号。
ハイライト	HWR	出力	外部空間をライトし、データバスの上位側 (D ₁₅ ~D ₈) が有効であることを示すストロープ信号。
ロウライト	LWR	出力	外部空間をライトし、データバスの下位側 (D ₇ ~D ₀) が有効であることを示すストロープ信号。
チップセレクト 0~7	CS0~CS7	出力	エリア 0~7 が選択されていることを示すストロープ信号。
ウェイト	WAIT	入力	外部 3 ステートアクセス空間をアクセスするときのウェイト要求信号。
バス権要求	BREQ	入力	バス権を外部に解放する要求信号。
バス権要求アクノリッジ	BACK	出力	バス権を解放したことを示すアクノリッジ信号。

6.1.4 レジスタ構成

表 6.2 にバスコントローラのレジスタ構成を示します。

表 6.2 レジスタ構成

名 称	略称	R/W	初期値		アドレス*1
			パワーオンリセット	マニュアルリセット	
バス幅コントロールレジスタ	ABWCR	R/W	H'FF/H'00*2	保持	H'FED0
アクセスステートコントロールレジスタ	ASTCR	R/W	H'FF	保持	H'FED1
ウェイトコントロールレジスタ H	WCRH	R/W	H'FF	保持	H'FED2
ウェイトコントロールレジスタ L	WCRL	R/W	H'FF	保持	H'FED3
バスコントロールレジスタ H	BCRH	R/W	H'D0	保持	H'FED4
バスコントロールレジスタ L	BCRL	R/W	H'3C	保持	H'FED5

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 MCU 動作モードによって決まります。

6.2 各レジスタの説明

6.2.1 バス幅コントロールレジスタ (ABWCR)

ビット:	7	6	5	4	3	2	1	0
	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0
モード1~3、5~7								
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W							
モード4								
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

ABWCR は 8 ビットのリード/ライト可能なレジスタで、各エリアを 8 ビットアクセス空間または 16 ビットアクセス空間のいずれかに設定します。

ABWCR は、外部メモリ空間のデータバス幅を設定します。内蔵メモリおよび内部 I/O レジスタのバス幅は ABWCR の設定値にかかわらず固定です。

ノーマルモードでは、ABW7~ABW1 ビットの設定値は動作に影響を与えません。

ABWCR は、パワーオンリセットおよびハードウェアスタンバイモード時に、モード 1~3、5~7 では H'FF に初期化され、モード 4 では、H'00 に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

ビット 7~0: エリア 7~0 バス幅コントロール (ABW7~ABW0)

対応するエリアを 8 ビットアクセス空間とするか、16 ビットアクセス空間とするかを選択します。ノーマルモードでは、エリア 0 の一部のみが有効で、ABW0 ビットにより外部空間を 8 ビットアクセス空間とするか、16 ビットアクセス空間とするかを選択します。

ビット n	説明
ABWn	
0	エリア n を 16 ビットアクセス空間に設定
1	エリア n を 8 ビットアクセス空間に設定

(n=7~0)

6.2.2 アクセスステートコントロールレジスタ (ASTCR)

ビット :	7	6	5	4	3	2	1	0
	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W							

ASTCR は 8 ビットのリード/ライト可能なレジスタで、各エリアを 2 ステートアクセス空間または 3 ステートアクセス空間のいずれかに設定します。

ASTCR は、外部メモリ空間のアクセスステート数を設定します。内蔵メモリおよび内部 I/O レジスタに対するアクセスステート数は ASTCR の設定値にかかわらず固定です。

ノーマルモードでは、AST7~AST1 ビットの設定値は動作に影響を与えません。

ASTCR は、パワーオンリセットおよびハードウェアスタンバイモード時に、H'FF に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

ビット 7~0 : エリア 7~0 アクセスステートコントロール (AST7~AST0)

対応するエリアを 2 ステートアクセス空間にするか、3 ステートアクセス空間とするかを選択します。ノーマルモードでは、エリア 0 の一部のみが有効で、AST0 ビットにより外部空間を 2 ステートアクセス空間にするか、3 ステートアクセス空間とするかを選択します。

同時に、ウェイトステートの挿入を許可または禁止します。

ビット n	説明
ASTn	
0	エリア n を 2 ステートアクセス空間に設定 エリア n の外部空間アクセスにウェイトステートの挿入を禁止
1	エリア n の外部空間アクセスは 3 ステートアクセス (初期値) エリア n の外部空間アクセスにウェイトステートの挿入を許可

(n=7~0)

6. バスコントローラ

6.2.3 ウェイトコントロールレジスタ H、L (WCRH、WCRL)

WCRH、WCRLは、それぞれ8ビットのリード/ライト可能なレジスタで、各エリアのプログラムウェイトステート数を選択します。

ノーマルモードでは、エリア0の一部のみが有効で、W01、W00ビットにより外部空間のプログラムウェイトステート数を選択します。W71、W70～W11、W10ビットの設定値は動作に影響を与えません。

内蔵メモリおよび内部 I/O レジスタに対しては、プログラムウェイトは挿入されません。

WCRH、WCRLは、パワーオンリセットおよびハードウェアスタンバイモード時に、H'FFに初期化されます。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

(1) WCRH

ビット :	7	6	5	4	3	2	1	0
	W71	W70	W61	W60	W51	W50	W41	W40
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W							

ビット7、6 : エリア7ウェイトコントロール1、0 (W71、W70)

ASTCRのAST7ビットが1にセットされた状態でエリア7の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット7	ビット6	説明
W71	W70	
0	0	エリア7の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア7の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア7の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア7の外部空間アクセス時、プログラムウェイトを3ステート挿入

(初期値)

ビット5、4 : エリア6ウェイトコントロール1、0 (W61、W60)

ASTCRのAST6ビットが1にセットされた状態でエリア6の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット5	ビット4	説明
W61	W60	
0	0	エリア6の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア6の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア6の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア6の外部空間アクセス時、プログラムウェイトを3ステート挿入

(初期値)

ビット3、2：エリア5 ウェイトコントロール1、0 (W51、W50)

ASTCR の AST5 ビットが1にセットされた状態でエリア5の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット3	ビット2	説 明
W51	W50	
0	0	エリア5の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア5の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア5の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア5の外部空間アクセス時、プログラムウェイトを3ステート挿入 (初期値)

ビット1、0：エリア4 ウェイトコントロール1、0 (W41、W40)

ASTCR の AST4 ビットが1にセットされた状態でエリア4の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット1	ビット0	説 明
W41	W40	
0	0	エリア4の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア4の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア4の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア4の外部空間アクセス時、プログラムウェイトを3ステート挿入 (初期値)

(2) WCRL

ビット：	7	6	5	4	3	2	1	0
	W31	W30	W21	W20	W11	W10	W01	W00
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W							

ビット7、6：エリア3 ウェイトコントロール1、0 (W31、W30)

ASTCR の AST3 ビットが1にセットされた状態でエリア3の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット7	ビット6	説 明
W31	W30	
0	0	エリア3の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア3の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア3の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア3の外部空間アクセス時、プログラムウェイトを3ステート挿入 (初期値)

6. バスコントローラ

ビット 5、4 : エリア 2 ウェイトコントロール (W21、W20)

ASTCR の AST2 ビットが 1 にセットされた状態でエリア 2 の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット 5 W21	ビット 4 W20	説 明
0	0	エリア 2 の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア 2 の外部空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	エリア 2 の外部空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	エリア 2 の外部空間アクセス時、プログラムウェイトを 3 ステート挿入 (初期値)

ビット 3、2 : エリア 1 ウェイトコントロール 1、0 (W11、W10)

ASTCR の AST1 ビットが 1 にセットされた状態でエリア 1 の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット 3 W11	ビット 2 W10	説 明
0	0	エリア 1 の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア 1 の外部空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	エリア 1 の外部空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	エリア 1 の外部空間アクセス時、プログラムウェイトを 3 ステート挿入 (初期値)

ビット 1、0 : エリア 0 ウェイトコントロール 1、0 (W01、W00)

ASTCR の AST0 ビットが 1 にセットされた状態で、エリア 0 の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット 1 W01	ビット 0 W00	説 明
0	0	エリア 0 の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア 0 の外部空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	エリア 0 の外部空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	エリア 0 の外部空間アクセス時、プログラムウェイトを 3 ステート挿入 (初期値)

6.2.4 バスコントロールレジスタ H (BCRH)

ビット :	7	6	5	4	3	2	1	0
	ICIS1	ICIS0	BRSTRM	BRSTS1	BRSTS0			
初期値 :	1	1	0	1	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BCRH は 8 ビットのリード/ライト可能なレジスタで、アイドルサイクル挿入の許可または禁止、エリア 2~5 およびエリア 0 のメモリインタフェースの選択を行います。

BCRH は、パワーオンリセットおよびハードウェアスタンバイモード時に、H'D0 に初期化されません。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

ビット 7: アイドルサイクル挿入 1 (ICIS1)

異なるエリアの外部リードサイクルが連続する場合、バスサイクルの間にアイドルサイクルを 1 ステート挿入するか、挿入しないかを選択します。

ビット 7	説明
ICIS1	
0	異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入しない
1	異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入する (初期値)

ビット 6: アイドルサイクル挿入 0 (ICIS0)

外部リードサイクルと外部ライトサイクルが連続する場合、バスサイクルの間にアイドルサイクルを 1 ステート挿入するか、挿入しないかを選択します。

ビット 6	説明
ICIS0	
0	外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入しない
1	外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入する (初期値)

ビット 5: パースト ROM イネーブル (BRSTRM)

エリア 0 をパースト ROM インタフェースとするかを選択します。ノーマルモードのときは、すべての外部空間が選択対象になります。

ビット 5	説明
BRSTRM	
0	エリア 0 は基本バスインタフェース (初期値)
1	エリア 0 はパースト ROM インタフェース

6. バスコントローラ

ビット4：バーストサイクルセレクト1 (BRSTS1)

バーストROM インタフェースのバーストサイクル数を選択します。

ビット4 BRSTS1	説明
0	バーストサイクルは1ステート
1	バーストサイクルは2ステート (初期値)

ビット3：バーストサイクルセレクト0 (BRSTS0)

バーストROM インタフェースのバーストアクセス可能なワード数を選択します。

ビット3 BRSTS0	説明
0	バーストアクセスは最大4ワード (初期値)
1	バーストアクセスは最大8ワード

ビット2~0：リザーブビット

リザーブビットです。ライト時には0をライトしてください。

6.2.5 バスコントロールレジスタL (BCRL)

ビット：	7	6	5	4	3	2	1	0
	BRLE		EAE					WAITE
初期値：	0	0	1	1	1	1	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BCRLは8ビットのリード/ライト可能なレジスタで、外部バス解放状態のプロトコルの選択、エリアの分割単位の選択、ライトデータバッファ機能の許可または禁止、 $\overline{\text{WAIT}}$ 端子入力の許可または禁止の選択を行います。

BCRLは、パワーオンリセットおよびハードウェアスタンバイモード時に、H³Cに初期化されません。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

ビット7：バスリリースイネーブル (BRLE)

外部バス権の解放を許可または禁止します。

ビット7 BRLE	説明
0	外部バス権の解放を禁止。BREQ、BACKは入出力ポートとして使用可。 (初期値)
1	外部バス権の解放を許可。

ビット6：リザーブビット

リザーブビットです。ライト時には0をライトしてください。

ビット5：外部アドレスイネーブル（EAE）

アドレス H'010000 ~ H'01FFFF を内部アドレスとするか、外部アドレスとするかを選択します。本設定は、ノーマルモードの場合は無効です。

ビット5	説明
EAE	
0	アドレス H'010000 ~ H'01FFFF は内蔵 ROM (H8S/2355 の場合) またはリザーブ領域* (H8S/2353 の場合)。
1	アドレス H'010000 ~ H'01FFFF は外部アドレス (外部拡張モードの場合) またはリザーブ領域* (シングルチップモード) (初期値)

【注】 * リザーブ領域はアクセスしないでください。

ビット4~2：リザーブビット

リザーブビットです。ライト時には1をライトしてください。

ビット1：リザーブビット

リザーブビットです。ライト時には0をライトしてください。

ビット0：WAIT 端子イネーブル（WAITE）

WAIT 端子によるウェイト入力の許可または禁止を選択します。

ビット0	説明
WAITE	
0	WAIT 端子によるウェイト入力を禁止。WAIT 端子は入出力ポートとして使用可 (初期値)
1	WAIT 端子によるウェイト入力を許可

6.3 バス制御の概要

6.3.1 エリア分割

バスコントローラは、アドバンスモードのとき、16M バイトのアドレス空間を 2M バイト単位で、エリア 0~7 の 8 つのエリアに分割し、エリア単位で外部空間のバス制御を行います。また、ノーマルモードでは、エリア 0 の一部の、64K バイトのアドレス空間を制御します。図 6.2 にメモリマップの概要を示します。

各エリアごとに、チップセレクト信号 ($\overline{CS0} \sim \overline{CS7}$) を出力することができます。

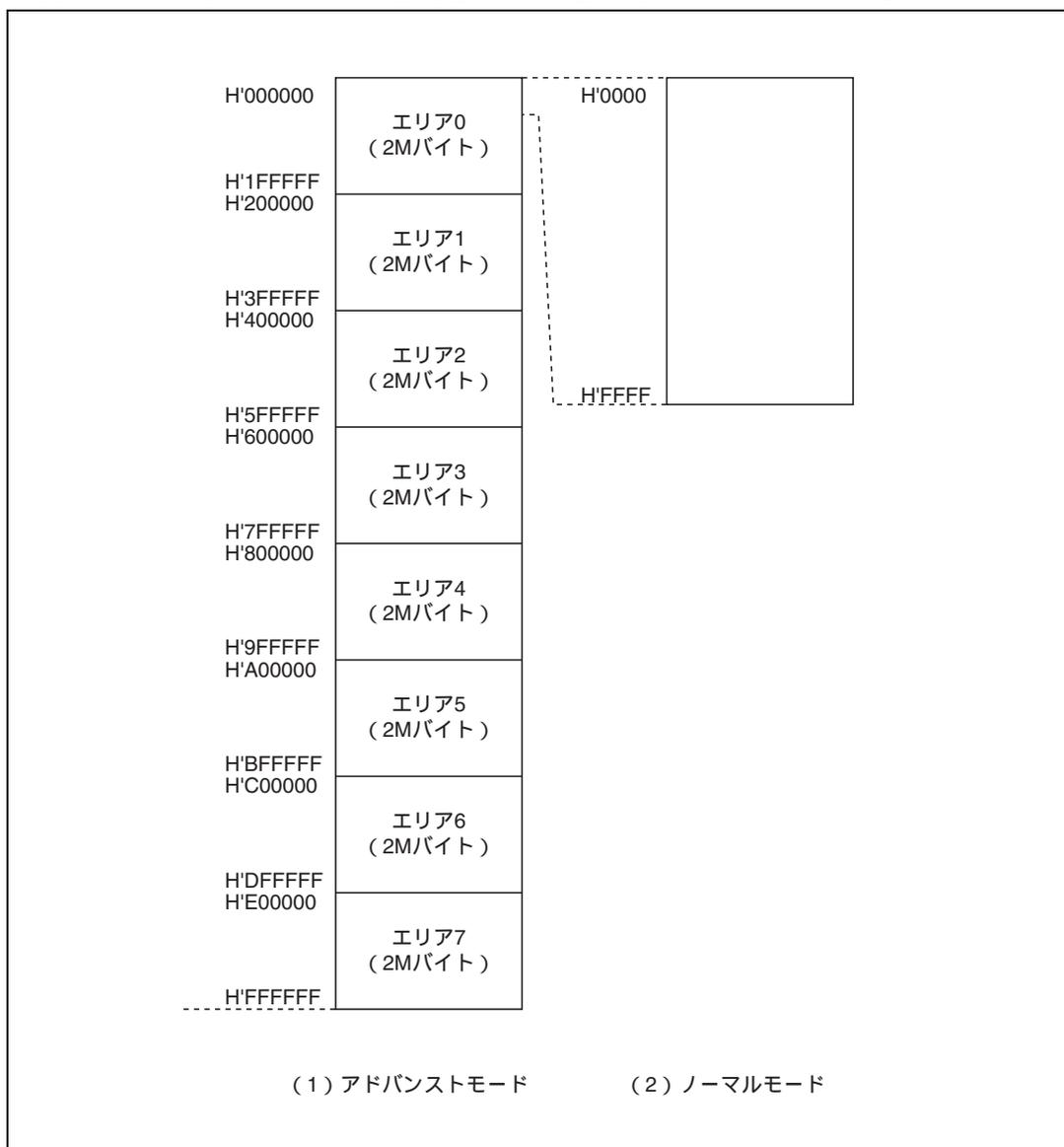


図 6.2 エリア分割の様子

6.3.2 バス仕様

外部空間のバス仕様は、(1)バス幅、(2)アクセスステート数、(3)プログラムウェイトステート数、の3つの要素で構成されます。

なお、内蔵メモリ、内部 I/O レジスタは、バス幅・アクセスステート数は固定で、バスコントローラの影響を受けません。

(1) バス幅

バス幅は ABWCR により、8 ビットまたは 16 ビットを選択します。8 ビットバスを選択したエリアが 8 ビットアクセス空間、16 ビットバスを選択したエリアが 16 ビットアクセス空間です。

すべてのエリアを 8 ビットアクセス空間に設定すると 8 ビットバスモードに、いずれかのエリアを 16 ビットアクセス空間に設定すると 16 ビットバスモードになります。なお、バースト ROM インタフェースを設定すると、常に 16 ビットバスモードとなります。

(2) アクセスステート数

アクセスステート数は、ASTCR により、2 ステートまたは 3 ステートを選択します。2 ステートアクセスを選択したエリアが 2 ステートアクセス空間、3 ステートアクセスを選択したエリアが 3 ステートアクセス空間です。

なお、バースト ROM インタフェースでは、ASTCR によらず、アクセスステート数が決まる場合があります。

2 ステートアクセス空間に設定すると、ウェイトの挿入が禁止されます。

(3) プログラムウェイトステート数

ASTCR によって 3 ステートアクセス空間に設定したとき、WCRH、WCRL により、自動的に挿入するプログラムウェイトステート数を選択します。プログラムウェイトは 0~3 ステートを選択可能です。

基本バスインタフェースの各エリアのバス仕様を表 6.3 に示します。

表 6.3 各エリアのバス仕様 (基本バスインタフェース)

ABWCR	ASTCR	WCRH、WCRL		バス仕様 (基本バスインタフェース)		
		Wn1	Wn0	バス幅	アクセスステート数	プログラムウェイトステート数
0	0	-	-	16	2	0
		0	0			3
	1	0	1			
	1	0	2			
	1	1	3			
1	0	-	-	8	2	0
		0	0			3
	1	0	1			
	1	0	2			
	1	1	3			

6.3.3 メモリインタフェース

本 LSI のメモリインタフェースには、ROM、SRAM などの直結が可能な基本バスインタフェース、およびエリア 0 のみバースト ROM の直結が可能なバースト ROM インタフェースがあります。

基本バスインタフェースを設定したエリアが通常空間です。また、バースト ROM インタフェースを設定したエリアがバースト ROM 空間です。

6.3.4 アドバンストモード

各エリアの初期状態は、基本バスインタフェースかつ 3 ステートアクセス空間になっています。バス幅の初期状態は動作モードで選択します。ここで説明しているバス仕様に関しては、基本的なことについてのみ記載していますので、必ず 6.4、6.5 の各メモリインタフェースの項目を確認してください。

(1) エリア 0

エリア 0 は内蔵 ROM を含んでおり、ROM 無効拡張モードでは、エリア 0 のすべての空間が外部空間となります。ROM 有効拡張モードでは、内蔵 ROM を除いた空間が外部空間となります。

エリア 0 の外部空間をアクセスするとき、 $\overline{CS0}$ 信号を出力することができます。

エリア 0 は、基本バスインタフェースまたはバースト ROM インタフェースを選択することができます。

(2) エリア 1~6

エリア 1~6 は、外部拡張モードのとき、エリア 1~6 のすべての空間が外部空間となります。

エリア 1~6 の外部空間をアクセスするとき、それぞれ、 $\overline{CS1} \sim \overline{CS6}$ 端子信号を出力することができます。

エリア 1~6 は、基本バスインタフェースのみを使用することができます。

(3) エリア 7

エリア 7 は内蔵 RAM および内部 I/O レジスタを含んでおり、外部拡張モードのとき、内蔵 RAM および内部 I/O レジスタ空間を除いた空間が外部空間となります。なお、内蔵 RAM はシステムコントロールレジスタ (SYSCR) の RAME ビットを 1 にセットしたとき有効で、RAME ビットを 0 にクリアすると、内蔵 RAM は無効になり、対応するアドレスは外部空間になります。

エリア 7 の外部空間をアクセスするとき、 $\overline{CS7}$ 信号を出力することができます。

エリア 7 のメモリインタフェースには、基本バスインタフェースのみを使用することができます。

6.3.5 ノーマルモード時のエリアの説明

ノーマルモードでは、エリア 0 の一部の、64K バイトのアドレス空間を制御します。ノーマルモードでは、エリア分割を行いません。ROM 無効拡張モードでは、内蔵 RAM および内部 I/O レジスタを除いた空間が外部空間となります。ROM 有効拡張モードでは、内蔵 ROM、内蔵 RAM および内部 I/O レジスタを除いた空間が外部空間となります。なお、内蔵 RAM はシステムコントロールレジスタ (SYSCR) の RAME ビットを 1 にセットしたとき有効で、RAME ビットを 0 にクリアすると、内蔵 RAM は無効になり、対応するアドレスは外部空間になります。

外部空間をアクセスするとき、 $\overline{CS0}$ 信号を出力することができます。

基本バスインタフェースまたはバースト ROM インタフェースを選択することができます。

6.3.6 チップセレクト信号

本 LSI は、エリア 0~7 に対して、それぞれチップセレクト信号 ($\overline{CS0} \sim \overline{CS7}$) を出力することができます。当該エリアの外部空間をアクセスしたとき、Low レベルを出力します。ノーマルモードでは $\overline{CS0}$ 信号のみを出力することができます。

図 6.3 に \overline{CSn} ($n=0 \sim 7$) 信号出力タイミング例を示します。

\overline{CSn} 信号出力の許可または禁止は各 \overline{CSn} 端子に対応するポートのデータディレクションレジスタ (DDR) を設定することにより行います。

ROM 無効拡張モードでは、 $\overline{CS0}$ 端子は、パワーオンリセット後に出力状態になっています。 $\overline{CS1} \sim \overline{CS7}$ 端子はパワーオンリセット後に入力状態になっていますので、 $\overline{CS1} \sim \overline{CS7}$ 信号を出力する場合には対応する DDR を 1 にセットしてください。

ROM 有効拡張モードでは、 $\overline{CS0} \sim \overline{CS7}$ 端子はすべて、パワーオンリセット後に入力状態になっていますので、 $\overline{CS0} \sim \overline{CS7}$ 信号を出力する場合には対応する DDR を 1 にセットしてください。

詳細は「第 8 章 I/O ポート」を参照してください。

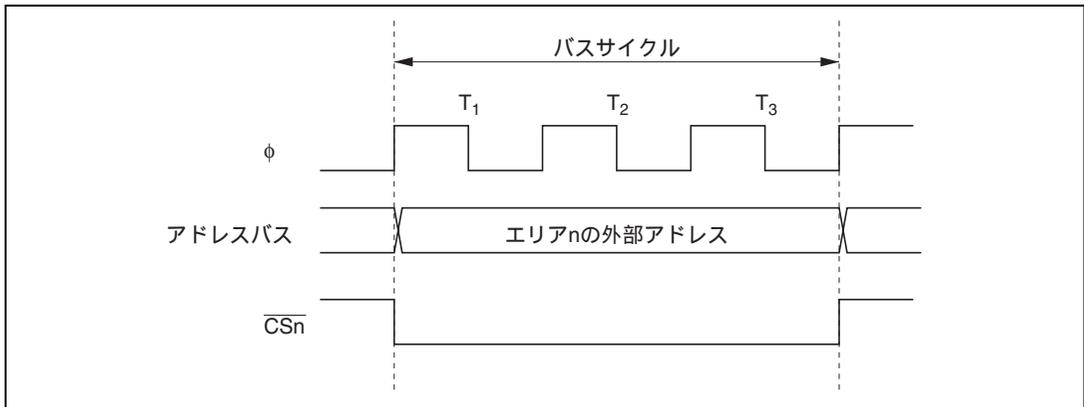


図 6.3 \overline{CSn} 信号出力タイミング ($n=0 \sim 7$)

6.4 基本バスインタフェース

6.4.1 概要

基本バスインタフェースは、ROM、SRAM などの直結が可能です。

ABWCR、ASTCR、WCRH、WCRL によってバス仕様を選択できます。表 6.3 を参照してください。

6.4.2 データサイズとデータアライメント

CPU およびそのほかの内部バスマスタのデータサイズには、バイト、ワード、ロングワードがあります。バスコントローラは、データアライメント機能を持っており、外部空間をアクセスするとき、上位側データバス ($D_{15} \sim D_8$) を使用するか、下位側データバス ($D_7 \sim D_0$) を使用するかを、アクセスするエリアのバス仕様 (8 ビットアクセス空間か 16 ビットアクセス空間) とデータサイズによって制御します。

6. バスコントローラ

(1) 8ビットアクセス空間

図 6.4 に 8 ビットアクセス空間のデータアライメント制御を示します。8 ビットアクセス空間では、常に上位側データバス ($D_{15} \sim D_8$) を使ってアクセスを行います。1 回にアクセスできるデータ量は 1 バイトで、ワードアクセスでは 2 回、ロングワードアクセスは 4 回のバイトアクセスを実行します。

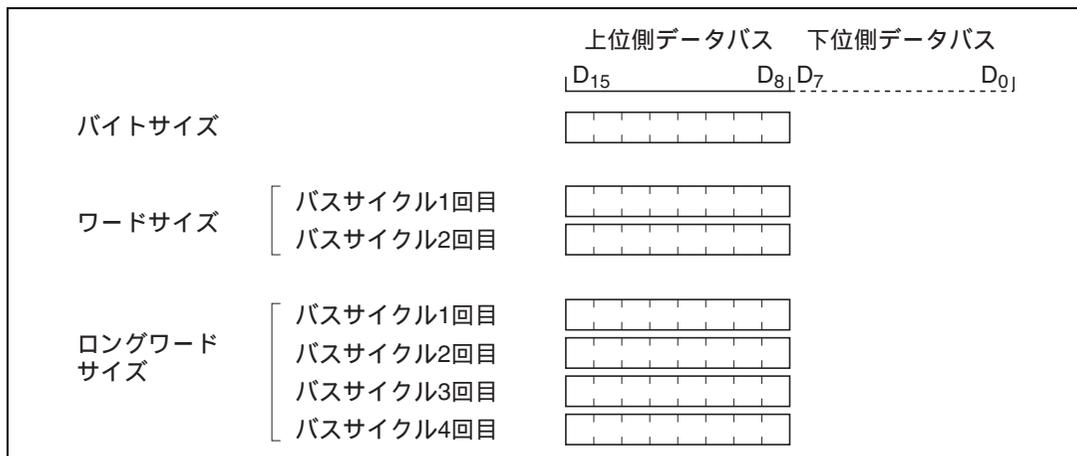


図 6.4 アクセスサイズとデータアライメント制御 (8 ビットアクセス空間)

(2) 16ビットアクセス空間

図 6.5 に 16 ビットアクセス空間のデータアライメント制御を示します。16 ビットアクセス空間では、上位側データバス ($D_{15} \sim D_8$) および下位側データバス ($D_7 \sim D_0$) を使ってアクセスを行います。1 回にアクセスできるデータ量は 1 バイトまたは 1 ワードで、ロングワードアクセスは、ワードアクセスを 2 回実行します。

バイトアクセスのとき、上位側データバスを使用するか、下位側データバスを使用するかは、アドレスの偶数 / 奇数で決まります。偶数アドレスに対するバイトアクセスは上位側データバスを使用し、奇数アドレスに対するバイトアクセスは下位側データバスを使用します。

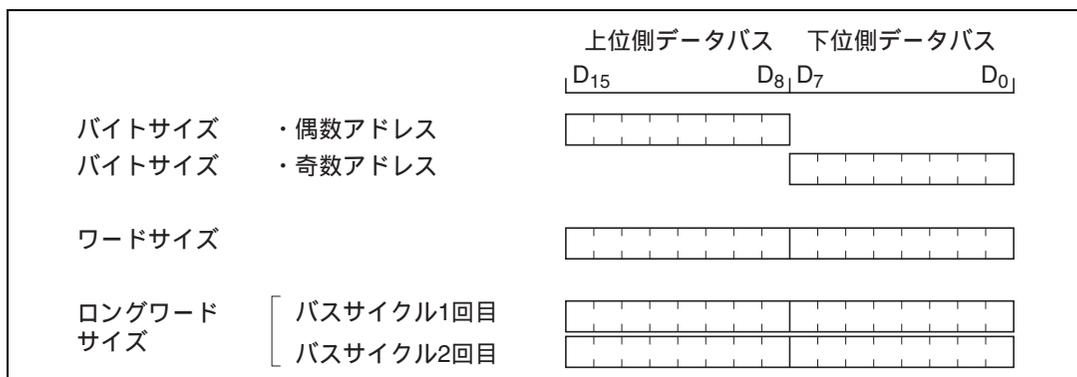


図 6.5 アクセスサイズとデータアライメント制御 (16 ビットアクセス空間)

6.4.3 有効ストロープ

表 6.4 にアクセス空間と、使用するデータバスおよび有効なストロープを示します。

リード時には、データバスの上位側、下位側の区別なく、 \overline{RD} 信号が有効です。

ライト時には、データバスの上位側に対して \overline{HWR} 信号が、下位側に対して \overline{LWR} 信号が有効です。

表 6.4 使用するデータバスと有効ストロープ

エリア	アクセス サイズ	リード/ ライト	アドレス	有効な ストロープ	データバス上位 ($D_{15} \sim D_8$)	データバス下位 ($D_7 \sim D_0$)
8 ビット アクセス空間	バイト	リード	-	\overline{RD}	有効	無効
		ライト	-	\overline{HWR}		Hi-Z
16 ビット アクセス空間	バイト	リード	偶数	\overline{RD}	有効	無効
			奇数		無効	有効
		ライト	偶数	\overline{HWR}	有効	Hi-Z
			奇数	\overline{LWR}	Hi-Z	有効
	ワード	リード	-	\overline{RD}	有効	有効
		ライト	-	\overline{HWR} 、 \overline{LWR}	有効	有効

【注】 Hi-Z: ハイインピーダンス状態です。

無効: 入力状態であり、入力値は無視されます。

6.4.4 基本タイミング

(1) 8ビット2ステートアクセス空間

図6.6に8ビット2ステートアクセス空間のバスタイミングを示します。8ビットアクセス空間をアクセスするとき、データバスは上位側 ($D_{15} \sim D_8$) を使用します。

\overline{LWR} 端子は常に High レベルに固定されます。ウェイトステートを挿入することはできません。

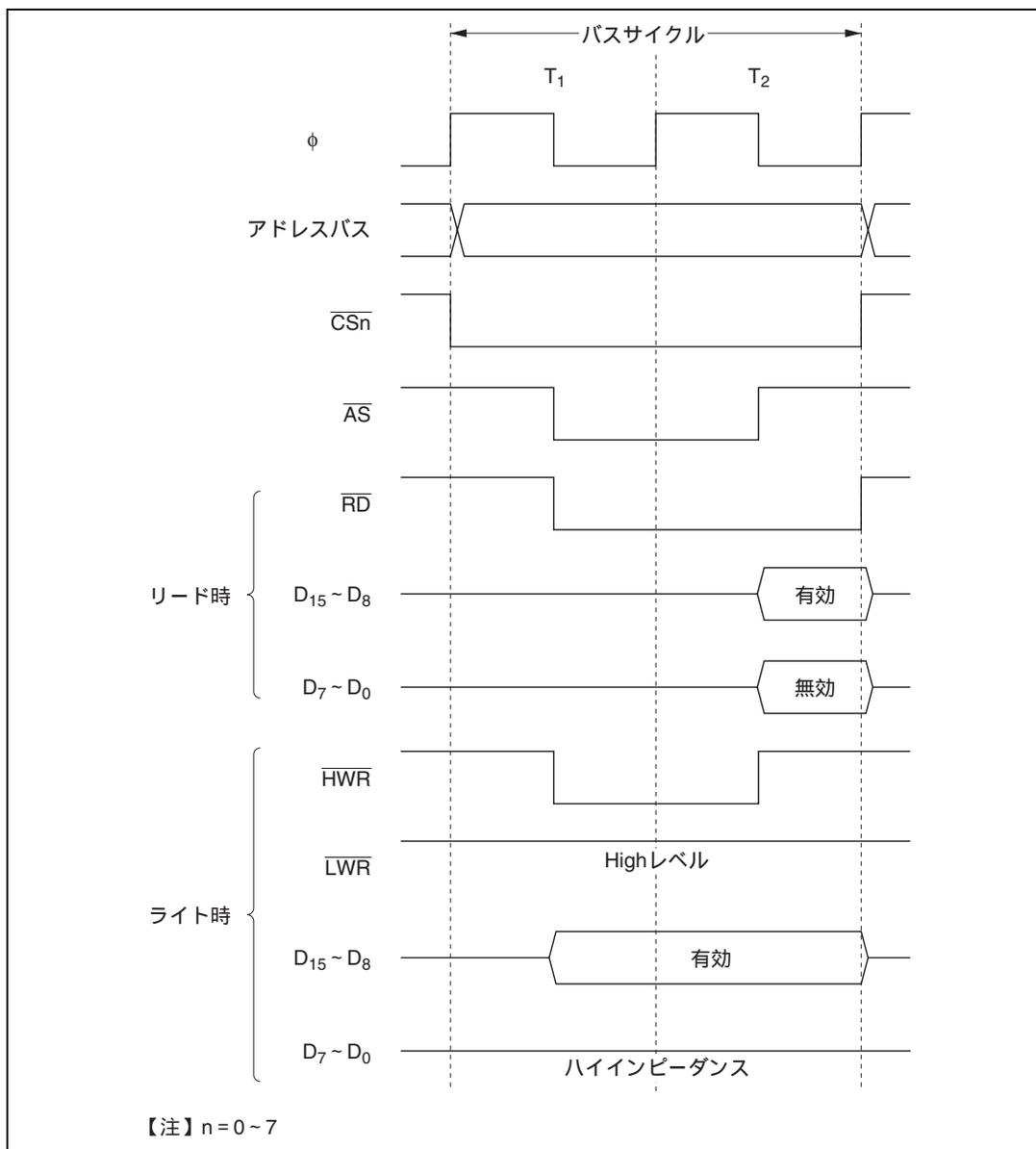


図 6.6 8ビット2ステートアクセス空間のバスタイミング

(2) 8ビット3ステートアクセス空間

図6.7に8ビット3ステートアクセス空間のバスタイミングを示します。8ビットアクセス空間をアクセスするとき、データバスは上位側 ($D_{15} \sim D_8$) を使用します。

\overline{LWR} 端子は常に High レベルに固定されます。ウェイトステートを挿入することができます。

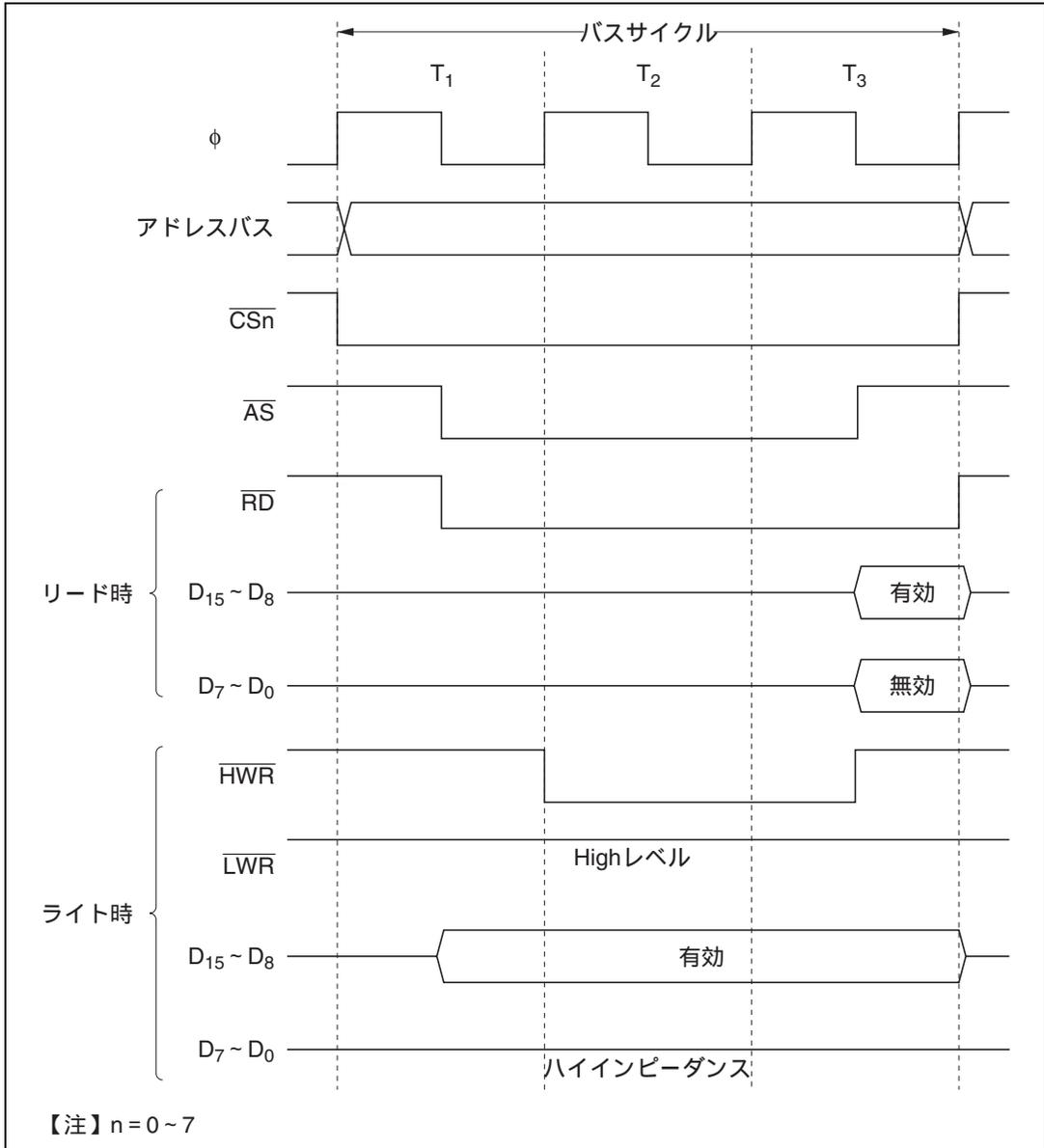


図 6.7 8ビット3ステートアクセス空間のバスタイミング

6. バスコントローラ

(3) 16ビット2ステートアクセス空間

図6.8～図6.10に16ビット2ステートアクセス空間のバスタイミングを示します。16ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側(D₁₅～D₈)を使用し、奇数アドレスに対してはデータバスは下位側(D₇～D₀)を使用します。

ウェイトステートを挿入することはできません。

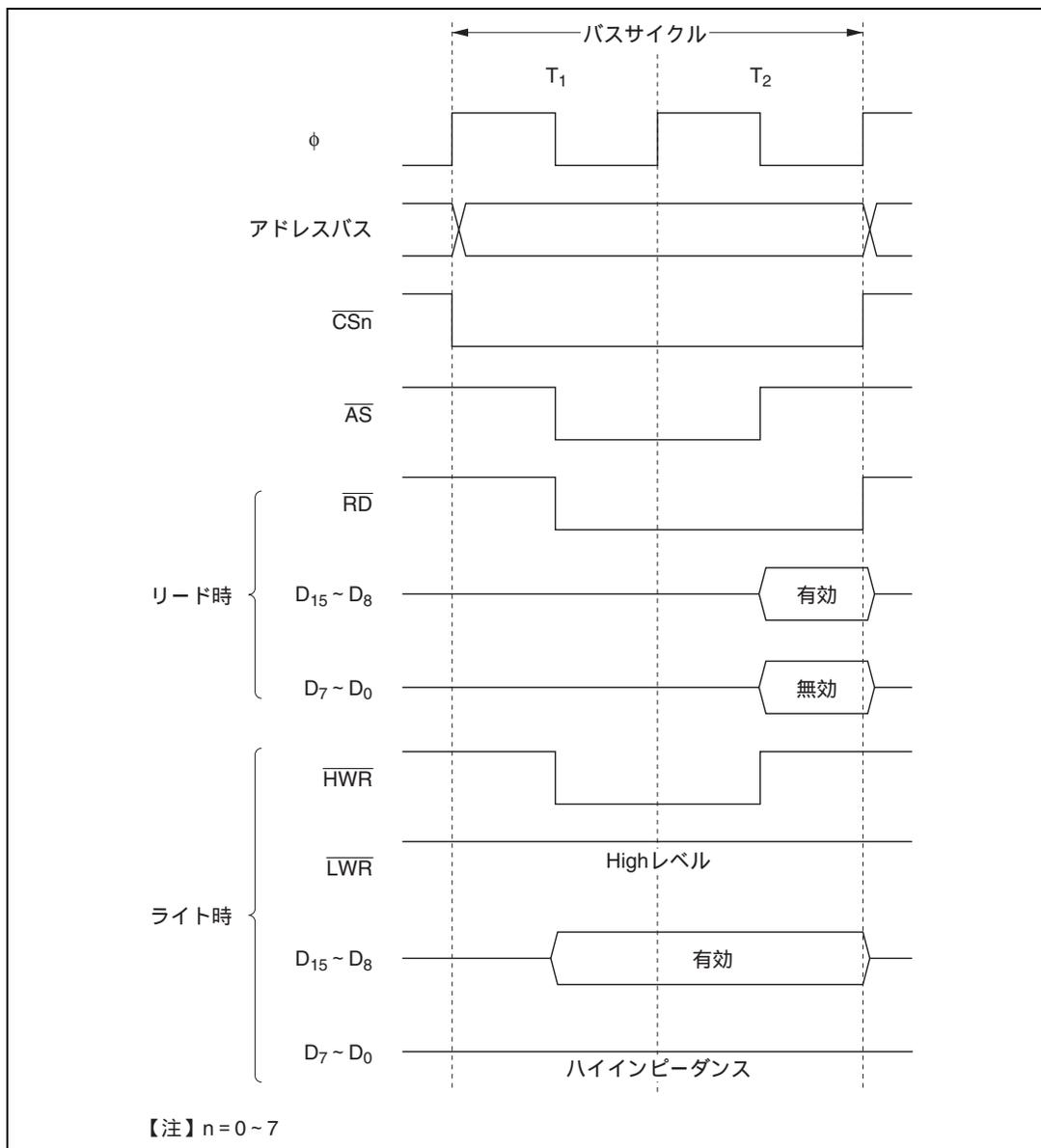


図 6.8 16ビット2ステートアクセス空間のバスタイミング(1)
(偶数アドレスバイトアクセス)

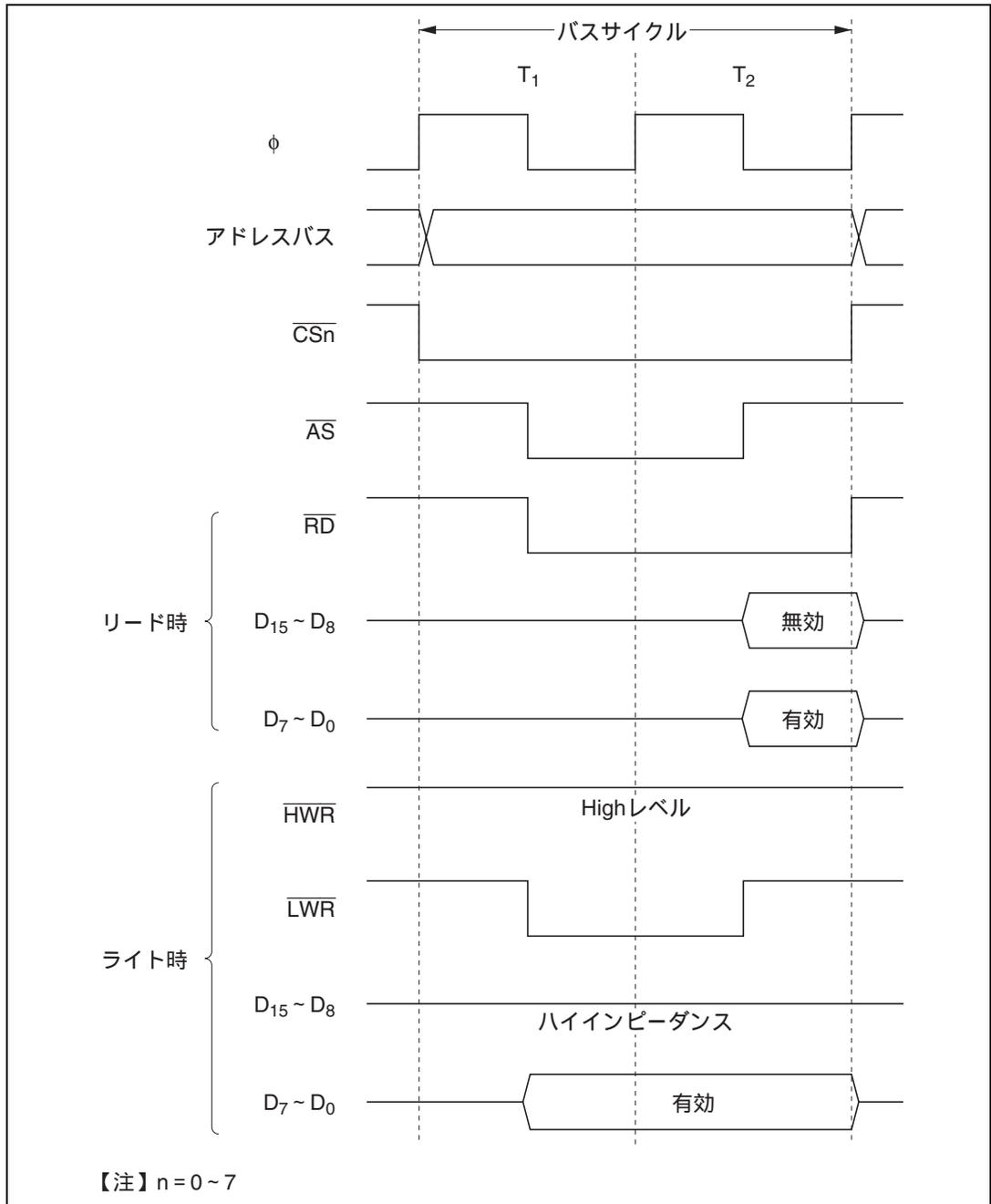


図 6.9 16 ビット 2 ステートアクセス空間のバスタイミング (2)
(奇数アドレスバイトアクセス)

6. バスコントローラ

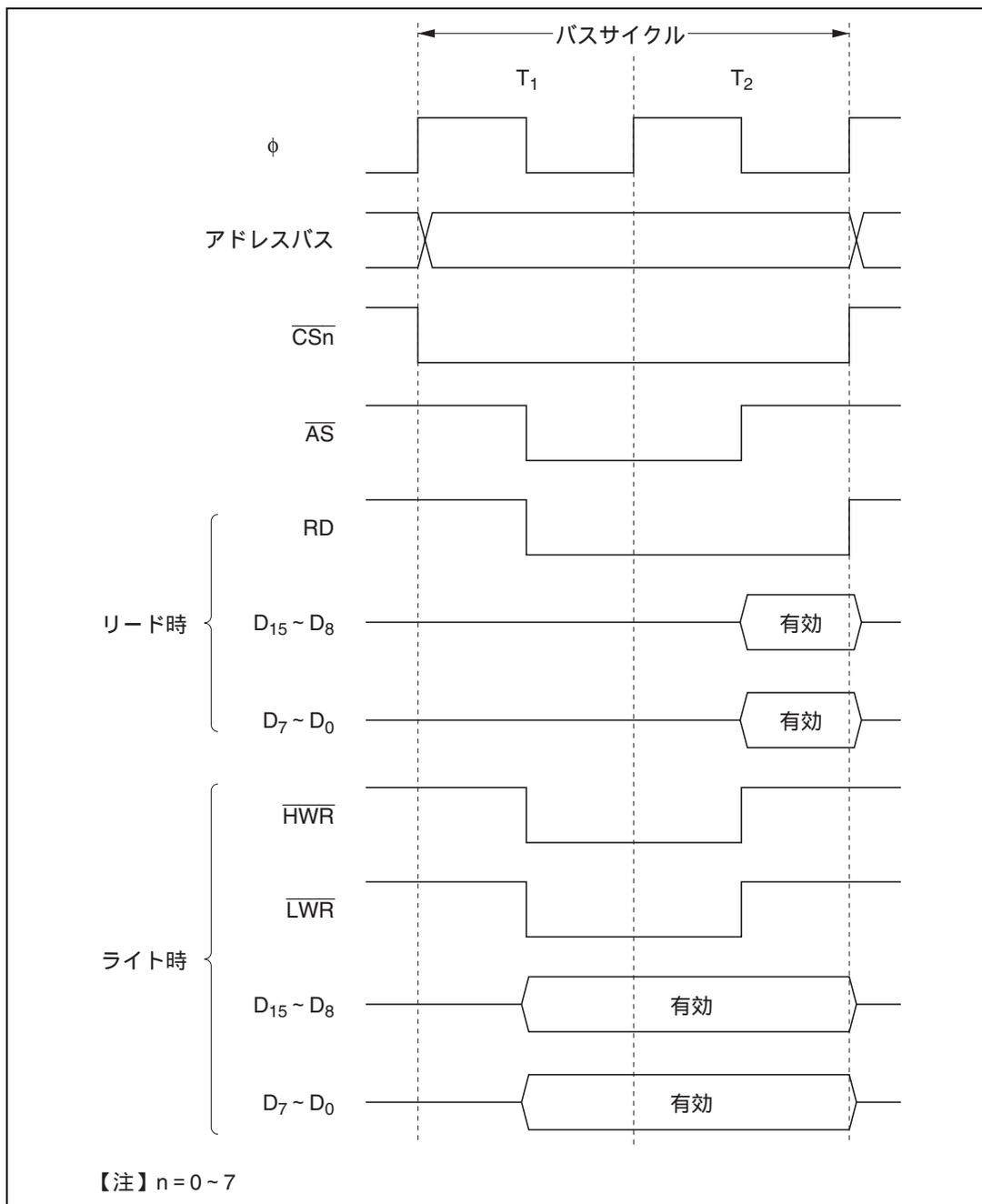


図 6.10 16 ビット 2 ステートアクセス空間のバスタイミング (3)
(ワードアクセス)

(4) 16ビット3ステートアクセス空間

図 6.11 ~ 図 6.13 に 16 ビット 3 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側 ($D_{15} \sim D_8$) を使用し、奇数アドレスに対してはデータバスは下位側 ($D_7 \sim D_0$) を使用します。

ウェイトステートを挿入することができます。

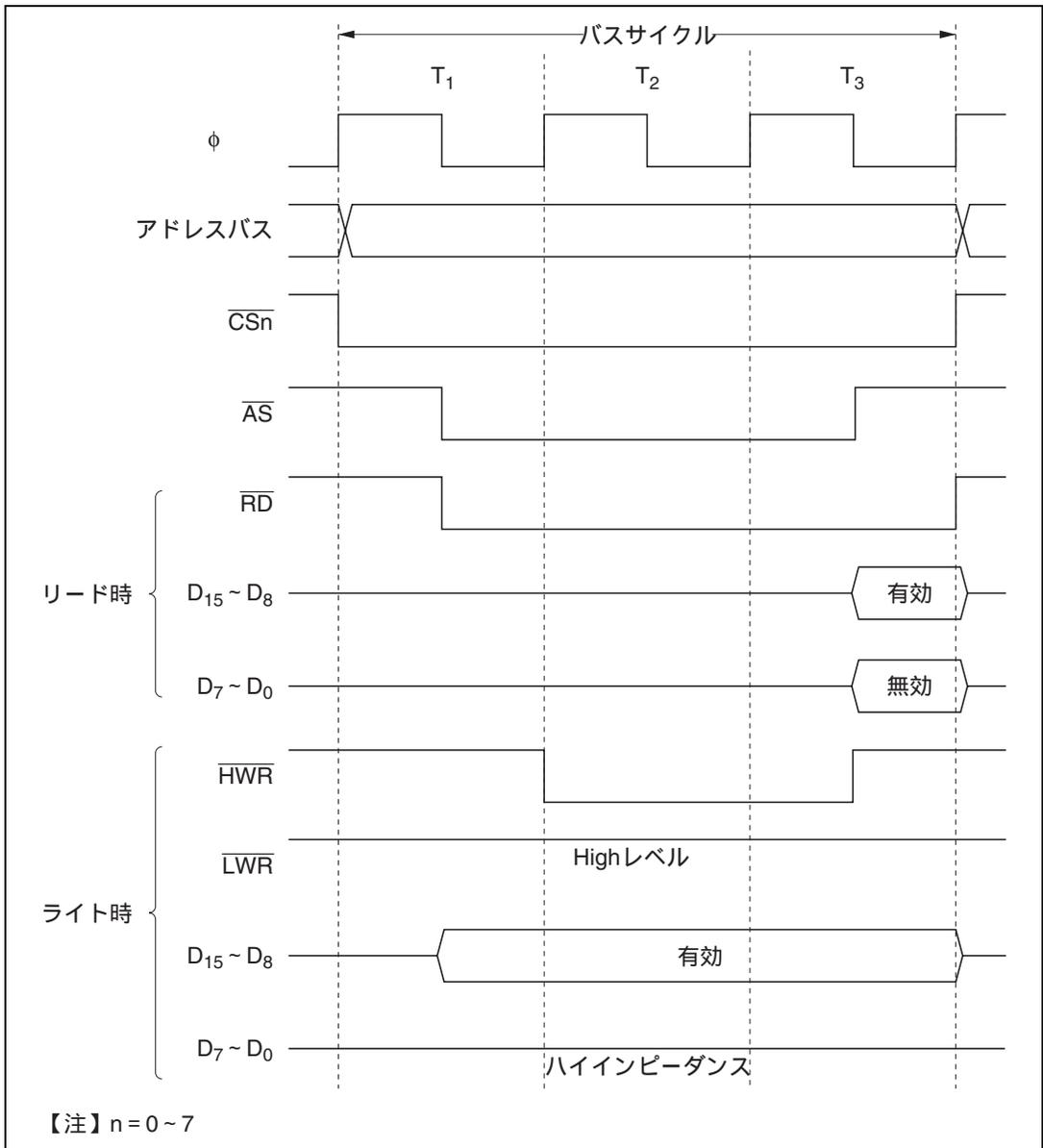


図 6.11 16 ビット 3 ステートアクセス空間のバスタイミング (1)
(偶数アドレスバイトアクセス)

6. バスコントローラ

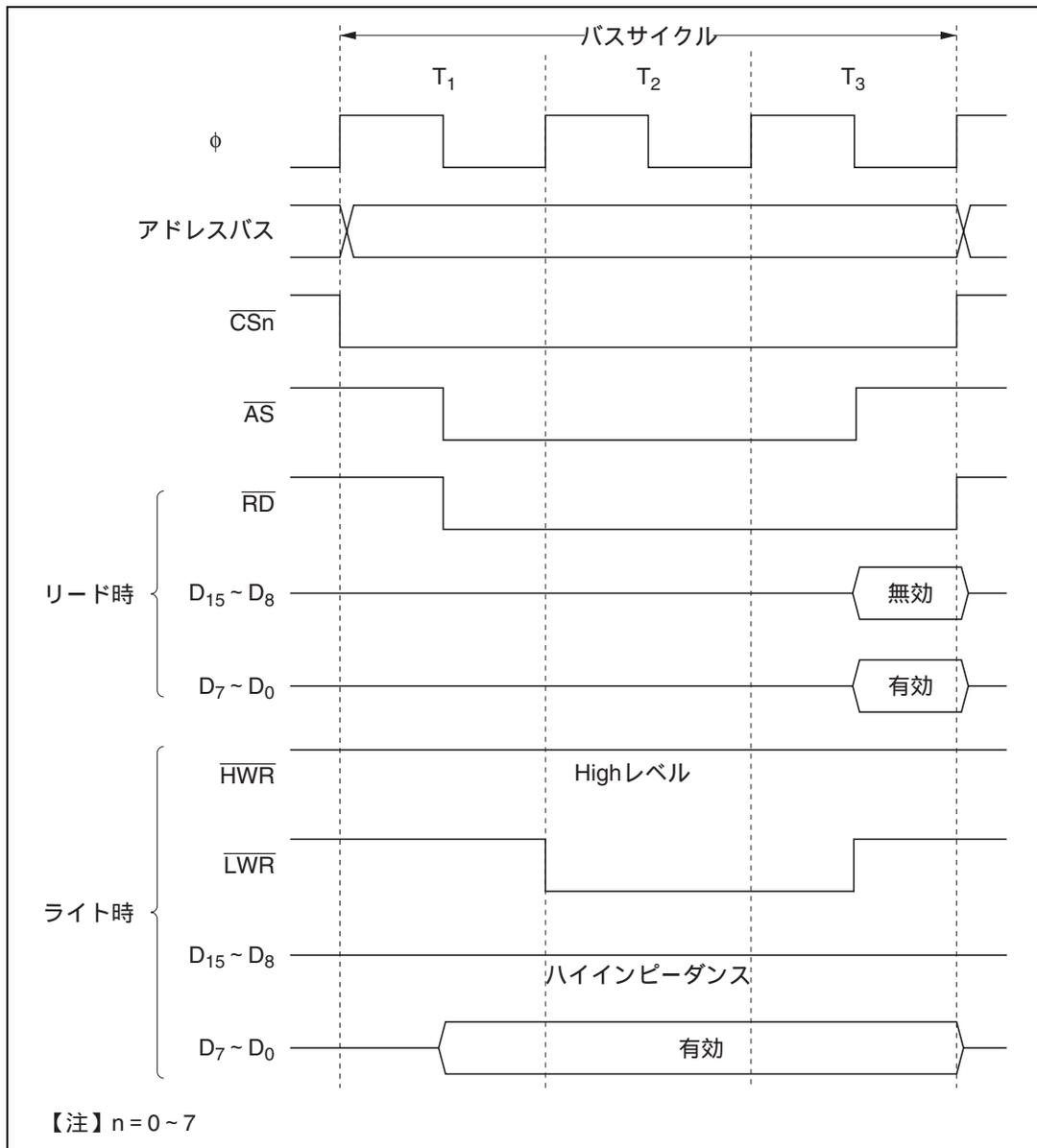


図 6.12 16ビット3ステートアクセス空間のバスタイミング(2)
(奇数アドレスバイトアクセス)

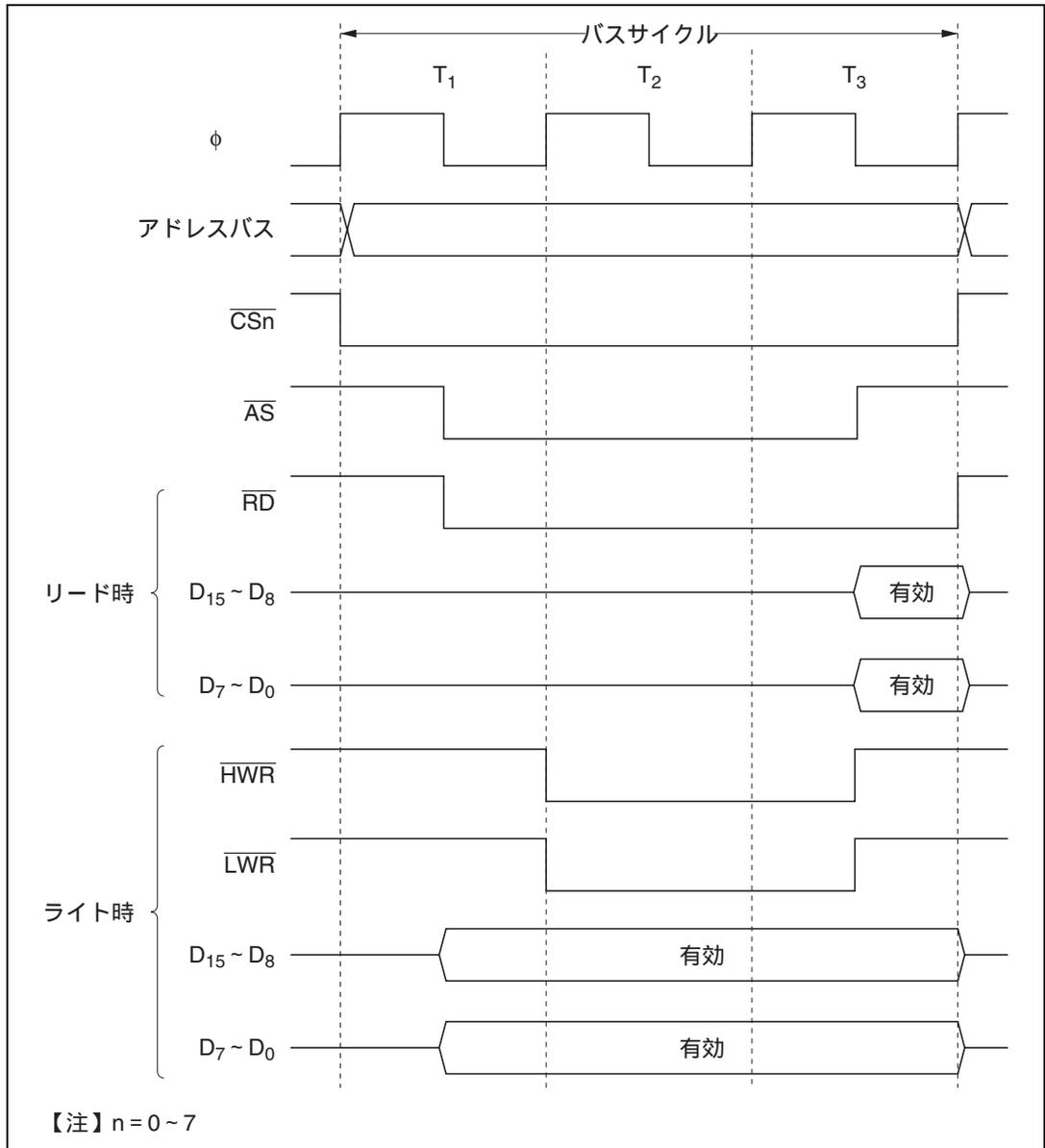


図 6.13 16ビット3ステートアクセス空間のバスタイミング(3)
(ワードアクセス)

6.4.5 ウェイト制御

本 LSI は、外部空間をアクセスするときウェイトステート (T_w) を挿入してバスサイクルを引き延ばすことができます。ウェイトステートを挿入する方法には、(1) プログラムウェイトの挿入、(2) $\overline{\text{WAIT}}$ 端子による端子ウェイトの挿入、があります。

(1) プログラムウェイトの挿入

WCRH、WCRL の設定により、3 ステートアクセス空間に対して、エリア単位で、0~3 ステートのウェイトステートを自動的に T_2 ステートと T_3 ステートの間に挿入することができます。

(2) 端子ウェイトの挿入

BCRL の WAITE ビットを 1 にセットすると、 $\overline{\text{WAIT}}$ 端子によるウェイト入力が有効になります。この状態で、外部空間をアクセスすると、まず、WCRH、WCRL の設定に従ってプログラムウェイトが挿入されます。つづいて、 T_2 または T_w の最後のステートの ϕ の立ち下がりのタイミングで、 $\overline{\text{WAIT}}$ 端子が Low レベルであると、 T_w が挿入されます。 $\overline{\text{WAIT}}$ 端子が Low レベルに保持されると、 $\overline{\text{WAIT}}$ 端子が High レベルになるまで T_w が挿入されます。

4 ステート以上の T_w を挿入する場合や、外部デバイスごとに挿入する T_w 数を変える場合などに有効です。

なお、WAITE ビットはすべてのエリアに対して共通です。

図 6.14 にウェイトステート挿入のタイミング例を示します。

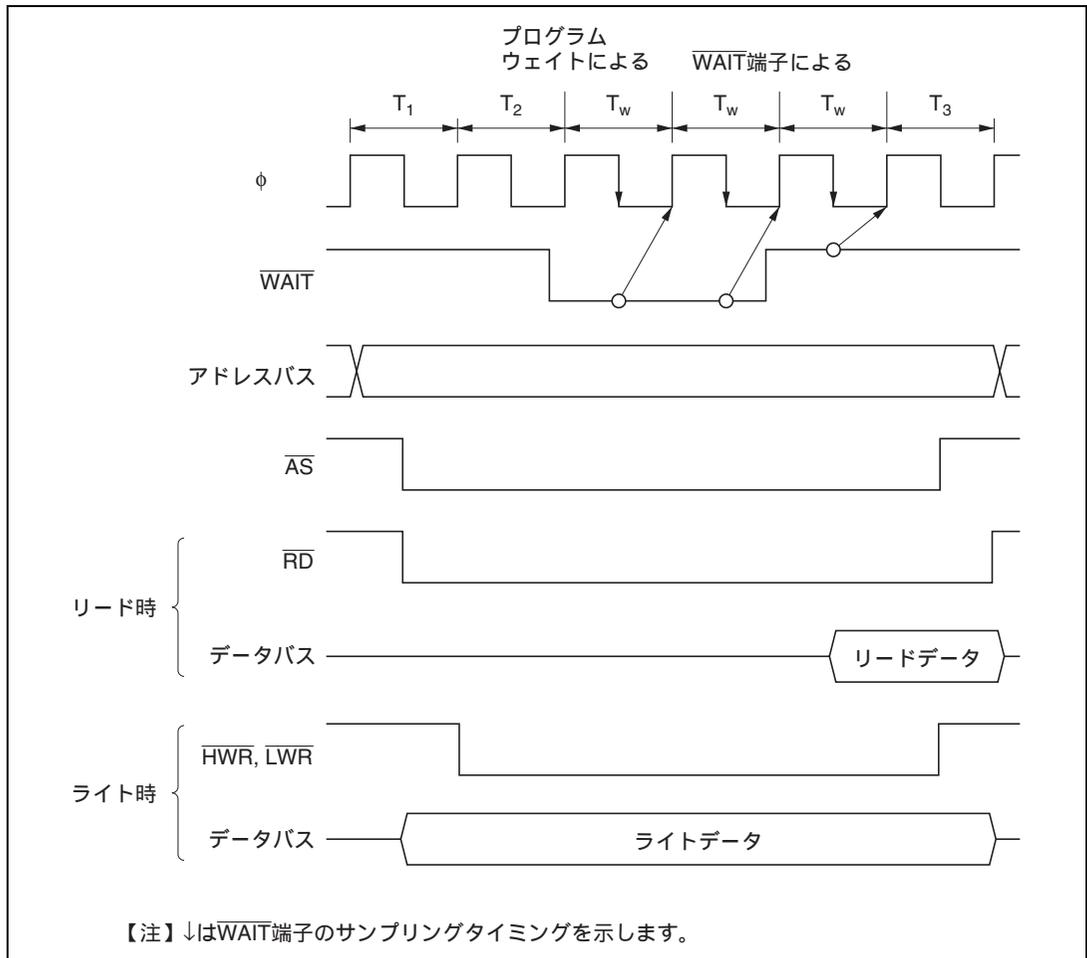


図 6.14 ウェイトステート挿入タイミング例

パワーオンリセット後は、3 ステートアクセスかつプログラムウェイト 3 ステート挿入、 $\overline{\text{WAIT}}$ 入力禁止状態となっています。マニュアルリセットのときには、バスコントローラのレジスタは保持され、ウェイト制御はリセット前の状態を継続します。

6.5 バースト ROM インタフェース

6.5.1 概要

本 LSI は、エリア 0 の外部空間をバースト ROM 空間に設定し、バースト ROM インタフェースを行うことができます。バースト ROM 空間インタフェースでは、16 ビット構成のバーストアクセス可能な ROM を高速にアクセスすることができます。

BCRH の BRSTRM ビットにより、エリア 0 をバースト ROM 空間に設定します。CPU の命令フェッチに限り最大 4 ワード / 8 ワードの連続バーストアクセスを行うことができます。バーストアクセスは 1 ステートまたは 2 ステートを選択できます。

6.5.2 基本タイミング

バースト ROM インタフェースの、イニシャルサイクル（フルアクセス）のアクセスステート数は ASTCR の AST0 ビットの設定に従います。また、AST0 ビットを 1 にセットした場合は、ウェイトステートを挿入することもできます。バーストサイクルは、BCRH の BRSTS1 ビットの設定により、1 ステートまたは 2 ステートの選択が可能です。ウェイトステートは挿入できません。エリア 0 をバースト ROM 空間に設定した場合、ABWCR の ABW0 ビットの設定によらずエリア 0 は、16 ビットアクセス空間となります。

また、BCRH の BRSTS0 ビットを 0 にクリアすると最大 4 ワードのバーストアクセスを行います。BRSTS0 ビットを 1 にセットすると最大 8 ワードのバーストアクセスを行います。

バースト ROM 空間の基本アクセスタイミングを図 6.15 (a) (b) に示します。

図 6.15 (a) は、AST0 ビット、BRSTS1 ビットをいずれも 1 に設定した場合の例です。

図 6.15 (b) は、AST0 ビット、BRSTS1 ビットをいずれも 0 に設定した場合の例です。

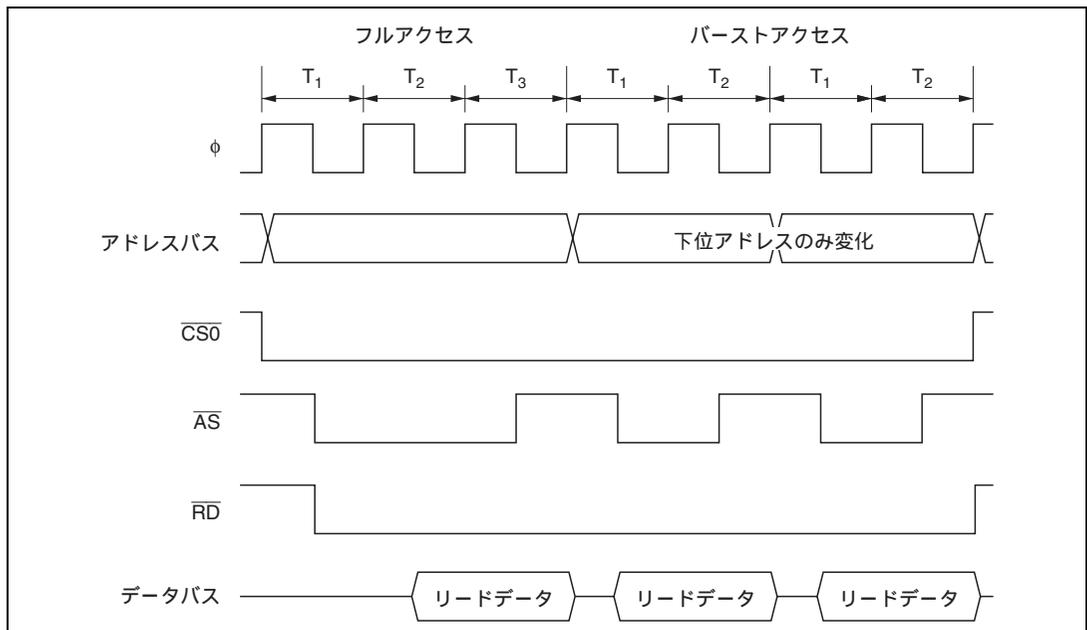


図 6.15 (a) バースト ROM アクセスタイミング例 (AST0 = BRSTS1 = 1 の場合)

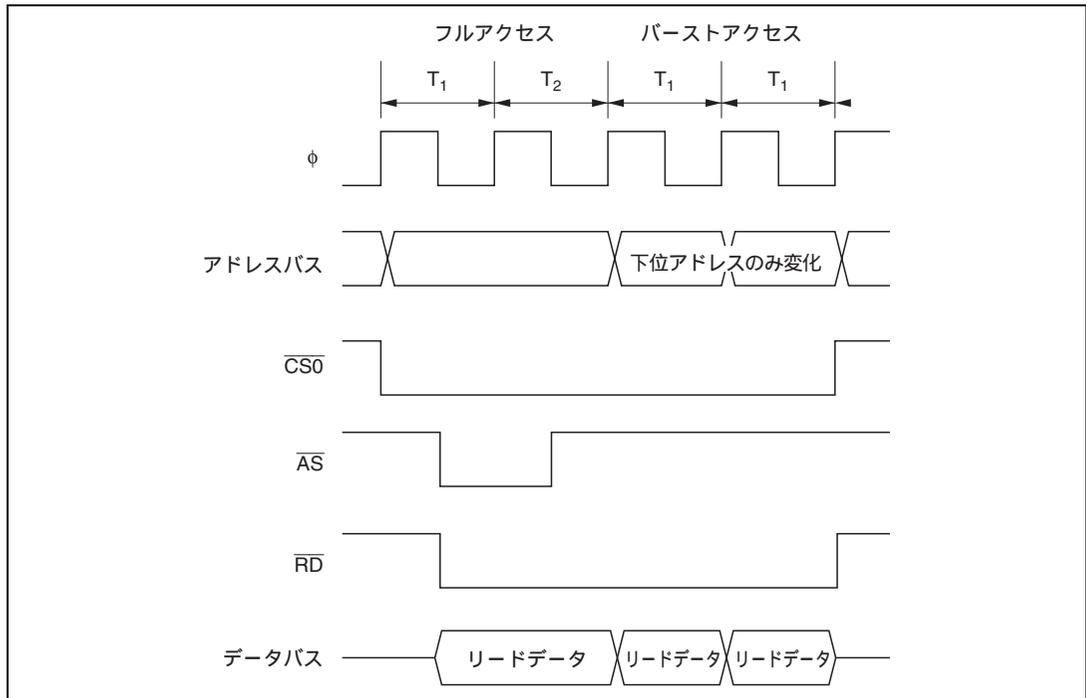


図 6.15 (b) バースト ROM アクセスタイミング例 (AST0 = BRSTS1 = 0 の場合)

6.5.3 ウェイト制御

バースト ROM インタフェースのイニシャルサイクル (フルアクセス) には、基本バスインタフェースと同様に、(1) プログラムウェイトの挿入、(2) \overline{WAIT} 端子による端子ウェイトの挿入、が可能です。「6.4.5 ウェイト制御」を参照してください。

バーストサイクルにはウェイトステートを挿入することはできません。

6.6 アイドルサイクル

6.6.1 動作説明

本 LSI は外部空間をアクセスするとき、(1)異なるエリア間でリードアクセスが連続して発生したとき、(2)リードサイクルの直後にライトサイクルが発生したとき、の 2 つの場合に、バスサイクルとバスサイクルの間にアイドルサイクル (T_1) を 1 ステート挿入することができます。アイドルサイクルを挿入することにより、たとえば、出力フローティング時間の大きい ROM など、高速メモリ、I/O インタフェースなどとのデータ衝突を防ぐことができます。

(1) 異なるエリア間での連続リード

BCRH の ICIS1 ビットを 1 にセットした状態で、異なるエリア間の連続リードが発生すると、2 回目のリードサイクルの先頭に、アイドルサイクルが挿入されます。アドバンスモードのとき有効です。

6. バスコントローラ

図 6.16 に動作例を示します。バスサイクル A は、出力フローティング時間の大きい ROM からのリードサイクル、バスサイクル B は SRAM からのリードサイクルで、それぞれ異なるエリアに配置した場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で、ROM からのリードデータと SRAM からのリードデータの衝突が発生しています。これに対し (b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

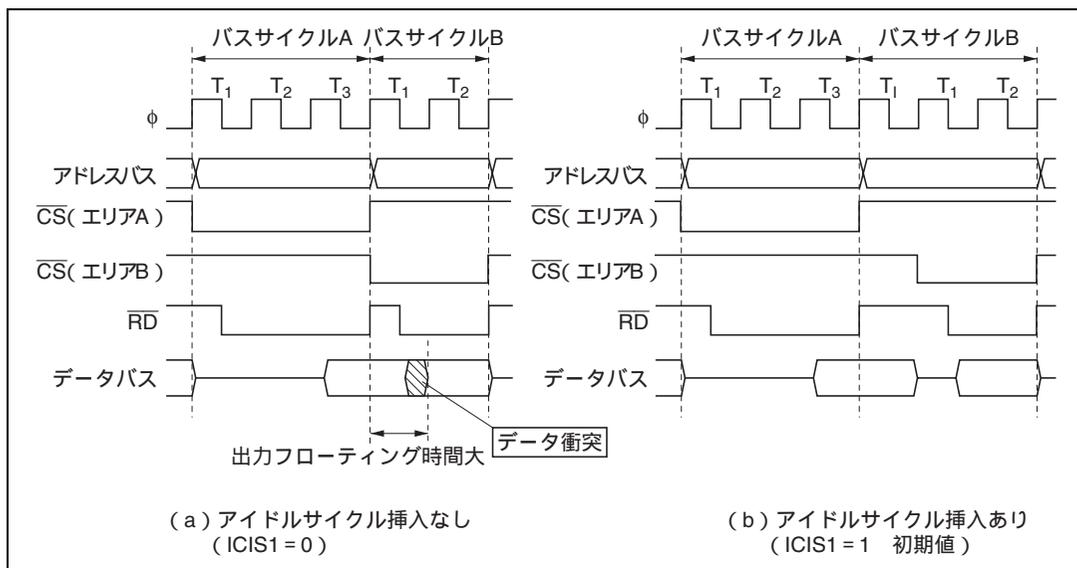


図 6.16 アイドルサイクル動作例 (1)

(2) リード後のライト

BCRH の ICIS0 ビットを 1 にセットした状態で、外部リード後に外部ライトが発生すると、ライトサイクルの先頭にアイドルサイクルが挿入されます。

図 6.17 に動作例を示します。バスサイクル A は、出力フローティング時間の大きい ROM からのリードサイクル、バスサイクル B は CPU のライトサイクルの場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で、ROM からのリードデータと CPU のライトデータの衝突が発生しています。これに対し (b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

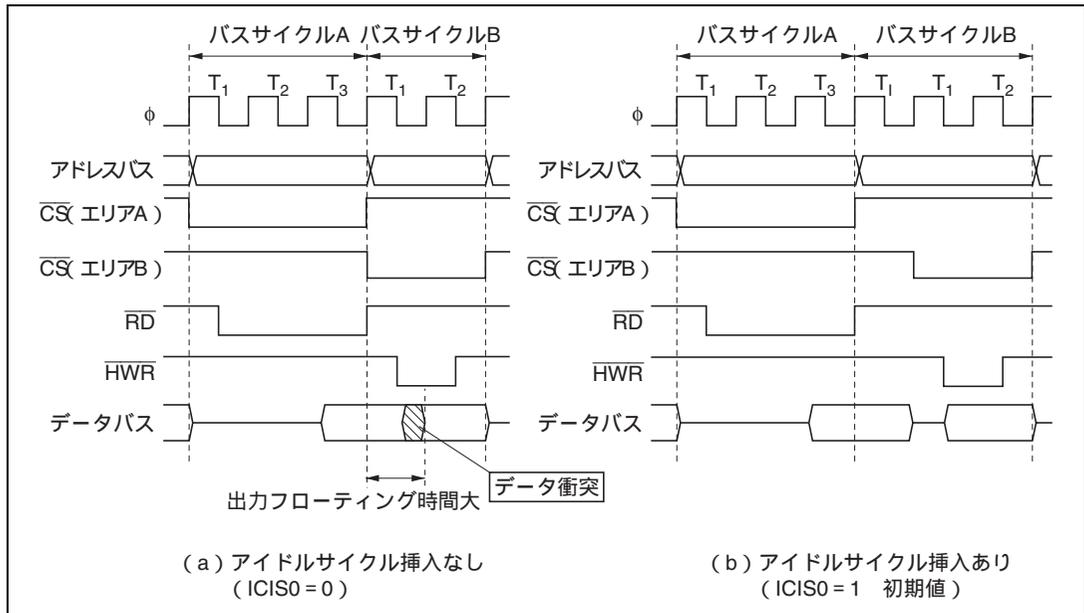


図 6.17 アイドルサイクル動作例 (2)

(3) チップセレクト (\overline{CS}) 信号とリード (\overline{RD}) 信号の関係

システムの負荷条件によっては、 \overline{CS} 信号よりも \overline{RD} 信号の方が遅れる場合があります。図 6.18 に例を示します。

このような場合、(a)のアイドルサイクルを挿入しない設定では、バスサイクル A の \overline{RD} 信号とバスサイクル B の \overline{CS} 信号間でオーバーラップ期間が発生する可能性があります。

これに対し、(b)のようにアイドルサイクルを挿入する設定にすれば、 \overline{RD} 信号と \overline{CS} 信号のオーバーラップ期間を回避することができます。

なお、リセット解除後の初期状態は、(b)のアイドルサイクルを挿入する設定となっています。

6. バスコントローラ

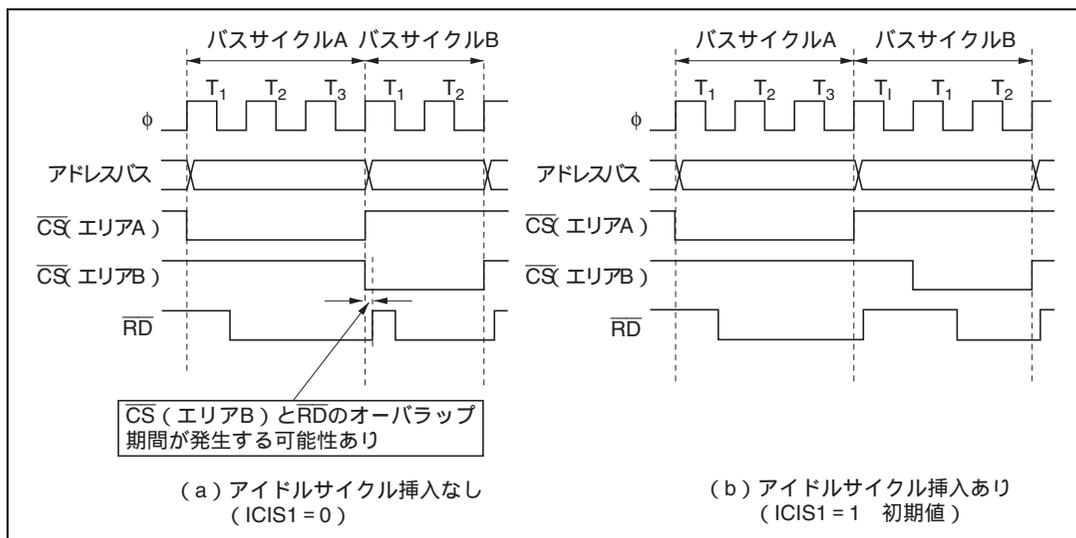


図 6.18 チップセレクト (CS) とリード (RD) の関係

6.6.2 アイドルサイクルでの端子状態

アイドルサイクルでの端子状態を表 6.5 に示します。

表 6.5 アイドルサイクルでの端子状態

端子名	端子の状態
$A_{23} \sim A_0$	直後のバスサイクルの内容
$D_{15} \sim D_0$	ハイインピーダンス
\overline{CSn}	High レベル
\overline{AS}	High レベル
\overline{RD}	High レベル
\overline{HWR}	High レベル
\overline{LWR}	High レベル

6.7 バス解放

6.7.1 概要

本 LSI は外部からのバス権要求により、外部バスを解放することができます。外部バス権解放状態では、外部アクセスが発生しない限り、内部バスマスタは動作を継続します。

6.7.2 動作説明

外部拡張モードで、BCRL の BRLE ビットを 1 にセットすると、外部にバス権を解放することができます。BREQ 端子を Low レベルとすることにより、本 LSI に外部バス権を要求します。BREQ 端子をサンプリングすると、所定のタイミングで、BACK 端子を Low レベルとし、アドレスバス、データバス、バス制御信号をハイインピーダンスとして、外部バス権解放状態になります。

外部バス権解放状態で、内部バスマスタは内部バスを使用したアクセスを行うことができます。内部バスマスタが外部アクセスをしようとする、いったんバスサイクルの起動を保留し、外部バスマスタからのバス権要求が取り下げられるのを待ちます。

BREQ 端子を High レベルとすると、所定のタイミングで BACK 端子を High レベルとし、外部バス権解放状態を終了します。

外部バス権解放要求と外部アクセスが同時に発生したときの優先順位：

(高) 外部バス権 > 内部バスマスタの外部アクセス (低)

6.7.3 外部バス権解放状態での端子状態

外部バス権解放状態での端子状態を表 6.6 に示します。

表 6.6 バス権解放状態での端子状態

端子名	端子の状態
$A_{23} \sim A_0$	ハイインピーダンス
$D_{15} \sim D_0$	ハイインピーダンス
\overline{CSn}	ハイインピーダンス
\overline{AS}	ハイインピーダンス
\overline{RD}	ハイインピーダンス
\overline{HWR}	ハイインピーダンス
\overline{LWR}	ハイインピーダンス

6.7.4 遷移タイミング

バス権解放状態への遷移タイミングを図 6.19 に示します。

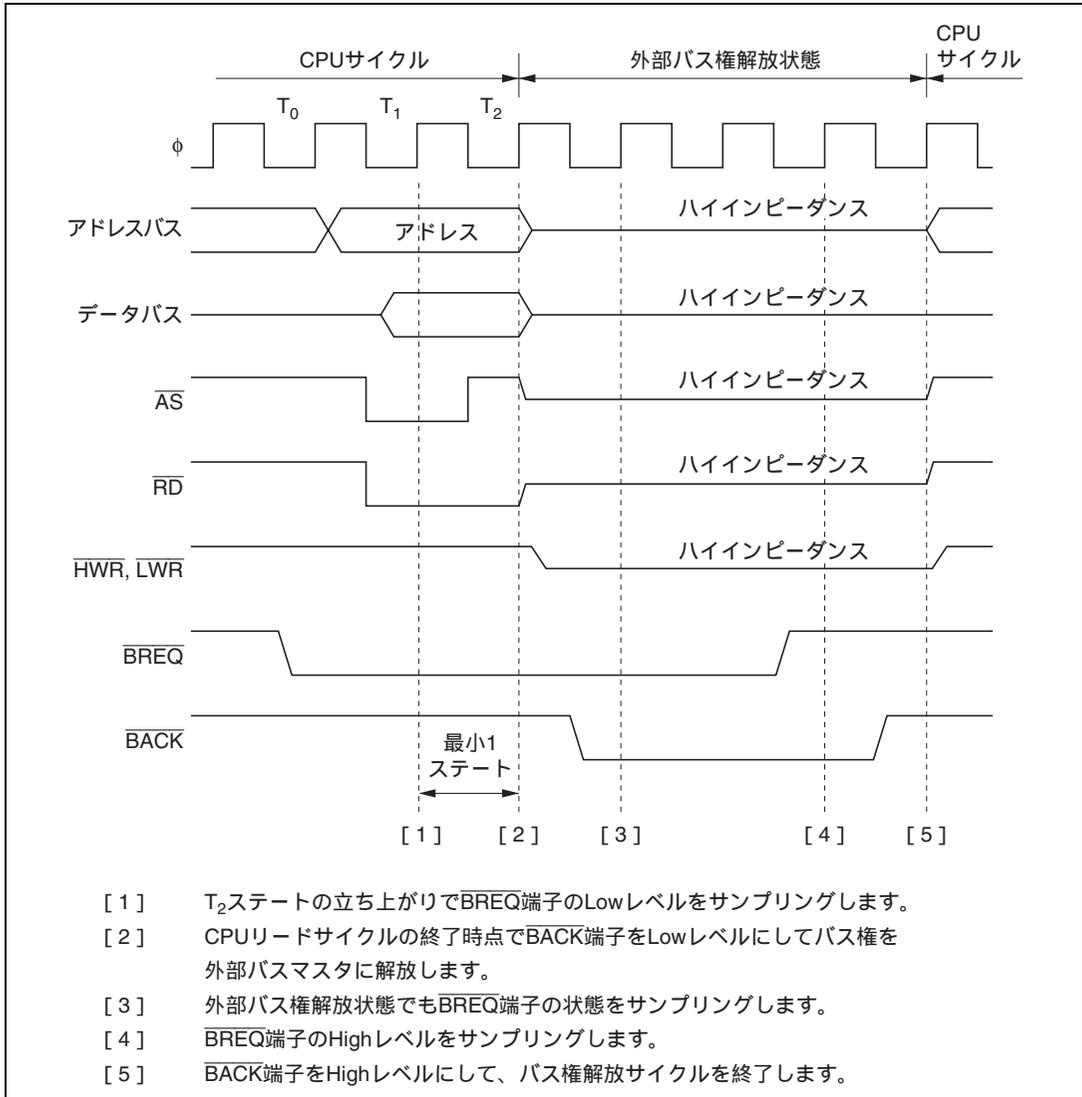


図 6.19 バス権解放状態遷移タイミング

6.7.5 使用上の注意

MSTPCR を H'FFFF または H'E'FFF に設定し、かつスリープモードに遷移した状態では、外部バス権解放機能は停止します。スリープモードで外部バス権解放機能を使用する場合は、MSTPCR には H'FFFF と H'E'FFF を設定しないでください。

6.8 バスアービトレーション

6.8.1 概要

本 LSI はバスマスタの動作を調停（バスアービトレーション）するバスアービタを内蔵しています。

バスマスタは、CPU、および DTC の 2 つがあり、バス権を占有した状態でリード/ライト動作を行います。各バスマスタはバス権要求信号によりバス権を要求します。バスアービタは所定のタイミングで優先順位を判定し、バス権要求アクノリッジ信号によりバスの使用を許可します。バスマスタはバス権を獲得して動作します。

6.8.2 動作説明

バスアービタは、バスマスタのバス権要求信号を検出して、バス権が要求されていれば、そのバスマスタにバス権要求アクノリッジ信号を与えます。複数のバスマスタからバス権要求があれば、最も優先順位の高いものにバス権要求アクノリッジ信号を与えます。バス権要求アクノリッジ信号を受け取ったバスマスタは、以後この信号が取り消されるまでバスを占有します。

バスマスタの優先順位：

（高） DTC > CPU （低）

なお、内部バスマスタの内部バスアクセスと外部バス権解放は、並行して実行することができます。

外部バス権解放要求、および内部バスマスタの外部アクセスが同時に発生したときの優先順位：

（高）外部バス権解放 > 内部バスマスタの外部アクセス（低）

6.8.3 バス権移行タイミング

バス権を獲得して動作しているバスマスタよりも優先順位の高いバスマスタからのバス権要求があったときでも、すぐにバス権が移行するとは限りません。各バスマスタにはバス権を譲ることができるタイミングがあります。

(1) CPU

CPU は最も優先順位が低いバスマスタで、DTC からのバス権要求があると、バスアービタはバス権をバス権の要求のあったバスマスタに移行します。バス権が移行するタイミングは次のとおりです。

- (a) バスサイクルの切れ目で、バス権を移行します。ただし、ロングワードサイズのアクセスなど、バスサイクルを分割して実行する場合などには、分割されたバスサイクルの切れ目では、バス権は移行しません。バス権を移行しないタイミングは「付録A.5 命令実行中のバス状態」を参照してください。
- (b) CPUがスリープモードの場合、直ちにバス権を移行します。

6. バスコントローラ

(2) DTC

DTC は起動要求が発生するとバスアービタに対してバス権を要求します。

DTC がバス権を解放できるのは、ベクタのリード後、レジスタ情報のリード（3 ステート）後、1 回のデータ転送後、レジスタ情報のライト（3 ステート）後です。レジスタ情報のリード（3 ステート）中、1 回のデータ転送中、レジスタ情報のライト（3 ステート）中にはバスを解放しません。

6.8.4 外部バス権解放使用上の注意

外部バス権解放は、外部バスサイクルが終了した時点で行うことができます。

\overline{RD} 信号、 $\overline{CS0} \sim \overline{CS7}$ 信号は外部バスサイクルの最後まで Low レベルを出力します。

したがって、外部バス権解放を行う場合、 \overline{RD} 、 $\overline{CS0} \sim \overline{CS7}$ 信号の Low レベルからハイインピーダンス状態へと遷移する場合があります。

6.9 リセットとバスコントローラ

パワーオンリセットでは、バスコントローラを含めて、本 LSI はその時点でリセット状態になります。実行中のバスサイクルは途中で打ち切られます。

マニュアルリセットでは、バスコントローラのレジスタや内部状態は保持されます。実行中の外部バスサイクルは終了するまで実行されます。このとき、 \overline{WAIT} 入力は無視されます。ライトデータは保証されません。

7. データトランスファコントローラ (DTC)

7.1 概要

本 LSI は、データトランスファコントローラ (DTC) を内蔵しています。DTC は、割り込みまたはソフトウェアによって起動され、データ転送を行うことができます。

7.1.1 特長

任意チャンネル数の転送可能

- メモリ上に転送情報を格納
- 1 つの起動要因に対して複数のデータ転送が可能 (チェイン転送)

豊富な転送モード

- ノーマルモード / リピートモード / ブロック転送モードの選択が可能
- ソース / デスティネーションアドレスのインクリメント / デクリメント / 固定の選択が可能

16M バイトのアドレス空間を直接指定可能

- 転送元、転送先アドレスを 24 ビットで指定

転送単位をバイト / ワードに設定可能

DTC を起動した割り込みを CPU に要求可能

- 1 回のデータ転送の終了後に、CPU に対する割り込み要求を発生可能
- 指定したデータ転送のすべての終了後に、CPU に対する割り込み要求を発生

ソフトウェアによる起動が可能

モジュールストップモードの設定可能

- 初期値では DTC のレジスタのアクセスが可能。モジュールストップモードの設定により DTC の動作は停止

7. データトランスファコントローラ (DTC)

7.1.2 ブロック図

DTCのブロック図を図7.1に示します。

DTCのレジスタ情報は内蔵RAMに配置されます*。DTCと内蔵RAM(1Kバイト)間は32ビットバスで接続されていますので、DTCのレジスタ情報のリード/ライトを32ビット1ステートで実行できます。

【注】* DTCを使用するときには、必ずSYSCRのRAMEビットを1にセットしてください。

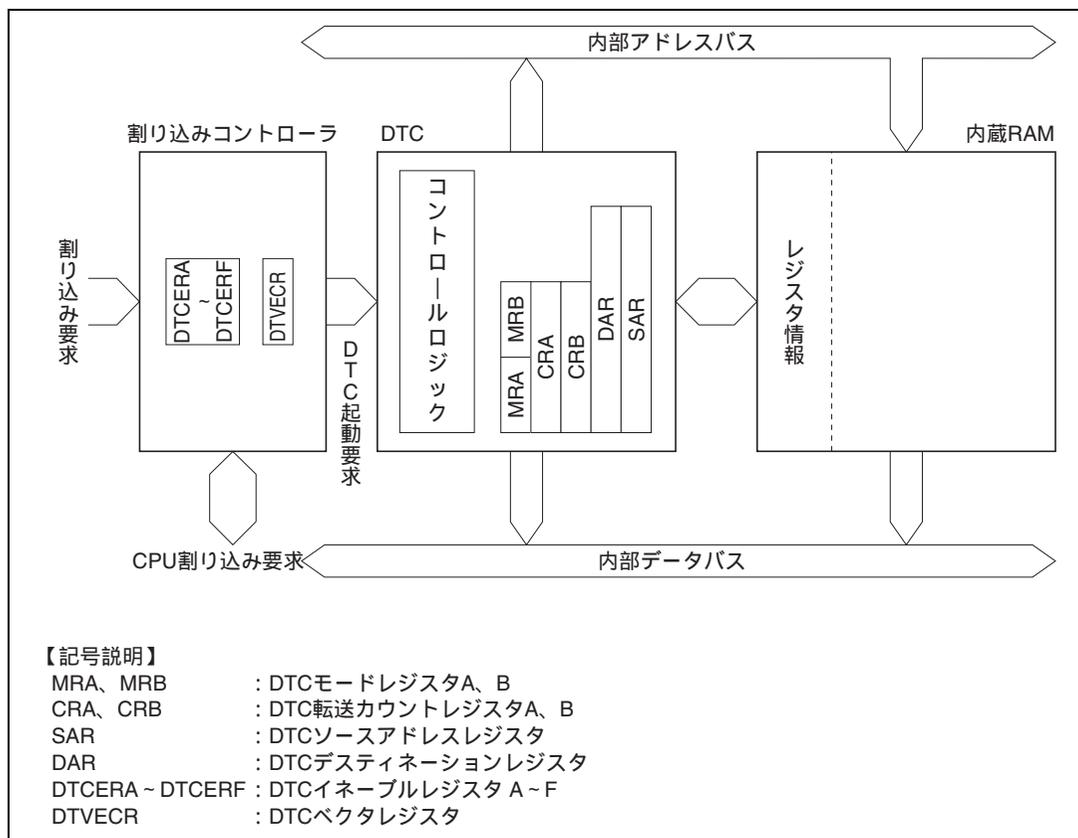


図 7.1 DTCのブロック図

7.1.3 レジスタ構成

DTC のレジスタ構成を表 7.1 に示します。

表 7.1 レジスタ構成

名 称	略称	R/W	初期値	アドレス*1
DTC モードレジスタ A	MRA	- * ²	不定	- * ³
DTC モードレジスタ B	MRB	- * ²	不定	- * ³
DTC ソースアドレスレジスタ	SAR	- * ²	不定	- * ³
DTC デスティネーションアドレスレジスタ	DAR	- * ²	不定	- * ³
DTC 転送カウントレジスタ A	CRA	- * ²	不定	- * ³
DTC 転送カウントレジスタ B	CRB	- * ²	不定	- * ³
DTC イネーブルレジスタ	DTCER	R/W	H'00	H'FF30 ~ H'FF35
DTC ベクタレジスタ	DTVECR	R/W	H'00	H'FF37
モジュールストップコントロールレジスタ	MSTPCR	R/W	H'3FFF	H'FF3C

【注】 *1 アドレスの低位 16 ビットを示しています。

*2 DTC 内のレジスタは直接リード/ライトできません。

*3 内蔵 RAM のアドレス H'F800 ~ H'FBFF にレジスタ情報として配置します。外部メモリ空間には配置できません。DTC を使用する場合は SYSCR の RAME ビットを 0 にクリアしないでください。

7.2 各レジスタの説明

7.2.1 DTC モードレジスタ A (MRA)

ビット :	7	6	5	4	3	2	1	0
	SM1	SM0	DM1	DM0	MD1	MD0	DTS	Sz
初期値 :	不定	不定						
R/W :	-	-	-	-	-	-	-	-

MRA は 8 ビットのレジスタで、DTC の動作モードの制御を行います。

ビット 7、6 : ソースアドレスモード 1、0 (SM1、SM0)

データ転送後に、SAR をインクリメントするか、デクリメントするか、または固定とするかを指定します。

ビット 7	ビット 6	説 明
SM1	SM0	
0	-	SAR は固定
1	0	SAR は転送後インクリメント (Sz=0 のとき +1、Sz=1 のとき +2)
	1	SAR は転送後デクリメント (Sz=0 のとき -1、Sz=1 のとき -2)

7. データトランスファコントローラ (DTC)

ビット5、4：デスティネーションアドレスモード1、0 (DM1、DM0)

データ転送後に、DAR をインクリメントするか、デクリメントするか、または固定とするかを指定します。

ビット5	ビット4	説明
DM1	DM0	
0	-	DAR は固定
1	0	DAR は転送後インクリメント (Sz=0 のとき+1、Sz=1 のとき+2)
	1	DAR は転送後デクリメント (Sz=0 のとき-1、Sz=1 のとき-2)

ビット3、2：DTC モード (MD1、MD0)

DTC の転送モードを指定します。

ビット3	ビット2	説明
MD1	MD0	
0	0	ノーマルモード
	1	リピートモード
1	0	ブロック転送モード
	1	-

ビット1：DTC 転送モードセレクト (DTS)

リピートモードまたはブロック転送モードのとき、ソース側とデスティネーション側のいずれをリピート領域またはブロック領域とするかを指定します。

ビット1	説明
DTS	
0	デスティネーション側がリピート領域またはブロック領域
1	ソース側がリピート領域またはブロック領域

ビット0：DTC データトランスファサイズ (Sz)

データ転送のデータサイズを指定します。

ビット0	説明
Sz	
0	バイトサイズ転送
1	ワードサイズ転送

7.2.2 DTC モードレジスタ B (MRB)

ビット :	7	6	5	4	3	2	1	0
	CHNE	DISEL	-	-	-	-	-	-
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	-	-	-	-	-	-	-	-

MRB は 8 ビットのレジスタで、DTC モードの制御を行います。

ビット 7 : DTC チェイン転送イネーブル (CHNE)

チェイン転送を指定します。チェイン転送では、1 回の要求に対し複数のデータ転送を連続して行うことができます。

CHNE = 1 に設定したデータ転送では、指定した転送回数の終了の判定や割り込み要因フラグのクリアや DTCER のクリアは行いません。

ビット 7	説明
CHNE	
0	DTC データ転送終了 (起動待ち状態)
1	DTC チェイン転送 (新しいレジスタ情報をリードして、データ転送を行う)

ビット 6 : DTC インタラプトセレクト (DISEL)

1 回のデータ転送後に CPU への割り込み要求の禁止または許可を指定します。

ビット 6	説明
DISEL	
0	DTC データ転送終了後、転送カウンタが 0 でなければ、CPU への割り込みを禁止 (DTC は、起動要因となった割り込み要因フラグを 0 にクリア)
1	DTC データ転送終了後、CPU への割り込みを許可 (DTC は、起動要因となった割り込み要因フラグを 0 にクリアしない)

ビット 5~0 : リザーブビット

本 LSI では、DTC の動作に影響を与えません。ライト時には 0 をライトしてください。

7. データトランスファコントローラ (DTC)

7.2.3 DTC ソースアドレスレジスタ (SAR)

ビット:	23	22	21	20	19	---	4	3	2	1	0
	<input type="checkbox"/>	---	<input type="checkbox"/>								
初期値:	不定	不定	不定	不定	不定	---	不定	不定	不定	不定	不定
R/W :	-	-	-	-	-	---	-	-	-	-	-

SAR は 24 ビットのレジスタで、DTC の転送するデータの転送元アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

7.2.4 DTC デスティネーションアドレスレジスタ (DAR)

ビット:	23	22	21	20	19	---	4	3	2	1	0
	<input type="checkbox"/>	---	<input type="checkbox"/>								
初期値:	不定	不定	不定	不定	不定	---	不定	不定	不定	不定	不定
R/W :	-	-	-	-	-	---	-	-	-	-	-

DAR は 24 ビットのレジスタで、DTC の転送するデータの転送先アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

7.2.5 DTC 転送カウンタレジスタ A (CRA)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>															
初期値:	不定															
R/W :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-



CRA は 16 ビットのレジスタで、DTC のデータ転送の転送回数を指定します。

ノーマルモードでは、一括して 16 ビットの転送カウンタ (1~65536) として機能します。1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'0000 になると転送を終了します。

リピートモードおよびブロック転送モードでは、上位 8 ビットの CRAH と下位 8 ビットの CRAL に分割されます。CRAH は転送回数を保持し、CRAL は 8 ビットの転送カウンタ (1~256) として機能します。CRAL は、1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'00 になると、CRAH の内容が転送されます。この動作を繰り返します。

7.2.6 DTC 転送カウントレジスタ B (CRB)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	不定															
R/W :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

CRB は 16 ビットのレジスタで、ブロック転送モードのとき、DTC のブロックデータ転送の転送回数を指定します。16 ビットの転送カウンタ (1~65536) として機能し、1 回のデータ転送を行うたびに、デクリメント (-1) され、カウンタ値が H'0000 になると転送を終了します。

7.2.7 DTC イネーブルレジスタ (DTCER)

ビット :	7	6	5	4	3	2	1	0
	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

DTCER は、DTC によって起動される割り込み要因ごとに対応した 8 ビットのリード/ライトが可能な 6 本のレジスタで、DTCERA ~ DTCERF があります。各割り込み要因による DTC 起動の許可または禁止を制御します。

DTCER はリセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット n : DTC 起動イネーブル (DTCEn)

ビット n	説明
DTCEn	
0	割り込みによる DTC 起動を禁止 [クリア条件] • DIESEL ビットが 1 でデータ転送を終了したとき • 指定した回数の転送が終了したとき (初期値)
1	割り込みによる DTC 起動を許可 [保持条件] DIESEL ビットが 0 で、指定した回数の転送が終了していないとき

(n = 7 ~ 0)

DTCE ビットは、DTC によって起動される各割り込み要因ごとに設定できます。各割り込み要因と DTCE ビットの対応、およびそのときに割り込みコントローラが発生するベクタ番号について表 7.4 に示します。

DTCE ビットの設定は、必ず BSET、BCLR などビット操作命令を使ってリード/ライトしてください。ただし、初期設定に限り、複数の起動要因を一度に設定するときには、割り込みを禁止して、当該レジスタのダミーリードを行ってからライトすることができます。

7. データトランスファコントローラ (DTC)

7.2.8 DTC ベクタレジスタ (DTVECR)

ビット :	7	6	5	4	3	2	1	0
	SWDTE	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/W						

【注】* SWDTEビットは、1ライトは常時可能ですが、0ライトは1リード後にのみ可能となります。

DTVECR は、8 ビットのリード/ライトが可能なレジスタで、ソフトウェアによる DTC 起動の許可または禁止の設定、およびソフトウェア起動割り込み用ベクタ番号を設定します。

DTVECR はリセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット 7 : DTC ソフトウェア起動イネーブル (SWDTE)

DTC ソフトウェア起動の許可または禁止を設定します。ソフトウェアで SWDTE ビットをクリアする場合には、SWDTE = 1 の状態をリード後、0 をライトしてください。

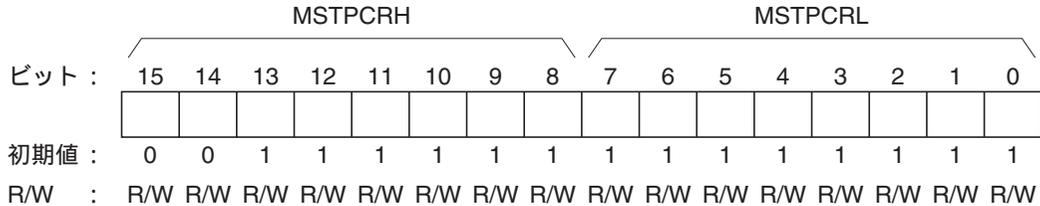
ビット 7	説明
SWDTE	
0	DTC ソフトウェア起動を禁止 (初期値) [クリア条件] DISEL ビットが 0 で、指定した回数の転送が終了していないとき
1	DTC ソフトウェア起動を許可 [保持条件] <ul style="list-style-type: none">• DISEL ビットが 1 で、データ転送を終了したとき• 指定した回数の転送が終了したとき• ソフトウェア起動によるデータ転送中

ビット 6~0 : DTC ソフトウェア起動ベクタ 6~0 (DTVEC6~DTVEC0)

DTC ソフトウェア起動のベクタ番号を設定します。

ベクタアドレスは、H'0400 + ((ベクタ番号) << 1) となります。ここで << 1 は 1 ビットの左シフトを表します。たとえば、DTVEC6 ~ DTVEC0 = H'10 のとき、ベクタアドレスは H'0420 となります。

7.2.9 モジュールストップコントロールレジスタ (MSTPCR)



MSTPCR は 16 ビットのリード/ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTP14 ビットを 1 にセットすると、バスサイクルの終了時点で DTC は動作を停止してモジュールストップモードへ遷移します。ただし、DTC が起動中の場合、MSTP14 ビットに 1 をライトすることはできません。詳細は、「19.5 モジュールストップモード」を参照してください。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 14 : モジュールストップ (MSTP14)

DTC のモジュールストップモードを指定します。

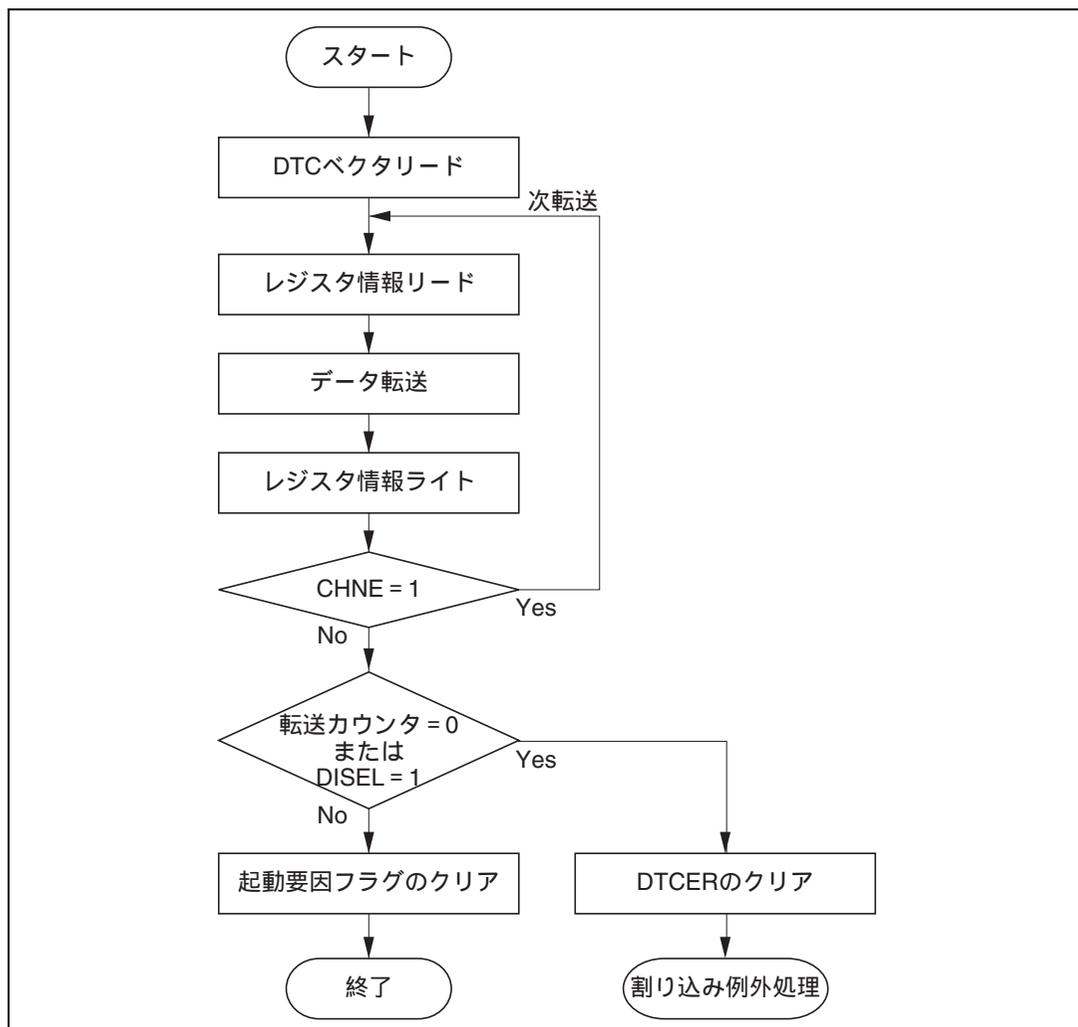
ビット 14	説 明
MSTP14	
0	DTC のモジュールストップモード解除 (初期値)
1	DTC のモジュールストップモード設定

7.3 動作説明

7.3.1 概要

DTC は、レジスタ情報をメモリ上に格納しておき、起動要因が発生すると、レジスタ情報をリードし、このレジスタ情報に基づいてデータ転送を行います。データ転送後、レジスタ情報をメモリ上にライトします。レジスタ情報をメモリ上に格納しておくことにより、任意チャンネル数のデータ転送を行うことができます。また、CHNE ビットを 1 にセットしておくことにより、1 つの起動要因で複数の転送を行うことができます。

図 7.2 に DTC の動作フローチャートを示します。



7. データトランスファコントローラ (DTC)

DTC の転送モードには、ノーマルモード、リピートモード、ブロック転送モードがあります。

DTC は、転送元アドレスを 24 ビット長の SAR、転送先アドレスを 24 ビット長の DAR で指定します。SAR、DAR は転送後、それぞれ独立にインクリメントまたはデクリメント、あるいは固定とされます。

表 7.2 に、DTC の機能概要を示します。

表 7.2 DTC の機能概要

転送モード	起動要因	アドレスレジスタ	
		転送元	転送先
(1) ノーマルモード <ul style="list-style-type: none"> • 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行 • メモリアドレスを 1 または 2 増減 • 転送回数は 1 ~ 65536 (2) リピートモード <ul style="list-style-type: none"> • 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行 • メモリアドレスを 1 または 2 増減 • 指定回数 (1 ~ 256) 転送後、初期状態を回復して動作を継続 (3) ブロック転送モード <ul style="list-style-type: none"> • 1 回の転送要求で指定したブロックサイズの転送 • ブロックサイズ 1 ~ 256 バイトまたはワード • 転送回数は 1 ~ 65536 • ソースまたはデスティネーションのいずれかをブロックエリアに指定可能 	<ul style="list-style-type: none"> • IRQ • TPU の TGI • 8 ビットタイマの CMI • SCI の TXI、RXI • A/D 変換器の ADI • ソフトウェア 	24 ビット	24 ビット

7. データトランスファコントローラ (DTC)

7.3.2 起動要因

DTC は、割り込み要因、もしくはソフトウェアによる DTVECR へのライト動作を起動要因として動作します。割り込み要因を、CPU に対する割り込み要求とするか、DTC の起動要因とするかは、割り込み要因ごとに DTCER の対応するビットで指定します。

対応するビットを 1 にセットすると DTC の起動要因となり、0 にクリアすると、CPU の割り込み要因となります。

1 回のデータ転送(チェーン転送の場合、連続した最後の転送)終了時に、起動要因または DTCER の対応するビットをクリアします。表 7.3 に起動要因と DTCER のクリアを示します。

起動要因フラグは、たとえば RXI0 の場合、SCI0 の RDRF フラグになります。

表 7.3 起動要因と DTCER のクリア

起動要因	DISEL ビットが 0 で、指定した回数の転送が終了していないとき	DISEL ビットが 1 のとき、または指定した回数の転送が終了したとき
ソフトウェア起動	SWDTE ビットは 0 にクリア	<ul style="list-style-type: none"> SWDTE ビットは 1 を保持 CPU に割り込みを要求
割り込み起動	<ul style="list-style-type: none"> DTCER の対応するビットは 1 を保持 起動要因フラグは 0 にクリア 	<ul style="list-style-type: none"> DTCER の対応するビットは 0 にクリア 起動要因フラグは 1 を保持 起動要因となった割り込みを CPU に要求

図 7.3 に、起動要因制御ブロック図を示します。詳細は、「第 5 章 割り込みコントローラ」を参照してください。

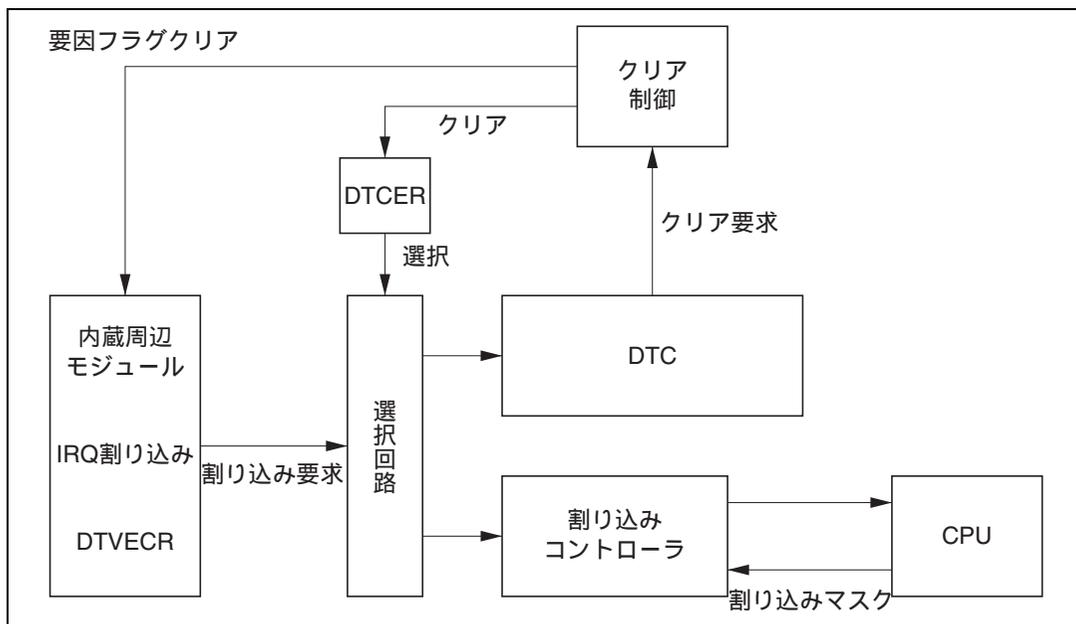


図 7.3 DTC 起動要因制御ブロック図

割り込みを DTC の起動要因に指定した場合、CPU のマスクレベルおよび割り込みコントローラの優先順位の指定の影響を受けません。複数の起動要因が同時に発生した場合には、デフォルトの

優先順位に従って受け付けられ、DTC が起動されます。

7.3.3 DTC ベクタテーブル

図 7.4 に、DTC ベクタアドレスとレジスタ情報の対応を示します。

表 7.4 に、起動要因とベクタアドレスの対応を示します。ソフトウェアによる起動の場合、ベクタアドレスは $H'0400 + (DTVECR[6:0] \ll 1)$ で求めます ($\ll 1$ は 1 ビットの左シフトを表します)。たとえば、DTVECR が $H'10$ のとき、ベクタアドレスは $H'0420$ となります。

起動要因ごとのベクタアドレスから、レジスタ情報先頭アドレスをリードし、この先頭アドレスからレジスタ情報をリードします。レジスタ情報は内蔵 RAM 空間上の所定のアドレスに配置することができます。レジスタ情報の先頭アドレスは 4 の倍数番地としてください。

ベクタアドレスの構造は、ノーマルモードとアドバンスモードとで同じです。ともに 2 バイト単位です。この 2 バイトは、内蔵 RAM 空間上の所定のアドレスの下位側を指定します。

表 7.4 割り込み要因と DTC ベクタアドレスおよび対応する DTCE

割り込み要因	要因発生元	ベクタ番号	ベクタアドレス	DTCE*	優先順位	
DTVECR へのライト	ソフトウェア	DTVECR	$H'0400 + (DTVECR[6:0] \ll 1)$	-	高	
IRQ0	外部端子	16	$H'0420$	DTCEA7	↑	
IRQ1		17	$H'0422$	DTCEA6		
IRQ2		18	$H'0424$	DTCEA5		
IRQ3		19	$H'0426$	DTCEA4		
IRQ4		20	$H'0428$	DTCEA3		
IRQ5		21	$H'042A$	DTCEA2		
IRQ6		22	$H'042C$	DTCEA1		
IRQ7		23	$H'042E$	DTCEA0		
ADI (A/D 変換終了)	A/D	28	$H'0438$	DTCEB6	↓	
TGI0A (GR0A コンペアマッチ / インพุットキャプチャ)	チャンネル 0	32	$H'0440$	DTCEB5		
TGI0B (GR0B コンペアマッチ / インพุットキャプチャ)		33	$H'0442$	DTCEB4		
TGI0C (GR0C コンペアマッチ / インพุットキャプチャ)		34	$H'0444$	DTCEB3		
TGI0D (GR0D コンペアマッチ / インพุットキャプチャ)		35	$H'0446$	DTCEB2		
TGI1A (GR1A コンペアマッチ / インพุットキャプチャ)	TPU	40	$H'0450$	DTCEB1		
TGI1B (GR1B コンペアマッチ / インพุットキャプチャ)	チャンネル 1	41	$H'0452$	DTCEB0		
TGI2A (GR2A コンペアマッチ / インพุットキャプチャ)	TPU	44	$H'0458$	DTCEC7		
TGI2B (GR2B コンペアマッチ / インพุットキャプチャ)	チャンネル 2	45	$H'045A$	DTCEC6		低

7. データトランスファコントローラ (DTC)

割り込み要因	要因発生元	ベクタ番号	ベクタアドレス	DTCE*	優先順位
TGI3A (GR3A コンペアマッチ / インพุットキャプチャ)	TPU チャンネル 3	48	H'0460	DTCEC5	↑ 高 ↓ 低
TGI3B (GR3B コンペアマッチ / インพุットキャプチャ)		49	H'0462	DTCEC4	
TGI3C (GR3C コンペアマッチ / インพุットキャプチャ)		50	H'0464	DTCEC3	
TGI3D (GR3D コンペアマッチ / インพุットキャプチャ)		51	H'0466	DTCEC2	
TGI4A (GR4A コンペアマッチ / インพุットキャプチャ)	TPU チャンネル 4	56	H'0470	DTCEC1	
TGI4B (GR4B コンペアマッチ / インพุットキャプチャ)		57	H'0472	DTCEC0	
TGI5A (GR5A コンペアマッチ / インพุットキャプチャ)	TPU チャンネル 5	60	H'0478	DTCED5	
TGI5B (GR5B コンペアマッチ / インพุットキャプチャ)		61	H'047A	DTCED4	
CMIA0	8 ビットタイマ チャンネル 0	64	H'0480	DTCED3	
CMIB0	チャンネル 0	65	H'0482	DTCED2	
CMIA1	8 ビットタイマ チャンネル 1	68	H'0488	DTCED1	
CMIB1	チャンネル 1	69	H'048A	DTCED0	
RX10 (受信完了 0)	SCI チャンネル 0	81	H'04A2	DTCEE3	
TX10 (送信データエンプティ 0)	チャンネル 0	82	H'04A4	DTCEE2	
RX11 (受信完了 1)	SCI チャンネル 1	85	H'04AA	DTCEE1	
TX11 (送信データエンプティ 1)	チャンネル 1	86	H'04AC	DTCEE0	
RX12 (受信完了 2)	SCI チャンネル 2	89	H'04B2	DTCEF7	
TX12 (送信データエンプティ 2)	チャンネル 2	90	H'04B4	DTCEF6	

【注】 * 対応する割り込みのない DTCE ビットはリザーブビットとなります。ライト時には 0 をライトしてください。

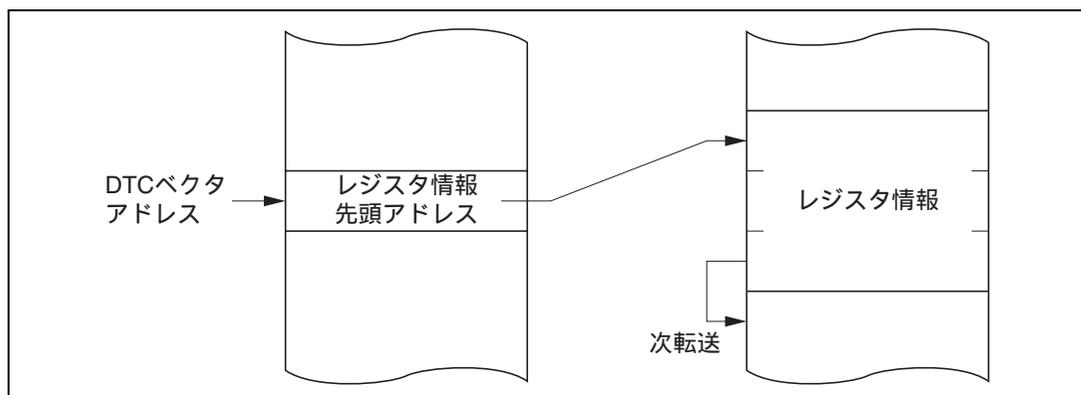


図 7.4 DTC ベクタアドレスとレジスタ情報との対応

7.3.4 アドレス空間上でのレジスタ情報の配置

図 7.5 に、アドレス空間上でのレジスタ情報の配置を示します。

レジスタ情報先頭アドレス（ベクタアドレスの内容）から、MRA、SAR、MRB、DAR、CRA、CRB の順序で配置してください。チェーン転送の場合は、連続した領域にレジスタ情報を配置してください。

レジスタ情報は、内蔵 RAM 上（アドレス：H'FFF800～H'FFFBFF）に配置してください。

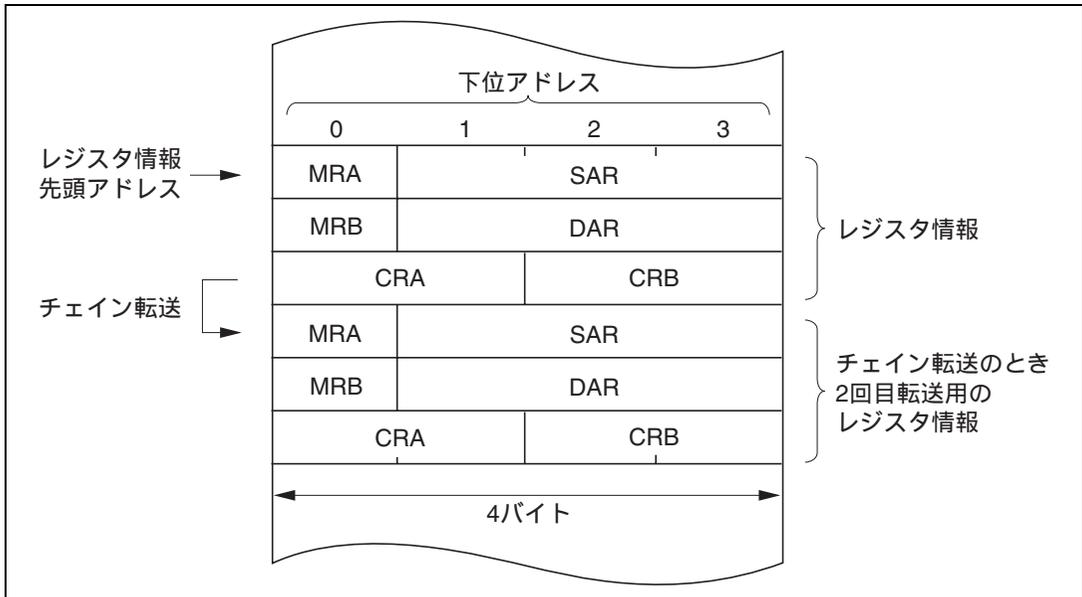


図 7.5 アドレス空間上での DTC レジスタ情報の配置

7.3.5 ノーマルモード

1 回の動作で、1 バイトまたは 1 ワードの転送を行います。

転送回数は 1～65536 です。指定回数の転送が終了すると、CPU へ割り込みを要求することができます。

表 7.5 にノーマルモードのレジスタ機能を、図 7.6 にノーマルモードのメモリマップを示します。

表 7.5 ノーマルモードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ A	CRA	転送カウント
DTC 転送カウントレジスタ B	CRB	使用しません

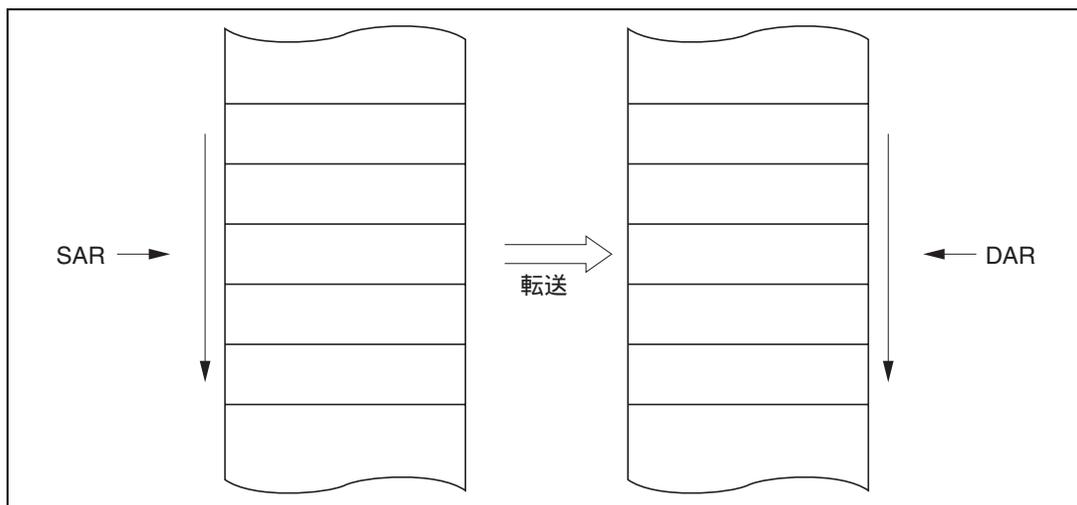


図 7.6 ノーマルモードのメモリマップ

7.3.6 リピートモード

1 回の動作で、1 バイトまたは 1 ワードの転送を行います。

転送回数は 1 ~ 256 を指定し、指定回数の転送が終了すると、転送カウンタと、リピートエリアに指定したアドレスレジスタの初期状態を回復し、転送を繰り返します。リピートモードでは、転送カウンタが H'00 になりませんので、DISEL = 0 の場合、CPU への割り込みは要求されません。

表 7.6 にリピートモードのレジスタ機能を、図 7.7 にリピートモードのメモリマップを示します。

表 7.6 リピートモードのレジスタ機能

名称	略称	機能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ AH	CRAH	転送回数保持
DTC 転送カウントレジスタ AL	CRAL	転送カウンタ
DTC 転送カウントレジスタ B	CRB	使用しません

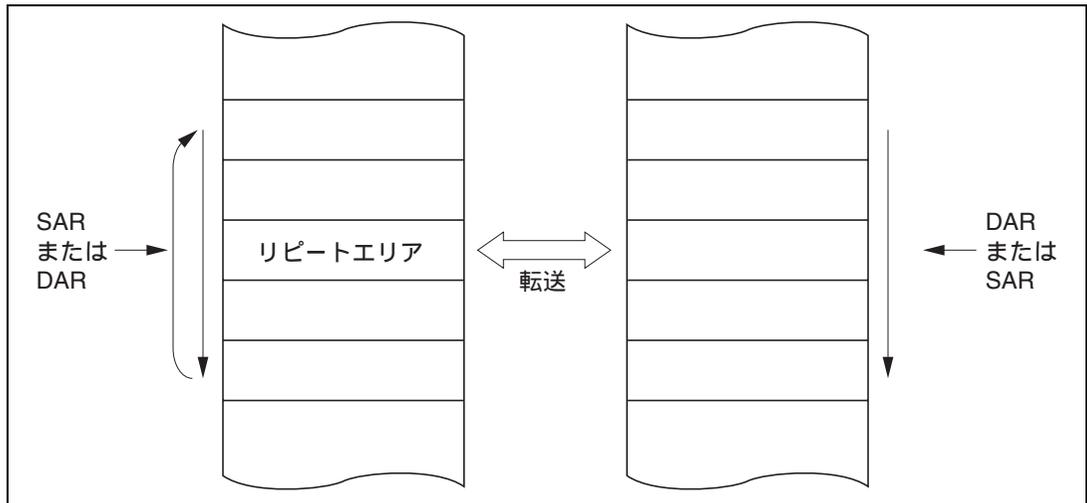


図 7.7 リピートモードのメモリマップ

7.3.7 ブロック転送モード

1回の動作で、1ブロックの転送を行います。転送元、転送先のいずれか一方をブロックエリアに指定します。

ブロックサイズは1~256です。1ブロックの転送が終了すると、ブロックサイズカウンタとブロックエリアに指定したアドレスレジスタの初期状態を復帰します。他方のアドレスレジスタは、連続してインクリメントまたはデクリメント、あるいは固定とされます。

転送回数は1~65536です。指定回数のブロック転送が終了すると、CPUへ割り込みを要求することができます。

表 7.7 にブロック転送モードのレジスタ機能を、図 7.8 にブロック転送モードのメモリマップを示します。

表 7.7 ブロック転送モードのレジスタ機能

名称	略称	機能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ AH	CRAH	ブロックサイズ保持
DTC 転送カウントレジスタ AL	CRAL	ブロックサイズカウンタ
DTC 転送カウントレジスタ B	CRB	転送カウンタ

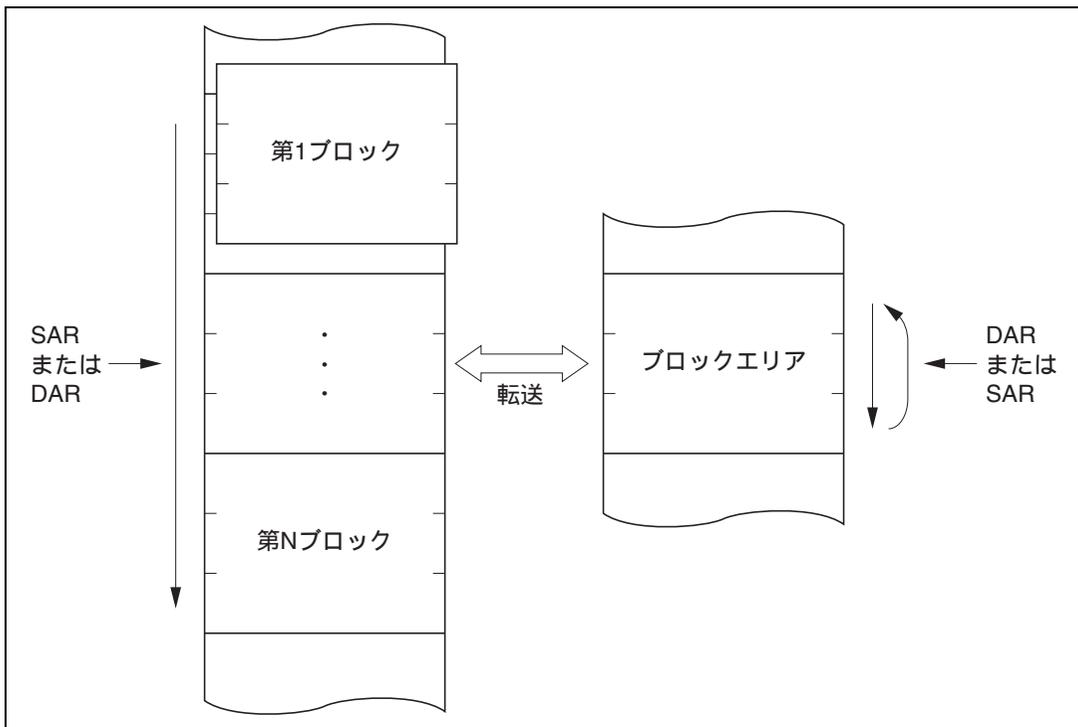


図 7.8 ブロック転送モードのメモリマップ

7.3.8 チェイン転送

CHNE ビットを 1 にセットしておくことにより、1 回の転送要求に対し複数のデータ転送を連続して行うことができます。データ転送を定義する SAR、DAR、CRA、CRB、MRA、および MRB はおのこの独立に設定できます。

図 7.9 にチェイン転送のメモリマップを示します。

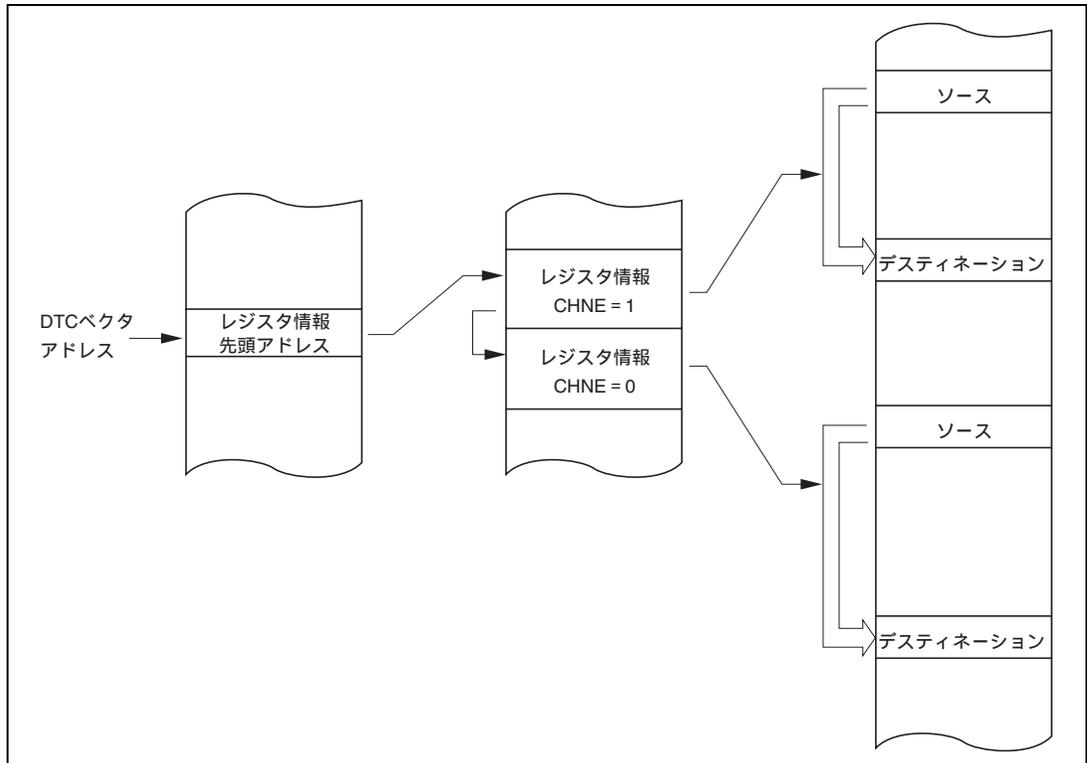


図 7.9 チェイン転送のメモリマップ

CHNE = 1 の転送において、指定した転送回数の終了による CPU への割り込み要求や、DISEL = 1 による CPU への割り込み要求は発生しません。また、CHNE = 1 の転送は起動要因となった割り込み要因フラグに影響を与えません。

7. データトランスファコントローラ (DTC)

7.3.9 動作タイミング

図 7.10 ~ 7.12 に、DTC の動作タイミングの例を示します。

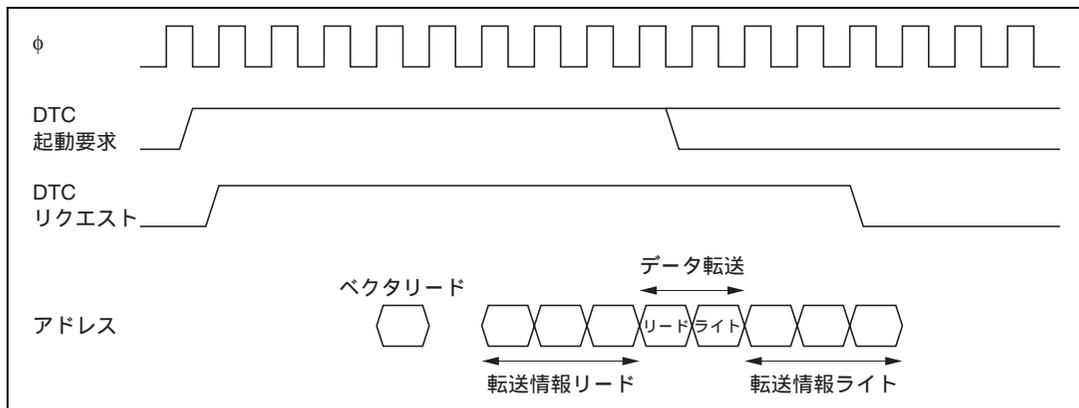


図 7.10 DTC の動作タイミング (ノーマルモード、リピートモードの例)

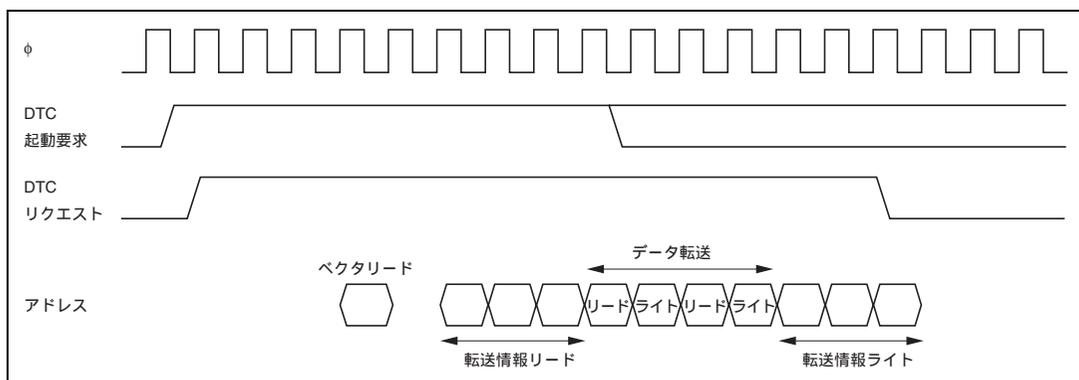


図 7.11 DTC の動作タイミング (ブロック転送モード、ブロックサイズ=2 の例)

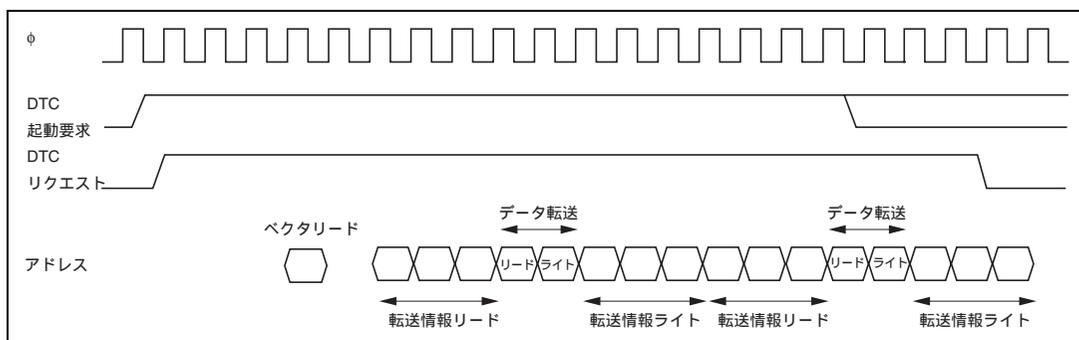


図 7.12 DTC の動作タイミング (チェーン転送の例)

7.3.10 DTC 実行ステート数

表 7.8 に、DTC の 1 回のデータ転送の実行状態を示します。また、表 7.9 に、実行状態に必要なステート数を示します。

表 7.8 DTC の実行状態

モード	ベクタリード I	レジスタ情報 リード/ライト J	データリード K	データライト L	内部動作 M
ノーマル	1	6	1	1	3
リピート	1	6	1	1	3
ブロック転送	1	6	N	N	3

N: ブロックサイズ (CRAH、CRAL の初期設定値)

表 7.9 実行状態に必要なステート数

アクセス対象		内蔵 RAM	内蔵 ROM	内部 I/O レジスタ		外部デバイス			
バス幅		32	16	8	16	8		16	
アクセスステート		1	1	2	2	2	3	2	3
実行 状態	ベクタリード S_I	-	1	-	-	4	6+2m	2	3+m
	レジスタ情報 リード/ライト S_J	1	-	-	-	-	-	-	-
	バイトデータリード S_K	1	1	2	2	2	3+m	2	3+m
	ワードデータリード S_K	1	1	4	2	4	6+2m	2	3+m
	バイトデータライト S_L	1	1	2	2	2	3+m	2	3+m
	ワードデータライト S_L	1	1	4	2	4	6+2m	2	3+m
内部動作 S_M		1							

実行ステート数は次の計算式で計算されます。なお、 Σ は 1 つの起動要因で転送する回数分 (CHNE ビットを 1 にセットした数 + 1) の和を示します。

$$\text{実行ステート数} = I \cdot S_I + \Sigma (J \cdot S_J + K \cdot S_K + L \cdot S_L) + M \cdot S_M$$

たとえば、DTC ベクタアドレスを内蔵 ROM に配置し、ノーマルモードで、内蔵 ROM 内部 I/O レジスタのデータ転送を行った場合、DTC の動作に必要な時間は 13 ステートです。起動からデータライト終了までの時間は 10 ステートです。

7.3.11 DTC 使用手順

(1) 割り込みによる起動

DTC の割り込み起動による使用手順を以下に示します。

- [1] MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
- [2] レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
- [3] DTCERの対応するビットを1にセットします。
- [4] 起動要因となる割り込み要因のイネーブルビットを1にセットします。
要因となる割り込みが発生すると、DTCが起動されます。
- [5] 1回のデータ転送終了後、または、指定した回数のデータ転送終了後、DTCEビットが0にクリアされ、CPUに割り込みが要求されます。引続きDTCによるデータ転送を行う場合には、DTCEを1にセットしてください。

(2) ソフトウェアによる起動

DTC のソフトウェア起動による使用手順を以下に示します。

- [1] MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
- [2] レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
- [3] SWDTE = 0を確認します。
- [4] SWDTEに1を、DTVECRにベクタ番号をライトします。
- [5] DTVECRにライトしたベクタ番号を確認します。
- [6] 1回のデータ転送終了後、DISELビットが0で、CPUに割り込みを要求しない場合、SWDTEビットが0にクリアされます。引続きDTCによるデータ転送を行う場合には、SWDTEを1にセットしてください。DISELビットが1の場合、または指定した回数のデータ転送終了後、SWDTEビットは1に保持され、CPUに割り込みが要求されます。

7.3.12 DTC 使用例

(1) ノーマルモード

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

- [1] MRAはソースアドレス固定 (SM1 = SM0 = 0)、デスティネーションアドレスインクリメント (DM1 = 1、DM0 = 0)、ノーマルモード (MD1 = MD0 = 0)、バイトサイズ (Sz = 0) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のデータ転送 (CHNE = 0、DISEL = 0) を行います。SARはSCIのRDRのアドレス、DARはデータを格納するRAMの先頭アドレス、CRAは128 (H'0080) を設定します。CRBは任意の値とすることができます。
- [2] レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
- [3] DTCERの対応するビットを1にセットします。
- [4] SCIを所定の受信モードに設定します。SCRのRIEビットを1にセットし、受信完了 (RXI) 割り込みを許可します。また、SCIの受信動作中に受信エラーが発生すると、以後の受信が行われませんので、CPUが受信エラー割り込みを受け付けられるようにしてください。
- [5] SCIの1バイトのデータ受信が完了するごとに、SSRのRDRFフラグが1にセットされ、RXI 割り込みが発生し、DTCが起動されます。DTCによって、受信データがRDRからRAMへ転送され、DARのインクリメント、CRAのデクリメントを行います。RDRFフラグは自動的に0にクリアされます。
- [6] 128回のデータ転送終了後、CRAが0になると、RDRFフラグは1のまま保持され、DTCEが0

にクリアされ、CPUにRXI割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

(2) ソフトウェア起動

DTC の使用例として、ソフトウェア起動による 1 ブロック 128 バイトのデータ転送を行う例を示します。転送元アドレスは H'1000、転送先アドレスは H'2000 です。ベクタ番号は H'60、したがって、ベクタアドレスは H'04C0 です。

- [1] MRAはソースアドレスインクリメント (SM1 = 1、SM0 = 0)、デスティネーションアドレスインクリメント (DM1 = 1、DM0 = 0)、ブロック転送モード (MD1 = 1、MD0 = 0)、バイトサイズ (Sz = 0) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のブロック転送 (CHNE = 0) を行います。SARは転送元アドレスで H'1000、DARは転送先アドレスで H'2000、CRAは128 (H'8080) を設定します。CRBは1 (H'0001) をセットします。
- [2] レジスタ情報の先頭アドレスを、DTCベクタアドレス (H'04C0) に設定します。
- [3] DTVECRのSWDTE = 0を確認します。現在、DTCがソフトウェア起動に依る転送を行っていないことの確認です。
- [4] SWDTE = 1とともに、ベクタ番号H'60を、DTVECRにライトします。ライトデータはH'E0です。
- [5] 再度、DTVECRを読み、ベクタ番号H'60が設定されていることを確認します。設定されていないときは、ライトが失敗したことを表します。[3] と [4] の間に割り込みが入り、ここで他のソフトウェアによって起動された場合が、これに相当します。起動したい場合、[3] に戻ってください。
- [6] ライトが成功すると、DTCが起動され、128バイト1ブロックの転送を行います。
- [7] 転送後、SWDTEND割り込みが起動します。割り込み処理ルーチンでSWDTEビットの0クリアなど、終了処理を行ってください。

7.4 割り込み

DTC が指定された回数のデータ転送を終了したとき、および DISEL ビットが 1 にセットされたデータ転送を終了したとき、CPU に対して割り込みを要求します。割り込み起動の場合、起動要因に設定した割り込みが発生します。これらの CPU に対する割り込みは CPU のマスクレベルや割り込みコントローラのプライオリティレベルの制御を受けます。

ソフトウェアによる起動の場合、ソフトウェア起動データ転送終了割り込み (SWDTEND) を発生します。

DISEL ビットが 1 の状態で、1 回のデータ転送を終了した場合、または指定した回数のデータ転送を終了した場合、データ転送終了後に、SWDTE ビットが 1 に保持され、SWDTEND 割り込みが発生します。割り込み処理ルーチンで SWDTE ビットを 0 にクリアしてください。

ソフトウェアで DTC を起動する場合、SWDTE ビットを 1 にセットしても、データ転送待ち、およびデータ転送中は、SWDTEND 割り込みは発生しません。

7.5 使用上の注意

(1) モジュールストップ

MSTPCR の MSTP14 ビットを 1 にセットすると、DTC のクロックが停止し、DTC はモジュールストップ状態となります。ただし、DTC が起動中には MSTP14 ビットに 1 をライトできません。

(2) 内蔵 RAM

MRA、MRB、SAR、DAR、CRA、CRB の各レジスタは、内蔵 RAM に配置します。DTC を使用する場合は、SYSCR の RAME ビットを 0 にクリアしないでください。

(3) DTCE ビットの設定

DTCE ビットの設定は、必ず BSET、BCLR などビット操作命令を使ってリード/ライトしてください。ただし、初期設定に限り、複数の起動要因を一度に設定するときには、割り込みを禁止して、当該レジスタのダミーリードを行ってからライトすることができます。

8. I/O ポート

8.1 概要

本 LSI には、12 本の入出力ポート（ポート 1~3、5、6、A~G）と 1 本の入力専用ポート（ポート 4）があります。

ポート機能一覧を表 8.1 に示します。各ポートの端子機能は兼用になっています。

各ポートは、入出力を制御するデータディレクションレジスタ（DDR）と、出力データを格納するデータレジスタ（DR）と、端子の状態をリードするポートレジスタ（PORT）から構成されています。なお、入力専用ポートには DDR はありません。

ポート A~E には、入力プルアップ MOS が内蔵されており、DDR、DR の他に、入力プルアップ MOS コントロールレジスタ（PCR）で、入力プルアップ MOS のオン/オフを制御します。

ポート 3、A には、オープンドレインコントロールレジスタ（ODR）が内蔵されており、出力バッファの PMOS のオン/オフを制御します。

ポート A~E は 1 個の TTL 負荷と 90pF の容量負荷を駆動することができ、ポート 1~3、5、6、F、G は 1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。すべての入出力ポートは出力時にダーリントントランジスタを駆動することができます。また、ポート 1、A~C は LED を駆動する（シンク電流 10mA）ことができます。

ポート 2、ポート 6₄~6₇、ポート A₄~A₇ はシュミットトリガ入力です。

各ポートのブロック図は、「付録 C I/O ポートのブロック図」を参照してください。

8. I/O ポート

表 8.1 ポートの機能一覧

ポート	概要	端子	モード1	モード2	モード3	モード4	モード5	モード6	モード7
ポート 1	• 8 ビットの入出力ポート	P1 ₇ /TIOCB2/TCLKD P1 ₆ /TIOCA2 P1 ₅ /TIOCB1/TCLKC P1 ₄ /TIOCA1 P1 ₃ /TIOCD0/TCLKB P1 ₂ /TIOCC0/TCLKA P1 ₁ /TIOCB0 P1 ₀ /TIOCA0	TPU の入出力端子 (TCLKA、TCLKB、TCLKC、TCLKD、TIOCA0、TIOCB0、TIOCC0、TIOCD0、TIOCA1、TIOCB1、TIOCA2、TIOCB2) と 8 ビット入出力ポートとの兼用						
ポート 2	• 8 ビットの入出力ポート • シュミットトリガ入力	P2 ₇ /TIOCB5/TMO1 P2 ₆ /TIOCA5/TMO0 P2 ₅ /TIOCB4/TMCI1 P2 ₄ /TIOCA4/TMRI1 P2 ₃ /TIOCD3/TMCI0 P2 ₂ /TIOCC3/TMRI0 P2 ₁ /TIOCB3 P2 ₀ /TIOCA3	TPU の入出力端子 (TIOCA3、TIOCB3、TIOCC3、TIOCD3、TIOCA4、TIOCB4、TIOCA5、TIOCB5) と 8 ビットタイマ (チャンネル 0、1) の入出力端子 (TMRI0、TMCI0、TMO0、TMRI1、TMCI1、TMO1) と 8 ビット入出力ポートとの兼用						
ポート 3	• 6 ビットの入出力ポート • オープンドレイン出力可能	P3 ₅ /SCK1 P3 ₄ /SCK0 P3 ₃ /RxD1 P3 ₂ /RxD0 P3 ₁ /TxD1 P3 ₀ /TxD0	SCI (チャンネル 0、1) の入出力端子 (TxD0、RxD0、SCK0、TxD1、RxD1、SCK1) と 6 ビット入出力ポートの兼用						
ポート 4	• 8 ビットの入力ポート	P4 ₇ /AN7/DA1* ¹ P4 ₆ /AN6/DA0* ¹ P4 ₅ /AN5 P4 ₄ /AN4 P4 ₃ /AN3 P4 ₂ /AN2 P4 ₁ /AN1 P4 ₀ /AN0	A/D 変換器のアナログ入力 (AN7 ~ AN0) と D/A 変換器のアナログ出力 (DA1、DA0) * ¹ と 8 ビット入力ポートの兼用						
ポート 5	• 4 ビットの入出力ポート	P5 ₃ /ADTRG P5 ₂ /SCK2 P5 ₁ /RxD2 P5 ₀ /TxD2	SCI (チャンネル 2) の入出力端子 (TxD2、RxD2、SCK2) と A/D 変換器の入力端子 (ADTRG) と 4 ビット入出力ポートの兼用						
ポート 6	• 8 ビットの入出力ポート • シュミットトリガ入力 (P6 ₄ ~ P6 ₇)	P6 ₆ /IRQ3/CS7 P6 ₅ /IRQ2/CS6 P6 ₄ /IRQ1 P6 ₃ /IRQ0 P6 ₂ P6 ₁ /CS5 P6 ₀ /CS4	割り込み入力端子 (IRQ0 ~ IRQ3) と 8 ビット入出力ポートの兼用		パス制御出力端子 (CS4 ~ CS7) と割り込み入力端子 (IRQ0 ~ IRQ3) と 8 ビット入出力ポートの兼用			割り込み入力端子 (IRQ0 ~ IRQ3) と 8 ビット入出力ポートの兼用	

ポート	概要	端子	モード 1	モード 2	モード 3	モード 4	モード 5	モード 6	モード 7
ポート A	<ul style="list-style-type: none"> 8ビットの入出力ポート 入力プルアップ MOS 内蔵 オープンドレイン出力可能 シュミットトリガ入力 (PA₄ ~ PA₇) 	PA ₇ /A ₂₃ /IRQ7 PA ₆ /A ₂₂ /IRQ6 PA ₅ /A ₂₁ /IRQ5	割り込み入力端子 (IRQ7 ~ IRQ4) と入出力ポートの兼用			DDR=0 のとき (リセット後) 割り込み入力端子 (IRQ7 ~ IRQ5) と入力ポートの兼用 DDR=1 のとき アドレス出力	DDR=0 のとき (リセット後) 割り込み入力端子 (IRQ7 ~ IRQ4) と入力ポートの兼用 DDR=1 のときアドレス出力	割り込み入力端子 (IRQ7 ~ IRQ4) と入出力ポートの兼用	
		PA ₄ /A ₂₀ /IRQ4							アドレス出力
		PA ₃ /A ₁₉ ~ PA ₀ /A ₁₆	入出力ポート	アドレス出力	DDR=0 のとき (リセット後) 入力ポート DDR=1 のときアドレス出力	入出力ポート	アドレス出力	DDR=0 のとき (リセット後) 入力ポート DDR=1 のときアドレス出力	入出力ポート
ポート B	<ul style="list-style-type: none"> 8ビットの入出力ポート 入力プルアップ MOS 内蔵 	PB ₇ /A ₁₅ ~ PB ₀ /A ₈	アドレス出力	DDR=0 のとき (リセット後) 入力ポート DDR=1 のときアドレス出力	入出力ポート	アドレス出力	DDR=0 のとき (リセット後) 入力ポート DDR=1 のときアドレス出力	入出力ポート	
ポート C	<ul style="list-style-type: none"> 8ビットの入出力ポート 入力プルアップ MOS 内蔵 	PC ₇ /A ₇ ~ PC ₀ /A ₀	アドレス出力	DDR=0 のとき (リセット後) 入力ポート DDR=1 のときアドレス出力	入出力ポート	アドレス出力	DDR=0 のとき (リセット後) 入力ポート DDR=1 のときアドレス出力	入出力ポート	
ポート D	<ul style="list-style-type: none"> 8ビットの入出力ポート 入力プルアップ MOS 内蔵 	PD ₇ /D ₁₅ ~ PD ₀ /D ₈	データバス入出力	入出力ポート	データバス入出力	データバス入出力	入出力ポート		
ポート E	<ul style="list-style-type: none"> 8ビットの入出力ポート 入力プルアップ MOS 内蔵 	PE ₇ /D ₇ ~ PE ₀ /D ₀	8ビットバスモードのとき入出力ポート 16ビットバスモードのときデータバス入出力	入出力ポート	8ビットバスモードのとき入出力ポート 16ビットバスモードのときデータバス入出力	入出力ポート			

8. I/O ポート

ポート	概要	端子	モード 1	モード 2	モード 3	モード 4	モード 5	モード 6	モード 7
ポート F	• 8 ビットの 入出力ポート	PF ₇ /φ	DDR=0 のとき入力 ポート DDR=1 のとき(リ セット後)φ出力		DDR=0 の とき(リセ ット後)入 力ポート DDR=1 の ときφ出力	DDR=0 のとき入力ポート DDR=1 のとき(リセット後) φ出力		DDR=0 の とき(リセ ット後)入 力ポート DDR=1 の ときφ出力	
		PF ₆ /AS PF ₅ /RD PF ₄ /HWR PF ₃ /LWR	AS、RD、HWR、LWR 出力		入出力 ポート	AS、RD、HWR、LWR 出力		入出力 ポート	
		PF ₂ /WAIT	WAITE=0 のとき (リセット後)入出 力ポート WAITE=1 のとき入 力			WAITE=0 のとき(リセット 後)入出力ポート WAITE=1 のとき WAIT 入力			
		PF ₁ /BACK PF ₀ /BREQ	BRLE=0 のとき(リ セット後)入出力ポ ート BRLE=1 のとき BREQ 入力、BACK 出力			BRLE=0 のとき(リセット後) 入出力ポート BRLE=1 のとき BREQ 入力、BACK 出力			
ポート G	• 5 ビットの 入出力ポート	PG ₄ /CS0	DDR=0 のとき* ² 入 力ポート DDR=1 のとき* ³ CS0 出力		入出力 ポート	DDR=0 のとき* ¹ 入力ポート DDR=1 のとき* ² CS0 出力		入出力 ポート	
		PG ₃ /CS1 PG ₂ /CS2 PG ₁ /CS3	入出力ポート			DDR=0 のとき(リセット後) 入力ポート DDR=1 のとき CS1、CS2、 CS3 出力			
		PG0				入出力ポート			

【注】 *1 H8S/2393 では D/A 変換器を内蔵していませんので、DA0、DA1 出力はありません。

*2 モード 2、6 のリセット後

*3 モード 1、4、5 のリセット後

8.2 ポート 1

8.2.1 概要

ポート 1 は、8 ビットの入出力ポートです。ポート 1 は、TPU の入出力端子 (TCLKA、TCLKB、TCLKC、TCLKD、TIOCA0、TIOCB0、TIOCC0、TIOCD0、TIOCA1、TIOCB1、TIOCA2、TIOCB2) と兼用になっています。ポート 1 の端子機能はいずれの動作モードでも共通です。

ポート 1 の各端子の構成を図 8.1 に示します。

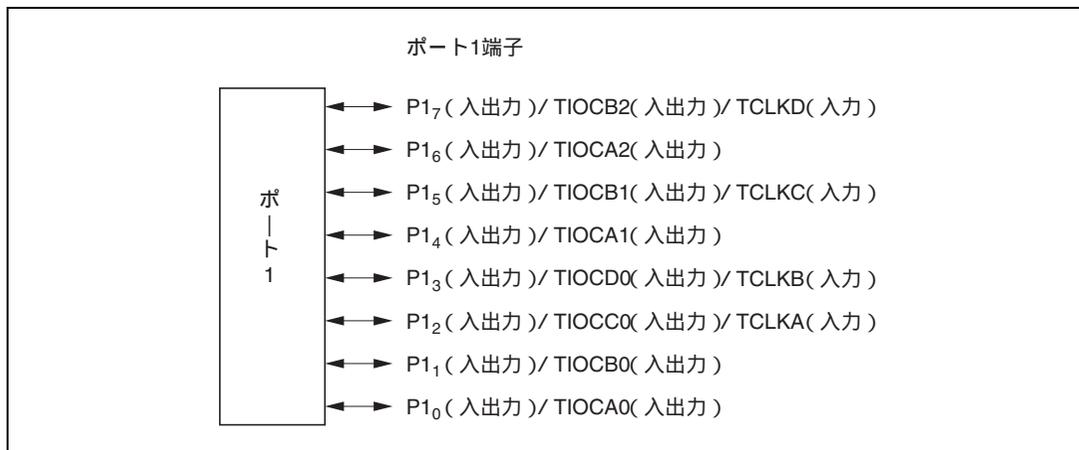


図 8.1 ポート 1 の端子機能

8.2.2 レジスタ構成

表 8.2 にポート 1 のレジスタ構成を示します。

表 8.2 ポート 1 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート 1 データディレクションレジスタ	P1DDR	W	H'00	H'FEB0
ポート 1 データレジスタ	P1DR	R/W	H'00	H'FF60
ポート 1 レジスタ	PORT1	R	不定	H'FF50

【注】 * アドレスの下位 16 ビットを示しています。

8. I/O ポート

(1) ポート 1 データディレクションレジスタ (P1DDR)

ビット :	7	6	5	4	3	2	1	0
	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

P1DDR は、8 ビットのライト専用レジスタで、ポート 1 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

P1DDR を 1 にセットすると対応するポート 1 の各端子は出力となり、0 にクリアすると入力になります。

P1DDR は、パワーオンリセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、P1DDR は直前の状態を保持します。マニュアルリセットでは、TPU は初期化されるため、P1DDR、P1DR の指定によって端子状態が決定されます。

(2) ポート 1 データレジスタ (P1DR)

ビット :	7	6	5	4	3	2	1	0
	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

P1DR は、8 ビットのリード/ライト可能なレジスタで、ポート 1 の各端子 (P1₇ ~ P1₀) の出力データを格納します。

P1DR は、パワーオンリセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート 1 レジスタ (PORT1)

ビット :	7	6	5	4	3	2	1	0
	P17	P16	P15	P14	P13	P12	P11	P10
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* P1₇ ~ P1₀端子の状態により決定されます。

PORT1 は、8 ビットのリード専用レジスタで、ライトは無効です。端子の状態を反映します。ポート 1 の各端子 (P1₇ ~ P1₀) の出力データのライトは必ず P1DR に対して行ってください。

P1DDR が 1 にセットされているとき、ポート 1 のリードを行うと P1DR の値をリードします。P1DDR が 0 にクリアされているとき、ポート 1 のリードを行うと端子の状態が読み出されます。

PORT1 は、パワーオンリセットまたはハードウェアスタンバイモードでは P1DDR、P1DR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

8.2.3 端子機能

ポート 1 の各端子は、TPU の入出力端子 (TCLKA、TCLKB、TCLKC、TCLKD、TIOCA0、TIOCB0、TIOCC0、TIOCD0、TIOCA1、TIOCB1、TIOCA2、TIOCB2) と兼用になっています。ポート 1 の端子機能を表 8.3 に示します。

表 8.3 ポート 1 の端子機能

端子	選択方法と端子機能						
P1 ₇ / TIOCB2/ TCLKD	TMDR2 の MD3 ~ MD0 ビット、TIOCB2 の IOB3 ~ IOB0 ビット、TCR2 の CCLR1、CCLR0 ビットによる TPU チャネル 2 の設定、TCR0、TCR5 の TPSC2 ~ TPSC0 ビット、および P17DDR ビットの組み合わせにより、次のように切り替わります。						
	TPUチャネル2の設定	下表 (1)		下表 (2)			
	P17DDR	-		0	1		
	端子機能	TIOCB2出力		P1 ₇ 入力	P1 ₇ 出力		
				TIOCB2入力*1			
		TCLKD入力*2					
	<p>【注】 *1 MD3 ~ MD0 = B'0000、B'01xx、かつ IOB3 = 1 の場合に TIOCB2 入力となります。</p> <p>*2 TCR0、TCR5 のいずれかの設定が TPSC2 ~ TPSC0 = B'111 の場合に TCLKD 入力となります。</p> <p>また、チャネル 2、4 を位相計数モードに設定すると、TCLKD 入力となります。</p>						
	TPUチャネル2の設定	(2)	(1)	(2)	(2)	(1)	(2)
	MD3 ~ MD0	B'0000、B'01xx		B'0010	B'0011		
	IOB3 ~ IOB0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	-	B'xx00	B'xx00以外	
	CCLR1、CCLR0	-	-	-	-	B'10以外	B'10
	出力機能	-	アウトプットコンペア出力	-	-	PWMモード2出力	-
	【記号説明】 x : Don't care						

8. I/O ポート

端子	選択方法と端子機能						
P1 ₆ / TIOCA2	TMDR2 の MD3 ~ MD0 ビット、TIOA2 の IOA3 ~ IOA0 ビット、TCR2 の CCLR1、CCLR0 ビットによる TPU チャネル 2 の設定、および P16DDR ビットの組み合わせにより、次のように切り替わります。						
	TPUチャネル2の設定	下表(1)		下表(2)			
	P16DDR	-		0	1		
	端子機能	TIOCA2出力		P1 ₆ 入力	P1 ₆ 出力		
				TIOCA2入力*1			
	【注】 *1 MD3 ~ MD0 = B'0000、B'01xx かつ IOA3 = 1 の場合に TIOCA2 入力となります。						
	TPUチャネル2の設定	(2)	(1)	(2)	(1)	(1)	(2)
	MD3 ~ MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
	IOA3 ~ IOA0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00以外	B'xx00以外	
	CCLR1、CCLR0	-	-	-	-	B'01以外	B'01
	出力機能	-	アウトプット コンペア出力	-	PWM *2 モード1出力	PWM モード2出力	-
	【記号説明】 x : Don't care						
	【注】 *2 TIOCB2 は出力禁止となります。						

端子	選択方法と端子機能						
P1 ₅ / TIOCB1/ TCLKC	TMDR1 の MD3 ~ MD0 ビット、TIOR1 の IOB3 ~ IOB0 ビット、TCR1 の CCLR1、CCLR0 ビットによる TPU チャンネル 1 の設定、TCR0、TCR2、TCR4、TCR5 の TPSC2 ~ TPSC0 ビット、および P15DDR ビットの組み合わせにより、次のように切り替わります。						
TPUチャンネル1の設定		下表(1)		下表(2)			
P15DDR		-		0	1		
端子機能		TIOCB1出力		P1 ₅ 入力	P1 ₅ 出力		
				TIOCB1入力*1			
TCLKC入力*2							
<p>【注】 *1 MD3 ~ MD0 = B'0000、B'01xx かつ IOB3 ~ IOB0 = B'10xx の場合に TIOCB1 入力となります。</p> <p>*2 TCR0、TCR2 のいずれかの設定が TPSC2 ~ TPSC0 = B'110 または TCR4、TCR5 のいずれかの設定が TPSC2 ~ TPSC0 = B'101 の場合に TCLKC 入力となります。また、チャンネル 2、4 を位相計数モードに設定すると、TCLKC 入力となります。</p>							
TPUチャンネル1の設定		(2)	(1)	(2)	(2)	(1)	(2)
MD3 ~ MD0		B'0000、B'01xx		B'0010	B'0011		
IOB3 ~ IOB0		B'0000	B'0001 ~ B'0011	-	B'xx00	B'xx00以外	
		B'0100	B'0101 ~ B'0111				
		B'1xxx					
CCLR1、CCLR0		-	-	-	-	B'10以外	B'10
出力機能		-	アウトプットコンペア出力	-	-	PWMモード2出力	-
【記号説明】 x : Don't care							

8. I/O ポート

端子	選択方法と端子機能						
P1 ₄ / TIOCA1	TMDR1 の MD3 ~ MD0 ビット、TIOR1 の IOA3 ~ IOA0 ビット、TCR1 の CCLR1、CCLR0 ビットによる TPU チャンネル 1 の設定、および P14DDR ビットの組み合わせにより、次のように切り替わります。						
	TPUチャンネル1の設定	下表(1)		下表(2)			
	P14DDR	-		0	1		
	端子機能	TIOCA1出力		P1 ₄ 入力	P1 ₄ 出力		
				TIOCA1入力*1			
	【注】 *1 MD3 ~ MD0 = B'0000、B'01xx、かつ IOA3 ~ IOA0 = B'10xx の場合に TIOCA1 入力となります。						
	TPUチャンネル1の設定	(2)	(1)	(2)	(1)	(1)	(2)
	MD3 ~ MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
	IOA3 ~ IOA0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00以外	B'xx00以外	
	CCLR1、CCLR0	-	-	-	-	B'01以外	B'01
	出力機能	-	アウトプット コンペア出力	-	PWM *2 モード1出力	PWM モード2出力	-
	【記号説明】 x : Don't care						
	【注】 *2 TIOCB1 は出力禁止となります。						

端子	選択方法と端子機能						
P1 ₃ / TIOCD0/ TCLKB	TMDR0のMD3～MD0ビット、TIOR0LのIOD3～IOD0ビット、TCR0のCCLR2～CCLR0ビットによるTPUチャンネル0の設定、TCR0～TCR2のTPSC2～TPSC0ビット、およびP13DDRビットの組み合わせにより、次のように切り替わります。						
	TPUチャンネル0の設定	下表(1)		下表(2)			
	P13DDR	-		0	1		
	端子機能	TIOCD0出力		P1 ₃ 入力	P1 ₃ 出力		
				TIOCD0入力*1			
		TCLKB入力*2					
	<p>【注】 *1 MD3～MD0 = B'0000、かつ IOD3～IOD0 = B'10xx の場合に TIOCD0 入力となります。</p> <p>*2 TCR0～TCR2 のいずれかの設定が TPSC2～TPSC0 = B'101 の場合に TCLKB 入力となります。</p> <p>また、チャンネル 1、5 を位相計数モードに設定すると TCLKB 入力となります。</p>						
	TPUチャンネル0の設定	(2)	(1)	(2)	(2)	(1)	(2)
	MD3～MD0	B'0000		B'0010	B'0011		
	IOD3～IOD0	B'0000	B'0001～B'0011	-	B'xx00	B'xx00以外	
		B'0100	B'0101～B'0111				
		B'1xxx					
	CCLR2～CCLR0	-	-	-	-	B'110以外	B'110
	出力機能	-	アウトプットコンペア出力	-	-	PWMモード2出力	-
	【記号説明】 x : Don't care						

8. I/O ポート

端子	選択方法と端子機能						
P1 ₂ / TIOCC0/ TCLKA	TMDR0のMD3～MD0ビット、TIOR0LのIOC3～IOC0ビット、TCR0のCCLR2～CCLR0ビットによるTPUチャンネル0の設定、TCR0～TCR5のTPSC2～TPSC0ビット、およびP12DDRビットの組み合わせにより、次のように切り替わります。						
	TPUチャンネル0の設定	下表(1)		下表(2)			
	P12DDR	-		0	1		
	端子機能	TIOCC0出力		P1 ₂ 入力	P1 ₂ 出力		
				TIOCC0入力*1			
		TCLKA入力*2					
	<p>【注】 *1 MD3～MD0 = B'0000、かつ IOC3～IOC0 = B'10xx の場合に TIOCC0 入力となります。</p> <p>*2 TCR0～TCR5 のいずれかの設定が TPSC2～TPSC0 = B'100 の場合に TCLKA 入力となります。</p> <p>また、チャンネル1、5を位相計数モードに設定すると TCLKA 入力となります。</p>						
	TPUチャンネル0の設定	(2)	(1)	(2)	(1)	(1)	(2)
	MD3～MD0	B'0000		B'001x	B'0010	B'0011	
	IOC3～IOC0	B'0000	B'0001～B'0011	B'xx00	B'xx00以外		B'xx00以外
		B'0100	B'0101～B'0111				
		B'1xxx					
	CCLR2～CCLR0	-	-	-	-	B'101以外	B'101
	出力機能	-	アウトプット コンペア出力	-	PWM *3 モード1出力	PWM モード2出力	-
	<p>【記号説明】 x : Don't care</p> <p>【注】 *3 TIOCC0は出力禁止となります。 TMDR0のBFA = 1またはBFB = 1のときは出力禁止で(2)の設定になります。</p>						

端子	選択方法と端子機能						
P1 ₇ / TIOCB0	TMDR0のMD3～MD0ビット、TIOR0HのIOB3～IOB0ビットによるTPUチャンネル0の設定、およびP11DDRビットの組み合わせにより、次のように切り替わります。						
	TPUチャンネル0の設定	下表(1)		下表(2)			
	P11DDR	-		0	1		
	端子機能	TIOCB0出力		P1 ₁ 入力	P1 ₁ 出力		
				TIOCB0入力*1			
	【注】 *1 MD3～MD0 = B'0000、かつ IOB3～IOB0 = B'10xx の場合に TIOCB0 入力となります。						
	TPUチャンネル0の設定	(2)	(1)	(2)	(2)	(1)	(2)
	MD3～MD0	B'0000		B'0010	B'0011		
	IOB3～IOB0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	-	B'xx00	B'xx00以外	
	CCLR2～CCLR0	-	-	-	-	B'010以外	B'010
	出力機能	-	アウトプットコンペア出力	-	-	PWMモード2出力	-
	【記号説明】 x : Don't care						

8. I/O ポート

端子	選択方法と端子機能						
P1/ TIOCA0	TMDR0のMD3～MD0ビット、TIOR0HのIOA3～IOA0ビット、TCR0のCCLR2～CCLR0ビットによるTPUチャンネル0の設定、およびP10DDRビットの組み合わせにより、次のように切り替わります。						
	TPUチャンネル0の設定	下表(1)		下表(2)			
	P10DDR	-		0	1		
	端子機能	TIOCA0出力		P1 ₀ 入力	P1 ₀ 出力		
				TIOCA0入力*1			
	【注】 *1 MD3～MD0 = B'0000、かつ IOA3～IOA0 = B'10xx の場合に TIOCA0 入力となります。						
	TPUチャンネル0の設定	(2)	(1)	(2)	(1)	(1)	(2)
	MD3～MD0	B'0000		B'001x	B'0010	B'0011	
	IOA3～IOA0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	B'xx00	B'xx00以外	B'xx00以外	
	CCLR2～CCLR0	-	-	-	-	B'001以外	B'001
	出力機能	-	アウトプット コンペア出力	-	PWM *2 モード1出力	PWM モード2出力	-
	【記号説明】 x : Don't care						
	【注】 *2 TIOCB0 は出力禁止となります。						

8.3 ポート 2

8.3.1 概要

ポート 2 は、8 ビットの入出力ポートです。ポート 2 は、TPU の入出力端子 (TIOCA3、TIOCB3、TIOCC3、TIOCD3、TIOCA4、TIOCB4、TIOCA5、TIOCB5)、8 ビットタイマの入出力端子 (TMRI0、TMCI0、TMO0、TMRI1、TMCI1、TMO1) と兼用になっています。ポート 2 の端子機能はいずれの動作モードでも共通です。ポート 2 はシュミットトリガ入力です。

ポート 2 の各端子の構成を図 8.2 に示します。

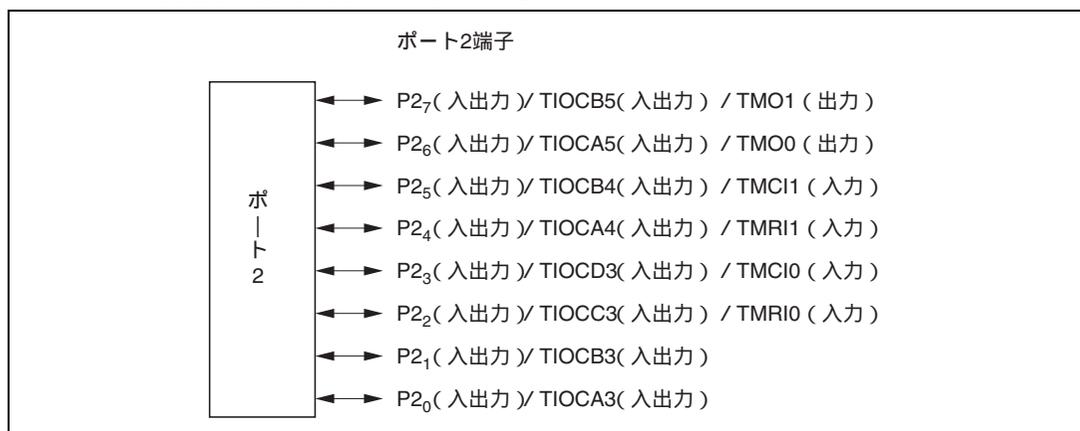


図 8.2 ポート 2 の端子機能

8.3.2 レジスタ構成

表 8.4 にポート 2 のレジスタ構成を示します。

表 8.4 ポート 2 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート 2 データディレクションレジスタ	P2DDR	W	H'00	H'FEB1
ポート 2 データレジスタ	P2DR	R/W	H'00	H'FF61
ポート 2 レジスタ	PORT2	R	不定	H'FF51

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート 2 データディレクションレジスタ (P2DDR)

ビット :	7	6	5	4	3	2	1	0
	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

P2DDR は、8 ビットのライト専用レジスタで、ポート 2 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

P2DDR を 1 にセットすると対応するポート 2 の各端子は出力となり、0 にクリアすると入力になります。

8. I/O ポート

パワーオンリセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。また、マニュアルリセットまたはソフトウェアスタンバイモードでは、P2DDR は直前の状態を保持します。マニュアルリセットでは、TPU、8 ビットタイマは初期化されるため、P2DDR、P2DR の指定によって端子状態が決定されます。

(2) ポート 2 データレジスタ (P2DR)

ビット :	7	6	5	4	3	2	1	0
	P27DR	P26DR	P25DR	P24DR	P23DR	P22DR	P21DR	P20DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

P2DR は、8 ビットのリード/ライト可能なレジスタで、ポート 2 の各端子 (P₂₇ ~ P₂₀) の出力データを格納します。

P2DR は、パワーオンリセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート 2 レジスタ (PORT2)

ビット :	7	6	5	4	3	2	1	0
	P27	P26	P25	P24	P23	P22	P21	P20
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* P₂₇ ~ P₂₀端子の状態により決定されます。

PORT2 は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート 2 の各端子 (P₂₇ ~ P₂₀) の出力データのライトは必ず P2DR に対して行ってください。

P2DDR が 1 にセットされているとき、ポート 2 のリードを行うと P2DR の値をリードします。P2DDR が 0 にクリアされているとき、ポート 2 のリードを行うと端子の状態が読み出されます。

PORT2 は、パワーオンリセットまたはハードウェアスタンバイモードでは、P2DDR、P2DR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

8.3.3 端子機能

ポート2の各端子は、TPUの入出力端子(TIOCA3、TIOCB3、TIOCC3、TIOCD3、TIOCA4、TIOCB4、TIOCA5、TIOCB5)、8ビットタイマの入出力端子(TMRI0、TMCI0、TMO0、TMRI1、TMCI1、TMO1)と兼用になっています。ポート2の端子機能を表8.5に示します。

表 8.5 ポート2の端子機能

端子	選択方法と端子機能						
P2/ TIOCB5/ TMO1	TMDR5のMD3～MD0ビット、TIOB5のIOB3～IOB0ビット、TCR5のCCLR1、CCLR0ビットによるTPUチャンネル5の設定、8ビットタイマのTCSR1のOS3～OS0ビット、およびP27DDRビットの組み合わせにより、次のように切り替わります。						
	OS3～OS0	すべてが0			いずれかが1		
	TPUチャンネル5の設定	下表(1)	下表(2)		-		
	P27DDR	-	0	1	-		
	端子機能	TIOCB5出力	P2 ₇ 入力	P2 ₇ 出力	TMO1出力		
			TIOCB5入力*1				
	【注】 *1 MD3～MD0=B'0000、B'01xx、かつIOB3=1の場合にTIOCB5入力となります。						
	TPUチャンネル5の設定	(2)	(1)	(2)	(2)	(1)	(2)
	MD3～MD0	B'0000、B'01xx		B'0010	B'0011		
	IOB3～IOB0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	-	B'xx00	B'xx00以外	
	CCLR1、CCLR0	-	-	-	-	B'10以外	B'10
	出力機能	-	アウトプットコンペア出力	-	-	PWMモード2出力	-
	【記号説明】 x : Don't care						

8. I/O ポート

端子	選択方法と端子機能						
P2 ₆ / TIOCA5/ TMO0	TMDR5 の MD3 ~ MD0 ビット、TIOA5 の IOA3 ~ IOA0 ビット、TCR5 の CCLR1、CCLR0 ビットによる TPU チャネル 5 の設定、8 ビットタイマの TCSR0 の OS3 ~ OS0 ビット、および P26DDR ビットの組み合わせにより、次のように切り替わります。						
	OS3 ~ OS0	すべてが0			いずれかが1		
	TPUチャネル5の設定	下表(1)	下表(2)		-		
	P26DDR	-	0	1	-		
	端子機能	TIOCA5出力	P2 ₆ 入力	P2 ₆ 出力	TMO0出力		
			TIOCA5入力*1				
	【注】 *1 MD3 ~ MD0 = B'0000、B'01xx かつ IOA3 = 1 の場合に TIOCA5 入力となります。						
	TPUチャネル5の設定	(2)	(1)	(2)	(1)	(1)	(2)
	MD3 ~ MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
	IOA3 ~ IOA0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00以外	B'xx00以外	
	CCLR1、CCLR0	-	-	-	-	B'01以外	B'01
	出力機能	-	アウトプット コンペア出力	-	PWM *2 モード1出力	PWM モード2出力	-
	【記号説明】 x : Don't care						
	【注】 *2 TIOCB5 は出力禁止となります。						

端子	選択方法と端子機能																																																					
P2 ₅ / TIOCB4/ TMC11	<p>8ビットタイマの外部クロック入力端子として使用する場合は、TCR1のCKS2～CKS0ビットで外部クロックを選択します。TMDR4のMD3～MD0ビット、TIOR4のIOB3～IOB0ビット、TCR4のCCLR1、CCLR0ビットによるTPUチャンネル4の設定、およびP25DDRビットの組み合わせにより、次のように切り替わります。</p> <table border="1" data-bbox="326 426 1197 649"> <thead> <tr> <th data-bbox="326 426 522 465">TPUチャンネル4の設定</th> <th data-bbox="522 426 746 465">下表(1)</th> <th colspan="2" data-bbox="746 426 1197 465">下表(2)</th> </tr> </thead> <tbody> <tr> <td data-bbox="326 465 522 513">P25DDR</td> <td data-bbox="522 465 746 513">-</td> <td data-bbox="746 465 970 513">0</td> <td data-bbox="970 465 1197 513">1</td> </tr> <tr> <td data-bbox="326 513 522 604" rowspan="2">端子機能</td> <td data-bbox="522 513 746 604" rowspan="2">TIOCB4出力</td> <td colspan="2" data-bbox="746 513 1197 562">P2₅入力</td> </tr> <tr> <td colspan="2" data-bbox="746 562 1197 604">TIOCB4入力*</td> </tr> <tr> <td colspan="4" data-bbox="326 604 1197 649">TMC11入力</td> </tr> </tbody> </table> <p>【注】 * MD3～MD0 = B'0000、B'01xx かつ IOB3～IOB0 = B'10xx の場合に TIOCB4 入力となります。</p> <table border="1" data-bbox="326 745 1197 1058"> <thead> <tr> <th data-bbox="326 745 522 784">TPUチャンネル4の設定</th> <th data-bbox="522 745 600 784">(2)</th> <th data-bbox="600 745 828 784">(1)</th> <th data-bbox="828 745 906 784">(2)</th> <th data-bbox="906 745 985 784">(2)</th> <th data-bbox="985 745 1063 784">(1)</th> <th data-bbox="1063 745 1197 784">(2)</th> </tr> </thead> <tbody> <tr> <td data-bbox="326 784 522 832">MD3～MD0</td> <td colspan="2" data-bbox="522 784 828 832">B'0000、B'01xx</td> <td data-bbox="828 784 906 832">B'0010</td> <td colspan="3" data-bbox="906 784 1197 832">B'0011</td> </tr> <tr> <td data-bbox="326 832 522 967">IOB3～IOB0</td> <td data-bbox="522 832 600 967">B'0000 B'0100 B'1xxx</td> <td data-bbox="600 832 828 967">B'0001～B'0011 B'0101～B'0111</td> <td data-bbox="828 832 906 967">-</td> <td data-bbox="906 832 985 967">B'xx00</td> <td colspan="2" data-bbox="985 832 1197 967">B'xx00以外</td> </tr> <tr> <td data-bbox="326 967 522 1016">CCLR1、CCLR0</td> <td data-bbox="522 967 600 1016">-</td> <td data-bbox="600 967 828 1016">-</td> <td data-bbox="828 967 906 1016">-</td> <td data-bbox="906 967 985 1016">-</td> <td data-bbox="985 967 1063 1016">B'10以外</td> <td data-bbox="1063 967 1197 1016">B'10</td> </tr> <tr> <td data-bbox="326 1016 522 1058">出力機能</td> <td data-bbox="522 1016 600 1058">-</td> <td data-bbox="600 1016 828 1058">アウトプットコンペア出力</td> <td data-bbox="828 1016 906 1058">-</td> <td data-bbox="906 1016 985 1058">-</td> <td data-bbox="985 1016 1063 1058">PWMモード2出力</td> <td data-bbox="1063 1016 1197 1058">-</td> </tr> </tbody> </table> <p>【記号説明】 x : Don't care</p>	TPUチャンネル4の設定	下表(1)	下表(2)		P25DDR	-	0	1	端子機能	TIOCB4出力	P2 ₅ 入力		TIOCB4入力*		TMC11入力				TPUチャンネル4の設定	(2)	(1)	(2)	(2)	(1)	(2)	MD3～MD0	B'0000、B'01xx		B'0010	B'0011			IOB3～IOB0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	-	B'xx00	B'xx00以外		CCLR1、CCLR0	-	-	-	-	B'10以外	B'10	出力機能	-	アウトプットコンペア出力	-	-	PWMモード2出力	-
TPUチャンネル4の設定	下表(1)	下表(2)																																																				
P25DDR	-	0	1																																																			
端子機能	TIOCB4出力	P2 ₅ 入力																																																				
		TIOCB4入力*																																																				
TMC11入力																																																						
TPUチャンネル4の設定	(2)	(1)	(2)	(2)	(1)	(2)																																																
MD3～MD0	B'0000、B'01xx		B'0010	B'0011																																																		
IOB3～IOB0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	-	B'xx00	B'xx00以外																																																	
CCLR1、CCLR0	-	-	-	-	B'10以外	B'10																																																
出力機能	-	アウトプットコンペア出力	-	-	PWMモード2出力	-																																																

8. I/O ポート

端子	選択方法と端子機能						
P2 ₄ / TIOCA4/ TMRI1	8ビットタイマのカウンタリセットとして使用する場合は、TCR1のCCLR1、CCLR0のビットをそれぞれ1にセットします。TMDR4のMD3～MD0ビット、TIOR4のIOA3～IOA0ビット、TCR4のCCLR1、CCLR0ビットによるTPUチャンネル4の設定、およびP24DDRビットの組み合わせにより、次のように切り替わります。						
	TPUチャンネル4の設定	下表(1)		下表(2)			
	P24DDR	-		0	1		
	端子機能	TIOCA4出力		P2 ₄ 入力	P2 ₄ 出力		
				TIOCA4入力*1			
		TMRI1					
	【注】 *1 MD3～MD0 = B'0000、B'01xx、かつ IOA3～IOA0 = B'10xx の場合に TIOCA4 入力となります。						
	TPUチャンネル4の設定	(2)	(1)	(2)	(1)	(1)	(2)
	MD3～MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
	IOA3～IOA0	B'0000	B'0001～B'0011	B'xx00	B'xx00以外	B'xx00以外	
		B'0100	B'0101～B'0111				
		B'1xxx					
	CCLR1、CCLR0	-	-	-	-	B'01以外	B'01
	出力機能	-	アウトプット コンペア出力	-	PWM *2 モード1出力	PWM モード2出力	-
	【記号説明】 x : Don't care						
	【注】 *2 TIOCB4 は出力禁止となります。						

端子	選択方法と端子機能						
P2 ₃ / TIOCD3/ TMCIO	8ビットタイマの外部クロック入力端子として使用する場合は、TCR0のCKS2～CKS0ビットで外部クロックを選択します。TMDR3のMD3～MD0ビット、TIOCD3のIOD3～IOD0ビット、TCR3のCCLR2～CCLR0ビットによるTPUチャンネル3の設定、およびP23DDRビットの組み合わせにより、次のように切り替わります。						
TPUチャンネル3の設定		下表(1)		下表(2)			
P23DDR		-		0	1		
端子機能		TIOCD3出力		P2 ₃ 入力	P2 ₃ 出力		
		TIOCD3入力*					
		TMCIO					
【注】 * MD3～MD0 = B'0000、かつ IOD3～IOD0 = B'10xx の場合に TIOCD3 入力となります。							
TPUチャンネル3の設定		(2)	(1)	(2)	(2)	(1)	(2)
MD3～MD0		B'0000		B'0010	B'0011		
IOD3～IOD0		B'0000	B'0001～B'0011	-	B'xx00	B'xx00以外	
		B'0100	B'0101～B'0111				
		B'1xxx					
CCLR2～CCLR0		-	-	-	-	B'110以外	B'110
出力機能		-	アウトプットコンペア出力	-	-	PWMモード2出力	-
【記号説明】 x : Don't care							

8. I/O ポート

端子	選択方法と端子機能																																																					
P2/ TIOCC3/ TMRIO	<p>8ビットタイマのカウンタリセットとして使用する場合は、TCR0のCCLR1、CCLR0ビットをそれぞれ1にセットします。TMDR3のMD3～MD0ビット、TIOR3LのIOC3～IOC0ビット、TCR3のCCLR2～CCLR0ビットによるTPUチャンネル3の設定、およびP22DDRビットの組み合わせにより、次のように切り替わります。</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: left;">TPUチャンネル3の設定</th> <th style="text-align: center;">下表(1)</th> <th colspan="2" style="text-align: center;">下表(2)</th> </tr> </thead> <tbody> <tr> <td>P22DDR</td> <td style="text-align: center;">-</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> </tr> <tr> <td rowspan="2" style="text-align: left;">端子機能</td> <td rowspan="2" style="text-align: center;">TIOCC3出力</td> <td style="text-align: center;">P2₂入力</td> <td style="text-align: center;">P2₂出力</td> </tr> <tr> <td colspan="2" style="text-align: center;">TIOCC3入力*1</td> </tr> <tr> <td></td> <td colspan="3" style="text-align: center;">TMRIO</td> </tr> </tbody> </table> <p>【注】 *1 MD3～MD0 = B'0000、かつ IOC3～IOC0 = B'10xx の場合に TIOCC₃ 入力となります。</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: left;">TPUチャンネル3の設定</th> <th style="text-align: center;">(2)</th> <th style="text-align: center;">(1)</th> <th style="text-align: center;">(2)</th> <th style="text-align: center;">(1)</th> <th style="text-align: center;">(1)</th> <th style="text-align: center;">(2)</th> </tr> </thead> <tbody> <tr> <td>MD3～MD0</td> <td></td> <td style="text-align: center;">B'0000</td> <td style="text-align: center;">B'001x</td> <td style="text-align: center;">B'0010</td> <td colspan="2" style="text-align: center;">B'0011</td> </tr> <tr> <td>IOC3～IOC0</td> <td style="text-align: center;">B'0000 B'0100 B'1xxx</td> <td style="text-align: center;">B'0001～B'0011 B'0101～B'0111</td> <td style="text-align: center;">B'xx00</td> <td style="text-align: center;">B'xx00以外</td> <td colspan="2" style="text-align: center;">B'xx00以外</td> </tr> <tr> <td>CCLR2～CCLR0</td> <td style="text-align: center;">-</td> <td style="text-align: center;">-</td> <td style="text-align: center;">-</td> <td style="text-align: center;">-</td> <td style="text-align: center;">B'101以外</td> <td style="text-align: center;">B'101</td> </tr> <tr> <td>出力機能</td> <td style="text-align: center;">-</td> <td style="text-align: center;">アウトプット コンペア出力</td> <td style="text-align: center;">-</td> <td style="text-align: center;">PWM *2 モード1出力</td> <td style="text-align: center;">PWM モード2出力</td> <td style="text-align: center;">-</td> </tr> </tbody> </table> <p>【記号説明】 x : Don't care</p> <p>【注】 *2 TIOCD3 は出力禁止となります。 TMDR3のBFA = 1またはBFB = 1のときは出力禁止で(2)の設定になります。</p>	TPUチャンネル3の設定	下表(1)	下表(2)		P22DDR	-	0	1	端子機能	TIOCC3出力	P2 ₂ 入力	P2 ₂ 出力	TIOCC3入力*1			TMRIO			TPUチャンネル3の設定	(2)	(1)	(2)	(1)	(1)	(2)	MD3～MD0		B'0000	B'001x	B'0010	B'0011		IOC3～IOC0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	B'xx00	B'xx00以外	B'xx00以外		CCLR2～CCLR0	-	-	-	-	B'101以外	B'101	出力機能	-	アウトプット コンペア出力	-	PWM *2 モード1出力	PWM モード2出力	-
TPUチャンネル3の設定	下表(1)	下表(2)																																																				
P22DDR	-	0	1																																																			
端子機能	TIOCC3出力	P2 ₂ 入力	P2 ₂ 出力																																																			
		TIOCC3入力*1																																																				
	TMRIO																																																					
TPUチャンネル3の設定	(2)	(1)	(2)	(1)	(1)	(2)																																																
MD3～MD0		B'0000	B'001x	B'0010	B'0011																																																	
IOC3～IOC0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	B'xx00	B'xx00以外	B'xx00以外																																																	
CCLR2～CCLR0	-	-	-	-	B'101以外	B'101																																																
出力機能	-	アウトプット コンペア出力	-	PWM *2 モード1出力	PWM モード2出力	-																																																

端子	選択方法と端子機能						
P2 ₁ / TIOCB3	TMDR3 の MD3 ~ MD0 ビット、TIOR3H の IOB3 ~ IOB0 ビット、TCR3 の CCLR2 ~ CCLR0 ビットによる TPU チャンネル 3 の設定、および P21DDR ビットの組み合わせにより、次のように切り替わります。						
	TPUチャンネル3の設定	下表(1)		下表(2)			
	P21DDR	-		0	1		
	端子機能	TIOCB3出力		P2 ₁ 入力	P2 ₁ 出力		
	TIOCB3入力*						
【注】 * MD3 ~ MD0 = B'0000、かつ IOB3 ~ IOB0 = B'10xx の場合に TIOCB3 入力となります。							
TPUチャンネル3の設定	(2)	(1)		(2)	(2)	(1)	(2)
MD3 ~ MD0	B'0000			B'0010	B'0011		
IOB3 ~ IOB0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111		-	B'xx00	B'xx00以外	
CCLR2 ~ CCLR0	-	-		-	-	B'010以外	B'010
出力機能	-	アウトプットコンペア出力		-	-	PWMモード2出力	-
【記号説明】 x : Don't care							

8. I/O ポート

端子	選択方法と端子機能						
P2 _v / TIOCA3	TMDR3 の MD3 ~ MD0 ビット、TIOR3H の IOA3 ~ IOA0 ビット、TCR3 の CCLR2 ~ CCLR0 ビットによる TPU チャンネル 3 の設定、および P20DDR ビットの組み合わせにより、次のように切り替わります。						
	TPUチャンネル3の設定	下表(1)		下表(2)			
	P20DDR	-		0	1		
	端子機能	TIOCA3出力		P2 ₀ 入力	P2 ₀ 出力		
				TIOCA3入力*1			
	【注】 *1 MD3 ~ MD0 = B'0000、かつ IOA3 ~ IOA0 = B'10xx の場合に TIOCA3 入力となります。						
	TPUチャンネル3の設定	(2)	(1)	(2)	(1)	(1)	(2)
	MD3 ~ MD0	B'0000		B'001x	B'0010	B'0011	
	IOA3 ~ IOA0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00以外	B'xx00以外	
	CCLR2 ~ CCLR0	-	-	-	-	B'001以外	B'001
	出力機能	-	アウトプット コンペア出力	-	PWM *2 モード1出力	PWM モード2出力	-
	【記号説明】 x : Don't care						
	【注】 *2 TIOCB3 は出力禁止となります。						

8.4 ポート 3

8.4.1 概要

ポート 3 は、6 ビットの入出力ポートです。ポート 3 は、SCI の入出力端子 (TxD0、RxD0、SCK0、TxD1、RxD1、SCK1) と兼用になっています。ポート 3 の端子機能はいずれの動作モードでも共通です。ポート 3 の各端子の構成を図 8.3 に示します。

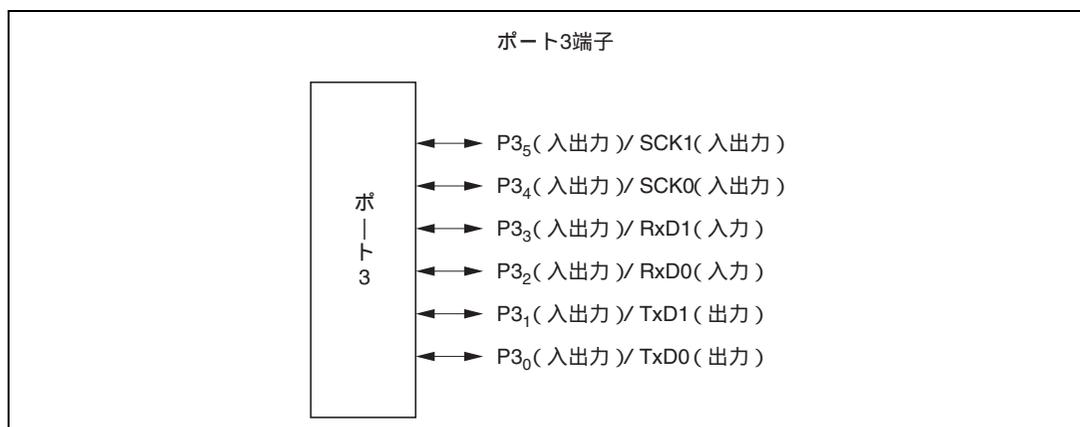


図 8.3 ポート 3 の端子機能

8.4.2 レジスタ構成

表 8.6 にポート 3 のレジスタ構成を示します。

表 8.6 ポート 3 レジスタ構成

名 称	略称	R/W	初期値* ²	アドレス* ¹
ポート 3 データディレクションレジスタ	P3DDR	W	H'00	H'FEB2
ポート 3 データレジスタ	P3DR	R/W	H'00	H'FF62
ポート 3 レジスタ	PORT3	R	不定	H'FF52
ポート 3 オープンドレイン コントロールレジスタ	P3ODR	R/W	H'00	H'FF76

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 ビット 5~0 の値を示しています。

(1) ポート 3 データディレクションレジスタ (P3DDR)

ビット :	7	6	5	4	3	2	1	0
	-	-	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR
初期値 :	不定	不定	0	0	0	0	0	0
R/W :	-	-	W	W	W	W	W	W

P3DDR は、8 ビットのライト専用レジスタで、ポート 3 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。ビット 7、6 はリザーブビットです。

8. I/O ポート

P3DDR を 1 にセットすると対応するポート 3 の各端子は出力となり、0 にクリアすると入力になります。

パワーオンリセットまたはハードウェアスタンバイモードでは H'00 (ビット 5~0) に初期化されます。また、マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。SCI は初期化されるため、P3DDR、P3DR の指定によって端子状態が決定されます。

(2) ポート 3 データレジスタ (P3DR)

ビット :	7	6	5	4	3	2	1	0
	-	-	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR
初期値 :	不定	不定	0	0	0	0	0	0
R/W :	-	-	R/W	R/W	R/W	R/W	R/W	R/W

P3DR は、8 ビットのリード/ライト可能なレジスタで、ポート 3 の各端子 (P₃₅~P₃₀) の出力データを格納します。

ビット 7、6 はリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

P3DR は、パワーオンリセットまたはハードウェアスタンバイモードでは H'00 (ビット 5~0) に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート 3 レジスタ (PORT3)

ビット :	7	6	5	4	3	2	1	0
	-	-	P35	P34	P33	P32	P31	P30
初期値 :	不定	不定	- *	- *	- *	- *	- *	- *
R/W :	-	-	R	R	R	R	R	R

【注】* P₃₅~P₃₀端子の状態により決定されます。

PORT3 は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート 3 の各端子 (P₃₅~P₃₀) の出力データのライトは必ず P3DR に対して行ってください。

ビット 7、6 はリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

P3DDR が 1 にセットされているとき、ポート 3 のリードを行うと P3DR の値をリードします。P3DDR が 0 にクリアされているとき、ポート 3 のリードを行うと端子の状態が読み出されます。

PORT3 は、パワーオンリセットまたはハードウェアスタンバイモードでは、P3DDR、P3DR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(4) ポート 3 オープンドレインコントロールレジスタ (P3ODR)

ビット :	7	6	5	4	3	2	1	0
	-	-	P35ODR	P34ODR	P33ODR	P32ODR	P31ODR	P30ODR
初期値 :	不定	不定	0	0	0	0	0	0
R/W :	-	-	R/W	R/W	R/W	R/W	R/W	R/W

P3ODR は、8 ビットのリード/ライト可能なレジスタで、ポート 3 の各端子 (P3₅ ~ P3₀) の PMOS のオン/オフを制御します。

ビット 7、6 はリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

P3ODR を 1 にセットするとポート 3 の各端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力となります。

P3ODR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 (ビット 5~0) に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

8. I/Oポート

8.4.3 端子機能

ポート3の各端子は、SCIの入出力端子（TxD0、RxD0、SCK0、TxD1、RxD1、SCK1）と兼用になっています。ポート3の端子機能を表8.7に示します。

表 8.7 ポート3の端子機能

端子	選択方法と端子機能					
P3 ₅ /SCK1	SCI1のSMRのC/Aビット、SCRのCKE0、CKE1ビットとP35DDRビットの組み合わせにより、次のように切り替わります。					
	CKE1	0			1	
	C/A	0		1	-	
	CKE0	0	1	-	-	
	P35DDR	0	1	-	-	-
	端子機能	P3 ₅ 入力端子	P3 ₅ 出力端子*	SCK1出力端子*	SCK1出力端子*	SCK1入力端子
【注】* P35ODR = 1 のとき、NMOS オープンドレイン出力になります。						
P3 ₄ /SCK0	SCI0のSMRのC/Aビット、SCRのCKE0、CKE1ビットとP34DDRビットの組み合わせにより、次のように切り替わります。					
	CKE1	0			1	
	C/A	0		1	-	
	CKE0	0	1	-	-	
	P34DDR	0	1	-	-	-
	端子機能	P3 ₄ 入力端子	P3 ₄ 出力端子*	SCK0出力端子*	SCK0出力端子*	SCK0入力端子
【注】* P34ODR = 1 のとき、NMOS オープンドレイン出力になります。						
P3 ₃ /RxD1	SCI1のSCRのREビットとP33DDRビットの組み合わせにより、次のように切り替わります。					
	RE	0		1		
	P33DDR	0	1	-		
	端子機能	P3 ₃ 入力端子	P3 ₃ 出力端子*	RxD1入力端子		
【注】* P33ODR = 1 のとき、NMOS オープンドレイン出力になります。						
P3 ₂ /RxD0	SCI0のSCRのREビットとP32DDRビットの組み合わせにより、次のように切り替わります。					
	RE	0		1		
	P32DDR	0	1	-		
	端子機能	P3 ₂ 入力端子	P3 ₂ 出力端子*	RxD0入力端子		
【注】* P32ODR = 1 のとき、NMOS オープンドレイン出力になります。						

端子	選択方法と端子機能		
P3 ₇ /TxD1	SCI1 の SCR の TE ビットと P31DDR ビットの組み合わせにより、次のように切り替わります。		
	TE	0	1
	P31DDR	0	1
	端子機能	P3 ₁ 入力端子	P3 ₁ 出力端子*
【注】 * P31ODR = 1 のとき、NMOS オープンドレイン出力になります。			
P3 ₀ /TxD0	SCI0 の SCR の TE ビットと P30DDR ビットの組み合わせにより、次のように切り替わります。		
	TE	0	1
	P30DDR	0	1
	端子機能	P3 ₀ 入力端子	P3 ₀ 出力端子*
【注】 * P30ODR = 1 のとき、NMOS オープンドレイン出力になります。			

8.5 ポート 4

8.5.1 概要

ポート 4 は、8 ビットの入力専用ポートです。ポート 4 は、H8S/2355、H8S/2353 では A/D 変換器のアナログ入力端子(AN0 ~ AN7)と D/A 変換器のアナログ出力端子(DA0、DA1)との兼用、H8S/2393 では A/D 変換器のアナログ入力端子 (AN0 ~ AN7) との兼用になっています。ポート 4 の端子機能はいずれの動作モードでも共通です。ポート 4 の各端子の構成を図 8.4 に示します。

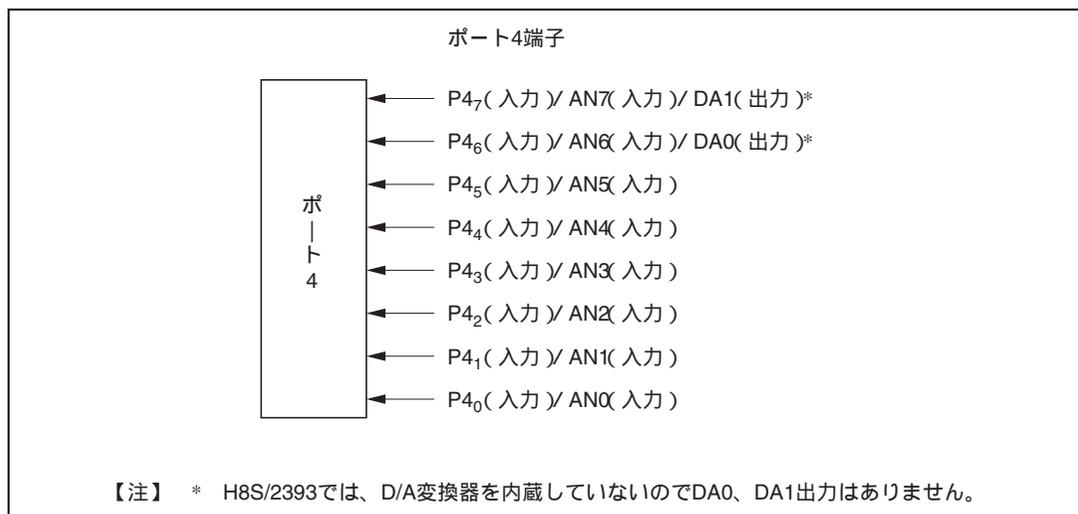


図 8.4 ポート 4 の端子機能

8. I/Oポート

8.5.2 レジスタ構成

表 8.8 にポート 4 のレジスタ構成を示します。ポート 4 は入力専用ポートであり、データディレクションレジスタ、データレジスタはありません。

表 8.8 ポート 4 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート 4 レジスタ	PORT4	R	不定	H'FF53

【注】* アドレスの下位 16 ビットを示しています。

(1) ポート 4 レジスタ (PORT4)

PORT4 のリードを行うと、常に端子の状態が読み出されます。

ビット :	7	6	5	4	3	2	1	0
	P47	P46	P45	P44	P43	P42	P41	P40
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* P4₇~P4₀端子の状態により決定されます。

8.5.3 端子機能

(1) H8S/2355、H8S/2353

ポート4の各端子は、A/D変換器のアナログ入力端子 (AN0~AN7) とD/A変換器のアナログ出力端子 (DA0、DA1) との兼用になっています。

(2) H8S/2393

ポート4の各端子は、A/D変換器のアナログ入力端子 (AN0~AN7) との兼用になっていません。

8.6 ポート 5

8.6.1 概要

ポート 5 は、4 ビットの入出力ポートです。ポート 5 は、SCI の入出力端子 (TxD2、RxD2、SCK2)、A/D 変換器の入力端子 ($\overline{\text{ADTRG}}$) と兼用になっています。ポート 5 の端子機能はいずれの動作モードでも共通です。ポート 5 の各端子の構成を図 8.5 に示します。

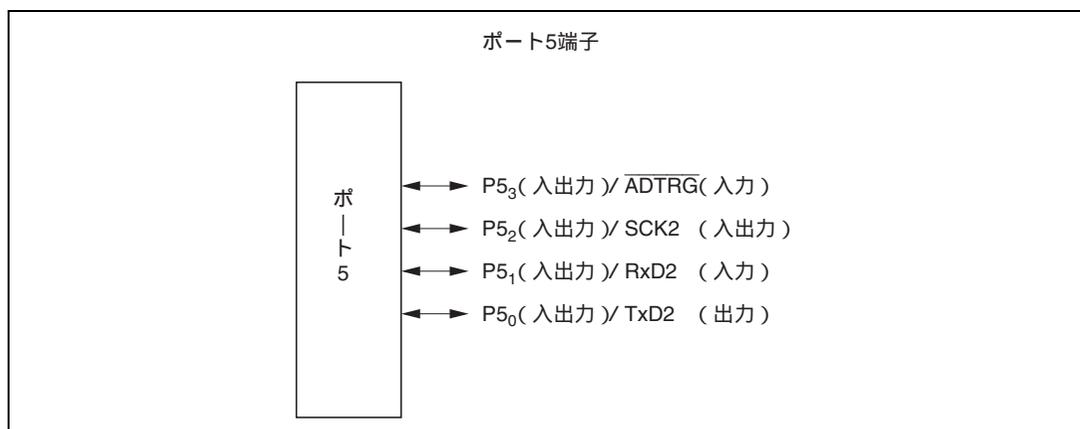


図 8.5 ポート 5 の端子機能

8.6.2 レジスタ構成

表 8.9 にポート 5 のレジスタ構成を示します。

表 8.9 ポート 5 レジスタ構成

名 称	略称	R/W	初期値* ²	アドレス* ¹
ポート 5 データディレクションレジスタ	P5DDR	W	H'0	H'FEB4
ポート 5 データレジスタ	P5DR	R/W	H'0	H'FF64
ポート 5 レジスタ	PORT5	R	不定	H'FF54

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 ビット 3~0 の値を示しています。

(1) ポート 5 データディレクションレジスタ (P5DDR)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	P53DDR	P52DDR	P51DDR	P50DDR
初期値 :	不定	不定	不定	不定	0	0	0	0
R/W :	-	-	-	-	W	W	W	W

P5DDR は、8 ビットのライト専用レジスタで、ポート 5 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。ビット 7~4 はリザーブビットです。

P5DDR を 1 にセットすると対応するポート 5 の各端子は出力となり、0 にクリアすると入力になります。

8. I/O ポート

P5DDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'0 (ビット 3~0) に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。SCI は初期化されるため、P5DDR、P5DR の指定によって端子状態が決定されます。

(2) ポート 5 データレジスタ (P5DR)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	P53DR	P52DR	P51DR	P50DR
初期値 :	不定	不定	不定	不定	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

P5DR は、8 ビットのリード/ライト可能なレジスタで、ポート 5 の各端子 (P5₃~P5₀) の出力データを格納します。

ビット 7~4 はリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

P5DR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'0 (ビット 3~0) に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート 5 レジスタ (PORT5)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	P53	P52	P51	P50
初期値 :	不定	不定	不定	不定	- *	- *	- *	- *
R/W :	-	-	-	-	R	R	R	R

【注】* P5₃~P5₀端子の状態により決定されます。

PORT5 は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート 5 の各端子 (P5₃~P5₀) の出力データのライトは必ず P5DR に対して行ってください。

ビット 7~4 はリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

P5DDR が 1 にセットされているとき、ポート 5 のリードを行うと P5DR の値をリードします。P5DDR が 0 にクリアされているとき、ポート 5 のリードを行うと端子の状態が読み出されます。

PORT5 は、パワーオンリセットまたはハードウェアスタンバイモードでは、P5DDR、P5DR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

8.6.3 端子機能

ポート5の各端子は、SCIの入出力端子(TxD2、RxD2、SCK2)、A/D変換器の入力端子(ADTRG)と兼用になっています。ポート5の端子機能を表8.10に示します。

表 8.10 ポート5の端子機能

端子	選択方法と端子機能				
P5 ₃ / ADTRG	A/Dコントロールレジスタ(ADCR)のトリガセレクト1、0(TRGS1、TRGS0)とP53DDRビットの組み合わせにより次のように切り替わります。				
	P53DDR	0		1	
	端子機能	P5 ₃ 入力端子		P5 ₃ 出力端子	
		ADTRG入力端子			
	【注】 * TRGS0 = TRGS1 = 1 のとき ADTRG 入力となります。				
P5 ₂ /SCK2	SCI2のSMRのC/Aビット、SCRのCKE0、CKE1ビットとP52DDRビットの組み合わせにより次のように切り替わります。				
	CKE1	0			1
	C/A	0		1	-
	CKE0	0	1	-	-
	P52DDR	0	1	-	-
	端子機能	P5 ₂ 入力端子	P5 ₂ 出力端子	SCK2出力端子	SCK2入力端子
P5 ₁ /RxD2	SCI2のSCRのREビットとP51DDRビットの組み合わせにより、次のように切り替わります。				
	RE	0			1
	P51DDR	0	1	-	
	端子機能	P5 ₁ 入力端子	P5 ₁ 出力端子	RxD2入力端子	
P5 ₀ /TxD2	SCI2のSCRのTEビットとP50DDRビットの組み合わせにより、次のように切り替わります。				
	TE	0			1
	P50DDR	0	1	-	
	端子機能	P5 ₀ 入力端子	P5 ₀ 出力端子	TxD2出力端子	

8.7 ポート 6

8.7.1 概要

ポート 6 は、8 ビットの入出力ポートです。ポート 6 は、割り込み入力端子 ($\overline{\text{IRQ0}}$ 、 $\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQ2}}$ 、 $\overline{\text{IRQ3}}$)、バス制御出力端子 ($\overline{\text{CS4}} \sim \overline{\text{CS7}}$) と兼用になっています。P6₅ ~ P6₂ の端子機能はいずれの動作モードでも共通です。P6₇、P6₆、P6₁、P6₀ の端子機能は動作モードによって切り替わります。P6₇ ~ P6₄ はシュミットトリガ入力です。ポート 6 の各端子の構成を図 8.6 に示します。

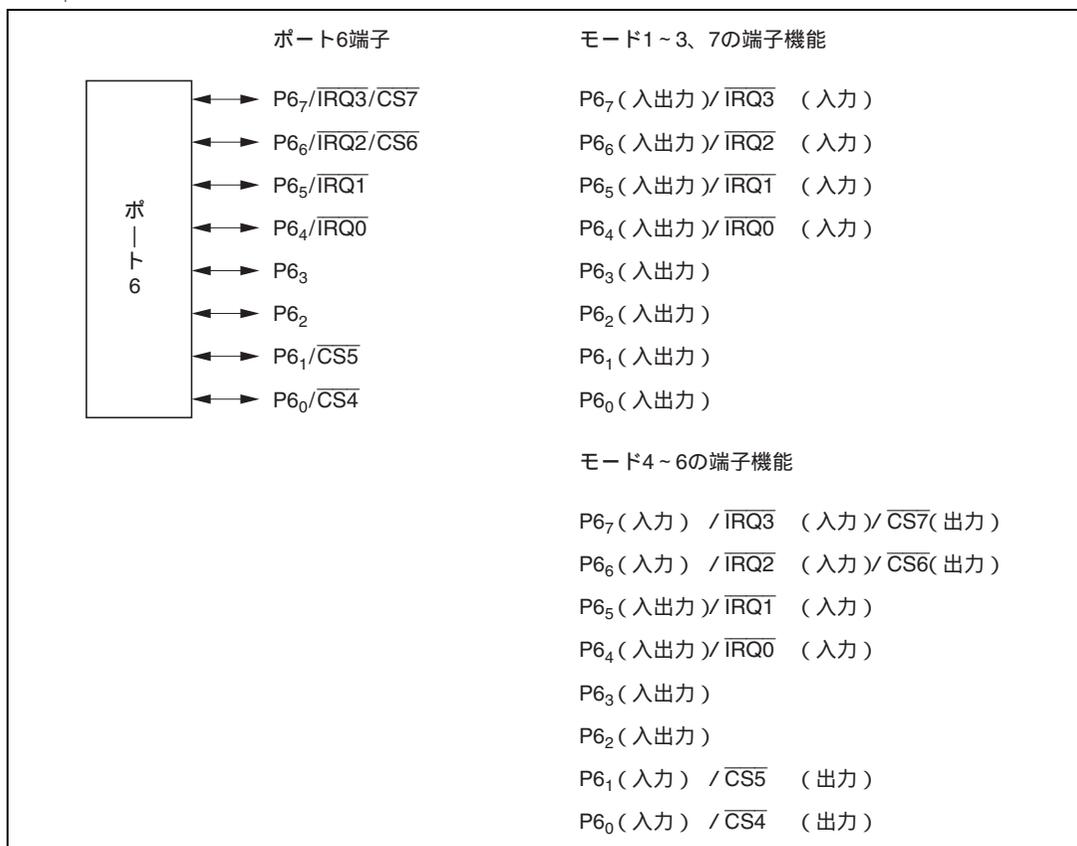


図 8.6 ポート 6 の端子機能

8.7.2 レジスタ構成

表 8.11 にポート 6 のレジスタ構成を示します。

表 8.11 ポート 6 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート 6 データディレクションレジスタ	P6DDR	W	H'00	H'FEB5
ポート 6 データレジスタ	P6DR	R/W	H'00	H'FF65
ポート 6 レジスタ	PORT6	R	不定	H'FF55

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート 6 データディレクションレジスタ (P6DDR)

ビット :	7	6	5	4	3	2	1	0
	P67DDR	P66DDR	P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

P6DDR は、8 ビットのライト専用レジスタで、ポート 6 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

P6DDR を 1 にセットすると対応するポート 6 の各端子は出力となり、0 にクリアすると入力になります。

P6DDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されません。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(2) ポート 6 データレジスタ (P6DR)

ビット :	7	6	5	4	3	2	1	0
	P67DR	P66DR	P65DR	P64DR	P63DR	P62DR	P61DR	P60DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

P6DR は、8 ビットのリード/ライト可能なレジスタで、ポート 6 の各端子 (P6₇ ~ P6₀) の出力データを格納します。

P6DR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されません。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

8. I/Oポート

(3) ポート6レジスタ (PORT6)

ビット :	7	6	5	4	3	2	1	0
	P67	P66	P65	P64	P63	P62	P61	P60
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* P6₇~P6₀端子の状態により決定されます。

PORT6 は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート6の各端子 (P6₇~P6₀) の出力データのライトは必ず P6DR に対して行ってください。

P6DDR が1にセットされているとき、ポート6のリードを行うと P6DR の値をリードします。P6DDR が0にクリアされているとき、ポート6のリードを行うと端子の状態が読み出されます。

PORT6 は、パワーオンリセットまたはハードウェアスタンバイモードでは、P6DDR、P6DR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

8.7.3 端子機能

ポート 6 の各端子は、割り込み入力端子 ($\overline{IRQ0}$ 、 $\overline{IRQ1}$ 、 $\overline{IRQ2}$ 、 $\overline{IRQ3}$)、バス制御出力端子 ($\overline{CS4}$ ~ $\overline{CS7}$) と兼用になっています。ポート 6 の端子機能を表 8.12 に示します。

表 8.12 ポート 6 の端子機能

端子	選択方法と端子機能				
P6 ₇ / $\overline{IRQ3}$ / $\overline{CS7}$	P67DDR ビットにより、次のように切り替わります。				
	モード	モード1、2、3、7		モード4~6	
	P67DDR	0	1	0	1
	端子機能	P6 ₇ 入力端子	P6 ₇ 出力端子	P6 ₇ 入力端子	$\overline{CS7}$ 出力端子
IRQ3割り込み入力端子					
P6 ₆ / $\overline{IRQ2}$ / $\overline{CS6}$	P66DDR ビットにより、次のように切り替わります。				
	モード	モード1、2、3、7		モード4~6	
	P66DDR	0	1	0	1
	端子機能	P6 ₆ 入力端子	P6 ₆ 出力端子	P6 ₆ 入力端子	$\overline{CS6}$ 出力端子
IRQ2割り込み入力端子					
P6 ₅ / $\overline{IRQ1}$	P65DDR ビットにより、次のように切り替わります。				
	P65DDR	0		1	
	端子機能	P6 ₅ 入力端子		P6 ₅ 出力端子	
IRQ1割り込み入力端子					
P6 ₄ / $\overline{IRQ0}$	P64DDR ビットにより、次のように切り替わります。				
	P64DDR	0		1	
	端子機能	P6 ₄ 入力端子		P6 ₄ 出力端子	
IRQ0割り込み入力端子					
P6 ₃	P63DDR ビットにより、次のように切り替わります。				
	P63DDR	0		1	
	端子機能	P6 ₃ 入力端子		P6 ₃ 出力端子	
P6 ₂	P62DDR ビットにより、次のように切り替わります。				
	P62DDR	0		1	
	端子機能	P6 ₂ 入力端子		P6 ₂ 出力端子	

8. I/O ポート

端子	選択方法と端子機能				
P6 ₁ $\overline{\text{CS5}}$	P61DDR ビットにより、次のように切り替わります。				
	モード	モード1、2、3、7		モード4~6	
	P61DDR	0	1	0	1
	端子機能	P6 ₁ 入力端子	P6 ₁ 出力端子	P6 ₁ 入力端子	$\overline{\text{CS5}}$ 出力端子
P6 ₀ $\overline{\text{CS4}}$	P60DDR ビットにより、次のように切り替わります。				
	モード	モード1、2、3、7		モード4~6	
	P60DDR	0	1	0	1
	端子機能	P6 ₀ 入力端子	P6 ₀ 出力端子	P6 ₀ 入力端子	$\overline{\text{CS4}}$ 出力端子

8.8 ポート A

8.8.1 概要

ポート A は、8 ビットの入出力ポートです。ポート A は、アドレスバス出力と、割り込み入力端子 ($\overline{\text{IRQ4}} \sim \overline{\text{IRQ7}}$) と兼用になっています。動作モードによって端子機能が切り替わります。

ポート A は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。また、 $\text{PA}_7 \sim \text{PA}_4$ はシュミットトリガ入力です。

ポート A の各端子の構成を図 8.7 に示します。

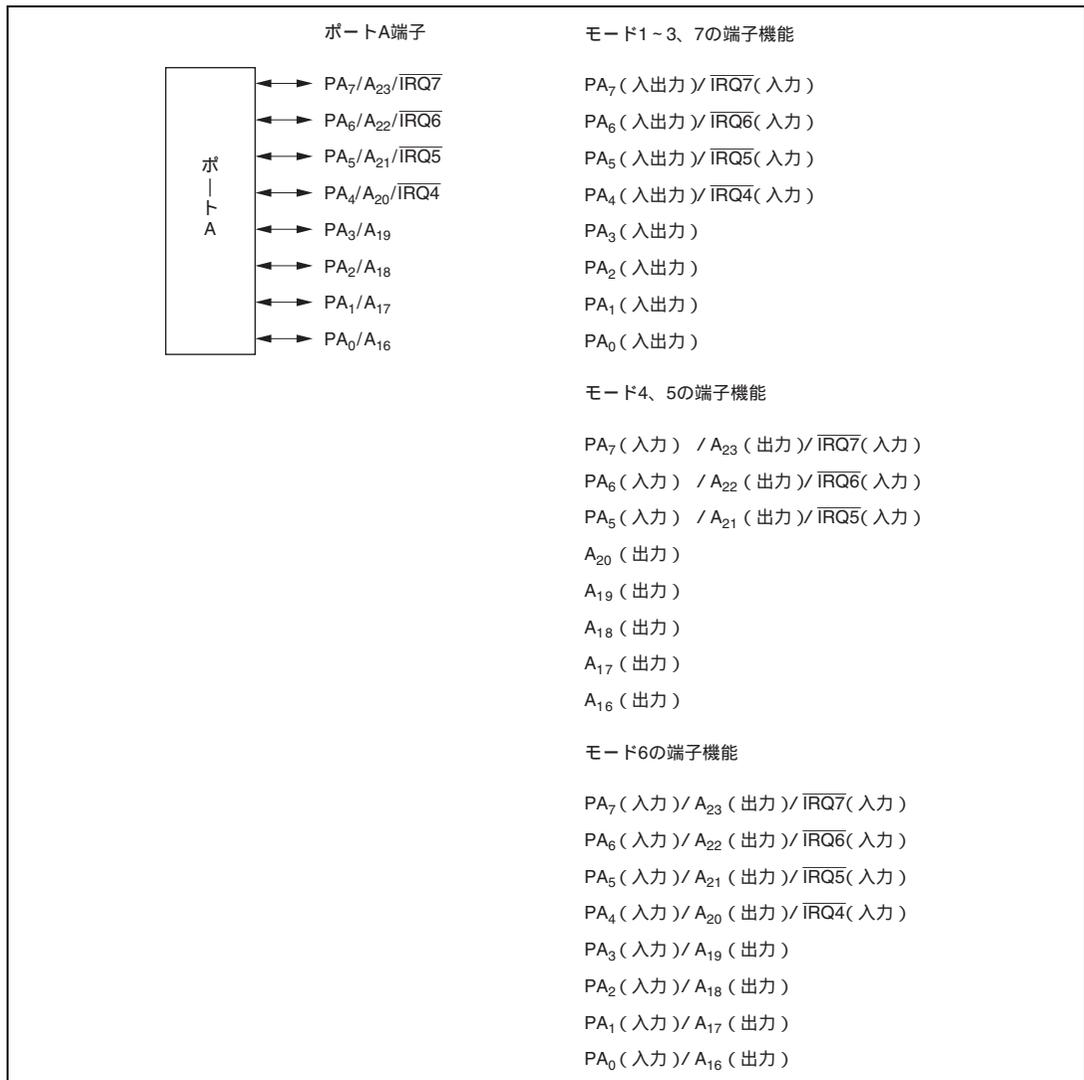


図 8.7 ポート A の端子機能

8.8.2 レジスタ構成

表 8.13 にポート A のレジスタ構成を示します。

表 8.13 ポート A レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート A データディレクションレジスタ	PADDR	W	H'00	H'FEB9
ポート A データレジスタ	PADR	R/W	H'00	H'FF69
ポート A レジスタ	PORTA	R	不定	H'FF59
ポート A プルアップ MOS コントロールレジスタ	PAPCR	R/W	H'00	H'FF70
ポート A オープンドレイン コントロールレジスタ	PAODR	R/W	H'00	H'FF77

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート A データディレクションレジスタ (PADDR)

ビット :	7	6	5	4	3	2	1	0
	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR

初期値 : 0 0 0 0 0 0 0 0

R/W : W W W W W W W W

PADDR は、8 ビットのライト専用レジスタで、ポート A の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

PADDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、PADDR は直前の状態を保持します。ソフトウェアスタンバイモードに遷移したとき、アドレス出力端子は出力状態を保持するか、ハイインピーダンス状態とするかを、SBYCR の OPE ビットで選択します。

(a) モード 1~3、7

PADDR を 1 にセットすると対応するポート A の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

(b) モード 4、5

PA4DDR ~ PA0DDR ビットにかかわらず、対応するポート A の各端子はアドレス出力となります。

また、PA7DDR ~ PA5DDR ビットを 1 にセットすると対応するポート A の各端子はアドレス出力となり、0 にクリアすると入力ポートになります。

(c) モード 6

PADDR を 1 にセットすると対応するポート A の各端子はアドレス出力となり、0 にクリアすると入力ポートになります。

(2) ポート A データレジスタ (PADR)

ビット :	7	6	5	4	3	2	1	0
	PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	PA0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

PADR は、8 ビットのリード/ライト可能なレジスタで、ポート A の各端子 (PA₇~PA₀) の出力データを格納します。

PADR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート A レジスタ (PORTA)

ビット :	7	6	5	4	3	2	1	0
	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* PA₇~PA₀端子の状態により決定されます。

PORTA は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート A の各端子 (PA₇~PA₀) の出力データのライトは必ず PADR に対して行ってください。

PADDR が 1 にセットされているとき、ポート A のリードを行うと PADR の値をリードします。PADDR が 0 にクリアされているとき、ポート A のリードを行うと端子の状態が読み出されます。

PORTA は、パワーオンリセットまたはハードウェアスタンバイモードでは、PADDR、PADR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(4) ポート A プルアップ MOS コントロールレジスタ (PAPCR)

ビット :	7	6	5	4	3	2	1	0
	PA7PCR	PA6PCR	PA5PCR	PA4PCR	PA3PCR	PA2PCR	PA1PCR	PA0PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

PAPCR は、8 ビットのリード/ライト可能なレジスタで、ポート A に内蔵された入力プルアップ MOS をビットごとに制御します。

モード 1~3、6、7 ではすべてのビット、モード 4、5 ではビット 7~5 が有効です。PADDR を 0 にクリアした (入力ポート) 状態で、PAPCR を 1 にセットすると、入力プルアップ MOS はオンします。

PAPCR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

8. I/O ポート

(5) ポート A オープンドレインコントロールレジスタ (PAODR)

ビット :	7	6	5	4	3	2	1	0
	PA7ODR	PA6ODR	PA5ODR	PA4ODR	PA3ODR	PA2ODR	PA1ODR	PA0ODR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

PAODR は、8 ビットのリード/ライト可能なレジスタで、ポート A の各端子 (PA₇ ~ PA₀) の PMOS のオン/オフを制御します。

PAODR は、モード 1~3、7 で有効です。

PAODR を 1 にセットするとポート A の各端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力となります。

PAODR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

8.8.3 モード別端子機能

(1) モード 1~3、7

モード 1~3、7 のとき、ポート A は入出力ポートおよび割り込み入力端子として機能し、各端子はビット単位で入出力を指定可能です。PADDR の各ビットを 1 にセットすると対応する端子は出力ポートになり、0 にクリアすると入力ポートになります。

ポート A の端子機能を図 8.8 に示します。

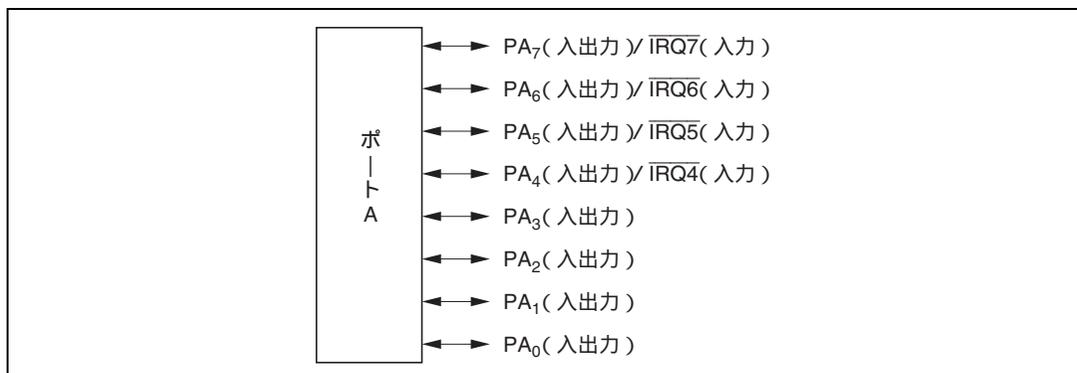


図 8.8 ポート A の端子機能 (モード 1~3、7)

(2) モード 4、5

モード 4、5 のとき、ポート A の下位 5 ビットは自動的にアドレス出力になり、上位 3 ビットはアドレス出力、または入力ポートおよび割り込み入力端子として機能します。上位 3 ビットはビット単位で入出力を指定可能で、PA7DDR ~ PA5DDR の各ビットを 1 にセットすると対応する端子はアドレス出力になり、0 にクリアすると入力ポートになります。

ポート A の端子機能を図 8.9 に示します。



図 8.9 ポート A の端子機能 (モード 4、5)

(3) モード 6

モード 6 のとき、ポート A はアドレス出力、または入力ポートおよび割り込み入力端子として機能します。ビット単位で入出力を指定可能です。PADDR の各ビットを 1 にセットすると対応する端子はアドレス出力になり、0 にクリアすると入力ポートになります。

ポート A の端子機能を図 8.10 に示します。

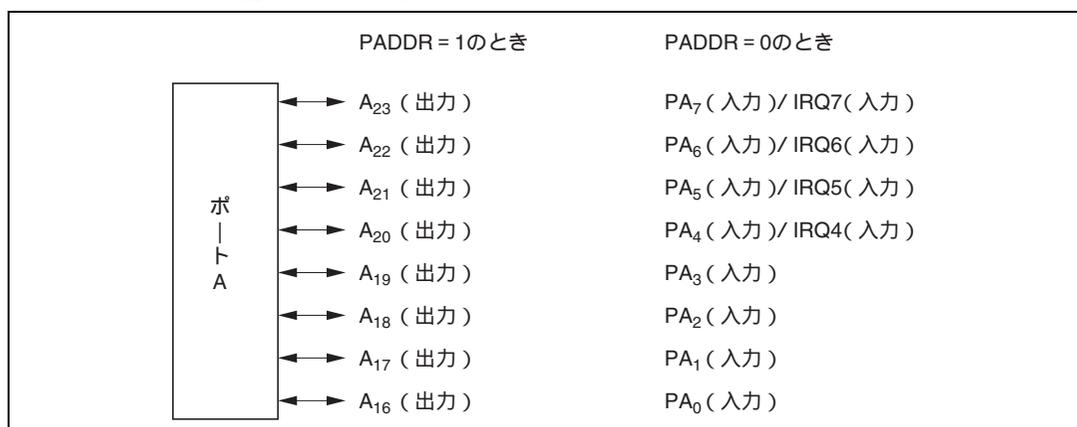


図 8.10 ポート A の端子機能 (モード 6)

8.8.4 入力プルアップ MOS

ポート A は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、モード 4、5 のときは PA₇ ~ PA₅ 端子が使用でき、モード 1 ~ 3、6、7 のときはいずれの端子も使用できます。入力プルアップ MOS は、ビット単位でオン/オフを指定できます。

PADDR を 0 にクリアした状態で、PAPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS は、パワーオンリセットまたはハードウェアスタンバイモード時にはオフします。マニュアルリセットまたはソフトウェアスタンバイモード時には直前の状態を保持します。

入力プルアップ MOS の状態を表 8.14 に示します。

表 8.14 入力プルアップ MOS の状態 (ポート A)

モード		パワーオンリセット	ハードウェアスタンバイモード	マニュアルリセット	ソフトウェアスタンバイモード	その他の動作時
1 ~ 3、6、7	PA ₇ ~ PA ₀	OFF		ON/OFF		
4、5	PA ₇ ~ PA ₅	OFF		ON/OFF		
	PA ₄ ~ PA ₀	OFF		OFF		

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PADDR=0 かつ PAPCR=1 のときオン状態、その他のときはオフ状態です。

8.9 ポート B

8.9.1 概要

ポート B は、8 ビットの入出力ポートです。ポート B は、アドレスバス出力機能を持っており、動作モードによって端子機能が切り替わります。

ポート B は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

ポート B の各端子の構成を図 8.11 に示します。

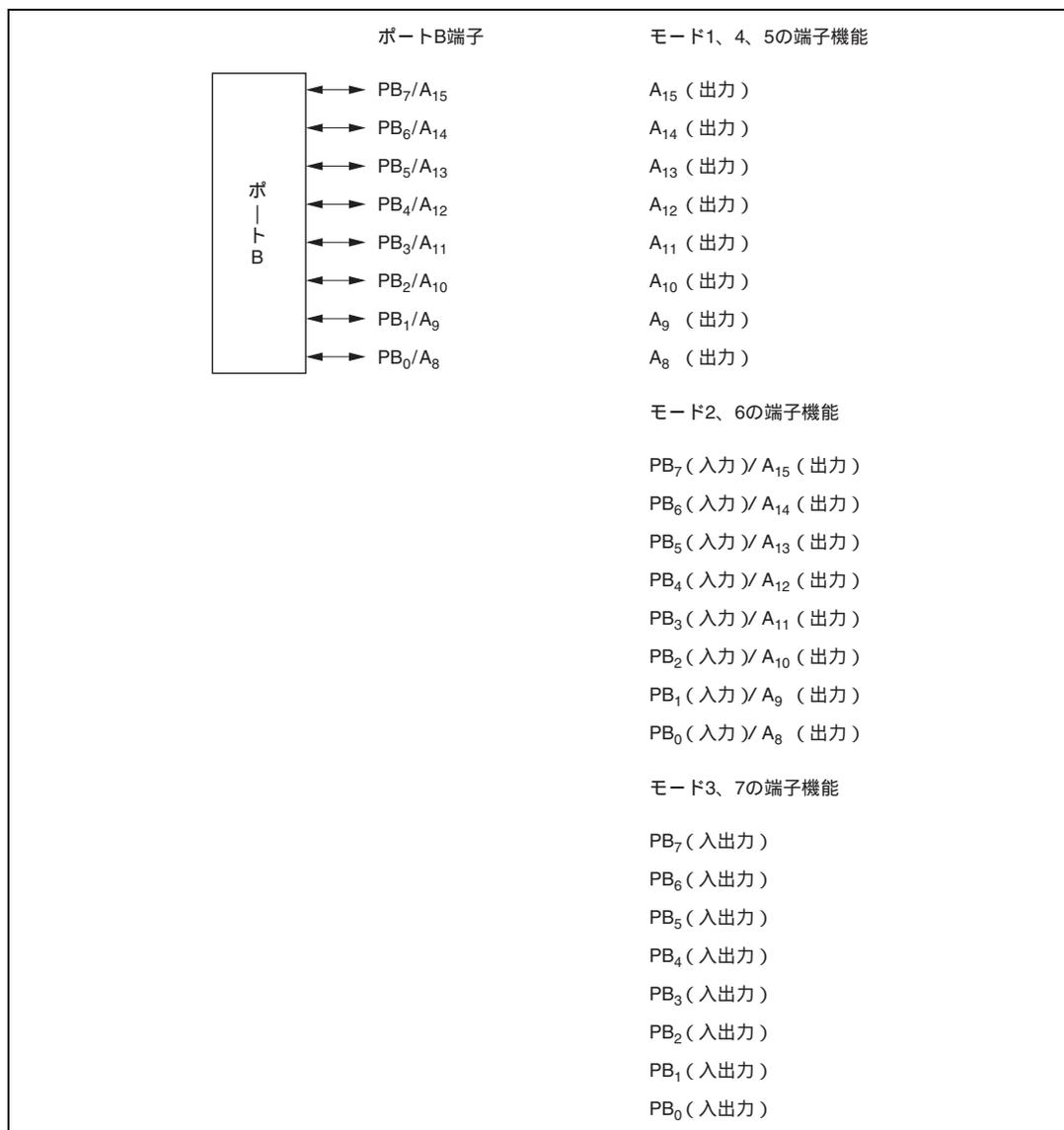


図 8.11 ポート B の端子機能

8.9.2 レジスタ構成

表 8.15 にポート B のレジスタ構成を示します。

表 8.15 ポート B レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート B データディレクションレジスタ	PBDDR	W	H'00	H'FEBA
ポート B データレジスタ	PBDR	R/W	H'00	H'FF6A
ポート B レジスタ	PORTB	R	不定	H'FF5A
ポート B プルアップ MOS コントロールレジスタ	PBPCR	R/W	H'00	H'FF71

【注】 * アドレスの低位 16 ビットを示しています。

(1) ポート B データディレクションレジスタ (PBDDR)

ビット :	7	6	5	4	3	2	1	0
	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PBDDR は、8 ビットのライト専用レジスタで、ポート B の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

PBDDR は、パワーオンリセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、PBDDR は直前の状態を保持します。ソフトウェアスタンバイモードに遷移したとき、アドレス出力端子は出力状態を保持するか、ハイインピーダンス状態とするかを、SBYCR の OPE ビットで選択します。

(a) モード 1、4、5

PBDDR にかかわらず、対応するポート B の各端子はアドレス出力となります。

(b) モード 2、6

PBDDR を 1 にセットすると対応するポート B の各端子はアドレス出力となり、0 にクリアすると入力ポートになります。

(c) モード 3、7

PBDDR を 1 にセットすると対応するポート B の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

(2) ポート B データレジスタ (PBDR)

ビット :	7	6	5	4	3	2	1	0
	PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

PBDR は、8 ビットのリード/ライト可能なレジスタで、ポート B の各端子 (PB₇ ~ PB₀) の出力データを格納します。

PBDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されません。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート B レジスタ (PORTB)

ビット :	7	6	5	4	3	2	1	0
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* PB₇ ~ PB₀端子の状態により決定されます。

PORTB は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート B の各端子 (PB₇ ~ PB₀) の出力データのライトは必ず PBDR に対して行ってください。

PBDDR が 1 にセットされているとき、ポート B のリードを行うと PBDR の値をリードします。PBDDR が 0 にクリアされているとき、ポート B のリードを行うと端子の状態が読み出されません。

PORTB は、パワーオンリセットまたはハードウェアスタンバイモードでは、PBDDR、PBDR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(4) ポート B プルアップ MOS コントロールレジスタ (PBPCR)

ビット :	7	6	5	4	3	2	1	0
	PB7PCR	PB6PCR	PB5PCR	PB4PCR	PB3PCR	PB2PCR	PB1PCR	PB0PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

PBPCR は、8 ビットのリード/ライト可能なレジスタで、ポート B に内蔵された入力プルアップ MOS をビットごとに制御します。

モード 2、3、6、7 では、PBDDR を 0 にクリアした (入力ポート) 状態で、PBPCR を 1 にセットすると、入力プルアップ MOS はオンします。

PBPCR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されません。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

8.9.3 モード別端子機能

(1) モード 1、4、5

モード 1、4、5 のとき、ポート B は自動的にアドレス出力になります。
ポート B の端子機能を図 8.12 に示します。

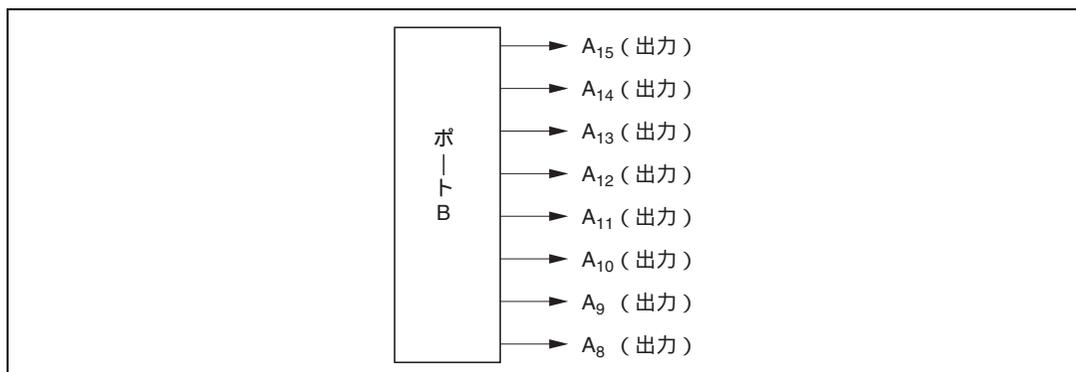


図 8.12 ポート B の端子機能 (モード 1、4、5)

(2) モード 2、6

モード 2、6 のとき、ポート B はアドレス出力、または入力ポートとして機能し、ビット単位で入出力を指定可能です。PBDDR の各ビットを 1 にセットすると対応する端子はアドレス出力になり、0 にクリアすると入力ポートになります。

ポート B の端子機能を図 8.13 に示します。

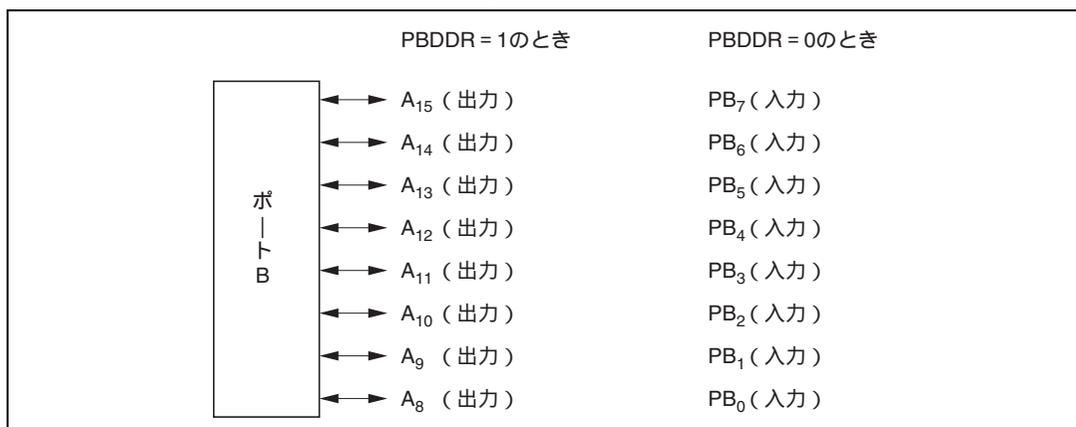


図 8.13 ポート B の端子機能 (モード 2、6)

(3) モード 3、7

モード 3、7 のとき、ポート B は入出力ポートとして機能し、各端子はビット単位で入出力を指定可能です。PBDDR の各ビットを 1 にセットすると対応する端子は出力ポートになり、0 にクリアすると入力ポートになります。

ポート B の端子機能を図 8.14 に示します。

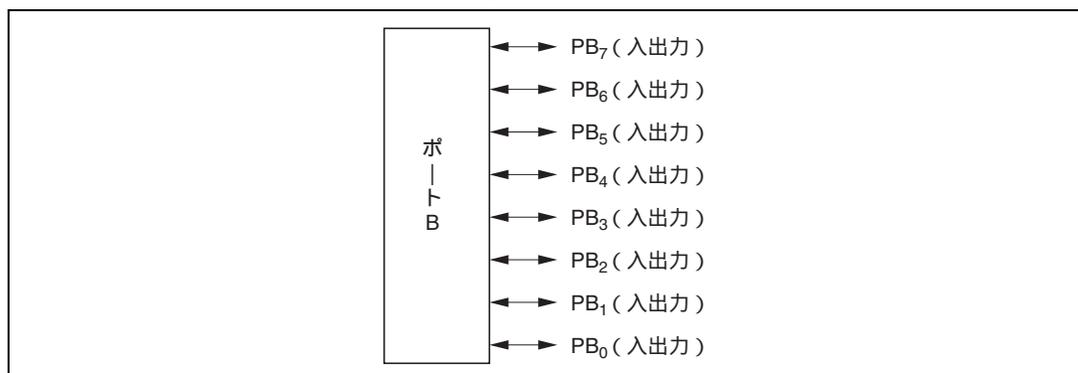


図 8.14 ポート B の端子機能 (モード 3、7)

8.9.4 入力プルアップ MOS

ポート B は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はモード 2、3、6、7 のときに使用でき、ビット単位でオン/オフを指定できます。

モード 2、3、6、7 のとき、PBDDR を 0 にクリアした状態で、PBPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS は、パワーオンリセットまたはハードウェアスタンバイモードではオフします。マニュアルリセットまたはソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップ MOS の状態を表 8.16 に示します。

表 8.16 入力プルアップ MOS の状態 (ポート B)

モード	パワーオンリセット	ハードウェアスタンバイモード	マニュアルリセット	ソフトウェアスタンバイモード	その他の動作時
1、4、5	OFF		OFF		
2、3、6、7	ON/OFF				

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PBDDR = 0 かつ PBPCR = 1 のときオン状態、その他のときはオフ状態です。

8.10 ポート C

8.10.1 概要

ポート C は、8 ビットの入出力ポートです。ポート C は、アドレスバス出力機能を持っており、動作モードによって端子機能が切り替わります。

ポート C は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

ポート C の各端子の構成を図 8.15 に示します。

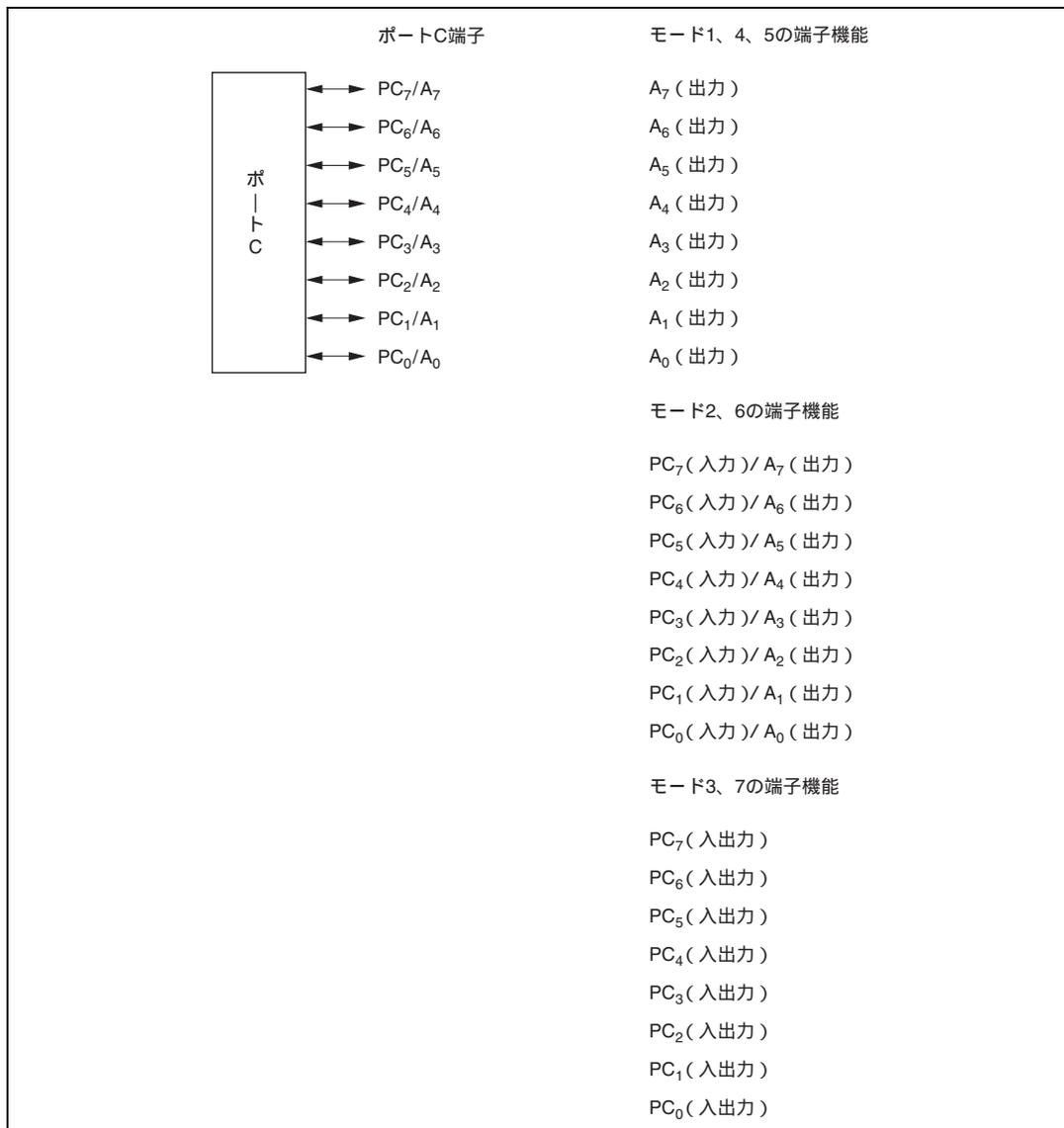


図 8.15 ポート C の端子機能

8.10.2 レジスタ構成

表 8.17 にポート C のレジスタ構成を示します。

表 8.17 ポート C レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート C データディレクションレジスタ	PCDDR	W	H'00	H'FEBB
ポート C データレジスタ	PCDR	R/W	H'00	H'FF6B
ポート C レジスタ	PORTC	R	不定	H'FF5B
ポート C プルアップ MOS コントロールレジスタ	PCPCR	R/W	H'00	H'FF72

【注】 * アドレスの低位 16 ビットを示しています。

(1) ポート C データディレクションレジスタ (PCDDR)

ビット :	7	6	5	4	3	2	1	0
	PC7DDR	PC6DDR	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	PC0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCDDR は、8 ビットのライト専用レジスタで、ポート C の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

PCDDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、PCDDR は直前の状態を保持します。ソフトウェアスタンバイモードに遷移したとき、アドレス出力端子は出力状態を保持するか、ハイインピーダンス状態とするかを、SBYCR の OPE ビットで選択します。

(a) モード 1、4、5

PCDDR にかかわらず、対応するポート C の各端子はアドレス出力となります。

(b) モード 2、6

PCDDR を 1 にセットすると対応するポート C の各端子はアドレス出力となり、0 にクリアすると入力ポートになります。

(c) モード 3、7

PCDDR を 1 にセットすると対応するポート C の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

(2) ポート C データレジスタ (PCDR)

ビット :	7	6	5	4	3	2	1	0
	PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

8. I/O ポート

PCDR は、8 ビットのリード/ライト可能なレジスタで、ポート C の各端子 (PC₇ ~ PC₀) の出力データを格納します。

PCDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されず。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート C レジスタ (PORTC)

ビット :	7	6	5	4	3	2	1	0
	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* PC₇ ~ PC₀端子の状態により決定されます。

PORTC は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート C の各端子 (PC₇ ~ PC₀) の出力データのライトは必ず PCDR に対して行ってください。

PCDDR が 1 にセットされているとき、ポート C のリードを行うと PCDR の値をリードします。PCDDR が 0 にクリアされているとき、ポート C のリードを行うと端子の状態が読み出されます。

PORTC は、パワーオンリセットまたはハードウェアスタンバイモードでは、PCDDR、PCDR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(4) ポート C プルアップ MOS コントロールレジスタ (PCPCR)

ビット :	7	6	5	4	3	2	1	0
	PC7PCR	PC6PCR	PC5PCR	PC4PCR	PC3PCR	PC2PCR	PC1PCR	PC0PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

PCPCR は、8 ビットのリード/ライト可能なレジスタで、ポート C に内蔵された入力プルアップ MOS をビットごとに制御します。

モード 2、3、6、7 では、PCDDR を 0 にクリアした (入力ポート) 状態で、PCPCR を 1 にセットすると、入力プルアップ MOS はオンします。

PCPCR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されず。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

8.10.3 モード別端子機能

(1) モード 1、4、5

モード 1、4、5 のとき、ポート C は自動的にアドレス出力になります。
ポート C の端子機能を図 8.16 に示します。

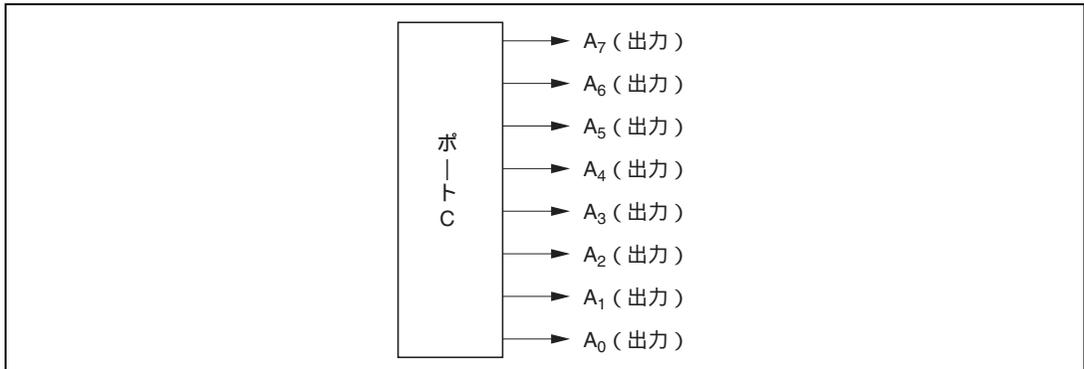


図 8.16 ポート C の端子機能 (モード 1、4、5)

(2) モード 2、6

モード 2、6 のとき、ポート C はアドレス出力、または入力ポートとして機能し、ビット単位で入出力を指定可能です。PCDDR の各ビットを 1 にセットすると対応する端子はアドレス出力になり、0 にクリアすると入力ポートになります。

ポート C の端子機能を図 8.17 に示します。

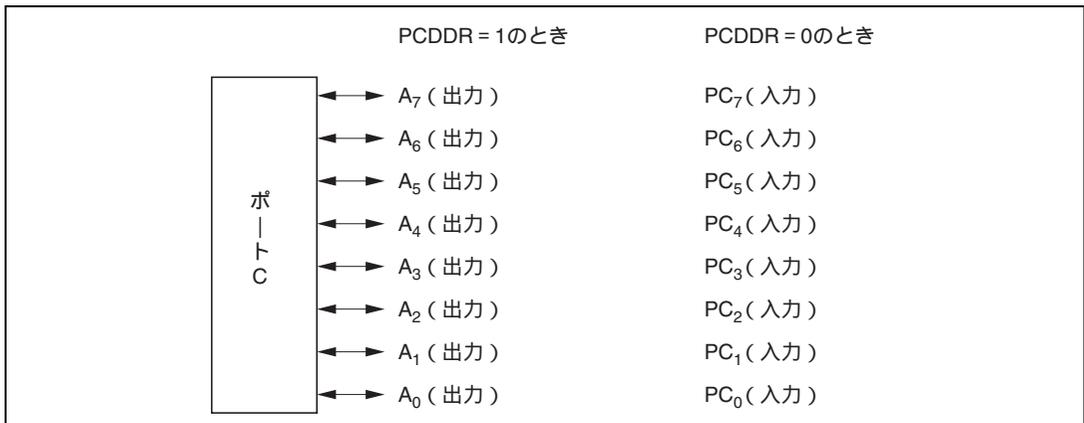


図 8.17 ポート C の端子機能 (モード 2、6)

8. I/O ポート

(3) モード 3、7

モード 3、7 のとき、ポート C は入出力ポートとして機能し、各端子はビット単位で入出力を指定可能です。PCDDR の各ビットを 1 にセットすると対応する端子は出力ポートになり、0 にクリアすると入力ポートになります。

ポート C の端子機能を図 8.18 に示します。

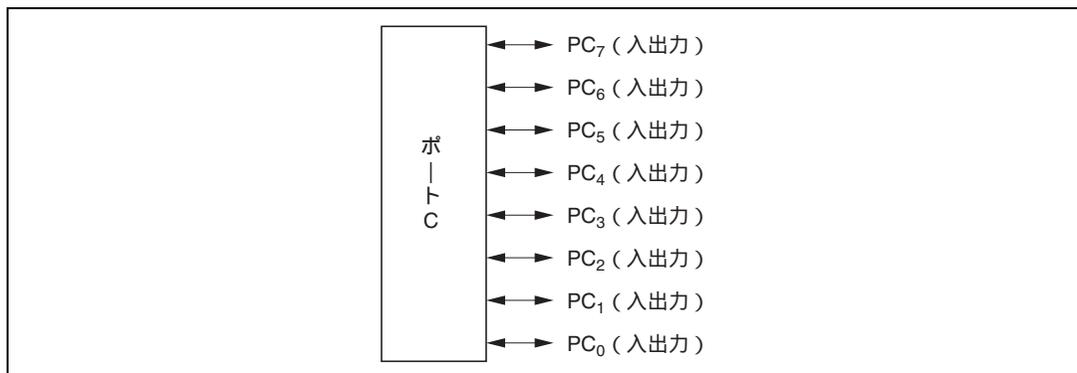


図 8.18 ポート C の端子機能 (モード 3、7)

8.10.4 入力プルアップ MOS

ポート C は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はモード 2、3、6、7 のときに使用でき、ビット単位でオン/オフを指定できます。

モード 2、3、6、7 のとき、PCDDR を 0 にクリアした状態で PCPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS は、パワーオンリセットまたはハードウェアスタンバイモードではオフします。マニュアルリセットまたはソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップ MOS の状態を表 8.18 に示します。

表 8.18 入力プルアップ MOS の状態 (ポート C)

モード	パワーオンリセット	ハードウェアスタンバイモード	マニュアルリセット	ソフトウェアスタンバイモード	その他の動作時
1、4、5	OFF		OFF		
2、3、6、7	ON/OFF				

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PCDDR = 0 かつ PCPCR = 1 のときオン状態、その他のときはオフ状態です。

8.11 ポート D

8.11.1 概要

ポート D は、8 ビットの入出力ポートです。ポート D は、データバス入出力機能を持っており、動作モードによって端子機能が切り替わります。

ポート D は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

ポート D の各端子の構成を図 8.19 に示します。

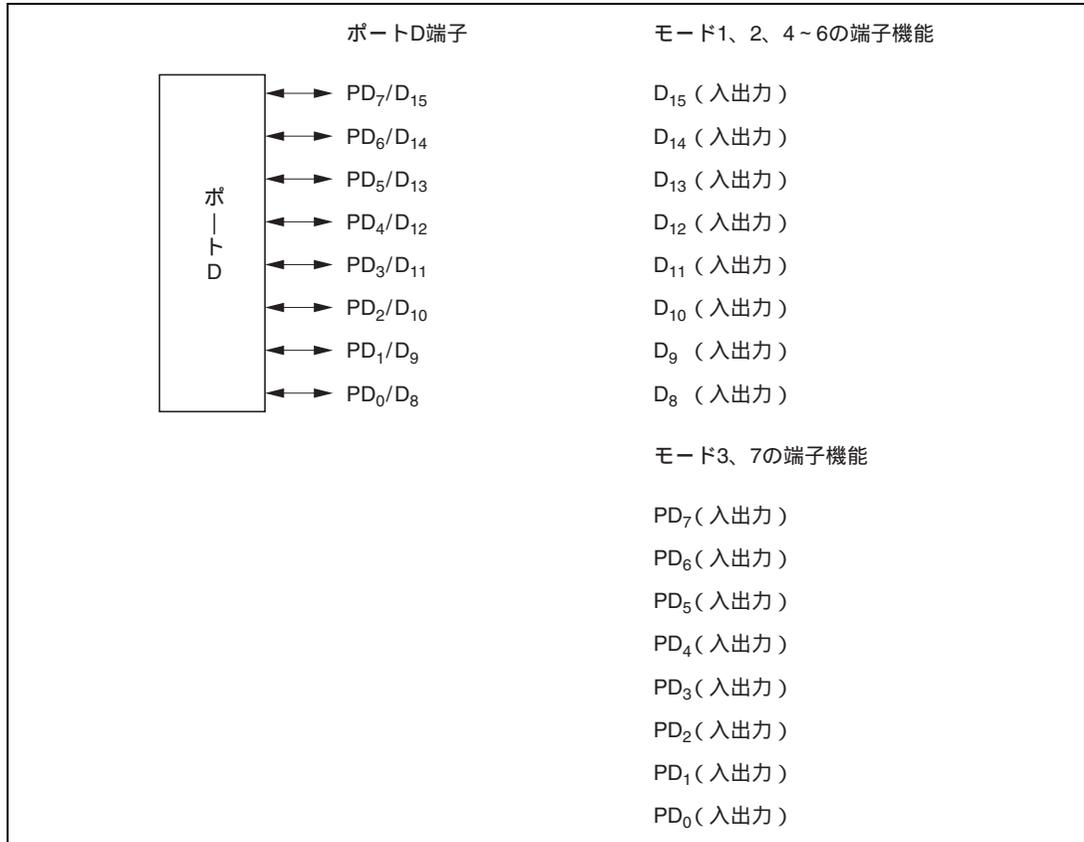


図 8.19 ポート D の端子機能

8.11.2 レジスタ構成

表 8.19 にポート D のレジスタ構成を示します。

表 8.19 ポート D レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート D データディレクションレジスタ	PDDDR	W	H'00	H'FEBC
ポート D データレジスタ	PDDR	R/W	H'00	H'FF6C
ポート D レジスタ	PORTD	R	不定	H'FF5C
ポート D プルアップ MOS コントロールレジスタ	PDPCR	R/W	H'00	H'FF73

【注】 * アドレスの低位 16 ビットを示しています。

(1) ポート D データディレクションレジスタ (PDDDR)

ビット :	7	6	5	4	3	2	1	0
	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PDDDR は、8 ビットのライト専用レジスタで、ポート D の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

PDDDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、PDDDR は直前の状態を保持します。

(a) モード 1、2、4~6

PDDDR による入出力の方向は無視され、自動的にデータ入出力となります。

(b) モード 3、7

PDDDR を 1 にセットすると対応するポート D の各端子は出力ポートとなり、0 にクリアすると入力ポートとなります。

(2) ポート D データレジスタ (PDDR)

ビット :	7	6	5	4	3	2	1	0
	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

PDDR は、8 ビットのリード/ライト可能なレジスタで、ポート D の各端子 (PD₇ ~ PD₀) の出力データを格納します。

PDDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート D レジスタ (PORTD)

ビット :	7	6	5	4	3	2	1	0
	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* PD₇~PD₀端子の状態により決定されます。

PORTD は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート D の各端子 (PD₇~PD₀) の出力データのライトは必ず PDDR に対して行ってください。

PDDDR が 1 にセットされているとき、ポート D のリードを行うと PDDR の値をリードします。PDDDR が 0 にクリアされているとき、ポート D のリードを行うと端子の状態が読み出されます。

PORTD は、パワーオンリセットまたはハードウェアスタンバイモードでは、PDDDR、PDDR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(4) ポート D プルアップ MOS コントロールレジスタ (PDPCR)

ビット :	7	6	5	4	3	2	1	0
	PD7PCR	PD6PCR	PD5PCR	PD4PCR	PD3PCR	PD2PCR	PD1PCR	PD0PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

PDPCR は、8 ビットのリード/ライト可能なレジスタで、ポート D に内蔵された入力プルアップ MOS をビットごとに制御します。

モード 3、7 では、PDDDR を 0 にクリアした(入力ポート)状態で、PDPCR を 1 にセットすると、入力プルアップ MOS はオンします。

PDPCR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されず。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

8.11.3 モード別端子機能

(1) モード 1、2、4~6

モード 1、2、4~6 のとき、ポート D は自動的にデータ入出力になります。
ポート D の端子機能を図 8.20 に示します。

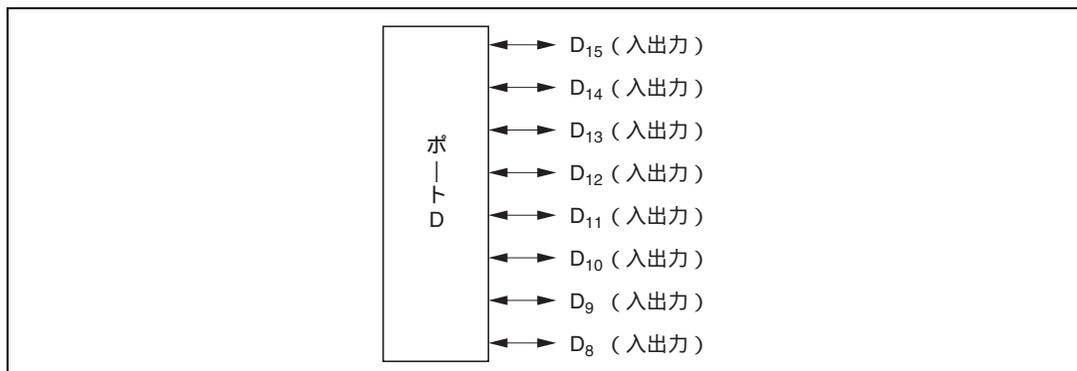


図 8.20 ポート D の端子機能 (モード 1、2、4~6)

(2) モード 3、7

モード 3、7 のとき、ポート D は入出力ポートとして機能し、各端子はビット単位で入出力を指定可能です。PDDDR の各ビットを 1 にセットすると対応する端子は出力ポートになり、0 にクリアすると入力ポートになります。

ポート D の端子機能を図 8.21 に示します。

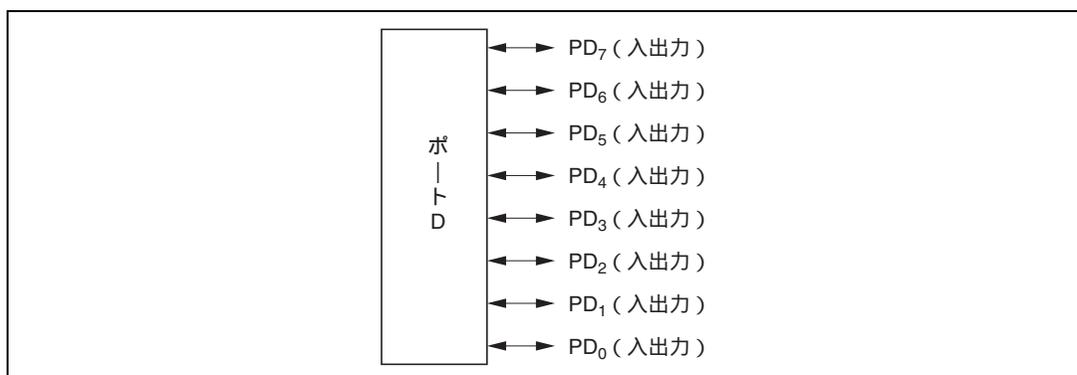


図 8.21 ポート D の端子機能 (モード 3、7)

8.11.4 入力プルアップ MOS

ポート D は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はモード 3、7 のときに使用でき、ビット単位でオン/オフを指定できます。

モード 3、7 のとき、PDDDR を 0 にクリアした状態で、PDPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS は、パワーオンリセットまたはハードウェアスタンバイモードではオフします。マニュアルリセットまたはソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップ MOS の状態を表 8.20 に示します。

表 8.20 入力プルアップ MOS の状態 (ポート D)

モード	パワーオンリセット	ハードウェアスタンバイモード	マニュアルリセット	ソフトウェアスタンバイモード	その他の動作時
1、2、4~6	OFF		OFF		
3、7			ON/OFF		

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PDDDR = 0 かつ PDPCR = 1 のときオン状態、その他のときはオフ状態です。

8.12 ポート E

8.12.1 概要

ポート E は、8 ビットの入出力ポートです。ポート E は、データバス入出力機能を持っており、動作モードおよび 8 ビット / 16 ビットバスモードによって端子機能が切り替わります。

ポート E は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

ポート E の各端子の構成を図 8.22 に示します。

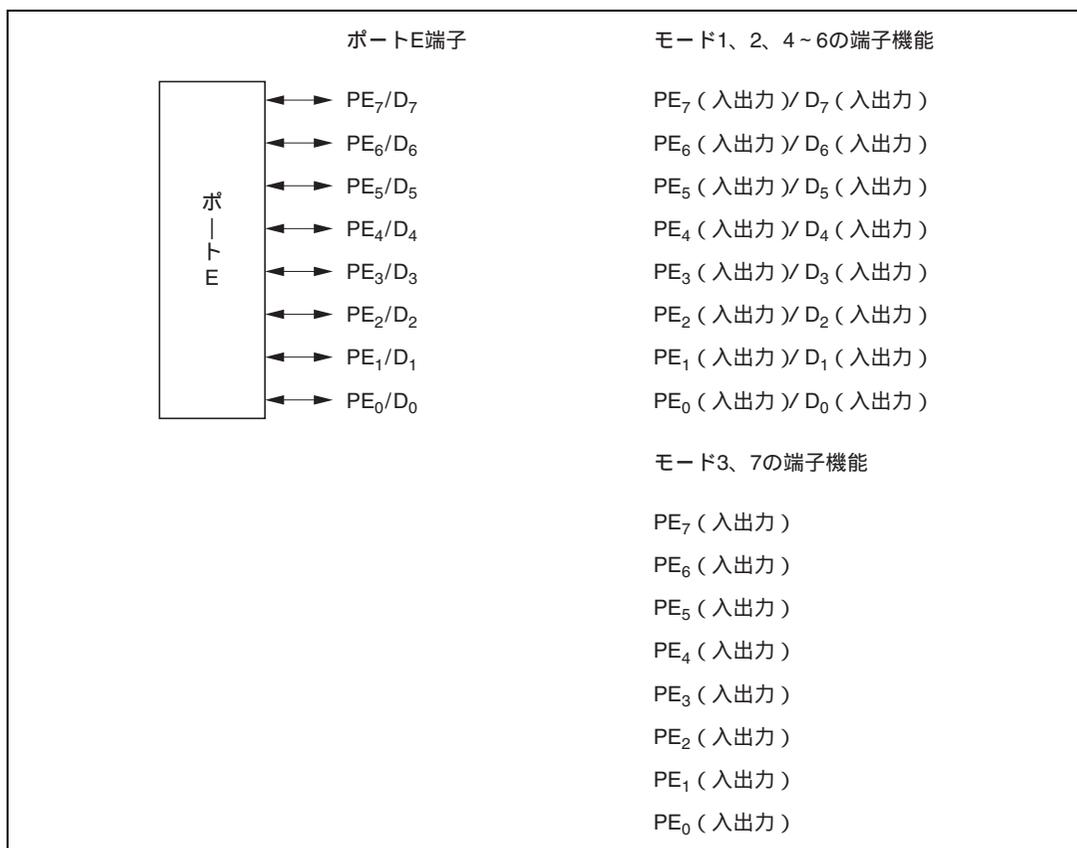


図 8.22 ポート E の端子機能

8.12.2 レジスタ構成

表 8.21 にポート E のレジスタ構成を示します。

表 8.21 ポート E レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート E データディレクションレジスタ	PEDDR	W	H'00	H'FEBD
ポート E データレジスタ	PEDR	R/W	H'00	H'FF6D
ポート E レジスタ	PORTE	R	不定	H'FF5D
ポート E プルアップ MOS コントロールレジスタ	PEPCR	R/W	H'00	H'FF74

【注】 * アドレスの低位 16 ビットを示しています。

(1) ポート E データディレクションレジスタ (PEDDR)

ビット :	7	6	5	4	3	2	1	0
	PE7DDR	PE6DDR	PE5DDR	PE4DDR	PE3DDR	PE2DDR	PE1DDR	PE0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PEDDR は、8 ビットのライト専用レジスタで、ポート E の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

PEDDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、PEDDR は直前の状態を保持します。

(a) モード 1、2、4~6

8 ビットバスモードとしたとき、ポート E は入出力ポートとして機能します。PEDDR を 1 にセットすると対応するポート E の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

16 ビットバスモードとしたとき、PEDDR による入出力の方向は無視され、データ入出力となります。

8 ビット / 16 ビットバスモードについては「第 6 章 バスコントローラ」を参照してください。

(b) モード 3、7

PEDDR を 1 にセットすると対応するポート E の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

(2) ポート E データレジスタ (PEDR)

ビット :	7	6	5	4	3	2	1	0
	PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

PEDR は、8 ビットのリード / ライト可能なレジスタで、ポート E の各端子 (PE₇ ~ PE₀) の出力デ

8. I/Oポート

ータを格納します。

PEDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されま
ず。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート E レジスタ (PORTE)

ビット :	7	6	5	4	3	2	1	0
	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* PE₇~PE₀端子の状態により決定されます。

PORTE は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポ
ート E の各端子 (PE₇~PE₀) の出力データのライトは必ず PEDR に対して行ってください。

PEDDR が 1 にセットされているとき、ポート E のリードを行うと PEDR の値をリードします。
PEDDR が 0 にクリアされているとき、ポート E のリードを行うと端子の状態が読み出されます。

PORTE は、パワーオンリセットまたはハードウェアスタンバイモードでは、PEDDR、PEDR が初
期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタン
バイモードでは、直前の状態を保持します。

(4) ポート E プルアップ MOS コントロールレジスタ (PEPCR)

ビット :	7	6	5	4	3	2	1	0
	PE7PCR	PE6PCR	PE5PCR	PE4PCR	PE3PCR	PE2PCR	PE1PCR	PE0PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

PEPCR は、8 ビットのリード/ライト可能なレジスタで、ポート E に内蔵された入力プルアップ
MOS をビットごとに制御します。

モード 1、2、4~6 で 8 ビットバスモードのとき、またはモード 3、7 のとき、PEDDR を 0 にクリ
アした (入力ポート) 状態で、PEPCR を 1 にセットすると、入力プルアップ MOS はオンします。

PEPCR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されま
ず。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

8.12.3 モード別端子機能

(1) モード 1、2、4~6

モード 1、2、4~6 の場合で、8 ビットアクセス空間に設定し、8 ビットバスモードとしたとき、ポート E は入出力ポートとして機能します。PEDDR を 1 にセットすると対応するポート E の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

また、16 ビットバスモードとしたとき、PEDDR による入出力の方向は無視され、データ入出力となります。

ポート E の端子機能を図 8.23 に示します。

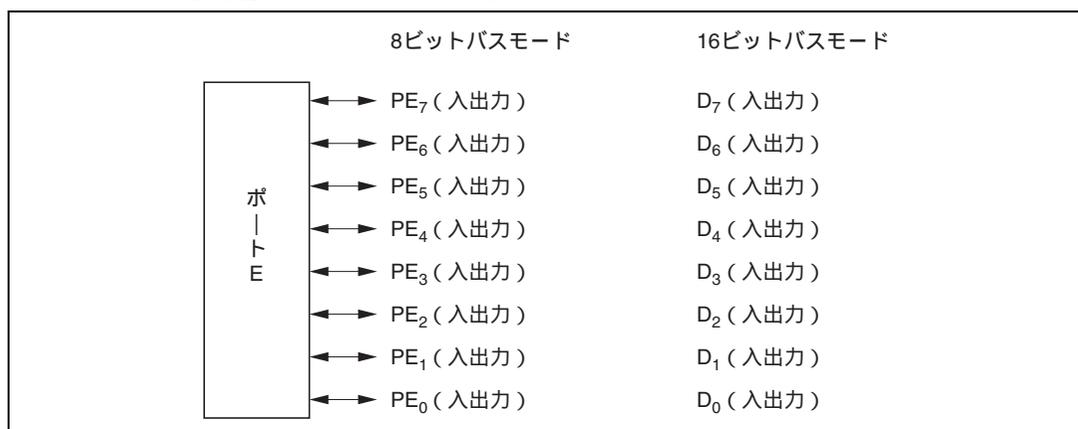


図 8.23 ポート E の端子機能 (モード 1、2、4~6)

(2) モード 3、7

モード 3、7 のとき、ポート E は入出力ポートとして機能し、各端子はビット単位で入出力を指定可能です。PEDDR の各ビットを 1 にセットすると対応する端子は出力ポートになり、0 にクリアすると入力ポートになります。

ポート E の端子機能を図 8.24 に示します。

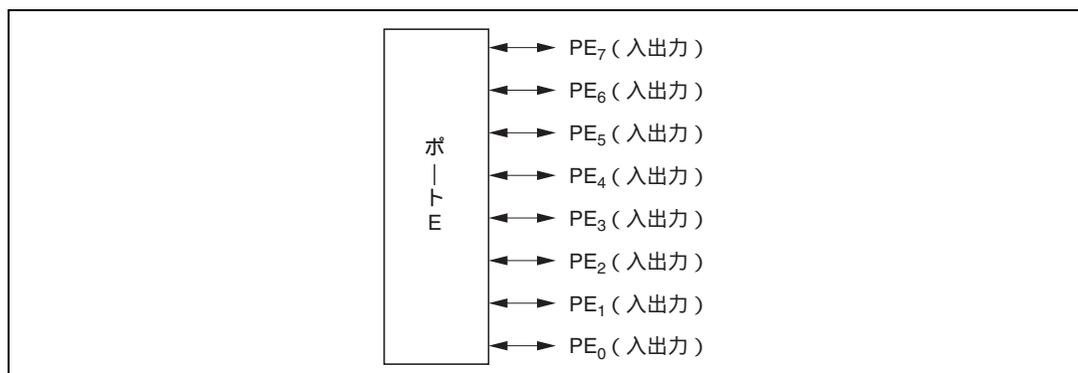


図 8.24 ポート E の端子機能 (モード 3、7)

8.12.4 入力プルアップ MOS

ポート E は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、モード 1、2、4~6 で 8 ビットバスモードのとき、またはモード 3、7 のときに使用でき、ビット単位でオン/オフを指定できます。

モード 1、2、4~6 で 8 ビットバスモードのとき、またはモード 3、7 のとき、PEDDR を 0 にクリアした状態で PEPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS は、パワーオンリセットまたはハードウェアスタンバイモードではオフします。マニュアルリセットまたはソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップ MOS の状態を表 8.22 に示します。

表 8.22 入力プルアップ MOS の状態 (ポート E)

モード		パワーオンリセット	ハードウェアスタンバイモード	マニュアルリセット	ソフトウェアスタンバイモード	その他の動作時
3、7		OFF		ON/OFF		
1、2、4~6	8 ビットバス	OFF		ON/OFF		
	16 ビットバス					

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PEDDR = 0 かつ PEPCR = 1 のときオン状態、その他のときはオフ状態です。

8.13 ポート F

8.13.1 概要

ポート F は、8 ビットの入出力ポートです。ポート F は、バス制御信号入出力端子 (\overline{AS} 、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR} 、 \overline{WAIT} 、 \overline{BREQ} 、 \overline{BACK}) およびシステムクロック (ϕ) 出力端子と兼用になっています。

ポート F の各端子の構成を図 8.25 に示します。

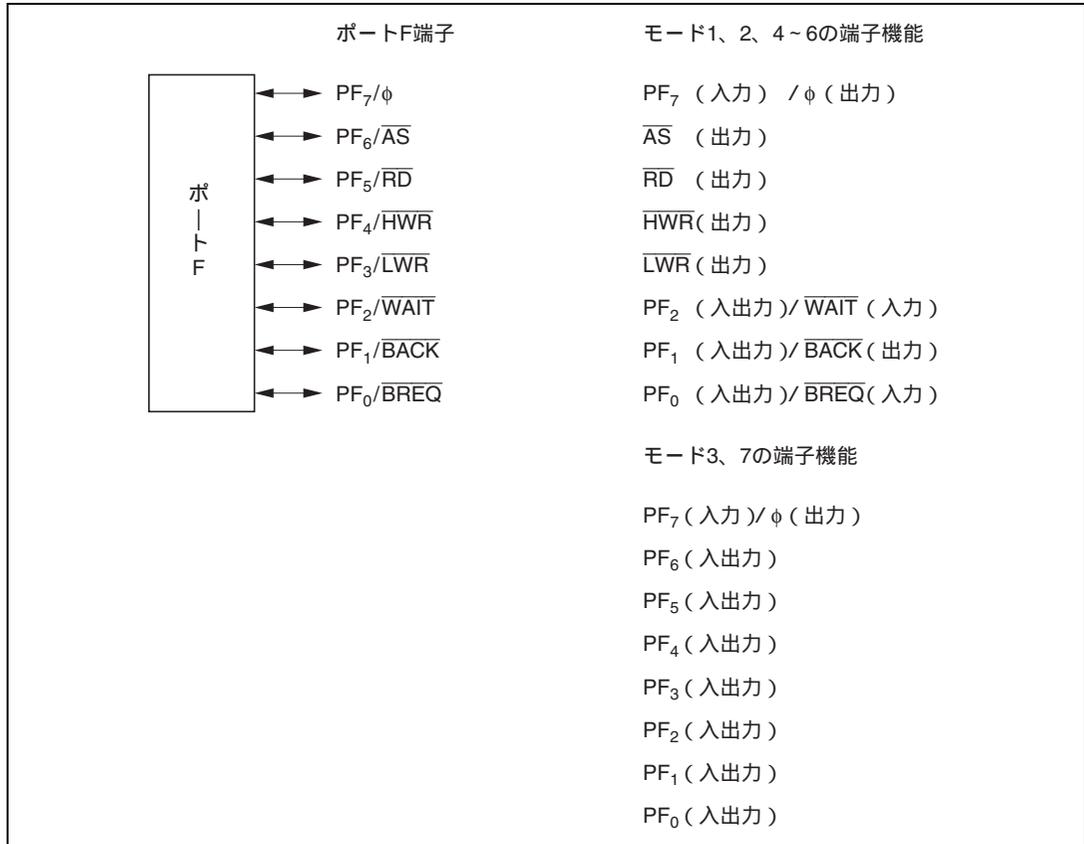


図 8.25 ポート F の端子機能

8.13.2 レジスタ構成

表 8.23 にポート F のレジスタ構成を示します。

表 8.23 ポート F レジスタ構成

名 称	略称	R/W	初期値	アドレス*1
ポート F データディレクションレジスタ	PFDDR	W	H'80 / H'00*2	H'FEBE
ポート F データレジスタ	PFDR	R/W	H'00	H'FF6E
ポート F レジスタ	PORTF	R	不定	H'FF5E

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 モードによって、初期値が異なります。

(1) ポート F データディレクションレジスタ (PFDDR)

ビット :	7	6	5	4	3	2	1	0
	PF7DDR	PF6DDR	PF5DDR	PF4DDR	PF3DDR	PF2DDR	PF1DDR	PF0DDR

モード1、2、4~6

初期値 :	1	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

モード3、7

初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PFDDR は、8 ビットのライト専用レジスタで、ポート F の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

PFDDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、モード 1、2、4~6 の場合 H'80 に、モード 3、7 の場合 H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、PFDDR は直前の状態を保持します。ソフトウェアスタンバイモードに遷移したとき、バス制御出力端子は出力状態を保持するか、ハイインピーダンス状態とするかを、SBYCR の OPE ビットで選択します。

(a) モード 1、2、4~6

PF₇ 端子は、PFDDR を 1 にセットするとφ出力端子、0 にクリアすると入力ポートになります。

PF₆ ~ PF₃ 端子は、PFDDR による入出力の方向は無視され、自動的にバス制御出力(\overline{AS} 、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR}) となります。

PF₂ ~ PF₀ 端子は、バスコントローラの設定により、バス制御入出力(\overline{WAIT} 、 \overline{BACK} 、 \overline{BREQ}) となります。それ以外するとき、PFDDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。

(b) モード 3、7

PFDDR を 1 にセットすると PF₇ 端子はφ出力端子、PF₆ ~ PF₀ 端子は出力ポートとなります。PFDDR を 0 にクリアすると各端子は入力ポートになります。

(2) ポート F データレジスタ (PFDR)

ビット :	7	6	5	4	3	2	1	0
	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

PFDR は、8 ビットのリード/ライト可能なレジスタで、ポート F の各端子 (PF₇ ~ PF₀) の出力データを格納します。

PFDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されません。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート F レジスタ (PORTF)

ビット :	7	6	5	4	3	2	1	0
	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* PF₇ ~ PF₀端子の状態により決定されます。

PORTF は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート F の各端子 (PF₇ ~ PF₀) の出力データのライトは必ず PFDR に対して行ってください。

PFDDR が 1 にセットされているとき、ポート F のリードを行うと PFDR の値をリードします。PFDDR が 0 にクリアされているとき、ポート F のリードを行うと端子の状態が読み出されます。

PORTF は、パワーオンリセットまたはハードウェアスタンバイモードでは、PFDDR、PFDR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

8. I/O ポート

8.13.3 端子機能

ポート F は、バス制御信号入出力端子 (\overline{AS} 、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR} 、 \overline{WAIT} 、 \overline{BREQ} 、 \overline{BACK}) およびシステムクロック (ϕ) 出力端子と兼用になっています。モード 1、2、4~6 とモード 3、7 では端子機能が異なります。ポート F の端子機能を表 8.24 に示します。

表 8.24 ポート F の端子機能

端子	選択方法と端子機能			
PF ₇ /φ	PF7DDR ビットにより、次のように切り替わります。			
	PF7DDR	0	1	
	端子機能	PF ₇ 入力端子	φ出力端子	
PF ₆ / \overline{AS}	動作モードと PF6DDR ビットにより、次のように切り替わります。			
	動作モード	モード1、2、4~6	モード3、7	
	PF6DDR	-	0	1
	端子機能	\overline{AS} 出力端子	PF ₆ 入力端子	PF ₆ 出力端子
PF ₅ / \overline{RD}	動作モードと PF5DDR ビットにより、次のように切り替わります。			
	動作モード	モード1、2、4~6	モード3、7	
	PF5DDR	-	0	1
	端子機能	\overline{RD} 出力端子	PF ₅ 入力端子	PF ₅ 出力端子
PF ₄ / \overline{HWR}	動作モードと PF4DDR ビットにより、次のように切り替わります。			
	動作モード	モード1、2、4~6	モード3、7	
	PF4DDR	-	0	1
	端子機能	\overline{HWR} 出力端子	PF ₄ 入力端子	PF ₄ 出力端子
PF ₃ / \overline{LWR}	動作モードと PF3DDR ビットにより、次のように切り替わります。			
	動作モード	モード1、2、4~6	モード3、7	
	PF3DDR	-	0	1
	端子機能	\overline{LWR} 出力端子	PF ₃ 入力端子	PF ₃ 出力端子

端子	選択方法と端子機能					
PF ₂ /WAIT	動作モードと WAITE ビット、および PF2DDR ビットの組み合わせにより次のように切り替わります。					
	動作モード	モード1、2、4~6			モード3、7	
	WAITE	0		1	-	
	PF2DDR	0	1	-	0	1
	端子機能	PF ₂ 入力端子	PF ₂ 出力端子	WAIT 入力端子	PF ₂ 入力端子	PF ₂ 出力端子
PF ₁ /BACK	動作モードと BRLE ビットと PF1DDR ビットにより次のように切り替わります。					
	動作モード	モード1、2、4~6			モード3、7	
	BRLE	0		1	-	
	PF1DDR	0	1	-	0	1
	端子機能	PF ₁ 入力端子	PF ₁ 出力端子	BACK 出力端子	PF ₁ 入力端子	PF ₁ 出力端子
PF ₀ /BREQ	動作モードと BRLE ビットと PF0DDR ビットにより次のように切り替わります。					
	動作モード	モード1、2、4~6			モード3、7	
	BRLE	0		1	-	
	PF0DDR	0	1	-	0	1
	端子機能	PF ₀ 入力端子	PF ₀ 出力端子	BREQ 入力端子	PF ₀ 入力端子	PF ₀ 出力端子

8.14 ポート G

8.14.1 概要

ポート G は、5 ビットの入出力ポートで、バス制御信号出力端子 ($\overline{CS0} \sim \overline{CS3}$) と兼用になっています。

ポート G の各端子の構成を図 8.26 に示します。

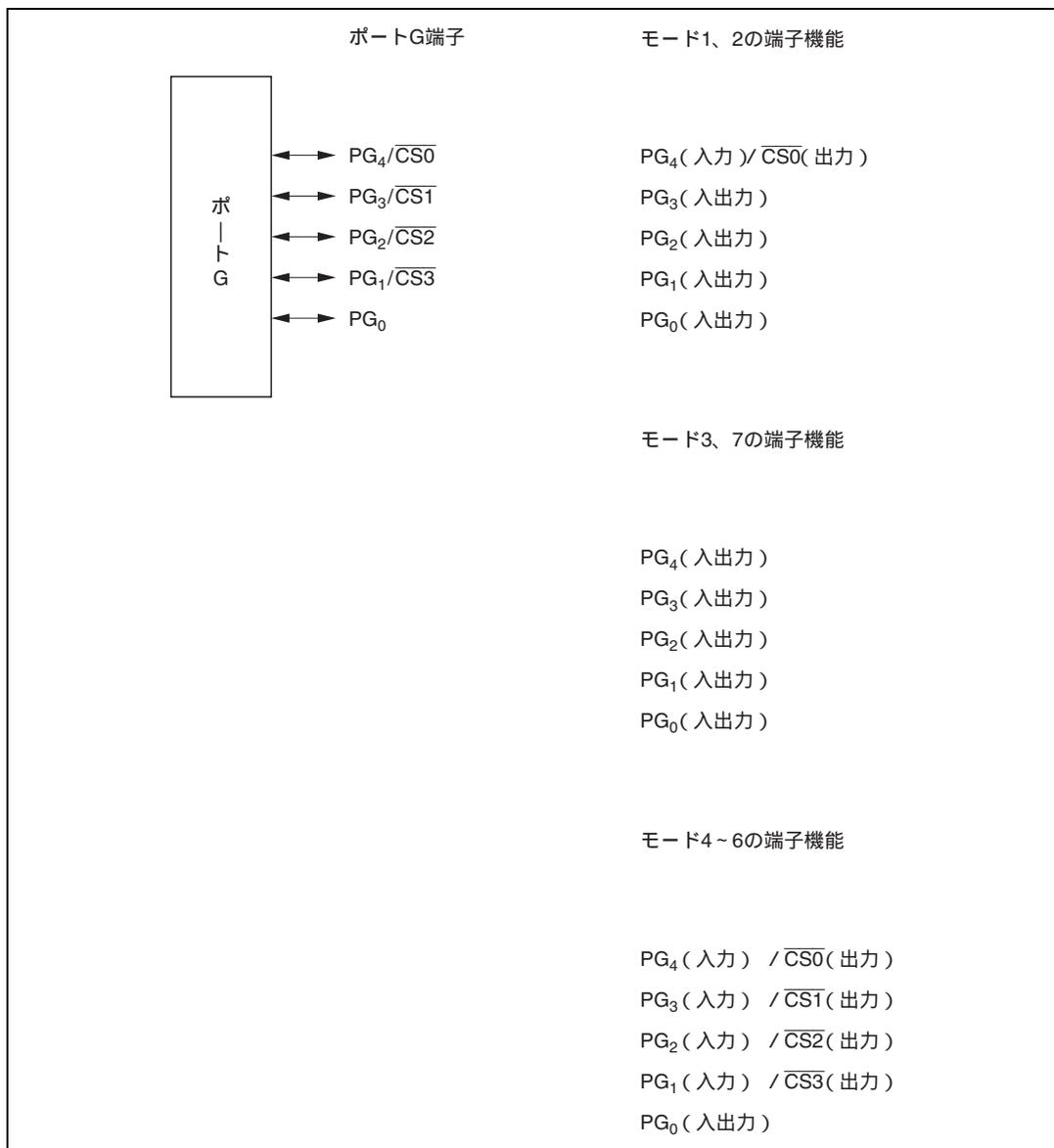


図 8.26 ポート G の端子機能

8.14.2 レジスタ構成

表 8.25 にポート G のレジスタ構成を示します。

表 8.25 ポート G レジスタ構成

名 称	略称	R/W	初期値*2	アドレス*1
ポート G データディレクションレジスタ	PGDDR	W	H'10 / H'00*3	H'FEBF
ポート G データレジスタ	PGDR	R/W	H'00	H'FF6F
ポート G レジスタ	PORTG	R	不定	H'FF5F

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 ビット 4~0 の値を示しています。

*3 モードによって、初期値が異なります。

(1) ポート G データディレクションレジスタ (PGDDR)

ビット :	7	6	5	4	3	2	1	0
				PG4DDR	PG3DDR	PG2DDR	PG1DDR	PG0DDR

モード1、4、5

初期値 :	不定	不定	不定	1	0	0	0	0
R/W :				W	W	W	W	W

モード2、3、6、7

初期値 :	不定	不定	不定	0	0	0	0	0
R/W :				W	W	W	W	W

PGDDR は、8 ビットのライト専用レジスタで、ポート G の各端子の入出力をビットごとに指定します。リードは無効です。また、ビット 7~5 はリザーブビットです。リードすると不定値が読み出されます。

PG4DDR ビットは、パワーオンリセットまたはハードウェアスタンバイモードでは、モード 1、4、5 の場合 1 に、モード 2、3、6、7 の場合 0 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、PGDDR は直前の状態を保持します。ソフトウェアスタンバイモードに遷移したとき、バス制御出力端子は出力状態を保持するか、ハイインピーダンス状態とするかを、SBYCR の OPE ビットで選択します。

(a) モード 1、2

PG₂ 端子は、PGDDR を 1 にセットするとバス制御信号出力端子 ($\overline{CS0}$)、0 にクリアすると入力ポートになります。

PG₃ ~ PG₀ 端子は、PGDDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。

(b) モード 3、7

PGDDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。

8. I/Oポート

(c) モード4~6

PG₄~PG₀端子は、PGDDRを1にセットするとバス制御信号出力端子 ($\overline{CS0} \sim \overline{CS3}$)、0にクリアすると入力ポートになります。

PG₀端子はPGDDRを1にセットすると出力ポート、0にクリアすると入力ポートになります。

(2) ポートGデータレジスタ (PGDR)

ビット:	7	6	5	4	3	2	1	0
	-	-	-	PG4DR	PG3DR	PG2DR	PG1DR	PG0DR
初期値:	不定	不定	不定	0	0	0	0	0
R/W:	-	-	-	R/W	R/W	R/W	R/W	R/W

PGDRは、8ビットのリード/ライト可能なレジスタで、ポートGの各端子 (PG₄~PG₀) の出力データを格納します。

ビット7~5はリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

PGDRは、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 (ビット4~0) に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポートGレジスタ (PORTG)

ビット:	7	6	5	4	3	2	1	0
	-	-	-	PG4	PG3	PG2	PG1	PG0
初期値:	不定	不定	不定	-*	-*	-*	-*	-*
R/W:	-	-	-	R	R	R	R	R

【注】* PG₄~PG₀端子の状態により決定されます。

PORTGは、8ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポートGの各端子 (PG₄~PG₀) の出力データのライトは必ずPGDRに対して行ってください。

ビット7~5はリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

PGDDRが1にセットされているとき、ポートGのリードを行うとPGDRの値をリードします。PGDDRが0にクリアされているとき、ポートGのリードを行うと端子の状態が読み出されます。

PORTGは、パワーオンリセットまたはハードウェアスタンバイモードでは、PGDDR、PGDRが初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

8.14.3 端子機能

ポート G は、バス制御信号出力端子 ($\overline{CS0} \sim \overline{CS3}$) と兼用になっています。モード 1、2 とモード 3、7 とモード 4~6 では端子機能が異なります。ポート G の端子機能を表 8.26 に示します。

表 8.26 ポート G の端子機能

端子	選択方法と端子機能				
$PG_4/\overline{CS0}$	動作モードと PG4DDR ビットにより、次のように切り替わります。				
	動作モード	モード1、2、4~6		モード3、7	
	PG4DDR	0	1	0	1
	端子機能	PG ₄ 入力端子	$\overline{CS0}$ 出力端子	PG ₄ 入力端子	PG ₄ 出力端子
$PG_3/\overline{CS1}$	動作モードと PG3DDR ビットにより、次のように切り替わります。				
	動作モード	モード1、2、3、7		モード4~6	
	PG3DDR	0	1	0	1
	端子機能	PG ₃ 入力端子	PG ₃ 出力端子	PG ₃ 入力端子	$\overline{CS1}$ 出力端子
$PG_2/\overline{CS2}$	動作モードと PG2DDR ビットにより、次のように切り替わります。				
	動作モード	モード1、2、3、7		モード4~6	
	PG2DDR	0	1	0	1
	端子機能	PG ₂ 入力端子	PG ₂ 出力端子	PG ₂ 入力端子	$\overline{CS2}$ 出力端子
$PG_1/\overline{CS3}$	動作モードと PG1DDR ビットにより、次のように切り替わります。				
	動作モード	モード1、2、3、7		モード4~6	
	PG1DDR	0	1	0	1
	端子機能	PG ₁ 入力端子	PG ₁ 出力端子	PG ₁ 入力端子	$\overline{CS3}$ 出力端子
PG ₀	PG0DDR ビットにより、次のように切り替わります。				
	PG0DDR	0		1	
	端子機能	PG ₀ 入力端子		PG ₀ 出力端子	

9. 16ビットタイマパルスユニット (TPU)

9.1 概要

本 LSI は、6 チャンネルの 16 ビットタイマにより構成される 16 ビットタイマパルスユニット (TPU) を内蔵しています。

9.1.1 特長

最大 16 本のパルス入出力が可能

- チャンネル 0、3 は各 4 本、チャンネル 1、2、4、5 は各 2 本、合計 16 本のタイマジェネラルレジスタ (TGR) を持ち、各レジスタ独立にアウトプットコンペア / インプットキャプチャレジスタの設定が可能
- チャンネル 0、3 の TGRC、TGRD は、バッファレジスタとして使用可能

各チャンネルごとに 8 種類のカウント入力クロックを選択可能

各チャンネルとも次の動作を設定可能

- コンペアマッチによる波形出力 : 0 出力、1 出力、トグル出力が選択可能
- インプットキャプチャ機能 : 立ち上がりエッジ、立ち下がりエッジ、両エッジ検出が選択可能
- カウンタクリア動作 : コンペアマッチ、インプットキャプチャによるカウンタクリアが可能
- 同期動作 : 複数のタイマカウンタ (TCNT) への同時書き込みが可能
コンペアマッチ / インプットキャプチャによる同時クリアが可能
カウンタの同期動作による各レジスタの同期入出力が可能
- PWM モード : 任意デューティの PWM 出力が可能
同期動作と組み合わせることにより、最大 15 相の PWM 出力が可能

チャンネル 0、3 はバッファ動作を設定可能

- インプットキャプチャレジスタのダブルバッファ構成が可能
- アウトプットコンペアレジスタの自動書き換えが可能

チャンネル 1、2、4、5 はおのおの独立に位相計数モードを設定可能

- 2 相エンコーダパルスのアップダウンカウントが可能

カスケード接続動作

- チャンネル 2 (チャンネル 5) の入力クロックを、チャンネル 1 (チャンネル 4) のオーバフロー / アンダフローにすることにより 32 ビットカウンタとして動作

9. 16ビットタイムパルスユニット (TPU)

内部 16 ビットバスによる高速アクセス

- 16 ビットバスインタフェースによる高速アクセスが可能

26 種類の割り込み要因

- チャンネル 0、3 はコンペアマッチ / インพุットキャプチャ兼用割り込み × 4 本、オーバフロー割り込み × 1 本が独立に要求可能
- チャンネル 1、2、4、5 はコンペアマッチ / インพุットキャプチャ兼用割り込み × 2 本、オーバフロー割り込み × 1 本、アンダフロー割り込み × 1 本が独立に要求可能

レジスタのデータの自動転送が可能

- データトランスファコントローラ (DTC) の起動により、ブロック転送、1 ワードデータ転送、および 1 バイトデータ転送が可能

A/D 変換器の変換スタートトリガを生成可能

- チャンネル 0~5 のコンペアマッチ A / インพุットキャプチャ A 信号を A/D 変換器の変換開始トリガとして使用可能

モジュールストップモードの設定可能

- 初期値では TPU の動作は停止。モジュールストップモードの解除によりレジスタのアクセスが可能

表 9.1 に TPU の機能一覧を示します。

表 9.1 機能一覧

項目	チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	チャンネル 4	チャンネル 5
カウントクロック	φ / 1	φ / 1	φ / 1	φ / 1	φ / 1	φ / 1
	φ / 4	φ / 4	φ / 4	φ / 4	φ / 4	φ / 4
	φ / 16					
	φ / 64					
	TCLKA	φ / 256	φ / 1024	φ / 256	φ / 1024	φ / 256
	TCLKB	TCLKA	TCLKA	φ / 1024	TCLKA	TCLKA
	TCLKC	TCLKB	TCLKB	φ / 4096	TCLKC	TCLKC
	TCLKD		TCLKC	TCLKA		TCLKD
ジェネラルレジスタ	TGR0A	TGR1A	TGR2A	TGR3A	TGR4A	TGR5A
	TGR0B	TGR1B	TGR2B	TGR3B	TGR4B	TGR5B
ジェネラルレジスタ / パッファレジスタ	TGR0C	-	-	TGR3C	-	-
	TGR0D			TGR3D		
入出力端子	TIOCA0	TIOCA1	TIOCA2	TIOCA3	TIOCA4	TIOCA5
	TIOCB0	TIOCB1	TIOCB2	TIOCB3	TIOCB4	TIOCB5
	TIOCC0			TIOCC3		
	TIOCD0			TIOCD3		
カウンタクリア機能	TGR の コンペアマッチ または インพุット キャプチャ					

9. 16 ビットタイマパルスユニット (TPU)

項 目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4	チャンネル5
コンペアマッチ 出力	0 出力					
	1 出力					
	トグル 出力					
インプットキャプチャ 機能						
同期動作						
PWM モード						
位相計数モード	-			-		
バッファ動作		-	-		-	-
DTC の起動	TGR の コンペアマッ チまたは インプット キャプチャ	TGR の コンペアマッ チまたは インプット キャプチャ	TGR の コンペアマッ チまたは インプット キャプチャ	TGR の コンペアマッ チまたは インプット キャプチャ	TGR の コンペアマッ チまたは インプット キャプチャ	TGR の コンペアマッ チまたは インプット キャプチャ
A/D 変換開始 トリガ	TGR0A の コンペアマッ チまたは インプット キャプチャ	TGR1A の コンペアマッ チまたは インプット キャプチャ	TGR2A の コンペアマッ チまたは インプット キャプチャ	TGR3A の コンペアマッ チまたは インプット キャプチャ	TGR4A の コンペアマッ チまたは インプット キャプチャ	TGR5A の コンペアマッ チまたは インプット キャプチャ
割り込み要因	5 要因 <ul style="list-style-type: none"> • コンペアマッチ /インプット キャプチャ0A • コンペアマッチ /インプット キャプチャ0B • コンペアマッチ /インプット キャプチャ0C • コンペアマッチ /インプット キャプチャ0D • オーバフロー 	4 要因 <ul style="list-style-type: none"> • コンペアマッチ /インプット キャプチャ1A • コンペアマッチ /インプット キャプチャ1B • オーバフロー • アンダフロー 	4 要因 <ul style="list-style-type: none"> • コンペアマッチ /インプット キャプチャ2A • コンペアマッチ /インプット キャプチャ2B • オーバフロー • アンダフロー 	5 要因 <ul style="list-style-type: none"> • コンペアマッチ /インプット キャプチャ3A • コンペアマッチ /インプット キャプチャ3B • コンペアマッチ /インプット キャプチャ3C • コンペアマッチ /インプット キャプチャ3D • オーバフロー 	4 要因 <ul style="list-style-type: none"> • コンペアマッチ /インプット キャプチャ4A • コンペアマッチ /インプット キャプチャ4B • オーバフロー • アンダフロー 	4 要因 <ul style="list-style-type: none"> • コンペアマッチ /インプット キャプチャ5A • コンペアマッチ /インプット キャプチャ5B • オーバフロー • アンダフロー

【記号説明】

: 可能

- : 不可

9. 16ビットタイマパルスユニット (TPU)

9.1.2 ブロック図

TPUのブロック図を図9.1に示します。

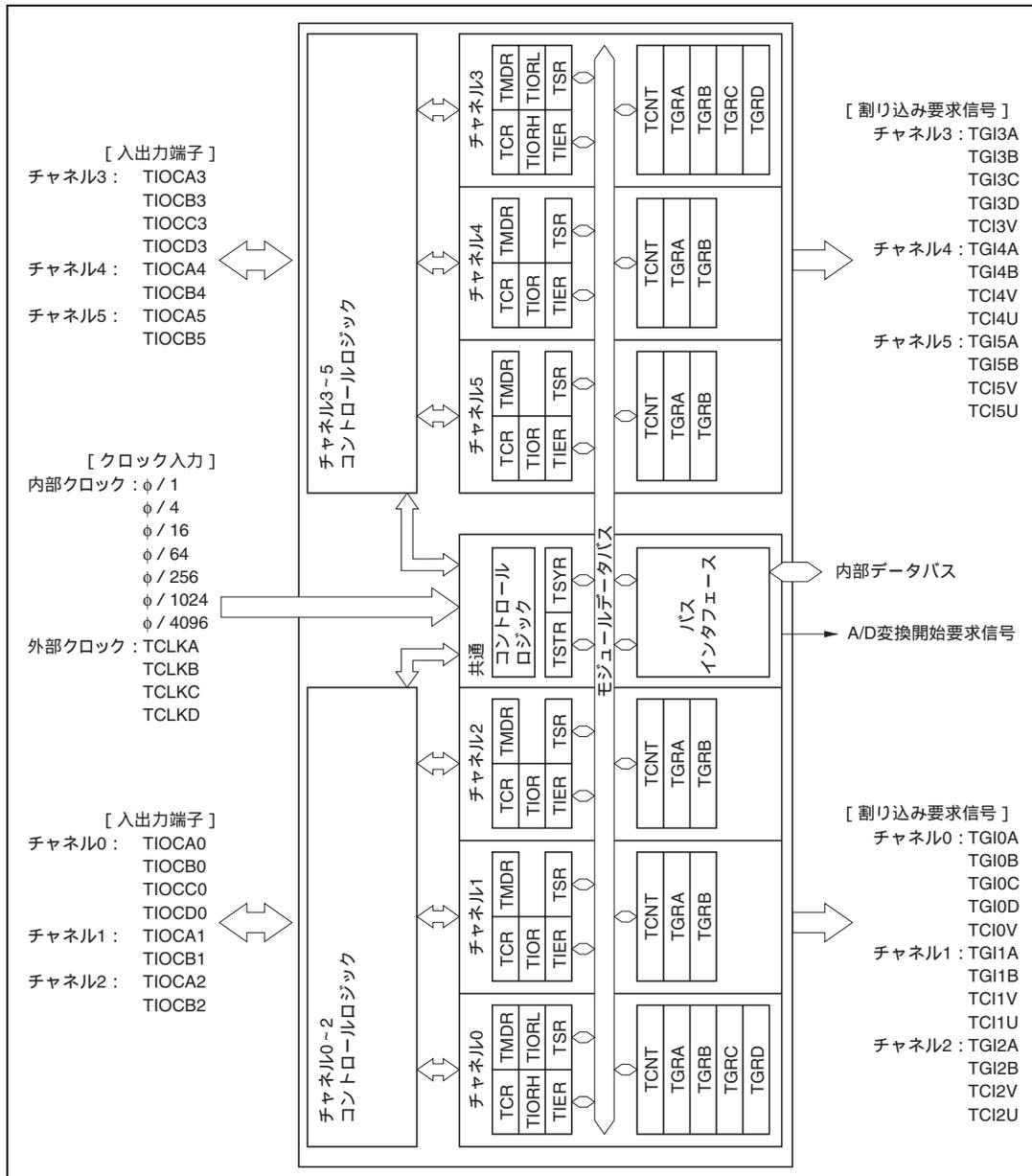


図 9.1 TPU のブロック図

9.1.3 端子構成

TPU の端子構成を表 9.2 に示します。

表 9.2 端子構成

チャンネル	名称	略称	入出力	機能
共通	クロック入力 A	TCLKA	入力	外部クロック A 入力端子 (チャンネル 1、5 の位相計数モード A 相入力)
	クロック入力 B	TCLKB	入力	外部クロック B 入力端子 (チャンネル 1、5 の位相計数モード B 相入力)
	クロック入力 C	TCLKC	入力	外部クロック C 入力端子 (チャンネル 2、4 の位相計数モード A 相入力)
	クロック入力 D	TCLKD	入力	外部クロック D 入力端子 (チャンネル 2、4 の位相計数モード B 相入力)
0	インプットキャプチャ / アウトコンペアマッチ A0	TIOCA0	入出力	TGR0A のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ B0	TIOCB0	入出力	TGR0B のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ C0	TIOCC0	入出力	TGR0C のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ D0	TIOCD0	入出力	TGR0D のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
1	インプットキャプチャ / アウトコンペアマッチ A1	TIOCA1	入出力	TGR1A のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ B1	TIOCB1	入出力	TGR1B のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
2	インプットキャプチャ / アウトコンペアマッチ A2	TIOCA2	入出力	TGR2A のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ B2	TIOCB2	入出力	TGR2B のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
3	インプットキャプチャ / アウトコンペアマッチ A3	TIOCA3	入出力	TGR3A のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ B3	TIOCB3	入出力	TGR3B のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ C3	TIOCC3	入出力	TGR3C のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ D3	TIOCD3	入出力	TGR3D のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
4	インプットキャプチャ / アウトコンペアマッチ A4	TIOCA4	入出力	TGR4A のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ B4	TIOCB4	入出力	TGR4B のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
5	インプットキャプチャ / アウトコンペアマッチ A5	TIOCA5	入出力	TGR5A のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ B5	TIOCB5	入出力	TGR5B のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子

9. 16ビットタイマパルスユニット (TPU)

9.1.4 レジスタ構成

TPU のレジスタ構成を表 9.3 に示します。

表 9.3 レジスタ構成

チャンネル	名 称	略 称	R/W	初期値	アドレス*1
0	タイマコントロールレジスタ 0	TCR0	R/W	H'00	H'FFD0
	タイマモードレジスタ 0	TMDR0	R/W	H'C0	H'FFD1
	タイマ I/O コントロールレジスタ 0H	TIOR0H	R/W	H'00	H'FFD2
	タイマ I/O コントロールレジスタ 0L	TIOR0L	R/W	H'00	H'FFD3
	タイマインタラプトイネーブルレジスタ 0	TIER0	R/W	H'40	H'FFD4
	タイマステータスレジスタ 0	TSR0	R/(W)*2	H'C0	H'FFD5
	タイマカウンタ 0	TCNT0	R/W	H'0000	H'FFD6
	タイマジェネラルレジスタ 0A	TGR0A	R/W	H'FFFF	H'FFD8
	タイマジェネラルレジスタ 0B	TGR0B	R/W	H'FFFF	H'FFDA
	タイマジェネラルレジスタ 0C	TGR0C	R/W	H'FFFF	H'FFDC
	タイマジェネラルレジスタ 0D	TGR0D	R/W	H'FFFF	H'FFDE
1	タイマコントロールレジスタ 1	TCR1	R/W	H'00	H'FFE0
	タイマモードレジスタ 1	TMDR1	R/W	H'C0	H'FFE1
	タイマ I/O コントロールレジスタ 1	TIOR1	R/W	H'00	H'FFE2
	タイマインタラプトイネーブルレジスタ 1	TIER1	R/W	H'40	H'FFE4
	タイマステータスレジスタ 1	TSR1	R/(W)*2	H'C0	H'FFE5
	タイマカウンタ 1	TCNT1	R/W	H'0000	H'FFE6
	タイマジェネラルレジスタ 1A	TGR1A	R/W	H'FFFF	H'FFE8
	タイマジェネラルレジスタ 1B	TGR1B	R/W	H'FFFF	H'FFE9
	タイマコントロールレジスタ 2	TCR2	R/W	H'00	H'FFF0
	タイマモードレジスタ 2	TMDR2	R/W	H'C0	H'FFF1
	タイマ I/O コントロールレジスタ 2	TIOR2	R/W	H'00	H'FFF2
タイマインタラプトイネーブルレジスタ 2	TIER2	R/W	H'40	H'FFF4	
タイマステータスレジスタ 2	TSR2	R/(W)*2	H'C0	H'FFF5	
タイマカウンタ 2	TCNT2	R/W	H'0000	H'FFF6	
タイマジェネラルレジスタ 2A	TGR2A	R/W	H'FFFF	H'FFF8	
タイマジェネラルレジスタ 2B	TGR2B	R/W	H'FFFF	H'FFFA	
3	タイマコントロールレジスタ 3	TCR3	R/W	H'00	H'FE80
	タイマモードレジスタ 3	TMDR3	R/W	H'C0	H'FE81
	タイマ I/O コントロールレジスタ 3H	TIOR3H	R/W	H'00	H'FE82
	タイマ I/O コントロールレジスタ 3L	TIOR3L	R/W	H'00	H'FE83
	タイマインタラプトイネーブルレジスタ 3	TIER3	R/W	H'40	H'FE84
	タイマステータスレジスタ 3	TSR3	R/(W)*2	H'C0	H'FE85
	タイマカウンタ 3	TCNT3	R/W	H'0000	H'FE86
	タイマジェネラルレジスタ 3A	TGR3A	R/W	H'FFFF	H'FE88
	タイマジェネラルレジスタ 3B	TGR3B	R/W	H'FFFF	H'FE89
	タイマジェネラルレジスタ 3C	TGR3C	R/W	H'FFFF	H'FE8C
	タイマジェネラルレジスタ 3D	TGR3D	R/W	H'FFFF	H'FE8E

9. 16 ビットタイマパルスユニット (TPU)

チャンネル	名 称	略 称	R/W	初期値	アドレス*1
4	タイマコントロールレジスタ 4	TCR4	R/W	H'00	H'FE90
	タイマモードレジスタ 4	TMDR4	R/W	H'C0	H'FE91
	タイマ I/O コントロールレジスタ 4	TIOR4	R/W	H'00	H'FE92
	タイマインタラプトイネーブルレジスタ 4	TIER4	R/W	H'40	H'FE94
	タイマステータスレジスタ 4	TSR4	R/(W)*2	H'C0	H'FE95
	タイマカウンタ 4	TCNT4	R/W	H'0000	H'FE96
	タイマジェネラルレジスタ 4A	TGR4A	R/W	H'FFFF	H'FE98
	タイマジェネラルレジスタ 4B	TGR4B	R/W	H'FFFF	H'FE9A
5	タイマコントロールレジスタ 5	TCR5	R/W	H'00	H'FEA0
	タイマモードレジスタ 5	TMDR5	R/W	H'C0	H'FEA1
	タイマ I/O コントロールレジスタ 5	TIOR5	R/W	H'00	H'FEA2
	タイマインタラプトイネーブルレジスタ 5	TIER5	R/W	H'40	H'FEA4
	タイマステータスレジスタ 5	TSR5	R/(W)*2	H'C0	H'FEA5
	タイマカウンタ 5	TCNT5	R/W	H'0000	H'FEA6
	タイマジェネラルレジスタ 5A	TGR5A	R/W	H'FFFF	H'FEA8
	タイマジェネラルレジスタ 5B	TGR5B	R/W	H'FFFF	H'FEAA
共通	タイマスタートレジスタ	TSTR	R/W	H'00	H'FFC0
	タイマシンクロレジスタ	TSYR	R/W	H'00	H'FFC1
	モジュールストップコントロールレジスタ	MSTPCR	R/W	H'3FFF	H'FF3C

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 フラグをクリアするための 0 ライトのみ可能です。

9.2 各レジスタの説明

9.2.1 タイマコントロールレジスタ (TCR)

チャンネル0 : TCR0

チャンネル3 : TCR3

ビット :	7	6	5	4	3	2	1	0
	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

チャンネル1 : TCR1

チャンネル2 : TCR2

チャンネル4 : TCR4

チャンネル5 : TCR5

ビット :	7	6	5	4	3	2	1	0
	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	-	R/W						

TCR は各チャンネルの TCNT を制御する 8 ビットのレジスタです。TPU には、チャンネル 0~5 に各 1 本、計 6 本の TCR があります。TCR は、リセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

TCR の設定は、TCNT の動作が停止した状態で行ってください。

9. 16 ビットタイムパルスユニット (TPU)

ビット7、6、5：カウンタクリア2、1、0 (CCLR2、CCLR1、CCLR0)

TCNTのカウンタクリア要因を選択します。

チャンネル	ビット7	ビット6	ビット5	説 明
	CCLR2	CCLR1	CCLR0	
0, 3	0	0	0	TCNTのクリア禁止 (初期値)
			1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
		1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
			1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*1
	1	0	0	TCNTのクリア禁止
			1	TGRCのコンペアマッチ/インプットキャプチャでTCNTクリア*2
		1	0	TGRDのコンペアマッチ/インプットキャプチャでTCNTクリア*2
			1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*1

チャンネル	ビット7	ビット6	ビット5	説 明
	リザーブ*3	CCLR1	CCLR0	
1, 2	0	0	0	TCNTのクリア禁止 (初期値)
4, 5			1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
		1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
1			同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*1	

【注】 *1 同期動作の設定は、TSYRのSYNCビットを1にセットすることにより行います。

*2 TGRCまたはTGRDをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNTはクリアされません。

*3 チャンネル1、2、4、5ではビット7はリザーブです。リードすると常に0が読み出されます。ライトは無効です。

ビット4、3：クロックエッジ1、0 (CKEG1、CKEG0)

入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が1/2になります(例： $\phi/4$ の両エッジ= $\phi/2$ の立ち上がりエッジ)。チャンネル1、2、4、5で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。

ビット4	ビット3	説 明
CKEG1	CKEG0	
0	0	立ち上がりエッジでカウント (初期値)
	1	立ち下がりエッジでカウント
1	-	両エッジでカウント

【注】 内部クロックのエッジ選択は、入力クロックが $\phi/4$ もしくはそれより遅い場合に有効です。入力クロックに $\phi/1$ 、あるいは他のチャンネルのオーバフロー/アンダフローを選択した場合は本設定は無視されます。

9. 16ビットタイマパルスユニット (TPU)

ビット2、1、0：タイマプリスケラ2、1、0 (TPSC2～TPSC0)

TCNTのカウンタクロックを選択します。各チャンネル独立にクロックソースを選択することができます。表9.4に各チャンネルごとに設定可能なクロックソース一覧を示します。

表 9.4 TPUのクロックソース一覧

チャンネル	内部クロック						外部クロック				他のチャンネルのオーバーフロー/アンダフロー	
	$\phi/1$	$\phi/4$	$\phi/16$	$\phi/64$	$\phi/256$	$\phi/1024$	$\phi/4096$	TCLKA	TCLKB	TCLKC		TCLKD
0												
1												
2												
3												
4												
5												

【記号説明】

：設定あり

空欄：設定なし

チャンネル	ビット2	ビット1	ビット0	説 明	
	TPSC2	TPSC1	TPSC0		
0	0	0	0	内部クロック： $\phi/1$ でカウント (初期値)	
			1	内部クロック： $\phi/4$ でカウント	
			1	0	内部クロック： $\phi/16$ でカウント
				1	内部クロック： $\phi/64$ でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント	
			1	外部クロック：TCLKB 端子入力でカウント	
			1	0	外部クロック：TCLKC 端子入力でカウント
				1	外部クロック：TCLKD 端子入力でカウント

チャンネル	ビット2	ビット1	ビット0	説 明	
	TPSC2	TPSC1	TPSC0		
1	0	0	0	内部クロック： $\phi/1$ でカウント (初期値)	
			1	内部クロック： $\phi/4$ でカウント	
			1	0	内部クロック： $\phi/16$ でカウント
				1	内部クロック： $\phi/64$ でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント	
			1	外部クロック：TCLKB 端子入力でカウント	
			1	0	内部クロック： $\phi/256$ でカウント
				1	TCNT2のオーバーフロー/アンダフローでカウント

【注】 チャンネル1が位相計数モード時、この設定は無効になります。

9. 16 ビットタイマパルスユニット (TPU)

チャンネル	ビット2	ビット1	ビット0	説 明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック : $\phi/1$ でカウント (初期値)
			1	内部クロック : $\phi/4$ でカウント
		1	0	内部クロック : $\phi/16$ でカウント
			1	内部クロック : $\phi/64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
			1	外部クロック : TCLKB 端子入力でカウント
		1	0	外部クロック : TCLKC 端子入力でカウント
			1	内部クロック : $\phi/1024$ でカウント

【注】 チャンネル2 が位相計数モード時、この設定は無効になります。

チャンネル	ビット2	ビット1	ビット0	説 明
	TPSC2	TPSC1	TPSC0	
3	0	0	0	内部クロック : $\phi/1$ でカウント (初期値)
			1	内部クロック : $\phi/4$ でカウント
		1	0	内部クロック : $\phi/16$ でカウント
			1	内部クロック : $\phi/64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
			1	内部クロック : $\phi/1024$ でカウント
		1	0	内部クロック : $\phi/256$ でカウント
			1	内部クロック : $\phi/4096$ でカウント

チャンネル	ビット2	ビット1	ビット0	説 明
	TPSC2	TPSC1	TPSC0	
4	0	0	0	内部クロック : $\phi/1$ でカウント (初期値)
			1	内部クロック : $\phi/4$ でカウント
		1	0	内部クロック : $\phi/16$ でカウント
			1	内部クロック : $\phi/64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
			1	外部クロック : TCLKC 端子入力でカウント
		1	0	内部クロック : $\phi/1024$ でカウント
			1	TCNT5 のオーバフロー / アンダフローでカウント

【注】 チャンネル4 が位相計数モード時、この設定は無効になります。

9. 16ビットタイマパルスユニット (TPU)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
5	0	0	0	内部クロック： $\phi/1$ でカウント (初期値)
			1	内部クロック： $\phi/4$ でカウント
		1	0	内部クロック： $\phi/16$ でカウント
			1	内部クロック： $\phi/64$ でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
			1	外部クロック：TCLKC 端子入力でカウント
		1	0	内部クロック： $\phi/256$ でカウント
			1	外部クロック：TCLKD 端子入力でカウント

【注】 チャンネル5が位相計数モード時、この設定は無効になります。

9.2.2 タイマモードレジスタ (TMDR)

チャンネル0：TMDR0

チャンネル3：TMDR3

ビット：	7	6	5	4	3	2	1	0
	-	-	BFB	BFA	MD3	MD2	MD1	MD0
初期値：	1	1	0	0	0	0	0	0
R/W：	-	-	R/W	R/W	R/W	R/W	R/W	R/W

チャンネル1：TMDR1

チャンネル2：TMDR2

チャンネル4：TMDR4

チャンネル5：TMDR5

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	MD3	MD2	MD1	MD0
初期値：	1	1	0	0	0	0	0	0
R/W：	-	-	-	-	R/W	R/W	R/W	R/W

TMDRは8ビットのリード/ライト可能なレジスタで、各チャンネルの動作モードの設定を行います。TPUには、各チャンネル1本、計6本のTMDRがあります。TMDRは、リセットまたはハードウェアスタンバイモード時にH'COに初期化されます。

TMDRの設定は、TCNTの動作が停止した状態で行ってください。

ビット7、6：リザーブ

リードすると常に1が読み出されます。ライトは無効です。

ビット5：バッファ動作 B (BFB)

TGRB を通常動作させるか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。TGRD をバッファレジスタとして使用した場合は、TGRD のインプットキャプチャ/アウトプットコンペアは発生しません。

TGRD を持たないチャンネル 1、2、4、5 ではこのビットはリザーブビットになります。リードすると常に0が読み出されます。ライトは無効です。

ビット5	説明
BFB	
0	TGRB は通常動作 (初期値)
1	TGRB と TGRD はバッファ動作

ビット4：バッファ動作 A (BFA)

TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します。TGRC をバッファレジスタとして使用した場合は、TGRC のインプットキャプチャ/アウトプットコンペアは発生しません。

TGRC を持たないチャンネル 1、2、4、5 ではこのビットはリザーブビットになります。リードすると常に0が読み出されます。ライトは無効です。

ビット4	説明
BFA	
0	TGRA は通常動作 (初期値)
1	TGRA と TGRC はバッファ動作

9. 16 ビットタイマパルスユニット (TPU)

ビット 3~0 : モード 3~0 (MD3~MD0)

MD3~MD0 はタイマの動作モードを設定します。

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
MD3* ¹	MD2* ²	MD1	MD0		
0	0	0	0	通常動作 (初期値)	
			1	リザーブ	
		1	0	PWM モード 1	
			1	PWM モード 2	
	1	0	0	0	位相計数モード 1
				1	位相計数モード 2
		1	0	0	位相計数モード 3
				1	位相計数モード 4
1	*	*	*	-	

【記号説明】* : Don't care

【注】*1 MD3 はリザーブビットです。

ライト時には常に 0 を書き込んでください。

*2 チャンネル 0、3 では、位相計数モードの設定はできません。

MD2 には常に 0 をライトしてください。

9.2.3 タイマ I/O コントロールレジスタ (TIOR)

チャンネル0 : TIOR0H

チャンネル1 : TIOR1

チャンネル2 : TIOR2

チャンネル3 : TIOR3H

チャンネル4 : TIOR4

チャンネル5 : TIOR5

ビット :	7	6	5	4	3	2	1	0
	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

チャンネル0 : TIOR0L

チャンネル3 : TIOR3L

ビット :	7	6	5	4	3	2	1	0
	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

【注】 TGR_C、あるいはTGR_Dをバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

TIOR は TGR を制御する 8 ビットのレジスタです。TPU には、チャンネル 0、3 に各 2 本、チャンネル 1、2、4、5 に各 1 本、計 8 本の TIOR があります。TIOR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

TIOR は TMDR の設定により影響を受けますので注意してください。

TIOR で指定した初期出力はカウンタが停止した (TSTR の CST ビットを 0 にクリアした) 状態で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

9. 16ビットタイマパルスユニット (TPU)

ビット7~4 : I/O コントロール B3~0 (IOB3~IOB0)

I/O コントロール D3~0 (IOD3~IOD0)

IOB3~IOB0 ビットは TGRB の機能を設定します。

IOD3~IOD0 ビットは TGRD の機能を設定します。

チャンネル	ビット7	ビット6	ビット5	ビット4	説明							
	IOB3	IOB2	IOB1	IOB0								
0	0	0	0	0	TGR0B は アウトプット コンペア レジスタ	出力禁止 (初期値)						
				1		初期出力は0出力	コンペアマッチで0出力					
				0		コンペアマッチで1出力						
			1	0		出力禁止						
				1		初期出力は1出力	コンペアマッチで0出力					
				0		コンペアマッチで1出力						
	1	0	0	0	TGR0B は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCBO 端子	立ち上がりエッジでインプットキャプチャ					
				1			* 立ち下がりエッジでインプットキャプチャ					
				1		*	*	0	キャプチャ入力元 はチャンネル1/ カウントクロック	TCNT1 のカウントアップ/ カウントダウンでインプット キャプチャ*1		
											1	* 両エッジでインプットキャプチャ
											0	
											1	

【記号説明】* : Don't care

チャンネル	ビット7	ビット6	ビット5	ビット4	説明							
	IOD3	IOD2	IOD1	IOD0								
0	0	0	0	0	TGR0D は アウトプット コンペア レジスタ*2	出力禁止 (初期値)						
				1		初期出力は0出力	コンペアマッチで0出力					
				0		コンペアマッチで1出力						
			1	0		出力禁止						
				1		初期出力は1出力	コンペアマッチで0出力					
				0		コンペアマッチで1出力						
	1	0	0	0	TGR0D は インプット キャプチャ レジスタ*2	キャプチャ入力元 は TIOCDO 端子	立ち上がりエッジでインプットキャプチャ					
				1			* 立ち下がりエッジでインプットキャプチャ					
				1		*	*	0	キャプチャ入力元 はチャンネル1/ カウントクロック	TCNT1 のカウントアップ/ カウントダウンでインプット キャプチャ*1		
											1	* 両エッジでインプットキャプチャ
											0	
											1	

【記号説明】* : Don't care

【注】*1 TCR1 の TPSC2~TPSC0 ビットを B'000 とし、TCNT1 のカウントクロックに $\phi/1$ を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

*2 TMDR0 の BFB ビットを 1 にセットして TGR0D をバッファレジスタとして使用した場合は、本

9. 16 ビットタイムパルスユニット (TPU)

設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

チャンネル	ビット 7	ビット 6	ビット 5	ビット 4	説 明			
	IOB3	IOB2	IOB1	IOB0				
1	0	0	0	0	TGR1B は アウトプット コンペア レジスタ	出力禁止 (初期値)		
				1		初期出力は0出力	コンペアマッチで0出力	
				1		コンペアマッチで1出力	コンペアマッチでトグル出力	
			1	0		0	出力禁止	
						1	初期出力は1出力	コンペアマッチで0出力
						1	コンペアマッチで1出力	コンペアマッチでトグル出力
	1	0	0	0	TGR1B は インプット キャプチャ レジスタ	キャプチャ入力元は TIOCB1 端子	立ち上がりエッジでインプットキャプチャ	
				1		*	立ち下がりエッジでインプットキャプチャ	
				1		*	両エッジでインプットキャプチャ	
			1	*		*	キャプチャ入力元は TGR0C コンペアマッチ/インプットキャプチャ	TGROC のコンペアマッチ / インプットキャプチャの発生でインプットキャプチャ

【記号説明】* : Don't care

チャンネル	ビット 7	ビット 6	ビット 5	ビット 4	説 明			
	IOB3	IOB2	IOB1	IOB0				
2	0	0	0	0	TGR2B は アウトプット コンペア レジスタ	出力禁止 (初期値)		
				1		初期出力は0出力	コンペアマッチで0出力	
				1		コンペアマッチで1出力	コンペアマッチでトグル出力	
			1	0		0	出力禁止	
						1	初期出力は1出力	コンペアマッチで0出力
						1	コンペアマッチで1出力	コンペアマッチでトグル出力
	1	*	0	0	TGR2B は インプット キャプチャ レジスタ	キャプチャ入力元は TIOCB2 端子	立ち上がりエッジでインプットキャプチャ	
				1		*	立ち下がりエッジでインプットキャプチャ	
				1		*	両エッジでインプットキャプチャ	

【記号説明】* : Don't care

9. 16 ビットタイマパルスユニット (TPU)

チャンネル	ビット 7	ビット 6	ビット 5	ビット 4	説 明				
	IOB3	IOB2	IOB1	IOB0					
3	0	0	0	0	TGR3B は アウトプット コンペア レジスタ	出力禁止 (初期値)			
				1		初期出力は0出力	コンペアマッチで0出力		
				1		0	コンペアマッチで1出力		
			1	0		0	出力禁止		
						1	初期出力は1出力	コンペアマッチで0出力	
						1	0	コンペアマッチで1出力	
	1	0	0	0	TGR3B は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCB3 端子	立ち上がりエッジでインプットキャプチャ		
				1		*	立ち下がりエッジでインプットキャプチャ		
				1		*	両エッジでインプットキャプチャ		
			1	*		*	キャプチャ入力元 はチャンネル4/ カウントクロック	TCNT4 のカウントアップ/ カウントダウンでインプット キャプチャ* ¹	

【記号説明】* : Don't care

チャンネル	ビット 7	ビット 6	ビット 5	ビット 4	説 明				
	IOD3	IOD2	IOD1	IOD0					
3	0	0	0	0	TGR3D は アウトプット コンペア レジスタ* ²	出力禁止 (初期値)			
				1		初期出力は0出力	コンペアマッチで0出力		
				1		0	コンペアマッチで1出力		
			1	0		0	出力禁止		
						1	初期出力は1出力	コンペアマッチで0出力	
						1	0	コンペアマッチで1出力	
	1	0	0	0	TGR3D は インプット キャプチャ レジスタ* ²	キャプチャ入力元 は TIOCD3 端子	立ち上がりエッジでインプットキャプチャ		
				1		*	立ち下がりエッジでインプットキャプチャ		
				1		*	両エッジでインプットキャプチャ		
			1	*		*	キャプチャ入力元 はチャンネル4/ カウントクロック	TCNT4 のカウントアップ/ カウントダウンでインプット キャプチャ* ¹	

【記号説明】* : Don't care

【注】 *¹ TCR4 の TPSC2 ~ TPSC0 ビットを B'000 とし、TCNT4 のカウントクロックに $\phi/1$ を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

*² TMDR3 の BFB ビットを 1 にセットして TGR3D をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

9. 16 ビットタイムパルスユニット (TPU)

チャンネル	ビット 7	ビット 6	ビット 5	ビット 4	説明					
	IOB3	IOB2	IOB1	IOB0						
4	0	0	0	0	TGR4B は アウトプット コンペア レジスタ	出力禁止 (初期値)				
				1		初期出力は0出力	コンペアマッチで0出力			
				0			コンペアマッチで1出力			
			1	コンペアマッチでトグル出力						
			1	0		0	1	TGR4B は インプット キャプチャ レジスタ	出力禁止	
							0		初期出力は1出力	コンペアマッチで0出力
	1	コンペアマッチで1出力								
	0	コンペアマッチでトグル出力								
	1	0	0	0	TGR4B は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCB4 端子	立ち上がりエッジでインプットキャプチャ			
				1			立ち下がりエッジでインプットキャプチャ			
				*			両エッジでインプットキャプチャ			
	1	*	*	0		TGR4B は インプット キャプチャ レジスタ	キャプチャ入力元 は TGR3C コンペア マッチ/インプ ットキャプチャ	TGR3C のコンペアマッチ / インプットキャプチャの発生で インプットキャプチャ		
1										
*										

【記号説明】* : Don't care

チャンネル	ビット 7	ビット 6	ビット 5	ビット 4	説明					
	IOB3	IOB2	IOB1	IOB0						
5	0	0	0	0	TGR5B は アウトプット コンペア レジスタ	出力禁止 (初期値)				
				1		初期出力は0出力	コンペアマッチで0出力			
				0			コンペアマッチで1出力			
			1	コンペアマッチでトグル出力						
			1	0		0	1	TGR5B は インプット キャプチャ レジスタ	出力禁止	
							0		初期出力は1出力	コンペアマッチで0出力
	1	コンペアマッチで1出力								
	0	コンペアマッチでトグル出力								
	1	*	0	0	TGR5B は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCB5 端子	立ち上がりエッジでインプットキャプチャ			
				1			立ち下がりエッジでインプットキャプチャ			
				*			両エッジでインプットキャプチャ			
	1	*	*	0		TGR5B は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCB5 端子	立ち上がりエッジでインプットキャプチャ		
1				立ち下がりエッジでインプットキャプチャ						
*				両エッジでインプットキャプチャ						

【記号説明】* : Don't care

9. 16 ビットタイマパルスユニット (TPU)

ビット 3~0: I/O コントロール A3~0 (IOA3~IOA0)

I/O コントロール C3~0 (IOC3~IOC0)

IOA3~IOA0 は TGRA の機能を設定します。

IOC3~IOC0 は TGRC の機能を設定します。

チャネル	ビット 3	ビット 2	ビット 1	ビット 0	説明			
	IOA3	IOA2	IOA1	IOA0				
0	0	0	0	0	TGR0A は アウトプット コンペア レジスタ	出力禁止 (初期値)		
				1		初期出力は 0 出力	コンペアマッチで 0 出力	
				0		コンペアマッチで 1 出力		
			1	0		出力禁止		
				1		初期出力は 1 出力	コンペアマッチで 0 出力	
				0		コンペアマッチで 1 出力		
	1	0	0	0	TGR0A は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCA0 端子	立ち上がりエッジでインプットキャプチャ	
				1		*	立ち下がりエッジでインプットキャプチャ	
				0		*	両エッジでインプットキャプチャ	
			1	*		*	キャプチャ入力元 はチャンネル 1/ カウントクロック	TCNT1 のカウントアップ/ カウントダウンでインプット キャプチャ

【記号説明】*: Don't care

チャネル	ビット 3	ビット 2	ビット 1	ビット 0	説明			
	IOC3	IOC2	IOC1	IOC0				
0	0	0	0	0	TGR0C は アウトプット コンペア レジスタ*1	出力禁止 (初期値)		
				1		初期出力は 0 出力	コンペアマッチで 0 出力	
				0		コンペアマッチで 1 出力		
			1	0		出力禁止		
				1		初期出力は 1 出力	コンペアマッチで 0 出力	
				0		コンペアマッチで 1 出力		
	1	0	0	0	TGR0C は インプット キャプチャ レジスタ*1	キャプチャ入力元 は TIOCC0 端子	立ち上がりエッジでインプットキャプチャ	
				1		*	立ち下がりエッジでインプットキャプチャ	
				0		*	両エッジでインプットキャプチャ	
			1	*		*	キャプチャ入力元 はチャンネル 1/ カウントクロック	TCNT1 のカウントアップ/ カウントダウンでインプット キャプチャ

【記号説明】*: Don't care

【注】*1 TMDR0 の BFA ビットを 1 にセットして TGR0C をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

9. 16 ビットタイムパルスユニット (TPU)

チャンネル	ビット 3	ビット 2	ビット 1	ビット 0	説明					
	IOA3	IOA2	IOA1	IOA0						
1	0	0	0	0	TGR1A は アウトプット コンペア レジスタ	出力禁止 (初期値)				
				1		初期出力は0出力	コンペアマッチで0出力			
				1		コンペアマッチで1出力	コンペアマッチでトル出力			
			1	0		0	出力禁止			
						1	初期出力は1出力	コンペアマッチで0出力		
						1	コンペアマッチで1出力	コンペアマッチでトル出力		
	1	0	0	0	TGR1A は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCA1 端子	立ち上がりエッジでインプットキャプチャ			
				1			* 両エッジでインプットキャプチャ			
				1			* 両エッジでインプットキャプチャ			
			1	*		*	キャプチャ入力元 は TGR0A コンペア マッチ/インプ ットキャプチャ			チャンネル0 / TGR0A の コンペアマッチ/ インプットキャプチャの発生で インプットキャプチャ

【記号説明】* : Don't care

チャンネル	ビット 3	ビット 2	ビット 1	ビット 0	説明			
	IOA3	IOA2	IOA1	IOA0				
2	0	0	0	0	TGR2A は アウトプット コンペア レジスタ	出力禁止 (初期値)		
				1		初期出力は0出力	コンペアマッチで0出力	
				1		コンペアマッチで1出力	コンペアマッチでトル出力	
			1	0		0	出力禁止	
						1	初期出力は1出力	コンペアマッチで0出力
						1	コンペアマッチで1出力	コンペアマッチでトル出力
	1	*	0	0	TGR2A は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCA2 端子	立ち上がりエッジでインプットキャプチャ	
				1			* 両エッジでインプットキャプチャ	
				1			* 両エッジでインプットキャプチャ	

【記号説明】* : Don't care

9. 16 ビットタイムパルスユニット (TPU)

チャンネル	ビット 3	ビット 2	ビット 1	ビット 0	説 明				
	IOA3	IOA2	IOA1	IOA0					
3	0	0	0	0	TGR3A は アウトプット コンペア レジスタ	出力禁止 (初期値)			
				1		初期出力は0出力	コンペアマッチで0出力		
				0		コンペアマッチで1出力			
			1	0		0	出力禁止		
						1	初期出力は1出力	コンペアマッチで0出力	
						0	コンペアマッチで1出力	コンペアマッチでトグル出力	
	1	0	0	0	TGR3A は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCA3 端子	立ち上がりエッジでインプットキャプチャ		
				1			*	立ち下がりエッジでインプットキャプチャ	
				0			*	両エッジでインプットキャプチャ	
			1	*		*	キャプチャ入力元 はチャンネル4/ カウントクロック	TCNT4 のカウントアップ/ カウントダウンでインプット キャプチャ	

【記号説明】* : Don't care

チャンネル	ビット 3	ビット 2	ビット 1	ビット 0	説 明				
	IOC3	IOC2	IOC1	IOC0					
3	0	0	0	0	TGR3C は アウトプット コンペア レジスタ*1	出力禁止 (初期値)			
				1		初期出力は0出力	コンペアマッチで0出力		
				0		コンペアマッチで1出力	コンペアマッチでトグル出力		
			1	0		0	出力禁止		
						1	初期出力は1出力	コンペアマッチで0出力	
						0	コンペアマッチで1出力	コンペアマッチでトグル出力	
	1	0	0	0	TGR3C は インプット キャプチャ レジスタ*1	キャプチャ入力元 は TIOCC3 端子	立ち上がりエッジでインプットキャプチャ		
				1			*	立ち下がりエッジでインプットキャプチャ	
				0			*	両エッジでインプットキャプチャ	
			1	*		*	キャプチャ入力元 はチャンネル4/ カウントクロック	TCNT4 のカウントアップ/ カウントダウンでインプット キャプチャ	

【記号説明】* : Don't care

【注】 *1 TMDR3 の BFA ビットを 1 にセットして TGR3C をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

9. 16 ビットタイムパルスユニット (TPU)

チャンネル	ビット 3	ビット 2	ビット 1	ビット 0	説 明				
	IOA3	IOA2	IOA1	IOA0					
4	0	0	0	0	TGR4A は アウトプット コンペア レジスタ	出力禁止 (初期値)			
				1		初期出力は0出力	コンペアマッチで0出力		
				0			コンペアマッチで1出力		
			1	コンペアマッチでトグル出力					
			1	0		0	0	出力禁止	
							1	初期出力は1出力	コンペアマッチで0出力
	0	コンペアマッチで1出力							
	1	0	0	0	TGR4A は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCA4 端子	立ち上がりエッジでインプットキャプチャ		
				1			立ち下がりエッジでインプットキャプチャ		
				*			両エッジでインプットキャプチャ		
		1	*	*		0	キャプチャ入力元 は TGR3A コンペア マッチ/インプ ットキャプチャ	TGR3A のコンペアマッチ / インプットキャプチャの発生で インプットキャプチャ	
						1			
*									

【記号説明】* : Don't care

チャンネル	ビット 3	ビット 2	ビット 1	ビット 0	説 明				
	IOA3	IOA2	IOA1	IOA0					
5	0	0	0	0	TGR5A は アウトプット コンペア レジスタ	出力禁止 (初期値)			
				1		初期出力は0出力	コンペアマッチで0出力		
				0			コンペアマッチで1出力		
			1	コンペアマッチでトグル出力					
			1	0		0	0	出力禁止	
							1	初期出力は1出力	コンペアマッチで0出力
	0	コンペアマッチで1出力							
	1	*	0	0	TGR5A は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCA5 端子	立ち上がりエッジでインプットキャプチャ		
				1			立ち下がりエッジでインプットキャプチャ		
				*			両エッジでインプットキャプチャ		
		1	*	0		0	キャプチャ入力元 は TGR3A コンペア マッチ/インプ ットキャプチャ	TGR3A のコンペアマッチ / インプットキャプチャの発生で インプットキャプチャ	
						1			
*									

【記号説明】* : Don't care

9. 16ビットタイムパルスユニット (TPU)

9.2.4 タイマインタラプトイネーブルレジスタ (TIER)

チャンネル0 : TIER0

チャンネル3 : TIER3

ビット :	7	6	5	4	3	2	1	0
	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
初期値 :	0	1	0	0	0	0	0	0
R/W :	R/W	-	-	R/W	R/W	R/W	R/W	R/W

チャンネル1 : TIER1

チャンネル2 : TIER2

チャンネル4 : TIER4

チャンネル5 : TIER5

ビット :	7	6	5	4	3	2	1	0
	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA
初期値 :	0	1	0	0	0	0	0	0
R/W :	R/W	-	R/W	R/W	-	-	R/W	R/W

TIERは8ビットのレジスタで、各チャンネルの割り込み要求の許可、禁止を制御します。TPUには、各チャンネル1本、計6本のTIERがあります。TIERは、リセットまたはハードウェアスタンバイモード時にH'40に初期化されます。

ビット7 : A/D変換開始要求イネーブル (TTGE)

TGRAのインプットキャプチャ/コンペアマッチによる、A/D変換開始要求の発生を許可または禁止します。

ビット7	説明
TTGE	
0	A/D変換開始要求の発生を禁止 (初期値)
1	A/D変換開始要求の発生を許可

ビット 6 : リザーブ

リードすると常に 1 が読み出されます。ライトは無効です。

ビット 5 : アンダフローインタラプトイネーブル (TCIEU)

チャンネル 1、2 で TSR の TCFU フラグが 1 にセットされたとき、TCFU フラグによる割り込み要求 (TCIU) を許可または禁止します。

チャンネル 0、3 ではリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット 5	説 明	
TCIEU		
0	TCFU による割り込み要求 (TCIU) を禁止	(初期値)
1	TCFU による割り込み要求 (TCIU) を許可	

ビット 4 : オーバフローインタラプトイネーブル (TCIEV)

TSR の TCFV フラグが 1 にセットされたとき、TCFV フラグによる割り込み要求 (TCIV) を許可または禁止します。

ビット 4	説 明	
TCIEV		
0	TCFV による割り込み要求 (TCIV) を禁止	(初期値)
1	TCFV による割り込み要求 (TCIV) を許可	

ビット 3 : TGR インタラプトイネーブル D (TGIED)

チャンネル 0、3 で TSR の TGFD ビットが 1 にセットされたとき、TGFD ビットによる割り込み要求 (TGID) を許可または禁止します。

チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット 3	説 明	
TGIED		
0	TGFD ビットによる割り込み要求 (TGID) を禁止	(初期値)
1	TGFD ビットによる割り込み要求 (TGID) を許可	

9. 16 ビットタイマパルスユニット (TPU)

ビット 2 : TGR インタラプトイネーブル C (TGIEC)

チャンネル 0、3 で TSR の TGFC ビットが 1 にセットされたとき、TGFC ビットによる割り込み要求 (TGIC) を許可または禁止します。

チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット 2	説 明
TGIEC	
0	TGFC ビットによる割り込み要求 (TGIC) を禁止 (初期値)
1	TGFC ビットによる割り込み要求 (TGIC) を許可

ビット 1 : TGR インタラプトイネーブル B (TGIEB)

TSR の TGFB ビットが 1 にセットされたとき、TGFB ビットによる割り込み要求 (TGIB) を許可または禁止します。

ビット 1	説 明
TGIEB	
0	TGFB ビットによる割り込み要求 (TGIB) を禁止 (初期値)
1	TGFB ビットによる割り込み要求 (TGIB) を許可

ビット 0 : TGR インタラプトイネーブル A (TGIEA)

TSR の TGFA ビットが 1 にセットされたとき、TGFA ビットによる割り込み要求 (TGIA) を許可または禁止します。

ビット 0	説 明
TGIEA	
0	TGFA ビットによる割り込み要求 (TGIA) を禁止 (初期値)
1	TGFA ビットによる割り込み要求 (TGIA) を許可

9.2.5 タイマステータスレジスタ (TSR)

チャンネル0 : TSR0

チャンネル3 : TSR3

ビット :	7	6	5	4	3	2	1	0
	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	-	-	-	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】* フラグをクリアするための0ライトのみ可能です。

チャンネル1 : TSR1

チャンネル2 : TSR2

チャンネル4 : TSR4

チャンネル5 : TSR5

ビット :	7	6	5	4	3	2	1	0
	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	-	R/(W)*	R/(W)*	-	-	R/(W)*	R/(W)*

【注】* フラグをクリアするための0ライトのみ可能です。

TSR は 8 ビットのレジスタで、各チャンネルのステータスの表示を行います。TPU には、各チャンネル 1 本、計 6 本の TSR があります。TSR は、リセットまたはハードウェアスタンバイモード時に H'CO に初期化されます。

ビット 7 : カウント方向フラグ (TCFD)

チャンネル 1、2、4、5 の TCNT のカウント方向を示すステータスフラグです。

チャンネル 0、3 ではリザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 7	説明
TCFD	
0	TCNT はダウンカウント
1	TCNT はアップカウント (初期値)

9. 16 ビットタイマパルスユニット (TPU)

ビット 6: リザーブ

リードすると常に 1 が読み出されます。ライトは無効です。

ビット 5: アンダフローフラグ (TCFU)

チャンネル 1、2、4、5 が位相計数モードのとき、TCNT のアンダフローの発生を示すステータスフラグです。

チャンネル 0、3 ではリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット 5	説明
TCFU	
0	[クリア条件] (初期値) TCFU=1 の状態で TCFU をリード後、TCFU に 0 をライトしたとき
1	[セット条件] TCNT の値がアンダフロー (H'0000→H'FFFF) したとき

ビット 4: オーバフローフラグ (TCFV)

TCNT のオーバフローの発生を示すステータスフラグです。

ビット 4	説明
TCFV	
0	[クリア条件] (初期値) TCFV=1 の状態で TCFV をリード後、TCFV に 0 をライトしたとき
1	[セット条件] TCNT の値がオーバフロー (H'FFFF→H'0000) したとき

ビット 3: インพุットキャプチャ/アウトプットコンペアフラグ D (TGFD)

チャンネル 0、3 の TGRD のインพุットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット 3	説明
TGFD	
0	[クリア条件] (初期値) (1) TGID 割り込みにより DTC が起動され、DTC の MRB の DIESEL ビットが 0 のとき (2) TGFD = 1 の状態で TGFD をリード後、TGFD に 0 をライトしたとき
1	[セット条件] (1) TGRD がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRD になったとき (2) TGRD がインพุットキャプチャとして機能している場合、インพุットキャプチャ信号により TCNT の値が TGRD に転送されたとき

ビット2: インพุットキャプチャ/アウトプットコンペアフラグ C (TGFC)

チャンネル 0、3 の TGRC のインพุットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット2	説明
TGFC	
0	[クリア条件] (初期値) (1) TGIC 割り込みにより DTC が起動され、DTC の MRB の DIESEL ビットが 0 のとき (2) TGFC = 1 の状態で TGFC をリード後、TGFC に 0 をライトしたとき
1	[セット条件] (1) TGRC がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRC になったとき (2) TGRC がインพุットキャプチャとして機能している場合、インพุットキャプチャ信号により TCNT の値が TGRC に転送されたとき

ビット1: インพุットキャプチャ/アウトプットコンペアフラグ B (TGFB)

TGRB のインพุットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット1	説明
TGFB	
0	[クリア条件] (初期値) (1) TGIB 割り込みにより DTC が起動され、DTC の MRB の DIESEL ビットが 0 のとき (2) TGFB = 1 の状態で TGFB をリード後、TGFB に 0 をライトしたとき
1	[セット条件] (1) TGRB がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRB になったとき (2) TGRB がインพุットキャプチャとして機能している場合、インพุットキャプチャ信号により TCNT の値が TGRB に転送されたとき

ビット0: インพุットキャプチャ/アウトプットコンペアフラグ A (TGFA)

TGRA のインพุットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット0	説明
TGFA	
0	[クリア条件] (初期値) (1) TGIA 割り込みにより DTC が起動され、DTC の MRB の DIESEL ビットが 0 のとき (2) TGFA = 1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき
1	[セット条件] (1) TGRA がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRA になったとき (2) TGRA がインพุットキャプチャとして機能している場合、インพุットキャプチャ信号により TCNT の値が TGRA に転送されたとき

9.2.6 タイマカウンタ (TCNT)

チャンネル0 : TCNT0 (アップカウンタ)
 チャンネル1 : TCNT1 (アップ/ダウンカウンタ*)
 チャンネル2 : TCNT2 (アップ/ダウンカウンタ*)
 チャンネル3 : TCNT3 (アップカウンタ)
 チャンネル4 : TCNT4 (アップ/ダウンカウンタ*)
 チャンネル5 : TCNT5 (アップ/ダウンカウンタ*)

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

 初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
 R/W : R/W R/W

【注】* 位相計数モード (および位相計数モードの他のチャンネルのオーバーフロー/アンダフローのカウンタ時) のみアップ/ダウンカウンタとして使用できます。それ以外の場合はアップカウンタになります。

TCNT は 16 ビットのカウンタです。各チャンネルに 1 本、計 6 本の TCNT があります。TCNT は、リセットまたはハードウェアスタンバイモード時に H'0000 に初期化されます。TCNT の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

9.2.7 タイマジェネラルレジスタ (TGR)

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

 初期値 : 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1
 R/W : R/W R/W

TGR は 16 ビットのアウトプットコンペア/インプットキャプチャ兼用のレジスタです。チャンネル 0、3 に各 4 本、チャンネル 1、2、4、5 に各 2 本、計 16 本のジェネラルレジスタがあります。チャンネル 0、3 の TGRC と TGRD は、バッファレジスタとして動作設定することができます*。TGR はリセットまたはハードウェアスタンバイモード時に H'FFFF に初期化されます。

TGR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

【注】* TGR とバッファレジスタの組み合わせは、TGRA - TGRC、TGRB - TGRD になります。

9.2.8 タイマスタートレジスタ (TSTR)

ビット :	7	6	5	4	3	2	1	0
	-	-	CST5	CST4	CST3	CST2	CST1	CST0
初期値 :	0	0	0	0	0	0	0	0
R/W :	-	-	R/W	R/W	R/W	R/W	R/W	R/W

TSTR は 8 ビットのリード/ライト可能なレジスタで、チャンネル 0~5 の TCNT の動作/停止を選択します。TSTR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

TMDR へ動作モードを設定する場合や TCR へ TCNT のカウントクロックを設定する場合は、TCNT のカウンタ動作を停止してから行ってください。

ビット 7、6 : リザーブビット

ライト時は必ず 0 を書き込んでください。

ビット 5~0 : カウンタスタート 5~0 (CST5~CST0)

TCNT の動作または停止を選択します。

ビット n	説明
CSTn	
0	TCNTn のカウント動作は停止 (初期値)
1	TCNTn はカウント動作

(n=5~0)

【注】 TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。

9.2.9 タイマシンクロレジスタ (TSYR)

ビット :	7	6	5	4	3	2	1	0
	-	-	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	-	-	R/W	R/W	R/W	R/W	R/W	R/W

TSYR は 8 ビットのリード/ライト可能なレジスタで、チャンネル 0~5 の TCNT の独立動作または同期動作を選択します。対応するビットを 1 にセットしたチャンネルが同期動作を行います。

TSYR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

9. 16ビットタイマパルスユニット (TPU)

ビット7、6：リザーブビット

ライト時は必ず0を書き込んでください。

ビット5~0：タイマ同期5~0 (SYNC5~SYNC0)

他のチャンネルとの独立動作または同期動作を選択します。

同期動作を選択すると、複数の TCNT の同期プリセット*¹や、他チャンネルのカウントクリアによる同期クリア*²が可能となります。

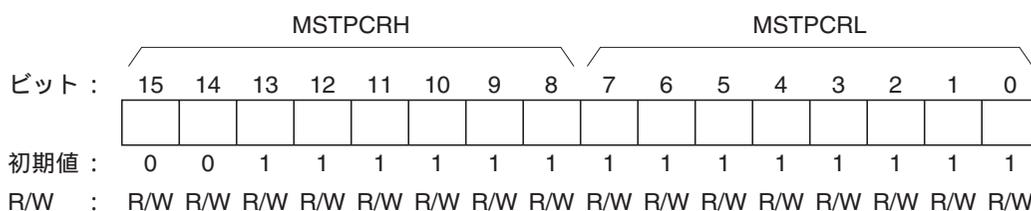
ビット n	説明
SYNCn	
0	TCNTn は独立動作 (TCNT のプリセット / クリアは他チャンネルと無関係) (初期値)
1	TCNTn は同期動作 TCNT の同期プリセット / 同期クリアが可能

(n=5~0)

【注】 *1 同期動作の設定には、最低2チャンネルの SYNC ビットを1にセットする必要があります。

*2 同期クリアの設定には、SYNC ビットのほかに TCR の CCLR2~CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。

9.2.10 モジュールストップコントロールレジスタ (MSTPCR)



MSTPCR は 16 ビットのリード/ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTP13 ビットを1にセットすると、バスサイクルの終了時点で TPU は動作を停止してモジュールストップモードへ遷移します。モジュールストップモードでは、レジスタのリード/ライトはできません。詳細は、「19.5 モジュールストップモード」を参照してください。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット13：モジュールストップ (MSTP13)

TPU のモジュールストップモードを指定します。

ビット13	説明
MSTP13	
0	TPU のモジュールストップモード解除
1	TPU のモジュールストップモード設定 (初期値)

9.3 バスマスタとのインタフェース

9.3.1 16 ビットレジスタ

TCNT、TGR は 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位でのリード/ライトが可能です。

8 ビット単位でのリード/ライトはできません。常に 16 ビット単位でアクセスしてください。16 ビットレジスタのアクセス動作例を図 9.2 に示します。

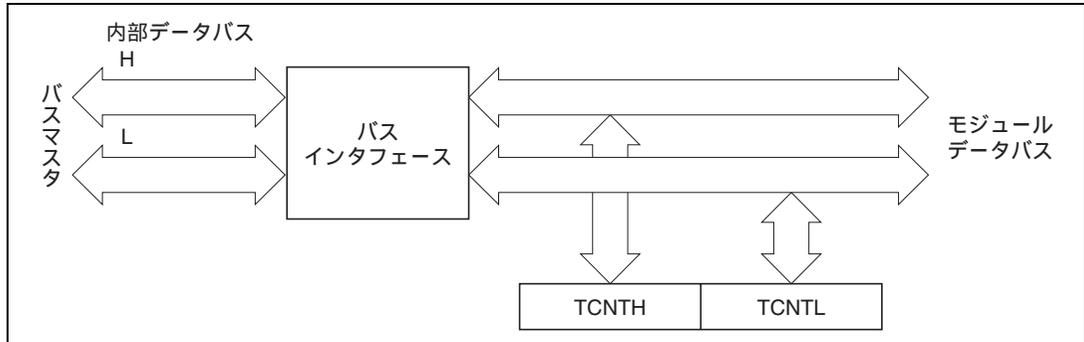


図 9.2 16 ビットレジスタのアクセス動作 (バスマスタ \leftrightarrow TCNT (16 ビット))

9.3.2 8 ビットレジスタ

TCNT、TGR 以外のレジスタは 8 ビットのレジスタです。CPU との間のデータバスは 16 ビット幅なので、16 ビット単位でのリード/ライトが可能です。また、8 ビット単位でのリード/ライトもできます。

8 ビットレジスタのアクセス動作例を図 9.3、図 9.4、図 9.5 に示します。

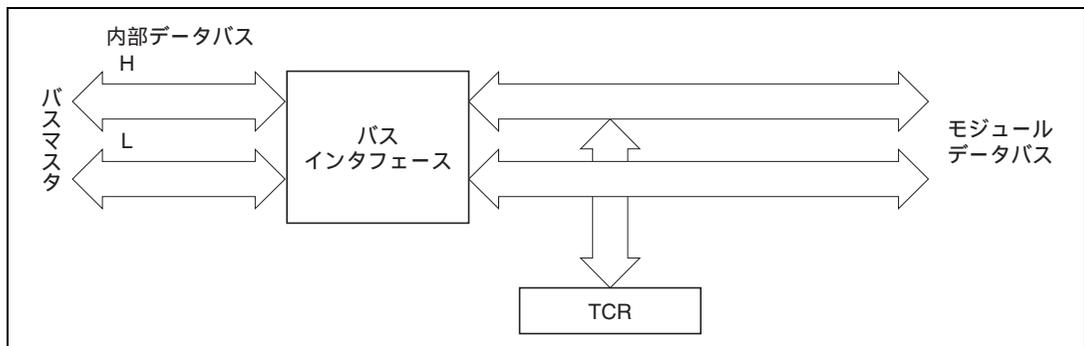


図 9.3 8 ビットレジスタのアクセス動作 (バスマスタ \leftrightarrow TCR (上位 8 ビット))

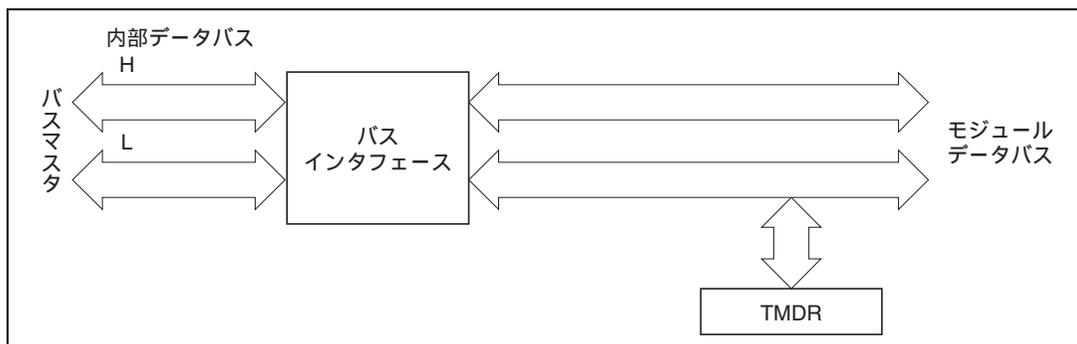


図 9.4 8 ビットレジスタのアクセス動作 (バスマスタ ↔ TMDR (下位 8 ビット))

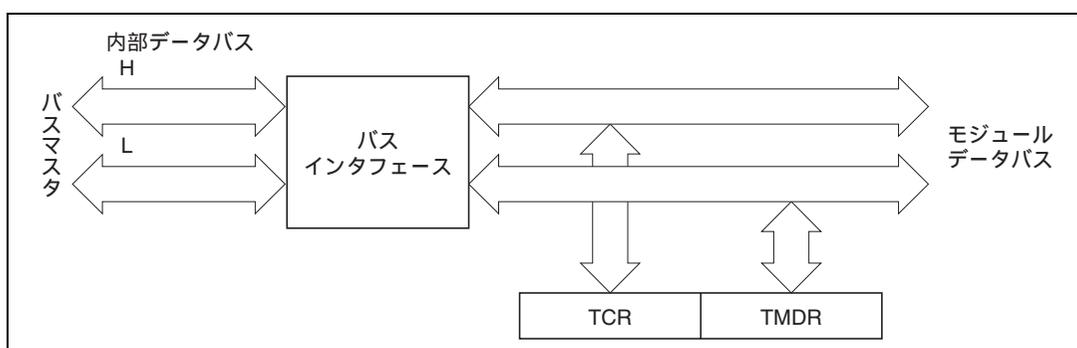


図 9.5 8 ビットレジスタのアクセス動作 (バスマスタ ↔ TCR、TMDR (16 ビット))

9.4 動作説明

9.4.1 概要

各モードの動作概要を以下に示します。

(1) 通常動作

各チャンネルには、TCNT と TGR があります。TCNT は、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

TGR は、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(2) 同期動作

同期動作を設定したチャンネルの TCNT は、同期プリセット動作を行います。すなわち、同期動作に設定されたチャンネルのうち任意の TCNT を書き換えると、他のチャンネルの TCNT も同時に書き換えられます。また、同期動作に設定させられた複数のチャンネルの TSYR のタイマ同期ビットの設定により、TCNT の同期クリアが可能です。

(3) バッファ動作

(a) TGR がアウトプットコンペアレジスタの場合

コンペアマッチが発生すると対応するチャンネルのバッファレジスタの値が TGR に転送されます。

(b) TGR がインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値が TGR に転送されると同時に、それまで格納されていた TGR の値がバッファレジスタに転送されます。

(4) カスケード接続動作

チャンネル 1 カウンタ (TCNT1) とチャンネル 2 カウンタ (TCNT2) またはチャンネル 4 カウンタ (TCNT4) とチャンネル 5 カウンタ (TCNT5) を接続して 32 ビットカウンタとして動作させることができます。

(5) PWM モード

PWM 波形を出力するモードです。出力レベルは TIOR により設定できます。

各 TGR の設定により、デューティ 0~100% の PWM 波形が出力できます。

(6) 位相計数モード

チャンネル 1、2、4、5 で外部クロック入力端子から入力される 2 つのクロックの位相を検出して、TCNT をアップ/ダウンさせるモードです。位相計数モードに設定すると、対応する TCLK 端子はクロック入力となり、また TCNT はアップ/ダウンカウント動作を行います。

2 相エンコーダパルスの入力として使用できます。

9.4.2 基本機能

(1) カウンタの動作

TSTR の CST0~CST5 ビットを 1 にセットすると、対応するチャンネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図 9.6 に示します。

9. 16 ビットタイマパルスユニット (TPU)

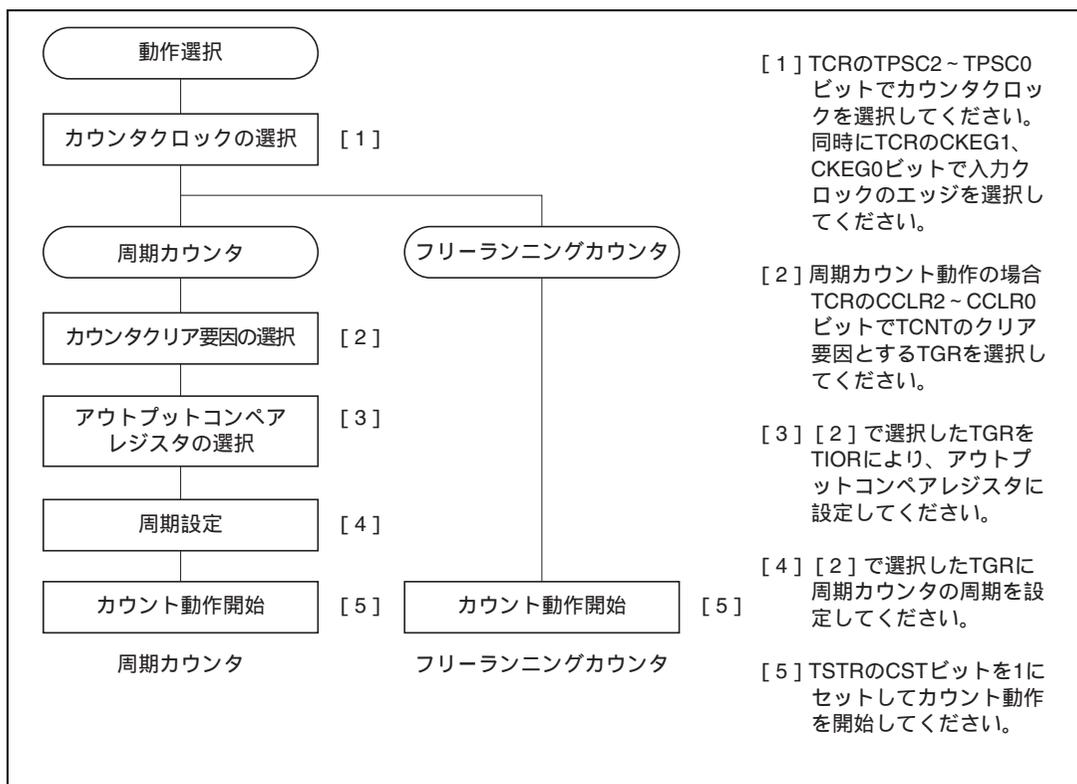


図 9.6 カウンタ動作設定手順例

(b) フリーランニングカウンタ動作と周期カウンタ動作

TPU の TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウンタ動作を開始します。TCNT がオーバーフロー(H'FFFF→H'0000)すると、TSR の TCFV ビットが 1 にセットされます。このとき、対応する TIER の TCIEV ビットが 1 ならば、TPU は割り込みを要求します。TCNT はオーバーフロー後、H'0000 からアップカウンタ動作を継続します。

フリーランニングカウンタの動作を図 9.7 に示します。

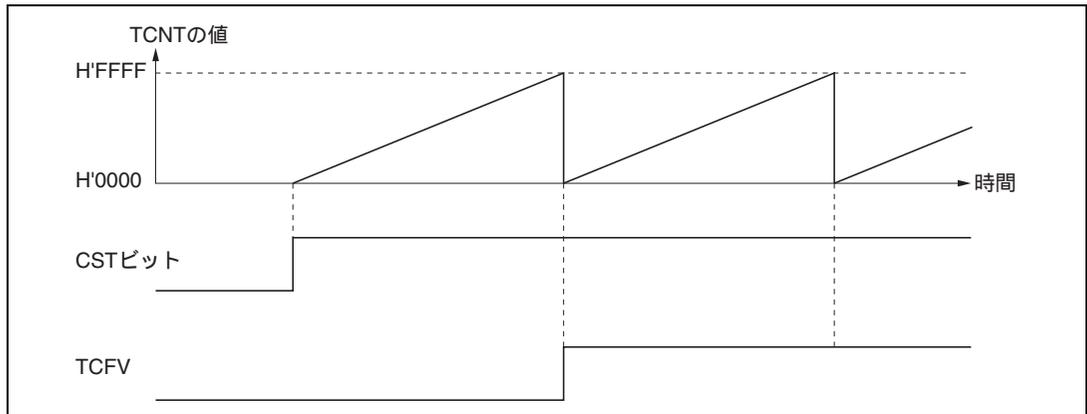


図 9.7 フリーランニングカウンタの動作

TCNTのクリア要因にコンペアマッチを選択したときは、対応するチャンネルのTCNTは周期カウント動作を行います。周期設定用のTGRをアウトプットコンペアレジスタに設定し、TCRのCCLR2～CCLR0ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTRの対応するビットを1にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値がTGRの値と一致すると、TSRのTGFビットが1にセットされ、TCNTはH'0000にクリアされます。

このとき対応するTIERのTGIEビットが1ならば、TPUは割り込みを要求します。TCNTはコンペアマッチ後、H'0000からアップカウント動作を継続します。

周期カウンタの動作を図9.8に示します。

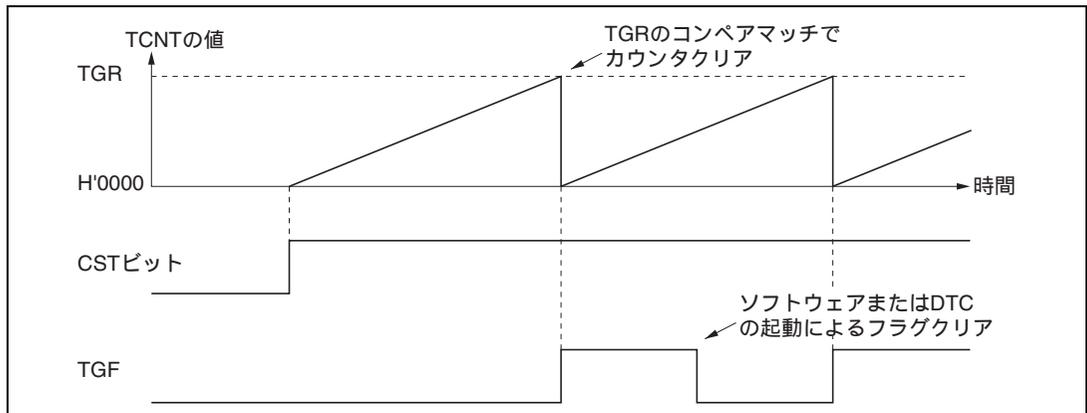


図 9.8 周期カウンタの動作

9. 16 ビットタイマパルスユニット (TPU)

(2) コンペアマッチによる波形出力機能

TPU は、コンペアマッチにより対応する出力端子から 0 出力 / 1 出力 / トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 9.9 に示します。

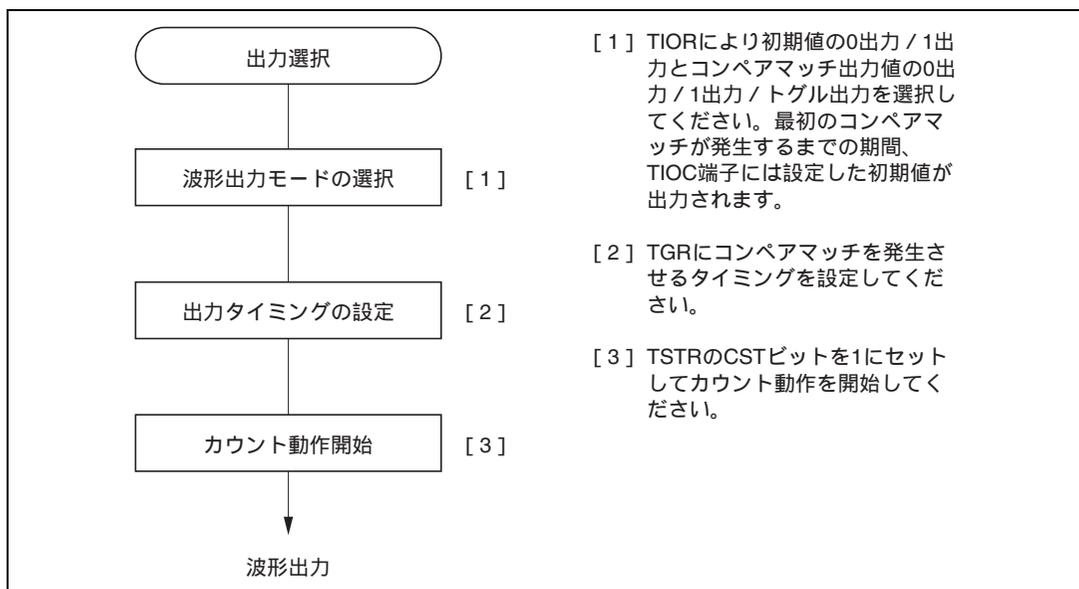


図 9.9 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

0 出力 / 1 出力例を図 9.10 に示します。

TCNT をフリーランニングカウント動作とし、コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

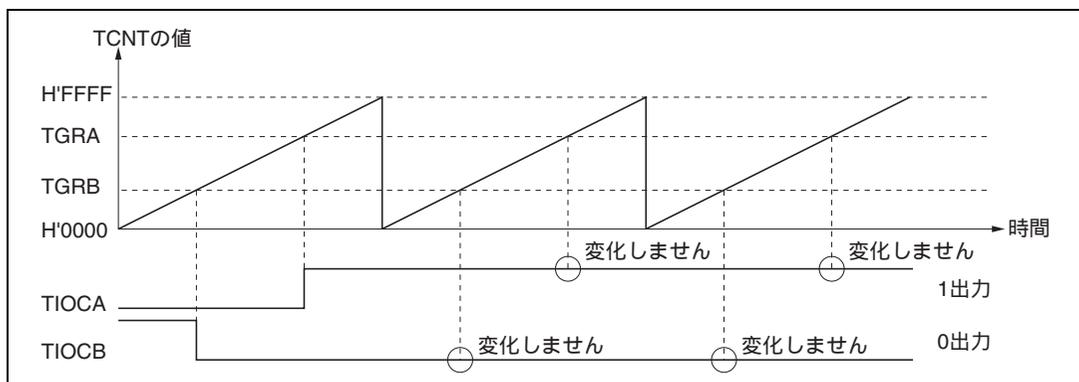


図 9.10 0 出力 / 1 出力の動作例

トグル出力の例を図 9.11 に示します。

TCNT を周期カウント動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

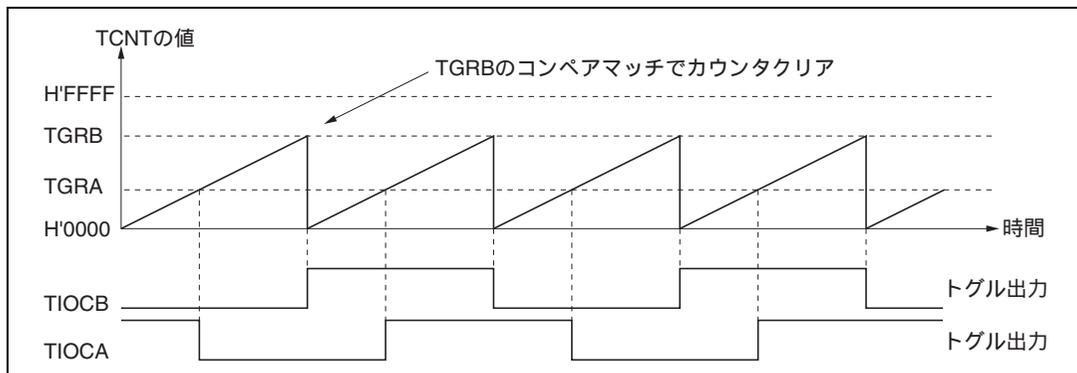


図 9.11 トグル出力の動作例

(3) インพุットキャプチャ機能

TIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。

検出エッジは立ち上がりエッジ / 立ち下がりエッジ / 両エッジから選択できます。また、チャンネル 0、1、3、4 は別のチャンネルのカウンタ入力クロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

【注】 チャンネル 0、3 で別のチャンネルのカウンタ入力クロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウンタ入力クロックに $\phi/1$ を選択しないでください。 $\phi/1$ を選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 9.12 に示します。

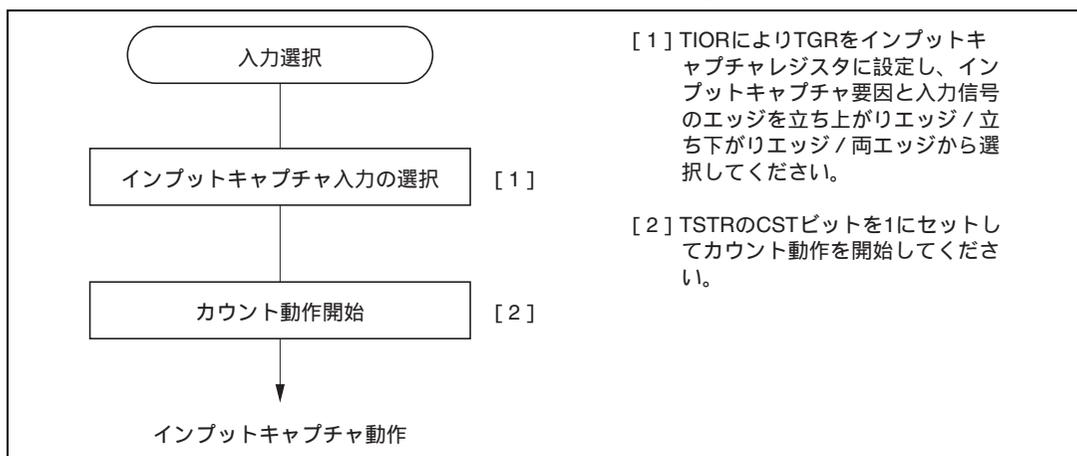


図 9.12 インพุットキャプチャ動作の設定例

9. 16ビットタイマパルスユニット (TPU)

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 9.13 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下りの両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下りエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

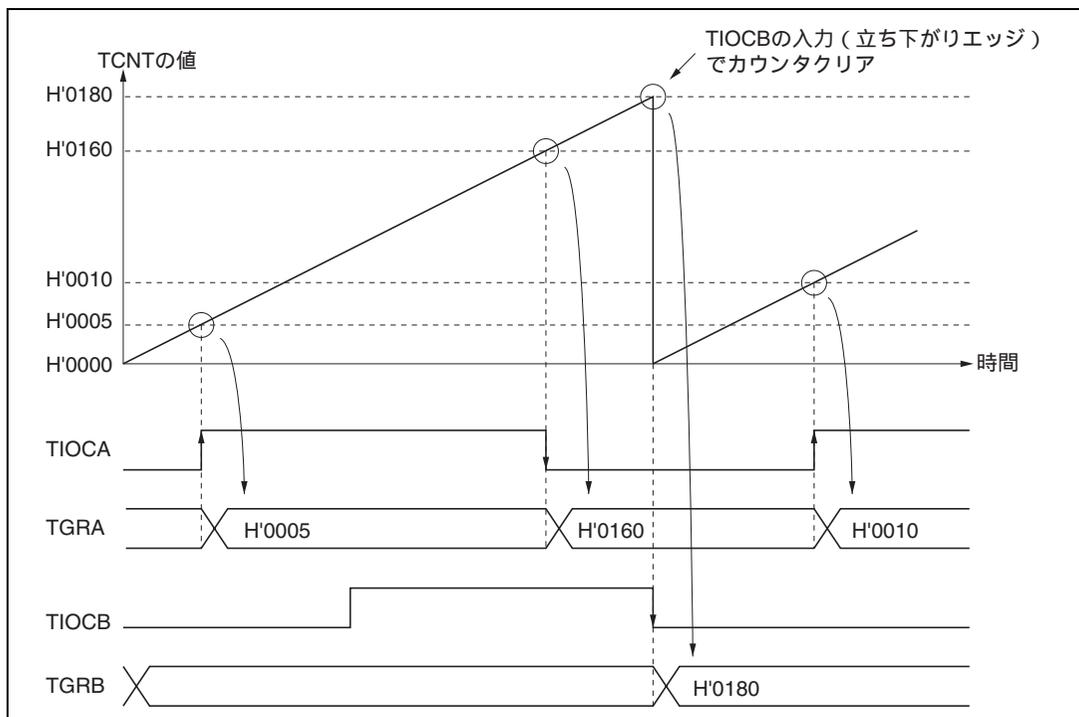


図 9.13 インพุットキャプチャ動作例

9.4.3 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます (同期プリセット)。また、TCR の設定により複数の TCNT を同時にクリアすることができます (同期クリア)。

同期動作により、1 つのタイムベースに対して TGR を増加することができます。

チャンネル 0~5 はすべて同期動作の設定が可能です。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 9.14 に示します。

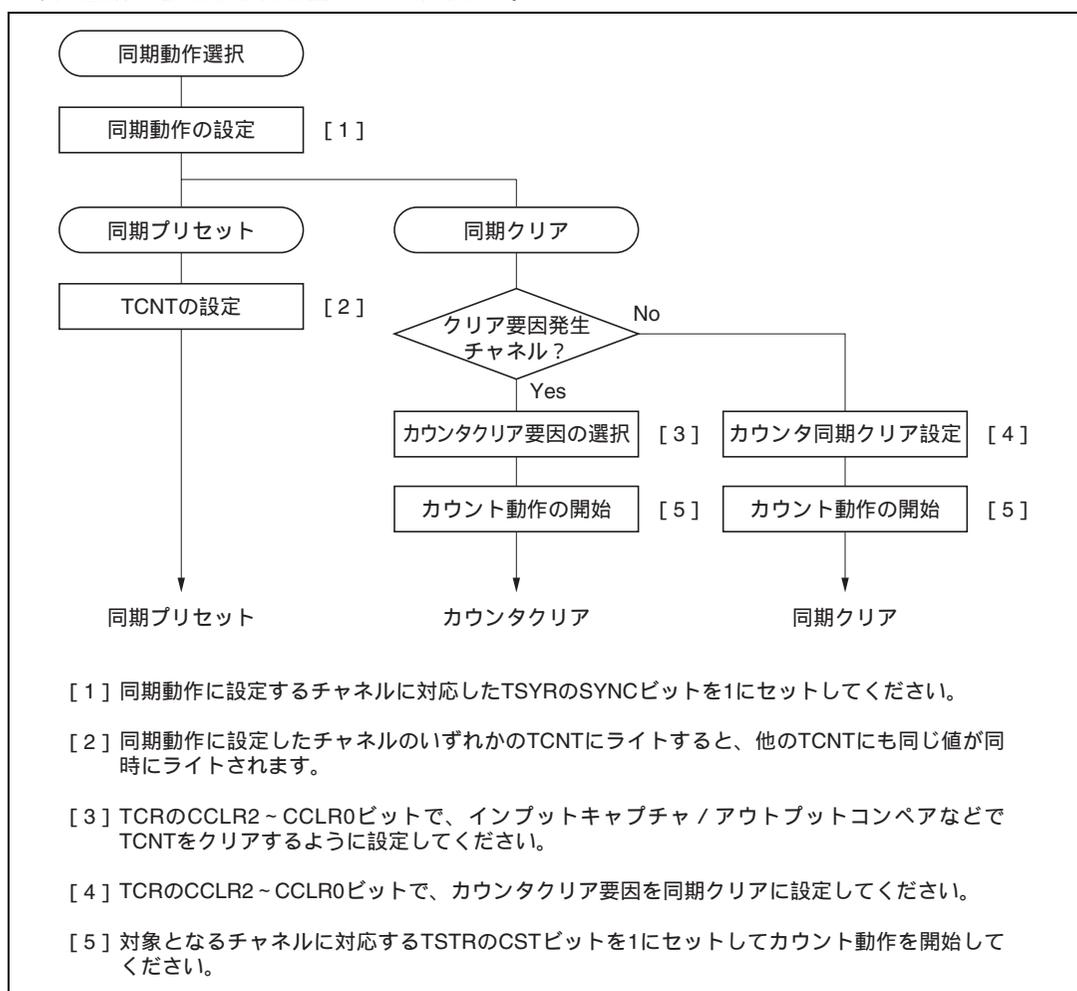


図 9.14 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 9.15 に示します。

チャンネル 0~2 を同期動作かつ PWM モード 1 に設定し、チャンネル 0 のカウンタクリア要因を TGR0B のコンペアマッチ、またチャンネル 1、2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を TIOC0A、TIOC1A、TIOC2A 端子から出力します。このとき、チャンネル 0~2 の TCNT は同期プリセット、TGR0B のコンペアマッチによる同期クリアを行い、TGR0B に設定したデータが PWM 周期となります。

PWM モードについては、「9.4.6 PWM モード」を参照してください。

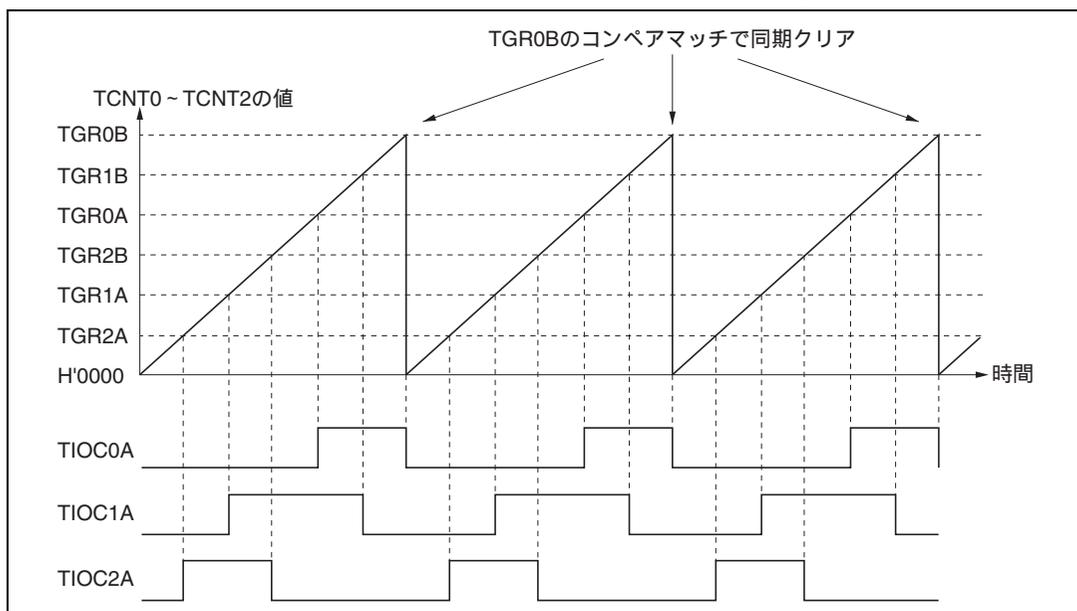


図 9.15 同期動作の動作例

9.4.4 バッファ動作

バッファ動作は、チャンネル 0、3 が持つ機能です。TGRC と TGRD をバッファレジスタとして使用することができます。

バッファ動作は、TGR を入力キャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

表 9.5 にバッファ動作時のレジスタの組み合わせを示します。

表 9.5 レジスタの組み合わせ

チャンネル	タイムジェネラルレジスタ	バッファレジスタ
0	TGR0A	TGR0C
	TGR0B	TGR0D
3	TGR3A	TGR3C
	TGR3B	TGR3D

TGR がアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 9.16 に示します。

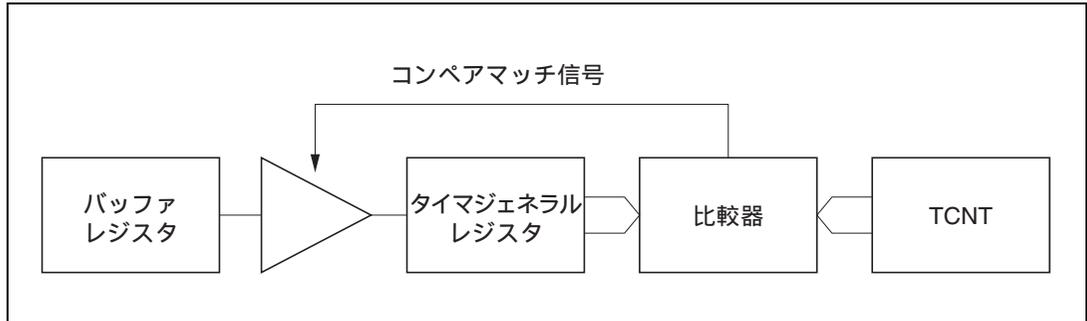


図 9.16 コンペアマッチバッファ動作

TGR がインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値を TGR に転送すると同時に、それまで格納されていたタイマジェネラルレジスタの値をバッファレジスタに転送します。

この動作を図 9.17 に示します。

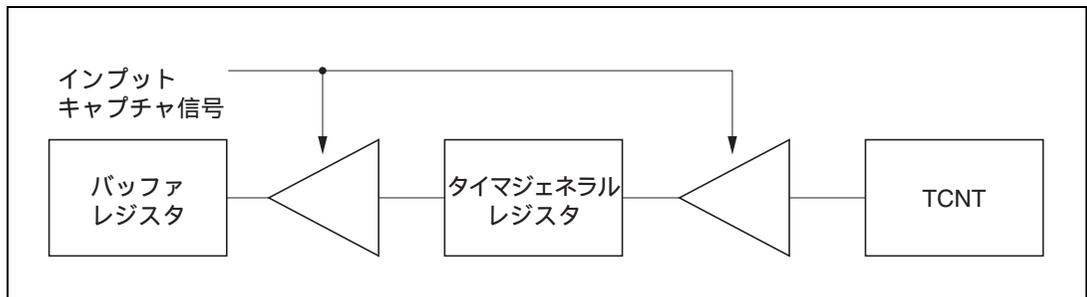


図 9.17 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 9.18 に示します。

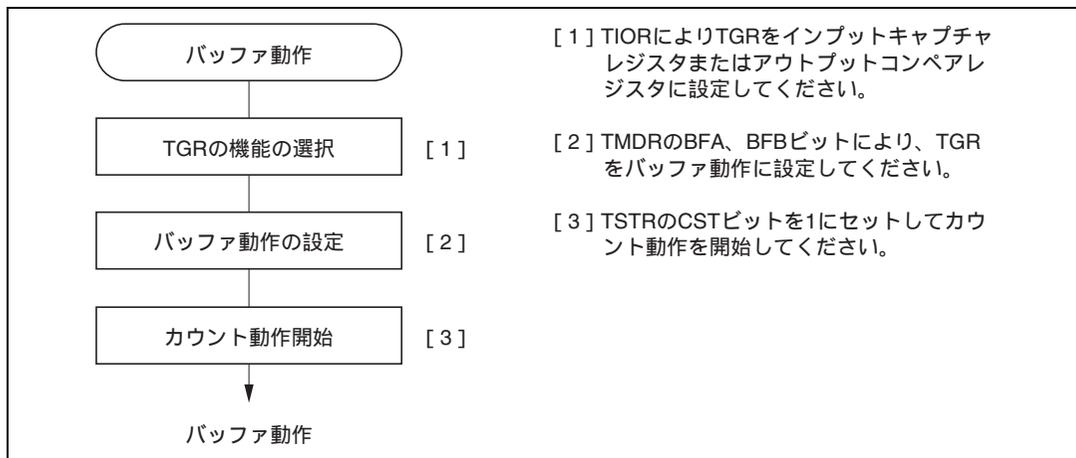


図 9.18 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGR がアウトプットコンペアレジスタの場合

チャンネル 0 を PWM モード 1 に設定し、TGRA と TGRC をバッファ動作に設定した場合の動作例を図 9.19 に示します。TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で 1 出力、コンペアマッチ B で 0 出力に設定した例です。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、バッファレジスタ TGRC の値がタイマジェネラルレジスタ TGRA に転送されます。この動作は、コンペアマッチ A が発生するたびに繰り返されます。

PWM モードについては、「9.4.6 PWM モード」を参照してください。

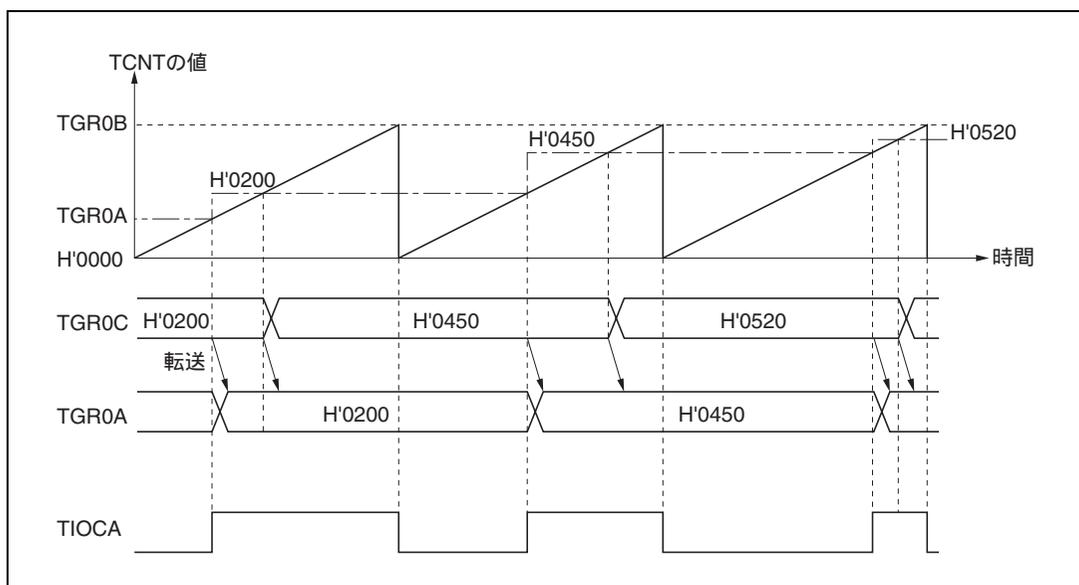


図 9.19 バッファ動作例 (1)

9. 16ビットタイマパルスユニット (TPU)

(b) TGR が入力キャプチャレジスタの場合

TGRA を入力キャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を図 9.20 に示します。

TCNT は TGRA の入力キャプチャでカウンタクリア、TIOCA 端子の入力キャプチャ入力エッジは立ち上がりエッジ / 立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、入力キャプチャ A により TCNT の値が TGRA に格納されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

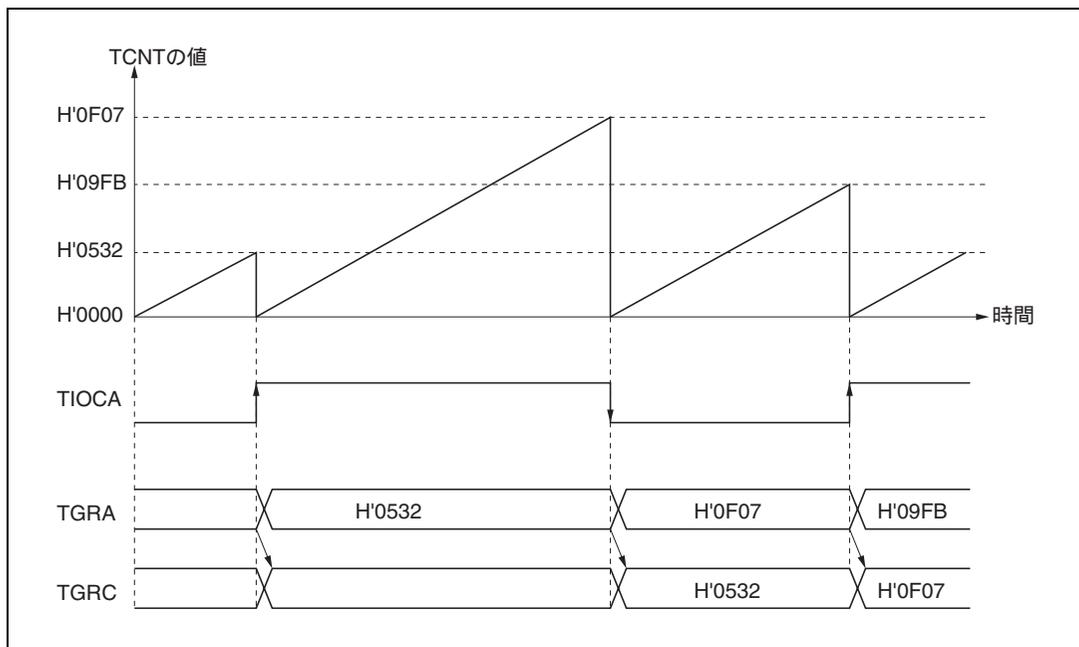


図 9.20 バッファ動作例 (2)

9.4.5 カスケード接続動作

カスケード接続動作は、2チャンネルの16ビットカウンタを接続して32ビットカウンタとして動作させる機能です。

この機能は、チャンネル1(チャンネル4)のカウンタクロックをTCRのTPSC2~TPSC0ビットでTCNT2(TCNT5)のオーバフロー/アンダフローでカウントに設定することにより動作します。

アンダフローが発生するのは、下位16ビットのTCNTが位相計数モードのときのみです。

表9.6にカスケード接続の組み合わせを示します。

【注】 チャンネル1,4を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表 9.6 カスケード接続組み合わせ

組み合わせ	上位 16 ビット	下位 16 ビット
チャンネル 1 とチャンネル 2	TCNT1	TCNT2
チャンネル 4 とチャンネル 5	TCNT4	TCNT5

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図9.21に示します。

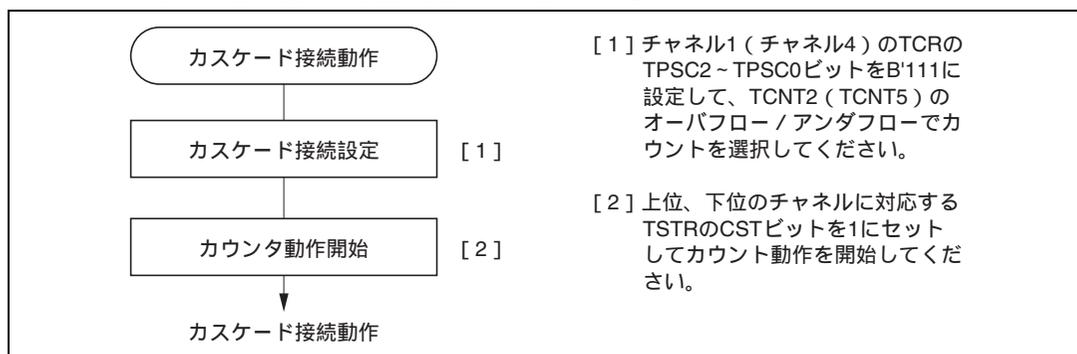


図 9.21 カスケード接続動作設定手順

9. 16 ビットタイマパルスユニット (TPU)

(2) カスケード接続動作例

TCNT1 は TCNT2 のオーバフロー / アンダフローでカウント、TGR1A と TGR2A をインプットキャプチャレジスタに設定し、TIOC 端子の立ち上がりエッジを選択した時の動作を図 9.22 に示します。

TIOCA1 端子と TIOCA2 端子に立ち上がりエッジを同時に入力することにより、TGR1A に上位 16 ビット、TGR2A に下位 16 ビットの 32 ビットデータが転送されます。

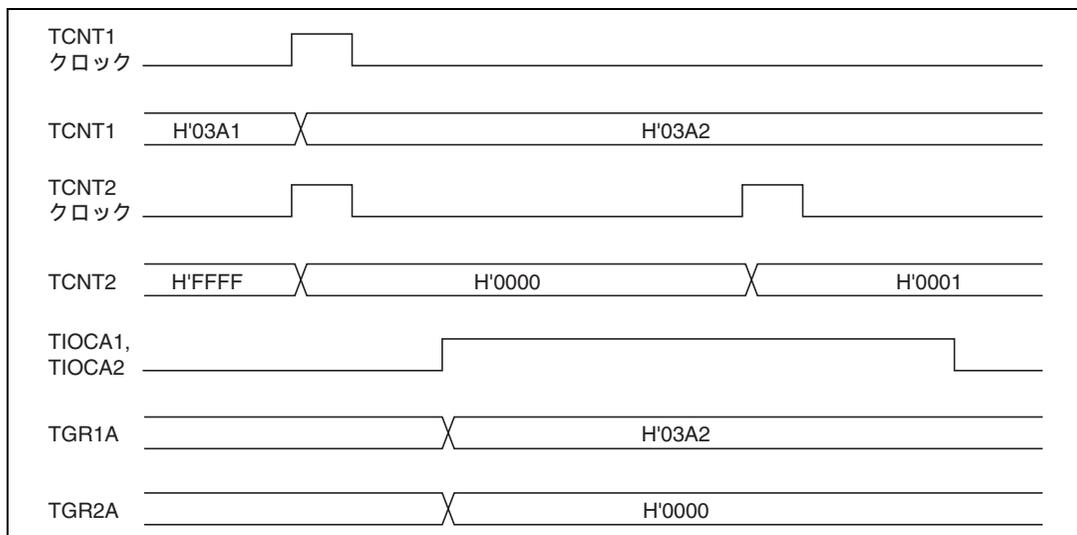


図 9.22 カスケード接続動作例 (1)

TCNT1 は TCNT2 のオーバフロー / アンダフローでカウント、チャンネル 2 を位相計数モードに設定した時の動作を図 9.23 に示します。

TCNT1 は、TCNT2 のオーバフローでアップカウント、TCNT2 のアンダフローでダウンカウントされます。

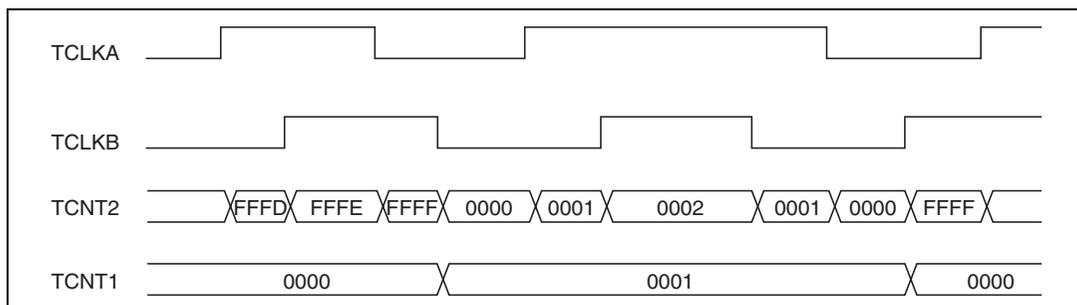


図 9.23 カスケード接続動作例 (2)

9.4.6 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力します。各 TGR のコンペアマッチによる出力レベルは 0 出力 / 1 出力 / トグル出力の中から選択可能です。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類あります。

(a) PWM モード 1

TGRA と TGRB、TGRC と TGRD をペアで使用して TIOCA、TIOCC 端子から PWM 出力を生成します。TIOCA、TIOCC 端子からコンペアマッチ A、C によって TIOR の IOA3 ~ IOA0、IOC3 ~ IOC0 ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR の IOB3 ~ IOB0、IOD3 ~ IOD0 ビットで指定した出力を行います。初期出力値は TGRA、TGRC に設定した値になります。ペアで使用する TGR の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 8 相の PWM 出力が可能です。

(b) PWM モード 2

TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOR で指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR で設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 15 相の PWM 出力が可能です。

PWM 出力端子とレジスタの対応を表 9.7 に示します。

表 9.7 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0	TGR0A	TIOCA0	TIOCA0
	TGR0B		TIOCB0
	TGR0C	TIOCC0	TIOCC0
	TGR0D		TIOCD0
1	TGR1A	TIOCA1	TIOCA1
	TGR1B		TIOCB1
2	TGR2A	TIOCA2	TIOCA2
	TGR2B		TIOCB2
3	TGR3A	TIOCA3	TIOCA3
	TGR3B		TIOCB3
	TGR3C	TIOCC3	TIOCC3
	TGR3D		TIOCD3
4	TGR4A	TIOCA4	TIOCA4
	TGR4B		TIOCB4
5	TGR5A	TIOCA5	TIOCA5
	TGR5B		TIOCB5

【注】 PWM モード 2 の時、周期を設定した TGR の PWM 出力はできません。

9. 16ビットタイマパルスユニット (TPU)

(1) PWM モードの設定手順例

PWM モードの設定手順例を図 9.24 に示します。

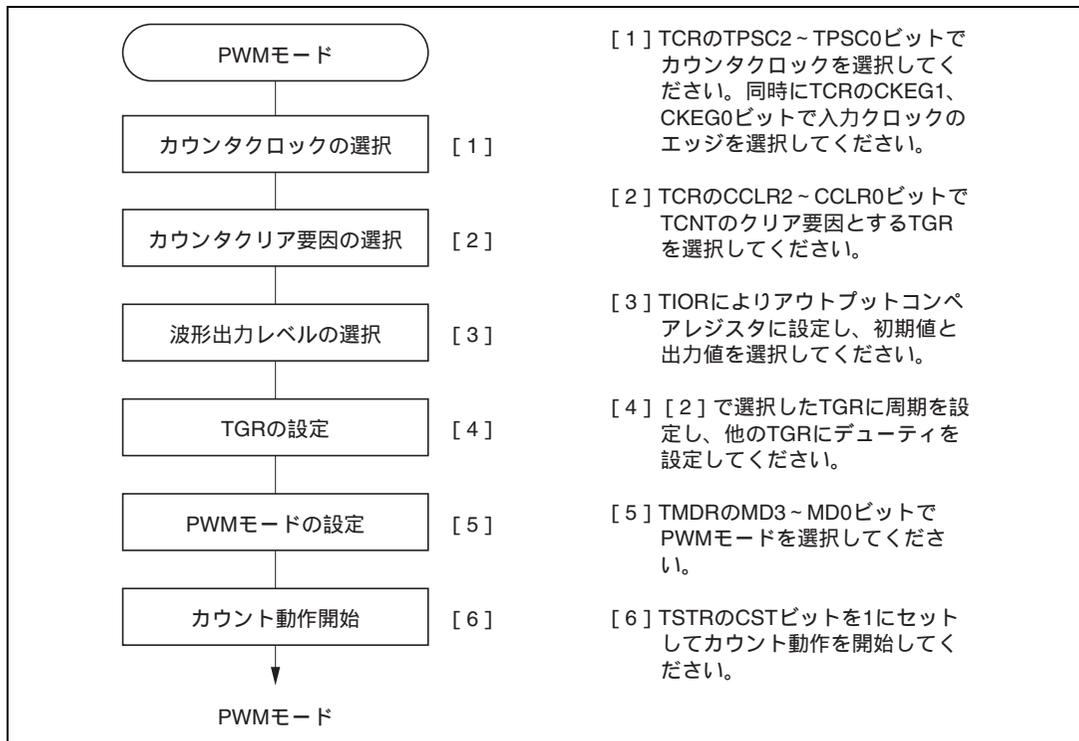


図 9.24 PWM モードの設定手順例

(2) PWM モードの動作例

PWM モード 1 の動作例を図 9.25 に示します。

この図は、TCNT のクリア要因を TGRA のコンペアマッチとし、TGRA の初期出力値と出力値を 0、TGRB の出力値を 1 に設定した場合の例です。

この場合、TGRA に設定した値が周期となり、TGRB に設定した値がデューティになります。

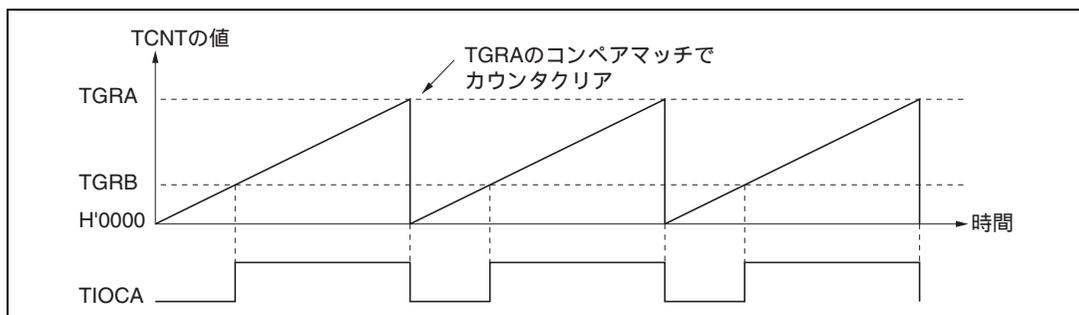


図 9.25 PWM モードの動作例 (1)

PWM モード 2 の動作例を図 9.26 に示します。

この図は、チャンネル 0 と 1 を同期動作させ、TCNT のクリア要因を TGR1B のコンペアマッチとし、他の TGR (TGR0A ~ TGR0D、TGR1A) の初期出力値を 0、出力値を 1 に設定して 5 相の PWM 波形を出力させた場合の例です。

この場合、TGR1B に設定した値が周期となり、他の TGR に設定した値がデューティになります。

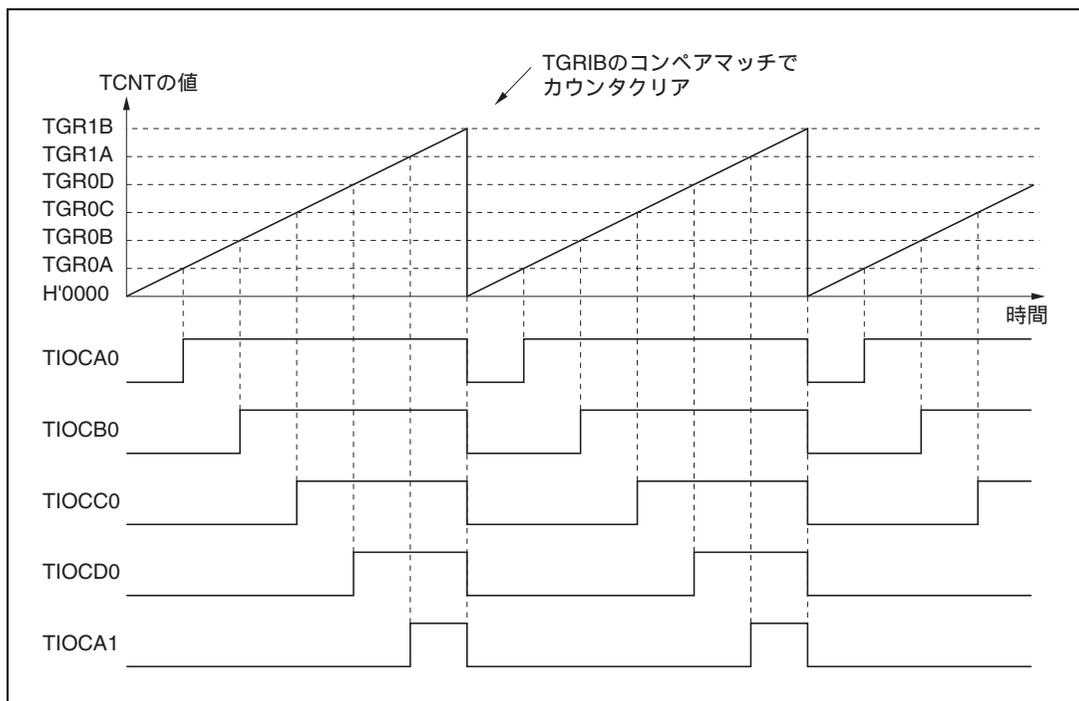
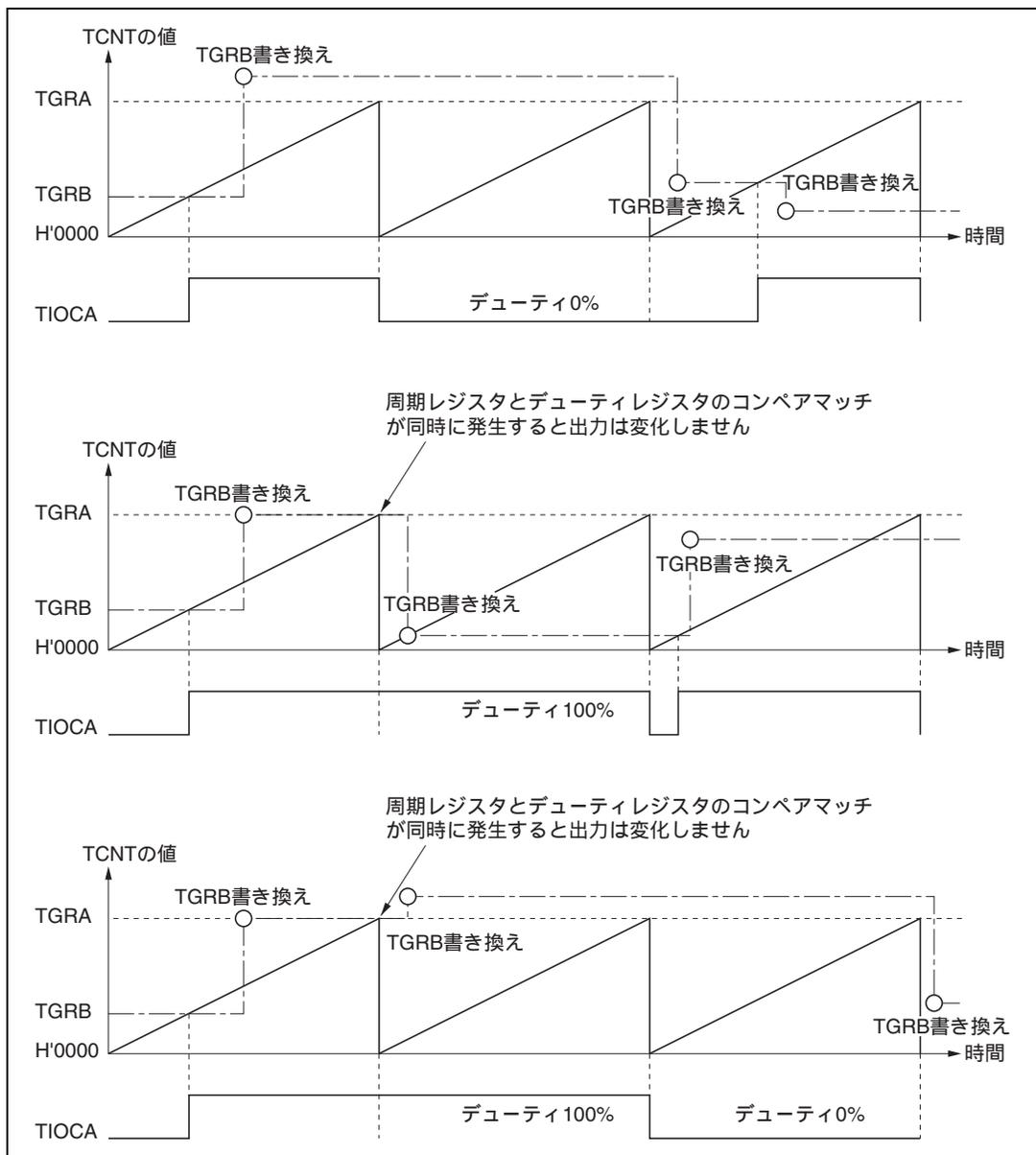


図 9.26 PWM モードの動作例 (2)

9. 16ビットタイマパルスユニット (TPU)

PWMモードで、デューティ0%、デューティ100%のPWM波形を出力する例を図9.27に示します。



9.4.7 位相計数モード

位相計数モードは、2本の外部クロック入力の位相差を検出し、TCNTをアップ/ダウンカウントします。このモードはチャンネル1、2、4、5で設定可能です。

位相計数モードに設定すると、TCRのTPSC2~TPSC0ビット、CKEG1、CKEG0ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNTはアップ/ダウンカウンタとして動作します。ただし、TCRのCCLR1、CCLR0ビット、TIOR、TIER、TGRの機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能は使用することができます。

TCNTがアップカウント時、オーバフローが発生するとするとTSRのTCFVフラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFUフラグがセットされます。

TSRのTCFDビットはカウント方向フラグです。TCFDフラグをリードすることにより、TCNTがアップカウントしているかダウンカウントしているかを確認することができます。

表9.8に外部クロック端子とチャンネルの対応を示します。

表9.8 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A相	B相
チャンネル1または5を位相計数モードとするとき	TCLKA	TCLKB
チャンネル2または4を位相計数モードとするとき	TCLKC	TCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図9.28に示します。

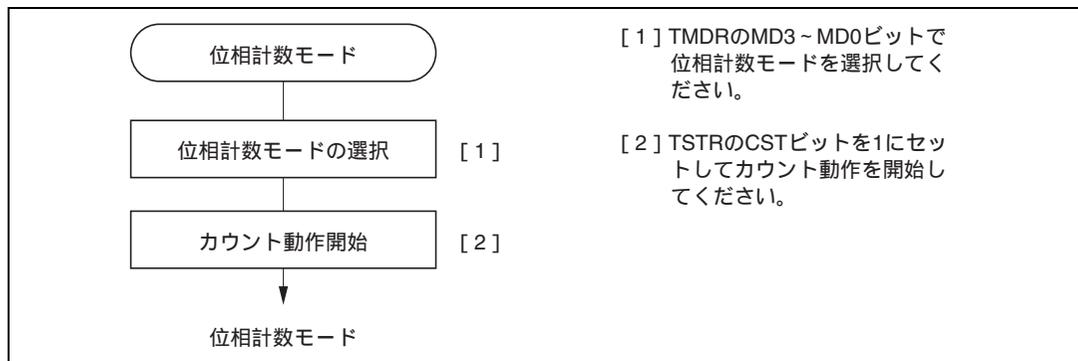


図9.28 位相計数モードの設定手順例

9. 16 ビットタイマパルスユニット (TPU)

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差でTCNTがアップ/ダウンカウントします。また、カウント条件により4つのモードがあります。

(a) 位相計数モード1

位相計数モード1の動作例を図9.29に、TCNTのアップ/ダウンカウント条件を表9.9に示します。

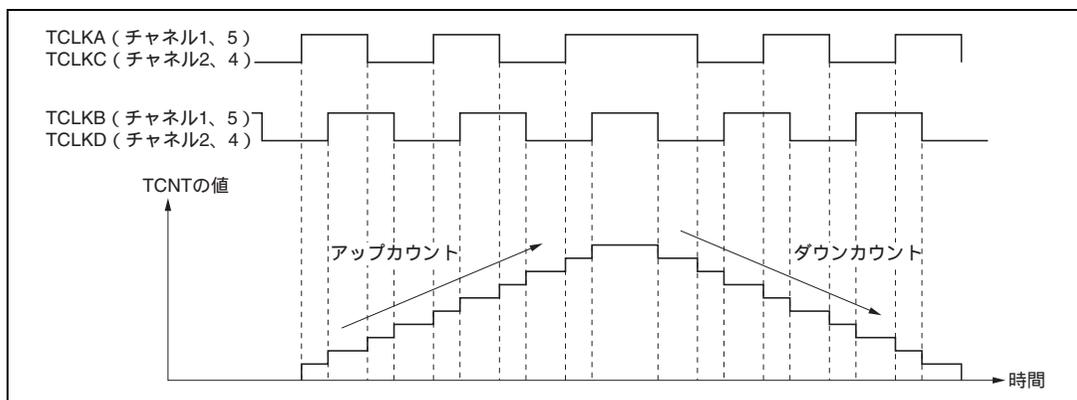


図 9.29 位相計数モード1の動作例

表 9.9 位相計数モード1のアップ/ダウンカウント条件

TCLKA (チャンネル1、5) TCLKC (チャンネル2、4)	TCLKB (チャンネル1、5) TCLKD (チャンネル2、4)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(b) 位相計数モード 2

位相計数モード 2 の動作例を図 9.30 に、TCNT のアップ/ダウンカウント条件を表 9.10 に示します。

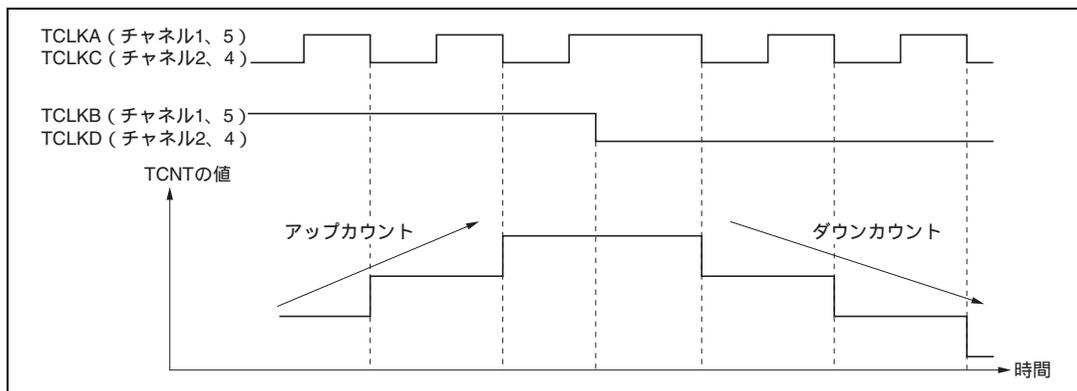


図 9.30 位相計数モード 2 の動作例

表 9.10 位相計数モード 2 のアップ/ダウンカウント条件

TCLKA(チャンネル 1、5) TCLKC(チャンネル 2、4)	TCLKB(チャンネル 1、5) TCLKD(チャンネル 2、4)	動作内容
High レベル	↑	Don't care
Low レベル	↓	
↑	Low レベル	
↓	High レベル	アップカウント
High レベル	↓	Don't care
Low レベル	↑	
↑	High レベル	
↓	Low レベル	ダウンカウント

【記号説明】

↑ : 立ち上がりエッジ
↓ : 立ち下がりエッジ

9. 16 ビットタイマパルスユニット (TPU)

(c) 位相計数モード 3

位相計数モード 3 の動作例を図 9.31 に、TCNT のアップ/ダウンカウント条件を表 9.11 に示します。

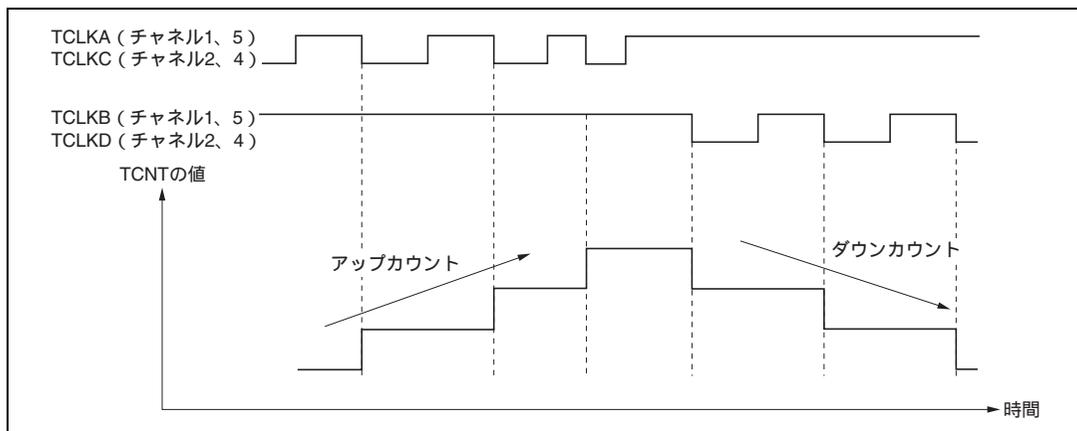


図 9.31 位相計数モード 3 の動作例

表 9.11 位相計数モード 3 のアップ/ダウンカウント条件

TCLKA(チャンネル1、5) TCLKC(チャンネル2、4)	TCLKB(チャンネル1、5) TCLKD(チャンネル2、4)	動作内容
High レベル	↑	Don't care
Low レベル	↓	
↑	Low レベル	
↓	High レベル	アップカウント
High レベル	↓	ダウンカウント
Low レベル	↑	Don't care
↑	High レベル	
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ
↓ : 立ち下がりエッジ

(d) 位相計数モード 4

位相計数モード 4 の動作例を図 9.32 に、TCNT のアップ/ダウンカウント条件を表 9.12 に示します。

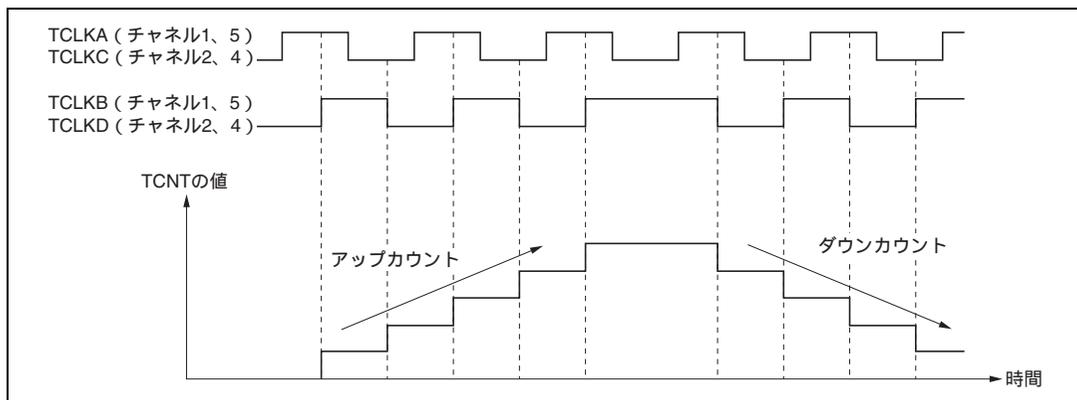


図 9.32 位相計数モード 4 の動作例

表 9.12 位相計数モード 4 のアップ/ダウンカウント条件

TCLKA(チャンネル 1、5) TCLKC(チャンネル 2、4)	TCLKB(チャンネル 1、5) TCLKD(チャンネル 2、4)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	Don't care
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	Don't care
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(3) 位相計数モード応用例

チャンネル1を位相計数モードに設定し、チャンネル0と連携してサーボモータの2相エンコーダパルスを入力して位置または速度を検出する例を図9.33に示します。

チャンネル1は位相計数モード1に設定し、TCLKAとTCLKBにエンコーダパルスのA相、B相を入力します。

チャンネル0はTCNTをTGR0Cのコンペアマッチでカウンタクリアとして動作させ、TGR0AとTGR0Cはコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。TGR0Bは入力キャプチャ機能で使用し、TGR0BとTGR0Dをバッファ動作させます。TGR0Bの入力キャプチャ要因は、チャンネル1のカウンタ入力クロックとし、2相エンコーダの4通倍パルスのパルス幅の検出を行います。

チャンネル1のTGR1AとTGR1Bは、入力キャプチャ機能に設定し、入力キャプチャ要因はチャンネル0のTGR0AとTGR0Cのコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出が行うことができます。

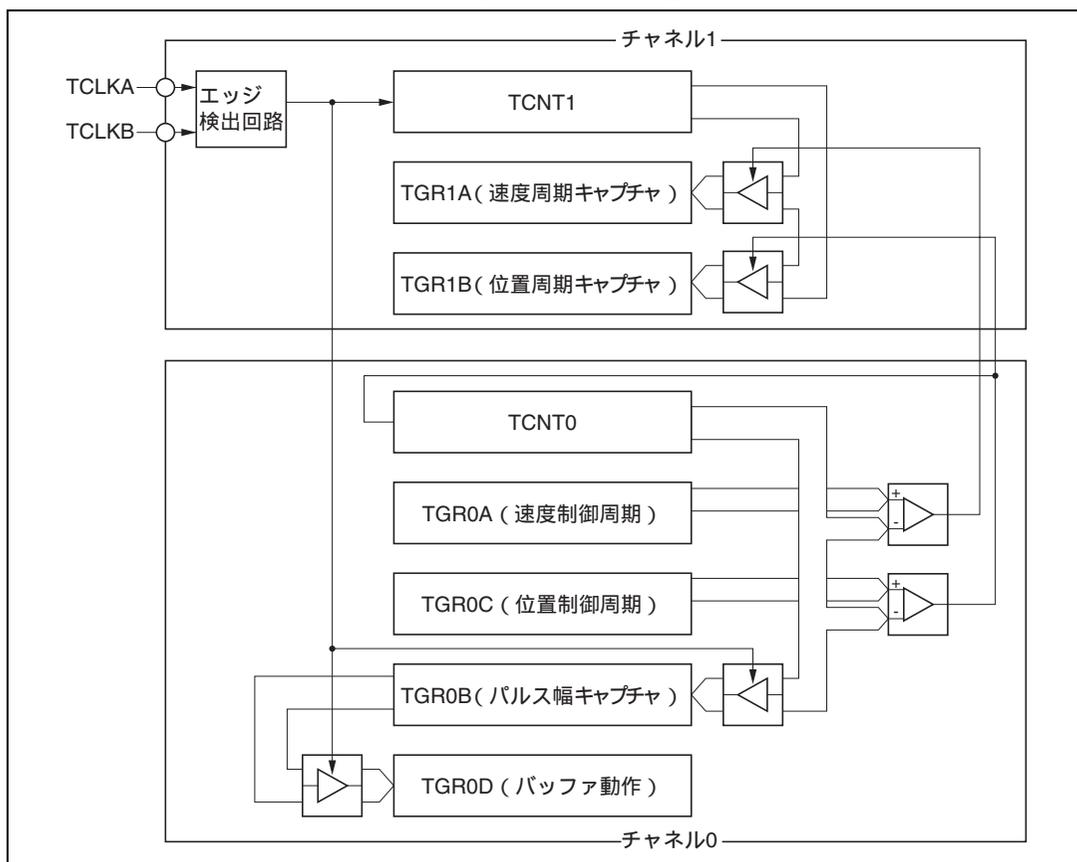


図 9.33 位相計数モードの応用例

9. 16ビットタイムパルスユニット (TPU)

(1) インพุットキャプチャ/コンペアマッチ割り込み

各チャンネルのTGRのインพุットキャプチャ/コンペアマッチの発生により、TSRのTGFフラグが1にセットされたとき、TIERのTGIEビットが1にセットされていれば、割り込みを要求します。TGFフラグを0にクリアすることで割り込み要求は解除されます。TPUには、チャンネル0、3に各4本、チャンネル1、2、4、5に各2本、計16本のインพุットキャプチャ/コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

各チャンネルのTCNTのオーバフローの発生により、TSRのTCFVフラグが1にセットされたとき、TIERのTCIEVビットが1にセットされていれば、割り込みを要求します。TCFVフラグを0にクリアすることで割り込み要求は解除されます。TPUには、各チャンネルに1本、計6本のオーバフロー割り込みがあります。

(3) アンダフロー割り込み

各チャンネルのTCNTのアンダフローの発生により、TSRのTCFUフラグが1にセットされたとき、TIERのTCIEUビットが1にセットされていれば、割り込みを要求します。TCFUフラグを0にクリアすることで割り込み要求は解除されます。TPUには、チャンネル1、2、4、5に各1本、計4本のアンダフロー割り込みがあります。

9.5.2 DTCの起動

各チャンネルのTGRのインพุットキャプチャ/コンペアマッチ割り込みによって、DTCを起動することができます。詳細は「第7章 データトランスファコントローラ」を参照してください。

TPUでは、チャンネル0、3が各4本、チャンネル1、2、4、5が各2本、計16本のインพุットキャプチャ/コンペアマッチ割り込みをDTCの起動要因とすることができます。

9.5.3 A/D変換器の起動

各チャンネルのTGRAのインพุットキャプチャ/コンペアマッチによって、A/D変換器を起動することができます。

各チャンネルのTGRAのインพุットキャプチャ/コンペアマッチの発生により、TSRのTGFAフラグが1にセットされたとき、TIERのTTGEビットが1にセットされていれば、A/D変換器に対してA/D変換の開始を要求します。このときA/D変換器側で、TPUの変換開始トリガが選択されていれば、A/D変換が開始されます。

TPUでは、各チャンネル1本、計6本のTGRAのインพุットキャプチャ/コンペアマッチ割り込みをA/D変換器の変換開始要因とすることができます。

9.6 動作タイミング

9.6.1 入出力タイミング

(1) TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 9.34 に示します。また、外部クロック動作の場合の TCNT のカウントタイミングを図 9.35 に示します。

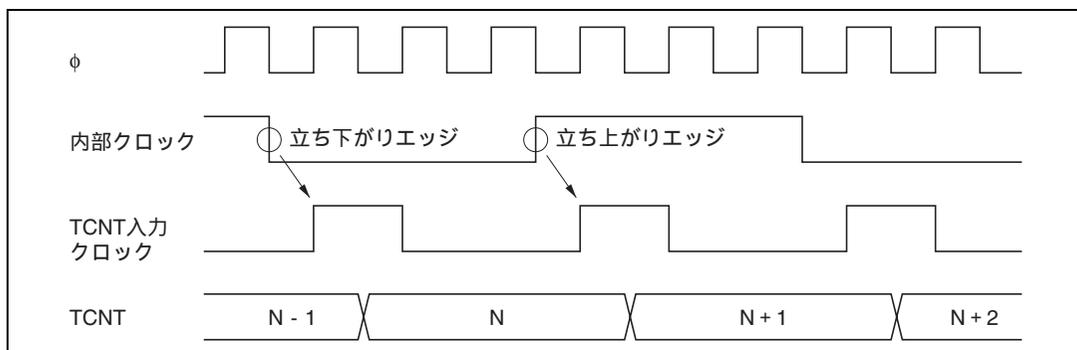


図 9.34 内部クロック動作時のカウントタイミング

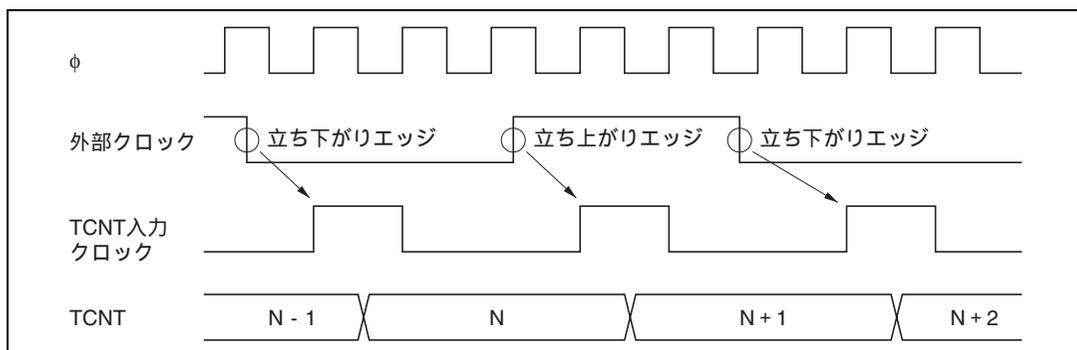


図 9.35 外部クロック動作時のカウントタイミング

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、TIOCR で設定した出力値がアウトプットコンペア出力端子 (TIOC 端子) に出力されます。TCNT と TGR が一致した後、TCNT 入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図 9.36 に示します。

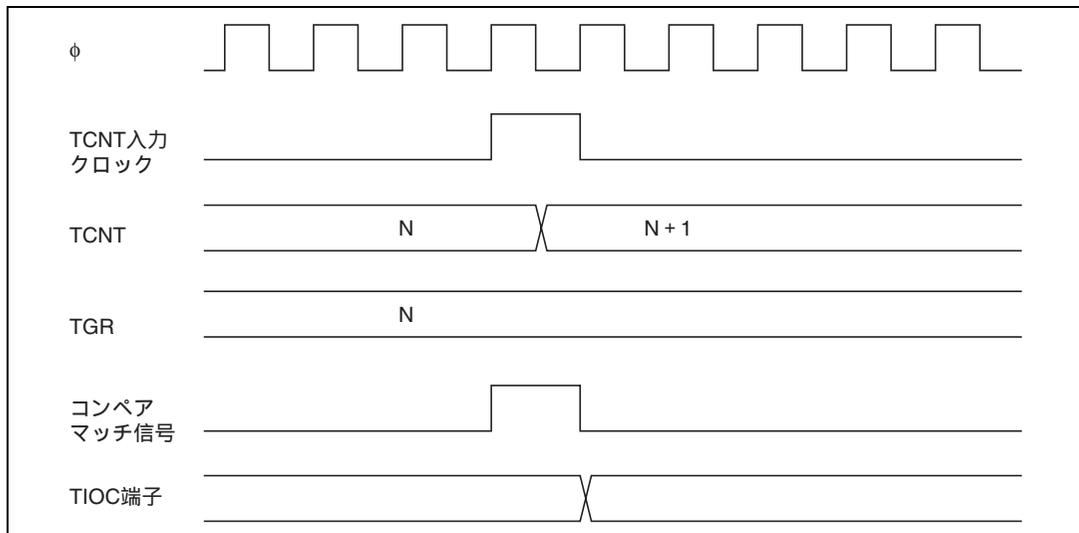


図 9.36 アウトプットコンペア出力タイミング

(3) インプットキャプチャ信号タイミング

インプットキャプチャのタイミングを図 9.37 に示します。

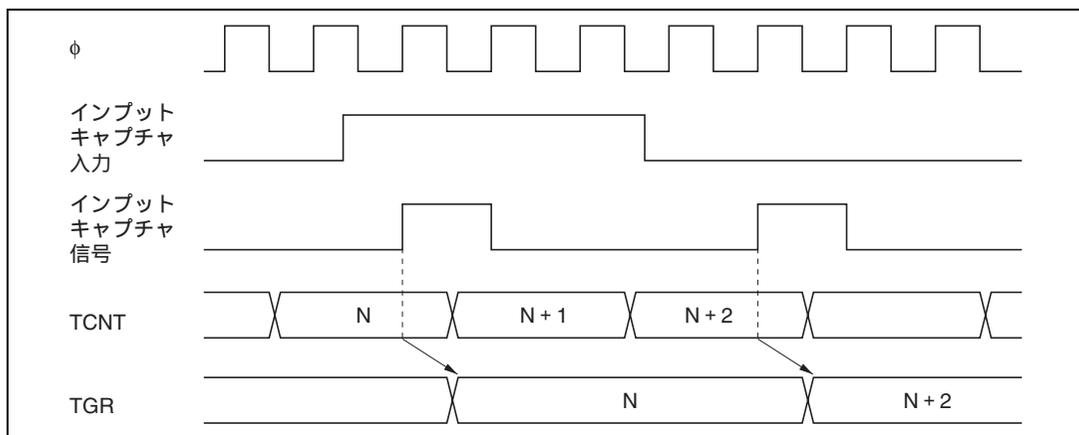


図 9.37 インプットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 9.38 に示します。
 インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 9.39 に示します。

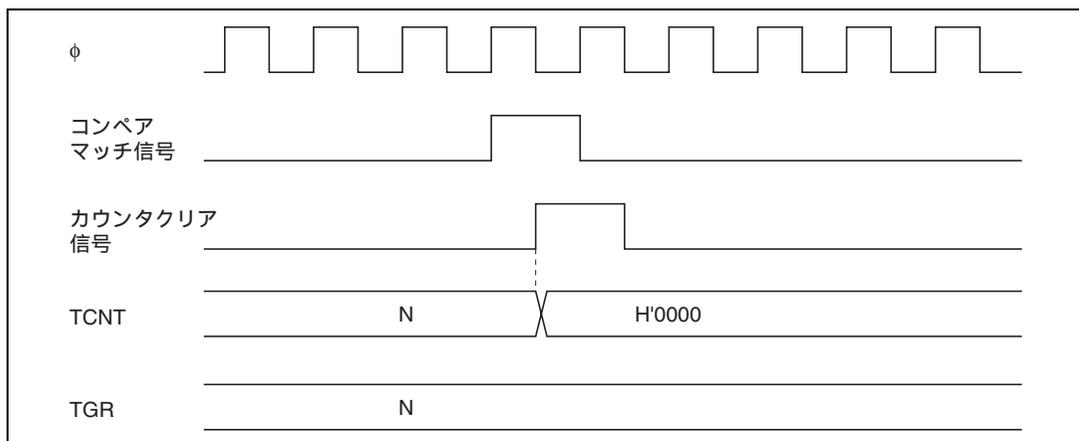


図 9.38 カウンタクリアタイミング (コンペアマッチ)

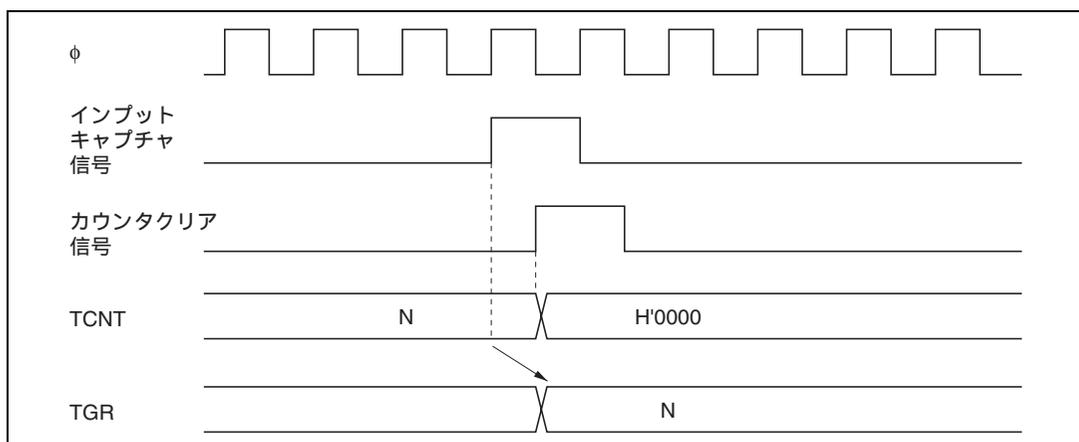


図 9.39 カウンタクリアタイミング (インプットキャプチャ)

9. 16ビットタイマパルスユニット (TPU)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 9.40、図 9.41 に示します。

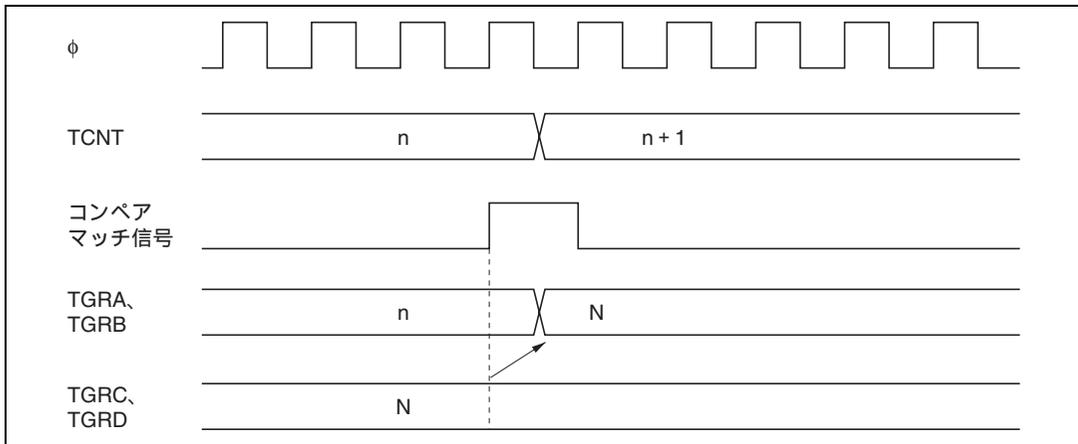


図 9.40 バッファ動作タイミング (コンペアマッチ)

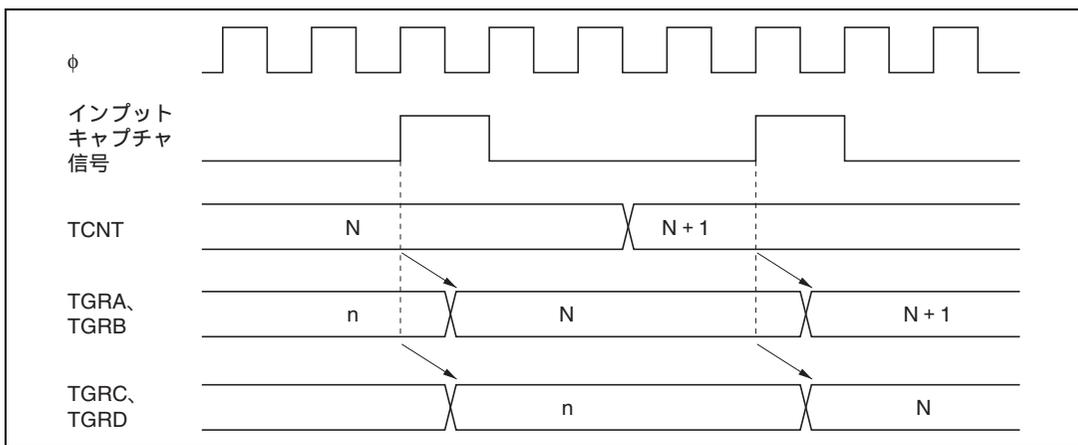


図 9.41 バッファ動作タイミング (インプットキャプチャ)

9.6.2 割り込み信号タイミング

(1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 9.42 に示します。

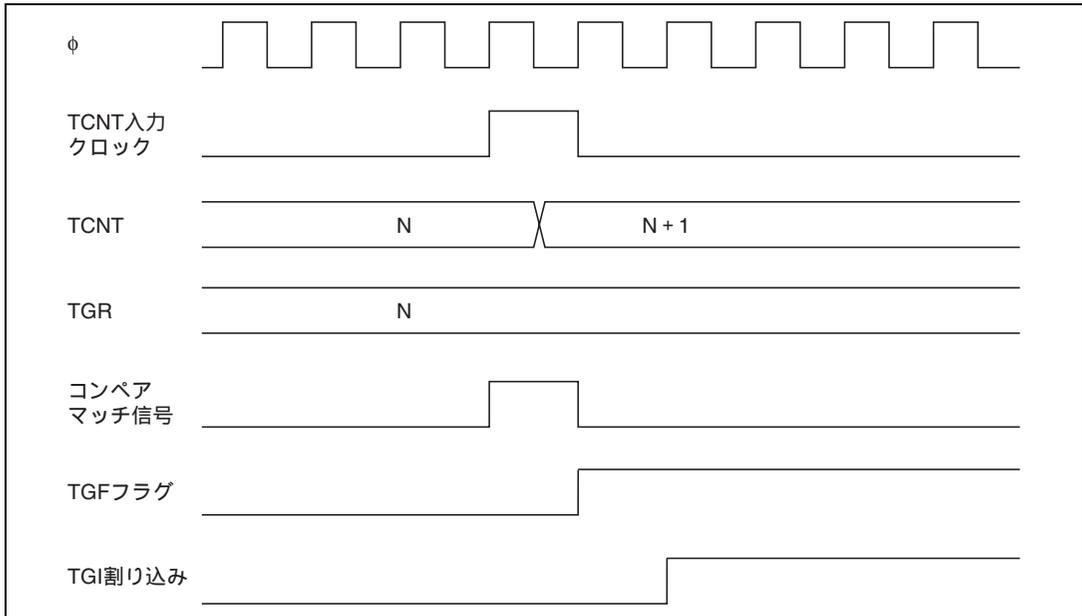


図 9.42 TGI 割り込みタイミング (コンペアマッチ)

(2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 9.43 に示します。

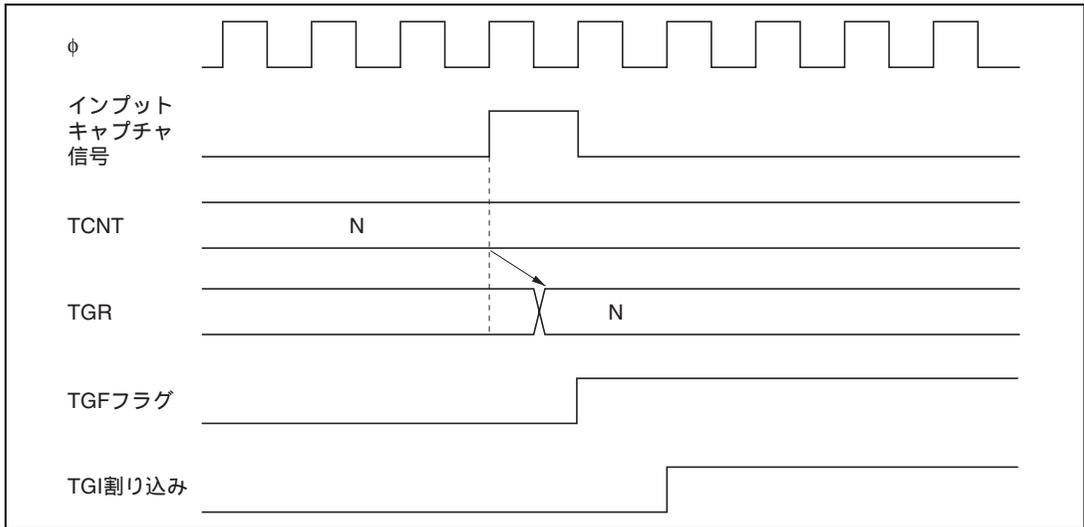


図 9.43 TGI 割り込みタイミング (インพุットキャプチャ)

(3) TCFV フラグ / TCFU フラグのセットタイミング

オーバフローの発生による TSR の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 9.44 に示します。

アンダフローの発生による TSR の TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 9.45 に示します。

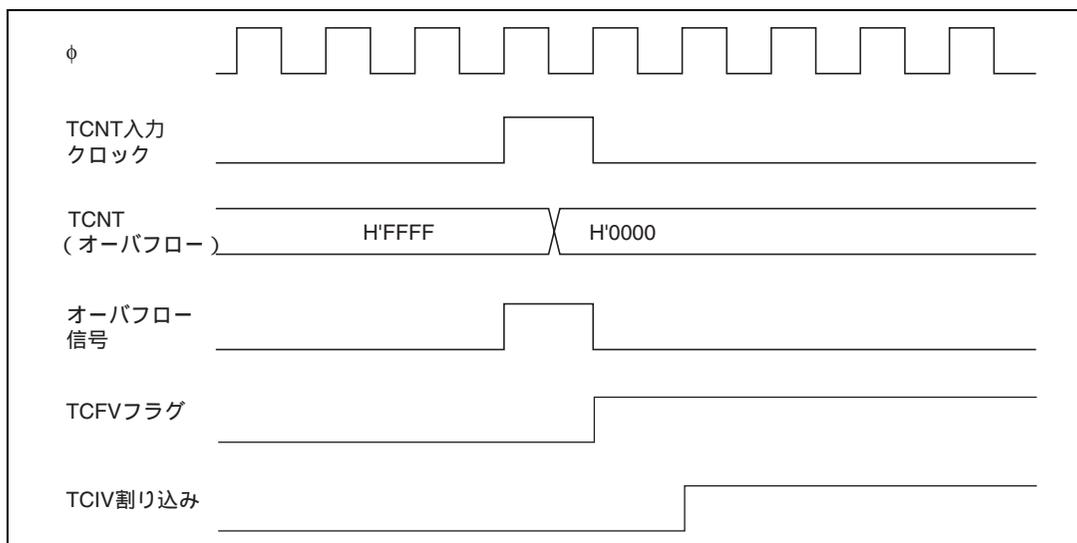


図 9.44 TCIV 割り込みのセットタイミング

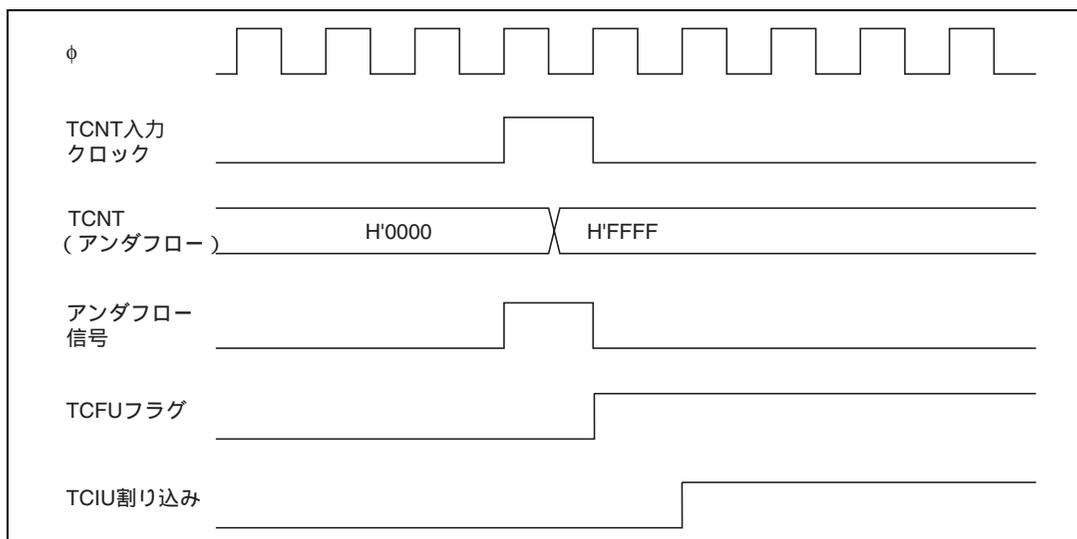


図 9.45 TCIU 割り込みのセットタイミング

(4) ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態をリードした後、0をライトするとクリアされます。DTCを起動する場合は、自動的にクリアすることもできます。CPUによるステータスフラグのクリアタイミングを図9.46に、DTCによるステータスフラグのクリアのタイミングを図9.47に示します。

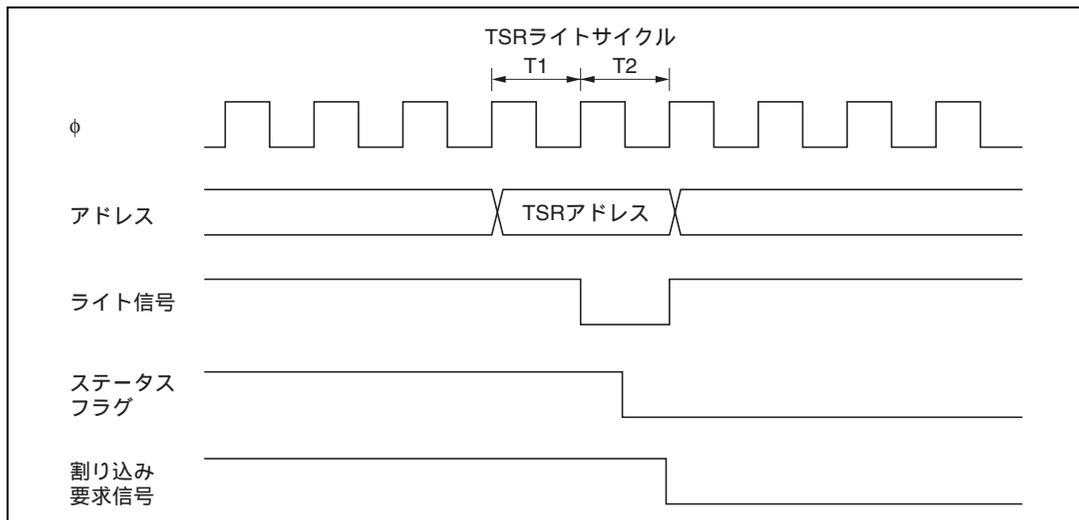


図 9.46 CPU によるステータスフラグのクリアタイミング

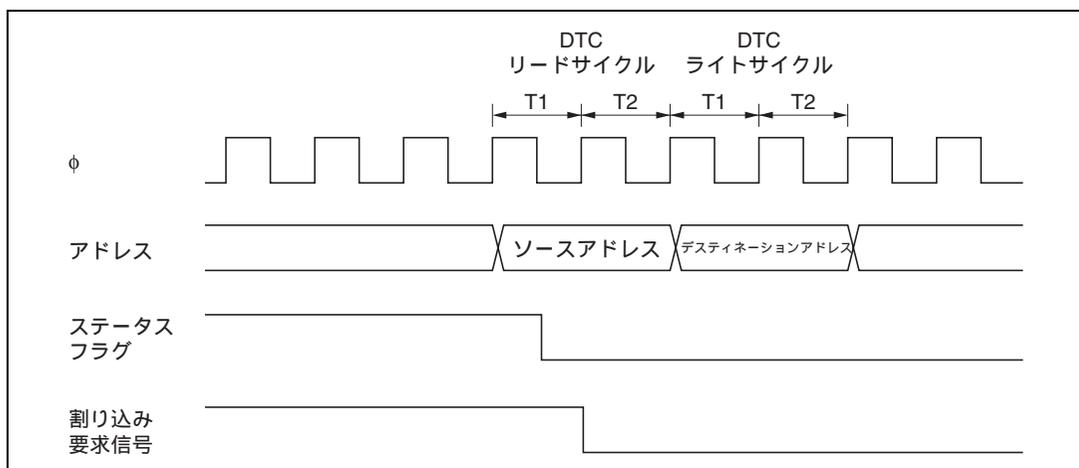


図 9.47 DTC の起動によるステータスフラグのクリアタイミング

9.7 使用上の注意

TPU の動作中、次のような動作や競合が起こりますので注意してください。

(1) 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステートクロック以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上が必要です。位相計数モードの入力クロックの条件を図 9.48 に示します。

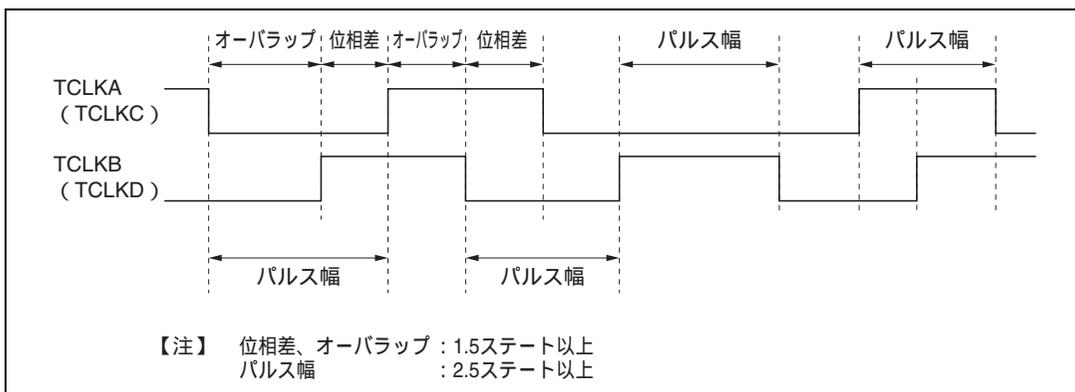


図 9.48 位相計数モード時の位相差、オーバーラップ、およびパルス幅

(2) 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は次の式ようになります。

$$f = \frac{\phi}{(N+1)}$$

f : カウンタ周波数

ϕ : 動作周波数

N : TGR の設定値

(3) TCNTのライトとクリアの競合

TCNTのライトサイクル中のT2状態で、カウンタクリア信号が発生すると、TCNTへのライトは行われずに、TCNTのクリアが優先されます。
このタイミングを図9.49に示します。

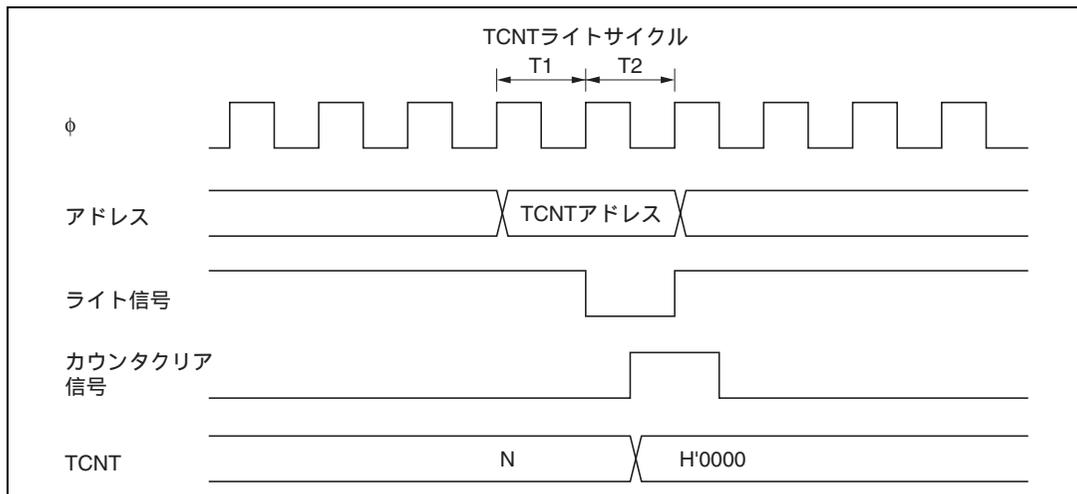


図 9.49 TCNT のライトとクリアの競合

(4) TCNTのライトとカウントアップの競合

TCNTのライトサイクル中のT2状態で、カウントアップが発生しても、カウントアップされず、TCNTへのライトが優先されます。
このタイミングを図9.50に示します。

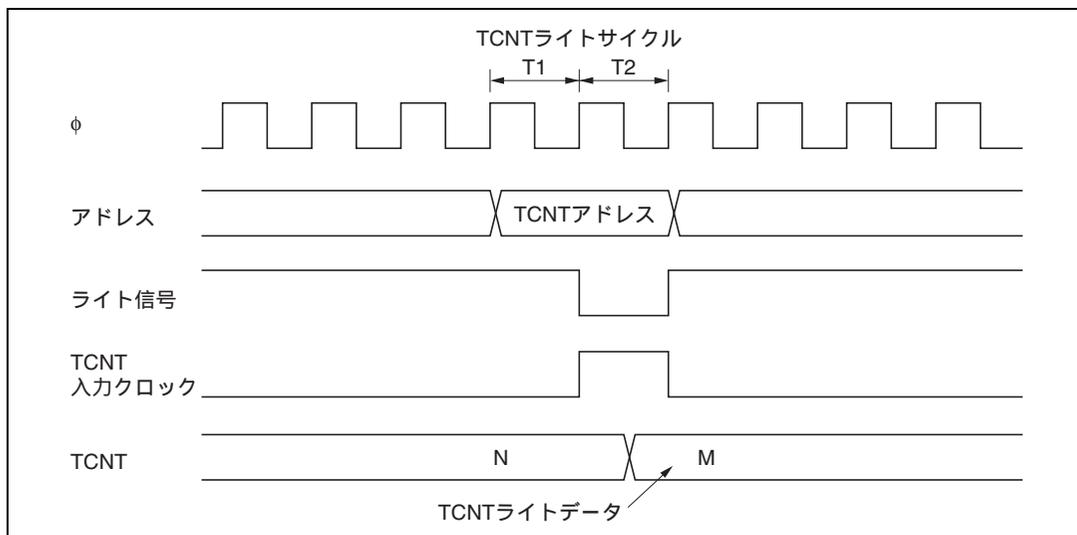


図 9.50 TCNT のライトとカウントアップの競合

(5) TGR のライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生しても、TGR のライトが優先され、コンペアマッチ信号は禁止されます。前回と同じ値をライトした場合でもコンペアマッチは発生しません。

このタイミングを図 9.51 に示します。

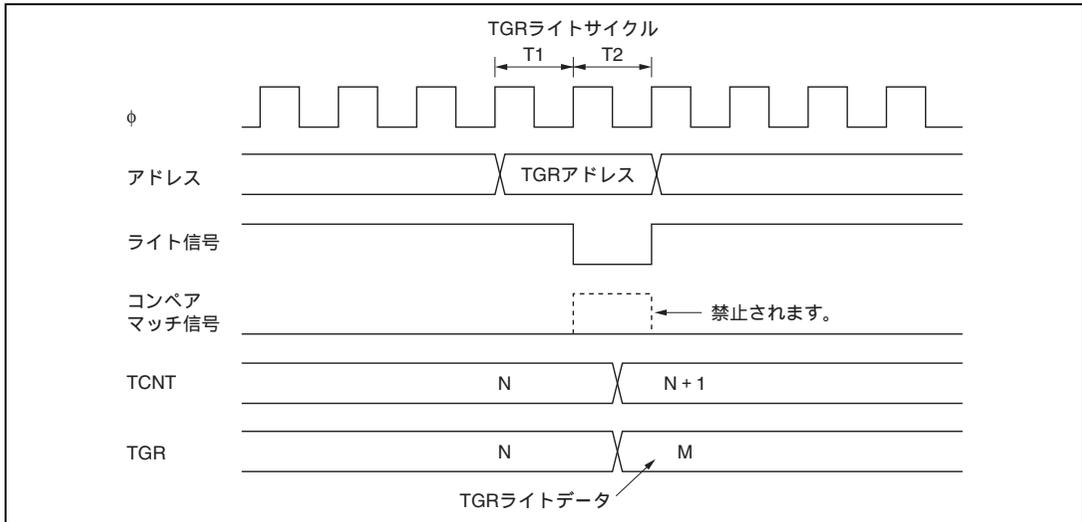


図 9.51 TGR のライトとコンペアマッチの競合

(6) バッファレジスタのライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータはライトデータとなります。

このタイミングを図 9.52 に示します。

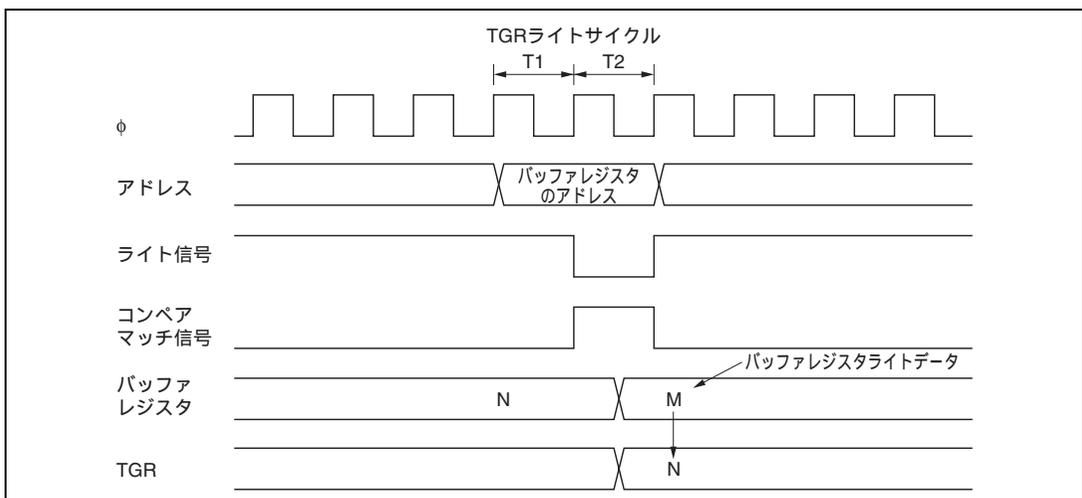


図 9.52 バッファレジスタのライトとコンペアマッチの競合

9. 16ビットタイマパルスユニット (TPU)

(7) TGR のリードとインプットキャプチャの競合

TGR のリードサイクル中の T1 ステートでインプットキャプチャ信号が発生すると、リードされるデータはインプットキャプチャ転送後のデータとなります。

このタイミングを図 9.53 に示します。

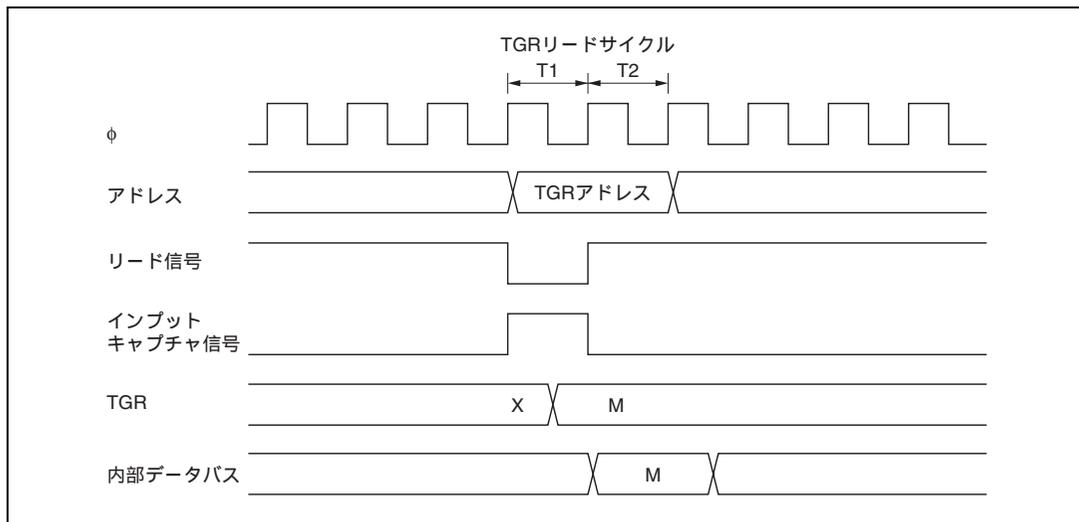


図 9.53 TGR のリードとインプットキャプチャの競合

(8) TGR のライトとインプットキャプチャの競合

TGR のライトサイクル中の T2 ステートでインプットキャプチャ信号が発生すると、TGR へのライトは行われず、インプットキャプチャが優先されます。

このタイミングを図 9.54 に示します。

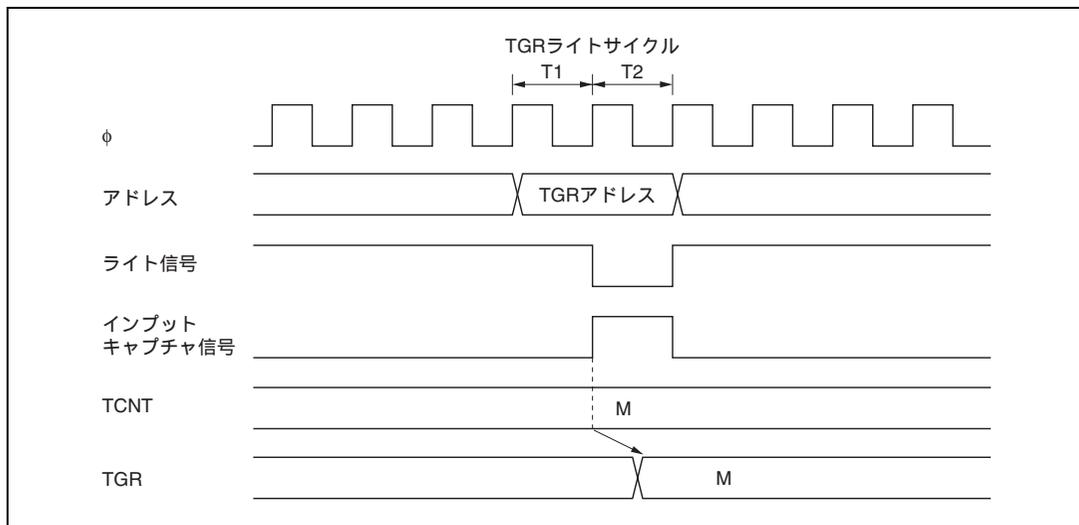


図 9.54 TGR のライトとインプットキャプチャの競合

(9) バッファレジスタのライトと入力キャプチャの競合

バッファのライトサイクル中の T2 ステートで入力キャプチャ信号が発生すると、バッファレジスタへのライトは行われず、バッファ動作が優先されます。

このタイミングを図 9.55 に示します。

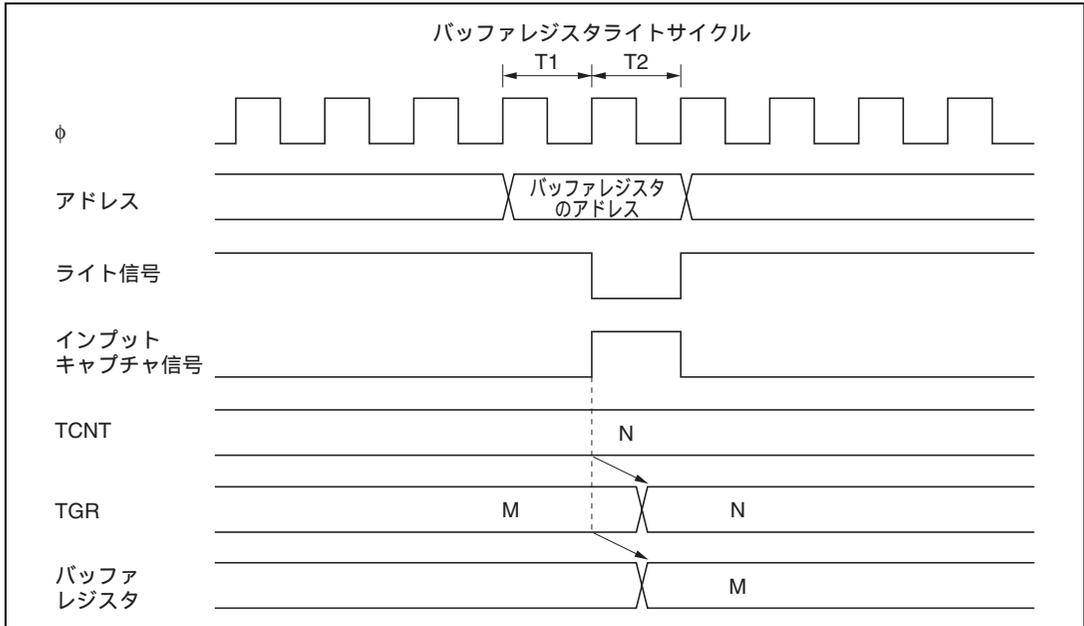


図 9.55 バッファレジスタのライトと入力キャプチャの競合

9. 16 ビットタイマパルスユニット (TPU)

(10) オーバフロー/アンダフローとカウンタクリアの競合

オーバフロー/アンダフローとカウンタクリアが同時に発生すると、TSR の TCFV / TCFU フラグはセットされず、TCNT のクリアが優先されます。

TGR のコンペアマッチをクリア要因とし、TGR に H'FFFF を設定した場合の動作タイミングを図 9.56 に示します。

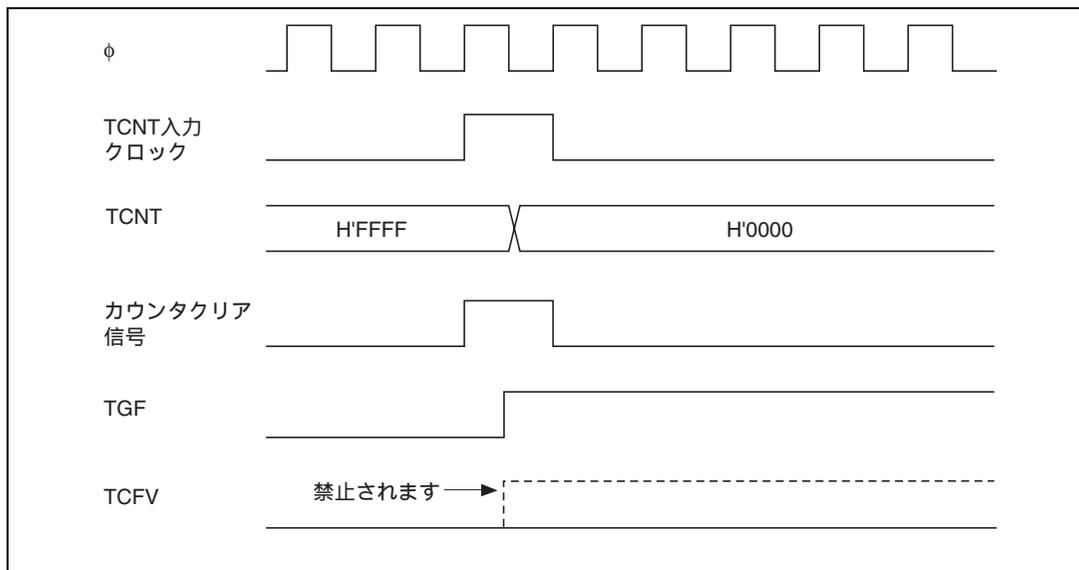


図 9.56 オーバフローとカウンタクリアの競合

(11) TCNT のライトとオーバーフロー / アンダフローの競合

TCNT のライトサイクル中の T2 ステートで、カウントアップ / カウントダウンが発生し、オーバーフロー / アンダフローが発生しても、TCNT へのライトが優先され、TSR の TCFV / TCFU フラグはセットされません。

TCNT のライトとオーバーフロー競合時の動作タイミングを図 9.57 に示します。

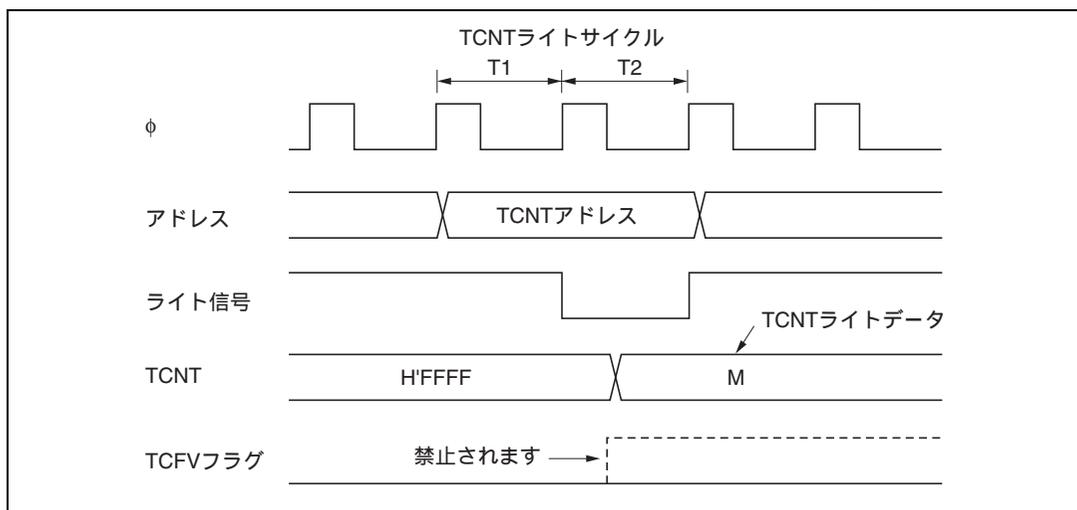


図 9.57 TCNT のライトとオーバーフローの競合

(12) 入出力端子の兼用

本 LSI では、TCLKA 入力と TIOCC0 入出力、TCLKB 入力と TIOCD0 入出力、TCLKC 入力と TIOCB1 入出力、TCLKD 入力と TIOCB2 入出力の端子がそれぞれ兼用になっています。外部クロックを入力する場合には、兼用されている端子からコンペアマッチ出力を行わないでください。

(13) モジュールストップ時の割り込み

割り込みが要求された状態でモジュールストップすると、CPU の割り込み要因または DTC の起動要因のクリアができません。事前に割り込みをディスエーブルにするなどしてから、モジュールストップモードとしてください。

9. 16 ビットタイマパルスユニット (TPU)

10. 8ビットタイマ

10.1 概要

本 LSI は、8 ビットのカウンタをベースにした 2 チャンネルの 8 ビットタイマ (TMR0、TMR1) を内蔵しています。2 チャンネルの 8 ビットタイマには、それぞれタイマカウンタ (TCNT) のほかに 8 ビットのタイムコンスタントレジスタ A、B (TCORA、TCORB) があります。TCNT と TCOR の値の一致によるコンペアマッチ信号により、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

10.1.1 特長

4 種類のカウンタ入力クロックを選択可能

- 3 種類の内部クロック ($\phi/8$ 、 $\phi/64$ 、 $\phi/8192$) と、外部クロックのうちから選択可能 (外部イベントのカウントが可能)

カウンタのクリア指定が可能

- コンペアマッチ A、B、または外部リセット信号のうちから選択可能

2 つのコンペアマッチ信号の組み合わせでタイマ出力を制御

- 独立に動作可能な 2 つのコンペアマッチ信号の組み合わせによって、任意のデューティのパルス出力や PWM 出力など種々の応用が可能

2 チャンネルのカスケード接続が可能

- チャンネル 0 を上位、チャンネル 1 を下位とする 16 ビットタイマとして動作可能 (16 ビットカウンタモード)
- チャンネル 1 はチャンネル 0 のコンペアマッチをカウント可能 (コンペアマッチカウンタモード)

各チャンネル 3 種類の割り込み要因

- コンペアマッチ $\times 2$ 要因、オーバフロー $\times 1$ 要因があり、それぞれ独立に要求可能

A/D 変換器の変換スタートトリガを生成可能

- A/D 変換器の交換開始トリガとして、チャンネル 0 のコンペアマッチ A 信号を使用可能

モジュールストップモードの設定可能

- 初期値では 8 ビットタイマの動作は停止。モジュールストップモードの解除によりレジスタのアクセスが可能

10.1.2 ブロック図

8ビットタイマのブロック図を図10.1に示します。

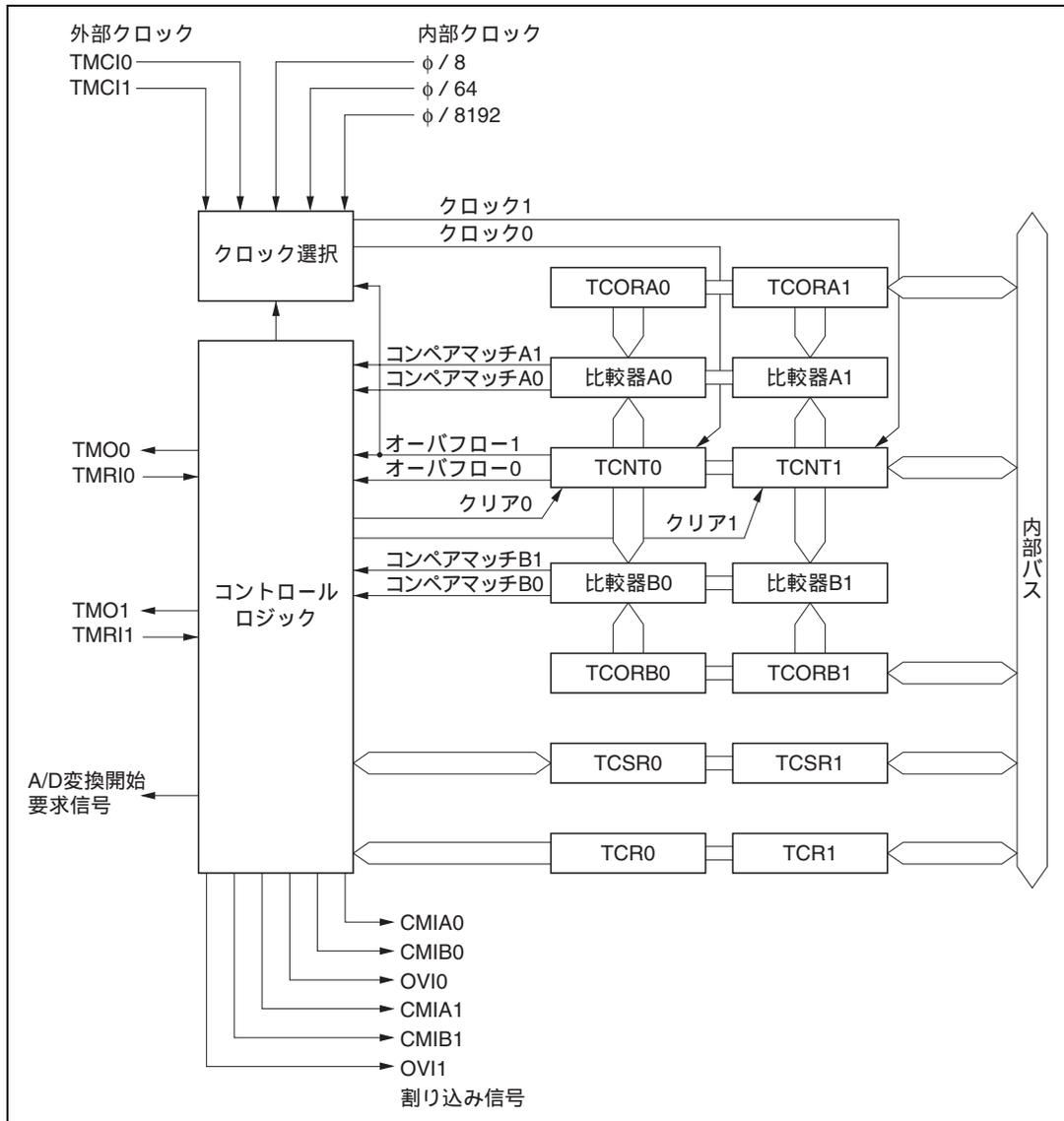


図 10.1 8ビットタイマのブロック図

10.1.3 端子構成

8ビットタイマの入出力端子を表 10.1 に示します。

表 10.1 端子構成

チャンネル	名 称	記号	入出力	機 能
0	タイマ出力端子 0	TMO0	出力	コンペアマッチ出力
	タイマクロック入力端子 0	TMCI0	入力	カウンタ外部クロック入力
	タイマリセット入力端子 0	TMRI0	入力	カウンタ外部リセット入力
1	タイマ出力端子 1	TMO1	出力	コンペアマッチ出力
	タイマクロック入力端子 1	TMCI1	入力	カウンタ外部クロック入力
	タイマリセット入力端子 1	TMRI1	入力	カウンタ外部リセット入力

10.1.4 レジスタ構成

8ビットタイマのレジスタ構成を表 10.2 に示します。

表 10.2 レジスタ構成

チャンネル	名 称	略称	R/W	初期値	アドレス*1
0	タイマコントロールレジスタ 0	TCR0	R/W	H'00	H'FFB0
	タイマコントロール/ステータスレジスタ 0	TCSR0	R/(W)*2	H'00	H'FFB2
	タイムコンスタントレジスタ A0	TCORA0	R/W	H'FF	H'FFB4
	タイムコンスタントレジスタ B0	TCORB0	R/W	H'FF	H'FFB6
	タイマカウンタ 0	TCNT0	R/W	H'00	H'FFB8
1	タイマコントロールレジスタ 1	TCR1	R/W	H'00	H'FFB1
	タイマコントロール/ステータスレジスタ 1	TCSR1	R/(W)*2	H'10	H'FFB3
	タイムコンスタントレジスタ A1	TCORA1	R/W	H'FF	H'FFB5
	タイムコンスタントレジスタ B1	TCORB1	R/W	H'FF	H'FFB7
	タイマカウンタ 1	TCNT1	R/W	H'00	H'FFB9
共通	モジュールストップコントロールレジスタ	MSTPCR	R/W	H'3FFF	H'FF3C

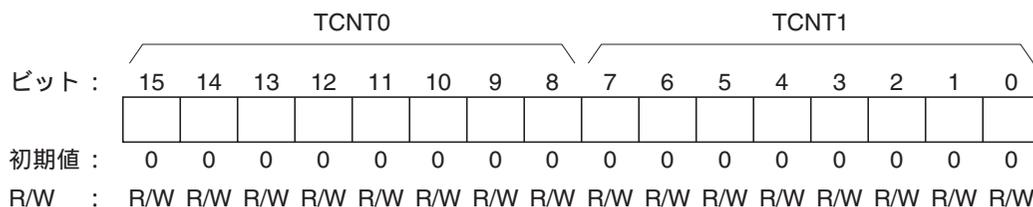
【注】 *1 アドレスの下位 16 ビットを示しています。

*2 ビット 7~5 は、フラグをクリアするための 0 ライトのみ可能です。

チャンネル 0 とチャンネル 1 の対応するレジスタは、チャンネル 0 を上位、チャンネル 1 を下位とする 16 ビットレジスタとして、ワードアクセスすることができます。

10.2 各レジスタの説明

10.2.1 タイマカウンタ 0、1 (TCNT0、TCNT1)



TCNT0、TCNT1 はそれぞれ 8 ビットのリード/ライト可能なアップカウンタで、入力する内部または外部クロックによってカウントアップされます。入力するクロックは、TCR の CKS2 ~ CKS0 ビットで選択します。TCNT0、TCNT1 の値は、CPU から常にリード/ライト可能です。

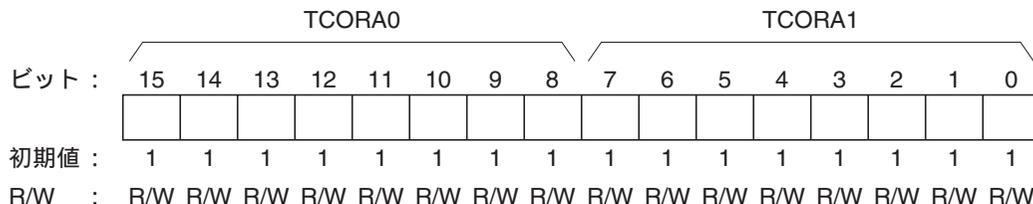
TCNT0、TCNT1 を 1 本の 16 ビットレジスタとしてワードアクセスすることも可能です。

TCNT は、外部リセット入力信号またはコンペアマッチ信号によりクリアすることができます。いずれの信号でクリアするかは、TCR の CCLR1、CCLR0 ビットで選択します。

また、TCNT がオーバフロー (H'FF→H'00) すると、TCSR の OVF が 1 にセットされます。

TCNT は、リセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

10.2.2 タイムコンスタントレジスタ A0、A1 (TCORA0、TCORA1)



TCORA0、TCORA1 はそれぞれ 8 ビットのリード/ライト可能なレジスタです。

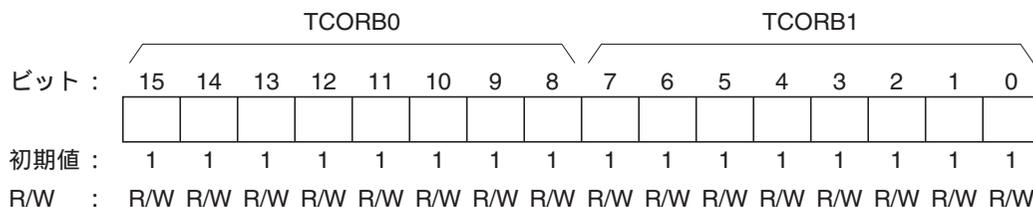
TCORA0、TCORA1 を 1 本の 16 ビットレジスタとしてワードアクセスすることも可能です。

TCORA と TCNT の値は常に比較されており、両者の値が一致すると TCSR の CMFA が 1 にセットされます。ただし、TCOR へのライトサイクルの T2 ステートでの比較は禁止されています。

また、この一致による信号 (コンペアマッチ) と TCSR の OS1、OS0 ビットの設定により、タイマ出力を自由に制御することができます。

TCORA は、リセットまたはハードウェアスタンバイモード時に H'FF に初期化されます。

10.2.3 タイムコンスタントレジスタ B0、B1 (TCORB0、TCORB1)



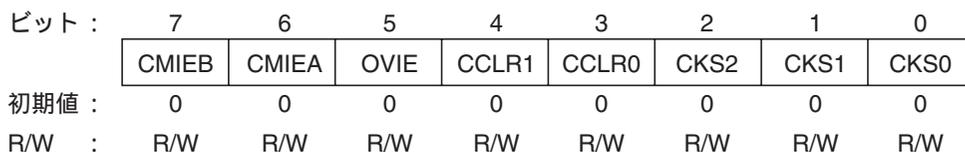
TCORB0、TCORB1 はそれぞれ 8 ビットのリード/ライト可能なレジスタです。TCORB0、TCORB1 を 1 本の 16 ビットレジスタとしてワードアクセスすることも可能です。

TCORB と TCNT の値は常に比較されており、両者の値が一致すると TCSR の CMFB が 1 にセットされます。ただし、TCOR へのライトサイクルの T2 ステートでの比較は禁止されています。

また、この一致による信号 (コンペアマッチ) と TCSR のアウトプットセレクト OS3、OS2 ビットの設定により、タイマ出力を自由に制御することができます。

TCORB は、リセットまたはハードウェアスタンバイモード時に H'FF に初期化されます。

10.2.4 タイマコントロールレジスタ 0、1 (TCR0、TCR1)



TCR0、TCR1 はそれぞれ 8 ビットのリード/ライト可能なレジスタで、TCNT の入力クロックの選択、TCNT のクリア指定、および各割り込み要求の許可を制御します。

TCR は、リセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

なお、タイミングについては、「10.3 動作説明」を参照してください。

ビット 7: コンペアマッチインタラプトイネーブル B (CMIEB)

TCSR の CMFB が 1 にセットされたとき、CMFB による割り込み要求 (CMIB) の許可または禁止を選択します。

ビット 7	説 明
CMIEB	
0	CMFB による割り込み要求 (CMIB) を禁止 (初期値)
1	CMFB による割り込み要求 (CMIB) を許可

10. 8ビットタイマ

ビット6：コンペアマッチインタラプトイネーブルA (CMIEA)

TCSRのCMFAが1にセットされたとき、CMFAによる割り込み要求(CMIA)の許可または禁止を選択します。

ビット6	説明
CMIEA	
0	CMFAによる割り込み要求(CMIA)を禁止 (初期値)
1	CMFAによる割り込み要求(CMIA)を許可

ビット5：タイマオーバフローインタラプトイネーブル(OVIE)

TCSRのOVFが1にセットされたとき、OVFによる割り込み要求(OVI)の許可または禁止を選択します。

ビット5	説明
OVIE	
0	OVFによる割り込み要求(OVI)を禁止 (初期値)
1	OVFによる割り込み要求(OVI)を許可

ビット4、3：カウンタクリア1、0(CCLR1、CCLR0)

TCNTのクリアを指定します。クリアは、コンペアマッチA、B、または外部リセット入力から選択します。

ビット4	ビット3	説明
CCLR1	CCLR0	
0	0	クリアを禁止 (初期値)
	1	コンペアマッチAによりクリア
1	0	コンペアマッチBによりクリア
	1	外部リセット入力の立ち上がりエッジによりクリア

ビット2~0：クロックセレクト2~0 (CKS2~CKS0)

TCNTに入力するクロックを、内部クロックまたは外部クロックから選択します。

内部クロックは、システムクロック(ϕ)を分周した3種類のクロック($\phi/8$ 、 $\phi/64$ 、 $\phi/8192$)から選択できます。これら内部クロックは、立ち下がりエッジでカウントします。

外部クロックのとき、クロック入力は立ち上がり、立ち下がり、または立ち上がり/立ち下がり両エッジのカウントの3種類から選択できます。

チャンネル0と1では一部機能が異なります。

ビット2	ビット1	ビット0	説 明
CKS2	CKS1	CKS0	
0	0	0	クロック入力を禁止 (初期値)
		1	内部クロック： $\phi/8$ 立ち下がりエッジでカウント
	1	0	内部クロック： $\phi/64$ 立ち下がりエッジでカウント
		1	内部クロック： $\phi/8192$ 立ち下がりエッジでカウント
1	0	0	チャンネル0の場合： TCNT1のオーバフロー信号でカウント* チャンネル1の場合： TCNT0のコンペアマッチAでカウント*
		1	外部クロック：立ち上がりエッジでカウント
	1	0	外部クロック：立ち下がりエッジでカウント
		1	外部クロック：立ち上がり/立ち下がり両エッジでカウント

【注】* チャンネル0のクロック入力をTCNT1のオーバフロー信号とし、チャンネル1のクロック入力をTCNT0のコンペアマッチ信号とすると、カウントアップクロックが発生しません。この設定は行わないでください。

10.2.5 タイマコントロール/ステータスレジスタ 0、1 (TCSR0、TCSR1)

TCSR0

ビット:	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W

TCSR1

ビット:	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF		OS3	OS2	OS1	OS0
初期値:	0	0	0	1	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*		R/W	R/W	R/W	R/W

【注】* ビット7~5は、フラグをクリアするための0ライトのみ可能です。

TCSR0、TCSR1 はそれぞれ8ビットのレジスタで、コンペアマッチやタイマオーバーフローのステータスの表示、およびコンペアマッチ出力の制御を行います。

リセットまたはハードウェアスタンバイモード時に、TCSR0 は H'00 に、TCSR1 は H'10 に初期化されます。

ビット7: コンペアマッチフラグ B (CMFB)

TCNT と TCORB の値が一致したことを示すステータスフラグです。

ビット7	説明
CMFB	
0	[クリア条件] (初期値) (1) CMFB = 1 の状態で、CMFB をリードした後、CMFB に 0 をライトしたとき (2) CMIB 割り込みにより、DTC が起動され、DTC の MRB の DISSEL ビットが 0 のとき
1	[セット条件] TCNT = TCORB になったとき

ビット6：コンペアマッチフラグ A (CMFA)

TCNT と TCORA の値が一致したことを示すステータスフラグです。

ビット6	説明
CMFA	
0	[クリア条件] (初期値) (1) CMFA=1 の状態で、CMFA をリードした後、CMFA に 0 をライトしたとき (2) CMIA 割り込みにより、DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき
1	[セット条件] TCNT = TCORA になったとき

ビット5：タイマオーバフローフラグ (OVF)

TCNT がオーバフロー (H'FF→H'00) したことを示すステータスフラグです。

ビット5	説明
OVF	
0	[クリア条件] (初期値) OVF=1 の状態で、OVF をリードした後、OVF に 0 をライトしたとき
1	[セット条件] TCNT が H'FF→H'00 になったとき

ビット4：A/D トリガイネーブル (ADTE) (TCSR0 のみ)

コンペアマッチ A による A/D 変換開始要求の許可または禁止を選択します。

TCSR1 ではリザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット4	説明
ADTE	
0	コンペアマッチ A による A/D 変換開始要求を禁止 (初期値)
1	コンペアマッチ A による A/D 変換開始要求を許可

ビット3～0：アウトプットセレクト 3～0 (OS3～OS0)

TCOR と TCNT のコンペアマッチによるタイマ出力レベルをどのように変化させるかを選択します。

OS3 と OS2 ビットがコンペアマッチ B による出力レベルを選択し、OS1 と OS0 ビットがコンペアマッチ A による出力レベルを選択し、それぞれ独立に制御することができます。

ただし、トグル出力 > 1 出力 > 0 出力の順で優先順位が高くなるように設定してあるので、コンペアマッチが同時に発生した場合は、優先順位が高い方のコンペアマッチに従って出力が変化します。

なお、OS3～OS0 ビットがすべて 0 の場合にはタイマ出力は禁止されます。

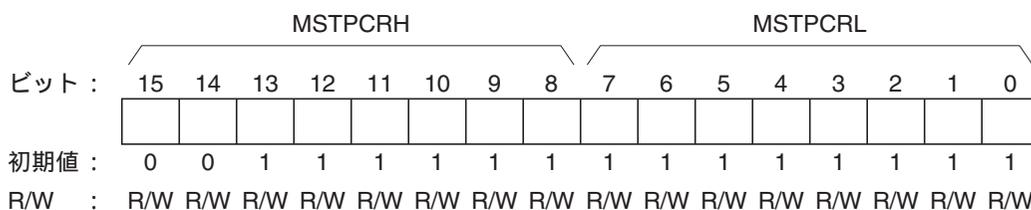
リセット後、最初のコンペアマッチが起こるまでのタイマ出力は 0 です。

10. 8ビットタイマ

ビット3	ビット2	説明
OS3	OS2	
0	0	コンペアマッチ B で変化しない (初期値)
	1	コンペアマッチ B で 0 出力
1	0	コンペアマッチ B で 1 出力
	1	コンペアマッチ B ごとに反転出力 (トグル出力)

ビット1	ビット0	説明
OS1	OS0	
0	0	コンペアマッチ A で変化しない (初期値)
	1	コンペアマッチ A で 0 出力
1	0	コンペアマッチ A で 1 出力
	1	コンペアマッチ A ごとに反転出力 (トグル出力)

10.2.6 モジュールストップコントロールレジスタ (MSTPCR)



MSTPCR は 16 ビットのリード/ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTP12 ビットを 1 にセットすると、バスサイクルの終了時点で 8 ビットタイマは動作を停止してモジュールストップモードへ遷移します。詳細は、「19.5 モジュールストップモード」を参照してください。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 12: モジュールストップ (MSTP12)

8 ビットタイマのモジュールストップモードを指定します。

ビット 12	説明
MSTP12	
0	8 ビットタイマのモジュールストップモード解除
1	8 ビットタイマのモジュールストップモード設定 (初期値)

10.3 動作説明

10.3.1 TCNTのカウントタイミング

TCNTは、入力されたクロック（内部クロックまたは外部クロック）によりカウントアップされます。

(1) 内部クロック動作の場合

TCRのCKS2～CKS0ビットの設定により、システムクロック（ ϕ ）を分周して作られる3種類の内部クロック（ $\phi/8$ 、 $\phi/64$ 、 $\phi/8192$ ）が選択されます。このタイミングを図10.2に示します。

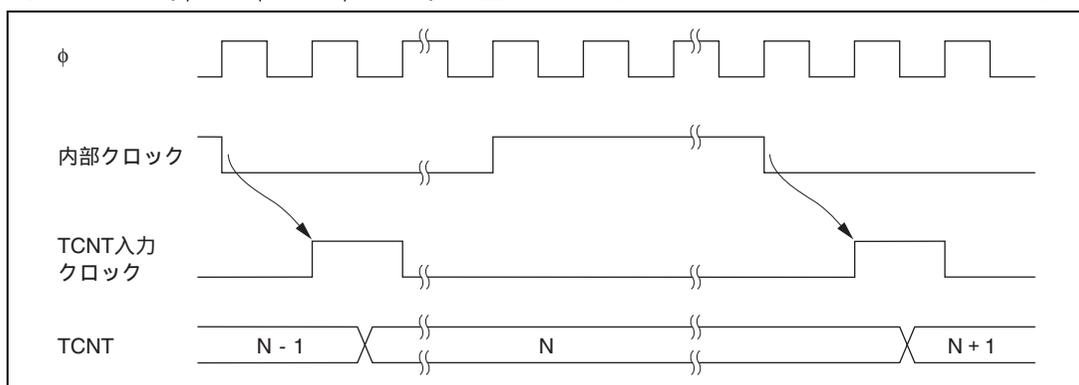


図 10.2 内部クロック動作時のカウントタイミング

(2) 外部クロック動作の場合

TCRのCKS2～CKS0ビットの設定により、外部クロックの立ち上がりエッジ、立ち下がりエッジ、立ち上がり/立ち下がり両エッジのいずれかによるカウントアップが選択されます。

なお、外部クロックのパルス幅は、単エッジの場合は1.5ステート以上、両エッジの場合は2.5ステート以上必要です。これ以下のパルス幅では、正しく動作しませんので注意してください。

図10.3に、外部クロックとして、立ち上がり/立ち下がり両エッジの場合のタイミングを示します。

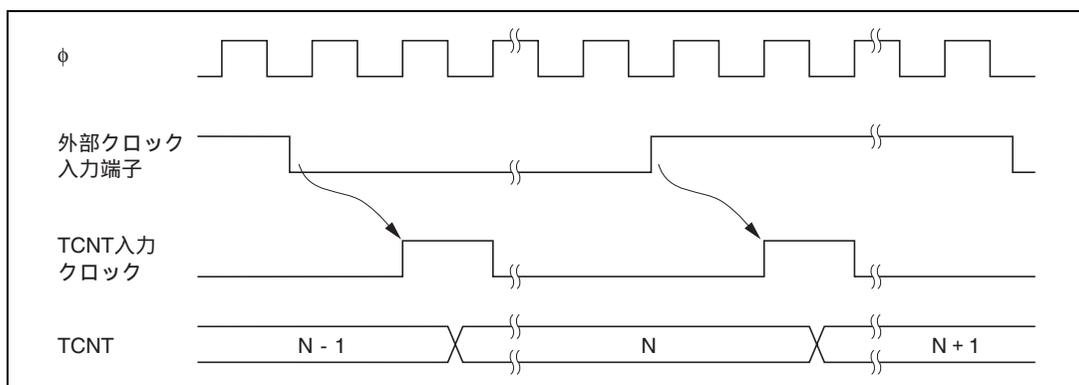


図 10.3 外部クロック動作時のカウントタイミング

10.3.2 コンペアマッチタイミング

(1) コンペアマッチフラグ A、B (CMFA、CMFB) のセットタイミング

TCSR の CMFA、CMFB は、TCOR と TCNT の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。

したがって、TCNT と TCOR が一致した後、カウントアップクロックが発生するまでコンペアマッチ信号は発生しません。このタイミングを図 10.4 に示します。

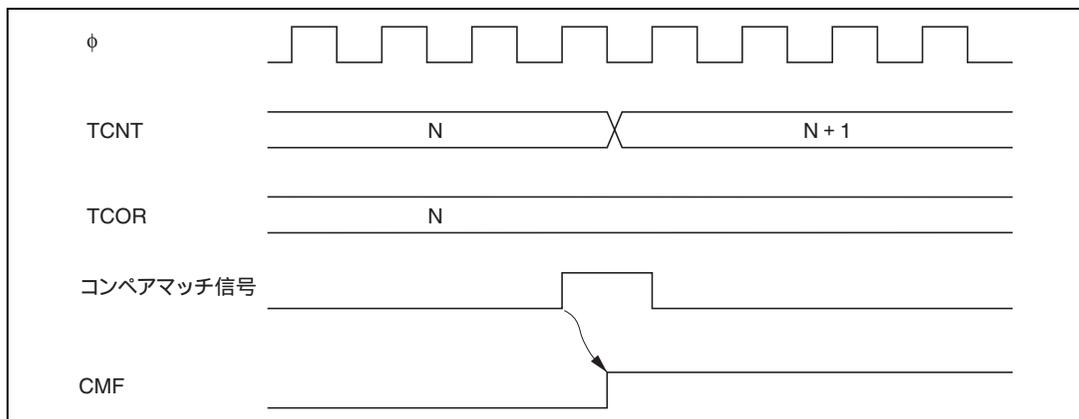


図 10.4 CMF セットタイミング

(2) タイマ出力タイミング

タイマ出力はコンペアマッチ A、B が発生したとき、TCSR の OS3 ~ OS0 ビットで選択された状態 (変化しない、0 出力、1 出力、トグル出力) で出力されます。

図 10.5 にコンペアマッチ A 信号によるトグル出力の場合の出力タイミングを示します。

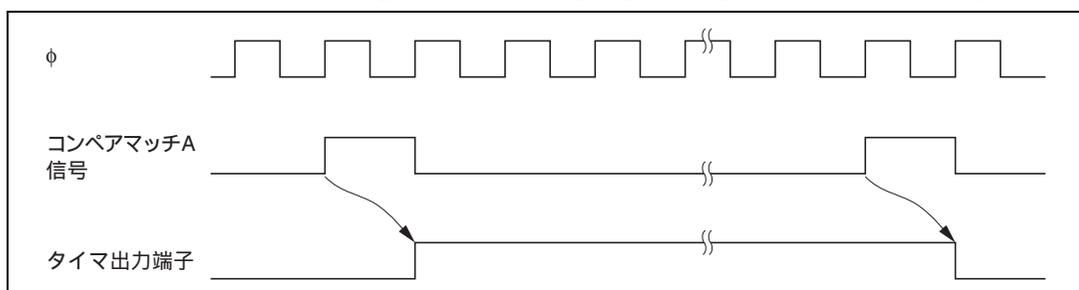


図 10.5 タイマ出力タイミング

(3) コンペアマッチによるクリア

TCNTは、TCRのCCLR1、CCLR0ビットの選択によりコンペアマッチAまたはコンペアマッチBでクリアされます。このクリアされるタイミングを図10.6に示します。

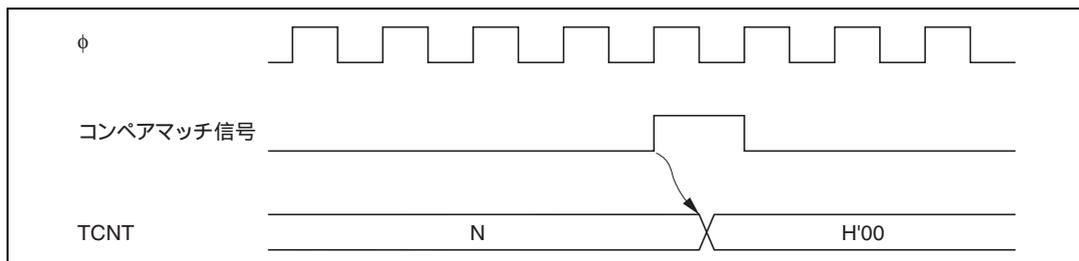


図 10.6 コンペアマッチによるクリアタイミング

10.3.3 TCNTの外部リセットタイミング

TCNTは、TCRのCCLR1、CCLR0ビットの選択により外部リセット入力の立ち上がりエッジでクリアされます。クリアパルスの幅は、1.5ステート以上必要となります。このクリアされるタイミングを図10.7に示します。

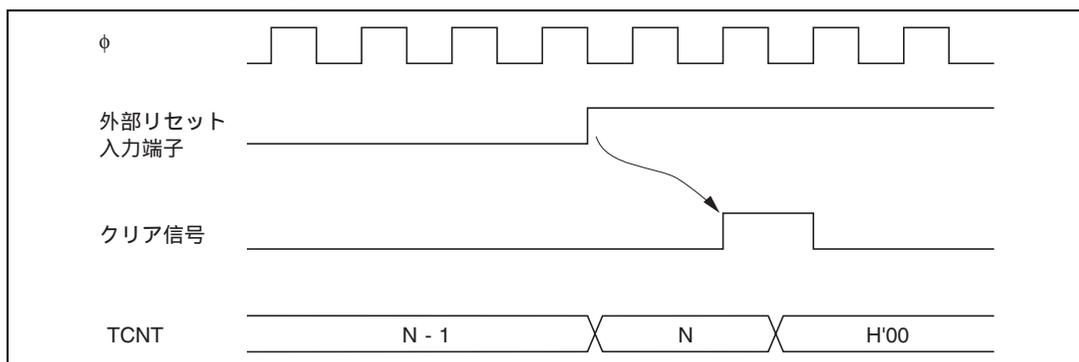


図 10.7 外部リセット入力によるクリアタイミング

10.3.4 オーバフローフラグ (OVF) のセットタイミング

TCSR の OVF は、TCNT がオーバフロー (H'FF→H'00) したとき出力されるオーバフロー信号により 1 にセットされます。

このときのタイミングを図 10.8 に示します。

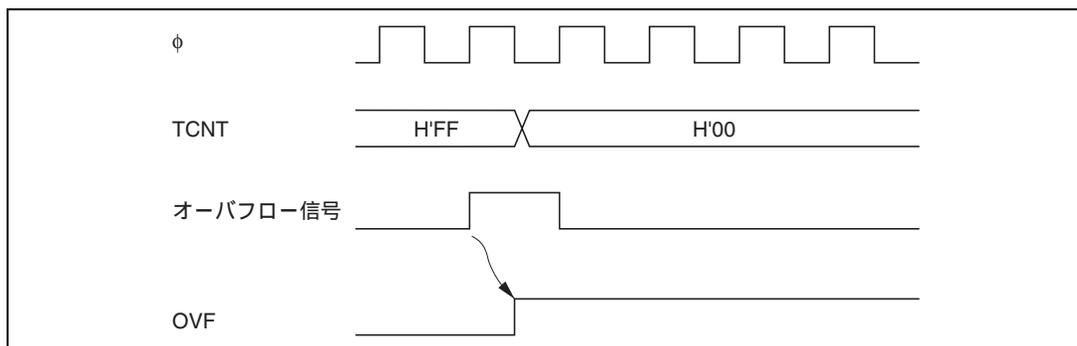


図 10.8 OVF のセットタイミング

10.3.5 カスケード接続時の動作

TCR0、TCR1 のいずれか一方の CKS2～CKS0 ビットを B'100 に設定すると、2 チャンネルの 8 ビットタイマはカスケード接続されます。この場合、1 本の 16 ビットタイマとして使用 (16 ビットタイマモード) するか、またはチャンネル 0 の 8 ビットタイマのコンペアマッチをチャンネル 1 のタイマでカウント (コンペアマッチカウントモード) することができます。このとき、本タイマは以下のように動作します。

(1) 16 ビットカウントモード

TCR0 の CKS2～CKS0 ビットが B'100 のとき、本タイマはチャンネル 0 を上位 8 ビット、チャンネル 1 を下位 8 ビットとする 1 チャンネルの 16 ビットタイマとして動作します。

(a) コンペアマッチフラグのセット

- TCSR0 の CMF フラグは、16 ビットのコンペアマッチが発生したとき 1 にセットされません。
- TCSR1 の CMF フラグは、下位 8 ビットのコンペアマッチが発生したとき 1 にセットされます。

(b) カウンタクリア指定

- TCR0 の CCLR1、CCLR0 ビットでコンペアマッチによるカウンタクリアをそれぞれ設定した場合、16 ビットのコンペアマッチが発生したとき 16 ビットカウンタ (TCNT0、TCNT1 の両方) がクリアされます。また、TMR10 端子によるカウンタクリアを設定した場合も、16 ビットカウンタ (TCNT0、TCNT1 の両方) がクリアされます。
- TCR1 の CCLR1、CCLR0 ビットの設定は無効になります。下位 8 ビットのみのカウンタクリアはできません。

(c) 端子出力

- TCSR0 の OS3～OS0 ビットによる TMO0 端子の出力制御は 16 ビットのコンペアマッチ条件に従います。

- TCSR1 の OS3 ~ OS0 ビットによる TMO1 端子の出力制御は下位 8 ビットのコンペアマッチ条件に従います。

(2) コンペアマッチカウントモード

TCR1 の CKS2 ~ CKS0 ビットが B'100 のとき、TCNT1 はチャンネル 0 のコンペアマッチ A をカウントします。

チャンネル 0、1 の制御はそれぞれ独立に行われます。CMF フラグのセット、割り込みの発生、TMO 端子の出力、カウンタクリアなどは、各チャンネルの設定に従います。

(3) (3) 使用上の注意

16 ビットカウンタモードとコンペアマッチカウントモードを同時に設定した場合、TCNT0、TCNT1 の入力クロックが発生しなくなるため、カウンタが停止して動作しません。この設定は行わないでください。

10.4 割り込み

10.4.1 割り込み要因と DTC 起動

8 ビットタイマの割り込み要因は、CMIA、CMIB、OVI の 3 種類があります。表 10.3 に各割り込み要因と優先順位を示します。各割り込み要因は、TCR の各割り込みイネーブルビットにより許可または禁止が設定され、それぞれ独立に割り込みコントローラに送られます。

また、CMIA、CMIB 割り込みにより DTC を起動することができます。

表 10.3 8 ビットタイマ割り込み要因

チャンネル	割り込み要因	内 容	DTC の起動	優先順位
0	CMIA0	CMFA による割り込み	可	高  低
	CMIB0	CMFB による割り込み	可	
	OVI0	OVF による割り込み	不可	
1	CMIA1	CMFA による割り込み	可	
	CMIB1	CMFB による割り込み	可	
	OVI1	OVF による割り込み	不可	

【注】 リセット直後の初期状態について示しています。

チャンネル間の優先順位は割り込みコントローラにより変更可能です。

10.4.2 A/D 変換器の起動

チャンネル 0 のコンペアマッチ A のみ、A/D 変換器を起動することができます。

チャンネル 0 のコンペアマッチ A の発生により、TCSR0 の CMFA フラグが 1 にセットされたとき、ADTE ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換の開始を要求します。この時 A/D 変換器側で、8 ビットタイマの変換開始トリガが選択されていれば、A/D 変換が開始されません。

10.5 8ビットタイマの使用例

任意のデューティパルスを出力させた例を図 10.9 に示します。これは次に示すように設定します。

- [1] TCORAのコンペアマッチによりTCNTがクリアされるように、TCRのCCLR1ビットを0にクリア、CCLR0ビットを1にセットします。
- [2] TCORAのコンペアマッチにより1出力、TCORBのコンペアマッチにより0出力になるようにTCSRのOS3～OS0ビットをB'0110に設定します。

以上の設定により周期が TCORA、パルス幅が TCORB の波形をソフトウェアの介在なしに出力できます。

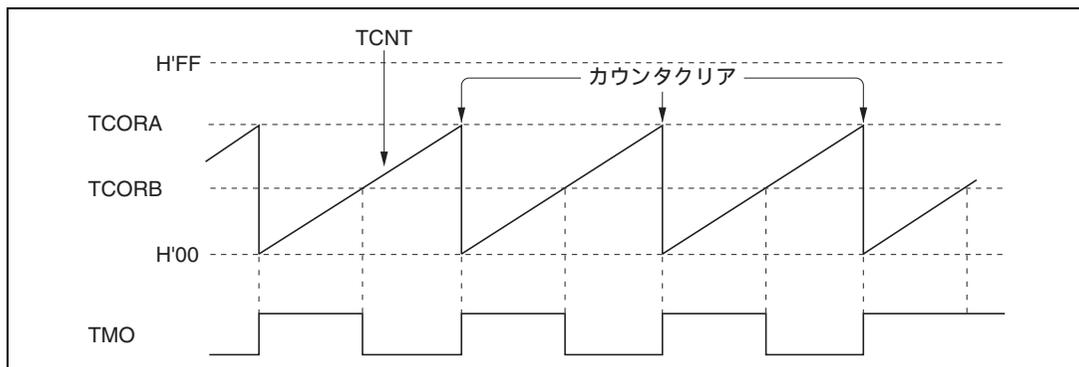


図 10.9 パルス出力例

10.6 使用上の注意

8ビットタイマの動作中、次のような競合が発生した場合、以下のような動作が起こるので注意してください。

10.6.1 TCNTのライトとカウンタクリアの競合

TCNTのライトサイクル中のT2ステートで、カウンタクリアが発生すると、カウンタへのライトは行われず、クリアが優先されます。

これを図10.10に示します。

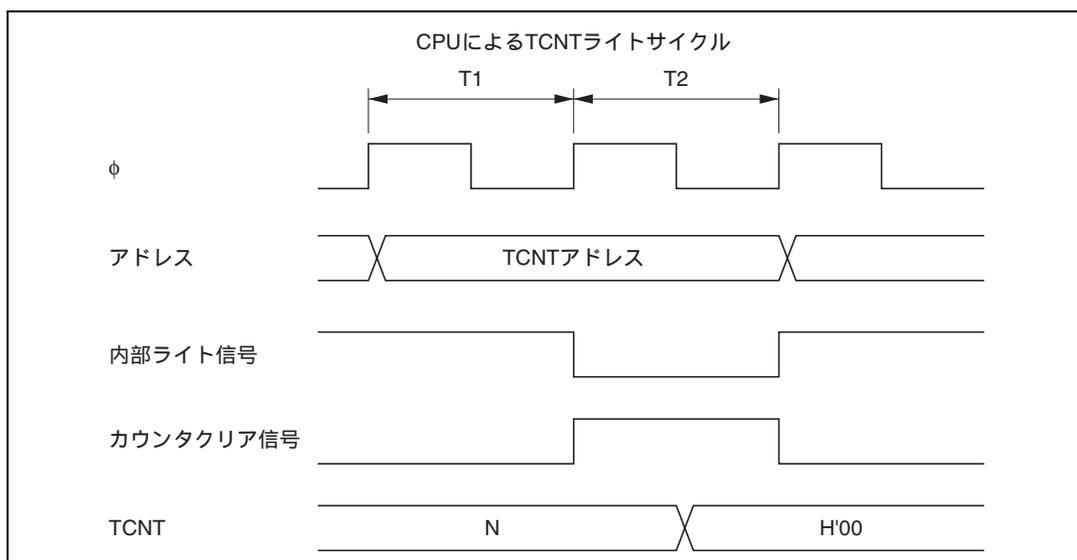


図 10.10 TCNTのライトとクリアの競合

10.6.2 TCNTのライトとカウントアップの競合

TCNTのライトサイクル中のT2状態でカウントアップが発生しても、カウントアップされず、カウンタライトが優先されます。

これを図10.11に示します。

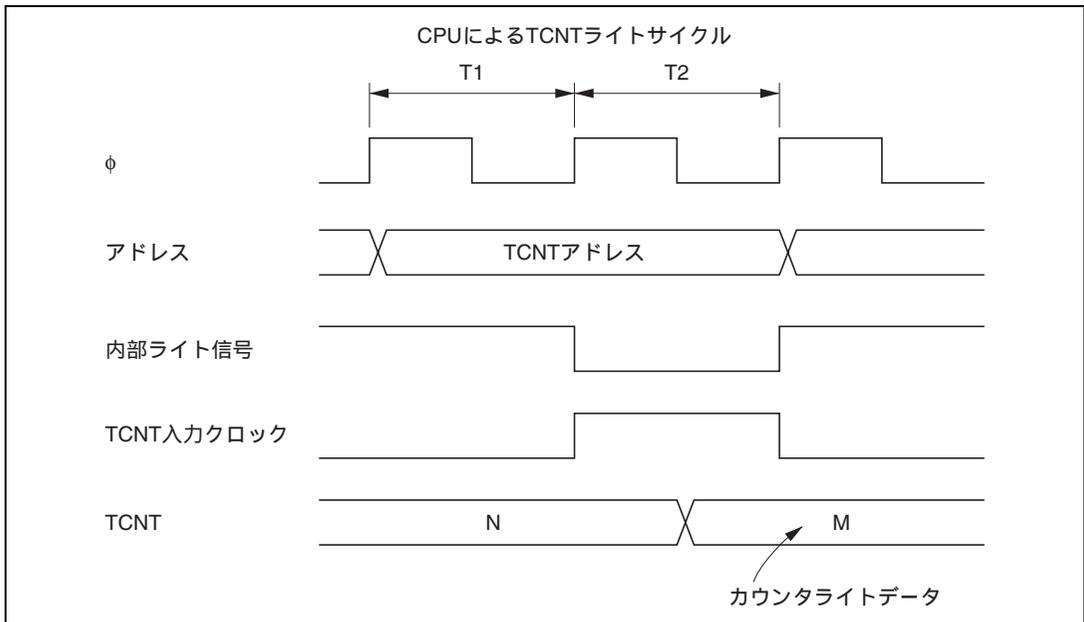


図 10.11 TCNTのライトとカウントアップの競合

10.6.3 TCOR のライトとコンペアマッチの競合

TCOR のライトサイクル中の T2 ステートで、コンペアマッチが発生しても、TCOR のライトが優先され、コンペアマッチ信号は禁止されます。これを図 10.12 に示します。

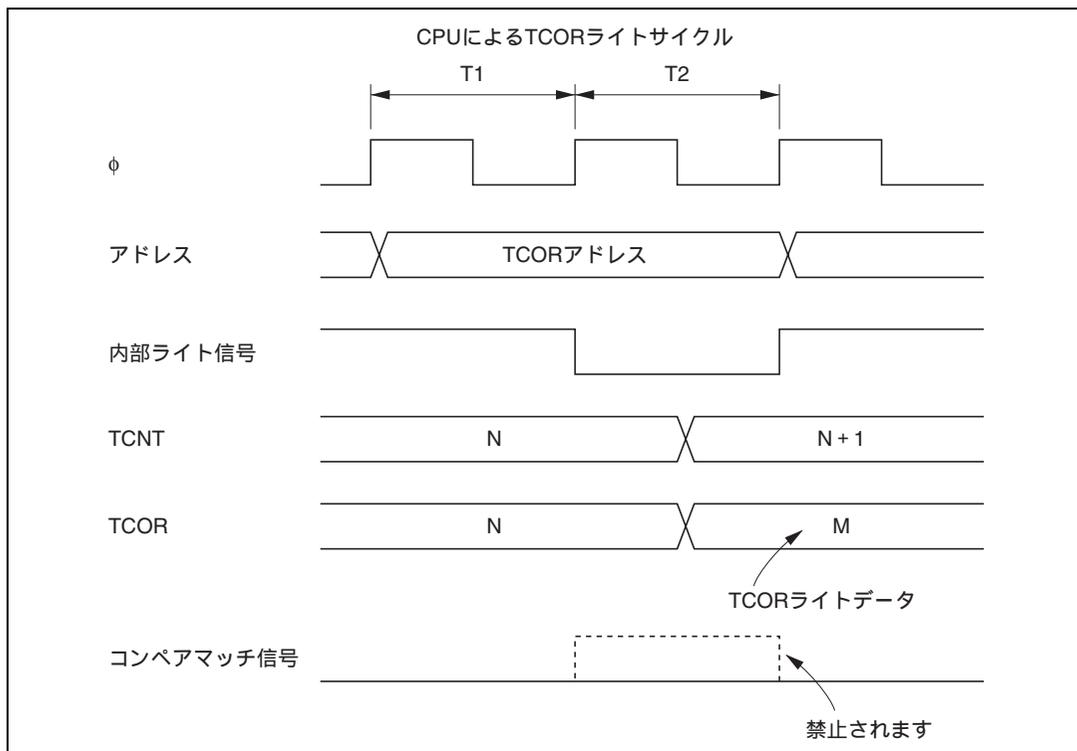


図 10.12 TCOR のライトとコンペアマッチの競合

10.6.4 コンペアマッチ A、B の競合

コンペアマッチ A、B が同時に発生すると、コンペアマッチ A に対して設定されている出力状態と、コンペアマッチ B に対して設定されている出力状態は、表 10.4 に示すタイマ出力の優先順位に従って動作します。

表 10.4 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高 ↑ 低
1 出力	
0 出力	
変化しない	

10.6.5 内部クロックの切り替えと TCNT の動作

内部クロックを切り替えるタイミングによっては、TCNT がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング（CKS1、CKS0 ビットの書き換え）と TCNT 動作の関係を表 10.5 に示します。

内部クロックから TCNT クロックを生成する場合、内部クロックの立ち下がりエッジで検出しています。そのため表 10.5 の No.3 のように、High Low レベルになるようなクロックの切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして TCNT クロックが発生し、TCNT がカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、TCNT がカウントアップされることがあります。

表 10.5 内部クロックの切り替えと TCNT の動作

No.	CKS1、CKS0 ビット書き換えタイミング	TCNT クロックの動作
1	Low→Low レベル* ¹ の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>
2	Low→High レベル* ² の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>

No.	CKS1、CKS0 ビット書き換えタイミング	TCNT クロックの動作
3	High→Low レベル ^{*3} の切り替え	<p style="text-align: center;">CKSビット書き換え</p>
4	High→High レベルの切り替え	<p style="text-align: center;">CKSビット書き換え</p>

- 【注】 *1 Low レベル→停止、および停止→Low レベルの場合を含みます。
 *2 停止→High レベルの場合を含みます。
 *3 High レベル→停止を含みます。
 *4 切り替えのタイミングを立ち下がりエッジとみなすために発生し、TCNT はカウントアップされてしまいます。

10.6.6 モジュールストップ時の割り込み

割り込みが要求された状態でモジュールストップすると、CPU の割り込み要因または DTC の起動要因のクリアができません。事前に割り込みをディスエーブルにするなどしてから、モジュールストップモードとしてください。

11. ウォッチドッグタイマ (WDT)

11.1 概要

ウォッチドッグタイマ(WDT)は1チャンネルのタイマで、システムの監視を行うことができます。WDTは、システムの暴走などによりカウンタの値をCPUが正しく書き換えられずにオーバーフローすると、外部にオーバーフロー信号($\overline{\text{WDTOVF}}$)を出力します。同時に、本LSIの内部リセット信号を発生することもできます。

ウォッチドッグタイマとして使用しないときは、インターバルタイマとして使用することもできます。インターバルタイマとして使用した場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込みを発生します。

11.1.1 特長

WDTには次のような特長があります。

ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能

ウォッチドッグタイマモード時、 $\overline{\text{WDTOVF}}$ を出力

- カウンタがオーバーフローすると、外部に $\overline{\text{WDTOVF}}$ 信号を出力します。このとき、同時に本LSI内部をリセットするかどうか選択できます。この内部リセットは、パワーオンリセットまたはマニュアルリセットを選択できます。

インターバルタイマモード時、割り込みを発生

- カウンタがオーバーフローすると、インターバルタイマ割り込みが発生します。

8種類のカウンタ入力クロックを選択可能

11. ウォッチドッグタイマ (WDT)

11.1.2 ブロック図

WDTのブロック図を図 11.1 に示します。

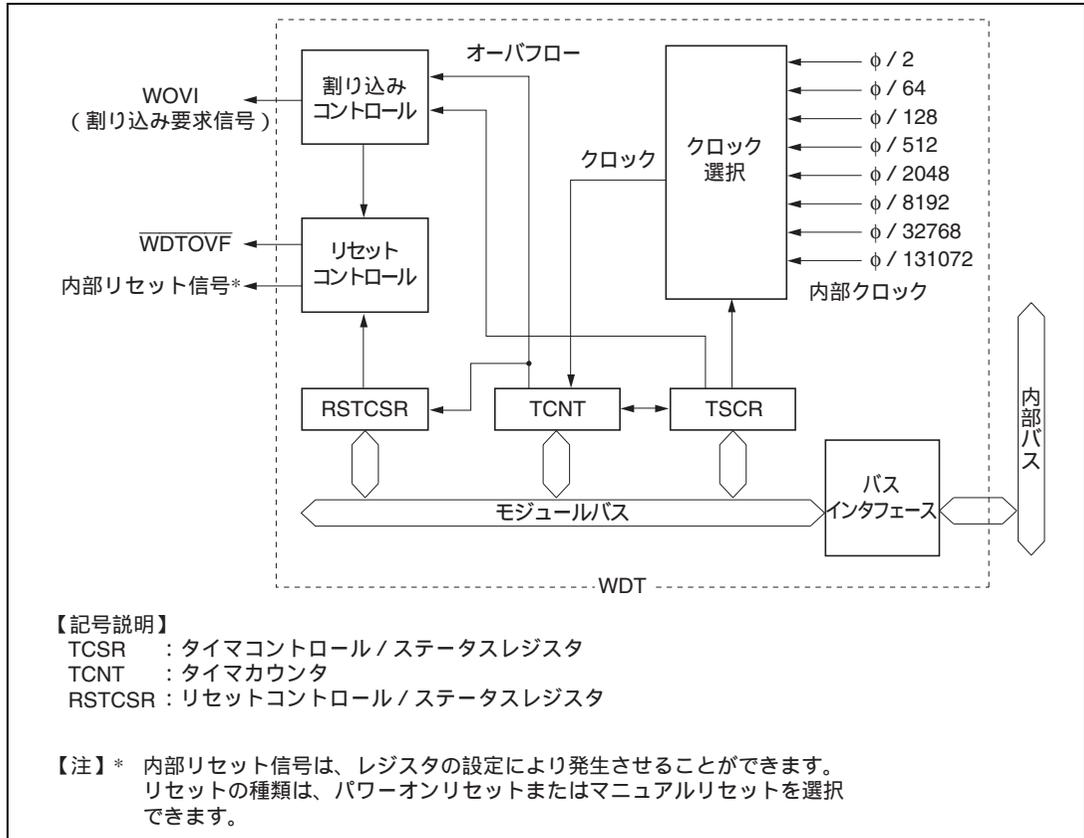


図 11.1 WDTのブロック図

11.1.3 端子構成

WDTの端子を表 11.1 に示します。

表 11.1 端子構成

名称	記号	入出力	機能
ウォッチドッグタイマ オーバーフロー	WDTOVF	出力	ウォッチドッグタイマモード時のカウンタ オーバーフロー信号出力

11.1.4 レジスタ構成

WDT には、表 11.2 に示すように 3 本のレジスタがあります。これらのレジスタにより、クロックの選択、WDT のモードの切り替え、リセット信号の制御などを行います。

表 11.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス* ¹	
				ライト時* ²	リード時
タイマコントロール/ステータスレジスタ	TCSR	R/(W) * ³	H'18	H'FFBC	H'FFBC
タイマカウンタ	TCNT	R/W	H'00	H'FFBC	H'FFBD
リセットコントロール/ステータスレジスタ	RSTCSR	R/(W) * ³	H'1F	H'FFBE	H'FFBF

【注】 *¹ アドレスの下位 16 ビットを示しています。

*² ライトについては、「11.2.4 レジスタアクセス時の注意」を参照してください。

*³ ビット 7 は、フラグをクリアするための 0 ライトのみ可能です。

11.2 各レジスタの説明

11.2.1 タイマカウンタ (TCNT)

ビット :	7	6	5	4	3	2	1	0
	<input type="text"/>							
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

TCNT は、リード/ライト*可能な 8 ビットのアップカウンタです。TCSR の TME ビットを 1 にすると、TCSR の CKS2 ~ CKS0 ビットで選択した内部クロックにより、TCNT はカウントアップを開始します。TCNT の値がオーバフロー (H'FF→H'00) すると、TCSR の WT/IT ビットで選択したモードによって、ウォッチドッグタイマオーバフロー信号 ($\overline{\text{WDTOVF}}$) またはインターバルタイマ割り込み (WOVI) が発生します。

TCNT は、リセット、ハードウェアスタンバイモード、または TME ビットが 0 のとき、H'00 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

【注】 * TCNT は容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。詳細は、「11.2.4 レジスタアクセス時の注意」を参照してください。

11. ウォッチドッグタイマ (WDT)

11.2.2 タイマコントロール/ステータスレジスタ (TCSR)

ビット :	7	6	5	4	3	2	1	0
	OVF	WT/ \overline{IT}	TME	-	-	CKS2	CKS1	CKS0
初期値 :	0	0	0	1	1	0	0	0
R/W :	R/(W)*	R/W	R/W	-	-	R/W	R/W	R/W

【注】* フラグをクリアするための0ライトのみ可能です。

TCSR は、リード/ライト*可能な 8 ビットのレジスタで、TCNT に入力するクロック、モードの選択などを行います。

TCSR は、リセットまたはハードウェアスタンバイモード時に H'18 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

【注】* TCSR は容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は、「11.2.4 レジスタアクセス時の注意」を参照してください。

ビット7: オーバフローフラグ (OVF)

インターバルタイマモードで、TCNT がオーバフロー (H'FF→H'00) したことを示します。ウォッチドッグタイマモードではセットされません。

ビット7	説明
OVF	
0	[クリア条件] (初期値) OVF=1 の状態で、TCSR をリード後、OVF に 0 をライトしたとき
1	[セット条件] インターバルタイマモードで、TCNT がオーバフロー (H'FF→H'00) したとき

ビット6: タイマモードセレクト (WT/ \overline{IT})

ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。この選択によって、TCNT がオーバフローしたとき、インターバルタイマ割り込み (WOVI) が発生するか、WDTOVF 信号が発生するかが決まります。

ビット6	説明
WT/ \overline{IT}	
0	インターバルタイマモード: TCNT がオーバフローしたとき CPU ヘインターバルタイマ割り込み (WOVI) を要求 (初期値)
1	ウォッチドッグタイマモード: TCNT がオーバフローしたとき WDTOVF 信号を外部へ出力*

【注】* ウォッチドッグタイマモードのとき、TCNT がオーバフローした場合についての詳細は「11.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)」を参照してください。

ビット5: タイマイネーブル (TME)

タイマ動作の開始または停止を設定します。

ビット5	説明	
TME		
0	TCNT を H'00 に初期化し、カウント動作を停止	(初期値)
1	TCNT はカウント動作	

ビット4、3: リザーブビット

リードすると常に1が読み出されます。ライトは無効です。

ビット2~0: クロックセレクト2~0 (CKS2~CKS0)

システムクロック (ϕ) を分周して得られる8種類の内部クロックから、TCNT に入力するクロックを選択します。

ビット2	ビット1	ビット0	説明	
CKS2	CKS1	CKS0	クロック	オーバフロー周期* ($\phi = 20\text{MHz}$ の場合)
0	0	0	$\phi / 2$ (初期値)	25.6 μs
		1	$\phi / 64$	819.2 μs
	1	0	$\phi / 128$	1.6ms
		1	$\phi / 512$	6.6ms
1	0	0	$\phi / 2048$	26.2ms
		1	$\phi / 8192$	104.9ms
	1	0	$\phi / 32768$	419.4ms
		1	$\phi / 131072$	1.68s

【注】 * オーバフロー周期は、TCNT が H'00 からカウントアップを開始し、オーバフローするまでの時間です。

11. ウォッチドッグタイマ (WDT)

11.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)

ビット :	7	6	5	4	3	2	1	0
	WOVF	RSTE	RSTS	-	-	-	-	-
初期値 :	0	0	0	1	1	1	1	1
R/W :	R/(W)*	R/W	R/W	-	-	-	-	-

【注】* フラグをクリアするための0ライトのみ可能です。

RSTCSR は、リード/ライト*可能な8ビットのレジスタで、TCNT のオーバーフローによる内部リセット信号の発生を制御し、内部リセット信号の種類を選択します。

RSTCSR は、 \overline{RES} 端子からのリセット信号で H'1F に初期化されますが、WDT のオーバーフローによる内部リセット信号では初期化されません。

【注】* RSTCSR は容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。詳細は「11.2.4 レジスタアクセス時の注意」を参照してください。

ビット7: ウォッチドッグタイマオーバーフローフラグ (WOVF)

ウォッチドッグタイマモードで、TCNT がオーバーフロー (H'FF H'00) したことを示します。インターバルタイマモードではセットされません。

ビット7	説明
WOVF	
0	[クリア条件] (初期値) WOVF = 1 の状態で TCSR をリードした後、WOVF に 0 をライトしたとき
1	[セット条件] ウォッチドッグタイマモードで TCNT がオーバーフロー (H'FF H'00) したとき

ビット6: リセットイネーブル (RSTE)

ウォッチドッグタイマモードで TCNT がオーバーフローしたとき、本 LSI 内部をリセットする信号を発生するかどうかを選択します。

ビット6	説明
RSTE	
0	TCNT がオーバーフローしたとき、内部リセットしない* (初期値)
1	TCNT がオーバーフローしたとき内部リセットする

【注】* 本 LSI 内部はリセットされませんが、WDT 内の TCNT、TCSR はリセットされます。

ビット5：リセットセレクト (RSTS)

ウォッチドッグタイマモードで TCNT がオーバフローして発生する、内部リセットの種類を選択します。

リセットの種類については、「第4章 例外処理」を参照してください。

ビット5	説明
RSTS	
0	パワーオンリセット (初期値)
1	マニュアルリセット

ビット4~0：リザーブビット

リードすると常に1が読み出されます。ライトは無効です。

11.2.4 レジスタアクセス時の注意

TCNT、TCSR、RSTCSR は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。次の方法で、リード/ライトを行ってください。

(1) TCNT、TCSR へのライト

TCNT、TCSR へライトするときは、必ずワード転送命令を使用してください。バイト転送命令では、ライトできません。

ライト時は、TCNT と TCSR が同一アドレスに割り当てられています。このため、図 11.2 に示すように、TCNT へライトするときは上位バイトを H'5A にし、下位バイトをライトデータにして転送してください。TCSR へライトするときは上位バイトを H'A5 にし、下位バイトをライトデータにして転送してください。このように転送すると、下位バイトのデータが TCNT または TCSR へライトされます。

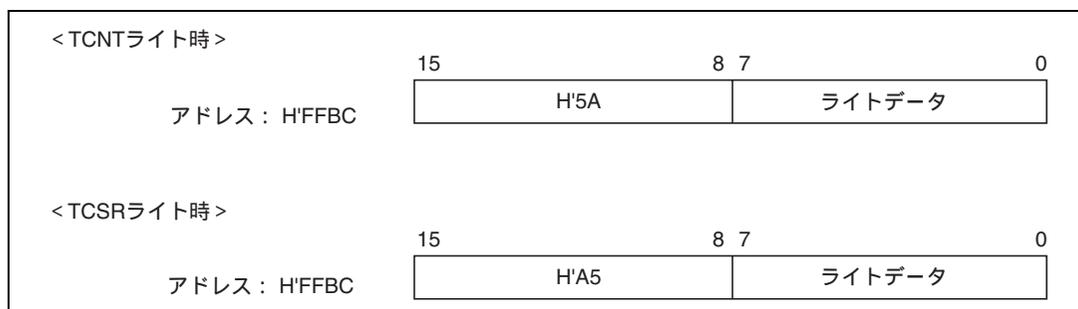


図 11.2 TCNT、TCSR へのライト

11. ウォッチドッグタイマ (WDT)

(2) RSTCSR へのライト

RSTCSR へライトするときは、アドレス H'FFBE に対してワード転送を行ってください。バイト転送命令では、書き込みません。

WOVF ビットへ 0 をライトする場合と、RSTE ビットと RSTS ビットにライトする場合は、図 11.3 に示すように、ライトの方法が異なります。

WOVF ビットへ 0 をライトするときは、上位バイトを H'A5 にし、下位バイトを H'00 にして転送してください。このようにすると、WOVF ビットが 0 にクリアされます。このとき、RSTE、RSTS ビットは影響を受けません。RSTE、RSTS ビットにライトするときは、上位バイトを H'5A にし、下位バイトをライトデータにして転送してください。このようにすると、下位バイトのビット 6 と 5 の値が RSTE ビットと RSTS ビットにそれぞれライトされます。このとき、WOVF ビットは影響を受けません。

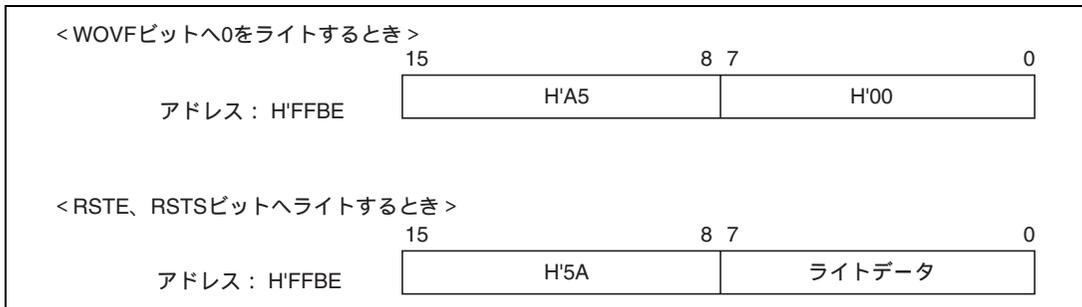


図 11.3 RSTCSR へのライト

(3) TCNT、TCSR、RSTCSR からのリード

リードは、一般のレジスタと同様の方法で行うことができます。TCSR はアドレス H'FFBC に、TCNT はアドレス H'FFBD に、RSTCSR はアドレス H'FFBF にそれぞれ割り当てられています。

11.3 動作説明

11.3.1 ウォッチドッグタイマモード時の動作

ウォッチドッグタイマとして使用するときには、TCSRのWT/ITビットとTMEビットの両方を1に設定してください。また、TCNTがオーバーフローする前に必ずTCNTの値を書き換えて（通常はH'00を書き込む）、オーバーフローを発生させないようにプログラムしてください。このようにすると、システムが正常に動作している間は、TCNTのオーバーフローが発生しませんが、システムの暴走などによりTCNTの値が書き換えられずオーバーフローすると、WDTOVF信号が外部に出力されます。これを図11.4に示します。このWDTOVF信号を用いて、システムをリセットすることができます。WDTOVF信号は、RSTE=1のとき132ステート、RSTE=0のとき130ステートの間出力されます。

RSTCSRのRSTEビットを1にセットしておく、TCNTがオーバーフローしたときに、WDTOVF信号と同時に、本LSIの内部をリセットする信号が発生します。このリセットは、RSTCSRのRSTSビットの設定によって、パワーオンリセットまたはマニュアルリセットが選択できます。内部リセット信号は、518ステートの間出力されます。

RES端子からの入力信号によるリセットとWDTのオーバーフローによるリセットが同時に発生したときは、RES端子によるリセットが優先され、RSTCSRのWOVFビットは0にクリアされます。

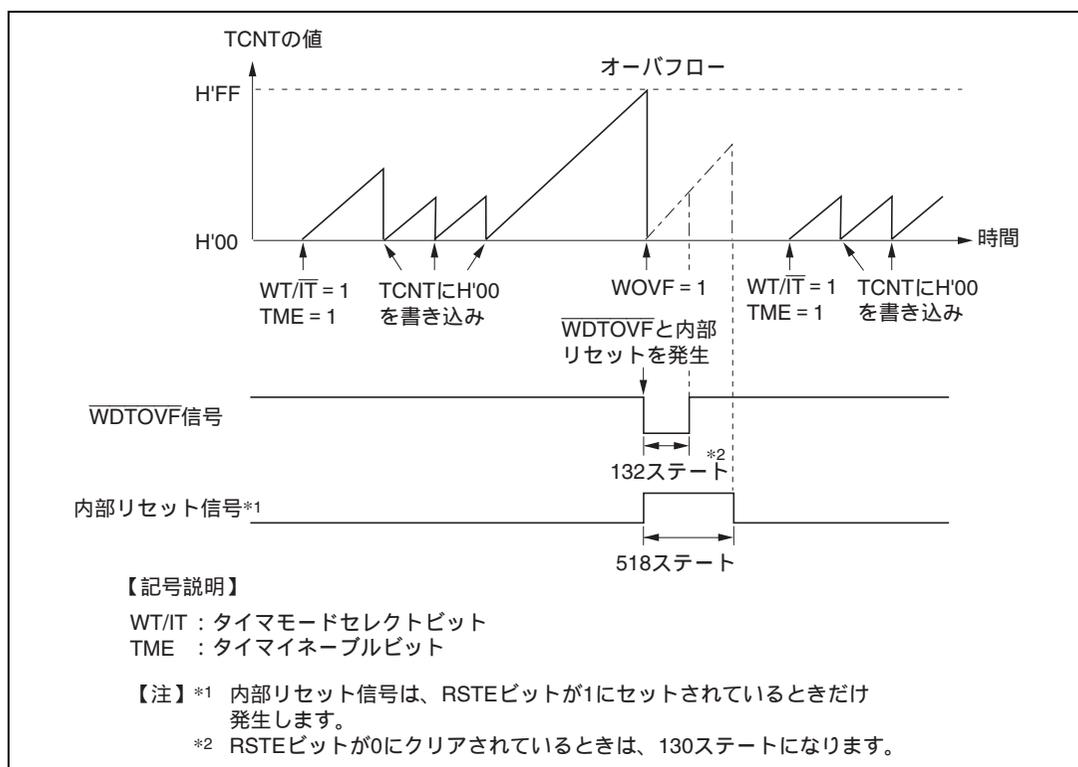


図 11.4 ウォッチドッグタイマモード時の動作

11.3.2 インターバルタイマモード時の動作

インターバルタイマとして使用するときは、TCSR の WT/\overline{IT} ビットを 0 に、TME ビットを 1 に設定してください。インターバルタイマとして動作しているときは、図 11.5 に示すように、TCNT がオーバーフローするごとにインターバルタイマ割り込み (WOVI) が発生します。したがって、一定時間ごとに、割り込みを発生させることができます。

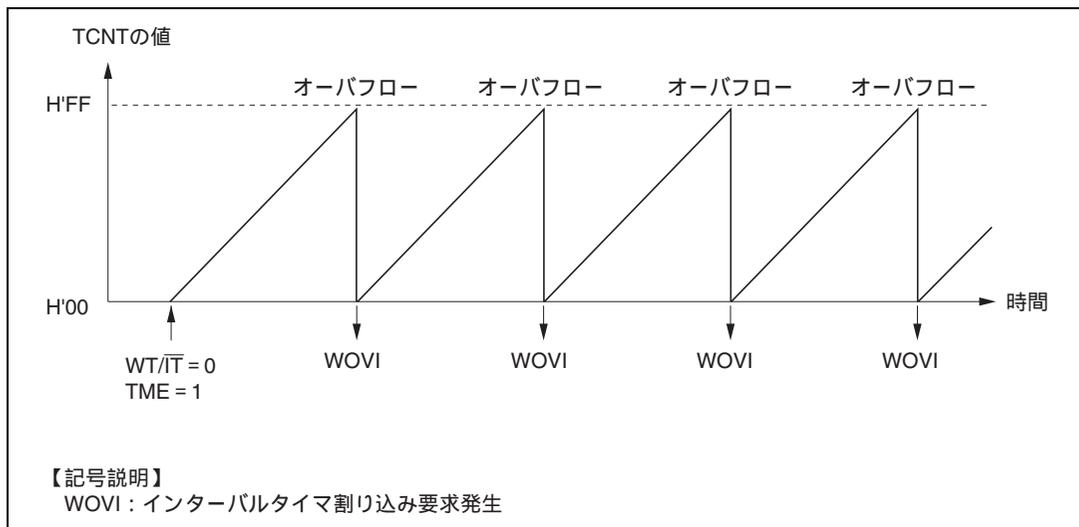


図 11.5 インターバルタイマモード時の動作

11.3.3 オーバフローフラグ (OVF) のセットタイミング

インターバルタイマモードで TCNT がオーバーフローすると、TCSR の OVF ビットが 1 にセットされ、同時にインターバルタイマ割り込み (WOVI) が要求されます。このタイミングを図 11.6 に示します。

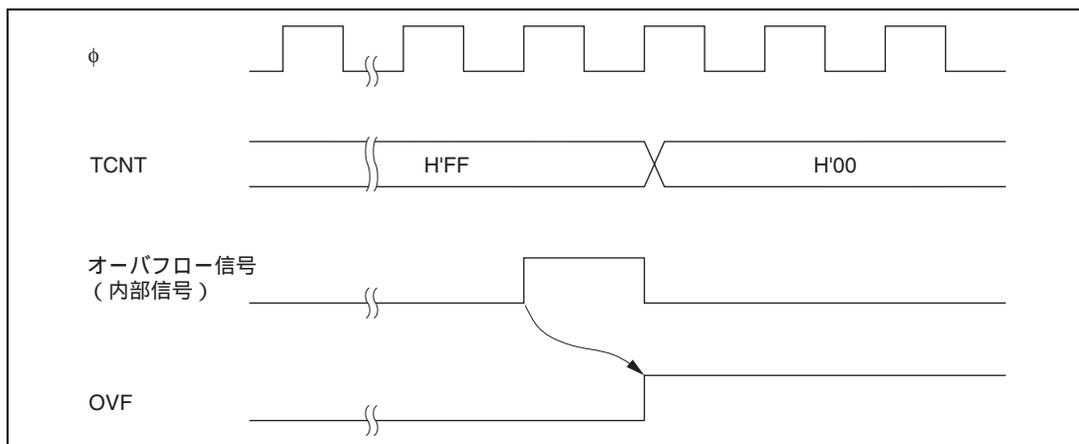


図 11.6 OVF のセットタイミング

11.3.4 ウォッチドッグタイマオーバーフローフラグ (WOVF) のセットタイミング

ウォッチドッグタイマモードで TCNT がオーバーフローすると、RSTCSR の WOVF ビットが 1 にセットされ、 $\overline{\text{WDTOVF}}$ 信号が Low レベルになります。また、RSTCSR の RSTE ビットが 1 にセットしてあると、TCNT がオーバーフローしたとき、本 LSI 全体に対して内部リセット信号を発生します。これらのタイミングを図 11.7 に示します。

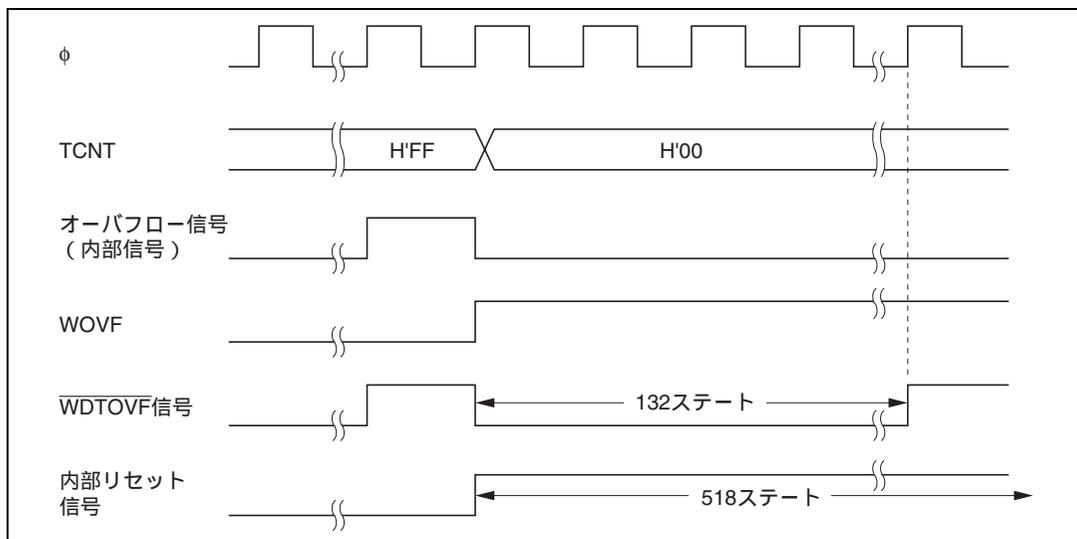


図 11.7 WOVF のセットタイミング

11.4 割り込み

インターバルタイマモード時、オーバーフローによりインターバルタイマ割り込み (WOVI) を発生します。インターバルタイマ割り込みは、TCSR の OVF フラグが 1 にセットされると常に要求されます。

11.5 使用上の注意

11.5.1 タイマカウンタ (TCNT) のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされずに TCNT へのカウンタライトが優先されます。これを図 11.8 に示します。

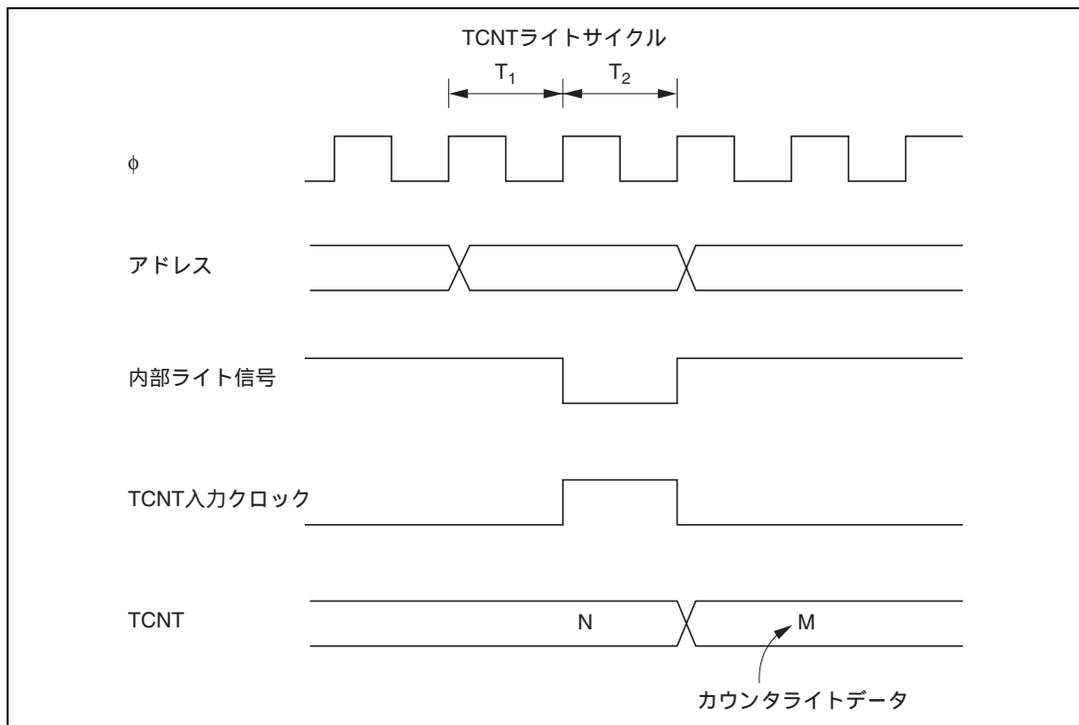


図 11.8 TCNT のライトとカウントアップの競合

11.5.2 CKS2 ~ CKS0 ビットの書き換え

WDT の動作中に TCSR の CKS2 ~ CKS0 ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS2 ~ CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

11.5.3 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われない場合があります。タイマモードの切り替えは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

11.5.4 $\overline{\text{WDTOVF}}$ 信号によるシステムのリセット

$\overline{\text{WDTOVF}}$ 出力信号を本 LSI の $\overline{\text{RES}}$ 端子に入力すると、本 LSI を正しく初期化できません。 $\overline{\text{WDTOVF}}$ 信号は、本 LSI の $\overline{\text{RES}}$ 端子に論理的に入力しないようにしてください。 $\overline{\text{WDTOVF}}$ 信号でシステム全体をリセットするときは、図 11.9 の示すような回路で行ってください。

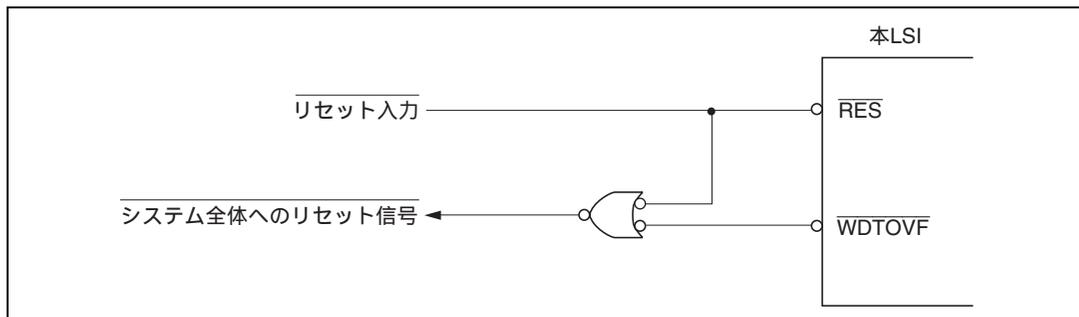


図 11.9 $\overline{\text{WDTOVF}}$ 信号によるシステムのリセット回路例

11.5.5 ウォッチドッグタイムモードでの内部リセット

ウォッチドッグタイムモード時に RSTE ビットを 0 にしておくと、TCNT がオーバーフローしても本 LSI 内部をリセットしませんが、WDT の TCNT、TCSR はリセットされます。

$\overline{\text{WDTOVF}}$ 信号から Low レベルを出力している期間は、TCNT、TCSR、RSTCR へのライトはできません。また、この期間は WOVF フラグのリードも認識されません。そのため、WOVF フラグのクリアは、 $\overline{\text{WDTOVF}}$ 信号が High レベルになってから、TCSR をリードした後、WOVF フラグに 0 をライトしてください。

11. ウォッチドッグタイマ (WDT)

12. シリアルコミュニケーションインタフェース (SCI)

12.1 概要

本 LSI は、独立した 3 チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。3 チャンネルは、同一の機能を持っています。SCI は、調歩同期式通信とクロック同期式通信の 2 方式でシリアル通信ができます。また、複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。

12.1.1 特長

SCI の特長を以下に示します。

シリアル通信モードを調歩同期式モード / クロック同期式モードから選択可能

(a) 調歩同期式モード

- キャラクタ単位で同期をとる調歩同期式方式でシリアルデータの通信実行
Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能
- 複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能
- シリアルデータ通信フォーマットを 12 種類のフォーマットから選択可能
 - データ長 : 7ビット / 8ビット
 - ストップビット長 : 1ビット / 2ビット
 - パリティ : 偶数パリティ / 奇数パリティ / パリティなし
 - マルチプロセッサビット : 1 / 0
- 受信エラーの検出 : パリティエラー、オーバランエラー、フレーミングエラー
- ブレークの検出 : フレーミングエラー発生時に RxD 端子のレベルを直接リードすることによりブレークを検出可能

(b) クロック同期式モード

- クロックに同期してシリアルデータ通信を実行
- クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能
- シリアルデータ通信フォーマットは 1 種類
 - データ長 : 8ビット
- 受信エラーの検出 : オーバランエラーを検出

全二重通信が可能

- 独立した送信部と受信部を備えているので、送信と受信を同時に実行可能
- 送信部および受信部ともにダブルバッファ構造になっているのでシリアルデータの連続送信、連続受信が可能

LSB ファースト方式 / MSB ファースト方式の選択が可能

- 通信モードによらず選択可能 (調歩同期式モード 7 ビットデータの場合を除く) *

【注】* 本章では、LSB ファースト方式の例を説明しています。

12. シリアルコミュニケーションインタフェース (SCI)

内蔵ボーレートジェネレータにより任意のビットレートを選択可能

送受信クロックソースを選択可能

- ボーレートジェネレータからの内部クロック、または SCK 端子からの外部クロックから選択可能

4 種類の割り込み要因

- 送信データエンプティ、送信終了、受信データフル、受信エラーの 4 種類の割り込み要因があり、それぞれ独立に要求可能
- 送信データエンプティ割り込みと受信データフル割り込みにより、データトランスファコントローラ (DTC) を起動させてデータ転送を実行可能

モジュールストップモードの設定可能

- 初期値では SCI の動作は停止。モジュールストップモードの解除によりレジスタのアクセスが可能

12.1.2 ブロック図

図 12.1 に SCI のブロック図を示します。

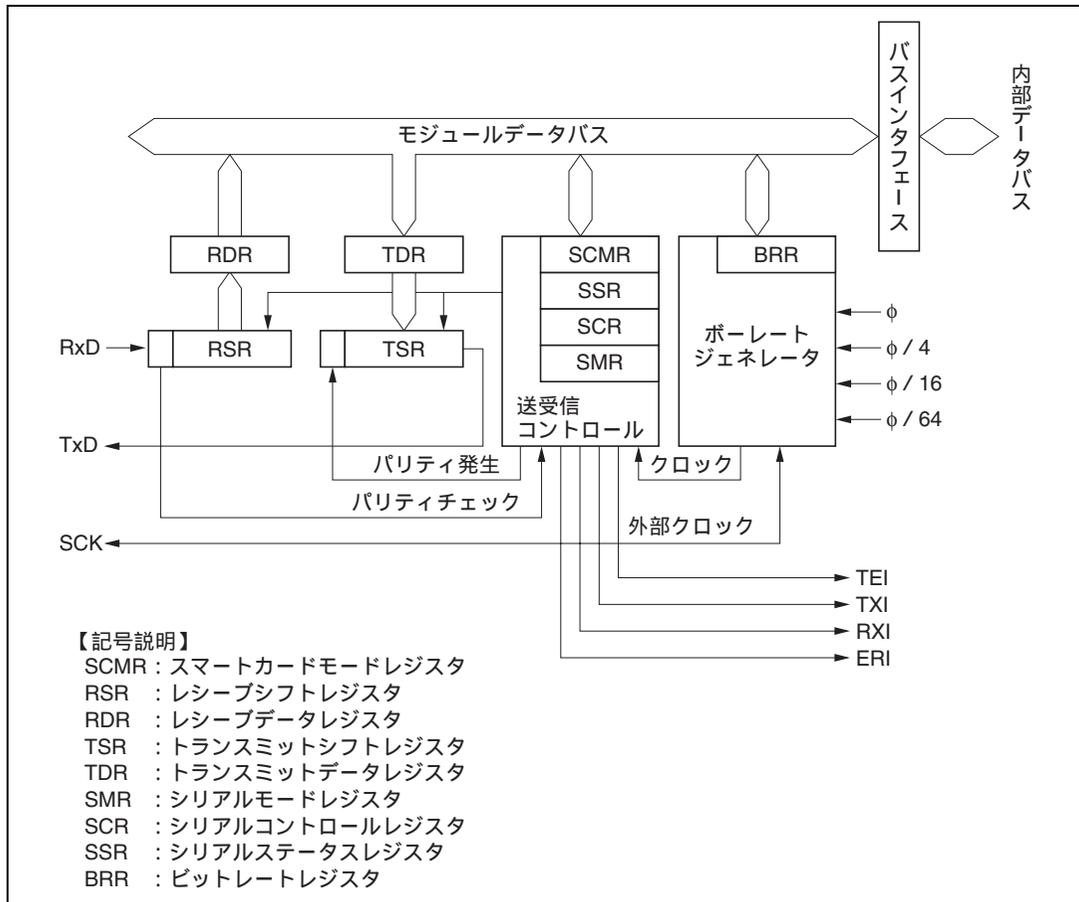


図 12.1 SCI のブロック図

12. シリアルコミュニケーションインタフェース (SCI)

12.1.3 端子構成

SCIは、チャンネルごとに表 12.1 に示すシリアル端子を持っています。

表 12.1 端子構成

チャンネル	名 称	記号	入出力	機 能
0	シリアルクロック端子 0	SCK0	入出力	SCI0 のクロック入出力
	レシーブデータ端子 0	RxD0	入力	SCI0 の受信データ入力
	トランスミットデータ端子 0	TxD0	出力	SCI0 の送信データ出力
1	シリアルクロック端子 1	SCK1	入出力	SCI1 のクロック入出力
	レシーブデータ端子 1	RxD1	入力	SCI1 の受信データ入力
	トランスミットデータ端子 1	TxD1	出力	SCI1 の送信データ出力
2	シリアルクロック端子 2	SCK2	入出力	SCI2 のクロック入出力
	レシーブデータ端子 2	RxD2	入力	SCI2 の受信データ入力
	トランスミットデータ端子 2	TxD2	出力	SCI2 の送信データ出力

12.1.4 レジスタ構成

SCIには、表 12.2 に示す内部レジスタがあります。これらのレジスタにより調歩同期式モード / クロック同期式モードの指定、データフォーマットの指定、ビットレートの指定、および送信部 / 受信部の制御を行うことができます。

表 12.2 レジスタ構成

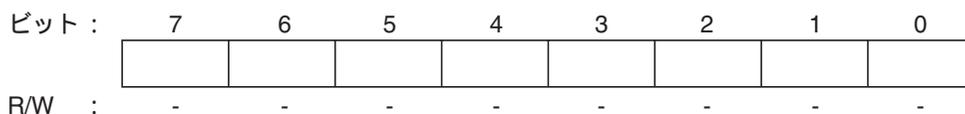
チャンネル	名 称	略称	R/W	初期値	アドレス*1
0	シリアルモードレジスタ 0	SMR0	R/W	H'00	H'FF78
	ビットレートレジスタ 0	BRR0	R/W	H'FF	H'FF79
	シリアルコントロールレジスタ 0	SCR0	R/W	H'00	H'FF7A
	トランスミットデータレジスタ 0	TDR0	R/W	H'FF	H'FF7B
	シリアルステータスレジスタ 0	SSR0	R/(W)*2	H'84	H'FF7C
	レシーブデータレジスタ 0	RDR0	R	H'00	H'FF7D
	スマートカードモードレジスタ 0	SCMR0	R/W	H'F2	H'FF7E
1	シリアルモードレジスタ 1	SMR1	R/W	H'00	H'FF80
	ビットレートレジスタ 1	BRR1	R/W	H'FF	H'FF81
	シリアルコントロールレジスタ 1	SCR1	R/W	H'00	H'FF82
	トランスミットデータレジスタ 1	TDR1	R/W	H'FF	H'FF83
	シリアルステータスレジスタ 1	SSR1	R/(W)*2	H'84	H'FF84
	レシーブデータレジスタ 1	RDR1	R	H'00	H'FF85
	スマートカードモードレジスタ 1	SCMR1	R/W	H'F2	H'FF86
2	シリアルモードレジスタ 2	SMR2	R/W	H'00	H'FF88
	ビットレートレジスタ 2	BRR2	R/W	H'FF	H'FF89
	シリアルコントロールレジスタ 2	SCR2	R/W	H'00	H'FF8A
	トランスミットデータレジスタ 2	TDR2	R/W	H'FF	H'FF8B
	シリアルステータスレジスタ 2	SSR2	R/(W)*2	H'84	H'FF8C
	レシーブデータレジスタ 2	RDR2	R	H'00	H'FF8D
	スマートカードモードレジスタ 2	SCMR2	R/W	H'F2	H'FF8E
共通	モジュールストップコントロールレジスタ	MSTPCR	R/W	H'3FFF	H'FF3C

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 フラグをクリアするための 0 ライトのみ可能です。

12.2 各レジスタの説明

12.2.1 レシーブシフトレジスタ (RSR)

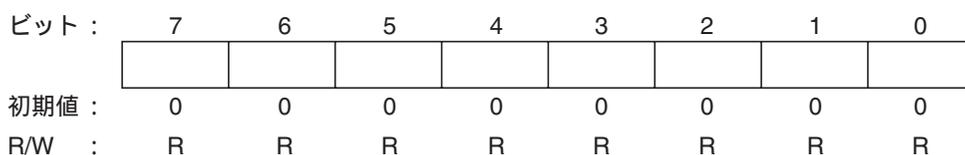


RSR は、シリアルデータを受信するためのレジスタです。

SCI は、RSR に RxD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に RDR へ転送されます。

CPU から RSR を直接リード/ライトすることはできません。

12.2.2 レシーブデータレジスタ (RDR)



RDR は、受信したシリアルデータを格納するレジスタです。

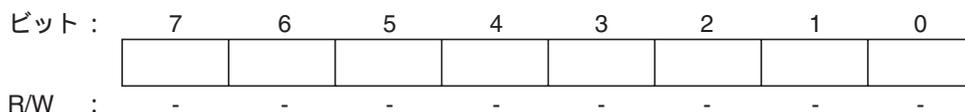
SCI は、1 バイトのシリアルデータの受信が終了すると、RSR から RDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、RSR は受信可能になります。

このように、RSR と RDR はダブルバッファになっているため連続した受信動作が可能です。

RDR は、リード専用レジスタですので CPU からライトすることはできません。

RDR は、リセット、スタンバイモード、またはモジュールストップモード時に H'00 に初期化されます。

12.2.3 トランスミットシフトレジスタ (TSR)



TSR は、シリアルデータを送信するためのレジスタです。

SCI は、TDR から送信データをいったん TSR に転送し、LSB (ビット 0) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に TDR から TSR へ次の送信データを転送し、送信を開始します。ただし SSR の TDRE ビットが 1 にセットされている場合には、TDR から TSR へのデータ転送は行いません。

CPU から、直接 TSR をリード/ライトすることはできません。

12.2.4 トランスミットデータレジスタ (TDR)

ビット :	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W							

TDR は、シリアル送信するデータを格納する 8 ビットのレジスタです。

SCI は、TSR の空を検出すると、TDR にライトされた送信データを TSR に転送してシリアル送信を開始します。TSR のシリアルデータ送信中に TDR に次の送信データをライトしておくと、連続シリアル送信ができます。

TDR は、常に CPU によるリード/ライトが可能です。

TDR は、リセット、スタンバイモード、またはモジュールストップモード時に H'FF に初期化されます。

12.2.5 シリアルモードレジスタ (SMR)

ビット :	7	6	5	4	3	2	1	0
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SMR は、SCI のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。

SMR は、常に CPU によるリード/ライトが可能です。

SMR は、リセット、スタンバイモード、またはモジュールストップモード時に H'00 に初期化されます。

ビット 7: コミュニケーションモード (C/ \bar{A})

SCI の動作モードを調歩同期式モード/クロック同期式モードのいずれかから選択します。

ビット 7	説明
C/ \bar{A}	
0	調歩同期式モード (初期値)
1	クロック同期式モード

12. シリアルコミュニケーションインタフェース (SCI)

ビット 6 : キャラクタレングス (CHR)

調歩同期式モードのデータ長を 7 ビット / 8 ビットデータのいずれかから選択します。クロック同期式モードでは CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。

ビット 6	説明
CHR	
0	8 ビットデータ (初期値)
1	7 ビットデータ*

【注】 * 7 ビットデータを選択した場合、TDR の MSB (ビット 7) は送信されません。また、LSB ファースト / MSB ファーストの選択はできません。

ビット 5 : パリティイネーブル (PE)

調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。

ビット 5	説明
PE	
0	パリティビットの付加、およびチェックを禁止 (初期値)
1	パリティビットの付加、およびチェックを許可*

【注】 * PE ビットに 1 をセットすると、送信時には O/E ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/E ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

ビット 4 : パリティモード (O/E)

パリティの付加やチェックを偶数パリティ / 奇数パリティのいずれで行うかを選択します。

O/E ビットの設定は、調歩同期式モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/E ビットの指定は無効です。

ビット 4	説明
O/E	
0	偶数パリティ* ¹ (初期値)
1	奇数パリティ* ²

【注】 *¹ 偶数パリティに設定すると、送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。

*² 奇数パリティに設定すると、送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。

ビット3: ストップビットレングス (STOP)

調歩同期式モードでのストップビットの長さを1ビット/2ビットのいずれかから選択します。STOPビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。

ビット3	説明
STOP	
0	1ストップビット: 送信時には、送信キャラクタの最後尾に1ビットの1 (ストップビット) を付加して送信します。 (初期値)
1	2ストップビット: 送信時には、送信キャラクタの最後尾に2ビットの1 (ストップビット) を付加して送信します。

なお、受信時にはSTOPビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が1の場合は、ストップビットとして扱いますが、0の場合は、次の送信キャラクタのスタートビットとして扱います。

ビット2: マルチプロセッサモード (MP)

マルチプロセッサフォーマットを選択します。マルチプロセッサフォーマットを選択した場合、PEビット、およびO/Eビットにおけるパリティの設定は無効になります。また、MPビットの設定は、調歩同期式モードのときのみ有効です。クロック同期式モードでは、MPビットの設定は無効です。

マルチプロセッサ通信機能については、「12.3.3 マルチプロセッサ通信機能」を参照してください。

ビット2	説明
MP	
0	マルチプロセッサ機能の禁止 (初期値)
1	マルチプロセッサフォーマットを選択

ビット1、0: クロックセレクト1、0 (CKS1、CKS0)

内蔵ボーレートジェネレータのクロックソースを選択します。CKS1、CKS0ビットの設定により、 ϕ 、 $\phi/4$ 、 $\phi/16$ 、 $\phi/64$ の4種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびボーレートの関係については、「12.2.8 ビットレートレジスタ (BRR)」を参照してください。

ビット1	ビット0	説明
CKS1	CKS0	
0	0	ϕ クロック (初期値)
	1	$\phi/4$ クロック
1	0	$\phi/16$ クロック
	1	$\phi/64$ クロック

12.2.6 シリアルコントロールレジスタ (SCR)

ビット :	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCR は、SCI の送信 / 受信動作、調歩同期式モードでのシリアルクロック出力、割り込み要求の許可または禁止、および送信 / 受信クロックソースの選択を行うレジスタです。

SCR は、常に CPU によるリード / ライトが可能です。

SCR は、リセット、スタンバイモード、またはモジュールストップモード時に H'00 に初期化されます。

ビット 7 : トランスミットインタラプトイネーブル (TIE)

TDR から TSR へシリアル送信データが転送されて SSR の TDRE フラグが 1 にセットされたときに、送信データエンプティ割り込み (TXI) 要求の発生を許可または禁止します。

ビット 7	説明
TIE	
0	送信データエンプティ割り込み (TXI) 要求の禁止* (初期値)
1	送信データエンプティ割り込み (TXI) 要求の許可

【注】 * TXI 割り込み要求の解除は、TDRE フラグから 1 をリードした後、0 にクリアするか、または TIE ビットを 0 にクリアすることで行うことができます。

ビット 6 : レシーブインタラプトイネーブル (RIE)

シリアル受信データが RSR から RDR へ転送されて SSR の RDRF フラグが 1 にセットされたとき、受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求の発生を許可または禁止します。

ビット 6	説明
RIE	
0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止* (初期値)
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

【注】 * RXI、および ERI 割り込み要求の解除は、RDRF、または FER、PER、ORER の各フラグから 1 をリードした後、0 にクリアするか、RIE ビットを 0 にクリアすることで行うことができます。

ビット 5 : トランスミットイネーブル (TE)

SCI のシリアル送信動作の開始を許可または禁止します。

ビット 5	説 明
TE	
0	送信動作を禁止* ¹ (初期値)
1	送信動作を許可* ²

【注】 *1 SSR の TDRE フラグは 1 に固定されます。

*2 この状態で、TDR に送信データをライトして、SSR の TDRE フラグを 0 にクリアするとシリアル送信を開始します。

なお、TE ビットを 1 にセットする前に必ず SMR の設定を行い、送信フォーマットを決定してください。

ビット 4 : レシーブイネーブル (RE)

SCI のシリアル受信動作の開始を許可または禁止します。

ビット 4	説 明
RE	
0	受信動作を禁止* ¹ (初期値)
1	受信動作を許可* ²

【注】 *1 RE ビットを 0 にクリアしても RDRF、FER、PER、ORER の各フラグは影響を受けず、状態を保持します。

*2 この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。

なお、RE ビットを 1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。

12. シリアルコミュニケーションインタフェース (SCI)

ビット3: マルチプロセッサインタラプトイネーブル (MPIE)

マルチプロセッサ割り込みを許可または禁止します。MPIE ビットの設定は、調歩同期式モードで、かつ、SMR の MP ビットが 1 に設定されている受信時にのみ有効です。

クロック同期式モードのとき、あるいは MP ビットが 0 のときには、MPIE ビットの設定は無効です。

ビット3	説明
MPIE	
0	マルチプロセッサ割り込み禁止状態 (通常の受信動作をします) (初期値) [クリア条件] (1) MPIE ビットを 0 にクリア (2) MPB = 1 のデータを受信したとき
1	マルチプロセッサ割り込み許可状態* マルチプロセッサビットが 1 のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、および SSR の RDRF、FER、ORER の各フラグのセットを禁止します。

【注】 * MPB = 0 を含む受信データを受信しているときは、RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB = 1 を含む受信データを受信すると、SSR の MPB ビットを 1 にセットし、MPIE ビットを自動的に 0 にクリアし、RXI、ERI 割り込み要求の発生 (SCR の TIE、RIE ビットが 1 にセットされている場合) と FER、ORER フラグのセットが許可されます。

ビット2: トランスミットエンドインタラプトイネーブル (TEIE)

MSB データ送出時に有効な送信データが TDR がないとき、送信終了割り込み (TEI) 要求の発生を許可または禁止します。

ビット2	説明
TEIE	
0	送信終了割り込み (TEI) 要求を禁止* (初期値)
1	送信終了割り込み (TEI) 要求を許可*

【注】 * TEI の解除は、SSR の TDRE フラグから 1 をリードした後、0 にクリアして TEND フラグを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。

ビット1、0: クロックイネーブル 1、0 (CKE1、CKE0)

SCI のクロックソースの選択、および SCK 端子からのクロック出力の許可または禁止を設定します。CKE1 ビットと CKE0 ビットの組み合わせによって SCK 端子を入出力ポートにするか、シリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。

ただし、CKE0 ビットの設定は調歩同期式モードで内部クロック動作 (CKE1 = 0) 時のみ有効です。クロック同期式モードのとき、および外部クロック動作 (CKE1 = 1) の場合は CKE0 ビットの設定は無効です。また、SMR で SCI の動作モードを決定したのち、CKE1、CKE0 の設定を行ってください。

SCI のクロックソースの選択についての詳細は「12.3 動作説明」の表 12.9 を参照してください。

ビット1	ビット0	説 明	
CKE1	CKE0		
0	0	調歩同期式モード	内部クロック / SCK 端子は入出力ポート* ¹
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力
	1	調歩同期式モード	内部クロック / SCK 端子はクロック出力* ²
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力
1	0	調歩同期式モード	外部クロック / SCK 端子はクロック入力* ³
		クロック同期式モード	外部クロック / SCK 端子は同期クロック入力
	1	調歩同期式モード	外部クロック / SCK 端子はクロック入力* ³
		クロック同期式モード	外部クロック / SCK 端子は同期クロック入力

【注】 *1 初期値

*2 ビットレートと同じ周波数のクロックを出力

*3 ビットレートの 16 倍の周波数のクロックを入力

12.2.7 シリアルステータスレジスタ (SSR)

ビット :	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値 :	1	0	0	0	0	1	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

SCIの動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した8ビットのレジスタです。

SSRは常にCPUからリード/ライトできます。ただし、TDRE、RDRF、ORER、PER、FERの各フラグへ1をライトすることはできません。また、これらを0にクリアするためには、あらかじめ1をリードしておく必要があります。また、TENDフラグおよびMPBフラグはリード専用であり、ライトすることはできません。

SSRは、リセット、スタンバイモード、またはモジュールストップモード時にH'84に初期化されます。

ビット7: トランスミットデータレジスタエンプティ (TDRE)

TDRからTSRにデータ転送が行われ、TDRに次のシリアル送信データをライトすることが可能になったことを示します。

ビット7	説 明
TDRE	
0	[クリア条件] (1) TDRE = 1の状態をリードした後、0をライトしたとき (2) TXI 割り込み要求によるDTCでTDRへデータをライトしたとき
1	[セット条件] (初期値) (1) SCRのTEビットが0のとき (2) TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき

12. シリアルコミュニケーションインタフェース (SCI)

ビット6: レシーブデータレジスタフル (RDRF)

受信したデータが RDR に格納されていることを示します。

ビット6	説明
RDRF	
0	[クリア条件] (初期値) (1) RDRF = 1 の状態をリードした後、0 をライトしたとき (2) RXI 割り込み要求による DTC で RDR のデータをリードしたとき
1	[セット条件] シリアル受信が正常終了し、RSR から RDR へ受信データが転送されたとき

【注】 受信時にエラーを検出したとき、および SCR の RE ビットを 0 にクリアしたときには RDR および RDRF フラグは影響を受けず以前の状態を保持します。

RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバランエラーを発生し、受信データが失われますので注意してください。

ビット5: オーバランエラー (ORER)

受信時にオーバランエラーが発生して異常終了したことを示します。

ビット5	説明
ORER	
0	[クリア条件] (初期値)*1 ORER = 1 の状態をリードした後、0 をライトしたとき
1	[セット条件] RDRF = 1 の状態で次のシリアル受信を完了したとき*2

【注】 *1 SCR の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。

*2 RDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。

ビット4: フレーミングエラー (FER)

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを示します。

ビット4	説明
FER	
0	[クリア条件] (初期値)* ¹ FER=1の状態をリードした後、0をライトしたとき
1	[セット条件] SCIが受信終了時に受信データの最後尾のストップビットをチェックし、ストップビットが0であったとき* ²

【注】 *1 SCRのREビットを0にクリアしたときには、FERフラグは影響を受けず以前の状態を保持します。

*2 2ストップビットモードのときは、1ビット目のストップビットのみを判定し、2ビット目のストップビットはチェックをしません。なお、フレーミングエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。さらに、FERフラグが1にセットされた状態においては、以降のシリアル受信を続けることはできません。また、クロック同期式モードでは、シリアル送信も続けることができません。

ビット3: パリティエラー (PER)

調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを示します。

ビット3	説明
PER	
0	[クリア条件] (初期値)* ¹ PER=1の状態をリードした後、0をライトしたとき
1	[セット条件] 受信時の受信データとパリティビットをあわせた1の数が、SMRのO/Eビットで指定した偶数パリティ/奇数パリティの設定と一致しなかったとき* ²

【注】 *1 SCRのREビットを0にクリアしたときには、PERフラグは影響を受けず以前の状態を保持します。

*2 パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。なお、PERフラグが1にセットされた状態では、以降のシリアル受信を続けることはできません。さらに、クロック同期式モードでは、シリアル送信も続けることができません。

12. シリアルコミュニケーションインタフェース (SCI)

ビット2: トランスミットエンド (TEND)

送信キャラクタの最後尾ビットの送信時に TDR に有効なデータがなく、送信を終了したことを示します。

TEND フラグはリード専用です。ライトは無効です。

ビット2	説明
TEND	
0	[クリア条件] (1) TDRE = 1 の状態をリードした後、TDRE フラグに 0 をライトしたとき (2) TXI 割り込み要求による DTC で TDR ヘデータをライトしたとき
1	[セット条件] (初期値) (1) SCR の TE ビットが 0 のとき (2) 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE = 1 であったとき

ビット1: マルチプロセッサビット (MPB)

調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信データ中のマルチプロセッサビットを格納します。

MPB ビットは、リード専用です。ライトは無効です。

ビット1	説明
MPB	
0	[クリア条件] (初期値)* マルチプロセッサビットが 0 のデータを受信したとき
1	[セット条件] マルチプロセッサビットが 1 のデータを受信したとき

【注】 * マルチプロセッサフォーマットで SCR の RE ビットを 0 にクリアしたときには、以前の状態を保持します。

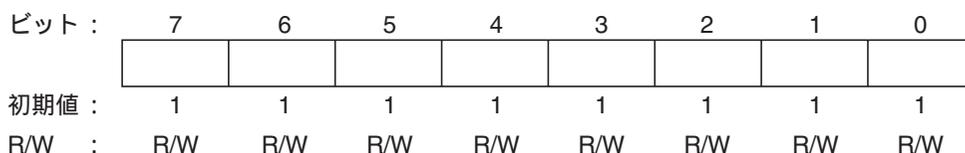
ビット0: マルチプロセッサビットトランスファ (MPBT)

調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納します。

マルチプロセッサフォーマットでないとき、あるいは送信でないとき、およびクロック同期式モードには MPBT ビットの設定は無効です。

ビット0	説明
MPBT	
0	マルチプロセッサビットが 0 のデータを送信 (初期値)
1	マルチプロセッサビットが 1 のデータを送信

12.2.8 ビットレートレジスタ (BRR)



BRR は、SMR の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

BRR は、常に CPU によるリード / ライトが可能です。

BRR は、リセット、スタンバイモード、またはモジュールストップモード時に H'FF に初期化されます。

なお、チャンネルごとにボーレートジェネレータの制御が独立していますので、それぞれ異なる値を設定することができます。

表 12.3 に調歩同期式モードの BRR の設定例を、表 12.4 にクロック同期式モードの BRR の設定例を示します。

表 12.3 ビットレートに対する BRR の設定例 (調歩同期式モード)

ビットレート (bit/s)	ϕ (MHz)											
	2			2.097152			2.4576			3		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	141	0.03	1	148	- 0.04	1	174	- 0.26	1	212	0.03
150	1	103	0.16	1	108	0.21	1	127	0.00	1	155	0.16
300	0	207	0.16	0	217	0.21	0	255	0.00	1	77	0.16
600	0	103	0.16	0	108	0.21	0	127	0.00	0	155	0.16
1200	0	51	0.16	0	54	- 0.70	0	63	0.00	0	77	0.16
2400	0	25	0.16	0	26	1.14	0	31	0.00	0	38	0.16
4800	0	12	0.16	0	13	- 2.48	0	15	0.00	0	19	- 2.34
9600	0	6	-	0	6	- 2.48	0	7	0.00	0	9	- 2.34
19200	0	2	-	0	2	-	0	3	0.00	0	4	- 2.34
31250	0	1	0.00	0	1	-	0	1	-	0	2	0.00
38400	0	1	-	0	1	-	0	1	0.00	-	-	-

12. シリアルコミュニケーションインタフェース (SCI)

ビットレート (bit/s)	ϕ (MHz)											
	3.6864			4			4.9152			5		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	- 0.25
150	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
300	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
600	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
1200	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
2400	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	23	0.00	0	25	0.16	0	31	0.00	0	32	- 1.36
9600	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
19200	0	5	0.00	0	6	-	0	7	0.00	0	7	1.73
31250	-	-	-	0	3	0.00	0	4	- 1.70	0	4	0.00
38400	0	2	0.00	0	2	-	0	3	0.00	0	3	1.73

ビットレート (bit/s)	ϕ (MHz)											
	6			6.144			7.3728			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	106	- 0.44	2	108	0.08	2	130	- 0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	- 2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	- 2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	0	6	5.33	0	7	0.00
38400	0	4	- 2.34	0	4	0.00	0	5	0.00	0	6	-

ビットレート (bit/s)	ϕ (MHz)											
	9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	174	- 0.26	2	177	- 0.25	2	212	0.03	2	217	0.08
150	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	31	0.00	0	32	- 1.36	0	38	0.16	0	39	0.00
19200	0	15	0.00	0	15	1.73	0	19	- 2.34	0	19	0.00
31250	0	9	- 1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	0	7	0.00	0	7	1.73	0	9	- 2.34	0	9	0.00

12. シリアルコミュニケーションインタフェース (SCI)

ビットレート (bit/s)	ϕ (MHz)											
	14			14.7456			16			17.2032		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	- 0.17	3	64	0.70	3	70	0.03	3	75	0.48
150	2	181	0.16	2	191	0.00	2	207	0.16	2	223	0.00
300	2	90	0.16	2	95	0.00	2	103	0.16	2	111	0.00
600	1	181	0.16	1	191	0.00	1	207	0.16	1	223	0.00
1200	1	90	0.16	1	95	0.00	1	103	0.16	1	111	0.00
2400	0	181	0.16	0	191	0.00	0	207	0.16	0	223	0.00
4800	0	90	0.16	0	95	0.00	0	103	0.16	0	111	0.00
9600	0	45	- 0.93	0	47	0.00	0	51	0.16	0	55	0.00
19200	0	22	- 0.93	0	23	0.00	0	25	0.16	0	27	0.00
31250	0	13	0.00	0	14	- 1.70	0	15	0.00	0	16	1.20
38400	0	10	-	0	11	0.00	0	12	0.16	0	13	0.00

ビットレート (bit/s)	ϕ (MHz)								
	18			19.6608			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	79	- 0.12	3	86	0.31	3	88	- 0.25
150	2	233	0.16	2	255	0.00	3	64	0.16
300	2	116	0.16	2	127	0.00	2	129	0.16
600	1	233	0.16	1	255	0.00	2	64	0.16
1200	1	116	0.16	1	127	0.00	1	129	0.16
2400	0	233	0.16	0	255	0.00	1	64	0.16
4800	0	116	0.16	0	127	0.00	0	129	0.16
9600	0	58	- 0.69	0	63	0.00	0	64	0.16
19200	0	28	1.02	0	31	0.00	0	32	- 1.36
31250	0	17	0.00	0	19	- 1.70	0	19	0.00
38400	0	14	- 2.34	0	15	0.00	0	15	1.73

12. シリアルコミュニケーションインタフェース (SCI)

表 12.4 ビットレートに対する BRR の設定例〔クロック同期式モード〕

ビットレート (bit/s)	φ (MHz)											
	2		4		8		10		16		20	
	n	N	n	N	n	N	n	N	n	N	n	N
110	3	70	-	-								
250	2	124	2	249	3	124	-	-	3	249		
500	1	249	2	124	2	249	-	-	3	124	-	-
1k	1	124	1	249	2	124	-	-	2	249	-	-
2.5k	0	199	1	99	1	199	1	249	2	99	2	124
5k	0	99	0	199	1	99	1	124	1	199	1	249
10k	0	49	0	99	0	199	0	249	1	99	1	124
25k	0	19	0	39	0	79	0	99	0	159	0	199
50k	0	9	0	19	0	39	0	49	0	79	0	99
100k	0	4	0	9	0	19	0	24	0	39	0	49
250k	0	1	0	3	0	7	0	9	0	15	0	19
500k	0	0*	0	1	0	3	0	4	0	7	0	9
1M			0	0*	0	1	-	-	0	3	0	4
2.5M					-	-	0	0*	-	-	0	1
5M									-	-	0	0*

【記号説明】

- 空欄 : 設定できません。
 - : 設定可能ですが誤差がでます。
 * : 連続送信 / 受信はできません。

【注】 誤差は、なるべく 1%以内になるように設定してください。

BRR の設定値は以下の計算式で求められます。

調歩同期式モード

$$N = \frac{\phi}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

クロック同期式モード

$$N = \frac{\phi}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)

φ : 動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n=0~3)

(n とクロックの関係は下表を参照してください。)

n	クロック	SMR の設定値	
		CKS1	CKS0
0	ϕ	0	0
1	$\phi / 4$	0	1
2	$\phi / 16$	1	0
3	$\phi / 64$	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{\phi \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

表 12.5 に調歩同期式モードの各周波数における最大ビットレートを示します。また、表 12.6、表 12.7 に外部クロック入力時の最大ビットレートを示します。

表 12.5 各周波数における最大ビットレート (調歩同期式モード)

ϕ (MHz)	最大ビットレート (bit/s)	n	N
2	62500	0	0
2.097152	65536	0	0
2.4576	76800	0	0
3	93750	0	0
3.6864	115200	0	0
4	125000	0	0
4.9152	153600	0	0
5	156250	0	0
6	187500	0	0
6.144	192000	0	0
7.3728	230400	0	0
8	250000	0	0
9.8304	307200	0	0
10	312500	0	0
12	375000	0	0
12.288	384000	0	0
14	437500	0	0
14.7456	460800	0	0
16	500000	0	0
17.2032	537600	0	0
18	562500	0	0
19.6608	614400	0	0
20	625000	0	0

12. シリアルコミュニケーションインタフェース (SCI)

表 12.6 外部クロック入力時の最大ビットレート (調歩同期式モード)

ϕ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.5000	31250
2.097152	0.5243	32768
2.4576	0.6144	38400
3	0.7500	46875
3.6864	0.9216	57600
4	1.0000	62500
4.9152	1.2288	76800
5	1.2500	78125
6	1.5000	93750
6.144	1.5360	96000
7.3728	1.8432	115200
8	2.0000	125000
9.8304	2.4576	153600
10	2.5000	156250
12	3.0000	187500
12.288	3.0720	192000
14	3.5000	218750
14.7456	3.6864	230400
16	4.0000	250000
17.2032	4.3008	268800
18	4.5000	281250
19.6608	4.9152	307200
20	5.0000	312500

表 12.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

ϕ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.3333	333333.3
4	0.6667	666666.7
6	1.0000	1000000.0
8	1.3333	1333333.3
10	1.6667	1666666.7
12	2.0000	2000000.0
14	2.3333	2333333.3
16	2.6667	2666666.7
18	3.0000	3000000.0
20	3.3333	3333333.3

12.2.9 スマートカードモードレジスタ (SCMR)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	SDIR	SINV	-	SMIF
初期値 :	1	1	1	1	0	0	1	0
R/W :	-	-	-	-	R/W	R/W	-	R/W

SCMR は、SDIR ビットにより、LSB ファースト / MSB ファーストの選択を行います。調歩同期式モード 7 ビットデータの場合を除き、シリアル通信モードによらず、LSB ファースト / MSB ファーストの選択が可能です。本章の説明では、LSB ファーストの場合について説明しています。

SCMR のその他のビットについての詳細は、「13.2.1 スマートカードモードレジスタ (SCMR)」を参照してください。

SCMR は、リセット、スタンバイモード、またはモジュールストップモード時に、HF2 に初期化されます。

ビット 7~4 : リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

ビット 3 : スマートカードデータトランスファディレクション (SDIR)

シリアル / パラレル変換のフォーマットを選択します。

送信 / 受信フォーマットが 8 ビットデータの場合に有効です。

ビット 3	説 明	
SDIR		
0	TDR の内容を LSB ファーストで送信 受信データを LSB ファーストとして RDR に格納	(初期値)
1	TDR の内容を MSB ファーストで送信 受信データを MSB ファーストとして RDR に格納	

ビット 2 : スマートカードデータインバート (SINV)

通常の SCI として動作する場合には 0 をライトしてください。

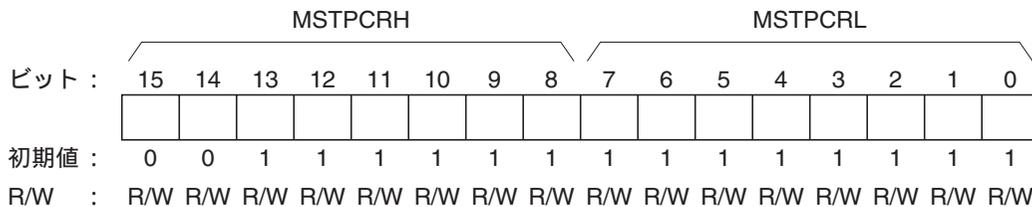
ビット 1 : リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

ビット 0 : スマートカードインタフェースモードセレクト (SMIF)

通常の SCI として動作する場合には 0 をライトしてください。

12.2.10 モジュールストップコントロールレジスタ (MSTPCR)



MSTPCR は 16 ビットのリード/ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTP7 ~ MSTP5 の対応するビットを 1 にセットすると、バスサイクルの終了時点で SCI は動作を停止してモジュールストップモードへ遷移します。モジュールストップモードではレジスタのリード/ライトはできません。詳細は、「19.5 モジュールストップモード」を参照してください。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 7 : モジュールストップ (MSTP7)

SCI チャンネル 2 のモジュールストップモードを指定します。

ビット 7	説 明
MSTP7	
0	SCI チャンネル 2 のモジュールストップモード解除
1	SCI チャンネル 2 のモジュールストップモード設定 (初期値)

ビット 6 : モジュールストップ (MSTP6)

SCI チャンネル 1 のモジュールストップモードを指定します。

ビット 6	説 明
MSTP6	
0	SCI チャンネル 1 のモジュールストップモード解除
1	SCI チャンネル 1 のモジュールストップモード設定 (初期値)

ビット 5 : モジュールストップ (MSTP5)

SCI チャンネル 0 のモジュールストップモードを指定します。

ビット 5	説 明
MSTP5	
0	SCI チャンネル 0 のモジュールストップモード解除
1	SCI チャンネル 0 のモジュールストップモード設定 (初期値)

12.3 動作説明

12.3.1 概要

SCIは、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの2方式で、シリアル通信ができます。

調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、SMRで行います。これを表 12.8 に示します。また、SCIのクロックソースは、SMRの C/A ビットおよび SCRのCKE1、CKE0 ビットの組み合わせで決まります。これを表 12.9 に示します。

(1) 調歩同期式モード

データ長：7ビット/8ビットから選択可能

パリティの付加、マルチプロセッサビットの付加、および1ビット/2ビットのストップビットの付加を選択可能

(これらの組み合わせにより送信/受信フォーマット、およびキャラクタ長を決定)

受信時にフレーミングエラー、パリティエラー、オーバランエラー、およびブレークの検出が可能

SCIのクロックソース：内部クロック/外部クロックから選択可能

- 内部クロックを選択した場合
SCIはポーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力することが可能
- 外部クロックを選択した場合
ビットレートの16倍の周波数のクロックを入力することが必要(内蔵ポーレートジェネレータを使用しない)

(2) クロック同期式モード

送信/受信フォーマット：8ビットデータ固定

受信時にオーバランエラーの検出可能

SCIのクロックソース：内部クロック/外部クロックから選択可能

- 内部クロックを選択した場合
SCIはポーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
- 外部クロックを選択した場合
内部ポーレートジェネレータを使用せず、入力された同期クロックで動作

12. シリアルコミュニケーションインタフェース (SCI)

表 12.8 SMR の設定値とシリアル送信 / 受信フォーマット

SMR の設定値					モード	SCI の送信 / 受信フォーマット					
ビット 7	ビット 6	ビット 2	ビット 5	ビット 3		データ長	マルチプロセッサ ビット	パリティ ビット	ストップ ビット長		
C/ \bar{A}	CHR	MP	PE	STOP							
0	0	0	0	0	調歩同期式 モード	8ビット データ	なし	なし	1ビット		
				1					2ビット		
			1	0		0		あり	1ビット		
						1		2ビット			
			1	0		0		なし	1ビット		
						1		2ビット			
	1	0	0	あり		1ビット					
			1	2ビット							
	1	0	1	-		調歩同期式 モード (マルチプロ セッサフォー マット)	8ビット データ	あり	なし	1ビット	
				1						2ビット	
		1		-			0			7ビット データ	1ビット
							1			2ビット	
1	-	-	0	データ	なし	なし	なし				
			1	データ	なし	なし					

表 12.9 SMR、SCR の設定と SCI のクロックソースの選択

SMR ビット 7	SCR の設定		モード	SCI の送信 / 受信クロック	
	ビット 1	ビット 0		クロック ソース	SCK 端子の機能
C/ \bar{A}	CKE1	CKE0			
0	0	0	調歩同期式モード	内部	SCI は、SCK 端子を使用しません
		1			ビットレートと同じ周波数のクロックを出力
	1	0		外部	ビットレートの 16 倍の周波数のクロックを入力
		1			
1	0	0	クロック同期式モード	内部	同期クロックを出力
		1			
	1	0		外部	同期クロックを入力
		1			

12.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信または受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送信/受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 12.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態 (High レベル) に保たれています。SCI は通信回線を監視し、スペース (Low レベル) になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1キャラクタは、スタートビット (Low レベル) から始まりデータ (LSB フェースト: 最下位ビットから)、パリティビット (High / Low レベル)、最後にストップビット (High レベル) の順で構成されています。

調歩同期式モードでは、SCI は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCI は、データを 1ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

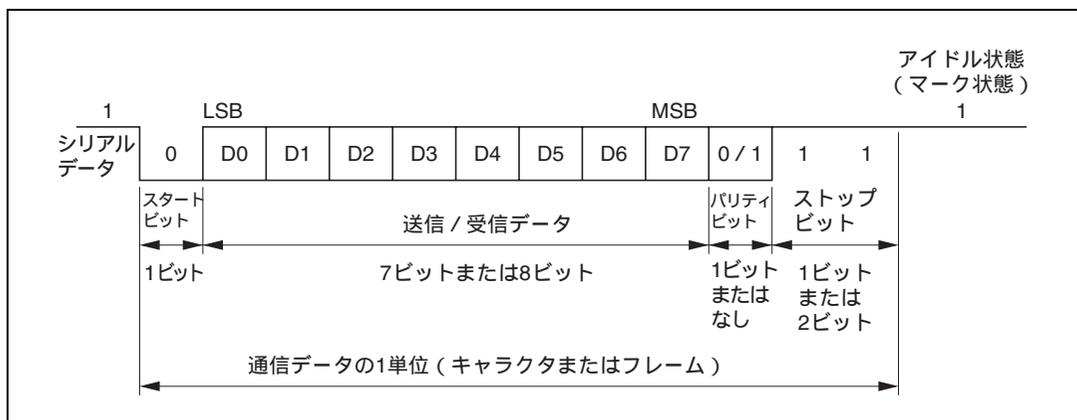


図 12.2 調歩同期式通信のデータフォーマット
(8ビットデータ/パリティあり/2ストップビットの例)

12. シリアルコミュニケーションインタフェース (SCI)

(1) 送信 / 受信フォーマット

調歩同期式モードで設定できる送信 / 受信フォーマットを、表 12.10 に示します。
送信 / 受信フォーマットは 12 種類あり、SMR の選定により選択できます。

表 12.10 シリアル送信 / 受信フォーマット (調歩同期式モード)

SMRの設定				シリアル送信 / 受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	0	S	8ビットデータ								P	STOP		
0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	0	S	7ビットデータ							P	STOP			
1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	-	1	0	S	8ビットデータ								MPB	STOP		
0	-	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	-	1	0	S	7ビットデータ							MPB	STOP			
1	-	1	1	S	7ビットデータ							MPB	STOP	STOP		

【記号説明】

S : スタートビット
 STOP : ストップビット
 P : パリティビット
 MPB : マルチプロセッサビット

(2) クロック

SCIの送受信クロックは、SMRの C/\bar{A} ビットとSCRのCKE1、CKE0ビットの設定により、内蔵ボーレートジェネレータの生成した内部クロック、またはSCK端子から入力された外部クロックの2種類から選択できます。SCIのクロックソースの選択については表12.9を参照してください。

外部クロックをSCK端子に入力する場合には、使用するビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図12.3に示すように送信データの中央にクロック立ち上がりエッジがくるようになります。

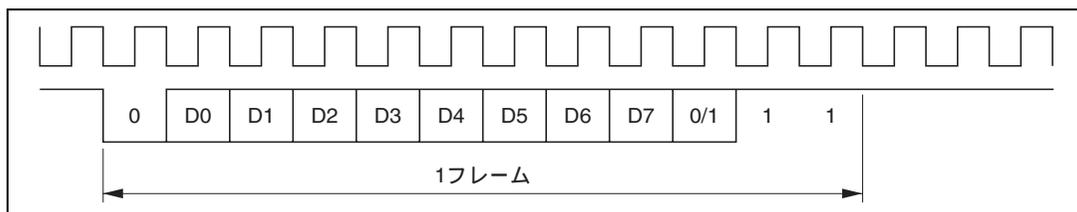


図 12.3 出カクロックと通信データの位相関係 (調歩同期式モード)

12. シリアルコミュニケーションインタフェース (SCI)

(3) データの送信 / 受信動作

(a) SCI の初期化 (調歩同期式)

データの送信 / 受信前には、まず SCR の TE、RE ビットを 0 にクリアした後、以下の順で SCI を初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。TE ビットを 0 にクリアすると TDRE フラグは 1 にセットされ、TSR が初期化されます。RE ビットを 0 にクリアしても、RDRF、PER、FER、ORER の各フラグ、および RDR の内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

図 12.4 に SCI の初期化フローチャートの例を示します。

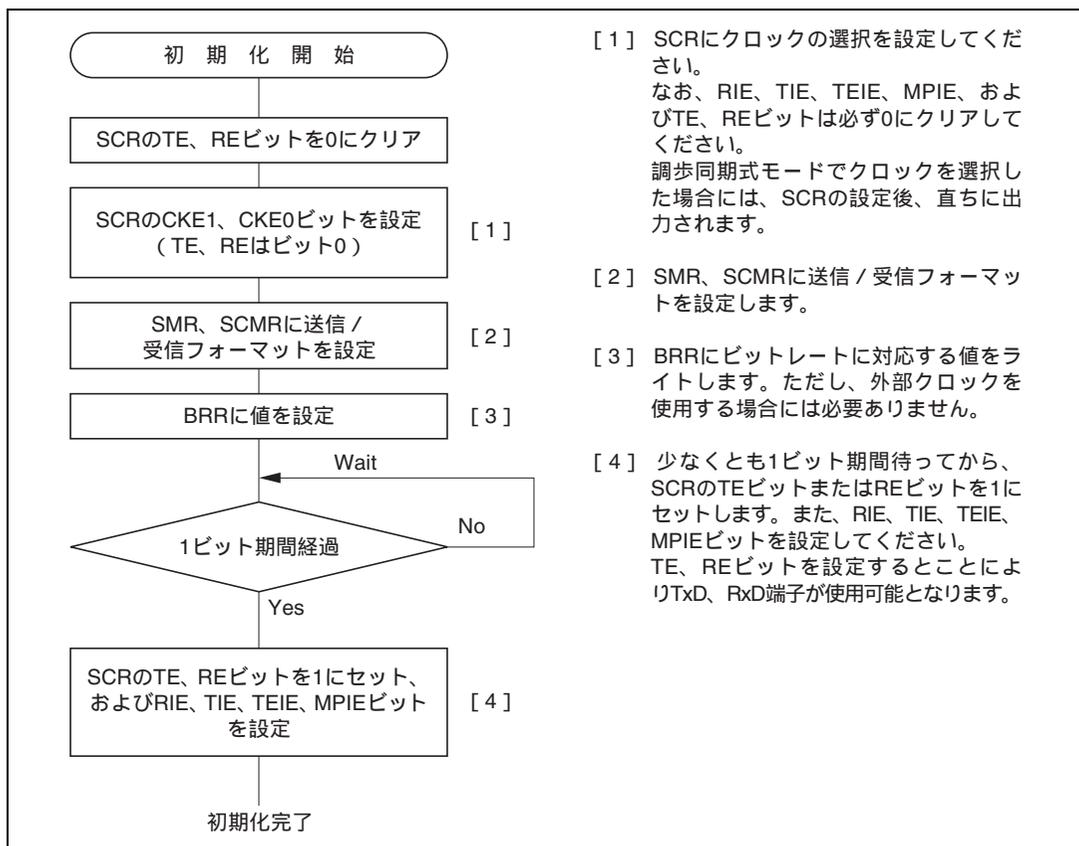


図 12.4 SCI の初期化フローチャートの例

(b) シリアルデータ送信 (調歩同期式)

図 12.5 にシリアル送信のフローチャートの例を示します。
シリアルデータ送信は以下の手順に従って行ってください。

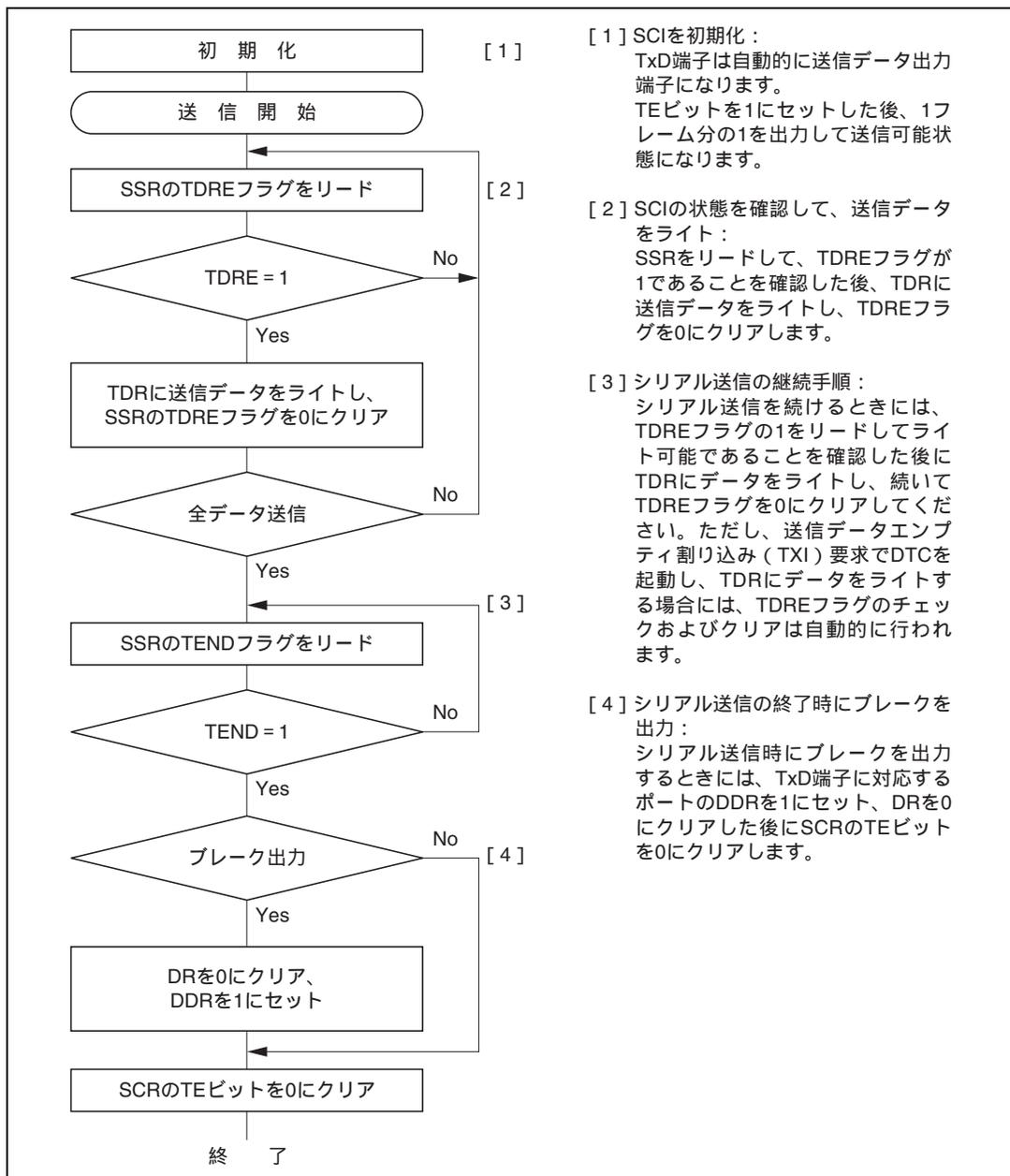


図 12.5 シリアル送信のフローチャートの例

12. シリアルコミュニケーションインタフェース (SCI)

SCI はシリアル送信時に以下のように動作します。

- [1] SCIは、SSRのTDREフラグを監視し、0であるとTDRにデータがライトされたと認識し、TDRからTSRにデータを転送します。
- [2] TDRからTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。このとき、SCRのTIEビットが1にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。
シリアル送信データは、以下の順にTxD端子から送り出されます。
 - [a] スタートビット：
1ビットの0が出力されます。
 - [b] 送信データ：
8ビット、または7ビットのデータがLSBから順に出力されます。
 - [c] パリティビットまたはマルチプロセッサビット：
1ビットのパリティビット (偶数パリティ、または奇数パリティ)、または1ビットのマルチプロセッサビットが出力されます。
なお、パリティビット、またはマルチプロセッサビットを出力しないフォーマットも選択できます。
 - [d] ストップビット：
1ビットまたは2ビットの1 (ストップビット) が出力されます。
 - [e] マーク状態：
次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
- [3] SCIは、ストップビットを送出するタイミングでTDREフラグをチェックします。
TDREフラグが0であるとTDRからTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。
TDREフラグが1であるとSSRのTENDフラグに1をセットし、ストップビットを送り出した後、1を出力する “マーク状態” になります。このときSCRのTEIEビットが1にセットされているとTEI割り込み要求を発生します。

調歩同期式モードでの送信時の動作例を図 12.6 に示します。

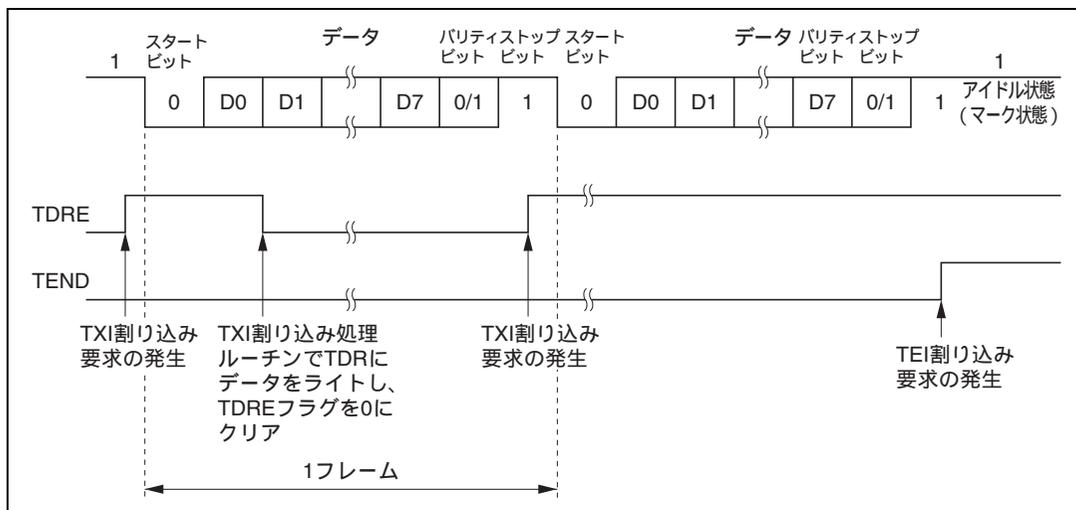


図 12.6 調歩同期式モードでの送信時の動作例
(8ビットデータ/パリティあり/1ストップビットの例)

(c) シリアルデータ受信 (調歩同期式)

図 12.7 にシリアル受信フローチャートの例を示します。
シリアルデータ受信は以下の手順に従って行ってください。

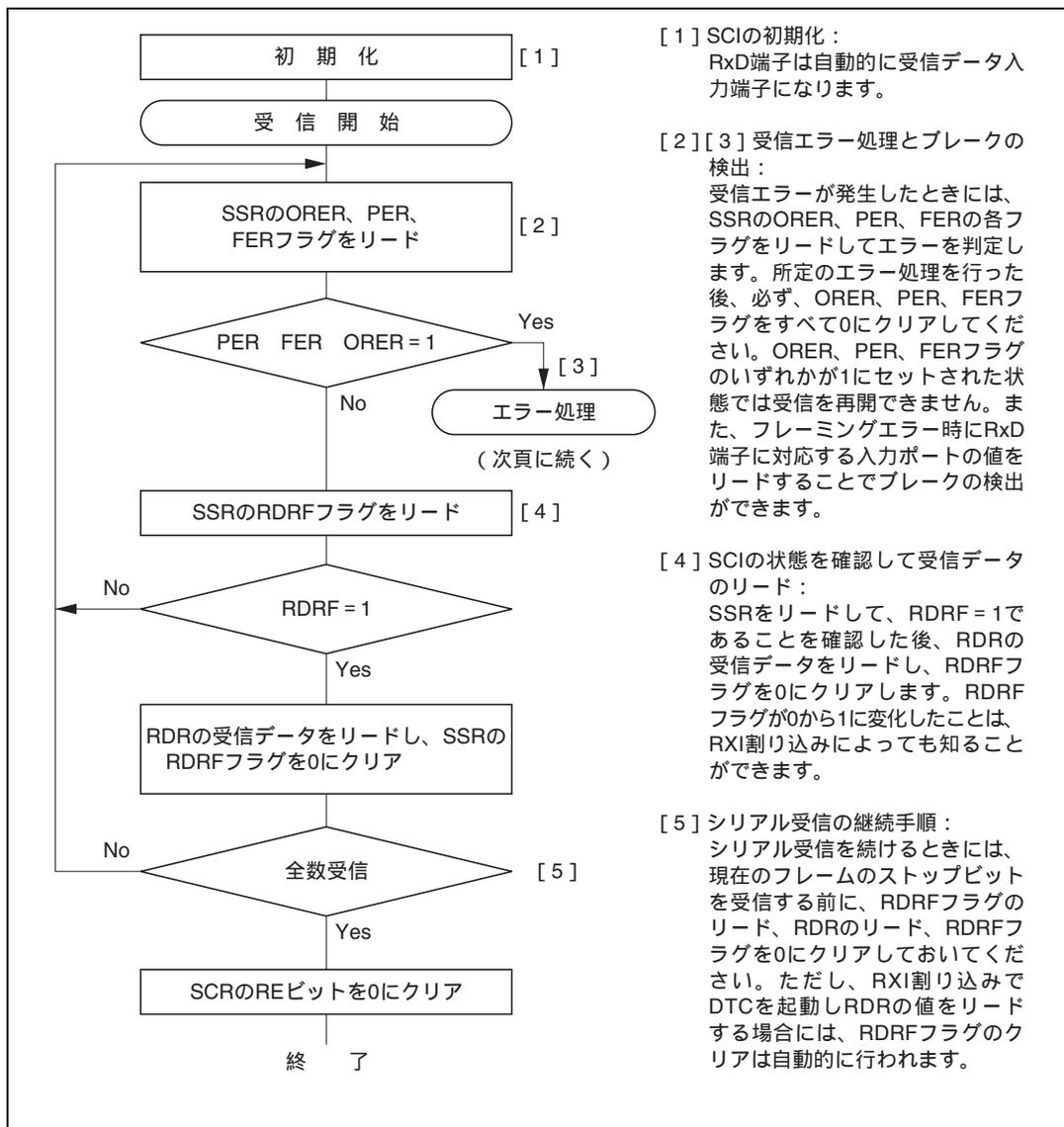


図 12.7 (1) シリアル受信データフローチャートの例

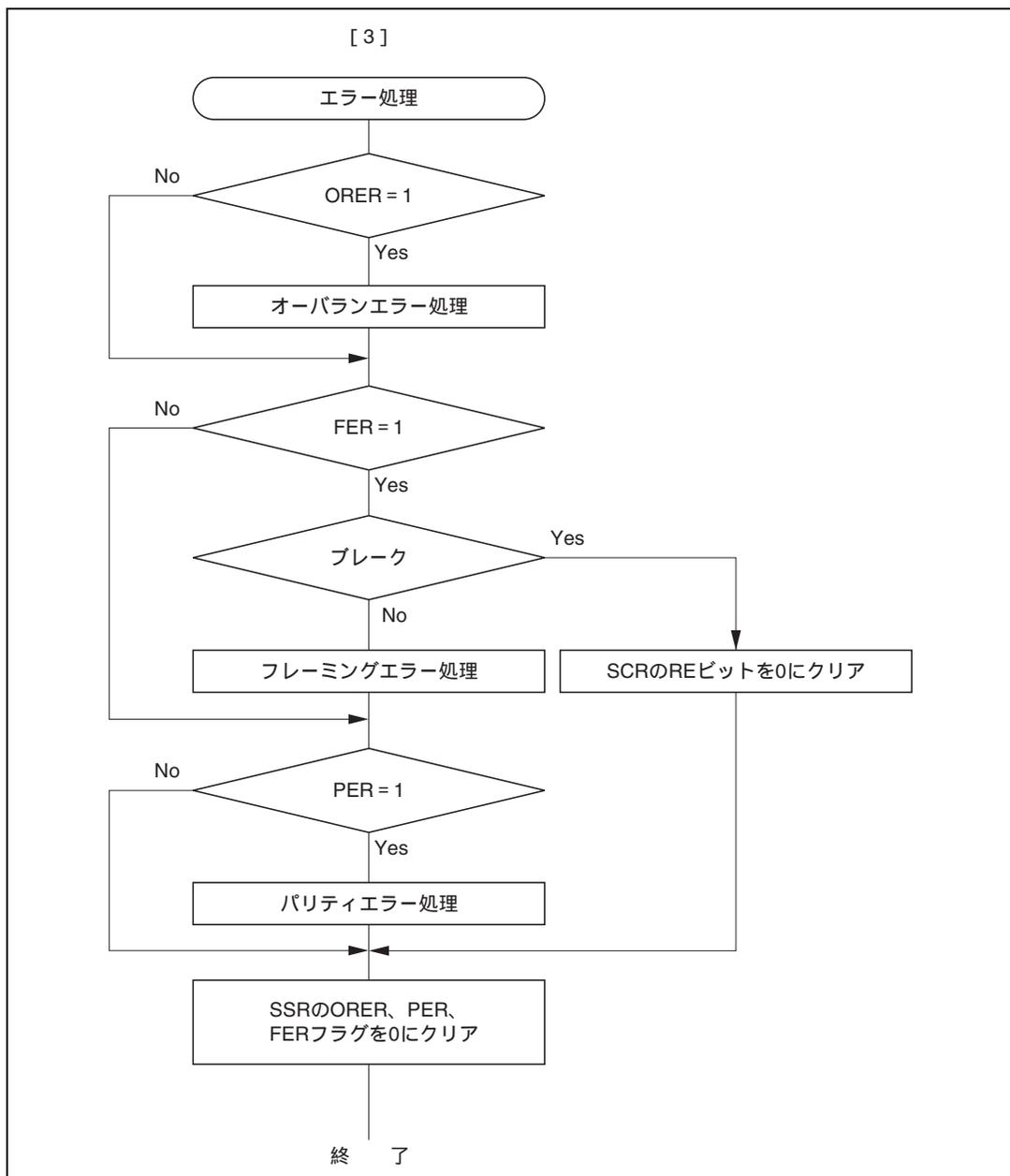


図 12.7 (2) シリアル受信データフローチャートの例

12. シリアルコミュニケーションインタフェース (SCI)

SCI は受信時に以下のように動作します。

- [1] SCIは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
- [2] 受信したデータをRSRのLSBからMSBの順に格納します。
- [3] パリティビットおよびストップビットを受信します。
受信後、SCIは以下のチェックを行います。
 - [a] パリティチェック：
受信データの1の数をチェックし、これがSMRの O/Eビットで設定した偶数 / 奇数パリティになっているかをチェックします。
 - [b] ストップビットチェック：
ストップビットが1であるかをチェックします。
ただし、2ストップビットの場合、1ビット目のみをチェックします。
 - [c] ステータスチェック：
RDRFフラグが0であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。

以上のチェックをすべて満足したとき、RDRFフラグが1にセットされ、RDRに受信データが格納されます。

エラーチェックで受信エラー*を発生すると表12.11のように動作します。

【注】* 受信エラーが発生した状態では、以後の受信動作ができません。
また、受信時に RDRF フラグが 1 にセットされませんので、必ずエラーフラグを 0 にクリアしてください。

- [4] RDRFフラグが1になったとき、SCRのRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求が発生します。
また、ORER、PER、FERフラグのいずれかが1になったとき、SCRのRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求が発生します。

表 12.11 受信エラーと発生条件

受信エラー名	略称	発生条件	データ転送
オーバランエラー	ORER	SSR の RDRF フラグが 1 にセットされたまま次のデータ受信を完了したとき	RSR から RDR に受信データは転送されません。
フレーミングエラー	FER	ストップビットが 0 のとき	RSR から RDR に受信データが転送されません。
パリティエラー	PER	SMR で設定した偶数 / 奇数パリティの設定と受信したデータが異なるとき	RSR から RDR に受信データが転送されません。

調歩同期式モード受信時の動作例を図 12.8 に示します。

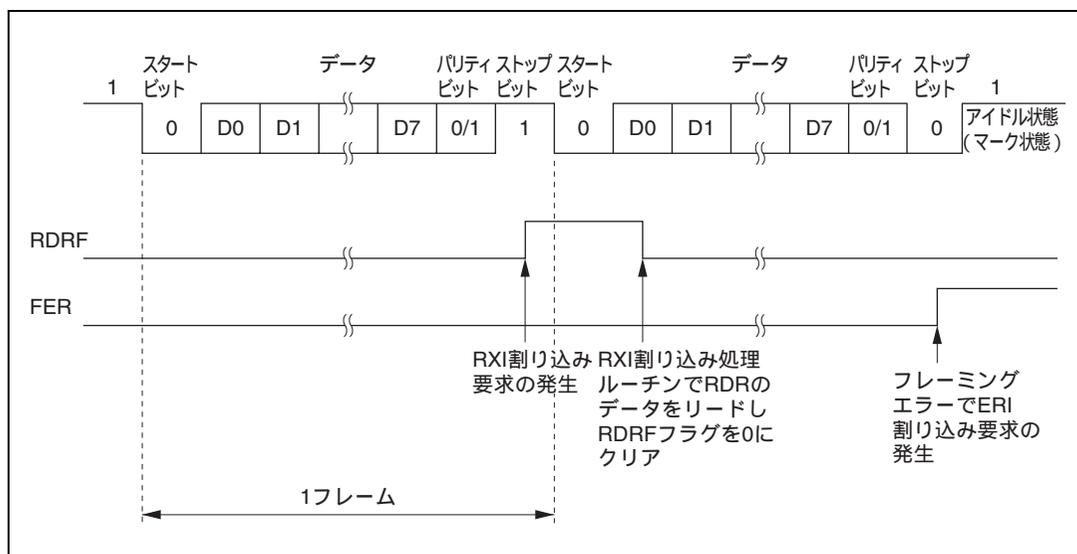


図 12.8 SCI の受信時の動作例
(8ビットデータ/パリティあり/1ストップビットの例)

12.3.3 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット(マルチプロセッサフォーマット)でシリアル通信をする機能です。この機能を使用すると、複数のプロセッサ間でシリアル通信回線を共有したデータの送受信ができます。

マルチプロセッサ通信を行うとき、受信局はおのあの固有の ID コードでアドレッシングされています。

シリアル通信サイクルは、受信局を指定する ID 送信サイクルとデータ送信サイクルの 2 つから構成されます。この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。

送信局は、まず、シリアル通信を行いたい受信局の ID を、マルチプロセッサビット 1 を付加したデータにして送信します。続いて、送信データを、マルチプロセッサビット 0 を付加したデータにして送信します。

受信局は、マルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。

マルチプロセッサビット 1 のデータを受信したとき、受信局は自局の ID と比較します。そして、一致した局は続いて送信されるデータを受信します。一方、一致しなかった局は、再びマルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。このようにして複数のプロセッサ間のデータ送受信が行われます。

図 12.9 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

12. シリアルコミュニケーションインタフェース (SCI)

(1) 送信 / 受信フォーマット

送信 / 受信フォーマットは 4 種類です。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。

詳細は表 12.10 を参照してください。

(2) クロック

調歩同期式モードの項を参照してください。

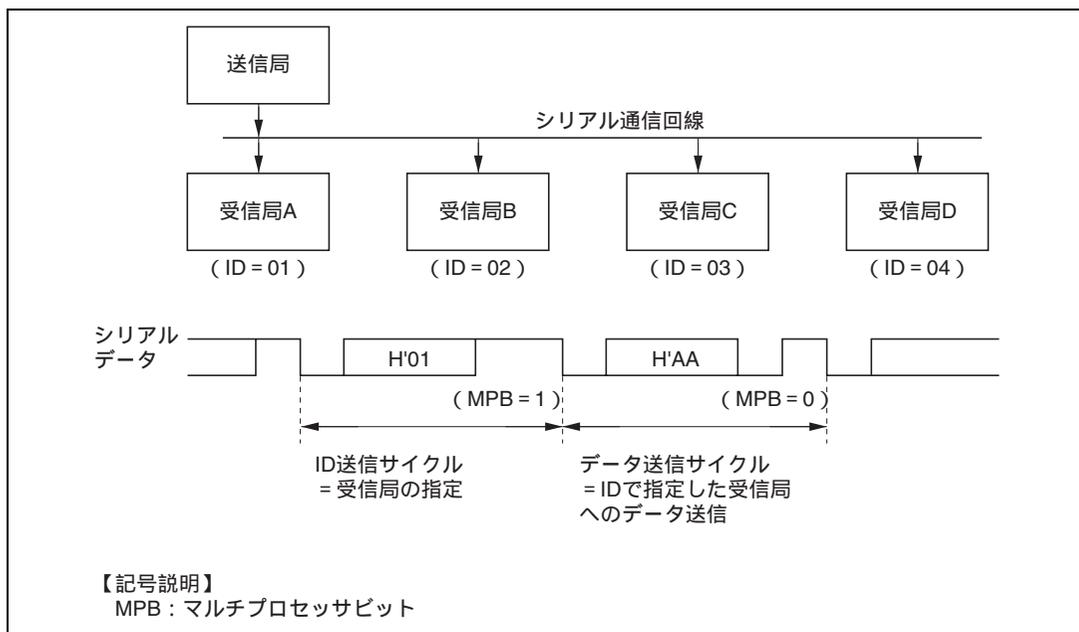


図 12.9 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
(受信局 A へのデータ H'AA の送信の例)

(3) データの送信 / 受信動作

(a) マルチプロセッサシリアルデータ送信

図 12.10 にマルチプロセッサシリアルデータ送信のフローチャートの例を示します。
マルチプロセッサシリアルデータ送信は、以下の手順に従って行ってください。

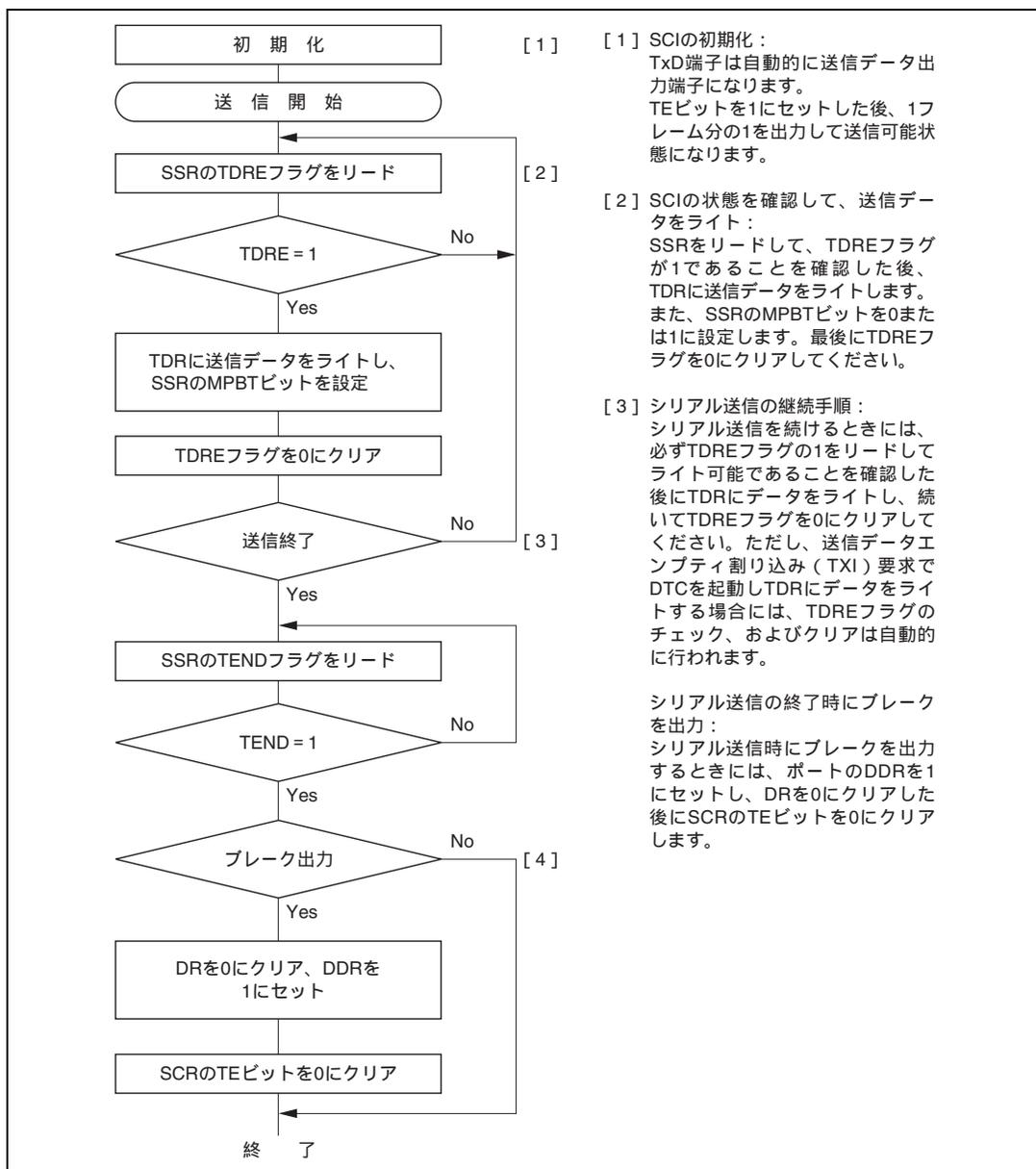


図 12.10 マルチプロセッサシリアル送信のフローチャートの例

12. シリアルコミュニケーションインタフェース (SCI)

SCI は、シリアル送信時に以下のように動作します。

- [1] SCIは、SSRのTDREフラグを監視し、0であるとTDRにデータがライトされると認識し、TDRからTSRにデータを転送します。
- [2] TDRからTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。このとき、SCRのTIEビットが1にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。シリアル送信データは、以下の順にTxD端子から送り出されます。
 - [a] スタートビット：
1ビットの0が出力されます。
 - [b] 送信データ：
8ビット / 7ビットのデータがLSBから順に出力されます。
 - [c] マルチプロセッサビット：
1ビットのマルチプロセッサビット (MPBTの値) が出力されます。
 - [d] ストップビット：
1ビット / 2ビットの1 (ストップビット) が出力されます。
 - [e] マーク状態：
次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
- [3] SCIは、ストップビットを送り出すタイミングでTDREフラグをチェックします。TDREフラグが0であるとTDRからTSRにデータを転送し、ストップビットを送り出した後、次のフレームのシリアル送信を開始します。TDREフラグが1であるとSSRのTENDフラグを1にセットし、ストップビットを送り出した後、1を出力するマーク状態になります。このときSCRのTEIEビットが1にセットされていると送信終了割り込み (TEI) 要求を発生します。

図 12.11 にマルチプロセッサフォーマットの SCI の送信時の動作例を示します。

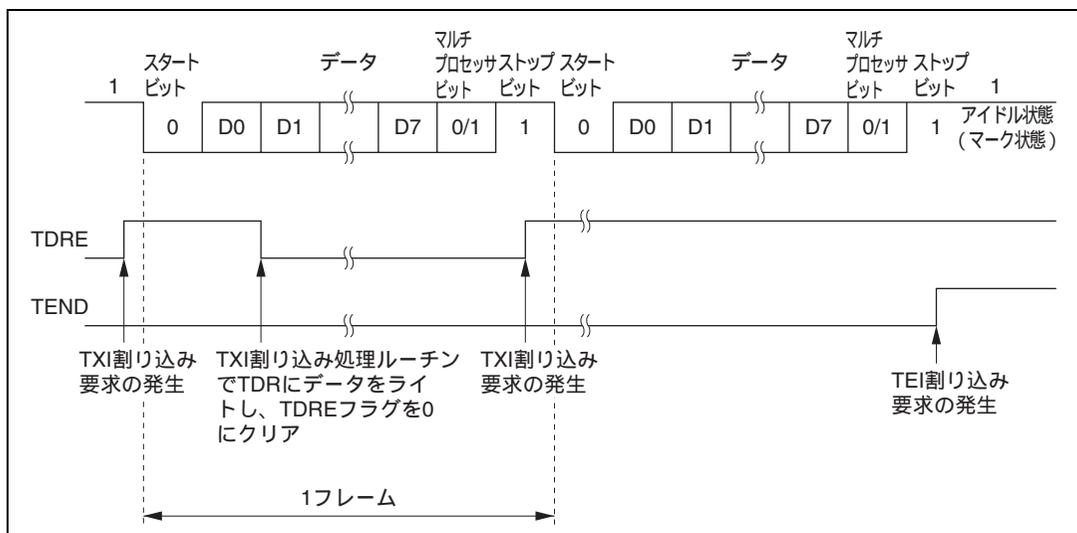


図 12.11 SCI の送信時の動作例
(8ビットデータ / マルチプロセッサビットあり / 1ストップビットの例)

12. シリアルコミュニケーションインタフェース (SCI)

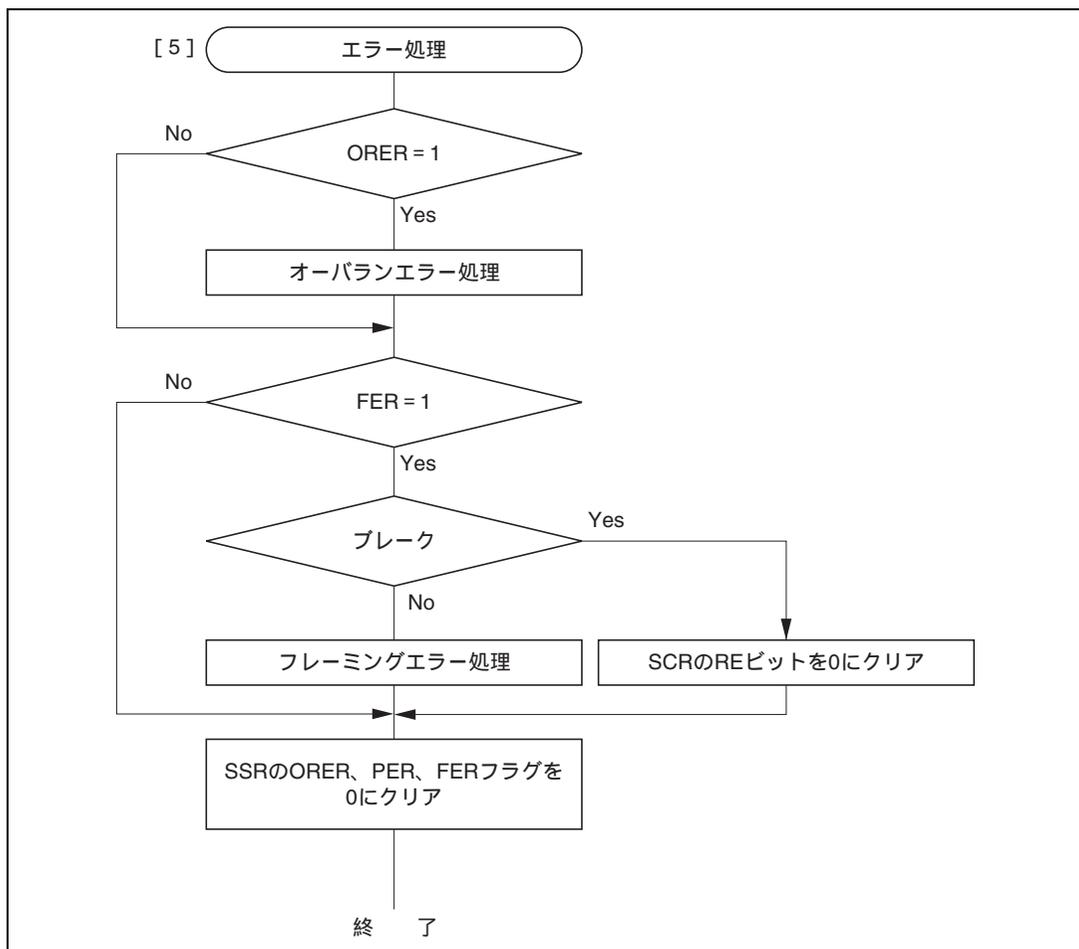


図 12.12 (2) マルチプロセッサシリアル受信フローチャートの例

図 12.13 にマルチプロセッサフォーマットの SCI の受信時の動作例を示します。

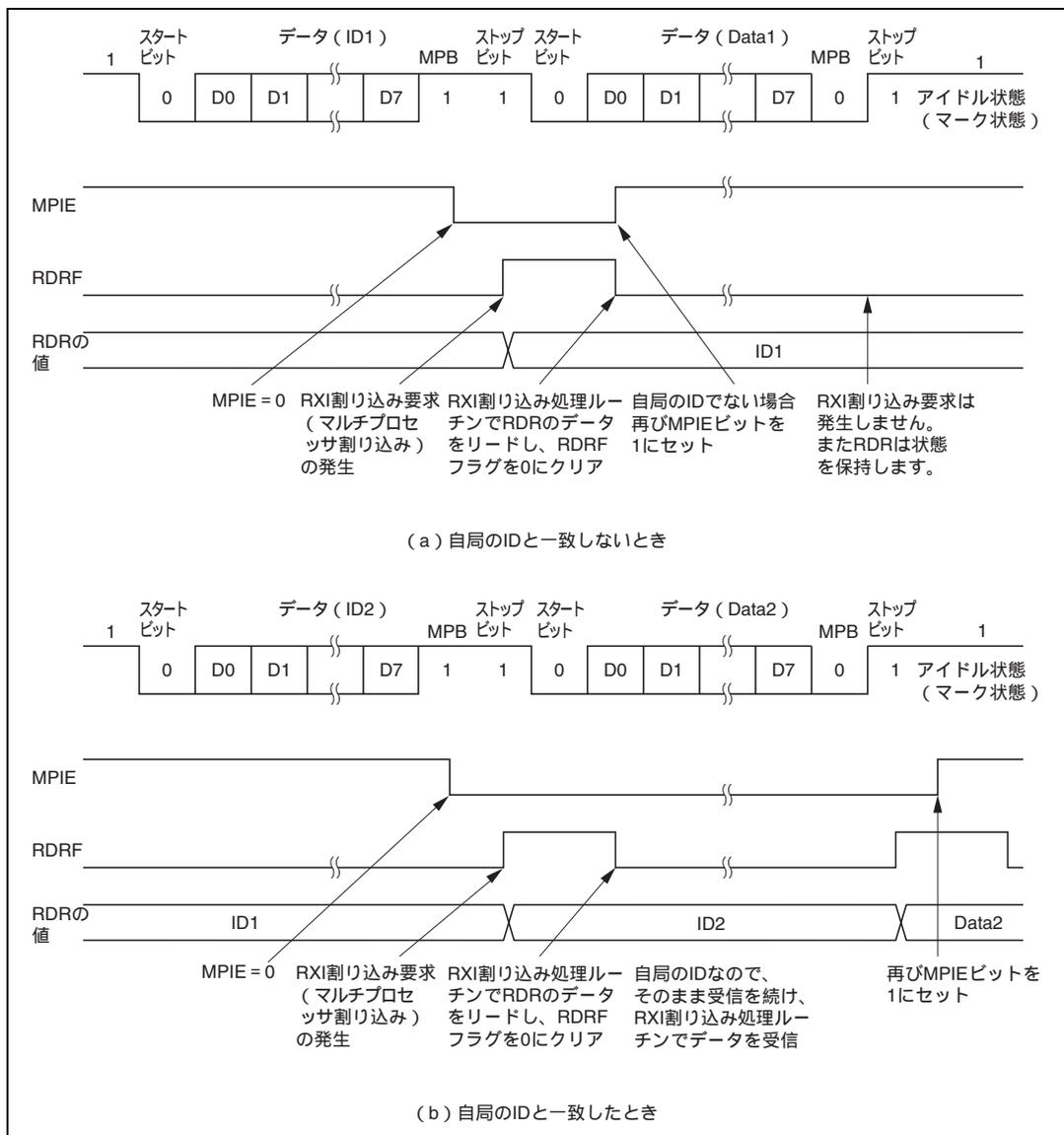


図 12.13 SCI の受信時の動作例
(8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)

12.3.4 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信または受信するモードで、高速シリアル通信に適しています。

SCI 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部と受信部がともにダブルバッファ構造になっていますので送信および受信中にデータのリード/ライトができ、連続送信/受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 12.14 に示します。

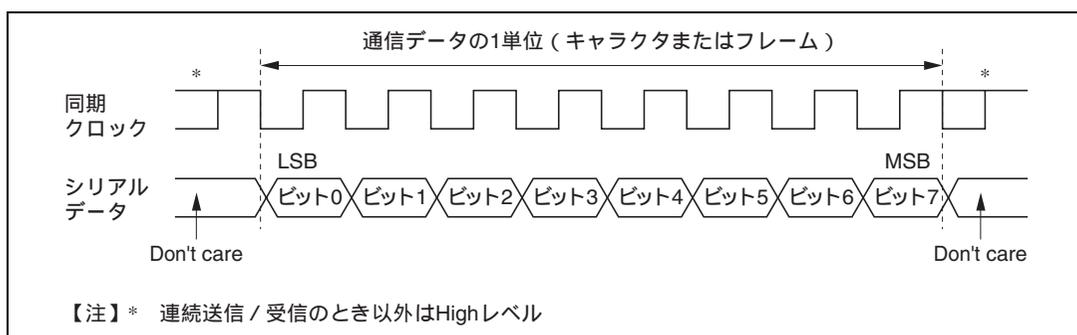


図 12.14 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち下がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、データのLSBから始まり最後にMSBが出力されます。MSB出力後の通信回線の状態はMSBの状態を保ちます。

クロック同期式モードでは、SCIは同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信/受信フォーマット

8ビットデータ固定です。

パリティビットやマルチプロセッサビットの付加はできません。

(2) クロック

SMRのC/AビットとSCRのCKE1、CKE0ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCK端子から入力された外部同期クロックの2種類から選択できます。SCIのクロックソースの選択については表 12.9を参照してください。

内部クロックで動作させるとき、SCK端子からは同期クロックが出力されます。

同期クロックは1キャラクタの送受信で8パルス出力され、送信/受信を行わないときにはHighレベルに固定されます。ただし、受信のみの動作のときは、オーバランエラーが発生するか、REビットを0にクリアするまで同期クロックは出力されます。1キャラクタ単位の受信動作を行いたいときは、クロックソースは外部クロックを選択してください。

(3) データの送信 / 受信動作

(a) SCI の初期化 (クロック同期式)

データの送信 / 受信前には、SCR の TE、RE ビットを 0 にクリアした後、以下の手順に従い SCI を初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビットを 0 にクリアすると TDRE フラグは 1 にセットされ、TSR が初期化されます。

RE ビットを 0 にクリアしても RDRF、PER、FER、ORER の各フラグ、および RDR の内容は保持されますので注意してください。

図 12.15 に SCI の初期化フローチャートの例を示します。

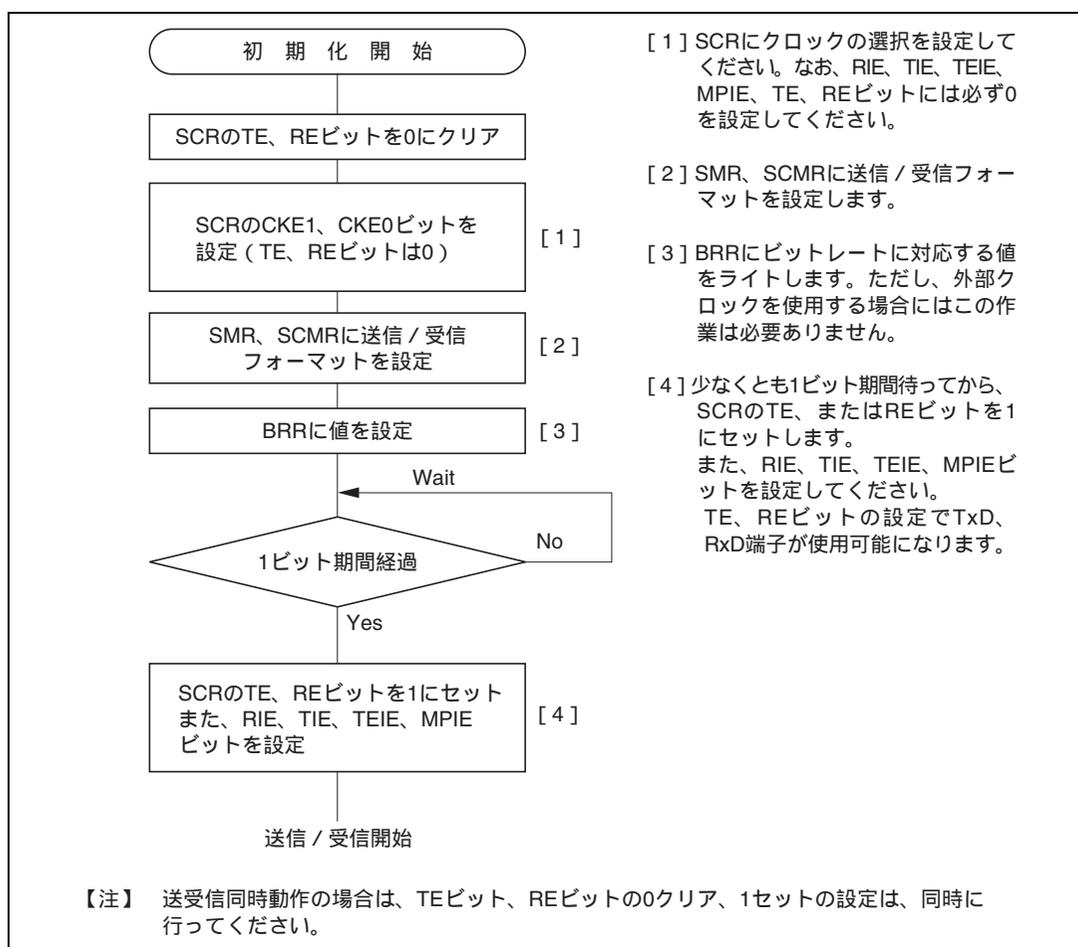


図 12.15 SCI の初期化フローチャートの例

12. シリアルコミュニケーションインタフェース (SCI)

(b) シリアルデータ送信 (クロック同期式)

図 12.16 にシリアル送信のフローチャートの例を示します。
シリアルデータ送信は以下の手順に従って行ってください。

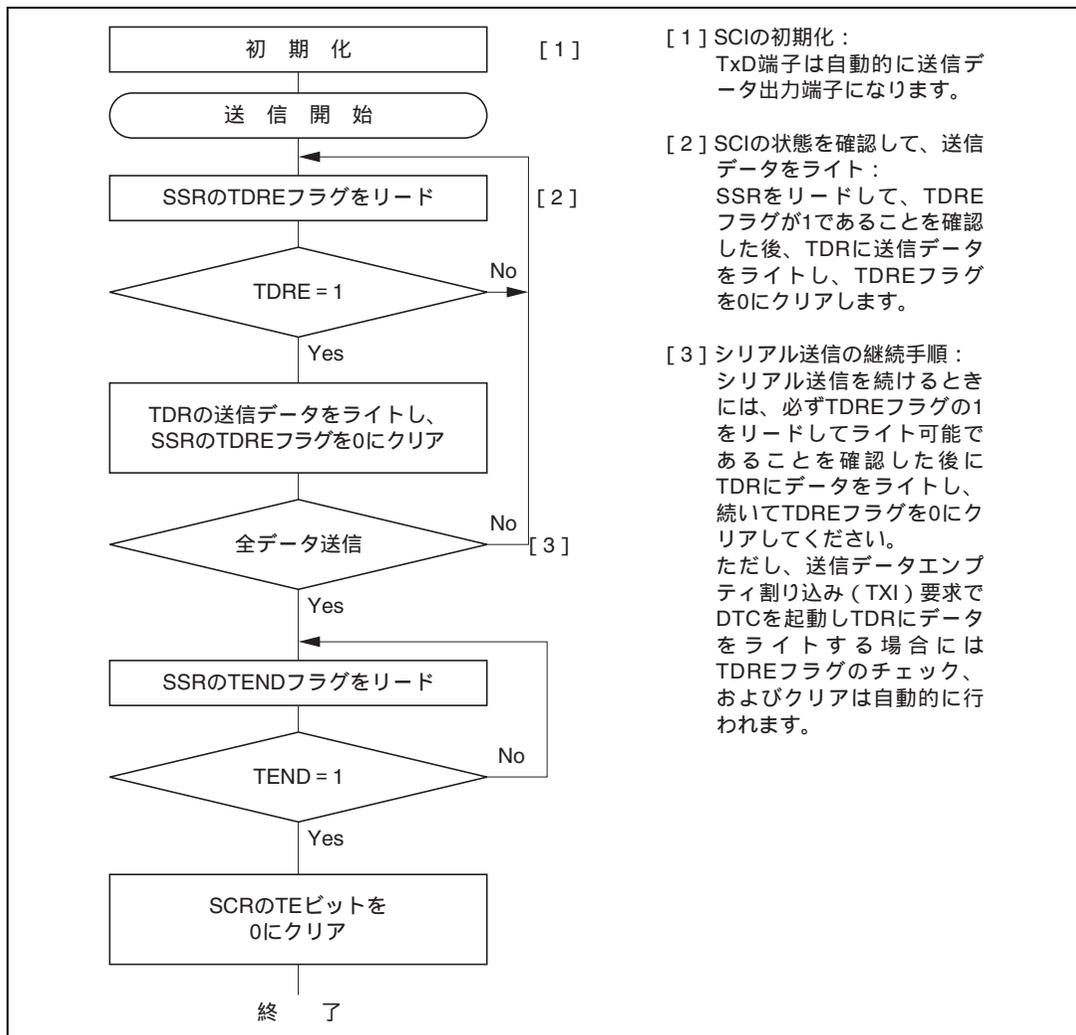


図 12.16 シリアル送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

- [1] SCIは、SSRのTDREフラグを監視し、0であるとTDRにデータがライトされると認識し、TDRからTSRにデータを転送します。
- [2] TDRからTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。このとき、SCRのTIEビットが1にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。
 クロック出力モードに設定したときには、SCIは同期クロックを8パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。
 シリアル送信データは、LSB (ビット0) からMSB (ビット7) の順にTxD端子から送り出されます。
- [3] SCIは、MSB (ビット7) を送り出すタイミングでTDREフラグをチェックします。
 TDREフラグが0であるとTDRからTSRにデータを転送し、次フレームのシリアル送信を開始します。
 TDREフラグが1であるとSSRのTENDフラグを1にセットし、MSB (ビット7) を送り出した後、TxD端子は状態を保持します。
 このときSCRのTEIEビットが1にセットされていると送信終了割り込み (TEI) 要求を発生します。
- [4] シリアル送信終了後は、SCK端子はHighレベル固定になります。

図 12.17 に SCI の送信時の動作例を示します。

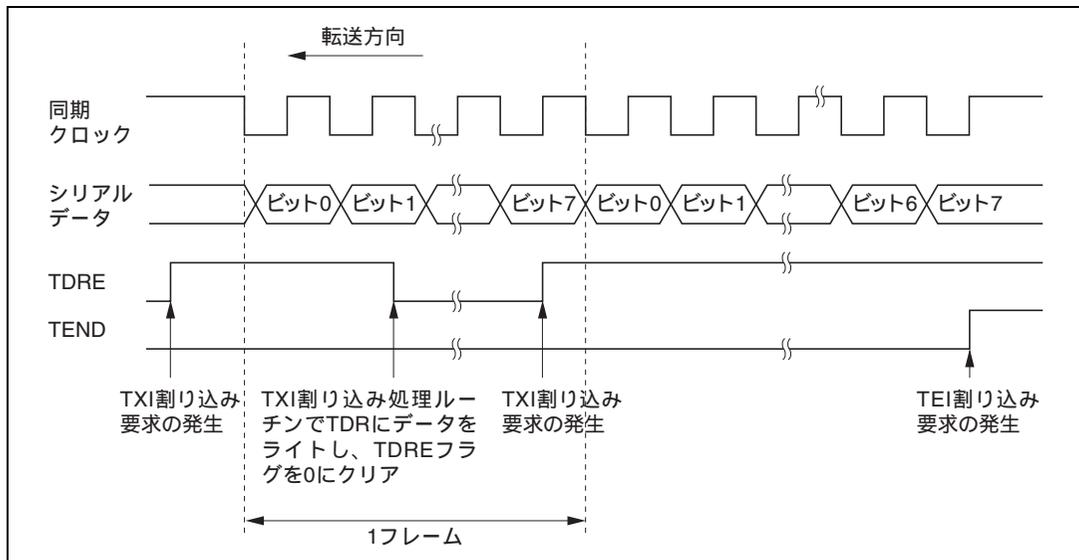


図 12.17 SCI の送信時の動作例

12. シリアルコミュニケーションインタフェース (SCI)

(c) シリアルデータ受信 (クロック同期式)

図 12.18 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は以下の手順に従って行ってください。

動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず、ORER、PER、FER の各フラグが 0 にクリアされていることを確認してください。

FER、PER フラグが 1 にセットされていると RDRF フラグがセットされません。また、送信動作および受信動作のいずれも行いうことができません。

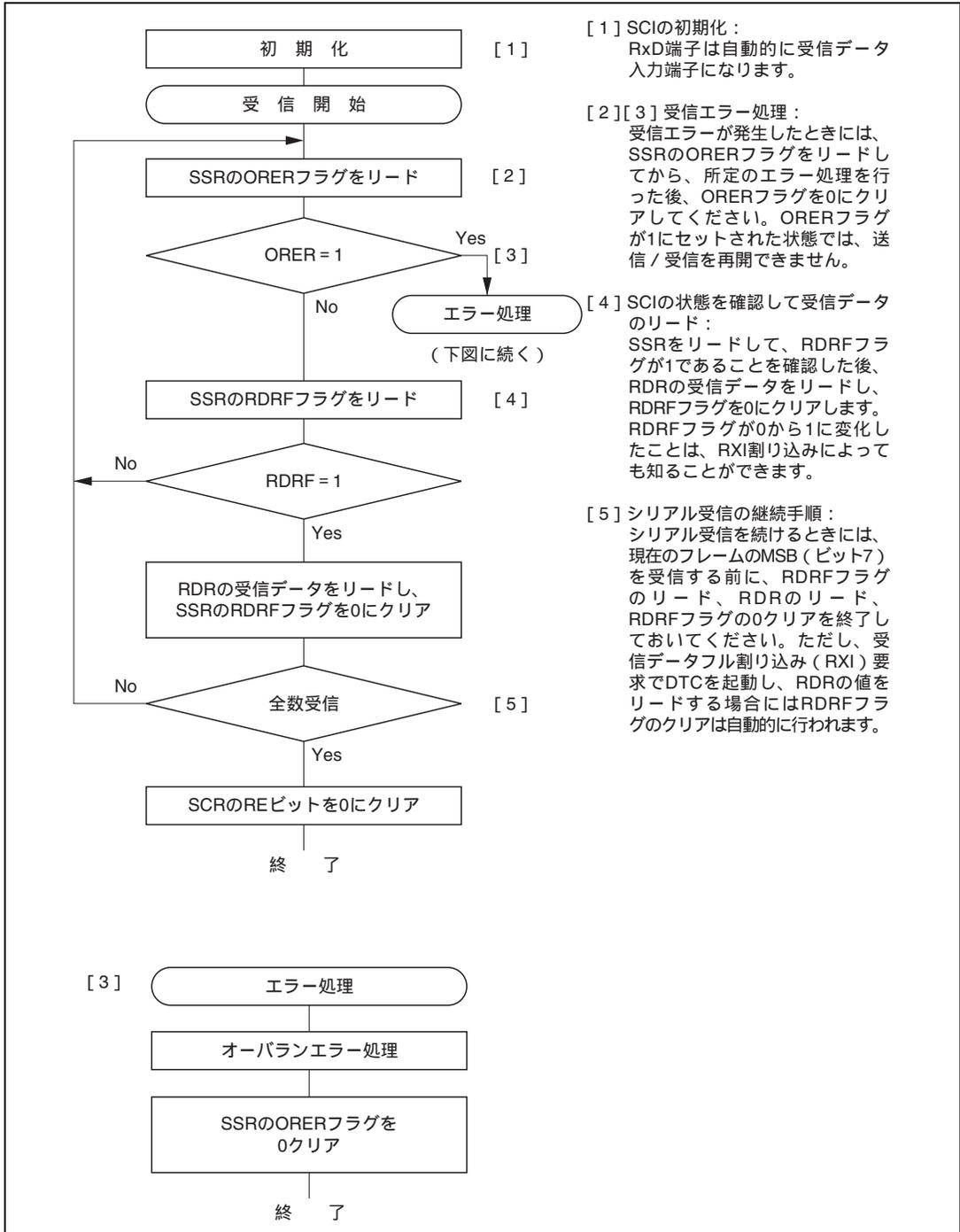


図 12.18 シリアルデータ受信フローチャートの例

12. シリアルコミュニケーションインタフェース (SCI)

SCI は受信時に以下のように動作します。

- [1] SCIは同期クロックの入力または出力に同期して内部を初期化します。
- [2] 受信したデータをRSRのLSBからMSBの順に格納します。
受信後、SCIは、RDRFフラグが0であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。
このチェックを満足したときRDRFフラグが1にセットされ、RDRに受信データが格納されます。エラーチェックで受信エラーを発生すると、表12.11のように動作します。
エラーチェックで受信エラーを発生した状態では、以後の送信動作、受信動作のいずれも行うことができません。
- [3] RDRFフラグが1になったとき、SCRのRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求を発生します。
また、ORERフラグが1になったとき、SCRのRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求を発生します。

図 12.19 に SCI の受信時の動作例を示します。

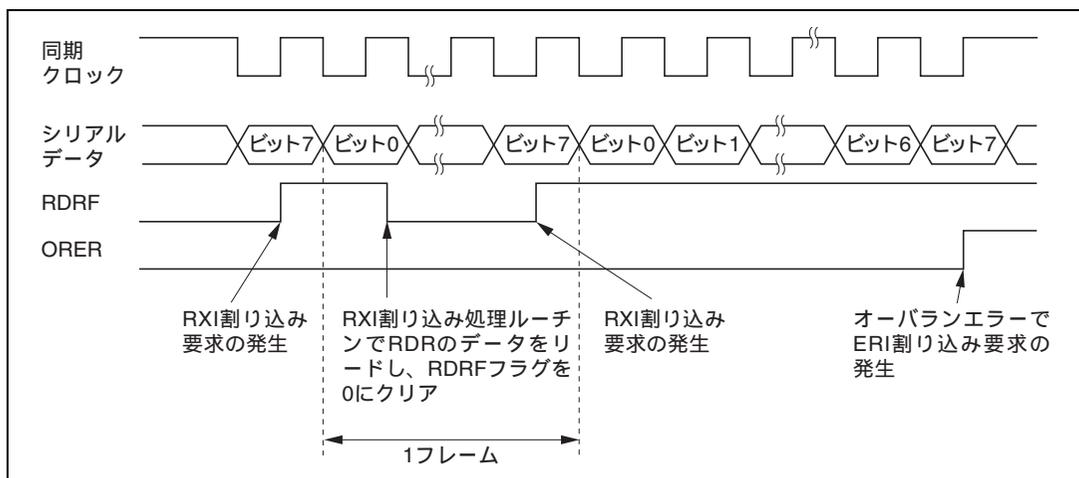


図 12.19 SCI の受信時の動作例

(d) シリアルデータ送受信同時動作 (クロック同期式)

図 12.20 にシリアル送受信同時動作のフローチャートの例を示します。
シリアルデータ送受信同時動作は、以下の手順に従って行ってください。

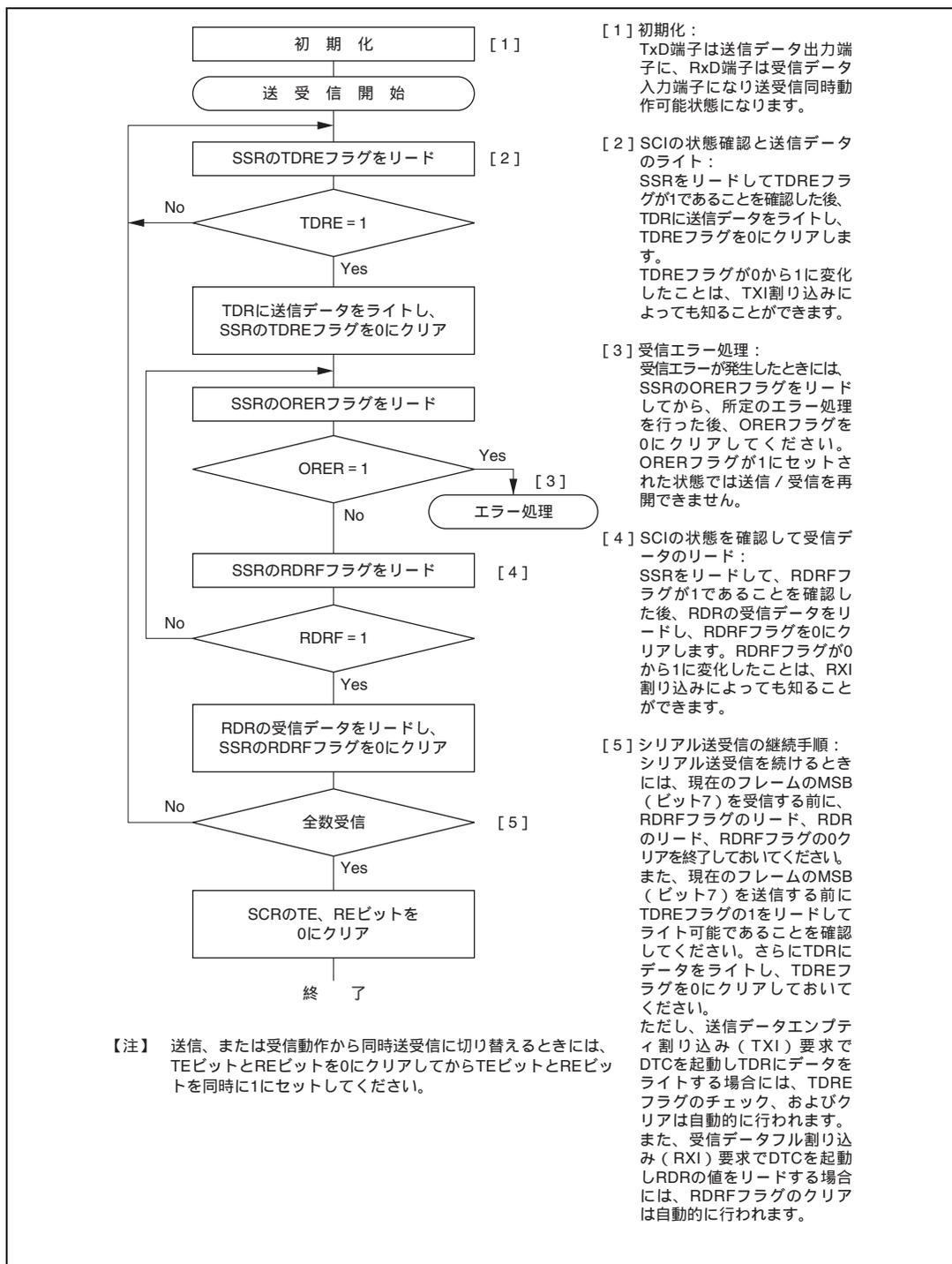


図 12.20 シリアル送受信同時動作のフローチャートの例

12.4 SCI 割り込み

SCI には、送信終了割り込み (TEI) 要求、受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、送信データエンブティ割り込み (TXI) 要求の 4 種類の割り込み要因があります。表 12.12 に各割り込み要因と優先順位を示します。各割り込み要因は、SCR の TIE ビット、RIE ビット、および TEIE ビットで許可または禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

SSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。TXI 割り込み要求により DTC を起動してデータ転送を行うことができます。TDRE フラグは DTC によるデータ転送時に自動的に 0 にクリアされます。なお、TEI 割り込み要求で DTC の起動はできません。

SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。SSR の ORER、PER、FER フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。RXI 割り込み要求で DTC を起動してデータ転送を行うことができます。RDRF フラグは DTC によるデータ転送時に自動的に 0 にクリアされます。なお、ERI 割り込み要求で DTC の起動はできません。

表 12.12 SCI 割り込み要因

チャンネル	割り込み要因	内 容	DTC の起動	優先順位*
0	ERI	受信エラー (ORER、FER、PER) による割り込み	不可	高 ↑ 低
	RXI	受信データフル (RDRF) による割り込み	可	
	TXI	送信データエンブティ (TDRE) による割り込み	可	
	TEI	送信終了 (TEND) による割り込み	不可	
1	ERI	受信エラー (ORER、FER、PER) による割り込み	不可	
	RXI	受信データフル (RDRF) による割り込み	可	
	TXI	送信データエンブティ (TDRE) による割り込み	可	
	TEI	送信終了 (TEND) による割り込み	不可	
2	ERI	受信エラー (ORER、FER、PER) による割り込み	不可	
	RXI	受信データフル (RDRF) による割り込み	可	
	TXI	送信データエンブティ (TDRE) による割り込み	可	
	TEI	送信終了 (TEND) による割り込み	不可	

【注】 * リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

TEI 割り込みは、TEIE ビットが 1 にセットされた状態で TEND フラグが 1 にセットされると要求されます。この TEND フラグのクリアは TDRE フラグと同時に行われます。このため、TEI 割り込みと TXI 割り込みが同時に要求されると TXI 割り込みが先に受け付けられ、TDRE フラグと TEND フラグがクリアされてしまう場合があります。このとき TEI 割り込みは受け付けられませんので注意してください。

12.5 使用上の注意

SCIを使用する際は、以下のことに注意してください。

(1) TDR へのライトと TDRE フラグの関係について

SSR の TDRE フラグは TDR から TSR に送信データの転送が行われたことを示すステータスフラグです。SCI が TDR から TSR にデータを転送すると、TDRE フラグが 1 にセットされます。

TDR へのデータのライトは、TDRE フラグの状態にかかわらず行うことができます。しかし、TDRE フラグが 0 の状態で新しいデータを TDR にライトすると、TDR に格納されていたデータは、まだ TSR に転送されていないため失われてしまいます。したがって TDR への送信データのライトは、必ず TDRE フラグが 1 にセットされていることを確認してから行ってください。

(2) 複数の受信エラーが同時に発生した場合の動作について

複数の受信エラーが同時に発生した場合、SSR の各ステータスフラグの状態は、表 12.13 のようになります。また、オーバランエラーが発生した場合には RSR から RDR へのデータ転送は行われず、受信データは失われます。

表 12.13 SSR のステータスフラグの状態と受信データの転送

SSR のステータスフラグ				受信データ転送	受信エラーの状態
RDRF	ORER	FER	PER	RSR→RDR	
1	1	0	0	x	オーバランエラー
0	0	1	0		フレーミングエラー
0	0	0	1		パリティエラー
1	1	1	0	x	オーバランエラー+フレーミングエラー
1	1	0	1	x	オーバランエラー+パリティエラー
0	0	1	1		フレーミングエラー+パリティエラー
1	1	1	1	x	オーバランエラー+フレーミングエラー+パリティエラー

【注】 : RSR→RDR に受信データを転送します。

x : RSR→RDR に受信データを転送しません。

(3) ブレークの検出と処理について (調歩同期式モードのみ)

フレーミングエラー (FER) 検出時に RxD 端子の値を直接リードすることで、ブレークを検出できます。ブレークでは、RxD 端子からの入力すべて 0 になりますので FER フラグがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCI は、ブレークを受信した後も受信動作を続けますので、FER フラグを 0 にクリアしても再び 1 にセットされますので、注意してください。

(4) ブレークの送り出し (調歩同期式モードのみ)

TxD 端子は、DR と DDR により入出力方向とレベルが決まる I/O ポートと兼用になっています。これを利用してブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセットするまでは、マーク状態を DR の値で代替します (TE ビットを 1 にセットするまで、TxD 端子として機能しません)。このため、最初は TxD 端子に対応するポートの DDR と DR を 1 に設定しておきます。

12. シリアルコミュニケーションインタフェース (SCI)

シリアル送信時にブ레이크を送り出したいときは DR を 0 にクリアした後、TE ビットを 0 にクリアします。

TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子は I/O ポートになり、TxD 端子から 0 が出力されます。

(5) 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (ORER、PER、FER) が 1 にセットされた状態では、TDRE フラグを 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。

また、RE ビットを 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

(6) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。これを図 12.21 に示します。

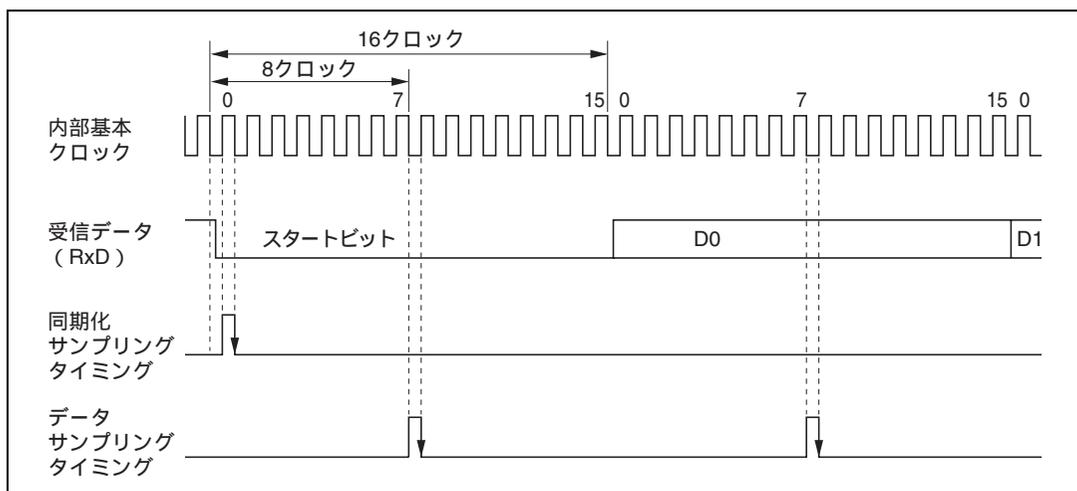


図 12.21 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\% \quad \dots \text{式 (1)}$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N = 16)

D : クロックデューティ (D = 0 ~ 1.0)

L : フレーム長 (L=9~12)

F : クロック周波数の偏差の絶対値

式 (1) で、F=0、D=0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D=0.5、F=0 のとき、

$$M = \left(0.5 - \frac{1}{2 \times 16} \right) \times 100\% \\ = 46.875\%$$

...式 (2)

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

(7) DTC 使用上の制約事項

(a) 同期クロックに外部クロックソースを使用する場合、DTC による TDR の更新後、φクロックで 5 クロック以上経過した後に、送信クロックを入力してください。TDR の更新後 4 クロック以内に送信クロックを入力すると、誤動作することがあります。(図 12.22)

(b) DTC により、RDR のリードを行うときは必ず起動要因を当該 SCI の受信完了割り込み (RXI) に設定してください。

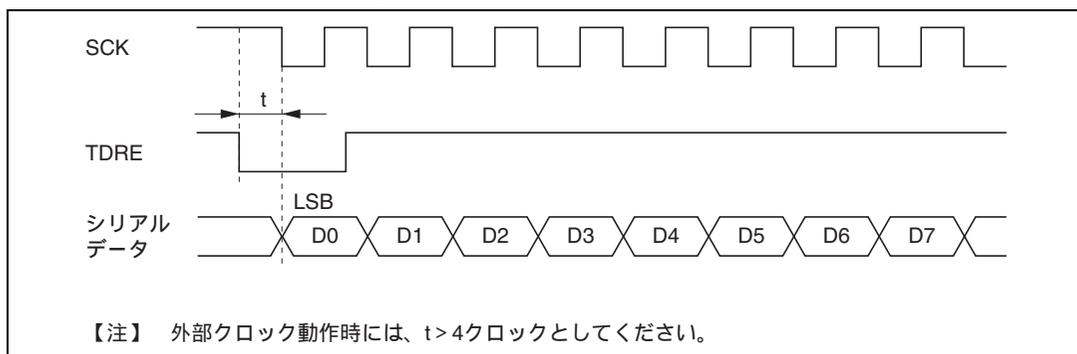


図 12.22 DTC によるクロック同期式送信時の例

13. スマートカードインタフェース

13.1 概要

SCI は、シリアルコミュニケーションインタフェースの拡張機能として、ISO/IEC 7816-3 (Identification Card) に準拠した IC カード (スマートカード) インタフェースをサポートしていません。

通常のシリアルコミュニケーションインタフェースとスマートカードインタフェースの切り替えはレジスタの設定で行います。

13.1.1 特長

本 LSI がサポートするスマートカードインタフェースには次の特長があります。

調歩同期式モード

- データ長 : 8 ビット
- パリティビットの生成およびチェック
- 受信モードにおけるエラーシグナル (パリティエラー) の送出
- 送信モードにおけるエラーシグナルの検出とデータの自動再送信
- ダイレクトコンベンション / インバースコンベンションの両方をサポート

内蔵ボーレートジェネレータにより任意のビットレートを選択可能

3 種類の割り込み要因

- 送信データエンプティ、受信データフル、送受信エラーの 3 種類の割り込み要因があり、それぞれ独立に要求可能
- 送信データエンプティ割り込みと受信データフル割り込みにより、データトランスファコントローラ (DTC) を起動させてデータを転送可能

13. スマートカードインタフェース

13.1.2 ブロック図

図 13.1 にスマートカードインタフェースのブロック図を示します。

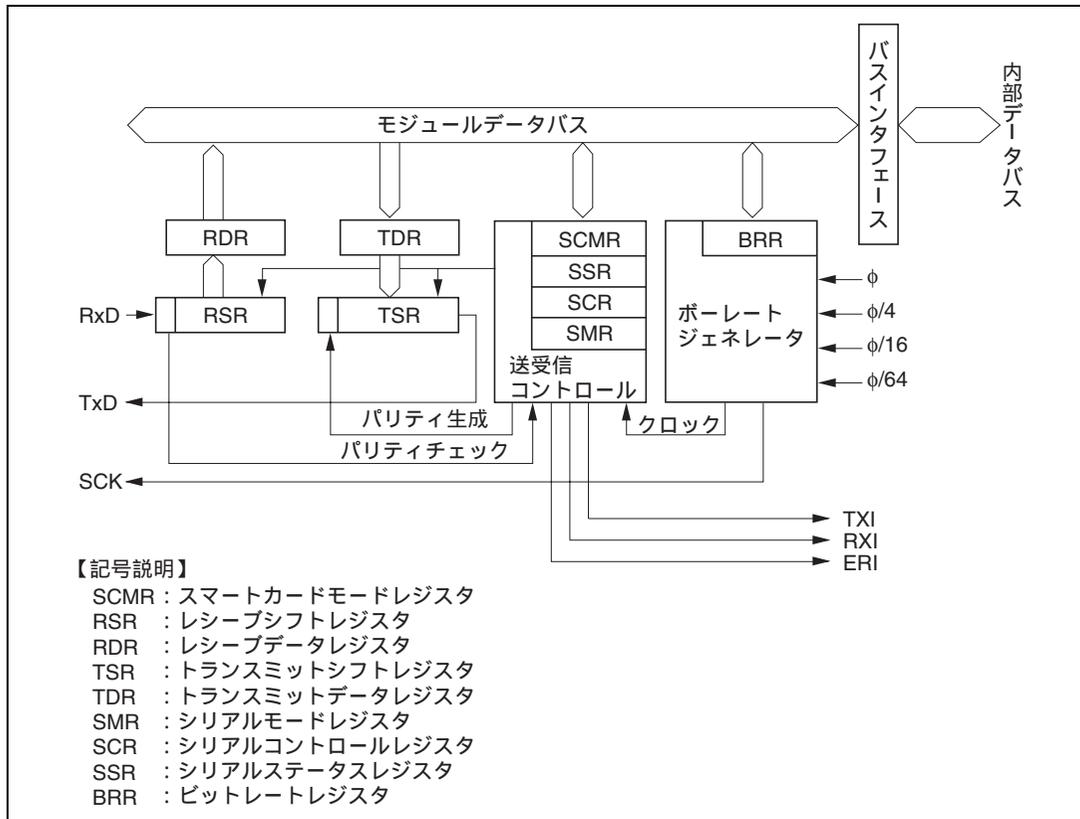


図 13.1 スマートカードインタフェースのブロック図

13.1.3 端子構成

スマートカードインタフェースの端子構成を表 13.1 に示します。

表 13.1 端子構成

チャンネル	名 称	記号	入出力	機 能
0	シリアルクロック端子 0	SCK0	入出力	SCI0 のクロック入出力
	レシーブデータ端子 0	RxD0	入力	SCI0 の受信データ入力
	トランスミットデータ端子 0	TxD0	出力	SCI0 の送信データ出力
1	シリアルクロック端子 1	SCK1	入出力	SCI1 のクロック入出力
	レシーブデータ端子 1	RxD1	入力	SCI1 の受信データ入力
	トランスミットデータ端子 1	TxD1	出力	SCI1 の送信データ出力
2	シリアルクロック端子 2	SCK2	入出力	SCI2 のクロック入出力
	レシーブデータ端子 2	RxD2	入力	SCI2 の受信データ入力
	トランスミットデータ端子 2	TxD2	出力	SCI2 の送信データ出力

13. スマートカードインタフェース

13.1.4 レジスタ構成

スマートカードインタフェースで使用するレジスタ構成を表 13.2 に示します。SMR、BRR、SCR、TDR、RDR、MSTPCR については、通常の SCI の機能と同様ですので、「第 12 章 シリアルコミュニケーションインタフェース (SCI)」のレジスタの説明を参照してください。

表 13.2 レジスタ構成

チャンネル	名 称	略称	R/W	初期値	アドレス*1
0	シリアルモードレジスタ 0	SMR0	R/W	H'00	H'FF78
	ビットレートレジスタ 0	BRR0	R/W	H'FF	H'FF79
	シリアルコントロールレジスタ 0	SCR0	R/W	H'00	H'FF7A
	トランスミットデータレジスタ 0	TDR0	R/W	H'FF	H'FF7B
	シリアルステータスレジスタ 0	SSR0	R/(W)*2	H'84	H'FF7C
	レシーブデータレジスタ 0	RDR0	R	H'00	H'FF7D
	スマートカードモードレジスタ 0	SCMR0	R/W	H'F2	H'FF7E
1	シリアルモードレジスタ 1	SMR1	R/W	H'00	H'FF80
	ビットレートレジスタ 1	BRR1	R/W	H'FF	H'FF81
	シリアルコントロールレジスタ 1	SCR1	R/W	H'00	H'FF82
	トランスミットデータレジスタ 1	TDR1	R/W	H'FF	H'FF83
	シリアルステータスレジスタ 1	SSR1	R/(W)*2	H'84	H'FF84
	レシーブデータレジスタ 1	RDR1	R	H'00	H'FF85
	スマートカードモードレジスタ 1	SCMR1	R/W	H'F2	H'FF86
2	シリアルモードレジスタ 2	SMR2	R/W	H'00	H'FF88
	ビットレートレジスタ 2	BRR2	R/W	H'FF	H'FF89
	シリアルコントロールレジスタ 2	SCR2	R/W	H'00	H'FF8A
	トランスミットデータレジスタ 2	TDR2	R/W	H'FF	H'FF8B
	シリアルステータスレジスタ 2	SSR2	R/(W)*2	H'84	H'FF8C
	レシーブデータレジスタ	RDR2	R	H'00	H'FF8D
	スマートカードモードレジスタ 2	SCMR2	R/W	H'F2	H'FF8E
共通	モジュールストップコントロールレジスタ	MSTPCR	R/W	H'3FFF	H'FF3C

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 フラグをクリアするための 0 ライトのみ可能です。

13.2 各レジスタの説明

スマートカードインタフェースで追加されるレジスタ、および機能が変更されるビットについて説明します。

13.2.1 スマートカードモードレジスタ (SCMR)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	SDIR	SINV	-	SMIF
初期値 :	1	1	1	1	0	0	1	0
R/W :	-	-	-	-	R/W	R/W	-	R/W

SCMR は、8 ビットのリード/ライト可能なレジスタで、スマートカードインタフェースの機能の選択を行います。

SCMR は、リセット、スタンバイモード、またはモジュールストップモード時に、HF2 に初期化されます。

ビット 7~4: リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

ビット 3: スマートカードデータトランスファディレクション (SDIR)

シリアル/パラレル変換のフォーマットを選択します。

ビット 3	説明
SDIR	
0	TDR の内容を LSB ファーストで送信 受信データを LSB ファーストとして RDR に格納 (初期値)
1	TDR の内容を MSB ファーストで送信 受信データを MSB ファーストとして RDR に格納

ビット 2: スマートカードデータインバート (SINV)

データのロジックレベルの反転を指定します。この機能は、SDIR ビットと組み合わせインバースコンベンションカードとの送受信に使用します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティに関する設定方法については、「13.3.4 レジスタの設定」を参照してください。

ビット 2	説明
SINV	
0	TDR の内容をそのまま送信 受信データをそのまま RDR に格納 (初期値)
1	TDR の内容を反転してデータを送信 受信データを反転して RDR に格納

13. スマートカードインタフェース

ビット1：リザーブビット

リードすると常に1が読み出されます。ライトは無効です。

ビット0：スマートカードインタフェースモードセレクト (SMIF)

スマートカードインタフェース機能を許可または禁止するビットです。

ビット0	説明
SMIF	
0	スマートカードインタフェース機能を禁止 (初期値)
1	スマートカードインタフェース機能を許可

13.2.2 シリアルステータスレジスタ (SSR)

ビット：	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
初期値：	1	0	0	0	0	1	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】* フラグをクリアするための0ライトのみ可能です。

スマートカードインタフェースモードにおいては、SSRのビット4の機能が変更されます。また、これに関連してビット2のTENDのセット条件が変更になります。

ビット7～5：

通常のSCIと同様の動作をします。詳細は「12.2.7 シリアルステータスレジスタ (SSR)」を参照してください。

ビット4：エラーシグナルステータス (ERS)

スマートカードインタフェースモードでは、送信時に受信側から送り返されるエラーシグナルのステータスを示します。なお、スマートカードインタフェースではフレーミングエラーは検出しません。

ビット4	説明
ERS	
0	正常に受信され、エラーシグナルがないことを表示 [クリア条件] (1) リセット、スタンバイモード、またはモジュールストップモード時 (2) ERS = 1の状態をリードした後、0をライトしたとき (初期値)
1	受信側からパリティエラーの検出を示すエラーシグナルが送出されたことを表示 [セット条件] エラーシグナル Low をサンプリングしたとき

【注】 SCRのTEビットを0にクリアしても、ERSフラグは影響を受けず以前の状態を保持します。

ビット3~0:

通常の SCI と同様の動作をします。詳細は「12.2.7 シリアルステータスレジスタ (SSR)」を参照してください。

ただし、TEND ビットのセット条件は次のようになります。

ビット2	説明
TEND	
0	送信中であることを表示 [クリア条件] (1) TDRE = 1 の状態をリードした後、TDRE フラグに 0 をライトしたとき (2) TXI 割り込み要求による DTC で TDR ヘデータをライトしたとき
1	送信を終了したことを表示 [セット条件] (初期値) (1) リセット、スタンバイモード、またはモジュールストップモード時 (2) SCR の TE ビットが 0 かつ ERS ビットが 0 のとき (3) GM = 0 のとき 1 バイトのシリアルキャラクタを送信して、2.5etu 後に TDRE = 1 かつ ERS = 0 (正常送信) のとき (4) GM = 1 のとき 1 バイトのシリアルキャラクタを送信して、1.0etu 後に TDRE = 1 かつ ERS = 0 (正常送信) のとき

【注】 etu : Elementary Time Unit (1 ビットの転送期間)

13.2.3 シリアルモードレジスタ (SMR)

ビット :	7	6	5	4	3	2	1	0
	GM	CHR	PE	O/E	STOP	MP	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
設定値* :	GM	0	1	O/E	1	0	CKS1	CKS0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】* スマートカードインタフェースを使用する場合は、ビット6、5、3、2に対して設定値に示す0または1の値を必ず設定してください。

スマートカードインタフェースモードにおいては、SMR のビット 7 の機能が変更されます。

13. スマートカードインタフェース

ビット7：GSMモード（GM）

スマートカードインタフェース機能を GSM モードに設定します。

通常のスマートカードインタフェース時は 0 に設定します。GSM モードは、本ビットを 1 に設定し、送信完了を示す TEND フラグのセットタイミングの前倒しと、クロック出力の制御モードの追加を行います。クロック出力の制御モードの追加内容は、シリアルコントロールレジスタ（SCR）のビット 1 およびビット 0 で指定します。

ビット7	説明
GM	
0	通常のスマートカードインタフェースモードの動作 (1) TEND フラグが開始ビットの先頭から 12.5etu のタイミングで発生 (2) クロック出力の ON/OFF 制御のみ (初期値)
1	GSM モードのスマートカードインタフェースモードの動作 (1) TEND フラグが開始ビットの先頭から 11.0etu のタイミングで発生 (2) クロック出力の ON/OFF 制御のほか、High/Low 固定制御可能（SCR で設定）

【注】 etu：Elementary time unit（1ビットの転送期間）

ビット6～0：

通常の SCI と同様の動作をします。詳細は「12.2.5 シリアルモードレジスタ（SMR）」を参照してください。

13.2.4 シリアルコントロールレジスタ（SCR）

ビット：	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

スマートカードインタフェースモードで、シリアルモードレジスタ（SMR）のビット 7 が 1 のときに、SCR のビット 1 およびビット 0 の機能が変更されます。

ビット7～2：

通常の SCI と同様の動作をします。詳細は「12.2.6 シリアルコントロールレジスタ（SCR）」を参照してください。

ビット1、0：クロックイネーブル1、0（CKE1、CKE0）

SCI のクロックソースの選択、および SCK 端子からのクロック出力の許可 / 禁止を設定します。

スマートカードインタフェースモード時では、通常のクロック出力の許可 / 禁止切り替えのほか、クロック出力の High レベル固定と Low レベル固定を設定することができます。

SCMR	SMR	SCR の設定		SCK 端子機能の説明
SMIF	C/ \bar{A} 、GM	CKE1	CKE0	
0				SCI 指定参照
1	0	0	0	ポート入出力端子として動作
1	0	0	1	SCK 出力端子としてクロック出力
1	1	0	0	SCK 出力端子として Low 出力固定
1	1	0	1	SCK 出力端子としてクロック出力
1	1	1	0	SCK 出力端子として High 出力固定
1	1	1	1	SCK 出力端子としてクロック出力

13.3 動作説明

13.3.1 概要

スマートカードインタフェースの主な機能は次のとおりです。

- (1) 1フレームは、8ビットデータとパリティビットで構成されます。
- (2) 送信時は、パリティビットの終了から次のフレーム開始まで2etu (Elementary Time Unit : 1ビットの転送期間) 以上のガードタイムをおきます。
- (3) 受信時はパリティエラーを検出した場合、スタートビットから10.5etu経過後、エラーシグナルLowを1etu期間出力します。
- (4) 送信時はエラーシグナルをサンプリングすると、2etu以上経過後、自動的に同じデータを送信します。
- (5) 調歩同期式非同期通信機能のみサポートし、クロック同期式通信機能はありません。

13.3.2 端子接続

図 13.2 にスマートカードインタフェースに関する端子接続概略図を示します。

IC カードとの通信においては、1本のデータ伝送線で送信と受信が行われるので、LSI 端子で TxD 端子と RxD 端子とを結線してください。また、データ伝送線は、抵抗で電源 V_{CC} 側にプルアップしてください。

スマートカードインタフェースで生成するクロックを IC カードで使用する場合は、SCK 端子出力を IC カードの CLK 端子に入力します。IC カードで、内部クロックを使用する場合は接続不要です。

リセット信号としては、LSI のポート出力を使用します。

端子としては、これ以外に通常、電源とグラウンドの接続が必要です。

13. スマートカードインタフェース

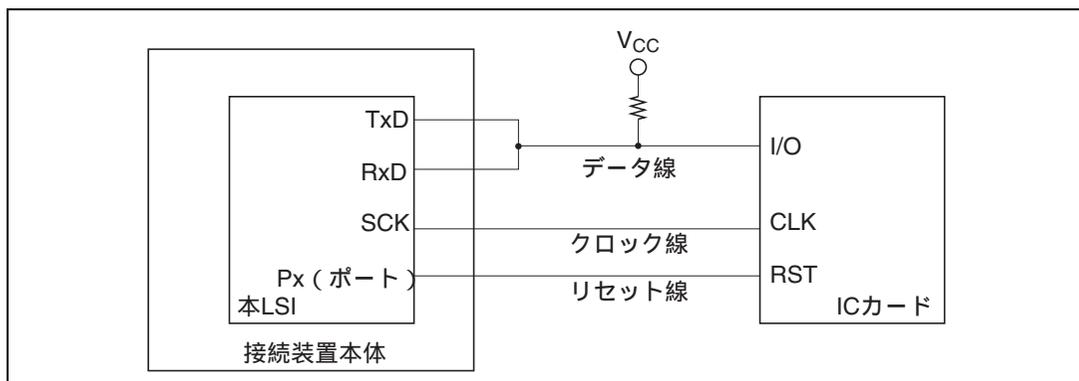


図 13.2 スマートカードインタフェース端子接続概略図

【注】 ICカードを接続しないで、RE = TE = 1 に設定すると、閉じた送信 / 受信が可能となり自己診断をすることができます。

13.3.3 データフォーマット

図 13.3 にスマートカードインタフェースのデータフォーマットを示します。このモードでは、受信時は 1 フレームごとにパリティチェックを行い、エラーが検出された場合、送信側に対してエラーシグナルを送り返し、データの再送信要求をします。送信時は、エラーシグナルをサンプリングすると同じデータを再送信します。

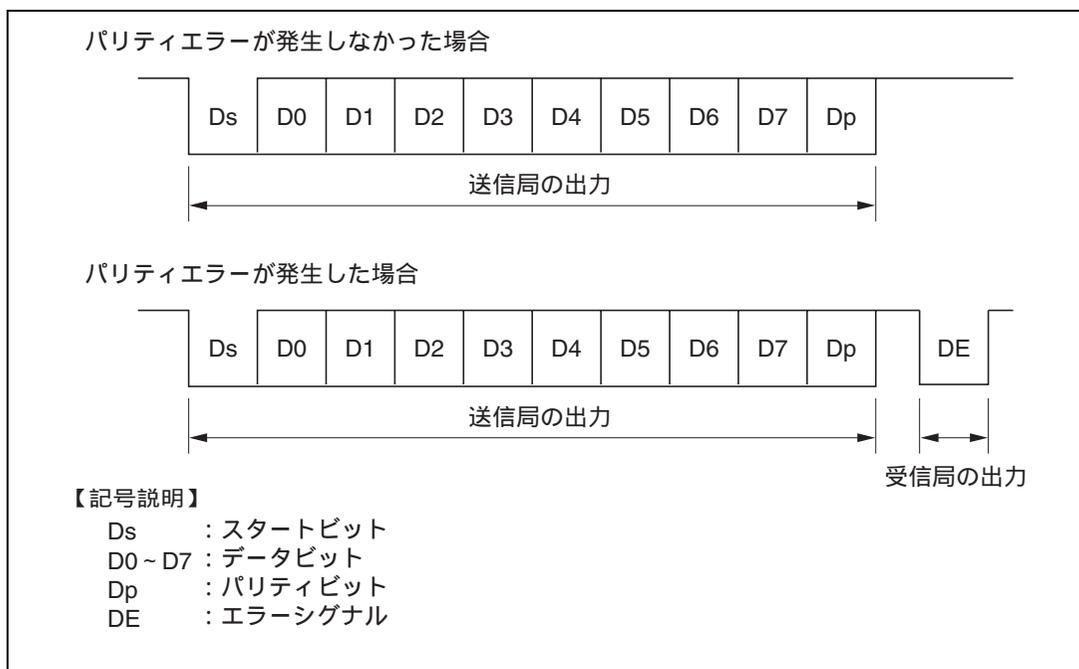


図 13.3 スマートカードインタフェースのデータフォーマット

動作シーケンスは次のようになっています。

- [1] データ線は、未使用時にはハイインピーダンス状態であり、プルアップ抵抗によりHighレベルに固定されます。
- [2] 送信側は、1フレームのデータ送信を開始します。データのフレームは、スタートビット (Ds、Lowレベル) から開始します。この後に、8ビットのデータビット (D0～D7) とパリティビット (Dp) が続きます。
- [3] スマートカードインタフェースでは、この後にデータ線をハイインピーダンスに戻します。データ線はプルアップ抵抗によりHighレベルになります。
- [4] 受信側は、パリティチェックを行います。
パリティエラーが無く正常に受信した場合、そのまま次のデータ受信を待ちます。
一方、パリティエラーが発生した場合は、エラーシグナル (DE、Lowレベル) を出力し、データの再送信を要求します。受信局は、規定の期間エラーシグナルを出力した後、再び信号線をハイインピーダンスにします。信号線はプルアップ抵抗によりHighレベルに戻ります。
- [5] 送信側は、エラーシグナルを受信しなかった場合、次のフレームのデータ送信に移ります。一方、エラーシグナルを受信した場合は、[2] に戻りエラーとなったデータを再送信します。

13.3.4 レジスタの設定

スマートカードインタフェースで使用するレジスタのビットマップを表 13.3 に示します。

0 または 1 が表示されているビットは、必ず表示されている値を設定してください。以下にそれ以外のビットの設定方法について説明します。

表 13.3 スマートカードインタフェースでのレジスタ設定

レジスタ	ビット							
	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
SMR	GM	0	1	O \bar{E}	1	0	CKS1	CKS0
BRR	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0
SCR	TIE	RIE	TE	RE	0	0	CKE1*	CKE0
TDR	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0
SSR	TDRE	RDRF	ORER	ERS	PER	TEND	0	0
RDR	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0
SCMR	-	-	-	-	SDIR	SINV	-	SMIF

【注】 - : 未使用ビットを示します。

* : SMR の GM を 0 に設定したときは、必ず CKE1 ビットを 0 にしてください。

(1) SMR の設定

GM ビットは、通常のスマートカードインタフェースモード時は 0 を設定し、GSM モード時は 1 を設定します。O \bar{E} ビットは、IC カードがダイレクトコンベンション時には 0 を設定し、インバースコンベンション時には 1 を設定します。

CKS1、CKS0 ビットは、内蔵ポーレートジェネレータのクロックソースを選択します。「13.3.5 クロック」を参照してください。

13. スマートカードインタフェース

(2) BRR の設定

ビットレートを設定します。設定値の算出方法は「13.3.5 クロック」を参照してください。

(3) SCR の設定

TIE、RIE、TE、RE ビットの機能は通常の SCI と同様です。詳細は「第 12 章 シリアルコミュニケーションインタフェース」を参照してください。

CKE1、CKE0 ビットはクロック出力を指定します。SMR の GM ビットが 0 にクリアされているとき、クロックを出力しない場合は B'00 に設定し、クロックを出力する場合は B'01 に設定します。SMR の GM ビットが 1 にセットされているとき、クロック出力を行います。クロック出力を Low レベルまたは High レベルに固定することもできます。

(4) スマートカードモードレジスタ (SCMR) の設定

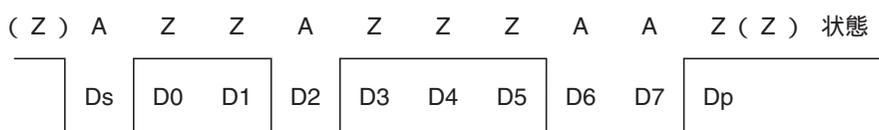
SDIR ビットは、IC カードがダイレクトコンベンション時は 0 を設定し、インバースコンベンション時は 1 を設定します。

SINV ビットは IC カードがダイレクトコンベンション時は 0 を設定し、インバースコンベンション時は 1 を設定します。

SMIF ビットはスマートカードインタフェースの場合 1 を設定します。

以下に、2 種類の IC カード (ダイレクトコンベンションタイプとインバースコンベンションタイプ) に対するレジスタ設定値と、開始キャラクタでの波形例を示します。

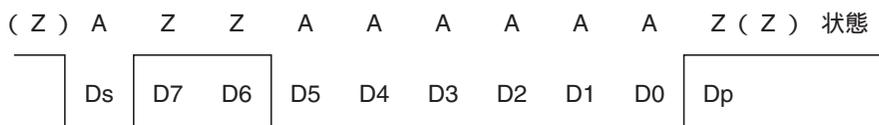
(a) ダイレクトコンベンション (SDIR = SINV = O/\bar{E} = 0)



ダイレクトコンベンションタイプは、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信する方式です。上記の開始キャラクタのデータは H'3B となります。

パリティビットは、スマートカードの規格により偶数パリティで 1 となります。

(b) インバースコンベンション (SDIR = SINV = O/\bar{E} = 1)



インバースコンベンションタイプは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信する方式です。上記の開始キャラクタのデータは H'3F となります。

パリティビットは、スマートカードの規格により偶数パリティで論理 0 となり、状態 Z が対応します。

なお、本 LSI では、SINV ビットによる反転はデータビット D7 ~ D0 のみとなっています。パリティビットの反転のために SMR の O/\bar{E} ビットを奇数パリティモードに設定します (送信、受信とも同様です)。

13.3.5 クロック

スマートカードインタフェースにおける送受信クロックは、内蔵ポーレートジェネレータの生成した内部クロックのみ使用できます。このとき、ビットレートはBRRとSMRのCKS1、CKS0ビットで設定され、以下に示す計算式になります。ビットレートの例を表13.5に示します。

このときCKE0=1でクロック出力を選択すると、SCK端子からはビットレートの372倍の周波数のクロックが出力されます。

$$B = \frac{\phi}{1488 \times 2^{2n-1} \times (N+1)} \times 10^6$$

ただし、N=BRRの設定値(0 N 255)

B=ビットレート(bit/s)

ϕ =動作周波数(MHz)

n=表13.4を参照

表 13.4 nとCKS1、CKS0の対応表

n	CKS1	CKS0
0	0	0
1		1
2	1	0
3		1

表 13.5 BRRの設定に対するビットレートB(bit/s)の例(ただし、n=0のとき)

N	ϕ (MHz)						
	10.00	10.714	13.00	14.285	16.00	18.00	20.00
0	13441	14400	17473	19200	21505	24194	26882
1	6720	7200	8737	9600	10753	12097	13441
2	4480	4800	5824	6400	7168	8065	8961

【注】ビットレートは、小数点以下1桁目を四捨五入した数値です。

一方、動作周波数とビットレートからビットレートレジスタ(BRR)の設定値を算出する式は次のようになります。ただし、Nは整数値、0 N 255であり、誤差の小さい方を指定します。

$$N = \frac{\phi}{1488 \times 2^{2n-1} \times B} \times 10^6 - 1$$

表 13.6 ビットレートB(bit/s)に対するBRRの設定例(ただし、n=0のとき)

bit/s	ϕ (MHz)															
	7.1424		10.00		10.7136		13.00		14.2848		16.00		18.00		20.00	
	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差
9600	0	0.00	1	30	1	25	1	8.99	1	0.00	1	12.01	2	15.99	2	6.60

13. スマートカードインタフェース

表 13.7 各周波数における最大ビットレート (スマートカードインタフェースモード時)

ϕ (MHz)	最大ビットレート (bit/s)	N	n
7.1424	9600	0	0
10.00	13441	0	0
10.7136	14400	0	0
13.00	17473	0	0
14.2848	19200	0	0
16.00	21505	0	0
18.00	24194	0	0
20.00	26882	0	0

ビットレート誤差は以下の計算式で求められます。

$$\text{誤差 (\%)} = \left(\frac{\phi}{1488 \times 2^{2n-1} \times B \times (N+1)} \times 10^6 - 1 \right) \times 100$$

13.3.6 データの送信 / 受信動作

(1) 初期設定

データの送受信の前に、以下の手順で SCI を初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。

- [1] SCRのTE、REビットを0にクリアします。
- [2] SSRのエラーフラグERS、PER、ORERを0にクリアしてください。
- [3] SMRのO \bar{E} ビットとCKS1、CKS0ビットを設定してください。このとき、C \bar{A} 、CHR、MPビットは0に、STOP、PEビットは1に設定してください。
- [4] SCMRのSMIF、SDIR、SINVビットを設定してください。
SMIFビットを1にセットすると、TxD端子およびRxD端子はともにポートからSCIの端子に切り替えられ、ハイインピーダンス状態となります。
- [5] ビットレートに対応する値をBRRに設定します。
- [6] SCRのCKE0ビットを設定してください。このとき、TIE、RIE、TE、RE、MPIE、TEIE、CKE1ビットは、0に設定してください。
CKE0ビットを1にセットした場合は、SCK端子からクロック出力されます。
- [7] 少なくとも1ビット期間待ってから、SCRのTIE、RIE、TE、REビットを設定してください。
自己診断以外はTEビットとREビットを同時にセットしないでください。

(2) シリアルデータ送信

スマートカードモードにおけるデータ送信では、エラーシグナルのサンプリングと再送信処理があるため、通常の SCI とは処理手順が異なります。送信処理フローの例を図 13.4 に示します。

また、送信動作と内部レジスタの関連を図 13.5 に示します。

- [1] (1) の手順に従いスマートカードインタフェースモードに初期化します。
- [2] SSRのエラーフラグERSが0にクリアされていることを確認してください。
- [3] SSRのTENDフラグが1にセットされていることが確認できるまで、[2]、[3] を繰り返してください。
- [4] TDRに送信データをライトして、TDREフラグを0にクリアし送信動作を行います。このとき、TENDフラグは0にクリアされます。
- [5] 連続してデータを送信する場合は、[2] に戻ってください。
- [6] 送信を終了する場合は、TEビットを0にクリアします。

以上の一連の処理は、割り込み処理または DTC によるデータ転送が可能です。

TIE ビットを 1 にセットし、割り込み要求を許可しておいたとき、送信が終了し TEND フラグが 1 にセットされると、送信データエンプティ割り込み (TXI) 要求が発生します。RIE ビットを 1 にセットし、割り込み要求を許可しておいたとき、送信時にエラーが発生し、ERS フラグが 1 にセットされると、送受信エラー割り込み (ERI) 要求が発生します。SMR の GM ビットにより、TEND フラグのセットタイミングが異なります。図 13.6 に TEND タイミングを示します。

TXI 要求で DTC を起動する場合、自動再転送を含め DTC に設定したバイト数を自動的に送信することができます。

詳細は「(6) 割り込み動作」、「(7) DTC によるデータ転送動作」を参照してください。

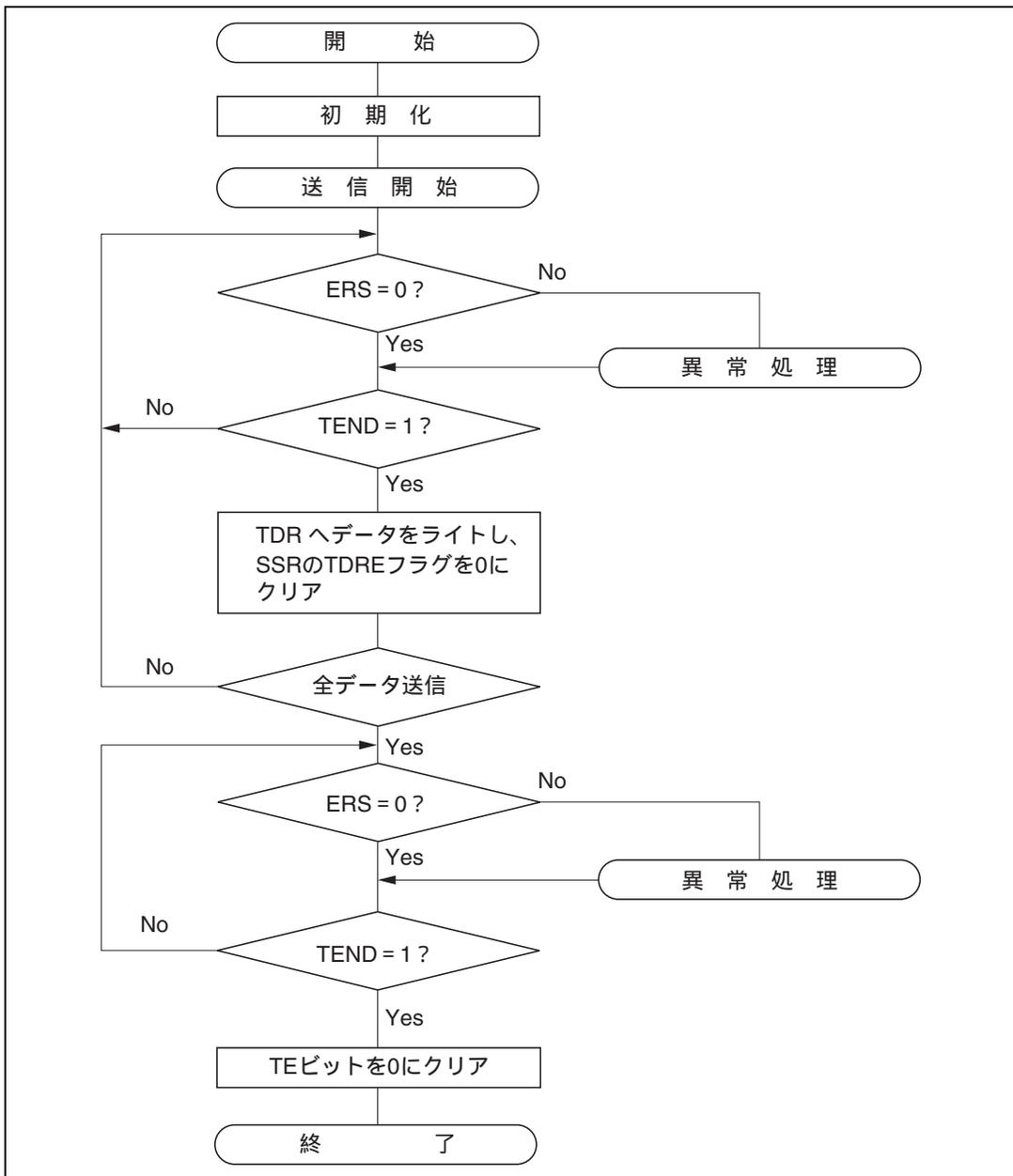


図 13.4 送信処理フローの例

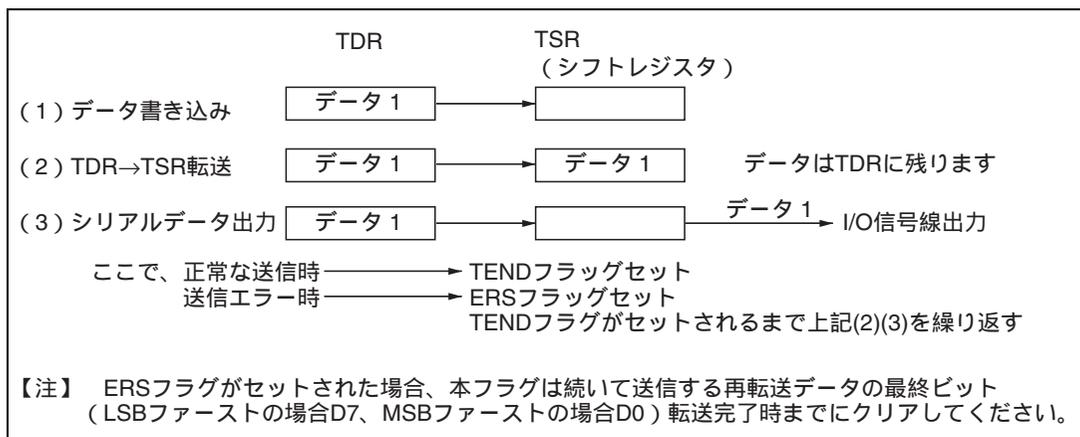


図 13.5 送信動作と内部レジスタの関連

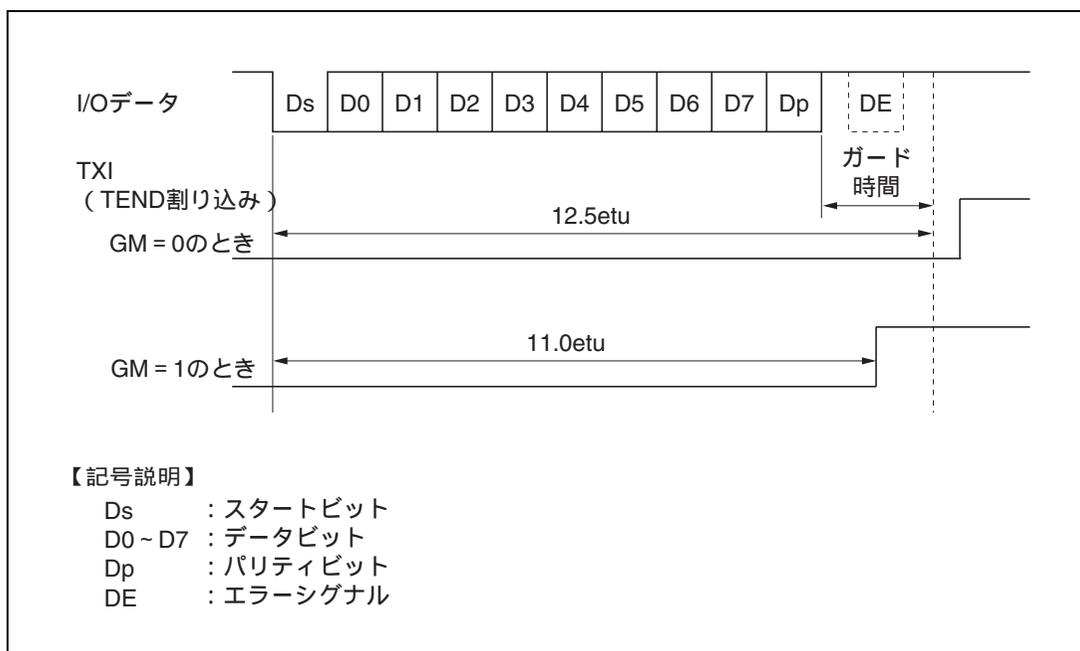


図 13.6 送信動作時の TEND フラグ発生タイミング

13. スマートカードインタフェース

(3) シリアルデータ受信

スマートカードモードのデータ受信は、通常の SCI と同様の処理手順になります。受信処理フローの例を図 13.7 に示します。

- [1] SCIを(1)に従いスマートカードインタフェースモードに初期化します。
- [2] SSRのORERフラグとPERフラグが0であることを確認してください。どちらかのフラグがセットされている場合は、所定の受信異常処理を行った後、ORERとPERフラグをすべて0にクリアしてください。
- [3] RDRFフラグが1であることを確認できるまで [2]、[3] を繰り返してください。
- [4] RDRから受信データをリードしてください。
- [5] 継続してデータを受信する場合は、RDRFフラグを0にクリアして [2] の手順に戻ってください。
- [6] 受信を終了する場合は、REビットを0にクリアします。

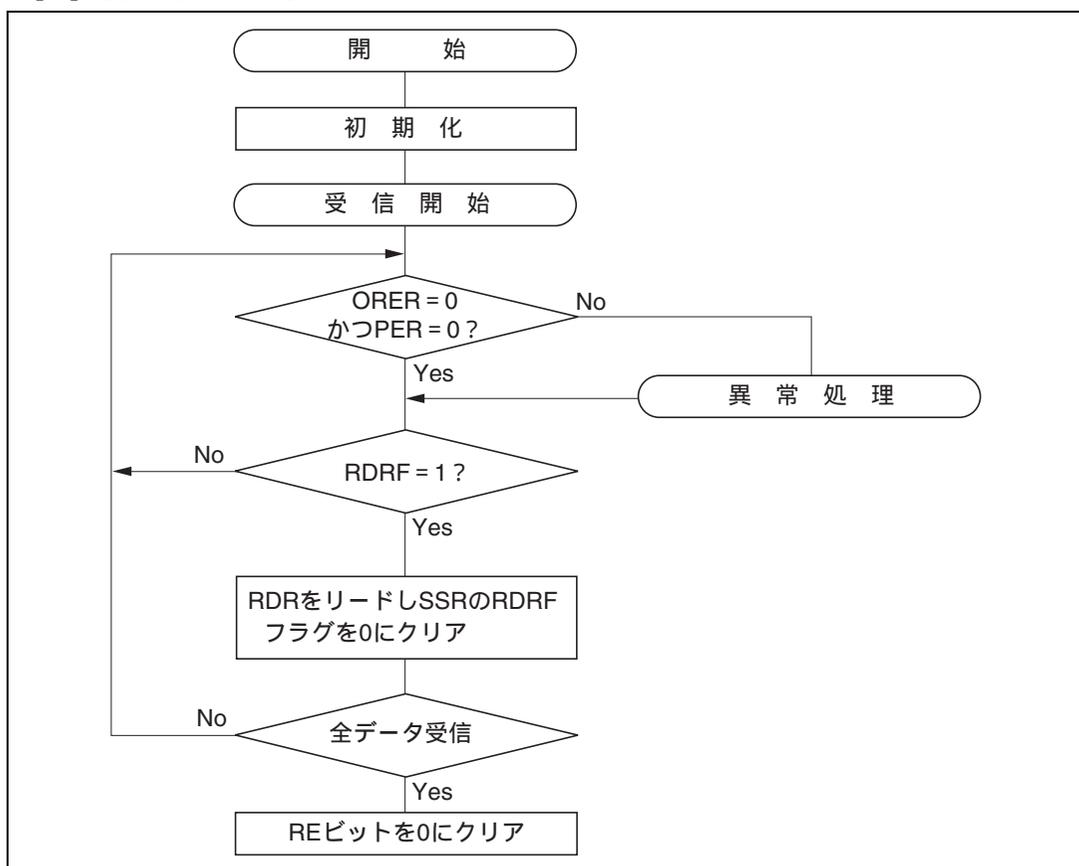


図 13.7 受信処理フローの例

以上の一連の処理は、割り込み処理または DTC によるデータ転送が可能です。

RIE ビットを 1 にセットし、割り込み要求を許可しておいたとき受信が終了し、RDRF フラグが 1 にセットされると、受信データフル割り込み (RXI) 要求が発生します。また、受信時にエラーが発生し ORER、PER フラグのいずれかが 1 にセットされると、送受信エラー割り込み (ERI) 要求が発生します。

RXI 要求で DTC を起動する場合、エラーの発生した受信データをスキップして DTC に設定したバイト数だけ受信データを転送します。

詳細は「(6) 割り込み動作」、「(7) DTC によるデータ転送動作」を参照してください。

なお、受信時にパリティエラーが発生し PER が 1 にセットされた場合でも、受信したデータは RDR に転送されるのでこのデータをリードすることは可能です。

(4) モード切り替え動作

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、RE=0、TE=1 に設定してください。受信動作の完了は、RDRF フラグ、あるいは PER、ORER フラグで確認できます。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE=0、RE=1 に設定してください。送信動作の完了は TEND フラグで確認できます。

(5) クロック出力の固定

SMR の GM ビットが 1 にセットされているとき、SCR の CKE1、CKE0 ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 13.8 にクロック出力の固定タイミングを示します。GM=1、CKE=1 とし、CKE0 ビットを制御した場合の例です。

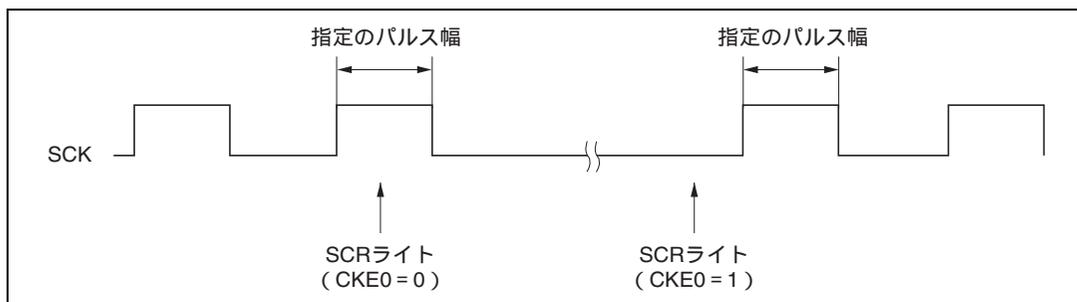


図 13.8 クロック出力固定タイミング

(6) 割り込み動作

スマートカードインタフェースモードでは、送信データエンpty割り込み (TXI) 要求、送受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求の 3 種類の割り込み要因があります。なお、本モードでは、送信終了割り込み (TEI) 要求は使用できません。

SSR の TEND フラグが 1 にセットされると、TXI 割り込み要求が発生します。

SSR の RDRF フラグが 1 にセットされると、RXI 割り込み要求が発生します。

SSR の ORER、PER、ERS フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。これらの関係を表 13.8 に示します。

13. スマートカードインタフェース

表 13.8 スマートカードインタフェースモードの動作状態と割り込み要因

動作状態		フラグ	許可ビット	割り込み要因	DTC の 起動
送信モード	正常動作	TEND	TIE	TXI	可
	エラー	ERS	RIE	ERI	不可
受信モード	正常動作	RDRF	RIE	RXI	可
	エラー	PER、ORER	RIE	ERI	不可

(7) DTC によるデータ転送動作

スマートカードモードの場合も通常の SCI の場合と同様に、DTC を使って送受信を行うことができます。送信動作では、SSR の TEND フラグが 1 にセットされると同時に TDRE フラグもセットされ、TXI 割り込みが発生します。あらかじめ DTC の起動要因に TXI 要求を設定しておけば、TXI 要求により DTC が起動されて送信データの転送を行います。TDRE および TEND フラグは、DTC によるデータ転送時に自動的に 0 にクリアされます。エラーが発生した場合は SCI が自動的に同じデータを再送信します。ただし、エラー発生時、ERS フラグは自動的にクリアされませんので、RIE ビットを 1 にセットしておき、エラー発生時に ERI 要求を発生させ、ERS をクリアしてください。なお、DTC を使って送受信を行う場合は、必ず先に DTC を設定し、許可状態にしてから SCI の設定を行ってください。DTC の設定方法は「第 7 章 データトランスファコントローラ (DTC)」を参照してください。

また、受信動作では、SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。あらかじめ DTC の起動要因に RXI 要求を設定しておけば、RXI 要求で DTC が起動されて受信データの転送を行います。RDRF フラグは、DTC によるデータ転送時に、自動的に 0 にクリアされます。エラーが発生した場合は、RDRF フラグはセットされずエラーフラグがセットされます。そのため DTC は起動されず、かわりに CPU に対し ERI を発生しますのでエラーフラグをクリアしてください。

13.3.7 GSM モード時の動作

(1) モード切り替え時

スマートカードインタフェースモードとソフトウェアスタンバイ間でモード切り替えを行う際、クロックデューティを保持するため、下記の切り替え手順で処理してください。

(a) スマートカードインタフェースモードからソフトウェアスタンバイモードに遷移する時

- [1] SCK 端子に対応するデータレジスタ (DR) とデータディレクションレジスタ (DDR) をソフトウェアスタンバイモード時の出力固定状態の値に設定してください。
- [2] SCR の TE ビットと RE ビットに 0 を書き込み、送信 / 受信動作を停止させてください。同時に、CKE1 ビットをソフトウェアスタンバイ時の出力固定状態の値に設定してください。
- [3] SCR の CKE0 ビットに 0 を書き込み、クロックを停止させてください。
- [4] シリアルクロックの 1 クロック周期の間、待ってください。
この間に、デューティを守って、指定のレベルでクロック出力は固定されます。
- [5] SMR と SCMR に H'00 を書き込んでください。
- [6] ソフトウェアスタンバイ状態に遷移させてください。

(b) ソフトウェアスタンバイモードからスマートカードインタフェースモードに戻す時

- [7] ソフトウェアスタンバイ状態を解除してください。
- [8] SCRのCKE1ビットをソフトウェアスタンバイモード開始時の出力固定状態（現在のSCK端子の状態）の値に設定してください。
- [9] スマートカードインタフェースモードに設定し、クロックを出力させてください。正常なデューティにて信号発生を開始します。

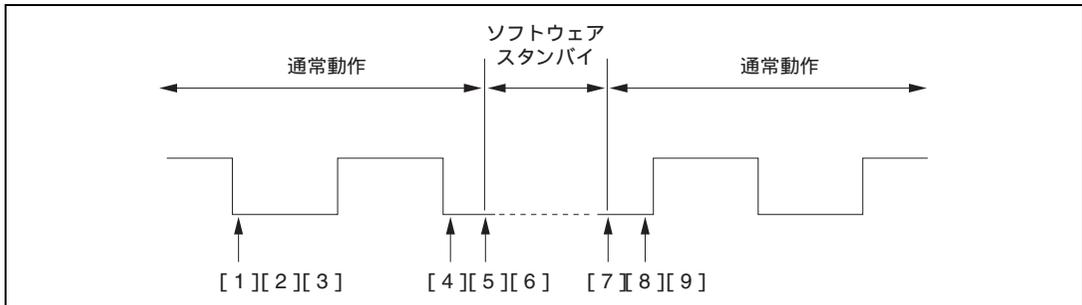


図 13.9 クロック停止・再起動手順

(2) 電源投入時

電源投入時からクロックデューティを確保するため、下記の切り替え手順で処理をしてください。

- [1] 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗 / プルダウン抵抗を使用してください。
- [2] SCRのCKE1ビットでSCK端子を指定の出力に固定してください。
- [3] SMRとSCMRをセットし、スマートカードモードの動作に切り替えてください。
- [4] SCRのCKE0ビットを1に設定して、クロック出力を開始させてください。

13.4 使用上の注意

SCI をスマートカードインタフェースとして使用する際は、以下のことに注意してください。

- (1) スマートカードインタフェースモードの受信データサンプリングタイミングと受信マージン
 スマートカードインタフェースモードでは、SCI は転送レートの 372 倍の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 186 クロック目の立ち上がりエッジで内部に取り込みます。これを図 13.10 に示します。

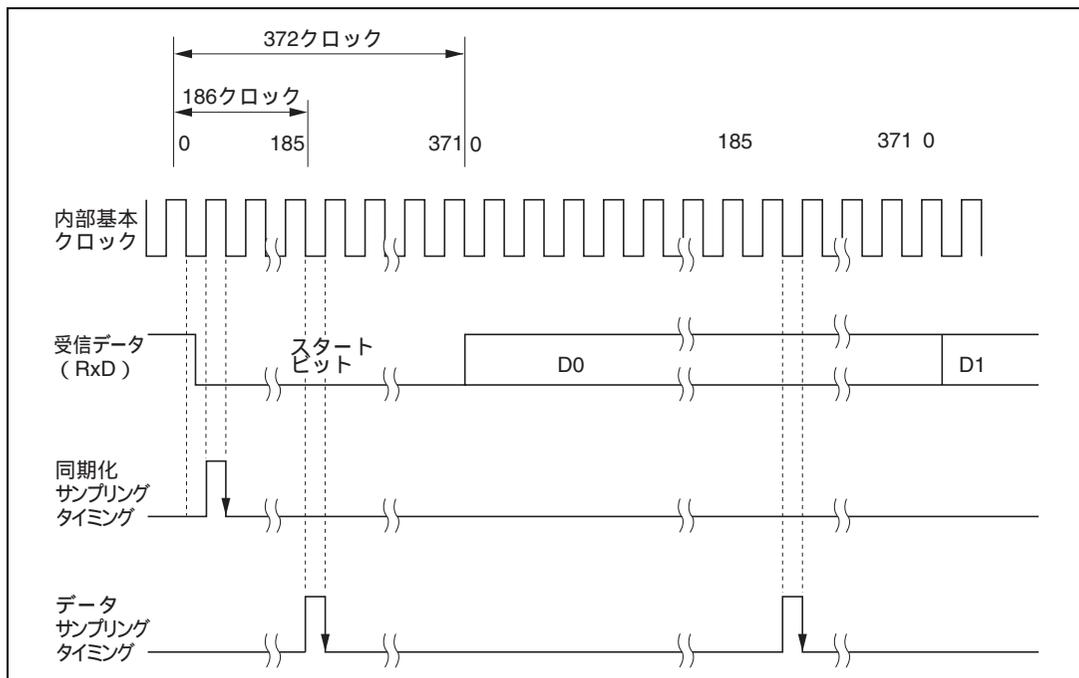


図 13.10 スマートカードインタフェースモード時の受信データサンプリングタイミング

したがって、受信マージンは、次の式のように表すことができます。

スマートカードインタフェースモード時の受信マージン式

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\%$$

M：受信マージン（%）

N：クロックに対するビットレートの比（N=372）

D：クロックデューティ（D=0~1.0）

L：フレーム長（L=10）

F：クロック周波数の偏差の絶対値

上式で、F=0、D=0.5 とすると、受信マージン式は次のようになります。

D=0.5、F=0 のとき、

$$\begin{aligned} M &= (0.5 - 1/2 \times 372) \times 100\% \\ &= 49.866\% \end{aligned}$$

(2) 再転送動作

SCI がそれぞれ受信モードの場合と、送信モードの場合の再転送動作を、次に示します。

(a) SCI が受信モードの場合の再転送動作

SCI 受信モードの場合の再転送動作を図 13.11 に示します。

- [1] 受信したパリティビットをチェックした結果、エラーが検出されると、SSRのPERビットが自動的に1にセットされます。このとき、SCRのRIEビットが許可になっていれば、ERI割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに、SSRのPERビットを0にクリアしてください。
- [2] 異常が発生したフレームでは、SSRのRDRFビットはセットされません。
- [3] 受信したパリティビットをチェックした結果、エラーが検出されない場合は、SSRのPERビットはセットされません。
- [4] 受信したパリティビットをチェックした結果、エラーが検出されない場合は、正常に受信動作が完了したと判断して、SSRのRDRFビットが自動的に1にセットされます。このときSCRのRIEビットが許可になっていれば、RXI割り込み要求が発生します。
さらに、RXI要因によるDTCのデータ転送が許可されていれば、RDRの内容を自動的にリードすることができます。DTCでRDRのデータをリードした場合、RDRFフラグは自動的に0にクリアされます。
- [5] 正常なフレームを受信した場合、エラーシグナルを送信するタイミングで端子はハイインピーダンス状態を保持します。

13. スマートカードインタフェース

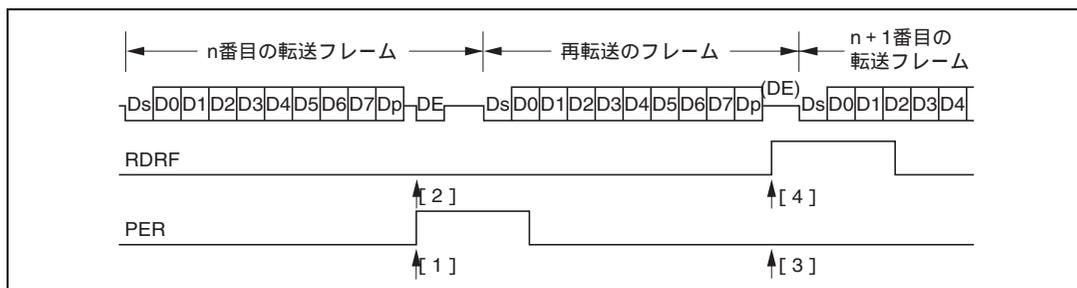


図 13.11 SCI 受信モードの場合の再転送動作

(b) SCI が送信モードの場合の再転送動作

SCI 送信モードの場合の再転送動作を図 13.12 に示します。

- [6] 1フレーム分の送信を完了した後、受信側からエラーシグナルが返されると、SSRのERSビットが1にセットされます。このとき、SCRのRIEビットが許可になっていれば、ERI割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに、SSRのERSビットを0にクリアしてください。
- [7] 異常を示すエラーシグナルを受信したフレームでは、SSRのTENDビットはセットされません。
- [8] 受信側からエラーシグナルが返ってこない場合は、SSRのERSビットはセットされません。
- [9] 受信側からエラーシグナルが返ってこない場合は、再転送を含む1フレームの送信が完了したと判断して、SSRのTENDビットが1にセットされます。このときSCRのTIEビットが許可になっていれば、TXI割り込み要求が発生します。

さらに、TXI要因によるDTCによるデータ転送が許可されていれば、自動的にTDRに次のデータをライトすることができます。DTCでTDRにデータをライトした場合、TDREビットは自動的に0にクリアされます。

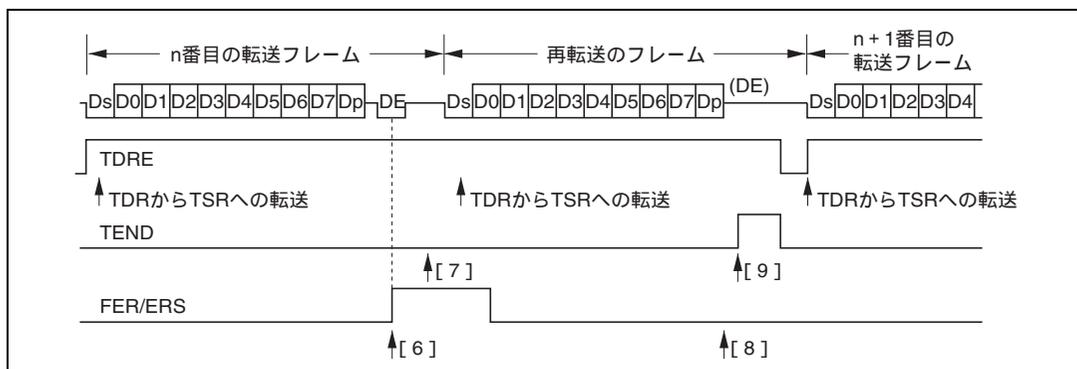


図 13.12 SCI 送信モードの場合の再転送動作

14. A/D 変換器

14.1 概要

本 LSI は、逐次比較方式で動作する 10 ビットの A/D 変換器を内蔵しており、最大 8 チャンネルのアナログ入力を選択することができます。

14.1.1 特長

A/D 変換器の特長を以下に示します。

10 ビット分解能

入力チャンネル：8 チャンネル

アナログ変換電圧範囲の設定可能

- リファレンス電圧端子 (V_{ref}) をアナログ基準電圧として、アナログ変換電圧範囲を設定します。

高速変換

変換時間：1 チャンネル当たり 6.7 μ s (20MHz 動作時)

シングルモード / スキャンモードの動作モードから選択可能

- シングルモード：1 チャンネルの A/D 変換
- スキャンモード：1~4 チャンネルの連続 A/D 変換

4 本のデータレジスタ

- 変換結果を、各チャンネルに対応した 16 ビットデータレジスタに保持

サンプル&ホールド機能

3 種類の変換開始

ソフトウェア、タイマの変換開始トリガ (TPU または 8 ビットタイマ) または \overline{ADTRG} 端子の選択が可能

A/D 変換終了割り込み要求発生

- A/D 変換終了時に、A/D 変換終了割り込み (ADI) 要求を発生可能

モジュールストップモードの設定可能

- 初期値では A/D 変換器の動作は停止。モジュールストップモードの解除によりレジスタのアクセスが可能

14.1.2 ブロック図

A/D 変換器のブロック図を図 14.1 に示します。

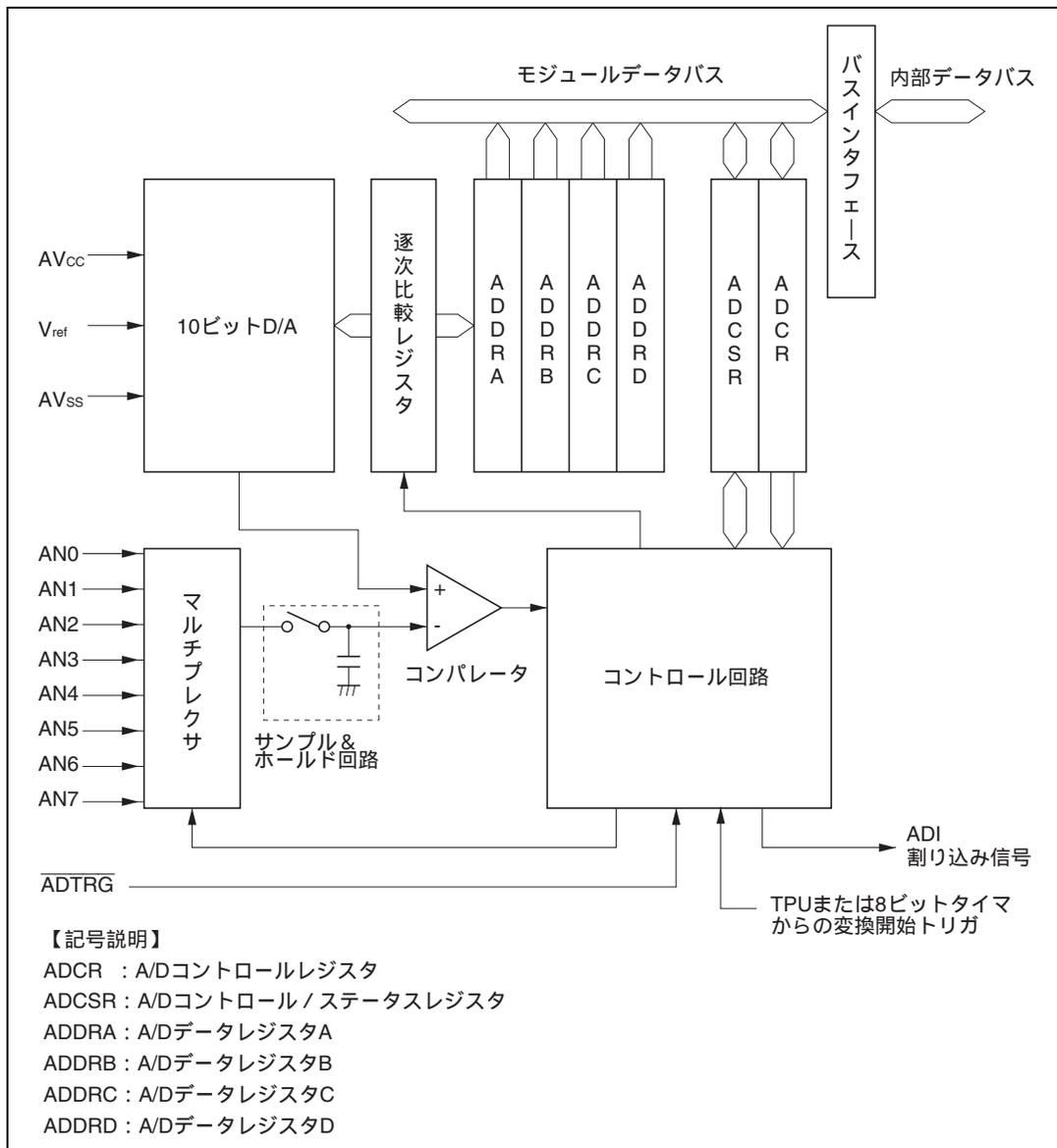


図 14.1 A/D 変換器のブロック図

14.1.3 端子構成

A/D 変換器で使用する入力端子を表 14.1 に示します。

AV_{CC} 、 AV_{SS} 端子は、A/D 変換器内部のアナログ部の電源です。 V_{ref} 端子は、A/D 変換基準電圧端子です。

8 本のアナログ入力端子は 2 グループに分類されており、アナログ入力端子 0~3 (AN0~AN3) がグループ 0、アナログ入力端子 4~7 (AN4~AN7) がグループ 1 になっています。

表 14.1 端子構成

端子名	記号	入出力	機能
アナログ電源端子	AV_{CC}	入力	アナログ部の電源
アナロググランド端子	AV_{SS}	入力	アナログ部のグランドおよび基準電圧
リファレンス電圧端子	V_{ref}	入力	A/D 変換の基準電圧
アナログ入力端子 0	AN0	入力	グループ 0 のアナログ入力
アナログ入力端子 1	AN1	入力	
アナログ入力端子 2	AN2	入力	
アナログ入力端子 3	AN3	入力	
アナログ入力端子 4	AN4	入力	グループ 1 のアナログ入力
アナログ入力端子 5	AN5	入力	
アナログ入力端子 6	AN6	入力	
アナログ入力端子 7	AN7	入力	
A/D 外部トリガ入力端子	\overline{ADTRG}	入力	A/D 変換開始のための外部トリガ入力

14.1.4 レジスタ構成

A/D 変換器のレジスタ構成を表 14.2 に示します。

表 14.2 レジスタ構成

名称	略称	R/W	初期値	アドレス ^{*1}
A/D データレジスタ AH	ADDRAH	R	H'00	H'FF90
A/D データレジスタ AL	ADDRAL	R	H'00	H'FF91
A/D データレジスタ BH	ADDRBH	R	H'00	H'FF92
A/D データレジスタ BL	ADDRBL	R	H'00	H'FF93
A/D データレジスタ CH	ADDRCH	R	H'00	H'FF94
A/D データレジスタ CL	ADDRCL	R	H'00	H'FF95
A/D データレジスタ DH	ADDRDH	R	H'00	H'FF96
A/D データレジスタ DL	ADDRDL	R	H'00	H'FF97
A/D コントロール/ステータスレジスタ	ADCSR	R/(W) ^{*2}	H'00	H'FF98
A/D コントロールレジスタ	ADCR	R/W	H'3F	H'FF99
モジュールストップコントロールレジスタ	MSTPCR	R/W	H'3FFF	H'FF3C

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 ビット 7 は、フラグをクリアするための 0 ライトのみ可能です。

14.2 各レジスタの説明

14.2.1 A/D データレジスタ A~D (ADDRA ~ ADDR D)

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	-	-	-	-	-	-
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ADDR は、A/D 変換された結果を格納する 16 ビットのリード専用レジスタで、ADDRA ~ ADDR D の 4 本があります。

A/D 変換されたデータは 10 ビットデータで、選択されたチャネルに対応する ADDR に転送され、保持されます。A/D 変換されたデータの上位 8 ビットが ADDR の上位バイト（ビット 15~8）に、また下位 2 ビットが下位バイト（ビット 7、6）に転送され、保持されます。ビット 5~0 はリードすると常に 0 が読み出されます。

アナログ入力チャネルと ADDR の対応を表 14.3 に示します。ADDR は、常に CPU からリード可能です。上位バイトは直接リードできますが、下位バイトはテンポラリレジスタ（TEMP）を介してデータ転送が行われます。詳細は「14.3 バスマスタとのインタフェース」を参照してください。

ADDR は、リセット、スタンバイモードまたはモジュールストップモード時に、H'0000 に初期化されます。

表 14.3 アナログ入力チャネルと ADDR の対応

アナログ入力チャネル		A/D データレジスタ
グループ 0	グループ 1	
AN0	AN4	ADDRA
AN1	AN5	ADDRB
AN2	AN6	ADDRC
AN3	AN7	ADDRD

14.2.2 A/D コントロール / ステータスレジスタ (ADCSR)

ビット	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0
初期値	0	0	0	0	0	0	0	0
R/W	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】* フラグをクリアするための 0 ライトのみ可能です。

ADCSR は、8 ビットのリード / ライト可能なレジスタで、A/D 変換動作を制御します。

ADCSR は、リセット、ハードウェアスタンバイモード、またはモジュールストップモード時に、H'00 に初期化されます。

ビット7: A/D エンドフラグ (ADF)

A/D 変換の終了を示すステータスフラグです。

ビット7	説明
ADF	
0	[クリア条件] (初期値) (1) ADF=1 の状態で、ADF フラグをリードした後、ADF フラグに0をライトしたとき (2) ADI 割り込みにより DTC が起動され、ADDR をリードしたとき
1	[セット条件] (1) シングルモード: A/D 変換が終了したとき (2) スキャンモード: 指定したすべてのチャンネルの A/D 変換が終了したとき

ビット6: A/D インタラプトイネーブル (ADIE)

A/D 変換の終了による割り込み (ADI) 要求の許可または禁止を選択します。

ビット6	説明
ADIE	
0	A/D 変換の終了による割り込み (ADI) 要求を禁止 (初期値)
1	A/D 変換の終了による割り込み (ADI) 要求を許可

ビット5: A/D スタート (ADST)

A/D 変換の開始または停止を選択します。A/D 変換中は1を保持します。

ADST ビットは、ソフトウェア、タイマの変換開始トリガ、または A/D 外部トリガ入力端子 (ADTRG) によって1にセットすることができます。

ビット5	説明
ADST	
0	A/D 変換を停止 (初期値)
1	(1) シングルモード: A/D 変換を開始。指定したチャンネルの変換が終了すると自動的に0にクリア (2) スキャンモード: A/D 変換を開始。ソフトウェア、リセット、スタンバイモードまたはモジュールストップモードによって0にクリアされるまで選択されたチャンネルを順次連続変換

ビット4: スキャンモード (SCAN)

A/D 変換の動作モードを、シングルモードまたはスキャンモードから選択します。シングルモード/スキャンモードの動作については、「14.4 動作説明」を参照してください。SCAN ビットの設定は、変換停止中 (ADST=0) に行ってください。

ビット4	説明
SCAN	
0	シングルモード (初期値)
1	スキャンモード

14. A/D 変換器

ビット 3 : クロックセレクト (CKS)

A/D 変換時間の設定を行います。

変換時間の切り替えは、変換停止中 (ADST = 0) に行ってください。

ビット 3	説明
CKS	
0	変換時間 = 266 ステート (Max) (初期値)
1	変換時間 = 134 ステート (Max)

ビット 2~0 : チャネルセレクト 2~0 (CH2~CH0)

SCAN ビットとともにアナログ入力チャンネルを選択します。

入力チャンネルの設定は、変換停止中 (ADST = 0) に行ってください。

グループ選択	チャンネル選択		説明	
CH2	CH1	CH0	シングルモード (SCAN = 0)	スキャンモード (SCAN = 1)
0	0	0	AN0 (初期値)	AN0
		1	AN1	AN0、AN1
	1	0	AN2	AN0 ~ AN2
		1	AN3	AN0 ~ AN3
1	0	0	AN4	AN4
		1	AN5	AN4、AN5
	1	0	AN6	AN4 ~ AN6
		1	AN7	AN4 ~ AN7

14.2.3 A/D コントロールレジスタ (ADCR)

ビット	7	6	5	4	3	2	1	0
	TRGS1	TRGS0	-	-	-	-	-	-
初期値	0	0	1	1	1	1	1	1
R/W	R/W	R/W	-	-	-	-	-	-

ADCR は、8 ビットのリード/ライト可能なレジスタで、外部トリガ入力による A/D 変換の開始の許可/禁止を選択します。

ADCR は、リセット、スタンバイモード、またはモジュールストップモード時に、H'3F に初期化されます。

ビット7、6：タイマトリガセレクト1、0 (TRGS1、TRGS0)

トリガ信号による A/D 変換開始の許可または禁止を選択します。

TRGS1、TRGS0 ビットの設定は、変換停止中 (ADST = 0) に行ってください。

ビット7	ビット6	説明
TRGS1	TRGS0	
0	0	外部トリガによる A/D 変換の開始を禁止 (初期値)
	1	外部トリガ (TPU) による A/D 変換の開始を許可
1	0	外部トリガ (8 ビットタイマ) による A/D 変換の開始を許可
	1	外部トリガ端子 (ADTRG) による A/D 変換の開始を許可

ビット5~0：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

14.2.4 モジュールストップコントロールレジスタ (MSTPCR)

MSTPCRH								MSTPCRL								
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCR は 16 ビットのリード/ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTP9 ビットを 1 にセットすると、バスサイクルの終了時点で A/D 変換器の動作を停止してモジュールストップモードへ遷移します。モジュールストップモードでは、レジスタのリード/ライトはできません。詳細は、「19.5 モジュールストップモード」を参照してください。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット9：モジュールストップ (MSTP9)

A/D 変換器のモジュールストップモードを指定します。

ビット9	説明
MSTP9	
0	A/D 変換器のモジュールストップモード解除
1	A/D 変換器のモジュールストップモード設定 (初期値)

14.3 バスマスタとのインタフェース

ADDRA ~ ADDRD は 16 ビットレジスタで、バスマスタとの間のデータバスは 8 ビット幅です。そのためバスマスタからのアクセスは、上位バイトは直接行われますが、下位バイトは 8 ビットのテンポラリレジスタ (TEMP) を介して行います。

ADDR からデータのリードは次のように行われます。上位バイトのリードで上位バイトの値は CPU へ、下位バイトの値は TEMP へ転送されます。次に下位バイトのリードで TEMP の内容が CPU へ転送されます。

ADDR をリードする場合は、必ず上位バイト、下位バイトの順で行ってください。また、上位バイトのみのリードは可能ですが、下位バイトのみのリードでは内容は保証されませんので注意してください。

図 14.2 に、ADDR のアクセス時のデータの流れを示します。

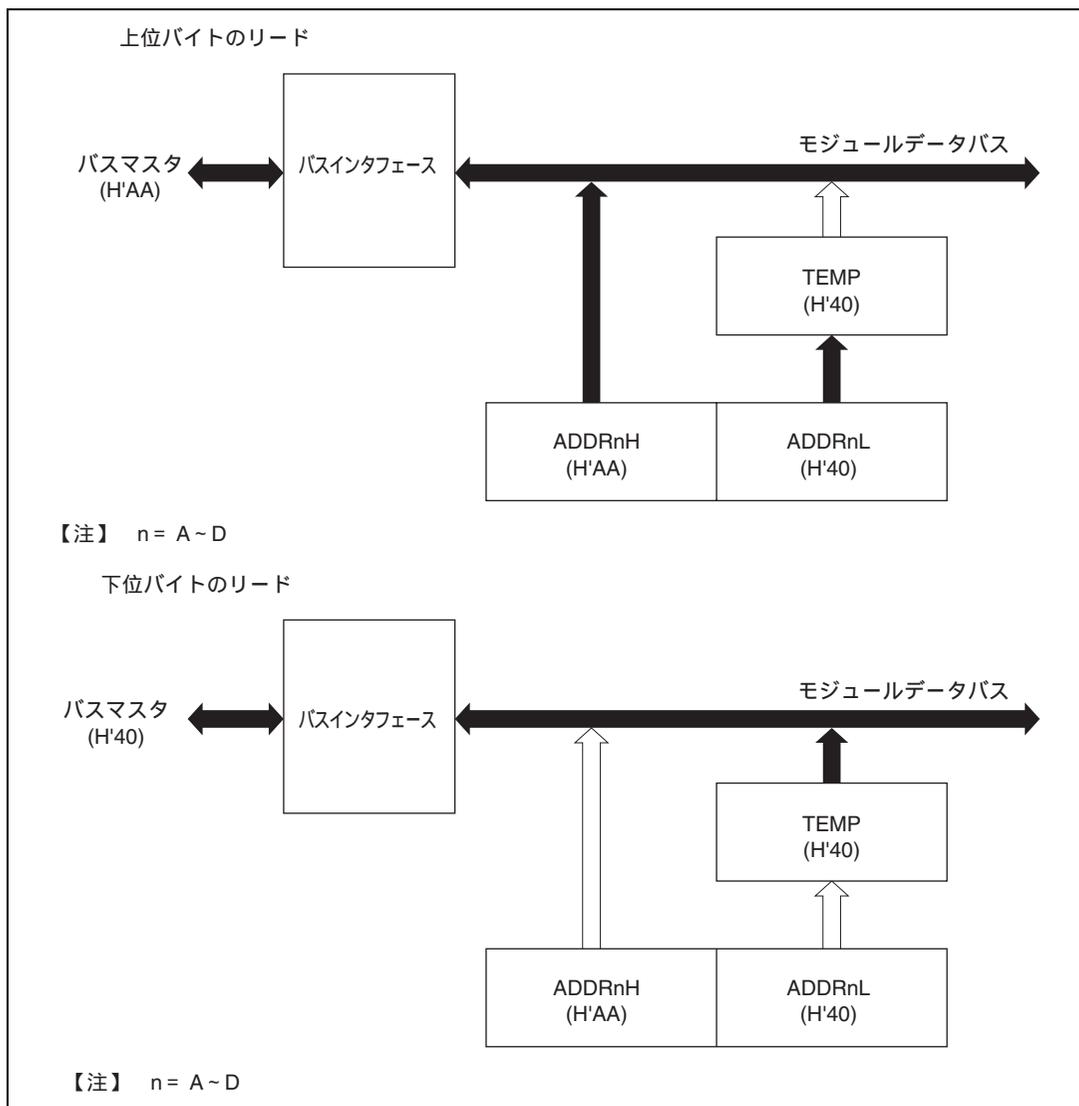


図 14.2 ADDR のアクセス動作 (H'AA40 リード時)

14.4 動作説明

A/D 変換器は逐次比較方式で動作し、10 ビットの分解能をもっています。シングルモードとスキャンモードの各モードの動作について説明します。

14.4.1 シングルモード (SCAN = 0)

シングルモードは、1 チャンネルのみ A/D 変換を行う場合に選択します。ソフトウェアまたは外部トリガ入力によって ADST ビットが 1 にセットされると、A/D 変換を開始します。ADST ビットは A/D 変換中は 1 を保持しており、変換が終了すると自動的に 0 にクリアされます。

また、変換が終了すると、ADF フラグが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求が発生します。

ADF フラグは、ADCSR をリードした後、0 をライトするとクリアされます。

動作モードやアナログ入力チャンネルを切り替える場合は、誤動作を避けるために ADCSR の ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットを 1 にセットすると再び A/D 変換を開始します。なお、動作モードや入力チャンネルの変更と、ADST ビットのセットは同時に行うことができます。

シングルモードでチャンネル 1 (AN1) が選択された場合の動作例を以下に示します。また、このときの動作タイミングを図 14.3 に示します。

- [1] 動作モードをシングルモードに (SCAN=0)、入力チャンネルをAN1に (CH2=0、CH1=0、CH0=1) A/D割り込み要求許可 (ADIE=1) に設定して、A/D変換を開始 (ADST=1) します。
- [2] A/D変換が終了すると、A/D変換結果がADDRBに転送されます。同時に、ADF=1、ADST=0 となりA/D変換器は変換待機となります。
- [3] ADF=1、ADIE=1となっているため、ADI割り込み要求が発生します。
- [4] A/D割り込み処理ルーチンが開始されます。
- [5] ADCSRをリードした後、ADFに0をライトします。
- [6] A/D変換結果 (ADDRB) をリードして、処理します。
- [7] A/D割り込み処理ルーチンの実行を終了します。
この後、ADSTビットを1にセットするとA/D変換が開始され、[2] ~ [7] を行います。

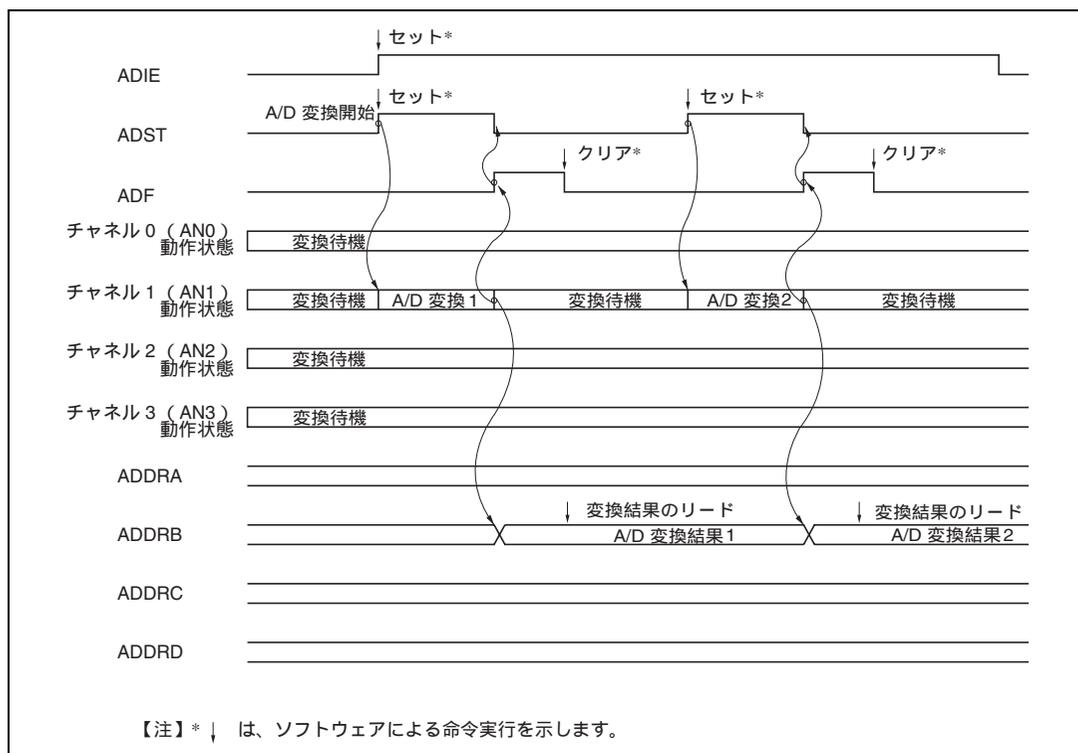


図 14.3 A/D 変換器の動作例 (シングルモード チャンネル 1 選択時)

14.4.2 スキャンモード (SCAN = 1)

スキャンモードは、複数チャンネル (1 チャンネルを含む) のアナログ入力を常にモニタするような応用に適しています。ソフトウェア、タイマまたは外部トリガ入力によって ADST ビットが 1 にセットされると、第 1 チャンネル (AN0) から A/D 変換は開始されます。

複数のチャンネルが選択されている場合は、第 1 チャンネルの変換が終了した後、直ちに第 2 チャンネル (AN1) の A/D 変換を開始します。

A/D 変換は、ADST ビットが 0 にクリアされるまで、選択されたチャンネル内を連続して繰り返して行います。変換された結果は、各チャンネルに対応した ADDR に転送され保持されます。

A/D 変換中に、動作モードやアナログ入力チャンネルを切り替える場合は、誤動作を避けるために ADCSR の ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットを 1 にセットすると再び第 1 チャンネル (AN0) から A/D 変換を開始します。なお、動作モードや入力チャンネルの変更と、ADST ビットのセットは同時に行うことができます。

スキャンモードで 3 チャンネル (AN0 ~ AN2) を選択して A/D 変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図 14.4 に示します。

- [1] 動作モードをスキャンモードに (SCAN=1)、スキャングループをグループ 0 に (CH2=0)、アナログ入力チャンネルを AN0 ~ AN2 (CH1=1, CH0=0) に設定して A/D 変換を開始 (ADST=1) します。
- [2] 第 1 チャンネル (AN0) の A/D 変換が開始され A/D 変換が終了すると、変換結果を ADDR_A に転

14. A/D 変換器

送します。

次に第2チャンネル (AN1) が自動的に選択され、変換を開始します。

- [3] 同様に第3チャンネル (AN2) まで変換を行います。
- [4] 選択されたすべてのチャンネル (AN0 ~ AN2) の変換が終了すると、ADF = 1 となり、再び第1チャンネル (AN0) を選択し、変換が行われます。
このときADIEビットが1にセットされていると、A/D変換終了後、ADI割り込みを発生します。
- [5] ADSTビットが1にセットされている間は、[2] ~ [4] を繰り返します。
ADSTビットを0にクリアするとA/D変換が停止します。この後、ADSTビットを1にセットすると再びA/D変換を開始し、第1チャンネル (AN0) から変換が行われます。

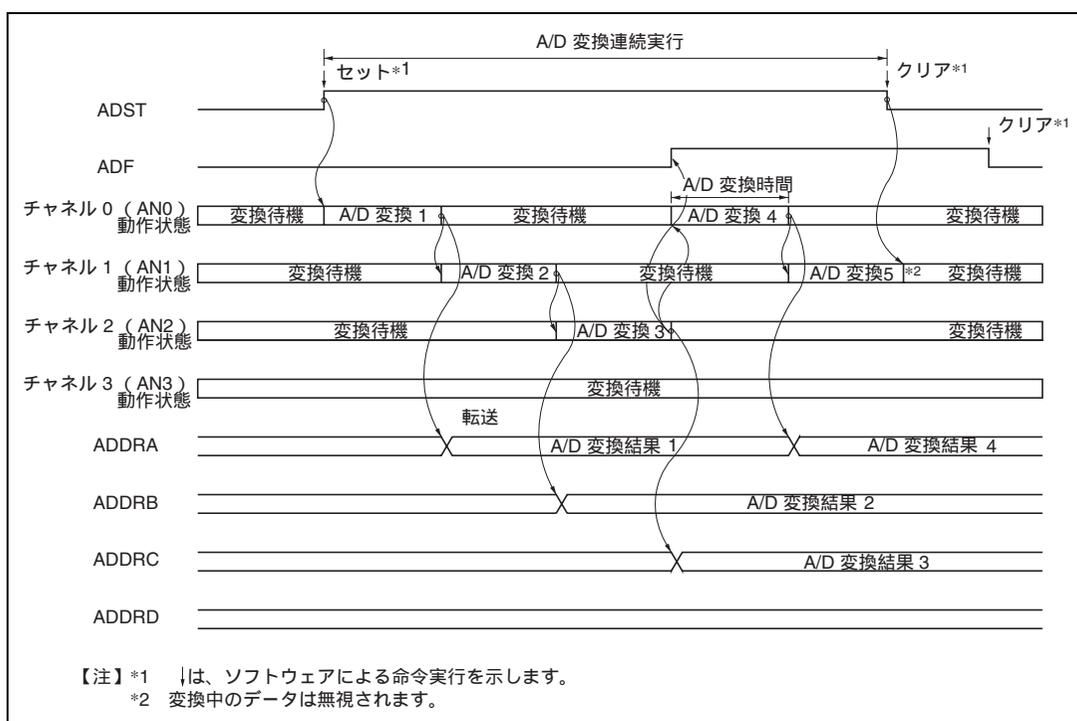


図 14.4 A/D 変換器の動作例 (スキャンモード AN0 ~ AN2 の 3 チャンネル選択時)

14.4.3 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADST ビットが 1 にセットされてから t_D 時間経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 14.5 に示します。また、A/D 変換時間を表 14.4 に示します。

A/D 変換時間は、図 14.5 に示すように、 t_D と入力サンプリング時間を含めた時間となります。ここで t_D は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 14.4 に示す範囲で変化します。

スキャンモードの変換時間は、表 14.4 に示す値が 1 回目の変換時間となりますが、2 回目以降は CKS = 0 の場合は 256 ステート (固定)、CKS = 1 の場合は 128 ステート (固定) となります。

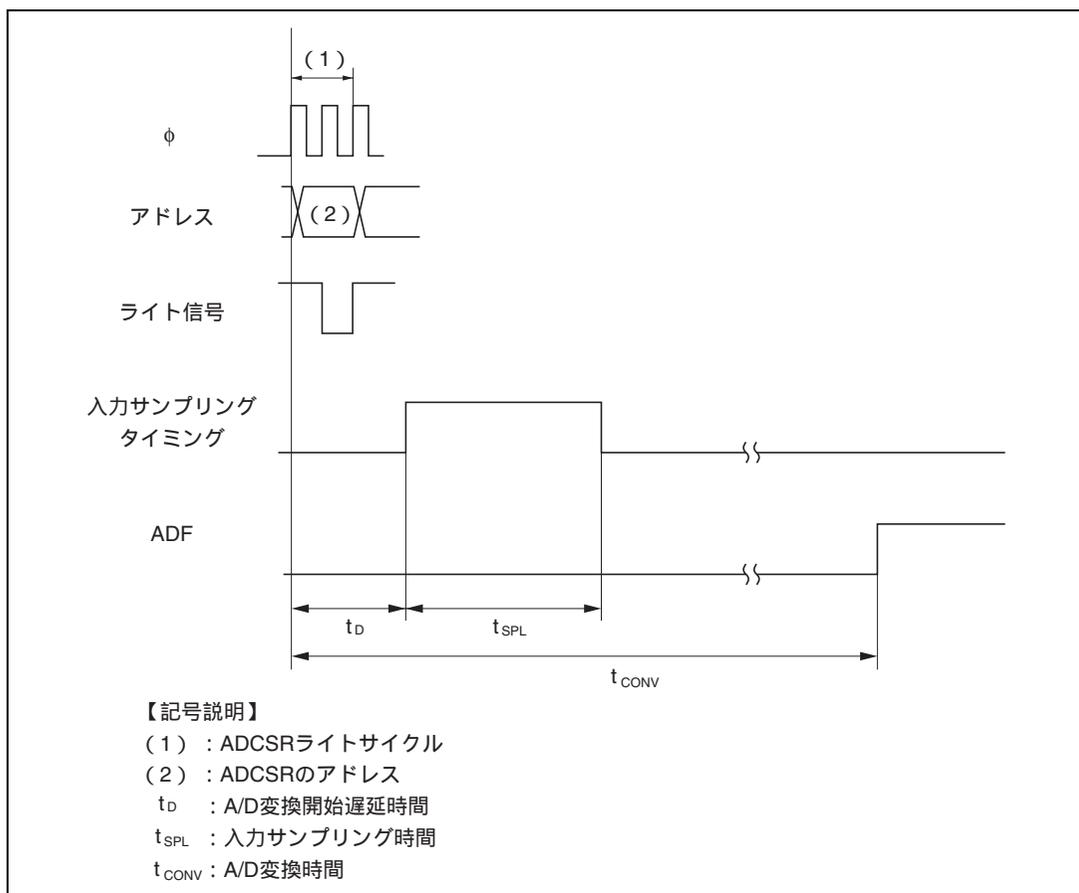


図 14.5 A/D 変換タイミング

表 14.4 A/D 変換時間 (シングルモード)

項目	記号	CKS = 0			CKS = 1		
		min	typ	max	min	typ	max
A/D 変換開始遅延時間	t_D	10	-	17	6	-	9
入力サンプリング時間	t_{SPL}	-	63	-	-	31	-
A/D 変換時間	t_{CONV}	259	-	266	131	-	134

【注】単位：ステート

14.4.4 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCR の TRGS1、TRGS0 ビットが 11 にセットされているとき、 \overline{ADTRG} 端子から入力されます。 \overline{ADTRG} 入力端子の立ち下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。

その他の動作は、シングルモード/スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。

このタイミングを図 14.6 に示します。

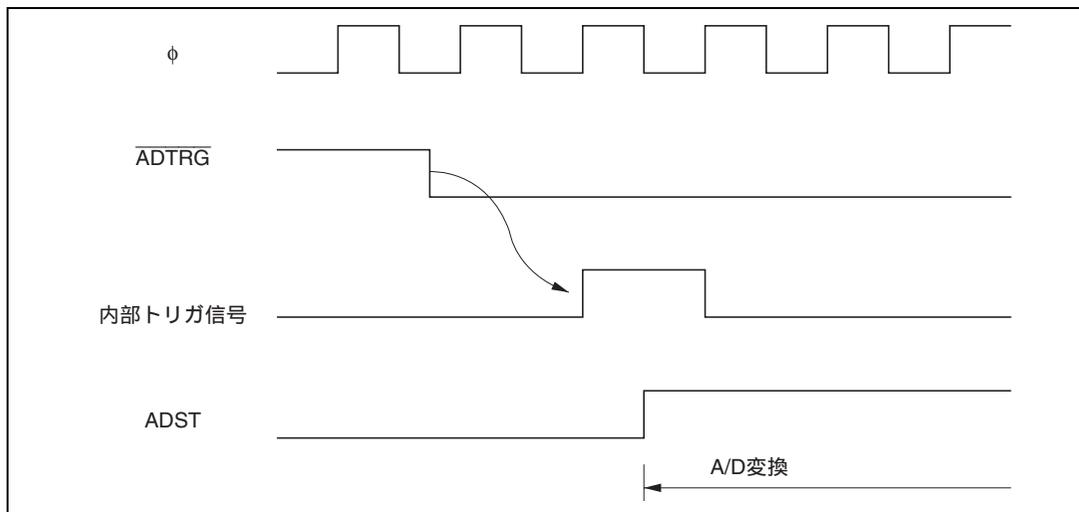


図 14.6 外部トリガ入力タイミング

14.5 割り込み

A/D 変換器は、A/D 変換の終了により、A/D 変換終了割り込み (ADI) を発生します。ADI 割り込み要求は、ADCSR の ADIE ビットによって許可または禁止することができます。

ADI 割り込みで DTC の起動ができます。ADI 割り込みで変換されたデータのリードを DTC で行うと、連続変換がソフトウェアの負担なく実現できます。

A/D 変換器の割り込み要因を表 14.5 に示します。

表 14.5 A/D 変換器の割り込み要因

割り込み要因	内容	DTC の起動
ADI	変換終了による割り込み	可

14.6 使用上の注意

A/D 変換器を使用する際は、以下のことに注意してください。

(1) アナログ電源端子ほかの設定範囲

(a) アナログ入力電圧の範囲

A/D変換中、アナログ入力端子 ANn に印加する電圧は AV_{SS} 、 ANn 、 V_{ref} の範囲としてください。

(b) AV_{CC} 、 AV_{SS} と V_{CC} 、 V_{SS} の関係

AV_{CC} 、 AV_{SS} と V_{CC} 、 V_{SS} との関係は $AV_{SS} = V_{SS}$ とし、さらに、A/D 変換器を使用しないときも、 AV_{CC} 、 AV_{SS} 端子を決してオープンにしないでください。

(c) V_{ref} の設定範囲

V_{ref} 端子によるリファレンス電圧の設定範囲は V_{ref} 、 AV_{CC} にしてください。

【注】 以上 (a)、(b)、(c) が守られない場合、LSI の信頼性に悪影響を及ぼすことがあります。

(2) ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してレイアウトしてください。また、デジタル回路の信号配線とアナログ回路の信号配線を交差させたり、近接させるようなレイアウトは極力避けてください。誘導などにより、アナログ回路の誤動作や、A/D 変換値に悪影響を及ぼします。

なお、アナログ入力信号 ($AN0 \sim AN7$)、アナログ基準電源 (V_{ref})、アナログ電源 (AV_{CC}) は、アナログ・グランド (AV_{SS}) で、デジタル回路を必ず分離してください。さらに、アナログ・グランド (AV_{SS}) は、ボード上の安定したデジタル・グランド (V_{SS}) に一点接続してください。

(3) ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子 ($AN0 \sim AN7$)、アナログ基準電源 (V_{ref}) の破壊を防ぐために、接続する保護回路は、図 14.7 に示すように AV_{CC} - AV_{SS} 間に接続してください。

また、 AV_{CC} 、 V_{ref} に接続するバイパス・コンデンサ、 $AN0 \sim AN7$ に接続するフィルタのコンデンサは、必ず AV_{SS} に接続してください。

なお、図 14.7 のようにフィルタ用のコンデンサを接続するとアナログ入力端子 ($AN0 \sim AN7$) の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモード等で頻繁に A/D 変換を行う場合、A/D 変換器内部のサンプル&ホールド回路の容量に充放電される電流が入力ライン

ピーダンス (R_{in}) を経由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。したがって回路定数の決定については、十分ご検討くださいますようお願いいたします。

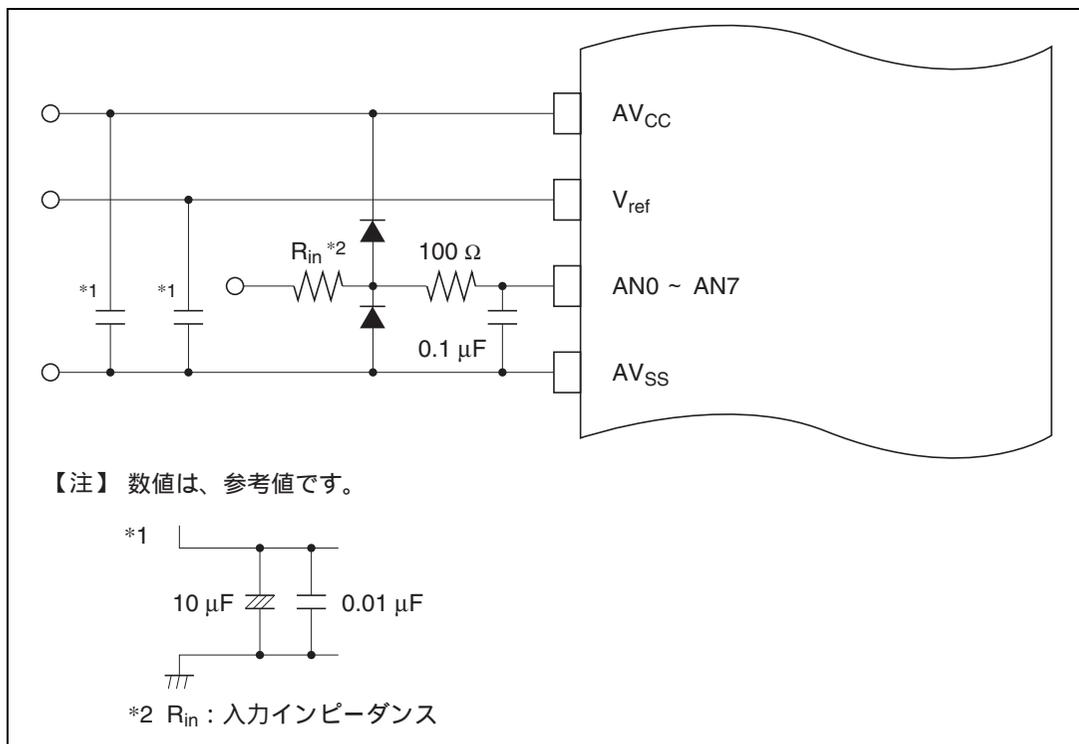


図 14.7 アナログ入力保護回路の例

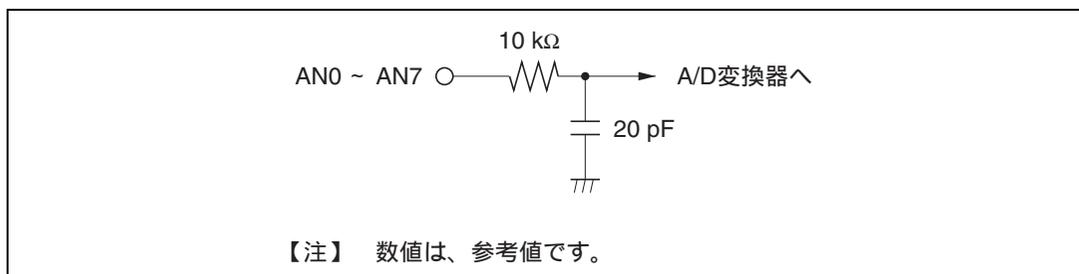


図 14.8 アナログ入力端子等価回路

(4) A/D 変換精度の定義

以下に、本 LSI の A/D 変換精度の定義を示します。

- 分解能
A/D変換器のデジタル出力コード数
- オフセット誤差

デジタル出力が最小電圧値B'000000000 (H'000) からB'000000001 (H'001) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差 (図14.10)

- フルスケール誤差
デジタル出力がB'111111110 (H'3FE) からB'111111111 (H'3FF) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差 (図14.10)
- 量子化誤差
A/D変換器が本質的に有する偏差であり、1/2 LSBで与えられる (図14.9)
- 非直線性誤差
ゼロ電圧からフルスケール電圧までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない。
- 絶対精度
デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む。

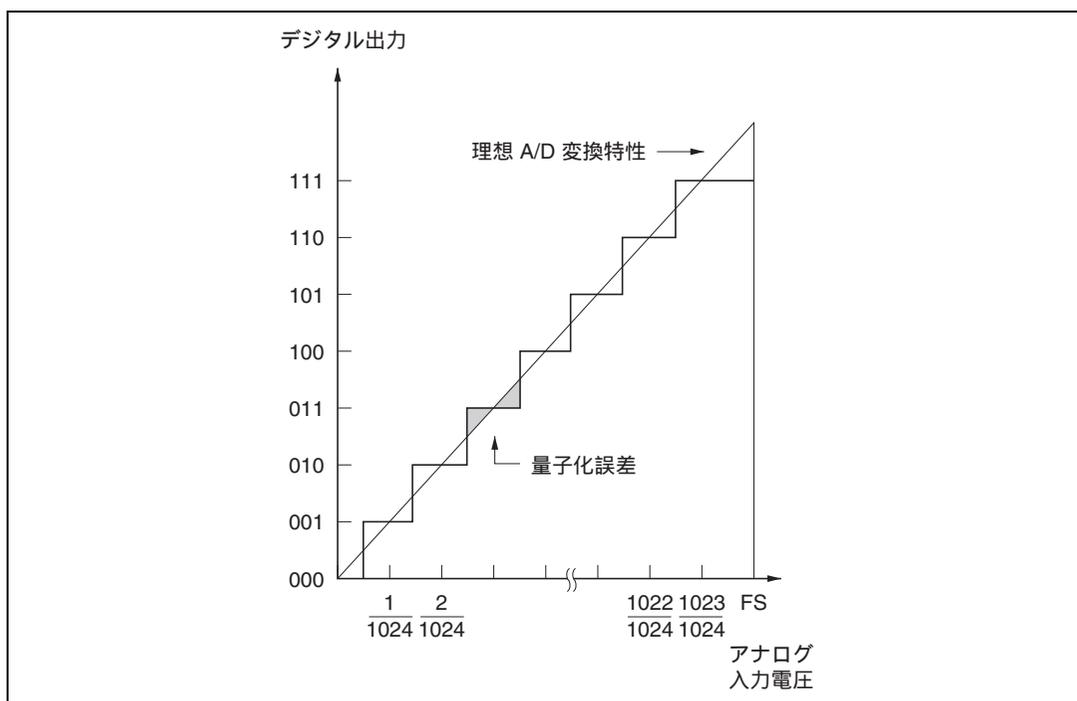


図 14.9 A/D 変換精度の定義 (1)

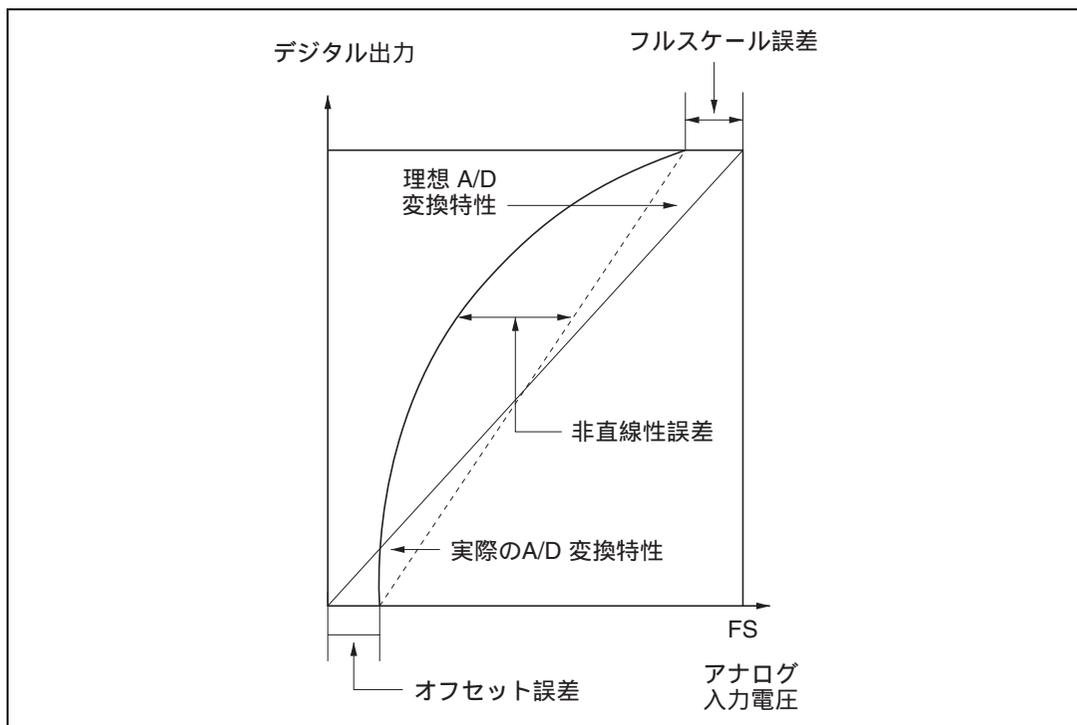


図 14.10 A/D 変換精度の定義 (2)

(5) 許容信号源インピーダンス

本 LSI のアナログ入力は、信号源インピーダンスが $10\text{k}\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっております。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するために設けている規格で、センサの出力インピーダンスが $10\text{k}\Omega$ を越える場合充電不足が生じ、A/D 変換精度が保証できなくなる場合があります。

しかし外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の $10\text{k}\Omega$ だけになりますので、信号源インピーダンスは不問となります。

ただし、この場合ローパスフィルターとなりますので、微分係数の大きなアナログ信号（たとえば $5\text{mV}/\mu\text{s}$ 以上）には追従できない場合があります。

高速のアナログ信号を変換する場合には、低インピーダンスのバッファを入れてください。

(6) 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることとなりますので、GND にノイズがあると絶対精度が悪化する可能性があります。必ず AV_{SS} 等の電氣的に安定な GND に接続してください。

またフィルター回路が実装基板上でデジタル信号と交渉したり、アンテナとならないように注意が必要です。

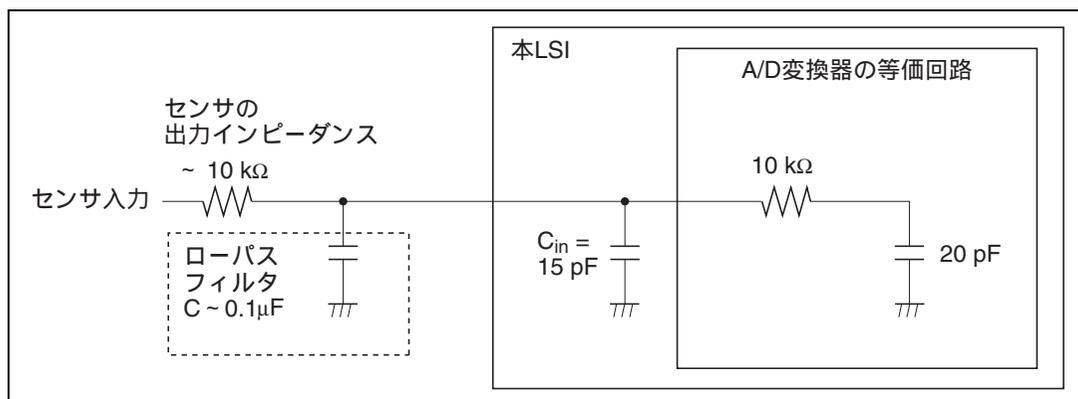


図 14.11 アナログ入力回路の例

15. D/A 変換器 (H8S/2393 では内蔵していません)

15.1 概要

H8S/2355、H8S/2353 では、2 チャンネルの D/A 変換器を内蔵しています。

15.1.1 特長

D/A 変換器の特長を以下に示します。

8 ビットの分解能

2 チャンネル出力

変換時間最大 10 μ s (負荷容量 20pF 時)

出力電圧 0V ~ V_{ref}

ソフトウェアスタンバイモード時の D/A 出力保持機能

モジュールストップモードの設定可能

- 初期値では D/A 変換器の動作は停止。モジュールストップモードの解除によりレジスタのアクセスが可能

15. D/A 変換器

15.1.2 ブロック図

D/A 変換器のブロック図を図 15.1 に示します。

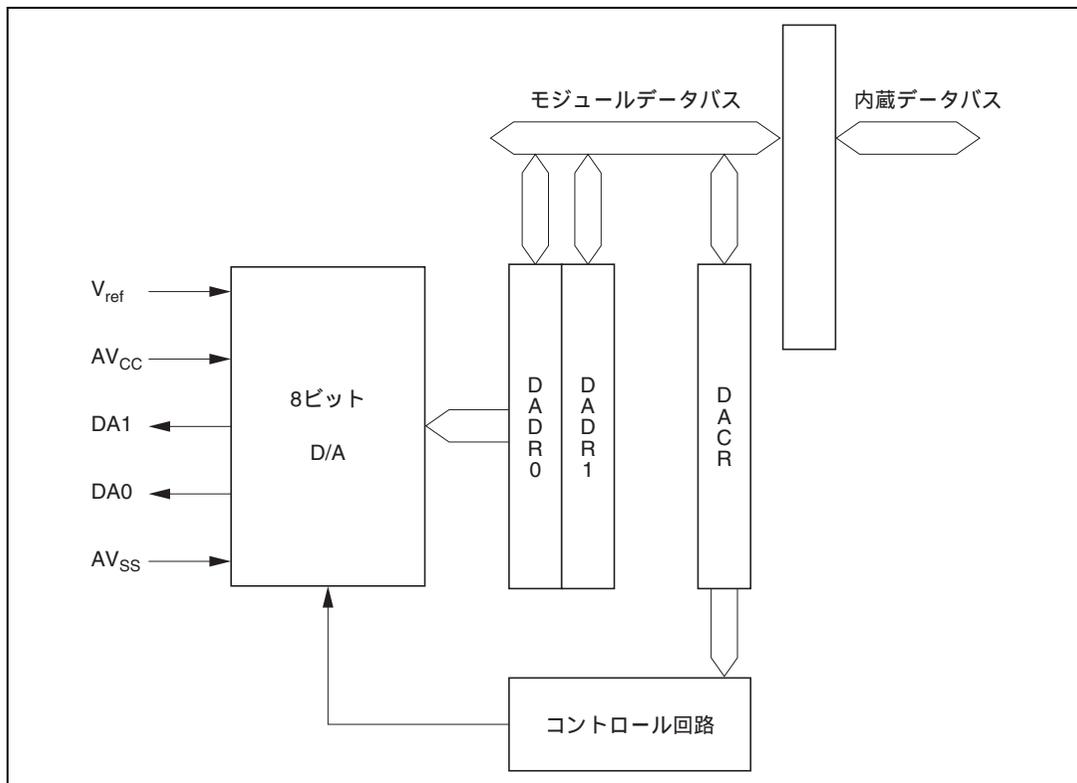


図 15.1 D/A 変換器のブロック図

15.1.3 端子構成

D/A 変換器で使用する入出力端子を表 15.1 に示します。

表 15.1 端子構成

名称	記号	入出力	機能
アナログ電源端子	AV _{CC}	入力	アナログ部の電源
アナロググランド端子	AV _{SS}	入力	アナログ部のグランドおよび基準電圧
アナログ出力端子 0	DA0	出力	チャンネル 0 のアナログ出力
アナログ出力端子 1	DA1	出力	チャンネル 1 のアナログ出力
リファレンス電圧端子	V _{ref}	入力	アナログ部の基準電圧

15.1.4 レジスタ構成

D/A 変換器のレジスタ構成を表 15.2 に示します。

表 15.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
D/A データレジスタ 0	DADR0	R/W	H'00	H'FFA4
D/A データレジスタ 1	DADR1	R/W	H'00	H'FFA5
D/A コントロールレジスタ	DACR	R/W	H'1F	H'FFA6
モジュールストップコントロールレジスタ	MSTPCR	R/W	H'3FFF	H'FF3C

【注】 * アドレスの下位 16 ビットを示します。

15.2 各レジスタの説明

15.2.1 D/A データレジスタ 0、1 (DADR0、DADR1)

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

D/A データレジスタ 0、1 (DADR0、DADR1) は、変換を行うデータを格納するリード/ライト可能な 8 ビットのレジスタです。

アナログ出力を許可すると、DADR の値が常に変換され、アナログ出力端子に出力されます。DADR は、リセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

15.2.2 D/A コントロールレジスタ (DACR)

ビット :	7	6	5	4	3	2	1	0
	DAOE1	DAOE0	DAE	-	-	-	-	-
初期値 :	0	0	0	1	1	1	1	1
R/W :	R/W	R/W	R/W	-	-	-	-	-

DACR は、8 ビットのリード/ライト可能なレジスタで、D/A 変換器の動作を制御します。DACR は、リセットまたはハードウェアスタンバイモード時に、H'1F に初期化されます。

ビット 7 : D/A アウトプットイネーブル 1 (DAOE1)

D/A 変換とアナログ出力を制御します。

ビット 7	説 明
DAOE1	
0	アナログ出力 DA1 を禁止 (初期値)
1	チャンネル 1 の D/A 変換を許可。アナログ出力 DA1 を許可

15. D/A 変換器

ビット 6 : D/A アウトプットイネーブル 0 (DAOE0)

D/A 変換とアナログ出力を制御します。

ビット 6	説 明
DAOE0	
0	アナログ出力 DAO を禁止 (初期値)
1	チャンネル 0 の D/A 変換を許可。アナログ出力 DAO を許可

ビット 5 : D/A イネーブル (DAE)

DAOE0、DAOE1 ビットとともに、D/A 変換を制御します。DAE ビットが 0 にクリアされているときチャンネル 0、1 の D/A 変換は独立に制御され、DAE ビットが 1 にセットされているときチャンネル 0、1 の D/A 変換は一括して制御されます。

変換結果の出力は、DAOE0、DAOE1 ビットにより、常に独立に制御されます。

ビット 7	ビット 6	ビット 5	説 明
DAOE1	DAOE0	DAE	
0	0	*	チャンネル 0、1 の D/A 変換を禁止
	1	0	チャンネル 0 の D/A 変換を許可
		1	チャンネル 1 の D/A 変換を禁止
1	0	1	チャンネル 0、1 の D/A 変換を許可
		0	チャンネル 0 の D/A 変換を禁止
	1	0	チャンネル 1 の D/A 変換を許可
		1	チャンネル 0、1 の D/A 変換を許可

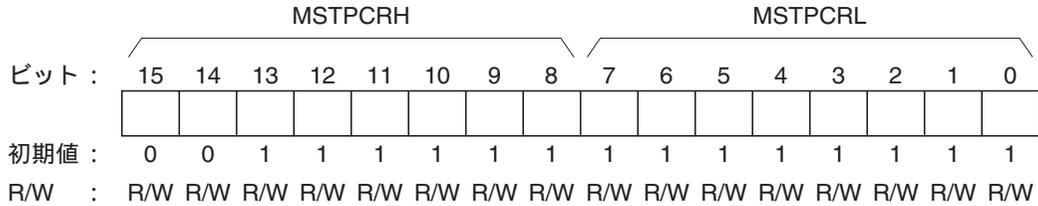
* : Don't care

D/A 変換を許可した状態で本 LSI がソフトウェアスタンバイモードになると、D/A 出力は保持され、アナログ電源電流は D/A 変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合には、DAOE0、DAOE1 ビットをいずれも 0 にクリアして D/A 出力を禁止してください。

ビット 4~0 : リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

15.2.3 モジュールストップコントロールレジスタ (MSTPCR)



MSTPCR は 16 ビットのリード/ライト可能なレジスタで、モジュールストップモードの制御を行います。

H8S/2355、H8S/2353 では、MSTP10 ビットを 1 にセットすると、バスサイクルの終了時点で D/A 変換器は動作を停止してモジュールストップモードへ遷移します。モジュールストップモードでは、レジスタのリード/ライトはできません。詳細は、「19.5 モジュールストップモード」を参照してください。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 10 : モジュールストップ (MSTP10)

D/A 変換器のモジュールストップモードを指定します。

ビット 10	説 明
MSTP10	
0	D/A 変換器のモジュールストップモード解除
1	D/A 変換器のモジュールストップモード設定 (初期値)

15.3 動作説明

D/A 変換器は、2 チャンネルの D/A 変換回路を内蔵し、それぞれ独立に変換することができます。

DACR によって D/A 変換が許可されている期間は、常に D/A 変換が行われています。DADR0、DADR1 を書き換えると、直ちに新しいデータが変換されます。DAOE0、DAOE1 ビットを 1 にセットすることにより、変換結果が出力されます。

チャンネル 0 の D/A 変換を行う場合の動作例を示します。また、このときの動作タイミングを図 15.2 に示します。

- [1] DADR0 に変換データをライトします。
- [2] DACR の DAOE0 ビットを 1 にセットします。D/A 変換が開始され、DA0 端子が出力端子になります。変換時間経過後に変換結果が出力されます。出力値は以下の式で表されます。

$$\frac{\text{DADR の内容}}{256} \times V_{\text{ref}}$$

次に DADR0 を書き換えるか、DAOE0 ビットを 0 にクリアするまでこの変換結果が出力され続けます。

- [3] DADR0 を書き換えると直ちに変換が開始されます。変換時間経過後に変換結果が出力されます。
- [4] DAOE0 ビットを 0 にクリアすると、DA0 端子は入力端子になります。

15. D/A 変換器

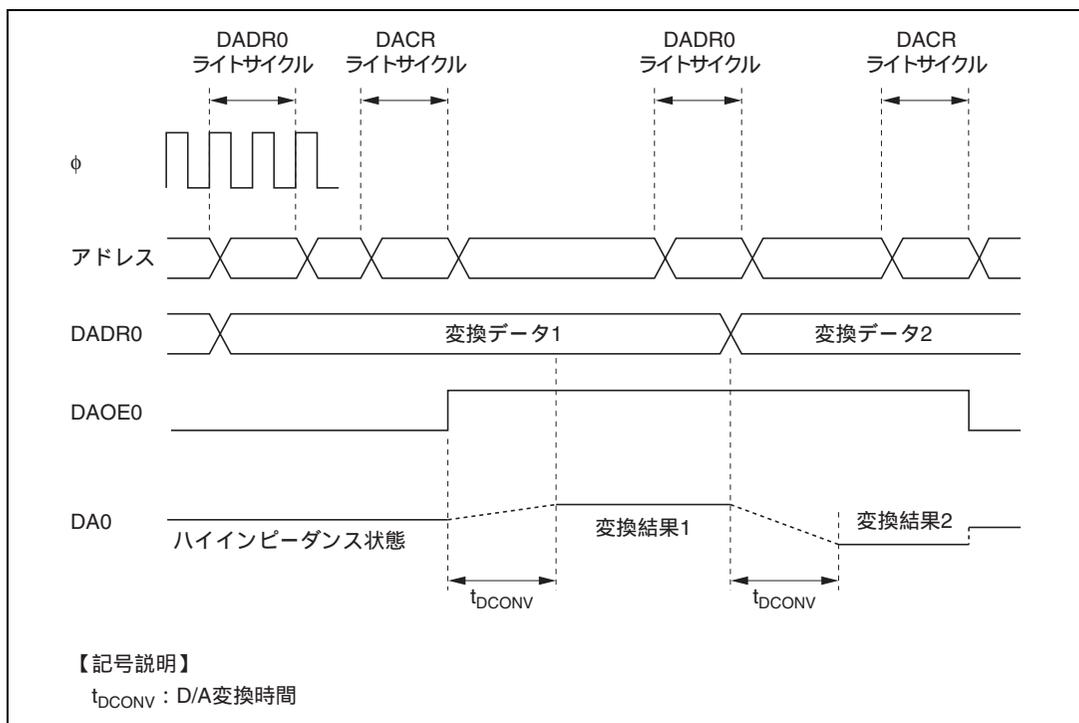


図 15.2 D/A 変換器の動作例

16. RAM

16.1 概要

H8S/2355、H8S/2393 は 4K バイト、H8S/2353 は 2K バイトの高速スタティック RAM を内蔵しています。内蔵 RAM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。したがって、ワードデータの高速度転送が可能です。

内蔵 RAM は、システムコントロールレジスタ (SYSCR) の RAM イネーブル (RAME) ビットにより有効または無効の制御が可能です。

16.1.1 ブロック図

RAM のブロック図を図 16.1 に示します。

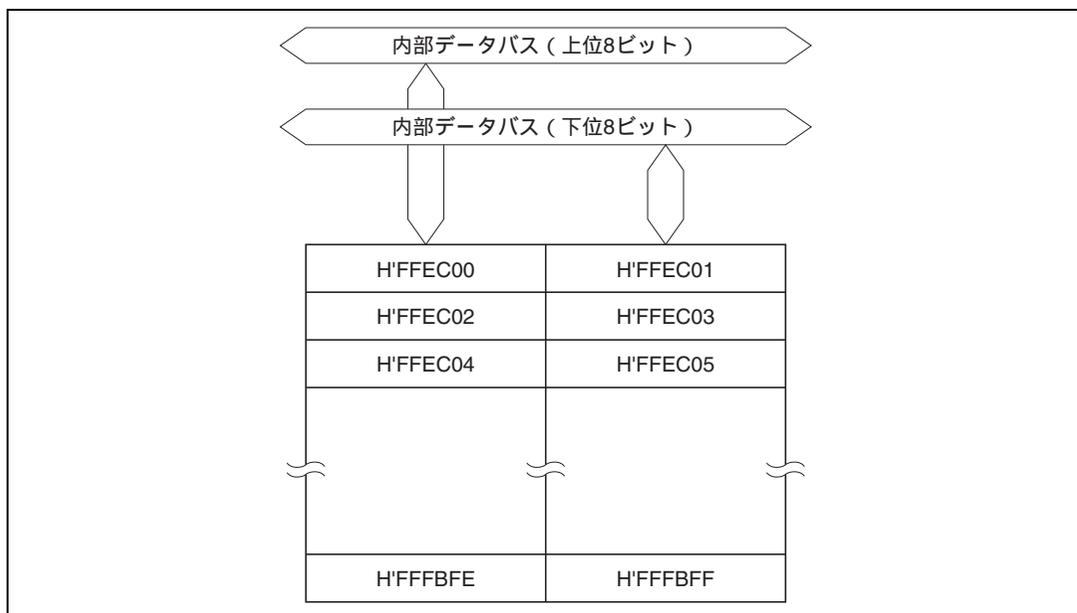


図 16.1 RAM のブロック図 (H8S/2355 の場合)

16.1.2 レジスタ構成

内蔵 RAM は、SYSCR で制御されます。レジスタ構成を表 16.1 に示します。

表 16.1 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
システムコントロールレジスタ	SYSCR	R/W	H'01	H'FF39

【注】 * アドレスの下位 16 ビットを示しています。

16.2 各レジスタの説明

16.2.1 システムコントロールレジスタ (SYSCR)

ビット :	7	6	5	4	3	2	1	0
	-	-	INTM1	INTM0	NMIEG	-	-	RAME
初期値 :	0	0	0	0	0	0	0	1
R/W :	R/W	-	R/W	R/W	R/W	-	R/W	R/W

内蔵 RAM は SYSCR の RAME ビットにより、有効/無効が選択されます。なお、SYSCR のその他のビットについての詳細は「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

ビット 0 : RAM イネーブル (RAME)

内蔵 RAM の有効または無効を選択します。RAME ビットはリセット状態の解除時に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 0	説 明
RAME	
0	内蔵 RAM 無効
1	内蔵 RAM 有効 (初期値)

16.3 動作説明

RAME ビットが 1 にセットされているとき、アドレス H'FFEC00 ~ H'FFFBFF をアクセスすると内蔵 RAM がアクセスされます。また、RAME ビットが 0 にクリアされているときは、外部アドレス空間がアクセスされます。

内蔵 RAM は、CPU と 16 ビット幅のデータバスで接続されており、バイト単位、ワード単位のリード/ライトが可能です。いずれも、1 ステートでアクセスできます。

偶数番地が上位 8 ビット、奇数番地が下位 8 ビットに接続されています。ワードデータは、偶数番地から始まるデータに限定されています。

16.4 使用上の注意

アドレス H'FFF800 ~ H'FFFBFF は DTC のレジスタ情報を配置することができます。DTC を使用する場合は、RAME ビットを 0 にクリアしないでください。

17. ROM

17.1 概要

H8S/2355 は 128K バイトの ROM (PROM またはマスク ROM)、H8S/2353 は 64K バイトの ROM (マスク ROM)、H8S/2393 は 32K バイトの ROM (マスク ROM) を内蔵しています。ROM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。命令フェッチを高速化し、処理速度を向上しています。

内蔵 ROM の有効または無効の設定はモード端子 (MD₂、MD₁、MD₀) および BCRL の EAE ビットにより行います。

なお、PROM 版は、本 LSI を PROM モードに設定することにより、汎用 PROM ライタを用いて、自由にプログラムの書き込みができます。

17.1.1 ブロック図

ROM のブロック図を図 17.1 に示します。

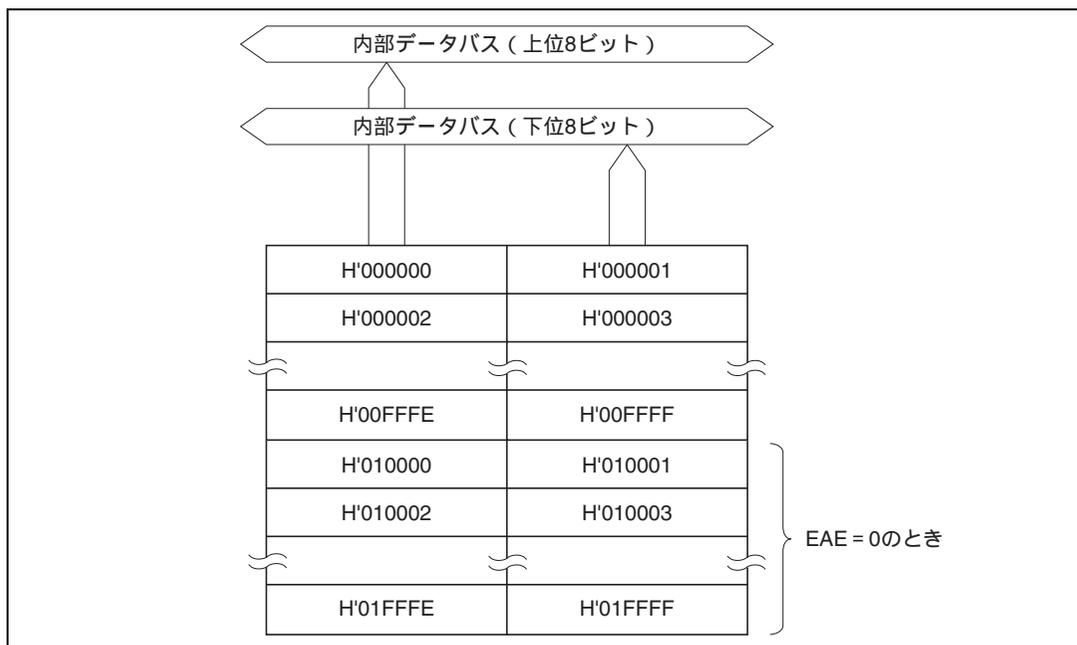


図 17.1 ROM のブロック図 (H8S/2355 の場合)

17.1.2 レジスタ構成

H8S/2355 の内蔵 ROM は、BCRL で制御されます。レジスタ構成を表 17.1 に示します。

表 17.1 レジスタ構成

名 称	略称	R/W	初期値		アドレス*
			パワーオン リセット	マニュアル リセット	
バスコントロールレジスタ L	BCRL	R/W	H'3C	保持	H'FED5

【注】 * アドレスの下位 16 ビットを示しています。

17.2 各レジスタの説明

17.2.1 バスコントロールレジスタ L (BCRL)

ビット :	7	6	5	4	3	2	1	0
	BRLE		EAE					WAITE
初期値 :	0	0	1	1	1	1	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H8S/2355 の内蔵 ROM は、BCRL の EAE ビットにより、一部の領域の有効/無効が選択されます。なお、BCRL のその他のビットについての詳細は「6.2.5 バスコントロールレジスタ L (BCRL)」を参照してください。

ビット 5 : 外部アドレスイネーブル (EAE)

アドレス H'010000 ~ H'01FFFF を内部アドレスとするか、外部アドレスとするかを選択します。本設定はノーマルモードの場合は無効です。

ビット 5	説 明
EAE	
0	アドレス H'010000 ~ H'01FFFF は内蔵 ROM (H8S/2355 の場合) またはリザーブ領域* (H8S/2353 の場合)。
1	アドレス H'010000 ~ H'01FFFF は外部アドレス (外部拡張モードの場合) またはリザーブ領域* (シングルチップモード)。(初期値)

【注】 * リザーブ領域はアクセスしないでください。

17.3 動作説明

内蔵 ROM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。偶数番地が上位 8 ビット、奇数番地が下位 8 ビットに接続されています。ワードデータは偶数番地から始まるデータに限定されています。

内蔵 ROM の有効または無効の設定はモード端子 (MD₂、MD₁、MD₀) および BCRL の EAE ビットにより行います。この設定を表 17.2 に示します。

ノーマルモードのとき、使用できる ROM は最大 56K バイトになります。

表 17.2 動作モードと ROM

動作モード		モード端子			BCRL	内蔵 ROM	
		MD ₂	MD ₁	MD ₀	EAE		
モード 1	ノーマル・内蔵 ROM 無効拡張モード	0	0	1		無効	
モード 2	ノーマル・内蔵 ROM 有効拡張モード		1	0		有効 (56K バイト)	
モード 3	ノーマル・シングルチップモード			1			
モード 4	アドバンスト・内蔵 ROM 無効拡張モード	1	0	0		無効	
モード 5	アドバンスト・内蔵 ROM 無効拡張モード			1			
モード 6	アドバンスト・内蔵 ROM 有効拡張モード		1	0		0	有効*
モード 7	アドバンスト・シングルチップモード					1	0
				1	有効 (64K バイト)		

【注】 * H8S/2355 は 128K バイト、H8S/2353 は 64K バイト、H8S/2393 は 32K バイトです。
H8S/2355 のモード 6、7 の場合、パワーオンリセット後に使用できる内蔵 ROM は、アドレス H'000000 ~ H'00FFFF の 64K バイトですので注意してください。

17.4 PROM モード

17.4.1 PROM モードの設定

PROM 版の場合、PROM モードを設定すると、本 LSI はマイクロコンピュータとしての機能が停止し、内蔵 PROM のプログラムを行うことができます。この PROM のプログラムは、EPROM HN27C101 (V_{pp} = 12.5V) と同様の仕様で行うことができます。120 / 128 ピンから 32 ピンへのピン配置変換ソケットを用いることにより、市販の PROM ライタで簡単に書き込みができます。

ただし、ページプログラミング方式はサポートしていませんので、PROM ライタを選択する場合には注意してください。

PROM モードの設定方法を表 17.3 に示します。

表 17.3 PROM モードの設定方法

端子名	設定
MD ₂ 、MD ₁ 、MD ₀ 端子	Low レベル
STBY 端子	
PA ₂ 、PA ₁ 端子	High レベル

17.4.2 ソケットアダプタの端子対応とメモリマップ

PROM ライタによるプログラムは、120 / 128 ピンから 32 ピンへのソケットアダプタを用いて行います。ソケットアダプタの端子対応図を図 17.2 に、ソケットアダプタの型名を表 17.4 に示します。

また、PROM モード時のメモリマップを図 17.3 に示します。

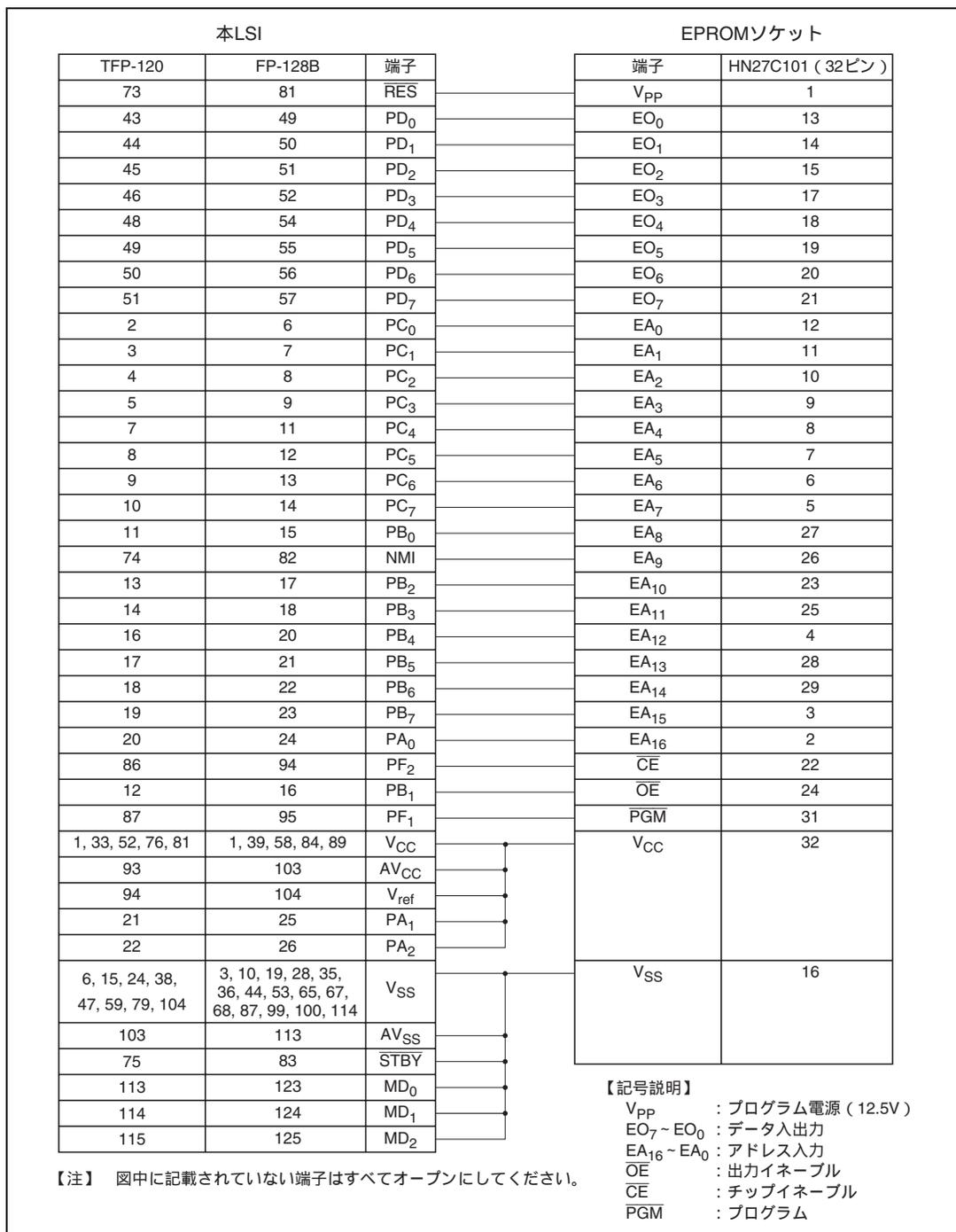


図 17.2 ソケットアダプタの端子対応図

17. ROM

表 17.4 ソケットアダプタ

製品名	パッケージ	ソケットアダプタ型名
H8S/2355	120 ピン TQFP (TFP-120)	HS2655ESNS1H
	128 ピン QFP (FP-128B)	HS2655ESHS1H

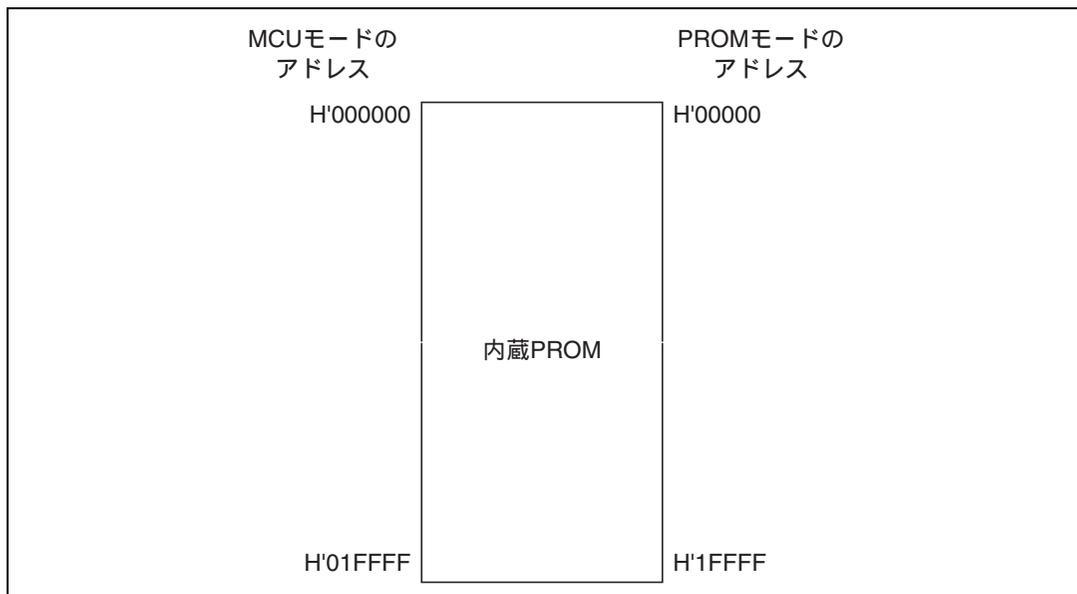


図 17.3 PROM モード時のメモリマップ

17.5 プログラミング

17.5.1 概要

PROM 版の PROM モード時の書き込み、ベリファイなどのモード選択は、表 17.5 に示すような設定で行います。

表 17.5 PROM モード時のモード選択

モード	ピン						
	\overline{CE}	\overline{OE}	\overline{PGM}	V_{PP}	V_{CC}	$EO_7 \sim EO_0$	$EA_{16} \sim EA_0$
書き込み	L	H	L	V_{PP}	V_{CC}	データ入力	アドレス入力
ベリファイ	L	L	H	V_{PP}	V_{CC}	データ出力	アドレス入力
プログラミング禁止	L	L	L	V_{PP}	V_{CC}	ハイインピーダンス	アドレス入力
	L	H	H				
	H	L	L				
	H	H	H				

【記号説明】

L : Low レベル

H : High レベル

V_{PP} : V_{PP} レベル

V_{CC} : V_{CC} レベル

なお、書き込み、読み出し、ベリファイは、標準 EPROM の HN27C101 と同じ仕様になっています。

ただし、ページプログラミング方式はサポートしていませんので、ページプログラミングモードは設定しないでください。ページプログラミングモードのみをサポートしている PROM ライタは使用できません。PROM ライタを選択する場合には、1 バイト単位の高速プログラミングモードをサポートしていることを確認してください。また、アドレスは必ず H'00000 ~ H'1FFFF に設定してください。

17.5.2 書き込み / ベリファイ

書き込み / ベリファイは、効率のよい高速プログラミング方式で行うことができます。この方式はデバイスへの電圧ストレスを与えることなく、また、書き込みデータの信頼性を損なうことなく、高速な書き込みを行うことができます。未使用のアドレスのデータは H'FF です。高速プログラミングの基本的なフローを図 17.4 に示します。また、プログラミング時の電気的特性を表 17.6、表 17.7 に、タイミングを図 17.5 に示します。

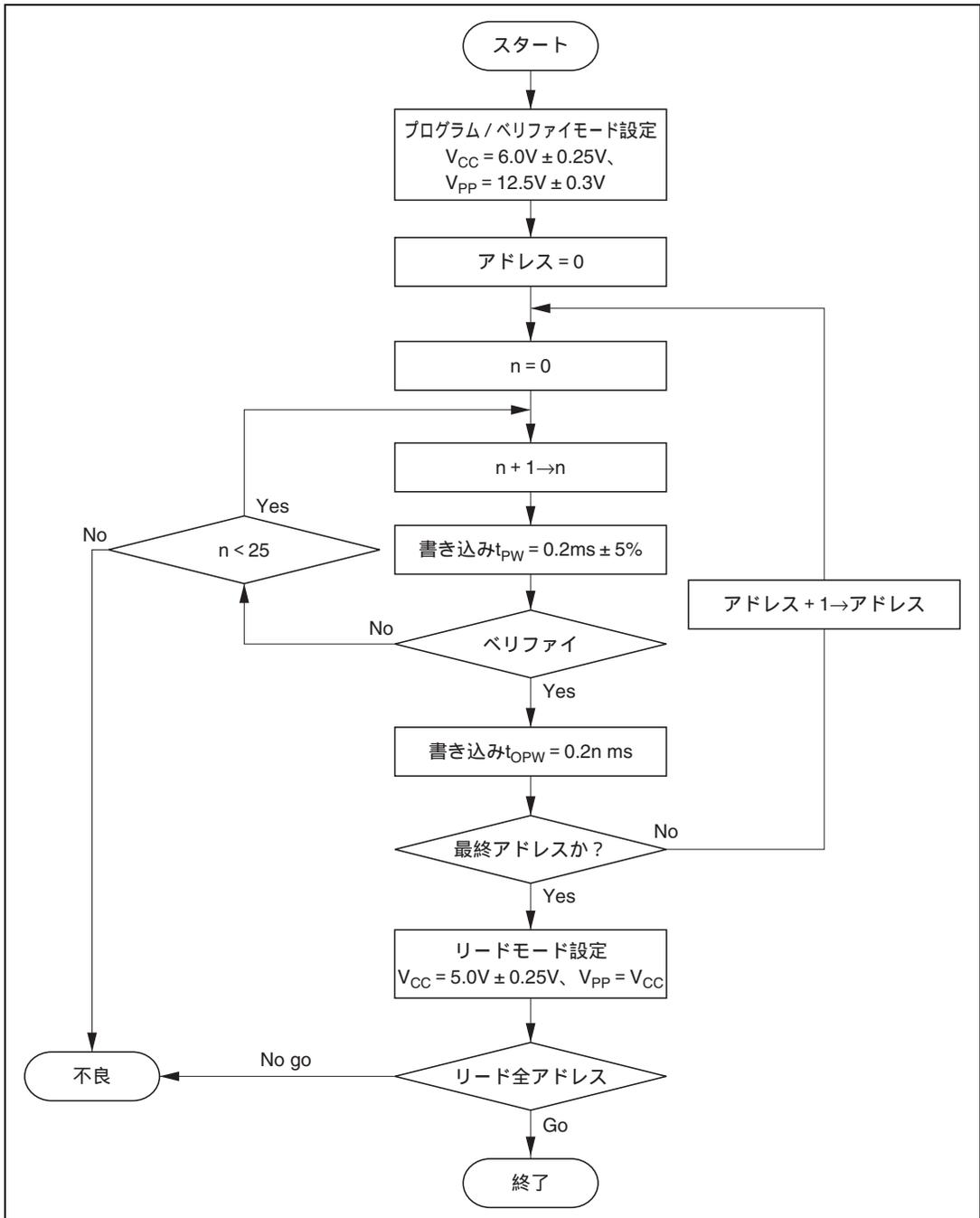


図 17.4 高速プログラミングフローチャート

表 17.6 DC 特性

条件 : $V_{CC} = 6.0V \pm 0.25V$ 、 $V_{PP} = 12.5V \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$

項目	記号	min	typ	max	単位	測定条件	
入力 High レベル電圧	$EO_7 \sim EO_0$ 、 $EA_{16} \sim EA_0$ \overline{OE} 、 \overline{CE} 、PGM	V_{IH}	2.4	-	$V_{CC} + 0.3$	V	
入力 Low レベル電圧	$EO_7 \sim EO_0$ 、 $EA_{16} \sim EA_0$ \overline{OE} 、 \overline{CE} 、PGM	V_{IL}	- 0.3	-	0.8	V	
出力 High レベル電圧	$EO_7 \sim EO_0$	V_{OH}	2.4	-	-	V	$I_{OH} = -200\mu A$
出力 Low レベル電圧	$EO_7 \sim EO_0$	V_{OL}	-	-	0.45	V	$I_{OL} = 1.6mA$
入力 リーク電流	$EO_7 \sim EO_0$ 、 $EA_{16} \sim EA_0$ \overline{OE} 、 \overline{CE} 、PGM	$ I_U $	-	-	2	μA	$V_{in} = 5.25V/0.5V$
V_{CC} 電流		I_{CC}	-	-	40	mA	
V_{PP} 電流		I_{PP}	-	-	40	mA	

表 17.7 AC 特性

条件 : $V_{CC} = 6.0V \pm 0.25V$ 、 $V_{PP} = 12.5V \pm 0.3V$ 、 $T_a = 25 \pm 5$

項目	記号	min	typ	max	単位	測定条件
アドレスセットアップ時間	t_{AS}	2			μs	図 17.5 *1
\overline{OE} セットアップ時間	t_{OES}	2			μs	
データセットアップ時間	t_{DS}	2			μs	
アドレスホールド時間	t_{AH}	0			μs	
データホールド時間	t_{DH}	2			μs	
データ出力ディスエーブル時間	t_{DF}^{*2}			130	ns	
V_{PP} セットアップ時間	t_{VPS}	2			μs	
プログラムパルス幅	t_{PW}	0.19	0.20	0.21	ms	
オーバプログラム時の PGM パルス幅	t_{OPW}^{*3}	0.19		5.25	ms	
V_{CC} セットアップ時間	t_{VCS}	2			μs	
\overline{CE} セットアップ時間	t_{CES}	2			μs	
データ出力遅延時間	t_{OE}	0		150	ns	

【注】 *1 入力パルスレベル : 0.8 ~ 2.2V

入力立ち上がり / 立ち下がり時間 20ns

タイミング参照レベル 入力 : 1.0V、2.0V

出力 : 0.8V、2.0V

*2 t_{DF} は出力が開放状態に達し、出力レベルを参照できなくなった場合で定義します。*3 t_{OPW} はフローチャートに記載した値で定義されます。

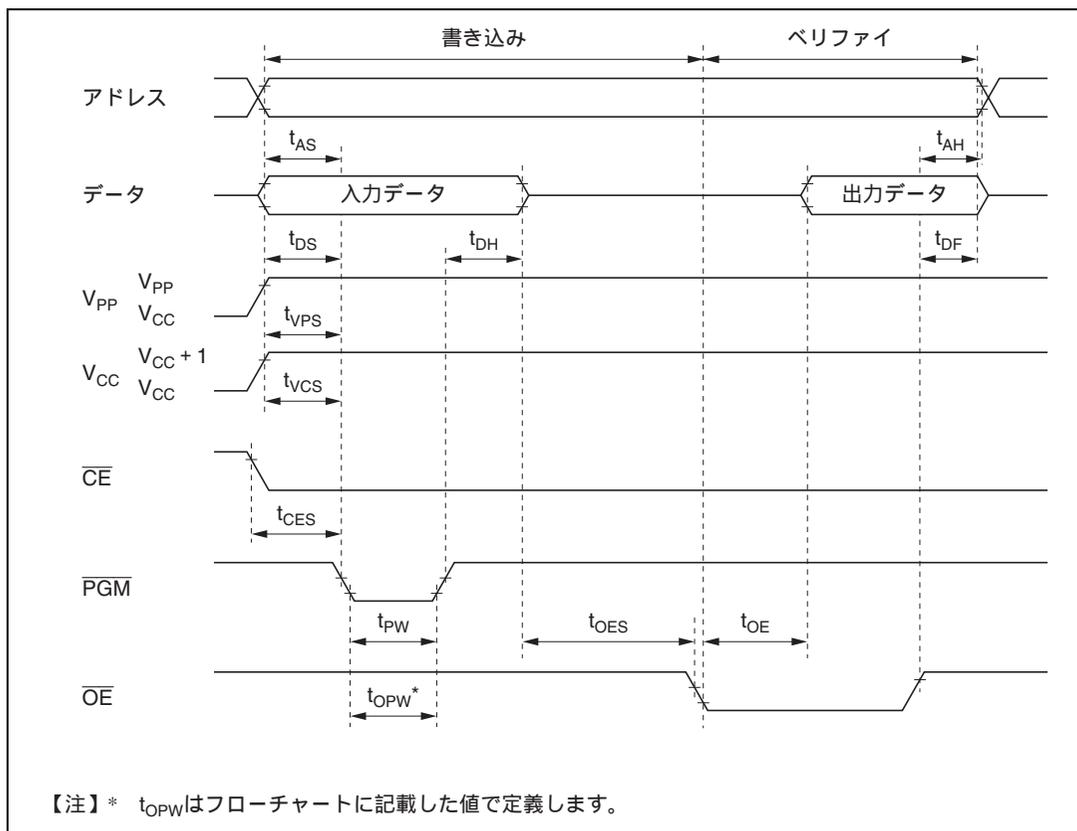


図 17.5 PROM 書き込み / ベリファイタイミング

17.5.3 書き込み時の注意

- (1) 書き込みは規定された電圧、タイミングで行ってください。
PROMモード時のプログラム電圧 (V_{pp}) は12.5Vです。
定格以上の電圧を加えると、製品の永久破壊に至りますので、注意してください。特にPROMライタのオーバシュートなどには十分注意してください。
PROMライタのHN27C101のルネサス仕様に設定すると、 V_{pp} は12.5Vになります。
- (2) PROMライタのソケット、ソケットアダプタおよびMCUそれぞれのインデックスが一致していないと、過剰電流によってMCUが破壊されることがあります。書き込み前に正しくPROMライタに装着されていることを確認してください。
- (3) 書き込み中はソケットアダプタおよびMCUには触れないようにしてください。接触不良により書き込み不良となる場合があります。
- (4) ページプログラミングモードはサポートしていません。PROMライタのプログラミングモードの設定には注意してください。
- (5) PROMの容量は128Kバイトです。アドレスは必ずH'00000 ~ H'1FFFFに設定してください。プログラミング時には、未使用のアドレス領域のデータはH'FFとしてください。

17.5.4 書き込み後の信頼性

PROM への書き込み後、データ保持特性を向上させるために、150 の高温放置を行うと大変有効です。高温放置は、スクリーニングの 1 つであり、PROM メモリセルの初期のデータ保持不良を短時間で除くことができます。

図 17.6 に推奨するスクリーニングフローを示します。

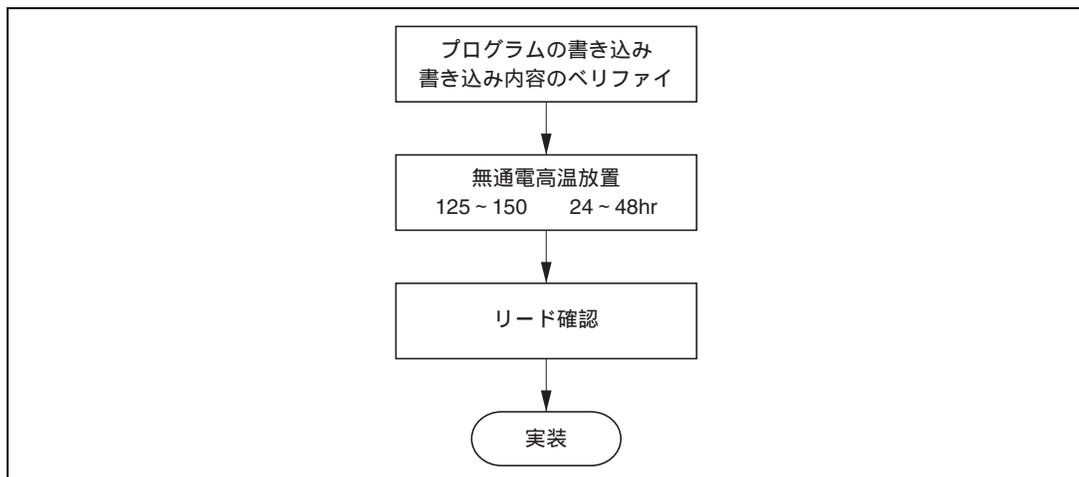


図 17.6 PROM 推奨スクリーニングフロー

同じ PROM ライタでプログラミング中に、書き込み不良が連続して発生した場合には書き込みを中止し、PROM ライタ、ソケットアダプタなどに異常がないか確認してください。

なお、書き込みあるいは高温放置後のプログラム確認において異常がありましたら、当社技術担当にご連絡ください。

18. クロック発振器

18.1 概要

本 LSI は、クロック発振器 (CPG: Clock Pulse Generator) を内蔵しており、システムクロック (ϕ)、バスマスタクロック、および内部クロックを生成します。

クロック発振器は、発振器、デューティ補正回路、中速クロック分周器、バスマスタクロック選択回路から構成されます。

18.1.1 ブロック図

クロック発振器のブロック図を図 18.1 に示します。

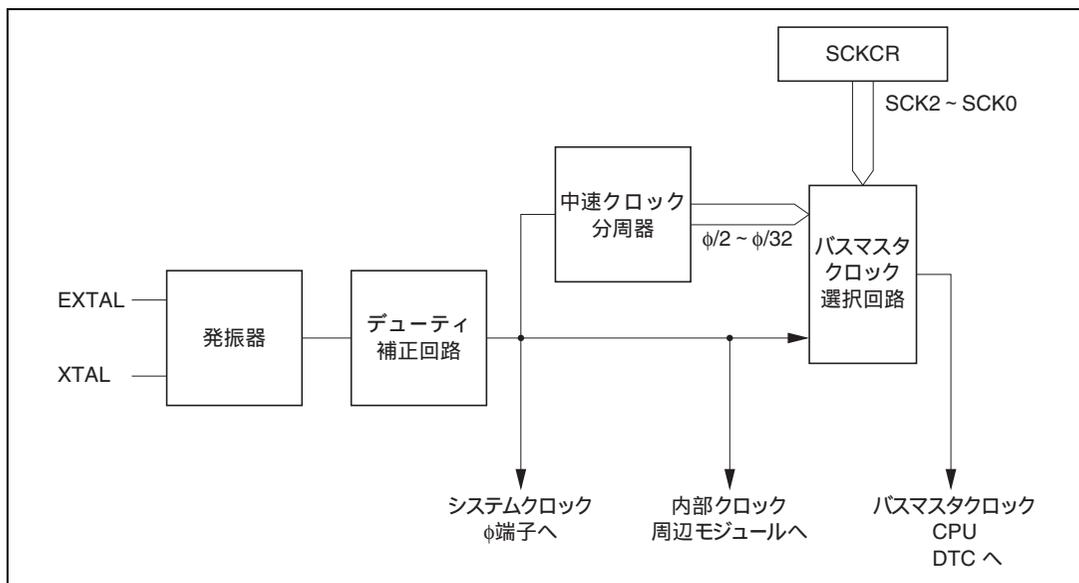


図 18.1 クロック発振器のブロック図

18.1.2 レジスタ構成

クロック発振器は、SCKCR で制御されます。レジスタ構成を表 18.1 に示します。

表 18.1 レジスタ構成

名称	略称	R/W	初期値	アドレス*
システムクロックコントロールレジスタ	SCKCR	R/W	H'00	H'FF3A

【注】 * アドレスの下位 16 ビットを示しています。

18.2 各レジスタの説明

18.2.1 システムクロックコントロールレジスタ (SCKCR)

ビット:	7	6	5	4	3	2	1	0
	PSTOP	-	-	-	-	SCK2	SCK1	SCK0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	-	-	-	R/W	R/W	R/W

SCKCR は 8 ビットのリード/ライト可能なレジスタで、 ϕ クロック出力と中速モードの制御を行います。

SCKCR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 7: ϕ クロック出力禁止 (PSTOP)

ϕ 出力を制御します。

ビット 7	説明			
PSTOP	通常動作状態	スリープモード	ソフトウェアスタンバイモード	ハードウェアスタンバイモード
0	ϕ 出力 (初期値)	ϕ 出力	High レベル固定	ハイインピーダンス
1	High レベル固定	High レベル固定	High レベル固定	ハイインピーダンス

ビット 6: リザーブビット

リード/ライト可能ですが、ライト時には 0 をライトしてください。

ビット 5~3: リザーブビット

リードすると常に 0 が読み出されます。ライトは無効です。

ビット 2~0: システムクロックセレクト 2~0 (SCK2~ SCK0)

バスマスタのクロックを選択します。

ビット 2	ビット 1	ビット 0	説明
SCK2	SCK1	SCK0	
0	0	0	バスマスタは高速モード (初期値)
		1	中速クロックは $\phi/2$
	1	0	中速クロックは $\phi/4$
		1	中速クロックは $\phi/8$
1	0	0	中速クロックは $\phi/16$
		1	中速クロックは $\phi/32$
	1	-	-

18.3 発振器

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法の2通りがあります。

18.3.1 水晶発振子を接続する方法

(1) 回路構成

水晶発振子を接続する場合の接続例を図 18.2 に示します。ダンピング抵抗 R_d は、表 18.2 に示すものを使用してください。また、水晶発振子は、AT カット並列共振形を使用してください。

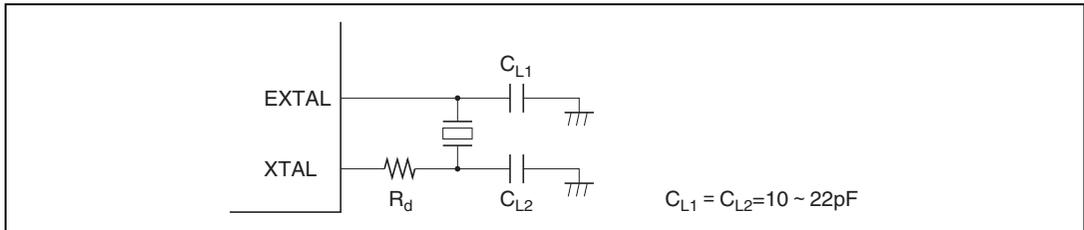


図 18.2 水晶発振子の接続例

表 18.2 ダンピング抵抗値

周波数 (MHz)	2	4	8	12	16	20
R_d (Ω)	1k	500	200	0	0	0

(2) 水晶発振子

図 18.3 に水晶発振子の等価回路を示します。水晶発振子は表 18.3 に示す特性のものを使用してください。

水晶発振子は、システムクロック (ϕ) と同一の周波数のものを使用してください。

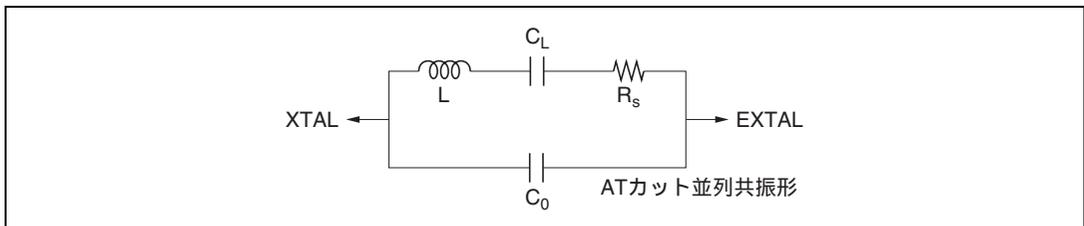


図 18.3 水晶発振子の等価回路

表 18.3 水晶発振子の特性

周波数 (MHz)	2	4	8	12	16	20
R_s max (Ω)	500	120	80	60	50	40
C_0 max (pF)	7					

(3) ボード設計上の注意

水晶発振子を接続して発振させる場合、次の点に注意してください。

発振回路部の近くに信号線を通させないでください(図 18.4)。誘導により正しい発振ができなくなる場合があります。

また、ボード設計に際しては、水晶発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。

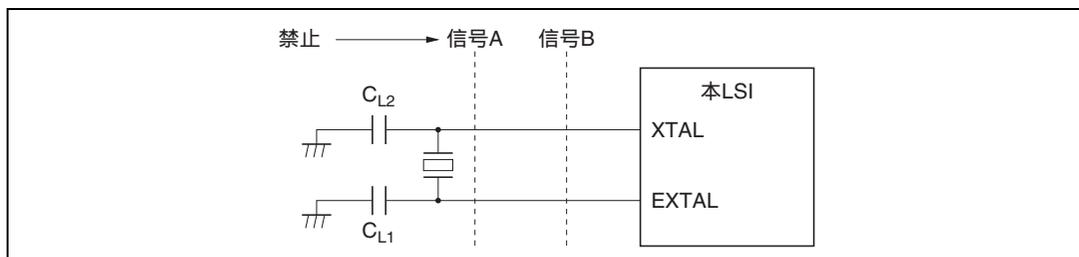


図 18.4 発振回路部のボード設計に関する注意事項

18.3.2 外部クロックを入力する方法

(1) 回路構成

外部クロック入力の接続例を図 18.5 に示します。XTAL 端子をオープン状態にする場合は、寄生容量を 10pF 以下としてください。

図 18.5 (b) の場合、スタンバイモード時には外部クロックが High レベルになるようにしてください。

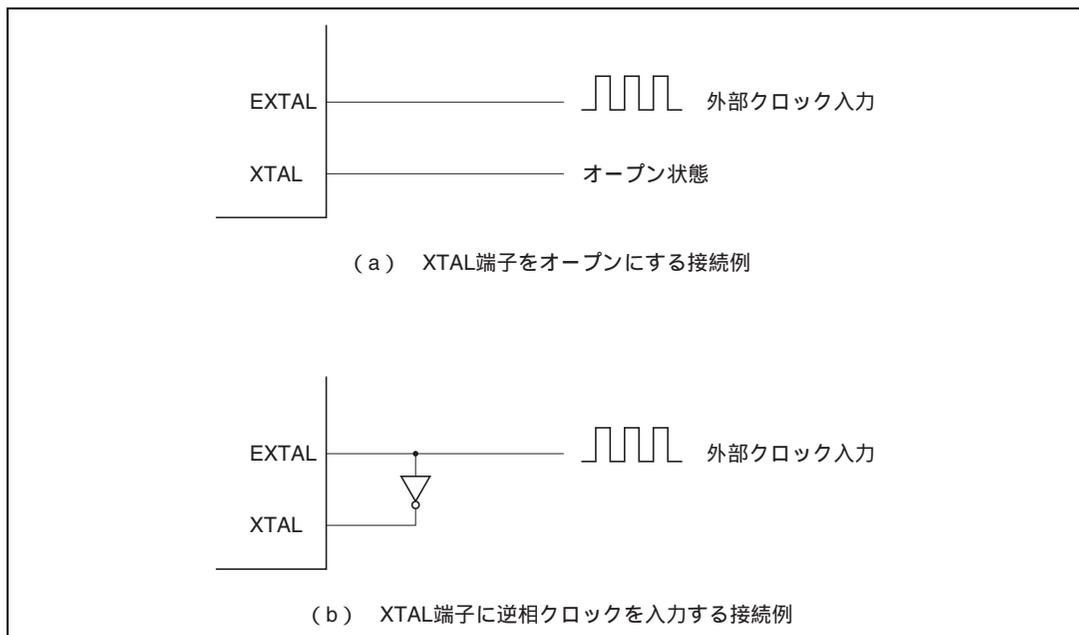


図 18.5 外部クロックの接続例

(2) 外部クロック

外部クロックは、システムクロック (ϕ) と同一の周波数としてください。
外部クロックの入力条件を表 18.4 および図 18.6 に示します。

表 18.4 外部クロック入力条件

項目	記号	$V_{CC} = 2.7 \sim 5.5V$		$V_{CC} = 5.0V \pm 10\%$		単位	測定条件	
		min	max	min	max			
外部クロック入力 パルス幅 Low レベル	t_{EXL}	40	-	20	-	ns	図 18.6	
外部クロック入力 パルス幅 High レベル	t_{EXH}	40	-	20	-	ns		
外部クロック 立ち上がり時間	t_{EXr}	-	10	-	5	ns		
外部クロック 立ち下がり時間	t_{EXf}	-	10	-	5	ns		
クロックパルス幅 Low レベル	t_{CL}	0.4	0.6	0.4	0.6	t_{cyc}	ϕ 5MHz	図 20.4
		80	-	80	-	ns	$\phi < 5MHz$	
クロックパルス幅 High レベル	t_{CH}	0.4	0.6	0.4	0.6	t_{cyc}	ϕ 5MHz	
		80	-	80	-	ns	$\phi < 5MHz$	

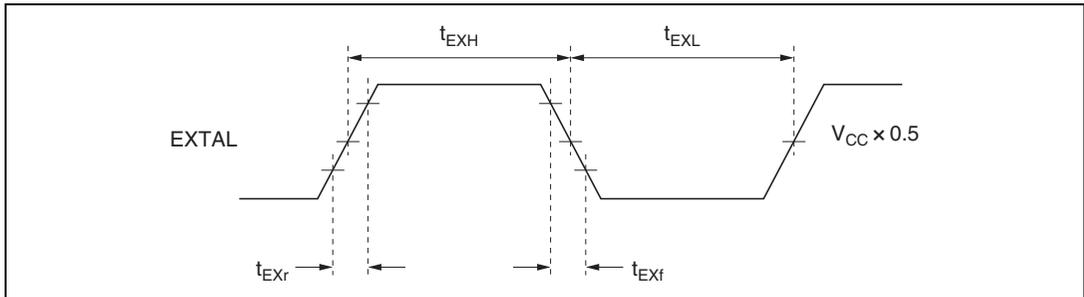


図 18.6 外部クロック入力タイミング

18.4 デューティ補正回路

デューティ補正回路は、発振周波数 5MHz 以上の場合に有効になり、発振器の出力するクロックのデューティを補正し、システムクロック (ϕ) を生成します。

18.5 中速クロック分周器

中速クロック分周器は、システムクロックを分周し、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$ を生成します。

18.6 バスマスタクロック選択回路

バスマスタクロック選択回路は、バスマスタに供給するクロックを、SCKCR の SCK2 ~ SCK0 ビットに従って、システムクロック (ϕ)、または中速クロック ($\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$) から選択します。

19. 低消費電力状態

19.1 概要

本 LSI には、通常のプログラム実行状態のほかに、CPU や発振器の動作を停止し、消費電力を低くする低消費電力状態があります。CPU、内蔵周辺機能などを個別に制御して、低消費電力化を実現できます。

本 LSI の動作状態には、

- (1) 高速モード
- (2) 中速モード
- (3) スリープモード
- (4) モジュールストップモード
- (5) ソフトウェアスタンバイモード
- (6) ハードウェアスタンバイモード

があり、(2)～(6)が低消費電力状態です。スリープモードは CPU の状態、中速モードは CPU とバスマスタの状態、モジュールストップモードは内蔵周辺機能（CPU 以外のバスマスタも含む）の状態です。これらは組み合わせて設定することができます。

リセット後は、高速モードになっています。

表 19.1 に、各動作状態へ遷移する条件と CPU や周辺機能などの状態、および各モードの解除方法を示します。

表 19.1 動作状態

動作状態	遷移条件	解除方法	発振器	CPU		モジュール		I/O ポート
				レジスタ	レジスタ			
高速モード	制御レジスタ		動作	高速	動作	高速	動作	高速
中速モード	制御レジスタ		動作	中速	動作	高 / 中速* ¹	動作	高速
スリープモード	命令	割り込み	動作	停止	保持	高速	動作	高速
モジュールストップモード	制御レジスタ		動作	高 / 中速	動作	停止	保持 / リセット* ²	保持
ソフトウェアスタンバイモード	命令	外部割り込み	停止	停止	保持	停止	保持 / リセット* ²	保持
ハードウェアスタンバイモード		端子	停止	停止	不定	停止	リセット	ハイインピーダンス

【注】 *1 バスマスタは中速クロック、その他の内蔵周辺機能は高速クロックで動作します。

*2 SCI、A/D はリセット状態、その他の内蔵周辺機能は状態を保持します。

19.1.1 レジスタ構成

低消費電力状態は、SBYCR、SCKCR、MSTPCR で制御されます。レジスタ構成を表 19.2 に示します。

表 19.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
スタンバイコントロールレジスタ	SBYCR	R/W	H'08	H'FF38
システムクロックコントロールレジスタ	SCKCR	R/W	H'00	H'FF3A
モジュールストップコントロールレジスタ H	MSTPCRH	R/W	H'3F	H'FF3C
モジュールストップコントロールレジスタ L	MSTPCRL	R/W	H'FF	H'FF3D

【注】 * アドレスの下位 16 ビットを示しています。

19.2 各レジスタの説明

19.2.1 スタンバイコントロールレジスタ (SBYCR)

ビット :	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	OPE	-	-	-
初期値 :	0	0	0	0	1	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	-	-	R/W

SBYCR は 8 ビットのリード/ライト可能なレジスタで、ソフトウェアスタンバイモードの制御を行います。

SBYCR はリセットまたはハードウェアスタンバイモード時に H'08 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 7: ソフトウェアスタンバイ (SSBY)

ソフトウェアスタンバイモードへの遷移を指定します。

なお、外部割り込みによってソフトウェアスタンバイモードが解除され、通常動作に遷移したときは 1 にセットされたまま値が変わりません。クリアする場合は 0 をライトしてください。

ビット 7	説 明
SSBY	
0	SLEEP 命令実行後、スリープモードに遷移 (初期値)
1	SLEEP 命令実行後、ソフトウェアスタンバイモードに遷移

ビット6～4：スタンバイタイムセレクト2～0 (STS2～STS0)

外部割り込みによってソフトウェアスタンバイモードを解除する場合に、クロックが安定するまでMCUが待機する時間を選択します。水晶発振の場合、表 19.4 を参照し、動作周波数に応じて待機時間が8ms（発振安定時間）以上となるように選択してください。外部クロックの場合、任意の選択が可能です。

ビット6	ビット5	ビット4	説明
STS2	STS1	STS0	
0	0	0	待機時間 = 8192 ステート (初期値)
		1	待機時間 = 16384 ステート
	1	0	待機時間 = 32768 ステート
		1	待機時間 = 65536 ステート
1	0	0	待機時間 = 131072 ステート
		1	待機時間 = 262144 ステート
	1	0	リザーブ
		1	待機時間 = 16 ステート

ビット3：出力ポートイネーブル (OPE)

ソフトウェアスタンバイモード時にアドレスバス、バス制御信号 ($\overline{CS0} \sim \overline{CS7}$ 、 \overline{AS} 、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR}) の出力を保持するか、ハイインピーダンスにするかを指定します。

ビット3	説明
OPE	
0	ソフトウェアスタンバイモード時、アドレスバス、バス制御信号はハイインピーダンス
1	ソフトウェアスタンバイモード時、アドレスバス、バス制御信号は出力状態を保持 (初期値)

ビット2、1：リザーブビット

リードすると常に0が読み出されます。ライトは無効です。

ビット0：リザーブビット

リード/ライト可能ですが、ライト時には0をライトしてください。

19.2.2 システムクロックコントロールレジスタ (SCKCR)

ビット：	7	6	5	4	3	2	1	0
	PSTOP	-	-	-	-	SCK2	SCK1	SCK0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	-	-	-	R/W	R/W	R/W

SCKCR は8ビットのリード/ライト可能なレジスタで、 ϕ クロック出力の制御と中速モードの制御を行います。

SCKCR はリセットまたはハードウェアスタンバイモード時にH'00に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

19. 低消費電力状態

ビット7：φクロック出力禁止（PSTOP）

φ出力を制御します。

ビット7	説明			
PSTOP	通常動作状態	スリープモード	ソフトウェアスタンバイモード	ハードウェアスタンバイモード
0	φ出力（初期値）	φ出力	High レベル固定	ハイインピーダンス
1	High レベル固定	High レベル固定	High レベル固定	ハイインピーダンス

ビット6：リザーブビット

リード/ライト可能ですが、ライト時には0をライトしてください。

ビット5～3：リザーブビット

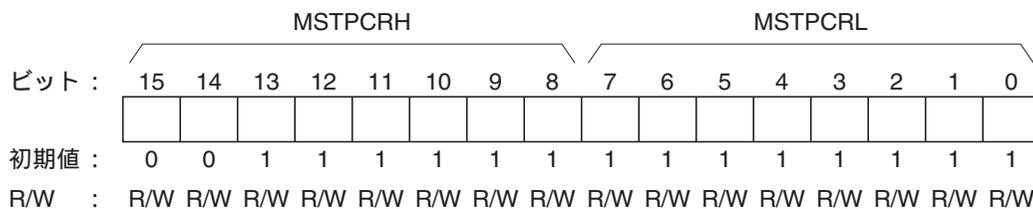
リードすると常に0が読み出されます。ライトは無効です。

ビット2～0：システムクロックセレクト2～0（SCK2～SCK0）

バスマスタのクロックを選択します。

ビット2	ビット1	ビット0	説明
SCK2	SCK1	SCK0	
0	0	0	バスマスタは高速モード（初期値）
		1	中速クロックはφ/2
	1	0	中速クロックはφ/4
		1	中速クロックはφ/8
1	0	0	中速クロックはφ/16
		1	中速クロックはφ/32
	1	-	-

19.2.3 モジュールストップコントロールレジスタ（MSTPCR）



MSTPCR は 16 ビットのリード/ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 15~0 : モジュールストップ (MSTP15~MSTP0)

モジュールストップモードを指定します。内蔵周辺機能の選択方法は表 19.3 を参照してください。

ビット 15~0	説明
MSTP15~MSTP0	
0	モジュールストップモード解除
1	モジュールストップモード設定

19.3 中速モード

SCKCR の SCK2~SCK0 ビットを 1 にセットすると、そのバスサイクルの終了時点で中速モードになります。中速モードでは、CPU は SCK2~SCK0 ビットで指定した動作クロック ($\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$) で動作します。CPU 以外のバスマスタ (DTC) も中速モードで動作します。

バスマスタ以外の内蔵周辺機能は常に高速クロック (ϕ) で動作します。

中速モードではバスマスタの動作クロックに対して、指定されたステート数でバスアクセスを行います。たとえば、動作クロックとして $\phi/4$ を選択した場合、内蔵メモリは 4 ステートアクセス、内部 I/O レジスタは 8 ステートアクセスになります。

中速モードの解除は、SCK2~SCK0 ビットをいずれも 0 にクリアすることによって行われ、そのバスサイクルの終了時点で高速モードに遷移し、中速モードは解除されます。

SBYCR の SSBY ビットを 0 にクリアした状態で SLEEP 命令を実行すると、スリープモードに遷移します。スリープモードが割り込みによって解除されると中速モードに復帰します。

また、SSBY ビットを 1 にセットした状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードが外部割り込みによって解除されると中速モードに復帰します。

RES 端子を Low レベルにするとリセット状態に遷移し、中速モードは解除されます。ウォッチドッグタイマのオーバーフローによるリセットによっても同様です。

STBY 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

中速モードへの遷移、解除のタイミングを図 19.1 に示します。

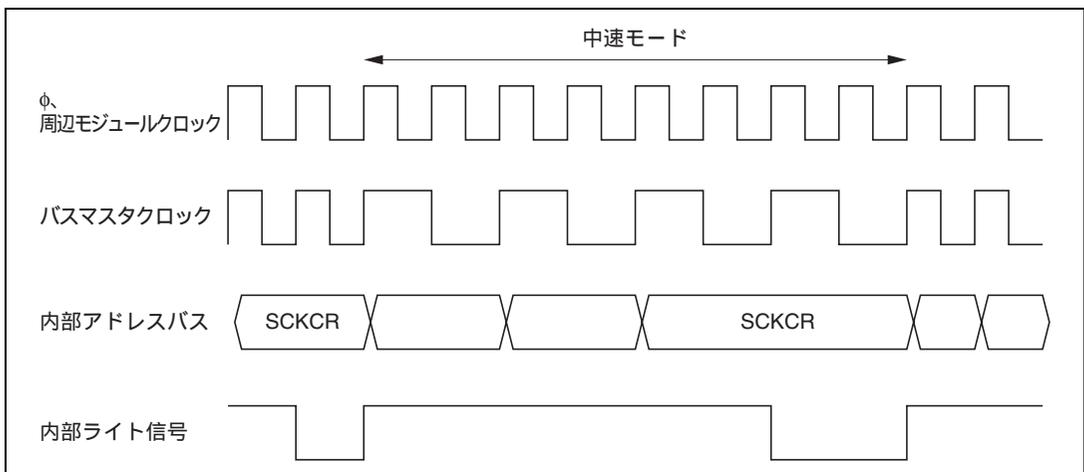


図 19.1 中速モードの遷移・解除タイミング

19.4 スリープモード

SBYCR の SSBY ビットを 0 にクリアした状態で SLEEP 命令を実行すると、CPU はスリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタの内容は保持されます。CPU 以外の周辺機能は停止しません。

スリープモードの解除は、リセットまたはすべての割り込みによって行われ、例外処理状態を経て通常のプログラム実行状態へ遷移します。割り込みが禁止されている場合、また、NMI 以外の割り込みが CPU でマスクされている場合には、スリープモードは解除されません。

STBY 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

19.5 モジュールストップモード

19.5.1 モジュールストップモード

モジュールストップモードは内蔵周辺機能のモジュール単位で設定することができます。

MSTPCR の対応する MSTP ビットを 1 にセットすると、バスサイクルの終了時点でモジュールは動作を停止してモジュールストップモードへ遷移します。このとき CPU は独立して動作を続けます。

MSTP ビットと内蔵周辺機能の対応を表 19.3 に示します。

対応する MSTP ビットを 0 にクリアすることによって、モジュールストップモードは解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップモードでは、SCI および A/D 変換器を除くモジュールの内部状態が保持されています。

リセット解除後は、DTC を除くすべてのモジュールがモジュールストップモードになっています。

モジュールストップモードに設定されたモジュールのレジスタは、リード/ライトできません。

また、全モジュールストップ (MSTPCR = H'FFFF) または 8 ビットタイマ以外は、モジュールストップ (MSTPCR = H'EFFF) の状態でスリープモードに遷移すると、バスコントローラと I/O ポートも動作を停止しますので、さらに消費電流を低減することができます。

表 19.3 MSTP ビットと内蔵周辺機能の対応

レジスタ	ビット	モジュール
MSTPCR _H	MSTP15	-
	MSTP14	データトランスファコントローラ (DTC)
	MSTP13	16 ビットタイマパルスユニット (TPU)
	MSTP12	8 ビットタイマ
	MSTP11	-
	MSTP10	D/A 変換器*
	MSTP9	A/D 変換器
	MSTP8	-
MSTPCR _L	MSTP7	シリアルコミュニケーションインタフェース (SCI) チャンネル 2
	MSTP6	シリアルコミュニケーションインタフェース (SCI) チャンネル 1
	MSTP5	シリアルコミュニケーションインタフェース (SCI) チャンネル 0
	MSTP4	-
	MSTP3	-
	MSTP2	-
	MSTP1	-
	MSTP0	-

【注】 ビット 15、11、8、4~0 はリード/ライトできますが、動作に影響を与えません。

* H8S/2393 では D/A 変換器を内蔵していません。ビット 10 はリード/ライトできますが、動作には影響を与えません。

19.5.2 使用上の注意

(1) DTC のモジュールストップ

DTC の動作状態によっては、MSTP14 ビットは 1 にセットされない場合があります。DTC のモジュールストップモードの設定は、起動されない状態で行ってください。

詳細は「第 7 章 データトランスファコントローラ (DTC)」を参照してください。

(2) 内蔵周辺モジュールの割り込み

モジュールストップモードでは、当該割り込みの動作ができません。したがって、割り込みが要求された状態でモジュールストップとすると、CPU の割り込み要因または DTC の起動要因のクリアができません。

事前に割り込みを禁止するなど設定してからモジュールストップモードとしてください。

(3) MSTPCR のライト

MSTPCR は CPU のみでライトしてください。

19.6 ソフトウェアスタンバイモード

19.6.1 ソフトウェアスタンバイモード

SBYCR の SSBY ビットを 1 にセットした状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードになります。このモードでは、CPU、内蔵周辺機能、および発振器のすべての機能が停止します。ただし、CPU の内部レジスタの内容と内蔵 RAM のデータ、SCI および A/D 変換器を除く内蔵周辺機能と、I/O ポートの状態は保持されます。アドレスバス、バス制御信号は、ハイインピーダンス状態とするか、出力状態を保持するかを、SBYCR の OPE ビットにより指定できます。

本モードでは、発振器が停止するため、消費電力は著しく低減されます。

19.6.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割り込み (NMI 端子、 $\overline{\text{IRQ0}} \sim \overline{\text{IRQ2}}$ 端子)、 $\overline{\text{RES}}$ 端子、または $\overline{\text{STBY}}$ 端子によって行われます。

(1) 割り込みによる解除

NMI、IRQ0 ~ IRQ2 割り込み要求信号が入力されると、クロックが発振を開始し、SBYCR の STS2 ~ STS0 ビットによって設定された時間が経過した後、安定したクロックが本 LSI 全体に供給されて、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

IRQ0 ~ IRQ2 割り込みでソフトウェアスタンバイモードを解除する場合には、対応するイネーブルビットを 1 にセットし、かつ IRQ0 ~ IRQ2 割り込みより高い優先順位の割り込みが発生しないようにしてください、なお、CPU 側でマスクした場合、または DTC の起動要因に設定した場合には、ソフトウェアスタンバイモードは解除できません。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子を Low レベルにすると、クロックの発振が開始されます。クロックの発振開始と同時に、本 LSI 全体にクロックが供給されます。このとき $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで Low レベルに保持してください。 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

(3) $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

19.6.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定

SBYCR の STS2 ~ STS0 ビットの設定は、以下のよう to してください。

(1) 水晶発振の場合

待機時間が 8ms (発振安定時間) 以上となるように STS2 ~ STS0 ビットを設定してください。
表 19.4 に、動作周波数と STS2 ~ STS0 ビットの設定に対する待機時間を示します。

表 19.4 発振安定時間の設定

STS 2	STS 1	STS 0	待機時間	20MH z	16MH z	12MH z	10MH z	8MHz	6MHz	4MHz	2MHz	単位	
0	0	0	8192 ステート	0.41	0.51	0.68	0.8	1.0	1.3	2.0	4.1	ms	
		1	16384 ステート	0.82	1.0	1.3	1.6	2.0	2.7	4.1	8.2		
	1	0	32768 ステート	1.6	2.0	2.7	3.3	4.1	5.5	8.2	16.4		
		1	65536 ステート	3.3	4.1	5.5	6.6	8.2	10.9	16.4	32.8		
1	0	0	131072 ステート	6.6	8.2	10.9	13.1	16.4	21.8	32.8	65.5		
		1	262144 ステート	13.1	16.4	21.8	26.2	32.8	43.6	65.6	131.2		
	1	0	リザーブ	-	-	-	-	-	-	-	-		-
		1	16 ステート	0.8	1.0	1.3	1.6	2.0	2.7	4.0	8.0		μs

 : 推奨設定時間

(2) 外部クロックの場合

任意の値を設定可能です。通常の場合は最小時間の使用を推奨します。

19.6.4 ソフトウェアスタンバイモードの応用例

NMI 端子の立ち下がりエッジでソフトウェアスタンバイモードに遷移し、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 19.2 に示します。

この例では、SYSCR の NMIEG ビットが 0 にクリアされている(立ち下がりエッジ指定)状態で、NMI 割り込みを受け付けた後、NMIEG ビットを 1 にセット(立ち上がりエッジ指定)、SSBY ビットを 1 にセットした後、SLEEP 命令を実行してソフトウェアスタンバイモードに遷移しています。その後、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

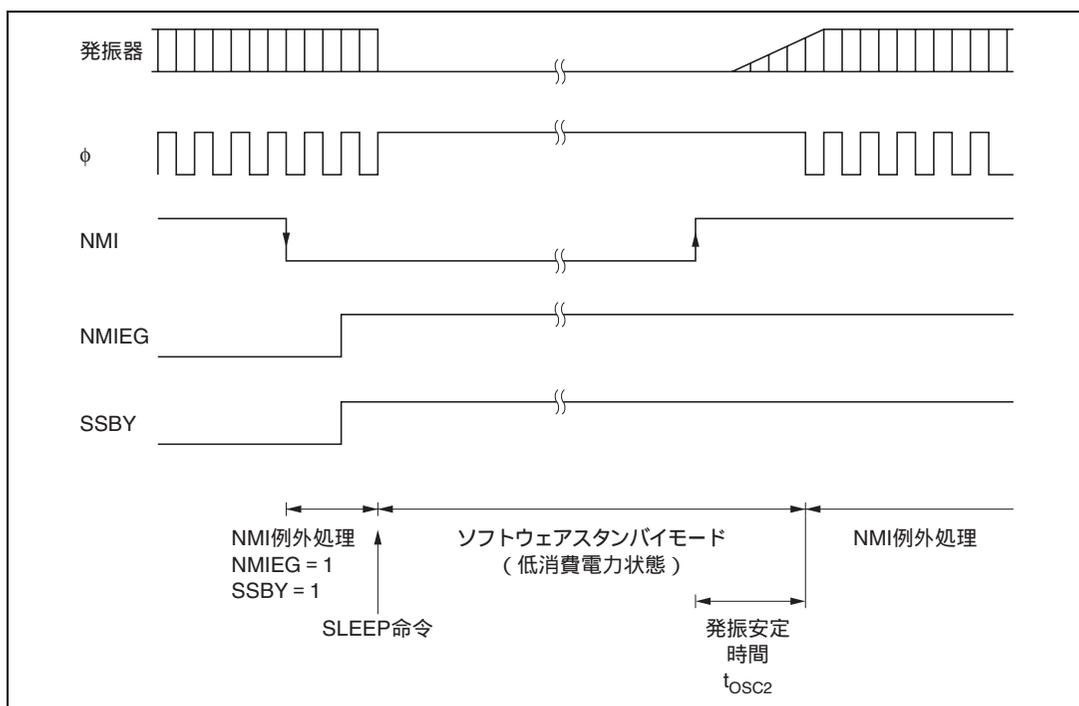


図 19.2 ソフトウェアスタンバイモードの応用例

19.6.5 使用上の注意

(1) I/O ポートの状態

ソフトウェアスタンバイモードでは、I/O ポートの状態が保持されます。また、OPE ビットを 1 にセットした場合、アドレスバス、バス制御信号の出力も保持されます。したがって、High レベルを出力している場合、出力電流分の消費電流は低減されません。

(2) 発振安定待機中の消費電流

発振安定待機中は消費電流が増加します。

19.7 ハードウェアスタンバイモード

19.7.1 ハードウェアスタンバイモード

$\overline{\text{STBY}}$ 端子を Low レベルにすると、どの状態からでもハードウェアスタンバイモードになります。

ハードウェアスタンバイモードでは、すべての機能がリセット状態になり動作が停止するため、消費電力は著しく低減します。このとき、規定の電圧が与えられている限り、内蔵 RAM のデータは保持されます。I/O ポートはハイインピーダンス状態になります。

内蔵 RAM のデータを保持するためには、 $\overline{\text{STBY}}$ 端子を Low レベルにする前に、SYSCR の RAME ビットを 0 にクリアしてください。

また、ハードウェアスタンバイモード中には、モード端子 ($\text{MD}_2 \sim \text{MD}_0$) の状態を変化させないでください。

ハードウェアスタンバイモードの解除は、 $\overline{\text{STBY}}$ 端子と $\overline{\text{RES}}$ 端子によって行われます。 $\overline{\text{RES}}$ 端子を Low レベルにした状態で、 $\overline{\text{STBY}}$ 端子を High レベルにすると、リセット状態になり、クロックは発振を開始します。このとき、 $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで（水晶発振の場合、発振安定時間 8ms 以上）Low レベルを保持してください。その後、 $\overline{\text{RES}}$ 端子を High レベルにすると、リセット例外処理状態を経てプログラム実行状態へ遷移します。

19.7.2 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードのタイミング例を図 19.3 に示します。

$\overline{\text{RES}}$ 端子を Low レベルにした後、 $\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。解除は、 $\overline{\text{STBY}}$ 端子を High レベルにし、クロックの発振安定時間経過後、 $\overline{\text{RES}}$ 端子を Low レベルから High レベルにすることにより行われます。

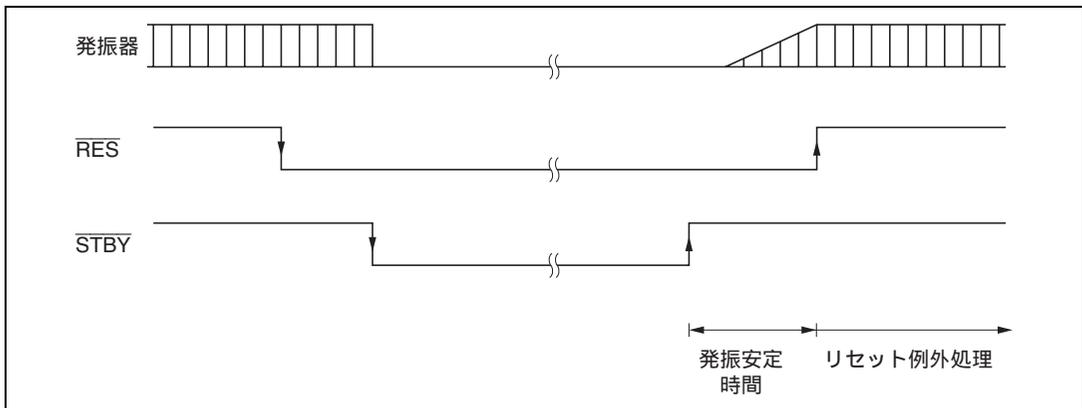


図 19.3 ハードウェアスタンバイモードのタイミング

19.8 ϕ クロック出力禁止機能

SCKCR の PSTOP ビット、対応するポートの DDR により、 ϕ クロックの出力を制御することができます。PSTOP ビットを 1 にセットすると、バスサイクルの終了時点で ϕ クロックは停止し、 ϕ 出力は High レベルになります。PSTOP を 0 にクリアした状態では、 ϕ クロック出力は許可されます。また、対応するポートの DDR を 0 にクリアすると、 ϕ クロック出力は禁止され、入力ポートになります。表 19.5 に各処理状態における ϕ 端子の状態を示します。

表 19.5 各処理状態における ϕ 端子の状態

DDR	0	1	
PSTOP	-	0	1
ハードウェアスタンバイモード	ハイインピーダンス		
ソフトウェアスタンバイモード	ハイインピーダンス	High 固定	
スリープモード	ハイインピーダンス	ϕ 出力	High 固定
通常動作状態	ハイインピーダンス	ϕ 出力	High 固定

20. 電気的特性

20.1 絶対最大定格

絶対最大定格を表 20.1 に示します。

表 20.1 絶対最大定格

項 目	記号	定格値	単位
電源電圧	V_{CC}	- 0.3 ~ +7.0	V
プログラム電圧	V_{PP}	- 0.3 ~ +13.5	V
入力電圧 (ポート 4 以外)	V_{in}	- 0.3 ~ $V_{CC} + 0.3$	V
入力電圧 (ポート 4)	V_{in}	- 0.3 ~ $AV_{CC} + 0.3$	V
リファレンス電源電圧	V_{ref}	- 0.3 ~ $AV_{CC} + 0.3$	V
アナログ電源電圧	AV_{CC}	- 0.3 ~ +7.0	V
アナログ入力電圧	V_{AN}	- 0.3 ~ $AV_{CC} + 0.3$	V
動作温度	T_{opr}	通常仕様品 : - 20 ~ +75 広温度範囲仕様品 : - 40 ~ +85	
保存温度	T_{stg}	- 55 ~ +125	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

20.2 DC 特性

DC 特性を表 20.2 に示します。また、出力許容電流値を表 20.3 に示します。

表 20.2 DC 特性 (1)

条件: $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V^{*1}$ 、
 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力 電圧	ポート 2、P6 ₄ ~P6 ₇ 、 PA ₄ ~PA ₇	V_{T^-}	1.0			V	
		V_{T^+}			$V_{CC} \times 0.7$	V	
		$V_{T^+} - V_{T^-}$	0.4			V	
入力 High レベル電圧	\overline{RES} 、 \overline{STBY} 、NMI、 MD ₂ ~MD ₀	V_{IH}	$V_{CC} - 0.7$		$V_{CC} + 0.3$	V	
	EXTAL		$V_{CC} \times 0.7$		$V_{CC} + 0.3$	V	
	ポート 1、3、5、 B~G、P6 ₀ ~P6 ₃ 、 PA ₀ ~PA ₃		2.0		$V_{CC} + 0.3$	V	
	ポート 4		2.0		$AV_{CC} + 0.3$	V	
入力 Low レベル電圧	\overline{RES} 、 \overline{STBY} 、 MD ₂ ~MD ₀	V_{IL}	-0.3		0.5	V	
	NMI、EXTAL、ポート 1、 3~5、B~G、P6 ₀ ~P6 ₃ 、 PA ₀ ~PA ₃		-0.3		0.8	V	
出力 High レベル電圧	全出力端子	V_{OH}	$V_{CC} - 0.5$			V	$I_{OH} = -200\mu A$
			3.5			V	$I_{OH} = -1mA$
出力 Low レベル電圧	全出力端子	V_{OL}			0.4	V	$I_{OL} = 1.6mA$
	ポート 1、A~C				1.0	V	$I_{OL} = 10mA$
入力リーク 電流	\overline{RES}	$ I_{in} $			10.0	μA	$V_{in} =$
	\overline{STBY} 、NMI、 MD ₂ ~MD ₀				1.0	μA	$0.5 \sim V_{CC} - 0.5V$
	ポート 4				1.0	μA	$V_{in} =$ $0.5 \sim AV_{CC} - 0.5V$

項目		記号	min	typ	max	単位	測定条件
スリープステート リーク電流 (オフ状態)	ポート1~3、5、6、A~G	$ I_{TS1} $			1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
入力プルアップ MOS電流	ポートA~E	$-I_p$	50		300	μA	$V_{in} = 0V$
入力容量	RES	C_{in}			80	pF	$V_{in} = 0V$ $f = 1\text{MHz}$ $T_a = 25$
	NMI				50	pF	
	RES、NMI以外の 全入力端子				15	pF	
消費電流*2	通常動作時	I_{CC}^{*4}		60 (5.0V)	89	mA	$f = 20\text{MHz}$
	スリープ時			40 (5.0V)	73	mA	$f = 20\text{MHz}$
	スタンバイ時*3			0.01	5.0	μA	$T_a = 50$ $50 < T_a$
アナログ 電源電流	A/D、D/A 変換中	AI_{CC}		0.8 (5.0V)	2.0	mA	
	A/D、D/A 変換待機時			0.01	5.0	μA	
リファレンス 電源電流	A/D、D/A 変換中	AI_{CC}		1.9 (5.0V)	3.0	mA	
	A/D、D/A 変換待機時			0.01	5.0	μA	
RAM スタンバイ電圧		V_{RAM}	2.0			V	

【注】 *1 A/D および D/A 変換器未使用時に AV_{CC} 、 V_{ref} 、 AV_{SS} 端子を開放しないでください。

AV_{CC} 、 V_{ref} 端子は V_{CC} に、 AV_{SS} 端子は V_{SS} にそれぞれ接続してください。

*2 消費電流値は、 $V_{IH} \text{ min} = V_{CC} - 0.5V$ 、 $V_{IL} \text{ max} = 0.5V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

*3 V_{RAM} $V_{CC} < 4.5V$ のとき、 $V_{IH} \text{ min} = V_{CC} \times 0.9$ 、 $V_{IL} \text{ max} = 0.3V$ とした場合の値です。

*4 I_{CC} は下記の式に従って V_{CC} と f に依存します。

$I_{CC} \text{ max.} = 1.0 \text{ (mA)} + 0.80 \text{ (mA / (MHz} \times \text{V))} \times V_{CC} \times f \text{ (通常動作時)}$

$I_{CC} \text{ max.} = 1.0 \text{ (mA)} + 0.65 \text{ (mA / (MHz} \times \text{V))} \times V_{CC} \times f \text{ (スリープ時)}$

20. 電気的特性

表 20.2 DC 特性 (2)

条件: $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V^{*1}$ 、
 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件	
シュミット トリガ入力 電圧	ポート 2、P6 ₄ ~ P6 ₇ 、 PA ₄ ~ PA ₇	V_T^-	$V_{CC} \times 0.2$			V		
		V_T^+			$V_{CC} \times 0.7$	V		
		$V_T^+ - V_T^-$	$V_{CC} \times 0.07$			V		
入力 High レベル電圧	RES、STBY、NMI、 MD ₂ ~ MD ₀	V_{IH}	$V_{CC} \times 0.9$		$V_{CC} + 0.3$	V		
	EXTAL		$V_{CC} \times 0.7$		$V_{CC} + 0.3$	V		
	ポート 1、3、5、B ~ G、 P6 ₀ ~ P6 ₃ 、PA ₀ ~ PA ₃		$V_{CC} \times 0.7$		$V_{CC} + 0.3$	V		
	ポート 4		$V_{CC} \times 0.7$		$AV_{CC} + 0.3$	V		
入力 Low レベル電圧	RES、STBY、MD ₂ ~ MD ₀	V_{IL}	- 0.3		$V_{CC} \times 0.1$	V		
	NMI、EXTAL、ポート 1、 3 ~ 5、B ~ G、P6 ₀ ~ P6 ₃		- 0.3		$V_{CC} \times 0.2$	V		$V_{CC} < 4.0V$
	PA ₀ ~ PA ₃				0.8			$V_{CC} = 4.0 \sim 5.5V$
出力 High レベル電圧	全出力端子	V_{OH}	$V_{CC} - 0.5$			V	$I_{OH} = -200\mu A$	
			$V_{CC} - 1.0$			V	$I_{OH} = -1mA$	
出力 Low レベル電圧	全出力端子	V_{OL}			0.4	V	$I_{OL} = 1.6mA$	
	ポート 1、A ~ C				1.0	V	$V_{CC} = 4V$ $I_{OL} = 5mA$ $4.0 < V_{CC} < 5.5V$ $I_{OL} = 10mA$	
入力リーク 電流	RES	$ I_{in} $			10.0	μA	$V_{in} =$	
	STBY、NMI、MD ₂ ~ MD ₀				1.0	μA	$0.5 \sim V_{CC} - 0.5V$	
	ポート 4				1.0	μA	$V_{in} =$ $0.5 \sim AV_{CC} - 0.5V$	

項目		記号	min	typ	max	単位	測定条件
スリープステート リーク電流 (オフ状態)	ポート1~3、5、6、A~G	$ I_{TSI} $			1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5\text{V}$
入力プルアップ MOS 電流	ポート A~E	$-I_p$	10		300	μA	$V_{CC} = 2.7\text{V} \sim 5.5\text{V}$ 、 $V_{in} = 0\text{V}$
入力容量	RES	C_{in}			80	pF	$V_{in} = 0\text{V}$ $f = 1\text{MHz}$ $T_a = 25$
	NMI				50	pF	
	RES、NMI 以外の 全入力端子				15	pF	
消費電流*2	通常動作時	I_{CC}^{*4}		18 (3.0V)	45	mA	$f = 10\text{MHz}$
	スリープ時			11 (3.0V)	37	mA	$f = 10\text{MHz}$
	スタンバイ時*3			0.01	5.0	μA	$T_a = 50$ $50 < T_a$
アナログ 電源電流	A/D、D/A 変換中	AI_{CC}		0.2 (3.0V)	2.0	mA	
	A/D、D/A 変換待機時			0.01	5.0	μA	
リファレンス 電源電流	A/D、D/A 変換中	AI_{CC}		1.2 (3.0V)	3.0	mA	
	A/D、D/A 変換待機時			0.01	5.0	μA	
RAM スタンバイ電圧		V_{RAM}	2.0			V	

【注】 *1 A/D および D/A 変換器未使用時に AV_{CC} 、 V_{ref} 、 AV_{SS} 端子を開放しないでください。

AV_{CC} 、 V_{ref} 端子は V_{CC} に、 AV_{SS} 端子は V_{SS} にそれぞれ接続してください。

*2 消費電流値は、 $V_{IH} \text{ min} = V_{CC} - 0.5\text{V}$ 、 $V_{IL} \text{ max} = 0.5\text{V}$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

*3 V_{RAM} $V_{CC} < 2.7\text{V}$ のとき、 $V_{IH} \text{ min} = V_{CC} \times 0.9$ 、 $V_{IL} \text{ max} = 0.3\text{V}$ とした場合の値です。

*4 I_{CC} は下記の式に従って V_{CC} と f に依存します。

$I_{CC} \text{ max.} = 1.0 \text{ (mA)} + 0.80 \text{ (mA / (MHz} \times \text{V))} \times V_{CC} \times f \text{ (通常動作時)}$

$I_{CC} \text{ max.} = 1.0 \text{ (mA)} + 0.65 \text{ (mA / (MHz} \times \text{V))} \times V_{CC} \times f \text{ (スリープ時)}$

20. 電気的特性

表 20.2 DC 特性 (3)

条件: $V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.0 \sim 5.5V$ 、 $V_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V^{*1}$
 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	記号	min	typ	max	単位	測定条件
シュミット トリガ入力 電圧	V_T^-	$V_{CC} \times 0.2$			V	
	V_T^+			$V_{CC} \times 0.7$	V	
	$V_T^+ - V_T^-$	$V_{CC} \times 0.07$			V	
入力 High レベル電圧	V_{IH}	$V_{CC} \times 0.9$		$V_{CC} + 0.3$	V	
		$V_{CC} \times 0.7$		$V_{CC} + 0.3$	V	
		$V_{CC} \times 0.7$		$V_{CC} + 0.3$	V	
		$V_{CC} \times 0.7$		$AV_{CC} + 0.3$	V	
入力 Low レベル電圧	V_{IL}	- 0.3		$V_{CC} \times 0.1$	V	$V_{CC} < 4.0V$ $V_{CC} = 4.0 \sim 5.5V$
		- 0.3		$V_{CC} \times 0.2$	V	
				0.8	V	
出力 High レベル電圧	V_{OH}	$V_{CC} - 0.5$			V	$I_{OH} = -200\mu A$
		$V_{CC} - 1.0$			V	$I_{OH} = -1mA$
出力 Low レベル電圧	V_{OL}			0.4	V	$I_{OL} = 1.6mA$
				1.0	V	$V_{CC} = 4V$ $I_{OL} = 5mA$ $4.0 < V_{CC} < 5.5V$ $I_{OL} = 10mA$
入力リーク 電流	$ I_{in} $			10.0	μA	$V_{in} =$
				1.0	μA	$0.5 \sim V_{CC} - 0.5V$
				1.0	μA	$V_{in} =$ $0.5 \sim AV_{CC} - 0.5V$

項目		記号	min	typ	max	単位	測定条件
スリープステート リーク電流 (オフ状態)	ポート1~3、5、6、A~G	$ I_{TSI} $			1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5\text{V}$
入力プルアップ MOS電流	ポートA~E	$-I_p$	10		300	μA	$V_{CC} = 3.0\text{V} \sim 5.5\text{V}$ 、 $V_{in} = 0\text{V}$
入力容量	RES	C_{in}			80	pF	$V_{in} = 0\text{V}$ $f = 1\text{MHz}$ $T_a = 25$
	NMI				50	pF	
	RES、NMI以外の 全入力端子				15	pF	
消費電流*2	通常動作時	I_{CC}^{*4}		25 (3.3V)	58	mA	$f = 13\text{MHz}$
	スリープ時			16 (3.3V)	48	mA	$f = 13\text{MHz}$
	スタンバイ時*3			0.01	5.0	μA	$T_a = 50$ $50 < T_a$
アナログ 電源電流	A/D、D/A 変換中	AI_{CC}		0.2 (3.3V)	2.0	mA	
	A/D、D/A 変換待機時			0.01	5.0	μA	
リファレンス 電源電流	A/D、D/A 変換中	AI_{CC}		1.2 (3.3V)	3.0	mA	
	A/D、D/A 変換待機時			0.01	5.0	μA	
RAM スタンバイ電圧		V_{RAM}	2.0			V	

【注】 *1 A/D および D/A 変換器未使用時に AV_{CC} 、 V_{ref} 、 AV_{SS} 端子を開放しないでください。

AV_{CC} 、 V_{ref} 端子は V_{CC} に、 AV_{SS} 端子は V_{SS} にそれぞれ接続してください。

*2 消費電流値は、 $V_{IH} \text{ min} = V_{CC} - 0.5\text{V}$ 、 $V_{IL} \text{ max} = 0.5\text{V}$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

*3 V_{RAM} $V_{CC} < 3.0\text{V}$ のとき、 $V_{IH} \text{ min} = V_{CC} \times 0.9$ 、 $V_{IL} \text{ max} = 0.3\text{V}$ とした場合の値です。

*4 I_{CC} は下記の式に従って V_{CC} と f に依存します。

$I_{CC} \text{ max.} = 1.0 \text{ (mA)} + 0.80 \text{ (mA / (MHz} \times \text{V))} \times V_{CC} \times f \text{ (通常動作時)}$

$I_{CC} \text{ max.} = 1.0 \text{ (mA)} + 0.65 \text{ (mA / (MHz} \times \text{V))} \times V_{CC} \times f \text{ (スリープ時)}$

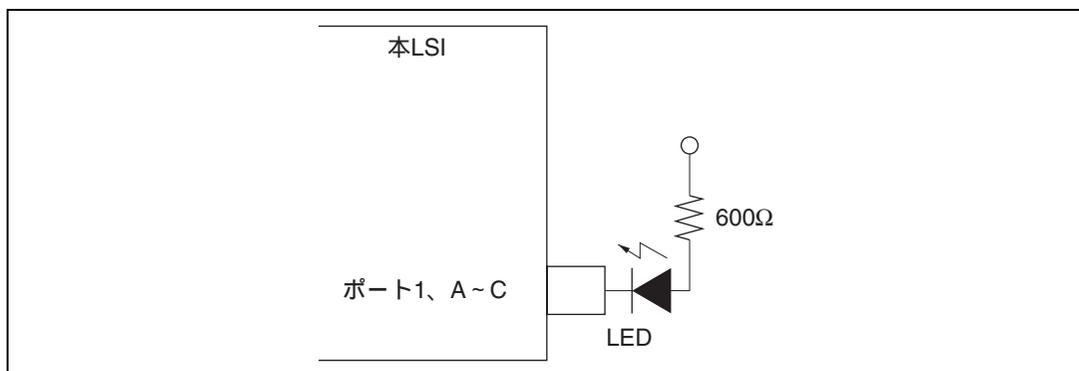
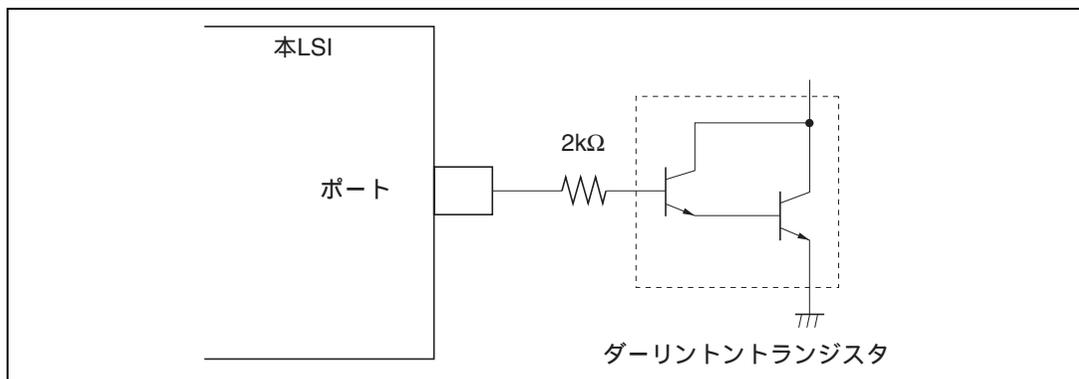
20. 電気的特性

表 20.3 出力許容電流値

条件： $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$ （通常仕様品）、 $T_a = -40 \sim +85$ （広温度範囲仕様品）

項目		記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	ポート 1、A~C	I_{OL}			10	mA
	上記以外の出力端子				2.0	mA
出力 Low レベル許容電流 (総和)	ポート 1、A~C 32 端子の総和	ΣI_{OL}			80	mA
	上記を含む、全出力端子 の総和				120	mA
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$			2.0	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$\Sigma -I_{OH}$			40	mA

- 【注】
- LSI の信頼性を確保するため、出力電流値は表 20.3 の値を超えないようにしてください。
 - ダーリントトランジスタや、LED を直接駆動する場合には、図 20.1、図 20.2 に示すように、出力に必ず電流制限抵抗を挿入してください。



20. 電気的特性

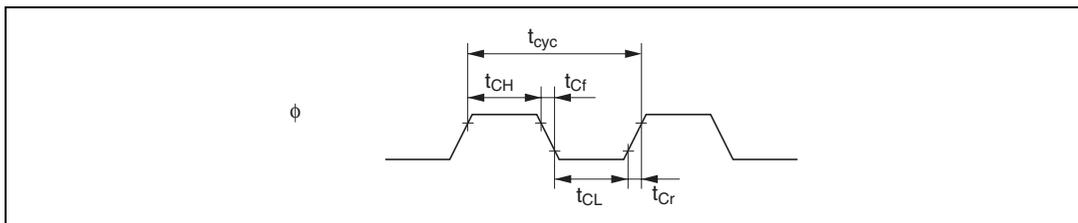


図 20.4 システムクロックタイミング

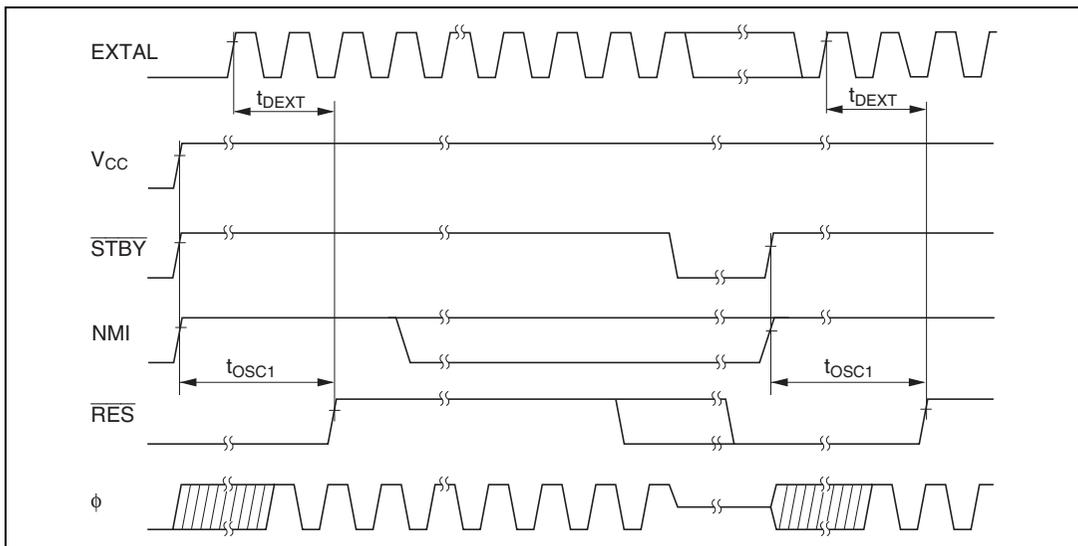


図 20.5 発振安定時間タイミング

20.3.2 制御信号タイミング

表 20.5 に制御信号タイミングを示します。

表 20.5 制御信号タイミング

条件 A : $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{ref} = 2.7 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、

$\phi = 2 \sim 10MHz$ 、 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、

$\phi = 2 \sim 20MHz$ 、 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 C (マスク ROM 版のみ) :

$V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.0 \sim 5.5V$ 、 $V_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、

$\phi = 2 \sim 13MHz$ 、 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	記号	条件 A		条件 B		条件 C		単位	測定条件
		min	max	min	max	min	max		
RES セットアップ時間	t_{RESS}	200		200		200		ns	図 20.6
RES パルス幅	t_{RESW}	20		20		20		t_{cyc}	
NMI リセットセットアップ時間	t_{NMIRS}	250		200		250		ns	
NMI リセットホールド時間	t_{NMIRH}	200		200		200		ns	
NMI セットアップ時間	t_{NMS}	250		150		250		ns	図 20.7
NMI ホールド時間	t_{NMIH}	10		10		10		ns	
NMI パルス幅 (ソフトウェアスタンバイモードからの復帰時)	t_{NMW}	200		200		200		ns	
IRQ セットアップ時間	t_{IROS}	250		150		250		ns	
IRQ ホールド時間	t_{IROH}	10		10		10		ns	
IRQ パルス幅 (ソフトウェアスタンバイモードからの復帰時)	t_{IROW}	200		200		200		ns	

20. 電気的特性

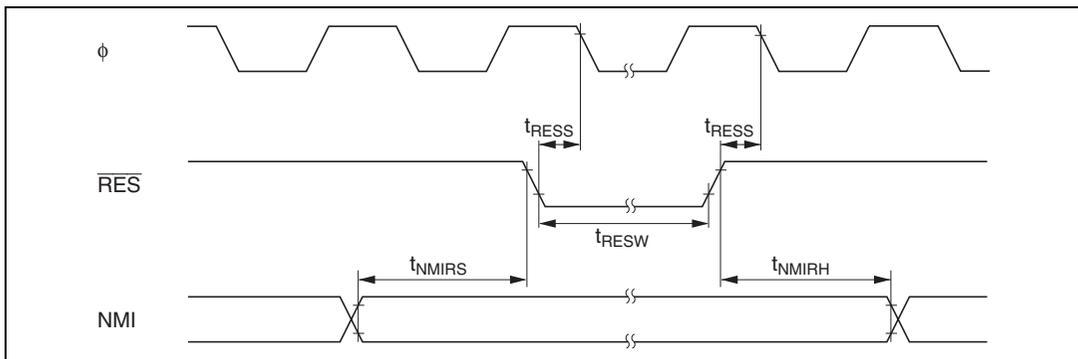


図 20.6 リセット入力タイミング

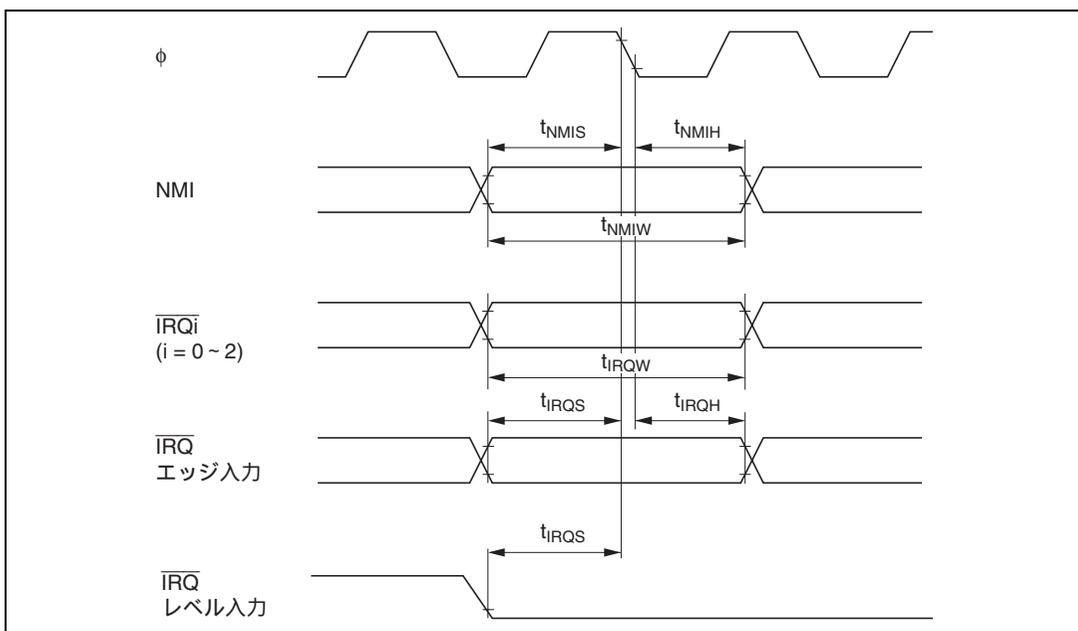


図 20.7 割り込み入力タイミング

20.3.3 バスタイミング

表 20.6 にバスタイミングを示します。

表 20.6 バスタイミング

条件 A : $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 10MHz$ 、 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)
 条件 B : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 20MHz$ 、 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)
 条件 C (マスク ROM 版のみ) :
 $V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.0 \sim 5.5V$ 、 $V_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 13MHz$ 、 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	記号	条件 A		条件 B		条件 C		単位	測定条件
		min	max	min	max	min	max		
アドレス遅延時間	t_{AD}		40		20		40	ns	図 20.8 ~ 図 20.12
アドレスセットアップ時間	t_{AS}	$0.5 \times t_{bc} - 30$		$0.5 \times t_{bc} - 15$		$0.5 \times t_{bc} - 30$		ns	
アドレスホールド時間	t_{AH}	$0.5 \times t_{bc} - 20$		$0.5 \times t_{bc} - 10$		$0.5 \times t_{bc} - 20$		ns	
CS 遅延時間 1	t_{CSD1}		40		20		40	ns	
AS 遅延時間	t_{ASD}		40		20		40	ns	
RD 遅延時間 1	t_{RSD1}		40		20		40	ns	
RD 遅延時間 2	t_{RSD2}		40		20		40	ns	
リードデータセットアップ時間	t_{RDS}	30		15		30		ns	
リードデータホールド時間	t_{RDH}	0		0		0		ns	
リードデータアクセス時間 1	t_{ACC1}		$1.0 \times t_{bc} - 50$		$1.0 \times t_{bc} - 25$		$1.0 \times t_{bc} - 50$	ns	
リードデータアクセス時間 2	t_{ACC2}		$1.5 \times t_{bc} - 50$		$1.5 \times t_{bc} - 25$		$1.5 \times t_{bc} - 50$	ns	
リードデータアクセス時間 3	t_{ACC3}		$2.0 \times t_{bc} - 50$		$2.0 \times t_{bc} - 25$		$2.0 \times t_{bc} - 50$	ns	
リードデータアクセス時間 4	t_{ACC4}		$2.5 \times t_{bc} - 50$		$2.5 \times t_{bc} - 25$		$2.5 \times t_{bc} - 50$	ns	
リードデータアクセス時間 5	t_{ACC5}		$3.0 \times t_{bc} - 50$		$3.0 \times t_{bc} - 25$		$3.0 \times t_{bc} - 50$	ns	
WR 遅延時間 1	t_{WRD1}		40		20		40	ns	
WR 遅延時間 2	t_{WRD2}		40		20		40	ns	
WR パルス幅 1	t_{WSW1}	$1.0 \times t_{bc} - 40$		$1.0 \times t_{bc} - 20$		$1.0 \times t_{bc} - 40$		ns	
WR パルス幅 2	t_{WSW2}	$1.5 \times t_{bc} - 40$		$1.5 \times t_{bc} - 20$		$1.5 \times t_{bc} - 40$		ns	
ライトデータ遅延時間	t_{WDD}		60		30		60	ns	
ライトデータセットアップ時間	t_{WDS}	$0.5 \times t_{bc} - 40$		$0.5 \times t_{bc} - 20$		$0.5 \times t_{bc} - 33$		ns	
ライトデータホールド時間	t_{WDH}	$0.5 \times t_{bc} - 20$		$0.5 \times t_{bc} - 10$		$0.5 \times t_{bc} - 20$		ns	
WAIT セットアップ時間	t_{WTS}	60		30		60		ns	図 20.10
WAIT ホールド時間	t_{WTH}	10		5		10		ns	
BREQ セットアップ時間	t_{BROS}	60		30		60		ns	図 20.13
BACK 遅延時間	t_{BACD}		30		15		30	ns	
バスマフローティング時間	t_{BZD}		100		50		75	ns	

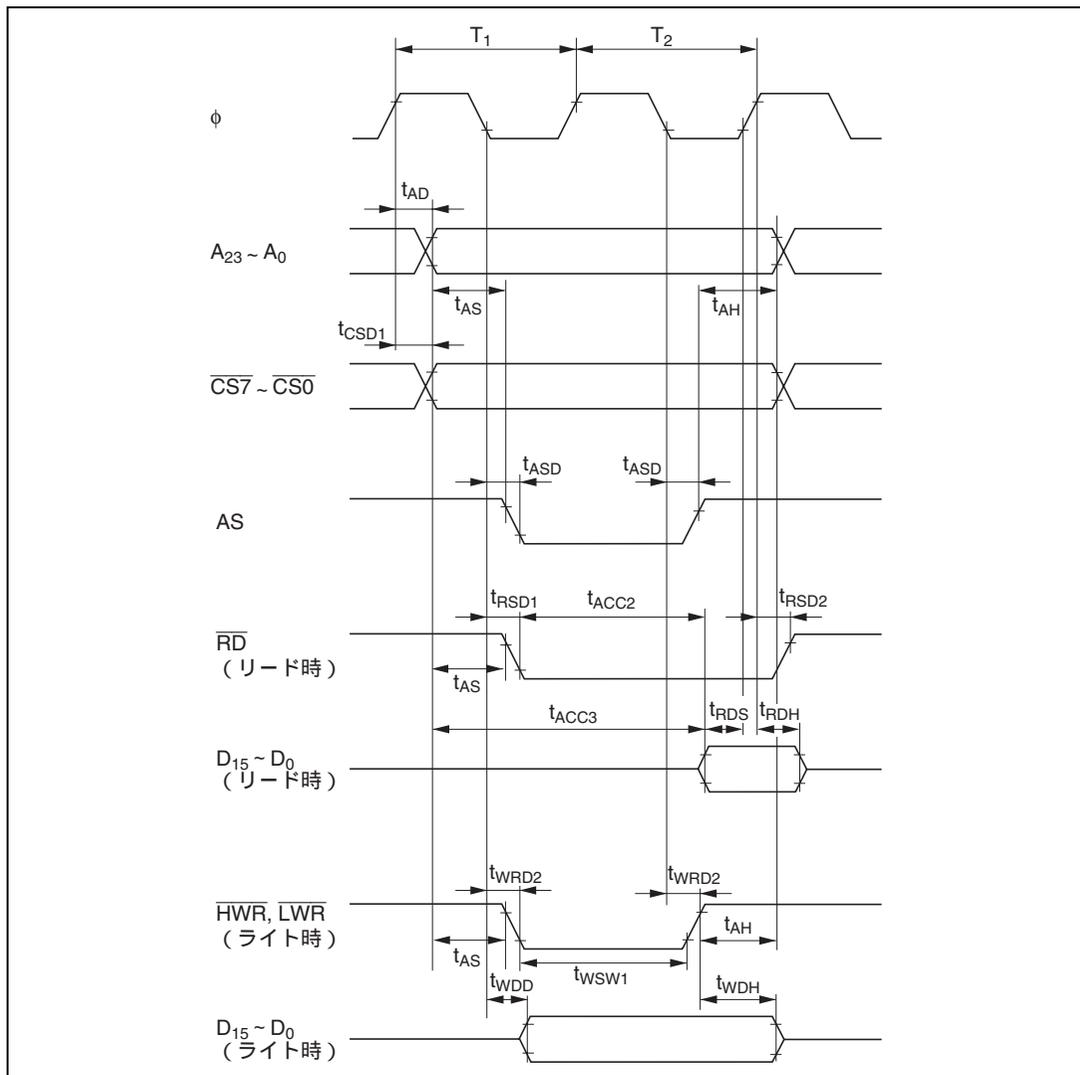


図 20.8 基本バスタイミング / 2 ステートアクセス

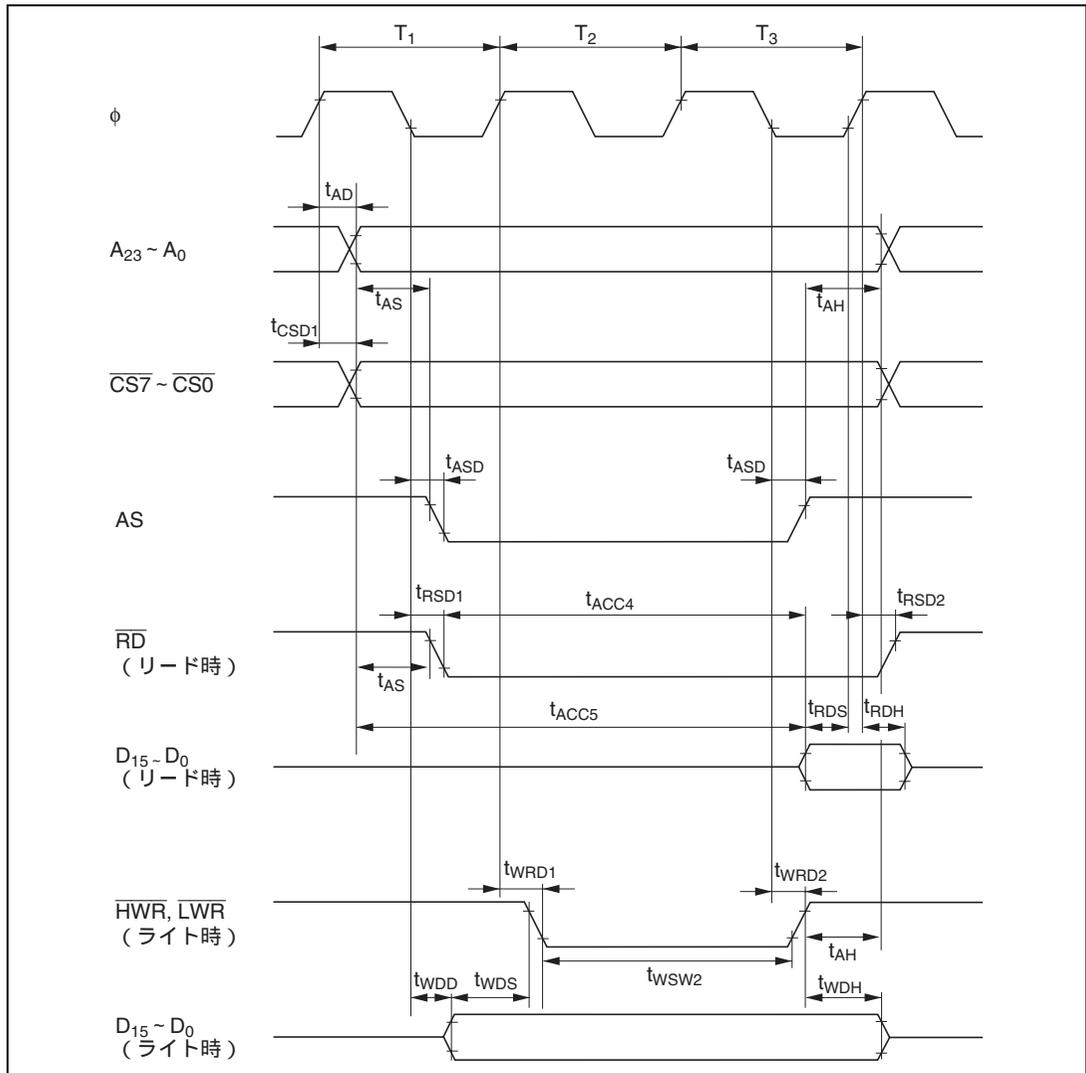


図 20.9 基本バスタイミング / 3 ステートアクセス

20. 電気的特性

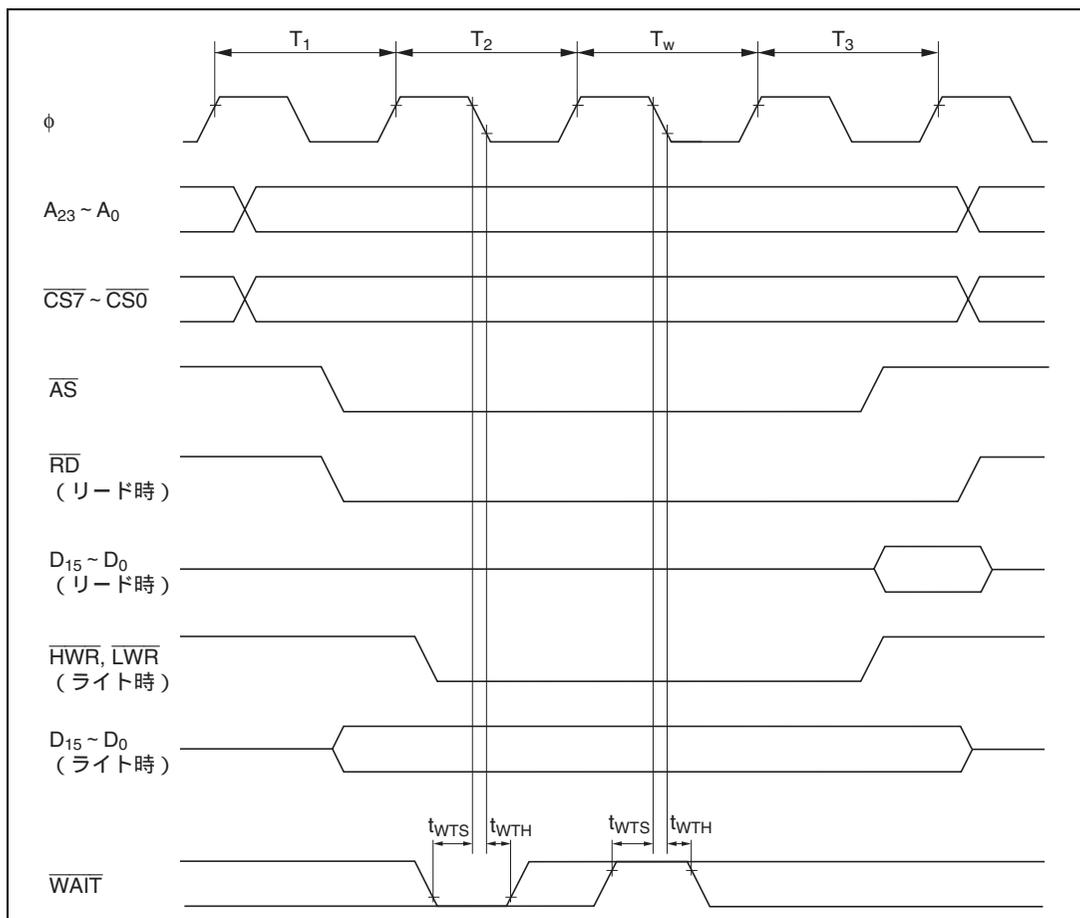


図 20.10 基本バスタイミング / 3 ステートアクセス 1 ウェイト

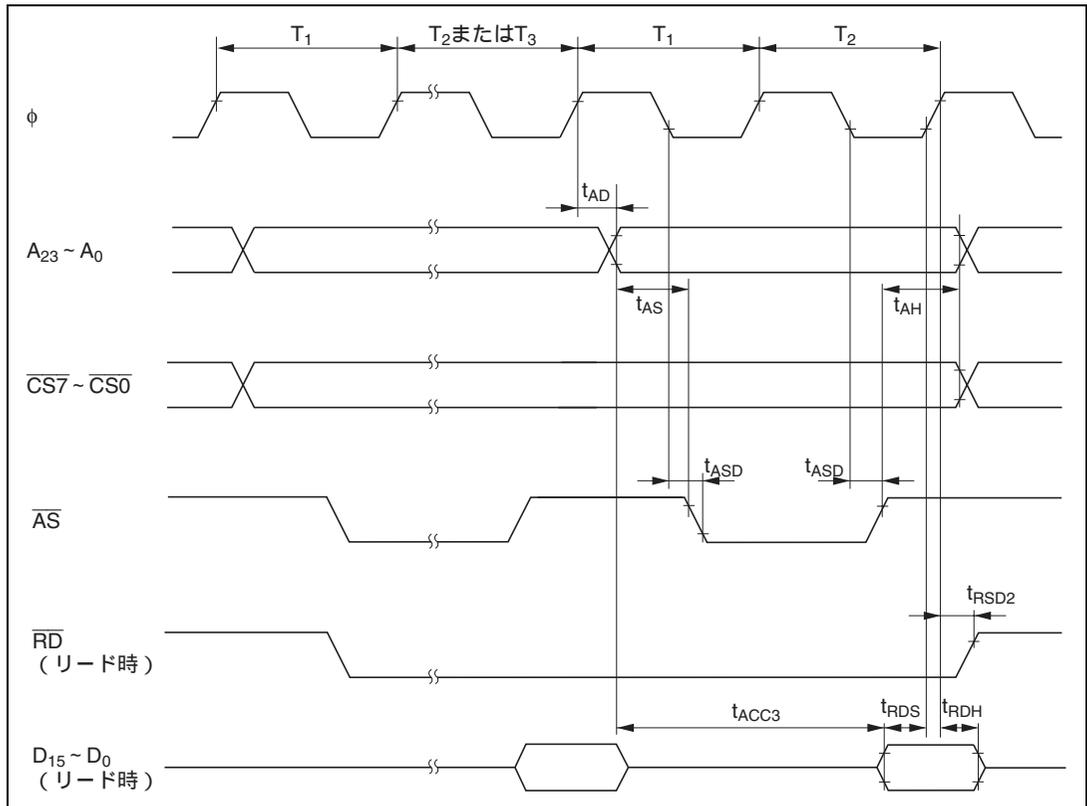


図 20.11 パースタット ROM アクセスタイミング / 2 ステートアクセス

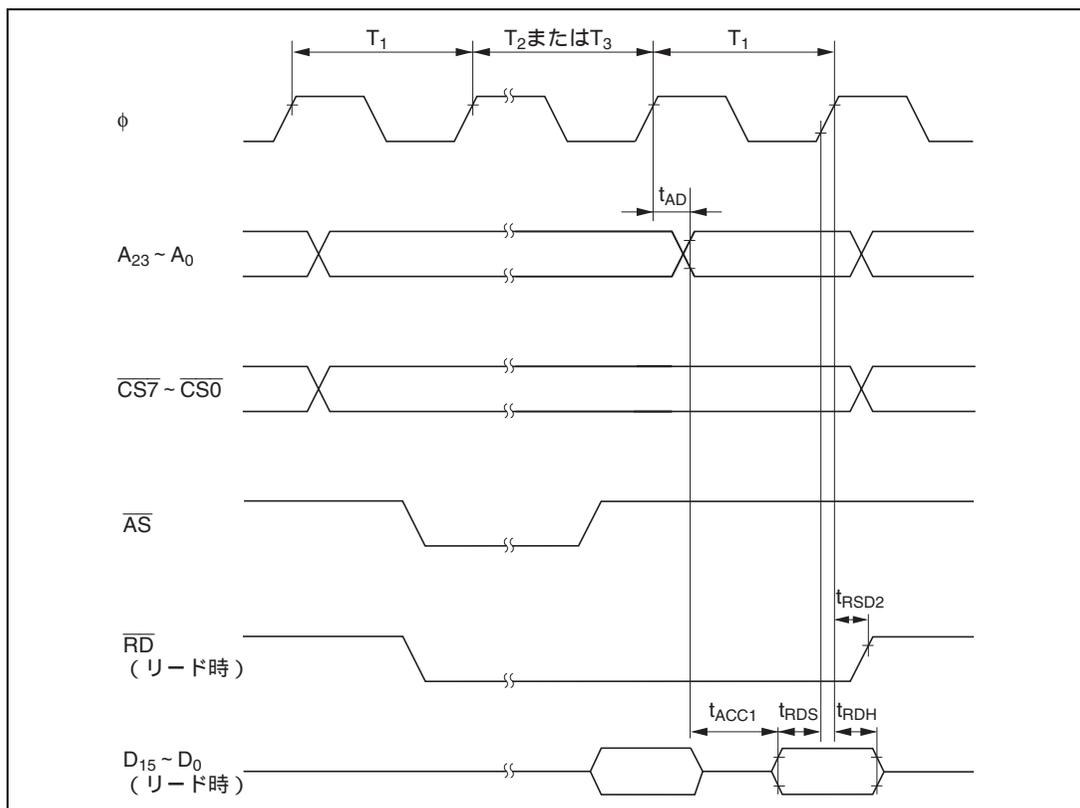


図 20.12 パースト ROM アクセスタイミング / 1 ステートアクセス

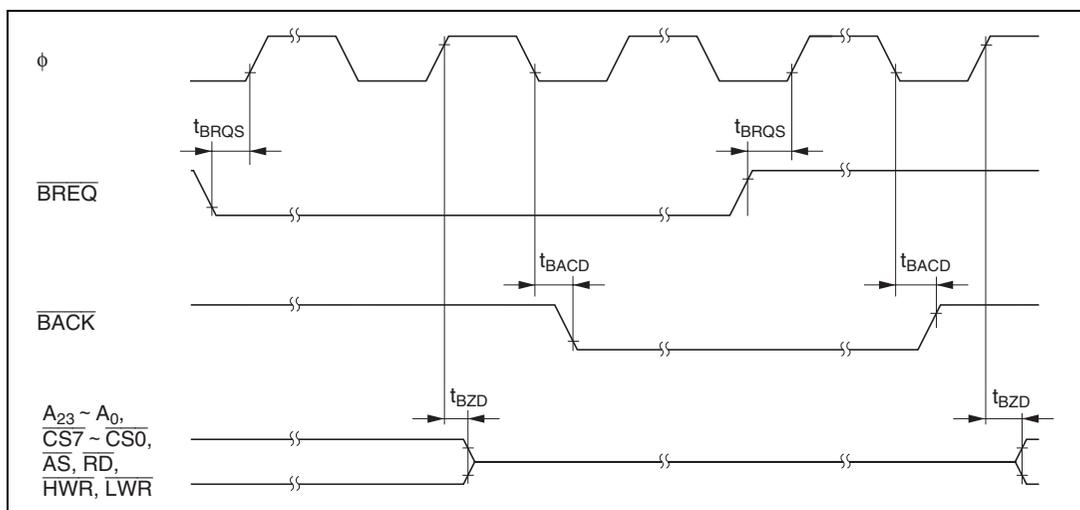


図 20.13 外部バス権解放タイミング

20.3.4 内蔵周辺モジュールタイミング

表 20.7 に内蔵周辺モジュールタイミングを示します。

表 20.7 内蔵周辺モジュールタイミング

条件 A : $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 10MHz$ 、 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)
 条件 B : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 20MHz$ 、 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)
 条件 C (マスク ROM 版のみ) :
 $V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.0 \sim 5.5V$ 、 $V_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 13MHz$ 、 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	条件 A		条件 B		条件 C		単位	測定条件	
			min	max	min	max	min	max			
I/Oポート	出力データ遅延時間	t_{PWD}		100		50		75	ns	図 20.14	
	入力データセットアップ時間	t_{PRS}	50		30		50				
	入力データホールド時間	t_{PRH}	50		30		50				
TPU	タイマ出力遅延時間	t_{TOCD}		100		50		75	ns	図 20.15	
	タイマ入力セットアップ時間	t_{TICS}	50		30		50				
	タイマクロック入力セットアップ時間	t_{TCKS}	50		30		50				
	タイマクロック パルス幅	単エッジ指定	t_{TCKWH}	1.5		1.5		1.5			t_{cyc}
		両エッジ指定	t_{TCKWL}	2.5		2.5		2.5			
8ビットタイマ	タイマ出力遅延時間	t_{TMOD}		100		50		75	ns	図 20.17	
	タイマリセット入力 セットアップ時間	t_{TMRS}	50		30		50				
	タイマクロック入力 セットアップ時間	t_{TMCs}	50		30		50				
	タイマクロック パルス幅	単エッジ指定	t_{TMCWH}	1.5		1.5		1.5			t_{cyc}
		両エッジ指定	t_{TMCWL}	2.5		2.5		2.5			
WDT	オーバフロー出力遅延時間	t_{WOVD}		100		50		75	ns	図 20.20	
SCI	入力クロック サイクル	調歩同期	t_{Soyc}	4		4		4	t_{cyc}	図 20.21	
		クロック同期		6		6		6			
	入力クロックパルス幅	t_{SCKW}	0.4	0.6	0.4	0.6	0.4	0.6	t_{Soyc}		
	入力クロック立ち上がり時間	t_{SCKr}		1.5		1.5		1.5	t_{cyc}		
	入力クロック立ち下がり時間	t_{SCKf}		1.5		1.5		1.5	t_{cyc}		
	送信データ遅延時間	t_{TXD}		100		50		75	ns		
	受信データセットアップ時間 (クロック同期)	t_{RXS}	100		50		75		ns		
受信データホールド時間 (クロック同期)	t_{RXH}	100		50		75		ns			
A/D変換器	トリガ入力セットアップ時間	t_{TRGS}	50		30		50		ns	図 20.23	

20. 電気的特性

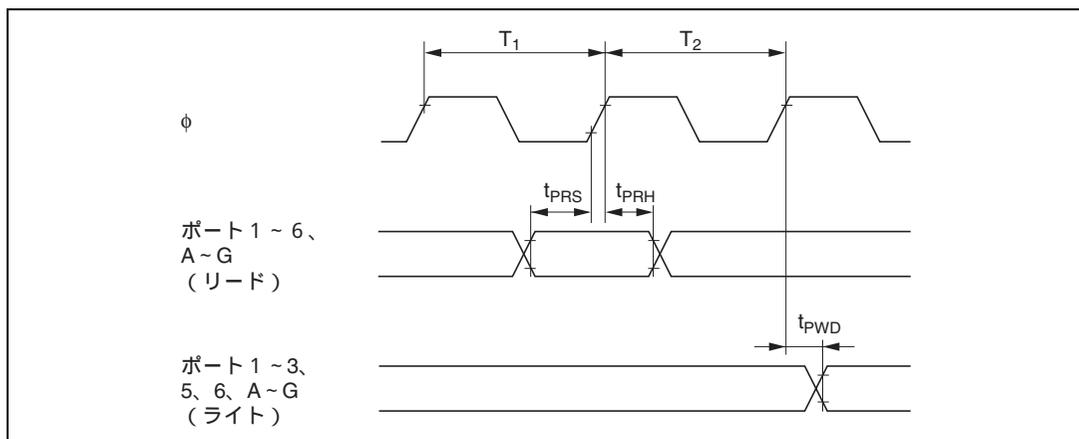


図 20.14 I/O ポート入出力タイミング

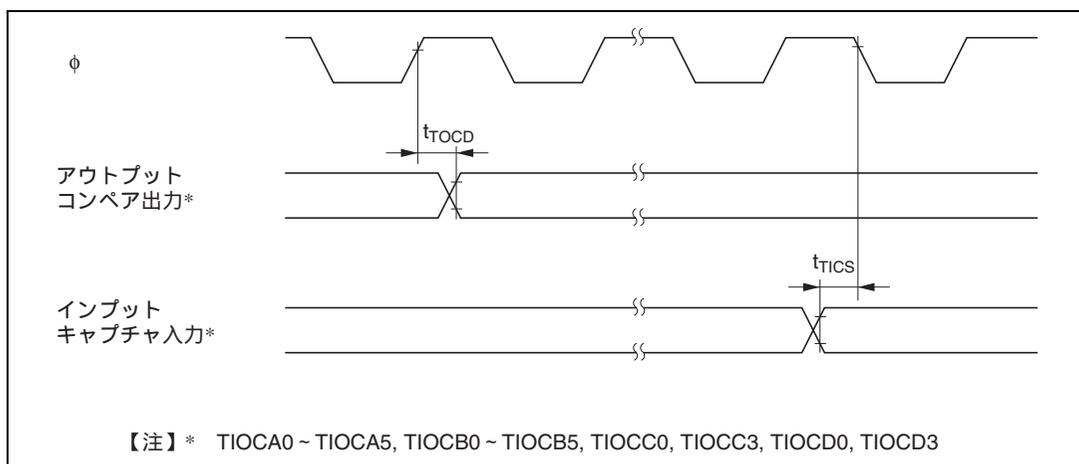


図 20.15 TPU 入出力タイミング

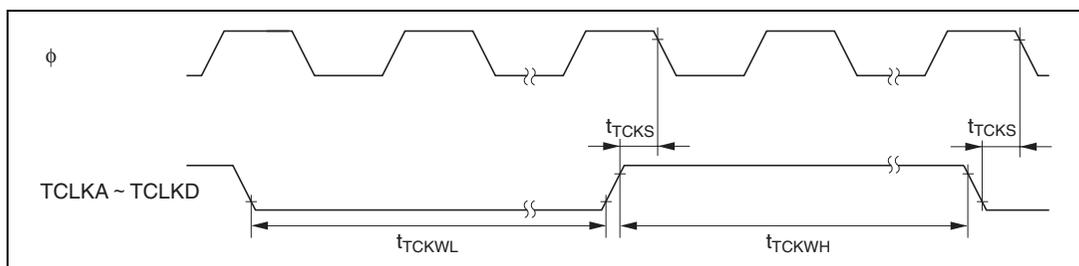


図 20.16 TPU クロック入力タイミング

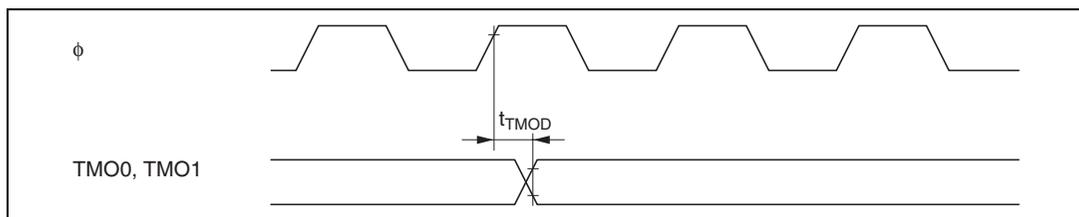


図 20.17 8ビットタイマ出力タイミング

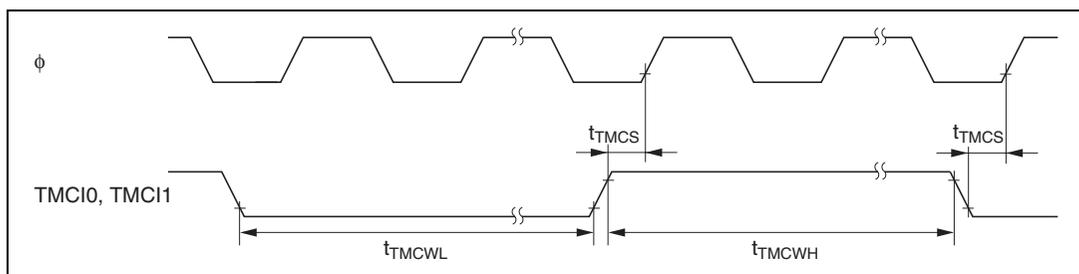


図 20.18 8ビットタイマクロック入力タイミング

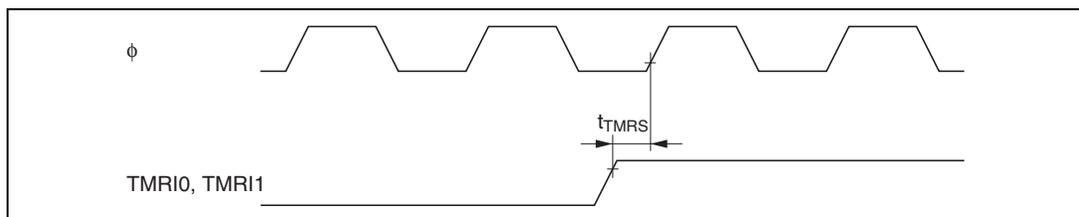


図 20.19 8ビットタイマリセット入力タイミング

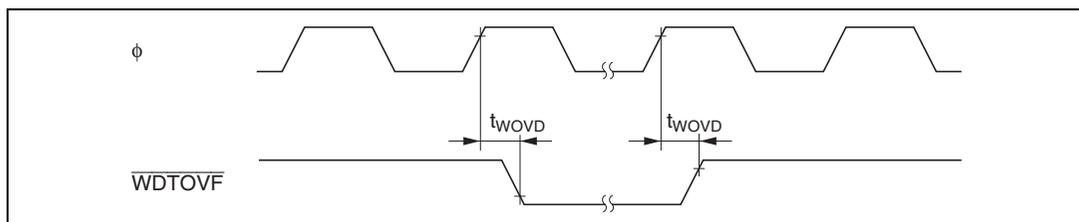


図 20.20 WDT 出力タイミング

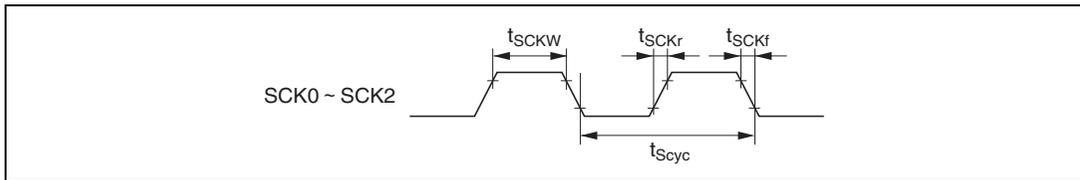


図 20.21 SCK クロック入力タイミング

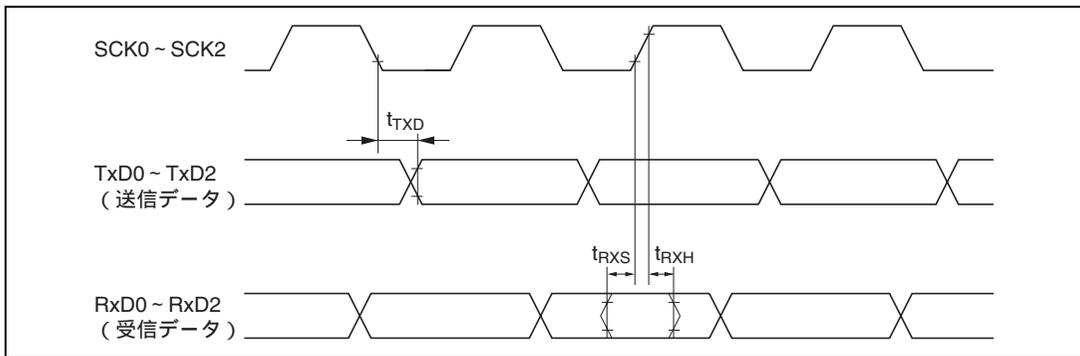


図 20.22 SCI 入出力タイミング / クロック同期式モード

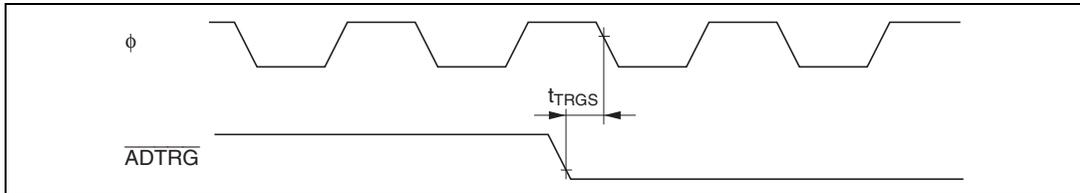


図 20.23 A/D 変換器外部トリガ入力タイミング

20.4 A/D 変換特性

A/D 変換特性を表 20.8 に示します。

表 20.8 A/D 変換特性

条件 A : $V_{CC} = AV_{CC} = 2.7V \sim 5.5V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 10MHz$

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = AV_{CC} = 5.0V \pm 10\%$ 、 $V_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 20MHz$

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 C (マスク ROM 版のみ) :

$V_{CC} = AV_{CC} = 3.0V \sim 5.5V$ 、 $V_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 13MHz$

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	条件 A			条件 B			条件 C			単位
	min	typ	max	min	typ	max	min	typ	max	
分解能	10	10	10	10	10	10	10	10	10	ビット
変換時間			13.4			6.7			10.4	μS
アナログ入力容量			20			20			20	pF
許容信号源			10^{*1}			10^{*3}			10^{*1}	k Ω
インピーダンス			5^{*2}			5^{*4}			5^{*5}	
非直線性誤差			± 7.5			± 3.5			± 7.5	LSB
オフセット誤差			± 7.5			± 3.5			± 7.5	LSB
フルスケール誤差			± 7.5			± 3.5			± 7.5	LSB
量子化誤差			± 0.5			± 0.5			± 0.5	LSB
絶対精度			± 8.0			± 4.0			± 8.0	LSB

【注】 *1 4.0V AV_{CC} 5.5V のとき

*2 2.7V $AV_{CC} < 4.0V$ のとき

*3 ϕ 12MHz のとき

*4 $\phi > 12MHz$ のとき

*5 3.0V $AV_{CC} < 4.0V$ のとき

20.5 D/A 変換特性

D/A 変換特性を表 20.9 に示します。

表 20.9 D/A 変換特性

条件 A : $V_{CC} = AV_{CC} = 2.7V \sim 5.5V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 10MHz$

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = AV_{CC} = 5.0V \pm 10\%$ 、 $V_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 20MHz$

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 C (マスク ROM 版のみ) :

$V_{CC} = AV_{CC} = 3.0V \sim 5.5V$ 、 $V_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 13MHz$

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	条件 A			条件 B			条件 C			単位	測定条件
	min	typ	max	min	typ	max	min	typ	max		
分解能	8	8	8	8	8	8	8	8	8	ビット	
変換時間			10			10			10	μS	負荷容量 20pF
絶対精度		± 2.0	± 3.0		± 1.0	± 1.5		± 2.0	± 3.0	LSB	負荷抵抗 2M Ω
			± 2.0			± 1.0			± 2.0	LSB	負荷抵抗 4M Ω

20.6 使用上の注意

ZTAT 版とマスク ROM 版は、本マニュアルに記載の電気的特性を満足していますが、製造プロセスの相異、内蔵 ROM の相異、レイアウトパターンの相異などにより、電気的特性の実力値や動作マージン、ノイズマージンなどは異なる場合があります。

ZTAT 版を使用してのシステムの評価試験を行う場合には、マスク ROM 版への切り替え時にマスク ROM 版についても同等の評価試験を行ってください。

付録

A. 命令

A.1 命令セット一覧

《オペレーションの記号》

Rd	汎用レジスタ (デスティネーション側)* ¹
Rs	汎用レジスタ (ソース側)* ¹
Rn	汎用レジスタ* ¹
ERn	汎用レジスタ (32 ビットレジスタ)
MAC	積和レジスタ (32 ビットレジスタ)* ²
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレイースメント
+	加算
-	減算
x	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
→	左辺のオペランドから右辺のオペランドへの転送、または左辺の状態から右辺の状態への遷移
~	反転論理 (論理的補数)
() < >	オペランドの内容
: 8 / : 16 / : 24 / : 32	8 / 16 / 24 / 32 ビット長

【注】 *1 汎用レジスタは、8 ビット (R0H ~ R7H, R0L ~ R7L)、16 ビット (R0 ~ R7, E0 ~ E7)、または 32 ビット (ER0 ~ ER7) です。

*2 MAC レジスタは本 LSI では使用できません。

《コンディションコード》

記 号	内 容
↑	実行結果に従って変化することを表します。
*	不確定であることを表します（値を保証しません）。
0	常に0にクリアされることを表します
1	常に1にセットされることを表します。
-	実行結果に影響を受けないことを表します。

表 A.1 命令セット一覧

(1) データ転送命令

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)						オペレーション	コンディションコード							実行ステータス数 ^{*1}	
		#xx	Rn	@ERN	@(d,ERN)	@-ERN/@ERN+	@aa		@(d,PC)	@aa	I	H	N	Z	V	C	ノーマル
MOV	B	2							#xx:8→Rd8	-	-	↑	↑	0	-	1	
	B	2							Rd8→Rd8	-	-	↑	↑	0	-	1	
	B		2						@ERS→Rd8	-	-	↑	↑	0	-	2	
	B			2					@(d:16,ERS)→Rd8	-	-	↑	↑	0	-	3	
	B			4					@(d:32,ERS)→Rd8	-	-	↑	↑	0	-	5	
	B			8					@ERS→Rd8,ERS32+1→ERS32	-	-	↑	↑	0	-	3	
	B			2					@aa:8→Rd8	-	-	↑	↑	0	-	2	
	B			4					@aa:16→Rd8	-	-	↑	↑	0	-	3	
	B			6					@aa:32→Rd8	-	-	↑	↑	0	-	4	
	B		2						Rd8→@ERd	-	-	↑	↑	0	-	2	
	B			4					Rd8→@(d:16,ERd)	-	-	↑	↑	0	-	3	
	B			8					Rd8→@(d:32,ERd)	-	-	↑	↑	0	-	5	
	B		2						ERd32-1→ERd32,Rd8→@ERd	-	-	↑	↑	0	-	3	
	B			2					Rd8→@aa:8	-	-	↑	↑	0	-	2	
	B			4					Rd8→@aa:16	-	-	↑	↑	0	-	2	
	B			6					Rd8→@aa:32	-	-	↑	↑	0	-	4	
	W	4							#xx:16→Rd16	-	-	↑	↑	0	-	2	
	W	2							Rd16→Rd16	-	-	↑	↑	0	-	1	
	W		2						@ERS→Rd16	-	-	↑	↑	0	-	2	
	W			4					@(d:16,ERS)→Rd16	-	-	↑	↑	0	-	3	
	W			8					@(d:32,ERS)→Rd16	-	-	↑	↑	0	-	5	
	W			2					@ERS→Rd16,ERS32+2→ERS32	-	-	↑	↑	0	-	3	
	W			4					@aa:16→Rd16	-	-	↑	↑	0	-	3	
	W			6					@aa:32→Rd16	-	-	↑	↑	0	-	4	
	W		2						Rd16→@ERd	-	-	↑	↑	0	-	2	
	W			4					Rd16→@(d:16,ERd)	-	-	↑	↑	0	-	3	
	W			8					Rd16→@(d:32,ERd)	-	-	↑	↑	0	-	5	
	W			2					ERd32-2→ERd32,Rd16→@ERd	-	-	↑	↑	0	-	3	
	W			4					Rd16→@aa:16	-	-	↑	↑	0	-	3	
	W			6					Rd16→@aa:32	-	-	↑	↑	0	-	4	

ニーモニック	サイズ	アドレッシングモード / 命令長 (バイト)						オペレーション	コンディションコード							実行ステート数 *1	
		#xx	Rn	@ERn	@(d,ERn)	@-ERn/@ERn+	@aa		(d,PC)	@aa	I	H	N	Z	V		C
MOV	MOV.L #xx:32,ERd	L	6						#xx:32→ERd32	-	-	↑	↑	0	-	3	
	MOV.L ERs,ERd	L	2						ERs32→ERd32	-	-	↑	↑	0	-	1	
	MOV.L @ERs,ERd	L	4						@ERs→ERd32	-	-	↑	↑	0	-	4	
	MOV.L @(d:16,ERs),ERd	L		6					@(d:16,ERs)→ERd32	-	-	↑	↑	0	-	5	
	MOV.L @(d:32,ERs),ERd	L		10					@(d:32,ERs)→ERd32	-	-	↑	↑	0	-	7	
	MOV.L @ERs+,ERd	L			4				@ERs→ERd32,ERs32+4→ERs32	-	-	↑	↑	0	-	5	
	MOV.L @aa:16,ERd	L			6				@aa:16→ERd32	-	-	↑	↑	0	-	5	
	MOV.L @aa:32,ERd	L			8				@aa:32→ERd32	-	-	↑	↑	0	-	6	
	MOV.L ERs,@ERd	L		4					ERs32→@ERd	-	-	↑	↑	0	-	4	
	MOV.L ERs,@(d:16,ERd)	L		6					ERs32→@(d:16,ERd)	-	-	↑	↑	0	-	5	
	MOV.L ERs,@(d:32,ERd)	L		10					ERs32→@(d:32,ERd)	-	-	↑	↑	0	-	7	
	MOV.L ERs,@-ERd	L			4				ERd32-4→ERd32,ERs32→@ERd	-	-	↑	↑	0	-	5	
	MOV.L ERs,@aa:16	L			6				ERs32→@aa:16	-	-	↑	↑	0	-	5	
	MOV.L ERs,@aa:32	L			8				ERs32→@aa:32	-	-	↑	↑	0	-	6	
POP	POP.W Rn	W						2	@SP→Rn16,SP+2→SP	-	-	↑	↑	0	-	3	
	POP.L ERn	L						4	@SP→ERn32,SP+4→SP	-	-	↑	↑	0	-	5	
PUSH	PUSH.W Rn	W						2	SP-2→SP,Rn16→@SP	-	-	↑	↑	0	-	3	
	PUSH.L ERn	L						4	SP-4→SP,ERn32→@SP	-	-	↑	↑	0	-	5	
LDM	LDM @SP+,(ERm+ERn)	L						4	(@SP→ERn32,SP+4→SP) 復元本数分繰り返し	-	-	-	-	-	-	7/911 [1]	
STM	STM (ERm+ERn),@-SP	L						4	(SP-4→SP,ERn32→@SP) 回避本数分繰り返し	-	-	-	-	-	-	7/911 [1]	
MOVFPE	MOVFPE @aa:16,Rd															[2]	
MOVTPPE	MOVTPPE Rs,@aa:16															[2]	

本LSIでは使用できません。

(2) 算術演算命令

二一モニック	サイズ	アドレッシングモード / 命令長 (バイト)						オペレーション	コンディションコード							実行ステート数 ^{※1}	
		#xx	Rn	@(ERN)	@(d,ERN)	@-ERN/@ERN+	@aa		@(d,PC)	@aa	I	H	N	Z	V		C
ADD	ADD.B #xx:8,Rd	B	2													1	
	ADD.B Rs,Rd	B	2													1	
ADDX	ADD.W #xx:16,Rd	W	4													2	
	ADD.W Rs,Rd	W	4													2	
	ADD.L #xx:32,ERd	L	6													3	
	ADD.L ERs,ERd	L	6													3	
ADDS	ADDX #xx:8,Rd	B	2													1	
	ADDX Rs,Rd	B	2													1	
INC	ADDS #1,ERd	L	2													1	
	ADDS #2,ERd	L	2													1	
	ADDS #4,ERd	L	2													1	
	INC.B Rd	B	2													1	
DAA	INC.W #1,Rd	W	2													1	
	INC.W #2,Rd	W	2													1	
SUB	INC.L #1,ERd	L	2													1	
	INC.L #2,ERd	L	2													1	
SUBX	DAA Rd	B	2													1	
	SUB.B Rs,Rd	B	2													1	
SUBS	SUB.W #xx:16,Rd	W	4													2	
	SUB.W Rs,Rd	W	4													2	
SUBX	SUB.L #xx:32,ERd	L	6													3	
	SUB.L ERs,ERd	L	6													3	
SUBS	SUBX #xx:8,Rd	B	2													1	
	SUBX Rs,Rd	B	2													1	
DEC	SUBS #1,ERd	L	2													1	
	SUBS #2,ERd	L	2													1	
	SUBS #4,ERd	L	2													1	
	DEC.B Rd	B	2													1	
DEC.L	DEC.W #1,Rd	W	2													1	
	DEC.W #2,Rd	W	2													1	
	DEC.L #1,ERd	L	2													1	
	DEC.L #2,ERd	L	2													1	

ニーモニック	サイズ	アドレッシングモード / 命令長 (バイト)						オペレーション	コンディションコード							実行ステート数 *1	
		#xx	FR	@ ERn	@ (d, ERn)	@ -ERn / ERn+	@ aa		@ (d, PC)	@ aa	I	H	N	Z	V		C
DAS	DAS Rd	B	2														1
MULXU	MULXU.B Rs, Rd	B	2														12
MULXU	MULXU.W Rs, ERd	W	2														20
MULXS	MULXS.B Rs, Rd	B	4														13
MULXS	MULXS.W Rs, ERd	W	4														21
DIVXU	DIVXU.B Rs, Rd	B	2														12
	DIVXU.W Rs, ERd	W	2														20
DIVXS	DIVXS.B Rs, Rd	B	4														13
	DIVXS.W Rs, ERd	W	4														21
CMP	CMP.B #xx:8, Rd	B	2														1
	CMP.B Rs, Rd	B	2														1
	CMP.W #xx:16, Rd	W	4														2
	CMP.W Rs, Rd	W	2														1
	CMP.L #xx:32, ERd	L	6														3
	CMP.L ERs, ERd	L	2														1
NEG	NEG.B Rd	B	2														1
	NEG.W Rd	W	2														1
	NEG.L ERd	L	2														1
EXTU	EXTU.W Rd	W	2														1
	EXTU.L ERd	L	2														1
EXTS	EXTS.W Rd	W	2														1
	EXTS.L ERd	L	2														1
TAS	TAS @ERd	B	4														4

(4) シフト命令

ニーモニック	サイズ	アドレッシングモード/命令長(バイト)						オペレーション	コンディションコード							実行ステータス数 ^{*1}	
		#xx	Fn	@ERn	@(d,ERn)	@-ERn/@ERn+	@aa		@(d,PC)	@aa	I	H	N	Z	V		C
SHAL	SHAL.B Rd	B	2														1
	SHAL.B #2,Rd	B	2														1
	SHAL.W Rd	W	2														1
	SHAL.W #2,Rd	W	2														1
	SHAL.L ERd	L	2														1
SHAR	SHAL.L #2,ERd	L	2														1
	SHAR.B Rd	B	2														1
	SHAR.B #2,Rd	B	2														1
	SHAR.W Rd	W	2														1
	SHAR.W #2,Rd	W	2														1
SHLL	SHAR.L ERd	L	2														1
	SHAR.L #2,ERd	L	2														1
	SHLL.B Rd	B	2														1
	SHLL.B #2,Rd	B	2														1
	SHLL.W Rd	W	2														1
SHLR	SHLL.W #2,Rd	W	2														1
	SHLL.L ERd	L	2														1
	SHLL.L #2,ERd	L	2														1
	SHLR.B Rd	B	2														1
	SHLR.B #2,Rd	B	2														1
ROTXL	SHLR.W Rd	W	2														1
	SHLR.W #2,Rd	W	2														1
	SHLR.L ERd	L	2														1
	SHLR.L #2,ERd	L	2														1
	ROTXL.B Rd	B	2														1
ROTXL	ROTXL.B #2,Rd	B	2														1
	ROTXL.W Rd	W	2														1
	ROTXL.W #2,Rd	W	2														1
	ROTXL.L ERd	L	2														1
	ROTXL.L #2,ERd	L	2														1

ニーモニック	サイズ	アドレッシングモード / 命令幅 (バイト)						オペレーション	コンディションコード							実行ステート数 ^{*1}		
		#xx	Rn	@ERn	@(d,ERn)	@-ERn/@ERn+	@aa		@(d,PC)	@aa	I	H	N	Z	V	C	ノーマル	アドバンスト
ROTXR	ROTXR.B Rd	B	2														1	
	ROTXR.B #2,Rd	B	2														1	
	ROTXR.W Rd	W	2														1	
	ROTXR.W #2,Rd	W	2														1	
	ROTXR.L ERd	L	2														1	
ROTL	ROTXR.L #2,ERd	L	2														1	
	ROTL.B Rd	B	2														1	
	ROTL.B #2,Rd	B	2														1	
	ROTL.W Rd	W	2														1	
	ROTL.W #2,Rd	W	2														1	
ROTR	ROTL.L ERd	L	2														1	
	ROTL.L #2,ERd	L	2														1	
	ROTR.B Rd	B	2														1	
	ROTR.B #2,Rd	B	2														1	
	ROTR.W Rd	W	2														1	
ROTR.L ERd	ROTR.W #2,Rd	W	2														1	
	ROTR.L ERd	L	2														1	
	ROTR.L #2,ERd	L	2														1	

(5) ビット操作命令

二ネモニク	サイズ	アドレッシングモード/命令長 (バイト)						オペレーション	コンディションコード							実行スタート数 *1			
		#xx	Rn	@(d,ERn)	@(d,PC)	@aa	@(d,PC)		I	H	N	Z	V	C	ノーマル	アドバンス			
BSET	BSET #xx:3,Rd	B	2						(#xx:3 of Rd8)←1	-	-	-	-	-	-	-	1		
	BSET #xx:3,@ERd	B	4						(#xx:3 of @ERd)←1	-	-	-	-	-	-	-	4		
	BSET #xx:3,@aa:8	B		4				4	(#xx:3 of @aa:8)←1	-	-	-	-	-	-	-	4		
	BSET #xx:3,@aa:16	B					6	6	(#xx:3 of @aa:16)←1	-	-	-	-	-	-	-	5		
	BSET #xx:3,@aa:32	B					8	8	(#xx:3 of @aa:32)←1	-	-	-	-	-	-	-	6		
	BSET Rn,Rd	B	2						(Rn8 of Rd8)←1	-	-	-	-	-	-	-	1		
	BSET Rn,@ERd	B	4					4	(Rn8 of @ERd)←1	-	-	-	-	-	-	-	4		
	BSET Rn,@aa:8	B					4	4	(Rn8 of @aa:8)←1	-	-	-	-	-	-	-	4		
	BSET Rn,@aa:16	B					6	6	(Rn8 of @aa:16)←1	-	-	-	-	-	-	-	5		
	BSET Rn,@aa:32	B					8	8	(Rn8 of @aa:32)←1	-	-	-	-	-	-	-	6		
	BCLR	BCLR #xx:3,Rd	B	2						(#xx:3 of Rd8)←0	-	-	-	-	-	-	-	1	
	BCLR #xx:3,@ERd	B	4							(#xx:3 of @ERd)←0	-	-	-	-	-	-	-	4	
BCLR #xx:3,@aa:8	B					4	4		(#xx:3 of @aa:8)←0	-	-	-	-	-	-	-	4		
BCLR #xx:3,@aa:16	B					6	6		(#xx:3 of @aa:16)←0	-	-	-	-	-	-	-	5		
BCLR #xx:3,@aa:32	B					8	8		(#xx:3 of @aa:32)←0	-	-	-	-	-	-	-	6		
BCLR Rn,Rd	B	2							(Rn8 of Rd8)←0	-	-	-	-	-	-	-	1		
BCLR Rn,@ERd	B	4					4		(Rn8 of @ERd)←0	-	-	-	-	-	-	-	4		
BCLR Rn,@aa:8	B					4	4		(Rn8 of @aa:8)←0	-	-	-	-	-	-	-	4		
BCLR Rn,@aa:16	B					6	6		(Rn8 of @aa:16)←0	-	-	-	-	-	-	-	5		
BCLR Rn,@aa:32	B					8	8		(Rn8 of @aa:32)←0	-	-	-	-	-	-	-	6		
BNOT	BNOT #xx:3,Rd	B	2						(#xx:3 of Rd8)← [~ (#xx:3 of Rd8)]	-	-	-	-	-	-	-	1		
BNOT #xx:3,@ERd	B	4							(#xx:3 of @ERd)← [~ (#xx:3 of @ERd)]	-	-	-	-	-	-	-	4		
BNOT #xx:3,@aa:8	B					4	4		(#xx:3 of @aa:8)← [~ (#xx:3 of @aa:8)]	-	-	-	-	-	-	-	4		
BNOT #xx:3,@aa:16	B					6	6		(#xx:3 of @aa:16)← [~ (#xx:3 of @aa:16)]	-	-	-	-	-	-	-	5		
BNOT #xx:3,@aa:32	B					8	8		(#xx:3 of @aa:32)← [~ (#xx:3 of @aa:32)]	-	-	-	-	-	-	-	6		
BNOT Rn,Rd	B	2							(Rn8 of Rd8)← [~ (Rn8 of Rd8)]	-	-	-	-	-	-	-	1		
BNOT Rn,@ERd	B	4					4		(Rn8 of @ERd)← [~ (Rn8 of @ERd)]	-	-	-	-	-	-	-	4		
BNOT Rn,@aa:8	B					4	4		(Rn8 of @aa:8)← [~ (Rn8 of @aa:8)]	-	-	-	-	-	-	-	4		
BNOT Rn,@aa:16	B					6	6		(Rn8 of @aa:16)← [~ (Rn8 of @aa:16)]	-	-	-	-	-	-	-	5		
BNOT Rn,@aa:32	B					8	8		(Rn8 of @aa:32)← [~ (Rn8 of @aa:32)]	-	-	-	-	-	-	-	6		

ニーモニック	サイズ	アドレッシングモード / 命令長 (バイト)							オペレーション	コンディションコード							実行ステート数 *1
		#xx	FR	@ ERn	@ (d, ERn)	@ -ERn / @ ERn+	@ aa	@ (d, PC)		@ aa	I	H	N	Z	V	C	
BAND	BAND #xx:3, Rd	B	2														1
	BAND #xx:3, @ERd	B	4														3
	BAND #xx:3, @aa:8	B		4													3
	BAND #xx:3, @aa:16	B		6													4
BIAND	BAND #xx:3, @aa:32	B		8													5
	BIAND #xx:3, Rd	B	2														1
	BIAND #xx:3, @ERd	B		4													3
	BIAND #xx:3, @aa:8	B		4													3
BOR	BIAND #xx:3, @aa:16	B		6													4
	BIAND #xx:3, @aa:32	B		8													5
	BOR #xx:3, Rd	B	2														1
	BOR #xx:3, @ERd	B		4													3
BIOR	BOR #xx:3, @aa:8	B		4													3
	BOR #xx:3, @aa:16	B		6													4
	BOR #xx:3, @aa:32	B		8													5
	BIOR #xx:3, Rd	B	2														1
BIXOR	BIOR #xx:3, @ERd	B		4													3
	BIOR #xx:3, @aa:8	B		4													3
	BIOR #xx:3, @aa:16	B		6													4
	BIOR #xx:3, @aa:32	B		8													5
BIXOR	BIXOR #xx:3, Rd	B	2														1
	BIXOR #xx:3, @ERd	B		4													3
	BIXOR #xx:3, @aa:8	B		4													3
	BIXOR #xx:3, @aa:16	B		6													4
	BIXOR #xx:3, @aa:32	B		8													5

二一モモニツク	サイズ	アドレッシングモード / 命令幅 (バイト)							オペレーション	コンディシヨソコソド							実行ステート数 *1
		#xx	Rn	@ERn	@(d,ERn)	@-ERn/@ERn+	@aa	@(d,PC)		@aa	I	H	N	Z	V	C	
JMP @ERn	-		2						PC←ERn	-	-	-	-	-	-	2	
JMP @aa:24	-						4		PC←aa:24	-	-	-	-	-	-	3	
JMP @aa:8	-							2	PC←@aa:8	-	-	-	-	-	-	4	
BSR d:8	-				2				PC→@-SP,PC←PC+d:8	-	-	-	-	-	-	3	4
BSR d:16	-				4				PC→@-SP,PC←PC+d:16	-	-	-	-	-	-	4	5
JSR @ERn	-		2						PC→@-SP,PC←ERn	-	-	-	-	-	-	3	4
JSR @aa:24	-				4				PC→@-SP,PC←aa:24	-	-	-	-	-	-	4	5
JSR @aa:8	-							2	PC→@-SP,PC←@aa:8	-	-	-	-	-	-	4	6
RTS	-								PC←@SP+	-	-	-	-	-	-	4	5

(7) システム制御命令

二モニック	サイズ	アドレッシングモード / 命令長 (バイト)							オペレーション	コンディションコード								実行ステータス数 ^{※1}	
		#xx	Rn	@ERN	@(d,ERn)	@-ERn/ERN+	@aa	@(d,PC)		@aa	I	H	N	Z	V	C	ノーマル	アドバンスト	
TRAPA	TRAPA #xx:2	-							2	PC→@-SP,CCR→@SP, EXR→@-SP,<ペクタ>→PC EXR←@SP+,CCR←@SP+, PC←@SP+	↑	↑	↑	↑	↑	↑	7 [9]	8 [9]	
RTE	RTE	-								低消費電力状態に遷移	↑	↑	↑	↑	↑	↑	5 [9]		
SLEEP	SLEEP	-									-	-	-	-	-	-		2	
LDC	LDC #xx:8,CCR	B	2							#xx:8→CCR	↑	↑	↑	↑	↑	↑		1	
	LDC #xx:8,EXR	B	4							#xx:8→EXR	-	-	-	-	-	-		2	
	LDC Rs,CCR	B	2							Rs8→CCR	↑	↑	↑	↑	↑	↑		1	
	LDC Rs,EXR	B	2							Rs8→EXR	-	-	-	-	-	-		1	
	LDC @ERs,CCR	W		4						@ERs→CCR	↑	↑	↑	↑	↑	↑		3	
	LDC @ERs,EXR	W		4						@ERs→EXR	-	-	-	-	-	-		3	
	LDC @(d:16,ERs),CCR	W			6					@(d:16,ERs)→CCR	↑	↑	↑	↑	↑	↑		4	
	LDC @(d:16,ERs),EXR	W			6					@(d:16,ERs)→EXR	-	-	-	-	-	-		4	
	LDC @(d:32,ERs),CCR	W			10					@(d:32,ERs)→CCR	↑	↑	↑	↑	↑	↑		6	
	LDC @(d:32,ERs),EXR	W			10					@(d:32,ERs)→EXR	-	-	-	-	-	-		6	
	LDC @ERs+,CCR	W				4				@ERs→CCR,ERS32+2→ERS32	↑	↑	↑	↑	↑	↑		4	
	LDC @ERs+,EXR	W				4				@ERs→EXR,ERS32+2→ERS32	-	-	-	-	-	-		4	
LDC @aa:16,CCR	W					6			@aa:16→CCR	↑	↑	↑	↑	↑	↑		4		
LDC @aa:16,EXR	W					6			@aa:16→EXR	-	-	-	-	-	-		4		
LDC @aa:32,CCR	W					8			@aa:32→CCR	↑	↑	↑	↑	↑	↑		5		
LDC @aa:32,EXR	W					8			@aa:32→EXR	-	-	-	-	-	-		5		

(8) ブロック転送命令

ニーモニック	サイズ	アドレッシングモード/命令長(バイト)							オペレーション	コンディションコード							実行ステート数 ^{*1}
		#xx	Rn	@ERn	@(d,ERn)	@-ERn/@ERn+	@aa	@(d,PC)		@aa	I	H	N	Z	V	C	
EEPMOV	EEPMOV.B	-	4	if R4L 0 Repeat @ER5→@ER6 ER5+1→ER5 ER6+1→ER6 R4L-1→R4L Until R4L=0 else next;	-	-	-	-	-	-	-	-	-	-	-	-	4+2n ^{*2}
EEPMOV.W	EEPMOV.W	-	4	if R4 0 Repeat @ER5→@ER6 ER5+1→ER5 ER6+1→ER6 R4-1→R4 Until R4=0 else next;	-	-	-	-	-	-	-	-	-	-	-	-	4+2n ^{*2}

【注】*1 実行ステート数は、命令コードおよびオペランドが内蔵メモリに存在する場合の値です。

*2 nはR4LまたはR4の初期設定値です。

- [1] 復帰/回避レジスタ数が2本のとき7ステート、3本のとき9ステート、4本のとき11ステートになります。
- [2] 本LSIでは使用できません。
- [3] ビット11から桁上がりまたはビット11へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。
- [4] ビット27から桁上がりまたはビット27へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。
- [5] 演算結果が0（ゼロ）のとき、演算前の値を保持し、それ以外のとき0にクリアされます。
- [6] 除数が負のとき1にセットされ、それ以外のとき0にクリアされます。
- [7] 除数が0（ゼロ）のとき1にセットされ、それ以外のとき0にクリアされます。
- [8] 商が負のとき1にセットされ、それ以外のとき0にクリアされます。
- [9] EXRが有効のとき、実行ステート数は1ステート多くになります。

A.2 命令コード一覧

命令	二 ー モ ー ニ ッ ク	サ イ ズ	インストラクションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
ADD	ADD.B #xx:8,Rd	B	8	rd	IMM															
	ADD.B Rs,Rd	B	0	8	rs	rd														
	ADD.W #xx:16,Rd	W	7	9	1	rd														
	ADD.W Rs,Rd	W	0	9	rs	rd														
	ADD.L #xx:32,ERd	L	7	A	1	0:erd														
	ADD.L ERs,ERd	L	0	A	1:ers	0:erd														
ADDS	ADDS #1,ERd	L	0	B	0	0:erd														
	ADDS #2,ERd	L	0	B	8	0:erd														
	ADDS #4,ERd	L	0	B	9	0:erd														
ADDX	ADDX #xx:8,Rd	B	9	rd	IMM															
	ADDX Rs,Rd	B	0	E	rs	rd														
AND	AND.B #xx:8,Rd	B	E	rd	IMM															
	AND.B Rs,Rd	B	1	6	rs	rd														
	AND.W #xx:16,Rd	W	7	9	6	rd														
	AND.W Rs,Rd	W	6	6	rs	rd														
	AND.L #xx:32,ERd	L	7	A	6	0:erd														
	AND.L ERs,ERd	L	0	1	F	0:ers	0:erd													
ANDC	ANDC #xx:8,CCR	B	0	6	IMM															
	ANDC #xx:8,EXR	B	0	1	4	1	0	6	IMM											
BAND	BAND #xx:3,Rd	B	7	6	0:IMM	rd														
	BAND #xx:3,@ERd	B	7	C	0:erd	0	7	6	0:IMM	0										
	BAND #xx:3,@aa:8	B	7	E	abs	7	6	6	0:IMM	0										
	BAND #xx:3,@aa:16	B	6	A	1	0	0	abs	7	6	0:IMM	0								
	BAND #xx:3,@aa:32	B	6	A	3	0	0	abs	7	6	0:IMM	0								
	BAND #xx:3,@aa:64	B	6	A	3	0	0	abs	7	6	0:IMM	0								
Bcc	BRA q8 (BT d:8)	-	4	0	disp															
	BR d:16 (BT d:16)	-	5	8	0	0	disp													
	BRN d:8 (BF d:8)	-	4	1	disp															
	BRN d:16 (BF d:16)	-	5	8	1	0	disp													
	BHI d:8	-	4	2	disp															
	BHI d:16	-	5	8	2	0	disp													
	BLS d:8	-	4	3	disp															
	BLS d:16	-	5	8	3	0	disp													
	BCC q:8 (BHS q:8)	-	4	4	disp															
	BCC d:16 (BHS d:16)	-	5	8	4	0	disp													
	BCS q:8 (BLO q:8)	-	4	5	disp															
	BCS d:16 (BLO d:16)	-	5	8	5	0	disp													
	BNE d:8	-	4	6	disp															
	BNE d:16	-	5	8	6	0	disp													
	BEQ q:8	-	4	7	disp															
	BEQ d:16	-	5	8	7	0	disp													
BVC q:8	-	4	8	disp																
BVC d:16	-	5	8	8	0	disp														
BVS q:8	-	4	9	disp																
BVS d:16	-	5	8	9	0	disp														

命令	ニーモニック	サイズ	インストラクションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
Bcc (続き)	BPL d:8	-	4	A																
	BPL d:16	-	5	8	A	0		disp												
	BMI d:8	-	4	B																
	BMI d:16	-	5	8	B	0		disp												
	BGE d:8	-	4	C																
	BGE d:16	-	5	8	C	0		disp												
	BLT d:8	-	4	D																
	BLT d:16	-	5	8	D	0		disp												
	BGT d:8	-	4	E																
	BGT d:16	-	5	8	E	0		disp												
BCLR	BLE d:8	-	4	F																
	BLE d:16	-	5	8	F	0		disp												
	BCLR #xx:3,Rd	B	7	2	0:IMM	rd														
	BCLR #xx:3,@aa:8	B	7	D	0:erd	0	7	2	0:IMM	0										
	BCLR #xx:3,@aa:16	B	7	F	abs		7	2	0:IMM	0										
	BCLR #xx:3,@aa:32	B	6	A	1	8		abs												
	BCLR Rn,Rd	B	6	2	m	rd														
	BCLR Rn,@ERd	B	7	D	0:erd	0	6	2	m	0										
	BCLR Rn,@aa:8	B	7	F	abs		6	2	m	0										
	BCLR Rn,@aa:16	B	6	A	1	8		abs												
BIAND	BCLR Rn,@aa:32	B	6	A	3	8		abs												
	BIAND #xx:3,Rd	B	7	6	1:IMM	rd														
	BIAND #xx:3,@ERd	B	7	C	0:erd	0	7	6	1:IMM	0										
	BIAND #xx:3,@aa:8	B	7	E	abs		7	6	1:IMM	0										
	BIAND #xx:3,@aa:16	B	6	A	1	0		abs												
	BIAND #xx:3,@aa:32	B	6	A	3	0		abs												
	BILD #xx:3,Rd	B	7	7	1:IMM	rd														
	BILD #xx:3,@ERd	B	7	C	0:erd	0	7	7	1:IMM	0										
	BILD #xx:3,@aa:8	B	7	E	abs		7	7	1:IMM	0										
	BILD #xx:3,@aa:16	B	6	A	1	0		abs												
BIOR	BILD #xx:3,@aa:32	B	6	A	3	0		abs												
	BIOR #xx:3,Rd	B	7	4	1:IMM	rd														
	BIOR #xx:3,@ERd	B	7	C	0:erd	0	7	4	1:IMM	0										
	BIOR #xx:3,@aa:8	B	7	E	abs		7	4	1:IMM	0										
	BIOR #xx:3,@aa:16	B	6	A	1	0		abs												
	BIOR #xx:3,@aa:32	B	6	A	3	0		abs												
	BIST #xx:3,Rd	B	6	7	1:IMM	rd														
	BIST #xx:3,@ERd	B	7	D	0:erd	0	6	7	1:IMM	0										
	BIST #xx:3,@aa:8	B	7	F	abs		6	7	1:IMM	0										
	BIST #xx:3,@aa:16	B	6	A	1	8		abs												

命令	ニーモニック	サイズ	インストラクションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
BIXOR	BIXOR #xx:3,Rd	B	7	5	1:IMM# rd															
	BIXOR #xx:3,@ERd	B	7	C	0:erd 0	7	5	1:IMM# 0												
	BIXOR #xx:3,@aa:8	B	7	E	abs	7	5	1:IMM# 0												
	BIXOR #xx:3,@aa:16	B	6	A	1 0			abs	7	5	1:IMM# 0									
	BIXOR #xx:3,@aa:32	B	6	A	3 0			abs				7	5	1:IMM# 0						
BLD	BLD #xx:3,Rd	B	7	7	0:IMM# rd															
	BLD #xx:3,@ERd	B	7	C	0:erd 0	7	7	0:IMM# 0												
	BLD #xx:3,@aa:8	B	7	E	abs	7	7	0:IMM# 0												
	BLD #xx:3,@aa:16	B	6	A	1 0			abs	7	7	0:IMM# 0									
	BLD #xx:3,@aa:32	B	6	A	3 0			abs				7	7	0:IMM# 0						
BNOT	BNOT #xx:3,Rd	B	7	1	0:IMM# rd															
	BNOT #xx:3,@ERd	B	7	D	0:erd 0	7	1	0:IMM# 0												
	BNOT #xx:3,@aa:8	B	7	F	abs	7	1	0:IMM# 0												
	BNOT #xx:3,@aa:16	B	6	A	1 8			abs	7	1	0:IMM# 0									
	BNOT #xx:3,@aa:32	B	6	A	3 8			abs				7	1	0:IMM# 0						
	BNOT Rn,Rd	B	6	1	rn rd															
	BNOT Rn,@ERd	B	7	D	0:erd 0	6	1	rn 0												
	BNOT Rn,@aa:8	B	7	F	abs	6	1	rn 0												
	BNOT Rn,@aa:16	B	6	A	1 8			abs	6	1	rn 0									
	BNOT Rn,@aa:32	B	6	A	3 8			abs				6	1	rn 0						
BOR	BOR #xx:3,Rd	B	7	4	0:IMM# rd															
	BOR #xx:3,@ERd	B	7	C	0:erd 0	7	4	0:IMM# 0												
	BOR #xx:3,@aa:8	B	7	E	abs	7	4	0:IMM# 0												
	BOR #xx:3,@aa:16	B	6	A	1 0			abs	7	4	0:IMM# 0									
	BOR #xx:3,@aa:32	B	6	A	3 0			abs				7	4	0:IMM# 0						
BSET	BSET #xx:3,Rd	B	7	0	0:IMM# rd															
	BSET #xx:3,@ERd	B	7	D	0:erd 0	7	0	0:IMM# 0												
	BSET #xx:3,@aa:8	B	7	F	abs	7	0	0:IMM# 0												
	BSET #xx:3,@aa:16	B	6	A	1 8			abs	7	0	0:IMM# 0									
	BSET #xx:3,@aa:32	B	6	A	3 8			abs				7	0	0:IMM# 0						
BSR	BSR Rn,Rd	B	6	0	rn rd															
	BSR Rn,@ERd	B	7	D	0:erd 0	6	0	rn 0												
	BSR Rn,@aa:8	B	7	F	abs	6	0	rn 0												
	BSR Rn,@aa:16	B	6	A	1 8			abs	6	0	rn 0									
	BSR Rn,@aa:32	B	6	A	3 8			abs				6	0	rn 0						
BST	BSR d:8	-	5	5	disp															
	BSR d:16	-	5	C	0 0			disp												
	BST #xx:3,Rd	B	6	7	0:IMM# rd															
	BST #xx:3,@ERd	B	7	D	0:erd 0	6	7	0:IMM# 0												
	BST #xx:3,@aa:8	B	7	F	abs	6	7	0:IMM# 0												

命令	ニーモニック	サイズ	インストラクションフォーマット																		
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト									
BTST	BTST #xx:3,Rd	B	7	3	0:IMM	rd															
	BTST #xx:3,@ERd	B	7	C	0:erd	0	7	3	0:IMM	0											
	BTST #xx:3,@aa:8	B	7	E	abs		7	3	0:IMM	0											
	BTST #xx:3,@aa:16	B	6	A	1	0	abs		7	3	0:IMM	0									
	BTST #xx:3,@aa:32	B	6	A	3	0	abs						7	3	0:IMM	0					
	BTST Rn,Rd	B	6	3	rn	rd															
BXOR	BTST Rn,@ERd	B	7	C	0:erd	0	6	3	rn	0											
	BTST Rn,@aa:8	B	7	E	abs		6	3	rn	0											
	BTST Rn,@aa:16	B	6	A	1	0	abs		6	3	rn	0									
	BTST Rn,@aa:32	B	6	A	3	0	abs						6	3	rn	0					
	BXOR #xx:3,Rd	B	7	5	0:IMM	rd															
	BXOR #xx:3,@ERd	B	7	C	0:erd	0	7	5	0:IMM	0											
CLRMAC	BXOR #xx:3,@aa:8	B	7	E	abs		7	5	0:IMM	0											
	BXOR #xx:3,@aa:16	B	6	A	1	0	abs		7	5	0:IMM	0									
	BXOR #xx:3,@aa:32	B	6	A	3	0	abs						7	5	0:IMM	0					
	CLRMAC	-	本LSIでは使用できません。																		
	CMP	CMP.B #xx:8,Rd	B	A	rd	IMM															
	DAA	CMP.B Rs,Rd	B	1	C	rs	rd														
CMP.W #xx:16,Rd		W	7	9	2	rd			IMM												
CMP.W Rs,Rd		W	1	D	rs	rd															
CMP.L #xx:32,ERd		L	7	A	2	0:erd															
CMP.L ERs,ERd		L	1	F	1:ers	0:erd															
DAA		DAA Rd	B	0	F	0	rd														
DEC	DAS Rd	B	1	F	0	rd															
	DEC.B Rd	B	1	A	0	rd															
	DEC.W #1,Rd	W	1	B	5	rd															
	DEC.W #2,Rd	W	1	B	D	rd															
	DEC.L #1,ERd	L	1	B	7	0:erd															
	DEC.L #2,ERd	L	1	B	F	0:erd															
DIVXS	DIVXS.B Rs,Rd	B	0	1	D	0	5	1	rs	rd											
	DIVXS.W Rs,ERd	W	0	1	D	0	5	3	rs	0:erd											
	DIVXU	B	5	1	rs	rd															
	DIVXU.B Rs,Rd	B	5	3	rs	0:erd															
	DIVXU.W Rs,ERd	W	5	3	rs	0:erd															
	EEPMOV	EEPMOV.B	-	7	B	5	C	5	9	8	F										
EXTS	EEPMOV.W	-	7	B	D	4	5	9	8	F											
	EXTS.W Rd	W	1	7	D	rd															
	EXTS.L ERd	L	1	7	F	0:erd															
	EXTU.W Rd	W	1	7	5	rd															
	EXTU.L ERd	L	1	7	7	0:erd															

命令	二 ー モ ニ ッ ク	サイ ズ	インストラクションフォーマット																		
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト									
INC	INC.B Rd	B	0	A	0	rd															
	INC.W #1,Rd	W	0	B	5	rd															
	INC.W #2,Rd	W	0	B	D	rd															
	INC.L #1,ERd	L	0	B	7	0:erd															
	INC.L #2,ERd	L	0	B	F	0:erd															
	JMP	JMP @ERn	-	5	9	0:ern	0														
		JMP @aa:24	-	5	A		abs														
		JMP @ERn	-	5	B	abs															
		JMP @aa:8	-	5	D	0:ern	0														
		JMP @aa:24	-	5	E		abs														
	LDC	JSR @ERn	-	5	F		abs														
		JSR @aa:8	-	5	F		abs														
		LDC #xx:8,CCR	B	0	7	IMM															
LDC #xx:8,EXR		B	0	1	4	1	0	7	IMM												
LDC Rs,CCR		B	0	3	0	rs															
LDC Rs,EXR		B	0	3	1	rs															
LDC @ERs,CCR		W	0	1	4	0	6	9	0:ers	0											
LDC @ERs,EXR		W	0	1	4	1	6	9	0:ers	0											
LDC @(d:16,ERs),CCR		W	0	1	4	0	6	F	0:ers	0											
LDC @(d:16,ERs),EXR		W	0	1	4	1	6	F	0:ers	0											
LDC @(d:32,ERs),CCR		W	0	1	4	0	7	8	0:ers	0											
LDC @(d:32,ERs),EXR		W	0	1	4	1	7	8	0:ers	0											
LDC @ERs+,CCR		W	0	1	4	0	6	D	0:ers	0											
LDC @ERs+,EXR	W	0	1	4	1	6	D	0:ers	0												
LDC @aa:16,CCR	W	0	1	4	1	6	B	0	0												
LDC @aa:16,EXR	W	0	1	4	1	6	B	0	0												
LDC @aa:32,CCR	W	0	1	4	0	6	B	2	0												
LDC @aa:32,EXR	W	0	1	4	1	6	B	2	0												
LDM	LDM.L @SP+, (ERn-ERn+1)	L	0	1	1	0	6	D	7	0:ern+1											
	LDM.L @SP+, (ERn-ERn+2)	L	0	1	2	0	6	D	7	0:ern+2											
	LDM.L @SP+, (ERn-ERn+3)	L	0	1	3	0	6	D	7	0:ern+3											
LDMAC	LDMAC ERs,MACL	L																			
	LDMAC ERs,MACR	L																			
MOV	MAC @ERn+,@ERn+	-																			
	MOV.B #xx:8,Rd	B	F	rd	IMM																
	MOV.B Rs,Rd	B	0	C	rs	rd															
	MOV.B @ERs,Rd	B	6	8	0:ers	rd															
	MOV.B @(d:16,ERs),Rd	B	6	E	0:ers	rd															
	MOV.B @(d:32,ERs),Rd	B	7	8	0:ers	0	6	A	2	rd											
	MOV.B @ERs+,Rd	B	6	C	0:ers	rd															
	MOV.B @aa:8,Rd	B	2	rd	abs																
	MOV.B @aa:16,Rd	B	6	A	0	rd															
	MOV.B @aa:32,Rd	B	6	A	2	rd															
	MOV.B Rs,@ERd	B	6	8	1:erd	rs															
	MOV.B Rs,@(d:16,ERd)	B	6	E	1:erd	rs															
	MOV.B Rs,@(d:32,ERd)	B	7	8	0:erd	0	6	A	A	A	rs										

本LSIでは使用できません。

命令	ニーモニック	サイズ	インストラクションフォーマット																		
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト									
MOV (続き)	MOV.B Rs,@.ERd	B	3	C	1:erd	rs															
	MOV.B Rs,aaa8	B	6	A	8	abs															
	MOV.B Rs,@aa:16	B	6	A	A	rs															
	MOV.B Rs,aaa32	B	6	A	A	rs															
	MOV.W #xx:16,Rd	W	7	9	0	rd															
	MOV.W Rs,Rd	W	0	D	rs	rd															
	MOV.W @ERSs,Rd	W	6	9	0:ers	rd															
	MOV.W @(d:16,ERSs),Rd	W	6	F	0:ers	rd															
	MOV.W @(d:32,ERSs),Rd	W	7	8	0:ers	0	6	B	2	rd											
	MOV.W @ERSs+,Rd	W	6	D	0:ers	rd															
	MOV.W @aa:16,Rd	W	6	B	0	rd															
	MOV.W @aa:32,Rd	W	6	B	2	rd															
	MOV.W Rs,@ERd	W	6	9	1:erd	rs															
	MOV.W Rs,(d:16,ERd)	W	6	F	1:erd	rs															
	MOV.W Rs,(d:32,ERd)	W	7	8	0:erd	0	6	B	A	rs											
	MOV.W Rs,@.ERd	W	6	D	1:erd	rs															
	MOV.W Rs,aa:16	W	6	B	8	rs															
	MOV.W Rs,aa:32	W	6	B	A	rs															
	MOV.L #xx:32,Rd	L	7	A	0:0	erd															
	MOV.L ERs,ERd	L	0	F	1:ers	0:erd															
MOV.L @ERSs,ERd	L	0	1	0	0	6	9	0	ers	0:erd											
MOV.L @(d:16,ERSs),ERd	L	0	1	0	0	6	F	0	ers	0:erd											
MOV.L @(d:32,ERSs),ERd	L	0	1	0	0	7	8	0	ers	0											
MOV.L @ERSs+,ERd	L	0	1	0	0	6	D	0	ers	0:erd											
MOV.L @aa:16,ERd	L	0	1	0	0	6	B	0	0:erd												
MOV.L @aa:32,ERd	L	0	1	0	0	6	B	2	0:erd												
MOV.L ERs,@ERd	L	0	1	0	0	6	B	0	0:erd												
MOV.L ERs,(d:16,ERd)	L	0	1	0	0	6	9	1	erd	0:ers											
MOV.L ERs,(d:32,ERd)*	L	0	1	0	0	6	F	1	erd	0:ers											
MOV.L ERs,@.ERd	L	0	1	0	0	7	8	0	erd	0											
MOV.L ERs,aa:16	L	0	1	0	0	6	D	1	erd	0:ers											
MOV.L ERs,aa:32	L	0	1	0	0	6	B	8	0:ers												
MOV.L ERs,@aa:32	L	0	1	0	0	6	B	A	0:ers												
MOV.FE @aa:16,Rd	B																				
MOV.TPE Rs,@aa:16	B																				
MUL.XS	MUL.XS.B Rs,Rd	W	0	1	C	0	5	0	rs	rd											
MUL.XU	MUL.XU.B Rs,Rd	W	0	1	C	0	5	2	rs	0:erd											
NEG	MUL.XU.W Rs,ERd	W	5	2	rs	0:erd															
	NEG.B Rd	B	1	7	8	rd															
	NEG.W Rd	W	1	7	9	rd															
	NEG.L ERd	L	1	7	B	0:erd															
NOP	NOP	-	0	0	0	0															

本LSIでは使用できません。

命令	二 ー モ ニ ッ ク	サ イ ト ス	インストラクションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
NOT	NOT.B Rd	B	1	7	0	rd														
	NOT.W Rd	W	1	7	1	rd														
OR	NOT.L ERd	L	1	7	3	0 : erd														
	OR.B #xx8,Rd	B	C	rd	IMM															
	OR.B Rs,Rd	B	1	4	rs	rd														
	OR.W #xx:16,Rd	W	7	9	4	rd				IMM										
	OR.W Rs,Rd	W	6	4	rs	rd														
	OR.L #xx:32,ERd	L	7	A	4	0 : erd					IMM									
	OR.L ERs,ERd	L	0	4	F	0	6	4	0 : ers	0 : erd										
	ORC #xx:8,CCR	B	0	4	IMM															
ORC #xx:8,EXR	B	0	1	4	1	0	4	IMM												
POP	POP.W Rn	W	6	D	7	rn														
	POP.L ERn	L	0	1	0	0	6	D	7	0 : ern										
PUSH	PUSH.W Rn	W	6	D	F	rn														
	PUSH.L ERn	L	0	1	0	0	6	D	F	0 : ern										
ROTL	ROTL.B Rd	B	1	2	8	rd														
	ROTL.B #2, Rd	B	1	2	C	rd														
	ROTL.W Rd	W	1	2	9	rd														
	ROTL.W #2, Rd	W	1	2	D	rd														
	ROTL.L ERd	L	1	2	B	0 : erd														
	ROTL.L #2, ERd	L	1	2	F	0 : erd														
	ROTR.B Rd	B	1	3	8	rd														
	ROTR.B #2, Rd	B	1	3	C	rd														
ROTR	ROTR.W Rd	W	1	3	9	rd														
	ROTR.W #2, Rd	W	1	3	D	rd														
	ROTR.L ERd	L	1	3	B	0 : erd														
	ROTR.L #2, ERd	L	1	3	F	0 : erd														
	ROTXL.B Rd	B	1	2	0	rd														
	ROTXL.B #2, Rd	B	1	2	4	rd														
ROTXR	ROTXL.W Rd	W	1	2	1	rd														
	ROTXL.W #2, Rd	W	1	2	5	rd														
	ROTXL.L ERd	L	1	2	3	0 : erd														
	ROTXL.L #2, ERd	L	1	2	7	0 : erd														
	ROTXR.B Rd	B	1	3	0	rd														
	ROTXR.B #2, Rd	B	1	3	4	rd														
	ROTXR.W Rd	W	1	3	1	rd														
	ROTXR.W #2, Rd	W	1	3	5	rd														
RTE	ROTXR.L ERd	L	1	3	3	0 : erd														
	ROTXR.L #2, ERd	L	1	3	7	0 : erd														
RTS	RTE	-	5	6	7	0														
	RTS	-	5	4	7	0														

命令	ニーモニック	サイズ	インストラクションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
SHAL	SHAL.B Rd	B	1	0	8	rd														
	SHAL.B #2, Rd	B	1	0	C	rd														
	SHAL.W Rd	W	1	0	9	rd														
	SHAL.W #2, Rd	W	1	0	D	rd														
	SHAL.L ERd	L	1	0	B	0::erd														
	SHAL.L #2, ERd	L	1	0	F	0::erd														
SHAR	SHAR.B Rd	B	1	1	8	rd														
	SHAR.B #2, Rd	B	1	1	C	rd														
	SHAR.W Rd	W	1	1	9	rd														
	SHAR.W #2, Rd	W	1	1	D	rd														
	SHAR.L ERd	L	1	1	B	0::erd														
	SHAR.L #2, ERd	L	1	1	F	0::erd														
SHLL	SHLL.B Rd	B	1	0	0	rd														
	SHLL.B #2, Rd	B	1	0	4	rd														
	SHLL.W Rd	W	1	0	1	rd														
	SHLL.W #2, Rd	W	1	0	5	rd														
	SHLLL ERd	L	1	0	3	0::erd														
	SHLLL #2, ERd	L	1	0	7	0::erd														
SHLR	SHLR.B Rd	B	1	1	0	rd														
	SHLR.B #2, Rd	B	1	1	4	rd														
	SHLR.W Rd	W	1	1	1	rd														
	SHLR.W #2, Rd	W	1	1	5	rd														
	SHLRL ERd	L	1	1	3	0::erd														
	SHLRL #2, ERd	L	1	1	7	0::erd														
SLEEP	SLEEP	-	0	1	8	0														
	STC.B CCR, Rd	B	0	2	0	rd														
	STC.B EXR, Rd	B	0	2	1	rd														
	STC.W CCR, @ERd	W	0	1	4	0	6	9	1::erd	0										
	STC.W EXR, @ERd	W	0	1	4	1	6	9	1::erd	0										
	STC.W CCR, @(d:16, ERd)	W	0	1	4	0	6	F	1::erd	0	disp									
STM	STC.W EXR, @(d:16, ERd)	W	0	1	4	1	6	F	1::erd	0	disp									
	STC.W CCR, @(d:32, ERd)	W	0	1	4	0	7	8	0::erd	0	6	B	A	0	disp					
	STC.W EXR, @(d:32, ERd)	W	0	1	4	1	7	8	0::erd	0	6	B	A	0	disp					
	STC.W CCR, @-ERd	W	0	1	4	0	6	D	1::erd	0										
	STC.W EXR, @-ERd	W	0	1	4	1	6	D	1::erd	0										
	STC.W CCR, @aa:16	W	0	1	4	0	6	B	8	0	abs									
STMAC	STC.W EXR, @aa:16	W	0	1	4	1	6	B	8	0	abs									
	STC.W CCR, @aa:32	W	0	1	4	0	6	B	A	0	abs									
	STC.W EXR, @aa:32	W	0	1	4	1	6	B	A	0	abs									
	STM.L(ERn-ERn+1), @-SP	L	0	1	1	0	6	D	F	0:ern										
	STM.L(ERn-ERn+2), @-SP	L	0	1	2	0	6	D	F	0:ern										
	STM.L(ERn-ERn+3), @-SP	L	0	1	3	0	6	D	F	0:ern										

本LSIでは使用できません。



命令	ニーモニック	サイズ	インストラクションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
SUB	SUB.B Rs,Rd	B	1	8	rs	rd														
	SUB.W #xx:16,Rd	W	7	9	3	rd		IMM												
	SUB.W Rs,Rd	W	1	9	rs	rd														
	SUB.L #xx:32,ERd	L	7	A	3	0	erd			IMM										
	SUB.L ERs,ERd	L	1	A	1	ers	0	erd												
SUBS	SUBS #1,ERd	L	1	B	0	0	erd													
	SUBS #2,ERd	L	1	B	8	0	erd													
	SUBS #4,ERd	L	1	B	9	0	erd													
	SUBS #x:8,Rd	B	B	rd	IMM															
SUBX	SUBX Rs,Rd	B	1	E	rs	rd														
	TAS @ERd	B	0	1	E	0	7	B	0	ers	C									
TRAPA	TRAPA #x:2	-	5	7	00	IMM	0													
	XOR.B #x:8,Rd	B	D	rd	IMM															
XOR	XOR.B Rs,Rd	B	1	5	rs	rd														
	XOR.W #x:16,Rd	W	7	9	5	rd		IMM												
	XOR.W Rs,Rd	W	6	5	rs	rd														
	XOR.L #xx:32,ERd	L	7	A	5	0	erd			IMM										
XORC	XOR.L ERs,ERd	L	0	1	F	0	6	5	0	ers	0	erd								
	XORC #xx:8,COR	B	0	5	IMM															
	XORC #xx:8,EXR	B	0	1	4	1	0	5	IMM											

【注】 * MOV.L ERs, @ (d : 32, ERd) 命令の第4バイト、ビット7は、1、0どちらでも動作可能です。

【記号説明】

- IMM : イミディエイトデータ (2、3、8、16、32 ビット)
- abs : 絶対アドレス (8、16、24、32 ビット)
- disp : ディスプレースメント (8、16、32 ビット)
- rs、rd、rn : レジスタフィールド (4 ビットで、8 ビットレジスタまたは 16 ビットレジスタを指定します。rs、rd、rn はそれぞれオペランド形式の Rs、Rd、Rn に対応します。)
- ers、erd、ern、erm : レジスタフィールド (3 ビットで、アドレスレジスタまたは 32 ビットレジスタを指定します。ers、erd、ern、erm はそれぞれオペランド形式の ERs、ERd、ERn、ERm に対応します。)

レジスタフィールドと汎用レジスタの対応を下表に示します。

アドレスレジスタ 32 ビットレジスタ		16 ビットレジスタ		8 ビットレジスタ	
レジスタ フィールド	汎用レジスタ	レジスタ フィールド	汎用レジスタ	レジスタ フィールド	汎用レジスタ
000	ER0	0000	R0	0000	R0H
001	ER1	0001	R1	0001	R1H
⋮	⋮	⋮	⋮	⋮	⋮
111	ER7	0111	R7	0111	R7H
		1000	E0	1000	R0L
		1001	E1	1001	R1L
		⋮	⋮	⋮	⋮
		1111	E7	1111	R7L

A.3 オペレーションコードマップ

表 A.3 にオペレーションコードマップを示します。

表 A.3 オペレーションコードマップ (1)

命令コード:		第1バイト		第2バイト		BHの最上位ビットが0の場合を示します。		BHの最上位ビットが1の場合を示します。									
AL	AH	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
	0	NOP	表A.3(2)	STC 表A.3(2)	LDC 表A.3(2)	ORC	XORC	ANDC	LDC	ADD	ADD	表A.3(2)	表A.3(2)	MOV	ADDX	表A.3(2)	
	1	表A.3(2)	表A.3(2)	表A.3(2)	表A.3(2)	OR	XOR	AND	表A.3(2)	SUB	SUB	表A.3(2)	表A.3(2)	CMP	SUBX	表A.3(2)	
	2	MOV.B															
	3	MOV.B															
	4	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
	5	MULXU	DIVXU	MULXU	DIVXU	RTS	BSR	RTE	TRAPA	表A.3(2)		JMP		BSR		JSR	
	6	BSET	BNOT	BCLR	BTST	OR	XOR	AND	BST	MOV	MOV	表A.3(2)	表A.3(2)	MOV			
	7					BOR	BXOR	BAND	BLD	MOV	MOV	表A.3(2)	EEMOV	表A.3(3)			
	8	ADD															
	9	ADDX															
	A	CMP															
	B	SUBX															
	C	OR															
	D	XOR															
	E	AND															
	F	MOV															

【注】 * 本LSIでは使用できません。

表 A.3 オペレーションコードマップ (3)

命令コード:		第1バイト		第2バイト		第3バイト		第4バイト		A	B	C	D	E	F
CL	AH/AL	AH	AL	BH	BL	CH	CL	DH	DL						
AH/AL/BH/BL/CL															
01C05	MULXS			MULXS											
01D05		DIVXS			DIVXS										
01F06						OR		XOR	AND						
7Cr06 *1					BTST										
7Cr07 *1					BTST	BOR	BOR	BXOR	BAND	BLD	BAND	BLD	BAND	BLD	
7Dr06 *1	BSET	BNOT	BNOT	BCLR		BIOR	BIOR	BIXOR	BBIAND	BST	BIOR	BBIAND	BST	BIOR	BST
7Dr07 *1	BSET	BNOT	BNOT	BCLR											
7Eaa6 *2					BTST										
7Eaa7 *2					BTST	BOR	BOR	BXOR	BAND	BLD	BAND	BLD	BAND	BLD	
7Faa6 *2	BSET	BNOT	BNOT	BCLR		BIOR	BIOR	BIXOR	BBIAND	BST	BIOR	BBIAND	BST	BIOR	BST
7Faa7 *2	BSET	BNOT	BNOT	BCLR											



— DHの最上位ビットが0の場合を示します。
 — DHの最上位ビットが1の場合を示します。

【注】 *1 rはレジスタ指定部
 *2 aaは絶対アドレス指定

表 A.3 オペレーションコードマップ (4)

命令コード:		第1バイト		第2バイト		第3バイト		第4バイト		第5バイト		第6バイト				
		AH	AL	BH	BL	CH	CL	DH	DL	EH	EL	FH	FL			
EL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
AH BH CH DL EH																
6A10aaaa6*				BTST												
6A10aaaa7*				BOR	BOR	BXOR	BAND	BLD								
					BIOR	BIXOR	BAND	BILD								
6A18aaaa6*	BSET	BNOT	BCLR					BSST								
6A18aaaa7*								BIST								

命令コード:		第1バイト		第2バイト		第3バイト		第4バイト		第5バイト		第6バイト		第7バイト		第8バイト	
		AH	AL	BH	BL	CH	CL	DH	DL	EH	EL	FL	GH	GL	HH	HL	
GL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
AH BH L... FH GH																	
6A30aaaaaaa6*				BTST													
6A30aaaaaaa7*				BOR	BOR	BXOR	BAND	BLD									
					BIOR	BIXOR	BAND	BILD									
6A38aaaaaaa6*	BSET	BNOT	BCLR					BSST									
6A38aaaaaaa7*								BIST									



【注】 * aaは絶対アドレス指定

A.4 命令実行ステート数

H8S/2000 CPU の各命令についての実行状態と実行ステート数の計算方法を示します。

表 A.5 に各命令の実行状態として、命令実行中に行われる命令フェッチ、データリード/ライト等のサイクル数を示し、表 A.4 におおのこのサイズに必要なステート数を示します。

命令の実行ステート数は次の計算式で計算されます。

$$\text{実行ステート数} = I \times S_i + J \times S_j + K \times S_k + L \times S_L + M \times S_M + N \times S_N$$

実行ステート数計算例

アドバンストモード、プログラム領域およびスタック領域を外部空間に設定、内部周辺モジュールアクセス時 8 ビットバス幅で 2 ステートアクセス、外部デバイスアクセス時 16 ビットバス幅で 3 ステートアクセス 1 ウェイト挿入とした場合。

1. BSET #0, @FFFFC7:8

表A.5より

$$I = L = 2, J = K = M = N = 0$$

表A.4より

$$S_i = 4, S_L = 2$$

$$\text{実行ステート数} = 2 \times 4 + 2 \times 2 = 12$$

2. JSR @@30

表A.5より

$$I = J = K = 2, L = M = N = 0$$

表A.4より

$$S_i = S_j = S_k = 4$$

$$\text{実行ステート数} = 2 \times 4 + 2 \times 4 + 2 \times 4 = 24$$

表 A.4 実行状態（サイクル）に要するステート数

実行状態 (サイクル)	アクセス対象						
	内蔵 メモリ	内蔵周辺		外部デバイス			
		モジュール		8ビットバス		16ビットバス	
		8ビットバス	16ビットバス	2ステート アクセス	3ステート アクセス	2ステート アクセス	3ステート アクセス
命令フェッチ S_i	1	4	2	4	6+2m	2	3+m
分岐アドレスリード S_j							
スタック操作 S_k							
バイトデータアクセス S_l		2		2	3+m		
ワードデータアクセス S_m		4		4	6+2m		
内部動作 S_n	1						

【記号説明】

m : 外部デバイスアクセス時のウェイトステート数。

表 A.5 命令実行状態 (サイクル数)

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
ADD	ADD.B #xx:8,Rd	1					
	ADD.B Rs,Rd	1					
	ADD.W #xx:16,Rd	2					
	ADD.W Rs,Rd	1					
	ADD.L #xx:32,ERd	3					
	ADD.L ERs,ERd	1					
ADDS	ADDS #1/2/4,ERd	1					
ADDX	ADDX #xx:8,Rd	1					
	ADDX Rs,Rd	1					
AND	AND.B #xx:8,Rd	1					
	AND.B Rs,Rd	1					
	AND.W #xx:16,Rd	2					
	AND.W Rs,Rd	1					
	AND.L #xx:32,ERd	3					
	AND.L ERs,ERd	2					
ANDC	ANDC #xx:8,CCR	1					
	ANDC #xx:8,EXR	2					
BAND	BAND #xx:3,Rd	1					
	BAND #xx:3,@ERd	2			1		
	BAND #xx:3,@aa:8	2			1		
	BAND #xx:3,@aa:16	3			1		
	BAND #xx:3,@aa:32	4			1		
Bcc	BRA d:8 (BT d:8)	2					
	BRN d:8 (BF d:8)	2					
	BHI d:8	2					
	BLS d:8	2					
	BCC d:8 (BHS d:8)	2					
	BCS d:8 (BLO d:8)	2					
	BNE d:8	2					
	BEQ d:8	2					
	BVC d:8	2					
	BVS d:8	2					
	BPL d:8	2					
	BMI d:8	2					
	BGE d:8	2					
	BLT d:8	2					
	BGT d:8	2					
	BLE d:8	2					
	BRA d:16 (BT d:16)	2					1
	BRN d:16 (BF d:16)	2					1
	BHI d:16	2					1
	BLS d:16	2					1
	BCC d:16 (BHS d:16)	2					1
	BCS d:16 (BLO d:16)	2					1
	BNE d:16	2					1
	BEQ d:16	2					1
BVC d:16	2					1	

付 録

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
Bcc	BVS d:16	2					1
	BPL d:16	2					1
	BMI d:16	2					1
	BGE d:16	2					1
	BLT d:16	2					1
	BGT d:16	2					1
	BLE d:16	2					1
BCLR	BCLR #xx:3,Rd	1					
	BCLR #xx:3,@ERd	2			2		
	BCLR #xx:3,@aa:8	2			2		
	BCLR #xx:3,@aa:16	3			2		
	BCLR #xx:3,@aa:32	4			2		
	BCLR Rn,Rd	1					
	BCLR Rn,@ERd	2			2		
	BCLR Rn,@aa:8	2			2		
	BCLR Rn,@aa:16	3			2		
	BCLR Rn,@aa:32	4			2		
BIAND	BIAND #xx:3,Rd	1					
	BIAND #xx:3,@ERd	2			1		
	BIAND #xx:3,@aa:8	2			1		
	BIAND #xx:3,@aa:16	3			1		
	BIAND #xx:3,@aa:32	4			1		
BILD	BILD #xx:3,Rd	1					
	BILD #xx:3,@ERd	2			1		
	BILD #xx:3,@aa:8	2			1		
	BILD #xx:3,@aa:16	3			1		
	BILD #xx:3,@aa:32	4			1		
BIOR	BIOR #xx:8,Rd	1					
	BIOR #xx:8,@ERd	2			1		
	BIOR #xx:8,@aa:8	2			1		
	BIOR #xx:8,@aa:16	3			1		
	BIOR #xx:8,@aa:32	4			1		
BIST	BIST #xx:3,Rd	1					
	BIST #xx:3,@ERd	2			2		
	BIST #xx:3,@aa:8	2			2		
	BIST #xx:3,@aa:16	3			2		
	BIST #xx:3,@aa:32	4			2		
BIXOR	BIXOR #xx:3,Rd	1					
	BIXOR #xx:3,@ERd	2			1		
	BIXOR #xx:3,@aa:8	2			1		
	BIXOR #xx:3,@aa:16	3			1		
	BIXOR #xx:3,@aa:32	4			1		

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
BLD	BLD #xx:3,Rd	1					
	BLD #xx:3,@ERd	2			1		
	BLD #xx:3,@aa:8	2			1		
	BLD #xx:3,@aa:16	3			1		
	BLD #xx:3,@aa:32	4			1		
BNOT	BNOT #xx:3,Rd	1					
	BNOT #xx:3,@ERd	2			2		
	BNOT #xx:3,@aa:8	2			2		
	BNOT #xx:3,@aa:16	3			2		
	BNOT #xx:3,@aa:32	4			2		
	BNOT Rn,Rd	1					
	BNOT Rn,@ERd	2			2		
	BNOT Rn,@aa:8	2			2		
	BNOT Rn,@aa:16	3			2		
	BNOT Rn,@aa:32	4			2		
BOR	BOR #xx:3,Rd	1					
	BOR #xx:3,@ERd	2			1		
	BOR #xx:3,@aa:8	2			1		
	BOR #xx:3,@aa:16	3			1		
	BOR #xx:3,@aa:32	4			1		
BSET	BSET #xx:3,Rd	1					
	BSET #xx:3,@ERd	2			2		
	BSET #xx:3,@aa:8	2			2		
	BSET #xx:3,@aa:16	3			2		
	BSET #xx:3,@aa:32	4			2		
	BSET Rn,Rd	1					
	BSET Rn,@ERd	2			2		
	BSET Rn,@aa:8	2			2		
	BSET Rn,@aa:16	3			2		
	BSET Rn,@aa:32	4			2		
BSR	BSR d:8	ノーマル	2		1		
		アドバンスト	2		2		
	BSR d:16	ノーマル	2		1		1
		アドバンスト	2		2		1
BST	BST #xx:3,Rd	1					
	BST #xx:3,@ERd	2			2		
	BST #xx:3,@aa:8	2			2		
	BST #xx:3,@aa:16	3			2		
	BST #xx:3,@aa:32	4			2		

付 録

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
BTST	BTST #xx:3,Rd	1					
	BTST #xx:3,@ERd	2			1		
	BTST #xx:3,@aa:8	2			1		
	BTST #xx:3,@aa:16	3			1		
	BTST #xx:3,@aa:32	4			1		
	BTST Rn,Rd	1					
	BTST Rn,@ERd	2			1		
	BTST Rn,@aa:8	2			1		
	BTST Rn,@aa:16	3			1		
	BTST Rn,@aa:32	4			1		
BXOR	BXOR #xx:3,Rd	1					
	BXOR #xx:3,@ERd	2			1		
	BXOR #xx:3,@aa:8	2			1		
	BXOR #xx:3,@aa:16	3			1		
	BXOR #xx:3,@aa:32	4			1		
CLRMAC	CLRMAC	本 LSI では使用できません。					
CMP	CMP.B #xx:8,Rd	1					
	CMP.B Rs,Rd	1					
	CMP.W #xx:16,Rd	2					
	CMP.W Rs,Rd	1					
	CMP.L #xx:32,ERd	3					
	CMP.L ERs,ERd	1					
DAA	DAA Rd	1					
DAS	DAS Rd	1					
DEC	DEC.B Rd	1					
	DEC.W #1/2,Rd	1					
	DEC.L #1/2,ERd	1					
DIVXS	DIVXS.B Rs,Rd	2					11
	DIVXS.W Rs,ERd	2					19
DIVXU	DIVXU.B Rs,Rd	1					11
	DIVXU.W Rs,ERd	1					19
EEPMOV	EEPMOV.B	2			2n+2 * ²		
	EEPMOV.W	2			2n+2 * ²		
EXTS	EXTS.W Rd	1					
	EXTS.L ERd	1					
EXTU	EXTU.W Rd	1					
	EXTU.L ERd	1					
INC	INC.B Rd	1					
	INC.W #1/2,Rd	1					
	INC.L #1/2,ERd	1					

命令	ニーモニック		命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
			1	J	K	L	M	N
JMP	JMP @ERn		2					
	JMP @aa:24		2					1
	JMP @@aa:8	ノーマル	2	1				1
		アドバンスト	2	2				1
JSR	JSR @ERn	ノーマル	2		1			
		アドバンスト	2		2			
	JSR @aa:24	ノーマル	2		1			1
		アドバンスト	2		2			1
	JSR @@aa:8	ノーマル	2	1	1			
		アドバンスト	2	2	2			
LDC	LDC #xx:8,CCR		1					
	LDC #xx:8,EXR		2					
	LDC Rs,CCR		1					
	LDC Rs,EXR		1					
	LDC @ERs,CCR		2				1	
	LDC @ERs,EXR		2				1	
	LDC @(d:16,ERs),CCR		3				1	
	LDC @(d:16,ERs),EXR		3				1	
	LDC @(d:32,ERs),CCR		5				1	
	LDC @(d:32,ERs),EXR		5				1	
	LDC @ERs+,CCR		2				1	1
	LDC @ERs+,EXR		2				1	1
	LDC @aa:16,CCR		3				1	
	LDC @aa:16,EXR		3				1	
	LDC @aa:32,CCR		4				1	
LDC @aa:32,EXR		4				1		
LDM	LDML @SP+, (ERn-ERn+1)		2		4			1
	LDML @SP+, (ERn-ERn+2)		2		6			1
	LDML @SP+, (ERn-ERn+3)		2		8			1
LDMAC	LDMAC ERs, MACH		本 LSI では使用できません。					
	LDMAC ERs, MACL							
MAC	MAC @ERn+, @ERm+							

付 録

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
MOV	MOV.B #xx:8,Rd	1					
	MOV.B Rs,Rd	1					
	MOV.B @ERs,Rd	1			1		
	MOV.B @(d:16,ERs),Rd	2			1		
	MOV.B @(d:32,ERs),Rd	4			1		
	MOV.B @ERs+,Rd	1			1		1
	MOV.B @aa:8,Rd	1			1		
	MOV.B @aa:16,Rd	2			1		
	MOV.B @aa:32,Rd	3			1		
	MOV.B Rs,@ERd	1			1		
	MOV.B Rs,@(d:16,ERd)	2			1		
	MOV.B Rs,@(d:32,ERd)	4			1		
	MOV.B Rs,@-ERd	1			1		1
	MOV.B Rs,@aa:8	1			1		
	MOV.B Rs,@aa:16	2			1		
	MOV.B Rs,@aa:32	3			1		
	MOV.W #xx:16,Rd	2					
	MOV.W Rs,Rd	1					
	MOV.W @ERs,Rd	1					1
	MOV.W @(d:16,ERs),Rd	2					1
	MOV.W @(d:32,ERs),Rd	4					1
	MOV.W @ERs+,Rd	1					1
	MOV.W @aa:16,Rd	2					1
	MOV.W @aa:32,Rd	3					1
	MOV.W Rs,@ERd	1					1
	MOV.W Rs,@(d:16,ERd)	2					1
	MOV.W Rs,@(d:32,ERd)	4					1
	MOV.W Rs,@-ERd	1					1
	MOV.W Rs,@aa:16	2					1
	MOV.W Rs,@aa:32	3					1
	MOV.L #xx:32,ERd	3					
	MOV.L ERs,ERd	1					
	MOV.L @ERs,ERd	2					2
	MOV.L @(d:16,ERs),ERd	3					2
	MOV.L @(d:32,ERs),ERd	5					2
	MOV.L @ERs+,ERd	2					2
	MOV.L @aa:16,ERd	3					2
	MOV.L @aa:32,ERd	4					2
	MOV.L ERs,@ERd	2					2
	MOV.L ERs,@(d:16,ERd)	3					2
MOV.L ERs,@(d:32,ERd)	5					2	
MOV.L ERs,@-ERd	2					2	
MOV.L ERs,@aa:16	3					2	
MOV.L ERs,@aa:32	4					2	
MOV.FPE @:aa:16,Rd	本 LSI では使用できません。						
MOV.TPE Rs,@:aa:16	本 LSI では使用できません。						
MULXS	MULXS.B Rs,Rd	2					11
	MULXS.W Rs,ERd	2					19

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
MULXU	MULXU.B Rs,Rd	1					11
	MULXU.W Rs,ERd	1					19
NEG	NEG.B Rd	1					
	NEG.W Rd	1					
	NEG.L ERd	1					
NOP	NOP	1					
NOT	NOT.B Rd	1					
	NOT.W Rd	1					
	NOT.L ERd	1					
OR	OR.B #xx:8,Rd	1					
	OR.B Rs,Rd	1					
	OR.W #xx:16,Rd	2					
	OR.W Rs,Rd	1					
	OR.L #xx:32,ERd	3					
	OR.L ERs,ERd	2					
ORC	ORC #xx:8,CCR	1					
	ORC #xx:8,EXR	2					
POP	POP.W Rn	1				1	1
	POP.L ERn	2				2	1
PUSH	PUSH.W Rn	1				1	1
	PUSH.L ERn	2				2	1
ROTL	ROTL.B Rd	1					
	ROTL.B #2,Rd	1					
	ROTL.W Rd	1					
	ROTL.W #2,Rd	1					
	ROTL.L ERd	1					
	ROTL.L #2,ERd	1					
ROTR	ROTR.B Rd	1					
	ROTR.B #2,Rd	1					
	ROTR.W Rd	1					
	ROTR.W #2,Rd	1					
	ROTR.L ERd	1					
	ROTR.L #2,ERd	1					
ROTXL	ROTXL.B Rd	1					
	ROTXL.B #2,Rd	1					
	ROTXL.W Rd	1					
	ROTXL.W #2,Rd	1					
	ROTXL.L ERd	1					
	ROTXL.L #2,ERd	1					
ROTXR	ROTXR.B Rd	1					
	ROTXR.B #2,Rd	1					
	ROTXR.W Rd	1					
	ROTXR.W #2,Rd	1					
	ROTXR.L ERd	1					
	ROTXR.L #2,ERd	1					
RTE	RTE	2		2/3 ^{*1}			1
RTS	RTS	ノーマル	2		1		1
		アドバンスト	2		2		1

付 録

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
SHAL	SHAL.B Rd	1					
	SHAL.B #2,Rd	1					
	SHAL.W Rd	1					
	SHAL.W #2,Rd	1					
	SHAL.L ERd	1					
	SHAL.L #2,ERd	1					
SHAR	SHAR.B Rd	1					
	SHAR.B #2,Rd	1					
	SHAR.W Rd	1					
	SHAR.W #2,Rd	1					
	SHAR.L ERd	1					
	SHAR.L #2,ERd	1					
SHLL	SHLL.B Rd	1					
	SHLL.B #2,Rd	1					
	SHLL.W Rd	1					
	SHLL.W #2,Rd	1					
	SHLL.L ERd	1					
	SHLL.L #2,ERd	1					
SHLR	SHLR.B Rd	1					
	SHLR.B #2,Rd	1					
	SHLR.W Rd	1					
	SHLR.W #2,Rd	1					
	SHLR.L ERd	1					
	SHLR.L #2,ERd	1					
SLEEP	SLEEP	1					1
STC	STC.B CCR,Rd	1					
	STC.B EXR,Rd	1					
	STC.W CCR,@ERd	2				1	
	STC.W EXR,@ERd	2				1	
	STC.W CCR,@(d:16,ERd)	3				1	
	STC.W EXR,@(d:16,ERd)	5				1	
	STC.W CCR,@(d:32,ERd)	5				1	
	STC.W EXR,@(d:32,ERd)	2				1	1
	STC.W CCR,@-ERd	2				1	1
	STC.W EXR,@-ERd	3				1	
	STC.W CCR,@aa:16	3				1	
	STC.W EXR,@aa:16	4				1	
	STC.W CCR,@aa:32	4				1	
	STC.W EXR,@aa:32						
STM	STM.L (ERn-ERn+1),@-SP	2		4			1
	STM.L (ERn-ERn+2),@-SP	2		6			1
	STM.L (ERn-ERn+3),@-SP	2		8			1

命令	二モニツク		命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
			I	J	K	L	M	N
STMAC	STMAC MACH,ERd STMAC MACL,ERd		本 LSI では使用できません。					
SUB	SUB.B Rs,Rd		1					
	SUB.W #xx:16,Rd		2					
	SUB.W Rs,Rd		1					
	SUB.L #xx:32,ERd		3					
	SUB.L ERs,ERd		1					
SUBS	SUBS #1/2/4,ERd		1					
SUBX	SUBX #xx:8,Rd		1					
	SUBX Rs,Rd		1					
TAS	TAS @ERd		2			2		
TRAPA	TRAPA #x:2	ノーマル	2	1	2 / 3 * ¹			2
		アドバンスト	2	2	2 / 3 * ¹			2
XOR	XOR.B #xx:8,Rd		1					
	XOR.B Rs,Rd		1					
	XOR.W #xx:16,Rd		2					
	XOR.W Rs,Rd		1					
	XOR.L #xx:32,ERd		3					
	XOR.L ERs,ERd		2					
XORC	XORC #xx:8,CCR		1					
	XORC #xx:8,EXR		2					

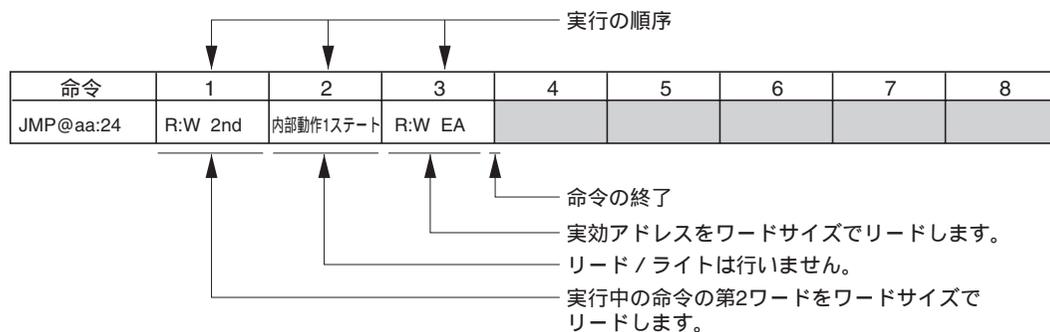
【注】 *1 EXR が無効なとき 2、有効なとき 3 になります。

*2 n バイトのデータを転送した場合です。

A.5 命令実行中のバス状態

本 CPU の個々の命令についての実行状態を表 A.6 に示します。実行状態に必要なステート数に関しては、表 A.4 を参照してください。

《表の見方》



【記号説明】

R : B	バイトサイズリードを行います。
R : W	ワードサイズリードを行います。
W : B	バイトサイズライトを行います。
W : W	ワードサイズライトを行います。
: M	本サイクル直後はバス権移譲を行いません。
2nd	第2ワード(第3・第4バイト)のアドレスです。
3rd	第3ワード(第5・第6バイト)のアドレスです。
4th	第4ワード(第7・第8バイト)のアドレスです。
5th	第5ワード(第9・第10バイト)のアドレスです。
NEXT	実行中の命令の直後の命令の先頭アドレスです。
EA	実効アドレスです。
VEC	ベクタアドレスです。

ビットバス・3 ステートアクセス・ウェイトなしの場合、上記命令実行中のアドレスバス、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR} のタイミングを図 A.1 に示します。

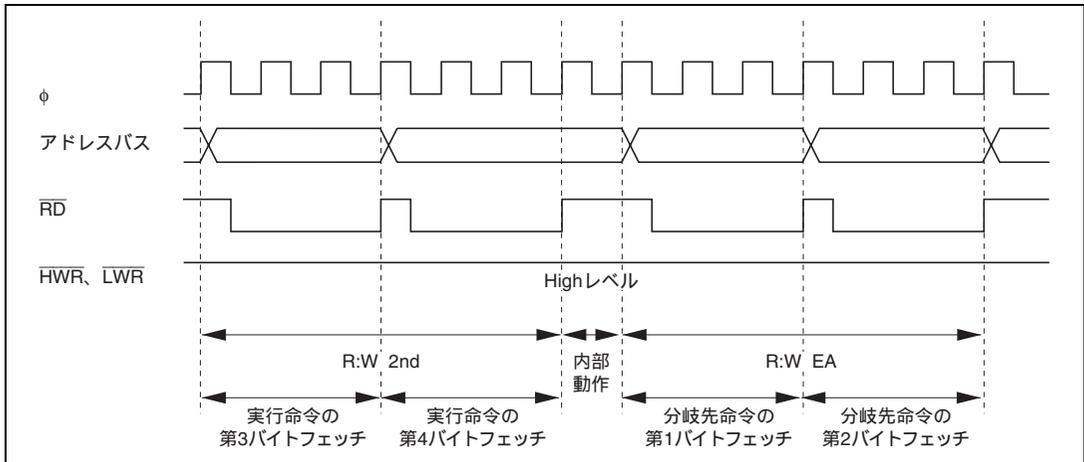


図 A.1 アドレスバス、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR} のタイミング
(8 ビットバス・3 ステートアクセス・ウェイトなしの場合)

表 A.6 命令の実行状態

命令	1	2	3	4	5	6	7	8	9
ADD.B #xx:8,Rd	R:W NEXT								
ADD.B Rs,Rd	R:W NEXT								
ADD.W #xx:16,Rd	R:W 2nd	R:W NEXT							
ADD.W Rs,Rd	R:W NEXT								
ADD.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
ADD.L ERs,ERd	R:W NEXT								
ADDS #1/2/4,ERd	R:W NEXT								
ADDX #xx:8,Rd	R:W NEXT								
ADDX Rs,Rd	R:W NEXT								
AND.B #xx:8,Rd	R:W NEXT								
AND.B Rs,Rd	R:W NEXT								
AND.W #xx:16,Rd	R:W 2nd	R:W NEXT							
AND.W Rs,Rd	R:W NEXT								
AND.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
AND.L ERs,ERd	R:W 2nd	R:W NEXT							
ANDC #xx:8,CCR	R:W NEXT								
ANDC #xx:8,EXR	R:W 2nd	R:W NEXT							
BAND #xx:3,Rd	R:W NEXT								
BAND #xx3,@ERd	R:W 2nd	R:B EA	R:WMNEXT						
BAND #xx3,@aa8	R:W 2nd	R:B EA	R:WMNEXT						
BAND #xx3,@aa16	R:W 2nd	R:W 3rd	R:B EA	R:WMNEXT					
BAND #xx3,@aa32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:WMNEXT				
BRA d:8(BT d:8)	R:W NEXT	R:W EA							
BRN d:8 (BF d:8)	R:W NEXT	R:W EA							
BHI d:8	R:W NEXT	R:W EA							
BLS d:8	R:W NEXT	R:W EA							
BCC d:8(BHS d:8)	R:W NEXT	R:W EA							
BCS d:8(BLO d:8)	R:W NEXT	R:W EA							
BNE d:8	R:W NEXT	R:W EA							
BEQ d:8	R:W NEXT	R:W EA							
BVC d:8	R:W NEXT	R:W EA							
BVS d:8	R:W NEXT	R:W EA							
BPL d:8	R:W NEXT	R:W EA							
BMI d:8	R:W NEXT	R:W EA							
BGE d:8	R:W NEXT	R:W EA							
BLT d:8	R:W NEXT	R:W EA							
BGT d:8	R:W NEXT	R:W EA							
BLE d:8	R:W NEXT	R:W EA							
BRA d:16(BT d:16)	R:W 2nd	内部動作 177-ト	R:W EA						
BRN d:16(BF d:16)	R:W 2nd	内部動作 177-ト	R:W EA						

命令	1	2	3	4	5	6	7	8	9
BHI d:16	R:W 2nd	内部動作 1ｽﾌﾟｰﾄ	R:W EA						
BLS d:16	R:W 2nd	内部動作 1ｽﾌﾟｰﾄ	R:W EA						
BCC d:16(BHS d:16)	R:W 2nd	内部動作 1ｽﾌﾟｰﾄ	R:W EA						
BCS d:16(BLO d:16)	R:W 2nd	内部動作 1ｽﾌﾟｰﾄ	R:W EA						
BNE d:16	R:W 2nd	内部動作 1ｽﾌﾟｰﾄ	R:W EA						
BEQ d:16	R:W 2nd	内部動作 1ｽﾌﾟｰﾄ	R:W EA						
BVC d:16	R:W 2nd	内部動作 1ｽﾌﾟｰﾄ	R:W EA						
BVS d:16	R:W 2nd	内部動作 1ｽﾌﾟｰﾄ	R:W EA						
BPL d:16	R:W 2nd	内部動作 1ｽﾌﾟｰﾄ	R:W EA						
BMI d:16	R:W 2nd	内部動作 1ｽﾌﾟｰﾄ	R:W EA						
BGE d:16	R:W 2nd	内部動作 1ｽﾌﾟｰﾄ	R:W EA						
BLT d:16	R:W 2nd	内部動作 1ｽﾌﾟｰﾄ	R:W EA						
BGT d:16	R:W 2nd	内部動作 1ｽﾌﾟｰﾄ	R:W EA						
BLE d:16	R:W 2nd	内部動作 1ｽﾌﾟｰﾄ	R:W EA						
BCLR #xx:3,Rd	R:W NEXT								
BCLR #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BCLR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BCLR Rn,Rd	R:W NEXT								
BCLR Rn,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR Rn,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR Rn,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BCLR Rn,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BIAND #xx:3,Rd	R:W NEXT								
BIAND #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BIAND #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BIAND #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BIAND #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BILD #xx:3,Rd	R:W NEXT								
BILD #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						

付 録

命令	1	2	3	4	5	6	7	8	9
BILD #xc3,@aa:8	R:W 2nd	R:B EA	R:WMNEXT						
BILD #xc3,@aa:16	R:W 2nd	R:W 3rd	R:B: EA	R:WMNEXT					
BILD #xc3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:WMNEXT				
BIOR #xx:3,Rd	R:W NEXT								
BIOR #xc3,@ERd	R:W 2nd	R:B EA	R:WMNEXT						
BIOR #xc3,@aa:8	R:W 2nd	R:B EA	R:WMNEXT						
BIOR #xc3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:WMNEXT					
BIOR #xc3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:WMNEXT				
BIST #xx:3,Rd	R:W NEXT								
BIST #xc3,@ERd	R:W 2nd	R:B:M EA	R:WMNEXT	W:B EA					
BIST #xc3,@aa:8	R:W 2nd	R:B:M EA	R:WMNEXT	W:B EA					
BIST #xc3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:WMNEXT	W:B EA				
BIST #xc3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:WMNEXT	W:B EA			
BIXOR #xx:3,Rd	R:W NEXT								
BIXOR #xc3,@ERd	R:W 2nd	R:B EA	R:WMNEXT						
BIXOR #xc3,@aa:8	R:W 2nd	R:B EA	R:WMNEXT						
BIXOR #xc3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:WMNEXT					
BIXOR #xc3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:WMNEXT				
BLD #xx:3,Rd	R:W NEXT								
BLD #xc3,@ERd	R:W 2nd	R:B EA	R:WMNEXT						
BLD #xc3,@aa:8	R:W 2nd	R:B EA	R:WMNEXT						
BLD #xc3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:WMNEXT					
BLD #xc3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:WMNEXT				
BNOT #xx:3,Rd	R:W NEXT								
BNOT #xc3,@ERd	R:W 2nd	R:B:M EA	R:WMNEXT	W:B EA					
BNOT #xc3,@aa:8	R:W 2nd	R:B:M EA	R:WMNEXT	W:B EA					
BNOT #xc3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:WMNEXT	W:B EA				
BNOT #xc3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:WMNEXT	W:B EA			
BNOT Rn,Rd	R:W NEXT								
BNOT Rn,@ERd	R:W 2nd	R:B:M EA	R:WMNEXT	W:B EA					
BNOT Rn,@aa:8	R:W 2nd	R:B:M EA	R:WMNEXT	W:B EA					
BNOT Rn,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:WMNEXT	W:B EA				
BNOT Rn,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:WMNEXT	W:B EA			
BOR #xx:3,Rd	R:W NEXT								
BOR #xc3,@ERd	R:W 2nd	R:B EA	R:WMNEXT						
BOR #xc3,@aa:8	R:W 2nd	R:B EA	R:WMNEXT						
BOR #xc3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:WMNEXT					
BOR #xc3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W NEXT				
BSET #xx:3,Rd	R:W NEXT								
BSET #xc3,@ERd	R:W 2nd	R:B:M EA	R:WMNEXT	W:B EA					
BSET #xc3,@aa:8	R:W 2nd	R:B:M EA	R:WMNEXT	W:B EA					
BSET #xc3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:WMNEXT	W:B EA				

命令	1	2	3	4	5	6	7	8	9
BSET #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:MNEXT	W:B EA			
BSET Rn,Rd	R:W NEXT								
BSET Rn,@ERd	R:W 2nd	R:B:M EA	R:W:MNEXT	W:B EA					
BSET Rn,@aa:8	R:W 2nd	R:B:M EA	R:W:MNEXT	W:B EA					
BSET Rn,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:MNEXT	W:B EA				
BSET Rn,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:MNEXT	W:B EA			
BSRd8	ノーマル	R:W NEXT	R:W EA	W:Wスタック					
	アドバンス	R:W NEXT	R:W EA	W:W:M スタック(H)	W:W スタック(L)				
BSRd16	ノーマル	R:W 2nd	内部動作 1ステップ	R:W EA	W:Wスタック				
	アドバンス	R:W 2nd	内部動作 1ステップ	R:W EA	W:W:M スタック(H)	W:W スタック(L)			
BST #xx:3,Rd	R:W NEXT								
BST #xc3,@ERd	R:W 2nd	R:B:M EA	R:W:MNEXT	W:B EA					
BST #xc3,@aa:8	R:W 2nd	R:B:M EA	R:W:MNEXT	W:B EA					
BST #xc3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:MNEXT	W:B EA				
BST #xc3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:MNEXT	W:B EA			
BTST #xx:3,Rd	R:W NEXT								
BTST #xc3,@ERd	R:W 2nd	R:B EA	R:W:MNEXT						
BTST #xc3,@aa:8	R:W 2nd	R:B EA	R:W:MNEXT						
BTST #xc3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:MNEXT					
BTST #xc3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:MNEXT				
BTST Rn,Rd	R:W NEXT								
BTST Rn,@ERd	R:W 2nd	R:B EA	R:W:MNEXT						
BTST Rn,@aa:8	R:W 2nd	R:B EA	R:W:MNEXT						
BTST Rn,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:MNEXT					
BTST Rn,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:MNEXT				
BXOR #xx:3,Rd	R:W NEXT								
BXOR #xc3,@ERd	R:W 2nd	R:B EA	R:W:MNEXT						
BXOR #xc3,@aa:8	R:W 2nd	R:B EA	R:W:MNEXT						
BXOR #xc3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:MNEXT					
BXOR #xc3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:MNEXT				
CLRMAC	本 LSI では使用できません。								
CMP.B #xx:8,Rd	R:W NEXT								
CMP.B Rs,Rd	R:W NEXT								
CMP.W #xx:16,Rd	R:W 2nd	R:W NEXT							
CMP.W Rs,Rd	R:W NEXT								
CMP.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
CMP.L ERs,ERd	R:W NEXT								
DAA Rd	R:W NEXT								
DAS Rd	R:W NEXT								

付 録

命令	1	2	3	4	5	6	7	8	9
DEC.B Rd	R:W NEXT								
DEC.W #1/2,Rd	R:W NEXT								
DEC.L #1/2,ERd	R:W NEXT								
DIVXS.B Rs,Rd	R:W 2nd	R:W NEXT	内部動作 11 ステート						
DIVXS.W Rs,ERd	R:W 2nd	R:W NEXT	内部動作 19 ステート						
DIVXU.B Rs,Rd	R:W NEXT	内部動作 11 ステート							
DIVXU.W Rs,ERd	R:W NEXT	内部動作 19 ステート							
EEMOV.B	R:W 2nd	R:B EAs * ¹	R:B EAd * ¹	R:B EAs * ²	W:B EAd * ²	R:W NEXT			
EEMOV.W	R:W 2nd	R:B EAs * ¹	R:B EAd * ¹	R:B EAs * ²	W:B EAd * ²	R:W NEXT			
EXTS.W Rd	R:W NEXT			← n 回繰り返し返す* ² →					
EXTS.L ERd	R:W NEXT								
EXTU.W Rd	R:W NEXT								
EXTU.L ERd	R:W NEXT								
INC.B Rd	R:W NEXT								
INC.W #1/2,Rd	R:W NEXT								
INC.L #1/2,ERd	R:W NEXT								
JMP @ERn	R:W NEXT	R:W EA							
JMP @aa:24	R:W 2nd	内部動作 1ステート	R:W EA						
JMP @aa:8	ノーマル	R:W NEXT	R:W aa:8	内部動作 1ステート	R:W EA				
	アドバンス	R:W NEXT	R:W M aa:8	R:W aa:8	内部動作 1ステート	R:W EA			
JSR @ERn	ノーマル	R:W NEXT	R:W EA	W:Wスタック					
	アドバンス	R:W NEXT	R:W EA	W:W:Mスタック (H)	W:Wスタック (L)				
JSR @aa:24	ノーマル	R:W 2nd	内部動作 1ステート	R:W EA	W:Wスタック				
	アドバンス	R:W 2nd	内部動作 1ステート	R:W EA	W:W:M スタック(H)	W:Wスタック (L)			
JSR @aa:8	ノーマル	R:W NEXT	R:W aa:8	W:Wスタック	R:W EA				
	アドバンス	R:W NEXT	R:W Maa:8	R:W aa:8	W:W:M スタック(H)	W:Wスタック (L)	R:W EA		
LDC #xx:8,CCR	R:W NEXT								
LDC #xx:8,EXR	R:W 2nd	R:W NEXT							
LDC Rs,CCR	R:W NEXT								
LDC Rs,EXR	R:W NEXT								
LDC @ERs,CCR	R:W 2nd	R:W NEXT	R:W EA						
LDC @ERs,EXR	R:W 2nd	R:W NEXT	R:W EA						
LDC@ (d:16,ERs),CCR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC@ (d:16,ERs),EXR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					

命令	1	2	3	4	5	6	7	8	9
LDC@(d:32,ERs),CCR	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	R:W EA			
LDC@(d:32,ERs),EXR	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	R:W EA			
LDC@ERs+,CCR	R:W 2nd	R:W NEXT	内部動作 1スタート	R:W EA					
LDC@ERs+,EXR	R:W 2nd	R:W NEXT	内部動作 1スタート	R:W EA					
LDC@aa:16,CCR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC@aa:16,EXR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC@aa:32,CCR	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:W EA				
LDC@aa:32,EXR	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:W EA				
LDM.L @SP+, (ERn-ERn+1)	R:W 2nd	R:W:M NEXT	内部動作 1スタート	R:W:M スタック(H) * ³	R:W スタック(L) * ³				
LDM.L @SP+, (ERn-ERn+2)	R:W 2nd	R:W:M NEXT	内部動作 1スタート	R:W:M スタック(H) * ³	R:W スタック(L) * ³				
LDM.L @SP+, (ERn-ERn+3)	R:W 2nd	R:W:M NEXT	内部動作 1スタート	R:W:M スタック(H) * ³	R:W スタック(L) * ³				
LDMAC ERs,MACH	本 LSI では使用できません。								
LDMAC ERs,MACL	本 LSI では使用できません。								
MAC @ERn+,@ERm+	本 LSI では使用できません。								
MOV.B #xx:8,Rd	R:W NEXT								
MOV.B Rs,Rd	R:W NEXT								
MOV.B @ERs,Rd	R:W NEXT	R:B EA							
MOV.B @(d:16,ERs),Rd	R:W 2nd	R:W NEXT	R:B EA						
MOV.B @(d:32,ERs),Rd	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:B EA				
MOV.B @ERs+,Rd	R:W NEXT	内部動作 1スタート	R:B EA						
MOV.B @aa:8,Rd	R:W NEXT	R:B EA							
MOV.B @aa:16,Rd	R:W 2nd	R:W NEXT	R:B EA						
MOV.B @aa:32,Rd	R:W 2nd	R:W 3rd	R:W NEXT	R:B EA					
MOV.B Rs,@ERd	R:W NEXT	W:B EA							
MOV.B Rs, @(d:16,ERd)	R:W 2nd	R:W NEXT	W:B EA						

付 録

命令	1	2	3	4	5	6	7	8	9
MOV.B Rs, @(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:B EA				
MOV.BRs,@-ERd	R:W NEXT	内部動作 17フット	W:B EA						
MOV.BRs,@aa:8	R:W NEXT	W:B EA							
MOV.BRs,@aa:16	R:W 2nd	R:W NEXT	W:B EA						
MOV.BRs,@aa:32	R:W 2nd	R:W 3rd	R:W NEXT	W:B EA					
MOV.W #xx:16,Rd	R:W 2nd	R:W NEXT							
MOV.W Rs,Rd	R:W NEXT								
MOV.W @ERs,Rd	R:W NEXT	R:W EA							
MOV.W @(d:16,ERs),Rd	R:W 2nd	R:W NEXT	R:W EA						
MOV.W @(d:32,ERs),Rd	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:W EA				
MOV.W @ERs+,Rd	R:W NEXT	内部動作 17フット	R:W EA						
MOV.W @aa:16,Rd	R:W 2nd	R:W NEXT	R:W EA						
MOV.W @aa:32,Rd	R:W 2nd	R:W 3rd	R:W NEXT	R:B EA					
MOV.W Rs,@ERd	R:W NEXT	W:W EA							
MOV.W Rs, @(d:16,ERd)	R:W 2nd	R:W NEXT	W:W EA						
MOV.W Rs, @(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:W EA				
MOV.W Rs,@-ERd	R:W NEXT	内部動作 17フット	W:W EA						
MOV.W Rs,@aa:16	R:W 2nd	R:W NEXT	W:W EA						
MOV.W Rs,@aa:32	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
MOV.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
MOV.L ERs,ERd	R:W NEXT								
MOV.L @ERs,ERd	R:W 2nd	R:W:M NEXT	R:W:M EA	R:W EA+2					
MOV.L @(d:16,ERs),ERd	R:W 2nd	R:W:M 3rd	R:W NEXT	R:W:M EA	R:W EA+2				
MOV.L @(d:32,ERs),ERd	R:W 2nd	R:W:M 3rd	R:W:M 4th	R:W 5th	R:W NEXT	R:W:M EA	R:W EA+2		
MOV.L @ERs+,ERd	R:W 2nd	R:W:M NEXT	内部動作 17フット	R:W:M EA	R:W EA+2				
MOV.L @aa:16,ERd	R:W 2nd	R:W:M 3rd	R:W NEXT	R:W:M EA	R:W EA+2				
MOVL @aa:32ERd	R:W 2nd	R:W:M 3rd	R:W 4th	R:W NEXT	R:W:M EA	R:W EA+2			
MOV.L ERs,@ERd	R:W 2nd	R:W:M NEXT	W:W:M EA	W:W EA+2					

命令	1	2	3	4	5	6	7	8	9
MOV.L ERs, @(d:16,ERd)	R:W 2nd	R:W:M 3rd	R:W NEXT	W:W:M EA	W:W EA+2				
MOV.L ERs, @(d:32,ERd)	R:W 2nd	R:W:M 3rd	R:W:M 4th	R:W 5th	R:W NEXT	W:W:M EA	W:W EA+2		
MOV.L ERs,@-ERd	R:W 2nd	R:W:MNEXT	内部動作 1 スタート	W:W:M EA	W:W EA+2				
MOV.L ERs,@aa:16	R:W 2nd	R:W:M 3rd	R:W NEXT	W:W:M EA	W:W EA+2				
MOV.L ERs,@aa:32	R:W 2nd	R:W:M 3rd	R:W 4th	R:W NEXT	W:W:M EA	W:W EA+2			
MOVFPPE @aa:16,Rd	本 LSI では使用できません。								
MOVTPPE Rs,@aa:16									
MULXS.B Rs,Rd	R:W 2nd	R:W NEXT	内部動作 11 ステート						
MULXS.W Rs,ERd	R:W 2nd	R:W NEXT	内部動作 19 ステート						
MULXU.B Rs,Rd	R:W NEXT	内部動作 11 ステート							
MULXU.W Rs,ERd	R:W NEXT	内部動作 19 ステート							
NEG.B Rd	R:W NEXT								
NEG.W Rd	R:W NEXT								
NEG.L ERd	R:W NEXT								
NOP	R:W NEXT								
NOT.B Rd	R:W NEXT								
NOT.W Rd	R:W NEXT								
NOT.L ERd	R:W NEXT								
OR.B #xx:8,Rd	R:W NEXT								
OR.B Rs,Rd	R:W NEXT								
OR.W #xx:16,Rd	R:W 2nd	R:W NEXT							
OR.W Rs,Rd	R:W NEXT								
OR.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
OR.L ERs,ERd	R:W 2nd	R:W NEXT							
ORC #xx:8,CCR	R:W NEXT								
ORC #xx:8,EXR	R:W 2nd	R:W NEXT							
POP.W Rn	R:W NEXT	内部動作 1スタート	R:W EA						
POP.L ERn	R:W 2nd	R:W:M NEXT	内部動作 1スタート	R:W:M EA	R:W EA+2				
PUSH.W Rn	R:W NEXT	内部動作 1スタート	W:W EA						
PUSH.L ERn	R:W 2nd	R:W:M NEXT	内部動作 1スタート	W:W:M EA	W:W EA+2				
ROTL.B Rd	R:W NEXT								
ROTL.B #2,Rd	R:W NEXT								
ROTL.W Rd	R:W NEXT								

付 録

命令		1	2	3	4	5	6	7	8	9
ROTL.W #2,Rd		R:W NEXT								
ROTL.L ERd		R:W NEXT								
ROTL.L #2,ERd		R:W NEXT								
ROTR.B Rd		R:W NEXT								
ROTR.B #2,Rd		R:W NEXT								
ROTR.W Rd		R:W NEXT								
ROTR.W #2,Rd		R:W NEXT								
ROTR.L ERd		R:W NEXT								
ROTR.L #2,ERd		R:W NEXT								
ROTXL.B Rd		R:W NEXT								
ROTXL.B #2,Rd		R:W NEXT								
ROTXL.W Rd		R:W NEXT								
ROTXL.W #2,Rd		R:W NEXT								
ROTXL.L ERd		R:W NEXT								
ROTXL.L #2,ERd		R:W NEXT								
ROTXR.B Rd		R:W NEXT								
ROTXR.B #2,Rd		R:W NEXT								
ROTXR.W Rd		R:W NEXT								
ROTXR.W #2,Rd		R:W NEXT								
ROTXR.L ERd		R:W NEXT								
ROTXR.L #2,ERd		R:W NEXT								
RTE		R:W NEXT	R:W スタック(EXR)	R:W スタック(H)	R:W スタック(L)	内部動作 1スタート	R:W * ⁴			
RTS	ノーマル	R:W NEXT	R:W スタック	内部動作 1 スタート	R:W * ⁴					
	アドバンス	R:W NEXT	R:W:M スタック(H)	R:W スタック(L)	内部動作 1スタート	R:W * ⁴				
SHAL.B Rd		R:W NEXT								
SHAL.B #2,Rd		R:W NEXT								
SHAL.W Rd		R:W NEXT								
SHAL.W #2,Rd		R:W NEXT								
SHAL.L ERd		R:W NEXT								
SHAL.L #2,ERd		R:W NEXT								
SHAR.B Rd		R:W NEXT								
SHAR.B #2,Rd		R:W NEXT								
SHAR.W Rd		R:W NEXT								
SHAR.W #2,Rd		R:W NEXT								
SHAR.L ERd		R:W NEXT								
SHAR.L #2,ERd		R:W NEXT								
SHLL.B Rd		R:W NEXT								
SHLL.B #2,Rd		R:W NEXT								
SHLL.W Rd		R:W NEXT								
SHLL.W #2,Rd		R:W NEXT								

命令	1	2	3	4	5	6	7	8	9
SHLL.L ERd	R:W NEXT								
SHLL.L #2,ERd	R:W NEXT								
SHLR.B Rd	R:W NEXT								
SHLR.B #2,Rd	R:W NEXT								
SHLR.W Rd	R:W NEXT								
SHLR.W #2,Rd	R:W NEXT								
SHLR.L ERd	R:W NEXT								
SHLR.L #2,ERd	R:W NEXT								
SLEEP	R:W NEXT	内部動作:M							
STC CCR,Rd	R:W NEXT								
STC EXR,Rd	R:W NEXT								
STC CCR,@ERd	R:W 2nd	R:W NEXT	W:W EA						
STC EXR,@ERd	R:W 2nd	R:W NEXT	W:W EA						
STC CCR, @(d:16,ERd)	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC EXR, @(d:16,ERd)	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC CCR, @(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	W:W EA			
STC EXR, @(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	W:W EA			
STC CCR,@-ERd	R:W 2nd	R:W NEXT	内部動作 1スタート	W:W EA					
STC EXR,@-ERd	R:W 2nd	R:W NEXT	内部動作 1スタート	W:W EA					
STC CCR,@aa:16	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC EXR,@aa:16	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC CCR,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:W EA				
STC EXR,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:W EA				
STM.L (ERn-ERn+1), @-SP	R:W 2nd	R:W:MNEXT	内部動作 1スタート	W:W:M スタック(H) * ³	W:W スタック(L) * ³				
STM.L (ERn-ERn+2), @-SP	R:W 2nd	R:W:MNEXT	内部動作 1スタート	W:W:M スタック(H) * ³	W:W スタック(L) * ³				
STM.L (ERn-ERn+3), @-SP	R:W 2nd	R:W:MNEXT	内部動作 1スタート	W:W:M スタック(H) * ³	W:W スタック(L) * ³				
STMAC MACH,ERd	本 LSI では使用できません。								
STMAC MACL,ERd	本 LSI では使用できません。								
SUB.B Rs,Rd	R:W NEXT								

命令		1	2	3	4	5	6	7	8	9
SUB.W #xx:16,Rd		R:W 2nd	R:W NEXT							
SUB.W Rs,Rd		R:W NEXT								
SUB.L #xx:32,ERd		R:W 2nd	R:W 3rd	R:W NEXT						
SUB.L ERs,ERd		R:W NEXT								
SUBS #1/2/4,ERd		R:W NEXT								
SUBX #xx:8,Rd		R:W NEXT								
SUBX Rs,Rd		R:W NEXT								
TAS @ERd		R:W 2nd	R:W NEXT	R:B:M EA	W:B EA					
TRAPA #x:2	ノーマル	R:W NEXT	内部動作 1スタート	W:W スタック(L)	W:W スタック(H)	W:W スタック(EXR)	R:W VEC	内部動作 1スタート	R:W * ⁷	
	アドバンス	R:W NEXT	内部動作 1スタート	W:W スタック(L)	W:W スタック(H)	W:W スタック(EXR)	R:W:M VEC	R:W VEC+2	内部動作 1スタート	R:W * ⁷
XOR.B #xx:8,Rd		R:W NEXT								
XOR.B Rs,Rd		R:W NEXT								
XOR.W #xx:16,Rd		R:W 2nd	R:W NEXT							
XOR.W Rs,Rd		R:W NEXT								
XOR.L #xx:32,ERd		R:W 2nd	R:W 3rd	R:W NEXT						
XOR.L ERs,ERd		R:W 2nd	R:W NEXT							
XORC #xx:8,CCR		R:W NEXT								
XORC #xx:8,EXR		R:W 2nd	R:W NEXT							
リセット 例外処理	ノーマル	R:W VEC	内部動作 1スタート	R:W * ⁵						
	アドバンス	R:W:M VEC	R:W VEC+2	内部動作 1スタート	R:W * ⁵					
割り込み 例外処理	ノーマル	R:W * ⁶	内部動作 1スタート	W:W スタック(L)	W:W スタック(H)	W:W スタック(EXR)	R:W VEC	内部動作 1スタート	R:W * ⁷	
	アドバンス	R:W * ⁶	内部動作 1スタート	W:W スタック(L)	W:W スタック(H)	W:W スタック(EXR)	R:W:M VEC	R:W VEC+2	内部動作 1スタート	R:W * ⁷

- 【注】 *1 EAs は ER5、EAd は ER6 の内容です。
 *2 EAs は ER5、EAd は ER6 の内容で、実行後それぞれ 1 が加算されます。
 また、n は R4L または R4 の初期値であり、n=0 のときこれらの実行は行われません。
 *3 2 本退避 / 復帰時は 2 回、3 本退避 / 復帰時は 3 回、4 本退避 / 復帰時は 4 回繰り返します。
 *4 リターン後の先頭アドレスです。
 *5 プログラムのスタートアドレスです。
 *6 プリフェッチアドレスです。退避される PC に 2 を加算したアドレスです。
 また、スリープモード、ソフトウェアスタンバイモードからの復帰時にはリード動作は行われず、
 内部動作となります。
 *7 割り込み処理ルーチンの先頭アドレスです。

A.6 コンディションコードの変化

CPU の各命令について、命令実行後のコンディションコードの変化を示します。以下に、表中で使われている記号を説明します。

m = 31	: ロングワードサイズの時
15	: ワードサイズの時
7	: バイトサイズの時
Si	: ソースオペランドのビット i
Di	: デスティネーションオペランドのビット i
Ri	: 結果のビット i
Dn	: デスティネーションオペランドの指定されたビット
-	: 影響なし
↑	: 実行結果に応じて変化 (定義参照)
0	: 常に 0 にクリア
1	: 常に 1 にセット
*	: 値を保証しません。
Z'	: 実行前の Z フラグ
C'	: 実行前の C フラグ

表 A.7 コンディションコードの変化

命 令	H	N	Z	V	C	定 義
ADD	↑	↑	↑	↑	↑	$H = S_{m-4} \cdot D_{m-4} + D_{m-4} \cdot \overline{R_{m-4}} + S_{m-4} \cdot \overline{R_{m-4}}$ $N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$ $V = S_m \cdot D_m \cdot \overline{R_m} + \overline{S_m} \cdot \overline{D_m} \cdot R_m$ $C = S_m \cdot D_m + D_m \cdot \overline{R_m} + S_m \cdot \overline{R_m}$
ADDS	-	-	-	-	-	
ADDX	↑	↑	↑	↑	↑	$H = S_{m-4} \cdot D_{m-4} + D_{m-4} \cdot \overline{R_{m-4}} + S_{m-4} \cdot \overline{R_{m-4}}$ $N = R_m$ $Z = Z' \cdot \overline{R_m} \cdot \dots \cdot \overline{R_0}$ $V = S_m \cdot D_m \cdot \overline{R_m} + \overline{S_m} \cdot \overline{D_m} \cdot R_m$ $C = S_m \cdot D_m + D_m \cdot \overline{R_m} + S_m \cdot \overline{R_m}$
AND	-	↑	↑	0	-	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$
ANDC	↑	↑	↑	↑	↑	実行結果の対応するビットの値が格納されます。 EXR のときはどのフラグも変化しません。
BAND	-	-	-	-	↑	$C = C' \cdot D_n$
Bcc	-	-	-	-	-	
BCLR	-	-	-	-	-	
BIAND	-	-	-	-	↑	$C = C' \cdot \overline{D_n}$
BILD	-	-	-	-	↑	$C = \overline{D_n}$
BIOR	-	-	-	-	↑	$C = C' + \overline{D_n}$
BIST	-	-	-	-	-	
BIXOR	-	-	-	-	↑	$C = C' \cdot D_n + \overline{C'} \cdot \overline{D_n}$
BLD	-	-	-	-	↑	$C = D_n$
BNOT	-	-	-	-	-	
BOR	-	-	-	-	↑	$C = C' + D_n$
BSET	-	-	-	-	-	
BSR	-	-	-	-	-	
BST	-	-	-	-	-	
BTST	-	-	↑	-	-	$Z = \overline{D_n}$
BXOR	-	-	-	-	↑	$C = C' \cdot \overline{D_n} + \overline{C'} \cdot D_n$
CLRMAC	本 LSI では使用できません。					

命 令	H	N	Z	V	C	定 義
CMP	↑ ↓	↑ ↓	↑ ↓	↑ ↓	↑ ↓	$H = S_{m-4} \cdot \overline{D_{m-4}} + \overline{D_{m-4}} \cdot R_{m-4} + S_{m-4} \cdot R_{m-4}$ $N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$ $V = \overline{S_m} \cdot D_m \cdot \overline{R_m} + S_m \cdot \overline{D_m} \cdot R_m$ $C = S_m \cdot \overline{D_m} + \overline{D_m} \cdot R_m + S_m \cdot R_m$
DAA	*	↑ ↓	↑ ↓	*	↑ ↓	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$ C : 10 進加算のキャリ
DAS	*	↑ ↓	↑ ↓	*	↑ ↓	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$ C : 10 進減算のボロ -
DEC	-	↑ ↓	↑ ↓	↑ ↓	-	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$ $V = D_m \cdot \overline{R_m}$
DIVXS	-	↑ ↓	↑ ↓	-	-	$N = S_m \cdot \overline{D_m} + \overline{S_m} \cdot D_m$ $Z = \overline{S_m} \cdot \overline{S_{m-1}} \cdot \dots \cdot \overline{S_0}$
DIVXU	-	↑ ↓	↑ ↓	-	-	$N = S_m$ $Z = \overline{S_m} \cdot \overline{S_{m-1}} \cdot \dots \cdot \overline{S_0}$
EEPMOV	-	-	-	-	-	
EXTS	-	↑ ↓	↑ ↓	0	-	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$
EXTU	-	0	↑ ↓	0	-	$Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$
INC	-	↑ ↓	↑ ↓	↑ ↓	-	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$ $V = \overline{D_m} \cdot \overline{R_m}$
JMP	-	-	-	-	-	
JSR	-	-	-	-	-	
LDC	↑ ↓	↑ ↓	↑ ↓	↑ ↓	↑ ↓	実行結果の対応するビットの値が格納されます。 EXR のときはどのフラグも変化しません。
LDM	-	-	-	-	-	
LDMAC	本 LSI では使用できません。					
MAC	本 LSI では使用できません。					
MOV	-	↑ ↓	↑ ↓	0	-	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$

命 令	H	N	Z	V	C	定 義
MOVFPPE	本 LSI では使用できません。					
MOVTPPE	本 LSI では使用できません。					
MULXS	-	↑	↑	-	-	$N = R2m$ $Z = \overline{R2m} \cdot \overline{R2m-1} \cdot \dots \cdot \overline{R0}$
MULXU	-	-	-	-	-	
NEG	↑	↑	↑	↑	↑	$H = Dm-4 + Rm-4$ $N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $V = Dm \cdot Rm$ $C = Dm + Rm$
NOP	-	-	-	-	-	
NOT	-	↑	↑	0	-	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
OR	-	↑	↑	0	-	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
ORC	↑	↑	↑	↑	↑	実行結果の対応するビットの値が格納されます。 EXR のときはどのフラグも変化しません。
POP	-	↑	↑	0	-	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
PUSH	-	↑	↑	0	-	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
ROTL	-	↑	↑	0	↑	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $C = Dm$ (1 ビットの時)、 $C = Dm-1$ (2 ビットの時)
ROTR	-	↑	↑	0	↑	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $C = D0$ (1 ビットの時)、 $C = D1$ (2 ビットの時)
ROTXL	-	↑	↑	0	↑	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $C = Dm$ (1 ビットの時)、 $C = Dm-1$ (2 ビットの時)
ROTXR	-	↑	↑	0	↑	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $C = D0$ (1 ビットの時)、 $C = D1$ (2 ビットの時)
RTE	↑	↑	↑	↑	↑	実行結果の対応するビットの値が格納されます。
RTS	-	-	-	-	-	

命 令	H	N	Z	V	C	定 義
SHAL	-	↑	↑	↑	↑	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$ $V = \overline{D_m} \cdot \overline{D_{m-1}} + \overline{D_m} \cdot \overline{D_{m-1}}$ (1ビットのとき) $V = \overline{D_m} \cdot \overline{D_{m-1}} \cdot \overline{D_{m-2}} \cdot \overline{D_m} \cdot \overline{D_{m-1}} \cdot \overline{D_{m-2}}$ (2ビットのとき) $C = D_m$ (1ビットのとき)、 $C = D_{m-1}$ (2ビットのとき)
SHAR	-	↑	↑	0	↑	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$ $C = D_0$ (1ビットのとき)、 $C = D_1$ (2ビットのとき)
SHLL	-	↑	↑	0	↑	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$ $C = D_m$ (1ビットのとき)、 $C = D_{m-1}$ (2ビットのとき)
SHLR	-	0	↑	0	↑	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$ $C = D_0$ (1ビットのとき)、 $C = D_1$ (2ビットのとき)
SLEEP	-	-	-	-	-	
STC	-	-	-	-	-	
STM	-	-	-	-	-	
STMAC	本 LSI では使用できません。					
SUB	↑	↑	↑	↑	↑	$H = S_{m-4} \cdot \overline{D_{m-4}} + \overline{D_{m-4}} \cdot R_{m-4} + S_{m-4} \cdot R_{m-4}$ $N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$ $V = \overline{S_m} \cdot D_m \cdot \overline{R_m} + S_m \cdot \overline{D_m} \cdot R_m$ $C = S_m \cdot \overline{D_m} + \overline{D_m} \cdot R_m + S_m \cdot R_m$
SUBS	-	-	-	-	-	
SUBX	↑	↑	↑	↑	↑	$H = S_{m-4} \cdot \overline{D_{m-4}} + \overline{D_{m-4}} \cdot R_{m-4} + S_{m-4} \cdot R_{m-4}$ $N = R_m$ $Z = \overline{Z} \cdot \overline{R_m} \cdot \dots \cdot \overline{R_0}$ $V = \overline{S_m} \cdot D_m \cdot \overline{R_m} + S_m \cdot \overline{D_m} \cdot R_m$ $C = S_m \cdot \overline{D_m} + \overline{D_m} \cdot R_m + S_m \cdot R_m$
TAS	-	↑	↑	0	-	$N = D_m$ $Z = \overline{D_m} \cdot \overline{D_{m-1}} \cdot \dots \cdot \overline{D_0}$
TRAPA	-	-	-	-	-	
XOR	-	↑	↑	0	-	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$
XORC	↑	↑	↑	↑	↑	実行結果の対応するビットの値が格納されます。 EXR のときはどのフラグも変化しません。

B. 内部 I/O レジスタ

B.1 アドレス一覧

アドレス	略 号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅	
H'F800 ~H'FBFF	MRA	SM1	SM0	DM1	DM0	MD1	MD0	DTS	Sz	DTC	16 / 32* ビット	
	SAR											
	MRB	CHNE	DISEL	-	-	-	-	-	-			
	DAR											
	CRA											
	CRB											
	H'FE80	TCR3	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1			TPSC0
H'FE81	TMDR3	-	-	BFB	BFA	MD3	MD2	MD1	MD0			
H'FE82	TIOR3H	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0			
H'FE83	TIOR3L	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0			
H'FE84	TIER3	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA			
H'FE85	TSR3	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA			
H'FE86	TCNT3											
H'FE87												
H'FE88	TGR3A											
H'FE89												
H'FE8A	TGR3B											
H'FE8B												
H'FE8C	TGR3C											
H'FE8D												
H'FE8E	TGR3D											
H'FE8F												

アドレス	略 号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	パス幅
H'FE90	TCR4	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU4	16ビット
H'FE91	TMDR4	-	-	-	-	MD3	MD2	MD1	MD0		
H'FE92	TIOR4	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
H'FE94	TIER4	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA		
H'FE95	TSR4	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA		
H'FE96	TCNT4										
H'FE97											
H'FE98	TGR4A										
H'FE99											
H'FE9A	TGR4B										
H'FE9B											
H'FEA0	TCR5	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU5	16ビット
H'FEA1	TMDR5	-	-	-	-	MD3	MD2	MD1	MD0		
H'FEA2	TIOR5	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
H'FEA4	TIER5	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA		
H'FEA5	TSR5	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA		
H'FEA6	TCNT5										
H'FEA7											
H'FEA8	TGR5A										
H'FEA9											
H'FEAA	TGR5B										
H'FEAB											
H'FEB0	P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR	ポート	8ビット
H'FEB1	P2DDR	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR		
H'FEB2	P3DDR	-	-	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR		
H'FEB4	P5DDR	-	-	-	-	P53DDR	P52DDR	P51DDR	P50DDR		
H'FEB5	P6DDR	P67DDR	P66DDR	P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR		
H'FEB9	PADDR	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR		
H'FEBA	PBDDR	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR		
H'FEBA	PCDDR	PC7DDR	PC6DDR	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	PC0DDR		
H'FEBC	PDDDR	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR		
H'FEBD	PEDDR	PE7DDR	PE6DDR	PE5DDR	PE4DDR	PE3DDR	PE2DDR	PE1DDR	PE0DDR		
H'FEBE	PFDDR	PF7DDR	PF6DDR	PF5DDR	PF4DDR	PF3DDR	PF2DDR	PF1DDR	PF0DDR		
H'FEBF	PGDDR	-	-	-	PG4DDR	PG3DDR	PG2DDR	PG1DDR	PG0DDR		

付 録

アドレス	略 号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	パス幅
H'FEC4	IPRA	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0	割り込み	8 ビット
H'FEC5	IPRB	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0	コント	
H'FEC6	IPRC	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0	ローラ	
H'FEC7	IPRD	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FEC8	IPRE	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FEC9	IPRF	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FECA	IPRG	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FE CB	IPRH	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FECC	IPRI	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FECD	IPRJ	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FECE	IPRK	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FED0	ABWCR	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0	バスコン	8 ビット
H'FED1	ASTCR	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0	トローラ	
H'FED2	WCRH	W71	W70	W61	W60	W51	W50	W41	W40		
H'FED3	WCRL	W31	W30	W21	W20	W11	W10	W01	W00		
H'FED4	BCRH	ICIS1	ICIS0	BRSTRM	BRSTS1	BRSTS0	-	-	-		
H'FED5	BCRL	BRLE	-	EAE	-	-	-	-	WAITE		
H'FF2C	ISCRH	IRQ7SCB	IRQ7SCA	IRQ6SCB	IRQ6SCA	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA	割り込み	8 ビット
H'FF2D	ISCR L	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA	コント	
H'FF2E	IER	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E	ローラ	
H'FF2F	ISR	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F		
H'FF30 ~H'FF35	DT CER	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0	DTC	8 ビット
H'FF37	DTVECR	SWDTE	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0		
H'FF38	SBYCR	SSBY	STS2	STS1	STS0	OPE	-	-	-	低消費 電力	8 ビット
H'FF39	SYSCR	-	-	INTM1	INTM0	NMIEG	-	-	RAME	MCU	8 ビット
H'FF3A	SCKCR	PSTOP	-	-	-	-	SCK2	SCK1	SCK0	クロック 発振器	8 ビット
H'FF3B	MDCR	-	-	-	-	-	MDS2	MDS1	MSD0	MCU	8 ビット
H'FF3C	MSTPCR H	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	低消費	8 ビット
H'FF3D	MSTP CRL	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0	電力	
H'FF44	リザーブ	-	-	-	-	-	-	-	-	リザーブ	-

アドレス	略 号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅
H'FF50	PORT1	P17	P16	P15	P14	P13	P12	P11	P10	ポート	8ビット
H'FF51	PORT2	P27	P26	P25	P24	P23	P22	P21	P20		
H'FF52	PORT3	-	-	P35	P34	P33	P32	P31	P30		
H'FF53	PORT4	P47	P46	P45	P44	P43	P42	P41	P40		
H'FF54	PORT5	-	-	-	-	P53	P52	P51	P50		
H'FF55	PORT6	P67	P66	P65	P64	P63	P62	P61	P60		
H'FF59	PORTA	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0		
H'FF5A	PORTB	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0		
H'FF5B	PORTC	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0		
H'FF5C	PORTD	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0		
H'FF5D	PORTE	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0		
H'FF5E	PORTF	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0		
H'FF5F	PORTG	-	-	-	PG4	PG3	PG2	PG1	PG0		
H'FF60	P1DR	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR		
H'FF61	P2DR	P27DR	P26DR	P25DR	P24DR	P23DR	P22DR	P21DR	P20DR		
H'FF62	P3DR	-	-	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR		
H'FF64	P5DR	-	-	-	-	P53DR	P52DR	P51DR	P50DR		
H'FF65	P6DR	P67DR	P66DR	P65DR	P64DR	P63DR	P62DR	P61DR	P60DR		
H'FF69	PADR	PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	PA0DR		
H'FF6A	PBDR	PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR		
H'FF6B	PCDR	PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR		
H'FF6C	PDDR	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR		
H'FF6D	PEDR	PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR		
H'FF6E	PFDR	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR		
H'FF6F	PGDR	-	-	-	PG4DR	PG3DR	PG2DR	PG1DR	PG0DR		
H'FF70	PAPCR	PA7PCR	PA6PCR	PA5PCR	PA4PCR	PA3PCR	PA2PCR	PA1PCR	PA0PCR		
H'FF71	PBPCR	PB7PCR	PB6PCR	PB5PCR	PB4PCR	PB3PCR	PB2PCR	PB1PCR	PB0PCR		
H'FF72	PCPCR	PC7PCR	PC6PCR	PC5PCR	PC4PCR	PC3PCR	PC2PCR	PC1PCR	PC0PCR		
H'FF73	PDPCR	PD7PCR	PD6PCR	PD5PCR	PD4PCR	PD3PCR	PD2PCR	PD1PCR	PD0PCR		
H'FF74	PEPCR	PE7PCR	PE6PCR	PE5PCR	PE4PCR	PE3PCR	PE2PCR	PE1PCR	PE0PCR		
H'FF76	P3ODR	-	-	P35ODR	P34ODR	P33ODR	P32ODR	P31ODR	P30ODR		
H'FF77	PAODR	PA7ODR	PA6ODR	PA5ODR	PA4ODR	PA3ODR	PA2ODR	PA1ODR	PA0ODR		

付 録

アドレス	略 号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	パス幅
H'FF78	SMR0	C/ \bar{A} /GM ^{*2}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCIO、 スマート カード インタフ ェース0	8ビット
H'FF79	BRR0										
H'FF7A	SCR0	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
H'FF7B	TDR0										
H'FF7C	SSR0	TDRE	RDRF	ORER	FER/VERS ^{*3}	PER	TEND	MPB	MPBT		
H'FF7D	RDR0										
H'FF7E	SCMR0	-	-	-	-	SDIR	SINV	-	SMIF		
H'FF80	SMR1	C/ \bar{A} /GM ^{*2}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI1、 スマート カード インタフ ェース1	8ビット
H'FF81	BRR1										
H'FF82	SCR1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
H'FF83	TDR1										
H'FF84	SSR1	TDRE	RDRF	ORER	FER/VERS ^{*3}	PER	TEND	MPB	MPBT		
H'FF85	RDR1										
H'FF86	SCMR1	-	-	-	-	SDIR	SINV	-	SMIF		
H'FF88	SMR2	C/ \bar{A} /GM ^{*2}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI2、 スマート カード インタフ ェース2	8ビット
H'FF89	BRR2										
H'FF8A	SCR2	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
H'FF8B	TDR2										
H'FF8C	SSR2	TDRE	RDRF	ORER	FER/VERS ^{*3}	PER	TEND	MPB	MPBT		
H'FF8D	RDR2										
H'FF8E	SCMR2	-	-	-	-	SDIR	SINV	-	SMIF		
H'FF90	ADDRAH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D 変換器	8ビット
H'FF91	ADDRAL	AD1	AD0	-	-	-	-	-	-		
H'FF92	ADDRBH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FF93	ADDRBL	AD1	AD0	-	-	-	-	-	-		
H'FF94	ADDRCH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FF95	ADDRCL	AD1	AD0	-	-	-	-	-	-		
H'FF96	ADDRDH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FF97	ADDRDL	AD1	AD0	-	-	-	-	-	-		
H'FF98	ADCSR	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0		
H'FF99	ADCR	TRGS1	TRGS0	-	-	-	-	-	-		
H'FFA4	DADR0 ^{*4}									D/A ^{*4}	8ビット
H'FFA5	DADR1 ^{*4}										
H'FFA6	DACR ^{*4}	DAOE1	DAOE0	DAE	-	-	-	-	-		

アドレス	略 号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	パス幅
H'FFB0	TCR0	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	8ビット タイマ チャンネル 0、1	16ビット
H'FFB1	TCR1	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0		
H'FFB2	TCSR0	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0		
H'FFB3	TCSR1	CMFB	CMFA	OVF	-	OS3	OS2	OS1	OS0		
H'FFB4	TCORA0										
H'FFB5	TCORA1										
H'FFB6	TCORB0										
H'FFB7	TCORB1										
H'FFB8	TCNT0										
H'FFB9	TCNT1										
H'FFBC (リード時)	TCSR	OVF	WT/IT	TME	-	-	CKS2	CKS1	CKS0	ウォッチ ドッグ タイマ	16ビット
H'FFBD (リード時)	TCNT										
H'FFBF (リード時)	RSTCSR	WOVF	RSTE	RSTS	-	-	-	-	-		
H'FFC0	TSTR	-	-	CST5	CST4	CST3	CST2	CST1	CST0	TPU	16ビット
H'FFC1	TSYR	-	-	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0		
H'FFD0	TCR0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU0	16ビット
H'FFD1	TMDR0	-	-	BFB	BFA	MD3	MD2	MD1	MD0		
H'FFD2	TIOR0H	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
H'FFD3	TIOR0L	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0		
H'FFD4	TIER0	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA		
H'FFD5	TSR0	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA		
H'FFD6	TCNT0										
H'FFD7											
H'FFD8	TGR0A										
H'FFD9											
H'FFDA	TGR0B										
H'FFDB											
H'FFDC	TGR0C										
H'FFDD											
H'FFDE	TGR0D										
H'FFDF											

アドレス	略 号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	パス幅
H'FFE0	TCR1	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU1	16ビット
H'FFE1	TMDR1	-	-	-	-	MD3	MD2	MD1	MD0		
H'FFE2	TIOR1	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
H'FFE4	TIER1	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA		
H'FFE5	TSR1	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA		
H'FFE6	TCNT1										
H'FFE7											
H'FFE8	TGR1A										
H'FFE9											
H'FFEA	TGR1B										
H'FFEB											
H'FFF0	TCR2	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0		
H'FFF1	TMDR2	-	-	-	-	MD3	MD2	MD1	MD0		
H'FFF2	TIOR2	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
H'FFF4	TIER2	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA		
H'FFF5	TSR2	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA		
H'FFF6	TCNT2										
H'FFF7											
H'FFF8	TGR2A										
H'FFF9											
H'FFFA	TGR2B										
H'FFFB											

- 【注】 *1 内蔵 RAM 上に配置されています。DTC がレジスタ情報としてアクセスするとき 32 ビットバス、その他のとき 16 ビットバスです。
- *2 SCI として使う場合は C/A、スマートカードインタフェースとして使う場合は GM として機能します。
- *3 SCI として使う場合は FER、スマートカードインタフェースとして使う場合は ERS として機能します。
- *4 H8S/2393 では D/A 変換器を内蔵していませんので、リザーブとなります。

B.2 機能一覧

H'F800 ~ H'FBFF : DTC モードレジスタ A MRA : DTC

ビット :	7	6	5	4	3	2	1	0
	SM1	SM0	DM1	DM0	MD1	MD0	DTS	Sz
初期値 :	不定	不定						
R/W :	-	-	-	-	-	-	-	-

DTCデータ トランスファサイズ	
0	バイトサイズ 転送
1	ワードサイズ 転送

DTC転送モードセレクト	
0	デスティネーション側がリピート 領域またはブロック領域
1	ソース側がリピート領域または ブロック領域

DTCモード		
0	0	ノーマルモード
	1	リピートモード
1	0	ブロック転送モード
	1	-

デスティネーションアドレスモード		
0	-	DARは固定
1	0	DARは転送後インクリメント (Sz = 0のとき +1, Sz = 1のとき +2)
	1	DARは転送後デクリメント (Sz = 0のとき -1, Sz = 1のとき -2)

ソースアドレスモード		
0	-	SARは固定
1	0	SARは転送後インクリメント (Sz = 0のとき +1, Sz = 1のとき +2)
	1	SARは転送後デクリメント (Sz = 0のとき -1, Sz = 1のとき -2)

H'F800 ~ H'FBFF : DTC モードレジスタ B MRB : DTC

ビット :	7	6	5	4	3	2	1	0
	CHNE	DISEL	-	-	-	-	-	-
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	-	-	-	-	-	-	-	-

リザーブビット
0をライト

DTCインタラプトセレクト

0	DTCデータ転送終了後、転送カウンタが0でなければ、CPUへの割り込みを禁止
1	DTCデータ転送終了後、CPUへの割り込みを許可

DTCチェーン転送イネーブル

0	DTCデータ転送終了
1	DTCチェーン転送

H'F800 ~ H'FBFF : DTC ソースアドレスレジスタ SAR : DTC

ビット :	23	22	21	20	19	---	4	3	2	1	0
初期値 :	不定	不定	不定	不定	不定	---	不定	不定	不定	不定	不定
R/W :	-	-	-	-	-	---	-	-	-	-	-

転送データの転送元アドレスを指定

H'F800 ~ H'FBFF : DTC デスティネーションアドレスレジスタ DAR : DTC

ビット :	23	22	21	20	19	---	4	3	2	1	0
初期値 :	不定	不定	不定	不定	不定	---	不定	不定	不定	不定	不定
R/W :	-	-	-	-	-	---	-	-	-	-	-

DTCの転送データの転送先アドレスを指定

H'F800 ~ H'FBFF : DTC 転送カウントレジスタ A CRA : DTC



H'F800 ~ H'FBFF : DTC 転送カウントレジスタ B CRB : DTC



H'FE80 : タイマコントロールレジスタ 3 TCR3 : TPU3

ビット :

	7	6	5	4	3	2	1	0
	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

タイマプリスケアラ

0	0	0	内部クロック : $\phi / 1$ でカウント
		1	内部クロック : $\phi / 4$ でカウント
	1	0	内部クロック : $\phi / 16$ でカウント
		1	内部クロック : $\phi / 64$ でカウント
1	0	0	外部クロック : TCLKA端子入力でカウント
		1	内部クロック : $\phi / 1024$ でカウント
	1	0	内部クロック : $\phi / 256$ でカウント
		1	内部クロック : $\phi / 4096$ でカウント

入力クロックのエッジを選択

0	0	立ち上がりエッジでカウント
	1	立ち下がりエッジでカウント
1	-	両エッジでカウント

カウンタクリア

0	0	0	TCNTのクリア禁止
		1	TGRAのコンペアマッチ / インพุットキャプチャでTCNTクリア
	1	0	TGRBのコンペアマッチ / インพุットキャプチャでTCNTクリア
		1	同期クリア / 同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*1
1	0	0	TCNTのクリア禁止
		1	TGRCのコンペアマッチ / インพุットキャプチャでTCNTクリア*2
	1	0	TGRDのコンペアマッチ / インพุットキャプチャでTCNTクリア*2
		1	同期クリア / 同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*1

【注】*1 同期動作の設定は、TSYRのSYNCビットを1にすることにより行います。

*2 TGRCまたはTGRDをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ / インพุットキャプチャが発生しないため、TCNTはクリアされません。

H'FE81 : タイマモードレジスタ3 TMDR3 : TPU3

ビット :	7	6	5	4	3	2	1	0
	-	-	BFB	BFA	MD3	MD2	MD1	MD0
初期値 :	1	1	0	0	0	0	0	0
R/W :	-	-	R/W	R/W	R/W	R/W	R/W	R/W

モード

0	0	0	0	通常動作
		1	リザーブ	
		1	0	PWMモード1
			1	PWMモード2
	1	0	0	位相計数モード1
			1	位相計数モード2
		1	0	位相計数モード3
			1	位相計数モード4
1	*	*	*	-

* : Don't care

- 【注】 1. MD3はリザーブビットです。
ライト時には常に0を書き込んでください。
2. チャンネル0、3では、位相計数モードの設定はできません。
MD2には常に0をライトしてください。

バッファ動作設定A

0	TGRAは通常動作
1	TGRAとTGRCはバッファ動作

バッファ動作設定B

0	TGRBは通常動作
1	TGRBとTGRDはバッファ動作

H'FE82 : タイマ I/O コントロールレジスタ 3H TIOR3H : TPU3

ビット :

7	6	5	4	3	2	1	0
IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値 :	0	0	0	0	0	0	0
R/W :	R/W						

TGR3A I/Oコントロール

0	0	0	0	0	TGR3Aは	出力禁止			
					1	アウトプット	初期出力は0出力	コンペアマッチで0出力	
					1	0	コンペア	コンペアマッチで1出力	
					1	レジスタ	コンペアマッチでトグル出力		
	1	0	0	0	0	TGR3Aは	出力禁止		
						1		初期出力は1出力	コンペアマッチで0出力
						1	0	コンペアマッチで1出力	
						1		コンペアマッチでトグル出力	
	1	0	0	0	0	TGR3Aは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ	
						1	インプット	TIOCA3端子	立ち下がりエッジでインプットキャプチャ
						1	*	キャプチャ	両エッジでインプットキャプチャ
						1	*	レジスタ	キャプチャ入力元は TCNT4のカウントアップ / カウントダウン チャネル4 / カウントロック でインプットキャプチャ

TGR3B I/Oコントロール

0	0	0	0	0	TGR3Bは	出力禁止			
					1	アウトプット	初期出力は0出力	コンペアマッチで0出力	
					1	0	コンペア	コンペアマッチで1出力	
					1	レジスタ	コンペアマッチでトグル出力		
	1	0	0	0	0	TGR3Bは	出力禁止		
						1		初期出力は1出力	コンペアマッチで0出力
						1	0	コンペアマッチで1出力	
						1		コンペアマッチでトグル出力	
	1	0	0	0	0	TGR3Bは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ	
						1	インプット	TIOCB3端子	立ち下がりエッジでインプットキャプチャ
						1	*	キャプチャ	両エッジでインプットキャプチャ
						1	*	レジスタ	キャプチャ入力元は TCNT4のカウントアップ / カウントダウン チャネル4 / カウントロック でインプットキャプチャ*1

* : Don't care

* : Don't care

【注】 *1 TCR4のTPSC2 ~ TPSC0ビットをB'000とし、TCNT4のカウントクロックにφ / 1を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

H'FE83 : タイマ I/O コントロールレジスタ 3L TIOR3L : TPU3

ビット :	7	6	5	4	3	2	1	0
	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

TGR3C I/Oコントロール

0	0	0	0	0	TGR3Cは	出力禁止		
					1	アウトプット	初期出力は0出力	コンペアマッチで0出力
					1	0	コンペア	コンペアマッチで1出力
					1	レジスタ	コンペアマッチでトグル出力	
	1	0	0	0	0	TGR3Cは	出力禁止	
						1	初期出力は1出力	コンペアマッチで0出力
						1	0	コンペアマッチで1出力
						1	コンペアマッチでトグル出力	
1	0	0	0	0	TGR3Cは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ	
					1	インプット	TIOCC3端子	立ち下がりエッジでインプットキャプチャ
					1	*	キャプチャ	両エッジでインプットキャプチャ
					1	*	レジスタ	キャプチャ入力元は TCNT4のカウンタアップ / カウントダウン チャンネル4 / カウントロック でインプットキャプチャ

* : Don't care

【注】 TMDR3のBFPAビットを1にセットしてTGR3Cをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

TGR3D I/Oコントロール

0	0	0	0	0	TGR3Dは	出力禁止		
					1	アウトプット	初期出力は0出力	コンペアマッチで0出力
					1	0	コンペア	コンペアマッチで1出力
					1	レジスタ	コンペアマッチでトグル出力	
	1	0	0	0	0	TGR3Dは	出力禁止	
						1	初期出力は1出力	コンペアマッチで0出力
						1	0	コンペアマッチで1出力
						1	コンペアマッチでトグル出力	
1	0	0	0	0	TGR3Dは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ	
					1	インプット	TIOCD3端子	立ち下がりエッジでインプットキャプチャ
					1	*	キャプチャ	両エッジでインプットキャプチャ
					1	*	レジスタ*2	キャプチャ入力元は TCNT4のカウンタアップ / カウントダウン チャンネル4 / カウントロック でインプットキャプチャ*1

* : Don't care

【注】 *1 TCR4のTPSC2 ~ TPSC0ビットをB'000とし、TCNT4のカウンタクロックに $\phi / 1$ を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

*2 TMDR3のBFBAビットを1にセットしてTGR3Dをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

【注】 TGRC、あるいはTGRDをバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

H'FE84 : タイマインタラプトイネーブルレジスタ3 TIER3 : TPU3

ビット :	7	6	5	4	3	2	1	0
	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
初期値 :	0	1	0	0	0	0	0	0
R/W :	R/W	-	-	R/W	R/W	R/W	R/W	R/W

TGRインタラプトイネーブルA

0	TGFAビットによる割り込み要求 (TGIA) を禁止
1	TGFAビットによる割り込み要求 (TGIA) を許可

TGRインタラプトイネーブルB

0	TGFBビットによる割り込み要求 (TGIB) を禁止
1	TGFBビットによる割り込み要求 (TGIB) を許可

TGRインタラプトイネーブルC

0	TGFCビットによる割り込み要求 (TGIC) を禁止
1	TGFCビットによる割り込み要求 (TGIC) を許可

TGRインタラプトイネーブルD

0	TGFDビットによる割り込み要求 (TGID) を禁止
1	TGFDビットによる割り込み要求 (TGID) を許可

オーバーフローインタラプトイネーブル

0	TCFVによる割り込み要求 (TCIV) を禁止
1	TCFVによる割り込み要求 (TCIV) を許可

A/D変換開始要求イネーブル

0	A/D変換開始要求の発生を禁止
1	A/D変換開始要求の発生を許可

H'FE85 : タイマステータレジスタ 3 TSR3 : TPU3

ビット :	7	6	5	4	3	2	1	0
	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	-	-	-	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

TGRAインプットキャプチャ / アウトプットコンペアフラグ

0	[クリア条件] (1) TGIA割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFA = 1の状態ではTGFAをリード後、TGFAに0をライトしたとき
1	[セット条件] (1) TGRAがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRAになったとき (2) TGRAがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRAに転送されたとき

TGRBインプットキャプチャ / アウトプットコンペアフラグ

0	[クリア条件] (1) TGIB割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFB = 1の状態ではTGFBをリード後、TGFBに0をライトしたとき
1	[セット条件] (1) TGRBがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRBになったとき (2) TGRBがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRBに転送されたとき

TGRCインプットキャプチャ / アウトプットコンペアフラグ

0	[クリア条件] (1) TGIC割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFC = 1の状態ではTGFCをリード後、TGFCに0をライトしたとき
1	[セット条件] (1) TGRCがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRCになったとき (2) TGRCがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRCに転送されたとき

TGRDインプットキャプチャ / アウトプットコンペアフラグ

0	[クリア条件] (1) TGID割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFD = 1の状態ではTGFDをリード後、TGFDに0をライトしたとき
1	[セット条件] (1) TGRDがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRDになったとき (2) TGRDがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRDに転送されたとき

オーバーフローフラグ

0	[クリア条件] TCFV = 1の状態ではTCFVをリード後、TCFVに0をライトしたとき
1	[セット条件] TCNTの値がオーバーフロー (H'FFFF H'0000) したとき

【注】* フラグをクリアするための0ライトのみ可能です。

H'FE86 : タイマカウンタ 3 TCNT3 : TPU3

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															

↑
アップカウンタ

H'FE88 : タイマジェネラルレジスタ 3A TGR3A : TPU3

H'FE8A : タイマジェネラルレジスタ 3B TGR3B : TPU3

H'FE8C : タイマジェネラルレジスタ 3C TGR3C : TPU3

H'FE8E : タイマジェネラルレジスタ 3D TGR3D : TPU3

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W															

H'FE90 : タイマコントロールレジスタ 4 TCR4 : TPU4

ビット :	7	6	5	4	3	2	1	0
	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	-	R/W						

タイマプリスケアラ

0	0	0	内部クロック : $\phi / 1$ でカウント
		1	内部クロック : $\phi / 4$ でカウント
	1	0	内部クロック : $\phi / 16$ でカウント
		1	内部クロック : $\phi / 64$ でカウント
1	0	0	外部クロック : TCLKA端子入力でカウント
		1	外部クロック : TCLKC端子入力でカウント
	1	0	内部クロック : $\phi / 1024$ でカウント
		1	TCNT5のオーバフロー / アンダフローでカウント

【注】チャンネル4が位相計数モード時、この設定は無効になります。

入力クロックのエッジを選択

0	0	立ち上がりエッジでカウント
	1	立ち下がりエッジでカウント
1	-	両エッジでカウント

【注】チャンネル4が位相計数モード時、この設定は無効になります。

カウンタクリア

0	0	TCNTのクリア禁止
	1	TGRAのコンペアマッチ / インพุットキャプチャでTCNTクリア
1	0	TGRBのコンペアマッチ / インพุットキャプチャでTCNTクリア
	1	同期クリア / 同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*

【注】* 同期動作の設定は、TSYRのSYNCビットを1にすることにより行います。

H'FE91 : タイマモードレジスタ 4 TMDR4 : TPU4

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	MD3	MD2	MD1	MD0
初期値 :	1	1	0	0	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

モード

0	0	0	0	通常動作
		1	0	リザーブ
		1	0	PWMモード1
			1	PWMモード2
	1	0	0	位相計数モード1
			1	位相計数モード2
		1	0	位相計数モード3
			1	位相計数モード4
1	*	*	*	-

* : Don't care

【注】 MD3はリザーブビットです。
 ライト時には常に0を書き込んでください。

H'FE92 : タイマ I/O コントロールレジスタ 4 TIOR4 : TPU4

ビット :	7	6	5	4	3	2	1	0
	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

TGR4A I/Oコントロール

0	0	0	0	TGR4Aは	出力禁止			
				1	アウトプット	初期出力は0出力	コンペアマッチで0出力	
				1	コンペア レジスタ	コンペアマッチで1出力	コンペアマッチでトグル出力	
	1	0	0	0	出力禁止			
					1	初期出力は1出力	コンペアマッチで0出力	
					1	コンペアマッチで1出力		
					1	コンペアマッチでトグル出力		
	1	0	0	0	TGR4Aは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ	
					1	インプット	TIOCA4端子	立ち下がりエッジでインプットキャプチャ
					1	* キャプチャ	両エッジでインプットキャプチャ	
					1	* レジスタ	キャプチャ入力元は	TGR3Aのコンペアマッチ / インプットキャ TGR3Aコンペアマッチ/ インプットキャプチャ

* : Don't care

TGR4B I/Oコントロール

0	0	0	0	TGR4Bは	出力禁止			
				1	アウトプット	初期出力は0出力	コンペアマッチで0出力	
				1	コンペア レジスタ	コンペアマッチで1出力	コンペアマッチでトグル出力	
	1	0	0	0	出力禁止			
					1	初期出力は1出力	コンペアマッチで0出力	
					1	コンペアマッチで1出力		
					1	コンペアマッチでトグル出力		
	1	0	0	0	TGR4Bは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ	
					1	インプット	TIOCB4端子	立ち下がりエッジでインプットキャプチャ
					1	* キャプチャ	両エッジでインプットキャプチャ	
					1	* レジスタ	キャプチャ入力元は	TGR3Cのコンペアマッチ / インプットキャ TGR3Cコンペアマッチ/ インプットキャプチャ

* : Don't care

H'FE94 : タイマインタラプトイネーブルレジスタ 4 TIER4 : TPU4

ビット :	7	6	5	4	3	2	1	0
	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA
初期値 :	0	1	0	0	0	0	0	0
R/W :	R/W	-	R/W	R/W	-	-	R/W	R/W

TGRインタラプトイネーブルA

0	TGFAビットによる割り込み要求 (TGIA) を禁止
1	TGFAビットによる割り込み要求 (TGIA) を許可

TGRインタラプトイネーブルB

0	TGFBビットによる割り込み要求 (TGIB) を禁止
1	TGFBビットによる割り込み要求 (TGIB) を許可

オーバーフローインタラプトイネーブル

0	TCFVによる割り込み要求 (TCIV) を禁止
1	TCFVによる割り込み要求 (TCIV) を許可

アンダフローインタラプトイネーブル

0	TCFUによる割り込み要求 (TCIU) を禁止
1	TCFUによる割り込み要求 (TCIU) を許可

A/D変換開始要求イネーブル

0	A/D変換開始要求の発生を禁止
1	A/D変換開始要求の発生を許可

H'FE95 : タイマステータスレジスタ 4 TSR4 : TPU4

ビット :	7	6	5	4	3	2	1	0
	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	-	R/(W)*	R/(W)*	-	-	R/(W)*	R/(W)*

TGRAインプットキャプチャ/アウトプットコンペアフラグ

0	[クリア条件] (1) TGIA割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFA = 1の状態ではTGFAをリード後、TGFAに0をライトしたとき
1	[セット条件] (1) TGRAがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRAになったとき (2) TGRAがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRAに転送されたとき

TGRBインプットキャプチャ/アウトプットコンペアフラグ

0	[クリア条件] (1) TGIB割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFB = 1の状態ではTGFBをリード後、TGFBに0をライトしたとき
1	[セット条件] (1) TGRBがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRBになったとき (2) TGRBがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRBに転送されたとき

オーバーフローフラグ

0	[クリア条件] TCFV = 1の状態ではTCFVをリード後、TCFVに0をライトしたとき
1	[セット条件] TCNTの値がオーバーフロー (H'FFFF→H'0000) したとき

アンダフローフラグ

0	[クリア条件] TCFU = 1の状態ではTCFUをリード後、TCFUに0をライトしたとき
1	[セット条件] TCNTの値がアンダフロー (H'0000→H'FFFF) したとき

カウント方向フラグ

0	TCNTはダウンカウント
1	TCNTはアップカウント

【注】* フラグをクリアするための0ライトのみ可能です。

H'FE96 : タイマカウンタ 4 TCNT4 : TPU4

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															

↑

アップ / ダウンカウンタ*

【注】* 位相計数モード、他のチャネルのオーバーフロー / アンダフローのカウント時のみアップ / ダウンカウンタとして使用できます。それ以外の場合はアップカウンタになります。

H'FE98 : タイマジェネラルレジスタ 4A TGR4A : TPU4

H'FE9A : タイマジェネラルレジスタ 4B TGR4B : TPU4

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W															

H'FEA0 : タイマコントロールレジスタ 5 TCR5 : TPU5

ビット :	7	6	5	4	3	2	1	0
	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	-	R/W						

タイマプリスケアラ

0	0	0	内部クロック : $\phi / 1$ でカウント
		1	内部クロック : $\phi / 4$ でカウント
	1	0	内部クロック : $\phi / 16$ でカウント
		1	内部クロック : $\phi / 64$ でカウント
1	0	0	外部クロック : TCLKA端子入力でカウント
		1	外部クロック : TCLKC端子入力でカウント
	1	0	内部クロック : $\phi / 256$ でカウント
		1	外部クロック : TCLKD端子入力でカウント

【注】チャンネル5が位相計数モード時、この設定は無効になります。

入力クロックのエッジを選択

0	0	立ち上がりエッジでカウント
	1	立ち下がりエッジでカウント
1	-	両エッジでカウント

【注】チャンネル5が位相計数モード時、この設定は無効になります。

カウンタクリア

0	0	TCNTのクリア禁止
	1	TGRAのコンペアマッチ / インพุットキャプチャでTCNTクリア
1	0	TGRBのコンペアマッチ / インพุットキャプチャでTCNTクリア
	1	同期クリア / 同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*

【注】* 同期動作の設定は、TSYRのSYNCビットを1にすることにより行います。

H'FEA1 : タイマモードレジスタ5 TMDR5 : TPU5

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	MD3	MD2	MD1	MD0
初期値 :	1	1	0	0	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

モード

0	0	0	0	通常動作
		1	0	リザーブ
		1	0	PWMモード1
			1	PWMモード2
	1	0	0	位相計数モード1
			1	位相計数モード2
		1	0	位相計数モード3
			1	位相計数モード4
1	*	*	*	-

* : Don't care

【注】 MD3はリザーブビットです。
 ライト時には常に0を書き込んでください。

H'FEA2 : タイマ I/O コントロールレジスタ 5 TIOR5 : TPU5

ビット :	7	6	5	4	3	2	1	0
	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

TGR5A I/Oコントロール

0	0	0	0	0	TGR5Aは	出力禁止		
					1	アウトプット	初期出力は0出力	コンペアマッチで0出力
					1	0	コンペア	コンペアマッチで1出力
							レジスタ	コンペアマッチでトグル出力
	1	0	0	0	TGR5Aは	出力禁止		
					1	初期出力は1出力	コンペアマッチで0出力	
					1	0	コンペアマッチで1出力	
							コンペアマッチでトグル出力	
	1	*	0	0	TGR5Aは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ	
					1	インプット	TIOCA5端子	立ち下がりエッジでインプットキャプチャ
					1	キャプチャ	両エッジでインプットキャプチャ	
					1	*	レジスタ	

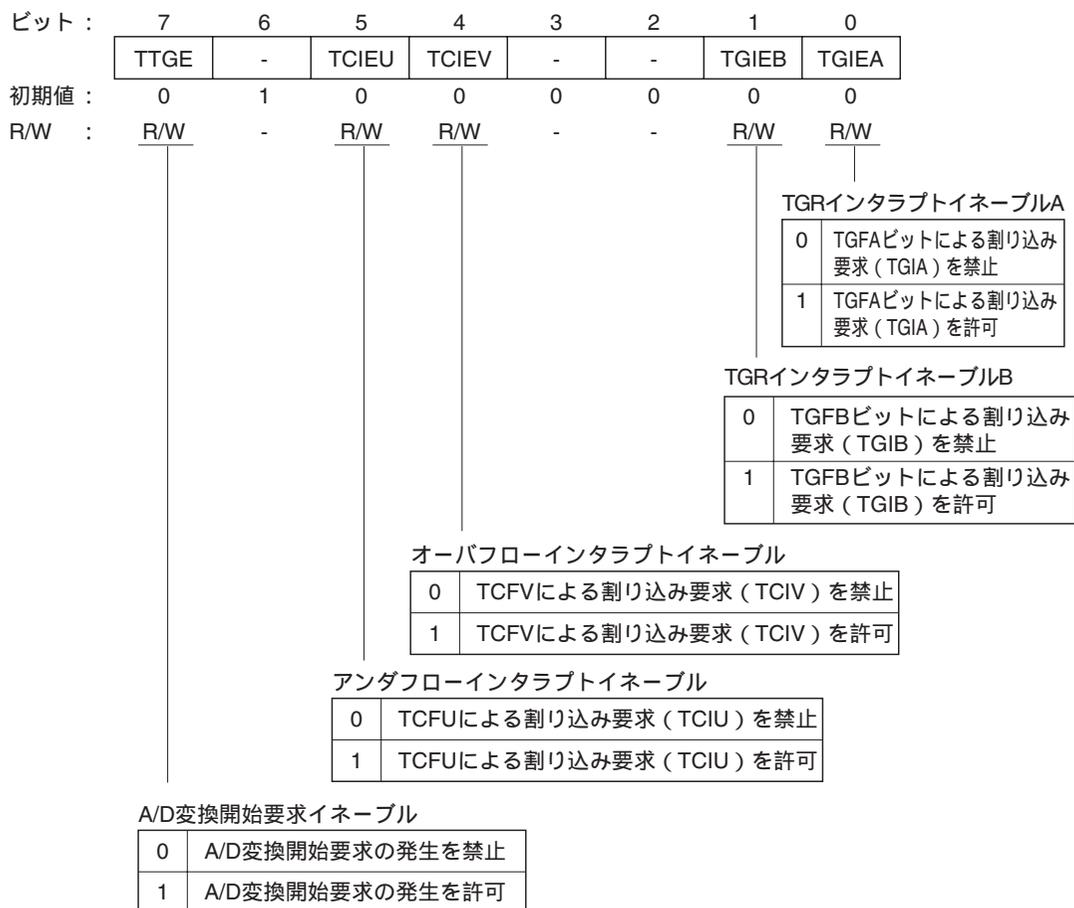
* : Don't care

TGR5B I/Oコントロール

0	0	0	0	0	TGR5Bは	出力禁止		
					1	アウトプット	初期出力は0出力	コンペアマッチで0出力
					1	0	コンペア	コンペアマッチで1出力
							レジスタ	コンペアマッチでトグル出力
	1	0	0	0	TGR5Bは	出力禁止		
					1	初期出力は1出力	コンペアマッチで0出力	
					1	0	コンペアマッチで1出力	
							コンペアマッチでトグル出力	
	1	*	0	0	TGR5Bは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ	
					1	インプット	TIOCB5端子	立ち下がりエッジでインプットキャプチャ
					1	キャプチャ	両エッジでインプットキャプチャ	
					1	*	レジスタ	

* : Don't care

H'FEA4 : タイムインタラプトイネーブルレジスタ 5 TIER5 : TPU5



H'FEA5 : タイマステータスレジスタ 5 TSR5 : TPU5

ビット :	7	6	5	4	3	2	1	0
	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	-	R/(W)*	R/(W)*	-	-	R/(W)*	R/(W)*

TGRAインプットキャプチャ / アウトプットコンペアフラグ

0	〔クリア条件〕 (1) TGIA割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFA = 1の状態ではTGFAをリード後、TGFAに0をライトしたとき
1	〔セット条件〕 (1) TGRAがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRAになったとき (2) TGRAがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRAに転送されたとき

TGRBインプットキャプチャ / アウトプットコンペアフラグ

0	〔クリア条件〕 (1) TGRB割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFB = 1の状態ではTGFBをリード後、TGFBに0をライトしたとき
1	〔セット条件〕 (1) TGRBがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRBになったとき (2) TGRBがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRBに転送されたとき

オーバーフローフラグ

0	〔クリア条件〕 TCFV = 1の状態ではTCFVをリード後、TCFVに0をライトしたとき
1	〔セット条件〕 TCNTの値がオーバーフロー (H'FFFF→H'0000) したとき

アンダフローフラグ

0	〔クリア条件〕 TCFU = 1の状態ではTCFUをリード後、TCFUに0をライトしたとき
1	〔セット条件〕 TCNTの値がアンダフロー (H'0000→H'FFFF) したとき

カウント方向フラグ

0	TCNTはダウンカウント
1	TCNTはアップカウント

【注】* フラグをクリアするための0ライトのみ可能です。

H'FEA6 : タイマカウンタ 5 TCNT5 : TPU5

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															

↑
アップ / ダウンカウンタ*

【注】* 位相計数モード、他のチャネルのオーバフロー / アンダフローのカウント時のみアップ / ダウンカウンタとして使用できます。それ以外の場合はアップカウンタになります。

H'FEA8 : タイマジェネラルレジスタ 5A TGR5A : TPU5

H'FEAA : タイマジェネラルレジスタ 5B TGR5B : TPU5

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W															

H'FEB0 : ポート 1 データディレクションレジスタ P1DDR : ポート 1

ビット :	7	6	5	4	3	2	1	0
	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

↑
ポート1の各端子の入出力を指定

H'FEB1 : ポート 2 データディレクションレジスタ P2DDR : ポート 2

ビット :	7	6	5	4	3	2	1	0
	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

|

ポート2の各端子の入出力を指定

H'FEB2 : ポート 3 データディレクションレジスタ P3DDR : ポート 3

ビット :	7	6	5	4	3	2	1	0
	-	-	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR
初期値 :	不定	不定	0	0	0	0	0	0
R/W :	-	-	W	W	W	W	W	W

|

ポート3の各端子の入出力を指定

H'FEB4 : ポート 5 データディレクションレジスタ P5DDR : ポート 5

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	P53DDR	P52DDR	P51DDR	P50DDR
初期値 :	不定	不定	不定	不定	0	0	0	0
R/W :	-	-	-	-	W	W	W	W

|

ポート5の各端子の入出力を指定

H'FEB5 : ポート 6 データディレクションレジスタ P6DDR : ポート 6

ビット :	7	6	5	4	3	2	1	0
	P67DDR	P66DDR	P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

|

ポート6の各端子の入出力を指定

H'FEB9 : ポート A データディレクションレジスタ PADDR : ポート A

ビット :	7	6	5	4	3	2	1	0
	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポートAの各端子の入出力を指定

H'FEBA : ポート B データディレクションレジスタ PBDDR : ポート B

ビット :	7	6	5	4	3	2	1	0
	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポートBの各端子の入出力を指定

H'FEBB : ポート C データディレクションレジスタ PCDDR : ポート C

ビット :	7	6	5	4	3	2	1	0
	PC7DDR	PC6DDR	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	PC0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポートCの各端子の入出力を指定

H'FEBC : ポート D データディレクションレジスタ PDDDR : ポート D

ビット :	7	6	5	4	3	2	1	0
	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

|
 ポートDの各端子の入出力を指定

H'FEBD : ポート E データディレクションレジスタ PEDDR : ポート E

ビット :	7	6	5	4	3	2	1	0
	PE7DDR	PE6DDR	PE5DDR	PE4DDR	PE3DDR	PE2DDR	PE1DDR	PE0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

|
 ポートEの各端子の入出力を指定

H'FEBE : ポート F データディレクションレジスタ PFDDR : ポート F

ビット :	7	6	5	4	3	2	1	0
	PF7DDR	PF6DDR	PF5DDR	PF4DDR	PF3DDR	PF2DDR	PF1DDR	PF0DDR
モード1、2、4~6								
初期値 :	1	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W
モード3、7								
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

|
 ポートFの各端子の入出力を指定

H'FEBF : ポート G データディレクションレジスタ PGDDR : ポート G

ビット :	7	6	5	4	3	2	1	0
				PG4DDR	PG3DDR	PG2DDR	PG1DDR	PG0DDR

モード1、4、5

初期値 : 不定 不定 不定 1 0 0 0 0

R/W : W W W W W

モード2、3、6、7

初期値 : 不定 不定 不定 0 0 0 0 0

R/W : W W W W W

ポートGの各端子の入出力を指定

H'FEC4 : インタラプトプライオリティレジスタ A	IPRA	: 割り込みコントローラ
H'FEC5 : インタラプトプライオリティレジスタ B	IPRB	: 割り込みコントローラ
H'FEC6 : インタラプトプライオリティレジスタ C	IPRC	: 割り込みコントローラ
H'FEC7 : インタラプトプライオリティレジスタ D	IPRD	: 割り込みコントローラ
H'FEC8 : インタラプトプライオリティレジスタ E	IPRE	: 割り込みコントローラ
H'FEC9 : インタラプトプライオリティレジスタ F	IPRF	: 割り込みコントローラ
H'FECA : インタラプトプライオリティレジスタ G	IPRG	: 割り込みコントローラ
H'FECB : インタラプトプライオリティレジスタ H	IPRH	: 割り込みコントローラ
H'FECC : インタラプトプライオリティレジスタ I	IPRI	: 割り込みコントローラ
H'FECD : インタラプトプライオリティレジスタ J	IPRJ	: 割り込みコントローラ
H'FECE : インタラプトプライオリティレジスタ K	IPRK	: 割り込みコントローラ

ビット :	7	6	5	4	3	2	1	0
	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0
初期値 :	0	1	1	1	0	1	1	1
R/W :	-	R/W	R/W	R/W	-	R/W	R/W	R/W

割り込み要因の優先順位 (レベル7~0) の設定

各割り込み要因とIPRの対応

レジスタ	ビット	
	6~4	2~0
IPRA	IRQ0	IRQ1
IPRB	IRQ2	IRQ4
	IRQ3	IRQ5
IPRC	IRQ6	DTC
	IRQ7	
IPRD	WDT	- *
IPRE	- *	A/D変換器
IPRF	TPUチャンネル0	TPUチャンネル1
IPRG	TPUチャンネル2	TPUチャンネル3
IPRH	TPUチャンネル4	TPUチャンネル5
IPRI	8ビットタイマチャンネル0	8ビットタイマチャンネル1
IPRJ	- *	SCIチャンネル0
IPRK	SCIチャンネル1	SCIチャンネル2

【注】* リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

H'FED0 : バス幅コントロールレジスタ ABWCR : バスコントローラ

ビット :	7	6	5	4	3	2	1	0
	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0
モード1~3、5~7								
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W							
モード4								
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

エリア7~0バス幅コントロール

0	エリアnを16ビットアクセス空間に設定
1	エリアnを8ビットアクセス空間に設定

(n=7~0)

H'FED1 : アクセスステートコントロールレジスタ ASTCR : バスコントローラ

ビット :	7	6	5	4	3	2	1	0
	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W							

エリア7~0アクセスステートコントロール

0	エリアnを2ステートアクセス空間に設定 エリアnの外部空間アクセスにウェイトステートの挿入を禁止
1	エリアnの外部空間アクセスは3ステートアクセス エリアnの外部空間アクセスにウェイトステートの挿入を許可

(n=7~0)

H'FED2 : ウェイトコントロールレジスタ H WCRH : バスコントローラ

ビット :	7	6	5	4	3	2	1	0
	W71	W70	W61	W60	W51	W50	W41	W40
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W							

エリア4ウェイトコントロール

0	0	プログラムウェイトを挿入しない
	1	プログラムウェイトを1ステート挿入
1	0	プログラムウェイトを2ステート挿入
	1	プログラムウェイトを3ステート挿入

エリア5ウェイトコントロール

0	0	プログラムウェイトを挿入しない
	1	プログラムウェイトを1ステート挿入
1	0	プログラムウェイトを2ステート挿入
	1	プログラムウェイトを3ステート挿入

エリア6ウェイトコントロール

0	0	プログラムウェイトを挿入しない
	1	プログラムウェイトを1ステート挿入
1	0	プログラムウェイトを2ステート挿入
	1	プログラムウェイトを3ステート挿入

エリア7ウェイトコントロール

0	0	プログラムウェイトを挿入しない
	1	プログラムウェイトを1ステート挿入
1	0	プログラムウェイトを2ステート挿入
	1	プログラムウェイトを3ステート挿入

H'FED3 : ウェイトコントロールレジスタ L WCRL : バスコントローラ

ビット :	7	6	5	4	3	2	1	0
	W31	W30	W21	W20	W11	W10	W01	W00
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W							

エリア0ウェイトコントロール

0	0	プログラムウェイトを挿入しない
	1	プログラムウェイトを1ステート挿入
1	0	プログラムウェイトを2ステート挿入
	1	プログラムウェイトを3ステート挿入

エリア1ウェイトコントロール

0	0	プログラムウェイトを挿入しない
	1	プログラムウェイトを1ステート挿入
1	0	プログラムウェイトを2ステート挿入
	1	プログラムウェイトを3ステート挿入

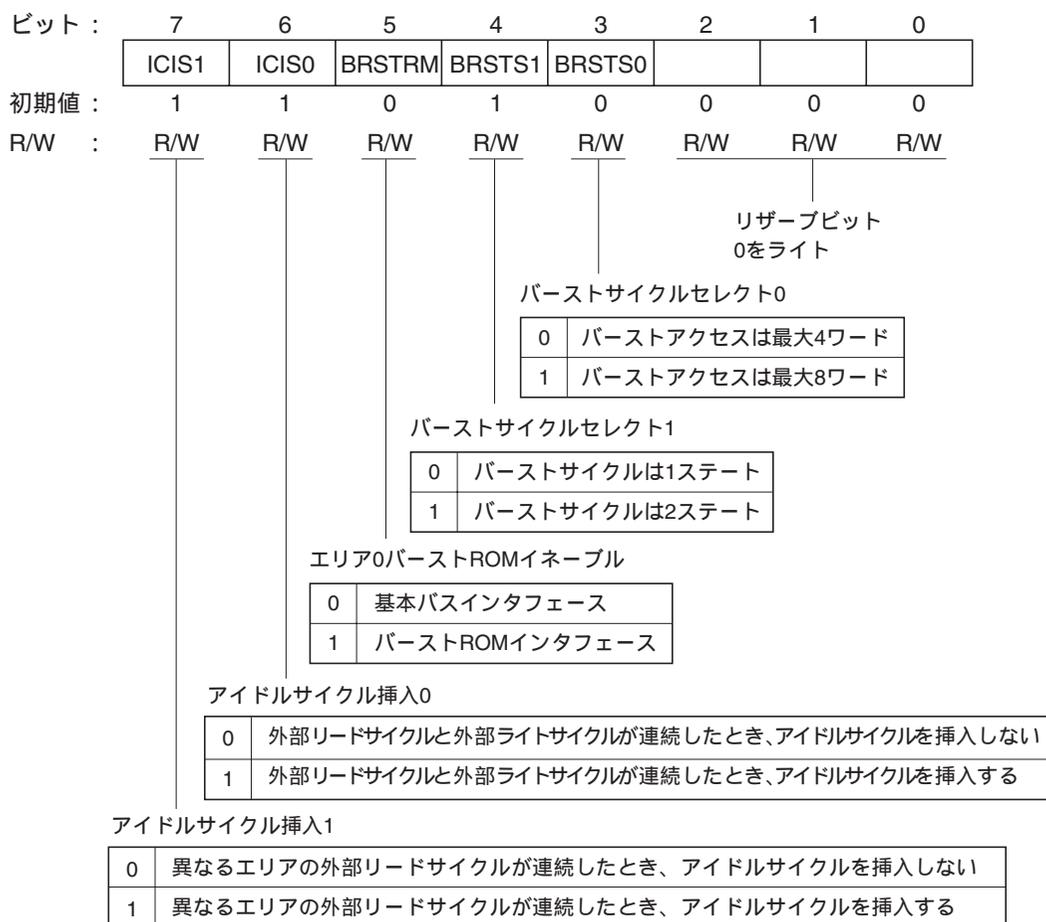
エリア2ウェイトコントロール

0	0	プログラムウェイトを挿入しない
	1	プログラムウェイトを1ステート挿入
1	0	プログラムウェイトを2ステート挿入
	1	プログラムウェイトを3ステート挿入

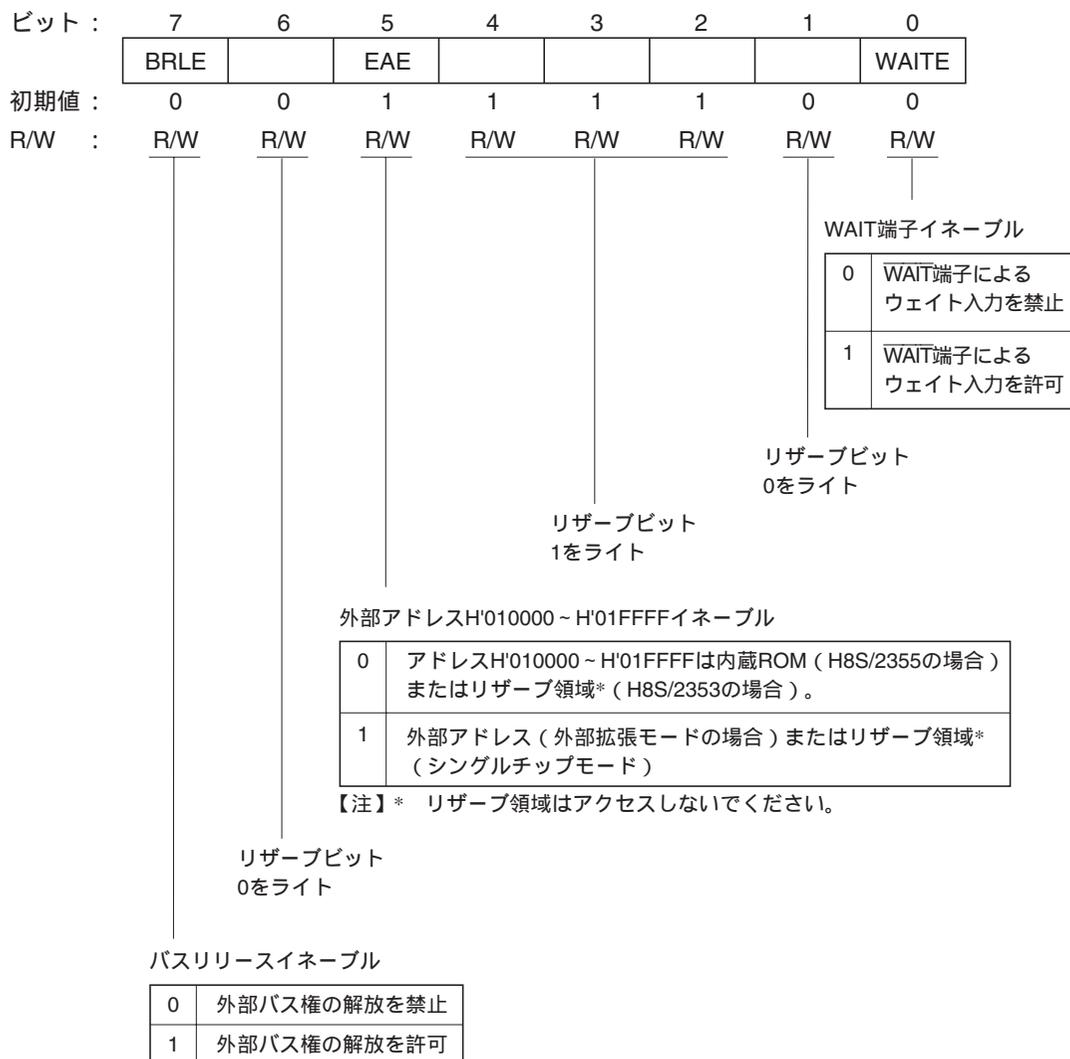
エリア3ウェイトコントロール

0	0	プログラムウェイトを挿入しない
	1	プログラムウェイトを1ステート挿入
1	0	プログラムウェイトを2ステート挿入
	1	プログラムウェイトを3ステート挿入

H'FED4 : バスコントロールレジスタ H BCRH : バスコントローラ



H'FED5 : バスコントロールレジスタ L BCRL : バスコントローラ



H'FF2C : IRQ センスコントロールレジスタ H ISCRH : 割り込みコントローラ

H'FF2D : IRQ センスコントロールレジスタ L ISCRL : 割り込みコントローラ

ISCRH

ビット :	15	14	13	12	11	10	9	8
	IRQ7SCB	IRQ7SCA	IRQ6SCB	IRQ6SCA	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

IRQ7 ~ IRQ4 センスコントロール

ISCRL

ビット :	7	6	5	4	3	2	1	0
	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

IRQ3 ~ IRQ0 センスコントロール

IRQnSCB	IRQnSCA	割り込み要求の発生
0	0	$\overline{\text{IRQn}}$ 入力の Low レベル
	1	$\overline{\text{IRQn}}$ 入力の 立ち下がリエッジ
1	0	$\overline{\text{IRQn}}$ 入力の 立ち上がりエッジ
	1	$\overline{\text{IRQn}}$ 入力の 立ち下がり、立ち上がり両エッジ

(n = 7 ~ 0)

H'FF2E : IRQ イネーブルレジスタ IER : 割り込みコントローラ

ビット :	7	6	5	4	3	2	1	0
	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

IRQnイネーブル

0	IRQn割り込みを禁止
1	IRQn割り込みを許可

(n=7~0)

H'FF2F : IRQ ステータスレジスタ ISR : 割り込みコントローラ

ビット :	7	6	5	4	3	2	1	0
	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*							

IRQ7 ~ IRQ0割り込み要求のステータス表示

【注】* フラグをクリアするための0ライトのみ可能です。

H'FF30 ~ H'FF35 : DTC イネーブルレジスタ DTCE7 : DTCE0

ビット :	7	6	5	4	3	2	1	0
	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

DTC起動イネーブル

0	割り込みによるDTC起動を禁止 [クリア条件] ・ DISELビットが1でデータ転送を終了したとき ・ 指定した回数の転送が終了したとき
1	割り込みによるDTC起動を許可 [保持条件] DISELビットが0で、指定した回数の転送が終了していないとき

割り込み要因と DTCR の対応

レジスタ	ビット							
	7	6	5	4	3	2	1	0
DTCERA	IRQ0	IRQ1	IRQ2	IRQ3	IRQ4	IRQ5	IRQ6	IRQ7
DTCERB		ADI	TGI0A	TGI0B	TGI0C	TGI0D	TGI1A	TGI1B
DTCERC	TGI2A	TGI2B	TGI3A	TGI3B	TGI3C	TGI3D	TGI4A	TGI4B
DTCERD			TGI5A	TGI5B	CMIA0	CMIB0	CMIA1	CMIB1
DTCERE					RX10	TX10	RX11	TX11
DTCERF	RX12	TX12						

H'FF37 : DTC ベクタレジスタ DTVECR : DTC

ビット :	7	6	5	4	3	2	1	0
	SWDTE	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/W						

DTCソフトウェア起動のベクタ番号を設定

DTCソフトウェア起動イネーブル

0	DTCソフトウェア起動を禁止 [クリア条件] DISELビットが0で、指定した回数の転送が終了していないとき
1	DTCソフトウェア起動を許可 [保持条件] ・ DISELビットが1でデータ転送を終了したとき ・ 指定した回数の転送が終了したとき ・ ソフトウェア起動によるデータ転送中

【注】* SWDTEビットは、1ライトは常時可能ですが、0ライトは1リード後にのみ可能となります。

H'FF38 : スタンバイコントロールレジスタ SBYCR : 低消費電力

ビット :	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	OPE	-	-	-
初期値 :	0	0	0	0	1	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	-	-	R/W

リザーブビット
0をライト

出力ポートイネーブル

0	ソフトウェアスタンバイモード時、アドレスバス、バス制御信号はハイインピーダンス
1	ソフトウェアスタンバイモード時、アドレスバス、バス制御信号は出力状態を保持

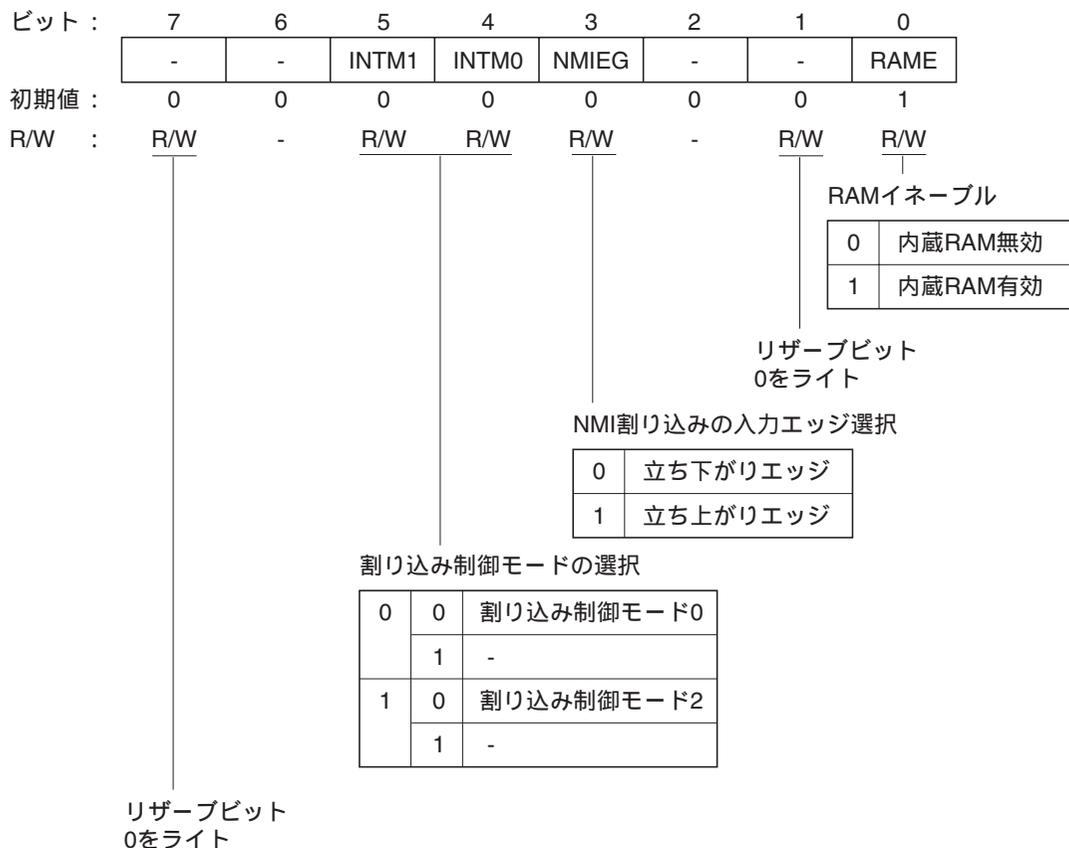
スタンバイタイムセレクト

0	0	0	待機時間 = 8192 ステート
		1	待機時間 = 16384 ステート
	1	0	待機時間 = 32768 ステート
		1	待機時間 = 65536 ステート
1	0	0	待機時間 = 131072 ステート
		1	待機時間 = 262144 ステート
	1	0	リザーブ
		1	待機時間 = 16 ステート

ソフトウェアスタンバイ

0	SLEEP命令実行後、スリープモードに遷移
1	SLEEP命令実行後、ソフトウェアスタンバイモードに遷移

H'FF39 : システムコントロールレジスタ SYSCR : MCU



H'FF3A : システムクロックコントロールレジスタ SCKCR : クロック発振器

ビット :	7	6	5	4	3	2	1	0
	PSTOP	-	-	-	-	SCK2	SCK1	SCK0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	-	-	-	R/W	R/W	R/W

バスマスタのクロックの選択

0	0	0	バスマスタは高速モード
		1	中速クロックは $\phi/2$
	1	0	中速クロックは $\phi/4$
		1	中速クロックは $\phi/8$
1	0	0	中速クロックは $\phi/16$
		1	中速クロックは $\phi/32$
	1		

 ϕ クロック出力制御

PSTOP	通常動作状態	スリープモード	ソフトウェアスタンバイモード	ハードウェアスタンバイモード
0	ϕ 出力	ϕ 出力	Highレベル固定	ハイインピーダンス
1	Highレベル固定	Highレベル固定	Highレベル固定	ハイインピーダンス

H'FF3B : モードコントロールレジスタ MDCR : MCU

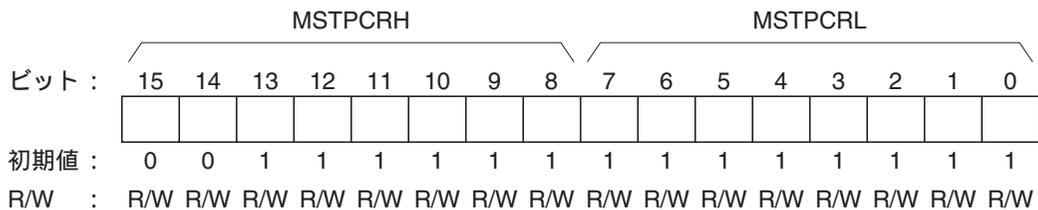
ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	MDS2	MDS1	MDS0
初期値 :	1	0	0	0	0	- *	- *	- *
R/W :	-	-	-	-	-	R	R	R

モード端子の現在の動作モード

【注】* MD₂ ~ MD₀端子により決定されます。

H'FF3C : モジュールストップコントロールレジスタH MSTPCRH : 低消費電力

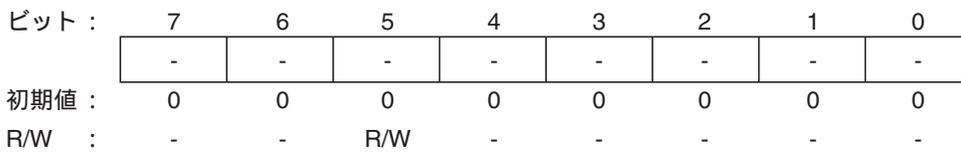
H'FF3D : モジュールストップコントロールレジスタL MSTPCRL : 低消費電力



モジュールストップモードを指定

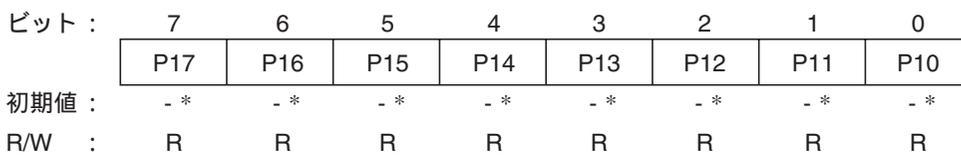
0	モジュールストップモード解除
1	モジュールストップモード設定

H'FF44 : リザーブレジスタ



リザーブビット
0をライト

H'FF50 : ポート1 レジスタ PORT1 : ポート1



ポート1の各端子の状態

【注】* P₁₇~P₁₀端子の状態により決定されます。

H'FF51 : ポート 2 レジスタ PORT2 : ポート 2

ビット :	7	6	5	4	3	2	1	0
	P27	P26	P25	P24	P23	P22	P21	P20
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

|
ポート2の各端子の状態

【注】* P2₇ ~ P2₀端子の状態により決定されます。

H'FF52 : ポート 3 レジスタ PORT3 : ポート 3

ビット :	7	6	5	4	3	2	1	0
	-	-	P35	P34	P33	P32	P31	P30
初期値 :	不定	不定	- *	- *	- *	- *	- *	- *
R/W :	-	-	R	R	R	R	R	R

|
ポート3の各端子の状態

【注】* P3₅ ~ P3₀端子の状態により決定されます。

H'FF53 : ポート 4 レジスタ PORT4 : ポート 4

ビット :	7	6	5	4	3	2	1	0
	P47	P46	P45	P44	P43	P42	P41	P40
初期値 :	- *	- *	- *	- *	- *	- *	*	- *
R/W :	R	R	R	R	R	R	R	R

|
ポート4の各端子の状態

【注】* P4₇ ~ P4₀端子の状態により決定されます。

H'FF54 : ポート 5 レジスタ PORT5 : ポート 5

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	P53	P52	P51	P50
初期値 :	不定	不定	不定	不定	- *	- *	- *	- *
R/W :	-	-	-	-	R	R	R	R

ポート5の各端子の状態

【注】* P5₃ ~ P5₀端子の状態により決定されます。

H'FF55 : ポート 6 レジスタ PORT6 : ポート 6

ビット :	7	6	5	4	3	2	1	0
	P67	P66	P65	P64	P63	P62	P61	P60
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

ポート6の各端子の状態

【注】* P6₇ ~ P6₀端子の状態により決定されます。

H'FF59 : ポート A レジスタ PORTA : ポート A

ビット :	7	6	5	4	3	2	1	0
	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

ポートAの各端子の状態

【注】* PA₇ ~ PA₀端子の状態により決定されます。

H'FF5A : ポート B レジスタ PORTB : ポート B

ビット :	7	6	5	4	3	2	1	0
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

|
ポートBの各端子の状態

【注】* PB₇~PB₀端子の状態により決定されます。

H'FF5B : ポート C レジスタ PORTC : ポート C

ビット :	7	6	5	4	3	2	1	0
	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

|
ポートCの各端子の状態

【注】* PC₇~PC₀端子の状態により決定されます。

H'FF5C : ポート D レジスタ PORTD : ポート D

ビット :	7	6	5	4	3	2	1	0
	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

|
ポートDの各端子の状態

【注】* PD₇~PD₀端子の状態により決定されます。

H'FF5D : ポート E レジスタ PORTE : ポート E

ビット :	7	6	5	4	3	2	1	0
	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

ポートEの各端子の状態

【注】* PE₇~PE₀端子の状態により決定されます。

H'FF5E : ポート F レジスタ PORTF : ポート F

ビット :	7	6	5	4	3	2	1	0
	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

ポートFの各端子の状態

【注】* PF₇~PF₀端子の状態により決定されます。

H'FF5F : ポート G レジスタ PORTG : ポート G

ビット :	7	6	5	4	3	2	1	0
	-	-	-	PG4	PG3	PG2	PG1	PG0
初期値 :	不定	不定	不定	- *	- *	- *	- *	- *
R/W :	-	-	-	R	R	R	R	R

ポートGの各端子の状態

【注】* PG₄~PG₀端子の状態により決定されます。

H'FF60 : ポート 1 データレジスタ P1DR : ポート 1

ビット :	7	6	5	4	3	2	1	0
	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ポート1の各端子 (P1₇~P1₀) の出力データを格納

H'FF61 : ポート 2 データレジスタ P2DR : ポート 2

ビット :	7	6	5	4	3	2	1	0
	P27DR	P26DR	P25DR	P24DR	P23DR	P22DR	P21DR	P20DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ポート2の各端子 (P2₇~P2₀) の出力データを格納

H'FF62 : ポート 3 データレジスタ P3DR : ポート 3

ビット :	7	6	5	4	3	2	1	0
	-	-	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR
初期値 :	不定	不定	0	0	0	0	0	0
R/W :	-	-	R/W	R/W	R/W	R/W	R/W	R/W

ポート3の各端子 (P3₅~P3₀) の出力データを格納

H'FF64 : ポート 5 データレジスタ P5DR : ポート 5

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	P53DR	P52DR	P51DR	P50DR
初期値 :	不定	不定	不定	不定	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

ポート5の各端子 (P5₃~P5₀) の出力データを格納

H'FF65 : ポート 6 データレジスタ P6DR : ポート 6

ビット :	7	6	5	4	3	2	1	0
	P67DR	P66DR	P65DR	P64DR	P63DR	P62DR	P61DR	P60DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ポート6の各端子 (P6₇ ~ P6₀) の出力データを格納

H'FF69 : ポート A データレジスタ PADR : ポート A

ビット :	7	6	5	4	3	2	1	0
	PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	PA0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ポートAの各端子 (PA₇ ~ PA₀) の出力データを格納

H'FF6A : ポート B データレジスタ PBDR : ポート B

ビット :	7	6	5	4	3	2	1	0
	PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ポートBの各端子 (PB₇ ~ PB₀) の出力データを格納

H'FF6B : ポート C データレジスタ PCDR : ポート C

ビット :	7	6	5	4	3	2	1	0
	PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ポートCの各端子 (PC₇ ~ PC₀) の出力データを格納

H'FF6C : ポート D データレジスタ PDDR : ポート D

ビット :	7	6	5	4	3	2	1	0
	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ポートDの各端子 (PD₇~PD₀) の出力データを格納

H'FF6D : ポート E データレジスタ PEDR : ポート E

ビット :	7	6	5	4	3	2	1	0
	PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ポートEの各端子 (PE₇~PE₀) の出力データを格納

H'FF6E : ポート F データレジスタ PFDR : ポート F

ビット :	7	6	5	4	3	2	1	0
	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ポートFの各端子 (PF₇~PF₀) の出力データを格納

H'FF6F : ポート G データレジスタ PGDR : ポート G

ビット :	7	6	5	4	3	2	1	0
	-	-	-	PG4DR	PG3DR	PG2DR	PG1DR	PG0DR
初期値 :	不定	不定	不定	0	0	0	0	0
R/W :	-	-	-	R/W	R/W	R/W	R/W	R/W

ポートGの各端子 (PG₄~PG₀) の出力データを格納

H'FF70 : ポート A プルアップ MOS コントロールレジスタ PAPCR : ポート A

ビット :	7	6	5	4	3	2	1	0
	PA7PCR	PA6PCR	PA5PCR	PA4PCR	PA3PCR	PA2PCR	PA1PCR	PA0PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ポートAに内蔵された入力プルアップMOSをビットごとに制御

H'FF71 : ポート B プルアップ MOS コントロールレジスタ PBPCR : ポート B

ビット :	7	6	5	4	3	2	1	0
	PB7PCR	PB6PCR	PB5PCR	PB4PCR	PB3PCR	PB2PCR	PB1PCR	PB0PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ポートBに内蔵された入力プルアップMOSをビットごとに制御

H'FF72 : ポート C プルアップ MOS コントロールレジスタ PCPCR : ポート C

ビット :	7	6	5	4	3	2	1	0
	PC7PCR	PC6PCR	PC5PCR	PC4PCR	PC3PCR	PC2PCR	PC1PCR	PC0PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ポートCに内蔵された入力プルアップMOSをビットごとに制御

H'FF73 : ポート D プルアップ MOS コントロールレジスタ PDPCR : ポート D

ビット :	7	6	5	4	3	2	1	0
	PD7PCR	PD6PCR	PD5PCR	PD4PCR	PD3PCR	PD2PCR	PD1PCR	PD0PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ポートDに内蔵された入力プルアップMOSをビットごとに制御

H'FF74 : ポート E プルアップ MOS コントロールレジスタ PEPCR : ポート E

ビット :	7	6	5	4	3	2	1	0
	PE7PCR	PE6PCR	PE5PCR	PE4PCR	PE3PCR	PE2PCR	PE1PCR	PE0PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ポートEに内蔵された入力プルアップMOSをビットごとに制御

H'FF76 : ポート 3 オープンドレインコントロールレジスタ P3ODR : ポート 3

ビット :	7	6	5	4	3	2	1	0
	-	-	P35ODR	P34ODR	P33ODR	P32ODR	P31ODR	P30ODR
初期値 :	不定	不定	0	0	0	0	0	0
R/W :	-	-	R/W	R/W	R/W	R/W	R/W	R/W

ポート3の各端子 (P₃₅ ~ P₃₀) のPMOSのオン / オフを制御

H'FF77 : ポート A オープンドレインコントロールレジスタ PAODR : ポート A

ビット :	7	6	5	4	3	2	1	0
	PA7ODR	PA6ODR	PA5ODR	PA4ODR	PA3ODR	PA2ODR	PA1ODR	PA0ODR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ポートAの各端子 (PA₇ ~ PA₀) のPMOSのオン / オフを制御

H'FF78 : シリアルモードレジスタ0 SMR0 : SCIO

ビット :	7	6	5	4	3	2	1	0
	C/A	CHR	PE	O/E	STOP	MP	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト

0	0	φクロック
	1	φ / 4クロック
1	0	φ / 16クロック
	1	φ / 64クロック

マルチプロセッサモード

0	マルチプロセッサ機能の禁止
1	マルチプロセッサフォーマットを選択

ストップビットレングス

0	1ストップビット
1	2ストップビット

パリティモード

0	偶数パリティ
1	奇数パリティ

パリティイネーブル

0	パリティビットの付加、およびチェックを禁止
1	パリティビットの付加、およびチェックを許可

キャラクタレングス

0	8ビットデータ
1	7ビットデータ*

【注】* 7ビットデータを選択した場合、TDRのMSB (ビット7) は送信されません。

調歩同期式モード/クロック同期式モード選択

0	調歩同期式モード
1	クロック同期式モード

H'FF78 : シリアルモードレジスタ0 SMR0 : スマートカードインタフェース0

ビット :	7	6	5	4	3	2	1	0
	GM	CHR	PE	O/E	STOP	MP	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

0	0	φクロック
	1	φ/4クロック
1	0	φ/16クロック
	1	φ/64クロック

0	マルチプロセッサ機能の禁止
1	設定禁止

0	設定禁止
1	2ストップビット

0	偶数パリティ
1	奇数パリティ

0	設定禁止
1	パリティビットの付加、およびチェックを許可

0	8ビットデータ
1	設定禁止

GSMモード

0	通常のスマートカードインタフェースモードの動作 (1) TENDフラグが開始ビットの先頭から12.5etuのタイミングで発生 (2) クロック出力のON/OFF制御のみ
1	GSMモードのスマートカードインタフェースモードの動作 (1) TENDフラグが開始ビットの先頭から11.0etuのタイミングで発生 (2) クロック出力のON/OFF制御のほか、High/Low固定制御可能 (SCRで設定)

【注】 etu : Elementary time unit (1ビットの転送期間)

H'FF79 : ビットレートレジスタ 0 BRR0 : SCI0、スマートカードインタフェース 0

ビット :	7	6	5	4	3	2	1	0
	<input type="checkbox"/>							
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W							

シリアル送信 / 受信のビットレートを設定

【注】詳細は「12.2.8 ビットレートレジスタ (BRR)」を参照してください。

H'FF7A : シリアルコントロールレジスタ0 SCR0 : SCIO

ビット :	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックイネーブル

0	0	調歩同期式モード	内部クロック / SCK端子は入出力ポート
	1	クロック同期式モード	内部クロック / SCK端子は同期クロック出力
1	0	調歩同期式モード	内部クロック / SCK端子はクロック出力*1
	1	クロック同期式モード	内部クロック / SCK端子は同期クロック出力
1	0	調歩同期式モード	外部クロック / SCK端子はクロック入力*2
	1	クロック同期式モード	外部クロック / SCK端子は同期クロック入力
1	0	調歩同期式モード	外部クロック / SCK端子はクロック入力*2
	1	クロック同期式モード	外部クロック / SCK端子は同期クロック入力

【注】*1 ビットレートと同じ周波数のクロックを出力
*2 ビットレートの16倍の周波数のクロックを入力

トランスミットエンドインタラプトイネーブル

0	送信終了割り込み (TEI) 要求を禁止
1	送信終了割り込み (TEI) 要求を許可

マルチプロセッサインタラプトイネーブル

0	マルチプロセッサ割り込み禁止状態 [クリア条件] (1) MPIEビットを0にクリア (2) MPB = 1のデータを受信したとき
1	マルチプロセッサ割り込み許可状態 マルチプロセッサビットが1のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびSSRのRDRF、FER、ORERの各フラグのセットを禁止します。

レシーブイネーブル

0	受信動作を禁止
1	受信動作を許可

トランスミットイネーブル

0	送信動作を禁止
1	送信動作を許可

レシーブインタラプトイネーブル

0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

トランスミットインタラプトイネーブル

0	送信データエンプティ割り込み (TXI) 要求の禁止
1	送信データエンプティ割り込み (TXI) 要求の許可

H'FF7A : シリアルコントロールレジスタ 0 SCR0 : スマートカードインタフェース 0

ビット :

7	6	5	4	3	2	1	0
TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値 :	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックイネーブル

SMCR	SMR	SCRの設定		SCK端子機能の説明
SMIF	C/Ā,GM	CKE1	CKE0	
0				SCI指定参照
1	0	0	0	ポート入力端子として動作
1	0	0	1	SCK出力端子としてクロック出力
1	1	0	0	SCK出力端子としてLow出力固定
1	1	0	1	SCK出力端子としてクロック出力
1	1	1	0	SCK出力端子としてHigh出力固定
1	1	1	1	SCK出力端子としてクロック出力

トランスミットエンドインタラプトイネーブル

0	送信終了割り込み (TEI) 要求を禁止
1	送信終了割り込み (TEI) 要求を許可

マルチプロセッサインタラプトイネーブル

0	マルチプロセッサ割り込み禁止状態 [クリア条件] (1) MPIEビットを0にクリア (2) MPB = 1のデータを受信したとき
1	マルチプロセッサ割り込み許可状態 マルチプロセッサビットが1のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびSSRのRDRF、FER、ORERの各フラグのセットを禁止します。

レシーブイネーブル

0	受信動作を禁止
1	受信動作を許可

トランスミットイネーブル

0	送信動作を禁止
1	送信動作を許可

レシーブインタラプトイネーブル

0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

トランスミットインタラプトイネーブル

0	送信データエンプティ割り込み (TXI) 要求の禁止
1	送信データエンプティ割り込み (TXI) 要求の許可

H'FF7B : トランスミットデータレジスタ 0 TDR0 : SCI0、スマートカードインタフェース 0

ビット :	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W							

シリアル送信するデータを格納

H'FF7C : シリアルステータスレジスタ 0 SSR0 : SCIO

ビット :	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値 :	1	0	0	0	0	1	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

マルチプロセッサビットトランスファ	
0	マルチプロセッサビットが0のデータを送信
1	マルチプロセッサビットが1のデータを送信

マルチプロセッサビット	
0	[クリア条件] マルチプロセッサビットが0のデータを受信したとき
1	[セット条件] マルチプロセッサビットが1のデータを受信したとき

トランスミットエンド	
0	[クリア条件] (1) TDRE = 1の状態をリードした後、TDREフラグに0をライトしたとき (2) TXI割り込み要求によるDTCでTDRへデータをライトしたとき
1	[セット条件] (1) SCRのTEビットが0のとき (2) 1バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE = 1であったとき

パリティエラー	
0	[クリア条件] PER = 1の状態をリードした後、0をライトしたとき
1	[セット条件] 受信時の受信データとパリティビットをあわせた1の数が、SMRのO/Eビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき

フレーミングエラー	
0	[クリア条件] FER = 1の状態をリードした後、0をライトしたとき
1	[セット条件] SCIが受信終了時に受信データの最後尾のストップビットをチェックし、ストップビットが0であったとき

オーバランエラー	
0	[クリア条件] ORER = 1の状態をリードした後、0をライトしたとき
1	[セット条件] RDRF = 1の状態での次のシリアル受信を完了したとき

レシープデータレジスタフル	
0	[クリア条件] (1) RDRF = 1の状態をリードした後、0をライトしたとき (2) RXI割り込み要求によるDTCでRDRのデータをリードしたとき
1	[セット条件] シリアル受信が正常終了し、RSRからRDRへ受信データが転送されたとき

トランスミットデータレジスタエンプティ	
0	[クリア条件] (1) TDRE = 1の状態をリードした後、0をライトしたとき (2) TXI割り込み要求によるDTCでTDRへデータをライトしたとき
1	[セット条件] (1) SCRのTEビットが0のとき (2) TDRからTSRIにデータ転送が行われ、TDRにデータライトが可能になったとき

【注】* フラグをクリアするための0ライトのみ可能です。

H'FF7C : シリアルステータスレジスタ0 SSR0 : スマートカードインタフェース0

ビット :	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
初期値 :	1	0	0	0	0	1	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

マルチプロセッサビットトランスファ	
0	マルチプロセッサビットが0のデータを送信
1	マルチプロセッサビットが1のデータを送信

マルチプロセッサビット	
0	[クリア条件] マルチプロセッサビットが0のデータを受信したとき
1	[セット条件] マルチプロセッサビットが1のデータを受信したとき

トランスミットエンド	
0	[クリア条件] (1) TDRE = 1の状態をリードした後、TDREフラグに0をライトしたとき (2) TXI割り込み要求によるDTCでTDRへデータをライトしたとき
1	[セット条件] (1) リセット、スタンバイモード、またはモジュールストップモード時 (2) SCRのTEビットが0かつERSビットが0のとき (3) GM=0のとき1バイトのシリアルキャラクタを送信して、2.5etu 後に TDRE = 1かつERS = 0 (正常送信)のとき (4) GM=1のとき1バイトのシリアルキャラクタを送信して、1.0etu 後に TDRE = 1かつERS = 0 (正常送信)のとき

【注】 etu : Elementary time unit (1ビットの転送期間)

パリティエラー	
0	[クリア条件] PER = 1の状態をリードした後、0をライトしたとき
1	[セット条件] 受信時の受信データとパリティビットをあわせた1の数が、SMRのOEビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき

エラーシグナルステータス	
0	[クリア条件] (1) リセット、スタンバイモード、またはモジュールストップモード時 (2) ERS = 1の状態をリードした後、0をライトしたとき
1	[セット条件] エラーシグナルLowをサンプリングしたとき

【注】 SCRのTEビットを0にクリアしても、ERSフラグは影響を受けず以前の状態を保持します。

オーバランエラー	
0	[クリア条件] ORER = 1の状態をリードした後、0をライトしたとき
1	[セット条件] RDRF = 1の状態でのシリアル受信を完了したとき

レシーブデータレジスタフル	
0	[クリア条件] (1) RDRF = 1の状態をリードした後、0をライトしたとき (2) RXI割り込み要求によるDTCでRDRのデータをリードしたとき
1	[セット条件] シリアル受信が正常終了し、RSRからRDRへ受信データが転送されたとき

トランスミットデータレジスタエンpty	
0	[クリア条件] (1) TDRE = 1の状態をリードした後、0をライトしたとき (2) TXI割り込み要求によるDTCでTDRへデータをライトしたとき
1	[セット条件] (1) SCRのTEビットが0のとき (2) TDRからTSRIにデータ転送が行われ、TDRにデータライトが可能になったとき

【注】* フラグをクリアするための0ライトのみ可能です。

H'FF7D : レシーブデータレジスタ 0 RDR0 : SCI0、スマートカードインタフェース 0

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

受信したシリアルデータを格納

H'FF7E : スマートカードモードレジスタ 0 SCMR0 : SCI0、スマートカードインタフェース 0

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	SDIR	SINV	-	SMIF
初期値 :	1	1	1	1	0	0	1	0
R/W :	-	-	-	-	R/W	R/W	-	R/W

スマートカード
インタフェースモード選択

0	スマートカードインタフェース機能を禁止
1	スマートカードインタフェース機能を許可

データのロジックレベルの反転を指定

0	TDRの内容をそのまま送信 受信データをそのままRDRに格納
1	TDRの内容を反転してデータを 送信 受信データを反転してRDRに 格納

シリアル/パラレル変換フォーマット選択

0	TDRの内容をLSBファーストで送信 受信データをLSBファーストとしてRDRに格納
1	TDRの内容をMSBファーストで送信 受信データをMSBファーストとしてRDRに格納

H'FF80 : シリアルモードレジスタ1 SMR1 : SCI1

ビット :	7	6	5	4	3	2	1	0
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト

0	0	ϕ クロック
	1	$\phi/4$ クロック
1	0	$\phi/16$ クロック
	1	$\phi/64$ クロック

マルチプロセッサモード

0	マルチプロセッサ機能の禁止
1	マルチプロセッサフォーマットを選択

ストップビットレングス

0	1ストップビット
1	2ストップビット

パリティモード

0	偶数パリティ
1	奇数パリティ

パリティイネーブル

0	パリティビットの付加およびチェックを禁止
1	パリティビットの付加およびチェックを許可

キャラクタレングス

0	8ビットデータ
1	7ビットデータ*

【注】* 7ビットデータを選択した場合、TDRのMSB (ビット7) は送信されません。

調歩同期式モード/クロック同期式モード選択

0	調歩同期式モード
1	クロック同期式モード

H'FF80 : シリアルモードレジスタ1 SMR1 : スマートカードインタフェース 1

ビット :	7	6	5	4	3	2	1	0
	GM	CHR	PE	O/E	STOP	MP	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト

0	0	φクロック
	1	φ/4クロック
1	0	φ/16クロック
	1	φ/64クロック

マルチプロセッサモード

0	マルチプロセッサ機能の禁止
1	設定禁止

ストップビットレングス

0	設定禁止
1	2ストップビット

パリティモード

0	偶数パリティ
1	奇数パリティ

パリティイネーブル

0	設定禁止
1	パリティビットの付加およびチェックを許可

キャラクタレングス

0	8ビットデータ
1	設定禁止

GSMモード

0	通常のスマートカードインタフェースモードの動作 (1) TENDフラグが開始ビットの先頭から12.5etuのタイミングで発生 (2) クロック出力のON / OFF制御のみ
1	GSMモードのスマートカードインタフェースモードの動作 (1) TENDフラグが開始ビットの先頭から11.0etuのタイミングで発生 (2) クロック出力のON / OFF制御のほか、High / Low固定制御可能 (SCRで設定)

【注】 etu : Elementary time unit (1ビットの転送期間)

H'FF81 : ビットレートレジスタ 1 BRR1 : SCI1、スマートカードインタフェース 1

ビット :	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W							

シリアル送信 / 受信のビットレートを設定

【注】詳細は「12.2.8 ビットレートレジスタ (BRR)」を参照してください。

H'FF82 : シリアルコントロールレジスタ1 SCR1 : SCI1

ビット :	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックイネーブル

0	0	調歩同期式モード	内部クロック / SCK端子は入出力ポート
		クロック同期式モード	内部クロック / SCK端子は同期 クロック出力
1	0	調歩同期式モード	内部クロック / SCK端子はクロック出力*1
		クロック同期式モード	内部クロック / SCK端子は同期 クロック出力
1	0	調歩同期式モード	外部クロック / SCK端子はクロック入力*2
		クロック同期式モード	外部クロック / SCK端子は同期 クロック入力
1	0	調歩同期式モード	外部クロック / SCK端子はクロック入力*2
		クロック同期式モード	外部クロック / SCK端子は同期 クロック入力

【注】*1 ビットレートと同じ周波数のクロックを出力
*2 ビットレートの16倍の周波数のクロックを入力

トランスミットエンドインタラプトイネーブル

0	送信終了割り込み (TEI) 要求を禁止
1	送信終了割り込み (TEI) 要求を許可

マルチプロセッサインタラプトイネーブル

0	マルチプロセッサ割り込み禁止状態 [クリア条件] (1) MPIEビットを0にクリア (2) MPB = 1のデータを受信したとき
1	マルチプロセッサ割り込み許可状態 マルチプロセッサビットが1のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびSSRの RDRF、FER、ORERの各フラグのセットを禁止します。

レシーブイネーブル

0	受信動作を禁止
1	受信動作を許可

トランスミットイネーブル

0	送信動作を禁止
1	送信動作を許可

レシーブインタラプトイネーブル

0	受信データフル割り込み (RXI) 要求および 受信エラー割り込み (ERI) 要求を禁止
1	受信データフル割り込み (RXI) 要求および 受信エラー割り込み (ERI) 要求を許可

トランスミットインタラプトイネーブル

0	送信データエンpty割り込み (TXI) 要求の禁止
1	送信データエンpty割り込み (TXI) 要求の許可

H'FF82 : シリアルコントロールレジスタ 1 SCR1 : スマートカードインタフェース 1

ビット :	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックイネーブル

SMCR	SMR	SCRの設定		SCK端子機能の説明
SMIF	C/A,GM	CKE1	CKE0	
0				SCI指定参照
1	0	0	0	ポート入力端子として動作
1	0	0	1	SCK出力端子としてクロック出力
1	1	0	0	SCK出力端子としてLow出力固定
1	1	0	1	SCK出力端子としてクロック出力
1	1	1	0	SCK出力端子としてHigh出力固定
1	1	1	1	SCK出力端子としてクロック出力

トランスミットエンドインタラプトイネーブル

0	送信終了割り込み (TEI) 要求を禁止
1	送信終了割り込み (TEI) 要求を許可

マルチプロセッサインタラプトイネーブル

0	マルチプロセッサ割り込み禁止状態 [クリア条件] (1) MPIEビットを0にクリア (2) MPB = 1のデータを受信したとき
1	マルチプロセッサ割り込み許可状態 マルチプロセッサビットが1のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびSSRのRDRF、FER、ORERの各フラグのセットを禁止します。

レシーブイネーブル

0	受信動作を禁止
1	受信動作を許可

トランスミットイネーブル

0	送信動作を禁止
1	送信動作を許可

レシーブインタラプトイネーブル

0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

トランスミットインタラプトイネーブル

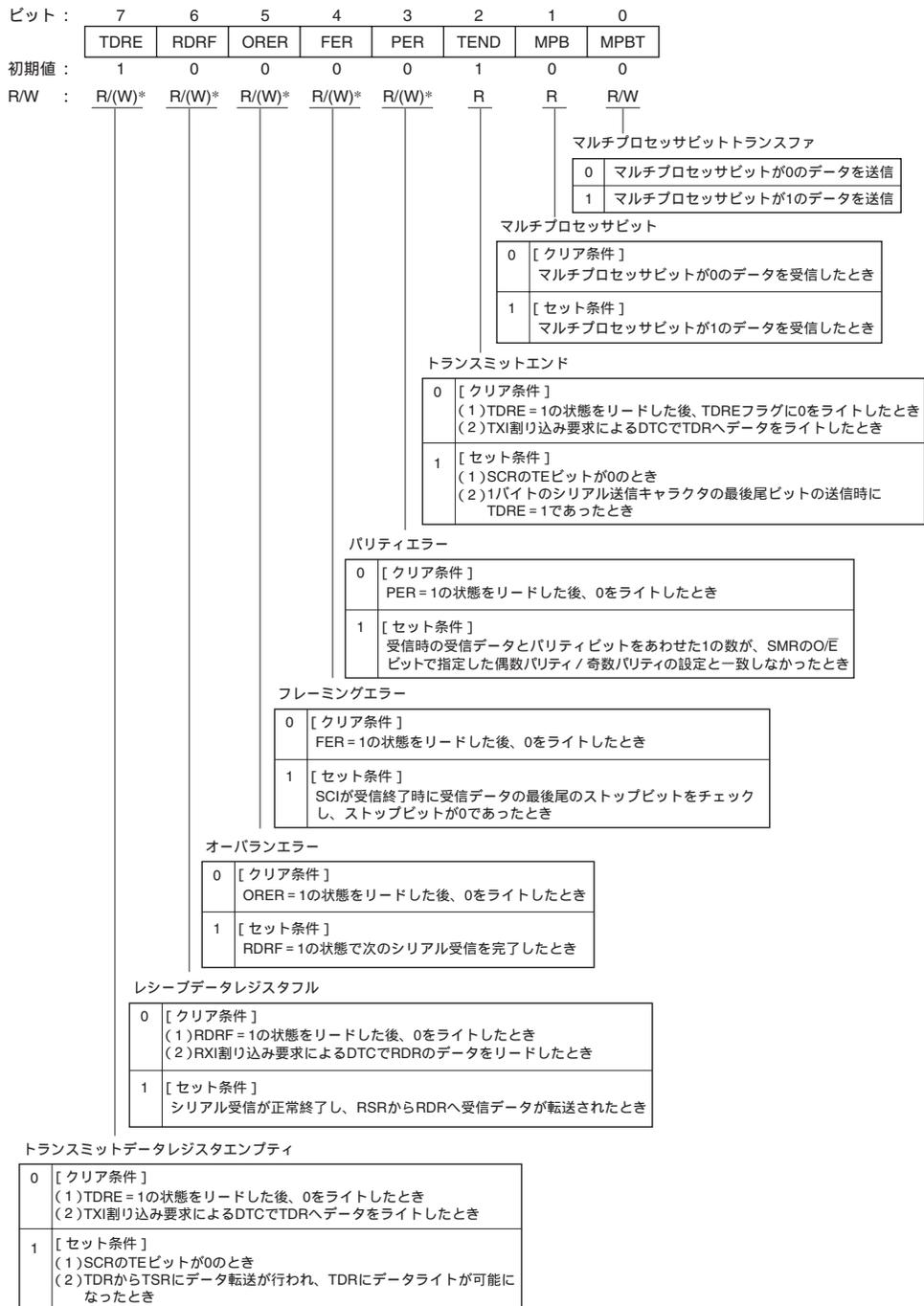
0	送信データエンプティ割り込み (TXI) 要求の禁止
1	送信データエンプティ割り込み (TXI) 要求の許可

H'FF83 : トランスミットデータレジスタ 1 TDR1 : SCI1、スマートカードインタフェース 1

ビット :	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W							

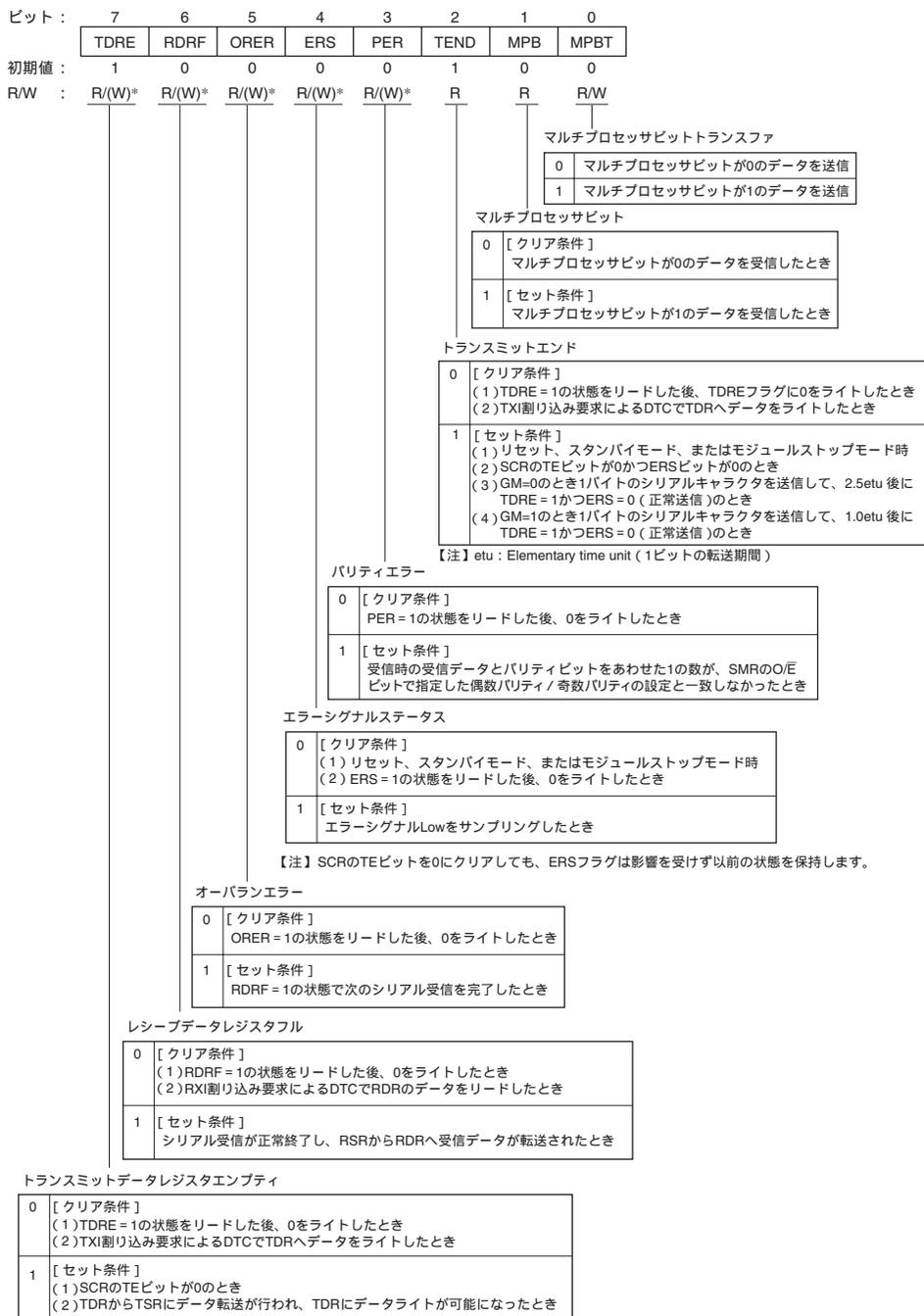
|
シリアル送信するデータを格納

H'FF84 : シリアルステータスレジスタ 1 SSR1 : SCI1



【注】* フラグをクリアするための0ライトのみ可能です。

H'FF84 : シリアルステータスレジスタ1 SSR1 : スマートカードインタフェース1



H'FF85 : レシーブデータレジスタ 1 RDR1 : SCI1、スマートカードインタフェース 1

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

受信したシリアルデータを格納

H'FF86 : スマートカードモードレジスタ 1 SCMR1 : SCI1、スマートカードインタフェース 1

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	SDIR	SINV	-	SMIF
初期値 :	1	1	1	1	0	0	1	0
R/W :	-	-	-	-	R/W	R/W	-	R/W

スマートカード
インタフェースモード選択

0	スマートカードインタフェース機能を禁止
1	スマートカードインタフェース機能を許可

データのロジックレベルの反転を指定

0	TDRの内容をそのまま送信 受信データをそのままRDRに格納
1	TDRの内容を反転してデータを 送信 受信データを反転してRDRに 格納

シリアル/パラレル変換フォーマット選択

0	TDRの内容をLSBファーストで送信 受信データをLSBファーストとしてRDRに格納
1	TDRの内容をMSBファーストで送信 受信データをMSBファーストとしてRDRに格納

H'FF88 : シリアルモードレジスタ2 SMR2 : SCI2

ビット :	7	6	5	4	3	2	1	0
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト

0	0	ϕ クロック
	1	ϕ /4クロック
1	0	ϕ /16クロック
	1	ϕ /64クロック

マルチプロセッサモード

0	マルチプロセッサ機能の禁止
1	マルチプロセッサフォーマットを選択

ストップビットレングス

0	1ストップビット
1	2ストップビット

パリティモード

0	偶数パリティ
1	奇数パリティ

パリティイネーブル

0	パリティビットの付加、およびチェックを禁止
1	パリティビットの付加、およびチェックを許可

キャラクターレングス

0	8ビットデータ
1	7ビットデータ*

【注】* 7ビットデータを選択した場合、TDRのMSB (ビット7) は送信されません。

調歩同期式モード/クロック同期式モード選択

0	調歩同期式モード
1	クロック同期式モード

H'FF88 : シリアルモードレジスタ 2 SMR2 : スマートカードインタフェース 2

ビット :	7	6	5	4	3	2	1	0
	GM	CHR	PE	O/E	STOP	MP	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

0	0	φクロック
	1	φ/4クロック
1	0	φ/16クロック
	1	φ/64クロック

0	マルチプロセッサ機能の禁止
1	設定禁止

0	設定禁止
1	2ストップビット

0	偶数パリティ
1	奇数パリティ

0	設定禁止
1	パリティビットの付加、およびチェックを許可

0	8ビットデータ
1	設定禁止

GSMモード

0	通常のスマートカードインタフェースモードの動作 (1) TENDフラグが開始ビットの先頭から12.5etuのタイミングで発生 (2) クロック出力のON/OFF制御のみ
1	GSMモードのスマートカードインタフェースモードの動作 (1) TENDフラグが開始ビットの先頭から11.0etuのタイミングで発生 (2) クロック出力のON/OFF制御のほか、High/Low固定制御可能 (SCRで設定)

【注】 etu : Elementary time unit (1ビットの転送期間)

H'FF89 : ビットレートレジスタ 2 BRR2 : SCI2、スマートカードインタフェース 2

ビット :	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W							

シリアル送信 / 受信のビットレートを設定

【注】 詳細は「12.2.8 ビットレートレジスタ (BRR)」を参照してください。

H'FF8A : シリアルコントロールレジスタ2 SCR2 : SCI2

ビット :	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックイネーブル

0	0	調歩同期式モード	内部クロック / SCK端子は入出力ポート
		クロック同期式モード	内部クロック / SCK端子は同期クロック出力
1	0	調歩同期式モード	内部クロック / SCK端子はクロック出力*1
		クロック同期式モード	内部クロック / SCK端子は同期クロック出力
1	0	調歩同期式モード	外部クロック / SCK端子はクロック入力*2
		クロック同期式モード	外部クロック / SCK端子は同期クロック入力
1	0	調歩同期式モード	外部クロック / SCK端子はクロック入力*2
		クロック同期式モード	外部クロック / SCK端子は同期クロック入力

【注】*1 ビットレートと同じ周波数のクロックを出力
*2 ビットレートの16倍の周波数のクロックを入力

トランスミットエンドインタラプトイネーブル

0	送信終了割り込み (TEI) 要求を禁止
1	送信終了割り込み (TEI) 要求を許可

マルチプロセッサインタラプトイネーブル

0	マルチプロセッサ割り込み禁止状態 [クリア条件] (1) MPIEビットを0にクリア (2) MPB = 1のデータを受信したとき
1	マルチプロセッサ割り込み許可状態 マルチプロセッサビットが1のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびSSRのRDRF、FER、ORERの各フラグのセットを禁止します。

レシーブイネーブル

0	受信動作を禁止
1	受信動作を許可

トランスミットイネーブル

0	送信動作を禁止
1	送信動作を許可

レシーブインタラプトイネーブル

0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

トランスミットインタラプトイネーブル

0	送信データエンpty割り込み (TXI) 要求の禁止
1	送信データエンpty割り込み (TXI) 要求の許可

H'FF8A : シリアルコントロールレジスタ 2 SCR2 : スマートカードインタフェース 2

ビット :

7	6	5	4	3	2	1	0
TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値 :	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックイネーブル

SMCR	SMR	SCRの設定		SCK端子機能の説明
SMIF	C/A,GM	CKE1	CKE0	
0				SCI指定参照
1	0	0	0	ポート入力端子として動作
1	0	0	1	SCK出力端子としてクロック出力
1	1	0	0	SCK出力端子としてLow出力固定
1	1	0	1	SCK出力端子としてクロック出力
1	1	1	0	SCK出力端子としてHigh出力固定
1	1	1	1	SCK出力端子としてクロック出力

トランスミットエンドインタラプトイネーブル

0	送信終了割り込み (TEI) 要求を禁止
1	送信終了割り込み (TEI) 要求を許可

マルチプロセッサインタラプトイネーブル

0	マルチプロセッサ割り込み禁止状態 [クリア条件] (1) MPIEビットを0にクリア (2) MPB = 1のデータを受信したとき
1	マルチプロセッサ割り込み許可状態 マルチプロセッサビットが1のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびSSRのRDRF、FER、ORERの各フラグのセットを禁止します。

レシーブイネーブル

0	受信動作を禁止
1	受信動作を許可

トランスミットイネーブル

0	送信動作を禁止
1	送信動作を許可

レシーブインタラプトイネーブル

0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

トランスミットインタラプトイネーブル

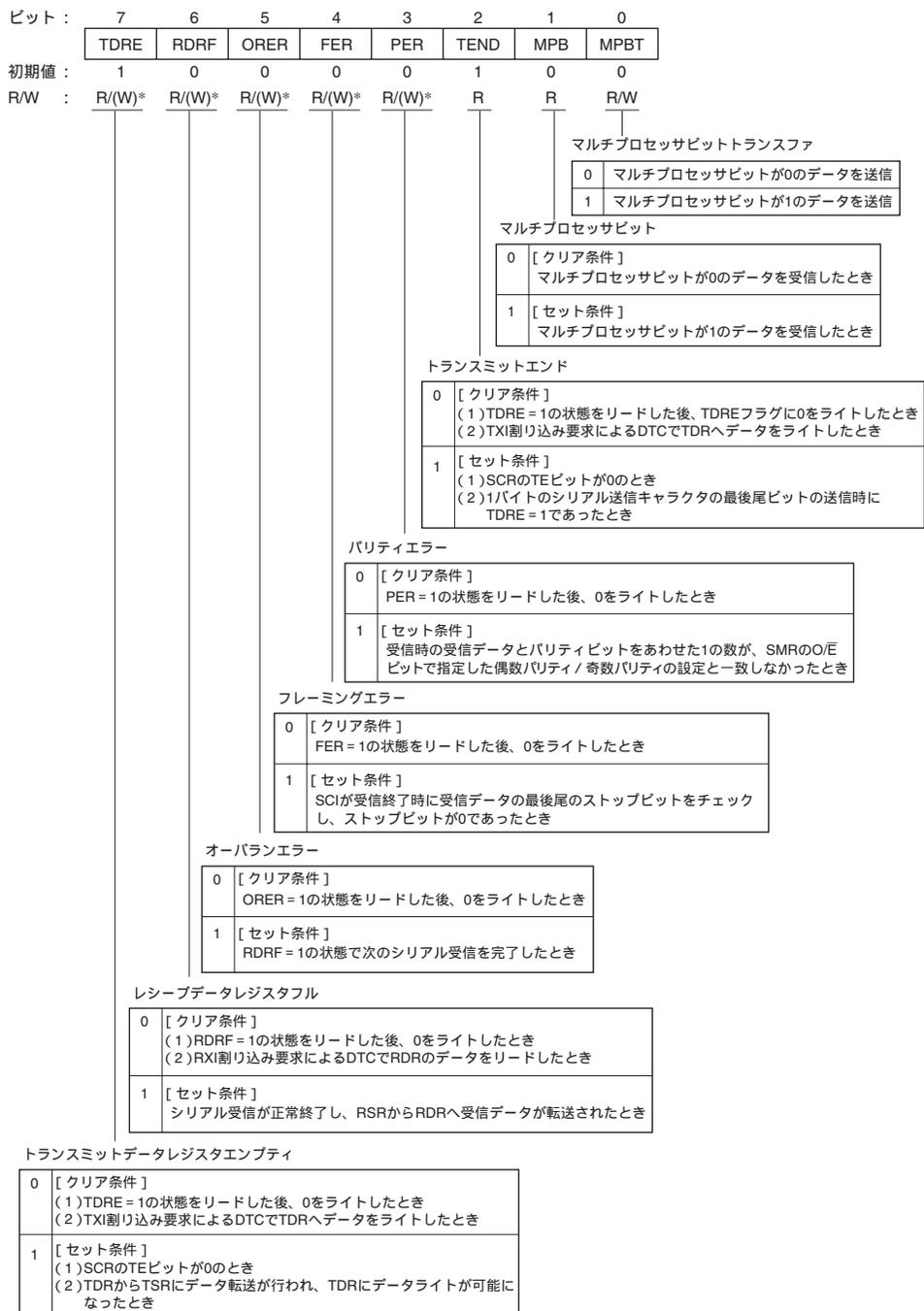
0	送信データエンpty割り込み (TXI) 要求の禁止
1	送信データエンpty割り込み (TXI) 要求の許可

H'FF8B : トランスミットデータレジスタ 2 TDR2 : SCI2、スマートカードインタフェース 2

ビット :	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W							

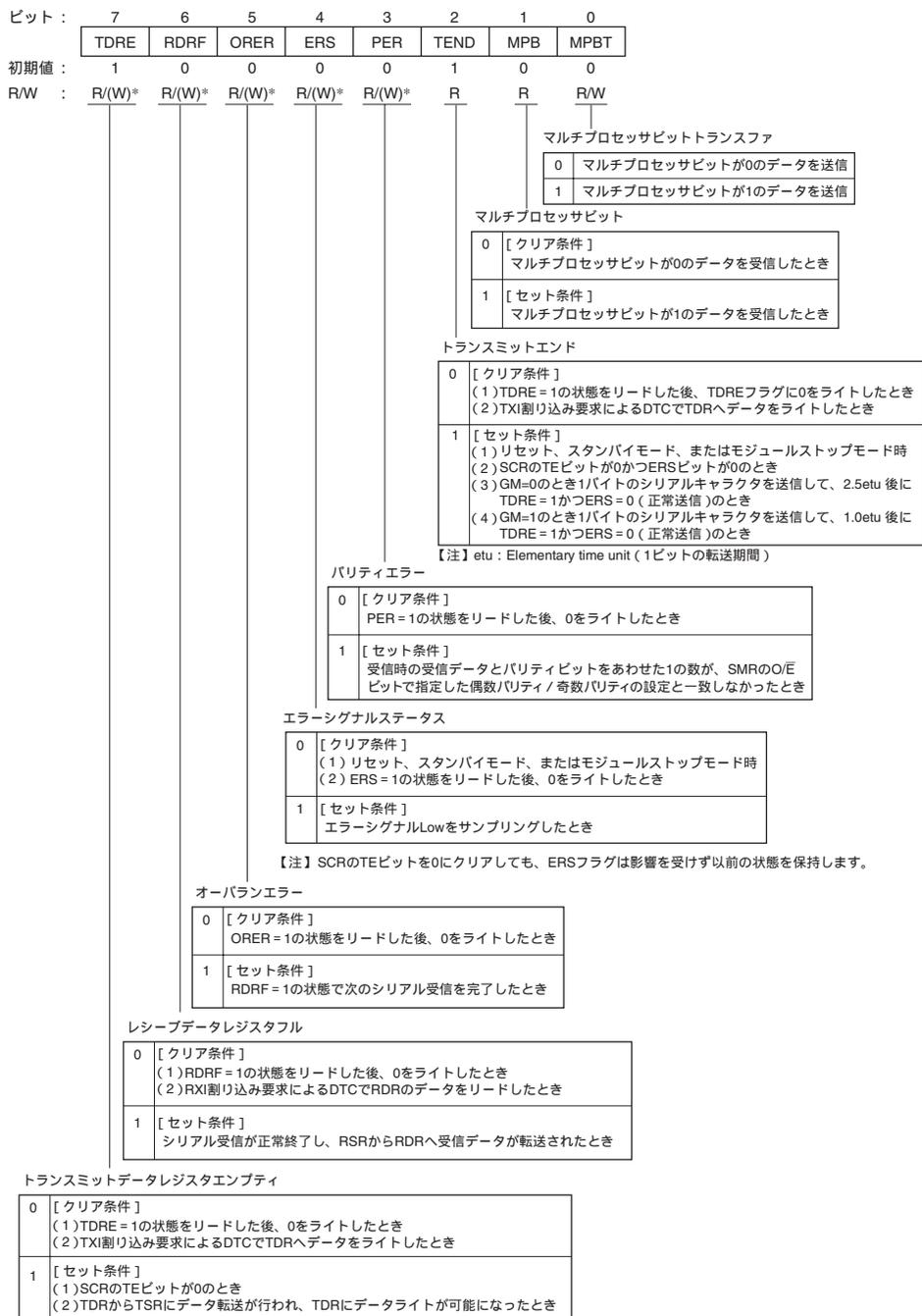
シリアル送信するデータを格納

H'FF8C : シリアルステータスレジスタ 2 SSR2 : SCI2



【注】* フラグをクリアするための0ライトのみ可能です。

H'FF8C : シリアルステータスレジスタ2 SSR2 : スマートカードインタフェース2



H'FF8D : レシーブデータレジスタ 2 RDR2 : SCI2、スマートカードインタフェース 2

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

受信したシリアルデータを格納

H'FF8E : スマートカードモードレジスタ 2 SCMR2 : SCI2、スマートカードインタフェース 2

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	SDIR	SINV	-	SMIF
初期値 :	1	1	1	1	0	0	1	0
R/W :	-	-	-	-	R/W	R/W	-	R/W

スマートカード
インタフェースモード選択

0	スマートカードインタフェース機能を禁止
1	スマートカードインタフェース機能を許可

データのロジックレベルの反転を指定

0	TDRの内容をそのまま送信 受信データをそのままRDRに格納
1	TDRの内容を反転してデータを 送信 受信データを反転してRDRに 格納

シリアル/パラレル変換フォーマット選択

0	TDRの内容をLSBファーストで送信 受信データをLSBファーストとしてRDRに格納
1	TDRの内容をMSBファーストで送信 受信データをMSBファーストとしてRDRに格納

H'FF90 : A/D データレジスタ AH ADDR AH : A/D 変換器
 H'FF91 : A/D データレジスタ AL ADDR AL : A/D 変換器
 H'FF92 : A/D データレジスタ BH ADDR BH : A/D 変換器
 H'FF93 : A/D データレジスタ BL ADDR BL : A/D 変換器
 H'FF94 : A/D データレジスタ CH ADDR CH : A/D 変換器
 H'FF95 : A/D データレジスタ CL ADDR CL : A/D 変換器
 H'FF96 : A/D データレジスタ DH ADDR DH : A/D 変換器
 H'FF97 : A/D データレジスタ DL ADDR DL : A/D 変換器

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	-	-	-	-	-	-
-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	---	---	---	---	---	---

 初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
 R/W : R R R R R R R R R R R R R R R R

A/D変換された結果を格納

アナログ入力チャンネル		A/Dデータレジスタ
グループ0	グループ1	
AN0	AN4	ADDRA
AN1	AN5	ADDRB
AN2	AN6	ADDRC
AN3	AN7	ADDRD

H'FF98 : A/D コントロール / ステータスレジスタ ADCSR : A/D

ビット :	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

チャンネルセレクト

グループ選択	チャンネル選択		説 明	
CH2	CH1	CH0	シングルモード	スキャンモード
0	0	0	AN0 (初期値)	AN0
		1	AN1	AN0、AN1
	1	0	AN2	AN0 ~ AN2
		1	AN3	AN0 ~ AN3
1	0	0	AN4	AN4
		1	AN5	AN4、AN5
	1	0	AN6	AN4 ~ AN6
		1	AN7	AN4 ~ AN7

クロックセレクト

0	変換時間 = 266ステート (max)
1	変換時間 = 134ステート (max)

スキャンモード

0	シングルモード
1	スキャンモード

A/Dスタート

0	A/D変換停止
1	(1) シングルモード : A/D変換を開始し変換が終了すると、自動的に0にクリア (2) スキャンモード : A/D変換を開始し、ソフトウェア、リセット、スタンバイモードまたはモジュールストップモードによって0にクリアされるまで、選択されたチャンネルを順次連続変換

A/Dインタラプトイネーブル

0	A/D変換終了による割り込み要求を禁止
1	A/D変換終了による割り込み要求を許可

A/Dエンドフラグ

0	[クリア条件] (1) ADF = 1の状態 で ADFフラグをリードした後、ADFフラグに0をライトしたとき (2) ADF割り込みによりDTCが起動してADDRをリードしたとき
1	[セット条件] (1) シングルモード : A/D変換が終了したとき (2) スキャンモード : 設定されたすべてのチャンネルのA/D変換が終了したとき

【注】* フラグをクリアするための0ライトのみ可能です。

H'FF99 : A/D コントロールレジスタ ADCR : A/D

ビット :	7	6	5	4	3	2	1	0
	TRGS1	TRGS0	-	-	-	-	-	-
初期値 :	0	0	1	1	1	1	1	1
R/W :	R/W	R/W	-	-	-	-	-	-

↑

タイマトリガセレクト

TRGS1	TRGS0	説 明
0	0	外部トリガによるA/D変換の開始を禁止
	1	外部トリガ (TPU) によるA/D変換の開始を許可
1	0	外部トリガ (8ビットタイマ) によるA/D変換の開始を許可
	1	外部トリガ端子 ($\overline{\text{ADTRG}}$) によるA/D変換の開始を許可

H'FFA4 : D/A データレジスタ 0 DADR0 : D/A (H8S/2393 ではリザーブ)

H'FFA5 : D/A データレジスタ 1 DADR1 : D/A (H8S/2393 ではリザーブ)

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

D/A変換を行うデータを格納

H'FFA6 : D/A コントロールレジスタ DACR : D/A (H8S/2393 ではリザーブ)

ビット :	7	6	5	4	3	2	1	0
	DAOE1	DAOE0	DAE	-	-	-	-	-
初期値 :	0	0	0	1	1	1	1	1
R/W :	R/W	R/W	R/W	-	-	-	-	-

D/Aアウトプットイネーブル0

0	アナログ出力DA0を禁止
1	チャンネル0のD/A変換を許可。アナログ出力DA0を許可

D/Aアウトプットイネーブル1

0	アナログ出力DA1を禁止
1	チャンネル1のD/A変換を許可。アナログ出力DA1を許可

D/A変換制御

DAOE1	DAOE0	DAE	説 明
0	0	*	チャンネル0、1のD/A変換を禁止
		0	チャンネル0のD/A変換を許可 チャンネル1のD/A変換を禁止
	1	チャンネル0、1のD/A変換を許可	
1	0	0	チャンネル0のD/A変換を禁止 チャンネル1のD/A変換を許可
		1	チャンネル0、1のD/A変換を許可
	1	*	チャンネル0、1のD/A変換を許可

* : Don't care

H'FFB0 : タイマコントロールレジスタ 0 TCR0 : 8 ビットタイマチャンネル 0

H'FFB1 : タイマコントロールレジスタ 1 TCR1 : 8 ビットタイマチャンネル 1

ビット :	7	6	5	4	3	2	1	0
	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト

0	0	0	クロック入力を禁止
		1	内部クロック : φ/8立ち下がりがりエッジでカウント
1	0	0	内部クロック : φ/64立ち下がりがりエッジでカウント
		1	内部クロック : φ/8192立ち下がりがりエッジでカウント
1	0	0	チャンネル0の場合 : TCNT1のオーバフロー信号でカウント* チャンネル1の場合 : TCNT0のコンペアマッチAでカウント*
		1	外部クロック : 立ち上がりエッジでカウント
		1	外部クロック : 立ち下がりエッジでカウント
		1	外部クロック : 立ち上がり / 立ち下がり両エッジでカウント

【注】* チャンネル0のクロック入力をTCNT1のオーバフロー信号とし、チャンネル1のクロック入力をTCNT0のコンペアマッチ信号とすると、カウントアップクロックが発生しません。この設定は行わないでください。

カウンタクリア

0	0	クリアを禁止
	1	コンペアマッチAによりクリア
1	0	コンペアマッチBによりクリア
	1	外部リセット入力の立ち上がりエッジによりクリア

タイマオーバフローインタラプトイネーブル

0	OVFによる割り込み要求 (OVI) を禁止
1	OVFによる割り込み要求 (OVI) を許可

コンペアマッチインタラプトイネーブルA

0	CMFAによる割り込み要求 (CMIA) を禁止
1	CMFAによる割り込み要求 (CMIA) を許可

コンペアマッチインタラプトイネーブルB

0	CMFBによる割り込み要求 (CMIB) を禁止
1	CMFBによる割り込み要求 (CMIB) を許可

H'FFB2 : タイマコントロール/ステータスレジスタ 0 TCSR0 : 8 ビットタイマチャンネル 0

H'FFB3 : タイマコントロール/ステータスレジスタ 1 TCSR1 : 8 ビットタイマチャンネル 1

TCSR0 ビット :

	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W

TCSR1 ビット :

	7	6	5	4	3	2	1	0
初期値 :	0	0	0	1	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*		R/W	R/W	R/W	R/W

アウトプットセレクト

0	0	コンペアマッチAで変化しない
	1	コンペアマッチAで0出力
1	0	コンペアマッチAで1出力
	1	コンペアマッチAごとに反転出力 (トグル出力)

アウトプットセレクト

0	0	コンペアマッチBで変化しない
	1	コンペアマッチBで0出力
1	0	コンペアマッチBで1出力
	1	コンペアマッチBごとに反転出力 (トグル出力)

A/Dトリガインエーブル (TCSR0のみ)

0	コンペアマッチAによるA/D変換開始要求を禁止
1	コンペアマッチAによるA/D変換開始要求を許可

タイマオーバーフローフラグ

0	[クリア条件] OVF = 1の状態、OVFをリードした後、OVFに0をライトしたとき
1	[セット条件] TCNTがH'FF H'00になったとき

コンペアマッチフラグA

0	[クリア条件] (1) CMFA = 1の状態、CMFAをリードした後、CMFAに0をライトしたとき (2) CMIA割り込みにより、DTCが起動され、DTCのMRBのDISELのビットが0のとき
1	[セット条件] TCNT = TCORAになったとき

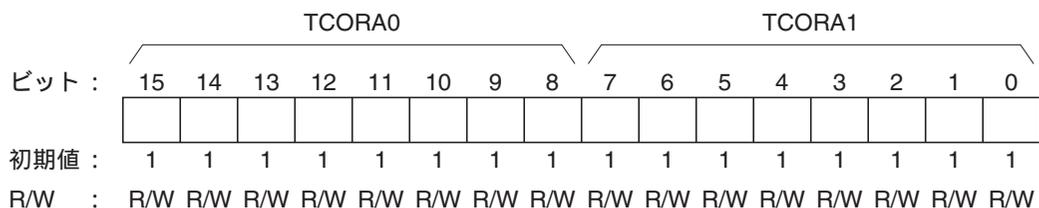
コンペアマッチフラグB

0	[クリア条件] (1) CMFB = 1の状態、CMFBをリードした後、CMFBに0をライトしたとき (2) CMIB割り込みにより、DTCが起動され、DTCのMRBのDISELのビットが0のとき
1	[セット条件] TCNT = TCORBになったとき

【注】* ビット7~5は、フラグをクリアするための0ライトのみ可能です。

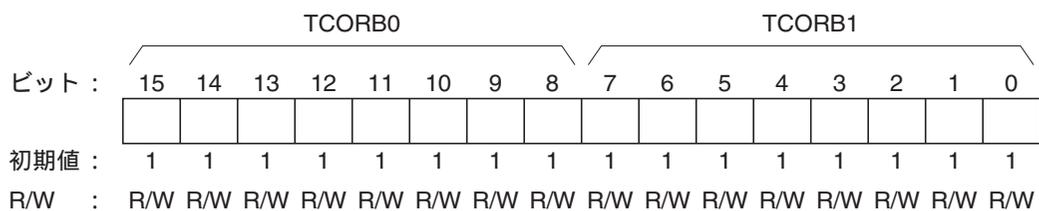
H'FFB4 : タイムコンスタントレジスタ A0 TCORA0 : 8ビットタイマチャンネル0

H'FFB5 : タイムコンスタントレジスタ A1 TCORA1 : 8ビットタイマチャンネル1



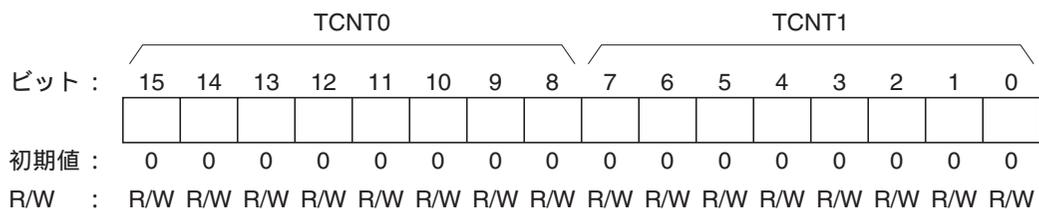
H'FFB6 : タイムコンスタントレジスタ B0 TCORB0 : 8ビットタイマチャンネル0

H'FFB7 : タイムコンスタントレジスタ B1 TCORB1 : 8ビットタイマチャンネル1



H'FFB8 : タイマカウンタ 0 TCNT0 : 8ビットタイマチャンネル0

H'FFB9 : タイマカウンタ 1 TCNT1 : 8ビットタイマチャンネル1



H'FFBC(W)H'FFBC(R) : タイマコントロール/ステータスレジスタ TCSR : WDT

ビット :	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	-	-	CKS2	CKS1	CKS0
初期値 :	0	0	0	1	1	0	0	0
R/W :	R/(W)*	R/W	R/W	-	-	R/W	R/W	R/W

クロックセレクト

CKS2	CKS1	CKS0	クロック	オーバーフロー周期* ($\phi = 20\text{MHz}$ の場合)
0	0	0	$\phi / 2$ (初期値)	25.6 μs
		1	$\phi / 64$	819.2 μs
	1	0	$\phi / 128$	1.6ms
		1	$\phi / 512$	6.6ms
1	0	0	$\phi / 2048$	26.2ms
		1	$\phi / 8192$	104.9ms
	1	0	$\phi / 32768$	419.4ms
		1	$\phi / 131072$	1.68s

【注】* オーバフロー周期は、TCNTがH'00からカウントアップを開始し、オーバーフローするまでの時間です。

タイマイネーブル

0	TCNTをH'00に初期化し、カウント動作を停止
1	TCNTはカウント動作

タイマモードセレクト

0	インターバルタイマモード : TCNTがオーバーフローしたときCPUへインターバルタイマ割り込み (WOVI) を要求
1	ウォッチドックタイマモード : TCNTがオーバーフローしたときWDTOVF信号を外部へ出力

オーバーフローフラグ

0	[クリア条件] OVF = 1の状態、TCSRをリード後、OVFに0をライトしたとき
1	[セット条件] インターバルタイマモードで、TCNTがオーバーフロー (H'FF→H'00) したとき

TCSRは容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は、「11.2.4 レジスタアクセス時の注意」を参照してください。

【注】* フラグをクリアするための0ライトのみ可能です。

H'FFBC(W)H'FFBD(R) : タイマカウンタ TCNT : WDT

ビット :	7	6	5	4	3	2	1	0
	<input type="text"/>							
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

H'FFBE(W)H'FFBF(R) : リセットコントロール/ステータスレジスタ RSTCSR : WDT

ビット :	7	6	5	4	3	2	1	0
	WOVF	RSTE	RSTS	-	-	-	-	-
初期値 :	0	0	0	1	1	1	1	1
R/W :	R/(W)*	R/W	R/W	-	-	-	-	-

リセットセレクト

0	パワーオンリセット
1	マニュアルリセット

リセットイネーブル

0	TCNTがオーバーフローしたとき、内部リセットしない*
1	TCNTがオーバーフローしたとき内部リセットする

【注】* 本LSI内部はリセットされませんが、WDT内のTCNT、TCSRはリセットされます。

ウォッチドッグタイマオーバーフローフラグ

0	[クリア条件] WOVF = 1の状態 でTCSRをリードした後、WOVFに0をライトしたとき
1	[セット条件] ウォッチドッグタイマモードでTCNTがオーバーフロー (H'FF→H'00) したとき

【注】* フラグをクリアするための0ライトのみ可能です。

RSTCSRは容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は「11.2.4 レジスタアクセス時の注意」を参照してください。

H'FFC0 : タイマスタートレジスタ TSTR : TPU

ビット :	7	6	5	4	3	2	1	0
	-	-	CST5	CST4	CST3	CST2	CST1	CST0
初期値 :	0	0	0	0	0	0	0	0
R/W :	-	-	R/W	R/W	R/W	R/W	R/W	R/W

カウンタスタート

0	TCNTnのカウント動作は停止
1	TCNTnのカウント動作

(n=5~0)

【注】 TIOC端子を出力状態で動作中に、CSTビットに0をライトするとカウンタは停止しますが、TIOC端子のアウトプットコンペア出力レベルは保持されます。CSTビットが0の状態ではTIOCへのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。

H'FFC1 : タイマシンクロレジスタ TSYR : TPU

ビット :	7	6	5	4	3	2	1	0
	-	-	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	-	-	R/W	R/W	R/W	R/W	R/W	R/W

タイマ同期

0	TCNTnは独立動作 (TCNTのプリセット/クリアは他チャンネルと無関係)
1	TCNTnは同期動作 TCNTの同期プリセット/同期クリアが可能

(n=5~0)

- 【注】 *1 同期動作の設定には、最低2チャンネルのSYNCビットを1にセットする必要があります。
*2 同期クリアの設定には、SYNCビットのほかにTCRのCCLR2~CCLR0ビットで、TCNTのクリア要因を設定する必要があります。

H'FFD0 : タイマコントロールレジスタ 0 TCR0 : TPU0

ビット :

	7	6	5	4	3	2	1	0
	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

タイマプリスケーラ

0	0	0	内部クロック : $\phi / 1$ でカウント
		1	内部クロック : $\phi / 4$ でカウント
	1	0	内部クロック : $\phi / 16$ でカウント
		1	内部クロック : $\phi / 64$ でカウント
1	0	0	外部クロック : TCLKA端子入力でカウント
		1	外部クロック : TCLKB端子入力でカウント
	1	0	外部クロック : TCLKC端子入力でカウント
		1	外部クロック : TCLKD端子入力でカウント

入カクロックのエッジを選択

0	0	立ち上がりエッジでカウント
	1	立ち下がりエッジでカウント
1	-	両エッジでカウント

カウンタクリア

0	0	0	TCNTのクリア禁止
		1	TGRAのコンペアマッチ / インพุットキャプチャでTCNTクリア
	1	0	TGRBのコンペアマッチ / インพุットキャプチャでTCNTクリア
		1	同期クリア / 同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*1
1	0	0	TCNTのクリア禁止
		1	TGRCのコンペアマッチ / インพุットキャプチャでTCNTクリア*2
	1	0	TGRDのコンペアマッチ / インพุットキャプチャでTCNTクリア*2
		1	同期クリア / 同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*1

【注】*1 同期動作の設定は、TSYRのSYNCビットを1にすることにより行います。

*2 TGRCまたはTGRDをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ / インพุットキャプチャが発生しないため、TCNTはクリアされません。

H'FFD1 : タイマモードレジスタ0 TMDR0 : TPU0

ビット :	7	6	5	4	3	2	1	0
	-	-	BFB	BFA	MD3	MD2	MD1	MD0
初期値 :	1	1	0	0	0	0	0	0
R/W :	-	-	R/W	R/W	R/W	R/W	R/W	R/W

モード

0	0	0	0	通常動作	
		1	0	リザーブ	
		1	0	0	PWMモード1
			1	0	PWMモード2
	1	0	0	0	位相計数モード1
			1	0	位相計数モード2
		1	0	0	位相計数モード3
			1	0	位相計数モード4
1	*	*	*	-	

* : Don't care

- 【注】 1. MD3はリザーブビットです。
ライト時には常に0を書き込んでください。
2. チャンネル0、3では、位相計数モードの設定はできません。
MD2には常に0をライトしてください。

バッファ動作設定A

0	TGRAは通常動作
1	TGRAとTGRCはバッファ動作

バッファ動作設定B

0	TGRBは通常動作
1	TGRBとTGRDはバッファ動作

H'FFD2 : タイマ I/O コントロールレジスタ 0H TIOR0H : TPU0

ビット :	7	6	5	4	3	2	1	0
	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

TGR0A I/Oコントロール

0	0	0	0	TGR0Aは	出力禁止			
				1	アウトプット	初期出力は0出力	コンペアマッチで0出力	
				1	0	コンペア	コンペアマッチで1出力	
				1	レジスタ	コンペアマッチでトグル出力		
	1	0	0	0	TGR0Aは	出力禁止		
					1		初期出力は1出力	コンペアマッチで0出力
					1	0	コンペアマッチで1出力	
					1		コンペアマッチでトグル出力	
	1	0	0	0	TGR0Aは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ	
					1	インプット	TIOCA0端子	立ち下がりエッジでインプットキャプチャ
					1	*	キャプチャ	両エッジでインプットキャプチャ
					1	*	レジスタ	キャプチャ入力元は
				チャネリ / カウントロック	でインプットキャプチャ			

TGR0B I/Oコントロール

0	0	0	0	TGR0Bは	出力禁止			
				1	アウトプット	初期出力は0出力	コンペアマッチで0出力	
				1	0	コンペア	コンペアマッチで1出力	
				1	レジスタ	コンペアマッチでトグル出力		
	1	0	0	0	TGR0Bは	出力禁止		
					1		初期出力は1出力	コンペアマッチで0出力
					1	0	コンペアマッチで1出力	
					1		コンペアマッチでトグル出力	
	1	0	0	0	TGR0Bは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ	
					1	インプット	TIOCB0端子	立ち下がりエッジでインプットキャプチャ
					1	*	キャプチャ	両エッジでインプットキャプチャ
					1	*	レジスタ	キャプチャ入力元は
				チャネリ / カウントロック	でインプットキャプチャ*			

* : Don't care

* : Don't care

【注】*1 TCR1のTPSC2 ~ TPSC0ビットをB'000とし、TCNT1のカウンタクロックにφ / 1を使用した場合、本設定は無効となり、インプットキャプチャは発生しません。

H'FFD3 : タイマ I/O コントロールレジスタ 0L TIOR0L : TPU0

ビット :	7	6	5	4	3	2	1	0
	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

TGR0C I/Oコントロール

0	0	0	0	TGR0Cは	出力禁止				
				1	アウトプット	初期出力は0出力	コンペアマッチで0出力		
				1	コンペア	コンペアマッチで1出力	コンペアマッチで1出力		
	1	0	0	レジスタ	コンペアマッチでトグル出力				
				1	0	0	出力禁止		
				1	0	1	初期出力は1出力	コンペアマッチで0出力	
	1	0	0	1	0	1	コンペアマッチで1出力		
				1	0	1	コンペアマッチでトグル出力		
				1	0	0	出力禁止		
	1	0	0	0	0	0	TGR0Cは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ
				1	0	1	インプット	TIOCC0端子	立ち下がりエッジでインプットキャプチャ
				1	0	*	キャプチャ		両エッジでインプットキャプチャ
1				0	*	レジスタ	キャプチャ入力元は	TCNT1のカウンタアップ/ カウントダウン	
							チャネリ/ カウントロック	でインプットキャプチャ	

* : Don't care

【注】 TMDR0のBFAビットを1にセットしてTGR0Cをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

TGR0D I/Oコントロール

0	0	0	0	TGR0Dは	出力禁止				
				1	アウトプット	初期出力は0出力	コンペアマッチで0出力		
				1	コンペア	コンペアマッチで1出力	コンペアマッチで1出力		
	1	0	0	レジスタ	コンペアマッチでトグル出力				
				1	0	0	出力禁止		
				1	0	1	初期出力は1出力	コンペアマッチで0出力	
	1	0	0	1	0	1	コンペアマッチで1出力		
				1	0	1	コンペアマッチでトグル出力		
				1	0	0	出力禁止		
	1	0	0	0	0	0	TGR0Dは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ
				1	0	1	インプット	TIOCD0端子	立ち下がりエッジでインプットキャプチャ
				1	0	*	キャプチャ		両エッジでインプットキャプチャ
1				0	*	レジスタ*2	キャプチャ入力元は	TCNT1のカウンタアップ/ カウントダウン	
							チャネリ/ カウントロック	でインプットキャプチャ*1	

* : Don't care

【注】*1 TCR1のTPSC2 ~ TPSC0ビットをB'000とし、TCNT1のカウントクロックにφ / 1を使用した場合、本設定は無効となり、インプットキャプチャは発生しません。

*2 TMDR0のBFBビットを1にセットしてTGR0Dをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

【注】 TGRC、あるいはTGRDをバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

H'FFD4 : タイマインタラプトイネーブルレジスタ 0 TIER0 : TPU0

ビット :	7	6	5	4	3	2	1	0
	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
初期値 :	0	1	0	0	0	0	0	0
R/W :	R/W	-	-	R/W	R/W	R/W	R/W	R/W

TGRインタラプトイネーブルA

0	TGFAビットによる割り込み要求 (TGIA) を禁止
1	TGFAビットによる割り込み要求 (TGIA) を許可

TGRインタラプトイネーブルB

0	TGFBビットによる割り込み要求 (TGIB) を禁止
1	TGFBビットによる割り込み要求 (TGIB) を許可

TGRインタラプトイネーブルC

0	TGFCビットによる割り込み要求 (TGIC) を禁止
1	TGFCビットによる割り込み要求 (TGIC) を許可

TGRインタラプトイネーブルD

0	TGFDビットによる割り込み要求 (TGID) を禁止
1	TGFDビットによる割り込み要求 (TGID) を許可

オーバーフローインタラプトイネーブル

0	TCFVによる割り込み要求 (TCIV) を禁止
1	TCFVによる割り込み要求 (TCIV) を許可

A/D変換開始要求イネーブル

0	A/D変換開始要求の発生を禁止
1	A/D変換開始要求の発生を許可

H'FFD5 : タイマステータスレジスタ 0 TSR0 : TPU0

ビット :	7	6	5	4	3	2	1	0
	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	-	-	-	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

TGRAインプットキャプチャ/アウトプットコンペアフラグ	
0	[クリア条件] (1) TGIA割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFA = 1の状態ではTGFAをリード後、TGFAに0をライトしたとき
1	[セット条件] (1) TGRAがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRAになったとき (2) TGRAがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRAに転送されたとき

TGRBインプットキャプチャ/アウトプットコンペアフラグ	
0	[クリア条件] (1) TGB割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFB = 1の状態ではTGFBをリード後、TGFBに0をライトしたとき
1	[セット条件] (1) TGRBがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRBになったとき (2) TGRBがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRBに転送されたとき

TGRCインプットキャプチャ/アウトプットコンペアフラグ	
0	[クリア条件] (1) TGIC割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFC = 1の状態ではTGFCをリード後、TGFCに0をライトしたとき
1	[セット条件] (1) TGRCがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRCになったとき (2) TGRCがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRCに転送されたとき

TGRDインプットキャプチャ/アウトプットコンペアフラグ	
0	[クリア条件] (1) TGD割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFD = 1の状態ではTGFDをリード後、TGFDに0をライトしたとき
1	[セット条件] (1) TGRDがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRDになったとき (2) TGRDがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRDに転送されたとき

オーバーフローフラグ	
0	[クリア条件] TCFV = 1の状態ではTCFVをリード後、TCFVに0をライトしたとき
1	[セット条件] TCNTの値がオーバーフロー (H'FFFF H'0000) したとき

【注】* フラグをクリアするための0ライトのみ可能です。

H'FFD6 : タイマカウンタ 0 TCNT0 : TPU0

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															

↑
アップカウンタ

H'FFD8 : タイマジェネラルレジスタ 0A TGR0A : TPU0

H'FFDA : タイマジェネラルレジスタ 0B TGR0B : TPU0

H'FFDC : タイマジェネラルレジスタ 0C TGR0C : TPU0

H'FFDE : タイマジェネラルレジスタ 0D TGR0D : TPU0

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W															

H'FFE0 : タイマコントロールレジスタ 1 TCR1 : TPU1

ビット :	7	6	5	4	3	2	1	0
	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	-	R/W						

タイマプリスケアラ

0	0	0	内部クロック : $\phi / 1$ でカウント
	1	1	内部クロック : $\phi / 4$ でカウント
1	0	0	内部クロック : $\phi / 16$ でカウント
	1	1	内部クロック : $\phi / 64$ でカウント
1	0	0	外部クロック : TCLKA端子入力でカウント
		1	外部クロック : TCLKB端子入力でカウント
	1	0	内部クロック : $\phi / 256$ でカウント
		1	TCNT2のオーバフロー / アンダフローでカウント

【注】 チャンネル1が位相計数モード時、この設定は無効になります。

入力クロックのエッジを選択

0	0	立ち上がりエッジでカウント
	1	立ち下がりエッジでカウント
1	-	両エッジでカウント

【注】 チャンネル1が位相計数モード時、この設定は無効になります。

カウンタクリア

0	0	TCNTのクリア禁止
	1	TGRAのコンペアマッチ / インพุットキャプチャでTCNTクリア
1	0	TGRBのコンペアマッチ / インพุットキャプチャでTCNTクリア
	1	同期クリア / 同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*

【注】 * 同期動作の設定は、TSYRのSYNCビットを1にすることにより行います。

H'FFE1 : タイマモードレジスタ1 TMDR1 : TPU1

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	MD3	MD2	MD1	MD0
初期値 :	1	1	0	0	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

モード

0	0	0	0	通常動作
		1	リザーブ	
		1	0	PWMモード1
			1	PWMモード2
	1	0	0	位相計数モード1
			1	位相計数モード2
		1	0	位相計数モード3
			1	位相計数モード4
1	*	*	*	-

* : Don't care

【注】 MD3はリザーブビットです。
 ライト時には常に0を書き込んでください。

H'FFE2 : タイマ I/O コントロールレジスタ 1 TIOR1 : TPU1

ビット :	7	6	5	4	3	2	1	0
	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

TGR1A I/Oコントロール

0	0	0	0	TGR1Aは	出力禁止			
				1	アウトプット	初期出力は0出力	コンペアマッチで0出力	
				1	コンペア	コンペアマッチで1出力		
		1	0	0	レジスタ	コンペアマッチでトグル出力		
					出力禁止			
					1	初期出力は1出力	コンペアマッチで0出力	
	1	0	0	0	TGR1Aは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ	
					1	インプット	TIOCA1端子	立ち下がりエッジでインプットキャプチャ
					1	キャプチャ	両エッジでインプットキャプチャ	
		1	*	*	レジスタ	キャプチャ入力元は	チャンネル0 / TGR0Aのコンペアマッチ /	
					TGR0Aコンペアマッチ /	インプットキャプチャの発生でインプット		
					インプットキャプチャ	キャプチャ		

* : Don't care

TGR1B I/Oコントロール

0	0	0	0	TGR1Bは	出力禁止			
				1	アウトプット	初期出力は0出力	コンペアマッチで0出力	
				1	コンペア	コンペアマッチで1出力		
		1	0	0	レジスタ	コンペアマッチでトグル出力		
					出力禁止			
					1	初期出力は1出力	コンペアマッチで0出力	
	1	0	0	0	TGR1Bは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ	
					1	インプット	TIOCB1端子	立ち下がりエッジでインプットキャプチャ
					1	キャプチャ	両エッジでインプットキャプチャ	
		1	*	*	レジスタ	キャプチャ入力元は	TGR0Cのコンペアマッチ / インプットキャ	
					TGR0Cコンペアマッチ /	プチャの発生でインプットキャプチャ		
					インプットキャプチャ			

* : Don't care

H'FFE4 : タイマインタラプトイネーブルレジスタ 1 TIER1 : TPU1

ビット :	7	6	5	4	3	2	1	0
	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA
初期値 :	0	1	0	0	0	0	0	0
R/W :	R/W	-	R/W	R/W	-	-	R/W	R/W

TGRインタラプトイネーブルA

0	TGFAビットによる割り込み要求 (TGIA) を禁止
1	TGFAビットによる割り込み要求 (TGIA) を許可

TGRインタラプトイネーブルB

0	TGFBビットによる割り込み要求 (TGIB) を禁止
1	TGFBビットによる割り込み要求 (TGIB) を許可

オーバーフローインタラプトイネーブル

0	TCFVによる割り込み要求 (TCIV) を禁止
1	TCFVによる割り込み要求 (TCIV) を許可

アンダフローインタラプトイネーブル

0	TCFUによる割り込み要求 (TCIU) を禁止
1	TCFUによる割り込み要求 (TCIU) を許可

A/D変換開始要求イネーブル

0	A/D変換開始要求の発生を禁止
1	A/D変換開始要求の発生を許可

H'FFE5 : タイマステータスレジスタ 1 TSR1 : TPU1

ビット :	7	6	5	4	3	2	1	0
	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	-	R/(W)*	R/(W)*	-	-	R/(W)*	R/(W)*

TGRAインプットキャプチャ/アウトプットコンペアフラグ	
0	[クリア条件] (1) TGIA割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFA = 1の状態ではTGFAをリード後、TGFAに0をライトしたとき
1	[セット条件] (1) TGRAがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRAになったとき (2) TGRAがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRAに転送されたとき

TGRBインプットキャプチャ/アウトプットコンペアフラグ	
0	[クリア条件] (1) TGIB割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFB = 1の状態ではTGFBをリード後、TGFBに0をライトしたとき
1	[セット条件] (1) TGRBがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRBになったとき (2) TGRBがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRBに転送されたとき

オーバーフローフラグ	
0	[クリア条件] TCFV = 1の状態ではTCFVをリード後、TCFVに0をライトしたとき
1	[セット条件] TCNTの値がオーバーフロー (H'FFFF→H'0000) したとき

アンダフローフラグ	
0	[クリア条件] TCFU = 1の状態ではTCFUをリード後、TCFUに0をライトしたとき
1	[セット条件] TCNTの値がアンダフロー (H'0000→H'FFFF) したとき

カウント方向フラグ	
0	TCNTはダウンカウント
1	TCNTはアップカウント

【注】* フラグをクリアするための0ライトのみ可能です。

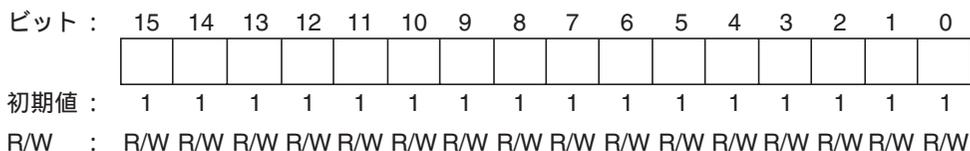
H'FFE6 : タイマカウンタ 1 TCNT1 : TPU1



【注】* 位相計数モード、他のチャネルのオーバーフロー/アンダフローのカウント時のみアップ/ダウンカウンタとして使用できます。それ以外の場合はアップカウンタになります。

H'FFE8 : タイマジェネラルレジスタ 1A TGR1A : TPU1

H'FFE9 : タイマジェネラルレジスタ 1B TGR1B : TPU1



H'FFF0 : タイマコントロールレジスタ 2 TCR2 : TPU2

ビット :	7	6	5	4	3	2	1	0
	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	-	R/W						

タイムプリスケアラ

0	0	0	内部クロック : $\phi / 1$ でカウント
		1	内部クロック : $\phi / 4$ でカウント
	1	0	内部クロック : $\phi / 16$ でカウント
		1	内部クロック : $\phi / 64$ でカウント
1	0	0	外部クロック : TCLKA端子入力でカウント
		1	外部クロック : TCLKB端子入力でカウント
	1	0	外部クロック : TCLKC端子入力でカウント
		1	内部クロック : $\phi / 1024$ でカウント

【注】 チャンネル2が位相計数モード時、この設定は無効になります。

入力クロックのエッジを選択

0	0	立ち上がりエッジでカウント
	1	立ち下がりエッジでカウント
1	-	両エッジでカウント

【注】 チャンネル2が位相計数モード時、この設定は無効になります。

カウンタクリア

0	0	TCNTのクリア禁止
	1	TGRAのコンペアマッチ / インพุットキャプチャでTCNTクリア
1	0	TGRBのコンペアマッチ / インพุットキャプチャでTCNTクリア
	1	同期クリア / 同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*

【注】 * 同期動作の設定は、TSYRのSYNCビットを1にすることにより行います。

H'FFF1 : タイマモードレジスタ2 TMDR2 : TPU2

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	MD3	MD2	MD1	MD0
初期値 :	1	1	0	0	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

モード

0	0	0	0	通常動作
		1	リザーブ	
		1	0	PWMモード1
			1	PWMモード2
	1	0	0	位相計数モード1
			1	位相計数モード2
		1	0	位相計数モード3
			1	位相計数モード4
1	*	*	*	-

* : Don't care

【注】 MD3はリザーブビットです。
 ライト時には常に0を書き込んでください。

H'FFF2 : タイマ I/O コントロールレジスタ 2 TIOR2 : TPU2

ビット :	7	6	5	4	3	2	1	0
	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

TGR2A I/Oコントロール

0	0	0	0	TGR2Aは	出力禁止			
				1	アウトプット	初期出力は0出力	コンペアマッチで0出力	
				1	コンペアレジスタ	コンペアマッチで1出力	コンペアマッチでトグル出力	
		1	0	0	出力禁止			
					1	初期出力は1出力	コンペアマッチで0出力	
					1	コンペアマッチで1出力	コンペアマッチでトグル出力	
	1	*	0	0	TGR2Aは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ	
					1	インプットキャプチャ	TIOCA2端子	立ち下がりエッジでインプットキャプチャ
					1	レジスタ	両エッジでインプットキャプチャ	

* : Don't care

TGR2B I/Oコントロール

0	0	0	0	TGR2Bは	出力禁止			
				1	アウトプット	初期出力は0出力	コンペアマッチで0出力	
				1	コンペアレジスタ	コンペアマッチで1出力	コンペアマッチでトグル出力	
		1	0	0	出力禁止			
					1	初期出力は1出力	コンペアマッチで0出力	
					1	コンペアマッチで1出力	コンペアマッチでトグル出力	
	1	*	0	0	TGR2Bは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ	
					1	インプットキャプチャ	TIOCB2端子	立ち下がりエッジでインプットキャプチャ
					1	レジスタ	両エッジでインプットキャプチャ	

* : Don't care

H'FFF4 : タイムインタラプトイネーブルレジスタ 2 TIER2 : TPU2

ビット :	7	6	5	4	3	2	1	0
	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA
初期値 :	0	1	0	0	0	0	0	0
R/W :	R/W	-	R/W	R/W	-	-	R/W	R/W

TGRインタラプトイネーブルA

0	TGFAビットによる割り込み要求 (TGIA) を禁止
1	TGFAビットによる割り込み要求 (TGIA) を許可

TGRインタラプトイネーブルB

0	TGFBビットによる割り込み要求 (TGIB) を禁止
1	TGFBビットによる割り込み要求 (TGIB) を許可

オーバフローインタラプトイネーブル

0	TCFVによる割り込み要求 (TCIV) を禁止
1	TCFVによる割り込み要求 (TCIV) を許可

アンダフローインタラプトイネーブル

0	TCFUによる割り込み要求 (TCIU) を禁止
1	TCFUによる割り込み要求 (TCIU) を許可

A/D変換開始要求イネーブル

0	A/D変換開始要求の発生を禁止
1	A/D変換開始要求の発生を許可

H'FFF5 : タイマステータスレジスタ 2 TSR2 : TPU2

ビット :	7	6	5	4	3	2	1	0
	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	-	R/(W)*	R/(W)*	-	-	R/(W)*	R/(W)*

TGRAインプットキャプチャ/アウトプットコンペアフラグ

0	[クリア条件] (1) TGRA割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFA = 1の状態ではTGFAをリード後、TGFAに0をライトしたとき
1	[セット条件] (1) TGRAがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRAになったとき (2) TGRAがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRAに転送されたとき

TGRBインプットキャプチャ/アウトプットコンペアフラグ

0	[クリア条件] (1) TGRB割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFB = 1の状態ではTGFBをリード後、TGFBに0をライトしたとき
1	[セット条件] (1) TGRBがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRBになったとき (2) TGRBがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRBに転送されたとき

オーバーフローフラグ

0	[クリア条件] TCFV = 1の状態ではTCFVをリード後、TCFVに0をライトしたとき
1	[セット条件] TCNTの値がオーバーフロー (H'FFFF→H'0000) したとき

アンダフローフラグ

0	[クリア条件] TCFU = 1の状態ではTCFUをリード後、TCFUに0をライトしたとき
1	[セット条件] TCNTの値がアンダフロー (H'0000→H'FFFF) したとき

カウント方向フラグ

0	TCNTはダウンカウント
1	TCNTはアップカウント

【注】* フラグをクリアするための0ライトのみ可能です。

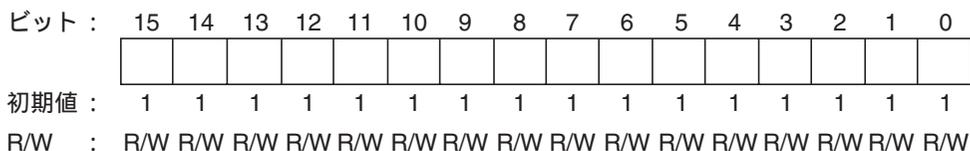
H'FFF6 : タイマカウンタ 2 TCNT2 : TPU2



【注】* 位相計数モード、他のチャネルのオーバーフロー / アンダフローのカウント時のみアップ / ダウンカウンタとして使用できます。それ以外の場合はアップカウンタになります。

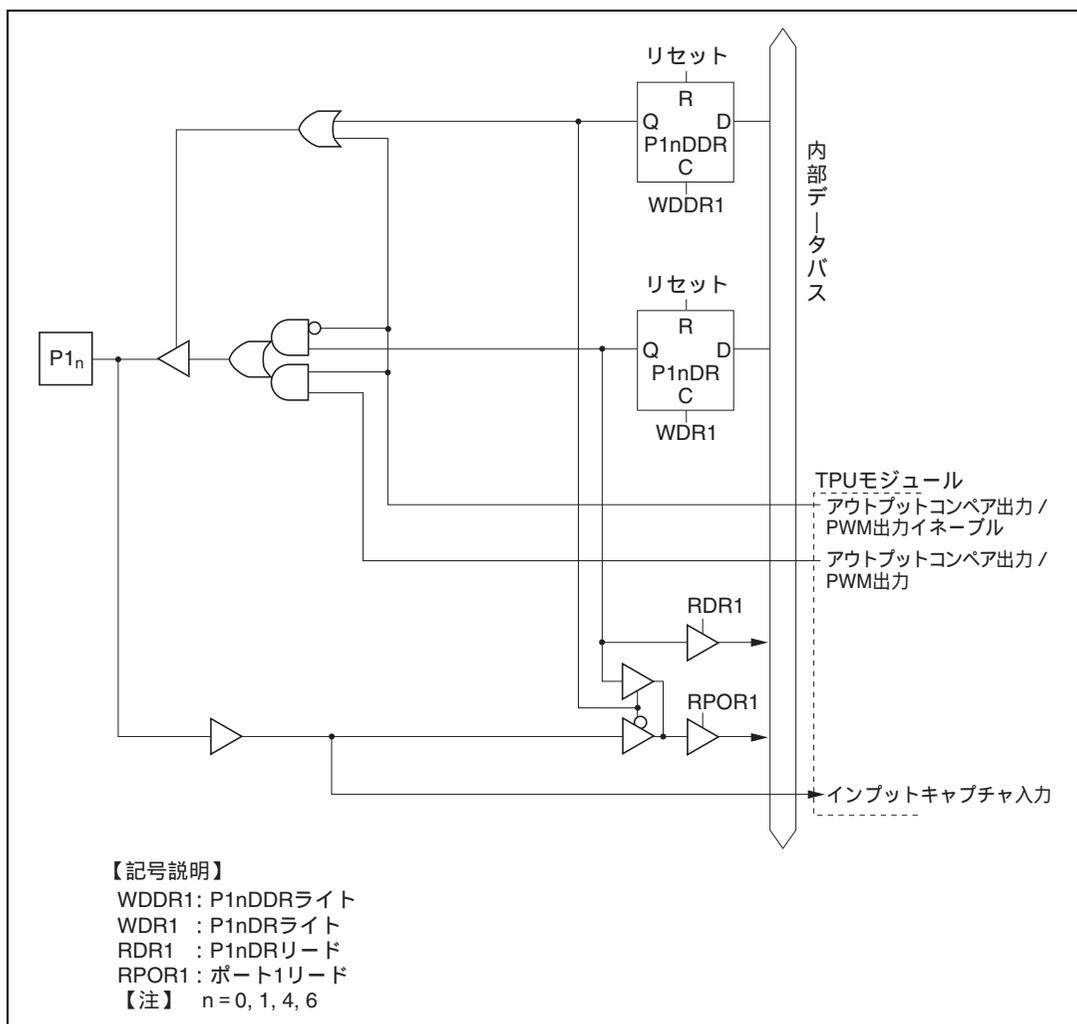
H'FFF8 : タイマジェネラルレジスタ 2A TGR2A : TPU2

H'FFFA : タイマジェネラルレジスタ 2B TGR2B : TPU2



C. I/O ポートのブロック図

C.1 ポート 1 ブロック図

図 C.1 (a) ポート 1 ブロック図 (P1₀、P1₁、P1₄、P1₆端子)

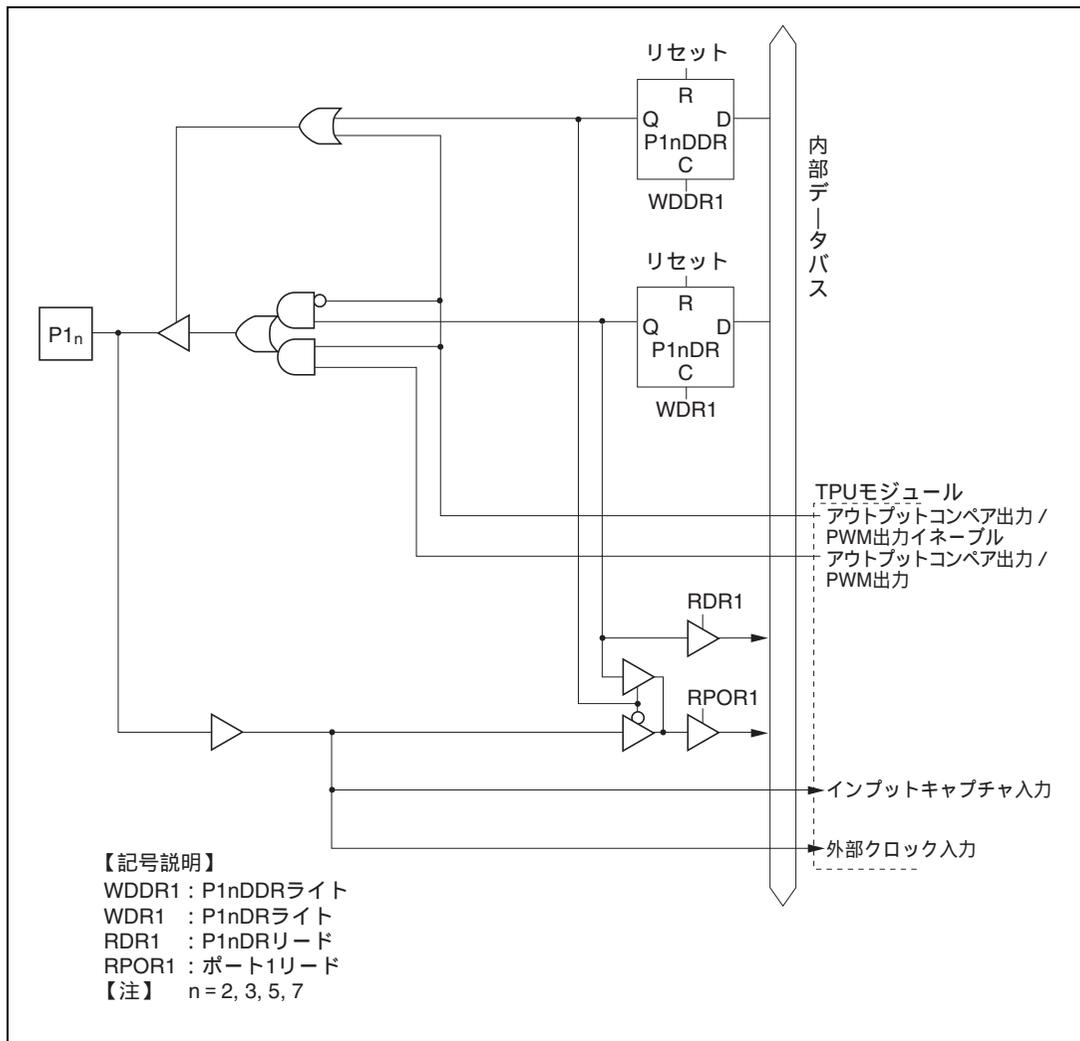
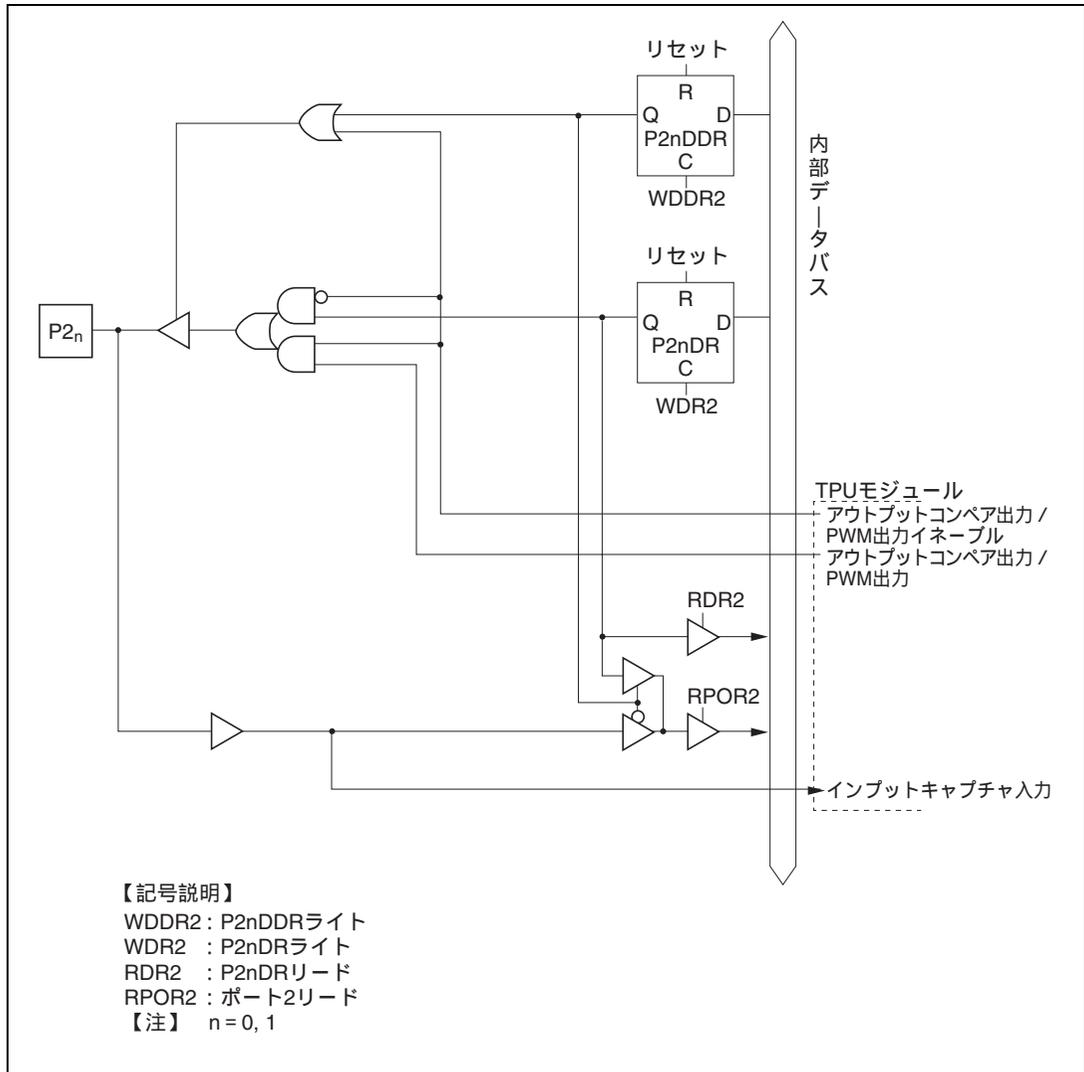


図 C.1 (b) ポート 1 ブロック図 (P1₂、P1₃、P1₅、P1₇端子)

C.2 ポート2ブロック図

図 C.2 (a) ポート2ブロック図 (P2₀、P2₁端子)

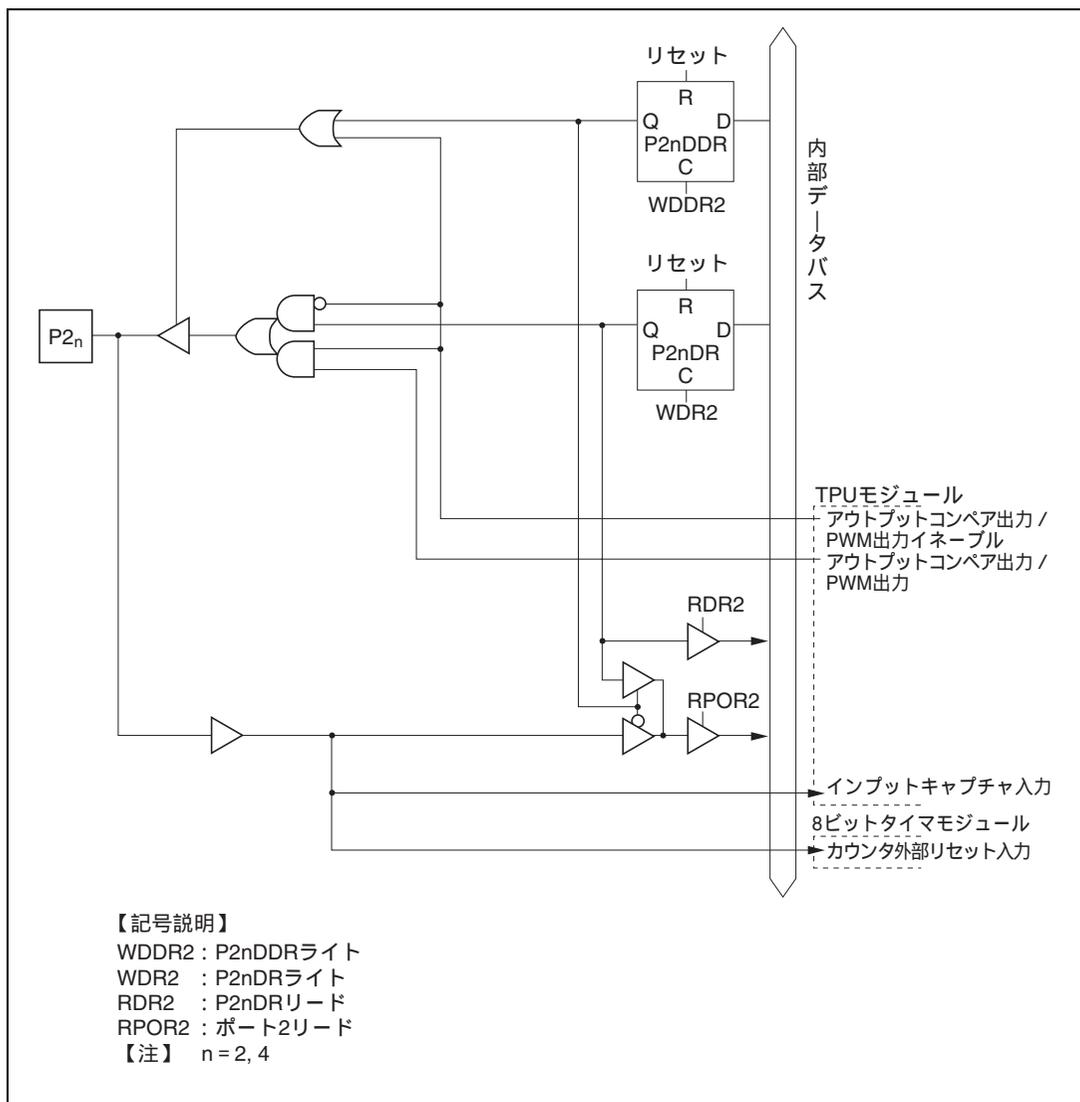
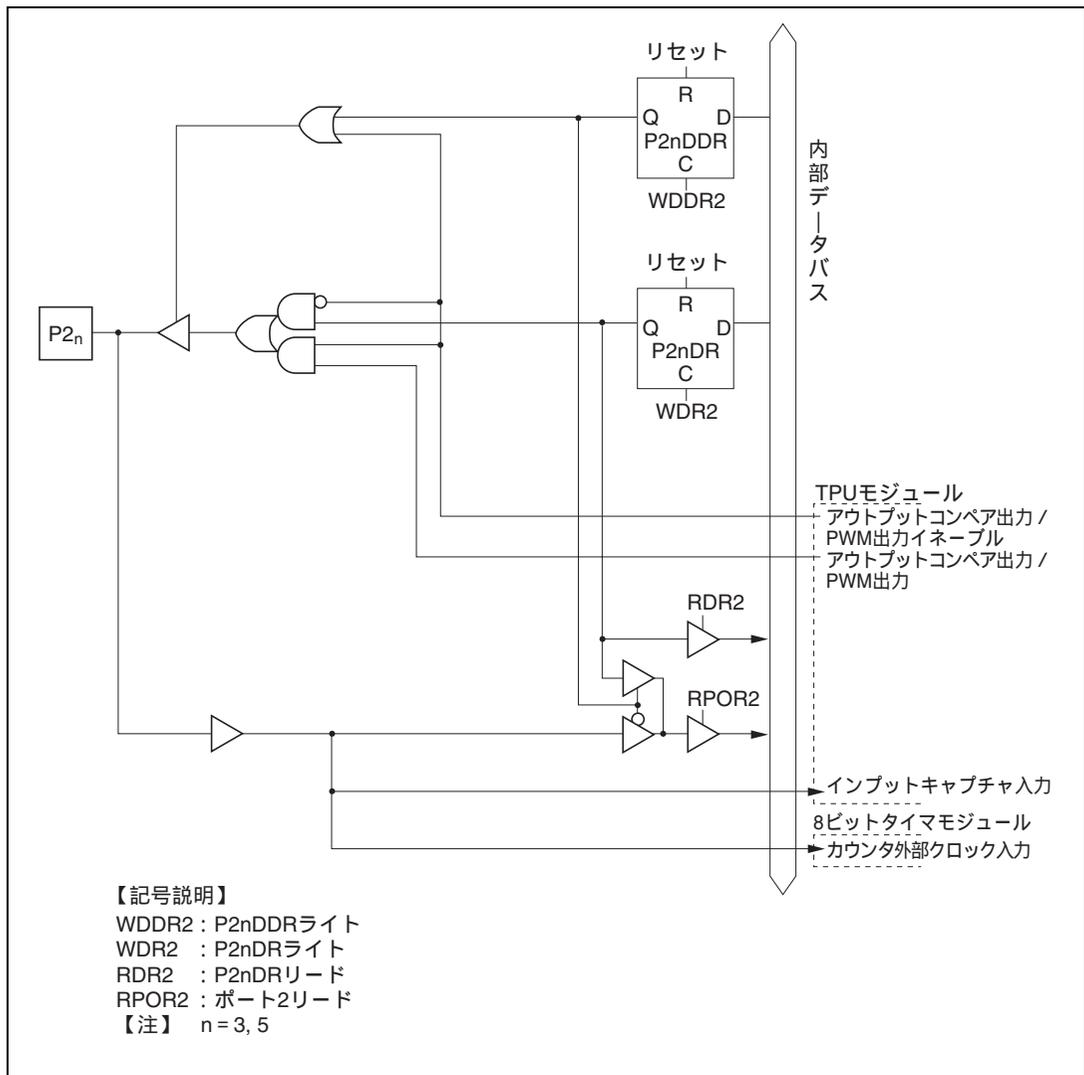


図 C.2 (b) ポート 2 ブロック図 (P2₂、P2₄端子)

図 C.2 (c) ポート 2 ブロック図 (P2₃、P2₅ 端子)

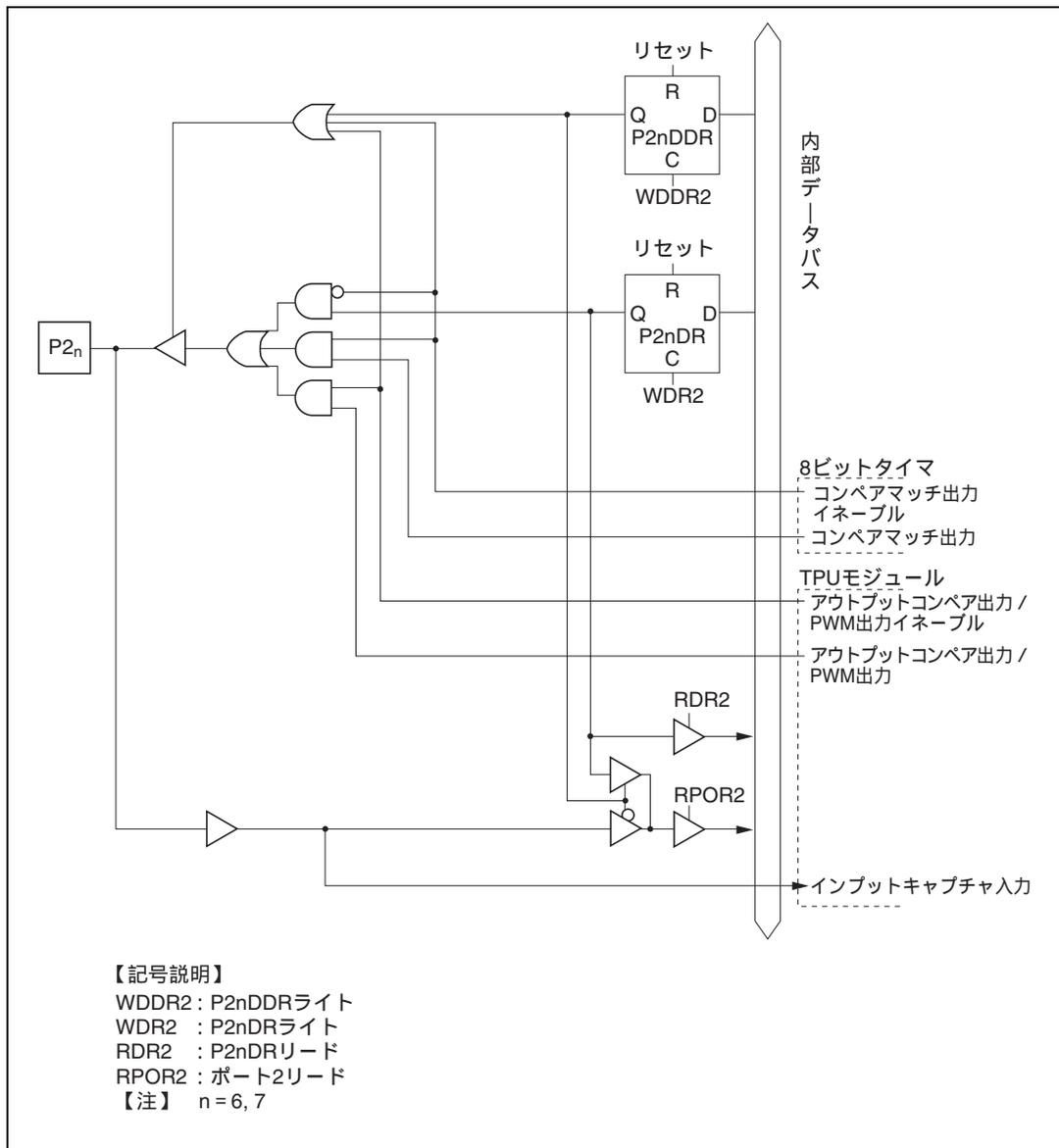
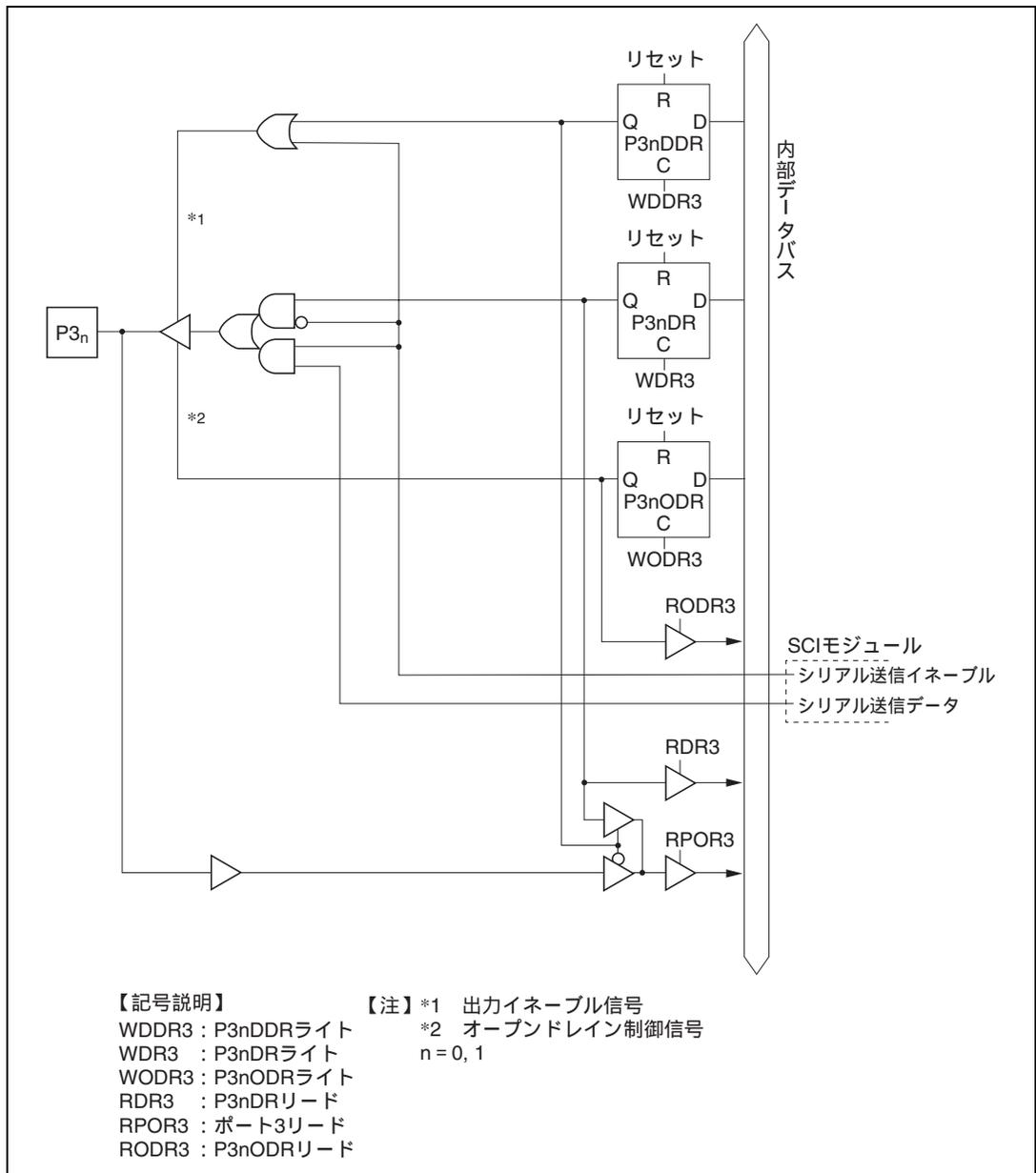


図 C.2 (d) ポート 2 ブロック図 (P2₆、P2₇端子)

C.3 ポート 3 ブロック図

図 C.3 (a) ポート 3 ブロック図 (P3₀、P3₁端子)

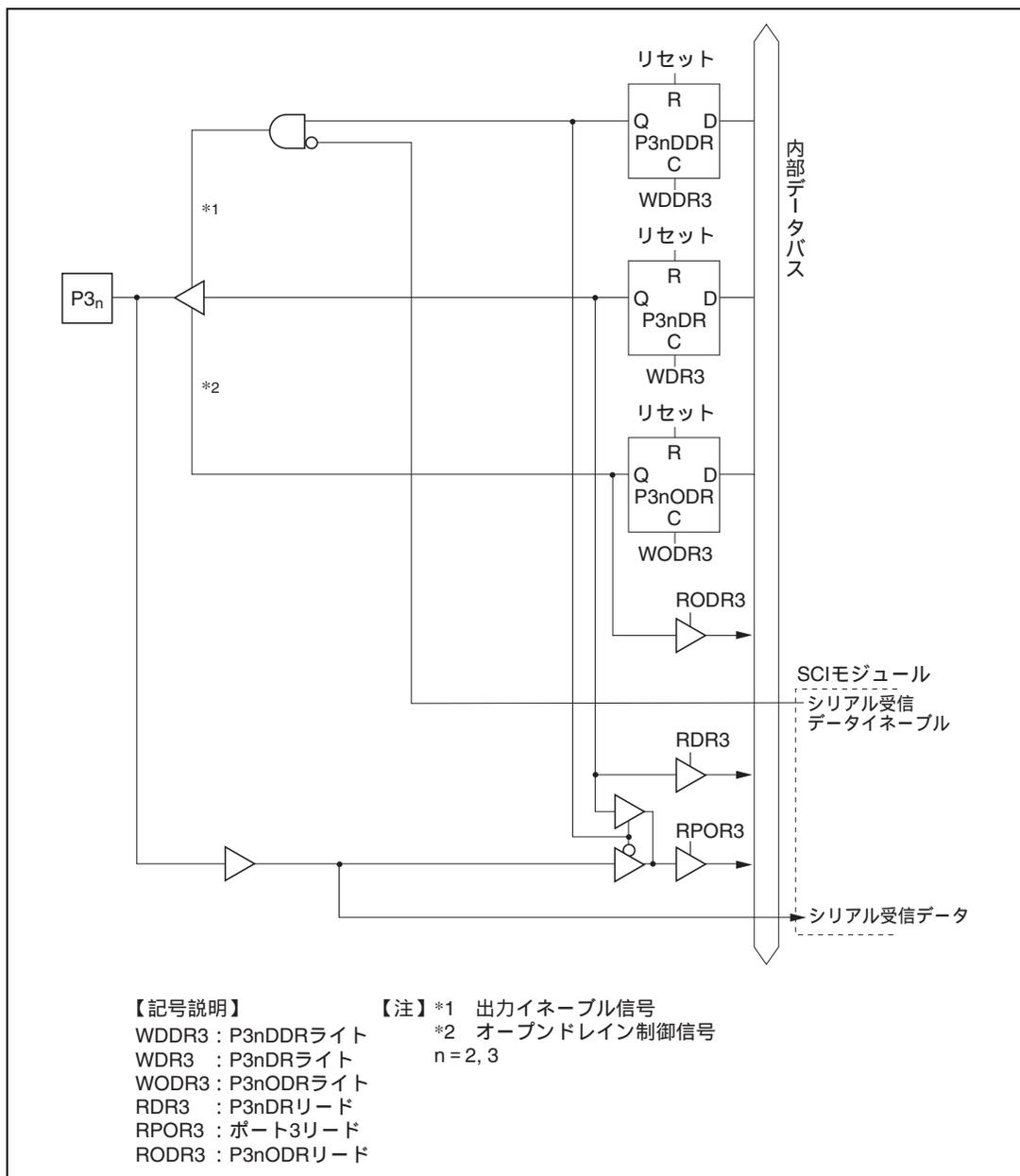
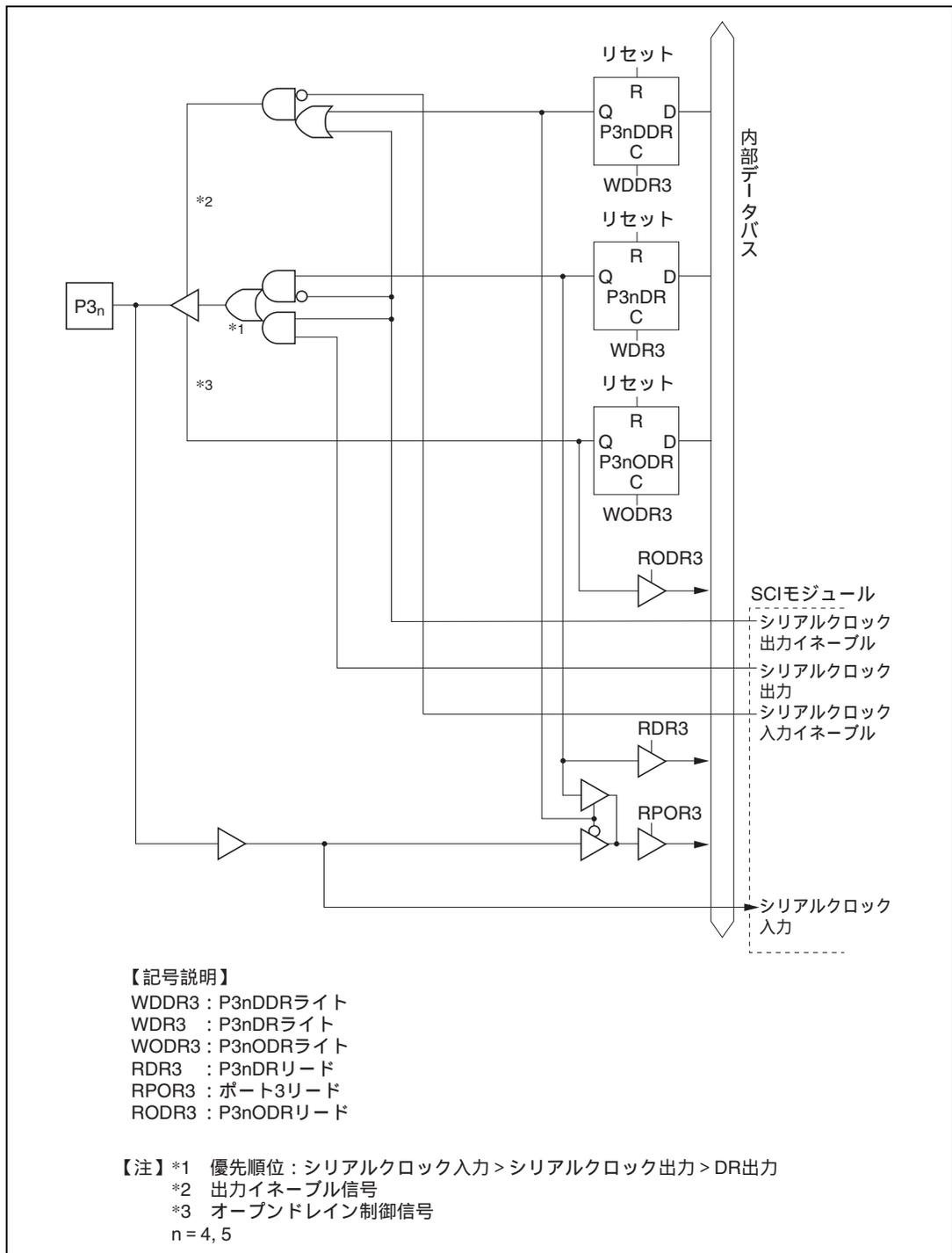


図 C.3 (b) ポート 3 ブロック図 (P3₂、P3₃ 端子)

図 C.3 (c) ポート 3 ブロック図 (P3₄、P3₅ 端子)

C.4 ポート4ブロック図

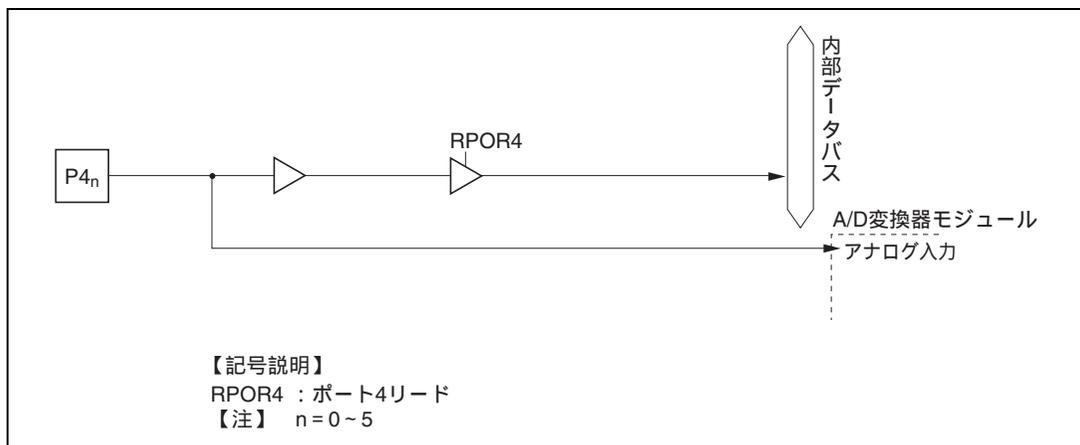


図 C.4 (a) ポート4ブロック図 (H8S/2355、H8S/2353のP4₀~P4₅端子)、
(H8S/2393のP4₀~P4₇端子)

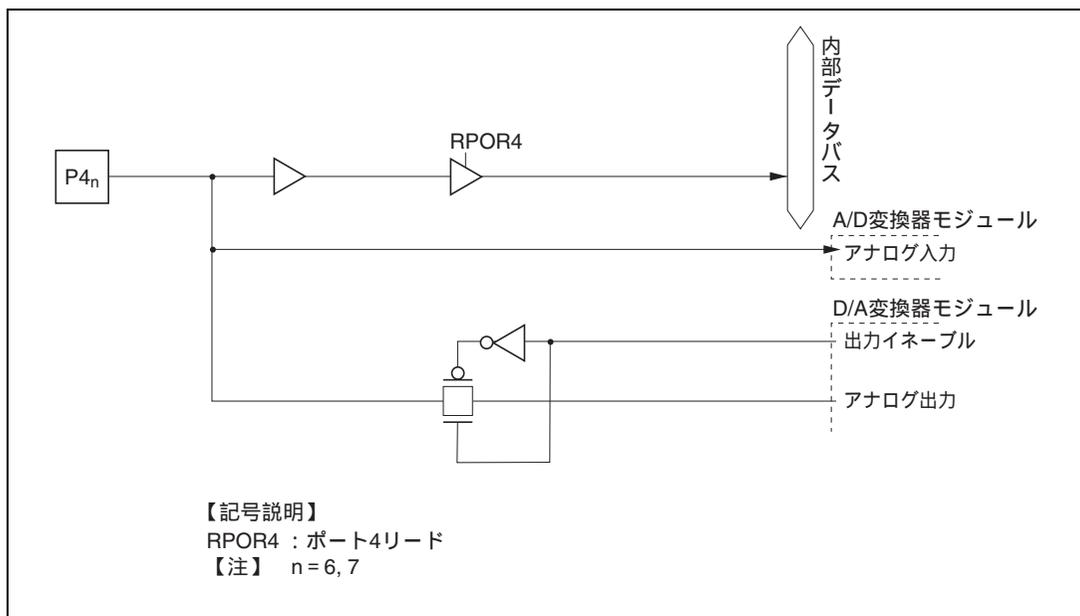
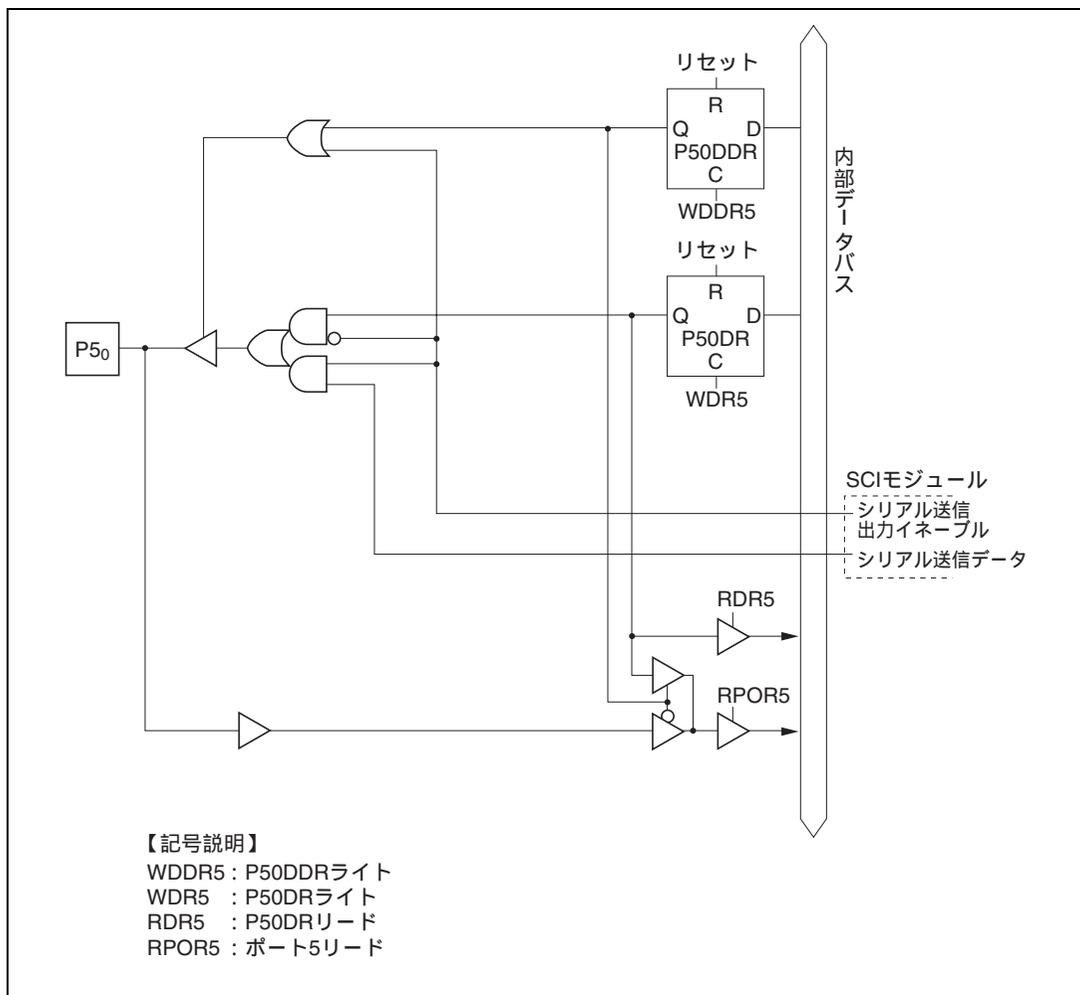


図 C.4 (b) ポート4ブロック図 (H8S/2355、H8S/2353のP4₆、P4₇端子)

C.5 ポート 5 ブロック図

図 C.5 (a) ポート 5 ブロック図 (P5₀ 端子)

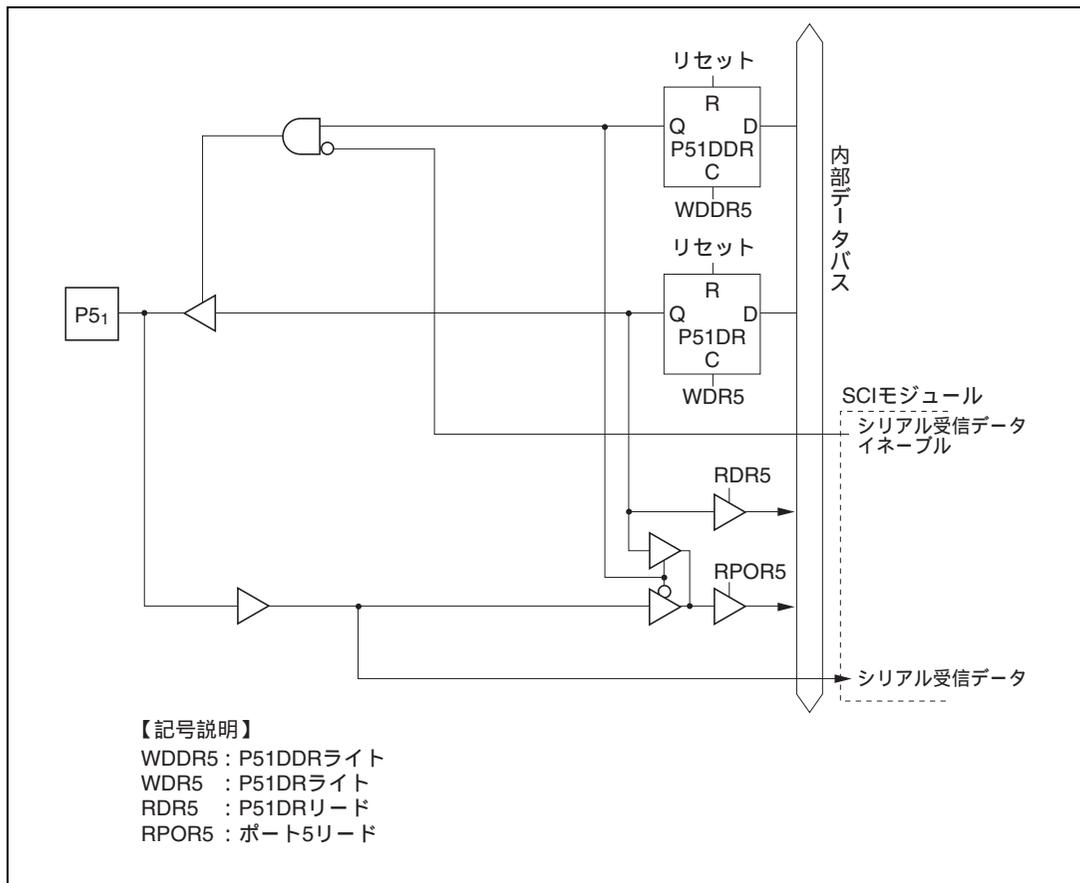
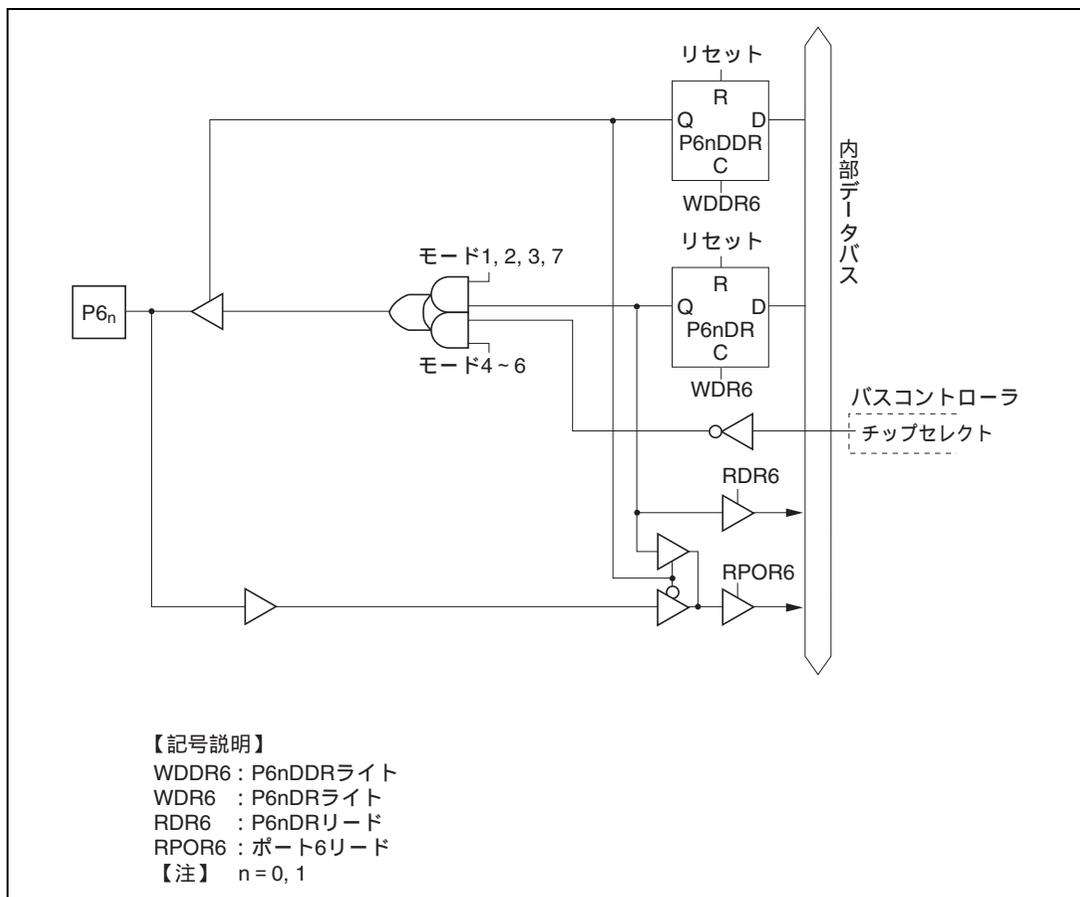


図 C.5 (b) ポート 5 ブロック図 (P5₁ 端子)

C.6 ポート 6 ブロック図

図 C.6 (a) ポート 6 ブロック図 (P6₀、P6₁端子)

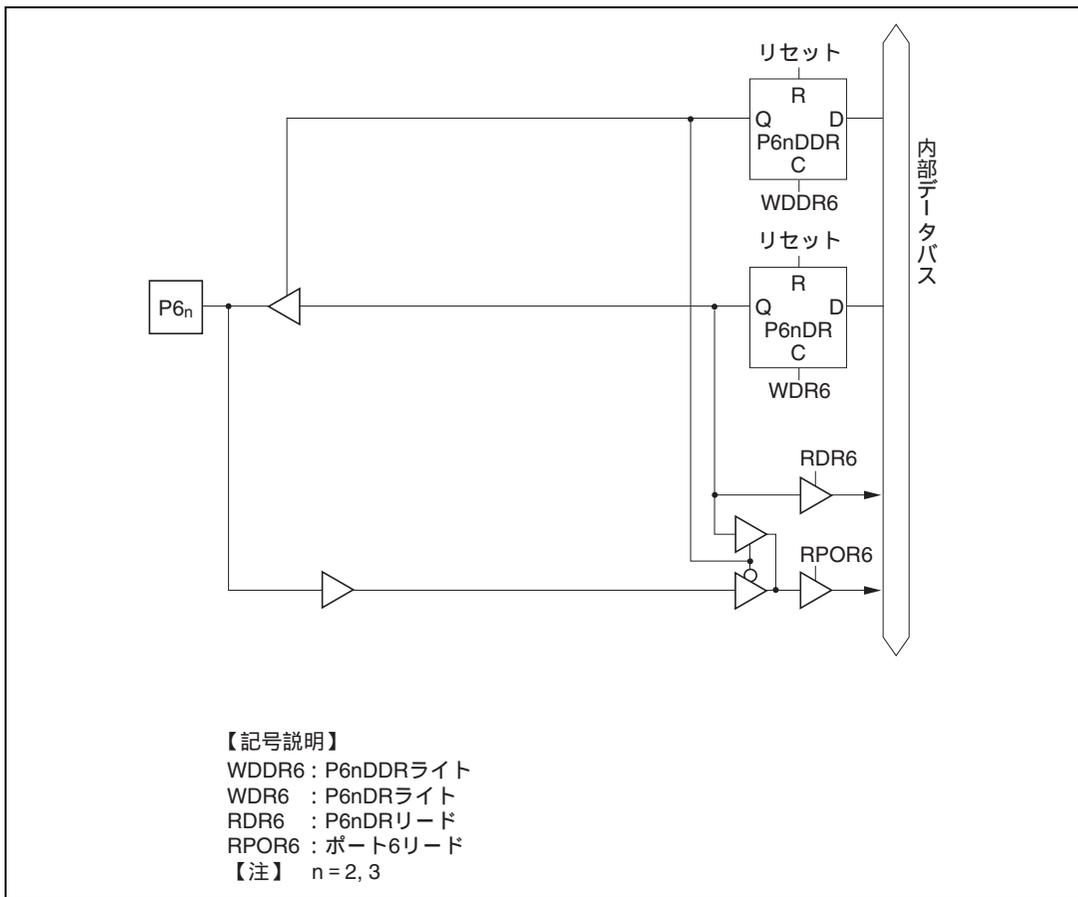
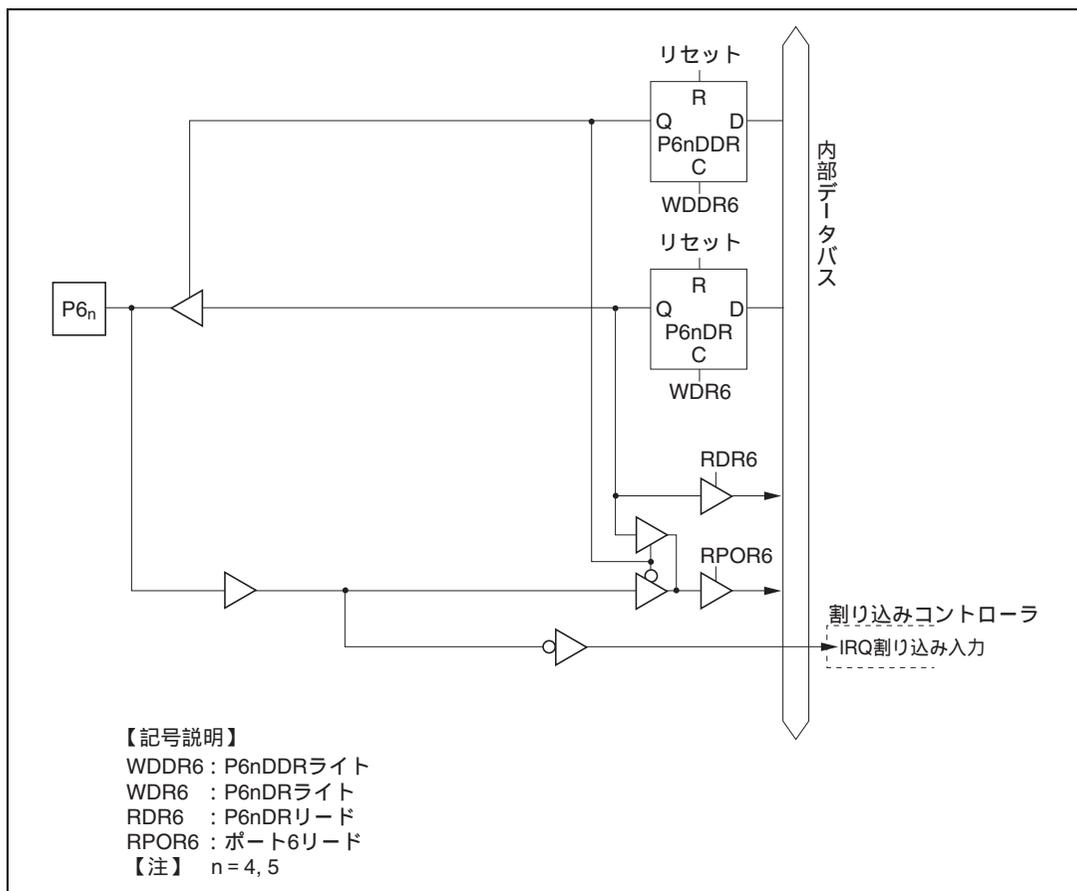
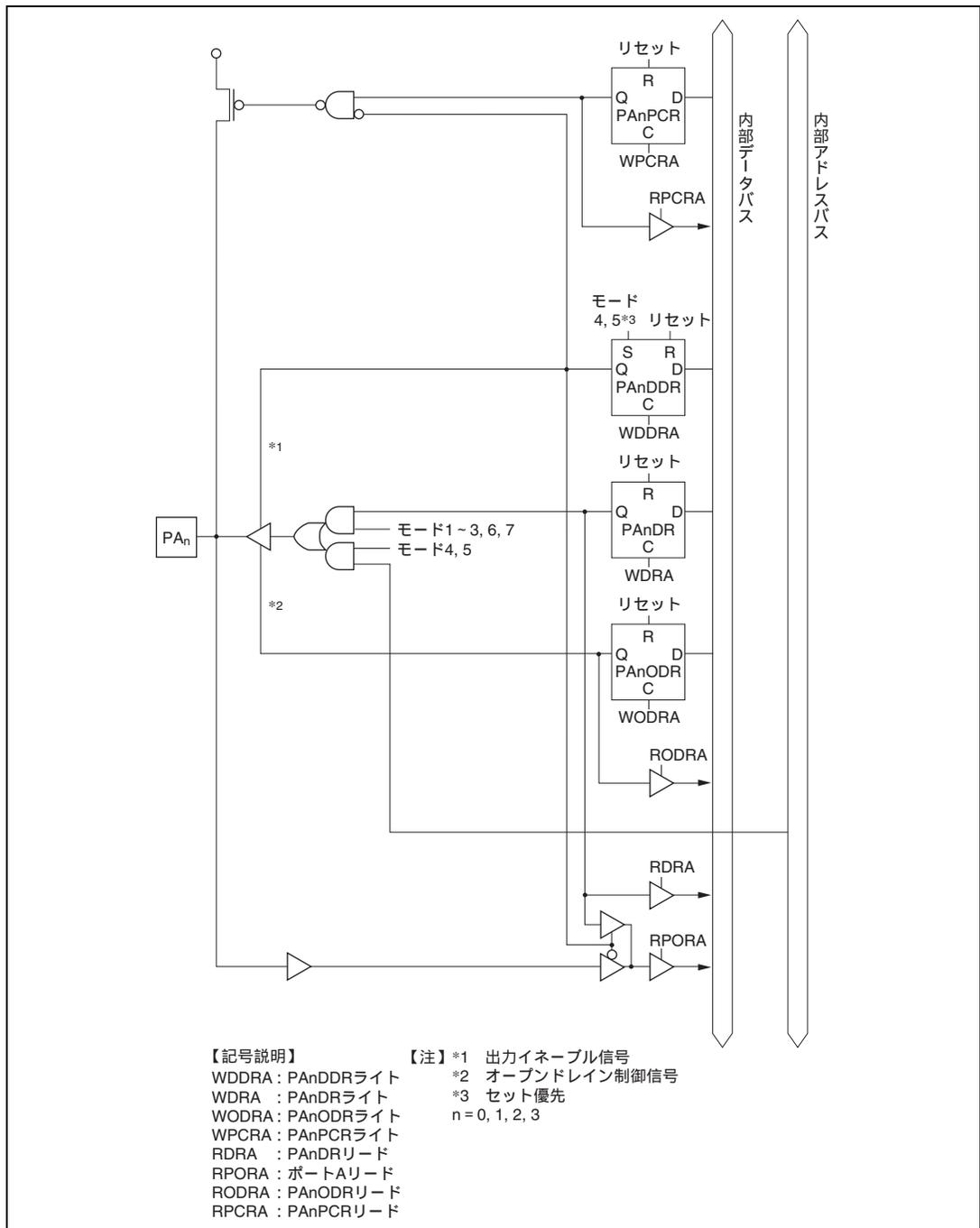


図 C.6 (b) ポート 6 ブロック図 (P6₂、P6₃端子)

図 C.6 (c) ポート 6 ブロック図 (P6₄、P6₅ 端子)

C.7 ポート A ブロック図

図 C.7 (a) ポート A ブロック図 (PA₀、PA₁、PA₂、PA₃端子)

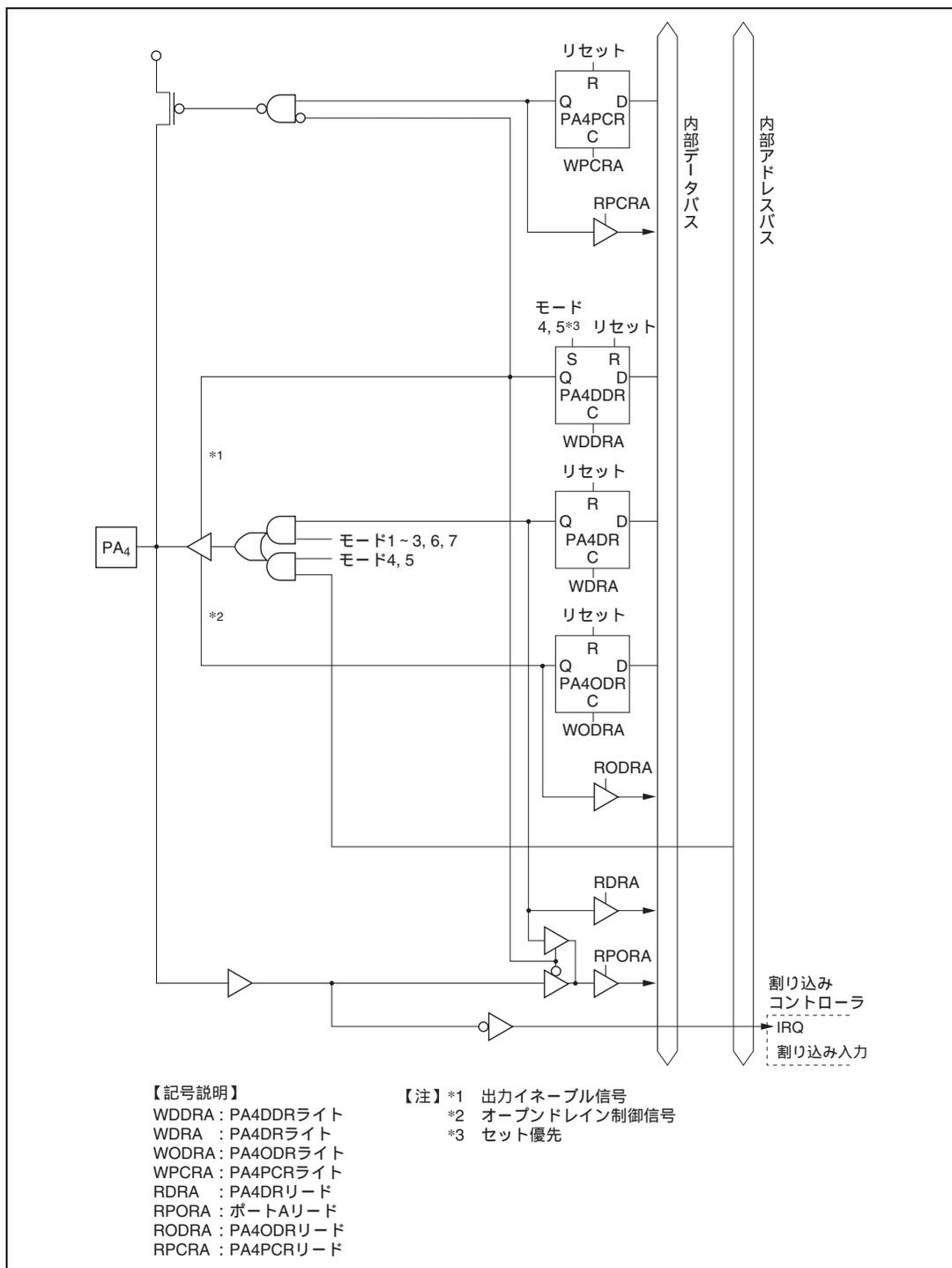


図 C.7 (b) ポート A ブロック図 (PA₄ 端子)

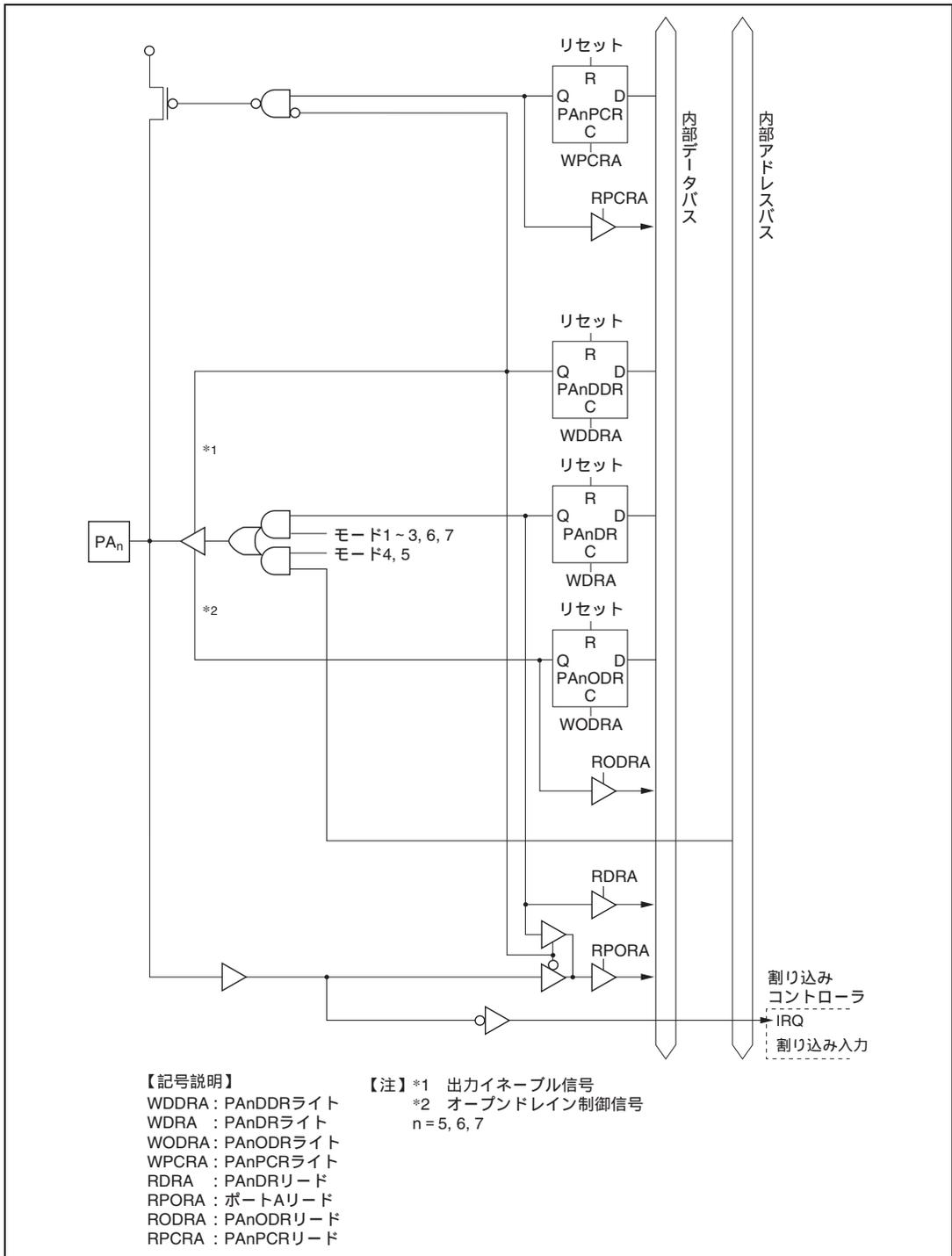


図 C.7 (c) ポート A ブロック図 (PA₅、PA₆、PA₇ 端子)

C.8 ポート B ブロック図

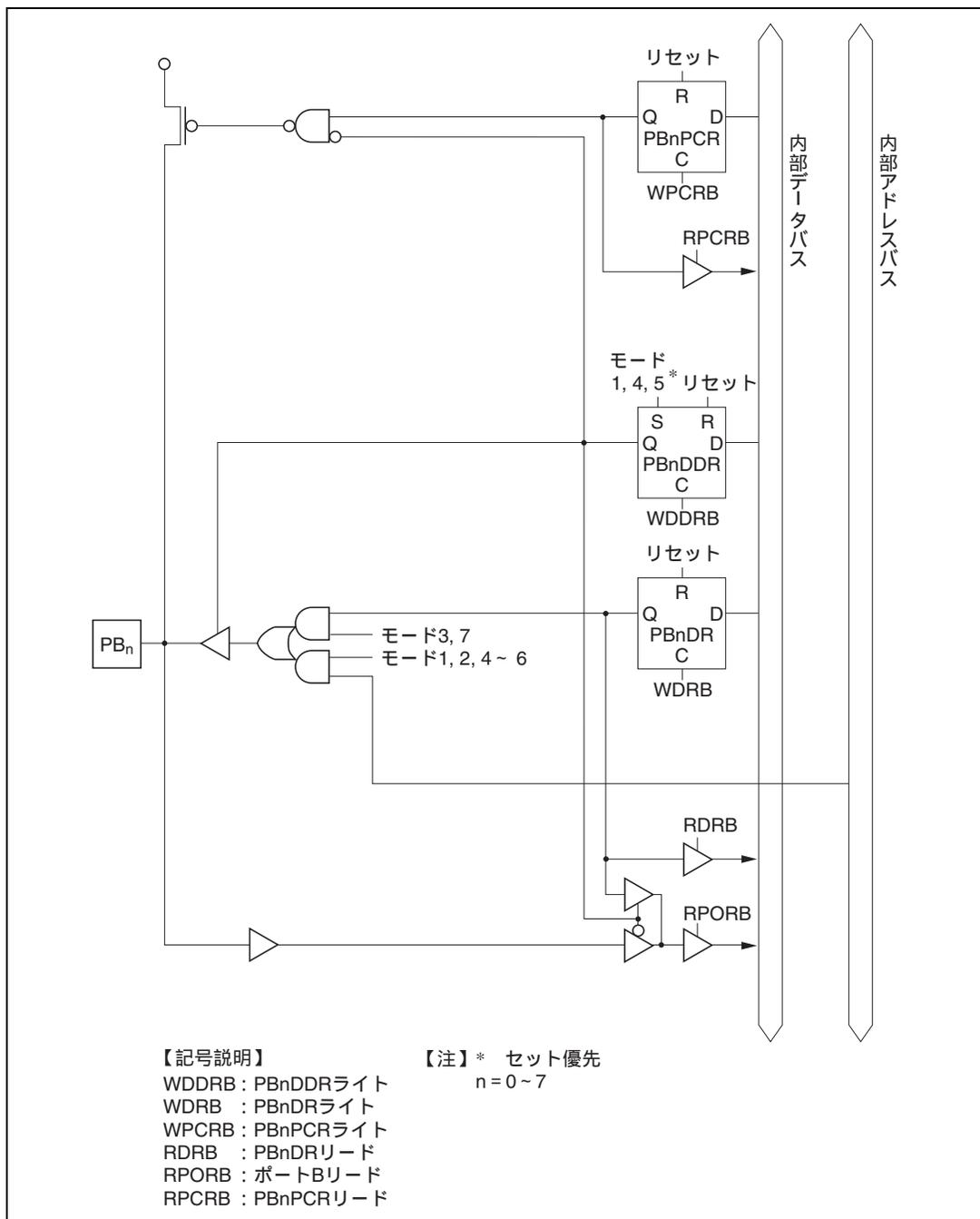


図 C.8 ポート B ブロック図 (PB_n 端子)

C.10 ポートDブロック図

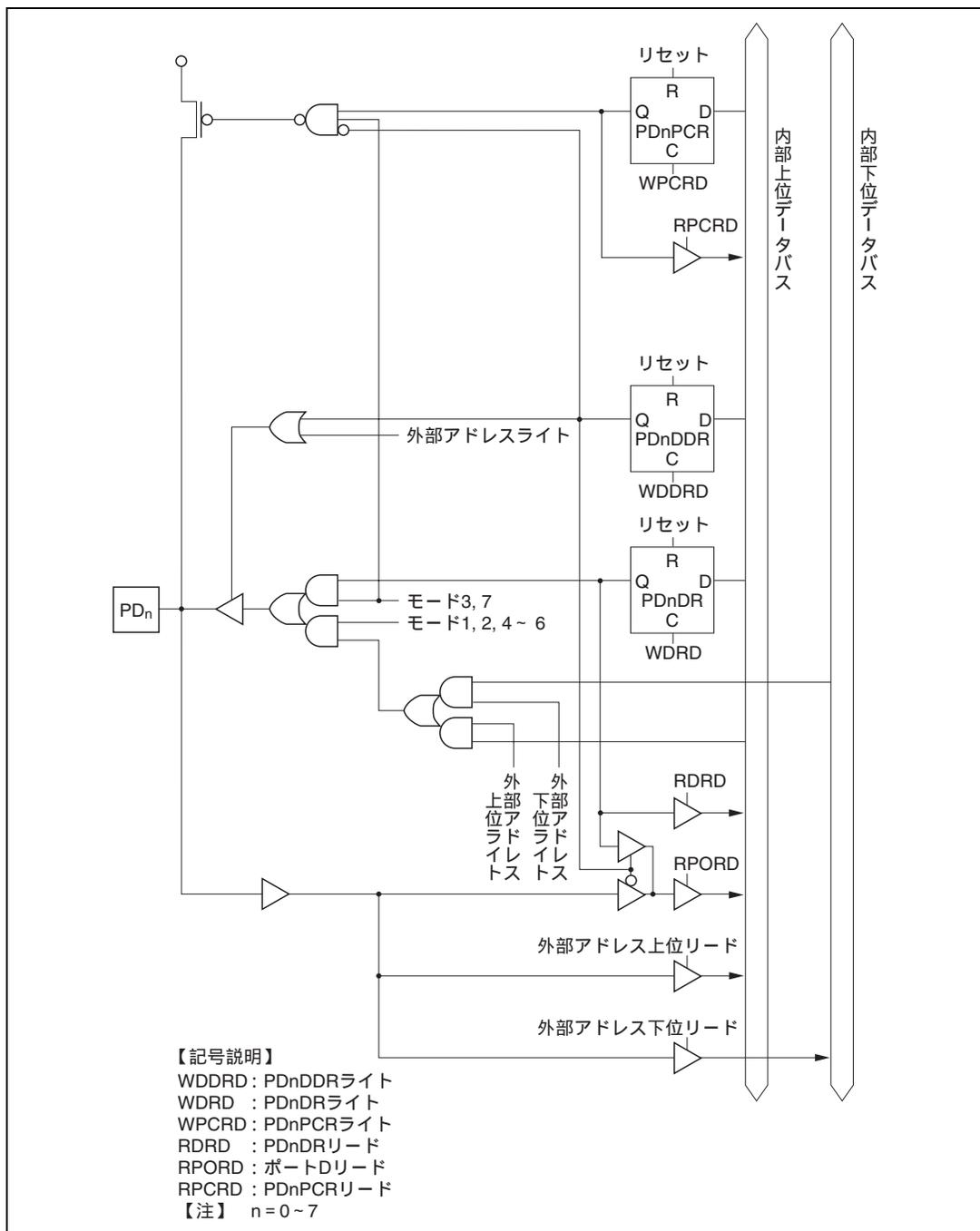


図 C.10 ポートDブロック図 (PD_n端子)

C.12 ポートFブロック図

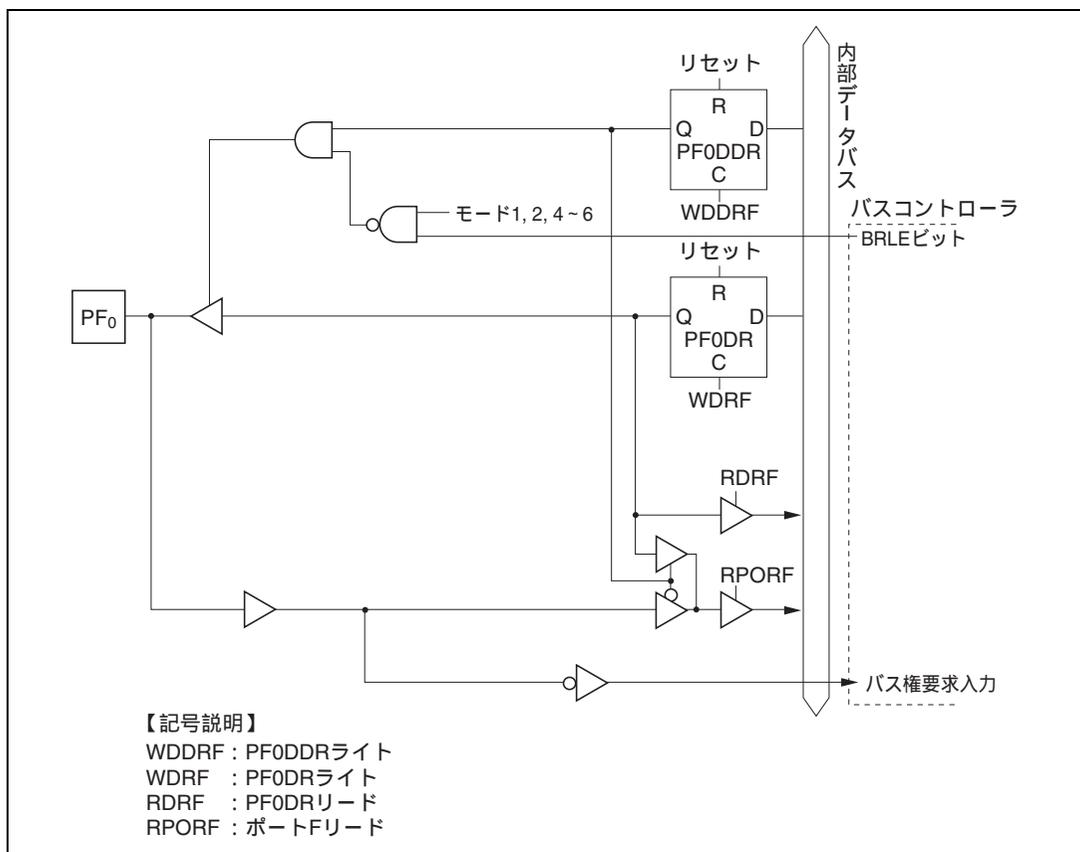


図 C.12 (a) ポートFブロック図 (PF₀端子)

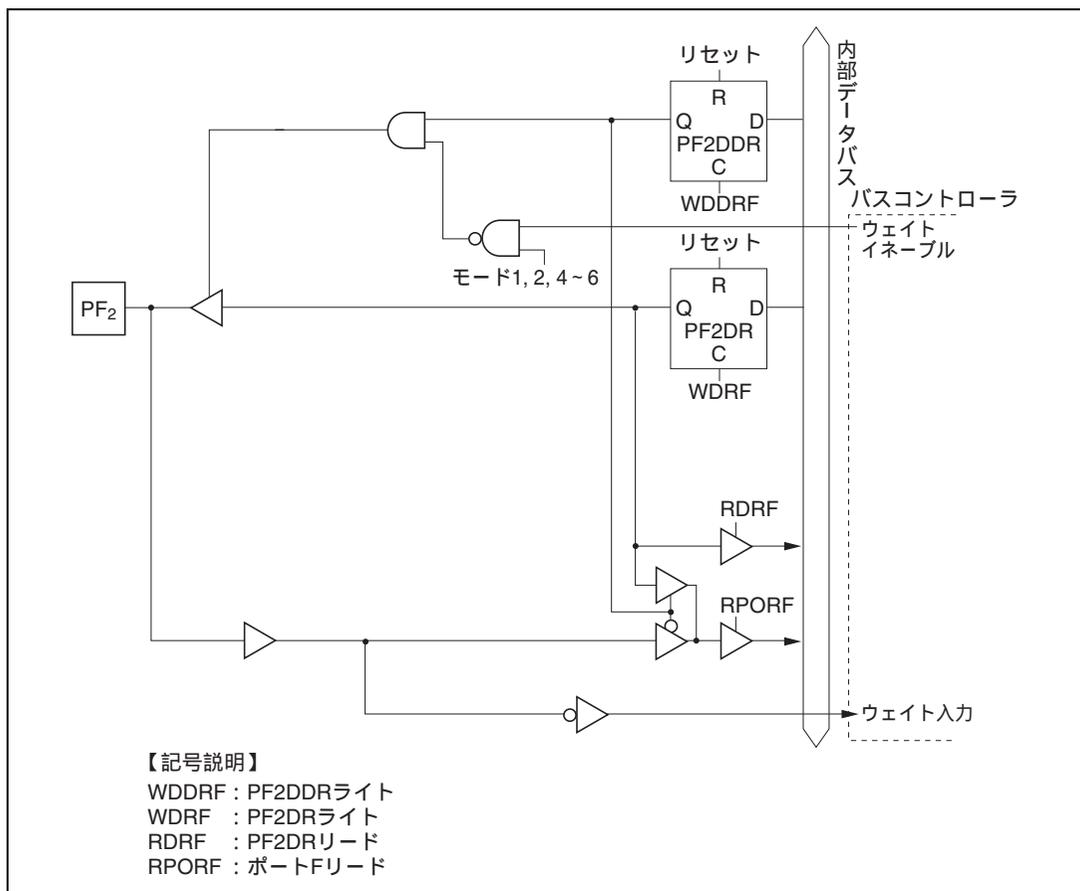
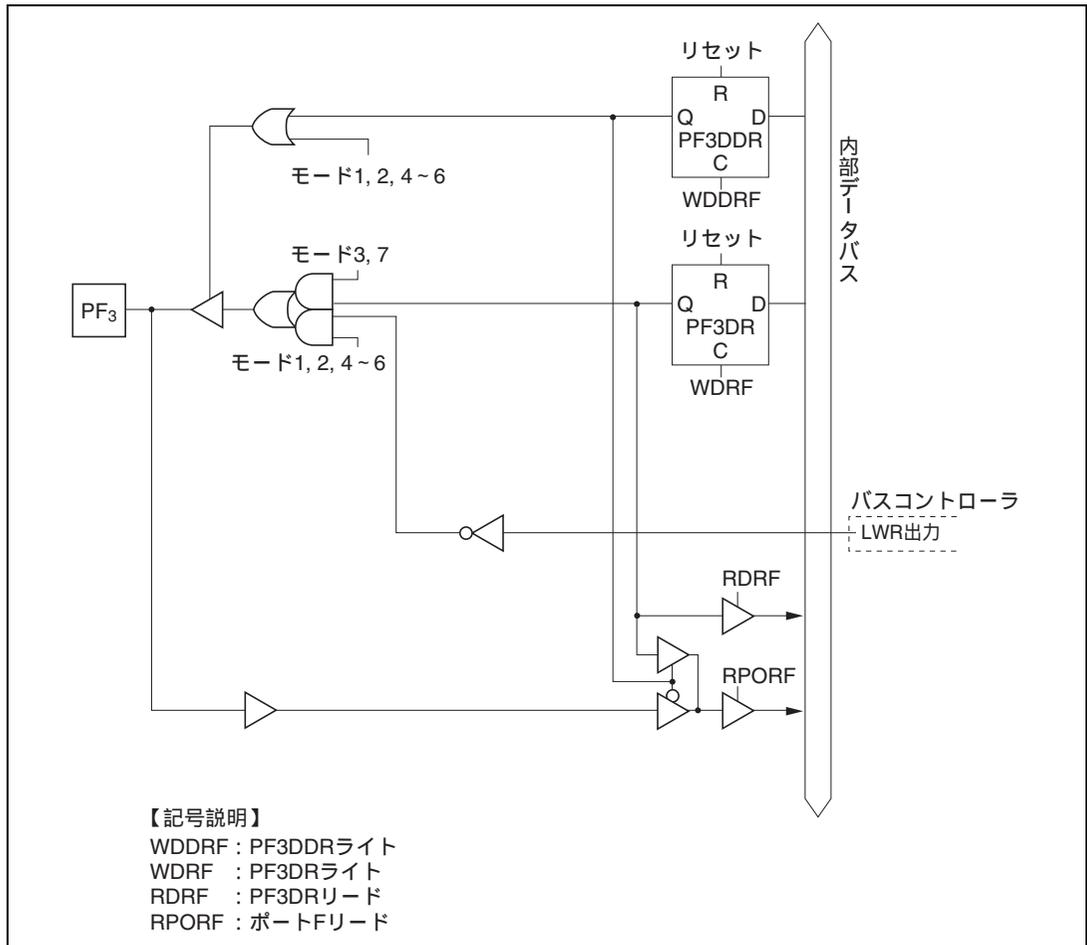


図 C.12 (c) ポート F ブロック図 (PF₂端子)

図 C.12 (d) ポート F ブロック図 (PF₃端子)

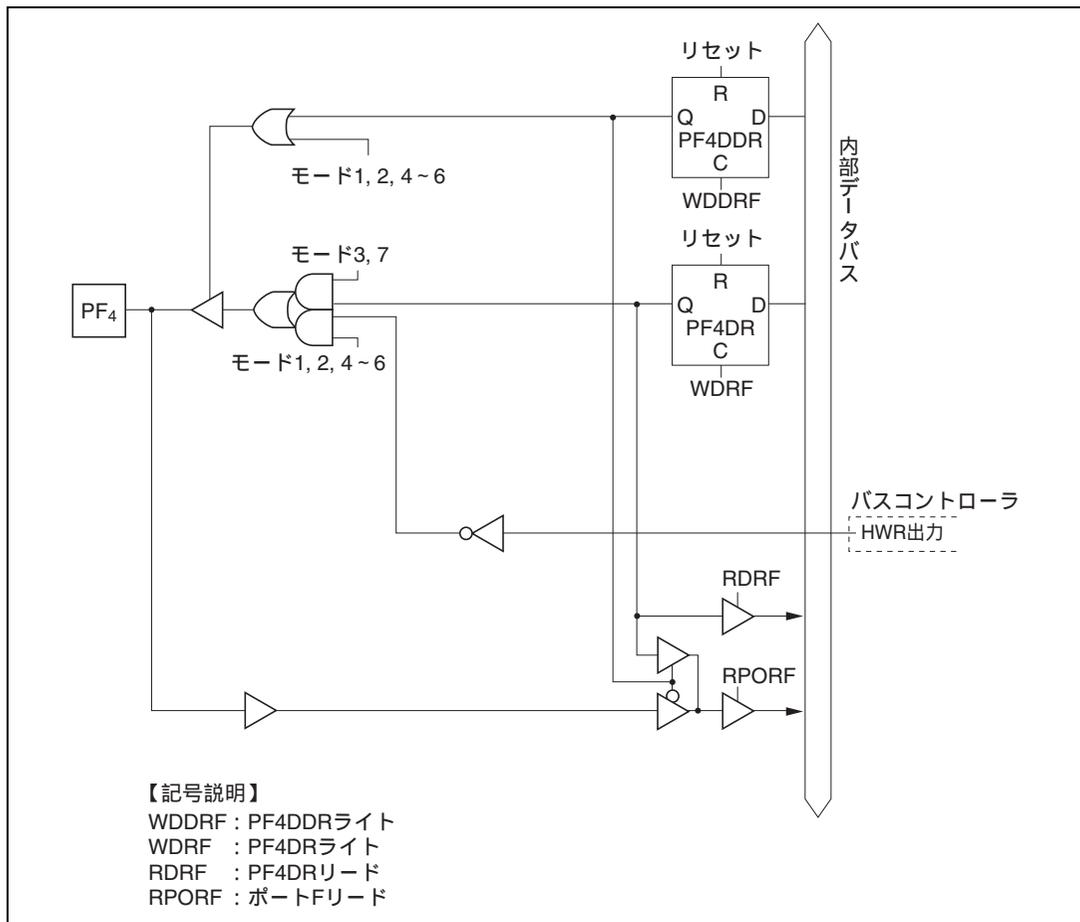


図 C.12 (e) ポート F ブロック図 (PF₄端子)

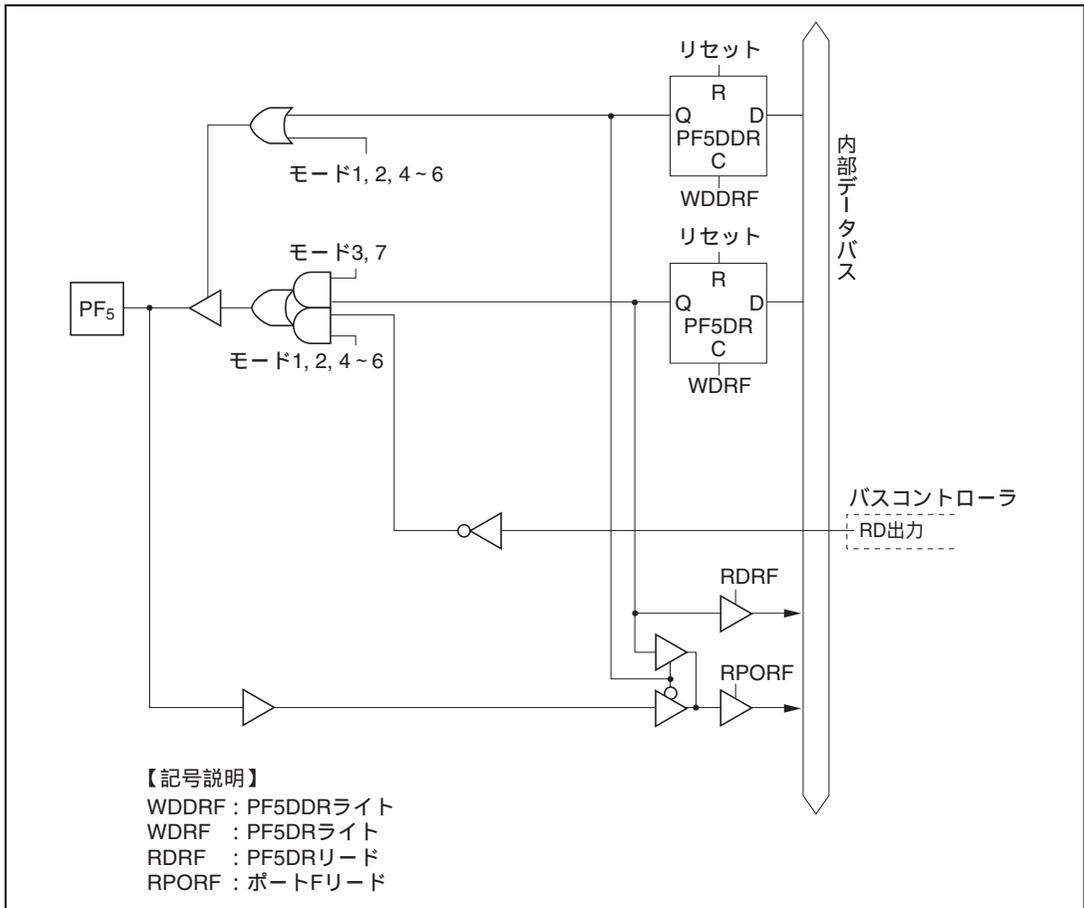
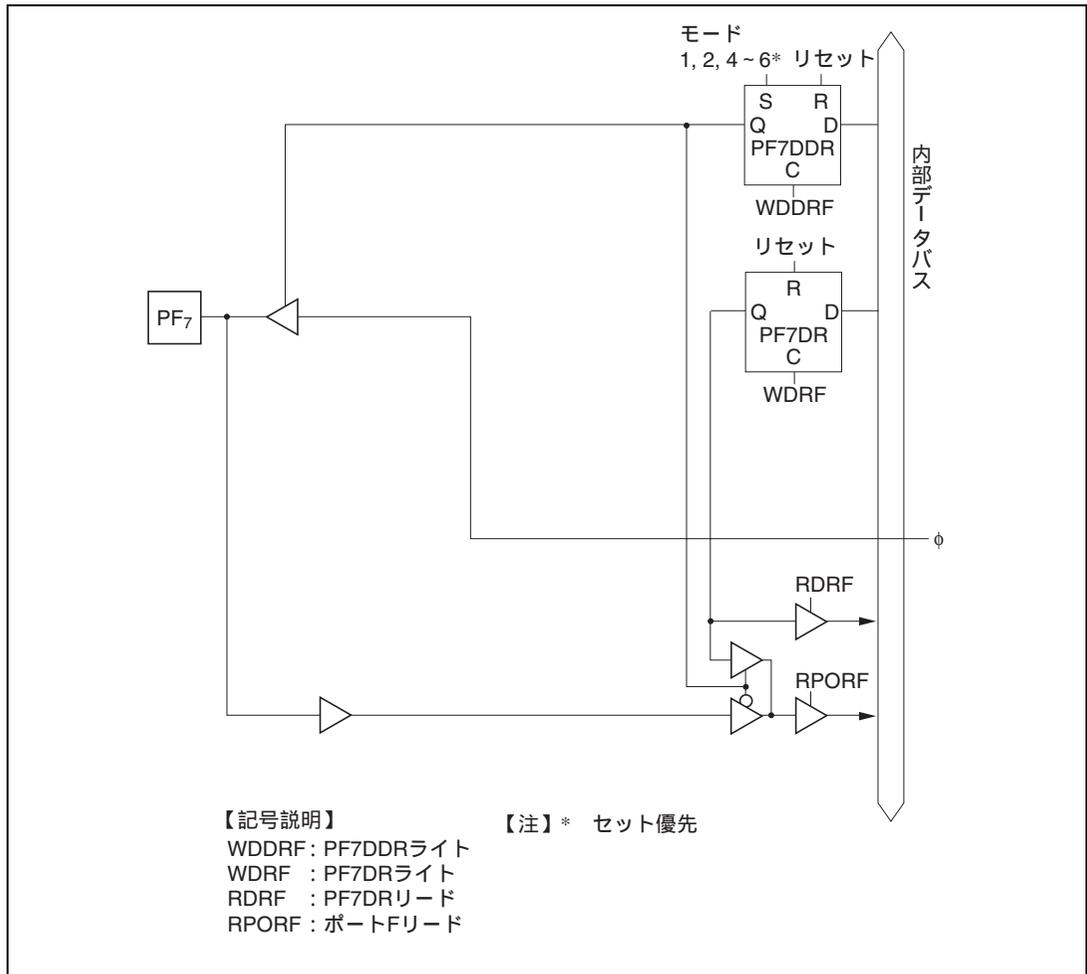


図 C.12 (f) ポート F ブロック図 (PF₅ 端子)

図 C.12 (h) ポート F ブロック図 (PF₇ 端子)

C.13 ポート G ブロック図

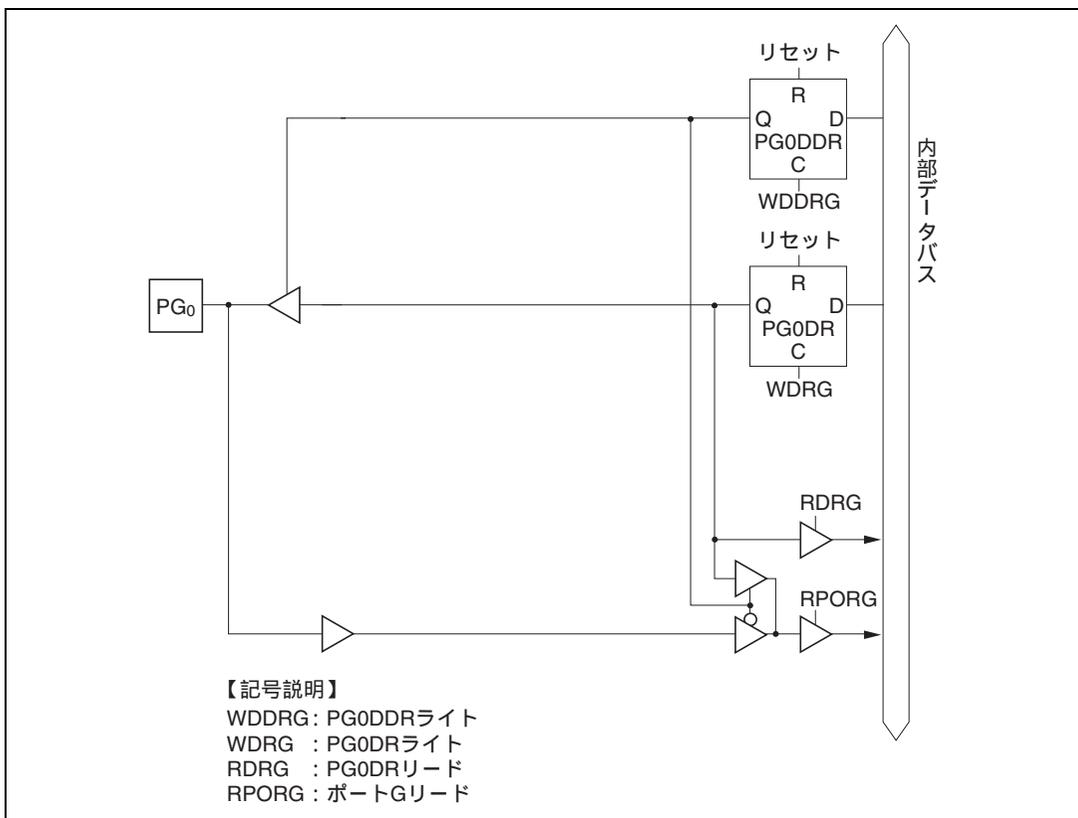
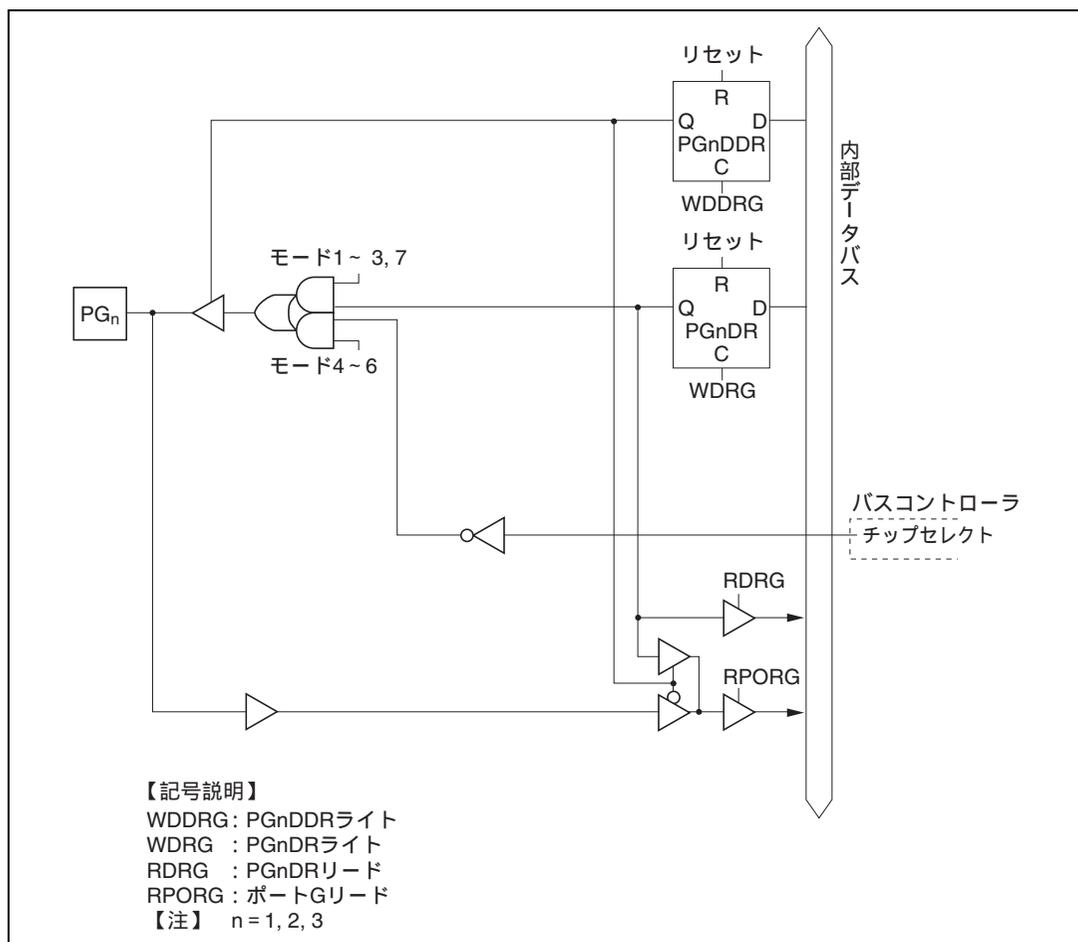


図 C.13 (a) ポート G ブロック図 (PG₀端子)

図 C.13 (b) ポート G ブロック図 (PG₁、PG₂、PG₃端子)

D. 端子状態

D.1 各処理状態におけるポートの状態

表 D.1 各処理状態における I/O ポートの状態

ポート名 端子名	MCU 動作 モード	パワー オン リセット	マニュアル リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
ポート 1	1~7	T	keep	T	keep	keep	入出力ポート
ポート 2	1~7	T	keep	T	keep	keep	入出力ポート
ポート 3	1~7	T	keep	T	keep	keep	入出力ポート
P4 ₇ /DA1	1~7	T	T	T	[DAOE1 = 1] keep [DAOE1 = 0] T	keep	入出力ポート
P4 ₈ /DA0	1~7	T	T	T	[DAOE0 = 1] keep [DAOE0 = 0] T	keep	入出力ポート
P4 ₅ ~ P4 ₀	1~7	T	T	T	T	T	入力ポート
ポート 5	1~7	T	keep	T	keep	keep	入出力ポート
P6 ₅ ~ P6 ₂	1~7	T	keep	T	keep	keep	入出力ポート
P6 ₇ /CS7	1~3、7	T	keep	T	keep	keep	入出力ポート
P6 ₈ /CS6 P6 ₁ /CS5 P6 ₀ /CS4	4~6	T	keep	T	[DDR・OPE = 0] T [DDR・OPE = 1] H	T	[DDR = 0] 入力ポート [DDR = 1] CS7 ~ CS4
ポート A	1~3、7	T	keep	T	keep	keep	入出力ポート
	4、5	L	keep	T	[OPE = 0] T [OPE = 1] keep	T	アドレス出力
	6	T	keep	T	[DDR・OPE = 0] T [DDR・OPE = 1] keep	T	[DDR = 0] 入力ポート [DDR = 1] アドレス出力
ポート B	1、4、5	L	keep	T	[OPE = 0] T [OPE = 1] keep	T	アドレス出力
	2、6	T	keep	T	[DDR・OPE = 0] T [DDR・OPE = 1] keep	T	[DDR = 0] 入力ポート [DDR = 1] アドレス出力
	3、7	T	keep	T	keep	keep	入出力ポート

付 録

ポート名 端子名	MCU 動作 モード	パワー オン リセット	マニュアル リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード	
ポート C	1、4、5	L	Keep	T	[OPE = 0] T [OPE = 1] Keep	T	アドレス出力	
	2、6	T	Keep	T	[DDR・OPE=0] T [DDR・OPE=1] Keep	T	[DDR = 0] 入力ポート [DDR = 1] アドレス出力	
	3、7	T	Keep	T	Keep	Keep	入出力ポート	
ポート D	1、2、4~6	T	T*	T	T	T	データバス	
	3、7	T	Keep	T	Keep	Keep	入出力ポート	
ポート E	1、2、 4~6	8ビット バス	T	Keep	T	Keep	Keep	入出力ポート
		16ビット バス	T	T*	T	T	T	データバス
	3、7	T	Keep	T	Keep	Keep	入出力 ポート	
PF _i /φ	1、2、4~6	クロック 出力	[DDR = 0] T [DDR = 1] クロック 出力	T	[DDR = 0] 入力ポート [DDR = 1] H	[DDR = 0] 入力ポート [DDR = 1] クロック出力	[DDR = 0] 入力ポート [DDR = 1] クロック出力	
	3、7	T	Keep	T	[DDR = 0] 入力ポート [DDR = 1] H	[DDR = 0] 入力ポート [DDR = 1] クロック出力	[DDR = 0] 入力ポート [DDR = 1] クロック出力	
PF _i /AS PF _i /RD PF _i /HWR PF _i /LWR	1、2、4~6	H	H*	T	[OPE = 0] T [OPE = 1] H	T	AS、RD、 HWR、LWR	
	3、7	T	Keep	T	Keep	Keep	入出力ポート	
PF _i /WAIT	1、2、 4~6	T	[WAITE = 0] Keep [WAITE = 1] T	T	[WAITE = 0] Keep [WAITE = 1] T	[WAITE = 0] Keep [WAITE = 1] T	[WAITE = 0] 入出力ポート [WAITE = 1] WAIT	
	3、7	T	Keep	T	Keep	Keep	入出力ポート	
PF _i /BACK	1、2、 4~6	T	[BRLE = 0] Keep [BRLE = 1] BACK	T	[BRLE = 0] Keep [BRLE = 1] H	L	[BRLE = 0] 入出力ポート [BRLE = 1] BACK	
	3、7	T	Keep	T	Keep	Keep	入出力ポート	
PF _i /BREQ	1、2、 4~6	T	[BRLE = 0] Keep [BRLE = 1] BREQ	T	[BRLE = 0] Keep [BRLE = 1] T	T	[BRLE = 0] 入出力ポート [BRLE = 1] BREQ	
	3、7	T	Keep	T	Keep	Keep	入出力ポート	

ポート名 端子名	MCU 動作 モード	パワー オン リセット	マニュアル リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
PG ₀ /CS ₀	1、4、5	H	[DDR = 0] T	T	[DDR・OPE = 0] T	T	[DDR = 0] 入力ポート
	2、6	T	[DDR = 1] H*		[DDR・OPE = 1] H		[DDR = 1] CS ₀
	3、7	T	Keep	T	Keep	Keep	入出力ポート
PG ₀ /CS ₁	1~3、7	T	Keep	T	Keep	Keep	入出力ポート
PG ₀ /CS ₂ PG ₀ /CS ₃	4~6	T	[DDR = 0] T	T	[DDR・OPE = 0] T	T	[DDR = 0] 入力ポート
			[DDR = 1] H*		[DDR・OPE = 1] H		[DDR = 1] CS ₁ ~ CS ₃
PG ₀	1~3、7	T	Keep	T	Keep	Keep	入出力ポート
	4~6	T	Keep	T	Keep	T	入出力ポート

【記号説明】

H	: High レベル	DDR	: データディレクションレジスタ
L	: Low レベル	OPE	: 出力ポートイネーブル
T	: ハイインピーダンス	WAITE	: ウェイト入力イネーブル
keep	: 入力ポートはハイインピーダンス 出力ポートは保持	BRLE	: バスリリースイネーブル

【注】 *: 実行中のバスサイクル終了後の状態を示します。

E. 電源投入時の端子状態について

STBY 端子、NMI 端子の状態によって、電源投入時の端子状態が異なるので注意してください。電源投入時、端子が不定状態から確定*する場合、および端子がハイインピーダンス状態から確定*する場合について、下記に示します。

リセット解除後はパワーオンリセット例外処理を開始します。

【注】* 確定とは、各 MCU 動作モードのパワーオンリセット時の端子状況を示します。

E.1 電源投入時、端子が不定状態から確定する場合

電源投入後、NMI 端子が Low レベルから High レベルに変化した場合、LSI は NMI 端子の High レベルを検出後にパワーオンリセットになります。LSI が NMI 端子を Low レベルと検出している場合はマニュアルリセットです。この期間の端子状態は不定です。（ポートは、電源投入時に内部で確定した値を出力する場合があります。）

NMI 端子の High レベルを検出するためには、LSI は NMI セットアップ時間 (t_{NMI}) が必要です。

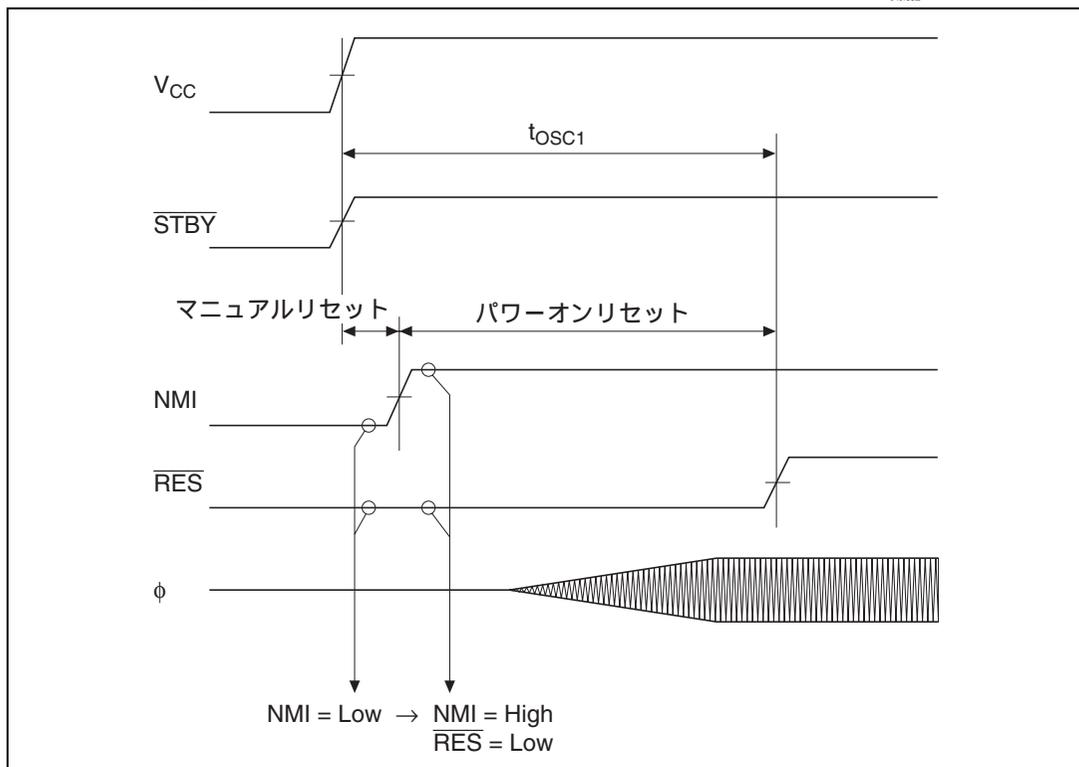


図 E.1 端子が不定状態から確定する場合

E.2 電源投入時、端子がハイインピーダンス状態から確定する場合

電源投入後、 $\overline{\text{STBY}}$ 端子が Low から High レベルに変化した場合、LSI は $\overline{\text{STBY}}$ 端子の High レベルを検出後にパワーオンリセットになります。LSI が $\overline{\text{STBY}}$ 端子を Low レベルと検出している期間は、ハードウェアスタンバイモードです。この期間の端子はハイインピーダンス状態です。

LSI は $\overline{\text{STBY}}$ 端子の High レベルを検出後、発振を開始します。

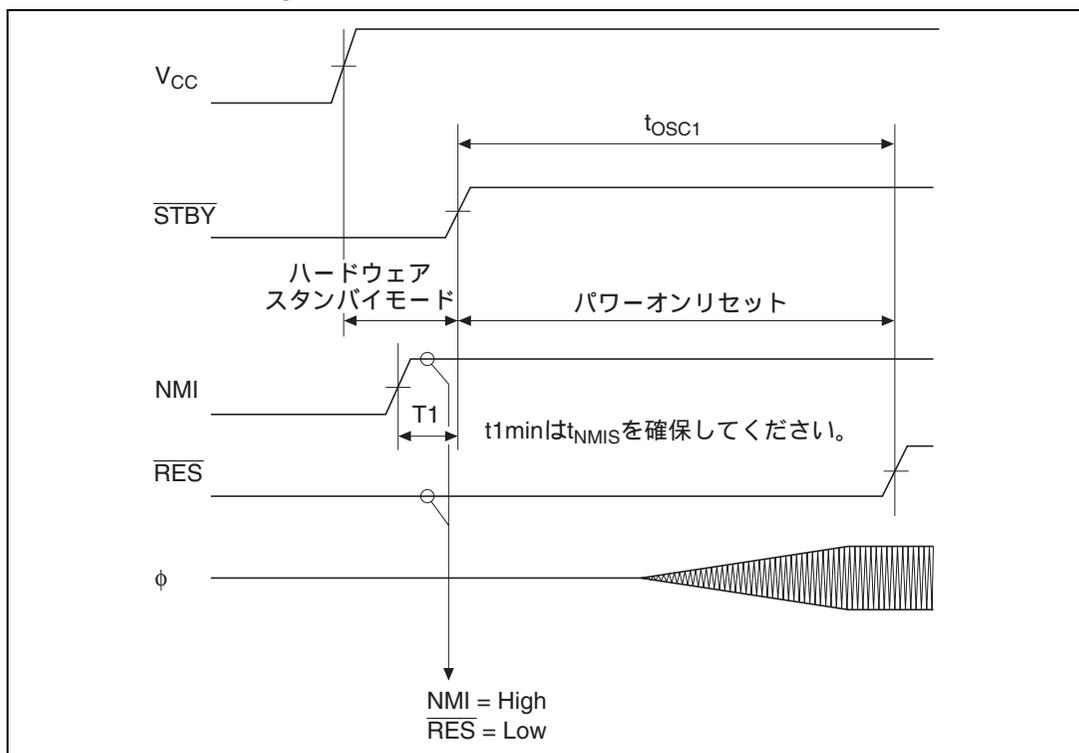


図 E.2 電源投入時、端子がハイインピーダンス状態から確定する場合

F. ハードウェアスタンバイモード遷移 / 復帰時のタイミングについて

F.1 ハードウェアスタンバイモードの遷移タイミング

(1) SYSCR の RAME ビットを 1 にセットした状態で RAM の内容を保持する場合

図 F.1 に示すように $\overline{\text{STBY}}$ 信号の立ち下がりに対し、10 システムクロック前に $\overline{\text{RES}}$ 信号を Low としてください。

また、 $\overline{\text{RES}}$ 信号の立ち上がりは、 $\overline{\text{STBY}}$ 信号の立ち下がりに対し、0ns 以上としてください。

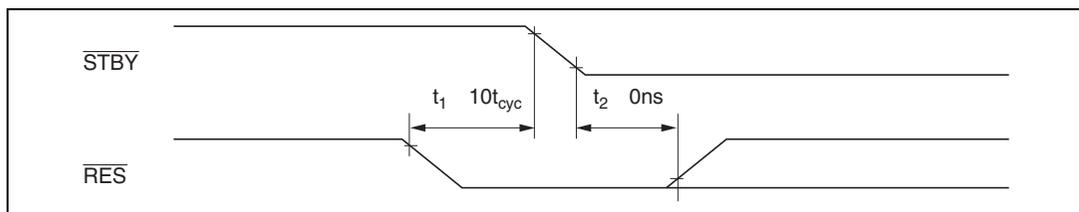


図 F.1 ハードウェアスタンバイモードの遷移タイミング

(2) SYSCR の RAME ビットを 0 にクリアした状態または RAM の内容を保持しない場合

(1) のように $\overline{\text{RES}}$ 信号を Low にする必要はありません。

F.2 ハードウェアスタンバイモードからの復帰タイミング

$\overline{\text{STBY}}$ 信号の立ち上がりに対し、100ns 以上前に $\overline{\text{RES}}$ 信号を Low、NMI 信号を High とし、パワーオンリセットとしてください。

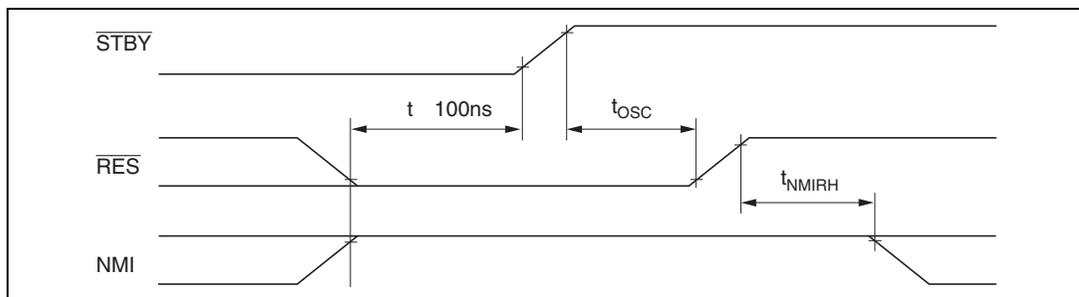


図 F.2 ハードウェアスタンバイモードからの復帰タイミング

G. ROM 発注手順

G.1 ROM 書き換え品開発の流れ（発注手順）

マイコン応用システムプログラムの開発終了後、ROM データ（2組以上）、注文仕様書、オプションリスト、およびマーク仕様を一緒に提出していただきます。これにより、弊社では図 G.1 の流れ図に沿って ROM 書き換え品の開発を行います。

表 G.1 に ROM 発注時に必要な提出物を示します。なお、詳細については、弊社担当営業へお問い合わせください。

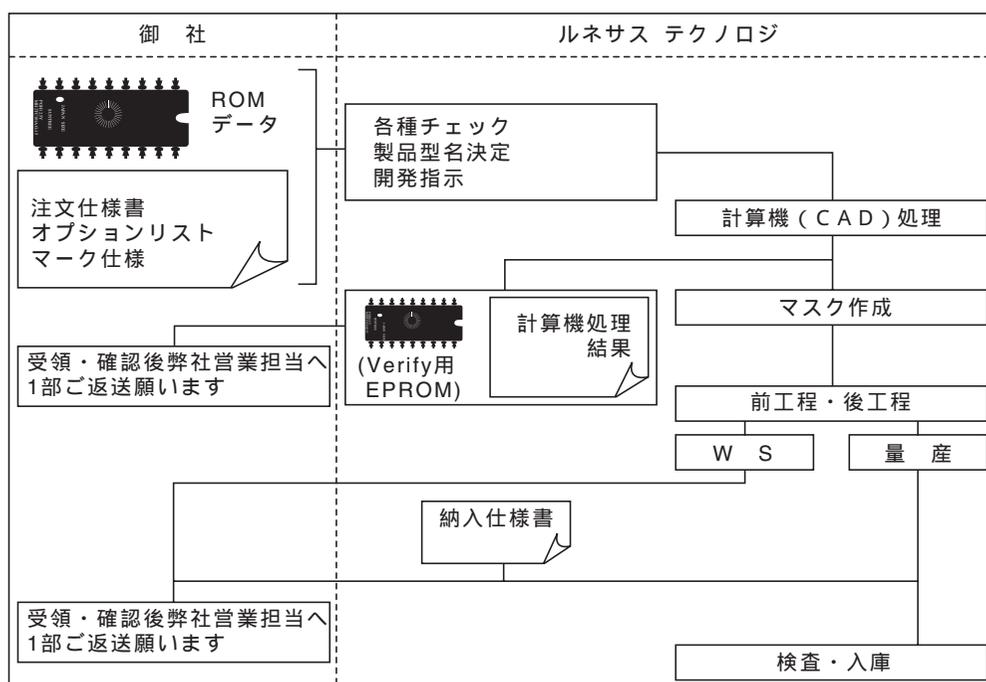


図 G.1 ROM 書き換え品開発の流れ

表 G.1 ROM 発注時に必要な提出物

発注媒体	EPROM または ZTAT マイコン
提出物	ROM データ
	注文仕様書
	オプションリスト* ¹
	マーク仕様例* ²

【注】 *1 製品シリーズにより必要ないものがあります。また、内容も異なります。

*2 特別仕様の場合には、提出してください。

G.2 ROM 発注時の注意事項

提出していただく ROM データは、次の注意事項に従って、EPROM または ZTAT マイコンで提出してください。なお、EPROM または ZTAT マイコン以外の媒体（フロッピーディスク等）では対応できませんのでご注意ください。

- (1) EPROMにROMデータを書き込む際は、事前にデータを十分消去し、中途半端なレベルが出力されないことを確認してから使用してください。
- (2) 発注用EPROMにおいて、ROMデータの未使用（NOT USED）領域またはリザーブ領域には、必ず'FF'を書き込んでください。
- (3) 提出していただくEPROMには遮光ラベルを貼り、御社の品番等を記入してください。
- (4) EPROMに書き込みを行った後は、静電気による素子の破壊、紫外線や放射線による書き込みデータの損失を招かないようにするとともに、運搬の際は導伝性のシートに梱包するなど取り扱いに十分注意してください（アルミ箔、発泡スチロール等は不可）。なお、これらによるデータの読み取りエラーに備え、同一内容のEPROMを2組以上提出してください。

H. 型名一覧

表 H.1 H8S/2355 グループ型名一覧

製品分類		製品型名	マーク型名	パッケージ (パッケージコード)
H8S/2355	マスク ROM 版	HD6432355	HD6432355(***)TE	120 ピン TFP (TFP-120)
			HD6432355(***)F	128 ピン FP (FP-128B)
	ZTAT 版	HD6472355	HD6472355TE	120 ピン TFP (TFP-120)
			HD6472355F	128 ピン FP (FP-128B)
H8S/2353	マスク ROM 版	HD6432353	HD6432353(***)TE	120 ピン TFP (TFP-120)
			HD6432353(***)F	128 ピン FP (FP-128B)
H8S/2393	マスク ROM 版	HD6432393	HD6432393(***)TE	120 ピン TFP (TFP-120)
			HD6432393(***)F	120 ピン FP (FP-128B)

【記号説明】

(***)は ROM コードです。詳細は、表 1.1 を参照してください。

I. 外形寸法図

H8/2355 グループの外形寸法図を図 I.1、図 I.2 に示します。

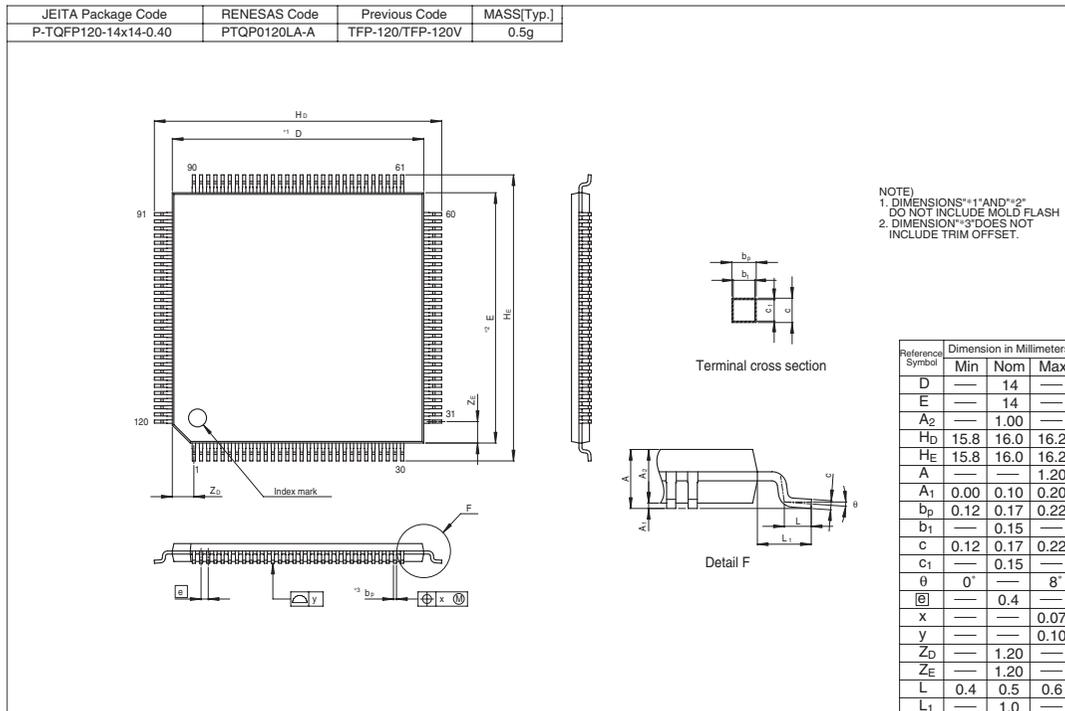


図 I.1 TFP-120 の外形寸法図

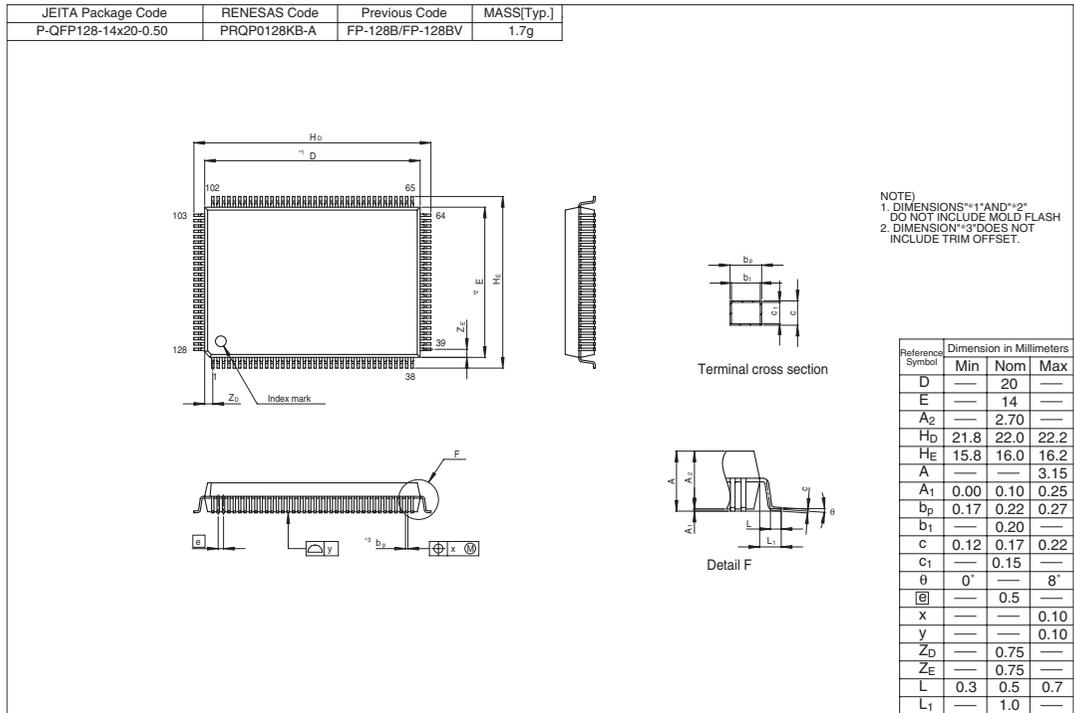


図 1.2 FP-128B の外形寸法図

ルネサス16ビットシングルチップマイクロコンピュータ
ハードウェアマニュアル
H8S/2355グループ

発行年月日 1997年3月 第1版
2007年2月14日 Rev.4.00
発行 株式会社ルネサステクノロジ 営業統括部
〒100-0004 東京都千代田区大手町 2-6-2
編集 株式会社ルネサスソリューションズ
グローバルストラテジックコミュニケーション本部
カスタマサポート部

株式会社ルネサス テクノロジ 営業統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

営業お問合せ窓口
株式会社ルネサス販売

RENESAS

<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	京	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	き	支	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪府中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
島	取	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com

H8S/2355 グループ
ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0386-0400