

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。
改訂一覧は改訂箇所をまとめたものであり、詳細については、
必ず本文の内容をご確認ください。

H8SX/1544グループ

ハードウェアマニュアル

ルネサス32ビットCISCマイクロコンピュータ

H8SXファミリ／H8SX/1500シリーズ

H8SX/1544

R5F61544

R5F61543

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただけますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認ください。

同じグループのマイコンでも型名が違えば、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

本書の構成

本書は、以下の構成で制作しています。

1. 製品ご使用上の注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明
 - ・ CPU およびシステム制御系
 - ・ 内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュールごとに異なりますが、一般的には、特長、 入出力端子、 レジスタの説明、 動作説明、 使用上の注意事項、 等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認のうえ設計してください。各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。必ずお読みください（使用上の注意事項は必要により記載されます）。

7. レジスタ一覧
8. 電気的特性
9. 付録
10. 本版で改訂された箇所

改訂来歴は、前版の記載内容について訂正・追加された主な箇所についてまとめたものです。改訂内容のすべてについて記載したものではありませんので、詳細については、本書の本文上でご確認ください。

11. 索引

はじめに

H8SX/1544 グループは、H8/300、H8/300H、H8S の各 CPU の上位互換のアーキテクチャを持つ内部 32 ビット構成の H8SX CPU を核としたマイクロコンピュータです。

対象者 このマニュアルは、H8SX/1544 グループを用いた応用システムを設計するユーザを対象としています。このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 このマニュアルは、H8SX/1544 グループのハードウェア機能をユーザに理解していただくことを目的にしています。なお、実行命令の詳細については、「H8SX ファミリ ソフトウェアマニュアル」に記載していますのであわせて参照してください。

読み方

- 機能全体を理解しようとするとき

目次に従って読んでください。

本書は、大きく分類すると、CPU、システム制御機能、周辺機能の順に構成されています。

- CPU機能の詳細を理解したいとき

別冊の「H8SXファミリ ソフトウェアマニュアル」を参照してください。

- レジスタ名が判っていて、詳細機能を知りたいとき

本書の後ろに「索引」があります。索引からページ番号を検索してください。

「25. レジスタ一覧」にアドレス、ビット内容、初期化についてまとめています。

凡例 レジスタ表記 : DMA コントローラ、16 ビットタイムパルスユニットなど、同一または類似した機能が複数チャンネルに存在する場合に次の表記を使用します。

XXX_N (XXX は基本レジスタ名称、N はチャンネル番号)

ビット表記順 : 左側が上位ビット、右側が下位ビット

数字の表記 : 2 進数は B'xxxx、16 進数は H'xxxx、10 進数は xxxx

信号の表記 : ローアクティブの信号にはオーバーバーを付けます。xxxx

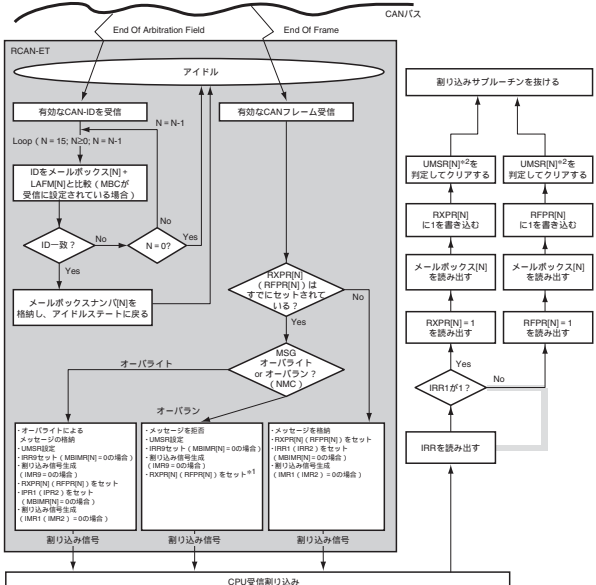
関連資料一覧 ウェブサイトに最新資料を掲載しています。ご入手の資料が最新版であるかを確認してください。

(<http://japan.renesas.com/>)

- H8SX/1544グループに関するユーザーズマニュアル

資料名	資料番号
H8SX/1544 グループ ハードウェアマニュアル	本マニュアル
H8SX ファミリ ソフトウェアマニュアル	RJJ09B0048

本版で改訂された箇所

修正項目	ページ	修正内容（詳細はマニュアル参照）
14.6.1 RCAN-ET の設定 (1) リセットシーケンス 図 14.6 リセットシーケンス	14-43	注を修正 【注】*3 本判定が0になるまでに約1ビットタイムがかかります。 *4 TXPR0ビットが1つもセットされていないとRCAN-ETは次のメッセージの受信をします。 TXPR0が設定されているとRCAN-ETはメッセージの送信を開始し、CANバスによってアービトレーションされます。アービトレーションをロストすると受信になります。
14.6.4 メッセージ受信シーケンス 図 14.11 メッセージ受信シーケンス	14-51	図を修正  <p>The flowchart illustrates the message reception sequence in RCAN-ET. It starts with receiving a valid CAN ID (N=N-1) and then a valid CAN frame (N=N-1). A loop (N=N-15; N=N-2; N=N-1) compares the ID with the mailbox ID (LAFM[N]). If the IDs match, the mailbox is filled and the ID is stored. If not, the process moves to the next step. The flowchart then checks if the RXPR[N] (RFP[N]) is set. If yes, it checks for an overwrite or overrun condition. If yes, it performs an overwrite or overrun action, which includes clearing registers and setting flags. If no, it proceeds to the next step. The flowchart ends with the CPU receiving the message.</p>

修正項目	ページ	修正内容（詳細はマニュアル参照）																								
22.7.2 ユーザプログラムモード (2) ユーザプログラムモードでの書き込み手順 図 22.11 ユーザプログラムモードでの書き込み手順	22-33	図を修正 																								
26.2 DC 特性 表 26.2 DC 特性 (2)	26-3	表を修正 <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min</th> <th>typ</th> <th>max</th> <th>単位</th> <th>測定条件</th> </tr> </thead> <tbody> <tr> <td>入カプルアップ MOS電流</td> <td>ポートD、E、F、H、I、J、K</td> <td>- I_p</td> <td>10</td> <td>-</td> <td>300</td> <td>A V_{in} = 0V</td> </tr> </tbody> </table>	項目	記号	min	typ	max	単位	測定条件	入カプルアップ MOS電流	ポートD、E、F、H、I、J、K	- I _p	10	-	300	A V _{in} = 0V										
項目	記号	min	typ	max	単位	測定条件																				
入カプルアップ MOS電流	ポートD、E、F、H、I、J、K	- I _p	10	-	300	A V _{in} = 0V																				
26.3.3 バスタイミング 表 26.6 バスタイミング (1)	26-10	表を修正 <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min</th> <th>max</th> <th>単位</th> <th>測定条件</th> </tr> </thead> <tbody> <tr> <td>リードデータホールド時間1</td> <td>t_{RDH1}</td> <td>5</td> <td>-</td> <td>ns</td> <td>図26.8、 図26.9</td> </tr> <tr> <td>リードデータホールド時間2</td> <td>t_{RDH2}</td> <td>5</td> <td>-</td> <td>ns</td> <td></td> </tr> </tbody> </table>	項目	記号	min	max	単位	測定条件	リードデータホールド時間1	t _{RDH1}	5	-	ns	図26.8、 図26.9	リードデータホールド時間2	t _{RDH2}	5	-	ns							
項目	記号	min	max	単位	測定条件																					
リードデータホールド時間1	t _{RDH1}	5	-	ns	図26.8、 図26.9																					
リードデータホールド時間2	t _{RDH2}	5	-	ns																						
26.3.4 DMAC タイミング 表 26.7 DMAC タイミング	26-13	表を修正 <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min</th> <th>max</th> <th>単位</th> <th>測定条件</th> </tr> </thead> <tbody> <tr> <td>TEND遅延時間</td> <td>t_{TED}</td> <td>-</td> <td>40</td> <td>ns</td> <td>図26.11</td> </tr> <tr> <td>DACK遅延時間1</td> <td>t_{DACD1}</td> <td>-</td> <td>40</td> <td>ns</td> <td>図26.12、 図26.13</td> </tr> <tr> <td>DACK遅延時間2</td> <td>t_{DACD2}</td> <td>-</td> <td>40</td> <td>ns</td> <td></td> </tr> </tbody> </table>	項目	記号	min	max	単位	測定条件	TEND遅延時間	t _{TED}	-	40	ns	図26.11	DACK遅延時間1	t _{DACD1}	-	40	ns	図26.12、 図26.13	DACK遅延時間2	t _{DACD2}	-	40	ns	
項目	記号	min	max	単位	測定条件																					
TEND遅延時間	t _{TED}	-	40	ns	図26.11																					
DACK遅延時間1	t _{DACD1}	-	40	ns	図26.12、 図26.13																					
DACK遅延時間2	t _{DACD2}	-	40	ns																						

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1. 概要.....	1-1
1.1 特長.....	1-1
1.2 内部ブロック図.....	1-2
1.3 端子説明.....	1-3
1.3.1 ピン配置図.....	1-3
1.3.2 動作モード別ピン配置一覧.....	1-4
1.3.3 端子機能.....	1-9
2. CPU.....	2-1
2.1 特長.....	2-1
2.2 CPU動作モード.....	2-3
2.2.1 ノーマルモード.....	2-3
2.2.2 ミドルモード.....	2-5
2.2.3 アドバンスモード.....	2-6
2.2.4 マキシマムモード.....	2-8
2.3 命令フェッチ.....	2-9
2.4 アドレス空間.....	2-10
2.5 レジスタ構成.....	2-11
2.5.1 汎用レジスタ.....	2-12
2.5.2 プログラムカウンタ (PC).....	2-13
2.5.3 コンディションコードレジスタ (CCR).....	2-14
2.5.4 エクステンドレジスタ (EXR).....	2-15
2.5.5 ベクタベースレジスタ (VBR).....	2-15
2.5.6 ショートアドレスベースレジスタ (SBR).....	2-15
2.5.7 積和レジスタ (MAC).....	2-15
2.5.8 CPU 内部レジスタの初期値.....	2-15
2.6 データ形式.....	2-16
2.6.1 汎用レジスタのデータ形式.....	2-16
2.6.2 メモリ上でのデータ形式.....	2-17
2.7 命令セット.....	2-18
2.7.1 命令とアドレッシングモードの組み合わせ.....	2-20
2.7.2 命令の機能別一覧.....	2-24
2.7.3 命令の基本フォーマット.....	2-33
2.8 アドレッシングモードと実効アドレスの計算方法.....	2-34

2.8.1	レジスタ直接 Rn.....	2-34
2.8.2	レジスタ間接 @ERn.....	2-35
2.8.3	ディスプレースメント付きレジスタ間接 @(d:2,ERn)/@(d:16,ERn)/@(d:32,ERn).....	2-35
2.8.4	ディスプレースメント付きインデックスレジスタ間接 @(d:16,RnL.B)/@(d:32,RnL.B)/ @(d:16,Rn.W)/@(d:32,Rn.W)/@(d:16,ERn.L)/@(d:32,ERn.L).....	2-35
2.8.5	プリ/ポストインクリメント/デクリメントレジスタ間接 @ERn+/@-ERn/@+ERn/@ERn-.....	2-35
2.8.6	絶対アドレス @aa:8/@aa:16/@aa:24/@aa:32.....	2-36
2.8.7	イミディエイト #xx.....	2-37
2.8.8	プログラムカウンタ相対 @(d:8,PC)/@(d:16,PC).....	2-37
2.8.9	プログラムカウンタインデックス相対 @(RnL.B,PC)/@(Rn.W,PC)/@(ERn.L,PC).....	2-38
2.8.10	メモリ間接 @@aa:8.....	2-38
2.8.11	拡張メモリ間接 @vec:7.....	2-39
2.8.12	実効アドレスの計算方法.....	2-39
2.8.13	MOVA 命令.....	2-41
2.9	処理状態.....	2-42
3.	MCU 動作モード.....	3-1
3.1	動作モードの選択.....	3-1
3.2	レジスタの説明.....	3-2
3.2.1	モードコントロールレジスタ (MDCR).....	3-2
3.2.2	システムコントロールレジスタ (SYSCR).....	3-3
3.3	動作モードの説明.....	3-5
3.3.1	モード2.....	3-5
3.3.2	モード4.....	3-5
3.3.3	モード5.....	3-5
3.3.4	モード6.....	3-5
3.3.5	モード7.....	3-5
3.3.6	端子機能.....	3-6
3.4	アドレスマップ.....	3-7
3.4.1	アドレスマップ.....	3-7
4.	例外処理.....	4-1
4.1	例外処理の種類と優先度.....	4-1
4.2	例外処理要因とベクタテーブル.....	4-2
4.3	リセット.....	4-4
4.3.1	リセット例外処理.....	4-4
4.3.2	リセット直後の割り込み.....	4-4
4.3.3	リセット解除後の内蔵周辺機能.....	4-4
4.4	トレース例外処理.....	4-7
4.5	アドレスエラー.....	4-8

4.5.1	アドレスエラー発生要因	4-8
4.5.2	アドレスエラー例外処理	4-9
4.6	割り込み	4-10
4.6.1	割り込み要因	4-10
4.6.2	割り込み例外処理	4-10
4.7	命令による例外処理	4-11
4.7.1	トラップ命令例外処理	4-11
4.7.2	不当命令例外処理	4-12
4.8	例外処理後のスタックの状態	4-13
4.9	使用上の注意事項	4-13
5.	割り込みコントローラ	5-1
5.1	特長	5-1
5.2	入出力端子	5-2
5.3	レジスタの説明	5-3
5.3.1	割り込みコントロールレジスタ (INTCR)	5-3
5.3.2	CPU プライオリティコントロールレジスタ (CPUPCR)	5-4
5.3.3	インタラプトプライオリティレジスタ A~G、I、K、L、O、Q、R (IPRA ~ IPRG、IPRI、IPRK、IPRL、IPRO、IPRQ、IPRR)	5-5
5.3.4	IRQ イネーブルレジスタ (IER)	5-6
5.3.5	IRQ センスコントロールレジスタ H、L (ISCRH、ISCRL)	5-8
5.3.6	IRQ ステータスレジスタ (ISR)	5-12
5.3.7	ソフトウェアスタンバイ解除 IRQ イネーブルレジスタ (SSIER)	5-14
5.4	割り込み要因	5-15
5.4.1	外部割り込み要因	5-15
5.4.2	内部割り込み	5-16
5.5	割り込み例外処理ベクタテーブル	5-16
5.6	割り込み制御モードと割り込み動作	5-21
5.6.1	割り込み制御モード 0	5-21
5.6.2	割り込み制御モード 2	5-23
5.6.3	割り込み例外処理シーケンス	5-25
5.6.4	割り込み応答時間	5-26
5.6.5	割り込みによる DMAC の起動	5-27
5.7	CPU に対する DMAC の優先レベル制御機能	5-29
5.8	使用上の注意事項	5-31
5.8.1	割り込みの発生とディスエーブルとの競合	5-31
5.8.2	割り込みを禁止している命令	5-32
5.8.3	割り込み禁止期間	5-32
5.8.4	EEMOV 命令実行中の割り込み	5-32
5.8.5	MOVMD、MOVSD 命令実行中の割り込み	5-32
5.8.6	周辺モジュールの割り込み要因フラグ	5-32

6.	バスコントローラ (BSC)	6-1
6.1	特長	6-1
6.2	レジスタの説明	6-2
6.2.1	バス幅コントロールレジスタ (ABWCR)	6-3
6.2.2	アクセスステートコントロールレジスタ (ASTCR)	6-4
6.2.3	ウェイトコントロールレジスタ A、B (WTCRA、WTCRB)	6-5
6.2.4	リードストロブタイミングコントロールレジスタ (RDNCR)	6-8
6.2.5	アイドルコントロールレジスタ (IDLCR)	6-10
6.2.6	バスコントロールレジスタ 1 (BCR1)	6-11
6.2.7	バスコントロールレジスタ 2 (BCR2)	6-13
6.2.8	エンディアンコントロールレジスタ (ENDIANCR)	6-14
6.3	バス構成	6-15
6.4	マルチクロック機能とアクセスステート数	6-16
6.5	外部バス	6-19
6.5.1	入出力端子	6-19
6.5.2	エリア分割	6-20
6.5.3	外部バスインタフェース	6-21
6.5.4	エリアと外部バスインタフェース	6-22
6.5.5	エンディアンとデータアライメント	6-23
6.6	基本バスインタフェース	6-26
6.6.1	データバス	6-26
6.6.2	基本バスインタフェース入出力端子	6-26
6.6.3	基本タイミング	6-27
6.6.4	ウェイト制御	6-33
6.6.5	リードストロブ (\overline{RD}) タイミング	6-34
6.6.6	\overline{DACK} 信号の出力タイミング	6-35
6.7	アイドルサイクル	6-36
6.7.1	動作説明	6-36
6.7.2	アイドルサイクルでの端子状態	6-43
6.8	内部バス	6-44
6.8.1	内部アドレス空間へのアクセス	6-44
6.9	ライトデータバッファ機能	6-45
6.9.1	外部ライトデータバッファ機能	6-45
6.9.2	周辺モジュールライトデータバッファ機能	6-46
6.10	バスアービトレーション	6-47
6.10.1	動作説明	6-47
6.10.2	バス権移行タイミング	6-48
6.11	リセットとバスコントローラ	6-49
6.12	使用上の注意事項	6-49

7.	DMA コントローラ (DMAC)	7-1
7.1	特長	7-1
7.2	入出力端子	7-3
7.3	レジスタの説明	7-3
7.3.1	DMA ソースアドレスレジスタ (DSAR)	7-5
7.3.2	DMA デスティネーションアドレスレジスタ (DDAR)	7-5
7.3.3	DMA オフセットレジスタ (DOFR)	7-6
7.3.4	DMA 転送カウントレジスタ (DTCR)	7-6
7.3.5	DMA ブロックサイズレジスタ (DBSR)	7-7
7.3.6	DMA モードコントロールレジスタ (DMDR)	7-8
7.3.7	DMA アドレスコントロールレジスタ (DACR)	7-14
7.3.8	DMA モジュールリクエストセレクトレジスタ (DMRSR)	7-19
7.4	転送モード	7-19
7.5	動作説明	7-20
7.5.1	アドレスモード	7-20
7.5.2	転送モード	7-23
7.5.3	起動要因	7-28
7.5.4	バスモード	7-30
7.5.5	拡張リピートエリア機能	7-31
7.5.6	オフセットを使ったアドレス更新機能	7-34
7.5.7	DMA 転送中のレジスタ	7-38
7.5.8	チャンネルの優先順位	7-42
7.5.9	基本バスサイクル	7-43
7.5.10	デュアルアドレスモードのバスサイクル	7-44
7.5.11	シングルアドレスモードのバスサイクル	7-52
7.6	DMA 転送終了	7-57
7.7	DMAC と他のバスマスタの関係	7-59
7.7.1	CPU に対する DMAC の優先レベル制御機能	7-59
7.7.2	他のバスマスタとのバス権の調停	7-59
7.8	割り込み要因	7-61
7.9	使用上の注意事項	7-64
8.	I/O ポート	8-1
8.1	レジスタの説明	8-6
8.1.1	データディレクションレジスタ (PnDDR) (n=1, 2, 3, 6, A, D, E, F, H, I, J, K)	8-7
8.1.2	データレジスタ (PnDR) (n=1, 2, 3, 6, A, D, E, F, H, I, J, K)	8-7
8.1.3	ポートレジスタ (PORTn) (n=1~6, A, D, E, F, H, I, J, K)	8-7
8.1.4	入力バッファコントロールレジスタ (PnICR) (n=1~6, A, D, E, F, H, I, J, K)	8-8
8.1.5	ブルアップ MOS コントロールレジスタ (PnPCR) (n=D, E, F, H, I, J, K)	8-8

8.1.6	オープンドレインコントロールレジスタ (PhODR) (n=2、F)	8-9
8.2	出力バッファ制御	8-10
8.2.1	ポート 1	8-10
8.2.2	ポート 2	8-12
8.2.3	ポート 3	8-14
8.2.4	ポート 5	8-16
8.2.5	ポート 6	8-17
8.2.6	ポート A	8-19
8.2.7	ポート D	8-21
8.2.8	ポート E	8-22
8.2.9	ポート F	8-22
8.2.10	ポート H	8-25
8.2.11	ポート I	8-26
8.2.12	ポート J	8-28
8.2.13	ポート K	8-29
8.3	ポートファンクションコントローラ	8-35
8.3.1	ポートファンクションコントロールレジスタ 2 (PFCR2)	8-35
8.3.2	ポートファンクションコントロールレジスタ 4 (PFCR4)	8-35
8.3.3	ポートファンクションコントロールレジスタ 9 (PFCR9)	8-37
8.4	使用上の注意事項	8-38
8.4.1	入力バッファコントロールレジスタ (ICR) の設定	8-38
8.4.2	ポートファンクションコントロールレジスタ (PFCR) の設定	8-38
9.	16 ビットタイマパルスユニット (TPU)	9-1
9.1	特長	9-1
9.2	入出力端子	9-5
9.3	レジスタの説明	9-6
9.3.1	タイマコントロールレジスタ (TCR)	9-8
9.3.2	タイマモードレジスタ (TMDR)	9-12
9.3.3	タイマ I/O コントロールレジスタ (TIOR)	9-13
9.3.4	タイマインタラプトイネーブルレジスタ (TIER)	9-31
9.3.5	タイマステータスレジスタ (TSR)	9-32
9.3.6	タイマカウンタ (TCNT)	9-35
9.3.7	タイマジェネラルレジスタ (TGR)	9-35
9.3.8	タイマスタートレジスタ (TSTR)	9-35
9.3.9	タイマシンクロレジスタ (TSYR)	9-36
9.4	動作説明	9-37
9.4.1	基本動作	9-37
9.4.2	同期動作	9-42
9.4.3	バッファ動作	9-44

9.4.4	カスケード接続動作	9-47
9.4.5	PWM モード	9-49
9.4.6	位相計数モード	9-54
9.5	割り込み要因	9-59
9.6	DMACの起動	9-61
9.7	A/D変換器の起動	9-61
9.8	動作タイミング	9-62
9.8.1	入出力タイミング	9-62
9.8.2	割り込み信号タイミング	9-66
9.9	使用上の注意事項	9-70
9.9.1	モジュールストップモードの設定	9-70
9.9.2	入力クロックの制限事項	9-70
9.9.3	周期設定上の注意事項	9-71
9.9.4	TCNTのライトとクリアの競合	9-71
9.9.5	TCNTのライトとカウントアップの競合	9-72
9.9.6	TGRのライトとコンペアマッチの競合	9-72
9.9.7	バッファレジスタのライトとコンペアマッチの競合	9-73
9.9.8	TGRのリードとインプットキャプチャの競合	9-73
9.9.9	TGRのライトとインプットキャプチャの競合	9-74
9.9.10	バッファレジスタのライトとインプットキャプチャの競合	9-74
9.9.11	オーバフロー / アンダフローとカウンタクリアの競合	9-75
9.9.12	TCNTのライトとオーバフロー / アンダフローの競合	9-75
9.9.13	入出力端子の兼用	9-76
9.9.14	モジュールストップ時の割り込み	9-76
10.	ウォッチドッグタイマ (WDT)	10-1
10.1	特長	10-1
10.2	レジスタの説明	10-2
10.2.1	タイマカウンタ (TCNT)	10-3
10.2.2	タイマコントロール / ステータスレジスタ (TCSR)	10-3
10.2.3	リセットコントロール / ステータスレジスタ (RSTCSR)	10-4
10.3	動作説明	10-5
10.3.1	ウォッチドッグタイマモード	10-5
10.3.2	インターバルタイマモード	10-6
10.4	割り込み要因	10-7
10.5	使用上の注意事項	10-7
10.5.1	レジスタアクセス時の注意	10-7
10.5.2	タイマカウンタ (TCNT) のライトとカウントアップの競合	10-8
10.5.3	CKS2 ~ CKS0 ビットの書き換え	10-9
10.5.4	ウォッチドッグタイマモードとインターバルタイマモードの切り替え	10-9

10.5.5	ウォッチドッグタイマモードとソフトウェアスタンバイモードへの遷移	10-9
11.	時計用タイマ (WAT)	11-1
11.1	特長	11-1
11.2	レジスタの説明	11-2
11.2.1	ウォッチタイマカウンタ (WTCNT)	11-2
11.2.2	ウォッチタイマコントロールレジスタ (WTCR)	11-2
11.2.3	ウォッチタイマステータスレジスタ (WTSR)	11-3
11.2.4	ウォッチタイマコンスタントレジスタ (WTCOR)	11-5
11.3	動作説明	11-5
11.3.1	コンペアマッチタイマモード	11-5
11.3.2	インターバルタイマモード	11-7
11.4	使用上の注意事項	11-9
11.4.1	レジスタアクセス時の注意	11-9
11.4.2	タイマカウンタ (WTCNT) のライトとカウントアップの競合	11-10
11.4.3	CKS2 ~ CKS0 ビットの書き換え	11-10
11.4.4	コンペアマッチタイマモードとインターバルタイマモードの切り替え	11-10
11.4.5	PSS ビットの書き換え	11-10
11.4.6	コンペアマッチタイマモードでの WTCOR の設定値と WTCNT の書き換え値	11-10
11.4.7	割り込みベクタアドレス	11-10
12.	シリアルコミュニケーションインタフェース (SCI)	12-1
12.1	特長	12-1
12.2	入出力端子	12-3
12.3	レジスタの説明	12-3
12.3.1	レシーブシフトレジスタ (RSR)	12-5
12.3.2	レシーブデータレジスタ (RDR)	12-5
12.3.3	トランスミットデータレジスタ (TDR)	12-5
12.3.4	トランスミットシフトレジスタ (TSR)	12-5
12.3.5	シリアルモードレジスタ (SMR)	12-6
12.3.6	シリアルコントロールレジスタ (SCR)	12-9
12.3.7	シリアルステータスレジスタ (SSR)	12-12
12.3.8	スマートカードモードレジスタ (SCMR)	12-17
12.3.9	ビットレートレジスタ (BRR)	12-18
12.4	調歩同期式モードの動作	12-23
12.4.1	送受信フォーマット	12-23
12.4.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン	12-25
12.4.3	クロック	12-26
12.4.4	SCI の初期化 (調歩同期式)	12-27
12.4.5	シリアルデータ送信 (調歩同期式)	12-28

12.4.6	シリアルデータ受信（調歩同期式）	12-30
12.5	マルチプロセッサ通信機能	12-33
12.5.1	マルチプロセッサシリアルデータ送信	12-34
12.5.2	マルチプロセッサシリアルデータ受信	12-35
12.6	クロック同期式モードの動作	12-38
12.6.1	クロック	12-38
12.6.2	SCIの初期化（クロック同期式）	12-39
12.6.3	シリアルデータ送信（クロック同期式）	12-40
12.6.4	シリアルデータ受信（クロック同期式）	12-42
12.6.5	シリアルデータ送受信同時動作（クロック同期式）	12-44
12.7	スマートカードインタフェースの動作説明	12-46
12.7.1	接続例	12-46
12.7.2	データフォーマット（ブロック転送モード時を除く）	12-47
12.7.3	ブロック転送モード	12-48
12.7.4	受信データサンプリングタイミングと受信マージン	12-49
12.7.5	初期設定	12-50
12.7.6	データ送信（ブロック転送モードを除く）	12-51
12.7.7	シリアルデータ受信（ブロック転送モードを除く）	12-54
12.7.8	クロック出力制御	12-56
12.8	割り込み要因	12-58
12.8.1	通常のシリアルコミュニケーションインタフェースモードにおける割り込み	12-58
12.8.2	スマートカードインタフェースモードにおける割り込み	12-59
12.9	使用上の注意事項	12-60
12.9.1	モジュールストップモードの設定	12-60
12.9.2	ブレークの検出と処理について	12-60
12.9.3	マーク状態とブレークの送出	12-60
12.9.4	受信エラーフラグと送信動作について（クロック同期式モードのみ）	12-60
12.9.5	TDRへのライトとTDREフラグの関係について	12-60
12.9.6	SCI送受信中のレジスタライトについて	12-61
12.9.7	DMAC使用上の制約事項	12-61
12.9.8	モード遷移時の動作について	12-61
13.	I ² Cバスインタフェース2（IIC2）	13-1
13.1	特長	13-1
13.2	入出力端子	13-3
13.3	レジスタの説明	13-3
13.3.1	I ² CバスコントロールレジスタA（ICCRA）	13-4
13.3.2	I ² CバスコントロールレジスタB（ICCRB）	13-6
13.3.3	I ² Cバスモードレジスタ（ICMR）	13-7
13.3.4	I ² Cバスインタラプトイネーブルレジスタ（ICIER）	13-8

13.3.5	I ² C バスステータスレジスタ (ICSR)	13-9
13.3.6	スレーブアドレスレジスタ (SAR)	13-11
13.3.7	I ² C バス送信データレジスタ (ICDRT)	13-12
13.3.8	I ² C バス受信データレジスタ (ICDRR)	13-12
13.3.9	I ² C バスシフトレジスタ (ICDRS)	13-12
13.4	動作説明	13-13
13.4.1	I ² C バスフォーマット	13-13
13.4.2	マスタ送信動作	13-14
13.4.3	マスタ受信動作	13-16
13.4.4	スレーブ送信動作	13-18
13.4.5	スレーブ受信動作	13-20
13.4.6	ノイズ除去回路	13-22
13.4.7	使用例	13-23
13.5	割り込み要求	13-27
13.6	ビット同期回路	13-27
14	コントローラエリアネットワーク (RCAN-ET)	14-1
14.1	特長	14-1
14.2	構成	14-2
14.2.1	ブロック図	14-2
14.2.2	各ブロックの機能	14-3
14.2.3	端子構成	14-4
14.2.4	メモリマップ	14-4
14.3	メールボックス	14-5
14.3.1	メールボックスの構成	14-5
14.3.2	メッセージコントロールフィールド	14-7
14.3.3	ローカルアクセプタンスフィルタマスク (LAFM)	14-12
14.3.4	メッセージデータフィールド	14-13
14.4	RCAN-ETのコントロールレジスタ	14-13
14.4.1	マスタコントロールレジスタ (MCR)	14-13
14.4.2	ジェネラルステータスレジスタ (GSR)	14-19
14.4.3	ビットコンフィギュレーションレジスタ 0、1 (BCR0、BCR1)	14-21
14.4.4	インタラプトリクエストレジスタ (IRR)	14-25
14.4.5	インタラプトマスクレジスタ (IMR)	14-30
14.4.6	送信エラーカウンタ (TEC) / 受信エラーカウンタ (REC)	14-30
14.5	RCAN-ETのメールボックスレジスタ	14-31
14.5.1	送信待ちレジスタ 0、1 (TXPR0、TXPR1)	14-32
14.5.2	送信キャンセルレジスタ 0 (TXCR0)	14-35
14.5.3	送信アクノリッジレジスタ 0 (TXACK0)	14-36
14.5.4	アボートアクノリッジレジスタ 0 (ABACK0)	14-37

14.5.5	データフレーム受信完了レジスタ 0 (RXPR0)	14-38
14.5.6	リモートフレーム受信完了レジスタ 0 (RFPR0)	14-39
14.5.7	メールボックスインタラプトマスクレジスタ 0 (MBIMR0)	14-40
14.5.8	未読メッセージステータスレジスタ 0 (UMSR0)	14-41
14.6	動作説明	14-42
14.6.1	RCAN-ET の設定	14-42
14.6.2	テストモードの設定	14-47
14.6.3	メッセージ送信シーケンス	14-49
14.6.4	メッセージ受信シーケンス	14-51
14.6.5	メールボックスの再設定	14-53
14.7	割り込み要因	14-55
14.8	PORTインタフェース	14-56
14.8.1	RCAN-ET モニタレジスタ (RCANMON)	14-56
14.9	CANバスインタフェース	14-57
14.10	使用上の注意事項	14-58
14.10.1	モジュールストップモード	14-58
14.10.2	リセット	14-58
14.10.3	CAN スリープモード	14-58
14.10.4	レジスタアクセス	14-58
14.10.5	割り込み	14-59
15.	シンクロナスシリアルコミュニケーションユニット (SSU)	15-1
15.1	特長	15-1
15.2	入出力端子	15-3
15.3	レジスタの説明	15-3
15.3.1	SS コントロールレジスタ H (SSCRH)	15-4
15.3.2	SS コントロールレジスタ L (SSCRL)	15-6
15.3.3	SS モードレジスタ (SSMR)	15-7
15.3.4	SS イネーブルレジスタ (SSER)	15-8
15.3.5	SS ステータスレジスタ (SSSR)	15-9
15.3.6	SS コントロールレジスタ 2 (SSCR2)	15-11
15.3.7	SS トランスミットデータレジスタ 0~3 (SSTDR0~SSTDR3)	15-12
15.3.8	SS レシーブデータレジスタ 0~3 (SSRDR0~SSRDR3)	15-13
15.3.9	SS シフトレジスタ (SSTRSR)	15-13
15.4	動作説明	15-14
15.4.1	転送クロック	15-14
15.4.2	クロックの位相、極性とデータの関係	15-14
15.4.3	データ入出力端子とシフトレジスタの関係	15-15
15.4.4	各通信モードと端子機能	15-16
15.4.5	SSU モード	15-17

15.4.6	\overline{SCS} 端子制御とコンフリクトエラー	15-24
15.4.7	クロック同期式通信モード	15-25
15.5	割り込み要求	15-31
16.	A/D 変換器	16-1
16.1	特長	16-1
16.2	入出力端子	16-4
16.3	レジスタの説明	16-5
16.3.1	A/D データレジスタ A ~ H (ADDRA ~ ADDRH)	16-6
16.3.2	A/D コントロール / ステータスレジスタ (ADCSR)	16-6
16.3.3	A/D コントロールレジスタ (ADCR)	16-8
16.4	動作説明	16-9
16.4.1	シングルモード	16-9
16.4.2	スキャンモード	16-10
16.4.3	入力サンプリングと A/D 変換時間	16-11
16.4.4	外部トリガ入力タイミング	16-13
16.5	割り込み要因	16-13
16.6	A/D 変換精度の定義	16-14
16.7	使用上の注意事項	16-15
16.7.1	モジュールストップモードの設定	16-15
16.7.2	許容信号源インピーダンスについて	16-15
16.7.3	絶対精度への影響	16-16
16.7.4	アナログ電源端子ほかの設定範囲	16-16
16.7.5	ボード設計上の注意	16-16
16.7.6	ノイズ対策上の注意	16-17
16.7.7	ソフトウェアスタンバイ時の A/D 変換保持機能	16-18
17.	D/A 変換器	17-1
17.1	特長	17-1
17.2	入出力端子	17-2
17.3	レジスタの説明	17-2
17.3.1	D/A データレジスタ 0, 1 (DADR0, DADR1)	17-2
17.3.2	D/A コントロールレジスタ 01 (DACR01)	17-2
17.4	動作説明	17-4
17.5	使用上の注意事項	17-5
17.5.1	モジュールストップモードの設定	17-5
17.5.2	ソフトウェアスタンバイモード時の D/A 出力保持機能	17-5
18.	モータコントロール PWM タイマ	18-1
18.1	特長	18-1

18.2	入出力端子	18-3
18.3	レジスタの説明	18-3
18.3.1	PWM コントロールレジスタ (PWCR)	18-4
18.3.2	PWM アウトプットコントロールレジスタ (PWOCR)	18-5
18.3.3	PWM ポラリティレジスタ (PWPR)	18-5
18.3.4	PWM カウンタ (PWCNT)	18-6
18.3.5	PWM サイクルレジスタ (PWCYR)	18-6
18.3.6	PWM デューティレジスタ A、C、E、G (PWDTRA、PWDTRC、PWTRE、PWDTRG)	18-6
18.3.7	PWM バッファレジスタ A、C、E、G (PWBFR0、PWBFR1、PWBFR2、PWBFR3)	18-9
18.3.8	PWM バッファ転送コントロールレジスタ (PWBTCR)	18-10
18.4	バスマスタとのインタフェース	18-11
18.4.1	16 ビットデータレジスタ	18-11
18.4.2	8 ビットデータレジスタ	18-11
18.5	動作説明	18-12
18.5.1	PWM の動作	18-12
18.5.2	バッファ転送制御について	18-13
18.6	使用上の注意事項	18-14
18.6.1	バッファレジスタのライトとコンペアマッチの競合	18-14
19.	16 ビット PWM	19-1
19.1	特長	19-1
19.2	端子構成	19-3
19.3	レジスタの説明	19-3
19.3.1	PWM コントロールレジスタ (PWCR)	19-5
19.3.2	PWM アウトプットコントロールレジスタ (PWOCR)	19-6
19.3.3	PWM カウンタ (PWCNT)	19-7
19.3.4	PWM サイクルレジスタ (PWCYR)	19-7
19.3.5	PWM デューティレジスタ 0~3 (PWDTR0~PWDTR3)	19-8
19.3.6	PWM バッファレジスタ 0~3 (PWBFR0~PWBFR3)	19-10
19.4	動作説明	19-11
19.4.1	16 ビット PWM モード時の動作	19-11
19.4.2	10 ビット Stepping Motor モード時の動作	19-12
19.5	使用上の注意事項	19-14
19.5.1	レジスタアクセス時の注意	19-14
19.5.2	バッファレジスタのライトとコンペアマッチの競合	19-14
19.5.3	CKS2~CKS0 ビットの書き換え	19-15
19.5.4	16 ビット PWM モードと 10 ビット Stepping Motor モードの切り替え	19-15
20.	サウンドジェネレータ (SDG)	20-1
20.1	特長	20-1

20.2	入出力端子	20-2
20.3	レジスタの説明	20-2
20.3.1	サウンドジェネレータコントロールレジスタ 1 (SGCR1)	20-3
20.3.2	サウンドジェネレータコントロールステータスレジスタ (SGCSR)	20-4
20.3.3	サウンドジェネレータコントロールレジスタ 2 (SGCR2)	20-5
20.3.4	サウンドジェネレータラウドネスレジスタ (SGLR)	20-6
20.3.5	サウンドジェネレータトーン周波数レジスタ (SGTFR)	20-6
20.3.6	サウンドジェネレータ基準周波数レジスタ (SGSFR)	20-7
20.4	動作説明	20-8
20.4.1	SDG 動作	20-8
20.4.2	TONE 周波数の設定	20-11
20.4.3	自動減衰機能について	20-12
20.4.4	出力波形	20-13
20.5	割り込み要因	20-13
20.6	使用上の注意事項	20-13
20.6.1	モジュールストップモードの設定	20-13
21.	RAM	21-1
22.	フラッシュメモリ	22-1
22.1	特長	22-1
22.2	モード遷移図	22-3
22.3	ブロック構成	22-4
22.4	書き込み / 消去インタフェース	22-7
22.5	入出力端子	22-9
22.6	レジスタの説明	22-9
22.6.1	書き込み / 消去インタフェースレジスタ	22-11
22.6.2	書き込み / 消去インタフェースパラメータ	22-15
22.6.3	RAM エミュレーションレジスタ (RAMER)	22-26
22.7	オンボードプログラミング	22-27
22.7.1	ブートモード	22-27
22.7.2	ユーザプログラムモード	22-31
22.7.3	内蔵プログラム、書き込みデータの格納可能領域	22-40
22.8	プロテクト	22-43
22.8.1	ハードウェアプロテクト	22-43
22.8.2	ソフトウェアプロテクト	22-43
22.8.3	エラープロテクト	22-44
22.9	RAMによるフラッシュメモリのエミュレーション	22-45
22.10	ライターモード	22-48
22.11	ブートモードの標準シリアル通信インタフェース仕様	22-48

22.12	使用上の注意事項	22-70
23.	クロック発振器	23-1
23.1	レジスタの説明	23-2
23.1.1	システムクロックコントロールレジスタ (SCKCR)	23-2
23.1.2	サブクロックコントロールレジスタ (SUBCKCR)	23-4
23.2	発振器	23-5
23.2.1	水晶発振子を接続する方法	23-5
23.2.2	外部クロックを入力する方法	23-6
23.3	PLL回路	23-6
23.4	メインクロック分周器	23-6
23.5	サブクロック波形形成回路	23-6
23.6	サブクロック分周器	23-6
23.7	使用上の注意事項	23-7
23.7.1	クロック発振器に関する使用上の注意事項	23-7
23.7.2	発振子に関する注意事項	23-8
23.7.3	ボード設計上の注意	23-8
23.7.4	入力クロック周波数に関する注意	23-9
24.	低消費電力	24-1
24.1	特長	24-1
24.2	レジスタの説明	24-4
24.2.1	スタンバイコントロールレジスタ (SBYCR)	24-4
24.2.2	モジュールストップコントロールレジスタ A、B (MSTPCRA、MSTPCRB)	24-6
24.2.3	モジュールストップコントロールレジスタ C (MSTPCRC)	24-8
24.3	メインクロックのマルチクロック機能	24-9
24.4	サブクロック	24-9
24.5	スリープモード	24-10
24.5.1	スリープモードへの遷移	24-10
24.5.2	スリープモードの解除	24-10
24.6	ソフトウェアスタンバイモード	24-11
24.6.1	ソフトウェアスタンバイモードへの遷移	24-11
24.6.2	ソフトウェアスタンバイモードの解除	24-11
24.6.3	ソフトウェアスタンバイモード解除後の発振安定時間の設定	24-12
24.6.4	ソフトウェアスタンバイモードの応用例	24-13
24.7	ハードウェアスタンバイモード	24-14
24.7.1	ハードウェアスタンバイモードへの遷移	24-14
24.7.2	ハードウェアスタンバイモードの解除	24-14
24.7.3	ハードウェアスタンバイモードのタイミング	24-14
24.7.4	電源投入時のタイミング	24-15

24.8	モジュールストップ機能.....	24-15
24.8.1	モジュールストップ機能.....	24-15
24.8.2	全モジュールクロックストップモード.....	24-16
24.9	B 出力制御.....	24-16
24.10	使用上の注意事項.....	24-17
24.10.1	I/O ポートの状態.....	24-17
24.10.2	発振安定待機中の消費電流.....	24-17
24.10.3	DMAC のモジュールストップ.....	24-17
24.10.4	内蔵周辺モジュールの割り込み.....	24-17
24.10.5	MSTPCRA、MSTPCRB、MSTPCRC のライト.....	24-17
25.	レジスタ一覧.....	25-1
25.1	レジスタアドレス一覧（アドレス順）.....	25-2
25.2	レジスタビット一覧.....	25-27
25.3	各動作モードにおけるレジスタの状態.....	25-46
26.	電気的特性.....	26-1
26.1	絶対最大定格.....	26-1
26.2	DC特性.....	26-2
26.3	AC特性.....	26-6
26.3.1	クロックタイミング.....	26-6
26.3.2	制御信号タイミング.....	26-8
26.3.3	バスタイミング.....	26-10
26.3.4	DMAC タイミング.....	26-13
26.3.5	内蔵周辺モジュールタイミング.....	26-16
26.3.6	A/D 変換特性.....	26-23
26.3.7	D/A 変換特性.....	26-24
26.3.8	フラッシュメモリ特性.....	26-24
付録	付録-1
A.	各処理状態におけるポートの状態.....	付録-1
B.	型名一覧.....	付録-3
C.	外形寸法図.....	付録-4
索引	索引-1

図目次

1. 概要	
図 1.1 H8SX/1544 内部ブロック図	1-2
図 1.2 H8SX/1544 ピン配置図	1-3
2. CPU	
図 2.1 CPU 動作モード	2-3
図 2.2 例外処理ベクタテーブル (ノーマルモード)	2-4
図 2.3 スタック構造 (ノーマルモード)	2-4
図 2.4 例外処理ベクタテーブル (ミドルモード、アドバンスモード)	2-6
図 2.5 スタック構造 (ミドルモード、アドバンスモード)	2-7
図 2.6 例外処理ベクタテーブル (マキシマムモード)	2-8
図 2.7 スタック構造 (マキシマムモード)	2-9
図 2.8 メモリマップ	2-10
図 2.9 CPU 内部レジスタ構成	2-11
図 2.10 汎用レジスタの使用法	2-12
図 2.11 スタックの状態	2-13
図 2.12 汎用レジスタのデータ形式	2-16
図 2.13 メモリ上でのデータ形式	2-17
図 2.14 命令フォーマットの例	2-33
図 2.15 メモリ間接による分岐アドレスの指定	2-38
図 2.16 状態遷移図	2-43
3. MCU 動作モード	
図 3.1 H8SX/1544 の各動作モードのアドレスマップ (1)	3-7
図 3.2 H8SX/1544 の各動作モードのアドレスマップ (2)	3-8
図 3.3 H8SX/1543 の各動作モードのアドレスマップ (1)	3-9
図 3.4 H8SX/1543 の各動作モードのアドレスマップ (2)	3-10
4. 例外処理	
図 4.1 リセットシーケンス (アドバンスモード / 内蔵 ROM 有効)	4-5
図 4.2 リセットシーケンス (アドバンスモード / 内蔵 ROM 無効 / 外部 16 ビットアクセス空間)	4-6
図 4.3 例外処理終了後のスタックの状態	4-13
図 4.4 SP を奇数に設定したときの動作	4-14

5.	割り込みコントローラ	
図 5.1	割り込みコントローラのブロック図	5-2
図 5.2	IRQn 割り込みのブロック図	5-15
図 5.3	割り込み制御モード 0 の割り込み受け付けまでのフロー	5-22
図 5.4	割り込み制御モード 2 の割り込み受け付けまでのフロー	5-24
図 5.5	割り込み例外処理	5-25
図 5.6	DMAC と割り込みコントローラ	5-27
図 5.7	割り込みの発生とディスエーブルの競合	5-31
6.	バスコントローラ (BSC)	
図 6.1	バスコントローラのブロック図	6-2
図 6.2	リードストローブネゲートタイミング (3 ステートアクセス空間)	6-9
図 6.3	内部バス構成	6-15
図 6.4	システムクロック : 外部バスクロック=4 : 1、外部 2 ステートアクセス	6-17
図 6.5	システムクロック : 外部バスクロック=2 : 1、外部 3 ステートアクセス	6-18
図 6.6	アドレス空間のエリア分割	6-20
図 6.7	8 ビットアクセス空間へのアクセスサイズとデータアライメント制御 (ビッグエンディアン)	6-24
図 6.8	8 ビットアクセス空間へのアクセスサイズとデータアライメント制御 (リトルエンディアン)	6-24
図 6.9	16 ビットアクセス空間へのアクセスサイズとデータアライメント制御 (ビッグエンディアン)	6-25
図 6.10	16 ビットアクセス空間へのアクセスサイズとデータアライメント制御 (リトルエンディアン)	6-25
図 6.11	16 ビット 2 ステートアクセス空間のバスタイミング (偶数アドレスバイトアクセス)	6-27
図 6.12	16 ビット 2 ステートアクセス空間のバスタイミング (奇数アドレスバイトアクセス)	6-28
図 6.13	16 ビット 2 ステートアクセス空間のバスタイミング (偶数アドレスワードアクセス)	6-29
図 6.14	16 ビット 3 ステートアクセス空間のバスタイミング (偶数アドレスバイトアクセス)	6-30
図 6.15	16 ビット 3 ステートアクセス空間のバスタイミング (奇数アドレスバイトアクセス)	6-31
図 6.16	16 ビット 3 ステートアクセス空間のバスタイミング (偶数アドレスワードアクセス)	6-32
図 6.17	ウェイトステート挿入タイミング例	6-33
図 6.18	リードストローブタイミング例	6-34
図 6.19	\overline{DACK} 信号の出力タイミング	6-35
図 6.20	アイドルサイクル動作例 (異なるエリア間での連続リード)	6-38
図 6.21	アイドルサイクル動作例 (リード後のライト)	6-39
図 6.22	アイドルサイクル動作例 (ライト後のリード)	6-40
図 6.23	アイドルサイクル動作例 (シングルアドレス転送ライト後のライト)	6-41
図 6.24	アイドルサイクル挿入例	6-42
図 6.25	外部ライトデータバッファ機能使用時のタイミング例	6-45
図 6.26	周辺モジュールライトデータバッファ機能使用時のタイミング例	6-46
7.	DMA コントローラ (DMAC)	
図 7.1	DMAC のブロック図	7-2
図 7.2	デュアルアドレスモードのタイミング例	7-20

図 7.3	デュアルアドレスモードの動作.....	7-21
図 7.4	シングルアドレスモードでのデータの流れ.....	7-22
図 7.5	シングルアドレスモードのタイミング例.....	7-22
図 7.6	シングルアドレスモードの動作.....	7-23
図 7.7	ノーマル転送モードのタイミング例.....	7-23
図 7.8	ノーマル転送モードの動作.....	7-24
図 7.9	リピート転送モードの動作.....	7-25
図 7.10	ブロック転送モードの例.....	7-26
図 7.11	シングルアドレスモードのブロック転送モード（ブロックエリアの指定あり）の動作.....	7-26
図 7.12	デュアルアドレスモードのブロック転送モード（ブロックエリアの指定なし）の動作.....	7-27
図 7.13	サイクルスチールモードのタイミング例.....	7-30
図 7.14	バーストモードのタイミング例.....	7-31
図 7.15	拡張リピートエリア機能の例.....	7-32
図 7.16	ブロック転送モードと拡張リピートエリア機能を併用したときの例.....	7-33
図 7.17	アドレスの更新方法.....	7-34
図 7.18	オフセット更新機能の動作.....	7-35
図 7.19	リピート転送モード+オフセット加算による XY 変換のときの動作.....	7-36
図 7.20	リピート転送モード+オフセット加算による XY 変換のフロー.....	7-37
図 7.21	動作中のチャンネルのレジスタ設定を変更するときの手順.....	7-40
図 7.22	チャンネルの優先順位のタイミング例.....	7-42
図 7.23	DMA 転送バスタイミング例.....	7-43
図 7.24	ノーマル転送モードかつサイクルスチールモードの転送例.....	7-44
図 7.25	ノーマル転送モードかつサイクルスチールモードの転送例 （転送元 DSAR = 奇数アドレス、ソースアドレス増加）.....	7-45
図 7.26	ノーマル転送モードかつサイクルスチールモードの転送例 （転送先 DDAR = 奇数アドレス、デスティネーションアドレス減少）.....	7-45
図 7.27	ノーマル転送モードかつバーストモードの転送例.....	7-46
図 7.28	ブロック転送モードの転送例.....	7-47
図 7.29	$\overline{\text{DREQ}}$ 立ち下がりエッジ起動時のノーマル転送モードの転送例.....	7-48
図 7.30	$\overline{\text{DREQ}}$ レベル起動時のノーマル転送モードの転送例.....	7-49
図 7.31	$\overline{\text{DREQ}}$ レベル起動時のブロック転送モードの転送例.....	7-50
図 7.32	NRD = 1 のときの $\overline{\text{DREQ}}$ Low レベル起動時のノーマル転送モードの転送例.....	7-51
図 7.33	シングルアドレスモード（バイトリード）の転送例.....	7-52
図 7.34	シングルアドレスモード（バイトライト）の転送例.....	7-53
図 7.35	$\overline{\text{DREQ}}$ 立ち下がりエッジ起動時のシングルアドレスモードの転送例.....	7-54
図 7.36	$\overline{\text{DREQ}}$ Low レベル起動時のシングルアドレスモードの転送例.....	7-55
図 7.37	NRD = 1 のときの $\overline{\text{DREQ}}$ Low レベル起動時のシングルアドレスモードの転送例.....	7-56
図 7.38	割り込みと割り込み要因.....	7-62
図 7.39	割り込みを解除して、転送を再開する手順例.....	7-63

9. 16ビットタイムパルスユニット (TPU)

図 9.1	TPU のブロック図	9-4
図 9.2	カウンタ動作設定手順例	9-37
図 9.3	フリーランニングカウンタの動作	9-38
図 9.4	周期カウンタの動作	9-39
図 9.5	コンペアマッチによる波形出力動作例	9-39
図 9.6	0 出力 / 1 出力の動作例	9-40
図 9.7	トグル出力の動作例	9-40
図 9.8	インプットキャプチャ動作の設定例	9-41
図 9.9	インプットキャプチャ動作例	9-42
図 9.10	同期動作の設定手順例	9-43
図 9.11	同期動作の動作例	9-44
図 9.12	コンペアマッチバッファ動作	9-45
図 9.13	インプットキャプチャバッファ動作	9-45
図 9.14	バッファ動作の設定手順例	9-45
図 9.15	バッファ動作例 (1)	9-46
図 9.16	バッファ動作例 (2)	9-47
図 9.17	カスケード接続動作設定手順例	9-48
図 9.18	カスケード接続動作例 (1)	9-48
図 9.19	カスケード接続動作例 (2)	9-49
図 9.20	PWM モードの設定手順例	9-51
図 9.21	PWM モードの動作例 (1)	9-51
図 9.22	PWM モードの動作例 (2)	9-52
図 9.23	PWM モード動作例 (3)	9-53
図 9.24	位相計数モードの設定手順例	9-54
図 9.25	位相計数モード 1 の動作例	9-55
図 9.26	位相計数モード 2 の動作例	9-56
図 9.27	位相計数モード 3 の動作例	9-57
図 9.28	位相計数モード 4 の動作例	9-58
図 9.29	位相計数モードの応用例	9-59
図 9.30	内部クロック動作時のカウントタイミング	9-62
図 9.31	外部クロック動作時のカウントタイミング	9-62
図 9.32	アウトプットコンペア出力タイミング	9-63
図 9.33	インプットキャプチャ入力信号タイミング	9-63
図 9.34	カウンタクリアタイミング (コンペアマッチ)	9-64
図 9.35	カウンタクリアタイミング (インプットキャプチャ)	9-64
図 9.36	バッファ動作タイミング (コンペアマッチ)	9-65
図 9.37	バッファ動作タイミング (インプットキャプチャ)	9-65
図 9.38	TGI 割り込みタイミング (コンペアマッチ)	9-66
図 9.39	TGI 割り込みタイミング (インプットキャプチャ)	9-67

図 9.40	TCIV 割り込みのセットタイミング	9-67
図 9.41	TCIU 割り込みのセットタイミング	9-68
図 9.42	CPU によるステータスフラグのクリアタイミング	9-68
図 9.43	DMAC の起動によるステータスフラグのクリアタイミング例 (1)	9-69
図 9.44	DMAC の起動によるステータスフラグのクリアタイミング例 (2)	9-69
図 9.45	位相計数モード時の位相差、オーバーラップ、およびパルス幅	9-70
図 9.46	TCNT のライトとクリアの競合	9-71
図 9.47	TCNT のライトとカウントアップの競合	9-72
図 9.48	TGR のライトとコンペアマッチの競合	9-72
図 9.49	バッファレジスタのライトとコンペアマッチの競合	9-73
図 9.50	TGR のリードとインプットキャプチャの競合	9-73
図 9.51	TGR のライトとインプットキャプチャの競合	9-74
図 9.52	バッファレジスタのライトとインプットキャプチャの競合	9-74
図 9.53	オーバフローとカウンタクリアの競合	9-75
図 9.54	TCNT のライトとオーバフローの競合	9-75
10. ウォッチドッグタイマ (WDT)		
図 10.1	WDT のブロック図	10-2
図 10.2	ウォッチドッグタイマモード時の動作	10-6
図 10.3	インターバルタイマモード時の動作	10-6
図 10.4	TCNT、TCSR、RSTCSR へのライト	10-8
図 10.5	TCNT のライトとカウントアップの競合	10-8
11. 時計用タイマ (WAT)		
図 11.1	WAT のブロック図	11-1
図 11.2	コンペアマッチタイマモード時の動作	11-6
図 11.3	インターバルタイマモード時の動作	11-8
図 11.4	WTCNT のライトとカウントアップの競合	11-10
12. シリアルコミュニケーションインタフェース (SCI)		
図 12.1	SCI のブロック図	12-2
図 12.2	調歩同期式通信のデータフォーマット (8 ビットデータ/パリティあり/2 ストップビットの例)	12-23
図 12.3	調歩同期式モードの受信データサンプリングタイミング	12-25
図 12.4	出力クロックと送信データの位相関係 (調歩同期式モード)	12-26
図 12.5	SCI の初期化フローチャートの例	12-27
図 12.6	調歩同期式モードの送信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)	12-28
図 12.7	シリアル送信のフローチャートの例	12-29
図 12.8	SCI の受信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)	12-30

図 12.9	シリアル受信のフローチャートの例 (1)	12-31
図 12.9	シリアル受信のフローチャートの例 (2)	12-32
図 12.10	マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ H'AA の送信の例)	12-33
図 12.11	マルチプロセッサシリアル送信のフローチャートの例	12-34
図 12.12	SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)	12-35
図 12.13	マルチプロセッサシリアル受信のフローチャートの例 (1)	12-36
図 12.13	マルチプロセッサシリアル受信のフローチャートの例 (2)	12-37
図 12.14	クロック同期式通信のデータフォーマット (LSB ファーストの場合)	12-38
図 12.15	SCI の初期化フローチャートの例	12-39
図 12.16	クロック同期モードの送信時の動作例	12-40
図 12.17	シリアル送信のフローチャートの例	12-41
図 12.18	SCI の受信時の動作例	12-42
図 12.19	シリアル受信のフローチャートの例	12-43
図 12.20	シリアル送受信同時動作のフローチャートの例	12-45
図 12.21	スマートカードインタフェース端子接続概要	12-46
図 12.22	通常のスマートカードインタフェースのデータフォーマット	12-47
図 12.23	ダイレクトコンベンション (SDIR = SINV = 0/ \bar{E} = 0)	12-48
図 12.24	インバースコンベンション (SDIR = SINV = 0/ \bar{E} = 1)	12-48
図 12.25	スマートカードインタフェースモード時の受信データサンプリングタイミング (372 倍のクロック使用時)	12-49
図 12.26	SCI 送信モードの場合の再転送動作	12-52
図 12.27	送信動作時の TEND フラグ発生タイミング	12-52
図 12.28	送信処理フローの例	12-53
図 12.29	SCI 受信モードの場合の再転送動作	12-54
図 12.30	受信フローの例	12-55
図 12.31	クロック出力固定タイミング	12-56
図 12.32	クロック停止・再起動手順	12-57
図 12.33	DMAC によるクロック同期式送信時の例	12-61
図 12.34	送信時のモード遷移フローチャートの例	12-62
図 12.35	モード遷移時のポートの端子状態 (内部クロック、調歩同期送信)	12-62
図 12.36	モード遷移時のポートの端子状態 (内部クロック、クロック同期送信)	12-63
図 12.37	受信時のモード遷移フローチャートの例	12-63

13. I²C バスインタフェース 2 (IIC2)

図 13.1	I ² C バスインタフェース 2 のブロック図	13-2
図 13.2	入出力端子の外部回路接続例	13-3
図 13.3	I ² C バスフォーマット	13-13
図 13.4	I ² C バスタイミング	13-13
図 13.5	マスタ送信モード動作タイミング 1	13-15

図 13.6	マスタ送信モード動作タイミング 2.....	13-15
図 13.7	マスタ受信モード動作タイミング 1.....	13-17
図 13.8	マスタ受信モード動作タイミング 2.....	13-17
図 13.9	スレーブ送信モード動作タイミング 1.....	13-19
図 13.10	スレーブ送信モード動作タイミング 2.....	13-20
図 13.11	スレーブ受信モード動作タイミング 1.....	13-21
図 13.12	スレーブ受信モード動作タイミング 2.....	13-21
図 13.13	ノイズ除去回路のブロック図.....	13-22
図 13.14	マスタ送信モードのフローチャート例.....	13-23
図 13.15	マスタ受信モードのフローチャート例.....	13-24
図 13.16	スレーブ送信モードフローチャート例.....	13-25
図 13.17	スレーブ受信モードフローチャート例.....	13-26
図 13.18	ビット同期回路のタイミング.....	13-27
14. コントローラエリアネットワーク (RCAN-ET)		
図 14.1	RCAN-ET のブロック図.....	14-2
図 14.2	RCAN-ET のメモリマップ.....	14-4
図 14.3	メールボックス n の構成.....	14-6
図 14.4	ローカルアクセプタンスフィルタマスク (LAFM)	14-12
図 14.5	ID 並べ替え.....	14-18
図 14.6	リセットシーケンス.....	14-43
図 14.7	CAN スリープモードのフローチャート.....	14-45
図 14.8	状態遷移図.....	14-46
図 14.9	メッセージ送信リクエスト.....	14-49
図 14.10	送信用内部アービトレーション.....	14-50
図 14.11	メッセージ受信シーケンス.....	14-51
図 14.12	受信ボックスの ID 変更 / 受信ボックスから送信ボックスへの変更.....	14-54
図 14.13	PORT インタフェース概要.....	14-57
図 14.14	HA13721 を用いたハイスピードインタフェース.....	14-57
15. シンクロナスシリアルコミュニケーションユニット (SSU)		
図 15.1	SSU のブロック図.....	15-2
図 15.2	クロックの位相、極性、およびデータの関係.....	15-14
図 15.3	データ入出力端子とシフトレジスタの関係.....	15-15
図 15.4	SSU モードの初期設定例.....	15-18
図 15.5	送信時の動作例 (SSU モード)	15-19
図 15.6	データ送信のフローチャート例 (SSU モード)	15-20
図 15.7	受信時の動作例 (SSU モード)	15-21
図 15.8	データ受信のフローチャート例 (SSU モード)	15-22
図 15.9	データ送受信同時動作のフローチャート例 (SSU モード)	15-23

図 15.10	コンフリクトエラー検出タイミング (転送前)	15-24
図 15.11	コンフリクトエラー検出タイミング (転送終了後)	15-24
図 15.12	クロック同期式通信モードの初期設定例	15-25
図 15.13	送信時の動作例 (クロック同期式通信モード)	15-26
図 15.14	データ送信のフローチャート例 (クロック同期式通信モード)	15-27
図 15.15	受信時の動作例 (クロック同期式通信モード)	15-28
図 15.16	データ受信のフローチャート例 (クロック同期式通信モード)	15-29
図 15.17	データ送受信同時動作のフローチャート例 (クロック同期式通信モード)	15-30
16.	A/D 変換器	
図 16.1	A/D 変換器 (ユニット 0/AD_0) のブロック図	16-2
図 16.2	A/D 変換器 (ユニット 1/AD_1) のブロック図	16-3
図 16.3	A/D 変換器の動作例 (シングルモード、チャンネル 1 選択時)	16-10
図 16.4	A/D 変換器の動作例 (スキャンモード、AN0 ~ AN2 の 3 チャンネル選択時)	16-11
図 16.5	A/D 変換タイミング	16-12
図 16.6	外部トリガ入力タイミング	16-13
図 16.7	A/D 変換精度の定義	16-14
図 16.8	A/D 変換精度の定義	16-15
図 16.9	アナログ入力回路の例	16-16
図 16.10	アナログ入力保護回路の例	16-17
図 16.11	アナログ入力端子等価回路	16-17
17.	D/A 変換器	
図 17.1	D/A 変換器のブロック図	17-1
図 17.2	D/A 変換器の動作例	17-4
18.	モータコントロール PWM タイマ	
図 18.1	PWM のブロック図	18-2
図 18.2	サイクルレジスタのコンペアマッチ	18-6
図 18.3	デューティレジスタのコンペアマッチ (PWPR の OPS = 0)	18-8
図 18.4	デューティレジスタの設定値による PWM 出力の相違 (PWPR の OPS = 0)	18-8
図 18.5	16 ビットレジスタのアクセス動作 (バスマスタ ↔ PWCYR (16 ビット))	18-11
図 18.6	8 ビットレジスタのアクセス動作 (バスマスタ ↔ PWCR (上位 8 ビット))	18-11
図 18.7	PWM の動作	18-12
図 18.8	バッファ転送禁止動作説明	18-13
図 18.9	バッファレジスタのライトとコンペアマッチの競合	18-14
19.	16 ビット PWM	
図 19.1	PWM のブロック図	19-2
図 19.2	サイクルレジスタのコンペアマッチ	19-7

図 19.3	16 ビット PWM モード時の動作	19-12
図 19.4	10 ビット Stepping Motor モード時の動作	19-13
図 19.5	バッファレジスタのライトとコンペアマッチの競合	19-14
20.	サウンドジェネレータ (SDG)	
図 20.1	SDG のブロック図	20-1
図 20.2	SDG の停止方法例	20-9
図 20.3	SDG 動作フローチャート	20-10
図 20.4	減衰特性	20-12
図 20.5	出力波形	20-13
22.	フラッシュメモリ	
図 22.1	フラッシュメモリのブロック図	22-2
図 22.2	フラッシュメモリに関する状態遷移	22-3
図 22.3	512K バイトのユーザマットのブロック構成	22-5
図 22.4	384K バイトのユーザマットのブロック構成	22-6
図 22.5	手続きプログラムの作成手順	22-7
図 22.6	ブートモードのシステム構成図	22-27
図 22.7	ビットレートの自動合わせ込み	22-28
図 22.8	ブートモードの状態遷移図	22-29
図 22.9	書き込み / 消去フロー	22-31
図 22.10	書き込み / 消去実行時の RAM マップ	22-32
図 22.11	ユーザプログラムモードでの書き込み手順	22-33
図 22.12	ユーザプログラムモードでの消去手順	22-37
図 22.13	ユーザプログラムモードでの消去、書き込み、RAM エミュレーション手順	22-39
図 22.14	エラープロテクト状態への状態遷移図	22-44
図 22.15	RAM によるエミュレーションフロー	22-45
図 22.16	RAM のオーバーラップ動作例	22-46
図 22.17	チューニング終了データの書き込み	22-47
図 22.18	ブートプログラムのステータス	22-49
図 22.19	ビットレート合わせ込みのシーケンス	22-50
図 22.20	通信プロトコルフォーマット	22-51
図 22.21	新ビットレート選択のシーケンス	22-60
図 22.22	書き込みシーケンス	22-63
図 22.23	消去シーケンス	22-63
23.	クロック発振器	
図 23.1	クロック発振器のブロック図	23-1
図 23.2	水晶発振子の接続例	23-5
図 23.3	水晶発振子の等価回路	23-5

付録

図 C.1 FP-144L 外形寸法図付録-4

表目次

1. 概要

表 1.1 動作モード別ピン配置一覧	1-4
表 1.2 端子機能	1-9

2. CPU

表 2.1 命令の分類	2-18
表 2.2 命令とアドレッシングモードの組み合わせ (1)	2-20
表 2.2 命令とアドレッシングモードの組み合わせ (2)	2-23
表 2.3 オペレーションの記号	2-24
表 2.4 データ転送命令	2-25
表 2.5 ブロック転送命令	2-25
表 2.6 算術演算命令	2-26
表 2.7 論理演算命令	2-28
表 2.8 シフト命令	2-28
表 2.9 ビット操作命令	2-29
表 2.10 分岐命令	2-31
表 2.11 システム制御命令	2-32
表 2.12 アドレッシングモード一覧表	2-34
表 2.13 絶対アドレスのアクセス範囲	2-37
表 2.14 転送 / 演算命令の実効アドレスの計算方法	2-40
表 2.15 分岐命令の実効アドレスの計算方法	2-41

3. MCU 動作モード

表 3.1 MCU 動作モードの選択	3-1
表 3.2 MDS3 ~ MDS0 ビットの値	3-3
表 3.3 各動作モードにおける端子機能 (アドバンスモード)	3-6

4. 例外処理

表 4.1 例外処理の種類と優先度	4-1
表 4.2 例外処理ベクタテーブル	4-2
表 4.3 例外処理ベクタテーブルアドレスの算出法	4-3
表 4.4 トレース例外処理後の CCR、EXR の状態	4-7
表 4.5 バスサイクルとアドレスエラー	4-8
表 4.6 アドレスエラー例外処理後の CCR、EXR の状態	4-9

表 4.7	割り込み要因.....	4-10
表 4.8	トラップ命令例外処理後の CCR、EXR の状態.....	4-11
表 4.9	不当命令例外処理後の CCR、EXR の状態.....	4-12
5. 割り込みコントローラ		
表 5.1	端子構成.....	5-2
表 5.2	割り込み要因とベクタアドレスオフセットおよび割り込み優先順位.....	5-17
表 5.3	割り込み制御モード.....	5-21
表 5.4	割り込み応答時間.....	5-26
表 5.5	割り込み例外処理の実行状態のステート数.....	5-26
表 5.6	割り込み要因の選択とクリア制御.....	5-28
表 5.7	CPU の優先レベルの制御.....	5-29
表 5.8	CPU に対する DMAC の優先レベル制御機能の設定例と制御状態.....	5-30
6. バスコントローラ (BSC)		
表 6.1	同期クロックと対応する機能.....	6-16
表 6.2	端子構成.....	6-19
表 6.3	各インタフェースと端子の対応.....	6-19
表 6.4	各インタフェースの名称と説明、および設定したエリアの名称.....	6-21
表 6.5	各インタフェースの設定可能なエリア.....	6-21
表 6.6	アクセスステート数.....	6-22
表 6.7	基本バスインタフェースの入出力端子.....	6-26
表 6.8	各エリアのアイドルサイクル挿入数選択一覧.....	6-37
表 6.9	アイドルサイクルの挿入数一覧.....	6-37
表 6.10	通常空間を混在してアクセスするときのアイドルサイクル.....	6-42
表 6.11	アイドルサイクルでの端子状態.....	6-43
表 6.12	内蔵メモリ空間のアクセスサイクル数.....	6-44
表 6.13	内蔵周辺モジュールレジスタ空間のアクセスサイクル数.....	6-44
7. DMA コントローラ (DMAC)		
表 7.1	端子構成.....	7-3
表 7.2	データアクセスサイズと有効ビット、設定可能サイズの対応.....	7-7
表 7.3	拡張リピートエリアの設定と範囲.....	7-18
表 7.4	転送モード.....	7-19
表 7.5	DMAC 内蔵モジュール割り込み一覧.....	7-29
表 7.6	DMAC のチャンネル間の優先順位.....	7-42
表 7.7	割り込み要因と優先度.....	7-61
8. I/O ポート		
表 8.1	ポート機能一覧.....	8-1

表 8.2	各ポートのレジスタ構成	8-6
表 8.3	起動モードと初期値	8-7
表 8.4	入力プルアップ MOS の状態	8-9
表 8.5	各ポートの出力信号有効設定一覧	8-30

9. 16 ビットタイマパルスユニット (TPU)

表 9.1	TPU の機能一覧	9-2
表 9.2	端子構成	9-5
表 9.3	CCLR2 ~ CCLR0 (チャンネル 0、3)	9-9
表 9.4	CCLR2 ~ CCLR0 (チャンネル 1、2、4、5)	9-9
表 9.5	入力クロックエッジ選択	9-9
表 9.6	TPSC2 ~ TPSC0 (チャンネル 0)	9-10
表 9.7	TPSC2 ~ TPSC0 (チャンネル 1)	9-10
表 9.8	TPSC2 ~ TPSC0 (チャンネル 2)	9-10
表 9.9	TPSC2 ~ TPSC0 (チャンネル 3)	9-11
表 9.10	TPSC2 ~ TPSC0 (チャンネル 4)	9-11
表 9.11	TPSC2 ~ TPSC0 (チャンネル 5)	9-11
表 9.12	MD3 ~ MD0	9-13
表 9.13	TIORH_0	9-15
表 9.14	TIORL_0	9-16
表 9.15	TIOR_1	9-17
表 9.16	TIOR_2	9-18
表 9.17	TIORH_3	9-19
表 9.18	TIORL_3	9-20
表 9.19	TIOR_4	9-21
表 9.20	TIOR_5	9-22
表 9.21	TIORH_0	9-23
表 9.22	TIORL_0	9-24
表 9.23	TIOR_1	9-25
表 9.24	TIOR_2	9-26
表 9.25	TIORH_3	9-27
表 9.26	TIORL_3	9-28
表 9.27	TIOR_4	9-29
表 9.28	TIOR_5	9-30
表 9.29	レジスタの組み合わせ	9-44
表 9.30	カスケード接続組み合わせ	9-47
表 9.31	各 PWM 出力のレジスタと出力端子	9-50
表 9.32	位相計数モードクロック入力端子	9-54
表 9.33	位相計数モード 1 のアップ / ダウンカウント条件	9-55
表 9.34	位相計数モード 2 のアップ / ダウンカウント条件	9-56

表 9.35	位相計数モード 3 のアップ / ダウンカウント条件	9-57
表 9.36	位相計数モード 4 のアップ / ダウンカウント条件	9-58
表 9.37	TPU 割り込み一覧	9-60
10. ウォッチドッグタイマ (WDT)		
表 10.1	WDT の割り込み要因	10-7
12. シリアルコミュニケーションインタフェース (SCI)		
表 12.1	端子構成	12-3
表 12.2	BRR の設定値 N とビットレート B の関係	12-18
表 12.3	ビットレートに対する BRR の設定例 (調歩同期式モード) (1)	12-19
表 12.3	ビットレートに対する BRR の設定例 (調歩同期式モード) (2)	12-20
表 12.4	各動作周波数における最大ビットレート (調歩同期式モード)	12-20
表 12.5	外部クロック入力時の最大ビットレート (調歩同期式モード)	12-20
表 12.6	ビットレートに対する BRR の設定例 (クロック同期式モード)	12-21
表 12.7	外部クロック入力時の最大ビットレート (クロック同期式モード)	12-21
表 12.8	ビットレートに対する BRR の設定例 (スマートカードインタフェースモードで $n=0$ 、 $S=372$ のとき)	12-22
表 12.9	各動作周波数における最大ビットレート (スマートカードインタフェースモードで $S=372$ のとき)	12-22
表 12.10	シリアル送信 / 受信フォーマット (調歩同期式モード)	12-24
表 12.11	SSR のステータスフラグの状態と受信データの処理	12-31
表 12.12	SCI 割り込み要因	12-58
表 12.13	SCI 割り込み要因	12-59
13. I ² C バスインタフェース 2 (IIC2)		
表 13.1	端子構成	13-3
表 13.2	転送レート	13-5
表 13.3	割り込み要求一覧	13-27
表 13.4	SCL をモニタする時間	13-28
14. コントローラエリアネットワーク (RCAN-ET)		
表 14.1	端子構成	14-4
表 14.2	各メールボックスのアドレスマップ	14-5
表 14.3	メールボックスの機能の設定	14-11
表 14.4	RCAN-ET のコントロールレジスタの構成	14-13
表 14.5	TSG と TSEG の設定	14-24
表 14.6	RCAN-ET のメールボックスレジスタ	14-31
表 14.7	アクセス可能なレジスタ	14-47
表 14.8	テストモードの設定	14-47

表 14.9	RCAN-ET の割り込み要因	14-55
15. シンクロナスシリアルコミュニケーションユニット (SSU)		
表 15.1	端子構成	15-3
表 15.2	各通信モードと SSI、SSO 端子の状態	15-16
表 15.3	各通信モードと SSCK 端子の状態	15-17
表 15.4	各通信モードと $\overline{\text{SCS}}$ 端子の状態	15-17
表 15.5	SSU 割り込み要因	15-31
16. A/D 変換器		
表 16.1	端子構成	16-4
表 16.2	アナログ入力チャンネルと ADDR の対応	16-6
表 16.3	A/D 変換特性 (シングルモード)	16-12
表 16.4	A/D 変換特性 (スキャンモード)	16-12
表 16.5	A/D 変換器の割り込み要因	16-13
表 16.6	アナログ端子の規格	16-17
17. D/A 変換器		
表 17.1	端子構成	17-2
表 17.2	D/A 変換の制御	17-3
18. モータコントロール PWM タイマ		
表 18.1	端子構成	18-3
表 18.2	OTS ビット出力選択	18-7
19. 16 ビット PWM		
表 19.1	端子構成	19-3
表 19.2	PWM0 出力、PWM1 出力選択	19-9
表 19.3	PWM2 出力、PWM3 出力選択	19-9
20. サウンドジェネレータ (SDG)		
表 20.1	端子構成	20-2
表 20.2	SDG 停止条件一覧表	20-8
表 20.3	TONE 周波数と出力誤差の関係	20-11
表 20.4	SDG の割り込み要因	20-13
22. フラッシュメモリ		
表 22.1	ブートモード、ユーザプログラムモード、ライターモードの相違点	22-3
表 22.2	端子構成	22-9
表 22.3	使用レジスタ/パラメータと対象モード	22-10

表 22.4	使用パラメータと対象モード.....	22-15
表 22.5	オンボードプログラミングモードの設定方法.....	22-27
表 22.6	ビットレート自動合わせ込みが可能なシステムクロック周波数.....	22-28
表 22.7	実行可能なメモリマップ.....	22-41
表 22.8	ユーザプログラムモードでの書き込み処理で使用可能エリア.....	22-41
表 22.9	ユーザプログラムモードでの消去処理で使用可能エリア.....	22-42
表 22.10	ハードウェアプロテクト.....	22-43
表 22.11	ソフトウェアプロテクト.....	22-43
表 22.12	ライターモードでサポートするデバイスタイプ.....	22-48
表 22.13	問い合わせ選択コマンド一覧.....	22-52
表 22.14	書き込み/消去コマンド一覧.....	22-62
表 22.15	ステータスコード.....	22-69
表 22.16	エラーコード.....	22-69
表 22.17	ユーザブランチ処理の起動間隔.....	22-71
23. クロック発振器		
表 23.1	ダンピング抵抗値.....	23-5
表 23.2	水晶発振子の特性.....	23-5
24. 低消費電力		
表 24.1	動作状態.....	24-2
表 24.2	発振安定時間の設定.....	24-12
表 24.3	各処理状態における 端子 (PA7) の状態.....	24-16
25. レジスタ一覧		
26. 電気的特性		
表 26.1	絶対最大定格.....	26-1
表 26.2	DC 特性 (1).....	26-2
表 26.2	DC 特性 (2).....	26-3
表 26.3	出力許容電流値.....	26-4
表 26.4	クロックタイミング.....	26-6
表 26.5	制御信号タイミング.....	26-8
表 26.6	バスタイミング (1).....	26-10
表 26.7	DMAC タイミング.....	26-13
表 26.8	内蔵周辺モジュールタイミング (1).....	26-16
表 26.8	内蔵周辺モジュールタイミング (2).....	26-18
表 26.9	A/D 変換特性.....	26-23
表 26.10	D/A 変換特性.....	26-24
表 26.11	フラッシュメモリ特性.....	26-24

付録

表 A.1 各処理状態におけるポートの状態.....付録-1

1. 概要

1.1 特長

- 32ビット高速H8SX CPU
H8/300 CPU、H8/300H CPUおよびH8S CPUとオブジェクトレベルで上位互換
汎用レジスタ：16ビット×16本
基本命令：87種類
- 豊富な周辺機能
DMAコントローラ (DMAC)
16ビットタイマパルスユニット (TPU)
ウォッチドッグタイマ (WDT)
時計用タイマ (WAT)
モータコントロールPWMタイマ
16ビットPWMタイマ
サウンドジェネレータ (SDG)
調歩同期式またはクロック同期式シリアルコミュニケーションインタフェース (SCI)
I²Cバスインタフェース2 (IIC2)
コントローラエリアネットワーク (RCAN-ET)
シンクロナスシリアルコミュニケーションユニット (SSU)
10ビットA/D変換器
8ビットD/A変換器
クロック発振器
- 内蔵メモリ

製品分類		製品型名	ROM	RAM
フラッシュメモリ版	H8SX/1544	R5F61544	512K バイト	24K バイト
	H8SX/1543	R5F61543	384K バイト	16K バイト

- 汎用入出力ポート
入出力ポート：95本
入力ポート：17本
- 各種低消費電力モードをサポート

1. 概要

• 小型パッケージ

パッケージ	コード	ボディサイズ	ピンピッチ
LQFP-144	FP-144L	20.0×20.0mm	0.50mm

1.2 内部ブロック図

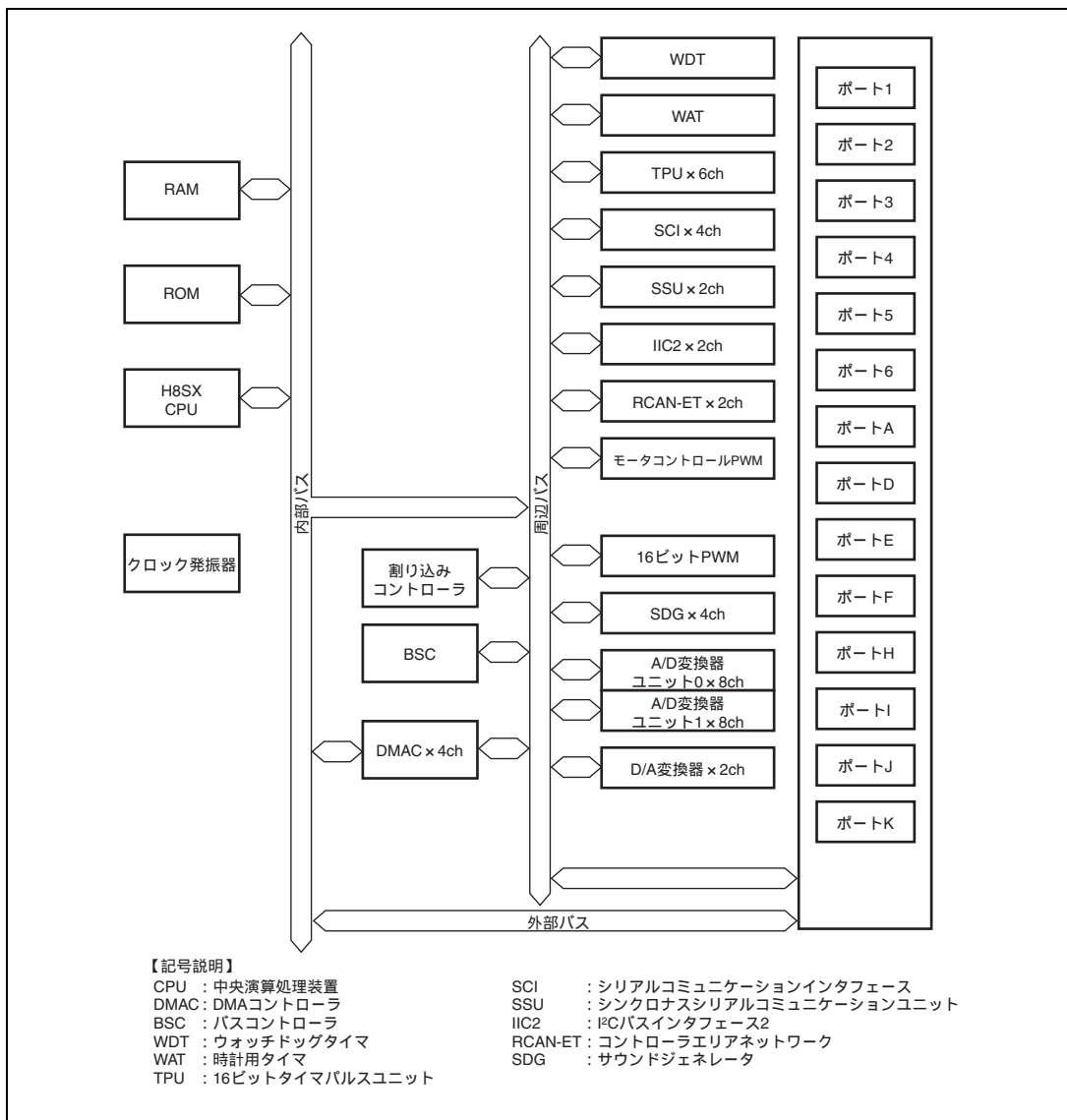


図 1.1 H8SX/1544 内部ブロック図

1.3 端子説明

1.3.1 ピン配置図

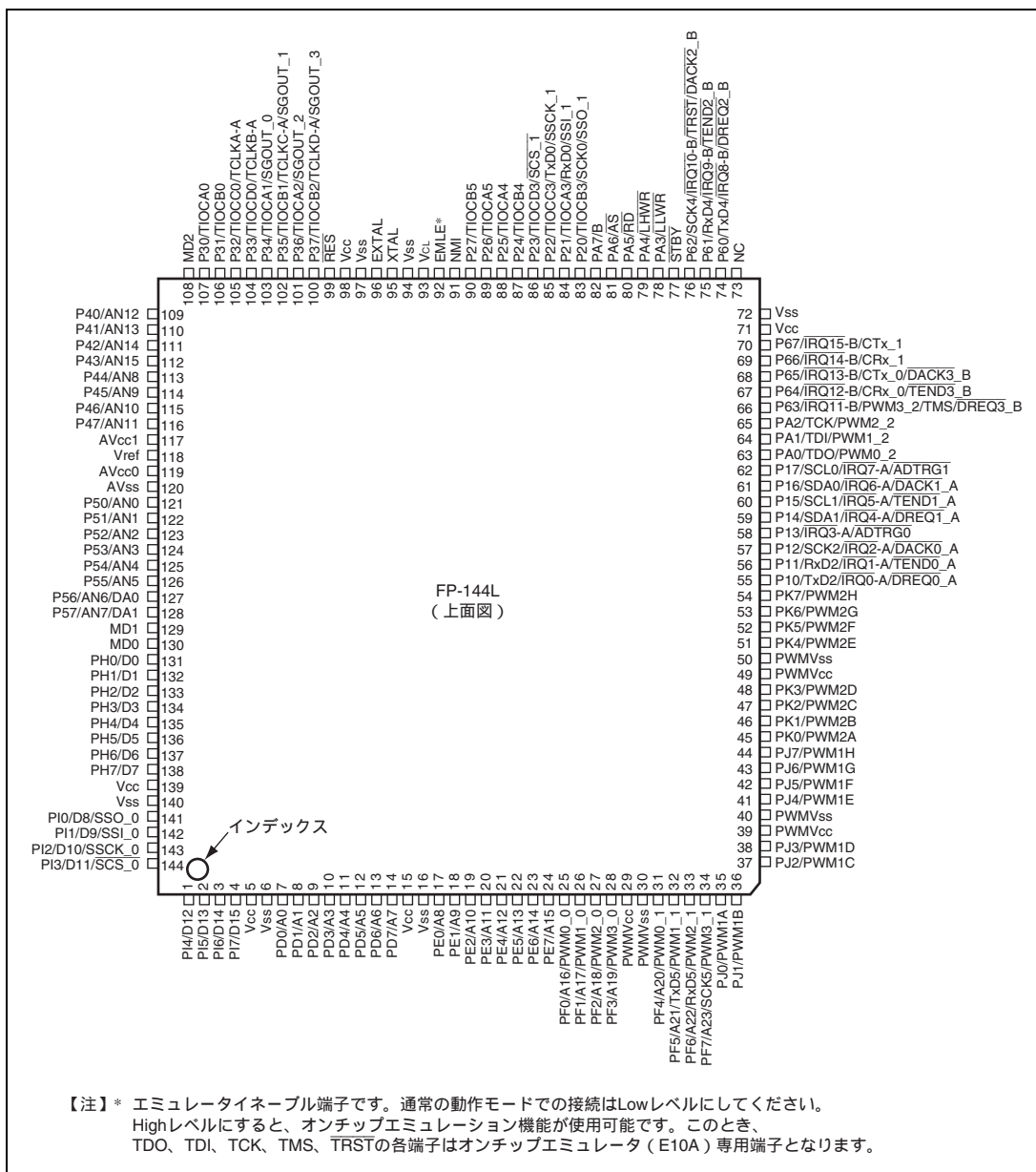


図 1.2 H8SX/1544 ピン配置図

1. 概要

1.3.2 動作モード別ピン配置一覧

表 1.1 動作モード別ピン配置一覧

ピン番号	端子名	
	モード 2、6、7	モード 4、5
1	PI4/D12	PI4/D12
2	PI5/D13	PI5/D13
3	PI6/D14	PI6/D14
4	PI7/D15	PI7/D15
5	Vcc	Vcc
6	Vss	Vss
7	PD0/A0	A0
8	PD1/A1	A1
9	PD2/A2	A2
10	PD3/A3	A3
11	PD4/A4	A4
12	PD5/A5	A5
13	PD6/A6	A6
14	PD7/A7	A7
15	Vcc	Vcc
16	Vss	Vss
17	PE0/A8	A8
18	PE1/A9	A9
19	PE2/A10	A10
20	PE3/A11	A11
21	PE4/A12	A12
22	PE5/A13	A13
23	PE6/A14	A14
24	PE7/A15	A15
25	PF0/A16/PWM0_0	PF0/A16/PWM0_0
26	PF1/A17/PWM1_0	PF1/A17/PWM1_0
27	PF2/A18/PWM2_0	PF2/A18/PWM2_0
28	PF3/A19/PWM3_0	PF3/A19/PWM3_0
29	PWMVcc	PWMVcc
30	PWMVss	PWMVss
31	PF4/A20/PWM0_1	PF4/A20/PWM0_1
32	PF5/A21/TxD5/PWM1_1	PF5/A21/TxD5/PWM1_1
33	PF6/A22/RxD5/PWM2_1	PF6/A22/RxD5/PWM2_1

ピン番号	端子名	
	モード 2、6、7	モード 4、5
34	PF7/A23/SCK5/PWM3_1	PF7/A23/SCK5/PWM3_1
35	PJ0/PWM1A	PJ0/PWM1A
36	PJ1/PWM1B	PJ1/PWM1B
37	PJ2/PWM1C	PJ2/PWM1C
38	PJ3/PWM1D	PJ3/PWM1D
39	PWMVcc	PWMVcc
40	PWMVss	PWMVss
41	PJ4/PWM1E	PJ4/PWM1E
42	PJ5/PWM1F	PJ5/PWM1F
43	PJ6/PWM1G	PJ6/PWM1G
44	PJ7/PWM1H	PJ7/PWM1H
45	PK0/PWM2A	PK0/PWM2A
46	PK1/PWM2B	PK1/PWM2B
47	PK2/PWM2C	PK2/PWM2C
48	PK3/PWM2D	PK3/PWM2D
49	PWMVcc	PWMVcc
50	PWMVss	PWMVss
51	PK4/PWM2E	PK4/PWM2E
52	PK5/PWM2F	PK5/PWM2F
53	PK6/PWM2G	PK6/PWM2G
54	PK7/PWM2H	PK7/PWM2H
55	P10/TxD2/IRQ0-A/DREQ0_A	P10/TxD2/IRQ0-A/DREQ0_A
56	P11/RxD2/IRQ1-A/TEND0_A	P11/RxD2/IRQ1-A/TEND0_A
57	P12/SCK2/IRQ2-A/DACK0_A	P12/SCK2/IRQ2-A/DACK0_A
58	P13/IRQ3-A/ADTRG0	P13/IRQ3-A/ADTRG0
59	P14/SDA1/IRQ4-A/DREQ1_A	P14/SDA1/IRQ4-A/DREQ1_A
60	P15/SCL1/IRQ5-A/TEND1_A	P15/SCL1/IRQ5-A/TEND1_A
61	P16/SDA0/IRQ6-A/DACK1_A	P16/SDA0/IRQ6-A/DACK1_A
62	P17/SCL0/IRQ7-A/ADTRG1	P17/SCL0/IRQ7-A/ADTRG1
63	PA0/TDO/PWM0_2	PA0/TDO/PWM0_2
64	PA1/TDI/PWM1_2	PA1/TDI/PWM1_2
65	PA2/TCK/PWM2_2	PA2/TCK/PWM2_2
66	P63/IRQ11-B/PWM3_2/TMS/DREQ3_B	P63/IRQ11-B/PWM3_2/TMS/DREQ3_B
67	P64/IRQ12-B/CRx_0/TEND3_B	P64/IRQ12-B/CRx_0/TEND3_B
68	P65/IRQ13-B/CTx_0/DACK3_B	P65/IRQ13-B/CTx_0/DACK3_B
69	P66/IRQ14-B/CRx_1	P66/IRQ14-B/CRx_1

1. 概要

ピン番号	端子名	
	モード 2、6、7	モード 4、5
70	P67/ $\overline{\text{IRQ15-B}}/\text{CTx}_1$	P67/ $\overline{\text{IRQ15-B}}/\text{CTx}_1$
71	Vcc	Vcc
72	Vss	Vss
73	NC	NC
74	P60/TxD4/ $\overline{\text{IRQ8-B}}/\text{DREQ2}_B$	P60/TxD4/ $\overline{\text{IRQ8-B}}/\text{DREQ2}_B$
75	P61/RxD4/ $\overline{\text{IRQ9-B}}/\text{TEND2}_B$	P61/RxD4/ $\overline{\text{IRQ9-B}}/\text{TEND2}_B$
76	P62/SCK4/ $\overline{\text{IRQ10-B}}/\text{TRST}/\text{DACK2}_B$	P62/SCK4/ $\overline{\text{IRQ10-B}}/\text{TRST}/\text{DACK2}_B$
77	$\overline{\text{STBY}}$	$\overline{\text{STBY}}$
78	PA3/ $\overline{\text{LLWR}}$	PA3/ $\overline{\text{LLWR}}$
79	PA4/ $\overline{\text{LHWR}}$	PA4/ $\overline{\text{LHWR}}$
80	PA5/ $\overline{\text{RD}}$	PA5/ $\overline{\text{RD}}$
81	PA6/ $\overline{\text{AS}}$	PA6/ $\overline{\text{AS}}$
82	PA7/B	PA7/B
83	P20/TIOCB3/SCK0/SSO_1	P20/TIOCB3/SCK0/SSO_1
84	P21/TIOCA3/RxD0/SSI_1	P21/TIOCA3/RxD0/SSI_1
85	P22/TIOCC3/TxD0/SSCK_1	P22/TIOCC3/TxD0/SSCK_1
86	P23/TIOCD3/SCS_1	P23/TIOCD3/SCS_1
87	P24/TIOCB4	P24/TIOCB4
88	P25/TIOCA4	P25/TIOCA4
89	P26/TIOCA5	P26/TIOCA5
90	P27/TIOCB5	P27/TIOCB5
91	NMI	NMI
92	EMLE*	EMLE*
93	V _{CL}	V _{CL}
94	Vss	Vss
95	XTAL	XTAL
96	EXTAL	EXTAL
97	Vss	Vss
98	Vcc	Vcc
99	$\overline{\text{RES}}$	$\overline{\text{RES}}$
100	P37/TIOCB2/TCLKD_A/SGOUT_3	P37/TIOCB2/TCLKD_A/SGOUT_3
101	P36/TIOCA2/SGOUT_2	P36/TIOCA2/SGOUT_2
102	P35/TIOCB1/TCLKC_A/SGOUT_1	P35/TIOCB1/TCLKC_A/SGOUT_1
103	P34/TIOCA1/SGOUT_0	P34/TIOCA1/SGOUT_0
104	P33/TIOCD0/TCLKB-A	P33/TIOCD0/TCLKB-A

ピン番号	端子名	
	モード 2、6、7	モード 4、5
105	P32/TIOCC0/TCLKA-A	P32/TIOCC0/TCLKA-A
106	P31/TIOCB0	P31/TIOCB0
107	P30/TIOCA0	P30/TIOCA0
108	MD2	MD2
109	P40/AN12	P40/AN12
110	P41/AN13	P41/AN13
111	P42/AN14	P42/AN14
112	P43/AN15	P43/AN15
113	P44/AN8	P44/AN8
114	P45/AN9	P45/AN9
115	P46/AN10	P46/AN10
116	P47/AN11	P47/AN11
117	AVcc1	AVcc1
118	Vref	Vref
119	AVcc0	AVcc0
120	AVss	AVss
121	P50/AN0	P50/AN0
122	P51/AN1	P51/AN1
123	P52/AN2	P52/AN2
124	P53/AN3	P53/AN3
125	P54/AN4	P54/AN4
126	P55/AN5	P55/AN5
127	P56/AN6/DA0	P56/AN6/DA0
128	P57/AN7/DA1	P57/AN7/DA1
129	MD1	MD1
130	MD0	MD0
131	PH0/D0	D0
132	PH1/D1	D1
133	PH2/D2	D2
134	PH3/D3	D3
135	PH4/D4	D4
136	PH5/D5	D5
137	PH6/D6	D6
138	PH7/D7	D7
139	Vcc	Vcc

1. 概要

ピン番号	端子名	
	モード 2、6、7	モード 4、5
140	Vss	Vss
141	PI0/D8/SSO_0	PI0/D8/SSO_0
142	PI1/D9/SSI_0	PI1/D9/SSI_0
143	PI2/D10/SSCK_0	PI2/D10/SSCK_0
144	PI3/D11/SCS_0	PI3/D11/SCS_0

【注】 * エミュレータイネーブル端子です。通常の動作モードでの接続は、Low レベルにしてください。High レベルにすると、オンチップエミュレーション機能が使用可能です。TDO、TDI、TCK、TMS、 $\overline{\text{TRST}}$ の各端子は、オンチップエミュレータ (E10A) 専用端子となります。

1.3.3 端子機能

表 1.2 端子機能

分類	記号	ピン番号	入出力	名称および機能
電源	V_{CC}	5、15、71、 98、139	入力	電源端子です。システムの電源に接続してください。
	V_{CL}	93	入力	0.1 μ Fのコンデンサを介して V_{SS} に接続してください(端子近くに配置してください)。
	V_{SS}	6、16、72 94、97、140	入力	グランド端子です。システムの電源(0V)に接続してください。
クロック	XTAL	95	入力	水晶発振子接続端子です。また、EXTAL 端子は外部クロックを入力することもできます。接続例は、「23. クロック発振器」を参照してください。
	EXTAL	96	入力	
	B	82	出力	
動作モード コントロール	MD2	108	入力	動作モードを設定します。これらの端子は、動作中に変化させないでください。
	MD1	129		
	MD0	130		
システム制御	\overline{RES}	99	入力	リセット端子です。この端子が Low レベルになると、リセット状態となります。
	\overline{STBY}	77	入力	この端子が Low レベルになると、ハードウェアスタンバイモードに遷移します。
	EMLE	92	入力	オンチップエミュレータイネーブル端子です。通常は Low レベルに設定してください。
アドレスバス	A23 ~ A20	34 ~ 31	出力	アドレス出力端子です。
	A19 ~ A8	28 ~ 17		
	A7 ~ A0	14 ~ 7		
データバス	D15 ~ D8	4 ~ 1、 144 ~ 141	入出力	双方向データバスです。
	D7 ~ D0	138 ~ 131		
バス制御	\overline{RD}	80	出力	この端子が Low レベルのとき、外部アドレス空間がリード状態であることを示します。
	\overline{AS}	81	出力	この端子が Low レベルのとき、アドレスバス上のアドレス出力が有効であることを示します。
	\overline{LHWR}	79	出力	この端子が Low レベルのとき、外部アドレス空間がライト状態であることを示します。データバス上の上位側が有効です。
	\overline{LLWR}	78	出力	この端子が Low レベルのとき、外部アドレス空間がライト状態であることを示します。データバス上の下位側が有効です。

1. 概要

分類	記号	ピン番号	入出力	名称および機能
割り込み	NMI	91	入力	ノンマスクابل割り込み要求端子です。未使用の場合は High レベルに固定してください。
	$\overline{\text{IRQ15-B}}$	70	入力	マスク可能な割り込みを要求します。
	$\overline{\text{IRQ14-B}}$	69		
	$\overline{\text{IRQ13-B}}$	68		
	$\overline{\text{IRQ12-B}}$	67		
	$\overline{\text{IRQ11-B}}$	66		
	$\overline{\text{IRQ10-B}}$	76		
	$\overline{\text{IRQ9-B}}$	75		
	$\overline{\text{IRQ8-B}}$	74		
	$\overline{\text{IRQ7-A}}$	62		
	$\overline{\text{IRQ6-A}}$	61		
	$\overline{\text{IRQ5-A}}$	60		
	$\overline{\text{IRQ4-A}}$	59		
	$\overline{\text{IRQ3-A}}$	58		
	$\overline{\text{IRQ2-A}}$	57		
	$\overline{\text{IRQ1-A}}$	56		
$\overline{\text{IRQ0-A}}$	55			
オンチップ エミュレータ	TRST	76	入力	オンチップエミュレータ用デバッグインタフェース端子です。
	TMS	66	入力	
	TDO	63	出力	
	TDI	64	入力	
	TCK	65	入力	
DMA コント ローラ (DMAC)	$\overline{\text{DREQ0_A}}$	55	入力	DMAC の起動を要求します。
	$\overline{\text{DREQ1_A}}$	59		
	$\overline{\text{DREQ2_B}}$	74		
	$\overline{\text{DREQ3_B}}$	66		
	$\overline{\text{DACK0_A}}$	57	出力	DMAC のシングルアドレス転送アクノレッジ端子です。
	$\overline{\text{DACK1_A}}$	61		
	$\overline{\text{DACK2_B}}$	76		
	$\overline{\text{DACK3_B}}$	68		
	$\overline{\text{TEND0_A}}$	56	出力	DMAC のデータ転送終了を示します。
	$\overline{\text{TEND1_A}}$	60		
	$\overline{\text{TEND2_B}}$	75		
	$\overline{\text{TEND3_B}}$	67		

分類	記号	ピン番号	入出力	名称および機能
16ビットタイマ パルスユニット (TPU) (ユニット0)	TCLKA-A	105	入力	外部クロックを入力します。
	TCLKB-A	104		
	TCLKC-A	102		
	TCLKD-A	100		
	TIOCA0	107	入出力	TGRA_0~TGRD_0のインプットキャプチャ入力/ アウトプットコンペア出力/PWM出力端子です。
	TIOCB0	106		
	TIOCC0	105		
	TIOCD0	104		
	TIOCA1	103	入出力	TGRA_1、TGRB_1のインプットキャプチャ入力/ アウトプットコンペア出力/PWM出力端子です。
	TIOCB1	102		
TIOCA2	101	入出力	TGRA_2、TGRB_2のインプットキャプチャ入力/ アウトプットコンペア出力/PWM出力端子です。	
TIOCB2	100			
TIOCA3	84	入出力	TGRA_3~TGRD_3のインプットキャプチャ入力/ アウトプットコンペア出力/PWM出力端子です。	
TIOCB3	83			
TIOCC3	85			
TIOCD3	86			
TIOCA4	88	入出力	TGRA_4、TGRB_4のインプットキャプチャ入力/ アウトプットコンペア出力/PWM出力端子です。	
TIOCB4	87			
TIOCA5	89	入出力	TGRA_5、TGRB_5のインプットキャプチャ入力/ アウトプットコンペア出力/PWM出力端子です。	
TIOCB5	90			
モータコント ロールPWM タイマ	PWM1A ~PWM1H	35~38、 41~44	出力	モータコントロールPWMタイマチャネル1A~1Hの出力 端子です。
	PWM2A~ PWM2H	45~48、 51~54	出力	モータコントロールPWMタイマチャネル2A~2Hの出力 端子です。
16ビットPWM	PWM0_0~ PWM3_0	25~28	出力	16ビットPWMタイマチャネル0_0~3_0の出力端子です。
	PWM0_1~ PWM3_1	31~34	出力	16ビットPWMタイマチャネル0_1~3_1の出力端子です。
	PWM0_2~ PWM3_2	63~66	出力	16ビットPWMタイマチャネル0_2~3_2の出力端子です。
PWM電源	PWMVcc	29、39、49	入力	PWMタイマ出力の電源端子です。
	PWMVss	30、40、50	入力	PWMタイマ出力の電源端子です。システムの電源(0V) に接続してください。

1. 概要

分類	記号	ピン番号	入出力	名称および機能
シリアルコミュニケーション インタフェース (SCI)	TxD0	85	出力	送信データ出力端子です。
	TxD2	55		
	TxD4	74		
	TxD5	32		
	RxD0	84	入力	受信データ入力端子です。
	RxD2	56		
	RxD4	75		
	RxD5	33		
	SCK0	83	入出力	クロック入出力端子です。
	SCK2	57		
	SCK4	76		
	SCK5	34		
I ² C バスインタ フェース (IIC2)	SCL0	62	入出力	IIC2 のクロック入出力端子です。
	SCL1	60		
	SDA0	61	入出力	IIC2 のデータ入出力端子です。
	SDA1	59		
コントローラ エリアネット ワーク (RCAN-ET)	CTx_0	68	出力	RCAN-ET バス送信用端子です。
	CTx_1	70		
	CRx_0	67	入力	RCAN-ET バス受信用端子です。
	CRx_1	69		
シンクロナスシ リアルコミュニ ケーションユニ ット (SSU)	SSO_1	83	入出力	データ入出力端子です。
	SSO_0	141		
	SSI_1	84	入出力	データ入出力端子です。
	SSI_0	142		
	SSCK_1	85	入出力	クロック入出力端子です。
	SSCK_0	143		
	$\overline{\text{SCS}}_1$	86	入出力	チップセレクト入出力端子です。
	$\overline{\text{SCS}}_0$	144		
サウンドジェネ レータ (SDG)	SGOUT3 ~ SGOUT0	100 ~ 103	出力	サウンドジェネレータの出力端子です。

分類	記号	ピン番号	入出力	名称および機能
A/D 変換器	AN15	112	入力	A/D 変換器のアナログ入力端子です。
	AN14	111		
	AN13	110		
	AN12	109		
	AN11	116		
	AN10	115		
	AN9	114		
	AN8	113		
	AN7	128		
	AN6	127		
	AN5	126		
	AN4	125		
	AN3	124		
	AN2	123		
	AN1	122		
	AN0	121		
		$\overline{\text{ADTRG1}}$		
	$\overline{\text{ADTRG0}}$	58		
	AV _{cc} 1	117	入力	A/D 変換器および D/A 変換器のアナログ電源端子です。A/D 変換器および D/A 変換器を使用しない場合は、システム電源に接続してください。
	AV _{cc} 0	119		
	AV _{ss}	120	入力	A/D 変換器および D/A 変換器のグランド端子です。システムの電源 (0V) に接続してください。
	Vref	118	入力	A/D 変換器および D/A 変換器の基準電源端子です。A/D 変換器および D/A 変換器を使用しない場合は、システム電源に接続してください。
D/A 変換器	DA1	128	出力	アナログ出力端子です。
	DA0	127		
I/O ポート	P17	62	入出力	8 ビットの入出力端子です。
	P16	61		
	P15	60		
	P14	59		
	P13	58		
	P12	57		
	P11	56		
	P10	55		

1. 概要

分類	記号	ピン番号	入出力	名称および機能	
I/O ポート	P27	90	入出力	8 ビットの入出力端子です。	
	P26	89			
	P25	88			
	P24	87			
	P23	86			
	P22	85			
	P21	84			
	P20	83			
	P37	P37	100	入出力	8 ビットの入出力端子です。
		P36	101		
		P35	102		
		P34	103		
		P33	104		
		P32	105		
		P31	106		
		P30	107		
	P47	P47	116	入力	8 ビットの入力端子です。
		P46	115		
		P45	114		
		P44	113		
		P43	112		
		P42	111		
		P41	110		
		P40	109		
	P57	P57	128	入力	8 ビットの入力端子です。
		P56	127		
		P55	126		
		P54	125		
		P53	124		
		P52	123		
		P51	122		
		P50	121		

分類	記号	ピン番号	入出力	名称および機能
I/O ポート	P67	70	入出力	8 ビットの入出力端子です。
	P66	69		
	P65	68		
	P64	67		
	P63	66		
	P62	76		
	P61	75		
	P60	74		
	PA7	82	入力	1 ビットの入力端子です。
	PA6	81	入出力	8 ビットの入出力端子です。
	PA5	80		
	PA4	79		
	PA3	78		
	PA2	65		
	PA1	64		
	PA0	63		
	PD7	14		
	PD6	13		
	PD5	12		
	PD4	11		
	PD3	10		
	PD2	9		
	PD1	8		
	PD0	7		
	PE7	24	入出力	8 ビットの入出力端子です。
	PE6	23		
	PE5	22		
	PE4	21		
	PE3	20		
	PE2	19		
	PE1	18		
	PE0	17		

1. 概要

分類	記号	ピン番号	入出力	名称および機能	
I/O ポート	PF7	34	入出力	8 ビットの入出力端子です。	
	PF6	33			
	PF5	32			
	PF4	31			
	PF3	28			
	PF2	27			
	PF1	26			
	PF0	25			
	PH7	PH7	138	入出力	8 ビットの入出力端子です。
		PH6	137		
		PH5	136		
		PH4	135		
		PH3	134		
		PH2	133		
		PH1	132		
		PH0	131		
	PI7	PI7	4	入出力	8 ビットの入出力端子です。
		PI6	3		
		PI5	2		
		PI4	1		
		PI3	144		
		PI2	143		
		PI1	142		
		PI0	141		
	PJ7	PJ7	44	入出力	8 ビットの入出力端子です。
		PJ6	43		
		PJ5	42		
		PJ4	41		
		PJ3	38		
		PJ2	37		
		PJ1	36		
		PJ0	35		

分類	記号	ピン番号	入出力	名称および機能
I/O ポート	PK7	54	入出力	8ビットの入出力端子です。
	PK6	53		
	PK5	52		
	PK4	51		
	PK3	48		
	PK2	47		
	PK1	46		
	PK0	45		

1. 概要

2. CPU

H8SX CPU は、H8/300 CPU、H8/300H CPU および H8S CPU の上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。

H8SX CPU は、16 ビット×16 本の汎用レジスタを持ち、4G バイトのリニアなアドレス空間を扱うことができ、リアルタイム制御に最適です。

2.1 特長

- H8/300 CPU、H8/300H CPU および H8S CPU の上位互換
これらの CPU のオブジェクトプログラムを実行可能
- 汎用レジスタ：16 ビット×16 本
8 ビット×16 本、32 ビット×8 本としても使用可能
- 基本命令：87 種類
8/16/32 ビット演算命令
乗除算命令
ビットフィールド転送命令
強力なビット操作命令
ビット条件分岐命令
積和演算命令
- アドレッシングモード：11 種類
レジスタ直接 Rn
レジスタ間接 @ERn
ディスペースメント付きレジスタ間接 @(d:2,ERn)/@(d:16,ERn)/@(d:32,ERn)
ディスペースメント付きインデックスレジスタ間接 @(d:16,RnL.B)/@(d:32,RnL.B)/@(d:16,Rn.W)/
@(d:32,Rn.W)/@(d:16,ERn.L)/@(d:32,ERn.L)
プリ/ポストインクリメント/デクリメントレジスタ間接 @ERn+/@-ERn/@+ERn/@ERn-
絶対アドレス @aa:8/@aa:16/@aa:24/@aa:32
イミディエイト #xx:3/#xx:4/#xx:8/#xx:16/#xx:32
プログラムカウンタ相対 @(d:8,PC)/@(d:16,PC)
プログラムカウンタインデックス相対 @(RnL.B,PC)/@(Rn.W,PC)/@(ERn.L,PC)
メモリ間接 @@aa:8
拡張メモリ間接 @@vec:7

2. CPU

- ベースレジスタ：2本
ベクタベースレジスタ
ショートアドレスベースレジスタ
- アドレス空間：4Gバイト
プログラム : 4Gバイト
データ : 4Gバイト
- 高速動作
 頻出命令をすべて1~2ステートで実行
 8/16/32ビットレジスタ間加減算 : 1ステート
 8×8ビットレジスタ間乗算 : 1ステート
 16÷8ビットレジスタ間除算 : 10ステート
 16×16ビットレジスタ間乗算 : 1ステート
 32÷16ビットレジスタ間除算 : 18ステート
 32×32ビットレジスタ間乗算 : 5ステート
 32÷32ビットレジスタ間除算 : 18ステート
- CPU動作モード：4種類
 ノーマルモード
 ミドルモード
 アドバンストモード
 マキシマムモード
- 低消費電力状態
 SLEEP命令により低消費電力状態に遷移
 CPU動作クロックを選択可能

-
- 【注】 1. H8SX/1544 グループの CPU 動作モードは、アドバンストモードのみです。ノーマルモード、ミドルモード、マキシマムモードは使用できません。
2. H8SX/1544 グループは乗算器、除算器をサポートしています。
3. H8SX/1544 グループの命令フェッチは 32 ビットモードです。
-

2.2 CPU 動作モード

H8SX CPU は、アドレス空間について、ノーマルモード、ミドルモード、アドバンスモード、およびマキシマムモードの4種類のCPU動作モードを持っています。各モードの選択方法は、「3.1 動作モードの選択」を参照してください。

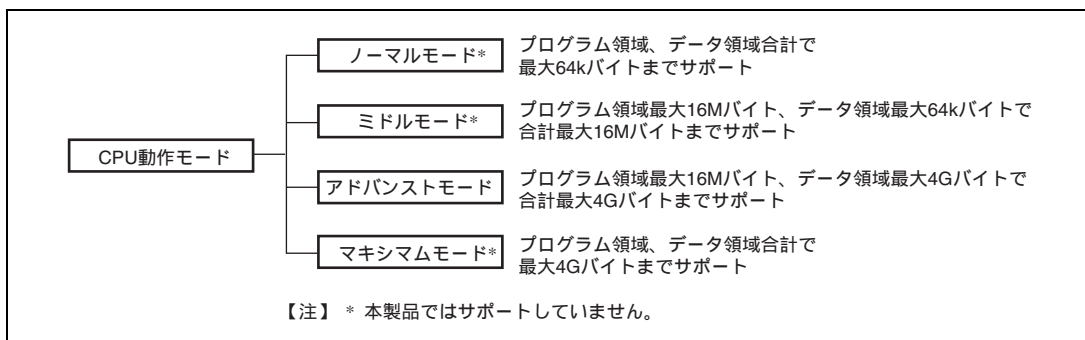


図 2.1 CPU 動作モード

2.2.1 ノーマルモード

ノーマルモードでは例外処理ベクタ、スタックの構造が H8/300 CPU と同一です。

【注】 本製品ではサポートしていません。

- アドレス空間

最大64kバイトをアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0 ~ E7) は、16ビットレジスタとして、または32ビットレジスタの上位16ビットとして使用できます。

拡張レジスタEnは、対応する汎用レジスタRnをアドレスレジスタとして使用している場合でも、16ビットレジスタとして任意の値を設定することができます (プリ/ポストインクリメント/デクリメントレジスタ間接により汎用レジスタRnが参照された場合、キャリ/ポローが発生すると、対応する拡張レジスタEnの内容に伝播しますので注意してください)。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。実効アドレス (EA) の下位16ビットのみが有効となります。

- 例外処理ベクタテーブルおよびメモリ間接の分岐アドレス

ノーマルモードでは、H'0000から始まる先頭領域に例外処理ベクタテーブル領域が割り当てられており、各16ビットの分岐先アドレスを格納します。例外処理ベクタテーブルの構造を図2.2に示します。

2. CPU

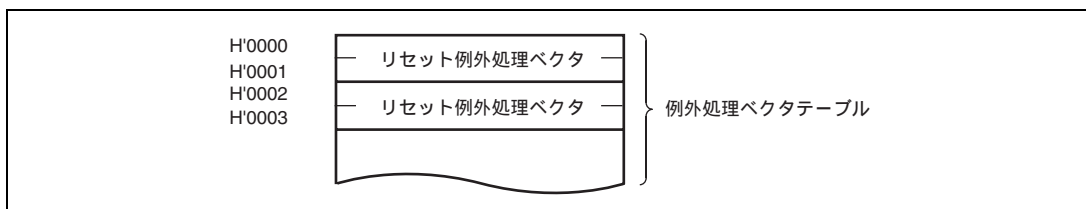


図 2.2 例外処理ベクタテーブル (ノーマルモード)

メモリ間接 (@@aa:8) および拡張メモリ間接 (@@ vec:7) は、JMPおよびJSR命令で使用されます。命令コードに含まれる8ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

- スタック構造

サブルーチン分岐時のPCのスタック構造と、例外処理時のPCとCCRのスタック構造を図2.3に示します。PCは16ビットで退避 / 復帰されます。

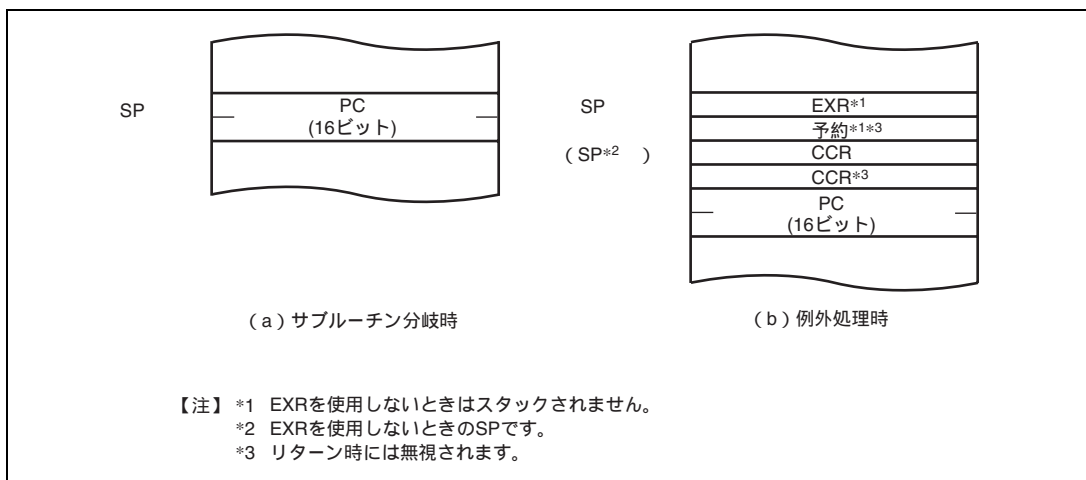


図 2.3 スタック構造 (ノーマルモード)

2.2.2 ミドルモード

ノーマルモードに対して、プログラム領域を 16M バイトに拡張しています。

【注】 本製品ではサポートしていません。

- アドレス空間

プログラム領域最大16Mバイト、データ領域最大64Kバイトで合計最大16Mバイトをアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0 ~ E7) は、16ビットレジスタとして、または32ビットレジスタの上位16ビットとして使用できます。

拡張レジスタEnは、対応する汎用レジスタRnをデータ用のアドレスレジスタとして使用している場合でも、16ビットレジスタとして任意の値を設定することができます (JMPおよびJSR命令は除きます。また、プリ/ポストインクリメント/デクリメントレジスタ間接により汎用レジスタRnが参照された場合、キャリ/ポロ一が発生すると、対応する拡張レジスタEnの内容に伝播しますので注意してください)。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。データ用の実効アドレス (EA) は下位16ビットのみが有効となり、上位8ビットは符号拡張されます。

- 例外処理ベクタテーブルおよびメモリ間接の分岐アドレス

ミドルモードでは、H'000000から始まる先頭領域に32ビット単位で例外処理ベクタテーブル領域が割り当てられており、上位8ビットは無視され、24ビットの分岐先アドレスを格納します。例外処理ベクタテーブルの構造を図2.4に示します。

メモリ間接 (@@aa:8) および拡張メモリ間接 (@@vec:7) は、JMPおよびJSR命令で使用されます。命令コードに含まれる8ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

ミドルモードでは、オペランドは32ビット (ロングワード) となり、この32ビットが分岐先アドレスとなります。このうち上位8ビットは予約領域となっており、H'00とみなされます。

- スタック構造

サブルーチン分岐時のPCのスタック構造と、例外処理時のPCとCCRのスタック構造を図2.5に示します。PCは24ビットで退避/復帰されます。

2. CPU

2.2.3 アドバンスモード

ミドルモードに対して、データ領域を4Gバイトに拡張しています。

- アドレス空間

プログラム領域最大16Mバイト、データ領域最大4Gバイト、合計最大4Gバイトをリニアにアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0~E7) は、16ビットレジスタとして、または32ビットレジスタあるいはアドレスレジスタの上位16ビットとして使用できます。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。

- 例外処理ベクタテーブル、メモリ間接の分岐アドレス

アドバンスモードでは、H'00000000から始まる先頭領域に32ビット単位で例外処理ベクタテーブル領域が割り当てられており、上位8ビットは無視され、24ビットの分岐先アドレスを格納します。例外処理ベクタテーブルの構造を図2.4に示します。

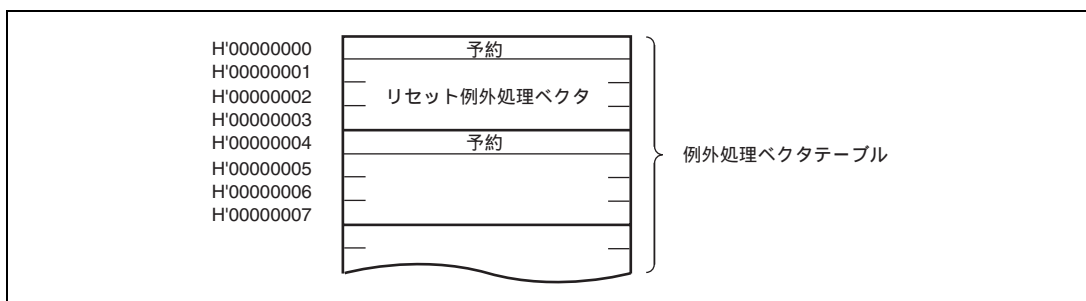


図 2.4 例外処理ベクタテーブル (ミドルモード、アドバンスモード)

メモリ間接 (@@aa:8) および拡張メモリ間接 (@@vec:7) は、JMPおよびJSR命令で使用されます。命令コードに含まれる8ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

アドバンスモードでは、オペランドは32ビット (ロングワード) となり、この32ビットが分岐先アドレスとなります。このうち上位8ビットは予約領域となっており、H'00とみなされます。

• スタック構造

アドバンスモード時のサブルーチン分岐時のPCのスタック構造と、例外処理時のPCとCCRのスタック構造を図2.5に示します。PCは24ビットで退避／復帰されます。

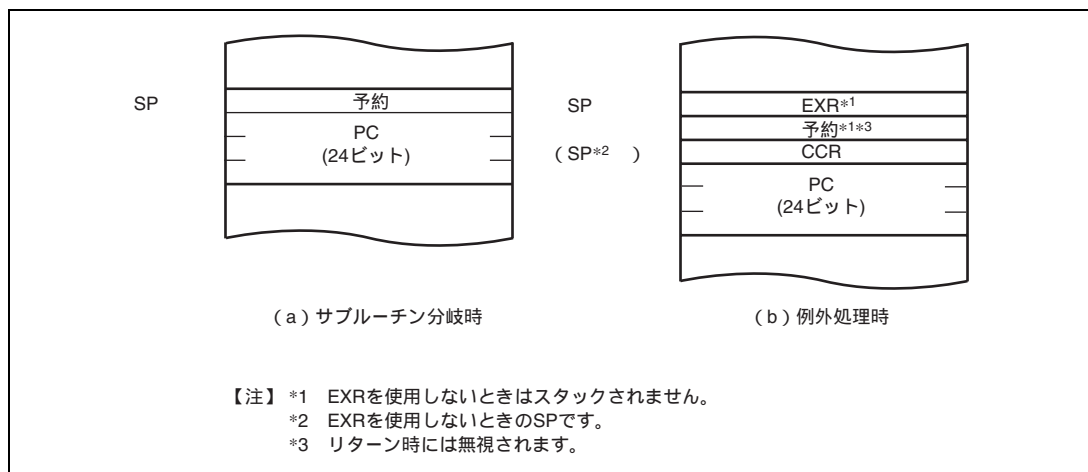


図 2.5 スタック構造（ミドルモード、アドバンスモード）

2.2.4 マキシマムモード

アドバンスモードに対して、プログラム領域を 4G バイトに拡張しています。

【注】 本製品ではサポートしていません。

- アドレス空間

最大4Gバイトをリニアにアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0 ~ E7) は、16ビットレジスタとして、または32ビットレジスタあるいはアドレスレジスタの上位16ビットとして使用できます。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。

- 例外処理ベクタテーブル、メモリ間接の分岐アドレス

マキシマムモードでは、H'00000000から始まる先頭領域に32ビット単位で例外処理ベクタテーブル領域が割り当てられており、32ビットの分岐先アドレスを格納します。例外処理ベクタテーブルの構造を図2.6に示します。

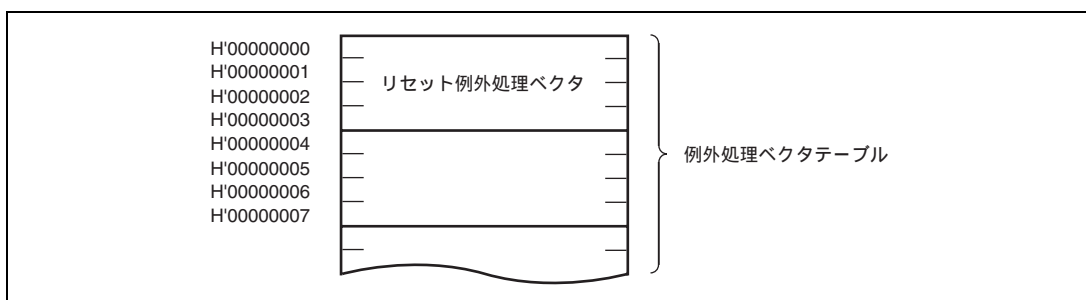


図 2.6 例外処理ベクタテーブル (マキシマムモード)

メモリ間接 (@@aa:8) および拡張メモリ間接 (@@vec:7) は、JMPおよびJSR命令で使用されます。命令コードに含まれる8ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

マキシマムモードでは、オペランドは32ビット (ロングワード) となり、この32ビットが分岐先アドレスとなります。

- スタック構造

マキシマムモード時のサブルーチン分岐時のPCのスタック構造と、例外処理時のPCとCCRのスタック構造を図2.7に示します。PCは32ビットで退避／復帰されます。EXRの使用／不使用によらず、EXRは退避／復帰されません。

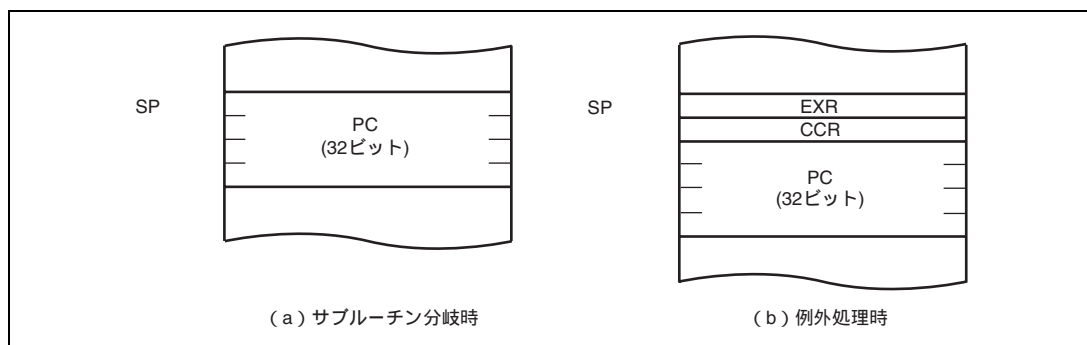


図 2.7 スタック構造 (マキシマムモード)

2.3 命令フェッチ

H8SX CPU は、命令フェッチについて、16 ビットモードと 32 ビットモードの 2 つのモードを持っています。プログラムを格納するメモリのバス幅に合わせて設定することを推奨します。

命令フェッチの 16 ビットモード / 32 ビットモードの選択は、命令フェッチ以外のデータアクセスなどには影響しません。

【注】 H8SX/1544 グループの命令フェッチは 32 ビットモードです。

2.4 アドレス空間

H8SX CPU のメモリマップを図 2.8 に示します。H8SX CPU のアドレス空間は、CPU 動作モードによって異なります。

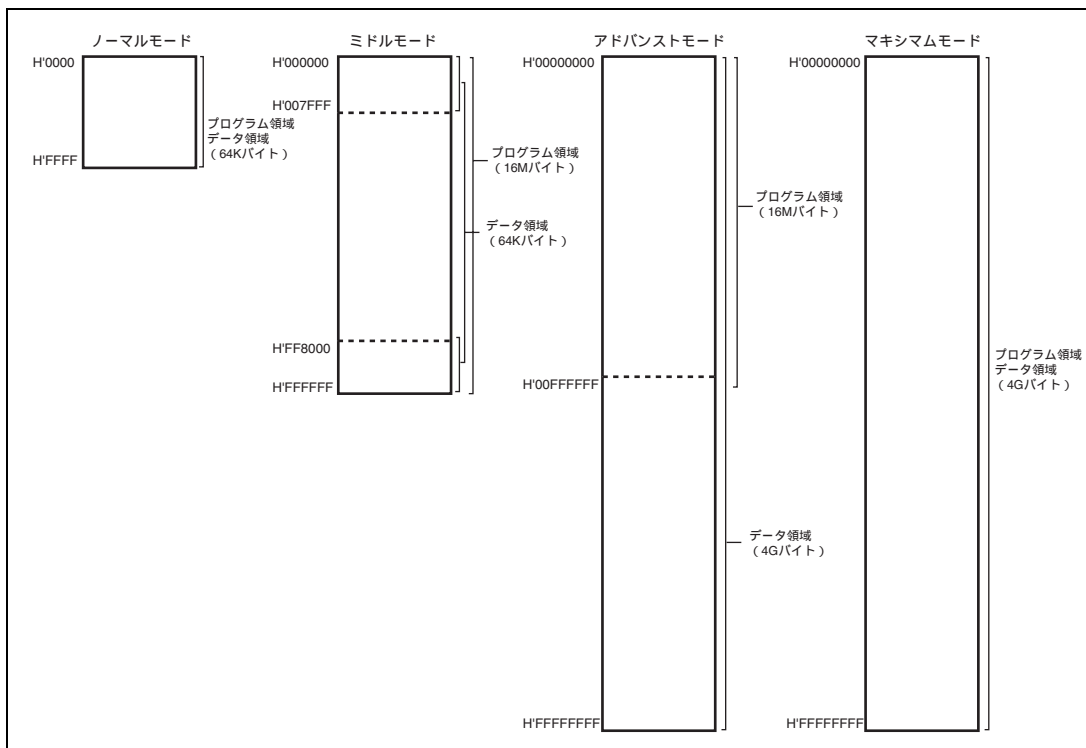


図 2.8 メモリマップ

2.5 レジスタ構成

H8SX CPU の内部レジスタ構成を図 2.9 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。コントロールレジスタには、32 ビットのプログラムカウンタ (PC)、8 ビットのエクステンドレジスタ (EXR)、8 ビットのコンディションコードレジスタ (CCR)、32 ビットのベクタベースレジスタ (VBR)、32 ビットのショートアドレスベースレジスタ (SBR)、および 64 ビットの積和レジスタ (MAC) があります。

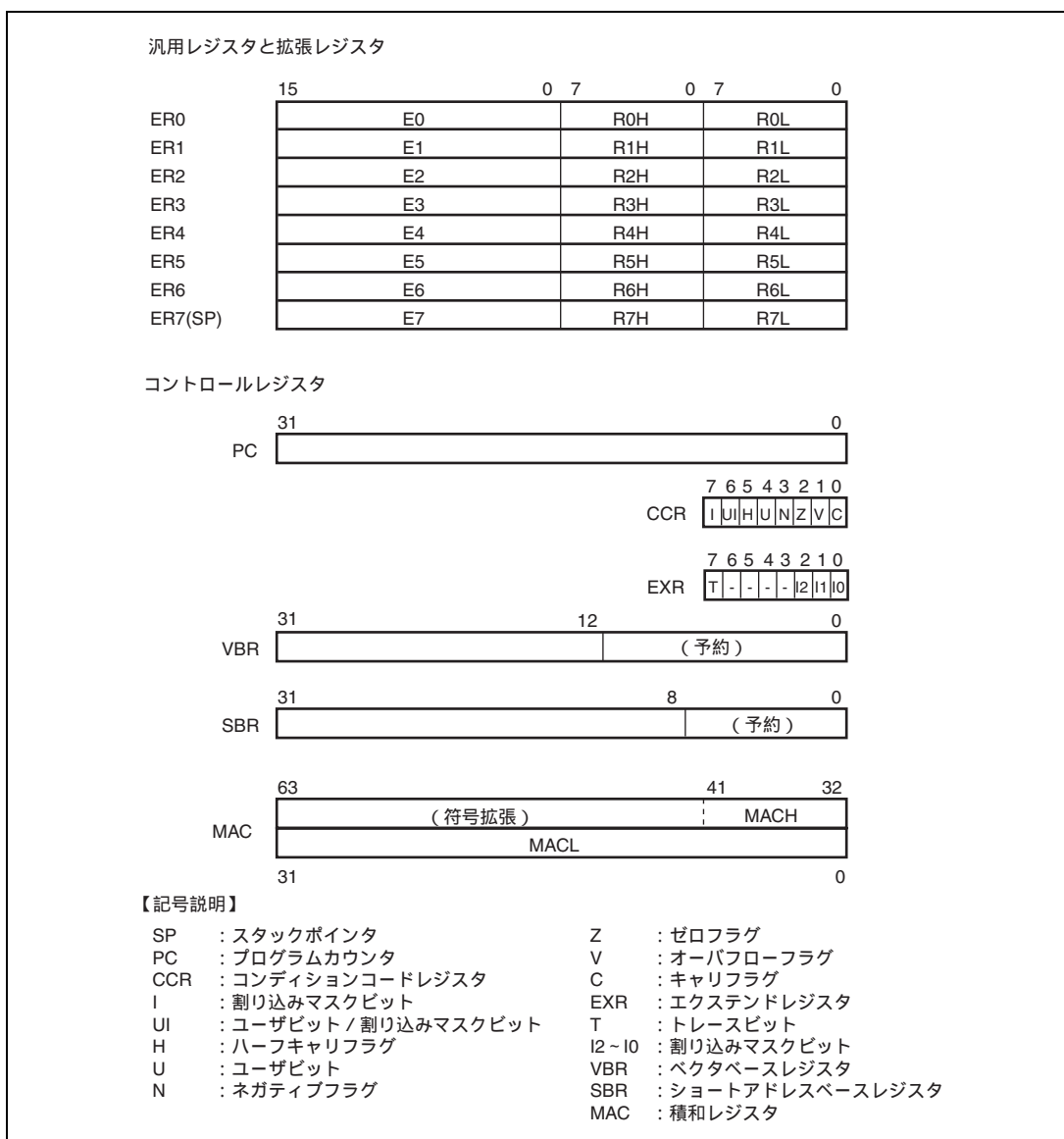


図 2.9 CPU 内部レジスタ構成

2.5.1 汎用レジスタ

H8SX CPU は、32 ビット長の汎用レジスタを 8 本持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタまたはデータレジスタとして使用することができます。データレジスタとしては 32 ビット、16 ビット、または 8 ビットレジスタとして使用できます。汎用レジスタの使用方法を図 2.10 に示します。

アドレスレジスタまたは 32 ビットレジスタの場合は、一括して汎用レジスタ ER (ER0~ER7) として使用します。

16 ビットレジスタの場合は、汎用レジスタ ER を分割して汎用レジスタ E (E0~E7)、汎用レジスタ R (R0~R7) として使用します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本まで使用することができます。なお、汎用レジスタ E (E0~E7) を特に拡張レジスタと呼ぶ場合があります。

8 ビットレジスタの場合は、汎用レジスタ R を分割して汎用レジスタ RH (RH0~RH7)、汎用レジスタ RL (RL0~RL7) として使用します。これらは同等の機能を持っており、8 ビットレジスタを最大 16 本まで使用することができます。

インデックスレジスタとしては、汎用レジスタ ER (ER0~ER7)、汎用レジスタ R (R0~R7)、汎用レジスタ RL (RL0~RL7) を使用します。これらはアドレッシングモード中のインデックスレジスタのサイズで指定します。

各レジスタ個別に使用方法を選択することができます。

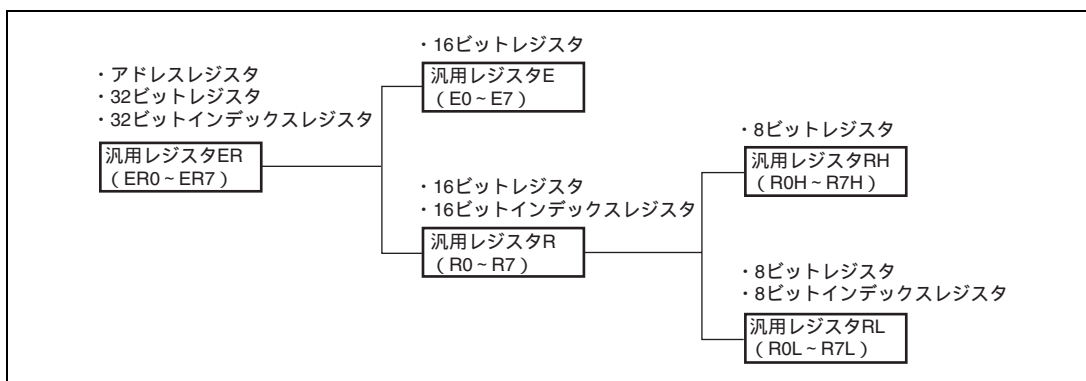


図 2.10 汎用レジスタの使用方法

汎用レジスタ ER7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図 2.11 に示します。

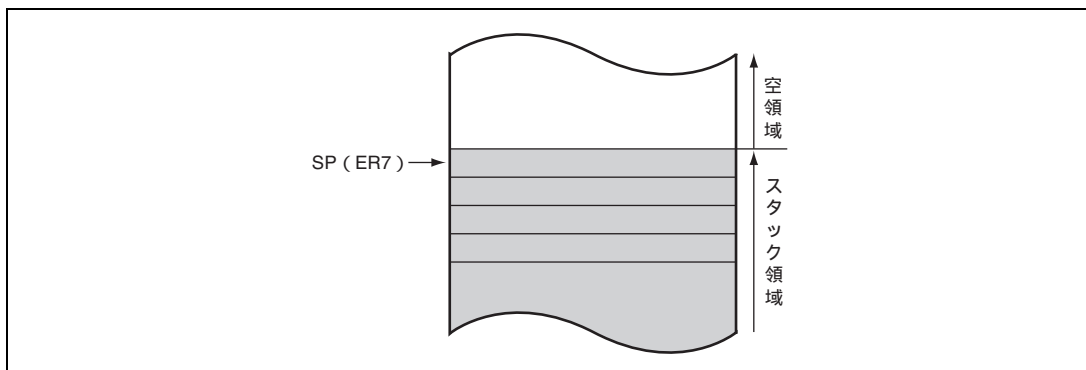


図 2.11 スタックの状態

2.5.2 プログラムカウンタ (PC)

PC は 32 ビットのカウンタで、CPU が次に実行する命令のアドレスを示しています。CPU の命令は、すべて 2 バイト (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時には最下位ビットは 0 とみなされます)。

2. CPU

2.5.3 コンディションコードレジスタ (CCR)

CCR は、8 ビットのレジスタで、CPU の内部状態を示しています。割り込みマスクビット (I)、ユーザビット (UI、U) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバーフロー (V)、キャリ (C) の各フラグを含む 8 ビットで構成されています。

CCR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。

ビット	ビット名	初期値	R/W	説明
7	I	1	R/W	割り込みマスクビット このビットが 1 にセットされると、割り込みがマスクされます。例外処理の実行が開始されたときに 1 にセットされます。
6	UI	不定	R/W	ユーザビット / 割り込みマスクビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード / ライトできます。割り込みマスクビットとしても使用可能です。
5	H	不定	R/W	ハーフキャリフラグ ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット 3 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。また、ADD.W、SUB.W、CMP.W、NEG.W 命令の実行により、ビット 11 にキャリまたはボローが生じたとき、もしくは ADD.L、SUB.L、CMP.L、NEG.L 命令の実行により、ビット 27 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。
4	U	不定	R/W	ユーザビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード / ライトできます。
3	N	不定	R/W	ネガティブフラグ データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。
2	Z	不定	R/W	ゼロフラグ データがゼロのとき 1 にセットされ、ゼロ以外のとき 0 にクリアされます。
1	V	不定	R/W	オーバーフローフラグ 算術演算命令の実行により、オーバーフローが生じたとき 1 にセットされます。それ以外のとき 0 にクリアされます。
0	C	不定	R/W	キャリフラグ 演算の実行により、キャリが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。キャリには次の種類があります。 <ul style="list-style-type: none">• 加算結果のキャリ• 減算結果のボロー• シフト / ローテートのキャリ また、キャリフラグにはビットアキュムレータ機能があり、ビット操作命令で使用されます。

2.5.4 エクステンドレジスタ (EXR)

EXR は、8 ビットのレジスタで、トレースビット (T)、割り込みマスクビット (I2~I0) を含んでいます。

EXR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。詳細は「4. 例外処理」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	T	0	R/W	トレースビット このビットが1にセットされているときは、1命令実行することにトレース例外処理を開始します。0にクリアされているときは、命令を順次実行します。
6~3	-	すべて1	R/W	リザーブビットです。リードすると常に1がリードされます。
2~0	I2	1	R/W	割り込み要求マスクレベル (0~7) を指定します。
	I1	1	R/W	
	I0	1	R/W	

2.5.5 ベクタベースレジスタ (VBR)

VBR は 32 ビットのレジスタで、上位 20 ビットが有効です。リードすると下位 12 ビットは 0 が読み出されます。リセットと CPU アドレスエラー以外の例外処理のベクタ領域のベースアドレスになります (拡張メモリ間接は対象外です)。VBR の初期値は、H'00000000 です。

VBR は、LDC、STC 命令で操作することができます。

2.5.6 ショートアドレスベースレジスタ (SBR)

SBR は 32 ビットのレジスタで、上位 24 ビットが有効です。リードすると下位 8 ビットは 0 が読み出されます。絶対アドレス 8 ビット (@aa:8) 使用時の上位アドレスになります。SBR の初期値は、H'FFFFFF00 です。

SBR は、LDC、STC 命令で操作することができます。

2.5.7 積和レジスタ (MAC)

MAC は 64 ビットのレジスタで、積和演算結果を格納します。32 ビットの MACH、MACL から構成されます。MACH は下位 10 ビットが有効で、上位は符号拡張されています。

MAC は、MAC、CLRMAC、LDMAC、STMAC 命令で操作することができます。

2.5.8 CPU 内部レジスタの初期値

CPU 内部レジスタのうち PC は、リセット例外処理によってベクタアドレスからスタートアドレスをロードすることにより初期化されます。また、EXR の T ビットは 0 にクリアされ、EXR、CCR の I ビットは 1 にセットされますが、汎用レジスタ、MAC、CCR の他のビットは初期化されません。SP (ER7) の初期値も不定です。したがって、リセット直後に MOV.L 命令を使用して、SP の初期化を行ってください。

2.6 データ形式

H8SX CPUは、1ビット、4ビットBCD、8ビット(バイト)、16ビット(ワード)、および32ビット(ロングワード)のデータを扱うことができます。

1ビットデータはビット操作命令で扱われ、オペランドデータ(バイト)の第nビット($n=0, 1, 2, \dots, 7$)という形式でアクセスされます。なお、DAAおよびDASの10進補正命令では、バイトデータは2桁の4ビットBCDデータとなります。

2.6.1 汎用レジスタのデータ形式

汎用レジスタのデータ形式を図2.12に示します。

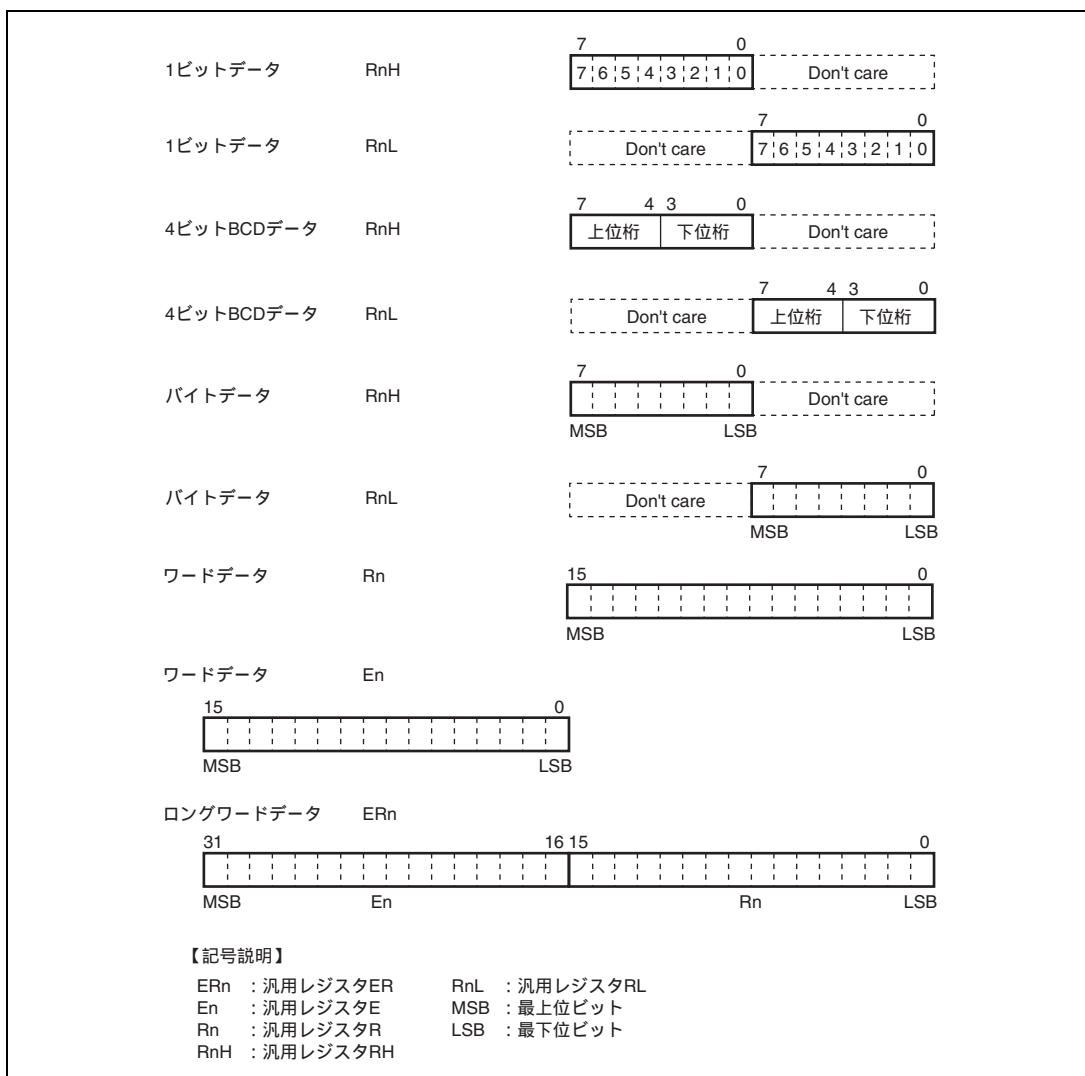


図 2.12 汎用レジスタのデータ形式

2.6.2 メモリ上でのデータ形式

メモリ上でのデータ形式を図 2.13 に示します。

H8SX CPU は、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、任意のアドレスに配置することができます。ワードデータが偶数番地、ロングワードデータが4の倍数番地から始まらない場合は、複数回に分割してアクセスします。たとえば、奇数番地から始まる場合、ロングワードデータは、バイト・ワード・バイトに分割されてバスサイクルが生成されます。この場合、バス制御においては別々のバスサイクルとして認識されます。

また、命令リード、スタック操作、分岐テーブル、およびブロック転送命令、MAC 命令におけるワードデータ/ロングワードデータは、偶数番地から配置してください。

なお、SP (ER7) をアドレスレジスタとしてスタックをアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

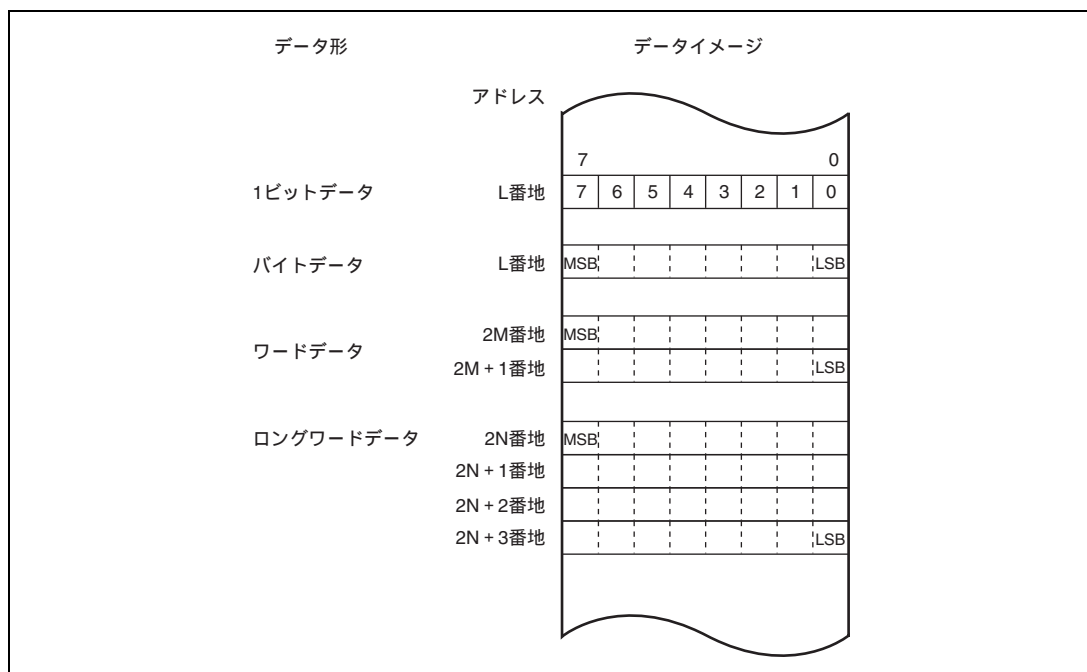


図 2.13 メモリ上でのデータ形式

2. CPU

2.7 命令セット

H8SX CPU の命令は合計 87 種類あり、各命令のもつ機能によって表 2.1 に示すように分類されます。

【注】 算術演算命令、論理演算命令、シフト命令、ビット操作命令を総称して演算命令と呼ぶ場合があります。

表 2.1 命令の分類

分類	命令	サイズ	種類
データ転送命令	MOV	B/W/L	6
	MOVFP ^{*6} 、MOVTP ^{*6}	B	
	POP、PUSH ^{*1}	W/L	
	LDM、STM	L	
	MOVA	B/W ^{*2}	
ブロック転送命令	EEPMOV	B	3
	MOVMD	B/W/L	
	MOVSD	B	
算術演算命令	ADD、ADDX、SUB、SUBX、CMP、NEG、INC、DEC	B/W/L	27
	DAA、DAS	B	
	ADDS、SUBS	L	
	MULXU、DIVXU、MULXS、DIVXS	B/W	
	MULU、DIVU、MULS、DIVS	W/L	
	MULU/U、MULS/U	L	
	EXTU、EXTS	W/L	
	TAS	B	
	MAC	-	
	LDMAC、STMAC	-	
	CLRMAC	-	
論理演算命令	AND、OR、XOR、NOT	B/W/L	4
シフト命令	SHLL、SHLR、SHAL、SHAR、ROTL、ROTR、ROTXL、ROTXR	B/W/L	8
ビット操作命令	BSET、BCLR、BNOT、BTST、BAND、BIAND、BOR、BIOR、BXOR、BIXOR、BLD、BILD、BST、BIST	B	20
	BSET/EQ、BSET/NE、BCLR/EQ、BCLR/NE、BSTZ、BISTZ	B	
	BFLD、BFST	B	
分岐命令	BRA/BS、BRA/BC、BSR/BS、BSR/BC	B ^{*3}	9
	Bcc ^{*4} 、JMP、BSR、JSR、RTS	-	
	RTS/L	L ^{*5}	
	BRA/S	-	
システム制御命令	TRAPA、RTE、SLEEP、NOP	-	10
	RTE/L	L ^{*5}	
	LDC、STC、ANDC、ORC、XORC	B/W/L	

合計 87

【記号説明】

B : バイトサイズ

W : ワードサイズ

L : ロングワードサイズ

- 【注】
- *1 POP.W Rn、PUSH.W Rn は MOV.W @SP+,Rn、MOV.W Rn, @-SP と同一です。また、POP.L ERn、PUSH.L ERn は MOV.L @SP+,ERn、MOV.L ERn, @-SP と同一です。
 - *2 ディスプレースメントに加算するデータの指定方法
 - *3 条件として指定するデータのサイズ
 - *4 Bcc は条件分岐命令の総称です。
 - *5 復帰する汎用レジスタのサイズ
 - *6 本 LSI では使用できません。

2. CPU

2.7.1 命令とアドレッシングモードの組み合わせ

H8SX CPU で使用できる命令とアドレッシングモードの組み合わせを表 2.2 に示します。

表 2.2 命令とアドレッシングモードの組み合わせ (1)

分類	命令	サイズ	アドレッシングモード								
			#xx	Rn	@ERn	@ (d,ERn)	@(d, Rn.L./ Rn.W/ ERn.L)	@-ERn/ @ERn+/ @ERn-/ @+ERn	@aa:8	@aa:16/ @aa:32	-
データ 転送命令	MOV	B/W/L	S	SD	SD	SD	SD	SD		SD	
		B		S/D					S/D		
	MOVFP,MOVTP *12	B		S/D						S/D*1	
	POP,PUSH	W/L		S/D				S/D*2			
	LDM,STM	L		S/D				S/D*2			
	MOVA*4	B/W		S	S	S	S	S		S	
ブロック 転送命令	EEPMOV	B									SD*3
	MOVMD	B/W/L									SD*3
	MOVSD	B									SD*3
算術演算命令	ADD,CMP	B	S	D	D	D	D	D	D	D	
		B		S	D	D	D	D	D	D	
		B		D	S	S	S	S	S	S	
		B			SD	SD	SD	SD	SD		SD
		W/L	S	SD	SD	SD	SD	SD	SD		SD
	SUB	B	S		D	D	D	D	D	D	D
		B		S	D	D	D	D	D	D	D
		B		D	S	S	S	S	S	S	S
		B			SD	SD	SD	SD	SD		SD
		W/L	S	SD	SD	SD	SD	SD	SD		SD
	ADDX,SUBX	B/W/L	S	SD							
		B/W/L	S		SD						
		B/W/L	S					SD*5			
	INC,DEC	B/W/L		D							
	ADDS,SUBS	L		D							
	DAA,DAS	B		D							
	MULXU,DIVXU	B/W	S : 4	SD							
	MULU,DIVU	W/L	S : 4	SD							
MULXS,DIVXS	B/W	S : 4	SD								
MULS,DIVS	W/L	S : 4	SD								

分類	命令	サイズ	アドレッシングモード								
			#xx	Rn	@ERn	@ (d,ERn)	@(d, Rn.LB/ Rn.W/ ERn.L)	@-ERn/ @ERn+/ @ERn-/ @+ERn	@aa:8	@aa:16/ @aa:32	-
算術演算命令	NEG	B		D	D	D	D	D	D	D	
		W/L		D	D	D	D	D		D	
	EXTU,EXTS	W/L		D	D	D	D	D		D	
	TAS	B			D						
	MAC	-									
	CLRMAC	-									○
	LDMAC	-		S							
STMAC	-		D								
論理演算命令	AND,OR,XOR	B		S	D	D	D	D	D	D	
		B		D	S	S	S	S	S	S	
		B			SD	SD	SD	SD		SD	
		W/L	S	SD	SD	SD	SD	SD		SD	
	NOT	B		D	D	D	D	D	D	D	
W/L			D	D	D	D	D		D		
シフト命令	SHLL,SHLR	B		D	D	D	D	D	D	D	
		W/L* ⁶		D	D	D	D	D		D	
		B/W/L* ⁷		D							
	SHAL,SHAR,ROTL, ROTR,ROTXL, ROTXR	B W/L		D D	D D	D D	D D	D D	D D	D D	
ビット 操作命令	BSET,BCLR,BNOT, BTST,BSET/cc, BCLR/cc	B		D	D				D	D	
		B		D	D				D	D	
	BAND,BIAND,BOR, BIOR,BXOR, BIXOR, BLD,BILD, BST,BIST,BSTZ, BISTZ	B		D	D				D	D	
	BFLD	B		D	S				S	S	
	BFST	B		S	D				D	D	
分岐命令	BRA/BS,BRA/BC* ⁸	B			S				S	S	
	BSR/BS,BSR/BC* ⁸	B			S				S	S	
システム制御 命令	LDC (CCR,EXR)	B/W* ⁹	S	S	S	S		S* ¹⁰		S	
	LDC (VBR,SBR)	L		S							
	STC (CCR,EXR)	B/W* ⁹		D	D	D		D* ¹¹		D	

2. CPU

分類	命令	サイズ	アドレッシングモード									
			#xx	Rn	@ERn	@ (d,ERn)	@(d, RnL.B/ Rn.W/ ERn.L)	@-ERn/ @ERn+/ @ERn-/ @+ERn	@aa:8	@aa:16/ @aa:32	-	
システム制御	STC (VBR,SBR)	L		D								
命令	ANDC,ORC,XORC	B	S									
	SLEEP	-										○
	NOP	-										○

【記号説明】

- d: d: 16 または d: 32
- S: ソースとして指定可能
- D: デスティネーションとして指定可能
- SD: ソースまたはデスティネーションの一方または両方として指定可能
- S/D: ソースまたはデスティネーションの一方として指定可能
- S:4: ソースとして4ビットイミディエイトデータを指定可能

【注】

- *1 @aa:16のみ
- *2 ソースのとき@ERn+、デスティネーションのとき@-ERn
- *3 データ転送のソースのアドレスはER5、デスティネーションのアドレスはER6
- *4 ディスプレースメントに加算するデータの指定方法
- *5 @ERn-のみ
- *6 シフトビット数が1、2、4、8または16ビットのとき
- *7 シフトビット数を5ビットイミディエイトデータまたは汎用レジスタで指定するとき
- *8 条件として指定するデータの指定方法
- *9 イミディエイトまたはレジスタ直接のときバイト、その他のときワード
- *10 @ERn+のみ
- *11 @-ERnのみ
- *12 本 LSI では使用できません。

表 2.2 命令とアドレッシングモードの組み合わせ (2)

分類	命令	サイズ	アドレッシングモード							
			@ERn	@(d,PC)	@(RnL,B/ Rn,W/ ERn.L,PC)	@aa:24	@aa:32	@@aa:8	@@vec:7	-
分岐命令	BRA/BS、BRA/BC	-		○						
	BSR/BS、BSR/BC	-		○						
	Bcc	-		○						
	BRA	-		○	○					
	BRA/S	-		○*						
	JMP	-	○			○	○	○	○	
	BSR	-		○						
	JSR	-	○			○	○	○	○	
	RTS、RTS/L	-								○
システム制御命令	TRAPA	-								○
	RTE、RTE/L	-								○

【記号説明】

d: d:8 または d:16

【注】 * @(d:8,PC)のみ

2. CPU

2.7.2 命令の機能別一覧

各命令の機能を表 2.4～表 2.11 に示します。各表で使用しているオペレーションの記号の意味を表 2.3 に示します。

表 2.3 オペレーションの記号

記号	説明
Rd	汎用レジスタ (デスティネーション側)*
Rs	汎用レジスタ (ソース側)*
Rn	汎用レジスタ*
ERn	汎用レジスタ (32 ビットレジスタ)
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
VBR	ベクタベースレジスタ
SBR	ショートアドレスベースレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
-	減算
×	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
	転送
~	反転論理 (論理的補数)
:8/:16/:24/:32	8/16/24/32 ビット長

【注】 * 汎用レジスタは、8 ビット (R0H～R7H、R0L～R7L)、16 ビット (R0～R7、E0～E7)、または 32 ビットレジスタ (ER0～ER7) です。

表 2.4 データ転送命令

命令	サイズ	機能
MOV	B/W/L	#IMM (EAd)、(EAs) (EAd) イミディエイトデータ、汎用レジスタ、またはメモリの間でデータ転送を行います。
MOVFP*	B	(EAs) Rd
MOVTP*	B	Rs (EAs)
POP	W/L	@SP+ Rn スタックから汎用レジスタへその内容を復帰します。
PUSH	W/L	Rn @-SP 汎用レジスタの内容をスタックに退避します。
LDM	L	@SP+ Rn (レジスタ群) スタックから複数の汎用レジスタへその内容を復帰します。連続した番号の2、3または4本の汎用レジスタを指定できます。
STM	L	Rn (レジスタ群) @-SP 複数の汎用レジスタの内容をスタックに退避します。連続した番号の2、3または4本の汎用レジスタを指定できます。
MOVA	B/W	EA Rd 指定した汎用レジスタまたはメモリのデータをゼロ拡張およびシフトして、ディスプレースメントに加算し、結果を汎用レジスタに格納します。

【注】 * 本 LSI では使用できません。

表 2.5 ブロック転送命令

命令	サイズ	機能
EPMOV.B EPMOV.W	B	ブロック転送命令です。ER5 で示されるアドレスから始まり、R4 または R4L で指定される数のバイトデータを、ER6 で示されるアドレスへ転送します。
MOVMD.B	B	ブロック転送命令です。ER5 で示されるアドレスから始まり、R4 で指定される数のバイトデータを、ER6 で示されるアドレスへ転送します。
MOVMD.W	W	ブロック転送命令です。ER5 で示されるアドレスから始まり、R4 で指定される数のワードデータを、ER6 で示されるアドレスへ転送します。
MOVMD.L	L	ブロック転送命令です。ER5 で示されるアドレスから始まり、R4 で指定される数のロングワードデータを、ER6 で示されるアドレスへ転送します。
MOVSD.B	B	ゼロデータ検出付きのブロック転送命令です。ER5 で示されるアドレスから始まり、R4 で指定される数のバイトデータを、ER6 で示されるアドレスへ転送します。途中でゼロデータが検出されると、データ転送を打ち切り、指定したアドレスに分岐します。

2. CPU

表 2.6 算術演算命令

命令	サイズ	機能
ADD SUB	B/W/L	(EAd) ± #IMM (EAd)、(EAd) ± (EAs) (EAd) イミディエイトデータ、汎用レジスタ、またはメモリの間でデータの加減算を行います。バイトサイズでの汎用レジスタとイミディエイトデータの減算はできません。
ADDX SUBX	B/W/L	(EAd) ± #IMM ± C (EAd)、(EAd) ± (EAs) ± C (EAd) イミディエイトデータ、汎用レジスタ、またはメモリの間でデータのキャリ付きの加減算を行います。メモリを指定するアドレッシングモードは、レジスタ間接、ポストデクリメントレジスタ間接です。
INC DEC	B/W/L	Rd ± 1 Rd、Rd ± 2 Rd 汎用レジスタに 1 または 2 を加減算します (バイトサイズでは 1 の加減算のみ可能です)。
ADDS SUBS	L	Rd ± 1 Rd、Rd ± 2 Rd、Rd ± 4 Rd 汎用レジスタに 1、2 または 4 を加減算します。
DAA DAS	B	Rd (10 進補正) Rd 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット 2 桁 BCD データに補正します。
MULXU	B/W	Rd × Rs Rd 汎用レジスタと汎用レジスタの間の符号なし乗算を行います。 8 ビット × 8 ビット 16 ビット、16 ビット × 16 ビット 32 ビットの乗算が可能です。
MULU	W/L	Rd × Rs Rd 汎用レジスタと汎用レジスタの間の符号なし乗算を行います。 16 ビット × 16 ビット 16 ビット、32 ビット × 32 ビット 32 ビットの乗算が可能です。
MULU/U	L	Rd × Rs Rd 汎用レジスタと汎用レジスタの間の 32 ビット × 32 ビットの符号なし乗算を行い、結果の上位 32 ビットを得ます。
MULXS	B/W	Rd × Rs Rd 汎用レジスタと汎用レジスタの間の符号付き乗算を行います。 8 ビット × 8 ビット 16 ビット、16 ビット × 16 ビット 32 ビットの乗算が可能です。
MULS	W/L	Rd × Rs Rd 汎用レジスタと汎用レジスタの間の符号付き乗算を行います。 16 ビット × 16 ビット 16 ビット、32 ビット × 32 ビット 32 ビットの乗算が可能です。
MULS/U	L	Rd × Rs Rd 汎用レジスタと汎用レジスタの間の 32 ビット × 32 ビットの符号付き乗算を行い、結果の上位 32 ビットを得ます。
DIVXU	B/W	Rd ÷ Rs Rd 汎用レジスタと汎用レジスタの間の符号なし除算を行います。 16 ビット ÷ 8 ビット 商 8 ビット余り 8 ビット、32 ビット ÷ 16 ビット 商 16 ビット余り 16 ビットの除算が可能です。

命令	サイズ	機 能
DIVU	W/L	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタの間の符号なし除算を行います。 16 ビット \div 16 ビット 商 16 ビット、32 ビット \div 32 ビット 商 32 ビットの除算が可能です。
DIVXS	B/W	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタの間の符号付き除算を行います。 16 ビット \div 8 ビット 商 8 ビット余り 8 ビット、32 ビット \div 16 ビット 商 16 ビット余り 16 ビットの除算が可能です。
DIVS	W/L	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタの間の符号付き除算を行います。 16 ビット \div 16 ビット 商 16 ビット、32 ビット \div 32 ビット 商 32 ビットの除算が可能です。
CMP	B/W/L	(EAd) - #IMM、(EAd) - (EAs) イミディエイトデータ、汎用レジスタ、またはメモリの間でデータの比較を行い、その結果をCCRに格納します。
NEG	B/W/L	0 - (EAd) \rightarrow (EAd) 汎用レジスタまたはメモリの内容の2の補数(算術的補数)を取ります。
EXTU	W/L	(EAd) (ゼロ拡張) \rightarrow (EAd) 汎用レジスタまたはメモリの下位 8 ビットまたは 16 ビットを、ワードサイズまたはロングワードサイズにゼロ拡張します。 下位 8 ビット ワードサイズ、下位 8 ビット ロングワードサイズ、下位 16 ビット ロングワードサイズのゼロ拡張が可能です。
EXTS	W/L	(EAd) (符号拡張) \rightarrow (EAd) 汎用レジスタまたはメモリの下位 8 ビットまたは 16 ビットを、ワードサイズまたはロングワードサイズに符号拡張します。 下位 8 ビット ワードサイズ、下位 8 ビット ロングワードサイズ、下位 16 ビット ロングワードサイズの符号拡張が可能です。
TAS	B	@ERd - 0, 1 (<ビット 7> of EAd) メモリの内容をテストした後、最上位ビット(ビット 7)を 1 にセットします。
MAC	-	(EAd) \times (EAs) + MAC \rightarrow MAC メモリとメモリの間の符号付乗算を行い、結果を MAC に加算します。
CLRMAC	-	0 \rightarrow MAC MAC をゼロクリアします。
LDMAC	-	Rs \rightarrow MAC 汎用レジスタの内容を MAC に転送します。
STMAC	-	MAC \rightarrow Rd MAC の内容を汎用レジスタに転送します。

2. CPU

表 2.7 論理演算命令

命令	サイズ	機能
AND	B/W/L	(EAd) # IMM (EAd)、(EAd) (EAs) (EAd) イミディエイトデータ、汎用レジスタ、またはメモリの間でデータの論理積を取ります。
OR	B/W/L	(EAd) # IMM (EAd)、(EAd) (EAs) (EAd) イミディエイトデータ、汎用レジスタ、またはメモリの間でデータの論理和を取ります。
XOR	B/W/L	(EAd) ⊕ #IMM (EAd)、(EAd) ⊕ (EAs) (EAd) イミディエイトデータ、汎用レジスタ、またはメモリの間でデータの排他的論理和を取ります。
NOT	B/W/L	~ (EAd) (EAd) 汎用レジスタまたはメモリの内容の 1 の補数 (論理的補数) を取ります。

表 2.8 シフト命令

命令	サイズ	機能
SHLL SHLR	B/W/L	(EAd) (シフト処理) (EAd) 汎用レジスタまたはメモリの内容を論理的にシフトします。汎用レジスタまたはメモリに対して 1、2、4、8 または 16 ビットのシフトが可能です。汎用レジスタに対しては、任意ビットのシフトが可能です。この場合、シフトビット数は、5 ビットのイミディエイトデータまたは汎用レジスタの内容下位 5 ビットで指定します。
SHAL SHAR	B/W/L	(EAd) (シフト処理) (EAd) 汎用レジスタまたはメモリの内容を算術的にシフトします。1 または 2 ビットのシフトが可能です。
ROTL ROTR	B/W/L	(EAd) (ローテート処理) (EAd) 汎用レジスタまたはメモリの内容をローテートします。1 または 2 ビットのシフトが可能です。
ROTXL ROTXR	B/W/L	(EAd) (ローテート処理) (EAd) 汎用レジスタまたはメモリの内容をキャリフラグを含めてローテートします。1 または 2 ビットのシフトが可能です。

表 2.9 ビット操作命令

命令	サイズ	機能
BSET	B	1 (<ビット番号>of<EAd>) 汎用レジスタまたはメモリの指定された 1 ビットを 1 にセットします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BSET/cc	B	if cc, 1 (<ビット番号>of<EAd>) 指定した条件が成立しているとき、メモリの指定された 1 ビットを 1 にセットします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。条件は、Z=1、Z=0 が指定可能です。
BCLR	B	0 (<ビット番号>of<EAd>) 汎用レジスタまたはメモリの指定された 1 ビットを 0 にクリアします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BCLR/cc	B	if cc, 0 (<ビット番号>of<EAd>) 指定した条件が成立しているとき、メモリの指定された 1 ビットを 0 にクリアします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。条件は、Z=1、Z=0 が指定可能です。
BNOT	B	~ (<ビット番号>of<EAd>) (<ビット番号>of<EAd>) 汎用レジスタまたはメモリの指定された 1 ビットを反転します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BTST	B	~ (<ビット番号>of<EAd>) Z 汎用レジスタまたはメモリの指定された 1 ビットをテストし、ゼロフラグに反映します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BAND	B	C (<ビット番号>of<EAd>) C 汎用レジスタまたはメモリの指定された 1 ビットとキャリフラグとの論理積をとり、結果をキャリフラグに格納します。ビット番号は、3 ビットのイミディエイトデータで指定します。
BIAND	B	C [~ (<ビット番号>of<EAd>)] C 汎用レジスタまたはメモリの指定された 1 ビットを反転し、キャリフラグとの論理積をとり、結果をキャリフラグに格納します。ビット番号は、3 ビットのイミディエイトデータで指定します。
BOR	B	C (<ビット番号>of<EAd>) C 汎用レジスタまたはメモリの指定された 1 ビットとキャリフラグとの論理和をとり、結果をキャリフラグに格納します。ビット番号は、3 ビットのイミディエイトデータで指定します。
BIOR	B	C [~ (<ビット番号>of<EAd>)] C 汎用レジスタまたはメモリの指定された 1 ビットを反転し、キャリフラグとの論理和をとり、結果をキャリフラグに格納します。ビット番号は、3 ビットのイミディエイトデータで指定します。
BXOR	B	C⊕ (<ビット番号>of<EAd>) C 汎用レジスタまたはメモリの指定された 1 ビットとキャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。ビット番号は、3 ビットのイミディエイトデータで指定します。

2. CPU

命令	サイズ	機 能
BIXOR	B	$C \oplus [\sim (\text{<ビット番号>of<EAd>})]$ C 汎用レジスタまたはメモリの指定された1ビットを反転し、キャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BLD	B	(<ビット番号>of<EAd>) C 汎用レジスタまたはメモリの指定された1ビットをキャリフラグに転送します。ビット番号は、3ビットのイミディエイトデータで指定します。
BILD	B	$\sim (\text{<ビット番号>of<EAd>})$ C 汎用レジスタまたはメモリの指定された1ビットを反転し、キャリフラグに転送します。ビット番号は、3ビットのイミディエイトデータで指定します。
BST	B	C (<ビット番号>of<EAd>) 汎用レジスタまたはメモリの指定された1ビットに、キャリフラグの内容を転送します。ビット番号は、3ビットのイミディエイトデータで指定します。
BSTZ	B	Z (<ビット番号>of<EAd>) メモリの指定された1ビットに、ゼロフラグの内容を転送します。ビット番号は、3ビットのイミディエイトデータで指定します。
BIST	B	$\sim C$ (<ビット番号>of<EAd>) 汎用レジスタまたはメモリの指定された1ビットに、キャリフラグを反転して転送します。ビット番号は、3ビットのイミディエイトデータで指定します。
BISTZ	B	$\sim Z$ (<ビット番号>of<EAd>) メモリの指定された1ビットに、ゼロフラグを反転して転送します。ビット番号は、3ビットのイミディエイトデータで指定します。
BFLD	B	(EAs) (ビットフィールド) Rd メモリのオペランドの指定したビットフィールドを、指定した汎用レジスタの下位側に転送します。
BFST	B	Rs (EAd) (ビットフィールド) メモリのオペランドの指定したビットフィールドへ、指定した汎用レジスタの下位側を転送します。

表 2.10 分岐命令

命令	サイズ	機能
BRA/BS BRA/BC	B	メモリのオペランドの指定したビットをテストし、指定した条件が成立しているとき、指定されたアドレスへ分岐します。
BSR/BS BSR/BC	B	メモリのオペランドの指定したビットをテストし、指定した条件が成立しているとき、指定されたアドレスへサブルーチン分岐します。
Bcc	-	指定した条件が成立しているとき、指定されたアドレスへ分岐します。
BRA/S	-	次の命令を実行した後、指定されたアドレスに無条件に分岐します。次の命令は 1 ワード命令で、かつブロック転送命令、分岐命令以外に限定されます。
JMP	-	指定されたアドレスへ無条件に分岐します。
BSR	-	指定されたアドレスへサブルーチン分岐します。
JSR	-	指定されたアドレスへサブルーチン分岐します。
RTS	-	サブルーチンから復帰します。
RTS/L	-	スタックから複数の汎用レジスタへその内容を復帰し、サブルーチンから復帰します。

2. CPU

表 2.11 システム制御命令

命令	サイズ	機能
TRAPA	-	命令トラップ例外処理を行います。
RTE	-	例外処理ルーチンから復帰します。
RTE/L	-	スタックから複数の汎用レジスタへその内容を復帰し、例外処理ルーチンから復帰します。
SLEEP	-	低消費電力状態に遷移します。
LDC	B/W	#IMM CCR、(EAs) CCR、#IMM EXR、(EAs) EXR イミディエイトデータ、汎用レジスタまたはメモリの内容を CCR、EXR へ転送します。CCR、EXR は 8 ビットですが、メモリとの転送はワードサイズで行われ、上位 8 ビットが有効です。
	L	Rs VBR、Rs SBR 汎用レジスタの内容を VBR、SBR へ転送します。
STC	B/W	CCR (EAd)、EXR (EAd) CCR、EXR の内容を汎用レジスタまたはメモリへ転送します。 CCR、EXR は 8 ビットですが、メモリとの転送はワードサイズで行われ、上位 8 ビットが有効です。
	L	VBR Rd、SBR Rd VBR、SBR の内容を汎用レジスタへ転送します。
ANDC	B	CCR #IMM CCR、EXR #IMM EXR CCR、EXR とイミディエイトデータの論理積をとります。
ORC	B	CCR #IMM CCR、EXR #IMM EXR CCR、EXR とイミディエイトデータの論理和をとります。
XORC	B	CCR ⊕ #IMM CCR、EXR ⊕ #IMM EXR CCR、EXR とイミディエイトデータの排他的論理和をとります。
NOP	-	PC+2 PC PC のインクリメントだけを行います。

2.7.3 命令の基本フォーマット

H8SX CPU の命令は、2 バイト（ワード）を単位にしています。各命令はオペレーションフィールド（op）、レジスタフィールド（r）、EA 拡張部（EA）、およびコンディションフィールド（cc）から構成されています。

図 2.14 に命令フォーマットの例を示します。

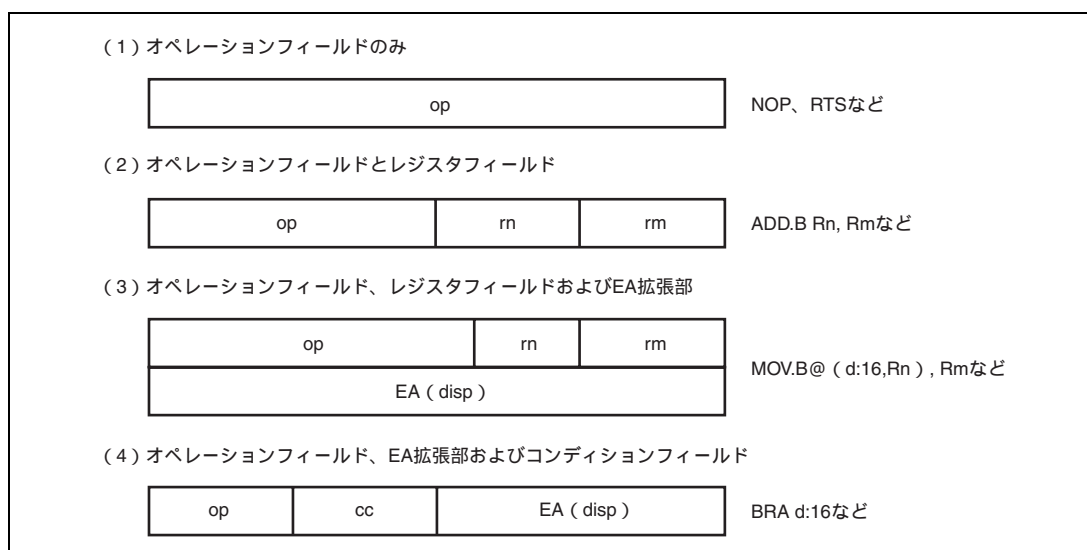


図 2.14 命令フォーマットの例

- オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭4ビットを必ず含みます。2つのオペレーションフィールドを持つ場合もあります。

- レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき3ビット、データレジスタのとき3ビットまたは4ビットです。2つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

- EA拡張部

イミディエイトデータ、絶対アドレスまたはディスプレースメントを指定します。8ビット、16ビット、または32ビットです。

- コンディションフィールド

Bcc命令の分岐条件を指定します。

2.8 アドレッシングモードと実効アドレスの計算方法

H8SX CPU は表 2.12 に示すように、11 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードは異なります。

ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレスが使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接（BSET、BCLR、BNOT、BTST の各命令）、およびイミディエイト（3 ビット）が独立して使用できます。

表 2.12 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディスプレースメント付きレジスタ間接	@(d:2,ERn)/@(d:16,ERn)/@(d:32,ERn)
4	ディスプレースメント付きインデックスレジスタ間接	@(d:16,RnL.B)/@(d:16,Rn.W)/@(d:16,ERn.L) @(d:32,RnL.B)/@(d:32,Rn.W)/@(d:32,ERn.L)
5	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接 プリインクリメントレジスタ間接 ポストデクリメントレジスタ間接	@ERn+ @-ERn @+ERn @ERn-
6	絶対アドレス	@aa:8/@aa:16/@aa:24/@aa:32
7	イミディエイト	#xx:3/#xx:4/#xx:8/#xx:16/#xx:32
8	プログラムカウンタ相対	@(d:8,PC)/@(d:16,PC)
9	プログラムカウンタインデックスレジスタ相対	@(RnL.B,PC)/@(Rn.W,PC)/@(ERn.L,PC)
10	メモリ間接	@@aa:8
11	拡張メモリ間接	@@ vec:7

2.8.1 レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ（8 ビット、16 ビット、または 32 ビット）が、オペランドとなります。

8 ビットレジスタとしては、R0H～R7H、R0L～R7L を指定可能です。

16 ビットレジスタとしては、R0～R7、E0～E7 を指定可能です。

32 ビットレジスタとしては、ER0～ER7 を指定可能です。

2.8.2 レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容を、アドレスとしてメモリ上のオペランドを指定します。

アドバンスモードのとき、分岐命令では下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。

2.8.3 ディスプレースメント付きレジスタ間接 @(d:2,ERn)/@(d:16,ERn)/@(d:32,ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容に、命令コード中に含まれる 16 ビットディスプレースメント、または 32 ビットディスプレースメントを加算した内容をアドレスとしてメモリ上のオペランドを指定します。加算に際して、16 ビットディスプレースメントは符号拡張されます。

また、データのサイズがバイトの場合は、ディスプレースメントが 1、2、3 のとき短縮形 @(d:2,ERn) が用意されています。同様に、ワードの場合は 2、4、6 のとき、ロングワードの場合は 4、8、12 のとき、それぞれ短縮形 @(d:2,ERn) が用意されています。

2.8.4 ディスプレースメント付きインデックスレジスタ間接 @(d:16,RnL.B)/@(d:32,RnL.B)/@(d:16,Rn.W)/@(d:32,Rn.W)/@(d:16,ERn.L)/@(d:32,ERn.L)

命令コードのレジスタフィールドで指定されるアドレスレジスタの指定されたビット数 (RnL、Rn、ERn) の内容を 32 ビットにゼロ拡張し、1、2 または 4 を乗算し、乗算結果と命令コード中に含まれる 16 ビットディスプレースメント、または 32 ビットディスプレースメントを加算した内容を、アドレスとしてメモリ上のオペランドを指定します。指定するメモリ上のオペランドサイズに応じて、バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 が、それぞれ乗算されます。加算に際して、16 ビットディスプレースメントは符号拡張されます。

2.8.5 プリ/ポストインクリメント/デクリメントレジスタ間接 @ERn+/@-ERn/@+ERn/@ERn-

(1) ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容を、アドレスとしてメモリ上のオペランドを指定します。その後、アドレスレジスタの内容に 1、2、または 4 が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 が、それぞれ加算されます。

(2) プリデクリメントレジスタ間接 @-ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から、1、2 または 4 を減算した内容を、アドレスとしてメモリ上のオペランドを指定します。その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4、がそれぞれ減算されます。

2. CPU

(3) プリインクリメントレジスタ間接 @+ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から、1、2 または 4 を加算した内容を、アドレスとしてメモリ上のオペランドを指定します。その後、加算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 が、それぞれ加算されます。

(4) ポストデクリメントレジスタ間接 @ERn-

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容を、アドレスとしてメモリ上のオペランドを指定します。その後、アドレスレジスタの内容に 1、2、または 4 が減算され、減算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 が、それぞれ減算されます。

以上の(1)~(4)の場合、アドレスレジスタで指定した汎用レジスタをデータレジスタとして、メモリへのライトを行う場合、実効アドレス計算後の内容がライトされます。また、同一の汎用レジスタを指定して 2 つの実効アドレス計算を行う場合、1 回目の実効アドレス計算後の汎用レジスタの内容が、2 回目の実効アドレス計算に用いられます。

例 1 MOV.W R0, @ER0+

実行前のER0がH'12345678のときH'12345678番地にH'567Aがライトされます。

例 2 MOV.B @ER0+, @ER0+

実行前のER0がH'00001000のときH'00001000番地をリードし、H'00001001番地へライトします。

実行後の ER0 は H'00001002 です。

2.8.6 絶対アドレス @aa:8/@aa:16/@aa:24/@aa:32

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。

絶対アドレスは 8 ビット (@aa:8)、16 ビット (@aa:16)、24 ビット (@aa:24)、または 32 ビット (@aa:32) です。

データ領域としては、8 ビット (@aa:8)、16 ビット (@aa:16)、または 32 ビット (@aa:32) を使用します。8 ビット絶対アドレスの場合、上位 24 ビットは SBR で指定されます。16 ビット絶対アドレスの場合、上位 16 ビットは符号拡張されます。32 ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

プログラム領域としては 24 ビット (@aa:24)、または 32 ビット (@aa:32) を使用します。24 ビット (@aa:24) のとき上位 8 ビットはすべて 0 (H'00) となります。

絶対アドレスのアクセス範囲を表 2.13 に示します。

表 2.13 絶対アドレスのアクセス範囲

絶対アドレス		ノーマルモード	ミドルモード	アドバンスモード	マキシマムモード
データ領域	8 ビット (@aa:8)	SBR を上位アドレスとした任意の連続した 256 バイト			
	16 ビット (@aa:16)	H'0000 ~ H'FFFF	H'000000 ~ H'007FFF、 H'FF8000 ~ H'FFFFFF	H'00000000 ~ H'00007FFF、 H'FFFFFF8000 ~ H'FFFFFFF	
	32 ビット (@aa:32)			H'00000000 ~ H'FFFFFFF	
プログラム領域	24 ビット (@aa:24)	H'000000 ~ H'FFFFFF	H'00000000 ~ H'00FFFFFF	H'00000000 ~ H'00FFFFFF	
	32 ビット (@aa:32)			H'00000000 ~ H'00FFFFFF	H'00000000 ~ H'FFFFFFF

2.8.7 イミディエイト #xx

命令コード中に含まれる 8 ビット (#xx:8)、16 ビット (#xx:16)、または 32 ビット (#xx:32) のデータを直接オペランドとして使用します。

短縮形として、3 ビットまたは 4 ビットのイミディエイトデータを使用可能な場合があります。

データのサイズ (バイト / ワード / ロングワード) より、イミディエイトデータのビット数が小さい場合にはゼロ拡張されます。

なお、ADDS、SUBS、INC、DEC 命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが命令コード中に含まれる場合があります。BFLD、BFST 命令では、ビットフィールドを指定するための 8 ビットのイミディエイトデータが命令コードの中に含まれます。また、TRAPA 命令では、ベクタアドレスを指定するための 2 ビットのイミディエイトデータが命令コードの中に含まれます。

2.8.8 プログラムカウンタ相対 @ (d:8, PC) / @ (d:16, PC)

Bcc、BSR 命令で使用されます。PC の内容で指定される 32 ビットのアドレスに、命令コード中に含まれる 8 ビット、または 16 ビットディスプレースメントを加算して、32 ビットの分岐アドレスを生成します。加算に際して、ディスプレースメントは 32 ビットに符号拡張されます。また、加算される PC の内容は、次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して、- 126 ~ + 128 バイト (- 63 ~ + 64 ワード)、または - 32766 ~ + 32768 バイト (- 16383 ~ + 16384 ワード) です。このとき、加算結果が偶数となるようにしてください。アドバンスモードのとき、加算結果は下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。

2.8.9 プログラムカウンタインデックス相対 @ (RnL.B, PC) / @ (Rn.W, PC) / @ (ERn.L, PC)

Bcc、BSR 命令で使用されます。命令コードのレジスタフィールドで指定されるアドレスレジスタの指定されたビット数 (RnL、Rn、ERn) の内容を 32 ビットにゼロ拡張し、2 を乗算し、乗算結果と PC の内容で指定される 32 ビットのアドレスを加算して、32 ビットの分岐アドレスを生成します。加算される PC の内容は、次の命令の先頭アドレスとなっています。アドバンスモードのとき、加算結果は下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。

2.8.10 メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。命令コード中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。

8 ビット絶対アドレスの上位ビットはすべて 0 となりますので、分岐アドレスを格納できるのは、0 ~ 255 (ノーマルモードのとき H'0000 ~ H'00FF、ノーマルモード以外のとき H'000000 ~ H'0000FF) 番地です。

ノーマルモードの場合は、メモリ上のオペランドはワードサイズで指定し、16 ビットの分岐アドレスを生成します。

その他の場合は、メモリ上のオペランドはロングワードサイズで指定します。ミドルモードとアドバンスモードの場合は、このうち先頭の 1 バイトはすべて 0 (H'00) とみなされます。

ただし、分岐アドレスを格納可能なアドレスの先頭領域は、例外処理ベクタ領域と共通になっていますので注意してください。なお、リセットおよび CPU アドレスエラー以外の例外処理ベクタのアドレスは VBR で変更できます。

メモリ間接による分岐アドレスの指定を図 2.15 に示します。

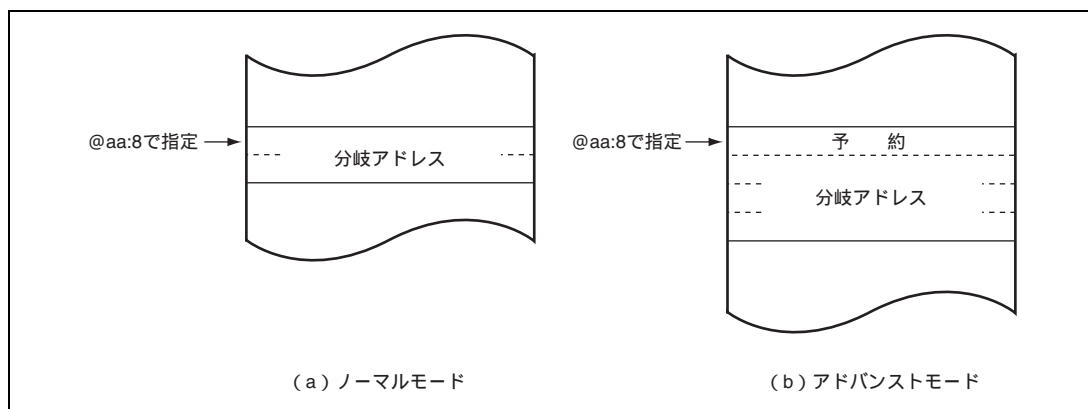


図 2.15 メモリ間接による分岐アドレスの指定

2.8.11 拡張メモリ間接 @@vec:7

JMP、JSR 命令で使用されます。命令コード中に含まれる 7 ビットのデータに H'80 を加算し、2 または 4 を乗算し、乗算結果でメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。

分岐アドレスを格納できるのは、ノーマルモードのとき H'0100 ~ H'01FF、ノーマルモード以外のとき H'000200 ~ H'0003FF 番地です。なお、アセンブラ表記上は、分岐アドレスを格納するアドレスを指定します。

ノーマルモードの場合は、メモリ上のオペランドはワードサイズで指定し、16 ビットの分岐アドレスを生成します。

その他の場合は、メモリ上のオペランドはロングワードサイズで指定します。ミドルモードとアドバンストモードの場合は、このうち先頭の 1 バイトはすべて 0 (H'00) とみなされます。

2.8.12 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス (EA : Effective Address) の計算法を表 2.14、表 2.15 に示します。

CPU 動作モードに応じて、実効アドレス計算結果の下位ビットが有効になり、上位ビットは無視 (ゼロ拡張、または符号拡張) されます。

たとえばミドルモードのとき、

1. 転送命令、演算命令の実効アドレスの下位 16 ビットが有効になり、上位 16 ビットは符号拡張されます。
2. 分岐命令では、実効アドレスの下位 24 ビットが有効になり、上位 8 ビットはゼロ拡張されます。

2. CPU

表 2.14 転送 / 演算命令の実効アドレスの計算方法







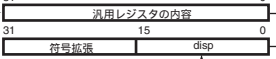





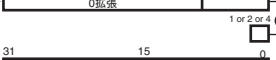


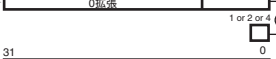


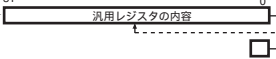


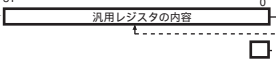












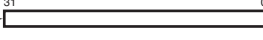

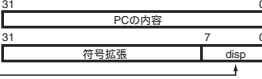
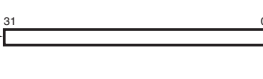
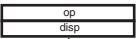
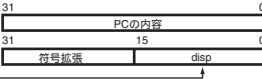
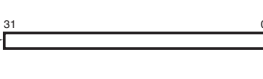
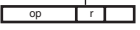
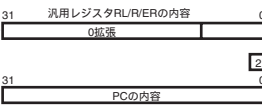
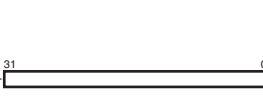

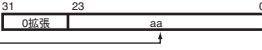
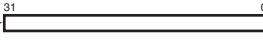
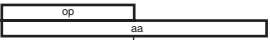
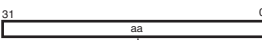
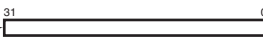
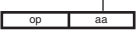
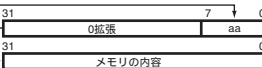


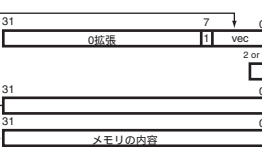

No.	アドレッシングモード・命令フォーマット	実効アドレスの計算方法	実効アドレス (EA)
1	イミディエイト 		
2	レジスタ直接 		
3	レジスタ間接 		
4	・16ビットディスプレースメント付きレジスタ間接 		
	・32ビットディスプレースメント付きレジスタ間接 		
5	・16ビットディスプレースメントインデックスレジスタ間接 		
	・32ビットディスプレースメントインデックスレジスタ間接 		
6	・ポストインクリメント / デクリメントレジスタ間接 		
	・プリインクリメント / デクリメントレジスタ間接 		
7	・8ビット絶対アドレス 		
	・16ビット絶対アドレス 		
	・32ビット絶対アドレス 		

表 2.15 分岐命令の実効アドレスの計算方法

No.	アドレッシングモード・命令フォーマット	実効アドレスの計算方法	実効アドレス (EA)
1	レジスタ間接 		
2	・プログラムカウンタ相対ディスプレースメント8ビット 		
	・プログラムカウンタ相対ディスプレースメント16ビット 		
3	プログラムカウンタインデックスレジスタ相対 		
4	・24ビット絶対アドレス 		
	・32ビット絶対アドレス 		
5	メモリ間接 		
6	拡張メモリ間接 		

2.8.13 MOVA 命令

MOVA 命令は、実効アドレスを汎用レジスタに格納します。

- 表2.14のNo.2のアドレッシングモードでデータを取得します。
- 次に、このデータを表2.14のNo.5の汎用レジスタの代わりにインデックスとした実効アドレス計算を行い、その結果を汎用レジスタに格納します。

詳細は、「H8SX ファミリ ソフトウェアマニュアル」を参照してください。

2.9 処理状態

H8SX CPU の処理状態には、リセット状態、例外処理状態、プログラム実行状態、バス権解放状態、およびプログラム停止状態の 5 種類があります。処理状態間の状態遷移図を図 2.16 に示します。

- リセット状態

CPUおよび内蔵周辺モジュールがすべて初期化され、停止している状態です。リセット端子がLowレベルになると、実行中の処理はすべて中止され、CPUはリセット状態になります。リセット状態ではすべての割り込みが禁止されます。リセット端子をLowレベルからHighレベルにすると、リセット例外処理を開始します。また、ウォッチドッグタイマのオーバフローによってもリセットすることもできます。詳細は「4. 例外処理」を参照してください。

- 例外処理状態

例外処理状態は、リセット、トレース、割り込み、またはトラップ命令の例外処理要因によってCPUが通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出してそのスタートアドレスに分岐する過渡的な状態です。詳細は「4. 例外処理」を参照してください。

- プログラム実行状態

CPUがプログラムを順次実行している状態です。

- バス権解放状態

DMAコントローラ(DMAC)からのバス権要求に対してバス権を解放した状態です。バス権解放状態ではCPUは動作を停止します。

- プログラム停止状態

CPUが動作を停止し、消費電力を低下させた状態です。SLEEP命令の実行、またはソフトウェアスタンバイモードへの遷移でCPUはプログラム停止状態になります。詳細は「24. 低消費電力」を参照してください。

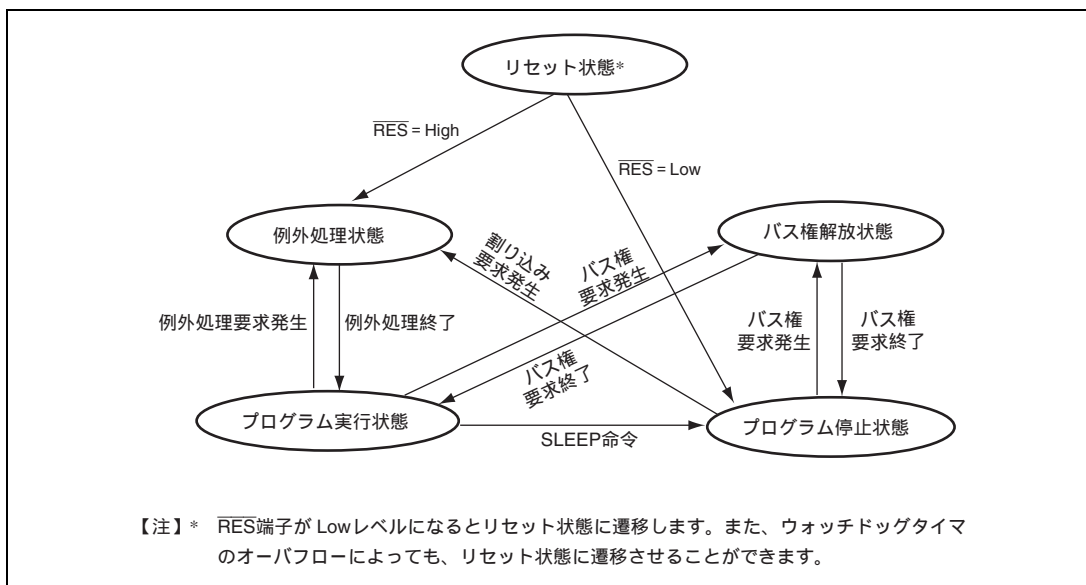


図 2.16 状態遷移図

3. MCU 動作モード

3.1 動作モードの選択

本 LSI には、5 種類の動作モード（2、4、5、6、7）があります。動作モードは、モード端子（MD2～MD0）の設定で決まります。表 3.1 に MCU 動作モードの選択を示します。

表 3.1 MCU 動作モードの選択

MCU 動作モード	MD2	MD1	MD0	CPU 動作モード	アドレス 空間	内容	内蔵 ROM	外部データバス	
								初期値	最大値
2	0	1	0	アドバンスト	16M バイト	ブートモード	有効	8	16
4	1	0	0			内蔵 ROM 無効 拡張モード	無効	16	16
5	1	0	1			無効	8	16	
6	1	1	0			内蔵 ROM 有効 拡張モード	有効	8	16
7	1	1	1			シングルチップ モード	有効	8	16

CPU 動作モードはアドバンストモード、アドレス空間は 16M バイト、初期外部バス幅は 8 ビットまたは 16 ビットです。起動モードは、外部拡張、内蔵 ROM 起動、シングルチップ起動が選択できます。

モード 2 は、フラッシュメモリに書き込み/消去を行えるブートモードです。ブートモードについては、「22. フラッシュメモリ」を参照してください。

モード 7 は、シングルチップモードです。初期状態では、すべてのエリアは 8 ビットアクセス空間となっています。すべての I/O ポートを入出力ポートとして使用できます。初期状態では外部アドレス空間を使用できませんが、システムコントロールレジスタ（SYSCR）の EXPE ビットの設定により、外部アドレス空間を使用することができます。外部アドレス空間を有効とした場合、各ポートのデータディレクションレジスタ（DDR）の設定により、ポート D、E、F をアドレス出力、ポート H、I をデータバスとすることができます。

モード 4、5、6 は、外部メモリおよび周辺デバイスをアクセスできる外部拡張モードです。外部拡張モードでは、プログラム実行開始後バスコントローラの設定により、外部アドレス空間を 8 ビット、16 ビットに設定できます。

3. MCU 動作モード

3.2 レジスタの説明

動作モードに関連するレジスタには以下のものがあります。

- モードコントロールレジスタ (MDCR)
- システムコントロールレジスタ (SYSCR)

3.2.1 モードコントロールレジスタ (MDCR)

MDCR は、現在の動作モードのモニタ表示を行います。MDCR をリードすると、MD2～MD0 端子の入力レベルがラッチされます。このラッチは、リセットで解除されます。

ビット	15	14	13	12	11	10	9	8
ビット名	-	-	-	-	MDS3	MDS2	MDS1	MDS0
初期値:	0	1	0	1	不定*	不定*	不定*	不定*
R/W:	R	R	R	R	R	R	R	R
ビット	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	-	-	-	-
初期値:	0	1	0	1	不定*	不定*	不定*	不定*
R/W:	R	R	R	R	R	R	R	R

【注】 * MD2～MD0端子の設定により決定されます。

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。
14	-	1	R	
13	-	0	R	
12	-	1	R	
11	MDS3	不定*	R	モードセレクト 3～0 モード端子 (MD2～MD0) により設定された動作モードに対応した値を示します (表 3.2 参照)。MDCR をリードすると、MD2～MD0 端子の入力レベルがこれらのビットにラッチされます。このラッチはリセットで解除されます。
10	MDS2	不定*	R	
9	MDS1	不定*	R	
8	MDS0	不定*	R	
7	-	0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。
6	-	1	R	
5	-	0	R	
4	-	1	R	
3	-	不定*	R	
2	-	不定*	R	
1	-	不定*	R	
0	-	不定*	R	

【注】 * MD2～MD0 端子の設定により決定されます。

表 3.2 MDS3～MDS0 ビットの値

MCU 動作モード	モード端子			MDCR			
	MD2	MD1	MD0	MDS3	MDS2	MDS1	MDS0
2	0	1	0	1	1	0	0
4	1	0	0	0	0	1	0
5	1	0	1	0	0	0	1
6	1	1	0	0	1	0	1
7	1	1	1	0	1	0	0

3.2.2 システムコントロールレジスタ (SYSCR)

SYSCR は、MAC 飽和演算制御、命令フェッチでのバス幅モードの選択、外部バスモードの設定、内蔵 RAM の有効/無効の選択を行います。

ビット	15	14	13	12	11	10	9	8
ビット名	-	-	MACS	-	FETCHMD	-	EXPE	RAME
初期値:	1	1	0	1	0	0	不定*	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * 初期値は、起動動作モードにより変わります。

ビット	ビット名	初期値	R/W	説明
15, 14	-	すべて 1	R/W	リザーブビット リードすると常に 1 が読み出されます。ライトする値は常に 1 にしてください。
13	MACS	0	R/W	MAC 飽和演算制御 MAC 命令の飽和演算、非飽和演算を選択します。 0: MAC 命令は非飽和演算 1: MAC 命令は飽和演算
12	-	1	R/W	リザーブビット リードすると常に 1 が読み出されます。ライトする値は常に 1 にしてください。

3. MCU 動作モード

ビット	ビット名	初期値	R/W	説 明
11	FETCHMD	0	R/W	命令フェッチモードセレクト H8SX CPU は命令フェッチについて 16 ビットモードと 32 ビットモードの 2 つのモードを持っています。プログラムを格納するメモリのバス幅に合わせて設定することを推奨します。*1 0 : 32 ビットモード 1 : 16 ビットモード
10	-	0	R/W	リザーブビット リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
9	EXPE	不定*2	R/W	外部バスモードイネーブル 外部バスモードを設定します。外部拡張モードでは、1 に固定されており、ライトは無効です。シングルチップモードでは、初期値が 0 で、リード/ライトできます。EXPE=1 の状態をリード後、0 をライトするときは、外部バスサイクルが実行されていない状態で行ってください。ライトデータバッファ機能などにより、外部バスと内部バスが並列に実行される場合があります。 0 : 外部バス無効 1 : 外部バス有効
8	RAME	1	R/W	RAM イネーブル 内蔵 RAM の有効または無効を選択します。このビットは、リセットを解除したとき初期化されます。内蔵 RAM アクセス中に 0 ライトを行わないでください。 0 : 内蔵 RAM 無効 1 : 内蔵 RAM 有効
7~2	-	すべて 0	R/W	リザーブビット リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
1, 0	-	すべて 1	R/W	リザーブビット リードすると常に 1 が読み出されます。ライトする値は常に 1 にしてください。

【注】 *1 命令フェッチモードの詳細は「2.3 命令フェッチ」を参照してください。

*2 初期値は、起動動作モードにより変わります。

3.3 動作モードの説明

3.3.1 モード 2

フラッシュメモリのブートモードです。フラッシュメモリへの書き込み/消去以外は、モード 7 と同様の動作となります。詳細は「22. フラッシュメモリ」を参照してください。

3.3.2 モード 4

CPU 動作モードはアドバンスモードで、アドレス空間は 16M バイトです。内蔵 ROM は無効です。リセット直後は 16 ビットバスモードで、すべてのエリアは 16 ビットアクセス空間となります。ポート D、E、F がアドレスバス、ポート H、I がデータバス、ポート A の一部がバス制御信号となります。ただし、バスコントローラにより、8 ビットアドレス空間に設定すると 8 ビットバスモードとなり、ポート H がデータバスとなります。

3.3.3 モード 5

CPU 動作モードはアドバンスモードで、アドレス空間は 16M バイトです。内蔵 ROM は無効です。リセット直後は 8 ビットバスモードで、8 ビットアクセス空間となります。ポート D、E、F がアドレスバス、ポート H がデータバス、ポート A の一部がバス制御信号となります。ただし、バスコントローラにより、16 ビットアドレス空間に設定すると 16 ビットバスモードとなり、ポート H、I がデータバスとなります。

3.3.4 モード 6

CPU 動作モードはアドバンスモードで、アドレス空間は 16M バイトです。内蔵 ROM は有効です。リセット直後は 8 ビットバスモードで、8 ビットアクセス空間となります。ポート D、E、F は入力ポートになっていますが、各ポートのデータディレクションレジスタ (DDR) の設定により、アドレスバスとすることができます。詳細は「8. I/O ポート」を参照してください。ポート H がデータバス、ポート A の一部がバス制御信号となります。ただし、バスコントローラにより、16 ビットアドレス空間に設定すると 16 ビットバスモードとなり、ポート H、I がデータバスとなります。

3.3.5 モード 7

CPU 動作モードはアドバンスモードで、アドレス空間は 16M バイトです。内蔵 ROM は有効です。初期状態では、8 ビットアクセス空間となっています。すべての I/O ポートを入出力ポートとして使用できます。初期状態では外部アドレス空間を使用できませんが、SYSCR の EXPE ビットの設定により、外部アドレス空間を使用することができます。外部アドレス空間を有効とした場合、各ポートのデータディレクションレジスタ (DDR) の設定により、ポート D、E、F をアドレス出力、ポート H、I をデータバスとすることができます。詳細は、「8. I/O ポート」を参照してください。

3. MCU 動作モード

3.3.6 端子機能

各動作モードにおける端子機能の一覧を表 3.3 に示します。

表 3.3 各動作モードにおける端子機能（アドバンスモード）

MCU 動作モード		ポート A			ポート D	ポート E	ポート F		ポート H	ポート I
		PA7	PA6、PA5~3	PA2~0			PF3~0	PF7~4		
2	ブートモード	P*/C	P*/C	P	P*/A	P*/A	P*/A	P*/A	P*/D	P*/D
4	ROM 無効拡張	C	C	P	A	A	A	A	D	P/D*
5	ROM 無効拡張	C	C	P	A	A	A	A	D	P*/D
6	ROM 有効拡張	C	C	P	P*/A	P*/A	P*/A	P*/A	D	P*/D
7	シングルチップモード	P*/C	P*/C	P	P*/A	P*/A	P*/A	P*/A	P*/D	P*/D

【記号説明】

P：入出力ポート

A：アドレスバス出力

D：データバス入出力

C：制御信号/クロック入出力

*：リセット直後

3.4 アドレスマップ

3.4.1 アドレスマップ

各製品のアドレスマップを図 3.1 ~ 図 3.4 に示します。

モード2 ブートモード (アドバンスモード)		モード4*5 内蔵ROM無効拡張モード (アドバンスモード)	
H'000000	内蔵ROM (FLASH) 512Kバイト	H'000000	外部アドレス空間
H'080000	外部アドレス空間/ リザーブ領域*1*3	H'FD9000	リザーブ領域*3
H'FD9000	リザーブ領域*3	H'FD9000	リザーブ領域*3
H'FDC000	外部アドレス空間/ リザーブ領域*1*3	H'FDC000	外部アドレス空間
H'FF6000	内蔵RAM *2 24Kバイト	H'FF6000	内蔵RAM 24Kバイト 外部アドレス空間*4
H'FFC000	外部アドレス空間/ リザーブ領域*1*3	H'FFC000	外部アドレス空間
H'FFEA00	内部I/Oレジスタ	H'FFEA00	内部I/Oレジスタ
H'FFFF00	外部アドレス空間/ リザーブ領域*1*3	H'FFFF00	外部アドレス空間
H'FFFF20	内部I/Oレジスタ	H'FFFF20	内部I/Oレジスタ
H'FFFFFF		H'FFFFFF	

【注】 *1 EXPE = 1のとき外部アドレス空間となります。EXPE = 0のときリザーブ領域となります。
*2 フラッシュメモリの書き換えに内蔵RAMを使用します。RAMEビットを0にしないでください。
*3 リザーブ領域はアクセスしないでください。
*4 RAMEビットを0にクリアすると、外部アドレス空間になります。
*5 外部バス初期値：16ビット、最大値16ビット

図 3.1 H8SX/1544 の各動作モードのアドレスマップ (1)

3. MCU 動作モード

モード5*5 内蔵ROM無効拡張モード (アドバンスモード)		モード6 内蔵ROM有効拡張モード (アドバンスモード)		モード7 シングルチップモード (アドバンスモード)	
H'000000	外部アドレス空間	H'000000	内蔵ROM (FLASH) 512Kバイト	H'000000	内蔵ROM (FLASH) 512Kバイト
		H'080000	外部アドレス空間	H'080000	外部アドレス空間/ リザーブ領域*1*3
H'FD9000	リザーブ領域*3	H'FD9000	リザーブ領域*3	H'FD9000	リザーブ領域*3
H'FDC000	外部アドレス空間	H'FDC000	外部アドレス空間	H'FDC000	外部アドレス空間/ リザーブ領域*1*3
H'FF6000	内蔵RAM 24Kバイト 外部アドレス空間*4	H'FF6000	内蔵RAM 24Kバイト 外部アドレス空間*4	H'FF6000	内蔵RAM 24Kバイト 外部アドレス空間*4
H'FFC000	外部アドレス空間	H'FFC000	外部アドレス空間	H'FFC000	外部アドレス空間/ リザーブ領域*1*3
H'FFEA00	内部I/Oレジスタ	H'FFEA00	内部I/Oレジスタ	H'FFEA00	内部I/Oレジスタ
H'FFFF00	外部アドレス空間	H'FFFF00	外部アドレス空間	H'FFFF00	外部アドレス空間/ リザーブ領域*1*3
H'FFFF20	内部I/Oレジスタ	H'FFFF20	内部I/Oレジスタ	H'FFFF20	内部I/Oレジスタ
H'FFFFFF		H'FFFFFF		H'FFFFFF	

【注】 *1 EXPE = 1のとき外部アドレス空間となります。EXPE = 0のときリザーブ領域となります。
*2 フラッシュメモリの書き換えに内蔵RAMを使用します。RAMEビットを0にしないでください。
*3 リザーブ領域はアクセスしないでください。
*4 RAMEビットを0にクリアすると、外部アドレス空間になります。
*5 外部バス初期値：8ビット、最大値16ビット

図 3.2 H8SX/1544 の各動作モードのアドレスマップ (2)

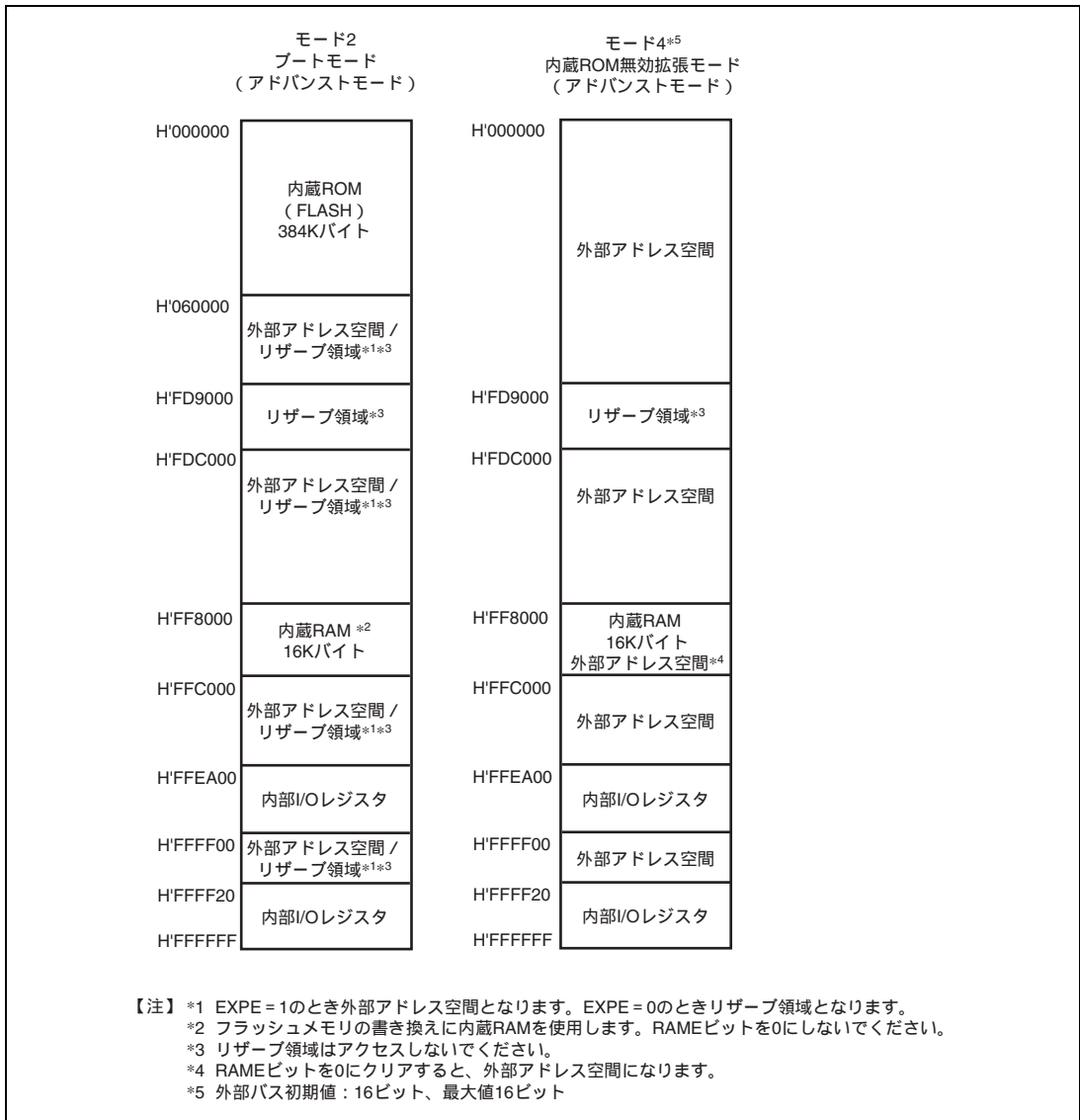


図 3.3 H8SX/1543 の各動作モードのアドレスマップ (1)

3. MCU 動作モード

モード5*5 内蔵ROM無効拡張モード (アドバンスモード)		モード6 内蔵ROM有効拡張モード (アドバンスモード)		モード7 シングルチップモード (アドバンスモード)	
H'000000	外部アドレス空間	H'000000	内蔵ROM (FLASH) 384Kバイト	H'000000	内蔵ROM (FLASH) 384Kバイト
H'FD9000	リザーブ領域*3	H'060000	外部アドレス空間	H'060000	外部アドレス空間/ リザーブ領域*1*3
H'FDC000	外部アドレス空間	H'FD9000	リザーブ領域*3	H'FD9000	リザーブ領域*3
H'FF8000	内蔵RAM 16Kバイト 外部アドレス空間*4	H'FDC000	外部アドレス空間	H'FDC000	外部アドレス空間/ リザーブ領域*1*3
H'FFC000	外部アドレス空間	H'FF8000	内蔵RAM 16Kバイト 外部アドレス空間*4	H'FF8000	内蔵RAM 16Kバイト 外部アドレス空間*4
H'FFEA00	内部I/Oレジスタ	H'FFC000	外部アドレス空間	H'FFC000	外部アドレス空間/ リザーブ領域*1*3
H'FFFF00	外部アドレス空間	H'FFEA00	内部I/Oレジスタ	H'FFEA00	内部I/Oレジスタ
H'FFFF20	内部I/Oレジスタ	H'FFFF00	外部アドレス空間	H'FFFF00	外部アドレス空間/ リザーブ領域*1*3
H'FFFFFF		H'FFFF20	内部I/Oレジスタ	H'FFFF20	内部I/Oレジスタ
		H'FFFFFF		H'FFFFFF	

【注】 *1 EXPE = 1のとき外部アドレス空間となります。EXPE = 0のときリザーブ領域となります。
*2 フラッシュメモリの書き換えに内蔵RAMを使用します。RAMEビットを0にしないでください。
*3 リザーブ領域はアクセスしないでください。
*4 RAMEビットを0にクリアすると、外部アドレス空間になります。
*5 外部バス初期値：8ビット、最大値16ビット

図 3.4 H8SX/1543 の各動作モードのアドレスマップ (2)

4. 例外処理

4.1 例外処理の種類と優先度

例外処理要因には、表 4.1 に示すように、リセット、トレース、アドレスエラー、割り込み、トラップ命令、および不当命令（一般不当命令、スロット不当命令）があります。これらの例外処理要因には、表 4.1 のように優先順位が設けられており、複数の例外処理要因が同時に発生した場合は、この優先度に従って受け付けられません。例外処理は割り込み制御モードによって、例外処理要因やスタックの構造、CPU の動作が異なります。割り込み制御モードの詳細については、「5. 割り込みコントローラ」を参照してください。

表 4.1 例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
↑ 高 低	リセット	RES 端子の Low レベルから High レベルへの変化、またはウォッチドッグタイマのオーバーフローにより開始します。RES 端子が Low レベルのときリセット状態になります。
	不当命令	未定義コードが実行されると開始します。
	トレース* ¹	EXR のトレース (T) ビット = 1 の状態で、実行中の命令または例外処理の完了後開始します。
	アドレスエラー	アドレスエラーのバスサイクルが発生後、命令実行終了時に例外処理を開始します。
	割り込み	割り込み要求が発生すると、実行中の命令または例外処理の完了後開始します。* ²
	トラップ命令* ³	トラップ (TRAPA) 命令の実行により開始します。

- 【注】 *1 トレースは割り込み制御モード 2 でのみ有効です。トレース例外処理は、RTE 命令の実行終了後には実行しません。
- *2 ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。
- *3 トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

4. 例外処理

4.2 例外処理要因とベクタテーブル

例外処理要因には、それぞれ異なるベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、ベクタベースレジスタ（VBR）の値と対応するベクタ番号のベクタテーブルアドレスオフセットから算出されます。例外処理では、このベクタテーブルアドレスが示す例外処理ベクタテーブルから、例外サービスルーチンのスタートアドレスが取り出されます。

例外処理要因と、ベクタテーブルアドレスオフセットとの対応を表 4.2 に示します。例外処理ベクタテーブルアドレスの算出法を表 4.3 に示します。

表 4.2 例外処理ベクタテーブル

例外処理要因	ベクタ番号	ベクタテーブルアドレスオフセット*1	
		ノーマルモード*2	アドバンスドモード ミドルモード*2 マキシマムモード*2
リセット	0	H'0000 ~ H'0001	H'0000 ~ H'0003
システム予約	1	H'0002 ~ H'0003	H'0004 ~ H'0007
	2	H'0004 ~ H'0005	H'0008 ~ H'000B
	3	H'0006 ~ H'0007	H'000C ~ H'000F
不当命令	4	H'0008 ~ H'0009	H'0010 ~ H'0013
トレース	5	H'000A ~ H'000B	H'0014 ~ H'0017
システム予約	6	H'000C ~ H'000D	H'0018 ~ H'001B
割り込み（NMI）	7	H'000E ~ H'000F	H'001C ~ H'001F
トラップ命令（#0）	8	H'0010 ~ H'0011	H'0020 ~ H'0023
トラップ命令（#1）	9	H'0012 ~ H'0013	H'0024 ~ H'0027
トラップ命令（#2）	10	H'0014 ~ H'0015	H'0028 ~ H'002B
トラップ命令（#3）	11	H'0016 ~ H'0017	H'002C ~ H'002F
CPU アドレスエラー	12	H'0018 ~ H'0019	H'0030 ~ H'0033
DMA アドレスエラー*3	13	H'001A ~ H'001B	H'0034 ~ H'0037
システム予約	14	H'001C ~ H'001D	H'0038 ~ H'003B
	23	H'002E ~ H'602F	H'005C ~ H'005F
ユーザエリア （空き領域）	24	H'0030 ~ H'0031	H'0060 ~ H'0063
	63	H'007E ~ H'007F	H'00FC ~ H'00FF

例外処理要因	ベクタ番号	ベクタテーブルアドレスオフセット*1	
		ノーマルモード*2	アドバンスドモード ミドルモード*2 マキシマムモード*2
外部割り込み IRQ0	64	H'0080 ~ H'0081	H'0100 ~ H'0103
外部割り込み IRQ1	65	H'0082 ~ H'0083	H'0104 ~ H'0107
外部割り込み IRQ2	66	H'0084 ~ H'0085	H'0108 ~ H'010B
外部割り込み IRQ3	67	H'0086 ~ H'0087	H'010C ~ H'010F
外部割り込み IRQ4	68	H'0088 ~ H'0089	H'0110 ~ H'0113
外部割り込み IRQ5	69	H'008A ~ H'008B	H'0114 ~ H'0117
外部割り込み IRQ6	70	H'008C ~ H'008D	H'0118 ~ H'011B
外部割り込み IRQ7	71	H'008E ~ H'008F	H'011C ~ H'011F
外部割り込み IRQ8	72	H'0090 ~ H'0091	H'0120 ~ H'0123
外部割り込み IRQ9	73	H'0092 ~ H'0093	H'0124 ~ H'0127
外部割り込み IRQ10	74	H'0094 ~ H'0095	H'0128 ~ H'012B
外部割り込み IRQ11	75	H'0096 ~ H'0097	H'012C ~ H'012F
外部割り込み IRQ12	76	H'0098 ~ H'0099	H'0130 ~ H'0133
外部割り込み IRQ13	77	H'009A ~ H'009B	H'0134 ~ H'0137
外部割り込み IRQ14	78	H'009C ~ H'009D	H'0138 ~ H'013B
外部割り込み IRQ15	79	H'009E ~ H'009F	H'013C ~ H'013F
内部割り込み*4	80	H'00A0 ~ H'00A1	H'0140 ~ H'0143
	255	H'01FE ~ H'01FF	H'03FC ~ H'03FF

【注】 *1 先頭アドレスの下位 16 ビットを示しています。

*2 本 LSI では使用できません。

*3 DMA アドレスエラーの要因発生元は、DMAC です。

*4 割り込みのベクタテーブルは、「5.5 割り込み例外処理ベクタテーブル」を参照してください。

表 4.3 例外処理ベクタテーブルアドレスの算出法

例外処理要因	ベクタテーブルアドレス算出法
リセット、CPU アドレスエラー	ベクタテーブルアドレス = (ベクタテーブルアドレスオフセット)
上記以外	ベクタテーブルアドレス = VBR + (ベクタテーブルアドレスオフセット)

【記号説明】

VBR : ベクタベースレジスタ

【注】 ベクタテーブルアドレスオフセット : 表 4.2 を参照

4.3 リセット

リセットは、最も優先順位の高い例外処理です。

$\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて打ち切れ、本 LSI はリセット状態になります。本 LSI を確実にリセットするために、電源投入時は $\overline{\text{STBY}}$ 端子を High レベルにし、最低 20ms の間、 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。動作中は $\overline{\text{RES}}$ 端子を最低 20 ステートの間、Low レベルに保持してください。

また、ウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「10. ウォッチドッグタイマ (WDT)」を参照してください。

リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。リセット直後は、割り込み制御モードは 0 になっています。

4.3.1 リセット例外処理

$\overline{\text{RES}}$ 端子が一定期間 Low レベルの後 High レベルになると、リセット例外処理を開始し、本 LSI は次のように動作します。

1. CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化され、VBR が H'00000000 にクリアされ、EXR の T ビットが 0 にクリアされます。EXR、CCR の I ビットは 1 にセットされます。
2. リセット例外処理ベクタアドレスをリードして PC に転送した後、PC で示されるアドレスからプログラムの実行を開始します。

リセットシーケンスの例を図 4.1、図 4.2 に示します。

4.3.2 リセット直後の割り込み

リセット直後、スタックポインタ (SP) を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われないため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP を初期化する命令としてください (例: MOV.L #xx:32, SP)。

4.3.3 リセット解除後の内蔵周辺機能

リセット解除後、MSTPCRA は H'0FFF、MSTPCRB は H'FFFF、MSTPCRC は H'FF00 に初期化され、DMAC を除くすべてのモジュールがモジュールストップモードになっています。そのため、各内蔵周辺モジュールのレジスタは、リード/ライトできません。モジュールストップモードを解除することにより、レジスタのリード/ライトが可能となります。

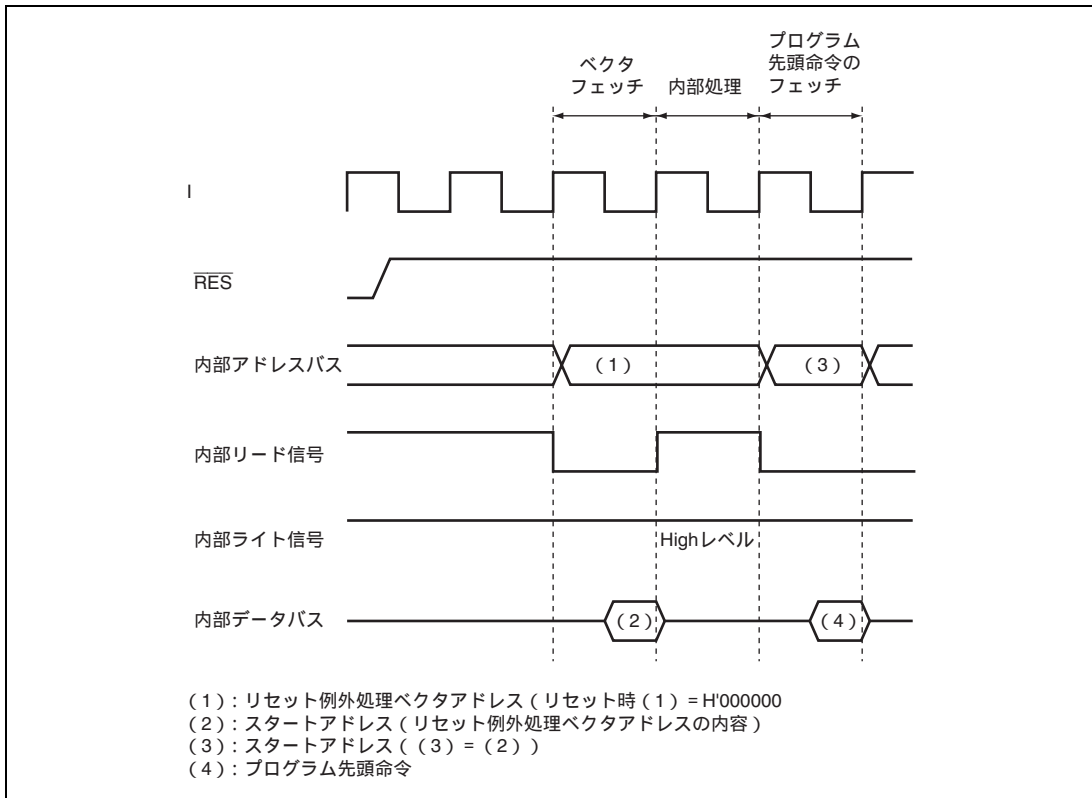


図 4.1 リセットシーケンス (アドバンスモード / 内蔵 ROM 有効)

4. 例外処理

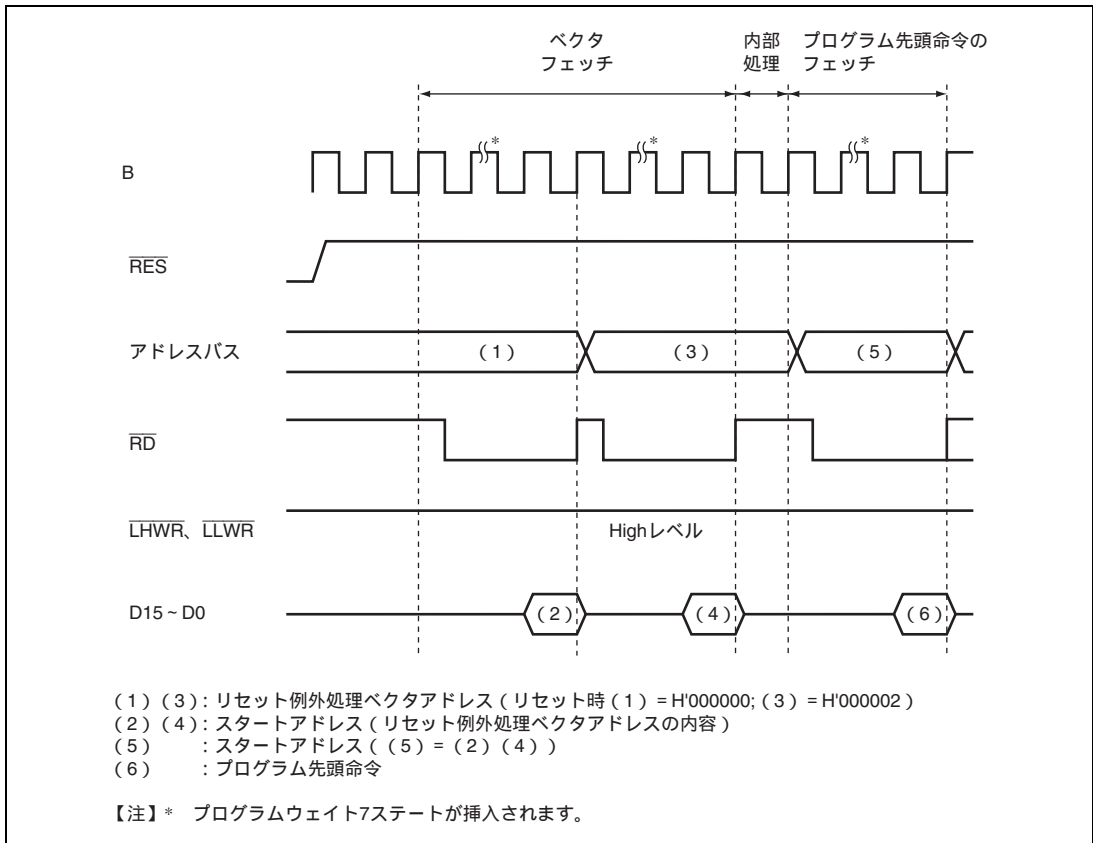


図 4.2 リセットシーケンス (アドバンスモード / 内蔵 ROM 無効 / 外部 16 ビットアクセス空間)

4.4 トレース例外処理

トレースは、割り込み制御モード2で有効です。割り込み制御モード0では、Tビットの状態にかかわらず、トレースモードにはなりません。割り込み制御モードを変更する場合は、Tビット=0の状態で行ってください。割り込み制御モードについては、「5. 割り込みコントローラ」を参照してください。

EXRのTビットを1にセットすると、トレースモードになります。トレースモードではCPUが1命令の実行を完了するたびにトレース例外処理を開始します。トレース例外処理はCCRの割り込みマスクビットの影響を受けません。表4.4にトレース例外処理後のCCR、EXRの状態を示します。トレース例外処理によってEXRのTビットが0にクリアされてトレースモードが解除されますが、スタックに退避されたTビットは1を保持しており、RTE命令によってトレース例外処理ルーチンから復帰した後は再びトレースモードになります。RTE命令の実行ではトレース例外処理を行いません。

トレース例外処理ルーチンでも割り込みを受け付けます。

表 4.4 トレース例外処理後のCCR、EXRの状態

割り込み制御モード	CCR		EXR	
	I	UI	I2~I0	T
0	トレース例外処理は使用できません。			
2	1	-	-	0

【記号説明】

- 1 : 1にセットされます。
- 0 : 0にクリアされます。
- : 実行前の値が保持されます。

4. 例外処理

4.5 アドレスエラー

4.5.1 アドレスエラー発生要因

アドレスエラーは、表 4.5 に示すように命令フェッチ、スタック操作、データ読み出し / 書き込み時に発生します。

表 4.5 バスサイクルとアドレスエラー

バスサイクル		バスサイクルの内容	アドレスエラーの発生
種類	バスマスタ		
命令フェッチ	CPU	偶数アドレスから命令をフェッチ	なし (正常)
		奇数アドレスから命令をフェッチ	アドレスエラー発生
		内蔵周辺モジュール空間*1 以外から命令をフェッチ	なし (正常)
		内蔵周辺モジュール空間*1 から命令をフェッチ	アドレスエラー発生
		シングルチップモード時に外部メモリ空間から命令をフェッチ	アドレスエラー発生
		アクセス禁止空間*2 から命令をフェッチ	アドレスエラー発生
スタック操作	CPU	スタックポインタの値が偶数アドレスでスタックをアクセス	なし (正常)
		スタックポインタの値が奇数アドレスでスタックをアクセス	アドレスエラー発生
データ読み出し / 書き込み	CPU	ワードデータを偶数アドレスからアクセス	なし (正常)
		ワードデータを奇数アドレスからアクセス	なし (正常)
		シングルチップモード時に外部メモリ空間をアクセス	アドレスエラー発生
		アクセス禁止空間*2 をアクセス	アドレスエラー発生
データ読み出し / 書き込み	DMAC	ワードデータを偶数アドレスからアクセス	なし (正常)
		ワードデータを奇数アドレスからアクセス	なし (正常)
		シングルチップモード時に外部メモリ空間をアクセス	アドレスエラー発生
		アクセス禁止空間*2 をアクセス	アドレスエラー発生
シングルアドレス転送	DMAC	シングルアドレス転送時にアドレスアクセス空間が外部メモリ空間	なし (正常)
		シングルアドレス転送時にアドレスアクセス空間が外部メモリ空間以外の空間	アドレスエラー発生

【注】 *1 内蔵周辺モジュール空間については、「6. バスコントローラ (BSC)」を参照してください。

*2 アクセス禁止空間については、「3.4 アドレスマップ」の図 3.1 を参照してください。

4.5.2 アドレスエラー例外処理

アドレスエラーが発生すると、アドレスエラーを起こしたバスサイクルが終了し、実行中の命令が完了してからアドレスエラー例外処理が開始されます。このとき、CPU は次のように動作します。

1. PC、CCR、およびEXRの内容をスタックに退避します。
2. 割り込みマスクビットを更新し、Tビットを0にクリアします。
3. 発生したアドレスエラーに対応する例外処理ベクタテーブルアドレスを生成し、ベクタテーブルから例外サービスルーチンスタートアドレスをPCにロードして、その番地からプログラムの実行を開始します。

アドレスエラー例外処理に遷移するときにアドレスエラーが発生した場合、そのときのアドレスエラーは受け付けません。これは例外処理のスタッキングで発生するアドレスエラーを回避して、無限にアドレスエラー例外処理によるスタッキングが続かないようにするためです。

アドレスエラー例外処理が発生したときにSPが2の倍数になっていない場合、スタックされた値(PC、CCR、EXR)は不定です。

また、アドレスエラーが発生すると、DMACを停止させるために次の制御を行います。

- DMACのDMDR_0のERRFビットを1にセット
- DMACの全チャンネルのDMDRのDTEビットを0にクリア、および強制転送終了

表 4.6 にアドレスエラー例外処理後のCCR、EXRの状態を示します。

表 4.6 アドレスエラー例外処理後のCCR、EXRの状態

割り込み制御モード	CCR		EXR	
	I	UI	T	I2~I0
0	1	-	-	-
2	1	-	0	7

【記号説明】

1：1にセットされます。

0：0にクリアされます。

-：実行前の値が保持されます。

4. 例外処理

4.6 割り込み

4.6.1 割り込み要因

割り込み例外処理を起動させる要因には、表 4.7 に示すように NMI、IRQ0 ~ IRQ15、内蔵周辺モジュールがあります。

表 4.7 割り込み要因

種類	要求元	要因数
NMI	NMI 端子 (外部からの入力)	1
IRQ0 ~ IRQ15	IRQ0 ~ IRQ15 端子 (外部からの入力)	16
内蔵周辺モジュール	DMA コントローラ (DMAC)	8
	ウォッチドッグタイマ (WDT)	1
	A/D 変換器	2
	16 ビットタイマパルスユニット (TPU)	26
	シリアルコミュニケーションインタフェース (SCI)	12
	I ² C バスインタフェース 2 (IIC2)	2
	シンクロナスシリアルコミュニケーションユニット (SSU)	2
	モータコントロール PWM タイマ	2
	コントローラエリアネットワーク (RCAN-ET)	4
	16 ビット PWM タイマ	3
	サウンドジェネレータ (SDG)	4
	時計用タイマ (WAT)	2

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルオフセットが割り当てられています。ベクタ番号とベクタテーブルアドレスオフセットについては「5. 割り込みコントローラ」の表 5.2 を参照してください。

4.6.2 割り込み例外処理

割り込みは、割り込みコントローラによって制御されます。割り込み制御には、2つの割り込み制御モードがあり、NMI 以外の割り込みに 8 レベルの優先順位 / マスクレベルを設定して、多重割り込みの制御を行うことができます。割り込み例外処理を開始させる要因とベクタアドレスは製品によって異なります。詳細は「5. 割り込みコントローラ」を参照してください。

割り込み例外処理は、次のように動作します。

1. PC、CCR、および EXR の内容をスタックに退避します。
2. 割り込みマスクビットを更新し、T ビットを 0 にクリアします。
3. 割り込み要因に対応する例外処理ベクタテーブルアドレスを生成し、ベクタテーブルから例外サービスルーチンスタートアドレスを PC にロードして、その番地からプログラムの実行を開始します。

4.7 命令による例外処理

例外処理を起動する命令には、トラップ命令、不当命令があります。

4.7.1 トラップ命令例外処理

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。トラップ命令例外処理はプログラム実行状態で常に実行可能です。

トラップ命令例外処理は、次のように動作します。

1. PC、CCR、およびEXRの内容をスタックに退避します。
2. 割り込みマスクビットを更新し、Tビットを0にクリアします。
3. TRAPA命令で指定したベクタ番号に対応する例外処理ベクタテーブルアドレスを生成し、ベクタテーブルから例外サービスルーチンスタートアドレスをPCにロードして、その番地からプログラムの実行を開始します。

TRAPA 命令は、命令コード中で指定した 0～3 のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

トラップ命令例外処理実行後の CCR、EXR の状態を表 4.8 に示します。

表 4.8 トラップ命令例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	I2~I0	T
0	1	-	-	-
2	1	-	-	0

【記号説明】

- 1 : 1 にセットされます。
- 0 : 0 にクリアされます。
- : 実行前の値が保持されます。

4. 例外処理

4.7.2 不当命令例外処理

不当命令には、一般不当命令とスロット不当命令があります。

一般不当命令例外処理は、未定義コードを実行すると例外処理を開始します。

スロット不当命令例外処理は、遅延スロットの命令(遅延分岐命令の直後の命令)として、2ワード以上の命令、またはPCを書き換える命令を実行すると例外処理を開始します。

一般不当命令例外処理、およびスロット不当命令例外処理は、プログラム実行状態で常に行実行可能です。

一般不当命令例外処理、およびスロット不当命令例外処理は、次のように動作します。

1. PC、CCR、およびEXRの内容をスタックに退避します。
2. 割り込みマスクビットを更新し、Tビットを0にクリアします。
3. 発生した例外に対応する例外処理ベクタテーブルアドレスを生成し、ベクタテーブルから例外サービスルーチンスタートアドレスをPCにロードして、その番地からプログラムの実行を開始します。

表4.9に不当命令例外処理後のCCR、EXRの状態を示します。

表 4.9 不当命令例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	T	I2~I0
0	1	-	-	-
2	1	-	0	-

【記号説明】

- 1 : 1 にセットされます。
- 0 : 0 にクリアされます。
- : 実行前の値が保持されます。

4.8 例外処理後のスタックの状態

例外処理後のスタックの状態を図 4.3 に示します。

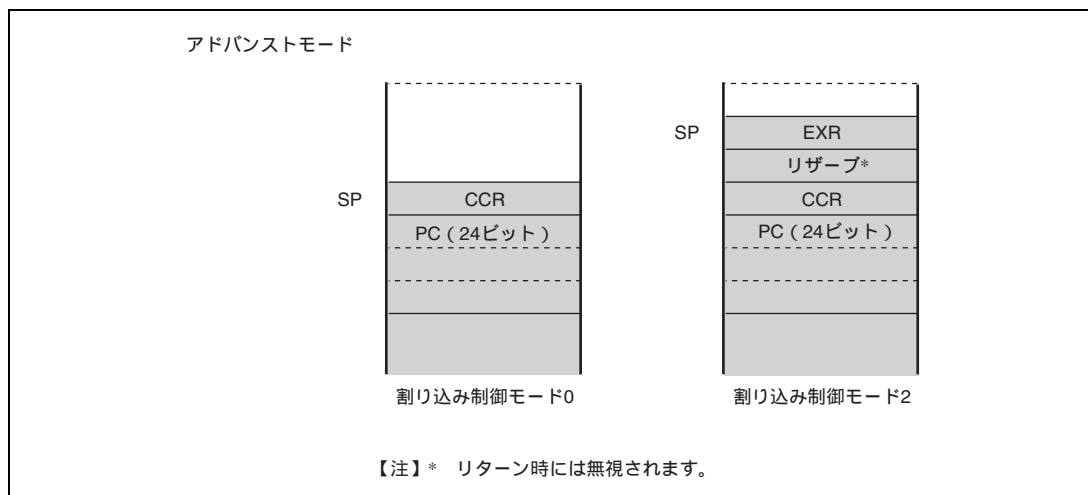


図 4.3 例外処理終了後のスタックの状態

4.9 使用上の注意事項

スタックを操作するアクセスを行う場合は、アドレスの最下位ビットは0とみなされます。スタック領域に対するアクセスは、常にワードサイズまたはロングワードサイズで行い、スタックポインタ (SP : ER7) の内容は奇数にしないでください。

すなわち、レジスタの退避は、

```
PUSH.W Rn (MOV.W Rn, @-SP)
```

```
PUSH.L ERn (MOV.L ERn, @-SP)
```

また、レジスタの復帰は、

```
POP.W Rn (MOV.W @SP+, Rn)
```

```
POP.L ERn (MOV.L @SP+, ERn)
```

を使用してください。

SP を奇数に設定した状態でスタック操作を行うとアドレスエラーが発生します。SP を奇数に設定した場合の動作例を図 4.4 に示します。

4. 例外処理

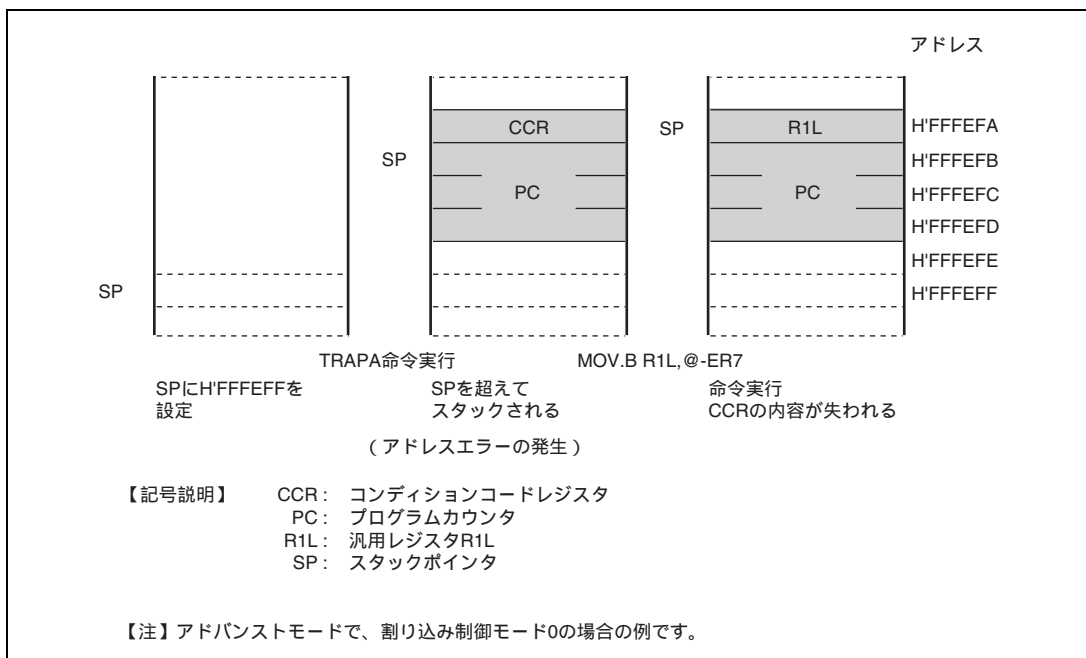


図 4.4 SP を奇数に設定したときの動作

5. 割り込みコントローラ

5.1 特長

- 2種類の割り込み制御モード

割り込みコントロールレジスタ (INTCR) のINTM1、INTM0ビットにより、2種類の割り込み制御モードを選択できます。

- インタラプトプライオリティレジスタ (IPR) により、優先順位を設定可能

IPRにより、以下に示した割り込み要求以外は、モジュールごとに8レベルの優先順位を設定できます。(1) ~ (6)の要求は、最優先のレベル8の割り込みとして常に受け付けられます。

(1) NMI

(2) 不当命令

(3) トレース

(4) トラップ命令

(5) CPUアドレスエラー

(6) DMAアドレスエラー*

【注】 * DMA アドレスエラーの要因発生元は、DMAC です。

- 独立したベクタアドレス

すべての割り込み要因には独立したベクタアドレスが割り当てられており、割り込み処理ルーチンで要因を判別する必要がありません。

- 17本の外部割り込み端子

NMIは最優先の割り込みで常に受け付けられます。NMIは立ち上がりエッジ、または立ち下がりエッジを選択できます。 $\overline{\text{IRQ15}} \sim \overline{\text{IRQ0}}$ は立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかをそれぞれ個別に選択できます。

- DMACの制御

割り込み要求により、DMACを起動することができます。

- CPUの優先レベル制御機能

CPUと、DMACとの間の優先レベルを設定できます。CPUの優先レベルは例外処理により自動設定することが可能で、CPUの割り込み例外処理などをDMACの転送処理よりも優先させることができます。

5. 割り込みコントローラ

割り込みコントローラのブロック図を図 5.1 に示します。

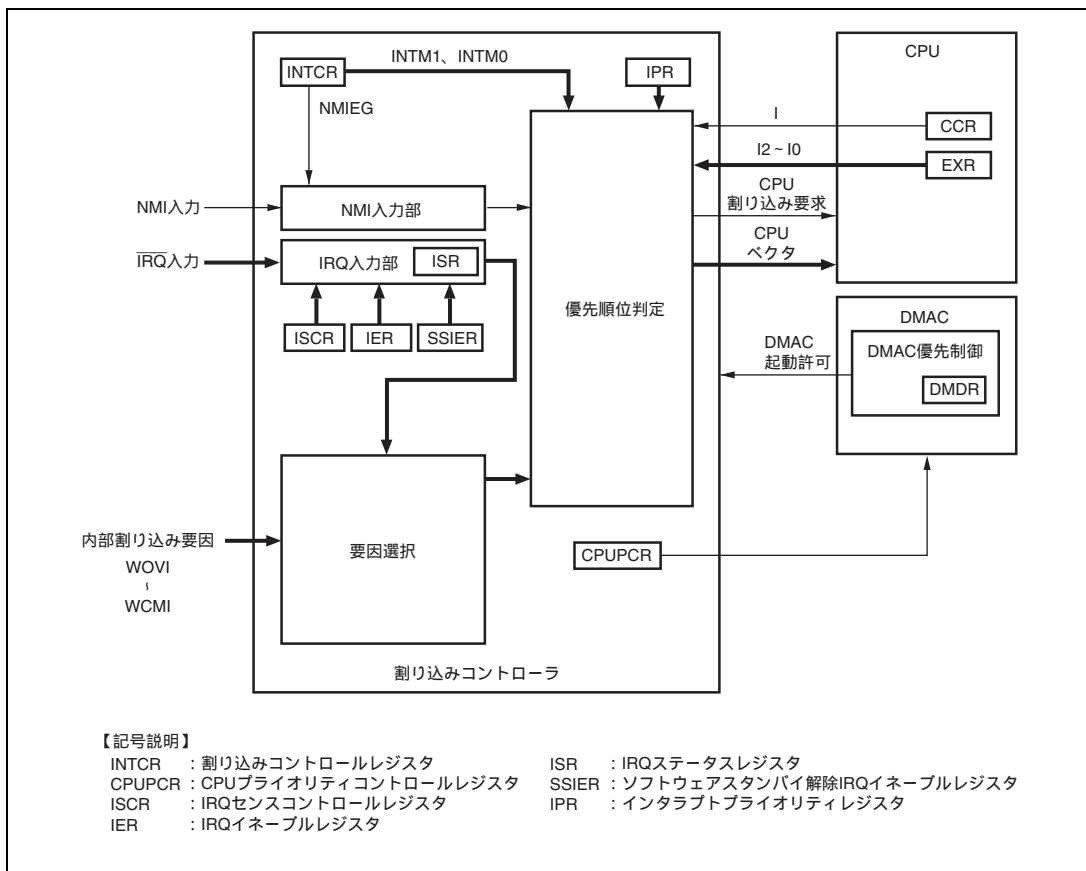


図 5.1 割り込みコントローラのブロック図

5.2 入出力端子

割り込みコントローラの端子構成を表 5.1 に示します。

表 5.1 端子構成

名 称	入出力	機 能
NMI	入力	ノンマスク可能外部割り込み端子 立ち上がりエッジ、または立ち下がりエッジを選択できます。
IRQ15 ~ IRQ0	入力	マスク可能な外部割り込み端子 立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかを個別に選択できます。

5.3 レジスタの説明

割り込みコントローラには以下のレジスタがあります。

- 割り込みコントロールレジスタ (INTCR)
- CPUプライオリティコントロールレジスタ (CPUPCR)
- インタラプトプライオリティレジスタA~G、I、K、L、O、Q、R
(IPRA~IPRG、IPRI、IPRK、IPRL、IPRO、IPRQ、IPRR)
- IRQイネーブルレジスタ (IER)
- IRQセンスコントロールレジスタH、L (ISCRH、ISCRL)
- IRQステータスレジスタ (ISR)
- ソフトウェアスタンバイ解除IRQイネーブルレジスタ (SSIER)

5.3.1 割り込みコントロールレジスタ (INTCR)

INTCR は、割り込み制御モードの選択、NMI の検出エッジの選択を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	-	-	INTM1	INTM0	NMIEG	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。
5 4	INTM1 INTM0	0 0	R/W R/W	割り込み制御選択モード 1、0 割り込みコントローラの割り込み制御モードを選択します。 00: 割り込み制御モード 0 CCR の 1 ビットで割り込みを制御します。 01: 設定禁止 10: 割り込み制御モード 2 EXR の 12~10 ビットと IPR で割り込みを制御します。 11: 設定禁止
3	NMIEG	0	R/W	NMI エッジセレクト NMI 端子の入力エッジ選択を行います。 0: NMI 入力の立ち下がりエッジで割り込み要求を発生 1: NMI 入力の立ち上がりエッジで割り込み要求を発生
2~0	-	すべて0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。

5. 割り込みコントローラ

5.3.2 CPU プライオリティコントロールレジスタ (CPUPCR)

CPUPCR は、DMAC に対して CPU の優先レベルを設定します。CPU の割り込み例外処理などを DMAC の転送処理よりも優先させることができます。DMAC の優先レベルは、各チャンネルごとに DMAC のコントロールレジスタで設定します。

ビット	7	6	5	4	3	2	1	0
ビット名	CPUPCE	-	-	-	IPSETE	CPUP2	CPUP1	CPUP0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/(W)*	R/(W)*	R/(W)*

【注】 * IPSETEビットが1にセットされると、自動更新になるためライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	CPUPCE	0	R/W	CPU プライオリティコントロールイネーブル CPU の優先レベル制御機能を制御します。このビットを 1 にセットすると、DMAC に対して CPU の優先レベル制御が有効になります。 0: CPU は常に優先レベル最低 1: CPU の優先レベル制御は有効
6~4	-	すべて 0	R/W	リザーブビット リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
3	IPSETE	0	R/W	インタラプトプライオリティセットイネーブル 割り込み優先順位を、自動的に CPU の優先レベルに設定する機能を制御します。このビットを 1 にセットすると、CPU の割り込みマスクビット (CCR の I, EXR の I2~I0) の値により、CPUP2~CPUP0 ビットを自動的に設定します。 0: CPUP2~CPUP0 ビットは自動更新しない 1: 割り込みマスクビットの値を CPUP2~CPUP0 ビットに反映する
2	CPUP2	0	R/(W)*	CPU プライオリティレベル 2~0 CPU の優先レベルを設定します。CPUPCE ビットが 1 のとき、DMAC に対して CPU の優先レベル制御が有効になり、これらのビットの設定に従って CPU の処理の優先レベルが設定されます。 000: 優先レベル 0 (最低) 001: 優先レベル 1 010: 優先レベル 2 011: 優先レベル 3 100: 優先レベル 4 101: 優先レベル 5 110: 優先レベル 6 111: 優先レベル 7 (最高)
1	CPUP1	0	R/(W)*	
0	CPUP0	0	R/(W)*	

【注】 * IPSETE ビットが 1 にセットされると、自動更新になるためライトは無効です。

5.3.3 インタラプトプライオリティレジスタ A~G、I、K、L、O、Q、R (IPRA~IPRG、IPRI、IPRK、IPRL、IPRO、IPRQ、IPRR)

IPR は、NMI を除く割り込み要因の優先順位（レベル0~7）を設定します。ビット 14~12、ビット 10~8、ビット 6~4、ビット 2~0 の各 3 ビットに B'000 から B'111 の範囲の値を設定することによって、対応する割り込み要求の優先順位が決まります。各割り込み要因と IPR の対応については、表 5.2 を参照してください。

ビット	15	14	13	12	11	10	9	8
ビット名	-	IPR14	IPR13	IPR12	-	IPR10	IPR9	IPR8
初期値:	0	1	1	1	0	1	1	1
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0
初期値:	0	1	1	1	0	1	1	1
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
14	IPR14	1	R/W	対応する割り込み要因の優先順位を設定します。 000: 優先レベル 0 (最低) 001: 優先レベル 1 010: 優先レベル 2 011: 優先レベル 3 100: 優先レベル 4 101: 優先レベル 5 110: 優先レベル 6 111: 優先レベル 7 (最高)
13	IPR13	1	R/W	
12	IPR12	1	R/W	
11	-	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
10	IPR10	1	R/W	対応する割り込み要因の優先順位を設定します。 000: 優先レベル 0 (最低) 001: 優先レベル 1 010: 優先レベル 2 011: 優先レベル 3 100: 優先レベル 4 101: 優先レベル 5 110: 優先レベル 6 111: 優先レベル 7 (最高)
9	IPR9	1	R/W	
8	IPR8	1	R/W	

5. 割り込みコントローラ

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
6	IPR6	1	R/W	対応する割り込み要因の優先順位を設定します。 000：優先レベル0（最低） 001：優先レベル1 010：優先レベル2 011：優先レベル3 100：優先レベル4 101：優先レベル5 110：優先レベル6 111：優先レベル7（最高）
5	IPR5	1	R/W	
4	IPR4	1	R/W	
3	-	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
2	IPR2	1	R/W	対応する割り込み要因の優先順位を設定します。 000：優先レベル0（最低） 001：優先レベル1 010：優先レベル2 011：優先レベル3 100：優先レベル4 101：優先レベル5 110：優先レベル6 111：優先レベル7（最高）
1	IPR1	1	R/W	
0	IPR0	1	R/W	

5.3.4 IRQ イネーブルレジスタ (IER)

IER は、IRQ15 ~ IRQ0 割り込み要求をイネーブルにします。

ビット	15	14	13	12	11	10	9	8
ビット名	IRQ15E	IRQ14E	IRQ13E	IRQ12E	IRQ11E	IRQ10E	IRQ9E	IRQ8E
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

5. 割り込みコントローラ

ビット	ビット名	初期値	R/W	説 明
15	IRQ15E	0	R/W	IRQ15 イネーブル このビットが1のとき IRQ15 割り込み要求がイネーブルになります。
14	IRQ14E	0	R/W	IRQ14 イネーブル このビットが1のとき IRQ14 割り込み要求がイネーブルになります。
13	IRQ13E	0	R/W	IRQ13 イネーブル このビットが1のとき IRQ13 割り込み要求がイネーブルになります。
12	IRQ12E	0	R/W	IRQ12 イネーブル このビットが1のとき IRQ12 割り込み要求がイネーブルになります。
11	IRQ11E	0	R/W	IRQ11 イネーブル このビットが1のとき IRQ11 割り込み要求がイネーブルになります。
10	IRQ10E	0	R/W	IRQ10 イネーブル このビットが1のとき IRQ10 割り込み要求がイネーブルになります。
9	IRQ9E	0	R/W	IRQ9 イネーブル このビットが1のとき IRQ9 割り込み要求がイネーブルになります。
8	IRQ8E	0	R/W	IRQ8 イネーブル このビットが1のとき IRQ8 割り込み要求がイネーブルになります。
7	IRQ7E	0	R/W	IRQ7 イネーブル このビットが1のとき IRQ7 割り込み要求がイネーブルになります。
6	IRQ6E	0	R/W	IRQ6 イネーブル このビットが1のとき IRQ6 割り込み要求がイネーブルになります。
5	IRQ5E	0	R/W	IRQ5 イネーブル このビットが1のとき IRQ5 割り込み要求がイネーブルになります。
4	IRQ4E	0	R/W	IRQ4 イネーブル このビットが1のとき IRQ4 割り込み要求がイネーブルになります。
3	IRQ3E	0	R/W	IRQ3 イネーブル このビットが1のとき IRQ3 割り込み要求がイネーブルになります。
2	IRQ2E	0	R/W	IRQ2 イネーブル このビットが1のとき IRQ2 割り込み要求がイネーブルになります。
1	IRQ1E	0	R/W	IRQ1 イネーブル このビットが1のとき IRQ1 割り込み要求がイネーブルになります。
0	IRQ0E	0	R/W	IRQ0 イネーブル このビットが1のとき IRQ0 割り込み要求がイネーブルになります。

5. 割り込みコントローラ

5.3.5 IRQ センスコントロールレジスタ H、L (ISCRH、ISCRL)

ISCR は、 $\overline{\text{IRQ15}} \sim \overline{\text{IRQ0}}$ 入力から割り込み要求を発生させる要因を選択します。

ISCR の設定変更時に、内部動作により ISR の IRQnF ($n=0 \sim 15$) が意図しないで 1 にセットされる場合があります。このとき、 IRQn 割り込み要求が許可されていると割り込み例外処理を実行します。この意図しない割り込みを防ぐには、ISCR の設定変更を IRQn 割り込みを禁止した状態で行い、その後 ISR の IRQnF を 0 にクリアしてください。

・ ISCRH

ビット	15	14	13	12	11	10	9	8
ビット名	IRQ15SR	IRQ15SF	IRQ14SR	IRQ14SF	IRQ13SR	IRQ13SF	IRQ12SR	IRQ12SF
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	IRQ11SR	IRQ11SF	IRQ10SR	IRQ10SF	IRQ9SR	IRQ9SF	IRQ8SR	IRQ8SF
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

・ ISCRL

ビット	15	14	13	12	11	10	9	8
ビット名	IRQ7SR	IRQ7SF	IRQ6SR	IRQ6SF	IRQ5SR	IRQ5SF	IRQ4SR	IRQ4SF
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	IRQ3SR	IRQ3SF	IRQ2SR	IRQ2SF	IRQ1SR	IRQ1SF	IRQ0SR	IRQ0SF
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• ISCRH

ビット	ビット名	初期値	R/W	説明
15	IRQ15SR	0	R/W	IRQ15 センスコントロールライズ IRQ15 センスコントロールフォール 00: $\overline{\text{IRQ15}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ15}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ15}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ15}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
14	IRQ15SF	0	R/W	
13	IRQ14SR	0	R/W	IRQ14 センスコントロールライズ IRQ14 センスコントロールフォール 00: $\overline{\text{IRQ14}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ14}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ14}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ14}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
12	IRQ14SF	0	R/W	
11	IRQ13SR	0	R/W	IRQ13 センスコントロールライズ IRQ13 センスコントロールフォール 00: $\overline{\text{IRQ13}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ13}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ13}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ13}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
10	IRQ13SF	0	R/W	
9	IRQ12SR	0	R/W	IRQ12 センスコントロールライズ IRQ12 センスコントロールフォール 00: $\overline{\text{IRQ12}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ12}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ12}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ12}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
8	IRQ12SF	0	R/W	
7	IRQ11SR	0	R/W	IRQ11 センスコントロールライズ IRQ11 センスコントロールフォール 00: $\overline{\text{IRQ11}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ11}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ11}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ11}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
6	IRQ11SF	0	R/W	
5	IRQ10SR	0	R/W	IRQ10 センスコントロールライズ IRQ10 センスコントロールフォール 00: $\overline{\text{IRQ10}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ10}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ10}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ10}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
4	IRQ10SF	0	R/W	

5. 割り込みコントローラ

ビット	ビット名	初期値	R/W	説明
3	IRQ9SR	0	R/W	IRQ9 センスコントロールライズ
2	IRQ9SF	0	R/W	IRQ9 センスコントロールフォール 00: $\overline{\text{IRQ9}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ9}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ9}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ9}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
1	IRQ8SR	0	R/W	IRQ8 センスコントロールライズ
0	IRQ8SF	0	R/W	IRQ8 センスコントロールフォール 00: $\overline{\text{IRQ8}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ8}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ8}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ8}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生

• ISCR1

ビット	ビット名	初期値	R/W	説明
15	IRQ7SR	0	R/W	IRQ7 センスコントロールライズ
14	IRQ7SF	0	R/W	IRQ7 センスコントロールフォール 00: $\overline{\text{IRQ7}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ7}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ7}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ7}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
13	IRQ6SR	0	R/W	IRQ6 センスコントロールライズ
12	IRQ6SF	0	R/W	IRQ6 センスコントロールフォール 00: $\overline{\text{IRQ6}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ6}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ6}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ6}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
11	IRQ5SR	0	R/W	IRQ5 センスコントロールライズ
10	IRQ5SF	0	R/W	IRQ5 センスコントロールフォール 00: $\overline{\text{IRQ5}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ5}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ5}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ5}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
9	IRQ4SR	0	R/W	IRQ4 センスコントロールライズ
8	IRQ4SF	0	R/W	IRQ4 センスコントロールフォール 00: $\overline{\text{IRQ4}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ4}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ4}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ4}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
7	IRQ3SR	0	R/W	IRQ3 センスコントロールライズ
6	IRQ3SF	0	R/W	IRQ3 センスコントロールフォール 00: $\overline{\text{IRQ3}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ3}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ3}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ3}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
5	IRQ2SR	0	R/W	IRQ2 センスコントロールライズ
4	IRQ2SF	0	R/W	IRQ2 センスコントロールフォール 00: $\overline{\text{IRQ2}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ2}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ2}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ2}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生

5. 割り込みコントローラ

ビット	ビット名	初期値	R/W	説明
3	IRQ1SR	0	R/W	IRQ1 センスコントロールライズ
2	IRQ1SF	0	R/W	IRQ1 センスコントロールフォール 00 : $\overline{\text{IRQ1}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ1}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ1}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ1}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
1	IRQ0SR	0	R/W	IRQ0 センスコントロールライズ
0	IRQ0SF	0	R/W	IRQ0 センスコントロールフォール 00 : $\overline{\text{IRQ0}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ0}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ0}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ0}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生

5.3.6 IRQ ステータスレジスタ (ISR)

ISR は、IRQ15 ~ IRQ0 割り込み要求レジスタです。

ビット	15	14	13	12	11	10	9	8
ビット名	IRQ15F	IRQ14F	IRQ13F	IRQ12F	IRQ11F	IRQ10F	IRQ9F	IRQ8F
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*
ビット	7	6	5	4	3	2	1	0
ビット名	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするための0ライトのみ可能です。
フラグのクリアは、ビット操作命令、またはメモリ演算命令を使用してください。

ビット	ビット名	初期値	R/W	説 明
15	IRQ15F	0	R/(W)*	[セット条件]
14	IRQ14F	0	R/(W)*	• ISCR で選択した割り込み要因が発生したとき
13	IRQ13F	0	R/(W)*	[クリア条件]
12	IRQ12F	0	R/(W)*	• 1 の状態をリードした後、0 をライトしたとき
11	IRQ11F	0	R/(W)*	• Low レベル検出設定の状態、かつ $\overline{\text{IRQn}}$ 入力が High レベルの状態で割り込み例外処理を実行したとき
10	IRQ10F	0	R/(W)*	
9	IRQ9F	0	R/(W)*	• 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時の状態で IRQn 割り込み例外処理を実行したとき
8	IRQ8F	0	R/(W)*	
7	IRQ7F	0	R/(W)*	
6	IRQ6F	0	R/(W)*	
5	IRQ5F	0	R/(W)*	
4	IRQ4F	0	R/(W)*	
3	IRQ3F	0	R/(W)*	
2	IRQ2F	0	R/(W)*	
1	IRQ1F	0	R/(W)*	
0	IRQ0F	0	R/(W)*	

【注】 * フラグをクリアするための 0 ライトのみ可能です。
 フラグのクリアは、ビット操作命令、またはメモリ演算命令を使用してください。

5. 割り込みコントローラ

5.3.7 ソフトウェアスタンバイ解除 IRQ イネーブルレジスタ (SSIER)

SSIER は、ソフトウェアスタンバイ状態から復帰するために使用する $\overline{\text{IRQ15}} \sim \overline{\text{IRQ0}}$ 端子を設定します。

ビット	15	14	13	12	11	10	9	8
ビット名	SSI15	SSI14	SSI13	SSI12	SSI11	SSI10	SSI9	SSI8
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	SSI7	SSI6	SSI5	SSI4	SSI3	SSI2	SSI1	SSI0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	SSI15	0	R/W	ソフトウェアスタンバイ解除 IRQ 設定 SSIn ビットは、ソフトウェアスタンバイ状態から復帰するために使用する $\overline{\text{IRQn}}$ 端子を設定します (n=15~0)。 0: IRQn 割り込み要求は、ソフトウェアスタンバイ状態ではサンプリングされません。 1: ソフトウェアスタンバイ状態で IRQn 割り込み要求があると、発振安定時間を経てソフトウェアスタンバイ状態から復帰します。
14	SSI14	0	R/W	
13	SSI13	0	R/W	
12	SSI12	0	R/W	
11	SSI11	0	R/W	
10	SSI10	0	R/W	
9	SSI9	0	R/W	
8	SSI8	0	R/W	
7	SSI7	0	R/W	
6	SSI6	0	R/W	
5	SSI5	0	R/W	
4	SSI4	0	R/W	
3	SSI3	0	R/W	
2	SSI2	0	R/W	
1	SSI1	0	R/W	
0	SSI0	0	R/W	

5.4 割り込み要因

5.4.1 外部割り込み要因

外部割り込みには、NMI、IRQ15～IRQ0の17要因があります。このうち、外部割り込みはソフトウェアスタンバイモードからの復帰に使用できます。

(1) NMI 割り込み

ノンマスクابل割り込み要求 NMI は最優先の外部割り込み要求で、割り込み制御モードや CPU の割り込みマスキットの状態にかかわらず常に受け付けられます。NMI 割り込み要求を NMI 入力の立ち上がりエッジと、立ち下がりエッジのどちらで発生させるかは、INTCR の NMIEG ビットで選択できます。

NMI 割り込みが発生すると、割り込みコントローラはエラー発生とみなして次の制御を行います。

- DMACのDMDR_0のERRFビットを1にセット
- DMACの全チャンネルのDMDRのDTEビットを0にクリア、および強制転送終了

(2) IRQn 割り込み

IRQn 割り込みは、 $\overline{\text{IRQn}}$ 入力により割り込み要求を発生します (n=15～0)。

IRQn 割り込みには以下の特長があります。

- $\overline{\text{IRQn}}$ 入力のLowレベル、立ち下がりエッジ、立ち上がりエッジおよび両エッジのいずれで割り込み要求を発生させるか、ISCRで選択できます。
- IRQn割り込み要求は、IERにより選択できます。
- IPRにより、割り込み要因の優先順位を設定できます。
- IRQn割り込み要求のステータスは、ISRに表示されます。ISRのフラグは、ソフトウェアで0にクリアすることができます。ISRのフラグのクリアは、ビット操作命令、またはメモリ演算命令を使用してください。

IRQn 割り込みの検出はPIICR、P6ICR の設定により有効となり、当該端子の出力の設定に依存しません。したがって、外部割り込み入力端子として使用する場合には、対応する DDR を 0 にクリアして、その他の機能の入出力端子として使用しないでください。

IRQn 割り込みのブロック図を図 5.2 に示します。

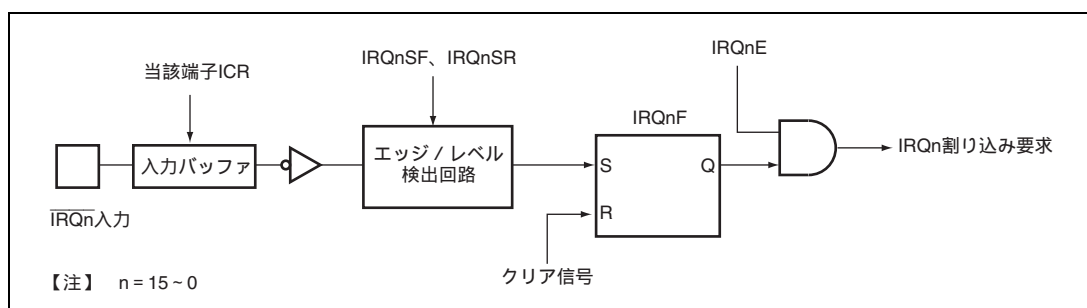


図 5.2 IRQn 割り込みのブロック図

5. 割り込みコントローラ

IRQn 割り込み要求を ISCR の設定により $\overline{\text{IRQn}}$ 入力の Low レベルで発生するようにした場合、割り込み要求時には当該 $\overline{\text{IRQn}}$ 入力を割り込み処理が開始されるまで Low レベルに保持してください。その後、割り込み処理ルーチン内で、当該 $\overline{\text{IRQn}}$ 入力を High レベルに戻し、かつ IRQnF を 0 にクリアしてください。割り込み処理が開始される前に、当該 $\overline{\text{IRQn}}$ 入力を High レベルに戻すと、当該割り込みが実行されない場合があります。

5.4.2 内部割り込み

内蔵周辺モジュールからの内部割り込み要因には以下の特長があります。

- 各内蔵周辺モジュールには、割り込み要求のステータスを表示するフラグとこれらの割り込みイネーブルビットがあり、個別に制御することができます。イネーブルビットが1のとき、割り込み要求が割り込みコントローラに送られます。
- IPRによって、割り込み要因の優先順位を設定できます。
- TPU、SCIなどの割り込み要求により、DMACを起動することができます。
- DMACの起動は、CPUに対するDMACの優先レベル制御機能により優先レベルを設定できます。

5.5 割り込み例外処理ベクタテーブル

割り込み例外処理要因、ベクタテーブルアドレスオフセット、および割り込み優先順位の一覧を表 5.2 に示します。デフォルトの優先順位はベクタ番号の小さいものほど高くなっています。割り込み制御モード 2 に設定されている場合、優先順位は IPR 設定単位ごとに IPR により変更することができます。同一優先順位の IPR に設定された割り込み要因は、デフォルトの優先順位に従います。同一優先順位の IPR 設定単位内の優先順位は固定されています。

表 5.2 割り込み要因とベクタアドレスオフセットおよび割り込み優先順位

割り込み発生源	名称	ベクタ番号	ベクタアドレス	IPR	DMAC
外部端子	NMI	7	H'001C	-	-
	IRQ0	64	H'0100	IPRA14 ~ IPRA12	-
	IRQ1	65	H'0104	IPRA10 ~ IPRA8	-
	IRQ2	66	H'0108	IPRA6 ~ IPRA4	-
	IRQ3	67	H'010C	IPRA2 ~ IPRA0	-
	IRQ4	68	H'0110	IPRB14 ~ IPRB12	-
	IRQ5	69	H'0114	IPRB10 ~ IPRB8	-
	IRQ6	70	H'0118	IPRB6 ~ IPRB4	-
	IRQ7	71	H'011C	IPRB2 ~ IPRB0	-
	IRQ8	72	H'0120	IPRC14 ~ IPRC12	-
	IRQ9	73	H'0124	IPRC10 ~ IPRC8	-
	IRQ10	74	H'0128	IPRC6 ~ IPRC4	-
	IRQ11	75	H'012C	IPRC2 ~ IPRC0	-
	IRQ12	76	H'0130	IPRD14 ~ IPRD12	-
	IRQ13	77	H'0134	IPRD10 ~ IPRD8	-
	IRQ14	78	H'0138	IPRD6 ~ IPRD4	-
IRQ15	79	H'013C	IPRD2 ~ IPRD0	-	
リザーブ	システム予約	80	H'0140	-	-
WDT	WOVI	81	H'0144	IPRE10 ~ IPRE8	-
リザーブ	システム予約	82	H'0148	-	-
		83	H'014C		-
		84	H'0150		-
		85	H'0154		-
A/D_0	ADI0	86	H'0158	IPRF10 ~ IPRF8	
A/D_1	ADI1	87	H'015C		
TPU_0	TGI0A	88	H'0160	IPRF6 ~ IPRF4	
	TGI0B	89	H'0164		-
	TGI0C	90	H'0168		-
	TGI0D	91	H'016C		-
	TCI0V	92	H'0170		-
TPU_1	TGI1A	93	H'0174	IPRF2 ~ IPRF0	
	TGI1B	94	H'0178		-
	TCI1V	95	H'017C		-
	TCI1U	96	H'0180		-

5. 割り込みコントローラ

割り込み発生元	名称	ベクタ番号	ベクタアドレス	IPR	DMAC
TPU_2	TGI2A	97	H'0184	IPRG14 ~ IPRG12	
	TGI2B	98	H'0188		-
	TCI2V	99	H'018C		-
	TCI2U	100	H'0190		-
TPU_3	TGI3A	101	H'0194	IPRG10 ~ IPRG8	
	TGI3B	102	H'0198		-
	TGI3C	103	H'019C		-
	TGI3D	104	H'01A0		-
	TCI3V	105	H'01A4		-
TPU_4	TGI4A	106	H'01A8	IPRG6 ~ IPRG4	
	TGI4B	107	H'01AC		-
	TCI4V	108	H'01B0		-
	TCI4U	109	H'01B4		-
TPU_5	TGI5A	110	H'01B8	IPRG2 ~ IPRG0	
	TGI5B	111	H'01BC		-
	TCI5V	112	H'01C0		-
	TCI5U	113	H'01C4		-
リザーブ	システム予約	114 ~ 127	H'01C8 ~ H'01FC	-	-
DMAC	DMTEND0	128	H'0200	IPRI14 ~ IPRI12	-
	DMTEND1	129	H'0204	IPRI10 ~ IPRI8	-
	DMTEND2	130	H'0208	IPRI6 ~ IPRI4	-
	DMTEND3	131	H'020C	IPRI2 ~ IPRI0	-
リザーブ	システム予約	132	H'0210	-	-
		133	H'0214		-
		134	H'0218		-
		135	H'021C		-
DMAC	DMEEND0	136	H'0220	IPRK14 ~ IPRK12	-
	DMEEND1	137	H'0224		-
	DMEEND2	138	H'0228		-
	DMEEND3	139	H'022C		-
リザーブ	システム予約	140	H'0230	-	-
		141	H'0234		-
		142	H'0238		-
		143	H'023C		-

5. 割り込みコントローラ

割り込み発生元	名称	ベクタ番号	ベクタアドレス	IPR	DMAC
SCI_0	ERI_0	144	H'0240	IPRK6 ~ IPRK4	-
	RXL_0	145	H'0244		
	TXI_0	146	H'0248		
	TEI_0	147	H'024C		-
リザーブ	システム予約	148	H'0250	-	-
		149	H'0254		-
		150	H'0258		-
		151	H'025C		-
SCI_2	ERI_2	152	H'0260	IPRL14 ~ IPRL12	-
	RXL_2	153	H'0264		
	TXI_2	154	H'0268		
	TEI_2	155	H'026C		-
リザーブ	システム予約	156 ~ 159	H'0270 ~ H'027C	-	-
SCI_4	ERI_4	160	H'0280	IPRL6 ~ IPRL4	-
	RXL_4	161	H'0284		
	TXI_4	162	H'0288		
	TEI_4	163	H'028C		-
リザーブ	システム予約	164 ~ 191	H'0290 ~ H'02FC	-	-
SCI_5	ERI_5	192	H'0300	IPRO2 ~ IPRO0	-
	RXL_5	193	H'0304		
	TXI_5	194	H'0308		
	TEI_5	195	H'030C		-
リザーブ	システム予約	196 ~ 215	H'0310 ~ H'035C	-	-
IIC2	IIC10	216	H'0360	IPRQ6 ~ IPRQ4	-
	システム予約	217	H'0364		-
	IIC11	218	H'0368		-
	システム予約	219	H'036C		-

5. 割り込みコントローラ

割り込み発生元	名称	ベクタ番号	ベクタアドレス	IPR	DMAC
RCAN-ET_0	RM0_0	220	H'0370	IPRQ2 ~ IPRQ0	
RCAN-ET_1	RM0_1	221	H'0374		
RCAN-ET_0	ERS0_0/OVR0_0/ RM1_0/SLE0_0	222	H'0378		-
RCAN-ET_1	ERS0_1/OVR0_1/ RM1_1/SLE0_1	223	H'037C		-
モータコントロー ル PWM_0	CMI0_0	224	H'0380	IPRR14 ~ IPRR12	
モータコントロー ル PWM_1	CMI1_0	225	H'0384		
時計用タイマ (WAT)	WCMI	226	H'0388		-
リザーブ	システム予約	227	H'038C		-
16ビット PWM_0	CMI0_1	228	H'0390	IPRR10 ~ IPRR8	
16ビット PWM_1	CMI1_1	229	H'0394		
16ビット PWM_2	CMI2_1	230	H'0398		-
リザーブ	システム予約	231	H'039C		-
SDG_0	SGL_0	232	H'03A0	IPRR6 ~ IPRR4	
SDG_1	SGL_1	233	H'03A4		
SSU* ¹ _0	SSERI_0/ SSRXI_0/SSTXI_0	234	H'03A8		-
SSU* ¹ _1	SSERI_1/ SSRXI_1/SSTXI_1	235	H'03AC		-
SDG_2	SGL_2	236	H'03B0	IPRR2 ~ IPRR0	
SDG_3	SGL_3	237	H'03B4		
時計用タイマ (WAT)* ²	WCMI	238	H'03B8		-
リザーブ	システム予約	239	H'03BC		-

【注】 *1 SSU : Synchronous Serial communication Unit

*2 ソフトウェアスタンバイモードからの復帰時は、本割り込みの発生となります。

5.6 割り込み制御モードと割り込み動作

割り込みコントローラには、割り込み制御モード0と割り込み制御モード2の2種類の割り込み制御モードがあります。割り込み制御モードの選択は、INTCRで行います。割り込み制御モード0と割り込み制御モード2の相違点を表5.3に示します。

表 5.3 割り込み制御モード

割り込み制御モード	割り込み優先順位	割り込みマスクビット	説明
0	デフォルト	I	各割り込み要因の優先順位は、デフォルトで固定されています。NMIを除く割り込み要因は、Iビットによりマスクされます。
2	IPR	I2~I0	IPRにより、NMIを除く各割り込み要因に8レベルの優先順位を設定できます。I2~I0ビットにより、8レベルの割り込みマスク制御を行います。

5.6.1 割り込み制御モード0

割り込み制御モード0では、NMIを除く割り込み要求は、CPUのCCRのIビットによってマスクされます。割り込み受け付け動作のフローチャートを図5.3に示します。

1. 割り込みイネーブルビットがIにセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. CCRのIビットがIにセットされているときは、割り込みコントローラはNMI以外の割り込み要求を保留します。Iビットが0にクリアされているときは、割り込み要求を受け付けます。
3. 複数の割り込み要求があるときは、割り込みコントローラは優先順位に従って最も優先度の高い割り込み要求を選択して、CPUに対して割り込み処理を要求し、その他は保留します。
4. CPUは割り込み要求を受け付けると、実行中の命令の処理が終了した後、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PCとCCRがスタック領域に退避されます。PCにはリターン後に実行する最初の命令のアドレスが退避されます。
6. CCRのIビットをIにセットします。これにより、NMIを除く割り込みがマスクされます。
7. CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

5. 割り込みコントローラ

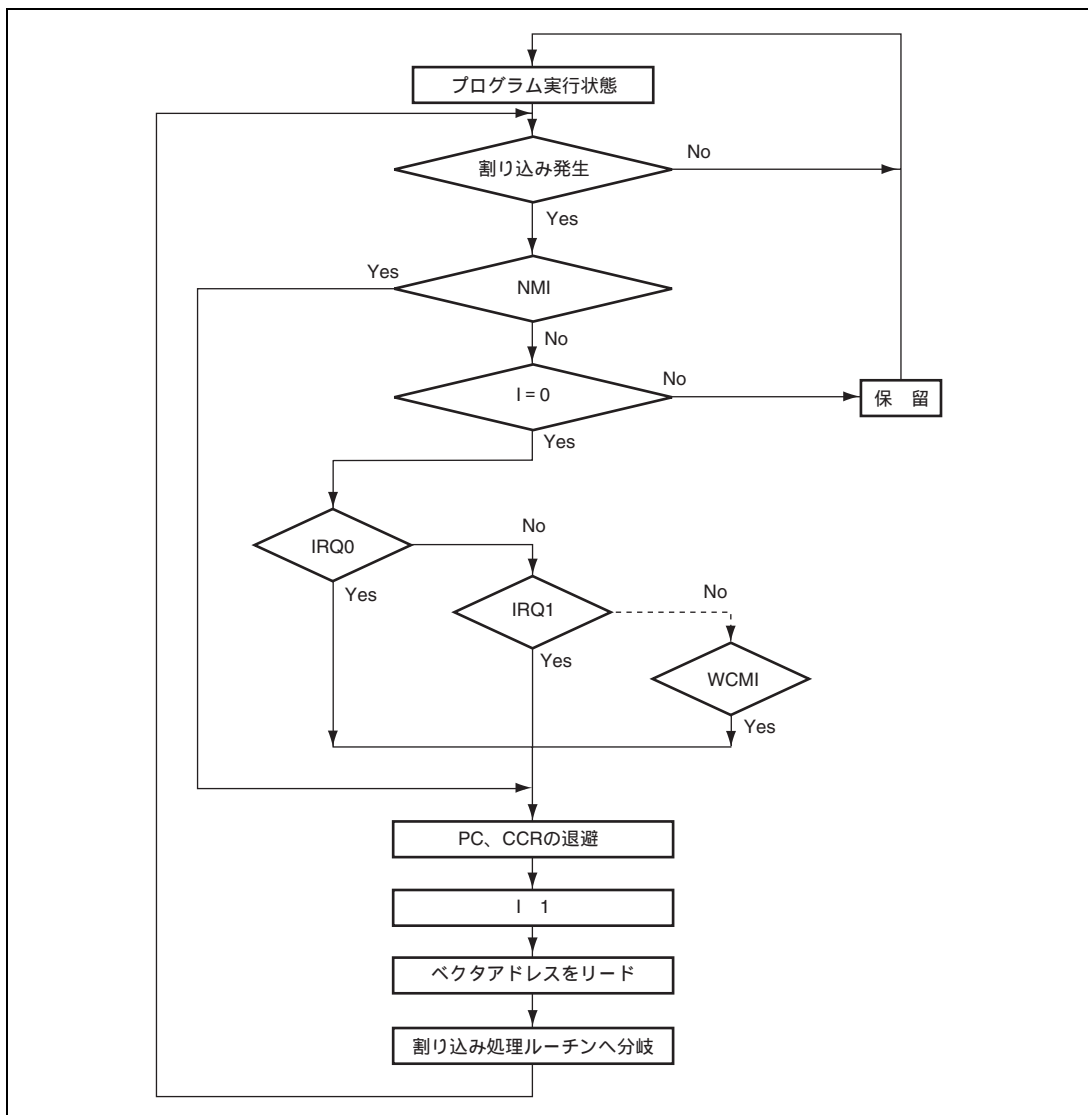


図 5.3 割り込み制御モード 0 の割り込み受け付けまでのフロー

5.6.2 割り込み制御モード2

割り込み制御モード2では、NMIを除く割り込み要求は、CPUのEXRの割り込みマスクレベル（I2～I0ビット）とIPRとの比較によって8レベルのマスク制御を行います。割り込み受け付け動作のフローチャートを図5.4に示します。

1. 割り込みイネーブルビットが1にセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. 複数の割り込み要求があるときは、割り込みコントローラはIPRに設定された割り込み要因の優先順位に従って最も優先レベルの高い割り込みを選択し、それよりも優先レベルの低い割り込み要求は保留します。優先レベルが同一の場合は、表5.2に示すデフォルトの優先順位に従って割り込み要求を選択します。
3. 選択した割り込み要求の優先順位とEXRの割り込みマスクレベルとを比較します。設定されていたマスクレベル以下であれば保留し、割り込みマスクレベルより優先順位が高ければCPUに対して割り込み処理を要求します。
4. CPUは割り込み要求を受け付けると、実行中の命令の処理が終了した後、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PC、CCR、およびEXRがスタック領域に退避されます。PCにはリターン後に実行する最初の命令のアドレスが退避されます。
6. EXRのTビットが0にクリアされます。割り込みマスクレベルは受け付けた割り込みの優先レベルに書き換えられます。受け付けた割り込みがNMIのときは割り込みマスクレベルはH'7に設定されます。
7. CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

5. 割り込みコントローラ

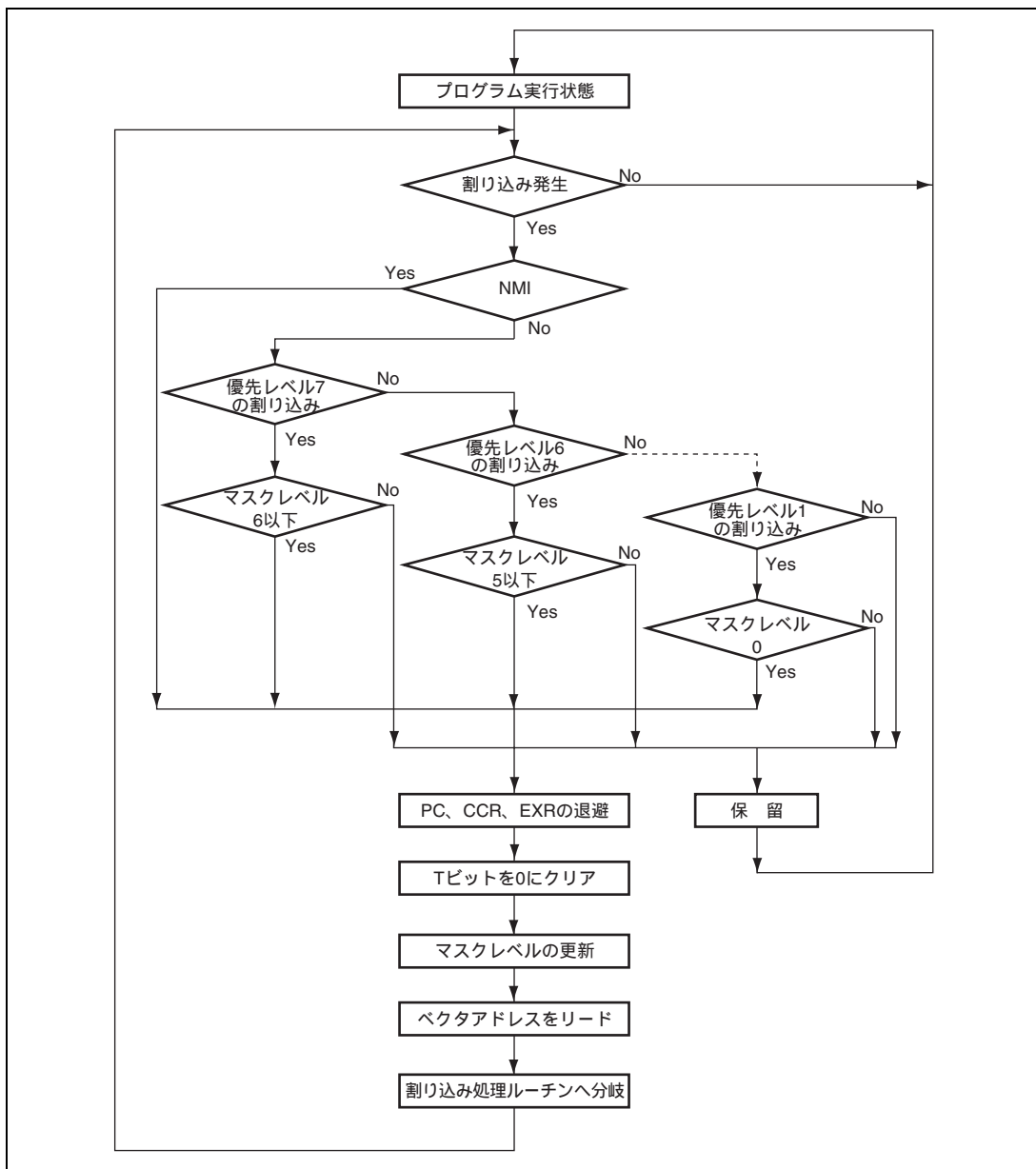


図 5.4 割り込み制御モード 2 の割り込み受け付けまでのフロー

5.6.3 割り込み例外処理シーケンス

割り込み例外処理シーケンスを図 5.5 に示します。アドバンスモードで割り込み制御モード 0、プログラム領域およびスタック領域が内蔵メモリの場合の例です。

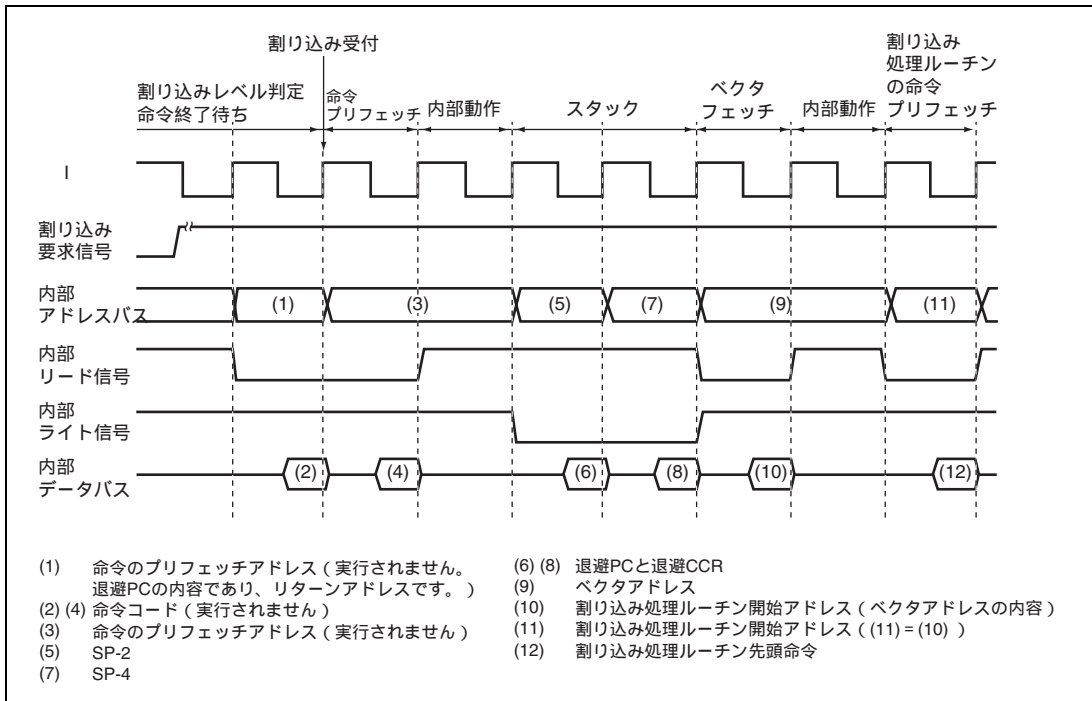


図 5.5 割り込み例外処理

5. 割り込みコントローラ

5.6.4 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理ルーチンの先頭命令が実行されるまでの割り込み応答時間を表 5.4 に示します。表 5.4 の実行状態の記号については表 5.5 を参照してください。本 LSI は内蔵メモリに対して高速ワードアクセスが可能のため、プログラム領域を内蔵 ROM、スタック領域を内蔵 RAM に設けることで処理速度の向上が図れます。

表 5.4 割り込み応答時間

No.	実行状態	ノーマルモード*5		アドバンスモード		マキシマムモード*5	
		割り込み制御 モード 0	割り込み制御 モード 2	割り込み制御 モード 0	割り込み制御 モード 2	割り込み制御 モード 0	割り込み制御 モード 2
1	割り込み優先順位 判定*1	3					
2	実行中の命令が 終了するまでの 待ちステート数*2	1 ~ 19 + 2 · Si					
3	PC、CCR および EXR のスタック	Sk ~ 2 · Sk *6	2 · Sk	Sk ~ 2 · Sk *6	2 · Sk	2 · Sk	2 · Sk
4	ベクタフェッチ	Sh					
5	命令フェッチ*3	2 · Si					
6	内部処理*4	2					
合計 (内蔵メモリ使用時)		10 ~ 31	11 ~ 31	10 ~ 31	11 ~ 31	11 ~ 31	11 ~ 31

- 【注】 *1 内部割り込みの場合 2 ステートとなります。
 *2 MULXS、DIVXS 命令について示しています。
 *3 割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチです。
 *4 割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理です。
 *5 本 LSI では使用できません。
 *6 SP の値を 4n に設定すると Sk、4n+2 に設定すると 2 · Sk となります。

表 5.5 割り込み例外処理の実行状態のステート数

記号	アクセス対象	アクセス対象				
		内部メモリ	外部デバイス			
			8 ビットバス		16 ビットバス	
			2 ステート アクセス	3 ステート アクセス	2 ステート アクセス	3 ステート アクセス
ベクタフェッチ	Sh	1	8	12 + 4m	4	6 + 2m
命令フェッチ	Si	1	4	6 + 2m	2	3 + m
スタック操作	Sk	1	8	12 + 4m	4	6 + 2m

【記号説明】

m : 外部デバイスアクセス時のウェイトステート数

5.6.5 割り込みによる DMAC の起動

割り込み要求により、DMAC を起動することができます。この場合、以下の選択を行うことができます。

1. CPUに対する割り込み要求
2. DMACに対する起動要求
3. 1、2の複数の選択

なお、DMAC を起動できる割り込み要求については、表 5.2 および「7. DMA コントローラ (DMAC)」を参照してください。

図 5.6 に、DMAC と割り込みコントローラのブロック図を示します。

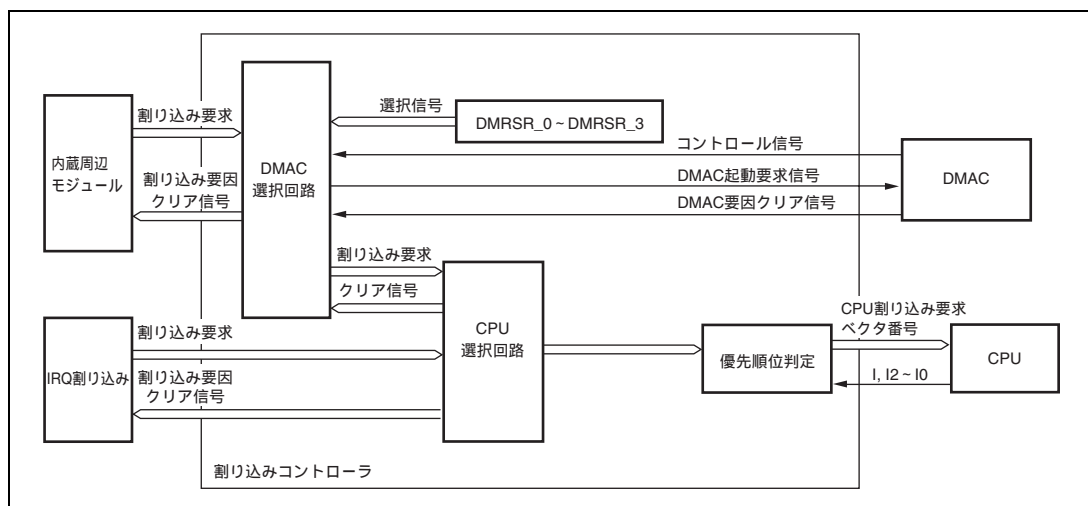


図 5.6 DMAC と割り込みコントローラ

5. 割り込みコントローラ

(1) 割り込み要因の選択

DMAC の各チャンネルの起動要因は、DMRSR により選択します。選択した起動要因は、選択回路を經由して DMAC に入力されます。DMDR の DTA ビットが 1 にセットされていると、その DMAC の起動要因になった割り込み要因は CPU の割り込み要因になりません。

DMAC に管理されている割り込み以外の割り込み要因は、CPU 割り込み要求となります。

同じ割り込み要因で、DMAC の優先レベルより CPU の優先レベルを高く設定しないでください。設定して動作させたときは、DMAC の転送が行われぬか、誤動作する恐れがあります。

(2) 動作順序

同一の割り込みを DMAC の起動要因および CPU の割り込み要因に選択した場合、おのこの個別に動作を行います。

表 5.6 に、DMAC の DMDR の DTA ビットの設定による割り込み要因の選択と割り込み要因クリア制御を示します。

表 5.6 割り込み要因の選択とクリア制御

設定内容	割り込み要因選択 / クリア制御	
DMAC		
DTA	DMAC	CPU
0		
1		x

【記号説明】

：当該割り込みを使用します。割り込み要因のクリアを行います。

(CPU は割り込み処理ルーチンで、要因フラグをクリアしてください。)

：当該割り込みを使用します。割り込み要因をクリアしません。

x : 当該割り込みは使用できません。

(3) 使用上の注意

SCI および A/D 変換器の割り込み要因は、DMAC が所定のレジスタをリード / ライトすると表 5.6 の設定に従ってクリアされます。

同一の割り込みで、DMAC の複数のチャンネルを起動する場合は、同じプライオリティに設定してください。

5.7 CPU に対する DMAC の優先レベル制御機能

割り込みコントローラには、CPU の優先レベルに対して DMAC に優先レベルを設定することにより、DMAC と CPU との間の優先レベルを制御する機能があります。CPU の優先レベルは例外処理により自動設定することが可能で、CPU の割り込み例外処理時などに DMAC の転送処理に対して優先実行が可能になります。

CPU の優先レベルは、CPUPCR の CPUP2 ~ CPUP0 ビットで設定します。DMAC の優先レベルは、チャンネルごとに DMA モードコントロールレジスタ 0 ~ 3 (DMDR_0 ~ DMDR_3) の DMAP2 ~ DMAP0 ビットで設定します。

CPU に対する DMAC の優先レベル制御機能は、CPUPCR の CPUPCE ビットを 1 にセットすると有効になります。CPUPCE ビットが 1 のとき、DMAC の起動要因はおのこの優先レベルによって制御します。

DMAC の優先レベルは、チャンネルごとに設定できます。DMAC の起動要因は、対応するチャンネルの DMAP2 ~ DMAP0 ビットで設定される DMAC の優先レベルと、CPU の優先レベルにより制御します。CPU の優先レベルが高い場合は、当該チャンネルの起動要因は保留されます。保留された起動要因は、保留されている条件 (CPUPCE=1 かつ CPUP2 ~ 0 > DMAP2 ~ 0) が解除されると有効になります。チャンネルごとに優先レベルを異なる値に設定した場合は、優先レベルの高いチャンネルは転送処理を継続して実行し、CPU よりも優先レベルが低いチャンネルのみが起動要因を保留されます。

CPU の優先レベルを設定する方法は、CPUPCR の IPSETE ビットにより 2 種類の方法を選択できます。IPSETE ビットを 1 にセットすると、CPU の割り込みマスクビットを自動的に優先レベルにセットする機能が有効になります。IPSETE ビットを 0 にクリアすると、優先レベルは自動更新されなくなり、CPUP2 ~ CPUP0 ビットを直接ソフトウェアで書き換えて設定します。IPSETE ビットが 1 のときも CPU の割り込みマスクビット (CCR の 1 ビットまたは EXR の I2 ~ I0 ビット) をソフトウェアで書き換えることで CPU の優先レベルを設定できます。

IPSETE ビットが 1 のときに自動設定する優先レベルは、割り込み制御モードにより値が異なります。

割り込み制御モード 0 の場合、CPU の CCR の 1 ビットの値を CPUP2 ビットに反映します。CPUP1、CPUP0 ビットは 0 固定です。割り込み制御モード 2 の場合、CPU の EXR の I2 ~ I0 ビットの値を CPUP2 ~ CPUP0 ビットに反映します。

CPU の優先レベルの制御を表 5.7 に示します。

表 5.7 CPU の優先レベルの制御

割り込み制御モード	割り込み優先順位	割り込みマスクビット	CPUPCR の IPSETE	制御状態	
				CPUP2 ~ CPUP0 の値	CPUP2 ~ CPUP0 の書き換え
0	デフォルト	I = 任意	0	B'111 ~ B'000	書き換え可
		I = 0	1	B'000	無効
		I = 1		B'100	
2	IPR の設定	I2 ~ I0	0	B'111 ~ B'000	書き換え可
			1	I2 ~ I0	無効

5. 割り込みコントローラ

CPU に対する DMAC の優先レベル制御機能の設定例と、そのときの転送要求制御状態を表 5.8 に示します。DMAC はチャンネルごとに独立して優先レベルを設定できますが、表中では 1 チャンネル分を示しています。DMAC では各チャンネルに異なる優先レベルを設定して個別に転送の制御を行うことが可能です。

表 5.8 CPU に対する DMAC の優先レベル制御機能の設定例と制御状態

割り込み制御モード	CPUPCR の CPUPCE	CPUP2 ~ CPUP0 の値	DMPA2 ~ DMPA0 の値	転送要求制御状態
				DMAC
0	0	任意	任意	許可
	1	B'000	B'000	許可
		B'100	B'000	マスク
		B'100	B'011	マスク
		B'100	B'101	許可
		B'000	B'101	許可
2	0	任意	任意	許可
	1	B'000	B'000	許可
		B'000	B'101	許可
		B'011	B'101	許可
		B'100	B'101	許可
		B'101	B'101	許可
		B'110	B'101	マスク
		B'111	B'101	マスク

5.8 使用上の注意事項

5.8.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットをクリアして割り込み要求をマスクする場合、割り込みのマスクはその命令実行終了後に有効になります。BCLR 命令、MOV 命令などで割り込みイネーブルビットをクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込みはイネーブル状態にあるため、命令実行終了後にその割り込み例外処理を開始します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。割り込み要因フラグを 0 にクリアする場合も同様です。TPU の TIER の TCIEV ビットを 0 にクリアする場合の例を図 5.7 に示します。なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを 0 にクリアすれば、上記の競合は発生しません。

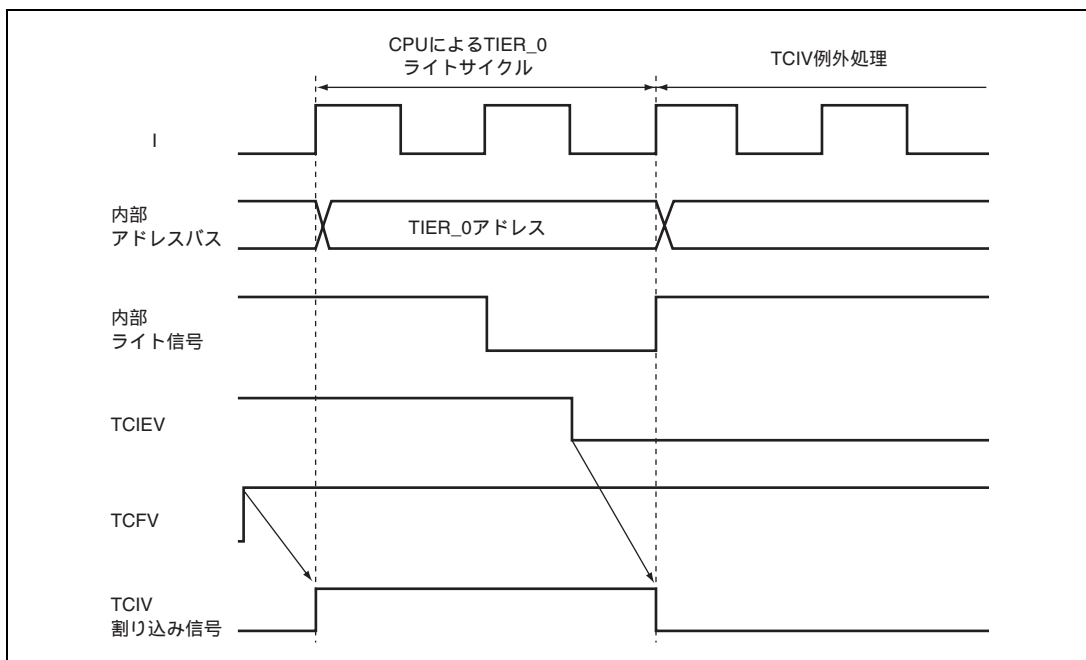


図 5.7 割り込みの発生とディスエーブルの競合

5. 割り込みコントローラ

5.8.2 割り込みを禁止している命令

実行直後に割り込み要求を受け付けられない命令として、LDC、ANDC、ORC、XORC 命令があります。これらの命令実行終了後は NMI 割り込みを含めて割り込みが禁止され、必ず次の命令を実行します。これらの命令により I ビットを設定した場合、命令実行終了の 2 ステート後に新しい値が有効になります。

5.8.3 割り込み禁止期間

割り込みコントローラには割り込み要求の受け付けを禁止している期間があります。割り込みコントローラは、CPU が LDC、ANDC、ORC、XORC 命令によってマスクレベルを更新した後の 3 ステート期間、および割り込みコントローラのレジスタにライトしている期間は、割り込み要求を受け付けません。

5.8.4 EEPMOV 命令実行中の割り込み

EEPMOV.B 命令と EEPMOV.W 命令では、割り込み動作が異なります。

EEPMOV.B 命令によるデータ転送中に NMI を含めた割り込み要求があっても、転送終了まで割り込みを受け付けません。

EEPMOV.W 命令によるデータ転送中に割り込み要求があった場合、転送サイクルの切れ目で割り込み例外処理が開始されます。このときスタックされる PC の値は、次の命令のアドレスとなります。このため、EEPMOV.W 命令実行中に割り込みが発生する場合には、以下のプログラムとしてください。

```
L1:  EEPMOV.W
      MOV.W  R4, R4
      BNE   L1
```

5.8.5 MOVMD、MOVSD 命令実行中の割り込み

MOVMD 命令、または MOVSD 命令によるデータ転送中に割り込み要求があった場合、転送サイクルの切れ目で割り込み例外処理が開始されます。このときスタックされる PC の値は、MOVMD 命令、または MOVSD 命令のアドレスとなります。割り込み処理ルーチンからの復帰後に、残りのデータ転送を続けます。

5.8.6 周辺モジュールの割り込み要因フラグ

周辺モジュールの割り込みを使用した場合、CPU によって周辺モジュールの割り込み要因フラグをクリアするときは、周辺モジュールと同期を取るために、割り込みサービスルーチン内でフラグをクリアした後に必ず当該フラグをリードしてください。

6. バスコントローラ (BSC)

本 LSI はバスコントローラ (BSC) を内蔵しており、外部アドレス空間を 8 つのエリアに分割して管理します。バスコントローラはバス権調停機能をもっており、内部バスマスタである CPU、DMAC の動作を制御します。

6.1 特長

- 外部アドレス空間をエリア単位で管理
外部アドレス空間を8つのエリアに分割して管理
エリアごとにバス仕様を設定可能
エリアごとに8ビットアクセス空間 / 16ビットアクセス空間を選択可能
リトルエンディアンのデバイスを接続するためのエンディアン変換機能
- 基本バスインタフェース
SRAMやROMを接続可能なインタフェース
エリアごとに2ステートアクセス空間 / 3ステートアクセス空間を選択可能
エリアごとにプログラムウェイトステートを挿入可能
リードストロープ (\overline{RD}) のネゲートタイミングを変更可能
- アイドルサイクル挿入
異なるエリア間の外部リードサイクルが連続する場合、アイドルサイクルを挿入可能
外部リードサイクル後に外部ライトサイクルが連続する場合、アイドルサイクルを挿入可能
外部ライトサイクル後に外部リードサイクルが連続する場合、アイドルサイクルを挿入可能
DMACのシングルアドレス転送 (ライトサイクル) 後に外部アクセスが連続する場合、アイドルサイクルを挿入可能
- ライトバッファ機能
外部ライトサイクルと内部アクセスを並列に実行可能
内蔵周辺モジュールへのライトアクセスと内蔵メモリアccessを並列に実行可能
DMACのシングルアドレス転送と内部アクセスを並列に実行可能
- バス権調停機能 (バスアービトレーション)
バスアービタを内蔵し、CPU、DMACのバス権要求を調停
- マルチクロック機能
内部周辺機能は、周辺モジュールクロック (P) に同期して動作可能
外部空間は、外部バスクロック (B) に同期して動作可能

6. バスコントローラ (BSC)

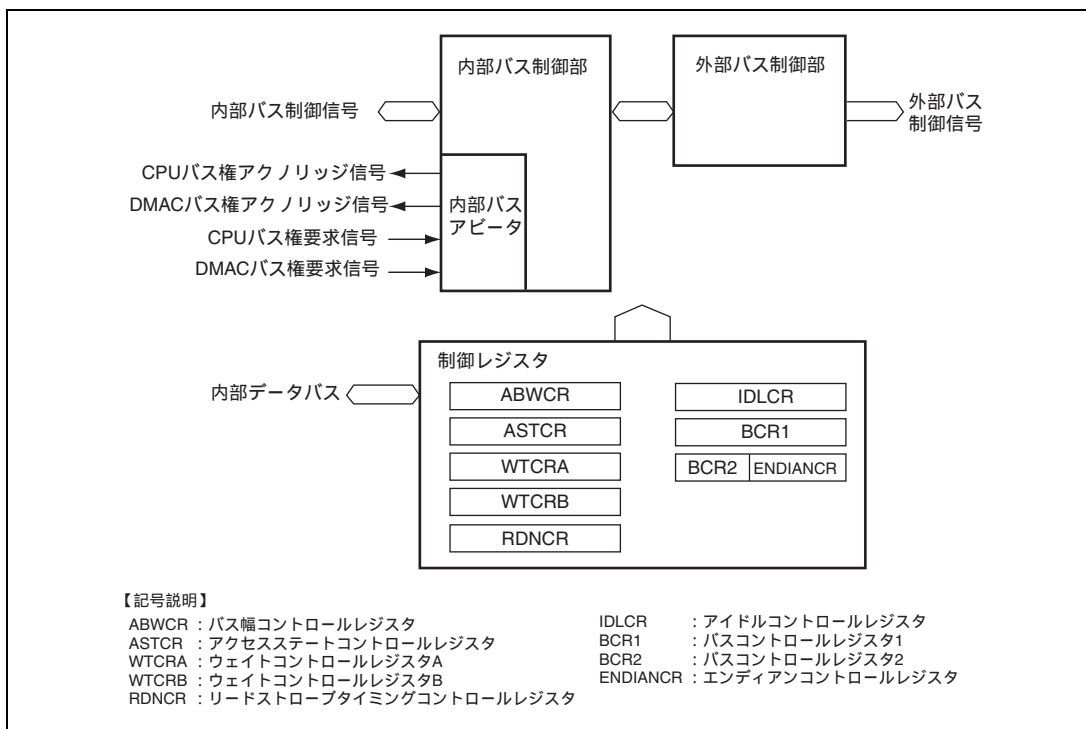


図 6.1 バスコントローラのブロック図

6.2 レジスタの説明

バスコントローラには以下のレジスタがあります。

- バス幅コントロールレジスタ (ABWCR)
- アクセスステートコントロールレジスタ (ASTCR)
- ウェイトコントロールレジスタA (WTCRA)
- ウェイトコントロールレジスタB (WTCRB)
- リードストロープタイミングコントロールレジスタ (RDNCR)
- アイドルコントロールレジスタ (IDLCR)
- バスコントロールレジスタ1 (BCR1)
- バスコントロールレジスタ2 (BCR2)
- エンディアンコントロールレジスタ (ENDIANCR)

6.2.1 バス幅コントロールレジスタ (ABWCR)

ABWCR は、外部アドレス空間の各エリアのデータバス幅を設定します。

ビット	15	14	13	12	11	10	9	8
ビット名	ABWH7	ABWH6	ABWH5	ABWH4	ABWH3	ABWH2	ABWH1	ABWH0
初期値*	1	1	1	1	1	1	1	1/0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	7	6	5	4	3	2	1	0
ビット名	ABWL7	ABWL6	ABWL5	ABWL4	ABWL3	ABWL2	ABWL1	ABWL0
初期値*	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * 初期値は、16ビットバス起動 H'FEFF、8ビットバス起動 H'FFFFとなります。

ビット	ビット名	初期値*	R/W	説 明
15	ABWH7	1	R/W	エリア 7~0 バス幅コントロール 対応するエリアを 8 ビットアクセス空間にするか、16 ビットアクセス空間にするかを選択します。 ABWHn ABWLn (n=7~0) x 0 : 設定禁止 0 1 : エリア n を 16 ビットアクセス空間に設定 1 1 : エリア n を 8 ビットアクセス空間に設定
14	ABWH6	1	R/W	
13	ABWH5	1	R/W	
12	ABWH4	1	R/W	
11	ABWH3	1	R/W	
10	ABWH2	1	R/W	
9	ABWH1	1	R/W	
8	ABWH0	1/0	R/W	
7	ABWL7	1	R/W	
6	ABWL6	1	R/W	
5	ABWL5	1	R/W	
4	ABWL4	1	R/W	
3	ABWL3	1	R/W	
2	ABWL2	1	R/W	
1	ABWL1	1	R/W	
0	ABWL0	1	R/W	

【記号説明】 x : Don't care

【注】 * 初期値は、16ビットバス起動 H'FEFF、8ビットバス起動 H'FFFFとなります。

6. バスコントローラ (BSC)

6.2.2 アクセスステートコントロールレジスタ (ASTCR)

ASTCR は、外部アドレス空間の各エリアを 2 ステートアクセス空間、または 3 ステートアクセス空間のいずれかに設定します。同時にウェイトステート挿入の許可 / 禁止を設定します。

ビット	15	14	13	12	11	10	9	8
ビット名	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	AST7	1	R/W	エリア 7~0 アクセスステートコントロール 対応するエリアを 2 ステートアクセス空間にするか、3 ステートアクセス空間にするかを選択します。同時にウェイトステートの挿入を許可または禁止します。 0: エリア n を 2 ステートアクセス空間に設定 エリア n のアクセスにウェイトステートの挿入を禁止 1: エリア n を 3 ステートアクセス空間に設定 エリア n のアクセスにウェイトステートの挿入を許可 (n=7~0)
14	AST6	1	R/W	
13	AST5	1	R/W	
12	AST4	1	R/W	
11	AST3	1	R/W	
10	AST2	1	R/W	
9	AST1	1	R/W	
8	AST0	1	R/W	
7~0		すべて 0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。

6.2.3 ウェイトコントロールレジスタ A、B (WTCRA、WTCRB)

WTCRA、WTCRB は、外部アドレス空間の各エリアのプログラムウェイトステート数を選択します。

・ WTCRA

ビット	15	14	13	12	11	10	9	8
ビット名	-	W72	W71	W70	-	W62	W61	W60
初期値:	0	1	1	1	0	1	1	1
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	-	W52	W51	W50	-	W42	W41	W40
初期値:	0	1	1	1	0	1	1	1
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

・ WTCRB

ビット	15	14	13	12	11	10	9	8
ビット名	-	W32	W31	W30	-	W22	W21	W20
初期値:	0	1	1	1	0	1	1	1
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	-	W12	W11	W10	-	W02	W01	W00
初期値:	0	1	1	1	0	1	1	1
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

• WTCRA

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
14	W72	1	R/W	エリア7ウェイトコントロール2-0 ASTCRのAST7=1のとき、エリア7をアクセスするときのプログラムウェイトステート数を選択します。 000: プログラムウェイトを挿入しない 001: プログラムウェイトを1ステート挿入 010: プログラムウェイトを2ステート挿入 011: プログラムウェイトを3ステート挿入 100: プログラムウェイトを4ステート挿入 101: プログラムウェイトを5ステート挿入 110: プログラムウェイトを6ステート挿入 111: プログラムウェイトを7ステート挿入
13	W71	1	R/W	
12	W70	1	R/W	

6. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
11	-	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
10	W62	1	R/W	エリア 6 ウェイトコントロール 2~0 ASTCR の AST6=1 のとき、エリア 6 をアクセスするときのプログラムウェイト ステート数を選択します。 000 : プログラムウェイトを挿入しない 001 : プログラムウェイトを 1 ステート挿入 010 : プログラムウェイトを 2 ステート挿入 011 : プログラムウェイトを 3 ステート挿入 100 : プログラムウェイトを 4 ステート挿入 101 : プログラムウェイトを 5 ステート挿入 110 : プログラムウェイトを 6 ステート挿入 111 : プログラムウェイトを 7 ステート挿入
9	W61	1	R/W	
8	W60	1	R/W	
7	-	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
6	W52	1	R/W	エリア 5 ウェイトコントロール 2~0 ASTCR の AST5=1 のとき、エリア 5 をアクセスするときのプログラムウェイト ステート数を選択します。 000 : プログラムウェイトを挿入しない 001 : プログラムウェイトを 1 ステート挿入 010 : プログラムウェイトを 2 ステート挿入 011 : プログラムウェイトを 3 ステート挿入 100 : プログラムウェイトを 4 ステート挿入 101 : プログラムウェイトを 5 ステート挿入 110 : プログラムウェイトを 6 ステート挿入 111 : プログラムウェイトを 7 ステート挿入
5	W51	1	R/W	
4	W50	1	R/W	
3	-	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
2	W42	1	R/W	エリア 4 ウェイトコントロール 2~0 ASTCR の AST4=1 のとき、エリア 4 をアクセスするときのプログラムウェイト ステート数を選択します。 000 : プログラムウェイトを挿入しない 001 : プログラムウェイトを 1 ステート挿入 010 : プログラムウェイトを 2 ステート挿入 011 : プログラムウェイトを 3 ステート挿入 100 : プログラムウェイトを 4 ステート挿入 101 : プログラムウェイトを 5 ステート挿入 110 : プログラムウェイトを 6 ステート挿入 111 : プログラムウェイトを 7 ステート挿入
1	W41	1	R/W	
0	W40	1	R/W	

• WTCRB

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
14	W32	1	R/W	エリア3ウェイトコントロール2-0 ASTCRのAST3=1のとき、エリア3をアクセスするときのプログラムウェイト ステート数を選択します。 000: プログラムウェイトを挿入しない 001: プログラムウェイトを1ステート挿入 010: プログラムウェイトを2ステート挿入 011: プログラムウェイトを3ステート挿入 100: プログラムウェイトを4ステート挿入 101: プログラムウェイトを5ステート挿入 110: プログラムウェイトを6ステート挿入 111: プログラムウェイトを7ステート挿入
13	W31	1	R/W	
12	W30	1	R/W	
11	-	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
10	W22	1	R/W	エリア2ウェイトコントロール2-0 ASTCRのAST2=1のとき、エリア2をアクセスするときのプログラムウェイト ステート数を選択します。 000: プログラムウェイトを挿入しない 001: プログラムウェイトを1ステート挿入 010: プログラムウェイトを2ステート挿入 011: プログラムウェイトを3ステート挿入 100: プログラムウェイトを4ステート挿入 101: プログラムウェイトを5ステート挿入 110: プログラムウェイトを6ステート挿入 111: プログラムウェイトを7ステート挿入
9	W21	1	R/W	
8	W20	1	R/W	
7	-	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。

6. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
6	W12	1	R/W	エリア1 ウェイトコントロール2-0 ASTCR の AST1=1 のとき、エリア1 をアクセスするときのプログラムウェイト ステート数を選択します。 000 : プログラムウェイトを挿入しない 001 : プログラムウェイトを1 ステート挿入 010 : プログラムウェイトを2 ステート挿入 011 : プログラムウェイトを3 ステート挿入 100 : プログラムウェイトを4 ステート挿入 101 : プログラムウェイトを5 ステート挿入 110 : プログラムウェイトを6 ステート挿入 111 : プログラムウェイトを7 ステート挿入
5	W11	1	R/W	
4	W10	1	R/W	
3	-	0	R	
2	W02	1	R/W	エリア0 ウェイトコントロール2-0 ASTCR の AST0=1 のとき、エリア0 をアクセスするときのプログラムウェイト ステート数を選択します。 000 : プログラムウェイトを挿入しない 001 : プログラムウェイトを1 ステート挿入 010 : プログラムウェイトを2 ステート挿入 011 : プログラムウェイトを3 ステート挿入 100 : プログラムウェイトを4 ステート挿入 101 : プログラムウェイトを5 ステート挿入 110 : プログラムウェイトを6 ステート挿入 111 : プログラムウェイトを7 ステート挿入
1	W01	1	R/W	
0	W00	1	R/W	

6.2.4 リードストローブタイミングコントロールレジスタ (RDNCR)

RDNCR は、基本バスインタフェース、またはアドレス/データマルチプレクス I/O インタフェースに設定した外部アドレス空間のリードアクセス時のリードストローブ信号 (\overline{RD}) のネゲートタイミングを設定します。

ビット	15	14	13	12	11	10	9	8
ビット名	RDN7	RDN6	RDN5	RDN4	RDN3	RDN2	RDN1	RDN0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	RDN7	0	R/W	リードストロープタイミングコントロール これらのビットは、対応するエリアをリードアクセスするとき \overline{RD} のネゲートタイミングを設定します。図 6.2 に示すように、 $RDNn=1$ に設定したエリアの \overline{RD} は、 $RDNn=0$ に設定したときに比べて半ステート早くネゲートします。同様にリードデータのセットアップ/ホールドの規定も半ステート早くなります。 0: エリア n のリードアクセス時、 \overline{RD} のネゲートタイミングはリードサイクルの終わり 1: エリア n のリードアクセス時、 \overline{RD} のネゲートタイミングはリードサイクルの終わりから半ステート手前 ($n=7\sim 0$)
14	RDN6	0	R/W	
13	RDN5	0	R/W	
12	RDN4	0	R/W	
11	RDN3	0	R/W	
10	RDN2	0	R/W	
9	RDN1	0	R/W	
8	RDN0	0	R/W	
7~0	-	すべて 0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。

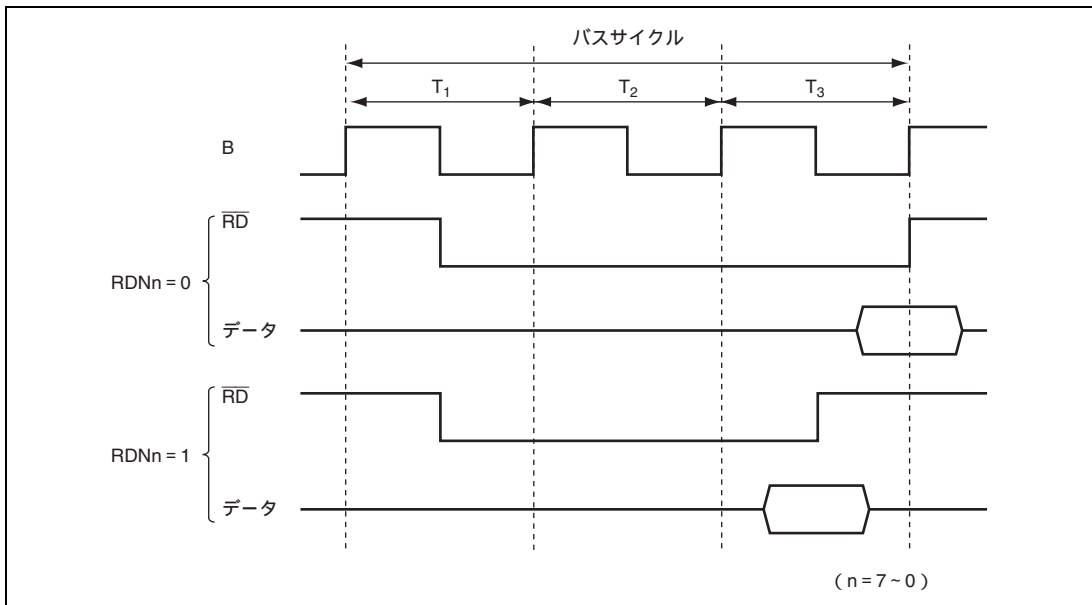


図 6.2 リードストロープネゲートタイミング (3 ステートアクセス空間)

6. バスコントローラ (BSC)

6.2.5 アイドルコントロールレジスタ (IDLCR)

IDLCR は、アイドルサイクルの挿入条件およびアイドルサイクル数の設定を行います。

ビット	15	14	13	12	11	10	9	8
ビット名	IDLS3	IDLS2	IDLS1	IDLS0	IDLCB1	IDLCB0	IDLCA1	IDLCA0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	IDLSEL7	IDLSEL6	IDLSEL5	IDLSEL4	IDLSEL3	IDLSEL2	IDLSEL1	IDLSEL0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	IDLS3	1	R/W	アイドルサイクル挿入 3 DMAC のシングルアドレス転送 (ライトサイクル) 後に外部アクセスが連続する場合、バスサイクルの間にアイドルサイクルを挿入することができます。 0: アイドルサイクルを挿入しない 1: アイドルサイクルを挿入する
14	IDLS2	1	R/W	アイドルサイクル挿入 2 外部ライトサイクル後に外部リードサイクルが連続する場合、バスサイクルの間にアイドルサイクルを挿入することができます。 0: アイドルサイクルを挿入しない 1: アイドルサイクルを挿入する
13	IDLS1	1	R/W	アイドルサイクル挿入 1 異なるエリアの外部リードサイクルが連続する場合、バスサイクルの間にアイドルサイクルを挿入することができます。 0: アイドルサイクルを挿入しない 1: アイドルサイクルを挿入する
12	IDLS0	1	R/W	アイドルサイクル挿入 0 外部リードサイクル後に外部ライトサイクルが連続する場合、バスサイクルの間にアイドルサイクルを挿入することができます。 0: アイドルサイクルを挿入しない 1: アイドルサイクルを挿入する

ビット	ビット名	初期値	R/W	説明
11	IDLCB1	1	R/W	アイドルサイクルステート数選択 B IDLS1、IDLS0 で選択されたアイドル条件に対して、挿入するステート数を選択します。 00：アイドルサイクルを挿入しない 01：アイドルサイクルの挿入ステートは 2 ステート 10：アイドルサイクルの挿入ステートは 3 ステート 11：アイドルサイクルの挿入ステートは 4 ステート
10	IDLCB0	1	R/W	
9	IDLCA1	1	R/W	アイドルサイクルステート数選択 A IDLS3～IDLS0 で選択されたアイドル条件に対して、挿入するステート数を選択します。 00：アイドルサイクルの挿入ステートは 1 ステート 01：アイドルサイクルの挿入ステートは 2 ステート 10：アイドルサイクルの挿入ステートは 3 ステート 11：アイドルサイクルの挿入ステートは 4 ステート
8	IDLCA0	1	R/W	
7	IDLSEL7	0	R/W	アイドルサイクル数選択 IDLS1、IDLS0 で選択されたアイドル挿入条件で、挿入するアイドルステート数を各エリアごとに選択します。 0：エリア n に挿入するアイドルサイクルのステート数を IDLCA1、IDLCA0 で指定する 1：エリア n に挿入するアイドルサイクルのステート数を IDLCB1、IDLCB0 で指定する (n=7~0)
6	IDLSEL6	0	R/W	
5	IDLSEL5	0	R/W	
4	IDLSEL4	0	R/W	
3	IDLSEL3	0	R/W	
2	IDLSEL2	0	R/W	
1	IDLSEL1	0	R/W	
0	IDLSEL0	0	R/W	

6.2.6 バスコントロールレジスタ 1 (BCR1)

BCR1 は、ライトデータバッファ機能の許可/禁止を行います。

ビット	15	14	13	12	11	10	9	8
ビット名	-	-	-	-	-	-	WDBE	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	DKC	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R	R

6. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
13、12	-	すべて0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。
11、10	-	すべて0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
9	WDBE	0	R/W	ライトデータバッファイネーブル 外部ライトサイクル、またはDMACのシングルアドレス転送サイクルのとき、ライトデータバッファ機能を使用できます。 設定値を変更する場合は、変更内容が直後の外部アクセスに反映されない場合があります。 0: ライトデータバッファ機能を使用しない 1: ライトデータバッファ機能を使用する
8	-	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
7	DKC	0	R/W	DACK コントロールビット DMACの転送アクノレッジ信号のアサートタイミングを選択します。 0: $\overline{\text{DACK}}$ 信号のアサートタイミングは、B の立ち下がりエッジ 1: $\overline{\text{DACK}}$ 信号のアサートタイミングは、B の立ち上がりエッジ
6	-	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
5-0	-	すべて0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。

6.2.7 バスコントロールレジスタ 2 (BCR2)

BCR2 は、CPU、DMAC のバスアービトレーション制御、周辺モジュールへのライトデータバッファ機能の許可/禁止の設定を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	-	-	-	IBCCS	-	-	-	PWDBE
初期値:	0	0	0	0	0	0	1	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて 0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。
5	-	0	R/W	リザーブビット リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
4	IBCCS	0	R/W	内部バスサイクルコントロールセレクト 内部バスアービタの機能を選択します。 0: 優先順位に従ってバス権を解放 1: DMAC のバス権要求と CPU のバス権要求が競合したとき、交互にバスサイクルを実行します。
3、2	-	すべて 0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。
1	-	1	R/W	リザーブビット リードすると常に 1 が読み出されます。ライトする値は常に 1 にしてください。
0	PWDBE	0	R/W	周辺モジュールライトデータバッファイネーブル 周辺モジュールへのライトサイクルのとき、ライトデータバッファ機能を使用できます。 0: ライトデータバッファ機能を使用しない 1: ライトデータバッファ機能を使用する

6. バスコントローラ (BSC)

6.2.8 エンディアンコントロールレジスタ (ENDIANCR)

ENDIANCR は、外部アドレス空間の各エリアのエンディアン形式を選択します。本 LSI のデータ形式はビッグエンディアンですが、外部空間へのアクセス時にエンディアン形式をリトルエンディアンにして転送することができます。

プログラム領域として使用するエリア、およびスタック領域として使用するエリアのデータ形式は、ビッグエンディアンにしてください。

ビット	7	6	5	4	3	2	1	0
ビット名	LE7	LE6	LE5	LE4	LE3	LE2	-	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
7	LE7	0	R/W	リトルエンディアン選択 対応するエリアのエンディアン形式を選択します。 0 : エリア n のエンディアン形式はビッグエンディアン 1 : エリア n のエンディアン形式はリトルエンディアン (n = 7 ~ 2)
6	LE6	0	R/W	
5	LE5	0	R/W	
4	LE4	0	R/W	
3	LE3	0	R/W	
2	LE2	0	R/W	
1, 0	-	すべて 0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。

6.3 バス構成

本 LSI の内部バス構成を図 6.3 に示します。バス構成は、以下に示す 3 種類で構成されています。

1. 内部システムバス：CPU、DMACと、内蔵RAM、内蔵ROM、内部周辺バスおよび外部アクセスバスを接続するバス
2. 内部周辺バス：バスコントローラ、割り込みコントローラ、DMACなどのレジスタと、SCIやタイマなどの周辺モジュールのレジスタをアクセスするバス
3. 外部アクセスバス：外部バスインタフェースを介して外部のデバイスへアクセスするバス

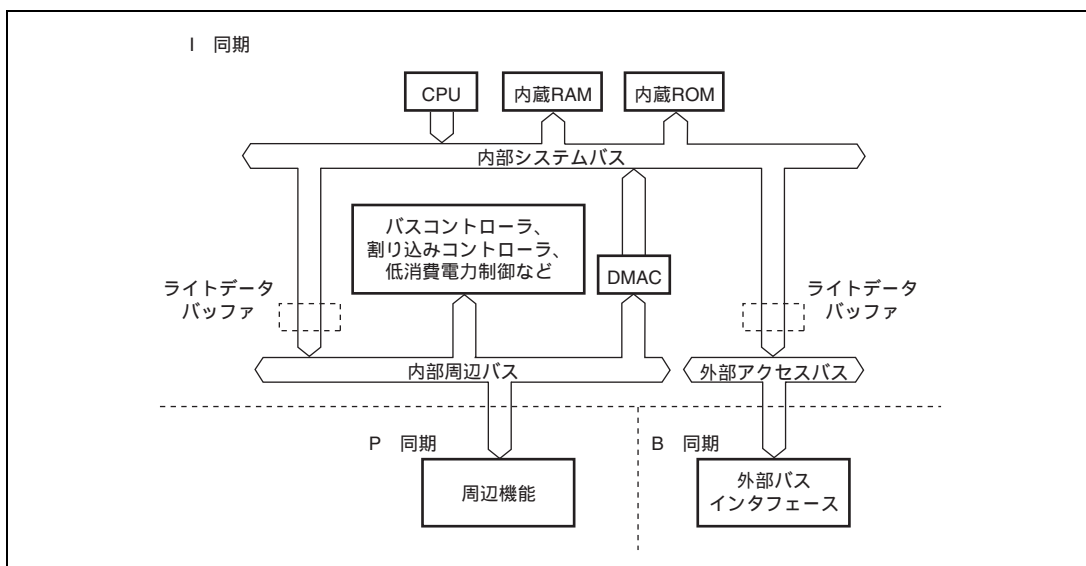


図 6.3 内部バス構成

6. バスコントローラ (BSC)

6.4 マルチクロック機能とアクセスステート数

本 LSI の内蔵機能は、システムクロック (I)、周辺モジュールクロック (P)、外部バスクロック (B) のいずれかのクロックに同期して動作します。表 6.1 にそれぞれの同期クロックと対応する機能を示します。

表 6.1 同期クロックと対応する機能

同期クロック	機能名
I	MCU 動作モード 割り込みコントローラ バスコントローラ CPU DMAC 内蔵メモリ クロック発振器 低消費電力制御
P	I/O ポート TPU WDT SCI IIC2 A/D D/A SSU* RCAN-ET WAT SDG モータコントロール PWM 16 ビット PWM
B	外部バスインタフェース

【注】 * SSU : Synchronous Serial communication Unit

各同期クロック (I、P、B) の周波数は、システムクロックコントロールレジスタ (SCKCR) の設定により個別に制御することが可能です。詳細は「23. クロック発振器」を参照してください。

SCKCR の設定により、P および B の周波数が I の周波数に等しい場合と、異なる場合とが生じます。いずれの場合においても、内部周辺機能と外部空間に対するアクセスサイクルは、それぞれ P と B に同期して動作します。

たとえば、I と B の周波数の比が $n:1$ における外部アクセスは常に B に同期して動作し、そのアクセスステート数を I を基準として数えた場合、外部 2 ステートアクセス空間では $2n$ ステートとなり、同様に外部 3 ステートアクセス空間では $3n$ ステート (ウェイトステートを挿入しない場合) となります。

また、I、P、および B の周波数が異なる場合、バスサイクルの起動されるタイミングによっては、その先頭が P または B に同期しない場合があります。この場合、各バスサイクルに先立ち、クロック同期化サイクル (T_{sy}) が挿入されます。

たとえば、I と B の周波数の比が $n : 1$ において外部アクセスが発生した場合、 T_{sy} が $0 \sim n-1$ ステート挿入されることがあります。また、I と P の周波数の比が $m : 1$ のときに内部周辺モジュールに対するアクセスが発生した場合、同様に T_{sy} が $0 \sim m-1$ ステート挿入されることがあります。

図 6.4 に I と B の周波数の比が $4 : 1$ の外部 2 ステートアクセス、図 6.5 に I と B の周波数の比が $2 : 1$ の外部 3 ステートアクセスタイミングを示します。

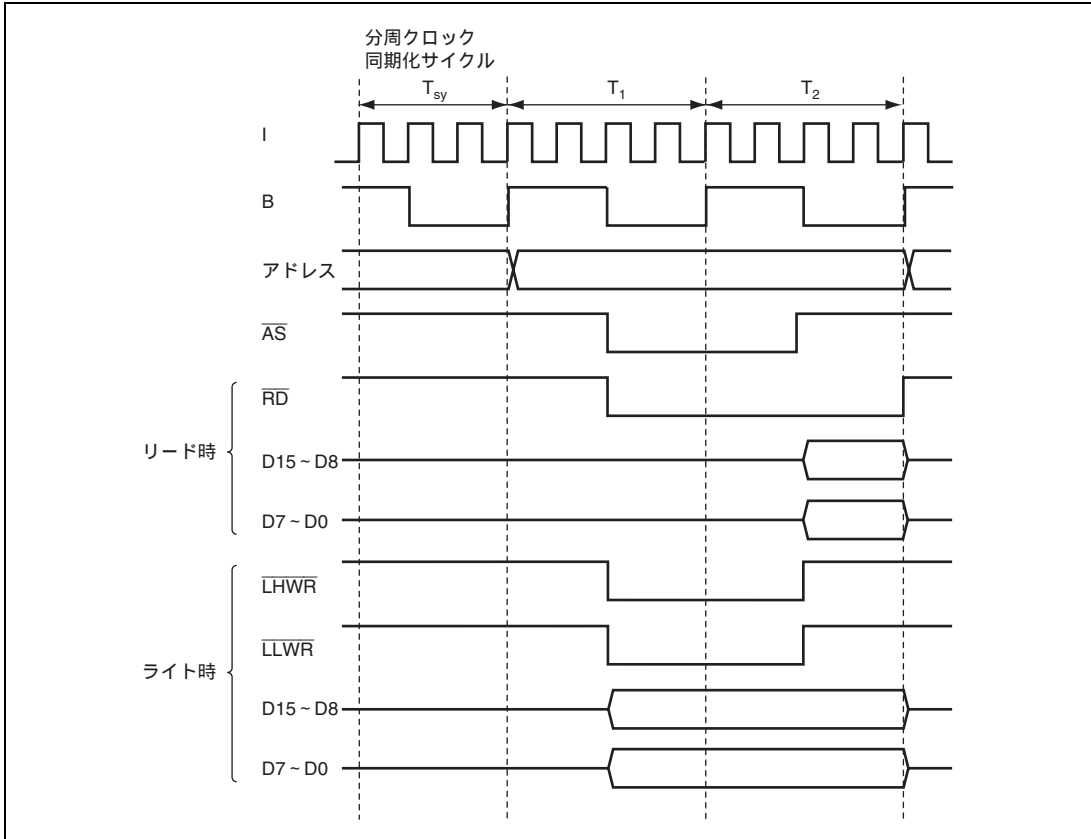


図 6.4 システムクロック : 外部バスクロック=4 : 1、外部 2 ステートアクセス

6. バスコントローラ (BSC)

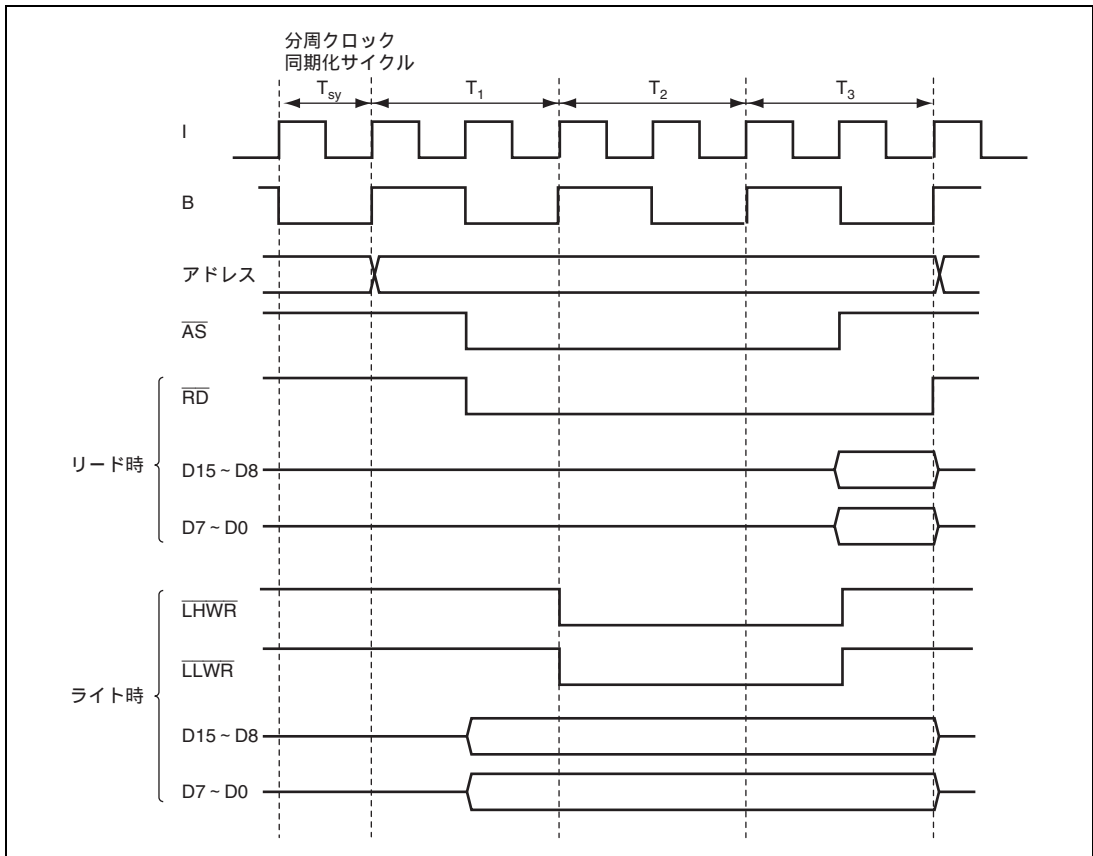


図 6.5 システムクロック : 外部バスクロック=2 : 1、外部 3 ステートアクセス

6.5 外部バス

6.5.1 入出力端子

表 6.2 にバスコントローラの端子構成を、表 6.3 に各インタフェースでの端子機能一覧を示します。

表 6.2 端子構成

名称	記号	入出力	機能
アドレスストロープ	\overline{AS}	出力	基本バス空間をアクセス中で、アドレスバス上のアドレス出力が有効であることを示すストロープ信号
リードストロープ	\overline{RD}	出力	基本バス空間をリード中であることを示すストロープ信号
ローハイレイト	\overline{LHWR}	出力	基本バス空間をライト中で、データバスの上位バイト (D15~D8) が有効であることを示すストロープ信号
ローローライト	\overline{LLWR}	出力	基本バス空間をライト中で、データバスの下位バイト (D7~D0) が有効であることを示すストロープ信号
データ転送アクノレッジ 3 (DMAC_3)	$\overline{DACK3}$	出力	DMAC_3 のシングルアドレス転送時のデータ転送アクノレッジ信号
データ転送アクノレッジ 2 (DMAC_2)	$\overline{DACK2}$	出力	DMAC_2 のシングルアドレス転送時のデータ転送アクノレッジ信号
データ転送アクノレッジ 1 (DMAC_1)	$\overline{DACK1}$	出力	DMAC_1 のシングルアドレス転送時のデータ転送アクノレッジ信号
データ転送アクノレッジ 0 (DMAC_0)	$\overline{DACK0}$	出力	DMAC_0 のシングルアドレス転送時のデータ転送アクノレッジ信号
外部バスクロック	B	出力	外部バスクロック

表 6.3 各インタフェースと端子の対応

端子名	記号			基本バス		備考
	16	8	シングル	16	8	
B	出力	出力	-			
\overline{AS}	出力	出力	-			
\overline{RD}	出力	出力	-			
\overline{LHWR}	出力	出力	-			
\overline{LLWR}	出力	出力	-			

【記号説明】

- ：バス制御信号として使用
- ：バス制御信号として未使用（初期状態ではポート入力となる）

6. バスコントローラ (BSC)

6.5.2 エリア分割

バスコントローラは、16M バイトのアドレス空間を 8 つのエリアに分割し、エリア単位で外部アドレス空間のバス制御を行います。

図 6.6 に 16M バイト空間のエリア分割を示します。アドレスマップについては、「3. MCU 動作モード」を参照してください。

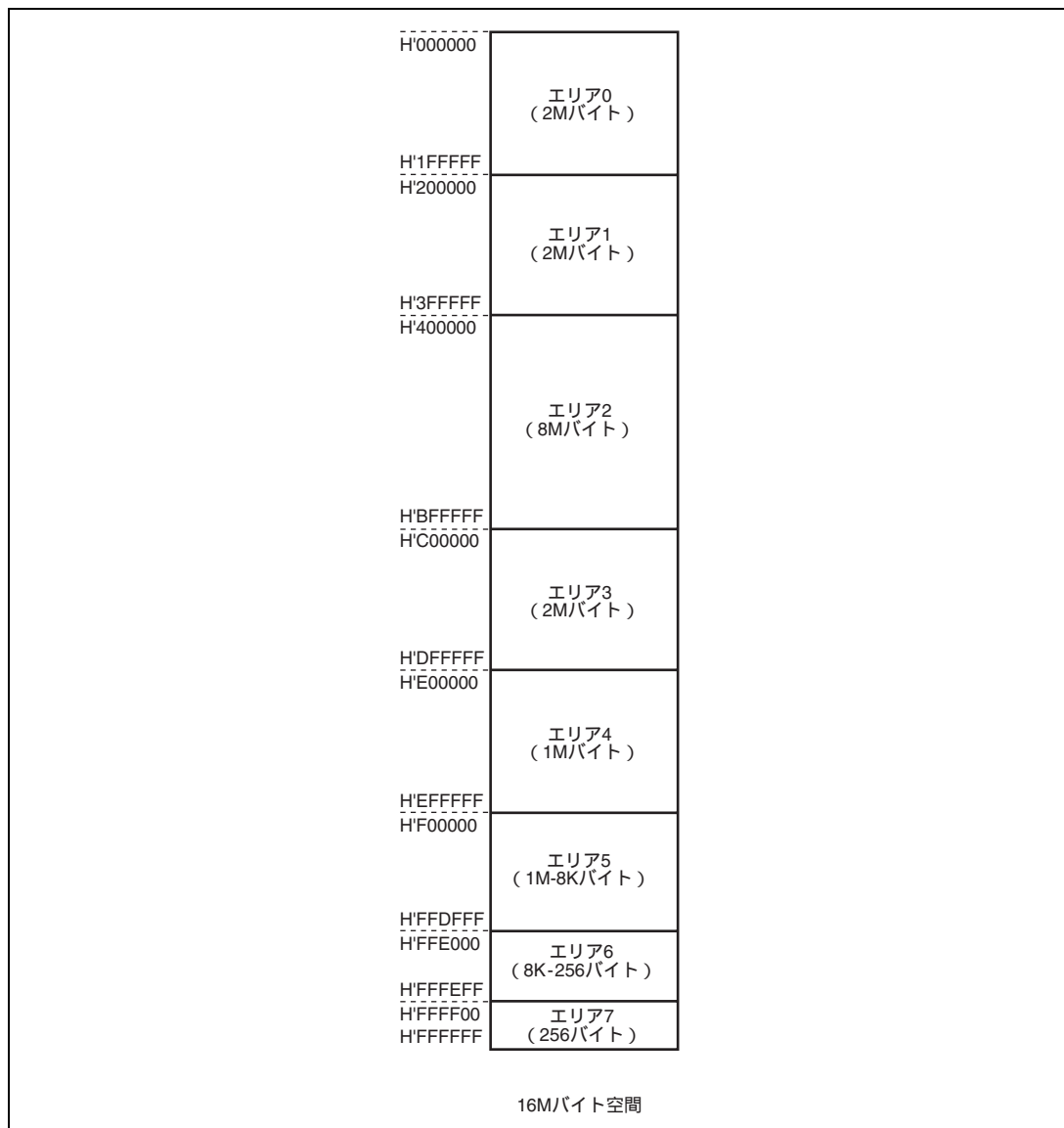


図 6.6 アドレス空間のエリア分割

6.5.3 外部バスインタフェース

外部アドレス空間は、エリアごとに(1)外部バスインタフェースの種類、(2)バス幅、(3)エンディアン形式、(4)アクセスステート数、(5)ストローブアサート/ネゲートタイミングを設定することができます。

内蔵メモリ、内部 I/O レジスタは、バス幅、アクセスステート数は固定で、外部バス仕様の設定に影響されません。

(1) 外部バスインタフェースの種類

外部バスインタフェースには 1 種類のインタフェースがあり、エリア単位で選択することができます。表 6.4 に各インタフェースの名称とその説明、およびそれぞれのインタフェースに設定されたエリアの名称を、表 6.5 に各インタフェースの設定可能なエリアを示します。各エリアの初期状態は、基本バスインタフェースになっています。

表 6.4 各インタフェースの名称と説明、および設定したエリアの名称

インタフェース	説明	設定したエリアの名称
基本バスインタフェース	ROM、SRAM などの直結が可能	基本バス空間

表 6.5 各インタフェースの設定可能なエリア

インタフェース	関連レジスタ	エリア							
		0	1	2	3	4	5	6	7
基本バスインタフェース	-								

(2) バス幅

各エリアのバス幅は、ABWCR により 8 ビット、または 16 ビットに設定します。8 ビットバスに設定したエリアは 8 ビットアクセス空間、16 ビットバスに設定したエリアは 16 ビットアクセス空間となります。

バス幅の初期状態は動作モードで設定します。

すべてのエリアを 8 ビットアクセス空間に設定すると 8 ビットバスモードに、すべてのエリアを 16 ビットアクセス空間に設定せずにいずれかのエリアを 16 ビットアクセス空間に設定すると 16 ビットバスモードになります。

(3) エンディアン形式

本 LSI のエンディアン形式はビッグエンディアンですが、外部空間のリード/ライト時にデータの並びをリトルエンディアン形式に並べ替えて転送することができます。

ENDIANCR の LE7~LE2 ビットにより、エリア 7 からエリア 2 はビッグエンディアン形式とリトルエンディアン形式を選択可能です。

各エリアの初期状態は、ビッグエンディアン形式になっています。

プログラム領域、スタック領域として使用するエリアは、必ずビッグエンディアン形式にしてください。

6. バスコントローラ (BSC)

(4) アクセスステート数

(a) 基本バスインタフェース

基本バスインタフェースのアクセスステート数は、ASTCRにより2ステートまたは3ステートに設定できます。2ステートアクセスに設定したエリアは2ステートアクセス空間、3ステートアクセスに設定したエリアは3ステートアクセス空間となります。

2ステートアクセス空間に設定すると、ウェイトステートの挿入が禁止されます。3ステートアクセス空間に設定すると、WTCRA、WTCRBによるプログラムウェイト(0~7ステート)を挿入することができます。

基本バスインタフェースアクセスステート数

= 基本ステート数(2, 3) + プログラムウェイト数(0~7)

表 6.6 に各インタフェースのアクセスステート数を示します。

表 6.6 アクセスステート数

基本バスインタフェース	=	Th	+ T1	+ T2		+ Tt	
		[0,1]	[1]	[1]		[0,1]	[2~4]
	=	Th	+ T1	+ T2	+ Tpw	+ T3	+ Tt
		[0,1]	[1]	[1]	[0~7]	[1]	[0,1] [3~12]

【記号説明】

[数字]: アクセスステート数

(5) ストローブアサート/ネゲートタイミング

アクセスステート数の変更に加え、ストローブ信号のアサート/ネゲートタイミングを変更できます。

- 基本バスインタフェースのリードストローブ (\overline{RD})
- DMACのシングルアドレス転送時に出力されるデータ転送アクノレッジ ($\overline{DACK3} \sim \overline{DACK0}$)

6.5.4 エリアと外部バスインタフェース

(1) エリア 0

エリア 0 は内蔵 ROM*を含んでおり、ROM 無効拡張モードのときすべての空間が外部空間となり、ROM 有効拡張モードのとき内蔵 ROM*を除いた空間が外部空間となります。

【注】 * ROM 内蔵版のみに適用します。

(2) エリア 1

エリア 1 は、外部拡張モードのときすべての空間が外部空間となり、ROM 有効拡張モードのとき内蔵 ROM*を除いた空間が外部空間となります。

【注】 * ROM 内蔵版のみに適用します。

(3) エリア 2

エリア 2 は、外部拡張モードのときすべての空間が外部空間となります。

(4) エリア 3

エリア 3 は、外部拡張モードのときすべての空間が外部空間となります。

(5) エリア 4

エリア 4 は、外部拡張モードのときすべての空間が外部空間となります。

(6) エリア 5

エリア 5 は内蔵 RAM、アクセス禁止空間を含んでおり、外部拡張モードのときは内蔵 RAM、アクセス禁止空間を除いた空間が外部空間となります。なお、内蔵 RAM は、システムコントロールレジスタ (SYSCR) の RAME ビットを 1 にセットしたとき有効となり、0 にクリアすると内蔵 RAM は無効となり対応するアドレスは外部空間になります。詳細は「3. MCU 動作モード」を参照してください。

(7) エリア 6

エリア 6 は内部 I/O レジスタを含んでおり、外部拡張モードのとき内部 I/O レジスタ空間を除いた空間が外部空間となります。

(8) エリア 7

エリア 7 は内部 I/O レジスタを含んでおり、外部拡張モードのとき内部 I/O レジスタ空間を除いた空間が外部空間となります。

6.5.5 エンディアンとデータアライメント

CPU およびその他の内部バスマスタのデータサイズには、バイト、ワード、およびロングワードがあります。バスコントローラはデータアライメント機能を持っており、外部空間をアクセスするとき上位側データバス (D15 ~ D8)、下位側データバス (D7 ~ D0) のどれを使用するかを、アクセスするエリアのバス仕様 (8 ビットアクセス空間、16 ビットアクセス空間)、データサイズ、およびエンディアン形式によって制御します。

(1) 8 ビットアクセス空間

8 ビットアクセス空間では、常に最下位側データバス (D7 ~ D0) を使ってアクセスを行います。1 回にアクセスできるデータ量は 1 バイトで、ワードアクセスでは 2 回、ロングワードアクセスは 4 回のバイトアクセスを実行します。

図 6.7、図 6.8 に 8 ビットアクセス空間へのデータアライメント制御を示します。図 6.7 はデータのエンディアン形式をビッグエンディアンにした場合、図 6.8 はデータのエンディアン形式をリトルエンディアンにした場合です。

6. バスコントローラ (BSC)

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	ストローブ信号		
					LHWR	LLWR	
					RD		
					データバス		
					D15	D8 D7	D0
バイト	n	1回	1回目	バイト	7	0	
ワード	n	2回	1回目	バイト	15	8	
			2回目	バイト	7	0	
ロングワード	n	4回	1回目	バイト	31	24	
			2回目	バイト	23	16	
			3回目	バイト	15	8	
			4回目	バイト	7	0	

図 6.7 8 ビットアクセス空間へのアクセスサイズとデータアライメント制御 (ビッグエンディアン)

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	ストローブ信号		
					LHWR	LLWR	
					RD		
					データバス		
					D15	D8 D7	D0
バイト	n	1回	1回目	バイト	7	0	
ワード	n	2回	1回目	バイト	7	0	
			2回目	バイト	15	8	
ロングワード	n	4回	1回目	バイト	7	0	
			2回目	バイト	15	8	
			3回目	バイト	23	16	
			4回目	バイト	31	24	

図 6.8 8 ビットアクセス空間へのアクセスサイズとデータアライメント制御 (リトルエンディアン)

(2) 16 ビットアクセス空間

16 ビットアクセス空間では、上位側データバス (D15~D8)、および下位側データバス (D7~D0) を使ってアクセスを行います。1 回にアクセスできるデータ量は 1 バイト、または 1 ワードです。

図 6.9、図 6.10 に 16 ビットアクセス空間へのデータアライメント制御を示します。図 6.9 はデータのエンディアン形式をビッグエンディアンにした場合、図 6.10 はデータのエンディアン形式をリトルエンディアンにした場合です。

ビッグエンディアン形式のときは、偶数アドレスに対するバイトアクセスは上位側データバスを使用し、奇数アドレスに対するバイトアクセスは最下位側データバスを使用します。

リトルエンディアン形式のときは、偶数アドレスに対するバイトアクセスは最下位側データバスを使用し、奇数アドレスに対するバイトアクセスは 3 バイト目データバスを使用します。

6. バスコントローラ (BSC)

アクセス サイズ	アクセス 番地	アクセス 回数	バス サイクル	データ量	ストロープ信号	
					LHWR	LLWR
					RD	
					データバス	
					D15	D8 D7 D0
バイト	偶数 (2n)	1回	1回目	バイト	7	10
	奇数 (2n+1)	1回	1回目	バイト		7 10
ワード	偶数 (2n)	1回	1回目	ワード	15 18	7 10
	奇数 (2n+1)	2回	1回目	バイト	15	18
			2回目	バイト	7	10
ロングワード	偶数 (2n)	2回	1回目	ワード	31 24	23 16
			2回目	ワード	15 18	7 10
	奇数 (2n+1)	3回	1回目	バイト		31 24
			2回目	ワード	23 16	15 18
			3回目	バイト	7	10

図 6.9 16 ビットアクセス空間へのアクセスサイズとデータアライメント制御
(ビッグエンディアン)

アクセス サイズ	アクセス 番地	アクセス 回数	バス サイクル	データ量	ストロープ信号	
					LHWR	LLWR
					RD	
					データバス	
					D15	D8 D7 D0
バイト	偶数 (2n)	1回	1回目	バイト	7	10
	奇数 (2n+1)	1回	1回目	バイト	7	10
ワード	偶数 (2n)	1回	1回目	ワード	15 18	7 10
	奇数 (2n+1)	2回	1回目	バイト	7	10
			2回目	バイト		15 18
ロングワード	偶数 (2n)	2回	1回目	ワード	15 18	7 10
			2回目	ワード	31 24	23 16
	奇数 (2n+1)	3回	1回目	バイト	7	10
			2回目	ワード	23 16	15 18
			3回目	バイト		31 24

図 6.10 16 ビットアクセス空間へのアクセスサイズとデータアライメント制御
(リトルエンディアン)

6. バスコントローラ (BSC)

6.6 基本バスインタフェース

基本バスインタフェースは、ROM、SRAM との直結が可能です。

ABWCR、ASTCR、WTCRA、WTCRB、RDNCR、ENDIANCR によってバス仕様を設定できます。

6.6.1 データバス

CPU およびその他の内部バスマスタのデータサイズには、バイト、ワード、ロングワードがあります。バスコントローラはデータアライメント機能を持っており、外部空間をアクセスするとき、上位側データバス (D15 ~ D8)、下位側データバス (D7 ~ D0) のどれを使用するかを、アクセスするエリアのバス仕様 (8 ビットアクセス空間、16 ビットアクセス空間)、データサイズ、およびエンディアン形式によって制御します。詳細は「6.5.5 エンディアンとデータアライメント」を参照してください。

6.6.2 基本バスインタフェース入出力端子

表 6.7 に基本バスインタフェースの入出力端子を示します。

表 6.7 基本バスインタフェースの入出力端子

名称	記号	入出力	機能
アドレスストロープ	\overline{AS}	出力	アクセス中、アドレスバス上のアドレス出力が有効であることを示すストロープ信号です。
リードストロープ	\overline{RD}	出力	リードアクセス中であることを示すストロープ信号です。
ローハイライト	\overline{LHWR}	出力	ライトアクセス中であり、データバスの上位バイト (D15 ~ D8) が有効であることを示すストロープ信号です。
ローローライト	\overline{LLWR}	出力	ライトアクセス中であり、データバスの下位バイト (D7 ~ D0) が有効であることを示すストロープ信号です。

6.6.3 基本タイミング

データのエンディアン形式をビッグエンディアンにした場合の基本タイミングについて説明します。

(1) 16 ビット 2 ステートアクセス空間

図 6.11 ~ 図 6.13 に 16 ビット 2 ステートアクセス空間のバスタイミングを示します。

16 ビットアクセス空間をアクセスするとき、偶数アドレスに対しては上位側 (D15~D8)、奇数アドレスに対しては下位側 (D7~D0) を使用します。ウェイトステートを挿入することはできません。

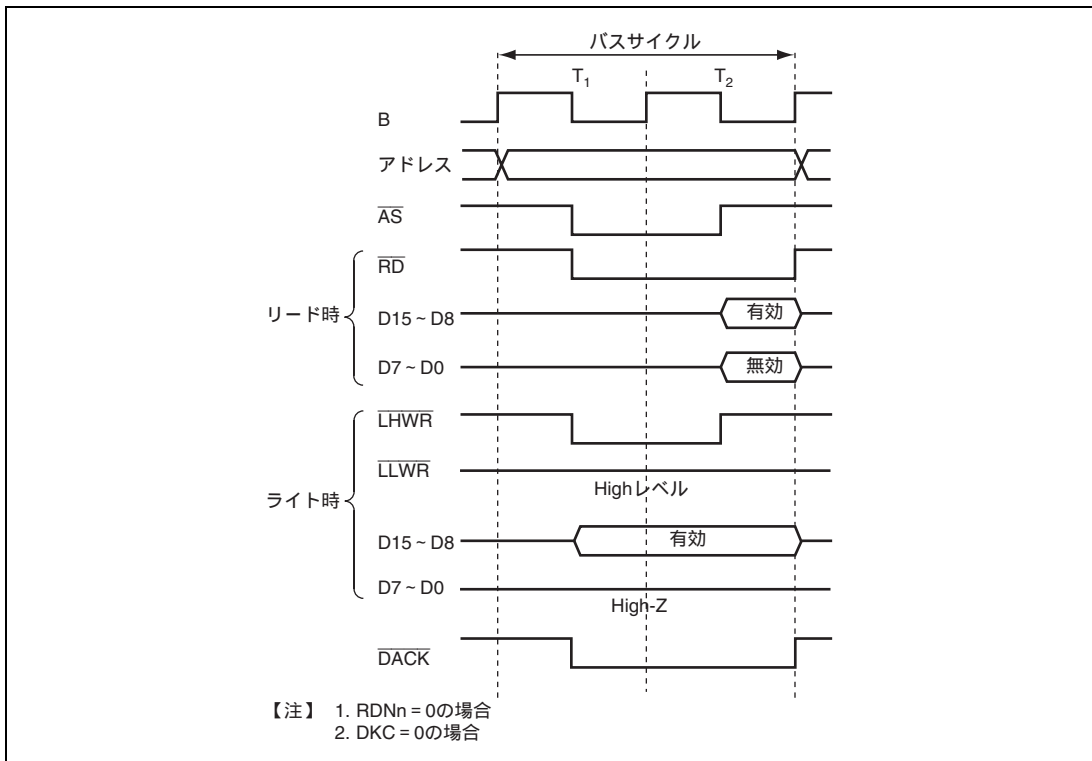


図 6.11 16 ビット 2 ステートアクセス空間のバスタイミング
(偶数アドレスバイトアクセス)

6. バスコントローラ (BSC)

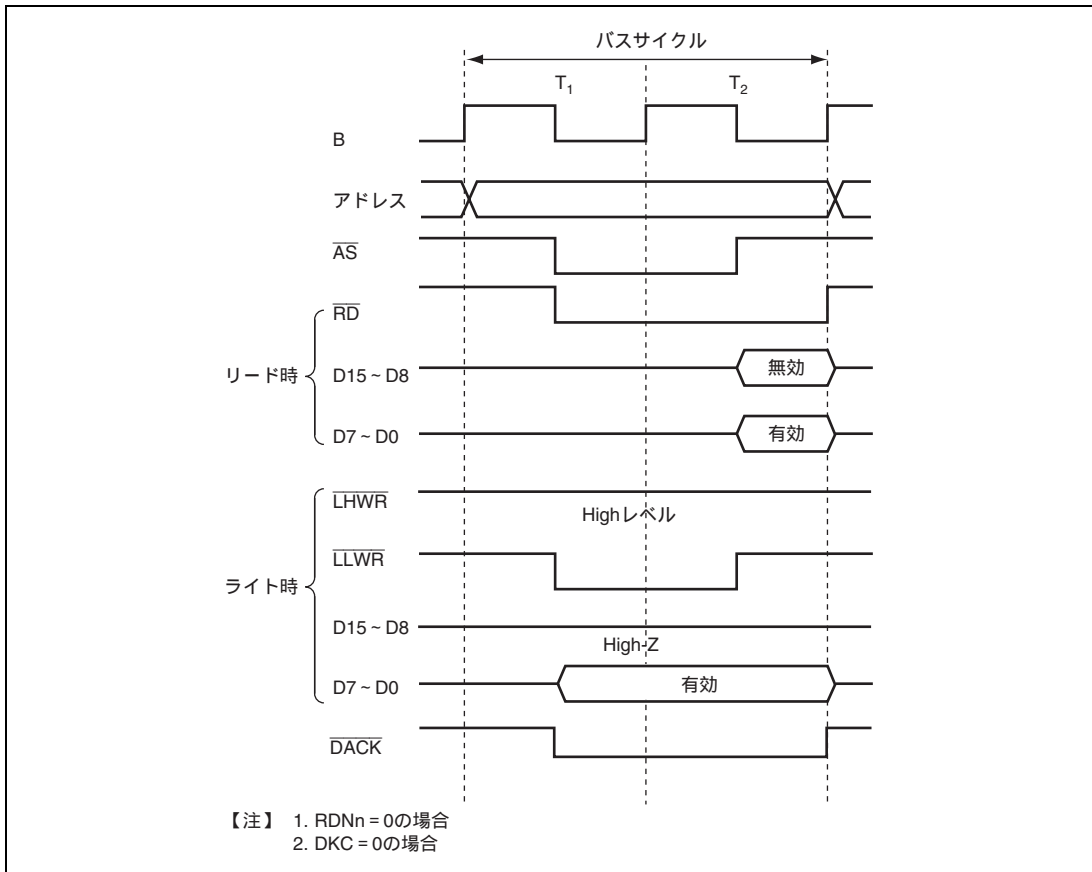


図 6.12 16 ビット 2 ステートアクセス空間のバスタイミング
(奇数アドレスバイトアクセス)

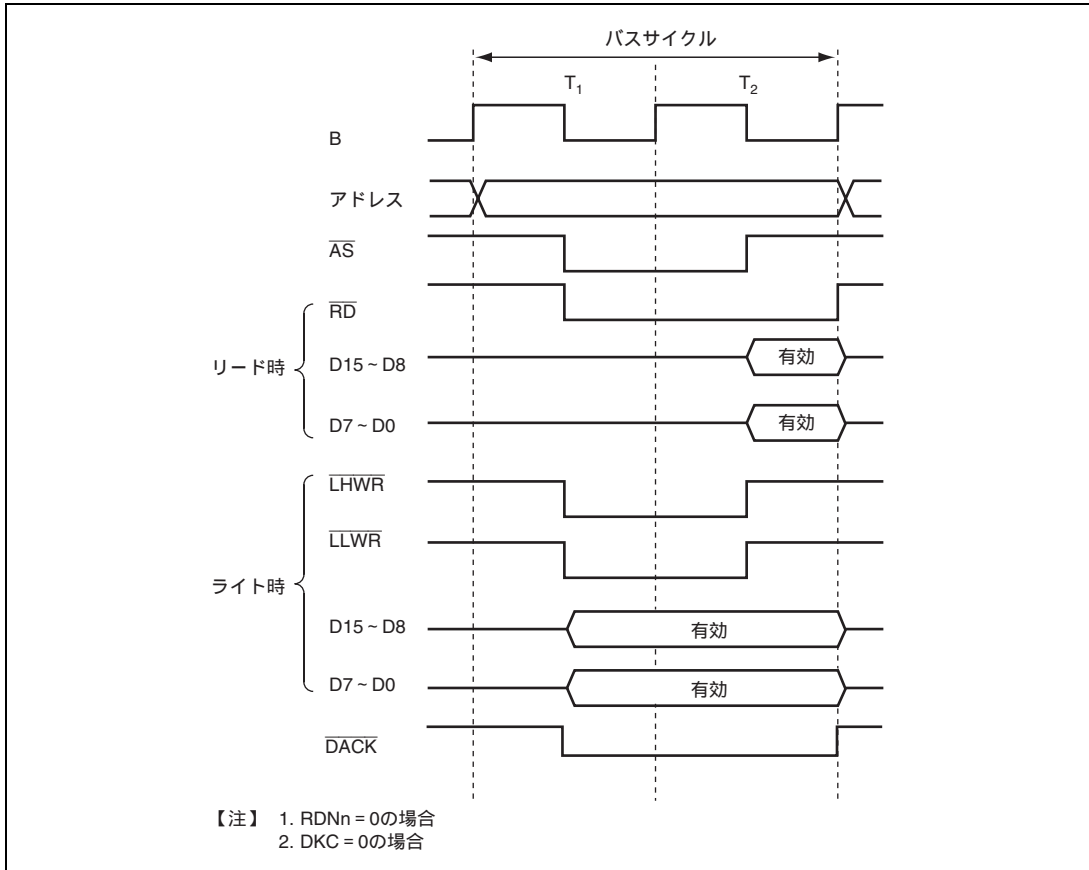


図 6.13 16 ビット 2 ステートアクセス空間のバスタイミング
(偶数アドレスワードアクセス)

6. バスコントローラ (BSC)

(2) 16 ビット 3 ステートアクセス空間

図 6.14 ~ 図 6.16 に 16 ビット 3 ステートアクセス空間のバスタイミングを示します。

16 ビットアクセス空間をアクセスするとき、偶数アドレスに対しては上位側 (D15 ~ D8)、奇数アドレスに対しては下位側 (D7 ~ D0) を使用します。ウェイトステートを挿入することができます。

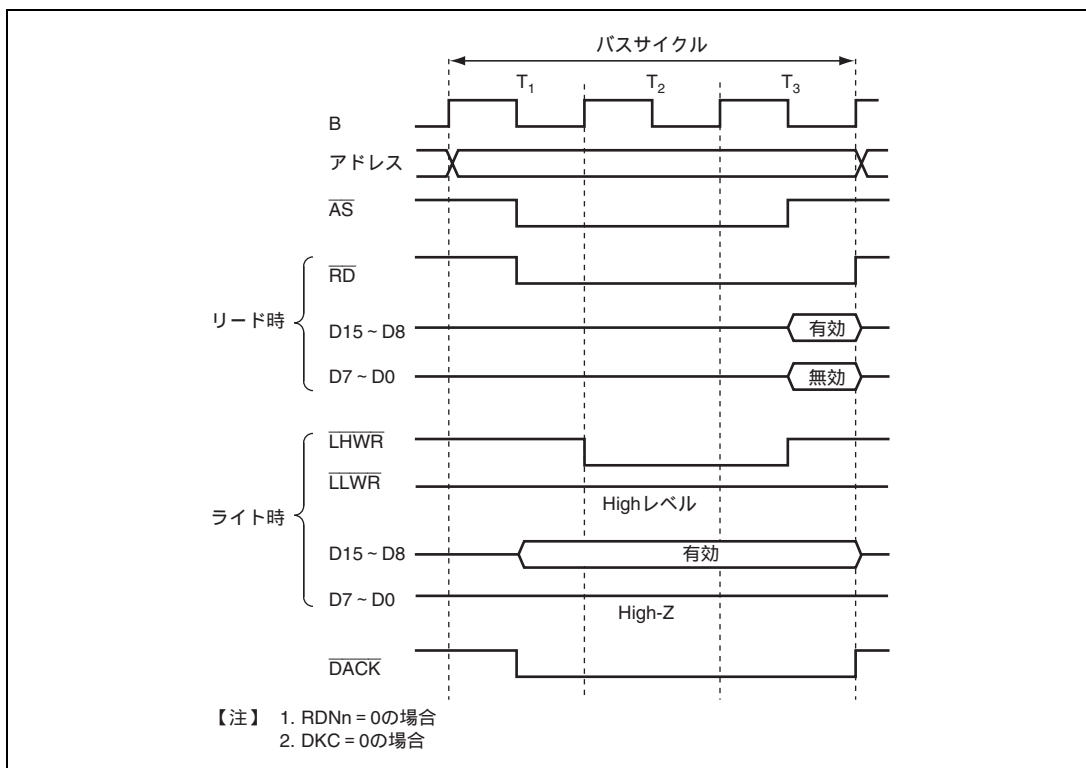


図 6.14 16 ビット 3 ステートアクセス空間のバスタイミング
(偶数アドレスバイトアクセス)

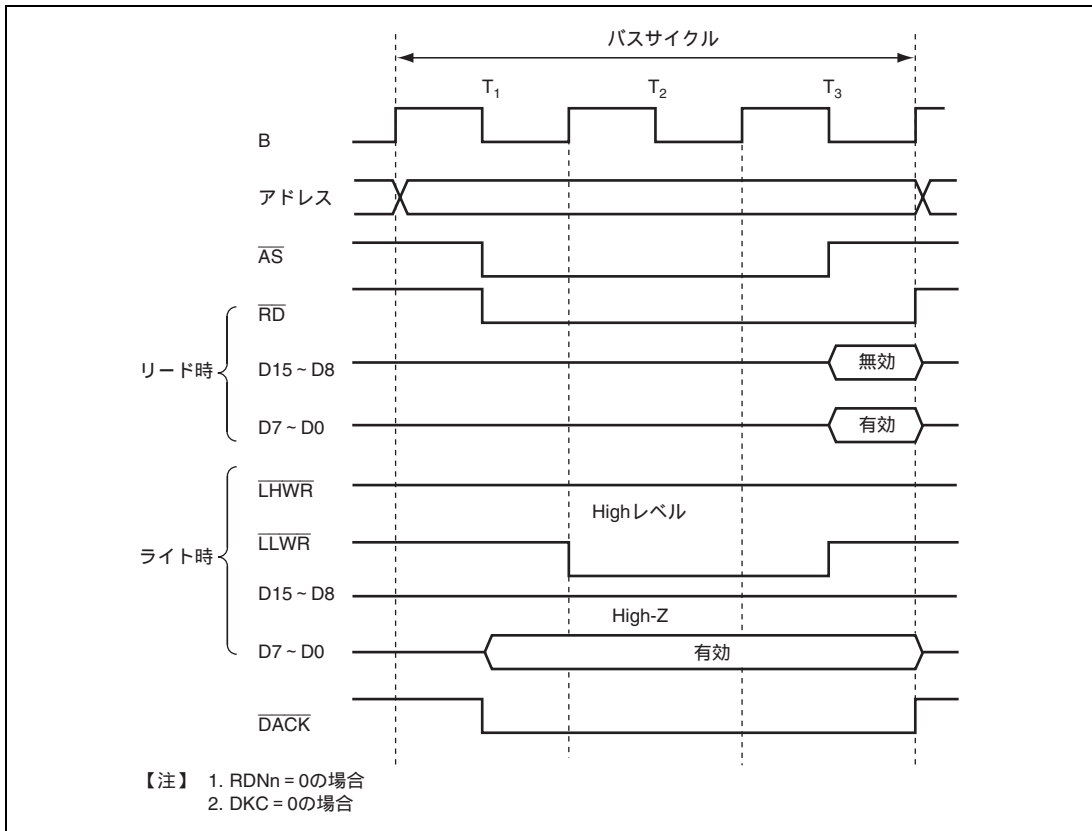


図 6.15 16 ビット 3 ステートアクセス空間のバスタイミング
(奇数アドレスバイトアクセス)

6. バスコントローラ (BSC)

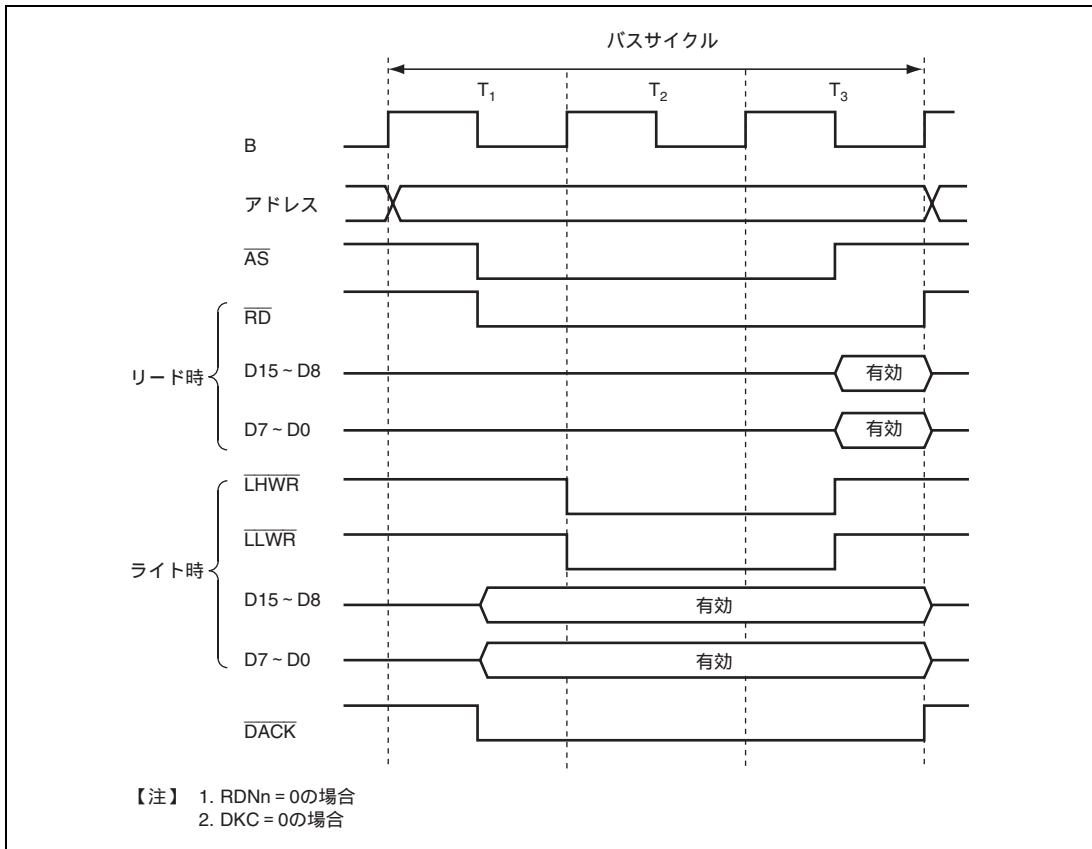


図 6.16 16 ビット 3 ステートアクセス空間のバスタイミング
(偶数アドレスワードアクセス)

6.6.4 ウェイト制御

本 LSI は、外部空間をアクセスするときウェイトステート (T_w) を挿入してバスサイクルを引き延ばすことができます。ウェイトステートを挿入する方法にはプログラムウェイト (T_{pw}) の挿入があります。

(1) プログラムウェイトの挿入

WTCRA、WTCRB の設定により、3 ステートアクセス空間に対してエリア単位で 0~7 ステートのウェイトステートを自動的に T2 ステートと T3 ステートの間に挿入することができます。

図 6.17 にウェイトステート挿入のタイミング例を示します。

リセット後は、3 ステートアクセスかつプログラムウェイトを 7 ステート挿入となっています。

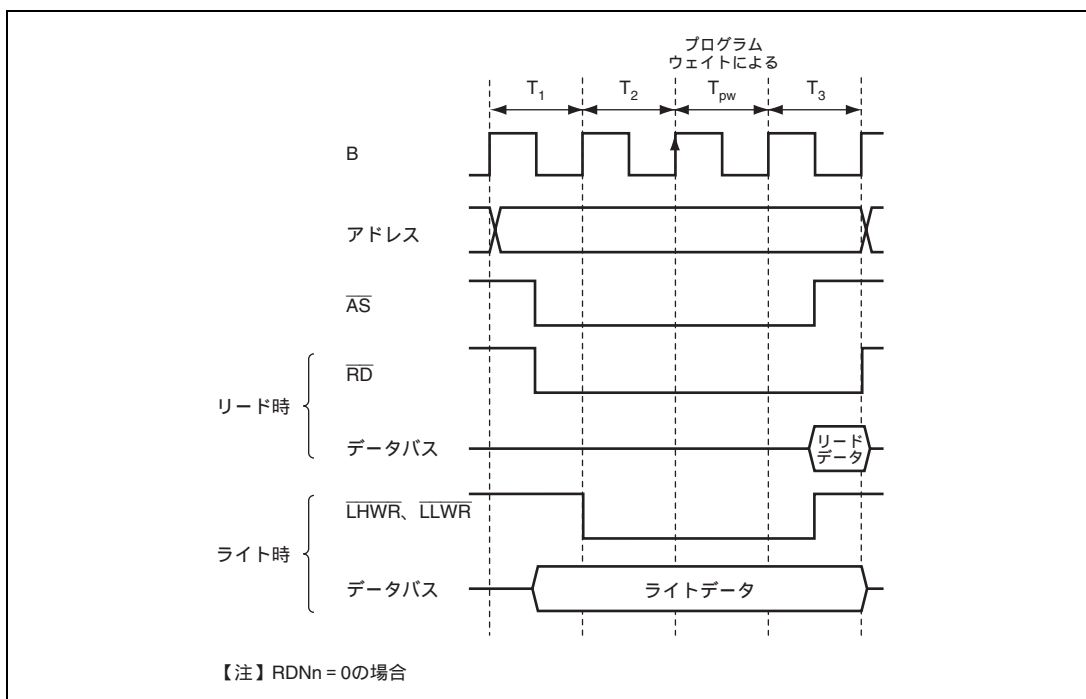


図 6.17 ウェイトステート挿入タイミング例

6. バスコントローラ (BSC)

6.6.5 リードストローブ (\overline{RD}) タイミング

RDNCR の RDN7~RDN0 ビットを 1 にセットすると、エリア単位にリードストローブタイミングを変更することができます。

DMAC をシングルアドレスモードで使用している場合、 $RDN_n=1$ にしてリードストローブタイミングを変更すると、 \overline{DACK} の立ち上がりに対して \overline{RD} のタイミングが変化するので注意が必要です。

図 6.18 に基本バス 3 ステートアクセス空間でリードストローブタイミングを変更した場合のタイミング例を示します。

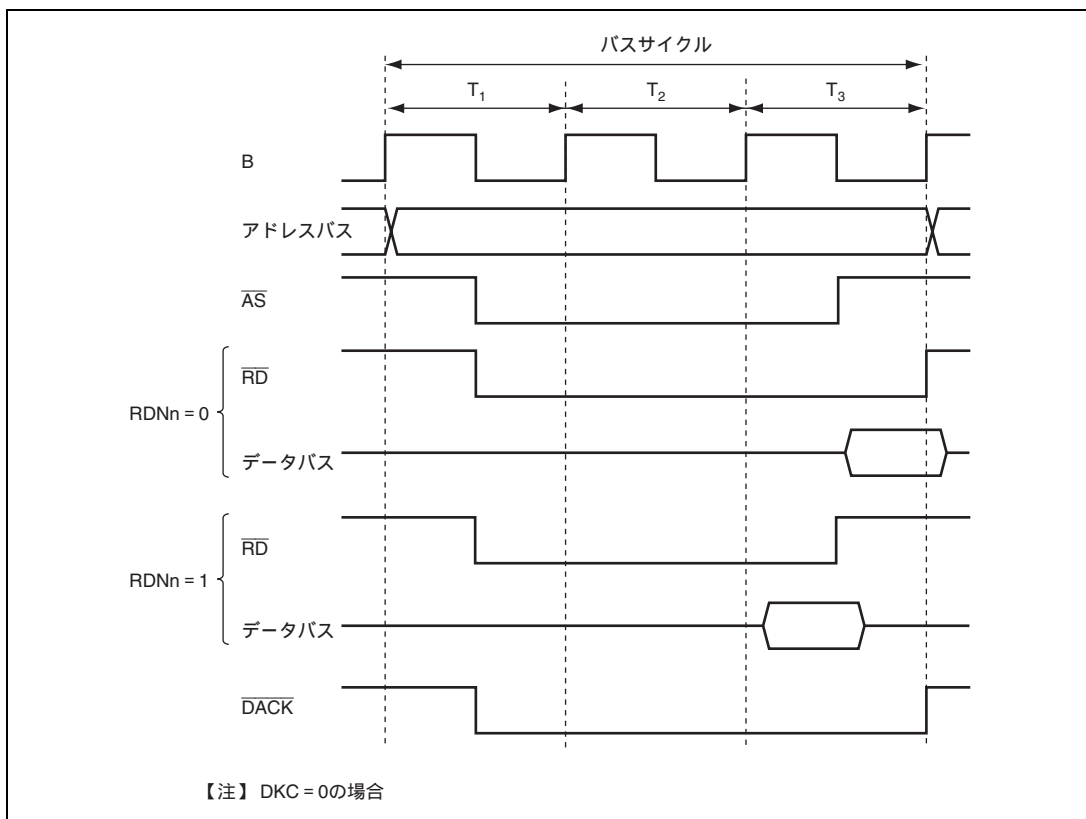


図 6.18 リードストローブタイミング例

6.6.6 $\overline{\text{DACK}}$ 信号の出力タイミング

DMACのシングルアドレス転送を行う場合、BCR1のDKCビットによって $\overline{\text{DACK}}$ 信号のアサートタイミングを変更することができます。

図6.19に $\overline{\text{DACK}}$ 信号の出力タイミングを示します。DKCビットを1にセットすることにより、 $\overline{\text{DACK}}$ 信号は半サイクル早くアサートします。

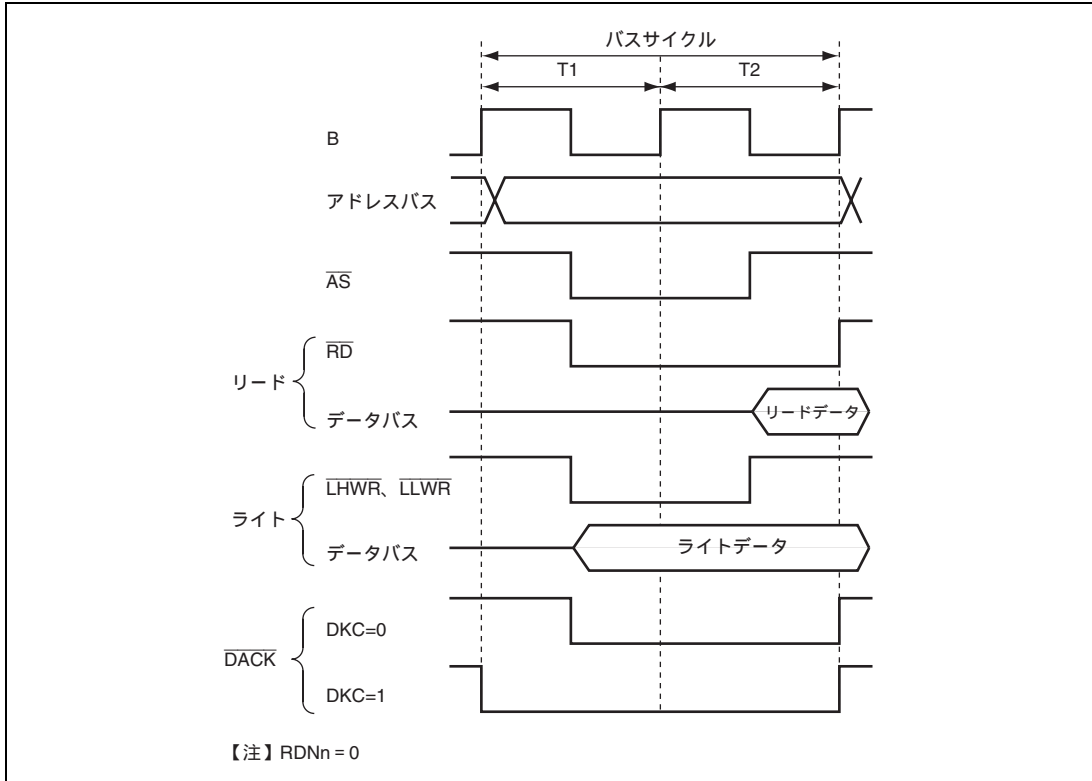


図 6.19 $\overline{\text{DACK}}$ 信号の出力タイミング

6.7 アイドルサイクル

本 LSI は、連続する外部アクセスの間にアイドルサイクルを挿入することが可能です。アイドルサイクルを挿入することにより、たとえば出力フローティング時間の大きい ROM へのリードサイクルと、高速メモリや I/O インタフェースとのデータの衝突を防ぐことができます。

6.7.1 動作説明

外部バスサイクルが連続した場合、リード/ライトの組み合わせと先行してアクセスされたエリアを条件として、アイドルサイクルを挿入することができます。アイドルサイクル挿入条件は、次の 4 種類が選択できます。

1. 異なるエリア間の外部リードサイクルが連続して発生したとき
2. 外部リードサイクル後に外部ライトサイクルが連続して発生したとき
3. 外部ライトサイクル後に外部リードサイクルが連続して発生したとき
4. DMACのシングルアドレス転送(ライトサイクル)後に外部アクセスが連続して発生したとき

上記の条件において、最大 4 ステートのアイドルサイクルを挿入することができます。挿入するアイドルサイクル数は、先行してアクセスされるデバイスの出力データと後続のデバイスのデータが衝突しないように設定してください。

リード後のアイドルサイクル挿入条件である上記 1.、2.の条件で、挿入可能なアイドルサイクル数は、IDLCR の IDLCA1、IDLCA0 ビット、および IDLCB1、IDLCB0 ビットで設定される A または B の 2 種類から選択できます。A は 1~4 ステート、B は 0、2~4 ステートのそれぞれ 4 種類が設定可能です。IDLCR の IDLSEL7~IDLSEL0 ビットにより、エリアごとに A、B の選択が可能です。IDLSEL7~IDLSEL0 ビットは、連続する外部バスサイクルの先行してアクセスされるエリアに対応します。

ライト後のアイドルサイクル挿入条件である上記 3.、4.の条件で、挿入可能なアイドルサイクル数は、上記 A の設定により決まります。

リセット解除後、IDLCR の初期値は、上記 1.~4.のすべての条件でアイドルサイクルを 4 サイクル挿入する設定となっています。

表 6.8 に上記 1.~4.の条件と各エリアでのアイドルサイクル挿入数選択を、表 6.9 に A、B のアイドルサイクル挿入数設定と挿入ステート数の対応を示します。

表 6.8 各エリアのアイドルサイクル挿入数選択一覧

挿入条件	ビット設定			先行アクセスのエリア							
	IDLSn		IDLSELn	0	1	2	3	4	5	6	7
	n	設定	n=0~7								
異なるエリアの間で連続リード	1	0	-	無効							
		1	0	A	A	A	A	A	A	A	A
			1	B	B	B	B	B	B	B	B
リード後のライト	0	0	-	無効							
		1	0	A	A	A	A	A	A	A	A
			1	B	B	B	B	B	B	B	B
ライト後のリード	2	0	-	無効							
		1	A	A	A	A	A	A	A	A	
シングルアドレス転送後の外部アクセス	3	0	-	無効							
		1	A	A	A	A	A	A	A	A	

【記号説明】

A : アイドルサイクル挿入数 A を選択

B : アイドルサイクル挿入数 B を選択

無効 : 該当する条件ではアイドルサイクルを挿入しない

表 6.9 アイドルサイクルの挿入数一覧

ビット設定値				挿入ステート数
A		B		
IDLCA1	IDLCA0	IDLCB1	IDLCB0	
		0	0	0
0	0			1
0	1	0	1	2
1	0	1	0	3
1	1	1	1	4

6. バスコントローラ (BSC)

(1) 異なるエリア間での連続リード

IDLCR の IDLS1 ビットを 1 にセットした状態で異なるエリア間の連続リードが発生すると、2 回目のリードサイクルの先頭に、IDLCR の IDLSELn = 0 のときは IDLCA1、IDLCA0 ビット、IDLSELn = 1 のときは IDLCB1、IDLCB0 ビットに設定したサイクル数のアイドルサイクルが挿入されます (n = 7~0)。

図 6.20 に動作例を示します。バスサイクル A は出力フローティング時間の大きい ROM からのリードサイクル、バスサイクル B は SRAM からのリードサイクルで、それぞれ異なるエリアに配置した場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で ROM からのリードデータと SRAM からのリードデータの衝突が発生しています。これに対し (b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

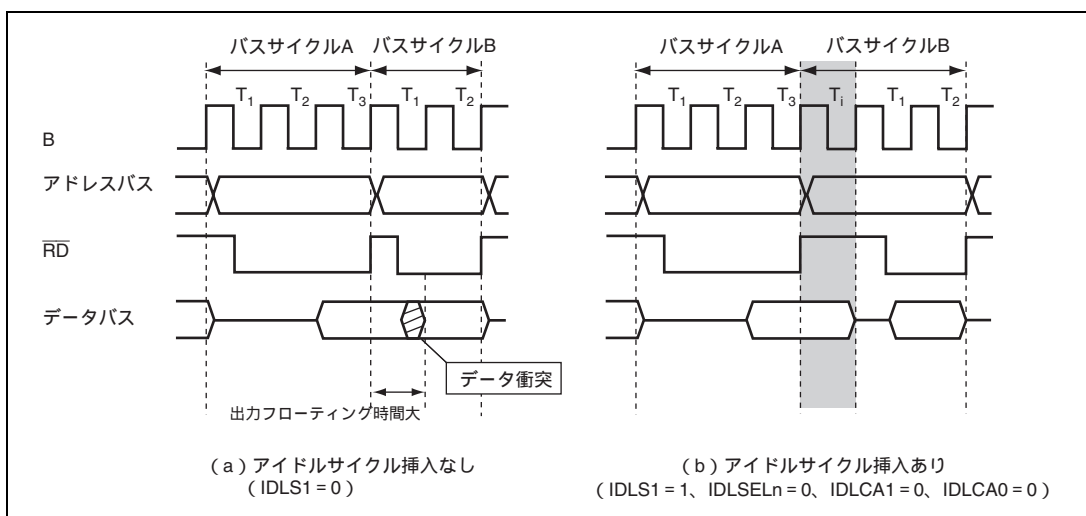


図 6.20 アイドルサイクル動作例 (異なるエリア間での連続リード)

(2) リード後のライト

IDLCR の IDLS0 ビットを 1 にセットした状態で、外部リード後に外部ライトが発生すると、ライトサイクルの先頭に IDLCR の IDLSELn=0 のときは IDLCA1、IDLCA0 ビット、IDLSELn=1 のときは IDLCB1、IDLCB0 ビットに設定したサイクル数のアイドルサイクルが挿入されます (n=7~0)。

図 6.21 に動作例を示します。バスサイクル A は出力フローティング時間の大きい ROM からのリードサイクル、バスサイクル B は CPU のライトサイクルの場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で ROM からのリードデータと CPU のライトデータの衝突が発生しています。これに対し (b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

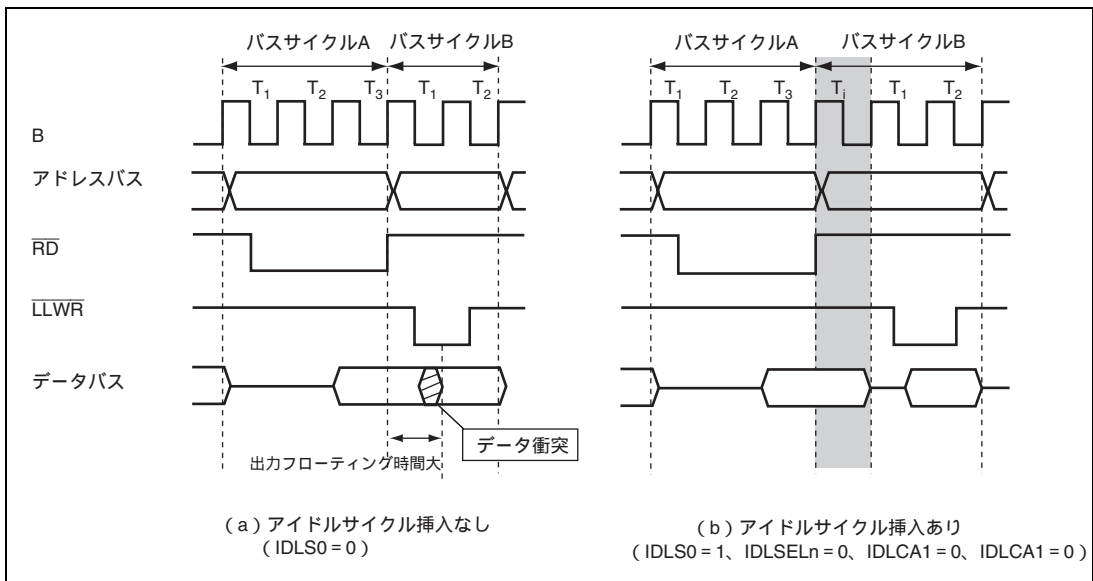


図 6.21 アイドルサイクル動作例 (リード後のライト)

6. バスコントローラ (BSC)

(3) ライト後のリード

IDLCR の IDLS2 ビットを 1 に設定した状態で、外部ライト後に外部リードが発生すると、リードサイクルの先頭に IDLCR の IDLCA1、IDLCA0 ビットに設定したサイクル数のアイドルサイクルが挿入されます。

図 6.22 に動作例を示します。バスサイクル A は CPU のライトサイクル、バスサイクル B は SRAM からのリードサイクルの場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で CPU のライトデータと SRAM からのリードデータの衝突が発生しています。これに対し (b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

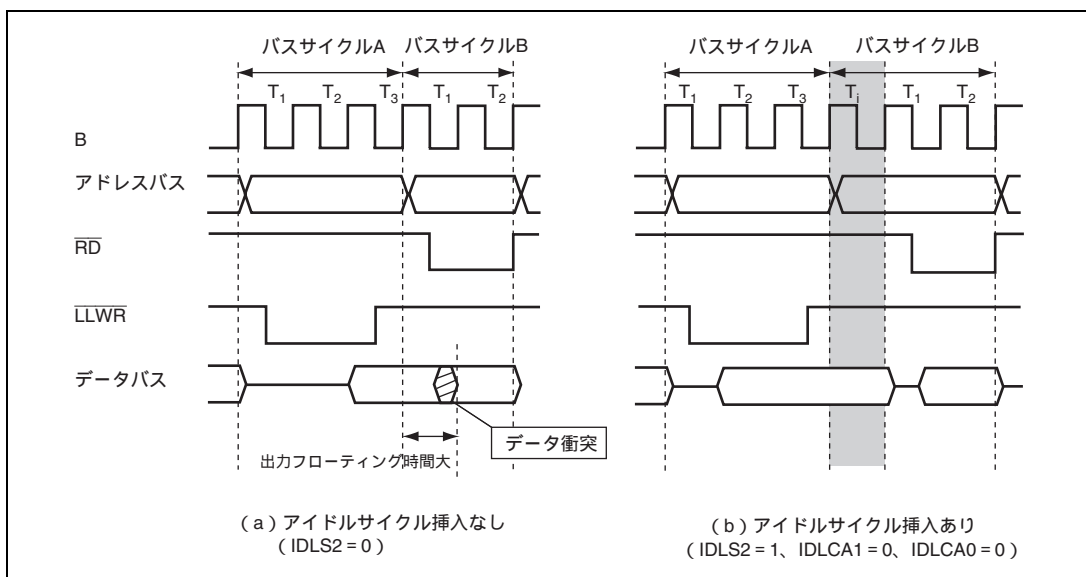


図 6.22 アイドルサイクル動作例 (ライト後のリード)

(4) シングルアドレス転送ライト後の外部アクセス

IDLCR の IDLS3 ビットを 1 に設定した状態で、シングルアドレス転送ライト後に外部アクセスが発生すると、外部アクセスの先頭に IDLCR の IDLCA1、IDLCA0 ビットに設定したサイクル数のアイドルサイクルが挿入されます。

図 6.23 に動作例を示します。バスサイクル A はシングルアドレス転送ライトサイクル、バスサイクル B は CPU のライトサイクルの場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で外部デバイスライトデータと本 LSI のライトデータの衝突が発生しています。これに対し (b) ではアイドルサイクルを挿入し、データ衝突を回避しています。

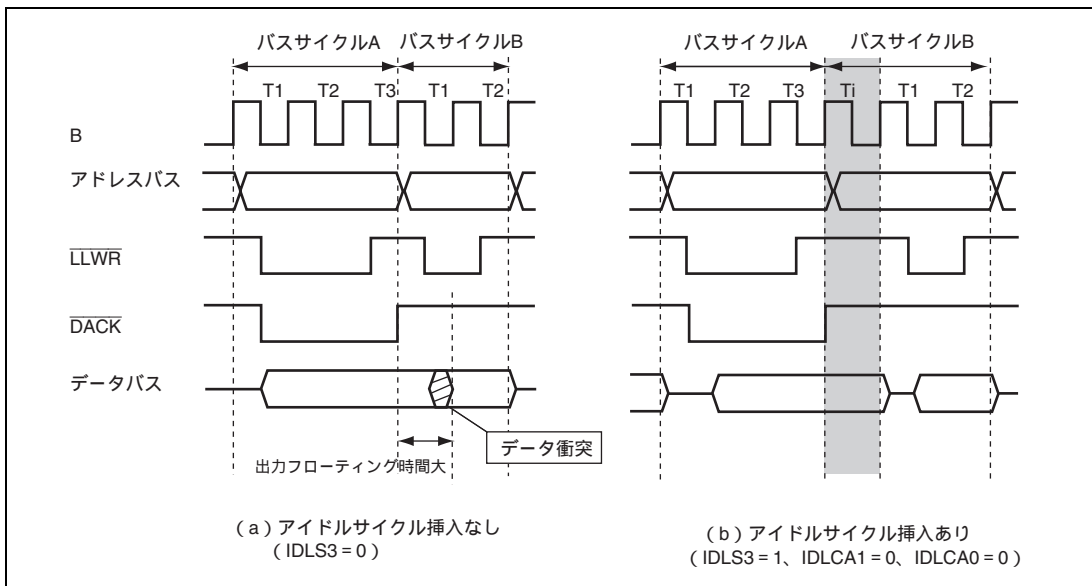


図 6.23 アイドルサイクル動作例 (シングルアドレス転送ライト後のライト)

6. バスコントローラ (BSC)

(5) 外部 NOP サイクルとアイドルサイクル

内部処理などにより外部空間をアクセスしないサイクル (外部 NOP サイクル) をはさんで外部バスサイクルが連続する場合においても、アイドルサイクル挿入条件は有効です。この場合、外部 NOP サイクルはアイドルサイクルの一部としてカウントされます。

図 6.24 に挿入例を示します。

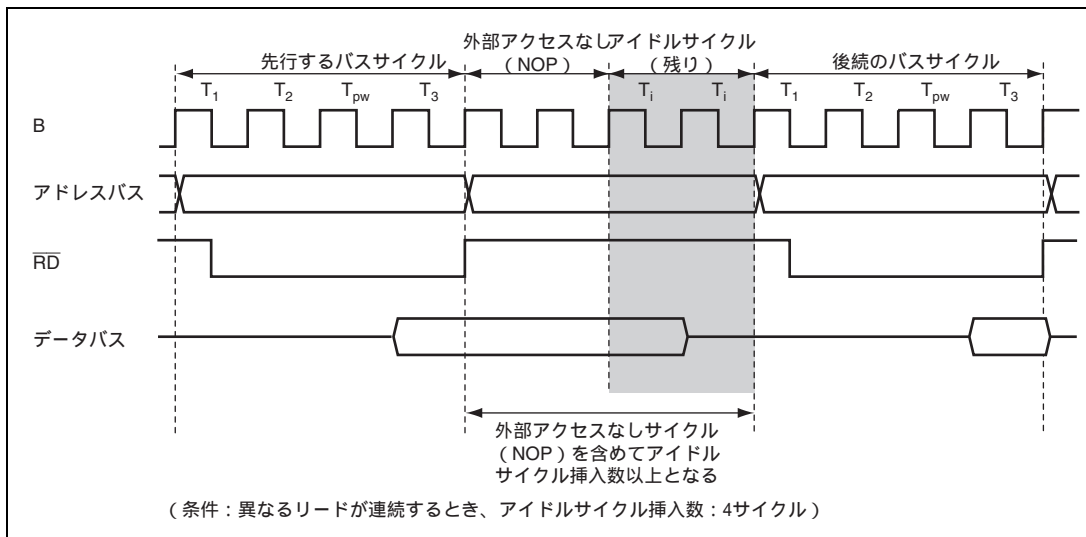


表 6.10 通常空間を混在してアクセスするときのアイドルサイクル

前のアクセス	次のアクセス	IDLS				IDLSEL 7~0	IDLCA		IDLCB		アイドル サイクル		
		3	2	1	0		1	0	1	0			
通常空間	通常空間	-	-	0	-	-	-	-	-	-	無効		
リード	リード	-	-	1	-	0	0	0	-	-	1ステート		
							0	1			2ステート		
							1	0			3ステート		
							1	1			4ステート		
		1	-	-	-	1	-	-	0	0	0	0	0ステート
									0	1			2ステート
									1	0			3ステート
									1	1			4ステート

前のアクセス	次のアクセス	IDLS				IDLSEL 7~0	IDLCA		IDLCB		アイドル サイクル	
		3	2	1	0		1	0	1	0		
通常空間 リード	通常空間 ライト	-	-	-	0	-	-	-	-	-	無効	
		-	-	-	1	0	0	0	-	-	1 ステート	
							0	1			2 ステート	
							1	0			3 ステート	
							1	1			4 ステート	
		1	-	-	-	-	1	-	-	0	0	0 ステート
								0	1			2 ステート
								1	0			3 ステート
								1	1			4 ステート
		通常空間 ライト	通常空間 リード	-	0	-	-	-	-	-	-	-
-	1			-	-	-	0	0	-	-	1 ステート	
							0	1			2 ステート	
							1	0			3 ステート	
							1	1			4 ステート	
シングル アドレス転送 ライト	通常空間 ライト	0	-	-	-	-	-	-	-	-	無効	
		1	-	-	-	-	0	0	-	-	1 ステート	
							0	1			2 ステート	
							1	0			3 ステート	
							1	1			4 ステート	

6.7.2 アイドルサイクルでの端子状態

表 6.11 にアイドルサイクルでの端子状態を示します。

表 6.11 アイドルサイクルでの端子状態

端子名	端子の状態
A23 ~ A0	直後のバスサイクルの内容
D15 ~ D0	ハイインピーダンス
\overline{AS}	High レベル
\overline{RD}	High レベル
\overline{LHWR} 、 \overline{LLWR}	High レベル
\overline{DACKn} (n=3~0)	High レベル

6. バスコントローラ (BSC)

6.8 内部バス

6.8.1 内部アドレス空間へのアクセス

本 LSI の内部アドレス空間には、内蔵 ROM 空間、内蔵 RAM 空間、内蔵周辺モジュールレジスタ空間があり、それぞれアクセスに要するサイクル数が異なります。

表 6.12 に内蔵メモリ空間のアクセスサイクル数を示します。

表 6.12 内蔵メモリ空間のアクセスサイクル数

アクセス対象	アクセス	サイクル数
内蔵 ROM 空間	リード	1I サイクル
	ライト	6I サイクル
内蔵 RAM 空間	リード	1I サイクル
	ライト	2I サイクル

内蔵周辺モジュールレジスタへのアクセスは、レジスタによってアクセスサイクル数が異なります。バスマスタの動作クロックと周辺モジュールの動作クロックが $1:n$ に分周されている場合、外部バスクロックの分周と同様にレジスタアクセスに $0 \sim n-1$ の分周クロック同期化サイクルが挿入されます。

表 6.13 に内蔵周辺モジュールレジスタ空間のアクセスサイクル数を示します。

表 6.13 内蔵周辺モジュールレジスタ空間のアクセスサイクル数

アクセス対象	サイクル数		ライトデータバッファ機能
	リード	ライト	
DMAC のレジスタ	2I		無効
MCU 動作モード、クロック発振器、消費電力制御のレジスタ、割り込みコントローラ、バスコントローラのレジスタ	2I	3I	無効
I/O ポートの PFCR、WDT のレジスタ	2P	3P	無効
I/O ポートの PFCR 以外のレジスタ、TPU、IIC2、SCI、A/D、D/A のレジスタ	2P		有効
RCAN-ET の RCANMON レジスタ、SSU*、WAT、SDG、モータコントロール PWM、16 ビット PWM のレジスタ	3P		有効
RCAN-ET の RCANMON 以外のレジスタ	4P		有効

【注】 * SSU : Synchronous Serial communication Unit

6.9 ライトデータバッファ機能

6.9.1 外部ライトデータバッファ機能

本 LSI は外部データバスにライトデータバッファ機能を備えています。ライトデータバッファ機能を使用すると、外部ライトまたは DMAC シングルアドレス転送と、内部アクセスを並行して実行することができます。BCR1 の WDBE ビットを 1 にセットすると、ライトデータバッファ機能を使用することができます。

図 6.25 にライトデータバッファ機能を使用したときのタイミング例を示します。この機能を使用した場合、外部ライトまたは DMAC シングルアドレス転送が 2 ステート以上続き、次に内部アクセスがあるときは、最初の 2 ステートは外部ライトのみが実行されますが、次のステートから外部ライトの終了を待たずに内部アクセス（内蔵メモリ、内部 I/O レジスタのリード/ライト）が並行して実行されます。

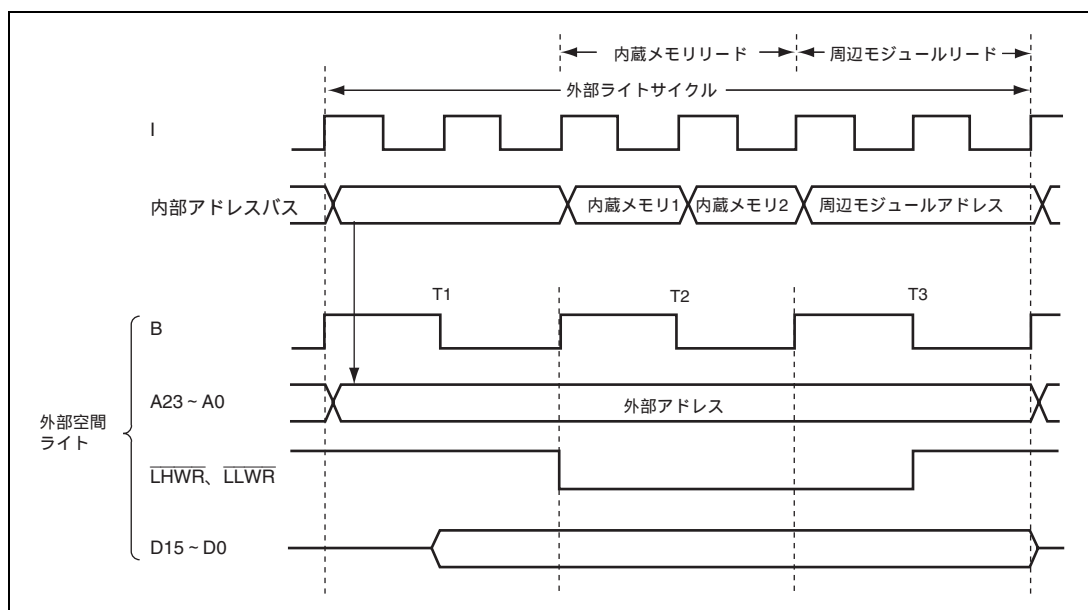


図 6.25 外部ライトデータバッファ機能使用時のタイミング例

6.9.2 周辺モジュールライトデータバッファ機能

本 LSI は、周辺モジュールアクセスのためにライトデータバッファ機能を備えています。ライトデータバッファ機能を使用すると、周辺モジュールライトサイクルと、内蔵メモリまたは外部アクセスを並行して実行することができます。BCR2 の PWDBE ビットを 1 にセットすると、ライトデータバッファ機能を使用することができます。ライトデータバッファ機能が有効となる周辺モジュールレジスタ空間は、「6.8 内部バス」の表 6.13 を参照してください。

図 6.26 にライトデータバッファ機能を使用したときのタイミング例を示します。この機能を使用した場合、内部 I/O レジスタライトが 2 ステート以上続き、次に内蔵 RAM、内蔵 ROM、または外部アクセスがあるときは、最初の 2 ステートは内部 I/O レジスタライトのみが実行されますが、次のステートから内部 I/O レジスタライトの終了を待たずに内蔵メモリ外部アクセスが並行して実行されます。

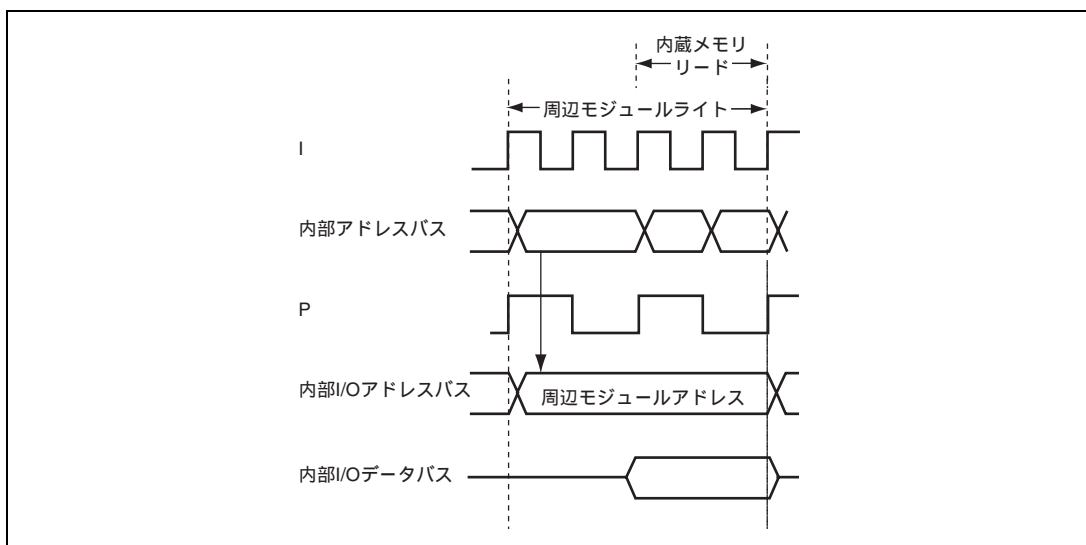


図 6.26 周辺モジュールライトデータバッファ機能使用時のタイミング例

6.10 バスアービトレーション

本 LSI は、バスマスタの動作を調停 (バスアービトレーション) するバスアービタを内蔵しています。バス調停は、内部アクセスと外部アクセスのそれぞれにバスアービタを内蔵し、個別に制御しています。内部バスアービタの対象は、CPU、DMAC のそれぞれのアクセスです。

バスアービタは所定のタイミングで優先順位を判定し、バス権要求アクノレッジ信号によりバスの使用を許可します。

6.10.1 動作説明

バスアービタは、バスマスタのバス権要求信号を検出して、バス権が要求されていれば、そのバスマスタにバス権要求アクノレッジ信号を与えます。複数のバスマスタからバス権要求があれば、最も優先順位の高いものにバス権要求アクノレッジ信号を与えます。バス権要求アクノレッジ信号を受け取ったバスマスタは、以後この信号が取り消されるまでバスを占有します。

バスマスタの優先順位は以下のとおりです。

内部バスアービトレーション：

(高) DMAC > CPU (低)

ただし、BCR2 の IBCCS ビットを 1 にセットすることにより、DMAC のアクセスが連続する場合に CPU の優先順位を高くして、DMAC と交互にバス権を取ることができます。このとき DMAC の優先順位に変化はありません。

6.10.2 バス権移行タイミング

バス権を獲得して動作しているバスマスタよりも優先順位の高いバスマスタからのバス権要求があったときでも、すぐにバス権が移行するとは限りません。各バスマスタには、バス権を譲ることができるタイミングがあります。

(1) CPU

CPU は最も優先順位が低いバスマスタで、DMAC からのバス権要求があると、内部バスアービタはバス権を CPU からバス権要求のあったバスマスタに移行します。

バス権が移行するタイミングはバスサイクルの切れ目です。スリープモード中はクロックに同期してバス権を移行します。ただし、次の場合は、バス権の移行を禁止しています。

- ワード、ロングワードサイズのアクセスを分割して実行しているとき
- スタック操作を複数バスサイクルで実行しているとき
- メモリ間転送命令、ブロック転送命令、およびTAS命令で、転送データのリードとライトの期間
(ブロック転送命令は、ライトサイクルと次の転送データのリードサイクルの間は、バス権を移行することができます。)
- ビット操作命令やメモリ演算命令で、対象のデータをリードしてからライトするまでの期間
(命令の条件によりライトを行わない場合も、ライトに相当するステートまでの期間が該当します。)

(2) DMAC

DMAC は起動要求が発生すると内部バスアービタに対してバス権を要求します。外部バス空間にアクセスする場合は、内部バスのバス権を取得した上で外部バスアービタに対してバス権を要求します。

DMAC の転送サイクルには、いったん、バス権を取得すると連続して転送を行う場合と、転送サイクルごとにバス権を解放する場合があります。

バス権を解放せずに連続して実行する転送サイクルには、次の場合があります。

- デュアルアドレスモードのリードサイクルから、リードサイクルに対応するライトサイクルの期間

DMAC より優先順位の高いバスマスタからのバス権要求がなく、BCR2 の IBCCS ビットが 0 にクリアされているとき、バス権を解放せずに連続して実行する転送サイクルには、以下の場合があります。

- ブロック転送モードの1ブロック転送中

上記以外の転送サイクルの場合、バスサイクルが終了した時点でバス権を移行します。

6.11 リセットとバスコントローラ

リセットで、バスコントローラを含めて本 LSI はその時点でリセット状態になります。実行中のバスサイクルは途中で打ち切られます。

6.12 使用上の注意事項

(1) レジスタの設定

バスコントローラのレジスタの設定は、外部空間をアクセスする前に設定してください。外部 ROM 起動の場合は、外部 ROM からの命令フェッチ以外の外部アクセスが発生する前に設定してください。

6. バスコントローラ (BSC)

7. DMA コントローラ (DMAC)

本 LSI は、4 チャンネルの DMA コントローラ (DMAC) を内蔵しています。

7.1 特長

- 最大4Gバイトのアドレス空間をアクセス可能
- データ転送単位はバイト、ワード、またはロングワードを選択可能
- 総転送サイズは最大4Gバイト (4,294,967,295バイト) 設定可能
総転送サイズを設定しないフリーランニングモードも選択可能
- DMACの起動方法は、オートリクエスト、内蔵モジュール割り込み、外部リクエストを選択可能
オートリクエスト：CPUより起動 (サイクルスチールモードとバーストモードの選択が可能)
内蔵モジュール割り込み：各種内蔵周辺モジュールからの割り込み要求を起動要因として選択可能
外部リクエスト： $\overline{\text{DREQ}}$ 信号のLowレベル検出、または立ち下がリエッジ検出を選択可能
4チャンネルすべて外部リクエストを受け付け可能
(ブロック転送モードの場合はLowレベル検出のみ設定可能)
- アドレスモードはデュアルアドレスモード、シングルアドレスモードを選択可能
デュアルアドレスモード：転送元、転送先双方をアドレス指定しデータを転送
シングルアドレスモード：転送元または転送先の周辺デバイスを $\overline{\text{DACK}}$ 信号でアクセスし、
もう一方をアドレス指定してデータを転送
- 転送モードはノーマル転送モード、リピート転送モード、またはブロック転送モードを選択可能
ノーマル転送モード：1バイト/1ワード/1ロングワードを1回の転送要求で転送
リピート転送モード：1バイト/1ワード/1ロングワードを1回の転送要求で転送
リピートサイズ分、データを転送すると転送開始時のアドレスに復帰
リピートサイズは最大64k回 (65,536バイト/ワード/ロングワード) 設定可能
ブロック転送モード：1ブロックのデータを1回の転送要求で転送
ブロックサイズは最大64k回 (65,536バイト/ワード/ロングワード) 設定可能
- 拡張リピートエリア機能 (転送アドレスレジスタの上位ビットの値を固定して特定範囲のアドレス値を繰り返させ、リングバッファなどのデータ転送を行う) を選択可能
拡張リピートエリアには、1ビット (2バイト) ~27ビット (128Mバイト) を転送元、転送先別に設定可能
- アドレス更新は、1、2、または4の増減、固定、オフセット加算を選択可能
オフセット加算でアドレスを更新させると、途中のアドレスを飛ばしたデータ転送可能

7. DMA コントローラ (DMAC)

- ワードデータや、ロングワードデータを各データ境界から外れたアドレスに転送可能
データ転送時にアドレスに応じた最適なデータ (バイトやワード) に分割して転送可能
- CPUに2種類の割り込み要求を発生
転送終了割り込み: 転送カウンタで設定したデータ数を転送終了後に発生
転送エスケープ終了割り込み: 残る総転送サイズが1回の転送要求で転送する設定サイズを下回ったとき、
リピートサイズ分のデータ転送を終了したとき、または拡張リピートエリア
がオーバーフローしたときに発生

DMAC のブロックを図 7.1 に示します。

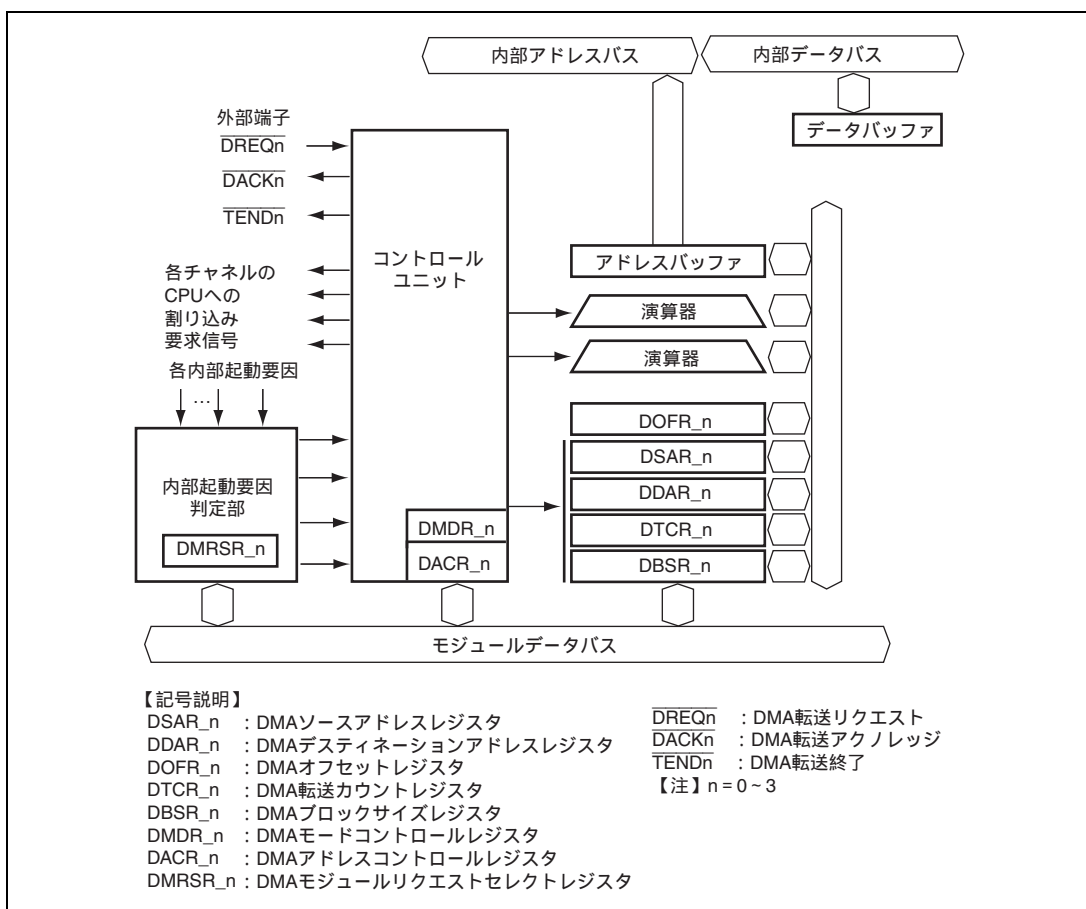


図 7.1 DMAC のブロック図

7.2 入出力端子

DMAC の端子構成を表 7.1 に示します。

表 7.1 端子構成

チャンネル	名称	略称	入出力	機能
0	DMA 転送リクエスト 0	$\overline{DREQ0_A}$	入力	チャンネル 0 の外部リクエスト
	DMA 転送アックノレッジ 0	$\overline{DACK0_A}$	出力	チャンネル 0 のシングルアドレス転送アックノレッジ
	DMA 転送終了 0	$\overline{TEND0_A}$	出力	チャンネル 0 の転送終了
1	DMA 転送リクエスト 1	$\overline{DREQ1_A}$	入力	チャンネル 1 の外部リクエスト
	DMA 転送アックノレッジ 1	$\overline{DACK1_A}$	出力	チャンネル 1 のシングルアドレス転送アックノレッジ
	DMA 転送終了 1	$\overline{TEND1_A}$	出力	チャンネル 1 の転送終了
2	DMA 転送リクエスト 2	$\overline{DREQ2_B}$	入力	チャンネル 2 の外部リクエスト
	DMA 転送アックノレッジ 2	$\overline{DACK2_B}$	出力	チャンネル 2 のシングルアドレス転送アックノレッジ
	DMA 転送終了 2	$\overline{TEND2_B}$	出力	チャンネル 2 の転送終了
3	DMA 転送リクエスト 3	$\overline{DREQ3_B}$	入力	チャンネル 3 の外部リクエスト
	DMA 転送アックノレッジ 3	$\overline{DACK3_B}$	出力	チャンネル 3 のシングルアドレス転送アックノレッジ
	DMA 転送終了 3	$\overline{TEND3_B}$	出力	チャンネル 3 の転送終了

7.3 レジスタの説明

DMAC には以下のレジスタがあります。

チャンネル 0

- DMA ソースアドレスレジスタ₀ (DSAR₀)
- DMA デスティネーションアドレスレジスタ₀ (DDAR₀)
- DMA オフセットレジスタ₀ (DOFR₀)
- DMA 転送カウントレジスタ₀ (DTCR₀)
- DMA ブロックサイズレジスタ₀ (DBSR₀)
- DMA モードコントロールレジスタ₀ (DMDR₀)
- DMA アドレスコントロールレジスタ₀ (DACR₀)
- DMA モジュールリクエストセレクトレジスタ₀ (DMRSR₀)

チャンネル 1

- DMA ソースアドレスレジスタ₁ (DSAR₁)
- DMA デスティネーションアドレスレジスタ₁ (DDAR₁)
- DMA オフセットレジスタ₁ (DOFR₁)
- DMA 転送カウントレジスタ₁ (DTCR₁)

7. DMA コントローラ (DMAC)

- DMAブロックサイズレジスタ_1 (DBSR_1)
- DMAモードコントロールレジスタ_1 (DMDR_1)
- DMAアドレスコントロールレジスタ_1 (DACR_1)
- DMAモジュールリクエストセレクトレジスタ_1 (DMRSR_1)

チャンネル 2

- DMAソースアドレスレジスタ_2 (DSAR_2)
- DMAデスティネーションアドレスレジスタ_2 (DDAR_2)
- DMAオフセットレジスタ_2 (DOFR_2)
- DMA転送カウントレジスタ_2 (DTCR_2)
- DMAブロックサイズレジスタ_2 (DBSR_2)
- DMAモードコントロールレジスタ_2 (DMDR_2)
- DMAアドレスコントロールレジスタ_2 (DACR_2)
- DMAモジュールリクエストセレクトレジスタ_2 (DMRSR_2)

チャンネル 3

- DMAソースアドレスレジスタ_3 (DSAR_3)
- DMAデスティネーションアドレスレジスタ_3 (DDAR_3)
- DMAオフセットレジスタ_3 (DOFR_3)
- DMA転送カウントレジスタ_3 (DTCR_3)
- DMAブロックサイズレジスタ_3 (DBSR_3)
- DMAモードコントロールレジスタ_3 (DMDR_3)
- DMAアドレスコントロールレジスタ_3 (DACR_3)
- DMAモジュールリクエストセレクトレジスタ_3 (DMRSR_3)

7.3.1 DMA ソースアドレスレジスタ (DSAR)

DSAR は、転送元のアドレスを指定するための 32 ビットのリード/ライト可能なレジスタです。アドレス更新機能を持ち、転送処理が行われるたびに次の転送元アドレスに更新されます。シングルアドレスモードにおいて、DDAR をデスティネーションアドレスとして転送すると (DACR の DIRS = 1)、DSAR の値は無視されます。

DSAR は CPU から常にリード可能ですが、転送処理中のチャンネルの DSAR をリードするときは、ロングワードサイズでリードしてください。DMA 動作中のチャンネルの DSAR にはライトしないでください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7.3.2 DMA デスティネーションアドレスレジスタ (DDAR)

DDAR は、転送先のアドレスを指定するための 32 ビットのリード/ライト可能なレジスタです。アドレス更新機能を持ち、転送処理が行われるたびに次の転送先アドレスに更新されます。シングルアドレスモードにおいて、DSAR をソースアドレスとして転送すると (DACR の DIRS = 0)、DDAR の値は無視されます。

DDAR は CPU から常にリード可能ですが、転送処理中のチャンネルの DDAR をリードするときは、ロングワードサイズでリードしてください。DMA 動作中のチャンネルの DDAR にはライトしないでください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7. DMA コントローラ (DMAC)

7.3.3 DMA オフセットレジスタ (DOFR)

DOFR は、ソースアドレス、デスティネーションアドレスの更新に、オフセット加算を選択したときのオフセット値を設定する 32 ビットのリード/ライト可能なレジスタです。各チャンネルごとに独立して設定できますが、同一チャンネル内ではソース側、デスティネーション側とも同じオフセット値を使用します。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7.3.4 DMA 転送カウントレジスタ (DTCR)

DTCR は、転送するデータのサイズ (総転送サイズ) を設定するための 32 ビットのリード/ライト可能なレジスタです。

DTCR を H'00000001 に設定すると、総転送サイズは 1 バイトになります。H'00000000 に設定すると、「総転送サイズ = 指定なし」となり、転送カウンタは停止して転送を行います (フリーランニングモード)。このとき、転送カウンタによる転送終了割り込みは発生しません。H'FFFFFF に設定すると、総転送サイズは最大値 4G バイト (4,294,967,295 バイト) になります。DMA 動作中は残りの転送サイズを示します。1 データ転送ごとに、転送したデータアクセスサイズに応じた値がデクリメントされます (バイト: -1、ワード: -2、ロングワード: -4)。

DTCR は CPU から常にリード可能ですが、転送処理中のチャンネルの DTCR をリードするときは、ロングワードサイズでリードしてください。DMA 動作中のチャンネルの DTCR にはライトしないでください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7.3.5 DMA ブロックサイズレジスタ (DBSR)

DBSR は、リピートサイズ、ブロックサイズを設定します。DBSR は、リピート転送モード、ブロック転送モードのときに有効となり、ノーマル転送モードのときには無効です。

ビット	31	...	16
ビット名	BKSZH31	...	BKSZH16
初期値:	0	...	0
R/W:	R/W	...	R/W
ビット	15	...	0
ビット名	BKSZ15	...	BKSZ0
初期値:	0	...	0
R/W:	R/W	...	R/W

ビット	ビット名	初期値	R/W	説明
31~16	BKSZH31~ BKSZH16	不定	R/W	リピートサイズ、ブロックサイズを設定します。 これらのビットを H'0001 に設定すると 1 バイト、1 ワード、または 1 ロングワードになります。H'0000 に設定すると最大値になります (表 7.2 参照)。DMA 動作中は常に固定です。
15~0	BKSZ15~ BKSZ0	不定	R/W	DMA 動作中は、リピートサイズ、ブロックサイズの残りサイズを示します。1 データ転送ごとに -1 されます。残りサイズが 0 になると BKSZH の値がロードされます。ライトするときは、BKSZH と同じ値を設定してください。

表 7.2 データアクセスサイズと有効ビット、設定可能サイズの対応

モード	データアクセスサイズ	BKSZH 有効ビット	BKSZ 有効ビット	設定可能サイズ(バイト)
リピート転送モード	バイト	31~16	15~0	1~65,536
ブロック転送モード	ワード			2~131,072
	ロングワード			4~262,144

7. DMA コントローラ (DMAC)

7.3.6 DMA モードコントロールレジスタ (DMDR)

DMDR は、DMAC の動作を制御します。

• DMDR_0

ビット	31	30	29	28	27	26	25	24
ビット名	DTE	DACKE	TENDE	-	DREQS	NRD	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	23	22	21	20	19	18	17	16
ビット名	ACT	-	-	-	ERRF	-	ESIF	DTIF
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/(W)*	R	R/(W)*	R/(W)*

ビット	15	14	13	12	11	10	9	8
ビット名	DTSZ1	DTSZ0	MDS1	MDS0	TSEIE	-	ESIE	DTIE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	7	6	5	4	3	2	1	0
ビット名	DTF1	DTF0	DTA	-	-	DMAP2	DMAP1	DMAPO
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R	R/W	R/W	R/W

【注】 * フラグをクリアするための1リード後の0ライトのみ可能です。

• DMDR_1 ~ DMDR_3

ビット	31	30	29	28	27	26	25	24
ビット名	DTE	DACKE	TENDE	-	DREQS	NRD	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	23	22	21	20	19	18	17	16
ビット名	ACT	-	-	-	-	-	ESIF	DTIF
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/(W)*	R/(W)*

ビット	15	14	13	12	11	10	9	8
ビット名	DTSZ1	DTSZ0	MDS1	MDS0	TSEIE	-	ESIE	DTIE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	7	6	5	4	3	2	1	0
ビット名	DTF1	DTF0	DTA	-	-	DMAP2	DMAP1	DMAPO
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R	R/W	R/W	R/W

【注】 * フラグをクリアするための1リード後の0ライトのみ可能です。

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
31	DTE	0	R/W	<p>データ転送ファイネール</p> <p>対応するチャンネルのデータ転送を許可または禁止します。このビットが1にセットされていると、DMA 動作中であることを示します。</p> <p>オートリクエストのときに、このビットを1にセットすると転送処理に入ります。内蔵モジュール割り込み、外部リクエストでは、このビットに1をセットした後に転送要求が発生すると転送処理に入ります。DMA 動作中にこのビットを0にクリアすると転送を停止します。</p> <p>ブロック転送モードでは、DMA 動作中にこのビットを0にクリアすると、処理中の1ブロックの転送終了後にこのビットが0にクリアされます。</p> <p>転送を終了(中断)させる外的要因が発生した場合は、自動的にこのビットが0にクリアされ転送を終了させます。</p> <p>このビットを1にセットした状態で、動作モード、転送方法などを変更しないでください。</p> <p>0: データ転送を禁止 1: データ転送を許可 (DMA 動作中)</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 設定の総転送サイズ数の転送を終了したとき • リピートサイズ終了割り込みにより停止したとき • 拡張リピートエリアオーバーフロー割り込みにより停止したとき • 転送サイズエラー割り込みにより停止したとき • 0をライトして転送を終了したとき <p>ただし、ブロック転送モードでは1ブロック転送終了後に反映</p> <ul style="list-style-type: none"> • アドレスエラー、NMI 割り込みが発生したとき • リセット、ハードウェアスタンバイモード時
30	DACK	0	R/W	<p>$\overline{\text{DACK}}$ 端子出力イネーブル</p> <p>シングルアドレスモードのとき、$\overline{\text{DACK}}$ 端子の出力を許可または禁止します。デュアルアドレスモードのときは、このビットは無視されます。</p> <p>0: $\overline{\text{DACK}}$ 端子の出力を禁止 1: $\overline{\text{DACK}}$ 端子の出力を許可</p>
29	TENDE	0	R/W	<p>$\overline{\text{TEND}}$ 端子出力イネーブル</p> <p>$\overline{\text{TEND}}$ 端子の出力を許可または禁止します。</p> <p>0: $\overline{\text{TEND}}$ 端子の出力を禁止 1: $\overline{\text{TEND}}$ 端子の出力を許可</p>
28	-	0	R/W	<p>リザーブビット</p> <p>リードすると常に0が読み出されます。ライトする値は常に0にしてください。</p>

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
27	DREQS	0	R/W	<p>\overline{DREQ} セレクト</p> <p>外部リクエストモードで使用する \overline{DREQ} 端子のサンプリング方法を、Low レベル検出にするか、立ち下がりエッジ検出にするかを選択します。</p> <p>外部リクエストモードでブロック転送を行う場合は、このビットを 0 にクリアし、Low レベル検出を選択してください。</p> <p>0 : Low レベル検出 1 : 立ち下がりエッジ検出 (転送許可後の最初の転送は、Low レベルで検出します。)</p>
26	NRD	0	R/W	<p>ネクストリクエストディレイ</p> <p>次のリクエストの受け付けタイミングを選択します。</p> <p>0 : 転送中のバスサイクル終了後に、次の転送要求受け付けを開始 1 : 転送中のバスサイクル終了時点から B で 1 サイクル後に、次の転送要求の受け付けを開始</p>
25、24	-	すべて 0	R	<p>リザーブビット</p> <p>これらのビットはリードのみ有効で、ライトは無効です。</p>
23	ACT	0	R	<p>アクティブステート</p> <p>当該チャンネルの動作状態を示すビットです。</p> <p>0 : 転送要求待ち状態、または DTE=0 による転送禁止状態 1 : アクティブ状態</p>
22~20	-	すべて 0	R	<p>リザーブビット</p> <p>これらのビットはリードのみ有効で、ライトは無効です。</p>
19	ERRF	0	R/(W)*	<p>システムエラーフラグ</p> <p>アドレスエラー、または NMI 割り込みが発生したことを示すフラグです。このビットは DMDR_0 でのみ有効なビットです。このビットが 1 にセットされていると、全チャンネルの DTE ビットへのライトが禁止されます。DMDR_1~DMDR_3 では、リザーブビットとなっています。リードすると常に 0 が読み出されます。ライトは無効です。</p> <p>0 : アドレスエラー、または NMI 割り込みなし 1 : アドレスエラー、または NMI 割り込み発生</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • ERRF = 1 の状態をリードした後、0 をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • アドレスエラー、または NMI 割り込みが発生したとき <p>ただし、DMAC がモジュールストップ状態のときに、アドレスエラーや NMI 割り込みが発生してもセットされません。</p>
18	-	0	R	<p>リザーブビット</p> <p>このビットはリードのみ有効で、ライトは無効です。</p>

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
17	ESIF	0	R/(W)*	<p>転送エスケープインタラプトフラグ</p> <p>転送カウンタが0になる前に転送エスケープ終了割り込み要求が発生し、転送エスケープ終了したことを示すフラグです。</p> <p>0：転送エスケープ終了割り込み要求なし 1：転送エスケープ終了割り込み要求発生</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • DTE ビットに1をライトしたとき • ESIF=1の状態をリードした後、0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • 転送サイズエラー割り込み要求が発生したとき • リピートサイズ終了割り込み要求が発生したとき • 拡張リピートエリアオーバーフロー終了割り込み要求が発生したとき
16	DTIF	0	R/(W)*	<p>データトランスファインタラプトフラグ</p> <p>転送カウンタによる転送終了割り込み要求が発生したことを示すフラグです。</p> <p>0：転送カウンタによる転送終了割り込み要求なし 1：転送カウンタによる転送終了割り込み要求発生</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • DTE ビットに1をライトしたとき • DTIF=1の状態をリードした後、0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • DTCR が0になり転送が終了したとき
15 14	DTSZ1 DTSZ0	0 0	R/W R/W	<p>データアクセスサイズ1、0</p> <p>転送するデータアクセスサイズを選択します。</p> <p>00：バイトサイズ(8ビット) 01：ワードサイズ(16ビット) 10：ロングワードサイズ(32ビット) 11：設定禁止</p>
13 12	MDS1 MDS0	0 0	R/W R/W	<p>転送モードセレクト 1、0</p> <p>転送モードを選択します。</p> <p>00：ノーマル転送モード 01：ブロック転送モード 10：リピート転送モード 11：設定禁止</p>

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
11	TSEIE	0	R/W	<p>転送サイズエラーインタラプトイネーブル</p> <p>転送サイズエラー割り込み要求を許可または禁止します。</p> <p>このビットが1にセットされているときに、DMACの転送により転送カウンタの値が1要求あたりに転送するデータサイズよりも小さい場合、次の転送要求が発生するとDTEビットを0にクリアします。同時にESIFビットが1にセットされ、転送サイズエラー割り込み要求が発生したことを示します。</p> <p>転送サイズエラー割り込み要求の発生要因は次の条件です。</p> <ul style="list-style-type: none"> ノーマル転送モード、リピート転送モードにおいて、DTCRで設定した総転送サイズがデータアクセスサイズよりも小さいとき ブロック転送モードにおいて、DTCRで設定した総転送サイズがブロックサイズよりも小さいとき <p>0：転送サイズエラー割り込み要求を禁止 1：転送サイズエラー割り込み要求を許可</p>
10	-	0	R	<p>リザーブビット</p> <p>このビットはリードのみ有効で、ライトは無効です。</p>
9	ESIE	0	R/W	<p>転送エスケープインタラプトイネーブル</p> <p>DMA転送中に発生した転送エスケープ終了割り込み要求を許可または禁止します。このビットを1にセットすると、ESIFビットが1にセットされたとき、CPUに転送エスケープ終了割り込み要求が発生します。転送エスケープ終了割り込み要求は、このビットを0にクリアするか、ESIFビットを0にクリアすると解除されます。</p> <p>0：転送エスケープ割り込み要求を禁止 1：転送エスケープ割り込み要求を許可</p>
8	DTIE	0	R/W	<p>データトランスファインタラプトイネーブル</p> <p>転送カウンタによる転送終了割り込み要求を許可または禁止します。このビットを1にセットすると、DTIFビットが1にセットされたとき、CPUに転送終了割り込み要求が発生します。転送終了割り込み要求は、このビットを0にクリアするか、DTIFビットを0にクリアすると解除されます。</p> <p>0：転送終了割り込み要求を禁止 1：転送終了割り込み要求を許可</p>
7	DTF1	0	R/W	データトランスファファクタ1、0
6	DTF0	0	R/W	<p>DMACを起動する要因を選択します。内蔵モジュール割り込みのときは、DMRSRで割り込み要因を選択します。外部リクエストのときは、DREQSビットでサンプリング方法を選択できます。</p> <p>00：オートリクエスト(サイクルスチール) 01：オートリクエスト(バースト) 10：内蔵モジュール割り込み 11：外部リクエスト</p>

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
5	DTA	0	R/W	<p>データトランスファアクノリッジ</p> <p>内蔵モジュール割り込みによる DMA 転送時に有効となります。</p> <p>DMRSR によって選択されている要因フラグのクリアを許可または禁止します。</p> <p>0 : 内蔵モジュール割り込み要因による DMA 転送時のクリアを禁止 内蔵モジュール割り込み要因は、DMA 転送によりクリアされませんので CPU でクリアしてください。</p> <p>1 : 内蔵モジュール割り込み要因による DMA 転送時のクリアを許可 内蔵モジュール割り込み要因は、DMA 転送によりクリアされ、CPU に割り込みを要求しません。</p>
4	-	0	R	リザーブビット
3	-	0	R	これらのビットはリードのみ有効で、ライトは無効です。
2	DMA2P	0	R/W	<p>DMA プライオリティレベル 2~0</p> <p>CPU に対する DMAC の優先レベルを選択します。DMAC の優先レベルより CPU の優先レベルが高いときは、DMAC は転送要因の受け付けをマスクし、CPU の優先レベルが低くなるまで待機します。チャンネルごとに優先レベルを設定可能です。このビットは、CPUPCR の CPUPCE ビットが 1 のとき有効になります。</p> <p>000 : 優先レベル 0 (最低)</p> <p>001 : 優先レベル 1</p> <p>010 : 優先レベル 2</p> <p>011 : 優先レベル 3</p> <p>100 : 優先レベル 4</p> <p>101 : 優先レベル 5</p> <p>110 : 優先レベル 6</p> <p>111 : 優先レベル 7 (最高)</p>
1	DMA1P	0	R/W	
0	DMA0P	0	R/W	

【注】 * フラグをクリアするための 1 リード後の 0 ライトのみ可能です。

7. DMA コントローラ (DMAC)

7.3.7 DMA アドレスコントロールレジスタ (DACR)

DACR は、動作モード、転送方法などを設定します。

ビット	31	30	29	28	27	26	25	24
ビット名	AMS	DIRS	-	-	-	RPTIE	ARS1	ARS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W
ビット	23	22	21	20	19	18	17	16
ビット名	-	-	SAT1	SAT0	-	-	DAT1	DAT0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8
ビット名	SARIE	-	-	SARA4	SARA3	SARA2	SARA1	SARA0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	DARIE	-	-	DARA4	DARA3	DARA2	DARA1	DARA0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	AMS	0	R/W	アドレスモードセレクト アドレスモードをデュアルアドレスモードとシングルアドレスモードから選択します。シングルアドレスモードにすると、DMDR の DACKE ビットの設定により \overline{DACK} 端子が有効になります。 0: デュアルアドレスモード 1: シングルアドレスモード
30	DIRS	0	R/W	シングルアドレスディレクションセレクト シングルアドレスモードのときのデータ転送方向を指定します。デュアルアドレスモードのときは、このビットは無視されます。 0: DSAR をソースアドレスとして転送 1: DDAR をデスティネーションアドレスとして転送
29~27	-	すべて 0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
26	RPTIE	0	R/W	<p>リピートサイズ終了インタラプトイネーブル</p> <p>リピートサイズ終了割り込み要求を許可または禁止します。</p> <p>リピート転送モードにおいて、このビットが1にセットされているときに、1リピートサイズ分の転送終了後に次の転送要因が発生すると、DMDRのDTEビットを0にクリアします。同時にDMDRのESIFビットが1にセットされ、リピートサイズ終了割り込み要求が発生したことを示します。リピートエリアを指定しない(ARS1、ARS0=B'10)ときでも、1リピートサイズ分の転送終了後にリピートサイズ終了割り込み要求を発生させることができます。</p> <p>また、ブロック転送モードで、このビットが1にセットされているときに、1ブロックサイズ分の転送終了後に次の転送要因が発生すると、DMDRのDTEビットを0にクリアします。同時にDMDRのESIFビットは1にセットされ、リピートサイズ終了割り込み要求が発生されたことを示します。</p> <p>0: リピートサイズ終了割り込み要求を禁止 1: リピートサイズ終了割り込み要求を許可</p>
25 24	ARS1 ARS0	0 0	R/W R/W	<p>エリアセレクト1、0</p> <p>ブロック転送モード、リピート転送モードのときのブロックエリア/リピートエリアを選択します。</p> <p>00: ブロックエリア/リピートエリアはソースアドレス側 01: ブロックエリア/リピートエリアはデスティネーションアドレス側 10: ブロックエリア/リピートエリアは指定しない 11: 設定禁止</p>
23、22	-	すべて0	R	<p>リザーブビット</p> <p>これらのビットはリードのみ有効で、ライトは無効です。</p>
21 20	SAT1 SAT0	0 0	R/W R/W	<p>ソースアドレス更新モード1、0</p> <p>ソースアドレス(DSAR)の増減を選択します。シングルアドレスモードにおいて、転送元をDSARに指定していない場合は、このビットは無視されません。</p> <p>00: ソースアドレスは固定 01: ソースアドレスはオフセットアドレスを加算 10: ソースアドレスは増加 (データアクセスサイズにより、+1/+2/+4) 11: ソースアドレスは減少 (データアクセスサイズにより、-1/-2/-4)</p>
19、18	-	すべて0	R	<p>リザーブビット</p> <p>これらのビットはリードのみ有効で、ライトは無効です。</p>

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
17 16	DAT1 DAT0	0 0	R/W R/W	<p>デスティネーションアドレス更新モード 1、0</p> <p>デスティネーションアドレス (DDAR) の増減を指定します。シングルアドレスモードにおいて、転送元を DDAR に指定していない場合は、このビットは無視されます。</p> <p>00: デスティネーションアドレスは固定</p> <p>01: デスティネーションアドレスはオフセットを加算</p> <p>10: デスティネーションアドレスは増加 (データアクセスサイズにより、+1 / +2 / +4)</p> <p>11: デスティネーションアドレスは減少 (データアクセスサイズにより、-1 / -2 / -4)</p>
15	SARIE	0	R/W	<p>ソースアドレス拡張リピートエリアオーバーフローインタラプトイネーブル</p> <p>ソースアドレス拡張リピートエリアオーバーフロー割り込み要求を許可または禁止します。</p> <p>このビットが 1 にセットされているときに、ソースアドレスの拡張リピートエリアのオーバーフローが発生すると、DMDR の DTE ビットを 0 にクリアします。同時に DMDR の ESIF ビットが 1 にセットされ、ソースアドレス拡張リピートエリアオーバーフロー割り込み要求が発生したことを示します。</p> <p>ブロック転送モードと併用する場合、割り込み要求は 1 ブロックサイズの転送終了後に発生します。割り込みにより転送終了したチャネルの DMDR の DTE ビットを 1 にセットすると、転送終了した状態から再び転送を開始します。</p> <p>ソースアドレスに対して拡張リピートエリアを設定していないときは、このビットは無視されます。</p> <p>0: ソースアドレス拡張リピートエリアオーバーフロー割り込み要求を禁止</p> <p>1: ソースアドレス拡張リピートエリアオーバーフロー割り込み要求を許可</p>
14、13	-	すべて 0	R	<p>リザーブビット</p> <p>これらのビットはリードのみ有効で、ライトは無効です。</p>
12 11 10 9 8	SARA4 SARA3 SARA2 SARA1 SARA0	0 0 0 0 0	R/W R/W R/W R/W R/W	<p>ソースアドレス拡張リピートエリア</p> <p>ソースアドレス (DSAR) に拡張リピートエリアを設定するビットです。拡張リピートエリア機能は、指定の下位アドレスをアドレス更新の対象として、残りの上位アドレスは常に固定値をとるようにして実現されます。拡張リピートエリアのサイズは、4 バイトから 128M バイトまで設定可能です。設定間隔は 2 のべき乗バイト単位です。</p> <p>アドレスの増減により拡張リピートエリアからオーバーフローした下位アドレスは、アドレスが増加すると拡張リピートエリアの先頭アドレスになり、アドレスが減少すると拡張リピートエリアの最後のアドレスになります。</p> <p>SARIE ビットが 1 にセットされているとき、拡張リピートエリアのオーバーフローが発生したときに割り込み要求が発生することができます。</p> <p>表 7.3 に拡張リピートエリアの設定と範囲を示します。</p>

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説 明
7	DARIE	0	R/W	<p>デスティネーションアドレス拡張リピートエリアオーバーフローインタラプトイネーブル</p> <p>デスティネーションアドレス拡張リピートエリアオーバーフロー割り込み要求を許可または禁止します。</p> <p>このビットが1にセットされているときに、デスティネーションアドレスの拡張リピートエリアのオーバーフローが発生すると、DMDRのDTEビットを0にクリアします。同時にDMDRのESIFビットが1にセットされ、デスティネーションアドレス拡張リピートエリアオーバーフロー割り込み要求が発生したことを示します。</p> <p>ブロック転送モードと併用する場合、割り込み要求は1ブロックサイズの転送終了後に発生します。割り込みにより転送終了したチャネルのDMDRのDTEビットを1にセットすると、転送終了した状態から再び転送を開始します。</p> <p>デスティネーションアドレスに拡張リピートエリアを設定していないときは、このビットは無視されます。</p> <p>0：デスティネーションアドレス拡張リピートエリアオーバーフロー割り込み要求を禁止</p> <p>1：デスティネーションアドレス拡張リピートエリアオーバーフロー割り込み要求を許可</p>
6, 5	-	すべて0	R	<p>リザーブビット</p> <p>これらのビットはリードのみ有効で、ライトは無効です。</p>
4 3 2 1 0	DARA4 DARA3 DARA2 DARA1 DARA0	0 0 0 0 0	R/W R/W R/W R/W R/W	<p>デスティネーションアドレス拡張リピートエリア</p> <p>デスティネーションアドレス (DDAR) に拡張リピートエリアを設定するビットです。</p> <p>拡張リピートエリア機能は、指定の下位アドレスをアドレス更新の対象として、残りの上位アドレスは常に固定値をとるようにして実現されます。拡張リピートエリアのサイズは、4バイトから128Mバイトまで設定可能です。設定間隔は2のべき乗バイト単位です。</p> <p>アドレスの増減により拡張リピートエリアからオーバーフローした下位アドレスは、アドレスが増加すると拡張リピートエリアの先頭アドレスになり、アドレスが減少すると拡張リピートエリアの最後のアドレスになります。</p> <p>DARIE ビットが1にセットされているとき、拡張リピートエリアのオーバーフローが発生したときに割り込み要求が発生することができます。</p> <p>表 7.3 に拡張リピートエリアの設定と範囲を示します。</p>

7. DMA コントローラ (DMAC)

表 7.3 拡張リピートエリアの設定と範囲

SARA4 ~ SARA0/ DARA4 ~ DARA0 の値	拡張リピートエリアの範囲
00000	拡張リピートエリアを設定しない
00001	当該アドレスの下位 1 ビット (2 バイト) を拡張リピートエリアに設定する
00010	当該アドレスの下位 2 ビット (4 バイト) を拡張リピートエリアに設定する
00011	当該アドレスの下位 3 ビット (8 バイト) を拡張リピートエリアに設定する
00100	当該アドレスの下位 4 ビット (16 バイト) を拡張リピートエリアに設定する
00101	当該アドレスの下位 5 ビット (32 バイト) を拡張リピートエリアに設定する
00110	当該アドレスの下位 6 ビット (64 バイト) を拡張リピートエリアに設定する
00111	当該アドレスの下位 7 ビット (128 バイト) を拡張リピートエリアに設定する
01000	当該アドレスの下位 8 ビット (256 バイト) を拡張リピートエリアに設定する
01001	当該アドレスの下位 9 ビット (512 バイト) を拡張リピートエリアに設定する
01010	当該アドレスの下位 10 ビット (1K バイト) を拡張リピートエリアに設定する
01011	当該アドレスの下位 11 ビット (2K バイト) を拡張リピートエリアに設定する
01100	当該アドレスの下位 12 ビット (4K バイト) を拡張リピートエリアに設定する
01101	当該アドレスの下位 13 ビット (8K バイト) を拡張リピートエリアに設定する
01110	当該アドレスの下位 14 ビット (16K バイト) を拡張リピートエリアに設定する
01111	当該アドレスの下位 15 ビット (32K バイト) を拡張リピートエリアに設定する
10000	当該アドレスの下位 16 ビット (64K バイト) を拡張リピートエリアに設定する
10001	当該アドレスの下位 17 ビット (128K バイト) を拡張リピートエリアに設定する
10010	当該アドレスの下位 18 ビット (256K バイト) を拡張リピートエリアに設定する
10011	当該アドレスの下位 19 ビット (512K バイト) を拡張リピートエリアに設定する
10100	当該アドレスの下位 20 ビット (1M バイト) を拡張リピートエリアに設定する
10101	当該アドレスの下位 21 ビット (2M バイト) を拡張リピートエリアに設定する
10110	当該アドレスの下位 22 ビット (4M バイト) を拡張リピートエリアに設定する
10111	当該アドレスの下位 23 ビット (8M バイト) を拡張リピートエリアに設定する
11000	当該アドレスの下位 24 ビット (16M バイト) を拡張リピートエリアに設定する
11001	当該アドレスの下位 25 ビット (32M バイト) を拡張リピートエリアに設定する
11010	当該アドレスの下位 26 ビット (64M バイト) を拡張リピートエリアに設定する
11011	当該アドレスの下位 27 ビット (128M バイト) を拡張リピートエリアに設定する
111XX	設定禁止

【記号説明】 X : Don't care

7.3.8 DMA モジュールリクエストセレクトレジスタ (DMRSR)

DMRSR は、内蔵モジュール割り込み要因を指定する 8 ビットのリード/ライト可能なレジスタです。

割り込み要因のベクタ番号を 8 ビットで指定します。ただし、0 は割り込み要因なしとみなします。内蔵モジュール割り込み要因のベクタ番号は、表 7.5 を参照してください。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7.4 転送モード

DMAC の転送モードを表 7.4 に示します。転送モードは、各チャンネルごとに設定可能です。

表 7.4 転送モード

アドレスモード	転送モード	起動要因	共通機能	アドレスレジスタ	
				ソース	デスティネーション
デュアルアドレスモード	<ul style="list-style-type: none"> ノーマル転送モード リピート転送モード ブロック転送モード (リピートサイズ/ブロックサイズ = 1 ~ 65,536 バイト/ワード/ロングワード) 	<ul style="list-style-type: none"> オートリクエスト (CPU より起動) 内蔵モジュール割り込み 外部リクエスト 	<ul style="list-style-type: none"> 総転送サイズ: 1 ~ 4G バイト、または指定なし オフセット加算 拡張リピートエリア機能 	DSAR	DDAR
シングルアドレスモード	<ul style="list-style-type: none"> ソースまたはデスティネーションアドレスレジスタの代わりに、$\overline{\text{DACK}}$ 端子を用いて直接外部デバイスとのデータ転送が可能 アドレスレジスタの設定以外は、上記の各転送モードを指定可能 1 バスサイクルで 1 回の転送が可能 (転送モードのバリエーションは、上記デュアルアドレスモードと同じです。) 			DSAR/ $\overline{\text{DACK}}$	$\overline{\text{DACK}}$ / DDAR

起動要因がオートリクエストのときは、サイクルスチールモード/バーストモードから選択できます。

総転送サイズを指定しない場合 (DTCR = H'00000000)、転送カウンタは停止して転送回数に制限がなくなり、永続して転送が可能になります。

7.5 動作説明

7.5.1 アドレスモード

(1) デュアルアドレスモード

デュアルアドレスモードは、転送元アドレスを DSAR、転送先アドレスを DDAR で指定して、1 回の転送を 2 バスサイクルで実行するモードです (データバス幅がデータアクセスサイズよりも小さいときや、アクセスするアドレスがデータアクセスサイズのデータ境界を外れているときは、バスサイクルが分割されるため 2 バスサイクルを超えます)。

転送動作は、最初のバスサイクルで転送元アドレスにあるデータをリードして、そのデータを次のバスサイクルで転送先アドレスへライトします。

リードサイクルとライトサイクルの間は不可分割となっています。そのため、2 つのバスサイクルの間に他のバスサイクル (他のバスマスタのサイクル、リフレッシュサイクル、外部バス解放サイクル) は発生しません。

DMDR の TEND \bar{E} ビットにより、 \overline{TEND} 出力の許可 / 禁止の設定ができます。 \overline{TEND} は連続する 2 バスサイクルの期間出力されます。バスサイクルの直前にアイドルサイクルが挿入される場合、アイドルサイクル期間に対しても \overline{TEND} は出力されます。バスサイクルの直前にアイドルサイクルが挿入される場合、アイドルサイクル期間に対しても \overline{TEND} は出力されます。 \overline{DACK} は出力されません。

図 7.2 にデュアルアドレスモードのタイミング例を、図 7.3 にデュアルアドレスモードの動作を示します。

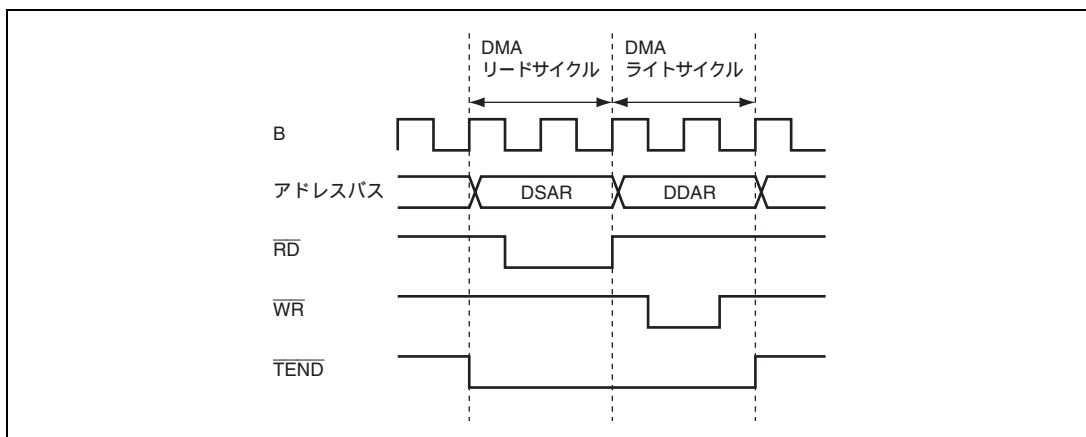


図 7.2 デュアルアドレスモードのタイミング例

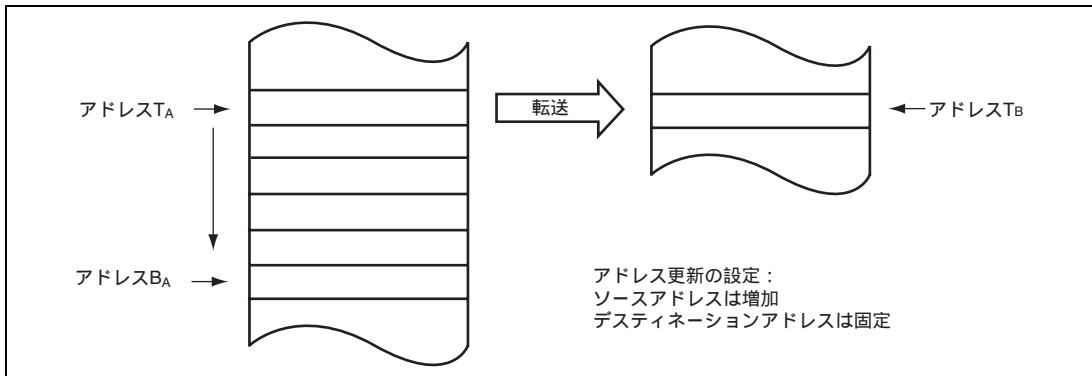


図 7.3 デュアルアドレスモードの動作

(2) シングルアドレスモード

シングルアドレスモードは、DSAR または DDAR の代わりに $\overline{\text{DACK}}$ 端子を用いて、外部デバイスと外部メモリ間で直接データを転送するモードです。1 回の転送を 1 バスサイクルで実行します。

シングルアドレスモードを使用する場合には、データバス幅とデータアクセスサイズを一致させてください。データバス幅に関しては、「6. バスコントローラ (BSC)」を参照してください。

DMAC は $\overline{\text{DACK}}$ 付き外部デバイスへのストロープ信号 ($\overline{\text{DACK}}$) を、転送元または転送先のいずれか一方の外部デバイスに出力してアクセスすると同時に、もう一方の転送相手にアドレスを出力してアクセスします。これにより、1 つのバスサイクルで DMA 転送を行うことができます。図 7.4 に示す外部メモリと $\overline{\text{DACK}}$ 付き外部デバイスとの転送例では、外部デバイスがデータバスにデータを出力するのと同じバスサイクルで、そのデータが外部メモリに書き込まれます。

転送方向は DACR の DIRS ビットにより、 $\overline{\text{DACK}}$ 付き外部デバイスを転送元にするか転送先にするかを設定できます。DIRS = 0 では外部メモリ (DSAR) $\overline{\text{DACK}}$ 付き外部デバイスへの転送、DIRS = 1 では $\overline{\text{DACK}}$ 付き外部デバイス 外部メモリ (DDAR) への転送になります。転送の対象として使用しないソースまたはデスティネーションアドレスのレジスタの設定は無視されます。

$\overline{\text{DACK}}$ 出力は、シングルアドレスモードのときに DMDR の DACKE ビットの設定により有効になります。 $\overline{\text{DACK}}$ 出力は、ローアクティブです。

DMDR の TENDE ビットにより、 $\overline{\text{TEND}}$ 出力の許可 / 禁止の設定ができます。 $\overline{\text{TEND}}$ は 1 バスサイクルの期間出力されます。バスサイクルの直前にアイドルサイクルが挿入される場合、アイドルサイクル期間に対しても $\overline{\text{TEND}}$ は出力されます。

図 7.5 にシングルアドレスモードのタイミング例を、図 7.6 にシングルアドレスモードの動作を示します。

7. DMA コントローラ (DMAC)

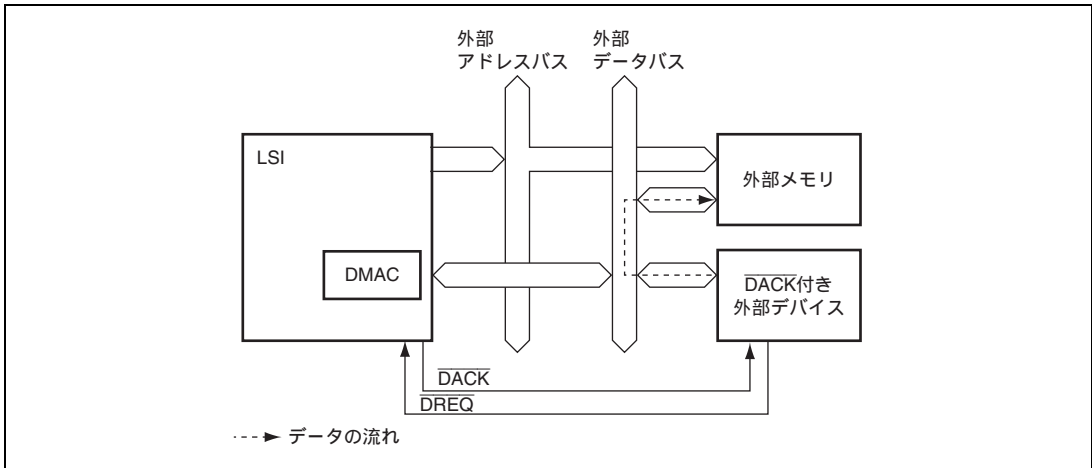


図 7.4 シングルアドレスモードでのデータの流れ

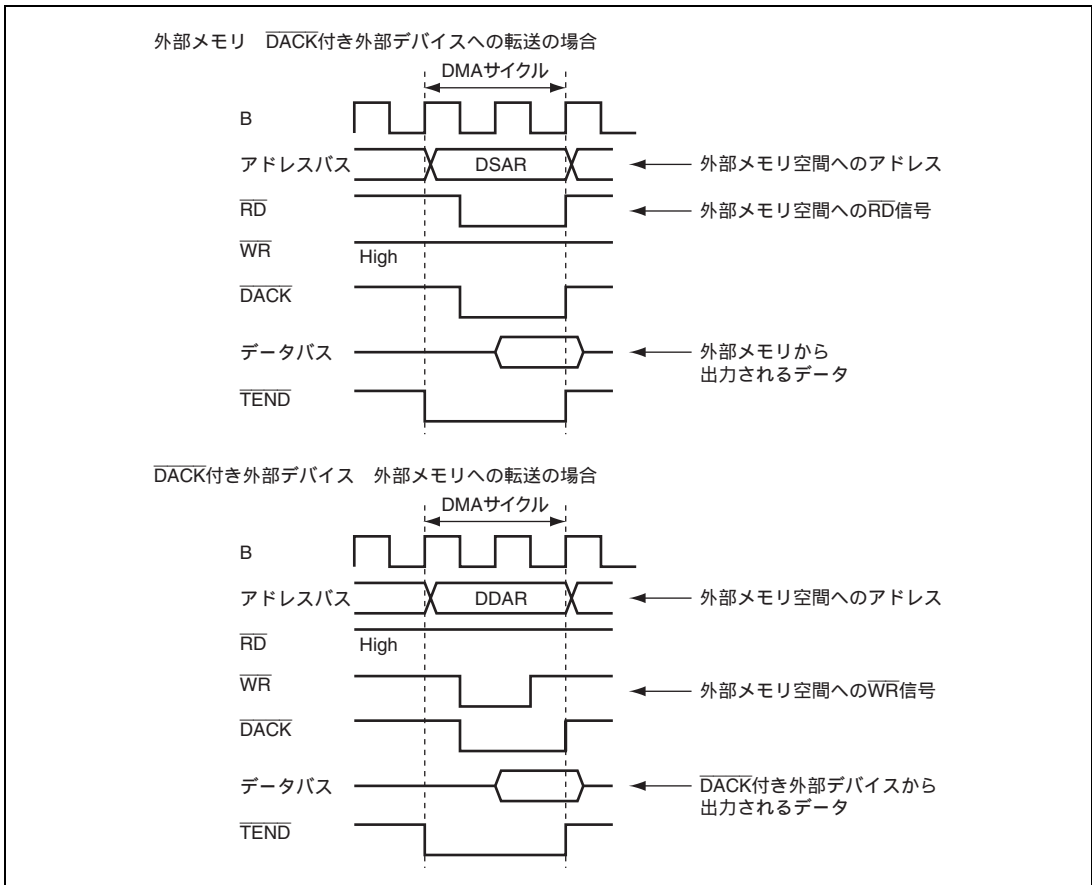


図 7.5 シングルアドレスモードのタイミング例

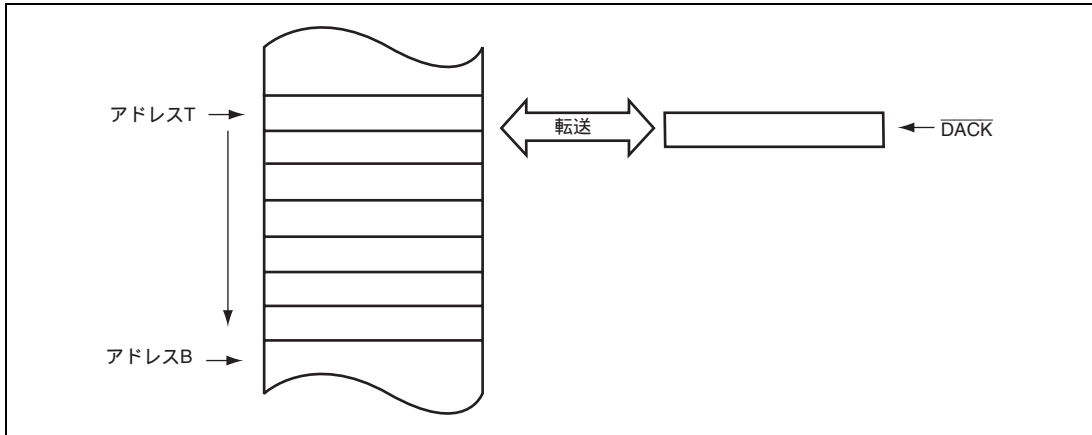


図 7.6 シングルアドレスモードの動作

7.5.2 転送モード

(1) ノーマル転送モード

ノーマル転送モードは、1回の転送要求について1データアクセスサイズ単位の転送を行います。DTCRで最大4Gバイトの総転送サイズを設定できます。DBSRはノーマル転送モードのときには無効です。

$\overline{\text{TEND}}$ 出力は、最後のDMA転送でのみ出力されます。

図 7.7 にノーマル転送モードのタイミング例を、図 7.8 にデュアルアドレスモード時のノーマル転送モードの動作を示します。

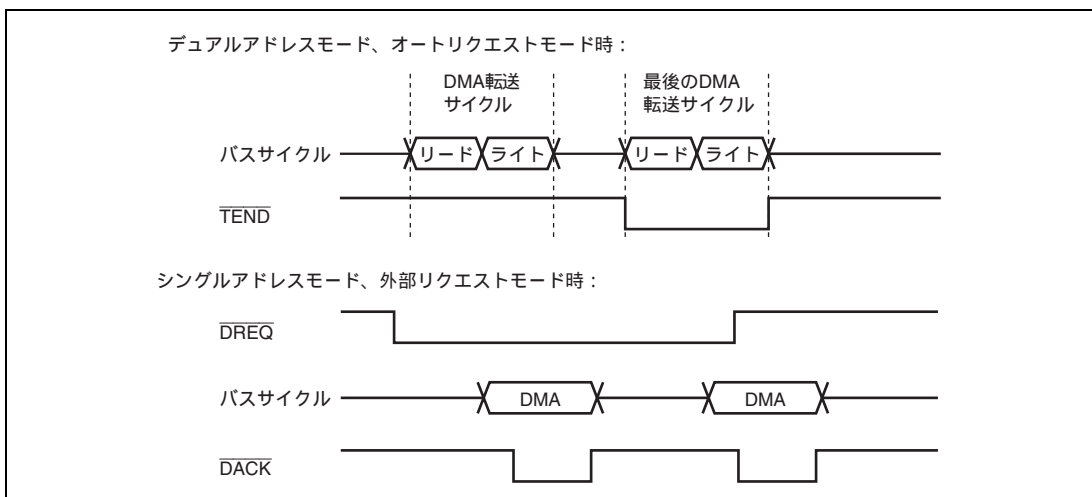


図 7.7 ノーマル転送モードのタイミング例

7. DMA コントローラ (DMAC)

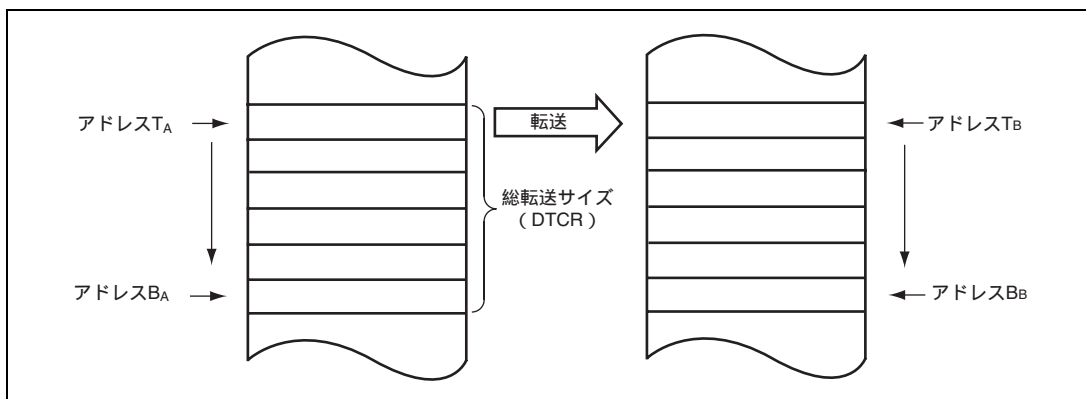


図 7.8 ノーマル転送モードの動作

(2) リピート転送モード

リピート転送モードは、1 回の転送要求について 1 データアクセスサイズ単位の転送を行います。DTCR で最大 4G バイトの総転送サイズを設定できます。DBSR で最大 64K × データアクセスサイズのリピートサイズを設定できます。

DACR の ARS1、ARS0 ビットによって、リピートエリアをソースアドレス側またはデスティネーションアドレス側に指定することができます。リピートエリアに指定されたアドレス側は、リピートサイズ分の転送を終了すると、転送開始アドレスに戻ります。この動作は、DTCR に設定した総転送サイズ分の転送が終了するまで行われます。ただし、DTCR に H'00000000 を設定した場合はフリーランニングモードとみなし、DMDR の DTE ビットが 0 にクリアされるまでリピート転送を続けます。

また、リピートサイズ分の転送を終了すると、DMA 転送を一時停止させ、CPU に対してリピートサイズ終了割り込み要求を発生させることができます。DACR の RPTIE ビットが 1 にセットされているときに、リピートサイズ分の転送終了後に次の転送要求が発生すると、DMDR の ESIF ビットを 1 にセットし、DMDR の DTE ビットを 0 にクリアして転送を終了します。このとき、DMDR の ESIE ビットが 1 にセットされている場合、CPU に対して割り込み要求を発生させます。

TEND 出力の DMA 転送タイミングは、ノーマル転送モードと同じです。

図 7.9 にデュアルアドレスモード時のリピート転送モードの動作を示します。

リピートエリアをソースアドレス側またはデスティネーションアドレス側に指定しないときの動作は、図 7.8 のノーマル転送モードの動作と同じです。この場合も、リピートサイズ分の転送を終了すると、リピートサイズ終了割り込みを発生させることができます。

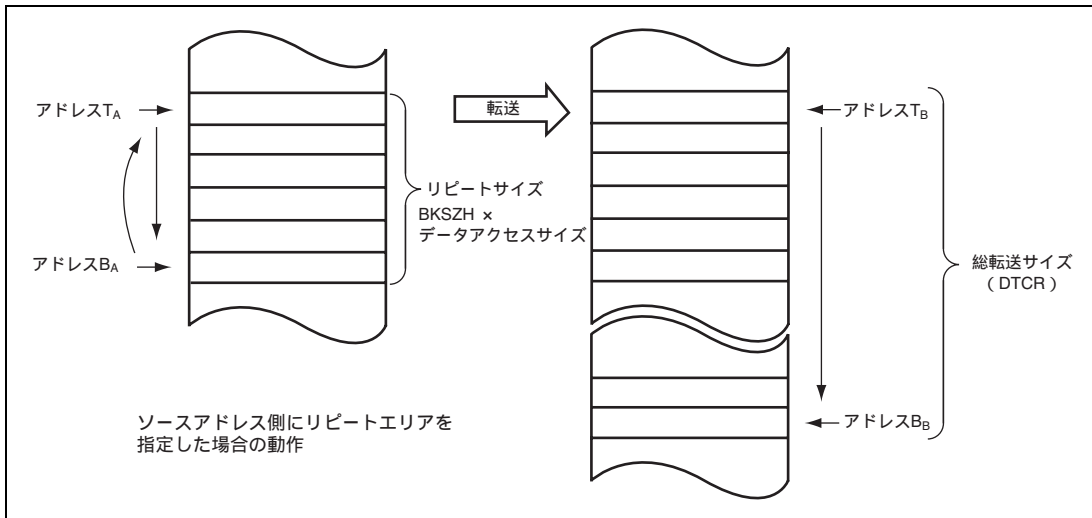


図 7.9 リピート転送モードの動作

(3) ブロック転送モード

ブロック転送モードは、1回の転送要求について1ブロックサイズ単位の転送を行います。DTCRで最大4Gバイトの総転送サイズを設定できます。DBSRで最大64K×データアクセスサイズのブロックサイズを設定できます。

1ブロック分の転送中は、他のチャンネルの転送要求は待たされます。1ブロック分の転送が終了すると、バス権を他のバスマスタに解放します。

DACRのARSI、ARSOビットによって、ブロックエリアをソースアドレス側もしくはデスティネーションアドレス側に指定することができます。ブロックエリアに指定されたアドレス側は、1ブロック分の転送終了ごとに、転送開始アドレスに戻ります。ソースアドレス側にもデスティネーションアドレス側にもリピートエリアを指定しない場合は、アドレスは転送開始アドレスに戻らずシーケンシャルに進みます。リピートサイズ終了割り込みを発生させることができます。

\overline{TEND} は、1ブロック分の転送ごとに各ブロックの終わりのDMA転送サイクルで出力されます。起動要因として外部リクエストを使用する場合は、 \overline{DREQ} 端子のサンプリング方法をLowレベル検出(DREQS=0)に設定してください。

ブロック転送モードで拡張リピートエリアオーバーフロー割り込みを設定する場合には注意が必要です。詳細は「7.5.5 拡張リピートエリア機能」を参照してください。

図 7.10 にブロック転送モードのDMA転送タイミング例を示します。転送条件は次のとおりです。

- アドレスモード：シングルアドレスモード
- データアクセスサイズ：バイト
- 1ブロックサイズ：3バイト

7. DMA コントローラ (DMAC)

図 7.11 にシングルアドレスモードのブロック転送モードの動作を、図 7.12 にデュアルアドレスモードのブロック転送モードの動作を示します。

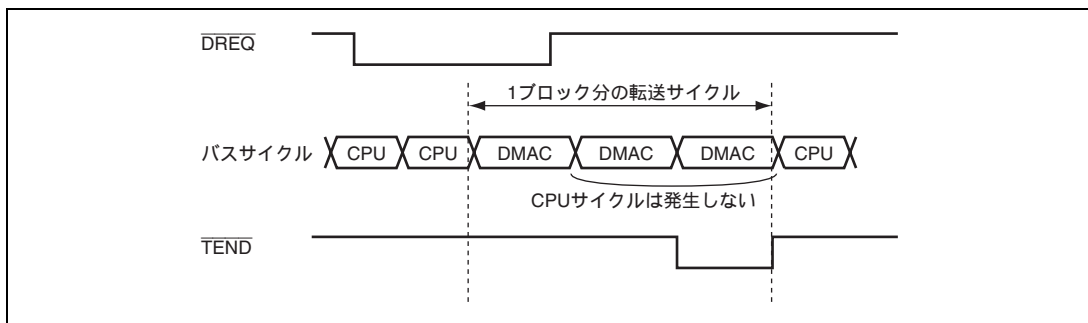


図 7.10 ブロック転送モードの例

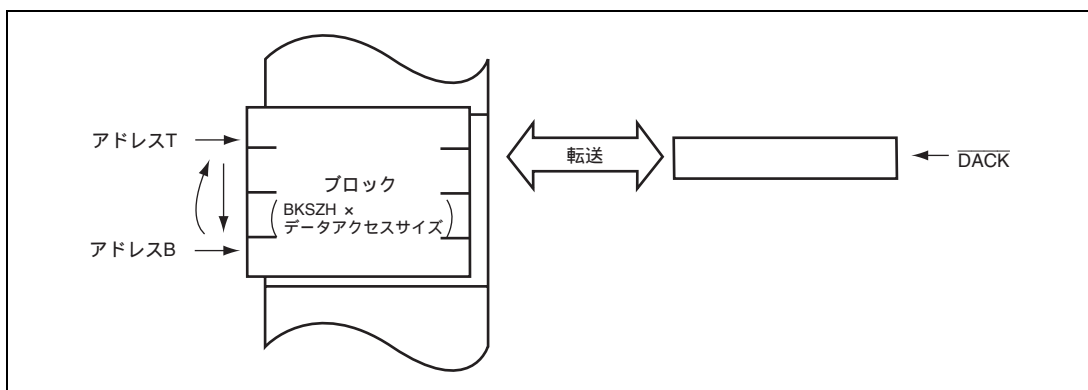


図 7.11 シングルアドレスモードのブロック転送モード (ブロックエリアの指定あり) の動作

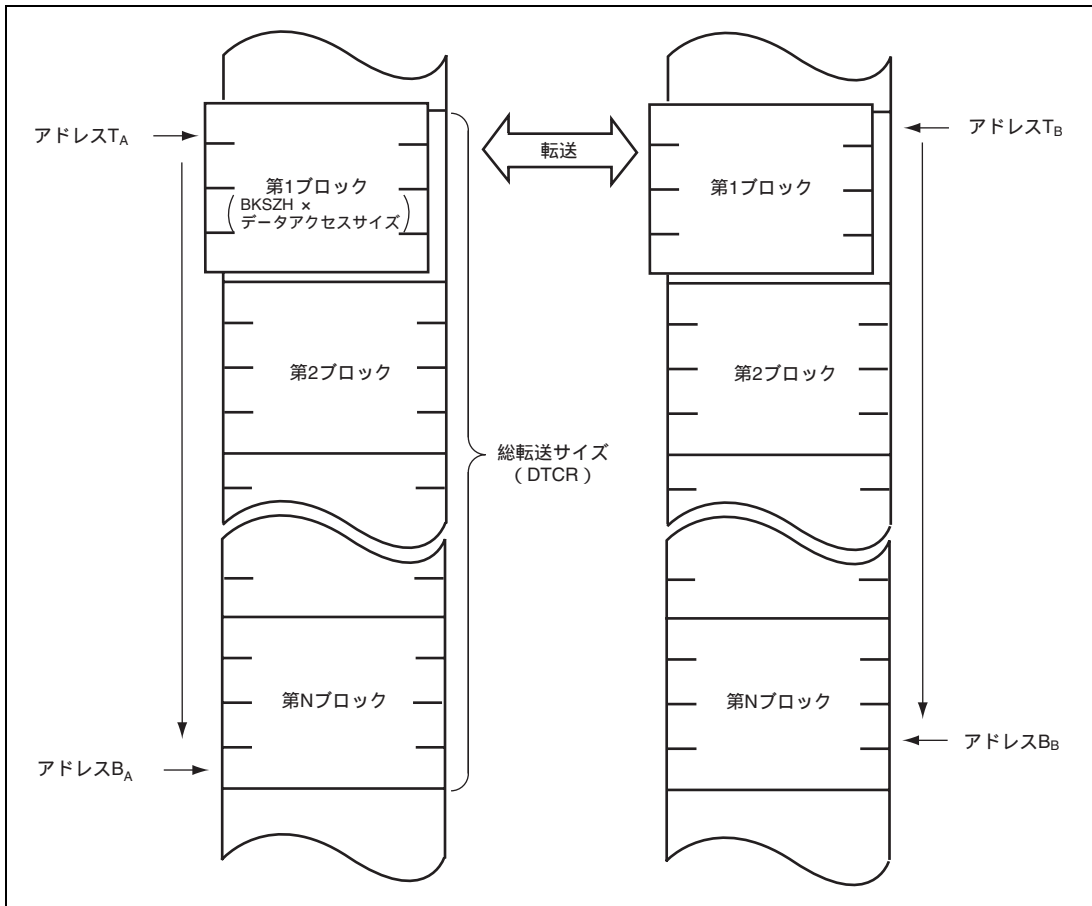


図 7.12 デュアルアドレスモードのブロック転送モード (ブロックエリアの指定なし) の動作

7. DMA コントローラ (DMAC)

7.5.3 起動要因

DMAC の起動要因には、オートリクエスト、内蔵モジュール割り込み、および外部リクエストがあります。これらの起動要因は DMDR の DTF1、DTF0 ビットで選択します。

(1) オートリクエストによる起動

オートリクエストは、メモリとメモリ間の転送や、転送要求信号を発生できない周辺モジュールとメモリ間の転送のように、外部や周辺モジュールから転送要求信号の発生がない場合に、DMAC 内部で自動的に転送要求信号を発生させます。オートリクエストによる起動では、DMDR の DTE ビットを 1 にセットすると転送が開始されます。オートリクエストでは、バスモードをサイクルスチールモードとバーストモードから選択することができます。

(2) 内蔵モジュール割り込みによる起動

内蔵モジュール割り込みは、各周辺モジュールからの割り込み要求 (内蔵モジュール割り込み) を転送要求信号として使用します。DMA 転送が許可されているとき (DTE = 1)、内蔵モジュール割り込み要求により DMA 転送を開始します。

起動要因の内蔵モジュール割り込みは、DMA モジュールリクエストセレクトレジスタ (DMRSR) で選択します。チャンネルごとに独立して設定することができます。表 7.5 に DMAC 内蔵モジュール割り込み一覧を示します。

DMAC は、内蔵モジュール割り込み要求による起動要因を、割り込みコントローラとは独立して受け付けます。このため、割り込みコントローラによる優先順位設定の影響を受けません。

DTA = 1 で DMAC を起動する場合、割り込みフラグ要求は DMA 転送により自動的にクリアされます。複数のチャンネルで同一の割り込み要求を起動要因とした場合、最も優先順位の高いチャンネルが起動された時点で割り込み要求フラグがクリアされます。この場合、その他のチャンネルの転送要求は DMAC 内部で保持されず、起動されない場合があります。

DTA = 0 で DMAC を起動する場合、割り込み要求フラグは DMAC によりクリアされません。CPU でクリアしてください。

DTE = 0 の状態では、選択された起動要因は DMAC に転送を要求しません。この場合、当該割り込みは CPU に割り込みを要求します。

また、DTE ビットへの 1 ライトは、内蔵モジュール割り込みの発生元となる割り込み要求フラグが 0 にクリアされていることを確認した後に行ってください。

表 7.5 DMAC 内蔵モジュール割り込み一覧

内蔵モジュール割り込み要因 (割り込み要因)	発生元	DMRSR 値 (ベクタ番号)
ADIO (A/D 変換終了割り込み)	A/D_0	86
ADI1 (A/D 変換終了割り込み)	A/D_1	87
TGI0A (TGR0A インพุットキャプチャ/コンペアマッチ)	TPU_0	88
TGI1A (TGR1A インพุットキャプチャ/コンペアマッチ)	TPU_1	93
TGI2A (TGR2A インพุットキャプチャ/コンペアマッチ)	TPU_2	97
TGI3A (TGR3A インพุットキャプチャ/コンペアマッチ)	TPU_3	101
TGI4A (TGR4A インพุットキャプチャ/コンペアマッチ)	TPU_4	106
TGI5A (TGR5A インพุットキャプチャ/コンペアマッチ)	TPU_5	110
RXI_0 (SCI チャンネル 0 の受信データフル割り込み)	SCI_0	145
TXI_0 (SCI チャンネル 0 の送信データエンpty割り込み)	SCI_0	146
RXI_2 (SCI チャンネル 2 の受信データフル割り込み)	SCI_2	153
TXI_2 (SCI チャンネル 2 の送信データエンpty割り込み)	SCI_2	154
RXI_4 (SCI チャンネル 4 の受信データフル割り込み)	SCI_4	161
TXI_4 (SCI チャンネル 4 の送信データエンpty割り込み)	SCI_4	162
RXI_5 (SCI チャンネル 5 の受信データフル割り込み)	SCI_5	193
TXI_5 (SCI チャンネル 5 の送信データエンpty割り込み)	SCI_5	194
RM0_0 (RCAN-ET チャンネル 0 のメールボックス 0 のメッセージ受信)	RCAN-ET_0	220
RM0_1 (RCAN-ET チャンネル 1 のメールボックス 1 のメッセージ受信)	RCAN-ET_1	221
CMIO_0 (モータコントロール PWM チャンネル 0 のコンペアマッチ割り込み)	PWM_0	224
CMI1_0 (モータコントロール PWM チャンネル 1 のコンペアマッチ割り込み)	PWM_1	225
CMIO_1 (16 ビット PWM チャンネル 0 のコンペアマッチ割り込み)	PWM16_0	228
CMI1_1 (16 ビット PWM チャンネル 1 のコンペアマッチ割り込み)	PWM16_1	229
SGL_0 (SDG チャンネル 0 の減衰終了割り込み)	SDG_0	232
SGL_1 (SDG チャンネル 1 の減衰終了割り込み)	SDG_1	233
SGL_2 (SDG チャンネル 2 の減衰終了割り込み)	SDG_2	236
SGL_3 (SDG チャンネル 3 の減衰終了割り込み)	SDG_3	237

(3) 外部リクエストによる起動

外部リクエストによる起動は、外部デバイスからの転送要求信号 (\overline{DREQ}) によって転送を開始します。DMA 転送が許可されているとき ($DTE = 1$)、 \overline{DREQ} が入力されると DMA 転送を開始します。内部空間から内部空間への DMA 転送を行う場合は、起動要因を外部リクエスト以外 (オートリクエスト、内蔵モジュール割り込み) に設定してください。

転送要求信号は \overline{DREQ} 端子で受け付けます。 \overline{DREQ} を立ち下がりエッジで検出するか、Low レベルで検出するかは、DMDR の DREQS ビットで選択します。ブロック転送を行う場合は、Low レベル検出 ($DREQS = 0$) を選択してください。

起動要因として外部リクエストを指定する場合は、あらかじめ該当する端子の DDR ビットを 0、ICR ビットを 1 に設定しておいてください。詳細は、「8. I/O ポート」を参照してください。

7. DMA コントローラ (DMAC)

7.5.4 バスモード

バスモードには、サイクルスチールモードとバーストモードがあります。

起動要因がオートリクエストの場合は、サイクルスチールモードとバーストモードを DMDR の DTF0 ビットで選択することができます。起動要因が内蔵モジュール割り込みまたは外部リクエストの場合は、サイクルスチールモードになります。

(1) サイクルスチールモード

サイクルスチールモードでは、DMAC は 1 回の転送単位 (バイト、ワード、ロングワード、または 1 ブロックサイズ) の転送を終了するたびにバス権を解放します。その後、転送要求があればバス権を取り戻し、再び 1 転送単位の転送を行い、その転送を終了するとまたバス権を解放します。この動作を転送終了条件が満たされるまで繰り返します。

DMA 転送中に他のチャンネルに転送要求がある場合は、いったん他のバスマスタに対してバス権を解放した後に、転送要求のあったチャンネルの転送を行います。複数のチャンネルに転送要求がある場合の動作の詳細については、「7.5.8 チャンネルの優先順位」を参照してください。

図 7.13 にサイクルスチールモードのタイミング例を示します。転送条件は以下のとおりです。

- アドレスモード：シングルアドレスモード
- $\overline{\text{DREQ}}$ 端子のサンプリング方法：Low レベル検出

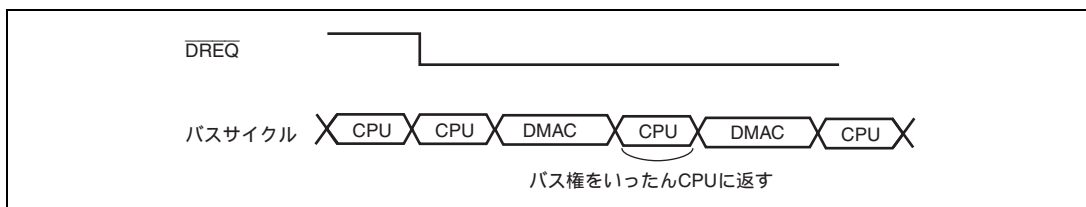


図 7.13 サイクルスチールモードのタイミング例

(2) バーストモード

バーストモードでは、DMAC は一度バス権を取ると転送終了条件が満たされるまでバス権を解放せずに転送を続けます。バーストモードでは、転送を開始すると優先順位の高い他のチャンネルに転送要求がある場合でも転送を中断することはありません。バーストモードのチャンネルが転送を終了すると、次のサイクルでサイクルスチールモードと同様にバス権を解放します。ただし、バスコントローラの BCR2 の IBCCS ビットを 1 にセットすることにより、他のバスマスタを優先して DMAC のバス権をいったん解放することができます。

ブロック転送モードでは、バーストモードの設定は無効です (1 ブロック転送中はバーストモードと同様の動作)。常にサイクルスチールモードとして動作します。

DMDR の DTE ビットを 0 にクリアすると、DMA 転送は停止します。ただし、DTE ビットを 0 にクリアするまでに DMAC 内部で発生した転送要求分の DMA 転送は実行されます。転送サイズエラー割り込みや、リピートサイズ終了割り込み、拡張リピートエリアオーバーフロー割り込みが発生した場合は、DTE ビットを 0 にクリアして転送終了します。

図 7.14 にバーストモードのタイミング例を示します。

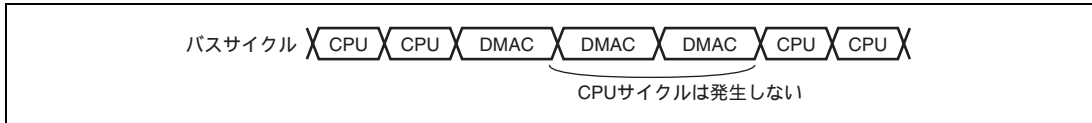


図 7.14 バーストモードのタイミング例

7.5.5 拡張リピートエリア機能

DMAC にはソースアドレス、デスティネーションアドレスに拡張リピートエリアを設定する機能があります。拡張リピートエリアを設定すると、アドレスレジスタは拡張リピートエリアに指定された範囲のアドレス値を繰り返します。リングバッファを転送の対象にした場合は、アドレスレジスタの値がバッファの最終アドレスになるたびに (リングバッファに対するアドレスのオーバーフロー)、アドレスレジスタの値をバッファの先頭アドレスに戻す操作が必要となり、拡張リピートエリア機能を使うと自動的にアドレスレジスタの値をバッファの先頭アドレスに戻す操作を DMAC 内で行うことができます。

拡張リピートエリア機能は、ソースアドレスレジスタ(DSAR)とデスティネーションアドレスレジスタ(DDAR)に個別に設定できます。

ソースアドレスの拡張リピートエリアは、DACR の SARA4 ~ SARA0 ビットで設定します。デスティネーションアドレスの拡張リピートエリアは、DACR の DARA4 ~ DARA0 ビットで設定します。おのおのの拡張リピートエリアのサイズは個別に設定できます。

アドレスレジスタの値が拡張リピートエリアの終端になり拡張リピートエリアがオーバーフローすると、DMA 転送を一時停止させて、CPU に対して拡張リピートエリアオーバーフロー割り込み要求を発生することができます。DACR の SARIE ビットを 1 にセットすると、DSAR の拡張リピートエリアがオーバーフローしたときに DMDR の ESIF ビットを 1 セットし、DMDR の DTE ビットを 0 にクリアして転送を終了します。このとき、DMDR の ESIE ビットが 1 にセットされていると、CPU に対して拡張リピートエリアオーバーフロー割り込み要求を発生します。DACR の DARIE ビットを 1 にセットするとデスティネーションアドレスレジスタが対象になります。割り込み発生中に DMDR の DTE ビットに 1 をセットすると、引き続き転送を再開します。

7. DMA コントローラ (DMAC)

図 7.15 に拡張リピートエリア機能の例を示します。

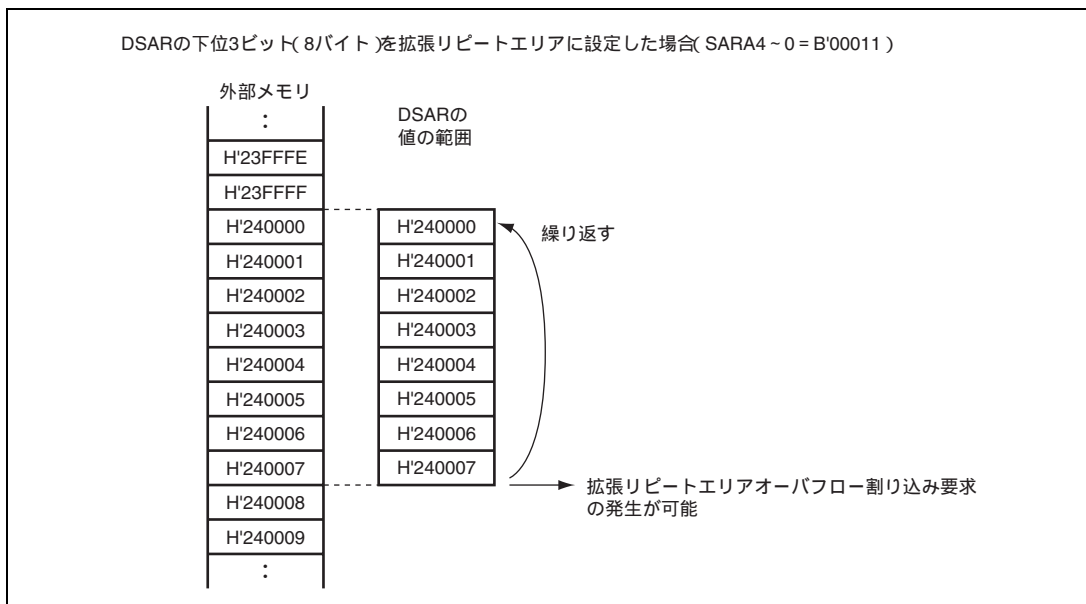


図 7.15 拡張リピートエリア機能の例

拡張リピートエリアオーバーフロー割り込みをブロック転送モードと併用する場合は、次の注意が必要です。

拡張リピートエリアのオーバーフローの発生で転送を終了させる場合は、ブロックサイズを2のべき乗になるように設定するか、またはブロックサイズの切れ目と拡張リピートエリアの範囲の切れ目が一致するようにアドレスレジスタの値を設定する必要があります。また、1ブロックサイズを転送中に拡張リピートエリアにオーバーフローが発生した場合は、1ブロックサイズの転送が終了するまで拡張リピートエリアオーバーフロー割り込み要求は保留され、転送はオーバーランします。

拡張リピートエリアオーバーフロー割り込みをブロック転送モードと併用するときと同様の注意が必要です。

図 7.16 にブロック転送モードと拡張リピートエリア機能を併用したときの例を示します。

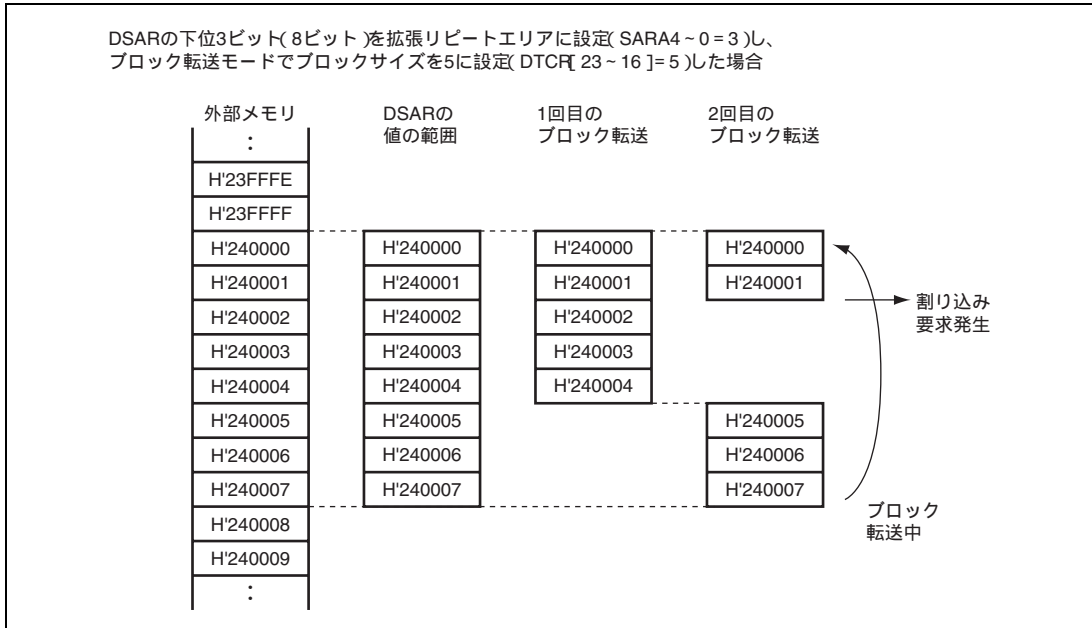


図 7.16 ブロック転送モードと拡張リピートエリア機能を併用したときの例

7. DMA コントローラ (DMAC)

7.5.6 オフセットを使ったアドレス更新機能

転送先、転送元のアドレスの更新方法には、「固定」、「1、2、または4の増減」のほかに「オフセット加算」があります。「オフセット加算」では、DMAC がデータアクセスサイズ分の転送を行うたびにオフセットレジスタ (DOFR) で設定したオフセットを加算します。この機能により、途中のアドレスを飛ばしてデータ転送ができます。

図 7.17 にアドレス更新方法を示します。

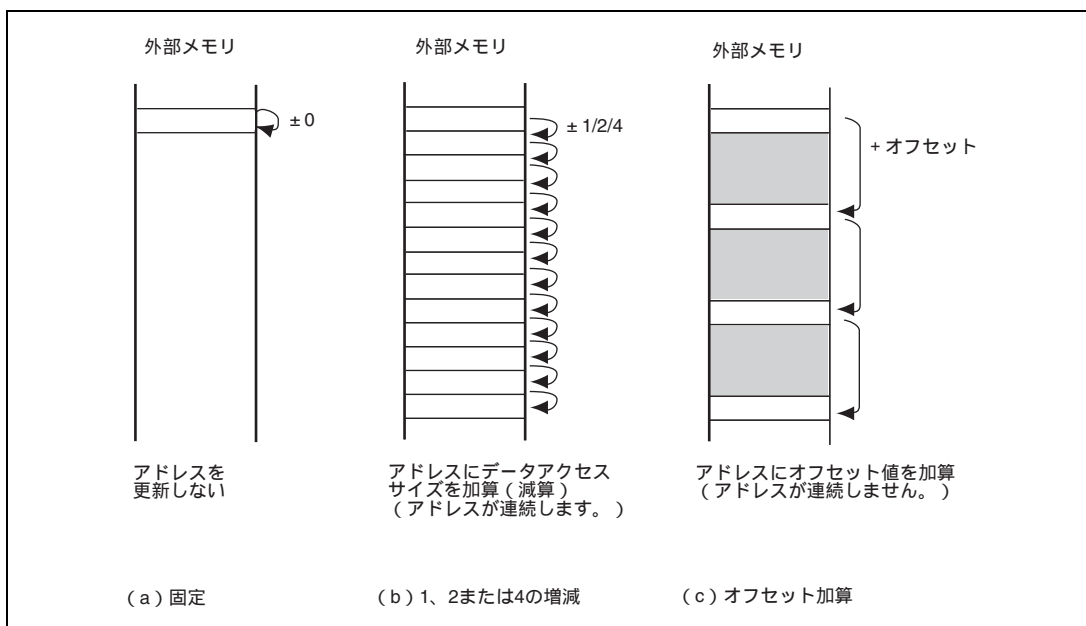


図 7.17 アドレスの更新方法

(a) の「固定」の場合は、転送先あるいは転送元のアドレスの更新が行われず常に同じアドレスを示します。

(b) の「1、2、または4の増減」の場合は、データの転送が行われるたびにデータアクセスサイズに応じた値を転送先あるいは転送元のアドレスに加減算します。データアクセスサイズにはバイト、ワード、ロングワードを指定できます。バイト指定では1、ワード指定では2、ロングワード指定では4の値をアドレスの加減算に使用します。この機能により、DMAC は連続するアドレスの転送を実現しています。

(c) の「オフセット加算」の場合は、データアクセスサイズに依存するアドレスの演算を実施しません。DMAC はデータアクセスサイズ分の転送が行われるたびに DOFR で設定した値を転送先あるいは転送元のアドレスに加算します。

DMAC は、DOFR にオフセット値を設定し、DSAR や DDAR と演算します。このとき、DMAC はオフセット値の加算しか実行できませんが、DOFR に負値を設定することにより、オフセット値による減算も実現できます。負値を設定する場合は、負値にするオフセット値を2の補数で指定してください。

(1) オフセットを使った基本的な転送

図 7.18 に基本的な動作を示します。

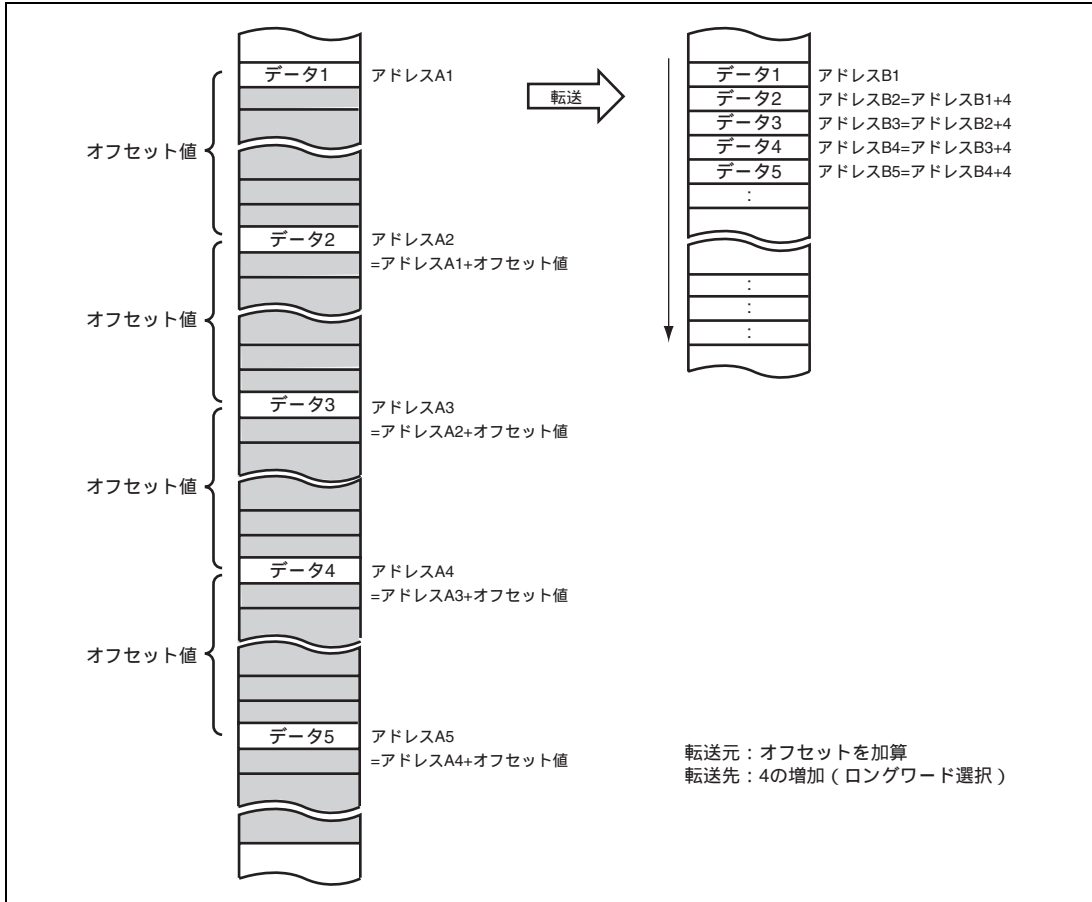


図 7.18 オフセット更新機能の動作

図 7.18 では、転送元アドレスの更新には「オフセット加算」を設定し、転送先アドレスの更新に「1、2、または 4 の増減」を設定しています。転送元アドレスの 2 回目以降の更新は、前の転送時のアドレスからオフセット値分ジャンプしたアドレスのデータのリードとなります。この一定間隔を空けてリードしてきたデータは、転送先では連続した領域にライトされます。

7. DMA コントローラ (DMAC)

(2) オフセットを使った XY 変換例

図 7.19 にリピート転送モードと「オフセット加算」を組み合わせて XY 変換を行うときの動作を示します。

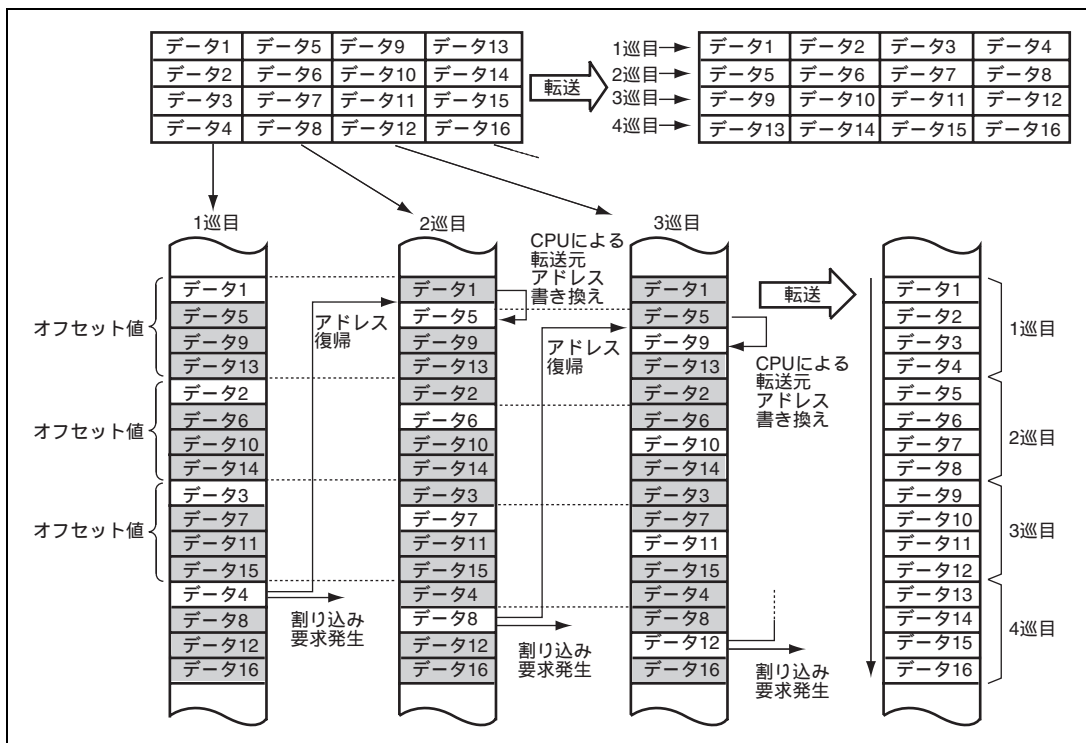


図 7.19 リピート転送モード+オフセット加算による XY 変換のときの動作

図 7.19 では、DACR でソースアドレス側をリピートエリアに設定し、かつ DACR で「オフセット加算」を設定しています。オフセット値は、 $4 \times$ データアクセスサイズに相当するアドレスです (たとえば、データアクセスサイズがロングワードであると、DOFR に H'00000010 を指定したことになります)。リピートサイズは $4 \times$ データアクセスサイズです (たとえばデータアクセスサイズがロングワードであると、 $4 \times 4 = 16$ バイトをリピートサイズに指定したことになります)。転送先は「1、2、および 4 の加算」を設定しています。また、DACR の RPTIE ビットを 1 にセットし、リピートサイズ分の転送が終了するとリピートサイズ終了割り込み要求が発生するように設定しています。

転送が開始されると、転送元はアドレスにオフセット値を加算しデータを転送します。転送データは、転送先で転送順に連続して並べられます。データ 4 までのデータが転送されると、リピートサイズ分のデータを転送したことになり、DMAC は転送元のアドレスを転送開始時のアドレス (転送元データ 1 のアドレス) に復帰させます。また、同時にリピートサイズ終了割り込み要求を発生させます。この割り込み要求によりいったん転送が中断するので、CPU による I/O レジスタアクセスで DSAR の値をデータ 5 のアドレスに書き換えてください (ロングワード転送ならデータ 1 のアドレス+4 にアドレスを書き換えます)。DMDR の DTE ビットを 1 にセットすると、転送中断した状態から引き続き転送を開始します。以降同様な処理を繰り返すと、転送元のデータが転送先に XY 変換されて転送されます。

図 7.20 に XY 変換の処理フローを示します。

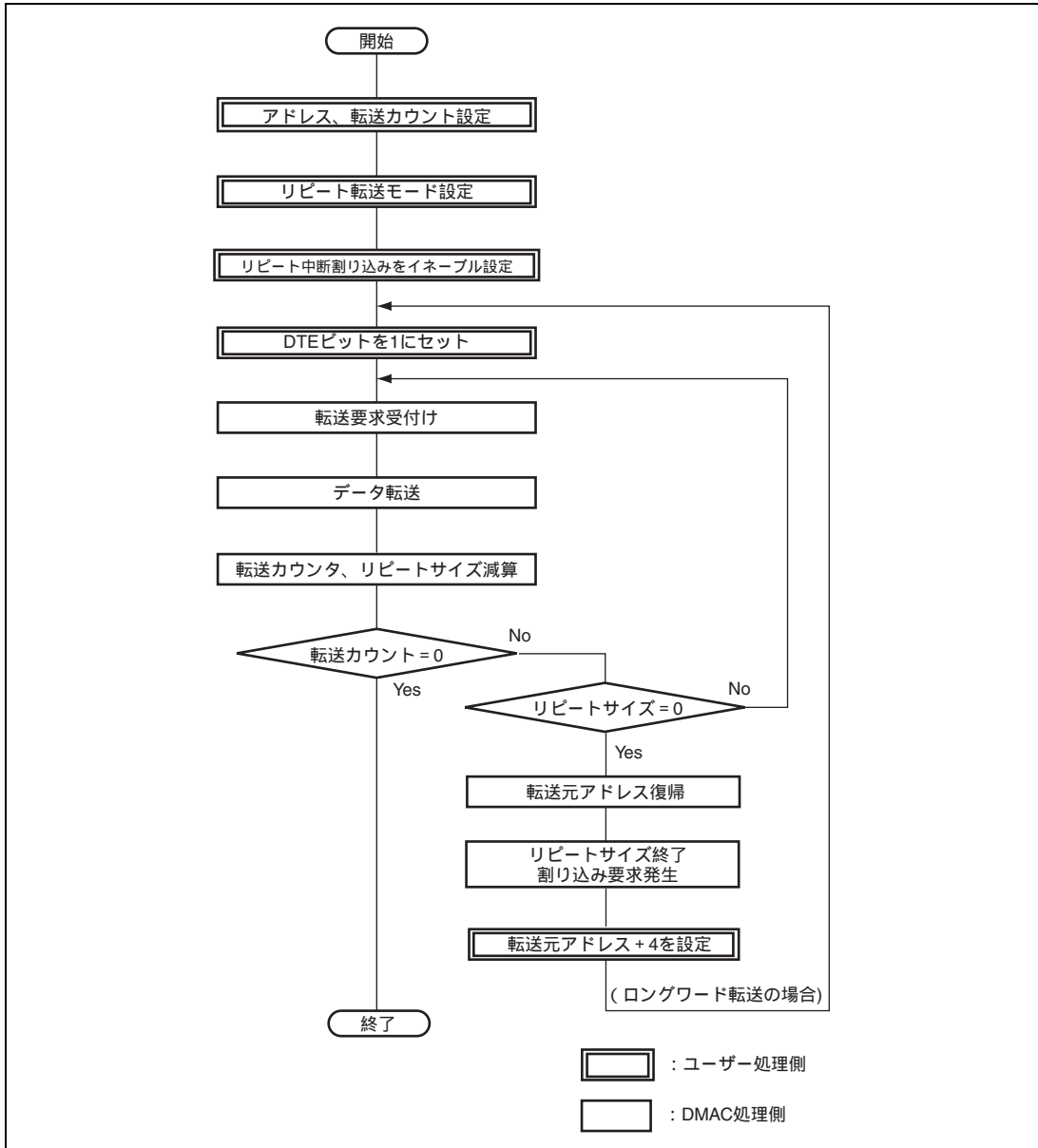


図 7.20 リピート転送モード+オフセット加算による XY 変換のフロー

7. DMA コントローラ (DMAC)

(3) オフセット減算の指定方法

DOFR に負値を設定する場合はオフセット値を 2 の補数で指定してください。2 の補数は次式で求められます。

[負オフセット値の 2 の補数表現] = \sim [オフセット値] + 1 (\sim : ビット反転)

例: H'0001FFFF の 2 の補数表現
= H'FFFE0000 + H'00000001
= H'FFFE0001

2 の補数は、CPU の NEGL 命令でも求められます。

7.5.7 DMA 転送中のレジスタ

DMAC のレジスタは、DMA 転送処理により値を更新します。更新される値は、各種設定や転送の状態により異なります。更新されるレジスタは、DSAR、DDAR、DTCR、DBSR の BKSZH、BKSZ ビット、DMDR の DTE、ACT、ERRF、ESIF、DTIF ビットです。

(1) DMA ソースアドレスレジスタ (DSAR)

転送元の DSAR のアドレスをアクセスすると、DSAR の値を出力し、次にアクセスするアドレスに更新されません。

DACR の SAT1、SAT0 ビットでアドレスの増減を設定します。SAT1、0 = B'00 のときアドレスは固定されます。SAT1、0 = B'01 のときアドレスはオフセットレジスタ値が加算されます。SAT1、0 = B'10 のときアドレスは増加し、SAT1、0 = B'11 のときアドレスは減少します (増減サイズは、転送するデータアクセスサイズにより決まります)。

DMDR の DTSZ1、DTSZ0 ビットでデータアクセスサイズを設定します。DTSZ1、0 = B'00 のときバイトサイズになり、アドレスは ± 1 増減されます。DTSZ1、0 = B'01 のときワードサイズになり、アドレスは ± 2 増減されます。DTSZ1、0 = B'10 のときロングワードサイズになり、アドレスは ± 4 増減されます。また、ワードサイズ、ロングワードサイズの設定であっても、ソースアドレスがワード境界、ロングワード境界を外れている場合、データはバイトやワードに分割してリードされます。1 ワードサイズ分、1 ロングワードサイズ分のデータを分割してリードしている間、アドレス増減サイズは実際にリードされるデータのサイズであるバイトやワードに合わせて、+1、+2 になります。1 ワードサイズ分、1 ロングワードサイズ分のデータのリード後は、リード開始時のアドレスに対して、SAT1、0 の設定に従ったアドレスの増減を行います。

ブロック転送モード (またはリピート転送モード) においてソースアドレス側にブロックエリア (リピートエリア) を設定している場合、ブロックサイズ (リピートサイズ) 分の転送を終了すると、ソースアドレスは転送開始アドレスに戻りアドレス更新の影響を受けません。

ソースアドレス側に拡張リピートエリアを設定している場合は、その設定に従います。拡張リピートエリアに設定された上位側のアドレスは固定され、アドレス更新の影響を受けません。

転送中に DSAR をリードするときは、ロングワードサイズでアクセスしてください。転送中の DSAR は、CPU からのアクセスに関係なく更新される可能性があり、上位ワードと下位ワードを別々にリードすると正しい値がリードできない可能性があります。また、転送中のチャンネルの DSAR にライトしないでください。

(2) DMA デスティネーションアドレスレジスタ (DDAR)

転送先の DDAR のアドレスをアクセスすると、DDAR の値を出力し、次にアクセスするアドレスに更新されま

す。
DACR の DAT1、DAT0 ビットでアドレスの増減を設定します。DAT1、0 = B'00 のときアドレスは固定されます。DAT1、0 = B'01 のときアドレスはオフセットレジスタ値が加算されます。DAT1、0 = B'10 のときアドレスは増加し、DAT1、0 = B'11 のときアドレスは減少します (増減サイズは、転送するデータアクセスサイズにより決まります)。

DMDR の DTSZ1、DTSZ0 ビットでデータアクセスサイズを設定します。DTSZ1、0 = B'00 のときバイトサイズになり、アドレスは ± 1 増減されます。DTSZ1、0 = B'01 のときワードサイズになり、アドレスは ± 2 増減されます。DTSZ1、0 = B'10 のときロングワードサイズになり、アドレスは ± 4 増減されます。また、ワードサイズ、ロングワードサイズの設定であっても、デスティネーションアドレスがワード境界、ロングワード境界を外れている場合、データはバイトやワードに分割してライトされます。1 ワードサイズ分、1 ロングワードサイズ分のデータを分割してライトしている間、アドレス増減サイズは実際にライトされるデータのサイズであるバイトやワードに合わせて、+1、+2 になります。1 ワードサイズ分、1 ロングワードサイズ分のデータのライト後は、ライト開始時のアドレスに対して、SAT1、0 の設定に従ったアドレスの増減を行います。

ブロック転送モード (またはリピート転送モード) においてデスティネーションアドレス側にブロックエリア (リピートエリア) を設定している場合、ブロックサイズ (リピートサイズ) 分の転送を終了すると、デスティネーションアドレスは転送開始アドレスに戻りアドレス更新の影響を受けません。

デスティネーションアドレス側に拡張リピートエリアを設定している場合は、その設定に従います。拡張リピートエリアに設定された上位側のアドレスは固定され、アドレス更新の影響を受けません。

転送中に DDAR をリードするときは、ロングワードサイズでアクセスしてください。転送中の DDAR は、CPU からのアクセスに関係なく更新される可能性があり、上位ワードと下位ワードを別々にリードすると正しい値がリードできない可能性があります。また、転送中のチャンネルの DDAR にライトしないでください。

(3) DMA 転送カウントレジスタ (DTCR)

DMA 転送を行うと、DTCR の値は転送したバイト数分減少します。バイト転送した場合は -1、ワード転送した場合は -2、ロングワード転送した場合は -4 されます。ただし、DTCR の値が 0 のとき、転送回数はカウントされないため DTCR の値は変化しません。

DTCR の全ビットが変化する可能性があるため、DMA 転送中に CPU から DTCR をリードするときは、ロングワードサイズでアクセスしてください。転送中の DTCR は CPU からのアクセスに関係なく更新される可能性があり、上位ワードと下位ワードを別々にリードすると正しい値がリードできない可能性があります。また、動作中のチャンネルの DTCR にライトしないでください。

DMA 転送に伴うアドレスの更新と CPU によるライトが競合した場合は、CPU によるライトが優先されます。DTCR = 1、2、4、0 への更新と CPU によるライト (値は 0 以外) が競合した場合は、DTCR の値は CPU によるライトが優先されますが、転送は終了します。

(4) DMA ブロックサイズレジスタ (DBSR)

DBSR はブロック転送モード、またはリピート転送モードのときに有効となります。DBSR[31:16]は BKSZH、DBSR[15:0]は BKSZ として機能します。BKSZH の 16 ビットはブロックサイズやリピートサイズを保持し、その

7. DMA コントローラ (DMAC)

値は変化しません。BKSZ の 16 ビットはブロックサイズやリピートサイズのカウンタとして機能し、1 データ転送ごとに - 1 します。DMA 転送によって BKSZ の値が 0 になると判断されると、DMAC は BKSZ に 0 をストアせずに BKSZH の値をストアします。

DBSR は上位 16 ビットが更新されることがないので、ワードサイズでアクセスすることができます。

動作中のチャンネルの DBSR にライトしないでください。

(5) DMDR の DTE ビット

DMDR の DTE ビットは、CPU によりライトしてデータ転送の許可 / 禁止を制御しますが、DMA 転送状態によって DMAC により自動的に DTE ビットを 0 にクリアすることがあります。

DMAC により DTE ビットが 0 にクリアされる条件は以下のとおりです。

- 設定の総転送サイズの転送が終了したとき
- 転送サイズエラー割り込み要求が発生し、転送が終了したとき
- リピートサイズ終了割り込み要求が発生し、転送が終了したとき
- 拡張リピートエリアオーバフロー割り込み要求が発生し、転送が終了したとき
- NMI割り込みが発生し、転送が停止したとき
- アドレスエラーが発生し、転送が停止したとき
- リセット時
- ハードウェアスタンバイモード時
- DTE ビットに 0 をライトして、転送が停止したとき

DTE ビットが 1 にセットされているチャンネルのレジスタのライトは禁止されています (DTE ビットを除く)。DTE ビットに 0 をライトしてから各レジスタの設定を変更するときは、DTE ビットが 0 にクリアされていることを確認してください。

図 7.21 に、動作中のチャンネルのレジスタ設定を変更する手順を示します。

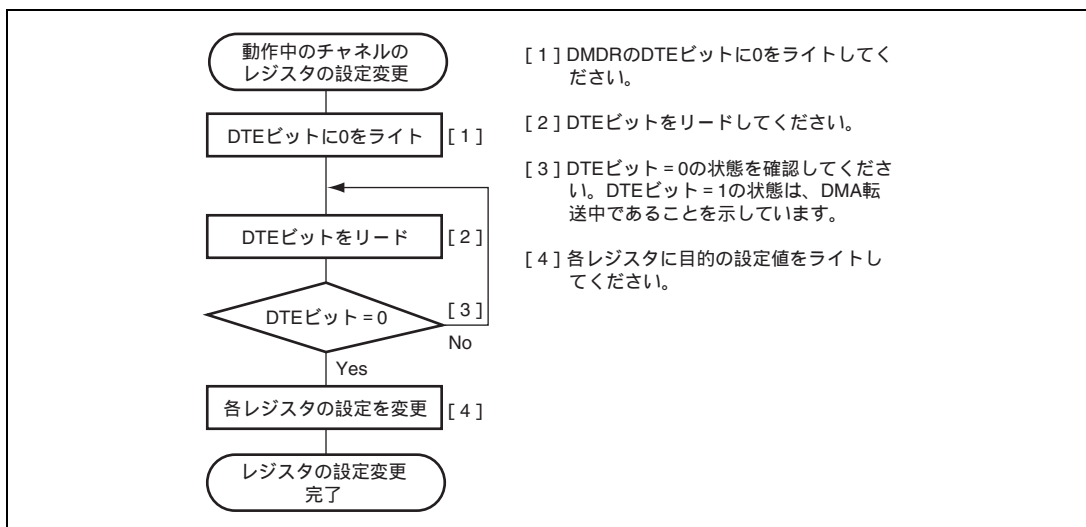


図 7.21 動作中のチャンネルのレジスタ設定を変更するときの手順

(6) DMDR の ACT ビット

DMDR の ACT ビットは、DMAC が待機状態かアクティブ状態かを示します。DTE=0 の場合と、DTE=1 で転送要求待ち状態の場合に ACT=0 となり、それ以外の場合 (DMAC がアクティブ状態) には ACT=1 になります。DTE ビットに 0 をライトして転送を停止させても DMA 転送中であれば、ACT ビットは 1 を保持します。

ブロック転送モードの場合、DTE ビットに 0 をライトして転送を停止させても 1 ブロックサイズの転送は中断されません。DTE ビットに 0 をライトしてから 1 ブロックサイズの転送が終了するまでの期間、ACT ビットは 1 を保持します。

バーストモードの場合、DTE ビットに 0 をライトしたバスサイクルから最大 3 回の DMA 転送が行われてから転送を停止します。DTE ビットに 0 をライトしてから最後の DMA サイクルが終了するまでの期間、ACT ビットは 1 を保持します。

(7) DMDR の ERRF ビット

アドレスエラー、または NMI 割り込みが発生した場合、DMAC は全チャンネルの DTE ビットを 0 にクリアして転送を終了します。また、DMAC は転送中か否かに関わらず、DMDR_0 の ERRF ビットを 1 にセットし、アドレスエラー、または NMI 割り込みが発生したことを示します。ただし、DMAC がモジュールストップ状態のときに、アドレスエラーや NMI 割り込みが発生しても ERRF ビットは 1 にセットされません。

(8) DMDR の ESIF ビット

転送サイズ割り込み、リピートサイズ終了割り込み、拡張リピートエリアオーバフロー割り込み要求が発生したとき、DMDR の ESIF ビットは 1 にセットされます。ESIF ビットが 1 にセットされ、DMDR の ESIE ビットが 1 にセットされていると転送エスケープ割り込み要求を CPU に対して発生します。

ESIF ビットに 1 がセットされるタイミングは、割り込み要求を発生させる要因になった DMA 転送のバスサイクルが終了して、DMDR の ACT ビットが 0 になって転送を終了したときです。

割り込み処理中に DTE ビットを 1 にセットして転送を再開した場合、自動的に ESIF ビットが 0 にクリアされ、割り込み要求は解除されます。

割り込みについては「7.8 割り込み要因」を参照してください。

(9) DMDR の DTIF ビット

DMA 転送によって総転送サイズ分の転送を終了すると、DMDR の DTIF ビットは 1 にセットされます。DTIF ビットが 1 にセットされ、DMDR の DTIE ビットが 1 にセットされていると転送カウンタによる転送終了割り込み要求を CPU に対して発生します。

DTIF ビットが 1 にセットされるタイミングは、DMA 転送のバスサイクルが終了して、DMDR の ACT ビットが 0 になって転送を終了したときです。

割り込み処理中に DTE ビットに 1 をセットして転送を再開した場合、自動的に DTIF ビットが 0 にクリアされ、割り込み要求は解除されます。

割り込みについては「7.8 割り込み要因」を参照してください。

7. DMA コントローラ (DMAC)

7.5.8 チャンネルの優先順位

DMAC のチャンネル間の優先順位は、チャンネル 0 > チャンネル 1 > チャンネル 2 > チャンネル 3 の順になっています。表 7.6 に DMAC のチャンネル間の優先順位を示します。

表 7.6 DMAC のチャンネル間の優先順位

チャンネル	優先順位
チャンネル 0	高
チャンネル 1	↑
チャンネル 2	↓
チャンネル 3	低

転送中に他のチャンネルからの転送要求があると、転送中のチャンネルを除いて最も優先度の高いチャンネルが選択されます。選択されたチャンネルは、転送中のチャンネルがバスを解放後に転送を開始します。このとき、DMAC 以外の他のバスマスタからバス権要求があると、他のバスマスタのサイクルが入ります。

バースト転送中、および 1 ブロック分のブロック転送中は、チャンネルを切り替えて転送することはありません。

図 7.22 に、チャンネル 0~2 からの転送要求が同時に発生したときの転送例を示します。

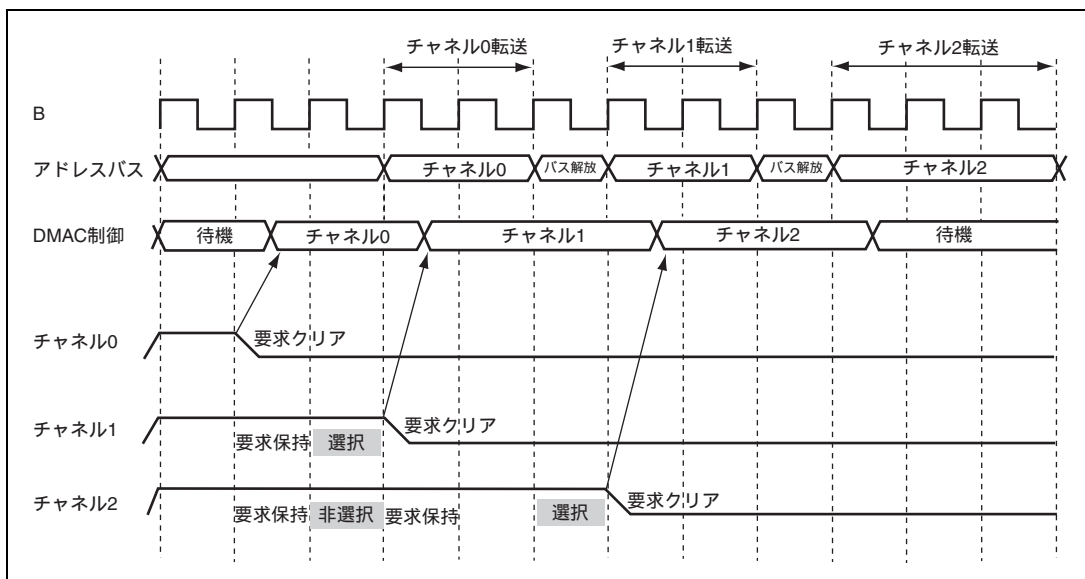


図 7.22 チャンネルの優先順位のタイミング例

7.5.9 基本バスサイクル

基本的なバスサイクルのタイミング例を図 7.23 に示します。図 7.23 は、ワードサイズで 16 ビット 2 ステートアクセス空間から 8 ビット 3 ステートアクセス空間へ転送する例です。CPU から DMAC にバス権が移ると、ソースアドレスのリード、デスティネーションアドレスのライトを行います。このリード/ライト動作の間に、他のバス権要求などによってバスを解放することはありません。DMAC サイクルは CPU サイクルと同様にバスコントローラの設定に従います。

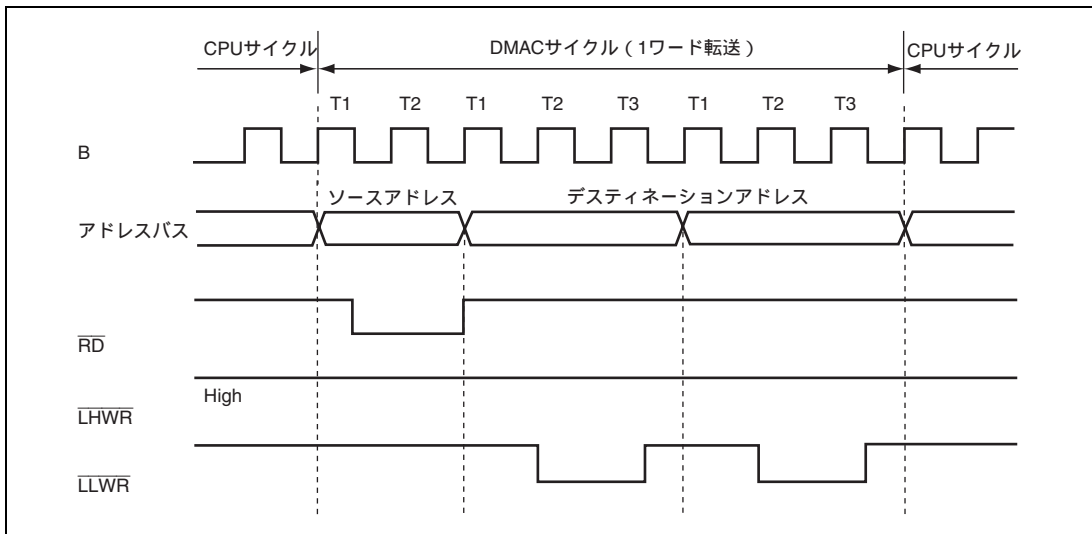


図 7.23 DMA 転送バスタイミング例

7. DMA コントローラ (DMAC)

7.5.10 デュアルアドレスモードのバスサイクル

(1) ノーマル転送モード (サイクルスチールモード)

サイクルスチールモードでは、1回の転送単位 (1バイト、1ワード、または1ロングワード)の転送を終了するたびにバスを解放します。バス解放期間中はCPUによるバスサイクルが1回以上入ります。

図 7.24 に、 $\overline{\text{TEND}}$ 出力を許可して、外部 16 ビット 2 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へ、ワードサイズでノーマル転送モードかつサイクルスチールモードにて転送を行った場合の例を示します。

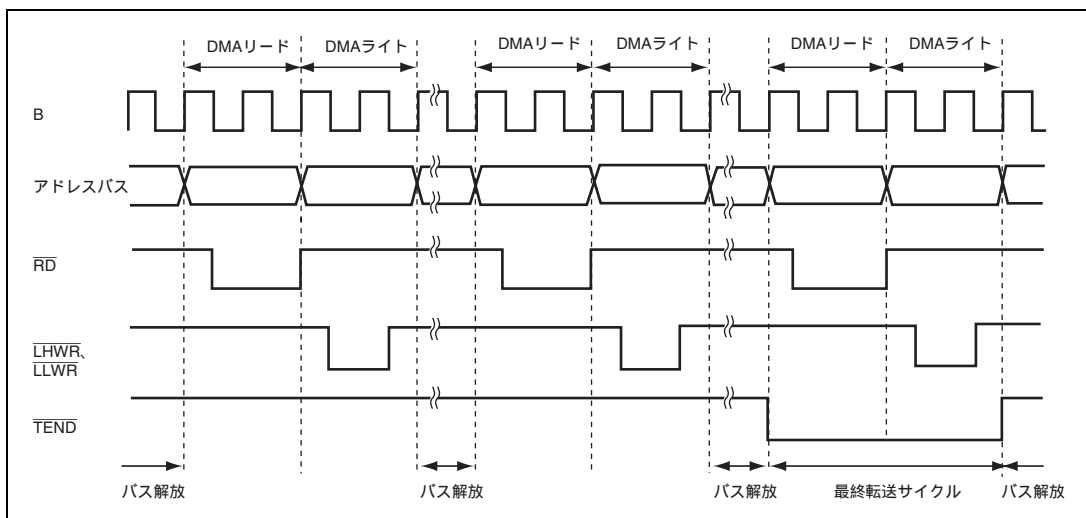


図 7.24 ノーマル転送モードかつサイクルスチールモードの転送例

図 7.25、図 7.26 に、 $\overline{\text{TEND}}$ 出力を許可して、外部 16 ビット 2 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へ、ロングワードサイズでノーマル転送モードかつサイクルスチールモードにて転送を行った場合の例を示します。

図 7.25 では、転送元は (DSAR = ロングワード境界を外れたアドレス)、転送先は (DDAR = ロングワード境界に沿ったアドレス) です。

図 7.26 では、転送元は (DSAR = ロングワード境界に沿ったアドレス)、転送先は (DDAR = ロングワード境界を外れたアドレス) です。

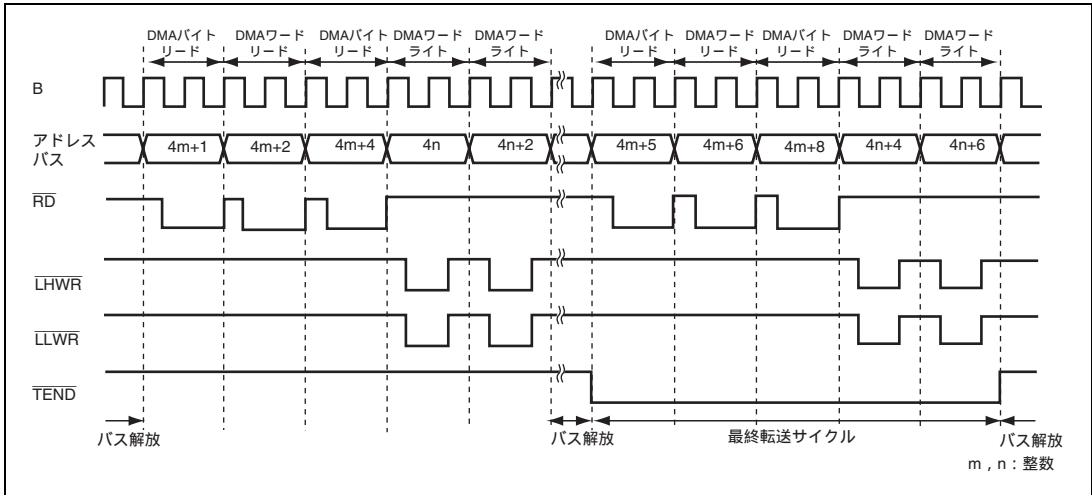


図 7.25 ノーマル転送モードかつサイクルスチールモードの転送例
(転送元 DSAR = 奇数アドレス、ソースアドレス増加)

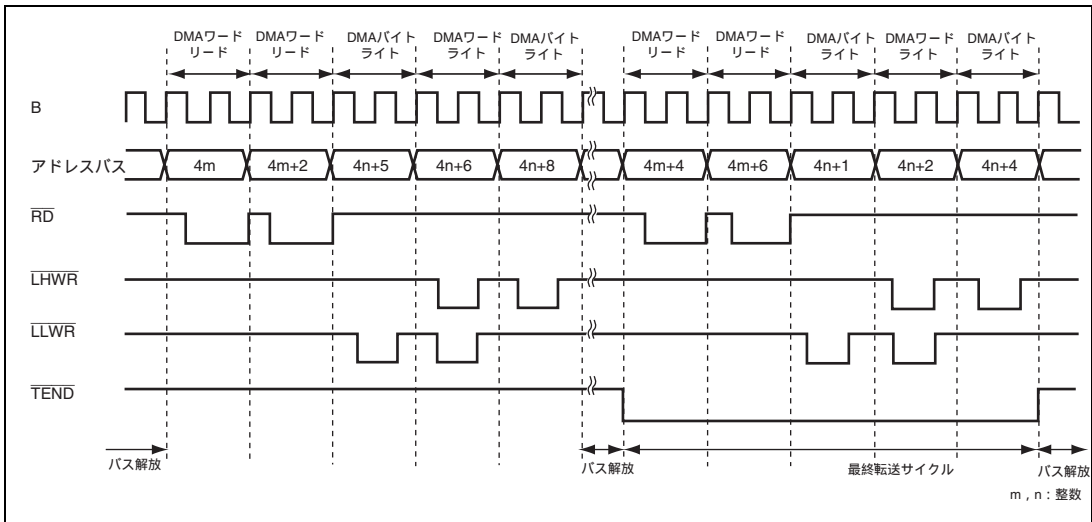


図 7.26 ノーマル転送モードかつサイクルスチールモードの転送例
(転送先 DDAR = 奇数アドレス、デスティネーションアドレス減少)

7. DMA コントローラ (DMAC)

(2) ノーマル転送モード (バーストモード)

バーストモードでは、1 バイト、1 ワード、または 1 ロングワードの転送を転送終了条件が満たされるまで続けます。

バースト転送を開始すると、優先順位の高い他のチャンネルの転送要求が発生してもバースト転送が終了するまで待たされます。

図 7.27 に、 \overline{TEND} 出力を許可して、外部 16 ビット 2 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へ、ワードサイズでノーマル転送モードかつバーストモードにて転送を行った場合の例を示します。

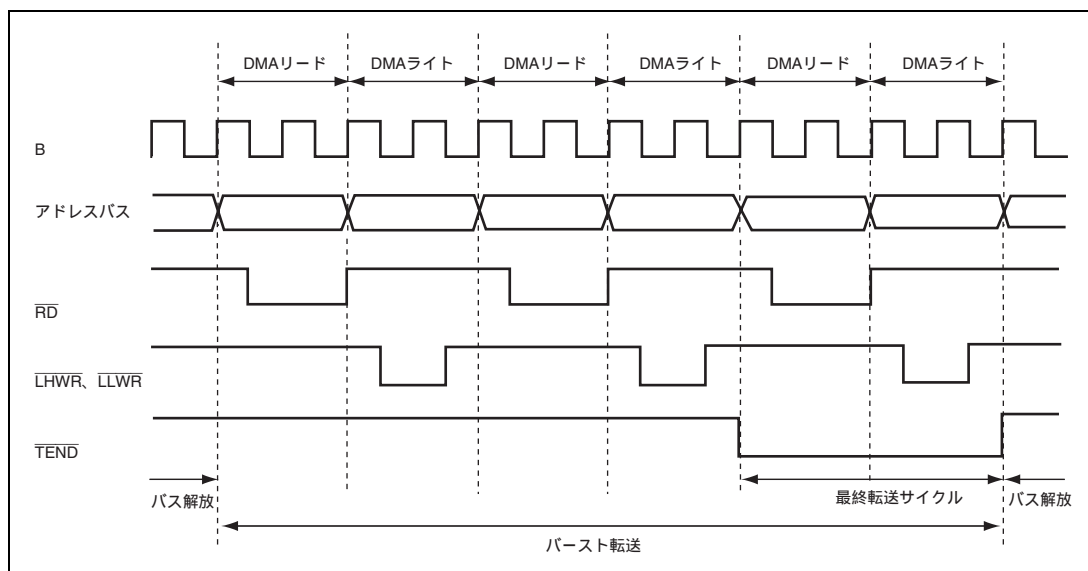


図 7.27 ノーマル転送モードかつバーストモードの転送例

(3) ブロック転送モード

ブロック転送モードでは、1回の転送要求について1ブロック分の転送を終了するたびにバスを解放します。

図 7.28 に、 $\overline{\text{TEND}}$ 出力を許可して、外部 16 ビット 2 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へ、ワードサイズでブロック転送モードにて転送を行った場合の例を示します。

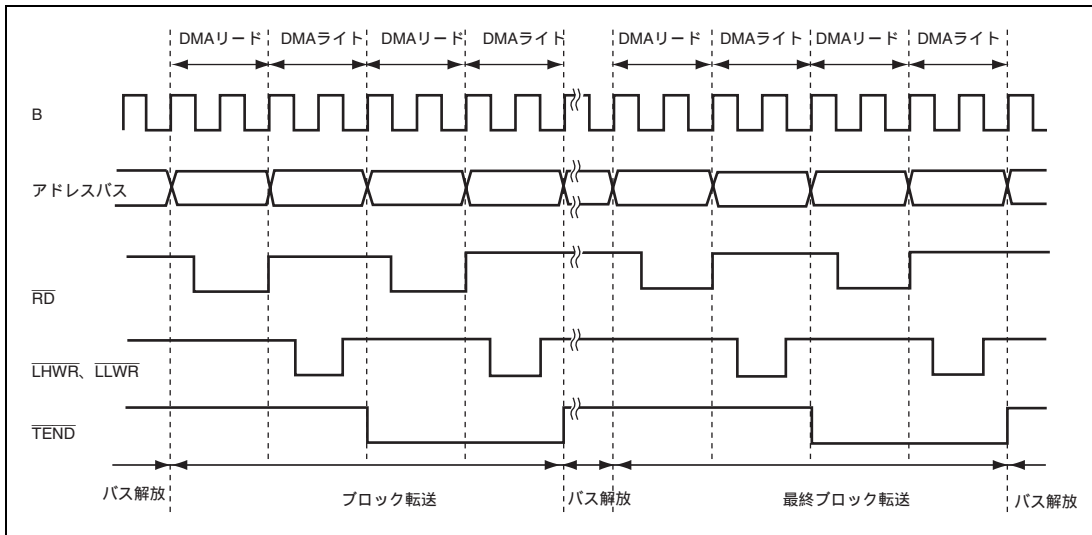


図 7.28 ブロック転送モードの転送例

7. DMA コントローラ (DMAC)

(4) $\overline{\text{DREQ}}$ 立ち下がりエッジ起動タイミング

図 7.29 に $\overline{\text{DREQ}}$ 立ち下がりエッジ起動時のノーマル転送モードの転送例を示します。

$\overline{\text{DREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の B の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{DREQ}}$ の Low レベルがサンプリングされると、DMAC 内部で転送要求が保持されます。次に DMAC 内部で起動がかかると転送要求はクリアされ、エッジ検出のため $\overline{\text{DREQ}}$ の High レベルのサンプリングが開始されます。DMA ライトサイクル終了までに $\overline{\text{DREQ}}$ の High レベルのサンプリングが済んでいればライトサイクル終了後に転送要求の受け付けが再開され、再び $\overline{\text{DREQ}}$ の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

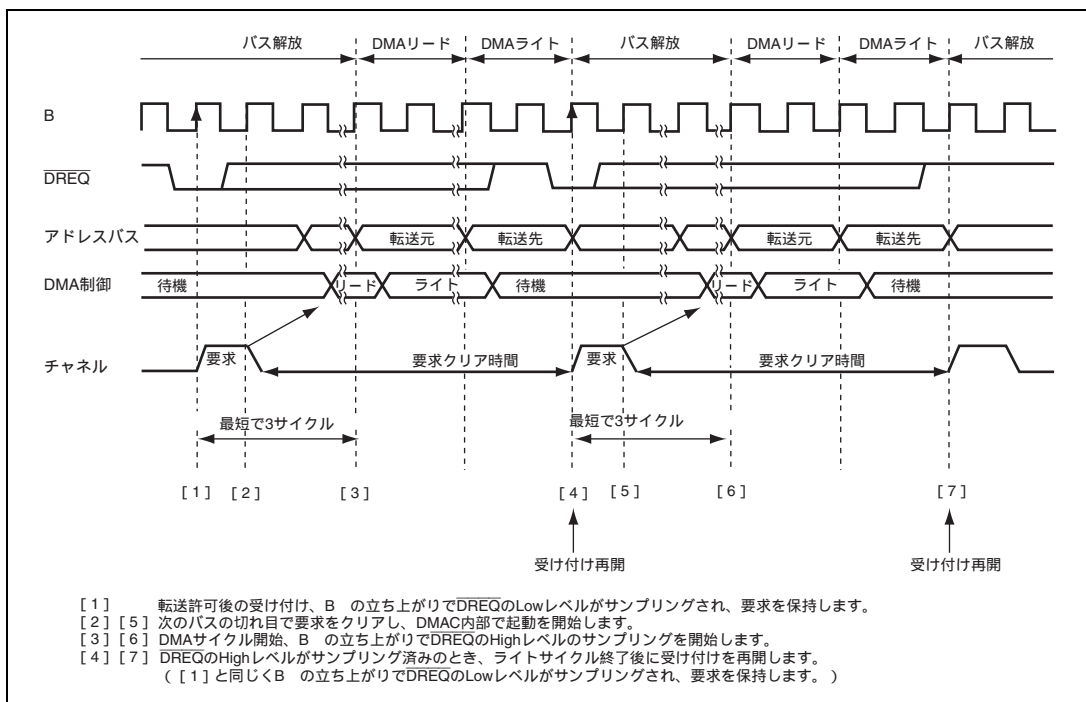


図 7.29 $\overline{\text{DREQ}}$ 立ち下がりエッジ起動時のノーマル転送モードの転送例

(5) $\overline{\text{DREQ}}$ レベル起動タイミング

図 7.30 に $\overline{\text{DREQ}}$ レベル起動時のノーマル転送モードの転送例を示します。

$\overline{\text{DREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の B の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{DREQ}}$ の Low レベルがサンプリングされると、DMAC 内部で転送要求が保持されます。次に DMAC 内部で起動がかかると転送要求はクリアされます。ライトサイクル終了後に転送要求の受け付けが再開され、再び $\overline{\text{DREQ}}$ 端子の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

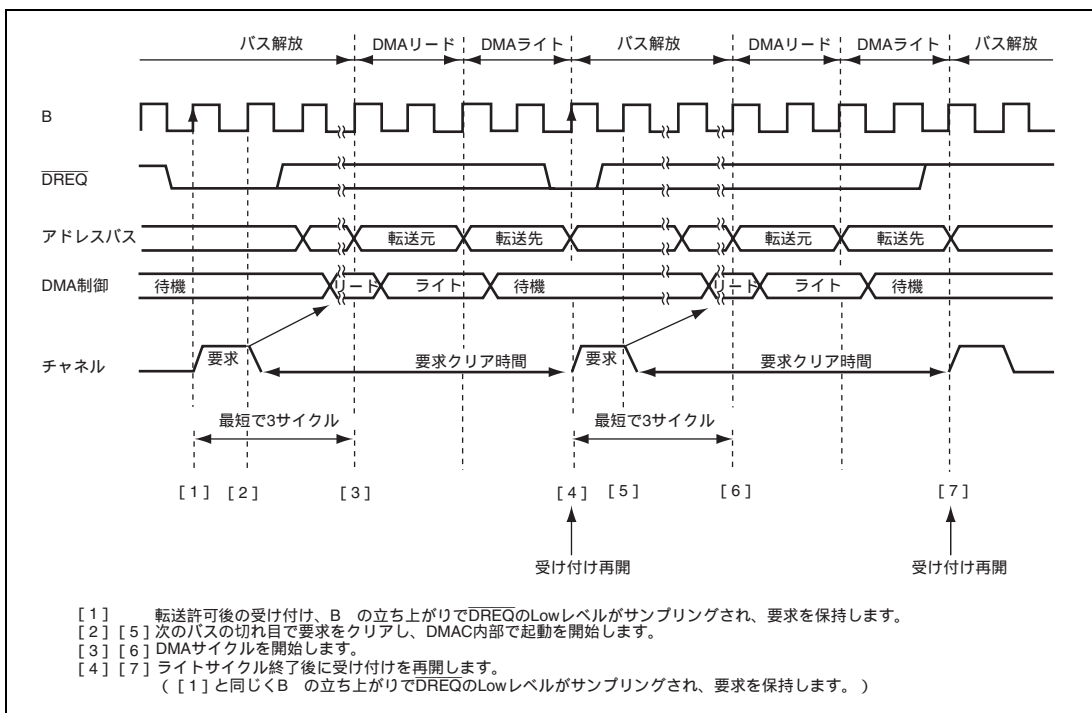


図 7.30 $\overline{\text{DREQ}}$ レベル起動時のノーマル転送モードの転送例

7. DMA コントローラ (DMAC)

図 7.31 に $\overline{\text{DREQ}}$ レベル起動時のブロック転送モードの転送例を示します。

$\overline{\text{DREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の B の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{DREQ}}$ の Low レベルがサンプリングされると、DMAC 内部で転送要求が保持されます。次に DMAC 内部で起動がかかると転送要求はクリアされます。ライトサイクル終了後に転送要求の受け付けが再開され、再び $\overline{\text{DREQ}}$ の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

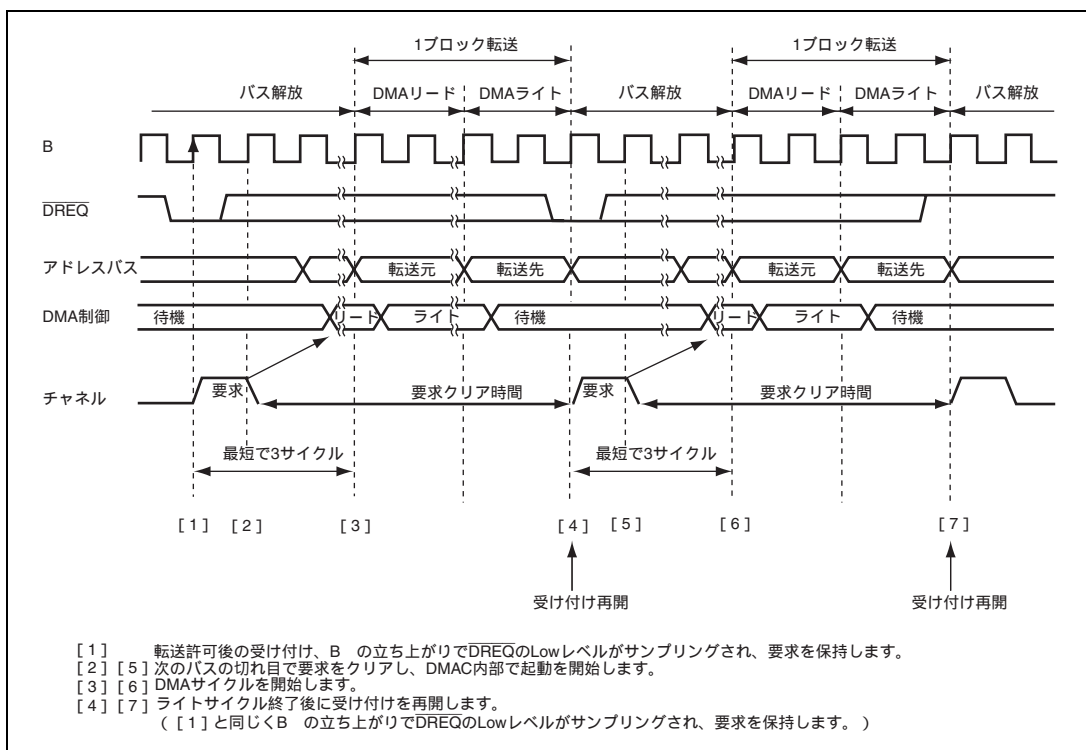


図 7.31 $\overline{\text{DREQ}}$ レベル起動時のブロック転送モードの転送例

(6) NRD=1 のときの $\overline{\text{DREQ}}$ Low レベル起動タイミング

DMDR の NRD ビットを 1 にセットすると、次の転送要求の受け付けタイミングを 1 サイクル遅延させることができます。

図 7.32 に NRD = 1 のときの $\overline{\text{DREQ}}$ Low レベル起動時のノーマル転送モードの転送例を示します。

$\overline{\text{DREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の B の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{DREQ}}$ の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に DMAC 内部で起動がかかると転送要求はクリアされます。ライトサイクル終了後に NRD = 1 による 1 サイクルの要求クリア期間後に受け付けが再開され、再び $\overline{\text{DREQ}}$ の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

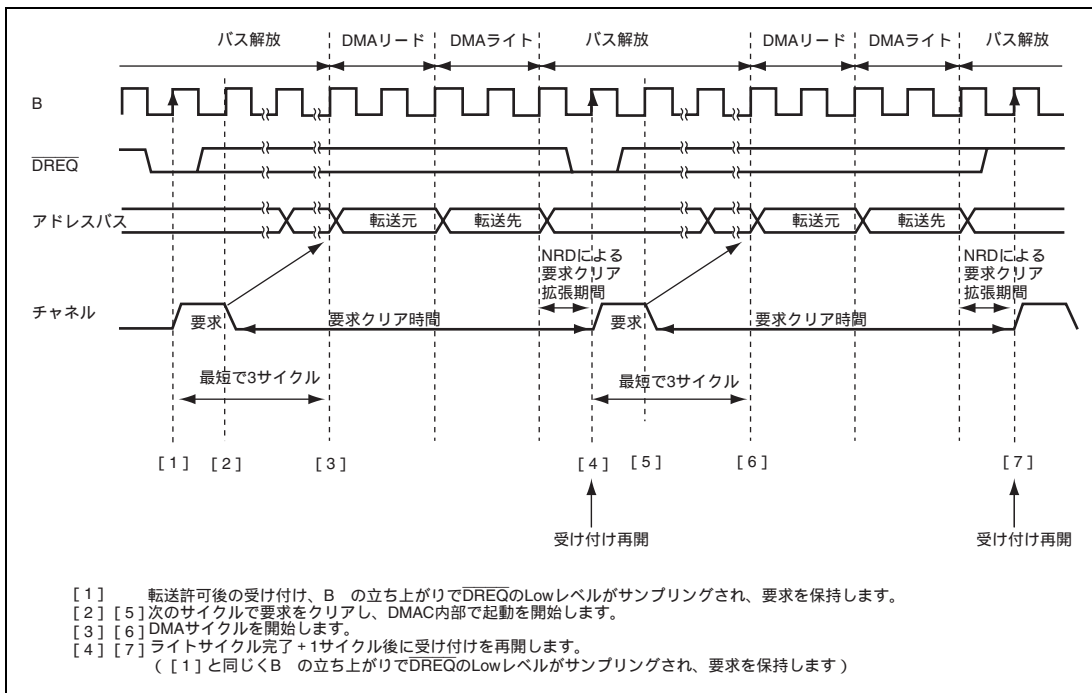


図 7.32 NRD = 1 のときの $\overline{\text{DREQ}}$ Low レベル起動時のノーマル転送モードの転送例

7. DMA コントローラ (DMAC)

7.5.11 シングルアドレスモードのバスサイクル

(1) シングルアドレスモード (リード、サイクルスチールモード)

シングルアドレスモードでは、1回の転送要求について1バイト、1ワード、または1ロングワードの転送を行い、転送終了後にいったんバスを解放します。バス解放期間中はCPUによるバスサイクルが1回以上入ります。

図 7.33 に、 $\overline{\text{TEND}}$ 出力を許可して、外部 8 ビット 2 ステートアクセス空間から外部デバイスへバイトサイズでシングルアドレスモードで転送 (リード) を行った場合の例を示します。

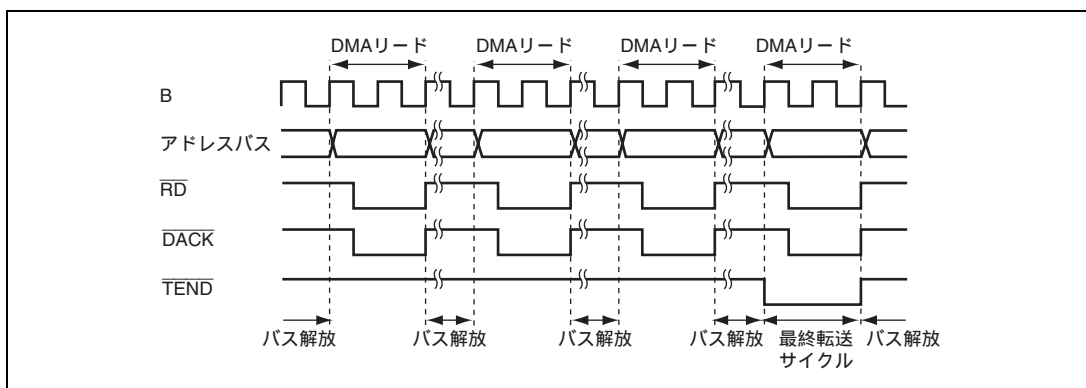


図 7.33 シングルアドレスモード (バイトリード) の転送例

(2) シングルアドレスモード (ライト、サイクルスチールモード)

シングルアドレスモードでは、1回の転送要求について1バイト、1ワード、または1ロングワードの転送を行い、転送終了後にいったんバスを解放します。バス解放期間中はCPUによるバスサイクルが1回以上入ります。

図 7.34 に、 $\overline{\text{TEND}}$ 出力を許可して、外部デバイスから外部 8 ビット 2 ステートアクセス空間へバイトサイズでシングルアドレスモードで転送 (ライト) を行った場合の例を示します。

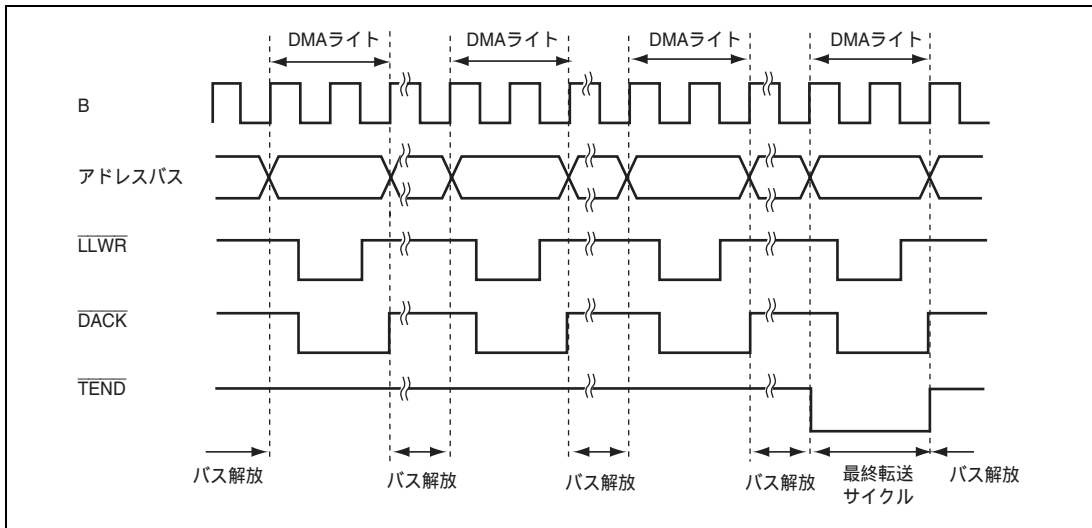


図 7.34 シングルアドレスモード (バイトライト) の転送例

7. DMA コントローラ (DMAC)

(3) $\overline{\text{DREQ}}$ 立ち下がりエッジ起動タイミング

図 7.35 に $\overline{\text{DREQ}}$ 立ち下がりエッジ起動時のシングルアドレスモードの転送例を示します。

$\overline{\text{DREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の B の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{DREQ}}$ の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に DMAC 内部で起動がかかると転送要求はクリアされ、エッジ検出のために $\overline{\text{DREQ}}$ の High レベルのサンプリングが開始されます。DMA シングルサイクル終了までに $\overline{\text{DREQ}}$ の High レベルのサンプリングが済んでいれば、シングルサイクル終了後に転送要求の受け付けが再開され、再び $\overline{\text{DREQ}}$ の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

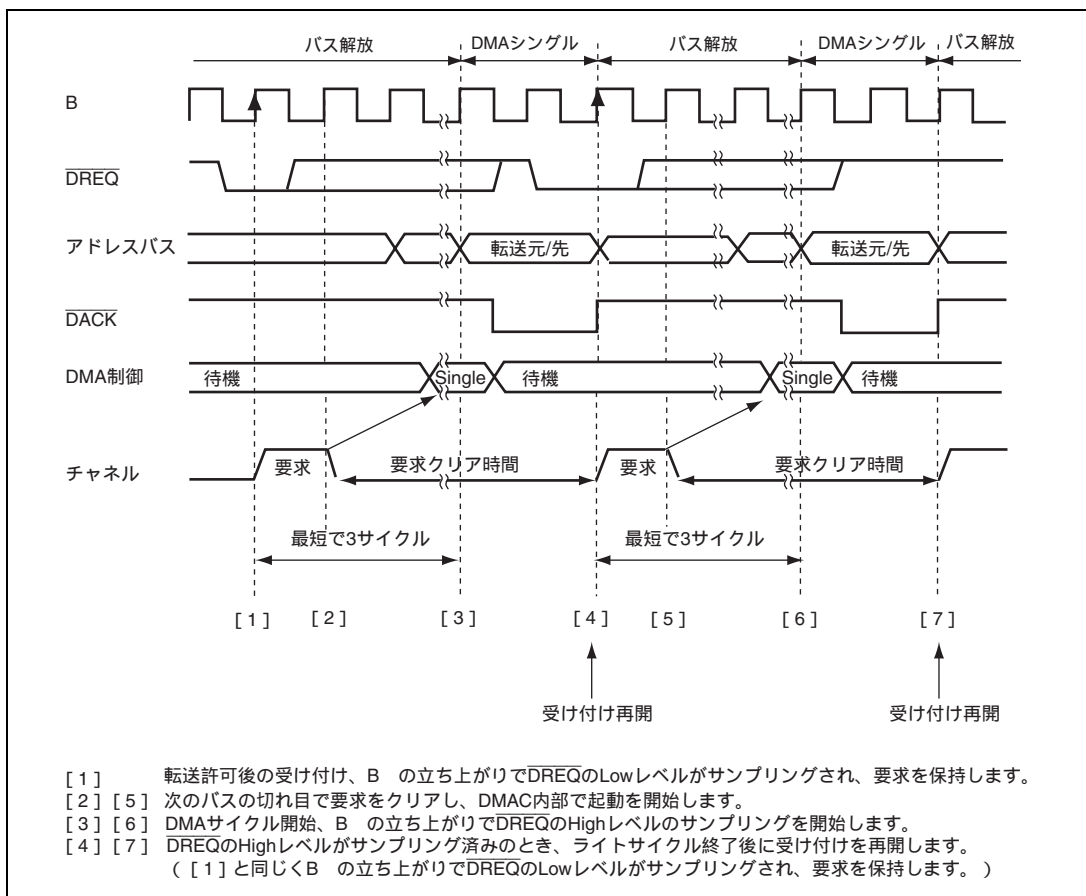


図 7.35 $\overline{\text{DREQ}}$ 立ち下がりエッジ起動時のシングルアドレスモードの転送例

(4) $\overline{\text{DREQ}}$ Low レベル起動タイミング

図 7.36 に $\overline{\text{DREQ}}$ Low レベル起動時のシングルアドレスモードの転送例を示します。

$\overline{\text{DREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の B の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{DREQ}}$ の Low レベルがサンプリングされると、DMAC 内部で転送要求が保持されます。次に DMAC 内部で起動がかかると転送要求はクリアされます。シングルサイクル終了後に転送要求の受け付けが再開され、再び $\overline{\text{DREQ}}$ 端子の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

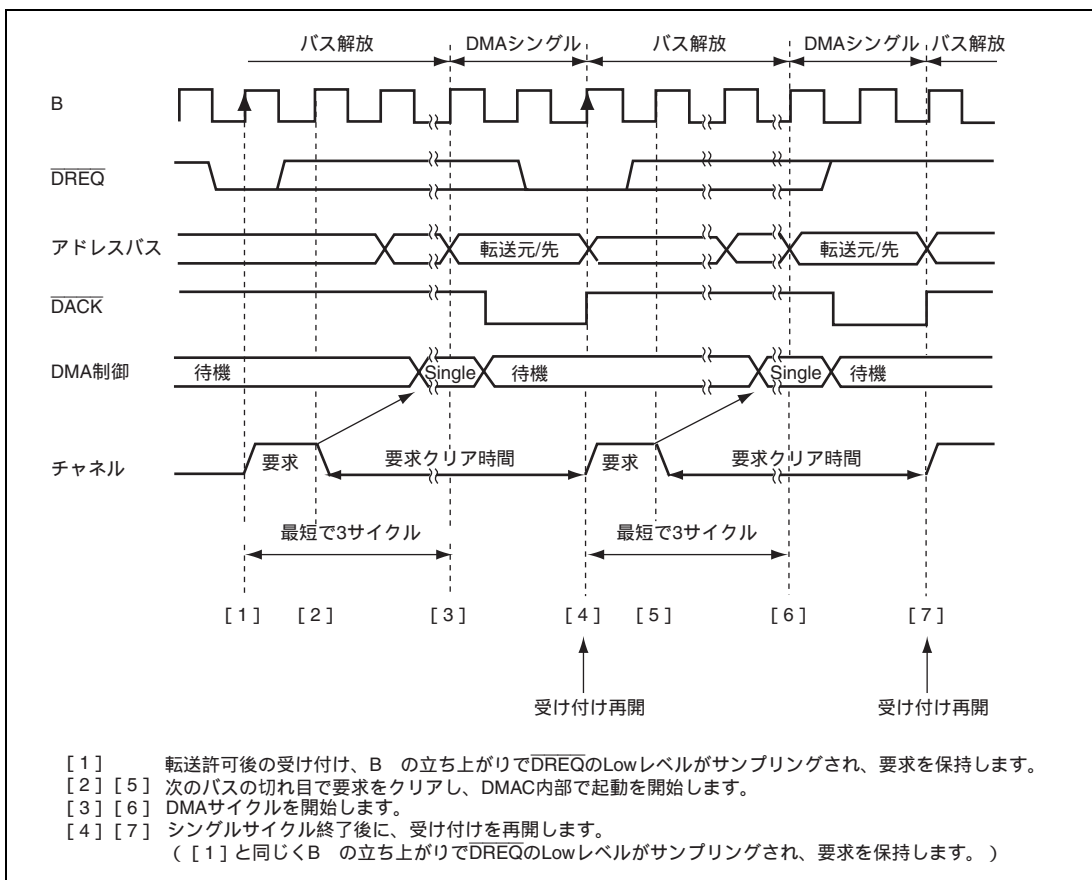


図 7.36 $\overline{\text{DREQ}}$ Low レベル起動時のシングルアドレスモードの転送例

7. DMA コントローラ (DMAC)

(5) NRD=1 のときの $\overline{\text{DREQ}}$ Low レベル起動タイミング

DMDR の NRD ビットを 1 にセットすると、次の転送要求の受け付けタイミングを 1 サイクル遅延させることができます。

図 7.37 に NRD=1 のときの $\overline{\text{DREQ}}$ Low レベル起動時のシングルアドレスモードの転送例を示します。

$\overline{\text{DREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の B の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{DREQ}}$ の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に DMAC 内部で起動がかかると転送要求はクリアされます。シングルサイクル終了後に NRD=1 による 1 サイクルの要求クリア期間後に受け付けが再開され、再び $\overline{\text{DREQ}}$ の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

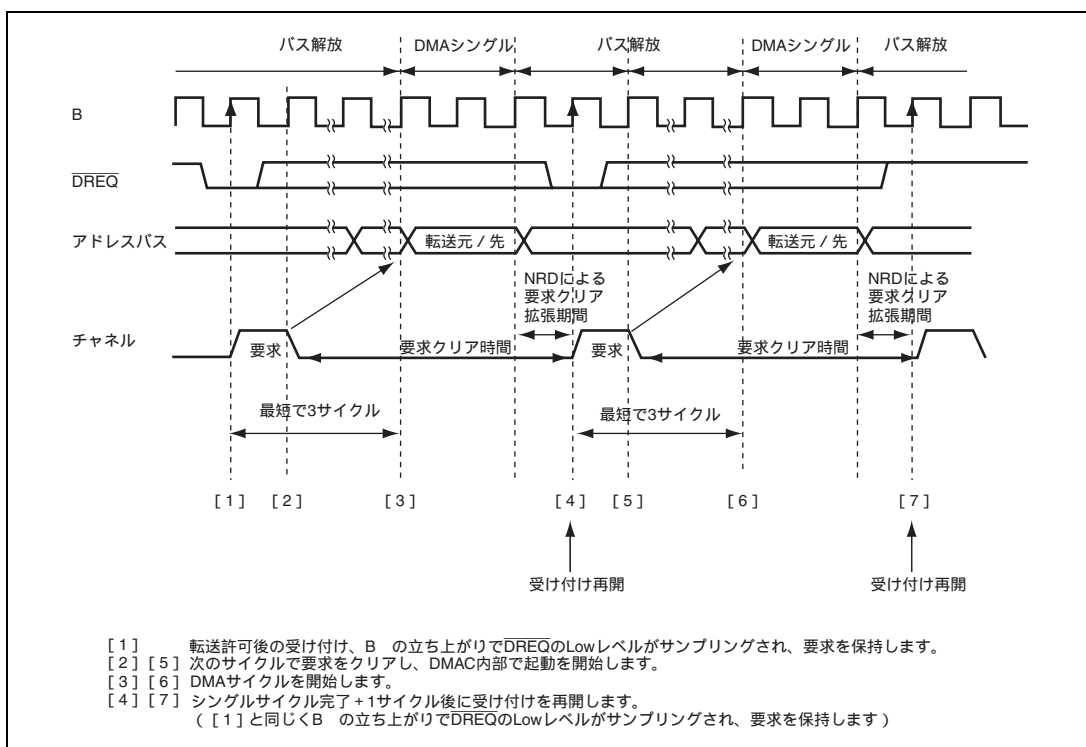


図 7.37 NRD = 1 のときの $\overline{\text{DREQ}}$ Low レベル起動時のシングルアドレスモードの転送例

7.6 DMA 転送終了

DMA 転送終了は、転送終了条件によって動作が異なります。DMA 転送が終了すると、DMDR の DTE ビットと ACT ビットが 1 から 0 になり、DMA 転送が終了したことを示します。

(1) DTCR = 1、2、4 0 による転送終了

DTCR の値が 1、2、または 4 から 0 になると対応するチャンネルの DMA 転送が終了し、DMDR の DTE ビットが 0 にクリアされ、同時に DMDR の DTIF ビットが 1 にセットされます。このとき DMDR の DTIE ビットが 1 にセットされていると、転送カウンタによる転送終了割り込み要求が発生します。DTCR の値が転送前から 0 の場合は、DMA 転送は終了しません。

(2) 転送サイズエラー割り込みによる転送終了

DMDR の TSEIE ビットが 1 にセットされているときに次の条件を満たすと、転送サイズエラー割り込み要求が発生し、DMA 転送を終了します。このとき DMDR の DTE ビットは 0 にクリアされ、同時に DMDR の ESIF ビットが 1 にセットされます。

- ノーマル転送モード、リピート転送モードにおいて、データアクセスサイズよりも DTCR の値が小さくなり、1 要求あたりのデータアクセスサイズ分の転送ができなくなった状態で、次の転送要求が発生したとき
- ブロック転送モードにおいて、ブロックサイズよりも DTCR の値が小さくなり、1 要求あたりのブロックサイズ分の転送ができなくなった状態で、次の転送要求が発生したとき

DMDR の TSEIE ビットが 0 にクリアされているときは、DTCR が 0 になるまで転送を行い、転送サイズエラー割り込み要求は発生しません。各転送モードごとの動作を以下に示します。

- ノーマル転送モードやリピート転送モードにおいて、データアクセスサイズよりも DTCR の値が小さいと、データアクセスサイズをバイトに固定して転送を行います。
- ブロック転送モードにおいて、ブロックサイズよりも DTCR の値が小さいと、ブロックサイズ分の転送を行わず DTCR 分の転送を行います。データアクセスサイズよりも DTCR の値が小さいときは、データアクセスサイズをバイトに固定して転送を行います。

(3) リピートサイズ終了割り込みによる転送終了

リピート転送モードにおいて、DACR の RPTIE ビットが 1 にセットされているときに、1 リピートサイズ分の転送終了後に次の転送要求が発生すると、リピートサイズ終了割り込み要求が発生します。割り込み要求の発生により DMA 転送を終了し、DMDR の DTE ビットが 0 にクリアされ、同時に DMDR の ESIF ビットが 1 にセットされます。この状態から DTE ビットを 1 にセットすると転送を再開させることができます。

ブロック転送モードにおいても、リピートサイズ終了割り込み要求を発生させることができます。ブロック転送モードでは、1 ブロック分の転送終了後に次の転送要求が発生すると、リピートサイズ終了割り込み要求が発生します。

7. DMA コントローラ (DMAC)

(4) 拡張リピートエリアオーバーフロー割り込みによる転送終了

拡張リピートエリアを指定し、DACR の SARIE ビットまたは DARIE ビットが 1 にセットされているときに、アドレスの拡張リピートエリアがオーバーフローすると、拡張リピートエリアオーバーフロー割り込み要求が発生します。割り込み要求の発生により DMA 転送は終了し、DMDR の DTE ビットが 0 にクリアされ、同時に DMDR の ESIF ビットが 1 にセットされます。

デュアルアドレスモードでは、リードサイクル中に拡張リピートエリアオーバーフロー割り込み要求が発生しても続くライトサイクル処理は実行されます。

ブロック転送モードでは、1 ブロック分の転送中に拡張リピートエリアオーバーフロー割り込み要求が発生しても 1 ブロック分の転送は実行されます。拡張リピートエリアオーバーフロー割り込みによる転送終了は、ブロックサイズの区切りで発生します。

(5) DMDR の DTE ビットに 0 をライトして転送終了

CPU 等によって DMDR の DTE ビットに 0 をライトすると、転送中の DMA サイクルおよび転送要求を受け付けた DMA サイクルの実行後に転送終了されます。

ブロック転送モードでは、転送中の 1 ブロックサイズの転送終了後に DMA 転送を終了します。

(6) NMI 割り込みによる転送終了

NMI 割り込みが発生した場合、DMAC は全チャンネルの DTE ビットを 0 にクリアし、かつ DMDR_0 の ERRF ビットを 1 にセットします。DMA 転送中に NMI 割り込みが発生した場合、転送は強制的に終了します。NMI 割り込み発生後に DMA 転送を行う場合は、ERRF ビットを 0 にクリアした後に各チャンネルの DTE ビットを 1 にセットしてください。

以下に、NMI 割り込み検出後の転送終了タイミングを各モードごとに示します。

(a) ノーマル転送モード、リピート転送モード

デュアルアドレスモードでは、1 転送単位の DMA 転送のライトサイクル終了後に DMA 転送を終了します。

シングルアドレスモードでは、1 転送単位の DMA 転送のバスサイクル終了後に DMA 転送を終了します。

(b) ブロック転送モード

ブロックサイズ分の DMA 転送を中断して強制終了します。ブロックサイズ分の転送が正しく実行されなくなるため、転送要求に対する整合性は保証されません。

デュアルアドレスモードでは、ノーマル転送モードと同様にリードサイクルに対応するライトサイクルは実行されます。

(7) アドレスエラーによる転送終了

アドレスエラーが発生すると DMAC は全チャンネルの DTE ビットを 0 にクリアし、かつ DMDR_0 の ERRF ビットを 1 にセットします。DMA 転送中にアドレスエラーが発生した場合、転送は強制的に終了します。アドレスエラー発生後に DMA 転送を行う場合は、ERRF ビットを 0 にクリアした後に各チャンネルの DTE ビットを 1 にセットしてください。

アドレスエラー検出後の転送終了タイミングは、NMI 割り込みによる強制終了タイミングと同様です。

(8) ハードウェアスタンバイモード、リセット入力による転送終了

ハードウェアスタンバイモードまたはリセット入力により、DMAC は初期化されます。DMA 転送は保証されません。

7.7 DMAC と他のバスマスタの関係

7.7.1 CPU に対する DMAC の優先レベル制御機能

CPU プライオリティコントロールレジスタ (CPUPCR) の設定により、CPU に対する DMAC の優先レベル制御機能を使用することができます。詳細は「5.7 CPU に対する DMAC の優先レベル制御機能」を参照してください。

DMAC の優先レベルは、DMDR の DMAP2 ~ DMAP0 ビットで設定します。チャンネルごとに優先レベルを個別に設定することができます。

CPU の優先レベルは、CPUPCR の CPUP2 ~ CPUP0 ビットで設定します。CPU の優先レベルは、CPUP2 ~ CPUP0 ビットの値を割り込みマスクビットの値で更新することにより、例外処理のプライオリティレベルに対応した優先レベルに設定されます。

CPUPCR の CPUPCE ビットを 1 にセットして CPU の優先レベル制御を有効にすると、DMAC の優先レベルが CPU の優先レベルよりも低くなると対応するチャンネルの転送要求はマスクされ、当該チャンネルは起動されなくなります。他のチャンネルの優先レベルが CPU の優先レベルと同じか、高い場合は、チャンネル間の優先順位に関係なく、他のチャンネルの転送要求は受け付けられ転送が可能です。

CPU の優先レベル制御機能により転送要求をマスクされた転送要因は、CPU の優先レベルまたは当該チャンネルの優先レベルを更新して優先レベルの関係が改善されると、転送要求を受け付けて転送を開始します。

CPUPCE ビットを 0 にクリアすると CPU の優先レベルは最低とみなされます。マスクされていた期間の転送要求は保留されます。保留されている転送要求は、DTE ビットに 0 をライトするとクリアされます。

7.7.2 他のバスマスタとのバス権の調停

DMA 転送サイクルが連続する場合、各バスサイクルの間に他のバスマスタのサイクルが挿入される場合と、挿入されない場合があります。設定により DMAC のバス権をいったん解放して他のバスマスタにバス権を譲ることができます。

DMA 転送サイクルが連続するバスサイクルには、転送モードの仕様により不可分割となる場合、転送モードの仕様により高速アクセスのためバスサイクルが連続する場合があります。

DMA 転送サイクルのリードとライトの間は不可分割となっています。このため、DMA 転送サイクルのリードとライトの間にリフレッシュサイクル、外部バス解放サイクル、内部バスマスタ (CPU) のサイクルは発生しません。

7. DMA コントローラ (DMAC)

ブロック転送モード、およびオートリクエストのバーストモードの転送では、DMA 転送のバスサイクルは連続します。この期間、CPU はバス権の優先順位が DMAC よりも低いため外部空間アクセスは待たされます (バスコントロールレジスタ 2 (BCR2) の IBCCS = 0 のとき)。

他のチャンネルに切り替わるとき、およびオートリクエストのサイクルスチールモードの転送では、DMA 転送サイクルは内部バスマスタと交互にバスサイクルを実行します。

BCR2 の IBCCS ビットを 1 にセットして DMAC と内部バスマスタとの間の調停機能を有効にすると、不可分割のバスサイクルを除いて、バス権をいったん解放して内部バスマスタとの間で交互にバス権を取得します。詳細は「6. バスコントローラ (BSC)」を参照してください。

DMAC が外部空間をアクセスする場合、リフレッシュサイクル、または外部バス解放サイクルとの競合が発生することがあります。このときバスコントローラは、外部バスの優先順位に従って、DMAC がバースト転送またはブロック転送を行っているときでも転送をいったん中断し、リフレッシュサイクルの外部バス解放サイクルを挿入します (DMAC よりも優先順位の低い CPU の外部アクセスは、DMAC が外部バスを解放するまで動作しません)。


DMAC の転送モードがデュアルアドレスモードの場合、DMAC が外部バスを解放するタイミングは外部ライトサイクルの後となります。外部リードサイクルと外部ライトサイクルの間は不可分割のため、この間にバスを解放することはありません。

DMAC が内部空間 (内蔵メモリ、内部 I/O レジスタ) をアクセスする場合、DMAC サイクルが外部バス解放サイクルと同時に進行されることがあります。

7.8 割り込み要因

DMAC が発生する割り込み要因は、転送カウンタによる転送終了、転送カウンタが 0 にならずに転送終了するエスケープ終了割り込みです。表 7.7 に割り込み要因と優先度を示します。

表 7.7 割り込み要因と優先度

名称	割り込み要因	割り込み優先順位
DMTEND0	チャンネル 0 の転送カウンタによる転送終了割り込み	高  低
DMTEND1	チャンネル 1 の転送カウンタによる転送終了割り込み	
DMTEND2	チャンネル 2 の転送カウンタによる転送終了割り込み	
DMTEND3	チャンネル 3 の転送カウンタによる転送終了割り込み	
DMEEND0	チャンネル 0 の転送サイズエラーによる割り込み	
	チャンネル 0 のリピートサイズ終了割り込み	
	チャンネル 0 のソースアドレス拡張リピートエリアオーバーフローによる割り込み	
	チャンネル 0 のデスティネーションアドレス拡張リピートエリアオーバーフローによる割り込み	
DMEEND1	チャンネル 1 の転送サイズエラーによる割り込み	
	チャンネル 1 のリピートサイズ終了割り込み	
	チャンネル 1 のソースアドレス拡張リピートエリアオーバーフローによる割り込み	
	チャンネル 1 のデスティネーションアドレス拡張リピートエリアオーバーフローによる割り込み	
DMEEND2	チャンネル 2 の転送サイズエラーによる割り込み	
	チャンネル 2 のリピートサイズ終了割り込み	
	チャンネル 2 のソースアドレス拡張リピートエリアオーバーフローによる割り込み	
	チャンネル 2 のデスティネーションアドレス拡張リピートエリアオーバーフローによる割り込み	
DMEEND3	チャンネル 3 の転送サイズエラーによる割り込み	
	チャンネル 3 のリピートサイズ終了割り込み	
	チャンネル 3 のソースアドレス拡張リピートエリアオーバーフローによる割り込み	
	チャンネル 3 のデスティネーションアドレス拡張リピートエリアオーバーフローによる割り込み	

各割り込み要因は、対応するチャンネルの DMDR の DTIE ビットと ESIE ビットにより許可または禁止を設定できます。DTIE ビットは、DMDR の DTIF ビットとの組み合わせで DMTEND 割り込みを発生させます。ESIE ビットは、DMDR の ESIF ビットとの組み合わせで DMEEND 割り込みを発生させます。DMEEND 内の割り込み要因は共通の割り込みとして区別されません。チャンネル間の割り込みの優先順位は、割り込みコントローラによって決められており、表 7.7 に示すようになっていきます。詳細は「5. 割り込みコントローラ」を参照してください。

各割り込み要因は、対応するチャンネルのレジスタの割り込みイネーブルビットで設定します。転送カウンタによる転送終了割り込みは DMDR の DTIE ビット、転送サイズエラーによる割り込みは DMDR の TSEIE ビット、リピートサイズ終了による割り込みは DACR の RPTIE ビット、ソースアドレス拡張リピートエリアオーバーフロー割り込みは DACR の SARIE ビット、デスティネーションアドレス拡張リピートエリアオーバーフロー割り込みは DACR の DARIE ビットにより許可または禁止を設定します。

7. DMA コントローラ (DMAC)

転送カウンタによる転送終了割り込みは、DMDR の DTIE ビットが 1 にセットされていると、転送により DTCR が 0 になり DMDR の DTIF ビットが 1 にセットされたときに発生します。

転送カウンタによる転送終了割り込み以外の割り込みは、対応する割り込みイネーブルビットが 1 にセットされていると、転送により対応する条件が発生し DMDR の ESIF ビットが 1 にセットされたときに発生します。

転送サイズエラーによる割り込みは、データアクセスサイズよりも DTCR の値が小さくなり 1 要求あたりのデータアクセスサイズ分の転送ができないときに転送要求があると発生します。ブロック転送モードでは、ブロックサイズと DTCR の値を比較して転送サイズエラー判定を行います。

リピートサイズ終了割り込みは、リピート転送モードにおいてリピートサイズ分の転送終了後に次の転送要求があると発生します。リピートエリアをアドレスレジスタに設定しない場合でもリピートサイズに設定した値により定期的に転送を中断させることができます。同時に転送カウンタによる転送終了割り込みが発生した場合も、ESIF ビットは 1 にセットされます。

ソースアドレス拡張リピートエリアオーバーフロー割り込み、およびデスティネーションアドレス拡張リピートエリアオーバーフロー割り込みは、拡張リピートエリアを設定して対応するアドレスがリピートエリアオーバーフローになったときに発生します。同時に転送カウンタによる転送終了割り込みが発生した場合も、ESIF ビットは 1 にセットされます。

各種割り込みと割り込みフラグのブロック図を図 7.38 に示します。割り込みを解除するには、割り込み処理ルーチンにて DMDR の DTIF ビットまたは ESIF ビットを 0 にクリアする方法と、レジスタの再設定後に DMDR の DTE ビットを 1 にセットして転送継続の処理を行う方法があります。割り込みを解除して、転送を再開する手順例を図 7.39 に示します。

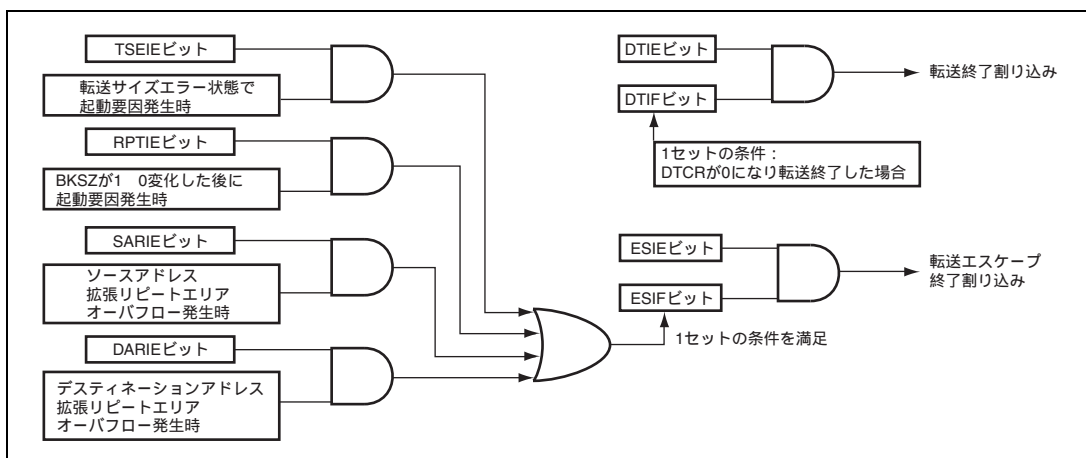


図 7.38 割り込みと割り込み要因

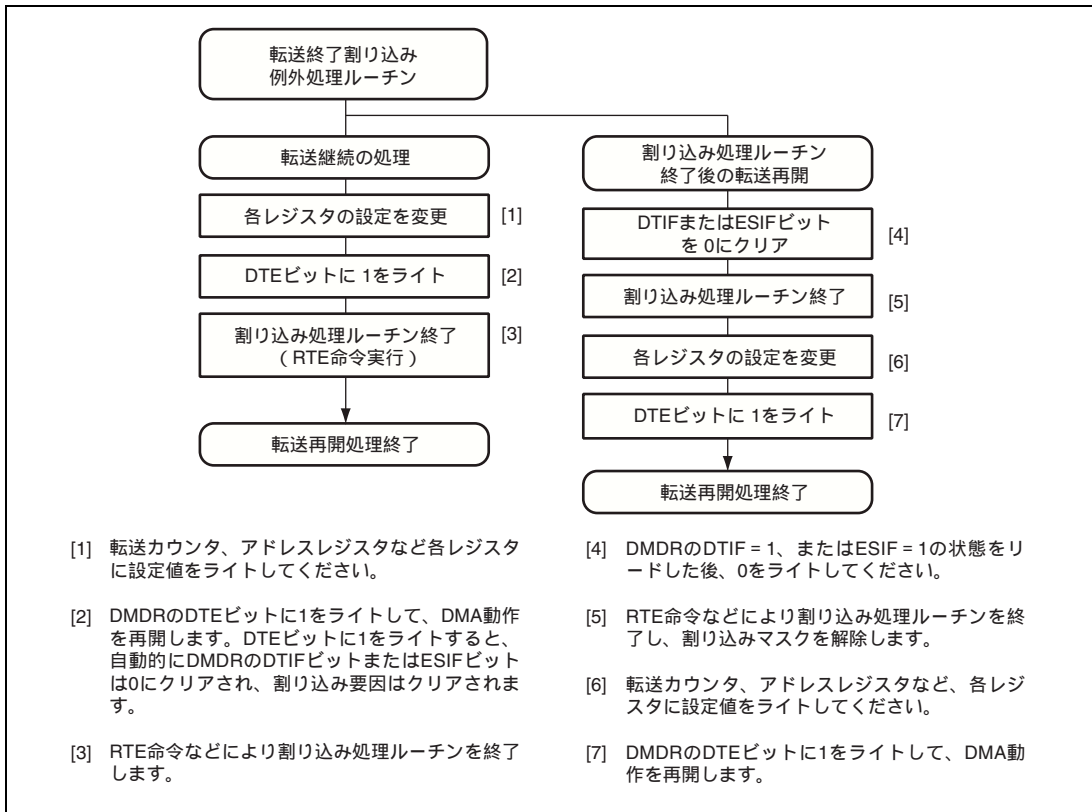


図 7.39 割り込みを解除して、転送を再開する手順例

7.9 使用上の注意事項

(1) 動作中の DMAC レジスタのアクセス

DMDR の DTE ビットを 0 にクリアする場合を除き、動作中 (転送待ち状態を含む) にチャンネルの設定を変更しないでください。動作中にチャンネルの設定を変更する場合は、必ず転送禁止状態で行ってください。

(2) モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、DMAC の動作停止 / 許可を設定することができます。初期値では、DMAC は動作許可状態です。

MSTPCRA の MSTPA13 ビットを 1 にセットすると、DMAC に供給されるクロックが停止し、DMAC はモジュールストップ状態になります。ただし、DMAC のいずれかのチャンネルが転送許可状態になっている場合、および割り込み要求を発生中の場合は、MSTPA13 ビットを 1 にセットできません。DMDR の DTE ビットを 0 にクリアして、DMDR の DTIF ビットまたは DTIE ビットを 0 にクリアしてから MSTPA13 ビットを設定してください。

DMAC のクロックが停止すると、DMAC のレジスタに対するアクセスができなくなります。次の DMAC のレジスタ設定は、モジュールストップ状態でも有効となりますので、必要に応じてモジュールストップ状態に先立って無効にしてください。

- DMDR の TENDE = 1 ($\overline{\text{TEND}}$ 端子イネーブル)
- DMDR の DACKE = 1 ($\overline{\text{DACK}}$ 端子イネーブル)

(3) $\overline{\text{DREQ}}$ 立ち下がりエッジ起動

$\overline{\text{DREQ}}$ 立ち下がりエッジ検出は、DMAC の内部動作に同期して行います。

1. 起動要求待ち状態: $\overline{\text{DREQ}}$ の Low レベル検出を待ち。[2.] に遷移します。
2. 転送待ち状態: DMAC のデータ転送許可待ち。[3.] に遷移します。
3. 起動要求禁止状態: $\overline{\text{DREQ}}$ の High レベル検出を待ち。[1.] に遷移します。

DMAC の転送許可後は [1.] に遷移します。このため、転送許可後の最初の起動は Low レベル検出で行われます。

(4) 起動要因の受け付け

起動要因の受け付け開始時は、 $\overline{\text{DREQ}}$ の立ち下がりエッジセンス / Low レベルセンスとともに Low レベルを検出しています。したがって、転送許可状態にするための DMDR ライト実行以前から発生している $\overline{\text{DREQ}}$ の Low レベル検出による転送要求を受け付けます。

DMAC の起動時には、前回の転送終了時に $\overline{\text{DREQ}}$ の Low レベルが残らないようにしてください。

8. I/O ポート

ポート機能一覧を表 8.1 に示します。各ポートは周辺モジュールの入出力端子や割り込み入力と端子を兼用しています。入出力ポートは入出力を制御するデータディレクションレジスタ (DDR)、出力データを格納するデータレジスタ (DR)、端子の状態をリードするポートレジスタ (PORT)、入力バッファのオン/オフを制御する入力バッファコントロールレジスタ (ICR) から構成されています。

ポート D~K には、入力プルアップ MOS が内蔵されており、プルアップ MOS コントロールレジスタ (PCR) で入力プルアップ MOS のオン/オフを制御できます。

ポート 2、F は、オープンドレインコントロールレジスタ (ODR) で出力バッファの PMOS のオン/オフを選択できます。

すべての入出力ポートは、1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。

すべての入出力ポートは出力時にダーリントントランジスタを駆動することができます。

$\overline{\text{IRQ}}$ 入力、TPU 入力、IIC 入力として使用するときにはシュミットトリガ入力端子となります。

表 8.1 ポート機能一覧

ポート名	概要	ビット	機能			シュミットトリガ 入力端子*1	入力プル アップ MOS機能	オープン ドレイン 出力機能
			入出力	入力	出力			
ポート 1	割り込み入力、SCI 入出力、DMAC 入出力、A/D 変換器入力、IIC2 入出力と兼用汎用入出力ポート	7	P17/SCL0	$\overline{\text{IRQ7-A}}$ / $\overline{\text{ADTRG1}}$	-	$\overline{\text{IRQ7-A}}$ 、SCL0	-	*2
		6	P16/SDA0	$\overline{\text{IRQ6-A}}$	$\overline{\text{DACK1_A}}$	$\overline{\text{IRQ6-A}}$ 、SDA0	-	*2
		5	P15/SCL1	$\overline{\text{IRQ5-A}}$	$\overline{\text{TEND1_A}}$	$\overline{\text{IRQ5-A}}$ 、SCL1	-	*2
		4	P14/SDA1	$\overline{\text{IRQ4-A}}$ / $\overline{\text{DREQ1_A}}$	-	$\overline{\text{IRQ4-A}}$ 、SDA1	-	*2
		3	P13	$\overline{\text{IRQ3-A}}$ / $\overline{\text{ADTRG0}}$	-	$\overline{\text{IRQ3-A}}$	-	-
		2	P12/SCK2	$\overline{\text{IRQ2-A}}$	$\overline{\text{DACK0_A}}$	$\overline{\text{IRQ2-A}}$	-	-
		1	P11	$\overline{\text{IRQ1-A/RxD2}}$	$\overline{\text{TEND0_A}}$	$\overline{\text{IRQ1-A}}$	-	-
		0	P10	$\overline{\text{IRQ0-A}}$ / $\overline{\text{DREQ0_A}}$	TxD2	$\overline{\text{IRQ0-A}}$	-	-

8. I/O ポート

ポート名	概要	ビット	機能			シュミットトリガ 入力端子*1	入力プル アップ MOS 機能	オープン ドレイン 出力機能	
			入出力	入力	出力				
ポート 2	割り込み入力、TPU 入出力、SCI 入出力、 SSU*入出力と兼用 汎用入出力ポート	7	P27/TIOCB5	-	-	TIOCB5	-		
		6	P26/TIOCA5	-	-	TIOCA5			
		5	P25/TIOCA4	-	-	TIOCA4			
		4	P24/TIOCB4	-	-	TIOCB4			
		3	P23/TIOCD3/ $\overline{\text{SCS}}_1$	-	-	TIOCD3			*3
		2	P22/TIOCC3/ SSCK_1	-	TxD0	TIOCC3			*3
		1	P21/TIOCA3/ SSL_1	RxD0	-	TIOCA3			*3
		0	P20/TIOCB3/ SCK0/SSO_1	-	-	TIOCB3			*3
ポート 3	TPU 入出力、SDG 出力と兼用汎用入 出力ポート	7	P37/TIOCB2	TCLKD-A	SGOUT_3	TIOCB2、TCLKD-A	-	-	
		6	P36/TIOCA2	-	SGOUT_2	TIOCA2			
		5	P35/TIOCB1	TCLKC-A	SGOUT_1	TIOCB1、TCLKC-A			
		4	P34/TIOCA1	-	SGOUT_0	TIOCA1			
		3	P33/TIOCD0	TCLKB-A	-	TIOCD0、TCLKB-A			
		2	P32/TIOCC0	TCLKA-A	-	TIOCC0、TCLKA-A			
		1	P31/TIOCB0	-	-	TIOCB0			
		0	P30/TIOCA0	-	-	TIOCA0			
ポート 4	A/D 変換器入力と兼 用汎用入出力ポー ト	7	-	P47/AN11	-	-	-	-	
		6	-	P46/AN10	-				
		5	-	P45/AN9	-				
		4	-	P44/AN8	-				
		3	-	P43/AN15	-				
		2	-	P42/AN14	-				
		1	-	P41/AN13	-				
		0	-	P40/AN12	-				
ポート 5	A/D 変換器入力、 D/A 変換器出力と兼 用汎用入出力ポー ト	7	-	P57/AN7	DA1	-	-	-	
		6	-	P56/AN6	DA0				
		5	-	P55/AN5	-				
		4	-	P54/AN4	-				
		3	-	P53/AN3	-				
		2	-	P52/AN2	-				
		1	-	P51/AN1	-				
		0	-	P50/AN0	-				

【注】 * SSU : Synchronous Serial communication Unit

8. I/O ポート

ポート名	概要	ビット	機能			シュミットトリガ 入力端子*1	入力プル アップ MOS 機能	オープン ドレイン 出力機能
			入出力	入力	出力			
ポート 6	SCI 入出力、DMAC 入出力、割り込み入力、RCAN-ET 入出力、16 ビット PWM 出力、H-UDI 入力と兼用汎用入出力ポート	7	P67	$\overline{\text{IRQ15-B}}$	CTx_1	$\overline{\text{IRQ15-B}}$	-	-
		6	P66	$\overline{\text{IRQ14-B/CRx_1}}$	-	$\overline{\text{IRQ14-B}}$	-	-
		5	P65	$\overline{\text{IRQ13-B}}$	CTx_0/ $\overline{\text{DACK3_B}}$	$\overline{\text{IRQ13-B}}$	-	-
		4	P64	$\overline{\text{IRQ12-B/CRx_0}}$	$\overline{\text{TEND3_B}}$	$\overline{\text{IRQ12-B}}$	-	-
		3	P63	$\overline{\text{IRQ11-B/DREQ3_B/TMS}}$	PWM3_2	$\overline{\text{IRQ11-B}}$	-	-
		2	P62/SCK4	$\overline{\text{IRQ10-B/TRST}}$	$\overline{\text{DACK2_B}}$	$\overline{\text{IRQ10-B}}$	-	-
		1	P61	RxD4/ $\overline{\text{IRQ9-B}}$	$\overline{\text{TEND2_B}}$	$\overline{\text{IRQ9-B}}$	-	-
		0	P60	$\overline{\text{IRQ8-B/DREQ2_B}}$	TxD4	$\overline{\text{IRQ8-B}}$	-	-
		ポート A	バス制御入出力、16 ビット PWM 出力、H-UDI 入出力と兼用汎用入出力ポート	7	-	PA7	B	-
6	PA6			-	$\overline{\text{AS}}$	-	-	
5	PA5			-	$\overline{\text{RD}}$	-	-	
4	PA4			-	LHWR	-	-	
3	PA3			-	$\overline{\text{LLWR}}$	-	-	
2	PA2			TCK	PWM2_2	-	-	
1	PA1			TDI	PWM1_2	-	-	
0	PA0			-	PWM0_2/TDO	-	-	
ポート D	アドレス出力と兼用汎用入出力ポート	7	PD7	-	A7	-	-	
		6	PD6	-	A6	-	-	
		5	PD5	-	A5	-	-	
		4	PD4	-	A4	-	-	
		3	PD3	-	A3	-	-	
		2	PD2	-	A2	-	-	
		1	PD1	-	A1	-	-	
		0	PD0	-	A0	-	-	
ポート E	アドレス出力と兼用汎用入出力ポート	7	PE7	-	A15	-	-	
		6	PE6	-	A14	-	-	
		5	PE5	-	A13	-	-	
		4	PE4	-	A12	-	-	
		3	PE3	-	A11	-	-	
		2	PE2	-	A10	-	-	
		1	PE1	-	A9	-	-	
		0	PE0	-	A8	-	-	

8. I/O ポート

ポート名	概要	ビット	機能			シュミットトリガ 入力端子* ¹	入力プル アップ MOS機能	オープン ドレイン 出力機能
			入出力	入力	出力			
ポート F	アドレス出力、SCI 入出力、16 ビット PWM 出力と 兼用汎用入出力 ポート	7	PF7/SCK5	-	A23/PWM3_1	-	* ⁴	* ⁴
		6	PF6	RxD5	A22/PWM2_1			
		5	PF5	-	TxD5/A21/ PWM1_1			
		4	PF4	-	A20/PWM0_1			
		3	PF3	-	A19/PWM3_0			
		2	PF2	-	A18/PWM2_0			
		1	PF1	-	A17/PWM1_0			
		0	PF0	-	A16/PWM0_0			
ポート H	双方向データバス と兼用汎用入出力 ポート	7	PH7/D7	-	-	-		-
		6	PH6/D6	-	-			
		5	PH5/D5	-	-			
		4	PH4/D4	-	-			
		3	PH3/D3	-	-			
		2	PH2/D2	-	-			
		1	PH1/D1	-	-			
		0	PH0/D0	-	-			
ポート I	双方向データバス、 SSU*入出力と兼用 汎用入出力ポート	7	PI7/D15	-	-	-		-
		6	PI6/D14	-	-			
		5	PI5/D13	-	-			
		4	PI4/D12	-	-			
		3	PI3/D11/SCS_0	-	-		* ⁵	* ³
		2	PI2/D10/ SSCK_0	-	-		* ⁵	* ³
		1	PI1/D9/SSI_0	-	-		* ⁵	* ³
		0	PI0/D8/SSO_0	-	-		* ⁵	* ³
ポート J	モータコントロー ル PWM 出力と兼用 汎用入出力ポート	7	PJ7	-	PWM1H	-	* ⁴	-
		6	PJ6	-	PWM1G			
		5	PJ5	-	PWM1F			
		4	PJ4	-	PWM1E			
		3	PJ3	-	PWM1D			
		2	PJ2	-	PWM1C			
		1	PJ1	-	PWM1B			
		0	PJ0	-	PWM1A			

【注】 * SSU : Synchronous Serial communication Unit

ポート名	概要	ピ ツ ト	機能			シュミットトリガ 入力端子*1	入力プル アップ MOS 機能	オープン ドレイン 出力機能
			入出力	入力	出力			
ポート K	モータコントロー ル PWM 出力と兼用 汎用入出力ポート	7	PK7	-	PWM2H	-	*4	-
		6	PK6	-	PWM2G			
		5	PK5	-	PWM2F			
		4	PK4	-	PWM2E			
		3	PK3	-	PWM2D			
		2	PK2	-	PWM2C			
		1	PK1	-	PWM2B			
		0	PK0	-	PWM2A			

- 【注】 *1 シュミットトリガ入力端子以外は、CMOS 入力端子になります。
- *2 オープンドレインは IIC 機能時のみ有効
- *3 SSU (Synchronous Serial communication Unit) 使用時のみオープンドレイン設定可
- *4 PWM 使用時設定不可(入力プルアップ、オープンドレイン設定)
- *5 SSU (Synchronous Serial communication Unit) 使用時は入力プルアップ設定不可

8. I/O ポート

8.1 レジスタの説明

各ポートのレジスタを表 8.2 に示します。

表 8.2 各ポートのレジスタ構成

ポート	端子数	レジスタ					
		DDR	DR	PORT	ICR	PCR	ODR
ポート 1	8					-	-
ポート 2	8					-	
ポート 3	8					-	-
ポート 4	8	-	-			-	-
ポート 5	8	-	-			-	-
ポート 6	8					-	-
ポート A	8					-	-
ポート D	8						-
ポート E	8						-
ポート F	8						
ポート H	8						-
ポート I	8						-
ポート J	8						-
ポート K	8						-

【記号説明】 : レジスタあり、 - : レジスタなし

8.1.1 データディレクションレジスタ (PnDDR)

(n=1、2、3、6、A、D、E、F、H、I、J、K)

DDR は、ポートの入出力をビットごとに指定する 8 ビットのライト専用レジスタであり、DDR のリードは無効であり、リードすると不定値が読み出されます。

なお、ポート A は起動モードにより初期値が変化します。

ビット	7	6	5	4	3	2	1	0
ビット名	Pn7DDR	Pn6DDR	Pn5DDR	Pn4DDR	Pn3DDR	Pn2DDR	Pn1DDR	Pn0DDR
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

表 8.3 起動モードと初期値

ポート	起動モード	
	外部拡張モード	シングルチップモード
ポート A	H'80	H'00
その他のポート	H'00	

8.1.2 データレジスタ (PnDR) (n=1、2、3、6、A、D、E、F、H、I、J、K)

DR は、汎用出力ポートとして使用する端子の出力データを格納する 8 ビットのリード/ライト可能なレジスタであり、DR の初期値は H'00 です。

ビット	7	6	5	4	3	2	1	0
ビット名	Pn7DR	Pn6DR	Pn5DR	Pn4DR	Pn3DR	Pn2DR	Pn1DR	Pn0DR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

8.1.3 ポートレジスタ (PORTn) (n=1~6、A、D、E、F、H、I、J、K)

PORT は、ポートの端子の状態を反映する 8 ビットのリード専用レジスタであり、PORT のライトは無効です。PORT をリードすると、DDR が 1 にセットされているビットは DR の値がリードされます。DDR が 0 にセットされているビットは ICR の値に関係なく端子の状態がリードされます。

PORT の初期値は不定です。ポートの端子状態により決定されます。

ビット	7	6	5	4	3	2	1	0
ビット名	Pn7	Pn6	Pn5	Pn4	Pn3	Pn2	Pn1	Pn0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R

8. I/O ポート

8.1.4 入力バッファコントロールレジスタ (PnICR) (n=1~6, A, D, E, F, H, I, J, K)

ICR は、ポートの入力バッファを制御する 8 ビットのリード/ライト可能なレジスタです。

ICR が 1 にセットされているビットは、対応する端子の入力バッファは有効になります。ICR が 0 にセットされているビットは、対応する端子の入力バッファは無効となり、入力信号は High レベルに固定されます。

周辺モジュールの入力端子として使用する場合は、対応するビットを 1 にセットしてください。入力として使用しない端子および、アナログ入出力端子に対応するビットへライトするときは初期値をライトしてください。

PORT をリードすると、このレジスタの値に関係なく端子の状態が読み出されます。このとき、ICR が 0 にクリアされていれば、周辺モジュール側に端子状態が反映されることはありません。

ICR の設定を変更するときに、端子の状態によって内部的にエッジが発生することがあります。ICR の設定の変更は、当該入力端子が使用されていないときに行ってください。たとえば、 \overline{IRQ} 入力の場合、当該割り込みを禁止した状態で ICR の設定の変更を行い、割り込みコントローラの ISR の IRQF フラグを 0 にクリアし、その後当該割り込みを許可してください。ICR の設定の変更後にエッジが発生したときは、そのエッジをキャンセルするようにしてください。ICR の初期値は H'00 です。

ビット	7	6	5	4	3	2	1	0
ビット名	Pn7ICR	Pn6ICR	Pn5ICR	Pn4ICR	Pn3ICR	Pn2ICR	Pn1ICR	Pn0ICR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

8.1.5 プルアップ MOS コントロールレジスタ (PnPCR) (n=D, E, F, H, I, J, K)

PCR は、ポートの入力プルアップ MOS の ON/OFF を制御する 8 ビットのリード/ライト可能なレジスタです。

端子が入力状態のときに、PCR が 1 にセットされているビットに対応する端子の入力プルアップ MOS が ON します。

PCR の初期値は H'00 です。

ビット	7	6	5	4	3	2	1	0
ビット名	Pn7PCR	Pn6PCR	Pn5PCR	Pn4PCR	Pn3PCR	Pn2PCR	Pn1PCR	Pn0PCR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8.4 入力プルアップ MOS の状態

ポート	端子状態	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	その他の動作
ポート D	アドレス出力	OFF			
	周辺モジュール出力	OFF			
	ポート入力	OFF	ON/OFF		
ポート E	アドレス出力	OFF			
	ポート出力	OFF			
	ポート入力	OFF	ON/OFF		
ポート F	アドレス出力	OFF			
	周辺モジュール出力	OFF			
	ポート入力	OFF	ON/OFF		
ポート H	データ入出力	OFF			
	ポート出力	OFF			
	ポート入力	OFF	ON/OFF		
ポート I	データ入出力	OFF			
	ポート出力	OFF			
	ポート入力	OFF	ON/OFF		
ポート J	周辺モジュール出力	OFF			
	ポート出力	OFF			
	ポート入力	OFF	ON/OFF		
ポート K	周辺モジュール出力	OFF			
	ポート出力	OFF			
	ポート入力	OFF	ON/OFF		

【記号説明】 OFF：入力プルアップ MOS は常にオフ状態です。

ON/OFF：PCR を 1 にセットするとオン状態、PCR を 0 にクリアするとオフ状態です。

8.1.6 オープンドレインコントロールレジスタ (PnODR) (n=2、F)

ODR は、ポートの端子の出力形態を選択する 8 ビットのリード/ライト可能なレジスタです。

ODR の当該ビットを 1 にセットすると対応する端子は NMOS オープンドレイン出力となり、0 にクリアすると対応する端子は CMOS 出力になります。ODR の初期値は H'00 です。

ビット	7	6	5	4	3	2	1	0
ビット名	Pn7ODR	Pn6ODR	Pn5ODR	Pn4ODR	Pn3ODR	Pn2ODR	Pn1ODR	Pn0ODR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

8. I/O ポート

8.2 出力バッファ制御

各端子の出力優先順位について説明します。

各周辺モジュールの端子は端子名の後に「_OE」を付けて記載しています。

これは（例：SCL0_OE）、対象となる機能の出力を有効にする設定（1）であるか、それ以外の設定（0）であるかを示しています。

各ポートの出力信号有効設定一覧を示します。該当する出力信号の詳細は、各周辺モジュールのレジスタ説明を参照してください。

初期値が起動モードにより変わる端子については、外部拡張モード（内蔵 ROM 有効拡張モード）で起動した場合は「初期値 E」、シングルチップモードで起動した場合は「初期値 S」を記載しています。

8.2.1 ポート 1

(1) P17/SCL0/IRQ7-A/ADTRG1

モジュール名	端子機能	設定	
		IIC2_0	I/O ポート
		SCL0_OE*	P17DDR
IIC2_0	SCL0 入出力	1	-
I/O ポート	P17 出力	0	1
	P17 入力（初期値）	0	0

【注】 * 入出力設定時：1

(2) P16/SDA0/IRQ6-A/DACK1_A

モジュール名	端子機能	設定		
		DMAC_1	IIC2_0	I/O ポート
		DACK1_A_OE	SDA0_OE*	P16DDR
DMAC_1	DACK1_A 出力	1	-	-
IIC2_0	SDA0 入出力	0	1	-
I/O ポート	P16 出力	0	0	1
	P16 入力（初期値）	0	0	0

【注】 * 入出力設定時：1

(3) P15/SCL1/IRQ5-A/TEND1_A

モジュール名	端子機能	設定		
		DMAC_1	IIC2_0	I/O ポート
		TEND1_A_OE	SCL1_OE*	P15DDR
DMAC_1	TEND1_A 出力	1	-	-
IIC2_0	SCL1 入出力	0	1	-
I/O ポート	P15 出力	0	0	1
	P15 入力 (初期値)	0	0	0

【注】 * 入出力設定時: 1

(4) P14/SDA1/IRQ4-A/DREQ1_A

モジュール名	端子機能	設定	
		IIC2_1	I/O ポート
		SDA1_OE*	P14DDR
IIC2_1	SDA1 入出力	1	-
I/O ポート	P14 出力	0	1
	P14 入力 (初期値)	0	0

【注】 * 入出力設定時: 1

(5) P13/IRQ3-A/ADTRG0-A

モジュール名	端子機能	設定	
		I/O ポート	
		P13DDR	
I/O ポート	P13 出力	1	
	P13 入力 (初期値)	0	

(6) P12/SCK2/IRQ2-A/DACK0_A

モジュール名	端子機能	設定		
		DMAC_0	SCL_2	I/O ポート
		DACK0_A_OE	SCK2_OE	P12DDR
DMAC_0	DACK0_A 出力	1	-	-
SCL_2	SCK2 出力	0	1	-
I/O ポート	P12 出力	0	0	1
	P12 入力 (初期値)	0	0	0

8. I/O ポート

(7) P11/RxD2/IRQ1-A/TEND0_A

モジュール名	端子機能	設定	
		DMAC_0	I/O ポート
		TEND0_A_OE	P11DDR
DMAC_0	TEND0_A 出力	1	-
I/O ポート	P11 出力	0	1
	P11 入力 (初期値)	0	0

(8) P10/TxD2/IRQ0-A/DREQ0_A

モジュール名	端子機能	設定	
		SCI_2	I/O ポート
		TxD2_OE	P10DDR
SCI_2	TxD2 出力	1	-
I/O ポート	P10 出力	0	1
	P10 入力 (初期値)	0	0

8.2.2 ポート 2

(1) P27/TIOCB5

モジュール名	端子機能	設定	
		TPU_5	I/O ポート
		TIOCB5_OE	P27DDR
TPU_5	TIOCB5 出力	1	-
I/O ポート	P27 出力	0	1
	P27 入力 (初期値)	0	0

(2) P26/TIOCA5

モジュール名	端子機能	設定	
		TPU_5	I/O ポート
		TIOCA5_OE	P26DDR
TPU_5	TIOCA5 出力	1	-
I/O ポート	P26 出力	0	1
	P26 入力 (初期値)	0	0

(3) P25/TIOCA4

モジュール名	端子機能	設定	
		TPU_4	I/O ポート
		TIOCA4_OE	P25DDR
TPU_4	TIOCA4 出力	1	-
I/O ポート	P25 出力	0	1
	P25 入力 (初期値)	0	0

(4) P24/TIOCB4

モジュール名	端子機能	設定	
		TPU_4	I/O ポート
		TIOCB4_OE	P24DDR
TPU_4	TIOCB4 出力	1	-
I/O ポート	P24 出力	0	1
	P24 入力 (初期値)	0	0

(5) P23/TIOCD3/ $\overline{\text{SCS}}_1$

モジュール名	端子機能	設定		
		SSU_1	TPU_3	I/O ポート
		$\overline{\text{SCS}}_1$ _OE	TIOCD3_OE	P23DDR
SSU*_1	$\overline{\text{SCS}}_1$ 出力	1	-	-
TPU_3	TIOCD3 出力	0	1	-
I/O ポート	P23 出力	0	0	1
	P23 入力 (初期値)	0	0	0

(6) P22/TIOCC3/TxD0/SSCK_1

モジュール名	端子機能	設定			
		SSU_1	TPU_3	SCI_0	I/O ポート
		SSCK_1_OE	TIOCC3_OE	TxD0_OE	P22DDR
SSU*_1	SSCK_1 出力	1	-	-	-
TPU_3	TIOCC3 出力	0	1	-	-
SCI_0	TxD0 出力	0	0	1	-
I/O ポート	P22 出力	0	0	0	1
	P22 入力 (初期値)	0	0	0	0

【注】 * SSU : Synchronous Serial communication Unit

8. I/O ポート

(7) P21/TIOCA3/RxD0/SSI_1

モジュール名	端子機能	設定		
		SSU_1	TPU_3	I/O ポート
		SSI_1_OE	TIOCA3_OE	P21DDR
SSU*_1	SSI_1 出力	1	-	-
TPU_3	TIOCA3 出力	0	1	-
I/O ポート	P21 出力	0	0	1
	P21 入力 (初期値)	0	0	0

(8) P20/TIOCB3/SCK0/SSO_1

モジュール名	端子機能	設定			
		SSU_1	TPU_3	SCI_0	I/O ポート
		SSO_1_OE	TIOCB3_OE	SCK0_OE	P20DDR
SSU*_1	SSO_1 出力	1	-	-	-
TPU_3	TIOCB3 出力	0	1	-	-
SCI_0	SCK0 出力	0	0	1	-
I/O ポート	P20 出力	0	0	0	1
	P20 入力 (初期値)	0	0	0	0

【注】 * SSU : Synchronous Serial communication Unit

8.2.3 ポート 3

(1) P37/TIOCB2/TCLKD-A/SGOUT_3

モジュール名	端子機能	設定		
		SDG_3	TPU_2	I/O ポート
		SGOUT_3_OE	TIOCB2_OE	P37DDR
SDG_3	SGOUT_3 出力	1	-	-
TPU_2	TIOCB2 出力	0	1	-
I/O ポート	P37 出力	0	0	1
	P37 入力 (初期値)	0	0	0

(2) P36/TIOCA2/SGOUT_2

モジュール名	端子機能	設定		
		SDG_2	TPU_2	I/O ポート
		SGOUT_2_OE	TIOCA2_OE	P36DDR
SDG_2	SGOUT_2 出力	1	-	-
TPU_2	TIOCA2 出力	0	1	-
I/O ポート	P36 出力	0	0	1
	P36 入力 (初期値)	0	0	0

(3) P35/TIOCB1/TCLKC-A/SGOUT_1

モジュール名	端子機能	設定		
		SDG_1	TPU_1	I/O ポート
		SGOUT_1_OE	TIOCB1_OE	P35DDR
SDG_1	SGOUT_1 出力	1	-	-
TPU_1	TIOCB1 出力	0	1	-
I/O ポート	P35 出力	0	0	1
	P35 入力 (初期値)	0	0	0

(4) P34/TIOCA1/SGOUT_0

モジュール名	端子機能	設定		
		SDG_0	TPU_1	I/O ポート
		SGOUT_0_OE	TIOCA1_OE	P34DDR
SDG_0	SGOUT_0 出力	1	-	-
TPU_1	TIOCA1 出力	0	1	-
I/O ポート	P34 出力	0	0	1
	P34 入力 (初期値)	0	0	0

(5) P33/TIOCD0/TCLKB-A

モジュール名	端子機能	設定	
		TPU_0	I/O ポート
		TIOCD0_OE	P33DDR
TPU_0	TIOCD0 出力	1	-
I/O ポート	P33 出力	0	1
	P33 入力 (初期値)	0	0

8. I/O ポート

(6) P32/TIOCC0/TCLKA-A

モジュール名	端子機能	設定	
		TPU_0	I/O ポート
		TIOCC0_OE	P32DDR
TPU_0	TIOCC0 出力	1	-
I/O ポート	P32 出力	0	1
	P32 入力 (初期値)	0	0

(7) P31/TIOCB0

モジュール名	端子機能	設定	
		TPU_0	I/O ポート
		TIOCB0_OE	P31DDR
TPU_0	TIOCB0 出力	1	-
I/O ポート	P31 出力	0	1
	P31 入力 (初期値)	0	0

(8) P30/TIOCA0

モジュール名	端子機能	設定	
		TPU_0	I/O ポート
		TIOCA0_OE	P30DDR
TPU_0	TIOCA0 出力	1	-
I/O ポート	P30 出力	0	1
	P30 入力 (初期値)	0	0

8.2.4 ポート 5

(1) P57/AN7/DA1

モジュール名	端子機能
D/A	DA1 出力

(2) P56/AN6/DA0

モジュール名	端子機能
D/A	DA0 出力

8.2.5 ポート 6

(1) P67/ $\overline{\text{IRQ15-B}}$ /CTx_1

モジュール名	端子機能	設定	
		RCAN-ET_1	I/O ポート
		CTx_1_OE	P67DDR
RCAN-ET_1	CTx_1 出力	1	-
I/O ポート	P67 出力	0	1
	P67 入力 (初期値)	0	0

(2) P66/ $\overline{\text{IRQ14-B}}$ /CRx_1

モジュール名	端子機能	設定	
		I/O ポート	
		P66DDR	
I/O ポート	P66 出力	1	
	P66 入力 (初期値)	0	

(3) P65/ $\overline{\text{IRQ13-B}}$ /CTx_0/ $\overline{\text{DACK3_B}}$

モジュール名	端子機能	設定		
		DMAC_3	RCAN-ET_0	I/O ポート
		$\overline{\text{DACK3_B}}$ _OE	CTx_0_OE	P65DDR
DMAC_3	$\overline{\text{DACK3_B}}$ 出力	1	0	-
RCAN-ET_0	CTx_0 出力	0	1	-
I/O ポート	P65 出力	0	0	1
	P65 入力 (初期値)	0	0	0

(4) P64/ $\overline{\text{IRQ12-B}}$ /CRx_0/ $\overline{\text{TEND3_B}}$

モジュール名	端子機能	設定	
		DMAC_3	I/O ポート
		$\overline{\text{TEND3_B}}$ _OE	P64DDR
DMAC_3	$\overline{\text{TEND3_B}}$ 出力	1	-
I/O ポート	P64 出力	0	1
	P64 入力 (初期値)	0	0

8. I/O ポート

(5) P63/ $\overline{\text{IRQ11-B}}$ /PWM3_2/ $\overline{\text{TMS}}$ / $\overline{\text{DREQ3_B}}$

モジュール名	端子機能	設定		
		16ビット PWM	H-UDI	I/O ポート
		PWM3_2_OE	HUDI_E	P63DDR
16ビット PWM	PWM3_2 出力	1	-	-
H-UDI	TMS 入力	0	1	-
I/O ポート	P63 出力	0	0	1
	P63 入力 (初期値)	0	0	0

(6) P62/ $\overline{\text{SCK4}}$ / $\overline{\text{IRQ10-B}}$ / $\overline{\text{TRST}}$ / $\overline{\text{DACK2_B}}$

モジュール名	端子機能	設定			
		DMAC_2	SCL_4	H-UDI	I/O ポート
		$\overline{\text{DACK2_B_OE}}$	SCK4_OE	HUDI_E	P62DDR
DMAC_2	$\overline{\text{DACK2_B}}$ 出力	1	0	-	-
SCL_4	SCK4 出力	0	1	-	-
H-UDI	$\overline{\text{TRST}}$ 入力	0	0	1	-
I/O ポート	P62 出力	0	0	0	1
	P62 入力 (初期値)	0	0	0	0

(7) P61/ $\overline{\text{RxD4}}$ / $\overline{\text{IRQ9-B}}$ / $\overline{\text{TEND2_B}}$

モジュール名	端子機能	設定	
		DMAC_2	I/O ポート
		$\overline{\text{TEND2_B_OE}}$	P61DDR
DMAC_2	$\overline{\text{TEND2_B}}$ 出力	1	-
I/O ポート	P61 出力	0	1
	P61 入力 (初期値)	0	0

(8) P60/ $\overline{\text{TxD4}}$ / $\overline{\text{IRQ8-B}}$ / $\overline{\text{DREQ2_B}}$

モジュール名	端子機能	設定	
		SCL_4	I/O ポート
		TxD4_OE	P60DDR
SCL_4	TxD4 出力	1	-
I/O ポート	P60 出力	0	1
	P60 入力 (初期値)	0	0

8.2.6 ポート A

(1) PA7/B

モジュール名	端子機能	設定	
		I/O ポート	
		PA7DDR	
I/O ポート	B 出力 (初期値 E)	1	
	PA7 入力 (初期値 S)	0	

【記号説明】 初期値 E : 外部拡張モード時の初期値

初期値 S : シングルチップモード時の初期値

(2) PA6/ \overline{AS}

モジュール名	端子機能	設定	
		バスコントローラ	I/O ポート
		$\overline{AS_OE}$	PA6DDR
バスコントローラ	\overline{AS} 出力* (初期値 E)	1	-
I/O ポート	PA6 出力	0	1
	PA6 入力 (初期値 S)	0	0

【記号説明】 初期値 E : 外部拡張モード時の初期値

初期値 S : シングルチップモード時の初期値

【注】 * 外部拡張モード (EXPE = 1) のとき有効

(3) PA5/ \overline{RD}

モジュール名	端子機能	設定	
		バスコントローラ	I/O ポート
		$\overline{RD_OE}$	PA5DDR
バスコントローラ	\overline{RD} 出力* (初期値 E)	1	-
I/O ポート	PA5 出力	0	1
	PA5 入力 (初期値 S)	0	0

【記号説明】 初期値 E : 外部拡張モード時の初期値

初期値 S : シングルチップモード時の初期値

【注】 * 外部拡張モード (EXPE = 1) のとき有効

8. I/O ポート

(4) PA4/LHWR

モジュール名	端子機能	設定	
		バスコントローラ	I/O ポート
		LHWR_OE	PA4DDR
バスコントローラ	LHWR 出力* (初期値 E)	1	-
I/O ポート	PA4 出力	0	1
	PA4 入力 (初期値 S)	0	0

【記号説明】 初期値 E：外部拡張モード時の初期値

初期値 S：シングルチップモード時の初期値

【注】 * 外部拡張モード (EXPE=1) のとき有効

(5) PA3/LLWR

モジュール名	端子機能	設定	
		バスコントローラ	I/O ポート
		LLWR_OE	PA3DDR
バスコントローラ	LLWR 出力* (初期値 E)	1	-
I/O ポート	PA3 出力	0	1
	PA3 入力 (初期値 S)	0	0

【記号説明】 初期値 E：外部拡張モード時の初期値

初期値 S：シングルチップモード時の初期値

【注】 * 外部拡張モード (EXPE=1) のとき有効

(6) PA2/PWM2_2/TCK

モジュール名	端子機能	設定		
		16 ビット PWM	H-UDI	I/O ポート
		PWM2_2_OE	HUDI_E	PA2DDR
16 ビット PWM	PWM2_2 出力	1	-	-
H-UDI	TCK 入力	0	1	-
I/O ポート	PA2 出力	0	0	1
	PA2 入力 (初期値)	0	0	0

(7) PA1/PWM1_2/TDI

モジュール名	端子機能	設定		
		16ビット PWM	H-UDI	I/O ポート
		PWM1_2_OE	HUDI_E	PA1DDR
16ビット PWM	PWM1_2 出力	1	-	-
H-UDI	TDI 入力	0	1	-
I/O ポート	PA1 出力	0	0	1
	PA1 入力 (初期値)	0	0	0

(8) PA0/PWM0_2/TDO

モジュール名	端子機能	設定		
		16ビット PWM	H-UDI	I/O ポート
		PWM0_2_OE	HUDI_E	PA0DDR
16ビット PWM	PWM0_2 出力	1	-	-
H-UDI	TDO 出力	0	1	-
I/O ポート	PA0 出力	0	0	1
	PA0 入力 (初期値)	0	0	0

8.2.7 ポート D

(1) PD7/A7、PD6/A6、PD5/A5、PD4/A4、PD3/A3、PD2/A2、PD1/A1、PD0/A0

モジュール名	端子機能	設定	
		MCU 動作モード	I/O ポート
			PDnDDR
バスコントローラ	アドレス出力	内蔵 ROM 無効拡張モード	-
		内蔵 ROM 有効拡張モード	1
I/O ポート	PDn 出力	シングルチップモード*	1
	PDn 入力 (初期値)	内蔵 ROM 無効拡張モード以外	0

【注】 n=7~0

* 外部拡張モードのとき、PDnDDR=1でアドレス出力とすることができます。

8. I/O ポート

8.2.8 ポート E

(1) PE7/A15、PE6/A14、PE5/A13、PE4/A12、PE3/A11、PE2/A10、PE1/A9、PE0/A8

モジュール名	端子機能	設定	
		MCU 動作モード	I/O ポート
			PEnDDR
バスコントローラ	アドレス出力	内蔵 ROM 無効拡張モード	-
		内蔵 ROM 有効拡張モード	1
I/O ポート	PEn 出力	シングルチップモード*	1
	PEn 入力 (初期値)	内蔵 ROM 無効拡張モード以外	0

【注】 n=7~0

* 外部拡張モードのとき、PEnDDR=1でアドレス出力とすることができません。

8.2.9 ポート F

(1) PF7/A23/PWM3_1/SCK5

MCU 動作モード	モジュール名	端子機能	設定			
			16ビット PWM	I/O ポート	SCI	I/O ポート
			PWM3_1_OE	A23_OE	SCK5_OE	PF7DDR
内蔵 ROM 無効拡張モード	16ビット PWM	PWM3_1 出力	1	-	-	-
	バスコントローラ	A23 出力	0	-	-	-
内蔵 ROM 無効拡張モード 以外	16ビット PWM	PWM3_1 出力	1	-	-	-
	バスコントローラ	A23 出力*	0	1	-	-
	SCI	SCK5 出力	0	0	1	-
	I/O ポート	PF7 出力	0	0	0	1
PF7 入力 (初期値)		0	0	0	0	

【注】 * 外部拡張モード (EXPE=1) のとき有効

(2) PF6/A22/PWM2_1/RxD5

MCU 動作モード	モジュール名	端子機能	設定		
			16 ビット PWM	I/O ポート	I/O ポート
			PWM2_1_OE	A22_OE	PF6DDR
内蔵 ROM 無効拡張モード	16 ビット PWM	PWM2_1 出力	1	-	-
	バスコントローラ	A22 出力	0	-	-
内蔵 ROM 無効拡張モード 以外	16 ビット PWM	PWM2_1 出力	1	-	-
	バスコントローラ	A22 出力*	0	1	-
	I/O ポート	PF6 出力	0	0	1
PF6 入力(初期値)		0	0	0	

【注】 * 外部拡張モード (EXPE=1) のとき有効

(3) PF5/A21/PWM1_1/TxD5

MCU 動作モード	モジュール名	端子機能	設定			
			16 ビット PWM	I/O ポート	SCI	I/O ポート
			PWM1_1_OE	A21_OE	TxD5_OE	PF5DDR
内蔵 ROM 無効拡張モード	16 ビット PWM	PWM1_1 出力	1	-	-	-
	バスコントローラ	A21 出力	0	-	-	-
内蔵 ROM 無効拡張モード 以外	16 ビット PWM	PWM1_1 出力	1	-	-	-
	バスコントローラ	A21 出力*	0	1	-	-
	I/O ポート	SCI	TxD5 出力	0	0	1
PF5 出力		0	0	0	1	
	PF5 入力(初期値)	0	0	0	0	

【注】 * 外部拡張モード (EXPE=1) のとき有効

(4) PF4/A20/PWM0_1

MCU 動作モード	モジュール名	端子機能	設定		
			16 ビット PWM	I/O ポート	I/O ポート
			PWM0_1_OE	A20_OE	PF4DDR
内蔵 ROM 無効拡張モード	16 ビット PWM	PWM0_1 出力	1	-	-
	バスコントローラ	A20 出力	0	-	-
内蔵 ROM 無効拡張モード 以外	16 ビット PWM	PWM0_1 出力	1	-	-
	バスコントローラ	A20 出力*	0	1	-
	I/O ポート	PF4 出力	0	0	1
PF4 入力(初期値)		0	0	0	

【注】 * 外部拡張モード (EXPE=1) のとき有効

8. I/O ポート

(5) PF3/A19/PWM3_0

MCU 動作モード	モジュール名	端子機能	設定		
			16 ビット PWM	I/O ポート	I/O ポート
			PWM3_0_OE	A19_OE	PF3DDR
内蔵 ROM 無効拡張モード	16 ビット PWM	PWM3_0 出力	1	-	-
	バスコントローラ	A19 出力	0	-	-
内蔵 ROM 無効拡張モード 以外	16 ビット PWM	PWM3_0 出力	1	-	-
	バスコントローラ	A19 出力*	0	1	-
	I/O ポート	PF3 出力	0	0	1
PF3 入力(初期値)		0	0	0	

【注】 * 外部拡張モード (EXPE=1) のとき有効

(6) PF2/A18/PWM2_0

MCU 動作モード	モジュール名	端子機能	設定		
			16 ビット PWM	I/O ポート	I/O ポート
			PWM2_0_OE	A18_OE	PF2DDR
内蔵 ROM 無効拡張モード	16 ビット PWM	PWM2_0 出力	1	-	-
	バスコントローラ	A18 出力	0	-	-
内蔵 ROM 無効拡張モード 以外	16 ビット PWM	PWM2_0 出力	1	-	-
	バスコントローラ	A18 出力*	0	1	-
	I/O ポート	PF2 出力	0	0	1
PF2 入力(初期値)		0	0	0	

【注】 * 外部拡張モード (EXPE=1) のとき有効

(7) PF1/A17/PWM1_0

MCU 動作モード	モジュール名	端子機能	設定		
			16 ビット PWM	I/O ポート	I/O ポート
			PWM1_0_OE	A17_OE	PF1DDR
内蔵 ROM 無効拡張モード	16 ビット PWM	PWM1_0 出力	1	-	-
	バスコントローラ	A17 出力	0	-	-
内蔵 ROM 無効拡張モード 以外	16 ビット PWM	PWM1_0 出力	1	-	-
	バスコントローラ	A17 出力*	0	1	-
	I/O ポート	PF1 出力	0	0	1
PF1 入力(初期値)		0	0	0	

【注】 * 外部拡張モード (EXPE=1) のとき有効

(8) PF0/A16/PWM0_0

MCU 動作モード	モジュール名	端子機能	設定		
			16 ビット PWM	I/O ポート	I/O ポート
			PWM0_0_OE	A16_OE	PF0DDR
内蔵 ROM 無効拡張モード	16 ビット PWM	PWM0_0 出力	1	-	-
	バスコントローラ	A16 出力	0	-	-
内蔵 ROM 無効拡張モード 以外	16 ビット PWM	PWM0_0 出力	1	-	-
	バスコントローラ	A16 出力*	0	1	-
	I/O ポート	PF0 出力	0	0	1
PF0 入力(初期値)		0	0	0	

【注】 * 外部拡張モード (EXPE=1) のとき有効

8.2.10 ポート H

(1) PH7/D7、PH6/D6、PH5/D5、PH4/D4、PH3/D3、PH2/D2、PH1/D1、PH0/D0

モジュール名	端子機能	設定	
		バスコントローラ	I/O ポート
		16 ビットバスモード	PHnDDR
バスコントローラ	データ入出力*(初期値 E)	1	-
I/O ポート	PHn 出力	0	1
	PHn 入力(初期値 S)	0	0

【記号説明】 初期値 E : 外部拡張モード時の初期値

初期値 S : シングルチップモード時の初期値

【注】 n=7~0

* 外部拡張モード (EXPE=1) のとき有効

8. I/O ポート

8.2.11 ポート I

(1) PI7/D15、PI6/D14、PI5/D13、PI4/D12

モジュール名	端子機能	設定	
		バスコントローラ	I/O ポート
		16 ビットバスモード	PI _n DDR
バスコントローラ	データ入出力* (初期値 E)	1	-
I/O ポート	PI _n 出力	0	1
	PI _n 入力 (初期値 S)	0	0

【記号説明】 初期値 E : 外部拡張モード時の初期値

初期値 S : シングルチップモード時の初期値

【注】 n = 7 ~ 4

* 外部拡張モード (EXPE = 1) のとき有効

(2) PI3/D11/ $\overline{\text{SCS}}_0$

モジュール名	端子機能	設定		
		SSU_0	バスコントローラ	I/O ポート
		$\overline{\text{SCS}}_0$ OE	16 ビットバスモード	PI3DDR
SSU_0* ²	$\overline{\text{SCS}}_0$ 出力	1	-	-
バスコントローラ	データ入出力* ¹ (初期値 E)	0	1	-
I/O ポート	PI3 出力	0	0	1
	PI3 入力 (初期値 S)	0	0	0

【記号説明】 初期値 E : 外部拡張モード時の初期値

初期値 S : シングルチップモード時の初期値

【注】 *1 外部拡張モード (EXPE = 1) のとき有効

*2 SSU_0 を使用するときは必ず 8 ビットバスモードでアクセスしてください。

SSU : Synchronous Serial communication Unit

(3) PI2/D10/SSCK_0

モジュール名	端子機能	設定		
		SSU_0	バスコントローラ	I/O ポート
		SSCK_0_OE	16 ビットバスモード	PI2DDR
SSU_0*2	SSCK_0 出力	1	-	-
バスコントローラ	データ入出力*1(初期値 E)	0	1	-
I/O ポート	PI2 出力	0	0	1
	PI2 入力(初期値 S)	0	0	0

【記号説明】 初期値 E : 外部拡張モード時の初期値

初期値 S : シングルチップモード時の初期値

【注】 *1 外部拡張モード (EXPE = 1) のとき有効

*2 SSU_0 を使用するときは必ず 8 ビットバスモードでアクセスしてください。

SSU : Synchronous Serial communication Unit

(4) PI1/D9/SSI_0

モジュール名	端子機能	設定		
		SSU_0	バスコントローラ	I/O ポート
		SSI_0_OE	16 ビットバスモード	PI1DDR
SSU_0*2	SSI_0 出力	1	-	-
バスコントローラ	データ入出力*1(初期値 E)	0	1	-
I/O ポート	PI1 出力	0	0	1
	PI1 入力(初期値 S)	0	0	0

【記号説明】 初期値 E : 外部拡張モード時の初期値

初期値 S : シングルチップモード時の初期値

【注】 *1 外部拡張モード (EXPE = 1) のとき有効

*2 SSU_0 を使用するときは必ず 8 ビットバスモードでアクセスしてください。

SSU : Synchronous Serial communication Unit

8. I/O ポート

(5) PI0/D8/SSU_0

モジュール名	端子機能	設定		
		SSU_0	バスコントローラ	I/O ポート
		SSU_0_OE	16 ビットバスモード	PIODDR
SSU_0*2	SSU_0 出力	1	-	-
バスコントローラ	データ入出力*1(初期値 E)	0	1	-
I/O ポート	PI0 出力	0	0	1
	PI0 入力(初期値 S)	0	0	0

【記号説明】 初期値 E : 外部拡張モード時の初期値

初期値 S : シングルチップモード時の初期値

【注】 *1 外部拡張モード (EXPE=1) のとき有効

*2 SSU_0 を使用するときは必ず 8 ビットバスモードでアクセスしてください。

SSU : Synchronous Serial communication Unit

8.2.12 ポート J

(1) PJ7/PWM1H、PJ6/PWM1G、PJ5/PWM1F、PJ4/PWM1E、PJ3/PWM1D、PJ2/PWM1C、PJ1/PWM1B、PJ0/PWM1A

モジュール名	端子機能	設定	
		PWM	I/O ポート
		PWM1x_OE	PJnDDR
PWM	PWM1x 出力	1	-
I/O ポート	PJn 出力	0	1
	PJn 入力(初期値)	0	0

【注】 x = A ~ H

n = 7 ~ 0

8.2.13 ポート K

(1) PK7/PWM2H、PK6/PWM2G、PK5/PWM2F、PK4/PWM2E、PK3/PWM2D、PK2/PWM2C、PK1/PWM2B、PK0/PWM2A

モジュール名	端子機能	設定	
		PWM	I/O ポート
		PWM2x_OE	PKnDDR
PWM	PWM2x 出力	1	-
I/O ポート	PKn 出力	0	1
	PKn 入力 (初期値)	0	0

【注】 x = A ~ H
n = 7 ~ 0

8. I/Oポート

表 8.5 各ポートの出力信号有効設定一覧

PORT		出力設定信号名	出力信号名	信号選択レジスタの設定	各内部モジュールの設定
P1	7	SCL0_OE	SCL0		ICCRA_0.ICE=1
	6	DACK1_A_OE	DACK1_A		DACR_1.AMS=1,DMDR_1.DACKE=1
		SDA0_OE	SDA0		ICCRA_0.ICE=1
	5	TEND1_A_OE	TEND1_A		DMDR_1.TENDE=1
		SCL1_OE	SCL1		ICCRA_1.ICE=1
	4	SDA1_OE	SDA1		ICCRA_1.ICE=1
	3				
	2	DACK0_A_OE	DACK0_A		DACR_0.AMS=1,DMDR_0.DACKE=1
		SCK2_OE	SCK2		SCMR_2.SMIF=1 のとき : SMR_2.GM=0,SCR_2.CKE[1,0]=01 か SMR_2.GM=1 で、SCR_2.TE=1 か SCR_2.RE=1 SCMR_2.SMIF=0 のとき : SMR_2.C/Ā=0,SCR_2.CKE[1,0]=01 か SMR_2.C/Ā=1,SCR_2.CKE1=0 で、SCR_2.TE=1 か SCR_2.RE=1
	1	TEND0_A_OE	TEND0_A		DMDR_0.TENDE=1
0	TxD2_OE	TxD2		SCR_2.TE=1	
P2	7	TIOCB5_OE	TIOCB5		TPU.TIOR_5.IOB3=0,TPU.TIOR_5.IOB[1,0]=01/10/11
	6	TIOCA5_OE	TIOCA5		TPU.TIOR_5.IOA3=0,TPU.TIOR_5.IOA[1,0]=01/10/11
	5	TIOCA4_OE	TIOCA4		TPU.TIOR_4.IOA3=0,TPU.TIOR_4.IOA[1,0]=01/10/11
	4	TIOCB4_OE	TIOCB4		TPU.TIOR_4.IOB3=0,TPU.TIOR_4.IOB[1,0]=01/10/11
	3	SCS1_OE	SCS1		SSU.SSCRL_1.SSUMS=0,SSU.SSCRH_1.MSS=1 で SSU.SSCRH_1.CSS1=1,SSU.SSCRH_1.CSS0=0 か SSU.SSCRH_1.CSS1=1,SSU.SSCRH_1.CSS0=1
		TIOCD3_OE	TIOCD3		TPU.TMDR_3.BFB=0,TPU.TIORL_3.IOD3=0, TPU.TIORL_3.IOD[1,0]=01/10/11
	2	SSCK1_OE	SSCK1		SSU.SSCRH_1.MSS1=1,SSU.SSCRH_1.SCKS=1
		TIOCC3_OE	TIOCC3		TPU.TMDR_3.BFA=0,TPU.TIORL_3.IOC3=0, TPU.TIORL_3.IOD[1,0]=01/10/11
		TxD0_OE	TxD0		SCR_0.TE=1
1	SSI1_OE	SSI1		SSU.SSCRL_1.SSUMS=0,SSU.SSCRH_1.MSS=0, SSU.SSCRH_1.BIDE=0,SSU.SSER_1.TE=1	
	TIOCA3_OE	TIOCA3		TPU.TIORH_3.IOA3=0,TPU.TIORH_3.IOA[1,0]=01/10/11	

【注】 SSU : Synchronous Serial communication Unit

PORT	出力設定信号名	出力信号名	信号選択レジスタの設定	各内部モジュールの設定
P2	0	SSO1_OE	SSO1	SSU.SSCRL_1.SSUMS=0,SSU.SSCRH_1.MSS=1 のとき : SSU.SSCRH_1.BIDE=0,SSU.SSER_1.TE=1 か SSU.SSCRH_1.BIDE=1,SSU.SSER_1.RE=0,SSU.SSER_1.TE=1 SSU.SSCRL_1.SSUMS=0,SSU.SSCRH_1.MSS=0 のとき : SSU.SSCRH_1.BIDE=1,SSU.SSER_1.RE=0,SSU.SSER_1.TE=1 SSU.SSCRL_1.SSUMS=1 のとき : SSU.SSER_1.TE=1
		TIOCB3_OE	TIOCB3	TPU.TIORH_3.IOB3=0,TPU.TIORH_3.IOB[1,0]=01/10/11
		SCK0_OE	SCK0	SCMR_0.SMIF=1 のとき : SMR_0.GM=0,SCR_0.CKE[1,0]=01 か SMR_0.GM=1 で、SCR_0.TE=1 か SCR_0.RE=1 SCMR_0.SMIF=0 のとき : SMR_0.C/Ā=0,SCR_0.CKE[1,0]=01 か SMR_0.C/Ā=1,SCR_0.CKE1=0 で、 SCR_0.TE=1 か SCR_0.RE=1
P3	7	SGOUT3_OE	SGOUT3	SDG3.SGCR1.SGE=1
		TIOCB2_OE	TIOCB2	TPU.TIOR_2.IOB3=0,TPU.TIOR_2.IOB[1,0]=01/10/11
	6	SGOUT2_OE	SGOUT2	SDG2.SGCR1.SGE=1
		TIOCA2_OE	TIOCA2	TPU.TIOR_2.IOA3=0,TPU.TIOR_2.IOA[1,0]=01/10/11
	5	SGOUT1_OE	SGOUT1	SDG1.SGCR1.SGE=1
		TIOCB1_OE	TIOCB1	TPU.TIOR_1.IOB3=0,TPU.TIOR_1.IOB[1,0]=01/10/11
	4	SGOUT0_OE	SGOUT0	SDG0.SGCR1.SGE=1
		TIOCA1_OE	TIOCA1	TPU.TIOR_1.IOA3=0,TPU.TIOR_1.IOA[1,0]=01/10/11
	3	TIOCD0_OE	TIOCD0	TPU.TMDR_0.BFB=0,TPU.TIORL_0.IOD3=0, TPU.TIORL_0.IOD[1,0]=01/10/11
	2	TIOCC0_OE	TIOCC0	TPU.TMDR_0.BFA=0,TPU.TIORL_0.IOC3=0, TPU.TIORL_0.IOD[1,0]=01/10/11
1	TIOCB0_OE	TIOCB0	TPU.TIORH_0.IOB3=0,TPU.TIORH_0.IOB[1,0]=01/10/11	
0	TIOCA0_OE	TIOCA0	TPU.TIORH_0.IOA3=0,TPU.TIORH_0.IOA[1,0]=01/10/11	
P4				
P5				
P6	7	CTx_1_OE	CTx_1	RCAN-ET_1.RCANMON.RCANE=1,RCAN-ET_1.RCANMON.TxSTP=0 で RCAN-ET_1.MBCR.MBCRn=0,RCAN-ET_1.TXRP.TXRn=1 (n=1 ~ 15)
	6			
	5	CTx_0_OE	CTx_0	RCAN-ET_0.RCANMON.RCANE=1,RCAN-ET_0.RCANMON.TxSTP=0 で RCAN-ET_0.MBCR.MBCRn=0,RCAN-ET_0.TXRP.TXRn=1 (n=1 ~ 15)
		DACK3_B_OE	DACK3_B	DACR_3.AMS=1,DMDR_3.DACKE=1
4	TEND3_B_OE	TEND3_B	DMDR_3.TENDE=1	

【注】 SSU : Synchronous Serial communication Unit

8. I/O ポート

PORT		出力設定信号名	出力信号名	信号選択レジスタの設定	各内部モジュールの設定
P6	3	PWM3_2_OE	PWM3_2		PWOCR3.OE32=1
		HUDI_E	TMS		PSELR2.PGSEL1=1
	2	DACK2_B_OE	DACK2_B		DACR_2.AMS=1,DMDR_2.DACKE=1
		SCK4_OE	SCK4		SCMR_4.SMIF=1 のとき : SMR_4.GM=0,SCR_4.CKE[1,0]=01 か SMR_4.GM=1 で、SCR_4.TE=1 か SCR_4.RE=1 SCMR_4.SMIF=0 のとき : SMR_4.C/Ā=0,SCR_4.CKE[1,0]=01 か SMR_4.C/Ā=1,SCR_4.CKE1=0 で、SCR_4.TE=1 か SCR_4.RE=1
		HUDI_E	TRST		PSELR2.PGSEL1=1
	1	TEND2_B_OE	TEND2_B		DMDR_2.TENDE=1
	0	TxD4_OE	TxD4		SCR_4.TE=1
PA	7	B_OE	B		PADDR.PA7DDR=1,SCKCR.POSEL1=0
	6	ĀS_OE	ĀS		SYSCR.EXPE=1,PFOR2.ASOE=1
	5	RD_OE	RD		SYSCR.EXPE=1
	4	LHWR_OE	LHWR		SYSCR.EXPE=1
	3	LLWR_OE	LLWR		SYSCR.EXPE=1
	2	PWM2_2_OE	PWM2_2		PWOCR3.OE22=1
		HUDI_E	TCK		PSELR2.PGSEL1=1
	1	PWM1_2_OE	PWM1_2		PWOCR3.OE12=1
		HUDI_E	TDI		PSELR2.PGSEL1=1
	0	PWM0_2_OE	PWM0_2		PWOCR3.OE02=1
HUDI_E		TDO		PSELR2.PGSEL1=1	
PD	7	A7_OE	A7		SYSCR.EXPE=1,PDDDR.PD7DDR=1
	6	A6_OE	A6		SYSCR.EXPE=1,PDDDR.PD6DDR=1
	5	A5_OE	A5		SYSCR.EXPE=1,PDDDR.PD5DDR=1
	4	A4_OE	A4		SYSCR.EXPE=1,PDDDR.PD4DDR=1
	3	A3_OE	A3		SYSCR.EXPE=1,PDDDR.PD3DDR=1
	2	A2_OE	A2		SYSCR.EXPE=1,PDDDR.PD2DDR=1
	1	A1_OE	A1		SYSCR.EXPE=1,PDDDR.PD1DDR=1
	0	A0_OE	A0		SYSCR.EXPE=1,PDDDR.PD0DDR=1
PE	7	A15_OE	A15		SYSCR.EXPE=1,PEDDR.PE7DDR=1
	6	A14_OE	A14		SYSCR.EXPE=1,PEDDR.PE6DDR=1
	5	A13_OE	A13		SYSCR.EXPE=1,PEDDR.PE5DDR=1
	4	A12_OE	A12		SYSCR.EXPE=1,PEDDR.PE4DDR=1

PORT		出力設定信号名	出力 信号名	信号選択 レジスタ の設定	各内部モジュールの設定
PE	3	A11_OE	A11		SYSCR.EXPE=1,PEDDR.PE3DDR=1
	2	A10_OE	A10		SYSCR.EXPE=1,PEDDR.PE2DDR=1
	1	A9_OE	A9		SYSCR.EXPE=1,PEDDR.PE1DDR=1
	0	A8_OE	A8		SYSCR.EXPE=1,PEDDR.PE0DDR=1
PF	7	PWM3_1_OE	PWM3_1		PWOCR2.OE31=1
		A23_OE	A23		SYSCR.EXPE=1,PFCR4.A23E=1
		SCK5_OE	SCK5		SCMR_5.SMIF=1 のとき : SMR_5.GM=0,SCR_5.CKE[1,0]=01 か SMR_5.GM=1 で、SCR_5.TE=1 か SCR_5.RE=1 SCMR_5.SMIF=0 のとき : SMR_5.C \bar{A} =0,SCR_5.CKE[1,0]=01 か SMR_5.C \bar{A} =1,SCR_5.CKE1=0 で、 SCR_5.TE=1 か SCR_5.RE=1
	6	PWM2_1_OE	PWM2_1		PWOCR2.OE21=1
		A22_OE	A22		SYSCR.EXPE=1,PFCR4.A22E=1
	5	PWM1_1_OE	PWM1_1		PWOCR2.OE11=1
		A21_OE	A21		SYSCR.EXPE=1,PFCR4.A21E=1
		TxD5_OE	TxD5		SCR_5.TE=1
	4	PWM0_1_OE	PWM0_1		PWOCR2.OE01=1
		A20_OE	A20		SYSCR.EXPE=1,PFCR4.A20E=1
	3	PWM3_0_OE	PWM3_0		PWOCR1.OE30=1
		A19_OE	A19		SYSCR.EXPE=1,PFCR4.A19E=1
	2	PWM2_0_OE	PWM2_0		PWOCR1.OE20=1
		A18_OE	A18		SYSCR.EXPE=1,PFCR4.A18E=1
	1	PWM1_0_OE	PWM1_0		PWOCR1.OE10=1
		A17_OE	A17		SYSCR.EXPE=1,PFCR4.A17E=1
0	PWM0_0_OE	PWM0_0		PWOCR1.OE00=1	
	A16_OE	A16		SYSCR.EXPE=1,PFCR4.A16E=1	
PH	7	D7_E	D7		SYSCR.EXPE=1
	6	D6_E	D6		SYSCR.EXPE=1
	5	D5_E	D5		SYSCR.EXPE=1
	4	D4_E	D4		SYSCR.EXPE=1
	3	D3_E	D3		SYSCR.EXPE=1
	2	D2_E	D2		SYSCR.EXPE=1
	1	D1_E	D1		SYSCR.EXPE=1
	0	D0_E	D0		SYSCR.EXPE=1

8. I/O ポート

PORT	出力設定信号名	出力信号名	信号選択レジスタの設定	各内部モジュールの設定	
PI	7	D15_E	D15		SYSCR.EXPE=1,ABWCR.ABW[H,L]n=01
	6	D14_E	D14		SYSCR.EXPE=1,ABWCR.ABW[H,L]n=01
	5	D13_E	D13		SYSCR.EXPE=1,ABWCR.ABW[H,L]n=01
	4	D12_E	D12		SYSCR.EXPE=1,ABWCR.ABW[H,L]n=01
	3	SCS0_OE	SCS0		ABWCR.ABW[H,L]n = 11 のとき : SSU.SSCRL_0.SSUMS=0,SSU.SSCRH_0.MSS=1 で SSU.SSCRH_0.CSS1=1,SSU.SSCRH_0.CSS0=0 か SSU.SSCRH_0.CSS1=1,SSU.SSCRH_0.CSS0=1
		D11_E	D11		SYSCR.EXPE=1,ABWCR.ABW[H,L]n=01
	2	SSCK0_OE	SSCK0		ABWCR.ABW[H,L]n = 11 のとき : SSU.SSCRH_0.MSS1=1,SSU.SSCRH_0.SCKS=1
		D10_E	D10		SYSCR.EXPE=1,ABWCR.ABW[H,L]n=01
	1	SSI0_OE	SSI0		ABWCR.ABW[H,L]n = 11 のとき : SSU.SSCRL_0.SSUMS=0,SSU.SSCRH_0.MSS=0 SSU.SSCRH_0.BIDE=0,SSU.SSER_0.TE=1
		D9_E	D9		SYSCR.EXPE=1,ABWCR.ABW[H,L]n=01
0	SSO0_OE	SSO0		ABWCR.ABW[H,L]n = 11 のとき : SSU.SSCRL_0.SSUMS=0,SSU.SSCRH_0.MSS=1 のとき : SSU.SSCRH_0.BIDE=0,SSU.SSER_0.TE=1 か SSU.SSCRH_0.BIDE=1,SSU.SSER_0.RE=0,SSU.SSER_0.TE=1	
				SSU.SSCRL_0.SSUMS=0,SSU.SSCRH_0.MSS=0 のとき : SSU.SSCRH_0.BIDE=1,SSU.SSER_0.RE=0,SSU.SSER_0.TE=1 SSU.SSCRL_0.SSUMS=1 のとき : SSU.SSER_0.TE=1	
	D8_E	D8		SYSCR.EXPE=1,ABWCR.ABW[H,L]n=01	
PJ	7	PWM1H_OE	PWM1H		PWOCR1.OE1H=1
	6	PWM1G_OE	PWM1G		PWOCR1.OE1G=1
	5	PWM1F_OE	PWM1F		PWOCR1.OE1F=1
	4	PWM1E_OE	PWM1E		PWOCR1.OE1E=1
	3	PWM1D_OE	PWM1D		PWOCR1.OE1D=1
	2	PWM1C_OE	PWM1C		PWOCR1.OE1C=1
	1	PWM1B_OE	PWM1B		PWOCR1.OE1B=1
	0	PWM1A_OE	PWM1A		PWOCR1.OE1A=1
PK	7	PWM2H_OE	PWM2H		PWOCR2.OE2H=1
	6	PWM2G_OE	PWM2G		PWOCR2.OE2G=1
	5	PWM2F_OE	PWM2F		PWOCR2.OE2F=1
	4	PWM2E_OE	PWM2E		PWOCR2.OE2E=1
	3	PWM2D_OE	PWM2D		PWOCR2.OE2D=1
	2	PWM2C_OE	PWM2C		PWOCR2.OE2C=1
	1	PWM2B_OE	PWM2B		PWOCR2.OE2B=1
	0	PWM2A_OE	PWM2A		PWOCR2.OE2A=1

【注】 SSU : Synchronous Serial communication Unit

8.3 ポートファンクションコントローラ

ポートファンクションコントローラには以下のレジスタがあります。

- ポートファンクションコントロールレジスタ2 (PFCR2)
- ポートファンクションコントロールレジスタ4 (PFCR4)
- ポートファンクションコントロールレジスタ9 (PFCR9)

8.3.1 ポートファンクションコントロールレジスタ2 (PFCR2)

PFCR2 は、バス制御出力の許可 / 禁止を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	-	-	ASOE	-
初期値:	0	0	0	0	0	0	1	0
R/W:	R	R	R	R	R	R	R/W	R

ビット	ビット名	初期値	R/W	説明
7~2	-	すべて0	R	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
1	ASOE	1	R/W	AS 出力イネーブル AS 出力の許可 / 禁止を選択します。 0: PA6 を I/O ポートとして設定 1: PA6 を AS 出力端子として設定
0	-	0	R	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。

8.3.2 ポートファンクションコントロールレジスタ4 (PFCR4)

PFCR4 は、アドレス出力の許可 / 禁止を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	A23E	A22E	A21E	A20E	A19E	A18E	A17E	A16E
初期値:	不定*	不定*	不定*	不定*	不定*	不定*	不定*	不定*
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * 動作モードによって初期値は切り替わります。
内蔵ROM無効のとき1、内蔵ROM有効のとき0になります。

8. I/O ポート

ビット	ビット名	初期値	R/W	説 明
7	AE23E	不定*	R/W	アドレス A23 イネーブル アドレス出力 (A23) の許可 / 禁止を選択します。 0 : A23 出力を禁止 1 : A23 出力を許可
6	AE22E	不定*	R/W	アドレス A22 イネーブル アドレス出力 (A22) の許可 / 禁止を選択します。 0 : A22 出力を禁止 1 : A22 出力を許可
5	AE21E	不定*	R/W	アドレス A21 イネーブル アドレス出力 (A21) の許可 / 禁止を選択します。 0 : A21 出力を禁止 1 : A21 出力を許可
4	AE20E	不定*	R/W	アドレス A20 イネーブル アドレス出力 (A20) の許可 / 禁止を選択します。 0 : A20 出力を禁止 1 : A20 出力を許可
3	AE19E	不定*	R/W	アドレス A19 イネーブル アドレス出力 (A19) の許可 / 禁止を選択します。 0 : A19 出力を禁止 1 : A19 出力を許可
2	AE18E	不定*	R/W	アドレス A18 イネーブル アドレス出力 (A18) の許可 / 禁止を選択します。 0 : A18 出力を禁止 1 : A18 出力を許可
1	AE17E	不定*	R/W	アドレス A17 イネーブル アドレス出力 (A17) の許可 / 禁止を選択します。 0 : A17 出力を禁止 1 : A17 出力を許可
0	AE16E	不定*	R/W	アドレス A16 イネーブル アドレス出力 (A16) の許可 / 禁止を選択します。 0 : A16 出力を禁止 1 : A16 出力を許可

【注】 * 動作モードによって初期値は切り替わります。

8.3.3 ポートファンクションコントロールレジスタ 9 (PFCR9)

PFCR9 は、TPU (ユニット 0) 入出力端子のマルチ機能を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	TPUMS5	TPUMS4	TPUMS3A	TPUMS3B	TPUMS2	TPUMS1	TPUMS0A	TPUMS0B
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TPUMS5	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCA5 の機能を選択します。 0: アウトプットコンペア出力、インプットキャプチャは P26 1: インプットキャプチャ入力は P27、アウトプットコンペアは P26
6	TPUMS4	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCA4 の機能を選択します。 0: アウトプットコンペア出力、インプットキャプチャは P25 1: インプットキャプチャ入力は P24、アウトプットコンペアは P25
5	TPUMS3A	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCA3 の機能を選択します。 0: アウトプットコンペア出力、インプットキャプチャは P21 1: インプットキャプチャ入力は P20、アウトプットコンペアは P21
4	TPUMS3B	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCC3 の機能を選択します。 0: アウトプットコンペア出力、インプットキャプチャは P22 1: インプットキャプチャ入力は P23、アウトプットコンペアは P22
3	TPUMS2	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCA2 の機能を選択します。 0: アウトプットコンペア出力、インプットキャプチャは P36 1: インプットキャプチャ入力は P37、アウトプットコンペアは P36
2	TPUMS1	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCA1 の機能を選択します。 0: アウトプットコンペア出力、インプットキャプチャは P34 1: インプットキャプチャ入力は P35、アウトプットコンペアは P34
1	TPUMS0A	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCA0 の機能を選択します。 0: アウトプットコンペア出力、インプットキャプチャは P30 1: インプットキャプチャ入力は P31、アウトプットコンペアは P30
0	TPUMS0B	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCC0 の機能を選択します。 0: アウトプットコンペア出力、インプットキャプチャは P32 1: インプットキャプチャ入力は P33、アウトプットコンペアは P32

8.4 使用上の注意事項

8.4.1 入力バッファコントロールレジスタ (ICR) の設定

1. ICRの設定を変更する場合、端子の状態によっては内部的にエッジが発生し意図しない動作をすることがあります。
ICRの設定を変更する場合は、端子をHighレベルに固定した状態で行うか、当該端子に割り当てられている周辺モジュールの設定で、入力機能を無効にした状態で行ってください。
2. ICRの設定で入力を有効にした場合、複数の入力機能が割り当てられている端子では、そのすべての入力機能に端子状態が反映されます。未使用の入力機能は各周辺モジュール側の設定に注意してください。
3. 端子を出力端子として使用する場合、ICRの設定で入力を有効にすると、出力データが端子状態として取り込まれます。
出力として使用する端子は、ICRの設定で入力を無効にしてください。

8.4.2 ポートファンクションコントロールレジスタ (PFCR) の設定

1. ポートファンクションコントローラは、I/Oポートの制御を行います。
各端子の入出力の設定は、入出力先を選択後に入出力を有効にしてください。
2. 入力端子を変更する場合、変更前の端子レベルと変更後の端子レベルが異なると内部にエッジが発生し、意図しない動作をすることがあります。
変更する場合には以下の手順で行ってください。
 - 入力端子の変更
 - (1) 変更しようとする端子機能に該当する周辺モジュールの設定で、入力機能を無効にする。
 - (2) PFCRの設定により、入力端子を選択する。
 - (3) 変更しようとする端子機能に該当する周辺モジュールの設定で、入力機能を有効にする。
3. 1つの端子機能に対して、入出力先を変更する端子セレクトビット、および端子機能を有効にするイネーブルビットの両方が存在する場合、端子セレクトビットで端子の入出力先を設定した後に、イネーブルビットで端子機能を有効にしてください。

9. 16ビットタイマパルスユニット (TPU)

本 LSI は、6 チャンネルの 16 ビットタイマにより構成される 16 ビットタイマパルスユニット (TPU) を内蔵しています。16 ビットタイマパルスユニットの機能一覧を表 9.1 に、ブロック図を図 9.1 に示します。

9.1 特長

- 最大16本のパルス入出力が可能
- 各チャンネルごとに8種類のカウンタ入力クロックを選択可能
- 各チャンネルとも次の動作を設定可能：コンペアマッチによる波形出力、インプットキャプチャ機能、カウンタクリア動作、複数のタイマカウンタ (TCNT) への同時書き込み、コンペアマッチ/インプットキャプチャによる同時クリア、カウンタの同期動作による各レジスタの同期入出力、同期動作と組み合わせることによる最大15相のPWM出力
- チャンネル0、3はバッファ動作を設定可能
- チャンネル1、2、4、5はおのこの個別に位相計数モードを設定可能
- カスケード接続動作
- 内部16ビットバスによる高速アクセス
- 26種類の割り込み要因
- レジスタデータの自動転送が可能
- A/D変換器の変換スタートトリガを生成可能
- モジュールストップモードの設定可能

9. 16 ビットタイマパルスユニット (TPU)

表 9.1 TPU の機能一覧

項 目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4	チャンネル5
カウントクロック	P /1 P /4 P /16 P /64 TCLKA TCLKB TCLKC TCLKD	P /1 P /4 P /16 P /64 P /256 TCLKA TCLKB TCLKC TCNT2	P /1 P /4 P /16 P /64 P /1024 TCLKA TCLKB TCLKC	P /1 P /4 P /16 P /64 P /256 P /1024 P /4096 TCLKA	P /1 P /4 P /16 P /64 P /1024 TCLKA TCLKC TCNT5	P /1 P /4 P /16 P /64 P /256 TCLKA TCLKC TCLKD
ジェネラルレジスタ (TGR)	TGRA_0 TGRB_0	TGRA_1 TGRB_1	TGRA_2 TGRB_2	TGRA_3 TGRB_3	TGRA_4 TGRB_4	TGRA_5 TGRB_5
ジェネラルレジスタ/ バッファレジスタ	TGRC_0 TGRD_0	-	-	TGRC_3 TGRD_3	-	-
入出力端子	TIOCA0 TIOCB0 TIOCC0 TIOCD0	TIOCA1 TIOCB1	TIOCA2 TIOCB2	TIOCA3 TIOCB3 TIOCC3 TIOCD3	TIOCA4 TIOCB4	TIOCA5 TIOCB5
カウンタクリア 機能	TGR の コンペアマッ チまたは インプット キャプチャ	TGR の コンペアマッ チまたは インプット キャプチャ	TGR の コンペアマッ チまたは インプット キャプチャ	TGR の コンペアマッ チまたは インプット キャプチャ	TGR の コンペアマッ チまたは インプット キャプチャ	TGR の コンペアマッ チまたは インプット キャプチャ
コンペア マッチ 出力	0 出力					
	1 出力					
	トグル 出力					
インプットキャプチャ 機能						
同期動作						
PWM モード						
位相計数モード	-			-		
バッファ動作		-	-		-	-

【記号説明】

- : 可能
- : 不可

9. 16 ビットタイムパルスユニット (TPU)

項 目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4	チャンネル5
DMAC の起動	TGRA_0 の コンペアマッチ または インプット キャプチャ	TGRA_1 の コンペアマッチ または インプット キャプチャ	TGRA_2 の コンペアマッチ または インプット キャプチャ	TGRA_3 の コンペアマッチ または インプット キャプチャ	TGRA_4 の コンペアマッチ または インプット キャプチャ	TGRA_5 の コンペアマッチ または インプット キャプチャ
A/D 変換開始トリガ	TGRA_0 の コンペアマッチ または インプット キャプチャ	TGRA_1 の コンペアマッチ または インプット キャプチャ	TGRA_2 の コンペアマッチ または インプット キャプチャ	TGRA_3 の コンペアマッチ または インプット キャプチャ	TGRA_4 の コンペアマッチ または インプット キャプチャ	TGRA_5 の コンペアマッチ または インプット キャプチャ
割り込み要因	5 要因 ・コンペアマッチ /インプット キャプチャ 0A ・コンペアマッチ /インプット キャプチャ 0B ・コンペアマッチ /インプット キャプチャ 0C ・コンペアマッチ /インプット キャプチャ 0D ・オーバーフロー	4 要因 ・コンペアマッチ /インプット キャプチャ 1A ・コンペアマッチ /インプット キャプチャ 1B ・オーバーフロー ・アンダフロー	4 要因 ・コンペアマッチ /インプット キャプチャ 2A ・コンペアマッチ /インプット キャプチャ 2B ・オーバーフロー ・アンダフロー	5 要因 ・コンペアマッチ /インプット キャプチャ 3A ・コンペアマッチ /インプット キャプチャ 3B ・コンペアマッチ /インプット キャプチャ 3C ・コンペアマッチ /インプット キャプチャ 3D ・オーバーフロー	4 要因 ・コンペアマッチ /インプット キャプチャ 4A ・コンペアマッチ /インプット キャプチャ 4B ・オーバーフロー ・アンダフロー	4 要因 ・コンペアマッチ /インプット キャプチャ 5A ・コンペアマッチ /インプット キャプチャ 5B ・オーバーフロー ・アンダフロー

9. 16ビットタイマパルスユニット (TPU)

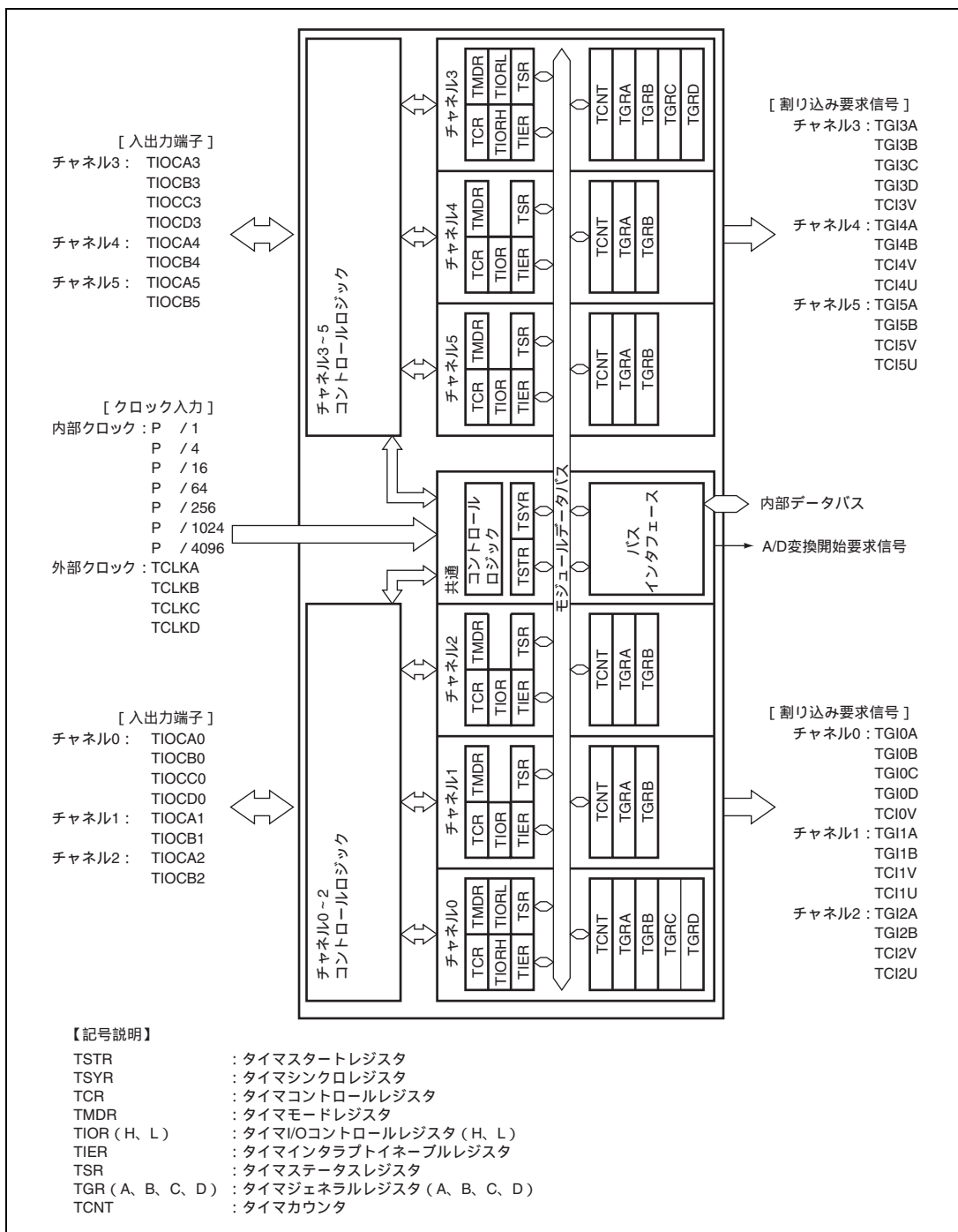


図 9.1 TPU のブロック図

9.2 入出力端子

TPU の端子構成を表 9.2 に示します。

表 9.2 端子構成

チャンネル	名称	入出力	機能
共通	TCLKA	入力	外部クロック A 入力端子 (チャンネル 1、5 の位相計数モード A 相入力)
	TCLKB	入力	外部クロック B 入力端子 (チャンネル 1、5 の位相計数モード B 相入力)
	TCLKC	入力	外部クロック C 入力端子 (チャンネル 2、4 の位相計数モード A 相入力)
	TCLKD	入力	外部クロック D 入力端子 (チャンネル 2、4 の位相計数モード B 相入力)
0	TIOCA0	入出力	TGRA_0 のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCB0	入出力	TGRB_0 のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCC0	入出力	TGRC_0 のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCD0	入出力	TGRD_0 のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
1	TIOCA1	入出力	TGRA_1 のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCB1	入出力	TGRB_1 のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
2	TIOCA2	入出力	TGRA_2 のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCB2	入出力	TGRB_2 のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
3	TIOCA3	入出力	TGRA_3 のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCB3	入出力	TGRB_3 のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCC3	入出力	TGRC_3 のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCD3	入出力	TGRD_3 のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
4	TIOCA4	入出力	TGRA_4 のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCB4	入出力	TGRB_4 のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
5	TIOCA5	入出力	TGRA_5 のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCB5	入出力	TGRB_5 のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子

9.3 レジスタの説明

TPU には、以下のレジスタがあります。

チャンネル 0 :

- タイマコントロールレジスタ_0 (TCR_0)
- タイマモードレジスタ_0 (TMDR_0)
- タイマI/OコントロールレジスタH_0 (TIORH_0)
- タイマI/OコントロールレジスタL_0 (TIORL_0)
- タイマインタラプトイネーブルレジスタ_0 (TIER_0)
- タイマステータスレジスタ_0 (TSR_0)
- タイマカウンタ_0 (TCNT_0)
- タイマジェネラルレジスタA_0 (TGRA_0)
- タイマジェネラルレジスタB_0 (TGRB_0)
- タイマジェネラルレジスタC_0 (TGRC_0)
- タイマジェネラルレジスタD_0 (TGRD_0)

チャンネル 1 :

- タイマコントロールレジスタ_1 (TCR_1)
- タイマモードレジスタ_1 (TMDR_1)
- タイマI/Oコントロールレジスタ_1 (TIOR_1)
- タイマインタラプトイネーブルレジスタ_1 (TIER_1)
- タイマステータスレジスタ_1 (TSR_1)
- タイマカウンタ_1 (TCNT_1)
- タイマジェネラルレジスタA_1 (TGRA_1)
- タイマジェネラルレジスタB_1 (TGRB_1)

チャンネル 2 :

- タイマコントロールレジスタ_2 (TCR_2)
- タイマモードレジスタ_2 (TMDR_2)
- タイマI/Oコントロールレジスタ_2 (TIOR_2)
- タイマインタラプトイネーブルレジスタ_2 (TIER_2)
- タイマステータスレジスタ_2 (TSR_2)
- タイマカウンタ_2 (TCNT_2)
- タイマジェネラルレジスタA_2 (TGRA_2)
- タイマジェネラルレジスタB_2 (TGRB_2)

チャンネル3:

- タイマコントロールレジスタ_3 (TCR_3)
- タイマモードレジスタ_3 (TMDR_3)
- タイマI/OコントロールレジスタH_3 (TIORH_3)
- タイマI/OコントロールレジスタL_3 (TIORL_3)
- タイマインタラプトイネーブルレジスタ_3 (TIER_3)
- タイマステータスレジスタ_3 (TSR_3)
- タイマカウンタ_3 (TCNT_3)
- タイマジェネラルレジスタA_3 (TGRA_3)
- タイマジェネラルレジスタB_3 (TGRB_3)
- タイマジェネラルレジスタC_3 (TGRC_3)
- タイマジェネラルレジスタD_3 (TGRD_3)

チャンネル4:

- タイマコントロールレジスタ_4 (TCR_4)
- タイマモードレジスタ_4 (TMDR_4)
- タイマI/Oコントロールレジスタ_4 (TIOR_4)
- タイマインタラプトイネーブルレジスタ_4 (TIER_4)
- タイマステータスレジスタ_4 (TSR_4)
- タイマカウンタ_4 (TCNT_4)
- タイマジェネラルレジスタA_4 (TGRA_4)
- タイマジェネラルレジスタB_4 (TGRB_4)

チャンネル5:

- タイマコントロールレジスタ_5 (TCR_5)
- タイマモードレジスタ_5 (TMDR_5)
- タイマI/Oコントロールレジスタ_5 (TIOR_5)
- タイマインタラプトイネーブルレジスタ_5 (TIER_5)
- タイマステータスレジスタ_5 (TSR_5)
- タイマカウンタ_5 (TCNT_5)
- タイマジェネラルレジスタA_5 (TGRA_5)
- タイマジェネラルレジスタB_5 (TGRB_5)

共通:

- タイマスタートレジスタ (TSTR)
- タイマシンクロレジスタ (TSYR)

9. 16 ビットタイマパルスユニット (TPU)

9.3.1 タイマコントロールレジスタ (TCR)

TCR は各チャンネルの TCNT を制御します。TPU には、各チャンネルに 1 本、計 6 本の TCR があります。TCR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	7	6	5	4	3	2	1	0
ビット名	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	CCLR2	0	R/W	カウンタクリア 2、1、0 TCNT のカウンタクリア要因を選択します。詳細は表 9.3、表 9.4 を参照してください。
6	CCLR1	0	R/W	
5	CCLR0	0	R/W	
4	CKEG1	0	R/W	クロックエッジ 1、0 入力クロックのエッジを選択します。詳細は表 9.5 を参照してください。内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります (例: $P/4$ の両エッジ = $P/2$ の立ち上がりエッジ)。チャンネル 1、2、4、5 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックが $P/4$ もしくはそれより遅い場合に有効です。入力クロックに $P/1$ 、あるいは他のチャンネルのオーバフロー/アンダフローを選択した場合、本設定は無視されます。
3	CKEG0	0	R/W	
2	TPSC2	0	R/W	タイマプリスケラ 2、1、0 TCNT のカウンタクロックを選択します。各チャンネル個別にクロックソースを選択することができます。詳細は表 9.6 ~ 表 9.11 を参照してください。クロックソースに外部クロックを選択する場合は、該当する端子の DDR ビットを 0 に、ICR ビットを 1 に設定してください。詳細は「8. I/O ポート」を参照してください。
1	TPSC1	0	R/W	
0	TPSC0	0	R/W	

表 9.3 CCLR2~CCLR0 (チャンネル 0、3)

チャンネル	ビット 7	ビット 6	ビット 5	説 明
	CCLR2	CCLR1	CCLR0	
0、3	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	1	同期クリア / 同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア*1
	1	0	0	TCNT のクリア禁止
	1	0	1	TGRC のコンペアマッチ / インพุットキャプチャで TCNT クリア*2
	1	1	0	TGRD のコンペアマッチ / インพุットキャプチャで TCNT クリア*2
	1	1	1	同期クリア / 同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア*1

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 TGRC または TGRD をバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ / インพุットキャプチャが発生しないため、TCNT はクリアされません。

表 9.4 CCLR2~CCLR0 (チャンネル 1、2、4、5)

チャンネル	ビット 7	ビット 6	ビット 5	説 明
	リザーブ*2	CCLR1	CCLR0	
1、2、 4、5	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	1	同期クリア / 同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア*1

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 チャンネル 1、2、4、5 ではビット 7 はリザーブです。リードすると常に 0 がリードされます。ライトは無効です。

表 9.5 入力クロックエッジ選択

クロックエッジ選択		入力クロック	
CKEG1	CKEG0	内部クロック	外部クロック
0	0	立ち下がりエッジでカウント	立ち上がりエッジでカウント
0	1	立ち上がりエッジでカウント	立ち下がりエッジでカウント
1	x	両エッジでカウント	両エッジでカウント

【記号説明】 x : Don't care

9. 16 ビットタイマパルスユニット (TPU)

表 9.6 TPSC2~TPSC0 (チャンネル0)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック : P /1 でカウント
	0	0	1	内部クロック : P /4 でカウント
	0	1	0	内部クロック : P /16 でカウント
	0	1	1	内部クロック : P /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	外部クロック : TCLKD 端子入力でカウント

表 9.7 TPSC2~TPSC0 (チャンネル1)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック : P /1 でカウント
	0	0	1	内部クロック : P /4 でカウント
	0	1	0	内部クロック : P /16 でカウント
	0	1	1	内部クロック : P /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	内部クロック : P /256 でカウント
	1	1	1	TCNT2 のオーバフロー / アンダフローでカウント

【注】チャンネル1 が位相計数モード時、この設定は無効になります。

表 9.8 TPSC2~TPSC0 (チャンネル2)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック : P /1 でカウント
	0	0	1	内部クロック : P /4 でカウント
	0	1	0	内部クロック : P /16 でカウント
	0	1	1	内部クロック : P /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	内部クロック : P /1024 でカウント

【注】チャンネル2 が位相計数モード時、この設定は無効になります。

表 9.9 TPSC2~TPSC0 (チャンネル3)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
3	0	0	0	内部クロック : P /1 でカウント
	0	0	1	内部クロック : P /4 でカウント
	0	1	0	内部クロック : P /16 でカウント
	0	1	1	内部クロック : P /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	内部クロック : P /1024 でカウント
	1	1	0	内部クロック : P /256 でカウント
	1	1	1	内部クロック : P /4096 でカウント

表 9.10 TPSC2~TPSC0 (チャンネル4)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
4	0	0	0	内部クロック : P /1 でカウント
	0	0	1	内部クロック : P /4 でカウント
	0	1	0	内部クロック : P /16 でカウント
	0	1	1	内部クロック : P /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKC 端子入力でカウント
	1	1	0	内部クロック : P /1024 でカウント
	1	1	1	TCNT5 のオーバフロー / アンダフローでカウント

【注】 チャンネル4 が位相計数モード時、この設定は無効になります。

表 9.11 TPSC2~TPSC0 (チャンネル5)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
5	0	0	0	内部クロック : P /1 でカウント
	0	0	1	内部クロック : P /4 でカウント
	0	1	0	内部クロック : P /16 でカウント
	0	1	1	内部クロック : P /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKC 端子入力でカウント
	1	1	0	内部クロック : P /256 でカウント
	1	1	1	外部クロック : TCLKD 端子入力でカウント

【注】 チャンネル5 が位相計数モード時、この設定は無効になります。

9. 16 ビットタイマパルスユニット (TPU)

9.3.2 タイマモードレジスタ (TMDR)

TMDR は、各チャンネルの動作モードの設定を行います。TPU には、各チャンネルに 1 本、計 6 本の TMDR があります。TMDR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	7	6	5	4	3	2	1	0
ビット名	-	-	BFB	BFA	MD3	MD2	MD1	MD0
初期値:	1	1	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて 1	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。
5	BFB	0	R/W	バッファ動作 B TGRB を通常動作させるか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。TGRD をバッファレジスタとして使用した場合は、TGRD のインプットキャプチャ/アウトプットコンペアは発生しません。 TGRD を持たないチャンネル 1、2、4、5 ではこのビットはリザーブビットになります。リードすると常に 0 が読み出されます。ライトは無効です。 0 : TGRB は通常動作 1 : TGRB と TGRD はバッファ動作
4	BFA	0	R/W	バッファ動作 A TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します。TGRC をバッファレジスタとして使用した場合は、TGRC のインプットキャプチャ/アウトプットコンペアは発生しません。 TGRC を持たないチャンネル 1、2、4、5 ではこのビットはリザーブビットになります。リードすると常に 0 が読み出されます。ライトは無効です。 0 : TGRA は通常動作 1 : TGRA と TGRC はバッファ動作
3	MD3	0	R/W	モード 3~0
2	MD2	0	R/W	MD3~MD0 はタイマの動作モードを設定します。
1	MD1	0	R/W	MD3 はリザーブビットです。ライト時には常に 0 としてください。
0	MD0	0	R/W	詳細は表 9.12 を参照してください。

表 9.12 MD3~MD0

ビット3	ビット2	ビット1	ビット0	説明
MD3* ¹	MD2* ²	MD1	MD0	
0	0	0	0	通常動作
0	0	0	1	リザーブ
0	0	1	0	PWM モード 1
0	0	1	1	PWM モード 2
0	1	0	0	位相計数モード 1
0	1	0	1	位相計数モード 2
0	1	1	0	位相計数モード 3
0	1	1	1	位相計数モード 4
1	x	x	x	-

【記号説明】 x : Don't care

【注】 *1 MD3 はリザーブビットです。ライト時には常に 0 としてください。

*2 チャンネル 0、3 では、位相計数モードの設定はできません。MD2 には常に 0 をライトしてください。

9.3.3 タイマ I/O コントロールレジスタ (TIOR)

TIOR は TGR を制御します。TPU には、チャンネル 0、3 に各 2 本、チャンネル 1、2、4、5 に各 1 本、計 8 本の TIOR があります。TIOR は TMDR の設定により影響を受けますので注意してください。

TIOR で指定した初期出力はカウンタが停止した状態 (TSTR の CST ビットを 0 にクリアした) で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

TGRC あるいは TGRD をバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

TIOR にインプットキャプチャ端子として設定する場合は、該当する端子の DDR ビットを 0 に、ICR ビットを 1 に設定してください。詳細は「8. I/O ポート」を参照してください。

・ TIORH_0、TIOR_1、TIOR_2、TIORH_3、TIOR_4、TIOR_5

ビット	7	6	5	4	3	2	1	0
ビット名	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

・ TIORL_0、TIORL_3

ビット	7	6	5	4	3	2	1	0
ビット名	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

9. 16 ビットタイマパルスユニット (TPU)

- TIORH_0、TIOR_1、TIOR_2、TIORH_3、TIOR_4、TIOR_5

ビット	ビット名	初期値	R/W	説 明
7	IOB3	0	R/W	I/O コントロール B3 ~ B0 TGRB の機能を設定します。詳細は表 9.13、表 9.15、表 9.16、表 9.17、表 9.19、表 9.20 を参照してください。
6	IOB2	0	R/W	
5	IOB1	0	R/W	
4	IOB0	0	R/W	
3	IOA3	0	R/W	I/O コントロール A3 ~ A0 TGRA の機能を設定します。詳細は表 9.21、表 9.23、表 9.24、表 9.25、表 9.27、表 9.28 を参照してください。
2	IOA2	0	R/W	
1	IOA1	0	R/W	
0	IOA0	0	R/W	

- TIORL_0、TIORL_3

ビット	ビット名	初期値	R/W	説 明
7	IOD3	0	R/W	I/O コントロール D3 ~ D0 TGRD の機能を設定します。詳細は表 9.14、表 9.18 を参照してください。
6	IOD2	0	R/W	
5	IOD1	0	R/W	
4	IOD0	0	R/W	
3	IOC3	0	R/W	I/O コントロール C3 ~ C0 TGRC の機能を設定します。詳細は表 9.22、表 9.26 を参照してください。
2	IOC2	0	R/W	
1	IOC1	0	R/W	
0	IOC0	0	R/W	

表 9.13 TIORH_0

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_0 の機能	TIOCB0 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCB0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCB0 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ*

【記号説明】 x : Don't care

【注】 * TCR_1 の TPSC2 ~ TPSC0 ビットを B'000 とし、TCNT_1 のカウントクロックに P /1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

9. 16 ビットタイマパルスユニット (TPU)

表 9.14 TIORL_0

ビット7	ビット6	ビット5	ビット4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_0 の機能	TIOCD0 端子の機能
0	0	0	0	アウトプットコンペアレジスタ* ²	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ* ²	キャプチャ入力元は TIOCD0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCD0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCD0 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ* ¹

【記号説明】 x : Don't care

【注】 *1 TCR_1 の TPSC2 ~ TPSC0 ビットを B'000 とし、TCNT_1 のカウントクロックに P /1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

*2 TMDR_0 の BFB ビットを 1 にセットして TGRD_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

9. 16 ビットタイムパルスユニット (TPU)

表 9.15 TIOR_1

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_1 の機能	TIOCB1 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCB1 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB1 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCB1 端子 両エッジでインプットキャプチャ
1	1	x	x		TGRC_0 コンペアマッチ / インプットキャプチャ TGRC_0 のコンペアマッチ / インプットキャプチャ の発生でインプットキャプチャ

【記号説明】 x : Don't care

9. 16 ビットタイマパルスユニット (TPU)

表 9.16 TIOR_2

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_2 の機能	TIOCB2 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB2 端子 立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元は TIOCB2 端子 立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元は TIOCB2 端子 両エッジでインプットキャプチャ

【記号説明】 x : Don't care

表 9.17 TIORH_3

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_3 の機能	TIOCB3 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCB3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCB3 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネル 4 / カウントクロック TCNT_4 のカウントアップ / カウントダウンでイン プットキャプチャ*

【記号説明】 x : Don't care

【注】 * TCR_4 の TPSC2 ~ TPSC0 ビットを B'000 とし、TCNT_4 のカウントクロックに P /1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

9. 16 ビットタイマパルスユニット (TPU)

表 9.18 TIORL_3

ビット7	ビット6	ビット5	ビット4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_3 の機能	TIOCD3 端子の機能
0	0	0	0	アウトプットコンペアレジスタ* ²	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ* ²	キャプチャ入力元は TIOCD3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCD3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCD3 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネル 4 / カウントクロック TCNT_4 のカウントアップ / カウントダウンでイン プットキャプチャ* ¹

【記号説明】 x : Don't care

【注】 *1 TCR_4 の TPSC2 ~ TPSC0 ビットを B'000 とし、TCNT_4 のカウントクロックに P /1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

*2 TMDR_3 の BFB ビットを 1 にセットして TGRD_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

9. 16 ビットタイマパルスユニット (TPU)

表 9.19 TIOR_4

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_4 の機能	TIOCB4 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCB4 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB4 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCB4 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元は TGRC_3 コンペアマッチ / イン プットキャプチャ TGRC_3 のコンペアマッチ / インプットキャプチャ の発生でインプットキャプチャ

【記号説明】 x : Don't care

9. 16 ビットタイマパルスユニット (TPU)

表 9.20 TIOR_5

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_5の機能	TIOCB5 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB5 端子 立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元は TIOCB5 端子 立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元は TIOCB5 端子 両エッジでインプットキャプチャ

【記号説明】 x : Don't care

表 9.21 TIORH_0

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_0 の機能	TIOCA0 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCA0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCA0 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

9. 16 ビットタイマパルスユニット (TPU)

表 9.22 TIORL_0

ビット3	ビット2	ビット1	ビット0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_0 の機能	TIOCC0 の端子の機能
0	0	0	0	アウトプットコンペアレジスタ*	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*	キャプチャ入力元は TIOCC0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCC0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCC0 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 * TMDR_0 の BFA ビットを 1 にセットして TGRC_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

9. 16 ビットタイムパルスユニット (TPU)

表 9.23 TIOR_1

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_1 の機能	TIOCA1 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCA1 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA1 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCA1 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元は TGRA_0 コンペアマッチ / イン プットキャプチャ チャンネル 0/TGRA_0 のコンペアマッチ / インプット キャプチャの発生でインプットキャプチャ

【記号説明】 x : Don't care

9. 16 ビットタイマパルスユニット (TPU)

表 9.24 TIOR_2

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_2 の機能	TIOCA2 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA2 端子 立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元は TIOCA2 端子 立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元は TIOCA2 端子 両エッジでインプットキャプチャ

【記号説明】 x : Don't care

表 9.25 TIORH_3

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_3 の機能	TIOCA3 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCA3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCA3 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネル 4 / カウントクロック TCNT_4 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

9. 16 ビットタイマパルスユニット (TPU)

表 9.26 TIORL_3

ビット3	ビット2	ビット1	ビット0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_3 の端子	TIOCC3 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*	キャプチャ入力元は TIOCC3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCC3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCC3 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 4 / カウントクロック TCNT_4 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 * TMDR_3 の BFA ビットを 1 にセットして TGRC_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

表 9.27 TIOR_4

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_4 の機能	TIOCA4 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCA4 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA4 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCA4 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元は TGRA_3 コンペアマッチ / イン プットキャプチャ TGRA_3 のコンペアマッチ / インプットキャプチャ の発生でインプットキャプチャ

【記号説明】 x : Don't care

9. 16 ビットタイマパルスユニット (TPU)

表 9.28 TIOR_5

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_5の機能	TIOCA5 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA5 端子 立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元は TIOCA5 端子 立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元は TIOCA5 端子 両エッジでインプットキャプチャ

【記号説明】 x : Don't care

9.3.4 タイマインタラプトイネーブルレジスタ (TIER)

TIER は、各チャンネルの割り込み要求の許可、禁止を制御します。TPU には、各チャンネルに 1 本、計 6 本の TIER があります。

ビット	7	6	5	4	3	2	1	0
ビット名	TTGE	-	TCIEU	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
初期値:	0	1	0	0	0	0	0	0
R/W:	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TTGE	0	R/W	A/D 変換開始要求イネーブル TGRA のインプットキャプチャ / コンペアマッチによる A/D 変換器開始要求の発生を許可または禁止します。 0 : A/D 変換開始要求の発生を禁止 1 : A/D 変換開始要求の発生を許可
6	-	1	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
5	TCIEU	0	R/W	アンダフローインタラプトイネーブル チャンネル 1、2、4、5 で TSR の TCFU フラグが 1 にセットされたとき、TCFU フラグによる割り込み要求 (TCIU) を許可または禁止します。 チャンネル 0、3 ではリザーブビットです。 リードすると常に 0 がリードされます。ライトは無効です。 0 : TCFU による割り込み要求 (TCIU) を禁止 1 : TCFU による割り込み要求 (TCIU) を許可
4	TCIEV	0	R/W	オーバフローインタラプトイネーブル TSR の TCFV フラグが 1 にセットされたとき、TCFV フラグによる割り込み要求 (TCIV) を許可または禁止します。 0 : TCFV による割り込み要求 (TCIV) を禁止 1 : TCFV による割り込み要求 (TCIV) を許可
3	TGIED	0	R/W	TGR インタラプトイネーブル D チャンネル 0、3 で TSR の TGFD ビットが 1 にセットされたとき、TGFD ビットによる割り込み要求 (TGID) を許可または禁止します。チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。 0 : TGFD ビットによる割り込み要求 (TGID) を禁止 1 : TGFD ビットによる割り込み要求 (TGID) を許可

9. 16 ビットタイムパルスユニット (TPU)

ビット	ビット名	初期値	R/W	説明
2	TGIEC	0	R/W	TGR インタラプトイネーブル C チャンネル 0、3 で TSR の TGFC ビットが 1 にセットされたとき、TGFC ビットによる割り込み要求 (TGIC) を許可または禁止します。 チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。 0 : TGFC ビットによる割り込み要求 (TGIC) を禁止 1 : TGFC ビットによる割り込み要求 (TGIC) を許可
1	TGIEB	0	R/W	TGR インタラプトイネーブル B TSR の TGFB ビットが 1 にセットされたとき、TGFB ビットによる割り込み要求 (TGIB) を許可または禁止します。 0 : TGFB ビットによる割り込み要求 (TGIB) を禁止 1 : TGFB ビットによる割り込み要求 (TGIB) を許可
0	TGIEA	0	R/W	TGR インタラプトイネーブル A TSR の TGFA ビットが 1 にセットされたとき、TGFA ビットによる割り込み要求 (TGIA) を許可または禁止します。 0 : TGFA ビットによる割り込み要求 (TGIA) を禁止 1 : TGFA ビットによる割り込み要求 (TGIA) を許可

9.3.5 タイマステータスレジスタ (TSR)

TSR は、各チャンネルのステータスの表示を行います。TPU には、各チャンネルに 1 本、計 6 本の TSR があります。

ビット	7	6	5	4	3	2	1	0
ビット名	TCFD	-	TCFU	TCFV	TGFD	TGFC	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするための 0 ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	TCFD	1	R	カウント方向フラグ チャンネル 1、2、4、5 の TCNT のカウント方向を示すステータスフラグです。 チャンネル 0、3 ではリザーブビットです。リードすると常に 1 がリードされます。ライトは無効です。 0 : TCNT はダウンカウント 1 : TCNT はアップカウント
6	-	1	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。

9. 16 ビットタイムパルスユニット (TPU)

ビット	ビット名	初期値	R/W	説 明
5	TCFU	0	R/(W)*	<p>アンダフローフラグ</p> <p>チャンネル 1、2、4、5 が位相計数モードのとき、TCNT のアンダフローの発生を示すステータスフラグです。</p> <p>チャンネル 0、3 ではリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TCNT の値がアンダフロー (H'0000 H'FFFF) したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TCFU = 1 の状態で TCFU をリード後、TCFU に 0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください)
4	TCFV	0	R/(W)*	<p>オーバフローフラグ (TCFV)</p> <p>TCNT のオーバフローの発生を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TCNT の値がオーバフローしたとき (H'FFFF H'0000) <p>[クリア条件]</p> <ul style="list-style-type: none"> • TCFV = 1 の状態で TCFV をリード後、TCFV に 0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください)
3	TGFD	0	R/(W)*	<p>インプットキャプチャ / アウトプットコンペアフラグ D</p> <p>チャンネル 0、3 の TGRD のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRD がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRD になったとき • TGRD がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRD に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGFD = 1 の状態で TGFD をリード後、TGFD に 0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください)

9. 16 ビットタイマパルスユニット (TPU)

ビット	ビット名	初期値	R/W	説明
2	TGFC	0	R/(W)*	<p>インプットキャプチャ/アウトプットコンペアフラグ C</p> <p>チャンネル 0、3 の TGRC のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRC がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRC になったとき • TGRC がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRC に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGFC = 1 の状態で TGFC をリード後、TGFC に 0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください)
1	TGFB	0	R/(W)*	<p>インプットキャプチャ/アウトプットコンペアフラグ B</p> <p>TGRB のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRB がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRB になったとき • TGRB がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRB に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGFB = 1 の状態で TGFB をリード後、TGFB に 0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください)
0	TGFA	0	R/(W)*	<p>インプットキャプチャ/アウトプットコンペアフラグ A</p> <p>TGRA のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRA がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRA になったとき • TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIA 割り込みにより DMAC が起動され、DMAC の DMDR の DTA ビットが 1 のとき • TGFA = 1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください)

【注】 * フラグをクリアするための 0 ライトのみ可能です。

9.3.6 タイマカウンタ (TCNT)

TCNTは16ビットのリード/ライト可能なカウンタです。各チャンネルに1本、計6本のTCNTがあります。

TCNTは、リセットまたはハードウェアスタンバイモード時にH'0000に初期化されます。

TCNTの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

9.3.7 タイマジェネラルレジスタ (TGR)

TGRは16ビットのリード/ライト可能なアウトプットコンペア/インプットキャプチャ兼用のレジスタです。

チャンネル0、3に各4本、チャンネル1、2、4、5に各2本、計16本のジェネラルレジスタがあります。チャンネル0、3のTGRCとTGRDは、バッファレジスタとして動作設定することができます。TGRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。バッファ動作時のTGRとバッファレジスタの組み合わせは、TGRA - TGRC、TGRB - TGRDになります。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

9.3.8 タイマスタートレジスタ (TSTR)

TSTRは、チャンネル0~5のTCNTの動作/停止を選択します。TMDRへ動作モードを設定する場合やTCRへTCNTのカウントクロックを設定する場合は、TCNTのカウント動作を停止してから行ってください。

ビット	7	6	5	4	3	2	1	0
ビット名	-	-	CST5	CST4	CST3	CST2	CST1	CST0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

9. 16 ビットタイマパルスユニット (TPU)

ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて 0	R/W	リザーブビット リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
5	CST5	0	R/W	カウンタスタート 5-0
4	CST4	0	R/W	TCNT の動作または停止を選択します。
3	CST3	0	R/W	TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタ
2	CST2	0	R/W	は停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持され
1	CST1	0	R/W	ます。CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出
0	CST0	0	R/W	力値に端子の出力レベルが更新されます。 0 : TCNT_5 ~ TCNT_0 のカウント動作は停止 1 : TCNT_5 ~ TCNT_0 はカウント動作

9.3.9 タイマシンクロレジスタ (TSYR)

TSYR は、チャンネル 0~5 の TCNT の独立動作または同期動作を選択します。対応するビットを 1 にセットしたチャンネルが同期動作を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	-	-	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて 0	R/W	リザーブビット リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
5	SYNC5	0	R/W	タイマ同期 5-0
4	SYNC4	0	R/W	他のチャンネルとの独立動作または同期動作を選択します。
3	SYNC3	0	R/W	同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカ
2	SYNC2	0	R/W	ウンタクリアによる同期クリアが可能となります。
1	SYNC1	0	R/W	同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要
0	SYNC0	0	R/W	があります。同期クリアの設定には、SYNC ビットの他に TCR の CCLR2 ~ CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。 0 : TCNT_5 ~ TCNT_0 は独立動作 (TCNT のプリセット / クリアは他チャ ネルと無関係) 1 : TCNT_5 ~ TCNT_0 は同期動作 TCNT の同期プリセット / 同期クリアが可能

9.4 動作説明

9.4.1 基本動作

各チャンネルには、TCNT と TGR があります。TCNT は、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

TGR は、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(1) カウンタの動作

TSTR の CST0 ~ CST5 ビットを 1 にセットすると、対応するチャンネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図 9.2 に示します。

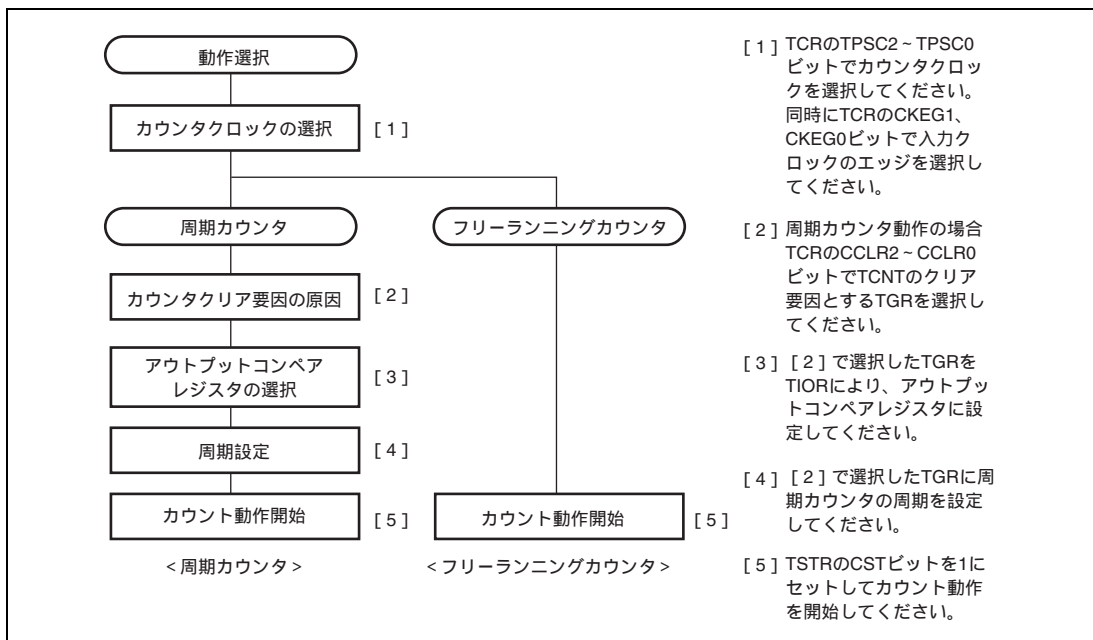


図 9.2 カウンタ動作設定手順例

9. 16ビットタイマパルスユニット (TPU)

(b) フリーランニングカウンタ動作と周期カウンタ動作

TPU の TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT がオーバーフロー (H'FFFF H'0000) すると、TSR の TCFV ビットが 1 にセットされます。このとき、対応する TIER の TCIEV ビットが 1 ならば、TPU は割り込みを要求します。TCNT はオーバーフロー後、H'0000 からアップカウント動作を継続します。

フリーランニングカウンタの動作を図 9.3 に示します。

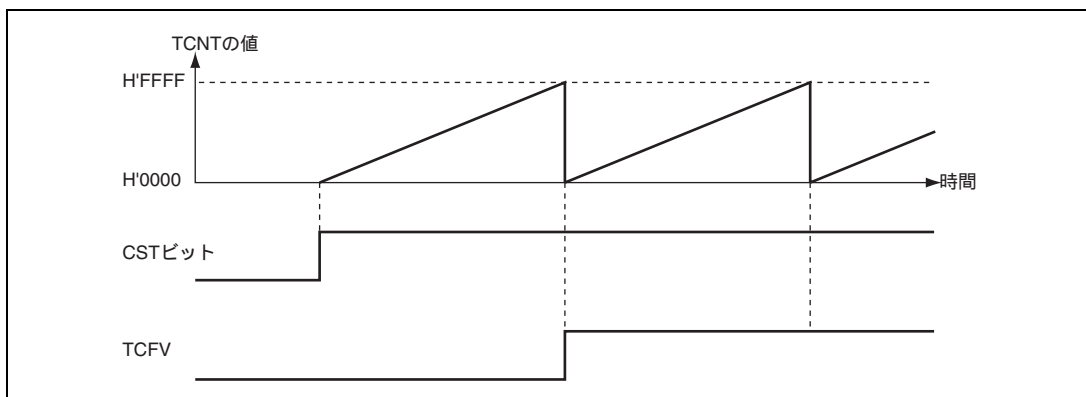


図 9.3 フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャンネルの TCNT は周期カウンタ動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、TCR の CCLR2 ~ CCLR0 ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTR の対応するビットを 1 にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値が TGR の値と一致すると、TSR の TGF ビットが 1 にセットされ、TCNT は H'0000 にクリアされます。

このとき対応する TIER の TGIE ビットが 1 ならば、TPU は割り込みを要求します。TCNT はコンペアマッチ後、H'0000 からアップカウント動作を継続します。

周期カウンタの動作を図 9.4 に示します。

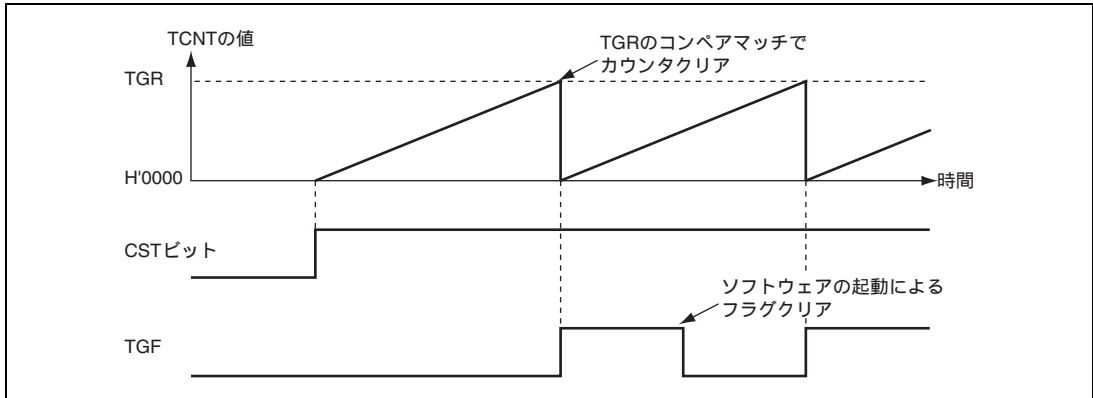


図 9.4 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

TPU は、コンペアマッチにより対応する出力端子から 0 出力 / 1 出力 / トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 9.5 に示します。

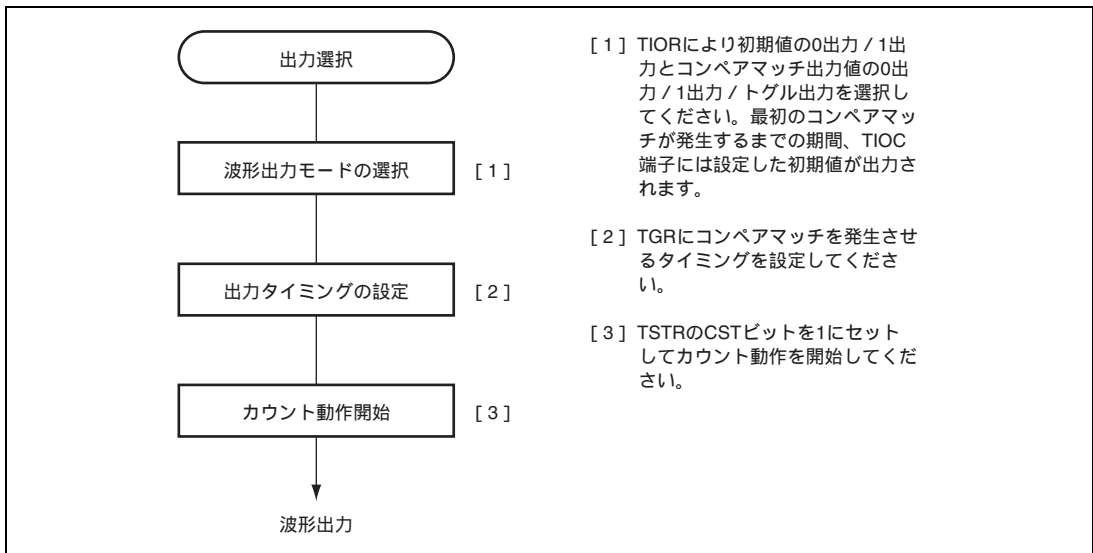


図 9.5 コンペアマッチによる波形出力動作例

9. 16ビットタイマパルスユニット (TPU)

(b) 波形出力動作例

0出力 / 1出力例を図 9.6 に示します。

TCNT をフリーランニングカウント動作とし、コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

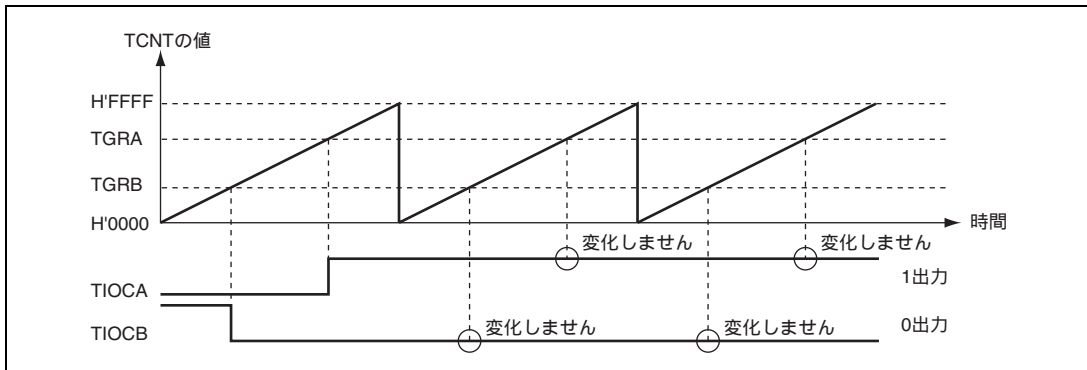


図 9.6 0出力 / 1出力の動作例

トグル出力の例を図 9.7 に示します。

TCNT を周期カウント動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

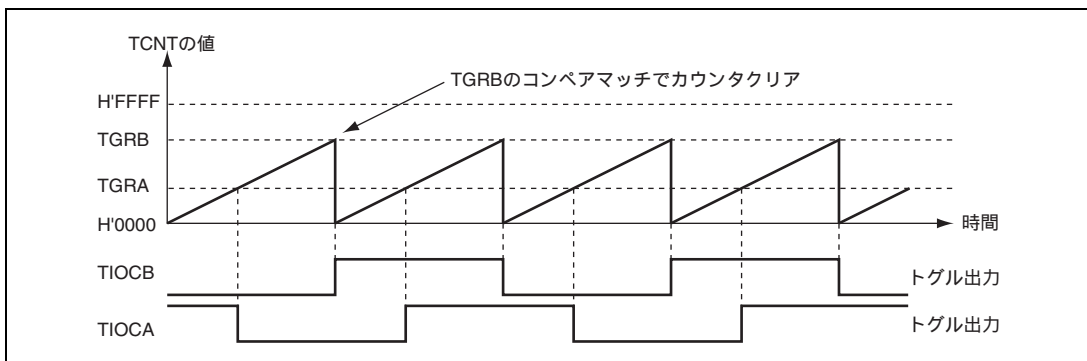


図 9.7 トグル出力の動作例

(3) インพุットキャプチャ機能

TIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。

検出エッジは立ち上がりエッジ / 立ち下がりエッジ / 両エッジから選択できます。また、チャンネル 0、1、3、4 は別のチャンネルのカウンタ入力クロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

【注】 チャンネル 0、3 で別のチャンネルのカウンタ入力クロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウンタ入力クロックに P /1 を選択しないでください。P /1 を選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 9.8 に示します。

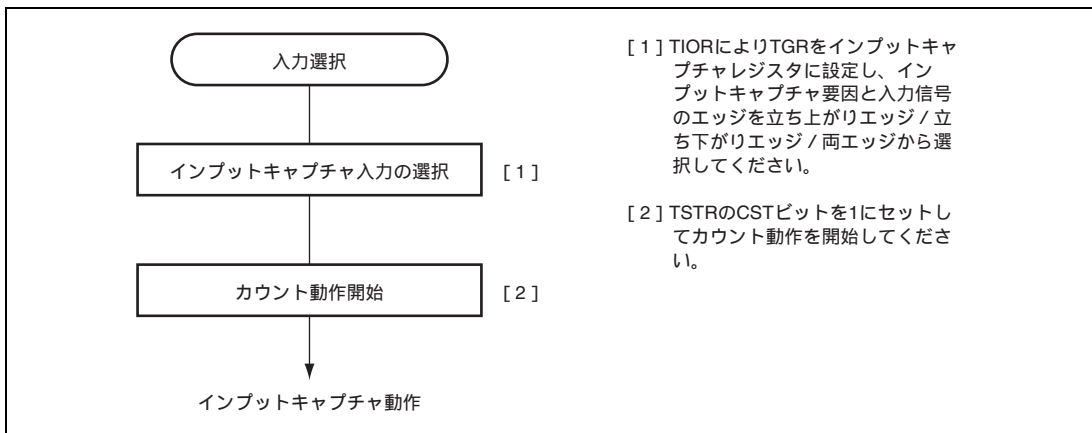


図 9.8 インพุットキャプチャ動作の設定例

9. 16ビットタイマパルスユニット (TPU)

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図9.9に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下がり両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

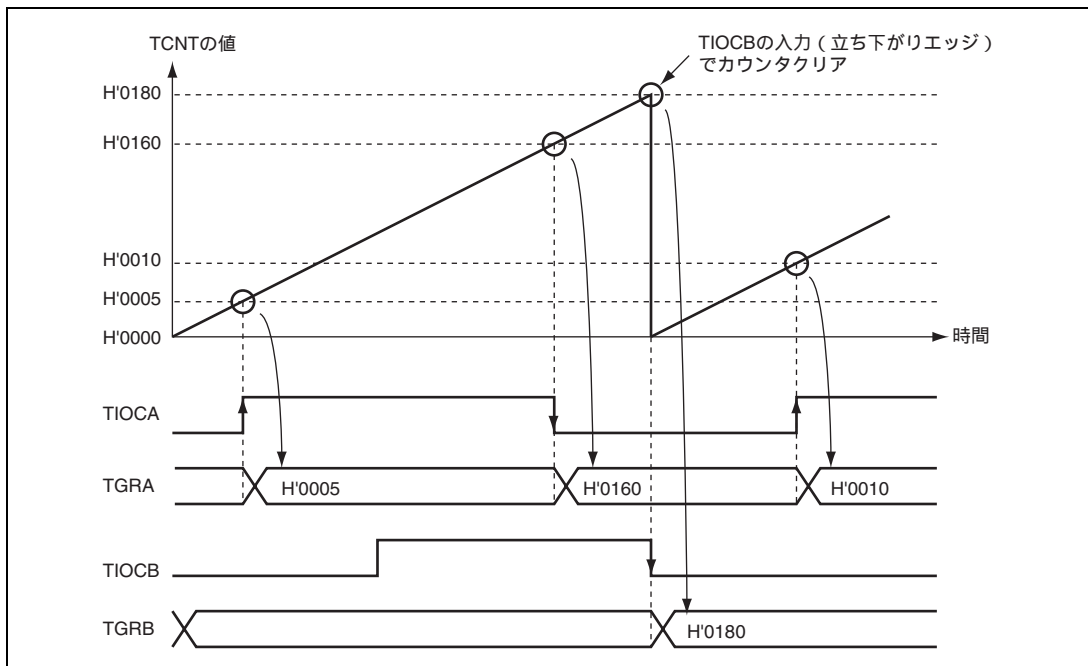


図9.9 インพุットキャプチャ動作例

9.4.2 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます (同期プリセット)。また、TCR の設定により複数の TCNT を同時にクリアすることができます (同期クリア)。

同期動作により、1つのタイムベースに対して TGR を増加することができます。

チャンネル 0~5 はすべて同期動作の設定が可能です。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 9.10 に示します。

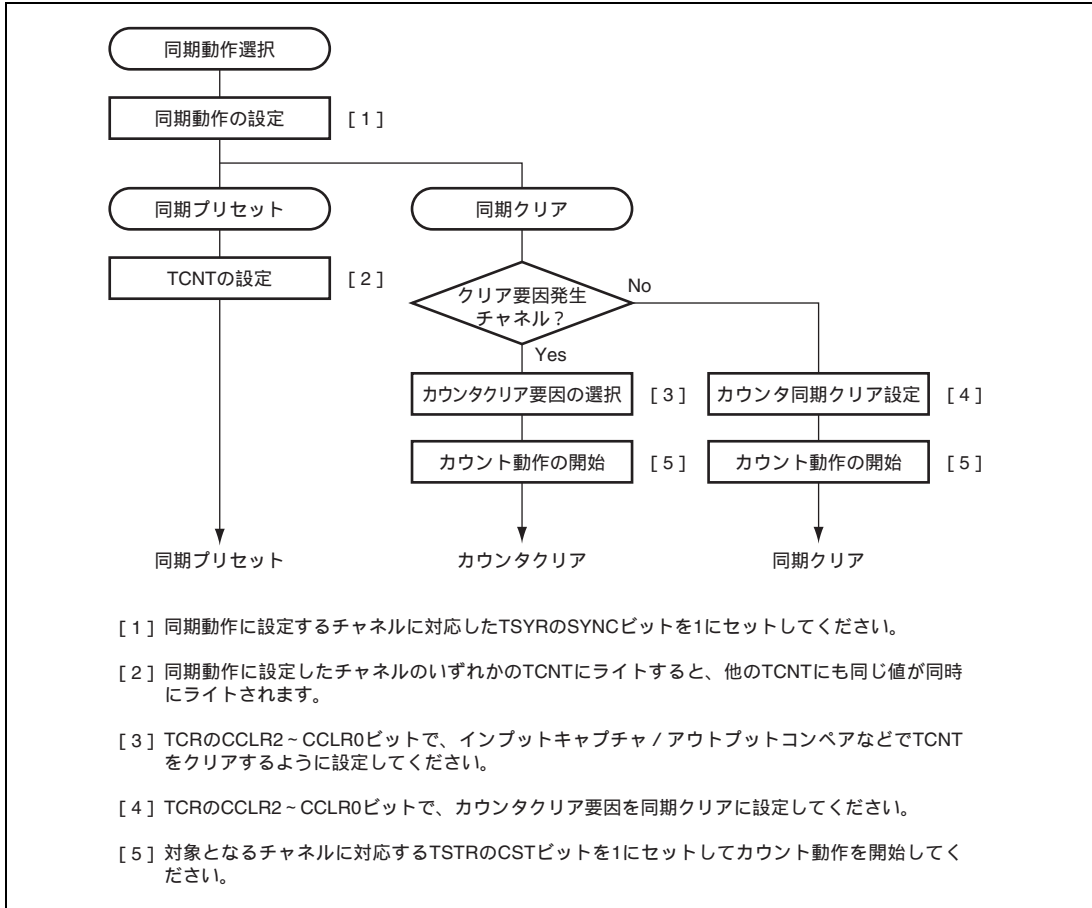


図 9.10 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 9.11 に示します。

チャンネル0～2を同期動作かつPWMモード1に設定し、チャンネル0のカウンタクリア要因をTGRB_0のコンペアマッチ、またチャンネル1、2のカウンタクリア要因を同期クリアに設定した場合の例です。

3相のPWM波形をTIOCA0、TIOCA1、TIOCA2端子から出力します。このとき、チャンネル0～2のTCNTは同期プリセット、TGRB_0のコンペアマッチによる同期クリアを行い、TGRB_0に設定したデータがPWM周期となります。

PWMモードについては、「9.4.5 PWMモード」を参照してください。

9. 16ビットタイマパルスユニット (TPU)

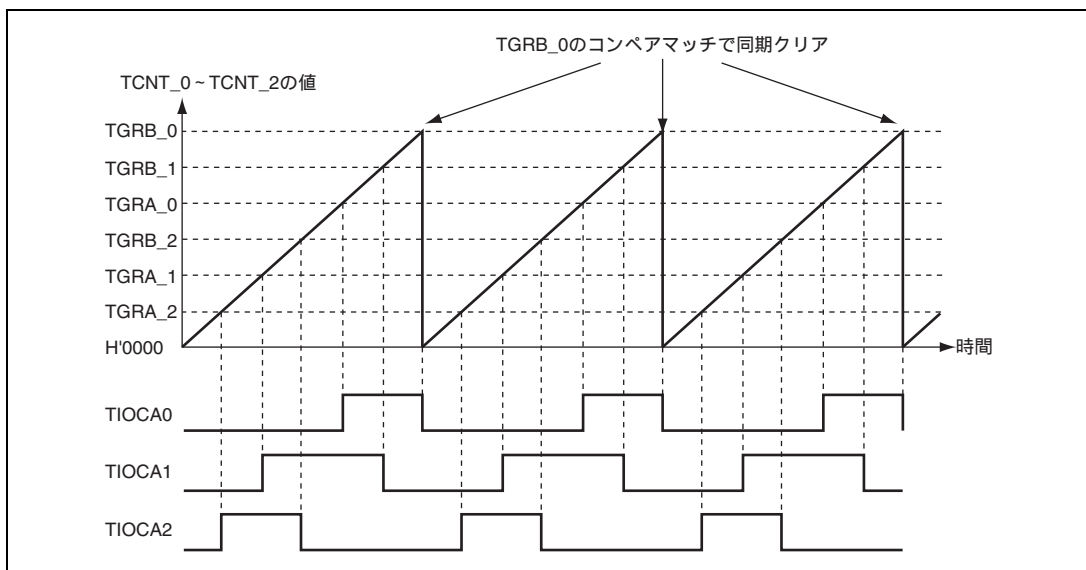


図 9.11 同期動作の動作例

9.4.3 バッファ動作

バッファ動作は、チャンネル0、3が持つ機能です。TGRCとTGRDをバッファレジスタとして使用することができます。

バッファ動作は、TGRをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

表 9.29 にバッファ動作時のレジスタの組み合わせを示します。

表 9.29 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
0	TGRA_0	TGRC_0
	TGRB_0	TGRD_0
3	TGRA_3	TGRC_3
	TGRB_3	TGRD_3

- TGRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 9.12 に示します。

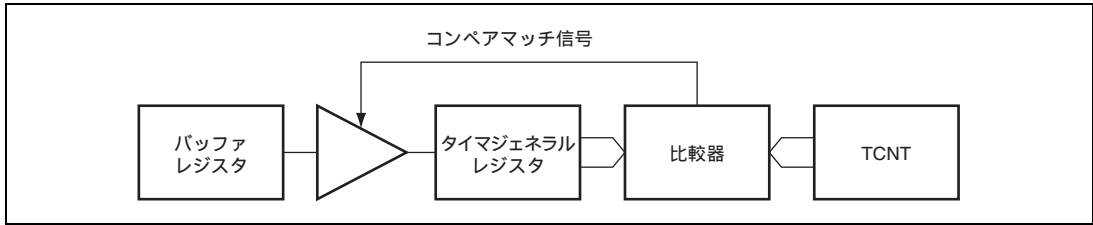


図 9.12 コンペアマッチバッファ動作

- TGRがインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値を TGR に転送すると同時に、それまで格納されていた TGR の値をバッファレジスタに転送します。

この動作を図 9.13 に示します。

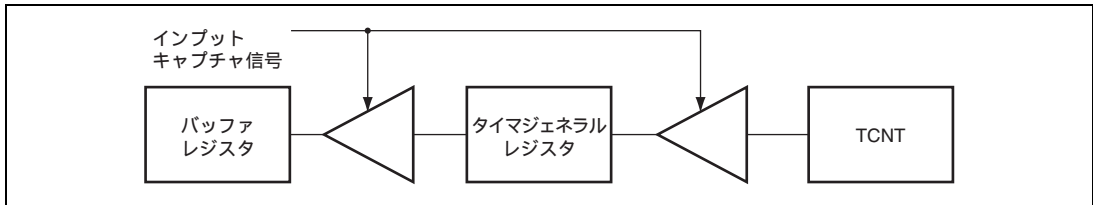


図 9.13 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 9.14 に示します。

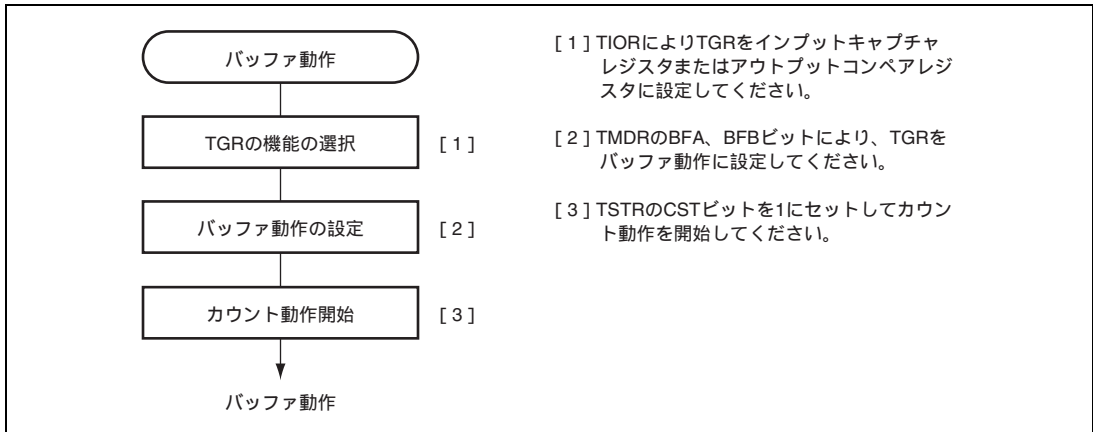


図 9.14 バッファ動作の設定手順例

9. 16ビットタイマパルスユニット (TPU)

(2) バッファ動作例

(a) TGR がアウトプットコンペアレジスタの場合

チャンネル0をPWMモード1に設定し、TGRAとTGRCをバッファ動作に設定した場合の動作例を図9.15に示します。TCNTはコンペアマッチBによりクリア、出力はコンペアマッチAで1出力、コンペアマッチBで0出力に設定した例です。

バッファ動作が設定されているため、コンペアマッチAが発生すると出力を変化させると同時に、バッファレジスタTGRCの値がタイマジェネラルレジスタTGRAに転送されます。この動作は、コンペアマッチAが発生する度に繰り返されます。

PWMモードについては、「9.4.5 PWMモード」を参照してください。

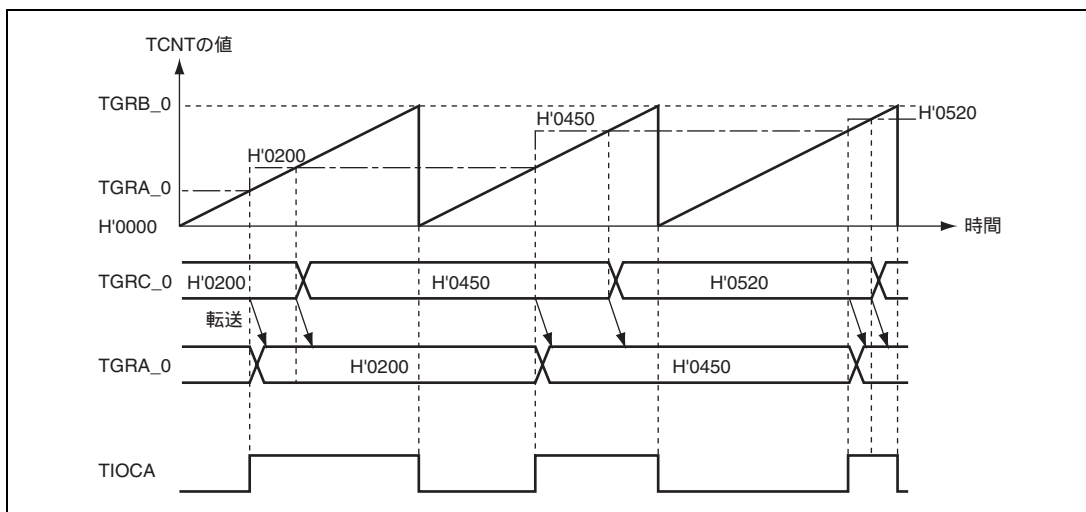


図 9.15 バッファ動作例 (1)

(b) TGR が入力キャプチャレジスタの場合

TGRAをインプットキャプチャレジスタに設定し、TGRAとTGRCをバッファ動作に設定したときの動作例を図9.17に示します。

TCNTはTGRAのインプットキャプチャでカウンタクリア、TIOCA端子のインプットキャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、インプットキャプチャAによりTCNTの値がTGRAに格納されると同時に、それまでTGRAに格納されていた値がTGRCに転送されます。

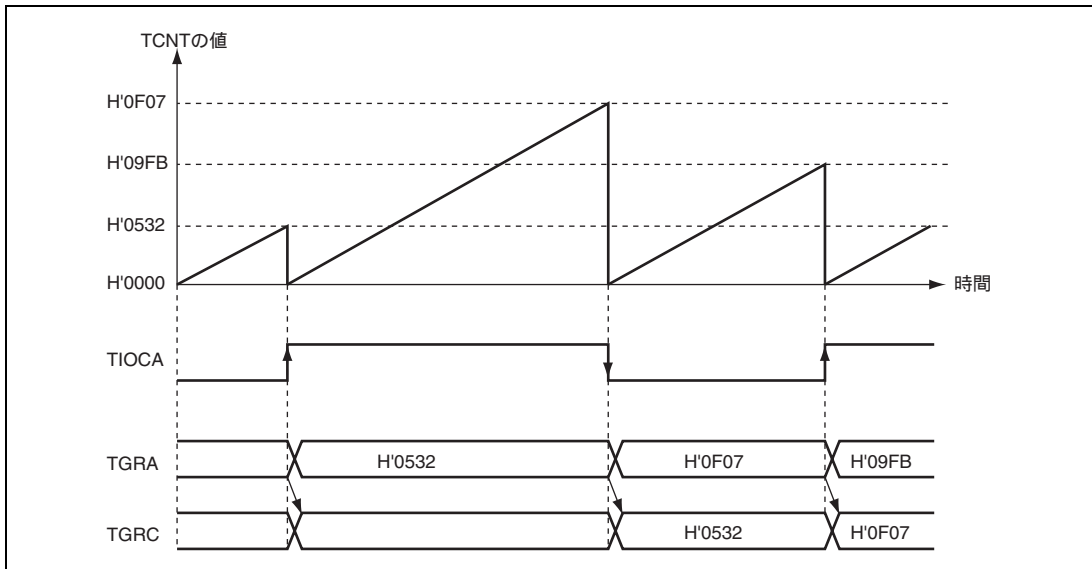


図 9.16 バッファ動作例 (2)

9.4.4 カスケード接続動作

カスケード接続動作は、2 チャンネルの 16 ビットカウンタを接続して 32 ビットカウンタとして動作させる機能です。

この機能は、チャンネル 1(チャンネル 4)のカウンタクロックを TCR の TPSC2~TPSC0 ビットで TCNT_X (TCNT_5) のオーバーフロー/アンダフローでカウントに設定することにより動作します。

アンダフローが発生するのは、下位 16 ビットの TCNT が位相計数モードのときのみです。

表 9.30 にカスケード接続の組み合わせを示します。

【注】 チャンネル 1、4 を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表 9.30 カスケード接続組み合わせ

組み合わせ	上位 16 ビット	下位 16 ビット
チャンネル 1 とチャンネル 2	TCNT_1	TCNT_2
チャンネル 4 とチャンネル 5	TCNT_4	TCNT_5

9. 16 ビットタイマパルスユニット (TPU)

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 9.17 に示します。

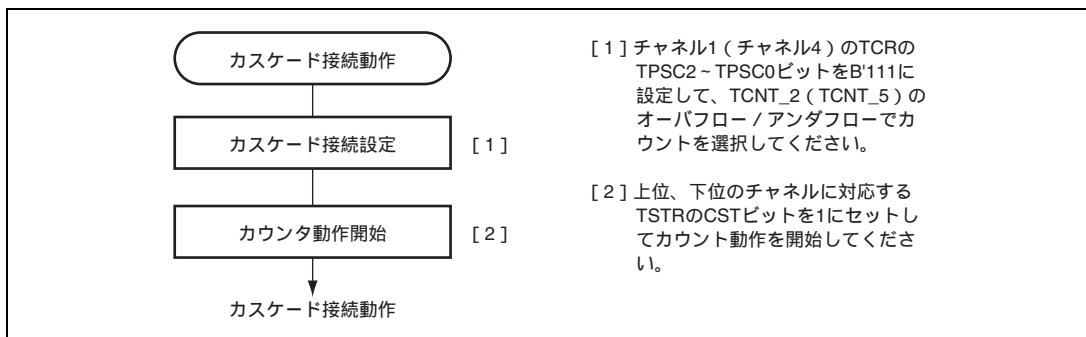


図 9.17 カスケード接続動作設定手順例

(2) カスケード接続動作例

TCNT_1 は TCNT_2 のオーバーフロー / アンダフローでカウント、TGRA_1 と TGRA_2 をインプットキャプチャレジスタに設定し、TIOC 端子の立ち上がりエッジを選択した時の動作を図 9.18 に示します。

TIOCA1 端子と TIOCA2 端子に立ち上がりエッジを同時に入力することにより、TGRA_1 に上位 16 ビット、TGRA_2 に下位 16 ビットの 32 ビットデータが転送されます。

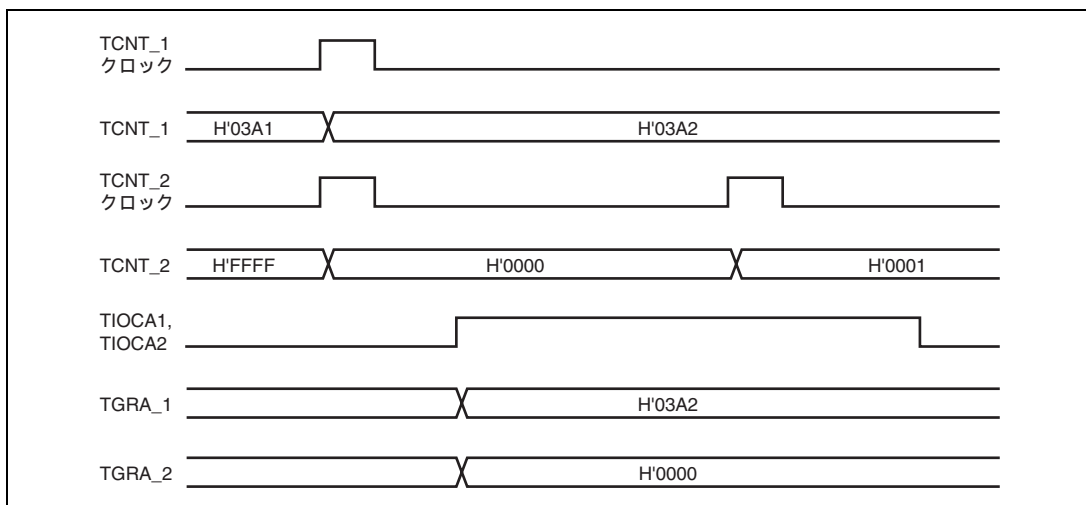


図 9.18 カスケード接続動作例 (1)

TCNT_1 は TCNT_2 のオーバフロー / アンダフローでカウント、チャンネル 2 を位相計数モードに設定したときの動作を図 9.19 に示します。

TCNT_1 は、TCNT_2 のオーバフローでアップカウント、TCNT_2 のアンダフローでダウンカウントされます。

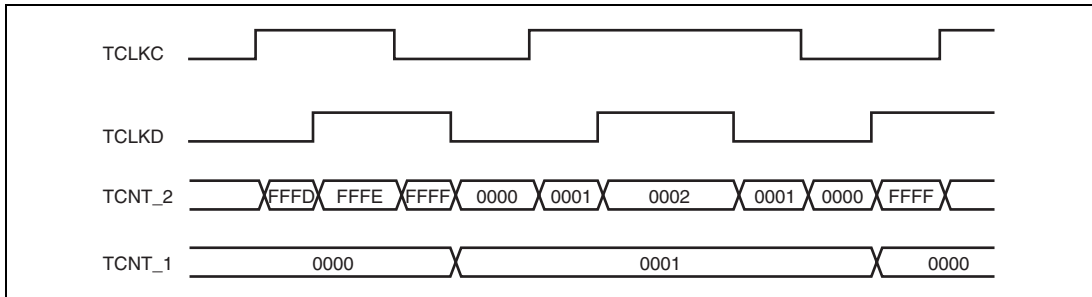


図 9.19 カスケード接続動作例 (2)

9.4.5 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力するモードです。各 TGR のコンペアマッチによる出力レベルは 0 出力 / 1 出力 / トグル出力の中から選択可能です。

各 TGR の設定により、デューティ 0 ~ 100% の PWM 波形が出力できます。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル個別に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類あります。

(a) PWM モード 1

TGRA と TGRB、TGRC と TGRD をペアで使用して、TIOCA、TIOCC 端子から PWM 出力を生成します。TIOCA、TIOCC 端子からコンペアマッチ A、C によって TIOR の IOA3 ~ IOA0、IOC3 ~ IOC0 ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR の IOB3 ~ IOB0、IOD3 ~ IOD0 ビットで指定した出力を行います。初期出力値は TGRA、TGRC に設定した値になります。ペアで使用する TGR の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 8 相の PWM 出力が可能です。

(b) PWM モード 2

TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタを使用して PWM 出力を生成します。コンペアマッチによって、TIOR で指定した出力を行います。また、周期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR で設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 15 相の PWM 出力が可能です。

9. 16 ビットタイマパルスユニット (TPU)

PWM 出力端子とレジスタの対応を表 9.31 に示します。

表 9.31 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0	TGRA_0	TIOCA0	TIOCA0
	TGRB_0		TIOCB0
	TGRC_0	TIOCC0	TIOCC0
	TGRD_0		TIOCD0
1	TGRA_1	TIOCA1	TIOCA1
	TGRB_1		TIOCB1
2	TGRA_2	TIOCA2	TIOCA2
	TGRB_2		TIOCB2
3	TGRA_3	TIOCA3	TIOCA3
	TGRB_3		TIOCB3
	TGRC_3	TIOCC3	TIOCC3
	TGRD_3		TIOCD3
4	TGRA_4	TIOCA4	TIOCA4
	TGRB_4		TIOCB4
5	TGRA_5	TIOCA5	TIOCA5
	TGRB_5		TIOCB5

【注】 PWM モード 2 のとき、周期を設定した TGR の PWM 出力はできません。

(1) PWM モードの設定手順例

PWM モードの設定手順例を図 9.20 に示します。

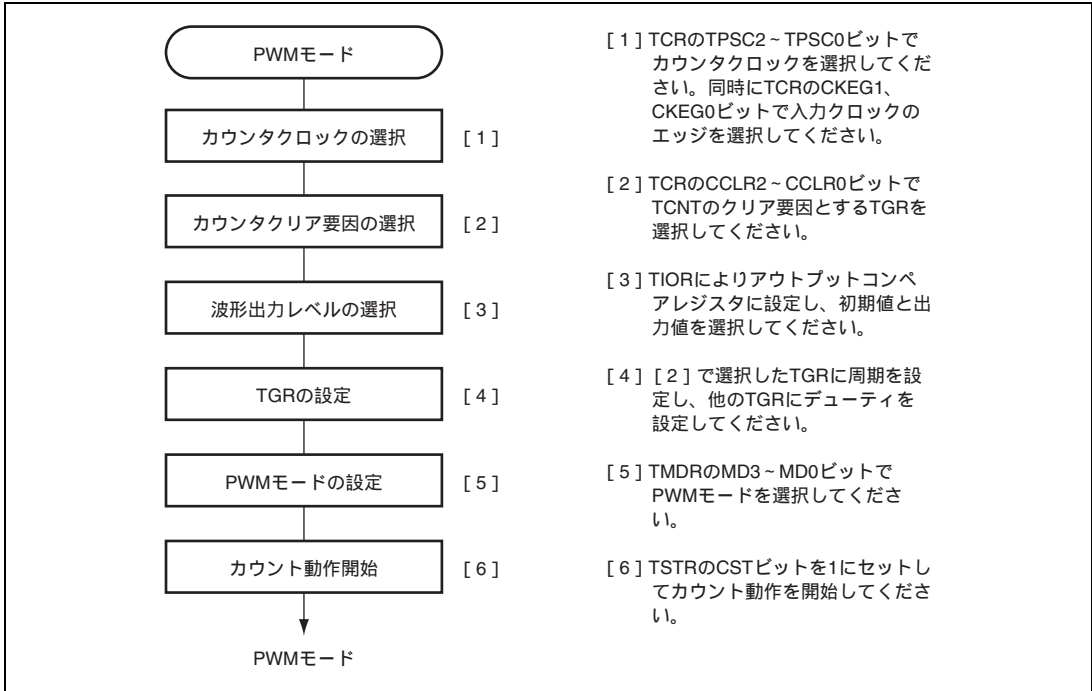


図 9.20 PWM モードの設定手順例

(2) PWM モードの動作例

PWM モード 1 の動作例を図 9.21 に示します。

この図は、TCNT のクリア要因を TGRA のコンペアマッチとし、TGRA の初期出力値と出力値を 0、TGRB の出力値を 1 に設定した場合の例です。

この場合、TGRA に設定した値が周期となり、TGRB に設定した値がデューティになります。

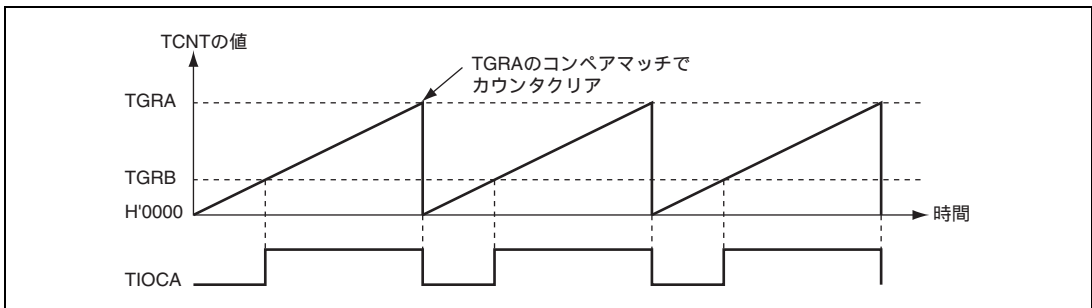


図 9.21 PWM モードの動作例 (1)

9. 16 ビットタイマパルスユニット (TPU)

PWM モード 2 の動作例を図 9.22 に示します。

この図は、チャンネル 0 と 1 を同期動作させ、TCNT のクリア要因を TGRB_1 のコンペアマッチとし、他の TGR (TGRA_0~TGRD_0, TGRA_1) の初期出力値を 0、出力値を 1 に設定して 5 相の PWM 波形を出力させた場合の例です。

この場合、TGRB_1 に設定した値が周期となり、他の TGR に設定した値がデューティになります。

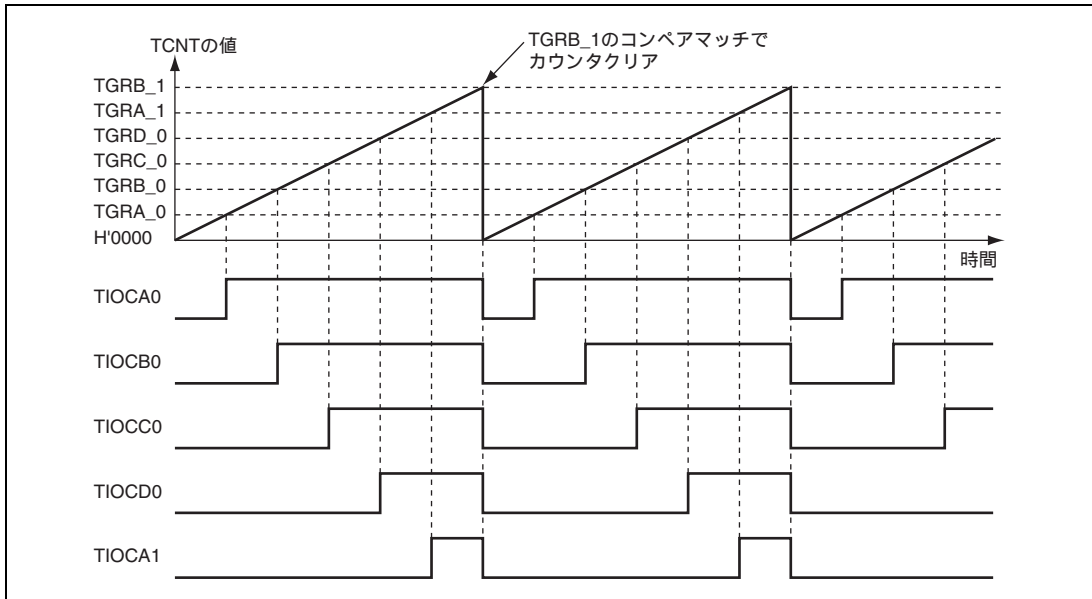


図 9.22 PWM モードの動作例 (2)

PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例を図 9.23 に示します。

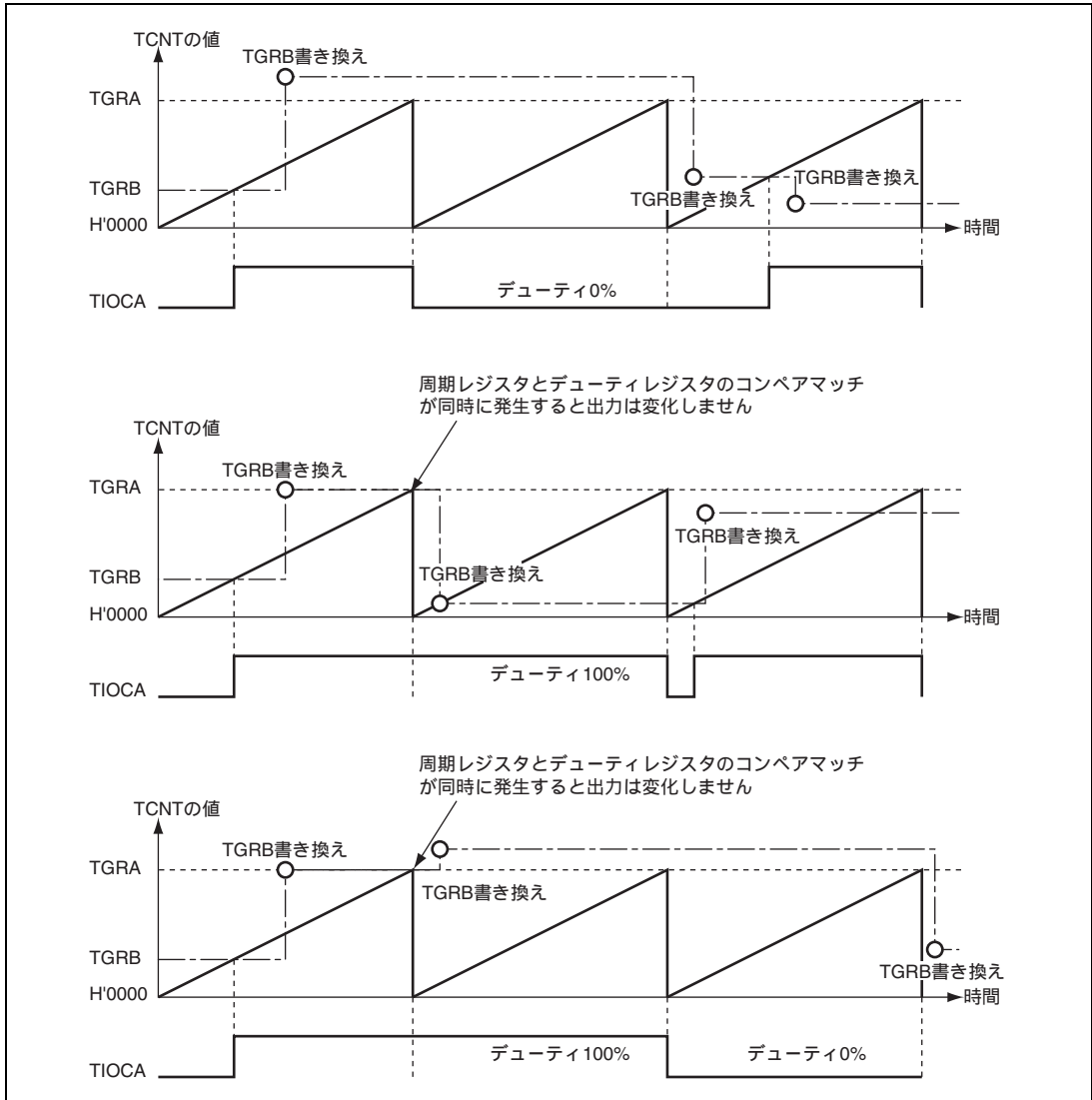


図 9.23 PWM モード動作例 (3)

9. 16ビットタイマパルスユニット (TPU)

9.4.6 位相計数モード

位相計数モードは、チャンネル1、2、4、5の設定により、2本の外部クロック入力の位相差を検出し、TCNTをアップ/ダウンカウントします。

位相計数モードに設定すると、TCRのTPSC2~TPSC0ビット、CKEG1、CKEG0ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNTはアップ/ダウンカウンタとして動作します。ただし、TCRのCCLR1、CCLR0ビット、TIOR、TIER、TGRの機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能は使用することができます。

2相エンコーダパルスの入力として使用できます。

TCNTがアップカウント時、オーバフローが発生するとするとTSRのTCFVフラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFUフラグがセットされます。

TSRのTCFDビットはカウント方向フラグです。TCFDフラグをリードすることにより、TCNTがアップカウントしているかダウンカウントしているかを確認することができます。

表 9.32 に外部クロック端子とチャンネルの対応を示します。

表 9.32 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A相	B相
チャンネル1または5を位相計数モードとするとき	TCLKA	TCLKB
チャンネル2または4を位相計数モードとするとき	TCLKC	TCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 9.24 に示します。

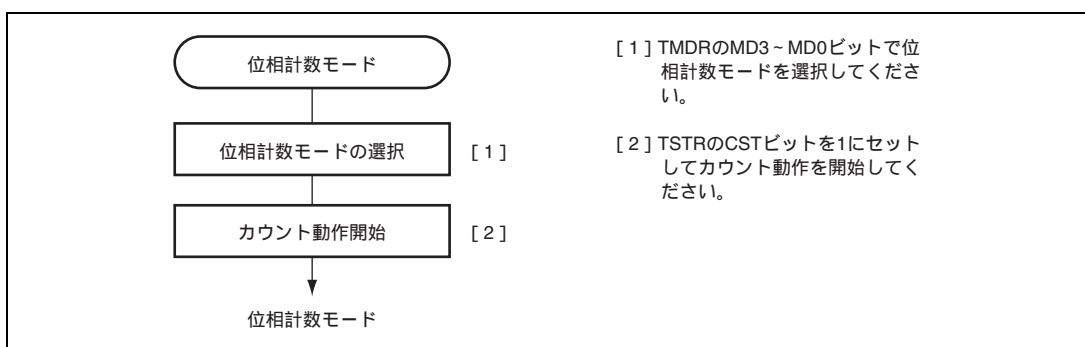


図 9.24 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差でTCNTがアップ/ダウンカウントします。また、カウント条件により4つのモードがあります。

(a) 位相計数モード1

位相計数モード1の動作例を図9.25に、TCNTのアップ/ダウンカウント条件を表9.33に示します。

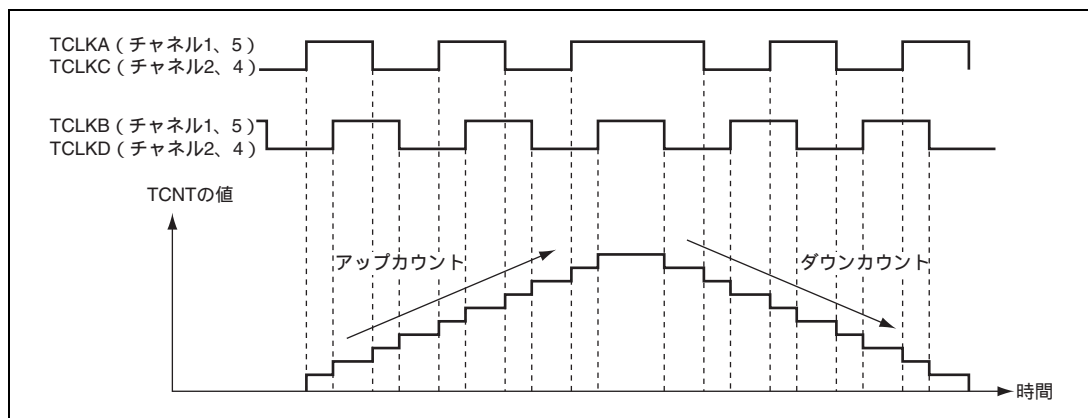


図 9.25 位相計数モード1の動作例

表 9.33 位相計数モード1のアップ/ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

9. 16ビットタイマパルスユニット (TPU)

(b) 位相計数モード2

位相計数モード2の動作例を図9.26に、TCNTのアップ/ダウンカウント条件を表9.34に示します。

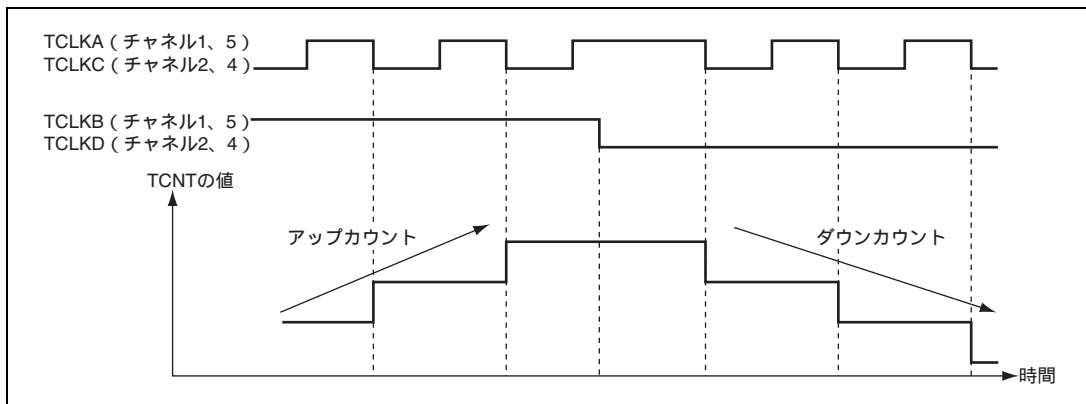


図 9.26 位相計数モード2の動作例

表 9.34 位相計数モード2のアップ/ダウンカウント条件

TCLKA (チャンネル1、5) TCLKC (チャンネル2、4)	TCLKB (チャンネル1、5) TCLKD (チャンネル2、4)	動作内容
High レベル		Don't care
Low レベル		
	Low レベル	アップカウント
	High レベル	
High レベル		Don't care
Low レベル		
	High レベル	ダウンカウント
	Low レベル	

【記号説明】

: 立ち上がりエッジ

: 立ち下がりエッジ

(c) 位相計数モード3

位相計数モード3の動作例を図9.27に、TCNTのアップ/ダウンカウント条件を表9.35に示します。

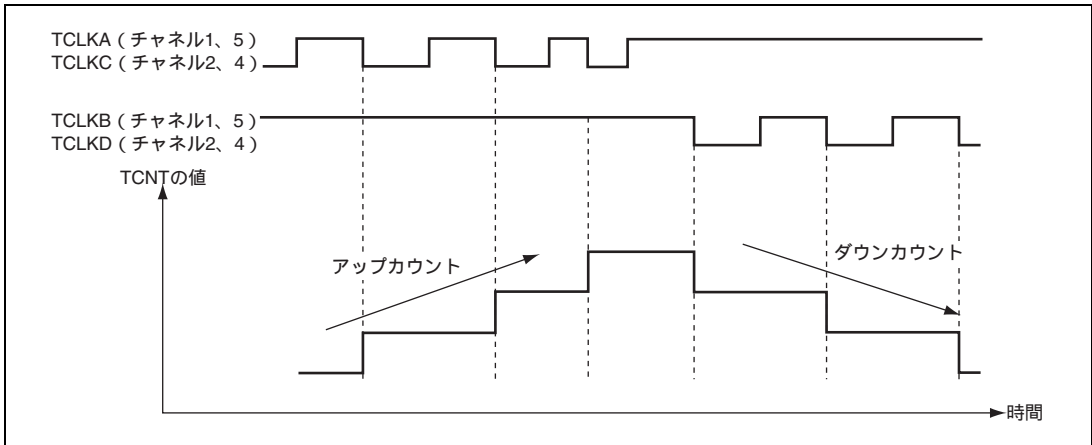


図 9.27 位相計数モード3の動作例

表 9.35 位相計数モード3のアップ/ダウンカウント条件

TCLKA (チャンネル1、5) TCLKC (チャンネル2、4)	TCLKB (チャンネル1、5) TCLKD (チャンネル2、4)	動作内容
High レベル		Don't care
Low レベル		
	Low レベル	アップカウント
	High レベル	ダウンカウント
High レベル		Don't care
Low レベル		
	High レベル	
	Low レベル	

【記号説明】

: 立ち上がりエッジ

: 立ち下がりエッジ

9. 16ビットタイマパルスユニット (TPU)

(d) 位相計数モード 4

位相計数モード 4 の動作例を図 9.28 に、TCNT のアップ/ダウンカウント条件を表 9.36 に示します。

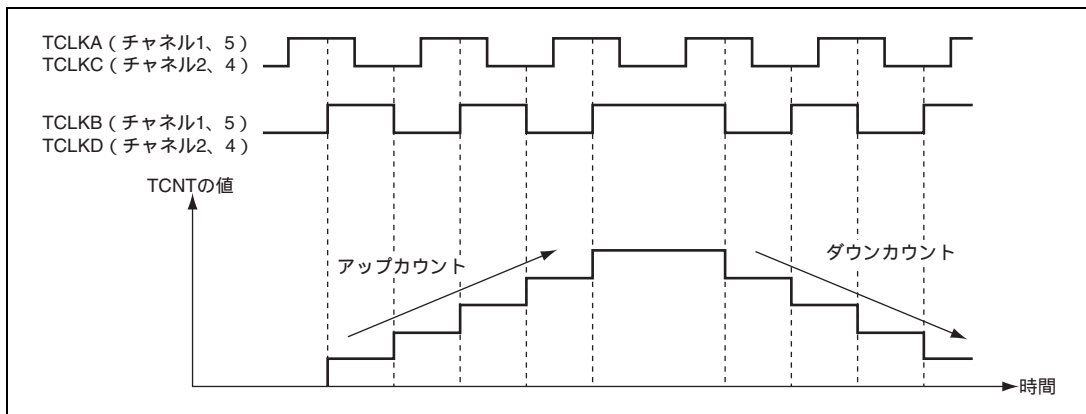


図 9.28 位相計数モード 4 の動作例

表 9.36 位相計数モード 4 のアップ/ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	Don't care
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	Don't care
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(3) 位相計数モード応用例

チャンネル 1 を位相計数モードに設定し、チャンネル 0 と連携してサーボモータの 2 相エンコーダパルスを入力して位置または速度を検出する例を図 9.29 に示します。

チャンネル 1 は位相計数モード 1 に設定し、TCLKA と TCLKB にエンコーダパルスの A 相、B 相を入力します。

チャンネル 0 は TCNT を TGRC_0 のコンペアマッチでカウンタクリアとして動作させ、TGRA_0 と TGRC_0 はコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。TGRB_0 はインプットキャプチャ機能で使用し、TGRB_0 と TGRD_0 をバッファ動作させます。TGRB_0 のインプットキャプチャ要因は、チャンネル 1 のカウンタ入力クロックとし、2 相エンコーダの 4 倍パルスのパルス幅を検出します。

チャンネル1のTGRA_1とTGRB_1は、インプットキャプチャ機能に設定し、インプットキャプチャ要因はチャンネル0のTGRA_0とTGRC_0のコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出を行うことができます。

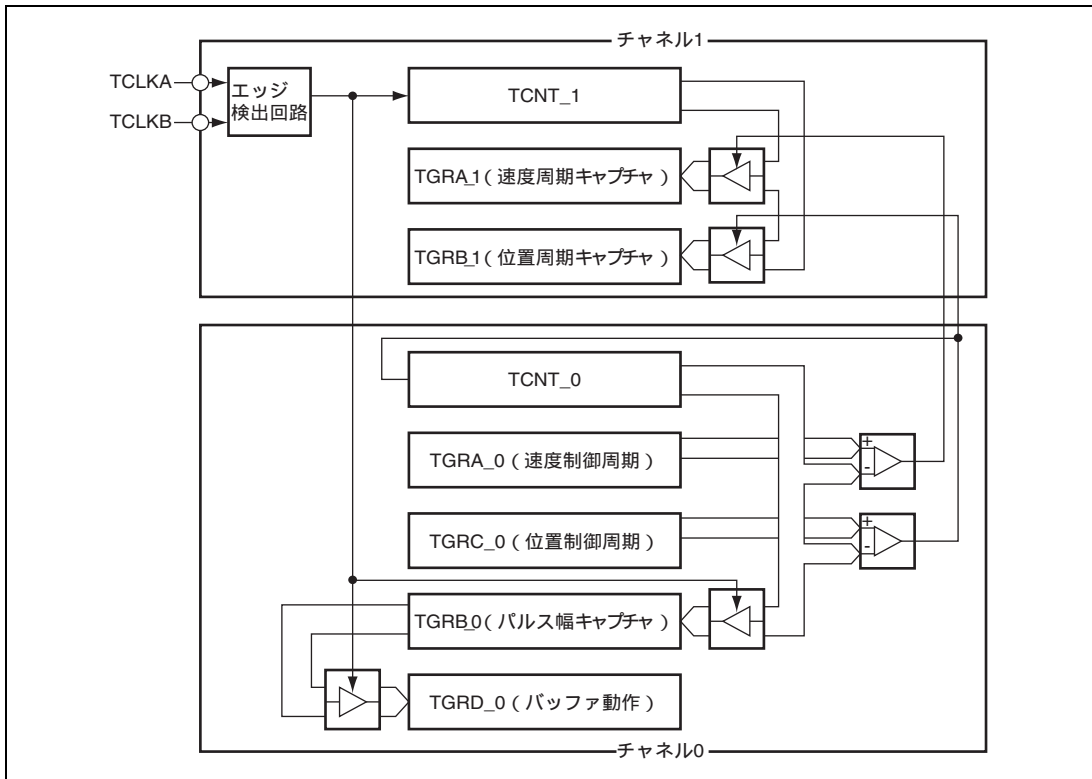


図 9.29 位相計数モードの応用例

9.5 割り込み要因

TPUの割り込み要因には、TGRのインプットキャプチャ/コンペアマッチ、TCNTのオーバーフロー、アンダフローの3種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可/禁止ビットを持っているため、割り込み要求信号の発生を個別に許可または禁止することができます。

割り込み要因が発生すると、TSRの対応するステータスフラグが1にセットされます。このときTIERの対応する許可/禁止ビットが1にセットされていれば、割り込みを要求します。ステータスフラグを0にクリアすることで割り込み要求は解除されます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「5. 割り込みコントローラ」を参照してください。

9. 16 ビットタイマパルスユニット (TPU)

表 9.37 に TPU の割り込み要因の一覧を示します。

表 9.37 TPU 割り込み一覧

チャンネル	名称	割り込み要因	割り込み フラグ	DMAC の 起動
0	TGI0A	TGRA_0 のインプットキャプチャ / コンペアマッチ	TGFA_0	可
	TGI0B	TGRB_0 のインプットキャプチャ / コンペアマッチ	TGFB_0	不可
	TGI0C	TGRC_0 のインプットキャプチャ / コンペアマッチ	TGFC_0	不可
	TGI0D	TGRD_0 のインプットキャプチャ / コンペアマッチ	TGFD_0	不可
	TCI0V	TCNT_0 のオーバーフロー	TCFV_0	不可
1	TGI1A	TGRA_1 のインプットキャプチャ / コンペアマッチ	TGFA_1	可
	TGI1B	TGRB_1 のインプットキャプチャ / コンペアマッチ	TGFB_1	不可
	TCI1V	TCNT_1 のオーバーフロー	TCFV_1	不可
	TCI1U	TCNT_1 のアンダフロー	TCFU_1	不可
2	TGI2A	TGRA_2 のインプットキャプチャ / コンペアマッチ	TGFA_2	可
	TGI2B	TGRB_2 のインプットキャプチャ / コンペアマッチ	TGFB_2	不可
	TCI2V	TCNT_2 のオーバーフロー	TCFV_2	不可
	TCI2U	TCNT_2 のアンダフロー	TCFU_2	不可
3	TGI3A	TGRA_3 のインプットキャプチャ / コンペアマッチ	TGFA_3	可
	TGI3B	TGRB_3 のインプットキャプチャ / コンペアマッチ	TGFB_3	不可
	TGI3C	TGRC_3 のインプットキャプチャ / コンペアマッチ	TGFC_3	不可
	TGI3D	TGRD_3 のインプットキャプチャ / コンペアマッチ	TGFD_3	不可
	TCI3V	TCNT_3 のオーバーフロー	TCFV_3	不可
4	TGI4A	TGRA_4 のインプットキャプチャ / コンペアマッチ	TGFA_4	可
	TGI4B	TGRB_4 のインプットキャプチャ / コンペアマッチ	TGFB_4	不可
	TCI4V	TCNT_4 のオーバーフロー	TCFV_4	不可
	TCI4U	TCNT_4 のアンダフロー	TCFU_4	不可
5	TGI5A	TGRA_5 のインプットキャプチャ / コンペアマッチ	TGFA_5	可
	TGI5B	TGRB_5 のインプットキャプチャ / コンペアマッチ	TGFB_5	不可
	TCI5V	TCNT_5 のオーバーフロー	TCFV_5	不可
	TCI5U	TCNT_5 のアンダフロー	TCFU_5	不可

【注】 リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

(1) インพุットキャプチャ/コンペアマッチ割り込み

各チャンネルのTGRのインพุットキャプチャ/コンペアマッチの発生により、TSRのTGFフラグが1にセットされたとき、TIERのTGIEビットが1にセットされていれば、割り込みを要求します。TGFフラグを0にクリアすることで割り込み要求は解除されます。TPUには、チャンネル0、3に各4本、チャンネル1、2、4、5に各2本、計16本のインพุットキャプチャ/コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

各チャンネルのTCNTのオーバフローの発生により、TSRのTCFVフラグが1にセットされたとき、TIERのTCIEVビットが1にセットされていれば、割り込みを要求します。TCFVフラグを0にクリアすることで割り込み要求は解除されます。TPUには、各チャンネルに1本、計6本のオーバフロー割り込みがあります。

(3) アンダフロー割り込み

各チャンネルのTCNTのアンダフローの発生により、TSRのTCFUフラグが1にセットされたとき、TIERのTCIEUビットが1にセットされていれば、割り込みを要求します。TCFUフラグを0にクリアすることで割り込み要求は解除されます。TPUには、チャンネル1、2、4、5に各1本、計4本のアンダフロー割り込みがあります。

9.6 DMACの起動

各チャンネルのTGRAのインพุットキャプチャ/コンペアマッチ割り込みによって、DMACを起動することができます。詳細は「7. DMAコントローラ(DMAC)」を参照してください。

TPUでは、各チャンネルに1本、計6本のTGRAのインพุットキャプチャ/コンペアマッチ割り込みをDMACの起動要因とすることができます。

9.7 A/D変換器の起動

各チャンネルのTGRAのインพุットキャプチャ/コンペアマッチによって、A/D変換器を起動することができます。

各チャンネルのTGRAのインพุットキャプチャ/コンペアマッチの発生により、TSRのTGFAフラグが1にセットされたとき、TIERのTTGEビットが1にセットされていれば、A/D変換器に対してA/D変換の開始を要求します。このときA/D変換器側で、TPUの変換開始トリガが選択されていれば、A/D変換が開始されます。

TPUでは、各チャンネル1本、計6本のTGRAのインพุットキャプチャ/コンペアマッチ割り込みをA/D変換器の変換開始要因とすることができます。

9.8 動作タイミング

9.8.1 入出力タイミング

(1) TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 9.30 に示します。また、外部クロック動作の場合の TCNT のカウントタイミングを図 9.31 に示します。

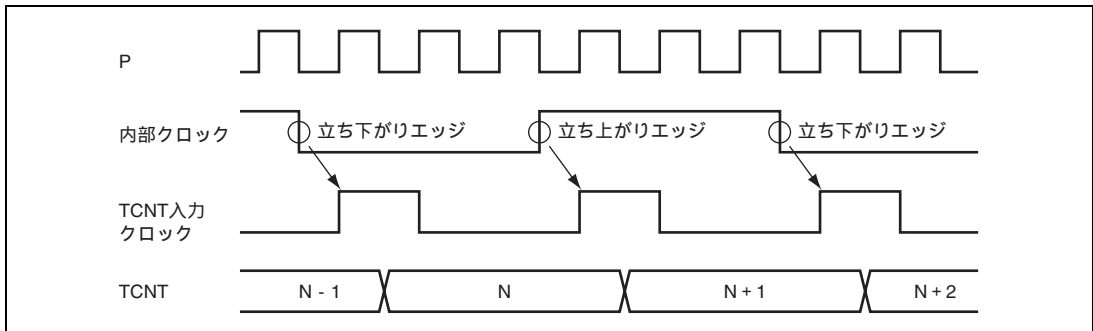


図 9.30 内部クロック動作時のカウントタイミング

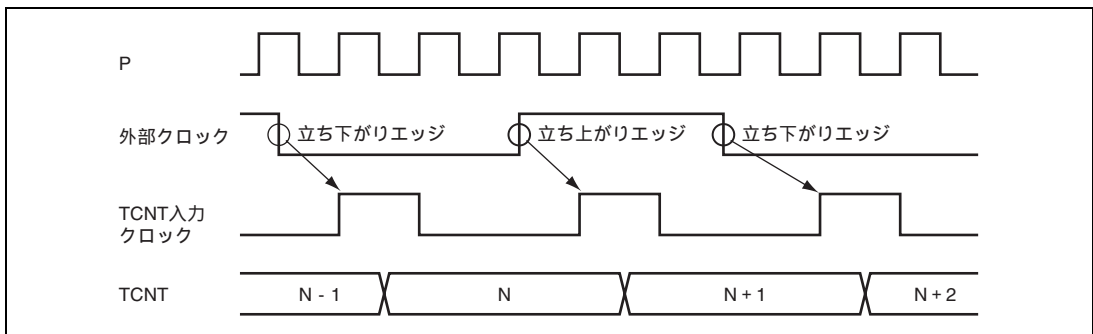


図 9.31 外部クロック動作時のカウントタイミング

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、TIOR で設定した出力値がアウトプットコンペア出力端子 (TIOC 端子) に出力されます。TCNT と TGR が一致した後、TCNT 入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図 9.32 に示します。

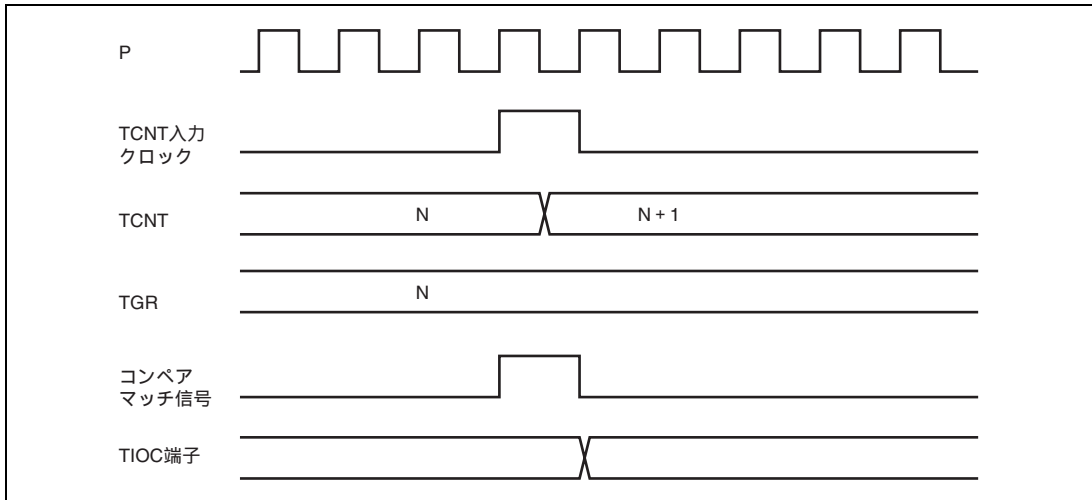


図 9.32 アウトプットコンペア出力タイミング

(3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図 9.33 に示します。

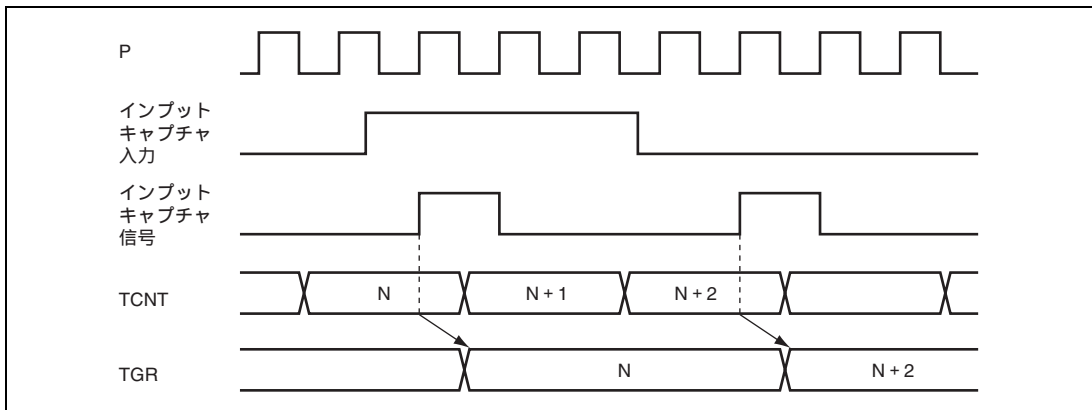


図 9.33 インพุットキャプチャ入力信号タイミング

9. 16ビットタイマパルスユニット (TPU)

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 9.34 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 9.35 に示します。

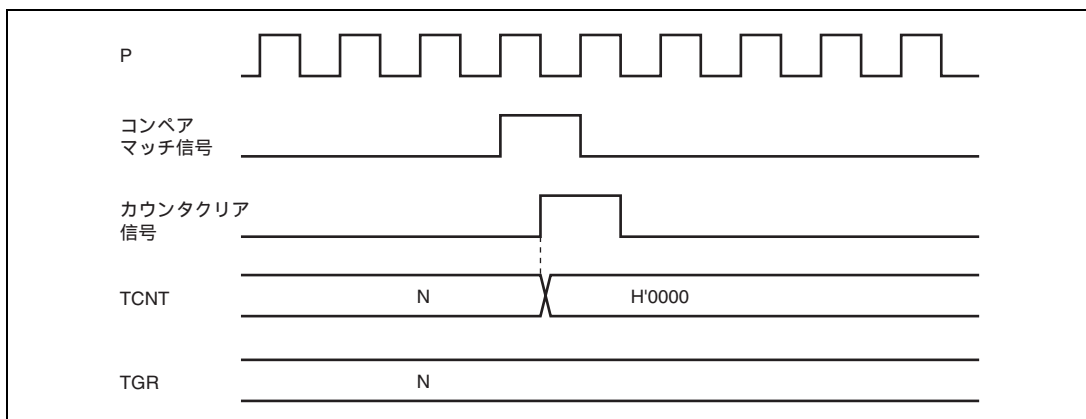


図 9.34 カウンタクリアタイミング (コンペアマッチ)

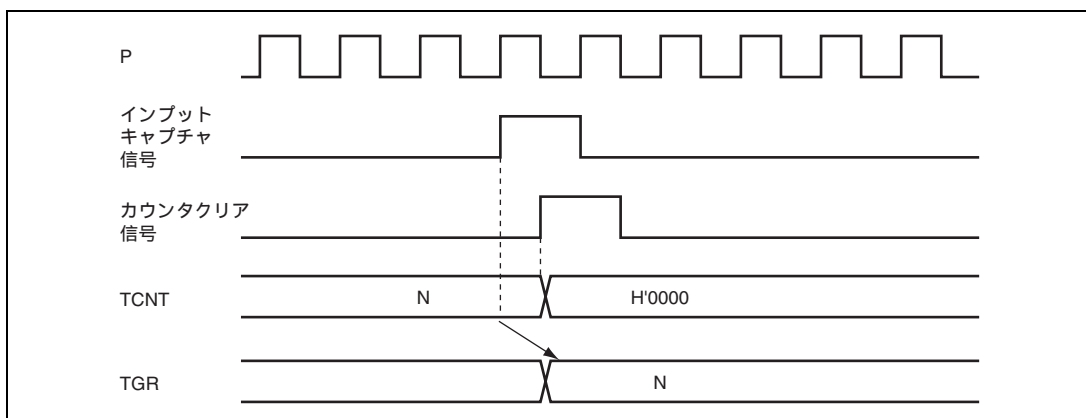


図 9.35 カウンタクリアタイミング (インプットキャプチャ)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 9.36、図 9.37 に示します。

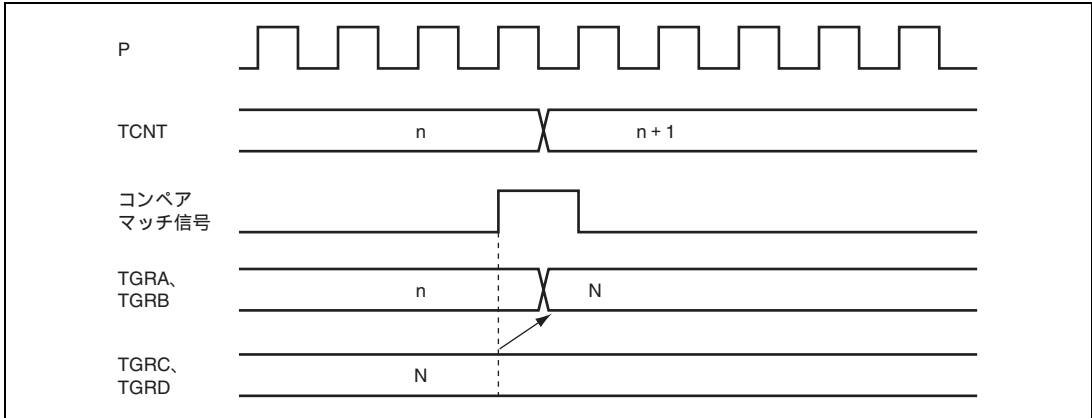


図 9.36 バッファ動作タイミング (コンペアマッチ)

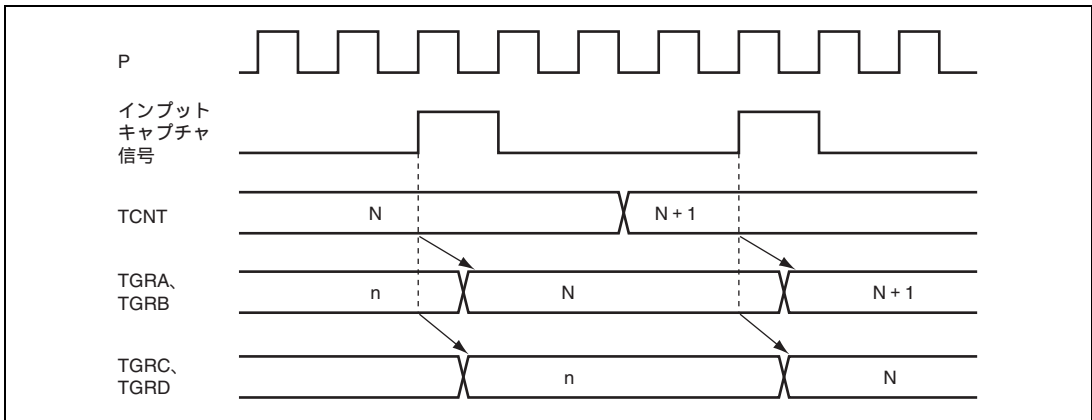


図 9.37 バッファ動作タイミング (インプットキャプチャ)

9. 16 ビットタイマパルスユニット (TPU)

9.8.2 割り込み信号タイミング

(1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 9.38 に示します。

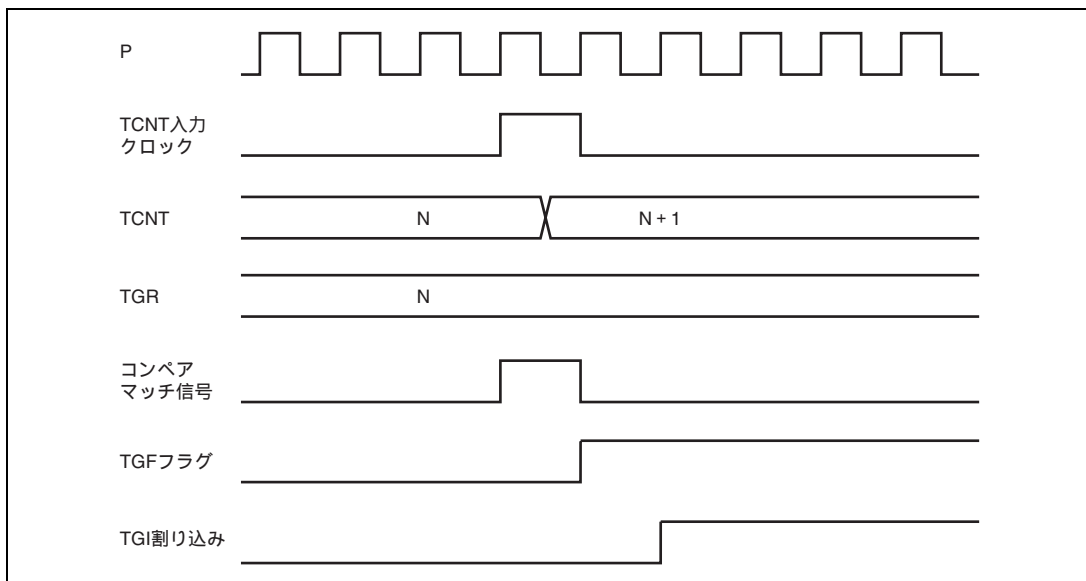


図 9.38 TGI 割り込みタイミング (コンペアマッチ)

(2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 9.39 に示します。

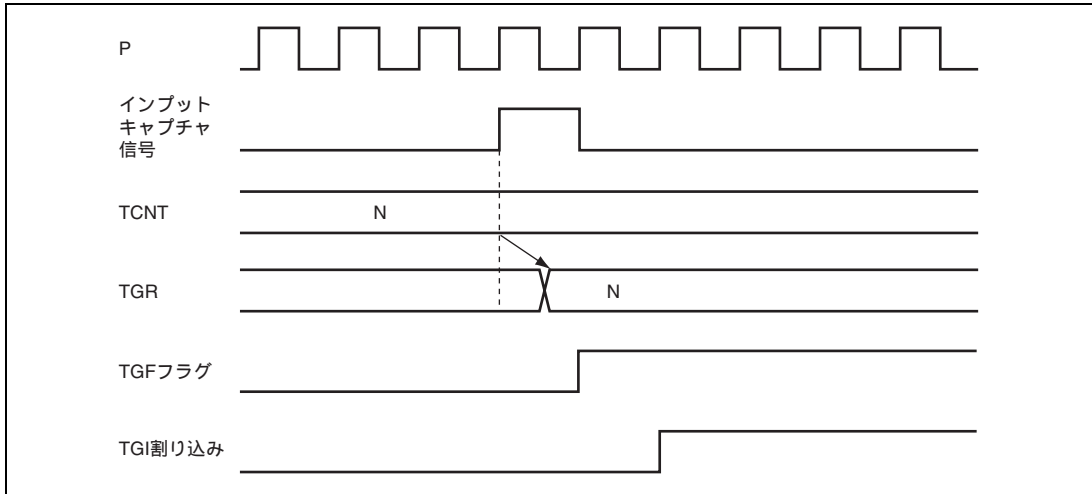


図 9.39 TGI 割り込みタイミング (インพุットキャプチャ)

(3) TCFV フラグ / TCFU フラグのセットタイミング

オーバフローの発生による TSR の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 9.40 に示します。

アンダフローの発生による TSR の TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 9.41 に示します。

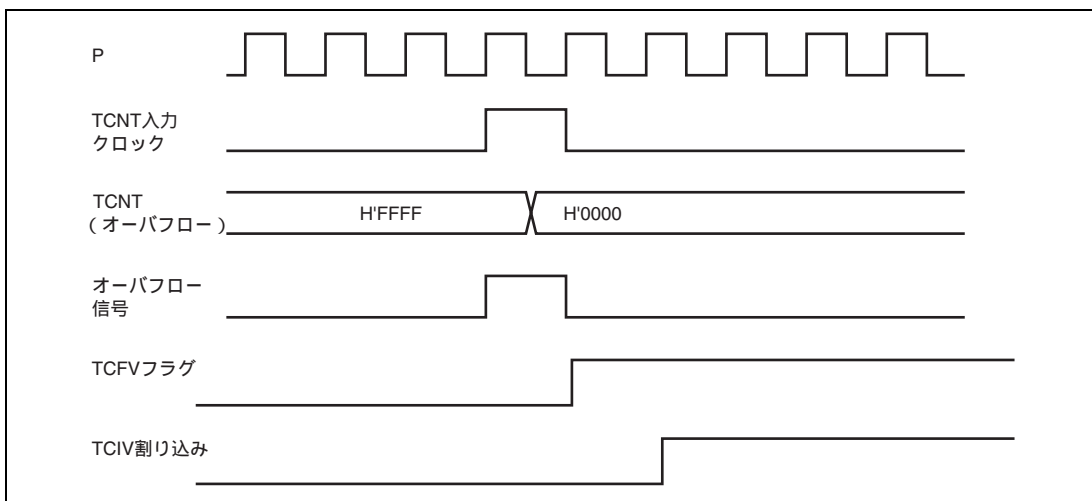


図 9.40 TCIV 割り込みのセットタイミング

9. 16 ビットタイマパルスユニット (TPU)

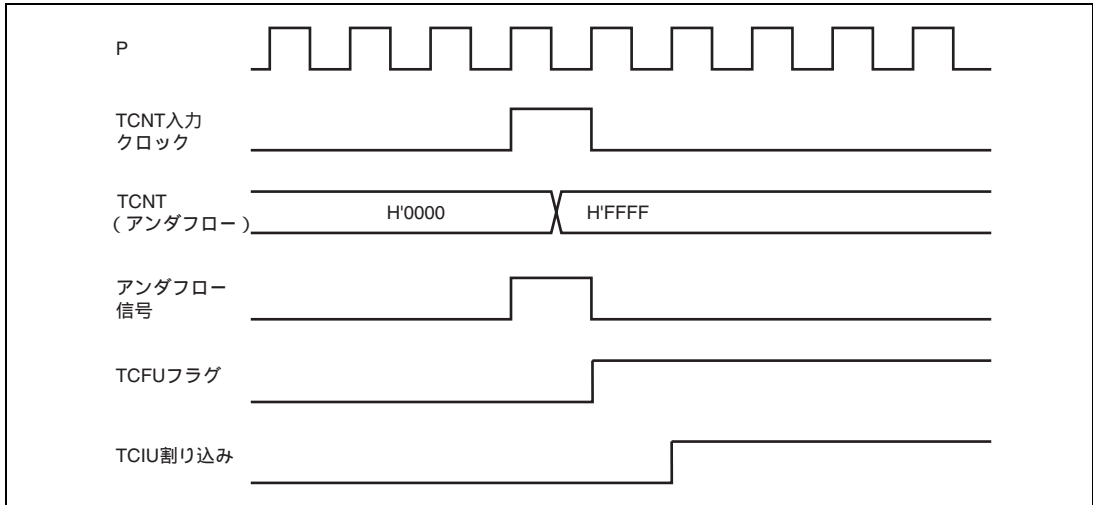


図 9.41 TCIU 割り込みのセットタイミング

(4) ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態をリードした後、0をライトするとクリアされます。DMACを起動する場合は、自動的にクリアすることもできます。CPUによるステータスフラグのクリアタイミングを図9.42に、DMACによるステータスフラグのクリアのタイミングを図9.43、図9.44に示します。

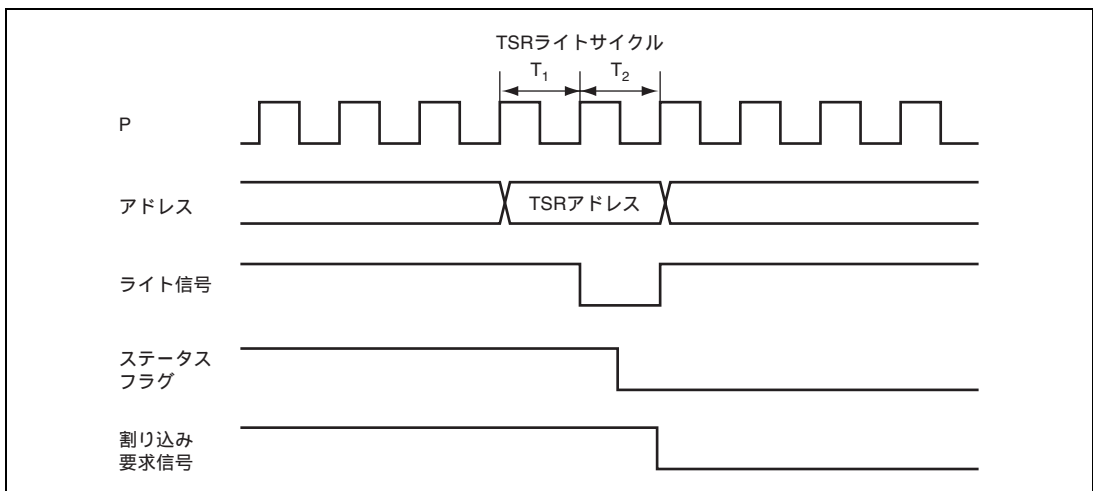


図 9.42 CPUによるステータスフラグのクリアタイミング

ステータスフラグ、割り込み要求信号のクリアは、図 9.43 に示すように DMAC の転送が開始されてから P に同期して行われます。複数の DMAC を起動し、ステータスフラグ、割り込み要求信号のクリアが重なった場合は、図 9.44 に示すようにクリアに最大 5 クロック (P) がかかります。次の転送要求は、当該の転送が終了するまで、または転送開始から P で 5 クロックの期間、どちらか長い方の期間マスクされます。

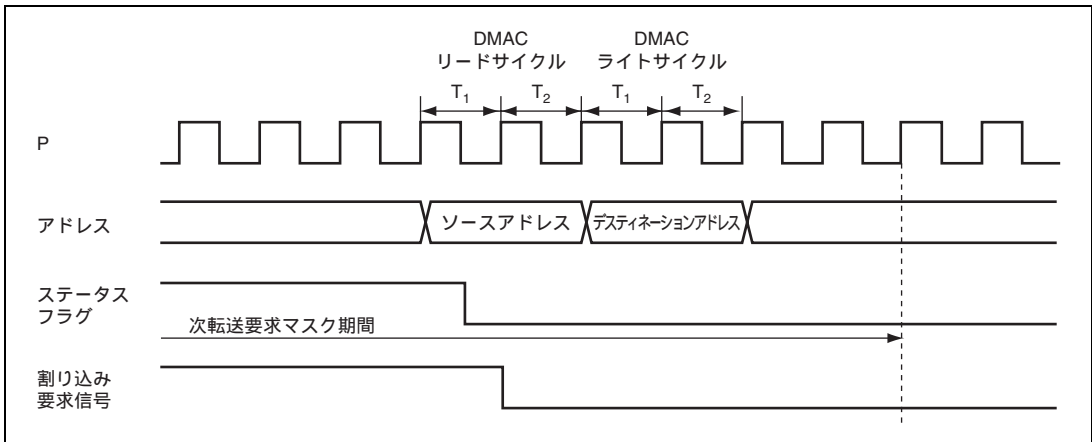


図 9.43 DMAC の起動によるステータスフラグのクリアタイミング例 (1)

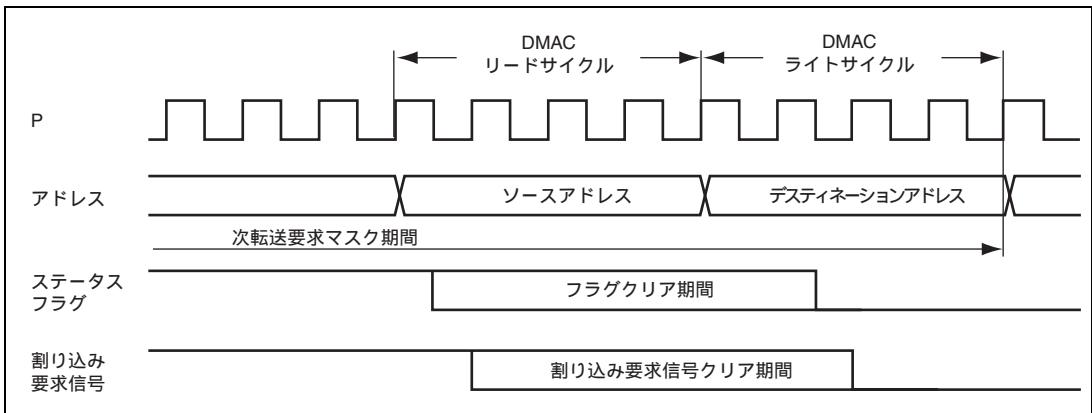


図 9.44 DMAC の起動によるステータスフラグのクリアタイミング例 (2)

9.9 使用上の注意事項

9.9.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、TPU の動作禁止 / 許可を設定することが可能です。初期値では、TPU の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「24. 低消費電力」を参照してください。

9.9.2 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステートクロック以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上必要です。位相計数モードの入力クロックの条件を図 9.45 に示します。

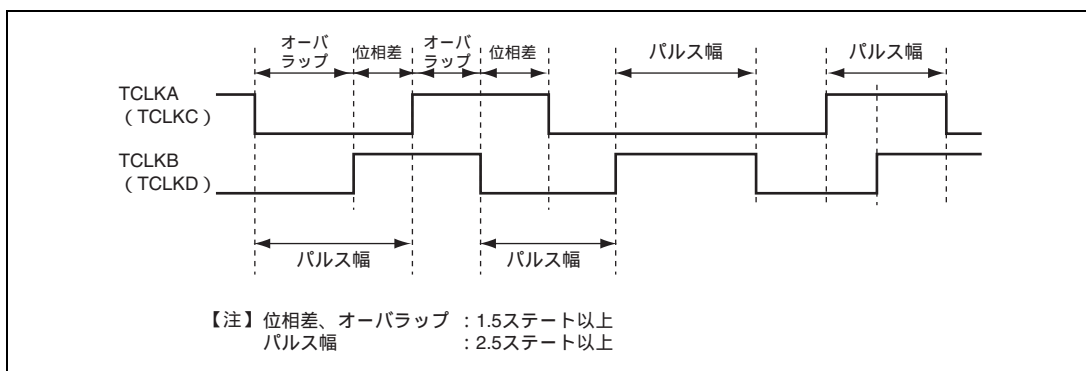


図 9.45 位相計数モード時の位相差、オーバーラップ、およびパルス幅

9.9.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は次の式のようになります。

$$f = \frac{P}{(N+1)}$$

f : カウンタ周波数

P : 動作周波数

N : TGR の設定値

9.9.4 TCNT のライトとクリアの競合

TCNT のライトサイクル中の T2 ステートでカウンタクリア信号が発生すると、TCNT へのライトは行われずに TCNT のクリアが優先されます。このタイミングを図 9.46 に示します。

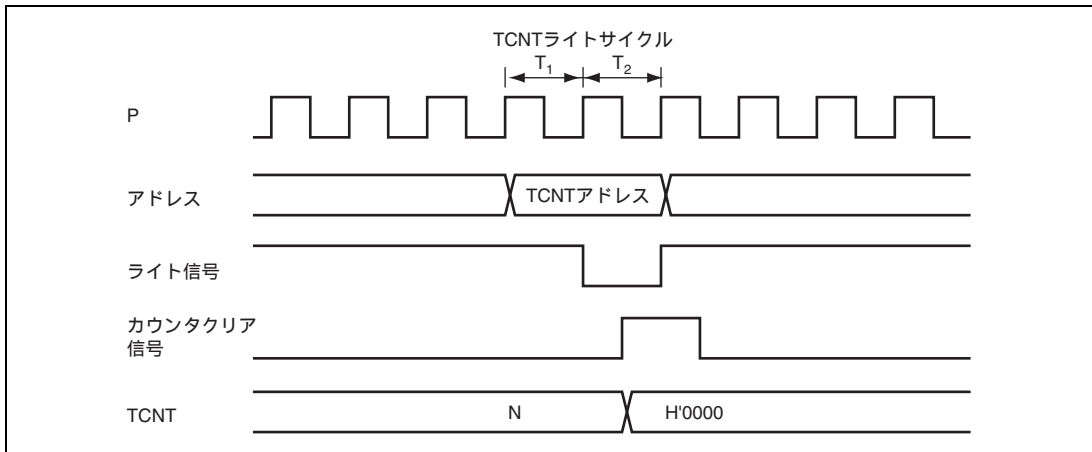


図 9.46 TCNT のライトとクリアの競合

9. 16ビットタイマパルスユニット (TPU)

9.9.5 TCNT のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートでカウントアップが発生してもカウントアップされず、TCNT へのライトが優先されます。このタイミングを図 9.47 に示します。

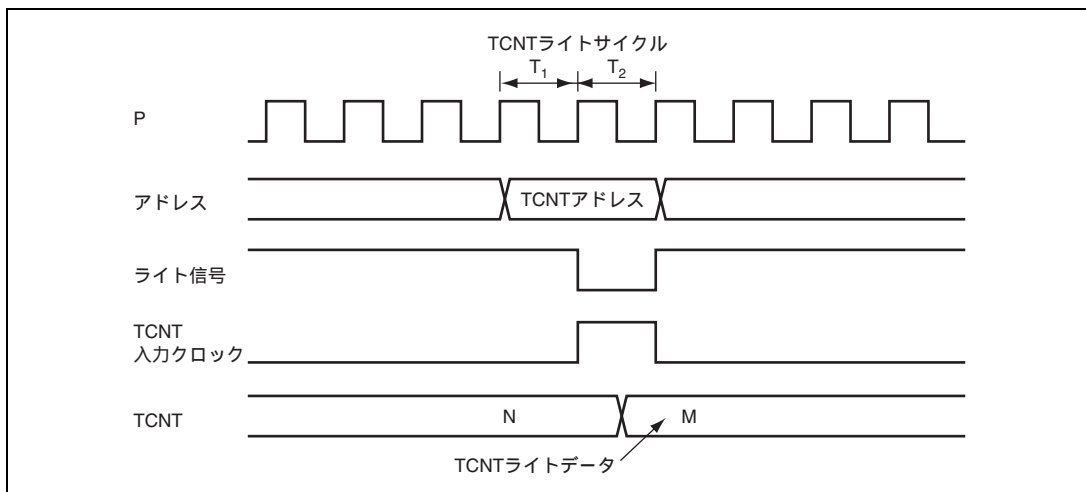


図 9.47 TCNT のライトとカウントアップの競合

9.9.6 TGR のライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生しても TGR のライトが優先され、コンペアマッチ信号は禁止されます。前回と同じ値をライトした場合でもコンペアマッチは発生しません。

このタイミングを図 9.48 に示します。

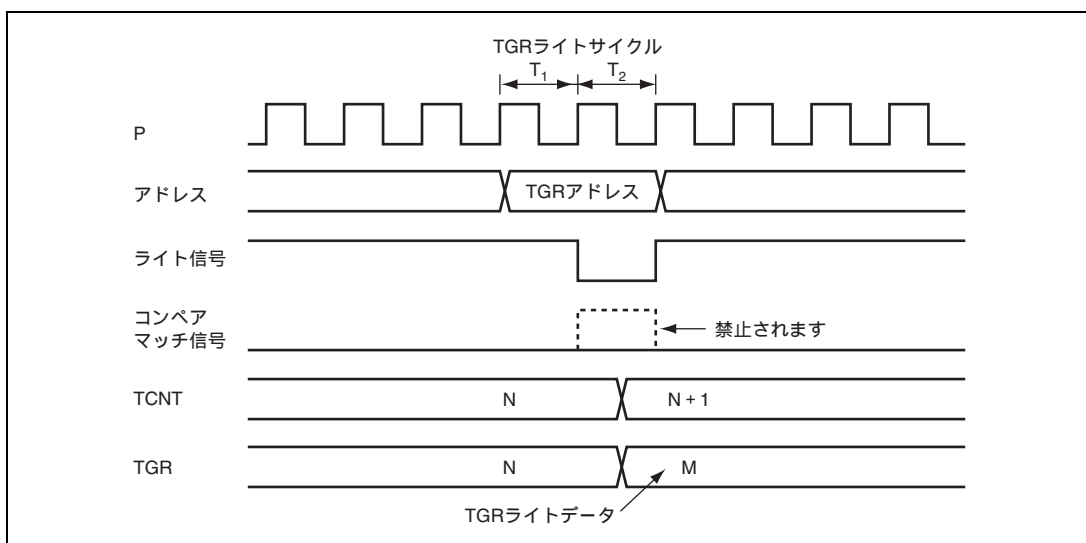


図 9.48 TGR のライトとコンペアマッチの競合

9.9.7 バッファレジスタのライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータはライトデータとなります。

このタイミングを図 9.49 に示します。

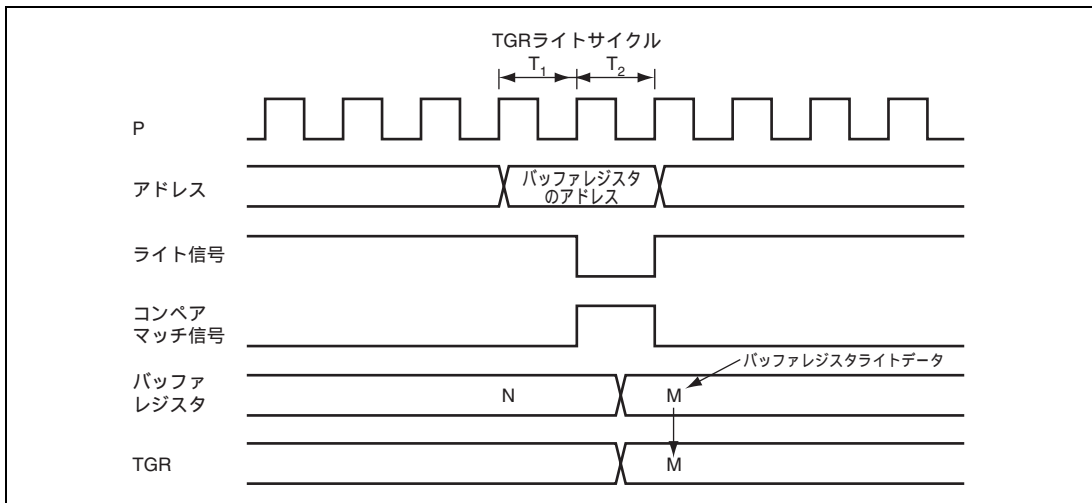


図 9.49 バッファレジスタのライトとコンペアマッチの競合

9.9.8 TGR のリードとインプットキャプチャの競合

TGR のリードサイクル中の T1 ステートでインプットキャプチャ信号が発生すると、リードされるデータはインプットキャプチャ転送後のデータとなります。

このタイミングを図 9.50 に示します。

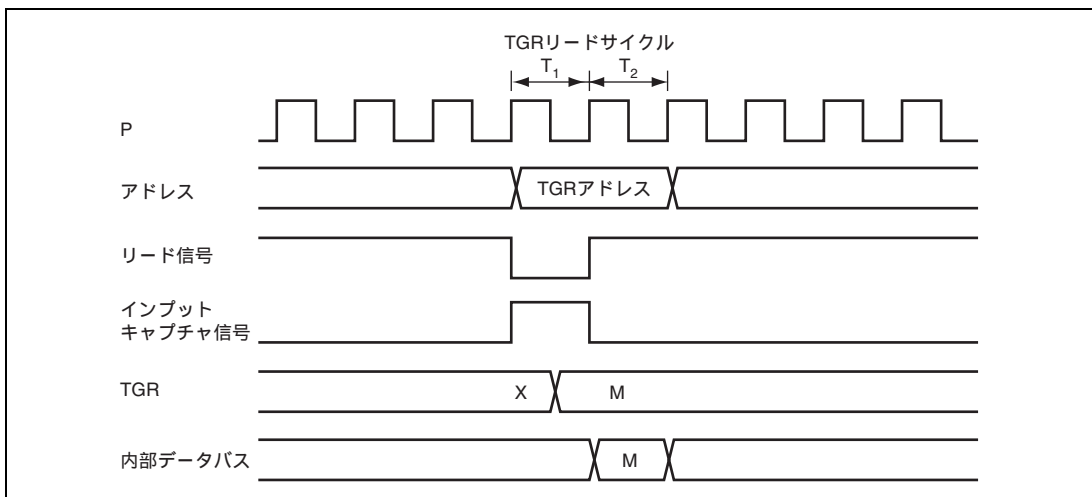


図 9.50 TGR のリードとインプットキャプチャの競合

9. 16ビットタイマパルスユニット (TPU)

9.9.9 TGRのライトとインプットキャプチャの競合

TGRのライトサイクル中のT2ステートでインプットキャプチャ信号が発生すると、TGRへのライトは行われず、インプットキャプチャが優先されます。このタイミングを図9.51に示します。

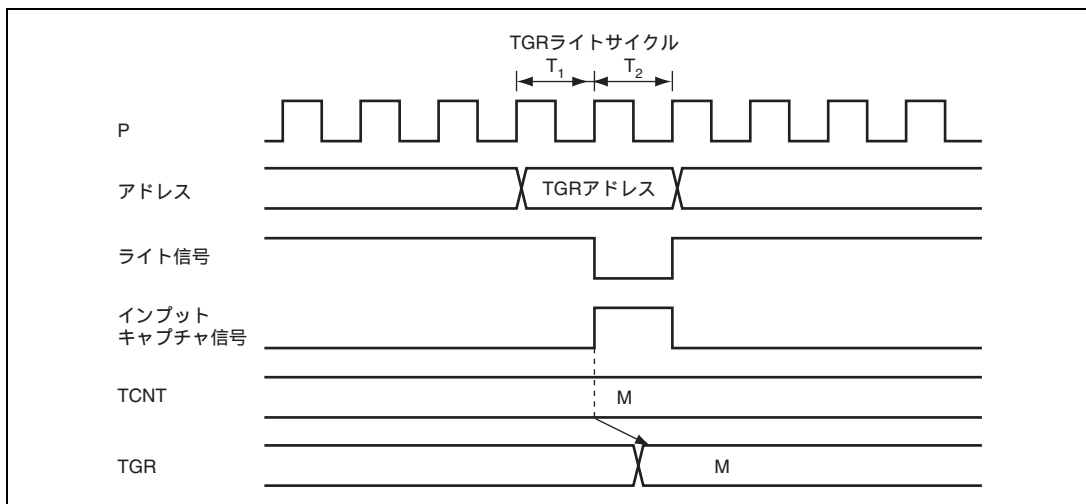


図 9.51 TGRのライトとインプットキャプチャの競合

9.9.10 バッファレジスタのライトとインプットキャプチャの競合

バッファレジスタのライトサイクル中のT2ステートでインプットキャプチャ信号が発生すると、バッファレジスタへのライトは行われず、バッファ動作が優先されます。このタイミングを図9.52に示します。

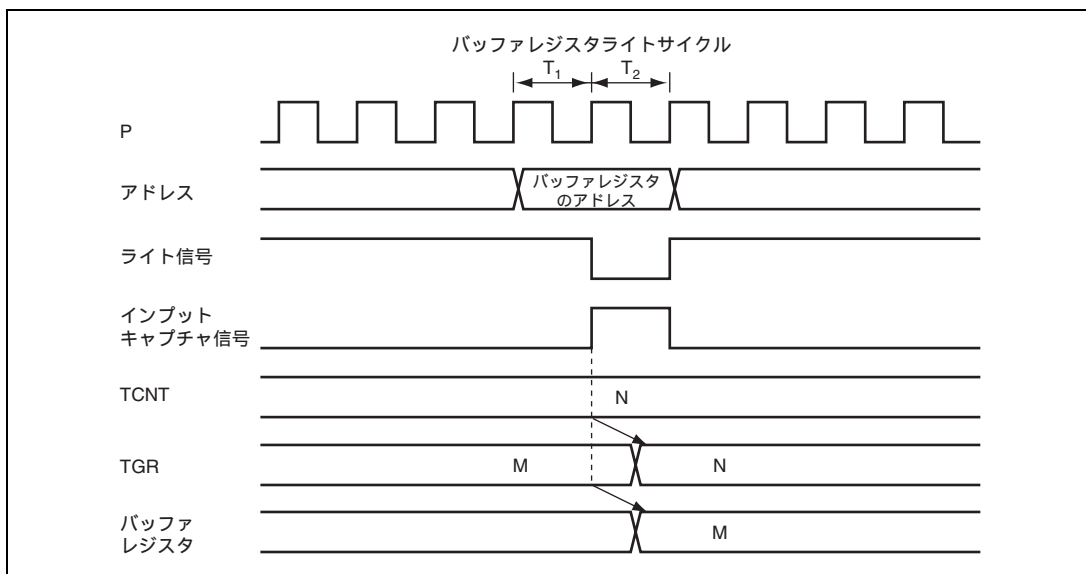


図 9.52 バッファレジスタのライトとインプットキャプチャの競合

9.9.11 オーバフロー / アンダフローとカウンタクリアの競合

オーバフロー / アンダフローとカウンタクリアが同時に発生すると、TSR の TCFV/TCFU フラグはセットされず、TCNT のクリアが優先されます。

TGR のコンペアマッチをクリア要因とし、TGR に H'FFFF を設定した場合の動作タイミングを図 9.53 に示します。

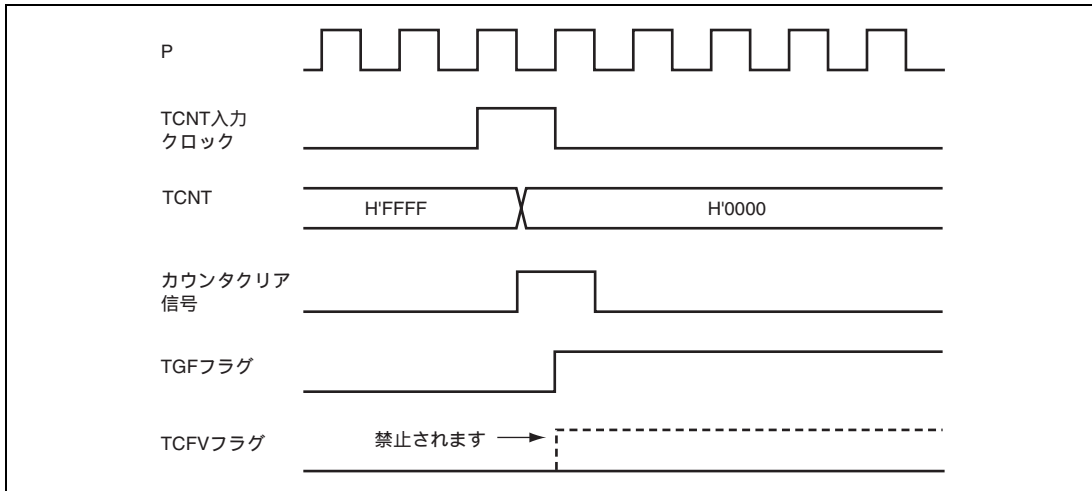


図 9.53 オーバフローとカウンタクリアの競合

9.9.12 TCNT のライトとオーバフロー / アンダフローの競合

TCNT のライトサイクル中の T2 ステートでカウントアップ / カウントダウンが発生し、オーバフロー / アンダフローが発生しても TCNT へのライトが優先され、TSR の TCFV/TCFU フラグはセットされません。

TCNT のライトとオーバフロー競合時の動作タイミングを図 9.54 に示します。

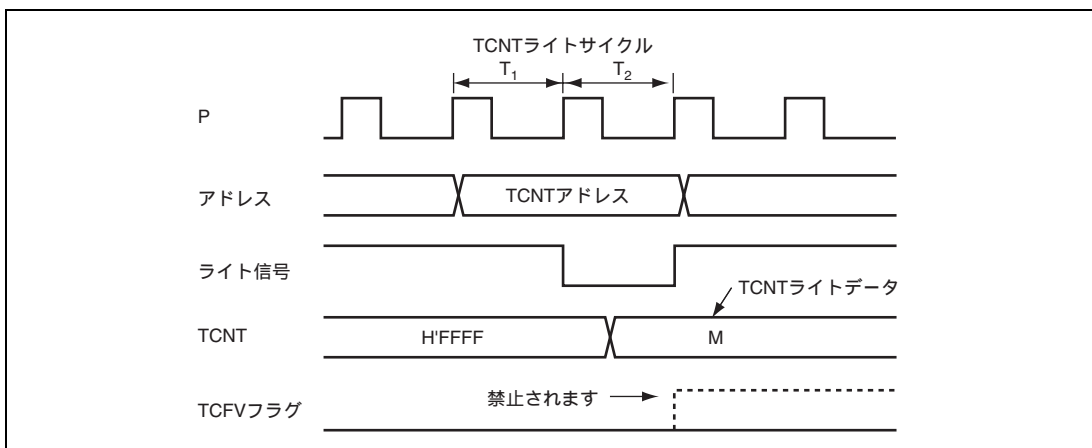


図 9.54 TCNT のライトとオーバフローの競合

9. 16 ビットタイマパルスユニット (TPU)

9.9.13 入出力端子の兼用

本 LSI では、TCLKA 入力と TIOCC0 入出力、TCLKB 入力と TIOCD0 入出力、TCLKC 入力と TIOCB1 入出力、TCLKD 入力と TIOCB2 入出力の端子がそれぞれ兼用になっています。外部クロックを入力する場合には、兼用されている端子からコンペアマッチ出力を行わないでください。

9.9.14 モジュールストップ時の割り込み

割り込みが要求された状態でモジュールストップモードにすると、CPU の割り込み要因、DMAC の起動要因のクリアができません。事前に割り込みをディスエーブルしてからモジュールストップモードとしてください。

10. ウォッチドッグタイマ (WDT)

ウォッチドッグタイマ (WDT) は 8 ビットのタイマで、システムの暴走などによりカウンタの値が書き換えられずにオーバーフローすると、本 LSI 内部をリセットすることができます。

ウォッチドッグタイマとして使用しない場合は、インターバルタイマとして使用することもできます。インターバルタイマとして使用する場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込みを発生します。WDT のブロック図を図 10.1 に示します。

10.1 特長

- 8種類のカウント入力クロックを選択可能
- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能

ウォッチドッグタイマモード

- カウンタがオーバーフローしたときに、本LSI内部をリセット可能

インターバルタイマモード

- カウンタがオーバーフローすると、インターバルタイマ割り込み (WOVI) を発生

10. ウォッチドッグタイマ (WDT)

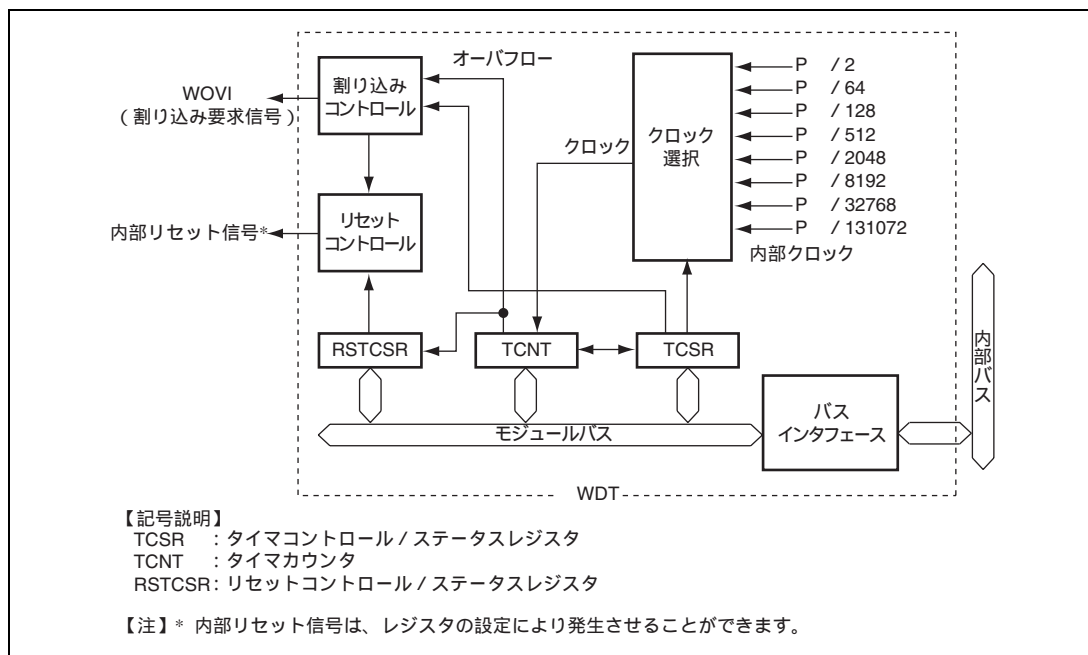


図 10.1 WDT のブロック図

10.2 レジスタの説明

WDT には、以下のレジスタがあります。TCNT、TCSR、RSTCSR は容易に書き換えられないように、ライト方法が一般のレジスタと異なります。詳細は、「10.5.1 レジスタアクセス時の注意」を参照してください。

- タイマカウンタ (TCNT)
- タイマコントロール/ステータスレジスタ (TCSR)
- リセットコントロール/ステータスレジスタ (RSTCSR)

10.2.1 タイマカウンタ (TCNT)

TCNT は、リード/ライト可能な 8 ビットのアップカウンタです。TCNT は、タイマコントロール/ステータスレジスタ (TCSR) の TME ビットが 0 のとき、H'00 に初期化されます。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

10.2.2 タイマコントロール/ステータスレジスタ (TCSR)

TCSR は、TCNT に入力するクロック、モードの選択などを行います。

ビット	7	6	5	4	3	2	1	0
ビット名	OVF	WT/ $\bar{I}T$	TME	-	-	CKS2	CKS1	CKS0
初期値:	0	0	0	1	1	0	0	0
R/W:	R/(W)*	R/W	R/W	R	R	R/W	R/W	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	OVF	0	R/(W)*	<p>オーバーフローフラグ</p> <p>インターバルタイマモードで TCNT がオーバーフローしたことを示します。フラグをクリアするための 0 クリアのみ可能です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> インターバルタイマモードで TCNT がオーバーフロー(H'FF H'00)したときただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます。 <p>[クリア条件]</p> <ul style="list-style-type: none"> OVF=1 の状態で、TCSR をリード後、OVF に 0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください)
6	WT/ $\bar{I}T$	0	R/W	<p>タイマモード選択</p> <p>ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。</p> <p>0: インターバルタイマモード</p> <p>TCNT がオーバーフローしたとき、インターバルタイマ割り込み(WOVI)を要求します。</p> <p>1: ウォッチドッグタイマモード</p> <p>TCNT がオーバーフロー、RSTE=1 のとき、LSI 内部をリセットします。</p>

10. ウォッチドッグタイム (WDT)

ビット	ビット名	初期値	R/W	説明
5	TME	0	R/W	タイマイネーブル このビットを1にセットすると TCNT がカウントを開始します。クリアすると TCNT はカウント動作を停止し、H'00 に初期化されます。
4, 3	-	すべて1	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。
2	CKS2	0	R/W	クロックセレクト 2~0 TCNT に入力するクロックを選択します。() 内は P = 20MHz のときのオーバフロー周期を表します。 000 : クロック P /2 (周期 25.6μs) 001 : クロック P /64 (周期 819.2μs) 010 : クロック P /128 (周期 1.6ms) 011 : クロック P /512 (周期 6.6ms) 100 : クロック P /2048 (周期 26.2ms) 101 : クロック P /8192 (周期 104.9ms) 110 : クロック P /32768 (周期 419.4ms) 111 : クロック P /131072 (周期 1.68s)
1	CKS1	0	R/W	
0	CKS0	0	R/W	

【注】 * フラグをクリアするための0ライトのみ可能です。

10.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)

RSTCSR は、TCNT のオーバフローによる内部リセット信号の発生を制御し、内部リセット信号の種類を選択します。RSTCSR は、 \overline{RES} 端子からのリセット信号で H'1F に初期化されます。WDT のオーバフローによる内部リセット信号では初期化されません。

ビット	7	6	5	4	3	2	1	0
ビット名	WOVF	RSTE	-	-	-	-	-	-
初期値:	0	0	0	1	1	1	1	1
R/W:	R/(W)*	R/W	R/W	R	R	R	R	R

【注】 * フラグをクリアするための0ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	WOVF	0	R/(W)*	ウォッチドッグタイムオーバフローフラグ ウォッチドッグタイムモードで、TCNT がオーバフローするとセットされます。インターバルタイムモードではセットされません。0ライトのみ可能です。 [セット条件] • ウォッチドッグタイムモードで TCNT がオーバフロー(H'FF H'00)したとき [クリア条件] • 1の状態をリードした後、0をライトしたとき

ビット	ビット名	初期値	R/W	説明
6	RSTE	0	R/W	リセットイネーブル ウォッチドッグタイマモードでTCNTのオーバーフローによりLSI内部をリセットするかどうかを選択します。 0: TCNTがオーバーフローしても、内部はリセットされません。 (本LSI内部はリセットされませんが、WDT内のTCNT、TCSRはリセットされます。) 1: TCNTがオーバーフローすると内部がリセットされます。
5	-	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
4~0	-	すべて1	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。

【注】 * フラグをクリアするための0ライトのみ可能です。

10.3 動作説明

10.3.1 ウォッチドッグタイマモード

ウォッチドッグタイマモードとして使用するときは、TCSRの WT/\overline{IT} ビット=1に、TMEビット=1に設定してください。

ウォッチドッグタイマモードでTCNTがオーバーフローすると、RSTCSRのWOVFビットが1にセットされます。また、ウォッチドッグタイマモードで、RSTCSRのRSTEビットを1にセットすると、システムの暴走などによりTCNTの値が書き換えられずオーバーフローしたとき、本LSIの内部をリセットする信号が発生します。システムが正常に動作している間は、TCNTのオーバーフローは発生しません。TCNTがオーバーフローする前に必ずTCNTの値を書き換えて（通常はH00をライトする）、オーバーフローを発生させないようにプログラムしてください。

TCNTがオーバーフローしたときに、 \overline{RES} 端子からの入力信号によるリセットとWDTのオーバーフローによるリセットが同時に発生したときは、 \overline{RES} 端子によるリセットが優先され、RSTCSRのWOVFビットは0にクリアされます。

内部リセット信号は、Pで519ステートの間出力されます。

RSTEビット=1のときは本LSIの内部をリセットする信号が発生し、システムクロックコントロールレジスタ(SCKCR)がリセットされるため、Pの入力クロックに対する倍率は初期値になります。

RSTEビット=0のときは内部をリセットする信号が発生せず、SCKCRの設定が保持されるためPの入力クロックに対する倍率は変化しません。

10. ウォッチドッグタイマ (WDT)

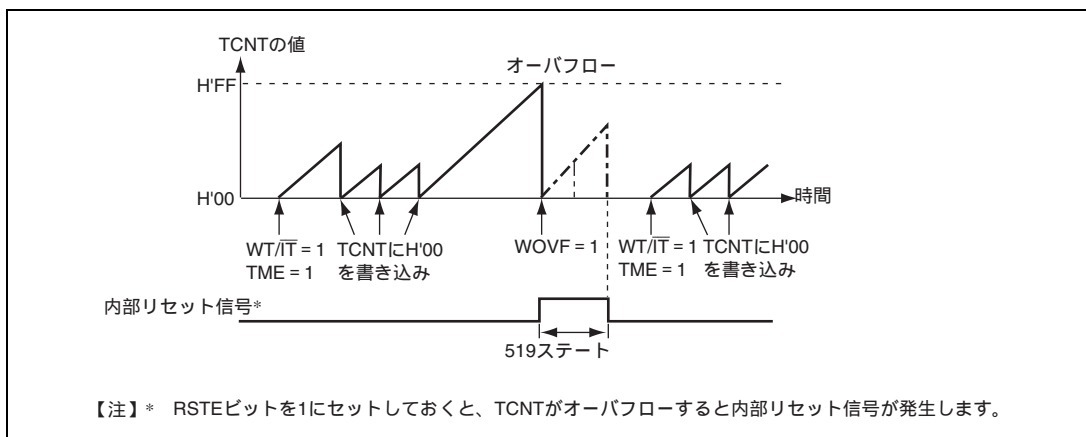


図 10.2 ウォッチドッグタイマモード時の動作

10.3.2 インターバルタイマモード

インターバルタイマとして使用するとき、TCSRのWT/ITビット=0に、TMEビット=1に設定してください。

インターバルタイマとして動作しているときは、TCNTがオーバーフローするごとにインターバルタイマ割り込み(WOVI)が発生します。したがって、一定時間ごとに割り込みを発生させることができます。

インターバルタイマモードでTCNTがオーバーフローすると、TCSRのOVFビットが1にセットされ、同時にインターバルタイマ割り込み(WOVI)が要求されます。

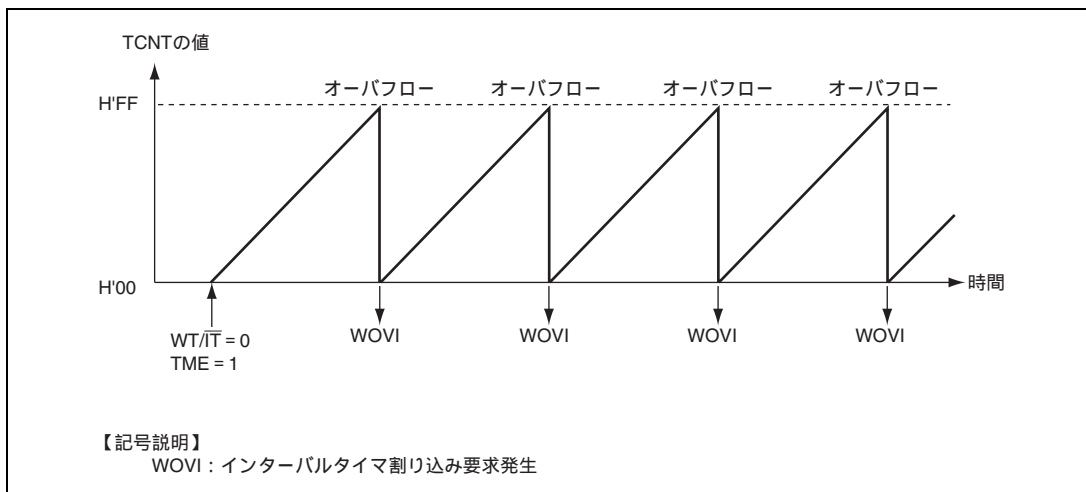


図 10.3 インターバルタイマモード時の動作

10.4 割り込み要因

インターバルタイムモード時、オーバフローによりインターバルタイム割り込み (WOVI) を発生します。インターバルタイム割り込みは、TCSR の OVF フラグが 1 にセットされると常に要求されます。割り込み処理ルーチンで必ず OVF を 0 にクリアしてください。

表 10.1 WDT の割り込み要因

名称	割り込み要因	割り込みフラグ
WOVI	TCNT のオーバフロー	OVF

10.5 使用上の注意事項

10.5.1 レジスタアクセス時の注意

TCNT、TCSR、RSTCSR は、容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。次の方法で、リード/ライトを行ってください。

(1) TCNT、TCSR、RSTCSR へのライト

TCNT、TCSR へライトするときは、必ずワード転送命令を使用してください。バイト転送命令では、ライトできません。

ライト時は、TCNT と TCSR が同一アドレスに割り当てられています。このため、図 10.4 に示すようにしてデータを転送してください。転送すると、下位バイトのデータが TCNT または TCSR へライトされます。

RSTCSR へライトするときは、アドレス (H'FFA6) に対してワード転送を行ってください。バイト転送命令では、ライトできません。

WOVF ビットへ 0 をライトする場合と、RSTE ビットにライトする場合は、ライトの方法が異なります。このため、図 10.4 に示すようにしてデータを転送してください。

転送すると、WOVF ビットが 0 にクリアされます。このとき、RSTE ビットは影響を受けません。RSTE ビットにライトするときは、図 10.4 に示すようにしてデータを転送してください。転送すると、下位バイトのビット 6 の値が RSTE ビットにライトされます。このとき、WOVF ビットは影響を受けません。

10. ウォッチドッグタイマ (WDT)

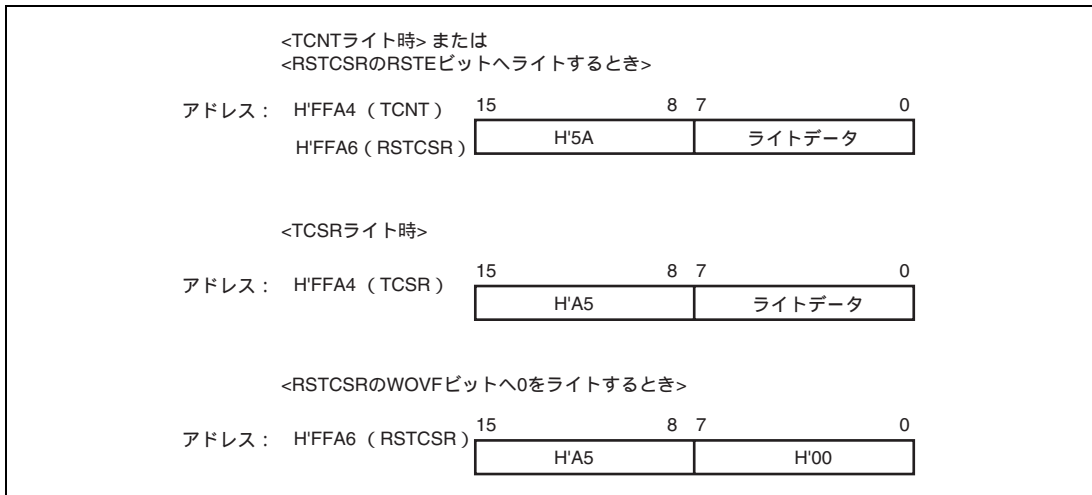


図 10.4 TCNT、TCSR、RSTCSR へのライト

(2) TCNT、TCSR、RSTCSR からのリード

リードは、一般のレジスタと同様の方法で行うことができます。TCSR はアドレス (H'FFA4) に、TCNT はアドレス (H'FFA5) に、RSTCSR はアドレス (H'FFA7) にそれぞれ割り当てられています。

10.5.2 タイマカウンタ (TCNT) のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされずに TCNT へのカウンタライトが優先されます。これを図 10.5 に示します。

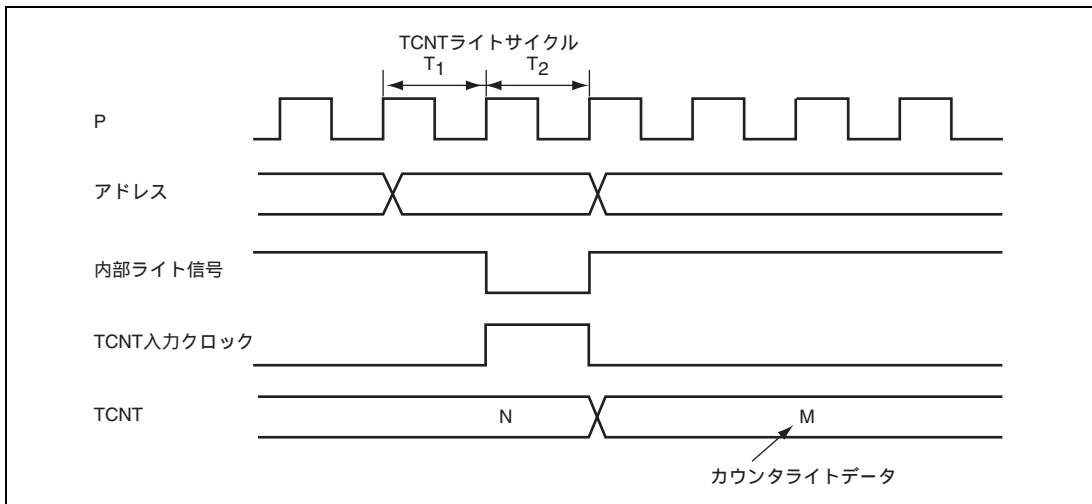


図 10.5 TCNT のライトとカウントアップの競合

10.5.3 CKS2 ~ CKS0 ビットの書き換え

WDT の動作中に TCSR の CKS2 ~ CKS0 ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS2 ~ CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

10.5.4 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われない場合があります。タイマモードの切り替えは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

10.5.5 ウォッチドッグタイマモードとソフトウェアスタンバイモードへの遷移

ウォッチドッグタイマモードとして動作しているときは、SBYCR の SSBY ビットを 1 にセットした状態で SLEEP 命令を実行してもソフトウェアスタンバイモードには遷移せず、スリープモードに遷移します。

ソフトウェアスタンバイモードに遷移させる場合は、WDT を停止させてから (TME ビットを 0 にクリア) SLEEP 命令を実行してください。

インターバルタイマモードとして動作している場合は、SBYCR の SSBY ビットを 1 にセットした状態で SLEEP 命令を実行するとソフトウェアスタンバイモードに遷移します。

10. ウォッチドッグタイマ (WDT)

11. 時計用タイマ (WAT)

時計用タイマ(WAT)はシステムクロックで動作するカウンタとサブクロックで動作する 16 ビットのタイマを内蔵しています。WATのブロック図を図 11.1 に示します。

11.1 特長

- 8種類のメインクロックと1種類のサブクロックからカウンタ入力クロックを選択可能
- コンペアマッチタイマモードとインターバルタイマモードを切り替え可能

コンペアマッチタイマモード

- ウォッチタイマコンスタントレジスタ (WTCOR) により、コンペアマッチの周期を変更可能
- ウォッチタイマカウンタ (WTCNT) とウォッチタイマコンスタントレジスタ (WTCOR) が一致すると、WCMi割り込みの発生が可能

インターバルタイマモード

- ウォッチタイマカウンタ (WTCNT) がオーバーフローすると、WCMi割り込みを発生

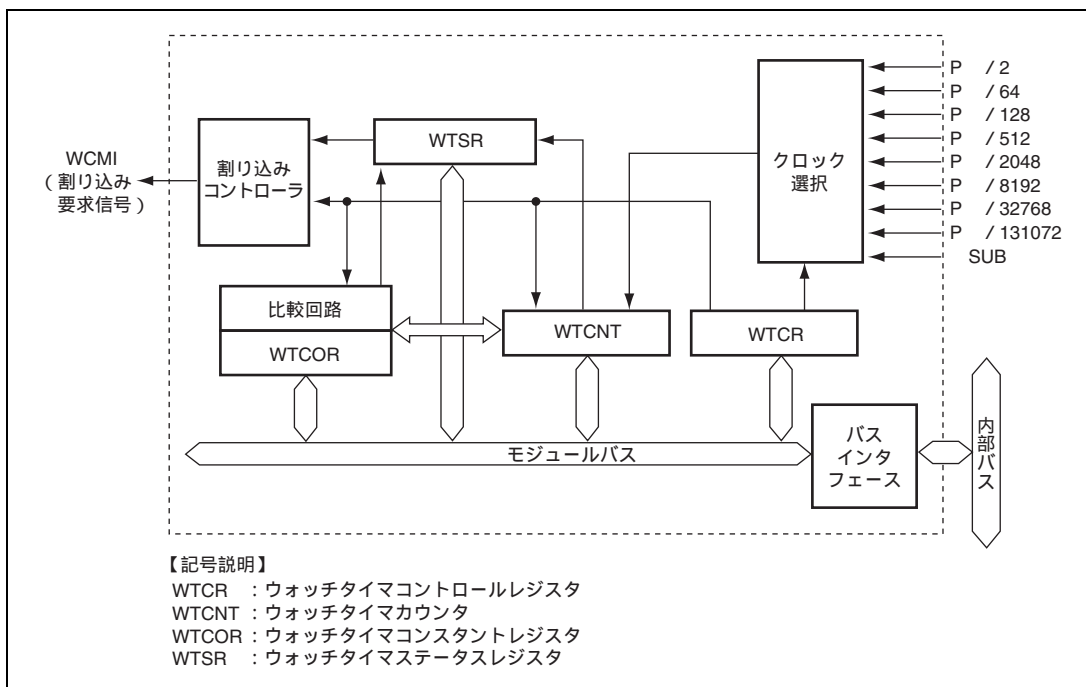


図 11.1 WATのブロック図

11. 時計用タイマ (WAT)

11.2 レジスタの説明

WAT には、以下のレジスタがあります。

- ウォッチタイマカウンタ (WTCNT)
- ウォッチタイマコントロールレジスタ (WTCR)
- ウォッチタイマステータスレジスタ (WTSR)
- ウォッチタイマコンスタントレジスタ (WTCOR)

11.2.1 ウォッチタイマカウンタ (WTCNT)

WTCNT は、リード/ライト可能な 16 ビットのアップカウンタです。WTCR の TME ビットを 1 にすると、WTCR の CKS2~CKS0 ビットと PSS ビットで選択した内部クロックによりカウントアップを開始します。

WTCNT は、WTCR の TME ビットを 0 にクリアすると H'0000 に初期化されます。

ビット	15	14	13	12	11	10	9	8
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.2.2 ウォッチタイマコントロールレジスタ (WTCR)

WTCR は、WTCNT に入力するクロック、モードの選択などを行います。

ビット	7	6	5	4	3	2	1	0
ビット名	-	CMT/ \bar{IT}	TME	PSS	IE	CKS2	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	-	0	-	リザーブビット リードすると常に 0 がリードされます。ライトする値も常に 0 としてください。

11. 時計用タイマ (WAT)

ビット	ビット名	初期値	R/W	説明
6	CMT/ \bar{T}	0	R/W	タイマモードセレクト コンペアマッチタイマとして使用するか、インターバルタイマとして使用するかを選択します。 0 : コンペアマッチタイマモード 1 : インターバルタイマモード
5	TME	0	R/W	タイマイネーブル このビットを 1 にセットすると WTCNT がカウントを開始します。 クリアすると WTCNT はカウント動作を停止し、H'0000 に初期化されます。 *
4	PSS	0	R/W	カウンタセレクト WTCNT のベースクロックを選択します。 時計用タイマとして動作させるときは、本ビットを必ず 1 にセットしてください。 0 : P ベースのクロックでカウンタ動作 1 : SUB ベースのクロックでカウンタ動作
3	IE	0	R/W	割り込みイネーブル 0 : 割り込み禁止 1 : コンペアマッチもしくは、オーバフローフラグによる割り込みを許可
2 1 0	CKS2 CKS1 CKS0	0 0 0	R/W R/W R/W	クロックセレクト 2-0 WTCNT の入力クロックを選択します。 () 内は PSS が 1 のときのクロックを示します。 000 : P /2 (SUB) 001 : P /64 (停止) 010 : P /128 (停止) 011 : P /512 (停止) 100 : P /2048 (停止) 101 : P /8192 (停止) 110 : P /32768 (停止) 111 : P /131072 (停止)

【注】 * TME ビットが 1 から 0 に変化したことを検出して WTCNT を H'0000 に初期化します。

11.2.3 ウォッチタイマステータスレジスタ (WTSR)

WTSR は、各ステータスフラグで構成されています。

ビット	7	6	5	4	3	2	1	0
ビット名	CMF/OVF	-	-	-	-	-	WTCNT_WF	WTCR_WF
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	-	-	-	-	-	R	R

【注】 * フラグをクリアするための0ライトのみ可能です。

11. 時計用タイマ (WAT)

ビット	ビット名	初期値	R/W	説 明
7	CMF/OVF	0	R/(W)*	<p>コンペアマッチ / オーバフローフラグ</p> <p>WTCNT がコンペアマッチ / オーバフローしたことを示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • コンペアマッチタイマモードで WTCNT と WTCOR の値が一致したとき • インターバルタイマモードで WTCNT がオーバフローしたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態で、WTSR をリード後、0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください)
6~2	-	すべて 0	-	<p>リザーブビット</p> <p>リードすると常に 0 がリードされます。ライトする値も常に 0 としてください。</p>
1	WTCNT_WF	0	R	<p>タイマカウンタ・ライトフラグ</p> <p>WTCNT の書き換えを開始すると、フラグが 1 にセットされ、WTCNT の書き換えが完了すると、0 にクリアされます。</p> <p>ただし、WTCNT へのリード / ライトを行うときには、必ずこのフラグが 0 のときに行ってください。1 のときライトを行っても、WTCNT の値は書き換えられません。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • WTCNT への書き換えを開始したとき (書き換え中) <p>[クリア条件]</p> <ul style="list-style-type: none"> • WTCNT への書き換えが完了したとき
0	WTCR_WF	0	R	<p>タイマコントロールレジスタ・ライトフラグ</p> <p>WTCR の書き換えを開始すると、フラグが 1 にセットされ、WTCR の書き換えが完了すると、0 にクリアされます。</p> <p>ただし、WTCR へのリード / ライトを行うときは、必ずこのフラグが 0 のときに行ってください。1 のときライトを行っても、WTCR の値は書き換えられません。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • WTCR への書き換えを開始したとき (書き換え中) <p>[クリア条件]</p> <ul style="list-style-type: none"> • WTCR への書き換えが完了したとき

【注】 * フラグをクリアするための 0 ライトのみ可能です。

11.2.4 ウォッチタイマコンスタントレジスタ (WTCOR)

WTCOR は、リード/ライト可能な 16 ビットのレジスタです。コンペアマッチタイマモード時、WTCOR 値が WTCNT 値と一致するとコンペアマッチフラグがセットされます。

インターバルタイマモード時は、WTCOR 値が WTCNT 値と一致してもコンペアマッチフラグはセットされません。

ビット	15	14	13	12	11	10	9	8
ビット名								
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.3 動作説明

11.3.1 コンペアマッチタイマモード

コンペアマッチタイマモードとして使用するときは、下記の手順で行ってください。

(1) 初期設定

下記設定は WTCNT が停止している状態 (WTCR の TME が 0 の状態) で行ってください。

- WTCOR でタイマの周期を設定します。
- WTCNT の初期値を設定します。
- WTCR の CMT/IT、PSS、IE、CKS2 ~ CKS0 によってタイマの動作モード/動作クロックおよび割り込みの許可/禁止を設定します。なお、SUBCKCR の XTALSTP ビットを 0 にクリアしておく、ソフトウェアスタンバイモード時も WTCNT のカウント動作を継続することができます。SUBCKCR の詳細は、「23. クロック発振器」を参照してください。

(2) 起動

- WTCR の値が書き換えられたことを確認後 (WTSR の WTCR_WF が 0 の状態)、WTCR の TME を 1 に設定します。
- WTCR の値を書き換え後 (WTSR の WTCR_WF が 0 の状態)、WTCNT がカウントアップ動作を開始します。
- WTCNT の値と WTCOR の値が一致するごとに WTSR の CMF/OVF が 1 にセットされます。
- WTCR の IE ビットが 1 に設定されていれば、同時にタイマ割り込みが発生します。

(3) 停止

- WTCR の TME を 0 に設定すると、WTCR を書き換え後 (WTSR の WTCR_WF が 0)、WTCNT がカウントアップ動作を停止し、WTCNT は H'0000 に初期化されます。

11. 時計用タイマ (WAT)

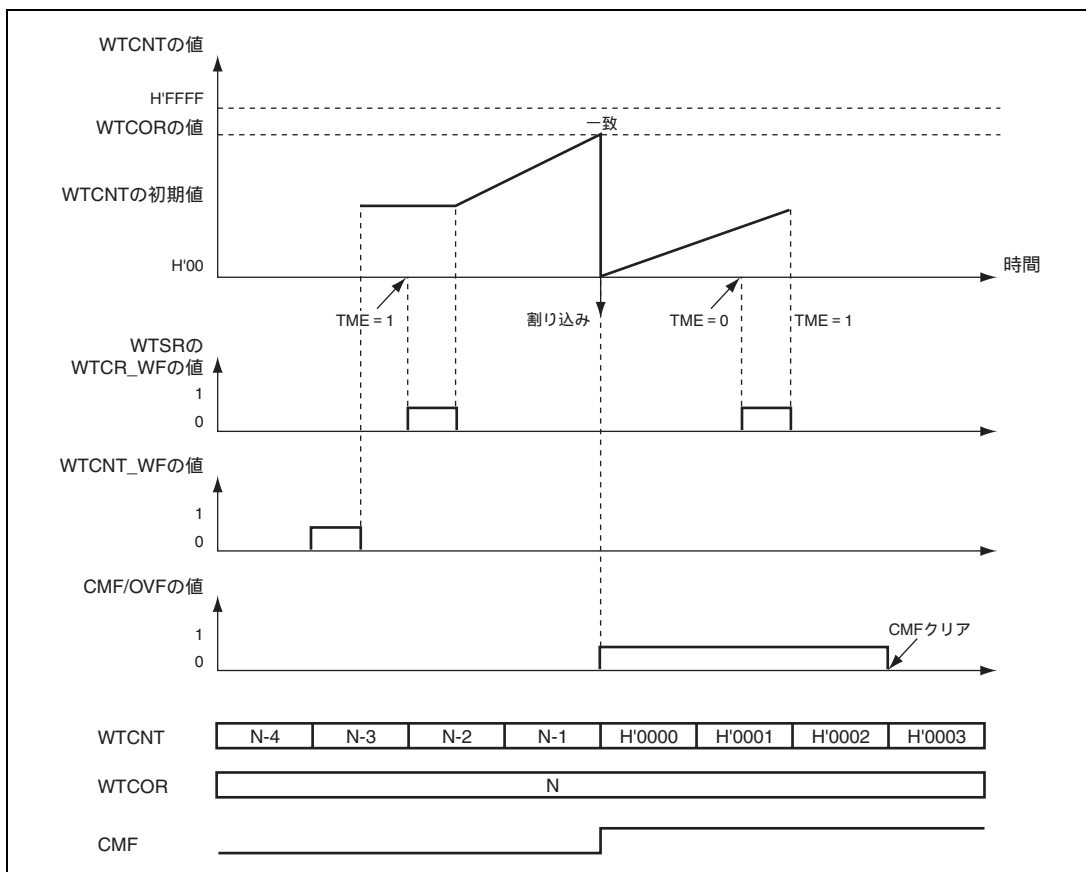


図 11.2 コンペアマッチタイマモード時の動作

11.3.2 インターバルタイマモード

インターバルタイマモードとして使用するときは、下記の手順で行ってください。

(1) 初期設定

下記設定は WTCNT が停止している状態 (WTCR の TME が 0 の状態)で行ってください。

- WTCNTの初期値を設定します。
- WTCRのCMT/IT、PSS、IE、CKS2～CKS0によってタイマの動作モード、動作クロック、および割り込みの許可を設定します。なお、SUBCKCRのXTALSTPビットを0にクリアしておく、ソフトウェアスタンバイモード時もWTCNTのカウンタ動作を継続することができます。SUBCKCRの詳細は、「23. クロック発振器」を参照してください。

(2) 起動

- WTCRの値が書き換えられたことを確認後(WTSRのWTCR_WFが0の状態)、WTCRのTMEを1に設定します。
- WTCRの値を書き換え後(WTSRのWTCR_WFが0の状態)、WTCNTがカウンタアップ動作を開始します。
- WTCNTの値がH'FFFF H'0000に変化すると、WTSRのCMF/OVFが1にセットされます。
- WTCRのIEビットが1に設定されていれば、同時にタイマ割り込みが発生します。

(3) 停止

- WTCRのTMEを0に設定すると、WTCRを書き換え後(WTSRのWTCR_WFが0)にWTCNTがカウンタアップ動作を停止し、WTCNTはH'0000に初期化されます。

11. 時計用タイマ (WAT)

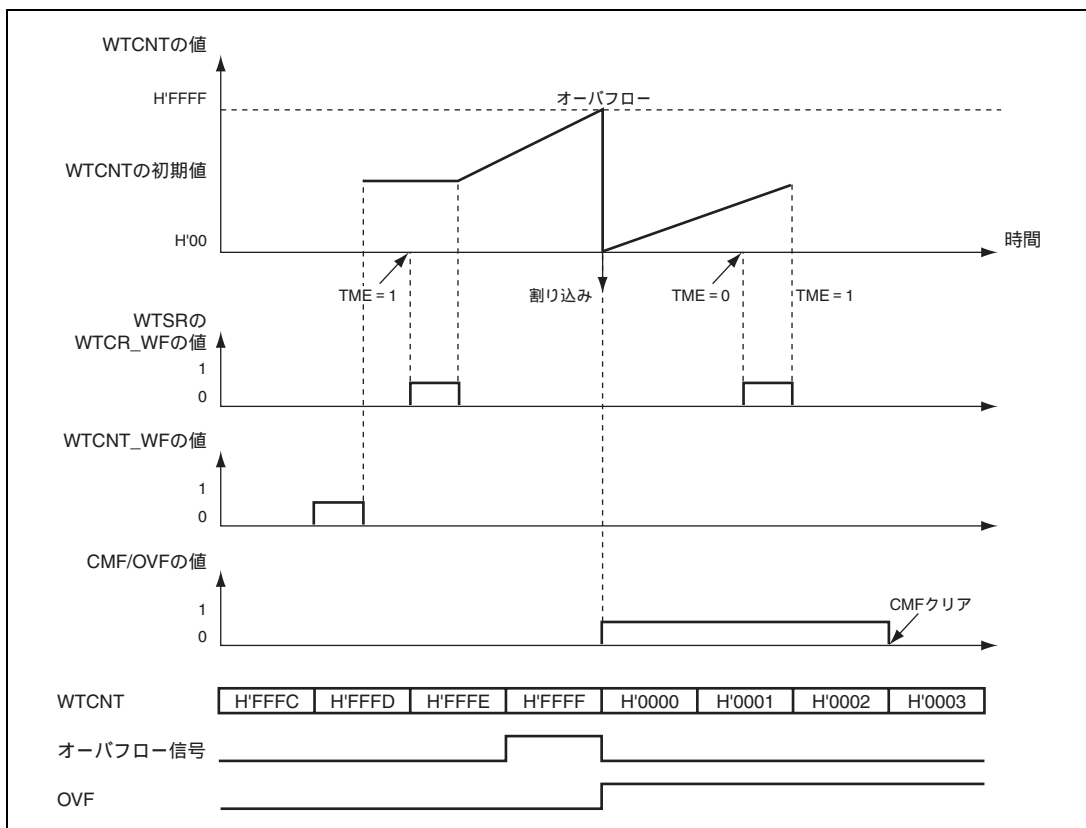


図 11.3 インターバルタイマモード時の動作

11.4 使用上の注意事項

11.4.1 レジスタアクセス時の注意

WTCNT、WTCR は、書き込み値が書き換えられるまでに時間がかかります。そのため、WTSR を設け、書き込み状態を表示しています。

(1) WTCR へのライト

WTCRへライトするときは、WTSRのフラグが書き換え完了 (WTCR_WF=0)であることを確認後、ライトを行ってください。レジスタ値書き換え中 (WTCR_WF=1)にライトしてもレジスタ値は書き換えられません。

(2) WTCNT へのライト

WTCNTへライトするときはWTSRのフラグが書き換え完了 (WTCNT_WF=0)であることを確認後、ライトを行ってください。

レジスタ値書き換え中 (WTCNT_WF=1) にライトしてもレジスタ値は書き換えられません。

また、WTCNTはシステムクロックで動作するカウンタとサブクロックで動作するカウンタの2つを内蔵しており、WTCRのPSSビットによりライトするカウンタが選択されるため、WTCRのPSSビットを書き換え後のWTCNTのライトは必ず、WTCR、WTCNTの両方が書き換え完了であることを確認後 (WTCR_WF=0かつWTCNT_WF=0) にライトを行ってください。

(3) WTCNT、WTCR からのリード

WTCNT、WTCRからリードするときは、WTSRのフラグが書き換え完了であることを確認後 (WTCR_WF=0またはWTCNT_WF=0) にリードを行ってください。

レジスタ値書き換え中 (WTCR_WF=1またはWTCNT_WF=1) にリードすると不定値がリードされる場合があります。

また、WTCNTはシステムクロックで動作するカウンタとサブクロックで動作するカウンタの2つを内蔵しており、WTCRのPSSビットによりリードするカウンタが選択されるため、WTCRのPSSビットを書き換え後のWTCNTのリードは必ずWTCR、WTCNTの両方が書き換え完了であることを確認後 (WTCR_WF=0かつWTCNT_WF=0) にリードを行ってください。

11. 時計用タイマ (WAT)

11.4.2 タイマカウンタ (WTCNT) のライトとカウントアップの競合

WTCNT のライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされずに WTCNT のカウンタライトが優先されます。これを図 11.4 に示します。

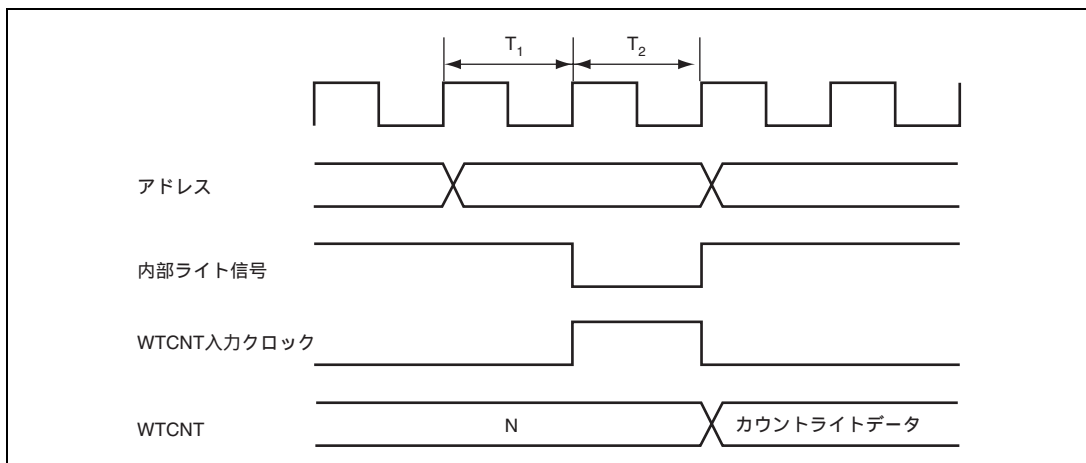


図 11.4 WTCNT のライトとカウントアップの競合

11.4.3 CKS2 ~ CKS0 ビットの書き換え

カウンタの動作中に WTCR の CKS2 ~ CKS0 ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS2 ~ CKS0 ビットを書き換えるときは、必ずタイマを停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

11.4.4 コンペアマッチタイマモードとインターバルタイマモードの切り替え

カウンタの動作中にコンペアマッチタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われない場合があります。タイマーモードの切り替えは、必ずカウンタを停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

11.4.5 PSS ビットの書き換え

カウンタの動作中に WTCR の PSS ビットを書き換えると、正しい動作が行われない場合があります。PSS ビットを書き換えるときは、必ずタイマを停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

11.4.6 コンペアマッチタイマモードでの WTCOR の設定値と WTCNT の書き換え値

コンペアマッチモード時に (WTCNT の書き込み値) < (WTCOR の設定値) の関係になるようにしてください。

11.4.7 割り込みベクタアドレス

通常動作時とソフトウェアスタンバイモード時で割り込みベクタアドレスが異なります。詳しくは、「5. 割り込みコントローラ」を参照してください。

12. シリアルコミュニケーションインタフェース (SCI)

本 LSI は独立した 4 チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。SCI は、調歩同期式とクロック同期式の 2 方式のシリアル通信が可能です。調歩同期方式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。調歩同期式モードでは複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。このほか、調歩同期式モードの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (IC カード) インタフェースをサポートしています。SCI のブロック図を図 12.1 に示します。

12.1 特長

- シリアルデータ通信モードを調歩同期式またはクロック同期式に設定可能
- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部と受信部はともにダブルバッファ構造になっていますので、連続送受信が可能

- 内蔵ボーレートジェネレータで任意のビットレートを選択可能
送受信クロックソースとして外部クロックの選択も可能 (スマートカードインタフェースを除く)
- LSBファースト / MSBファースト選択可能 (調歩同期式7ビットデータを除く)
- 割り込み要因 : 4種類
送信終了、送信データエンプティ、受信データフル、受信エラーの割り込み要因があります。また、送信データエンプティ、受信データフル割り込み要因によりDMACを起動することができます。
- モジュールストップモードの設定可能

調歩同期式モード

- データ長 : 7ビット / 8ビット選択可能
- ストップビット長 : 1ビット / 2ビット選択可能
- パリティ : 偶数パリティ / 奇数パリティ / パリティなしから選択可能
- 受信エラーの検出 : パリティエラー、オーバランエラー、フレーミングエラー
- ブレークの検出 : フレーミングエラー発生時RxD端子のレベルを直接リードすることでブレークを検出可能

12. シリアルコミュニケーションインタフェース (SCI)

クロック同期式モード

- データ長：8ビット
- 受信エラーの検出：オーバランエラー

スマートカードインタフェース

- 受信時パリティエラーを検出するとエラーシグナルを自動送出
- 送信時エラーシグナルを受信するとデータを自動再送信
- ダイレクトコンベンション / インバースコンベンションの両方をサポート

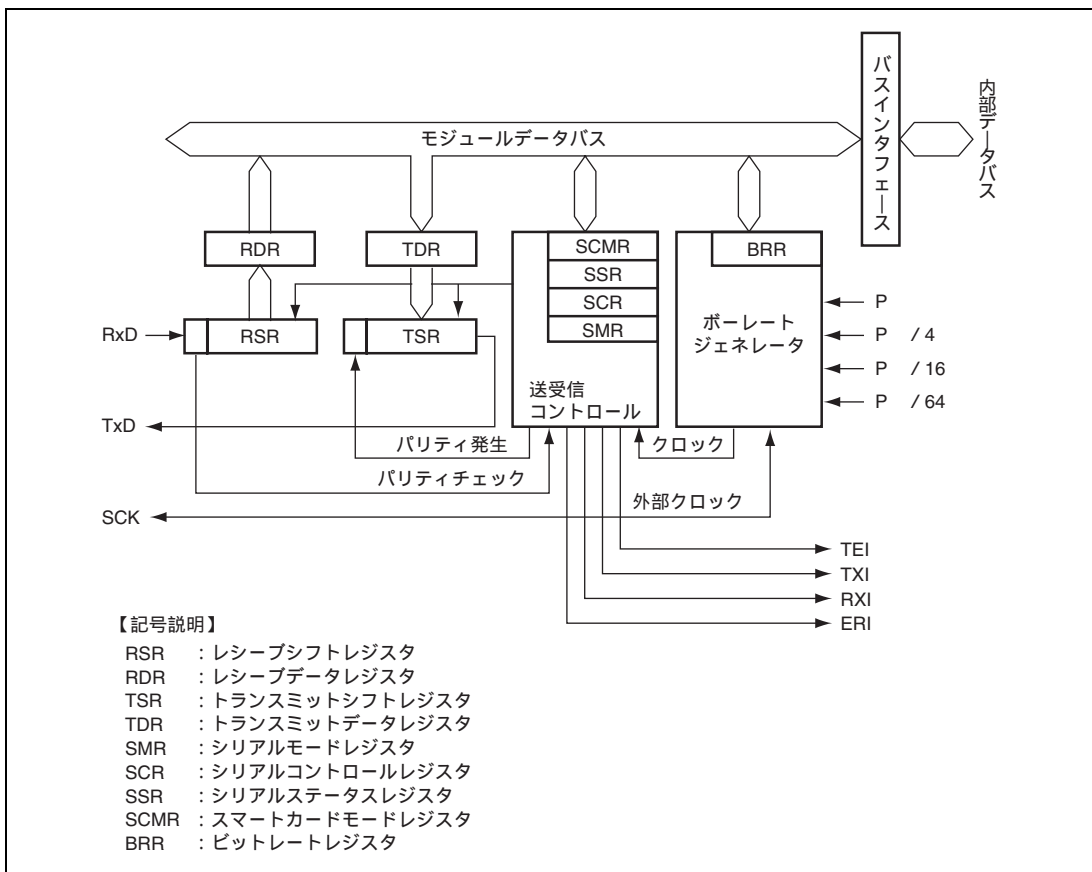


図 12.1 SCI のブロック図

12.2 入出力端子

SCIには、表 12.1 の入出力端子があります。

表 12.1 端子構成

チャンネル	端子名*	入出力	機能
0	SCK0	入出力	チャンネル0のクロック入出力端子
	RxD0	入力	チャンネル0の受信データ入力端子
	TxD0	出力	チャンネル0の送信データ出力端子
2	SCK2	入出力	チャンネル2のクロック入出力端子
	RxD2	入力	チャンネル2の受信データ入力端子
	TxD2	出力	チャンネル2の送信データ出力端子
4	SCK4	入出力	チャンネル4のクロック入出力端子
	RxD4	入力	チャンネル4の受信データ入力端子
	TxD4	出力	チャンネル4の送信データ出力端子
5	SCK5	入出力	チャンネル5のクロック入出力端子
	RxD5	入力	チャンネル5の受信データ入力端子
	TxD5	出力	チャンネル5の送信データ出力端子

【注】 * 本文中ではチャンネルを省略し、それぞれ SCK、RxD、TxD と略称します。

12.3 レジスタの説明

SCIには以下のレジスタがあります。また、シリアルモードレジスタ (SMR)、シリアルステータスレジスタ (SSR)、シリアルコントロールレジスタ (SCR) は通常のシリアルコミュニケーションインタフェースモードとスマートカードインタフェースモードで一部のビットの機能が異なるため、別々に記載してあります。

チャンネル0

- レシーブシフトレジスタ_0 (RSR_0)
- トランスミットシフトレジスタ_0 (TSR_0)
- レシーブデータレジスタ_0 (RDR_0)
- トランスミットデータレジスタ_0 (TDR_0)
- シリアルモードレジスタ_0 (SMR_0)
- シリアルコントロールレジスタ_0 (SCR_0)
- シリアルステータスレジスタ_0 (SSR_0)
- スマートカードモードレジスタ_0 (SCMR_0)
- ビットレートレジスタ_0 (BRR_0)

12. シリアルコミュニケーションインタフェース (SCI)

チャンネル 2

- レシーブシフトレジスタ_2 (RSR_2)
- トランスミットシフトレジスタ_2 (TSR_2)
- レシーブデータレジスタ_2 (RDR_2)
- トランスミットデータレジスタ_2 (TDR_2)
- シリアルモードレジスタ_2 (SMR_2)
- シリアルコントロールレジスタ_2 (SCR_2)
- シリアルステータスレジスタ_2 (SSR_2)
- スマートカードモードレジスタ_2 (SCMR_2)
- ビットレートレジスタ_2 (BRR_2)

チャンネル 4

- レシーブシフトレジスタ_4 (RSR_4)
- トランスミットシフトレジスタ_4 (TSR_4)
- レシーブデータレジスタ_4 (RDR_4)
- トランスミットデータレジスタ_4 (TDR_4)
- シリアルモードレジスタ_4 (SMR_4)
- シリアルコントロールレジスタ_4 (SCR_4)
- シリアルステータスレジスタ_4 (SSR_4)
- スマートカードモードレジスタ_4 (SCMR_4)
- ビットレートレジスタ_4 (BRR_4)

チャンネル 5

- レシーブシフトレジスタ_5 (RSR_5)
- トランスミットシフトレジスタ_5 (TSR_5)
- レシーブデータレジスタ_5 (RDR_5)
- トランスミットデータレジスタ_5 (TDR_5)
- シリアルモードレジスタ_5 (SMR_5)
- シリアルコントロールレジスタ_5 (SCR_5)
- シリアルステータスレジスタ_5 (SSR_5)
- スマートカードモードレジスタ_5 (SCMR_5)
- ビットレートレジスタ_5 (BRR_5)

12.3.1 レシーブシフトレジスタ (RSR)

RSR は RxD 端子から入力されたシリアルデータをパラレル変換するための受信用シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR へ転送されます。CPU から直接アクセスすることはできません。

12.3.2 レシーブデータレジスタ (RDR)

RDR は受信データを格納するための 8 ビットのレジスタです。1 フレーム分のデータを受信すると RSR から受信データがこのレジスタへ転送され、RSR は次のデータを受信可能となります。RSR と RDR はダブルバッファ構造になっているため連続受信動作が可能です。RDR のリードは SSR の RDRF が 1 にセットされていることを確認して 1 回だけ行ってください。RDR は CPU からライトできません。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

12.3.3 トランスミットデータレジスタ (TDR)

TDR は送信データを格納するための 8 ビットのレジスタです。TSR に空きを検出すると TDR にライトされた送信データは TSR に転送されて送信を開始します。TDR と TSR はダブルバッファ構造になっているため連続送信動作が可能です。1 フレーム分のデータを送信したとき TDR に次の送信データがライトされていれば TSR へ転送して送信を継続します。TDR は CPU から常にリード/ライト可能ですが、シリアル送信を確実にを行うため TDR への送信データのライトは必ず SSR の TDRE が 1 にセットされていることを確認して 1 回だけ行ってください。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

12.3.4 トランスミットシフトレジスタ (TSR)

TSR はシリアルデータを送信するためのシフトレジスタです。TDR にライトされた送信データは自動的に TSR に転送され、TxD 端子に送出することでシリアルデータの送信を行います。CPU からは直接アクセスすることはできません。

12. シリアルコミュニケーションインタフェース (SCI)

12.3.5 シリアルモードレジスタ (SMR)

SMR は通信フォーマットと内蔵ボーレートジェネレータのクロックソースを選択するためのレジスタです。SMR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

・ SCMRのSMIF = 0のとき

ビット	7	6	5	4	3	2	1	0
ビット名	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

・ SCMRのSMIF = 1のとき

ビット	7	6	5	4	3	2	1	0
ビット名	GM	BLK	PE	O/ \bar{E}	BCP1	BCP0	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

● 通常のシリアルコミュニケーションインタフェースモード (SCMRのSMIF = 0のとき)

ビット	ビット名	初期値	R/W	説明
7	C/ \bar{A}	0	R/W	コミュニケーションモード 0: 調歩同期式モードで動作します。 1: クロック同期式モードで動作します。
6	CHR	0	R/W	キャラクタレンクス (調歩同期式モードのみ有効) 0: データ長 8 ビットで送受信します。 1: データ長 7 ビットで送受信します。LSB ファースト固定となり、送信では TDR の MSB (ビット 7) は送信されません。 クロック同期式モードではデータ長は 8 ビット固定です。
5	PE	0	R/W	パリティエネーブル (調歩同期式モードのみ有効) このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。マルチプロセスフォーマットではこのビットの設定にかかわらずパリティビットの付加、チェックは行いません。
4	O/ \bar{E}	0	R/W	パリティモード (調歩同期式モードで PE = 1 のときのみ有効) 0: 偶数パリティで送受信します。 1: 奇数パリティで送受信します。
3	STOP	0	R/W	ストップビットレンクス (調歩同期式モードのみ有効) 送信時のストップビットの長さを選択します。 0: 1 ストップビット 1: 2 ストップビット 受信時はこのビットの設定にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が 0 の場合は次の送信フレームのスタートビットとみなします。

12. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説 明
2	MP	0	R/W	マルチプロセッサモード (調歩同期式モードのみ有効) このビットが 1 のときマルチプロセッサ機能がイネーブルになります。 マルチプロセッサモードでは PE、O/E ビットの設定は無効です。
1 0	CKS1 CKS0	0 0	R/W R/W	クロックセレクト 1、0 内蔵ポーレートジェネレータのクロックソースを選択します。 00 : P クロック (n=0) 01 : P /4 クロック (n=1) 10 : P /16 クロック (n=2) 11 : P /64 クロック (n=3) このビットの設定値とポーレートの関係については、「12.3.9 ビットレートレジスタ (BRR)」を参照してください。n は設定値の 10 進表示で、「12.3.9 ビットレートレジスタ (BRR)」中の n の値を表します。

12. シリアルコミュニケーションインタフェース (SCI)

• スマートカードインタフェース (SCMRのSMIF=1のとき)

ビット	ビット名	初期値	R/W	説明
7	GM	0	R/W	GSMモード このビットを1にセットするとGSMモードで動作します。GSMモードではTENDのセットタイミングが先頭から11.0etuに前倒しされ、クロック出力制御機能が追加されます。詳細は「12.7.6 データ送信(ブロック転送モードを除く)」、「12.7.8 クロック出力制御」を参照してください。
6	BLK	0	R/W	このビットを1にセットするとブロック転送モードで動作します。ブロック転送モードについての詳細は「12.7.3 ブロック転送モード」を参照してください。
5	PE	0	R/W	パリティイネーブル(調歩同期式モードのみ有効) このビットが1のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースではこのビットは1にセットして使用してください。
4	O/E	0	R/W	パリティモード(調歩同期式モードでPE=1のときのみ有効) 0: 偶数パリティで送受信します。 1: 奇数パリティで送受信します。 スマートカードインタフェースにおけるこのビットの使用方法については「12.7.2 データフォーマット(ブロック転送モード時を除く)」を参照してください。
3 2	BCP1 BCP0	0 0	R/W R/W	基本クロックパルス 1、0 スマートカードインタフェースモードにおいて1ビット転送期間中の基本クロック数を選択します。 00: 32クロック (S=32) 01: 64クロック (S=64) 10: 372クロック (S=372) 11: 256クロック (S=256) 詳細は、「12.7.4 受信データサンプリングタイミングと受信マージン」を参照してください。Sは「12.3.9 ビットレートレジスタ(BRR)」中のSの値を表します。
1 0	CKS1 CKS0	0 0	R/W R/W	クロックセレクト 1、0 内蔵ポーレートジェネレータのクロックソースを選択します。 00: P クロック (n=0) 01: P /4クロック (n=1) 10: P /16クロック (n=2) 11: P /64クロック (n=3) このビットの設定値とポーレートの関係については、「12.3.9 ビットレートレジスタ(BRR)」を参照してください。nは設定値の10進表示で、「12.3.9 ビットレートレジスタ(BRR)」中のnの値を表します。

【注】 etu: Elementary Time Unit (1ビットの転送期間)

12.3.6 シリアルコントロールレジスタ (SCR)

SCR は以下の送受信制御と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。各割り込み要求については「12.8 割り込み要因」を参照してください。SCR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

・ SCMRのSMIF = 0のとき

ビット	7	6	5	4	3	2	1	0
ビット名	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

・ SCMRのSMIF = 1のとき

ビット	7	6	5	4	3	2	1	0
ビット名	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

● 通常のシリアルコミュニケーションインタフェースモード (SCMRのSMIF = 0のとき)

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを 1 にセットすると、TXI 割り込み要求がイネーブルになります。 TXI 割り込み要求の解除は、TDRE フラグから 1 をリードした後、0 にクリアするか、TIE ビットを 0 にクリアすることで行うことができます。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを 1 にセットすると、RXI および ERI 割り込み要求がイネーブルになります。 RXI および ERI 割り込み要求の解除は、RDRF、または FER、PER、ORER の各フラグから 1 をリードした後、0 にクリアするか、RIE ビットを 0 にクリアすることで行うことができます。
5	TE	0	R/W	トランスミットイネーブル このビットを 1 にセットすると、送信動作が可能になります。この状態で、TDR に送信データをライトして、SSR の TDRE フラグを 0 にクリアするとシリアル送信を開始します。なお、TE ビットを 1 にセットする前に必ず SMR の設定を行い、送信フォーマットを決定してください。 このビットを 0 にして、送信動作を停止すると、SSR の TDRE フラグは 1 に固定されます。

12. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>このビットを 1 にセットすると、受信動作が可能になります。この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを 1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。</p> <p>このビットを 0 にして受信動作を停止しても RDRF、または FER、PER、ORER の各フラグは影響を受けず、状態を保持します。</p>
3	MPIE	0	R/W	<p>マルチプロセッサインタラプトイネーブル(調歩同期式モードで SMR の MP = 1 のとき有効)</p> <p>このビットを 1 にセットすると、マルチプロセッサビットが 0 の受信データは読みとばし、SSR の RDRF、FER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 のデータを受信すると、このビットは自動的にクリアされ通常の実受信動作に戻ります。詳細は「12.5 マルチプロセッサ通信機能」を参照してください。</p> <p>SSR の MPB = 0 を含む受信データを受信しているときは、RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB = 1 を含む受信データを受信すると、SSR の MPB を 1 にセットし、MPIE ビットを自動的に 0 にクリアし、RXI、ERI 割り込み要求 (SCR の TIE、RIE ビットが 1 にセットされている場合) と FER、ORER フラグのセットが許可されます。</p>
2	TEIE	0	R/W	<p>トランスミットエンドインタラプトイネーブル</p> <p>このビットを 1 セットすると TEI 割り込み要求がイネーブルになります。TEI 割り込み要求の解除は、TDRE フラグから 1 をリードした後、0 にクリアして TEND フラグを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。</p>
1 0	CKE1 CKE0	0 0	R/W R/W	<p>クロックイネーブル 1、0</p> <p>クロックソースおよび SCK 端子の機能を選択します。</p> <p>調歩同期式の場合</p> <p>00 : 内蔵ポーレートジェネレータ (SCK 端子は入出力ポートとして使用できます)</p> <p>01 : 内蔵ポーレートジェネレータ (SCK 端子からビットレートと同じ周波数のクロックを出力します)</p> <p>1x : 外部クロック (SCK 端子からビットレートの 16 倍の周波数のクロックを入力してください。)</p> <p>クロック同期式の場合</p> <p>0x : 内部クロック (SCK 端子はクロック出力端子となります。)</p> <p>1x : 外部クロック (SCK 端子はクロック入力端子となります。)</p>

【注】 x : Don't care

12. シリアルコミュニケーションインタフェース (SCI)

• スマートカードインタフェース (SCMRのSMIF=1のとき)

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを1にセットすると、TXI 割り込み要求がイネーブルになります。 TXI 割り込み要求の解除は、TDRE フラグから1をリードした後、0にクリアするか、TIE ビットを0にクリアすることで行うことができます。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを1にセットすると、RXI および ERI 割り込み要求がイネーブルになります。 RXI および ERI 割り込み要求の解除は、RDRF、または FER、PER、ORER の各フラグから1をリードした後、0にクリアするか、RIE ビットを0にクリアすることで行うことができます。
5	TE	0	R/W	トランスミットイネーブル このビットを1にセットすると、送信動作が可能になります。この状態で、TDR に送信データをライトして、SSR の TDRE フラグを0にクリアするとシリアル送信を開始します。なお、TE ビットを1にセットする前に必ず SMR の設定を行い、送信フォーマットを決定してください。 このビットを0にして、送信動作を停止すると、SSR の TDRE フラグは1に固定されます。
4	RE	0	R/W	レシーブイネーブル このビットを1にセットすると、受信動作が可能になります。この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを1にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。 このビットを0にして受信動作を停止しても、RDRF、または FER、PER、ORER の各フラグは影響を受けず、状態を保持します。
3	MPIE	0	R/W	マルチプロセッサインタラプトイネーブル(調歩同期式モードで SMR の MP = 1 のとき有効) スマートカードインタフェースではこのビットには0をライトして使用してください。
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル スマートカードインタフェースではこのビットには0をライトして使用してください。
1 0	CKE1 CKE0	0 0	R/W R/W	クロックイネーブル1、0 SCK 端子からのクロック出力を制御します。GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は「12.7.8 クロック出力制御」を参照してください。 SMR の GM = 0 の場合 00 : 出力ディスエーブル (SCK 端子は入出力ポートとして使用可) 01 : クロック出力 1X : リザーブ SMR の GM = 1 の場合 00 : Low 出力固定 01 : クロック出力 10 : High 出力固定 11 : クロック出力

12. シリアルコミュニケーションインタフェース (SCI)

12.3.7 シリアルステータスレジスタ (SSR)

SSR は SCI のステータスフラグと送受信マルチプロセッサビットで構成されます。TDRE、RDRF、ORER、PER、FER はクリアのみ可能です。SSR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

・ SCMRのSMIF = 0のとき

ビット	7	6	5	4	3	2	1	0
ビット名	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

・ SCMRのSMIF = 1のとき

ビット	7	6	5	4	3	2	1	0
ビット名	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

● 通常のシリアルコミュニケーションインタフェースモード (SCMRのSMIF = 0のとき)

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)*	トランスミットデータレジスタempty TDR 内の送信データの有無を表示します。 [セット条件] • SCR の TE が 0 のとき • TDR から TSR にデータが転送されたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • TXI 割り込み要求により DMAC で TDR へ送信データを転送したとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください)

12. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説 明
6	RDRF	0	R/(W)*	<p>レシブデータレジスタフル</p> <p>RDR 内の受信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 受信が正常終了し、RSR から RDR へ受信データが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき RXI 割り込みにより DMAC で RDR からデータを転送したとき <p>SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。</p> <p>RDRF フラグが 1 にセットされたまま次のデータを受信完了すると、オーバランエラーが発生し、受信データが失われますので注意してください。 (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください)</p>
5	ORER	0	R/(W)*	<p>オーバランエラー</p> <p>受信時にオーバランエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> RDRF=1 の状態で次のデータを受信したとき <p>RDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグに 1 がセットされた状態では、以降のシリアル受信を続けることはできません。なお、クロック同期モードでは、シリアル送信も続けることはできません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき <p>SCR の RE をクリアしても、ORER は影響を受けず以前の状態を保持します。(割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください)</p>
4	FER	0	R/(W)*	<p>フレーミングエラー</p> <p>調歩同期モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> ストップビットが 0 のとき <p>2 ストップモードのときは、1 ビット目のストップビットが 1 であるかどうかのみを判定し、2 ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。さらに、FER フラグが 1 にセットされた状態では、以降のシリアル受信を続けることができません。クロック同期モードでは、シリアル送信も続けることはできません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき <p>SCR の RE をクリアしても、FER は影響を受けず以前の状態を保持します。(割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください)</p>

12. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
3	PER	0	R/(W)*	<p>パリティエラー</p> <p>調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信中にパリティエラーを検出したとき <p>パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。なお、PERフラグが1にセットされた状態では、以降のシリアル受信を続けることはできません。クロック同期式モードでは、シリアル送信も続けることはできません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき <p>SCRのREをクリアしても、PERは影響を受けず以前の状態を保持します。 (割り込みを使用し、CPUによってクリアする場合、0ライト後必ずフラグをリードしてください)</p>
2	TEND	1	R	<p>トランスミットエンド</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCRのTEが0のとき • 送信キャラクタの最後尾ビットの送信時、TDREが1のとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TDRE=1の状態をリードした後、TDREフラグに0をライトしたとき • TXI割り込み要求によりDMACでTDRへ送信データをライトしたとき (割り込みを使用し、CPUによってクリアする場合、0ライト後必ずフラグをリードしてください)
1	MPB	0	R	<p>マルチプロセッサビット</p> <p>受信フレーム中のマルチプロセッサビットの値が格納されます。SCRのREが0のときは変化しません。</p>
0	MPBT	0	R/W	<p>マルチプロセッサビットトランスファ</p> <p>送信フレームに付加するマルチプロセッサビットの値を設定します。</p>

【注】 * フラグをクリアするための0ライトのみ可能です。

12. シリアルコミュニケーションインタフェース (SCI)

• スマートカードインタフェース (SCMRのSMIF=1のとき)

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)*	<p>トランスミットデータレジスタエンpty TDR 内の送信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCR の TE が 0 のとき • TDR から TSR にデータが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき • TXI 割り込み要求により DMAC で TDR へ送信データを転送したとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください)
6	RDRF	0	R/(W)*	<p>レシーブデータレジスタフル RDR 内の受信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信が正常終了し、RSR から RDR へ受信データが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき • RXI 割り込みにより DMAC で RDR からデータを転送したとき SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。 RDRF フラグが 1 にセットされたまま次のデータを受信完了すると、オーバーランエラーが発生し、受信データが失われますので注意してください。 (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください)
5	ORER	0	R/(W)*	<p>オーバーランエラー 受信時にオーバーランエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • RDRF = 1 の状態で次のデータを受信したとき RDR ではオーバーランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグに 1 がセットされた状態では、以降のシリアル受信を続けることはできません。なお、クロック同期モードでは、シリアル送信も続けることはできません。 <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき SCR の RE をクリアしても、ORER は影響を受けず以前の状態を保持します。 (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください)

12. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
4	ERS	0	R/(W)*	<p>エラーシグナルステータス</p> <p>[セット条件]</p> <ul style="list-style-type: none"> エラーシグナル Low をサンプリングしたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください)
3	PER	0	R/(W)*	<p>パリティエラー</p> <p>調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 受信中にパリティエラーを検出したとき <p>パリティエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。なお、PER フラグが 1 にセットされた状態では、以降のシリアル受信を続けることはできません。クロック同期式モードでは、シリアル送信も続けることはできません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき <p>SCR の RE をクリアしても、PER は影響を受けず以前の状態を保持します。 (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください)</p>
2	TEND	1	R	<p>トランスミットエンド</p> <p>受信側からのエラーシグナルの応答がなく、次の送信データを TDR に転送可能になったときセットされます。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> SCR の TE = 0 かつ ESR = 0 のとき 1 バイトのデータを送信して一定期間後、ESR = 0 かつ TDRE = 1 のとき。セットされるタイミングはレジスタの設定により以下のように異なります。 <p>GM = 0、BLK = 0 のとき、送信開始から 2.5etu 後 GM = 0、BLK = 1 のとき、送信開始から 1.5etu 後 GM = 1、BLK = 0 のとき、送信開始から 1.0etu 後 GM = 1、BLK = 1 のとき、送信開始から 1.0etu 後</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> TDRE = 1 の状態をリードした後、TDRE フラグに 0 をライトしたとき TXI 割り込み要求により DMAC で TDR へ送信データをライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください)

12. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
1	MPB	0	R	マルチプロセッサビット スマートカードインタフェースでは使用しません。
0	MPBT	0	R/W	マルチプロセッサビットトランスファ スマートカードインタフェースではこのビットには0をライトして使用してください。

【注】 * フラグをクリアするための0ライトのみ可能です。

12.3.8 スマートカードモードレジスタ (SCMR)

SCMR はスマートカードインタフェースおよびそのフォーマットを選択するためのレジスタです。

ビット	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	SDIR	SINV	-	SMIF
初期値:	1	1	1	1	0	0	1	0
R/W:	-	-	-	-	R/W	R/W	-	R/W

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて1	-	リザーブビット リードすると常に1がリードされます。
3	SDIR	0	R/W	スマートカードデータトランスファディレクション シリアル/パラレル変換の方向を選択します。 0: LSB ファーストで送受信 1: MSB ファーストで送受信 送受信フォーマットが8ビットデータの場合のみ有効です。7ビットデータの場合はLSB ファーストに固定されます。
2	SINV	0	R/W	スマートカードデータインバート 送受信データのロジックレベルを反転します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合はSMRのO/Eビットを反転してください。 0: TDRの内容をそのまま送信、受信データをそのままRDRに格納 1: TDRの内容を反転して送信、受信データを反転してRDRに格納
1	-	1	-	リザーブビット リードすると常に1がリードされます。
0	SMIF	0	R/W	スマートカードインタフェースモードセレクト スマートカードインタフェースモードで動作させるとき1をセットします。 0: 通常の調歩同期式またはクロック同期式モード 1: スマートカードインタフェースモード

12. シリアルコミュニケーションインタフェース (SCI)

12.3.9 ビットレートレジスタ (BRR)

BRR はビットレートを調整するための 8 ビットのレジスタです。SCI はチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、クロック同期式モード、スマートカードインタフェースモードにおける BRR の設定値 N とビットレート B の関係を表 12.2 に示します。BRR の初期値は H'FF で、CPU から常にリード/ライト可能です。

表 12.2 BRR の設定値 N とビットレート B の関係

モード	BRR の設定値	誤差
調歩同期式	$N = \frac{P \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	$\text{誤差}(\%) = \left\{ \frac{P \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式	$N = \frac{P \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	
スマートカード インタフェース	$N = \frac{P \times 10^6}{S \times 2^{2n+1} \times B} - 1$	$\text{誤差}(\%) = \left\{ \frac{P \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$

【注】 B: ビットレート (bit/s)

N: ボーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)

P: 動作周波数 (MHz)

n と S: 下表のとおり SMR の設定値によって決まります。

SMR の設定値		n
CKS1	CKS0	
0	0	0
0	1	1
1	0	2
1	1	3

SMR の設定値		S
BCP1	BCP0	
0	0	32
0	1	64
1	0	372
1	1	256

通常の調歩同期式モードにおける BRR の値 N の設定例を表 12.3 に、各動作周波数における設定可能な最大ビットレートを表 12.4 に示します。また、クロック同期式モードにおける BRR の値 N の設定例を表 12.6 に、スマートカードインタフェースにおける BRR の値 N の設定例を表 12.8 に示します。スマートカードインタフェースでは 1 ビット転送期間の基本クロック数 S を選択できます。詳細は「12.7.4 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 12.5、表 12.7 に外部クロック入力時の最大ビットレートを示します。

12. シリアルコミュニケーションインタフェース (SCI)

表 12.3 ビットレートに対する BRR の設定例 (調歩同期式モード) (1)

ビットレート (bit/s)	動作周波数 P (MHz)											
	8			9.8304			10			12		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00
38400	-	-	-	0	7	0.00	0	7	1.73	0	9	-2.34

ビットレート (bit/s)	動作周波数 P (MHz)											
	12.288			14			14.7456			16		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	217	0.08	2	248	-0.17	3	64	0.70	3	70	0.03
150	2	159	0.00	2	181	0.16	2	191	0.00	2	207	0.16
300	2	79	0.00	2	90	0.16	2	95	0.00	2	103	0.16
600	1	159	0.00	1	181	0.16	1	191	0.00	1	207	0.16
1200	1	79	0.00	1	90	0.16	1	95	0.00	1	103	0.16
2400	0	159	0.00	0	181	0.16	0	191	0.00	0	207	0.16
4800	0	79	0.00	0	90	0.16	0	95	0.00	0	103	0.16
9600	0	39	0.00	0	45	-0.93	0	47	0.00	0	51	0.16
19200	0	19	0.00	0	22	-0.93	0	23	0.00	0	25	0.16
31250	0	11	2.40	0	13	0.00	0	14	-1.70	0	15	0.00
38400	0	9	0.00	-	-	-	0	11	0.00	0	12	0.16

12. シリアルコミュニケーションインタフェース (SCI)

表 12.3 ビットレートに対する BRR の設定例 (調歩同期モード) (2)

ビットレート (bit/s)	動作周波数 P (MHz)											
	17.2032			18			19.6608			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	75	0.48	3	79	-0.12	3	86	0.31	3	88	-0.25
150	2	223	0.00	2	233	0.16	2	255	0.00	3	64	0.16
300	2	111	0.00	2	116	0.16	2	127	0.00	2	129	0.16
600	1	223	0.00	1	233	0.16	1	255	0.00	2	64	0.16
1200	1	111	0.00	1	116	0.16	1	127	0.00	1	129	0.16
2400	0	223	0.00	0	233	0.16	0	255	0.00	1	64	0.16
4800	0	111	0.00	0	116	0.16	0	127	0.00	0	129	0.16
9600	0	55	0.00	0	58	-0.69	0	63	0.00	0	64	0.16
19200	0	27	0.00	0	28	1.02	0	31	0.00	0	32	-1.36
31250	0	16	1.20	0	17	0.00	0	19	-1.70	0	19	0.00
38400	0	13	0.00	0	14	-2.34	0	15	0.00	0	15	1.73

表 12.4 各動作周波数における最大ビットレート (調歩同期モード)

P (MHz)	最大ビットレート (bit/s)	n	N	P (MHz)	最大ビットレート (bit/s)	n	N
8	250000	0	0	14.7456	460800	0	0
9.8304	307200	0	0	16	500000	0	0
10	312500	0	0	17.2032	537600	0	0
12	375000	0	0	18	562500	0	0
12.288	384000	0	0	19.6608	614400	0	0
14	437500	0	0	20	625000	0	0

表 12.5 外部クロック入力時の最大ビットレート (調歩同期モード)

P (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)	P (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
8	2.0000	125000	14.7456	3.6864	230400
9.8304	2.4576	153600	16	4.0000	250000
10	2.5000	156250	17.2032	4.3008	268800
12	3.0000	187500	18	4.5000	281250
12.288	3.0720	192000	19.6608	4.9152	307200
14	3.5000	218750	20	5.0000	312500

12. シリアルコミュニケーションインタフェース (SCI)

表 12.6 ビットレートに対する BRR の設定例 (クロック同期式モード)

ビット レート (bit/s)	動作周波数 P (MHz)								
	8		10		16		20		
	n	N	n	N	n	N	n	N	
110									
250	3	124	-	-	3	249			
500	2	249	-	-	3	124	-	-	
1k	2	124	-	-	2	249	-	-	
2.5k	1	199	1	249	2	99	2	124	
5k	1	99	1	124	1	199	1	249	
10k	0	199	0	249	1	99	1	124	
25k	0	79	0	99	0	159	0	199	
50k	0	39	0	49	0	79	0	99	
100k	0	19	0	24	0	39	0	49	
250k	0	7	0	9	0	15	0	19	
500k	0	3	0	4	0	7	0	9	
1M	0	1			0	3	0	4	
2.5M			0	0*			0	1	
5M							0	0*	

【記号説明】

空欄 : 設定できません。

- : 設定可能ですが誤差がでます。

* : 連続送信 / 連続受信はできません。

表 12.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

P (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)	P (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
8	1.3333	1333333.3	16	2.6667	2666666.7
10	1.6667	1666666.7	18	3.0000	3000000.0
12	2.0000	2000000.0	20	3.3333	3333333.3
14	2.3333	2333333.3			

12. シリアルコミュニケーションインタフェース (SCI)

表 12.8 ビットレートに対する BRR の設定例 (スマートカードインタフェースモードで n=0、S=372 のとき)

ビットレート (bit/s)	動作周波数 P (MHz)											
	7.1424			10.00			10.7136			13.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	0	0.00	0	1	30	0	1	25	0	1	8.99

ビットレート (bit/s)	動作周波数 P (MHz)											
	14.2848			16.00			18.00			20.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	1	0.00	0	1	12.01	0	2	15.99	0	2	6.60

表 12.9 各動作周波数における最大ビットレート (スマートカードインタフェースモードで S=372 のとき)

P (MHz)	最大ビットレート (bit/s)	n	N	P (MHz)	最大ビットレート (bit/s)	n	N
7.1424	9600	0	0	14.2848	19200	0	0
10.00	13441	0	0	16.00	21505	0	0
10.7136	14400	0	0	18.00	24194	0	0
13.00	17473	0	0	20.00	26882	0	0

12.4 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なフォーマットを図 12.2 に示します。1 フレームは、スタートビット (Low レベル) から始まり送受信データ、パリティビット、ストップビット (High レベル) の順で構成されます。調歩同期式シリアル通信では、通信回線は通常マーク状態 (High レベル) に保たれています。SCI は通信回線を監視し、スペース (Low レベル) を検出するとスタートビットとみなしてシリアル通信を開始します。SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

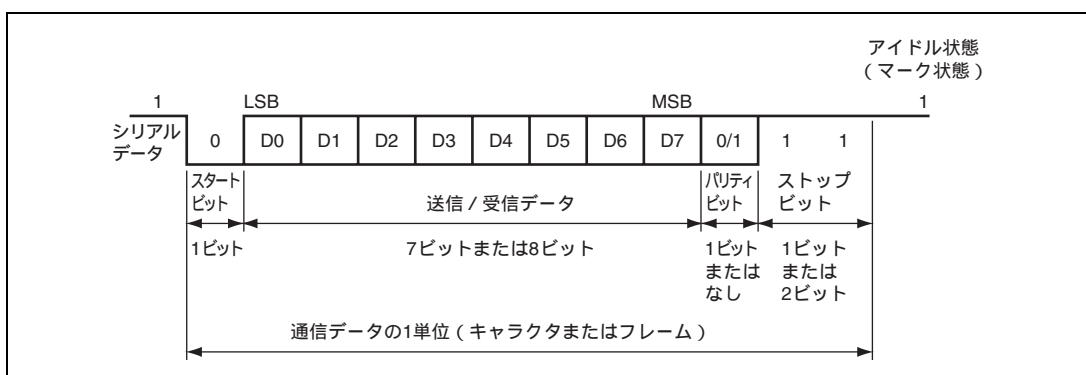


図 12.2 調歩同期式通信のデータフォーマット (8 ビットデータ/パリティあり/2ストップビットの例)

12.4.1 送受信フォーマット

調歩同期式モードで設定できる送受信フォーマットを、表 12.10 に示します。フォーマットは 12 種類あり、SMR の選定により選択できます。マルチプロセッサビットについては「12.5 マルチプロセッサ通信機能」を参照してください。

12. シリアルコミュニケーションインタフェース (SCI)

表 12.10 シリアル送信 / 受信フォーマット (調歩同期式モード)

SMRの設定				シリアル送信 / 受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	0	S	8ビットデータ								P	STOP		
0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	0	S	7ビットデータ							P	STOP			
1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	-	1	0	S	8ビットデータ								MPB	STOP		
0	-	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	-	1	0	S	7ビットデータ							MPB	STOP			
1	-	1	1	S	7ビットデータ							MPB	STOP	STOP		

【記号説明】

- S : スタートビット
- STOP : ストップビット
- P : パリティビット
- MPB : マルチプロセスビット

12.4.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI はビットレートの 16 倍の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がりを基本クロックでサンプリングして内部を同期化します。また、図 12.3 に示すように受信データを基本クロックの 8 番目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left\{ \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1+F) \right\} \times 100 \quad [\%] \quad \cdots \text{式 (1)}$$

M : 受信マージン

N : クロックに対するビットレートの比 (N=16)

D : クロックのデューティ (D=0.5~1.0)

L : フレーム長 (L=9~12)

F : クロック周波数の偏差の絶対値

式 (1) で、F (クロック周波数の偏差の絶対値) = 0、D (クロックのデューティ) = 0.5 とすると、

$$M = \left\{ 0.5 - 1 / (2 \times 16) \right\} \times 100 [\%] = 46.875\%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

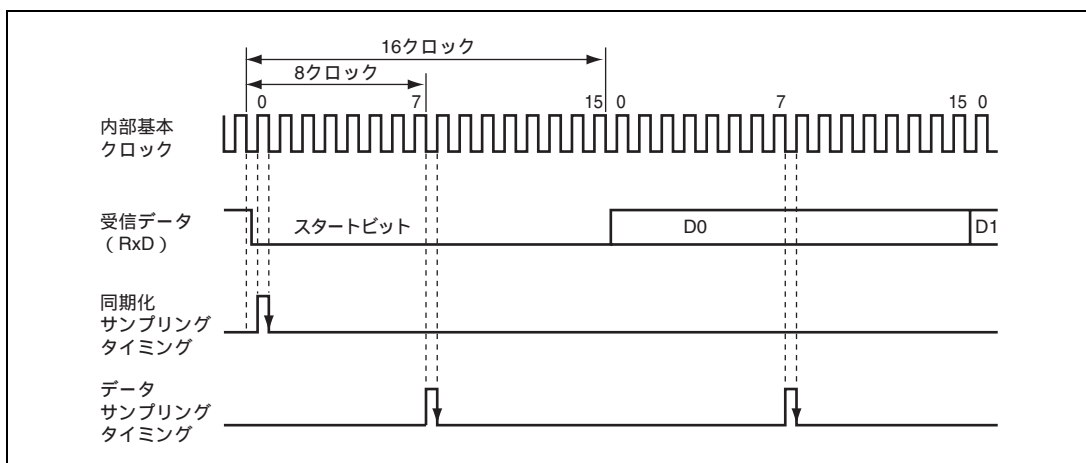


図 12.3 調歩同期式モードの受信データサンプリングタイミング

12. シリアルコミュニケーションインタフェース (SCI)

12.4.3 クロック

SCIの送受信クロックは、SMRの C/\bar{A} ビットとSCRのCKE1、CKE0ビットの設定により、内蔵ポーレートジェネレータの生成する内部クロックまたはSCK端子から入力される外部クロックのいずれかを選択できます。外部クロックを使用する場合は、SCK端子にビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるときはSCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図12.4に示すように送信データの中央でクロックが立ち上がります。

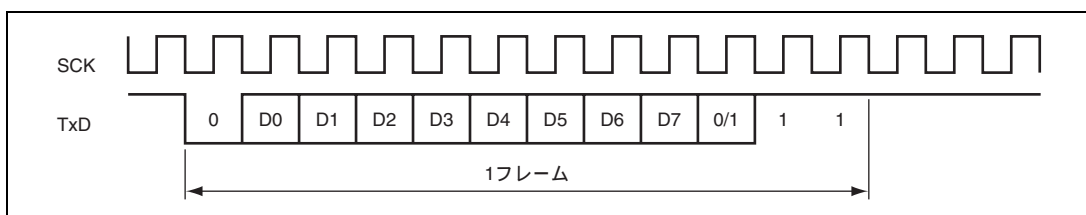


図 12.4 出力クロックと送信データの位相関係 (調歩同期式モード)

12.4.4 SCI の初期化 (調歩同期式)

データの送受信前に、SCR の TE、RE ビットをクリアした後、図 12.5 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TE ビットおよび RE ビットを 0 にクリアしてから変更を行ってください。TE を 0 にクリアすると、TDRE は 1 にセットされますが、RE を 0 にクリアしても、RDRF、PER、FER、ORER の各フラグ、および RDR は初期化されませんので注意してください。調歩同期式モードで外部クロックを使用する場合は、初期化の間も含めてクロックを供給してください。

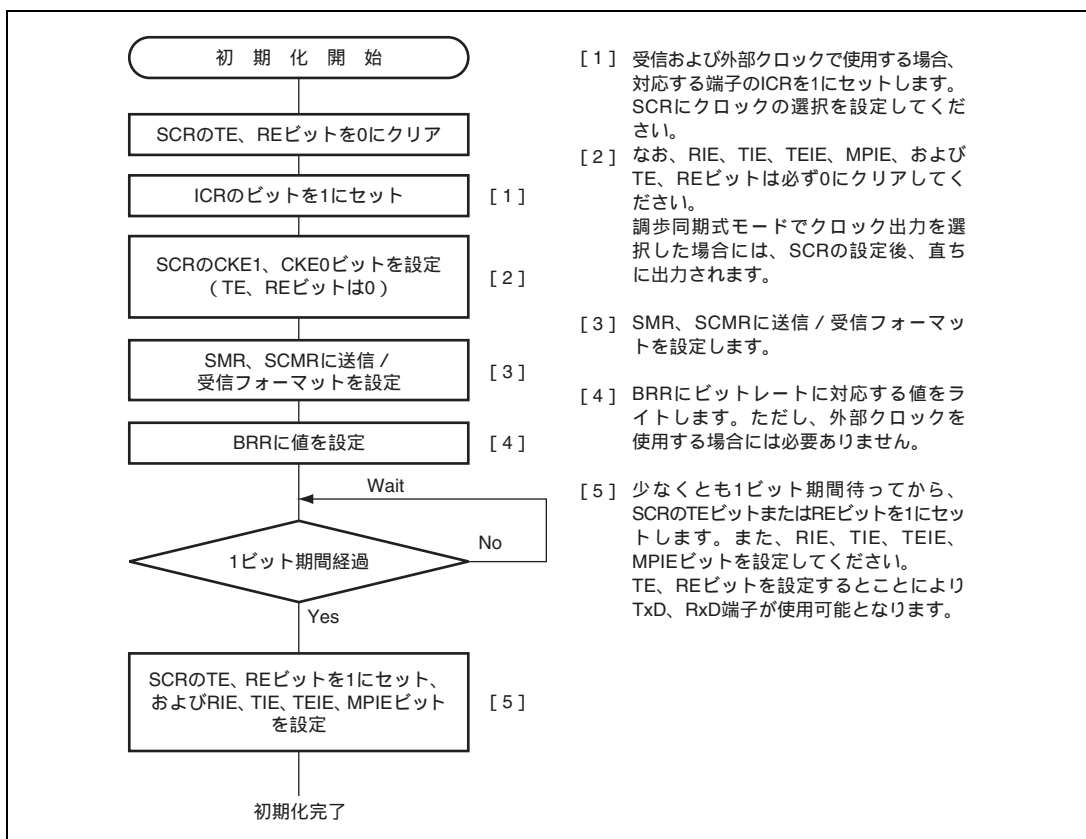


図 12.5 SCI の初期化フローチャートの例

12. シリアルコミュニケーションインタフェース (SCI)

12.4.5 シリアルデータ送信 (調歩同期式)

図 12.6 に調歩同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. TxD端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット (フォーマットによってはない場合もあります)、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDに1をセットし、ストップビット送出後、1を出力してマーク状態になります。このときSCRのTEIEが1にセットされているとTEIを発生します。

図 12.7 にデータ送信のフローチャートの例を示します。

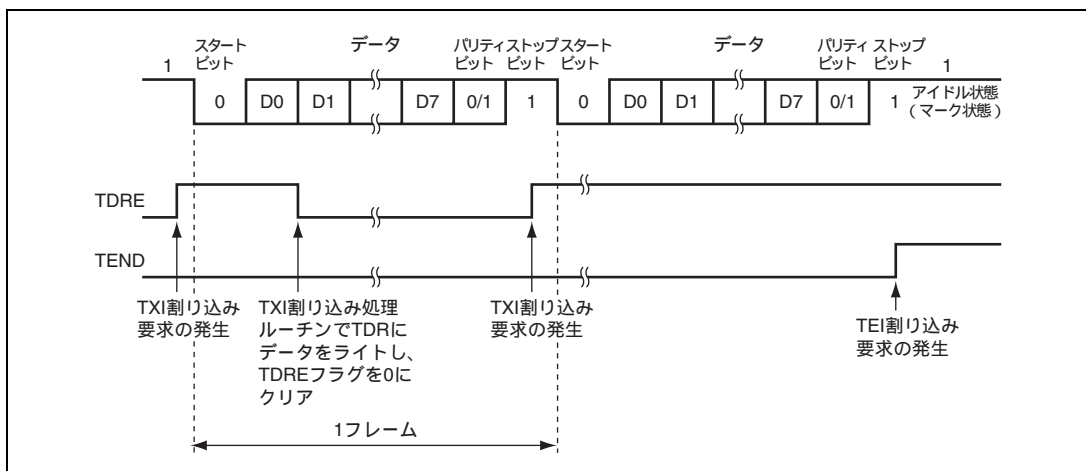


図 12.6 調歩同期式モードの送信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)

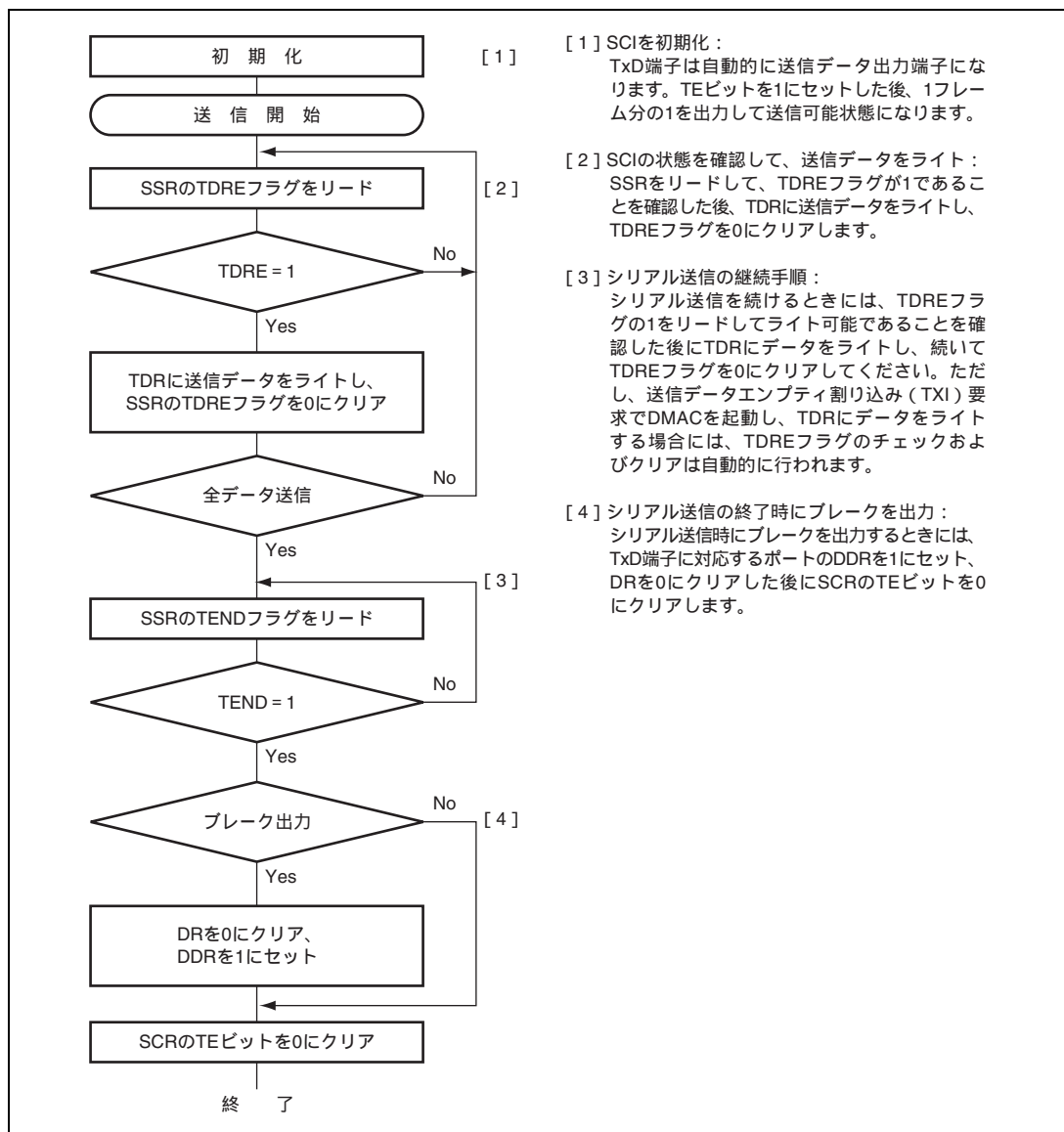


図 12.7 シリアル送信のフローチャートの例

12. シリアルコミュニケーションインタフェース (SCI)

12.4.6 シリアルデータ受信 (調歩同期式)

図 12.8 に調歩同期式モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. 通信回線を監視し、スタートビットを検出すると内部を同期化して受信データをRSRに取り込み、パリティビットとストップビットをチェックします。
2. オーバランエラーが発生したとき (SSRのRDRFが1にセットされたまま次のデータを受信完了したとき) はSSRのORERをセットします。このときSCRのRIEが1にセットされているとERI割り込み要求が発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. パリティエラーを検出した場合はSSRのPERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求が発生します。
4. フレーミングエラー(ストップビットが0のとき)を検出した場合はSSRのFERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求が発生します。
5. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI割り込み要求が発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

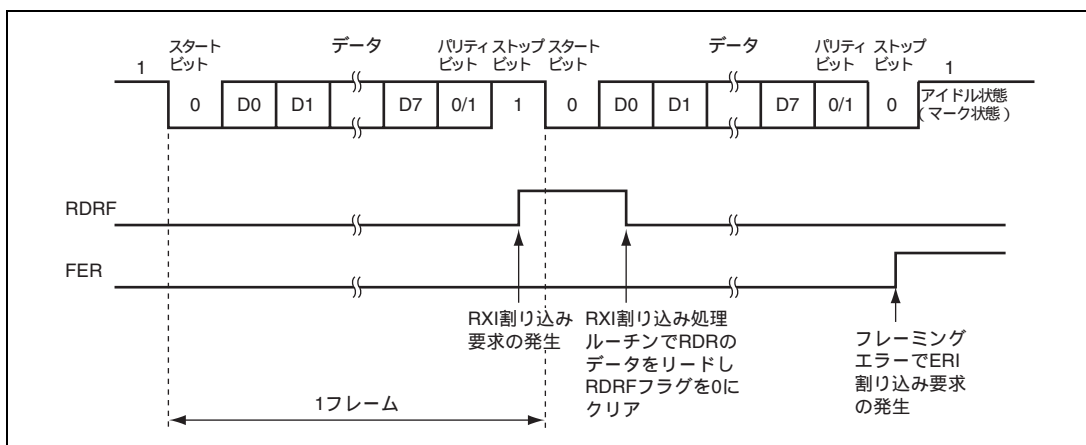


図 12.8 SCI の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

受信エラーを検出した場合の SSR の各ステータスフラグの状態と受信データの処理を表 12.11 に示します。受信エラーを検出すると、RDRF はデータを受信する前の状態を保ちます。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 12.9 にデータ受信のためのフローチャートの例を示します。

表 12.11 SSR のステータスフラグの状態と受信データの処理

SSR のステータスフラグ				受信データ	受信エラーの状態
RDRF*	ORER	FER	PER		
1	1	0	0	消失	オーバランエラー
0	0	1	0	RDR へ転送	フレーミングエラー
0	0	0	1	RDR へ転送	パリティエラー
1	1	1	0	消失	オーバランエラー + フレーミングエラー
1	1	0	1	消失	オーバランエラー + パリティエラー
0	0	1	1	RDR へ転送	フレーミングエラー + パリティエラー
1	1	1	1	消失	オーバランエラー + フレーミングエラー + パリティエラー

【注】 * RDRF は、データ受信前の状態を保持します。

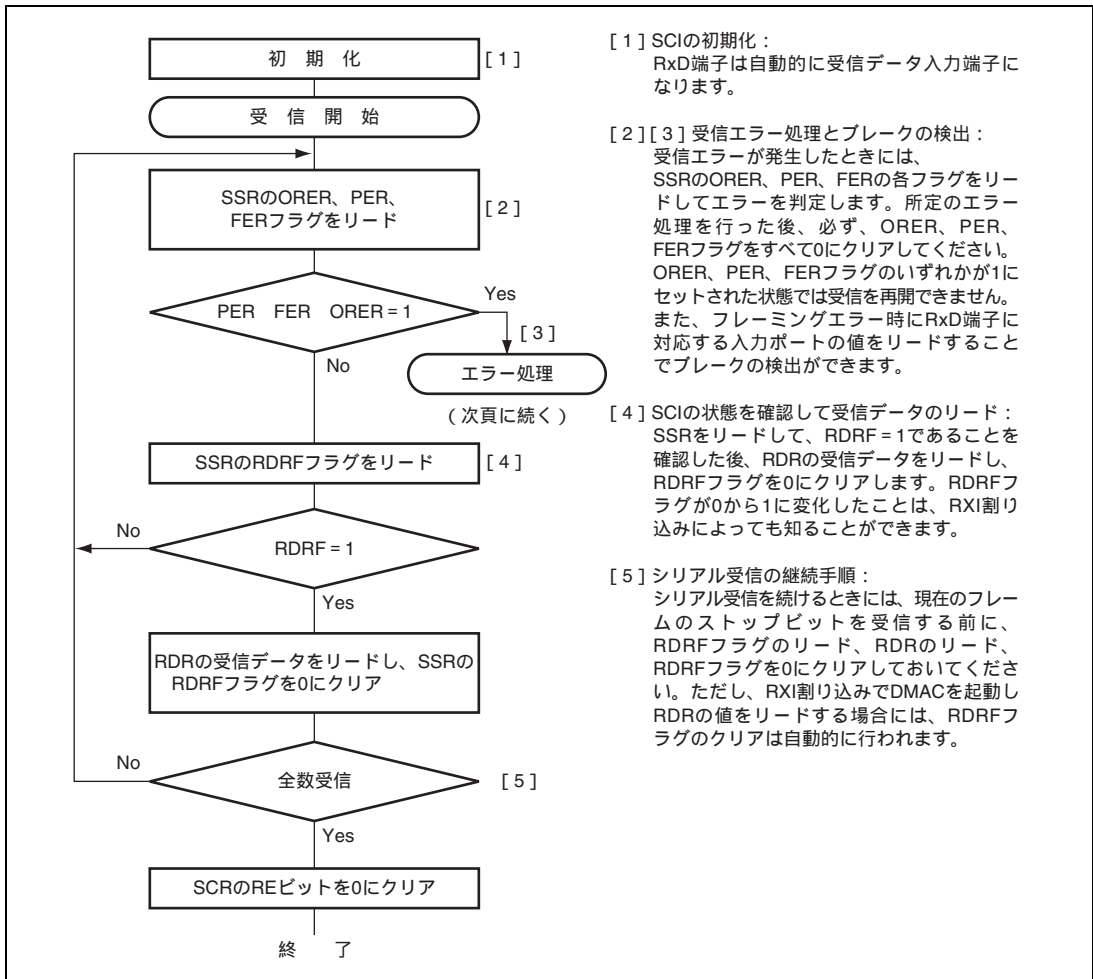


図 12.9 シリアル受信のフローチャートの例 (1)

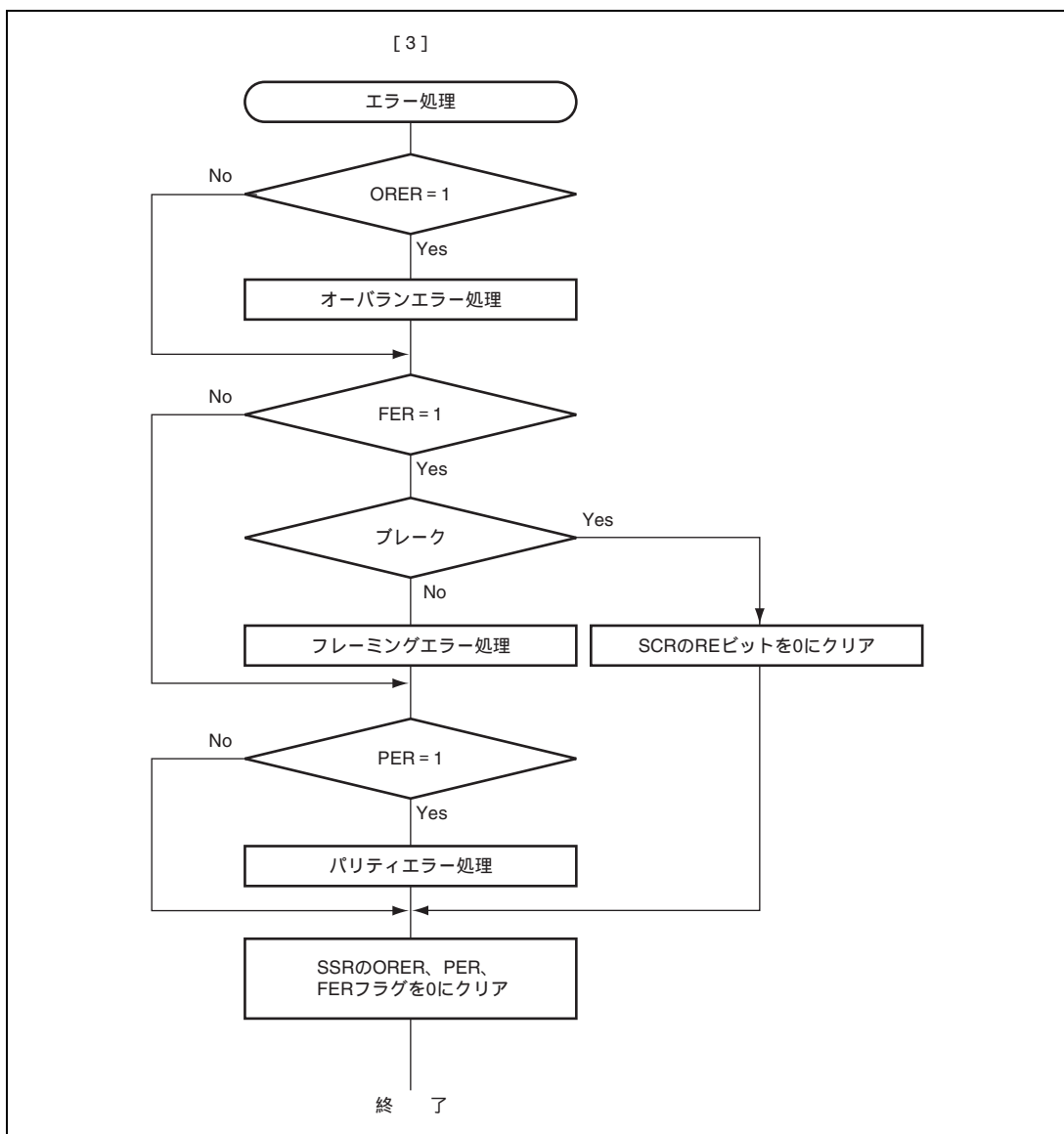


図 12.9 シリアル受信のフローチャートの例 (2)

12.5 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局におおの固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。図 12.10 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。

SCI はこの機能をサポートするため、SCR に MPIE ビットが設けてあります。MPIE を 1 にセットすると、マルチプロセッサビットが 1 のデータを受け取るまで RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 の受信キャラクタを受け取ると、SSR の MPBR が 1 にセットされるとともに MPIE が自動的にクリアされて通常の受信動作に戻ります。このとき SCR の RIE がセットされていると RXI 割り込みを発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

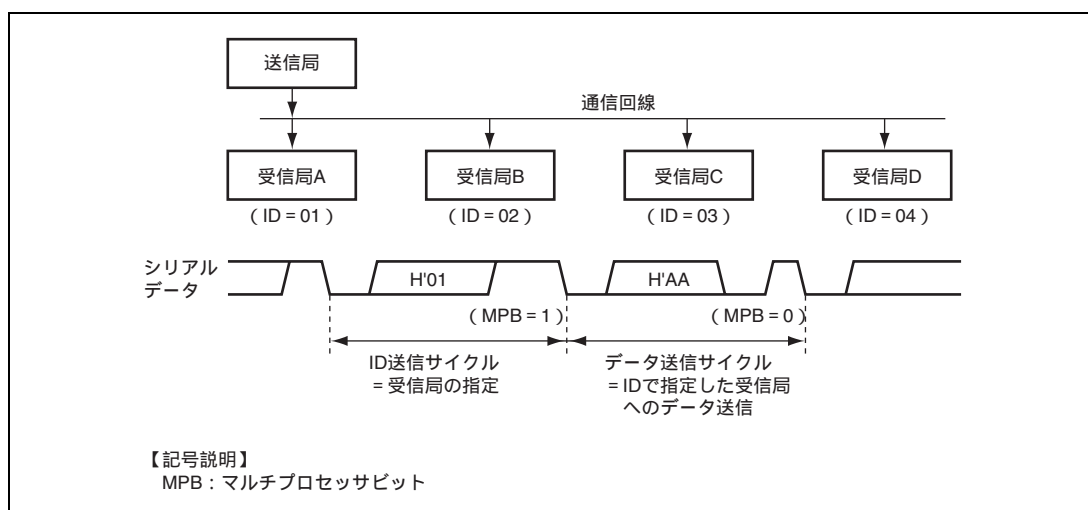


図 12.10 マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ H'AA の送信の例)

12. シリアルコミュニケーションインタフェース (SCI)

12.5.1 マルチプロセッサシリアルデータ送信

図 12.11 にマルチプロセッサデータ処理のフローチャートの例を示します。ID 送信サイクルでは SSR の MPBT を 1 にセットして送信してください。データ送信サイクルでは SSR の MPBT を 0 にクリアして送信してください。その他の動作は調歩同期式モードの動作と同じです。

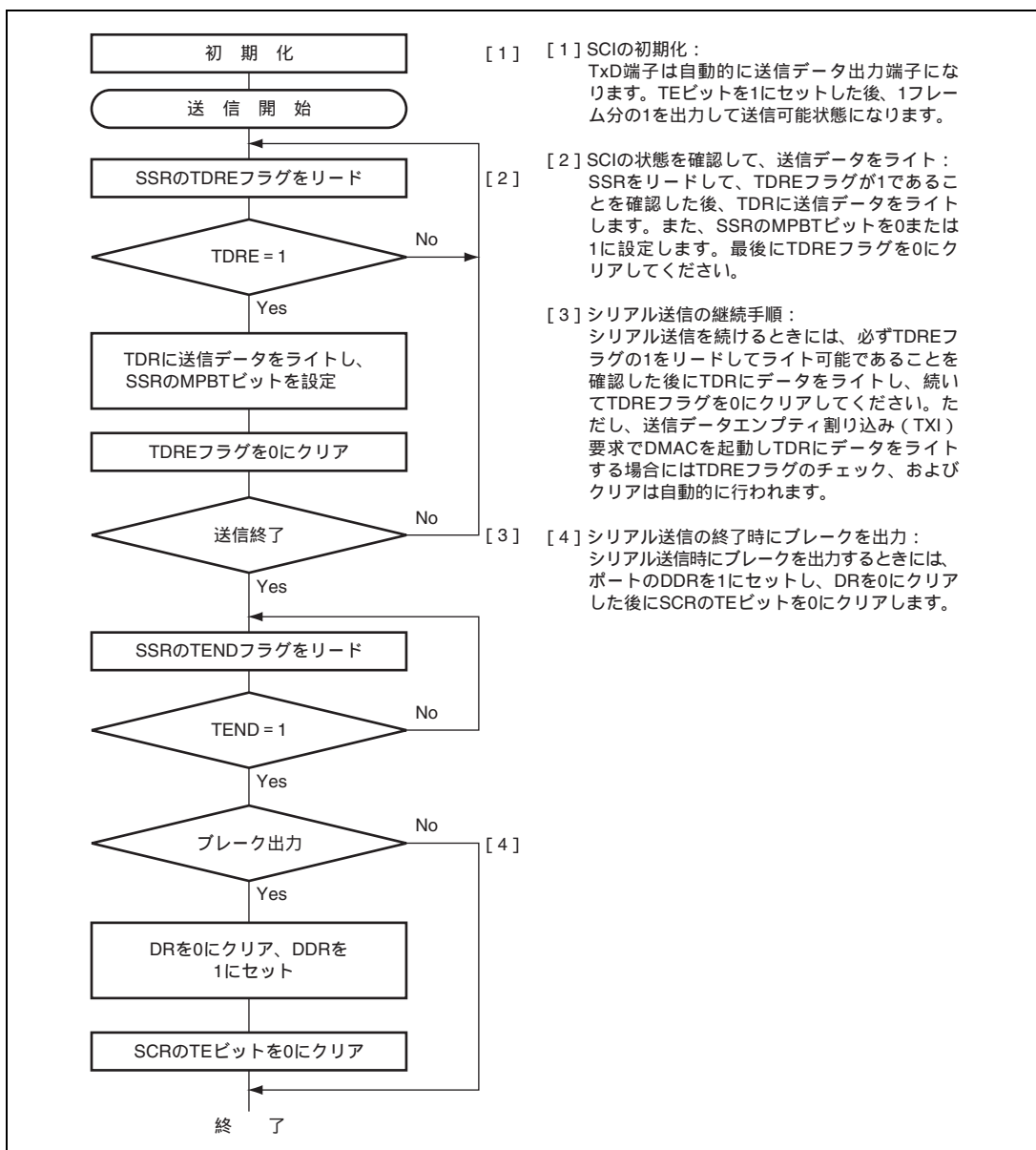


図 12.11 マルチプロセッサシリアル送信のフローチャートの例

12.5.2 マルチプロセッサシリアルデータ受信

図 12.13 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR の MPIE を 1 にセットするとマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。マルチプロセッサビットが 1 の通信データを受信すると受信データを RDR に転送します。このとき RXI 割り込み要求を発生します。その他の動作は調歩同期モードの動作と同じです。図 12.12 に受信時の動作例を示します。

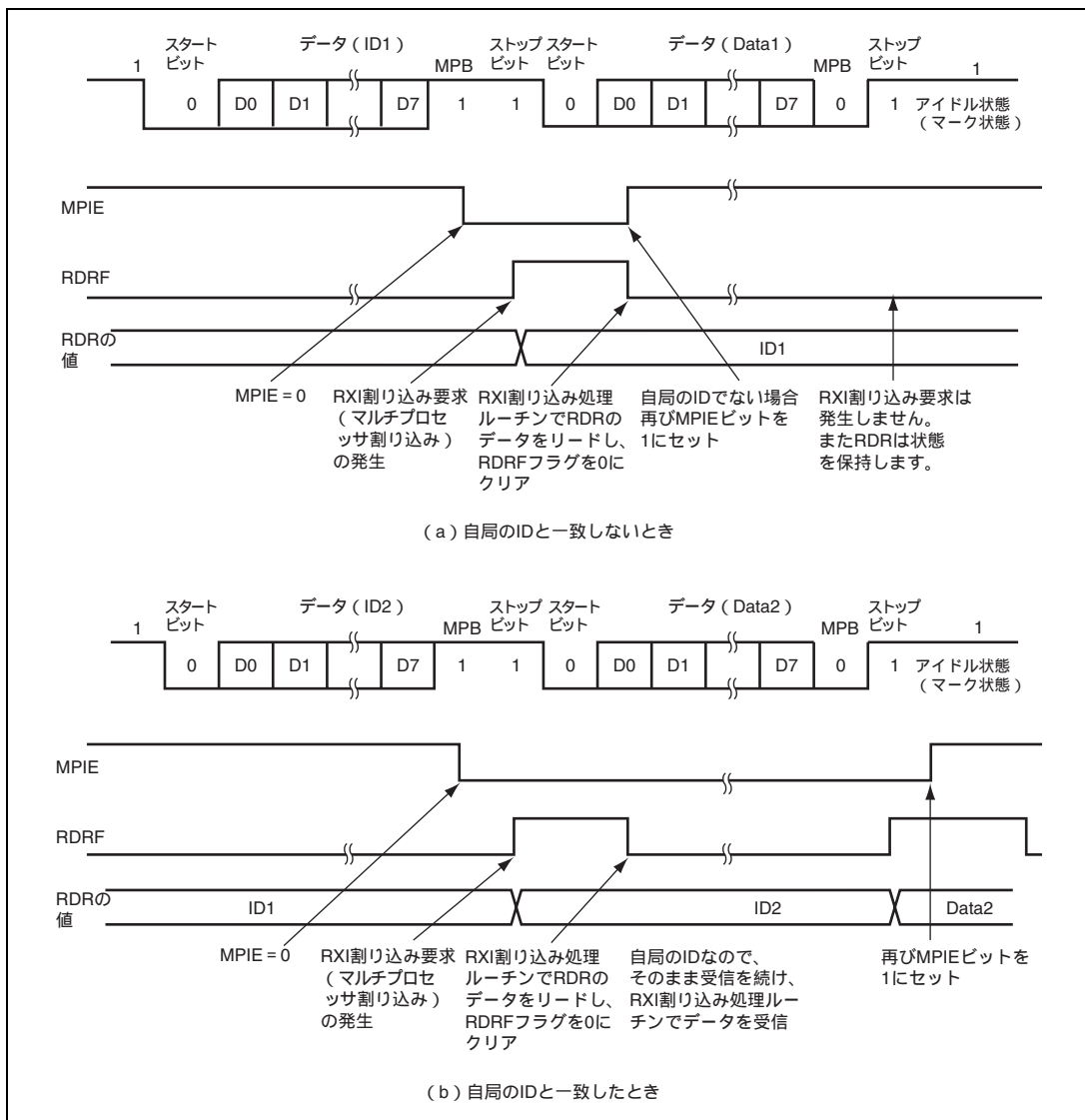


図 12.12 SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

12. シリアルコミュニケーションインタフェース (SCI)

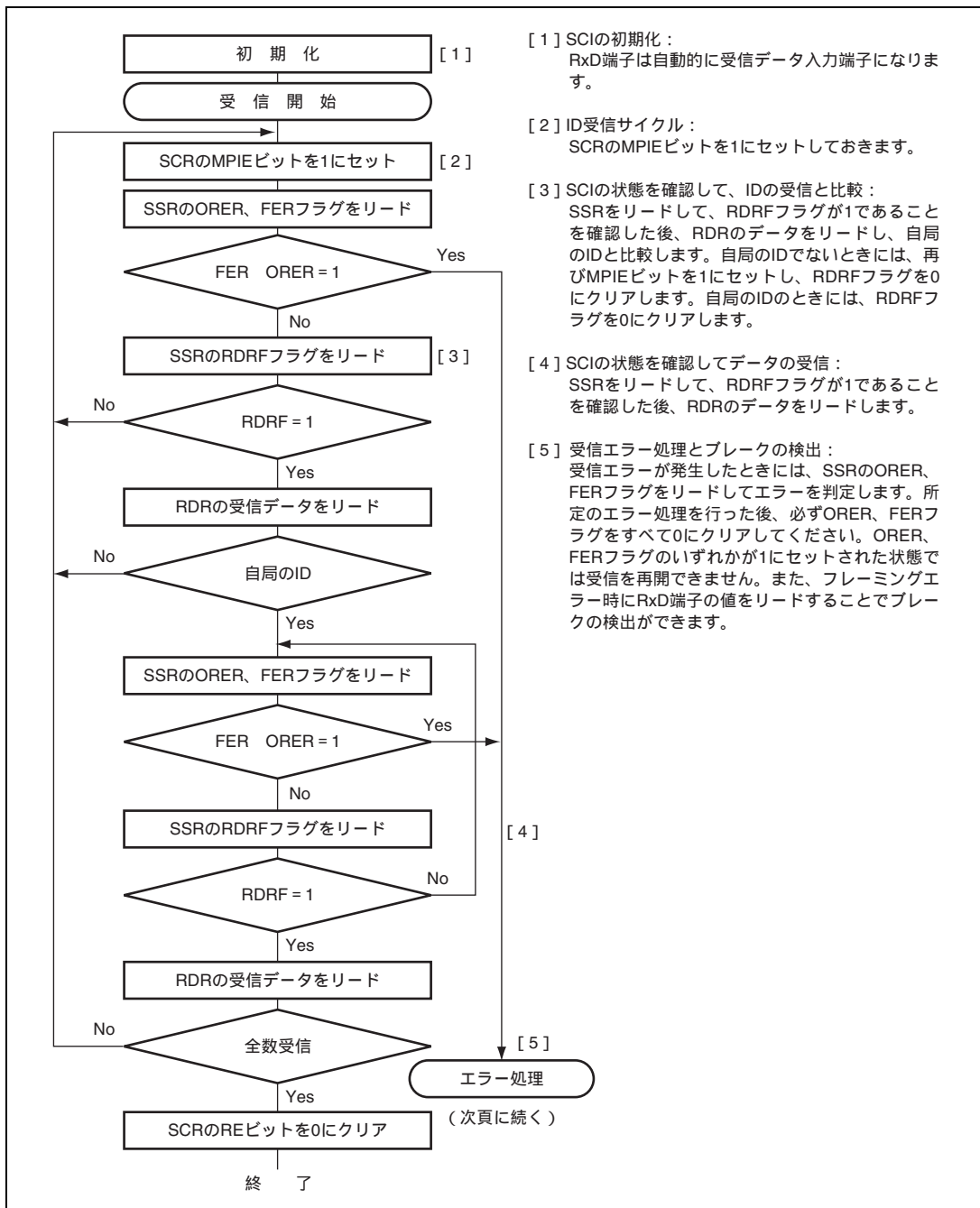


図 12.13 マルチプロセッサシリアル受信のフローチャートの例 (1)

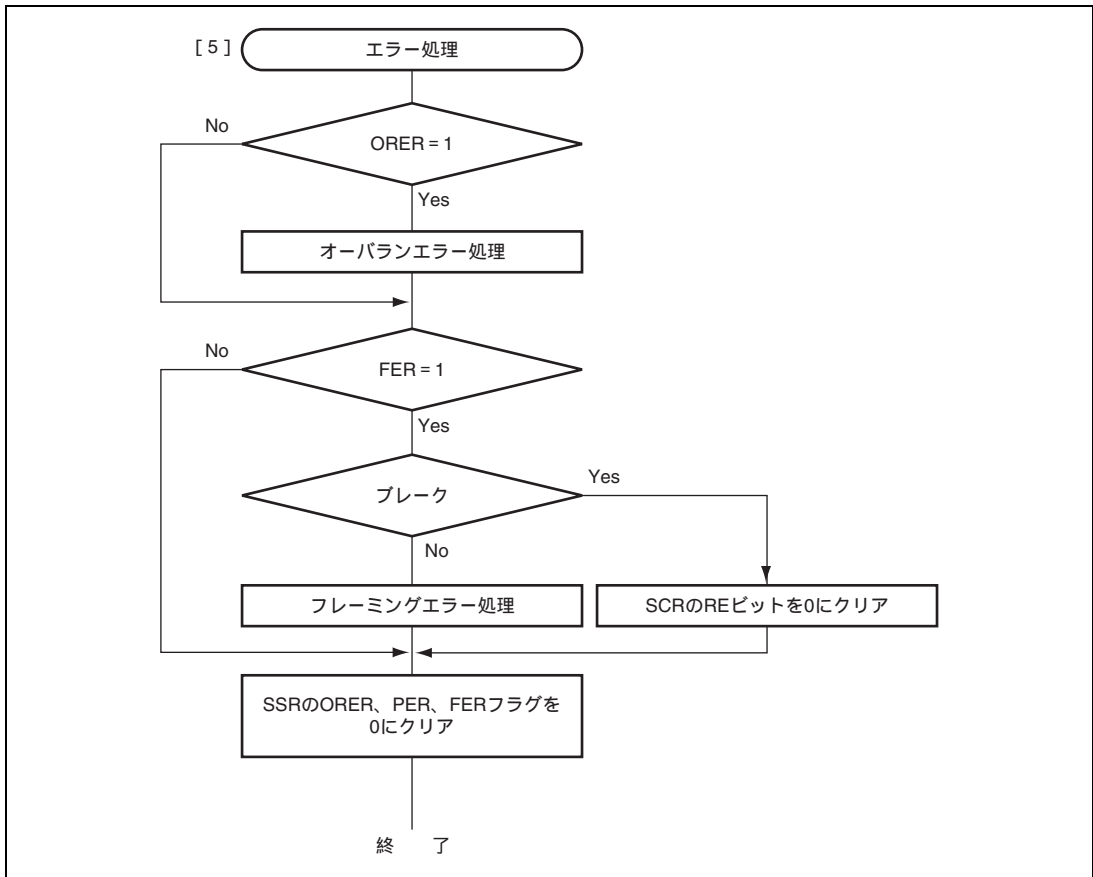


図 12.13 マルチプロセッサシリアル受信のフローチャートの例 (2)

12.6 クロック同期式モードの動作

クロック同期式通信の通信データのフォーマットを図 12.14 に示します。クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。SCI はデータ送信時に同期クロックの立ち上がりから次の立ち上がりまで出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。8 ビット出力後の通信回線は最終ビット出力状態を保ちます。クロック同期式モードでは、パリティビットやマルチプロセッサビットの付加はできません。SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。送信部 / 受信部はともにダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

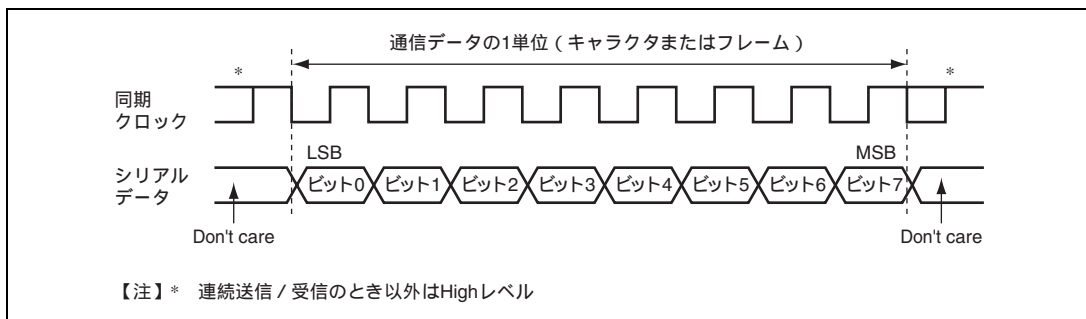


図 12.14 クロック同期式通信のデータフォーマット (LSB ファーストの場合)

12.6.1 クロック

SCR の CKE1、CKE0 の設定により、内蔵ボーレートジェネレータが生成する内部クロックまたは SCK 端子から入力される外部同期クロックを選択できます。内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High レベルに固定されます。ただし、受信動作のみのときはオーバランエラーが発生するか RE ビットを 0 にクリアするまで同期クロックは出力されません。

12.6.2 SCI の初期化 (クロック同期式)

データの送受信前に、SCRのTE、REビットをクリアした後、図12.15のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TEビットおよびREビットを0にクリアしてから変更を行ってください。TEを0にクリアすると、TDREは1にセットされますが、REを0にクリアしても、RDRF、PER、FER、ORERの各フラグ、およびRDRは初期化されませんので注意してください。

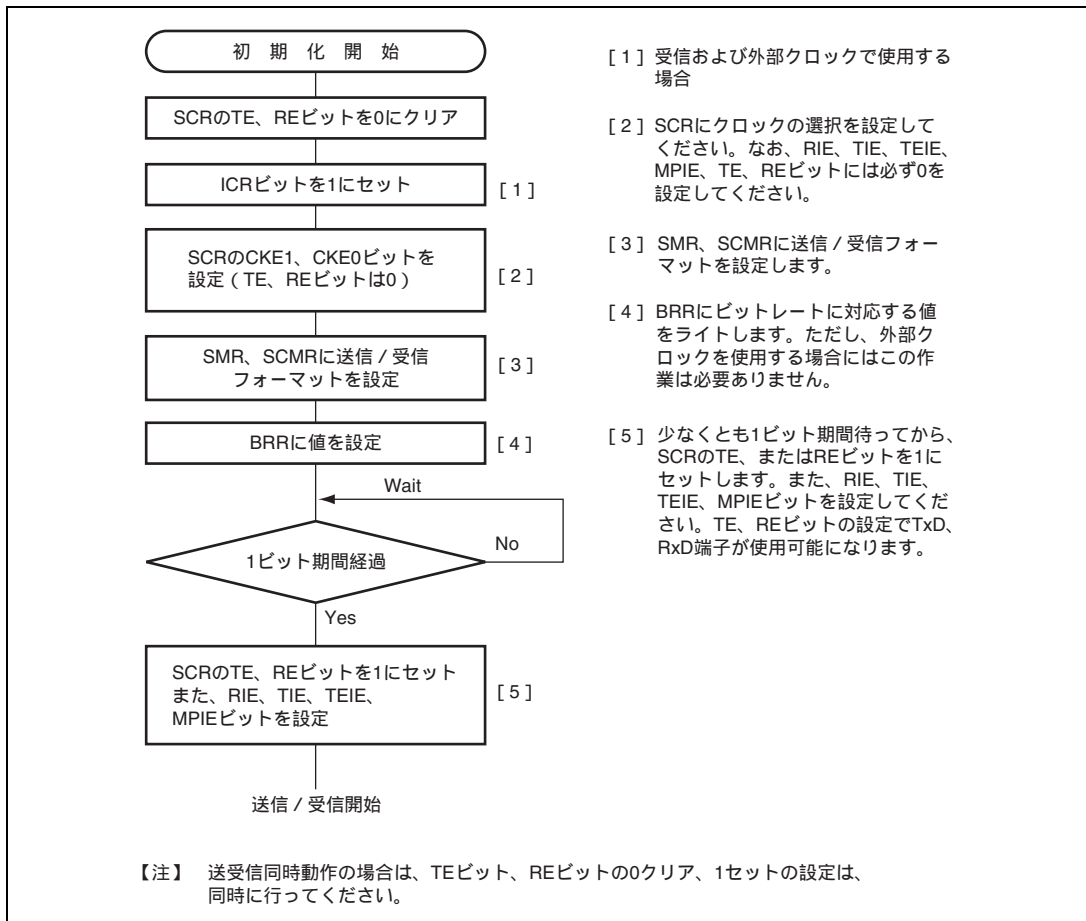


図 12.15 SCI の初期化フローチャートの例

12. シリアルコミュニケーションインタフェース (SCI)

12.6.3 シリアルデータ送信 (クロック同期式)

図 12.16 にクロック同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. クロック出力モードに設定したときには出力クロックに同期して、外部クロックに設定したときには入力クロックに同期して、TxD端子から8ビットのデータを出力します。
4. 最終ビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDに1をセットし、最終ビット出力状態を保持します。このときSCRのTEIEが1にセットされているとTEIを発生します。SCK端子はHighレベルに固定されます。

図 12.17 にデータ送信のフローチャートの例を示します。受信エラーフラグ (ORER、FER、PER) が 1 にセットされた状態では TDRE をクリアしても送信を開始しません。送信開始の前に、必ず受信エラーフラグを 0 にクリアしておいてください。また、受信エラーフラグは RE ビットをクリアしただけではクリアされませんので注意してください。

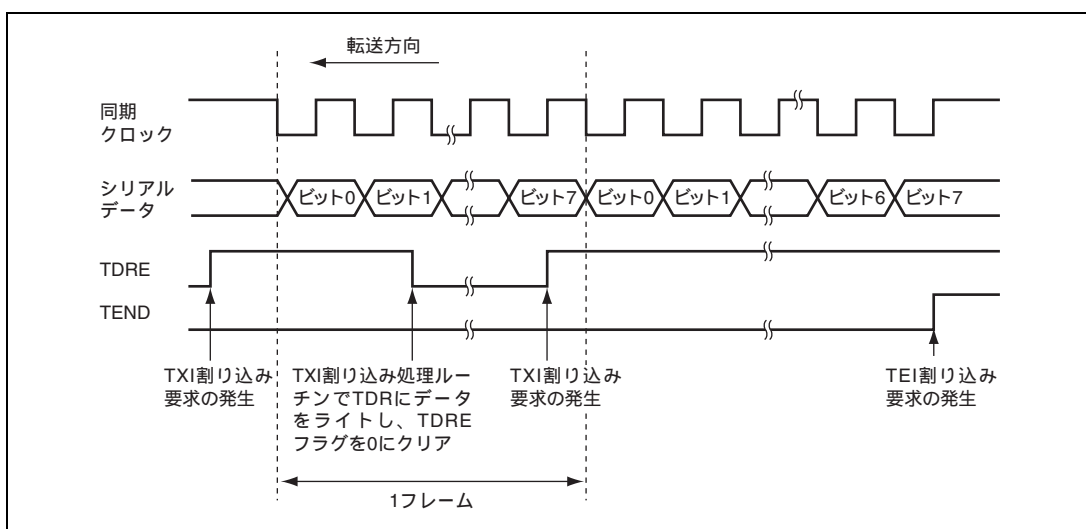


図 12.16 クロック同期式モードの送信時の動作例

12. シリアルコミュニケーションインタフェース (SCI)

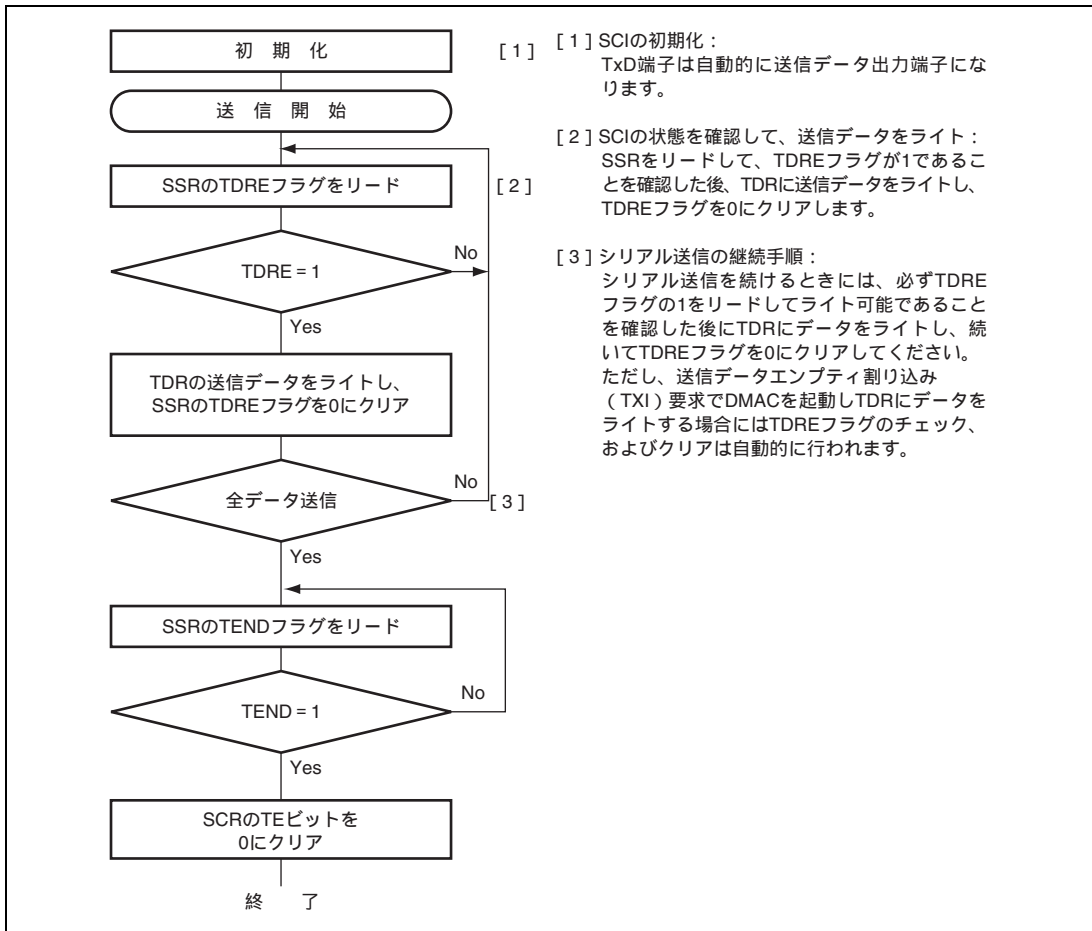


図 12.17 シリアル送信のフローチャートの例

12. シリアルコミュニケーションインタフェース (SCI)

12.6.4 シリアルデータ受信 (クロック同期式)

図 12.18 にクロック同期式モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. SCIは同期クロックの入力または、出力に同期して内部を初期化して受信を開始し、受信データをRSRに取り込みます。
2. オーバランエラーが発生したとき (SSRのRDRFが1にセットされたまま次のデータを受信完了したとき) はSSRのORERをセットします。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI割り込み要求を発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

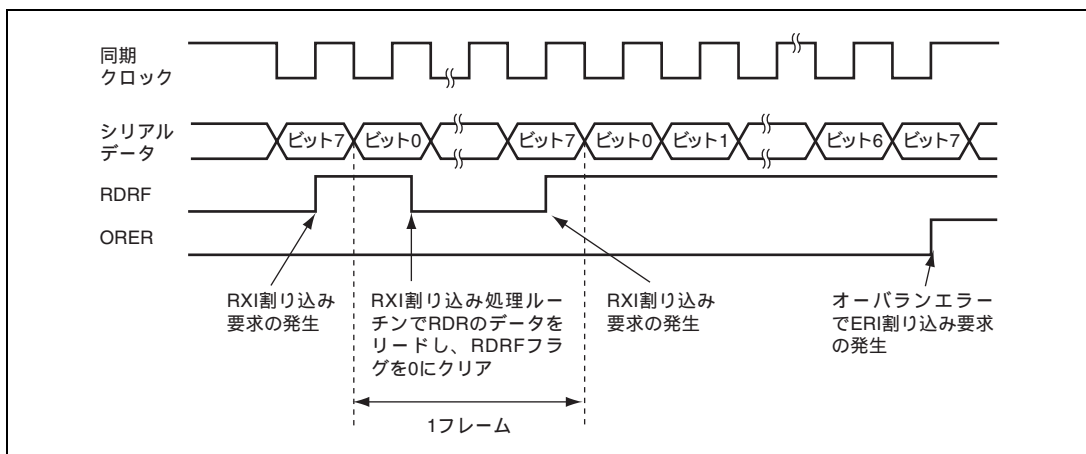


図 12.18 SCI の受信時の動作例

受信エラーフラグがセットされた状態では以後の送受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 12.19 にデータ受信のためのフローチャートの例を示します。

12. シリアルコミュニケーションインタフェース (SCI)

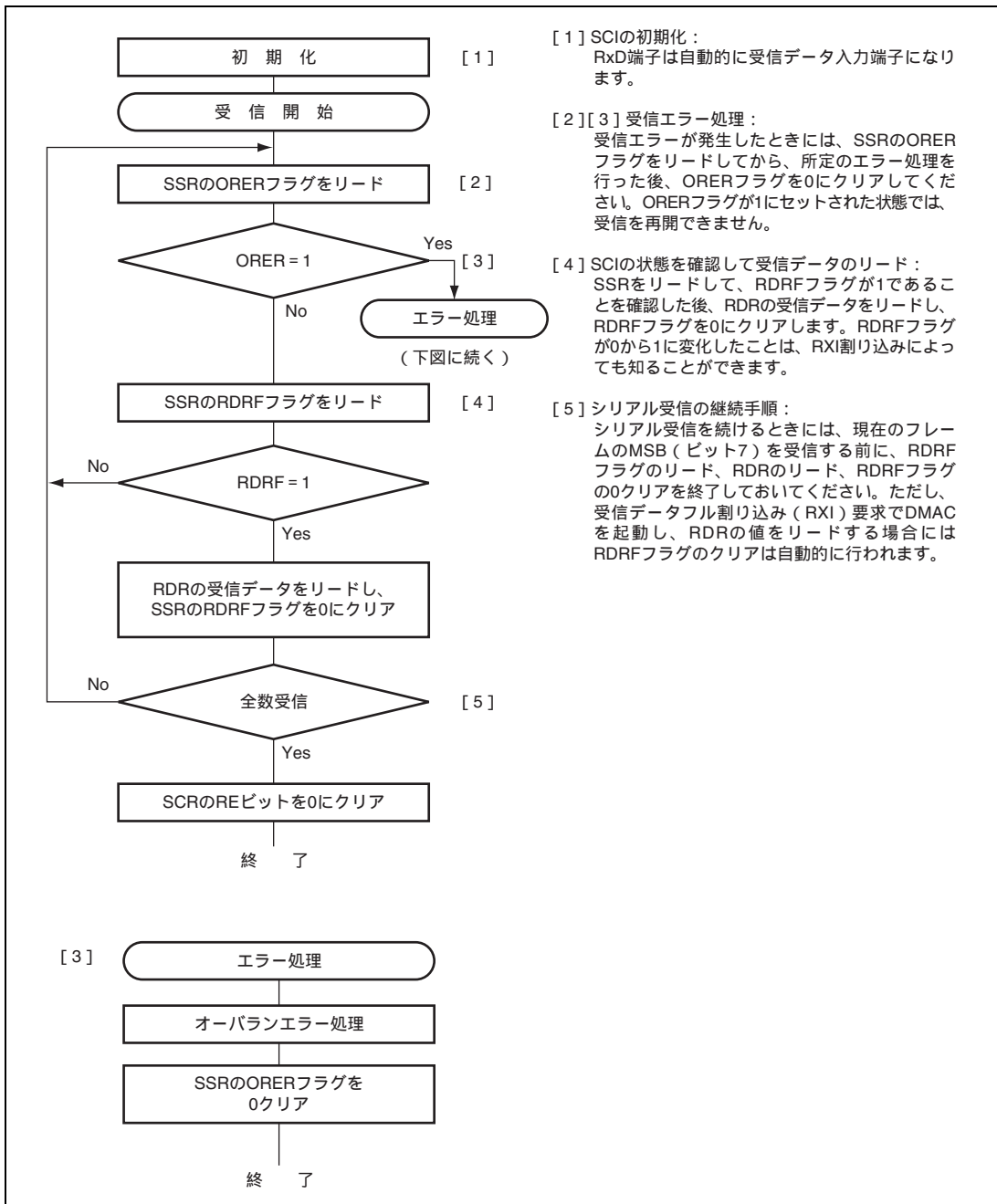


図 12.19 シリアル受信のフローチャートの例

12.6.5 シリアルデータ送受信同時動作 (クロック同期式)

図 12.20 にデータ送受信同時動作のフローチャートの例を示します。データ送受信同時動作は SCI の初期化後、以下の手順に従って行ってください。送信から同時送受信へ切り替えるときには、SCI が送信終了状態であること、TDRE および TEND が 1 にセットされていることを確認した後、TE を 0 にクリアしてから TE および RE を 1 命令で同時に 1 にセットしてください。受信から同時送受信へ切り替えるときには、SCI が受信完了状態であることを確認し、RE を 0 にクリアしてから RDRF およびエラーフラグ (ORER、FER、PER) が 0 にクリアされていることを確認した後、TE および RE を 1 命令で同時に 1 にセットしてください。

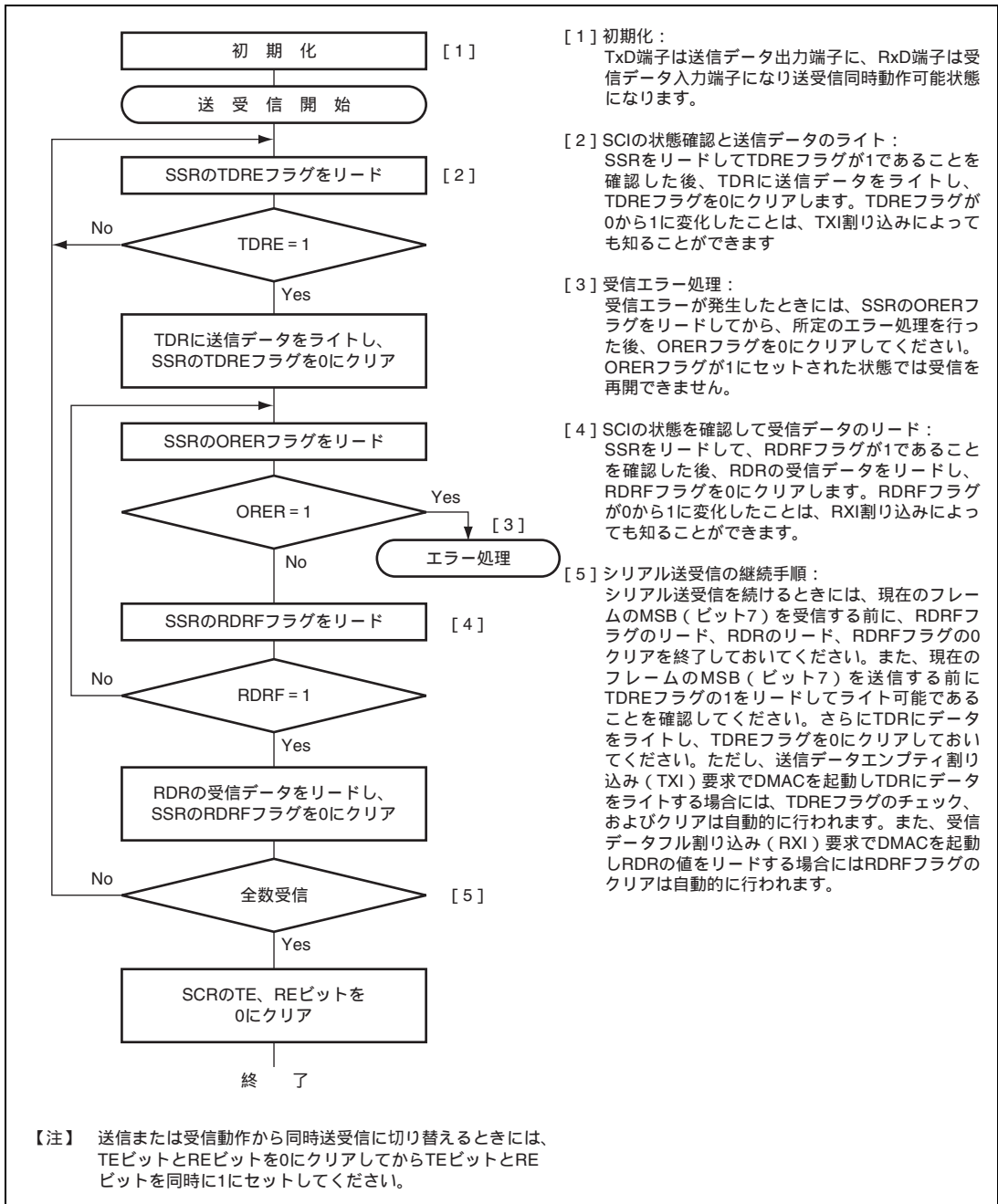


図 12.20 シリアル送受信同時動作のフローチャートの例

12.7 スマートカードインタフェースの動作説明

SCI はシリアルコミュニケーションインタフェースの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応した IC カード (スマートカード) とのインタフェースをサポートしています。スマートカードインタフェースモードへの切り替えはレジスタにより行います。

12.7.1 接続例

図 12.21 にスマートカードとの接続例を示します。IC カードとは 1 本のデータ伝送線で送受信が行われるので、TxD 端子と RxD 端子とを結線し、データ伝送線は抵抗で電源 V_{CC} 側にプルアップしてください。IC カードを接続しない状態で $RE = TE = 1$ に設定すると、閉じた送信 / 受信が可能となり自己診断をすることができます。SCI で生成するクロックを IC カードに供給する場合は、SCK 端子出力を IC カードの CLK 端子に入力してください。リセット信号の出力には本 LSI の出力ポートを使用できます。

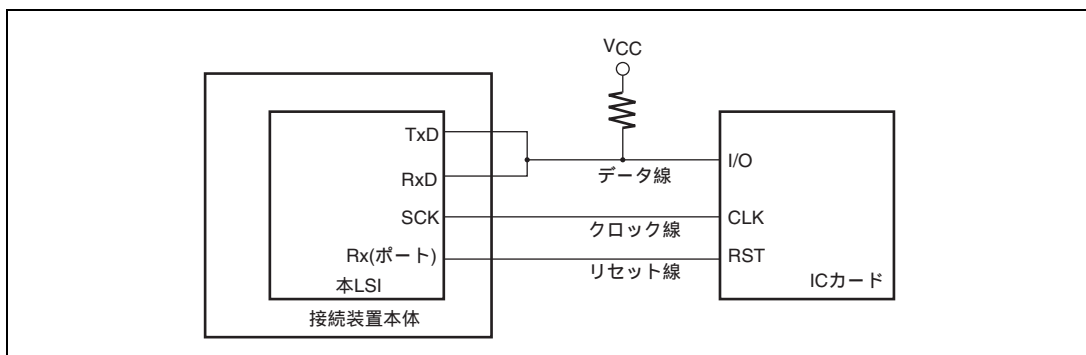


図 12.21 スマートカードインタフェース端子接続概要

12.7.2 データフォーマット (ブロック転送モード時を除く)

図 12.22 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1フレームは8ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで 2etu (Elementary Time Unit : 1ビットの転送期間) 以上のガードタイムをおきます。
- 受信時はパリティエラーを検出した場合、スタートビットから 10.5etu 経過後、エラーシグナルLowを 1etu 期間出力します。
- 送信時はエラーシグナルをサンプリングすると、 2etu 以上経過後、自動的に同じデータを再送信します。

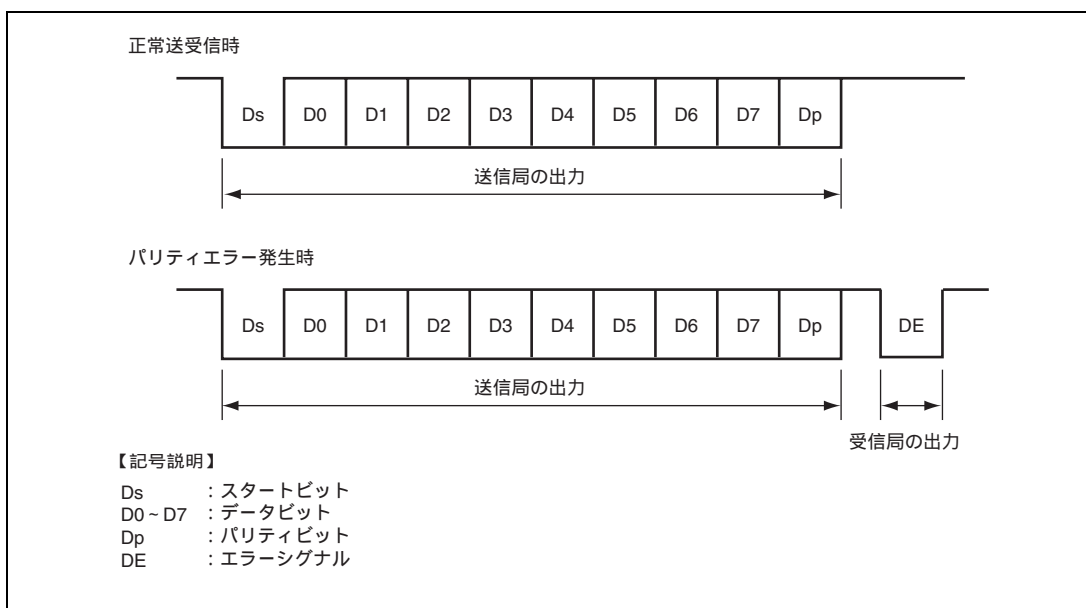


図 12.22 通常のスマートカードインタフェースのデータフォーマット

12. シリアルコミュニケーションインタフェース (SCI)

ダイレクトコンベンションタイプとインバースコンベンションタイプの2種類のICカードとの送受信は以下のように行ってください。

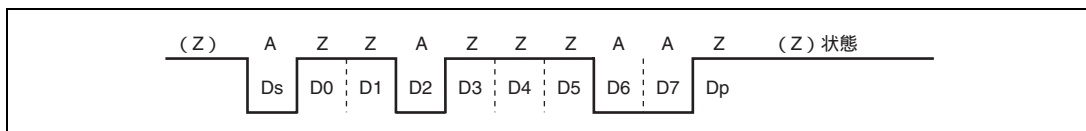


図 12.23 ダイレクトコンベンション (SDIR = SINV = O/E = 0)

ダイレクトコンベンションタイプは上記開始キャラクタの例のように、論理1レベルを状態Zに、論理0レベルを状態Aに対応付け、LSBファーストで送受信します。上記の開始キャラクタではデータはH'3Bとなります。ダイレクトコンベンションタイプではSCMRのSDIRビット、SINVビットをともに0にセットしてください。また、スマートカードの規程により偶数パリティとなるようSMRのO/Eビットには0をセットしてください。

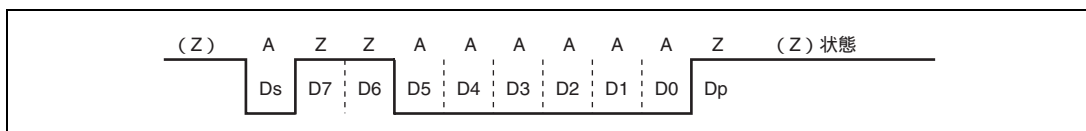


図 12.24 インバースコンベンション (SDIR = SINV = O/E = 1)

インバースコンベンションタイプは、論理1レベルを状態Aに、論理0レベルを状態Zに対応付け、MSBファーストで送受信します。上記の開始キャラクタではデータはH'3Fとなります。インバースコンベンションタイプではSCMRのSDIRビット、SINVビットをともに1にセットしてください。パリティビットはスマートカードの規程により偶数パリティで論理0となり、状態Zが対応します。本LSIでは、SINVビットはデータビットD7~D0のみ反転させます。このため、送受信ともSMRのO/Eビットに1を設定してパリティビットを反転させてください。

12.7.3 ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースと比較して以下の点が異なります。

- 受信時は、パリティチェックは行いますが、エラーを検出してもエラーシグナルは出力しません。SSRのPERはセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から次のフレーム開始までのガードタイムは最小1 μ tu以上です。
- 送信時は再送信を行わないため、TENDフラグは送信開始から11.5 μ tu後にセットされます。
- ERSフラグは通常のスマートカードインタフェースと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため常に0となります。

12.7.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースで使用できる送受信クロックは内蔵ポーレートジェネレータの生成した内部クロックのみです。スマートカードインタフェースモードでは、SCIはBCP1、BCP0の設定によりビットレートの32倍、64倍、372倍、256倍（通常の調歩同期式モードでは16倍に固定されています）の周波数の基本クロックで動作します。受信時はスタートビットの立ち下りを基本クロックでサンプリングして内部を同期化します。また、図12.25に示すように受信データを基本クロックのそれぞれ16、32、186、128番目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\%$$

M：受信マージン（%）

N：クロックに対するビットレートの比（N=32、64、372、256）

D：クロックデューティ（D=0~1.0）

L：フレーム長（L=10）

F：クロック周波数の偏差の絶対値

上の式で、F=0、D=0.5、N=372とすると、受信マージンは次のようになります。

$$M = (0.5 - 1/2 \times 372) \times 100\% \\ = 49.866\%$$

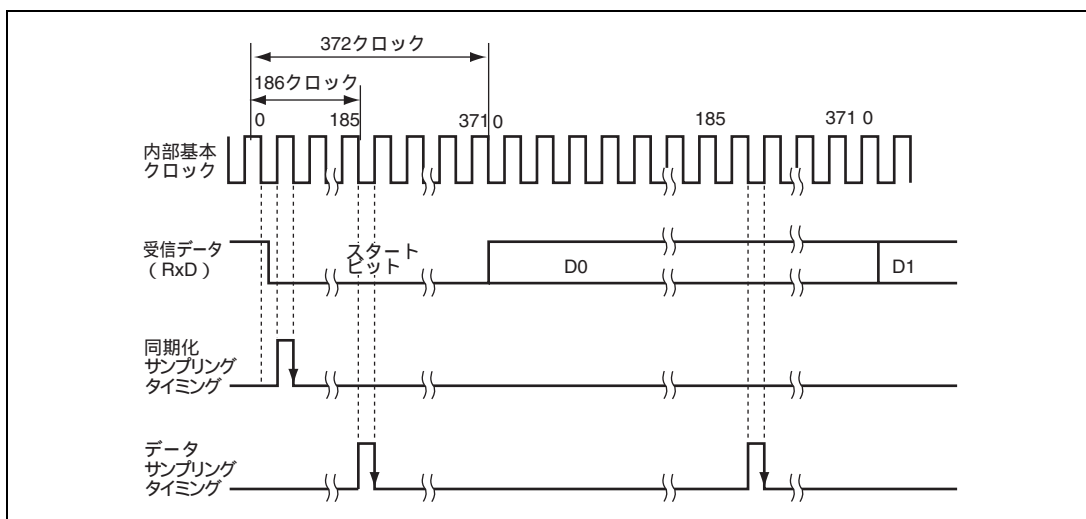


図 12.25 スマートカードインタフェースモード時の受信データサンプリングタイミング（372倍のクロック使用時）

12. シリアルコミュニケーションインタフェース (SCI)

12.7.5 初期設定

データの送受信の前に、以下の手順で SCI を初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。

1. SCRのTE、REビットを0にクリアします。
2. 該当端子のICRビットを1にセットしてください。
3. SSRのエラーフラグERS、PER、ORERを0にクリアしてください。
4. SMRのGM、BLK、 $O\bar{E}$ 、BCP1、BCP0、CKS1、CKS0ビットを設定してください。このとき、PEビットは1に設定してください。
5. SCMRのSMIF、SDIR、SINVビットを設定してください。また、TxD端子に該当するDDRを0にクリアします。これにより、TxD端子およびRxD端子は共にポートからSCIの端子に切り替わり、ハイインピーダンス状態となります。
6. ビットレートに対応する値をBRRに設定します。
7. SCRのCKE1、CKE0ビットを設定してください。このとき、TIE、RIE、TE、RE、MPIE、TEIEビットは、0に設定してください。
CKE0ビットを1にセットした場合は、SCK端子からクロックを出力します。
8. 少なくとも、1ビット期間待ってから、SCRのTIE、RIE、TE、REビットを設定してください。自己診断以外はTEビットとREビットを同時にセットしないでください。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、RE=0、TE=1に設定してください。受信動作の完了は、RDRFフラグ、あるいはPER、ORERフラグで確認できます。送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE=0、RE=1に設定してください。送信動作の完了はTENDフラグで確認できます。

12.7.6 データ送信 (ブロック転送モードを除く)

スマートカードモードにおけるデータ送信ではエラーシグナルのサンプリングと再送信処理があるため、通常のシリアルコミュニケーションインタフェースとは動作が異なります (ブロック転送モードを除く)。送信時の再転送動作を図 12.26 に示します。

1. 1フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングするとSSRのERSビットが1にセットされます。このとき、SCRのRIEビットがセットされているとERI割り込み要求を発生します。次のパリティビットのサンプリングまでにERSをクリアしてください。
2. エラーシグナルを受信したフレームでは、SSRのTENDはセットされません。TDRからTSRに再度データが転送され、自動的に再送信を行います。
3. 受信側からエラーシグナルが返ってこない場合は、SSRのERSビットはセットされません。
4. 再転送を含む1フレームの送信が完了したと判断して、SSRのTENDがセットされます。このときSCRのTIEがセットされていれば、TXI割り込み要求を発生します。送信データをTDRに書き込むことにより次のデータが送信されます。

送信処理フローの例を図 12.28 に示します。これら一連の処理は TXI 割り込み要因によって DMAC を起動することで、自動的に行うことができます。送信動作では、SSR の TEND フラグが 1 にセットされると同時に TDRE フラグもセットされ、SCR の TIE をセットしておくことで TXI 割り込み要求を発生します。あらかじめ DMAC の起動要因に TXI 要求を設定しておけば、TXI 要求により DMAC が起動されて送信データの転送を行います。TDRE および TEND フラグは、DMAC によるデータ転送時に自動的に 0 にクリアされます。エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間 TEND は 0 のまま保持され、DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にクリアされませんので、RIE ビットを 1 にセットしておき、エラー発生時に ERI 割り込み要求を発生させ、ERS をクリアしてください。

なお、DMAC を使って送受信を行う場合は、必ず先に DMAC を設定し、許可状態にしてから SCI の設定を行ってください。DMAC の設定方法は「7. DMA コントローラ (DMAC)」を参照してください。

12. シリアルコミュニケーションインタフェース (SCI)

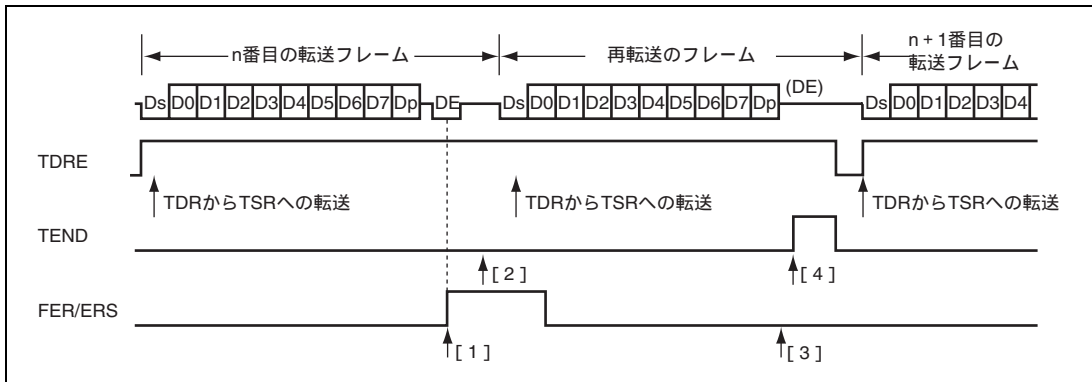


図 12.26 SCI 送信モードの場合の再転送動作

なお、SMR の GM ビットの設定により、TEND フラグのセットタイミングが異なります。図 12.27 に TEND フラグ発生タイミングを示します。

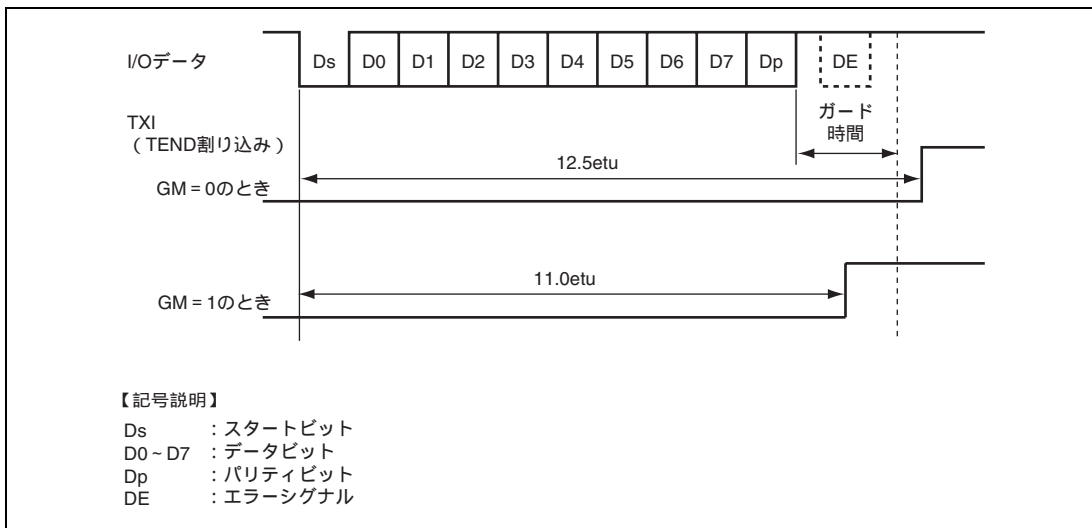


図 12.27 送信動作時の TEND フラグ発生タイミング

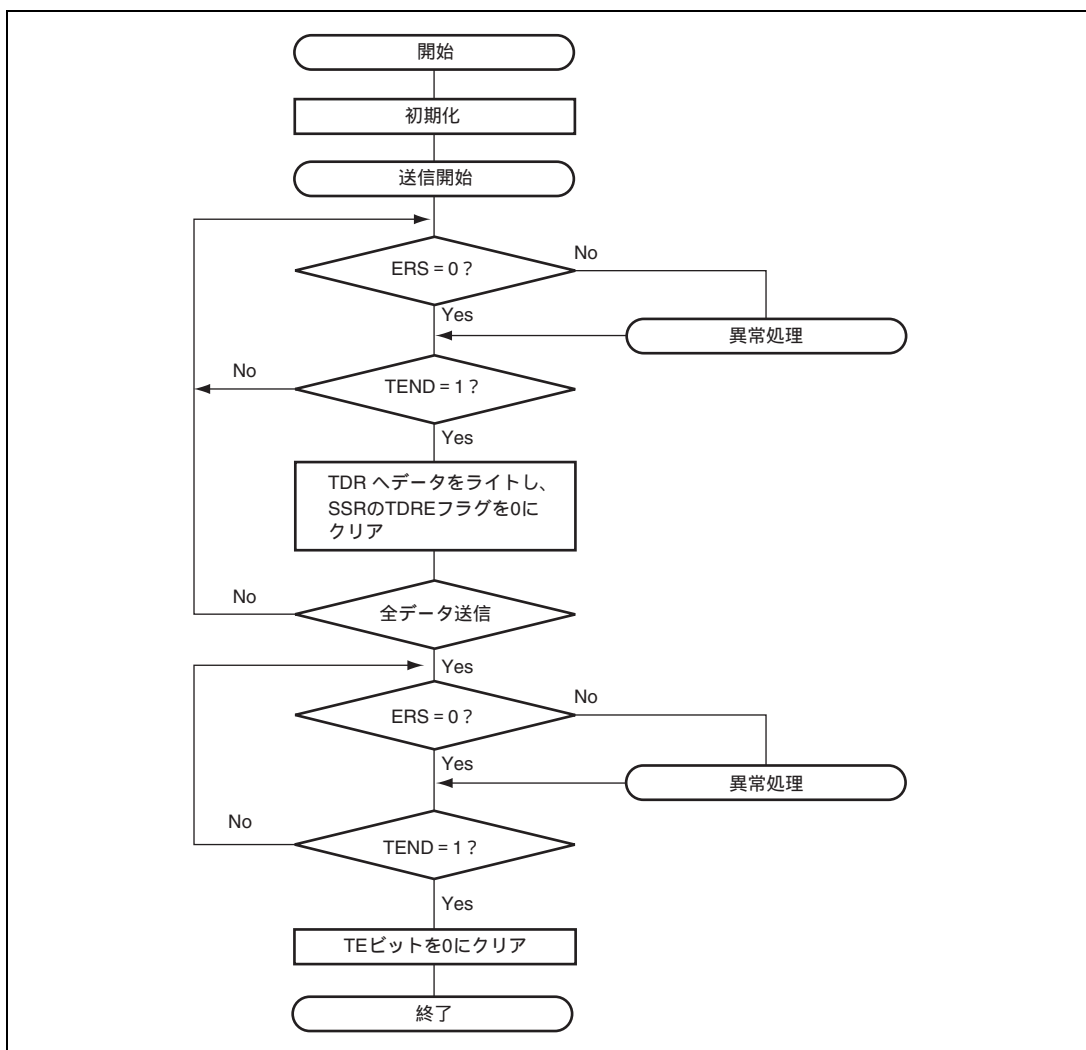


図 12.28 送信処理フローの例

12.7.7 シリアルデータ受信 (ブロック転送モードを除く)

スマートカードインタフェースモードにおけるデータ受信は、通常のシリアルコミュニケーションインタフェースモードと同様の処理手順になります。受信モードの場合の再転送動作を図 12.29 に示します。

1. 受信データにパリティエラーを検出するとSSRのPERビットが1にセットされます。このとき、SCRのRIEがセットされているとERI割り込み要求を発生します。次のパリティビットのサンプリングタイミングまでにPERビットをクリアしてください。
2. パリティエラーを検出したフレームではSSRのRDRFビットはセットされません。
3. パリティエラーが検出されない場合は、SSRのPERビットはセットされません。
4. 正常に受信を完了したと判断して、SSRのRDRFが1にセットされます。このときSCRのRIEビットがセットされていれば、RXI割り込み要求を発生します。

受信フローの例を図 12.30 に示します。これら一連の処理は RXI 割り込み要因によって DMAC を起動することで、自動的に行うことができます。受信動作では、RIE ビットを 1 にセットしておくことで RDRF フラグが 1 にセットされると RXI 要求を発生します。あらかじめ DMAC の起動要因に RXI 要求を設定しておけば、RXI 要求により DMAC が起動されて受信データの転送を行います。DMAC によりデータが転送されると RDRF フラグは自動的にクリアされます。また、受信時にエラーが発生し ORER、PER フラグのいずれかが 1 にセットされると、送受信エラー割り込み (ERI) 要求を発生しますのでエラーフラグをクリアしてください。エラーが発生した場合は、DMAC は起動されず、受信データはスキップされるため DMAC に設定したバイト数だけ受信データを転送します。なお、受信時にパリティエラーが発生し PER が 1 にセットされた場合でも、受信したデータは RDR に転送されるのでこのデータをリードすることは可能です。

【注】 ブロック転送モードの場合は「12.4 調歩同期モードの動作」を参照してください。

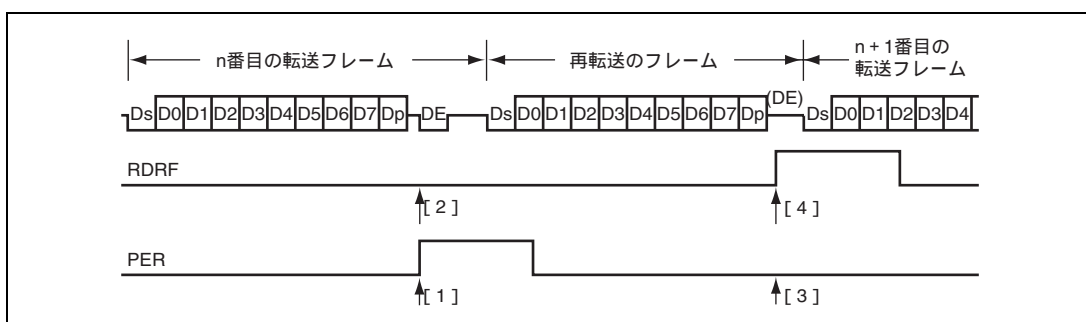


図 12.29 SCI 受信モードの場合の再転送動作

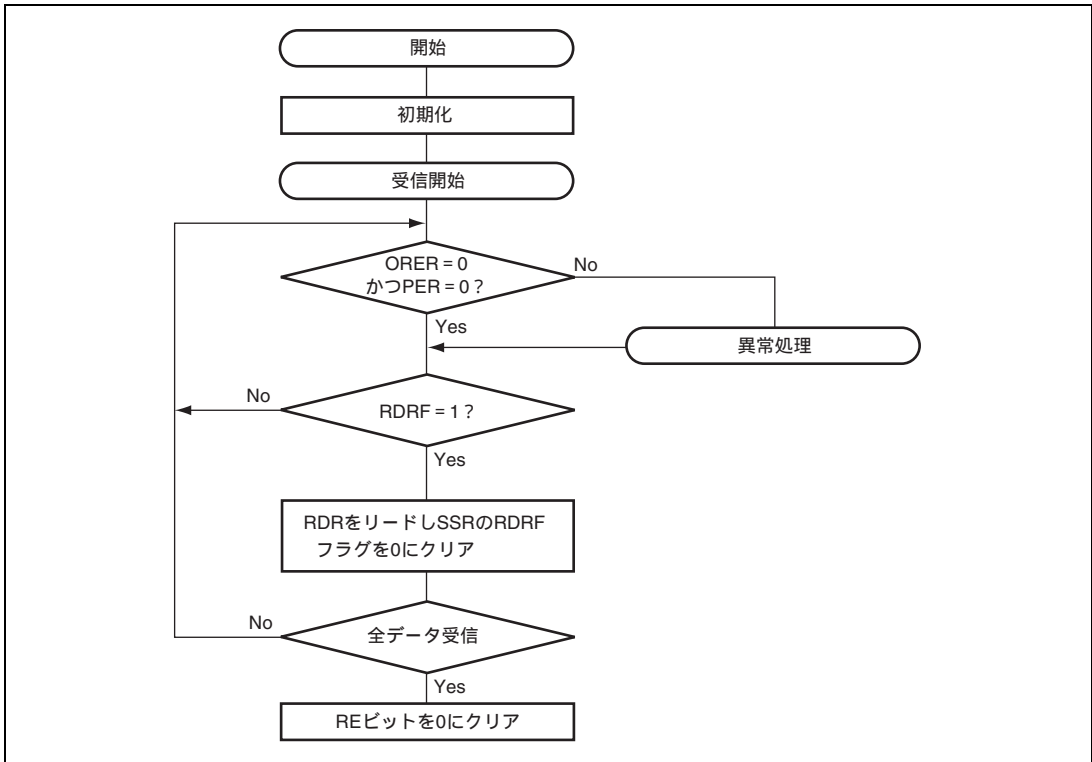


図 12.30 受信フローの例

12.7.8 クロック出力制御

SMR の GM ビットが 1 にセットされているとき、SCR の CKE1、CKE0 ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 12.31 にクロック出力の固定タイミングを示します。GM = 1、CKE1 = 0 とし、CKE0 ビットを制御した場合の例です。

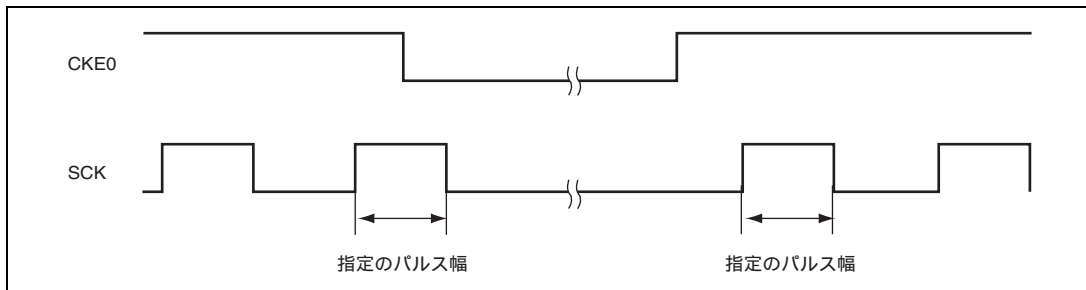


図 12.31 クロック出力固定タイミング

電源投入時およびソフトウェアスタンバイモードへの遷移またはソフトウェアスタンバイモードからの復帰の際は、クロックのデューティを確保するため、以下の手順で処理してください。

- 電源投入時

電源投入時からクロックデューティを確保するため、下記の切り替え手順で処理をしてください。

1. 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗/プルダウン抵抗を使用してください。
2. SCRのCKE1ビットでSCK端子を指定の出力に固定してください。
3. SMRとSCMRをセットし、スマートカードモードの動作に切り替えてください。
SCRのCKE0ビットを1に設定して、クロック出力を開始させてください。

- モード切り替え時

(a) スマートカードインタフェースモードからソフトウェアスタンバイモードに遷移するとき

1. SCK端子に対応するデータレジスタ (DR) とデータディレクションレジスタ (DDR) をソフトウェアスタンバイモード時の出力固定状態の値に設定してください。
2. SCRのTEビットとREビットに0をライトし、送信/受信動作を停止させてください。
同時に、CKE1ビットをソフトウェアスタンバイ時の出力固定状態の値に設定してください。
3. SCRのCKE0ビットに0をライトし、クロックを停止させてください。
4. シリアルクロックの1クロック周期の間、待ってください。
この間に、デューティを守って、指定のレベルでクロック出力は固定されます。
5. ソフトウェアスタンバイ状態に遷移させてください。

(b) ソフトウェアスタンバイモードからスマートカードインタフェースモードに戻るとき

1. ソフトウェアスタンバイ状態を解除してください。
2. SCRのCKE0ビットに1をライトし、クロックを出力させてください。正常なデューティにて信号発生を開始します。

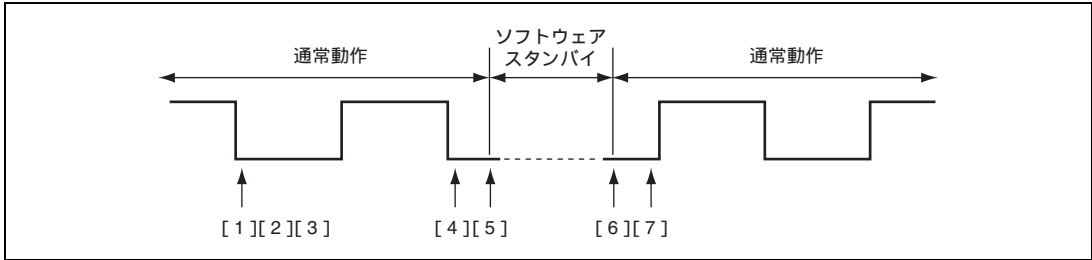


図 12.32 クロック停止・再起動手順

12.8 割り込み要因

12.8.1 通常のシリアルコミュニケーションインタフェースモードにおける割り込み

表 12.12 に通常のシリアルコミュニケーションインタフェースモードにおける割り込み要因を示します。各割り込み要因には異なる割り込みベクタが割り当てられており、SCR のイネーブルビットにより個別にイネーブルにすることができます。

SSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。TXI 割り込み要求により DMAC を起動してデータ転送を行うことができます。TDRE フラグは DMAC によるデータ転送時に自動的に 0 にクリアされます。

SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。SSR の ORER、PER、FER フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。RXI 割り込み要求で DMAC を起動してデータ転送を行うことができます。RDRF フラグは DMAC によるデータ転送時に自動的に 0 にクリアされます。

TEI 割り込みは TEIE ビットが 1 にセットされた状態で TEND フラグが 1 にセットされたとき発生します。TEI 割り込みと TXI 割り込みが同時に発生している状態では TXI 割り込みが先に受け付けられ、TXI 割り込みルーチンで TDRE フラグと TEND フラグを同時にクリアする場合は TEI 割り込みルーチンへ分岐できなくなりますので注意してください。

表 12.12 SCI 割り込み要因

名称	割り込み要因	割り込みフラグ	DMAC の起動	優先順位
ERI	受信エラー	ORER、FER、PER	不可	高 ↑ ↓ 低
RXI	受信データフル	RDRF	可	
TXI	送信データエンプティ	TDRE	可	
TEI	送信終了	TEND	不可	

12.8.2 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 12.13 の割り込み要因があります。送信終了割り込み (TEI) 要求は使用できません。

表 12.13 SCI 割り込み要因

名称	割り込み要因	割り込みフラグ	DMAC の起動	優先順位
ERI	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可	高
RXI	受信データフル	RDRF	可	↑ 低
TXI	送信データエンプティ	TEND	可	

スマートカードモードの場合も通常の SCI の場合と同様に、DMAC を使って送受信を行うことができます。送信動作では、SSR の TEND フラグが 1 にセットされると同時に TDRE フラグもセットされ、TXI 割り込みが発生します。あらかじめ DMAC の起動要因に TXI 要求を設定しておけば、TXI 要求により DMAC が起動されて送信データの転送を行います。TDRE および TEND フラグは、DMAC によるデータ転送時に自動的に 0 にクリアされます。エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間 TEND は 0 のまま保持され、DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にクリアされませんので、RIE ビットを 1 にセットしておき、エラー発生時に ERI 要求を発生させ、ERS をクリアしてください。

なお、DMAC を使って送受信を行う場合は、必ず先に DMAC を設定し、許可状態にしてから SCI の設定を行ってください。DMAC の設定方法は「7. DMA コントローラ (DMAC)」を参照してください。

また、受信動作では、SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。あらかじめ DMAC の起動要因に RXI 要求を設定しておけば、RXI 要求で DMAC が起動されて受信データの転送を行います。RDRF フラグは、DMAC によるデータ転送時に、自動的に 0 にクリアされます。エラーが発生した場合は、RDRF フラグはセットされずエラーフラグがセットされます。そのため DMAC は起動されず、代わりに CPU に対し ERI を発生しますのでエラーフラグをクリアしてください。

12.9 使用上の注意事項

12.9.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、SCI の動作禁止 / 許可を設定することが可能です。初期値では、SCI の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「24. 低消費電力」を参照してください。

12.9.2 ブレークの検出と処理について

フレーミングエラー検出時に、RxD 端子の値を直接リードすることでブレークを検出できます。ブレークでは RxD 端子からの入力がすべて 0 になりますので、FER がセットされ、また PER もセットされる可能性があります。SCI は、ブレークを受信した後も受信動作を続けます。したがって FER を 0 にクリアしても再び FER が 1 にセットされますので注意してください。

12.9.3 マーク状態とブレークの送出

TE が 0 のとき、TxD 端子は DR と DDR により入出力方向とレベルが決まる I/O ポートになります。これを利用して TxD 端子をマーク状態にしたりデータ送信時にブレークを送出したりすることができます。TE を 1 にセットするまで、通信回線をマーク状態 (1 の状態) にするためには、DDR = 1、DR = 1 を設定します。このとき、TE が 0 にクリアされていますので、TxD 端子は I/O ポートとなっており 1 が出力されます。一方、データ送信時にブレークを送出したいときは、DDR = 1、DR = 0 に設定した後 TE を 0 にクリアします。TE を 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子は I/O ポートになり、TxD 端子から 0 が出力されません。

12.9.4 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (ORER、PER、FER) が 1 にセットされた状態では、TDRE を 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。また、RE を 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

12.9.5 TDR へのライトと TDRE フラグの関係について

SSR の TDRE フラグは TDR から TSR に送信データの転送が行われたことを示すステータスフラグです。SCI が TDR から TSR にデータを転送すると TDRE フラグが 1 にセットされます。

TDR へのデータのライトは、TDRE フラグの状態にかかわらず行うことができます。しかし、TDRE フラグが 0 の状態で新しいデータを TDR にライトすると、TDR に格納されていたデータは TSR に転送されていないため失われてしまいます。したがって TDR への送信データのライトは、必ず TDRE フラグが 1 にセットされていることを確認してから行ってください。

12.9.6 SCI 送受信中のレジスタライトについて

SCI の送受信中に SCR、SCMR へのライトは行わないでください。送受信中に SCR、SCMR へライトを行うと正しい送受信が行われない場合があります。

12.9.7 DMAC 使用上の制約事項

1. 同期クロックに外部クロックソースを使用する場合、DMACによるTDRの更新後、クロックで5クロック以上経過した後に送信クロックを入力してください。TDRの更新後4クロック以内に送信クロックを入力すると誤動作することがあります（図12.33参照）。
2. DMACにより、RDRのリードを行うときは必ず起動要因を当該SCIの受信完了割り込み（RXI）に設定してください。

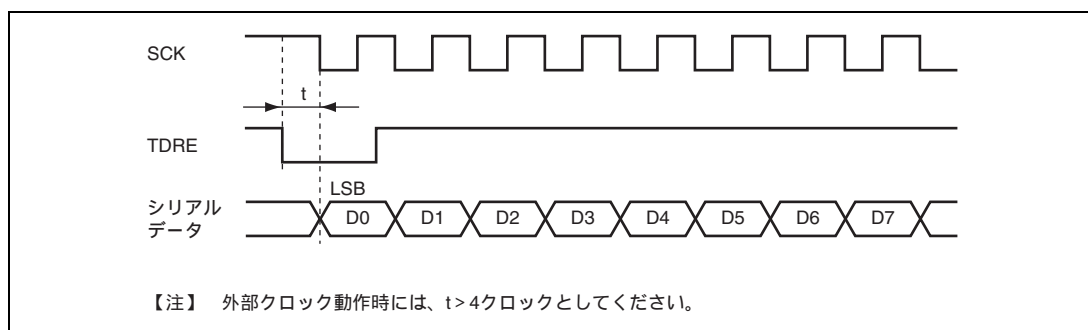


図 12.33 DMAC によるクロック同期式送信時の例

12.9.8 モード遷移時の動作について

(1) 送信

モジュールストップモード、ソフトウェアスタンバイモード遷移時には、動作を停止 ($TE = TIE = TEIE = 0$) してから行ってください。TSR、TDR、および SSR はリセットされます。モジュールストップモード、ソフトウェアスタンバイモード期間中の出力端子の状態は、ポートの設定に依存し、モード解除後 High 出力となります。送信中に遷移すると、送信中のデータは不確定になります。

モード解除後、送信モードを変えないで送信する場合は、 $TE = 1$ に設定し、SSR リード TDR ライト TDRE クリアで送信開始できます。送信モードを変えて送信する場合は、初期設定から行ってください。

図 12.34 に送信時のモード遷移フローチャートの例を示します。図 12.35、図 12.36 にモード遷移時のポートの端子状態を示します。

(2) 受信

モジュールストップモード、ソフトウェアスタンバイモード遷移時には、受信動作を停止 ($RE = 0$) してから行ってください。RSR、RDR、および SSR はリセットされます。受信中に遷移すると、受信中のデータは無効になります。

モード解除後、受信モードを変えないで受信する場合は、 $RE = 1$ に設定して受信を開始してください。受信モ

12. シリアルコミュニケーションインタフェース (SCI)

ードを変えて受信する場合は、初期設定から行ってください。

図 12.37 に受信時のモード遷移フローチャートの例を示します。

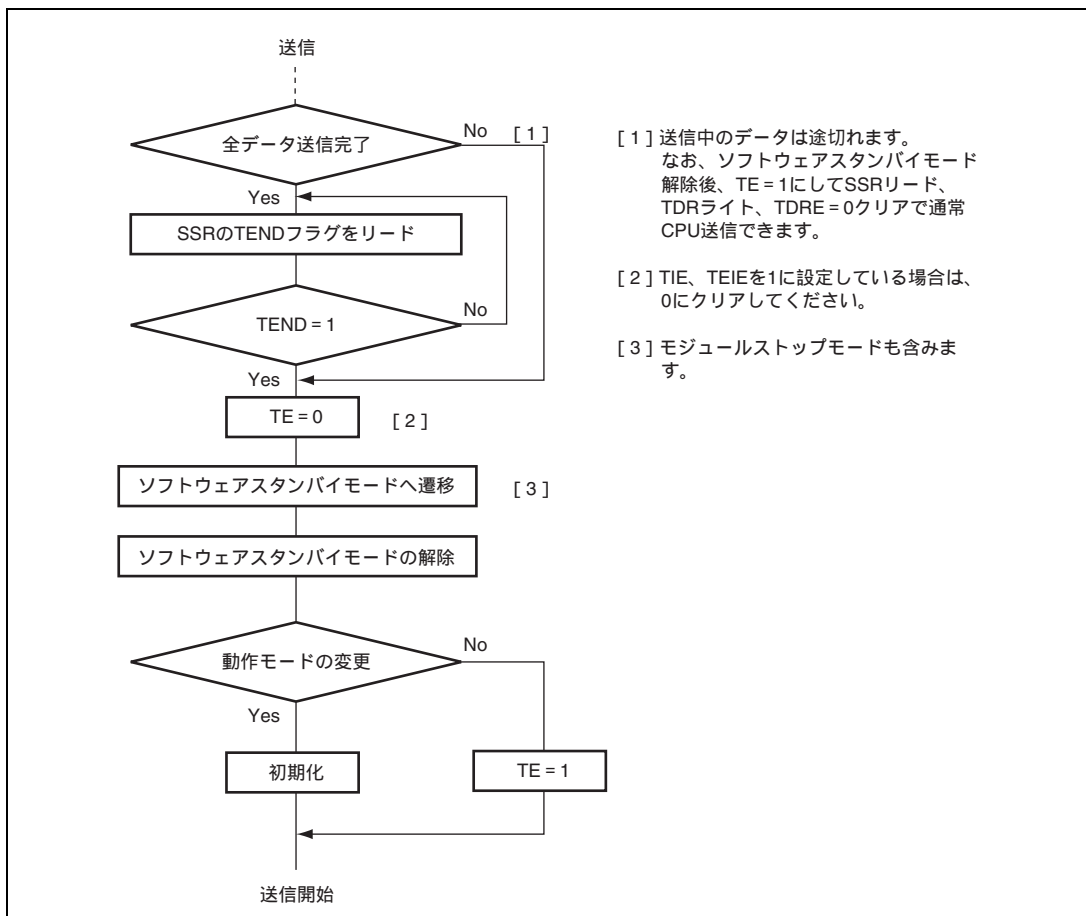


図 12.34 送信時のモード遷移フローチャートの例

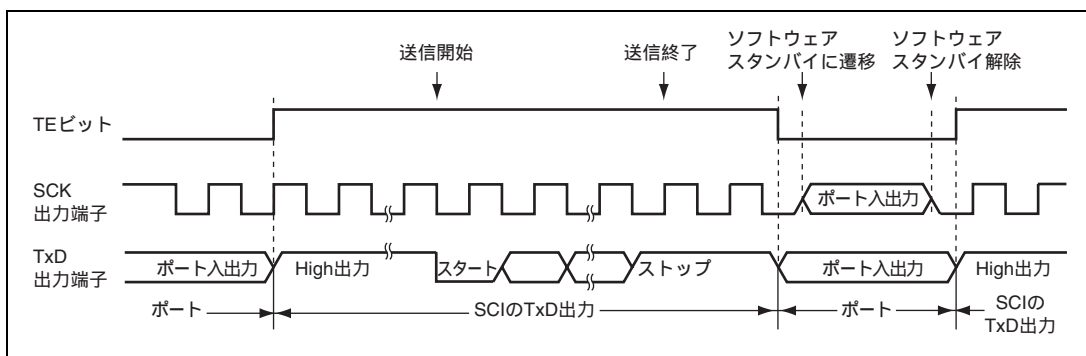


図 12.35 モード遷移時のポートの端子状態 (内部クロック、調歩同期送信)

12. シリアルコミュニケーションインタフェース (SCI)

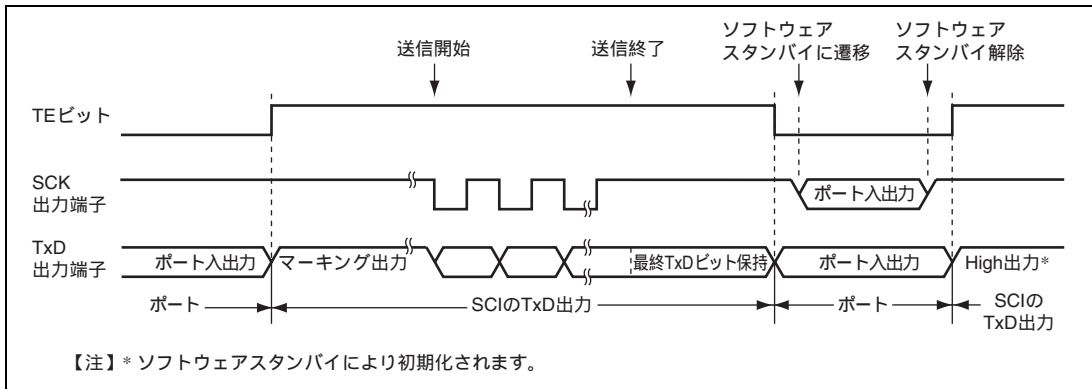


図 12.36 モード遷移時のポートの端子状態 (内部クロック、クロック同期送信)

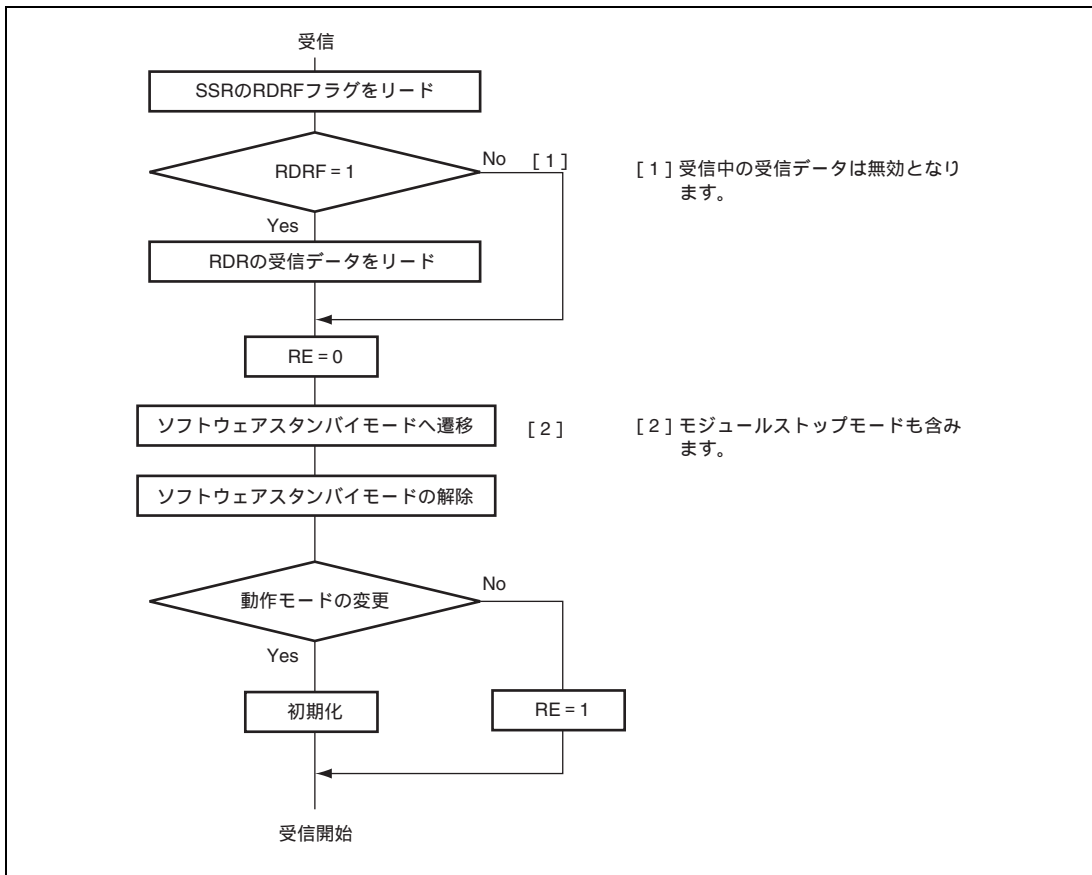


図 12.37 受信時のモード遷移フローチャートの例

12. シリアルコミュニケーションインタフェース (SCI)

13. I²C バスインタフェース 2 (IIC2)

本 LSI は、2 チャンネルの I²C バスインタフェースを内蔵しています。

I²C バスインタフェースは、フィリップス社が提唱する I²C バス (Inter IC Bus) インタフェース方式に準拠しており、サブセット機能を備えています。ただし I²C バスを制御するレジスタの構成が一部フィリップス社と異なりますので注意してください。

I²C バスインタフェース 2 のブロック図を図 13.1 に、入出力端子の外部回路接続例を図 13.2 に示します。

13.1 特長

- 連続送信 / 受信可能

シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため、連続送信 / 受信が可能

- マスタモードでは開始条件、停止条件の自動生成
- 受信時、アクノリッジの出力レベルを選択可能
- 送信時、アクノリッジビットを自動ロード
- ビット同期 / ウェイト機能内蔵

マスタモードではビットごとに SCL の状態をモニタして自動的に同期を取ります。転送準備ができていない場合には、SCL をローレベルにして待機させます。

- 割り込み要因 : 6種類

送信データエンプティ (スレーブアドレス一致時を含む)、送信完了、受信データフル (スレーブアドレス一致時を含む)、アービトレーションロスト、NACK 検出時、停止条件検出時

- バスを直接駆動可能

SCL、SDA の各端子は、NMOS オープンドレイン出力

13. I²C バスインタフェース 2 (IIC2)

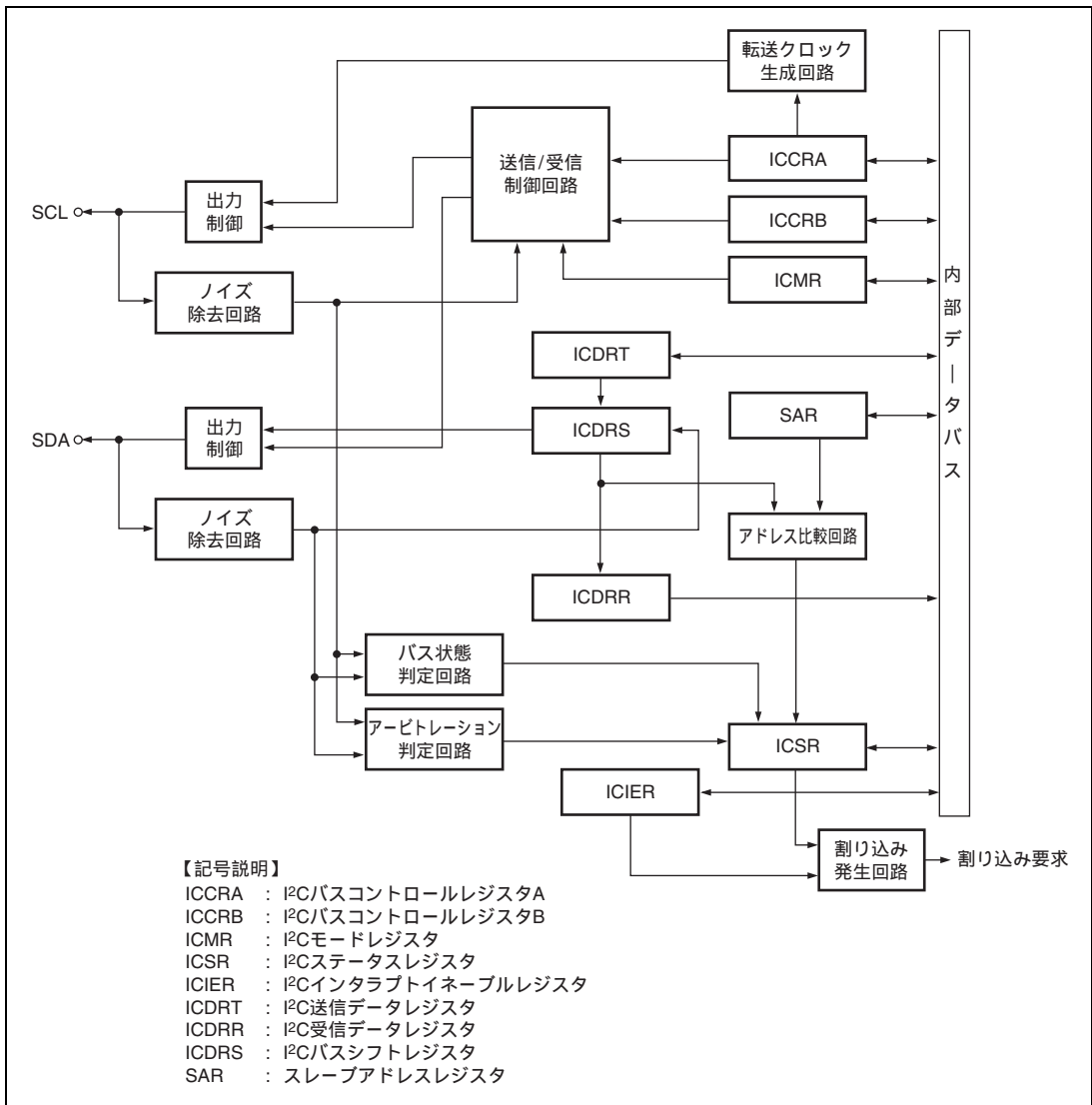


図 13.1 I²C バスインタフェース 2 のブロック図

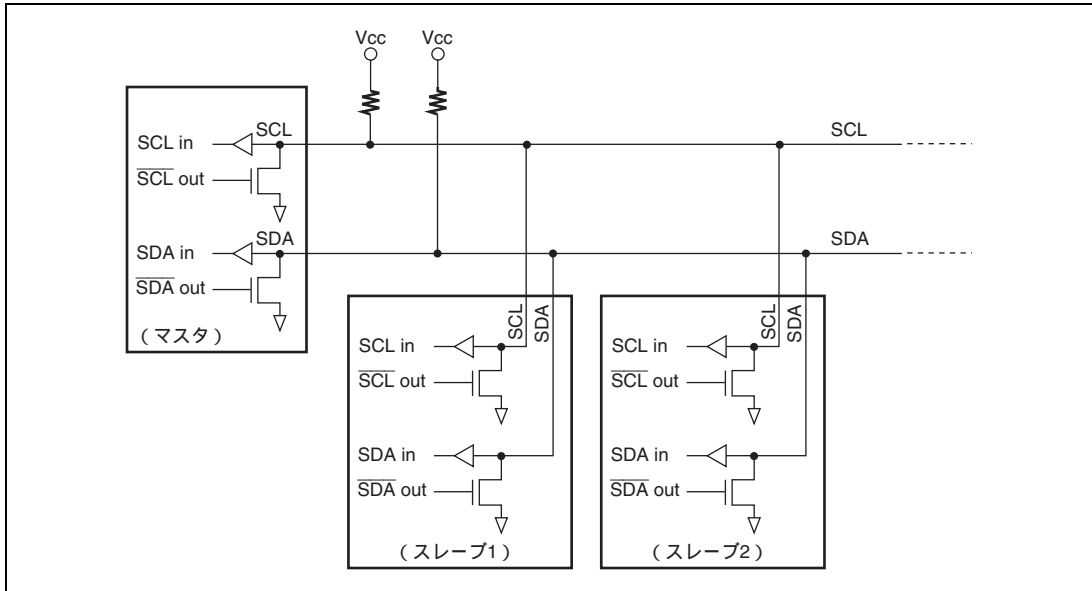


図 13.2 入出力端子の外部回路接続例

13.2 入出力端子

I²C バスインタフェース 2 で使用する端子構成を表 13.1 に示します。

表 13.1 端子構成

チャンネル	記号	入出力	機能
0	SCL0	入出力	チャンネル 0 のシリアルクロック入出力端子
	SDA0	入出力	チャンネル 0 のシリアルデータ入出力端子
1	SCL1	入出力	チャンネル 1 のシリアルクロック入出力端子
	SDA1	入出力	チャンネル 1 のシリアルデータ入出力端子

【注】本文中では、チャンネルを省略し、それぞれ SCL、SDA と略称します。

13.3 レジスタの説明

I²C には以下のレジスタがあります。

チャンネル 0

- I²C バスコントロールレジスタ A₀ (ICCR_A_0)
- I²C バスコントロールレジスタ B₀ (ICCR_B_0)
- I²C バスモードレジスタ₀ (ICMR_0)
- I²C バスインタラプトイネーブルレジスタ₀ (ICIER_0)
- I²C バスステータスレジスタ₀ (ICSR_0)

13. I²C バスインタフェース 2 (IIC2)

- スレープアドレスレジスタ_0 (SAR_0)
- I²Cバス送信データレジスタ_0 (ICDRT_0)
- I²Cバス受信データレジスタ_0 (ICDRR_0)
- I²Cバスシフトレジスタ_0 (ICDRS_0)

チャンネル 1

- I²CバスコントロールレジスタA_1 (ICGRA_1)
- I²CバスコントロールレジスタB_1 (ICCRB_1)
- I²Cバスモードレジスタ_1 (ICMR_1)
- I²Cバスインタラプトイネーブルレジスタ_1 (ICIER_1)
- I²Cバスステータスレジスタ_1 (ICSR_1)
- スレープアドレスレジスタ_1 (SAR_1)
- I²Cバス送信データレジスタ_1 (ICDRT_1)
- I²Cバス受信データレジスタ_1 (ICDRR_1)
- I²Cバスシフトレジスタ_1 (ICDRS_1)

13.3.1 I²C バスコントロールレジスタ A (ICGRA)

ICGRA は、I²C バスインタフェースの動作 / 停止、送信 / 受信制御、マスタモード / スレープモード、送信 / 受信、マスタモード転送クロック周波数の選択を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	ICE	0	R/W	I ² C バスインタフェースイネーブル 0 : 本モジュールは機能停止状態 (SCL/SDA 端子はポート機能) 1 : 本モジュールは転送動作可能状態 (SCL/SDA はバス駆動状態)
6	RCVD	0	R/W	受信ディスエーブル TRS = 0 の状態で ICDRR をリードしたときに次の動作の継続 / 禁止を設定します。 0 : 次の受信動作を継続 1 : 次の受信動作を禁止

13. I²C バスインタフェース 2 (IIC2)

ビット	ビット名	初期値	R/W	説明
5	MST	0	R/W	マスタ/スレーブ選択 送信/受信選択 マスタモードでバス競合負けをすると、MST、TRS ともにハードウェアによってリセットされてスレーブ受信モードに変わります。なお TRS の変更は転送フレーム間で行ってください。また、スレーブ受信モードで開始条件後の 7 ビットが SAR に設定したスレーブアドレスと一致し、8 ビット目が 1 の場合、TRS が自動的に 1 にセットされます。 MST と TRS との組み合わせにより、以下の動作モードになります。 00 : スレーブ受信モード 01 : スレーブ送信モード 10 : マスタ受信モード 11 : マスタ送信モード
4	TRS	0	R/W	
3	CKS3	0	R/W	転送クロック選択 3~0 マスタモードのときのみ有効です。必要な転送レートに合わせて設定してください。転送レートについては、表 13.2 を参照してください。
2	CKS2	0	R/W	
1	CKS1	0	R/W	
0	CKS0	0	R/W	

表 13.2 転送レート

ビット 3	ビット 2	ビット 1	ビット 0	クロック	転送レート		
					P = 8MHz	P = 10MHz	P = 20MHz
0	0	0	0	P /28	286kHz	357kHz	714kHz
			1	P /40	200kHz	250kHz	500kHz
		1	0	P /48	167kHz	208kHz	417kHz
			1	P /64	125kHz	156kHz	313kHz
	1	0	0	P /168	47.6kHz	59.5kHz	119kHz
			1	P /100	80.0kHz	100kHz	200kHz
		1	0	P /112	71.4kHz	89.3kHz	179kHz
			1	P /128	62.5kHz	78.1kHz	156kHz
1	0	0	0	P /56	143kHz	179kHz	357kHz
			1	P /80	100kHz	125kHz	250kHz
		1	0	P /96	83.3kHz	104kHz	208kHz
			1	P /128	62.5kHz	78.1kHz	156kHz
	1	0	0	P /336	23.8kHz	29.8kHz	59.5kHz
			1	P /200	40.0kHz	50.0kHz	100kHz
		1	0	P /224	35.7kHz	44.6kHz	89.3kHz
			1	P /256	31.3kHz	39.1kHz	78.1kHz

13. I²C バスインタフェース 2 (IIC2)

13.3.2 I²C バスコントロールレジスタ B (ICCRB)

ICCRB は、開始 / 停止条件発行、SDA 端子の操作、SCL 端子のモニタ、I²C のコントロール部のリセットを制御します。

ビット	7	6	5	4	3	2	1	0
ビット名	BBSY	SCP	SDAO	-	SCLO	-	IICRST	-
初期値 :	0	1	1	1	1	1	0	1
R/W :	R/W	R/W	R	R/W	R	-	R/W	-

ビット	ビット名	初期値	R/W	説明
7	BBSY	0	R/W	バスビジー I ² C バスの占有 / 開放状態を示すフラグ機能とマスタモードの開始 / 停止条件発行機能の 2 つがあります。SCL = ハイレベルの状態、SDA がハイレベルからローレベルに変化すると、開始条件が発行されたと認識して 1 にセットされます。SCL = ハイレベルの状態、SDA がローレベルからハイレベルに変化すると、停止条件が発行されたと認識して 0 にクリアされます。開始条件を発行する場合は BBSY に 1、SCP に 0 をライトします。開始条件再送時と同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。なお開始条件 / 停止条件の発行は、MOV 命令を用いてください。
6	SCP	1	R/W	開始 / 停止条件発行禁止ビット SCP ビットはマスタモードで開始条件 / 停止条件の発行を制御します。開始条件を発行する場合、BBSY に 1、SCP に 0 をライトします。開始条件の再送信時と同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトします。本ビットはリードすると常に 1 が読み出されます。1 をライトしてもデータは格納されません。
5	SDAO	1	R	SDAO は SDA の出力レベルをモニタします。リード時に SDAO が 1 の場合 SDA 端子出力はハイレベル、SDAO が 0 の場合 SDA 端子出力はローレベルとなります。
4	-	1	R/W	リザーブビット ライトするときは必ず 1 をライトしてください。
3	SCLO	1	R	SCLO は SCL の出力レベルをモニタします。リード時に SCLO が 1 の場合 SCL 端子出力はハイレベル、SCLO が 0 の場合 SCL 端子出力はローレベルとなります。
2	-	1	-	リザーブビット リードすると常に 1 が読み出されます。
1	IICRST	0	R/W	IIC コントロール部リセット IICRST は I ² C のレジスタを除くコントロール部をリセットします。I ² C の動作中に通信不具合等によりハングアップしたとき、IICRST ビットを 1 にセットするとポートの設定、レジスタの初期化をせずに I ² C のコントロール部をリセットすることができます。
0	-	1	-	リザーブビット リードすると常に 1 が読み出されます。

13.3.3 I²C バスモードレジスタ (ICMR)

ICMR は、マスタモードウェイトの制御、転送ビット数の選択を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	-	WAIT	-	-	BCWP	BC2	BC1	BC0
初期値:	0	0	1	1	1	0	0	0
R/W:	R/W	R/W	-	-	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	-	0	R/W	リザーブビット ライトするときは必ず 0 をライトしてください。
6	WAIT	0	R/W	ウェイト挿入ビット WAIT はマスタモード時に、アクノリッジを除いたデータ転送後にウェイト状態にするかどうかを設定します。WAIT に 1 を設定した場合、データの最終ビットのクロックが立ち下がった後、2 転送クロック分ロー期間を延ばします。WAIT が 0 の場合、ウェイトは挿入されず、データとアクノリッジを連続して転送します。 なおスレーブモードの場合、本ビットの設定値は無効です。
5、4	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。
3	BCWP	1	R/W	BC ライトプロテクト BC2 ~ BC0 の書き込みを制御します。BC2 ~ BC0 を書き換える場合は、本ビットを 0 にして MOV 命令で行います。 0 : ライト時、BC2 ~ BC0 の値を設定 1 : リード時、常に 1 をリード ライト時、BC2 ~ BC0 設定値は無効
2	BC2	0	R/W	ビットカウンタ 2 ~ 0 次に転送するデータのビット数を指定します。リードすると残りの転送ビット数を知ることができます。データにアクノリッジ 1 ビットが加算されて転送されます。設定は転送フレーム間で行ってください。また、000 以外の値を設定する場合は、SCL がロー状態で行ってください。これらのビットはアクノリッジを含むデータ転送終了後、自動的に 000 に戻ります。 000 : 9 ビット 001 : 2 ビット 010 : 3 ビット 011 : 4 ビット 100 : 5 ビット 101 : 6 ビット 110 : 7 ビット 111 : 8 ビット
1	BC1	0	R/W	
0	BC0	0	R/W	

13. I²C バスインタフェース 2 (IIC2)

13.3.4 I²C バスインタラプトイネーブルレジスタ (ICIER)

ICIER は、各種割り込み要因の許可、アクノリッジの有効/無効の選択、送信アクノリッジの設定、および受信アクノリッジの確認を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル ICSR の TDRE がセットされたとき、送信データエンプティ割り込み (TXI) を許可/禁止します。 0: 送信データエンプティ割り込み要求 (TXI) の禁止 1: 送信データエンプティ割り込み要求 (TXI) の許可
6	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル TEIE は、ICSR の TDRE が 1 の状態で 9 クロック目が立ち上がったとき、送信終了割り込み (TEI) の許可/禁止を選択します。なお TEI は、TEND を 0 にクリアするか、TEIE を 0 にクリアすることで解除できます。 0: 送信終了割り込み要求 (TEI) の禁止 1: 送信終了割り込み要求 (TEI) の許可
5	RIE	0	R/W	レシーブインタラプトイネーブル RIE は受信データが ICDRS から ICDRR に転送され、ICSR の RDRF が 1 にセットされたとき、受信データフル割り込み要求 (RXI) の許可/禁止を選択します。なお RXI は、RDRF を 0 にクリアするか、または RIE を 0 にクリアすることで解除できます。 0: 受信データフル割り込み要求 (RXI) の禁止 1: 受信データフル割り込み要求 (RXI) の許可
4	NAKIE	0	R/W	NACK 受信インタラプトイネーブル NAKIE は、ICSR の NACKF および AL がセットされたとき、NACK 受信割り込み要求 (NAKI) の許可/禁止を選択します。なお NAKI は、NACKF または AL を 0 にクリアするか、または NAKIE を 0 にクリアすることで解除できます。 0: NACK 受信割り込み要求 (NAKI) の禁止 1: NACK 受信割り込み要求 (NAKI) の許可
3	STIE	0	R/W	停止条件検出インタラプトイネーブル 0: 停止条件検出割り込み要求 (STPI) の禁止 1: 停止条件検出割り込み要求 (STPI) の許可
2	ACKE	0	R/W	アクノリッジビット判定選択 0: 受信アクノリッジの内容を無視して連続的に転送を行う 1: 受信アクノリッジが 1 の場合、転送を中断する

ビット	ビット名	初期値	R/W	説明
1	ACKBR	0	R	受信アクリッジ 送信モード時、受信デバイスから受け取ったアクリッジビットの内容を格納しておくビットです。ライトは無効です。 0: 受信アクリッジ=0 1: 受信アクリッジ=1
0	ACKBT	0	R/W	送信アクリッジ 受信モード時、アクリッジのタイミングで送出するビットを設定します。 0: アクリッジのタイミングで0を送出 1: アクリッジのタイミングで1を送出

13.3.5 I²C バスステータスレジスタ (ICSR)

ICSR は、各種割り込み要求フラグおよびステータスの確認を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	TDRE	TEND	RDRF	NACKF	STOP	AL	AAS	ADZ
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TDRE	0	R/W	トランスミットデータエンプティ [セット条件] <ul style="list-style-type: none"> ICDRT から ICDRS にデータ転送が行われ、ICDRT がエンプティになったとき TRS をセットしたとき 開始条件 (再送含む) を発行したとき スレーブモードで受信モードから送信モードになったとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき ICDRT ヘデータをライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください)
6	TEND	0	R/W	トランスミットエンド [セット条件] <ul style="list-style-type: none"> TDRE が 1 の状態で SCL の 9 クロック目が立ち上がったとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき ICDRT ヘデータをライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください)

13. I²C バスインタフェース 2 (IIC2)

ビット	ビット名	初期値	R/W	説 明
5	RDRF	0	R/W	<p>レシーブデータレジスタフル</p> <p>[セット条件]</p> <ul style="list-style-type: none"> ICDRS から ICDRR に受信データが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき ICDRR をリードしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください)
4	NACKF	0	R/W	<p>ノーアクノリッジ検出フラグ</p> <p>[セット条件]</p> <ul style="list-style-type: none"> ICIER の ACKE = 1 の状態で、送信時、受信デバイスからアクノリッジがなかったとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください)
3	STOP	0	R/W	<p>停止条件検出フラグ</p> <p>[セット条件]</p> <ul style="list-style-type: none"> マスタモード時、フレームの転送の完了後に停止条件を検出したとき スレーブモード時、開始条件検出後の第 1 バイトのスレーブアドレスと SAR に設定したアドレスが一致した後、停止条件を検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください)
2	AL	0	R/W	<p>アービトレーションロストフラグ</p> <p>AL は、マスタモード時にバス競合負けをしたことを示します。 複数のマスタがほぼ同時にバスを占有しようとしたときに I²C バスインタフェースは SDA をモニタし、自分が出したデータと異なった場合、AL フラグを 1 にセットしてバスが他のマスタによって占有されたことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> マスタ送信モードの場合、SCL の立ち上がりで内部 SDA と SDA 端子のレベルが不一致のとき マスタモードの場合、開始条件検出時、SDA 端子がハイレベルのとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください)

ビット	ビット名	初期値	R/W	説 明
1	AAS	0	R/W	スレーブアドレス認識フラグ スレーブ受信モードで開始条件直後の第1フレームが SAR の SVA6 ~ SVA0 と一致した場合にセットされます。 [セット条件] • スレーブ受信モードでスレーブアドレスを検出したとき • スレーブ受信モードでゼネラルコールアドレスを検出したとき [クリア条件] • 1の状態をリードした後、0をライトしたとき (割り込みを使用し、CPUによってクリアする場合、0ライト後必ずフラグをリードしてください)
0	ADZ	0	R/W	ゼネラルコールアドレス認識フラグ スレーブ受信モードのとき有効 [セット条件] • スレーブ受信モードかつゼネラルコールアドレスを検出したとき [クリア条件] • 1の状態をリードした後、0をライトしたとき (割り込みを使用し、CPUによってクリアする場合、0ライト後必ずフラグをリードしてください)

13.3.6 スレーブアドレスレジスタ (SAR)

SAR は、スレーブアドレスを設定します。スレーブモードの場合、開始条件後に送られてくる第1フレームの上位7ビットと SAR の上位7ビットが一致したとき、スレーブデバイスとして動作します。

ビット	7	6	5	4	3	2	1	0
ビット名	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	SVA6	0	R/W	スレーブアドレス 6~0 I ² C バスにつながる他のスレーブと異なるユニークなアドレスを設定します。
6	SVA5	0	R/W	
5	SVA4	0	R/W	
4	SVA3	0	R/W	
3	SVA2	0	R/W	
2	SVA1	0	R/W	
1	SVA0	0	R/W	
0	-	0	R/W	リザーブビット リード/ライト可能ですが、必ず0をライトしてください。

13. I²C バスインタフェース 2 (IIC2)

13.3.7 I²C バス送信データレジスタ (ICDRT)

ICDRT は、送信データを格納する 8 ビットのリード/ライト可能なレジスタで、I²C バスシフトレジスタ (ICDRS) の空きを検出すると ICDRT に書き込まれた送信データを ICDRS に転送し、データ送信を開始します。ICDRS のデータ送信中に、次に送信するデータを ICDRT にライトしておくこと、連続送信が可能です。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

13.3.8 I²C バス受信データレジスタ (ICDRR)

ICDRR は、受信データを格納する 8 ビットのレジスタです。1 バイトのデータの受信が終了すると、受信したデータを ICDRS から ICDRR へ転送し、次のデータを受信可能にします。なお ICDRR は受信専用レジスタですので、CPU からライトできません。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R	R

13.3.9 I²C バスシフトレジスタ (ICDRS)

ICDRS は、データを送信/受信するためのレジスタです。送信時は ICDRT から送信データが ICDRS に転送され、データが SDA 端子から送出されます。受信時は 1 バイトのデータの受信が終了すると、データが ICDRS から ICDRR へ転送されます。なお本レジスタは CPU から直接リード/ライトできません。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	-	-	-	-	-	-	-	-

13.4 動作説明

13.4.1 I²C バスフォーマット

I²C バスフォーマットを図 13.3 に、I²C バスのタイミングを図 13.4 に示します。開始条件に続く第 1 フレームは必ず 8 ビット構成となります。

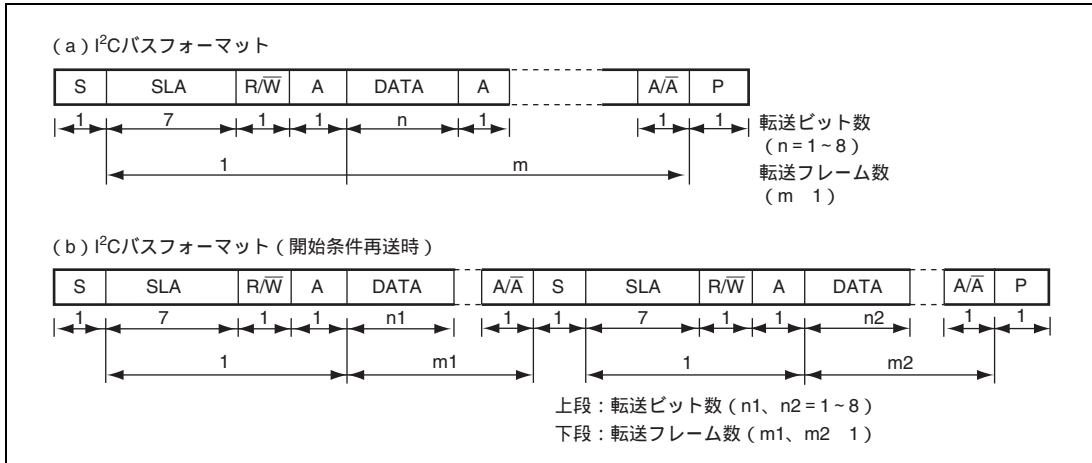


図 13.3 I²C バスフォーマット

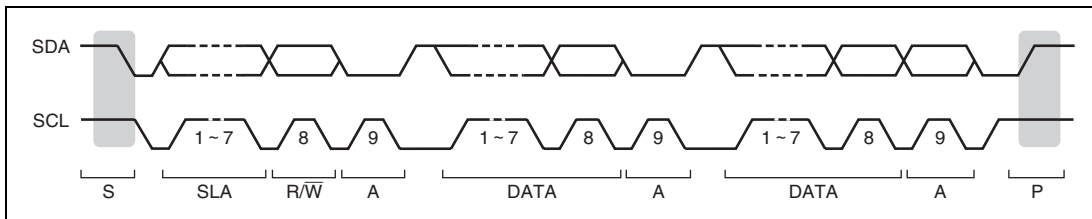


図 13.4 I²C バスタイミング

【記号の説明】

- S : 開始条件。マスタデバイスが SCL = ハイレベルの状態では SDA をハイレベルからローレベルに変化させます。
- SLA : スレーブアドレス
- R/W : 送受信の方向を示します。1 のときスレーブデバイスからマスタデバイスへ、0 のときマスタデバイスからスレーブデバイスへデータを送信します。
- A : アクノリッジ。受信デバイスが SDA をローレベルにします。
- DATA : 送受信データ
- P : 停止条件。マスタデバイスが SCL = ハイレベルの状態では SDA をローレベルからハイレベルに変化させます。

13.4.2 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。マスタ送信モードの動作タイミングについては図 13.5 と図 13.6 を参照してください。以下にマスタ送信モードの送信手順と動作を示します。

1. 該当のICRビットを1にセットした後、ICCRAのICEビットを1にセットします。またICMRのWAIT、ICCRAのCKS3~CKS0等を設定します（初期設定）。
2. ICCRBのBBSYフラグをリードしてバスが開放状態であることを確認後、ICCRAのMST、TRSをマスタ送信モードに設定します。その後、BBSY = 1とSCP = 0をMOV命令でライトします（開始条件発行）。これにより開始条件を生成します。
3. ICSRのTDREがセットされたことを認識した後、ICDRTに送信データ（1バイト目はスレーブアドレスとR/Wを示すデータ）をライトします。このときTDREは自動的に0にクリアされ、ICDRTからICDRSにデータが転送されて、再びTDREがセットされます。
4. TDREがセットされた状態で1バイト送信が完了し、送信クロックの9クロック目の立ち上がりでICSRのTENDがセットされます。ICIERのACKBRをリードし、スレーブデバイスが選択されたことを認識した後、2バイト目のデータをICDRTにライトします。ACKBRが1のときはスレーブデバイスが認識されていないため、停止条件を発行します。停止条件の発行はBBSY = 0とSCP = 0を、MOV命令でライトすることにより行います。なおデータの準備ができるまで、または停止条件を発行するまではSCLがローレベルに固定されます。
5. 2バイト目以降の送信データは、TDREがセットされるたびにICDRTにデータをライトします。
6. 送信するバイト数をICDRTにライトしたら、その後はTDREがセットされた状態でTENDがセット（最終バイト送出完了）されるまで待ちます。または、ICIERのACKEをセットした状態で受信デバイスからのNACK（ICSRのNACKF = 1）を待ちます。その後、停止条件を発行してTEND、あるいはNACKFをクリアします。
7. ICSRのSTOPがセットされたらスレーブ受信モードに戻します。

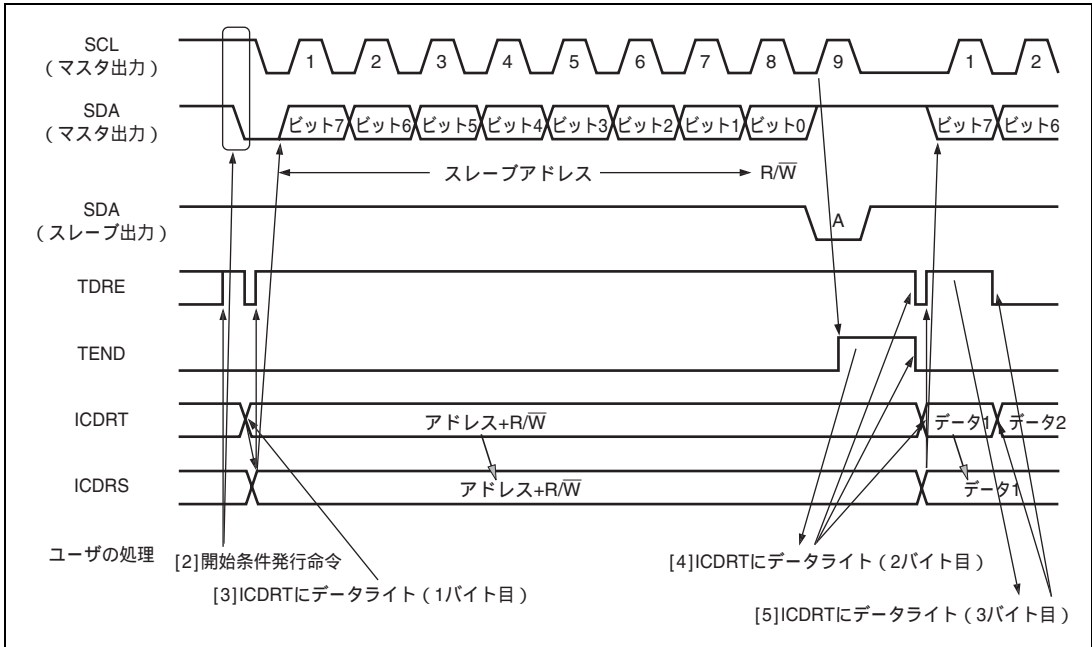


図 13.5 マスタ送信モード動作タイミング 1

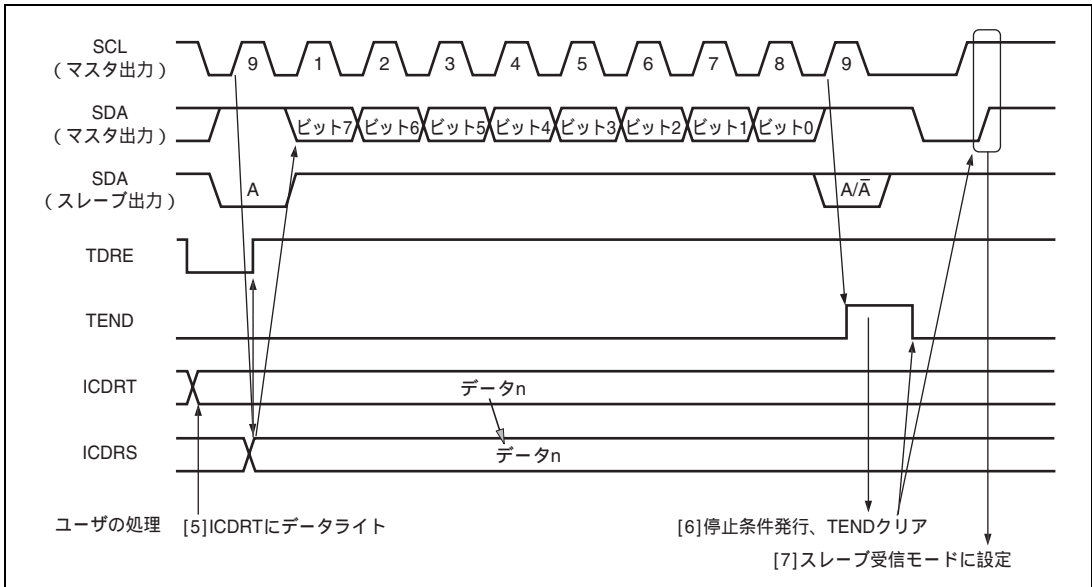


図 13.6 マスタ送信モード動作タイミング 2

13.4.3 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、スレーブデバイスからデータを受信してアキュリッジを返します。マスタ受信モードの動作タイミングについては図 13.7 と図 13.8 を参照してください。

以下にマスタ受信モードの受信手順と動作を示します。

1. ICSRのTENDをクリア後、ICCRAのTRSをクリアしてマスタ送信モードからマスタ受信モードに切り替えます。その後、TDREをクリアします。
2. ICDRRをダミーリードすると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。マスタデバイスは受信クロックの9クロック目にICIERのACKBTに設定したレベルをSDAに出力します。
3. 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりでICSRのRDRFがセットされます。このとき、ICDRRをリードすることにより、受信したデータを読み出すことができ、同時にRDRFはクリアされます。
4. RDRFがセットされるたびにICDRRをリードし、RDRFをクリアすることにより、連続的に受信できます。なお別処理でRDRFがセットされた状態でICDRRのリードが遅れて8クロック目が立ち下がった場合、ICDRRをリードするまでSCLがローレベルに固定されます。
5. 次の受信が最終フレームの場合、ICDRRをリードする前にICCRAのRCVDをセットします。これにより次の受信後、停止条件発行可能状態になります。
6. 受信クロックの9クロック目の立ち上がりでRDRFがセットされたら、停止条件を発行します。
7. ICSRのSTOPがセットされたらICDRRをリードします。その後、RCVDをクリアします。
8. スレーブ受信モードに戻します。

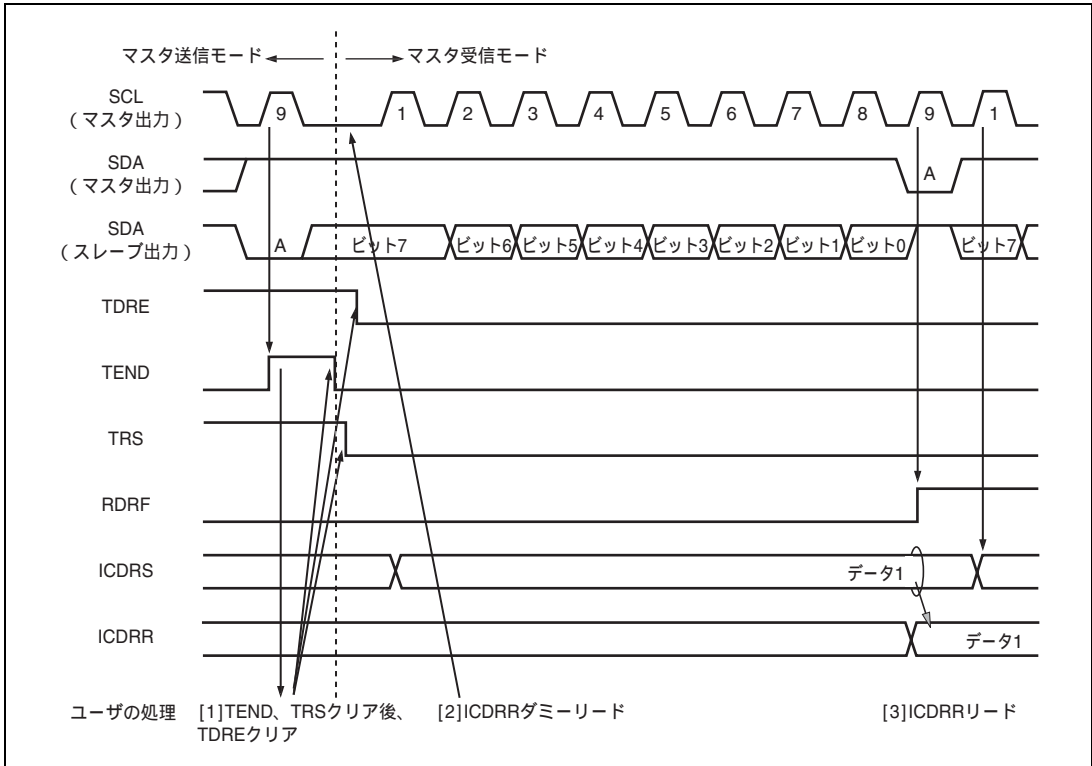


図 13.7 マスタ受信モード動作タイミング 1

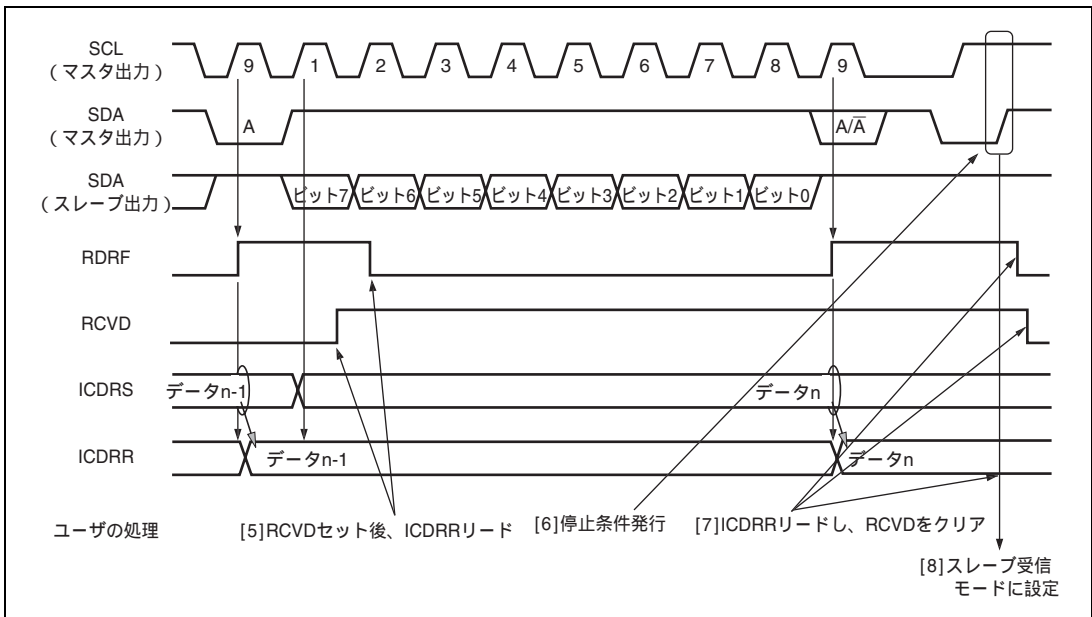


図 13.8 マスタ受信モード動作タイミング 2

13.4.4 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力してアクノリッジを返します。スレーブ送信モードの動作タイミングについては図 13.9 と図 13.10 を参照してください。

以下にスレーブ送信モードの送信手順と動作を示します。

1. 該当のICRビットを1にセットした後、ICCRAのICEビットを1にセットします。また、ICMRのWAIT、ICCRAのCKS3～CKS0等を設定します（初期設定）。ICCRAのMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。このとき、8ビット目のデータ(R/W)が1のとき、ICCRAのTRSおよびICSRのTDREがセットされ、自動的にスレーブ送信モードに切り替わります。TDREがセットされるたびにICDRTに送信データをライトすると、連続送信が可能です。
3. 最終送信データをICDRTにライトした後にTDREがセットされたとき、TDRE=1の状態、ICSRのTENDがセットされるまで待ちます。TENDがセットされたら、TENDをクリアします。
4. 終了処理のためTRSをクリアし、ICDRRをダミーリードします。これによりSCLを開放します。
5. TDREをクリアします。

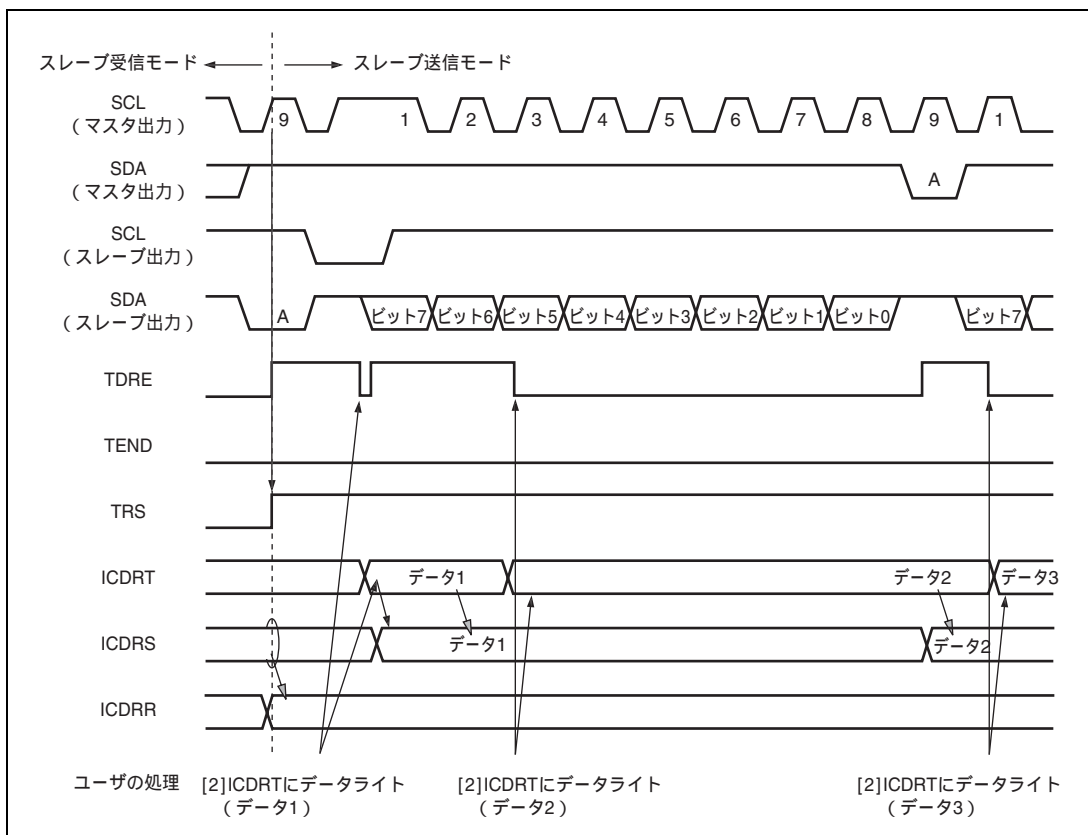


図 13.9 スレーブ送信モード動作タイミング 1

13. I²C バスインタフェース 2 (IIC2)

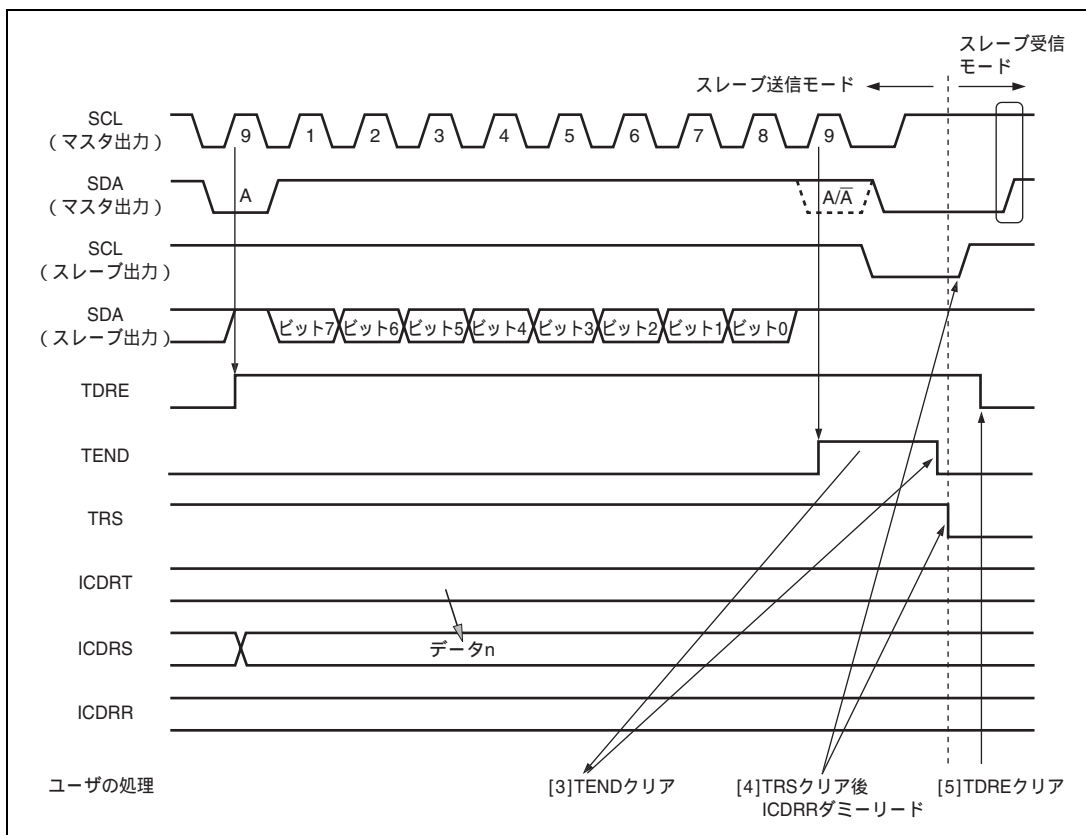


図 13.10 スレーブ送信モード動作タイミング 2

13.4.5 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクリッジを返します。スレーブ受信モードタイミングについては図 13.11 と図 13.12 を参照してください。以下にスレーブ受信モードの受信手順と動作を示します。

1. 該当のICRビットを1にセットした後、ICCRのICEビットを1にセットします。また、ICMRのWAIT、ICCRのCKS3～CKS0等を設定します（初期設定）。ICCRのMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。同時にICSRのRDRFがセットされますので、ICDRRをダミーリード（リードデータはスレーブアドレス+R/Wを示すので不要）します。
3. RDRFがセットされるたびにICDRRをリードします。RDRFがセットされた状態で8クロック目が立ち下るとRDRFをクリアするまでSCLをローに固定します。RDRFをクリアする前に行ったマスタデバイスに返すアクリッジ（ACKBT）の設定変更は次の転送フレームに反映されます。
4. 最終バイトのリードも同様にICDRRのリードにより行います。

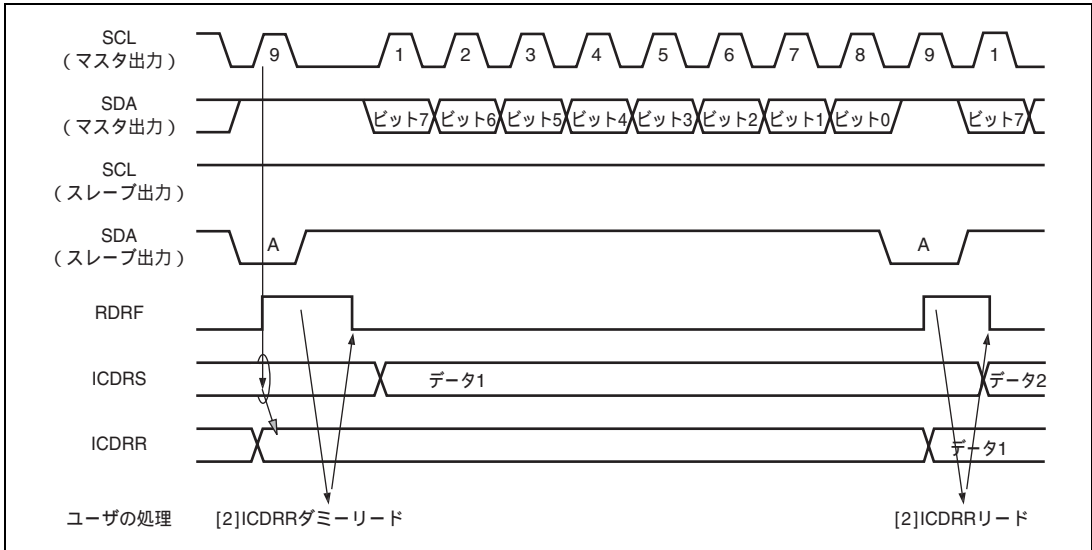


図 13.11 スレーブ受信モード動作タイミング 1

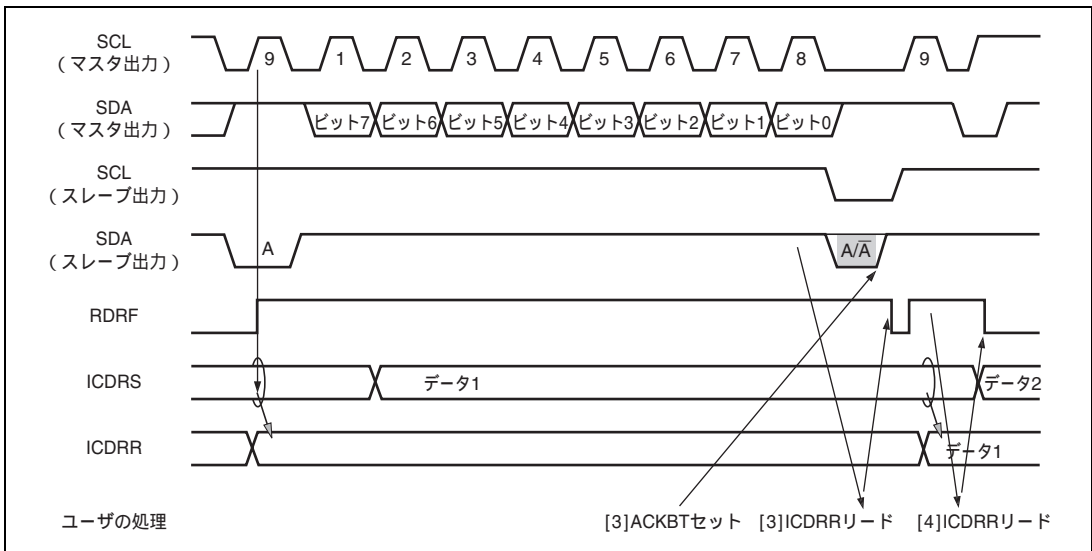


図 13.12 スレーブ受信モード動作タイミング 2

13.4.6 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を経由して内部に取り込まれます。図 13.13 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 2 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号（または SDA 端子入力信号）がシステムクロックでサンプリングされ、2 つのラッチ出力が一致したとき、はじめて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

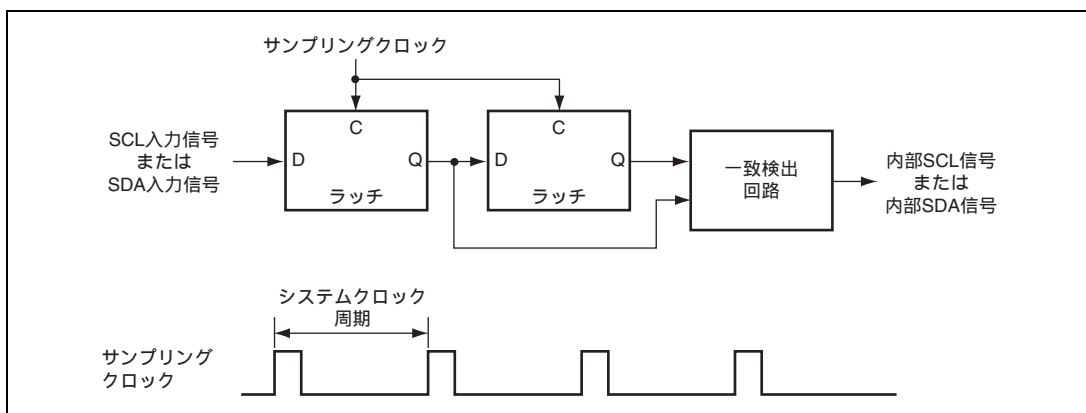


図 13.13 ノイズ除去回路のブロック図

13.4.7 使用例

I²C バスインタフェースを使用する場合の各モードでのフローチャート例を図 13.14 ~ 図 13.17 に示します。

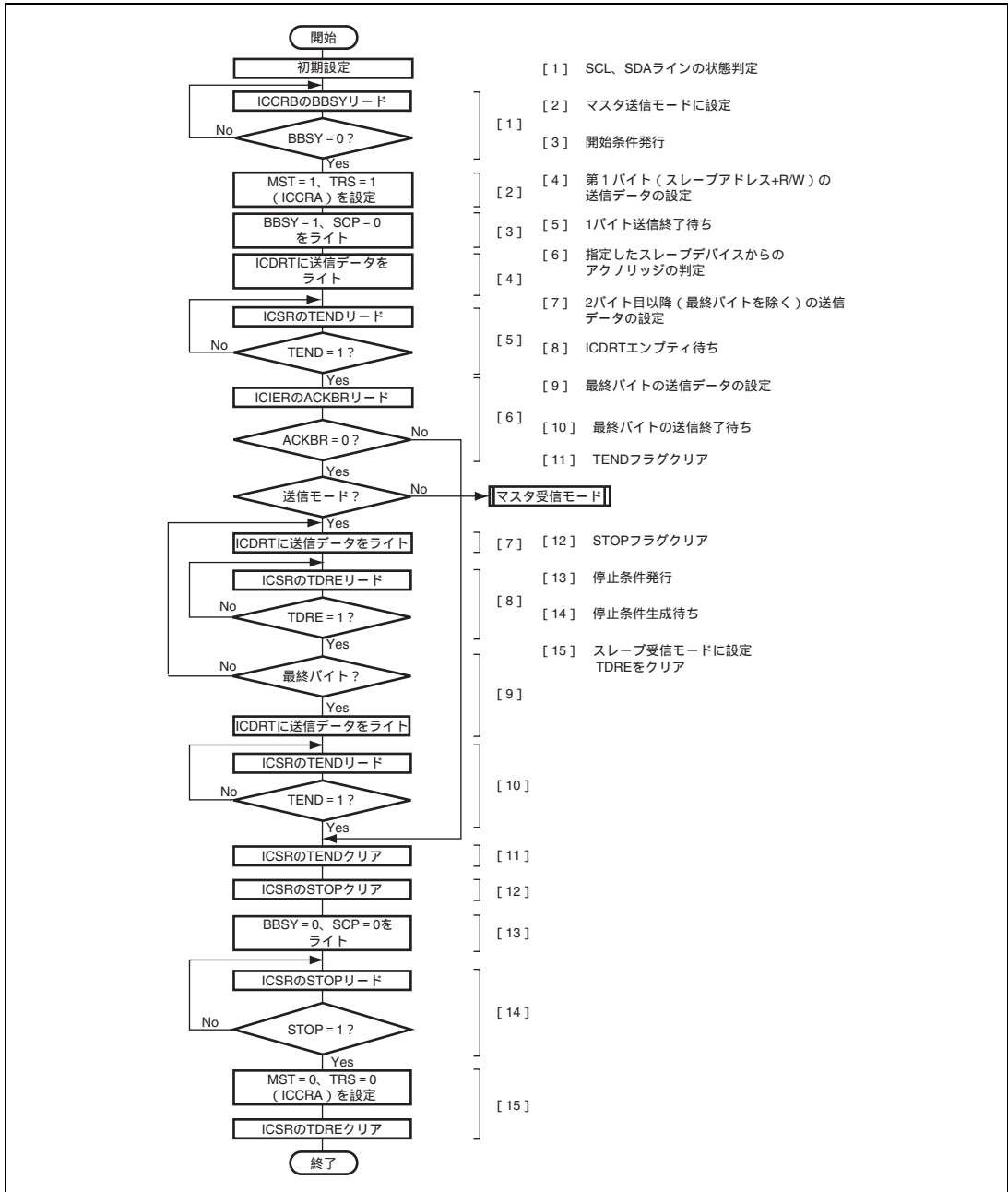


図 13.14 マスタ送信モードのフローチャート例

13. I²C バスインタフェース 2 (IIC2)

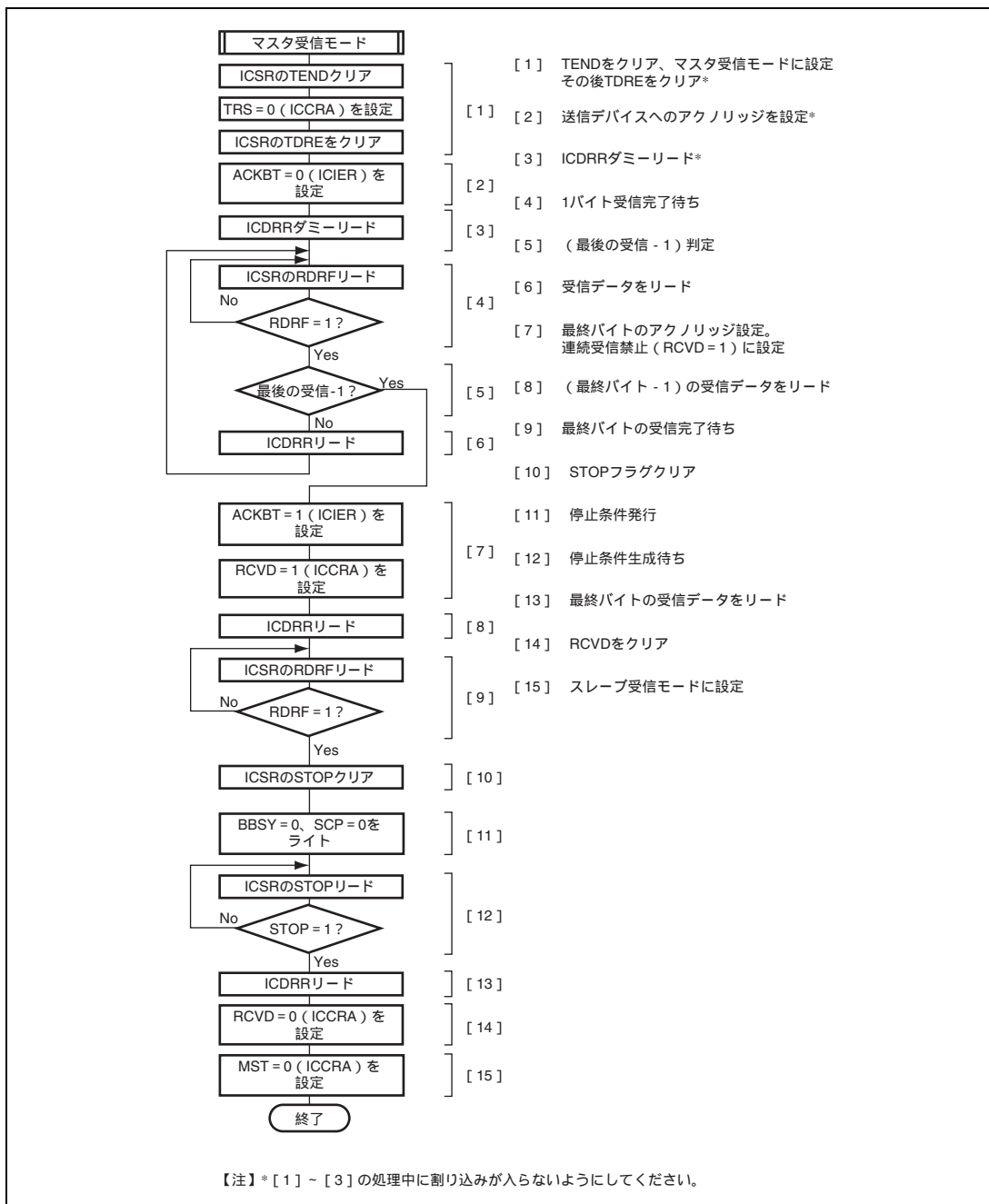


図 13.15 マスタ受信モードのフローチャート例

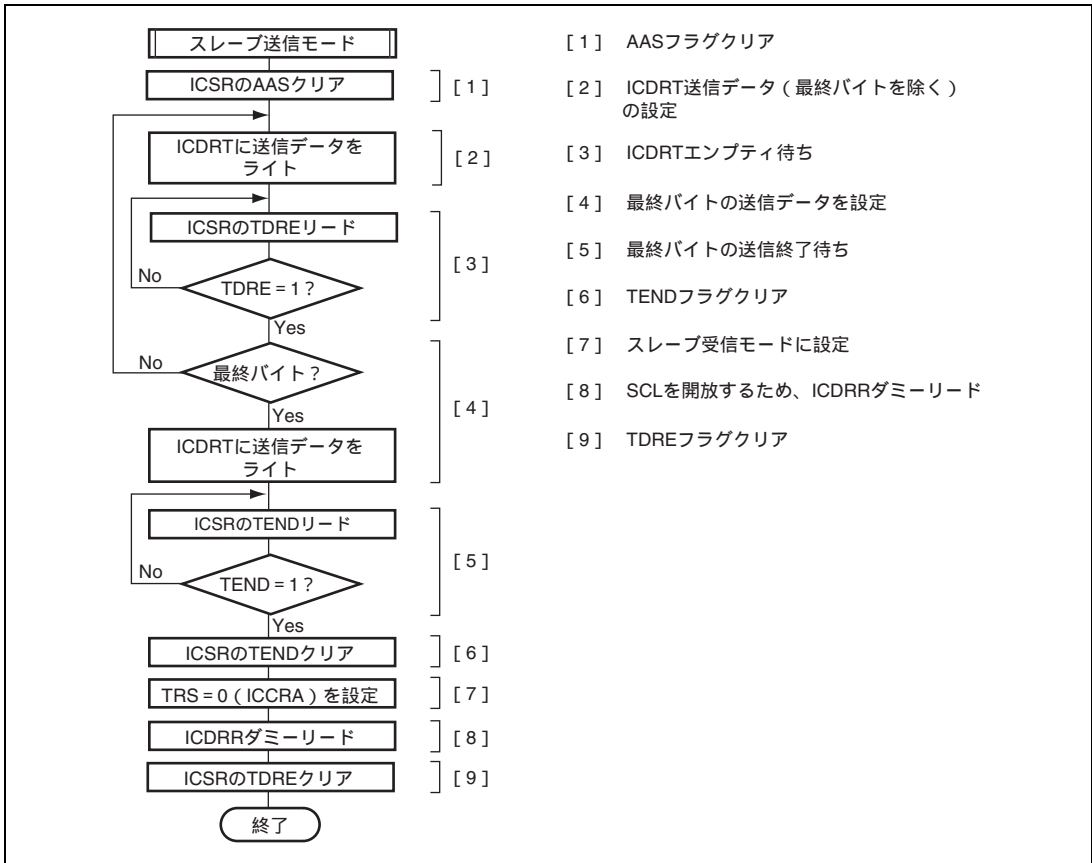


図 13.16 スレーブ送信モードフローチャート例

13. I²C バスインタフェース 2 (IIC2)

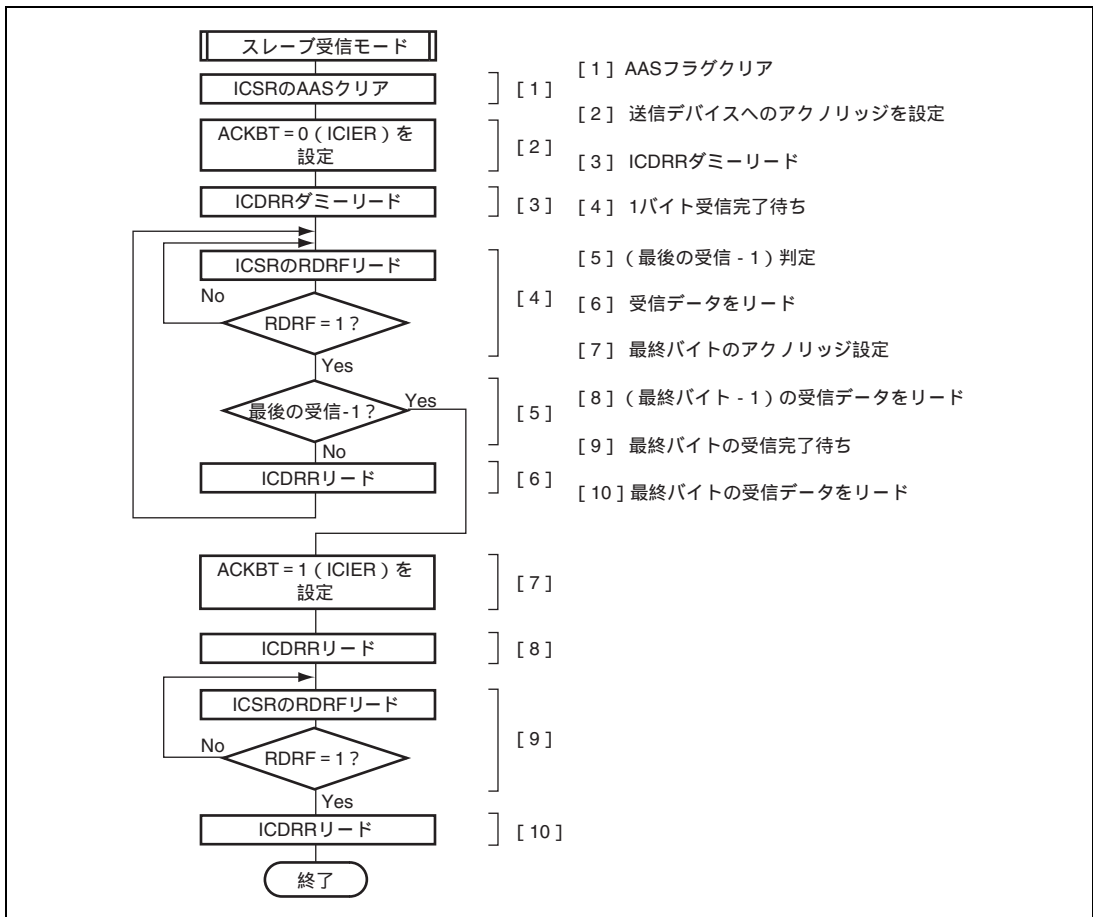


図 13.17 スレープ受信モードフローチャート例

13.5 割り込み要求

本モジュールの割り込み要求には、送信データエンプティ、送信終了、受信データフル、NACK 検出、停止条件検出、アービトレーションロストの 6 種類があります。表 13.3 に各割り込み要求の内容を示します。

表 13.3 割り込み要求一覧

割り込み要求	略称	割り込み条件
送信データエンプティ	TXI	$(TDRE = 1) \cdot (TIE = 1)$
送信終了	TEI	$(TEND = 1) \cdot (TEIE = 1)$
受信データフル	RXI	$(RDRF = 1) \cdot (RIE = 1)$
STOP 認識	STPI	$(STOP = 1) \cdot (STIE = 1)$
NACK 検出	NAKI	$\{(NACKF = 1) + (AL = 1)\} \cdot (NAKIE = 1)$
アービトレーションロスト		

表 13.3 の割り込み条件が 1 がかつ CCR の I ビットが 0 のとき、CPU は割り込み例外処理を実行します。例外処理の中でそれぞれの割り込み要因をクリアしてください。ただし、TDRE、TEND は ICDRT に送信データをライトすることで、RDRF は ICDRR をリードすることで自動的にクリアされますので注意してください。特に TDRE は ICDRT に送信データをライトしたとき同時に再度 TDRE がセットされ、さらに TDRE をクリアすると余分に 1 バイト送信する場合があります。

13.6 ビット同期回路

本モジュールはマスタモード設定時に、

- スレーブデバイスにより SCL がローレベルに引っ張られた場合
- SCL ラインの負荷（負荷容量、プルアップ抵抗）により SCL の立ち上がりがなまった場合

の 2 つの状態ではイレベル期間が短くなる可能性があるため、SCL をモニタしてビットごとに同期をとりながら通信を行います。ビット同期回路のタイミングを図 13.18 に、SCL をロー出力 Hi-Z にしてから SCL をモニタするまでの時間を表 13.4 に示します。

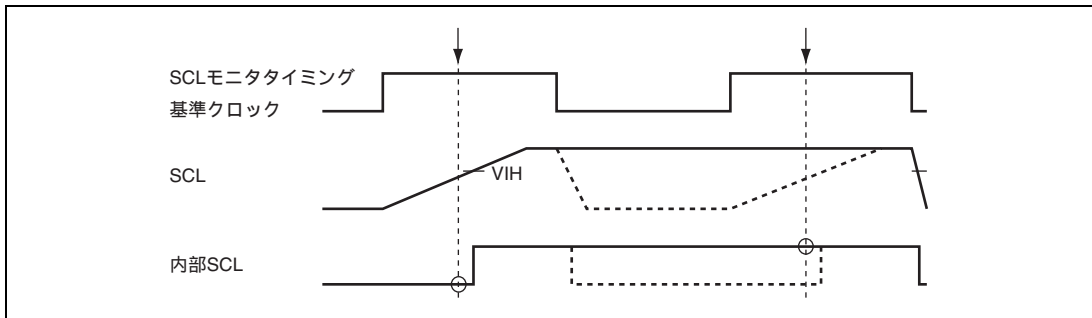


図 13.18 ビット同期回路のタイミング

13. I²C バスインタフェース 2 (IIC2)

表 13.4 SCL をモニタする時間

CKS3	CKS2	SCL をモニタする時間
0	0	7.5 t _{cyc}
	1	19.5 t _{cyc}
1	0	17.5 t _{cyc}
	1	41.5 t _{cyc}

14. コントローラエリアネットワーク (RCAN-ET)

コントローラエリアネットワーク (RCAN-ET) は自動車および産業機器システム等でのリアルタイム通信を目的とした CAN (Controller Area Network) を制御するためのモジュールです。

本章は RCAN-ET のプログラムインタフェースについて説明します。

また CAN のデータリンクコントローラの機能については下記参考文献を参照してください。

[参考文献]

1. CAN Specification Version 2.0 part A, Robert Bosch GmbH, 1991
2. CAN Specification Version 2.0 part B, Robert Bosch GmbH, 1991
3. Implementation Guide for the CAN Protocol, CAN Specification 2.0 Addendum, CAN In Automation, Erlangen, Germany, 1997
4. Road vehicles-Controller area network (CAN) : Part 1: Data link layer and physical signaling (ISO-11898-1, 2003)

14.1 特長

- CAN規格2.0B対応
- ビットタイミングはISO-11898規格に準拠
- 16個のメールボックス
- クロック周波数：16～20 MHz*
- プログラム可能な15個の送信用メールボックスおよび1個の受信用メールボックス
- 低消費電力のCANスリープモードおよびCANバスアクティビティを検出してCANスリープモードを自動解除
- すべてのメールボックスにも対応したプログラム可能な受信フィルタマスク (スタンダードIDおよびエクステンデッドID)
- 最大1Mbpsのプログラム可能なCANデータレート
- リアルタイムアプリケーション起因による優先順位逆転防止のために、優先順位の内部区分機能を備えた転送メッセージのキューを用意
- 豊富な割り込み要因
- テスト機能を内蔵 (リスンオンリモード、エラーパッシブモード)

【注】 * 「23.7.1 クロック発振器に関する使用上の注意事項」を参照してください。

14. コントローラエリアネットワーク (RCAN-ET)

14.2 構成

14.2.1 ブロック図

RCAN-ET は、CAN2.0B Active と ISO-11898 をサポートする CAN フレームを構成、制御する自由度の大きい洗練された方法を提供します。RCAN-ET は機能的に、マイクロプロセッサインタフェース (MPI)、メールボックス、メールボックスコントロール、および CAN インタフェースの 4 種類のブロックからなります。

図 14.1 に RCAN-ET のブロック図を示します。

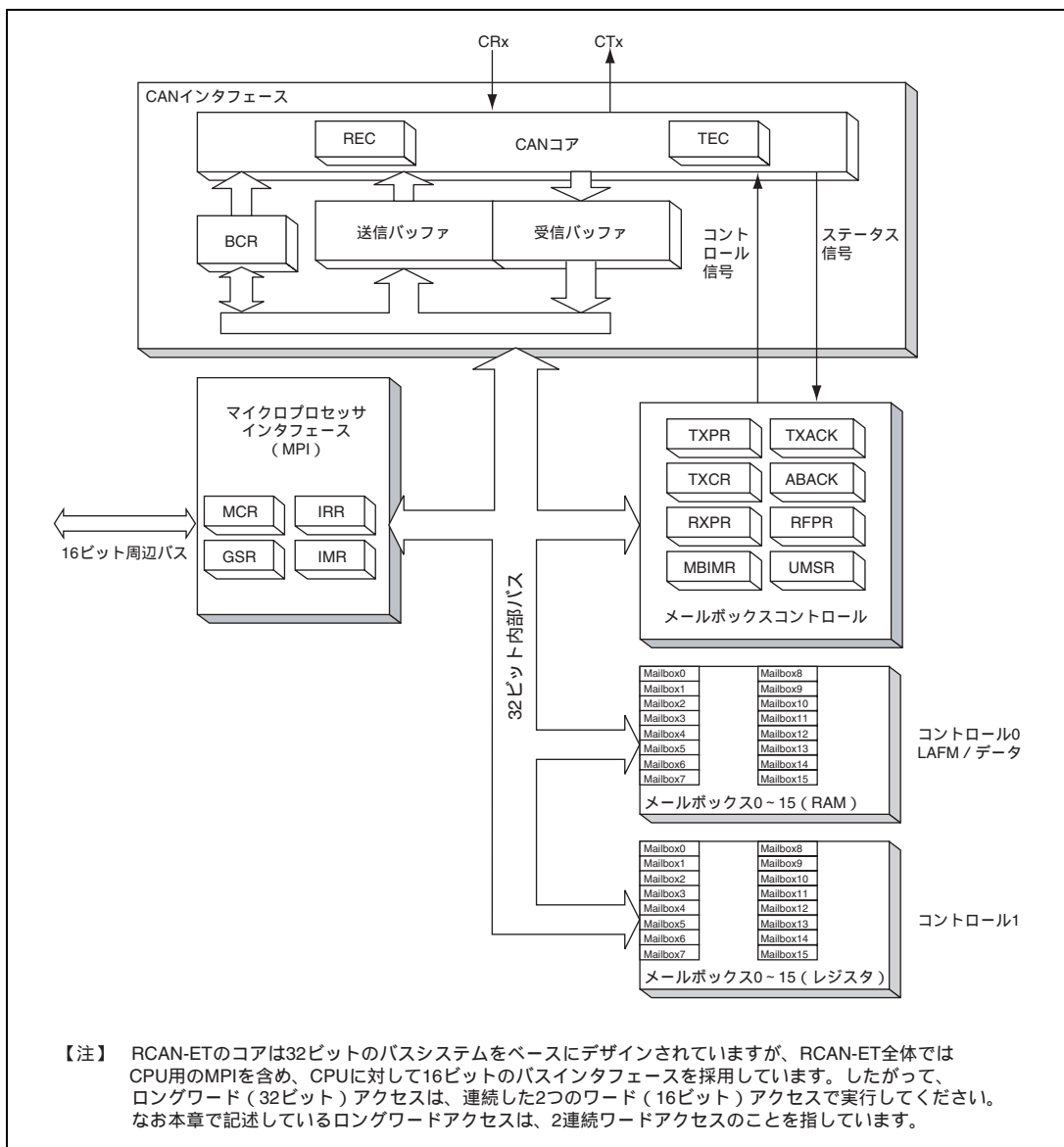


図 14.1 RCAN-ET のブロック図

14.2.2 各ブロックの機能

(1) マイクロプロセッサインタフェース (MPI)

MPI は、CPU と RCAN-ET のレジスタやメールボックスとの間の通信を可能にし、メモリインタフェースを制御します。また MPI は CAN バスのアクティブを検出し、MPI 自体や RCAN-ET の他のモジュールにも CAN バスのアクティブを通知するウェイクアップコントロールロジックを持っているので、RCAN-ET は自動的に CAN スリープモードを解除することができます。なお MPI のレジスタには、MCR、IRR、GSR、および IMR があります。

(2) メールボックス

メールボックスは、メッセージバッファとして RAM およびレジスタに配列されています。RAM とレジスタ内には、それぞれ 16 個のメールボックスがあり、以下の情報を格納します。

[RAM]

- CANメッセージコントロール (ID、RTR、IDEなど)
- CANメッセージデータ (CANデータフレーム用)
- 受信用のローカルアクセプタンスフィルタマスク (LAFM)

[レジスタ]

- CANメッセージコントロール (DLC)
- 3ビットのメールボックスコンフィギュレーション、自動再送信無効ビット、リモートリクエスト用自動送信ビット、ニューメッセージコントロールビット

(3) メールボックスコントロール

メールボックスコントロールは以下のような機能を持ちます。

- メッセージ受信時は、IDを比較しCANインタフェースからのメッセージをメールボックスに格納するための RAMアドレスとデータを生成し、対応するレジスタをセット/クリアします。
- メッセージ送信時は、RCAN-ETは内部アービトレーションを動作させて正しい優先順位のメッセージを選択し、メールボックスからCANインタフェースの送信バッファにメッセージをロードします。その後、対応するレジスタをセット/クリアします。
- CPUとメールボックスコントロール間のメールボックスアクセスのアービトレーションを行います。
- レジスタは、TXPR、TXCR、TXACK、ABACK、RXPR、RFPR、MBIMR、およびUMSRがあります。

(4) CAN インタフェース

本ブロックは参考文献[2]と[4]の CAN バスデータリンクコントローラ仕様をサポートしています。これは OSI モデルで規定されるデータリンクコントローラの全機能を満足します。また、CAN バスに特化したレジスタやロジックも提供します。具体的には、受信エラーカウンタ、送信エラーカウンタ、ビットコンフィギュレーションレジスタ、種々のテストモードなどです。さらに、CAN データリンクコントローラの送受信を格納する機能もあります。

14. コントローラエリアネットワーク (RCAN-ET)

14.2.3 端子構成

RCAN-ET の端子構成を表 14.1 に示します。

表 14.1 端子構成

チャンネル	名称	端子名	入出力	機能
0	送信データ端子	CTx_0	出力	CAN バス送信用端子です。
	受信データ端子	CRx_0	入力	CAN バス受信用端子です。
1	送信データ端子	CTx_1	出力	CAN バス送信用端子です。
	受信データ端子	CRx_1	入力	CAN バス受信用端子です。

14.2.4 メモリマップ

RCAN-ET のメモリマップを図 14.2 に示します。

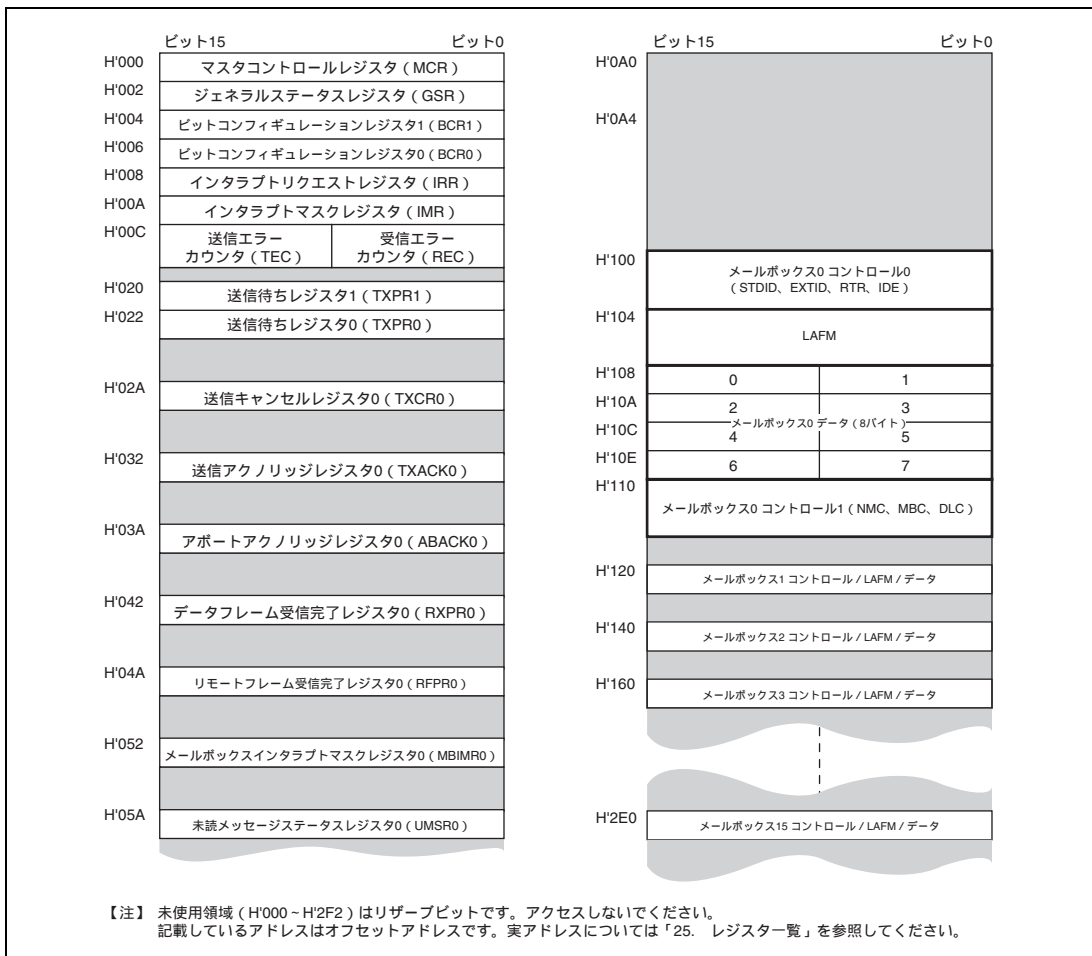


図 14.2 RCAN-ET のメモリマップ

14.3 メールボックス

14.3.1 メールボックスの構成

メールボックスは CAN フレームを送受信するためのメッセージバッファとして動作します。各メールボックスは、メッセージコントロール、ローカルアクセプタンスフィルタマスク (LAFM)、メッセージデータの 3 個の格納フィールドからなります。

表 14.2 に各メールボックスに対するメッセージコントロール、LAFM、メッセージデータのアドレスマップを示します。

表 14.2 各メールボックスのアドレスマップ

メールボックス	アドレス			
	コントロール 0	LAFM	データ	コントロール 1
	4 バイト	4 バイト	8 バイト	2 バイト
0 (受信のみ)	H'100 ~ H'103	H'104 ~ H'107	H'108 ~ H'10F	H'110 ~ H'111
1	H'120 ~ H'123	H'124 ~ H'127	H'128 ~ H'12F	H'130 ~ H'131
2	H'140 ~ H'143	H'144 ~ H'147	H'148 ~ H'14F	H'150 ~ H'151
3	H'160 ~ H'163	H'164 ~ H'167	H'168 ~ H'16F	H'170 ~ H'171
4	H'180 ~ H'183	H'184 ~ H'187	H'188 ~ H'18F	H'190 ~ H'191
5	H'1A0 ~ H'1A3	H'1A4 ~ H'1A7	H'1A8 ~ H'1AF	H'1B0 ~ H'1B1
6	H'1C0 ~ H'1C3	H'1C4 ~ H'1C7	H'1C8 ~ H'1CF	H'1D0 ~ H'1D1
7	H'1E0 ~ H'1E3	H'1E4 ~ H'1E7	H'1E8 ~ H'1EF	H'1F0 ~ H'1F1
8	H'200 ~ H'203	H'204 ~ H'207	H'208 ~ H'20F	H'210 ~ H'211
9	H'220 ~ H'223	H'224 ~ H'227	H'228 ~ H'22F	H'230 ~ H'231
10	H'240 ~ H'243	H'244 ~ H'247	H'248 ~ H'24F	H'250 ~ H'251
11	H'260 ~ H'263	H'264 ~ H'267	H'268 ~ H'26F	H'270 ~ H'271
12	H'280 ~ H'283	H'284 ~ H'287	H'288 ~ H'28F	H'290 ~ H'291
13	H'2A0 ~ H'2A3	H'2A4 ~ H'2A7	H'2A8 ~ H'2AF	H'2B0 ~ H'2B1
14	H'2C0 ~ H'2C3	H'2C4 ~ H'2C7	H'2C8 ~ H'2CF	H'2D0 ~ H'2D1
15	H'2E0 ~ H'2E3	H'2E4 ~ H'2E7	H'2E8 ~ H'2EF	H'2F0 ~ H'2F1

メールボックス 0 は受信専用です。メールボックス 1 ~ 15 は、メッセージコントロールの MBC (メールボックス構成) ビットの設定により、送信、受信ともに可能です。メールボックスの構成の詳細を図 14.3 に示します。

14. コントローラエリアネットワーク (RCAN-ET)

・メールボックス0 (受信用メールボックス)

レジスタ名	アドレス	データバス																アクセスサイズ	フィールド名
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
MB[0].CONTROL0H	H'100	IDE	RTR	0	STDID[10:0]										EXTID[17:16]	16/32ビット	コントロール0		
MB[0].CONTROL0L	H'102	EXTID[15:0]																16ビット	
MB[0].LAFMH	H'104	IDE_LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]	16/32ビット	LAFM		
MB[0].LAFML	H'106	EXTID_LAFM[15:0]																16ビット	
MB[0].MSG_DATA[0][1]	H'108	MSG_DATA_0 (最初のRx/Tx バイト)								MSG_DATA_1								8/16/32ビット	データ
MB[0].MSG_DATA[2][3]	H'10A	MSG_DATA_2								MSG_DATA_3								8/16ビット	
MB[0].MSG_DATA[4][5]	H'10C	MSG_DATA_4								MSG_DATA_5								8/16/32ビット	
MB[0].MSG_DATA[6][7]	H'10E	MSG_DATA_6								MSG_DATA_7								8/16ビット	
MB[0].CONTROL1H、L	H'110	0	0	NMC	0	0	MBC[2:0]		0	0	0	0	DLC[3:0]				8/16ビット	コントロール1	

・メールボックス1-15 (送受信用メールボックス)

レジスタ名	アドレス	データバス																アクセスサイズ	フィールド名
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
MB[n].CONTROL0H	H'100+n*32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]	16/32ビット	コントロール0		
MB[n].CONTROL0L	H'102+n*32	EXTID[15:0]																16ビット	
MB[n].LAFMH	H'104+n*32	IDE_LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]	16/32ビット	LAFM		
MB[n].LAFML	H'106+n*32	EXTID_LAFM[15:0]																16ビット	
MB[n].MSG_DATA[0][1]	H'108+n*32	MSG_DATA_0 (最初のRx/Tx バイト)								MSG_DATA_1								8/16/32ビット	データ
MB[n].MSG_DATA[2][3]	H'10A+n*32	MSG_DATA_2								MSG_DATA_3								8/16ビット	
MB[n].MSG_DATA[4][5]	H'10C+n*32	MSG_DATA_4								MSG_DATA_5								8/16/32ビット	
MB[n].MSG_DATA[6][7]	H'10E+n*32	MSG_DATA_6								MSG_DATA_7								8/16ビット	
MB[n].CONTROL1H、L	H'110+n*32	0	0	NMC	ATX	DART	MBC[2:0]		0	0	0	0	DLC[3:0]				8/16ビット	コントロール1	

【注】 n=1-15 (メールボックス番号)

- グレー表示のビットはリザーブビットです。書き込む値は0にしてください。読み出し値は必ずしも0ではなく、また保証もされません。
- メールボックス0のMBC1ビットの値は常に1です。
- ATXとDARTはメールボックス0ではサポートされません。また、メールボックス0のMBCの設定値は限られています。
- MCR15ビットの初期値が1のためメッセージコントロールおよびLAFMのSTDID、RTR、IDE、EXTIDの順序はHCAN2と異なる順序です。

図 14.3 メールボックス n の構成

14.3.2 メッセージコントロールフィールド

レジスタ名	アドレス	ビット	ビット名	説明
MB[N]. CONTROL0H	H'100+N*32	15	IDE	ID 拡張 CAN データフレームとリモートフレームがスタンダードフォーマットかエクステンデッドフォーマットかを区別します。 0: スタンダードフォーマット 1: エクステンデッドフォーマット
		14	RTR	リモート送信リクエスト データフレームとリモートフレームを区別します。データフレームかリモートフレームかによって受信 CAN フレームがこのビットを書き替えます。 【重要】MBC=B'001 でデータフレーム自動送信 (ATX) ビットをセットすると RTR はセットできません。リモートフレームを受信すると、CPU は対応する RFPR ビットまたは IRR2 (リモートフレームリクエスト割り込み) ビットによって通知されますが、RCAN-ET は現在のメッセージをデータフレームとして送信する必要があるため RTR ビットは変化しません。 【重要】MBC=B'001 で ATX=1 の場合にリモートフレームに自動的に回答を対応させるために、データフレームの転送が許可されるように RTR フラグは 0 にプログラムしなくてはなりません。 【注意】メールボックスがリモートフレームを送るように設定されているとき、転送に用いられた DLC はメールボックスの中に格納されたものとなります。 0: データフレーム 1: リモートフレーム
		13	-	リザーブビット 書き込む値は 0 にしてください。読み出し値は保証されません。
		12~2	STDID [10:0]	スタンダード ID データフレームとリモートフレームの ID (スタンダード ID) を設定するビットです。
		1, 0	EXTID [17:16]	エクステンデッド ID データフレームとリモートフレームの ID (エクステンデッド ID) を設定するビットです。
MB[N]. CONTROL0L	H'102+N*32	15~0	EXTID [15:0]	

【注】 N=0~15 (メールボックス番号)

14. コントローラエリアネットワーク (RCAN-ET)

• メールボックス0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	0	0	NMC	0	0	MBC[2:0]			0	0	0	0	DLC[3:0]			
初期値:	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R	R	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

【注】 MBC1 の値は常に 1 です。

• メールボックス1~15

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	0	0	NMC	ATX	DART	MBC[2:0]			0	0	0	0	DLC[3:0]			
初期値:	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

レジスタ名	アドレス	ビット	ビット名	説明
MB[N]. CONTROL1H	H'110+N*32	15、14	-	リザーブビット 書き込む値は0にしてください。読み出し値は保証されません。
		13	NMC	<p>ニューメッセージコントロール</p> <p>このビットが0にセットされると、RXPR あるいは RFPR がすでにセットされているメールボックスは新しいメッセージを格納せず、前のメッセージを保持し USMR の対応するビットをセットします。このビットが1にセットされると、RXPR あるいは RFPR がすでにセットされているメールボックスは新しいメッセージをオーバーライトし、USMR の対応するビットをセットします。</p> <p>【重要】 もしリモートフレームがデータフレームで書き換えられたり、あるいはその逆の場合には、RXPR および RFPR フラグは (USMR と一緒に) 同一メールボックスにセットされる可能性があります。この場合、メールボックスコントロールフィールド内にある RTR ビットも上書きされます。</p> <p>0 : オーバランモード 1 : オーバライトモード</p>

14. コントローラエリアネットワーク (RCAN-ET)

レジスタ名	アドレス	ビット	ビット名	説 明
MB[N]. CONTROL1H	H'110+N*32	12	ATX	<p>データフレーム自動送信</p> <p>本ビットが 1 にセットされ、リモートフレームがメールボックスで受信されると、DLC が格納されます。そして、TXPR をセットすることで現在のメッセージデータと書き換えられた DLC を使って同じメールボックスから自動的にデータフレームが転送されます。送信のスケジューリングは、メッセージ送信プライオリティビット (MCR2) で構成されているように、ID 優先順位あるいはメールボックス優先順位によって制御されます。本機能を使用するには MBC[2:0] を B'001 に設定してください。この機能を用いて送信を行うとき、用いるデータ長コード (DLC) は受信されたものが使用されます。これを適用するには、リモートフレームの DLC は要求されているデータフレームの DLC に対応したものであることが必要です。</p> <p>【重要】 ATX が使用され、MBC が B'001 のとき、リモートフレームの ID は、応答メッセージの場合と同じく、データフレームの ID と完全に同じでなくてはならないため、IDE ビットのフィルタは使用できません。</p> <p>【重要】 本機能を使用する場合、リモートフレームを受信するにもかかわらず、RTR ビットはセットされません。リモートフレームを受信すると CPU はセット済み RFPR によって通知されますが、RCAN-ET は現在のメッセージをデータフレームとして送信する必要があるため RTR ビットは変更されません。</p> <p>【重要】 オーバラン状態 (NMC = 0 に設定されたメールボックスの UMSR がセット) では、受信メッセージは破棄されます。ATX = 1 に設定されたメールボックスがリモートフレームによりオーバラン状態になった場合、旧メッセージの自動送信の要求が受け付けられる場合があります。</p> <p>0 : データフレームの自動送信無効 1 : データフレームの自動送信有効</p> <p>【注】 本ビットはメールボックス 1 ~ 15 にのみあります。メールボックス 0 ではリザーブビットとなります。</p>
		11	DART	<p>自動再送信無効</p> <p>このビットがセットされると、CAN バスエラーのイベントが発生した場合や、CAN バスのアービトラージで負けた場合、メッセージの自動再送信を無効にします。実際に、本機能が使用されるときは、対応する TXCR ビットが送信の最初に自動的にセットされます。このビットが 0 にセットされると、RCAN-ET は送信が正常終了されるまで、あるいは TXCR でキャンセルされるまで、要求された回数だけ送信し続けます。</p> <p>0 : 再送信有効 1 : 再送信無効</p> <p>【注】 本ビットはメールボックス 1 ~ 15 にのみあります。メールボックス 0 ではリザーブビットとなります。</p>

14. コントローラエリアネットワーク (RCAN-ET)

レジスタ名	アドレス	ビット	ビット名	説明
MB[N]. CONTROL1H	H'110+N*32	10~8	MBC[2:0]	<p>メールボックスコンフィグレーション</p> <p>これらのビットは各メールボックスの機能を表 14.3 のように設定します。MBC が B'111 のとき、メールボックスはアクティブでなくなります。つまり TXPR やその他の設定にかかわらずメッセージの送受信を行いません。MBC を B'100、B'101、B'110 に設定することは禁止されています。MBC をそれら以外の値に設定すれば LAFM フィールドは使用可能となります。MBC が受信にセットされているとき、TXPR は設定しないでください。ハードウェア保護機能はなく、TXPR はセットされたままになります。メールボックス 0 の MBC1 はハードウェアによって 1 に固定されます。</p>
MB[N]. CONTROL1L	H'111+N*32	7~4	-	<p>リザーブビット</p> <p>書き込む値は 0 にしてください。読み出し値は保証されません。</p>
		3~0	DLC[3:0]	<p>データ長コード</p> <p>データフレームで送信されるデータのバイト数 (0~8) をエンコードします。リモートフレーム要求が送信されるとき、これに使用される DLC の値は要求されたデータフレームの DLC の値と等しいものでなくてはなりません。</p> <p>0000 : データ長 0 バイト 0001 : データ長 1 バイト 0010 : データ長 2 バイト 0011 : データ長 3 バイト 0100 : データ長 4 バイト 0101 : データ長 5 バイト 0110 : データ長 6 バイト 0111 : データ長 7 バイト 1xxx : データ長 8 バイト</p> <p>【注】 x : Don't care</p>

【注】 N=0~15 (メールボックス番号)

表 14.3 メールボックスの機能の設定

MBC2	MBC1	MBC0	データ フレーム送信	リモート フレーム送信	データ フレーム受信	リモート フレーム受信	説明	
0	0	0	可	可	不可	不可	• メールボックス 0 は 使用禁止	
0	0	1	可	可	不可	可	• ATX で使用可能* • メールボックス 0 は 使用禁止 • LAFM は使用可能	
0	1	0	不可	不可	可	可	• メールボックス 0 は 使用可能 • LAFM は使用可能	
0	1	1	不可	不可	可	不可	• メールボックス 0 は 使用可能 • LAFM は使用可能	
1	0	0	設定禁止					
1	0	1	設定禁止					
1	1	0	設定禁止					
1	1	1	メールボックスインアクティブ (初期値)					

【注】 * 自動再送信をサポートするために、MBC が B'001 で ATX が 1 のとき RTR は 0 にしてください。ATX が 1 の設定で使用するときは IDE のフィルタは使用しないでください。

14. コントローラエリアネットワーク (RCAN-ET)

14.3.3 ローカルアクセプタンスフィルタマスク (LAFM)

MBC が B'001、B'010、B'011 の値の場合、このフィールドは受信用の LAFM として使用されます。LAFM はメールアドレスが複数の受信 ID を受け入れることを許可します。LAFM は図 14.4 に示すとおり、2 つの 16 ビットの読み出し / 書き込み可能なエリアから成ります。

レジスタ名	アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アクセスサイズ	フィールド名
MB[N].LAFMH	H'104+N*32	IDE_LAFM	0	0	STDID_LAFM[10:0]												EXTID_LAFM[17:16]	16/32ビット	LAFM
MB[N].LAFML	H'106+N*32	EXTID_LAFM[15:0]															16ビット		

【注】 N=0~15 (メールアドレス番号)

図 14.4 ローカルアクセプタンスフィルタマスク (LAFM)

1 つのビットが LAFM にセットされている場合、RCAN-ET が一致する CAN-ID でメールアドレスを検索するとき、受信された CAN の ID の対応するビットは無視されます。ビットがクリアされている場合、受信された CAN の ID の対応するビットは格納されるメールアドレスに設定されている STDID/IDE/EXTID と一致していません。LAFM の構造はメールアドレスのメッセージコントロールと同じです。この機能を使用しない場合は 0 で埋める必要があります。

- 【注】
1. RCAN-ET は、メールアドレス 15 からメールアドレス 0 まで、一致する ID の検索を開始します。RCAN-ET は一致する ID を検知すると、ただちに検索を終了し、そのメッセージは NMC や RXPR/RFPFR フラグによらず格納されません。これは、LAFM を使用していても受信メッセージは 1 つのメールアドレスにのみ格納されることを示します。
 2. 1 つのメッセージが受信され一致するメールアドレスが見つかったら、メッセージ全体がメールアドレスに格納されます。LAFM を使用している場合、STDID、RTR、IDE、EXTID は受信されたメッセージの STDID、RTR、IDE、EXTID に更新されるので、受信前に設定されていたものと異なります。

レジスタ名	アドレス	ビット	ビット名	説明
MB[N]. LAFMH	H'104+N*32	15	IDE_LAFM	IDE ビットのフィルタマスクビット 0 : 対応する IDE ビットが有効 1 : 対応する IDE ビットが無効
		14, 13	-	リザーブビット 書き込む値は 0 にしてください。読み出し値は保証されません。
		12~2	STDID_LAFM [10:0]	STDID[10:0]のフィルタマスクビット 0 : 対応する STDID ビットが有効 1 : 対応する STDID ビットが無効
		1, 0	EXTID_LAFM [17:16]	EXTID[17:0]のフィルタマスクビット 0 : 対応する EXTID ビットが有効 1 : 対応する EXTID ビットが無効
MB[N]. LAFML	H'106+N*32	15~0	EXTID_LAFM [15:0]	1 : 対応する EXTID ビットが無効

【注】 N=0~15 (メールアドレス番号)

14.3.4 メッセージデータフィールド

送受信される CAN メッセージを格納します。MSG_DATA_0 は送受信が行われる最初のデータバイトに対応します。CAN バス上のビットの並び順はビット 7 からビット 0 です。

14.4 RCAN-ET のコントロールレジスタ

RCAN-ET のコントロールレジスタについて説明します。RCAN-ET のコントロールレジスタはワードサイズ(16 ビット)でのみアクセスできます。

表 14.4 に RCAN-ET のコントロールレジスタを示します。

表 14.4 RCAN-ET のコントロールレジスタの構成

レジスタ名	略称	アクセスサイズ(ビット)
マスタコントロールレジスタ	MCR	ワード
ジェネラルステータスレジスタ	GSR	ワード
ビットコンフィギュレーションレジスタ 1	BCR1	ワード
ビットコンフィギュレーションレジスタ 0	BCR0	ワード
インタラプトリクエストレジスタ	IRR	ワード
インタラプトマスクレジスタ	IMR	ワード
送信エラーカウンタ / 受信エラーカウンタ	TEC/REC	ワード

14.4.1 マスタコントロールレジスタ (MCR)

MCR は、16 ビットの読み出し / 書き込み可能なレジスタで、RCAN-ET を制御します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MCR15	MCR14	-	-	-	TST[2:0]		MCR7	MCR6	MCR5	-	-	MCR2	MCR1	MCR0	
初期値:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	MCR15	1	R/W	<p>ID 並べ替え</p> <p>本ビットは HCAN2 と互換性のあるメッセージコントロールおよび LAFM の STDID、RTR、IDE、EXTID の順序を設定できます。なお本ビットはリセットモードでのみ変更可能です。ID 並び替えの順序については図 14.5 を参照してください。</p> <p>0 : RCAN-ET と HCAN2 は同等の順序 1 : RCAN-ET と HCAN2 は異なる順序</p>

14. コントローラエリアネットワーク (RCAN-ET)

ビット	ビット名	初期値	R/W	説明
14	MCR14	0	R/W	<p>自動バスオフホルト</p> <p>本ビットと MCR6 がともに設定された場合、RCAN-ET がバスオフ状態に入ると MCR1 はただちに自動的にセットされます。本ビットはリセットモードでのみ変更可能です。</p> <p>0: 通常の復帰シーケンス (128 × 11 レセツピビット) で RCAN-ET バスオフ状態を維持</p> <p>1: MCR6 がセットされると RCAN-ET はバスオフ状態のあと、ただちにホルトモードに入ります</p>
13 ~ 11	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
10 ~ 8	TST[2:0]	000	R/W	<p>テストモード</p> <p>本ビットはテストモードを有効/無効にします。テストモードを起動する前に、RCAN-ET をホルトモードあるいはリセットモードにする必要がありますので注意してください。これは、テストモードへの遷移が進行中の送受信に影響することを回避するためです。詳細については「14.6.2 テストモードの設定」を参照してください。</p> <p>テストモードは診断およびテストのためだけに用いるもので、RCAN-ET が通常動作時には使用できません。</p> <p>000: ノーマルモード</p> <p>001: リスンオンリモード (受信専用モード)</p> <p>010: セルフテストモード 1 (外部)</p> <p>011: セルフテストモード 2 (内部)</p> <p>100: ライトエラーカウンタ</p> <p>101: エラーパッシブモード</p> <p>110: 設定禁止</p> <p>111: 設定禁止</p>
7	MCR7	0	R/W	<p>自動ウェイクモード</p> <p>本ビットは CAN スリープモードの自動ウェイクモードを有効/無効にします。本ビットが設定されると、RCAN-ET は CAN バスアクティビティ (ドミナントビット) を検出して自動的に CAN スリープモード (MCR5) を解除します。本ビットがクリアされると RCAN-ET は自動的に CAN スリープモードを解除しません。</p> <p>RCAN-ET は、RCAN-ET をウェイクアップしたメッセージを格納できません。</p> <p>0: CAN バスのアクティビティによる自動ウェイクモードが無効</p> <p>1: CAN バスのアクティビティによる自動ウェイクモードが有効</p> <p>【注】 CAN スリープモード中は MCR7 ビットを変更できません。</p>

14. コントローラエリアネットワーク (RCAN-ET)

ビット	ビット名	初期値	R/W	説 明
6	MCR6	0	R/W	<p>バスオフ時ホルト</p> <p>本ビットは、バスオフ時に MCR1 がセットされるとただちにホルトモードに入ることを有効にするか無効にするかを設定します。本ビットはリセットあるいはホルトモードでのみ変更可能です。バスオフ時にホルトモードに入った場合、CAN コントローラもただちにエラーアクティブモードに復帰するので注意してください。</p> <p>0 : MCR1 がセットされても、バスオフ時にホルトモードには入らず、復帰シーケンスが終了するのを待ちます</p> <p>1 : バスオフ時に MCR1 または MCR14 がアサートされると、ただちにホルトモードに入ります</p>
5	MCR5	0	R/W	<p>CAN スリープモード</p> <p>本ビットは CAN スリープモードへの遷移を有効 / 無効にします。RCAN-ET がホルトモード時に本ビットがセットされると、CAN スリープモードへの遷移が有効になります。本ビットの設定は、ホルトモードに入った後に許可されます。2 つのエラ - カウンタ (REC、TEC) は CAN スリープモードの間は変化しません。CAN スリープモードを解除するには 2 つの方法があります。</p> <ul style="list-style-type: none"> • MCR5 ビットに 0 を書き込む • MCR7 が有効の場合、CAN バス上のドミナントビットを検出する <p>自動ウェイクアップモードが無効であれば、CAN スリープモードが終了するまで RCAN-ET はすべての CAN バスの動作を無視します。CAN スリープモードを解除するときは、RCAN-ET は CAN バス動作に入る前に 11 個のリセットビットをチェックすることで CAN バスと同期を取ります。これは 2 番目の方法が使用されているときに RCAN-ET が最初のメッセージを受信できないことを意味します。同様に CAN トランシーバもスタンバイモードを終了するときには最初のメッセージを受信できませんので、ソフトウェアはこの方法で設計する必要があります。</p> <p>CAN スリープモード中は MCR、GSR、IRR、IMR レジスタだけがアクセス可能です。</p> <p>0 : CAN スリープモードが解除されています</p> <p>1 : CAN スリープモードへの遷移が有効です</p> <p>【注】 RCAN-ET は、最初にホルトモードに設定してから CAN スリープモードに遷移することを推奨します。これにより、CAN スリープモードに遷移する前に CPU が待ち状態のすべての割り込みをクリアすることができます。すべての割り込みがクリアされてしまうと同時に RCAN-ET はホルトモードから CAN スリープモードに遷移しなければなりません。(具体的には MCR5 に 1 を、MCR1 に 0 を同時にライトします。)</p>
4、3	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>

14. コントローラエリアネットワーク (RCAN-ET)

ビット	ビット名	初期値	R/W	説明
2	MCR2	0	R/W	<p>メッセージ送信プライオリティ</p> <p>本ビットはベンディング中の送信データの送信順序を選択します。本ビットを1にセットした場合、送信データは送信待ちレジスタ (TXPR) のビット順で送信されます。</p> <p>送信はメールボックス 15 を最優先で開始し、メールボックス 1 まで続けます (メールボックスが送信用に設定されている場合)。</p> <p>もし本ビットがクリアされると、すべての送信メッセージは (内部アービトレーションを走らせることにより) 優先順位どおりキューに入ります。最優先のメッセージは最小の数字のアービトレーションフィールド (STDID + IDE ビット + EXTID (IDE = 1 の場合) + RTR ビット) を持ち、最初に送信されます。内部アービトレーションは RTR ビットと IDE ビットを含みます (内部アービトレーションは、2 つの CAN ノード間の CAN バス上にあるアービトレーションが同時に遷移を開始するのと同じ方法で動作します)。</p> <p>本ビットはリセットあるいはホルトモードでのみ変更可能です。</p> <p>0: メッセージ ID 優先順に送信</p> <p>1: メールボックス番号順 (メールボックス 15 → メールボックス 1) に送信</p>

14. コントローラエリアネットワーク (RCAN-ET)

ビット	ビット名	初期値	R/W	説 明
1	MCR1	0	R/W	<p>ホルトリクエスト</p> <p>本ビットをセットするとCANコントローラは現在の動作を終了したのちホルトモードに入ります(ここでCANバスからは切り離されます)。RCAN-ETは本ビットがクリアされるまでホルトモードのままになります。</p> <p>ホルトモード中、CANインタフェースはCANバス動作に関係せず、メッセージの格納や送信も行いません。ホルト状態を通知するためのIRR0とGSR4を除き、ユーザレジスタ(メールボックスの内容およびTEC/RECを含みます)の内容は保持されます。</p> <p>CANバスがアイドルまたはインタミッション状態の場合は、MCR6にかかわらずRCAN-ETは1ビット時間内にホルトモードになります。MCR6がセットされると、バスオフ中のホルトリクエストも1ビット時間内に動作します。それ以外ではバスオフ復帰シーケンスは事前に完了します。ホルトモードになるとIRR0とGSR4によって通知されます。</p> <p>MCR14とMCR6がセットされると、本ビットはRCAN-ETがバスオフ状態になればすぐに自動的にセットされます。</p> <p>ホルトモード中、RCAN-ETはバス動作に関係しないため、ビットタイミング設定を除きRCAN-ETの設定を変更することができます。</p> <p>CANバス動作に再び参加するには、本ビットを0にクリアする必要があります。クリア後、RCAN-ETは11個のレセシブビットが検出されるまで待ち、CANバスに参加します。</p> <p style="margin-left: 20px;">0: ホルトモードリクエストをクリア 1: ホルトモード遷移リクエスト</p> <p>【注】 1. ホルトリクエストが発行された後は、CPUはホルトモードへの遷移が完了するまで(IRR0とGSR4で通知されます)TXPRとTXCRにアクセスおよび本ビットをクリアすることができません。MCR1がセットされた後、この状態はホルトモードに入ってからか、(ソフトウェアまたハードウェアでの)リセット動作でのみ解除できます。</p> <p>2. ホルトモードへのあるいはホルトモードからの遷移が可能なのは、BCR1とBCR0レジスタが適切なポーレートに設定されているときだけです。</p>

14. コントローラエリアネットワーク (RCAN-ET)

ビット	ビット名	初期値	R/W	説明
0	MCR0	1	R/W	<p>リセットリクエスト</p> <p>本ビットは RCAN-ET モジュールのリセットを制御します。本ビットが 0 から 1 に変わったとき、RCAN-ET コントローラはリセットルーチンに入り、内部ロジックを再び初期化して、リセットモードを通知するため GSR3 と IRR0 をセットします。すべてのユーザレジスタが初期化されます。</p> <p>本ビットがセットされている間、RCAN-ET は再設定することができます。(コンフィグレーションモード)</p> <p>CAN バスに参加するために本ビットは 0 をライトしてクリアする必要があります。クリア後、RCAN-ET は、11 個のレセシブビットの検出を待って CAN バスに参加します。</p> <p>CAN バス上の値をサンプリングするためにポーレートを適切な値に設定する必要があります。パワーオンリセット後には、このビットと GSR3 は常にセットされます。これはリセットがリクエストされ RCAN-ET を設定する必要があることを示します。</p> <p>リセットリクエストはパワーオンリセットに相当しますがソフトウェアで制御されます。</p> <p>0 : リセットモードリクエストをクリア 1 : CAN インタフェースのリセットモード遷移リクエスト</p>

・ MCR15 (ID並べ替え) = 0

アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アクセスサイズ	フィールド名
H'100+N*32	0	STDID[10:0]											RTR	IDE	EXTID[17:16]	16/32ビット	コントロール0	
H'102+N*32	EXTID[15:0]																	16ビット
H'104+N*32	0	STDID_LAFM[10:0]											0	IDE_LAFM	EXTID_LAFM [17:16]	16/32ビット	LAFMフィールド	
H'106+N*32	EXTID_LAFM[15:0]																	16ビット

・ MCR15 (ID並べ替え) = 1

アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アクセスサイズ	フィールド名
H'100+N*32	IDE	RTR	0	STDID[10:0]											EXTID[17:16]	16/32ビット	コントロール0	
H'102+N*32	EXTID[15:0]																	16ビット
H'104+N*32	IDE_LAFM	0	0	STDID_LAFM[10:0]											EXTID_LAFM [17:16]	16/32ビット	LAFMフィールド	
H'106+N*32	EXTID_LAFM[15:0]																	16ビット

【注】 N = 0 - 15 (メールボックス番号)

図 14.5 ID 並べ替え

14.4.2 ジェネラルステータスレジスタ (GSR)

GSR は、16 ビットの読み出し専用レジスタで、RCAN-ET の状態を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	GSR5	GSR4	GSR3	GSR2	GSR1	GSR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~6	-	すべて0	R	リザーブビット 書き込む値は常に0にしてください。読み出すと常に0が読み出されます。
5	GSR5	0	R	エラーバツプステータス CAN インタフェースがエラーバツプかどうかを示します。本ビットは RCAN-ET がエラーバツプ状態になるとすぐに1にセットされ、再びエラーアクティブ状態になるとクリアされます。これは、エラーバツプ中とバスオフ中は、GSR5 は1を保持することを意味します。したがって、正確な状態を知るには GSR5 と GSR0 の両方を調べてください。 0: RCAN-ET はエラーバツプあるいはバスオフ状態ではありません [クリア条件] RCAN-ET がエラーアクティブ状態の間 1: RCAN-ET がエラーバツプ (ただし GSR0=0 の場合) あるいはバスオフ (ただし GSR0=1 の場合) です [セット条件] TEC 128、REC 128、またはエラーバツプテストモードが選択されているとき
4	GSR4	0	R	ホルト/スリープステータス CAN コントローラがホルト/スリープかどうかを示します。本フラグのクリア時間は IRR12 のセッティング時間とは同じではありませんので留意してください。このフラグは CAN コントローラの状態を反映するもので、RCAN-ET の状態をフルに反映するものではありません。RCAN-ET は CAN スリープモードを終了し MCR5 がクリアされるとアクセス可能になります。CAN コントローラの CAN スリープモードは、転送クロック 2 ビット分経過後に終了します。 0: RCAN-ET はホルトモードでも CAN スリープモードでもありません 1: ホルトモード (MCR1=1 の場合) または CAN スリープモード (MCR5=1 の場合) です [セット条件] MCR1 がセットされ CAN バスがインタミッションまたはアイドルの場合、または MCR5 がセットされ RCAN-ET がホルトモードのとき、または MCR14 と MCR6 が両者ともセットされて RCAN-ET がバスオフへ遷移したとき

14. コントローラエリアネットワーク (RCAN-ET)

ビット	ビット名	初期値	R/W	説明
3	GSR3	1	R	リセットステータス RCAN-ET がリセット状態かどうかを示します。 0 : RCAN-ET はリセット状態ではありません 1 : RCAN-ET がリセット状態です [セット条件]RCAN-ET のソフトウェアまたはハードウェアリセットの後
2	GSR2	1	R	メッセージ送信進行フラグ RCAN-ET がバスオフ状態にあるのか、メッセージを送信中なのかまたは送信中に検出されたエラー起因によるエラー / オーバロードのフラグを送信中なのかを CPU に示すフラグです。TXACK をセットするタイミングと GSR2 をクリアするタイミングとは異なります。TXACK はフレームエンドの 7 番目のビットにセットされます。GSR2 については、送信待ちのメッセージがない場合には、インタミッションの 3 番目のビットでセットされます。また、アービトラージロスト、バスアイドル、受信、リセット、ホルト遷移でもセットされます。 0 : RCAN-ET はバスオフ状態またはメッセージを送信中です 1 : [セット条件] バスオフ状態でない、またはメッセージを送信中でない
1	GSR1	0	R	送信 / 受信ワーニングフラグ エラーワーニングを示すフラグです。 0 : [クリア条件] TEC < 96 かつ REC < 96 またはバスオフのとき 1 : [セット条件] 96 TEC < 256 または 96 REC < 256 のとき 【注】 REC は、バスオフ復帰シーケンスに必要な 11 個のレセプティブビットの繰り返し回数をカウントするために、バスオフ中は増加します。ただし、本ビットはバスオフ中にはセットされません。
0	GSR0	0	R	バスオフフラグ RCAN-ET がバスオフ状態であることを示します。 0 : [クリア条件] バスオフ状態から復帰またはハードウェアあるいはソフトウェアリセットの後 1 : [セット条件] TEC 256 (バスオフ状態)

14.4.3 ビットコンフィギュレーションレジスタ 0、1 (BCR0、BCR1)

BCR0、BCR1 は、それぞれ 16 ビットの読み出し/書き込み可能なレジスタで、CAN ビットタイミングパラメータと CAN インタフェースのボーレートプリスケアラを設定します。

以下、タイムクオンタを以下のとおり定義します。

$$\text{タイムクオンタ} = 2 \times \text{BRP} / f_{\text{clk}}$$

BRP (ボーレートプリスケアラ) は BCR0 格納値 + 1 の値です。f_{clk} は周辺バスクロック周波数です。

(1) BCR1

TSEG1 と TSEG2 の設定については表 14.5 を参照してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG1[3:0]			-	TSG2[2:0]			-	-	-	SJW[1:0]		-	-	-	BSP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~12	TSG1[3:0]	0000	R/W	<p>タイムセグメント 1</p> <p>これらのビットは、CAN バス上のエッジをポジティブフェーズエラーで補償するため、セグメント TSEG1 (= PRSEG + PHSEG1) を設定するために使用します。4~16 タイムクオンタが設定できます。</p> <p>0000 : 設定禁止 0001 : 設定禁止 0010 : 設定禁止 0011 : PRSEG + PHSEG1 = 4 タイムクオンタ 0100 : PRSEG + PHSEG1 = 5 タイムクオンタ : : 1111 : PRSEG + PHSEG1 = 16 タイムクオンタ</p>
11	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>

14. コントローラエリアネットワーク (RCAN-ET)

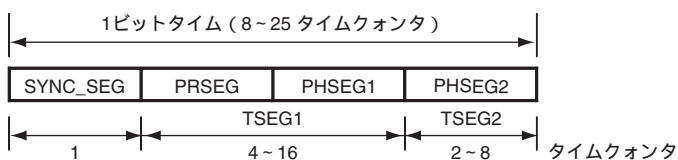
ビット	ビット名	初期値	R/W	説明
10~8	TSG2[2:0]	000	R/W	<p>タイムセグメント 2</p> <p>これらのビットは、CAN バス上のエッジをネガティブフェーズエラーで補償するため、セグメント TSEG2 (= PRSEG2) を設定することに使用します。2~8 タイムクオンタが設定できます。</p> <p>000 : 設定禁止</p> <p>001 : PHSEG2 = 2 タイムクオンタ (条件によっては設定禁止です。表 14.5 を参照してください)</p> <p>010 : PHSEG2 = 3 タイムクオンタ</p> <p>011 : PHSEG2 = 4 タイムクオンタ</p> <p>100 : PHSEG2 = 5 タイムクオンタ</p> <p>101 : PHSEG2 = 6 タイムクオンタ</p> <p>110 : PHSEG2 = 7 タイムクオンタ</p> <p>111 : PHSEG2 = 8 タイムクオンタ</p>
7、6	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
5、4	SJW[1:0]	00	R/W	<p>再同期ジャンプ幅</p> <p>同期ジャンプ幅を設定します。</p> <p>00 : 同期ジャンプ幅 = 1 タイムクオンタ</p> <p>01 : 同期ジャンプ幅 = 2 タイムクオンタ</p> <p>10 : 同期ジャンプ幅 = 3 タイムクオンタ</p> <p>11 : 同期ジャンプ幅 = 4 タイムクオンタ</p>
3~1	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
0	BSP	0	R/W	<p>ビットサンプルポイント</p> <p>データがサンプリングされるポイントを設定します。</p> <p>0 : 1 箇所 でビットサンプリングが行われます (タイムセグメント 1 の最後)</p> <p>1 : 3 箇所 でビットサンプリングが行われます (PHSEG1 の最終 3 クロックサイクルの立ち上がりエッジ)</p>

(2) BCRO

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	BRP[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
7~0	BRP[7:0]	0000000	R/W	ポーレートプリスケール これらのビットは、1 タイムクオンタに対応する周辺バスクロック数を設定します。 0000000 : 2×周辺バスクロック 0000001 : 4×周辺バスクロック 0000010 : 6×周辺バスクロック : 2×(レジスタ値+1)×周辺バスクロック 1111111 : 512×周辺バスクロック

• ビットコンフィギュレーションレジスタについて



SYNC_SEG : CAN バス上のノードの同期をするセグメント (通常のビットエッジ遷移がこのセグメントで発生します)

PRSEG : ネットワーク間の物理的な遅延を調整するセグメント

PHSEG1 : フェーズドリフト (正方向) のバッファセグメント (同期または再同期の際、拡張されます)

PHSEG2 : フェーズドリフト (負方向) のバッファセグメント (同期または再同期の際、縮小されます)

TSEG1 : TSG1 + 1

TSEG2 : TSG2 + 1

RCAN-ET ビットレートは以下のとおり計算されます。

$$\text{ビットレート} = f_{clk} / \{2 \times (\text{BRP} + 1) \times (\text{TSEG1} + \text{TSEG2} + 1)\}$$

ここで BRP はレジスタ値で与えられ、また TSEG1 および TSEG2 は後述の表から算出した値です。上記ビットレート計算式のタイムセグメント「+1」は SYNC_SEG の 1 タイムクオンタであることによります。

14. コントローラエリアネットワーク (RCAN-ET)

$fclk$ = 周辺バスクロック

BCR 設定上の制約となる事項

$TSEG1 (Min.) > TSEG2$ SJW (Max.) (SJW = 1~4)

8 $TSEG1 + TSEG2 + 1 \leq 25$ タイムクオンタ ($TSEG1 + TSEG2 + 1 = 7$ は不可)

$TSEG2 \leq 2$

ビットコンフィギュレーションレジスタの TSEG1 および TSEG2 の値が表 14.5 に示される設定値の範囲であれば、上述の制限事項を満たします。表 14.5 の値は SJW の設定可能値を示したものです。「不可」で示されたところは TSEG1 と TSEG2 との組み合わせがとれません。

表 14.5 TSG と TSEG の設定

		001	010	011	100	101	110	111	TSG2
		2	3	4	5	6	7	8	TSEG2
TSG1	TSEG1								
0011	4	不可	1~3	不可	不可	不可	不可	不可	
0100	5	1~2	1~3	1~4	不可	不可	不可	不可	
0101	6	1~2	1~3	1~4	1~4	不可	不可	不可	
0110	7	1~2	1~3	1~4	1~4	1~4	不可	不可	
0111	8	1~2	1~3	1~4	1~4	1~4	1~4	不可	
1000	9	1~2	1~3	1~4	1~4	1~4	1~4	1~4	
1001	10	1~2	1~3	1~4	1~4	1~4	1~4	1~4	
1010	11	1~2	1~3	1~4	1~4	1~4	1~4	1~4	
1011	12	1~2	1~3	1~4	1~4	1~4	1~4	1~4	
1100	13	1~2	1~3	1~4	1~4	1~4	1~4	1~4	
1101	14	1~2	1~3	1~4	1~4	1~4	1~4	1~4	
1110	15	1~2	1~3	1~4	1~4	1~4	1~4	1~4	
1111	16	1~2	1~3	1~4	1~4	1~4	1~4	1~4	

例： $fclk$ が 20MHz でビットレートを 500kbps とする場合、BRP=1、TSEG1=6、TSEG2=3 が条件を満たします。この場合、BCR1 には H'5200、BCR0 には H'0001 をライトすることになります。

14.4.4 インタラプトリクエストレジスタ (IRR)

IRR は、16 ビットの読み出し / 書き込み可能なレジスタで、各種割り込み要因のステータスフラグで構成されています。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	IRR13	IRR12	-	-	IRR9	IRR8	IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R	R	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて0	R	リザーブビット
13	IRR13	0	R/W	<p>メッセージエラー割り込み</p> <p>本割り込みは、テストモードでメッセージエラーが発生したことを示します。ただし、テストモード中にメッセージオーバロード条件が発生しても、本ビットはセットされません。また、テストモード以外では機能しません。</p> <p>0: テストモードでメッセージエラーが発生していない</p> <p>[クリア条件] 1 を書き込む (割り込みを使用し、CPU によってクリアする場合、1 ライト後必ずフラグをリードしてください)</p> <p>1: [セット条件] テストモードでメッセージエラーが発生</p>
12	IRR12	0	R/W	<p>CAN スリープモード時バスアクティビティ</p> <p>本ビットは CAN バスアクティビティの存在を示します。RCAN-ET が CAN スリープモードのとき、CAN バス上でドミナントビットを検出すると、本ビットがセットされます。本ビットに 1 を書き込むと割り込みがクリアされます。0 を書き込むと無視されます。オートウェイクアップ機能を使用せず本割り込みが要求されない場合は、対応するマスクビットで必ず本割り込みを無効にしてください。オートウェイクアップ機能不使用時に本割り込みが要求された場合は、CAN スリープモードから復帰した後に本ビットをクリアしてください。これは、受信ライン上の新しい立ち下がりエッジにより、再び割り込みがセットされるのを防ぐためです。</p> <p>本割り込みのセット時間は、GSR4 のクリア時間と異なりますので注意してください。</p> <p>0: バスアイドル状態</p> <p>[クリア条件] 1 を書き込む (割り込みを使用し、CPU によってクリアする場合、1 ライト後必ずフラグをリードしてください)</p> <p>1: CAN バスアクティビティを CAN スリープモード中に検出</p> <p>[セット条件] CAN スリープモード中に CRx 上でドミナントへのビット状態変化を検出</p>
11、10	-	すべて0	R	リザーブビット

14. コントローラエリアネットワーク (RCAN-ET)

ビット	ビット名	初期値	R/W	説明
9	IRR9	0	R	<p>メッセージオーバーラン/オーバーライト割り込みフラグ</p> <p>本ビットは、メッセージを受信したが、対応する RXPR または RFPR がすでに 1 にセットされているためメールボックス内のメッセージが読み出されず、CPU によってクリアされていないことにより新しく受信されたメッセージは NMC ビットの設定によって、捨てられる (オーバーラン) か上書き (オーバーライト) されたことを示します。本ビットは UMSR レジスタの対応するすべてのビットに 1 を書き込むとクリアされます。また、MBIMR の対応するすべてのビットに 1 を書き込むことでもクリアできます。本ビットに対する書き込みは無効です。</p> <p>0: メッセージオーバーラン/オーバーライト通知がない</p> <p>[クリア条件] UMSR のすべてのビットがクリアまたはセットされたすべての UMSR に対応する MBIMR がセット</p> <p>1: オーバーランが発生したため、受信メッセージが捨てられた。またはメッセージがオーバーライトされた</p> <p>[セット条件] 対応する PXPR または RFPR = 1 かつ MBIMR = 0 のときにメッセージを受信</p>
8	IRR8	0	R	<p>メールボックスエンプティ割り込みフラグ</p> <p>送信用に設定されたメッセージの 1 つが正常に送信 (対応する TXACK フラグがセット) または送信アポート (送信キャンセルが実行されたメッセージに対応する ABACK フラグがセット) されると本ビットがセットされます。このとき、対応する TXPR ビットがクリアされ、メールボックスが次の送信用のメッセージデータを受け入れられるようになります。</p> <p>実際には、本ビットは MBIMR フラグによってマスクされていない TXACK と ABACK ビットの OR を取った信号によってセットされます。したがって、すべての TXACK および ABACK ビットがクリアされると、本ビットは自動的にクリアされます。また、MBIMR の対応するすべてのビットに 1 を書き込むことでもクリアできます。本ビットに対する書き込みは無効です。</p> <p>0: 送信または送信キャンセルするメッセージが処理中でない</p> <p>[クリア条件] すべての TXACK および ABACK ビットがクリア、またはセットされたすべての TXACK および ABACK ビットに対応する MBIMR がセット</p> <p>1: メッセージが送信または送信アポート (送信キャンセル) され、次のメッセージの格納が可能となった</p> <p>[セット条件] TXACK または ABACK ビットがセットされたとき (MBIMR = 0 の場合)</p>
7	IRR7	0	R/W	<p>オーバーロードフレーム</p> <p>RCAN-ET がオーバーロードフレームの送信を検出したことを示すフラグです。IRR7 に 1 を書き込むとクリアされます。0 を書き込むと無視されます。</p> <p>0: [クリア条件] 1 を書き込む (割り込みを使用し、CPU によってクリアする場合、1 ライト後必ずフラグをリードしてください)</p> <p>1: [セット条件] オーバロード条件を検出</p>

14. コントローラエリアネットワーク (RCAN-ET)

ビット	ビット名	初期値	R/W	説 明
6	IRR6	0	R/W	<p>バスオフ割り込みフラグ</p> <p>本ビットは、RCAN-ET がバスオフ状態になったとき、またはバスオフ状態からエラーアクティブ状態に戻ったときセットされます。したがって、ノードの TEC \geq 256、バスオフ復帰シーケンスの終了 (11 個のリセツシブビットを 128 回連続受信) またはバスオフから停止状態への遷移 (オートまたはマニュアル) が要因となります。本ビットは RCAN-ET がバスオフ解除となった後もセットされた状態となりますので、ソフトウェアでクリアする必要があります。ソフトウェアで GSR0 をリードし RCAN-ET がバスオフ状態かエラーアクティブ状態か判定してください。本ビットはノードがまだバスオフ状態であっても 1 を書き込むとクリアされます。0 を書き込むと無視されます。</p> <p>0: [クリア条件] 1 を書き込む (割り込みを使用し、CPU によってクリアする場合、1 ライト後必ずフラグをリードしてください)</p> <p>1: 送信エラーによりバスオフ状態に遷移した、またはバスオフ状態からエラーアクティブ状態に復帰した</p> <p>[セット条件] TEC 256 または 11 個のリセツシブビットを 128 回連続受信した後バスオフ終了またはバスオフから停止状態へ遷移</p>
5	IRR5	0	R/W	<p>エラーパッシブ割り込みフラグ</p> <p>受信または送信エラーカウンタによるエラーパッシブ状態、またはテストモードによって強制的にエラーパッシブ状態になったことを示します。本ビットに 1 を書き込むとクリアされ、0 を書き込むと無視されます。本ビットがクリアされてもノードはエラーパッシブ状態のままとなる場合があります。ソフトウェアで GSR0 および GSR5 をチェックし、RCAN-ET がエラーパッシブ状態であるかバスオフ状態であるか判定する必要があります。</p> <p>0: [クリア条件] 1 を書き込む (割り込みを使用し、CPU によってクリアする場合、1 ライト後必ずフラグをリードしてください)</p> <p>1: 送信 / 受信エラーによるエラーパッシブ状態</p> <p>[セット条件] TEC 128 または REC 128 またはエラーパッシブテストモードを使用</p>
4	IRR4	0	R/W	<p>受信エラーカウンタワーニング割り込みフラグ</p> <p>RCAN-ET がバスオフ状態でないときに受信エラーカウンタ (REC) が 95 を超えるとセットされます。本ビットに 1 を書き込むと割り込みはクリアされ、0 を書き込むと無視されます。</p> <p>0: [クリア条件] 1 を書き込む (割り込みを使用し、CPU によってクリアする場合、1 ライト後必ずフラグをリードしてください)</p> <p>1: 受信エラーによるエラーワーニング状態</p> <p>[セット条件] RCAN-ET がバスオフ状態以外で REC 96</p>

14. コントローラエリアネットワーク (RCAN-ET)

ビット	ビット名	初期値	R/W	説明
3	IRR3	0	R/W	<p>送信エラーカウンタワーニング割り込みフラグ</p> <p>送信エラーカウンタ (TEC) が 95 を超えるとセットされます。本ビットに 1 を書き込むと割り込みはクリアされ、0 を書き込むと無視されます。</p> <p>0: [クリア条件] 1 を書き込む (割り込みを使用し、CPU によってクリアする場合、1 ライト後必ずフラグをリードしてください)</p> <p>1: 送信エラーによるエラーワーニング状態</p> <p>[セット条件] TEC 96</p>
2	IRR2	0	R	<p>リモートフレームリクエスト割り込みフラグ</p> <p>メールボックスがリモートフレームを受信したことを示します。対応する MBIMR がセットされていない少なくとも 1 つのメールボックスに、リモートフレーム送信リクエストが格納されているとセットされます。本ビットは、リモートフレーム受信完了レジスタ (RFPR) のすべてのビットがクリアされるとクリアされます。また、MBIMR の対応するすべてのビットに 1 を書き込むとクリアされます。本ビットに対する書き込みは無効です。</p> <p>0: [クリア条件] RFPR のすべてのビットがクリア</p> <p>1: 少なくとも 1 つのリモートフレームリクエストが処理待ち状態</p> <p>[セット条件] 対応する MBIMR = 0 のときリモートフレームを受信</p>
1	IRR1	0	R	<p>データフレーム受信割り込みフラグ</p> <p>処理待ち状態の受信データフレームが存在することを示します。本ビットが 1 のとき、少なくとも 1 つのメールボックスに未処理のメッセージが格納されています。本ビットは、データフレーム受信完了レジスタ (RXPR) のすべてのビットがクリアされると (どの受信メールボックスにも未処理のメッセージがない) クリアされます。MBIMR が 0 でない各受信メールボックスの RXPR フラグの論理和が設定されます。</p> <p>また、MBIMR の対応するすべてのビットに 1 を書き込むとクリアされます。本ビットに対する書き込みは無効です。</p> <p>0: [クリア条件] RXPR のすべてのビットがクリア</p> <p>1: データフレームを受信しメールボックスに格納した</p> <p>[セット条件] 対応する MBIMR = 0 のときデータを受信</p>

14. コントローラエリアネットワーク (RCAN-ET)

ビット	ビット名	初期値	R/W	説 明
0	IRR0	1	R/W	<p>リセット/ホルト/スリープ割り込みフラグ 下記の3つの要因によってセットされます。</p> <ul style="list-style-type: none"> • ソフトウェアリセット (MCR0) またはハードウェアリセット後、リセットモードに遷移 • ホルトリクエスト (MCR1) の後、ホルトモードに遷移 • ホルトモードでスリープリクエスト (MCR5) 発行後、CAN スリープモードに遷移 <p>本ビットがセットされた後 GSR をリードして、RCAN-ET の状態を知ることができます。</p> <p>【注】 スリープモードリクエストを発行する必要がある場合、事前にホルトモードを使用してください。MCR5の説明および図 14.8 を参照してください。</p> <p>IRR0 は GSR3 または GSR4 が 0 から 1 に変化したとき、またはホルトモードから CAN スリープモードに遷移したときにセットされます。したがって、RCAN-ET がホルトモード解除の直後に再びホルトモードに遷移した場合は GSR4 がクリアされないため、IRR0 はセットされません。同様に、CAN スリープモードからホルトモードに直接遷移した場合も IRR0 はセットされません。ホルトモード / CAN スリープモードから送信 / 受信動作に遷移する際、GSR4 がクリアされるまでに [1 ビット時間 - TSEG2] ~ [1 ビット時間 × 2 - TSEG2] の時間が必要です。</p> <p>リセットモードの場合、IRR0 はセットされますが初期化によって IMR0 が自動的にセットされるため、CPU への割り込みはアサートされません。</p> <p>0 : [クリア条件] 1 を書き込む (割り込みを使用し、CPU によってクリアする場合、1 ライト後必ずフラグをリードしてください)</p> <p>1 : ソフトウェアリセットモードまたはホルトモードまたは CAN スリープモードへ遷移</p> <p>[セット条件] リセット (MCR0 またはハードウェア) またはホルトモード (MCR1) または CAN スリープモード (MCR5) リクエストの後、リセット/ホルト/CAN スリープモードへの遷移が完了</p>

14. コントローラエリアネットワーク (RCAN-ET)

14.4.5 インタラプトマスクレジスタ (IMR)

IMR は、16 ビットの読み出し / 書き込み可能なレジスタで、インタラプトリクエストレジスタ (IRR) の各ビットに対応する割り込みの IRQ 出力信号の生成をマスクします。ビットを 1 に設定すると対応する割り込み要求がマスクされます。IMR は IRQ の生成を直接制御しますが、IRR の対応するビットのセットを禁止しません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IMR15	IMR14	IMR13	IMR12	IMR11	IMR10	IMR9	IMR8	IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	IMR[15:0]	すべて 1	R/W	IRR[15:0]の各ビットに対応する割り込み要因マスク 本ビットをセットすると、IRR の対応するビットがセットされてもその割り込み信号は生成されません。 0: 対応する IRR をマスクしない (割り込み要因が発生すると IRQ が生成される) 1: IRR の対応する割り込みをマスクする

14.4.6 送信エラーカウンタ (TEC) / 受信エラーカウンタ (REC)

TEC および REC は、読み出し / 条件付き書き込み可能な 16 ビットのレジスタで、CAN インタフェースにおける送信 / 受信メッセージエラー数を示すカウンタです。カウント値は前述した参考文献の[1]、[2]、[3]、[4]に規定されています。ライトエラーカウンタテストモード以外では本レジスタはリード専用で、CAN インタフェースによってのみ書き替え可能です。本レジスタは、リセットリクエスト (MCR0) またはバスオフ状態への遷移によってクリアされます。

ライトエラーカウンタテストモード (TST[2:0] = B'100) では、本レジスタへの書き込みが可能です。TEC および REC には同じ値しか書き込めません。TEC に書き込まれた値は TEC および REC に設定されます。本レジスタに書き込む際は、RCAN-ET をホルトモードにする必要があります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TEC7	TEC6	TEC5	TEC4	TEC3	TEC2	TEC1	TEC0	REC7	REC6	REC5	REC4	REC3	REC2	REC1	REC0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * MCR の TST[2:0] = B'100 によるテストモードのときのみ書き込み可能です。REC はバスオフ状態において、バスオフ復帰シーケンスに必要な 11 個のレセッシブビットの受信回数をカウントします。

ビット	ビット名	初期値	R/W	説明
15~8	TEC[7:0]	すべて 0	R/W*	送信エラーカウンタ 送信中に CAN 仕様に基づくエラーが検出されると本レジスタの値はインクリメントされます。
7~0	REC[7:0]	すべて 0	R/W*	受信エラーカウンタ 受信中に CAN 仕様に基づくエラーが検出されると本レジスタの値はインクリメントされます。

14.5 RCAN-ET のメールボックスレジスタ

RCAN-ET のメールボックスレジスタについて説明します。RCAN-ET のメールボックスレジスタは、各メールボックスを制御し、メールボックスの状態を示します。

表 14.6 に RCAN-ET のメールボックスレジスタを示します。

【重要】 ロングワードアクセスは、2つの連続したワードアクセスとして行われます。

表 14.6 RCAN-ET のメールボックスレジスタ

レジスタ名	略称	アドレス	アクセスサイズ (ビット)
送信待ちレジスタ 1	TXPR1	H'020	ロングワード
送信待ちレジスタ 0	TXPR0	H'022	-
		H'024	
		H'026	
		H'028	
送信キャンセルレジスタ 0	TXCR0	H'02A	ワード
		H'02C	
		H'02E	
		H'030	
送信アクノリッジレジスタ 0	TXACK0	H'032	ワード
		H'034	
		H'036	
		H'038	
アポートアクノリッジレジスタ 0	ABACK0	H'03A	ワード
		H'03C	
		H'03E	
		H'040	
データフレーム受信完了レジスタ 0	RXPR0	H'042	ワード
		H'044	
		H'046	
		H'048	
リモートフレーム受信完了レジスタ 0	RFPR0	H'04A	ワード
		H'04C	
		H'04E	
		H'050	
メールボックスインタラプトマスクレジスタ 0	MBIMR0	H'052	ワード
		H'054	
		H'056	
		H'058	

14. コントローラエリアネットワーク (RCAN-ET)

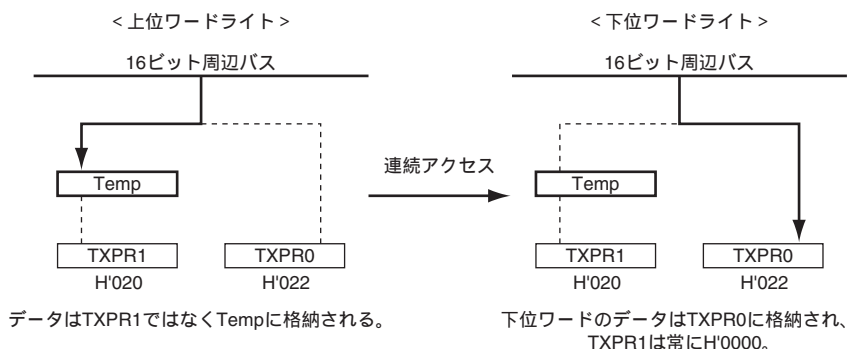
レジスタ名	略称	アドレス	アクセスサイズ(ビット)
未読メッセージステータスレジスタ 0	UMSR0	H'05A	ワード
		H'05C	
		H'05E	

14.5.1 送信待ちレジスタ 0、1 (TXPR0、TXPR1)

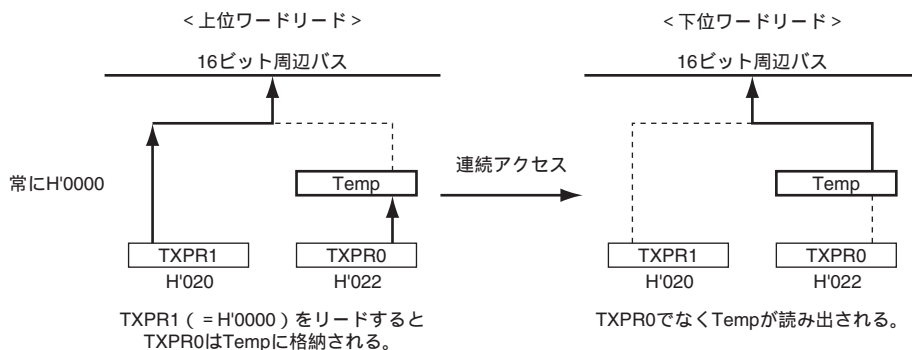
TXPR0とTXPR1は連結され、CANモジュールの送信待ちフラグを格納する32ビットのレジスタを構成します。16ビットバスインタフェースの場合、ロングワードアクセスは、2つの連続したワードアクセスとして行われま

す。

<ロングワードライト動作>



<ロングワードリード動作>



TXPR1 レジスタは常に 0 固定で、TXPR1 レジスタへの書き込みは無効です。TXPR0 レジスタはメールボックス 15~1 を制御します。CPU はビットに 1 を書き込むことで対応する送信メッセージに対して操作することができます。0 書き込みは無効で、TXPR をクリアするには TXCR の対応するビットをセットしなければなりません。CPU は TXPR をリードして、送信待ちのメールボックスおよび送信中のメールボックスを知ることができます。実際には、メールボックス 0 以外のすべてのメールボックスについて送信待ちビットが存在します。また、送信に設定されていないメールボックスに対するビットに 1 を書き込むことは禁止されています。

メッセージが正常に送信された後、または TXCR からの送信アボートが行われた後、RCAN-ET は対応する送信待ちフラグをクリアします。TXPR のフラグは、CAN ノードがアービトレーションに負けたり CAN バス上にエラーが発生したために、メッセージが送信されなかった場合はクリアされません。このとき対応するメールボックスのメッセージコントロールフィールドの DART(自動再送信無効)ビットがセットされていないければ、RCAN-ET は自動的に再送信を試みます。DART がセットされていると送信はクリアされ、メールボックスエンプティ割り込みフラグ (IRR8) とアボートアクノリッジレジスタ (ABACK) の対応するビットによって CPU に通知されません。

TXPR の状態が変化したときは、バスアービトレーションに負けたり CAN バス上にエラーが発生した場合でも、ID が示す優先順位 (MCR2=0) が最も高いメッセージが常に送信されるように処理します。詳細については「14.6 動作説明」を参照してください。

RCAN-ET が TXPR のビットの状態を 0 に変更したとき、メールボックスエンプティ割り込みフラグ (IRR8) が生成されることがあります。これはメールボックスの送信が正常終了したかアボートされたことを示します。メッセージの送信が正常終了した場合は、TXACK に示され、メッセージ送信がアボートされた場合は ABACK に示されます。これらのレジスタをチェックすることによって対応するメールボックスのメッセージデータフィールドの内容を次の送信用に書き替えることができます。

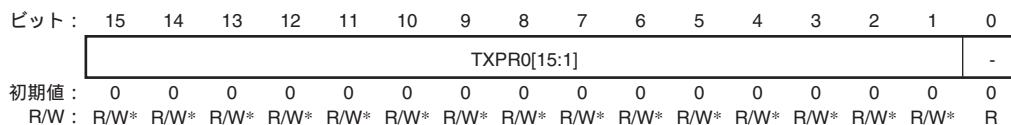
(1) TXPR1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXPR1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * 常に H'0000 が読み出されます。TXPR1/TXPR0 のリード/ライトは、必ずロングワードアクセスで行ってください。TXPR1 への書き込みは無効です。

14. コントローラエリアネットワーク (RCAN-ET)

(2) TXPR0



【注】 * 送信用に設定されたメールボックスに対応するビットには、1のみ書き込むことができます。
常に H'0000 が読み出されます。TXPR1/TXPR0 のリード/ライトは、必ずロングワードアクセスで行ってください。TXPR0 のビット 0 への書き込みは無効です。

ビット	ビット名	初期値	R/W	説明
15~1	TXPR0[15:1]	H'0000	R/W	<p>対応するメールボックスに CAN フレーム送信リクエストが発生していることを示します。ビット 15~1 はメールボックス 15~1 に対応しています。複数のビットがセットされた場合の送信順序は、MCR2 ビットの設定によりメッセージ ID 優先順またはメールボックス番号順に送信されます。</p> <p>0: 対応するメールボックスが送信メッセージアイドル状態 [クリア条件] メッセージ送信終了またはメッセージ送信アポート (自動的にクリアされます)</p> <p>1: 対応するメールボックスに送信リクエストが発生</p>
0	-	0	R	<p>リザーブビット</p> <p>受信専用メールボックスのため、本ビットは常に 0 となります。1 を書き込むと無視されます。読み出し値は 0 です。</p>

14.5.2 送信キャンセルレジスタ 0 (TXCR0)

TXCR0 は、16 ビットの読み出し / 条件付き書き込み可能なレジスタで、メールボックス 15~1 を制御します。CPU は TXCR0 を使用して、TXPR の送信リクエストをキャンセルします。TXPR のビットをクリアするには、CPU から対応する TXCR のビットに 1 を書き込んでください。0 を書き込むと無視されます。

アボートが正常に行われると、CAN コントローラは対応する TXPR と TXCR のビットをクリアし、ABACK のビットをセットします。しかし、メールボックスが送信を開始した後は、本レジスタのビットでキャンセルすることはできません。このような場合、送信が正常終了すると CAN コントローラは TXPR と TXCR のビットをクリアし、TXACK のビットをセットします。しかし、アービトレーションに負けたりバス上にエラーが発生したりすることによって送信が行われなかった場合は、CAN コントローラは対応する TXPR と TXCR のビットをクリアし、対応する ABACK のビットをセットします。CPU が送信待ち状態でないメールボックスの送信をクリアしようとしても無視されます。この場合、CPU は TXCR のフラグをセットすることはできません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXCR0[15:1]															-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R

【注】 * 送信リクエストを受けた送信メールボックスに対応するビットには 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~1	TXCR0[15:1]	H'0000	R/W	<p>送信用キューに入っているメールボックスに対し、送信キャンセルをリクエストします。ビット 15~1 はメールボックス 15~1 (および TXPR0[15:1]) に対応しています。</p> <p>0: 対応するメールボックスが送信メッセージキャンセルアイドル状態 [クリア条件] 送信メッセージキャンセルが終了 (自動的にクリアされます)</p> <p>1: 対応するメールボックスに対して送信キャンセルを要求</p>
0	-	0	R	<p>リザーブビット</p> <p>受信専用メールボックスのため、本ビットは常に 0 となります。1 を書き込むと無視され、読み出し値は常に 0 です。</p>

14. コントローラエリアネットワーク (RCAN-ET)

14.5.3 送信アクノリッジレジスタ 0 (TXACK0)

TXACK0は、16ビットの読み出し/条件付き書き込み可能なレジスタで、メールボックスの送信が正常に行われたことをCPUに通知するために使用します。送信が正常に行われると、RCAN-ETはTXACK0レジスタの対応するビットをセットします。CPUは、1を書き込むことによってTXACK0のビットをクリアすることができます。0を書き込むと無視されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXACK0[15:1]															-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R

【注】 * ビットをクリアするために1のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説 明
15~1	TXACK0[15:1]	H'0000	R/W	対応するメールボックスに要求された送信が正常に行われたことを通知します。ビット15~1はメールボックス15~1に対応しています。 0: [クリア条件]1を書き込む (割り込みを使用し、CPUによってクリアする場合、1ライト後必ずフラグをリードしてください) 1: 対応するメールボックスのメッセージ(データフレームまたはリモートフレーム)が正常に送信された [セット条件]対応するメールボックスのメッセージ送信が完了
0	-	0	R	リザーブビット 受信専用メールボックスのため、本ビットは常に0となります。1を書き込むと無視され、読み出し値は常に0です。

14.5.4 アボートアクノリッジレジスタ 0 (ABACK0)

ABACK0 は、16 ビットの読み出し / 条件付き書き込み可能なレジスタで、要求に応じてメールボックスの送信がアボートされたことを CPU に通知するために使用します。アボートが行われると、RCAN-ET は ABACK0 レジスタの対応するビットをセットします。CPU は、1 を書き込むことによって ABACK0 のビットをクリアすることができます。0 を書き込むと無視されます。RCAN-ET が ABACK0 のビットをセットすることにより、対応する TXCR ビットによって TXPR ビットがクリアされたことを認識します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ABACK0[15:1]															-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~1	ABACK0[15:1]	H'0000	R/W	対応するメールボックスに要求された送信キャンセルが正常に行われたことを通知します。ビット 15~1 はメールボックス 15~1 に対応しています。 0: [クリア条件] 1 を書き込む (割り込みを使用し、CPU によってクリアする場合、1 ライト後必ずフラグをリードしてください) 1: 対応するメールボックスのメッセージ (データフレームまたはリモートフレーム) の送信がキャンセルされた [セット条件] 対応するメールボックスのメッセージ送信をキャンセル
0	-	0	R	リザーブビット 受信専用メールボックスのため、本ビットは常に 0 となります。1 を書き込むと無視され、読み出し値は常に 0 です。

14. コントローラエリアネットワーク (RCAN-ET)

14.5.5 データフレーム受信完了レジスタ 0 (RXPR0)

RXPR0 は、16 ビットの読み出し / 条件付き書き込み可能なレジスタで、受信用に設定されたメールボックスがデータフレームを受信したことを示すフラグで構成されています。CAN データフレームが正常に受信メールボックスに格納されると、RXPR の対応するビットがセットされます。1 を書き込むと対応するビットがクリアされます。0 を書き込むと無効とされます。ただし、メールボックスが MBC (メールボックスコンフィギュレーション) によってデータフレームを受信するように設定されている場合のみビットがセットされます。RXPR のビットがセットされると、対応する MBIMR がセットされていなければ IRR1 (データフレーム受信割り込みフラグ) もセットされ、さらに IMR1 がセットされていなければ割り込み信号が生成されます。本レジスタのビットはデータフレームの受信によってのみセットされ、リモートフレーム受信ではセットされません。

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

RXPR0[15:0]															
-------------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	RXPR0[15:0]	H'0000	R/W	<p>ビット 15~0 はメールボックス番号 15~0 の受信用に設定されたメールボックスに対応します。</p> <p>0: [クリア条件] 1 を書き込む (割り込みを使用し、CPU によってクリアする場合、1 ライト後必ずフラグをリードしてください)</p> <p>1: 対応するメールボックスが CAN データフレームを受信した [セット条件] 対応するメールボックスのデータフレーム受信終了</p>

14.5.6 リモートフレーム受信完了レジスタ 0 (RFPR0)

RFPR0 は、16 ビットの読み出し / 条件付き書き込み可能なレジスタで、受信用に設定されたメールボックスがリモートフレームを受信したことを示すフラグで構成されています。CAN リモートフレームが正常に受信メールボックスに格納されると、RFPR の対応するビットがセットされます。1 を書き込むと対応するビットがクリアされます。0 を書き込むと無効されます。すべてのメールボックスに対してビットが存在しますが、メールボックスが MBC (メールボックスコンフィギュレーション) によってリモートフレームを受信するように設定されている場合のみビットがセットされます。RFPR のビットがセットされると、対応する MBIMR がセットされていなければ IRR2 (リモートフレームリクエスト割り込みフラグ) もセットされ、さらに IMR2 がセットされていなければ割り込み信号が生成されます。本レジスタのビットはリモートフレームの受信によってのみセットされ、データフレーム受信ではセットされません。

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFPR0[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

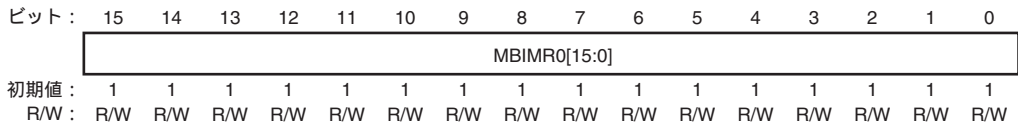
ビット	ビット名	初期値	R/W	説明
15~0	RFPR0[15:0]	H'0000	R/W	メールボックス 15~0 のリモートリクエスト受信フラグです。 0: [クリア条件] 1 を書き込む (割り込みを使用し、CPU によってクリアする場合、1 ライト後必ずフラグをリードしてください) 1: 対応するメールボックスが CAN リモートフレームを受信した [セット条件] 対応するメールボックスのリモートフレーム受信終了

14. コントローラエリアネットワーク (RCAN-ET)

14.5.7 メールボックスインタラプトマスクレジスタ 0 (MBIMR0)

MBIMR0 は、16 ビットの読み出し / 書き込み可能なレジスタです。MBIMR0 は、メールボックスの動作に関連する IRR (IRR1 : データフレーム受信割り込み、IRR2 : リモートフレームリクエスト割り込み、IRR8 : メールボックスエンプティ割り込み、IRR9 : メッセージオーバーラン / オーバライト割り込み) をマスクするレジスタです。メールボックスが受信に設定されている場合、受信割り込みフラグ (IRR1、IRR2、IRR9) による割り込みをマスクします。RXPR、RFPR、UMSR ビットのセットには影響しません。メールボックスが送信に設定されている場合は、送信や送信アポート (IRR8) による割り込みやメールボックスエンプティ割り込みをマスクします。送信による TXPR/TXCR ビットのクリアと TXACK ビットのセット、送信アポートによる TXPR/TXCR ビットのクリアと ABACK ビットのセットには影響しません。

マスクするメールボックスに対応するビットに 1 を書き込むことでマスクが設定されます。リセット時はすべてのメールボックス割り込みがマスクされます。

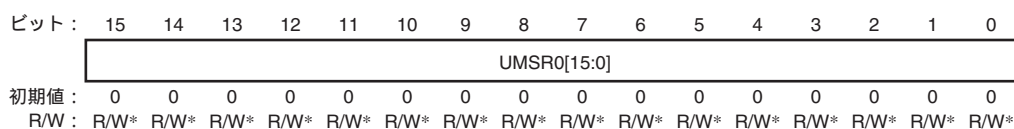


ビット	ビット名	初期値	R/W	説明
15~0	MBIMR0[15:0]	H'FFFF	R/W	メールボックス 15~0 からの割り込み要求を許可 / 禁止します。 0 : IRR1、IRR2、IRR8、IRR9 の割り込み要求を許可 1 : IRR1、IRR2、IRR8、IRR9 の割り込み要求を禁止

14.5.8 未読メッセージステータスレジスタ 0 (UMSR0)

UMSR0 は、16 ビットの読み出し / 条件付き書き込み可能なレジスタで、新しいメッセージを受信する際に CPU によって内容がアクセスされていない受信メールボックスを記録します。メールボックスの新しいメッセージを受信するときに、RXPR0 または RFPR0 の対応するビットが CPU によってクリアされていないと、UMSR0 のビットがセットされます。1 を書き込むとクリアされます。0 を書き込むと無効とされます。

メールボックスが送信に設定されている場合は、対応する UMSR0 のビットはセットされません。



【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	UMSR0[15:0]	H'0000	R/W	<p>メールボックス 15~0 の未読受信メッセージがオーバーライトされたかオーバーランが発生したことを示します。</p> <p>0: [クリア条件] 1 を書き込む (割り込みを使用し、CPU によってクリアする場合、1 ライト後必ずフラグをリードしてください)</p> <p>1: 未読受信メッセージが新しいメッセージでオーバーライトされた、またはオーバーランが発生した</p> <p>[セット条件] RXPR0 または RFPR0 がクリアされる前に新しいメッセージを受信</p>

14.6 動作説明

14.6.1 RCAN-ET の設定

ハードウェアリセット (パワーオンリセット) またはソフトウェアリセット (MCR0) 後のコンフィギュレーションモードおよびホルトモード時の RCAN-ET の設定について説明します。どちらの場合も RCAN-ET は CAN バスアクティビティに参加できません。また、RCAN-ET の設定の変更が CAN バス上の通信に影響を与えることはありません。

(1) リセットシーケンス

図 14.6 にソフトウェアリセットまたはハードウェアリセット後の RCAN-ET の設定手順を示します。リセット後すべてのレジスタは初期化されます。したがって、CAN バスアクティビティに参加する前に RCAN-ET を設定する必要があります。詳細については図中の注を参照してください。

14. コントローラエリアネットワーク (RCAN-ET)

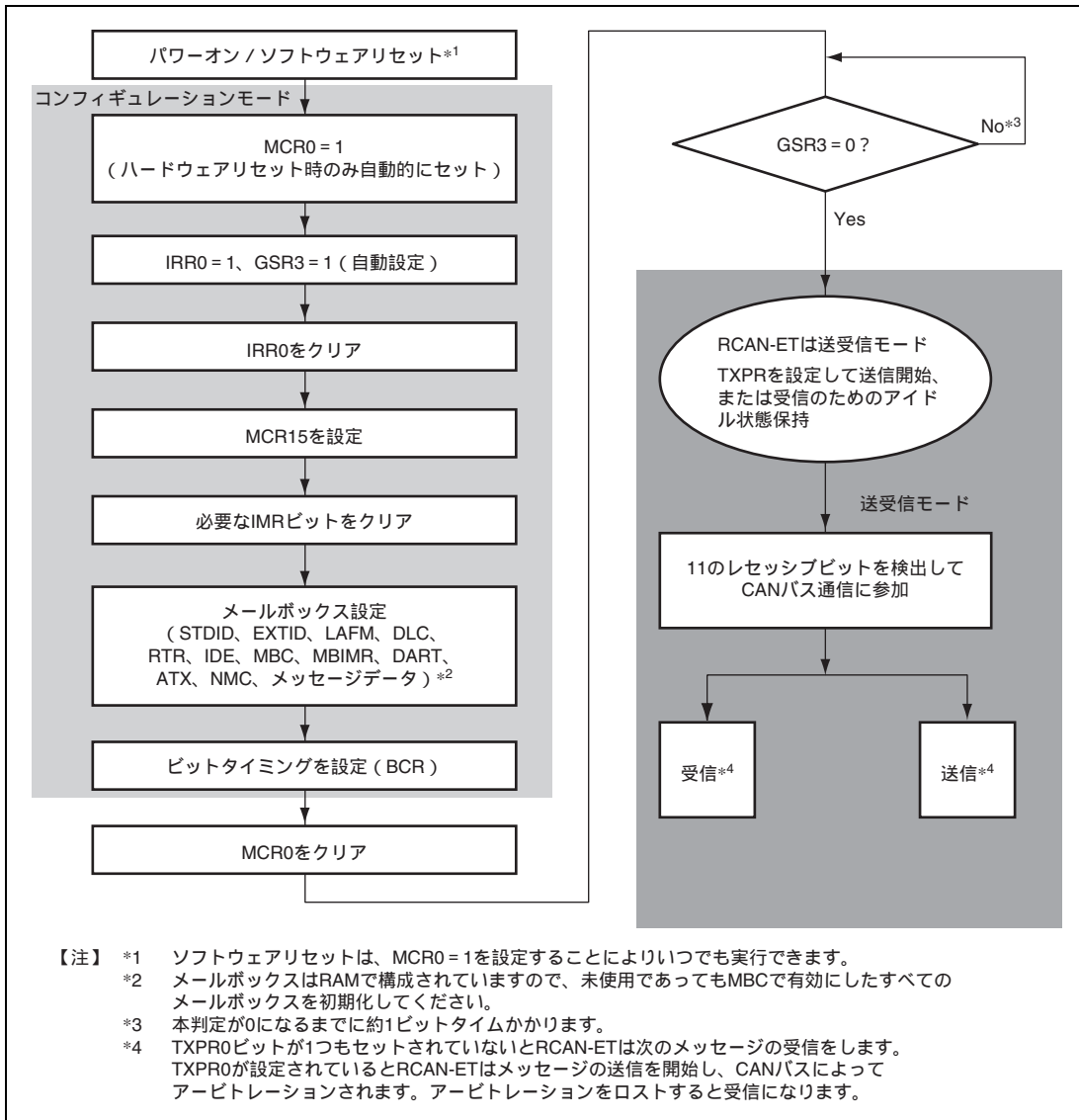


図 14.6 リセットシーケンス

14. コントローラエリアネットワーク (RCAN-ET)

(2) ホルトモード

RCAN-ET はホルトモードのとき、CAN バスアクティビティに参加することができません。したがってユーザは、CAN バス上の通信に影響を与えることなく必要なレジスタの設定を変更することができます。ここで重要なのは、レジスタを変更する前に RCAN-ET がホルトモードになるまで待つことです。ホルトモードへの遷移はかならずしも即時に行われるとはかぎりません (CAN バスがアイドルまたは休止状態のときに遷移します)。

RCAN-ET がホルトモードに遷移すると GSR4 ビットがセットされます。

設定終了後はホルトリクエストを解除する必要があります。RCAN-ET は CAN バス上で 11 個のレセッシブビットを検出した後 CAN バスアクティビティに参加します。

(3) CAN スリープモード

CAN スリープモード中では、RCAN-ET の主要なモジュールのクロックは消費電流を低減するために停止しますが、MCR、GSR、IRR、および IMR レジスタのみアクセスできます。なお、送信と受信に関連する割り込みは、CAN スリープモード中ではクリアできませんので、あらかじめクリアしてください。

図 14.7 に RCAN-ET の CAN スリープモードのフローチャートを示します。

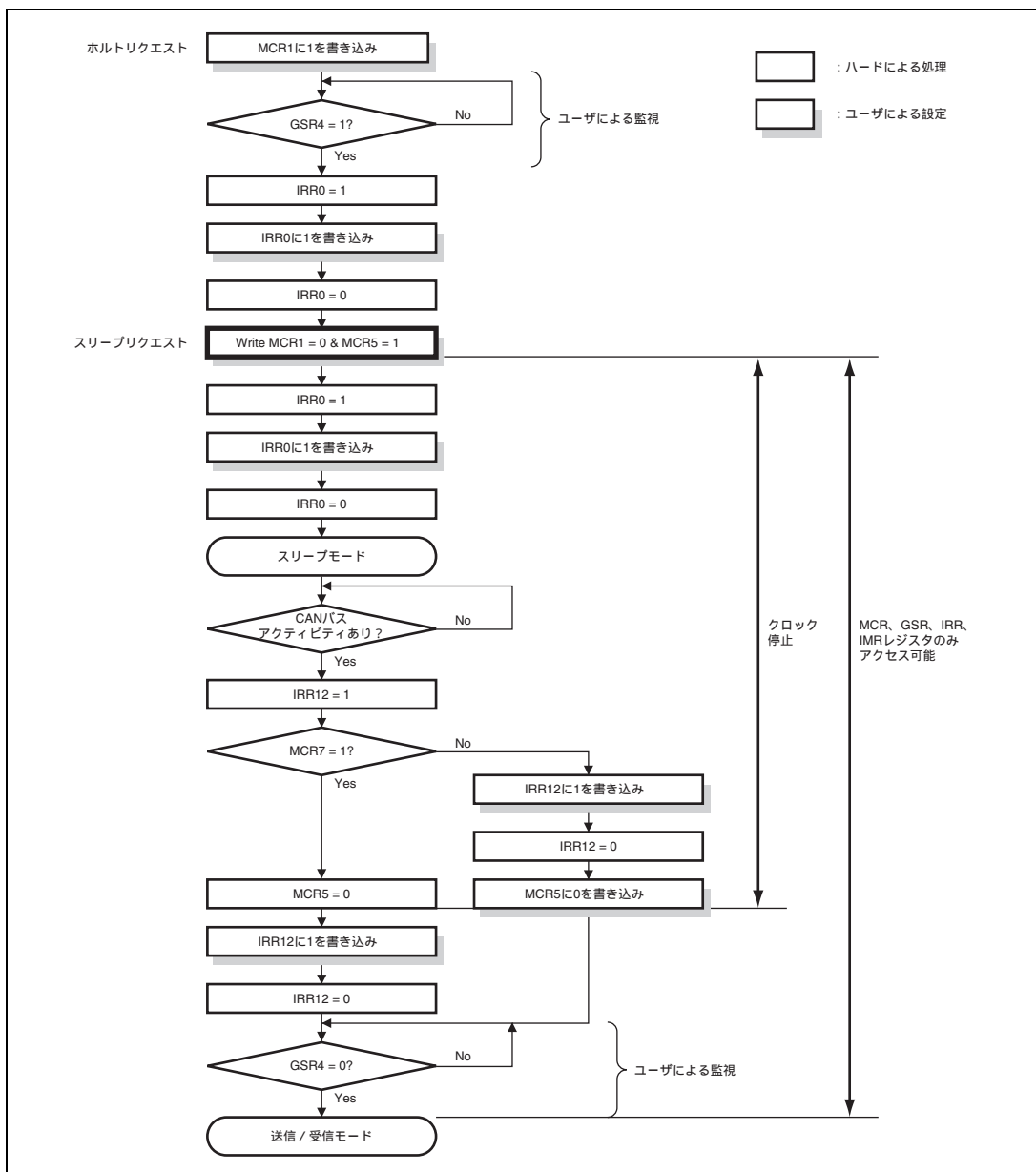


図 14.7 CAN スリープモードのフローチャート

14. コントローラエリアネットワーク (RCAN-ET)

図 14.8 に可能な状態遷移を示します。

なお、ホルトモード以外で MCR5 (CAN スリープモード) ビットをセットしないでください。

また、MCR1 ビットをセットした後は、MCR1 をクリアする前には必ず GSR4 がセットされ RCAN-ET がホルトモードになったことを確認してください。

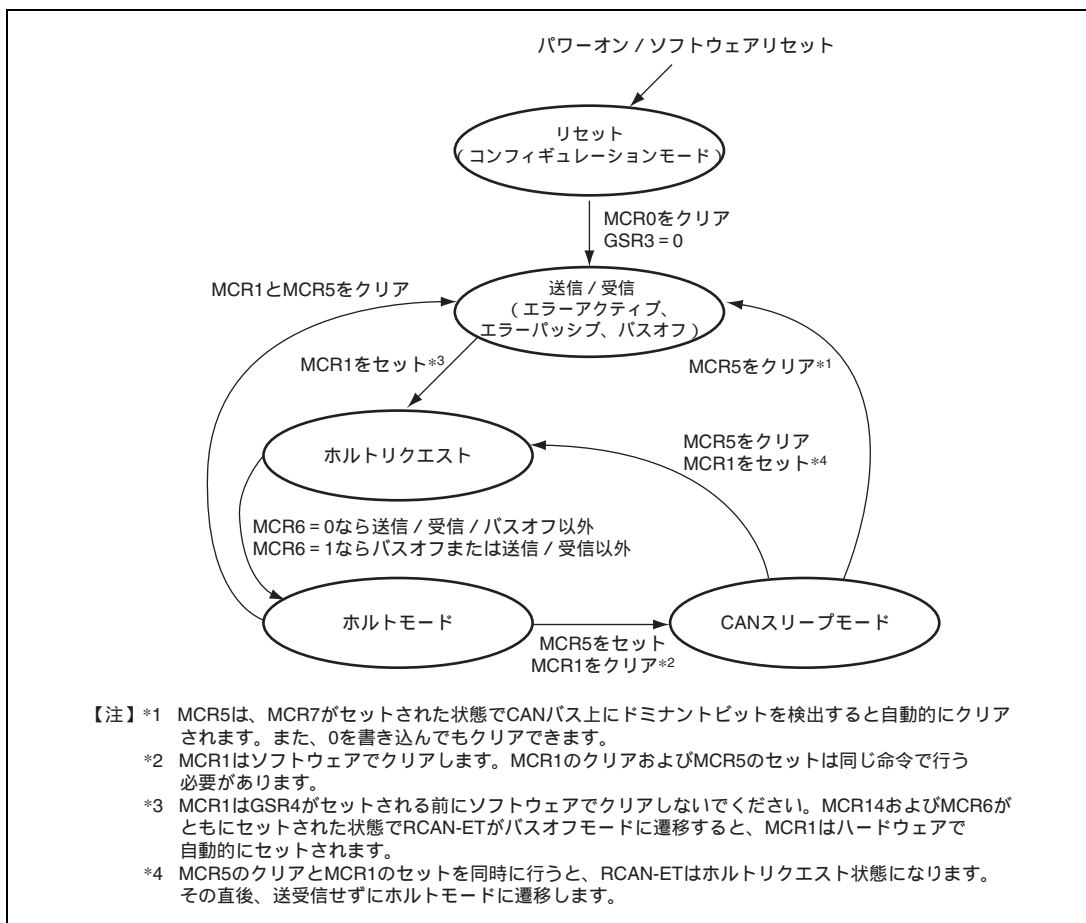


図 14.8 状態遷移図

各モードでのアクセスを許可する条件を表 14.7 に示します。

表 14.7 アクセス可能なレジスタ

ステータス モード	レジスタ									
	MCR、 GSR	IRR、 IMR	BCR	MBIMR	フラグ レジスタ	メールボックス (コントロール0、 LAFM)	メール ボックス (データ)	メールボックス (コントロール1)		
リセット	Yes	Yes	Yes	Yes	Yes	Yes		Yes	Yes	
送信 / 受信	Yes	Yes	No	Yes	Yes	No	Yes*	Yes*	No	Yes*
ホルトリクエスト	Yes	Yes	No	Yes	Yes	No	Yes*	Yes*	No	Yes*
ホルトモード	Yes	Yes	No	Yes	Yes	Yes		Yes	Yes	
CAN スリープモード	Yes	Yes	No	No	No	No		No	No	

【記号説明】

Yes : アクセスを許可するレジスタ

No : アクセスを禁止するレジスタ

【注】 * TXPR0 がセットされていない場合

14.6.2 テストモードの設定

RCAN-ET には種々のテストモードがあります。テストモードの選択は MCR レジスタの TST[2:0]ビットで行います。RCAN-ET は、デフォルト (初期値) ではノーマルモードで動作します。

表 14.8 にテストモード設定を示します。

テストモードの選択はコンフィギュレーションモードでのみ可能です。選択したテストモードを実行するには、テストモードを選択した後コンフィギュレーションモードを解除 (BCR0/BCR1 が設定されていることを確認) してください。

表 14.8 テストモードの設定

TST2	TST1	TST0	モード
0	0	0	ノーマルモード
0	0	1	リスンオンリモード (受信専用モード)
0	1	0	セルフテストモード 1 (外部)
0	1	1	セルフテストモード 2 (内部)
1	0	0	ライトエラーカウンタ
1	0	1	エラーパッシブモード
1	1	0	設定禁止
1	1	1	設定禁止

14. コントローラエリアネットワーク (RCAN-ET)

- ノーマルモード

RCAN-ETは通常の動作をします。

- リスンオンリモード

ポーレート検出用にISO-11898で要求されているモードです。エラーカウンタはクリアされた後に動作禁止となり、TEC/RECの値が増加しなくなります。また、CTx出力を禁止し、RCAN-ETによるエラーフレームやアクノリッジビットの生成を抑制します。メッセージエラーが発生するとIRR13がセットされます。

- セルフテストモード1

RCAN-ET自体でアクノリッジビットを生成し、必要ならばメッセージをRCAN-ETの受信メールボックスに格納します。CRx/CTx端子は必ずCANバスに接続してください。

- セルフテストモード2

RCAN-ET自体でアクノリッジビットを生成し、必要ならばメッセージをRCAN-ETの受信メールボックスに格納します。内部CTxが内部CRxにループバックされるため、CRx/CTx端子をCANバスその他の外部デバイスに接続する必要はありません。CTx端子はレセッシブビットのみ出力し、CRx端子は無効となります。

- ライトエラーカウンタ

TEC/RECは本モードで書き込み可能です。エラーカウンタに127より大きい値を書き込むことにより、RCAN-ETを強制的にエラーパッシブモードにすることができます。TECに書き込まれた値はRECに書き込まれるので、TECとRECは常に同じ値に設定されます。同様に、95より大きい値を書き込むことにより、RCAN-ETを強制的にエラーワーニングモードにすることができます。

TEC/RECに書き込む際はRCAN-ETがホルトモードでなければなりません（エラーカウンタ書き込み時にMCR1 = 1）。さらにCAN仕様により、ホルトモードを解除する前に本テストモードを解除してTEC/RECを再び動作可能にする必要があります。

- エラーパッシブモード

RCAN-ETは強制的にエラーパッシブモードにすることができます。

エラーパッシブモードを実行することによってRECの値が変わることはありませんが、一度エラーパッシブモードで動作すると、エラーを受信すればRECの値は通常どおり増加します。本モードでは、TECの値が256に達するとRCAN-ETはバスオフ状態になりますが、本モードを使用するとRCAN-ETはエラーアクティブになることができません。したがってRCAN-ETはバスオフ復帰シーケンスの最後に、エラーアクティブではなくエラーパッシブに遷移します。

メッセージエラー発生時には、すべてのテストモードでIRR13ビットがセットされます。

14.6.3 メッセージ送信シーケンス

(1) メッセージ送信リクエスト

バス上に CAN フレームを送信するシーケンスを図 14.9 に示します。

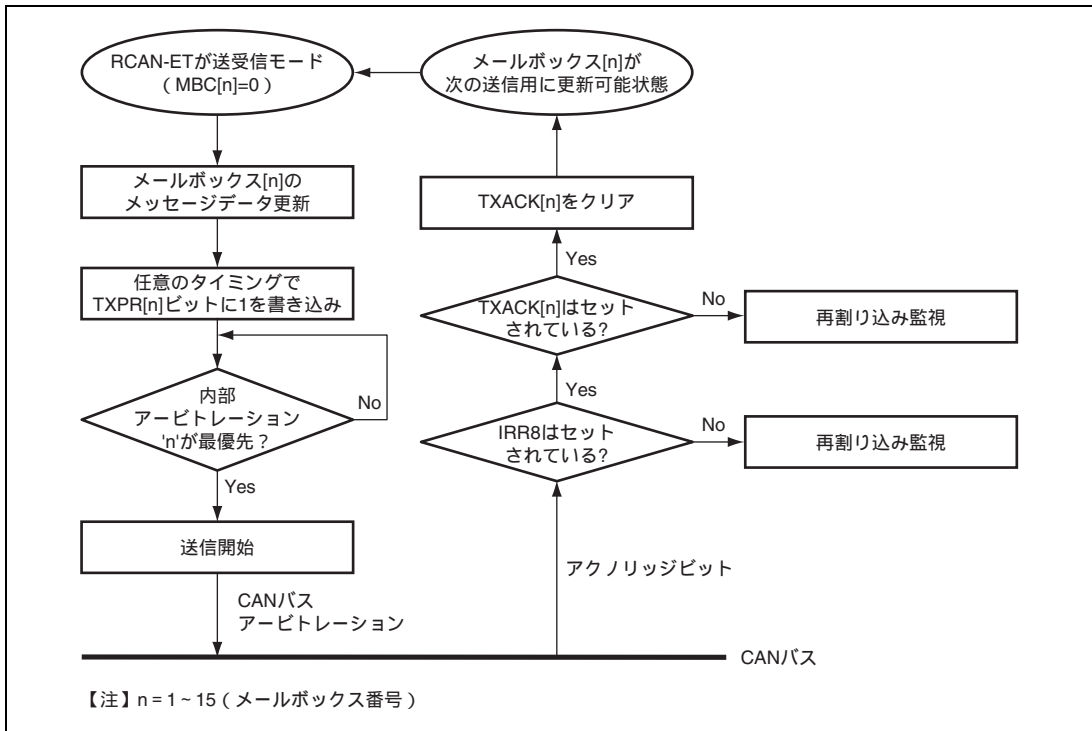


図 14.9 メッセージ送信リクエスト

レジスタの章で説明したとおり、TXACK または ABACK ビットのいずれかがセットされると、IRR8 がセットされることにご注意ください。これはいずれかのメールボックスが送信または送信アボートを終了し、次の送信用に更新可能状態であることを意味しています。一方、GSR2 は現在送信リクエストが発生していない(すべての TXPR フラグがセットされていない)ことを示しています。

14. コントローラエリアネットワーク (RCAN-ET)

(2) 送信用内部アービトレーション

図 14.10 は、RCAN-ET がどのようにしてメッセージ ID に従った順序で送信リクエストされたメッセージのスケジューリングを行うかを説明しています。内部アービトレーションでは、送信リクエストされたメッセージのうち最も優先度の高いものを取り出します。

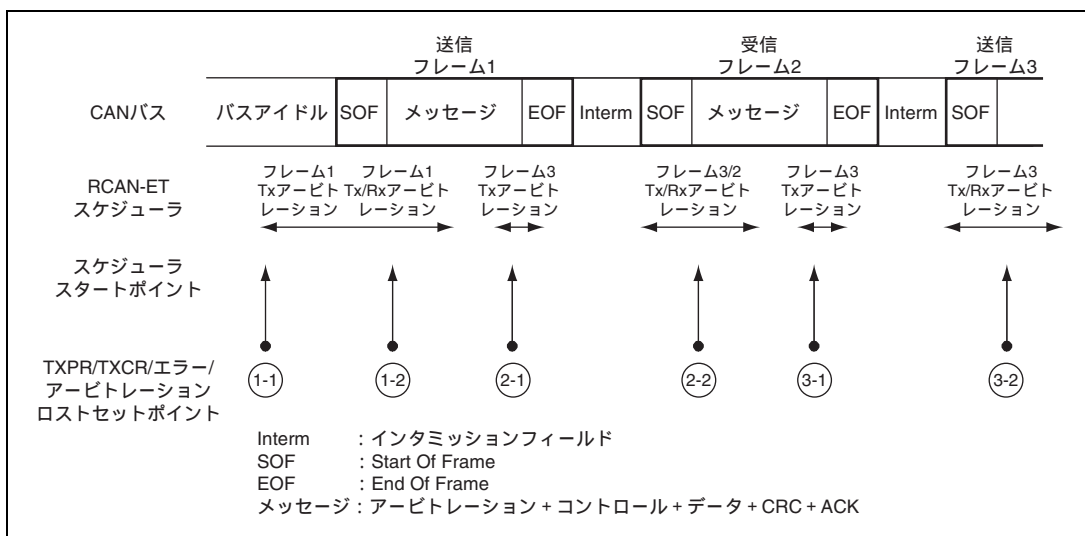


図 14.10 送信用内部アービトレーション

- 1-1 : CAN バスがアイドル状態のとき TXPR ビットがセットされると、ただちに内部アービトレーションを実行し、送信を開始します。
- 1-2 : SOF で送信、受信の両方の動作を開始します。受信フレームでないため、RCAN-ET は送信を行います。
- 2-1 : CRC のデリミタで内部アービトレーションが開始し、次に送信するメッセージを探します。
- 2-2 : SOF で送信、受信の両方の動作を開始します。優先度の高い受信フレームであるため、RCAN-ET は受信を行います。このため、フレーム 3 を送信せずに受信を行います。
- 3-1 : CRC のデリミタで内部アービトレーションが開始し、次に送信するメッセージを探します。
- 3-2 : SOF で送信、受信の両方の動作を開始します。送信フレームの優先度が受信フレームよりも高いため、RCAN-ET は送信を行います。

CAN バス上でエラーが検出された場合、次の送信用の内部アービトレーションは各エラーデリミタの先頭でも行われます。また、オーバーロードフレームの後のエラーデリミタの先頭でも行われます。

送信用アービトレーションは CRC のデリミタで行われるため、ATX=1 のメールボックスがリモートフレームリクエストを受信した場合、そのリクエストに応じて送信するメッセージが送信用アービトレーションに参加するタイミングは、その後のバスアイドルまたは CRC デリミタまたはエラーデリミタになります。

CAN バスの状態により、TXCR がセットされてから最大 1CAN フレームの遅延後に対応するメッセージのアポート処理が行われます。

14.6.4 メッセージ受信シーケンス

メッセージ受信シーケンスを図 14.11 に示します。

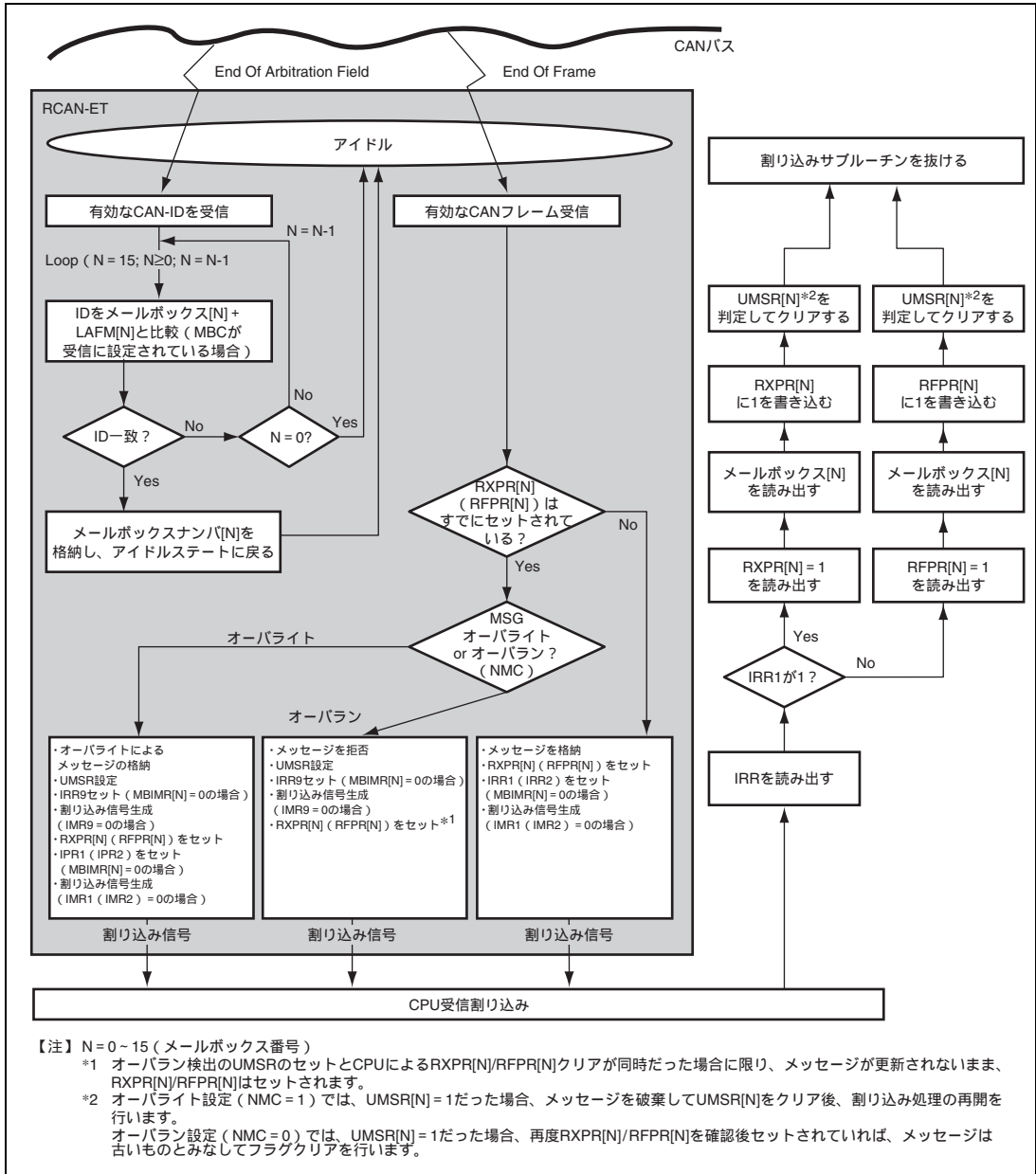


図 14.11 メッセージ受信シーケンス

14. コントローラエリアネットワーク (RCAN-ET)

メッセージを受信中に RCAN-ET がアービトラションフィールドの最後を認識すると、受信した ID とメールボックスに設定された ID の比較を始めます。比較する順序はメールボックス 15 からメールボックス 0 の順です。まず MBC をチェックし、メールボックスが受信に設定されているか調べます。その後 LAFM を読み込み、続いてメールボックス 15 (受信用に設定されている場合) の ID を読み込み、受信した ID と比較します。一致しない場合は、メールボックス 14 (受信用に設定されている場合) に対して同じチェックを行います。一致する ID を見つけると RCAN-ET はそのメールボックス番号 (N) を内部バッファに格納し、サーチを停止した後アイドル状態に戻り EOF (End Of Frame) を待ちます。EOF の 6 ビット目が通知されると、受信メッセージは NMC ビットの設定により書き込まれるか廃棄されます。

通信中に RCAN-ET のメッセージ ID と LAFM の設定を変更することはできません。設定変更する手段の 1 つとしてホルトモードおよびコンフィギュレーションモードがあります。メッセージを対応するメールボックスに書き込むと、メッセージ ID を含めて書き込まれるため、使用する LAFM により CAN-ID が受信メッセージの異なる CAN-ID でオーバーライトされる可能性があります。これはまた、受信したメッセージの ID が複数のメールボックスの ID + LAFM と一致した場合に、受信メッセージは常にメールボックス番号の一番大きいメールボックスに格納され、小さい番号のメールボックスにはメッセージが格納されなくなってしまうことを意味しています。したがって、ID と LAFM の設定値は注意深く選択する必要があります。

図 14.11 に示すデータおよびリモートフレームの受信で、IRR をリードした後に UMSR フラグをクリアするのは、割り込みサービスルーチンの実行中にメッセージが同じメールボックスに格納された新しいメッセージでオーバーライトされることを検出するためです。UMSR の最後のチェック中にオーバーライトが検出された場合、メッセージを破棄し再度読み込む必要があります。

なお、UMSR がセットされたメールボックスがオーバーランモード (NMC=0) に設定されていた場合、メッセージは上書きされずに残っていますが、CAN バス上でモニタされた最新のメッセージのものではありません。

該当するメールボックスの RXPR/RFPR フラグをクリアする前に、そのメールボックスのすべての内容 (メールボックス[N]の領域) を読み出してください。

受信したリモートフレームがデータフレームでオーバーライトされた場合、リモートフレームリクエスト割り込み (IRR2) およびデータフレーム受信割り込み (IRR1) がセットされ、受信フラグ (RXPR、RFPR) もセットされますので、ご注意ください。同様にデータフレームがリモートフレームでオーバーライトされた場合も IRR2 と IRR1 がセットされます。

オーバーランモード (NMC=0) では、これらのフラグは最初のメールボックスによってのみセットされます。このため、最初にデータフレームを受信すると RXPR と IRR1 の両方がアサートされます。その後データフレームを読み出す前にリモートフレームを受信すると、RFPR と IRR2 はセットされません。この場合、対応するメールボックスの UMSR がセットされます。

14.6.5 メールボックスの再設定

メールボックスの再設定が必要な場合は、下記の手順に従ってください。

(1) 送信ボックスの設定変更

下記の2つの場合があります。

- ID、RTR、IDE、LAFM、データ、DLC、NMC、ATX、DARTの変更

MBC = B'000の場合のみ変更可能です。対応するTXPRビットがセットされていないことを確認してください。設定 (MBCを除く) はいつでも変更することができます。

- 送信ボックスから受信ボックスへの設定変更

対応するTXPRビットがセットされていないことを確認してください。ホルトモードまたはリセット状態でのみ変更可能です。RCAN-ETがメッセージを受信中または送信中の場合、ホルト状態に遷移するのに時間がかかることがあります (受信 / 送信が終了するのを待ってからホルト状態に遷移するためです)。また、ホルト状態ではメッセージの送受信ができませんのでご注意ください。

RCAN-ETがバスオフ状態の場合、ホルト状態への遷移はMCRレジスタのビット6およびビット14の設定に従います。

(2) 受信ボックスのID、RTR、IDE、LAFM、データ、DLC、NMC、ATX、DART、MBCの設定変更および受信ボックスから送信ボックスへの変更

設定変更はホルトモードでのみ可能です。メッセージがCANバス上にありRCAN-ETが受信モードの場合、そのメッセージを逃すことはありません。RCAN-ETは現在行っている受信を完了してからホルトモードに遷移します。RCAN-ETがメッセージを受信中または送信中の場合、ホルト状態に遷移するのに時間がかかることがあります (受信 / 送信が終了するのを待ってからホルト状態に遷移するためです)。また、ホルト状態ではメッセージの送受信ができませんのでご注意ください。

RCAN-ETがバスオフ状態の場合、ホルト状態への遷移はMCRレジスタのビット6およびビット14の設定に従います。

14. コントローラエリアネットワーク (RCAN-ET)

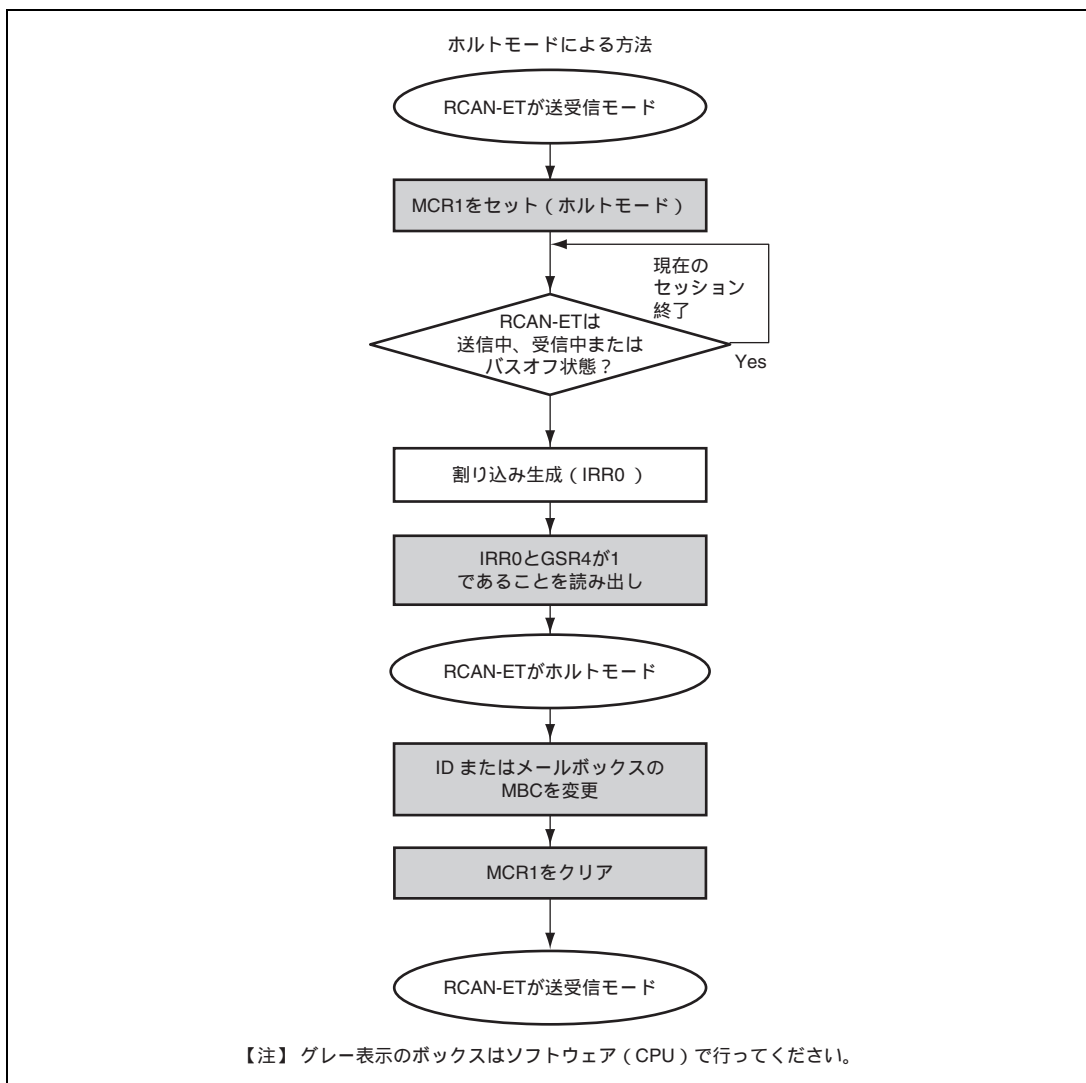


図 14.12 受信ボックスの ID 変更 / 受信ボックスから送信ボックスへの変更

14.7 割り込み要因

RCAN-ET には表 14.9 に示す割り込み要因があります。これらの要因は、パワーオンリセットによるリセット処理割り込み (IRR0) を除き、マスクすることができます。マスクには、メールボックスインタラプトマスクレジスタ 0 (MBIMR0) およびインタラプトマスクレジスタ (IMR) を使用します。各割り込み要求の割り込みベクタについては「5. 割り込みコントローラ」を参照してください。

表 14.9 RCAN-ET の割り込み要因

チャネル	名称	要因	割り込みフラグ	DMAC の起動	
0	ERS_0	エラーパッシブ (TEC 128 または REC 128)	IRR5	不可	
		バスオフ (TEC 256) / バスオフからの復帰	IRR6		
		エラーワーニング (TEC 96)	IRR3		
		エラーワーニング (REC 96)	IRR4		
	OVR_0	メッセージエラー検出	IRR13* ¹		
		リセット / ホルト / CAN スリープ遷移	IRR0		
		オーバロードフレーム送信	IRR7		
		未読メッセージのオーバーライト (オーバーラン)	IRR9		
		CAN スリープ中 CAN バス動作の検出	IRR12		
	SLE_0	メッセージの送信 / 送信取り消し (スロットエンプティ)	IRR8		
	RM1_0* ²	データフレーム受信 /	IRR1* ³		可
RM0_0* ²	リモートフレーム受信	IRR2* ³			
1	ERS_1	エラーパッシブ (TEC 128 または REC 128)	IRR5	不可	
		バスオフ (TEC 256) / バスオフからの復帰	IRR6		
		エラーワーニング (TEC 96)	IRR3		
		エラーワーニング (REC 96)	IRR4		
	OVR_1	メッセージエラー検出	IRR13* ¹		
		リセット / ホルト / CAN スリープ遷移	IRR0		
		オーバロードフレーム送信	IRR7		
		未読メッセージのオーバーライト (オーバーラン)	IRR9		
		CAN スリープ中 CAN バス動作の検出	IRR12		
	SLE_1	メッセージの送信 / 送信取り消し (スロットエンプティ)	IRR8		
	RM1_1* ²	データフレーム受信 /	IRR1* ³		可
	RM0_1* ²	リモートフレーム受信	IRR2* ³		

【注】 *1 テストモードでのみ有効です。

*2 RM0 はメールボックス 0 のリモートフレーム受信フラグ (RFPR0[0])、またはデータフレーム受信フラグ (RXPR0[0]) による割り込み、RM1 はメールボックス n (n=1~15) のリモートフレーム受信フラグ (RFPR0[n]) またはデータフレーム受信フラグ (RXPR0[n]) による割り込みです。

*3 IRR1 はメールボックス 0~15 のデータフレーム受信フラグ、IRR2 はメールボックス 0~15 のリモートフレーム受信フラグです。

14. コントローラエリアネットワーク (RCAN-ET)

14.8 PORT インタフェース

RCAN-ET の端子を制御する RCAN-ET モニタレジスタ (RCANMON) があります。

14.8.1 RCAN-ET モニタレジスタ (RCANMON)

RCAN-ET モニタレジスタ (RCANMON) は送信端子の送信停止制御、RCAN-ET の送受信端子の許可 / 禁止、RCAN-ET の端子の状態をモニタします。本レジスタのアクセスはモジュールストップおよび CAN スリープの影響を受けません。また、ソフトウェアリセット (MCR0) による初期化の影響を受けません。

ビット	7	6	5	4	3	2	1	0
ビット名	-	CTxSTP	RCANE	-	-	-	CTxD	CRxD
初期値 :	0	0	0	0	0	0	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
7	-	0	R/W	リザーブビット ライト時は必ず 0 としてください。
6	CTxSTP	0	R/W	RCAN 送信停止 このビットを 1 にセットすると、RCAN-ET の送信データに関わらず、CTx 端子のデータを 1 にします。
5	RCANE	0	R/W	RCAN-ET 送受信端子イネーブル このビットを 1 にセットすると、RCAN-ET の CTx 端子、CRx 端子を有効にします。
4~2	-	すべて 0	R/W	リザーブビット ライト時は必ず 0 としてください。
1	CTxD	不定	R	RCAN 送信データモニタ リードすると CTx の状態が読み出されます。ライトは無効です。
0	CRxD	不定	R	RCAN 受信データモニタ リードすると CRx の状態が読み出されます。ライトは無効です。

RCANMON 各ビットの PORT インタフェースの概要を図 14.13 に示します。

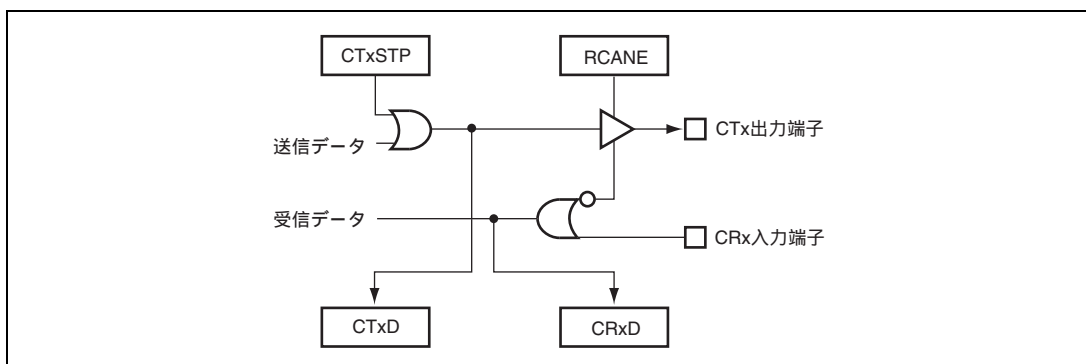


図 14.13 PORT インタフェース概要

14.9 CAN バスインタフェース

本 LSI と CAN バスを接続するためにはバストランシーバ IC が必要になります。トランシーバ IC にはルネサス HA13721 を推奨します。HA13721 以外の製品を使用する場合は、HA13721 とコンパチブルな製品を使用してください。図 14.14 に接続例を示します。

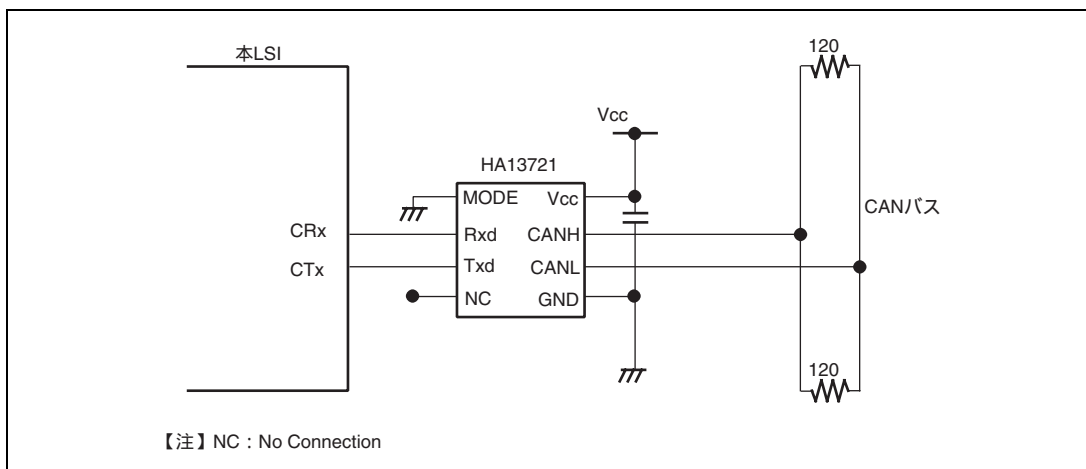


図 14.14 HA13721 を用いた高速インタフェース

14.10 使用上の注意事項

14.10.1 モジュールストップモード

モジュールストップコントロールレジスタ (MSTPCRC) により、RCAN-ET に対するクロックの動作 / 停止を設定することが可能です。初期値では RCAN-ET のクロックは停止しています。RCAN-ET モニタレジスタ (RCANMON) を除いたレジスタのアクセスは、モジュールストップモードを解除してから行ってください。

14.10.2 リセット

RCAN-ET のリセットにはハードウェアリセットとソフトウェアリセットがあります。

- ハードウェアリセット

パワーオンリセット、ハードウェアスタンバイ、モジュールストップ、ソフトウェアスタンバイでは RCAN-ET は初期化されます。

- ソフトウェアリセット

マスタコントロールレジスタ (MCR) の MCR0 ビットにより、MCR0 ビット以外のレジスタおよび CAN 通信機能が初期化されます。

リセット時にはインタラプトリクエストレジスタ (IRR) の IRR0 ビットが初期化によりセットされますので、リセットシーケンスに示されたコンフィギュレーションモード時にクリアしてください。

メールボックスのメッセージコントロールフィールド 1 (CONTROL1) を除いた領域は RAM で構成されていますので、リセットにより初期化されません。パワーオンリセット後は、リセットシーケンスに示されたコンフィギュレーションモード時にすべてのメールボックスを初期設定してください。

14.10.3 CAN スリープモード

CAN スリープモードでは、主要な部分のクロックをモジュール内部で停止しています。このため、CAN スリープモードで MCR、GSR、IRR、IMR レジスタ以外へのアクセスはしないでください。

14.10.4 レジスタアクセス

RCAN-ET 内部の CAN 通信機能が CAN バス受信フレームをメールボックスに格納している期間に、メールボックス領域をアクセスすると 0~5 周辺バスサイクル分のウェイトが発生します。

14.10.5 割り込み

メールボックス0受信割り込みは、表 14.9 に示したように DMAC の起動が可能です。メールボックス0受信割り込みを起動要因にして DMA 転送時の割り込み要因をクリアする設定を選択した場合には、ブロック転送モードなどを利用して、メールボックス0のメッセージコントロールフィールド1 (CONTROL1) までリードしてください。

CPU によって表 14.9 の割り込み要因フラグをクリアするときは、割り込み要因フラグのクリアから割り込みコントローラでの割り込みがクリアされるまでの間に CPU の RTE 命令が実行されるのを防ぐため、割り込みサービスルーチン内でフラグをクリアした後にフラグをリードしてください。

14. コントローラエリアネットワーク (RCAN-ET)

15. シンクロナスシリアルコミュニケーションユニット (SSU)

本 LSI は独立した 2 チャンネルのシンクロナスシリアルコミュニケーションユニット (SSU : Synchronous Serial communication Unit 以下 SSU と称します。) を備えています。SSU には、本 LSI がマスタデバイスとして外部にクロックを出力し同期シリアル通信を行うマスタモードと、外部デバイスからのクロックを入力し同期シリアル通信を行うスレーブモードがあります。また、クロック極性とクロック位相の異なるデバイス間との同期シリアル通信が可能です。図 15.1 に SSU のブロック図を示します。

15.1 特長

- SSUモードとクロック同期式通信モードを選択可能
- マスタモードとスレーブモードが選択可能
- 標準モードと双方向モードが選択可能
- クロック位相とクロック極性の異なる他のデバイスとの同期シリアル通信が可能
- 送受信データ長を8ビット / 16ビット / 24ビット / 32ビットで選択可能
- 全二重通信が可能
送信と受信を同時に実行可能なシフトレジスタを装備
- 連続シリアル通信が可能
- LSBファースト方式 / MSBファースト方式が選択可能
- クロックソースとして7種類の内部クロック (P /4、P /8、P /16、P /32、P /64、P /128、P /256) と外部クロックを選択可能
- 割り込み要因 : 5種類
送信終了、送信データエンpty、受信データフル、オーバランエラー、コンフリクトエラーの5種類の割り込み要因
- モジュールストップモードの設定が可能

15. シンクロナスシリアルコミュニケーションユニット (SSU)

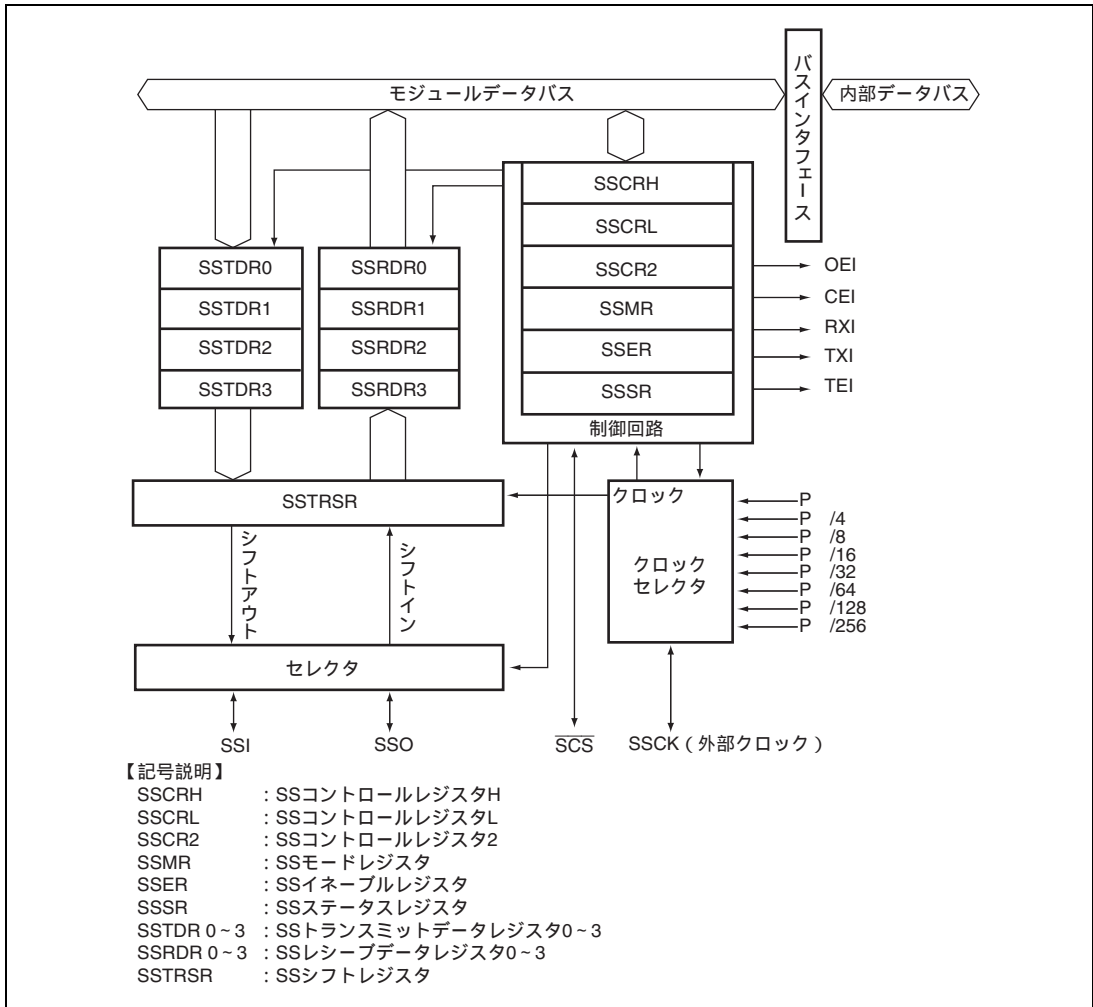


図 15.1 SSU のブロック図

15.2 入出力端子

SSU には、表 15.1 の入出力端子があります。

表 15.1 端子構成

チャンネル	端子名*	入出力	機能
0	SSCK0	入出力	チャンネル0のSSUクロック入出力端子
	SSI0	入出力	チャンネル0のSSUデータ入出力端子
	SSO0	入出力	チャンネル0のSSUデータ入出力端子
	$\overline{\text{SCS0}}$	入出力	チャンネル0のSSUチップセレクト入出力端子
1	SSCK1	入出力	チャンネル1のSSUクロック入出力端子
	SSI1	入出力	チャンネル1のSSUデータ入出力端子
	SSO1	入出力	チャンネル1のSSUデータ入出力端子
	$\overline{\text{SCS1}}$	入出力	チャンネル1のSSUチップセレクト入出力端子

【注】 * 本文中ではチャンネルを省略し、それぞれ SSCK、SSI、SSO、 $\overline{\text{SCS}}$ と略称します。

15.3 レジスタの説明

SSU には以下のレジスタがあります。

チャンネル0

- SSコントロールレジスタH_0 (SSCRH_0)
- SSコントロールレジスタL_0 (SSCRL_0)
- SSモードレジスタ_0 (SSMR_0)
- SSイネーブルレジスタ_0 (SSER_0)
- SSステータスレジスタ_0 (SSSR_0)
- SSコントロールレジスタ2_0 (SSCR2_0)
- SSトランスミットデータレジスタ0_0 (SSTDR0_0)
- SSトランスミットデータレジスタ1_0 (SSTDR1_0)
- SSトランスミットデータレジスタ2_0 (SSTDR2_0)
- SSトランスミットデータレジスタ3_0 (SSTDR3_0)
- SSレシーブデータレジスタ0_0 (SSRDR0_0)
- SSレシーブデータレジスタ1_0 (SSRDR1_0)
- SSレシーブデータレジスタ2_0 (SSRDR2_0)
- SSレシーブデータレジスタ3_0 (SSRDR3_0)
- SSシフトレジスタ_0 (SSTRSR_0)

15. シンクロナスシリアルコミュニケーションユニット (SSU)

チャンネル 1

- SSコントロールレジスタH_1 (SSCRH_1)
- SSコントロールレジスタL_1 (SSCRL_1)
- SSモードレジスタ_1 (SSMR_1)
- SSイネーブルレジスタ_1 (SSER_1)
- SSステータスレジスタ_1 (SSSR_1)
- SSコントロールレジスタ2_1 (SSCR2_1)
- SSトランスミットデータレジスタ0_1 (SSTDR0_1)
- SSトランスミットデータレジスタ1_1 (SSTDR1_1)
- SSトランスミットデータレジスタ2_1 (SSTDR2_1)
- SSトランスミットデータレジスタ3_1 (SSTDR3_1)
- SSレシーブデータレジスタ0_1 (SSRDR0_1)
- SSレシーブデータレジスタ1_1 (SSRDR1_1)
- SSレシーブデータレジスタ2_1 (SSRDR2_1)
- SSレシーブデータレジスタ3_1 (SSRDR3_1)
- SSシフトレジスタ_1 (SSTRSR_1)

15.3.1 SS コントロールレジスタ H (SSCRH)

SSCRH は、マスタ/スレーブデバイス選択、双方向モードイネーブル、SSO 端子の出力値選択、SSCK 端子選択、 \overline{SCS} 端子選択を設定します。

ビット	7	6	5	4	3	2	1	0
ビット名	MSS	BIDE	—	SOL	SOLP	SCKS	CSS1	CSS0
初期値:	0	0	0	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	MSS	0	R/W	マスタ/スレーブデバイス選択 SSU をマスタモードとして使用するか、スレーブモードとして使用するかを選択します。マスタモードで使用する場合は、SSCK 端子から転送クロックを出力します。SSSR の CE ビットがセットされた場合、このビットは自動的にクリアされます。 0: スレーブモードを選択 1: マスタモードを選択

15. シンクロナスシリアルコミュニケーションユニット (SSU)

ビット	ビット名	初期値	R/W	説明
6	BIDE	0	R/W	<p>双方向モードイネーブル</p> <p>シリアルデータ入力端子、出力端子を2端子使用するか、1端子のみ使用する かを選択します。ただし、双方向モードを選択した場合、送受信を同時に行 うことはできません。詳細は、「15.4.3 データ入出力端子とソフトレジスタ の関係」を参照してください。</p> <p>0: 標準モード(データ入力端子とデータ出力端子の2端子を使用して通信) 1: 双方向モード(データ入力とデータ出力を1端子のみで通信)</p>
5	-	0	R/W	<p>リザーブビット</p> <p>リードすると常に0が読み出されます。ライトする値は常に0にしてくださ い。</p>
4	SOL	0	R/W	<p>シリアルデータ出力値選択</p> <p>送信完了後のシリアルデータ出力は、送信データの最終ビットの値を保存し ますが、送信前または、送信後にシリアルデータの出力レベルを変更できま す。出力レベルを変更する場合は、SOLP ビットを0にして MOV 命令で行っ てください。なおデータ転送中にこのビットにライトすると誤動作の原因と なりますので、送信中は操作しないでください。</p> <p>0: シリアルデータの出力を Low レベルに変更 1: シリアルデータの出力を High レベルに変更</p>
3	SOLP	1	R/W	<p>SOL ビットライトプロテクト</p> <p>シリアルデータの出力レベルを変更する場合には、SOL=1かつ SOLP=0、 または SOL=0かつ SOLP=0 を MOV 命令で行ってください。</p> <p>0: SOL の値によって出力レベルを変更可能 1: SOL の値によって出力レベルを変更不可能 リード時は常に1が読み出されます。</p>
2	SCKS	0	R/W	<p>SSCK 端子選択</p> <p>SSCK 端子をポートとして機能させるか、シリアルクロック端子として機能 させるかを選択します。SSCK 端子をシリアルクロック端子として用いる場 合には、このビットを1にセットしてください。</p> <p>0: I/O ポートとして機能 1: シリアルクロック端子として機能</p>
1 0	CSS1 CSS0	0 0	R/W R/W	<p>\overline{SCS} 端子選択</p> <p>\overline{SCS} 端子をポートとして機能させるか、\overline{SCS} 入力または \overline{SCS} 出力として機 能させるかを選択します。ただし、MSS=0のときは、CSS1、CSS0 ビット の設定にかかわらず \overline{SCS} 端子は、入力端子として機能します。</p> <p>00: I/O ポート 01: \overline{SCS} 入力として機能 10: \overline{SCS} 自動入出力機能(転送前、転送後は \overline{SCS} 入力、転送中は Low 出力) 11: \overline{SCS} 自動出力機能(転送前、転送後は High 出力、転送中は Low 出力)</p>

15. シンクロナスシリアルコミュニケーションユニット (SSU)

15.3.2 SS コントロールレジスタ L (SSCRL)

SSCRL は、動作モード、ソフトウェアリセット、送受信データのデータ長を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	-	SSUMS	SRES	-	-	-	DATS1	DATS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	-	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
6	SSUMS	0	R/W	SSU モードとクロック同期式通信モードを選択します。 0: SSU モード 1: クロック同期式通信モード
5	SRES	0	R/W	ソフトウェアリセット 本ビットを1にセットすると SSU 内部シーケンサを強制的にリセットします。その後、本ビットは自動的にクリアされ、SSSR の ORER、TEND、TDRE、RDRF、CE の各ビット、および SSER の TE、RE ビットが初期化されます。その他の SSU 内部レジスタ値は保持されます。 なお、転送を途中で中断したい場合には、本ビットに1を書き込んで、内部シーケンサをリセットしてください。
4-2	-	すべて0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
1 0	DATS1 DATS0	0 0	R/W R/W	送受信データ長選択 シリアルデータのデータ長を選択します。 00: 8 ビットデータ長 01: 16 ビットデータ長 10: 32 ビットデータ長 11: 24 ビットデータ長

15. シンクロナスシリアルコミュニケーションユニット (SSU)

15.3.3 SS モードレジスタ (SSMR)

SSMR は、MSB ファースト / LSB ファースト選択、クロック極性選択、クロック位相選択、転送クロックレートを選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	MLS	CPOS	CPHS	-	-	CKS2	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	MLS	0	R/W	MSB ファースト / LSB ファースト選択 シリアルデータを MSB ファーストで転送するか、LSB ファーストで転送するかを選択します。 0 : LSB ファースト 1 : MSB ファースト
6	CPOS	0	R/W	クロック極性選択 SSCK クロックの極性を選択します。 0 : アイドル時に High 出力、アクティブ時に Low 出力 1 : アイドル時に Low 出力、アクティブ時に High 出力
5	CPHS	0	R/W	クロック位相選択 (SSU モード時のみ有効) SSCK クロックの位相を選択します。 0 : 最初のエッジでデータ変化 1 : 最初のエッジでデータラッチ
4、3	-	すべて 0	R/W	リザーブビット リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
2	CKS2	0	R/W	転送クロックレート選択 内部クロックを選択した場合の転送クロックレート (プリスケアラ分周比) を選択します。 000 : リザーブ 001 : P /4 010 : P /8 011 : P /16 100 : P /32 101 : P /64 110 : P /128 111 : P /256
1	CKS1	0	R/W	
0	CKS0	0	R/W	

15. シンクロナスシリアルコミュニケーションユニット (SSU)

15.3.4 SS イネーブルレジスタ (SSER)

SSER は、トランスミットイネーブル、レシーブイネーブル、および割り込み要求イネーブルを設定します。

ビット	7	6	5	4	3	2	1	0
ビット名	TE	RE	—	—	TEIE	TIE	RIE	CEIE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TE	0	R/W	トランスミットイネーブル このビットを 1 にセットすると、送信動作が可能になります。
6	RE	0	R/W	レシーブイネーブル このビットを 1 にセットすると、受信動作が可能になります。
5, 4	-	すべて 0	R/W	リザーブビット リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
3	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル このビットを 1 にセットすると TEI 割り込み要求がイネーブルになります。
2	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを 1 にセットすると TXI 割り込み要求がイネーブルになります。
1	RIE	0	R/W	レシーブインタラプトイネーブル このビットを 1 にセットすると RXI 割り込み、および OEI 割り込み要求がイネーブルになります。
0	CEIE	0	R/W	コンフリクトエラーインタラプトイネーブル このビットを 1 にセットすると CEI 割り込み要求がイネーブルになります。

15. シンクロナスシリアルコミュニケーションユニット (SSU)

15.3.5 SS ステータスレジスタ (SSSR)

SSSR は、各種割り込みのステータスフラグレジスタです。

ビット	7	6	5	4	3	2	1	0
ビット名	-	ORER	-	-	TEND	TDRE	RDRF	CE
初期値:	0	0	0	0	0	1	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	-	0	R/W	リザーブビット リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
6	ORER	0	R/W	オーバランエラー RDRF=1 の状態で、次のデータを受信するとオーバランエラーが発生し、異常終了したことを示します。SSRDR は、オーバランエラーが発生する前の 1 フレーム分の受信データを保持し、後から受信したデータは失われます。さらに ORER=1 にセットされた状態でそれ以降のシリアル受信を続けることはできません。またシリアル送信も続けることはできません。 [セット条件] • RDRF=1 の状態で、次のシリアル受信の 1 バイトが完了したとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください)
5, 4	-	すべて 0	R/W	リザーブビット リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
3	TEND	0	R/W	トランスミットエンド [セット条件] • SSCR2 の TENDSTS が 0 のとき、TDRE = 1 の状態で、送信データの最後尾ビットの送信時 • SSCR2 の TENDSTS が 1 のとき、TDRE = 1 の状態で、送信データの最後尾ビットの送信後 [クリア条件] • TEND=1 の状態をリードした後、TEND フラグに 0 をライトしたとき • SSTDR ヘデータをライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください)

15. シンクロナスシリアルコミュニケーションユニット (SSU)

ビット	ビット名	初期値	R/W	説明
2	TDRE	1	R/W	<p>トランスミットデータエンプティ</p> <p>SSTDR 内のデータの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SSER の TE が 0 のとき • SSTDR から SSTRSR にデータが転送され、SSTDR にデータライトが可能になったとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TDRE = 1 の状態をリードした後、TDRE フラグに 0 をライトしたとき • TE = 1 で、SSTDR ヘデータをライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください)
1	RDRF	0	R/W	<p>レシーブデータレジスタフル</p> <p>SSRDR 内のデータの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • シリアル受信が正常終了し、SSTRSR から SSRDR ヘ受信データが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • RDRF = 1 の状態をリードした後、RDRF フラグに 0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください) • SSRDR から受信データをリードしたとき
0	CE	0	R/W	<p>コンフリクトエラー / インコンプリートエラー</p> <p>SSUMS = 0 (SSU モード)、MSS = 1 (マスタデバイス) の状態で、外部より \overline{SCS} から 0 が入力されたとき、コンフリクトエラーが発生したことを示します。また、SSUMS = 0 (SSU モード)、MSS = 0 (スレーブデバイス) の状態で、\overline{SCS} 端子が 1 になったとき、マスタデバイスが転送動作を打ち切ったと判断し、インコンプリートエラーを発生させます。CE = 1 にセットされた状態で、それ以降のシリアル受信を続けることはできません。また、シリアル送信を続けることもできません。再転送を開始する前に必ず SSCRL の SRES を 1 にセットして、内部シーケンサをリセットしてください。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • マスタデバイス (SSCRH の MSS = 1) のとき \overline{SCS} 端子に Low レベルが入力されたとき • スレーブデバイス (SSCRH の MSS = 0) のとき転送途中で \overline{SCS} 端子が 1 になったとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください)

15. シンクロナスシリアルコミュニケーションユニット (SSU)

15.3.6 SS コントロールレジスタ 2 (SSCR2)

SSCR2 は、SSO 端子、SSI 端子、SSCK 端子、 $\overline{\text{SCS}}$ 端子のオープンドレイン出力、 $\overline{\text{SCS}}$ 端子のアサートタイミング、SSO 端子のデータ出力タイミング、TEND ビットのセットタイミングを設定するレジスタです。

ビット	7	6	5	4	3	2	1	0
ビット名	SDOS	SSCKOS	SCSOS	TENDSTS	SCSATS	SSODTS	-	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	SDOS	0	R/W	シリアルデータオープンドレイン出力選択 シリアルデータ出力端子を CMOS 出力にするか、NMOS オープンドレイン出力にするかを選択します。シリアルデータ出力端子はレジスタ設定値によって変わります。詳細は「15.4.3 データ入出力端子とシフトレジスタの関係」を参照してください。 0 : CMOS 出力 1 : NMOS オープンドレイン出力
6	SSCKOS	0	R/W	SSCK 端子のオープンドレイン出力選択 SSCK 端子を CMOS 出力にするか、NMOS オープンドレイン出力にするかを選択します。 0 : CMOS 出力 1 : NMOS オープンドレイン出力
5	SCSOS	0	R/W	$\overline{\text{SCS}}$ 端子のオープンドレイン出力選択 $\overline{\text{SCS}}$ 端子を CMOS 出力にするか、NMOS オープンドレイン出力にするかを選択します。 0 : CMOS 出力 1 : NMOS オープンドレイン出力
4	TENDSTS	0	R/W	TEND ビットのセットタイミングを選択 (SSU モード、マスタ設定時のみ有効) 0 : 最後尾ビットの送信中に TEND ビットをセット 1 : 最後尾ビットの送信後に TEND ビットをセット
3	SCSATS	0	R/W	$\overline{\text{SCS}}$ 端子のアサートタイミングを選択 (SSU モード、マスタ設定時のみ有効) 0 : t_{LEAD} 、 t_{LAG} の出力期間の min を $1/2 \times t_{\text{SUcyt}}$ とする 1 : t_{LEAD} 、 t_{LAG} の出力期間の min を $3/2 \times t_{\text{SUcyt}}$ とする
2	SSODTS	0	R/W	SSO 端子のデータ出力タイミングを選択 (SSU モード、マスタ設定時のみ有効) 0 : BIDE = 0、MSS = 1、TE = 1、または BIDE = 1、TE = 1、RE = 0 のとき SSO 端子はデータを出力 1 : BIDE = 0、MSS = 1、TE = 1、または BIDE = 1、TE = 1、RE = 0 のとき、かつ $\overline{\text{SCS}}$ 端子の Low レベル期間中で SSO 端子はデータを出力

15. シンクロナスシリアルコミュニケーションユニット (SSU)

ビット	ビット名	初期値	R/W	説明
1, 0	-	すべて0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。

15.3.7 SS トランスミットデータレジスタ 0~3 (SSTDR0~SSTDR3)

SSTDR は、送信データを格納するための 8 ビットレジスタです。SSCRL の DATS1、DATS0 ビットの設定により、8 ビットデータ長を選択した場合は SSTDR0、16 ビットデータ長を選択した場合は SSTDR0、SSTDR1、24 ビットデータ長を選択した場合は SSTDR0、SSTDR1、SSTDR2、32 ビットデータ長を選択した場合は SSTDR0、SSTDR1、SSTDR2、SSTDR3 が有効になります。有効になっていない SSTDR へはアクセスしないでください。

SSU は、SSTRSR の空きを検出すると、SSTDR にライトされた送信データを SSTRSR に転送してシリアル送信を開始します。SSTRSR のシリアルデータ送信中に SSTDR に次のデータをライトしておく、連続シリアル送信ができます。

SSTDR は CPU と DMAC から常にリード/ライト可能ですが、シリアル通信を確実にを行うためには、SSTDR へのライトは、必ず SSSR の TDRE が 1 にセットされていることを確認してから行ってください。

・SSTDR0

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

・SSTDR1

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

・SSTDR2

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

・SSTDR3

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15.3.8 SS レシーブデータレジスタ 0~3 (SSRDR0~SSRDR3)

SSRDR は、受信データを格納するための 8 ビットレジスタです。SSCRL の DATS1、DATS0 ビットの設定により、8 ビットデータ長を選択した場合は SSRDR0、16 ビットデータ長を選択した場合は SSRDR0、SSRDR1、24 ビットデータ長を選択した場合は SSRDR0、SSRDR1、SSRDR2、32 ビットデータ長を選択した場合は SSRDR0、SSRDR1、SSRDR2、SSRDR3 が有効になります。有効になっていない SSRDR へはアクセスしないでください。

SSU は、1 バイトのデータ受信を完了すると、SSTRSR から SSRDR へ受信したシリアルデータを転送して格納します。この後、SSTRSR は受信可能となります。このように、SSTRSR と SSRDR はダブルバッファになっているため、連続受信動作が可能です。

SSRDR のリードは、SSSR レジスタの RDRF ビットが 1 にセットされていることを確認して行ってください。SSRDR はリード専用レジスタです。CPU からライトすることはできません。

・ SSRDR0								
ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
・ SSRDR1								
ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
・ SSRDR2								
ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
・ SSRDR3								
ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

15.3.9 SS シフトレジスタ (SSTRSR)

SSTRSR は、シリアルデータを送受信するためのシフトレジスタです。

SSTDTR から SSTRSR に送信データが転送される際のビット 0 には、SSMR の MLS=0 のとき SSTDR のビット 0 が転送され (LSB ファースト通信)、MLS=1 のとき SSTDR のビット 7 が転送されます (MSB ファースト通信)。その後、SSTRSR の LSB (ビット 0) から順に SSO 端子にデータを送り出すことでシリアルデータ送信を行います。

15. シンクロナスシリアルコミュニケーションユニット (SSU)

また、受信時は、SSI 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順に SSTRSR にセットします。1 バイトのデータ受信を完了すると、SSTRSR のデータを自動的に SSRDR へ転送します。SSTRSR は CPU から直接アクセスすることはできません。

15.4 動作説明

15.4.1 転送クロック

転送クロックは 7 種類の内部クロックと外部クロックから選択できます。まず、本モジュールを使用する場合は SSCRH の SCKS を 1 にセットして SSCK 端子をシリアルクロックとして選択しておく必要があります。SSCRH の MSS = 1 のときは、内部クロックが選択され SSCK 端子が出力になります。転送が開始されると SSMR の CKS2 ~ CKS0 に設定された転送レートのクロックが SSCK 端子から出力されます。MSS = 0 のときは外部クロックが選択され、SSCK 端子は入力端子になります。

15.4.2 クロックの位相、極性とデータの関係

SSCRL の SSUMS = 0 のとき、SSMR の CPOS と CPHS の組み合わせでクロックの位相、極性、および転送データの関係が変わります。これらの関係を図 15.2 に示します。SSUMS = 1 のとき、CPOS の設定は有効ですが、CPHS の設定は無効となります。

なお、SSMR の MLS の設定により、MSB ファーストで転送するか LSB ファーストで転送するかを選択できます。MLS = 0 のときは LSB から MSB の順で転送されます。また、MLS = 1 のときは、MSB から LSB の順で転送されます。

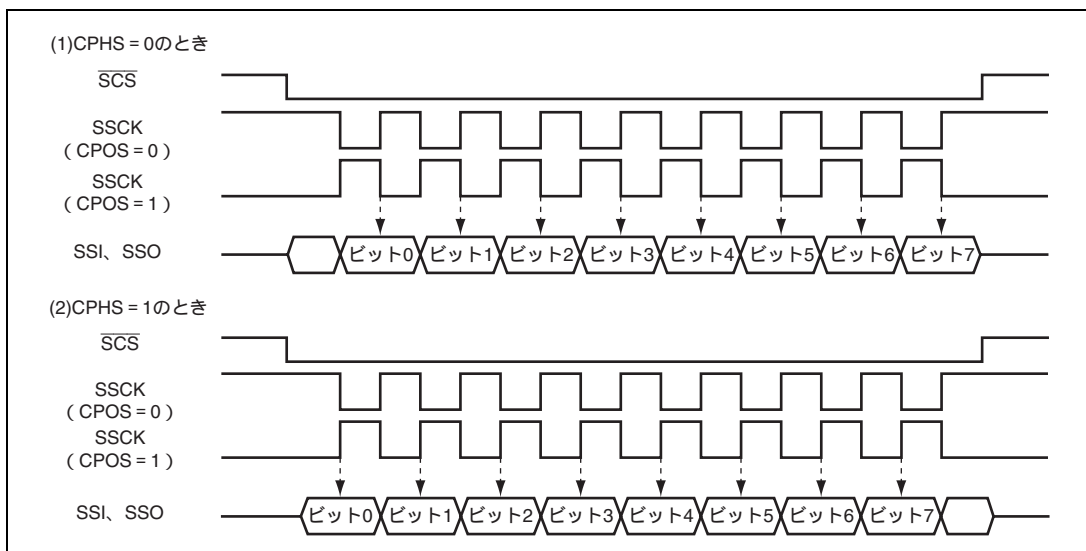


図 15.2 クロックの位相、極性、およびデータの関係

15.4.3 データ入出力端子とシフトレジスタの関係

SSCRH の MSS および BIDE と、SSCRL の SSUMS との組み合わせにより、データ入出力端子と SS シフトレジスタ (SSTRSR) の接続関係が変わります。これらの接続関係を図 15.3 に示します。

SSU は、BIDE = 0、MSS = 1 (標準、マスタモード) で動作しているとき、SSO 端子からシリアルデータを送信し、SSI 端子からシリアルデータを受信します (図 15.3 (1))。また、BIDE = 0、MSS = 0 (標準、スレーブモード) で動作しているとき、SSI 端子からシリアルデータを送信し、SSO 端子からシリアルデータを受信します (図 15.3 (2))。

BIDE = 1 (双方向モード) では、マスタモード、スレーブモードにかかわらず、SSO 端子からシリアルデータの送信または受信を行います (図 15.3 (3)、図 15.3 (4))。

ただし、TE と RE を同時に 1 にセットしての送受信同時動作はできません。必ず、TE または RE のどちらか 1 つを選択してください。

SSUMS = 1 で動作しているとき、SSO 端子からシリアルデータを送信し、SSI 端子からシリアルデータを受信します。MSS = 1 のときは SSCK 端子から内部クロックを出力し、MSS = 0 のときは、SSCK 端子は入力端子となります (図 15.3 (5)、図 15.3 (6))。

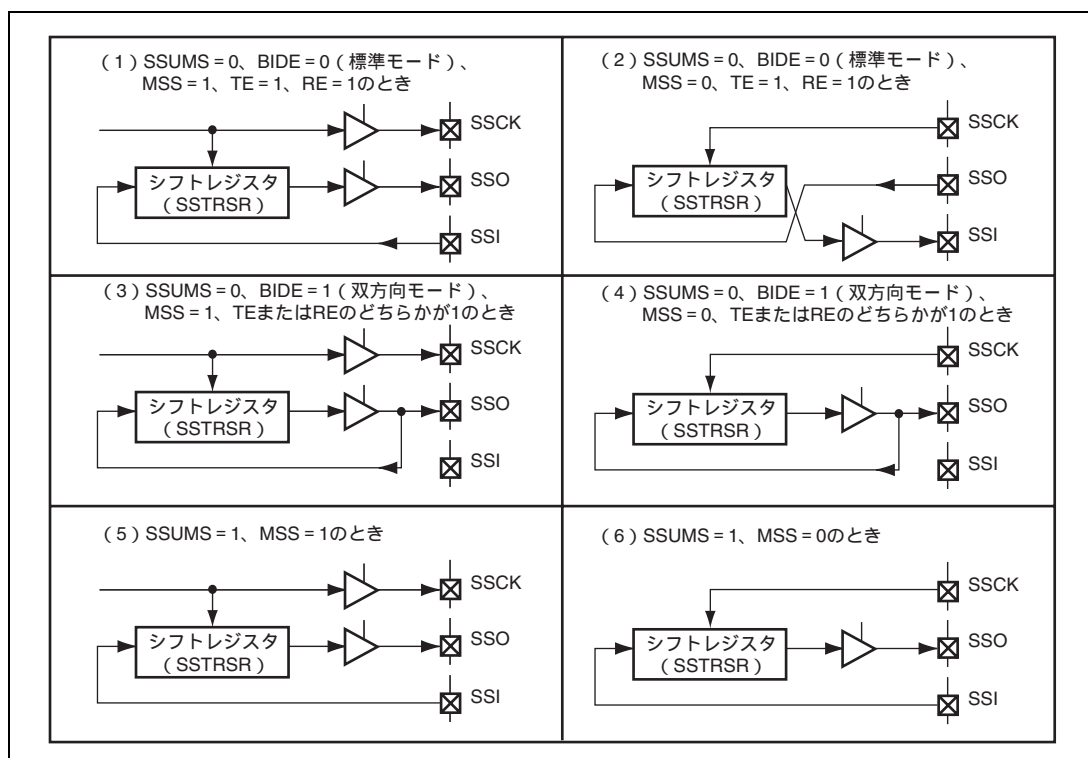


図 15.3 データ入出力端子とシフトレジスタの関係

15. シンクロナスシリアルコミュニケーションユニット (SSU)

15.4.4 各通信モードと端子機能

SSU は各通信モードとレジスタの設定により入出力端子 (SSI、SSO、SSCK、 \overline{SCS}) の機能を切り替えます。入力端子として使用する場合、入力バッファコントロールレジスタ (ICR) の対応する端子のビットを 1 にセットしてください。各通信モードと入出力端子の関係を表 15.2 ~ 表 15.4 に示します。

表 15.2 各通信モードと SSI、SSO 端子の状態

通信モード	レジスタ状態					端子状態	
	SSUMS	BIDE	MSS	TE	RE	SSI	SSO
SSU 通信モード	0	0	0	0	1	-	入力
				1	0	出力	-
			1	1	出力	入力	
				0	1	入力	-
				1	0	-	出力
				1	1	入力	出力
SSU (双方向) 通信モード	0	1	0	0	1	-	入力
				1	0	-	出力
			1	0	1	-	入力
				1	0	-	出力
クロック同期式 通信モード	1	0	0	0	1	入力	-
				1	0	-	出力
			1	1	入力	出力	
				0	1	入力	-
				1	0	-	出力
				1	1	入力	出力

【記号説明】

- : SSU として端子を用いない (I/O ポートとして使用可能)

15. シンクロナスシリアルコミュニケーションユニット (SSU)

表 15.3 各通信モードと SSCK 端子の状態

通信モード	レジスタ状態			端子状態
	SSUMS	MSS	SCKS	SSCK
SSU 通信モード	0	0	0	-
			1	入力
	1	0	0	-
			1	出力
クロック同期式 通信モード	1	0	0	-
			1	入力
	1	1	0	-
			1	出力

【記号説明】 - : SSU として端子を用いない (I/O ポートとして使用可能)

表 15.4 各通信モードと \overline{SCS} 端子の状態

通信モード	レジスタ状態				端子状態
	SSUMS	MSS	CSS1	CSS0	\overline{SCS}
SSU 通信モード	0	0	*	*	入力
		1	0	0	-
	0		1	入力	
	1		0	自動入出力	
	1	1	1	出力	
クロック同期式 通信モード	1	*	*	*	-

【記号説明】 * : Don't care

- : SSU として端子を用いない (I/O ポートとして使用可能)

15.4.5 SSU モード

SSU モードは、クロックライン (SSCK)、データ入力ライン (SSI または SSO)、データ出力ライン (SSI または SSO)、チップセレクト (\overline{SCS}) の 4 本のバスを使用してデータ通信を行います。

また、データ入力ラインとデータ出力ラインを 1 端子で行う双方向モードも対応しています。

(1) SSU モードの初期設定

SSU モードの初期設定例を図 15.4 に示します。データの送信 / 受信前には、SSER の TE および RE を 0 にクリアして初期設定を行ってください。

【注】 動作モード、通信フォーマットを変更する場合は、必ず TE および RE を 0 にクリアしてから行ってください。TE を 0 にクリアすると TDRE は 1 にセットされますが、RE を 0 にクリアしても RDRF、ORER の各フラグおよび SSRDR の内容は保持されていますので注意してください。

15. シンクロナスシリアルコミュニケーションユニット (SSU)

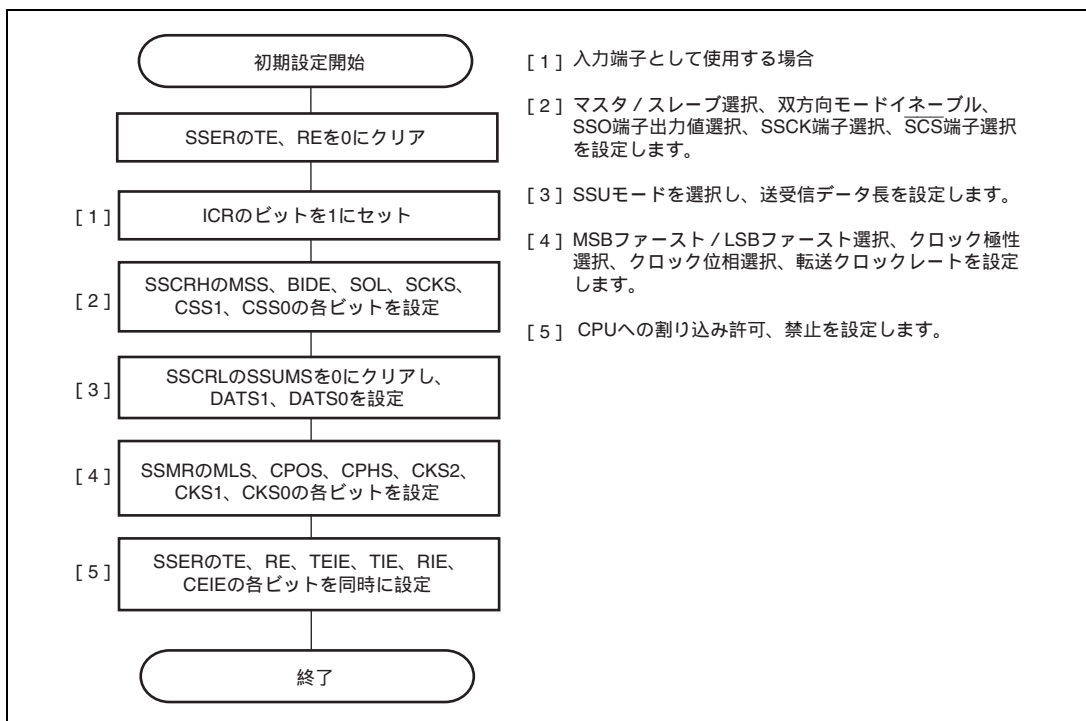


図 15.4 SSU モードの初期設定例

(2) データ送信

図 15.5 に送信時の動作例を、図 15.6 にデータ送信のフローチャートの例を示します。

データ送信時に SSU は以下のように動作します。

SSU をマスタデバイスに設定すると、転送クロックとデータを出力します。スレーブデバイスに設定すると、SCS 端子に Low レベルが入力され、SSCK 端子から転送クロックが入力されると、この転送クロックに同期してデータを出力します。

SSU は初期設定完了後、SSTDR に送信データをライトすると、自動的に SSSR の TDRE が 0 にクリアされ、SSTDR から SSTRSR にデータが転送されます。その後、TDRE を 1 にセットして送信を開始します。このとき、SSER の TIE が 1 にセットされていると TXI 割り込み要求を発生します。

TDRE = 0 の状態で 1 フレームのデータ転送が終了すると、SSTDR から SSTRSR にデータが転送され、次のフレームの送信を開始します。TDRE = 1 の状態で 8 ビット目が送出されると、SSSR の TEND が 1 にセットされ、状態を保持します。このとき SSER の TEIE が 1 にセットされていると TEI 割り込みを発生します。送信終了後は、SSCK 端子は SSMR の CPOS = 0 のとき High レベルに固定され、CPOS = 1 のときには Low レベルに固定されます。

なお、SSSR の ORER が 1 にセットされた状態では送信は行えません。送信の前に ORER が 0 にクリアされていることを確認してください。

15. シンクロナスシリアルコミュニケーションユニット (SSU)

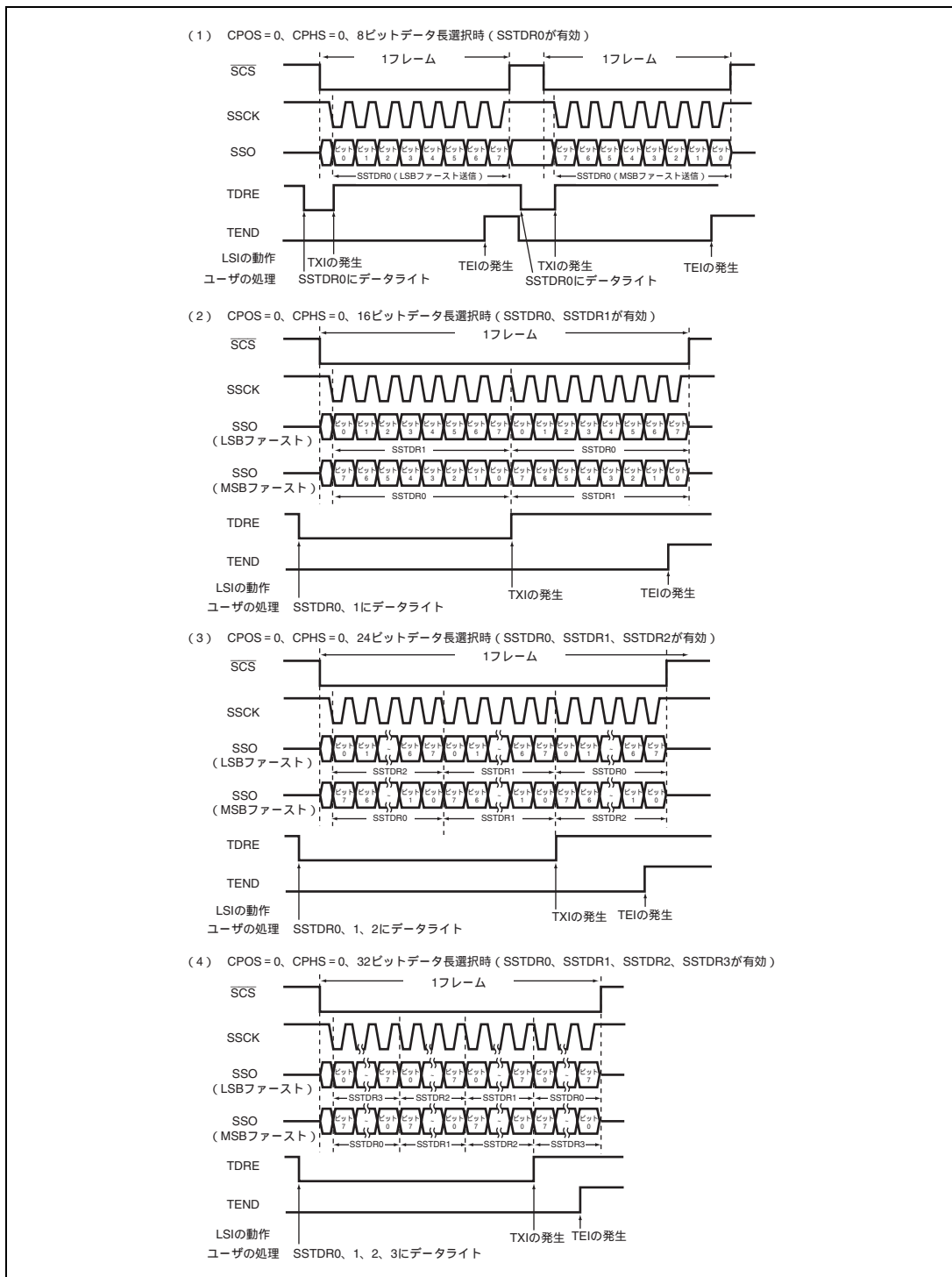


図 15.5 送信時の動作例 (SSU モード)

15. シンクロナスシリアルコミュニケーションユニット (SSU)

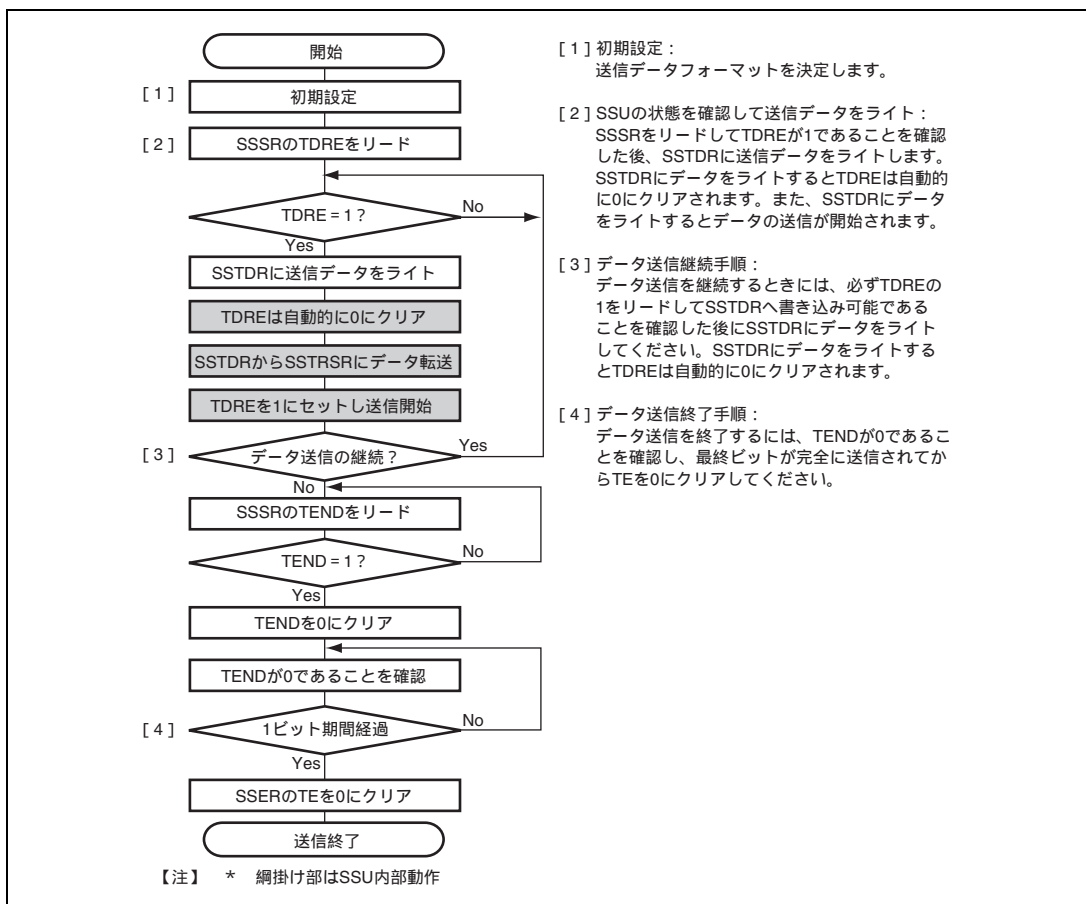


図 15.6 データ送信のフローチャート例 (SSU モード)

(3) データ受信

図 15.7 に受信時の動作例を、図 15.8 にデータ受信のフローチャートの例を示します。データ受信時に SSU は以下のように動作します。

SSU は初期設定完了後、SSRDR をダミーリードすることにより受信動作を開始します。

SSU をマスタデバイスに設定すると、転送クロックを出力し、受信データを入力します。スレーブデバイスに設定すると、 \overline{SCS} 端子に Low レベルが入力され、SSCK 端子から転送クロックが入力されると、この転送クロックに同期して受信データを入力します。

1 フレームのデータを受信した後は、SSSR の RDRF が 1 にセットされ、SSRDR に受信データが格納されます。このとき、SSER の RIE が 1 にセットされていると RXI 割り込み要求を発生します。SSRDR をリードすると自動的に RDRF は 0 にクリアされます。

RDRF = 1 の状態で 8 クロック目が立ち上がると、SSSR の ORER が 1 にセットされ、オーバランエラー (OEI) が発生し、受信を停止します。ORER = 1 の状態では受信できませんので、受信を再開する場合は ORER を 0 にクリアしてください。

15. シンクロナスシリアルコミュニケーションユニット (SSU)

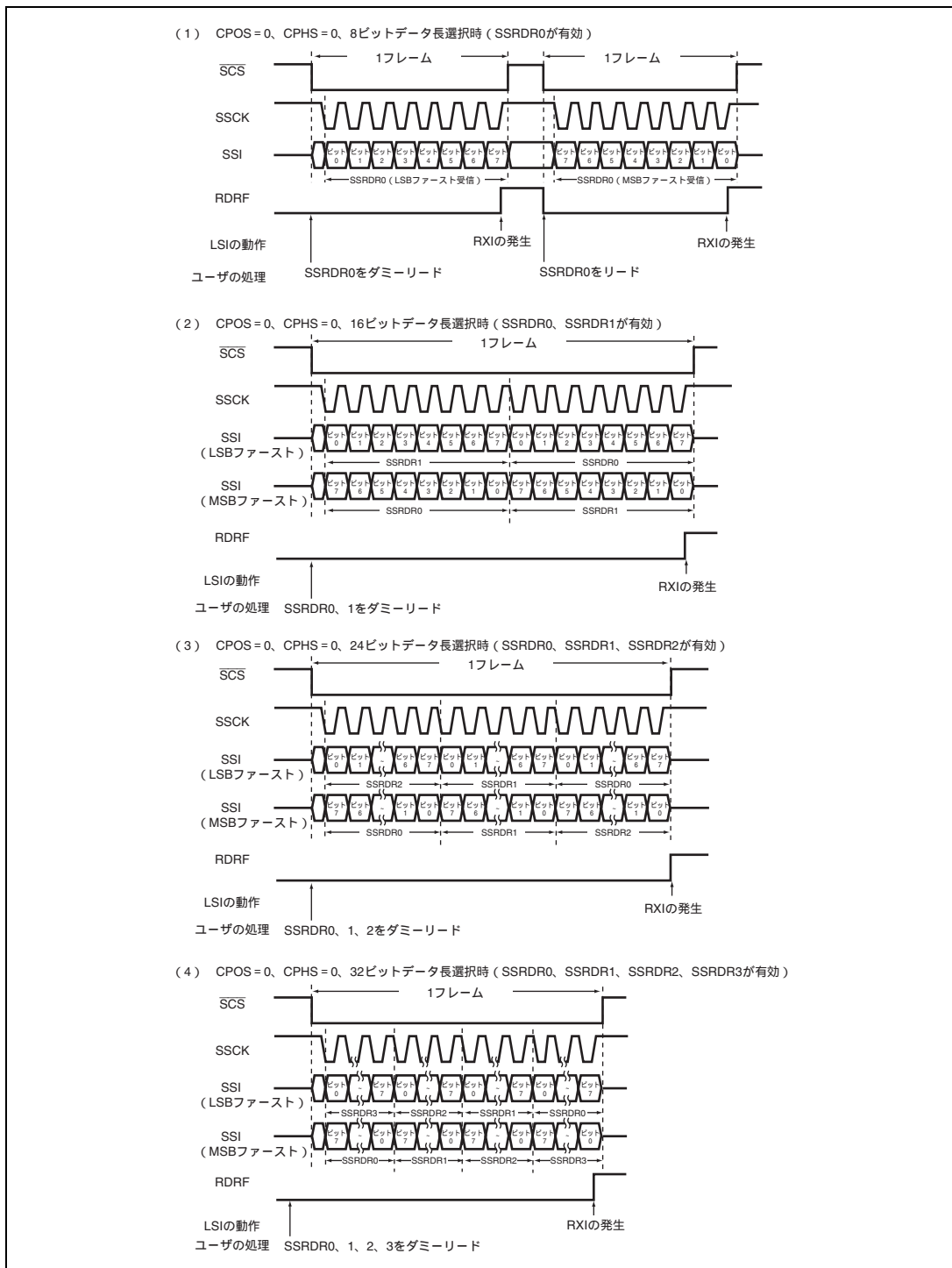


図 15.7 受信時の動作例 (SSU モード)

15. シンクロナスシリアルコミュニケーションユニット (SSU)

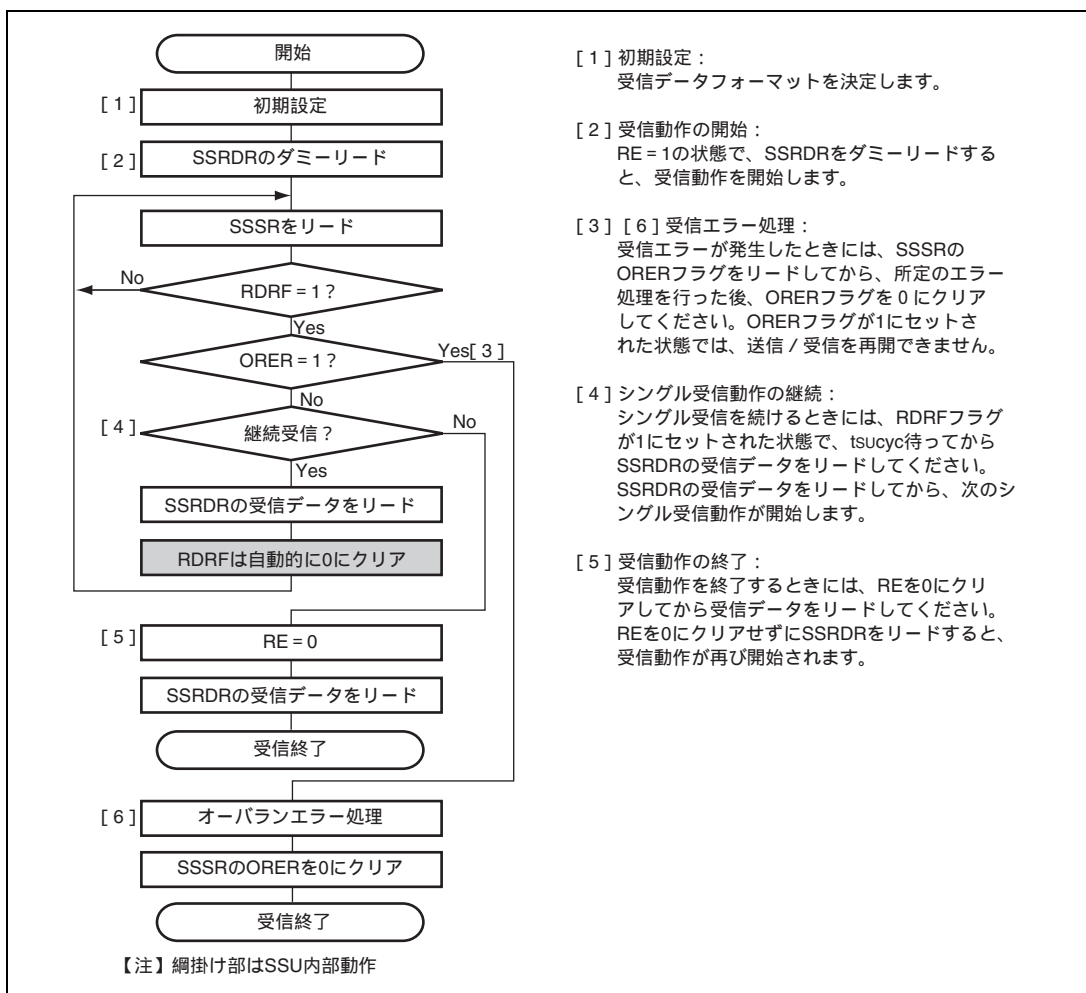


図 15.8 データ受信のフローチャート例 (SSU モード)

(4) データ送受信

図 15.9 にデータ送受信同時動作のフローチャートの例を示します。データ送受信は、データ送信とデータ受信の複合動作となります。データ送受信は、TE = RE = 1 の状態で、SSTDR に送信データをライトすることで開始されます。

なお、送信モード (TE = 1) あるいは受信モード (RE = 1) から送受信モード (TE = RE = 1) に切り替える場合は、一度 TE、RE を 0 にクリアしてから行ってください。また、TEND、RDRF、ORER が 0 にクリアされていることを確認した後、TE および RE を 1 にセットしてください。

15. シンクロナスシリアルコミュニケーションユニット (SSU)

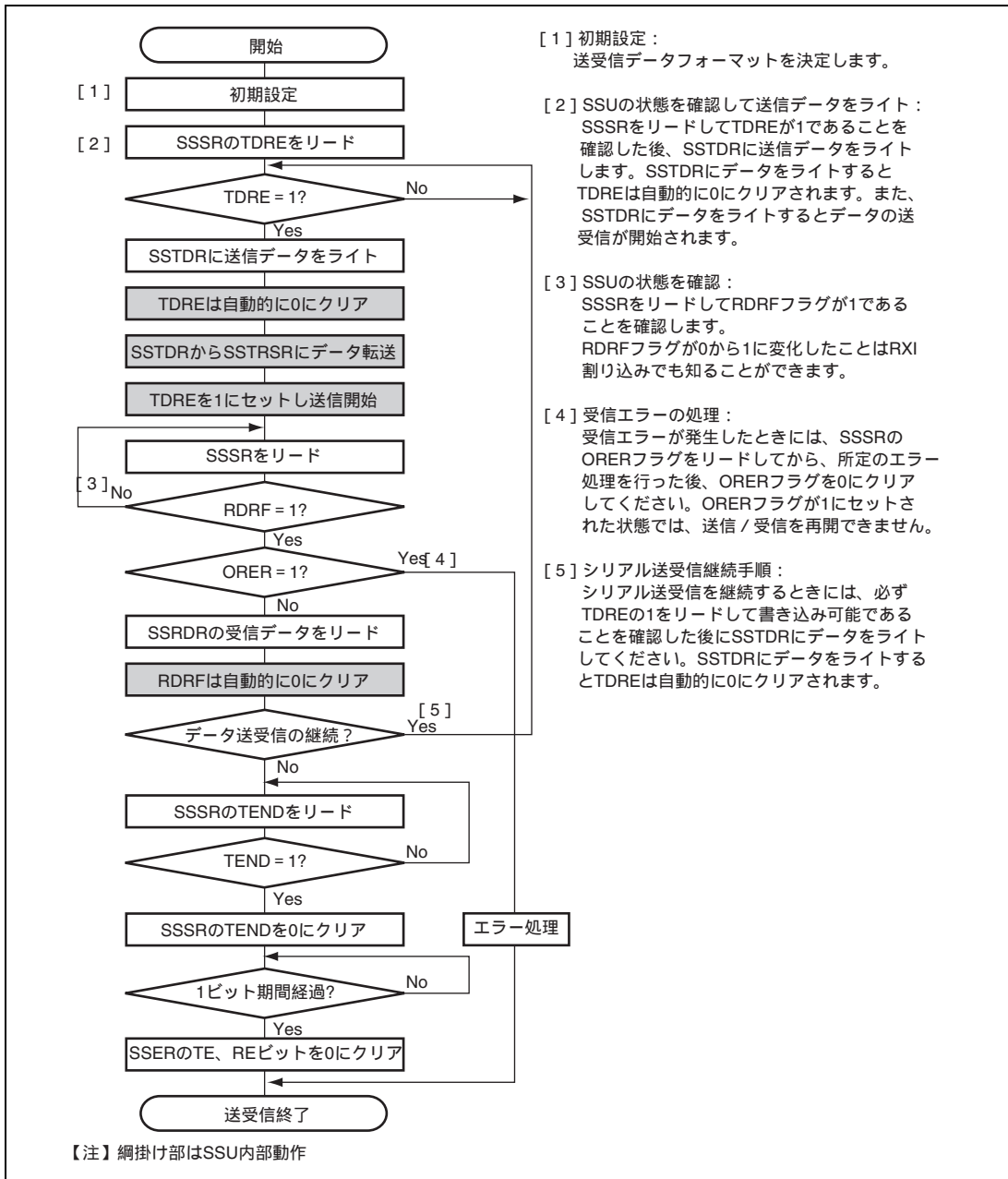


図 15.9 データ送受信同時動作のフローチャート例 (SSU モード)

15. シンクロナスシリアルコミュニケーションユニット (SSU)

15.4.6 $\overline{\text{SCS}}$ 端子制御とコンフリクトエラー

SSCRH の CSS1、CSS0 = 10、SSCRL の SSUMS = 0 に設定した場合、SSCRH の MSS を 1 にセットしてからシリアル転送を開始する前と転送終了後に $\overline{\text{SCS}}$ 端子は入力 (Hi-Z) となり、コンフリクトエラーを検出します。この期間に $\overline{\text{SCS}}$ 端子から Low レベルが入力されるとコンフリクトエラーとなり、SSSR の CE がセットされ、MSS はクリアされます。

【注】 コンフリクトエラーがセットされた状態では、以後の送信 / 受信動作はできません。送信/受信を開始する前には、必ず CE を 0 にクリアしてください。

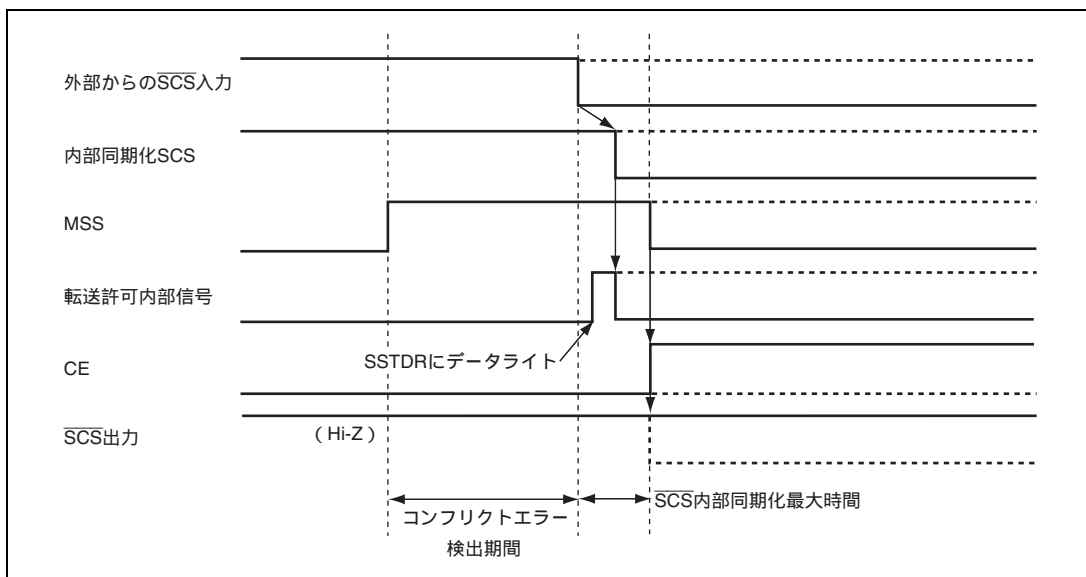


図 15.10 コンフリクトエラー検出タイミング (転送前)

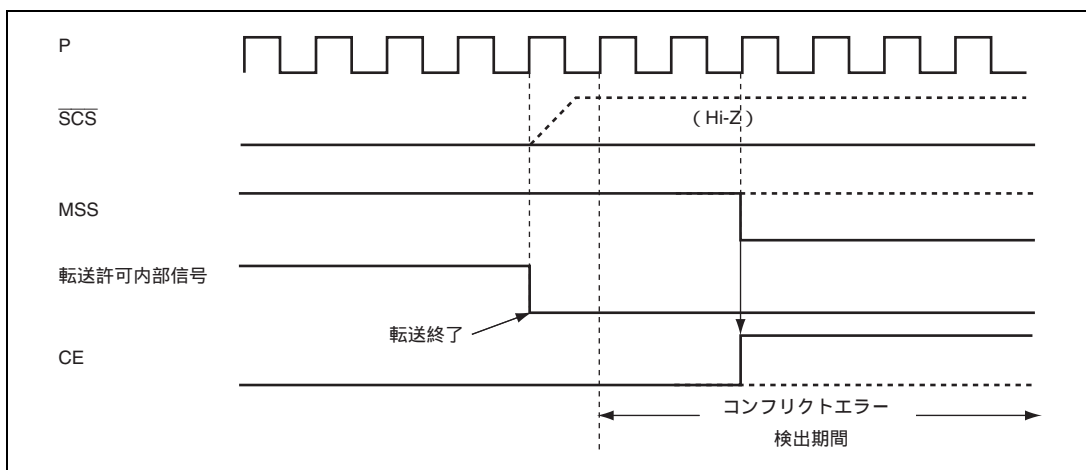


図 15.11 コンフリクトエラー検出タイミング (転送終了後)

15.4.7 クロック同期式通信モード

クロック同期式通信モードは、クロックライン (SSCK)、データ入力ライン (SSI)、データ出力ライン (SSO) の3本のバスを使用してデータ通信を行います。

(1) クロック同期式通信モードの初期設定

クロック同期式通信モードの初期設定例を図 15.12 に示します。データの送信 / 受信前には、まず SSER の TE および RE を 0 にクリアして初期設定を行ってください。

【注】 動作モード、通信フォーマットを変更する場合は、必ず TE および RE を 0 にクリアしてから行ってください。TE を 0 にクリアすると TDRE は 1 にセットされますが、RE を 0 にクリアしても RDRF、ORER の各フラグおよび SSRDR の内容は保持されていますので注意してください。

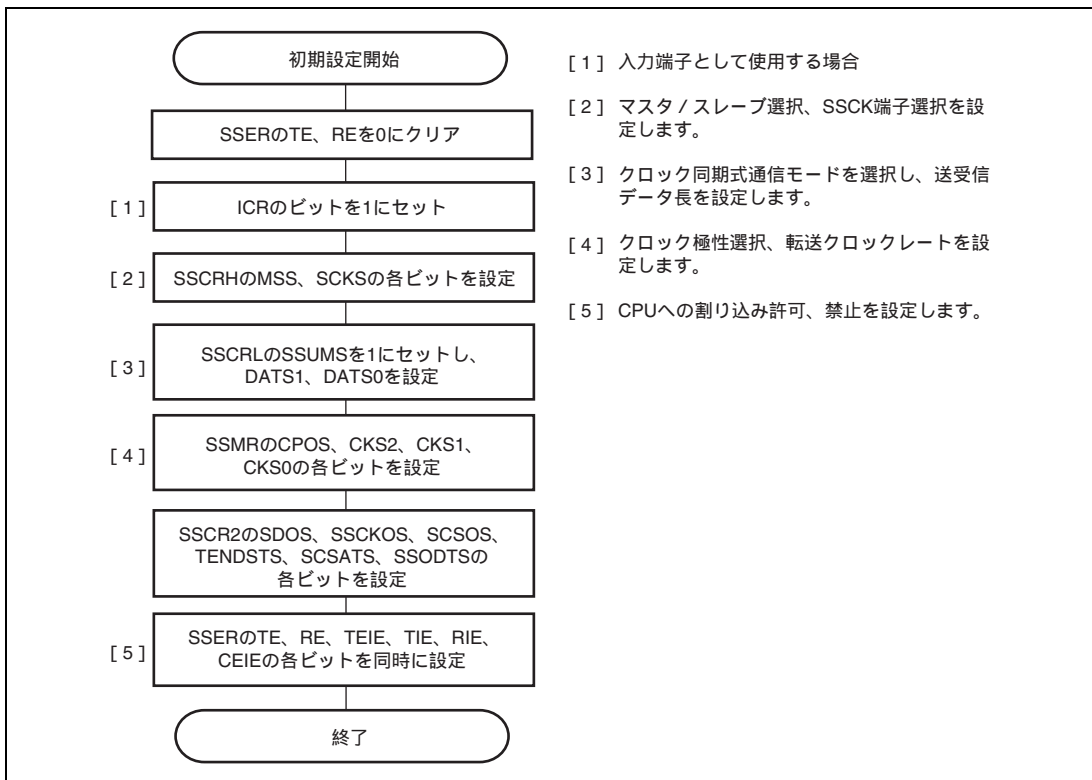


図 15.12 クロック同期式通信モードの初期設定例

15. シンクロナスシリアルコミュニケーションユニット (SSU)

(2) データ送信

図 15.13 に送信時の動作例を、図 15.14 にデータ送信のフローチャートの例を示します。データ送信時にクロック同期式通信モードでは以下のように動作します。

SSU をマスタデバイスに設定すると、転送クロックとデータを出力します。SSU をスレーブデバイスに設定し、SSCK 端子から転送クロックが入力されると、この転送クロックに同期してデータを出力します。

SSU は初期設定完了後、SSTDR に送信データをライトすると、自動的に SSSR の TDRE が 0 にクリアされ、SSTDR から SSTRSR にデータが転送されます。その後、TDRE を 1 にセットして送信を開始します。このとき、SSER の TIE が 1 にセットされていると TXI 割り込み要求が発生します。

TDRE = 0 の状態で 1 フレームのデータ転送が終了すると、SSTDR から SSTRSR にデータが転送され、次のフレームの送信を開始します。TDRE = 1 の状態で 8 ビット目が送出されると、SSSR の TEND が 1 にセットされ、状態を保持します。このとき SSER の TEIE が 1 にセットされていると TEI 割り込み要求が発生します。

なお、SSSR の ORER が 1 にセットされた状態では送信は行えません。送信の前に ORER が 0 にクリアされていることを確認してください。

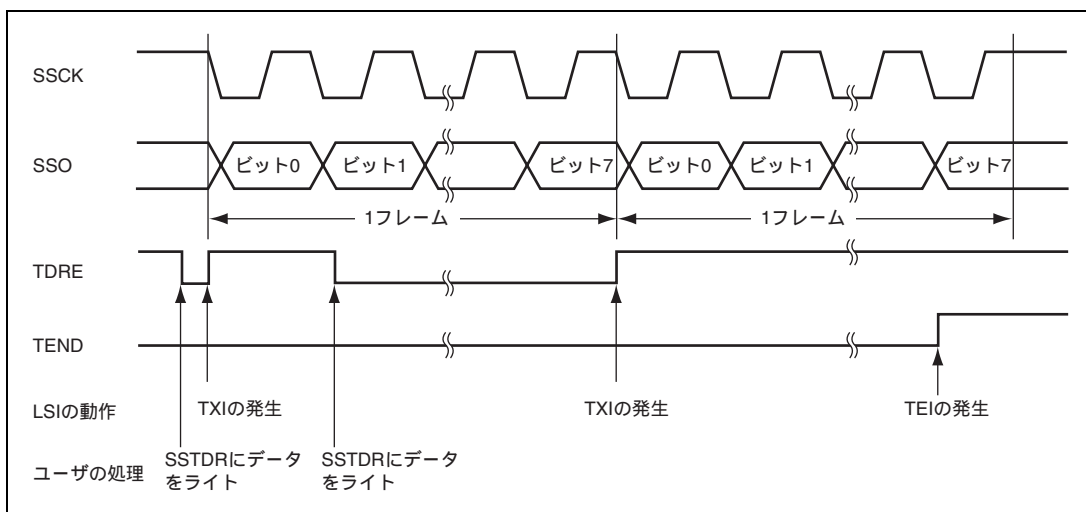
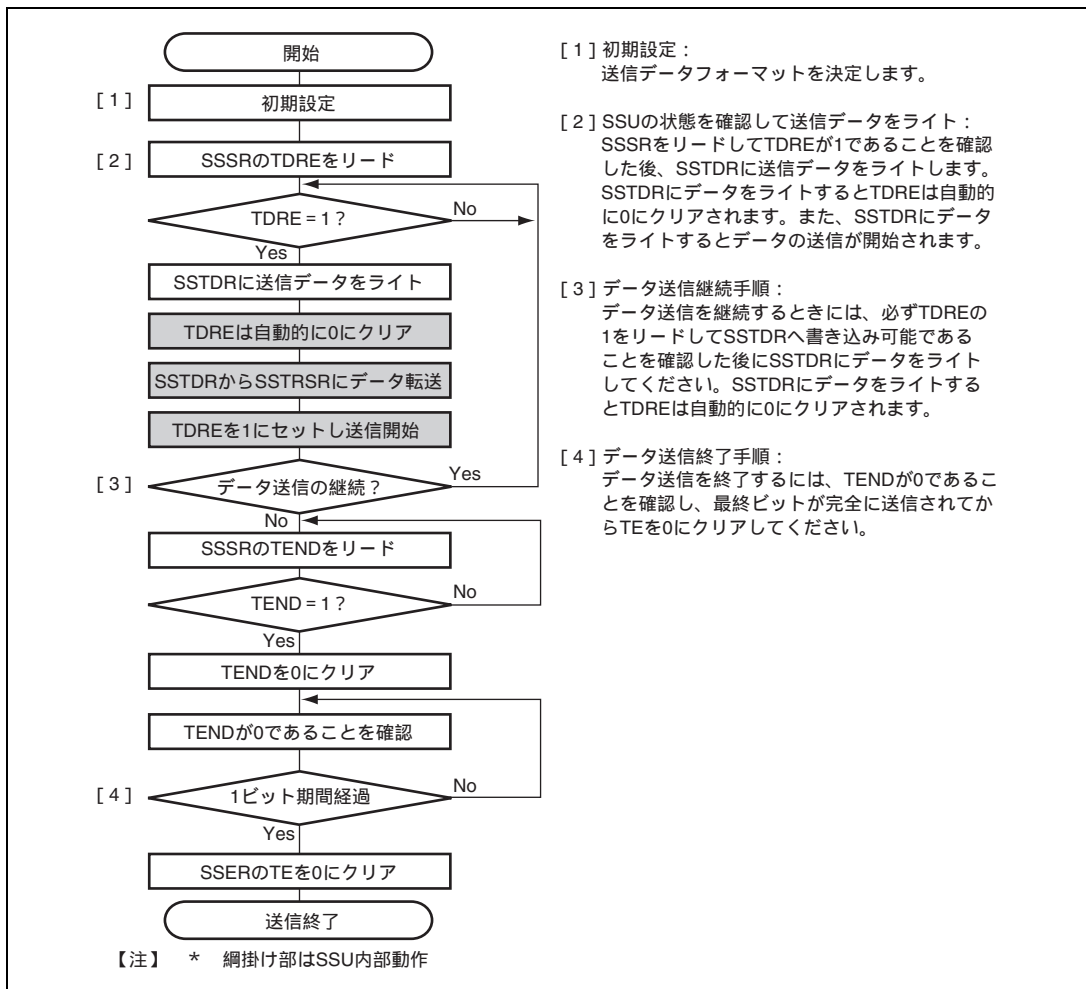


図 15.13 送信時の動作例 (クロック同期式通信モード)

15. シンクロナスシリアルコミュニケーションユニット (SSU)



- [1] 初期設定：
送信データフォーマットを決定します。
- [2] SSUの状態を確認して送信データをライト：
SSSRをリードしてTDREが1であることを確認した後、SSTDRに送信データをライトします。SSTDRにデータをライトするとTDREは自動的に0にクリアされます。また、SSTDRにデータをライトするとデータの送信が開始されます。
- [3] データ送信継続手順：
データ送信を継続するときには、必ずTDREの1をリードしてSSTDRへ書き込み可能であることを確認した後にSSTDRにデータをライトしてください。SSTDRにデータをライトするとTDREは自動的に0にクリアされます。
- [4] データ送信終了手順：
データ送信を終了するには、TENDが0であることを確認し、最終ビットが完全に送信されてからTEを0にクリアしてください。

図 15.14 データ送信のフローチャート例 (クロック同期式通信モード)

15. シンクロナスシリアルコミュニケーションユニット (SSU)

(3) データ受信

図 15.15 に受信時の動作例を、図 15.16 にデータ受信のフローチャートの例を示します。データ受信時に SSU は以下のように動作します。

SSU は、SSER の RE を 1 にセットすると受信動作を開始します。

SSU をマスタデバイスに設定すると、転送クロックを出力し、受信データを入力します。スレーブデバイスに設定すると、SSCK 端子から転送クロックが入力されると、この転送クロックに同期して受信データを入力します。

1 フレームのデータを受信した後は、SSSR の RDRF が 1 にセットされ、SSRDR に受信データが格納されます。このとき、SSER の RIE が 1 にセットされていると RXI 割り込み要求が発生します。SSRDR をリードすると自動的に RDRF は 0 にクリアされます。

RDRF = 1 の状態で 8 クロック目が立ち上がると、SSSR の ORER が 1 にセットされ、オーバランエラー (OEI) が発生し、受信を停止します。ORER = 1 の状態では受信できませんので、受信を再開する場合は ORER を 0 にクリアしてください。

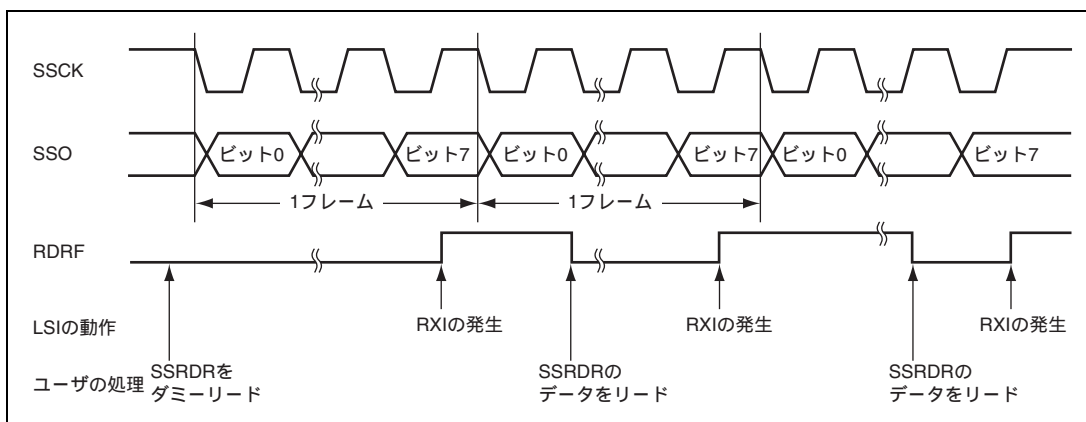


図 15.15 受信時の動作例 (クロック同期式通信モード)

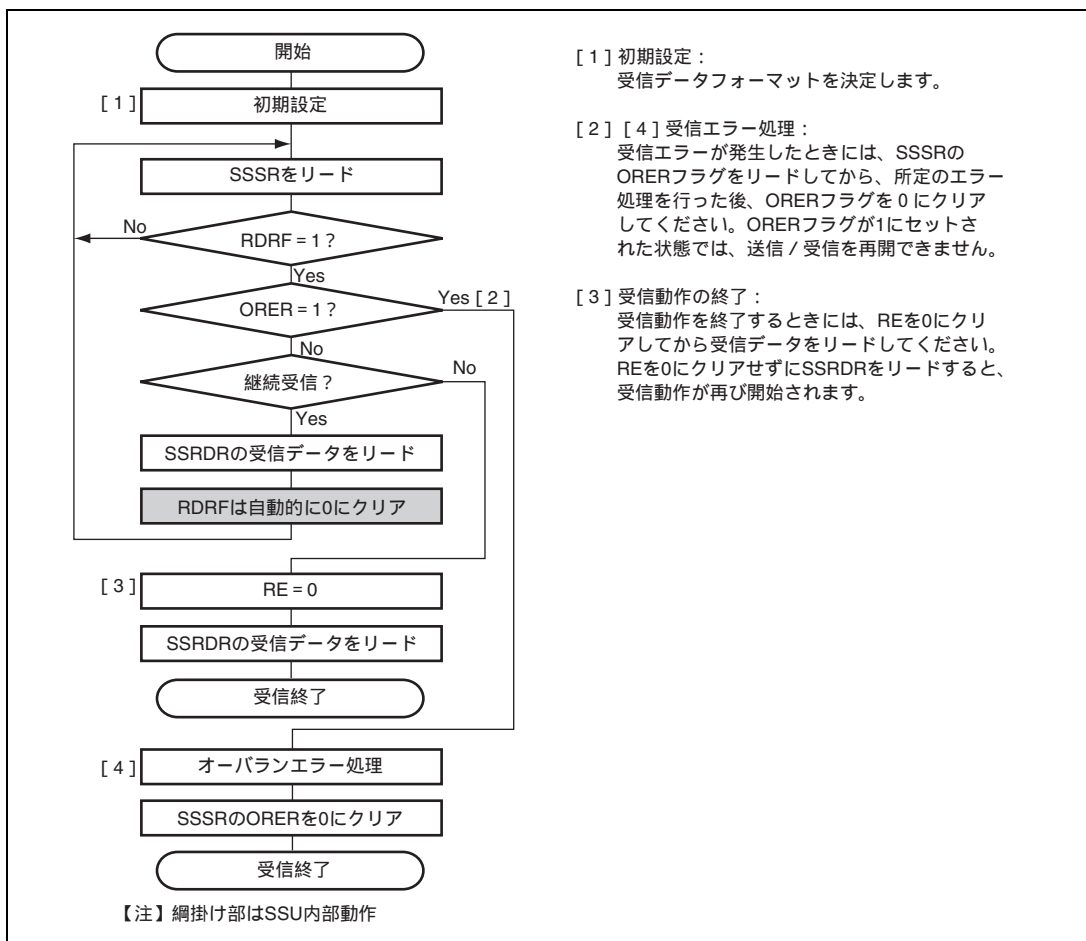


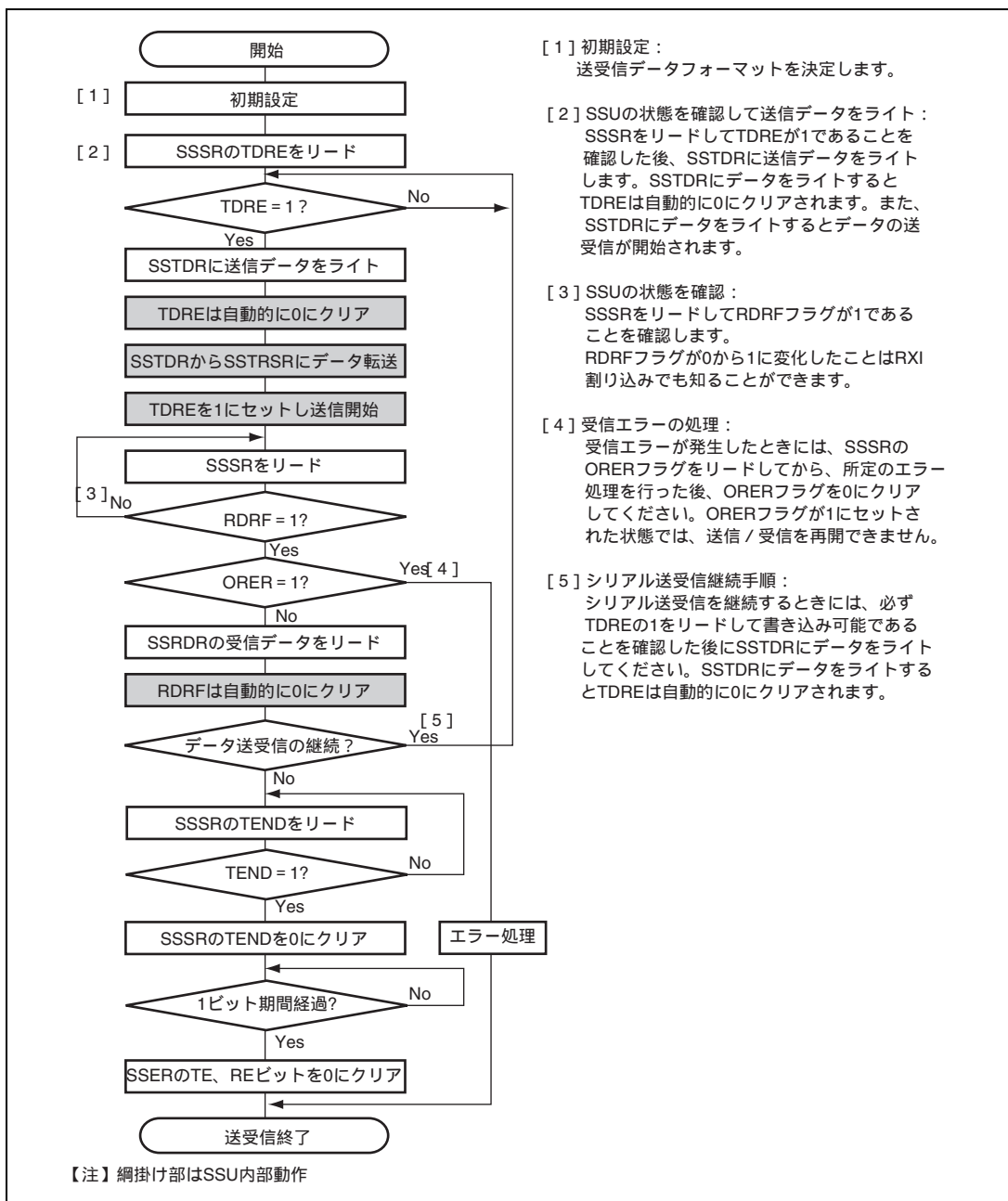
図 15.16 データ受信のフローチャート例 (クロック同期式通信モード)

(4) データ送受信

図 15.17 にデータ送受信同時動作のフローチャートの例を示します。データ送受信は、データ送信とデータ受信の複合動作となります。データ送受信は、TE = RE = 1 の状態で、SSTDR に送信データをライトすることで開始されます。

なお、送信モード (TE = 1) あるいは受信モード (RE = 1) から送受信モード (TE = RE = 1) に切り替える場合は、一度 TE、RE を 0 にクリアしてから行ってください。また、TEND、RDRF、ORER が 0 にクリアされていることを確認した後、TE および RE を 1 にセットしてください。

15. シンクロナスシリアルコミュニケーションユニット (SSU)



- [1] 初期設定：
送受信データフォーマットを決定します。
- [2] SSUの状態を確認して送信データをライト：
SSSRをリードしてTDREが1であることを確認した後、SSTRに送信データをライトします。SSTRにデータをライトするとTDREは自動的に0にクリアされます。また、SSTRにデータをライトするとデータの送受信が開始されます。
- [3] SSUの状態を確認：
SSSRをリードしてRDRFフラグが1であることを確認します。
RDRFフラグが0から1に変化したことはRXI割り込みでも知ることができます。
- [4] 受信エラーの処理：
受信エラーが発生したときには、SSSRのORERフラグをリードしてから、所定のエラー処理を行った後、ORERフラグを0にクリアしてください。ORERフラグが1にセットされた状態では、送信 / 受信を再開できません。
- [5] シリアル送受信継続手順：
シリアル送受信を継続するときには、必ずTDREの1をリードして書き込み可能であることを確認した後にSSTRにデータをライトしてください。SSTRにデータをライトするとTDREは自動的に0にクリアされます。

図 15.17 データ送受信同時動作のフローチャート例 (クロック同期式通信モード)

15.5 割り込み要求

SSU の割り込み要求には、オーバランエラー、コンフリクトエラー、受信データフル、送信データエンプティ、送信終了割り込みがあります。

オーバランエラー、コンフリクトエラー、受信データフル、送信データエンプティ、送信終了の割り込み要求はすべて1つのベクタアドレスに割り付けられているため、フラグによる要因の判別が必要です。表 15.5 に割り込み要因を示します。

表 15.5 の割り込み条件が成立すると、割り込み要求が発生します。CPU によるデータ転送で割り込み要因をクリアしてください。

表 15.5 SSU 割り込み要因

チャンネル	名称	割り込み要因	略称	割り込み条件
0	SSERIO	オーバランエラー	OEI0	(RIE=1)、(ORER=1)
		コンフリクトエラー	CEI0	(CEIE=1)、(CE=1)
	SSRXIO	受信データフル	RXI0	(RIE=1)、(RDRF=1)
	SSTXIO	送信データエンプティ	TXI0	(TIE=1)、(TDRE=1)
		送信終了	TEI0	(TEIE=1)、(TEND=1)
1	SSERI1	オーバランエラー	OEI1	(RIE=1)、(ORER=1)
		コンフリクトエラー	CEI1	(CEIE=1)、(CE=1)
	SSRXI1	受信データフル	RXI1	(RIE=1)、(RDRF=1)
	SSTXI1	送信データエンプティ	TXI1	(TIE=1)、(TDRE=1)
		送信終了	TEI1	(TEIE=1)、(TEND=1)

15. シンクロナスシリアルコミュニケーションユニット (SSU)

16. A/D 変換器

本 LSI は、逐次比較方式の 10 ビットの A/D 変換器を 2 ユニット (ユニット 0、ユニット 1) 内蔵しています。最大 16 チャンネルのアナログ入力を選択することができます。

ユニット 0 のブロック図を図 16.1 に、ユニット 1 のブロック図を図 16.2 に示します。

本文中は、ユニット 0 について説明します。ユニット 1 についても同一機能です。

16.1 特長

- 分解能：10ビット
- 入力チャンネル：16チャンネル (ユニット0：8チャンネル、ユニット1：8チャンネル)
- 変換時間：1チャンネル当たり13.3 μ s (20MHz動作時)
- 動作モード：2種類
 - シングルモード：1チャンネルのA/D変換
 - スキャンモード：1～4チャンネルの連続A/D変換、または1～8チャンネルの連続A/D変換
- データレジスタ：16本 (ユニット0：8本、ユニット1：8本)
 - A/D変換結果は各チャンネルに対応した16ビットデータレジスタに保持
- サンプル&ホールド機能付き
- A/D変換開始方法：3種類
 - ソフトウェア
 - 16ビットタイムパルスユニット (TPU) による変換開始トリガ
 - 外部トリガ信号
- 割り込み要因
 - A/D変換終了割り込み要求 (ADI) を発生
- モジュールストップモードの設定可能

16. A/D 変換器

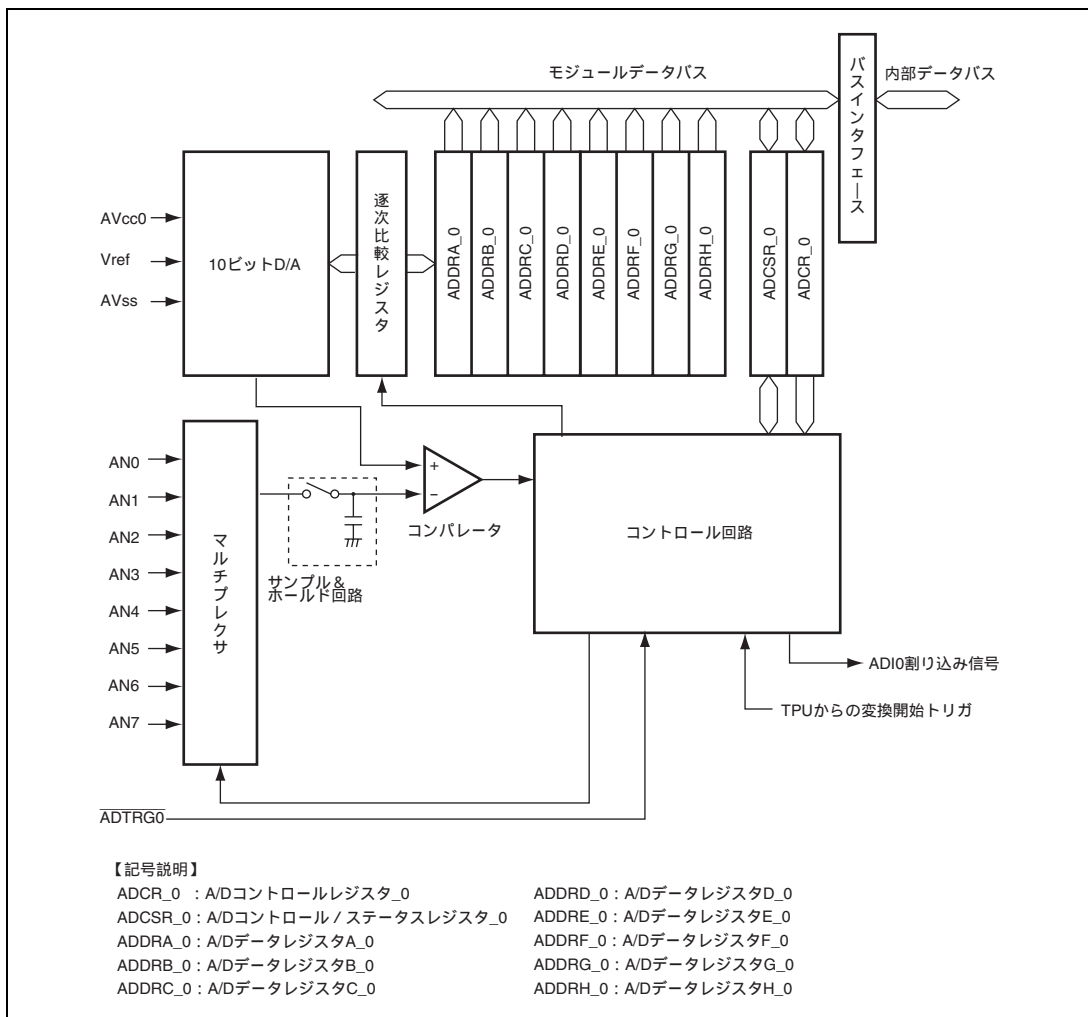


図 16.1 A/D 変換器 (ユニット 0/AD_0) のブロック図

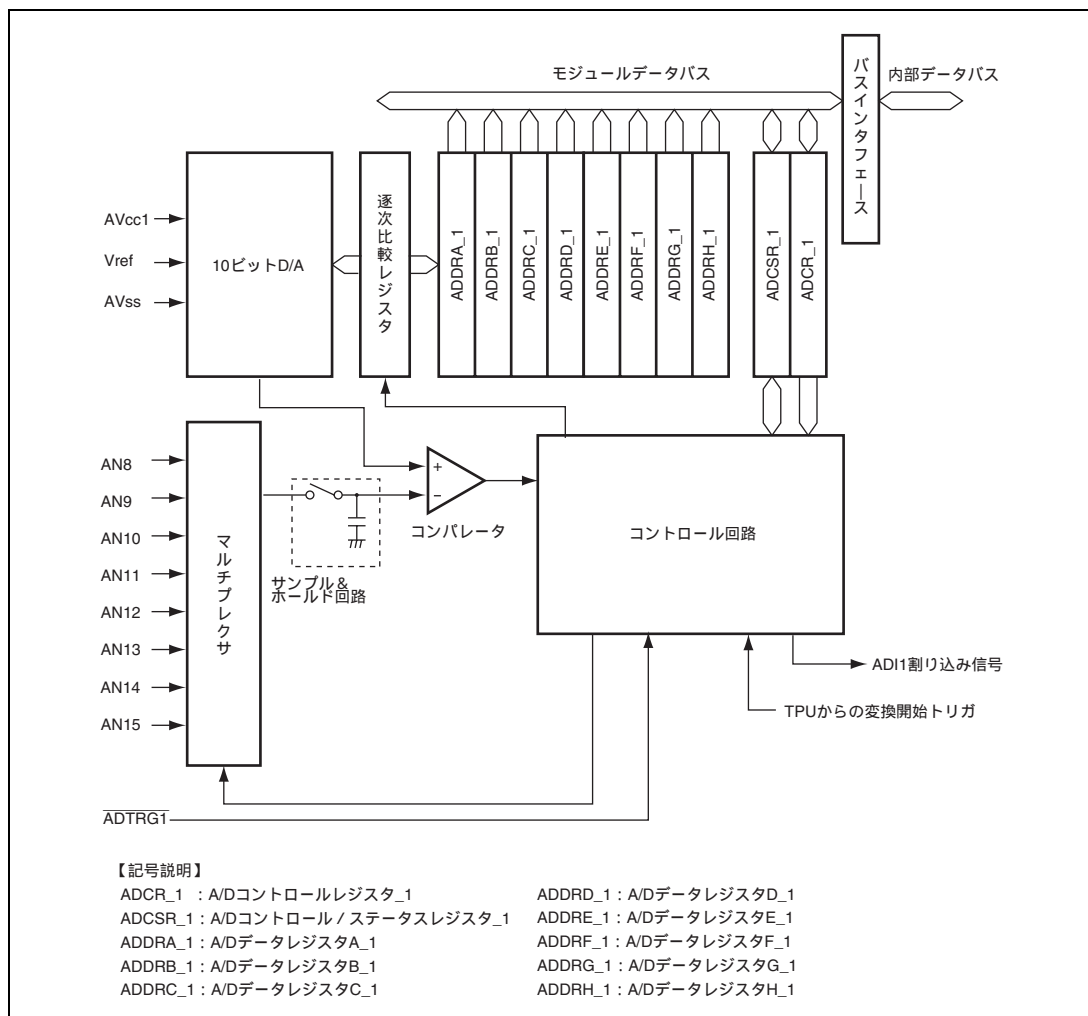


図 16.2 A/D 変換器 (ユニット 1/AD_1) のブロック図

16. A/D 変換器

16.2 入出力端子

A/D 変換器で使用する入力端子を表 16.1 に示します。

表 16.1 端子構成

ユニット	略称	端子名	記号	入出力	機能
0	AD_0	アナログ入力端子 0	AN0	入力	アナログ入力端子
		アナログ入力端子 1	AN1	入力	
		アナログ入力端子 2	AN2	入力	
		アナログ入力端子 3	AN3	入力	
		アナログ入力端子 4	AN4	入力	
		アナログ入力端子 5	AN5	入力	
		アナログ入力端子 6	AN6	入力	
		アナログ入力端子 7	AN7	入力	
		A/D 外部トリガ入力端子 0	$\overline{\text{ADTRG0}}$	入力	
		アナログ電源端子 0	AVcc0	入力	アナログ部の電源端子
1	AD_1	アナログ入力端子 8	AN8	入力	アナログ入力端子
		アナログ入力端子 9	AN9	入力	
		アナログ入力端子 10	AN10	入力	
		アナログ入力端子 11	AN11	入力	
		アナログ入力端子 12	AN12	入力	
		アナログ入力端子 13	AN13	入力	
		アナログ入力端子 14	AN14	入力	
		アナログ入力端子 15	AN15	入力	
		A/D 外部トリガ入力端子 1	$\overline{\text{ADTRG1}}$	入力	
		アナログ電源端子 1	AVcc1	入力	アナログ部の電源端子
共通		アナロググランド端子	AVss	入力	アナログ部のグランド端子
		リファレンス電圧端子	Vref	入力	A/D 変換器の基準電圧端子

16.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。

ユニット 0 (A/D_0)、ユニット 1 (A/D_1) とともに同一機能です。以下のレジスタ説明では AN8 ~ AN15 は、AN0 ~ AN7 にそれぞれ対応しています。

(1) ユニット 0 (A/D_0)

- A/DデータレジスタA_0 (ADDRA_0)
- A/DデータレジスタB_0 (ADDRB_0)
- A/DデータレジスタC_0 (ADDRC_0)
- A/DデータレジスタD_0 (ADDRD_0)
- A/DデータレジスタE_0 (ADDRE_0)
- A/DデータレジスタF_0 (ADDRF_0)
- A/DデータレジスタG_0 (ADDRG_0)
- A/DデータレジスタH_0 (ADDRH_0)
- A/Dコントロール/ステータスレジスタ_0 (ADCSR_0)
- A/Dコントロールレジスタ_0 (ADCR_0)

(2) ユニット 1 (A/D_1)

- A/DデータレジスタA_1 (ADDRA_1)
- A/DデータレジスタB_1 (ADDRB_1)
- A/DデータレジスタC_1 (ADDRC_1)
- A/DデータレジスタD_1 (ADDRD_1)
- A/DデータレジスタE_1 (ADDRE_1)
- A/DデータレジスタF_1 (ADDRF_1)
- A/DデータレジスタG_1 (ADDRG_1)
- A/DデータレジスタH_1 (ADDRH_1)
- A/Dコントロール/ステータスレジスタ_1 (ADCSR_1)
- A/Dコントロールレジスタ_1 (ADCR_1)

16. A/D 変換器

16.3.1 A/D データレジスタ A~H (ADDRA~ADDRH)

ADDR は、A/D 変換された結果を格納するための 16 ビットのリード専用レジスタです。ADDRA~ADDRH の 8 本あります。各アナログ入力チャネルの変換結果が格納される ADDR は表 16.2 のとおりです。

10 ビットの変換データは ADDR のビット 15 からビット 6 に格納されます。下位 6 ビットはリードすると常に 0 がリードされます。

CPU との間のデータバスは 16 ビット幅で、CPU から直接リードできます。ADDR をアクセスする場合は、16 ビット単位でアクセスしてください。8 ビット単位でのアクセスは禁止です。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名											-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.2 アナログ入力チャネルと ADDR の対応

アナログ入力チャネル	変換結果が格納される A/D データレジスタ
AN0	ADDRA
AN1	ADDRB
AN2	ADDRC
AN3	ADDRD
AN4	ADDRE
AN5	ADDRF
AN6	ADDRG
AN7	ADDRH

16.3.2 A/D コントロール/ステータスレジスタ (ADCSR)

ADCSR は A/D 変換動作を制御します。

ビット	7	6	5	4	3	2	1	0
ビット名	ADF	ADIE	ADST	-	CH3	CH2	CH1	CH0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/W	R/W	R	R/W	R/W	R/W	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	ADF	0	R/(W)*	A/D エンドフラグ A/D 変換の終了を示すステータスフラグです。 [セット条件] • シングルモードで A/D 変換が終了したとき • スキャンモードで選択されたすべてのチャンネルの A/D 変換が終了したとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • ADI 割り込みにより DMAC が起動され、ADDR をリードしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください)
6	ADIE	0	R/W	A/D インタラプトイネーブル 1 にセットすると ADF による ADI 割り込みがイネーブルになります。
5	ADST	0	R/W	A/D スタート 0 にクリアすると A/D 変換を停止し、待機状態になります。1 にセットすると A/D 変換を開始します。シングルモードでは選択したチャンネルの A/D 変換が終了すると自動的にクリアされます。スキャンモードではソフトウェア、リセット、ソフトウェアスタンバイモード、またはモジュールストップモードによってクリアされるまで選択されたチャンネルを順次連続変換します。
4	-	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
3	CH3	0	R/W	チャンネルセレクト 3-0
2	CH2	0	R/W	ADCR の SCANE ビット、SCANS ビットとともに、アナログ入力を選択します。
1	CH1	0	R/W	
0	CH0	0	R/W	SCANE = 0、 SCANS = X のとき
				SCANE = 1、 SCANS = 0 のとき
				SCANE = 1、 SCANS = 1 のとき
				0000 : AN0
				0001 : AN1
				0010 : AN2
				0011 : AN3
				0100 : AN4
				0101 : AN5
				0110 : AN6
				0111 : AN7
				1XXX : 設定禁止
				0000 : AN0
				0001 : AN0、AN1
				0010 : AN0 ~ AN2
				0011 : AN0 ~ AN3
				0100 : AN0 ~ AN4
				0101 : AN0 ~ AN5
				0110 : AN0 ~ AN6
				0111 : AN0 ~ AN7
				1XXX : 設定禁止

【記号説明】 X : Don't care

【注】 * フラグをクリアするための 0 ライトのみ可能です。

16. A/D 変換器

16.3.3 A/D コントロールレジスタ (ADCR)

ADCR は外部トリガによる A/D 変換開始をイネーブルにします。

ビット	7	6	5	4	3	2	1	0
ビット名	TRGS1	TRGS0	SCANE	SCANS	CKS1	CKS0	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
7	TRGS1	0	R/W	タイマトリガセレクト 1、0
6	TRGS0	0	R/W	トリガ信号による A/D 変換開始をイネーブルにします。 00: 外部トリガによる A/D 変換開始を禁止 01: TPU からの変換トリガによる A/D 変換開始 10: 設定禁止 11: $\overline{\text{ADTRG}}$ による A/D 変換開始
5	SCANE	0	R/W	スキャンモード
4	SCANS	0	R/W	A/D 変換の動作モードを選択します。 0X: シングルモード 10: スキャンモード。1~4 チャンネルの連続 A/D 変換 11: スキャンモード。1~8 チャンネルの連続 A/D 変換
3	CKS1	0	R/W	クロックセレクト 1、0
2	CKS0	0	R/W	A/D 変換時間の設定を行います。変換時間の設定は変換停止中 (ADST=0) に行ってください。 00: 変換時間=530 ステート (max) 01: 変換時間=266 ステート (max) 10: 変換時間=134 ステート (max) 11: 変換時間=68 ステート (max)
1、0	-	すべて 0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。

【記号説明】 X: Don't care

16.4 動作説明

A/D 変換器は、逐次比較方式で分解機能は 10 ビットです。動作モードには、シングルモードとスキャンモードがあります。動作モードやアナログ入力チャンネルの切り替えは、誤動作を避けるため ADCSR の ADST ビットが 0 の状態で行ってください。動作モードやアナログ入力チャンネルの変更と、ADST ビットを 1 にセットするのは同時に行うことができます。

16.4.1 シングルモード

シングルモードは、指定された 1 チャンネルのアナログ入力を以下のように 1 回 A/D 変換します。

1. ソフトウェアまたは外部トリガ入力によって ADCSR の ADST ビットが 1 にセットされると、選択されたチャンネルの A/D 変換を開始します。
2. A/D 変換が終了すると、A/D 変換結果がそのチャンネルに対応する A/D データレジスタに転送されます。
3. A/D 変換終了後、ADCSR の ADF ビットが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求を発生します。
4. ADST ビットは A/D 変換中は 1 を保持し、変換が終了すると自動的にクリアされて A/D 変換器は待機状態になります。A/D 変換中に ADST ビットを 0 にクリアすると A/D 変換を中止し、A/D 変換器は待機状態になります。

16. A/D 変換器

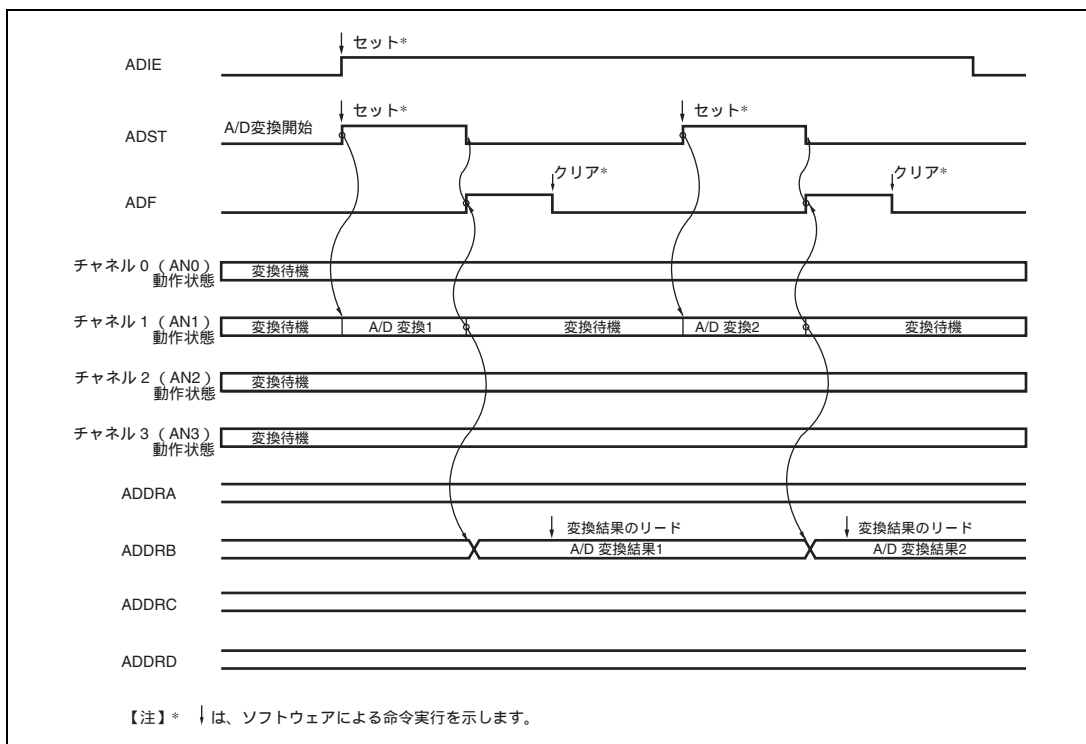


図 16.3 A/D 変換器の動作例 (シングルモード、チャンネル 1 選択時)

16.4.2 スキャンモード

スキャンモードは、指定された最大 4 チャンネル、または最大 8 チャンネルのアナログ入力を以下のように順次連続して A/D 変換します。

- ソフトウェア、TPU、または外部トリガ入力によって ADCSR の ADST ビットが 1 にセットされると、選択されたチャンネルセットの第 1 チャンネルから A/D 変換を開始します。最大 4 チャンネルの連続 A/D 変換 (SCANE、SCANS = B'10)、または最大 8 チャンネルの連続 A/D 変換 (SCANE、SCANS = B'11) を選択できます。4 チャンネルの連続 A/D 変換の場合は、CH3、CH2 = B'00 のとき AN0、CH3、CH2 = B'01 のとき AN4 から A/D 変換を開始します。8 チャンネルの連続 A/D 変換の場合は、CH3 = B'0 のとき AN0 から A/D 変換を開始します。
- それぞれのチャンネルの A/D 変換が終了すると、A/D 変換結果は順次そのチャンネルに対応する ADDR に転送されます。
- 選択されたすべてのチャンネルの A/D 変換が終了すると、ADCSR の ADF ビットが 1 にセットされます。このとき ADIE ビットが 1 にセットされていると、ADI 割り込み要求を発生します。A/D 変換器は再びチャンネルセットの第 1 チャンネルから A/D 変換を開始します。
- ADST ビットは自動的にクリアされず、1 にセットされている間は 2. ~ 3. を繰り返します。ADST ビットを 0 にクリアすると A/D 変換を中止し、A/D 変換器は待機状態になります。その後、ADST ビットを 1 にセットすると再び第 1 チャンネルから A/D 変換を開始します。

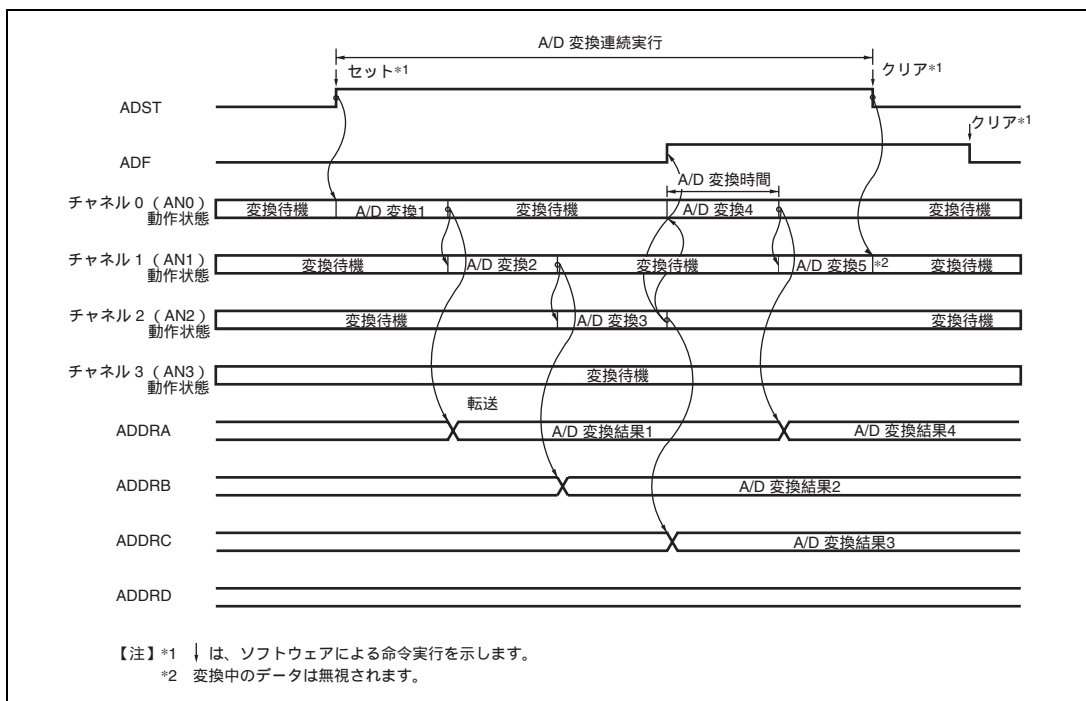


図 16.4 A/D 変換器の動作例（スキャンモード、AN0～AN2 の 3 チャンネル選択時）

16.4.3 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADCSR の ADST ビットが 1 にセットされてから A/D 変換開始遅延時間(t_d)時間経過後、入力のサンプリングを行い、その後 A/D 変換を開始します。A/D 変換のタイミングを図 16.5 に示します。また、A/D 変換時間を表 16.3 に示します。

A/D 変換時間(t_{conv})は、図 16.5 に示すように、 t_d と入力サンプリング時間(t_{sPL})を含めた時間となります。ここで t_d は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 16.3 に示す範囲で変化します。

スキャンモードの変換時間は、表 16.3 に示す値が 1 回目の変換時間となります。2 回目以降の変換時間は表 16.4 に示す値となります。いずれの場合も、変換時間は A/D 変換特性に示す範囲となるように ADCR の CKS1、CKS0 ビットを設定してください。

16. A/D 変換器

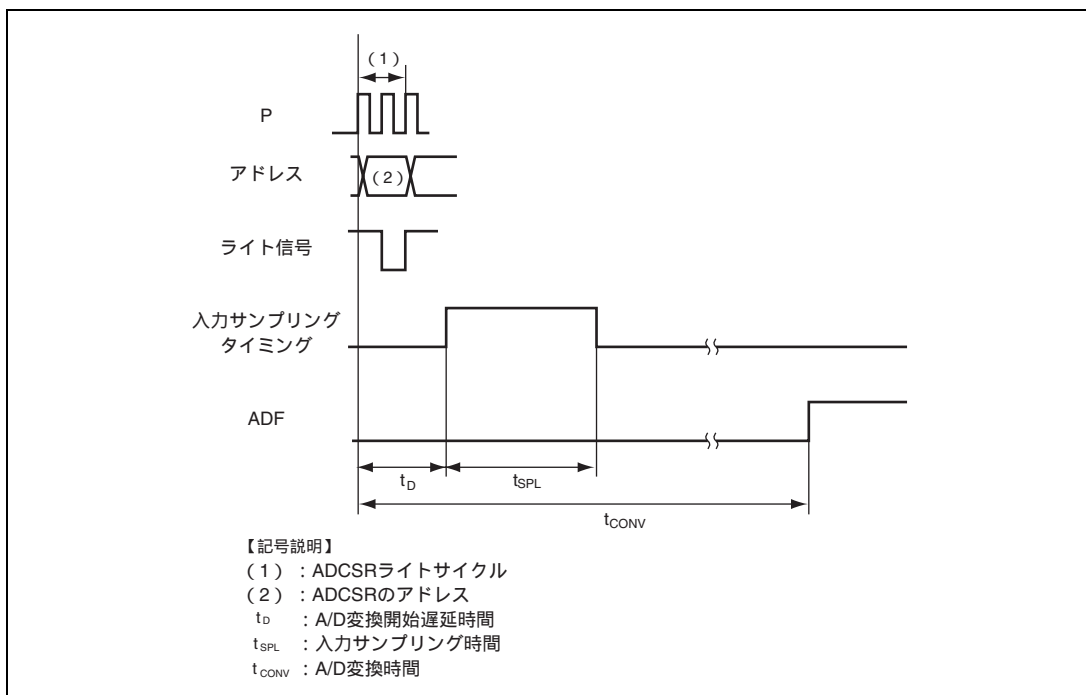


図 16.5 A/D 変換タイミング

表 16.3 A/D 変換特性 (シングルモード)

項目	記号	CKS1 = 0						CKS1 = 1					
		CKS0 = 0			CKS0 = 1			CKS0 = 0			CKS0 = 1		
		min	typ	max	min	typ	max	min	typ	max	min	typ	max
A/D 変換開始遅延時間	t_D	18	-	33	10	-	17	6	-	9	4	-	5
入力サンプリング時間	t_{SPL}	-	127	-	-	63	-	-	31	-	-	15	-
A/D 変換時間	t_{CONV}	515	-	530	259	-	266	131	-	134	67	-	68

【注】 表中の数値の単位はステートです。

表 16.4 A/D 変換特性 (スキャンモード)

CKS1	CKS0	変換時間 (ステート)
0	0	512 (固定)
	1	256 (固定)
1	0	128 (固定)
	1	64 (固定)

16.4.4 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCR の TRGS1、TRGS0 ビットが B'11 にセットされているとき、 $\overline{\text{ADTRG}}$ 端子から入力されます。 $\overline{\text{ADTRG}}$ の立ち下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、シングルモード/スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 16.6 に示します。

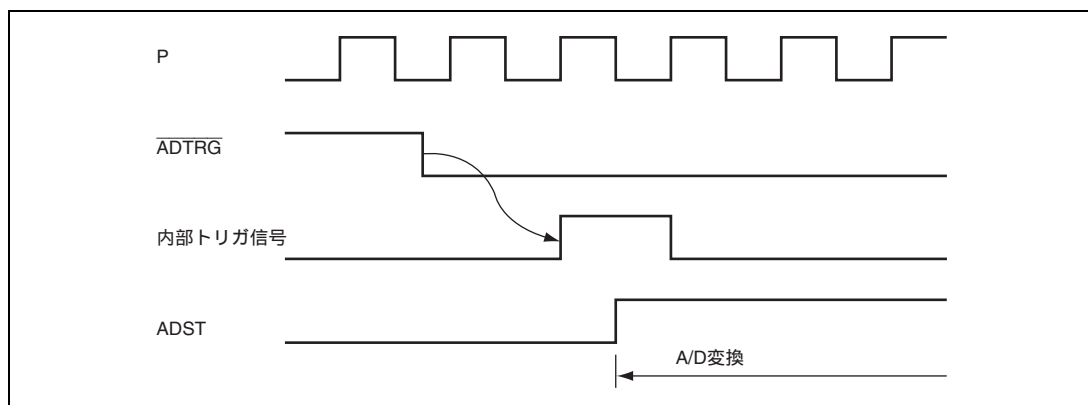


図 16.6 外部トリガ入力タイミング

16.5 割り込み要因

A/D 変換器は、A/D 変換が終了すると A/D 変換終了割り込み (ADI) を発生します。ADI 割り込み要求は、A/D 変換終了後 ADCSR の ADF が 1 にセットされ、このとき ADIE ビットが 1 にセットされるとイネーブルになります。ADI 割り込みで、DMA コントローラ (DMAC) の起動ができます。ADI 割り込みで変換されたデータのリードを DMAC で行うと、連続変換がソフトウェアの負担なく実現できます。

表 16.5 A/D 変換器の割り込み要因

ユニット	名称	割り込み要因	割り込みフラグ	DMAC の起動
0	ADI0	A/D_0 変換終了	ADF	可
1	ADI1	A/D_1 変換終了	ADF	可

16.6 A/D 変換精度の定義

本 LSI の A/D 変換精度の定義は以下のとおりです。

- 分解能

A/D変換器のデジタル出力コード数

- 量子化誤差

A/D変換器が本質的に有する偏差であり、1/2LSBで与えられる（図16.7）。

- オフセット誤差

デジタル出力が最小電圧値B'000000000 (H'000) からB'000000001 (H'001) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差（図16.8）

- フルスケール誤差

デジタル出力がB'111111110 (H'3FE) からB'111111111 (H'3FF) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差（図16.8）

- 非直線性誤差

ゼロ電圧からフルスケール電圧までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない（図16.8）。

- 絶対精度

デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む。

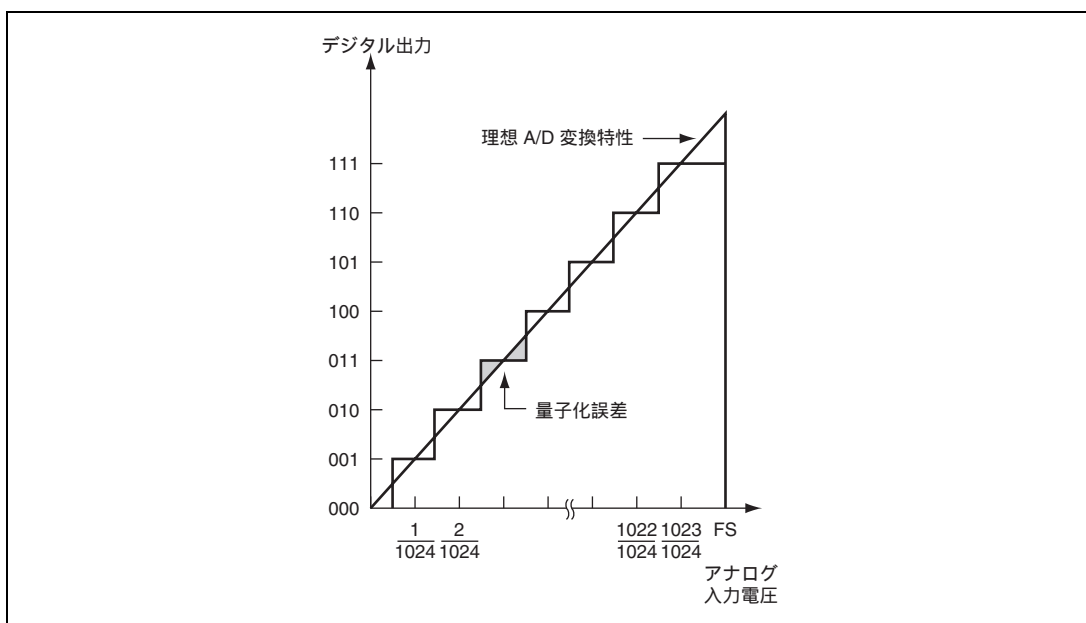


図 16.7 A/D 変換精度の定義

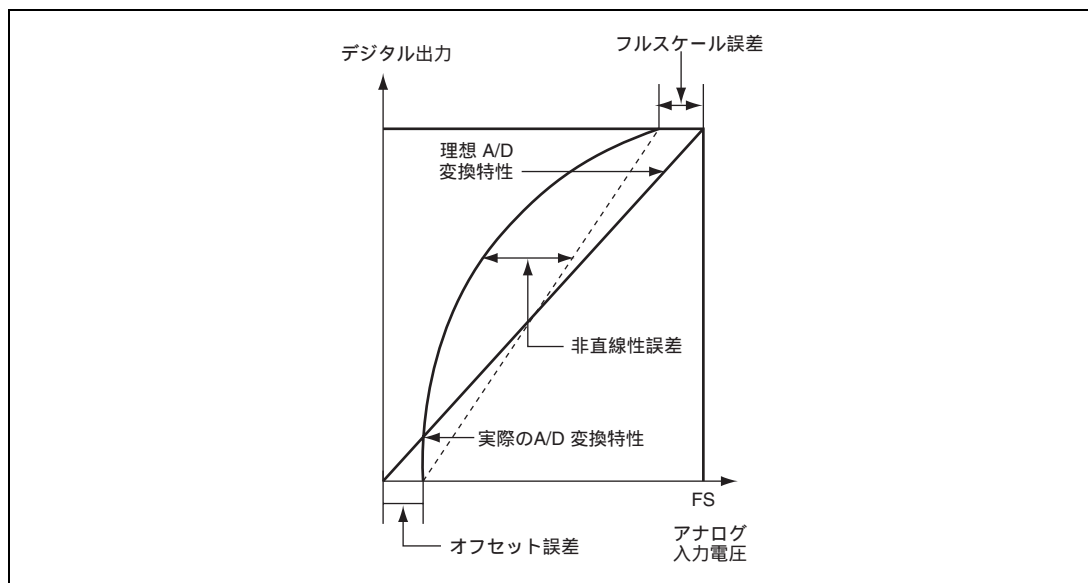


図 16.8 A/D 変換精度の定義

16.7 使用上の注意事項

16.7.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、A/D 変換器の動作禁止 / 許可を設定することが可能です。初期値では、A/D 変換器の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「24. 低消費電力」を参照してください。

16.7.2 許容信号源インピーダンスについて

本 LSI のアナログ入力は、信号源インピーダンスが $5k\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっています。これは A/D 変換器のサンプル & ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが $5k\Omega$ を超える場合は、充電不足が生じて A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合は、入力への負荷は実質的に内部入力抵抗の $10k\Omega$ だけになりますので、信号源インピーダンスは不用となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号 (たとえば $5mV/\mu s$ 以上) には追従できないことがあります (図 16.9)。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

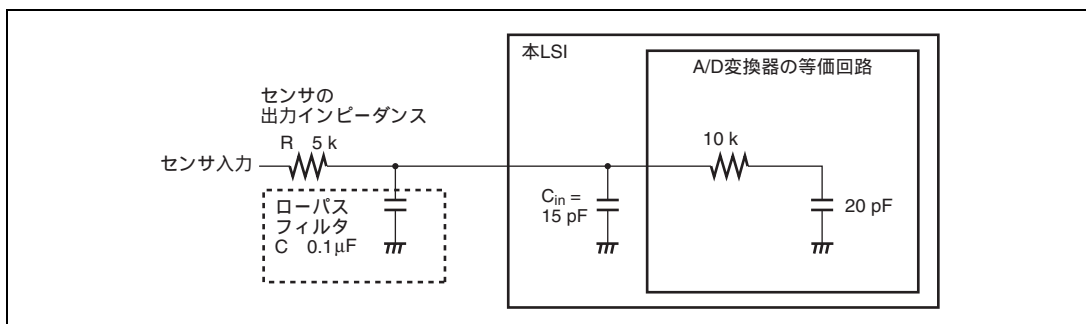


図 16.9 アナログ入力回路の例

16.7.3 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることになりますので、GND にノイズがあると絶対精度が悪化する可能性がありますので、必ず AV_{SS} 等の電氣的に安定な GND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意してください。

16.7.4 アナログ電源端子ほかの設定範囲

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

A/D 変換中、アナログ入力端子 AN_n に印加する電圧は $AV_{SS} \sim V_{AN} \sim V_{ref}$ の範囲としてください。

- AV_{CC0} 、 AV_{CC1} 、 AV_{SS} と V_{CC} 、 V_{SS} の関係

AV_{CC0} 、 AV_{CC1} 、 AV_{SS} と V_{CC} 、 V_{SS} の関係は、 $AV_{CC0} = V_{CC} \pm 0.3V$ 、 $AV_{CC1} = V_{CC} \pm 0.3V$ かつ $AV_{SS} = V_{SS}$ としてください。A/D 変換器を使用しない場合、 $AV_{CC0} = V_{CC}$ 、 $AV_{CC1} = V_{CC}$ 、 $AV_{SS} = V_{SS}$ としてください。

- V_{ref} の設定範囲

V_{ref} 端子によるリファレンス電圧の設定範囲は、 $V_{ref} \sim AV_{CC0}$ 、 $V_{ref} \sim AV_{CC1}$ にしてください。

16.7.5 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号配線を交差させたり、近接させないでください。誘導によりアナログ回路が誤動作し、A/D 変換値に悪影響を及ぼします。アナログ入力端子 ($AN_0 \sim AN_{15}$)、アナログ基準電源 (V_{ref})、アナログ電源電圧 (AV_{CC0} 、 AV_{CC1}) は、アナロググランド (AV_{SS}) で、デジタル回路と分離してください。さらに、アナロググランド (AV_{SS}) は、ボード上の安定したグランド (V_{SS}) に一点接続してください。

16.7.6 ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子 (AN0 ~ AN15) の破壊を防ぐために、図 16.10 に示すように AVcc0 - AVss、AVcc1 - AVss 間に保護回路を接続してください。AVcc0、AVcc1 に接続するバイパスコンデンサ、AN0 ~ AN15 に接続するフィルタ用のコンデンサは、必ず AVss に接続してください。

なお、フィルタ用のコンデンサを接続すると、AN0 ~ AN15 の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモードなどで A/D 変換を頻繁に行う場合、A/D 変換器内部のサンプル&ホールド回路の容量に充放電される電流が入力インピーダンス (R_{in}) を経由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。したがって、回路定数は充分ご検討の上決定してください。

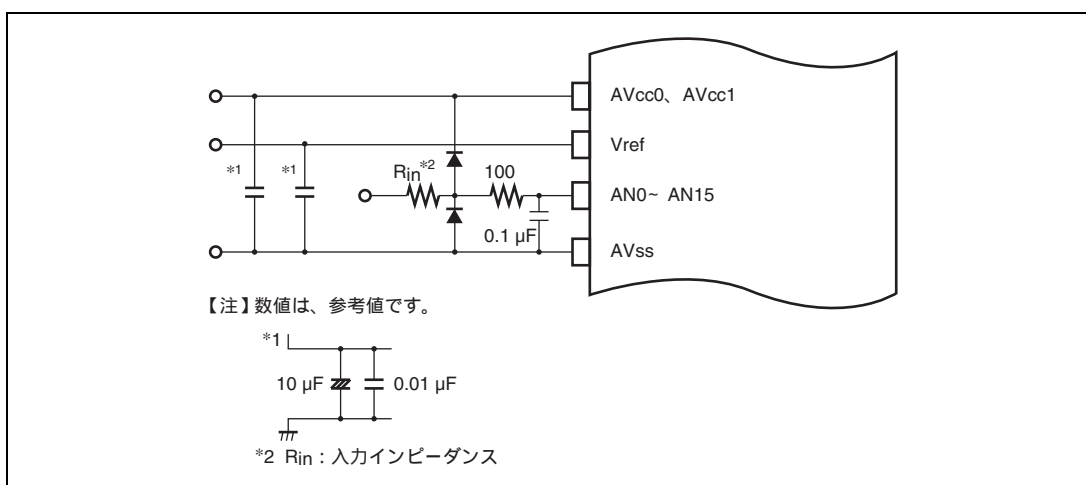


図 16.10 アナログ入力保護回路の例

表 16.6 アナログ端子の規格

項目	min	max	単位
アナログ入力容量	-	20	pF
許容信号源インピーダンス	-	5	k

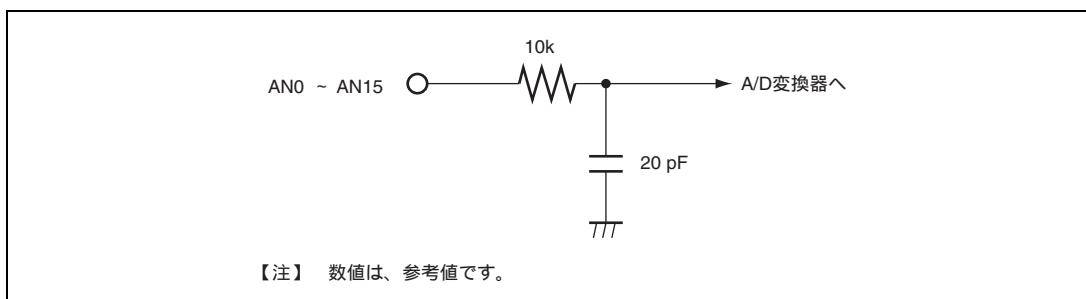


図 16.11 アナログ入力端子等価回路

16.7.7 ソフトウェアスタンバイ時の A/D 変換保持機能

A/D 変換を許可した状態で本 LSI がソフトウェアスタンバイモードになると A/D 変換は保持され、アナログ電流は A/D 変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、ADST、TRGS1、TRGS0 ビットをすべて 0 にクリアして A/D 変換を禁止してください。

17. D/A 変換器

17.1 特長

- 分解能：8ビット
- 出力チャンネル：2チャンネル
- 変換時間：最大10 μ s（負荷容量20pF時）
- 出力電圧：0V ~ V_{ref}
- ソフトウェアスタンバイモード時のD/A出力保持機能
- モジュールストップモードの設定可能

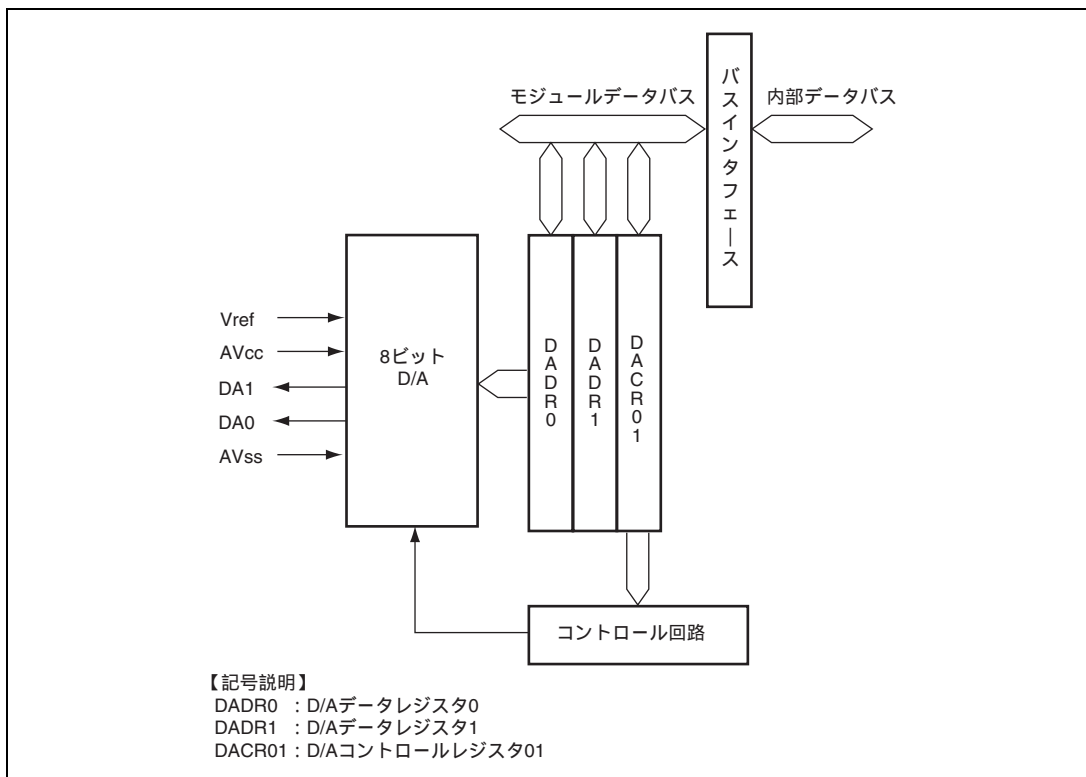


図 17.1 D/A 変換器のブロック図

17. D/A 変換器

17.2 入出力端子

D/A 変換器で使用する入出力端子を表 17.1 に示します。

表 17.1 端子構成

名称	記号	入出力	機能
アナログ電源端子	AVcc	入力	アナログ部の電源端子
アナロググランド端子	AVss	入力	アナログ部のグランド端子
リファレンス電源端子	Vref	入力	D/A 変換器の基準電圧端子
アナログ出力端子 0	DA0	出力	チャンネル 0 のアナログ出力
アナログ出力端子 1	DA1	出力	チャンネル 1 のアナログ出力

17.3 レジスタの説明

D/A 変換器には以下のレジスタがあります。

- D/Aデータレジスタ0 (DADR0)
- D/Aデータレジスタ1 (DADR1)
- D/Aコントロールレジスタ01 (DACR01)

17.3.1 D/A データレジスタ 0、1 (DADR0、DADR1)

DADR は、D/A 変換を行うデータを格納するための 8 ビットのリード/ライト可能なレジスタです。アナログ出力を許可すると、DADR の値が変換されアナログ出力端子に出力されます。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

17.3.2 D/A コントロールレジスタ 01 (DACR01)

DACR01 は D/A 変換器の動作を制御します。

ビット	7	6	5	4	3	2	1	0
ビット名	DAOE1	DAOE0	DAE	-	-	-	-	-
初期値:	0	0	0	1	1	1	1	1
R/W:	R/W	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	DAOE1	0	R/W	D/A アウトプットイネーブル 1 D/A 変換とアナログ出力を制御します。 0 : チャネル 1 のアナログ出力 (DA1) を禁止 1 : チャネル 1 の D/A 変換を許可。チャネル 1 のアナログ出力 (DA1) を許可
6	DAOE0	0	R/W	D/A アウトプットイネーブル 0 D/A 変換とアナログ出力を制御します。 0 : チャネル 0 のアナログ出力 (DA0) を禁止 1 : チャネル 0 の D/A 変換を許可。チャネル 0 のアナログ出力 (DA0) を許可
5	DAE	0	R/W	D/A イネーブル DAOE0、DAOE1 ビットとの組み合わせで、D/A 変換を制御します。このビットが 0 にクリアされているとチャネル 0、1 の D/A 変換は個別に制御されます。このビットが 1 にセットされているとチャネル 0、1 の D/A 変換は一括して制御されます。変換結果の出力は、DAOE0、DAOE1 ビットにより制御されます。表 17.2 を参照してください。
4~0	-	すべて 1	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。

表 17.2 D/A 変換の制御

ビット 5	ビット 7	ビット 6	説明
DAE	DAOE1	DAOE0	
0	0	0	D/A 変換を禁止
		1	チャネル 0 の D/A 変換を許可、チャネル 1 の D/A 変換を禁止 チャネル 0 のアナログ出力 (DA0) を許可、チャネル 1 のアナログ出力 (DA1) を禁止
	1	0	チャネル 0 の D/A 変換を禁止、チャネル 1 の D/A 変換を許可 チャネル 0 のアナログ出力 (DA0) を禁止、チャネル 1 のアナログ出力 (DA1) を許可
		1	チャネル 0、1 の D/A 変換を許可 チャネル 0、1 のアナログ出力 (DA0、DA1) を許可
1	0	0	チャネル 0、1 の D/A 変換を許可 チャネル 0、1 のアナログ出力 (DA0、DA1) を禁止
		1	チャネル 0、1 の D/A 変換を許可 チャネル 0 のアナログ出力 (DA0) を許可、チャネル 1 のアナログ出力 (DA1) を禁止
	1	0	チャネル 0、1 の D/A 変換を許可 チャネル 0 のアナログ出力 (DA0) を禁止、チャネル 1 のアナログ出力 (DA1) を許可
		1	チャネル 0、1 の D/A 変換を許可 チャネル 0、1 のアナログ出力 (DA0、DA1) を許可

17.4 動作説明

2チャンネルのD/A変換器は、それぞれ独立して変換を行うことができます。DACR01のDAOE0ビットを1にセットすると、D/A変換が許可され変換結果が出力されます。

チャンネル0のD/A変換を行う場合の動作例を以下に示します。このときの動作タイミングを図17.2に示します。

1. DADR0に変換データをライトします。
2. DACR01のDAOE0ビットを1にセットすると、D/A変換が開始されます。t_{DCONV}時間経過後、変換結果がアナログ出力端子DA0より出力されます。DADR0を書き換えるかDAOE0ビットを0にクリアするまで、この変換結果が出力され続けます。出力値は以下の式で表されます。

$$\frac{\text{DADR0の内容}}{256} \times V_{\text{ref}}$$

3. DADR0を書き換えるとただちに変換が開始されます。t_{DCONV}時間経過後、変換結果が出力されます。
4. DAOE0ビットを0にクリアするとアナログ出力を禁止します。

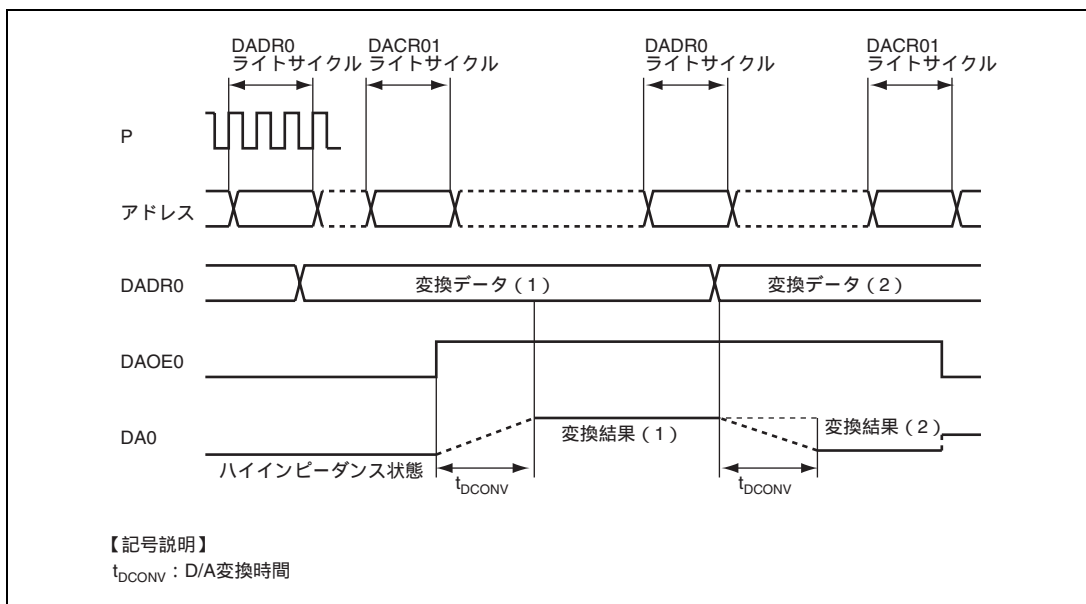


図 17.2 D/A 変換器の動作例

17.5 使用上の注意事項

17.5.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、D/A 変換器の動作禁止/許可を設定することが可能です。初期値では、D/A 変換器の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は「24. 低消費電力」を参照してください。

17.5.2 ソフトウェアスタンバイモード時の D/A 出力保持機能

D/A 変換を許可した状態で本 LSI がソフトウェアスタンバイモードになると D/A 出力は保持され、アナログ電源電流は D/A 変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、DAOE0、DAOE1、DAE ビットをすべて 0 にクリアして D/A 出力を禁止してください。

18. モータコントロール PWM タイマ

本 LSI は、最大 16 本のパルス出力が可能なモータコントロール PWM (Pulse Width Modulator) を 2 チャンネル内蔵しています。

18.1 特長

- 最大16本のパルス出力が可能
8本の出力を持つ10ビットPWMを2チャンネル内蔵しています。
10ビットのカウンタ (PWCNT) とサイクルレジスタ (PWCYR) を備えています。
デューティおよび出力極性は1本ごとに設定可能です。
- 1サイクルごとにデータの自動転送が可能
4本のデューティレジスタ (PWDTR) にはそれぞれにバッファレジスタ (PWBFR) を備えており、1サイクルごとに自動的にデータ転送されます。
- デューティ設定可能
デューティレジスタの設定値で0%から100%まで設定できます。
- 5種類のカウントクロックが選択可能
5種類のカウントクロック (P 、 P /2、 P /4、 P /8、 P /16) が選択できます。
- 内部16ビットバスによる高速アクセスが可能
- 割り込み要因 : 2種類
サイクルレジスタのコンペアマッチで、2チャンネル個別に割り込み要求が可能です。
- レジスタのデータの自動転送が可能
DMACの起動により、ブロック転送および1ワードデータ転送が可能です。
- 出力ドライバ内蔵
IOL/IOH : typ = 15mA、 max = 30mA
Total IOL/IOH : max = 120mA (数値は目標値です)
- モジュールストップモードの設定可能

18. モータコントロール PWM タイマ

PWM のブロック図を図 18.1 に示します。

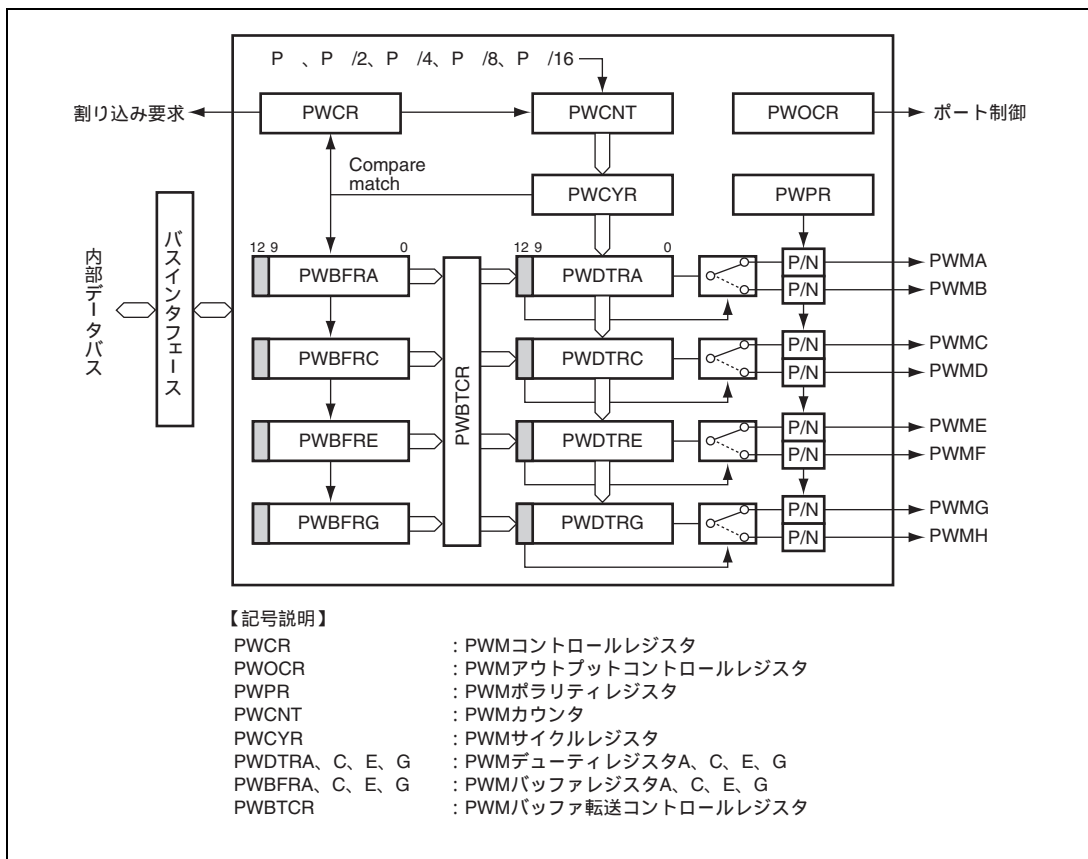


図 18.1 PWM のブロック図

18.2 入出力端子

PWM の端子構成を表 18.1 に示します。

表 18.1 端子構成

チャンネル	名 称	記号	入出力	機 能
1	PWM 出力端子 1A	PWM1A	出力	チャンネル 1A の PWM 出力
	PWM 出力端子 1B	PWM1B	出力	チャンネル 1B の PWM 出力
	PWM 出力端子 1C	PWM1C	出力	チャンネル 1C の PWM 出力
	PWM 出力端子 1D	PWM1D	出力	チャンネル 1D の PWM 出力
	PWM 出力端子 1E	PWM1E	出力	チャンネル 1E の PWM 出力
	PWM 出力端子 1F	PWM1F	出力	チャンネル 1F の PWM 出力
	PWM 出力端子 1G	PWM1G	出力	チャンネル 1G の PWM 出力
	PWM 出力端子 1H	PWM1H	出力	チャンネル 1H の PWM 出力
2	PWM 出力端子 2A	PWM2A	出力	チャンネル 2A の PWM 出力
	PWM 出力端子 2B	PWM2B	出力	チャンネル 2B の PWM 出力
	PWM 出力端子 2C	PWM2C	出力	チャンネル 2C の PWM 出力
	PWM 出力端子 2D	PWM2D	出力	チャンネル 2D の PWM 出力
	PWM 出力端子 2E	PWM2E	出力	チャンネル 2E の PWM 出力
	PWM 出力端子 2F	PWM2F	出力	チャンネル 2F の PWM 出力
	PWM 出力端子 2G	PWM2G	出力	チャンネル 2G の PWM 出力
	PWM 出力端子 2H	PWM2H	出力	チャンネル 2H の PWM 出力

18.3 レジスタの説明

PWM にはチャンネルごとに以下のレジスタがあります。

- PWMコントロールレジスタ (PWCR)
- PWMアウトプットコントロールレジスタ (PWOCR)
- PWMポラリティレジスタ (PWPR)
- PWMカウンタ (PWCNT)
- PWMサイクルレジスタ (PWCYR)
- PWMデューティレジスタA、C、E、G (PWDTRA、PWDTRC、PWTRE、PWTDRG)
- PWMバッファレジスタA、C、E、G (PWBFR A、PWBFR C、PWBFR E、PWBFR G)
- PWMバッファ転送コントロールレジスタ (PWBTCR)

18. モータコントロール PWM タイマ

18.3.1 PWM コントロールレジスタ (PWCR)

PWCR は割り込みの許可、カウンタの起動/停止、およびカウンタのクロック選択を行います。また、サイクルレジスタのコンペアマッチを示すフラグも備えています。

ビット	7	6	5	4	3	2	1	0
ビット名	-	-	IE	CMF	CST	CKS2	CKS1	CKS0
初期値:	1	1	0	0	0	0	0	0
R/W:	-	-	R/W	R/(W)*	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて1	-	リザーブビット リードすると常に1がリードされます。ライトは無効です。
5	IE	0	R/W	割り込みイネーブル 対応するチャンネルのPWCYRがコンペアマッチしたときの、割り込みの許可/禁止を選択します。 0: 割り込み要求を禁止 1: 割り込み要求を許可
4	CMF	0	R/(W)*	コンペアマッチフラグ 対応するチャンネルのPWCYRのコンペアマッチの発生を示します。 [セット条件] PWCNT = PWCYR になったとき [クリア条件] • 1の状態をリード後、0をライトしたとき • コンペアマッチ割り込みにより、DMACが起動され、DMACのDMDRのDTAビットが1のとき (割り込みを使用し、CPUによってクリアする場合、0ライト後必ずフラグをリードしてください)
3	CST	0	R/W	カウンタスタート 対応するチャンネルのPWCNTの起動/停止を選択します。 0: PWCNTを停止 1: PWCNTを起動
2 1 0	CKS2 CKS1 CKS0	0 0 0	R/W R/W R/W	クロックセレクト 対応するチャンネルのPWCNTのカウンタクロックを選択します。 000: 内部クロック P でカウント 001: 内部クロック P /2でカウント 010: 内部クロック P /4でカウント 011: 内部クロック P /8でカウント 1xx: 内部クロック P /16でカウント

【記号説明】 x: Don't care

【注】 * フラグをクリアするための0ライトのみ可能です。

18.3.2 PWM アウトプットコントロールレジスタ (PWOCR)

PWOCR は PWM 出力の許可 / 禁止を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	OEnH	OEnG	OEnF	OEnE	OEnD	OEnC	OEnB	OEnA
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	OEnH	0	R/W	アウトプットイネーブル
6	OEnG	0	R/W	各ビットに対応する PWM 出力の許可 / 禁止を選択します。 0 : PWM 出力を禁止 1 : PWM 出力を許可
5	OEnF	0	R/W	
4	OEnE	0	R/W	
3	OEnD	0	R/W	
2	OEnC	0	R/W	
1	OEnB	0	R/W	
0	OEnA	0	R/W	

(n = 1, 2)

18.3.3 PWM ポラリティレジスタ (PWPR)

PWPR は PWM 出力の極性の選択を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	OPSnH	OPSnG	OPSnF	OPSnE	OPSnD	OPSnC	OPSnB	OPSnA
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	OPSnH	0	R/W	アウトプットポラリティセレクト
6	OPSnG	0	R/W	各ビットに対応する PWM 出力の極性を選択します。 0 : PWM 直接出力 1 : PWM 反転出力
5	OPSnF	0	R/W	
4	OPSnE	0	R/W	
3	OPSnD	0	R/W	
2	OPSnC	0	R/W	
1	OPSnB	0	R/W	
0	OPSnA	0	R/W	

(n = 1, 2)

18. モータコントロール PWM タイマ

18.3.4 PWM カウンタ (PWCNT)

PWCNT は、10 ビットのアップカウンタで、入力するクロックによりカウントアップされます。入力するクロックは、PWCR の CKS2 ~ CKS0 ビットで選択します。PWCNT は CPU から直接アクセスできません。PWCNT は、PWCR の CST ビットが 0 のとき、H'FC00 に初期化されます。

18.3.5 PWM サイクルレジスタ (PWCYR)

PWCYR は、16 ビットのリード/ライト可能なレジスタで、PWM の変換周期を設定するレジスタです。PWCYR のコンペアマッチが発生すると、PWCNT はクリアされ、バッファレジスタ (PWBFR) からデューティレジスタ (PWDTR) へのデータ転送が行われます。

PWCYR への書き込みは PWCNT の停止中に行ってください。また、PWCYR に H'FC00 を設定しないでください。PWCYR の初期値は H'FFFF です。

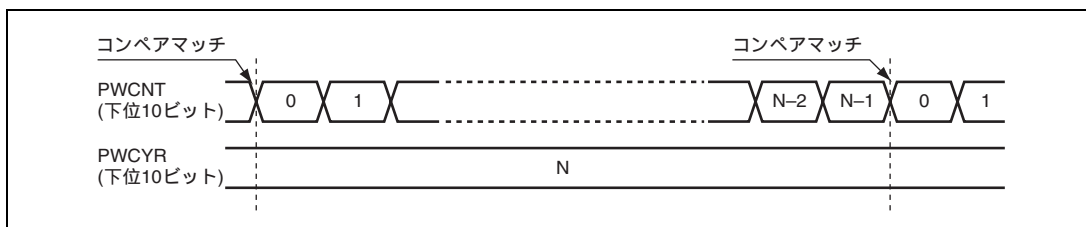


図 18.2 サイクルレジスタのコンペアマッチ

18.3.6 PWM デューティレジスタ A、C、E、G (PWDTRA、PWDTRC、PWTRE、PWDTRG)

PWDTR は、4 本のレジスタ (PWDTRA、PWDTRC、PWTRE、PWDTRG) で構成されています。PWDTRA は PWMA、B 出力に、PWDTRC は PWMC、D 出力に、PWTRE は PWME、F 出力に、PWDTRG は PWMG、H 出力にそれぞれ対応します。PWDTR は CPU から直接アクセスできません。PWCYR のコンペアマッチが発生すると、バッファレジスタ (PWBFR) からデューティレジスタ (PWDTR) にデータ転送が行われます。PWDTR は CST ビットが 0 のとき、H'00 に初期化されます。

ビット	15	14	13	12	11	10	9	8
ビット名	-	-	-	OTS	-	-	DT9	DT8
初期値:	-	-	-	0	-	-	0	0
R/W:	-	-	-	-	-	-	-	-
ビット	7	6	5	4	3	2	1	0
ビット名	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0
初期値:	0	0	0	0	0	0	0	0
R/W:	-	-	-	-	-	-	-	-

18. モータコントロール PWM タイマ

ビット	ビット名	初期値	R/W	説 明
15~13	-	すべて-	-	リザーブビット
12	OTS	0	-	アウトプットターミナルセレクト PWM 出力を行う端子を選択します。非選択の端子は Low レベル (PWPR1 の当該ビットが 1 のときは High レベル) を出力します。詳細は表 18.2 を参照してください。
11、10	-	すべて-	-	リザーブビット
9	DT9	0	-	デューティ PWM 出力のデューティを設定するデータです。PWCYR のコンペアマッチの発生で PWCNT がクリアされてから、PWDTR のコンペアマッチが発生するまでの間、High レベル (PWPR の当該ビットが 1 のときは Low レベル) を出力します。全ビットが 0 の場合は、High レベル (PWPR の当該ビットが 1 のときは Low レベル) を出力する期間はありません。
8	DT8	0	-	
7	DT7	0	-	
6	DT6	0	-	
5	DT5	0	-	
4	DT4	0	-	
3	DT3	0	-	
2	DT2	0	-	
1	DT1	0	-	
0	DT0	0	-	

表 18.2 OTS ビット出力選択

レジスタ	ビット 12	説 明
	OTS	
PWDTR1A/ PWDTR2A	0	PWMA 出力を選択
	1	PWMB 出力を選択
PWDTR1C/ PWDTR2C	0	PWMC 出力を選択
	1	PWMD 出力を選択
PWDTR1E/ PWDTR2E	0	PWME 出力を選択
	1	PWME 出力を選択
PWDTR1G/ PWDTR2G	0	PWMG 出力を選択
	1	PWMH 出力を選択

18. モータコントロール PWM タイマ

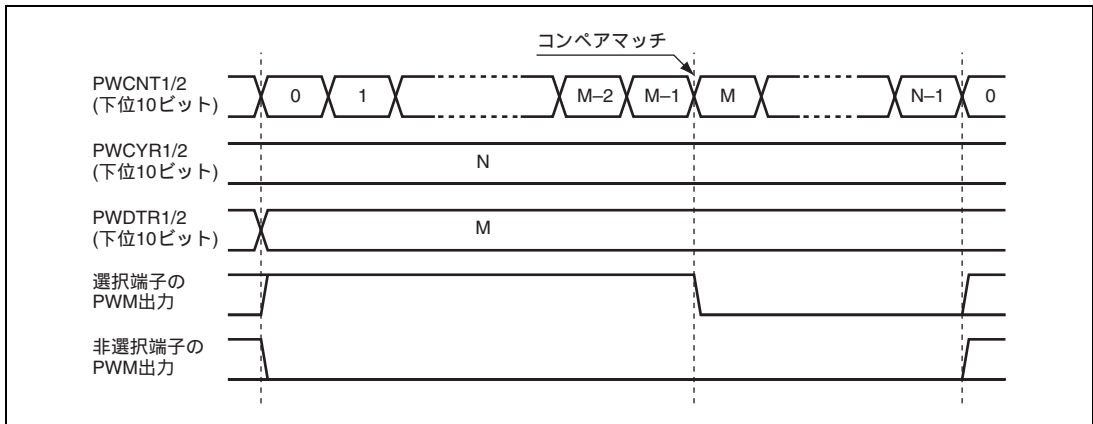


図 18.3 デューティレジスタのコンペアマッチ (PWPR の OPS = 0)

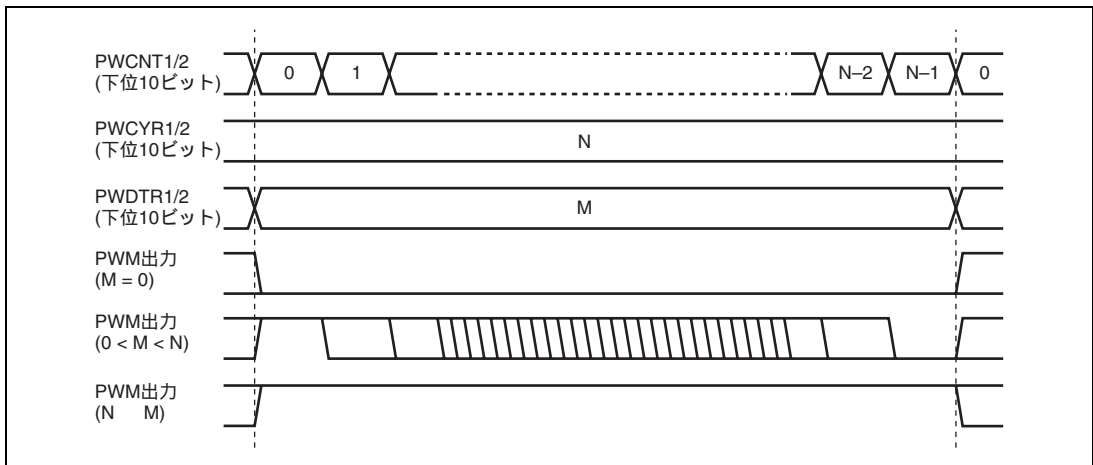


図 18.4 デューティレジスタの設定値による PWM 出力の相違 (PWPR の OPS = 0)

18.3.7 PWM バッファレジスタ A、C、E、G (PWBFR A、PWBFR C、PWBFR E、PWBFR G)

PWBFR は 4 本のレジスタで (PWBFR A、PWBFR C、PWBFR E、PWBFR G) で構成されています。PWCYR のコンペアマッチが発生するとバッファレジスタ (PWBFR) からデューティレジスタ (PWDTR) にデータが転送されます。

ビット	15	14	13	12	11	10	9	8
ビット名	-	-	-	OTS	-	-	DT9	DT8
初期値:	1	1	1	0	1	1	0	0
R/W:	-	-	-	R/W	-	-	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて 1	-	リザーブビット リードすると常に 1 がリードされます。ライトは無効です。
12	OTS	0	R/W	アウトプットターミナルセレクト PWDTR のビット 12 のためのデータです。
11、10	-	すべて 1	-	リザーブビット リードすると常に 1 がリードされます。ライトは無効です。
9	DT9	0	R/W	デューティ PWDTR のビット 9~0 のためのデータです。
8	DT8	0	R/W	
7	DT7	0	R/W	
6	DT6	0	R/W	
5	DT5	0	R/W	
4	DT4	0	R/W	
3	DT3	0	R/W	
2	DT2	0	R/W	
1	DT1	0	R/W	
0	DT0	0	R/W	

18. モータコントロール PWM タイマ

18.3.8 PWM バッファ転送コントロールレジスタ (PWBTCR)

PWBTCR は PWM カウンタと PWM サイクルレジスタのコンペアマッチによる、バッファレジスタからデューティレジスタへのデータ転送を禁止 / 許可します。

ビット	7	6	5	4	3	2	1	0
ビット名	BTC2G	BTC2E	BTC2C	BTC2A	BTC1G	BTC1E	BTC1C	BTC1A
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	BTC2G	0	R/W	0 : PWCNT と PWCYR のコンペアマッチで PWBFR PWDTR への転送 許可 1 : PWCNT と PWCYR のコンペアマッチで PWBFR PWDTR への転送 禁止
6	BTC2E	0	R/W	
5	BTC2C	0	R/W	
4	BTC2A	0	R/W	
3	BTC1G	0	R/W	
2	BTC1E	0	R/W	
1	BTC1C	0	R/W	
0	BTC1A	0	R/W	

18.4 バスマスタとのインタフェース

18.4.1 16 ビットデータレジスタ

PWCYR、PWBFR は 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位でのリード/ライトが可能です。8 ビット単位でのリード/ライトはできません。常に 16 ビット単位でアクセスしてください。

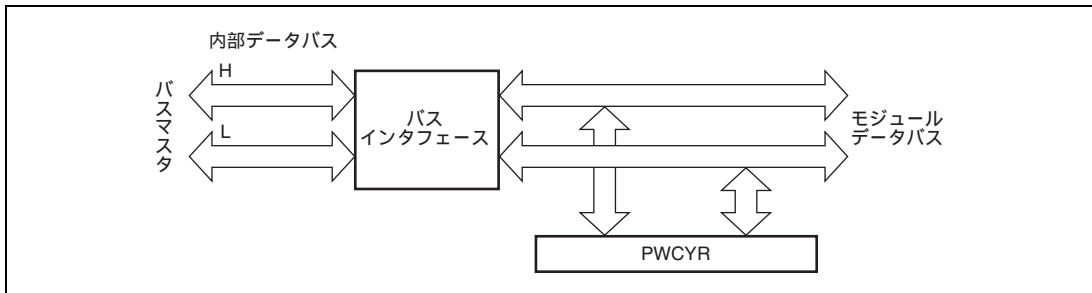


図 18.5 16 ビットレジスタのアクセス動作 (バスマスタ↔PWCYR (16 ビット))

18.4.2 8 ビットデータレジスタ

PWCR、PWOCR、PWPR、PWBTCR は 8 ビットのレジスタです。8 ビット単位でのリード/ライトが可能です。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位でのリード/ライトが可能です。下位 8 ビットは読み出すと常に H'FF になります。

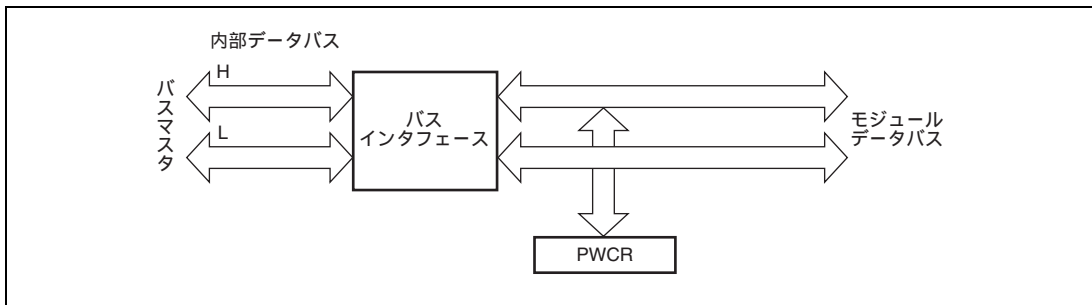


図 18.6 8 ビットレジスタのアクセス動作 (バスマスタ↔PWCR (上位 8 ビット))

18.5 動作説明

18.5.1 PWM の動作

PWM1A ~ 1H、PWM2A ~ 2H 端子からは、図 18.7 に示すような PWM 波形が出力されます。

(1) 初期設定

PWPR で PWM 出力の極性を設定します。PWOCR の OEn ビットを 1 にセットし、端子の PWM 出力を許可に設定します。PWCR の CKS2 ~ CKS0 ビットによって PWCNT に入力するクロックを選択します。

PWCYR で PWM の変換周期を設定します。PWBFR、C、E、G に 1 フレーム目のデータを設定します。

(2) 起動

PWCR の CST ビットを 1 にセットすると、PWCNT はアップカウントを開始します。PWCNT と PWCYR のコンペアマッチが発生すると、バッファレジスタからデューティレジスタにデータが転送され、PWCR の CMF ビットが 1 にセットされます。このとき、PWCR の IE ビットが 1 にセットされていれば、割り込み要求または DMAC の起動が可能です。

(3) 波形出力

PWDTRA、C、E、G の OTS ビットによって選択された PWM 出力は、PWCNT と PWCYR のコンペアマッチが発生すると High レベルを出力します。OTS ビットによって選択されない PWM 出力は Low レベルを出力します。PWCNT と PWDTRA、C、E、G のコンペアマッチが発生すると、対応する PWM 出力から Low レベルを出力します。なお、PWPR の対応するビットが 1 のときは反転して出力します。

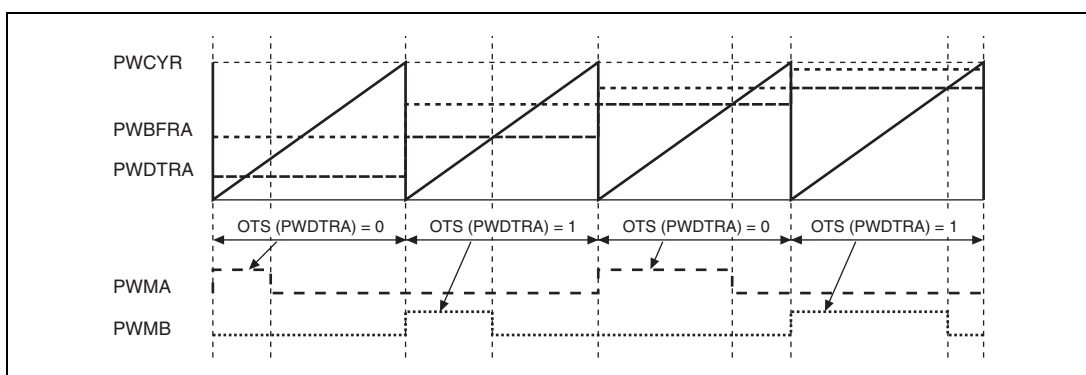


図 18.7 PWM の動作

(4) 次フレーム

PWCNT と PWCYR のコンペアマッチが発生し、バッファレジスタからデューティレジスタにデータが転送されます。PWCNT はリセットされ、H'000 からカウントアップします。PWCR の CMF ビットはセットされ PWCR1、PWCR2 の IE ビットがセットされていれば、割り込み要求または DMAC の起動が可能です。

(5) 停止

PWCR の CST ビットを 0 にクリアすると、PWCNT はリセットされ停止します。各 PWM 出力からは Low レベル (PWPR の対応するビットが 1 のときは High レベル) を出力します。

18.5.2 バッファ転送制御について

PWM バッファ転送コントロールレジスタの対応するビットをセットするとコンペアマッチによるバッファ転送を禁止します。バッファレジスタの書き換え中にコンペアマッチが発生しても出力変化を起こしません。対応するビットをクリアするとそれ以降に発生したコンペアマッチでバッファ転送が行われます。

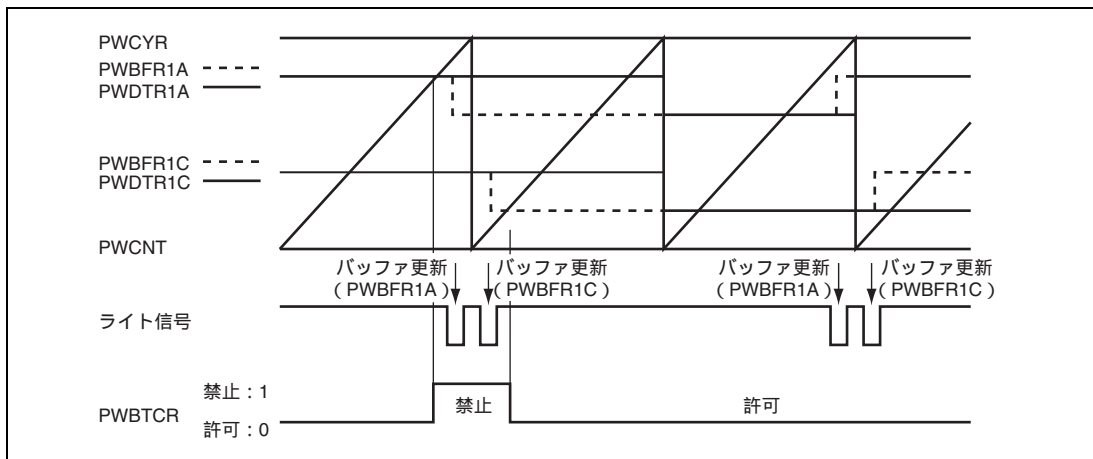


図 18.8 バッファ転送禁止動作説明

18.6 使用上の注意事項

18.6.1 バッファレジスタのライトとコンペアマッチの競合

サイクルレジスタのコンペアマッチの直後のステートで PWBFR のライトが行われると、バッファレジスタと共にデューティレジスタも書き換えられます。サイクルレジスタのコンペアマッチで変化した PWM 出力は、競合によるデューティレジスタの書き換えでは変化しないので、意図しないデューティの出力になることがあります。

バッファレジスタの書き換えは、DMAC による自動転送、コンペアマッチ割り込みによる例外処理、または PWCNT の CMF (コンペアマッチフラグ) の立ち上がりを検出して、サイクルレジスタのコンペアマッチが発生するまでに完了してください。

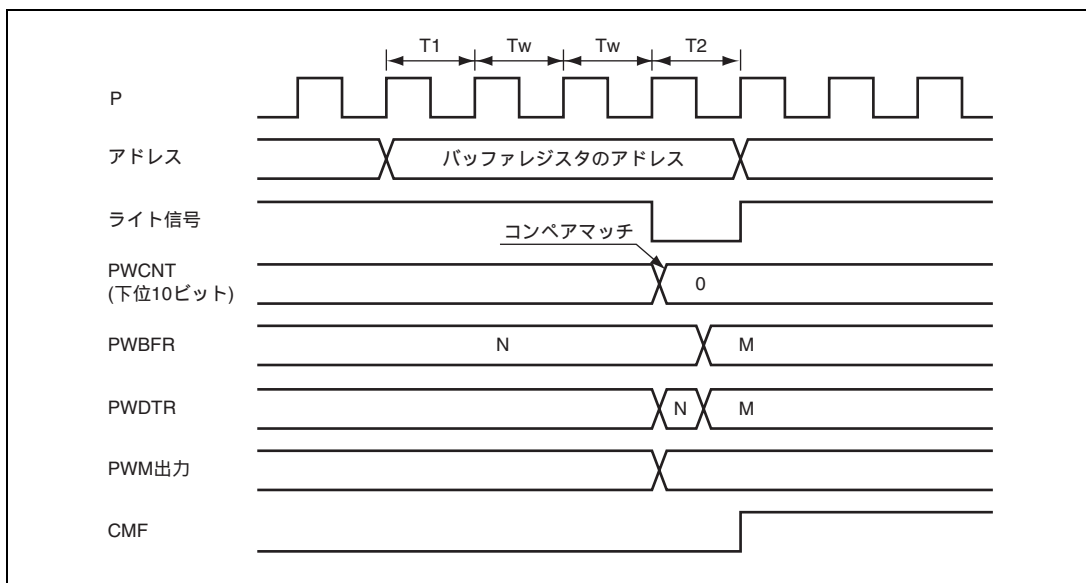


図 18.9 バッファレジスタのライトとコンペアマッチの競合

19. 16ビットPWM

本 LSI は 12 本のパルス出力可能な 16 ビット PWM (Pulse Width Modulator) を内蔵しています。

19.1 特長

- 12本のパルス出力が可能
4本の出力を持つ16ビットPWMを3チャンネル内蔵しています。
それぞれのチャンネルに16ビットのカウンタ (PWCNT) とサイクルレジスタ (PWCYR) を備えています。
デューティは1本ごとに設定可能です。
- 16ビットPWMモードと10ビットStepping Motorモードを切り替え可能
- 1サイクルごとにデータの自動転送が可能
デューティレジスタ (PWDTR) はそれぞれバッファレジスタ (PWBFR) を備えており、1サイクルごとに自動的にデータ転送されます。
- デューティ設定可能
デューティレジスタの設定値で0%から100%まで設定できます。
- 5種類のカウントクロックが選択可能
5種類のカウントクロック (P 、 P /2、 P /4、 P /8、 P /16) が選択できます。
- 内部16ビットバスによる高速アクセスが可能
16ビットバスインタフェースによる高速アクセスが可能です。
- 割り込み要因：3種類
サイクルレジスタのコンペアマッチで、3チャンネル個別に割り込み要求が可能です。
- レジスタのデータの自動転送が可能
DMACの起動により、ブロック転送および1ワード転送が可能です。
- 出力ドライバ内蔵 (チャンネル0、チャンネル1)
IOH/IOL : typ=15mA、max=30mA
Total IOH/IOL : max=120mA (数値は目標値です。)
- モジュールストップモードの設定可能

19. 16ビットPWM

PWMのブロック図を図19.1に示します。

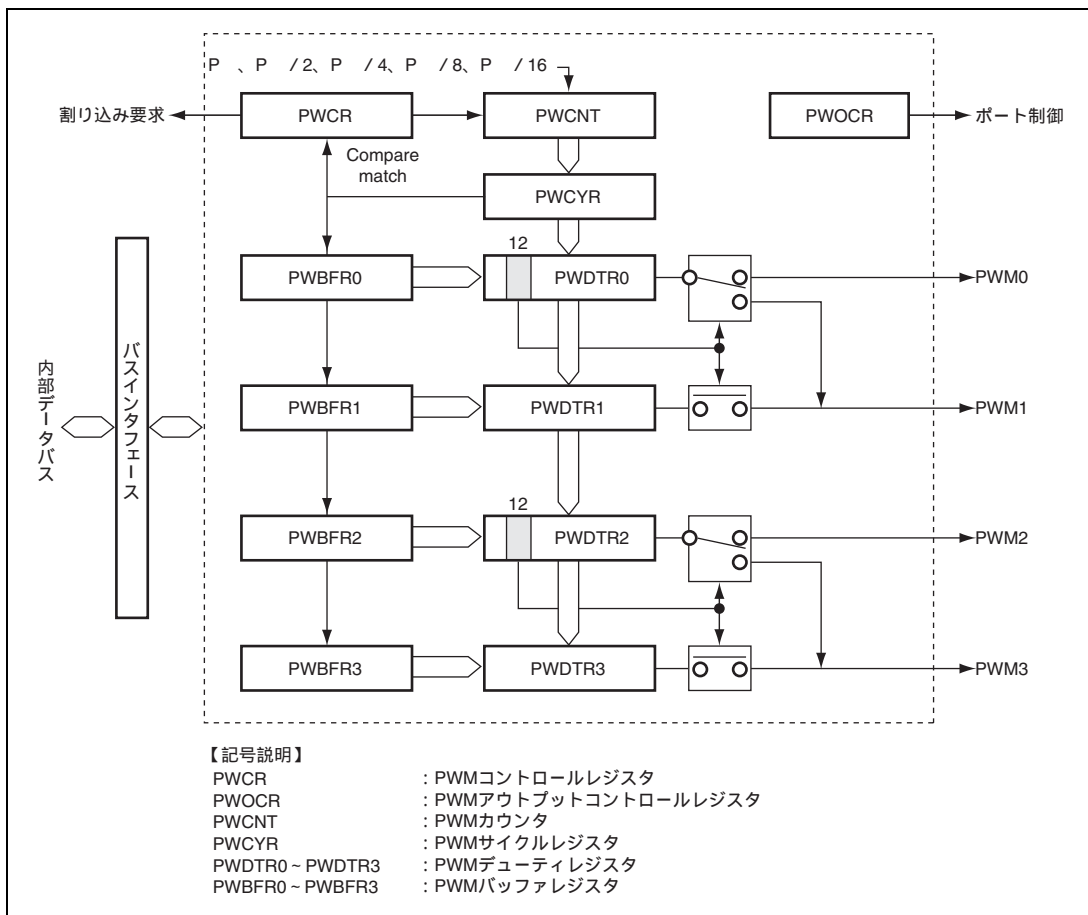


図 19.1 PWMのブロック図

19.2 端子構成

PWMの端子構成を表19.1に示します。

表 19.1 端子構成

チャンネル	名称	記号	入出力	機能
0	PWM出力端子0	PWM0_0	出力	チャンネル0のPWM0出力
	PWM出力端子1	PWM1_0	出力	チャンネル0のPWM1出力
	PWM出力端子2	PWM2_0	出力	チャンネル0のPWM2出力
	PWM出力端子3	PWM3_0	出力	チャンネル0のPWM3出力
1	PWM出力端子0	PWM0_1	出力	チャンネル1のPWM0出力
	PWM出力端子1	PWM1_1	出力	チャンネル1のPWM1出力
	PWM出力端子2	PWM2_1	出力	チャンネル1のPWM2出力
	PWM出力端子3	PWM3_1	出力	チャンネル1のPWM3出力
2	PWM出力端子0	PWM0_2	出力	チャンネル2のPWM0出力
	PWM出力端子1	PWM1_2	出力	チャンネル2のPWM1出力
	PWM出力端子2	PWM2_2	出力	チャンネル2のPWM2出力
	PWM出力端子3	PWM3_2	出力	チャンネル2のPWM3出力

19.3 レジスタの説明

チャンネル0

- PWMコントロールレジスタ_0 (PWCR_0)
- PWMアウトプットコントロールレジスタ_0 (PWOCR_0)
- PWMカウンタ_0 (PWCNT_0)
- PWMサイクルレジスタ_0 (PWCYR_0)
- PWMデューティレジスタ0_0 (PWDTR0_0)
- PWMデューティレジスタ1_0 (PWDTR1_0)
- PWMデューティレジスタ2_0 (PWDTR2_0)
- PWMデューティレジスタ3_0 (PWDTR3_0)
- PWMバッファレジスタ0_0 (PWBFR0_0)
- PWMバッファレジスタ1_0 (PWBFR1_0)
- PWMバッファレジスタ2_0 (PWBFR2_0)
- PWMバッファレジスタ3_0 (PWBFR3_0)

チャンネル 1

- PWMコントロールレジスタ_1 (PWCR_1)
- PWMアウトプットコントロールレジスタ_1 (PWOCR_1)
- PWMカウンタ_1 (PWCNT_1)
- PWMサイクルレジスタ_1 (PWCYR_1)
- PWMデューティレジスタ0_1 (PWDTR0_1)
- PWMデューティレジスタ1_1 (PWDTR1_1)
- PWMデューティレジスタ2_1 (PWDTR2_1)
- PWMデューティレジスタ3_1 (PWDTR3_1)
- PWMバッファレジスタ0_1 (PWBFR0_1)
- PWMバッファレジスタ1_1 (PWBFR1_1)
- PWMバッファレジスタ2_1 (PWBFR2_1)
- PWMバッファレジスタ3_1 (PWBFR3_1)

チャンネル 2

- PWMコントロールレジスタ_2 (PWCR_2)
- PWMアウトプットコントロールレジスタ_2 (PWOCR_2)
- PWMカウンタ_2 (PWCNT_2)
- PWMサイクルレジスタ_2 (PWCYR_2)
- PWMデューティレジスタ0_2 (PWDTR0_2)
- PWMデューティレジスタ1_2 (PWDTR1_2)
- PWMデューティレジスタ2_2 (PWDTR2_2)
- PWMデューティレジスタ3_2 (PWDTR3_2)
- PWMバッファレジスタ0_2 (PWBFR0_2)
- PWMバッファレジスタ1_2 (PWBFR1_2)
- PWMバッファレジスタ2_2 (PWBFR2_2)
- PWMバッファレジスタ3_0 (PWBFR3_2)

19.3.1 PWM コントロールレジスタ (PWCR)

PWCR は、動作モードの選択、割り込みの許可、カウンタ (PWCNT) の起動/停止、およびカウンタ (PWCNT) のクロック選択を行います。また、サイクルレジスタ (PWCYR) のコンペアマッチを示すフラグも備えています。設定の変更はカウンタ (PWCNT) が停止中に行ってください。

ビット	7	6	5	4	3	2	1	0
ビット名	-	SMS	IE	CMF	CST	CKS2	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	-	R/W	R/W	R/(W)*	R/W	R/W	R/W	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	-	0	-	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
6	SMS	0	R/W	動作モードセレクト 16ビットPWMモードとして使用するか、10ビットStepping Motorモードとして使用するかを選択します。 0: 16ビットPWMモード 1: 10ビットStepping Motorモード
5	IE	0	R/W	割り込みイネーブル 対応するチャンネルのPWCYRがコンペアマッチしたときの、割り込み許可/禁止を選択します。 0: 割り込み要求を禁止 1: 割り込み要求を許可
4	CMF	0	R/(W)*	コンペアマッチフラグ 対応するチャンネルのPWCYRのコンペアマッチの発生を示します。 [セット条件] PWCNT=PWCYRになったとき [クリア条件] • 1の状態をリード後、0をライトしたとき • コンペアマッチ割り込みにより、DMACが起動され、DMACのDMDRのDTAビットが1のとき (割り込みを使用し、CPUによってクリアする場合、0ライト後必ずフラグをリードしてください)
3	CST	0	R/W	カウンタスタート 対応するチャンネルのPWCNTの起動/停止を選択します。 0: PWCNTを停止 1: PWCNTを起動

19. 16 ビット PWM

ビット	ビット名	初期値	R/W	説 明
2	CKS2	0	R/W	クロックセレクト 2-0
1	CKS1	0	R/W	対応するチャンネルの PWCNT のカウンタクロックを選択します。
0	CKS0	0	R/W	000 : 内部クロック P でカウント 001 : 内部クロック P /2 でカウント 010 : 内部クロック P /4 でカウント 011 : 内部クロック P /8 でカウント 1xx : 内部クロック P /16 でカウント

【記号説明】 x : Don't Care

【注】 * フラグをクリアするための 0 ライトのみ可能です。

19.3.2 PWM アウトプットコントロールレジスタ (PWOCR)

PWOCR は、PWM 出力の許可 / 禁止を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	OE3	OE2	OE1	OE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~4	-	すべて 0	-	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
3	OE3	0	R/W	OE3 は PWM3 の出力の許可 / 禁止 0 : PWM 出力を禁止 1 : PWM 出力を許可
2	OE2	0	R/W	OE2 は PWM2 出力の許可 / 禁止 0 : PWM 出力を禁止 1 : PWM 出力を許可
1	OE1	0	R/W	OE1 は PWM1 の出力の許可 / 禁止 0 : PWM 出力を禁止 1 : PWM 出力を許可
0	OE0	0	R/W	OE0 は PWM0 の出力の許可 / 禁止 0 : PWM 出力を禁止 1 : PWM 出力を許可

19.3.3 PWM カウンタ (PWCNT)

PWCNT は、16ビットのアップカウンタで、入力するクロックによりカウントアップされます。入力するクロックは、PWCR のCKS2～CKS0ビットで選択します。PWCNTはCPUから直接アクセスできません。PWCNTは、PWCRのCSTビットが0のとき、H'0000に初期化されます。

19.3.4 PWM サイクルレジスタ (PWCYR)

PWCYR は、16ビットのリード/ライト可能なレジスタで、PWMの変換周期を設定するレジスタです。

PWCYRのコンペアマッチが発生すると、PWCNTはクリアされ、バッファレジスタ(PWBFR)から、デューティレジスタ(PWDTR)へのデータ転送が行われます。

変換周期設定値は、動作モードが16ビットPWMモード時(PWCRのSMSビット=0)は、PWCYRの全ビットが機能しますが、10ビットStepping Motorモード時(PWCRのSMSビット=1)はPWCYRの下位10ビットのみが機能します。ただし、10ビットStepping Motorモード時も上位6ビットのリード/ライトは可能です。

PWCYRの書き込みは、PWCNTの停止中に行ってください。またPWCYRにH'0000を設定しないでください。PWCYRの初期値はH'FFFFです。

ビット	15	14	13	12	11	10	9	8
ビット名	CY15	CY14	CY13	CY12	CY11	CY10	CY9	CY8
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	CY7	CY6	CY5	CY4	CY3	CY2	CY1	CY0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

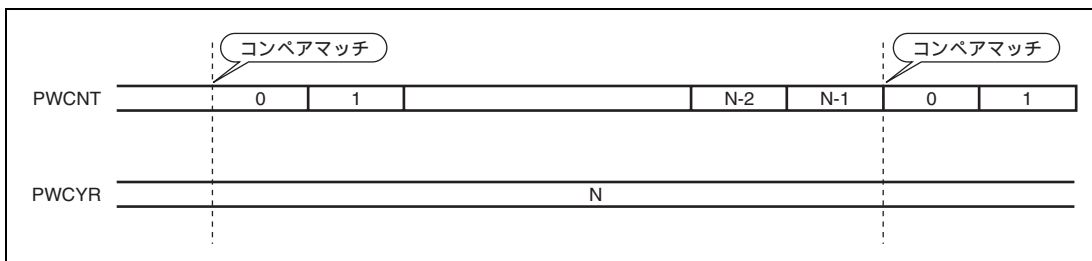


図 19.2 サイクルレジスタのコンペアマッチ

19.3.5 PWM デューティレジスタ 0~3 (PWDTR0~PWDTR3)

PWDTR は 16 ビットの 4 本のレジスタ (PWDTR0~PWDTR3) で構成されています。

PWDTR は CPU から直接アクセスできません。PWCYR のコンペアマッチが発生すると、バッファレジスタ (PWBFR) から PWDTR にデータ転送が行われます。

PWDTR は、PWCYR の CST ビットが 0 のとき、H'0000 に初期化されます。

PWDTR と PWM 出力端子の対応は動作モードにより異なります。表 19.2、表 19.3 に対応を示します。

- PWDTR0、PWDTR2

ビット	15	14	13	12	11	10	9	8
ビット名	DT15	DT14	DT13	DT12/OTS	DT11	DT10	DT9	DT8
初期値:	0	0	0	0	0	0	0	0
R/W:	-	-	-	-	-	-	-	-
ビット	7	6	5	4	3	2	1	0
ビット名	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0
初期値:	0	0	0	0	0	0	0	0
R/W:	-	-	-	-	-	-	-	-

- PWDTR1、PWDTR3

ビット	15	14	13	12	11	10	9	8
ビット名	DT15	DT14	DT13	DT12	DT11	DT10	DT9	DT8
初期値:	0	0	0	0	0	0	0	0
R/W:	-	-	-	-	-	-	-	-
ビット	7	6	5	4	3	2	1	0
ビット名	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0
初期値:	0	0	0	0	0	0	0	0
R/W:	-	-	-	-	-	-	-	-

• 16ビットPWMモード時のビット

ビット	ビット名	初期値	R/W	説明
15~0	DT15~DT0	すべて0	-	PWM出力のデューティを設定するデータです。 PWCYRのコンペアマッチの発生でPWCNTがクリアされてから、PWDTRのコンペアマッチが発生するまでの間 High レベルを出力します。全ビットが0の場合 High レベルを出力する期間はありません。

• 10ビットStepping Motorモード時のビット

ビット	ビット名	初期値	R/W	説明
15~13	DT15~DT13	すべて0	-	無効ビット このビットの値が動作に影響を与えることはありません。
12	OTS	0	-	アウトプットターミナルセレクト PWM波形を出力する端子を選択します。 詳細は表 19.2、表 19.3 を参照してください。
11	DT11	0	-	無効ビット
10	DT10	0	-	このビットの値が動作に影響を与えることはありません。
9~0	DT9~DT0	すべて0	-	PWM出力のデューティを設定するデータです。 PWCYRのコンペアマッチの発生でPWCNTをクリアされてから、PWDTRのコンペアマッチが発生するまでの間 High レベルを出力します。全ビットが0の場合 High レベルを出力する期間はありません。

表 19.2 PWM0 出力、PWM1 出力選択

PWCRのSMSビット	PWDTR0のDT12/OTSビット	PWM0出力	PWM1出力
0	x	PWDTR0[15 : 0]	PWDTR1[15 : 0]
1	0	PWDTR0[9 : 0]	0出力
1	1	0出力	PWDTR0[9 : 0]

表 19.3 PWM2 出力、PWM3 出力選択

PWCRのSMSビット	PWDTR2のDT12/OTSビット	PWM2出力	PWM3出力
0	x	PWDTR2[15 : 0]	PWDTR3[15 : 0]
1	0	PWDTR2[9 : 0]	0出力
1	1	0出力	PWDTR2[9 : 0]

【記号説明】 x : Don't Care

19. 16 ビット PWM

19.3.6 PWM バッファレジスタ 0～3 (PWBFR0～PWBFR3)

PWBFR は 16 ビットのリード/ライト可能な 4 本のレジスタ (PWBFR0～PWBFR3) で構成されています。

PWCYR のコンペアマッチが発生すると、バッファレジスタ (PWBFR) からデューティレジスタ (PWDTR) にデータが転送されます。

ビット	15	14	13	12	11	10	9	8
ビット名	DT15	DT14	DT13	DT12/OTS	DT11	DT10	DT9	DT8
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15～13	DT15～DT13	すべて 0	R/W	デューティ 15～13 PWDTR のビット 15～13 のデータを設定するためのビットです。
12	DT12/OTS	0	R/W	アウトプットターミナルセレクト PWDTR のビット 12 のデータを設定するためのビットです。
11～0	DT11～DT0	すべて 0	R/W	デューティ 11～0 PWDTR のビット 11～0 のデータを設定するためのビットです。

19.4 動作説明

19.4.1 16ビットPWMモード時の動作

16ビットPWMモード時、PWM0～PWM3端子からは、図19.3に示すようなPWM波形が出力されます。

(1) 初期設定

PWCRのSMSビットを0に設定し、16ビットPWMモードを選択します。

PWOCRのOEnビット ($n=3\sim 0$) を1にセットし、端子のPWM出力を許可に設定します。

PWCRのCKS2～CKS0ビットによってPWCNTに入力するクロックを選択します。

PWCYRでPWMの変換周期を設定します。PWBFR0～PWBFR3に1フレーム目のデータを設定します。

(2) 起動

PWCRのCSTビットを1にセットすると、PWCNTはアップカウントを開始します。PWCNTとPWCYRのコンペアマッチが発生すると、PWBFRからPWDTRにデータが転送され、PWCRのCMFビットが1にセットされます。このとき、PWCRのIEビットが1にセットされていれば、割り込み要求またはDMACの起動が可能です。

(3) 波形出力

PWCNTとPWCYRのコンペアマッチが発生するとHighレベルを出力します。

PWCNTとPWDTR0～PWDTR3のコンペアマッチが発生すると、対応するPWM出力からLowレベルを出力します。

(4) 次フレーム

PWCNTとPWCYRのコンペアマッチが発生すると、PWBFRからPWDTRにデータが転送されます。

PWCNTはリセットされ、再度H'0000からカウントアップします。このときPWCRのCMFビットはセットされ、PWCRのIEビットがセットされていれば、割り込み要求またはDMACの起動が可能です。

(5) 停止

PWCRのCSTビットを0にクリアすると、PWCNTはリセットされ停止します。各PWM出力端子からはLowを出力します。

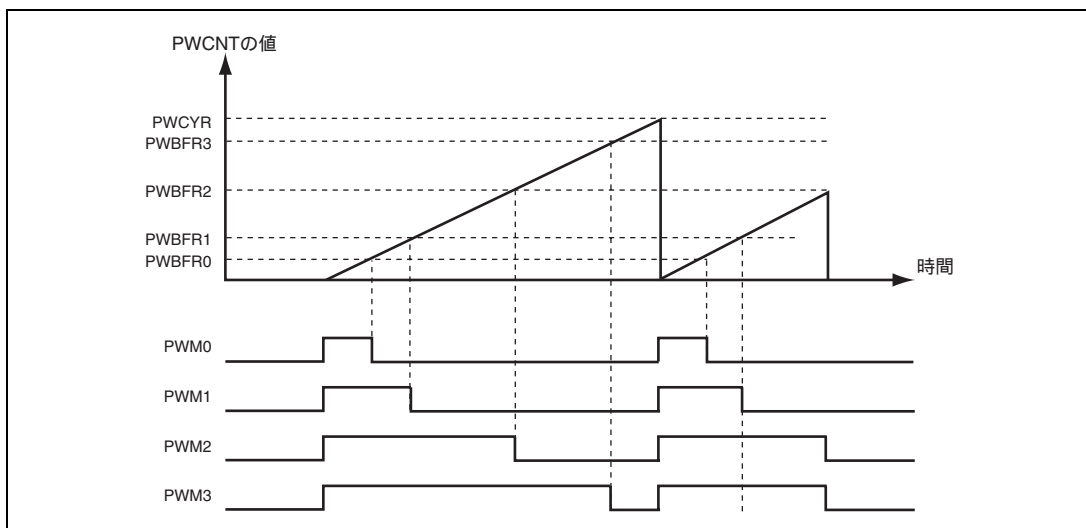


図 19.3 16ビット PWM モード時の動作

19.4.2 10ビット Stepping Motor モード時の動作

10ビット Stepping Motor モード時、PWM0～PWM3 端子からは、図 19.4 に示すような PWM 波形が出力されま
す。

(1) 初期設定

PWCRのSMSビットを1に設定し、10ビットStepping Motorモードを選択します。

PWOCRのOEnビット (n=3～0) を1にセットし、端子のPWM出力を許可に設定します。

PWCRのCKS2～CKS0ビットによってPWCNTに入力するクロックを選択します。

PWCYRでPWMの変換周期を設定します。PWBFR0～PWBFR3に1フレーム目のデータを設定します。

(2) 起動

PWCRのCSTビットを1にセットすると、PWCNTはアップカウントを開始します。PWCNTとPWCYRの下位
10ビットのコンペアマッチが発生すると、PWBFRからPWDTRにデータが転送され、PWCRのCMFビットが1
にセットされます。このとき、PWCRのIEビットが1にセットされていれば、割り込み要求またはDMACの起
動が可能です。

(3) 波形出力

PWDTR0、PWDTR2のOTSビットによって選択されたPWM出力は、PWCNTとPWCYRのコンペアマッチが発
生するとHighレベルを出力します。OTSビットによって選択されないPWM出力はLowレベルを出力します。
PWCNTとPWDTR0～PWDTR3のコンペアマッチが発生すると、対応するPWM出力からLowレベルを出力し
ます。

(4) 次フレーム

PWCNTとPWCYRのコンペアマッチが発生すると、PWBFRからPWDTRにデータが転送されます。

PWCNTはリセットされ、再度H'000からカウントアップします。このときPWCRのCMFビットはセットされ、PWCRのIEビットがセットされていれば、割り込み要求またはDMAC起動が可能です。

(5) 停止

PWCRのCSTビットを0にクリアすると、PWCNTはリセットされ停止します。各PWM出力端子からはLowを出力します。

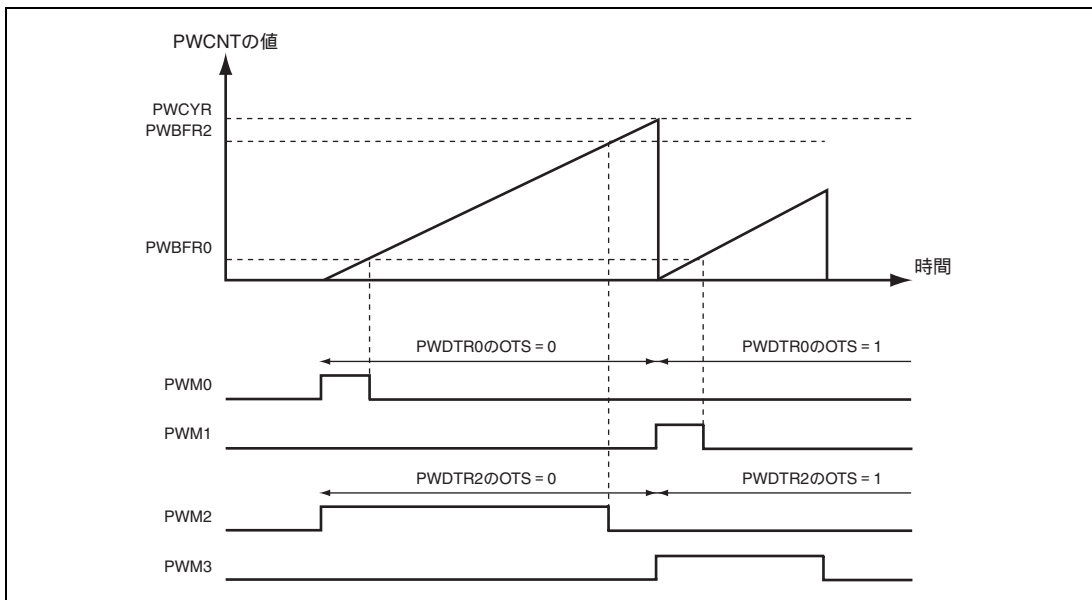


図 19.4 10ビット Stepping Motor モード時の動作

19.5 使用上の注意事項

19.5.1 レジスタアクセス時の注意

(1) 16 ビットデータレジスタ

PWCYR、PWBFR0～PWBFR 3 は 16 ビット幅のレジスタです。

バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位でのリード/ライトが可能です。

8 ビット単位でのリード/ライトはできません。常に 16 ビット単位でアクセスしてください。

(2) 8 ビットデータレジスタ

PWCR、PWOCR は 8 ビットのレジスタです。8 ビット単位でのリード/ライトが可能です。

バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位でのリード/ライトが可能です。下位 8 ビットを読み出すと常に H'FF になります。

19.5.2 バッファレジスタのライトとコンペアマッチの競合

PWCYR と PWCNT のコンペアマッチの直後に、PWBFR のライトが行われると、バッファレジスタとともにデューティレジスタも書き換えられます。サイクルレジスタのコンペアマッチで変化した PWM 出力は、競合によるデューティレジスタの書き換えでは変化しないので、意図しないデューティの出力になることがあります。

バッファレジスタの書き換えは、DMAC による自動転送、コンペアマッチ割り込みによる例外処理、または、PWCR の CMF の立ち上がりを検出して、サイクルレジスタのコンペアマッチが発生するまでに完了してください。

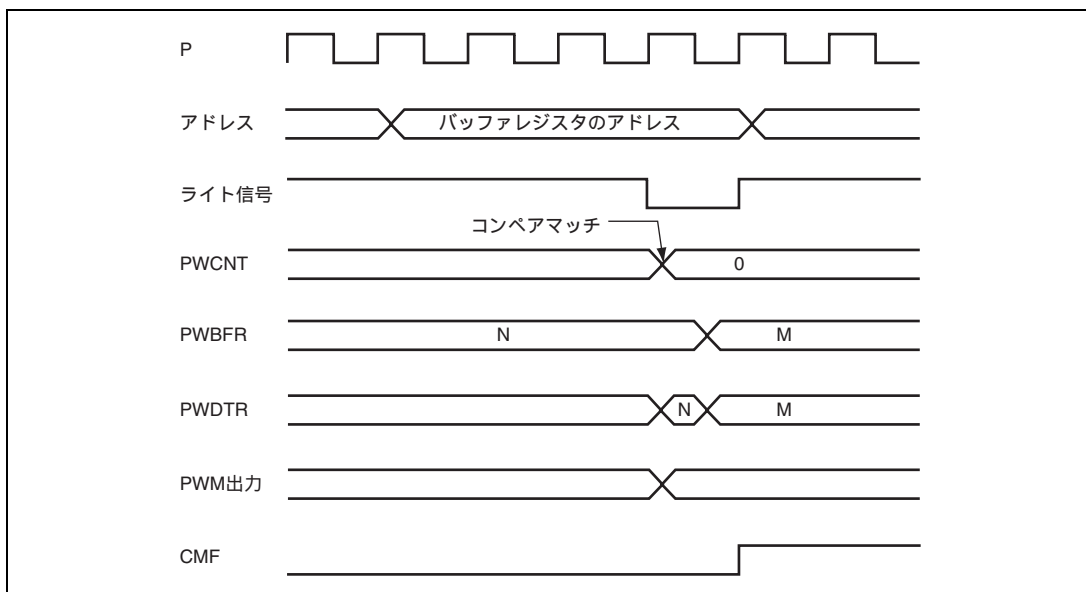


図 19.5 バッファレジスタのライトとコンペアマッチの競合

19.5.3 CKS2 ~ CKS0 ビットの書き換え

PWCNT の動作中に PWCR の CKS2 ~ CKS0 ビットを書き換えると、カウントアップが正しく行われない場合があります。

CKS2 ~ CKS0 ビットの書き換えは、必ず PWCNT が停止しているとき (CST ビットが 0 のとき) に行ってください。

19.5.4 16 ビット PWM モードと 10 ビット Stepping Motor モードの切り替え

PWCNT の動作中に 16 ビット PWM モードと 10 ビット Stepping Motor モードを切り替えると、正しい動作が行われない場合があります。モードの切り替えは、必ず PWCNT が停止しているとき (CST ビットが 0 のとき) に行ってください。

20. サウンドジェネレータ (SDG)

本 LSI はサウンドジェネレータ (SDG) を 4 チャンネル内蔵しています。

20.1 特長

- 8ビットPWM出力による音量調整可能
- 動作クロックを選択可能
4種類の動作クロック (P /2 ~ P /16) が選択可能
- 出力精度1%以下で31Hz ~ 20kHzの範囲で周波数設定が可能
- SDG出力の停止方法が選択可能
- 自動減衰機能の選択可能
- 割り込み要因 : 1種類
減衰終了割り込み要求が可能
- モジュールストップモードの設定可能

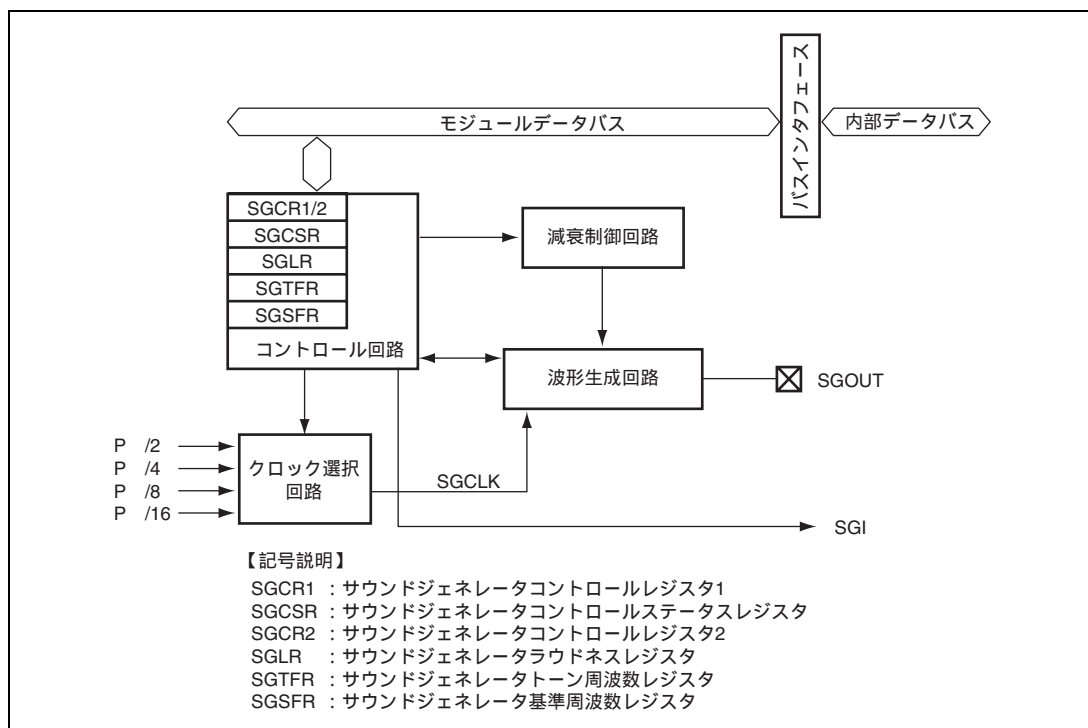


図 20.1 SDG のブロック図

20. サウンドジェネレータ (SDG)

20.2 入出力端子

サウンドジェネレータの端子構成を表 20.1 に示します。

表 20.1 端子構成

名称	記号	入出力	機能
サウンドジェネレータ出力端子 0	SGOUT_0	出力	チャンネル 0 のサウンドジェネレータ出力
サウンドジェネレータ出力端子 1	SGOUT_1	出力	チャンネル 1 のサウンドジェネレータ出力
サウンドジェネレータ出力端子 2	SGOUT_2	出力	チャンネル 2 のサウンドジェネレータ出力
サウンドジェネレータ出力端子 3	SGOUT_3	出力	チャンネル 3 のサウンドジェネレータ出力

20.3 レジスタの説明

- サウンドジェネレータコントロールレジスタ1 (SGCR1)
- サウンドジェネレータコントロールステータスレジスタ (SGCSR)
- サウンドジェネレータコントロールレジスタ2 (SGCR2)
- サウンドジェネレータラウドネスレジスタ (SGLR)
- サウンドジェネレータトーン周波数レジスタ (SGTFR)
- サウンドジェネレータ基準周波数レジスタ (SGSFR)

20.3.1 サウンドジェネレータコントロールレジスタ 1 (SGCR1)

SGCR1 は、SDG の動作制御を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	SGST	STPM	SGE	SGCK1	SGCK0	DPF2	DPF1	DPF0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	SGST	0	R/W	SDG スタート SDG の動作の許可 / 停止を設定します。 0 : 停止 1 : 許可 ただし、SGST = 1 のときでも STPM の状態により、停止の仕方が異なります。
6	STPM	0	R/W	停止方法選択 SDG の動作停止方法を選択します。 0 : SGST = 0 で停止 1 : 減衰機能 on 時、SGST = 0 かつ SGDEF = 1 で停止 減衰機能 off 時、SGST = 0 かつ SGEND = 1 で停止
5	SGE	0	R/W	SDG 出力イネーブル 0 : SGOUT 出力禁止 1 : SGOUT 出力許可
4	SGCK1	0	R/W	SDG クロックセレクト SDG の動作クロック (SGCLK) を選択します。 00 : P / 2 01 : P / 4 10 : P / 8 11 : P / 16
3	SGCK0	0	R/W	
2	DPF2	0	R/W	減衰機能セレクト 減衰機能の on/off および、減衰周期を選択します。 000 : 減衰機能 off 001 : TONE 周波数で減衰 010 : TONE 周波数 / 2 で減衰 011 : TONE 周波数 / 4 で減衰 100 : TONE 周波数 / 8 で減衰 101 : TONE 周波数 / 16 で減衰 110 : TONE 周波数 / 32 で減衰 111 : 設定禁止
1	DPF1	0	R/W	
0	DPF0	0	R/W	

20. サウンドジェネレータ (SDG)

20.3.2 サウンドジェネレータコントロールステータスレジスタ (SGCSR)

SGCSR は、SDG のステータスレジスタです。

ビット	7	6	5	4	3	2	1	0
ビット名	SGIE	SGDEF	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/(W)	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
7	SGIE	0	R/W	SDG インタラプトイネーブル SDG の減衰終了割り込み要求を許可 / 禁止します。 0: 割り込み要求禁止 1: 割り込み要求許可
6	SGDEF	0	R/(W)	SDG 減衰終了フラグ [セット条件] • 減衰終了時 [クリア条件] • 1 をリードした後、0 をライトしたとき • SGLR にライトしたとき • SGI 割り込み要求により DMAC が起動され、SGLR ヘデータをライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください)
5~1	-	すべて 0	R/W	リザーブビット ライト時は必ず 0 をライトしてください。
0	-	0	R	リザーブビット リードすると常に 0 が読まれます。ライトは無効です。

20.3.3 サウンドジェネレータコントロールレジスタ 2 (SGCR2)

SGCR2 は、SDG の停止の設定をします。

ビット	7	6	5	4	3	2	1	0
ビット名	SGEND	TCHG	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	SGEND	0	R/W	SDG ストップビット 減衰機能 off かつ STPM = 1 のとき、SDG の動作を制御します。 0: 動作継続 1: 動作停止 STPM = 0 のときは、本ビットの状態にかかわらず SGST ビットにより動作を制御します。
6	TCHG	0	R/W	TONE チェンジプロテクト TONE ビット、および SFS ビットへのライト許可 / 禁止を設定します。 TCHG = 1 の状態で TONE ビット、および SFS ビットにライトできます。 0: TONE ビット / SFS ビットへのライト禁止 1: TONE ビット / SFS ビットへのライト許可
5~0	-	すべて 0	R/W	リザーブビット ライトするときは必ず 0 を書き込んでください。

20. サウンドジェネレータ (SDG)

20.3.4 サウンドジェネレータラウドネスレジスタ (SGLR)

SGLR は、SGOUT のデューティを設定します。

ビット	7	6	5	4	3	2	1	0
ビット名	LD7	LD6	LD5	LD4	LD3	LD2	LD1	LD0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	LD7	0	R/W	ラウドネスデータ 出力パルスのデューティデータを格納します。
6	LD6	0	R/W	
5	LD5	0	R/W	
4	LD4	0	R/W	
3	LD3	0	R/W	
2	LD2	0	R/W	
1	LD1	0	R/W	
0	LD0	0	R/W	

20.3.5 サウンドジェネレータトーン周波数レジスタ (SGTFR)

SGTFR は、SDG の TONE 周波数を設定します。

ビット	7	6	5	4	3	2	1	0
ビット名	-	TONE6	TONE5	TONE4	TONE3	TONE2	TONE1	TONE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * TCHG = 1 のときのみライト可能です。

ビット	ビット名	初期値	R/W	説明
7	-	0	R/(W)*	リザーブビット ライトするときは必ず 0 を書き込んでください。
6	TONE6	0	R/(W)*	TONE 周波数設定 SFS ビットにより設定された基準周波数を基に、TONE 周波数を設定します。なお、H'00 は設定禁止です。
5	TONE5	0	R/(W)*	
4	TONE4	0	R/(W)*	
3	TONE3	0	R/(W)*	
2	TONE2	0	R/(W)*	
1	TONE1	0	R/(W)*	
0	TONE0	0	R/(W)*	

【注】 * TCHG = 1 のときのみライト可能です。

20.3.6 サウンドジェネレータ基準周波数レジスタ (SGSFR)

SGSFR は、SDG の基準周波数を設定します。

ビット	7	6	5	4	3	2	1	0
ビット名	SFS7	SFS6	SFS5	SFS4	SFS3	SFS2	SFS1	SFS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * TCHG = 1 のときのみライト可能です。

ビット	ビット名	初期値	R/W	説明
7	SFS7	0	R/(W)*	基準周波数設定 SGCR1 の SGCK ビットにより選択した SDG の動作クロック (SGCLK) を 基に基準周波数を設定します。 なお、H'00 は設定禁止です。
6	SFS6	0	R/(W)*	
5	SFS5	0	R/(W)*	
4	SFS4	0	R/(W)*	
3	SFS3	0	R/(W)*	
2	SFS2	0	R/(W)*	
1	SFS1	0	R/(W)*	
0	SFS0	0	R/(W)*	

【注】 * TCHG = 1 のときのみライト可能です。

20.4 動作説明

20.4.1 SDG 動作

(1) 初期設定

各レジスタの設定を行うときには、SDG が停止していることを確認してから行ってください。

SGCR1 を設定し、停止方法、動作クロック、減衰機能 on/off を選択します。また、減衰機能 on のときは減衰周期も選択します。SGCSR の SGIE ビットで割り込み要求の設定をします。

(2) 動作開始

SGCR1 の SGST ビットを 1 にセット、SGCR2 の SGEND ビットを 0 にクリアし、動作の許可を行います。SGCR2 の TCHG ビットを 1 にセットし、SGSFR と SGTFR のライトプロテクトを解除して、SGSFR の SFS7 ~ SFS0 ビットで基準周波数、SGTFR の TONE6 ~ TONE0 ビットで TONE 周波数を設定します。SGLR で出力パルスのデューティを設定します。SGCR2、SGLR、SGTFR、SGSFR のすべてのレジスタのライトが完了すると SDG は動作を開始します。

(3) 動作停止

SDG の動作停止方法は、SGCR1 の STPM ビットで設定します。

減衰機能 off 時、STPM = 0 のときは SGEND ビットにかかわらず SGST ビットによって動作を停止します。

STPM = 1 のときは、SGST = 0 かつ SGEND = 1 で動作を停止します。

減衰機能 on 時、STPM = 0 のときは SGST ビットを 0 にクリアすることにより、自動減衰が終了し SGDEF が 1 にセットされなくても、動作を停止します。STPM = 1 のときは、SGST を 0 にクリアしても、動作を停止せず自動減衰が終了し SGDEF が 1 にセットされることで動作が停止します。

SDG 停止条件一覧表を表 20.2 に、SDG の停止方法例を図 20.2 に示します。

表 20.2 SDG 停止条件一覧表

減衰機能 off 時					減衰機能 on 時				
STPM	SGST	SGEND	SGDEF	動作	STPM	SGST	SGEND	SGDEF	動作
0	0	x	x	停止	0	0	x	x	停止
0	1	x	x	出力	0	1	x	x	出力
1	0	0	x	保持*	1	0	x	0	保持*
1	0	1	x	停止	1	0	x	1	停止
1	1	0	x	出力	1	1	x	0	出力
1	1	1	x	出力	1	1	x	1	出力

【記号説明】

x : Don't care

【注】 * 保持は前状態保持

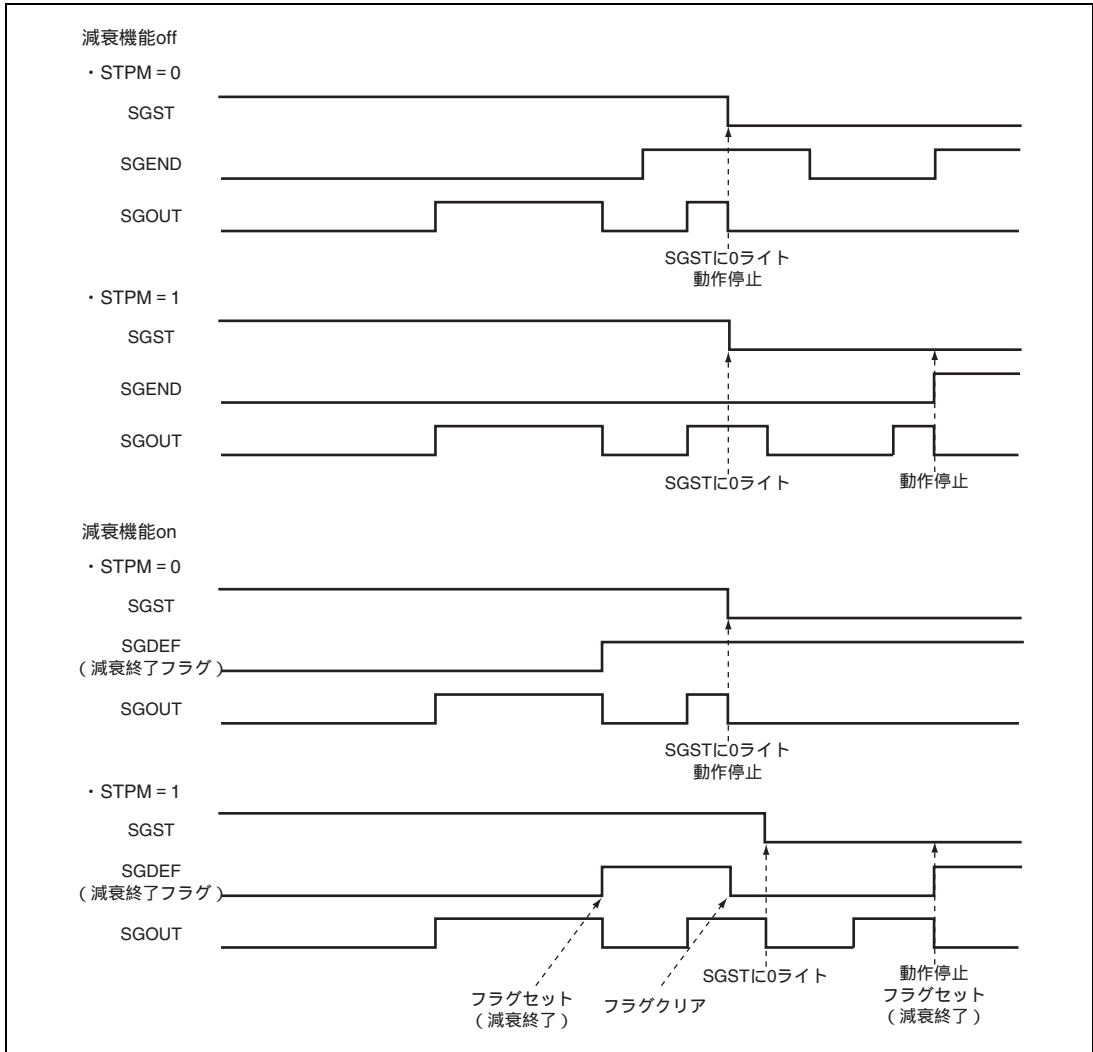


図 20.2 SDG の停止方法例

20. サウンドジェネレータ (SDG)

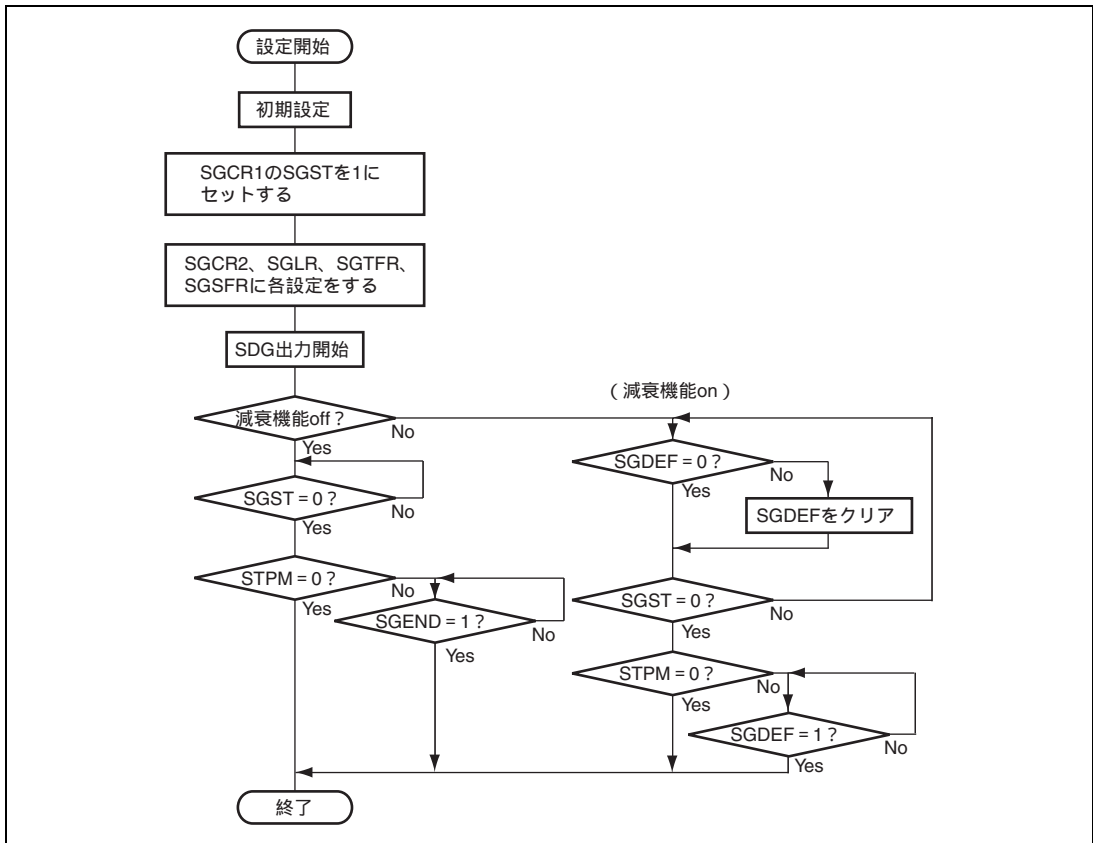


図 20.3 SDG 動作フローチャート

20.4.2 TONE 周波数の設定

SDG は 31Hz ~ 20kHz の TONE 周波数を 1%以内の精度で出力することができます。

TONE 周波数は以下の計算式で求められます。

$$\begin{aligned} \text{基準周波数[Hz]} &= \text{SGCLK(Hz)} / \text{SFS} \\ \text{TONE 周波数[Hz]} &= \text{基準周波数(Hz)} / (2 \times \text{TONE}) \\ &= \text{SGCLK(Hz)} / (2 \times \text{SFS} \times \text{TONE}) \end{aligned}$$

SGTFR の TONE ビット、SGSFR の SFS ビットの設定値は以下の計算式で求められます。

$$\begin{aligned} \text{SFS} &= \text{SGCLK[Hz]} / \text{基準周波数[Hz]} \\ [0 < \text{SFS} & 255] \\ \text{TONE} &= \text{基準周波数[Hz]} / (2 \times \text{TONE 周波数[Hz]}) \\ [0 < \text{TONE} & 127] \end{aligned}$$

表 20.3 に、TONE 周波数と出力誤差の関係の例を示します。

表 20.3 TONE 周波数と出力誤差の関係

TONE 周波数	SFS[7:0]	TONE[6:0]	誤差[%]
220.00	F7	2E	0.01
329.63	ED	20	0.003
440.00	F7	17	0.01
659.26	ED	10	0.003
880.00	8E	14	0.03
1318.50	ED	8	0.04
1760.00	8E	A	0.03
2637.00	ED	4	0.004
3520.00	8E	5	0.03
5274.00	ED	2	0.002
7040.00	47	5	0.03

【注】 SGCLK = 5MHz

なお、P の周期が変化すれば、TONE 周波数も変化するので変更する場合は注意してください。

20. サウンドジェネレータ (SDG)

20.4.3 自動減衰機能について

自動減衰機能時は、ラウドネスデータ (LD) が SGOUT の初期デューティになります。
SGCR1 の DPF ビットで設定された減衰周期で減衰率 1/32 ずつ、SGOUT のデューティを減少させます。
SDG の減衰特性は、以下の式によって計算されます。

$$LD_n = \text{int} (LD_0 \times (1 - 1/32)^n)$$

LD : SGOUT デューティ (初期データは SGLR)

n : 減衰周期サイクル数

減衰特性のグラフを図 20.4 に示します。

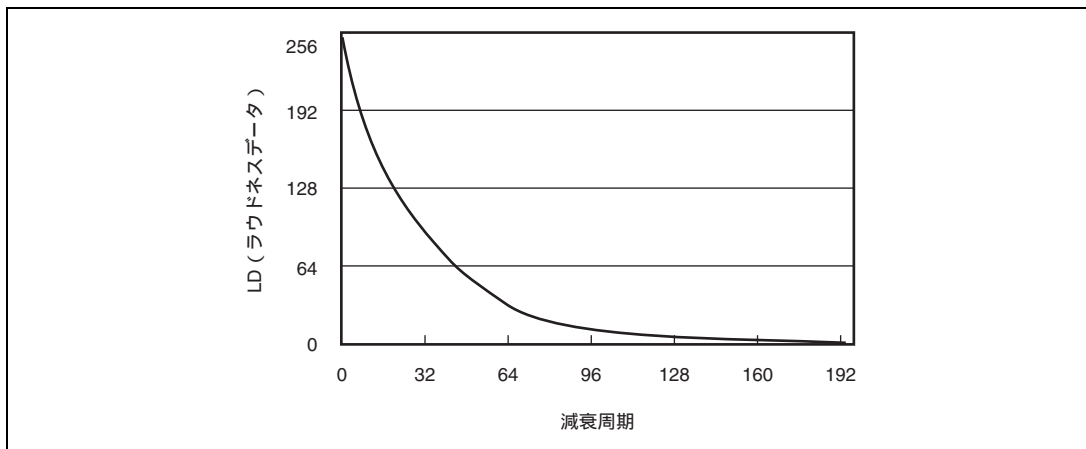


図 20.4 減衰特性

20.4.4 出力波形

SDG の出力波形は、図 20.5 のように内蔵 8 ビット PWM のパルス出力と TONE 周波数を合成した出力になります。内蔵 8 ビット PWM のパルス出力のデューティは、SGLR で設定されます。

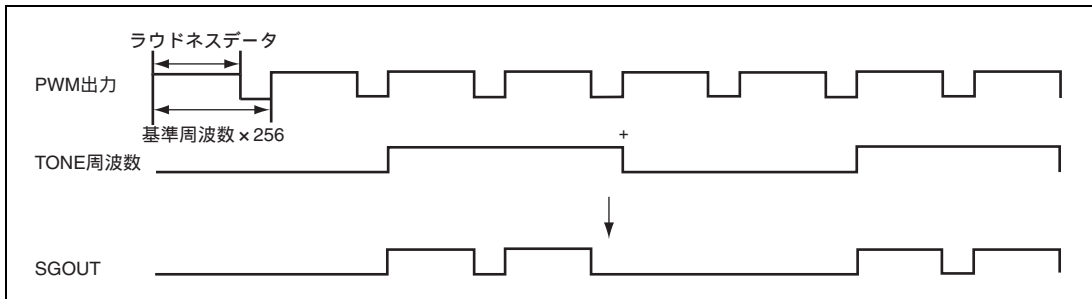


図 20.5 出力波形

20.5 割り込み要因

減衰機能 on 時に、自動減衰されて減衰が終了すると、SGCSR の SGDEF がセットされます。SGCSR の SGIE ビットが 1 にセットされていれば、割り込みを要求します。STPM = 0 のときは、1 回目の減衰終了時のみに SGDEF がセットされます。なお、自動減衰途中で SGDEF をクリアすると、次の減衰終了時に SGDEF がセットされます。

表 20.4 SDG の割り込み要因

名称	割り込み要因	割り込みフラグ
SGL	減衰終了	SGDEF

20.6 使用上の注意事項

20.6.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、SDG の動作 / 許可を設定することが可能です。初期値では、SDG の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「24. 低消費電力」を参照してください。

20. サウンドジェネレータ (SDG)

21. RAM

本 LSI は 24K バイトの高速スタティック RAM を内蔵しています。RAM は、CPU と 32 ビット幅のデータバスで接続されており、バイトデータ、ワードデータ、ロングワードデータにかかわらず、リードは 1 ステート、ライトは 2 ステートでアクセスできます。

RAM は、システムコントロールレジスタ (SYSCR) の RAME ビットにより有効または無効の制御が可能です。SYSCR については「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

製品分類		RAM 容量	RAM アドレス
フラッシュメモリ版	H8SX/1544	24K バイト	H'FF6000 ~ H'FFBFFF
	H8SX/1543	16K バイト	H'FF8000 ~ H'FFBFFF

22. フラッシュメモリ

フラッシュメモリの特長を以下に示します。フラッシュメモリのブロック図を図 22.1 に示します。

22.1 特長

- 容量

製品区分		ROM 容量	ROM アドレス
H8SX/1544	R5F61544	512K バイト	H'000000 ~ H'07FFFF (モード 2、6、7)
H8SX/1543	R5F61543	384K バイト	H'000000 ~ H'05FFFF (モード 2、6、7)

- 内蔵プログラムのダウンロードによる書き込み / 消去インタフェース

書き込み / 消去プログラムを内蔵しています。このプログラムを内蔵RAMにダウンロードすると、パラメータの設定で書き込み / 消去が可能です。さらにユーザブランチをサポートしています。

- ユーザブランチ

書き込み処理は128バイト単位で実施しますが、書き込みパルス印加、ベリファイ読み出しなどいくつかのステップから構成されています。消去も一分割ブロック単位で実施しますが、いくつかの処理ステップから構成されています。このステップの合間にユーザ処理ルーチンの実行が可能な設定を行うことができます。この設定をユーザブランチ機能とよびます。

- 書き込み / 消去時間

書き込み時間 : 128バイト同時書き込み1ms (typ)

消去時間 : 1ブロック (64Kバイト) あたり0.6s (typ)

- 書き換え回数

100回 (min.回数) まで書き換え可能です (保証は1 ~ 100回)。

- 2種類のオンボードプログラミングモード

ブートモード : 内蔵SCL_4を使用して、ユーザマットの書き込み / 消去ができます。

ブートモードでは、ホストと本LSI間のビットレートを自動で合わせるができます。

ユーザプログラムモード : 任意のインタフェースでユーザマットの書き込み / 消去ができます。

- オフボードプログラミングモード

ライターモード : PROMライターを使用して、ユーザマットの書き込み / 消去ができます。

- 書き込み / 消去プロテクト

ハードウェアプロテクト、ソフトウェアプロテクト、エラープロテクトによりフラッシュメモリの書き込み / 消去に対するプロテクトを設定できます。

22. フラッシュメモリ

- 内蔵RAMによるフラッシュメモリのエミュレーション機能

フラッシュメモリ（ユーザマット）のエリアと内蔵RAMの一部を重ね合わせて、フラッシュメモリの書き換えをリアルタイムにエミュレートすることができます。

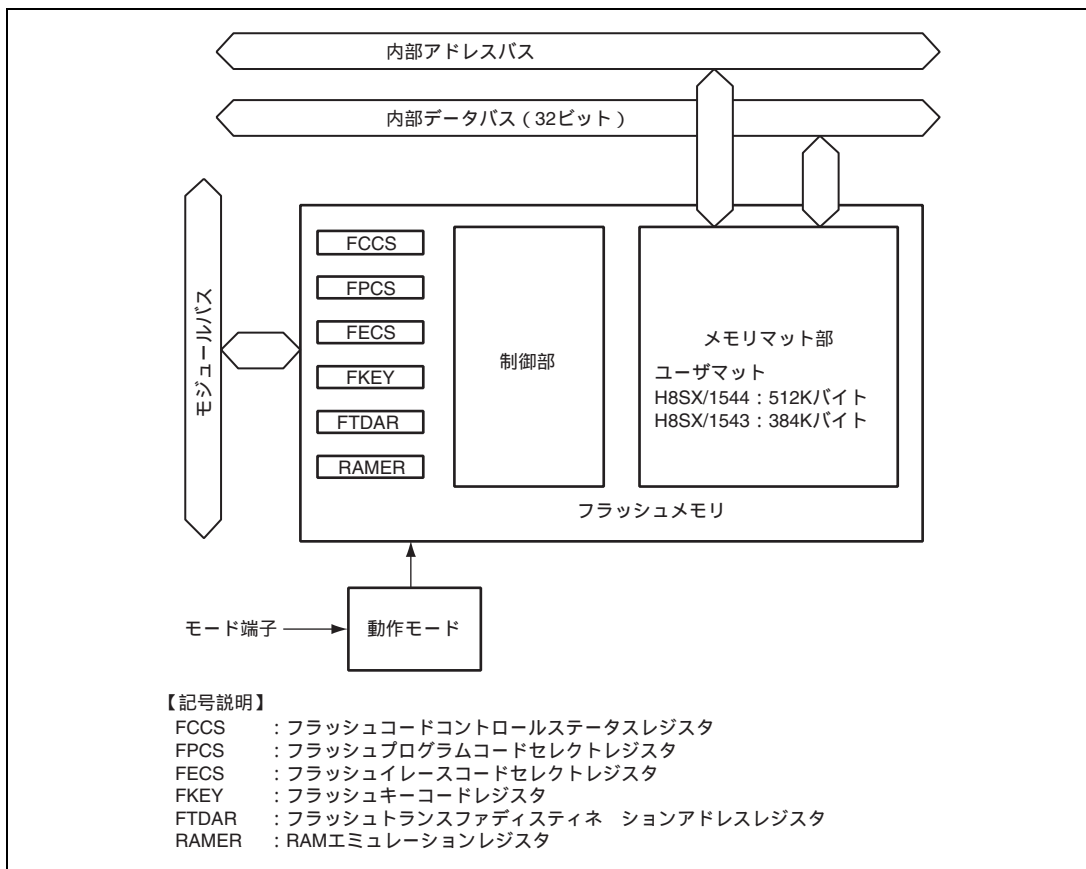


図 22.1 フラッシュメモリのブロック図

22.2 モード遷移図

リセット状態でモード端子を設定しリセットスタートすると、本 LSI は図 22.2 に示すような動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできますが、書き込み / 消去はできません。フラッシュメモリの書き込み / 消去を行えるモードとして、ブートモード、ユーザプログラムモード、およびライターモードがあります。表 22.1 にブートモード、ユーザプログラムモード、ライターモードの相違点を示します。

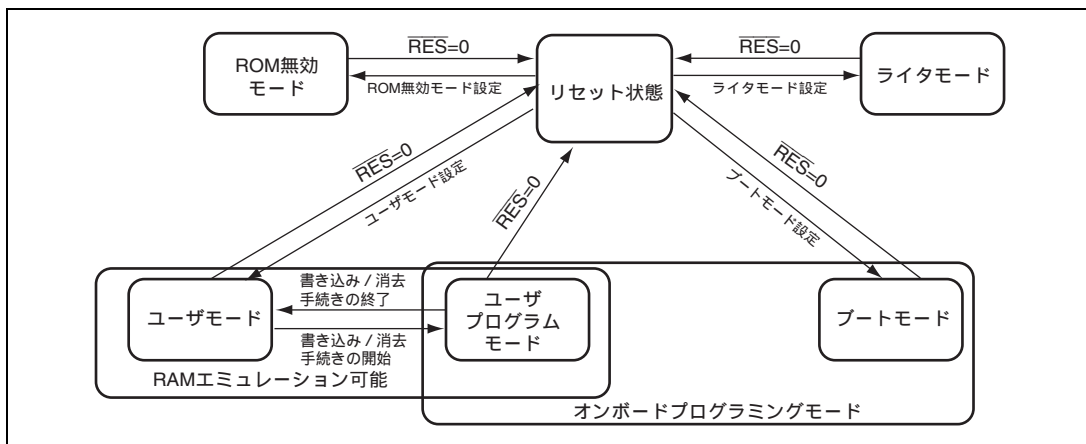


図 22.2 フラッシュメモリに関する状態遷移

表 22.1 ブートモード、ユーザプログラムモード、ライターモードの相違点

項目	ブートモード	ユーザプログラムモード	ライターモード
書き込み / 消去環境	オンボードプログラミング		オフボードプログラミング
書き込み / 消去可能マット	• ユーザマット	• ユーザマット	• ユーザマット
書き込み / 消去制御	コマンド方式	書き込み / 消去 インタフェース	コマンド方式
全面消去	(自動)		(自動)
ブロック分割消去	*1		×
書き込みデータ転送	ホストから SCI 経由	任意のデバイスから RAM 経由	ライター経由
ユーザブランチ機能	×		×
RAM エミュレーション	×		×
リセット起動マット	組み込みプログラム格納領域	ユーザマット	-
ユーザモードへの遷移	モード変更 & リセット	書き込み / 消去手続きの終了*2	-

【注】 *1 いったん、全面消去が行われます。その後、特定ブロックの消去を行うことができます。

*2 本 LSI では、ユーザモードにて規定の書き込み / 消去の手続きを開始したところから手続きを終了したところまでをユーザプログラムモードを規定します。書き込み / 消去手続きの詳細は、「22.7.2 ユーザプログラムモード」を参照してください。

22.3 ブロック構成

図 22.3 に 512K バイト、図 22.4 に 384K バイトのユーザマットのブロック構成を示します。太線枠は消去ブロックを表します。細罫線は書き込みの単位を表し、枠内の数値はアドレスを示します。512K バイトのユーザマットは、64K バイト (7 ブロック)、32K バイト (1 ブロック)、4K バイト (8 ブロック) に、384K バイトのユーザマットは、64K バイト (5 ブロック)、32K バイト (1 ブロック)、4K バイト (8 ブロック) に分割されていて、消去はこのブロック単位で行います。書き込みは下位アドレスが H'00 または H'80 で始まる 128 バイト単位で行います。4K バイト分割の 8 ブロックが RAM エミュレーション可能な領域です。

EB0 消去単位4K/バイト	H'000000	H'000001	H'000002	書き込み単位 128バイト	H'00007F
	H'000F80	H'000F81	H'000F82	- - - - -	H'000FFF
EB1 消去単位4K/バイト	H'001000	H'001001	H'001002	書き込み単位 128バイト	H'00107F
	H'001F80	H'001F81	H'001F82	- - - - -	H'001FFF
EB2 消去単位4K/バイト	H'002000	H'002001	H'002002	書き込み単位 128バイト	H'00207F
	H'002F80	H'002F81	H'002F82	- - - - -	H'002FFF
EB3 消去単位4K/バイト	H'003000	H'003001	H'003002	書き込み単位 128バイト	H'00307F
	H'003F80	H'003F81	H'003F82	- - - - -	H'003FFF
EB4 消去単位4K/バイト	H'004000	H'004001	H'004002	書き込み単位 128バイト	H'00407F
	H'004F80	H'004F81	H'004F82	- - - - -	H'004FFF
EB5 消去単位4K/バイト	H'005000	H'005001	H'005002	書き込み単位 128バイト	H'00507F
	H'005F80	H'005F81	H'005F82	- - - - -	H'005FFF
EB6 消去単位4K/バイト	H'006000	H'006001	H'006002	書き込み単位 128バイト	H'00607F
	H'006F80	H'006F81	H'006F82	- - - - -	H'006FFF
EB7 消去単位4K/バイト	H'007000	H'007001	H'007002	書き込み単位 128バイト	H'00707F
	H'007F80	H'007F81	H'007F82	- - - - -	H'007FFF
EB8 消去単位32K/バイト	H'008000	H'008001	H'008002	書き込み単位 128バイト	H'00807F
	H'00FF80	H'00FF81	H'00FF82	- - - - -	H'00FFFF
EB9 消去単位64K/バイト	H'010000	H'010001	H'010002	書き込み単位 128バイト	H'01007F
	H'01FF80	H'01FF81	H'01FF82	- - - - -	H'01FFFF
EB10 消去単位64K/バイト	H'020000	H'020001	H'020002	書き込み単位 128バイト	H'02007F
	H'0AFF80	H'0AFF81	H'0AFF82	- - - - -	H'0AFFFF
EB15 消去単位64K/バイト	H'070000	H'070001	H'070002	書き込み単位 128バイト	H'07007F
	H'07FF80	H'07FF81	H'07FF82	- - - - -	H'07FFFF

図 22.3 512K バイトのユーザマットのブロック構成

22. フラッシュメモリ

↑ EB0 消去単位4K/バイト	H'000000	H'000001	H'000002	書き込み単位 128バイト	H'00007F
	H'000F80	H'000F81	H'000F82	- - - - -	H'000FFF
↓ EB1 消去単位4K/バイト	H'001000	H'001001	H'001002	書き込み単位 128バイト	H'00107F
	H'001F80	H'001F81	H'001F82	- - - - -	H'001FFF
↓ EB2 消去単位4K/バイト	H'002000	H'002001	H'002002	書き込み単位 128バイト	H'00207F
	H'002F80	H'002F81	H'002F82	- - - - -	H'002FFF
↑ EB3 消去単位4K/バイト	H'003000	H'003001	H'003002	書き込み単位 128バイト	H'00307F
	H'003F80	H'003F81	H'003F82	- - - - -	H'003FFF
↓ EB4 消去単位4K/バイト	H'004000	H'004001	H'004002	書き込み単位 128バイト	H'00407F
	H'004F80	H'004F81	H'004F82	- - - - -	H'004FFF
↓ EB5 消去単位4K/バイト	H'005000	H'005001	H'005002	書き込み単位 128バイト	H'00507F
	H'005F80	H'005F81	H'005F82	- - - - -	H'005FFF
↑ EB6 消去単位4K/バイト	H'006000	H'006001	H'006002	書き込み単位 128バイト	H'00607F
	H'006F80	H'006F81	H'006F82	- - - - -	H'006FFF
↓ EB7 消去単位4K/バイト	H'007000	H'007001	H'007002	書き込み単位 128バイト	H'00707F
	H'007F80	H'007F81	H'007F82	- - - - -	H'007FFF
↑ EB8 消去単位32K/バイト	H'008000	H'008001	H'008002	書き込み単位 128バイト	H'00807F
	H'00FF80	H'00FF81	H'00FF82	- - - - -	H'00FFFF
↓ EB9 消去単位64K/バイト	H'010000	H'010001	H'010002	書き込み単位 128バイト	H'01007F
	H'01FF80	H'01FF81	H'01FF82	- - - - -	H'01FFFF
↓ EB10	H'020000	H'020001	H'020002	書き込み単位 128バイト	H'02007F
	H'0AFF80	H'0AFF81	H'0AFF82	- - - - -	
↑ EB13 消去単位64K/バイト	H'050000	H'050001	H'050002	書き込み単位 128バイト	H'05007F
	H'05FF80	H'05FF81	H'05FF82	- - - - -	H'05FFFF

図 22.4 384K バイトのユーザマットのブロック構成

22.4 書き込み / 消去インタフェース

フラッシュメモリの書き込み / 消去は、内蔵されている書き込み / 消去プログラムを内蔵 RAM にダウンロードし、書き込み / 消去インタフェースレジスタおよび書き込み / 消去インタフェースパラメータで、書き込み先の先頭アドレス、書き込みデータ、および消去ブロック番号を指定して行います。

ユーザプログラムモードでは、これらの一連の手続きプログラムは、ユーザ側で用意していただきます。図 22.5 に手続きプログラムの作成手順を示します。詳細は「22.7.2 ユーザプログラムモード」を参照してください。

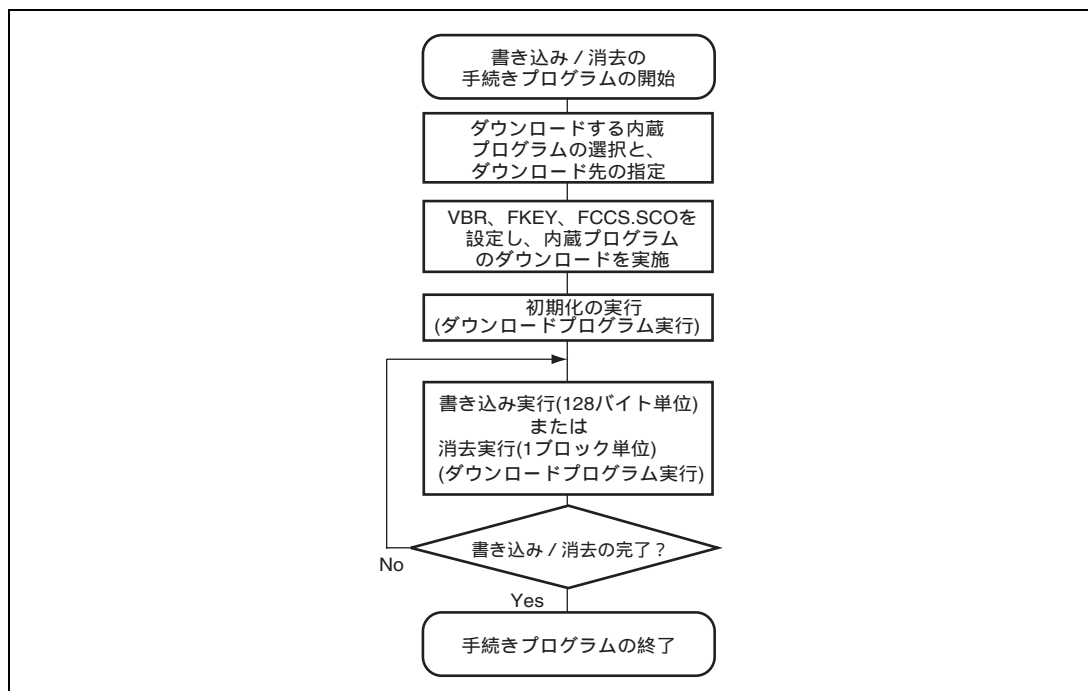


図 22.5 手続きプログラムの作成手順

22. フラッシュメモリ

(1) ダウンロードする内蔵プログラムの選択

本 LSI には、書き込み / 消去プログラムが内蔵されており、内蔵 RAM へのダウンロードが可能です。ダウンロードする内蔵プログラムの選択は、書き込み / 消去インタフェースレジスタで行います。また、ダウンロードする内蔵 RAM 上の先頭アドレスは、フラッシュトランスファデスティネーションアドレスレジスタ (FTDAR) で指定します。

(2) 内蔵プログラムのダウンロード

内蔵プログラムのダウンロードは、ベクタベースレジスタ (VBR) を初期化した後、フラッシュキーレジスタ (FKEY) と、フラッシュコードコントロールステータスレジスタ (FCCS) の SCO ビットの設定により自動的に行われます。ダウンロード中はメモリマップが組み込みプログラム格納領域と入れ替わります。また、書き込み / 消去中はメモリマップの読み出しはできないため、ユーザ手続きプログラムはフラッシュメモリ以外 (内蔵 RAM など) で実行してください。ダウンロードの結果は、書き込み / 消去インタフェースパラメータに戻されません。このパラメータで正常にダウンロードできたかを確認できます。VBR はダウンロード終了後に変更可能になります。

(3) 書き込み / 消去の初期化

書き込み / 消去の実行前に動作周波数とユーザブランチの設定を行います。ユーザブランチ先は内蔵フラッシュメモリ領域外かつダウンロードされた内蔵プログラム領域外としてください。これらの設定は、書き込み / 消去インタフェースパラメータで行います。

(4) 書き込み / 消去の実行

書き込みは書き込み先の先頭アドレス、書き込みデータの指定を 128 バイト単位で行います。消去は消去ブロック番号の指定を消去ブロック単位で行います。書き込み先の先頭アドレス、書き込みデータ、消去ブロック番号の指定は書き込み / 消去インタフェースパラメータで行い、内蔵プログラムを起動します。内蔵プログラムは、内蔵 RAM 上の特定アドレスを JSR 命令または BSR 命令でサブルーチンコールすることで実行します。実行結果は、書き込み / 消去インタフェースパラメータに戻されます。

フラッシュメモリへの書き込みは、事前に対象領域のデータを消去してください。また、書き込み / 消去中は、割り込み要求が発生しないようにしてください。

(5) 引き続き書き込み / 消去を実行する場合

128 バイトの書き込み、1 ブロックの消去で書き込み / 消去が終了しない場合は、書き込み先の先頭アドレス、書き込みデータ、消去ブロック番号を更新して引き続き書き込み / 消去を行うことができます。ダウンロードした内蔵プログラムは書き込み / 消去終了後も内蔵 RAM 上に残っていますので、引き続き書き込み / 消去を実行する場合は内蔵プログラムのダウンロードと初期化の必要はありません。

22.5 入出力端子

フラッシュメモリは、表 22.2 に示す入出力端子により制御されます。

表 22.2 端子構成

端子名	入出力	機能
RES	入力	リセット
MD2、MD1、MD0	入力	本 LSI の動作モードを設定
TxD4	出力	シリアル送信データ出力（ブートモードで使用）
RxD4	入力	シリアル受信データ入力（ブートモードで使用）

22.6 レジスタの説明

フラッシュメモリには以下のレジスタがあります。

書き込み / 消去インタフェースレジスタ

- フラッシュコードコントロールステータスレジスタ (FCCS)
- フラッシュプログラムコードセレクトレジスタ (FPCS)
- フラッシュイレースコードセレクトレジスタ (FECS)
- フラッシュキーコードレジスタ (FKEY)
- フラッシュトランスファデスティネーションアドレスレジスタ (FTDAR)

書き込み / 消去インタフェースパラメータ

- ダウンロードパスフェイルリザルトパラメータ (DPFR)
- フラッシュパス / フェイルパラメータ (FPFR)
- フラッシュプログラム / イレース周波数パラメータ (FPEFEQ)
- フラッシュマルチパスアドレスエリアパラメータ (FMPAR)
- フラッシュマルチパスデータデスティネーションパラメータ (FMPDR)
- フラッシュイレースブロックセレクトパラメータ (FEBS)
- フラッシュユーザブランチアドレスセットパラメータ (FUBRA)
- RAMエミュレーションレジスタ (RAMER)

22. フラッシュメモリ

フラッシュメモリのアクセスには、いくつかの動作モードがあります。また、ユーザマツトに動作モード、レジスタ、パラメータが割り当てられています。動作モードと使用レジスタ/パラメータの対応を表 22.3 に示します。

表 22.3 使用レジスタ/パラメータと対象モード

レジスタ/パラメータ		ダウンロード	初期化	書き込み	消去	読み出し	RAM エミュレーション
書き込み/ 消去インタ フェース レジスタ	FCCS		-	-	-	-	-
	FPCS		-	-	-	-	-
	FECS		-	-	-	-	-
	FKEY		-			-	-
	FTDAR		-	-	-	-	-
書き込み/ 消去インタ フェース パラメータ	DPFR		-	-	-	-	-
	FPFR	-				-	-
	FPEFEQ	-		-	-	-	-
	FMPAR	-	-		-	-	-
	FMPDR	-	-		-	-	-
	FEBS	-	-	-	-	-	-
FUBRA	-		-	-	-	-	
RAM エミュ レーション	RAMER	-	-	-	-	-	

22.6.1 書き込み / 消去インタフェースレジスタ

書き込み / 消去インタフェースレジスタは、8 ビットのレジスタでバイトアクセスのみ可能です。これらのレジスタは、パワーオンリセットで初期化されます。

(1) フラッシュコードコントロールステータスレジスタ (FCCS)

FCCS は、フラッシュメモリの書き込み / 消去中のエラー発生をモニタ、および内蔵 RAM に内蔵プログラムのダウンロードを要求します。

ビット	7	6	5	4	3	2	1	0
ビット名	-	-	-	FLER	-	-	-	SCO
初期値 :	1	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	(R)/W

ビット	ビット名	初期値	R/W	説明
7	-	1	R	リザーブビット
6	-	0	R	これらのビットはリードのみ有効で、ライトは無効です。
5	-	0	R	
4	FLER	0	R	
3~1	-	すべて0	R	<p>リザーブビット</p> <p>これらのビットはリードのみ有効で、ライトは無効です。</p>

22. フラッシュメモリ

ビット	ビット名	初期値	R/W	説 明
0	SCO	0	(R)/W*	<p>ソースプログラムコピーオペレーション</p> <p>内蔵 RAM に書き込み / 消去プログラムのダウンロードを要求するビットです。このビットを 1 にセットすると、FPCS、FECS で選択したプログラムを FTDAR で指定した内蔵 RAM 領域にダウンロードします。</p> <p>このビットを 1 にセットするには、RAM エミュレーション機能の解除、FKEY = H'A5、および SCO ビットの設定が内蔵 RAM 上で実行されていることが必要です。このビットを 1 にセットした直後は、FCCS のダミーリードを必ず 2 回実行してください。また、ダウンロード中は、すべての割り込み要求が発生しないようにしてください。ダウンロードが終了すると、このビットは 0 にクリアされます。</p> <p>このビットによるプログラムのダウンロードは、プログラム格納領域のバンク切り替えを伴う特殊な処理を行いますので、ダウンロードを要求する前に、VBR の値を H'00000000 に初期化してください。ダウンロード終了後は、VBR を変更できます。</p> <p>0 : 書き込み / 消去プログラムのダウンロードを要求しない</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • ダウンロードが終了したとき <p>1 : 書き込み / 消去プログラムのダウンロードを要求する</p> <p>[セット条件] (以下の条件をすべて満足しているとき)</p> <ul style="list-style-type: none"> • RAM エミュレーション機能が解除されているとき (RAMER の RAMS=0) • FKEY に H'A5 が書き込まれているとき • FCCS の SCO ビットの設定を内蔵 RAM 上で実行

【注】 * ライトのみ可能です。リードすると常に 0 が読み出されます。

(2) フラッシュプログラムコードセレクトレジスタ (FPCS)

FPCS は、ダウンロードする書き込みプログラムを選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	-	-	-	PPVS
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
7~1	-	すべて 0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。
0	PPVS	0	R/W	<p>プログラムバルスベリファイ</p> <p>ダウンロードする書き込みプログラムを選択します。</p> <p>0 : 書き込みプログラムを選択しない</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 転送が終了したとき <p>1 : 書き込みプログラムを選択する</p>

(3) フラッシュイレースコードセレクトレジスタ (FECS)

FECS は、ダウンロードする消去プログラムを選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	-	-	-	EPVB
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。
0	EPVB	0	R/W	イレースパルスベリファイブロック ダウンロードする消去プログラムを選択します。 0 : 消去プログラムを選択しない [クリア条件] • 転送が終了したとき 1 : 消去プログラムを選択する

(4) フラッシュキーコードレジスタ (FKEY)

FKEY は、内蔵プログラムのダウンロード、およびフラッシュメモリへの書き込み / 消去を許可するソフトウェアプロテクトのレジスタです。

ビット	7	6	5	4	3	2	1	0
ビット名	K7	K6	K5	K4	K3	K2	K1	K0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	K7	0	R/W	キーコード
6	K6	0	R/W	FKEY に H'A5 を書き込むと、FCCS の SCO ビットの書き込みが有効になります。H'A5 以外の値が書き込まれている場合は、SCO ビットを 1 にセットできないため、内蔵 RAM に内蔵プログラムをダウンロードできません。 また、H'5A を書き込んだ場合のみフラッシュメモリへの書き込み / 消去が可能になります。H'5A 以外の値が書き込まれている場合は、書き込み / 消去プログラムを実行しても書き込み / 消去できません。
5	K5	0	R/W	
4	K4	0	R/W	
3	K3	0	R/W	
2	K2	0	R/W	
1	K1	0	R/W	
0	K0	0	R/W	
				H'A5 : SCO ビットへの書き込みを許可 (H'A5 以外では SCO ビットを 1 にセットできません) H'5A : フラッシュメモリへの書き込み / 消去を許可 (H'5A 以外ではソフトウェアプロテクト状態) H'00 : 初期値

22. フラッシュメモリ

(5) フラッシュトランスファデスティネーションアドレスレジスタ (FTDAR)

FTDAR は、内蔵プログラムをダウンロードする内蔵 RAM 上の先頭アドレスを指定します。FCCS の SCO ビットを 1 にセットする前に FTDAR の設定を行ってください。

ビット	7	6	5	4	3	2	1	0
ビット名	TDER	TDA6	TDA5	TDA4	TDA3	TDA2	TDA1	TDA0
初期値	: 0	: 0	: 0	: 0	: 0	: 0	: 0	: 0
R/W	: R/W	: R/W	: R/W	: R/W	: R/W	: R/W	: R/W	: R/W

ビット	ビット名	初期値	R/W	説明
7	TDER	0	R/W	トランスファデスティネーションアドレス設定エラー TDA6 ~ TDA0 ビットで設定された先頭アドレス指定にエラーがあると、このビットが 1 にセットされます。 先頭アドレス指定のエラー判定は、FCCS の SCO ビットを 1 にセットしてダウンロードが実行されたときに、TDA6 ~ TDA0 ビットの値が H'00 ~ H'02 の範囲にあるかを判定します。SCO ビットを 1 にセットする前に、このビットを 0 にクリアして、FTDAR の値を H'00 ~ H'02 の範囲に設定してください。 0 : TDA6 ~ TDA0 の設定値は正常 1 : TDER、TDA6 ~ TDA0 の設定値が H'03 ~ H'FF で、ダウンロードが中断
6	TDA6	0	R/W	トランスファデスティネーションアドレス ダウンロード先の内蔵 RAM の先頭アドレスを指定します。設定可能な値は H'00 ~ H'02 で、4k バイト以内で内蔵 RAM 上の先頭アドレスを指定できます。 H'00 : 先頭アドレスを H'FF9000 に設定 H'01 : 先頭アドレスを H'FFA000 に設定 H'02 : 先頭アドレスを H'FFB000 に設定 H'03 ~ H'7F : 設定禁止 (H'03 ~ H'7F の値が設定されると、TDER ビットが 1 にセットされ、内蔵プログラムのダウンロードが中断されます。)
5	TDA5	0	R/W	
4	TDA4	0	R/W	
3	TDA3	0	R/W	
2	TDA2	0	R/W	
1	TDA1	0	R/W	
0	TDA0	0	R/W	

22.6.2 書き込み / 消去インタフェースパラメータ

書き込み / 消去インタフェースパラメータは、ダウンロードした内蔵プログラムに対して動作周波数、ユーザブランチ先アドレス、書き込みデータの格納場所、書き込み先の先頭アドレス、消去ブロック番号の指定、および実行結果の受け渡しを行います。このパラメータは、CPU の汎用レジスタ (ER0、ER1) や内蔵 RAM 領域に設定します。書き込み / 消去インタフェースパラメータは、パワーオンリセット、ソフトウェアスタンバイでの初期値は不定です。

内蔵プログラムのダウンロード、初期化、書き込み、消去の実行中は、ER0、ER1 以外の CPU のレジスタはスタック領域に保存されるため、実行前にスタック領域を確保してください (使用スタック領域サイズは、最大 128 バイトです)。R0 は処理結果の戻り値が書き込まれます。書き込み / 消去インタフェースパラメータは、ダウンロードの制御、書き込み / 消去の初期化、書き込み、消去の実行で使用します。表 22.4 に使用パラメータと対象モードを示します。フラッシュバス / フェイルパラメータ (FPFR) は、初期化、書き込み、消去の実行結果が戻されますが、実行内容によってビットの意味が異なります。

表 22.4 使用パラメータと対象モード

パラメータ	ダウンロード	初期化	書き込み	消去	R/W	初期値	割り当て
DPFR		-	-	-	R/W	不定	内蔵 RAM*
FPFR					R/W	不定	CPU の R0L
FPEFEQ	-		-	-	R/W	不定	CPU の ER0
FMPAR	-	-		-	R/W	不定	CPU の ER1
FMPDR	-	-		-	R/W	不定	CPU の ER0
FEBS	-	-	-		R/W	不定	CPU の ER0
FUBRA	-		-	-	R/W	不定	CPU の ER0

【注】 * FTDAR で指定した内蔵 RAM 上の先頭アドレスの 1 バイト

(a) ダウンロードの制御

内蔵プログラムのダウンロードは、FCCS の SCO ビットを 1 にセットすると自動的に行われます。ダウンロードする内蔵 RAM 領域は、FTDAR で指定した先頭アドレスから 4K バイト分です。ダウンロードは書き込み / 消去インタフェースレジスタで設定し、戻り値はダウンロードパスフェイルリザルトパラメータ (DPFR) に渡されます。

(b) 書き込み / 消去の初期化

内蔵プログラムには、初期化プログラムも含まれています。書き込み / 消去を行うためには決められた時間幅のバルス印加が必要で、ウェイトループを CPU 命令で構成する方法で規定のバルス幅を作成しています。そのため CPU の動作周波数を設定する必要があります。また、ユーザブランチ機能をサポートしていますので、ユーザブランチ先アドレスの設定も必要です。これらの設定を行うためにダウンロードした書き込み / 消去プログラムのパラメータとして設定するのが初期化プログラムです。

22. フラッシュメモリ

(c) 書き込みの実行

フラッシュメモリへの書き込みは、ユーザマット上の書き込み先の先頭アドレスと書き込みデータを書き込みプログラムに渡す必要があります。

ユーザマット上の書き込み先の先頭アドレスは、汎用レジスタ ER1 に設定してください。このパラメータをフラッシュマルチパースアドレスエリアパラメータ (FMPAR) とよびます。

書き込みデータは常に 128 バイト単位です。書き込みデータが 128 バイトに満たない場合でもダミーコード (H'FF) を埋め込んで、128 バイトの書き込みデータを準備してください。ユーザマット上の書き込み先の先頭アドレスの境界は、アドレスの下位 8 ビット (A7~A0) が H'00 または H'80 のいずれかにしてください。

ユーザマットへの書き込みデータを連続領域に準備してください。書き込みデータは、CPU の MOV.B 命令でアクセス可能な連続空間で、フラッシュメモリ空間以外としてください。

ユーザマットに書き込むデータが格納されている領域の先頭アドレスを、汎用レジスタ ER0 に設定してください。このパラメータをフラッシュマルチパースデータデスティネーションエリアパラメータ (FMPDR) とよびます。

書き込み手順については「22.7.2 ユーザプログラムモード」を参照してください。

(d) 消去の実行

フラッシュメモリの消去は、ユーザマット上の消去ブロック番号を消去プログラムに渡す必要があります。

ユーザマット上の消去ブロック番号は、汎用レジスタ ER0 に設定してください。このパラメータをフラッシュイレースブロックセレクトパラメータ (FEBS) とよびます。

消去ブロック番号は、0~15 のブロック番号から 1 ブロックを指定します。

消去手順については「22.7.2 ユーザプログラムモード」を参照してください。

(1) ダウンロードパスフェイルリザルトパラメータ (DPFR)
 (FTDAR で指定した内蔵 RAM 上の先頭アドレスの 1 バイト)

ダウンロード結果の戻り値です。ダウンロード結果を DPFR の値で判断します。

ビット	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	-	SS	FK	SF
初期値:	-	-	-	-	-	-	-	-
R/W:	-	-	-	-	-	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	-	-	未使用ビット 値 0 が戻されます。
2	SS	-	R/W	ソースセレクトエラー検出ビット ダウンロード可能なプログラムは 1 種類のみです。ダウンロードするプログラムが選択されていない場合、2 種類以上のプログラムが選択されている場合、またはマッピングされていないプログラムを選択した場合には、エラーとなります。 0: ダウンロードするプログラムの選択は正常 1: ダウンロードするプログラムの選択エラー
1	FK	-	R/W	フラッシュキーレジスタエラー検出ビット FKEY の値 (H'A5) を検出し、その結果を戻します。 0: FKEY の設定値は正常 (H'A5) 1: FKEY の設定値エラー (H'A5 以外の値)
0	SF	-	R/W	サクセス/フェイルビット ダウンロード結果を戻します。内蔵 RAM 上にダウンロードしたプログラムをリードバックし、内蔵 RAM 上に転送できたかを判定します。 0: プログラムのダウンロードは正常終了 1: プログラムのダウンロードが異常終了 (エラーの発生)

22. フラッシュメモリ

(2) フラッシュバス/フェイルパラメータ (FPFR) (CPUの汎用レジスタ R0L)

FPFRは、書き込み/消去の初期化、書き込み、および消去の結果が戻されますが、実行内容によってビットの意味が異なります。

(a) 書き込み/消去の初期化

初期化結果の戻り値です。

ビット	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	-	BR	FQ	SF
初期値:	-	-	-	-	-	-	-	-
R/W:	-	-	-	-	-	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	-	-	未使用ビット 値0が戻されます。
2	BR	-	R/W	ユーザブランチエラー検出ビット 指定されたユーザブランチ先アドレスが、ダウンロードされている書き込み/消去関係プログラムの格納領域以外であるかをチェックした結果を戻します。 0: ユーザブランチアドレス設定は正常値 1: ユーザブランチアドレス設定が異常値
1	FQ	-	R/W	周波数エラー検出ビット 設定されたCPUの動作周波数と本LSIがサポートしている動作周波数を比較し、その結果を戻します。 0: 動作周波数の設定は正常値 1: 動作周波数の設定が異常値
0	SF	-	R/W	サクセス/フェイルビット 初期化結果を戻します。 0: 初期化は正常終了(エラーなし) 1: 初期化が異常終了(エラー発生)

(b) 書き込みの実行

書き込み結果の戻り値です。

ビット	7	6	5	4	3	2	1	0
ビット名	-	MD	EE	FK	-	WD	WA	SF
初期値:	-	-	-	-	-	-	-	-
R/W:	-	R/W	R/W	R/W	-	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	-	-	-	未使用ビット 値0が戻されます。
6	MD	-	R/W	書き込みモード関連設定エラー検出ビット エラープロテクト状態を検出し、その結果を戻します。エラープロテクト状態のとき、このビットに1が書き込まれます。エラープロテクト状態であるか、ないかは、FCCSのFLERビットで確認できます。エラープロテクト状態への遷移条件については、「22.8.3 エラープロテクト」を参照してください。 0: 正常に動作 (FLER = 0) 1: エラープロテクト状態で、書き込みできない (FLER = 1)
5	EE	-	R/W	書き込み実行時エラー検出ビット ユーザマツトが消去されていないために指定データを書き込みなかったり、ユーザブランチ処理から戻った時点でフラッシュ関連レジスタの一部が書き換えられている場合、このビットには1が書き込まれます。このとき、ユーザマツトは途中まで書き換えられている可能性があるため、エラーになった原因を取り除いて消去からやり直してください。 0: 書き込みは正常終了 1: 書き込みが異常終了 (書き込み内容は保証できない)
4	FK	-	R/W	フラッシュキーレジスタエラー検出ビット 書き込み開始前のFKEYの値 (H'5A) を検出し、その結果を戻します。 0: FKEYの設定値は正常 (H'5A) 1: FKEYの設定値エラー (H'5A以外の値)
3	-	-	-	未使用ビット 値0が戻されます。
2	WD	-	R/W	ライトデータアドレス検出ビット 書き込みデータの格納先の先頭アドレスに、フラッシュメモリ以外の領域が指定された場合はエラーになります。 0: 書き込みデータの格納先の先頭アドレス設定は正常値 1: 書き込みデータの格納先の先頭アドレス設定は異常値
1	WA	-	R/W	ライトアドレスエラー検出ビット 書き込み先の先頭アドレスに、次の領域が指定された場合はエラーになります。 • フラッシュメモリ以外の領域のとき • 指定されたアドレスが128バイト境界でないとき (アドレスの下位8ビットがH'00かH'80以外) 0: 書き込み先の先頭アドレス設定は正常値 1: 書き込み先の先頭アドレス設定が異常値
0	SF	-	R/W	サクセス/フェイルビット 書き込み結果を戻します。 0: 書き込みは正常終了 (エラーなし) 1: 書き込みが異常終了 (エラー発生)

22. フラッシュメモリ

(c) 消去の実行

消去結果の戻り値です。

ビット	7	6	5	4	3	2	1	0
ビット名	-	MD	EE	FK	EB	-	-	SF
初期値:	-	-	-	-	-	-	-	-
R/W:	-	R/W	R/W	R/W	R/W	-	-	R/W

ビット	ビット名	初期値	R/W	説明
7	-	-	-	未使用ビット 値0が戻されます。
6	MD	-	R/W	消去モード関連設定エラー検出ビット エラープロテクト状態を検出し、その結果を戻します。エラープロテクト状態のとき、このビットに1が書き込まれます。エラープロテクト状態であるか、ないかは、FCCSのFLERビットで確認できます。エラープロテクト状態への遷移条件については、「22.8.3 エラープロテクト」を参照してください。 0: 正常に動作 (FLER=0) 1: エラープロテクト状態で、書き込みできない (FLER=1)
5	EE	-	R/W	消去実行時エラー検出ビット ユーザマットの消去ができない、またはユーザランチ処理から戻った時点でフラッシュメモリの関連レジスタの一部が書き換えられている場合に、このビットに1が戻されます。このとき、ユーザマットは途中まで消去されている可能性があるため、エラーになった原因を取り除いて消去からやり直してください。 0: 消去は正常終了 1: 消去が異常終了
4	FK	-	R/W	フラッシュキーレジスタエラー検出ビット 消去開始前のFKEYの値 (H'5A) を検出し、その結果を戻します。 0: FKEYの設定値は正常 (H'5A) 1: FKEYの設定値エラー (H'5A以外の値)
3	EB	-	R/W	イレースブロックセレクトエラー検出ビット 指定された消去ブロック番号が、ユーザマットのブロック範囲内であるかを検出し、その結果を戻します。 0: 消去ブロック番号の設定は正常値 1: 消去ブロック番号の設定が異常値
2, 1	-	-	-	未使用ビット 値0が戻されます。
0	SF	-	R/W	サクセス/フェイルビット 消去結果を戻します。 0: 消去は正常終了 (エラーなし) 1: 消去が異常終了 (エラー発生)

(3) フラッシュプログラム/イレース周波数パラメータ (FPEFEQ)
(CPUの汎用レジスタ ER0)

CPUの動作周波数の設定およびユーザブランチ機能を有効にするパラメータです。本LSIがサポートしている動作周波数範囲は8~40MHzです。

ビット	31	30	29	28	27	26	25	24
ビット名	FUBE15	FUBE14	FUBE13	FUBE12	FUBE11	FUBE10	FUBE9	FUBE8
初期値:	-	-	-	-	-	-	-	-
R/W:	-	-	-	-	-	-	-	-
ビット	23	22	21	20	19	18	17	16
ビット名	FUBE7	FUBE6	FUBE5	FUBE4	FUBE3	FUBE2	FUBE1	FUBE0
初期値:	-	-	-	-	-	-	-	-
R/W:	-	-	-	-	-	-	-	-
ビット	15	14	13	12	11	10	9	8
ビット名	F15	F14	F13	F12	F11	F10	F9	F8
初期値:	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	F7	F6	F5	F4	F3	F2	F1	F0
初期値:	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	FUBE15~ FUBE0	-	R/W	フラッシュユーザブランチイネーブルビット ユーザブランチ機能を有効にするときはH'AA55に設定してください。それ以外はH'0000に設定してください。
15~0	F15~F0	-	R/W	周波数設定ビット CPUの動作周波数を設定します。PLL 逡倍を使用する場合は逡倍後の周波数を設定してください。設定値の算出は次のようにしてください。 <ul style="list-style-type: none"> MHz 単位で表現した動作周波数を小数点第3位で四捨五入し、小数点第2位までとする 100倍した値を2進数に変換し、FPEFEQ (汎用レジスタ ER0) に書き込む 具体例としてCPUの動作周波数が40.000MHzの場合には次のようになります。 <ul style="list-style-type: none"> 40.000の小数点第3位を四捨五入 40.00×100=4000を2進数変換し、B'0000 1111 1100 0000 (H'0FA0) をER0に設定する

22. フラッシュメモリ

(4) フラッシュマルチパースアドレスエリアパラメータ (FMPAR) (CPUの汎用レジスタ ER1)

ユーザマツト上の書き込み先の先頭アドレスを設定します。

フラッシュメモリ領域外にアドレスが指定されている場合、または書き込み先の先頭アドレスが 128 バイト境界でない場合は、エラーとなります。これらのエラーは、FPFR の WA ビットに反映されます。

ビット	31	30	29	28	27	26	25	24
ビット名	MOA31	MOA30	MOA29	MOA28	MOA27	MOA26	MOA25	MOA24
初期値:	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	23	22	21	20	19	18	17	16
ビット名	MOA23	MOA22	MOA21	MOA20	MOA19	MOA18	MOA17	MOA16
初期値:	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8
ビット名	MOA15	MOA14	MOA13	MOA12	MOA11	MOA10	MOA9	MOA8
初期値:	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	MOA7	MOA6	MOA5	MOA4	MOA3	MOA2	MOA1	MOA0
初期値:	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	MOA31 ~ MOA0	-	R/W	ユーザマツト上の書き込み先の先頭アドレスを設定します。ここで指定されたユーザマツトの先頭アドレスから連続 128 バイトの書き込みが行われます。指定した書き込み先の先頭アドレスは 128 バイト境界となり、MOA6~MOA0 は常に 0 になります。

(5) フラッシュマルチパースデータステーションパラメータ (FMPDR)
(CPUの汎用レジスタ ER0)

ユーザマットに書き込むデータが格納されている領域の先頭アドレスを設定します。

書き込みデータの格納先がフラッシュメモリ領域内の場合は、エラーとなります。このエラーはFPFRのWDビットに反映されます。

ビット	31	30	29	28	27	26	25	24
ビット名	MOD31	MOD30	MOD29	MOD28	MOD27	MOD26	MOD25	MOD24
初期値:	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	23	22	21	20	19	18	17	16
ビット名	MOD23	MOD22	MOD21	MOD20	MOD19	MOD18	MOD17	MOD16
初期値:	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8
ビット名	MOD15	MOD14	MOD13	MOD12	MOD11	MOD10	MOD9	MOD8
初期値:	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	MOD7	MOD6	MOD5	MOD4	MOD3	MOD2	MOD1	MOD0
初期値:	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	MOD31 ~ MOD0	-	R/W	ユーザマットに書き込むデータが格納されている領域の先頭アドレスを設定します。ここで指定された先頭アドレスから連続128バイトのデータが、ユーザマットに書き込まれます。

22. フラッシュメモリ

(6) フラッシュイレースブロックセレクトパラメータ (FEBS) (CPUの汎用レジスタ ER0)

消去ブロック番号を指定します。0～15 (H'00000000～H'0000000F)の範囲で消去ブロック番号を数値で設定します。0はEB0ブロック、15はEB15ブロックに対応します。0～15以外の設定ではエラーになります。

ビット	31	30	29	28	27	26	25	24
ビット名								
初期値:	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	23	22	21	20	19	18	17	16
ビット名								
初期値:	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8
ビット名								
初期値:	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	EBS7	EBS6	EBS5	EBS4	EBS3	EBS2	EBS1	EBS0
初期値:	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～8	-	不定	R/W	未使用ビット 値0を設定してください。
7～0	EBS7～ EBS0	不定	R/W	0～15の範囲で消去ブロック番号を設定します。0はEB0ブロック、15はEB15ブロックに対応します。0～15(H'00～H'0F)以外の設定ではエラーになります。

(7) フラッシュユーザブランチアドレスセットパラメータ (FUBRA) (CPU の汎用レジスタ ER0)

ユーザブランチ先の先頭アドレスを設定するパラメータです。書き込み / 消去実行時のある決まった処理単位ごとに設定したユーザプログラムを実行することができます。

ユーザブランチが必要ない場合には、0 番地 (H'00000000) を設定してください。

ユーザブランチ先は、内蔵フラッシュメモリ以外または内蔵プログラムが転送されている RAM 領域以外としてください。

実行コードのない領域にブランチして暴走しないように注意し、内蔵プログラムのダウンロード領域やスタック領域を破壊しないようにしてください。暴走やダウンロード領域 / スタック領域の破壊が発生した場合、フラッシュメモリの値は保証できません。

ユーザブランチ先の処理では、内蔵プログラムのダウンロード、初期化、書き込み / 消去プログラムを起動しないでください。ユーザブランチ先から復帰時の書き込み / 消去の保証ができません。また、すでに準備していた書き込みデータを書き換えしないでください。

汎用レジスタ ER2 から ER7 は保存してください。汎用レジスタ ER0 と ER1 は保存せずに使うことができます。

さらに、ユーザブランチ先の処理で書き込み / 消去インタフェースレジスタの書き換えや、RAM エミュレーションモードへの遷移を行わないでください。

ユーザブランチ処理終了時は、RTS 命令によって書き込み / 消去プログラムに戻ってください。

ビット	31	30	29	28	27	26	25	24
ビット名	UA31	UA30	UA29	UA28	UA27	UA26	UA25	UA24
初期値 :	-	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	23	22	21	20	19	18	17	16
ビット名	UA23	UA22	UA21	UA20	UA19	UA18	UA17	UA16
初期値 :	-	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8
ビット名	UA15	UA14	UA13	UA12	UA11	UA10	UA9	UA8
初期値 :	-	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	UA7	UA6	UA5	UA4	UA3	UA2	UA1	UA0
初期値 :	-	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	UA31~UA0	-	R/W	ユーザブランチ先の先頭アドレスを設定します。

22. フラッシュメモリ

22.6.3 RAM エミュレーションレジスタ (RAMER)

RAMER は、ユーザマットの書き換えをエミュレートするときに、内蔵 RAM の一部 (H'FFA000 ~ H'FFAFFF) と重ね合わせるユーザマットのエリアを設定します。RAMER の設定はユーザモード、ユーザプログラムモードで行ってください。エミュレーション機能を確実に動作させるためには、RAMER の書き換え直後に RAM エミュレーションの対象マットをアクセスしないでください。正常なアクセスは保証されません。

ビット	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	RAMS	RAM2	RAM1	RAM0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~4	-	0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。
3	RAMS	0	R/W	RAM セレクト RAM によるフラッシュメモリのエミュレーション選択ビットです。 0 : RAM エミュレーション機能は無効 1 : RAM エミュレーション機能は有効 (ユーザマット全ブロックは、書き込み / 消去プロテクト状態)
2	RAM2	0	R/W	フラッシュメモリエリア選択 RAMS=1 のとき、RAM とオーバーラップさせるユーザマットのエリアを選択します。これらのエリアは 4k バイトの消去ブロックに対応しています。 000 : H'000000 ~ H'000FFF(EB0) 001 : H'001000 ~ H'001FFF(EB1) 010 : H'002000 ~ H'002FFF(EB2) 011 : H'003000 ~ H'003FFF(EB3) 100 : H'004000 ~ H'004FFF(EB4) 101 : H'005000 ~ H'005FFF(EB5) 110 : H'006000 ~ H'006FFF(EB6) 111 : H'007000 ~ H'007FFF(EB7)
1	RAM1	0	R/W	
0	RAM0	0	R/W	

22.7 オンボードプログラミング

モード端子 (MD0、MD1、MD2) をオンボードプログラミングモードに設定し、リセットスタートすると、内蔵フラッシュメモリへの書き込み / 消去を行うことができるオンボードプログラミングモードへ遷移します。オンボードプログラミングモードには、ブートモード、およびユーザプログラムモードの2種類の動作モードがあります。

各動作モードへの設定方法を表 22.5 に示します。フラッシュメモリに対する各モードへの状態遷移は、図 22.2 を参照してください。

表 22.5 オンボードプログラミングモードの設定方法

モード設定	MD2	MD1	MD0
ブートモード	0	1	0
ユーザプログラムモード	1	1	-

22.7.1 ブートモード

ブートモードは、SCI_4 を経由して外部に接続されたホストから制御コマンドや書き込みデータを送信し、ユーザマットへの書き込み / 消去を行うモードです。

ブートモードでは、制御コマンドや書き込みデータを送信するツールと、書き込みデータをホスト側に準備しておく必要があります。使用するシリアル通信は調歩同期式モードです。図 22.6 にブートモードのシステム構成を示します。ブートモードで割り込み要求が発生した場合は、無視されます。システム側で割り込み要求が発生しないようにしてください。

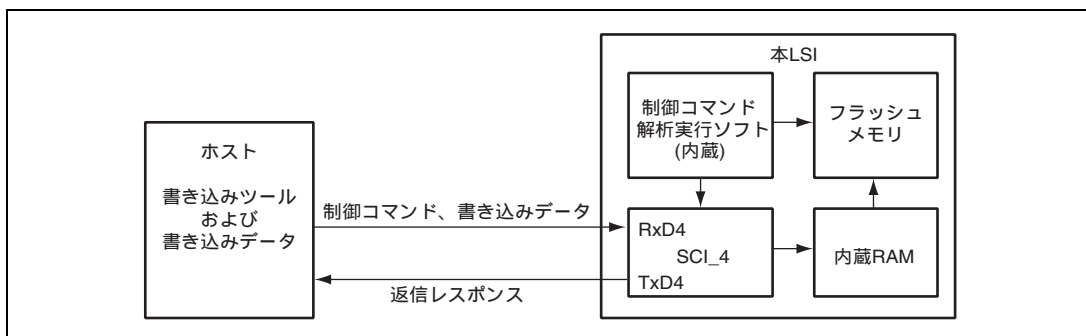


図 22.6 ブートモードのシステム構成図

22. フラッシュメモリ

(1) ホストのシリアルインタフェース設定

SCI_4 は調歩同期式モードに設定され、シリアル送信 / 受信フォーマットは「8 ビットデータ、1 ストップビット、パリティなし」です。

ブートモードに遷移すると、本 LSI 内部に組み込まれているブートプログラムが起動します。

本 LSI はブートプログラムが起動すると、ホストから連続送信される調歩同期式シリアル通信データ (H'00) の Low 期間を測定してビットレートを計算し、SCI_4 のビットレートをホストのビットレートに合わせ込みます。

ビットレートの合わせ込みが終了すると、調整終了の合図としてホストへ H'00 を 1 バイト送信します。ホストは調整終了の合図を正常に受信したら、本 LSI へ H'55 を 1 バイト送信してください。正常に受信できなかった場合は、ブートモードを再起動してください。ホスト側のビットレートと本 LSI のシステムクロック周波数の組み合わせによっては許容範囲内にビットレートを合わせ込めない場合があります。このため、ホストの転送ビットレートと本 LSI のシステムクロック周波数を表 22.6 の範囲としてください。



図 22.7 ビットレートの自動合わせ込み

表 22.6 ビットレート自動合わせ込みが可能なシステムクロック周波数

ホストのビットレート	本 LSI のシステムクロック周波数範囲
9,600 bps	8 ~ 18MHz
19,200 bps	8 ~ 18MHz

(2) 状態遷移

ブートモード起動後の状態遷移を図 22.8 に示します。

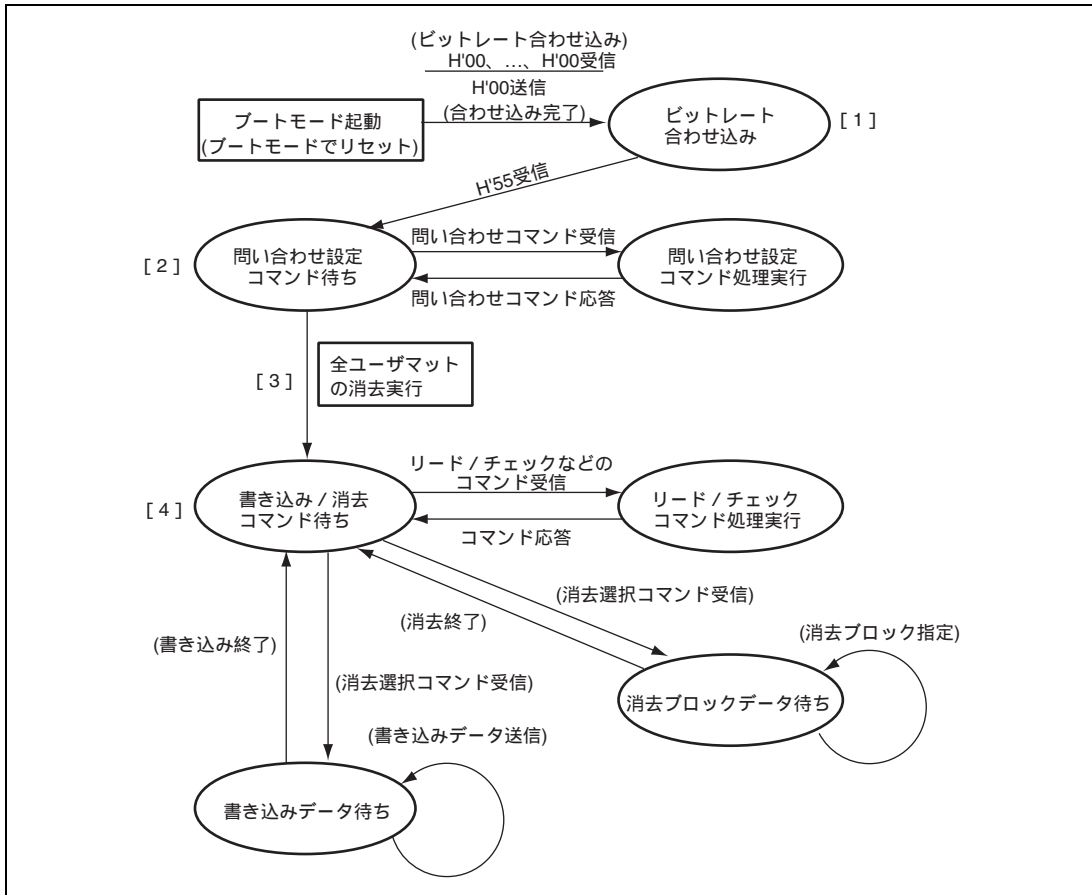


図 22.8 ブートモードの状態遷移図

22. フラッシュメモリ

- [1] ブートモード起動後、SCI_4のビットレートをホストのビットレートに合わせ込みます。
- [2] ユーザマットのサイズ、構成、先頭アドレス、サポート状況などの問い合わせ情報をホストに送信します。
- [3] 問い合わせ設定が終了するとすべてのユーザマットを自動消去します。
- [4] 「書き込み選択コマンド」を受信すると、書き込みデータ待ち状態に遷移します。書き込みコマンド送信後、書き込み先頭アドレス、書き込みデータを送信してください。書き込み終了後、書き込み先頭アドレスを H'FFFFFFF に設定して送信してください。これにより書き込みデータ待ち状態から、書き込み / 消去コマンド待ち状態に戻ります。「消去選択コマンド」を受信すると、消去ブロックデータ待ち状態に遷移します。消去コマンド送信後、消去ブロック番号を送信してください。消去終了後、消去ブロック番号を H'FF に設定して送信してください。これにより消去ブロックデータ待ち状態から、書き込み / 消去コマンド待ち状態に戻ります。なお、消去の実行は、ブートモードで、いったん、書き込んだ後に、リセットスタートせずに特定のブロックのみを書き換えるときに使用してください。1回の操作で書き込みができる場合は、書き込み / 消去コマンド、それ以外のコマンド待ち状態の遷移前に全ブロックの消去が行われていますので本消去操作は必要ありません。

書き込み / 消去コマンド以外に、ユーザマットのサムチェック、ブランクチェック（消去チェック）、メモリリード、および現在のステータス情報取得のコマンドがあります。

ユーザマットのメモリ読み出しは、すべてのユーザマットを自動消去後に書き込んだデータについてのみ読み出しができます。それ以外は読み出しができません。

22.7.2 ユーザプログラムモード

内蔵されているプログラムをダウンロードしてユーザマットの書き込み/消去を行います。書き込み/消去フローを図 22.9 に示します。

書き込み/消去中はフラッシュメモリ内部に高電圧が印加されていますので、リセット、ハードウェアスタンバイへの遷移は行わないでください。書き込み/消去中にリセット、ハードウェアスタンバイへ遷移すると、フラッシュメモリにダメージを与える可能性があります。リセット入力した場合は、100 μ s 以上のリセット入力期間 ($\overline{\text{RES}}=0$ の期間) の後にリセットリリースしてください。

書き込み手順については「22.7.2 ユーザプログラムモードでの書き込み手順」を、消去手順については「22.7.2 (3) ユーザプログラムモードでの消去手順」を参照してください。

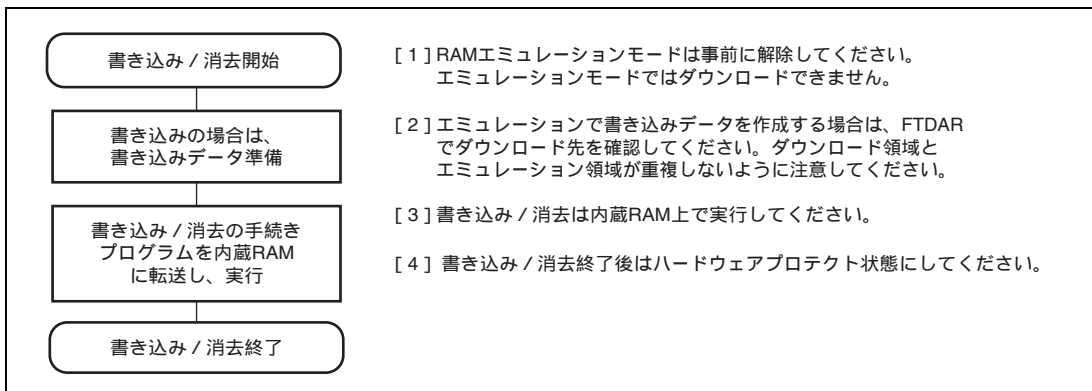


図 22.9 書き込み / 消去フロー

(1) 書き込み / 消去実行時の内蔵 RAM のアドレスマップ

ユーザ側で作成するダウンロード要求、書き込み/消去手順、結果判定などの手続きプログラムの一部は、必ず内蔵 RAM 上で実行してください。また、ダウンロードする内蔵プログラムは内蔵 RAM に組み込まれているため、内蔵プログラムと手続きプログラムが重複しないように注意してください。図 22.10 にダウンロードする内蔵プログラムの領域を示します。

22. フラッシュメモリ

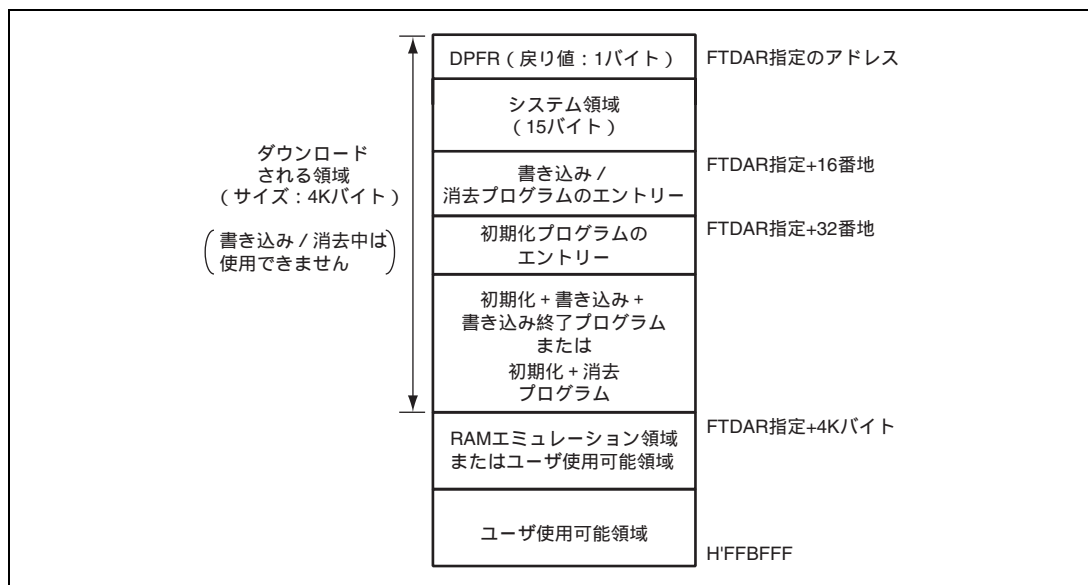
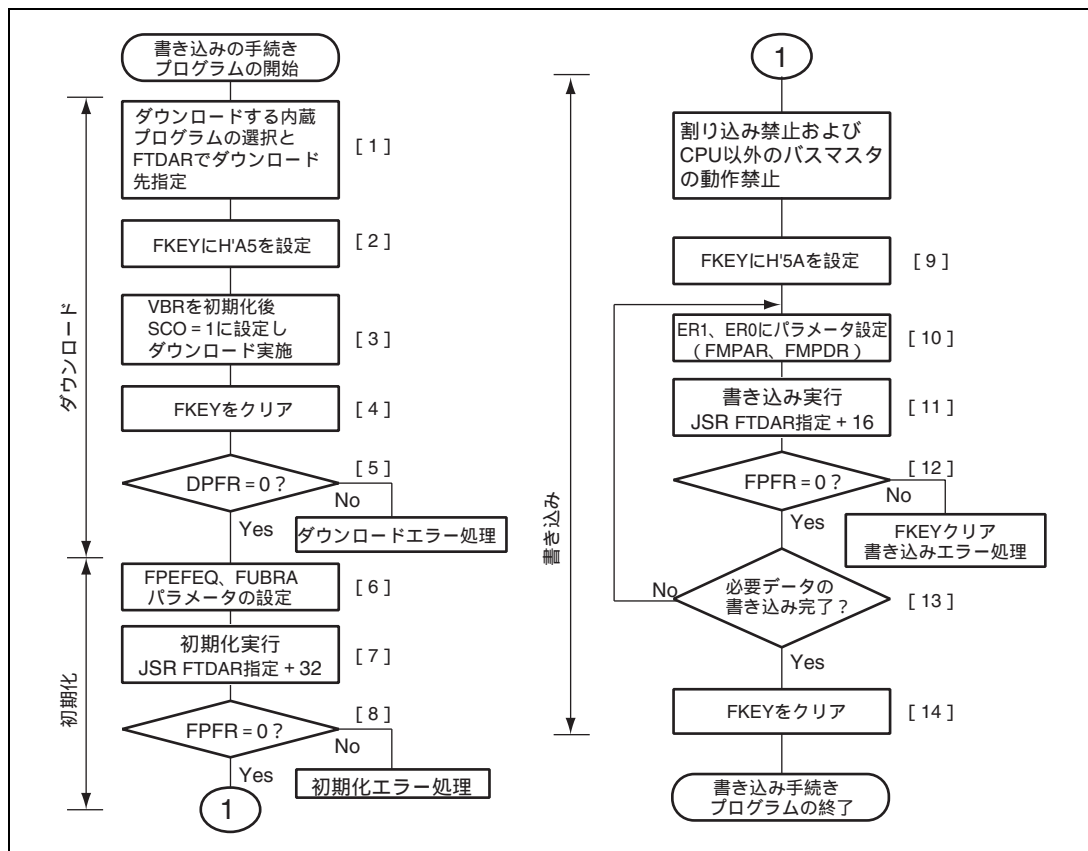


図 22.10 書き込み/消去実行時の RAM マップ

(2) ユーザプログラムモードでの書き込み手順

内蔵プログラムのダウンロード、初期化、および書き込み手順を図 22.11 に示します。



手続きプログラムは、書き込み対象のフラッシュメモリ以外の領域で実行してください。ダウンロードを要求する FCCS の SCO ビットの設定は、必ず内蔵 RAM 上で実行してください。手続きプログラムのステップごとの実行可能な領域（内蔵 RAM、ユーザマツト、外部空間）は「22.7.3 内蔵プログラム、書き込みデータの格納可能領域」を参照してください。以下の説明は、ユーザマツトの書き込み対象領域は消去されており、書き込みデータも連続領域に準備できたという前提です。

1 回の書き込みデータは常に 128 バイト単位です。128 バイトを超える場合は、書き込み先の先頭アドレス、書き込みデータのパラメータを 128 バイト単位で更新して書き込みを繰り返します。書き込みデータが 128 バイトに満たない場合も無効データを埋め込んで、128 バイトの書き込みデータを準備してください。埋め込む無効データを H'FF にすると書き込み処理時間を短縮できます。

- [1] ダウンロードする内蔵プログラムとダウンロード先を選択します。FPCS の PPS ビットを 1 にセットすると書き込みプログラムが選択されます。書き込み / 消去プログラムは複数選択することができません。複数選択すると DPFR パラメータの SS ビットにダウンロードエラーが報告されます。FTDAR でダウンロード先の内蔵 RAM の先頭アドレスを指定します。
- [2] FKEY に H'A5 を書き込みます。FKEY に H'A5 を書き込まないと、ダウンロードを要求する FCCS の SCO ビットを 1 にセットすることができません。
- [3] VBR を H'00000000 に初期化後、SCO ビットを 1 にセットしダウンロードを実行します。SCO ビットを 1 にセットするには、次の条件をすべて満足する必要があります。

- RAMエミュレーションモードが解除されている
- FKEYにH'A5が書き込まれている
- SCOビットの設定が内蔵RAM上で実行されている

SCOビットが1にセットされると自動的にダウンロードが開始され、ユーザの手続きプログラムに戻ってきたときにはSCOビットが0にクリアされているため、手続きプログラムではSCOビットが1にセットされていることを確認できません。ダウンロード結果はDPFRパラメータの戻り値で確認するため、SCOビットを1にセットする前に、DPFRパラメータとなるFTDARで指定した内蔵RAMの先頭1バイトを戻り値以外（H'FFなど）に設定して誤判定を防いでください。ダウンロードの実行は、次に示すようなバンク切り替えを伴った特殊な処理を行いますので、VBRはH'00000000に初期化してください。また、SCOビットを1にセットした直後は、必ずFCCSのダミーリードを2回実行してください。

- ・ ユーザマット空間を内蔵プログラム格納領域に切り替えます。
- ・ ダウンロードするプログラムとFTDARで指定した内蔵RAMの先頭アドレスをチェック後、内蔵RAMへ転送します。
- ・ ダウンロードでは汎用レジスタER0、ER1を使用します。SCOビットをセットする前のER0、ER1に格納されているデータを保持したい場合は、SCOビットをセットする前にER0、ER1をスタックに退避し、ダウンロード実行後に復帰するようにしてください。
- ・ FPCS、FECSおよびFCCSのSCOビットを0にクリアします。
- ・ DPFRパラメータに戻り値を設定します。
- ・ 内蔵プログラム格納領域をユーザマット空間に戻した後、ユーザ手続きプログラムに戻ります。ユーザ手続きプログラムに戻った後は、VBRの再設定が可能です。

【ダウンロードにおける注意事項】

- CPUの汎用レジスタの値は保存されます。
- ダウンロード中はすべての割り込み要求は受け付けられませんが、割り込み要求は保持されていますので、手続きプログラムに戻ったときに割り込み要求が発生します。
- レベル検出割り込み要求を保持したい場合は、ダウンロード終了まで割り込み要求の発生が必要です。
- SCOビットを1にセットする前に最大128バイトのスタック領域を内蔵RAM上に確保してください。

- ダウンロード中にDMACによるフラッシュメモリへのアクセスが発生すると動作の保証ができません。DMACによるアクセスが発生しないように注意してください。
- [4] プロテクトのために FKEY を H'00 にクリアします。
- [5] DPFR パラメータの値でダウンロード結果を確認します。DPFR パラメータ (FTDAR で指定したダウンロード先の先頭アドレスの 1 バイト) の値をチェックします。DPFR パラメータの値が H'00 であればダウンロードが正常に終了しています。H'00 以外のときは、ダウンロードできなかった原因を次の手順で調べることができます。
- DPFRパラメータの値がダウンロード実行前に設定した値と同じであった場合は、FTDARのダウンロード先の先頭アドレス設定に異常が考えられますので、FTDARのTDERビットを確認してください。
 - DPFRパラメータの値がダウンロード実行前の設定値と異なっている場合は、DPFRパラメータのSSビットやFKビットでダウンロードするプログラムの選択やFKEYの設定値を確認してください。
- [6] 初期化のために FPEFEQ と FUBRA パラメータに、CPU の動作周波数とユーザブランチ先を設定します。FPEFEQ パラメータに設定できる動作周波数は 8 ~ 40MHz です。この範囲以外の周波数を設定すると、初期化プログラムの FPFPR パラメータにエラーが報告され初期化は行われません。周波数の設定方法は「22.6.2(3)フラッシュプログラム / イレース周波数パラメータ (FPEFEQ) (CPU の汎用レジスタ ER0)」を参照してください。
- FUBRAパラメータにユーザブランチ先の先頭アドレスを設定します。ユーザブランチ処理が必要ない場合、FUBRAにはH'00000000を設定してください。ユーザブランチを行う場合、ブランチ先は書き込み対象のフラッシュメモリ以外で実行するようにしてください。また、ダウンロードされた内蔵プログラム領域への設定もできません。ユーザブランチ処理からはRTS命令で書き込み処理に戻ってください。先頭アドレスの設定方法は「22.6.2(7)フラッシュユーザブランチアドレスセットパラメータ (FUBRA) (CPUの汎用レジスタER0)」を参照してください。
- [7] 初期化を実行します。初期化プログラムは書き込みプログラムのダウンロードと一緒に内蔵 RAM にダウンロードされます。FTDAR で指定したダウンロード先の先頭アドレスを #DLTOP としたとき、#DLTOP + 32 バイトからの領域に、初期化プログラムのエントリポイントがありますので、次のような方法でサブルーチンコールして実行してください。

MOV.L	#DLTOP+32,ER2	; エントリアドレスを ER2 に設定
JSR	@ER2	; 初期化ルーチンをコール
NOP		

- 初期化プログラムではER0、ER1以外の汎用レジスタは保存されます。
- R0LはFPFPRパラメータの戻り値です。
- 初期化プログラムではスタック領域を使用しますので、最大128バイトのスタック領域をRAM上に確保してください。
- 初期化プログラム実行中の割り込み要求受け付けは可能です。ただし、内蔵RAM上のプログラム格納領域やスタック領域、レジスタの値を破壊しないように注意してください。

22. フラッシュメモリ

- [8] 初期化プログラムの戻り値 FPFR パラメータを判定します。
- [9] FKEY に H'5A を設定し、ユーザマットへの書き込みができるようにしてください。
- [10] 書き込みに必要なパラメータの設定を行います。ユーザマットの書き込み先の先頭アドレス (FMPAR パラメータ) を汎用レジスタ ER1 に、書き込むデータが格納されている領域の先頭アドレス (FMPDR パラメータ) を汎用レジスタ ER0 に設定します。
- FMPARパラメータ設定例：ユーザマットエリア以外に書き込み先の先頭アドレスが指定された場合、書き込みプログラムを実行しても書き込みは行われずに、FPFRパラメータにエラーが報告されます。また、1回の書き込みデータは常に128バイト単位であるため、アドレスの下位8ビットはH'00かH'80の128バイト境界である必要があります。
 - FMPDR設定例：書き込みデータの格納先がフラッシュメモリ上の場合、書き込みルーチンを実行しても書き込みは行われずに、FPFRパラメータにエラーが報告されます。この場合は、いったん、内蔵RAMに転送して、書き込むようにしてください。
- [11] 書き込みを実行します。FTDAR で指定したダウンロード先の先頭アドレスを#DLTOP としたとき、#DLTOP + 16 バイトからの領域に、書き込みプログラムのエントリポイントがありますので、次のような方法でサブルーチンコールして実行してください。

MOV.L	#DLTOP+16,ER2	; エントリアドレスを ER2 に設定
JSR	@ER2	; 書き込みルーチンをコール
NOP		

- 書き込みプログラムではER0、ER1以外の汎用レジスタは保存されます。
 - R0LはFPFRパラメータの戻り値です。
 - 書き込みプログラムではスタック領域を使用しますので、最大128バイトのスタック領域をRAM上に確保してください。
- [12] 書き込みプログラムの戻り値 FPFR パラメータを判定します。
- [13] 必要データの書き込みが終了したかを判断します。128 バイトを超えるデータを書き込む場合、128 バイト単位で FMPAR、FMPDR パラメータを更新して上記 [11] ~ [14] の処理を繰り返します。書き込み先アドレスの 128 バイトのインクリメント、書き込みデータポイントの更新を正しく行ってください。書き込み終了のアドレスへの重複書き込みになると、書き込みエラーとなりフラッシュメモリにもダメージを与えます。
- [14] 書き込みが終了すると FKEY をクリアして、ソフトウェアプロテクト状態にしてください。書き込み終了直後にリセットで再起動する場合は、100 μ s 以上のリセット入力期間 ($\overline{RES} = 0$ の期間) を設けてください。

(1) ユーザプログラムモードでの消去手順

内蔵プログラムのダウンロード、初期化、消去の手順を図 22.12 に示します。

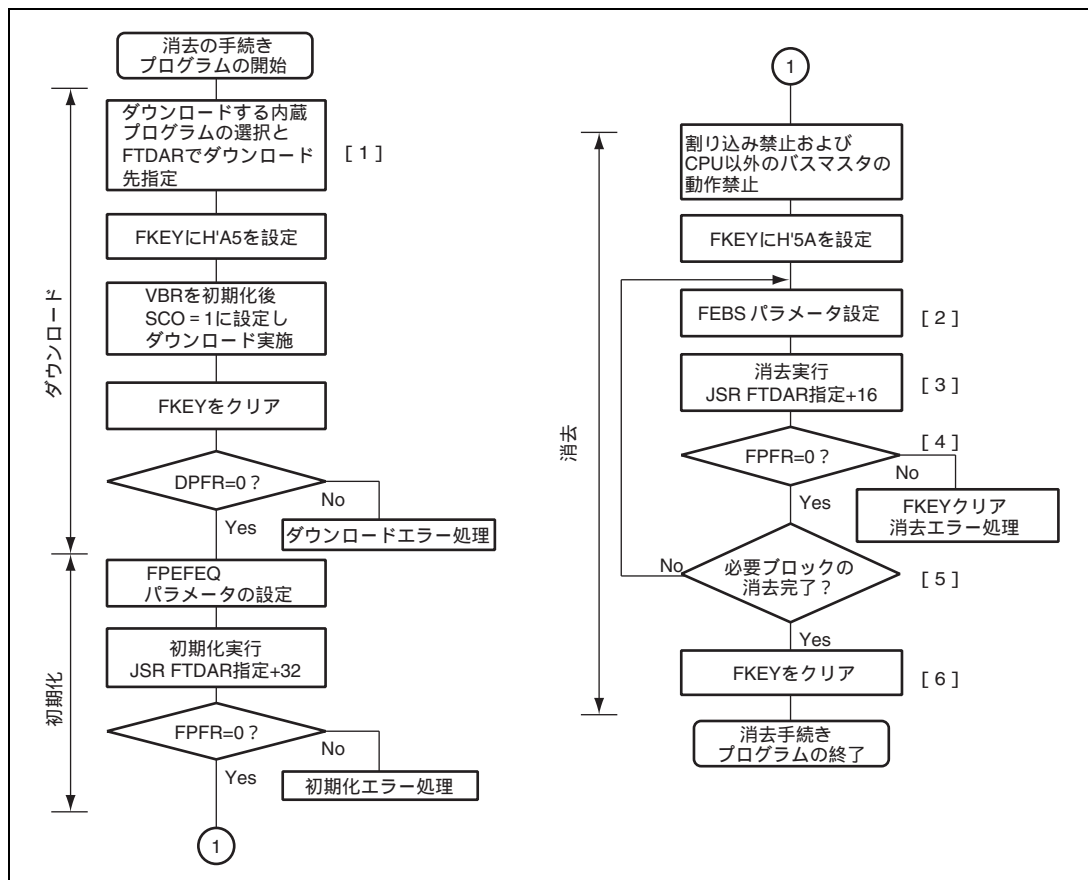


図 22.12 ユーザプログラムモードでの消去手順

手続きプログラムは、消去対象のユーザマツト以外の領域で実行してください。ダウンロードを要求する FCCS の SCO ビットの設定は、必ず内蔵 RAM 上で実行してください。手続きプログラムのステップごとの実行可能な領域（内蔵 RAM、ユーザマツト）は「22.7.3 内蔵プログラム、書き込みデータの格納可能領域」を参照してください。ダウンロードする内蔵プログラムの領域は図 22.10 を参照してください。

1 回の消去は 1 ブロックです。ブロック分割については図 22.3 を参照してください。2 ブロック以上の消去を行う場合は、消去ブロック番号を更新して消去を繰り返します。

[1] ダウンロードする内蔵プログラムを選択します。FECS の EPVB ビットを 1 にセットするとダウンロードする消去プログラムが選択されます。書き込み / 消去プログラムは複数選択することはできません。複数選択すると DPFR パラメータの SS ビットにダウンロードエラーが報告されます。FTDAR でダウンロード先の内蔵 RAM の先頭アドレスを指定します。

22. フラッシュメモリ

FKEY への書き込み以降の手続きは、「22.7.2 (2) ユーザプログラムモードでの書き込み手順」を参照してください。

- [2] 消去に必要な FEBS パラメータの設定を行います。ユーザマットの消去ブロック番号 (FEBS パラメータ) を汎用レジスタ ER0 に設定します。ユーザマットの消去ブロック番号以外の値が設定された場合、消去プログラムを実行しても消去されずに、FPFR パラメータにエラーが報告されます。
- [3] 消去を実行します。書き込みと同様に FTDAR で指定したダウンロード先の先頭アドレスを #DLTOP としたときも、#DLTOP + 16 バイトからの領域に、消去プログラムのエントリポイントがありますので、次のような方法でサブルーチンコールして実行してください。

MOV.L	#DLTOP+16,ER2	; エントリアドレスを ER2 に設定
JSR	@ER2	; 消去ルーチンをコール
NOP		

- 消去プログラムではR0L以外の汎用レジスタは保存されます。
 - R0LはFPFRパラメータの戻り値です。
 - 消去プログラムではスタック領域を使用しますので、最大128バイトのスタック領域をRAM上に確保してください。
- [4] 消去プログラムの戻り値 FPFR パラメータを判定します。
 - [5] 必要ブロックの消去が終了したかを判断します。複数ブロックを消去する場合、FEBS パラメータを更新して上記 [2] ~ [5] の処理を繰り返します。
 - [6] 消去が終了すると FKEY をクリアして、ソフトウェアプロテクト状態にしてください。消去終了直後にパワーオンリセットで再起動する場合は、100 μ s 以上のリセット入力期間 ($\overline{RES} = 0$ の期間) を設けてください。

(2) ユーザプログラムモードでの消去 / 書き込み / RAM エミュレーション手順

FTDAR でダウンロード先の内蔵 RAM の先頭アドレスを変更することで、消去プログラムと書き込みプログラムを別々の内蔵 RAM 領域にダウンロードすることができます。

消去、書き込み、RAM エミュレーションを繰り返し実行する場合の手順を図 22.13 に示します。

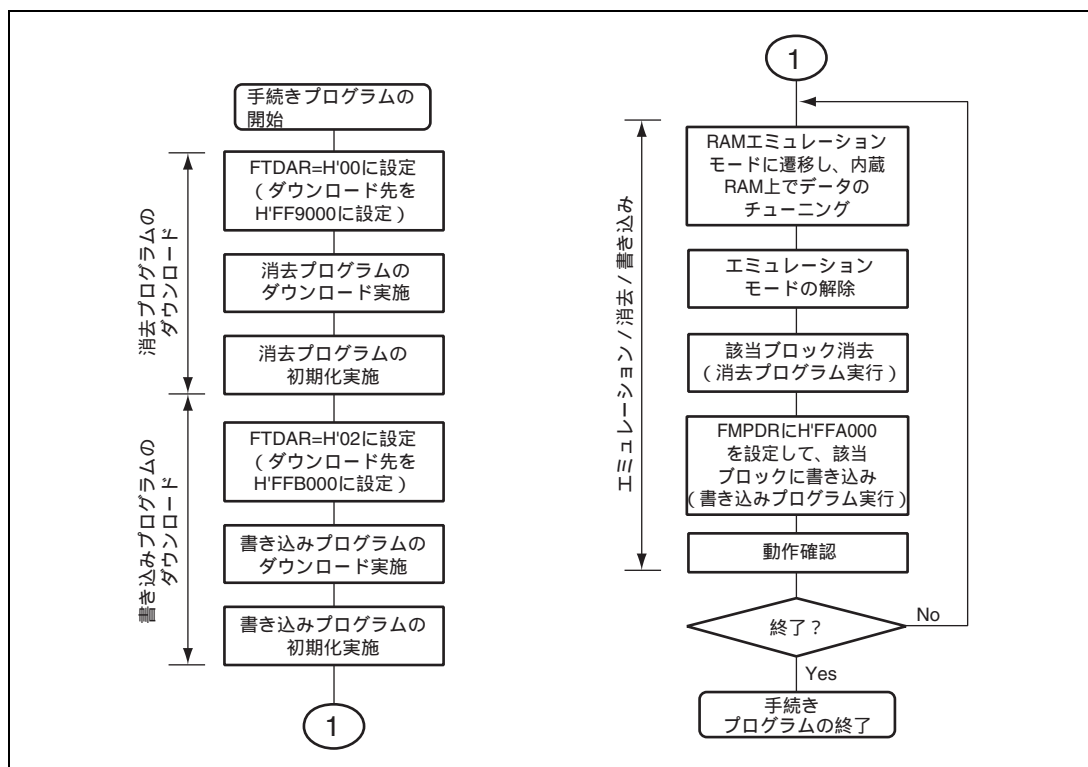


図 22.13 ユーザプログラムモードでの消去、書き込み、RAM エミュレーション手順

22. フラッシュメモリ

図 22.13 では、RAM エミュレーションを実施するため、内蔵 RAM の 4K バイト (HFFA000 ~ HFFAFFF) を避けて、消去 / 書き込みプログラムをダウンロードしています。また、ダウンロードと初期化は、最初の 1 回のみの実施です。手続きプログラムを実行する場合は、次の点に注意してください。

- 内蔵RAM領域の重複破壊にご注意ください。書き込みプログラム領域、消去プログラム領域、RAMエミュレーション領域以外に、ユーザが作成する手続きプログラムや、作業領域、スタック領域などが内蔵RAMに存在しますので、これらの領域を破壊しないようにしてください。
- 書き込みプログラム、および消去プログラムの初期化を行ってください。FPEFEQパラメータを初期化するときは、必ず消去プログラム、および書き込みプログラムも初期化を行ってください。初期化のエントリアドレスは、FTDARで指定した消去プログラムのダウンロード先の先頭アドレスを#DLTOPとしたとき、#DLTOP + 32番地、FTDARで指定した書き込みプログラムのダウンロード先の先頭アドレスを#DLTOPとしたとき、#DLTOP + 32番地の両方に対して初期化を実行してください。

22.7.3 内蔵プログラム、書き込みデータの格納可能領域

本文中での内蔵プログラムおよび書き込みデータの格納領域は内蔵 RAM 上に準備する例で示しましたが、次の条件により書き込み / 消去対象外のフラッシュメモリ領域でも実行することができます。

- 内蔵プログラムは、FTDARで指定された内蔵RAMへダウンロードされ実行されるため、この内蔵RAM領域は使用できません。
- 内蔵プログラムはスタック領域を使用しますので、最大128バイトのスタック領域を確保してください。
- FCCSのSCOビットを1にセットしてダウンロードの要求を行う処理は、メモリマットの切り替えが発生するため内蔵RAM上で行ってください。
- シングルチップモードのように外部空間をアクセスできない動作モードでは、書き込み / 消去前 (ダウンロード結果判定) までに必要な手続きプログラム、NMI割り込みベクタテーブルとNMI処理ルーチンを内蔵RAMに転送してください。
- 書き込み / 消去中は、フラッシュメモリへのアクセスはできません。内蔵RAM上にダウンロードされたプログラムで実行します。そのため起動させる手続きプログラム、NMI割り込みベクタテーブル、およびNMI例外処理ルーチンもフラッシュメモリ以外の内蔵RAMに転送してください。
- 書き込み / 消去開始からFKEYのクリアまでの期間は、フラッシュメモリへのアクセスは禁止します。書き込み / 消去終了後に動作モードを変更してリセットスタートさせる場合には、100 μ s以上のリセット入力期間 ($\overline{\text{RES}} = 0$ の期間) を設けてください。なお、書き込み / 消去中のリセット状態への遷移は禁止です。リセット入力した場合は、100 μ s以上のリセット入力期間の後にリセットリリースしてください。
- 通常の書き込みデータであっても、書き込みデータの格納先がフラッシュメモリ上であるとエラーとなるため、いったん、内蔵RAMに転送してFMPDRパラメータの示すアドレスをフラッシュメモリ以外に設定してください。

これらの条件を考慮し、処理内容、動作モード、マットのバンク構成の組み合わせで、書き込みデータ格納および実行が可能なエリアを表 22.7 ~ 表 22.9 に示します。

表 22.7 実行可能なメモリマップ

処理内容	動作モード
	ユーザプログラムモード
書き込み	表 22.8 参照
消去	表 22.9 参照

表 22.8 ユーザプログラムモードでの書き込み処理で使用可能エリア

項目	格納 / 実行が可能なエリア		選択されているマップ	
	内蔵 RAM	ユーザマップ	ユーザマップ	組み込みプログラム格納マップ
書き込みデータの格納領域		×	-	-
ダウンロードする内蔵プログラムの選択処理				
FKEY への H'A5 書き込み処理				
FCCS の SCO = 1 書き込み実行 (ダウンロード)		×		
FKEY クリア処理				
ダウンロード結果の判定				
ダウンロードエラー処理				
初期化パラメータの設定処理				
初期化実行		×		
初期化結果の判定				
初期化エラー処理				
NMI 処理ルーチン		×		
割り込み禁止処理				
FKEY への H'5A 書き込み処理				
書き込みパラメータの設定処置		×		
書き込み実行		×		
書き込み結果の判定		×		
書き込みエラー処理		×		
FKEY クリア処理		×		

【注】 * 事前に内蔵 RAM に転送しておけば可能です。

22. フラッシュメモリ

表 22.9 ユーザプログラムモードでの消去処理で使用可能エリア

項目	格納 / 実行が可能なエリア		選択されているマツト	
	内蔵 RAM	ユーザマツト	ユーザマツト	組み込み プログラム 格納マツト
ダウンロードする内蔵 プログラムの選択処理				
FKEY への H'A5 書き込み処理				
FCCS の SCO = 1 書き込み実行 (ダウンロード)		×		
FKEY クリア処理				
ダウンロード結果の判定				
ダウンロードエラー処理				
初期化パラメータの設定処理				
初期化実行		×		
初期化結果の判定				
初期化エラー処理				
NMI 処理ルーチン		×		
割り込み禁止処理				
FKEY への H'5A 書き込み処理				
消去パラメータの設定処置		×		
消去実行		×		
消去結果の判定		×		
消去エラー処理		×		
FKEY クリア処理		×		

22.8 プロテクト

フラッシュメモリに対する書き込み/消去プロテクト状態には、ハードウェアプロテクトによるもの、ソフトウェアプロテクトによるもの、およびエラープロテクトによるものの3種類あります。

22.8.1 ハードウェアプロテクト

ハードウェアプロテクトは、フラッシュメモリに対する書き込み/消去が強制的に禁止、中断された状態をいいます。内蔵プログラムのダウンロードと初期化はできますが、書き込み/消去プログラムを起動してもユーザーマットへの書き込み/消去はできず、書き込み/消去エラーがFPFRパラメータに報告されます。

表 22.10 ハードウェアプロテクト

項目	説明	プロテクトが有効な機能	
		ダウンロード	書き込みと消去
リセットプロテクト	<ul style="list-style-type: none"> リセット(WDTによるリセットも含む)時は、書き込み/消去インタフェースレジスタが初期化され、書き込み/消去プロテクト状態になります。 RES端子によるリセットでは、電源投入後発振が安定するまでRES端子をLowレベルに保持しないとリセット状態になりません。また、動作中のリセットはAC特性に規定したRESパルス幅の間RES端子をLowレベルに保持してください。書き込み/消去中のフラッシュメモリの値は、保証しません。この場合は、消去を実施してから再度書き込みを実施してください。 		

22.8.2 ソフトウェアプロテクト

ソフトウェアプロテクトには、書き込み/消去プログラムのダウンロードからのプロテクト、キーコードによるプロテクト、およびRAMERによるプロテクトがあります。

表 22.11 ソフトウェアプロテクト

項目	説明	プロテクトが有効な機能	
		ダウンロード	書き込みと消去
SCOビットプロテクト	FCCSのSCOビットを0にクリアすると、書き込み/消去プログラムのダウンロードができないため、書き込み/消去プロテクト状態になります。		
FKEYプロテクト	FKEYにキーコードを書き込まないと、ダウンロードと書き込み/消去ができないため、書き込み/消去プロテクト状態になります。		
エミュレーションプロテクト	RAMエミュレーションレジスタ(RAMER)のRAMSビットを1にセットすると、書き込み/消去プロテクトになります。		

22.8.3 エラープロテクト

エラープロテクトは、フラッシュメモリへの書き込み/消去中にCPUの暴走や書き込み/消去手順に沿っていない動作を検出し、強制的に書き込み/消去を中断した状態です。書き込み/消去動作を中断することで過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み/消去中にエラーを検出すると、FCCSのFLERビットが1にセットされ、エラープロテクト状態となります。

- 書き込み/消去中にNMIなどの割り込み要求発生
- 書き込み/消去中にフラッシュメモリ読み出し（ベクタリードおよび命令フェッチを含む）
- 書き込み/消去中にSLEEP命令実行（ソフトウェアスタンバイを含む）
- 書き込み/消去中にCPU以外のバスマスタ（DMAC）がバス権を確保

エラープロテクト状態は、リセットで解除できます。なお、この場合は100 μ s以上のリセット入力期間の後にリセットリリースしてください。フラッシュメモリには書き込み/消去中は高電圧が印加されているため、エラープロテクト状態への遷移時に印加電圧が抜けきれていないことがあります。このため、リセット入力期間を延長してチャージを抜くことにより、フラッシュメモリへのダメージを低減する必要があります。

図 22.14 にエラープロテクト状態への状態遷移図を示します。

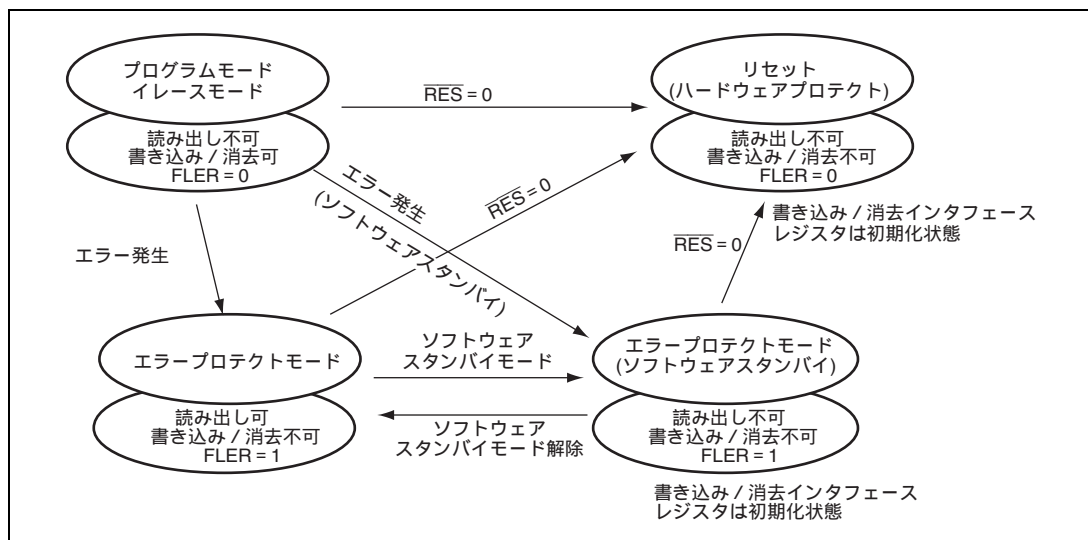


図 22.14 エラープロテクト状態への状態遷移図

22.9 RAM によるフラッシュメモリのエミュレーション

フラッシュメモリに対する書き換えデータを内蔵 RAM でリアルタイムにエミュレートできるように、RAM エミュレーションレジスタ (RAMER) によりフラッシュメモリ (ユーザマツト) の一部のブロックに RAM をオーバーラップさせて使用することができるようになっています。

RAMER で設定したユーザマツトのエリアと、重ね合わせた RAM エリアの 2 エリアからアクセスできます。エミュレーション可能なモードは、ユーザモードおよびユーザプログラムモードです。

図 22.15 にユーザマツトのリアルタイムな書き換えをエミュレートする例を示します。

【注】 RAM によるフラッシュメモリのエミュレーションをするときは、システムコントロールレジスタ (SYSCR) の RAME ビットを 1 にしてください。

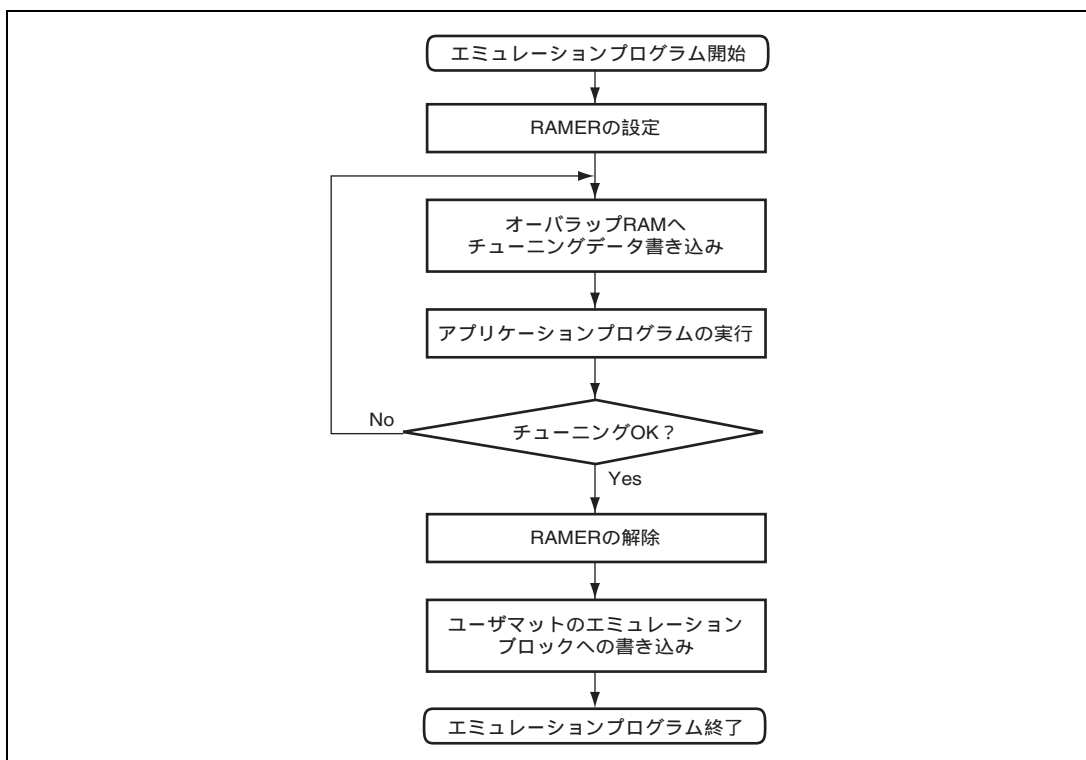


図 22.15 RAM によるエミュレーションフロー

22. フラッシュメモリ

図 22.16 にフラッシュメモリのブロックエリア EB0 をオーバーラップさせる例を示します。

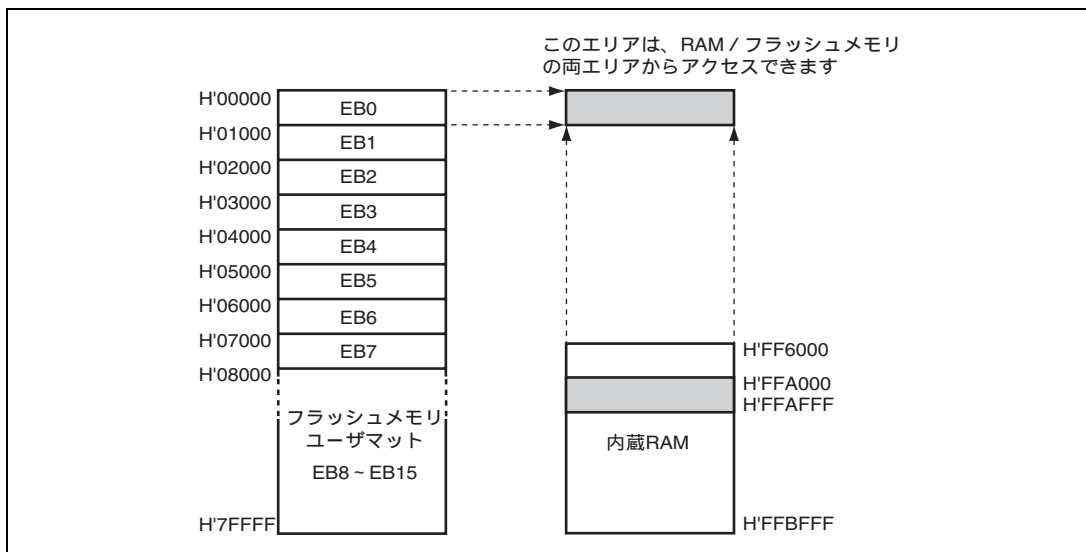


図 22.16 RAM のオーバーラップ動作例

エミュレーションが可能なフラッシュメモリの領域は、ユーザマットの EB0 ~ EB7 の 8 エリアから RAMER の RAM2 ~ RAM0 ビットで選択した 1 エリアです。

リアルタイムな書き換えを必要とするエリア EB0 に RAM の一部をオーバーラップさせるには、RAMER の RAMS ビットを 1 にセットし、RAM2 ~ RAM0 ビットを B'000 に設定してください。

ユーザマットへの書き込み / 消去は、内蔵プログラムのダウンロードを含む一連の手続きプログラムの実行が必要です。このとき、オーバーラップしていた RAM 領域とダウンロードされる内蔵プログラムの領域が重複しないようにダウンロード領域を設定してください。FTDAR が H'01 の場合、チューニング領域とダウンロード領域が重複しますので、事前に未使用領域に書き換えデータの退避が必要になります。

図 22.17 にエミュレーション終了後のデータをユーザマットの EB0 領域に書き込む例を示します。

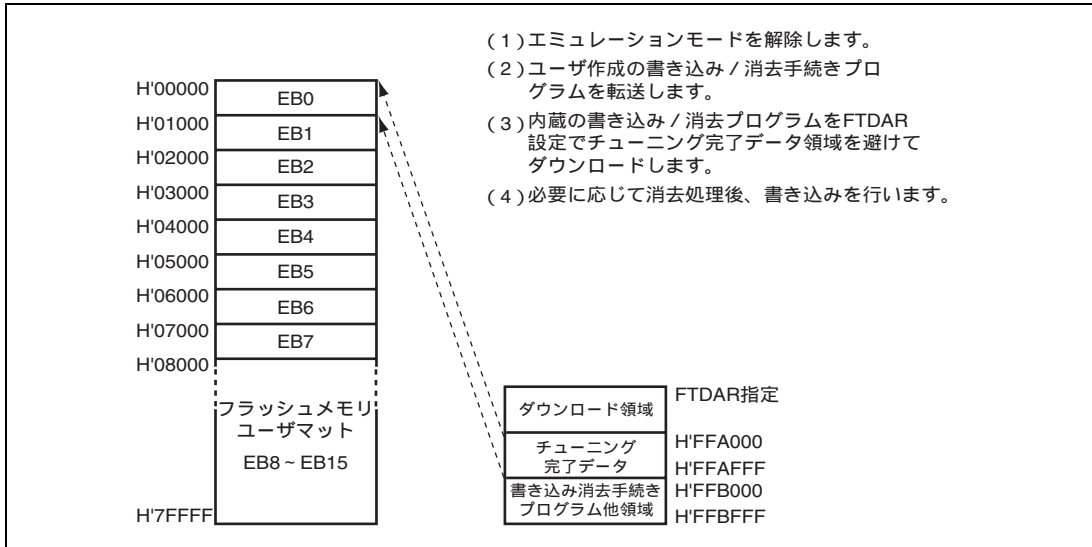


図 22.17 チューニング終了データの書き込み

- 書き換えデータ確定後、RAMERのRAMSビットを0にクリアして、RAMのオーバーラップを解除します。
- ユーザ側で用意した手続きプログラムをRAMに転送します。
- 手続きプログラムを起動し、内蔵プログラムをRAM上にダウンロードします。このときFTDARにより、チューニング終了データ領域とダウンロード領域が重複しないように、ダウンロード先の先頭アドレスを指定してください。
- ユーザマットのEB0エリアが消去されていない場合は、EB0エリアの消去を行った後に書き込みプログラムをダウンロードしてください。FMPAR、FMPDRパラメータに退避したチューニング終了データを指定して書き込み処理を行います。

【注】 RAMS ビットを 1 にすると RAM2 ~ RAM0 ビットの値にかかわらず、ユーザマットの全ブロックが書き込み / 消去プロテクト状態となります (エミュレーションプロテクト)。この状態では、内蔵プログラムのダウンロードはできませんので、書き込み / 消去する場合は RAMS ビットを 0 にクリアしてください。

22.10 ライタモード

プログラムおよびデータの書き込み/消去が可能なモードとして、オンボードプログラミングモードのほかにライタモードがあります。ライタモードでは表 22.12 のデバイスタイプをサポートしている汎用 PROM ライタを用いて内蔵 ROM に自由にプログラムを書き込むことができます。

表 22.12 ライタモードでサポートするデバイスタイプ

対象マツト	容量	デバイスタイプ
ユーザマツト	512K バイト	FZTAT512V5A
	384K バイト	FZTAT512V5A

22.11 ブートモードの標準シリアル通信インタフェース仕様

ブートモードで起動するブートプログラムは、ホストと LSI 内蔵の SCL₄ を使ってシリアル通信を行います。ホストとブートプログラムのシリアル通信インタフェース仕様を以下に示します。

ブートプログラムは 3 つのステータスを持ちます。

1. ビットレート合わせ込みステータス

ホストとシリアル通信を行うためにビットレートを合わせ込みます。ブートモードで起動するとブートプログラムが起動しビットレート合わせ込みステータスになり、ホストからのコマンドを受信しビットレートの合わせ込みを行います。合わせ込みが終了すると問い合わせ選択ステータスに遷移します。

2. 問い合わせ選択ステータス

ホストからの問い合わせコマンドに応答するステータスです。このステータスでデバイス、クロックモードとビットレートを選択します。選択終了後、書き込み/消去ステータス遷移コマンドで書き込み/消去ステータスに遷移します。書き込み/消去ステータスに遷移する前にブートプログラムは消去関連ライブラリを内蔵RAM上に転送し、ユーザマツトを消去します。

3. 書き込み/消去ステータス

書き込み/消去を行うステータスです。ホストからのコマンドに従って書き込み/消去プログラムを内蔵RAMに転送し、書き込み/消去を行います。コマンドによりサムチェック、ブランクチェックを行います。

ブートプログラムのステータスを図 22.18 に示します。

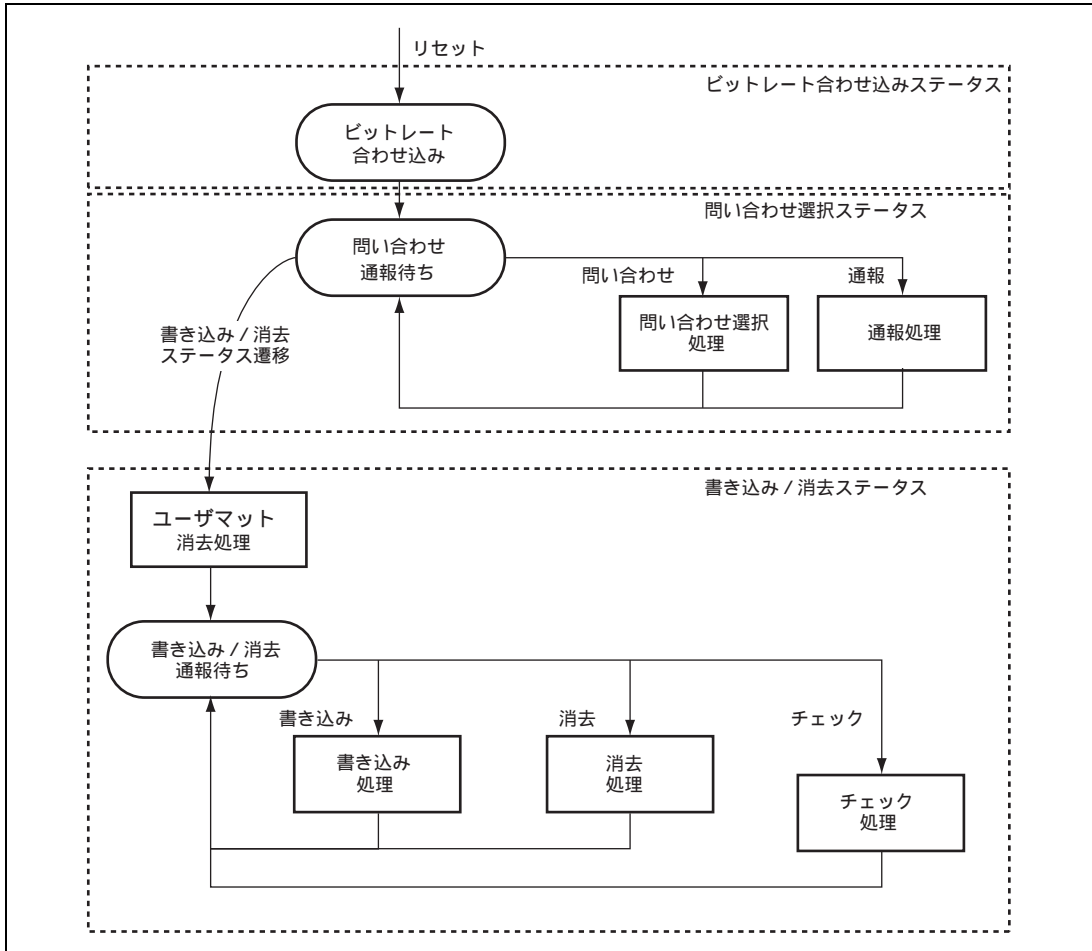


図 22.18 ブートプログラムのステータス

22. フラッシュメモリ

(1) ビットレート合わせ込みステータス

ビットレート合わせ込みは、ホストから送信された H'00 の Low 期間を測定してビットレートを計算します。このビットレートは新ビットレート選択コマンドで変更することができます。ビットレート合わせ込みが終了すると、ブートプログラムは問い合わせ選択ステータスに遷移します。ビットレート合わせ込みのシーケンスを図 22.19 に示します。

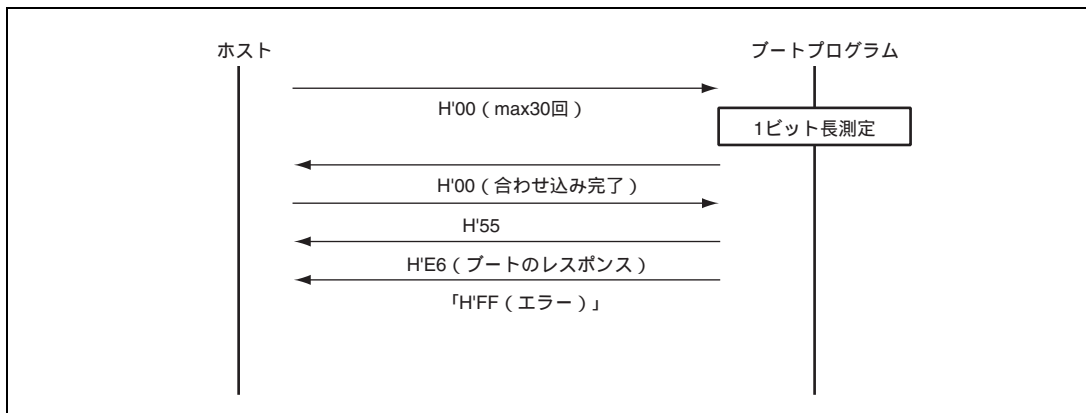


図 22.19 ビットレート合わせ込みのシーケンス

(2) 通信プロトコル

ビットレート合わせ込み終了後のホストとブートプログラムとのシリアル通信プロトコルは次のとおりです。

1. 1文字コマンドまたは1文字レスポンス

1文字のコマンドまたはレスポンスで、問い合わせと正常終了のACKがあります。

2. n文字コマンドまたはn文字レスポンス

コマンド、レスポンスにnバイトのデータを必要とするもので、選択コマンドと問い合わせに対応するレスポンスがあります。書き込みデータについては、データ長を別に決めるので、データサイズは省略します。

3. エラーレスポンス

コマンドに対するエラーレスポンスです。エラーレスポンスとエラーコードの2バイトです。

4. 128バイト書き込み

サイズのないコマンドです。データのサイズは書き込みサイズ問い合わせのレスポンスで知ることができます。

5. メモリリードのレスポンス

サイズが4バイトのレスポンスです。

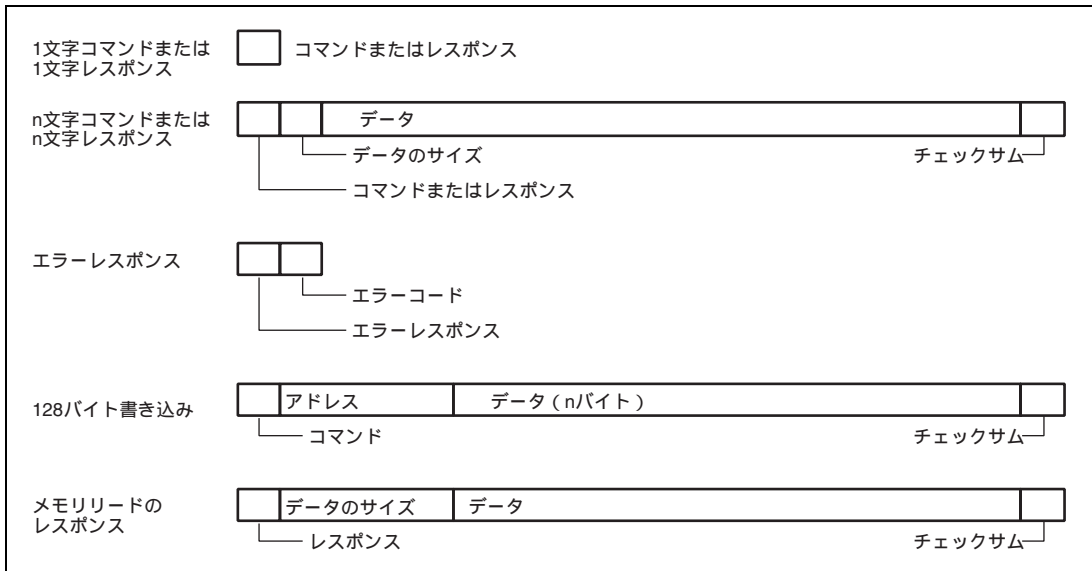


図 22.20 通信プロトコルフォーマット

- コマンド (1バイト) : 問い合わせ、選択、書き込み、消去、チェックなどのコマンド
- レスポンス (1バイト) : 問い合わせに対する応答
- サイズ (1バイト) : コマンド、サイズ、サムチェックを除いた送受信データのサイズ
- データ (nバイト) : コマンド、レスポンスの詳細データ
- チェックサム (1バイト) : コマンドからSUMまで加算し、H'00となるように設定
- エラーレスポンス (1バイト) : コマンドに対するエラーレスポンス
- エラーコード (1バイト) : 発生したエラーの種類
- アドレス (4バイト) : 書き込みアドレス
- データ (nバイト) : 書き込みデータ、nは書き込みサイズ問い合わせコマンドのレスポンスで知る
- データのサイズ (4バイト) : メモリーリードのレスポンスで4バイト長

22. フラッシュメモリ

(3) 問い合わせ選択ステータス

問い合わせ選択ステータスでは、ブートプログラムはホストからの問い合わせコマンドに対してフラッシュROMの情報で応答し、選択コマンドに対してデバイス、クロックモード、ビットレートを選択します。

問い合わせ選択コマンド一覧を表 22.13 に示します。

表 22.13 問い合わせ選択コマンド一覧

コマンド	コマンド名	機能
H'20	サポートデバイス問い合わせ	デバイスコードと品名の問い合わせ
H'10	デバイス選択	デバイスコードの選択
H'21	クロックモード問い合わせ	クロックモード数とそれぞれの値の問い合わせ
H'11	クロックモード選択	選択されているクロックモードの通知
H'22	逡倍比問い合わせ	逡倍比または分周比の種類数とそれぞれの個数とその値の問い合わせ
H'23	動作周波数問い合わせ	メインクロックとペリフェラルクロックの最小値最大値の問い合わせ
H'25	ユーザマット情報問い合わせ	ユーザマットの個数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'26	消去ブロック情報問い合わせ	ブロック数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'27	書き込みサイズ問い合わせ	書き込み時のデータ長の問い合わせ
H'3F	新ビットレート選択	新ビットレートの選択
H'40	書き込み / 消去ステータス遷移	ユーザマットを消去し、書き込み / 消去ステータスに遷移
H'4F	ブートプログラムステータス問い合わせ	ブートの処理状態の問い合わせ

選択コマンドはデバイス選択 (H'10)、クロックモード選択 (H'11)、新ビットレート選択 (H'3F) の順に、ホストから送信してください。選択コマンドが 2 つ以上送信されたときは、後に送信された選択コマンドが有効になります。

これらのコマンドは、ブートプログラムステータス問い合わせ (H'4F) を除いて、書き込み / 消去ステータス遷移 (H'40) を受け付けるまで有効です。ホスト側は上記のコマンド送信中、ホストが必要なものを選択して問い合わせを行うことができます。H'4F は、H'40 受け付け後も有効です。

(a) サポートデバイス問い合わせ

サポートデバイス問い合わせに対して、ブートプログラムはサポート可能なデバイスのデバイスコードと製品名を応答します。

コマンド

H'20

- コマンド「H'20」(1バイト) : サポートデバイス問い合わせ

レスポンス	H'30	サイズ	デバイス数	
	文字数	デバイスコード		品名
	...			
	SUM			

- レスポンス「H'30」(1バイト) : サポートデバイス問い合わせに対する応答
- サイズ(1バイト) : コマンド、サイズ、チェックサムを除いた送受信データのサイズ、ここではデバイス数、文字数、デバイスコード、品名の合計サイズ
- デバイス数(1バイト) : マイコン内のブートプログラムがサポートする品種数
- 文字数(1バイト) : デバイスコードとブートプログラム品名の文字数
- デバイスコード(4バイト) : サポートする品名のASCIIコード
- 品名(nバイト) : ブートプログラム型名、ASCIIコード
- SUM(1バイト) : サムチェック、コマンドからSUMまで加算し、H'00となるように設定

(b) デバイス選択

デバイス選択に対して、ブートプログラムはサポートデバイスを指定されたサポートデバイスに設定します。その後の問い合わせに対して選択されたデバイスの情報を応答します。

コマンド

H'10	サイズ	デバイスコード	SUM
------	-----	---------	-----

- コマンド「H'10」(1バイト) : デバイス選択
- サイズ(1バイト) : デバイスコードの文字数、固定値で2
- デバイスコード(4バイト) : サポートデバイス問い合わせで応答したデバイスコード(ASCIIコード)
- SUM(1バイト) : サムチェック

レスポンス

H'06

- レスポンス「H'06」(1バイト) : デバイス選択に対する応答、デバイスコードが一致したときACK

エラーレスポンス

H'90	ERROR
------	-------

- エラーレスポンス「H'90」(1バイト) : デバイス選択に対するエラー応答
- ERROR : (1バイト) : エラーコード

H'11 : サムチェックエラー

H'21 : デバイスコードエラー、デバイスコードが一致しない

22. フラッシュメモリ

(c) クロックモード問い合わせ

クロックモード問い合わせに対して、ブートプログラムは選択可能なクロックモードを応答します。

コマンド

H'21

- コマンド「H'21」（1バイト）：クロックモード問い合わせ

レスポンス

H'31	サイズ	モード数	モード	...	SUM
------	-----	------	-----	-----	-----

- レスポンス「H'31」（1バイト）：クロックモード問い合わせに対する応答
- サイズ（1バイト）：モード数、モードの合計サイズ
- クロックモード数（1バイト）：デバイスで選択可能なクロックモード数
H'00の場合はクロックモードなし、またはデバイスがクロックモード読み取り可を示す
- モード（1バイト）：選択可能なクロックモード（例：H'01 クロックモード1）
- SUM（1バイト）：サムチェック

(d) クロックモード選択

クロックモード選択に対して、ブートプログラムはクロックモードを指定されたモードに設定します。その後の問い合わせに対して、選択されたクロックモードの情報を応答します。

クロックモード選択コマンドはデバイス選択コマンド送信後に送信してください。

コマンド

H'11	サイズ	モード	SUM
------	-----	-----	-----

- コマンド「H'11」（1バイト）：クロックモード選択
- サイズ（1バイト）：モードの文字数、固定値で1
- モード（1バイト）：クロックモード問い合わせで応答されたクロックモード
- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：クロックモード選択に対する応答、クロックモードが一致したときACK

エラーレスポンス

H'91	ERROR
------	-------

- エラーレスポンス「H'91」（1バイト）：クロックモード選択に対するエラー応答
- ERROR：（1バイト）：エラーコード
H'11：サムチェックエラー
H'22：クロックモードエラー、クロックモードが一致しない

クロックモード問い合わせでクロックモード数がH'00、H'01の場合も、それぞれその値でクロックモード選択をしてください。

(e) 逡倍比問い合わせ

逡倍比問い合わせに対して、ブートプログラムは選択可能な逡倍比または分周比を応答します。

コマンド

H'22

- コマンド「H'22」（1バイト）：逡倍比問い合わせ

レスポンス

H'32	サイズ	種別数					
逡倍比数	逡倍比	...					
...							
SUM							

- レスポンス「H'32」（1バイト）：逡倍比問い合わせに対する応答
- サイズ（1バイト）：種別数、逡倍比数、逡倍比の合計サイズ
- 種別数（1バイト）：デバイスで選択可能な逡倍比の種別の数
(メイン動作周波数と周辺モジュール動作周波数の2種類ならH'02)
- 逡倍比数（1バイト）：各動作周波数で選択可能な逡倍比数
メインモジュール、周辺モジュールで選択可能な逡倍比数
- 逡倍比（1バイト）
 - 逡倍比： 逡倍する数値（例 4逡倍：H'04）
 - 分周比： 分周する数値、負の数（例 2分周：H'FE[-2]）
逡倍比を逡倍比数の数だけ繰り返し、逡倍比数と逡倍比の組み合わせを種別数の数だけ繰り返す。
- SUM（1バイト）：サムチェック

22. フラッシュメモリ

(f) 動作周波数問い合わせ

動作周波数問い合わせに対して、ブートプログラムは動作周波数の数とその最小値、最大値を応答します。

コマンド

H'23

- コマンド「H'23」（1バイト）：動作周波数問い合わせ

レスポンス	H'33	サイズ	周波数の数
	動作周波数最小値		動作周波数最大値
	...		
	SUM		

- レスポンス「H'33」（1バイト）：動作周波数問い合わせに対する応答
- サイズ（1バイト）：動作周波数の数、動作周波数最小値、動作周波数最大値の合計サイズ
- 周波数の数（1バイト）：デバイスに必要な動作周波数の種類数
たとえば、メイン動作周波数と周辺モジュール動作周波数の場合は2
- 動作周波数最小値（2バイト）：逡倍あるいは分周されたクロックの最小値
動作周波数最小値、最大値は周波数（MHz）の小数点2位までの値を100倍した値（たとえば、20.00MHzのときは100倍して2000とし、H'07D0とする）
- 動作周波数最大値（2バイト）：逡倍あるいは分周されたクロックの最大値
動作周波数最大値、動作周波数最大値のデータが周波数の数だけ続く
- SUM（1バイト）：サムチェック

(g) ユーザマット情報問い合わせ

ユーザマット情報問い合わせに対して、ブートプログラムはユーザマットのエリア数とアドレスを応答します。

コマンド

H'25

- コマンド「H'25」（1バイト）：ユーザマット情報問い合わせ

レスポンス	H'35	サイズ	エリア数
	エリア先頭アドレス		エリア最終アドレス
	...		
	SUM		

- レスポンス「H'35」（1バイト）：ユーザマット情報問い合わせに対する応答
- サイズ（1バイト）：エリア数、エリア先頭アドレス、エリア最終アドレスの合計サイズ
- エリア数（1バイト）：連続したユーザマットのエリアの数
ユーザマットのマットエリアが連続の場合はH'01
- エリア先頭アドレス（4バイト）：エリアの先頭アドレス
- エリア最終アドレス（4バイト）：エリアの最終アドレス
エリア先頭アドレス、エリア最終アドレスのデータがエリア数分続く
- SUM（1バイト）：サムチェック

(h) 消去ブロック情報問い合わせ

消去ブロック情報問い合わせに対して、ブートプログラムは消去ブロックのブロック数とそのアドレスを応答します。

コマンド

H'26

- コマンド「H'26」(1バイト) : 消去ブロック情報問い合わせ

レスポンス	H'36	サイズ	ブロック数	
	ブロック先頭アドレス			ブロック最終アドレス
	...			
	SUM			

- レスポンス「H'36」(1バイト) : 消去ブロック情報問い合わせに対する応答
- サイズ(2バイト) : ブロック数、ブロック先頭アドレス、ブロック最終アドレスの合計サイズ
- ブロック数(1バイト) : フラッシュメモリ消去ブロック数
- ブロック先頭アドレス(4バイト) : ブロックの先頭アドレス
- ブロック最終アドレス(4バイト) : ブロックの最終アドレス
ブロック先頭アドレス、ブロック最終アドレスのデータがブロック数分続く
- SUM(1バイト) : サムチェック

(i) 書き込みサイズ問い合わせ

書き込みサイズ問い合わせに対して、ブートプログラムは書き込みデータの書き込み単位を応答します。

コマンド

H'27

- コマンド「H'27」(1バイト) : 書き込みサイズ問い合わせ

レスポンス	H'37	サイズ	書き込みサイズ	SUM
-------	------	-----	---------	-----

- レスポンス「H'37」(1バイト) : 書き込みサイズ問い合わせに対する応答
- サイズ(1バイト) : 書き込み単位のサイズの文字数、固定値で2
- 書き込みサイズ(2バイト) : 書き込み単位のサイズ
このサイズで書き込みデータを受け取る
- SUM(1バイト) : サムチェック

(j) 新ビットレート選択

新ビットレート選択に対して、ブートプログラムは指定されたビットレートに選択変更し、確認に対して新ビットレートで応答します。

新ビットレート選択コマンドはクロックモード選択コマンド送信後に送信してください。

コマンド	H'3F	サイズ	ビットレート	入力周波数
	逡倍比数	逡倍比 1	逡倍比 2	
	SUM			

- コマンド「H'3F」（1バイト）：新ビットレート選択
- サイズ（1バイト）：ビットレート、入力周波数、逡倍比数、逡倍比の合計サイズ
- ビットレート（2バイト）：新ビットレート
1/100の値とする（たとえば、19200bpsのときは192とし、H'00C0とする）
- 入力周波数（2バイト）：ブートプログラムに入力されるクロック周波数
周波数（MHz）の小数点2位までの値とする
（たとえば、20.00MHzのときは100倍して2000とし、H'07D0とする）
- 逡倍比数（1バイト）：デバイスで選択可能な逡倍比数、
通常はメイン動作周波数と周辺モジュール動作周波数で2
- 逡倍比1（1バイト）：メイン動作周波数の逡倍比または分周比
逡倍比：逡倍する数値（例 4逡倍：H'04）
分周比：分周する数値、負の数値（例 2分周：H'FE[- 2]）
- 逡倍比2（1バイト）：周辺動作周波数の逡倍比または分周比
逡倍比：逡倍する数値（例 4逡倍：H'04）
分周比：分周する数値、負の数値（例 2分周：H'FE[- 2]）

- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：新ビットレート選択に対する応答、選択可能なときACK

エラーレスポンス

H'BF	ERROR
------	-------

- エラーレスポンス「H'BF」（1バイト）：新ビットレート選択に対するエラー応答
- ERROR：（1バイト）：エラーコード
H'11：サムチェックエラー
H'24：ビットレート選択不可エラー、指定されたビットレートが選択できない
H'25：入力周波数エラー、入力周波数が最小値と最大値の範囲にない
H'26：逡倍比エラー、逡倍比が一致しない
H'27：動作周波数エラー、動作周波数が最小値と最大値の範囲にない

(4) 受信データのチェック

受信したデータのチェック方法を以下に示します。

1. 入力周波数

受信した入力周波数の値が、すでに選択されたデバイスのクロックモードに対する入力周波数の最小値と最大値の範囲内にあるかどうかをチェックします。範囲内になければ入力周波数エラーです。

2. 通倍比

受信した通倍比または分周比の値が、すでに選択されたデバイスのクロックモードに対する通倍比または分周比と一致するかどうかをチェックします。一致しなければ通倍比エラーです。

3. 動作周波数

受信した入力周波数と通倍比または分周比とから動作周波数を計算します。入力周波数はLSIに供給される周波数で、動作周波数は実際にLSIが動作する周波数です。計算式を以下に示します。

動作周波数 = 入力周波数 × 通倍比、または、

動作周波数 = 入力周波数 ÷ 分周比

この計算した動作周波数が、すでに選択されたデバイスのクロックモードに対する動作周波数の最小値と最大値の範囲内にあるかどうかをチェックします。範囲内になければ動作周波数エラーです。

4. ビットレート

ペリフェラル動作周波数 () とビットレート (B) から、シリアルモードレジスタ (SMR) のクロックセレクト (CKS) の値 (n) とビットレートレジスタ (BRR) の値 (N) を求め、誤差を計算し、誤差が4%未満であるかどうかをチェックします。誤差が4%以上ならばビットレート選択エラーです。誤差の計算は下記のとおりです。

$$\text{誤差 (\%)} = \left\{ \left[\frac{* 10^6}{(N + 1) * B * 64 * 2^{(2 * n - 1)}} \right] - 1 \right\} * 100$$

新ビットレート選択が可能な場合は、ACK を応答した後で、新ビットレートの値にレジスタを選択します。新ビットレートでホストが ACK を送信し、ブートプログラムが新ビットレートで応答します。

確認

H'06

- 確認「H'06」(1バイト) : 新ビットレートの確認

レスポンス

H'06

- レスポンス「H'06」(1バイト) : 新ビットレートの確認に対する応答

新ビットレート選択のシーケンスを図 22.21 に示します。

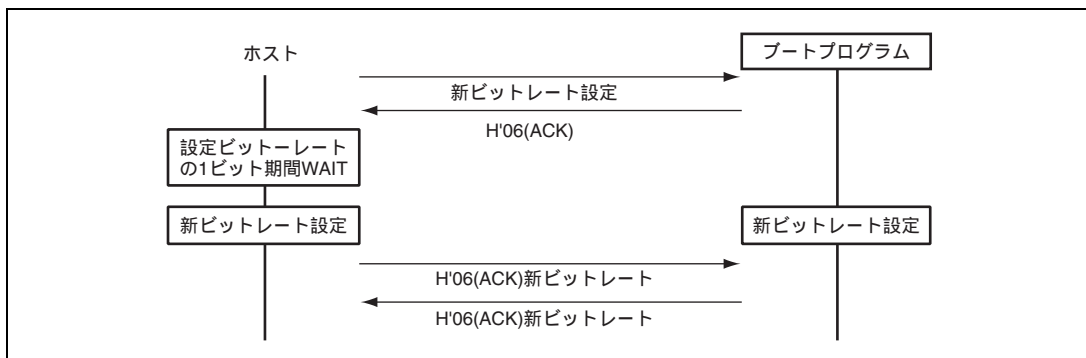


図 22.21 新ビットレート選択のシーケンス

(5) 書き込み/消去ステータス遷移

書き込み/消去ステータス遷移に対して、ブートプログラムは消去プログラムを転送し、ユーザマットのデータを消去します。消去が完了すると ACK を応答し、書き込み/消去ステータスになります。

ホストは、書き込み選択コマンドと書き込みデータを送る前に、デバイス選択コマンド、クロックモード選択コマンド、新ビットレート選択コマンドで LSI のデバイス、クロックモード、新ビットレートを選択し、書き込み消去ステータス遷移コマンドをブートプログラムへ送ってください。

コマンド

H'40

- コマンド「H'40」（1バイト）：書き込み消去ステータス遷移

レスポンス

H'06

- レスポンス「H'06」（1バイト）：書き込み消去ステータス遷移に対する応答
消去プログラムを転送した後、ユーザマットが正常にデータを消去できたときACK

エラーレスポンス

H'C0	H'51
------	------

- エラーコード「H'51」（1バイト）：消去エラー、エラーが発生し消去できなかった

(6) コマンドエラー

コマンドが未定義のとき、コマンドの順序が正しくないとき、あるいはコマンドを受け付けることができないとき、コマンドエラーとなります。たとえば、デバイス選択の前のクロックモード選択コマンド、書き込み消去ステータス遷移コマンドの後での問い合わせコマンドは、コマンドエラーになります。

エラーレスポンス

H'80	H'xx
------	------

- エラーレスポンス「H'80」（1バイト）：コマンドエラー
- コマンド「H'xx」（1バイト）：受信したコマンド

(7) コマンドの順序

問い合わせ選択ステータスでのコマンドの順序の例は以下のとおりです。

1. サポートデバイス問い合わせ（H'20）で、サポートデバイスを問い合わせてください。
2. 応答されたデバイス情報からデバイスを選んで、デバイス選択（H'10）をしてください。
3. クロックモード問い合わせ（H'21）で、クロックモードを問い合わせてください。
4. 応答されたクロックモードからクロックモードを選んで、クロックモード選択（H'11）をしてください。
5. デバイス選択、クロックモード選択終了後、逡倍比問い合わせ（H'22）、動作周波数問い合わせ（H'23）で新ビットレート選択に必要な情報を問い合わせてください。
6. 逡倍比、動作周波数の情報に従って、新ボーレート選択（H'3F）をしてください。
7. デバイス選択、クロックモード選択が終了後、ユーザマット情報問い合わせ（H'25）、消去ブロック情報問い合わせ（H'26）、書き込みサイズ問い合わせ（H'27）で、ユーザマットへの書き込み消去情報を問い合わせてください。
8. 問い合わせと新ビットレート選択が終了後、書き込み消去ステータス遷移（H'40）を実行してください。書き込み消去ステータスに遷移します。

22. フラッシュメモリ

(8) 書き込み/消去ステータス

書き込み/消去ステータスでは、ブートプログラムは書き込み選択コマンドで書き込み方法を選択し、128 バイト書き込みコマンドでデータを書き込み、消去選択コマンドとブロック消去コマンドでブロックを消去します。書き込み/消去コマンド一覧を表 22.14 に示します。

表 22.14 書き込み/消去コマンド一覧

コマンド	コマンド名	機能
H'43	ユーザマット書き込み選択	ユーザマット書き込みプログラムの転送
H'50	128 バイト書き込み	128 バイト書き込み
H'48	消去選択	消去プログラムの転送
H'58	ブロック消去	ブロックデータの消去
H'52	メモリリード	メモリの読み出し
H'4B	ユーザマットのサムチェック	ユーザマットのサムチェック
H'4D	ユーザマットのブランクチェック	ユーザマットのブランクチェック
H'4F	ブートプログラムステータス問い合わせ	ブートの処理状態の問い合わせ

1. 書き込み

書き込みは書き込み選択コマンドと128バイト書き込みコマンドで行います。

最初に、ホストはユーザマット書き込み選択コマンドを送信します。

次に128バイト書き込みコマンドを送信します。選択コマンドに続く128バイト書き込みコマンドはそれぞれ選択コマンドで指定された書き込み方式の書き込みデータと解釈します。128バイトを超えるデータを書き込むときは128バイトコマンドを繰り返してください。書き込みを終了させたいときはアドレスがH'FFFFFFFの128バイト書き込みコマンドをホストから送信してください。書き込みが終了すると書き込み消去選択待ちになります。

続けて他の方式、他のマットの書き込みを行うときは書き込み選択コマンドから開始します。

書き込み選択コマンドと128バイト書き込みコマンドのシーケンスを図22.22に示します。

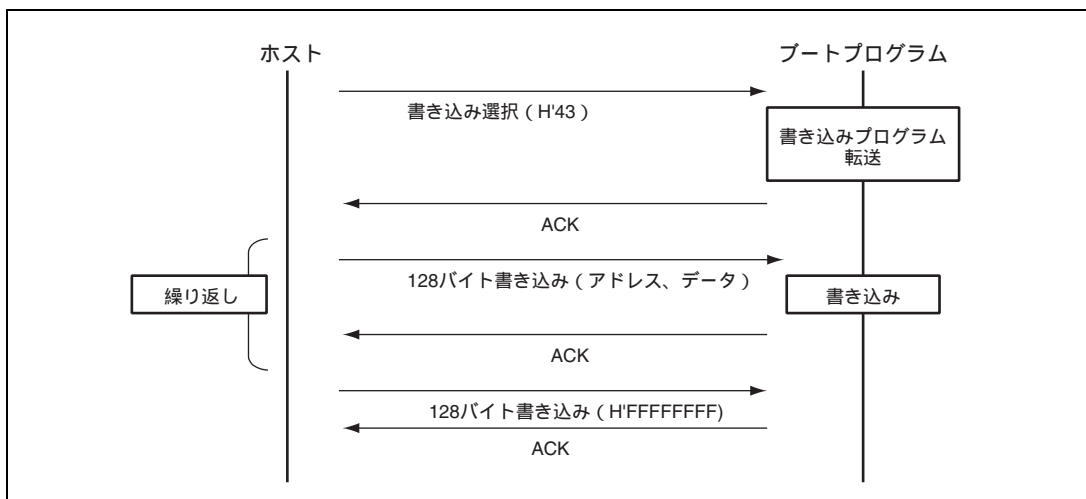


図 22.22 書き込みシーケンス

2. 消去

消去は消去選択コマンドとブロック消去コマンドで行います。

最初に消去選択コマンドで消去を選択し、次にブロック消去コマンドで指定されたブロックを消去します。消去ブロックが複数あるときはブロック消去コマンドを繰り返します。消去処理を終了するときはブロック番号H'FFのブロック消去コマンドをホストから送信してください。消去が終了すると書き込み消去選択待ちになります。

消去選択コマンドと消去データのシーケンスを図22.23に示します。

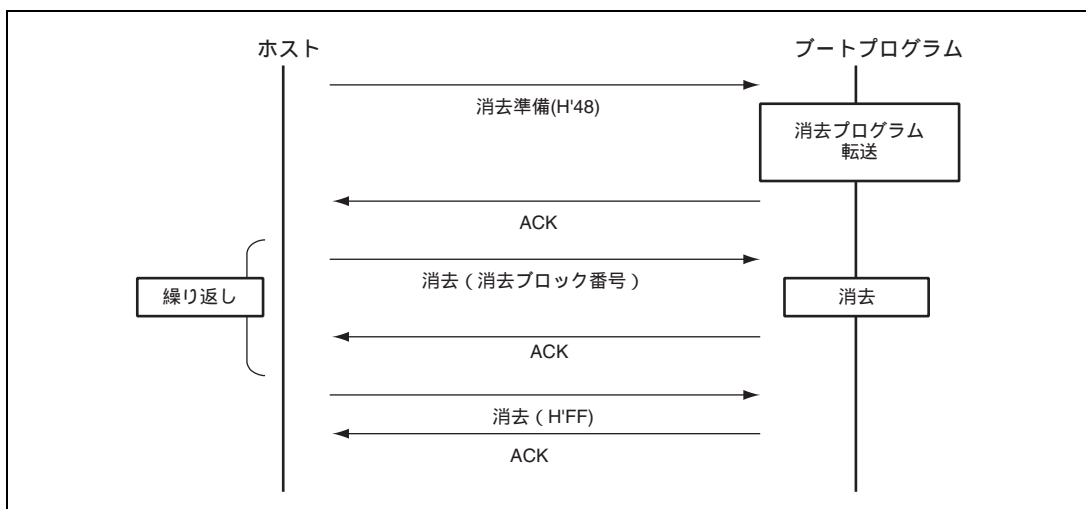


図 22.23 消去シーケンス

22. フラッシュメモリ

(a) ユーザプログラム書き込み選択

ユーザプログラム書き込み選択に対して、ブートプログラムは、書き込みプログラムを転送します。書き込みは転送した書き込みプログラムで、ユーザマットに書き込みます。

コマンド

H'43

- コマンド「H'43」（1バイト）：ユーザプログラム書き込み選択

レスポンス

H'06

- レスポンス「H'06」（1バイト）：ユーザプログラム書き込み選択に対する応答、書き込みプログラムを転送したときACK

エラーレスポンス

H'C3	ERROR
------	-------

- エラーレスポンス「H'C3」（1バイト）：ユーザプログラム書き込み選択に対するエラー応答
- ERROR：（1バイト）：エラーコード

H'54：選択処理エラー（転送エラーが発生し処理が完了しない）

(b) 128 バイト書き込み

n バイト書き込みに対して、ブートプログラムは書き込み選択で転送した書き込みプログラムで、ユーザマットに書き込みます。

コマンド	H'50	アドレス							
	データ	...							
		...							
	SUM								

- コマンド「H'50」（1バイト）：128バイト書き込み
- 書き込みアドレス（4バイト）：書き込み先頭アドレス、「書き込みサイズ問い合わせ」で応答したサイズの倍数 例) H'00,H'01,H'00,H'00：H'01000000
- 書き込みデータ（128バイト）：書き込みデータ、書き込みデータのサイズは「書き込みサイズ問い合わせ」で応答したサイズ
- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：128バイト書き込みに対する応答、書き込みが完了したときACK

エラーレスポンス

H'D0	ERROR
------	-------

- エラーレスポンス「H'D0」（1バイト）：128バイト書き込みに対するエラー応答

- ERROR：(1バイト)：エラーコード

H'11：サムチェックエラー

H'2A：アドレスエラー、アドレスが指定のマット範囲にない

H'53：書き込みエラー、書き込みエラーが発生し書き込めない

データ書き込みサイズに従った境界のアドレスを指定してください。たとえば、データ書き込みサイズが128バイトのときは、アドレスの下位8ビットをH'00かH'80にしてください。

ホストは、128バイト中に書き込みデータがない部分をH'FFに埋めて送信してください。

書き込み処理を終了するときは、アドレスH'FFFFFFFの128バイト書き込みコマンドを送信してください。アドレスH'FFFFFFFの128バイト書き込みコマンドに対して、ブートプログラムはデータが終了したと判断し、書き込み消去選択コマンド待ちになります。

コマンド	H'50	アドレス	SUM
------	------	------	-----

- コマンド「H'50」(1バイト)：128バイト書き込み
- 書き込みアドレス(4バイト)：終了コード(H'FF,H'FF,H'FF,H'FF)
- SUM(1バイト)：サムチェック

レスポンス	H'06
-------	------

- レスポンス「H'06」(1バイト)：128バイト書き込みに対する応答、書き込み処理が完了したときACK

エラーレスポンス

H'D0	ERROR
------	-------

- エラーレスポンス「H'D0」(1バイト)：128バイト書き込みに対するエラー応答
- ERROR：(1バイト)：エラーコード
 - H'11：サムチェックエラー
 - H'53：書き込みエラー、書き込みエラーが発生し書き込めない

(c) 消去選択

消去選択に対して、ブートプログラムは、消去プログラムを転送します。消去は転送した消去プログラムで、ユーザマットのデータを消去します。

コマンド	H'48
------	------

- コマンド「H'48」(1バイト)：消去選択

レスポンス	H'06
-------	------

- レスポンス「H'06」(1バイト)：消去選択に対する応答、消去プログラムを転送したときACK

エラーレスポンス

H'C8	ERROR
------	-------

- ERROR：(1バイト)：エラーコード
 - H'54：選択処理エラー（転送エラーが発生し処理が完了しない）

22. フラッシュメモリ

(d) ブロック消去

消去に対して、ブートプログラムは指定されたブロックを消去します。

コマンド	H'58	サイズ	ブロック番号	SUM
------	------	-----	--------	-----

- コマンド「H'58」(1バイト) : 消去
- サイズ(1バイト) : 消去ブロック番号の文字数、固定値で1
- ブロック番号(1バイト) : データを消去する消去ブロック番号
- SUM(1バイト) : サムチェック

レスポンス	H'06
-------	------

- レスポンス「H'06」(1バイト) : 消去に対する応答、消去が完了したときACK

エラーレスポンス

H'D8	ERROR
------	-------

- エラーレスポンス「H'D8」(1バイト) : 消去に対するエラー応答
- ERROR : (1バイト) : エラーコード
 - H'11 : サムチェックエラー
 - H'29 : ブロック番号エラー、ブロック番号が正しくない
 - H'51 : 消去エラー、消去中にエラー発生

ブロック番号が H'FF に対して、ブートプログラムは消去処理を終了し、選択コマンド待ち状態になります。

コマンド	H'58	サイズ	ブロック番号	SUM
------	------	-----	--------	-----

- コマンド「H'58」(1バイト) : 消去
- サイズ(1バイト) : 消去ブロック番号の文字数、固定値で1
- ブロック番号(1バイト) : H'FF、消去処理の終了コード
- SUM(1バイト) : サムチェック

レスポンス	H'06
-------	------

- レスポンス「H'06」(1バイト) : 消去終了に対する応答、ACK

ブロック番号を H'FF で指定した後、再度、消去を行う場合は、消去選択から実行します。

(e) メモリリード

メモリリードに対して、ブートプログラムは指定されたアドレスのデータを応答します。

コマンド	H'52	サイズ	エリア	読み出しアドレス			
	読み出しサイズ			SUM			

- コマンド「H'52」（1バイト）：メモリリード
- サイズ（1バイト）：エリア、読み出しアドレス、読み出しサイズの合計サイズ（固定値で9）
- エリア（1バイト）

H'01：ユーザマット

エリアの指定が正しくないときはアドレスエラー

- 読み出しアドレス（4バイト）：読み出す先頭アドレス
- 読み出しサイズ（4バイト）：読み出すデータのサイズ
- SUM（1バイト）：サムチェック

レスポンス	H'52	読み出しサイズ					
	データ	...					
	SUM						

- レスポンス「H'52」（1バイト）：メモリリードに対する応答
- 読み出しサイズ（4バイト）：読み出すデータのサイズ
- データ（nバイト）読み出しアドレスからの読み出しサイズ分のデータ
- SUM（1バイト）：サムチェック

エラーレスポンス

H'D2	ERROR
------	-------

- エラーレスポンス「H'D2」（1バイト）：メモリリードに対するエラー応答
- ERROR：（1バイト）：エラーコード

H'11：サムチェックエラー

H'2A：アドレスエラー

読み出しアドレスがマットの範囲にない

H'2B：サイズエラー

読み出しサイズがマットの範囲を超えている

22. フラッシュメモリ

(f) ユーザプログラムのサムチェック

ユーザプログラムのサムチェックに対して、ブートプログラムはユーザプログラムのデータを加算してその結果を応答します。

コマンド

H'4B

- コマンド「H'4B」(1バイト) : ユーザプログラムのサムチェック

レスポンス

H'5B	サイズ	マットのサムチェック	SUM
------	-----	------------	-----

- レスポンス「H'5B」(1バイト) : ユーザプログラムのサムチェックに対する応答
- サイズ(1バイト) : サムチェックデータの文字数、固定値で4
- サムチェック(4バイト) : ユーザマットのサムチェック値、バイト単位で加算
- SUM(1バイト) : 送信データのサムチェック

(g) ユーザマットのブランクチェック

ユーザマットのブランクチェックに対して、ブートプログラムはユーザマットがすべてブランクであることをチェックしその結果を応答します。

コマンド

H'4D

- コマンド「H'4D」(1バイト) : ユーザマットのブランクチェック

レスポンス

H'06

- レスポンス「H'06」(1バイト) : ユーザマットのブランクチェックに対する応答、エリアがすべてブランク(H'FF)のときACK

エラー

レスポンス

H'CD	H'52
------	------

- エラーレスポンス「H'CD」(1バイト) : ユーザマットのブランクチェックに対するエラー応答
- エラーコード「H'52」(1バイト) : 未消去エラー

(h) ブートプログラムステータス問い合わせ

ブートプログラムステータス問い合わせに対して、ブートプログラムは現在のステータスとエラー状態を応答します。この問い合わせは、問い合わせ選択ステータス、書き込み消去ステータス、いずれも有効です。

コマンド

H'4F

- コマンド「H'4F」(1バイト) : ブートプログラムステータス問い合わせ

レスポンス

H'5F	サイズ	STATUS	ERROR	SUM
------	-----	--------	-------	-----

- レスポンス「H'5F」(1バイト) : ブートプログラムステータス問い合わせに対する応答
- サイズ(1バイト) : データの文字数、固定値で2
- STATUS(1バイト) : 標準ブートプログラムのステータス

- ERROR (1バイト) : エラー状態
 ERROR = 0で正常
 ERRORが0以外で異常
- SUM (1バイト) : サムチェック

表 22.15 ステータスコード

コード	内 容
H'11	デバイス選択待ち
H'12	クロックモード選択待ち
H'13	ビットレート選択待ち
H'1F	書き込み消去ステータス遷移待ち (ビットレート選択完了)
H'31	書き込みステータス消去中
H'3F	書き込み消去選択待ち (消去完了)
H'4F	書き込みデータ受信待ち (書き込み完了)
H'5F	消去ブロック指定待ち (消去完了)

表 22.16 エラーコード

コード	内 容
H'00	エラーなし
H'11	サムチェックエラー
H'12	プログラムサイズエラー
H'21	デバイスコード不一致エラー
H'22	クロックモード不一致エラー
H'24	ビットレート選択不可エラー
H'25	入力周波数エラー
H'26	逡倍比エラー
H'27	動作周波数エラー
H'29	ブロック番号エラー
H'2A	アドレスエラー
H'2B	データ長エラー
H'51	消去エラー
H'52	未消去エラー
H'53	書き込みエラー
H'54	選択処理エラー
H'80	コマンドエラー
H'FF	ビットレート合わせ込み確認エラー

22.12 使用上の注意事項

- 出荷品の初期状態は消去状態です。消去来歴不明チップに対しては初期化（消去）レベルをチェック、補正するために自動消去実施を推奨します。
- 本LSIのライターモードに適合するPROMライターおよびそのプログラムバージョンについては、ソケットアダプタの取り扱い説明書を参照してください。
- PROMライターのソケット、ソケットアダプタ、および製品のインデックスが一致していないと、過剰電流が流れ製品が破壊することがあります。
- PROMライターは、512Kバイトフラッシュメモリ内蔵マイコンデバイスタイプの書き込み電圧5.0Vをサポートしているものを使用してください。また、規定したソケットアダプタ以外は使用しないでください。
- 書き込み/消去中はフラッシュメモリに高電圧が印加されているため、書き込み/消去中にマイコンチップをPROMライターから取り外したり、リセット入力を行わないでください。フラッシュメモリの永久破壊の可能性があります。誤ってリセット入力した場合は、100 μ s以上のリセット入力期間の後にリセットリリースしてください。
- 書き込み/消去開始からのFKEYのクリアまでの期間は、フラッシュメモリのアクセスは禁止します。書き込み/消去終了直後に、LSIモードを変更してリセット動作させる場合には、100 μ s以上のリセット入力期間（ $\overline{\text{RES}}=0$ 期間）を設けてください。なお、書き込み/消去処理中のリセット状態への遷移は禁止です。誤ってリセット入力した場合は、100 μ s以上のリセット入力期間の後にリセットリリースしてください。
- V_{cc} 電源の印加/切断時は $\overline{\text{RES}}$ 端子をLowレベルに固定し、フラッシュメモリをハードウェアプロテクト状態にしてください。この電源投入および解除タイミングは停電等による電源の切断、再投入時にも満足するようになしてください。
- オンボードプログラミングでは、128バイトの書き込み単位ブロックへの書き込みは1回のみとしてください。ライターモードでの128バイトの書き込み単位ブロックへの書き込みも1回のみとしてください。書き込みは、書き込み単位ブロックがすべて消去された状態で行ってください。
- オンボードプログラミングモードで書き込み/消去を行ったチップに対して、ライターを用いて書き換えを行う場合には、自動消去を行った後に自動書き込みを行うことを推奨します。
- フラッシュメモリへの書き込みを行う場合は、書き込みデータおよびプログラムは外部割り込みベクタテーブル以降に配置して、例外処理ベクタテーブルのシステム予約エリアには必ずall HFFを配置してください。
- 初期化ルーチンを含む書き込みプログラム、または初期化ルーチンを含む消去プログラムのコードサイズはそれぞれ4Kバイト以内です。したがって、CPUクロック周波数が40MHzの場合、それぞれ最大で100 μ sのダウンロード時間となります。
- FCCSのSCOビット設定による内蔵プログラムのダウンロード方式をサポートしていない従来のF-ZTAT H8/H8Sマイコンで使用していたフラッシュメモリの書き込み/消去プログラムは、本LSIでは動作しません。本F-ZTAT H8SXマイコンでのフラッシュメモリへの書き込み/消去は、必ず内蔵プログラムをダウンロードして実施してください。

13. 従来のF-ZTAT H8/H8Sマイコンと異なり、書き込み / 消去中または書き込み / 消去プログラムのダウンロードはWDTによる暴走などへの対応は実施していません。必要に応じて、書き込み / 消去の実行時間を考慮したWDTでの対応を実施してください（定期的なタイマ割り込みの使用など）。
14. 書き込み / 消去プログラムのダウンロード時、SCOビットを1にセットした直後にSCOビットを0にクリアしないでください。正常なダウンロードができません。SCOビットを1にセットする命令実行の直後には、FCCSのバイトのダミーリードを必ず2回実行してください。
15. 書き込み / 書き込み終了 / 消去プログラムでは、保存されない汎用レジスタがあります。保存したい汎用レジスタは手続きプログラムで退避してください。
16. ユーザブランチ処理が実行される間隔は、書き込み / 消去で異なります。また、処理フェーズによっても異なります。表22.17に、CPUクロック周波数40MHzの場合の最大 / 最小起動間隔を示します。

表 22.17 ユーザブランチ処理の起動間隔

	最大間隔	最小間隔
書き込み処理	約 1ms	19 μ s
消去時間	約 5ms	19 μ s

17. ダウンロード要求のFCCSレジスタのSCOビットは内蔵RAM上で命令実行中ならば、DMACからでも書き込みができてしまいます。不用意にこれらのレジスタへの書き込みが行われると、ダウンロードが実行されRAMを破壊して暴走するなどの危険性がありますので、ご注意ください。

18. NMI割り込み無視状態

以下のモードまたは期間ではNMI割り込みが発生しても無視され、実行も割り込み要因の保持もされません。

- ブートモード動作中
- ライタモード動作中

（リセットリリース後、入力クロック周波数B（Hz）のとき、約A（s）の期間）

$$A = \frac{1}{B \times 2} \times 1200$$

例：入力クロック周波数5MHzのとき

$$\frac{1}{5 \times 10^6 \times 2} \times 1200 = 120 \times 10^{-6} = 120\mu\text{s}$$

19. 書き込み / 消去中のNMI割り込みに関する注意事項

書き込み / 消去中の割り込み処理はエラープロテクトに遷移し、書き込み / 消去が強制中断しフラッシュメモリの書き込み / 消去が正常に行われないため、実行しないでください。

ただし、エラー処理の目的で書き込み / 消去中にNMI割り込みを行う際には以下の注意事項があります。

22. フラッシュメモリ

- (1) 書き込み / 消去中の割り込みはNMIのみとしてください。
- (2) 書き込み / 消去中のフラッシュメモリは、ユーザマットをアクセスできません。割り込みベクタテーブルや割り込み処理ルーチンは、VBRを設定し内蔵RAMに準備してください。割り込み処理ルーチンの中でも、書き込み / 消去中のフラッシュメモリにアクセスしないでください。フラッシュメモリを読み出した場合、読み出した値の保証はできません。
- (3) 書き込み / 消去中のNMI要求発生 (その他の割り込み要求発生でも) にて、エラープロテクトに遷移しますので、書き込み / 消去処理は中断します。エラープロテクトに関する詳細は「22.8.3 エラープロテクト」を参照してください。

20. エラープロテクトからの復帰に関する注意事項

エラープロテクトから復帰するために100 μ s以上のリセット期間の後のリセットリリースを行ってください。エラープロテクトに遷移すると、書き込み / 消去が強制中断しフラッシュメモリの書き込み / 消去が正常に行われないため、モードごとの復帰方法に関して下記のような注意点があります。

- ブートモード時

リセット解除によりLSI内部に書き込まれているブートプログラムから起動します。

プログラム書き込み前に全ユーザマットおよび全ユーザブートマットの消去が自動的に行われます。

- ユーザプログラムモード時

通常リセット解除によりユーザマットに書き込まれているプログラムから起動しますが、場合によってはリセット解除後にユーザマットから正常に起動しない可能性があります。これを防ぐため、ブートモードなどで全ユーザマットを消去後にプログラムを書き込んだ後、ユーザプログラムモードに設定後、再度リセットリリースしてください。

23. クロック発振器

本 LSI は、クロック発振器 (CPG : Clock Pulse Generator) を内蔵しており、システムクロック (I)、周辺モジュールクロック (P)、外部バスクロック (B)、およびサブクロック (SUB) を生成します。

クロック発振器は、発振器、PLL (Phase Locked Loop) 回路、メインクロック分周器、サブクロック波形形成回路、サブクロック分周器、セレクタ回路から構成されます。クロック発振器のブロック図を図 23.1 に示します。

クロック発振器内部の PLL 回路、メインクロック分周器、およびサブクロック分周器によりクロック周波数を変更できます。クロック周波数の変更は、システムクロックコントロールレジスタ (SCKCR) とサブクロックコントロールレジスタ (SUBCKCR) の設定によりソフトウェアで行います。

クロックには CPU およびバスマスタに供給されるシステムクロック、周辺モジュールに供給される周辺モジュールクロック、外部バスに供給される外部バスクロック、WAT に供給されるサブクロックがあります。周辺モジュールクロック、外部バスクロック、システムクロックは、それぞれ個別に設定することができます。ただし、周辺モジュールクロック、外部バスクロックは、システムクロック以下の周波数で動作します。

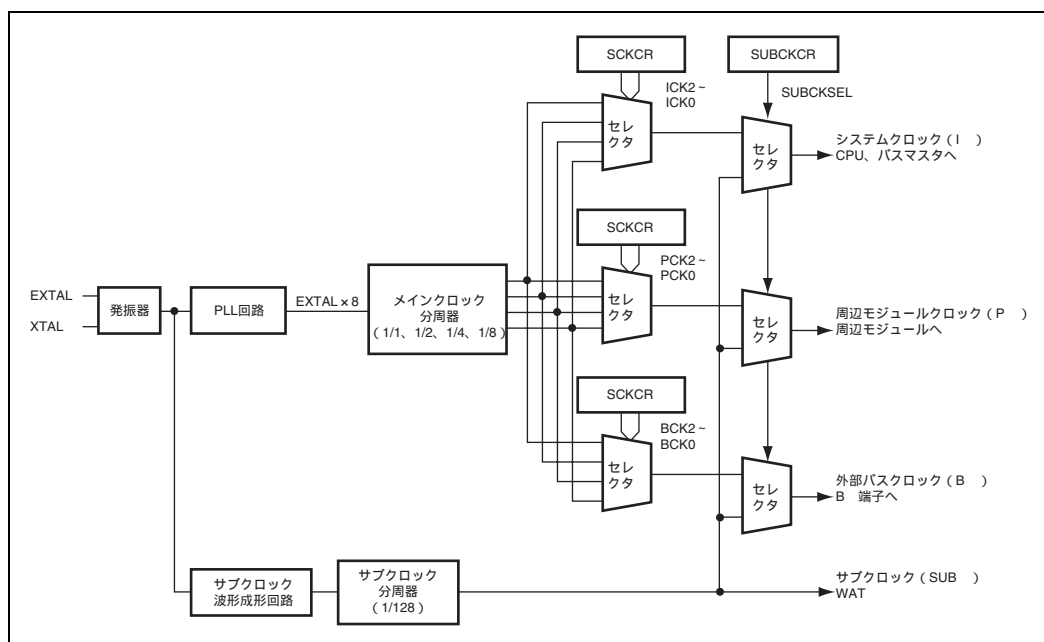


図 23.1 クロック発振器のブロック図

23. クロック発振器

23.1 レジスタの説明

クロック発振器には以下のレジスタがあります。

- システムクロックコントロールレジスタ (SCKCR)
- サブクロックコントロールレジスタ (SUBCKCR)

23.1.1 システムクロックコントロールレジスタ (SCKCR)

SCKCR は 出力制御、出力選択とシステムクロック、周辺モジュールクロック、および外部バスクロックの周波数の制御を行います。

ビット	15	14	13	12	11	10	9	8
ビット名	PSTOP1	-	POSEL1	-	-	ICK2	ICK1	ICK0
初期値:	0	0	0	0	0	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	-	PCK2	PCK1	PCK0	-	BCK2	BCK1	BCK0
初期値:	0	0	1	0	0	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PSTOP1	0	R/W	出力セレクトイネーブル PA7からの出力を制御します。 通常動作状態 0: 出力 1: Highレベル固定 ソフトウェアスタンバイモード x: Highレベル固定 ハードウェアスタンバイモード x: ハイインピーダンス
14	-	0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。
13	POSEL1	0	R/W	出力セレクト1 PA7の出力を制御します。 0: 外部バスクロック (B) 1: 設定禁止
12, 11	-	すべて0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。

ビット	ビット名	初期値	R/W	説明
10	ICK2	0	R/W	システムクロック (I) セレクト CPU、DMAC モジュールとシステムクロックの周波数を選択します。入力クロックに対する倍率を示しています。 000 : ×8 001 : ×4 010 : ×2 011 : ×1 1xx : 設定禁止 周辺モジュールクロックおよび外部バスクロックより低い周波数の設定を行うと、周辺モジュールクロックおよび外部バスクロックはシステムクロックと同じ周波数に変わります。
9	ICK1	1	R/W	
8	ICK0	0	R/W	
7	-	0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。
6	PCK2	0	R/W	周辺モジュールクロック (P) セレクト 周辺モジュールクロックの周波数を選択します。入力クロックに対する倍率を示しています。 000 : ×8 001 : ×4 010 : ×2 011 : ×1 1xx : 設定禁止 システムクロックより高い周波数の設定を行わないでください。 レジスタのセットは行えますが、周波数はシステムクロックと同一になりません。
5	PCK1	1	R/W	
4	PCK0	0	R/W	
3	-	0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。
2	BCK2	0	R/W	外部バスクロック (B) セレクト 外部バスクロックの周波数を選択します。入力クロックに対する倍率を示しています。 000 : ×8 001 : ×4 010 : ×2 011 : ×1 1xx : 設定禁止 システムクロックより高い周波数の設定を行わないでください。 レジスタのセットは行えますが、周波数はシステムクロックと同一になりません。
1	BCK1	1	R/W	
0	BCK0	0	R/W	

【注】 x : Don't care

23. クロック発振器

23.1.2 サブクロックコントロールレジスタ (SUBCKCR)

SUBCKCR はサブクロックの制御を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	XTALSTP	PLLSTP	WKCKSEL	SUBCKSEL
初期値:	0	0	0	0	1	1	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~4		すべて0	R/W	リザーブビット リード/ライト可能ですが、ライトする値は常に0にしてください。
3	XTALSTP	1	R/W	XTAL ストップ ソフトウェアスタンバイ時の発振器の動作を制御します。 0: ソフトウェアスタンバイ時、発振器は動作 1: ソフトウェアスタンバイ時、発振器は停止
2	PLLSTP	1	R/W	PLL ストップ サブクロック動作時の PLL 回路の動作を制御します。 0: サブクロック動作時、PLL 回路は動作 1: サブクロック動作時、PLL 回路は停止
1	WKCKSEL	0	R/W	ウェイクアップクロックセレクト 割り込み要求によってソフトウェアスタンバイモードを解除した後のシステムクロック (I)、周辺モジュールクロック (P)、外部バスクロック (B) の周波数を選択します。サブクロック動作から遷移したソフトウェアスタンバイモードの解除にのみ有効なビットです。 0: I、P、B は SCKCR で選択されたメインクロックで動作 1: I、P、B はサブクロックで動作
0	SUBCKSEL	0	R/W	サブクロックセレクト システムクロック (I)、周辺モジュールクロック (P)、外部バスクロック (B) の周波数を選択します。1 をライトすると、SCKCR の設定にかかわらず、I、P、B はすべてサブクロックで動作します。 0: I、P、B は SCKCR で選択されたメインクロックで動作 1: I、P、B はサブクロックで動作 [クリア条件] • 0 をライトしたとき • WKCKSEL ビットが 0 にクリアされている状態で、サブクロックで動作している状態からソフトウェアスタンバイモードに遷移したとき

23.2 発振器

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法があります。

23.2.1 水晶発振子を接続する方法

水晶発振子を接続する場合の接続例を図 23.2 に示します。ダンピング抵抗 R_d は、表 23.1 に示すものを使用してください。また、水晶発振子は、AT カット並列共振形を使用してください。

水晶発振子を接続してクロックを供給する場合、接続する水晶発振子は、4～9MHz としてください。

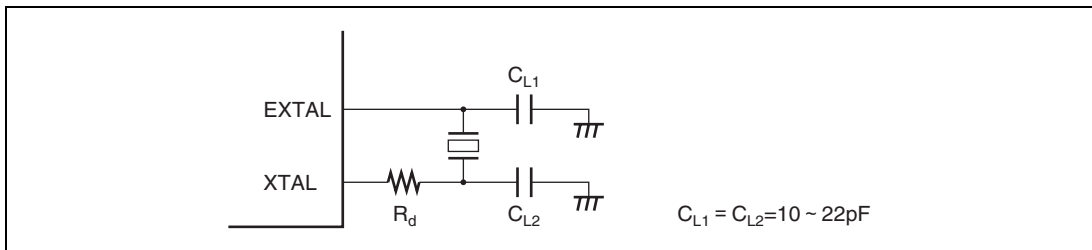


図 23.2 水晶発振子の接続例

表 23.1 ダンピング抵抗値

周波数 (MHz)	4	6	8	9
R_d ()	500	300	200	100

水晶発振子の等価回路を図 23.3 に示します。水晶発振子は表 23.2 に示す特性のものを使用してください。

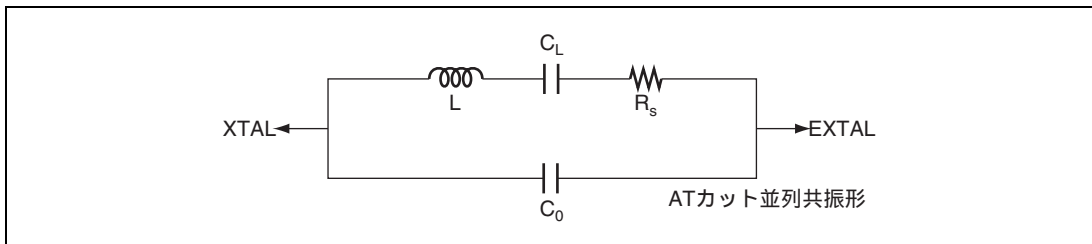


図 23.3 水晶発振子の等価回路

表 23.2 水晶発振子の特性

周波数 (MHz)	4	6	8	9
R_s max ()	120	100	80	80
C_0 max (pF)	7			

23. クロック発振器

23.2.2 外部クロックを入力する方法

外部クロック入力の接続例を図 23.4 に示します。XTAL 端子に逆相クロックを入力する場合、スタンバイモード時は外部クロックを High レベルにしてください。

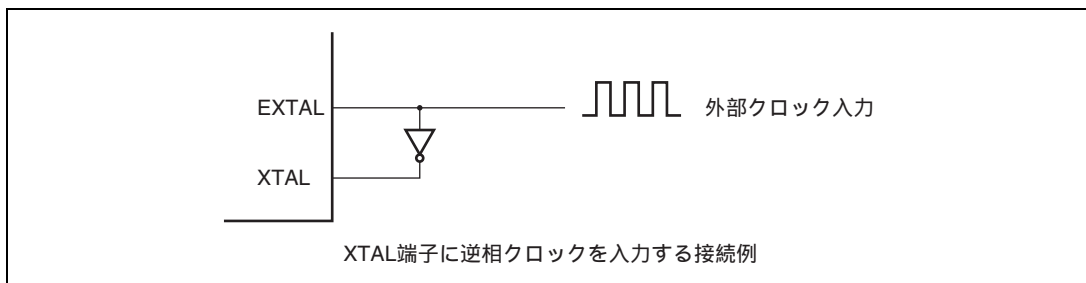


図 23.4 外部クロックの接続例

外部クロックの入力条件については、「26.3.1 クロックタイミング」の表 26.4 を参照してください。入力する外部クロックは、4~9MHz としてください。

23.3 PLL 回路

PLL 回路は、発振器からの周波数を 8 倍に逡倍する機能を持っています。周波数逡倍率は固定です。このとき、内部クロックの立ち上がりエッジの位相は EXTAL 端子の立ち上がりエッジの位相に一致するように制御されません。

23.4 メインクロック分周器

メインクロック分周器は、PLL クロックを分周して 1/2、1/4、1/8 のクロックを生成します。ICK2~ICK0、PCK2~PCK0、BCK2~BCK0 ビット書き換え後に、変更後の周波数で本 LSI は動作します。

23.5 サブクロック波形成形回路

EXTAL 端子から入力されたクロックのノイズ除去のため、周辺モジュールクロック (P) を 32 分周したクロックでサンプリングします。

サブクロック動作 (SUBCKSEL = 1) のとき、もしくはソフトウェアスタンバイモードのときは、サンプリングされません。

23.6 サブクロック分周器

サブクロック分周器は、サブクロック波形成形回路からのクロックを 128 分周してサブクロックを生成します。SUBCKSEL ビットを 1 にセットすると、本 LSI はサブクロックにて動作します。

23.7 使用上の注意事項

23.7.1 クロック発振器に関する使用上の注意事項

- SCKCRの設定により各モジュールに供給される (I : システムクロック、P : 周辺モジュールクロック、B : 外部バスクロック) の周波数が変わりますので、以下の点に注意してください。各周波数は電気的特性のACタイミングのクロックサイクル時間 t_{cyc} の動作保証範囲内に収まるように選択してください。すなわち、
 - RCAN-ET使用時
 - I min = 8MHz、P min = 8MHz、B min=8MHz、
 - I max = 40MHz、P max = 20MHz、B max = 20MHz として、
 - I < 8MHz、I > 40MHz、P < 16MHz、P > 20MHz、B < 8MHz、B > 20MHz とならないように注意してください。
 - RCAN-ET未使用時
 - I min = 8MHz、P min = 8MHz、B min=8MHz、
 - I max = 40MHz、P max = 20MHz、B max=20MHz として、
 - I < 8MHz、I > 40MHz、P < 8MHz、P > 20MHz、B < 8MHz、B > 20MHz とならないように注意してください。
- 周辺モジュール (DMACを除く) は、すべてP を基準に動作します。このため、周波数変更の前後でタイマやSCIなどの時間処理が変わりますので注意してください。
また、ソフトウェアスタンバイモード解除用の待機時間も周波数を変更することで変わります。詳細は「24.6.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定」を参照してください。
- システムクロック、周辺モジュールクロック、外部バスクロックとの間には、I P、I B の関係が成り立っており、かつシステムクロックの設定が優先されます。そのため、P、B が、PCK2~PCK0、BCK2~BCK0のレジスタ設定の周波数ではなく、ICK2~ICK0で設定した周波数になることがあります。
- ライトデータバッファ機能などを用いて、外部バスサイクル実行中にSCKCRの設定を行うと、バスサイクル中に の周波数が変わりますので注意してください。
- 図23.5にクロック変更タイミングを示します。SCKCRに値をライトした後、現在実行しているバスサイクル終了を待ちます。そのバスサイクル終了後、外部入力クロック に対して最大1サイクル後に各クロックの周波数が変更されます。

23. クロック発振器

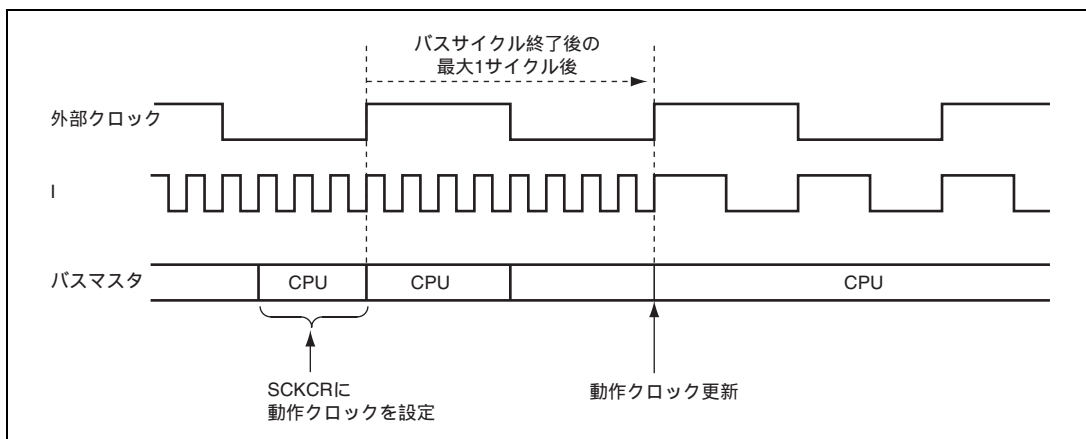


図 23.5 クロック変更タイミング

23.7.2 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定格は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

23.7.3 ボード設計上の注意

水晶発振子を使用する場合は、発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。図 23.6 に示すように発振回路の近くには信号線を通させないでください。誘導により正しい発振ができなくなることがあります。

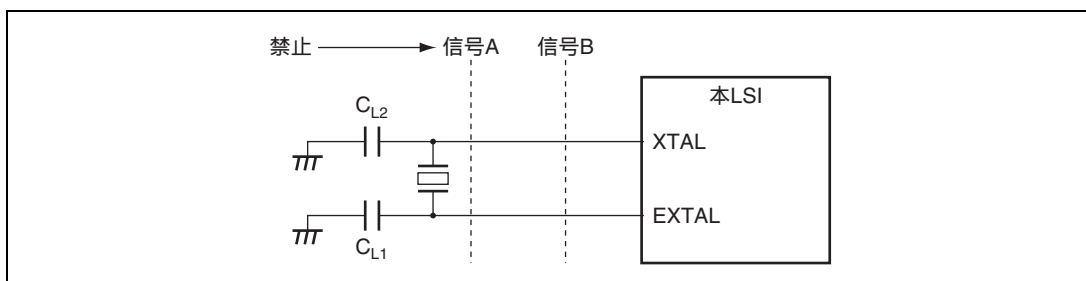


図 23.6 発振回路部のボード設計に関する注意事項

バイパスコンデンサの接続例を図 23.7 に示します。Vcc、Vss はボードの電源供給元から分離し、端子の近くにバイパスコンデンサ CB を必ず挿入してください。バイパスコンデンサの容量値はユーザのシステムボード設計において十分検討してください。

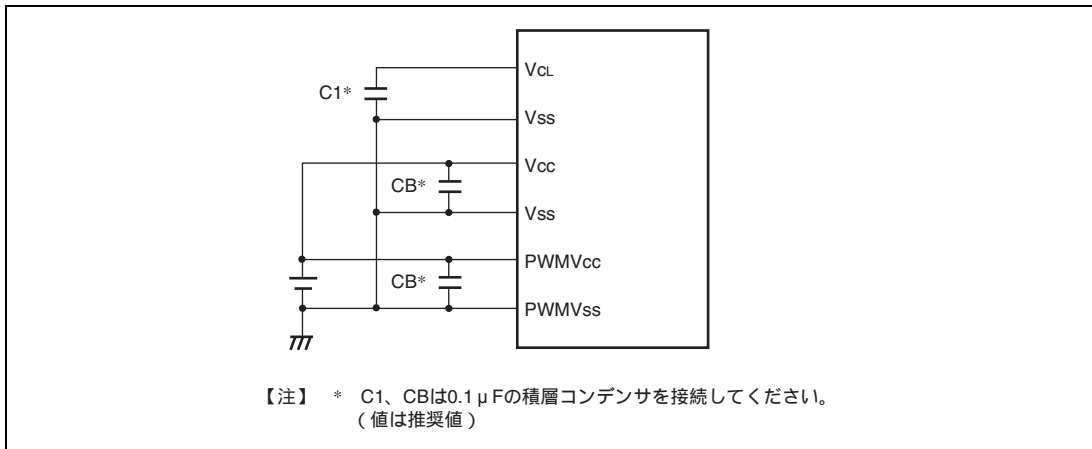


図 23.7 バイパスコンデンサの接続例

23.7.4 入力クロック周波数に関する注意

入力クロック周波数はPLL回路内で8倍に逡倍されます。ノイズ低減のために、入力クロック周波数は、4~9MHzの間で低い周波数を推奨します。

24. 低消費電力

本 LSI には、消費電力低減機能としてマルチクロック機能、モジュールストップ機能、および低消費電力状態への遷移機能があります。

24.1 特長

- メインクロックのマルチクロック機能
システムクロック、周辺モジュールクロック、外部バスクロックに対し個別に分周比を設定することが可能
- サブクロック機能
システムクロック、周辺モジュールクロック、外部バスクロックの周波数をメインクロックの128分周の周波数に設定することが可能
- モジュールストップ機能
周辺モジュールごとに機能を停止し、低消費電力状態にすることが可能
- 低消費電力状態への遷移機能
CPU、周辺モジュール、発振器を停止する低消費電力状態にすることが可能
- 低消費電力状態：4種類
スリープモード
全モジュールクロックストップモード
サブクロックモード
ソフトウェアスタンバイモード
ハードウェアスタンバイモード

表 24.1 に、低消費電力状態へ遷移する条件、CPU や周辺モジュールなどの状態、および各モードの解除方法を示します。

リセット後は、通常のプログラム動作で DMAC 以外のモジュールはモジュールストップモードになります。

表 24.1 動作状態

動作状態	スリープ モード	全モジュールクロック ストップモード	サブクロック モード	ソフトウェア スタンバイモード	ハードウェア スタンバイモード
遷移条件	制御レジスタ+命令	制御レジスタ+命令	制御レジスタ	制御レジスタ+命令	端子入力
解除方法	割り込み	割り込み* ¹	制御レジスタ	割り込み* ²	端子入力
発振器	動作	動作	動作	動作/停止* ³	停止
サブクロック	動作	動作	動作	動作/停止* ³	停止
CPU	停止 (保持)	停止 (保持)	サブクロック動作	停止 (保持)	停止
ウォッチドッグ タイマ	動作	動作	サブクロック動作	停止 (保持)	停止
WAT	動作	動作	サブクロック動作	動作/停止* ³	停止
周辺モジュール	動作	停止* ⁴	停止* ⁵	停止* ⁴	停止* ⁵
I/Oポート	動作	保持	動作	保持	ハイインピーダンス

【注】 停止（保持）は、内部レジスタ値保持、内部状態は動作中断を示します。

- *1 外部割り込み、一部の内部割り込み（ウォッチドッグタイマ）
- *2 外部割り込みおよび WAT の割り込み
- *3 SUBCKCR の XTALSTP ビットが 0 にクリアされていると、ソフトウェアスタンバイモード中でも動作が可能です。
- *4 SCI の一部のレジスタ、モータコントロール PWM、16 ビット PWM、RCAN-ET、SSU*、SDG はリセット状態、その他の周辺モジュールは状態を保持します。
- *5 すべての周辺モジュールはリセット状態になります。
- *6 モジュールストップビットによりソフトで停止させてください。そのとき、周辺モジュールの内部状態は停止（リセット）となります。
- * SSU : Synchronous Serial communication Unit

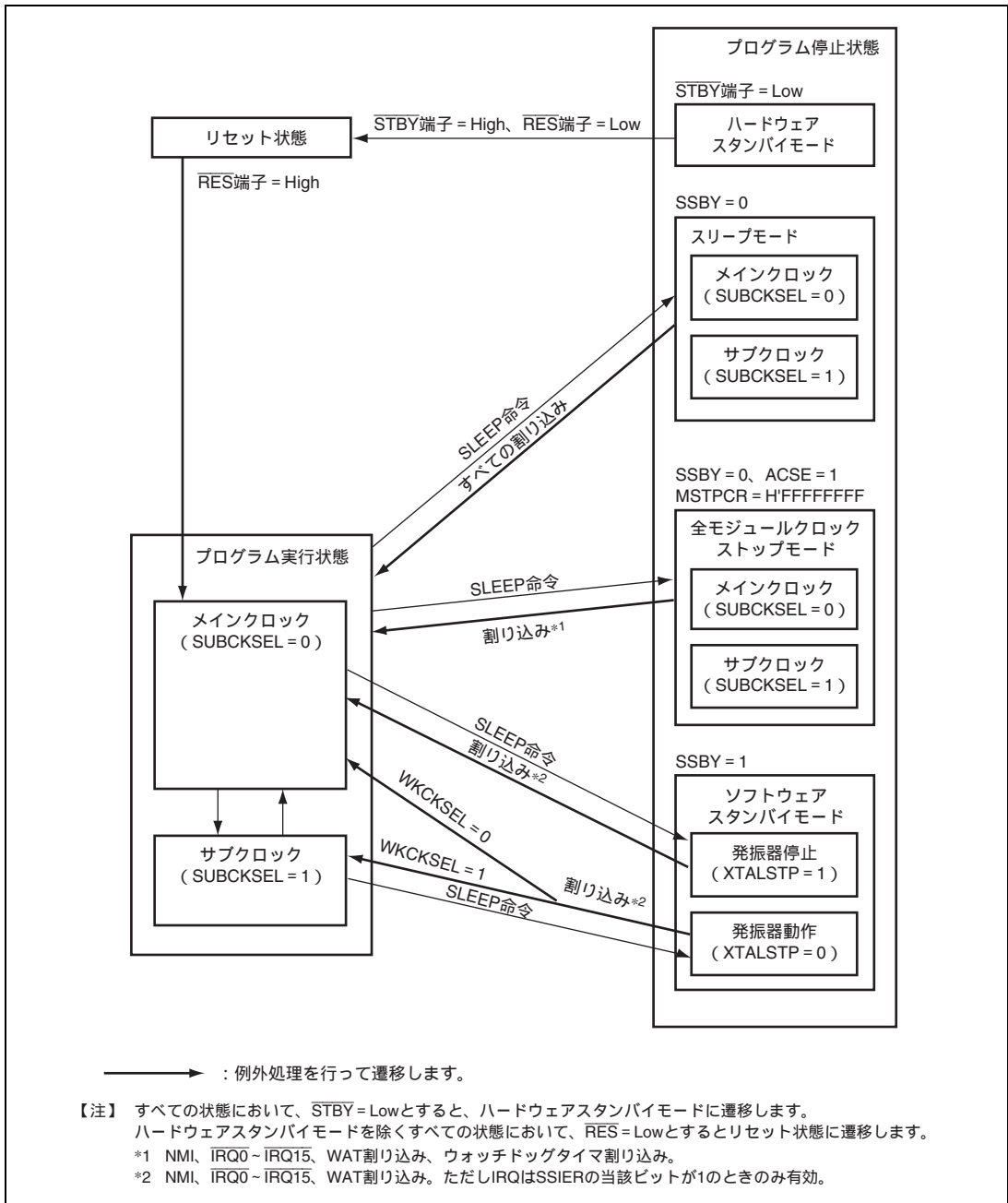


図 24.1 モード遷移図

24.2 レジスタの説明

消費電力モードに関連するレジスタには以下のものがあります。システムクロックコントロールレジスタ (SCKCR) については「23.1.1 システムクロックコントロールレジスタ (SCKCR)」を参照してください。

- スタンバイコントロールレジスタ (SBYCR)
- モジュールストップコントロールレジスタA (MSTPCRA)
- モジュールストップコントロールレジスタB (MSTPCRB)
- モジュールストップコントロールレジスタC (MSTPCRC)

24.2.1 スタンバイコントロールレジスタ (SBYCR)

SBYCR は、ソフトウェアスタンバイモードの制御を行います。

ビット	15	14	13	12	11	10	9	8
ビット名	SSBY	OPE	-	STS4	STS3	STS2	STS1	STS0
初期値:	0	1	0	0	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	SSBY	0	R/W	ソフトウェアスタンバイ SLEEP 命令実行後の遷移先を設定します。 0: SLEEP 命令実行後、スリープモードに遷移 1: SLEEP 命令実行後、ソフトウェアスタンバイモードに遷移 なお、外部割り込みによってソフトウェアスタンバイモードが解除され通常モードに遷移したときは、このビットは1にセットされたままです。クリアするときは0をライトしてください。WDT をウォッチドックタイマとして使用しているときは、このビットの設定は無効になります。その場合、SLEEP 命令実行後は常にスリープモードあるいは全モジュールクロックストップモードに遷移します。
14	OPE	1	R/W	出力ポートインネーブル ソフトウェアスタンバイモード時にアドレスバス、バス制御信号 (AS、RD、LHWR、LLWR) の出力を保持するか、ハイインピーダンスにするかを設定します。 0: ソフトウェアスタンバイモード時、アドレスバス、バス制御信号はハイインピーダンス 1: ソフトウェアスタンバイモード時、アドレスバス、バス制御信号は出力状態を保持

ビット	ビット名	初期値	R/W	説明
13	-	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
12	STS4	0	R/W	スタンバイタイムセレクト4~0 外部割り込みによってソフトウェアスタンバイモードを解除する場合に、クロックが安定するまでMCUが待機する時間を選択します。水晶発振の場合、表24.2を参照し、動作周波数に応じて待機時間が発振安定時間以上となるように選択してください。外部クロックにおいても、PLL回路の安定時間が必要になります。表24.2を参照に待機時間を設定してください。 本待機時間は、プログラム実行状態でのサブクロックからメインクロックへ遷移するとき、またはソフトウェアスタンバイモードからメインクロックへ遷移するときは、Pの周波数でカウントします。マルチクロック機能有効時も同様です。一方、ソフトウェアスタンバイモード(サブクロック動作時)からプログラム実行状態のサブクロックへ遷移するときは、サブクロックでカウントします。状態遷移において、それぞれ基準となる周波数が異なりますので注意してください。 00000 : リザーブ 00001 : リザーブ 00010 : 待機時間 = 8 ステート 00011 : 待機時間 = 16 ステート 00100 : 待機時間 = 32 ステート 00101 : 待機時間 = 64 ステート 00110 : 待機時間 = 512 ステート 00111 : 待機時間 = 1024 ステート 01000 : 待機時間 = 2048 ステート 01001 : 待機時間 = 4096 ステート 01010 : 待機時間 = 16384 ステート 01011 : 待機時間 = 32768 ステート 01100 : 待機時間 = 65536 ステート 01101 : 待機時間 = 131072 ステート 01110 : 待機時間 = 262144 ステート 01111 : 待機時間 = 524288 ステート 1xxxx : リザーブ
11	STS3	1	R/W	
10	STS2	1	R/W	
9	STS1	1	R/W	
8	STS0	1	R/W	
7~0	-	すべて0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。

24. 低消費電力

24.2.2 モジュールストップコントロールレジスタ A、B (MSTPCRA、MSTPCRB)

MSTPCRA、MSTPCRB はモジュールストップモードの制御を行います。1 のとき対応するモジュールはモジュールストップモードになり、クリアするとモジュールストップモードは解除されます。

• MSTPCRA

ビット	15	14	13	12	11	10	9	8
ビット名	ACSE	MSTPA14	MSTPA13	MSTPA12	MSTPA11	MSTPA10	MSTPA9	MSTPA8
初期値:	0	0	0	0	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• MSTPCRB

ビット	15	14	13	12	11	10	9	8
ビット名	MSTPB15	MSTPB14	MSTPB13	MSTPB12	MSTPB11	MSTPB10	MSTPB9	MSTPB8
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	MSTPB7	MSTPB6	MSTPB5	MSTPB4	MSTPB3	MSTPB2	MSTPB1	MSTPB0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• MSTPCRA

ビット	ビット名	初期値	R/W	対象モジュール
15	ACSE	0	R/W	全モジュールクロックストップモードイネーブル MSTPCR で制御されるすべてのモジュールがモジュールストップモードに設定された上で、CPU が SLEEP 命令を実行した場合にバスコントローラと I/O ポートも動作をストップして、消費電流を低減する全モジュールクロックストップモードの許可または禁止を設定します。 0: 全モジュールクロックストップモード禁止 1: 全モジュールクロックストップモード許可
14	MSTPA14	0	R/W	リザーブビット リードすると常に 0 が読み出されます。ライトする値は全モジュールクロックストップモード設定時を除き常に 0 にしてください。
13	MSTPA13	0	R/W	DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	対象モジュール
12	MSTPA12	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は全モジュールクロックストップモード設定時を除き常に0にしてください。
11	MSTPA11	1	R/W	リザーブビット リードすると常に1が読み出されます。ライトする値は常に1にしてください。
10	MSTPA10	1	R/W	
9	MSTPA9	1	R/W	
8	MSTPA8	1	R/W	
7	MSTPA7	1	R/W	
6	MSTPA6	1	R/W	
5	MSTPA5	1	R/W	
4	MSTPA4	1	R/W	A/D変換器(ユニット1)
3	MSTPA3	1	R/W	A/D変換器(ユニット0)
2	MSTPA2	1	R/W	リザーブビット
1	MSTPA1	1	R/W	リードすると常に1が読み出されます。ライトする値は常に1にしてください。
0	MSTPA0	1	R/W	16ビットタイムパルスユニット(TPUチャンネル5~0)

• MSTPCRB

ビット	ビット名	初期値	R/W	対象モジュール
15	MSTPB15	1	R/W	リザーブビット
14	MSTPB14	1	R/W	リードすると常に1が読み出されます。ライトする値は常に1にしてください。
13	MSTPB13	1	R/W	シリアルコミュニケーションインタフェース_5(SCI_5)
12	MSTPB12	1	R/W	シリアルコミュニケーションインタフェース_4(SCI_4)
11	MSTPB11	1	R/W	リザーブビット リードすると常に1が読み出されます。ライトする値は常に1にしてください。
10	MSTPB10	1	R/W	シリアルコミュニケーションインタフェース_2(SCI_2)
9	MSTPB9	1	R/W	リザーブビット リードすると常に1が読み出されます。ライトする値は常に1にしてください。
8	MSTPB8	1	R/W	シリアルコミュニケーションインタフェース_0(SCI_0)
7	MSTPB7	1	R/W	I ² Cバスインタフェース_1(IIC_1)
6	MSTPB6	1	R/W	I ² Cバスインタフェース_0(IIC_0)
5	MSTPB5	1	R/W	リザーブビット
4	MSTPB4	1	R/W	リードすると常に1が読み出されます。ライトする値は常に1にしてください。
3	MSTPB3	1	R/W	
2	MSTPB2	1	R/W	
1	MSTPB1	1	R/W	
0	MSTPB0	1	R/W	

24. 低消費電力

24.2.3 モジュールストップコントロールレジスタ C (MSTPCRC)

MSTPC15～MSTPC8はモジュールストップモードの制御を行います。1のとき対応するモジュールはモジュールストップモードになり、クリアするとモジュールストップモードは解除されます。MSTPC3～MSTPC0ビットを1にセットすると、対応する内蔵RAMが停止します。内蔵RAMアクセス中に該当するMSTPC3～MSTPC0ビットを1にセットしないでください。

ビット	15	14	13	12	11	10	9	8
ビット名	MSTPC15	MSTPC14	MSTPC13	MSTPC12	MSTPC11	MSTPC10	MSTPC9	MSTPC8
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	MSTPC7	MSTPC6	MSTPC5	MSTPC4	MSTPC3	MSTPC2	MSTPC1	MSTPC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	対象モジュール
15	MSTPC15	1	R/W	サウンドジェネレータ (SDG)
14	MSTPC14	1	R/W	16ビットPWM
13	MSTPC13	1	R/W	モータコントロールPWM
12	MSTPC12	1	R/W	D/A変換器 (チャンネル1、0)
11	MSTPC11	1	R/W	コントローラエリアネットワーク_1、0 (RCAN-ET_1、_0)
10	MSTPC10	1	R/W	リザーブビット リードすると常に1が読み出されます。ライトする値は常に1にしてください。
9	MSTPC9	1	R/W	シンクロナスシリアルコミュニケーションユニット_1 (SSU_1)
8	MSTPC8	1	R/W	シンクロナスシリアルコミュニケーションユニット_0 (SSU_0)
7	MSTPC7	0	R/W	リザーブビット
6	MSTPC6	0	R/W	リードすると常に0が読み出されます。ライトする値は常に0にしてください。
5	MSTPC5	0	R/W	
4	MSTPC4	0	R/W	
3	MSTPC3	0	R/W	内蔵RAM_1 (H'FF6000～H'FF7FFF)
2	MSTPC2	0	R/W	MSTPC3とMSTPC2は常に同じ値となるようにライトしてください。
1	MSTPC1	0	R/W	内蔵RAM_0 (H'FF8000～H'FFBFFF)
0	MSTPC0	0	R/W	MSTPC1とMSTPC0は常に同じ値となるようにライトしてください。

24.3 メインクロックのマルチクロック機能

SCKCR の ICK2~ICK0 ビット、PCK2~PCK0 ビットと BCK2~BCK0 ビットを設定すると、そのバスサイクルの終了時点でマルチクロック機能が有効になります。マルチクロック機能では、CPU とバスマスタは、ICK2~ICK0 ビットで設定した動作クロックで動作します。周辺モジュールは、PCK2~PCK0 ビットで設定した動作クロックで動作します。また、外部クロックは、BCK2~BCK0 ビットで設定した動作クロックで動作します。

ただし、ICK2~ICK0 ビットで設定した動作クロックより高い動作クロックに PCK2~PCK0 ビットおよび BCK2~BCK0 ビットを設定しても、設定値がクロックに反映されません。周辺モジュール、外部クロックは、ICK2~ICK0 ビットで設定した動作クロックに制限されます。

マルチクロック機能の解除は、ICK2~ICK0 ビット、PCK2~PCK0 ビット、BCK2~BCK0 ビットをすべて 0 にクリアすることによって行われ、そのバスサイクルの終了時点で通常状態に遷移し、マルチクロック機能は解除されます。

SBYCR の SSBY ビットを 0 にクリアした状態で SLEEP 命令を実行すると、スリープモードに遷移します。スリープモード期間中もマルチクロック機能は有効です。また、SSBY ビットを 1 にセットした状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモード期間中は、マルチクロック機能は停止し、ソフトウェアスタンバイモードが割り込みによって解除されるとマルチクロック機能が有効な状態に復帰します。

$\overline{\text{RES}}$ 端子を Low レベルにするとリセット状態に遷移し、マルチクロック機能は解除されます。ウォッチドッグタイマのオーバーフローによるリセットについても同様です。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

24.4 サブクロック

SUBCKCR の SUBCKSEL ビットを 1 に設定すると、SCKCR の設定にかかわらず、そのバスサイクルの終了時点でサブクロック機能が有効になります。サブクロック機能では、CPU とバスマスタ、周辺モジュール、外部クロックのすべてがメインクロックの 128 分周の周波数で動作します。

サブクロック機能の解除は SUBCKSEL ビットを 0 にクリアすることによって行われ、そのバスサイクルの終了時点から発振安定時間を経た後、サブクロック機能は解除されます。

SBYCR の SSBY ビットを 0 にクリアした状態で SLEEP 命令を実行すると、スリープモードに遷移します。スリープモード期間中もサブクロック機能は有効です。

また、SSBY ビットを 1 にセットした状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモード期間中は、サブクロック機能は停止します。ただし、SUBCKCR の XTALSTP を 0 にクリアした状態では、WAT にはサブクロックが供給されます。ソフトウェアスタンバイモードが割り込みによって解除されると、WKCKSEL = 1 のときはサブクロック機能が有効な状態に復帰し、WKCKSEL = 0 のときは SCKCR で設定されたクロックで動作する状態に復帰します。

$\overline{\text{RES}}$ 端子を Low レベルにするとリセット状態に遷移し、サブクロック機能は解除されます。ウォッチドッグタイマのオーバーフローによるリセットについても同様です。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

24.5 スリープモード

24.5.1 スリープモードへの遷移

SBYCR の SSBY ビット=0 の状態で SLEEP 命令を実行すると、CPU はスリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタの内容は保持されます。CPU 以外の周辺機能は停止しません。

24.5.2 スリープモードの解除

スリープモードの解除は、すべての割り込み、 $\overline{\text{RES}}$ 端子、 $\overline{\text{STBY}}$ 端子、またはウォッチドッグタイマのオーバフローによるリセットによって行われます。

1. 割り込みによる解除

割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。割り込みが禁止されている場合、また、NMI以外の割り込みがCPUでマスクされている場合には、スリープモードは解除されません。

2. $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子をLowレベルにすると、リセット状態になります。規定のリセット入力期間後、 $\overline{\text{RES}}$ 端子をHighレベルにすると、CPUはリセット例外処理を開始します。

3. $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子をLowレベルにすると、ハードウェアスタンバイモードに遷移します。

4. ウォッチドッグタイマのオーバフローリセットによる解除

ウォッチドッグタイマのオーバフローの内部リセットにより、スリープモードが解除されます。

24.6 ソフトウェアスタンバイモード

24.6.1 ソフトウェアスタンバイモードへの遷移

SBYCR の SSBY ビットを 1 にセットした状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードになります。このモードでは、CPU、内蔵周辺機能、および発振器のすべての機能が停止します。ただし、CPU の内部レジスタの内容と、内蔵 RAM のデータ、SCI を除く内蔵周辺機能と、I/O ポートの状態は保持されます。アドレスバス、バス制御信号は、ハイインピーダンス状態とするか、出力状態を保持するかを、SBYCR の OPE ビットにより設定できます。本モードでは、発振器が停止するため、消費電力は著しく低減されます。

WDT をウォッチドッグタイマとして使用している場合、ソフトウェアスタンバイモードに遷移できません。SLEEP 命令を実行する前に WDT を停止させてください。

24.6.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割り込み(NMI 端子、IRQ0 ~ IRQ15 端子*)、内部割り込み(WAT)、 $\overline{\text{RES}}$ 端子、または $\overline{\text{STBY}}$ 端子によって行われます。

1. 割り込みによる解除

NMI、IRQ0 ~ IRQ15*割り込み、内部割り込み(WAT)要求信号が入力されると、クロックが発振を開始し、SBYCRのSTS4 ~ STS0ビットによって設定された時間が経過した後、安定したクロックが本LSI全体に供給されて、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

IRQ0 ~ IRQ15*割り込みでソフトウェアスタンバイモードを解除する場合には、対応するイネーブルビットを1にセットし、かつIRQ0 ~ IRQ15*割り込みより高い優先順位の割り込みが発生しないようにしてください、なお、CPU側でマスクした場合には、ソフトウェアスタンバイモードは解除できません。

また、WATの割り込みは、ソフトウェアスタンバイモードからの復帰と通常動作時とで、割り込み例外処理のベクタアドレスが異なります。

2. $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子をLowレベルにすると、クロックの発振が開始されます。クロックの発振開始と同時に、本LSIにクロックが供給されます。このとき $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまでLowレベルに保持してください。 $\overline{\text{RES}}$ 端子をHighレベルにすると、CPUはリセット例外処理を開始します。

3. $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子をLowレベルにすると、ハードウェアスタンバイモードに遷移します。

【注】 * SSIER の SSIn ビットを 1 にセットすることにより、 $\overline{\text{IRQ0}} \sim \overline{\text{IRQ15}}$ をソフトウェアスタンバイモードの解除要因として使用することができます。

24. 低消費電力

24.6.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定

SBYCR の STS4 ~ STS0 ビットの設定は、以下のようにしてください。

1. 水晶発振の場合

待機時間が発振安定時間以上となるように STS4 ~ STS0 ビットを設定してください。

表24.2に、動作周波数と STS4 ~ STS0 ビットの設定に対する待機時間を示します。

2. 外部クロックの場合

PLL回路の安定時間が必要となります。表24.2を参照し待機時間を設定してください。

表 24.2 発振安定時間の設定

STS4	STS3	STS2	STS1	STS0	待機時間 (ステート)	P * [MHz]				単位
						20	13	10	8	
0	0	0	0	0	リザーブ	-	-	-	-	μs
				1	リザーブ	-	-	-	-	
			1	0	8	0.4	0.6	0.8	1.0	
				1	16	0.8	1.2	1.6	2.0	
		1	0	0	32	1.6	2.46	3.2	4.0	
				1	64	3.2	4.9	6.4	8.0	
			1	0	512	25.6	39.4	51.2	64.0	
				1	1024	51.2	78.8	102.4	128.0	
	1	0	0	0	2048	102.4	157.5	204.8	256.0	ms
				1	4096	0.20	0.32	0.41	0.51	
			1	0	16384	0.82	1.26	1.64	2.05	
				1	32768	1.64	2.52	3.28	4.10	
		1	0	0	65536	3.28	5.04	6.55	8.19	
				1	131072	6.55	10.08	13.11	16.38	
			1	0	262144	13.11	20.16	26.21	32.77	
				1	524288	26.21	40.33	52.43	65.54	
1	0	0	0	0	リザーブ	-	-	-	-	

■ : 外部クロック使用時の推奨設定時間

■ : 水晶発振使用時の推奨設定時間

【注】 * P は周辺モジュール分周器の出力です。

24.6.4 ソフトウェアスタンバイモードの応用例

NMI 端子の立ち下がりエッジでソフトウェアスタンバイモードに移行し、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 24.2 に示します。

この例では、INTCR の NMIEG ビットが 0 にクリアされている（立ち下がりエッジ設定）状態で、NMI 割り込みを受け付けた後、NMIEG ビットを 1 にセット（立ち上がりエッジ設定）、SSBY ビットを 1 にセットした後、SLEEP 命令を実行してソフトウェアスタンバイモードに移行しています。

その後、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

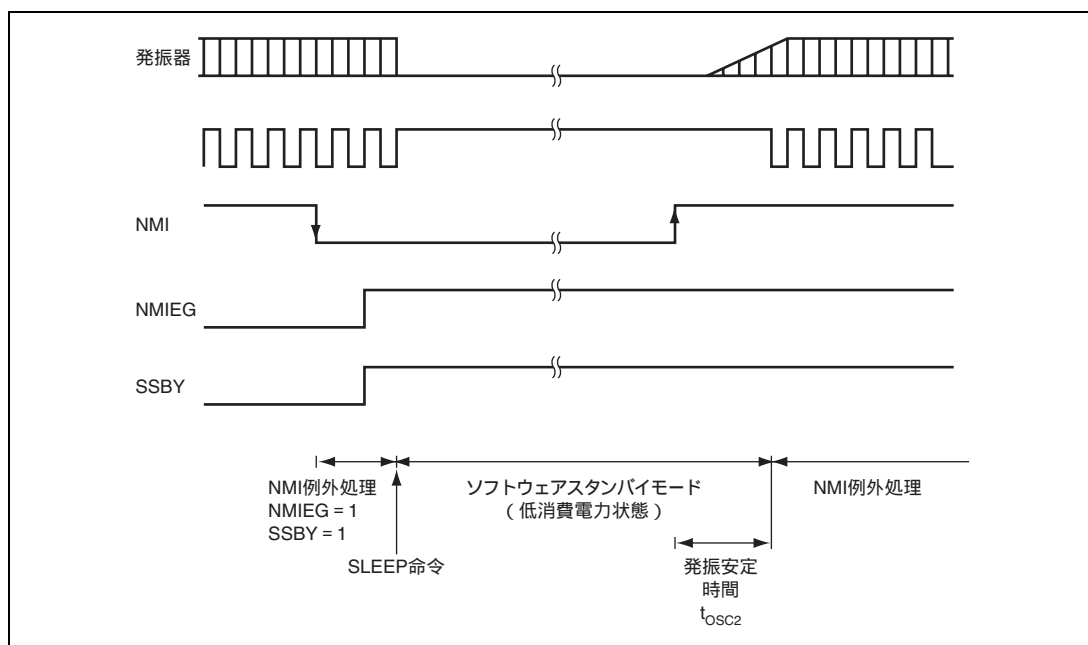


図 24.2 ソフトウェアスタンバイモードの応用例

24.7 ハードウェアスタンバイモード

24.7.1 ハードウェアスタンバイモードへの遷移

$\overline{\text{STBY}}$ 端子を Low レベルにすると、どの状態からでもハードウェアスタンバイモードになります。

ハードウェアスタンバイモードでは、すべての機能がリセット状態になり動作が停止するため、消費電力は著しく低減します。このとき、規定の電圧が与えられている限り、内蔵 RAM のデータは保持されます。I/O ポートはハイインピーダンス状態になります。

内蔵 RAM のデータを保持するためには、 $\overline{\text{STBY}}$ 端子を Low レベルにする前に、SYSCR の RAME ビットを 0 にクリアしてください。また、ハードウェアスタンバイモード中には、モード端子 (MD2~MD0) の状態を変化させないでください。

24.7.2 ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードの解除は、 $\overline{\text{STBY}}$ 端子と $\overline{\text{RES}}$ 端子によって行われます。 $\overline{\text{RES}}$ 端子を Low レベルにした状態で、 $\overline{\text{STBY}}$ 端子を High レベルにすると、リセット状態になり、クロックは発振を開始します。このとき、 $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで (発振安定時間については、表 24.2 参照) Low レベルを保持してください。その後、 $\overline{\text{RES}}$ 端子を High レベルにすると、リセット例外処理状態を経てプログラム実行状態へ遷移します。

24.7.3 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードのタイミング例を図 24.3 に示します。

$\overline{\text{RES}}$ 端子を Low レベルにした後、 $\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。解除は、 $\overline{\text{STBY}}$ 端子を High レベルにし、クロックの発振安定時間経過後、 $\overline{\text{RES}}$ 端子を Low レベルから High レベルにすることにより行われます。

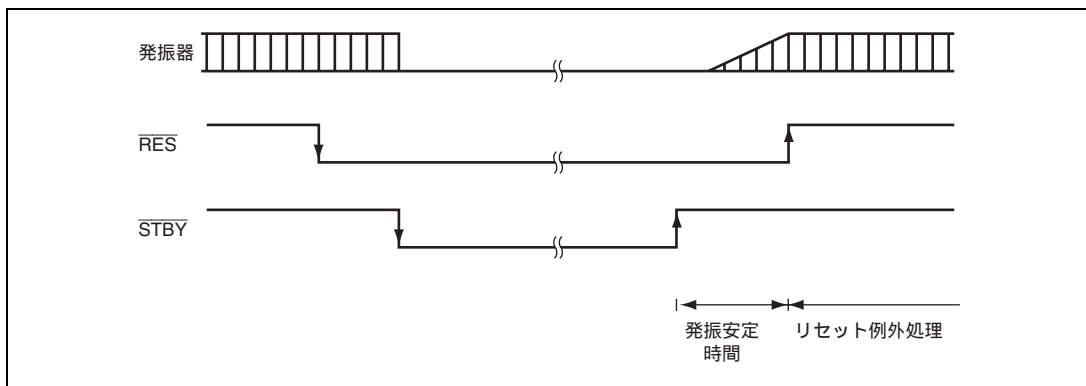


図 24.3 ハードウェアスタンバイモードのタイミング

24.7.4 電源投入時のタイミング

電源投入時のタイミングを図 24.4 に示します。

電源投入時は、必ず $\overline{\text{STBY}}$ 端子を High レベルにした状態で規定の時間 $\overline{\text{RES}}$ 端子を Low レベルにし、リセット解除してください。

電源投入時よりハードウェアスタンバイモードに遷移する場合、リセット解除後に $\overline{\text{STBY}}$ 端子を Low レベルにしてください。

なお、ハードウェアスタンバイモード解除については「24.7.3 ハードウェアスタンバイモードのタイミング」を参照してください。

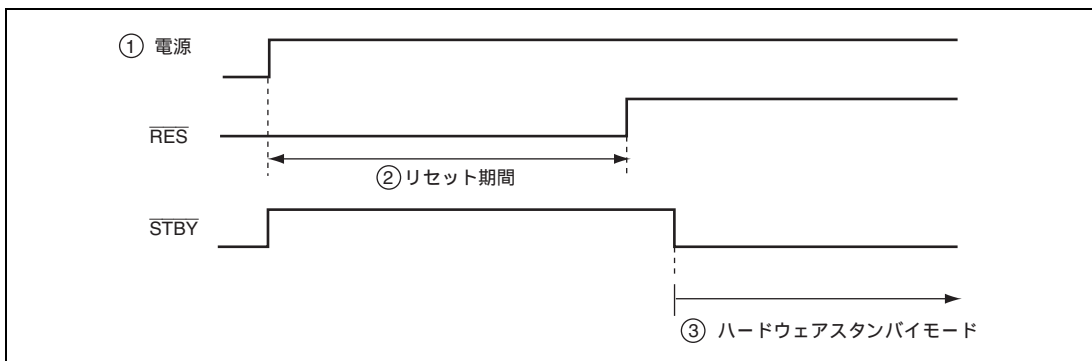


図 24.4 電源投入時のタイミング

24.8 モジュールストップ機能

24.8.1 モジュールストップ機能

モジュールストップ機能は内蔵周辺機能のモジュール単位で設定することができます。

MSTPCRA、MSTPCRB、MSTPCRC の対応する MSTP ビットを 1 にセットすると、バスサイクルの終了時点でモジュールは動作を停止してモジュールストップ状態へ遷移します。このとき CPU は独立して動作を継続します。

対応する MSTP ビットを 0 にクリアすることによって、モジュールストップ状態は解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップ状態では、SCI の一部のレジスタ、モータコントロール PWM、16 ビット PWM、RCAN-ET、SSU*、SDG の内部状態はリセット、その他の周辺モジュールは状態を保持します。

リセット解除後は、DMAC、内蔵 RAM を除くすべてのモジュールがモジュールストップ状態になっています。

モジュールストップ状態に設定されたモジュールのレジスタは、リード/ライトできません。

【注】 * SSU : Synchronous Serial communication Unit

24.8.2 全モジュールクロックストップモード

ACSE を 1 に設定し、かつ MSTPCRA、B で制御されるすべてのモジュールをストップ (MSTPCRA、B = H'FFFFFF) したとき、SBYCR の SSBY ビットを 0 にクリアした状態で SLEEP 命令を実行すると、バスサイクルの終了時点でウォッチドッグタイマ、WAT、MSTPCRC で制御されるモジュールを除く全モジュール、バスコントローラ、および I/O ポートの動作を停止して全モジュールクロックストップモードへ遷移します。

全モジュールクロックストップモード時に、さらに消費電流を低減する必要がある場合は、MSTPCRC で制御されるモジュールを停止 (MSTPCRC[15~8] = H'FFFF) してください。

全モジュールクロックストップモードの解除は、外部割り込み (NMI 端子、 $\overline{\text{IRQ0}} \sim \overline{\text{IRQ15}}$ 端子)、 $\overline{\text{RES}}$ 端子、内部割り込み (ウォッチドッグタイマ、WAT) によって行われ、例外処理状態を経て通常のプログラム実行状態へ遷移します。割り込みが禁止されている場合、また、NMI 以外の割り込みが CPU でマスクされている場合には、全モジュールクロックストップモードは解除されません。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

24.9 B 出力制御

SCKCR の PSTOP1、POSEL1 ビットと、対応する PA7 の DDR により、B 出力を制御することができます。

PSTOP1、POSEL1 ビットをともに 0 にクリアすると、PA7 は B 出力になります。PSTOP1 ビットを 1 にセットすると、バスサイクルの終了時点で B 出力は停止し、B 出力は High レベルになります。また、PA7 の DDR を 0 にクリアすると、B 出力は禁止され、入力ポートになります。

表 24.3 に各処理状態における B 端子の状態を示します。

表 24.3 各処理状態における 端子 (PA7) の状態

レジスタの設定値			通常動作状態	スリープ	全モジュール クロック ストップ	ソフトウェア スタンバイ		ハードウェア スタンバイ
DDR	PSTOP1	POSEL1				OPE = 0	OPE = 1	
0	x	x	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
1	0	0	B 出力	B 出力	B 出力	High	High	Hi-Z
1	0	1	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
1	1	x	High	High	High	High	High	Hi-Z

【注】x : Don't care

24.10 使用上の注意事項

24.10.1 I/O ポートの状態

ソフトウェアスタンバイモードでは、I/O ポートの状態が保持されます。したがって、High レベルを出力している場合は出力電流分の消費電流は低減されません。

24.10.2 発振安定待機中の消費電流

発振安定待機中は消費電流が増加します。

24.10.3 DMAC のモジュールストップ

DMAC の動作状態によって、MSTPA13 ビットは 1 にセットされない場合があります。DMAC のモジュールストップモードの設定は、DMAC が起動されていない状態で行ってください。

詳細は、「7. DMA コントローラ (DMAC)」を参照してください。

24.10.4 内蔵周辺モジュールの割り込み

モジュールストップモードでは当該割り込みの動作ができません。したがって、割り込みが要求された状態でモジュールストップとすると、CPU の割り込み要因または DMAC の起動要因のクリアができません。事前に割り込みをディスエーブルにするなどしてからモジュールストップモードにしてください。

24.10.5 MSTPCRA、MSTPCRB、MSTPCRC のライト

MSTPCRA、MSTPCRB、および MSTPCRC は、CPU のみでライトしてください。

25. レジスタ一覧

レジスタ一覧では、内蔵レジスタのアドレス、ビット構成、および動作モード別の状態に関する情報をまとめています。表記方法は下記のとおりです。

1. レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載します。
- モジュール名称による分類をしています。
- アクセスステート数については、指定の基準クロックのステート数を示しています。
- 未定義・リザーブアドレスのアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

2. レジスタビット一覧

- 「レジスタアドレス一覧（アドレス順）」の順序で、ビット構成を記載します。
- リザーブビットは、ビット名称部に「-」で表記しています。
- ビット名称部が空白のものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。
- 16ビットまたは32ビットのレジスタの場合、MSB側のビットから記載しています。バイトの記載順序はビッグエンディアンを前提としています。

3. 各動作モードにおけるレジスタの状態

- 「レジスタアドレス一覧（アドレス順）」の順序で、レジスタの状態を記載します。
- 初期化の各ビットの状態は、該当する章のレジスタ説明を参照してください。
- 基本的な動作モード時のレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、周辺モジュールの章を参照してください。

25. レジスタ一覧

25.1 レジスタアドレス一覧 (アドレス順)

レジスタ名称	略称	ビット数	アドレス *1	モジュール	データ バス幅	アクセス*4 ステート数 (リード/ライト)
マスタコントロールレジスタ_0	MCR_0	16	H'FEA00	RCAN-ET_0	16	4P /4P
ジェネラルステータスレジスタ_0	GSR_0	16	H'FEA02	RCAN-ET_0	16	4P /4P
ビットコンフィギュレーション レジスタ 1_0	BCR1_0	16	H'FEA04	RCAN-ET_0	16	4P /4P
ビットコンフィギュレーション レジスタ 0_0	BCR0_0	16	H'FEA06	RCAN-ET_0	16	4P /4P
インタラプトリクエストレジスタ_0	IRR_0	16	H'FEA08	RCAN-ET_0	16	4P /4P
インタラプトマスクレジスタ_0	IMR_0	16	H'FEA0A	RCAN-ET_0	16	4P /4P
送信エラーカウンタ_0	TEC_0	16	H'FEA0C	RCAN-ET_0	16	4P /4P
受信エラーカウンタ_0	REC_0					
送信待ちレジスタ 1_0	TXPR1_0	16	H'FEA20	RCAN-ET_0	16	4P /4P
送信待ちレジスタ 0_0	TXPR0_0	16	H'FEA22	RCAN-ET_0	16	4P /4P
送信キャンセルレジスタ 0_0	TXCR0_0	16	H'FEA2A	RCAN-ET_0	16	4P /4P
送信アクノリッジレジスタ 0_0	TXACK0_0	16	H'FEA32	RCAN-ET_0	16	4P /4P
アボートアクノリッジレジスタ 0_0	ABACK0_0	16	H'FEA3A	RCAN-ET_0	16	4P /4P
データフレーム受信完了レジスタ 0_0	RXPR0_0	16	H'FEA42	RCAN-ET_0	16	4P /4P
リモートフレーム受信完了レジスタ 0_0	RFPR0_0	16	H'FEA4A	RCAN-ET_0	16	4P /4P
メールボックスインタラプトマスク レジスタ 0_0	MBIMR0_0	16	H'FEA52	RCAN-ET_0	16	4P /4P
未読メッセージステータスレジスタ 0_0	UMSR0_0	16	H'FEA5A	RCAN-ET_0	16	4P /4P
メールボックス 0_0_コントロール 0H	MB_0[0].CONTROL0H	16	H'FEB00	RCAN-ET_0	16	4P /4P
メールボックス 0_0_コントロール 0L	MB_0[0].CONTROL0L	16	H'FEB02	RCAN-ET_0	16	4P /4P
メールボックス 0_0_LAFMH	MB_0[0].LAFMH	16	H'FEB04	RCAN-ET_0	16	4P /4P
メールボックス 0_0_LAFML	MB_0[0].LAFML	16	H'FEB06	RCAN-ET_0	16	4P /4P
メールボックス 0_0_データ 0	MB_0[0].MSG_DATA[0]	8	H'FEB08	RCAN-ET_0	16	4P /4P
メールボックス 0_0_データ 1	MB_0[0].MSG_DATA[1]	8	H'FEB09	RCAN-ET_0	16	4P /4P
メールボックス 0_0_データ 2	MB_0[0].MSG_DATA[2]	8	H'FEB0A	RCAN-ET_0	16	4P /4P
メールボックス 0_0_データ 3	MB_0[0].MSG_DATA[3]	8	H'FEB0B	RCAN-ET_0	16	4P /4P
メールボックス 0_0_データ 4	MB_0[0].MSG_DATA[4]	8	H'FEB0C	RCAN-ET_0	16	4P /4P
メールボックス 0_0_データ 5	MB_0[0].MSG_DATA[5]	8	H'FEB0D	RCAN-ET_0	16	4P /4P
メールボックス 0_0_データ 6	MB_0[0].MSG_DATA[6]	8	H'FEB0E	RCAN-ET_0	16	4P /4P
メールボックス 0_0_データ 7	MB_0[0].MSG_DATA[7]	8	H'FEB0F	RCAN-ET_0	16	4P /4P
メールボックス 0_0_コントロール 1H	MB_0[0].CONTROL1H	8	H'FEB10	RCAN-ET_0	16	4P /4P
メールボックス 0_0_コントロール 1L	MB_0[0].CONTROL1L	8	H'FEB11	RCAN-ET_0	16	4P /4P

25. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス *1	モジュール	データ バス幅	アクセス*4 ステート数 (リード/ライト)
メールボックス 1_0_コントロール 0H	MB_0[1].CONTROL0H	16	H'FEB20	RCAN-ET_0	16	4P /4P
メールボックス 1_0_コントロール 0L	MB_0[1].CONTROL0L	16	H'FEB22	RCAN-ET_0	16	4P /4P
メールボックス 1_0_LAFMH	MB_0[1].LAFMH	16	H'FEB24	RCAN-ET_0	16	4P /4P
メールボックス 1_0_LAFML	MB_0[1].LAFML	16	H'FEB26	RCAN-ET_0	16	4P /4P
メールボックス 1_0_データ 0	MB_0[1].MSG_DATA[0]	8	H'FEB28	RCAN-ET_0	16	4P /4P
メールボックス 1_0_データ 1	MB_0[1].MSG_DATA[1]	8	H'FEB29	RCAN-ET_0	16	4P /4P
メールボックス 1_0_データ 2	MB_0[1].MSG_DATA[2]	8	H'FEB2A	RCAN-ET_0	16	4P /4P
メールボックス 1_0_データ 3	MB_0[1].MSG_DATA[3]	8	H'FEB2B	RCAN-ET_0	16	4P /4P
メールボックス 1_0_データ 4	MB_0[1].MSG_DATA[4]	8	H'FEB2C	RCAN-ET_0	16	4P /4P
メールボックス 1_0_データ 5	MB_0[1].MSG_DATA[5]	8	H'FEB2D	RCAN-ET_0	16	4P /4P
メールボックス 1_0_データ 6	MB_0[1].MSG_DATA[6]	8	H'FEB2E	RCAN-ET_0	16	4P /4P
メールボックス 1_0_データ 7	MB_0[1].MSG_DATA[7]	8	H'FEB2F	RCAN-ET_0	16	4P /4P
メールボックス 1_0_コントロール 1H	MB_0[1].CONTROL1H	8	H'FEB30	RCAN-ET_0	16	4P /4P
メールボックス 1_0_コントロール 1L	MB_0[1].CONTROL1L	8	H'FEB31	RCAN-ET_0	16	4P /4P
メールボックス 2_0_コントロール 0H	MB_0[2].CONTROL0H	16	H'FEB40	RCAN-ET_0	16	4P /4P
メールボックス 2_0_コントロール 0L	MB_0[2].CONTROL0L	16	H'FEB42	RCAN-ET_0	16	4P /4P
メールボックス 2_0_LAFMH	MB_0[2].LAFMH	16	H'FEB44	RCAN-ET_0	16	4P /4P
メールボックス 2_0_LAFML	MB_0[2].LAFML	16	H'FEB46	RCAN-ET_0	16	4P /4P
メールボックス 2_0_データ 0	MB_0[2].MSG_DATA[0]	8	H'FEB48	RCAN-ET_0	16	4P /4P
メールボックス 2_0_データ 1	MB_0[2].MSG_DATA[1]	8	H'FEB49	RCAN-ET_0	16	4P /4P
メールボックス 2_0_データ 2	MB_0[2].MSG_DATA[2]	8	H'FEB4A	RCAN-ET_0	16	4P /4P
メールボックス 2_0_データ 3	MB_0[2].MSG_DATA[3]	8	H'FEB4B	RCAN-ET_0	16	4P /4P
メールボックス 2_0_データ 4	MB_0[2].MSG_DATA[4]	8	H'FEB4C	RCAN-ET_0	16	4P /4P
メールボックス 2_0_データ 5	MB_0[2].MSG_DATA[5]	8	H'FEB4D	RCAN-ET_0	16	4P /4P
メールボックス 2_0_データ 6	MB_0[2].MSG_DATA[6]	8	H'FEB4E	RCAN-ET_0	16	4P /4P
メールボックス 2_0_データ 7	MB_0[2].MSG_DATA[7]	8	H'FEB4F	RCAN-ET_0	16	4P /4P
メールボックス 2_0_コントロール 1H	MB_0[2].CONTROL1H	8	H'FEB50	RCAN-ET_0	16	4P /4P
メールボックス 2_0_コントロール 1L	MB_0[2].CONTROL1L	8	H'FEB51	RCAN-ET_0	16	4P /4P
メールボックス 3_0_コントロール 0H	MB_0[3].CONTROL0H	16	H'FEB60	RCAN-ET_0	16	4P /4P
メールボックス 3_0_コントロール 0L	MB_0[3].CONTROL0L	16	H'FEB62	RCAN-ET_0	16	4P /4P
メールボックス 3_0_LAFMH	MB_0[3].LAFMH	16	H'FEB64	RCAN-ET_0	16	4P /4P
メールボックス 3_0_LAFML	MB_0[3].LAFML	16	H'FEB66	RCAN-ET_0	16	4P /4P
メールボックス 3_0_データ 0	MB_0[3].MSG_DATA[0]	8	H'FEB68	RCAN-ET_0	16	4P /4P
メールボックス 3_0_データ 1	MB_0[3].MSG_DATA[1]	8	H'FEB69	RCAN-ET_0	16	4P /4P
メールボックス 3_0_データ 2	MB_0[3].MSG_DATA[2]	8	H'FEB6A	RCAN-ET_0	16	4P /4P
メールボックス 3_0_データ 3	MB_0[3].MSG_DATA[3]	8	H'FEB6B	RCAN-ET_0	16	4P /4P

25. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス *1	モジュール	データ バス幅	アクセス*4 ステート数 (リード/ライト)
メールボックス 3_0_データ 4	MB_0[3].MSG_DATA[4]	8	H'FEB6C	RCAN-ET_0	16	4P /4P
メールボックス 3_0_データ 5	MB_0[3].MSG_DATA[5]	8	H'FEB6D	RCAN-ET_0	16	4P /4P
メールボックス 3_0_データ 6	MB_0[3].MSG_DATA[6]	8	H'FEB6E	RCAN-ET_0	16	4P /4P
メールボックス 3_0_データ 7	MB_0[3].MSG_DATA[7]	8	H'FEB6F	RCAN-ET_0	16	4P /4P
メールボックス 3_0_コントロール 1H	MB_0[3].CONTROL1H	8	H'FEB70	RCAN-ET_0	16	4P /4P
メールボックス 3_0_コントロール 1L	MB_0[3].CONTROL1L	8	H'FEB71	RCAN-ET_0	16	4P /4P
メールボックス 4_0_コントロール 0H	MB_0[4].CONTROL0H	16	H'FEB80	RCAN-ET_0	16	4P /4P
メールボックス 4_0_コントロール 0L	MB_0[4].CONTROL0L	16	H'FEB82	RCAN-ET_0	16	4P /4P
メールボックス 4_0_LAFMH	MB_0[4].LAFMH	16	H'FEB84	RCAN-ET_0	16	4P /4P
メールボックス 4_0_LAFML	MB_0[4].LAFML	16	H'FEB86	RCAN-ET_0	16	4P /4P
メールボックス 4_0_データ 0	MB_0[4].MSG_DATA[0]	8	H'FEB88	RCAN-ET_0	16	4P /4P
メールボックス 4_0_データ 1	MB_0[4].MSG_DATA[1]	8	H'FEB89	RCAN-ET_0	16	4P /4P
メールボックス 4_0_データ 2	MB_0[4].MSG_DATA[2]	8	H'FEB8A	RCAN-ET_0	16	4P /4P
メールボックス 4_0_データ 3	MB_0[4].MSG_DATA[3]	8	H'FEB8B	RCAN-ET_0	16	4P /4P
メールボックス 4_0_データ 4	MB_0[4].MSG_DATA[4]	8	H'FEB8C	RCAN-ET_0	16	4P /4P
メールボックス 4_0_データ 5	MB_0[4].MSG_DATA[5]	8	H'FEB8D	RCAN-ET_0	16	4P /4P
メールボックス 4_0_データ 6	MB_0[4].MSG_DATA[6]	8	H'FEB8E	RCAN-ET_0	16	4P /4P
メールボックス 4_0_データ 7	MB_0[4].MSG_DATA[7]	8	H'FEB8F	RCAN-ET_0	16	4P /4P
メールボックス 4_0_コントロール 1H	MB_0[4].CONTROL1H	8	H'FEB90	RCAN-ET_0	16	4P /4P
メールボックス 4_0_コントロール 1L	MB_0[4].CONTROL1L	8	H'FEB91	RCAN-ET_0	16	4P /4P
メールボックス 5_0_コントロール 0H	MB_0[5].CONTROL0H	16	H'FEBA0	RCAN-ET_0	16	4P /4P
メールボックス 5_0_コントロール 0L	MB_0[5].CONTROL0L	16	H'FEBA2	RCAN-ET_0	16	4P /4P
メールボックス 5_0_LAFMH	MB_0[5].LAFMH	16	H'FEBA4	RCAN-ET_0	16	4P /4P
メールボックス 5_0_LAFML	MB_0[5].LAFML	16	H'FEBA6	RCAN-ET_0	16	4P /4P
メールボックス 5_0_データ 0	MB_0[5].MSG_DATA[0]	8	H'FEBA8	RCAN-ET_0	16	4P /4P
メールボックス 5_0_データ 1	MB_0[5].MSG_DATA[1]	8	H'FEBA9	RCAN-ET_0	16	4P /4P
メールボックス 5_0_データ 2	MB_0[5].MSG_DATA[2]	8	H'FEBA A	RCAN-ET_0	16	4P /4P
メールボックス 5_0_データ 3	MB_0[5].MSG_DATA[3]	8	H'FEBA B	RCAN-ET_0	16	4P /4P
メールボックス 5_0_データ 4	MB_0[5].MSG_DATA[4]	8	H'FEBA C	RCAN-ET_0	16	4P /4P
メールボックス 5_0_データ 5	MB_0[5].MSG_DATA[5]	8	H'FEBA D	RCAN-ET_0	16	4P /4P
メールボックス 5_0_データ 6	MB_0[5].MSG_DATA[6]	8	H'FEBA E	RCAN-ET_0	16	4P /4P
メールボックス 5_0_データ 7	MB_0[5].MSG_DATA[7]	8	H'FEBA F	RCAN-ET_0	16	4P /4P
メールボックス 5_0_コントロール 1H	MB_0[5].CONTROL1H	8	H'FEBB0	RCAN-ET_0	16	4P /4P
メールボックス 5_0_コントロール 1L	MB_0[5].CONTROL1L	8	H'FEBB1	RCAN-ET_0	16	4P /4P
メールボックス 6_0_コントロール 0H	MB_0[6].CONTROL0H	16	H'FEBC0	RCAN-ET_0	16	4P /4P
メールボックス 6_0_コントロール 0L	MB_0[6].CONTROL0L	16	H'FEBC2	RCAN-ET_0	16	4P /4P

25. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス *1	モジュール	データ バス幅	アクセス*4 ステート数 (リード/ライト)
メールボックス 6_0_LAFMH	MB_0[6].LAFMH	16	H'FEBC4	RCAN-ET_0	16	4P /4P
メールボックス 6_0_LAFML	MB_0[6].LAFML	16	H'FEBC6	RCAN-ET_0	16	4P /4P
メールボックス 6_0_データ 0	MB_0[6].MSG_DATA[0]	8	H'FEBC8	RCAN-ET_0	16	4P /4P
メールボックス 6_0_データ 1	MB_0[6].MSG_DATA[1]	8	H'FEBC9	RCAN-ET_0	16	4P /4P
メールボックス 6_0_データ 2	MB_0[6].MSG_DATA[2]	8	H'FEBCA	RCAN-ET_0	16	4P /4P
メールボックス 6_0_データ 3	MB_0[6].MSG_DATA[3]	8	H'FEBCB	RCAN-ET_0	16	4P /4P
メールボックス 6_0_データ 4	MB_0[6].MSG_DATA[4]	8	H'FEBCD	RCAN-ET_0	16	4P /4P
メールボックス 6_0_データ 5	MB_0[6].MSG_DATA[5]	8	H'FEBCD	RCAN-ET_0	16	4P /4P
メールボックス 6_0_データ 6	MB_0[6].MSG_DATA[6]	8	H'FEBCD	RCAN-ET_0	16	4P /4P
メールボックス 6_0_データ 7	MB_0[6].MSG_DATA[7]	8	H'FEBCD	RCAN-ET_0	16	4P /4P
メールボックス 6_0_コントロール 1H	MB_0[6].CONTROL1H	8	H'FEBCD	RCAN-ET_0	16	4P /4P
メールボックス 6_0_コントロール 1L	MB_0[6].CONTROL1L	8	H'FEBCD	RCAN-ET_0	16	4P /4P
メールボックス 7_0_コントロール 0H	MB_0[7].CONTROL0H	16	H'FEBE0	RCAN-ET_0	16	4P /4P
メールボックス 7_0_コントロール 0L	MB_0[7].CONTROL0L	16	H'FEBE2	RCAN-ET_0	16	4P /4P
メールボックス 7_0_LAFMH	MB_0[7].LAFMH	16	H'FEBE4	RCAN-ET_0	16	4P /4P
メールボックス 7_0_LAFML	MB_0[7].LAFML	16	H'FEBE6	RCAN-ET_0	16	4P /4P
メールボックス 7_0_データ 0	MB_0[7].MSG_DATA[0]	8	H'FEBE8	RCAN-ET_0	16	4P /4P
メールボックス 7_0_データ 1	MB_0[7].MSG_DATA[1]	8	H'FEBE9	RCAN-ET_0	16	4P /4P
メールボックス 7_0_データ 2	MB_0[7].MSG_DATA[2]	8	H'FEBEA	RCAN-ET_0	16	4P /4P
メールボックス 7_0_データ 3	MB_0[7].MSG_DATA[3]	8	H'FEBEB	RCAN-ET_0	16	4P /4P
メールボックス 7_0_データ 4	MB_0[7].MSG_DATA[4]	8	H'FEBEC	RCAN-ET_0	16	4P /4P
メールボックス 7_0_データ 5	MB_0[7].MSG_DATA[5]	8	H'FEBED	RCAN-ET_0	16	4P /4P
メールボックス 7_0_データ 6	MB_0[7].MSG_DATA[6]	8	H'FEBEE	RCAN-ET_0	16	4P /4P
メールボックス 7_0_データ 7	MB_0[7].MSG_DATA[7]	8	H'FEBEF	RCAN-ET_0	16	4P /4P
メールボックス 7_0_コントロール 1H	MB_0[7].CONTROL1H	8	H'FEBF0	RCAN-ET_0	16	4P /4P
メールボックス 7_0_コントロール 1L	MB_0[7].CONTROL1L	8	H'FEBF1	RCAN-ET_0	16	4P /4P
メールボックス 8_0_コントロール 0H	MB_0[8].CONTROL0H	16	H'FEC00	RCAN-ET_0	16	4P /4P
メールボックス 8_0_コントロール 0L	MB_0[8].CONTROL0L	16	H'FEC02	RCAN-ET_0	16	4P /4P
メールボックス 8_0_LAFMH	MB_0[8].LAFMH	16	H'FEC04	RCAN-ET_0	16	4P /4P
メールボックス 8_0_LAFML	MB_0[8].LAFML	16	H'FEC06	RCAN-ET_0	16	4P /4P
メールボックス 8_0_データ 0	MB_0[8].MSG_DATA[0]	8	H'FEC08	RCAN-ET_0	16	4P /4P
メールボックス 8_0_データ 1	MB_0[8].MSG_DATA[1]	8	H'FEC09	RCAN-ET_0	16	4P /4P
メールボックス 8_0_データ 2	MB_0[8].MSG_DATA[2]	8	H'FEC0A	RCAN-ET_0	16	4P /4P
メールボックス 8_0_データ 3	MB_0[8].MSG_DATA[3]	8	H'FEC0B	RCAN-ET_0	16	4P /4P
メールボックス 8_0_データ 4	MB_0[8].MSG_DATA[4]	8	H'FEC0C	RCAN-ET_0	16	4P /4P
メールボックス 8_0_データ 5	MB_0[8].MSG_DATA[5]	8	H'FEC0D	RCAN-ET_0	16	4P /4P

25. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス *1	モジュール	データ バス幅	アクセス*4 ステート数 (リード/ライト)
メールボックス 8_0_データ 6	MB_0[8].MSG_DATA[6]	8	H'FEC0E	RCAN-ET_0	16	4P /4P
メールボックス 8_0_データ 7	MB_0[8].MSG_DATA[7]	8	H'FEC0F	RCAN-ET_0	16	4P /4P
メールボックス 8_0_コントロール 1H	MB_0[8].CONTROL1H	8	H'FEC10	RCAN-ET_0	16	4P /4P
メールボックス 8_0_コントロール 1L	MB_0[8].CONTROL1L	8	H'FEC11	RCAN-ET_0	16	4P /4P
メールボックス 9_0_コントロール 0H	MB_0[9].CONTROL0H	16	H'FEC20	RCAN-ET_0	16	4P /4P
メールボックス 9_0_コントロール 0L	MB_0[9].CONTROL0L	16	H'FEC22	RCAN-ET_0	16	4P /4P
メールボックス 9_0_LAFMH	MB_0[9].LAFMH	16	H'FEC24	RCAN-ET_0	16	4P /4P
メールボックス 9_0_LAFML	MB_0[9].LAFML	16	H'FEC26	RCAN-ET_0	16	4P /4P
メールボックス 9_0_データ 0	MB_0[9].MSG_DATA[0]	8	H'FEC28	RCAN-ET_0	16	4P /4P
メールボックス 9_0_データ 1	MB_0[9].MSG_DATA[1]	8	H'FEC29	RCAN-ET_0	16	4P /4P
メールボックス 9_0_データ 2	MB_0[9].MSG_DATA[2]	8	H'FEC2A	RCAN-ET_0	16	4P /4P
メールボックス 9_0_データ 3	MB_0[9].MSG_DATA[3]	8	H'FEC2B	RCAN-ET_0	16	4P /4P
メールボックス 9_0_データ 4	MB_0[9].MSG_DATA[4]	8	H'FEC2C	RCAN-ET_0	16	4P /4P
メールボックス 9_0_データ 5	MB_0[9].MSG_DATA[5]	8	H'FEC2D	RCAN-ET_0	16	4P /4P
メールボックス 9_0_データ 6	MB_0[9].MSG_DATA[6]	8	H'FEC2E	RCAN-ET_0	16	4P /4P
メールボックス 9_0_データ 7	MB_0[9].MSG_DATA[7]	8	H'FEC2F	RCAN-ET_0	16	4P /4P
メールボックス 9_0_コントロール 1H	MB_0[9].CONTROL1H	8	H'FEC30	RCAN-ET_0	16	4P /4P
メールボックス 9_0_コントロール 1L	MB_0[9].CONTROL1L	8	H'FEC31	RCAN-ET_0	16	4P /4P
メールボックス 10_0_コントロール 0H	MB_0[10].CONTROL0H	16	H'FEC40	RCAN-ET_0	16	4P /4P
メールボックス 10_0_コントロール 0L	MB_0[10].CONTROL0L	16	H'FEC42	RCAN-ET_0	16	4P /4P
メールボックス 10_0_LAFMH	MB_0[10].LAFMH	16	H'FEC44	RCAN-ET_0	16	4P /4P
メールボックス 10_0_LAFML	MB_0[10].LAFML	16	H'FEC46	RCAN-ET_0	16	4P /4P
メールボックス 10_0_データ 0	MB_0[10].MSG_DATA[0]	8	H'FEC48	RCAN-ET_0	16	4P /4P
メールボックス 10_0_データ 1	MB_0[10].MSG_DATA[1]	8	H'FEC49	RCAN-ET_0	16	4P /4P
メールボックス 10_0_データ 2	MB_0[10].MSG_DATA[2]	8	H'FEC4A	RCAN-ET_0	16	4P /4P
メールボックス 10_0_データ 3	MB_0[10].MSG_DATA[3]	8	H'FEC4B	RCAN-ET_0	16	4P /4P
メールボックス 10_0_データ 4	MB_0[10].MSG_DATA[4]	8	H'FEC4C	RCAN-ET_0	16	4P /4P
メールボックス 10_0_データ 5	MB_0[10].MSG_DATA[5]	8	H'FEC4D	RCAN-ET_0	16	4P /4P
メールボックス 10_0_データ 6	MB_0[10].MSG_DATA[6]	8	H'FEC4E	RCAN-ET_0	16	4P /4P
メールボックス 10_0_データ 7	MB_0[10].MSG_DATA[7]	8	H'FEC4F	RCAN-ET_0	16	4P /4P
メールボックス 10_0_コントロール 1H	MB_0[10].CONTROL1H	8	H'FEC50	RCAN-ET_0	16	4P /4P
メールボックス 10_0_コントロール 1L	MB_0[10].CONTROL1L	8	H'FEC51	RCAN-ET_0	16	4P /4P
メールボックス 11_0_コントロール 0H	MB_0[11].CONTROL0H	16	H'FEC60	RCAN-ET_0	16	4P /4P
メールボックス 11_0_コントロール 0L	MB_0[11].CONTROL0L	16	H'FEC62	RCAN-ET_0	16	4P /4P
メールボックス 11_0_LAFMH	MB_0[11].LAFMH	16	H'FEC64	RCAN-ET_0	16	4P /4P
メールボックス 11_0_LAFML	MB_0[11].LAFML	16	H'FEC66	RCAN-ET_0	16	4P /4P

25. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス ※1	モジュール	データ バス幅	アクセス※4 ステート数 (リード/ライト)
メールボックス 11_0_データ 0	MB_0[11].MSG_DATA[0]	8	H'FEC68	RCAN-ET_0	16	4P /4P
メールボックス 11_0_データ 1	MB_0[11].MSG_DATA[1]	8	H'FEC69	RCAN-ET_0	16	4P /4P
メールボックス 11_0_データ 2	MB_0[11].MSG_DATA[2]	8	H'FEC6A	RCAN-ET_0	16	4P /4P
メールボックス 11_0_データ 3	MB_0[11].MSG_DATA[3]	8	H'FEC6B	RCAN-ET_0	16	4P /4P
メールボックス 11_0_データ 4	MB_0[11].MSG_DATA[4]	8	H'FEC6C	RCAN-ET_0	16	4P /4P
メールボックス 11_0_データ 5	MB_0[11].MSG_DATA[5]	8	H'FEC6D	RCAN-ET_0	16	4P /4P
メールボックス 11_0_データ 6	MB_0[11].MSG_DATA[6]	8	H'FEC6E	RCAN-ET_0	16	4P /4P
メールボックス 11_0_データ 7	MB_0[11].MSG_DATA[7]	8	H'FEC6F	RCAN-ET_0	16	4P /4P
メールボックス 11_0_コントロール 1H	MB_0[11].CONTROL1H	8	H'FEC70	RCAN-ET_0	16	4P /4P
メールボックス 11_0_コントロール 1L	MB_0[11].CONTROL1L	8	H'FEC71	RCAN-ET_0	16	4P /4P
メールボックス 12_0_コントロール 0H	MB_0[12].CONTROL0H	16	H'FEC80	RCAN-ET_0	16	4P /4P
メールボックス 12_0_コントロール 0L	MB_0[12].CONTROL0L	16	H'FEC82	RCAN-ET_0	16	4P /4P
メールボックス 12_0_LAFMH	MB_0[12].LAFMH	16	H'FEC84	RCAN-ET_0	16	4P /4P
メールボックス 12_0_LAFML	MB_0[12].LAFML	16	H'FEC86	RCAN-ET_0	16	4P /4P
メールボックス 12_0_データ 0	MB_0[12].MSG_DATA[0]	8	H'FEC88	RCAN-ET_0	16	4P /4P
メールボックス 12_0_データ 1	MB_0[12].MSG_DATA[1]	8	H'FEC89	RCAN-ET_0	16	4P /4P
メールボックス 12_0_データ 2	MB_0[12].MSG_DATA[2]	8	H'FEC8A	RCAN-ET_0	16	4P /4P
メールボックス 12_0_データ 3	MB_0[12].MSG_DATA[3]	8	H'FEC8B	RCAN-ET_0	16	4P /4P
メールボックス 12_0_データ 4	MB_0[12].MSG_DATA[4]	8	H'FEC8C	RCAN-ET_0	16	4P /4P
メールボックス 12_0_データ 5	MB_0[12].MSG_DATA[5]	8	H'FEC8D	RCAN-ET_0	16	4P /4P
メールボックス 12_0_データ 6	MB_0[12].MSG_DATA[6]	8	H'FEC8E	RCAN-ET_0	16	4P /4P
メールボックス 12_0_データ 7	MB_0[12].MSG_DATA[7]	8	H'FEC8F	RCAN-ET_0	16	4P /4P
メールボックス 12_0_コントロール 1H	MB_0[12].CONTROL1H	8	H'FEC90	RCAN-ET_0	16	4P /4P
メールボックス 12_0_コントロール 1L	MB_0[12].CONTROL1L	8	H'FEC91	RCAN-ET_0	16	4P /4P
メールボックス 13_0_コントロール 0H	MB_0[13].CONTROL0H	16	H'FECA0	RCAN-ET_0	16	4P /4P
メールボックス 13_0_コントロール 0L	MB_0[13].CONTROL0L	16	H'FECA2	RCAN-ET_0	16	4P /4P
メールボックス 13_0_LAFMH	MB_0[13].LAFMH	16	H'FECA4	RCAN-ET_0	16	4P /4P
メールボックス 13_0_LAFML	MB_0[13].LAFML	16	H'FECA6	RCAN-ET_0	16	4P /4P
メールボックス 13_0_データ 0	MB_0[13].MSG_DATA[0]	8	H'FECA8	RCAN-ET_0	16	4P /4P
メールボックス 13_0_データ 1	MB_0[13].MSG_DATA[1]	8	H'FECA9	RCAN-ET_0	16	4P /4P
メールボックス 13_0_データ 2	MB_0[13].MSG_DATA[2]	8	H'FECAA	RCAN-ET_0	16	4P /4P
メールボックス 13_0_データ 3	MB_0[13].MSG_DATA[3]	8	H'FECA B	RCAN-ET_0	16	4P /4P
メールボックス 13_0_データ 4	MB_0[13].MSG_DATA[4]	8	H'FECA C	RCAN-ET_0	16	4P /4P
メールボックス 13_0_データ 5	MB_0[13].MSG_DATA[5]	8	H'FECA D	RCAN-ET_0	16	4P /4P
メールボックス 13_0_データ 6	MB_0[13].MSG_DATA[6]	8	H'FECA E	RCAN-ET_0	16	4P /4P
メールボックス 13_0_データ 7	MB_0[13].MSG_DATA[7]	8	H'FECA F	RCAN-ET_0	16	4P /4P

25. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス *1	モジュール	データ バス幅	アクセス*4 ステート数 (リード/ライト)
メールボックス 13_0_コントロール 1H	MB_0[13].CONTROL1H	8	H'FECB0	RCAN-ET_0	16	4P /4P
メールボックス 13_0_コントロール 1L	MB_0[13].CONTROL1L	8	H'FECB1	RCAN-ET_0	16	4P /4P
メールボックス 14_0_コントロール 0H	MB_0[14].CONTROL0H	16	H'FECC0	RCAN-ET_0	16	4P /4P
メールボックス 14_0_コントロール 0L	MB_0[14].CONTROL0L	16	H'FECC2	RCAN-ET_0	16	4P /4P
メールボックス 14_0_LAFMH	MB_0[14].LAFMH	16	H'FECC4	RCAN-ET_0	16	4P /4P
メールボックス 14_0_LAFML	MB_0[14].LAFML	16	H'FECC6	RCAN-ET_0	16	4P /4P
メールボックス 14_0_データ 0	MB_0[14].MSG_DATA[0]	8	H'FECC8	RCAN-ET_0	16	4P /4P
メールボックス 14_0_データ 1	MB_0[14].MSG_DATA[1]	8	H'FECC9	RCAN-ET_0	16	4P /4P
メールボックス 14_0_データ 2	MB_0[14].MSG_DATA[2]	8	H'FECCA	RCAN-ET_0	16	4P /4P
メールボックス 14_0_データ 3	MB_0[14].MSG_DATA[3]	8	H'FECCB	RCAN-ET_0	16	4P /4P
メールボックス 14_0_データ 4	MB_0[14].MSG_DATA[4]	8	H'FECCC	RCAN-ET_0	16	4P /4P
メールボックス 14_0_データ 5	MB_0[14].MSG_DATA[5]	8	H'FECCD	RCAN-ET_0	16	4P /4P
メールボックス 14_0_データ 6	MB_0[14].MSG_DATA[6]	8	H'FECC E	RCAN-ET_0	16	4P /4P
メールボックス 14_0_データ 7	MB_0[14].MSG_DATA[7]	8	H'FECCF	RCAN-ET_0	16	4P /4P
メールボックス 14_0_コントロール 1H	MB_0[14].CONTROL1H	8	H'FECD0	RCAN-ET_0	16	4P /4P
メールボックス 14_0_コントロール 1L	MB_0[14].CONTROL1L	8	H'FECD1	RCAN-ET_0	16	4P /4P
メールボックス 15_0_コントロール 0H	MB_0[15].CONTROL0H	16	H'FECE0	RCAN-ET_0	16	4P /4P
メールボックス 15_0_コントロール 0L	MB_0[15].CONTROL0L	16	H'FECE2	RCAN-ET_0	16	4P /4P
メールボックス 15_0_LAFMH	MB_0[15].LAFMH	16	H'FECE4	RCAN-ET_0	16	4P /4P
メールボックス 15_0_LAFML	MB_0[15].LAFML	16	H'FECE6	RCAN-ET_0	16	4P /4P
メールボックス 15_0_データ 0	MB_0[15].MSG_DATA[0]	8	H'FECE8	RCAN-ET_0	16	4P /4P
メールボックス 15_0_データ 1	MB_0[15].MSG_DATA[1]	8	H'FECE9	RCAN-ET_0	16	4P /4P
メールボックス 15_0_データ 2	MB_0[15].MSG_DATA[2]	8	H'FECEA	RCAN-ET_0	16	4P /4P
メールボックス 15_0_データ 3	MB_0[15].MSG_DATA[3]	8	H'FECEB	RCAN-ET_0	16	4P /4P
メールボックス 15_0_データ 4	MB_0[15].MSG_DATA[4]	8	H'FECEC	RCAN-ET_0	16	4P /4P
メールボックス 15_0_データ 5	MB_0[15].MSG_DATA[5]	8	H'FECED	RCAN-ET_0	16	4P /4P
メールボックス 15_0_データ 6	MB_0[15].MSG_DATA[6]	8	H'FECEE	RCAN-ET_0	16	4P /4P
メールボックス 15_0_データ 7	MB_0[15].MSG_DATA[7]	8	H'FECEF	RCAN-ET_0	16	4P /4P
メールボックス 15_0_コントロール 1H	MB_0[15].CONTROL1H	8	H'FECF0	RCAN-ET_0	16	4P /4P
メールボックス 15_0_コントロール 1L	MB_0[15].CONTROL1L	8	H'FECF1	RCAN-ET_0	16	4P /4P
マスタコントロールレジスタ_1	MCR_1	16	H'FF000	RCAN-ET_1	16	4P /4P
ジェネラルステータスレジスタ_1	GSR_1	16	H'FF002	RCAN-ET_1	16	4P /4P
ビットコンフィギュレーション レジスタ 1_1	BCR1_1	16	H'FF004	RCAN-ET_1	16	4P /4P
ビットコンフィギュレーション レジスタ 0_1	BCR0_1	16	H'FF006	RCAN-ET_1	16	4P /4P
インタラプトリクエストレジスタ_1	IRR_1	16	H'FF008	RCAN-ET_1	16	4P /4P

25. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス *1	モジュール	データ バス幅	アクセス*4 ステート数 (リード/ライト)
インタラプトマスクレジスタ_1	IMR_1	16	H'FF00A	RCAN-ET_1	16	4P /4P
送信エラーカウンタ_1	TEC_1	16	H'FF00C	RCAN-ET_1	16	4P /4P
受信エラーカウンタ_1	REC_1					
送信待ちレジスタ 1_1	TXPR1_1	16	H'FF020	RCAN-ET_1	16	4P /4P
送信待ちレジスタ 0_1	TXPR0_1	16	H'FF022	RCAN-ET_1	16	4P /4P
送信キャンセルレジスタ 0_1	TXCR0_1	16	H'FF02A	RCAN-ET_1	16	4P /4P
送信アクノリッジレジスタ 0_1	TXACK0_1	16	H'FF032	RCAN-ET_1	16	4P /4P
アボートアクノリッジレジスタ 0_1	ABACK0_1	16	H'FF03A	RCAN-ET_1	16	4P /4P
データフレーム受信完了レジスタ 0_1	RXPR0_1	16	H'FF042	RCAN-ET_1	16	4P /4P
リモートフレーム受信完了レジスタ 0_1	RFPR0_1	16	H'FF04A	RCAN-ET_1	16	4P /4P
メールボックスインタラプトマスク レジスタ 0_1	MBIMR0_1	16	H'FF052	RCAN-ET_1	16	4P /4P
未読メッセージステータスレジスタ 0_1	UMSR0_1	16	H'FF05A	RCAN-ET_1	16	4P /4P
メールボックス 0_1_コントロール 0H	MB_1[0].CONTROL0H	16	H'FF100	RCAN-ET_1	16	4P /4P
メールボックス 0_1_コントロール 0L	MB_1[0].CONTROL0L	16	H'FF102	RCAN-ET_1	16	4P /4P
メールボックス 0_1_LAFMH	MB_1[0].LAFMH	16	H'FF104	RCAN-ET_1	16	4P /4P
メールボックス 0_1_LAFML	MB_1[0].LAFML	16	H'FF106	RCAN-ET_1	16	4P /4P
メールボックス 0_1_データ 0	MB_1[0].MSG_DATA[0]	8	H'FF108	RCAN-ET_1	16	4P /4P
メールボックス 0_1_データ 1	MB_1[0].MSG_DATA[1]	8	H'FF109	RCAN-ET_1	16	4P /4P
メールボックス 0_1_データ 2	MB_1[0].MSG_DATA[2]	8	H'FF10A	RCAN-ET_1	16	4P /4P
メールボックス 0_1_データ 3	MB_1[0].MSG_DATA[3]	8	H'FF10B	RCAN-ET_1	16	4P /4P
メールボックス 0_1_データ 4	MB_1[0].MSG_DATA[4]	8	H'FF10C	RCAN-ET_1	16	4P /4P
メールボックス 0_1_データ 5	MB_1[0].MSG_DATA[5]	8	H'FF10D	RCAN-ET_1	16	4P /4P
メールボックス 0_1_データ 6	MB_1[0].MSG_DATA[6]	8	H'FF10E	RCAN-ET_1	16	4P /4P
メールボックス 0_1_データ 7	MB_1[0].MSG_DATA[7]	8	H'FF10F	RCAN-ET_1	16	4P /4P
メールボックス 0_1_コントロール 1H	MB_1[0].CONTROL1H	8	H'FF110	RCAN-ET_1	16	4P /4P
メールボックス 0_1_コントロール 1L	MB_1[0].CONTROL1L	8	H'FF111	RCAN-ET_1	16	4P /4P
メールボックス 1_1_コントロール 0H	MB_1[1].CONTROL0H	16	H'FF120	RCAN-ET_1	16	4P /4P
メールボックス 1_1_コントロール 0L	MB_1[1].CONTROL0L	16	H'FF122	RCAN-ET_1	16	4P /4P
メールボックス 1_1_LAFMH	MB_1[1].LAFMH	16	H'FF124	RCAN-ET_1	16	4P /4P
メールボックス 1_1_LAFML	MB_1[1].LAFML	16	H'FF126	RCAN-ET_1	16	4P /4P
メールボックス 1_1_データ 0	MB_1[1].MSG_DATA[0]	8	H'FF128	RCAN-ET_1	16	4P /4P
メールボックス 1_1_データ 1	MB_1[1].MSG_DATA[1]	8	H'FF129	RCAN-ET_1	16	4P /4P
メールボックス 1_1_データ 2	MB_1[1].MSG_DATA[2]	8	H'FF12A	RCAN-ET_1	16	4P /4P
メールボックス 1_1_データ 3	MB_1[1].MSG_DATA[3]	8	H'FF12B	RCAN-ET_1	16	4P /4P
メールボックス 1_1_データ 4	MB_1[1].MSG_DATA[4]	8	H'FF12C	RCAN-ET_1	16	4P /4P

25. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス *1	モジュール	データ バス幅	アクセス*4 ステート数 (リード/ライト)
メールボックス 1_1_データ 5	MB_1[1].MSG_DATA[5]	8	H'FF12D	RCAN-ET_1	16	4P /4P
メールボックス 1_1_データ 6	MB_1[1].MSG_DATA[6]	8	H'FF12E	RCAN-ET_1	16	4P /4P
メールボックス 1_1_データ 7	MB_1[1].MSG_DATA[7]	8	H'FF12F	RCAN-ET_1	16	4P /4P
メールボックス 1_1_コントロール 1H	MB_1[1].CONTROL1H	8	H'FF130	RCAN-ET_1	16	4P /4P
メールボックス 1_1_コントロール 1L	MB_1[1].CONTROL1L	8	H'FF131	RCAN-ET_1	16	4P /4P
メールボックス 2_1_コントロール 0H	MB_1[2].CONTROL0H	16	H'FF140	RCAN-ET_1	16	4P /4P
メールボックス 2_1_コントロール 0L	MB_1[2].CONTROL0L	16	H'FF142	RCAN-ET_1	16	4P /4P
メールボックス 2_1_LAFMH	MB_1[2].LAFMH	16	H'FF144	RCAN-ET_1	16	4P /4P
メールボックス 2_1_LAFML	MB_1[2].LAFML	16	H'FF146	RCAN-ET_1	16	4P /4P
メールボックス 2_1_データ 0	MB_1[2].MSG_DATA[0]	8	H'FF148	RCAN-ET_1	16	4P /4P
メールボックス 2_1_データ 1	MB_1[2].MSG_DATA[1]	8	H'FF149	RCAN-ET_1	16	4P /4P
メールボックス 2_1_データ 2	MB_1[2].MSG_DATA[2]	8	H'FF14A	RCAN-ET_1	16	4P /4P
メールボックス 2_1_データ 3	MB_1[2].MSG_DATA[3]	8	H'FF14B	RCAN-ET_1	16	4P /4P
メールボックス 2_1_データ 4	MB_1[2].MSG_DATA[4]	8	H'FF14C	RCAN-ET_1	16	4P /4P
メールボックス 2_1_データ 5	MB_1[2].MSG_DATA[5]	8	H'FF14D	RCAN-ET_1	16	4P /4P
メールボックス 2_1_データ 6	MB_1[2].MSG_DATA[6]	8	H'FF14E	RCAN-ET_1	16	4P /4P
メールボックス 2_1_データ 7	MB_1[2].MSG_DATA[7]	8	H'FF14F	RCAN-ET_1	16	4P /4P
メールボックス 2_1_コントロール 1H	MB_1[2].CONTROL1H	8	H'FF150	RCAN-ET_1	16	4P /4P
メールボックス 2_1_コントロール 1L	MB_1[2].CONTROL1L	8	H'FF151	RCAN-ET_1	16	4P /4P
メールボックス 3_1_コントロール 0H	MB_1[3].CONTROL0H	16	H'FF160	RCAN-ET_1	16	4P /4P
メールボックス 3_1_コントロール 0L	MB_1[3].CONTROL0L	16	H'FF162	RCAN-ET_1	16	4P /4P
メールボックス 3_1_LAFMH	MB_1[3].LAFMH	16	H'FF164	RCAN-ET_1	16	4P /4P
メールボックス 3_1_LAFML	MB_1[3].LAFML	16	H'FF166	RCAN-ET_1	16	4P /4P
メールボックス 3_1_データ 0	MB_1[3].MSG_DATA[0]	8	H'FF168	RCAN-ET_1	16	4P /4P
メールボックス 3_1_データ 1	MB_1[3].MSG_DATA[1]	8	H'FF169	RCAN-ET_1	16	4P /4P
メールボックス 3_1_データ 2	MB_1[3].MSG_DATA[2]	8	H'FF16A	RCAN-ET_1	16	4P /4P
メールボックス 3_1_データ 3	MB_1[3].MSG_DATA[3]	8	H'FF16B	RCAN-ET_1	16	4P /4P
メールボックス 3_1_データ 4	MB_1[3].MSG_DATA[4]	8	H'FF16C	RCAN-ET_1	16	4P /4P
メールボックス 3_1_データ 5	MB_1[3].MSG_DATA[5]	8	H'FF16D	RCAN-ET_1	16	4P /4P
メールボックス 3_1_データ 6	MB_1[3].MSG_DATA[6]	8	H'FF16E	RCAN-ET_1	16	4P /4P
メールボックス 3_1_データ 7	MB_1[3].MSG_DATA[7]	8	H'FF16F	RCAN-ET_1	16	4P /4P
メールボックス 3_1_コントロール 1H	MB_1[3].CONTROL1H	8	H'FF170	RCAN-ET_1	16	4P /4P
メールボックス 3_1_コントロール 1L	MB_1[3].CONTROL1L	8	H'FF171	RCAN-ET_1	16	4P /4P
メールボックス 4_1_コントロール 0H	MB_1[4].CONTROL0H	16	H'FF180	RCAN-ET_1	16	4P /4P
メールボックス 4_1_コントロール 0L	MB_1[4].CONTROL0L	16	H'FF182	RCAN-ET_1	16	4P /4P
メールボックス 4_1_LAFMH	MB_1[4].LAFMH	16	H'FF184	RCAN-ET_1	16	4P /4P

レジスタ名称	略称	ビット数	アドレス *1	モジュール	データ バス幅	アクセス*4 ステート数 (リード/ライト)
メールボックス 4_1_LAFML	MB_1[4].LAFML	16	H'FF186	RCAN-ET_1	16	4P /4P
メールボックス 4_1_データ 0	MB_1[4].MSG_DATA[0]	8	H'FF188	RCAN-ET_1	16	4P /4P
メールボックス 4_1_データ 1	MB_1[4].MSG_DATA[1]	8	H'FF189	RCAN-ET_1	16	4P /4P
メールボックス 4_1_データ 2	MB_1[4].MSG_DATA[2]	8	H'FF18A	RCAN-ET_1	16	4P /4P
メールボックス 4_1_データ 3	MB_1[4].MSG_DATA[3]	8	H'FF18B	RCAN-ET_1	16	4P /4P
メールボックス 4_1_データ 4	MB_1[4].MSG_DATA[4]	8	H'FF18C	RCAN-ET_1	16	4P /4P
メールボックス 4_1_データ 5	MB_1[4].MSG_DATA[5]	8	H'FF18D	RCAN-ET_1	16	4P /4P
メールボックス 4_1_データ 6	MB_1[4].MSG_DATA[6]	8	H'FF18E	RCAN-ET_1	16	4P /4P
メールボックス 4_1_データ 7	MB_1[4].MSG_DATA[7]	8	H'FF18F	RCAN-ET_1	16	4P /4P
メールボックス 4_1_コントロール 1H	MB_1[4].CONTROL1H	8	H'FF190	RCAN-ET_1	16	4P /4P
メールボックス 4_1_コントロール 1L	MB_1[4].CONTROL1L	8	H'FF191	RCAN-ET_1	16	4P /4P
メールボックス 5_1_コントロール 0H	MB_1[5].CONTROL0H	16	H'FF1A0	RCAN-ET_1	16	4P /4P
メールボックス 5_1_コントロール 0L	MB_1[5].CONTROL0L	16	H'FF1A2	RCAN-ET_1	16	4P /4P
メールボックス 5_1_LAFMH	MB_1[5].LAFMH	16	H'FF1A4	RCAN-ET_1	16	4P /4P
メールボックス 5_1_LAFML	MB_1[5].LAFML	16	H'FF1A6	RCAN-ET_1	16	4P /4P
メールボックス 5_1_データ 0	MB_1[5].MSG_DATA[0]	8	H'FF1A8	RCAN-ET_1	16	4P /4P
メールボックス 5_1_データ 1	MB_1[5].MSG_DATA[1]	8	H'FF1A9	RCAN-ET_1	16	4P /4P
メールボックス 5_1_データ 2	MB_1[5].MSG_DATA[2]	8	H'FF1AA	RCAN-ET_1	16	4P /4P
メールボックス 5_1_データ 3	MB_1[5].MSG_DATA[3]	8	H'FF1AB	RCAN-ET_1	16	4P /4P
メールボックス 5_1_データ 4	MB_1[5].MSG_DATA[4]	8	H'FF1AC	RCAN-ET_1	16	4P /4P
メールボックス 5_1_データ 5	MB_1[5].MSG_DATA[5]	8	H'FF1AD	RCAN-ET_1	16	4P /4P
メールボックス 5_1_データ 6	MB_1[5].MSG_DATA[6]	8	H'FF1AE	RCAN-ET_1	16	4P /4P
メールボックス 5_1_データ 7	MB_1[5].MSG_DATA[7]	8	H'FF1AF	RCAN-ET_1	16	4P /4P
メールボックス 5_1_コントロール 1H	MB_1[5].CONTROL1H	8	H'FF1B0	RCAN-ET_1	16	4P /4P
メールボックス 5_1_コントロール 1L	MB_1[5].CONTROL1L	8	H'FF1B1	RCAN-ET_1	16	4P /4P
メールボックス 6_1_コントロール 0H	MB_1[6].CONTROL0H	16	H'FF1C0	RCAN-ET_1	16	4P /4P
メールボックス 6_1_コントロール 0L	MB_1[6].CONTROL0L	16	H'FF1C2	RCAN-ET_1	16	4P /4P
メールボックス 6_1_LAFMH	MB_1[6].LAFMH	16	H'FF1C4	RCAN-ET_1	16	4P /4P
メールボックス 6_1_LAFML	MB_1[6].LAFML	16	H'FF1C6	RCAN-ET_1	16	4P /4P
メールボックス 6_1_データ 0	MB_1[6].MSG_DATA[0]	8	H'FF1C8	RCAN-ET_1	16	4P /4P
メールボックス 6_1_データ 1	MB_1[6].MSG_DATA[1]	8	H'FF1C9	RCAN-ET_1	16	4P /4P
メールボックス 6_1_データ 2	MB_1[6].MSG_DATA[2]	8	H'FF1CA	RCAN-ET_1	16	4P /4P
メールボックス 6_1_データ 3	MB_1[6].MSG_DATA[3]	8	H'FF1CB	RCAN-ET_1	16	4P /4P
メールボックス 6_1_データ 4	MB_1[6].MSG_DATA[4]	8	H'FF1CC	RCAN-ET_1	16	4P /4P
メールボックス 6_1_データ 5	MB_1[6].MSG_DATA[5]	8	H'FF1CD	RCAN-ET_1	16	4P /4P
メールボックス 6_1_データ 6	MB_1[6].MSG_DATA[6]	8	H'FF1CE	RCAN-ET_1	16	4P /4P

25. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス *1	モジュール	データ バス幅	アクセス*4 ステート数 (リード/ライト)
メールボックス 6_1_データ 7	MB_1[6].MSG_DATA[7]	8	H'FF1CF	RCAN-ET_1	16	4P /4P
メールボックス 6_1_コントロール 1H	MB_1[6].CONTROL1H	8	H'FF1D0	RCAN-ET_1	16	4P /4P
メールボックス 6_1_コントロール 1L	MB_1[6].CONTROL1L	8	H'FF1D1	RCAN-ET_1	16	4P /4P
メールボックス 7_1_コントロール 0H	MB_1[7].CONTROL0H	16	H'FF1E0	RCAN-ET_1	16	4P /4P
メールボックス 7_1_コントロール 0L	MB_1[7].CONTROL0L	16	H'FF1E2	RCAN-ET_1	16	4P /4P
メールボックス 7_1_LAFMH	MB_1[7].LAFMH	16	H'FF1E4	RCAN-ET_1	16	4P /4P
メールボックス 7_1_LAFML	MB_1[7].LAFML	16	H'FF1E6	RCAN-ET_1	16	4P /4P
メールボックス 7_1_データ 0	MB_1[7].MSG_DATA[0]	8	H'FF1E8	RCAN-ET_1	16	4P /4P
メールボックス 7_1_データ 1	MB_1[7].MSG_DATA[1]	8	H'FF1E9	RCAN-ET_1	16	4P /4P
メールボックス 7_1_データ 2	MB_1[7].MSG_DATA[2]	8	H'FF1EA	RCAN-ET_1	16	4P /4P
メールボックス 7_1_データ 3	MB_1[7].MSG_DATA[3]	8	H'FF1EB	RCAN-ET_1	16	4P /4P
メールボックス 7_1_データ 4	MB_1[7].MSG_DATA[4]	8	H'FF1EC	RCAN-ET_1	16	4P /4P
メールボックス 7_1_データ 5	MB_1[7].MSG_DATA[5]	8	H'FF1ED	RCAN-ET_1	16	4P /4P
メールボックス 7_1_データ 6	MB_1[7].MSG_DATA[6]	8	H'FF1EE	RCAN-ET_1	16	4P /4P
メールボックス 7_1_データ 7	MB_1[7].MSG_DATA[7]	8	H'FF1EF	RCAN-ET_1	16	4P /4P
メールボックス 7_1_コントロール 1H	MB_1[7].CONTROL1H	8	H'FF1F0	RCAN-ET_1	16	4P /4P
メールボックス 7_1_コントロール 1L	MB_1[7].CONTROL1L	8	H'FF1F1	RCAN-ET_1	16	4P /4P
メールボックス 8_1_コントロール 0H	MB_1[8].CONTROL0H	16	H'FF200	RCAN-ET_1	16	4P /4P
メールボックス 8_1_コントロール 0L	MB_1[8].CONTROL0L	16	H'FF202	RCAN-ET_1	16	4P /4P
メールボックス 8_1_LAFMH	MB_1[8].LAFMH	16	H'FF204	RCAN-ET_1	16	4P /4P
メールボックス 8_1_LAFML	MB_1[8].LAFML	16	H'FF206	RCAN-ET_1	16	4P /4P
メールボックス 8_1_データ 0	MB_1[8].MSG_DATA[0]	8	H'FF208	RCAN-ET_1	16	4P /4P
メールボックス 8_1_データ 1	MB_1[8].MSG_DATA[1]	8	H'FF209	RCAN-ET_1	16	4P /4P
メールボックス 8_1_データ 2	MB_1[8].MSG_DATA[2]	8	H'FF20A	RCAN-ET_1	16	4P /4P
メールボックス 8_1_データ 3	MB_1[8].MSG_DATA[3]	8	H'FF20B	RCAN-ET_1	16	4P /4P
メールボックス 8_1_データ 4	MB_1[8].MSG_DATA[4]	8	H'FF20C	RCAN-ET_1	16	4P /4P
メールボックス 8_1_データ 5	MB_1[8].MSG_DATA[5]	8	H'FF20D	RCAN-ET_1	16	4P /4P
メールボックス 8_1_データ 6	MB_1[8].MSG_DATA[6]	8	H'FF20E	RCAN-ET_1	16	4P /4P
メールボックス 8_1_データ 7	MB_1[8].MSG_DATA[7]	8	H'FF20F	RCAN-ET_1	16	4P /4P
メールボックス 8_1_コントロール 1H	MB_1[8].CONTROL1H	8	H'FF210	RCAN-ET_1	16	4P /4P
メールボックス 8_1_コントロール 1L	MB_1[8].CONTROL1L	8	H'FF211	RCAN-ET_1	16	4P /4P
メールボックス 9_1_コントロール 0H	MB_1[9].CONTROL0H	16	H'FF220	RCAN-ET_1	16	4P /4P
メールボックス 9_1_コントロール 0L	MB_1[9].CONTROL0L	16	H'FF222	RCAN-ET_1	16	4P /4P
メールボックス 9_1_LAFMH	MB_1[9].LAFMH	16	H'FF224	RCAN-ET_1	16	4P /4P
メールボックス 9_1_LAFML	MB_1[9].LAFML	16	H'FF226	RCAN-ET_1	16	4P /4P
メールボックス 9_1_データ 0	MB_1[9].MSG_DATA[0]	8	H'FF228	RCAN-ET_1	16	4P /4P

レジスタ名称	略称	ビット数	アドレス *1	モジュール	データ バス幅	アクセス*4 ステート数 (リード/ライト)
メールボックス 9_1_データ 1	MB_1[9].MSG_DATA[1]	8	H'FF229	RCAN-ET_1	16	4P /4P
メールボックス 9_1_データ 2	MB_1[9].MSG_DATA[2]	8	H'FF22A	RCAN-ET_1	16	4P /4P
メールボックス 9_1_データ 3	MB_1[9].MSG_DATA[3]	8	H'FF22B	RCAN-ET_1	16	4P /4P
メールボックス 9_1_データ 4	MB_1[9].MSG_DATA[4]	8	H'FF22C	RCAN-ET_1	16	4P /4P
メールボックス 9_1_データ 5	MB_1[9].MSG_DATA[5]	8	H'FF22D	RCAN-ET_1	16	4P /4P
メールボックス 9_1_データ 6	MB_1[9].MSG_DATA[6]	8	H'FF22E	RCAN-ET_1	16	4P /4P
メールボックス 9_1_データ 7	MB_1[9].MSG_DATA[7]	8	H'FF22F	RCAN-ET_1	16	4P /4P
メールボックス 9_1_コントロール 1H	MB_1[9].CONTROL1H	8	H'FF230	RCAN-ET_1	16	4P /4P
メールボックス 9_1_コントロール 1L	MB_1[9].CONTROL1L	8	H'FF231	RCAN-ET_1	16	4P /4P
メールボックス 10_1_コントロール 0H	MB_1[10].CONTROL0H	16	H'FF240	RCAN-ET_1	16	4P /4P
メールボックス 10_1_コントロール 0L	MB_1[10].CONTROL0L	16	H'FF242	RCAN-ET_1	16	4P /4P
メールボックス 10_1_LAFMH	MB_1[10].LAFMH	16	H'FF244	RCAN-ET_1	16	4P /4P
メールボックス 10_1_LAFML	MB_1[10].LAFML	16	H'FF246	RCAN-ET_1	16	4P /4P
メールボックス 10_1_データ 0	MB_1[10].MSG_DATA[0]	8	H'FF248	RCAN-ET_1	16	4P /4P
メールボックス 10_1_データ 1	MB_1[10].MSG_DATA[1]	8	H'FF249	RCAN-ET_1	16	4P /4P
メールボックス 10_1_データ 2	MB_1[10].MSG_DATA[2]	8	H'FF24A	RCAN-ET_1	16	4P /4P
メールボックス 10_1_データ 3	MB_1[10].MSG_DATA[3]	8	H'FF24B	RCAN-ET_1	16	4P /4P
メールボックス 10_1_データ 4	MB_1[10].MSG_DATA[4]	8	H'FF24C	RCAN-ET_1	16	4P /4P
メールボックス 10_1_データ 5	MB_1[10].MSG_DATA[5]	8	H'FF24D	RCAN-ET_1	16	4P /4P
メールボックス 10_1_データ 6	MB_1[10].MSG_DATA[6]	8	H'FF24E	RCAN-ET_1	16	4P /4P
メールボックス 10_1_データ 7	MB_1[10].MSG_DATA[7]	8	H'FF24F	RCAN-ET_1	16	4P /4P
メールボックス 10_1_コントロール 1H	MB_1[10].CONTROL1H	8	H'FF250	RCAN-ET_1	16	4P /4P
メールボックス 10_1_コントロール 1L	MB_1[10].CONTROL1L	8	H'FF251	RCAN-ET_1	16	4P /4P
メールボックス 11_1_コントロール 0H	MB_1[11].CONTROL0H	16	H'FF260	RCAN-ET_1	16	4P /4P
メールボックス 11_1_コントロール 0L	MB_1[11].CONTROL0L	16	H'FF262	RCAN-ET_1	16	4P /4P
メールボックス 11_1_LAFMH	MB_1[11].LAFMH	16	H'FF264	RCAN-ET_1	16	4P /4P
メールボックス 11_1_LAFML	MB_1[11].LAFML	16	H'FF266	RCAN-ET_1	16	4P /4P
メールボックス 11_1_データ 0	MB_1[11].MSG_DATA[0]	8	H'FF268	RCAN-ET_1	16	4P /4P
メールボックス 11_1_データ 1	MB_1[11].MSG_DATA[1]	8	H'FF269	RCAN-ET_1	16	4P /4P
メールボックス 11_1_データ 2	MB_1[11].MSG_DATA[2]	8	H'FF26A	RCAN-ET_1	16	4P /4P
メールボックス 11_1_データ 3	MB_1[11].MSG_DATA[3]	8	H'FF26B	RCAN-ET_1	16	4P /4P
メールボックス 11_1_データ 4	MB_1[11].MSG_DATA[4]	8	H'FF26C	RCAN-ET_1	16	4P /4P
メールボックス 11_1_データ 5	MB_1[11].MSG_DATA[5]	8	H'FF26D	RCAN-ET_1	16	4P /4P
メールボックス 11_1_データ 6	MB_1[11].MSG_DATA[6]	8	H'FF26E	RCAN-ET_1	16	4P /4P
メールボックス 11_1_データ 7	MB_1[11].MSG_DATA[7]	8	H'FF26F	RCAN-ET_1	16	4P /4P
メールボックス 11_1_コントロール 1H	MB_1[11].CONTROL1H	8	H'FF270	RCAN-ET_1	16	4P /4P

25. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス *1	モジュール	データ バス幅	アクセス*4 ステート数 (リード/ライト)
メールボックス 11_1_コントロール 1L	MB_1[11].CONTROL1L	8	H'FF271	RCAN-ET_1	16	4P /4P
メールボックス 12_1_コントロール 0H	MB_1[12].CONTROL0H	16	H'FF280	RCAN-ET_1	16	4P /4P
メールボックス 12_1_コントロール 0L	MB_1[12].CONTROL0L	16	H'FF282	RCAN-ET_1	16	4P /4P
メールボックス 12_1_LAFMH	MB_1[12].LAFMH	16	H'FF284	RCAN-ET_1	16	4P /4P
メールボックス 12_1_LAFML	MB_1[12].LAFML	16	H'FF286	RCAN-ET_1	16	4P /4P
メールボックス 12_1_データ 0	MB_1[12].MSG_DATA[0]	8	H'FF288	RCAN-ET_1	16	4P /4P
メールボックス 12_1_データ 1	MB_1[12].MSG_DATA[1]	8	H'FF289	RCAN-ET_1	16	4P /4P
メールボックス 12_1_データ 2	MB_1[12].MSG_DATA[2]	8	H'FF28A	RCAN-ET_1	16	4P /4P
メールボックス 12_1_データ 3	MB_1[12].MSG_DATA[3]	8	H'FF28B	RCAN-ET_1	16	4P /4P
メールボックス 12_1_データ 4	MB_1[12].MSG_DATA[4]	8	H'FF28C	RCAN-ET_1	16	4P /4P
メールボックス 12_1_データ 5	MB_1[12].MSG_DATA[5]	8	H'FF28D	RCAN-ET_1	16	4P /4P
メールボックス 12_1_データ 6	MB_1[12].MSG_DATA[6]	8	H'FF28E	RCAN-ET_1	16	4P /4P
メールボックス 12_1_データ 7	MB_1[12].MSG_DATA[7]	8	H'FF28F	RCAN-ET_1	16	4P /4P
メールボックス 12_1_コントロール 1H	MB_1[12].CONTROL1H	8	H'FF290	RCAN-ET_1	16	4P /4P
メールボックス 12_1_コントロール 1L	MB_1[12].CONTROL1L	8	H'FF291	RCAN-ET_1	16	4P /4P
メールボックス 13_1_コントロール 0H	MB_1[13].CONTROL0H	16	H'FF2A0	RCAN-ET_1	16	4P /4P
メールボックス 13_1_コントロール 0L	MB_1[13].CONTROL0L	16	H'FF2A2	RCAN-ET_1	16	4P /4P
メールボックス 13_1_LAFMH	MB_1[13].LAFMH	16	H'FF2A4	RCAN-ET_1	16	4P /4P
メールボックス 13_1_LAFML	MB_1[13].LAFML	16	H'FF2A6	RCAN-ET_1	16	4P /4P
メールボックス 13_1_データ 0	MB_1[13].MSG_DATA[0]	8	H'FF2A8	RCAN-ET_1	16	4P /4P
メールボックス 13_1_データ 1	MB_1[13].MSG_DATA[1]	8	H'FF2A9	RCAN-ET_1	16	4P /4P
メールボックス 13_1_データ 2	MB_1[13].MSG_DATA[2]	8	H'FF2AA	RCAN-ET_1	16	4P /4P
メールボックス 13_1_データ 3	MB_1[13].MSG_DATA[3]	8	H'FF2AB	RCAN-ET_1	16	4P /4P
メールボックス 13_1_データ 4	MB_1[13].MSG_DATA[4]	8	H'FF2AC	RCAN-ET_1	16	4P /4P
メールボックス 13_1_データ 5	MB_1[13].MSG_DATA[5]	8	H'FF2AD	RCAN-ET_1	16	4P /4P
メールボックス 13_1_データ 6	MB_1[13].MSG_DATA[6]	8	H'FF2AE	RCAN-ET_1	16	4P /4P
メールボックス 13_1_データ 7	MB_1[13].MSG_DATA[7]	8	H'FF2AF	RCAN-ET_1	16	4P /4P
メールボックス 13_1_コントロール 1H	MB_1[13].CONTROL1H	8	H'FF2B0	RCAN-ET_1	16	4P /4P
メールボックス 13_1_コントロール 1L	MB_1[13].CONTROL1L	8	H'FF2B1	RCAN-ET_1	16	4P /4P
メールボックス 14_1_コントロール 0H	MB_1[14].CONTROL0H	16	H'FF2C0	RCAN-ET_1	16	4P /4P
メールボックス 14_1_コントロール 0L	MB_1[14].CONTROL0L	16	H'FF2C2	RCAN-ET_1	16	4P /4P
メールボックス 14_1_LAFMH	MB_1[14].LAFMH	16	H'FF2C4	RCAN-ET_1	16	4P /4P
メールボックス 14_1_LAFML	MB_1[14].LAFML	16	H'FF2C6	RCAN-ET_1	16	4P /4P
メールボックス 14_1_データ 0	MB_1[14].MSG_DATA[0]	8	H'FF2C8	RCAN-ET_1	16	4P /4P
メールボックス 14_1_データ 1	MB_1[14].MSG_DATA[1]	8	H'FF2C9	RCAN-ET_1	16	4P /4P
メールボックス 14_1_データ 2	MB_1[14].MSG_DATA[2]	8	H'FF2CA	RCAN-ET_1	16	4P /4P

レジスタ名称	略称	ビット数	アドレス *1	モジュール	データ バス幅	アクセス*4 ステート数 (リード/ライト)
メールボックス 14_1_データ 3	MB_1[14].MSG_DATA[3]	8	H'FF2CB	RCAN-ET_1	16	4P /4P
メールボックス 14_1_データ 4	MB_1[14].MSG_DATA[4]	8	H'FF2CC	RCAN-ET_1	16	4P /4P
メールボックス 14_1_データ 5	MB_1[14].MSG_DATA[5]	8	H'FF2CD	RCAN-ET_1	16	4P /4P
メールボックス 14_1_データ 6	MB_1[14].MSG_DATA[6]	8	H'FF2CE	RCAN-ET_1	16	4P /4P
メールボックス 14_1_データ 7	MB_1[14].MSG_DATA[7]	8	H'FF2CF	RCAN-ET_1	16	4P /4P
メールボックス 14_1_コントロール 1H	MB_1[14].CONTROL1H	8	H'FF2D0	RCAN-ET_1	16	4P /4P
メールボックス 14_1_コントロール 1L	MB_1[14].CONTROL1L	8	H'FF2D1	RCAN-ET_1	16	4P /4P
メールボックス 15_1_コントロール 0H	MB_1[15].CONTROL0H	16	H'FF2E0	RCAN-ET_1	16	4P /4P
メールボックス 15_1_コントロール 0L	MB_1[15].CONTROL0L	16	H'FF2E2	RCAN-ET_1	16	4P /4P
メールボックス 15_1_LAFMH	MB_1[15].LAFMH	16	H'FF2E4	RCAN-ET_1	16	4P /4P
メールボックス 15_1_LAFML	MB_1[15].LAFML	16	H'FF2E6	RCAN-ET_1	16	4P /4P
メールボックス 15_1_データ 0	MB_1[15].MSG_DATA[0]	8	H'FF2E8	RCAN-ET_1	16	4P /4P
メールボックス 15_1_データ 1	MB_1[15].MSG_DATA[1]	8	H'FF2E9	RCAN-ET_1	16	4P /4P
メールボックス 15_1_データ 2	MB_1[15].MSG_DATA[2]	8	H'FF2EA	RCAN-ET_1	16	4P /4P
メールボックス 15_1_データ 3	MB_1[15].MSG_DATA[3]	8	H'FF2EB	RCAN-ET_1	16	4P /4P
メールボックス 15_1_データ 4	MB_1[15].MSG_DATA[4]	8	H'FF2EC	RCAN-ET_1	16	4P /4P
メールボックス 15_1_データ 5	MB_1[15].MSG_DATA[5]	8	H'FF2ED	RCAN-ET_1	16	4P /4P
メールボックス 15_1_データ 6	MB_1[15].MSG_DATA[6]	8	H'FF2EE	RCAN-ET_1	16	4P /4P
メールボックス 15_1_データ 7	MB_1[15].MSG_DATA[7]	8	H'FF2EF	RCAN-ET_1	16	4P /4P
メールボックス 15_1_コントロール 1H	MB_1[15].CONTROL1H	8	H'FF2F0	RCAN-ET_1	16	4P /4P
メールボックス 15_1_コントロール 1L	MB_1[15].CONTROL1L	8	H'FF2F1	RCAN-ET_1	16	4P /4P
SS コントロールレジスタ H_0	SSCRH_0	8	H'FF600	SSU*5_0	16	3P /3P
SS コントロールレジスタ L_0	SSCRL_0	8	H'FF601	SSU*5_0	16	3P /3P
SS モードレジスタ_0	SSMR_0	8	H'FF602	SSU*5_0	16	3P /3P
SS イネーブルレジスタ_0	SSER_0	8	H'FF603	SSU*5_0	16	3P /3P
SS ステータスレジスタ_0	SSSR_0	8	H'FF604	SSU*5_0	16	3P /3P
SS コントロールレジスタ 2_0	SSCR2_0	8	H'FF605	SSU*5_0	16	3P /3P
SS トランスミットデータレジスタ 0_0	SSTDR0_0	8	H'FF606	SSU*5_0	16	3P /3P
SS トランスミットデータレジスタ 1_0	SSTDR1_0	8	H'FF607	SSU*5_0	16	3P /3P
SS トランスミットデータレジスタ 2_0	SSTDR2_0	8	H'FF608	SSU*5_0	16	3P /3P
SS トランスミットデータレジスタ 3_0	SSTDR3_0	8	H'FF609	SSU*5_0	16	3P /3P
SS レシーブデータレジスタ 0_0	SSRDR0_0	8	H'FF60A	SSU*5_0	16	3P /3P
SS レシーブデータレジスタ 1_0	SSRDR1_0	8	H'FF60B	SSU*5_0	16	3P /3P
SS レシーブデータレジスタ 2_0	SSRDR2_0	8	H'FF60C	SSU*5_0	16	3P /3P
SS レシーブデータレジスタ 3_0	SSRDR3_0	8	H'FF60D	SSU*5_0	16	3P /3P
SS コントロールレジスタ H_1	SSCRH_1	8	H'FF610	SSU*5_1	16	3P /3P

25. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス *1	モジュール	データ バス幅	アクセス*4 ステート数 (リード/ライト)
SS コントロールレジスタ 1_1	SSCRL_1	8	H'FF611	SSU*5_1	16	3P /3P
SS モードレジスタ_1	SSMR_1	8	H'FF612	SSU*5_1	16	3P /3P
SS イネーブルレジスタ_1	SSER_1	8	H'FF613	SSU*5_1	16	3P /3P
SS ステータスレジスタ_1	SSSR_1	8	H'FF614	SSU*5_1	16	3P /3P
SS コントロールレジスタ 2_1	SSCR2_1	8	H'FF615	SSU*5_1	16	3P /3P
SS トランスミットデータレジスタ 0_1	SSTDR0_1	8	H'FF616	SSU*5_1	16	3P /3P
SS トランスミットデータレジスタ 1_1	SSTDR1_1	8	H'FF617	SSU*5_1	16	3P /3P
SS トランスミットデータレジスタ 2_1	SSTDR2_1	8	H'FF618	SSU*5_1	16	3P /3P
SS トランスミットデータレジスタ 3_1	SSTDR3_1	8	H'FF619	SSU*5_1	16	3P /3P
SS レシーブデータレジスタ 0_1	SSRDR0_1	8	H'FF61A	SSU*5_1	16	3P /3P
SS レシーブデータレジスタ 1_1	SSRDR1_1	8	H'FF61B	SSU*5_1	16	3P /3P
SS レシーブデータレジスタ 2_1	SSRDR2_1	8	H'FF61C	SSU*5_1	16	3P /3P
SS レシーブデータレジスタ 3_1	SSRDR3_1	8	H'FF61D	SSU*5_1	16	3P /3P
サウンドジェネレータコントロール レジスタ 1_0	SGCR1_0	8	H'FF640	SDG_0	16	3P /3P
サウンドジェネレータコントロール ステータスレジスタ_0	SGCSR_0	8	H'FF641	SDG_0	16	3P /3P
サウンドジェネレータコントロール レジスタ 2_0	SGCR2_0	8	H'FF642	SDG_0	16	3P /3P
サウンドジェネレータラウドネスレジスタ_0	SGLR_0	8	H'FF643	SDG_0	16	3P /3P
サウンドジェネレータトーン周波数 レジスタ_0	SGTFR_0	8	H'FF644	SDG_0	16	3P /3P
サウンドジェネレータ基準周波数レジスタ_0	SGSFR_0	8	H'FF645	SDG_0	16	3P /3P
サウンドジェネレータコントロール レジスタ 1_1	SGCR1_1	8	H'FF650	SDG_1	16	3P /3P
サウンドジェネレータコントロール ステータスレジスタ_1	SGCSR_1	8	H'FF651	SDG_1	16	3P /3P
サウンドジェネレータコントロール レジスタ 2_1	SGCR2_1	8	H'FF652	SDG_1	16	3P /3P
サウンドジェネレータラウドネスレジスタ_1	SGLR_1	8	H'FF653	SDG_1	16	3P /3P
サウンドジェネレータトーン周波数 レジスタ_1	SGTFR_1	8	H'FF654	SDG_1	16	3P /3P
サウンドジェネレータ基準周波数レジスタ_1	SGSFR_1	8	H'FF655	SDG_1	16	3P /3P
サウンドジェネレータコントロール レジスタ 1_2	SGCR1_2	8	H'FF660	SDG_2	16	3P /3P
サウンドジェネレータコントロール ステータスレジスタ_2	SGCSR_2	8	H'FF661	SDG_2	16	3P /3P

25. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス *1	モジュール	データ バス幅	アクセス*4 ステート数 (リード/ライト)
サウンドジェネレータコントロール レジスタ_2_2	SGCR2_2	8	H'FF662	SDG_2	16	3P /3P
サウンドジェネレータラウドネスレジスタ_2	SGLR_2	8	H'FF663	SDG_2	16	3P /3P
サウンドジェネレータトーン周波数 レジスタ_2	SGTFR_2	8	H'FF664	SDG_2	16	3P /3P
サウンドジェネレータ基準周波数 レジスタ_2	SGSFR_2	8	H'FF665	SDG_2	16	3P /3P
サウンドジェネレータコントロール レジスタ_1_3	SGCR1_3	8	H'FF670	SDG_3	16	3P /3P
サウンドジェネレータコントロール ステータスレジスタ_3	SGCSR_3	8	H'FF671	SDG_3	16	3P /3P
サウンドジェネレータコントロール レジスタ_2_3	SGCR2_3	8	H'FF672	SDG_3	16	3P /3P
サウンドジェネレータラウドネスレジスタ_3	SGLR_3	8	H'FF673	SDG_3	16	3P /3P
サウンドジェネレータトーン周波数 レジスタ_3	SGTFR_3	8	H'FF674	SDG_3	16	3P /3P
サウンドジェネレータ基準周波数レジスタ_3	SGSFR_3	8	H'FF675	SDG_3	16	3P /3P
PWM コントロールレジスタ_0	PWCR_0	8	H'FF6A0	PWM16*2_0	16	3P /3P
PWM アウトプットコントロールレジスタ_0	PWOCR_0	8	H'FF6A2	PWM16*2_0	16	3P /3P
PWM サイクルレジスタ_0	PWCYR_0	16	H'FF6A6	PWM16*2_0	16	3P /3P
PWM バッファレジスタ_0_0	PWBFR0_0	16	H'FF6A8	PWM16*2_0	16	3P /3P
PWM バッファレジスタ_2_0	PWBFR2_0	16	H'FF6AA	PWM16*2_0	16	3P /3P
PWM バッファレジスタ_1_0	PWBFR1_0	16	H'FF6AC	PWM16*2_0	16	3P /3P
PWM バッファレジスタ_3_0	PWBFR3_0	16	H'FF6AE	PWM16*2_0	16	3P /3P
PWM コントロールレジスタ_1	PWCR_1	8	H'FF6B0	PWM16*2_1	16	3P /3P
PWM アウトプットコントロールレジスタ_1	PWOCR_1	8	H'FF6B2	PWM16*2_1	16	3P /3P
PWM サイクルレジスタ_1	PWCYR_1	16	H'FF6B6	PWM16*2_1	16	3P /3P
PWM バッファレジスタ_0_1	PWBFR0_1	16	H'FF6B8	PWM16*2_1	16	3P /3P
PWM バッファレジスタ_2_1	PWBFR2_1	16	H'FF6BA	PWM16*2_1	16	3P /3P
PWM バッファレジスタ_1_1	PWBFR1_1	16	H'FF6BC	PWM16*2_1	16	3P /3P
PWM バッファレジスタ_3_1	PWBFR3_1	16	H'FF6BE	PWM16*2_1	16	3P /3P
PWM コントロールレジスタ_2	PWCR_2	8	H'FF6C0	PWM16*2_2	16	3P /3P
PWM アウトプットコントロールレジスタ_2	PWOCR_2	8	H'FF6C2	PWM16*2_2	16	3P /3P
PWM サイクルレジスタ_2	PWCYR_2	16	H'FF6C6	PWM16*2_2	16	3P /3P
PWM バッファレジスタ_0_2	PWBFR0_2	16	H'FF6C8	PWM16*2_2	16	3P /3P
PWM バッファレジスタ_2_2	PWBFR2_2	16	H'FF6CA	PWM16*2_2	16	3P /3P
PWM バッファレジスタ_1_2	PWBFR1_2	16	H'FF6CC	PWM16*2_2	16	3P /3P

25. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス *1	モジュール	データ バス幅	アクセス*4 ステート数 (リード/ライト)
PWM バッファレジスタ 3_2	PWBFR3_2	16	H'FF6CE	PWM16*2_2	16	3P /3P
ウォッチタイマコントロールレジスタ	WTCR	8	H'FF6D0	WAT	16	3P /3P
ウォッチタイマステータスレジスタ	WTSR	8	H'FF6D2	WAT	16	3P /3P
ウォッチタイマコンスタントレジスタ	WTCOR	16	H'FF6D4	WAT	16	3P /3P
ウォッチタイマカウンタ	WTCNT	16	H'FF6D6	WAT	16	3P /3P
PWM コントロールレジスタ 1	PWCR1	8	H'FF6E0	PWM10*3_1	16	3P /3P
PWM アウトプットコントロールレジスタ 1	PWOCR1	8	H'FF6E2	PWM10*3_1	16	3P /3P
PWM ポラリティレジスタ 1	PWPR1	8	H'FF6E4	PWM10*3_1	16	3P /3P
PWM サイクルレジスタ 1	PWCYR1	16	H'FF6E6	PWM10*3_1	16	3P /3P
PWM バッファレジスタ 1A	PWBFR1A	16	H'FF6E8	PWM10*3_1	16	3P /3P
PWM バッファレジスタ 1C	PWBFR1C	16	H'FF6EA	PWM10*3_1	16	3P /3P
PWM バッファレジスタ 1E	PWBFR1E	16	H'FF6EC	PWM10*3_1	16	3P /3P
PWM バッファレジスタ 1G	PWBFR1G	16	H'FF6EE	PWM10*3_1	16	3P /3P
PWM コントロールレジスタ 2	PWCR2	8	H'FF6F0	PWM10*3_2	16	3P /3P
PWM アウトプットコントロールレジスタ 2	PWOCR2	8	H'FF6F2	PWM10*3_2	16	3P /3P
PWM ポラリティレジスタ 2	PWPR2	8	H'FF6F4	PWM10*3_2	16	3P /3P
PWM サイクルレジスタ 2	PWCYR2	16	H'FF6F6	PWM10*3_2	16	3P /3P
PWM バッファレジスタ 2A	PWBFR2A	16	H'FF6F8	PWM10*3_2	16	3P /3P
PWM バッファレジスタ 2C	PWBFR2C	16	H'FF6FA	PWM10*3_2	16	3P /3P
PWM バッファレジスタ 2E	PWBFR2E	16	H'FF6FC	PWM10*3_2	16	3P /3P
PWM バッファレジスタ 2G	PWBFR2G	16	H'FF6FE	PWM10*3_2	16	3P /3P
PWM バッファ転送コントロールレジスタ	PWBTCR	8	H'FF706	PWM10*3	16	3P /3P
D/A データレジスタ 0	DADR0	8	H'FF710	D/A	8	3P /3P
D/A データレジスタ 1	DADR1	8	H'FF711	D/A	8	3P /3P
D/A コントロールレジスタ 01	DACR01	8	H'FF712	D/A	8	3P /3P
RCAN-ET モニタレジスタ_0	RCANMON_0	8	H'FF818	RCAN-ET_0	8	3P /3P
RCAN-ET モニタレジスタ_1	RCANMON_1	8	H'FF819	RCAN-ET_1	8	3P /3P
A/D データレジスタ A_1	ADDRA_1	16	H'FFA90	A/D_1	16	2P /2P
A/D データレジスタ B_1	ADDRB_1	16	H'FFA92	A/D_1	16	2P /2P
A/D データレジスタ C_1	ADDRC_1	16	H'FFA94	A/D_1	16	2P /2P
A/D データレジスタ D_1	ADDRD_1	16	H'FFA96	A/D_1	16	2P /2P
A/D データレジスタ E_1	ADDRE_1	16	H'FFA98	A/D_1	16	2P /2P
A/D データレジスタ F_1	ADDRF_1	16	H'FFA9A	A/D_1	16	2P /2P
A/D データレジスタ G_1	ADDRG_1	16	H'FFA9C	A/D_1	16	2P /2P
A/D データレジスタ H_1	ADDRH_1	16	H'FFA9E	A/D_1	16	2P /2P
A/D コントロール / ステータスレジスタ_1	ADCSR_1	8	H'FFAA0	A/D_1	16	2P /2P

25. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス *1	モジュール	データ バス幅	アクセス*4 ステート数 (リード/ライト)
A/D コントロールレジスタ_1	ADCR_1	8	H'FFAA1	A/D_1	16	2P /2P
ポート 1 データディレクションレジスタ	P1DDR	8	H'FFB80	I/O ポート	8	2P /2P
ポート 2 データディレクションレジスタ	P2DDR	8	H'FFB81	I/O ポート	8	2P /2P
ポート 3 データディレクションレジスタ	P3DDR	8	H'FFB82	I/O ポート	8	2P /2P
ポート 6 データディレクションレジスタ	P6DDR	8	H'FFB85	I/O ポート	8	2P /2P
ポート A データディレクションレジスタ	PADDR	8	H'FFB89	I/O ポート	8	2P /2P
ポート D データディレクションレジスタ	PDDDR	8	H'FFB8C	I/O ポート	8	2P /2P
ポート E データディレクションレジスタ	PEDDR	8	H'FFB8D	I/O ポート	8	2P /2P
ポート F データディレクションレジスタ	PFDDR	8	H'FFB8E	I/O ポート	8	2P /2P
ポート 1 入力バッファコントロールレジスタ	P1ICR	8	H'FFB90	I/O ポート	8	2P /2P
ポート 2 入力バッファコントロールレジスタ	P2ICR	8	H'FFB91	I/O ポート	8	2P /2P
ポート 3 入力バッファコントロールレジスタ	P3ICR	8	H'FFB92	I/O ポート	8	2P /2P
ポート 4 入力バッファコントロールレジスタ	P4ICR	8	H'FFB93	I/O ポート	8	2P /2P
ポート 5 入力バッファコントロールレジスタ	P5ICR	8	H'FFB94	I/O ポート	8	2P /2P
ポート 6 入力バッファコントロールレジスタ	P6ICR	8	H'FFB95	I/O ポート	8	2P /2P
ポート A 入力バッファコントロールレジスタ	PAICR	8	H'FFB99	I/O ポート	8	2P /2P
ポート D 入力バッファコントロールレジスタ	PDICR	8	H'FFB9C	I/O ポート	8	2P /2P
ポート E 入力バッファコントロールレジスタ	PEICR	8	H'FFB9D	I/O ポート	8	2P /2P
ポート F 入力バッファコントロールレジスタ	PFICR	8	H'FFB9E	I/O ポート	8	2P /2P
ポート H レジスタ	PORTH	8	H'FFBA0	I/O ポート	8	2P /2P
ポート I レジスタ	PORTI	8	H'FFBA1	I/O ポート	8	2P /2P
ポート J レジスタ	PORTJ	8	H'FFBA2	I/O ポート	8	2P /2P
ポート K レジスタ	PORTK	8	H'FFBA3	I/O ポート	8	2P /2P
ポート H データレジスタ	PHDR	8	H'FFBA4	I/O ポート	8	2P /2P
ポート I データレジスタ	PIDR	8	H'FFBA5	I/O ポート	8	2P /2P
ポート J データレジスタ	PJDR	8	H'FFBA6	I/O ポート	8	2P /2P
ポート K データレジスタ	PKDR	8	H'FFBA7	I/O ポート	8	2P /2P
ポート H データディレクションレジスタ	PHDDR	8	H'FFBA8	I/O ポート	8	2P /2P
ポート I データディレクションレジスタ	PIDDR	8	H'FFBA9	I/O ポート	8	2P /2P
ポート J データディレクションレジスタ	PJDDR	8	H'FFBAA	I/O ポート	8	2P /2P
ポート K データディレクションレジスタ	PKDDR	8	H'FFBAB	I/O ポート	8	2P /2P
ポート H 入力バッファコントロールレジスタ	PHICR	8	H'FFBAC	I/O ポート	8	2P /2P
ポート I 入力バッファコントロールレジスタ	PIICR	8	H'FFBAD	I/O ポート	8	2P /2P
ポート J 入力バッファコントロールレジスタ	PJICR	8	H'FFBAE	I/O ポート	8	2P /2P
ポート K 入力バッファコントロールレジスタ	PKICR	8	H'FFBAF	I/O ポート	8	2P /2P

25. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス *1	モジュール	データ バス幅	アクセス*4 ステート数 (リード/ライト)
ポート D ブルアップ MOS コントロール レジスタ	PDPCR	8	H'FFBB4	I/O ポート	8	2P /2P
ポート E ブルアップ MOS コントロール レジスタ	PEPCR	8	H'FFBB5	I/O ポート	8	2P /2P
ポート F ブルアップ MOS コントロール レジスタ	PFPCR	8	H'FFBB6	I/O ポート	8	2P /2P
ポート H ブルアップ MOS コントロール レジスタ	PHPCR	8	H'FFBB8	I/O ポート	8	2P /2P
ポート I ブルアップ MOS コントロール レジスタ	PIPCR	8	H'FFBB9	I/O ポート	8	2P /2P
ポート J ブルアップ MOS コントロール レジスタ	PJPCR	8	H'FFBBA	I/O ポート	8	2P /2P
ポート K ブルアップ MOS コントロール レジスタ	PKPCR	8	H'FFBBB	I/O ポート	8	2P /2P
ポート 2 オープンドレインコントロール レジスタ	P2ODR	8	H'FFBBC	I/O ポート	8	2P /2P
ポート F オープンドレインコントロール レジスタ	PFODR	8	H'FFBBD	I/O ポート	8	2P /2P
ポートファンクションコントロール レジスタ 2	PFCR2	8	H'FFBC2	I/O ポート	8	2P /3P
ポートファンクションコントロール レジスタ 4	PFCR4	8	H'FFBC4	I/O ポート	8	2P /3P
ポートファンクションコントロール レジスタ 9	PFCR9	8	H'FFBC9	I/O ポート	8	2P /3P
ソフトウェアスタンバイ解除 IRQ イネーブル レジスタ	SSIER	16	H'FFBCE	INTC	16	2I /3I
DMA ソースアドレスレジスタ_0	DSAR_0	32	H'FFC00	DMAC_0	16	2I /2I
DMA デスティネーションアドレス レジスタ_0	DDAR_0	32	H'FFC04	DMAC_0	16	2I /2I
DMA オフセットレジスタ_0	DOFR_0	32	H'FFC08	DMAC_0	16	2I /2I
DMA 転送カウンタレジスタ_0	DTCR_0	32	H'FFC0C	DMAC_0	16	2I /2I
DMA ブロックサイズレジスタ_0	DBSR_0	32	H'FFC10	DMAC_0	16	2I /2I
DMA モードコントロールレジスタ_0	DMDR_0	32	H'FFC14	DMAC_0	16	2I /2I
DMA アドレスコントロールレジスタ_0	DACR_0	32	H'FFC18	DMAC_0	16	2I /2I
DMA ソースアドレスレジスタ_1	DSAR_1	32	H'FFC20	DMAC_1	16	2I /2I
DMA デスティネーションアドレス レジスタ_1	DDAR_1	32	H'FFC24	DMAC_1	16	2I /2I
DMA オフセットレジスタ_1	DOFR_1	32	H'FFC28	DMAC_1	16	2I /2I
DMA 転送カウンタレジスタ_1	DTCR_1	32	H'FFC2C	DMAC_1	16	2I /2I

25. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス *1	モジュール	データ バス幅	アクセス*4 ステート数 (リード/ライト)
DMA ブロックサイズレジスタ_1	DBSR_1	32	H'FFC30	DMAC_1	16	2I /2I
DMA モードコントロールレジスタ_1	DMDR_1	32	H'FFC34	DMAC_1	16	2I /2I
DMA アドレスコントロールレジスタ_1	DACR_1	32	H'FFC38	DMAC_1	16	2I /2I
DMA ソースアドレスレジスタ_2	DSAR_2	32	H'FFC40	DMAC_2	16	2I /2I
DMA デスティネーションアドレス レジスタ_2	DDAR_2	32	H'FFC44	DMAC_2	16	2I /2I
DMA オフセットレジスタ_2	DOFR_2	32	H'FFC48	DMAC_2	16	2I /2I
DMA 転送カウントレジスタ_2	DTCR_2	32	H'FFC4C	DMAC_2	16	2I /2I
DMA ブロックサイズレジスタ_2	DBSR_2	32	H'FFC50	DMAC_2	16	2I /2I
DMA モードコントロールレジスタ_2	DMDR_2	32	H'FFC54	DMAC_2	16	2I /2I
DMA アドレスコントロールレジスタ_2	DACR_2	32	H'FFC58	DMAC_2	16	2I /2I
DMA ソースアドレスレジスタ_3	DSAR_3	32	H'FFC60	DMAC_3	16	2I /2I
DMA デスティネーションアドレス レジスタ_3	DDAR_3	32	H'FFC64	DMAC_3	16	2I /2I
DMA オフセットレジスタ_3	DOFR_3	32	H'FFC68	DMAC_3	16	2I /2I
DMA 転送カウントレジスタ_3	DTCR_3	32	H'FFC6C	DMAC_3	16	2I /2I
DMA ブロックサイズレジスタ_3	DBSR_3	32	H'FFC70	DMAC_3	16	2I /2I
DMA モードコントロールレジスタ_3	DMDR_3	32	H'FFC74	DMAC_3	16	2I /2I
DMA アドレスコントロールレジスタ_3	DACR_3	32	H'FFC78	DMAC_3	16	2I /2I
DMA モジュールリクエストセレクト レジスタ_0	DMRSR_0	8	H'FFD20	DMAC_0	16	2I /2I
DMA モジュールリクエストセレクト レジスタ_1	DMRSR_1	8	H'FFD21	DMAC_1	16	2I /2I
DMA モジュールリクエストセレクト レジスタ_2	DMRSR_2	8	H'FFD22	DMAC_2	16	2I /2I
DMA モジュールリクエストセレクト レジスタ_3	DMRSR_3	8	H'FFD23	DMAC_3	16	2I /2I
インタラプトプライオリティレジスタ A	IPRA	16	H'FFD40	INTC	16	2I /3I
インタラプトプライオリティレジスタ B	IPRB	16	H'FFD42	INTC	16	2I /3I
インタラプトプライオリティレジスタ C	IPRC	16	H'FFD44	INTC	16	2I /3I
インタラプトプライオリティレジスタ D	IPRD	16	H'FFD46	INTC	16	2I /3I
インタラプトプライオリティレジスタ E	IPRE	16	H'FFD48	INTC	16	2I /3I
インタラプトプライオリティレジスタ F	IPRF	16	H'FFD4A	INTC	16	2I /3I
インタラプトプライオリティレジスタ G	IPRG	16	H'FFD4C	INTC	16	2I /3I
インタラプトプライオリティレジスタ I	IPRI	16	H'FFD50	INTC	16	2I /3I
インタラプトプライオリティレジスタ K	IPRK	16	H'FFD54	INTC	16	2I /3I
インタラプトプライオリティレジスタ L	IPRL	16	H'FFD56	INTC	16	2I /3I

25. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス *1	モジュール	データ バス幅	アクセス*4 ステート数 (リード/ライト)
インタラプトプライオリティレジスタ O	IPRO	16	H'FFD5C	INTC	16	2I /3I
インタラプトプライオリティレジスタ Q	IPRQ	16	H'FFD60	INTC	16	2I /3I
インタラプトプライオリティレジスタ R	IPRR	16	H'FFD62	INTC	16	2I /3I
IRQ センسコントロールレジスタ H	ISCRH	16	H'FFD68	INTC	16	2I /3I
IRQ センスコントロールレジスタ L	ISCR L	16	H'FFD6A	INTC	16	2I /3I
バス幅コントロールレジスタ	ABWCR	16	H'FFD84	BSC	16	2I /3I
アクセスステートコントロールレジスタ	ASTCR	16	H'FFD86	BSC	16	2I /3I
ウェイトコントロールレジスタ A	WTCRA	16	H'FFD88	BSC	16	2I /3I
ウェイトコントロールレジスタ B	WTCRB	16	H'FFD8A	BSC	16	2I /3I
リードストロープタイミングコントロール レジスタ	RDNCR	16	H'FFD8C	BSC	16	2I /3I
アイドルコントロールレジスタ	IDLCR	16	H'FFD90	BSC	16	2I /3I
バスコントロールレジスタ 1	BCR1	16	H'FFD92	BSC	16	2I /3I
バスコントロールレジスタ 2	BCR2	8	H'FFD94	BSC	16	2I /3I
エンディアンコントロールレジスタ	ENDIANCR	8	H'FFD95	BSC	16	2I /3I
RAM エミュレーションレジスタ	RAMER	8	H'FFD9E	BSC	16	2I /3I
モードコントロールレジスタ	MDCR	16	H'FFDC0	SYSTEM	16	2I /3I
システムコントロールレジスタ	SYSCR	16	H'FFDC2	SYSTEM	16	2I /3I
システムクロックコントロールレジスタ	SCKCR	16	H'FFDC4	SYSTEM	16	2I /3I
スタンバイコントロールレジスタ	SBYCR	16	H'FFDC6	SYSTEM	16	2I /3I
モジュールストップコントロール レジスタ A	MSTPCRA	16	H'FFDC8	SYSTEM	16	2I /3I
モジュールストップコントロール レジスタ B	MSTPCRB	16	H'FFDCA	SYSTEM	16	2I /3I
モジュールストップコントロール レジスタ C	MSTPCRC	16	H'FFDCC	SYSTEM	16	2I /3I
サブクロックコントロールレジスタ	SUBCKCR	8	H'FFDCF	SYSTEM	16	2I /3I
フラッシュコードコントロールステータス レジスタ	FCCS	8	H'FFDE8	FLASH	8	2P /2P
フラッシュプログラムコードセレクト レジスタ	FPCS	8	H'FFDE9	FLASH	8	2P /2P
フラッシュイレースコードセレクトレジスタ	FECS	8	H'FFDEA	FLASH	8	2P /2P
フラッシュキークードレジスタ	FKEY	8	H'FFDEC	FLASH	8	2P /2P
フラッシュトランスファデスティネーション アドレスレジスタ	FTDAR	8	H'FFDEE	FLASH	8	2P /2P
シリアルモードレジスタ_4	SMR_4	8	H'FFE90	SCL_4	8	2P /2P
ビットレートレジスタ_4	BRR_4	8	H'FFE91	SCL_4	8	2P /2P

レジスタ名称	略称	ビット数	アドレス *1	モジュール	データ バス幅	アクセス*4 ステート数 (リード/ライト)
シリアルコントロールレジスタ_4	SCR_4	8	H'FFE92	SCL_4	8	2P /2P
トランスミットデータレジスタ_4	TDR_4	8	H'FFE93	SCL_4	8	2P /2P
シリアルステータスレジスタ_4	SSR_4	8	H'FFE94	SCL_4	8	2P /2P
レシーブデータレジスタ_4	RDR_4	8	H'FFE95	SCL_4	8	2P /2P
スマートカードモードレジスタ_4	SCMR_4	8	H'FFE96	SCL_4	8	2P /2P
シリアルモードレジスタ_5	SMR_5	8	H'FFE98	SCL_5	8	2P /2P
ビットレートレジスタ_5	BRR_5	8	H'FFE99	SCL_5	8	2P /2P
シリアルコントロールレジスタ_5	SCR_5	8	H'FFE9A	SCL_5	8	2P /2P
トランスミットデータレジスタ_5	TDR_5	8	H'FFE9B	SCL_5	8	2P /2P
シリアルステータスレジスタ_5	SSR_5	8	H'FFE9C	SCL_5	8	2P /2P
レシーブデータレジスタ_5	RDR_5	8	H'FFE9D	SCL_5	8	2P /2P
スマートカードモードレジスタ_5	SCMR_5	8	H'FFE9E	SCL_5	8	2P /2P
I ² C バスコントロールレジスタ A_0	ICCRA_0	8	H'FFEB0	IIC2_0	8	2P /2P
I ² C バスコントロールレジスタ B_0	ICCRB_0	8	H'FFEB1	IIC2_0	8	2P /2P
I ² C モードレジスタ_0	ICMR_0	8	H'FFEB2	IIC2_0	8	2P /2P
I ² C バス割り込み許可レジスタ_0	ICIER_0	8	H'FFEB3	IIC2_0	8	2P /2P
I ² C バスステータスレジスタ_0	ICSR_0	8	H'FFEB4	IIC2_0	8	2P /2P
スレーブアドレスレジスタ_0	SAR_0	8	H'FFEB5	IIC2_0	8	2P /2P
I ² C バス送信データレジスタ_0	ICDRT_0	8	H'FFEB6	IIC2_0	8	2P /2P
I ² C バス受信データレジスタ_0	ICDRR_0	8	H'FFEB7	IIC2_0	8	2P /2P
I ² C バスコントロールレジスタ A_1	ICCRA_1	8	H'FFEB8	IIC2_1	8	2P /2P
I ² C バスコントロールレジスタ B_1	ICCRB_1	8	H'FFEB9	IIC2_1	8	2P /2P
I ² C モードレジスタ_1	ICMR_1	8	H'FFEBA	IIC2_1	8	2P /2P
I ² C バス割り込み許可レジスタ_1	ICIER_1	8	H'FFEBB	IIC2_1	8	2P /2P
I ² C バスステータスレジスタ_1	ICSR_1	8	H'FFEEBC	IIC2_1	8	2P /2P
スレーブアドレスレジスタ_1	SAR_1	8	H'FFEBD	IIC2_1	8	2P /2P
I ² C バス送信データレジスタ_1	ICDRT_1	8	H'FFEBE	IIC2_1	8	2P /2P
I ² C バス受信データレジスタ_1	ICDRR_1	8	H'FFEBF	IIC2_1	8	2P /2P
タイマコントロールレジスタ_4	TCR_4	8	H'FFEE0	TPU_4	16	2P /2P
タイマモードレジスタ_4	TMDR_4	8	H'FFEE1	TPU_4	16	2P /2P
タイマ I/O コントロールレジスタ_4	TIOR_4	8	H'FFEE2	TPU_4	16	2P /2P
タイマインタラプトイネーブルレジスタ_4	TIER_4	8	H'FFEE4	TPU_4	16	2P /2P
タイマステータスレジスタ_4	TSR_4	8	H'FFEE5	TPU_4	16	2P /2P
タイマカウンタ_4	TCNT_4	16	H'FFEE6	TPU_4	16	2P /2P
タイマジェネラルレジスタ A_4	TGRA_4	16	H'FFEE8	TPU_4	16	2P /2P
タイマジェネラルレジスタ B_4	TGRB_4	16	H'FFEEA	TPU_4	16	2P /2P

25. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス *1	モジュール	データ バス幅	アクセス*4 ステート数 (リード/ライト)
タイマコントロールレジスタ_5	TCR_5	8	H'FFEF0	TPU_5	16	2P /2P
タイマモードレジスタ_5	TMDR_5	8	H'FFEF1	TPU_5	16	2P /2P
タイマ I/O コントロールレジスタ_5	TIOR_5	8	H'FFEF2	TPU_5	16	2P /2P
タイマインタラプトイネーブルレジスタ_5	TIER_5	8	H'FFEF4	TPU_5	16	2P /2P
タイマステータスレジスタ_5	TSR_5	8	H'FFEF5	TPU_5	16	2P /2P
タイマカウンタ_5	TCNT_5	16	H'FFEF6	TPU_5	16	2P /2P
タイマジェネラルレジスタ A_5	TGRA_5	16	H'FFEF8	TPU_5	16	2P /2P
タイマジェネラルレジスタ B_5	TGRB_5	16	H'FFEFA	TPU_5	16	2P /2P
割り込みコントロールレジスタ	INTCR	8	H'FFF32	INTC	16	2I /3I
CPU プライオリティコントロールレジスタ	CPUPCR	8	H'FFF33	INTC	16	2I /3I
IRQ イネーブルレジスタ	IER	16	H'FFF34	INTC	16	2I /3I
IRQ ステータスレジスタ	ISR	16	H'FFF36	INTC	16	2I /3I
ポート 1 レジスタ	PORT1	8	H'FFF40	I/O ポート	8	2P /-
ポート 2 レジスタ	PORT2	8	H'FFF41	I/O ポート	8	2P /-
ポート 3 レジスタ	PORT3	8	H'FFF42	I/O ポート	8	2P /-
ポート 4 レジスタ	PORT4	8	H'FFF43	I/O ポート	8	2P /-
ポート 5 レジスタ	PORT5	8	H'FFF44	I/O ポート	8	2P /-
ポート 6 レジスタ	PORT6	8	H'FFF45	I/O ポート	8	2P /-
ポート A レジスタ	PORTA	8	H'FFF49	I/O ポート	8	2P /-
ポート D レジスタ	PORTD	8	H'FFF4C	I/O ポート	8	2P /-
ポート E レジスタ	PORTE	8	H'FFF4D	I/O ポート	8	2P /-
ポート F レジスタ	PORTF	8	H'FFF4E	I/O ポート	8	2P /-
ポート 1 データレジスタ	P1DR	8	H'FFF50	I/O ポート	8	2P /2P
ポート 2 データレジスタ	P2DR	8	H'FFF51	I/O ポート	8	2P /2P
ポート 3 データレジスタ	P3DR	8	H'FFF52	I/O ポート	8	2P /2P
ポート 6 データレジスタ	P6DR	8	H'FFF55	I/O ポート	8	2P /2P
ポート A データレジスタ	PADR	8	H'FFF59	I/O ポート	8	2P /2P
ポート D データレジスタ	PDDR	8	H'FFF5C	I/O ポート	8	2P /2P
ポート E データレジスタ	PEDR	8	H'FFF5D	I/O ポート	8	2P /2P
ポート F データレジスタ	PFDR	8	H'FFF5E	I/O ポート	8	2P /2P
シリアルモードレジスタ_2	SMR_2	8	H'FFF60	SCL_2	8	2P /2P
ビットレートレジスタ_2	BRR_2	8	H'FFF61	SCL_2	8	2P /2P
シリアルコントロールレジスタ_2	SCR_2	8	H'FFF62	SCL_2	8	2P /2P
トランスミットデータレジスタ_2	TDR_2	8	H'FFF63	SCL_2	8	2P /2P
シリアルステータスレジスタ_2	SSR_2	8	H'FFF64	SCL_2	8	2P /2P
レシーブデータレジスタ_2	RDR_2	8	H'FFF65	SCL_2	8	2P /2P

25. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス *1	モジュール	データ バス幅	アクセス*4 ステート数 (リード/ライト)
スマートカードモードレジスタ_2	SCMR_2	8	H'FFF66	SCL_2	8	2P /2P
シリアルモードレジスタ_0	SMR_0	8	H'FFF80	SCL_0	8	2P /2P
ビットレートレジスタ_0	BRR_0	8	H'FFF81	SCL_0	8	2P /2P
シリアルコントロールレジスタ_0	SCR_0	8	H'FFF82	SCL_0	8	2P /2P
トランスミッターデータレジスタ_0	TDR_0	8	H'FFF83	SCL_0	8	2P /2P
シリアルステータスレジスタ_0	SSR_0	8	H'FFF84	SCL_0	8	2P /2P
レシーブデータレジスタ_0	RDR_0	8	H'FFF85	SCL_0	8	2P /2P
スマートカードモードレジスタ_0	SCMR_0	8	H'FFF86	SCL_0	8	2P /2P
A/D データレジスタ A_0	ADDRA_0	16	H'FFF90	A/D_0	16	2P /2P
A/D データレジスタ B_0	ADDRB_0	16	H'FFF92	A/D_0	16	2P /2P
A/D データレジスタ C_0	ADDRC_0	16	H'FFF94	A/D_0	16	2P /2P
A/D データレジスタ D_0	ADDRD_0	16	H'FFF96	A/D_0	16	2P /2P
A/D データレジスタ E_0	ADDRE_0	16	H'FFF98	A/D_0	16	2P /2P
A/D データレジスタ F_0	ADDRF_0	16	H'FFF9A	A/D_0	16	2P /2P
A/D データレジスタ G_0	ADDRG_0	16	H'FFF9C	A/D_0	16	2P /2P
A/D データレジスタ H_0	ADDRH_0	16	H'FFF9E	A/D_0	16	2P /2P
A/D コントロール / ステータスレジスタ_0	ADCSR_0	8	H'FFFA0	A/D_0	16	2P /2P
A/D コントロールレジスタ_0	ADCR_0	8	H'FFFA1	A/D_0	16	2P /2P
タイマコントロール / ステータスレジスタ	TCSR	8	H'FFFA4	WDT	16	2P /3P
タイマカウンタ	TCNT	8	H'FFFA5	WDT	16	2P /3P
リセットコントロール / ステータスレジスタ	RSTCSR	8	H'FFFA7	WDT	16	2P /3P
タイマスタートレジスタ	TSTR	8	H'FFFBC	TPU	16	2P /2P
タイマシンクロレジスタ	TSYR	8	H'FFFBD	TPU	16	2P /2P
タイマコントロールレジスタ_0	TCR_0	8	H'FFFC0	TPU_0	16	2P /2P
タイマモードレジスタ_0	TMDR_0	8	H'FFFC1	TPU_0	16	2P /2P
タイマ I/O コントロールレジスタ H_0	TIORH_0	8	H'FFFC2	TPU_0	16	2P /2P
タイマ I/O コントロールレジスタ L_0	TIORL_0	8	H'FFFC3	TPU_0	16	2P /2P
タイマインタラプトイネーブルレジスタ_0	TIER_0	8	H'FFFC4	TPU_0	16	2P /2P
タイマステータスレジスタ_0	TSR_0	8	H'FFFC5	TPU_0	16	2P /2P
タイマカウンタ_0	TCNT_0	16	H'FFFC6	TPU_0	16	2P /2P
タイマジェネラルレジスタ A_0	TGRA_0	16	H'FFFC8	TPU_0	16	2P /2P
タイマジェネラルレジスタ B_0	TGRB_0	16	H'FFFCA	TPU_0	16	2P /2P
タイマジェネラルレジスタ C_0	TGRC_0	16	H'FFFC C	TPU_0	16	2P /2P
タイマジェネラルレジスタ D_0	TGRD_0	16	H'FFFC E	TPU_0	16	2P /2P
タイマコントロールレジスタ_1	TCR_1	8	H'FFFD0	TPU_1	16	2P /2P
タイマモードレジスタ_1	TMDR_1	8	H'FFFD1	TPU_1	16	2P /2P

25. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス *1	モジュール	データ バス幅	アクセス*4 ステート数 (リード/ライト)
タイマ I/O コントロールレジスタ_1	TIOR_1	8	H'FFFD2	TPU_1	16	2P /2P
タイマインタラプトイネーブルレジスタ_1	TIER_1	8	H'FFFD4	TPU_1	16	2P /2P
タイマステータスレジスタ_1	TSR_1	8	H'FFFD5	TPU_1	16	2P /2P
タイマカウンタ_1	TCNT_1	16	H'FFFD6	TPU_1	16	2P /2P
タイマジェネラルレジスタ A_1	TGRA_1	16	H'FFFD8	TPU_1	16	2P /2P
タイマジェネラルレジスタ B_1	TGRB_1	16	H'FFFDA	TPU_1	16	2P /2P
タイマコントロールレジスタ_2	TCR_2	8	H'FFFE0	TPU_2	16	2P /2P
タイマモードレジスタ_2	TMDR_2	8	H'FFFE1	TPU_2	16	2P /2P
タイマ I/O コントロールレジスタ_2	TIOR_2	8	H'FFFE2	TPU_2	16	2P /2P
タイマインタラプトイネーブルレジスタ_2	TIER_2	8	H'FFFE4	TPU_2	16	2P /2P
タイマステータスレジスタ_2	TSR_2	8	H'FFFE5	TPU_2	16	2P /2P
タイマカウンタ_2	TCNT_2	16	H'FFFE6	TPU_2	16	2P /2P
タイマジェネラルレジスタ A_2	TGRA_2	16	H'FFFE8	TPU_2	16	2P /2P
タイマジェネラルレジスタ B_2	TGRB_2	16	H'FFFEA	TPU_2	16	2P /2P
タイマコントロールレジスタ_3	TCR_3	8	H'FFFF0	TPU_3	16	2P /2P
タイマモードレジスタ_3	TMDR_3	8	H'FFFF1	TPU_3	16	2P /2P
タイマ I/O コントロールレジスタ H_3	TIORH_3	8	H'FFFF2	TPU_3	16	2P /2P
タイマ I/O コントロールレジスタ L_3	TIORL_3	8	H'FFFF3	TPU_3	16	2P /2P
タイマインタラプトイネーブルレジスタ_3	TIER_3	8	H'FFFF4	TPU_3	16	2P /2P
タイマステータスレジスタ_3	TSR_3	8	H'FFFF5	TPU_3	16	2P /2P
タイマカウンタ_3	TCNT_3	16	H'FFFF6	TPU_3	16	2P /2P
タイマジェネラルレジスタ A_3	TGRA_3	16	H'FFFF8	TPU_3	16	2P /2P
タイマジェネラルレジスタ B_3	TGRB_3	16	H'FFFFA	TPU_3	16	2P /2P
タイマジェネラルレジスタ C_3	TGRC_3	16	H'FFFFC	TPU_3	16	2P /2P
タイマジェネラルレジスタ D_3	TGRD_3	16	H'FFFFE	TPU_3	16	2P /2P

【注】 *1 アドレスの下位 20 ビットを示しています。

*2 PWM16 は、16 ビット PWM を示します。

*3 PWM10 は、モータコントロール PWM を示します。

*4 RCAN-ET_0、RCAN-ET_1 のメールボックス領域のアクセスは、0～5P のウェイトが発生することがあります。

*5 SSU : Synchronous Serial communication Unit

25.2 レジスタビット一覧

周辺モジュールのレジスタのアドレスとビット名を以下に示します。

16 ビット、32 ビットレジスタは、8 ビットずつ 2 段または 4 段で表しています。

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
MCR_0	MCR15	MCR14	-	-	-	TST2	TST1	TST0	RCAN-ET_0
	MCR7	MCR6	MCR5	-	-	MCR2	MCR1	MCR0	
GSR_0	-	-	-	-	-	-	-	-	
	-	-	GSR5	GSR4	GSR3	GSR2	GSR1	GSR0	
BCR1_0	TSG13	TSG12	TSG11	TSG10	-	TSG22	TSG21	TSG20	
	-	-	SJW1	SJW0	-	-	-	BSP	
BCR0_0	-	-	-	-	-	-	-	-	
	BRP7	BRP6	BRP5	BRP4	BRP3	BRP2	BRP1	BRP0	
IRR_0	-	-	IRR13	IRR12	-	-	IRR9	IRR8	
	IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0	
IMR_0	IMR15	IMR14	IMR13	IMR12	IMR11	IMR10	IMR9	IMR8	
	IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0	
TEC_0	TEC7	TEC6	TEC5	TEC4	TEC3	TEC2	TEC1	TEC0	
REC_0	REC7	REC6	REC5	REC4	REC3	REC2	REC1	REC0	
TXPR1_0	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
TXPR0_0	TXPR15	TXPR14	TXPR13	TXPR12	TXPR11	TXPR10	TXPR9	TXPR8	
	TXPR7	TXPR6	TXPR5	TXPR4	TXPR3	TXPR2	TXPR1	-	
TXCR0_0	TXCR15	TXCR14	TXCR13	TXCR12	TXCR11	TXCR10	TXCR9	TXCR8	
	TXCR7	TXCR6	TXCR5	TXCR4	TXCR3	TXCR2	TXCR1	-	
TXACK0_0	TXACK15	TXACK14	TXACK13	TXACK12	TXACK11	TXACK10	TXACK9	TXACK8	
	TXACK7	TXACK6	TXACK5	TXACK4	TXACK3	TXACK2	TXACK1	-	
ABACK0_0	ABACK15	ABACK14	ABACK13	ABACK12	ABACK11	ABACK10	ABACK9	ABACK8	
	ABACK7	ABACK6	ABACK5	ABACK4	ABACK3	ABACK2	ABACK1	-	
RXPR0_0	RXPR15	RXPR14	RXPR13	RXPR12	RXPR11	RXPR10	RXPR9	RXPR8	
	RXPR7	RXPR6	RXPR5	RXPR4	RXPR3	RXPR2	RXPR1	RXPR0	
RFPR0_0	RFPR15	RFPR14	RFPR13	RFPR12	RFPR11	RFPR10	RFPR9	RFPR8	
	RFPR7	RFPR6	RFPR5	RFPR4	RFPR3	RFPR2	RFPR1	RFPR0	
MBIMR0_0	MBIMR15	MBIMR14	MBIMR13	MBIMR12	MBIMR11	MBIMR10	MBIMR9	MBIMR8	
	MBIMR7	MBIMR6	MBIMR5	MBIMR4	MBIMR3	MBIMR2	MBIMR1	MBIMR0	
UMSR0_0	UMSR15	UMSR14	UMSR13	UMSR12	UMSR11	UMSR10	UMSR9	UMSR8	
	UMSR7	UMSR6	UMSR5	UMSR4	UMSR3	UMSR2	UMSR1	UMSR0	

25. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
MB_0[0]. CONTROL0H	IDE	RTR	-	STDID10	STDID9	STDID8	STDID7	STDID6	RCAN-ET_0
	STDID5	STDID4	STDID3	STDID2	STDID1	STDID0	EXTID17	EXTID16	
MB_0[0]. CONTROL0L	EXTID15	EXTID14	EXTID13	EXTID12	EXTID11	EXTID10	EXTID9	EXTID8	
	EXTID7	EXTID6	EXTID5	EXTID4	EXTID3	EXTID2	EXTID1	EXTID0	
MB_0[0]. LAFMH	IED_LAFM	-	-	STDID_LAFM10	STDID_LAFM9	STDID_LAFM8	STDID_LAFM7	STDID_LAFM6	
	STDID_LAFM5	STDID_LAFM4	STDID_LAFM3	STDID_LAFM2	STDID_LAFM1	STDID_LAFM0	EXTID_LAFM17	EXTID_LAFM16	
MB_0[0]. LAFML	EXTID_LAFM15	EXTID_LAFM14	EXTID_LAFM13	EXTID_LAFM12	EXTID_LAFM11	EXTID_LAFM10	EXTID_LAFM9	EXTID_LAFM8	
	EXTID_LAFM7	EXTID_LAFM6	EXTID_LAFM5	EXTID_LAFM4	EXTID_LAFM3	EXTID_LAFM2	EXTID_LAFM1	EXTID_LAFM0	
MB_0[0]. MSG_DATA[0]	MSG_DATA0								
MB_0[0]. MSG_DATA[1]	MSG_DATA1								
MB_0[0]. MSG_DATA[2]	MSG_DATA2								
MB_0[0]. MSG_DATA[3]	MSG_DATA3								
MB_0[0]. MSG_DATA[4]	MSG_DATA4								
MB_0[0]. MSG_DATA[5]	MSG_DATA5								
MB_0[0]. MSG_DATA[6]	MSG_DATA6								
MB_0[0]. MSG_DATA[7]	MSG_DATA7								
MB_0[0]. CONTROL1H	-	-	NMC	-	-	MBC2	MBC1	MBC0	
MB_0[0]. CONTROL1L	-	-	-	-	DLC3	DLC2	DLC1	DLC0	
MB_0[1]. CONTROL0H	IDE	RTR	-	STDID10	STDID9	STDID8	STDID7	STDID6	
	STDID5	STDID4	STDID3	STDID2	STDID1	STDID0	EXTID17	EXTID16	
MB_0[1]. CONTROL0L	EXTID15	EXTID14	EXTID13	EXTID12	EXTID11	EXTID10	EXTID9	EXTID8	
	EXTID7	EXTID6	EXTID5	EXTID4	EXTID3	EXTID2	EXTID1	EXTID0	
MB_0[1]. LAFMH	IED_LAFM	-	-	STDID_LAFM10	STDID_LAFM9	STDID_LAFM8	STDID_LAFM7	STDID_LAFM6	
	STDID_LAFM5	STDID_LAFM4	STDID_LAFM3	STDID_LAFM2	STDID_LAFM1	STDID_LAFM0	EXTID_LAFM17	EXTID_LAFM16	
MB_0[1]. LAFML	EXTID_LAFM15	EXTID_LAFM14	EXTID_LAFM13	EXTID_LAFM12	EXTID_LAFM11	EXTID_LAFM10	EXTID_LAFM9	EXTID_LAFM8	
	EXTID_LAFM7	EXTID_LAFM6	EXTID_LAFM5	EXTID_LAFM4	EXTID_LAFM3	EXTID_LAFM2	EXTID_LAFM1	EXTID_LAFM0	

25. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
MB_0[1]. MSG_DATA[0]					MSG_DATA0				RCAN-ET_0
MB_0[1]. MSG_DATA[1]					MSG_DATA1				
MB_0[1]. MSG_DATA[2]					MSG_DATA2				
MB_0[1]. MSG_DATA[3]					MSG_DATA3				
MB_0[1]. MSG_DATA[4]					MSG_DATA4				
MB_0[1]. MSG_DATA[5]					MSG_DATA5				
MB_0[1]. MSG_DATA[6]					MSG_DATA6				
MB_0[1]. MSG_DATA[7]					MSG_DATA7				
MB_0[1]. CONTROL1H	-	-	NMC	ATX	DART	MBC2	MBC1	MBC0	
MB_0[1]. CONTROL1L	-	-	-	-	DLC3	DLC2	DLC1	DLC0	
MB_0[2]. CONTROL0H	MB_0[1].CONTROL0H ~ MB_0[1].CONTROL1L と同じビット構成								
~									
MB_0[2]. CONTROL1L	(繰り返し)								
MB_0[15]. CONTROL0H	MB_0[1].CONTROL0H ~ MB_0[1].CONTROL1L]と同じビット構成								
~									
MB_0[15]. CONTROL1L									
MCR_1	RCAN-ET_1 は RCAN-ET_0 と同じビット構成								RCAN-ET_1
MB_1[15]. CONTROL0H									
~									
MB_1[15]. CONTROL1L									

25. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
SSCRH_0	MSS	BIDE	-	SOL	SOLP	SCKS	CSS1	CSS0	SSU*1_0
SSCRL_0	-	SSUMS	SRES	-	-	-	DATS1	DATS0	
SSMR_0	MLS	CPOS	CPHS	-	-	CKS2	CKS1	CKS0	
SSER_0	TE	RE	-	-	TEIE	TIE	RIE	CEIE	
SSSR_0	-	ORER	-	-	TEND	TDRE	RDRF	CE	
SSCR2_0	SDOS	SSCKOS	SCSOS	TENDSTS	SCSATS	SSODTS	-	-	
SSTDR0_0									
SSTDR1_0									
SSTDR2_0									
SSTDR3_0									
SSRDR0_0									
SSRDR1_0									
SSRDR2_0									
SSRDR3_0									
SSCRH_1	MSS	BIDE	-	SOL	SOLP	SCKS	CSS1	CSS0	SSU*1_1
SSCRL_1	-	SSUMS	SRES	-	-	-	DATS1	DATS0	
SSMR_1	MLS	CPOS	CPHS	-	-	CKS2	CKS1	CKS0	
SSER_1	TE	RE	-	-	TEIE	TIE	RIE	CEIE	
SSSR_1	-	ORER	-	-	TEND	TDRE	RDRF	CE	
SSCR2_1	SDOS	SSCKOS	SCSOS	TENDSTS	SCSATS	SSODTS	-	-	
SSTDR0_1									
SSTDR1_1									
SSTDR2_1									
SSTDR3_1									
SSRDR0_1									
SSRDR1_1									
SSRDR2_1									
SSRDR3_1									
SGCR1_0	SGST	STPM	SGE	SGCK1	SGCK0	DPF2	DPF1	DPF0	SDG_0
SGCSR_0	SGIE	SGDEF	-	-	-	-	-	-	
SGCR2_0	SGEND	TCHG	-	-	-	-	-	-	
SGLR_0	LD7	LD6	LD5	LD4	LD3	LD2	LD1	LD0	
SGTFR_0	-	TONE6	TONE5	TONE4	TONE3	TONE2	TONE1	TONE0	
SGSFR_0	SFS7	SFS6	SFS5	SFS4	SFS3	SFS2	SFS1	SFS0	

25. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
SGCR1_1	SGST	STPM	SGE	SGCK1	SGCK0	DPF2	DPF1	DPF0	SDG_1
SGCSR_1	SGIE	SGDEF	-	-	-	-	-	-	
SGCR2_1	SGEND	TCHG	-	-	-	-	-	-	
SGLR_1	LD7	LD6	LD5	LD4	LD3	LD2	LD1	LD0	
SGTFR_1	-	TONE6	TONE5	TONE4	TONE3	TONE2	TONE1	TONE0	
SGSFR_1	SFS7	SFS6	SFS5	SFS4	SFS3	SFS2	SFS1	SFS0	
SGCR1_2	SGST	STPM	SGE	SGCK1	SGCK0	DPF2	DPF1	DPF0	SDG_2
SGCSR_2	SGIE	SGDEF	-	-	-	-	-	-	
SGCR2_2	SGEND	TCHG	-	-	-	-	-	-	
SGLR_2	LD7	LD6	LD5	LD4	LD3	LD2	LD1	LD0	
SGTFR_2	-	TONE6	TONE5	TONE4	TONE3	TONE2	TONE1	TONE0	
SGSFR_2	SFS7	SFS6	SFS5	SFS4	SFS3	SFS2	SFS1	SFS0	
SGCR1_3	SGST	STPM	SGE	SGCK1	SGCK0	DPF2	DPF1	DPF0	SDG_3
SGCSR_3	SGIE	SGDEF	-	-	-	-	-	-	
SGCR2_3	SGEND	TCHG	-	-	-	-	-	-	
SGLR_3	LD7	LD6	LD5	LD4	LD3	LD2	LD1	LD0	
SGTFR_3	-	TONE6	TONE5	TONE4	TONE3	TONE2	TONE1	TONE0	
SGSFR_3	SFS7	SFS6	SFS5	SFS4	SFS3	SFS2	SFS1	SFS0	
PWCR_0	-	SMS	IE	CMF	CST	CKS2	CKS1	CKS0	PWM16*2_0
PWOCR_0	-	-	-	-	OE3	OE2	OE1	OE0	
PWCYR_0									
PWBFR0_0	DT15	DT14	DT13	DT12	DT11	DT10	DT9	DT8	
	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0	
PWBFR2_0	DT15	DT14	DT13	DT12	DT11	DT10	DT9	DT8	
	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0	
PWBFR1_0	DT15	DT14	DT13	DT12	DT11	DT10	DT9	DT8	
	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0	
PWBFR3_0	DT15	DT14	DT13	DT12	DT11	DT10	DT9	DT8	
	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0	
PWCR_1	-	SMS	IE	CMF	CST	CKS2	CKS1	CKS0	PWM16*2_1
PWOCR_1	-	-	-	-	OE3	OE2	OE1	OE0	
PWCYR_1									

25. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
PWBFR0_1	DT15	DT14	DT13	DT12	DT11	DT10	DT9	DT8	PWM16 ^{**2} _1
	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0	
PWBFR2_1	DT15	DT14	DT13	DT12	DT11	DT10	DT9	DT8	
	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0	
PWBFR1_1	DT15	DT14	DT13	DT12	DT11	DT10	DT9	DT8	
	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0	
PWBFR3_1	DT15	DT14	DT13	DT12	DT11	DT10	DT9	DT8	
	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0	
PWCR_2	-	SMS	IE	CMF	CST	CKS2	CKS1	CKS0	PWM16 ^{**2} _2
PWOCR_2	-	-	-	-	OE3	OE2	OE1	OE0	
PWCYR_2									
PWBFR0_2	DT15	DT14	DT13	DT12	DT11	DT10	DT9	DT8	
	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0	
PWBFR2_2	DT15	DT14	DT13	DT12	DT11	DT10	DT9	DT8	
	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0	
PWBFR1_2	DT15	DT14	DT13	DT12	DT11	DT10	DT9	DT8	
	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0	
PWBFR3_2	DT15	DT14	DT13	DT12	DT11	DT10	DT9	DT8	
	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0	
WTCR	-	CMT/ \bar{I} T	TME	PSS	IE	CKS2	CKS1	CKS0	WAT
WTSR	CMF/OVF	-	-	-	-	-	WTCNT_WF	WTCR_WF	
WTCOR									
WTCNT									
PWCR1	-	-	IE	CMF	CST	CKS2	CKS1	CKS0	PWM10 ^{**3} _1
PWOCR1	OE1H	OE1G	OE1F	OE1E	OE1D	OE1C	OE1B	OE1A	
PWPR1	OPS1H	OPS1G	OPS1F	OPS1E	OPS1D	OPS1C	OPS1B	OPS1A	
PWCYR1	-	-	-	-	-	-			
PWBFR1A	-	-	-	OTS	-	-	DT9	DT8	
	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0	
PWBFR1C	-	-	-	OTS	-	-	DT9	DT8	
	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0	

25. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
PWBFR1E	-	-	-	OTS	-	-	DT9	DT8	PWM10 ^{*3} _1
	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0	
PWBFR1G	-	-	-	OTS	-	-	DT9	DT8	
	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0	
PWCR2	-	-	IE	CMF	CST	CKS2	CKS1	CKS0	PWM10 ^{*3} _2
PWOCR2	OE2H	OE2G	OE2F	OE2E	OE2D	OE2C	OE2B	OE2A	
PWPR2	OPS2H	OPS2G	OPS2F	OPS2E	OPS2D	OPS2C	OPS2B	OPS2A	
PWCYR2	-	-	-	-	-	-			
PWBFR2A	-	-	-	OTS	-	-	DT9	DT8	
	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0	
PWBFR2C	-	-	-	OTS	-	-	DT9	DT8	
	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0	
PWBFR2E	-	-	-	OTS	-	-	DT9	DT8	
	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0	
PWBFR2G	-	-	-	OTS	-	-	DT9	DT8	
	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0	
PWBTCR	BTC2G	BTC2E	BTC2C	BTC2A	BTC1G	BTC1E	BTC1C	BTC1A	PWM10 ^{*3}
DADR0									
DADR1									D/A
DACR01	DAOE1	DAOE0	DAE	-	-	-	-	-	
RCANMON_0	-	CTxSTP	RCANE	-	-	-	CTxD	CRxD	RCAN-ET_0
RCANMON_1	-	CTxSTP	RCANE	-	-	-	CTxD	CRxD	RCAN-ET_1
ADDRA_1	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D_1
	AD1	AD0	-	-	-	-	-	-	
ADDRB_1	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	-	-	-	-	-	-	
ADDRC_1	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	-	-	-	-	-	-	
ADDRD_1	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	-	-	-	-	-	-	
ADDRE_1	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	-	-	-	-	-	-	
ADDRF_1	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	-	-	-	-	-	-	

25. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
ADDRG_1	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D_1
	AD1	AD0	-	-	-	-	-	-	
ADDRH_1	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	-	-	-	-	-	-	
ADCSR_1	ADF	ADIE	ADST	-	CH3	CH2	CH1	CH0	
ADCR_1	TRGS1	TRGS0	SCANE	SCANS	CKS1	CKS0	-	-	
P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR	I/O ポート
P2DDR	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR	
P3DDR	P37DDR	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR	
P6DDR	P67DDR	P66DDR	P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR	
PADDR	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR	
PDDDR	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR	
PEDDR	PE7DDR	PE6DDR	PE5DDR	PE4DDR	PE3DDR	PE2DDR	PE1DDR	PE0DDR	
PFDDR	PF7DDR	PF6DDR	PF5DDR	PF4DDR	PF3DDR	PF2DDR	PF1DDR	PF0DDR	
P1ICR	P17ICR	P16ICR	P15ICR	P14ICR	P13ICR	P12ICR	P11ICR	P10ICR	
P2ICR	P27ICR	P26ICR	P25ICR	P24ICR	P23ICR	P22ICR	P21ICR	P20ICR	
P3ICR	P37ICR	P36ICR	P35ICR	P34ICR	P33ICR	P32ICR	P31ICR	P30ICR	
P4ICR	P47ICR	P46ICR	P45ICR	P44ICR	P43ICR	P42ICR	P41ICR	P40ICR	
P5ICR	P57ICR	P56ICR	P55ICR	P54ICR	P53ICR	P52ICR	P51ICR	P50ICR	
P6ICR	P67ICR	P66ICR	P65ICR	P64ICR	P63ICR	P62ICR	P61ICR	P60ICR	
PAICR	PA7ICR	PA6ICR	PA5ICR	PA4ICR	PA3ICR	PA2ICR	PA1ICR	PA0ICR	
PDICR	PD7ICR	PD6ICR	PD5ICR	PD4ICR	PD3ICR	PD2ICR	PD1ICR	PD0ICR	
PEICR	PE7ICR	PE6ICR	PE5ICR	PE4ICR	PE3ICR	PE2ICR	PE1ICR	PE0ICR	
PFICR	PF7ICR	PF6ICR	PF5ICR	PF4ICR	PF3ICR	PF2ICR	PF1ICR	PF0ICR	
PORTH	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0	
PORTI	PI7	PI6	PI5	PI4	PI3	PI2	PI1	PI0	
PORTJ	PJ7	PJ6	PJ5	PJ4	PJ3	PJ2	PJ1	PJ0	
PORTK	PK7	PK6	PK5	PK4	PK3	PK2	PK1	PK0	
PHDR	PH7DR	PH6DR	PH5DR	PH4DR	PH3DR	PH2DR	PH1DR	PH0DR	
PIDR	PI7DR	PI6DR	PI5DR	PI4DR	PI3DR	PI2DR	PI1DR	PI0DR	
PJDR	PJ7DR	PJ6DR	PJ5DR	PJ4DR	PJ3DR	PJ2DR	PJ1DR	PJ0DR	
PKDR	PK7DR	PK6DR	PK5DR	PK4DR	PK3DR	PK2DR	PK1DR	PK0DR	
PHDDR	PH7DDR	PH6DDR	PH5DDR	PH4DDR	PH3DDR	PH2DDR	PH1DDR	PH0DDR	
PIDDR	PIDDR	PI6DDR	PI5DDR	PI4DDR	PI3DDR	PI2DDR	PI1DDR	PI0DDR	
PJDDR	PJ7DDR	PJ6DDR	PJ5DDR	PJ4DDR	PJ3DDR	PJ2DDR	PJ1DDR	PJ0DDR	

25. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
PKDDR	PK7DDR	PK6DDR	PK5DDR	PK4DDR	PK3DDR	PK2DDR	PK1DDR	PK0DDR	I/Oポート
PHICR	PH7ICR	PH6ICR	PH5ICR	PH4ICR	PH3ICR	PH2ICR	PH1ICR	PH0ICR	
PIICR	PI7ICR	PI6ICR	PI5ICR	PI4ICR	PI3ICR	PI2ICR	PH1ICR	PI0ICR	
PJICR	PJ7ICR	PJ6ICR	PJ5ICR	PJ4ICR	PJ3ICR	PJ2ICR	PJ1ICR	PJ0ICR	
PKICR	PK7ICR	PK6ICR	PK5ICR	PK4ICR	PK3ICR	PK2ICR	PK1ICR	PK0ICR	
PDPCR	PD7PCR	PD6PCR	PD5PCR	PD4PCR	PD3PCR	PD2PCR	PD1PCR	PD0PCR	
PEPCR	PE7PCR	PE6PCR	PE5PCR	PE4PCR	PE3PCR	PE2PCR	PE1PCR	PE0PCR	
PFPCR	PF7PCR	PF6PCR	PF5PCR	PF4PCR	PF3PCR	PF2PCR	PF1PCR	PF0PCR	
PHPCR	PH7PCR	PH6PCR	PH5PCR	PH4PCR	PH3PCR	PH2PCR	PH1PCR	PH0PCR	
PIPCR	PI7PCR	PI6PCR	PI5PCR	PI4PCR	PI3PCR	PI2PCR	PI1PCR	PI0PCR	
PJPCR	PJ7PCR	PJ6PCR	PJ5PCR	PJ4PCR	PJ3PCR	PJ2PCR	PJ1PCR	PJ0PCR	
PKPCR	PK7PCR	PK6PCR	PK5PCR	PK4PCR	PK3PCR	PK2PCR	PK1PCR	PK0PCR	
P2ODR	P27ODR	P26ODR	P25ODR	P24ODR	P23ODR	P22ODR	P21ODR	P20ODR	
PFODR	PF7ODR	PF6ODR	PF5ODR	PF4ODR	PF3ODR	PF2ODR	PF1ODR	PF0ODR	
PF2CR	-	-	-	-	-	-	ASOE	-	
PF4CR	A23E	A22E	A21E	A20E	A19E	A18E	A17E	A16E	
PF9CR	TPUMS5	TPUMS4	TPUMS3A	TPUMS3B	TPUMS2	TPUMS1	TPUMS0A	TPUMS0B	
SSI1ER	SSI15	SSI14	SSI13	SSI12	SSI11	SSI10	SSI9	SSI8	INTC
	SSI7	SSI6	SSI5	SSI4	SSI3	SSI2	SSI1	SSI0	
DSAR_0									DMAC_0
DDAR_0									
DOFR_0									
DTCR_0									

25. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
DBSR_0	BKSZH31	BKSZH30	BKSZH29	BKSZH28	BKSZH27	BKSZH26	BKSZH25	BKSZH24	DMAC_0
	BKSZH23	BKSZH22	BKSZH21	BKSZH20	BKSZH19	BKSZH18	BKSZH17	BKSZH16	
	BKSZ15	BKSZ14	BKSZ13	BKSZ12	BKSZ11	BKSZ10	BKSZ9	BKSZ8	
	BKSZ7	BKSZ6	BKSZ5	BKSZ4	BKSZ3	BKSZ2	BKSZ1	BKSZ0	
DMDR_0	DTE	DACKE	TENDE	-	DREQS	NRD	-	-	
	ACT	-	-	-	ERRF	-	ESIF	DTIF	
	DTSZ1	DTSZ0	MDS1	MDS0	TSEIE	-	ESIE	DTIE	
	DTF1	DTF0	DTA	-	-	DMAP2	DMAP1	DMAP0	
DACR_0	AMS	DIRS	-	-	-	RPTIE	ARS1	ARS0	
	-	-	SAT1	SAT0	-	-	DAT1	DAT0	
	SARIE	-	-	SARA4	SARA3	SARA2	SARA1	SARA0	
	DARIE	-	-	DARA4	DARA3	DARA2	DARA1	DARA0	
DSAR_1								DMAC_1	
DDAR_1									
DOFR_1									
DTCR_1									
DBSR_1	BKSZH31	BKSZH30	BKSZH29	BKSZH28	BKSZH27	BKSZH26	BKSZH25	BKSZH24	
	BKSZH23	BKSZH22	BKSZH21	BKSZH20	BKSZH19	BKSZH18	BKSZH17	BKSZH16	
	BKSZ15	BKSZ14	BKSZ13	BKSZ12	BKSZ11	BKSZ10	BKSZ9	BKSZ8	
	BKSZ7	BKSZ6	BKSZ5	BKSZ4	BKSZ3	BKSZ2	BKSZ1	BKSZ0	
DMDR_1	DTE	DACKE	TENDE	-	DREQS	NRD	-	-	
	ACT	-	-	-	-	-	ESIF	DTIF	
	DTSZ1	DTSZ0	MDS1	MDS0	TSEIE	-	ESIE	DTIE	
	DTF1	DTF0	DTA	-	-	DMAP2	DMAP1	DMAP0	

25. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
DACR_1	AMS	DIRS	-	-	-	RPTIE	ARS1	ARS0	DMAC_1
	-	-	SAT1	SAT0	-	-	DAT1	DAT0	
	SARIE	-	-	SARA4	SARA3	SARA2	SARA1	SARA0	
	DARIE	-	-	DARA4	DARA3	DARA2	DARA1	DARA0	
DSAR_2									DMAC_2
DDAR_2									
DOFR_2									
DTCR_2									
DBSR_2	BKSZH31	BKSZH30	BKSZH29	BKSZH28	BKSZH27	BKSZH26	BKSZH25	BKSZH24	
	BKSZH23	BKSZH22	BKSZH21	BKSZH20	BKSZH19	BKSZH18	BKSZH17	BKSZH16	
	BKSZ15	BKSZ14	BKSZ13	BKSZ12	BKSZ11	BKSZ10	BKSZ9	BKSZ8	
	BKSZ7	BKSZ6	BKSZ5	BKSZ4	BKSZ3	BKSZ2	BKSZ1	BKSZ0	
DMDR_2	DTE	DACKE	TENDE	-	DREQS	NRD	-	-	
	ACT	-	-	-	-	-	ESIF	DTIF	
	DTSZ1	DTSZ0	MDS1	MDS0	TSEIE	-	ESIE	DTIE	
	DTF1	DTF0	DTA	-	-	DMAP2	DMAP1	DMAP0	
DACR_2	AMS	DIRS	-	-	-	RPTIE	ARS1	ARS0	
	-	-	SAT1	SAT0	-	-	DAT1	DAT0	
	SARIE	-	-	SARA4	SARA3	SARA2	SARA1	SARA0	
	DARIE	-	-	DARA4	DARA3	DARA2	DARA1	DARA0	
DSAR_3									DMAC_3

25. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
DDAR_3									DMAC_3
DOFR_3									
DTCR_3									
DBSR_3	BKSZH31	BKSZH30	BKSZH29	BKSZH28	BKSZH27	BKSZH26	BKSZH25	BKSZH24	
	BKSZH23	BKSZH22	BKSZH21	BKSZH20	BKSZH19	BKSZH18	BKSZH17	BKSZH16	
	BKSZ15	BKSZ14	BKSZ13	BKSZ12	BKSZ11	BKSZ10	BKSZ9	BKSZ8	
	BKSZ7	BKSZ6	BKSZ5	BKSZ4	BKSZ3	BKSZ2	BKSZ1	BKSZ0	
MDMR_3	DTE	DACKE	TENDE	-	DREQS	NRD	-	-	
	ACT	-	-	-	-	-	ESIF	DTIF	
	DTSZ1	DTSZ0	MDS1	MDS0	TSEIE	-	ESIE	DTIE	
	DTF1	DTF0	DTA	-	-	DMAP2	DMAP1	DMAP0	
DACR_3	AMS	DIRS	-	-	-	RPTIE	ARS1	ARS0	
	-	-	SAT1	SAT0	-	-	DAT1	DAT0	
	SARIE	-	-	SARA4	SARA3	SARA2	SARA1	SARA0	
	DARIE	-	-	DARA4	DARA3	DARA2	DARA1	DARA0	
DMRSR_0								DMAC_0	
DMRSR_1								DMAC_1	
DMRSR_2								DMAC_2	
DMRSR_3								DMAC_3	
IPRA	-	IPRA14	IPRA13	IPRA12	-	IPRA10	IPRA9	IPRA8	INTC
	-	IPRA6	IPRA5	IPRA4	-	IPRA2	IPRA1	IPRA0	
IPRB	-	IPRB14	IPRB13	IPRB12	-	IPRB10	IPRB9	IPRB8	
	-	IPRB6	IPRB5	IPRB4	-	IPRB2	IPRB1	IPRB0	
IPRC	-	IPRC14	IPRC13	IPRC12	-	IPRC10	IPRC9	IPRC8	
	-	IPRC6	IPRC5	IPRC4	-	IPRC2	IPRC1	IPRC0	
IPRD	-	IPRD14	IPRD13	IPRD12	-	IPRD10	IPRD9	IPRD8	
	-	IPRD6	IPRD5	IPRD4	-	IPRD2	IPRD1	IPRD0	

25. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
IPRE	-	IPRE14	IPRE13	IPRE12	-	IPRE10	IPRE9	IPRE8	INTC
	-	IPRE6	IPRE5	IPRE4	-	IPRE2	IPRE1	IPRE0	
IPRF	-	IPRF14	IPRF13	IPRF12	-	IPRF10	IPRF9	IPRF8	
	-	IPRF6	IPRF5	IPRF4	-	IPRF2	IPRF1	IPRF0	
IPRG	-	IPRG14	IPRG13	IPRG12	-	IPRG10	IPRG9	IPRG8	
	-	IPRG6	IPRG5	IPRG4	-	IPRG2	IPRG1	IPRG0	
IPRI	-	IPRI14	IPRI13	IPRI12	-	IPRI10	IPRI9	IPRI8	
	-	IPRI6	IPRI5	IPRI4	-	IPRI2	IPRI1	IPRI0	
IPRK	-	IPRK14	IPRK13	IPRK12	-	IPRK10	IPRK9	IPRK8	
	-	IPRK6	IPRK5	IPRK4	-	IPRK2	IPRK1	IPRK0	
IPRL	-	IPRL14	IPRL13	IPRL12	-	IPRL10	IPRL9	IPRL8	
	-	IPRL6	IPRL5	IPRL4	-	IPRL2	IPRL1	IPRL0	
IPRO	-	IPRO14	IPRO13	IPRO12	-	IPRO10	IPRO9	IPRO8	
	-	IPRO6	IPRO5	IPRO4	-	IPRO2	IPRO1	IPRO0	
IPRQ	-	IPRQ14	IPRQ13	IPRQ12	-	IPRQ10	IPRQ9	IPRQ8	
	-	IPRQ6	IPRQ5	IPRQ4	-	IPRQ2	IPRQ1	IPRQ0	
IPRR	-	IPRR14	IPRR13	IPRR12	-	IPRR10	IPRR9	IPRR8	
	-	IPRR6	IPRR5	IPRR4	-	IPRR2	IPRR1	IPRR0	
ISCRH	IRQ15SR	IRQ15SF	IRQ14SR	IRQ14SF	IRQ13SR	IRQ13SF	IRQ12SR	IRQ12SF	
	IRQ11SR	IRQ11SF	IRQ10SR	IRQ10SF	IRQ9SR	IRQ9SF	IRQ8SR	IRQ8SF	
ISCRL	IRQ7SR	IRQ7SF	IRQ6SR	IRQ6SF	IRQ5SR	IRQ5SF	IRQ4SR	IRQ4SF	
	IRQ3SR	IRQ3SF	IRQ2SR	IRQ2SF	IRQ1SR	IRQ1SF	IRQ0SR	IRQ0SF	
ABWCR	ABWH7	ABWH6	ABWH5	ABWH4	ABWH3	ABWH2	ABWH1	ABWH0	BSC
	ABWL7	ABWL6	ABWL5	ABWL4	ABWL3	ABWL2	ABWL1	ABWL0	
ASTCR	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0	
	-	-	-	-	-	-	-	-	
WTCRA	-	W72	W71	W70	-	W62	W61	W60	
	-	W52	W51	W50	-	W42	W41	W40	
WTCRB	-	W32	W31	W30	-	W22	W21	W20	
	-	W12	W11	W10	-	W02	W01	W00	
RDNCR	RDN7	RDN6	RDN5	RDN4	RDN3	RDN2	RDN1	RDN0	
	-	-	-	-	-	-	-	-	
IDLCR	IDLS3	IDLS2	IDLS1	IDLS0	IDLCB1	IDLCB0	IDLCA1	IDLCA0	
	IDLSEL7	IDLSEL6	IDLSEL5	IDLSEL4	IDLSEL3	IDLSEL2	IDLSEL1	IDLSEL0	
BCR1	BRLE	BREQOE	-	-	-	-	WDBE	WAITE	
	DKC	-	-	-	-	-	-	-	
BCR2	-	-	-	IBCCS	-	-	-	PWDBE	

25. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
ENDIANCR	LE7	LE6	LE5	LE4	LE3	LE2	-	-	BSC
RAMER	-	-	-	-	RAMS	RAM2	RAM1	RAM0	
MDCR	-	-	-	-	MDS3	MDS2	MDS1	MDS0	SYSTEM
	-	-	-	-	-	-	-	-	
SYSCR	-	-	MACS	-	FETCHMD	-	EXPE	RAME	
	-	-	-	-	-	-	-	-	
SCKCR	PSTOP1	-	POSEL1	-	-	ICK2	ICK1	ICK0	
	-	PCK2	PCK1	PCK0	-	BCK2	BCK1	BCK0	
SBYCR	SSBY	OPE	-	STS4	STS3	STS2	STS1	STS0	
	-	-	-	-	-	-	-	-	
MSTPCRA	ACSE	MSTPA14	MSTPA13	MSTPA12	MSTPA11	MSTPA10	MSTPA9	MSTPA8	
	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0	
MSTPCRB	MSTPB15	MSTPB14	MSTPB13	MSTPB12	MSTPB11	MSTPB10	MSTPB9	MSTPB8	
	MSTPB7	MSTPB6	MSTPB5	MSTPB4	MSTPB3	MSTPB2	MSTPB1	MSTPB0	
MSTPCRC	MSTPC15	MSTPC14	MSTPC13	MSTPC12	MSTPC11	MSTPC10	MSTPC9	MSTPC8	
	MSTPC7	MSTPC6	MSTPC5	MSTPC4	MSTPC3	MSTPC2	MSTPC1	MSTPC0	
SUBCKCR	-	-	-	-	XTALSTP	PLLSTP	WKCKSEL	SUBCKSEL	
FCCS	-	-	-	FLER	-	-	-	SCO	FLASH
FPCS	-	-	-	-	-	-	-	PPVS	
FECS	-	-	-	-	-	-	-	EPVB	
FKEY	K7	K6	K5	K4	K3	K2	K1	K0	
FTDAR	TDER	TDA6	TDA5	TDA4	TDA3	TDA2	TDA1	TDA0	
SMR_4*	C/Ā (GM)	CHR (BLK)	PE	O/Ē	STOP (BCP1)	MP (BCP0)	CKS1	CKS0	SCI_4
BRR_4									
SCR_4*	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_4									
SSR_4*	TDRE	RDRF	ORER	FER (ERS)	PER	TEND	MPB	MPBT	
RDR_4									
SCMR_4	-	-	-	-	SDIR	SINV	-	SMIF	

25. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
SMR_5*	C/ \bar{A} (GM)	CHR (BLK)	PE	O/ \bar{E}	STOP (BCP1)	MP (BCP0)	CKS1	CKS0	SCL_5
BRR_5									
SCR_5*	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_5									
SSR_5*	TDRE	RDRF	ORER	FER (ERS)	PER	TEND	MPB	MPBT	
RDR_5									
SCMR_5	-	-	-	-	SDIR	SINV	-	SMIF	
ICCRA_0	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0	IIC2_0
ICCRB_0	BBSY	SCP	SDAO	-	SCLO	-	IICRST	-	
ICMR_0	-	WAIT	-	-	BCWP	BC2	BC1	BC0	
ICIER_0	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT	
ICSR_0	TDRE	TEND	RDRF	NACKF	STOP	AL	AAS	ADZ	
SAR_0	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	-	
ICDRT_0									
ICDRR_0									
ICCRA_1	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0	IIC2_1
ICCRB_1	BBSY	SCP	SDAO	-	SCLO	-	IICRST	-	
ICMR_1	-	WAIT	-	-	BCWP	BC2	BC1	BC0	
ICIER_1	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT	
ICSR_1	TDRE	TEND	RDRF	NACKF	STOP	AL	AAS	ADZ	
SAR_1	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	-	
ICDRT_1									
ICDRR_1									
TCR_4	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_4
TMDR_4	-	-	-	-	MD3	MD2	MD1	MD0	
TIOR_4	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_4	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA	
TSR_4	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA	
TCNT_4									
TGRA_4									
TGRB_4									

25. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール	
TCR_5	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_5	
TMDR_5	-	-	-	-	MD3	MD2	MD1	MD0		
TIOR_5	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
TIER_5	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA		
TSR_5	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA		
TCNT_5										
TGRA_5										
TGRB_5										
INTCR	-	-	INTM1	INTM0	NMIEG	-	-	-		INTC
CPUPCR	CPUPCE	-	-	-	IPSETE	CPUP2	CPUP1	CPUP0		
IER	IRQ15E	IRQ14E	IRQ13E	IRQ12E	IRQ11E	IRQ10E	IRQ9E	IRQ8E		
	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E		
ISR	IRQ15F	IRQ14F	IRQ13F	IRQ12F	IRQ11F	IRQ10F	IRQ9F	IRQ8F		
	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F		
PORT1	P17	P16	P15	P14	P13	P12	P11	P10	I/Oポート	
PORT2	P27	P26	P25	P24	P23	P22	P21	P20		
PORT3	P37	P36	P35	P34	P33	P32	P31	P30		
PORT4	P47	P46	P45	P44	P43	P42	P41	P40		
PORT5	P57	P56	P55	P54	P53	P52	P51	P50		
PORT6	P67	P66	P65	P64	P63	P62	P61	P60		
PORTA	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0		
PORTD	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0		
PORTE	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0		
PORTF	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0		
P1DR	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR		
P2DR	P27DR	P26DR	P25DR	P14DR	P23DR	P22DR	P21DR	P20DR		
P3DR	P37DR	P36DR	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR		
P6DR	P67DR	P66DR	P65DR	P64DR	P63DR	P62DR	P61DR	P60DR		
PADR	PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	PA0DR		
PDDR	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR		
PEDR	PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR		
PFDR	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR		

25. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
SMR_2*	C/ \bar{A} (GM)	CHR (BLK)	PE	O/ \bar{E}	STOP (BCP1)	MP (BCP0)	CKS1	CKS0	SCI_2
BRR_2									
SCR_2*	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_2									
SSR_2*	TDRE	RDRF	ORER	FER (ERS)	PER	TEND	MPB	MPBT	
RDR_2									
SCMR_2	-	-	-	-	SDIR	SINV	-	SMIF	
SMR_0*	C/ \bar{A} (GM)	CHR (BLK)	PE	O/ \bar{E}	STOP (BCP1)	MP (BCP0)	CKS1	CKS0	SCI_0
BRR_0									
SCR_0*	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_0									
SSR_0*	TDRE	RDRF	ORER	FER (ERS)	PER	TEND	MPB	MPBT	
RDR_0									
SCMR_0	-	-	-	-	SDIR	SINV	-	SMIF	
ADDRA_0	AD9 AD1	AD8 AD0	AD7 -	AD6 -	AD5 -	AD4 -	AD3 -	AD2 -	A/D_0
ADDRB_0	AD9 AD1	AD8 AD0	AD7 -	AD6 -	AD5 -	AD4 -	AD3 -	AD2 -	
ADDRC_0	AD9 AD1	AD8 AD0	AD7 -	AD6 -	AD5 -	AD4 -	AD3 -	AD2 -	
ADDRD_0	AD9 AD1	AD8 AD0	AD7 -	AD6 -	AD5 -	AD4 -	AD3 -	AD2 -	
ADDRE_0	AD9 AD1	AD8 AD0	AD7 -	AD6 -	AD5 -	AD4 -	AD3 -	AD2 -	
ADDRF_0	AD9 AD1	AD8 AD0	AD7 -	AD6 -	AD5 -	AD4 -	AD3 -	AD2 -	
ADDRG_0	AD9 AD1	AD8 AD0	AD7 -	AD6 -	AD5 -	AD4 -	AD3 -	AD2 -	
ADDRH_0	AD9 AD1	AD8 AD0	AD7 -	AD6 -	AD5 -	AD4 -	AD3 -	AD2 -	
ADCSR_0	ADF	ADIE	ADST	-	CH3	CH2	CH1	CH0	
ADCR_0	TRGS1	TRGS0	SCANE	SCANS	CKS1	CKS0	-	-	

25. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
TCSR	OVF	WT/ \bar{IT}	TME	-	-	CKS2	CKS1	CKS0	WDT
TCNT									
RSTCSR	WOVF	RSTE	-	-	-	-	-	-	
TSTR	-	-	CST5	CST4	CST3	CST2	CST1	CST0	TPU
TSYR	-	-	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0	
TCR_0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_0
TMDR_0	-	-	BFB	BFA	MD3	MD2	MD1	MD0	
TIORH_0	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIORL_0	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
TIER_0	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TSR_0	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA	
TCNT_0									
TGRA_0									
TGRB_0									
TGRC_0									
TGRD_0									
TCR_1	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_1
TMDR_1	-	-	-	-	MD3	MD2	MD1	MD0	
TIOR_1	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_1	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA	
TSR_1	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA	
TCNT_1									
TGRA_1									
TGRB_1									

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール	
TCR_2	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_2	
TMDR_2	-	-	-	-	MD3	MD2	MD1	MD0		
TIOR_2	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
TIER_2	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA		
TSR_2	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA		
TCNT_2	_____									
TGRA_2	_____									
TGRB_2	_____									
TCR_3	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0		TPU_3
TMDR_3	-	-	BFB	BFA	MD3	MD2	MD1	MD0		
TIORH_3	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
TIORL_3	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0		
TIER_3	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA		
TSR_3	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA		
TCNT_3	_____									
TGRA_3	_____									
TGRB_3	_____									
TGRC_3	_____									
TGRD_3	_____									

- 【注】 *1 SSU : Synchronous Serial communication Unit
- *2 PWM16 は、16 ビット PWM を示します。
- *3 PWM10 は、モータコントロール PWM を示します。
- *4 通常モードとスマートカードインタフェースで一部のビットの機能が異なります。

25. レジスタ一覧

25.3 各動作モードにおけるレジスタの状態

レジスタ 略称	リセット	スリープ モード	サブ クロック モード	モジュール ストップ モード	全モジュール クロック ストップ モード	ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
MCR_0	初期化	-	-	初期化	初期化	初期化	初期化	RCAN-ET_0
GSR_0	初期化	-	-	初期化	初期化	初期化	初期化	
BCR1_0	初期化	-	-	初期化	初期化	初期化	初期化	
BCR0_0	初期化	-	-	初期化	初期化	初期化	初期化	
IRR_0	初期化	-	-	初期化	初期化	初期化	初期化	
IMR_0	初期化	-	-	初期化	初期化	初期化	初期化	
TEC_0	初期化	-	-	初期化	初期化	初期化	初期化	
REC_0	初期化	-	-	初期化	初期化	初期化	初期化	
TXPR1_0	初期化	-	-	初期化	初期化	初期化	初期化	
TXPR0_0	初期化	-	-	初期化	初期化	初期化	初期化	
TXCR0_0	初期化	-	-	初期化	初期化	初期化	初期化	
TXACK0_0	初期化	-	-	初期化	初期化	初期化	初期化	
ABACK0_0	初期化	-	-	初期化	初期化	初期化	初期化	
RXPR0_0	初期化	-	-	初期化	初期化	初期化	初期化	
RFPR0_0	初期化	-	-	初期化	初期化	初期化	初期化	
MBIMR0_0	初期化	-	-	初期化	初期化	初期化	初期化	
UMSR0_0	初期化	-	-	初期化	初期化	初期化	初期化	
MB_0[0]. CONTROL0H	-	-	-	-	-	-	-	
MB_0[0]. CONTROL0L	-	-	-	-	-	-	-	
MB_0[0]. LAFMH	-	-	-	-	-	-	-	
MB_0[0]. LAFML	-	-	-	-	-	-	-	
MB_0[0]. MSG_DATA[0]	-	-	-	-	-	-	-	
MB_0[0]. MSG_DATA[1]	-	-	-	-	-	-	-	
MB_0[0]. MSG_DATA[2]	-	-	-	-	-	-	-	

レジスタ 略称	リセット	スリープ モード	サブ クロック モード	モジュール ストップ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
MB_0[0]. MSG_DATA[3]	-	-	-	-	-	-	-	RCAN-ET_0
MB_0[0]. MSG_DATA[4]	-	-	-	-	-	-	-	
MB_0[0]. MSG_DATA[5]	-	-	-	-	-	-	-	
MB_0[0]. MSG_DATA[6]	-	-	-	-	-	-	-	
MB_0[0]. MSG_DATA[7]	-	-	-	-	-	-	-	
MB_0[0]. CONTROL1H	初期化	-	-	初期化	初期化	初期化	初期化	
MB_0[0]. CONTROL1L	初期化	-	-	初期化	初期化	初期化	初期化	
MB_0[1]. CONTROL0H	-	-	-	-	-	-	-	
MB_0[1]. CONTROL0L	-	-	-	-	-	-	-	
MB_0[1]. LAFMH	-	-	-	-	-	-	-	
MB_0[1]. LAFML	-	-	-	-	-	-	-	
MB_0[1].MSG _DATA[0]	-	-	-	-	-	-	-	
MB_0[1].MSG _DATA[1]	-	-	-	-	-	-	-	
MB_0[1].MSG _DATA[2]	-	-	-	-	-	-	-	
MB_0[1].MSG _DATA[3]	-	-	-	-	-	-	-	
MB_0[1].MSG _DATA[4]	-	-	-	-	-	-	-	
MB_0[1].MSG _DATA[5]	-	-	-	-	-	-	-	
MB_0[1].MSG _DATA[6]	-	-	-	-	-	-	-	
MB_0[1].MSG _DATA[7]	-	-	-	-	-	-	-	

25. レジスタ一覧

レジスタ 略称	リセット	スリープ モード	サブ クロック モード	モジュール ストップ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
MB_0[1]. CONTROL1H	初期化	-	-	初期化	初期化	初期化	初期化	RCAN-ET_0
MB_0[1]. CONTROL1L	初期化	-	-	初期化	初期化	初期化	初期化	
MB_0[2]. CONTROL0H ~ MB_0[2]. CONTROL1L			MB_0[1].CONTROL0H - MB_0[1].CONTROL1L と同じ					
(繰り返し)								
MB_0[15]. CONTROL0H ~ MB_0[15]. CONTROL1L			MB_0[1].CONTROL0H - MB_0[1].CONTROL1L と同じ					
MCR_1			RCAN-ET_1 は RCAN-ET_0 と同じ					RCAN-ET_1
MB_1[15]. CONTROL0H ~ MB_1[15]. CONTROL1L								
SSCRH_0	初期化	-	初期化	初期化	初期化	初期化	初期化	SSU ^{*1} _0
SSCRL_0	初期化	-	初期化	初期化	初期化	初期化	初期化	
SSMR_0	初期化	-	初期化	初期化	初期化	初期化	初期化	
SSER_0	初期化	-	初期化	初期化	初期化	初期化	初期化	
SSSR_0	初期化	-	初期化	初期化	初期化	初期化	初期化	
SSCR2_0	初期化	-	初期化	初期化	初期化	初期化	初期化	
SSTDR0_0	初期化	-	初期化	初期化	初期化	初期化	初期化	
SSTDR1_0	初期化	-	初期化	初期化	初期化	初期化	初期化	
SSTDR2_0	初期化	-	初期化	初期化	初期化	初期化	初期化	
SSTDR3_0	初期化	-	初期化	初期化	初期化	初期化	初期化	
SSRDR0_0	初期化	-	初期化	初期化	初期化	初期化	初期化	
SSRDR1_0	初期化	-	初期化	初期化	初期化	初期化	初期化	
SSRDR2_0	初期化	-	初期化	初期化	初期化	初期化	初期化	
SSRDR3_0	初期化	-	初期化	初期化	初期化	初期化	初期化	

25. レジスタ一覧

レジスタ 略称	リセット	スリープ モード	サブ クロック モード	モジュール ストップ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
SSCRH_1	初期化	-	初期化	初期化	初期化	初期化	初期化	SSU ^{※1} _1
SSCRL_1	初期化	-	初期化	初期化	初期化	初期化	初期化	
SSMR_1	初期化	-	初期化	初期化	初期化	初期化	初期化	
SSER_1	初期化	-	初期化	初期化	初期化	初期化	初期化	
SSSR_1	初期化	-	初期化	初期化	初期化	初期化	初期化	
SSCR2_1	初期化	-	初期化	初期化	初期化	初期化	初期化	
SSTDR0_1	初期化	-	初期化	初期化	初期化	初期化	初期化	
SSTDR1_1	初期化	-	初期化	初期化	初期化	初期化	初期化	
SSTDR2_1	初期化	-	初期化	初期化	初期化	初期化	初期化	
SSTDR3_1	初期化	-	初期化	初期化	初期化	初期化	初期化	
SSRDR0_1	初期化	-	初期化	初期化	初期化	初期化	初期化	
SSRDR1_1	初期化	-	初期化	初期化	初期化	初期化	初期化	
SSRDR2_1	初期化	-	初期化	初期化	初期化	初期化	初期化	
SSRDR3_1	初期化	-	初期化	初期化	初期化	初期化	初期化	
SGCR1_0	初期化	-	初期化	初期化	初期化	初期化	初期化	SDG_0
SGCSR_0	初期化	-	初期化	初期化	初期化	初期化	初期化	
SGCR2_0	初期化	-	初期化	初期化	初期化	初期化	初期化	
SGLR_0	初期化	-	初期化	初期化	初期化	初期化	初期化	
SGTFR_0	初期化	-	初期化	初期化	初期化	初期化	初期化	
SGSFR_0	初期化	-	初期化	初期化	初期化	初期化	初期化	
SGCR1_1	初期化	-	初期化	初期化	初期化	初期化	初期化	SDG_1
SGCSR_1	初期化	-	初期化	初期化	初期化	初期化	初期化	
SGCR2_1	初期化	-	初期化	初期化	初期化	初期化	初期化	
SGLR_1	初期化	-	初期化	初期化	初期化	初期化	初期化	
SGTFR_1	初期化	-	初期化	初期化	初期化	初期化	初期化	
SGSFR_1	初期化	-	初期化	初期化	初期化	初期化	初期化	
SGCR1_2	初期化	-	初期化	初期化	初期化	初期化	初期化	SDG_2
SGCSR_2	初期化	-	初期化	初期化	初期化	初期化	初期化	
SGCR2_2	初期化	-	初期化	初期化	初期化	初期化	初期化	
SGLR_2	初期化	-	初期化	初期化	初期化	初期化	初期化	
SGTFR_2	初期化	-	初期化	初期化	初期化	初期化	初期化	
SGSFR_2	初期化	-	初期化	初期化	初期化	初期化	初期化	
SGCR1_3	初期化	-	初期化	初期化	初期化	初期化	初期化	SDG_3
SGCSR_3	初期化	-	初期化	初期化	初期化	初期化	初期化	
SGCR2_3	初期化	-	初期化	初期化	初期化	初期化	初期化	

25. レジスタ一覧

レジスタ 略称	リセット	スリープ モード	サブ クロック モード	モジュール ストップ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
SGLR_3	初期化	-	初期化	初期化	初期化	初期化	初期化	SDG_3
SGTFR_3	初期化	-	初期化	初期化	初期化	初期化	初期化	
SGSFR_3	初期化	-	初期化	初期化	初期化	初期化	初期化	
PWCR_0	初期化	-	初期化	初期化	初期化	初期化	初期化	PWM16 ⁸² _0
PWOCR_0	初期化	-	初期化	初期化	初期化	初期化	初期化	
PWCYR_0	初期化	-	初期化	初期化	初期化	初期化	初期化	
PWBFR0_0	初期化	-	初期化	初期化	初期化	初期化	初期化	
PWBFR2_0	初期化	-	初期化	初期化	初期化	初期化	初期化	
PWBFR1_0	初期化	-	初期化	初期化	初期化	初期化	初期化	
PWBFR3_0	初期化	-	初期化	初期化	初期化	初期化	初期化	
PWCR_1	初期化	-	初期化	初期化	初期化	初期化	初期化	PWM16 ⁸² _1
PWOCR_1	初期化	-	初期化	初期化	初期化	初期化	初期化	
PWCYR_1	初期化	-	初期化	初期化	初期化	初期化	初期化	
PWBFR0_1	初期化	-	初期化	初期化	初期化	初期化	初期化	
PWBFR2_1	初期化	-	初期化	初期化	初期化	初期化	初期化	
PWBFR1_1	初期化	-	初期化	初期化	初期化	初期化	初期化	
PWBFR3_1	初期化	-	初期化	初期化	初期化	初期化	初期化	
PWCR_2	初期化	-	初期化	初期化	初期化	初期化	初期化	PWM16 ⁸² _2
PWOCR_2	初期化	-	初期化	初期化	初期化	初期化	初期化	
PWCYR_2	初期化	-	初期化	初期化	初期化	初期化	初期化	
PWBFR0_2	初期化	-	初期化	初期化	初期化	初期化	初期化	
PWBFR2_2	初期化	-	初期化	初期化	初期化	初期化	初期化	
PWBFR1_2	初期化	-	初期化	初期化	初期化	初期化	初期化	
PWBFR3_2	初期化	-	初期化	初期化	初期化	初期化	初期化	
WTCR	初期化	-	-	初期化	初期化	初期化	初期化	WAT
WTSR	初期化	-	-	初期化	初期化	初期化	初期化	
WTCOR	初期化	-	-	初期化	初期化	初期化	初期化	
WTCNT	初期化	-	-	初期化	初期化	初期化	初期化	
PWCR1	初期化	-	初期化	初期化	初期化	初期化	初期化	PWM10 ⁸³ _1
PWOCR1	初期化	-	初期化	初期化	初期化	初期化	初期化	
PWPR1	初期化	-	初期化	初期化	初期化	初期化	初期化	
PWCYR1	初期化	-	初期化	初期化	初期化	初期化	初期化	
PWBFR1A	初期化	-	初期化	初期化	初期化	初期化	初期化	
PWBFR1C	初期化	-	初期化	初期化	初期化	初期化	初期化	
PWBFR1E	初期化	-	初期化	初期化	初期化	初期化	初期化	
PWBFR1G	初期化	-	初期化	初期化	初期化	初期化	初期化	

25. レジスタ一覧

レジスタ 略称	リセット	スリープ モード	サブ クロック モード	モジュール ストップ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
PWCR2	初期化	-	初期化	初期化	初期化	初期化	初期化	PWM10 ^{※3} _2
PWOCR2	初期化	-	初期化	初期化	初期化	初期化	初期化	
PWPR2	初期化	-	初期化	初期化	初期化	初期化	初期化	
PWCYR2	初期化	-	初期化	初期化	初期化	初期化	初期化	
PWBFR2A	初期化	-	初期化	初期化	初期化	初期化	初期化	
PWBFR2C	初期化	-	初期化	初期化	初期化	初期化	初期化	
PWBFR2E	初期化	-	初期化	初期化	初期化	初期化	初期化	
PWBFR2G	初期化	-	初期化	初期化	初期化	初期化	初期化	
PWBTCR	初期化	-	初期化	初期化	初期化	初期化	初期化	PWM10 ^{※3}
DADR0	初期化	-	-	-	-	-	初期化	D/A
DADR1	初期化	-	-	-	-	-	初期化	
DACR01	初期化	-	-	-	-	-	初期化	
RCANMON_0	初期化	-	-	-	-	-	初期化	RCAN-ET_0
RCANMON_1	初期化	-	-	-	-	-	初期化	RCAN-ET_1
ADDRA_1	初期化	-	-	-	-	-	初期化	A/D_1
ADDRB_1	初期化	-	-	-	-	-	初期化	
ADDRC_1	初期化	-	-	-	-	-	初期化	
ADDRD_1	初期化	-	-	-	-	-	初期化	
ADDRE_1	初期化	-	-	-	-	-	初期化	
ADDRF_1	初期化	-	-	-	-	-	初期化	
ADDRG_1	初期化	-	-	-	-	-	初期化	
ADDRH_1	初期化	-	-	-	-	-	初期化	
ADCSR_1	初期化	-	-	-	-	-	初期化	
ADCR_1	初期化	-	-	-	-	-	初期化	
P1DDR	初期化	-	-	-	-	-	初期化	I/Oポート
P2DDR	初期化	-	-	-	-	-	初期化	
P3DDR	初期化	-	-	-	-	-	初期化	
P6DDR	初期化	-	-	-	-	-	初期化	
PADDR	初期化	-	-	-	-	-	初期化	
PDDDR	初期化	-	-	-	-	-	初期化	
PEDDR	初期化	-	-	-	-	-	初期化	
PFDDR	初期化	-	-	-	-	-	初期化	
P1ICR	初期化	-	-	-	-	-	初期化	
P2ICR	初期化	-	-	-	-	-	初期化	
P3ICR	初期化	-	-	-	-	-	初期化	

25. レジスタ一覧

レジスタ 略称	リセット	スリープ モード	サブ クロック モード	モジュール ストップ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
P4ICR	初期化	-	-	-	-	-	初期化	I/O ポート
P5ICR	初期化	-	-	-	-	-	初期化	
P6ICR	初期化	-	-	-	-	-	初期化	
PAICR	初期化	-	-	-	-	-	初期化	
PDICR	初期化	-	-	-	-	-	初期化	
PEICR	初期化	-	-	-	-	-	初期化	
PFICR	初期化	-	-	-	-	-	初期化	
PORTH	-	-	-	-	-	-	-	
PORTI	-	-	-	-	-	-	-	
PORTJ	-	-	-	-	-	-	-	
PORTK	-	-	-	-	-	-	-	
PHDR	初期化	-	-	-	-	-	初期化	
PIDR	初期化	-	-	-	-	-	初期化	
PJDR	初期化	-	-	-	-	-	初期化	
PKDR	初期化	-	-	-	-	-	初期化	
PHDDR	初期化	-	-	-	-	-	初期化	
PIDDR	初期化	-	-	-	-	-	初期化	
PJDDR	初期化	-	-	-	-	-	初期化	
PKDDR	初期化	-	-	-	-	-	初期化	
PHICR	初期化	-	-	-	-	-	初期化	
PIICR	初期化	-	-	-	-	-	初期化	
PJICR	初期化	-	-	-	-	-	初期化	
PKICR	初期化	-	-	-	-	-	初期化	
PDPCR	初期化	-	-	-	-	-	初期化	
PEPCR	初期化	-	-	-	-	-	初期化	
PFPCR	初期化	-	-	-	-	-	初期化	
PHPCR	初期化	-	-	-	-	-	初期化	
PIPCR	初期化	-	-	-	-	-	初期化	
PJPCR	初期化	-	-	-	-	-	初期化	
PKPCR	初期化	-	-	-	-	-	初期化	
P2ODR	初期化	-	-	-	-	-	初期化	
PFODR	初期化	-	-	-	-	-	初期化	
PFCR2	初期化	-	-	-	-	-	初期化	
PFCR4	初期化	-	-	-	-	-	初期化	
PFCR9	初期化	-	-	-	-	-	初期化	

25. レジスタ一覧

レジスタ 略称	リセット	スリープ モード	サブ クロック モード	モジュール ストップ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
SSIER	初期化	-	-	-	-	-	初期化	INTC
DSAR_0	初期化	-	-	-	-	-	初期化	DMAC_0
DDAR_0	初期化	-	-	-	-	-	初期化	
DOFR_0	初期化	-	-	-	-	-	初期化	
DTCR_0	初期化	-	-	-	-	-	初期化	
DBSR_0	初期化	-	-	-	-	-	初期化	
DMDR_0	初期化	-	-	-	-	-	初期化	
DACR_0	初期化	-	-	-	-	-	初期化	
DSAR_1	初期化	-	-	-	-	-	初期化	DMAC_1
DDAR_1	初期化	-	-	-	-	-	初期化	
DOFR_1	初期化	-	-	-	-	-	初期化	
DTCR_1	初期化	-	-	-	-	-	初期化	
DBSR_1	初期化	-	-	-	-	-	初期化	
DMDR_1	初期化	-	-	-	-	-	初期化	
DACR_1	初期化	-	-	-	-	-	初期化	
DSAR_2	初期化	-	-	-	-	-	初期化	DMAC_2
DDAR_2	初期化	-	-	-	-	-	初期化	
DOFR_2	初期化	-	-	-	-	-	初期化	
DTCR_2	初期化	-	-	-	-	-	初期化	
DBSR_2	初期化	-	-	-	-	-	初期化	
DMDR_2	初期化	-	-	-	-	-	初期化	
DACR_2	初期化	-	-	-	-	-	初期化	
DSAR_3	初期化	-	-	-	-	-	初期化	DMAC_3
DDAR_3	初期化	-	-	-	-	-	初期化	
DOFR_3	初期化	-	-	-	-	-	初期化	
DTCR_3	初期化	-	-	-	-	-	初期化	
DBSR_3	初期化	-	-	-	-	-	初期化	
DMDR_3	初期化	-	-	-	-	-	初期化	
DACR_3	初期化	-	-	-	-	-	初期化	
DMRSR_0	初期化	-	-	-	-	-	初期化	DMAC_0
DMRSR_1	初期化	-	-	-	-	-	初期化	DMAC_1
DMRSR_2	初期化	-	-	-	-	-	初期化	DMAC_2
DMRSR_3	初期化	-	-	-	-	-	初期化	DMAC_3

25. レジスタ一覧

レジスタ 略称	リセット	スリープ モード	サブ クロック モード	モジュール ストップ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
IPRA	初期化	-	-	-	-	-	初期化	INTC
IPRB	初期化	-	-	-	-	-	初期化	
IPRC	初期化	-	-	-	-	-	初期化	
IPRD	初期化	-	-	-	-	-	初期化	
IPRE	初期化	-	-	-	-	-	初期化	
IPRF	初期化	-	-	-	-	-	初期化	
IPRG	初期化	-	-	-	-	-	初期化	
IPRI	初期化	-	-	-	-	-	初期化	
IPRK	初期化	-	-	-	-	-	初期化	
IPRL	初期化	-	-	-	-	-	初期化	
IPRO	初期化	-	-	-	-	-	初期化	
IPRQ	初期化	-	-	-	-	-	初期化	
IPRR	初期化	-	-	-	-	-	初期化	
ISCRH	初期化	-	-	-	-	-	初期化	
ISCRL	初期化	-	-	-	-	-	初期化	
ABWCR	初期化	-	-	-	-	-	初期化	BSC
ASTCR	初期化	-	-	-	-	-	初期化	
WTCRA	初期化	-	-	-	-	-	初期化	
WTCRB	初期化	-	-	-	-	-	初期化	
RDNCR	初期化	-	-	-	-	-	初期化	
IDLCR	初期化	-	-	-	-	-	初期化	
BCR1	初期化	-	-	-	-	-	初期化	
BCR2	初期化	-	-	-	-	-	初期化	
ENDIANCR	初期化	-	-	-	-	-	初期化	
RAMER	初期化	-	-	-	-	-	初期化	
MDCR	初期化	-	-	-	-	-	初期化	SYSTEM
SYSCR	初期化	-	-	-	-	-	初期化	
SCKCR	初期化	-	-	-	-	-	初期化	
SBYCR	初期化	-	-	-	-	-	初期化	
MSTPCRA	初期化	-	-	-	-	-	初期化	
MSTPCRB	初期化	-	-	-	-	-	初期化	
MSTPCRC	初期化	-	-	-	-	-	初期化	
SUBCKCR	初期化	-	-	-	-	-	初期化	

25. レジスタ一覧

レジスタ 略称	リセット	スリープ モード	サブ クロック モード	モジュール ストップ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
FCCS	初期化	-	-	-	-	-	初期化	FLASH
FPCS	初期化	-	-	-	-	-	初期化	
FECS	初期化	-	-	-	-	-	初期化	
FKEY	初期化	-	-	-	-	-	初期化	
FTDAR	初期化	-	-	-	-	-	初期化	
SMR_4	初期化	-	-	-	-	初期化	初期化	SCI_4
BRR_4	初期化	-	-	-	-	初期化	初期化	
SCR_4	初期化	-	-	-	-	初期化	初期化	
TDR_4	初期化	-	初期化	初期化	初期化	初期化	初期化	
SSR_4	初期化	-	初期化	初期化	初期化	初期化	初期化	
RDR_4	初期化	-	初期化	初期化	初期化	初期化	初期化	
SCMR_4	初期化	-	-	-	-	初期化	初期化	
SMR_5	初期化	-	-	-	-	初期化	初期化	SCI_5
BRR_5	初期化	-	-	-	-	初期化	初期化	
SCR_5	初期化	-	-	-	-	初期化	初期化	
TDR_5	初期化	-	初期化	初期化	初期化	初期化	初期化	
SSR_5	初期化	-	初期化	初期化	初期化	初期化	初期化	
RDR_5	初期化	-	初期化	初期化	初期化	初期化	初期化	
SCMR_5	初期化	-	-	-	-	初期化	初期化	
ICCRA_0	初期化	-	-	-	-	-	初期化	IIC2_0
ICCRB_0	初期化	-	-	-	-	-	初期化	
ICMR_0	初期化	-	-	-	-	-	初期化	
ICIER_0	初期化	-	-	-	-	-	初期化	
ICSR_0	初期化	-	-	-	-	-	初期化	
SAR_0	初期化	-	-	-	-	-	初期化	
ICDRT_0	初期化	-	-	-	-	-	初期化	
ICDRR_0	初期化	-	-	-	-	-	初期化	
ICCRA_1	初期化	-	-	-	-	-	初期化	IIC2_1
ICCRB_1	初期化	-	-	-	-	-	初期化	
ICMR_1	初期化	-	-	-	-	-	初期化	
ICIER_1	初期化	-	-	-	-	-	初期化	
ICSR_1	初期化	-	-	-	-	-	初期化	
SAR_1	初期化	-	-	-	-	-	初期化	
ICDRT_1	初期化	-	-	-	-	-	初期化	
ICDRR_1	初期化	-	-	-	-	-	初期化	

25. レジスタ一覧

レジスタ 略称	リセット	スリープ モード	サブ クロック モード	モジュール ストップ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
TCR_4	初期化	-	-	-	-	-	初期化	TPU_4
TMDR_4	初期化	-	-	-	-	-	初期化	
TIOR_4	初期化	-	-	-	-	-	初期化	
TIER_4	初期化	-	-	-	-	-	初期化	
TSR_4	初期化	-	-	-	-	-	初期化	
TCNT_4	初期化	-	-	-	-	-	初期化	
TGRA_4	初期化	-	-	-	-	-	初期化	
TGRB_4	初期化	-	-	-	-	-	初期化	
TCR_5	初期化	-	-	-	-	-	初期化	TPU_5
TMDR_5	初期化	-	-	-	-	-	初期化	
TIOR_5	初期化	-	-	-	-	-	初期化	
TIER_5	初期化	-	-	-	-	-	初期化	
TSR_5	初期化	-	-	-	-	-	初期化	
TCNT_5	初期化	-	-	-	-	-	初期化	
TGRA_5	初期化	-	-	-	-	-	初期化	
TGRB_5	初期化	-	-	-	-	-	初期化	
INTCR	初期化	-	-	-	-	-	初期化	INTC
CPUPCR	初期化	-	-	-	-	-	初期化	
IER	初期化	-	-	-	-	-	初期化	
ISR	初期化	-	-	-	-	-	初期化	
PORT1	-	-	-	-	-	-	-	I/O ポート
PORT2	-	-	-	-	-	-	-	
PORT3	-	-	-	-	-	-	-	
PORT4	-	-	-	-	-	-	-	
PORT5	-	-	-	-	-	-	-	
PORT6	-	-	-	-	-	-	-	
PORTA	-	-	-	-	-	-	-	
PORTD	-	-	-	-	-	-	-	
PORTE	-	-	-	-	-	-	-	
PORTF	-	-	-	-	-	-	-	
P1DR	初期化	-	-	-	-	-	初期化	
P2DR	初期化	-	-	-	-	-	初期化	
P3DR	初期化	-	-	-	-	-	初期化	
P6DR	初期化	-	-	-	-	-	初期化	

25. レジスタ一覧

レジスタ 略称	リセット	スリープ モード	サブ クロック モード	モジュール ストップ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
PADR	初期化	-	-	-	-	-	初期化	I/O ポート
PDDR	初期化	-	-	-	-	-	初期化	
PEDR	初期化	-	-	-	-	-	初期化	
PFDR	初期化	-	-	-	-	-	初期化	
SMR_2	初期化	-	-	-	-	初期化	初期化	SCI_2
BRR_2	初期化	-	-	-	-	初期化	初期化	
SCR_2	初期化	-	-	-	-	初期化	初期化	
TDR_2	初期化	-	初期化	初期化	初期化	初期化	初期化	
SSR_2	初期化	-	初期化	初期化	初期化	初期化	初期化	
RDR_2	初期化	-	初期化	初期化	初期化	初期化	初期化	
SCMR_2	初期化	-	-	-	-	初期化	初期化	
SMR_0	初期化	-	-	-	-	初期化	初期化	SCI_0
BRR_0	初期化	-	-	-	-	初期化	初期化	
SCR_0	初期化	-	-	-	-	初期化	初期化	
TDR_0	初期化	-	初期化	初期化	初期化	初期化	初期化	
SSR_0	初期化	-	初期化	初期化	初期化	初期化	初期化	
RDR_0	初期化	-	初期化	初期化	初期化	初期化	初期化	
SCMR_0	初期化	-	-	-	-	初期化	初期化	
ADDRA_0	初期化	-	-	-	-	-	初期化	A/D_0
ADDRB_0	初期化	-	-	-	-	-	初期化	
ADDRC_0	初期化	-	-	-	-	-	初期化	
ADDRD_0	初期化	-	-	-	-	-	初期化	
ADDRE_0	初期化	-	-	-	-	-	初期化	
ADDRF_0	初期化	-	-	-	-	-	初期化	
ADDRG_0	初期化	-	-	-	-	-	初期化	
ADDRH_0	初期化	-	-	-	-	-	初期化	
ADCSR_0	初期化	-	-	-	-	-	初期化	
ADCR_0	初期化	-	-	-	-	-	初期化	
TCSR	初期化	-	-	-	-	-	初期化	WDT
TCNT	初期化	-	-	-	-	-	初期化	
RSTCSR	初期化	-	-	-	-	-	初期化	
TSTR	初期化	-	-	-	-	-	初期化	TPU
TSYR	初期化	-	-	-	-	-	初期化	

25. レジスタ一覧

レジスタ 略称	リセット	スリープ モード	サブ クロック モード	モジュール ストップ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール	
TCR_0	初期化	-	-	-	-	-	初期化	TPU_0	
TMDR_0	初期化	-	-	-	-	-	初期化		
TIORH_0	初期化	-	-	-	-	-	初期化		
TIORL_0	初期化	-	-	-	-	-	初期化		
TIER_0	初期化	-	-	-	-	-	初期化		
TSR_0	初期化	-	-	-	-	-	初期化		
TCNT_0	初期化	-	-	-	-	-	初期化		
TGRA_0	初期化	-	-	-	-	-	初期化		
TGRB_0	初期化	-	-	-	-	-	初期化		
TGRC_0	初期化	-	-	-	-	-	初期化		
TGRD_0	初期化	-	-	-	-	-	初期化		
TCR_1	初期化	-	-	-	-	-	初期化	TPU_1	
TMDR_1	初期化	-	-	-	-	-	初期化		
TIOR_1	初期化	-	-	-	-	-	初期化		
TIER_1	初期化	-	-	-	-	-	初期化		
TSR_1	初期化	-	-	-	-	-	初期化		
TCNT_1	初期化	-	-	-	-	-	初期化		
TGRA_1	初期化	-	-	-	-	-	初期化		
TGRB_1	初期化	-	-	-	-	-	初期化		
TCR_2	初期化	-	-	-	-	-	初期化		TPU_2
TMDR_2	初期化	-	-	-	-	-	初期化		
TIOR_2	初期化	-	-	-	-	-	初期化		
TIER_2	初期化	-	-	-	-	-	初期化		
TSR_2	初期化	-	-	-	-	-	初期化		
TCNT_2	初期化	-	-	-	-	-	初期化		
TGRA_2	初期化	-	-	-	-	-	初期化		
TGRB_2	初期化	-	-	-	-	-	初期化		
TCR_3	初期化	-	-	-	-	-	初期化	TPU_3	
TMDR_3	初期化	-	-	-	-	-	初期化		
TIORH_3	初期化	-	-	-	-	-	初期化		
TIORL_3	初期化	-	-	-	-	-	初期化		
TIER_3	初期化	-	-	-	-	-	初期化		
TSR_3	初期化	-	-	-	-	-	初期化		

レジスタ 略称	リセット	スリープ モード	サブ クロック モード	モジュール ストップ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
TCNT_3	初期化	-	-	-	-	-	初期化	TPU_3
TGRA_3	初期化	-	-	-	-	-	初期化	
TGRB_3	初期化	-	-	-	-	-	初期化	
TGRC_3	初期化	-	-	-	-	-	初期化	
TGRD_3	初期化	-	-	-	-	-	初期化	

- 【注】 *1 SSU : Synchronous Serial communication Unit
*2 PWM16 は、16 ビット PWM を示します。
*3 PWM10 は、モータコントロール PWM を示します。

26. 電気的特性

26.1 絶対最大定格

表 26.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	V _{cc}	- 0.3 ~ + 7.0	V
入力電圧 (ポート 4、ポート 5 以外)	V _{in}	- 0.3 ~ V _{cc} + 0.3	V
入力電圧 (ポート 4)	V _{in}	- 0.3 ~ AV _{cc1} +0.3	V
入力電圧 (ポート 5)	V _{in}	- 0.3 ~ AV _{cc0} +0.3	V
リファレンス電源電圧	V _{ref}	- 0.3 ~ AV _{cc0} +0.3	V
アナログ電源電圧	AV _{cc0}	- 0.3 ~ + 7.0	V
	AV _{cc1}	- 0.3 ~ + 7.0	V
アナログ入力電圧 (ポート 4)	V _{AN}	- 0.3 ~ AV _{cc1} + 0.3	V
アナログ入力電圧 (ポート 5)	V _{AN}	- 0.3 ~ AV _{cc0} + 0.3	V
動作温度	T _{opr}	通常仕様品 : - 20 ~ + 75*	
		広温度範囲仕様品 : - 40 ~ + 85*	
保存温度	T _{stg}	- 55 ~ + 125	

【使用上の注意】 絶対最大定格を超えて LSI を使用した場合、LSI 永久破壊となることがあります。

【注】 * フラッシュメモリの書き込み / 消去時の動作温度範囲は、通常仕様品 : 0 ~ + 75 、広温度範囲仕様品 : 0 ~ + 85 になります。

26. 電気的特性

26.2 DC 特性

表 26.2 DC 特性 (1)

条件 : $V_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC0} = 4.5 \sim 5.5V$ 、 $AV_{CC1} = 4.5 \sim 5.5V$ 、 $PWMV_{CC} = 4.5 \sim 5.5V$ 、 $V_{ref} = 4.5V \sim AV_{CC}$ 、

$V_{SS} = PWMV_{SS} = AV_{SS} = 0V^{*1}$

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力 電圧	IRQ 入力端子、 TPU 入力端子	VT^-	$V_{CC} \times 0.2$	-	-	V	
		VT^+	-	-	$V_{CC} \times 0.7$		
		$VT^+ - VT^-$	$V_{CC} \times 0.05$	-	-		
入力 High レベル電圧 (シュミット トリガ入 力端子を除 く)	STBY、EMLE、MD 端子、 RES、NMI	V_{IH}	$V_{CC} - 0.7$	-	$V_{CC} + 0.3$	V	
	EXTAL		$V_{CC} \times 0.7$	-	$V_{CC} + 0.3$		
	その他の入力端子		$V_{CC} \times 0.7$	-	$V_{CC} + 0.3$		
	ポート 4		$AV_{CC1} \times 0.7$	-	$AV_{CC1} + 0.3$		
	ポート 5		$AV_{CC0} \times 0.7$	-	$AV_{CC0} + 0.3$		
入力 Low レベル電圧 (シュミット トリガ入 力端子を除 く)	STBY、EMLE、RES、 MD 端子、NMI	V_{IL}	- 0.3	-	$V_{CC} \times 0.1$	V	
	EXTAL		- 0.3	-	$V_{CC} \times 0.2$		
	その他の入力端子		- 0.3	-	$V_{CC} \times 0.2$		
	ポート 4		- 0.3	-	$AV_{CC1} \times 0.2$		
	ポート 5		- 0.3	-	$AV_{CC0} \times 0.2$		
出力 High レベル電圧	全出力端子	V_{OH}	$V_{CC} - 0.5$	-	-	V	$I_{OH} = -200\mu A$
			$V_{CC} - 1.0$	-	-		$I_{OH} = -1mA$
出力 Low レベル電圧	全出力端子	V_{OL}	-	-	0.4	V	$I_{OL} = 1.6mA$
入力リーク 電流	STBY、EMLE、RES、 NMI、MD 端子	$ I_{in} $	-	-	1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
	ポート 4		-	-	1.0		$V_{in} = 0.5 \sim AV_{CC1} - 0.5V$
	ポート 5		-	-	1.0		$V_{in} = 0.5 \sim AV_{CC0} - 0.5V$

表 26.2 DC 特性 (2)

条件 : $V_{cc} = 4.5 \sim 5.5V$ 、 $AV_{cc0} = 4.5 \sim 5.5V$ 、 $AV_{cc1} = 4.5 \sim 5.5V$ 、 $PWMV_{cc} = 4.5 \sim 5.5V$ 、 $V_{ref} = 4.5V \sim AV_{cc}$ 、 $V_{ss} = PWMV_{ss} = AV_{ss} = 0V^{*1}$ $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
スリーステートリーク電流 (オフ状態)	ポート 1~3、6、A、D、E、F、H、I、J、K	$ I_{TSI} $	-	-	1.0	μA	$V_{in} = 0.5 \sim V_{cc} - 0.5V$
入力プルアップ MOS 電流	ポート D、E、F、H、I、J、K	$-I_p$	10	-	300	μA	$V_{in} = 0V$
入力容量	全入力端子	C_{in}	-	-	15	pF	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25$
消費電流 ^{*2}	通常動作時	I_{cc}^{*4}	-	65	90	mA	$f = 40MHz$
	スリープ時		-	50	80		
	スタンバイ時 ^{*3} (時計用タイム未使用時)		-	0.1	1.0		
	ウォッチモード		-	1.5	2.0	mA	Ta 50
			-	-	3.5		50 < Ta
	サブクロックモード時		-	8	10		
	全モジュールクロックストップ時 ^{*5}		-	30	-		参考値
アナログ電源電流	A/D、D/A 変換中	I_{lcc0}	-	2.0	3.0	mA	$AV_{cc0} = 5.0V$
	A/D、D/A 変換待機時		-	10	100		
	A/D、D/A 変換中	I_{lcc1}	-	2.0	3.0	mA	$AV_{cc1} = 5.0V$
	A/D、D/A 変換待機時		-	10	100		
RAM スタンバイ電圧	V_{RAM}	3.0	-	-	V		

【注】 *1 A/D および D/A 変換器未使用時に AV_{cc0} 、 AV_{cc1} 、 V_{ref} 、 AV_{ss} 端子を開放しないでください。 AV_{cc0} 、 AV_{cc1} 、 V_{ref} 端子は V_{cc} に、 AV_{ss} 端子は V_{ss} にそれぞれ接続してください。*2 消費電流値は、 $V_{IH} = AV_{cc0}$ (ポート 5)、 AV_{cc1} (ポート 4)、 V_{cc} (その他)、 $V_{IL} = 0V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。*3 V_{RAM} $V_{cc} < 4.5V$ のとき、 $V_{IHmin} = V_{cc} - 0.1V$ 、 $V_{ILmax} = 0.1V$ とした場合の値です。*4 I_{cc} は下記の式に従って V_{cc} と f に依存します。 $I_{ccmax} = 41(mA) + 0.22(mA / (MHz \times V)) \times V_{cc} \times f$ (通常動作時) $I_{ccmax} = 25(mA) + 0.25(mA / (MHz \times V)) \times V_{cc} \times f$ (スリープ時)

*5 参考値です。

26. 電気的特性

表 26.3 出力許容電流値

条件 : $V_{cc} = 4.5 \sim 5.5V$ 、 $AV_{cc0} = 4.5 \sim 5.5V$ 、 $AV_{cc1} = 4.5 \sim 5.5V$ 、 $PWMV_{cc} = 4.5 \sim 5.5V$ 、 $V_{ref} = 4.5V \sim AV_{cc}$ 、

$V_{ss} = PWMV_{ss} = AV_{ss} = 0V^*$

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
出力 Low レベル許容電流 (1 端子あたり)	PWM1A ~ 1H、 PWM2A ~ 2H PWM0_0 ~ PWM3_0、 PWM0_1 ~ PWM3_1 以外全出力端子	I_{OL}	-	-	10	mA	
	PWM1A ~ 1H、 PWM2A ~ 2H PWM0_0 ~ PWM3_0、 PWM0_1 ~ PWM3_1	I_{OL}	-	-	25	mA	$T_a = 75 \sim 85$
					30	mA	$T_a = 25$
					40	mA	$T_a = -40$
出力 Low レベル許容電流 (総和)	PWM1A ~ 1H、 PWM2A ~ 2H PWM0_0 ~ PWM3_0、 PWM0_1 ~ PWM3_1 以外全出力端子 の総和	ΣI_{OL}	-	-	120	mA	
	PWM1A ~ 1H、 PWM2A ~ 2H PWM0_0 ~ PWM3_0、 PWM0_1 ~ PWM3_1 の総和	ΣI_{OL}	-	-	225	mA	$T_a = 75 \sim 85$
					270	mA	$T_a = 25$
					330	mA	$T_a = -40$

項目		記号	min	typ	max	単位	測定条件
出力 High レベル許容電流 (1 端子あたり)	PWM1A ~ 1H、 PWM2A ~ 2H PWM0_0 ~ PWM3_0、 PWM0_1 ~ PWM3_1 以外全出力端子	$-I_{OH}$	-	-	2.0	mA	
	PWM1A ~ 1H、 PWM2A ~ 2H PWM0_0 ~ PWM3_0、 PWM0_1 ~ PWM3_1	$-I_{OH}$	-	-	25	mA	$T_a = 75 \sim 85$
					30	mA	$T_a = 25$
					40	mA	$T_a = -40$
出力 High レベル許容電流 (総和)	PWM1A ~ 1H、 PWM2A ~ 2H PWM0_0 ~ PWM3_0、 PWM0_1 ~ PWM3_1 以外全出力端子	$-\Sigma I_{OH}$	-	-	60	mA	
	PWM1A ~ 1H、 PWM2A ~ 2H PWM0_0 ~ PWM3_0、 PWM0_1 ~ PWM3_1 の総和	$-\Sigma I_{OH}$	-	-	225	mA	$T_a = 75 \sim 85$
					270	mA	$T_a = 25$
					330	mA	$T_a = -40$

【使用上の注意】 LSI の信頼性を確保するため、出力電流値は表 26.3 の値を超えないようにしてください。

【注】 * A/D および D/A 変換器未使用時に AVcc0、AVcc1、Vref、AVss 端子を開放しないでください。
AVcc0、AVcc1、Vref 端子は Vcc に、AVss 端子は Vss にそれぞれ接続してください。

26.3 AC 特性

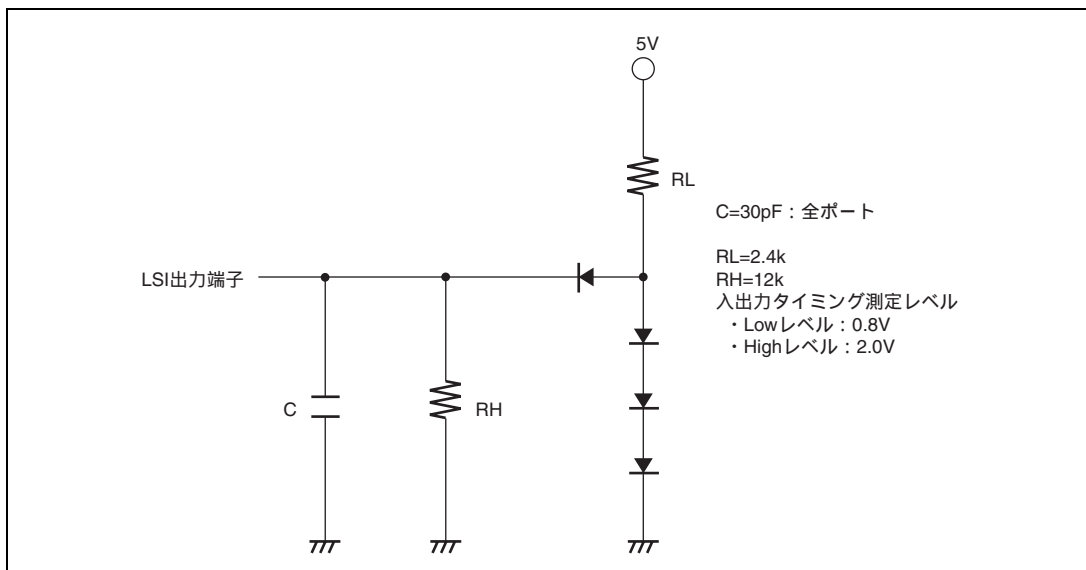


図 26.1 出力負荷回路

26.3.1 クロックタイミング

表 26.4 クロックタイミング

条件 : Vcc = 4.5 ~ 5.5V、AVcc0 = 4.5 ~ 5.5V、AVcc1 = 4.5 ~ 5.5V、PWMVcc = 4.5 ~ 5.5V、Vref = 4.5V ~ AVcc、

Vss = PWMVss = AVss = 0V、I = 8 ~ 40MHz、P、B = 8 ~ 20MHz

Ta = 20 ~ +75 (通常仕様品)、Ta = 40 ~ +85 (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
クロックサイクル時間	t_{cyc}	50	125	ns	図 26.2
クロックハイレベルパルス幅	t_{CH}	5	-	ns	
クロックローレベルパルス幅	t_{CL}	5	-	ns	
クロック立ち上がり時間	t_{Cr}	-	5	ns	
クロック立ち下がり時間	t_{Cf}	-	5	ns	
リセット発振安定時間(水晶)	t_{OSC1}	20	-	ms	図 26.4
ソフトウェアスタンバイ発振安定時間(水晶)	t_{OSC2}	10	-	ms	図 26.3
外部クロック出力遅延安定時間	t_{DEXT}	2	-	ms	図 26.4
外部クロック入力パルス幅ローレベル	t_{EXL}	45	-	ns	図 26.5 外部クロック 入力周波数 = 4 ~ 9MHz
外部クロック入力パルス幅ハイレベル	t_{EXH}	45	-	ns	
外部クロック立ち上がり時間	t_{EXr}	-	5	ns	
外部クロック立ち下がり時間	t_{EXf}	-	5	ns	

26. 電気的特性

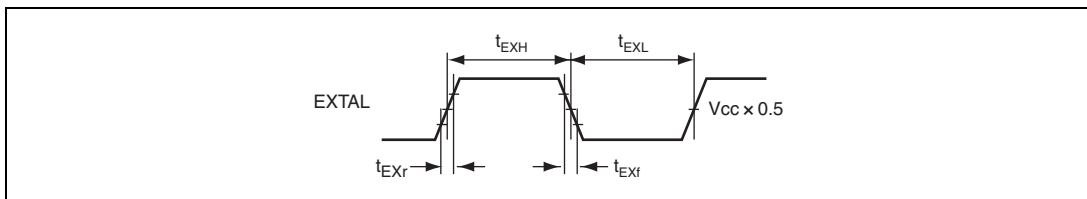


図 26.5 外部入力クロックタイミング

26.3.2 制御信号タイミング

表 26.5 制御信号タイミング

条件 : $V_{cc} = 4.5 \sim 5.5V$ 、 $AV_{cc0} = 4.5 \sim 5.5V$ 、 $AV_{cc1} = 4.5 \sim 5.5V$ 、 $PWMV_{cc} = 4.5 \sim 5.5V$ 、 $V_{ref} = 4.5V \sim AV_{cc}$ 、
 $V_{ss} = PWMV_{ss} = AV_{ss} = 0V$ 、 $f = 8 \sim 40MHz$
 $T_a = 20 \sim +75$ (通常仕様品)、 $T_a = 40 \sim +85$ (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
\overline{RES} セットアップ時間	t_{RESS}	200	-	ns	図 26.6
\overline{RES} パルス幅	t_{RESW}	20	-	t_{cyc}	
NMI セットアップ時間	t_{NMIS}	150	-	ns	図 26.7
NMI ホールド時間	t_{NMIH}	10	-	ns	
NMI パルス幅 (ソフトウェアスタンバイモードからの復帰時)	t_{NMIW}	200	-	ns	
\overline{IRQ} セットアップ時間	t_{IRQS}	150	-	ns	
\overline{IRQ} ホールド時間	t_{IRQH}	10	-	ns	
\overline{IRQ} パルス幅 (ソフトウェアスタンバイモードからの復帰時)	t_{IROW}	200	-	ns	

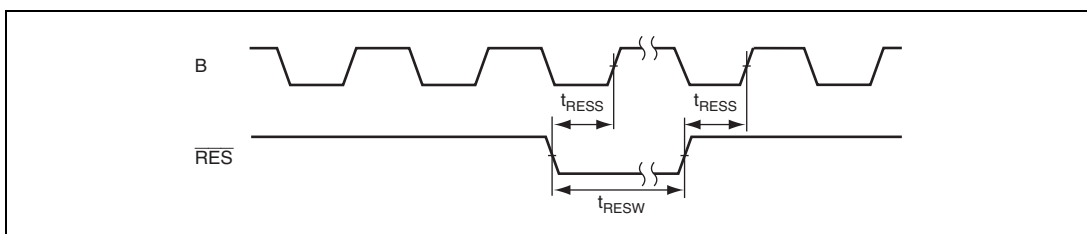


図 26.6 リセット入力タイミング

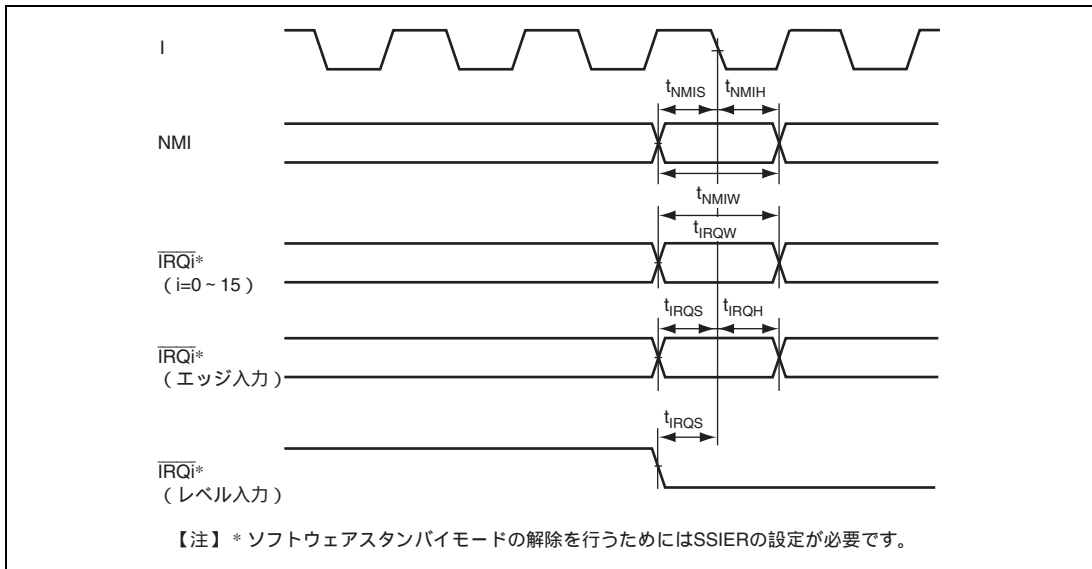


図 26.7 割り込み入力タイミング

26. 電気的特性

26.3.3 バスタイミング

表 26.6 バスタイミング (1)

条件 : Vcc = 4.5 ~ 5.5V、AVcc0 = 4.5 ~ 5.5V、AVcc1 = 4.5 ~ 5.5V、PWMVcc = 4.5 ~ 5.5V、Vref = 4.5V ~ AVcc、

Vss = PWMVss = AVss = 0V、I = 8 ~ 40MHz

Ta = 20 ~ +75 (通常仕様品)、Ta = 40 ~ +85 (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	-	40	ns	図 26.8、 図 26.9
アドレスセットアップ時間 1	t_{AS1}	$0.5 \times t_{cyc} - 16$	-	ns	
アドレスセットアップ時間 2	t_{AS2}	$1.0 \times t_{cyc} - 16$	-	ns	
アドレスセットアップ時間 3	t_{AS3}	$1.5 \times t_{cyc} - 16$	-	ns	
アドレスセットアップ時間 4	t_{AS4}	$2.0 \times t_{cyc} - 16$	-	ns	
アドレスホールド時間 1	t_{AH1}	$0.5 \times t_{cyc} - 16$	-	ns	
アドレスホールド時間 2	t_{AH2}	$1.0 \times t_{cyc} - 16$	-	ns	
アドレスホールド時間 3	t_{AH3}	$1.5 \times t_{cyc} - 16$	-	ns	
AS 遅延時間	t_{ASD}	-	40	ns	
RD 遅延時間 1	t_{RSD1}	-	40	ns	
RD 遅延時間 2	t_{RSD2}	-	40	ns	
リードデータセットアップ時間 1	t_{RDS1}	15	-	ns	
リードデータセットアップ時間 2	t_{RDS2}	15	-	ns	
リードデータホールド時間 1	t_{RDH1}	5	-	ns	
リードデータホールド時間 2	t_{RDH2}	5	-	ns	
リードデータアクセス時間 2	t_{AC2}	-	$1.5 \times t_{cyc} - 45$	ns	
リードデータアクセス時間 4	t_{AC4}	-	$2.5 \times t_{cyc} - 45$	ns	
リードデータアクセス時間 5	t_{AC5}	-	$1.0 \times t_{cyc} - 45$	ns	
リードデータアクセス時間 6	t_{AC6}	-	$2.0 \times t_{cyc} - 45$	ns	
対アドレスリードデータアクセス時間 2	t_{AA2}	-	$1.5 \times t_{cyc} - 55$	ns	
対アドレスリードデータアクセス時間 3	t_{AA3}	-	$2.0 \times t_{cyc} - 55$	ns	
対アドレスリードデータアクセス時間 4	t_{AA4}	-	$2.5 \times t_{cyc} - 55$	ns	
対アドレスリードデータアクセス時間 5	t_{AA5}	-	$3.0 \times t_{cyc} - 55$	ns	
WR 遅延時間 1	t_{WRD1}	-	35	ns	
WR 遅延時間 2	t_{WRD2}	-	40	ns	
WR パルス幅 1	t_{WSW1}	$1.0 \times t_{cyc} - 20$	-	ns	
WR パルス幅 2	t_{WSW2}	$1.5 \times t_{cyc} - 20$	-	ns	
ライトデータ遅延時間	t_{WDD}	-	40	ns	
ライトデータセットアップ時間 1	t_{WDS1}	$0.5 \times t_{cyc} - 20$	-	ns	
ライトデータセットアップ時間 2	t_{WDS2}	$1.0 \times t_{cyc} - 20$	-	ns	

項目	記号	min	max	単位	測定条件
ライトデータセットアップ時間 3	t_{WDS3}	$1.5 \times t_{cyc} - 20$	-	ns	図 26.8、 図 26.9
ライトデータホールド時間 1	t_{WDH1}	$0.5 \times t_{cyc} - 16$	-	ns	
ライトデータホールド時間 3	t_{WDH3}	$1.5 \times t_{cyc} - 16$	-	ns	

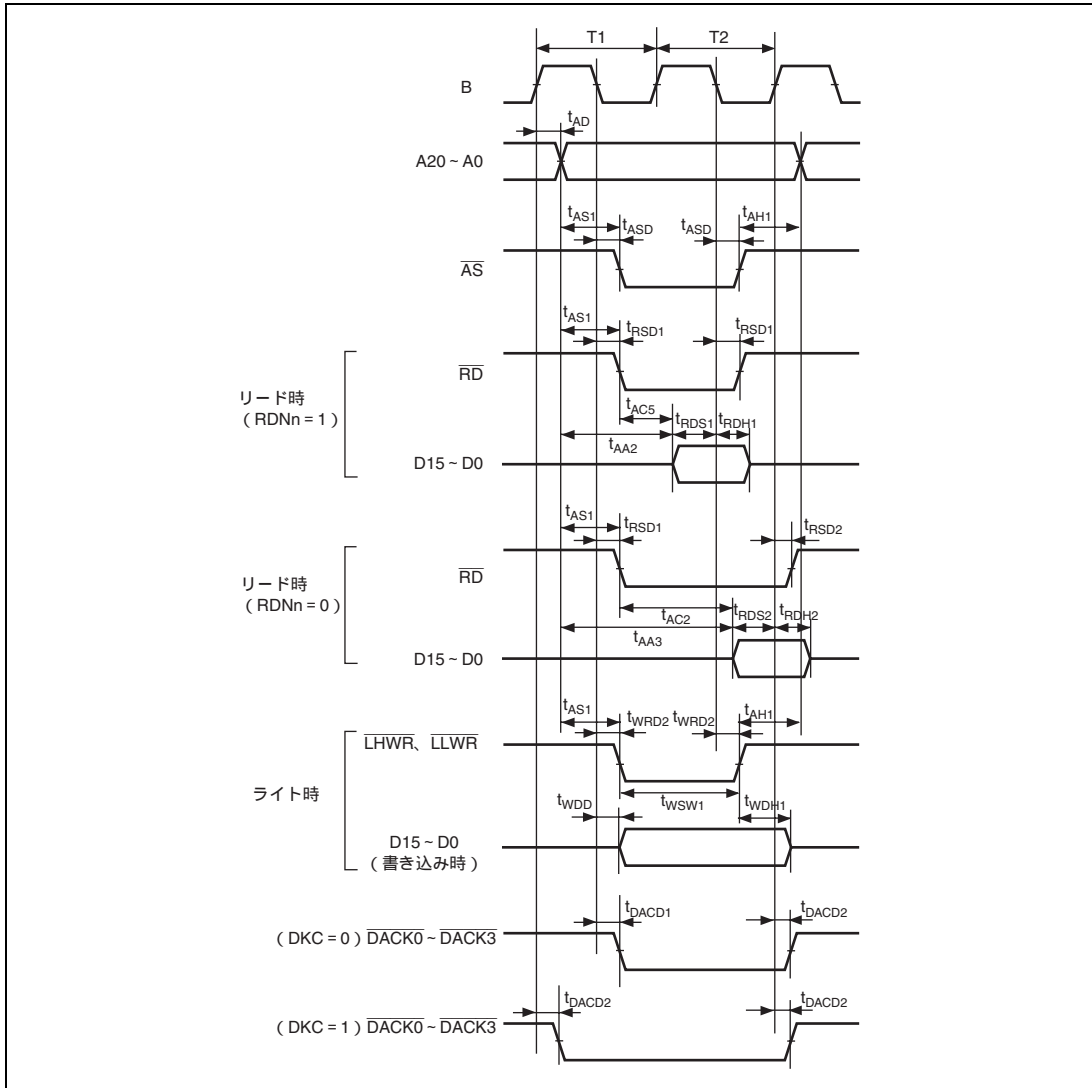


図 26.8 基本バスタイミング / 2 ステートアクセス

26. 電気的特性

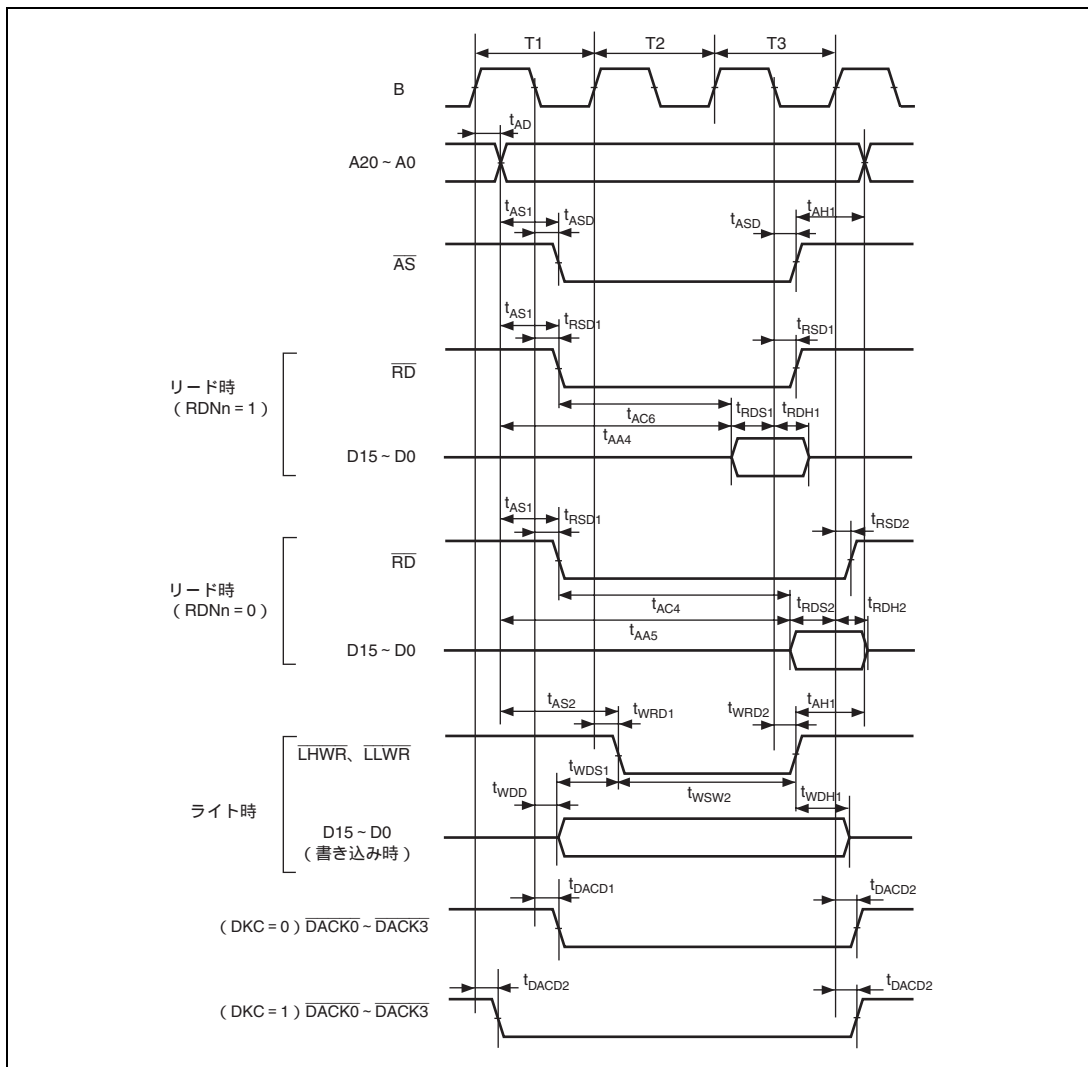


図 26.9 基本バスタイミング / 3 ステートアクセス

26.3.4 DMAC タイミング

表 26.7 DMAC タイミング

条件 : $V_{cc} = 4.5 \sim 5.5V$ 、 $AV_{cc} = 4.5 \sim 5.5V$ 、 $V_{ref} = 4.5V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V$ 、 $B = 8 \sim 20MHz$

$T_a = 20 \sim +75$ (通常仕様品)、 $T_a = 40 \sim +85$ (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
DREQ セットアップ時間	t_{DRQS}	20	-	ns	図 26.10
DREQ ホールド時間	t_{DRQH}	5	-	ns	
TEND 遅延時間	t_{TED}	-	40	ns	図 26.11
DACK 遅延時間 1	t_{DADC1}	-	40	ns	図 26.12、 図 26.13
DACK 遅延時間 2	t_{DADC2}	-	40	ns	

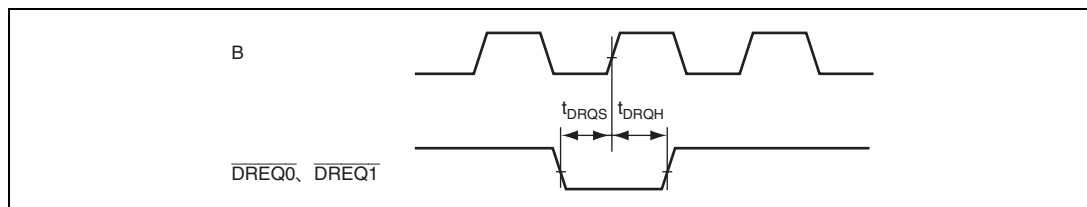


図 26.10 DMAC、DREQ 入力タイミング

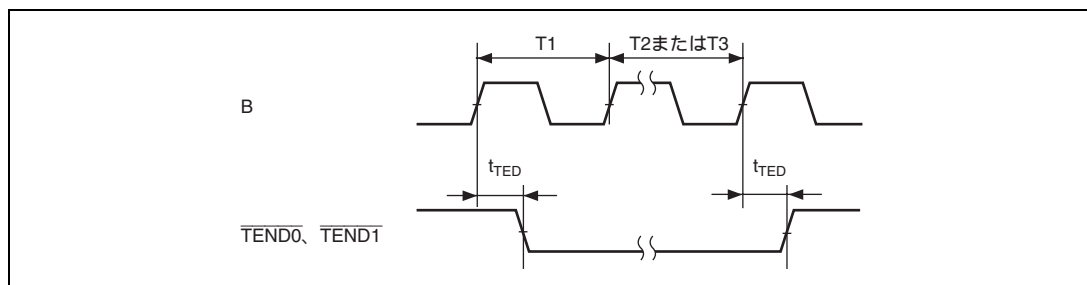


図 26.11 DMAC、TEND 出力タイミング

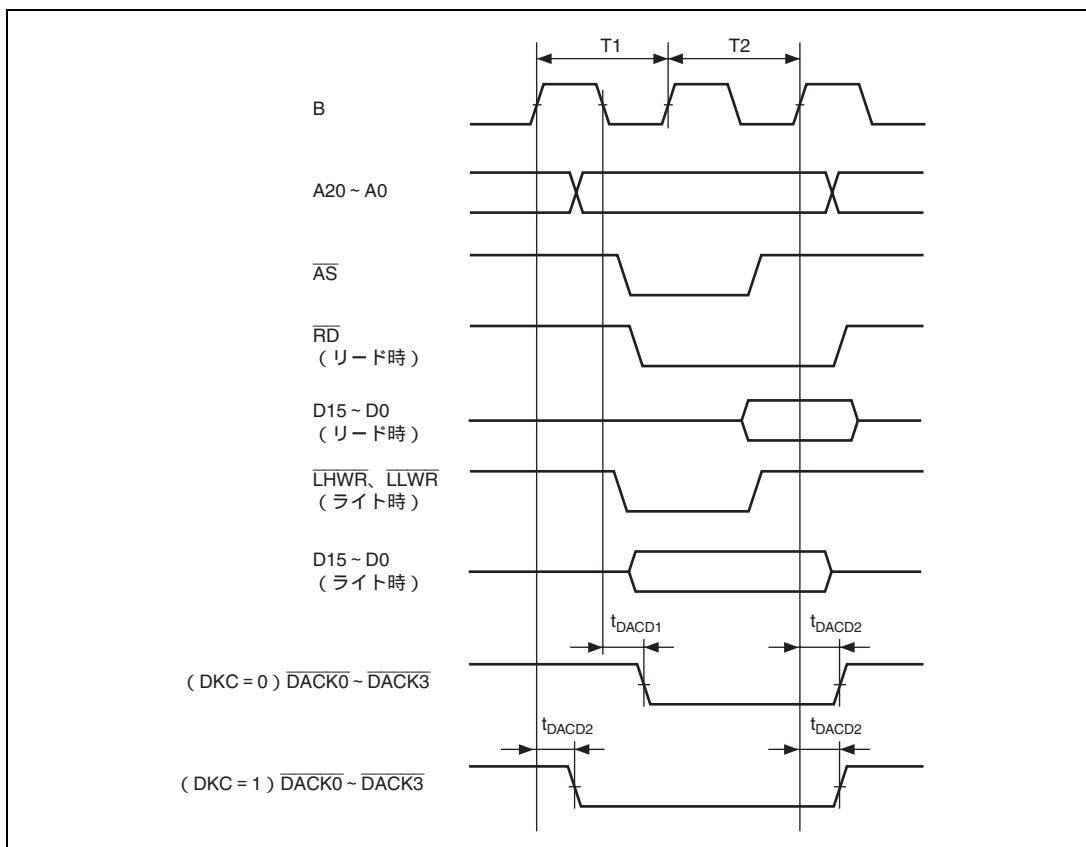


図 26.12 DMAC シングルアドレス転送タイミング (2ステートアクセス)

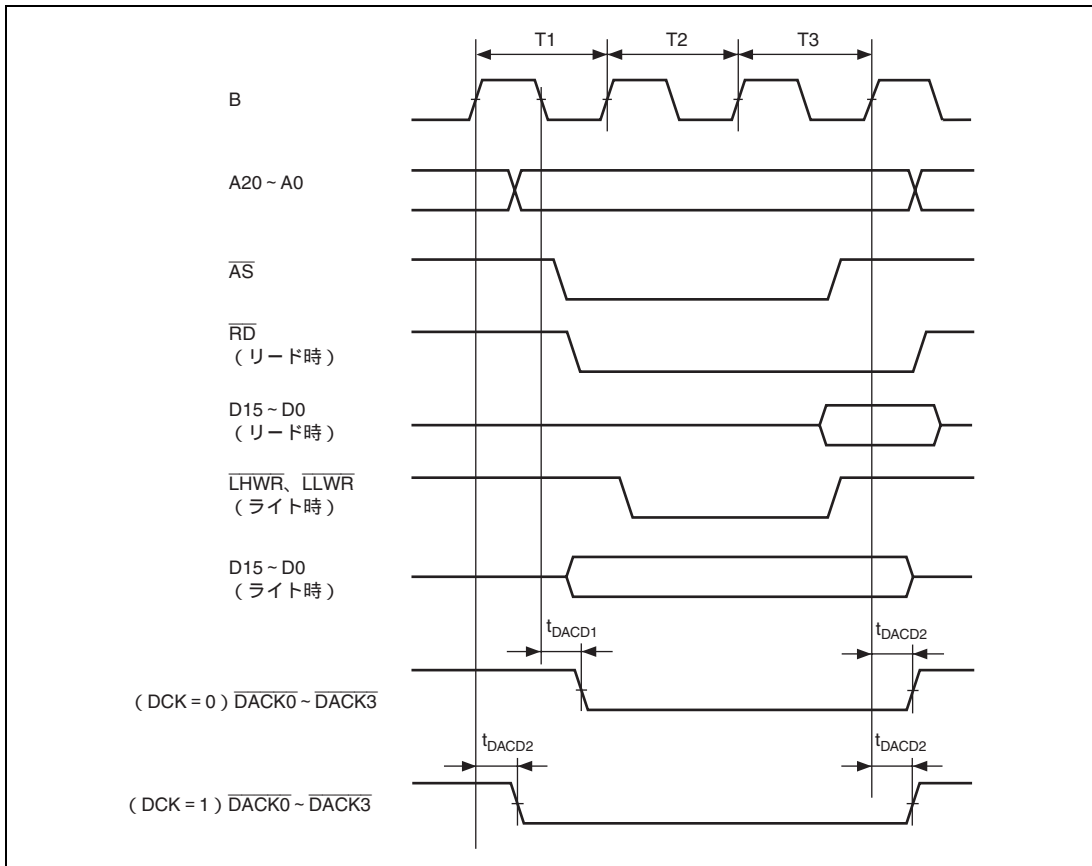


図 24.13 DMAC シングルアドレス転送タイミング (3 ステートアクセス)

26. 電気的特性

26.3.5 内蔵周辺モジュールタイミング

表 26.8 内蔵周辺モジュールタイミング (1)

条件 : Vcc = 4.5 ~ 5.5V、AVcc0 = 4.5 ~ 5.5V、AVcc1 = 4.5 ~ 5.5V、PWMVcc = 4.5 ~ 5.5V、Vref = 4.5V ~ AVcc、

Vss = PWMVss = AVss = 0V、P = 8 ~ 20MHz

Ta = 20 ~ +75 (通常仕様品)、Ta = 40 ~ +85 (広温度範囲仕様品)

項目		記号	min	max	単位	測定条件	
I/O ポート	出力データ遅延時間	t_{PWD}	-	40	ns	図 26.14	
	入力データセットアップ時間	t_{PRS}	25	-	ns		
	入力データホールド時間	t_{PRH}	25	-	ns		
TPU	タイマ出力遅延時間	t_{TOCD}	-	40	ns	図 26.15	
	タイマ入力セットアップ時間	t_{TCS}	25	-	ns		
	タイマクロック入力セットアップ時間	t_{TCKS}	25	-	ns	図 26.16	
	タイマクロックパルス幅	単エッジ指定	t_{TCKWH}	1.5	-		t_{cyc}
両エッジ指定		t_{TCKWL}	2.5	-	t_{cyc}		
PWM	パルス出力遅延時間	t_{MPWMOD}	-	50	ns	図 26.17、 図 26.18	
SCI	入力クロックサイクル	調歩同期	t_{Scyc}	4	-	t_{cyc}	図 26.19
		クロック同期		6	-		
	入力クロックパルス幅	t_{SCKW}	0.4	0.6	t_{Scyc}		
	入力クロック立ち上がり時間	t_{SCKr}	-	20	ns	図 26.19	
	入力クロック立ち下がり時間	t_{SCKf}	-	20	ns	電圧参照レベル Vcc × 0.3V ~ Vcc × 0.7V	
	出力クロックサイクル	調歩同期	t_{Scyc}	30	-	t_{cyc}	図 26.19
		クロック同期		4	-		
	出力クロックパルス幅	t_{SCKW}	0.4	0.6	t_{Scyc}		
	出力クロック立ち上がり時間	t_{SCKr}	-	20	ns	図 26.19	
	出力クロック立ち下がり時間	t_{SCKf}	-	20	ns	電圧参照レベル Vcc × 0.3V ~ Vcc × 0.7V	
	送信データ遅延時間	t_{TXD}	-	40	ns	図 26.20	
	受信データセットアップ時間 (クロック同期)	t_{RXS}	40	-	ns		
	受信データホールド時間 (クロック同期)	t_{RXH}	40	-	ns		

項目		記号	min	max	単位	測定条件
IIC2	SCL 入力サイクル時間	tSCL	12t _{cyc} + 600	-	ns	図 26.21
	SCL 入力 High パルス幅	tSCLH	3t _{cyc} + 300	-	ns	
	SCL 入力 Low パルス幅	tSCLL	5t _{cyc} + 300	-	ns	
	SCL、SDA 入力立ち上がり時間	tsr	-	7.5t _{cyc}	ns	
	SCL、SDA 入力立ち下がり時間	tsf	-	300	ns	
	SCL、SDA 入カスパイクパルス除去時間	tSP	-	1t _{cyc}	ns	
	SDA 入力バスフリー時間	tBUF	5t _{cyc}	-	ns	
	開始条件入力ホールド時間	tSTAH	3t _{cyc}	-	ns	
	再送開始条件入力セットアップ時間	tSTAS	3t _{cyc}	-	ns	
	停止条件入力セットアップ時間	tSTOS	3t _{cyc}	-	ns	
	データ入力セットアップ時間	tSDAS	1t _{cyc} + 20	-	ns	
	データ入力ホールド時間	tSDAH	0	-	ns	
	SCL、SDA の容量性負荷	Cb	0	400	pF	
	SCL、SDA 出力立ち下がり時間	tsf	-	250	ns	
A/D 変換器	トリガ入力セットアップ時間	t _{TRGS}	30	-	ns	図 26.22

26. 電気的特性

表 26.8 内蔵周辺モジュールタイミング (2)

条件 : Vcc = 4.5 ~ 5.5V、AVcc0 = 4.5 ~ 5.5V、AVcc1 = 4.5 ~ 5.5V、PWMVcc = 4.5 ~ 5.5V、Vref = 4.5V ~ AVcc、

Vss = PWMVss = AVss = 0V、P = 8 ~ 20MHz

Ta = 20 ~ +75 (通常仕様品)、Ta = 40 ~ +85 (広温度範囲仕様品)

項目		記号	min	max	単位	測定条件	
RCAN-ET*1	送信データ遅延時間	t_{CTXD}	-	100	ns	図 26.23	
	受信データセットアップ時間	t_{CRXS}	100	-	ns		
	受信データホールド時間	t_{CRXH}	100	-	ns		
SSU*2	クロックサイクル	マスタ	4	256	tcyc	図 26.24、 図 26.25、	
		スレーブ	4	256			
	クロックハイレベルパルス幅	マスタ	80	-	ns	図 26.26、 図 26.27	
		スレーブ	80	-			
	クロックローレベルパルス幅	マスタ	80	-	ns		
		スレーブ	80	-			
	クロック立ち上がり時間		t_{RISE}	-	20	ns	
	クロック立ち下がり時間		t_{FALL}	-	20	ns	
	データ入力セットアップ時間	マスタ	t_{SU}	25	-	ns	
		スレーブ		30	-		
	データ入力ホールド時間	マスタ	t_{H}	10	-	ns	
		スレーブ		10	-		
	SCS セットアップ時間	マスタ	t_{LEAD}	2.5	-	tcyc	
		スレーブ		2.5	-		
	SCS ホールド時間	マスタ	t_{LAG}	2.5	-	tcyc	
		スレーブ		2.5	-		
	データ出力遅延時間	マスタ	t_{OD}	-	40	ns	
		スレーブ		-	40		
	データ出力ホールド時間	マスタ	t_{OH}	0	-	ns	
		スレーブ		0	-		
連続送信遅延時間	マスタ	t_{TD}	2.5	-	tcyc		
	スレーブ		2.5	-			
スレーブアクセス時間		t_{SA}	-	1	tcyc	図 26.26、	
スレーブアウト開放時間		t_{REL}	-	1	tcyc	図 26.27	

【注】 *1 RCAN-ET の入出力信号は非同期信号ですが、図 26.23 に示された P クロック立ち上がりで同期化されます。

*2 SSU : Synchronous Serial communication Unit

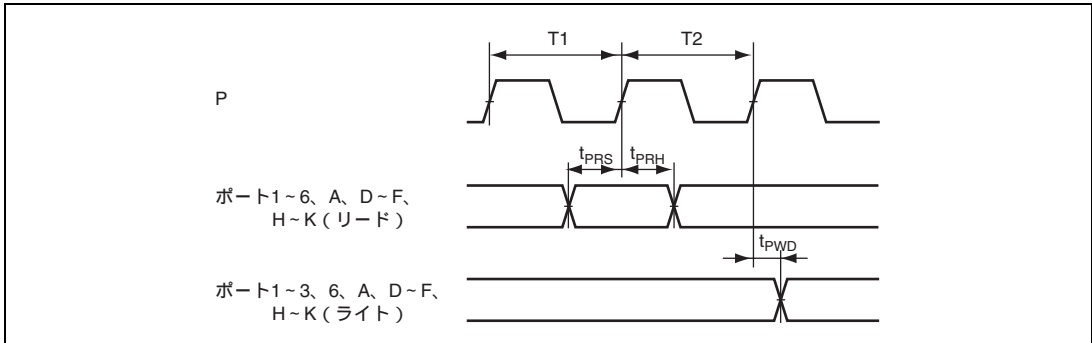


図 26.14 I/O ポート入出力タイミング

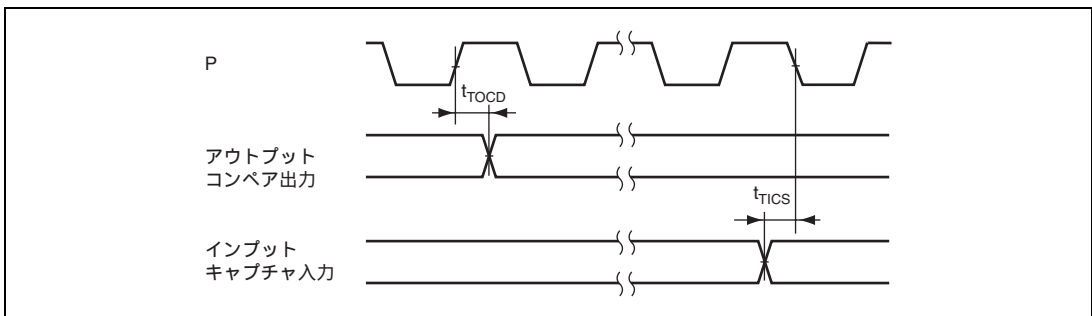


図 26.15 TPU 入出力タイミング

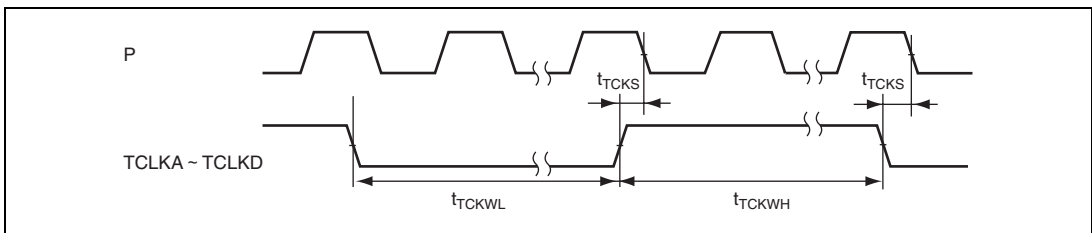


図 26.16 TPU クロック入力タイミング

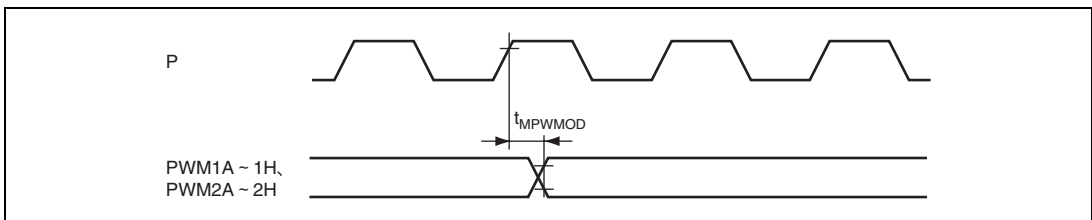


図 26.17 モータコントロール PWM 出力タイミング

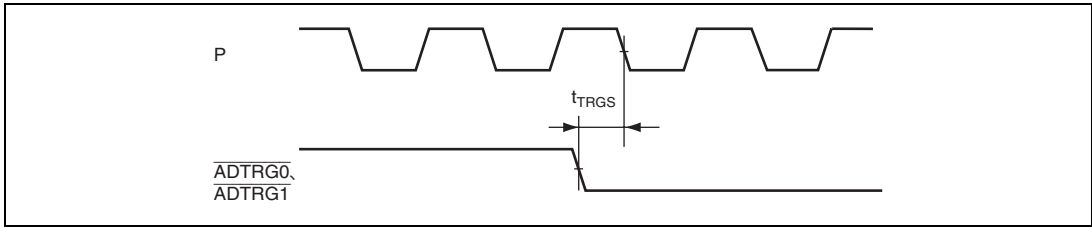


図 26.22 A/D 変換器外部トリガ入力タイミング

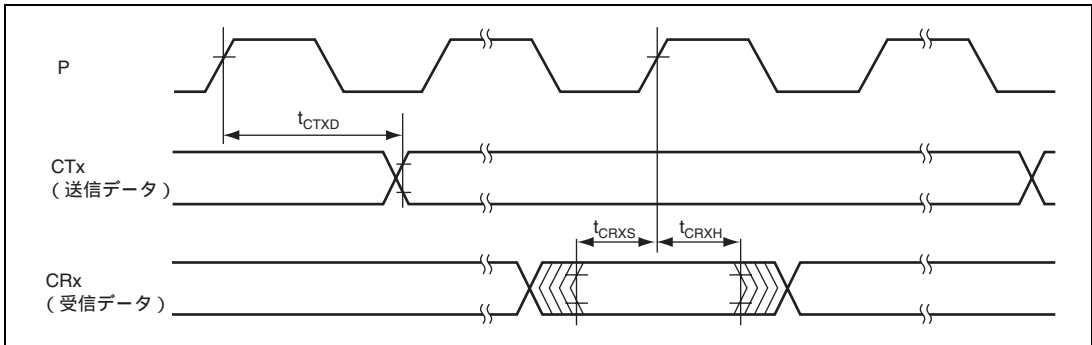


図 26.23 RCAN-ET 入出力タイミング

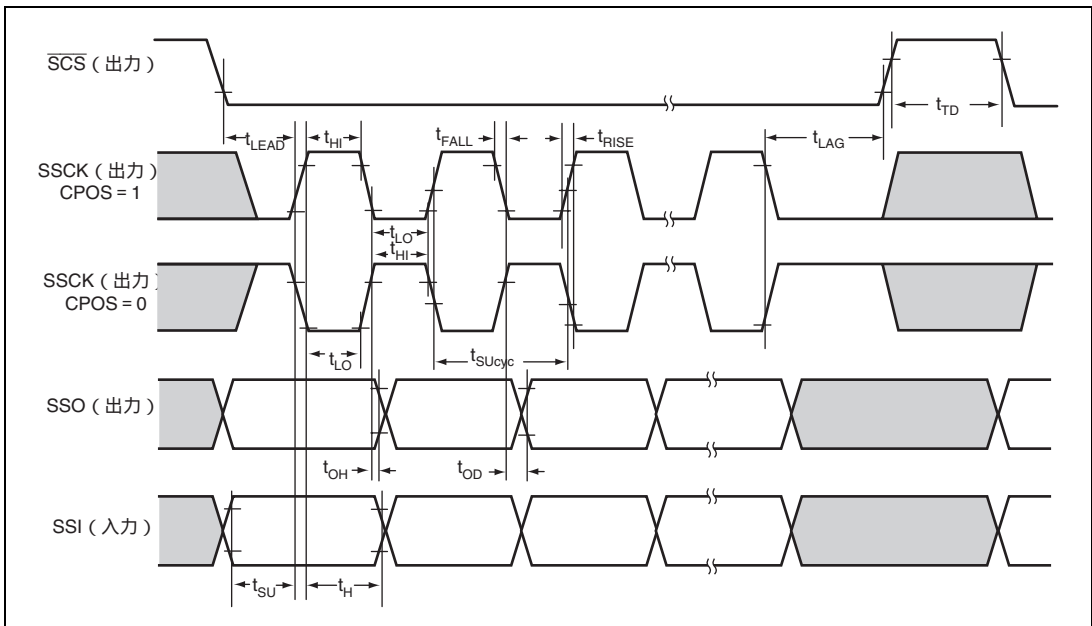


図 26.24 SSI タイミング (マスタ、CPHS = 1)

26. 電気的特性

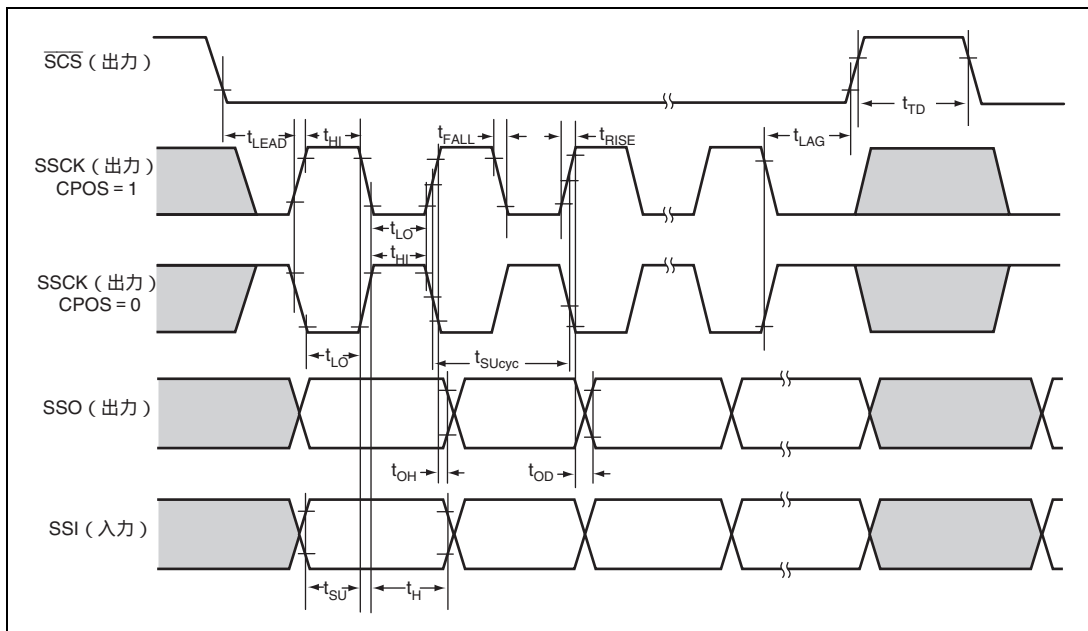


図 26.25 SSU タイミング (マスタ、CPHS=0)

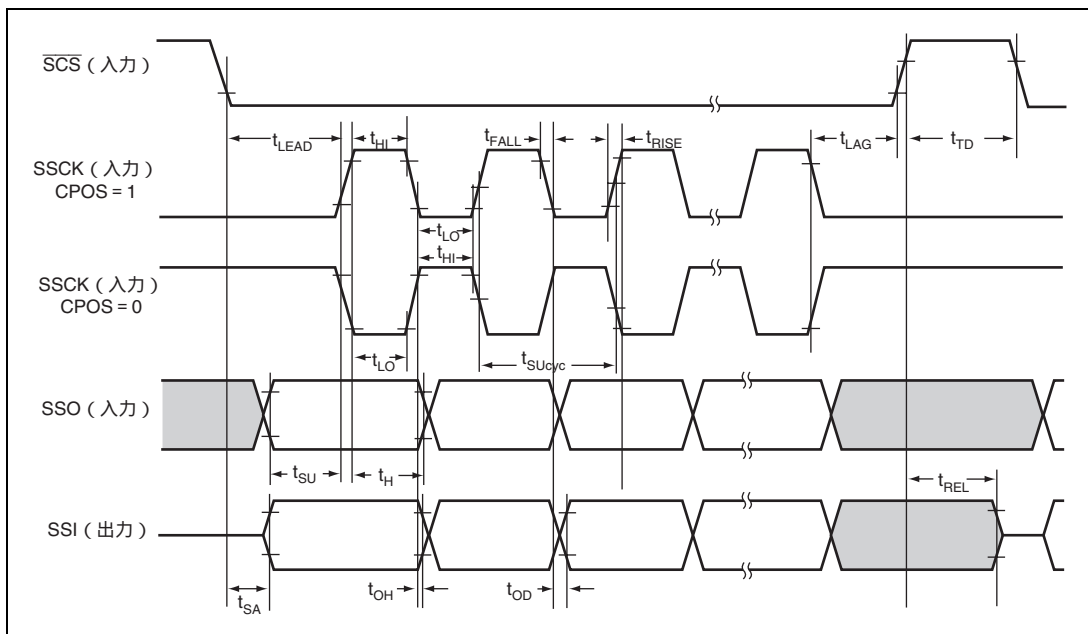


図 26.26 SSU タイミング (スレーブ、CPHS=1)

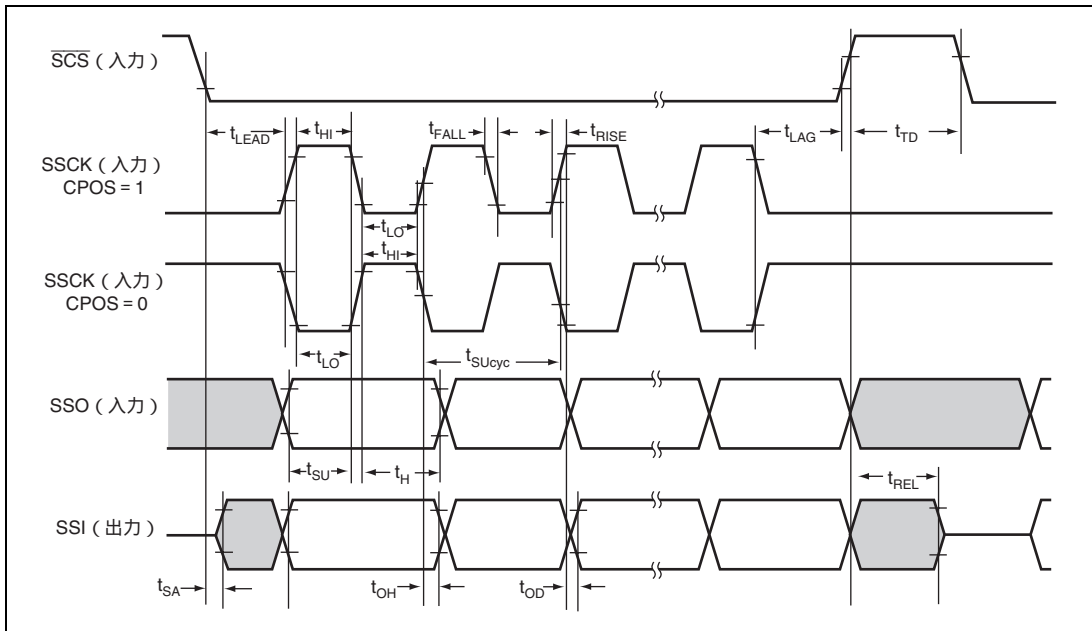


図 26.27 SSU タイミング (スレーブ、CPHS = 0)

26.3.6 A/D 変換特性

表 26.9 A/D 変換特性

条件 : $V_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC0} = 4.5 \sim 5.5V$ 、 $AV_{CC1} = 4.5 \sim 5.5V$ 、 $PWMV_{CC} = 4.5 \sim 5.5V$ 、 $V_{REF} = 4.5V \sim AV_{CC}$ 、

$V_{SS} = PWMV_{SS} = AV_{SS} = 0V$ 、 $P = 8 \sim 20MHz$

$T_a = 20 \sim +75$ (通常仕様品)、 $T_a = 40 \sim +85$ (広温度範囲仕様品)

項目	min	typ	max	単位
分解能	10	10	10	ビット
変換時間	7.4	-	200	μs
アナログ入力容量	-	-	20	pF
許容信号源インピーダンス	-	-	5	k
非直線性誤差	-	-	± 3.5	LSB
オフセット誤差	-	-	± 3.5	LSB
フルスケール誤差	-	-	± 3.5	LSB
量子化誤差	-	± 0.5	-	LSB
絶対精度	-	-	± 4.0	LSB

26. 電気的特性

26.3.7 D/A 変換特性

表 26.10 D/A 変換特性

条件：Vcc=4.5~5.5V、AVcc=4.5~5.5V、Vref=4.5V~AVcc、Vss=PWMVss=AVss=0V、P = 8~20MHz

Ta= 20~+75 (通常仕様品)、Ta= 40~+85 (広温度範囲仕様品)

項目	min	typ	max	単位	測定条件
分解能	8	8	8	ビット	
変換時間	-	-	10	μs	負荷容量 20pF
絶対精度	-	±2.0	±3.0	LSB	負荷抵抗 2M
	-	-	±2.0	LSB	負荷抵抗 4M

26.3.8 フラッシュメモリ特性

表 26.11 フラッシュメモリ特性

条件：Vcc=4.5~5.5V、AVcc0=4.5~5.5V、AVcc1=4.5~5.5V、PWMVcc=4.5~5.5V、Vref=4.5V~AVcc、

Vss=PWMVss=AVss=0V、I = 8~40MHz、P = 8~20MHz

Ta=0~+75 (通常仕様品)、Ta=0~+85 (広温度範囲仕様品)

項目	記号	min	typ	max	単位	特記
書き込み時間 ^{*1*2*4}	t _p	-	3	30	ms/128 バイト	
消去時間 ^{*1*2*4}	t _E	-	80	800	ms/4K バイト ブロック	
		-	500	5000	ms/32K バイト ブロック	
		-	1000	10000	ms/64K バイト ブロック	
書き込み時間 (総和) ^{*1*2*4}	t _p	-	5	15	s/256K バイト	Ta = 25、すべて 0 時
消去時間 (総和) ^{*1*2*4}	t _E	-	5	15	s/256K バイト	Ta = 25
書き込み、消去時間 (総和) ^{*1*2*4}	t _{FE}	-	10	30	s/256K バイト	Ta = 25
書き換え回数	N _{WEC}	100 ^{*3}	-	-	回	
データ保持時間 ^{*4}	t _{DRP}	10	-	-	年	

【注】 *1 書き込み、消去時間はデータに依存します。

*2 書き込み、消去時間にはデータ転送時間は含まれません。

*3 書き換え後のすべての特性を保証する min 回数です。(保証は 1~min 値の範囲です。)

*4 書き換えが min 値を含む仕様範囲内で行われたときの特性です。

付録

A. 各処理状態におけるポートの状態

表 A.1 各処理状態におけるポートの状態

ポート名	端子名	MCU 動作モード	リセット	ハードウェア スタンバイ	ソフトウェアスタンバイ	
					OPE = 1	OPE = 0
PORT1	P1[0:7]	全モード	Hi-Z	Hi-Z	keep	
PORT2	P2[0:7]	全モード	Hi-Z	Hi-Z	keep	
PORT3	P3[0:7]	全モード	Hi-Z	Hi-Z	keep	
PORT4	P4[0:7]	全モード	Hi-Z	Hi-Z	keep	
PORT5	P5[0:5]	全モード	Hi-Z	Hi-Z	keep	
	P56	全モード	Hi-Z	Hi-Z	[DAOE0 = 1] keep [DAOE0 = 0] Hi-Z	
	P57	全モード	Hi-Z	Hi-Z	[DAOE1 = 1] keep [DAOE1 = 0] Hi-Z	
PORT6	P6[0:7]	全モード	Hi-Z	Hi-Z	keep	
PORTA	PA[0:2]	全モード	Hi-Z	Hi-Z	keep	
	PA[3:5]	シングルチップモード (EXPE = 0)	Hi-Z	Hi-Z	keep	
		外部拡張モード (EXPE = 1)	H	Hi-Z	H	Hi-Z
	PA6	シングルチップモード (EXPE = 0)	Hi-Z	Hi-Z	[AS 出力時] H	[AS 出力時] Hi-Z
		外部拡張モード (EXPE = 1)	H	Hi-Z	[上記以外] keep	[上記以外] keep
	PA7	シングルチップモード (EXPE = 0)	Hi-Z	Hi-Z	[クロック出力時] H	[クロック出力時] クロック出力
外部拡張モード (EXPE = 1)		クロック出力	Hi-Z	[上記以外] keep	[上記以外] keep	

付録

ポート名	端子名	MCU 動作モード	リセット	ハードウェア スタンバイ	ソフトウェアスタンバイ	
					OPE = 1	OPE = 0
PORTD	PD[0:7]	外部拡張モード (EXPE = 1)	L	Hi-Z	keep	Hi-Z
		ROM 有効拡張モード	Hi-Z	Hi-Z	keep	[アドレス出力時] Hi-Z [上記以外] keep
		シングルチップモード (EXPE = 0)	Hi-Z	Hi-Z	keep	
PORTE	PE[0:7]	外部拡張モード (EXPE = 1)	L	Hi-Z	keep	Hi-Z
		ROM 有効拡張モード	Hi-Z	Hi-Z	keep	[アドレス出力時] Hi-Z [上記以外] keep
		シングルチップモード (EXPE = 0)	Hi-Z	Hi-Z	keep	
PORTF	PF[0:7]	外部拡張モード (EXPE = 1)	L / Hi-Z	Hi-Z	keep	[アドレス出力時] Hi-Z [上記以外] keep
		シングルチップモード (EXPE = 0)	Hi-Z	Hi-Z	keep	
PORTH	PH[0:7]	シングルチップモード (EXPE = 0)	Hi-Z	Hi-Z	keep	
		外部拡張モード (EXPE = 1)	Hi-Z	Hi-Z	keep	
PORTI	PI[0:7]	シングルチップモード (EXPE = 0)	Hi-Z	Hi-Z	keep	
		外部拡張モード (EXPE = 1)	バス幅 8 ビット	Hi-Z	Hi-Z	keep
			バス幅 16 ビット	Hi-Z	Hi-Z	keep
PORTJ	PJ[0:7]	シングルチップモード (EXPE = 0)	Hi-Z	Hi-Z	keep	
		外部拡張モード (EXPE = 1)	Hi-Z	Hi-Z	keep	
PORTK	PK[0:7]	シングルチップモード (EXPE = 0)	Hi-Z	Hi-Z	keep	
		外部拡張モード (EXPE = 1)	Hi-Z	Hi-Z	keep	

【記号説明】

Hi-Z : ハイインピーダンス

H : High レベル

L : Low レベル

keep : 入力ポートはハイインピーダンス、出力ポートは保持

OPE : 出力ポートイネーブル

B. 型名一覧

製品分類	製品型名	マーク型名	パッケージ (コード)
H8SX/1544	R5F61544	R5F61544	LQFP-144 (FP-144L)
H8SX/1543	R5F61543	R5F61543	LQFP-144 (FP-144L)

C. 外形寸法図

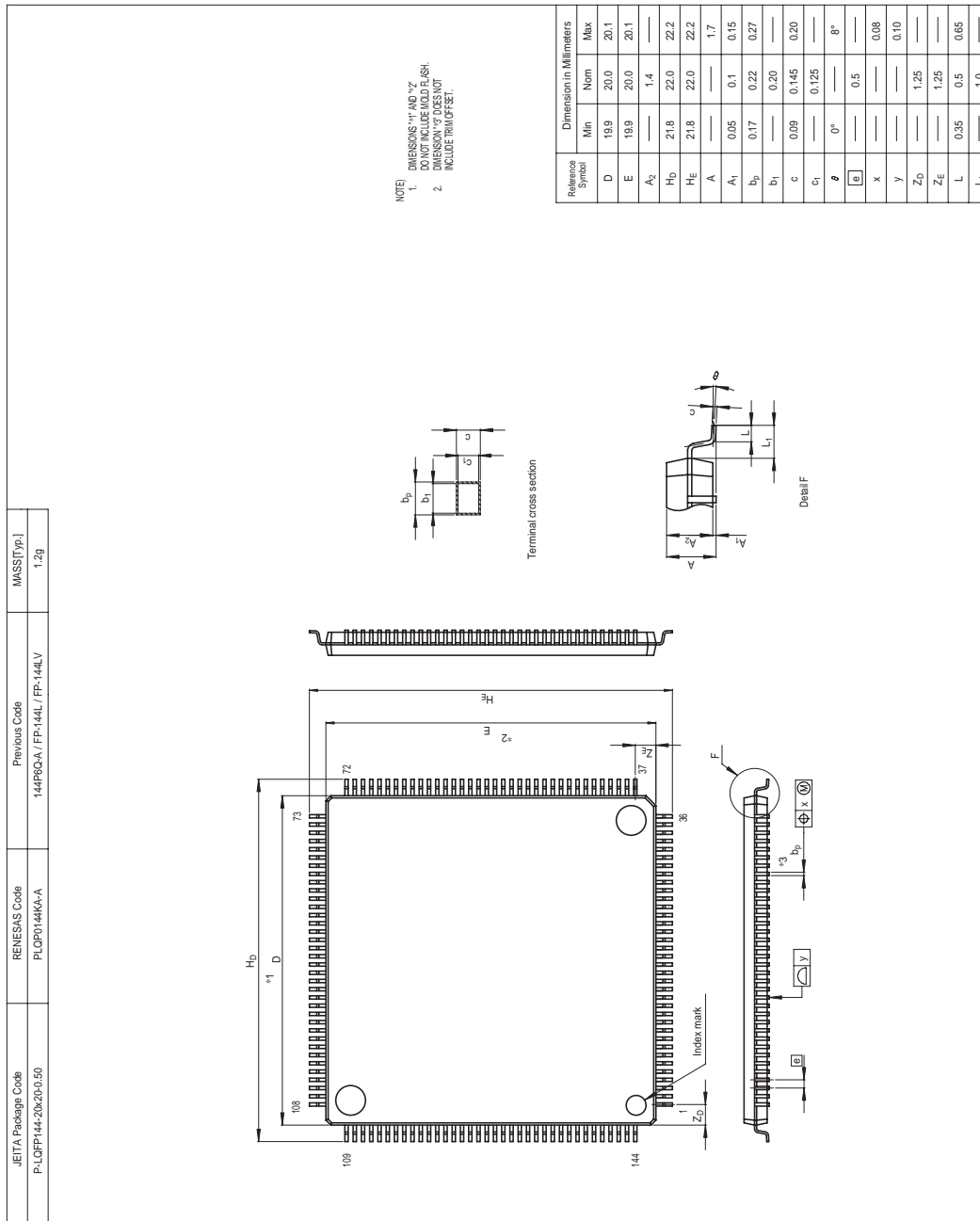


図 C.1 FP-144L 外形寸法図

索引

【数字 / 記号】	
0 出力 / 1 出力	9-40
16 ビット PWM	19-1
16 ビットアクセス空間	6-24
16 ビットタイムパルスユニット (TPU)	9-1
8 ビットアクセス空間	6-23
【A】	
A/D 変換器	16-1
A/D 変換精度	16-14
AC 特性	26-6
AT カット並列共振形	23-5
【B】	
B クロック出力制御	24-16
【C】	
CAN インタフェース	14-3
CAN スリープモード	14-45
CPU に対する DMAC の優先レベル制御機能	5-29
【D】	
D/A 変換器	17-1
DC 特性	26-2
DMA コントローラ (DMAC)	7-1
【I】	
I/O ポート	8-1
I ² C バスインタフェース 2 (IIC2)	13-1
I ² C バスフォーマット	13-13
ID コード	12-33
ID 並べ替え	14-18
IRQn 割り込み	5-15
【M】	
MCU 動作モード	3-1
【N】	
NMI 割り込み	5-15
【P】	
PLL 回路	23-6
【R】	
RAM	21-1
RCAN-ET のメモリマップ	14-4
RCAN-ET のリセットシーケンス	14-43
RCAN-ET ビットレートの計算式	14-23
【S】	
SSU モード	15-17
【あ】	
アイドルサイクル	6-36
アクセスステート数	6-22
アクノリッジ	13-13
アドレスエラー	4-8
アドレスマップ	3-7
アドレスモード	7-20
一般不当命令	4-12
インターバルタイマモード	10-6
インバースコンベンション	12-48
ウェイト制御	6-33
ウォッチドッグタイマ (WDT)	10-1
ウォッチドッグタイマモード	10-5
エラーシグナル	12-47
エラープロテクト	22-44
エリア 0	6-22
エリア 1	6-22
エリア 2	6-23
エリア 3	6-23
エリア 4	6-23
エリア 5	6-23
エリア 6	6-23
エリア 7	6-23
エリア分割	6-20
エンディアンとデータアライメント	6-23
エンディアン形式	6-21
オーバフロー	10-5
オープンドレインコントロールレジスタ	8-9

オフセット加算.....	7-34
オフセット誤差.....	16-14
オンボードプログラミング.....	22-27
オンボードプログラミングモード.....	22-27

【か】

外形寸法図.....	付録-4
外部アクセスバス.....	6-15
外部クロック.....	23-6
外部トリガ入力.....	16-13
外部バス.....	6-19
外部バスインタフェースの種類.....	6-21
外部バスクロック (B).....	6-16, 23-1
外部ライトデータバッファ機能.....	6-45
外部割り込み要因.....	5-15
書き込み / 消去インタフェース.....	22-7
書き込み / 消去インタフェースパラメータ.....	22-15
書き込み / 消去インタフェースレジスタ.....	22-11
各処理状態におけるポートの状態.....	付録-1
拡張リビートエリア.....	7-18
拡張リビートエリア機能.....	7-31
各動作モードにおけるレジスタの状態.....	25-46
各ポートの出力信号有効設定一覧.....	8-34
カスケード接続動作.....	9-47
型名一覧.....	付録-3
基本バスインタフェース.....	6-22, 6-26
クロック同期化サイクル (Tsy).....	6-16
クロック同期式モード.....	12-38
クロック同期式通信モード.....	15-25
クロック発振器.....	23-1
コントローラエリアネットワーク (RCAN-ET).....	14-1

【さ】

サイクルスチールモード.....	7-30
サウンドジェネレータ (SDG).....	20-1
サンプル&ホールド回路.....	16-11
システムクロック (I).....	6-16, 23-1
周期カウント動作.....	9-38
周辺モジュールクロック (P).....	6-16, 23-1
周辺モジュールライトデータバッファ機能.....	6-46
出力バッファ制御.....	8-10
状態遷移図.....	2-43
処理状態.....	2-42
シリアルコミュニケーションインタフェース (SCI).....	12-1
シングルアドレスモード.....	7-21
シングルモード.....	16-9

シンクロナスシリアルコミュニケーションユニット (SSU).....	15-1
水晶発振子.....	23-5
スキャンモード.....	16-10
スタートビット.....	12-23
ストップビット.....	12-23
ストローブアサート / ネゲートタイミング.....	6-22
スペース.....	12-23
スマートカードインタフェース.....	12-46
スリープモード.....	24-2, 24-10
スリープ受信モード.....	13-20
スリープ送信モード.....	13-18
スロット不当命令.....	4-12
絶対最大定格.....	26-1
絶対精度.....	16-14
全モジュールクロックストップモード.....	24-2, 24-16
送受信データ.....	12-23
ソフトウェアスタンバイモード.....	24-2, 24-11
ソフトウェアプロテクト.....	22-43

【た】

タイムカウンタの定義.....	14-21
ダイレクトコンベンション.....	12-48
ダウンロードバスフェイルリザルトパラメータ.....	22-17
ダブルバッファ.....	12-23
端子機能.....	1-9
調歩同期式モード.....	12-23
通信プロトコル.....	22-50
低消費電力.....	24-1
データディレクションレジスタ.....	8-7
データレジスタ.....	8-7
テストモードの設定.....	14-47
デュアルアドレスモード.....	7-20
電気的特性.....	26-1
転送クロック.....	15-14
転送モード.....	7-23
同期クリア.....	9-42
同期プリセット.....	9-42
動作モード別ピン配置一覧.....	1-4
トルグル出力.....	9-40
時計用タイマ (WAT).....	11-1
トラップ命令例外処理.....	4-11
トレース例外処理.....	4-7

【な】

内蔵 ROM 無効.....	3-1
内蔵 ROM 有効.....	3-1

内蔵ボーレートジェネレータ	12-26
内部システムバス	6-15
内部周辺バス	6-15
内部ブロック図	1-2
内部割り込み	5-16
入力バッファコントロールレジスタ	8-8
ノイズ除去回路	13-22
ノーマル転送モード	7-23

【は】

バーストモード	7-30
ハードウェアスタンバイモード	24-2, 24-14
ハードウェアプロテクト	22-43
バスアービトラージ	6-47
バスコントローラ (BSC)	6-1
バスモード	7-30
バス権解放状態	2-42
バス構成	6-15
バス幅	6-21
パッケージ	1-2
発振器	23-5
パリティビット	12-23
汎用レジスタ	2-12
非直線性誤差	16-14
ビッグエンディアン	6-21
ビットレート	12-18
ビット同期回路	13-27
ピン配置図	1-3
ブートモード	22-3, 22-27
ブートモードの標準シリアル通信インタフェース仕様	22-48
不当命令	4-12
フラッシュイレースブロックセレクトパラメータ	22-24
フラッシュバス / フェイルパラメータ	22-18
フラッシュプログラム / イレース周波数パラメータ	22-21
フラッシュマルチバースアドレスエリアパラメータ	22-22
フラッシュマルチバースデータデスティネーションパラメータ	22-23
フラッシュメモリ	22-1
フラッシュユーザブランチアドレスセットパラメータ	22-25
フリーランニングカウント動作	9-38
ブルアップ MOS コントロールレジスタ	8-8
フルスケール誤差	16-14
プログラム実行状態	2-42

プログラム停止状態	2-42
ブロック構成	22-4
ブロック転送モード	7-25
プロテクト	22-43
分解能	16-14
分周器	23-6
ベクタテーブルアドレス	4-2
ベクタテーブルアドレスオフセット	4-2
ポートレジスタ	8-7
ホルトモード	14-44

【ま】

マーク状態	12-23, 12-60
マイクロプロセッサインタフェース (MPI)	14-3
マスタ受信モード	13-16
マスタ送信モード	13-14
マルチプロセッサビット	12-33
マルチプロセッサ通信機能	12-33
メールボックス	14-3
メールボックスコントロール	14-3
メールボックスのアドレスマップ	14-5
メールボックスの構成	14-6
メールボックスの再設定	14-53
メッセージコントロールフィールド	14-7
メッセージ受信シーケンス	14-51
メッセージ送信シーケンス	14-49
メッセージデータフィールド	14-13
モータコントロール PWM タイマ	18-1
モード 2	3-5
モード 4	3-5
モード 5	3-5
モード 6	3-5
モード端子	3-1
モジュールストップ機能	24-15

【や】

ユーザプログラムモード	22-3, 22-31
-------------	-------------

【ら】

ライターモード	22-3, 22-48
ライトデータバッファ機能	6-45
リードストロープ (RD) タイミング	6-34
リセット	4-4
リセット状態	2-42
リトルエンディアン	6-21
リピート転送モード	7-24
量子化誤差	16-14

例外処理	4-1	ICCRB	13-6, 25-23, 25-41, 25-55
例外処理後のスタックの状態.....	4-13	ICDRR	13-12, 25-23, 25-41, 25-55
例外処理状態	2-42	ICDRS	13-12
例外処理ベクタテーブル.....	4-2	ICDRT	13-12, 25-23, 25-41, 25-55
レジスタ		ICIER.....	13-8, 25-23, 25-41, 25-55
ABACK0	14-37, 25-2, 25-27, 25-46	ICMR	13-7, 25-23, 25-41, 25-55
ABWCR	6-3, 25-22, 25-39, 25-54	ICR	8-8, 25-19, 25-34, 25-51
ADCR	16-8, 25-25, 25-43, 25-57	ICSR.....	13-9, 25-23, 25-41, 25-55
ADCSR.....	16-6, 25-25, 25-43, 25-57	IDLCR.....	6-10, 25-22, 25-39, 25-54
ADDR	16-6, 25-25, 25-43, 25-57	IER	5-6, 25-24, 25-42, 25-56
ASTCR	6-4, 25-22, 25-39, 25-54	IMR	14-30, 25-2, 25-27, 25-46
BCR	6-11, 25-22, 25-39, 25-54	INTCR	5-3, 25-24, 25-42, 25-56
BCR0.....	14-21, 25-2, 25-27, 25-46	IPR	5-5, 25-21, 25-38, 25-54
BCR1.....	14-21, 25-2, 25-27, 25-46	IRR	14-25, 25-2, 25-27, 25-46
BRR	12-18, 25-25, 25-43, 25-57	ISCRH.....	5-8, 25-22, 25-39, 25-54
CCR.....	2-14	ISCRL.....	5-8, 25-22, 25-39, 25-54
CPUPCR	5-4, 25-24, 25-42, 25-56	ISR	5-12, 25-24, 25-42, 25-56
DACR	7-14, 25-20, 25-36, 25-53	MAC	2-15
DACR01	17-2, 25-18, 25-33, 25-51	MBIMR0	14-40, 25-2, 25-27, 25-46
DADR	25-18, 25-33, 25-51	MCR	14-13, 25-2, 25-27, 25-46
DADRO	17-2	MDCR.....	3-2, 25-22, 25-40, 25-54
DADR1	17-2	MSTPCR	24-6, 25-22, 25-40, 25-54
DBSR.....	7-7, 25-20, 25-36, 25-53	ODR	8-9, 25-20, 25-35, 25-52
DDAR	7-5, 25-20, 25-35, 25-53	PC	2-13
DDR.....	8-7, 25-19, 25-34, 25-51	PCR.....	8-8, 25-20, 25-35, 25-52
DMDR.....	7-8, 25-20, 25-36, 25-53	PFCR2.....	8-35, 25-20, 25-35, 25-52
DMRSR	7-19, 25-21, 25-38, 25-53	PFCR4.....	8-35, 25-20, 25-35, 25-52
DOFR	7-6, 25-20, 25-35, 25-53	PFCR9.....	8-37, 25-20, 25-35, 25-52
DPFR.....	22-17	PORT	8-7, 25-24, 25-42, 25-56
DR	8-7, 25-24, 25-42, 25-56	PWBFR	18-9, 19-10, 25-17, 25-31, 25-50
DSAR.....	7-5, 25-20, 25-35, 25-53	PWBTCR.....	18-10, 25-18, 25-33, 25-51
DTCR.....	7-6, 25-20, 25-35, 25-53	PWCNT	18-6, 19-7
ENDIANCR.....	6-14, 25-22, 25-40, 25-54	PWCR	18-4, 19-5, 25-17, 25-18, 25-31, 25-32, 25-50
EXR	2-15	PWCYR	18-6, 19-7, 25-17, 25-18, 25-31, 25-32, 25-50
FCCS.....	22-11, 25-22, 25-40, 25-55	PWDTR	18-6, 19-8
FEBS	22-24	PWOOCR	18-5, 19-6, 25-17, 25-18, 25-31, 25-32, 25-50
FECS.....	22-13, 25-22, 25-40, 25-55	PWPR.....	18-5, 25-18, 25-32, 25-50
FKEY	22-13, 25-22, 25-40, 25-55	RAMER	22-26, 25-22, 25-40, 25-54
FMPAR.....	22-22	RCANMON.....	14-56, 25-18, 25-33, 25-51
FMPDR.....	22-23	RDNCR	6-8, 25-22, 25-39, 25-54
FPCS.....	22-12, 25-22, 25-40, 25-55	RDR.....	12-5, 25-25, 25-43, 25-57
FPEFEQ	22-21	REC.....	14-30, 25-2, 25-27, 25-46
FPFR	22-18	RFPR0.....	14-39, 25-2, 25-27, 25-46
FTDAR.....	22-14, 25-22, 25-40, 25-55	RSR.....	12-5
FUBRA	22-25		
GSR	14-19, 25-2, 25-27, 25-46		
ICCRA	13-4, 25-23, 25-41, 25-55		

RSTCSR.....	10-4, 25-25, 25-44, 25-57
RXPR0.....	14-38, 25-2, 25-27, 25-46
SAR.....	13-11, 25-23, 25-41, 25-55
SBR.....	2-15
SBYCR.....	24-4, 25-22, 25-40, 25-54
SCKCR.....	23-2, 25-22, 25-40, 25-54
SCMR.....	12-17, 25-25, 25-43, 25-57
SCR.....	12-9, 25-25, 25-43, 25-57
SGCR.....	20-3, 25-16, 25-30, 25-49
SGCSR.....	20-4, 25-16, 25-30, 25-49
SGLR.....	20-6, 25-16, 25-30, 25-49
SGSFR.....	20-7, 25-16, 25-30, 25-49
SGTFR.....	20-6, 25-16, 25-30, 25-49
SMR.....	12-6, 25-25, 25-43, 25-57
SSCR2.....	15-11, 25-15, 25-30, 25-48
SSCRH.....	15-4, 25-15, 25-30, 25-48
SSCRL.....	15-6, 25-15, 25-30, 25-48
SSER.....	15-8, 25-15, 25-30, 25-48
SSIER.....	5-14, 25-20, 25-35, 25-53
SSMR.....	15-7, 25-15, 25-30, 25-48
SSR.....	12-12, 25-25, 25-43, 25-57
SSRDR.....	15-13, 25-15, 25-30, 25-48
SSSR.....	15-9, 25-15, 25-30, 25-48
SSTDR.....	15-12, 25-15, 25-30, 25-48
SSTRSR.....	15-13
SUBCKCR.....	23-4, 25-22, 25-40, 25-54
SYSCR.....	3-3, 25-22, 25-40, 25-54
TCNT.....	10-3, 25-25, 25-44, 25-57
TCNT (TPU).....	9-35, 25-25, 25-44, 25-58
TCR (TPU).....	9-8, 25-25, 25-44, 25-58
TCSR.....	10-3, 25-25, 25-44, 25-57
TDR.....	12-5, 25-25, 25-43, 25-57
TEC.....	14-30, 25-2, 25-27, 25-46
TGR.....	9-35, 25-25, 25-44, 25-58
TIER.....	9-31, 25-25, 25-44, 25-58
TIOR.....	9-13, 25-25, 25-44, 25-58
TMDR.....	9-12, 25-25, 25-44, 25-58
TSR.....	12-5
TSR (TPU).....	9-32, 25-25, 25-44, 25-58
TSTR.....	9-35, 25-25, 25-44, 25-57
TSYR.....	9-36, 25-25, 25-44, 25-57
TXACK0.....	14-36, 25-2, 25-27, 25-46
TXCR0.....	14-35, 25-2, 25-27, 25-46
TXPR0.....	14-32, 25-2, 25-27, 25-46
TXPR1.....	14-32, 25-2, 25-27, 25-46
UMSR0.....	14-41, 25-2, 25-27, 25-46
VBR.....	2-15
WTCNT.....	11-2, 25-18, 25-32, 25-50
WTCOR.....	11-5, 25-18, 25-32, 25-50
WTCR.....	11-2, 25-18, 25-32, 25-50
WTCRA.....	6-5, 25-22, 25-39, 25-54
WTCRB.....	6-5, 25-22, 25-39, 25-54
WTSR.....	11-3, 25-18, 25-32, 25-50
レジスタアドレス一覧 (アドレス順).....	25-2
レジスタビット一覧.....	25-27
ローカルアクセプタンスフィルタマスク (LAFM) ..	14-12

【わ】

割り込み.....	4-10
割り込み応答時間.....	5-26
割り込みコントローラ.....	5-1
割り込み制御モード0.....	5-21
割り込み制御モード2.....	5-23
割り込み要因.....	5-15
割り込み要因とベクタアドレスオフセット.....	5-17
割り込み例外処理シーケンス.....	5-25
割り込み例外処理ベクタテーブル.....	5-16

ルネサス32ビットCISCマイクロコンピュータ
ハードウェアマニュアル
H8SX/1544グループ

発行年月日 2007年3月2日 Rev.1.00

2009年9月17日 Rev.3.00

発行 株式会社ルネサステクノロジ 営業統括部
〒100-0004 東京都千代田区大手町 2-6-2

編集 株式会社ルネサスソリューションズ
グローバルストラテジックコミュニケーション本部
カスタマサポート部

株式会社ルネサステクノロジー 営業統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

営業お問合せ窓口
株式会社ルネサス販売

RENESAS

<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
西	東	京	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア)	(022) 221-1351
い	わ	き	支	〒970-8026	いわき市平字田町120 (ラトフ)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市中央区東大通1-4-2 (新潟三井物産ビル)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング)	(082) 244-2570
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ)	(092) 481-7695

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com

H8SX/1544 グループ ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0406-0300