

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。

改訂一覧は改訂箇所をまとめたものであり、
詳細については必ず本文の内容をご確認ください。

H8SX/1648、H8SX/1648A、H8SX/1648L、 H8SX/1648G、H8SX/1648H グループ

ハードウェアマニュアル

ルネサス32ビットCISC マイクロコンピュータ

H8SXファミリ / H8SX/1600 シリーズ

H8SX/1648	R5F61648
H8SX/1644	R5F61644
H8SX/1642	R5F61642
H8SX/1648A	R5F61648A
H8SX/1644A	R5F61644A
H8SX/1642A	R5F61642A
H8SX/1648L	R5F61648L
H8SX/1644L	R5F61644L
H8SX/1642L	R5F61642L
H8SX/1648G	R5F61648G
H8SX/1644G	R5F61644G
H8SX/1642G	R5F61642G
H8SX/1648H	R5F61648H
H8SX/1644H	R5F61644H
H8SX/1642H	R5F61642H

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりますは、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いいたします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気づきの点等がございましたら弊社営業窓口までご照会ください。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認下さい。

同じグループのマイコンでも型名が違くと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記録したものではありません。詳細は、このマニュアルの本文でご確認ください。

H8SX/1648、H8SX/1648A、H8SX/1648L、H8SX/1648G、H8SX/1648H グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス テクノロジーのホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	—	—
ハードウェアマニュアル	ハードウェアの仕様（ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング）と動作説明	H8SX/1648、H8SX/1648A、H8SX/1648L、H8SX/1648G、H8SX/1648H グループ ハードウェアマニュアル	本ハードウェアマニュアル
ソフトウェアマニュアル	CPU・命令セットの説明	H8SX ソフトウェアマニュアル	RJJ09B0048
アプリケーションノート	応用例参考プログラムなど	ルネサス テクノロジーのホームページに掲載されています。	
RENESAS THCHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

(1) 全体的な表記

本文中ではビットの説明をする場合、モジュールやレジスタとの関連を明確にするため、ビット名を「モジュール名、レジスタ名、ビット名」または「レジスタ名、ビット名」と表記している場合があります。

(2) レジスタの表記

同一または類似した機能が複数チャンネルに存在する場合に「レジスタ名_チャンネル番号」の表記を使用します。

(例) CMCSR_0 : コンペアマッチタイマのチャンネル0 (_0) のCMCSRレジスタを示します。

(3) 数字の表記

2進数はB'nnnn (明らかに2進数と判断できる場合はB'を省略)、16進数はH'nnnnまたは0xnnnn、

10進数はnnnnで表します。

(例) 2進数 : B'11または11

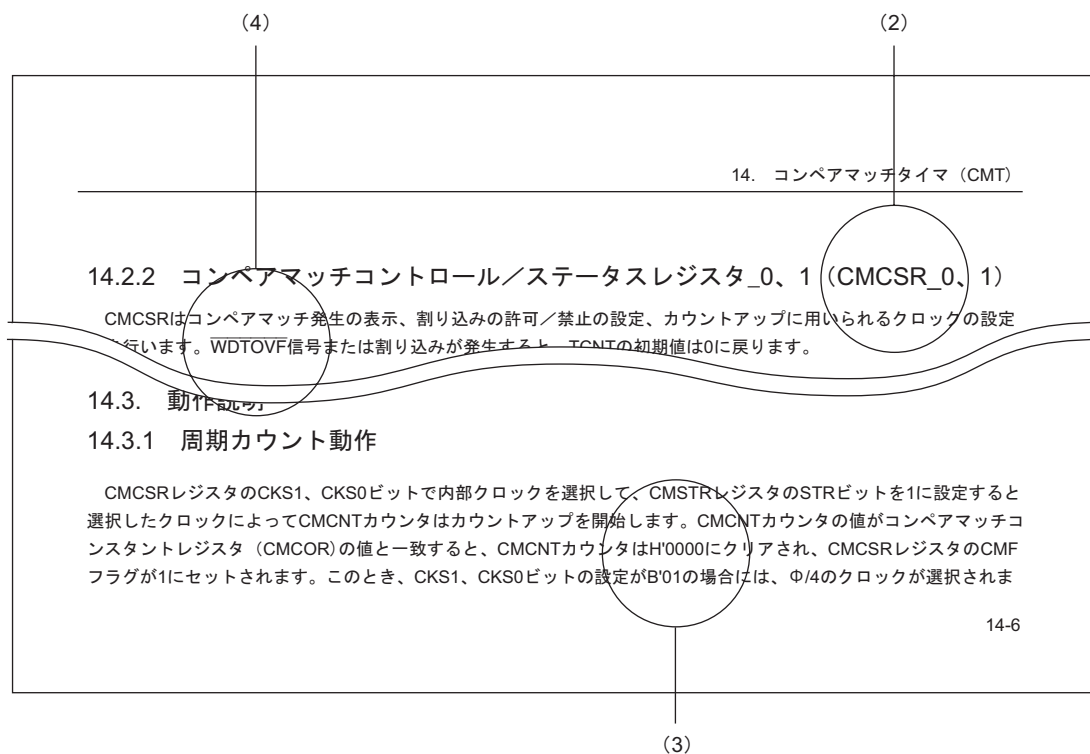
16進数 : H'EFA0または0xEFA0

10進数 : 1234

(4) ローアクティブの表記

ローアクティブの信号および端子には上線を付けて表記しています。

(例) WDTOVF

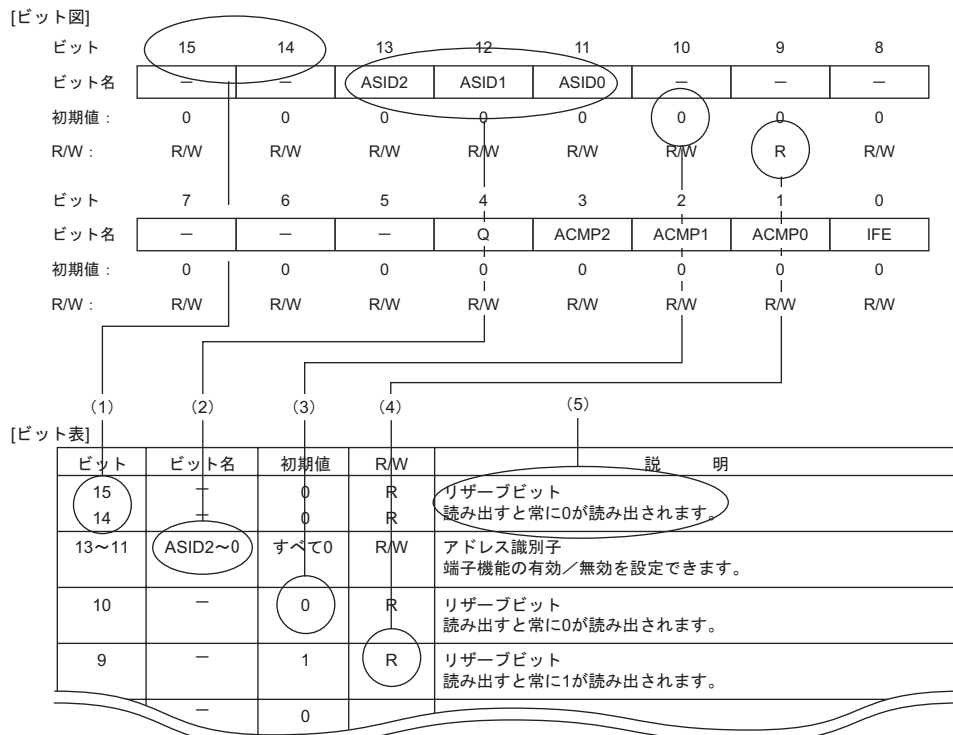


【注】 上記した図中のビット名や文章は例であり、マニュアルの内容とは関係がありません。

3. レジスタの表記

各レジスタの説明には、ビットの並びを示すビット図とビットに設定する内容を説明するビット表があります。

使用する記号、用語を以下に説明します。



【注】 上記した図中のビット名や文章は例であり、マニュアルの内容とは関係がありません。

(1) ビット

ビット番号を示します。

32ビットレジスタの場合は31から0の順に、16ビットレジスタの場合は15から0の順に示します。

(2) ビット名

ビット名またはフィールド名を示します。

フィールドでビット桁数を明示する必要があるときは、ASID[3:0]というように桁数の表記を追加します。

また、リザーブビットの場合は「-」と表記します。

ただし、タイムカウンタなどをはじめとして、ビット名の記載をせずに空白のままとしているものもあります。

(3) 初期値

各ビットのパワーオンリセット後の値を初期値として示します。

0 : 初期値は0であることを示します。

1 : 初期値は1であることを示します。

- : 初期値は不定であることを示します。

(4) R/W

各ビットが読み出し可能か、書き込み可能か、または書き込みも読み出しも不可であることを示します。

使用する表記を以下に説明します。

R/W : 読み出しおよび書き込みが可能なビットまたはフィールドです。

R(W) : 読み出しおよび書き込みが可能なビットまたはフィールドです。

ただし書き込みは、フラグをクリアするための書き込みのみ可能です。

R : 読み出しが可能なビットまたはフィールドです。

リザーブビットはすべて「R」と表記します。書き込む必要がある場合は、

ビット表で指定された値を書き込んでください。

W : 書き込みが可能なビットまたはフィールドです。

(5) 説明

ビットの機能について説明しています。

4. 略語および略称の説明

以下に本書内で使用されている略語または略称を示します。

- 本製品固有の略語または略称

略称	英語名	日本語名
BSC	Bus Controller	バスコントローラ
CPG	Clock Pulse Generator	クロック発振器
DTC	Data Transfer Controller	データトランスファコントローラ
INTC	Interrupt Controller	割り込みコントローラ
PPG	Programmable Pulse Generator	プログラマブルパルスジェネレータ
SCI	Serial Communication Interface	シリアルコミュニケーションインタフェース
TMR	8-Bit Timer	8ビットタイマ
TPU	16-Bit Timer Pulse Unit	16ビットタイマパルスユニット
WDT	Watchdog Timer	ウォッチドッグタイマ

- その他の略語または略称

略語／略称	英語名	日本語名
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位
CRC	Cyclic Redundancy Check	周期的冗長検査
DMA	Direct Memory Access	ダイレクトメモリアクセス
DMAC	Direct Memory Access Controller	ダイレクトメモリアクセスコントローラ
GSM	Global System for Mobile Communications	ジーエスエム
Hi-Z	High Impedance	ハイインピーダンス
IEBus	Inter Equipment bus	NEC エレクトロニクス社提唱の通信方式
I/O	Input/Output	入出力
IrDA	Infrared Data Association	赤外線データアソシエーション
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connection	未接続端子
PLL	Phase Locked Loop	位相ロックループ
PWM	Pulse Width Modulation	パルス幅変調
SFR	Special Function Registers	周辺回路制御用レジスタ群
SIM	Subscriber Identity Module	ISO-7816 規定の通信方式
UART	Universal Asynchronous Receiver/Transmitter	非同期シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1. 概要	1-1
1.1 特長	1-1
1.1.1 用途	1-1
1.1.2 仕様概要	1-2
1.2 製品一覧	1-8
1.3 内部ブロック図	1-10
1.4 端子説明	1-11
1.4.1 ピン配置図	1-11
1.4.2 動作モード別ピン配置一覧	1-13
1.4.3 端子機能	1-19
2. CPU	2-1
2.1 特長	2-1
2.2 CPU動作モード	2-3
2.2.1 ノーマルモード	2-3
2.2.2 ミドルモード	2-5
2.2.3 アドバンスモード	2-6
2.2.4 マキシマムモード	2-8
2.3 命令フェッチ	2-9
2.4 アドレス空間	2-10
2.5 レジスタ構成	2-10
2.5.1 汎用レジスタ	2-12
2.5.2 プログラムカウンタ (PC)	2-13
2.5.3 コンディションコードレジスタ (CCR)	2-14
2.5.4 エクステンドレジスタ (EXR)	2-15
2.5.5 ベクタベースレジスタ (VBR)	2-15
2.5.6 ショートアドレスベースレジスタ (SBR)	2-15
2.5.7 積和レジスタ (MAC)	2-15
2.5.8 CPU 内部レジスタの初期値	2-15
2.6 データ形式	2-16
2.6.1 汎用レジスタのデータ形式	2-16
2.6.2 メモリ上でのデータ形式	2-18
2.7 命令セット	2-19
2.7.1 命令とアドレッシングモードの組み合わせ	2-21
2.7.2 命令の機能別一覧	2-25
2.7.3 命令の基本フォーマット	2-34
2.8 アドレッシングモードと実効アドレスの計算方法	2-35
2.8.1 レジスタ直接 Rn	2-35
2.8.2 レジスタ間接 @ERn	2-36

2.8.3	ディスプレイメント付レジスタ間接 @ (d:2,ERn) /@ (d:16,ERn) / @ (d:32,ERn)	2-36
2.8.4	ディスプレイメント付インデックスレジスタ間接 @(d:16,RnL.B)/ @(d:32,RnL.B)/ @(d:16,Rn.W)/@(d:32,Rn.W)/@(d:16,ERn.L)/@(d:32,ERn.L)	2-36
2.8.5	プリ/ポストインクリメント/デクリメントレジスタ間接 @ERn+/@-ERn/@+ERn/ @ERn-	2-36
2.8.6	絶対アドレス @aa:8/@aa:16/@aa:24/@aa:32	2-37
2.8.7	イミディエイト #xx	2-38
2.8.8	プログラムカウンタ相対 @ (d:8, PC) /@ (d:16, PC)	2-38
2.8.9	プログラムカウンタインデックス相対 @ (RnL.B, PC) /@ (Rn.W, PC) / @ (ERn.L, PC)	2-39
2.8.10	メモリ間接 @@aa:8	2-39
2.8.11	拡張メモリ間接 @@vec:7	2-40
2.8.12	実効アドレスの計算方法	2-40
2.8.13	MOVA 命令	2-42
2.9	処理状態	2-43
3.	MCU 動作モード	3-1
3.1	動作モードの選択	3-1
3.2	レジスタの説明	3-2
3.2.1	モードコントロールレジスタ (MDCR)	3-2
3.2.2	システムコントロールレジスタ (SYSCR)	3-4
3.3	動作モードの説明	3-6
3.3.1	モード1	3-6
3.3.2	モード2	3-6
3.3.3	モード3	3-6
3.3.4	モード4	3-6
3.3.5	モード5	3-6
3.3.6	モード6	3-6
3.3.7	モード7	3-7
3.3.8	端子機能	3-7
3.4	アドレスマップ	3-8
3.4.1	アドレスマップ	3-8
4.	リセット	4-1
4.1	リセットの種類	4-1
4.2	入出力端子	4-3
4.3	レジスタの説明	4-4
4.3.1	リセットステータスレジスタ (RSTSR)	4-4
4.3.2	リセットコントロール/ステータスレジスタ (RSTCSR)	4-6
4.4	端子リセット	4-7
4.5	パワーオンリセット (POR) (H8SX1648L, H8SX1648Hグループ)	4-7
4.6	電源監視リセット (H8SX1648L, H8SX1648Hグループ)	4-8
4.7	ディープソフトウェアスタンバイリセット	4-8
4.8	ウォッチドッグタイマリセット	4-8
4.9	リセット発生要因の判定	4-9

5.	電圧検出回路 (LVD)	5-1
5.1	特長	5-1
5.2	レジスタの説明	5-2
5.2.1	低電圧検出コントロールレジスタ (LVDCR)	5-2
5.2.2	リセットステータスレジスタ (RSTSR)	5-3
5.3	電圧検出回路	5-4
5.3.1	電圧監視リセット	5-4
5.3.2	電圧監視割り込み	5-4
5.3.3	電圧検出回路によるディープソフトウェアスタンバイモード解除	5-6
5.3.4	電圧監視モニタ	5-7
6.	例外処理	6-1
6.1	例外処理の種類と優先度	6-1
6.2	例外処理要因とベクタテーブル	6-2
6.3	リセット	6-4
6.3.1	リセット例外処理	6-4
6.3.2	リセット直後の割り込み	6-4
6.3.3	リセット解除後の内蔵周辺機能	6-4
6.4	トレース例外処理	6-7
6.5	アドレスエラー	6-8
6.5.1	アドレスエラー発生要因	6-8
6.5.2	アドレスエラー例外処理	6-9
6.6	割り込み	6-10
6.6.1	割り込み要因	6-10
6.6.2	割り込み例外処理	6-11
6.7	命令による例外処理	6-12
6.7.1	トラップ命令例外処理	6-12
6.7.2	スリープ命令例外処理	6-13
6.7.3	不当命令例外処理	6-14
6.8	例外処理後のスタックの状態	6-15
6.9	使用上の注意事項	6-15
7.	割り込みコントローラ	7-1
7.1	特長	7-1
7.2	入出力端子	7-3
7.3	レジスタの説明	7-3
7.3.1	割り込みコントロールレジスタ (INTCR)	7-4
7.3.2	CPU プライオリティコントロールレジスタ (CPUPCR)	7-5
7.3.3	インタラプトプライオリティレジスタ H8SX/1648 グループ、H8SX/1648A グループ、 H8SX/1648L グループ： インタラプトプライオリティレジスタ A~I、K~O、Q、R (IPRA~IPRI、IPRK~IPRO、IPRQ、IPRR) H8SX/1648G グループ、 H8SX/1648H グループ： インタラプトプライオリティレジスタ A~O、Q、R (IPRA~IPRO、IPRQ、IPRR)	7-6
7.3.4	IRQ イネーブルレジスタ (IER)	7-8
7.3.5	IRQ センスコントロールレジスタ H、L (ISCRH、ISCRL)	7-10
7.3.6	IRQ ステータスレジスタ (ISR)	7-15

7.3.7	ソフトウェアスタンバイ解除 IRQ イネーブルレジスタ (SSIER)	7-17
7.4	割り込み要因	7-18
7.4.1	外部割り込み要因	7-18
7.4.2	内部割り込み	7-19
7.5	割り込み例外処理ベクタテーブル	7-19
7.6	割り込み制御モードと割り込み動作	7-26
7.6.1	割り込み制御モード 0	7-26
7.6.2	割り込み制御モード 2	7-28
7.6.3	割り込み例外処理シーケンス	7-30
7.6.4	割り込み応答時間	7-31
7.6.5	割り込みによる DTC、DMAC の起動	7-32
7.7	CPUに対するDTC、DMAC、EXDMACの優先レベル制御機能	7-35
7.8	使用上の注意事項	7-37
7.8.1	割り込みの発生とディスエーブルとの競合	7-37
7.8.2	割り込みを禁止している命令	7-38
7.8.3	割り込み禁止期間	7-38
7.8.4	EEPMOV 命令実行中の割り込み	7-38
7.8.5	MOVMD、MOVSD 命令実行中の割り込み	7-38
7.8.6	周辺モジュールの割り込み要因フラグ	7-38
8.	ユーザブレークコントローラ (UBC)	8-1
8.1	特長	8-1
8.2	ブロック図	8-2
8.3	レジスタの説明	8-3
8.3.1	ブレークアドレスレジスタ n (BARA、BARB、BARC、BARD)	8-4
8.3.2	ブレークアドレスマスクレジスタ n (BAMRA、BAMRB、BAMRC、BAMRD)	8-5
8.3.3	ブレークコントロールレジスタ n (BRCRA、BRCRB、BRCRC、BRCRD)	8-6
8.4	動作説明	8-7
8.4.1	ブレークコントロール条件の設定	8-7
8.4.2	PCブレーク	8-8
8.4.3	コンディションマッチフラグ	8-8
8.5	使用上の注意事項	8-9
9.	バスコントローラ (BSC)	9-1
9.1	特長	9-1
9.2	レジスタの説明	9-4
9.2.1	バス幅コントロールレジスタ (ABWCR)	9-5
9.2.2	アクセスステートコントロールレジスタ (ASTCR)	9-6
9.2.3	ウェイトコントロールレジスタ A、B (WTCRA、WTCRB)	9-7
9.2.4	リードストローブタイミングコントロールレジスタ (RDNCR)	9-12
9.2.5	\overline{CS} アサート期間コントロールレジスタ (CSACR)	9-14
9.2.6	アイドルコントロールレジスタ (IDLCR)	9-16
9.2.7	バスコントロールレジスタ 1 (BCR1)	9-18
9.2.8	バスコントロールレジスタ 2 (BCR2)	9-20
9.2.9	エンディアンコントロールレジスタ (ENDIANCR)	9-21
9.2.10	SRAM モードコントロールレジスタ (SRAMCR)	9-22

9.2.11	バーストROM インタフェースコントロールレジスタ (BROMCR)	9-23
9.2.12	アドレス/データマルチプレクス I/O コントロールレジスタ (MPXCR)	9-25
9.2.13	DRAM コントロールレジスタ (DRAMCR)	9-26
9.2.14	DRAM アクセスコントロールレジスタ (DRACCR)	9-31
9.2.15	シンクロナス DRAM コントロールレジスタ (SDCR)	9-32
9.2.16	リフレッシュコントロールレジスタ (REFCR)	9-34
9.2.17	リフレッシュタイマカウンタ (RTCNT)	9-37
9.2.18	リフレッシュタイムコンスタントレジスタ (RTCOR)	9-38
9.3	バス構成	9-39
9.4	マルチクロック機能とアクセスステート数	9-40
9.5	外部バス	9-43
9.5.1	入出力端子	9-43
9.5.2	エリア分割	9-46
9.5.3	チップセレクト信号	9-47
9.5.4	外部バスインタフェース	9-48
9.5.5	エリアと外部バスインタフェース	9-53
9.5.6	エンディアンとデータアライメント	9-57
9.6	基本バスインタフェース	9-60
9.6.1	データバス	9-60
9.6.2	基本バスインタフェース入出力端子	9-60
9.6.3	基本タイミング	9-61
9.6.4	ウェイト制御	9-67
9.6.5	リードストロープ (\overline{RD}) タイミング	9-69
9.6.6	チップセレクト (\overline{CS}) アサート期間拡張	9-70
9.6.7	\overline{DACK} 、 \overline{EDACK} 信号の出力タイミング	9-71
9.7	バイト制御SRAMインタフェース	9-72
9.7.1	バイト制御 SRAM 空間の設定	9-72
9.7.2	データバス	9-72
9.7.3	バイト制御 SRAM インタフェースの入出力端子	9-73
9.7.4	基本タイミング	9-74
9.7.5	ウェイト制御	9-76
9.7.6	リードストロープ (\overline{RD})	9-78
9.7.7	チップセレクト (\overline{CS}) アサート期間延長	9-78
9.7.8	\overline{DACK} 、 \overline{EDACK} 信号の出力タイミング	9-78
9.8	バーストROMインタフェース	9-80
9.8.1	バーストROM 空間の設定	9-80
9.8.2	データバス	9-80
9.8.3	バーストROM インタフェースの入出力端子	9-80
9.8.4	基本タイミング	9-81
9.8.5	ウェイト制御	9-83
9.8.6	リードストロープタイミング	9-83
9.8.7	チップセレクトアサート期間延長	9-83
9.9	アドレス/データマルチプレクスI/Oインタフェース	9-84
9.9.1	アドレス/データマルチプレクス I/O 空間の設定	9-84
9.9.2	アドレス/データマルチプレクス	9-84
9.9.3	データバス	9-84

9.9.4	アドレス/データマルチプレクス I/O インタフェースの入出力端子	9-85
9.9.5	基本タイミング	9-86
9.9.6	アドレスサイクル制御	9-88
9.9.7	ウェイト制御	9-89
9.9.8	リードストロブ (\overline{RD}) タイミング	9-89
9.9.9	データサイクルのチップセレクト (\overline{CS}) アサート期間拡張	9-90
9.9.10	\overline{DACK} 、 \overline{EDACK} 信号の出力タイミング	9-92
9.10	DRAMインタフェース	9-93
9.10.1	DRAM 空間の設定	9-93
9.10.2	アドレスマルチプレクス	9-93
9.10.3	データバス	9-94
9.10.4	DRAM インタフェースの入出力端子	9-94
9.10.5	基本タイミング	9-95
9.10.6	カラムアドレス出力サイクル制御	9-96
9.10.7	ロウアドレス出力ステート制御	9-97
9.10.8	プリチャージステート制御	9-99
9.10.9	ウェイト制御	9-100
9.10.10	バイト/ワードアクセス制御	9-103
9.10.11	バースト動作	9-105
9.10.12	リフレッシュ制御	9-109
9.10.13	DMAC のシングルアドレス転送と DRAM インタフェース	9-114
9.11	シンクロナスDRAMインタフェース	9-117
9.11.1	シンクロナス DRAM 空間の設定	9-117
9.11.2	アドレスマルチプレクス	9-117
9.11.3	データバス	9-118
9.11.4	シンクロナス DRAM インタフェースの入出力端子	9-119
9.11.5	基本タイミング	9-120
9.11.6	CAS レイテンシ制御	9-122
9.11.7	ロウアドレス出力ステート制御	9-124
9.11.8	プリチャージステート制御	9-126
9.11.9	クロックサスペンド挿入制御	9-128
9.11.10	ライトプリチャージ遅延制御	9-129
9.11.11	バイト/ワードアクセス制御	9-130
9.11.12	高速ページアクセス動作	9-132
9.11.13	リフレッシュ制御	9-138
9.11.14	シンクロナス DRAM モードレジスタの設定	9-146
9.11.15	DMAC および EXDMAC のシングルアドレス転送とシンクロナス DRAM インタフェース	9-147
9.11.16	EXDMAC によるクラスタ転送	9-156
9.12	アイドルサイクル	9-159
9.12.1	動作説明	9-159
9.12.2	アイドルサイクルでの端子状態	9-171
9.13	バス解放	9-172
9.13.1	動作説明	9-172
9.13.2	外部バス権解放状態での端子状態	9-173
9.13.3	遷移タイミング	9-174

9.14	内部バス	9-176
9.14.1	内部アドレス空間へのアクセス	9-176
9.15	ライトデータバッファ機能	9-177
9.15.1	外部ライトデータバッファ機能	9-177
9.15.2	周辺モジュールライトデータバッファ機能	9-178
9.16	バスアービトレーション	9-179
9.16.1	動作説明	9-179
9.16.2	バス権移行タイミング	9-180
9.17	リセットとバスコントローラ	9-182
9.18	使用上の注意事項	9-182
10.	DMA コントローラ (DMAC)	10-1
10.1	特長	10-1
10.2	入出力端子	10-3
10.3	レジスタの説明	10-3
10.3.1	DMA ソースアドレスレジスタ (DSAR)	10-5
10.3.2	DMA デスティネーションアドレスレジスタ (DDAR)	10-5
10.3.3	DMA オフセットレジスタ (DOFR)	10-6
10.3.4	DMA 転送カウントレジスタ (DTCR)	10-6
10.3.5	DMA ブロックサイズレジスタ (DBSR)	10-7
10.3.6	DMA モードコントロールレジスタ (DMDR)	10-8
10.3.7	DMA アドレスコントロールレジスタ (DACR)	10-14
10.3.8	DMA モジュールリクエストセレクトレジスタ (DMRSR)	10-19
10.4	転送モード	10-19
10.5	動作説明	10-20
10.5.1	アドレスモード	10-20
10.5.2	転送モード	10-24
10.5.3	起動要因	10-29
10.5.4	バスモード	10-31
10.5.5	拡張リピートエリア機能	10-32
10.5.6	オフセットを使ったアドレス更新機能	10-35
10.5.7	DMA 転送中のレジスタ	10-39
10.5.8	チャンネルの優先順位	10-44
10.5.9	基本バスサイクル	10-45
10.5.10	デュアルアドレスモードのバスサイクル	10-46
10.5.11	シングルアドレスモードのバスサイクル	10-55
10.6	DMA転送終了	10-60
10.7	DMACと他のバスマスタの関係	10-62
10.7.1	CPU に対する DMAC の優先レベル制御機能	10-62
10.7.2	他のバスマスタとのバス権の調停	10-62
10.8	割り込み要因	10-64
10.9	使用上の注意事項	10-67
11.	EXDMA コントローラ (EXDMAC)	11-1
11.1	特長	11-1
11.2	入出力端子	11-4

11.3	レジスタの説明	11-5
11.3.1	EXDMA ソースアドレスレジスタ (EDSAR)	11-6
11.3.2	EXDMA デスティネーションアドレスレジスタ (EDDAR)	11-6
11.3.3	EXDMA オフセットレジスタ (EDOFR)	11-7
11.3.4	EXDMA 転送カウントレジスタ (EDTCR)	11-7
11.3.5	EXDMA ブロックサイズレジスタ (EDBSR)	11-8
11.3.6	EXDMA モードコントロールレジスタ (EDMDR)	11-9
11.3.7	EXDMA アドレスコントロールレジスタ (EDACR)	11-15
11.3.8	クラスタバッファレジスタ 0~7 (CLSBR0~7)	11-20
11.4	転送モード	11-21
11.4.1	通常モード	11-21
11.4.2	クラスタ転送モード	11-22
11.5	通常モードの動作説明	11-23
11.5.1	アドレスモード	11-23
11.5.2	転送モード	11-27
11.5.3	起動要因	11-31
11.5.4	バスモード	11-32
11.5.5	拡張リピートエリア機能	11-34
11.5.6	オフセットを使ったアドレス更新機能	11-37
11.5.7	EXDMA 転送中のレジスタ	11-41
11.5.8	チャンネルの優先順位	11-45
11.5.9	基本バスサイクル	11-46
11.5.10	デュアルアドレスモードのバスサイクル	11-47
11.5.11	シングルアドレスモードのバスサイクル	11-56
11.5.12	各モードの動作タイミング	11-61
11.6	クラスタ転送モードの動作説明	11-71
11.6.1	アドレスモード	11-71
11.6.2	アドレス更新モードの設定	11-76
11.6.3	拡張リピートエリア機能併用時の注意事項	11-76
11.6.4	クラスタ転送デュアルアドレスモードのバスサイクル	11-76
11.6.5	クラスタ転送モードの動作タイミング	11-78
11.7	EXDMA転送終了	11-86
11.8	EXDMACと他のバスマスタの関係	11-89
11.8.1	CPU に対する EXDMAC の優先レベル制御機能	11-89
11.8.2	他のバスバスタとのバス権の調停	11-89
11.9	割り込み要因	11-90
11.10	使用上の注意事項	11-92
12.	データトランスファコントローラ (DTC)	12-1
12.1	特長	12-1
12.2	レジスタの説明	12-3
12.2.1	DTC モードレジスタ A (MRA)	12-4
12.2.2	DTC モードレジスタ B (MRB)	12-5
12.2.3	DTC ソースアドレスレジスタ (SAR)	12-6
12.2.4	DTC デスティネーションアドレスレジスタ (DAR)	12-6
12.2.5	DTC 転送カウントレジスタ A (CRA)	12-6

12.2.6	DTC 転送カウントレジスタ B (CRB)	12-7
12.2.7	DTC イネーブルレジスタ A~F (DTCERA~DTCERF)	12-7
12.2.8	DTC コントロールレジスタ (DTCCR)	12-8
12.2.9	DTC ベクタベースレジスタ (DTCVBR)	12-9
12.3	起動要因	12-10
12.4	転送情報の配置とDTCベクタテーブル	12-10
12.5	動作説明	12-15
12.5.1	バスサイクルの分割	12-17
12.5.2	転送情報リードスキップ機能	12-19
12.5.3	転送情報ライトバックスキップ機能	12-19
12.5.4	ノーマル転送モード	12-20
12.5.5	リピート転送モード	12-21
12.5.6	ブロック転送モード	12-22
12.5.7	チェイン転送	12-23
12.5.8	動作タイミング	12-24
12.5.9	DTC の実行ステート	12-25
12.5.10	DTC のバス権解放タイミング	12-26
12.5.11	CPU に対する DTC の優先レベル制御	12-26
12.6	割り込みによるDTCの起動	12-27
12.7	DTC使用例	12-28
12.7.1	ノーマル転送	12-28
12.7.2	チェイン転送	12-28
12.7.3	カウンタ=0 のときのチェイン転送	12-29
12.8	割り込み要因	12-30
12.9	使用上の注意	12-31
12.9.1	モジュールストップ機能の設定	12-31
12.9.2	内蔵 RAM	12-31
12.9.3	DMAC 転送終了割り込み	12-31
12.9.4	DTCE ビットの設定	12-31
12.9.5	チェイン転送	12-31
12.9.6	転送情報先頭アドレス/ソースアドレス/デスティネーションアドレス	12-31
12.9.7	転送情報の書き換え	12-32
12.9.8	エンディアン	12-32
12.9.9	DTCEER 書き換え時の注意事項	12-32
13.	I/O ポート	13-1
13.1	レジスタの説明	13-9
13.1.1	データディレクションレジスタ (PnDDR) (n=1、2、3、6、A~F、H~K、M、N)	13-10
13.1.2	データレジスタ (PnDR) (n=1、2、3、6、A~F、H~K、M、N)	13-10
13.1.3	ポートレジスタ (PORTn) (n=1~6、A~F、H~K、M、N)	13-11
13.1.4	入力バッファコントロールレジスタ (PnICR) (n=1~6、A~F、H~K、M、N)	13-11
13.1.5	プルアップ MOS コントロールレジスタ (PnPCR) (n=D~F、H~K)	13-12
13.1.6	オープンドレインコントロールレジスタ (PnODR) (n=2、F)	13-13
13.2	出力バッファ制御	13-14

13.2.1	ポート 1	13-14
13.2.2	ポート 2	13-17
13.2.3	ポート 3	13-20
13.2.4	ポート 5	13-23
13.2.5	ポート 6	13-24
13.2.6	ポート A	13-29
13.2.7	ポート B	13-33
13.2.8	ポート C	13-37
13.2.9	ポート D	13-39
13.2.10	ポート E	13-39
13.2.11	ポート F	13-40
13.2.12	ポート H	13-43
13.2.13	ポート I	13-44
13.2.14	ポート J	13-44
13.2.15	ポート K	13-47
13.2.16	ポート M	13-50
13.2.17	ポート N	13-51
13.3	ポートファンクションコントローラ	13-61
13.3.1	ポートファンクションコントロールレジスタ 0 (PFCR0)	13-62
13.3.2	ポートファンクションコントロールレジスタ 1 (PFCR1)	13-63
13.3.3	ポートファンクションコントロールレジスタ 2 (PFCR2)	13-64
13.3.4	ポートファンクションコントロールレジスタ 4 (PFCR4)	13-65
13.3.5	ポートファンクションコントロールレジスタ 6 (PFCR6)	13-66
13.3.6	ポートファンクションコントロールレジスタ 7 (PFCR7)	13-67
13.3.7	ポートファンクションコントロールレジスタ 8 (PFCR8)	13-68
13.3.8	ポートファンクションコントロールレジスタ 9 (PFCR9)	13-69
13.3.9	ポートファンクションコントロールレジスタ A (PFCRA)	13-70
13.3.10	ポートファンクションコントロールレジスタ B (PFCRB)	13-72
13.3.11	ポートファンクションコントロールレジスタ C (PFCRC)	13-74
13.3.12	ポートファンクションコントロールレジスタ D (PFCRD)	13-75
13.4	使用上の注意事項	13-76
13.4.1	入力バッファコントロールレジスタ (ICR) の設定	13-76
13.4.2	ポートファンクションコントロールレジスタ (PFCR) の設定	13-76
14.	16 ビットタイマパルスユニット (TPU)	14-1
14.1	特長	14-1
14.2	入出力端子	14-8
14.3	レジスタの説明	14-10
14.3.1	タイマコントロールレジスタ (TCR)	14-14
14.3.2	タイマモードレジスタ (TMDR)	14-18
14.3.3	タイマ I/O コントロールレジスタ (TIOR)	14-19
14.3.4	タイマイントラプトイネーブルレジスタ (TIER)	14-37
14.3.5	タイマステータスレジスタ (TSR)	14-38
14.3.6	タイマカウンタ (TCNT)	14-41
14.3.7	タイマジェネラルレジスタ (TGR)	14-41
14.3.8	タイマスタートレジスタ (TSTR)	14-42

14.3.9	タイマシンクロレジスタ (TSYR)	14-42
14.4	動作説明	14-43
14.4.1	基本動作	14-43
14.4.2	同期動作	14-49
14.4.3	バッファ動作	14-51
14.4.4	カスケード接続動作	14-54
14.4.5	PWM モード	14-56
14.4.6	位相計数モード	14-61
14.5	割り込み要因	14-67
14.6	DTCの起動	14-69
14.7	DMACの起動	14-69
14.8	A/D変換器の起動	14-70
14.9	動作タイミング	14-70
14.9.1	入出力タイミング	14-70
14.9.2	割り込み信号タイミング	14-74
14.10	使用上の注意事項	14-78
14.10.1	モジュールストップ機能の設定	14-78
14.10.2	入力クロックの制限事項	14-78
14.10.3	周期設定上の注意事項	14-79
14.10.4	TCNT のライトとクリアの競合	14-79
14.10.5	TCNT のライトとカウントアップの競合	14-80
14.10.6	TGR のライトとコンペアマッチの競合	14-81
14.10.7	バッファレジスタのライトとコンペアマッチの競合	14-82
14.10.8	TGR のリードとインプットキャプチャの競合	14-83
14.10.9	TGR のライトとインプットキャプチャの競合	14-83
14.10.10	バッファレジスタのライトとインプットキャプチャの競合	14-84
14.10.11	オーバフロー/アンダフローとカウンタクリアの競合	14-85
14.10.12	TCNT のライトとオーバフロー/アンダフローの競合	14-85
14.10.13	入出力端子の兼用	14-86
14.10.14	TPU1 使用時の PPG1 の設定	14-86
14.10.15	モジュールストップ時の割り込み	14-86
15.	プログラマブルパルスジェネレータ (PPG)	15-1
15.1	特長	15-1
15.2	入出力端子	15-4
15.3	レジスタの説明	15-5
15.3.1	ネクストデータイネーブルレジスタ H、L (NDERH、NDERL)	15-6
15.3.2	アウトプットデータレジスタ H、L (PODRH、PODRL)	15-8
15.3.3	ネクストデータレジスタ H、L (NDRH、NDRL)	15-10
15.3.4	PPG 出力コントロールレジスタ (PCR)	15-14
15.3.5	PPG 出力モードレジスタ (PMR)	15-16
15.4	動作説明	15-19
15.4.1	出力タイミング	15-20
15.4.2	通常動作のパルス出力設定手順例	15-21
15.4.3	パルス出力通常動作例 (5 相パルス出力例)	15-23
15.4.4	パルス出力ノンオーバーラップ動作	15-24

15.4.5	ノンオーバーラップ動作のパルス出力設定手順例.....	15-25
15.4.6	パルス出力ノンオーバーラップ動作例（4相の相補ノンオーバーラップ出力例）.....	15-27
15.4.7	パルス反転出力.....	15-29
15.4.8	インプットキャプチャによるパルス出力.....	15-30
15.5	使用上の注意事項.....	15-31
15.5.1	モジュールストップ機能の設定.....	15-31
15.5.2	パルス出力端子の動作.....	15-31
15.5.3	PPG1 使用時の TPU の設定.....	15-31
16.	8ビットタイマ（TMR）.....	16-1
16.1	特長.....	16-1
16.2	入出力端子.....	16-6
16.3	レジスタの説明.....	16-7
16.3.1	タイマカウンタ（TCNT）.....	16-9
16.3.2	タイムコンスタントレジスタ A（TCORA）.....	16-9
16.3.3	タイムコンスタントレジスタ B（TCORB）.....	16-9
16.3.4	タイマコントロールレジスタ（TCR）.....	16-10
16.3.5	タイマカウンタコントロールレジスタ（TCCR）.....	16-11
16.3.6	タイマコントロール/ステータスレジスタ（TCSR）.....	16-16
16.4	動作説明.....	16-19
16.4.1	パルス出力.....	16-19
16.4.2	リセット入力.....	16-19
16.5	動作タイミング.....	16-20
16.5.1	TCNT のカウントタイミング.....	16-20
16.5.2	コンペアマッチ時の CMFA、CMFB フラグのセットタイミング.....	16-21
16.5.3	コンペアマッチ時のタイマ出力タイミング.....	16-22
16.5.4	コンペアマッチによるカウンタクリアタイミング.....	16-22
16.5.5	TCNT の外部リセットタイミング.....	16-23
16.5.6	オーバフローフラグ（OVF）のセットタイミング.....	16-24
16.6	カスケード接続時の動作.....	16-25
16.6.1	16ビットカウントモード.....	16-25
16.6.2	コンペアマッチカウントモード.....	16-25
16.7	割り込み要因.....	16-26
16.7.1	割り込み要因と DTC 起動.....	16-26
16.7.2	A/D 変換器の起動.....	16-27
16.8	使用上の注意.....	16-27
16.8.1	周期設定上の注意.....	16-27
16.8.2	TCNT のライトとカウンタクリアの競合.....	16-27
16.8.3	TCNT のライトとカウントアップの競合.....	16-28
16.8.4	TCOR のライトとコンペアマッチの競合.....	16-29
16.8.5	コンペアマッチ A、B の競合.....	16-29
16.8.6	内部クロックの切り替えと TCNT の動作.....	16-30
16.8.7	カスケード接続時のモード設定.....	16-31
16.8.8	モジュールストップ機能の設定.....	16-31
16.8.9	モジュールストップ状態時の割り込み.....	16-32

17. 32K タイマ (TM32K)	17-1
17.1 特長	17-1
17.2 レジスタの説明	17-2
17.2.1 タイマコントロールレジスタ (TCR32K)	17-2
17.2.2 タイマカウンタ (TCNT32K1、TCNT32K2、TCNT32K3)	17-3
17.3 動作説明	17-5
17.3.1 基本動作	17-5
17.3.2 EXCKSN=1 動作	17-6
17.3.3 EXCKSN=0 動作	17-6
17.4 割り込み要因	17-8
17.5 使用上の注意事項	17-8
17.5.1 EXCKSN、CKS1、CKS0 ビットの書き換え	17-8
17.5.2 レジスタ初期化の注意	17-8
17.5.3 32K タイマ使用上の注意	17-8
18. ウォッチドッグタイマ (WDT)	18-1
18.1 特長	18-1
18.2 入出力端子	18-2
18.3 レジスタの説明	18-2
18.3.1 タイマカウンタ (TCNT)	18-3
18.3.2 タイマコントロール/ステータスレジスタ (TCSR)	18-3
18.3.3 リセットコントロール/ステータスレジスタ (RSTCSR)	18-5
18.4 動作説明	18-6
18.4.1 ウォッチドッグタイマモード	18-6
18.4.2 インターバルタイマモード	18-7
18.5 割り込み要因	18-8
18.6 使用上の注意事項	18-8
18.6.1 レジスタアクセス時の注意	18-8
18.6.2 タイマカウンタ (TCNT) のライトとカウントアップの競合	18-9
18.6.3 CKS2~CKS0 ビットの書き換え	18-10
18.6.4 ウォッチドッグタイマモードとインターバルタイマモードの切り替え	18-10
18.6.5 ウォッチドッグタイマモードでの内部リセット	18-10
18.6.6 WDTOVF 信号によるシステムのリセット	18-11
18.6.7 ウォッチドッグタイマモードとソフトウェアスタンバイモードへの遷移	18-11
19. シリアルコミュニケーションインタフェース (SCI、IrDA、CRC)	19-1
19.1 特長	19-1
19.2 入出力端子	19-6
19.3 レジスタの説明	19-7
19.3.1 レシーブシフトレジスタ (RSR)	19-10
19.3.2 レシーブデータレジスタ (RDR)	19-10
19.3.3 トランスミットデータレジスタ (TDR)	19-10
19.3.4 トランスミットシフトレジスタ (TSR)	19-10
19.3.5 シリアルモードレジスタ (SMR)	19-11
19.3.6 シリアルコントロールレジスタ (SCR)	19-14
19.3.7 シリアルステータスレジスタ (SSR)	19-18

19.3.8	スマートカードモードレジスタ (SCMR)	19-24
19.3.9	ビットレートレジスタ (BRR)	19-25
19.3.10	シリアル拡張モードレジスタ_2 (SEMR_2)	19-31
19.3.11	シリアル拡張モードレジスタ_5、6 (SEMR_5、6)	19-32
19.3.12	IrDA コントロールレジスタ (IrCR)	19-38
19.4	調歩同期式モードの動作	19-39
19.4.1	送受信フォーマット	19-39
19.4.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン	19-41
19.4.3	クロック	19-42
19.4.4	SCI の初期化 (調歩同期式)	19-43
19.4.5	シリアルデータ送信 (調歩同期式)	19-44
19.4.6	シリアルデータ受信 (調歩同期式)	19-46
19.5	マルチプロセッサ通信機能	19-50
19.5.1	マルチプロセッサシリアルデータ送信	19-51
19.5.2	マルチプロセッサシリアルデータ受信	19-52
19.6	クロック同期式モードの動作	19-55
19.6.1	クロック	19-55
19.6.2	SCI の初期化 (クロック同期式)	19-56
19.6.3	シリアルデータ送信 (クロック同期式)	19-57
19.6.4	シリアルデータ受信 (クロック同期式)	19-59
19.6.5	シリアルデータ送受信同時動作 (クロック同期式)	19-61
19.7	スマートカードインタフェースの動作説明	19-63
19.7.1	接続例	19-63
19.7.2	データフォーマット (ブロック転送モード時を除く)	19-64
19.7.3	ブロック転送モード	19-65
19.7.4	受信データサンプリングタイミングと受信マージン	19-66
19.7.5	初期設定	19-67
19.7.6	データ送信 (ブロック転送モードを除く)	19-68
19.7.7	シリアルデータ受信 (ブロック転送モードを除く)	19-71
19.7.8	クロック出力制御	19-73
19.8	IrDA動作	19-75
19.9	割り込み要因	19-78
19.9.1	通常のシリアルコミュニケーションインタフェースモードにおける割り込み	19-78
19.9.2	スマートカードインタフェースモードにおける割り込み	19-79
19.10	使用上の注意事項	19-80
19.10.1	モジュールストップ機能の設定	19-80
19.10.2	ブレークの検出と処理について	19-80
19.10.3	マーク状態とブレークの送出	19-80
19.10.4	受信エラーフラグと送信動作について (クロック同期式モードのみ)	19-80
19.10.5	TDR へのライトと TDRE フラグの関係について	19-80
19.10.6	DMAC または DTC 使用上の制約事項	19-81
19.10.7	低消費電力状態時の動作について	19-81
19.11	CRC演算器	19-85
19.11.1	特長	19-85
19.11.2	レジスタの説明	19-85
19.11.3	CRC 演算器の動作説明	19-87

19.11.4	CRC 演算器使用上の注意事項	19-91
20.	I ² C バスインタフェース 2 (IIC2)	20-1
20.1	特長	20-1
20.2	入出力端子	20-3
20.3	レジスタの説明	20-4
20.3.1	I ² C バスコントロールレジスタ A (ICCRA)	20-6
20.3.2	I ² C バスコントロールレジスタ B (ICCRB)	20-7
20.3.3	I ² C バスモードレジスタ (ICMR)	20-9
20.3.4	I ² C バスインタラプトイネーブルレジスタ (ICIER)	20-10
20.3.5	I ² C バスステータスレジスタ (ICSR)	20-11
20.3.6	スレーブアドレスレジスタ (SAR)	20-14
20.3.7	I ² C バス送信データレジスタ (ICDRT)	20-14
20.3.8	I ² C バス受信データレジスタ (ICDRR)	20-15
20.3.9	I ² C バスシフトレジスタ (ICDRS)	20-15
20.4	動作説明	20-16
20.4.1	I ² C バスフォーマット	20-16
20.4.2	マスタ送信動作	20-17
20.4.3	マスタ受信動作	20-19
20.4.4	スレーブ送信動作	20-21
20.4.5	スレーブ受信動作	20-23
20.4.6	ノイズ除去回路	20-25
20.4.7	使用例	20-25
20.5	割り込み要求	20-30
20.6	ビット同期回路	20-31
20.7	使用上の注意事項	20-32
21.	A/D 変換器	21-1
21.1	特長	21-1
21.2	入出力端子	21-5
21.3	レジスタの説明	21-6
21.3.1	A/D データレジスタ A~H (ADDRA~ADDRH)	21-7
21.3.2	A/D コントロール/ステータスレジスタ (ADCSR_0) ユニット 0	21-8
21.3.3	A/D コントロール/ステータスレジスタ (ADCSR_1) ユニット 1	21-10
21.3.4	A/D コントロール/ステータスレジスタ (ADCSR_2) ユニット 2	21-12
21.3.5	A/D コントロールレジスタ (ADCR_0) ユニット 0	21-14
21.3.6	A/D コントロールレジスタ (ADCR_1) ユニット 1	21-15
21.3.7	A/D コントロールレジスタ (ADCR_2) ユニット 2	21-17
21.4	動作説明	21-19
21.4.1	シングルモード	21-19
21.4.2	スキャンモード	21-20
21.4.3	入力サンプリングと A/D 変換時間	21-23
21.4.4	外部トリガ入力タイミング	21-25
21.5	割り込み要因	21-27
21.6	A/D 変換精度の定義	21-27
21.7	使用上の注意事項	21-29

21.7.1	モジュールストップ機能の設定	21-29
21.7.2	ソフトウェアスタンバイ時の A/D 変換保持機能	21-29
21.7.3	A/D 外部トリガ起動設定時の注意事項	21-29
21.7.4	許容信号源インピーダンスについて	21-30
21.7.5	絶対精度への影響	21-31
21.7.6	アナログ電源端子他の設定範囲	21-31
21.7.7	ボード設計上の注意	21-32
21.7.8	ノイズ対策上の注意	21-32
22.	D/A 変換器	22-1
22.1	特長	22-1
22.2	入出力端子	22-2
22.3	レジスタの説明	22-2
22.3.1	D/A データレジスタ 0、1 (DADR0、DADR1)	22-2
22.3.2	D/A コントロールレジスタ 01 (DACR01)	22-2
22.4	動作説明	22-4
22.5	使用上の注意事項	22-5
22.5.1	モジュールストップ機能の設定	22-5
22.5.2	ソフトウェアスタンバイモード時の D/A 出力保持機能	22-5
22.5.3	ディープソフトウェアスタンバイモード時の注意事項	22-5
23.	RAM	23-1
24.	フラッシュメモリ	24-1
24.1	特長	24-1
24.2	モード遷移図	24-4
24.3	メモリマップ構成	24-5
24.4	ブロック構成	24-6
24.4.1	H8SX/1642 のブロック図	24-6
24.4.2	H8SX/1644 のブロック図	24-7
24.4.3	H8SX/1648 のブロック図	24-8
24.5	書き込み/消去インタフェース	24-9
24.6	入出力端子	24-11
24.7	レジスタの説明	24-11
24.7.1	書き込み/消去インタフェースレジスタ	24-13
24.7.2	書き込み/消去インタフェースパラメータ	24-18
24.7.3	RAM エミュレーションレジスタ (RAMER)	24-28
24.8	オンボードプログラミング	24-29
24.8.1	ブートモード	24-29
24.8.2	ユーザプログラムモード	24-33
24.8.3	ユーザブートモード	24-42
24.8.4	内蔵プログラム、書き込みデータの格納可能領域	24-45
24.9	プロテクト	24-50
24.9.1	ハードウェアプロテクト	24-50
24.9.2	ソフトウェアプロテクト	24-50
24.9.3	エラープロテクト	24-51

24.10	RAMによるフラッシュメモリのエミュレーション.....	24-52
24.11	ユーザマットとユーザブートマットの切り替え.....	24-55
24.12	ライターモード.....	24-56
24.13	ブートモードの標準シリアル通信インタフェース仕様.....	24-56
24.14	使用上の注意事項.....	24-81
25.	バウンダリスキャン.....	25-1
25.1	特長.....	25-1
25.2	ブロック図.....	25-2
25.3	入出力端子.....	25-2
25.4	レジスタの説明.....	25-3
25.4.1	インストラクションレジスタ (JTIR).....	25-4
25.4.2	バイパスレジスタ (JTBP).....	25-5
25.4.3	バウンダリスキャンレジスタ (JTBSR).....	25-5
25.4.4	IDCODE レジスタ (JTID).....	25-11
25.5	動作説明.....	25-12
25.5.1	TAP コントローラ.....	25-12
25.5.2	コマンド一覧.....	25-13
25.6	使用上の注意事項.....	25-15
26.	クロック発振器.....	26-1
26.1	レジスタの説明.....	26-3
26.1.1	システムクロックコントロールレジスタ (SCKCR).....	26-3
26.1.2	サブクロックコントロールレジスタ (SUBCKCR).....	26-5
26.2	発振器.....	26-7
26.2.1	水晶発振子を接続する方法.....	26-7
26.2.2	外部クロックを入力する方法.....	26-8
26.3	PLL回路.....	26-9
26.4	分周器.....	26-9
26.5	サブクロック発振器.....	26-10
26.5.1	32.768kHz 水晶発振子を接続する方法.....	26-10
26.5.2	サブクロックを使用しない場合の端子処理.....	26-10
26.6	使用上の注意事項.....	26-11
26.6.1	クロック発振器に関する使用上の注意事項.....	26-11
26.6.2	発振子に関する注意事項.....	26-12
26.6.3	ボード設計上の注意.....	26-12
27.	低消費電力.....	27-1
27.1	特長.....	27-1
27.2	レジスタの説明.....	27-6
27.2.1	スタンバイコントロールレジスタ (SBYCR).....	27-7
27.2.2	モジュールストップコントロールレジスタ A、B (MSTPCRA、MSTPCRB).....	27-9
27.2.3	モジュールストップコントロールレジスタ C (MSTPCRC).....	27-12
27.2.4	ディープスタンバイコントロールレジスタ (DPSBYCR).....	27-13
27.2.5	ディープスタンバイウェイトコントロールレジスタ (DPSWCR).....	27-15
27.2.6	ディープスタンバイインタラプトイネーブルレジスタ (DPSIER).....	27-16

27.2.7	ディープスタンバイインタラプトフラグレジスタ (DPSIFR)	27-18
27.2.8	ディープスタンバイインタラプトエッジレジスタ (DPSIEGR)	27-20
27.2.9	リセットステータスレジスタ (RSTSR)	27-21
27.2.10	ディープスタンバイバックアップレジスタ (DPSBKRn)	27-22
27.3	マルチクロック機能	27-22
27.3.1	メインクロックの切り替え	27-22
27.3.2	サブクロックへの切り替え	27-22
27.4	モジュールストップ機能	27-23
27.5	スリープモード	27-24
27.5.1	スリープモードへの遷移	27-24
27.5.2	スリープモードの解除	27-24
27.6	全モジュールクロックストップモード	27-25
27.7	ソフトウェアスタンバイモード	27-26
27.7.1	ソフトウェアスタンバイモードへの遷移	27-26
27.7.2	ソフトウェアスタンバイモードの解除	27-26
27.7.3	ソフトウェアスタンバイモード解除後の発振安定時間の設定	27-28
27.7.4	ソフトウェアスタンバイモードの応用例	27-29
27.8	ディープソフトウェアスタンバイモード	27-30
27.8.1	ディープソフトウェアスタンバイモードへの遷移	27-30
27.8.2	ディープソフトウェアスタンバイモードの解除	27-30
27.8.3	ディープソフトウェアスタンバイモード解除時の端子状態	27-32
27.8.4	ディープソフトウェアスタンバイモード解除後の B ϕ および SDRAM ϕ 動作	27-33
27.8.5	ディープソフトウェアスタンバイモード解除後の発振安定時間の設定	27-35
27.8.6	ディープソフトウェアスタンバイモードの応用例	27-36
27.8.7	ディープソフトウェアスタンバイモードのフローチャート	27-39
27.9	ハードウェアスタンバイモード	27-41
27.9.1	ハードウェアスタンバイモードへの遷移	27-41
27.9.2	ハードウェアスタンバイモードの解除	27-41
27.9.3	ハードウェアスタンバイモードのタイミング	27-41
27.9.4	電源投入時のタイミング	27-42
27.10	スリープ命令例外処理	27-42
27.11	ϕ クロック出力制御	27-46
27.12	使用上の注意事項	27-47
27.12.1	I/O ポートの状態	27-47
27.12.2	発振安定待機中の消費電流	27-47
27.12.3	DMAC、EXDMAC、DTC のモジュールストップ	27-47
27.12.4	内蔵周辺モジュールの割り込み	27-47
27.12.5	MSTPCRA、MSTPCRB、MSTPCRC のライト	27-47
27.12.6	DIRQnE (n=3~0) による入力バッファ制御	27-47
27.12.7	ディープソフトウェアスタンバイモードの遷移と割り込みの競合	27-48
27.12.8	B ϕ および SDRAM ϕ 出力の状態	27-48
28.	レジスタ一覧	28-1
28.1	レジスタアドレス一覧 (アドレス順)	28-2
28.2	レジスタビット一覧	28-20
28.3	各動作モードにおけるレジスタの状態	28-47

29. 電気的特性.....	29-1
29.1 絶対最大定格.....	29-1
29.2 DC特性 H8SX/1648グループ、H8SX/1648Aグループ、H8SX/1648Gグループ.....	29-2
29.3 DC特性 H8SX/1648Lグループ、H8SX/1648Hグループ.....	29-5
29.4 AC特性.....	29-9
29.4.1 クロックタイミング.....	29-10
29.4.2 制御信号タイミング.....	29-12
29.4.3 バスタイミング.....	29-14
29.4.4 DMAC、EXDMAC タイミング.....	29-43
29.4.5 内蔵周辺モジュールタイミング.....	29-47
29.5 A/D変換特性.....	29-54
29.6 D/A変換特性.....	29-55
29.7 フラッシュメモリ特性.....	29-56
29.8 パワーオンリセット回路・電圧検出回路特性 (H8SX/1648Lグループ、H8SX/1648Hグループ).....	29-58
付録.....	付録-1
A. 各処理状態におけるポートの状態.....	付録-1
B. 型名一覧.....	付録-6
C. 外形寸法図.....	付録-7
D. 未使用端子の処理について.....	付録-9
本版で修正または追加された箇所.....	改訂-1
索引.....	索引-1

1. 概要

1.1 特長

H8SX/1648 グループ、H8SX/1648A グループ、H8SX/1648L グループ、H8SX/1648G グループ、H8SX/1648H グループは、ルネサスオリジナルマイコン H8/300、H8/300H、H8S の各 CPU に対し上位互換アーキテクチャを持ち、内部 32 ビット構成の H8SX CPU をコアとする CISC (Complex Instruction Set Computer) マイコンです。

周辺機能として、高速データ転送が可能な DMA コントローラ、EXDMAC コントローラ*¹ や、各種メモリへの直結を可能にするバスステートコントローラを内蔵しています。さらに、シリアルコミュニケーションインタフェース、A/D 変換器、D/A 変換器、モータ制御が容易なマルチファンクションタイマを内蔵しており、低コストでのシステム構築を可能にします。これらは、内蔵のパワーマネージメント機能により、ダイナミックな消費電力制御が可能です。内蔵 ROM は、フラッシュメモリ (F-ZTATTM*²) であり 1024K バイト (H8SX/1648、H8SX/1648A、H8SX/1648L、H8SX/1648G、H8SX/1648H)、512K バイト (H8SX/1644、H8SX/1644A、H8SX/1644L、H8SX/1644G、H8SX/1644H)、256K バイト (H8SX/1642、H8SX/1642A、H8SX/1642L、H8SX/1642G、H8SX/1642H) の容量を持っています。

【注】 *1 H8SX/1648G グループ、H8SX/1648H グループのみサポート。

*2 F-ZTAT は (株) ルネサステクノロジの商標です。

1.1.1 用途

応用分野例 : PC 周辺機器、光ストレージ機器、OA 機器、民生機器など

1. 概要

1.1.2 仕様概要

表 1.1 に、本マイコンの仕様概要、表 1.2 に各グループのサポート機能比較表を示します。

表 1.1 仕様概要

分類	モジュール／機能	説明
メモリ	ROM	<ul style="list-style-type: none"> ROM 容量：1024K バイト／512K バイト／256K バイト
	RAM	<ul style="list-style-type: none"> RAM 容量：56K バイト／40K バイト／24K バイト
CPU	CPU	<ul style="list-style-type: none"> 32 ビット高速 H8SX CPU (CISC タイプ) H8/300 CPU、H8/300H CPU および H8S CPU に対してオブジェクトレベルで上位互換 汎用レジスタ方式 (汎用レジスタ：16 ビット×16 本) アドレッシングモード：11 種類 アドレス空間：4G バイト (プログラム：4G バイト、データ：4G バイト) 基本命令数 87 種類 (ビット演算、乗除算、ビット操作、積和演算命令など) 最小命令実行時間 (ns) 20.0ns @システムクロック Iφ=50MHz、Vcc=3.0~3.6V (ADD 命令) 動作時 乗算器を内蔵 (16×16→32 ビット) 積和演算命令をサポート (16×16+42→42 ビット)
	動作モード	<ul style="list-style-type: none"> アドバンストモード ノーマルモード、ミドルモード、マキシマムモードは使用できません。
	MCU 動作モード	<p>モード 1：ユーザブートモード (MD2、MD1 端子がローレベル、MD0 端子がハイレベルのとき)</p> <p>モード 2：ブートモード (MD2、MD0 端子がローレベル、MD1 端子がハイレベルのとき)</p> <p>モード 3：バウンダリスキャン有効シングルチップモード (MD2 端子がローレベル、MD1、MD0 端子がハイレベルのとき)</p> <p>モード 4：内蔵 ROM 無効外部拡張モード、16 ビットバス (MD1、MD0 端子がローレベル、MD2 端子がハイレベルのとき)</p> <p>モード 5：内蔵 ROM 無効外部拡張モード、8 ビットバス (MD1 端子がローレベル、MD2、MD0 端子がハイレベルのとき)</p> <p>モード 6：内蔵 ROM 有効外部拡張モード (MD0 端子がローレベル、MD2、MD1 端子がハイレベルのとき)</p> <p>モード 7：シングルチップモード (外部拡張可能) (MD2、MD1、MD0 端子がハイレベルのとき)</p> <ul style="list-style-type: none"> 低消費電力状態 (SLEEP 命令により低消費電力状態に遷移)
パワーオンリセット (POR) * ³		<ul style="list-style-type: none"> 電源投入時、および電源電圧低下時に内部リセットを発生
電圧検出回路 (LVD) * ³		<ul style="list-style-type: none"> 電源電圧低下時に内部リセット、割り込みを発生

分類	モジュール/機能	説明
割り込み (要因)	割り込み コントローラ (INTC)	<ul style="list-style-type: none"> 外部割り込み端子 : 17 本 (NMI、$\overline{IRQ15} \sim \overline{IRQ0}$) 内部割り込み要因数 : H8SX/1648、H8SX/1648A グループ 113 本 H8SX/1648L グループ 114 本 H8SX/1648G グループ 123 本 H8SX/1648H グループ 124 本 2 種類の割り込み制御モード (割り込みコントロールレジスタで指定) 8 レベルの優先順位を設定可能 (インタラプトプライオリティレジスタで指定) 独立したベクタアドレス
	ブレーク割り込み (UBC)	<ul style="list-style-type: none"> 4 チャンルのブレークポイントが可能 CPU 命令フェッチサイクルにアドレスブレークが設定可能
DMA	EXDMA コントローラ (EXDMAC) *1	<ul style="list-style-type: none"> 4 チャンルの DMA 転送が可能 起動要因 : 2 種類 (オートリクエスト、外部リクエスト) 転送モード : 4 種類 (ノーマル転送、リピート転送、ブロック転送、クラスタ転送モード) デュアルアドレスモード/シングルアドレスモードを選択可能 拡張リピートエリア機能
	DMA コントローラ (DMAC)	<ul style="list-style-type: none"> 4 チャンルの DMA 転送が可能 起動要因 : 3 種類 (オートリクエスト、内蔵モジュール割り込み、外部リクエスト) 転送モード : 3 種類 (ノーマル転送、リピート転送、ブロック転送) デュアルアドレスモード/シングルアドレスモードを選択可能 拡張リピートエリア機能
	データトランスファ コントローラ (DTC)	<ul style="list-style-type: none"> H8SX/1648、H8SX/1648A、H8SX/1648L グループ : 76 チャンルの DMA 転送が可能 (DTC 起動要因数) H8SX/1648G、H8SX/1648H グループ : 84 チャンルの DMA 転送が可能 (DTC 起動要因数) 起動要因 : 割り込み要因により起動します (チェイン転送が可能) 転送モード : 3 種類 (ノーマル転送、リピート転送、ブロック転送) ショートアドレスモード/フルアドレスモードを選択可能

1. 概要

分類	モジュール／機能	説明
外部バス拡張	バスコントローラ (BSC)	<ul style="list-style-type: none"> 外部アドレス空間：16M バイト 外部アドレス空間を 8 つのエリアに分割して独立して管理可能 チップセレクト (CS0~CS7) 出力可能、2/3 ステートアクセス空間を選択、プログラムウェイトステートを挿入、CS アサート期間拡張ステートを挿入、アイドルサイクル挿入 バス権調停機能 (内部の CPU、DMAC、EXDMAC*¹、DTC およびリフレッシュ*¹、外部バスマスタ間のバス権調停)
		バス形式 <ul style="list-style-type: none"> 外部メモリインタフェース (ROM、バースト ROM、SRAM、バイト制御 SRAM DRAM*¹、シンクロナス DRAM*¹ を接続可能) アドレス／データのバス形式：セパレートバスおよびマルチプレクスバスをサポート (8/16 ビット)
		<ul style="list-style-type: none"> リトルエンディアンのデバイスを接続するためのエンディアン変換機能
クロック	クロック発振器 (CPG)	<ul style="list-style-type: none"> クロック発生回路：1 回路 機能モジュールごとにクロックがあり、独立に設定可能 (マルチクロック機能) CPU などシステム系は、システムクロック (Iφ) 同期 : 8~50MHz 内部周辺機能は、周辺モジュールクロック (Pφ) 同期 : 8~35MHz 外部空間は、外部バスクロック (Bφ) 同期 : 8~50MHz PLL 周波数逡倍回路と周波数分周回路で構成され、動作周波数を選択可能 低消費電力状態：5 種類 スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、ハードウェアスタンバイモード
A/D コンバータ	A/D 変換器 (ADC)	<ul style="list-style-type: none"> 分解能 (10 ビット) ×3 ユニット 入力チャンネルとユニット構成が選択可能 4 チャンネル×3 ユニット (ユニット 0、ユニット 1、ユニット 2) 8 チャンネル×1 ユニット (ユニット 0) +4 チャンネル×1 ユニット (ユニット 2) サンプル&ホールド機能付き 変換時間：1 チャンネル当たり 2.7μs (周辺モジュールクロック Pφ = 25MHz 動作時) 動作モード：2 種類 (シングルモード、スキャンモード) A/D 変換開始方法：3 種類 ユニット 0：(ソフトウェア、タイマ (TPU/TMR (ユニット 0、1)) のトリガ、外部トリガ) ユニット 1：(ソフトウェア、TMR (ユニット 2、3) のトリガ、外部トリガ) ユニット 2：(ソフトウェア、TMR (ユニット 2、3) のトリガ、外部トリガ) ADI 割り込みによる DTC、DMAC の起動が可能 ユニット 0：ADI0 割り込みによる DTC、DMAC の起動が可能 ユニット 1：ADI1 割り込みによる DMAC の起動が可能 ユニット 2：ADI2 割り込みによる DMAC の起動が可能

分類	モジュール/機能	説明
D/A コンバータ	D/A 変換器 (DAC)	<ul style="list-style-type: none"> 分解能 (8 ビット) × 出力チャネル数 (2 チャネル) 出力電圧: 0V~Vref、変換時間: 最大 10 μs (負荷容量 20pF 時)
タイマ	8 ビットタイマ (TMR)	<ul style="list-style-type: none"> 8 ビット×8 チャネル (16 ビット×4 チャネルとしても動作可能) 7 種類のクロックを選択可能: 内部クロック 6 種類または外部クロック 任意のデューティのパルス出力や PWM 出力が可能
	16 ビットタイマ パルスユニット (TPU)	<ul style="list-style-type: none"> 16 ビット×12*チャネル (汎用パルスタイマユニット) 各チャネルごとに 8 種類のカウンタ入力クロックを選択可能 最大 16 本のパルス入出力が可能 カウンタクリア動作、複数のタイマカウンタ (TCNT) への同時書き込み、コンペアマッチ/インプットキャプチャによる同時クリア、カウンタの同期動作による各レジスタの同期入出力、同期動作と組み合わせることによる最大 15 相の PWM 出力が可能 チャネルによりバッファ動作、カスケード接続動作 (32 ビット×2 チャネル)、位相計数モード (二相エンコーダ入力) をサポート インプットキャプチャ機能をサポート アウトプットコンペア機能 (コンペアマッチによる波形出力) をサポート <p>【注】* 外部バス拡張モード時はユニット 1 の端子機能は使用できません。</p>
	プログラマブル パルスジェネレータ (PPG)	<ul style="list-style-type: none"> 32*¹*² ビットのパルス出力 4 系統に分割制御が出力可能、ノンオーバーラップ動作可能、反転出力の指定可能 出力トリガ信号を選択可能、データトランスファコントローラ (DTC)、DMA コントローラ (DMAC) との連携動作可能 <p>【注】 *1 インプットキャプチャによる PO31~PO16 の起動はできません。 *2 外部バス拡張モード時はユニット 1 のパルス出力は使用できません。</p>
ウォッチドッグ タイマ	ウォッチドッグタイマ (WDT)	<ul style="list-style-type: none"> 8 ビット×1 チャネル (8 種類のカウンタ入力クロックを選択可能) ウォッチドッグタイマモードとインターバルタイマモードを切り替えて使用可能
32K タイマ* ¹	32K タイマ(TM32K)* ¹	<ul style="list-style-type: none"> 32.768Hz クロックを分周した 8 種類のカウンタクロックを選択可能 8 ビット×1 チャネル、24 ビット×1 チャネルを選択可能 カウンタのオーバーフローで割り込みを発生させることが可能 オーバーフロー周期は、250msec、500msec、1sec、2sec、30sec、60sec、約 23 日、約 46 日の 8 種類を設定可能
シリアル インタフェース	シリアル コミュニケーション インタフェース (SCI)	<ul style="list-style-type: none"> チャネル数: 7 チャネル (非同期式/クロック同期式兼用) 全二重通信が可能 任意のビットレート、LSB ファースト/MSB ファーストを選択可能 TMR からの平均レートクロックが入力可能 (SCI_5、SCI_6) IrDA 規格バージョン 1.0 に基づく IrDA 通信の送受信が可能。 データ転送の信頼性を向上させる Cycle Redundancy Check (CRC) 演算器を内蔵。

1. 概要

分類	モジュール/機能	説明
スマートカード/ SIM		<ul style="list-style-type: none"> • SCI モジュールで、スマートカード (SIM) インタフェースをサポート
I ² C バス インタフェース	I ² C バス インタフェース 2 (IIC2)	<ul style="list-style-type: none"> • チャンネル数 : 4 チャンネル • バスを直接駆動可能 (SCL、SDA の各端子は NMOS オープンドレイン) • IIC2 (ユニット 1) は、5V 入力可能なオープンドレイン
I/O ポート		<ul style="list-style-type: none"> • 入力専用 : H8SX/1648、H8SX/1648A、H8SX/1648L グループ : 13 本 H8SX/1648G、H8SX/1648H グループ : 13 本 • 入出力 : H8SX/1648、H8SX/1648A、H8SX/1648L グループ : 97 本 H8SX/1648G、H8SX/1648H グループ : 102 本 • 大電流駆動ポート : 8 本 (ポート 3) • プルアップ抵抗 : 40 本 • オープンドレイン : 16 本 • 5V 入力可能なオープンドレイン : 4 本
パッケージ		<ul style="list-style-type: none"> • LQFP144 パッケージ*² • LFBGA176 パッケージ*¹
動作周波数/電源電圧		<ul style="list-style-type: none"> • 動作周波数 8~50MHz • 電源電圧 $V_{CC}=PLL V_{CC}=3.0\sim 3.6V$、$AV_{CC}=3.0\sim 3.6V$ • Flash 書き込み消去電圧 3.0~3.6V • 消費電流 50mA typ ($V_{CC}=PLL V_{CC}=3.0V$、$AV_{CC}=3.0V$、$I\phi=B\phi=50MHz$、$P\phi=25MHz$)
動作周囲温度 (°C)		<ul style="list-style-type: none"> • -20~+75°C (通常仕様品) • -40~+85°C (広温度範囲仕様品)

【注】 *1 H8SX/1648G グループ、H8SX/1648H グループのみサポート。

*2 H8SX/1648 グループ、H8SX/1648A グループ、H8SX/1648L グループのみサポート。

*3 H8SX/1648L グループ、H8SX/1648H グループのみサポート。

表 1.2 H8SX/1648、1648A、1648L、1648G、1648H グループのサポート機能比較表

機能		H8SX/1648、 H8SX/1648A グループ*	H8SX/1648L グループ	H8SX/1648G グループ	H8SX/1648H グループ
DMAC		○	○	○	○
DTC		○	○	○	○
PPG		○	○	○	○
UBC		○	○	○	○
SCI		○	○	○	○
IIC2		○	○	○	○
TMR		○	○	○	○
WDT		○	○	○	○
10 ビット ADC		○	○	○	○
8 ビット DAC		○	○	○	○
EXDMAC		—	—	○	○
SDRAM インタフェース		—	—	○	○
32K タイマ		—	—	○	○
POR/LVD		—	○	—	○
パッケージ	LQFP-144	○	○	—	—
	LFBGA-176	—	—	○	○

【注】 * H8SX/1648 グループと H8SX/1648A グループでは、ポート 6 の設定方法が異なります。詳細は「13.2.5 ポート 6」を参照してください。

1. 概要

1.2 製品一覧

表 1.3 に製品一覧表、図 1.1 に製品型名の読み方を示します。

表 1.3 製品一覧表

製品グループ	製品型名	ROM 容量	RAM 容量	パッケージ	備考
H8SX/1648 グループ	R5F61648N50FPV	1024K バイト	56K バイト	LQFP-144	—
	R5F61644N50FPV	512K バイト	40K バイト	LQFP-144	—
	R5F61642N50FPV	256K バイト	24K バイト	LQFP-144	—
H8SX/1648A グループ	R5F61648AN50FPV	1024K バイト	56K バイト	LQFP-144	—
	R5F61644AN50FPV	512K バイト	40K バイト	LQFP-144	—
	R5F61642AN50FPV	256K バイト	24K バイト	LQFP-144	—
H8SX/1648G グループ	R5F61648GN50BGV	1024K バイト	56K バイト	LFBGA-176	—
	R5F61644GN50BGV	512K バイト	40K バイト	LFBGA-176	—
	R5F61642GN50BGV	256K バイト	24K バイト	LFBGA-176	—
H8SX/1648L グループ	R5F61648LN50FPV	1024K バイト	56K バイト	LQFP-144	—
	R5F61644LN50FPV	512K バイト	40K バイト	LQFP-144	—
	R5F61642LN50FPV	256K バイト	24K バイト	LQFP-144	—
H8SX/1648H グループ	R5F61648HN50BGV	1024K バイト	56K バイト	LFBGA-176	—
	R5F61644HN50BGV	512K バイト	40K バイト	LFBGA-176	—
	R5F61642HN50BGV	256K バイト	24K バイト	LFBGA-176	—

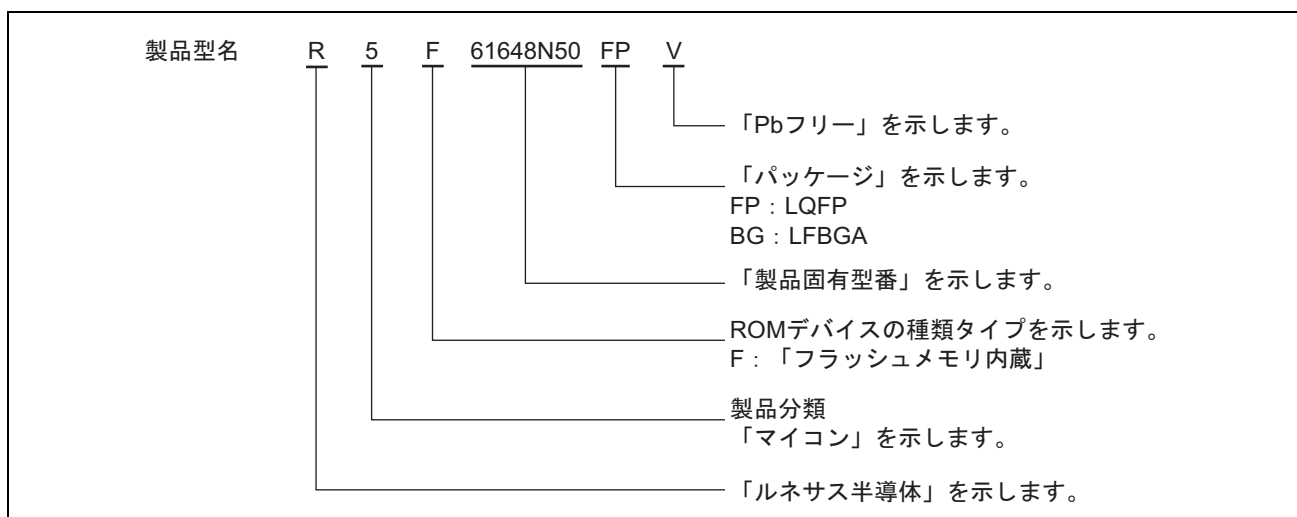


図 1.1 製品型名の読み方

● 小型パッケージ

パッケージ	コード	ボディサイズ	ピンピッチ
LQFP-144	PLQP0144KA-A (FP-144LV) *	20.0×20.0mm	0.50mm
LFBGA-176	PLBG0176GA-A (BP-176V) *	13.0×13.0mm	0.80mm

【注】 * Pb フリー版

1. 概要

1.3 内部ブロック図

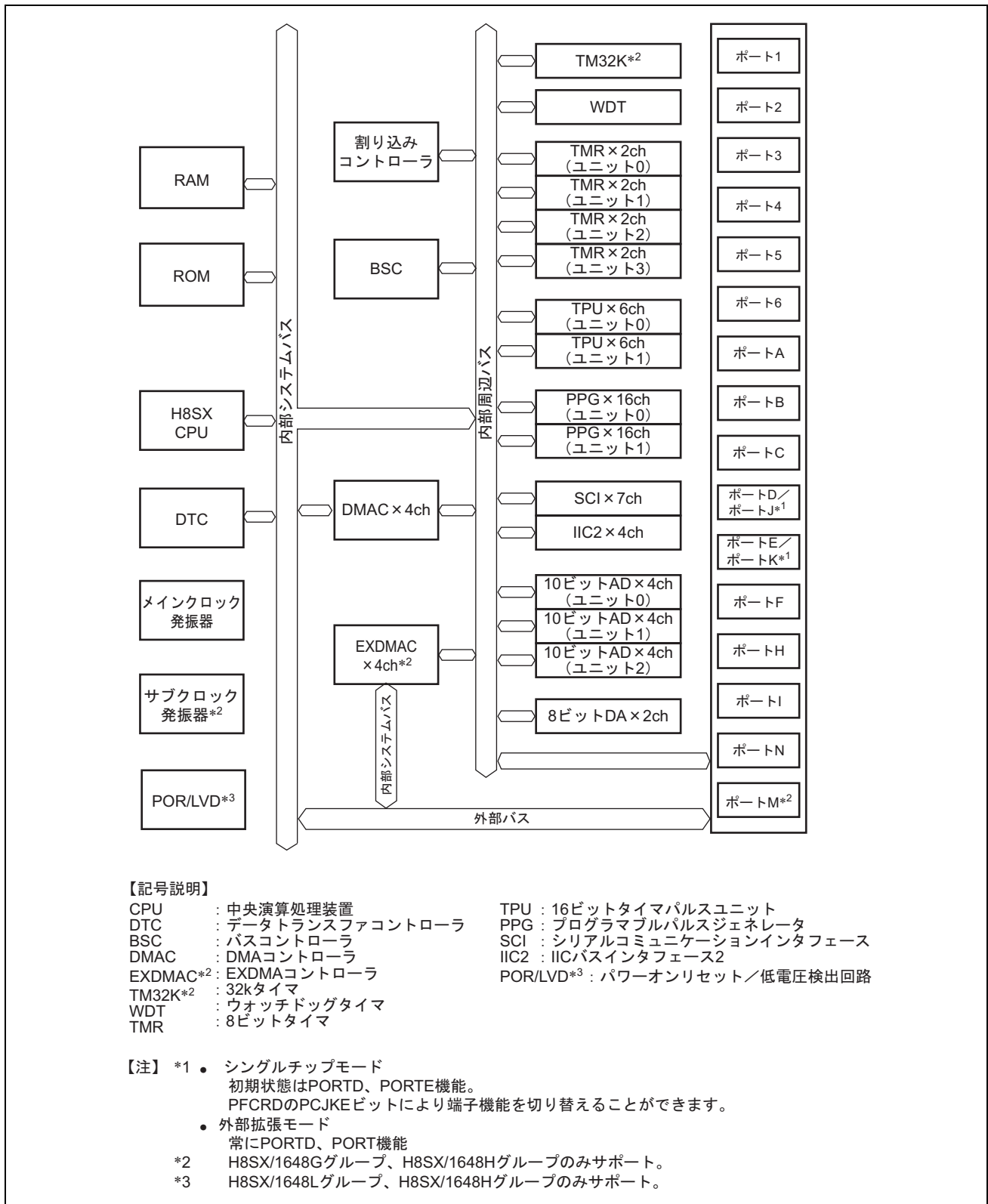


図 1.2 内部ブロック図

1.4 端子説明

1.4.1 ピン配置図

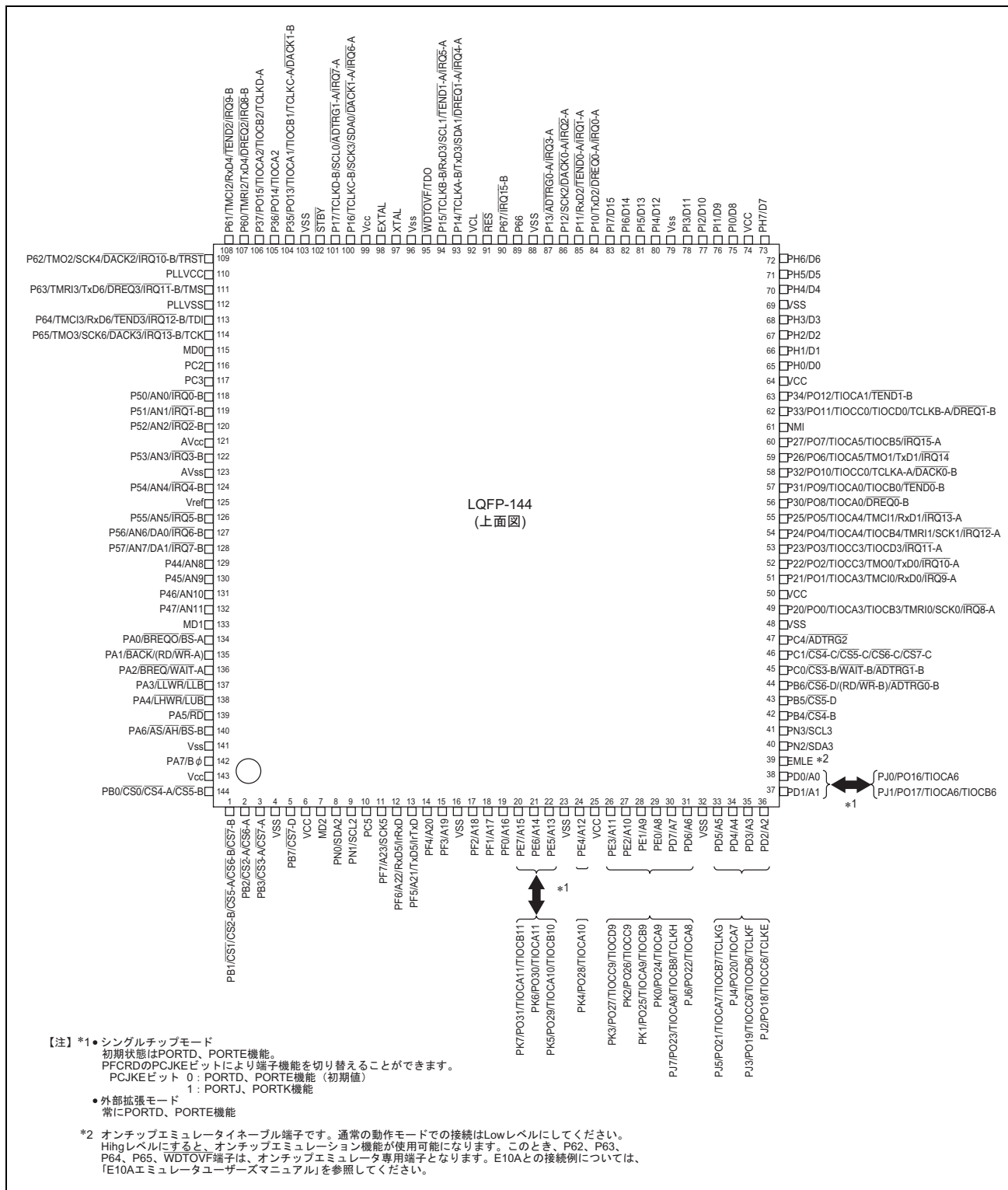


図 1.3 ピン配置図 (LQFP-144:H8SX/1648、1648A、1648L グループ)

1. 概要

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	
A	PB1	V _{CC}	V _{CC}	PA4	PA1	NC*3	P47	P57	V _{ref}	AV _{CC}	P51	PC3	P65	NC*3	PLL _{VCC}	A
B	PB3	PB0	PA7	PA5	PA2	MD3*4	MD1	P44	NC*3	P53	P50	MD0	PLL _{VSS}	P62	P61	B
C	V _{CC}	V _{SS}	PB2	PA6	PA0	NC*3	P46	P56	P54	NC*3	NC*3	P64	P63	P60	P36	C
D	PN0	MD2	PB7	V _{SS}	PA3	NC*3	P45	P55	AV _{SS}	P52	PC2	P37	P35	V _{SS}	\overline{STBY}	D
E	PM2	PN1	PM1	PM0	LFBGA-176 (上面透視図)							P17	NC*3	P16	V _{CC}	E
F	PF6	PF5	PF7	PC5								\overline{WDTOVF}	V _{SS}	EXTAL	XTAL	F
G	V _{SS}	V _{SS}	PF3	PF4								\overline{RES}	V _{CL}	P15	P14	G
H	PF0	PE7*1	PF1	PF2								P67	NC*3	OSC1*4	OSC2*4	H
J	V _{SS}	PE4*1	PE5*1	PE6*1								P13	V _{SS}	P66	V _{SS}	J
K	PE3*1	PE2*1	NC*3	V _{CC}								P17	P10	P12	P11	K
L	PE0*1	PD7*1	PE1*1	PD6*1	P13	P14	P15	P16	L							
M	V _{SS}	V _{SS}	PD5*1	PD3*1	NC*3	PB4	NC*3	P20	P23	P31	V _{CC}	V _{SS}	P10	P12	V _{SS}	M
N	PD4*1	PD2*1	PN2	PM4	NC*3	PB5	PC1	V _{CC}	P24	P32	NMI	PH2	V _{SS}	NC*3	P11	N
P	PD1*1	PD0*1	PN3	NC*3	V _{SS}	PC0	V _{SS}	P22	P30	P27	P34	PH1	PH4	PH6	V _{CC}	P
R	EMLE*2	PM3	V _{CC}	NC*3	NC*3	PB6	PC4	P21	P25	P26	P33	PH0	PH3	PH5	PH7	R

- 【注】*1 シングルチップモード
 初期状態はPORTD、PORTE機能。
 PFCRDのPCJKEビットにより端子機能を切り替えることができます。
 PCJKEビット 0 : PORTD、PORTE機能 (初期値)
 1 : PORTJ、PORTK機能
- 外部拡張モード
 常にPORTD、PORTE機能
- *2 オンチップエミュレータイネーブル端子です。通常の動作モードでの接続はLowレベルにしてください。
 Highレベルにすると、オンチップエミュレーション機能が使用可能になります。このとき、P62、P63、
 P64、P65、WDTOVF端子は、オンチップエミュレータ専用端子となります。E10Aとの接続例については、
 「E10Aエミュレータユーザーズマニュアル」を参照してください。
- *3 NCIは、OPENIにしてください。

図 1.4 ピン配置図 (LFBGA-176:H8SX/1648G、1648H グループ)

1.4.2 動作モード別ピン配置一覧

表 1.4 動作モード別ピン配置一覧 (H8SX1648、1648A、1648G、1648H グループ)

ピン番号		端子名			
LQFP-144	LFBGA-176	モード 1、2、6	モード 3、7		モード 4、5
1	A1	PB1/CS1/CS2-B/CS5-A/CS6-B/ CS7-B	PB1/CS1/CS2-B/CS5-A/CS6-B/CS7-B		PB1/CS1/CS2-B/CS5-A/CS6-B/ CS7-B
2	C3	PB2/CS2-A/CS6-A/RAS* ³	PB2/CS2-A/CS6-A/RAS* ³		PB2/CS2-A/CS6-A/RAS* ³
3	B1	PB3/CS3-A/CS7-A/CAS* ³	PB3/CS3-A/CS7-A/CAS* ³		PB3/CS3-A/CS7-A/CAS* ³
4	C2	VSS	VSS		VSS
5	D3	PB7/CS7-D/SDRAMφ* ³	PB7/CS7-D/SDRAMφ* ³		PB7/CS7-D/SDRAMφ* ³
6	C1	VCC	VCC		VCC
7	D2	MD2	MD2		MD2
—	E4	PM0* ³	PM0* ³		PM0* ³
8	D1	PN0/SDA2	PN0/SDA2		PN0/SDA2
—	E3	PM1* ³	PM1* ³		PM1* ³
9	E2	PN1/SCL2	PN1/SCL2		PN1/SCL2
—	E1	PM2* ³	PM2* ³		PM2* ³
10	F4	PC5	PC5		PC5
11	F3	PF7/A23/SCK5	PF7/A23/SCK5		PF7/A23/SCK5
12	F1	PF6/A22/RxD5/IrRxD	PF6/A22/RxD5/IrRxD		PF6/A22/RxD5/IrRxD
13	F2	PF5/A21/TxD5/IrTxD	PF5/A21/TxD5/IrTxD		PF5/A21/TxD5/IrTxD
14	G4	PF4/A20	PF4/A20		A20
15	G3	PF3/A19	PF3/A19		A19
16	G1	VSS	VSS		Vss
—	G2	VSS	VSS		VSS
17	H4	PF2/A18	PF2/A18		A18
18	H3	PF1/A17	PF1/A17		A17
19	H1	PF0/A16	PF0/A16		A16
20	H2	PE7/A15	PE7/A15	PK7/PO31/TIOCA11/ TIOCB11* ¹	A15
21	J4	PE6/A14	PE6/A14	PK6/PO30/TIOCA11* ¹	A14
22	J3	PE5/A13	PE5/A13	PK5/PO29/TIOCA10/ TIOCB10* ¹	A13
23	J1	Vss	Vss		Vss
24	J2	PE4/A12	PE4/A12	PK4/PO28/TIOCA10* ¹	A12
25	K4	Vcc	Vcc		Vcc
—	K3	NC	NC		NC

1. 概要

ピン番号		端子名			
LQFP-144	LFBGA-176	モード 1、2、6	モード 3、7		モード 4、5
26	K1	PE3/A11	PE3/A11	PK3/PO27/TIOCC9/ TIOCD9* ¹	A11
27	K2	PE2/A10	PE2/A10	PK2/PO26/TIOCC9* ¹	A10
28	L3	PE1/A9	PE1/A9	PK1/PO25/TIOCA9/TIOCB9* ¹	A9
29	L1	PE0/A8	PE0/A8	PK0/PO24/TIOCA9* ¹	A8
30	L2	PD7/A7	PD7/A7	PJ7/PO23/TIOCA8/TIOCB8/ TCLKH* ¹	A7
31	L4	PD6/A6	PD6/A6	PJ6/PO22/TIOCA8* ¹	A6
32	M1	Vss	Vss		Vss
—	M2	Vss	Vss		Vss
33	M3	PD5/A5	PD5/A5	PJ5/PO21/TIOCA7/TIOCB7/T CLKG* ¹	A5
34	N1	PD4/A4	PD4/A4	PJ4/PO20/TIOCA7* ¹	A4
35	M4	PD3/A3	PD3/A3	PJ3/PO19/TIOCC6/TIOCD6/T CLKF* ¹	A3
36	N2	PD2/A2	PD2/A2	PJ2/PO18/TIOCC6/ TCLKE* ¹	A2
37	P1	PD1/A1	PD1/A1	PJ1/PO17/TIOCA6/ TIOCB6* ¹	A1
38	P2	PD0/A0	PD0/A0	PJ0/PO16/TIOCA6* ¹	A0
39	R1	EMLE	EMLE		EMLE
40	N3	PN2/SDA3	PN2/SDA3		PN2/SDA3
—	R2	PM3* ³	PM3* ³		PM3* ³
41	P3	PN3/SCL3	PN3/SCL3		PN3/SCL3
—	N4	PM4* ³	PM4* ³		PM4* ³
—	R3	VCC	VCC		VCC
—	P4	NC	NC		NC
—	M5	NC	NC		NC
—	R4	NC	NC		NC
—	N5	NC	NC		NC
—	P5	Vss	Vss		Vss
—	R5	NC	NC		NC
42	M6	PB4/CS4-B/WE* ³	PB4/CS4-B/WE* ³		PB4/CS4-B/WE* ³
43	N6	PB5/CS5-D/ OE/CKE* ³	PB5/CS5-D/ OE/CKE* ³		PB5/CS5-D/ OE/CKE* ³
44	R6	PB6/CS6-D/(RD/WR-B)/ADTRG0-B	PB6/CS6-D/(RD/WR-B)/ADTRG0-B		PB6/CS6-D/(RD/WR-B)/ADTRG0-B
45	P6	PC0/CS3-B/WAIT-B/ADTRG1-B	PC0/CS3-B/WAIT-B/ADTRG1-B		PC0/CS3-B/WAIT-B/ADTRG1-B

1. 概要

ピン番号		端子名		
LQFP-144	LFBGA-176	モード 1、2、6	モード 3、7	モード 4、5
—	M7	NC	NC	NC
46	N7	PC1/CS4-C/CS5-C/CS6-C/CS7-C	PC1/CS4-C/CS5-C/CS6-C/CS7-C	PC1/CS4-C/CS5-C/CS6-C/CS7-C
47	R7	PC4/ADTRG2	PC4/ADTRG2	PC4/ADTRG2
48	P7	VSS	VSS	VSS
49	M8	P20/PO0/TIOCA3/TIOCB3/ TMRI0/SCK0/IRQ8-A	P20/PO0/TIOCA3/TIOCB3/ TMRI0/SCK0/IRQ8-A	P20/PO0/TIOCA3/TIOCB3/ TMRI0/SCK0/IRQ8-A
50	N8	VCC	VCC	VCC
51	R8	P21/PO1/TIOCA3/TMCI0/RxD0/ IRQ9-A	P21/PO1/TIOCA3/TMCI0/RxD0/ IRQ9-A	P21/PO1/TIOCA3/TMCI0/RxD0/ IRQ9-A
52	P8	P22/PO2/TIOCC3/TMO0/TxD0/ IRQ10-A	P22/PO2/TIOCC3/TMO0/TxD0/ IRQ10-A	P22/PO2/TIOCC3/TMO0/TxD0/ IRQ10-A
53	M9	P23/PO3/TIOCC3/TIOCD3/IRQ11-A	P23/PO3/TIOCC3/TIOCD3/IRQ11-A	P23/PO3/TIOCC3/TIOCD3/IRQ11-A
54	N9	P24/PO4/TIOCA4/TIOCB4/TMRI1/ SCK1/IRQ12-A	P24/PO4/TIOCA4/TIOCB4/TMRI1/ SCK1/IRQ12-A	P24/PO4/TIOCA4/TIOCB4/TMRI1/ SCK1/IRQ12-A
55	R9	P25/PO5/TIOCA4/TMCI1/RxD1/ IRQ13-A	P25/PO5/TIOCA4/TMCI1/RxD1/ IRQ13-A	P25/PO5/TIOCA4/TMCI1/RxD1/ IRQ13-A
56	P9	P30/PO8/TIOCA0/DREQ0-B/EDREQ2*3	P30/PO8/TIOCA0/DREQ0-B/EDREQ2*3	P30/PO8/TIOCA0/DREQ0-B/ EDREQ2*3
57	M10	P31/PO9/TIOCA0/TIOCB0/ TEND0-B/ETEND2*3	P31/PO9/TIOCA0/TIOCB0/ TEND0-B/ETEND2*3	P31/PO9/TIOCA0/TIOCB0/ TEND0-B/ETEND2*3
58	N10	P32/PO10/TIOCC0/TCLKA-A/ DACK0-B/EDACK2*3	P32/PO10/TIOCC0/TCLKA-A/ DACK0-B/EDACK2*3	P32/PO10/TIOCC0/TCLKA-A/ DACK0-B/EDACK2*3
59	R10	P26/PO6/TIOCA5/TMO1/TxD1/ IRQ14	P26/PO6/TIOCA5/TMO1/TxD1/IRQ14	P26/PO6/TIOCA5/TMO1/TxD1/ IRQ14
60	P10	P27/PO7/TIOCA5/TIOCB5/ IRQ15-A	P27/PO7/TIOCA5/TIOCB5/ IRQ15-A	P27/PO7/TIOCA5/TIOCB5/ IRQ15-A
61	N11	NMI	NMI	NMI
62	R11	P33/PO11/TIOCC0/TIOCD0/ TCLKB-A/DREQ1-B/EDREQ3*3	P33/PO11/TIOCC0/TIOCD0/ TCLKB-A/DREQ1-B/EDREQ3*3	P33/PO11/TIOCC0/TIOCD0/ TCLKB-A/DREQ1-B/EDREQ3*3
63	P11	P34/PO12/TIOCA1/TEND1-B/ETEND3*3	P34/PO12/TIOCA1/TEND1-B/ETEND3*3	P34/PO12/TIOCA1/TEND1-B/ ETEND3*3
64	M11	VCC	VCC	VCC
65	R12	PH0/D0	PH0/D0	D0
66	P12	PH1/D1	PH1/D1	D1
67	N12	PH2/D2	PH2/D2	D2
68	R13	PH3/D3	PH3/D3	D3
69	M12	VSS	VSS	VSS

1. 概要

ピン番号		端子名		
LQFP-144	LFBGA-176	モード 1、2、6	モード 3、7	モード 4、5
70	P13	PH4/D4	PH4/D4	D4
71	R14	PH5/D5	PH5/D5	D5
72	P14	PH6/D6	PH6/D6	D6
73	R15	PH7/D7	PH7/D7	D7
—	N13	Vcc	Vcc	Vcc
74	P15	Vcc	Vcc	Vcc
—	N14	NC	NC	NC
75	M13	PI0/D8	PI0/D8	PI0/D8
76	N15	PI1/D9	PI1/D9	PI1/D9
77	M14	PI2/D10	PI2/D10	PI2/D10
78	L12	PI3/D11	PI3/D11	PI3/D11
79	M15	Vss	Vss	Vss
80	L13	PI4/D12	PI4/D12	PI4/D12
81	L14	PI5/D13	PI5/D13	PI5/D13
82	L15	PI6/D14	PI6/D14	PI6/D14
83	K12	PI7/D15	PI7/D15	PI7/D15
84	K13	P10/TxD2/DREQ0-A/EDREQ0-A* ³ / IRQ0-A	P10/TxD2/DREQ0-A/EDREQ0-A* ³ / IRQ0-A	P10/TxD2/DREQ0-A/EDREQ0-A* ³ / IRQ0-A
85	K15	P11/RxD2/TEND0-A/ETEND0-A* ³ / IRQ1-A	P11/RxD2/TEND0-A/ETEND0-A* ³ / IRQ1-A	P11/RxD2/TEND0-A/ETEND0-A* ³ / IRQ1-A
86	K14	P12/SCK2/DACK0-A/EDACK0-A* ³ / IRQ2-A	P12/SCK2/DACK0-A/EDACK0-A* ³ / IRQ2-A	P12/SCK2/DACK0-A/EDACK0-A* ³ / IRQ2-A
87	J12	P13/ADTRG0-A/EDRAK0-A* ³ / IRQ3-A	P13/ADTRG0-A/EDRAK0-A* ³ / IRQ3-A	P13/ADTRG0-A/EDRAK0-A* ³ / IRQ3-A
88	J13	Vss	Vss	Vss
—	J15	Vss	Vss	Vss
89	J14	P66/EDRAK0-B* ³	P66/EDRAK0-B* ³	P66/EDRAK0-B* ³
90	H12	P67/EDRAK1-B* ³ / IRQ15-B	P67/EDRAK1-B* ³ / IRQ15-B	P67/EDRAK1-B* ³ / IRQ15-B
—	H13	NC	NC	NC
—	H15	OSC2* ³	OSC2* ³	OSC2* ³
—	H14	OSC1* ³	OSC1* ³	OSC1* ³
91	G12	RES	RES	RES
92	G13	VCL	VCL	VCL
93	G15	P14/TCLKA-B/TxD3/SDA1/DREQ1-A/ EDREQ1-A* ³ / IRQ4-A	P14/TCLKA-B/TxD3/SDA1/DREQ1-A/ EDREQ1-A* ³ / IRQ4-A	P14/TCLKA-B/TxD3/SDA1/DREQ1-A/ EDREQ1-A* ³ / IRQ4-A
94	G14	P15/TCLKB-B/RxD3/SCL1/TEND1-A/ ETEND1-A* ³ / IRQ5-A* ⁴	P15/TCLKB-B/RxD3/SCL1/TEND1-A/ ETEND1-A* ³ / IRQ5-A* ⁴	P15/TCLKB-B/RxD3/SCL1/TEND1-A/ ETEND1-A* ³ / IRQ5-A* ⁴

1. 概要

ピン番号		端子名		
LQFP-144	LFBGA-176	モード 1、2、6	モード 3、7	モード 4、5
95	F12	WDTOVF	WDTOVF/TDO* ²	WDTOVF
96	F13	Vss	Vss	Vss
97	F15	XTAL	XTAL	XTAL
98	F14	EXTAL	EXTAL	EXTAL
—	E13	NC	NC	NC
99	E15	Vcc	Vcc	Vcc
100	E14	P16/TCLKC-B/SCK3/SDA0/DACK1-A/ EDACK1-A* ³ /IRQ6-A	P16/TCLKC-B/SCK3/SDA0/DACK1-A/ EDACK1-A* ³ /IRQ6-A	P16/TCLKC-B/SCK3/SDA0/DACK1-A/ EDACK1-A* ³ /IRQ6-A
101	E12	P17/TCLKD-B/SCL0/ADTRG1-A/ EDRAK1-A* ³ /IRQ7-A	P17/TCLKD-B/SCL0/ADTRG1-A/ EDRAK1-A* ³ /IRQ7-A	P17/TCLKD-B/SCL0/ADTRG1-A/ EDRAK1-A* ³ /IRQ7-A
102	D15	STBY	STBY	STBY
103	D14	Vss	Vss	Vss
104	D13	P35/PO13/TIOCA1/TIOCB1/TCLKC-A/ DACK1-B/EDACK3* ³	P35/PO13/TIOCA1/TIOCB1/TCLKC-A/ DACK1-B/EDACK3* ³	P35/PO13/TIOCA1/TIOCB1/TCLKC-A/ DACK1-B/EDACK3* ³
105	C15	P36/PO14/TIOCA2/EDRAK2* ³	P36/PO14/TIOCA2/EDRAK2* ³	P36/PO14/TIOCA2/EDRAK2* ³
106	D12	P37/PO15/TIOCA2/TIOCB2/TCLKD-A/ EDRAK3* ³	P37/PO15/TIOCA2/TIOCB2/TCLKD-A/ EDRAK3* ³	P37/PO15/TIOCA2/TIOCB2/TCLKD-A/ EDRAK3* ³
107	C14	P60/TMRI2/TxD4/DERQ2/EDREQ0-B* ³ / IRQ8-B	P60/TMRI2/TxD4/DERQ2/EDREQ0-B* ³ / IRQ8-B	P60/TMRI2/TxD4/DERQ2/ EDREQ0-B* ³ /IRQ8-B
108	B15	P61/TMCI2/RxD4/TEND2/ETEND0-B* ³ / IRQ9-B	P61/TMCI2/RxD4/TEND2/ETEND0-B* ³ / IRQ9-B	P61/TMCI2/RxD4/TEND2/ ETEND0-B* ³ /IRQ9-B
109	B14	P62/TMO2/SCK4/DACK2/EDACK0-B* ³ / IRQ10-B	P62/TMO2/SCK4/DACK2/EDACK0-B* ³ / TRST* ²	P62/TMO2/SCK4/DACK2/ EDACK0-B* ³
110	A15	PLLvcc	PLLvcc	PLLvcc
111	C13	P63/TMRI3/TxD6/DREQ3/EDREQ1-B* ³ / RQ11-B	P63/TMRI3/TxD6/DREQ3/EDREQ1-B* ³ / IRQ11-B/TMS* ²	P63/TMRI3/TxD6/DREQ3/ EDREQ1-B* ³ /IRQ11-B
—	A14	NC	NC	NC
112	B13	PLLvss	PLLvss	PLLvss
113	C12	P64/TMCI3/RxD6/TEND3/ETEND1-B* ³ / IRQ12-B	P64/TMCI3/RxD6/TEND3/ETEND1-B* ³ / IRQ12-B/TDI* ²	P64/TMCI3/RxD6/TEND3/ ETEND1-B* ³ /IRQ12-B
114	A13	P65/TMO3/SCK6/DACK3/EDACK1-B* ³ / IRQ13-B	P65/TMO3/SCK6/DACK3/EDACK1-B* ³ / IRQ13-B/TCK* ²	P65/TMO3/SCK6/DACK3/ EDACK1-B* ³ /IRQ13-B
115	B12	MD0	MD0	MD0
116	D11	PC2/LUCAS/DQMLU* ³	PC2/LUCAS/DQMLU* ³	PC2/LUCAS/DQMLU* ³
117	A12	PC3/LLCAS/DQMLL* ³	PC3/LLCAS/DQMLL* ³	PC3/LLCAS/DQMLL* ³
—	C11	NC	NC	NC
118	B11	P50/AN0/IRQ0-B	P50/AN0/IRQ0-B	P50/AN0/IRQ0-B

1. 概要

ピン番号		端子名		
LQFP-144	LFBGA-176	モード 1、2、6	モード 3、7	モード 4、5
119	A11	P51/AN1/IRQ1-B	P51/AN1/IRQ1-B	P51/AN1/IRQ1-B
120	D10	P52/AN2/IRQ2-B	P52/AN2/IRQ2-B	P52/AN2/IRQ2-B
—	C10	NC	NC	NC
121	A10	Avcc	Avcc	Avcc
122	B10	P53/AN3/IRQ3-B	P53/AN3/IRQ3-B	P53/AN3/IRQ3-B
123	D9	Avss	Avss	Avss
124	C9	P54/AN4/IRQ4-B	P54/AN4/IRQ4-B	P54/AN4/IRQ4-B
125	A9	Vref	Vref	Vref
—	B9	NC	NC	NC
126	D8	P55/AN5/IRQ5-B	P55/AN5/IRQ5-B	P55/AN5/IRQ5-B
127	C8	P56/AN6/DA0/IRQ6-B	P56/AN6/DA0/IRQ6-B	P56/AN6/DA0/IRQ6-B
128	A8	P57/AN7/DA1/IRQ7-B	P57/AN7/DA1/IRQ7-B	P57/AN7/DA1/IRQ7-B
129	B8	P44/AN8	P44/AN8	P44/AN8
130	D7	P45/AN9	P45/AN9	P45/AN9
131	C7	P46/AN10	P46/AN10	P46/AN10
132	A7	P47/AN11	P47/AN11	P47/AN11
133	B7	MD1	MD1	MD1
—	D6	NC	NC	NC
—	C6	NC	NC	NC
—	A6	NC	NC	NC
—	B6	MD3* ³	MD3* ³	MD3* ³
134	C5	PA0/BREQO/BS-A	PA0/BREQO/BS-A	PA0/BREQO/BS-A
135	A5	PA1/BACK/(RD/WR-A)	PA1/BACK/(RD/WR-A)	PA1/BACK/(RD/WR-A)
136	B5	PA2/BREQ/WAIT-A	PA2/BREQ/WAIT-A	PA2/BREQ/WAIT-A
137	D5	PA3/LLWR/LLB	PA3/LLWR/LLB	LLWR/LLB
138	A4	PA4/LHWR/LUB	PA4/LHWR/LUB	PA4/LHWR/LUB
139	B4	PA5/RD	PA5/RD	RD
140	C4	PA6/AS/AH/BS-B	PA6/AS/AH/BS-B	PA6/AS/AH/BS-B
—	A3	Vcc	Vcc	Vcc
141	D4	Vss	Vss	Vss
142	B3	PA7/Bφ	PA7/Bφ	PA7/Bφ
143	A2	Vcc	Vcc	Vcc
144	B2	PB0/CS0/CS4-A/CS5-B	PB0/CS0/CS4-A/CS5-B	PB0/CS0/CS4-A/CS5-B

【注】 *1 シングルチップモードかつ、PFCRD の PCJKE ビットを 1 にセットした場合に使用可能となります。

*2 TDO、TRST、TMS、TDI、TCK はモード 3 で有効となります。

*3 H8SX/1648G グループ、 H8SX/1648H グループでのみサポート。

*4 $\overline{\text{IRQ15-A}}$ は H8SX/1648G、 H8SX/1648H グループではサポートしていません。

1.4.3 端子機能

表 1.5 端子機能

分類	端子名	入出力	機能
電源	V _{CC}	入力	電源端子です。システムの電源に接続してください。
	V _{CL}	入力	0.1 μ F のコンデンサを介して V _{SS} に接続してください (コンデンサは端子近くに配置してください)。
	V _{SS}	入力	グランド端子です。システムの電源 (0V) に接続してください。
	PLL _{VCC}	入力	PLL 回路用の電源端子です。システムの電源に接続してください。
	PLL _{VSS}	入力	PLL 回路用のグランド端子です。
クロック	XTAL	入力	水晶発振器接続端子です。また、EXTAL 端子は外部クロックを入力することもできます。接続例は、「26. クロック発振器」を参照してください。
	EXTAL	入力	
	OSC1* ³	入力	32.768kHz の水晶発振器を接続します。
	OSC2* ³	入力	32.768kHz の水晶発振器を接続します。
	B ϕ	出力	外部デバイスにシステムクロックを供給します。
	SDRAM ϕ * ³	出力	シンクロナス DRAM を接続する場合にシンクロナス DRAM の CLK 端子に接続します。詳細は「9. バスコントローラ (BSC)」を参照してください。
動作モード コントロール	MD3~MD0	入力	動作モードを設定します。これらの端子は、動作中に変化させないでください。
システム制御	$\overline{\text{RES}}$	入力	リセット端子です。この端子が Low レベルになると、リセット状態となります。
	$\overline{\text{STBY}}$	入力	この端子が Low レベルになると、ハードウェアスタンバイモードに遷移します。
	EMLE	入力	オンチップエミュレータイネーブル端子です。オンチップエミュレータを使用する場合は、High レベルにしてください。オンチップエミュレータを使用しない場合は、Low レベルとしてください。
オンチップ エミュレータ	$\overline{\text{TRST}}$	入力	オンチップエミュレータ用またはバウンダリスキャン用端子です。
	TMS	入力	EMLE 端子を High レベルにするとオンチップエミュレータ専用端子になります。
	TDI	入力	
	TCK	入力	EMLE 端子を Low レベルかつモード 3 に設定するとバウンダリスキャン専用端子になります。
	TDO	出力	
アドレスバス	A23~A0	出力	アドレス出力端子です。
データバス	D15~D0	入出力	双方向データバスです。 アドレス/データマルチプレクス I/O 空間アクセス時は、アドレスも出力されます。

1. 概要

分類	端子名	入出力	機能
バス制御	$\overline{\text{BREQ}}$	入力	バス権を外部に解放することを要求するリクエスト信号です。
	$\overline{\text{BREQO}}$	出力	外部バス権解放状態で、内部バスマスタが外部空間をアクセスするときの外部バス権要求信号です。
	BACK	出力	バス権を解放したことを示すアクノレッジ信号です。
	$\overline{\text{BS-A}}/\overline{\text{BS-B}}$	出力	バスサイクルの開始を示します。
	$\overline{\text{AS}}$	出力	基本バスインタフェース空間、またはバイト制御 SRAM インタフェース空間をアクセス中で、アドレスバス上のアドレス出力が有効であることを示すストローブ信号です。
	$\overline{\text{AH}}$	出力	アドレス/データマルチプレクス I/O インタフェース空間をアクセス中で、アドレスをホールドするための信号です。
	$\overline{\text{RD}}$	出力	基本バスインタフェース空間をリード中であることを示すストローブ信号です。
	$\overline{\text{RD}}/\overline{\text{WR}}$	出力	データバスの入出力を示す信号です。
	$\overline{\text{LHWR}}$	出力	基本バスインタフェース空間をライト中で、上位バイト (D15~D8) が有効であることを示すストローブ信号です。
	$\overline{\text{LLWR}}$	出力	基本バスインタフェース空間をライト中で、下位バイト (D7~D0) が有効であることを示すストローブ信号です。
	$\overline{\text{LUB}}$	出力	バイト制御 SRAM インタフェース空間をアクセス中で、上位バイト (D15~D8) が有効であることを示すストローブ信号です。
	$\overline{\text{LLB}}$	出力	バイト制御 SRAM インタフェース空間をアクセス中で、下位バイト (D7~D0) が有効であることを示すストローブ信号です。
	$\overline{\text{CS0}}$ $\overline{\text{CS1}}$ $\overline{\text{CS2-A}}/\overline{\text{CS2-B}}$ $\overline{\text{CS3-A}}/\overline{\text{CS3-B}}$ $\overline{\text{CS4-A}}/\overline{\text{CS4-B}}/\overline{\text{CS4-C}}$ $\overline{\text{CS5-A}}/\overline{\text{CS5-B}}/\overline{\text{CS5-C}}/\overline{\text{CS5-D}}\overline{\text{CS6-A}}/\overline{\text{CS6-B}}/\overline{\text{CS6-C}}/\overline{\text{CS6-D}}\overline{\text{CS7-A}}/\overline{\text{CS7-B}}/\overline{\text{CS7-C}}/\overline{\text{CS7-D}}$	出力	エリア 7~0 の選択信号です。
	$\overline{\text{WAIT-A}}/\overline{\text{WAIT-B}}$	入力	外部空間をアクセスするときのウェイト要求信号です。

分類	端子名	入出力	機能
バス制御	$\overline{\text{RAS}}^{*3}$	出力	エリア 2 が DRAM インタフェース空間のときの DRAM のロウアドレスストロブ信号／エリア 2 がシンクロナス DRAM インタフェース空間のときのシンクロナス DRAM のロウアドレスストロブ信号
	$\overline{\text{CAS}}^{*3}$	出力	エリア 2 がシンクロナス DRAM インタフェース空間のときのシンクロナス DRAM のカラムアドレスストロブ信号
	$\overline{\text{WE}}^{*3}$	出力	DRAM 空間のライトイネーブル信号／エリア 2 がシンクロナス DRAM インタフェース空間のときのシンクロナス DRAM のライトイネーブル信号
	$\overline{\text{OE}}/\text{CKE}^{*3}$	出力	<ul style="list-style-type: none"> DRAM インタフェース空間のアウトプットイネーブル信号 シンクロナス DRAM インタフェース空間のクロックイネーブル信号
	$\overline{\text{LUCAS}}^{*3}$	出力	16 ビット DRAM インタフェース空間のアップーカラムアドレスストロブ信号
	$\overline{\text{LLCAS}}^{*3}$	出力	16 ビット DRAM インタフェース空間のロウアーカラムアドレスストロブ信号／8 ビット DRAM インタフェース空間のカラムアドレスストロブ信号
	DQMLU^{*3}	出力	16 ビットシンクロナス DRAM インタフェース空間のアップーデータマスクイネーブル信号
	DQMLL^{*3}	出力	16 ビットシンクロナス DRAM インタフェース空間のロウアーデータマスクイネーブル信号／8 ビットシンクロナス DRAM インタフェース空間のデータマスクイネーブル信号
割り込み	NMI	入力	ノンマスカブル割り込み要求端子です。未使用の場合は High レベルに固定してください。
	$\overline{\text{IRQ15-A}}^{*2}/\overline{\text{IRQ15-B}}$ $\overline{\text{IRQ14}}$	入力	マスク可能な割り込みを要求します。
	$\overline{\text{IRQ13-A}}/\overline{\text{IRQ13-B}}$		
	$\overline{\text{IRQ12-A}}/\overline{\text{IRQ12-B}}$		
	$\overline{\text{IRQ11-A}}/\overline{\text{IRQ11-B}}$		
	$\overline{\text{IRQ10-A}}/\overline{\text{IRQ10-B}}$		
	$\overline{\text{IRQ9-A}}/\overline{\text{IRQ9-B}}$		
	$\overline{\text{IRQ8-A}}/\overline{\text{IRQ8-B}}$		
	$\overline{\text{IRQ7-A}}/\overline{\text{IRQ7-B}}$		
	$\overline{\text{IRQ6-A}}/\overline{\text{IRQ6-B}}$		
	$\overline{\text{IRQ5-A}}/\overline{\text{IRQ5-B}}$		
	$\overline{\text{IRQ4-A}}/\overline{\text{IRQ4-B}}$		
	$\overline{\text{IRQ3-A}}/\overline{\text{IRQ3-B}}$		
	$\overline{\text{IRQ2-A}}/\overline{\text{IRQ2-B}}$		
	$\overline{\text{IRQ1-A}}/\overline{\text{IRQ1-B}}$		
	$\overline{\text{IRQ0-A}}/\overline{\text{IRQ0-B}}$		

1. 概要

分類	端子名	入出力	機能
DMA コントローラ (DMAC)	$\overline{DREQ0-A}/\overline{DREQ0-B}$ $\overline{DREQ1-A}/\overline{DREQ1-B}$ $\overline{DREQ2}$ $\overline{DREQ3}$	入力	DMAC の起動を要求します。
	$\overline{DACK0-A}/\overline{DACK0-B}$ $\overline{DACK1-A}/\overline{DACK1-B}$ $\overline{DACK2}$ $\overline{DACK3}$	出力	DMAC のシングルアドレス転送アクノレッジ端子です。
	$\overline{TEND0-A}/\overline{TEND0-B}$ $\overline{TEND1-A}/\overline{TEND1-B}$ $\overline{TEND2}$ $\overline{TEND3}$	出力	DMAC のデータ転送終了を示します。
EXMDA コント ローラ (EXDMAC) *3	$\overline{EDREQ0-A}/\overline{EDREQ0-B}$ $\overline{EDREQ1-A}/\overline{EDREQ1-B}$ $\overline{EDREQ2}$ $\overline{EDREQ3}$	入力	EXDMAC の起動を要求します。
	$\overline{EDACK0-A}/\overline{EDACK0-B}$ $\overline{EDACK1-A}/\overline{EDACK1-B}$ $\overline{EDACK2}$ $\overline{EDACK3}$	出力	EXDMAC のシングルアドレス転送アクノレッジ端子です。
	$\overline{ETEND0-A}/\overline{ETEND0-B}$ $\overline{ETEND1-A}/\overline{ETEND1-B}$ $\overline{ETEND2}$ $\overline{ETEND3}$	出力	EXDMAC のデータ転送終了を示します。
	$\overline{EDRAK0-A}/\overline{EDRAK0-B}$ $\overline{EDRAK1-A}/\overline{EDRAK1-B}$ $\overline{EDRAK2}$ $\overline{EDRAK3}$	出力	EXDMAC の外部リクエスト受け付け、実行開始を外部デバイスに通知しま す。
16 ビット タイマパルス ユニット (TPU)	TCLKA-A/TCLKA-B TCLKB-A/TCLKB-B TCLKC-A/TCLKC-B TCLKD-A/TCLKD-B	入力	外部クロックを入力します。
	TIOCA0 TIOCB0 TIOCC0 TIOCD0	入出力	TGRA_0~TGRD_3 のインプットキャプチャ入力/アウトプットコンペア 出力/PWM 出力端子です。
	TIOCA1 TIOCB1	入出力	TGRA_1、TGRB_1 のインプットキャプチャ入力/アウトプットコンペア 出力/PWM 出力端子です。

分類	端子名	入出力	機能	
16ビット タイマパルス ユニット(TPU)	TIOCA2 TIOCB2	入出力	TGRA_2、TGRB_2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。	
	TIOCA3 TIOCB3 TIOCC3 TIOCD3	入出力	TGRA_3~TGRD_3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。	
	TIOCA4 TIOCB4	入出力	TGRA_4、TGRB_4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。	
	TIOCA5 TIOCB5	入出力	TGRA_5、TGRB_5のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。	
	TCLKE TCLKF TCLKG TCLKH	入力	外部クロックを入力します。	
	TIOCA6 TIOCB6 TIOCC6 TIOCD6	入出力	TGRA_6~TGRD_6のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。	
	TIOCA7 TIOCB7	入出力	TGRA_7、TGRB_7のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。	
	TIOCA8 TIOCB8	入出力	TGRA_8、TGRB_8のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。	
	TIOCA9 TIOCB9 TIOCC9 TIOCD9	入出力	TGRA_9~TGRD_9のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。	
	TIOCA10 TIOCB10	入出力	TGRA_10、TGRB_10のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。	
	TIOCA11 TIOCB11	入出力	TGRA_11、TGRB_11のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。	
	プログラマブル パルスジェネ レータ (PPG)	PO31~PO0	出力	パルス出力端子です。
	8ビットタイマ (TMR)	TMO0~TMO3	出力	コンペアマッチ出力端子です。
		TMCI0~TMCI3	入力	カウンタに入力する外部クロックの入力端子です。
TMRI0~TMRI3		入力	カウンタリセット入力端子です。	
ウォッチドッグ タイマ (WDT)	WDTOVF	出力	ウォッチドッグタイマモード時のカウンタオーバフロー信号出力端子です。	

1. 概要

分類	端子名	入出力	機能
シリアルコミュニケーション インタフェース (SCI)	TxD0、TxD1、 TxD2、TxD3、 TxD4、TxD5、TxD6	出力	送信データ出力端子です。
	RxD0、RxD1、 RxD2、RxD3、 RxD4、RxD5、RxD6	入力	受信データ入力端子です。
	SCK0、SCK1、 SCK2、SCK3、 SCK4、SCK5、SCK6	入出力	クロック入出力端子です。
IrDA 付き SCI (SCI)	IrTXD	出力	IrDA 用にエンコードされたデータの出力端子です。
	IrRxD	入力	IrDA 用にエンコードされたデータの入力端子です。
I ² C バス インタフェース 2 (IIC2)	SCL0、SCL1、 SCL2、SCL3	入出力	IIC2 のクロック入出力端子です。NMOS オープンドレイン出力でバスを直接駆動できます。 SCL2、SCL3 は 5V 入力が可能です。
	SDA0、SDA1、 SDA2、SDA3	入出力	IIC2 のデータ入出力端子です。NMOS オープンドレイン出力でバスを直接駆動できます。 SDA2、SDA3 は 5V 入力が可能です。
A/D 変換器	AN11~AN0	入力	A/D 変換器のアナログ入力端子です。
	$\overline{\text{ADTRG0}}\text{-A/}$ $\overline{\text{ADTRG0}}\text{-B}$ $\overline{\text{ADTRG1}}\text{-A/}$ $\overline{\text{ADTRG1}}\text{-B}$ $\overline{\text{ADTRG2}}$	入力	A/D 変換開始のための外部トリガ入力端子です。
	DA1、DA0	出力	D/A 変換器のアナログ出力端子です。
	Avcc	入力	A/D 変換器および D/A 変換器のアナログ電源端子です。A/D 変換器および D/A 変換器を使用しない場合は、システムの電源に接続してください。
	AVss	入力	A/D 変換器および D/A 変換器のグランド端子です。システムの電源 (0V) に接続してください。
	Vref	入力	A/D 変換器および D/A 変換器の基準電源端子です。A/D 変換器および D/A 変換器を使用しない場合は、システムの電源に接続してください。
I/O ポート	P17~P10	入出力	8 ビットの入出力端子です。
	P27~P20	入出力	8 ビットの入出力端子です。
	P37~P30	入出力	8 ビットの入出力端子です。
	P47~P44	入力	4 ビットの入力端子です。
	P57~P50	入力	8 ビットの入力端子です。
	P67~P60	入出力	8 ビットの入出力端子です。
	PA7	入力	入力専用端子です。
	PA6~PA0	入出力	7 ビットの入出力端子です。

分類	端子名	入出力	機能
I/O ポート	PB7~PB0	入出力	8ビットの入出力端子です。
	PC5~PC0	入出力	6ビットの入出力端子です。
	PD7~PD0	入出力	8ビットの入出力端子です。
	PE7~PE0	入出力	8ビットの入出力端子です。
	PF7~PF0	入出力	8ビットの入出力端子です。
	PH7~PH0	入出力	8ビットの入出力端子です。
	PI7~PI0	入出力	8ビットの入出力端子です。
	PN3~PN0	入出力	4ビットの入出力（オープンドレイン）端子です。
	PM4~PM0* ³	入出力	5ビットの入出力端子です。
	PJ7~PJ0* ¹	入出力	8ビットの入出力端子です。
	PK7~PK0* ¹	入出力	8ビットの入出力端子です。

【注】 *1 シングルチップモードかつ、PFCRD の PCJKE ビットを 1 にセットした場合に使用可能となります。

*2 $\overline{\text{IRQ15-A}}$ は H8SX/1648G グループ、 H8SX/1648H グループではサポートしていません。

*3 H8SX/1648G グループ、 H8SX/1648H グループでのみサポート。

1. 概要

2. CPU

H8SX CPU は、H8/300 CPU、H8/300H CPU および H8S CPU の上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。

H8SX CPU は、16 ビット×16 本の汎用レジスタを持ち、4G バイトのリニアなアドレス空間を扱うことができ、リアルタイム制御に最適です。

2.1 特長

- H8/300 CPU、H8/300H CPU および H8S CPU の上位互換
これらの CPU のオブジェクトプログラムを実行可能
- 汎用レジスタ：16 ビット×16 本
8 ビット×16 本、32 ビット×8 本としても使用可能
- 基本命令：87 種類
8/16/32 ビット演算命令
乗除算命令
ビットフィールド転送命令
強力なビット操作命令
ビット条件分岐命令
積和演算命令
- アドレッシングモード：11 種類
レジスタ直接 Rn
レジスタ間接 @ERn
ディスプレイメント付レジスタ間接 @(d:2,ERn)/@(d:16,ERn)/@(d:32,ERn)
ディスプレイメント付インデックスレジスタ間接 @(d:16,RnL.B)/@(d:32,RnL.B)/@(d:16,Rn.W)/
@(d:32,Rn.W)/@(d:16,ERn.L)/@(d:32,ERn.L)
プリ/ポストインクリメント/デクリメントレジスタ間接 @ERn+/@-ERn/@+ERn/@ERn-
絶対アドレス @aa:8/@aa:16/@aa:24/@aa:32
イミディエイト #xx:3/#xx:4/#xx:8/#xx:16/#xx:32
プログラムカウンタ相対 @(d:8,PC)/@(d:16,PC)
プログラムカウンタインデックス相対 @(RnL.B,PC)/@(Rn.W,PC)/@(ERn.L,PC)
メモリ間接 @@aa:8
拡張メモリ間接 @@vec:7

2. CPU

- ベースレジスタ : 2本
ベクタベースレジスタ
ショートアドレスベースレジスタ
- アドレス空間 : 4Gバイト
プログラム : 4Gバイト
データ : 4Gバイト
- 高速動作
頻出命令をすべて1~2ステートで実行
8/16/32ビットレジスタ間加減算 : 1ステート
8×8ビットレジスタ間乗算 : 1ステート (乗算器サポート時)
16÷8ビットレジスタ間除算 : 10ステート (除算器サポート時)
16×16ビットレジスタ間乗算 : 1ステート (乗算器サポート時)
32÷16ビットレジスタ間除算 : 18ステート (除算器サポート時)
32×32ビットレジスタ間乗算 : 5ステート (乗算器サポート時)
32÷32ビットレジスタ間除算 : 18ステート (除算器サポート時)
- CPU動作モード : 4種類
ノーマルモード
ミドルモード
アドバンストモード
マキシマムモード
- 低消費電力状態
SLEEP命令により低消費電力状態に遷移
CPU動作クロックを選択可能

-
- 【注】 1. H8SX/1648、H8SX/1648A、H8SX/1648L、H8SX/1648G、H8SX/1648H グループの CPU 動作モードは、アドバンストモードのみです。ノーマルモード、ミドルモード、マキシマムモードは使用できません。
2. H8SX/1648、H8SX/1648A、H8SX/1648L、H8SX/1648G、H8SX/1648H グループは、乗算器、除算器をサポートしています。
-

2.2 CPU 動作モード

H8SX CPU は、アドレス空間について、ノーマルモード、ミドルモード、アドバンスモードおよびマキシマムモードの4種類のCPU動作モードを持っています。各モードはLSIのモード端子などによって選択されます。

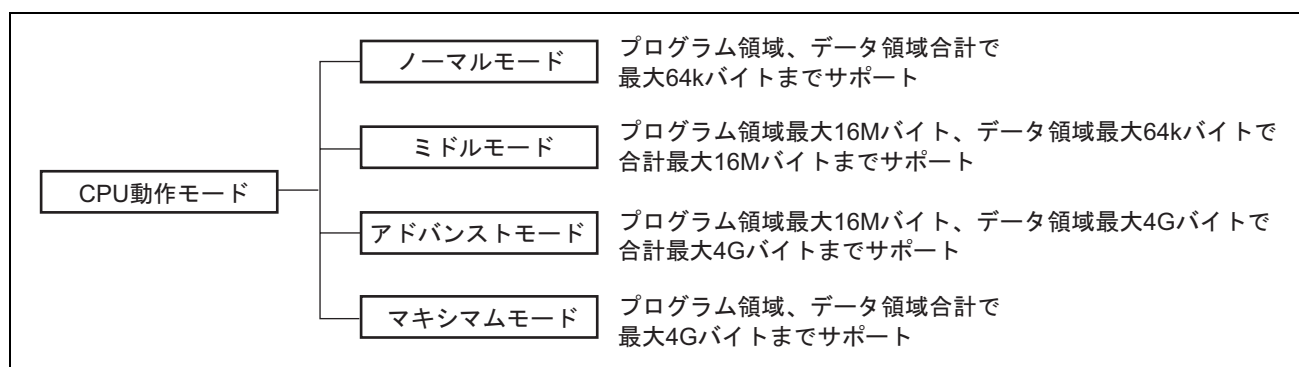


図 2.1 CPU 動作モード

2.2.1 ノーマルモード

ノーマルモードでは例外処理ベクタ、スタックの構造が H8/300 CPU と同一です。

- アドレス空間

最大 64K バイトをアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0~E7) は、16 ビットレジスタとして、または 32 ビットレジスタの上位 16 ビットとして使用できます。

拡張レジスタ En は、対応する汎用レジスタ Rn をアドレスレジスタとして使用している場合でも、16 ビットレジスタとして任意の値を設定することができます (プリ/ポストインクリメント/デクリメントレジスタ間接により汎用レジスタ Rn が参照された場合、キャリ/ボローが発生すると、対応する拡張レジスタ En の内容に伝播しますので注意してください)。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。実効アドレス (EA) の下位 16 ビットのみが有効となります。

- 例外処理ベクタテーブルおよびメモリ間接の分岐アドレス

ノーマルモードでは、H'0000 から始まる先頭領域に例外処理ベクタテーブル領域が割り当てられており、各 16 ビットの分岐先アドレスを格納します。例外処理ベクタテーブルの構造を図 2.2 に示します。

2. CPU

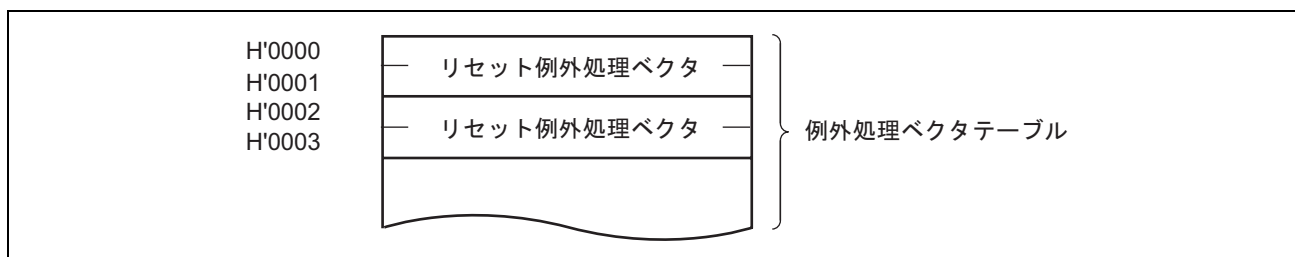


図 2.2 例外処理ベクタテーブル（ノーマルモード）

メモリ間接（@@aa:8）および拡張メモリ間接（@@vec:7）は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

- スタック構造

サブルーチン分岐時の PC のスタック構造と、例外処理時の PC と CCR のスタック構造を図 2.3 に示します。PC は 16 ビットで退避／復帰されます。

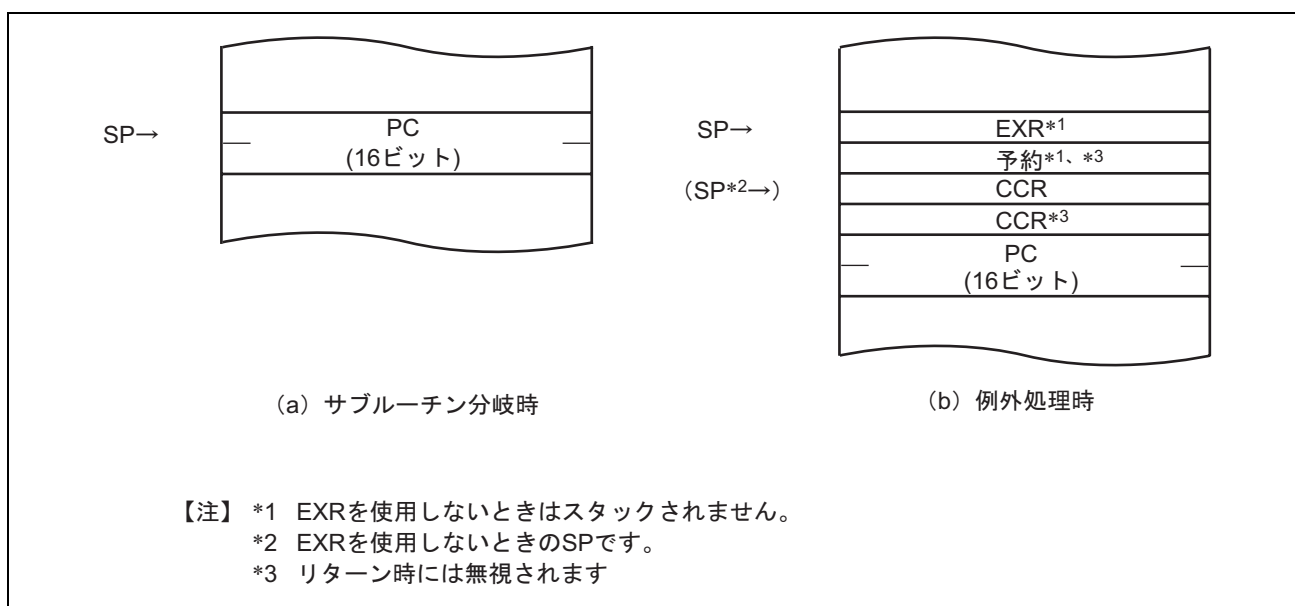


図 2.3 スタック構造（ノーマルモード）

2.2.2 ミドルモード

ノーマルモードに対して、プログラム領域を 16M バイトに拡張しています。

- アドレス空間

プログラム領域最大 16M バイト、データ領域最大 64K バイトで合計最大 16M バイトをアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0~E7) は、16 ビットレジスタとして、または 32 ビットレジスタの上位 16 ビットとして使用できます。

拡張レジスタ En は、対応する汎用レジスタ Rn をデータ用のアドレスレジスタとして使用している場合でも、16 ビットレジスタとして任意の値を設定することができます (JMP および JSR 命令は除きます。また、プリ/ポストインクリメント/デクリメントレジスタ間接により汎用レジスタ Rn が参照された場合、キャリ/ボローが発生すると、対応する拡張レジスタ En の内容に伝播しますので注意してください)。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。データ用の実効アドレス (EA) は下位 16 ビットのみが有効となり、上位 8 ビットは符号拡張されます。

- 例外処理ベクタテーブルおよびメモリ間接の分岐アドレス

ミドルモードでは、H'000000 から始まる先頭領域に 32 ビット単位で例外処理ベクタテーブル領域が割り当てられており、上位 8 ビットは無視され、24 ビットの分岐先アドレスを格納します。例外処理ベクタテーブルの構造を図 2.4 に示します。

メモリ間接 (@@aa:8) および拡張メモリ間接 (@@vec:7) は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

ミドルモードでは、オペランドは 32 ビット (ロングワード) となり、この 32 ビットが分岐先アドレスとなります。このうち上位 8 ビットは予約領域となっており、H'00 と見なされます。

- スタック構造

サブルーチン分岐時の PC のスタック構造と、例外処理時の PC と CCR のスタック構造を図 2.5 に示します。PC は 24 ビットで退避/復帰されます。

2.2.3 アドバンストモード

ミドルモードに対して、データ領域を 4G バイトに拡張しています。

- アドレス空間

プログラム領域最大 16M バイト、データ領域最大 4G バイト、合計最大 4G バイトをリニアにアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0~E7) は、16 ビットレジスタとして、または 32 ビットレジスタあるいはアドレスレジスタの上位 16 ビットとして使用できます。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。

- 例外処理ベクタテーブル、メモリ間接の分岐アドレス

アドバンストモードでは、H'00000000 から始まる先頭領域に 32 ビット単位で例外処理ベクタテーブル領域が割り当てられており、上位 8 ビットは無視され、24 ビットの分岐先アドレスを格納します。例外処理ベクタテーブルの構造を図 2.4 に示します。

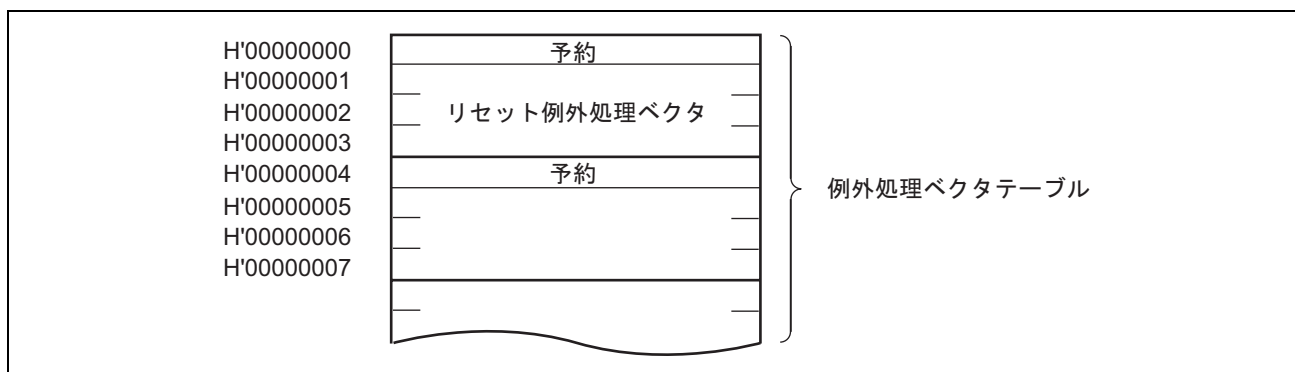


図 2.4 例外処理ベクタテーブル (ミドルモード、アドバンストモード)

メモリ間接 (@@aa:8) および拡張メモリ間接 (@@vec:7) は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

アドバンストモードでは、オペランドは 32 ビット (ロングワード) となり、この 32 ビットが分岐先アドレスとなります。このうち上位 8 ビットは予約領域となっており、H'00 と見なされます。

● スタック構造

アドバンストモード時のサブルーチン分岐時の PC のスタック構造と、例外処理時の PC と CCR のスタック構造を図 2.5 に示します。PC は 24 ビットで退避／復帰されます。

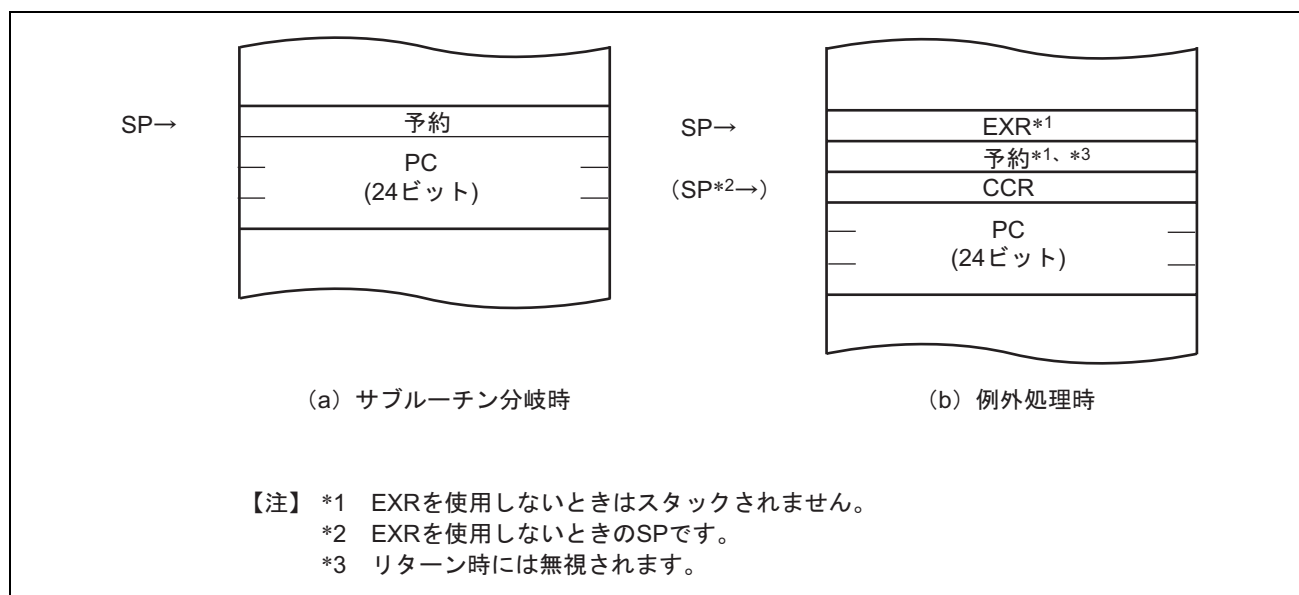


図 2.5 スタック構造（ミドルモード、アドバンストモード）

2.2.4 マキシマムモード

アドバンストモードに対して、プログラム領域を 4G バイトに拡張しています。

- アドレス空間

最大 4G バイトをリニアにアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0~E7) は、16 ビットレジスタとして、または 32 ビットレジスタあるいはアドレスレジスタの上位 16 ビットとして使用できます。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。

- 例外処理ベクタテーブル、メモリ間接の分岐アドレス

マキシマムモードでは、H'00000000 から始まる先頭領域に 32 ビット単位で例外処理ベクタテーブル領域が割り当てられており、32 ビットの分岐先アドレスを格納します。例外処理ベクタテーブルの構造を図 2.6 に示します。

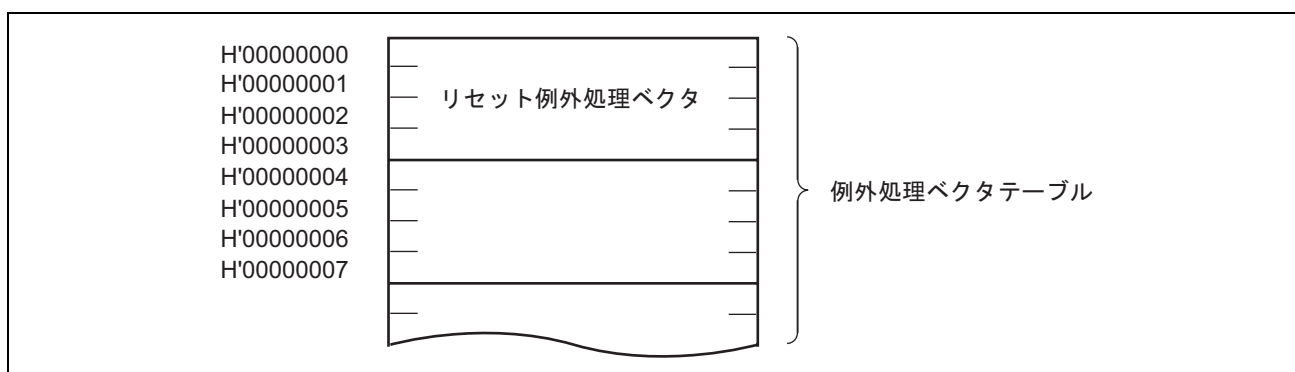


図 2.6 例外処理ベクタテーブル (マキシマムモード)

メモリ間接 (@@aa:8) および拡張メモリ間接 (@@vec:7) は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

マキシマムモードでは、オペランドは 32 ビット (ロングワード) となり、この 32 ビットが分岐先アドレスとなります。

- スタック構造

マキシマムモード時のサブルーチン分岐時の PC のスタック構造と、例外処理時の PC と CCR のスタック構造を図 2.7 に示します。PC は 32 ビットで退避／復帰されます。EXR の使用／不使用によらず、EXR は退避／復帰されます。

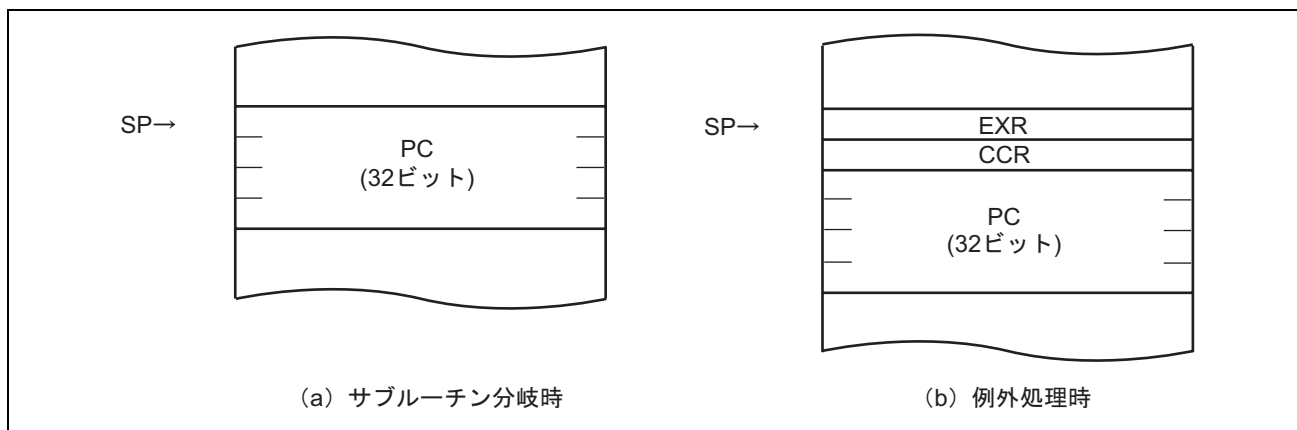


図 2.7 スタック構造 (マキシマムモード)

2.3 命令フェッチ

H8SX CPU は、命令フェッチについて、16 ビットモードと 32 ビットモードの 2 つのモードを持っています。プログラムを格納するメモリのバス幅に合わせて設定することを推奨します。

命令フェッチの 16 ビットモード／32 ビットモードの選択は、命令フェッチ以外のデータアクセスなどには影響しません。命令フェッチ 16 ビットモード／32 ビットモード選択は、SYSCR の FETCHMD ビットで行います。詳細は「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

2.4 アドレス空間

H8SX CPU のメモリマップを図 2.8 に示します。H8SX CPU のアドレス空間は、CPU 動作モードによって異なります。

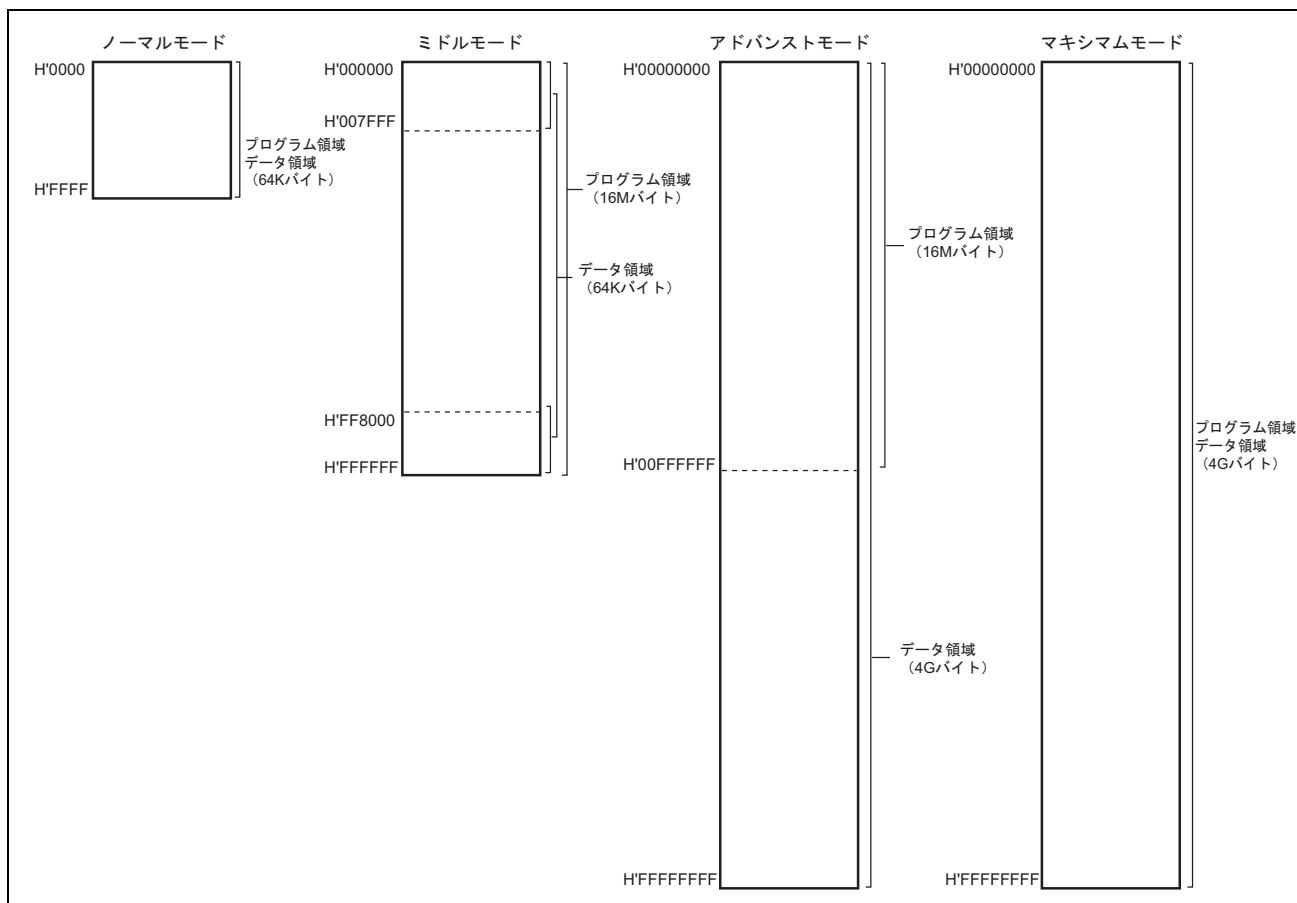


図 2.8 メモリマップ

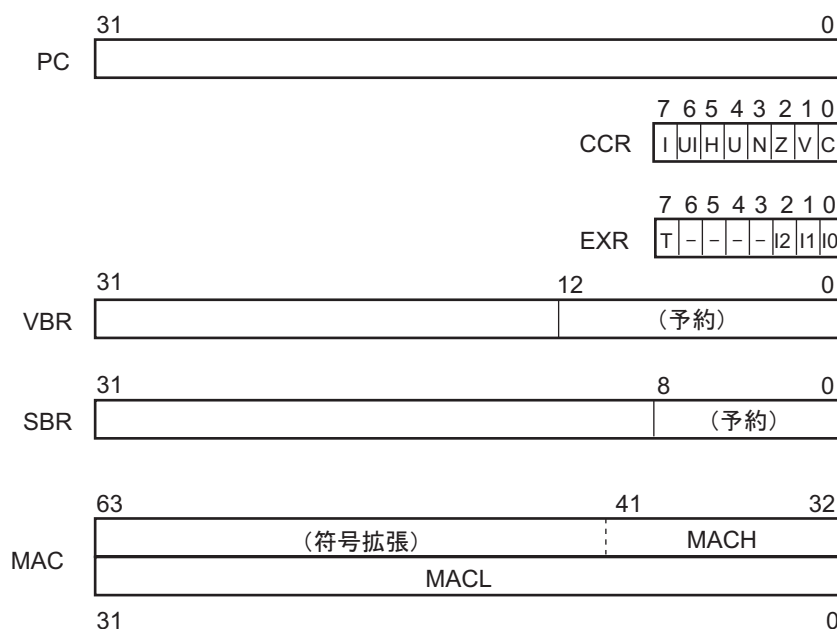
2.5 レジスタ構成

H8SX CPU の内部レジスタ構成を図 2.9 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの2つに分類することができます。コントロールレジスタには、32ビットのプログラムカウンタ (PC)、8ビットのエクステンドレジスタ (EXR)、8ビットのコンディションコードレジスタ (CCR)、32ビットのベクタベースレジスタ (VBR)、32ビットのショートアドレスベースレジスタ (SBR)、および64ビットの積和レジスタ (MAC) があります。

汎用レジスタと拡張レジスタ

	15	0 7	0 7	0
ER0	E0	R0H	R0L	
ER1	E1	R1H	R1L	
ER2	E2	R2H	R2L	
ER3	E3	R3H	R3L	
ER4	E4	R4H	R4L	
ER5	E5	R5H	R5L	
ER6	E6	R6H	R6L	
ER7(SP)	E7	R7H	R7L	

コントロールレジスタ



【記号説明】

SP	: スタックポインタ	Z	: ゼロフラグ
PC	: プログラムカウンタ	V	: オーバフローフラグ
CCR	: コンディションコードレジスタ	C	: キャリフラグ
I	: 割り込みマスクビット	EXR	: エクステンドレジスタ
UI	: ユーザビット/割り込みマスクビット	T	: トレースビット
H	: ハーフキャリフラグ	I2~I0	: 割り込みマスクビット
U	: ユーザビット	VBR	: ベクタベースレジスタ
N	: ネガティブフラグ	SBR	: ショートアドレスベースレジスタ
		MAC	: 積和レジスタ

図 2.9 CPU 内部レジスタ構成

2.5.1 汎用レジスタ

H8SX CPU は、32 ビット長の汎用レジスタを 8 本持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタまたはデータレジスタとして使用することができます。データレジスタとしては 32 ビット、16 ビット、または 8 ビットレジスタとして使用できます。汎用レジスタの使用方法を図 2.10 に示します。

アドレスレジスタまたは 32 ビットレジスタの場合は、一括して汎用レジスタ ER (ER0~ER7) として使用します。

16 ビットレジスタの場合は、汎用レジスタ ER を分割して汎用レジスタ E (E0~E7)、汎用レジスタ R (R0~R7) として使用します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本まで使用することができます。なお、汎用レジスタ E (E0~E7) を特に拡張レジスタと呼ぶ場合があります。

8 ビットレジスタの場合は、汎用レジスタ R を分割して汎用レジスタ RH (R0H~R7H)、汎用レジスタ RL (R0L~R7L) として使用します。これらは同等の機能を持っており、8 ビットレジスタを最大 16 本まで使用することができます。

インデックスレジスタとしては、汎用レジスタ ER (ER0~ER7)、汎用レジスタ R (R0~R7)、汎用レジスタ RL (R0L~R7L) を使用します。これらはアドレッシングモード中のインデックスレジスタのサイズで指定します。

各レジスタ独立に使用方法を選択することができます。

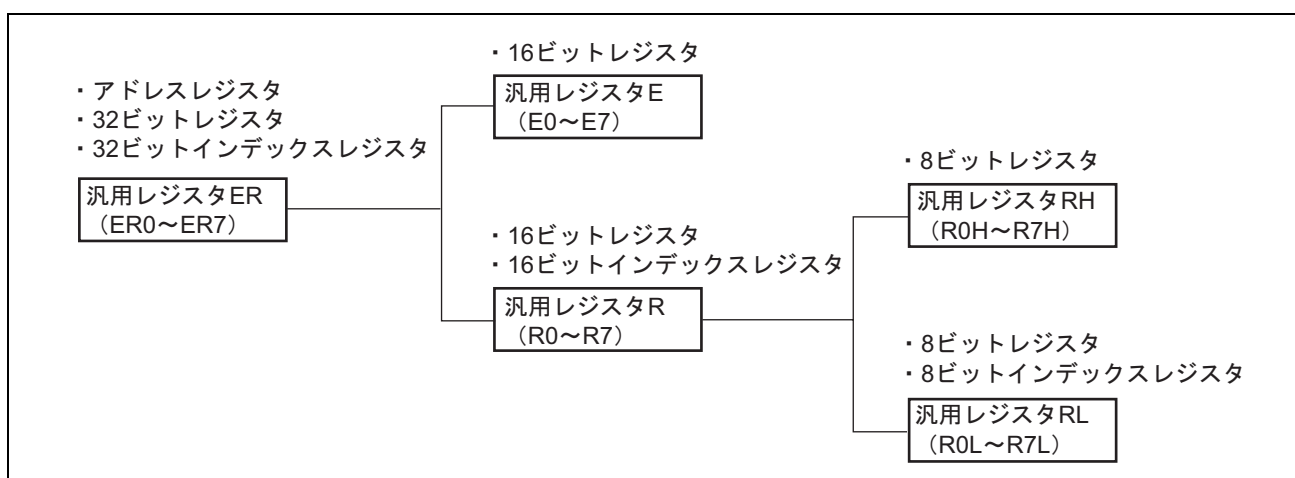


図 2.10 汎用レジスタの使用方法

汎用レジスタ ER7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図 2.11 に示します。

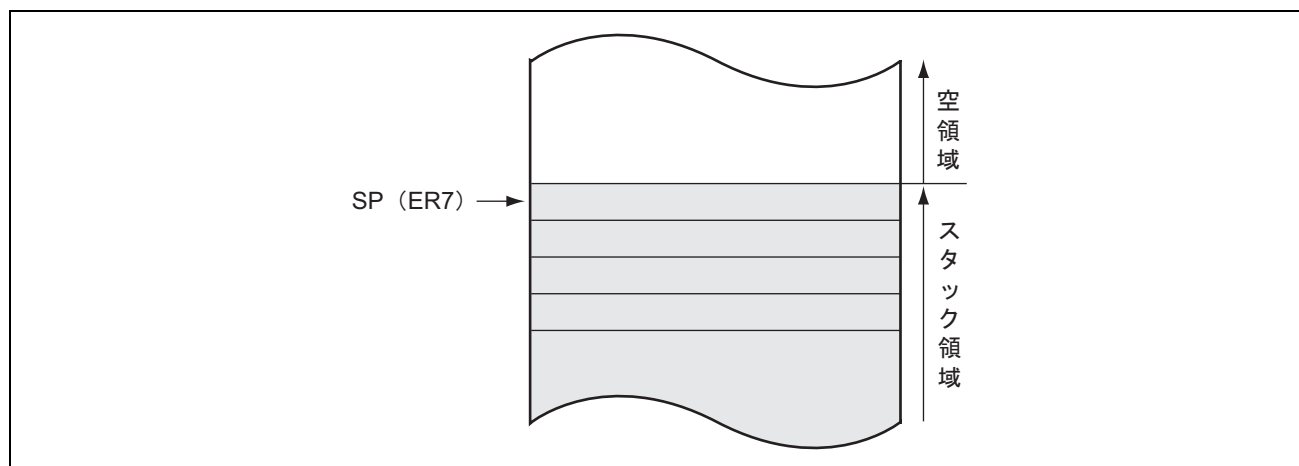


図 2.11 スタックの状態

2.5.2 プログラムカウンタ (PC)

PC は 32 ビットのカウンタで、CPU が次に実行する命令のアドレスを示しています。CPU の命令は、すべて 2 バイト (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時には最下位ビットは 0 とみなされます)。

2. CPU

2.5.3 コンディションコードレジスタ (CCR)

CCR は、8 ビットのレジスタで、CPU の内部状態を示しています。割り込みマスクビット (I)、ユーザビット (UI、U) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む 8 ビットで構成されています。

CCR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。

ビット	ビット名	初期値	R/W	説明
7	I	1	R/W	割り込みマスクビット このビットが 1 にセットされると、割り込みがマスクされます。例外処理の実行が開始されたときに 1 にセットされます。
6	UI	不定	R/W	ユーザビット／割り込みマスクビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード／ライトできます。割り込みマスクビットとしても使用可能です。
5	H	不定	R/W	ハーフキャリフラグ ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット 3 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。また、ADD.W、SUB.W、CMP.W、NEG.W 命令の実行により、ビット 11 にキャリまたはボローが生じたとき、もしくは ADD.L、SUB.L、CMP.L、NEG.L 命令の実行により、ビット 27 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。
4	U	不定	R/W	ユーザビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード／ライトできます。
3	N	不定	R/W	ネガティブフラグ データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。
2	Z	不定	R/W	ゼロフラグ データがゼロのとき 1 にセットされ、ゼロ以外のとき 0 にクリアされます。
1	V	不定	R/W	オーバフローフラグ 算術演算命令の実行により、オーバフローが生じたとき 1 にセットされます。それ以外のとき 0 にクリアされます。
0	C	不定	R/W	キャリフラグ 演算の実行により、キャリが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。キャリには次の種類があります。 <ul style="list-style-type: none">• 加算結果のキャリ• 減算結果のボロー• シフト／ローテートのキャリ また、キャリフラグにはビットアキュムレータ機能があり、ビット操作命令で使用されます。

2.5.4 エクステンדרレジスタ (EXR)

EXR は、8 ビットのレジスタで、トレースビット (T)、割り込みマスクビット (I2~I0) を含んでいます。

EXR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。詳細は当該製品のハードウェアマニュアルを参照してください。

ビット	ビット名	初期値	R/W	説明
7	T	0	R/W	トレースビット このビットが1にセットされているときは、1命令実行するごとにトレース例外処理を開始します。0にクリアされているときは、命令を順次実行します。
6~3	—	すべて1	R/W	リザーブビットです。リードすると常に1がリードされます。
2~0	I2	1	R/W	割り込み要求マスクレベル (0~7) を指定します。
	I1	1	R/W	
	I0	1	R/W	

2.5.5 ベクタベースレジスタ (VBR)

VBR は 32 ビットのレジスタで、上位 20 ビットが有効です。リードすると下位 12 ビットは 0 が読み出されます。リセットと CPU アドレスエラー以外の例外処理のベクタ領域のベースアドレスになります (拡張メモリ間接は対象外です)。VBR の初期値は、H'00000000 です。

VBR は、LDC、STC 命令で操作することができます。

2.5.6 ショートアドレスベースレジスタ (SBR)

SBR は 32 ビットのレジスタで、上位 24 ビットが有効です。リードすると下位 8 ビットは 0 が読み出されます。絶対アドレス 8 ビット (@aa:8) 使用時の上位アドレスになります。SBR の初期値は、H'FFFFFF00 です。

SBR は、LDC、STC 命令で操作することができます。

2.5.7 積和レジスタ (MAC)

MAC は 64 ビットのレジスタで、積和演算結果を格納します。32 ビットの MACH、MACL から構成されます。MACH は下位 10 ビットが有効で、上位は符号拡張されています。

MAC は、MAC、CLRMAC、LDMAC、STMAC 命令で操作することができます。

2.5.8 CPU 内部レジスタの初期値

CPU 内部レジスタのうち PC は、リセット例外処理によってベクタアドレスからスタートアドレスをロードすることにより初期化されます。また、EXR の T ビットは 0 にクリアされ、EXR、CCR の I ビットは 1 にセットされますが、汎用レジスタ、MAC、CCR の他のビットは初期化されません。SP (ER7) の初期値も不定です。したがって、リセット直後に MOV.L 命令を使用して、SP の初期化を行ってください。

2.6 データ形式

H8SX CPU は、1 ビット、4 ビット BCD、8 ビット (バイト)、16 ビット (ワード)、および 32 ビット (ロングワード) のデータを扱うことができます。

1 ビットデータはビット操作命令で扱われ、オペランドデータ (バイト) の第 n ビット ($n=0, 1, 2, \dots, 7$) という形式でアクセスされます。なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

2.6.1 汎用レジスタのデータ形式

汎用レジスタのデータ形式を図 2.12 に示します。

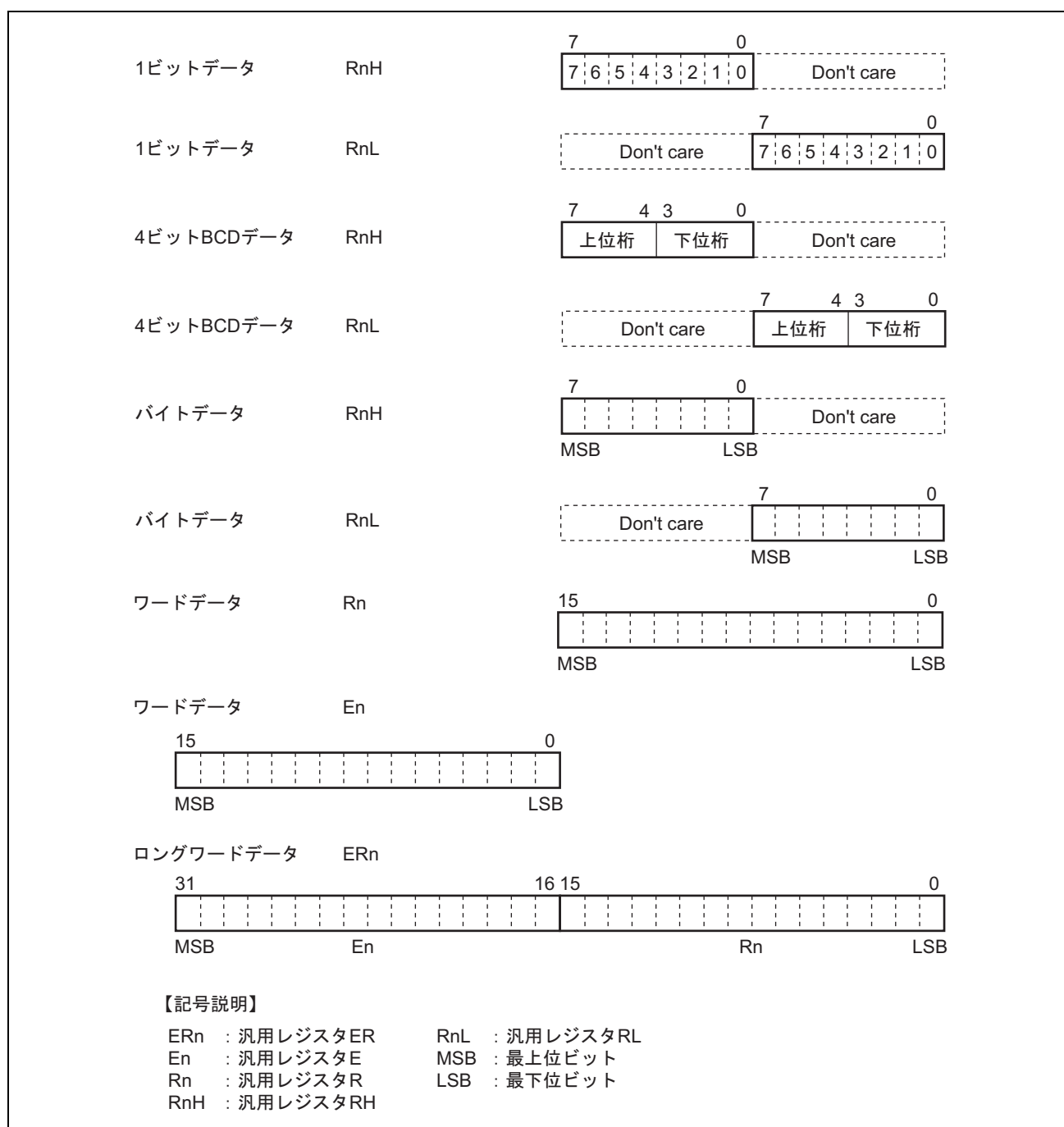


図 2.12 汎用レジスタのデータ形式

2.6.2 メモリ上でのデータ形式

メモリ上でのデータ形式を図 2.13 に示します。

H8SX CPU は、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、任意のアドレスに配置することができます。ワードデータが偶数番地、ロングワードデータが4の倍数番地から始まらない場合は、複数回に分割してアクセスします。例えば、奇数番地から始まる場合、ロングワードデータは、バイトーワードーバイトに分割されてバスサイクルが生成されます。この場合、バス制御においては別々のバスサイクルとして認識されます。

また、命令リード、スタック操作、分岐テーブル、およびブロック転送命令、MAC 命令におけるワードデータ/ロングワードデータは、偶数番地から配置してください。

なお、SP (ER7) をアドレスレジスタとしてスタックをアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

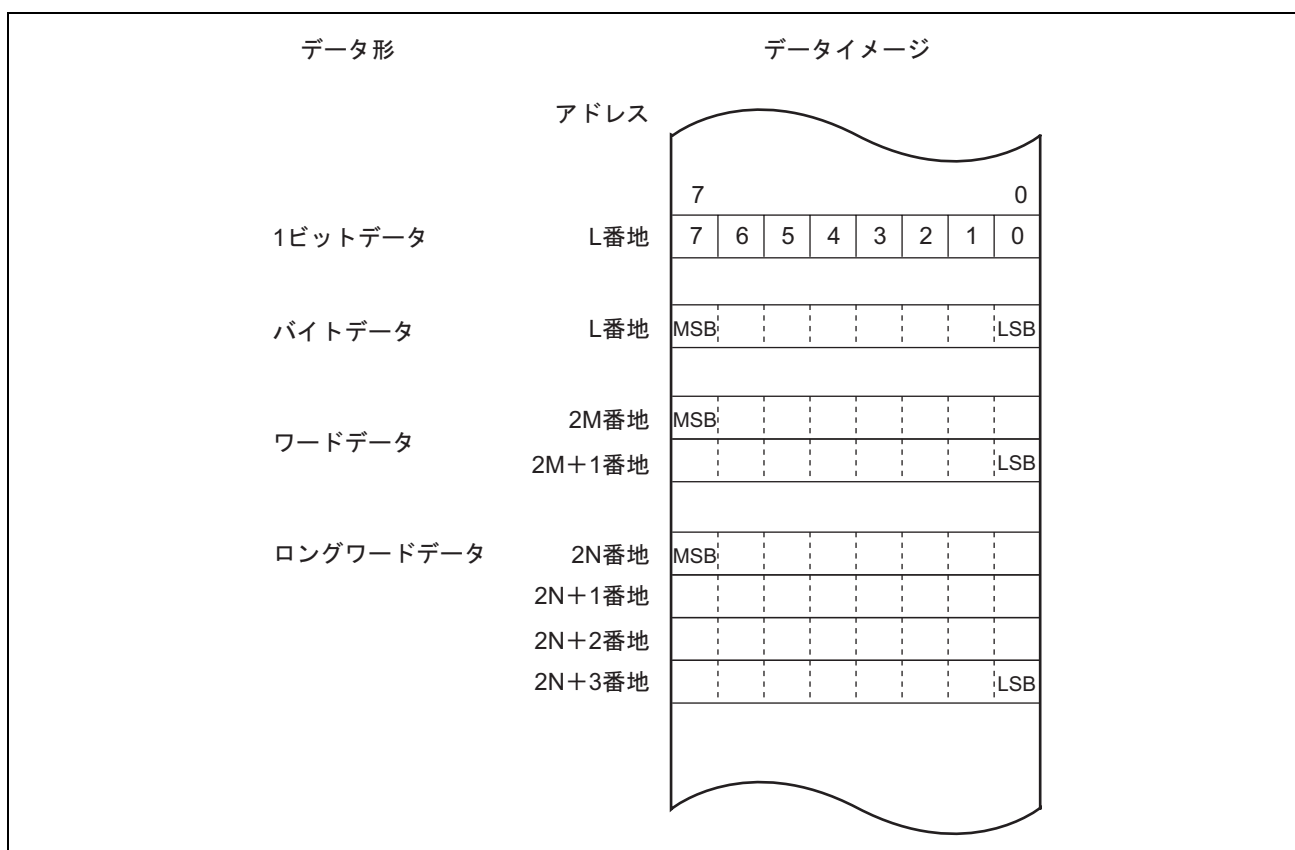


図 2.13 メモリ上でのデータ形式

2.7 命令セット

H8SX CPU の命令は合計 87 種類あり、各命令のもつ機能によって表 2.1 に示すように分類されます。

【注】 算術演算命令、論理演算命令、シフト命令、ビット操作命令を総称して演算命令と呼ぶ場合があります。

表 2.1 命令の分類

分類	命令	サイズ	種類
データ転送命令	MOV	B/W/L	6
	MOVFPPE、MOVTPPE	B	
	POP、PUSH* ¹	W/L	
	LDM、STM	L	
	MOVA	B/W* ²	
ブロック転送命令	EEPMOV	B	3
	MOVMD	B/W/L	
	MOVSD	B	
算術演算命令	ADD、ADDX、SUB、SUBX、CMP、NEG、INC、DEC	B/W/L	27
	DAA、DAS	B	
	ADDS、SUBS	L	
	MULXU、DIVXU、MULXS、DIVXS	B/W	
	MULU、DIVU、MULS、DIVS	W/L	
	MULU/U* ⁶ 、MULS/U* ⁶	L	
	EXTU、EXTS	W/L	
	TAS	B	
	MAC* ⁶	—	
	LDMAC* ⁶ 、STMAC* ⁶	—	
	CLRMAC* ⁶	—	
論理演算命令	AND、OR、XOR、NOT	B/W/L	4
シフト命令	SHLL、SHLR、SHAL、SHAR、ROTL、ROTR、ROTXL、ROTXR	B/W/L	8
ビット操作命令	BSET、BCLR、BNOT、BTST、BAND、BIAND、BOR、BIOR、BXOR、BIXOR、BLD、BILD、BST、BIST	B	20
	BSET/EQ、BSET/NE、BCLR/EQ、BCLR/NE、BSTZ、BISTZ	B	
	BFLD、BFST	B	
分岐命令	BRA/BS、BRA/BC、BSR/BS、BSR/BC	B* ³	9
	Bcc* ⁴ 、JMP、BSR、JSR、RTS	—	
	RTS/L	L* ⁵	
	BRA/S	—	

2. CPU

分類	命令	サイズ	種類
システム制御命令	TRAPA、RTE、SLEEP、NOP	—	10
	RTE/L	L* ⁵	
	LDC、STC、ANDC、ORC、XORC	B/W/L	
合計			87

【記号説明】

B : バイトサイズ

W : ワードサイズ

L : ロングワードサイズ

- 【注】 *1 POP.W Rn、PUSH.W Rn は MOV.W @SP+,Rn、MOV.W Rn, @-SP と同一です。また、POP.L ERn、PUSH.L ERn は MOV.L @SP+,ERn、MOV.L ERn, @-SP と同一です。
- *2 ディスプレースメントに加算するデータの指定方法
- *3 条件として指定するデータのサイズ
- *4 Bcc は条件分岐命令の総称です。
- *5 復帰する汎用レジスタのサイズ
- *6 乗算器サポート時のみ

2.7.1 命令とアドレッシングモードの組み合わせ

H8SX CPU で使用できる命令とアドレッシングモードの組み合わせを表 2.2 に示します。

表 2.2 命令とアドレッシングモードの組み合わせ (1)

分類	命令	サイズ	アドレッシングモード								
			#xx	Rn	@ERn	@(d,ERn)	@(d, RnL.B/ Rn.W/ ERn.L)	@-ERn/ @ERn+/ @ERn-/ @+ERn	@aa:8	@aa:16/ @aa:32	-
データ 転送命令	MOV	B/W/L	S	SD	SD	SD	SD	SD		SD	
		B		S/D					S/D		
	MOVFP,MOVTP	B		S/D						S/D* ¹	
	POP,PUSH	W/L		S/D				S/D* ²			
	LDM,STM	L		S/D				S/D* ²			
	MOVA* ⁴	B/W		S	S	S	S	S		S	
ブロック 転送命令	EEPMOV	B									SD* ³
	MOVMD	B/W/L									SD* ³
	MOVSD	B									SD* ³
算術演算命令	ADD,CMP	B	S	D	D	D	D	D	D	D	
		B		S	D	D	D	D	D	D	
		B		D	S	S	S	S	S	S	
		B			SD	SD	SD	SD			SD
		W/L	S	SD	SD	SD	SD	SD			SD
	SUB	B	S		D	D	D	D	D	D	
		B		S	D	D	D	D	D	D	
		B		D	S	S	S	S	S	S	
		B			SD	SD	SD	SD			SD
		W/L	S	SD	SD	SD	SD	SD			SD
	ADDX,SUBX	B/W/L	S	SD							
		B/W/L	S		SD						
		B/W/L	S						SD* ⁵		
	INC,DEC	B/W/L		D							
	ADDS,SUBS	L		D							
	DAA,DAS	B		D							
	MULXU,DIVXU	B/W	S : 4	SD							
MULU,DIVU	W/L	S : 4	SD								
MULXS,DIVXS	B/W	S : 4	SD								
MULS,DIVS	W/L	S : 4	SD								

2. CPU

分類	命令	サイズ	アドレッシングモード									
			#xx	Rn	@ERn	@(d,ERn)	@(d, RnL.B/ Rn.W/ ERn.L)	@-ERn/ @ERn+/ @ERn-/ @+ERn	@aa:8	@aa:16/ @aa:32	—	
算術演算命令	NEG	B		D	D	D	D	D	D	D		
		W/L		D	D	D	D	D		D		
	EXTU,EXTS	W/L		D	D	D	D	D		D		
	TAS	B			D							
	MAC* ¹²	—										
	CLRMAC* ¹²	—									○	
	LDMAC* ¹²	—		S								
論理演算命令	AND,OR,XOR	B		S	D	D	D	D	D	D		
		B		D	S	S	S	S	S	S		
		B			SD	SD	SD	SD		SD		
		W/L	S	SD	SD	SD	SD	SD		SD		
	NOT	B		D	D	D	D	D	D	D		
W/L			D	D	D	D	D		D			
シフト命令	SHLL,SHLR	B		D	D	D	D	D	D	D		
		W/L* ⁶		D	D	D	D	D		D		
		B/WL* ⁷		D								
	SHAL,SHAR,ROTL, ROTR,ROTXL, ROTXR	B		D	D	D	D	D	D	D		
		W/L		D	D	D	D	D		D		
ビット 操作命令	BSET,BCLR,BNOT, BTST,BSET/cc, BCLR/cc	B		D	D				D	D		
		B		D	D				D	D		
	BAND,BIAND,BOR, BIOR,BXOR, BIXOR,BLD,BILD, BST,BIST,BSTZ, BISTZ	BFLD	B		D	S				S	S	
		BFST	B		S	D				D	D	
		B										
分岐命令	BRA/BS,BRA/BC* ⁸	B			S				S	S		
	BSR/BS,BSR/BC* ⁸	B			S				S	S		
システム制御 命令	LDC (CCR,EXR)	B/W* ⁹	S	S	S	S			S* ¹⁰	S		
	LDC (VBR,SBR)	L		S								
	STC (CCR,EXR)	B/W* ⁹		D	D	D			D* ¹¹	D		

分類	命令	サイズ	アドレッシングモード									
			#xx	Rn	@ERn	@(d,ERn)	@(d, RnL.B/ Rn.W/ ERn.L)	@-ERn/ @ERn+/ @ERn-/ @+ERn	@aa:8	@aa:16/ @aa:32	—	
システム制御 命令	STC (VBR,SBR)	L		D								
	ANDC,ORC,XORC	B	S									
	SLEEP	—										○
	NOP	—										○

【記号説明】

- d : d : 16 または d : 32
S : ソースとして指定可能
D : デスティネーションとして指定可能
SD : ソースまたはデスティネーションの一方または両方として指定可能
S/D : ソースまたはデスティネーションの一方として指定可能
S:4 : ソースとして4ビットイミディエイトデータを指定可能

【注】

- *1 @aa:16 のみ
*2 ソースのとき@ERn+、デスティネーションのとき@-ERn
*3 データ転送のソースのアドレスはER5、デスティネーションのアドレスはER6
*4 ディスプレースメントに加算するデータの指定方法
*5 @ERnのみ
*6 シフトビット数が1、2、4、8または16ビットのとき
*7 シフトビット数を5ビットイミディエイトデータまたは汎用レジスタで指定するとき
*8 条件として指定するデータの指定方法
*9 イミディエイトまたはレジスタ直接のときバイト、そのほかのときワード
*10 @ERn+のみ
*11 @-ERnのみ
*12 乗算器サポート時のみ

2. CPU

表 2.2 命令とアドレッシングモードの組み合わせ (2)

分類	命令	サイズ	アドレッシングモード							
			@ERn	@(d,PC)	@(RnL.B/ Rn.W/ ERn.L,PC)	@aa:24	@aa:32	@@aa:8	@@vec:7	—
分岐命令	BRA/BS、BRA/BC	—		○						
	BSR/BS、BSR/BC	—		○						
	Bcc	—		○						
	BRA	—		○	○					
	BRA/S	—		○*						
	JMP	—	○			○	○	○	○	
	BSR	—		○						
	JSR	—	○			○	○	○	○	
	RTS、RTS/L	—								○
システム制御命令	TRAPA	—								○
	RTE、RTE/L	—								○

【記号説明】

d:d:8 または d:16

【注】 * @(d:8,PC)のみ

2.7.2 命令の機能別一覧

各命令の機能を表 2.4～表 2.11 に示します。各表で使用しているオペレーションの記号の意味を表 2.3 に示します。

表 2.3 オペレーションの記号

記号	説明
Rd	汎用レジスタ（デスティネーション側）*
Rs	汎用レジスタ（ソース側）*
Rn	汎用レジスタ*
ERn	汎用レジスタ（32 ビットレジスタ）
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
VBR	ベクタベースレジスタ
SBR	ショートアドレスベースレジスタ
N	CCR の N（ネガティブ）フラグ
Z	CCR の Z（ゼロ）フラグ
V	CCR の V（オーバフロー）フラグ
C	CCR の C（キャリ）フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレイースメント
+	加算
-	減算
×	乗算
÷	除算
∧	論理積
∨	論理和
⊕	排他的論理和
→	転送
~	反転論理（論理的補数）
:8/:16/:24/:32	8/16/24/32 ビット長

【注】 * 汎用レジスタは、8 ビット（R0H～R7H、R0L～R7L）、16 ビット（R0～R7、E0～E7）、または 32 ビットレジスタ（ER0～ER7）です。

2. CPU

表 2.4 データ転送命令

命令	サイズ	機能
MOV	B/W/L	#IMM→(EAd)、(EAs)→(EAd) イミディエイトデータ、汎用レジスタ、またはメモリの間でデータ転送を行います。
MOVFPE	B	(EAs)→Rd
MOVTPE	B	Rs→(EAs)
POP	W/L	@SP+→Rn スタックから汎用レジスタへその内容を復帰します。
PUSH	W/L	Rn→@-SP 汎用レジスタの内容をスタックに退避します。
LDM	L	@SP+→Rn (レジスタ群) スタックから複数の汎用レジスタへその内容を復帰します。連続した番号の2、3または4本の汎用レジスタを指定できます。
STM	L	Rn (レジスタ群)→@-SP 複数の汎用レジスタの内容をスタックに退避します。連続した番号の2、3または4本の汎用レジスタを指定できます。
MOVA	B/W	EA→Rd 指定した汎用レジスタまたはメモリのデータをゼロ拡張およびシフトして、ディスプレイメントに加算し、結果を汎用レジスタに格納します。

表 2.5 ブロック転送命令

命令	サイズ	機能
EPMOV.B EPMOV.W	B	ブロック転送命令です。ER5で示されるアドレスから始まり、R4またはR4Lで指定される数のバイトデータを、ER6で示されるアドレスへ転送します。
MOVMD.B	B	ブロック転送命令です。ER5で示されるアドレスから始まり、R4で指定される数のバイトデータを、ER6で示されるアドレスへ転送します。
MOVMD.W	W	ブロック転送命令です。ER5で示されるアドレスから始まり、R4で指定される数のワードデータを、ER6で示されるアドレスへ転送します。
MOVMD.L	L	ブロック転送命令です。ER5で示されるアドレスから始まり、R4で指定される数のロングワードデータを、ER6で示されるアドレスへ転送します。
MOVSD.B	B	ゼロデータ検出付きのブロック転送命令です。ER5で示されるアドレスから始まり、R4で指定される数のバイトデータを、ER6で示されるアドレスへ転送します。途中でゼロデータが検出されると、データ転送を打ち切り、指定したアドレスに分岐します。

表 2.6 算術演算命令

命令	サイズ	機能
ADD SUB	B/W/L	(EAd) ±#IMM → (EAd)、(EAd) ± (EAs) → (EAd) イミディエイトデータ、汎用レジスタ、またはメモリの間でデータの加減算を行います。バイトサイズでの汎用レジスタとイミディエイトデータの減算はできません。
ADDX SUBX	B/W/L	(EAd) ±#IMM±C → (EAd)、(EAd) ± (EAs) ± C → (EAd) イミディエイトデータ、汎用レジスタ、またはメモリの間でデータのキャリ付きの加減算を行います。メモリを指定するアドレッシングモードは、レジスタ間接、ポストデクリメントレジスタ間接です。
INC DEC	B/W/L	Rd±1→Rd、Rd±2→Rd 汎用レジスタに 1 または 2 を加減算します (バイトサイズでは 1 の加減算のみ可能です)。
ADDS SUBS	L	Rd±1→Rd、Rd±2→Rd、Rd±4→Rd 汎用レジスタに 1、2 または 4 を加減算します。
DAA DAS	B	Rd (10 進補正) → Rd 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット 2 桁 BCD データに補正します。
MULXU	B/W	Rd × Rs → Rd 汎用レジスタと汎用レジスタの間の符号なし乗算を行います。 8 ビット × 8 ビット → 16 ビット、16 ビット × 16 ビット → 32 ビットの乗算が可能です。
MULU	W/L	Rd × Rs → Rd 汎用レジスタと汎用レジスタの間の符号なし乗算を行います。 16 ビット × 16 ビット → 16 ビット、32 ビット × 32 ビット → 32 ビットの乗算が可能です。
MULU/U*	L	Rd × Rs → Rd 汎用レジスタと汎用レジスタの間の 32 ビット × 32 ビットの符号なし乗算を行い、結果の上位 32 ビットを得ます。
MULXS	B/W	Rd × Rs → Rd 汎用レジスタと汎用レジスタの間の符号付き乗算を行います。 8 ビット × 8 ビット → 16 ビット、16 ビット × 16 ビット → 32 ビットの乗算が可能です。
MULS	W/L	Rd × Rs → Rd 汎用レジスタと汎用レジスタの間の符号付き乗算を行います。 16 ビット × 16 ビット → 16 ビット、32 ビット × 32 ビット → 32 ビットの乗算が可能です。
MULS/U*	L	Rd × Rs → Rd 汎用レジスタと汎用レジスタの間の 32 ビット × 32 ビットの符号付き乗算を行い、結果の上位 32 ビットを得ます。
DIVXU	B/W	Rd ÷ Rs → Rd 汎用レジスタと汎用レジスタの間の符号なし除算を行います。 16 ビット ÷ 8 ビット → 商 8 ビット 余り 8 ビット、32 ビット ÷ 16 ビット → 商 16 ビット 余り 16 ビットの除算が可能です。

2. CPU

命令	サイズ	機能
DIVU	W/L	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタの間の符号なし除算を行います。 16 ビット \div 16 ビット \rightarrow 商 16 ビット、32 ビット \div 32 ビット \rightarrow 商 32 ビットの除算が可能です。
DIVXS	B/W	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタの間の符号付き除算を行います。 16 ビット \div 8 ビット \rightarrow 商 8 ビット余り 8 ビット、32 ビット \div 16 ビット \rightarrow 商 16 ビット余り 16 ビットの除算が可能です。
DIVS	W/L	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタの間の符号付き除算を行います。 16 ビット \div 16 ビット \rightarrow 商 16 ビット、32 ビット \div 32 ビット \rightarrow 商 32 ビットの除算が可能です。
CMP	B/W/L	(EAd) - #IMM、(EAd) - (EAs) イミディエイトデータ、汎用レジスタ、またはメモリの間でデータの比較を行い、その結果をCCRに格納します。
NEG	B/W/L	$0 - (EAd) \rightarrow (EAd)$ 汎用レジスタまたはメモリの内容の2の補数（算術的補数）を取ります。
EXTU	W/L	(EAd) (ゼロ拡張) \rightarrow (EAd) 汎用レジスタまたはメモリの下位 8 ビットまたは 16 ビットを、ワードサイズまたはロングワードサイズにゼロ拡張します。 下位 8 ビット \rightarrow ワードサイズ、下位 8 ビット \rightarrow ロングワードサイズ、下位 16 ビット \rightarrow ロングワードサイズのゼロ拡張が可能です。
EXTS	W/L	(EAd) (符号拡張) \rightarrow (EAd) 汎用レジスタまたはメモリの下位 8 ビットまたは 16 ビットを、ワードサイズまたはロングワードサイズに符号拡張します。 下位 8 ビット \rightarrow ワードサイズ、下位 8 ビット \rightarrow ロングワードサイズ、下位 16 ビット \rightarrow ロングワードサイズの符号拡張が可能です。
TAS	B	@ERd - 0、1 \rightarrow (<ビット 7>of@EAd) メモリの内容をテストした後、最上位ビット（ビット 7）を 1 にセットします。
MAC*	-	(EAd) \times (EAs) + MAC \rightarrow MAC メモリとメモリの間の符号付乗算を行い、結果を MAC に加算します。
CLRMAC*	-	0 \rightarrow MAC MAC をゼロクリアします。
LDMAC*	-	Rs \rightarrow MAC 汎用レジスタの内容を MAC に転送します。
STMAC*	-	MAC \rightarrow Rd MAC の内容を汎用レジスタに転送します。

【注】 * 乗算器サポート時のみ

表 2.7 論理演算命令

命令	サイズ	機能
AND	B/W/L	$(EAd) \wedge \#IMM \rightarrow (EAd)$ 、 $(EAd) \wedge (EAs) \rightarrow (EAd)$ イミディエイトデータ、汎用レジスタ、またはメモリの間でデータの論理積を取ります。
OR	B/W/L	$(EAd) \vee \#IMM \rightarrow (EAd)$ 、 $(EAd) \vee (EAs) \rightarrow (EAd)$ イミディエイトデータ、汎用レジスタ、またはメモリの間でデータの論理和を取ります。
XOR	B/W/L	$(EAd) \oplus \#IMM \rightarrow (EAd)$ 、 $(EAd) \oplus (EAs) \rightarrow (EAd)$ イミディエイトデータ、汎用レジスタ、またはメモリの間でデータの排他的論理和を取ります。
NOT	B/W/L	$\sim (EAd) \rightarrow (EAd)$ 汎用レジスタまたはメモリの内容の1の補数（論理的補数）を取ります。

表 2.8 シフト命令

命令	サイズ	機能
SHLL SHLR	B/W/L	(EAd) （シフト処理） $\rightarrow (EAd)$ 汎用レジスタまたはメモリの内容を論理的にシフトします。汎用レジスタまたはメモリに対して1、2、4、8または16ビットのシフトが可能です。汎用レジスタに対しては、任意ビットのシフトが可能です。この場合、シフトビット数は、5ビットのイミディエイトデータまたは汎用レジスタの内容下位5ビットで指定します。
SHAL SHAR	B/W/L	(EAd) （シフト処理） $\rightarrow (EAd)$ 汎用レジスタまたはメモリの内容を算術的にシフトします。1または2ビットのシフトが可能です。
ROTL ROTR	B/W/L	(EAd) （ローテート処理） $\rightarrow (EAd)$ 汎用レジスタまたはメモリの内容をローテートします。1または2ビットのシフトが可能です。
ROTXL ROTXR	B/W/L	(EAd) （ローテート処理） $\rightarrow (EAd)$ 汎用レジスタまたはメモリの内容をキャリフラグを含めてローテートします。1または2ビットのシフトが可能です。

2. CPU

表 2.9 ビット操作命令

命令	サイズ	機能
BSET	B	1→ (<ビット番号>of<EAd>) 汎用レジスタまたはメモリの指定された1ビットを1にセットします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BSET/cc	B	if cc, 1→ (<ビット番号>of<EAd>) 指定した条件が成立しているとき、メモリの指定された1ビットを1にセットします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。条件は、Z=1、Z=0が指定可能です。
BCLR	B	0→ (<ビット番号>of<EAd>) 汎用レジスタまたはメモリの指定された1ビットを0にクリアします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BCLR/cc	B	if cc, 0→ (<ビット番号>of<EAd>) 指定した条件が成立しているとき、メモリの指定された1ビットを0にクリアします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。条件は、Z=1、Z=0が指定可能です。
BNOT	B	~ (<ビット番号>of<EAd>) → (<ビット番号>of<EAd>) 汎用レジスタまたはメモリの指定された1ビットを反転します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BTST	B	~ (<ビット番号>of<EAd>) → Z 汎用レジスタまたはメモリの指定された1ビットをテストし、ゼロフラグに反映します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BAND	B	C ∧ (<ビット番号>of<EAd>) → C 汎用レジスタまたはメモリの指定された1ビットとキャリフラグとの論理積をとり、結果をキャリフラグに格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BIAND	B	C ∧ [~ (<ビット番号>of<EAd>)] → C 汎用レジスタまたはメモリの指定された1ビットを反転し、キャリフラグとの論理積をとり、結果をキャリフラグに格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BOR	B	C ∨ (<ビット番号>of<EAd>) → C 汎用レジスタまたはメモリの指定された1ビットとキャリフラグとの論理和をとり、結果をキャリフラグに格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BIOR	B	C ∨ [~ (<ビット番号>of<EAd>)] → C 汎用レジスタまたはメモリの指定された1ビットを反転し、キャリフラグとの論理和をとり、結果をキャリフラグに格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BXOR	B	C ⊕ (<ビット番号>of<EAd>) → C 汎用レジスタまたはメモリの指定された1ビットとキャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。ビット番号は、3ビットのイミディエイトデータで指定します。

命令	サイズ	機能
BIXOR	B	$C \oplus [\sim (<\text{ビット番号}> \text{of} <\text{EAd}>)] \rightarrow C$ 汎用レジスタまたはメモリの指定された1ビットを反転し、キャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BLD	B	$(<\text{ビット番号}> \text{of} <\text{EAd}>) \rightarrow C$ 汎用レジスタまたはメモリの指定された1ビットをキャリフラグに転送します。ビット番号は、3ビットのイミディエイトデータで指定します。
BILD	B	$\sim (<\text{ビット番号}> \text{of} <\text{EAd}>) \rightarrow C$ 汎用レジスタまたはメモリの指定された1ビットを反転し、キャリフラグに転送します。ビット番号は、3ビットのイミディエイトデータで指定します。
BST	B	$C \rightarrow (<\text{ビット番号}> \text{of} <\text{EAd}>)$ 汎用レジスタまたはメモリの指定された1ビットに、キャリフラグの内容を転送します。ビット番号は、3ビットのイミディエイトデータで指定します。
BSTZ	B	$Z \rightarrow (<\text{ビット番号}> \text{of} <\text{EAd}>)$ メモリの指定された1ビットに、ゼロフラグの内容を転送します。ビット番号は、3ビットのイミディエイトデータで指定します。
BIST	B	$\sim C \rightarrow (<\text{ビット番号}> \text{of} <\text{EAd}>)$ 汎用レジスタまたはメモリの指定された1ビットに、キャリフラグを反転して転送します。ビット番号は、3ビットのイミディエイトデータで指定します。
BISTZ	B	$\sim Z \rightarrow (<\text{ビット番号}> \text{of} <\text{EAd}>)$ メモリの指定された1ビットに、ゼロフラグを反転して転送します。ビット番号は、3ビットのイミディエイトデータで指定します。
BFLD	B	$(\text{EAs}) (\text{ビットフィールド}) \rightarrow \text{Rd}$ メモリのオペランドの指定したビットフィールドを、指定した汎用レジスタの下位側に転送します。
BFST	B	$\text{Rs} \rightarrow (\text{EAd}) (\text{ビットフィールド})$ メモリのオペランドの指定したビットフィールドへ、指定した汎用レジスタの下位側を転送します。

2. CPU

表 2.10 分岐命令

命令	サイズ	機能
BRA/BS BRA/BC	B	メモリのオペランドの指定したビットをテストし、指定した条件が成立しているとき、指定されたアドレスへ分岐します。
BSR/BS BSR/BC	B	メモリのオペランドの指定したビットをテストし、指定した条件が成立しているとき、指定されたアドレスへサブルーチン分岐します。
Bcc	—	指定した条件が成立しているとき、指定されたアドレスへ分岐します。
BRA/S	—	次の命令を実行した後、指定されたアドレスに無条件に分岐します。次の命令は1ワード命令で、かつブロック転送命令、分岐命令以外に限定されます。
JMP	—	指定されたアドレスへ無条件に分岐します。
BSR	—	指定されたアドレスへサブルーチン分岐します。
JSR	—	指定されたアドレスへサブルーチン分岐します。
RTS	—	サブルーチンから復帰します。
RTS/L	—	スタックから複数の汎用レジスタへその内容を復帰し、サブルーチンから復帰します。

表 2.11 システム制御命令

命令	サイズ	機能
TRAPA	—	命令トラップ例外処理を行います。
RTE	—	例外処理ルーチンから復帰します。
RTE/L	—	スタックから複数の汎用レジスタへその内容を復帰し、例外処理ルーチンから復帰します。
SLEEP	—	低消費電力状態に遷移します。
LDC	B/W	#IMM→CCR、(EAs)→CCR、#IMM→EXR、(EAs)→EXR イミディエイトデータ、汎用レジスタまたはメモリの内容を CCR、EXR へ転送します。CCR、EXR は 8 ビットですが、メモリとの転送はワードサイズで行われ、上位 8 ビットが有効です。
	L	Rs→VBR、Rs→SBR 汎用レジスタの内容を VBR、SBR へ転送します。
STC	B/W	CCR→(EAd)、EXR→(EAd) CCR、EXR の内容を汎用レジスタまたはメモリへ転送します。 CCR、EXR は 8 ビットですが、メモリとの転送はワードサイズで行われ、上位 8 ビットが有効です。
	L	VBR→Rd、SBR→Rd VBR、SBR の内容を汎用レジスタへ転送します。
ANDC	B	CCR∧#IMM→CCR、EXR∧#IMM→EXR CCR、EXR とイミディエイトデータの論理積をとります。
ORC	B	CCR∨#IMM→CCR、EXR∨#IMM→EXR CCR、EXR とイミディエイトデータの論理和をとります。
XORC	B	CCR⊕#IMM→CCR、EXR⊕#IMM→EXR CCR、EXR とイミディエイトデータの排他的論理和をとります。
NOP	—	PC+2→PC PC のインクリメントだけを行います。

2.7.3 命令の基本フォーマット

H8SX CPU の命令は、2 バイト (ワード) を単位にしています。各命令はオペレーションフィールド (op)、レジスタフィールド (r)、EA 拡張部 (EA)、およびコンディションフィールド (cc) から構成されています。

図 2.14 に命令フォーマットの例を示します。

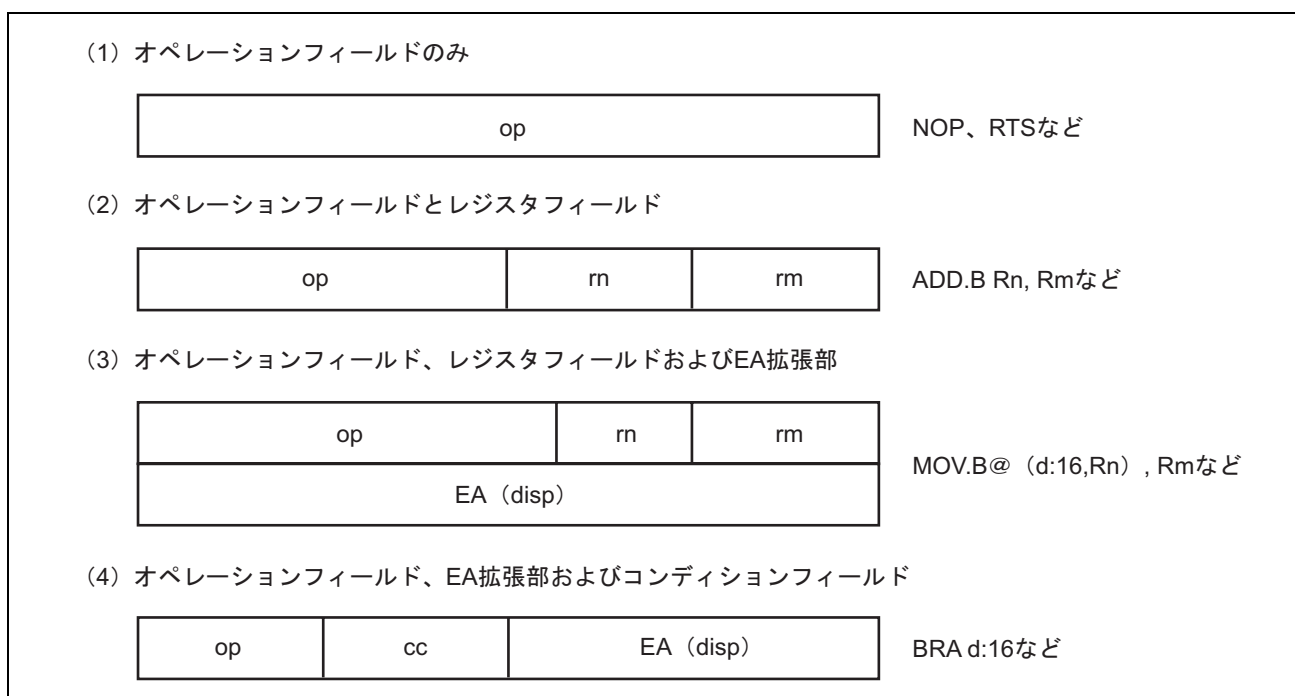


図 2.14 命令フォーマットの例

- オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭 4 ビットを必ず含みます。2つのオペレーションフィールドを持つ場合もあります。

- レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき 3 ビット、データレジスタのとき 3 ビットまたは 4 ビットです。2つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

- EA拡張部

イミディエイトデータ、絶対アドレスまたはディスプレイースメントを指定します。8 ビット、16 ビット、または 32 ビットです。

- コンディションフィールド

Bcc 命令の分岐条件を指定します。

2.8 アドレッシングモードと実効アドレスの計算方法

H8SX CPU は表 2.12 に示すように、11 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードは異なります。

ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレスが使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接 (BSET、BCLR、BNOT、BTST の各命令)、およびイミディエイト (3 ビット) が独立して使用できます。

表 2.12 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディスプレースメント付レジスタ間接	@(d:2,ERn)/@(d:16,ERn)/@(d:32,ERn)
4	ディスプレースメント付インデックスレジスタ間接	@(d:16,RnL.B)/@(d:16,Rn.W)/@(d:16,ERn.L) @(d:32,RnL.B)/@(d:32,Rn.W)/@(d:32,ERn.L)
5	ポストインクリメントレジスタ間接	@ERn+
	プリデクリメントレジスタ間接	@-ERn
	プリインクリメントレジスタ間接	@+ERn
	ポストデクリメントレジスタ間接	@ERn-
6	絶対アドレス	@aa:8/@aa:16/@aa:24/@aa:32
7	イミディエイト	#xx:3/#xx:4/#xx:8/#xx:16/#xx:32
8	プログラムカウンタ相対	@(d:8,PC)/@(d:16,PC)
9	プログラムカウンタインデックスレジスタ相対	@(RnL.B,PC)/@(Rn.W,PC)/@(ERn.L,PC)
10	メモリ間接	@@aa:8
11	拡張メモリ間接	@@ vec:7

2.8.1 レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8 ビット、16 ビットまたは 32 ビット) が、オペランドとなります。

8 ビットレジスタとしては、R0H~R7H、R0L~R7L を指定可能です。

16 ビットレジスタとしては、R0~R7、E0~E7 を指定可能です。

32 ビットレジスタとしては、ER0~ER7 を指定可能です。

2.8.2 レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容を、アドレスとしてメモリ上のオペランドを指定します。

アドバンスモードのとき、分岐命令では下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) と見なされます。

2.8.3 ディスプレースメント付レジスタ間接 @ (d:2,ERn) /@ (d:16,ERn) /@ (d:32,ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容に、命令コード中に含まれる 16 ビットディスプレースメント、または 32 ビットディスプレースメントを加算した内容をアドレスとしてメモリ上のオペランドを指定します。加算に際して、16 ビットディスプレースメントは符号拡張されません。

また、データのサイズがバイトの場合は、ディスプレースメントが 1、2、3 のとき短縮形@ (d:2,ERn) が用意されています。同様に、ワードの場合は 2、4、6 のとき、ロングワードの場合は 4、8、12 のとき、それぞれ短縮形@ (d:2,ERn) が用意されています。

2.8.4 ディスプレースメント付インデックスレジスタ間接 @(d:16,RnL.B)/@(d:32,RnL.B)/@(d:16,Rn.W)/@(d:32,Rn.W)/@(d:16,ERn.L)/@(d:32,ERn.L)

命令コードのレジスタフィールドで指定されるアドレスレジスタの指定されたビット数 (RnL、Rn、ERn) の内容を 32 ビットにゼロ拡張し、1、2 または 4 を乗算し、乗算結果と命令コード中に含まれる 16 ビットディスプレースメント、または 32 ビットディスプレースメントを加算した内容を、アドレスとしてメモリ上のオペランドを指定します。指定するメモリ上のオペランドサイズに応じて、バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 が、それぞれ乗算されます。加算に際して、16 ビットディスプレースメントは符号拡張されます。

2.8.5 プリ/ポストインクリメント/デクリメントレジスタ間接 @ERn+/@-ERn/@+ERn/@ERn-

(1) ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容を、アドレスとしてメモリ上のオペランドを指定します。その後、アドレスレジスタの内容に 1、2 または 4 が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 が、それぞれ加算されます。

(2) プリデクリメントレジスタ間接 @-ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から、1、2 または 4 を減算した内容を、アドレスとしてメモリ上のオペランドを指定します。その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4、がそれぞれ減算されます。

(3) プリインクリメントレジスタ間接 @+ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から、1、2 または 4 を加算した内容を、アドレスとしてメモリ上のオペランドを指定します。その後、加算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4が、それぞれ加算されます。

(4) ポストデクリメントレジスタ間接 @ERn-

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容を、アドレスとしてメモリ上のオペランドを指定します。その後、アドレスレジスタの内容に1、2 または 4 が減算され、減算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4が、それぞれ減算されます。

以上の(1)~(4)の場合、アドレスレジスタで指定した汎用レジスタをデータレジスタとして、メモリへのライトを行う場合、実効アドレス計算後の汎用レジスタの内容がライトされます。また、同一の汎用レジスタを指定して2つの実効アドレス計算を行う場合、1回目の実効アドレス計算後の汎用レジスタの内容が、2回目の実効アドレス計算に用いられます。

例1 MOV.W R0, @ER0+

実行前のER0がH'12345678のときH'12345678番地にH'567Aがライトされます。

例2 MOV.B @ER0+, @ER0+

実行前のER0がH'00001000のときH'00001000番地をリードし、H'00001001番地へライトします。

実行後のER0はH'00001002です。

2.8.6 絶対アドレス @aa:8/@aa:16/@aa:24/@aa:32

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。

絶対アドレスは8ビット (@aa:8)、16ビット (@aa:16)、24ビット (@aa:24)、または32ビット (@aa:32)です。

データ領域としては、8ビット (@aa:8)、16ビット (@aa:16)、または32ビット (@aa:32)を使用します。8ビット絶対アドレスの場合、上位24ビットはSBRで指定されます。16ビット絶対アドレスの場合、上位16ビットは符号拡張されます。32ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

プログラム領域としては24ビット (@aa:24)、または32ビット (@aa:32)を使用します。24ビット (@aa:24)のとき上位8ビットはすべて0 (H'00) となります。

絶対アドレスのアクセス範囲を表 2.13 に示します。

表 2.13 絶対アドレスのアクセス範囲

絶対アドレス		ノーマルモード	ミドルモード	アドバンスモード	マキシマムモード
データ領域	8ビット (@aa:8)	SBR を上位アドレスとした任意の連続した 256 バイト			
	16ビット (@aa:16)	H'0000~H'FFFF	H'000000~ H'007FFF、 H'FF8000~ H'FFFFFF	H'00000000~H'00007FFF、 H'FFFF8000~H'FFFFFFF	
	32ビット (@aa:32)			H'00000000~H'FFFFFFF	
プログラム領域	24ビット (@aa:24)			H'000000~ H'FFFFFF	H'00000000~H'00FFFFFF
	32ビット (@aa:32)	H'00000000~ H'00FFFFFF	H'00000000~ H'FFFFFFF		

2.8.7 イミディエイト #xx

命令コード中に含まれる 8 ビット (#xx:8)、16 ビット (#xx:16)、または 32 ビット (#xx:32) のデータを直接オペランドとして使用します。

短縮形として、3 ビットまたは 4 ビットのイミディエイトデータを使用可能な場合があります。

データのサイズ (バイト/ワード/ロングワード) より、イミディエイトデータのビット数が小さい場合にはゼロ拡張されます。

なお、ADDS、SUBS、INC、DEC 命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが命令コード中に含まれる場合があります。BFLD、BFST 命令では、ビットフィールドを指定するための 8 ビットのイミディエイトデータが命令コードの中に含まれます。また、TRAPA 命令では、ベクタアドレスを指定するための 2 ビットのイミディエイトデータが命令コードの中に含まれます。

2.8.8 プログラムカウンタ相対 @ (d:8, PC) /@ (d:16, PC)

Bcc、BSR 命令で使用されます。PC の内容で指定される 32 ビットのアドレスに、命令コード中に含まれる 8 ビット、または 16 ビットディスプレースメントを加算して、32 ビットの分岐アドレスを生成します。加算に際して、ディスプレースメントは 32 ビットに符号拡張されます。また、加算される PC の内容は、次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して、-126~+128 バイト (-63~+64 ワード)、または-32766~+32768 バイト (-16383~+16384 ワード) です。このとき、加算結果が偶数となるようにしてください。アドバンスモードのとき、加算結果は下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) と見なされます。

2.8.9 プログラムカウンタインデックス相対 @ (RnL,B, PC) /@ (Rn,W, PC) / @ (ERn.L, PC)

Bcc、BSR 命令で使用されます。命令コードのレジスタフィールドで指定されるアドレスレジスタの指定されたビット数 (RnL、Rn、ERn) の内容を 32 ビットにゼロ拡張し、2 を乗算し、乗算結果と PC の内容で指定される 32 ビットのアドレスを加算して、32 ビットの分岐アドレスを生成します。加算される PC の内容は、次の命令の先頭アドレスとなっています。アドバンスモードのとき、加算結果は下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) と見なされます。

2.8.10 メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。命令コード中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。

8 ビット絶対アドレスの上位ビットはすべて 0 となりますので、分岐アドレスを格納できるのは、0~255 (ノーマルモードのとき H'0000~H'00FF、ノーマルモード以外のとき H'000000~H'0000FF) 番地です。

ノーマルモードの場合は、メモリ上のオペランドはワードサイズで指定し、16 ビットの分岐アドレスを生成します。

そのほかの場合は、メモリ上のオペランドはロングワードサイズで指定します。ミドルモードとアドバンスモードの場合は、このうち先頭の 1 バイトはすべて 0 (H'00) とみなされます。

ただし、分岐アドレスを格納可能なアドレスの先頭領域は、例外処理ベクタ領域と共通になっていますので注意してください。なお、リセットおよび CPU アドレスエラー以外の例外処理ベクタのアドレスは VBR で変更できます。

メモリ間接による分岐アドレスの指定を図 2.15 に示します。

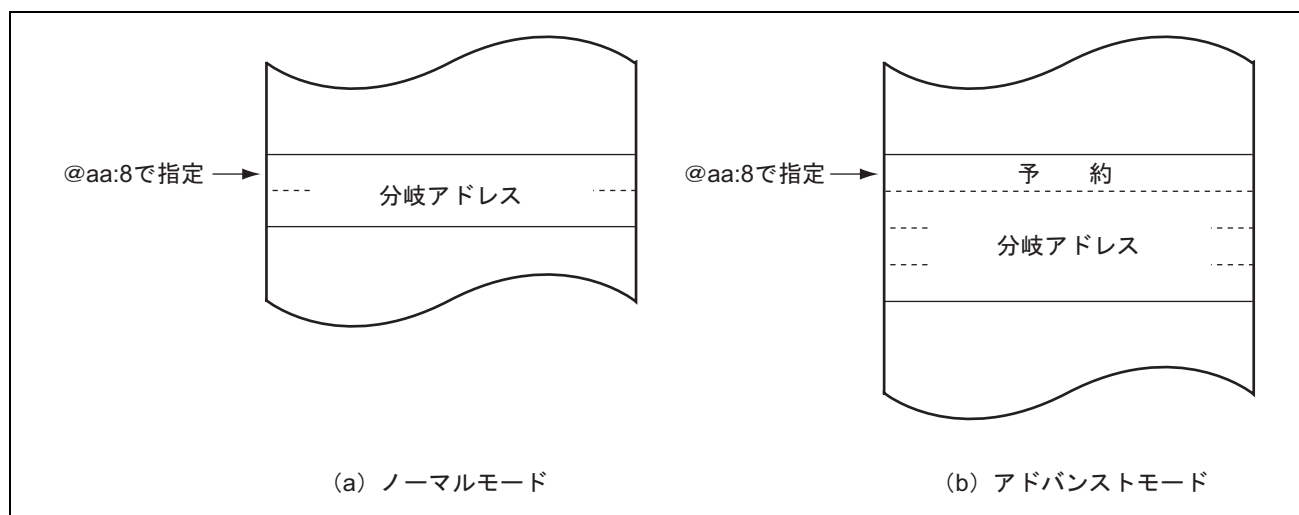


図 2.15 メモリ間接による分岐アドレスの指定

2.8.11 拡張メモリ間接 @@vec:7

JMP、JSR 命令で使用されます。命令コード中に含まれる 7 ビットのデータに H'80 を加算し、2 または 4 を乗算し、乗算結果でメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。

分岐アドレスを格納できるのは、ノーマルモードのとき H'0100~H'01FF、ノーマルモード以外るとき H'000200~H'0003FF 番地です。なお、アセンブラ表記上は、分岐アドレスを格納するアドレスを指定します。

ノーマルモードの場合は、メモリ上のオペランドはワードサイズで指定し、16 ビットの分岐アドレスを生成します。

そのほかの場合は、メモリ上のオペランドはロングワードサイズで指定します。ミドルモードとアドバンスモードの場合は、このうち先頭の 1 バイトはすべて 0 (H'00) と見なされます。

2.8.12 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス (EA : Effective Address) の計算法を表 2.14、表 2.15 に示します。

CPU 動作モードに応じて、実効アドレス計算結果の下位ビットが有効になり、上位ビットは無視 (ゼロ拡張、または符号拡張) されます。

たとえばミドルモードのとき、

1. 転送命令、演算命令の実効アドレスの下位 16 ビットが有効になり、上位 16 ビットは符号拡張されます。
2. 分岐命令では、実効アドレスの下位 24 ビットが有効になり、上位 8 ビットはゼロ拡張されます。

表 2.14 転送/演算命令の実効アドレスの計算方法



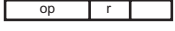

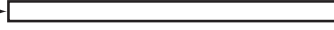

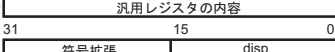
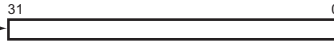


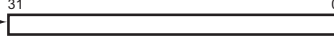

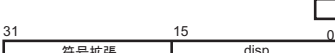
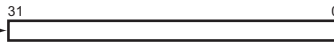
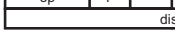

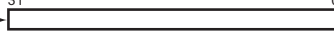
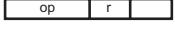
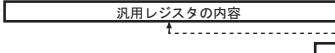
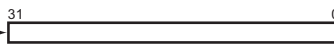

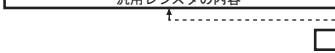

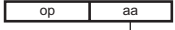
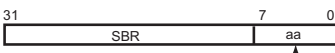
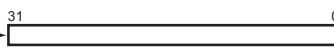
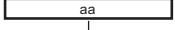
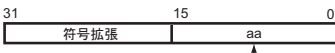
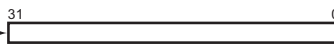

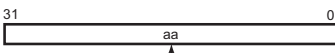
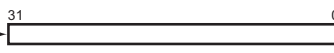
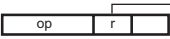

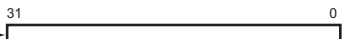




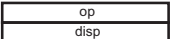

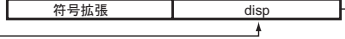

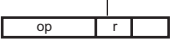
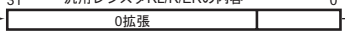

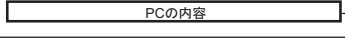

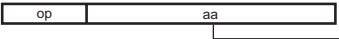
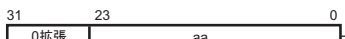

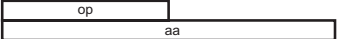


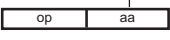

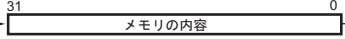

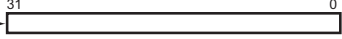
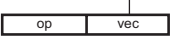
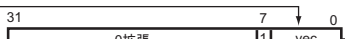

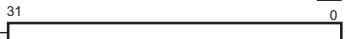
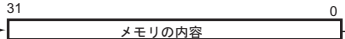

No.	アドレッシングモード・命令フォーマット	実効アドレスの計算方法	実効アドレス (EA)
1	イミディエイト 		
2	レジスタ直接 		
3	レジスタ間接 		
4	・16ビットディスプレイメント付きレジスタ間接 		
	・32ビットディスプレイメント付きレジスタ間接 		
5	・16ビットディスプレイメントインデックスレジスタ間接 		
	・32ビットディスプレイメントインデックスレジスタ間接 		
6	・ポストインクリメント/デクリメントレジスタ間接 		
	・プリインクリメント/デクリメントレジスタ間接 		
7	・8ビット絶対アドレス 		
	・16ビット絶対アドレス 		
	・32ビット絶対アドレス 		

表 2.15 分岐命令の実効アドレスの計算方法

No.	アドレッシングモード・命令フォーマット	実効アドレスの計算方法	実効アドレス (EA)
1	レジスタ間接 	汎用レジスタの内容 	31 0 
2	・プログラムカウンタ相対ディスプレイメント8ビット 	PCの内容  符号拡張 7 disp  $+$	31 0 
	・プログラムカウンタ相対ディスプレイメント16ビット 	PCの内容  符号拡張 15 disp  $+$	31 0 
3	プログラムカウンタインデックスレジスタ相対 	汎用レジスタRL/R/ERの内容 0拡張  \times 2  $+$ PCの内容  $+$	31 0 
4	・24ビット絶対アドレス 	0拡張 aa 	31 0 
	・32ビット絶対アドレス 	aa 	31 0 
5	メモリ間接 	0拡張 aa   メモリの内容 	31 0 
6	拡張メモリ間接 	0拡張 7 vec  \times 2 or 4  $+$  メモリの内容 	31 0 

2.8.13 MOVA 命令

MOVA 命令は、実効アドレスを汎用レジスタに格納します。

- 表2.14のNo.2のアドレッシングモードでデータを取得します。
- 次に、このデータを表2.14のNo.5の汎用レジスタの代わりにインデックスとした実効アドレス計算を行い、その結果を汎用レジスタに格納します。

詳細は、「H8SX ファミリ ソフトウェアマニュアル」を参照してください。

2.9 処理状態

H8SX CPU の処理状態には、リセット状態、例外処理状態、プログラム実行状態、バス権解放状態、およびプログラム停止状態の 5 種類があります。処理状態間の状態遷移図を図 2.16 に示します。

- リセット状態

CPU および内蔵周辺モジュールがすべて初期化され、停止している状態です。リセット端子が Low レベルになると、実行中の処理はすべて中止され、CPU はリセット状態になります。リセット状態ではすべての割り込みが禁止されます。リセット端子を Low レベルから High レベルにすると、リセット例外処理を開始します。リセットの詳細は「6. 例外処理」を参照してください。ウォッチドッグタイマを内蔵する製品では、ウォッチドッグタイマのオーバフローによってもリセットすることもできます。

- 例外処理状態

例外処理状態は、リセット、トレース、割り込み、またはトラップ命令の例外処理要因によって CPU が通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出してそのスタートアドレスに分岐する過渡的な状態です。詳細は「6. 例外処理」を参照してください。

- プログラム実行状態

CPU がプログラムを順次実行している状態です。

- バス権解放状態

CPU 以外のバスマスタからのバス権要求に対してバス権を解放した状態です。バス権解放状態では CPU は動作を停止します。

- プログラム停止状態

CPU が動作を停止し、消費電力を低下させた状態です。SLEEP 命令の実行、またはハードウェアスタンバイモードへの遷移で CPU はプログラム停止状態になります。詳細は「27. 低消費電力」を参照してください。

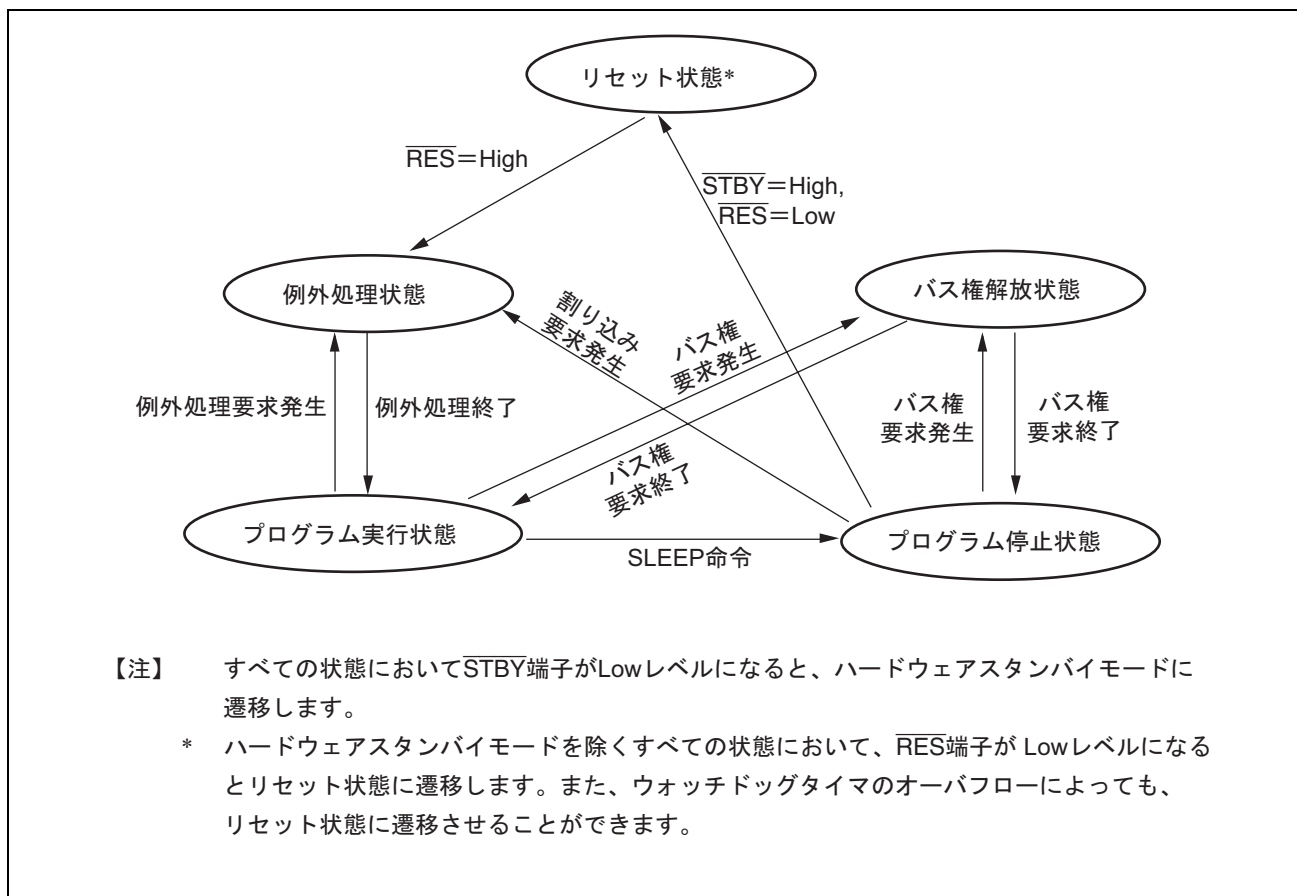


図 2.16 状態遷移図

3. MCU 動作モード

3.1 動作モードの選択

本 LSI には、7 種類の動作モード（1、2、3、4、5、6、7）があります。動作モードは、モード端子（MD2～MD0）の設定で決まります。各動作モードに対して、MD3 の設定で SDRAM インタフェースの有効無効を選択できます。表 3.1 に MCU 動作モードの選択を示します。表 3.2 に MCU 動作モードに対する SDRAM インタフェース*の設定を示します。

表 3.1 MCU 動作モードの選択

MCU 動作モード	MD2	MD1	MD0	CPU 動作モード	アドレス 空間	内容	内蔵 ROM	外部データバス	
								初期値	最大値
1	0	0	1	アドバンスト	16M バイト	ユーザブートモード	有効	—	16
2	0	1	0			ブートモード	有効	—	16
3	0	1	1			バウンダリスキャン 有効シングルチップ モード	有効	—	16
4	1	0	0			内蔵 ROM 無効 拡張モード	無効	16	16
5	1	0	1				無効	8	16
6	1	1	0			内蔵 ROM 有効 拡張モード	有効	8	16
7	1	1	1			シングルチップモード	有効	—	16

表 3.2 MCU 動作モードに対する SDRAM インタフェース設定選択*

MD3	SDRAM インタフェース
0	無効
1	有効

CPU 動作モードはアドバンストモード、アドレス空間は 16M バイト、初期外部バス幅は 8 ビットまたは 16 ビットです。起動モードは、外部拡張、内蔵 ROM 起動、シングルチップ起動が選択できます。

モード 1、2 は、フラッシュメモリに書き込み／消去を行えるユーザブートモード、ブートモードです。ユーザブートモード、ブートモードについては、「24. フラッシュメモリ」を参照してください。

モード 3 は、バウンダリスキャン機能が有効なシングルチップ起動モードです。バウンダリスキャン機能については、「25. バウンダリスキャン」を参照してください。

3. MCU 動作モード

モード7は、シングルチップ起動モードです。すべてのI/Oポートを入出力ポートとして使用できます。初期状態では外部アドレス空間を使用できませんが、システムコントロールレジスタ (SYSCR) のEXPEビットの設定により、外部アドレス空間を使用することができます。外部アドレス空間を有効とした場合、ポートH、Iをデータバスとすることができ、ポートD、E、Fはポートのデータディレクションレジスタ (DDR) の設定により、アドレス出力とすることができます。外部アドレス空間を使用していない場合、ポートファンクションコントロールレジスタD (PFCRD) のPCJKEビットの設定により、ポートJ、Kを使用することができます。

モード4、5、6は、外部メモリおよび周辺デバイスをアクセスできる外部拡張モードです。外部拡張モードでは、プログラム実行開始後バスコントローラの設定により、外部アドレス空間をエリアごとに8ビット、16ビットに設定できます。また、いずれか1つのエリアを16ビットアドレス空間にすると16ビットバスモードとなり、すべてのエリアを8ビットアクセス空間にすると8ビットバスモードとなります。

【注】 * H8SX/1648Gグループ、H8SX/1648Hグループのみサポート。

3.2 レジスタの説明

動作モードに関連するレジスタには以下のものがあります。

- モードコントロールレジスタ (MDCR)
- システムコントロールレジスタ (SYSCR)

3.2.1 モードコントロールレジスタ (MDCR)

MDCRは、現在の動作モードのモニタ表示を行います。MDCRをリードすると、MD3～MD0端子の入力レベルがラッチされます。このラッチは、リセットで解除されます。

ビット	15	14	13	12	11	10	9	8
ビット名	MDS7*3	—	—	—	MDS3	MDS2	MDS1	MDS0
初期値	0/不定*2*3	1	0	1	不定*1	不定*1	不定*1	不定*1
R/W	R	R	R	R	R	R	R	R
ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	—	—
初期値	0/不定*2*3	1	0	1	不定*1	不定*1	不定*1	不定*1
R/W	R	R	R	R	R	R	R	R

- 【注】 *1 MD2～MD0端子の設定により決定されます。
*2 MD3端子の設定により決定されます。
*3 H8SX/1648Gグループ、H8SX/1648Hグループのみサポート。

ビット	ビット名	初期値	R/W	説明
15	—	0	R	• H8SX/1648、H8SX/1648A、H8SX/1648L グループ： リザーブビット これらのビットはリードのみ有効で、ライトは無効です。
	MDS7* ³	不定* ^{2*3}	R	• H8SX/1648G、H8SX/1648H グループ： モード端子（MD3）により設定された値を示します。 MDCR をリードすると MD3 端子の入カレベルがラッチされます。このラッチはリセットで解除されます。
14	—	1	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。
13	—	0	R	
12	—	1	R	
11	MDS3	不定*	R	モードセレクト 3~0 モード端子（MD2~MD0）により設定された動作モードに対応した値を示します（表 3.3 参照）。MDCR をリードすると、MD2~MD0 端子の入カレベルがこれらのビットにラッチされます。このラッチはリセットで解除されます。
10	MDS2	不定*	R	
9	MDS1	不定*	R	
8	MDS0	不定*	R	
7	—	0/不定* ^{2*3}	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。
6	—	1	R	
5	—	0	R	
4	—	1	R	
3	—	不定* ¹	R	
2	—	不定* ¹	R	
1	—	不定* ¹	R	
0	—	不定* ¹	R	

【注】 *1 MD2~MD0 端子の設定により決定されます。

*2 MD3 端子の設定により決定されます。

*3 H8SX/1648G グループ、H8SX/1648H グループのみサポート。

表 3.3 MDS3~MDS0 ビットの値

MCU 動作モード	モード端子			MDCR			
	MD2	MD1	MD0	MDS3	MDS2	MDS1	MDS0
1	0	0	1	1	1	0	1
2	0	1	0	1	1	0	0
3	0	1	1	0	1	0	0
4	1	0	0	0	0	1	0
5	1	0	1	0	0	0	1
6	1	1	0	0	1	0	1
7	1	1	1	0	1	0	0

3. MCU 動作モード

3.2.2 システムコントロールレジスタ (SYSCR)

SYSCR は、MAC 飽和演算制御、命令フェッチでのバス幅モードの選択、外部バスモードの設定、内蔵 RAM の有効/無効、DTC のアドレスマップの選択を行います。

ビット	15	14	13	12	11	10	9	8
ビット名	—	—	MACS	—	FETCHMD	—	EXPE	RAME
初期値:	1	1	0	1	0	不定*	不定*	1
R/W:	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	DTCMD	—
初期値:	0	0	0	0	0	0	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * 初期値は、起動動作モードにより変わります。

ビット	ビット名	初期値	R/W	説明
15	—	1	R/W	リザーブビット
14	—	1	R/W	リードすると常に1が読み出されます。ライトする値は常に1にしてください。
13	MACS	0	R/W	MAC 飽和演算制御 MAC 命令の飽和演算、非飽和演算を選択します。 0 : MAC 命令は非飽和演算 1 : MAC 命令は飽和演算
12	—	1	R/W	リザーブビット リードすると常に1が読み出されます。ライトする値は常に1にしてください。
11	FETCHMD	0	R/W	命令フェッチモードセレクト H8SX CPU は命令フェッチについて 16 ビットモードと 32 ビットモードの2つのモードを持っています。プログラムを格納するメモリのバス幅に合わせて設定することを推奨します。 0 : 32 ビットモード 1 : 16 ビットモード
10	—	不定*1	R	リザーブビット 内蔵 ROM 有効モードでは、1に固定されており、内蔵 ROM 無効モードでは、0に固定されています。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
9	EXPE	不定*1	R/W	<p>外部バスモードイネーブル</p> <p>外部バスモードを設定します。外部拡張モードでは、1に固定されており、ライトは無効です。シングルチップモードでは、初期値が0で、PCJKE=0のときライトできます。PCJKE=1に設定した場合、ライトしないでください*2。EXPE=1の状態をリード後、0をライトするときは、外部バスサイクルが実行されていない状態で行ってください。ライトデータバッファ機能、リフレッシュ制御機能、EXDMAC バス権開放状態などにより、外部バスと内部バスが並列に実行される場合があります。</p> <p>0：外部バス無効 1：外部バス有効</p>
8	RAME	1	R/W	<p>RAM イネーブル</p> <p>内蔵 RAM の有効または無効を選択します。このビットは、リセットを解除したとき初期化されます。内蔵 RAM アクセス中に0ライトを行わないでください。</p> <p>0：内蔵 RAM 無効 1：内蔵 RAM 有効</p>
7~2	—	すべて0	R/W	<p>リザーブビット</p> <p>リードすると常に0が読み出されます。ライトする値は常に0にしてください。</p>
1	DTCMD	1	R/W	<p>DTC モードセレクト</p> <p>DTC の動作モードを選択します。</p> <p>0：DTC はフルアドレスモード 1：DTC はショートアドレスモード</p>
0	—	1	R/W	<p>リザーブビット</p> <p>リードすると常に1が読み出されます。ライトする値は常に1にしてください。</p>

- 【注】
- 初期値は、起動動作モードにより変わります。
 - 外部アドレス空間使用時の EXPE ビットと PCJKE ビットの設定の詳細は「13.3.12 ポートファンクションコントロールレジスタ D (PFCRD)」を参照してください。

3.3 動作モードの説明

3.3.1 モード 1

フラッシュメモリのユーザブートモードです。フラッシュメモリへの書き込み/消去以外は、モード7と同様の動作となります。詳細は「24. フラッシュメモリ」を参照してください。

3.3.2 モード 2

フラッシュメモリのブートモードです。フラッシュメモリへの書き込み/消去以外は、モード7と同様の動作となります。詳細は「24. フラッシュメモリ」を参照してください。

3.3.3 モード 3

バウンダリスキャン機能が有効なシングルチップ起動モードです。バウンダリスキャン機能以外は、モード7と同様の動作となります。バウンダリスキャン機能の詳細は、「25. バウンダリスキャン」を参照してください。

3.3.4 モード 4

CPU 動作モードはアドバンスモードで、アドレス空間は16Mバイトです。内蔵ROMは無効です。リセット直後は16ビットバスモードで、すべてのエリアは16ビットアクセス空間となります。ポートD、E、Fがアドレスバス、ポートH、Iがデータバス、ポートA、Bの一部がバス制御信号となります。ただし、バスコントローラにより、すべてのエリアを8ビットアドレス空間に設定すると8ビットバスモードとなり、ポートHがデータバスとなります。

3.3.5 モード 5

CPU 動作モードはアドバンスモードで、アドレス空間は16Mバイトです。内蔵ROMは無効です。リセット直後は8ビットバスモードで、すべてのエリアは8ビットアクセス空間となります。ポートD、E、Fがアドレスバス、ポートHがデータバス、ポートA、Bの一部がバス制御信号となります。ただし、バスコントローラにより、いずれか1つのエリアを16ビットアドレス空間に設定すると16ビットバスモードとなり、ポートH、Iがデータバスとなります。

3.3.6 モード 6

CPU 動作モードはアドバンスモードで、アドレス空間は16Mバイトです。内蔵ROMは有効です。リセット直後は8ビットバスモードで、すべてのエリアは8ビットアクセス空間となります。ポートD、E、Fは入力ポートになっていますが、各ポートのデータディレクションレジスタ(DDR)の設定により、アドレスバスとすることができます。詳細は「13. I/Oポート」を参照してください。ポートHがデータバス、ポートA、Bの一部がバス制御信号となります。ただし、バスコントローラにより、いずれか1つのエリアを16ビットアドレス空間に設定すると16ビットバスモードとなり、ポートH、Iがデータバスとなります。

3.3.7 モード7

CPU 動作モードはアドバンスモードで、アドレス空間は 16M バイトです。内蔵 ROM は有効です。すべての I/O ポートを入出力ポートとして使用できます。初期状態では外部アドレス空間を使用できませんが、SYSCR の EXPE ビットの設定により、外部アドレス空間を使用することができます。外部アドレス空間を有効とした場合、ポート H、I をデータバスとすることができ、ポート D、E、F はポートのデータディレクションレジスタ (DDR) の設定により、アドレス出力とすることができます。外部アドレス空間を使用していない場合、ポートファンクションコントロールレジスタ D (PFCRD) の PCJKE ビットの設定によりポート J、K を使用することができます。詳細は、「13. I/O ポート」を参照してください。

3.3.8 端子機能

各動作モードにおける端子機能の一覧を表 3.4 に示します。

表 3.4 各動作モードにおける端子機能 (アドバンスモード)

MCU 動作 モード	ポート A			ポート B		ポート C		ポート D	ポート E	ポート F		ポート H	ポート I
	PA7	PA6-3	PA2-0	PB7-1	PB0	PC1-0	PC3-2			PF4-0	PF7-5		
1	P*/C	P*/C	P*/C	P*/C	P*/C	P*/C	P*/C* ¹	P*/A	P*/A	P*/A	P*/A	P*/D	P*/D
2	P*/C	P*/C	P*/C	P*/C	P*/C	P*/C	P*/C* ¹	P*/A	P*/A	P*/A	P*/A	P*/D	P*/D
3	P*/C	P*/C	P*/C	P*/C	P*/C	P*/C	P*/C* ¹	P*/A	P*/A	P*/A	P*/A	P*/D	P*/D
4	P/C*	P/C*	P*/C	P*/C	P/C*	P*/C	P*/C* ¹	A	A	A	P*/A	D	P/D*
5	P/C*	P/C*	P*/C	P*/C	P/C*	P*/C	P*/C* ¹	A	A	A	P*/A	D	P*/D
6	P/C*	P/C*	P*/C	P*/C	P*/C	P*/C	P*/C* ¹	P*/A	P*/A	P*/A	P*/A	D	P*/D
7	P*/C	P*/C	P*/C	P*/C	P*/C	P*/C	P*/C* ¹	P*/A	P*/A	P*/A	P*/A	P*/D	P*/D

【記号説明】

P : 入出力ポート

A : アドレスバス出力

D : データバス入出力

C : 制御信号/クロック入出力

* : リセット直後

【注】 *1 H8SX/1648G グループ、H8SX/1648H グループのみサポート。

3. MCU 動作モード

3.4 アドレスマップ

3.4.1 アドレスマップ

各動作モードのアドレスマップを図 3.1～図 3.3 に示します。

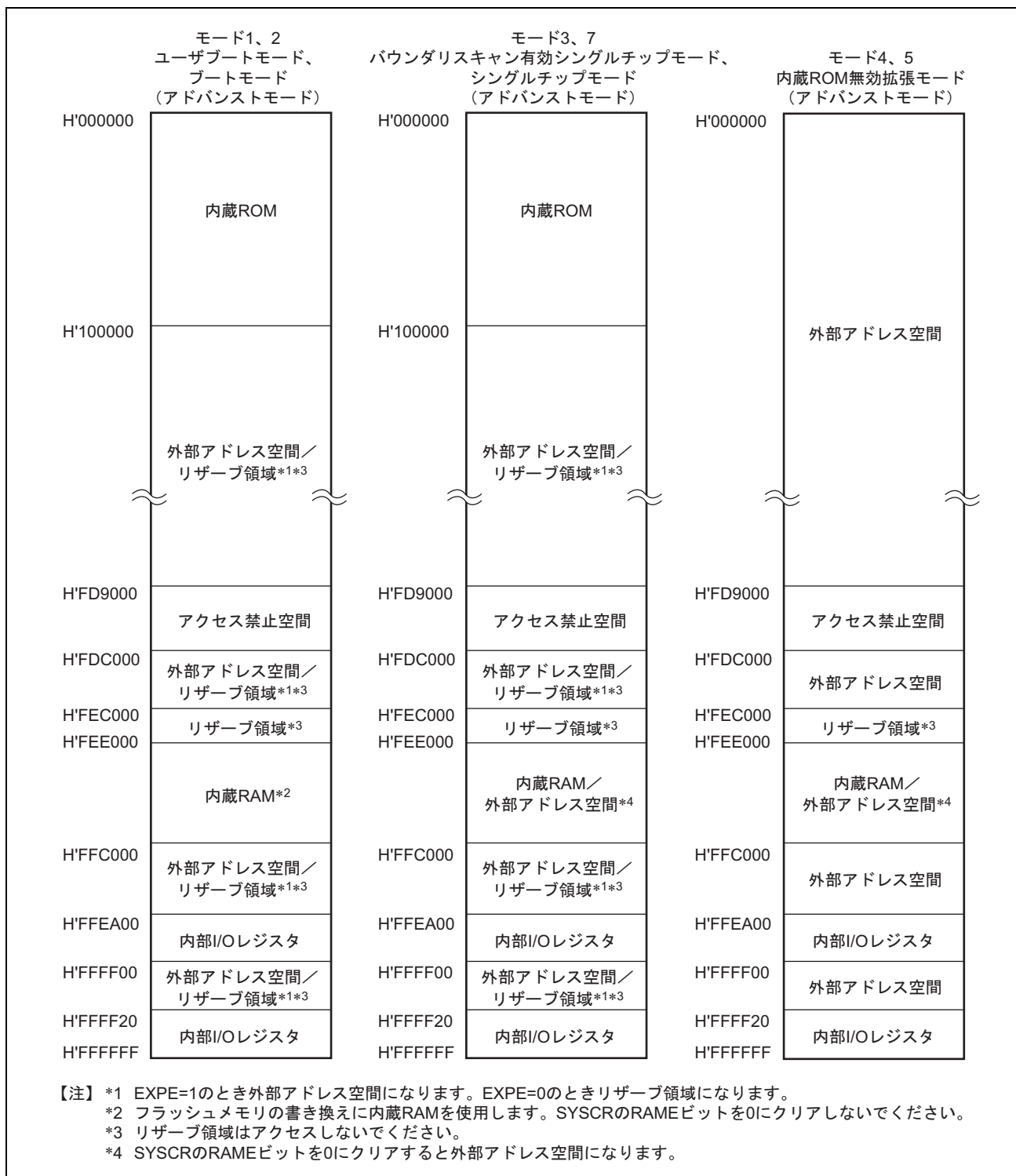


図 3.1 H8SX/1648、1648A、1648L、1648G、1648H の各動作モードのアドレスマップ (1)

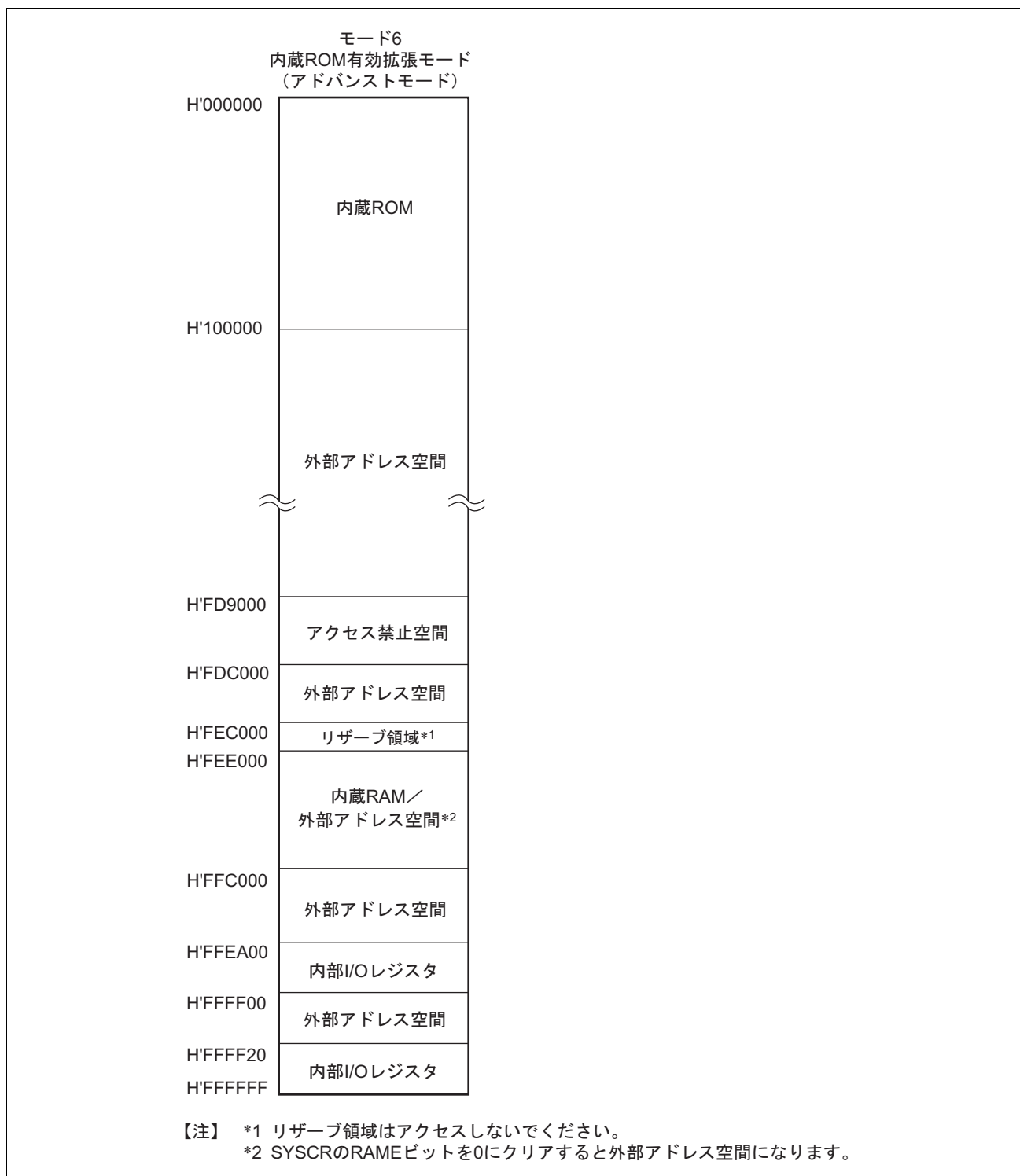


図 3.1 H8SX/1648、1648A、1648L、1648G、1648H の各動作モードのアドレスマップ (2)

3. MCU 動作モード

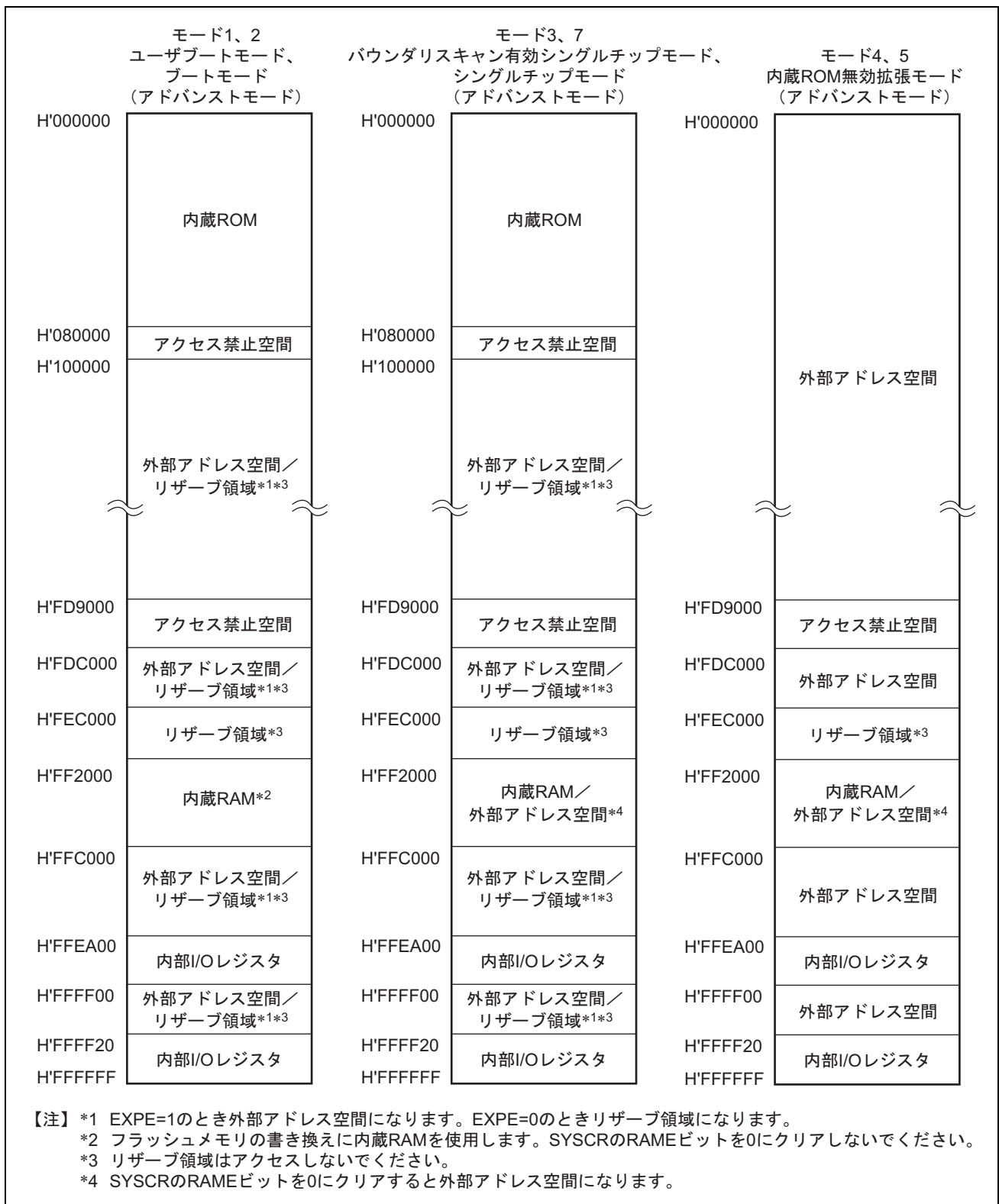


図 3.2 H8SX/1644、1644A、1644L、1644G、1644H の各動作モードのアドレスマップ (1)

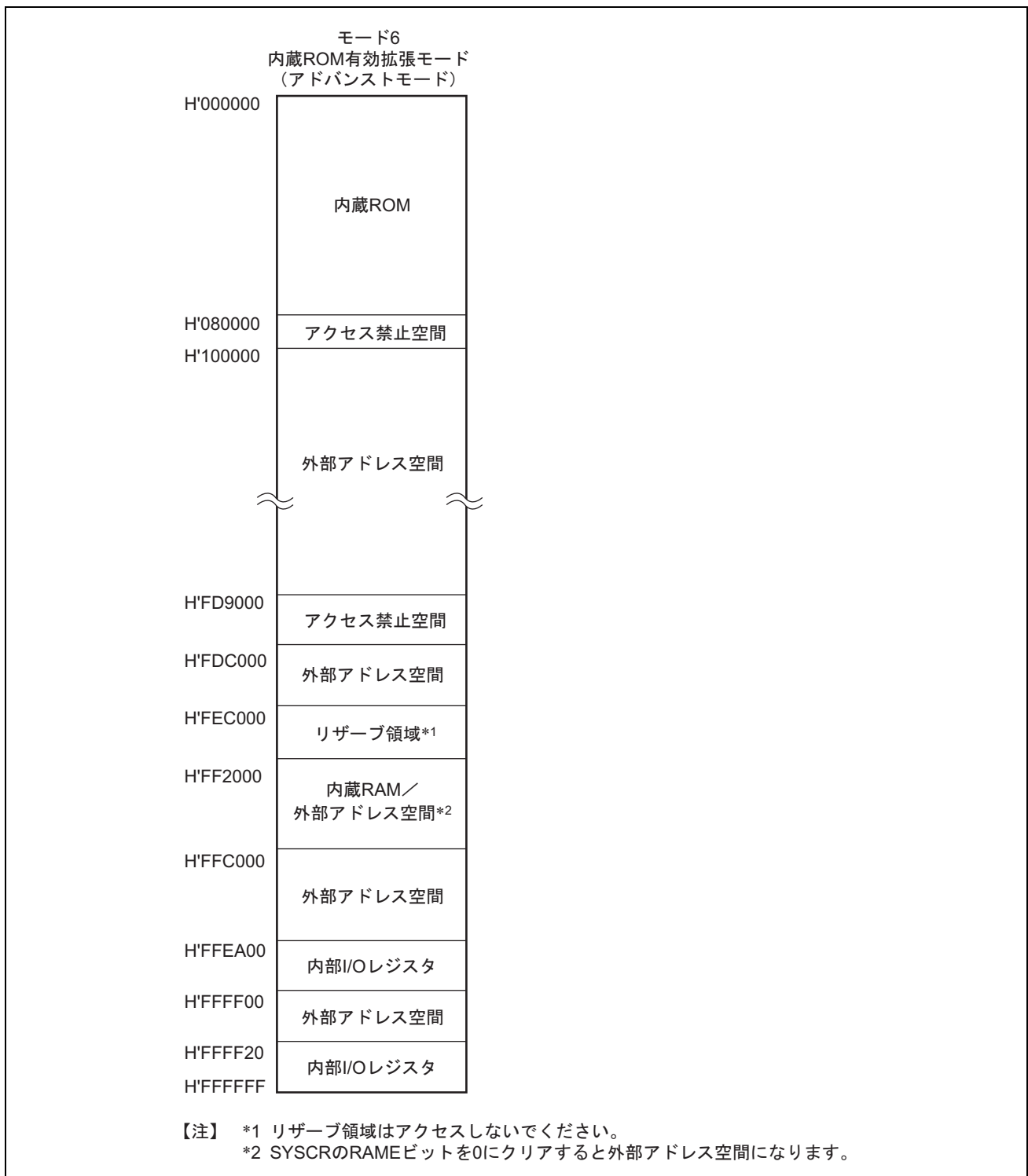


図 3.2 H8SX/1644、1644A、1644L、1644G、1644H の各動作モードのアドレスマップ (2)

3. MCU 動作モード

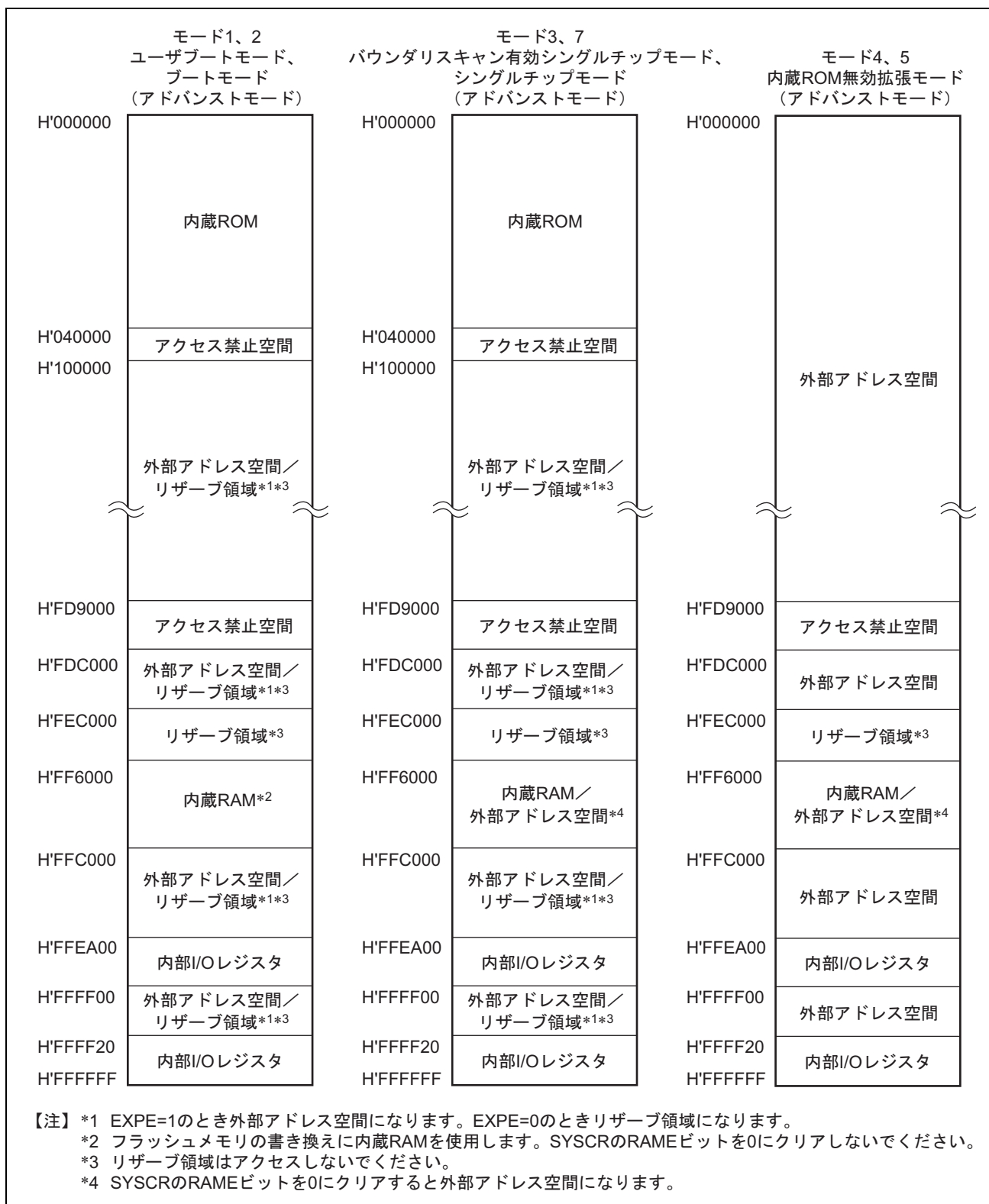


図 3.3 H8SX/1642、1642A、1642L、1642G、1642H の各動作モードのアドレスマップ (1)

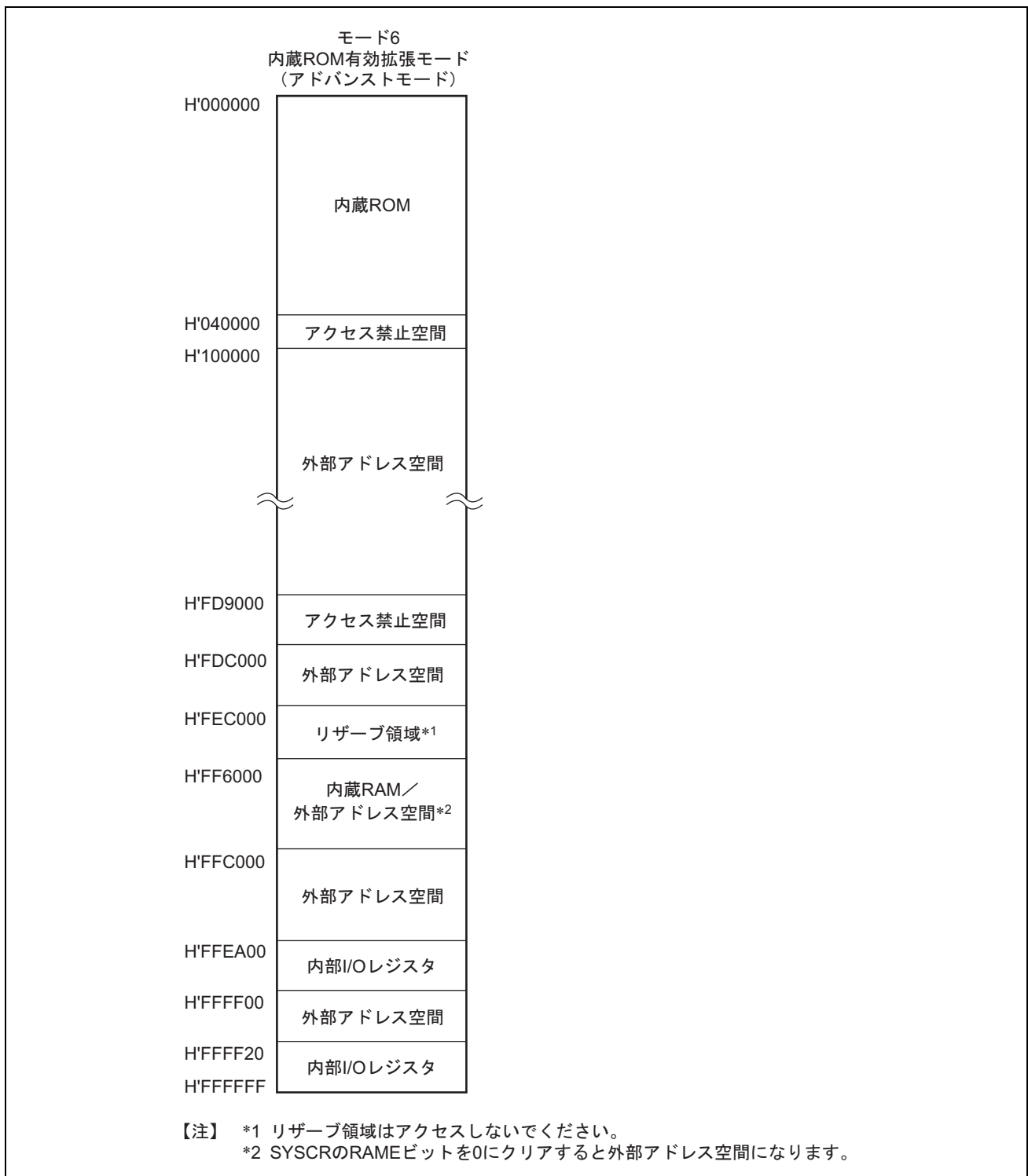


図 3.3 H8SX/1642、1642A、1642L、1642G、1642H の各動作モードのアドレスマップ (2)

3. MCU 動作モード

4. リセット

4.1 リセットの種類

リセットには端子リセット、パワーオンリセット*、電圧監視リセット*、ディープソフトウェアスタンバイリセット、ウォッチドッグタイマリセットがあります。

表 4.1 にリセットの名称と要因を示します。

リセットにより、内部状態は初期化され、端子は初期状態になります。図 4.1 に各リセットによって初期化される対象を示します。

パワーオンリセット*、電圧監視リセット*を使用される場合は、 $\overline{\text{RES}}$ 端子を High レベルに固定してください。

表 4.1 リセットの名称と要因

リセットの名称	要 因
端子リセット	$\overline{\text{RES}}$ 端子の入力電圧が“L”
パワーオンリセット*	Vcc の上昇、Vcc の下降
電圧監視リセット*	Vcc の下降(監視電圧 : Vdet)
ディープソフトウェアスタンバイリセット	割り込みによるディープソフトウェアスタンバイモードの解除
ウォッチドッグタイマリセット	ウォッチドッグタイマのオーバフロー

【注】 * H8SX/1648L グループ、H8SX/1648H グループのみサポート。

4. リセット

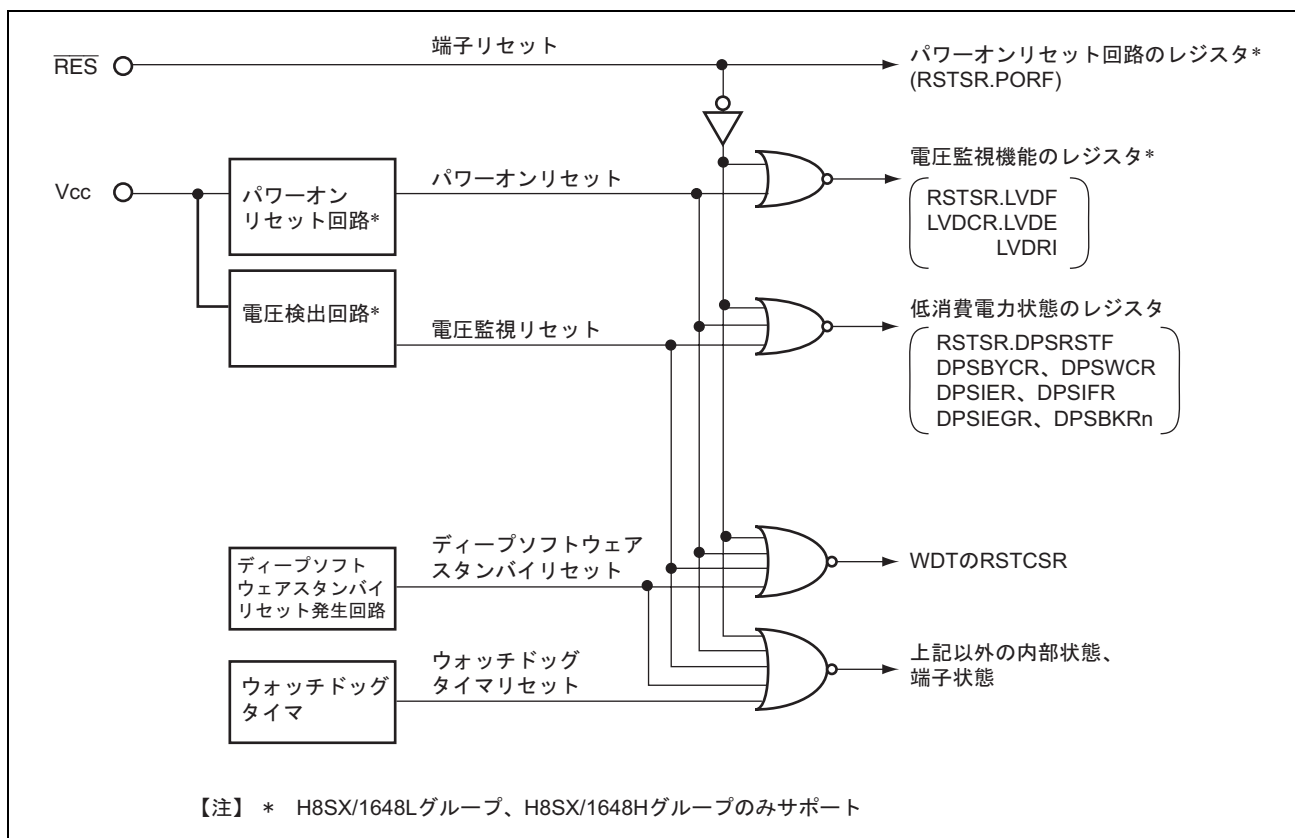


図 4.1 リセット回路のブロック図

レジスタの中には、いずれのリセットでも初期化されないものがあります。CPU 内部レジスタについて以下に説明します。

CPU 内部レジスタのうち PC は、リセット例外処理によってベクタアドレスからスタートアドレスをロードすることにより初期化されます。また、EXR の T ビットは 0 にクリアされ、EXR、CCR の I ビットは 1 にセットされますが、汎用レジスタ、MAC、CCR の他のビットは初期化されません。SP (ER7) の初期値も不定です。したがって、リセット直後に MOV.L 命令を使用して、SP の初期化を行ってください。詳細については、「2. CPU」を参照してください。CPU 以外の初期化されないレジスタについては、各章のレジスタ説明を参照してください。

リセットが解除されると、リセット例外処理を開始します。リセット例外処理については、「6.3 リセット」を参照してください。

4.2 入出力端子

リセットに関連する端子の構成を表 4.2 に示します。

表 14.2 端子構成

名称	記号	入出力	機能
リセット	$\overline{\text{RES}}$	入力	リセット入力

4. リセット

4.3 レジスタの説明

リセットに関連するレジスタには以下のものがあります。

- リセットステータスレジスタ (RSTSR)
- リセットコントロール/ステータスレジスタ (RSTCSR)

4.3.1 リセットステータスレジスタ (RSTSR)

RSTSR は、内部リセット、および電圧監視割り込みの発生要因を示します。

ビット	7	6	5	4	3	2	1	0
ビット名	DPSRSTF	—	—	—	—	LVDF*2	—	PORF*2
初期値 :	0	0	0	0	0	0*3	0*3	0*3
R/W :	R/(W)*1	R/W	R/W	R/W	R/W	R/W*4	R/W	R/W*5

- 【注】
- *1 フラグをクリアするための0ライトのみ可能です。
 - *2 H8SX/1648Lグループ、H8SX/1648Hグループのみサポート。
 - *3 H8SX/1648Lグループ、H8SX/1648Hグループは初期値「不定」です。
 - *4 H8SX/1648Lグループ、H8SX/1648Hグループはフラグをクリアするための0ライトのみ可能です。
 - *5 H8SX/1648Lグループ、H8SX/1648Hグループはリードのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	DPSRSTF	0	R/(W)*1	ディープソフトウェアスタンバイリセットフラグ ディープソフトウェアスタンバイモードがDPSIER、DPSIEGRで設定した割り込み要因で解除され、内部リセットが発生したことを示します。 [セット条件] 割り込み要因によりディープソフトウェアスタンバイモードを解除したとき [クリア条件] 1の状態をリードした後、0をライトしたとき 端子リセット、パワーオンリセット*2、電圧監視リセット*2が発生したとき
6~3	—	すべて0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。

- H8SX/1648グループ、H8SX/1648Aグループ、H8SX/1648Gグループ

2~0	—	すべて0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
-----	---	------	-----	---

• H8SX/1648Lグループ、H8SX/1648Hグループ

2	LVDF	不定	R/(W)* ¹	<p>LVD フラグ</p> <p>電圧検出回路で低電圧(Vcc が Vdet 以下)が検出されたことを示します。</p> <p>[セット条件]</p> <p>Vcc が Vdet 以下になったとき</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • Vcc が Vdet を越え一定の安定化時間を経過した状態で、1 の状態をリードした後、0 をライトしたとき • 端子リセット、パワーオンリセットが発生したとき
1	—	不定	R/W	<p>リザーブビット</p> <p>ライトする値は常に 0 にしてください。</p>
0	PORF	不定	R	<p>パワーオンリセットフラグ</p> <p>パワーオンリセットが発生したことを示します。</p> <p>[セット条件]</p> <p>パワーオンリセットが発生したとき</p> <p>[クリア条件]</p> <p>端子リセットが発生したとき</p>

【注】 *1 フラグをクリアするための 0 ライトのみ可能です。

*2 H8SX/1648L グループ、H8SX/1648H グループのみサポート。

4. リセット

4.3.2 リセットコントロール/ステータスレジスタ (RSTCSR)

RSTCSR は、ウォッチドッグタイマによる内部リセット信号の発生を制御し、内部リセット信号の種類を選択します。RSTCSR は、端子リセットおよびディープソフトウェアスタンバイリセットで H'1F に初期化されます。WDT のオーバフローによる内部リセット信号では初期化されません。

ビット	7	6	5	4	3	2	1	0
ビット名	WOVF	RSTE	—	—	—	—	—	—
初期値 :	0	0	0	1	1	1	1	1
R/W :	R/(W)*	R/W	R/W	R	R	R	R	R

【注】 * フラグをクリアするための0ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	WOVF	0	R/(W)*	ウォッチドッグタイマオーバフローフラグ ウォッチドッグタイマモードで、TCNT がオーバフローするとセットされます。インターバルタイマモードではセットされません。0 ライトのみ可能です。 [セット条件] ウォッチドッグタイマモードで TCNT がオーバフロー (H'FF→ H'00) したとき [クリア条件] 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)
6	RSTE	0	R/W	リセットイネーブル ウォッチドッグタイマモードで TCNT のオーバフローにより LSI 内部をリセットするかどうかを選択します。 0 : TCNT がオーバフローしても、内部はリセットされません。 (本 LSI 内部はリセットされませんが、WDT 内の TCNT、TCSR はリセットされます。) 1 : TCNT がオーバフローすると内部がリセットされます。
5	—	0	R/W	リザーブビット リード/ライト可能ですが、動作に影響を与えません。
4~0	—	すべて 1	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。

【注】 * フラグをクリアするための0ライトのみ可能です。

4.4 端子リセット

$\overline{\text{RES}}$ 端子によるリセットです。

$\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて打ち切れ、本 LSI はリセット状態になります。本 LSI を確実にリセットするために、電源投入時は $\overline{\text{STBY}}$ 端子を High レベルにし、最低 20ms の間、 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。動作中は $\overline{\text{RES}}$ 端子を最低 20 ステートの間、Low レベルに保持してください。

4.5 パワーオンリセット (POR) (H8SX1648L, H8SX1648H グループ)

パワーオンリセット回路による内部リセットです。

$\overline{\text{RES}}$ 端子を High レベルにした状態で電源を投入すると、パワーオンリセットが発生します。Vcc が Vpor を越えると、ある一定の時間 (パワーオンリセット時間) 経過後、パワーオンリセットは解除されます。パワーオンリセット時間は、外部電源および LSI が安定するための時間です。

$\overline{\text{RES}}$ 端子を High レベルにした状態で電源電圧が低下し Vcc が Vpor 以下になると、パワーオンリセットが発生します。次に Vcc が上昇し Vpor を越えると、パワーオンリセット時間経過後、パワーオンリセットは解除されます。

また、パワーオンリセットが発生すると、RSTSR の PORF ビットに 1 がセットされます。PORF ビットはリード専用のレジスタで端子リセットでのみ初期化されます。

図 4.2 にパワーオンリセットの動作を示します。

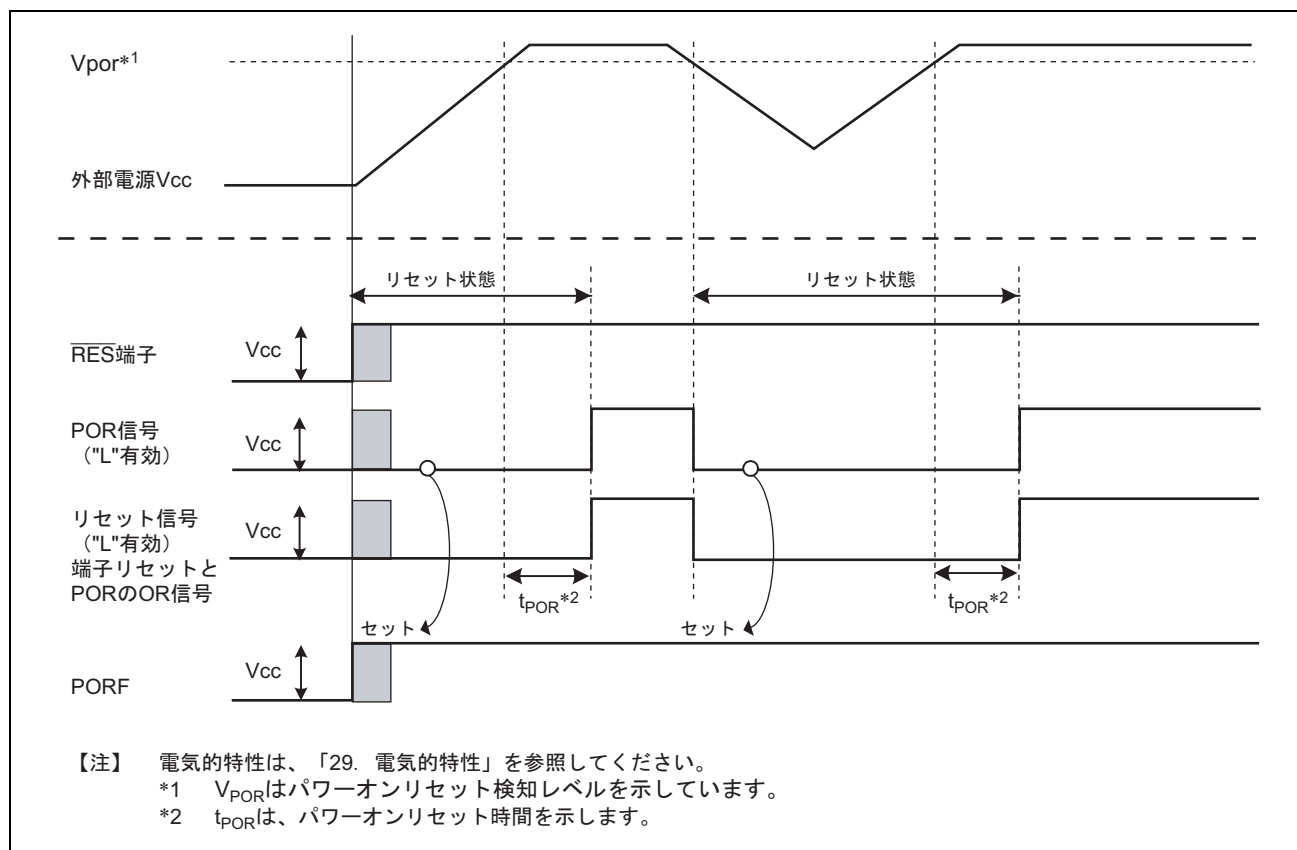


図 4.2 パワーオンリセット動作

4. リセット

4.6 電源監視リセット (H8SX1648L, H8SX1648H グループ)

電圧検出回路による内部リセットです。

LVDCR の LVDE ビットに 1 をセットし、かつ LVDRI ビットを 0 にクリアした状態で、Vcc が Vdet 以下になると、電圧監視リセットが発生します。次に Vcc が上昇し Vdet を越えると、ある一定の時間経過後、電圧監視リセットは解除されます。

電圧監視リセットの詳細は「5. 電圧検出回路 (LVD)」、「29. 電气的特性」を参照してください。

4.7 ディープソフトウェアスタンバイリセット

ディープソフトウェアスタンバイモードを割り込みによって解除する場合に発生する内部リセットです。

ディープソフトウェアスタンバイモードが解除されると、クロック発振を開始すると同時にディープソフトウェアスタンバイリセットが発生します。DPSWCR により設定された時間が経過した後、ディープソフトウェアスタンバイリセットは解除されます。

ディープソフトウェアスタンバイリセットの詳細は「27. 低消費電力」を参照してください。

4.8 ウォッチドッグタイマリセット

ウォッチドッグタイマによる内部リセットです。

RSTCSR の RSTE ビットを 1 にセットしておくこと、TCNT がオーバフローしたときに、ウォッチドッグタイマリセットが発生します。その後、一定時間経過後、ウォッチドッグタイマリセットは解除されます。

ウォッチドッグタイマリセットの詳細は「18. ウォッチドッグタイマ (WDT)」を参照してください。

4.9 リセット発生要因の判定

RSTCSR と RSTSR、および電圧検出回路の LVDCR*をリードすることで、いずれのリセット発生によりリセット例外処理が実行されたかを確認することができます。図 4.3 にリセット発生要因の判定フローの例を示します。

【注】 * H8SX/1648L グループ、H8SX/1648H グループのみサポート。

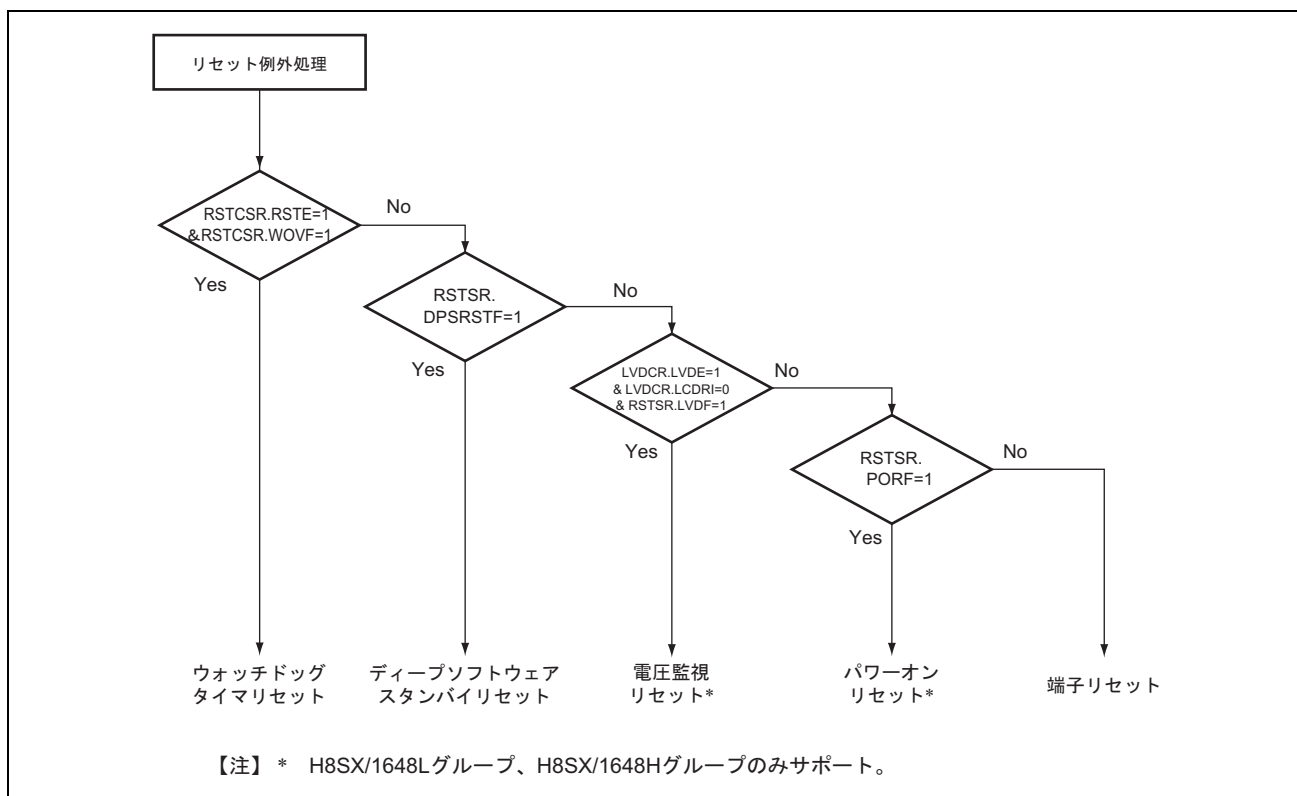


図 4.3 リセット発生要因判定フロー例

4. リセット

5. 電圧検出回路 (LVD)

電圧検出回路 (LVD) は、H8SX/1648L グループ、H8SX/1648H グループのみのサポートになります。

電圧検出回路は、Vcc の電圧レベルを監視する回路です。Vcc が低下し、電圧検出レベルを下回ると、電圧検出回路は本 LSI 内部をリセットすることができます。また、割り込みを発生させることができます。

5.1 特長

- 電圧検出回路

電源電圧VccがVdet以下になったことを検出可能。

低電圧検出時、内部リセットもしくは内部割り込みを発生可能

電圧検出回路のブロック図を図 5.1 に示します。

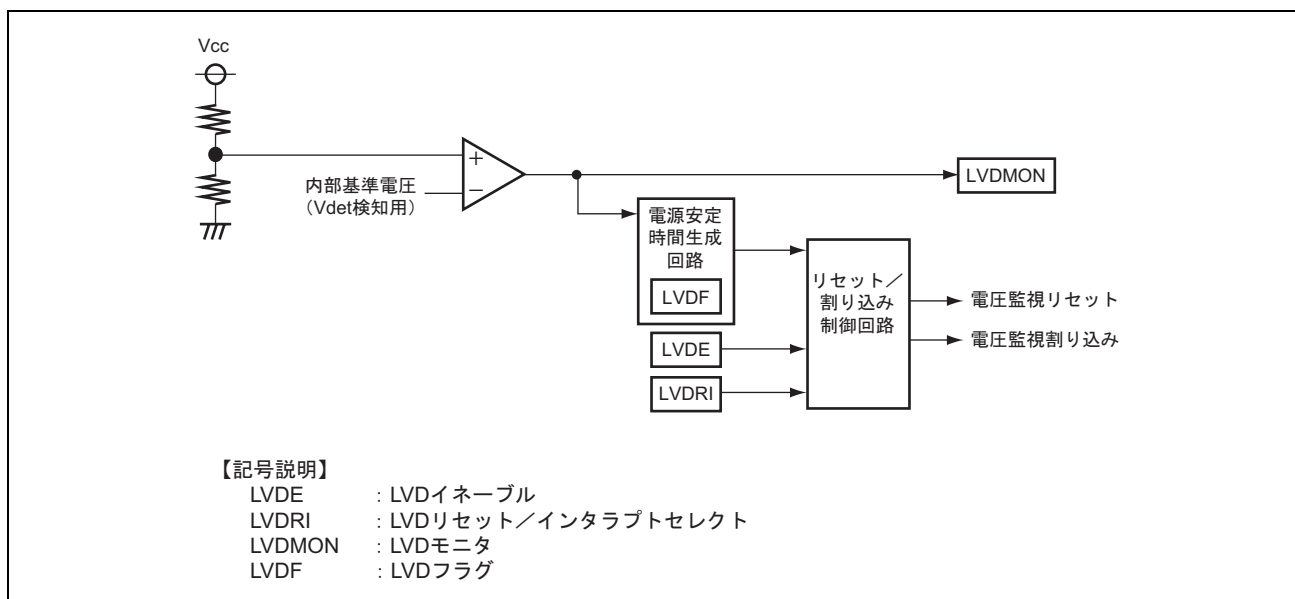


図 5.1 電圧検出回路のブロック図

5. 電圧検出回路 (LVD)

5.2 レジスタの説明

電圧検出回路 には、以下のレジスタがあります。

- 低電圧検出コントロールレジスタ (LVDCR)
- リセットステータスレジスタ (RSTSR)

5.2.1 低電圧検出コントロールレジスタ (LVDCR)

LVDCR は電圧検出回路の制御を行ないます。

LVDE、LVDRI、LVDMON は、端子リセット、パワーオンリセットで初期化されます。

ビット	7	6	5	4	3	2	1	0
ビット名	LVDE	LVDRI	—	LVDMON	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	LVDE	0	R/W	LVD イネーブル 電圧検出回路によるリセットや割り込みを有効にするビットです。 0 : 無効 1 : 有効
6	LVDRI	0	R/W	LVD リセット/インターラプトセレクト 電圧検出回路で低電圧が検出された場合に、内部リセットを発生させるか、割り込みを発生させるかを選択します。LVDRI ビットを書き換える場合は、必ず LVD を無効にした状態 (LVDE ビットを 0 にクリアした状態) で行ってください。 0 : 低電圧検出時、リセットを発生 1 : 低電圧検出時、割り込みを発生
5	—	0	R/W	リザーブビット リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
4	LVDMON	0	R	LVD モニタ 電圧レベルをモニタするビットです。LVDE ビットが 1 のときに有効なビットです。LVDE ビットが 0 のときは、0 がリードされます。ライトは無効です。 0 : Vcc が Vdet 以下 1 : Vcc が Vdet 以上
3~0	—	0	R/W	リザーブビット リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。

5.2.2 リセットステータスレジスタ (RSTSR)

RSTSRは、内部リセット、および電圧監視割り込みの発生要因を示します。

ビット	7	6	5	4	3	2	1	0
ビット名	DPSRSTF	—	—	—	—	LVDF	—	PORF
初期値	0	0	0	0	0	不定	不定	不定
R/W	R/(W)*	R/W	R/W	R/W	R/W	R/(W)*	R/W	R

【注】 * フラグをクリアするための0ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	DPSRSTF	0	R/(W)*	<p>ディープソフトウェアスタンバイリセットフラグ</p> <p>ディープソフトウェアスタンバイモードが DPSIER、DPSIEGR で設定した割り込み要因で解除され、内部リセットが発生したことを示します。</p> <p>[セット条件]</p> <p>割り込み要因によりディープソフトウェアスタンバイモードを解除したとき</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき • 端子リセット、パワーオンリセット、電圧監視リセットが発生したとき
6~3	—	すべて0	R/W	<p>リザーブビット</p> <p>リードすると常に0が読み出されます。ライトする値は常に0にしてください。</p>
2	LVDF	不定	R/(W)*	<p>LVD フラグ</p> <p>電圧検出回路で低電圧 (Vcc が Vdet 以下) が検出されたことを示します。</p> <p>[セット条件]</p> <p>Vcc が Vdet 以下になったとき</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • Vcc が Vdet を越え一定の安定化時間を経過した状態で、1の状態をリードした後、0をライトしたとき • 端子リセット、パワーオンリセットが発生したとき
1	—	不定	R/W	<p>リザーブビット</p> <p>ライトする値は常に0にしてください。</p>
0	PORF	不定	R	<p>パワーオンリセットフラグ</p> <p>パワーオンリセットが発生したことを示します。</p> <p>[セット条件]</p> <p>パワーオンリセットが発生したとき</p> <p>[クリア条件]</p> <p>端子リセットが発生したとき</p>

【注】 * フラグをクリアするための0ライトのみ可能です。

5. 電圧検出回路 (LVD)

5.3 電圧検出回路

5.3.1 電圧監視リセット

電圧検出回路による電圧監視リセットを図 5.2 に示します。

LVDCR の LVDE ビットが 1 にセットされ、かつ LVDRI ビットが 0 にクリアされている状態で、Vcc が Vdet 以下になると LVDF ビットに 1 がセットされ、電圧検出回路は電圧監視リセットを発生します。

次に Vcc が Vdet 以上になると、電圧監視リセットは安定化時間 (t_{POR}) が経過した後、解除されます。安定化時間 (t_{POR}) は、Vcc の安定および LSI の内部回路の安定のために、電圧検出回路で生成される時間です。電圧監視リセットが解除されると、リセット例外処理を開始します。

電圧監視リセットが発生すると LVDF ビットに 1 がセットされます。

t_{por} に関しては、「29. 電気的特性」を参照してください。

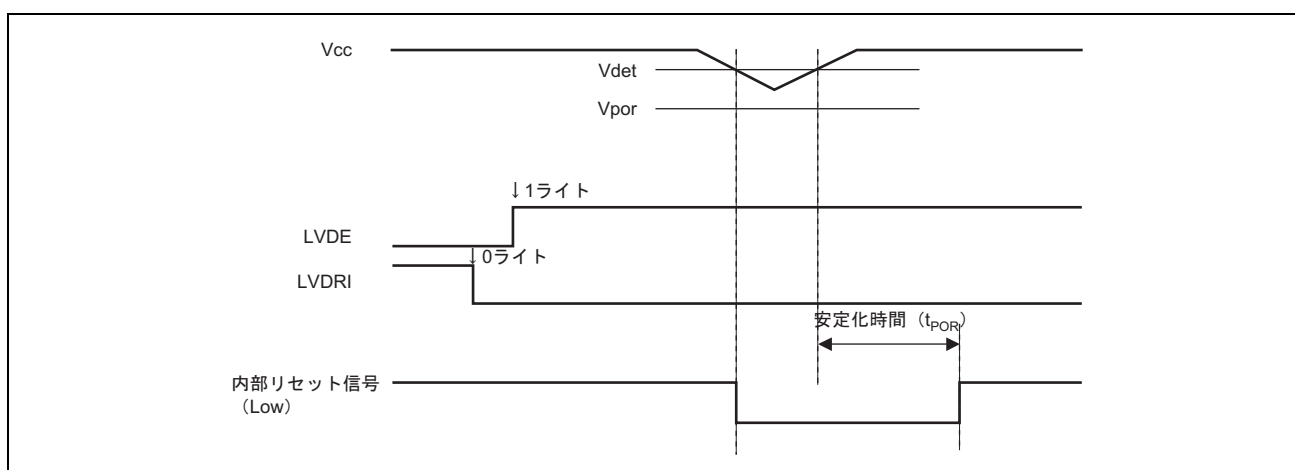


図 5.2 電圧監視リセットのタイミング図

5.3.2 電圧監視割り込み

電圧検出回路による電圧監視割り込みを図 5.3 に示します。

LVDCR の LVDE ビットと LVDRI ビットがともに 1 セットされている状態で、Vcc が Vdet 以下になると、LVDF ビットに 1 がセットされ、電圧監視割り込みを要求します。

電圧監視割り込みは、内部で $\overline{IRQ14-B}$ に接続されており、割り込み発生時は ISR の IRQ14F ビットが 1 にセットされます。

IRQ14 の設定は、PFCRB の ITS6 ビットに 1、IER の IRQ14E ビットに 1、ISCR の IRQ14SR、IRQ14SF に 01 (立ち下がりエッジ割り込み要求) を設定してください。

図 5.4 に電圧監視割り込みの設定手順例を示します。

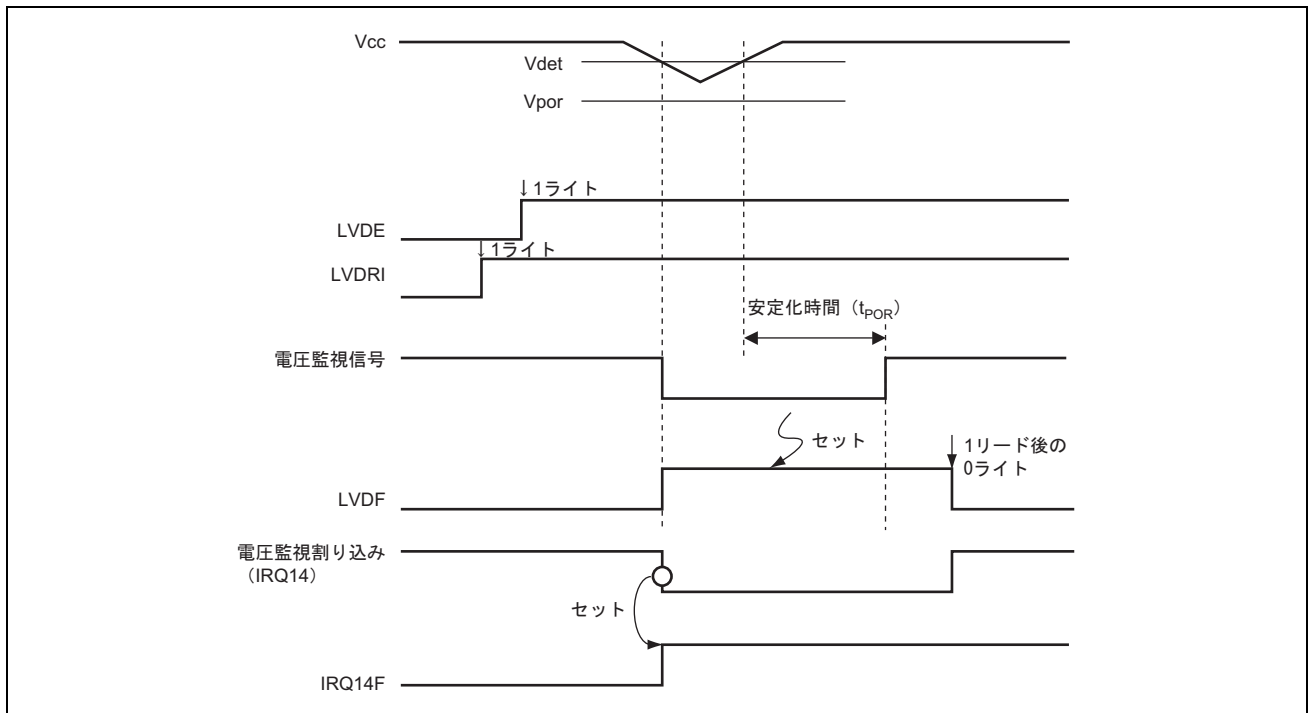


図 5.3 電圧監視割り込みのタイミング図

5. 電圧検出回路 (LVD)

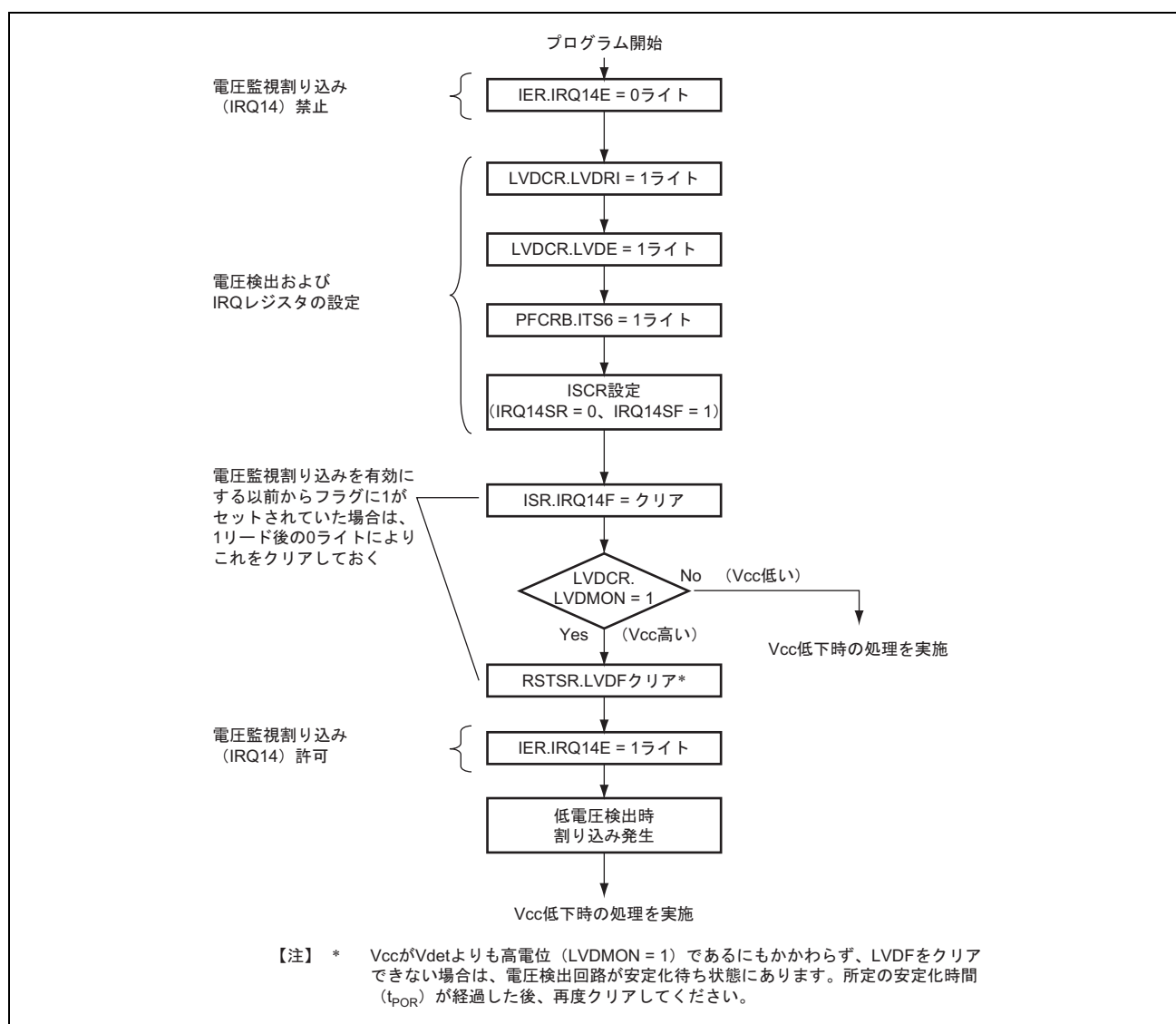


図 5.4 電圧監視割り込みの設定手順例

5.3.3 電圧検出回路によるディープソフトウェアスタンバイモード解除

LVDCRのLVDEビット、LVDRIビットおよびDPSIERのDLVDIEビットのすべてが1にセットされているときのディープソフトウェアスタンバイモード中に、VccがVdet以下になると、電圧検出回路はディープソフトウェアスタンバイモード解除を要求します。これにより、DPSIFRのDLVDIFビットに1がセットされ、ディープソフトウェアスタンバイモードが解除されます。

ディープソフトウェアスタンバイモードについては、「27. 低消費電力」を参照してください。

5.3.4 電圧監視モニタ

電圧監視モニタは、電圧検出回路による電圧検出結果を LVDCR の LVDMON ビットでモニタする機能です。LVDMON ビットは、LVDE ビットが 1 のときに有効であり、Vcc が Vdet 以下の場合は 0 を、Vcc が Vdet より高い場合は 1 を示します。本ビットのリードは、LVDRI ビットが 1 にセットされ、電圧監視リセットが無効となっている状態で行ってください。

なお、RSTSR の LVDF ビットをクリアする場合は、この LVDMON ビットが 1 (Vcc が Vdet 以上) であることを確認した上で、行ってください。LVDMON ビットが 1 であるにも関わらずクリアできない場合は、電圧検出回路は安定化待ち状態にあります。所定の安定化時間 (t_{POR}) が経過した後、再度クリアを行ってください。

5. 電圧検出回路 (LVD)

6. 例外処理

6.1 例外処理の種類と優先度

例外処理要因には、表 6.1 に示すように、リセット、トレース、アドレスエラー、割り込み、トラップ命令、スリープ命令、および不当命令（一般不当命令、スロット不当命令）があります。これらの例外処理要因には、表 6.1 のように優先順位が設けられており、複数の例外処理要因が同時に発生した場合は、この優先度に従って受け付けられます。例外処理は割り込み制御モードによって、例外処理要因やスタックの構造、CPU の動作が異なります。割り込み制御モードの詳細については、「7. 割り込みコントローラ」を参照してください。

表 6.1 例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
↑ 高 ↓ 低	リセット	$\overline{\text{RES}}$ 端子の Low レベルから High レベルへの変化、または、ウォッチドッグタイマのオーバフローにより開始します。 $\overline{\text{RES}}$ 端子が Low レベルのときリセット状態になります。
	不当命令	未定義コードが実行されると開始します。
	トレース* ¹	EXR のトレース (T) ビット=1 の状態で、実行中の命令または例外処理の完了後開始します。
	アドレスエラー	アドレスエラーのバスサイクルが発生後、命令実行終了時に例外処理を開始します。
	割り込み	割り込み要求が発生すると、実行中の命令または例外処理の完了後開始します。* ²
	スリープ命令	SBYCR の SSBY ビット=0、SLPIE ビット=1 の状態でスリープ (SLEEP) 命令を実行すると、例外処理を開始します。
	トラップ命令* ³	トラップ (TRAPA) 命令の実行により開始します。

【注】 *1 トレースは割り込み制御モード 2 でのみ有効です。トレース例外処理は、RTE 命令の実行終了後には実行しません。

*2 ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。

*3 トラップ命令例外処理、スリープ命令例外処理は、プログラム実行状態で常に受け付けられます。

6. 例外処理

6.2 例外処理要因とベクタテーブル

例外処理要因には、それぞれ異なるベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、ベクタベースレジスタ（VBR）の値と対応するベクタ番号のベクタテーブルアドレスオフセットから算出されます。例外処理では、このベクタテーブルアドレスが示す例外処理ベクタテーブルから、例外サービスルーチンのスタートアドレスが取り出されます。

例外処理要因と、ベクタテーブルアドレスオフセットとの対応を表 6.2 に示します。例外処理ベクタテーブルアドレスの算出法を表 6.3 に示します。

表 6.2 例外処理ベクタテーブル

例外処理要因	ベクタ番号	ベクタテーブルアドレスオフセット* ¹	
		ノーマルモード* ²	アドバンストモード ミドルモード* ² マキシマムモード* ²
リセット	0	H'0000~H'0001	H'0000~H'0003
システム予約	1	H'0002~H'0003	H'0004~H'0007
	2	H'0004~H'0005	H'0008~H'000B
	3	H'0006~H'0007	H'000C~H'000F
不当命令	4	H'0008~H'0009	H'0010~H'0013
トレース	5	H'000A~H'000B	H'0014~H'0017
システム予約	6	H'000C~H'000D	H'0018~H'001B
割り込み（NMI）	7	H'000E~H'000F	H'001C~H'001F
トラップ命令（#0）	8	H'0010~H'0011	H'0020~H'0023
トラップ命令（#1）	9	H'0012~H'0013	H'0024~H'0027
トラップ命令（#2）	10	H'0014~H'0015	H'0028~H'002B
トラップ命令（#3）	11	H'0016~H'0017	H'002C~H'002F
CPU アドレスエラー	12	H'0018~H'0019	H'0030~H'0033
DMA アドレスエラー* ³	13	H'001A~H'001B	H'0034~H'0037
UBC ブレーク割り込み	14	H'001C~H'001D	H'0038~H'003B
システム予約	15	H'001E~H'001F	H'003C~H'003F
	17	H'0022~H'0023	H'0044~H'0047
スリープ命令	18	H'0024~H'0025	H'0048~H'004B
システム予約	19	H'0026~H'0027	H'004C~H'004F
	23	H'002E~H'002F	H'005C~H'005F
ユーザエリア （空き領域）	24	H'0030~H'0031	H'0060~H'0063
	63	H'007E~H'007F	H'00FC~H'00FF

例外処理要因	ベクタ番号	ベクタテーブルアドレスオフセット* ¹	
		ノーマルモード* ²	アドバンストモード ミドルモード* ² マキシマムモード* ²
外部割り込み IRQ0	64	H'0080~H'0081	H'0100~H'0103
外部割り込み IRQ1	65	H'0082~H'0083	H'0104~H'0107
外部割り込み IRQ2	66	H'0084~H'0085	H'0108~H'010B
外部割り込み IRQ3	67	H'0086~H'0087	H'010C~H'010F
外部割り込み IRQ4	68	H'0088~H'0089	H'0110~H'0113
外部割り込み IRQ5	69	H'008A~H'008B	H'0114~H'0117
外部割り込み IRQ6	70	H'008C~H'008D	H'0118~H'011B
外部割り込み IRQ7	71	H'008E~H'008F	H'011C~H'011F
外部割り込み IRQ8	72	H'0090~H'0091	H'0120~H'0123
外部割り込み IRQ9	73	H'0092~H'0093	H'0124~H'0127
外部割り込み IRQ10	74	H'0094~H'0095	H'0128~H'012B
外部割り込み IRQ11	75	H'0096~H'0097	H'012C~H'012F
外部割り込み IRQ12	76	H'0098~H'0099	H'0130~H'0133
外部割り込み IRQ13	77	H'009A~H'009B	H'0134~H'0137
外部割り込み IRQ14	78	H'009C~H'009D	H'0138~H'013B
外部割り込み IRQ15	79	H'009E~H'009F	H'013C~H'013F
内部割り込み* ⁴	80	H'00A0~H'00A1	H'0140~H'0143
	255	H'01FE~H'01FF	H'03FC~H'03FF

【注】 *1 先頭アドレスの下位 16 ビットを示しています。

*2 本 LSI では使用できません。

*3 DMA アドレスエラーの要因発生元は、DTC と DMAC、EXDMAC*⁵です。

*4 割り込みのベクタテーブルは、「7.5 割り込み例外処理ベクタテーブル」を参照してください。

*5 H8SX/1648G グループ、H8SX/1648H グループのみサポート。

表 6.3 例外処理ベクタテーブルアドレスの算出法

例外処理要因	ベクタテーブルアドレス算出法
リセット、CPU アドレスエラー	ベクタテーブルアドレス = (ベクタテーブルアドレスオフセット)
上記以外	ベクタテーブルアドレス = VBR + (ベクタテーブルアドレスオフセット)

【注】 VBR : ベクタベースレジスタ

ベクタテーブルアドレスオフセット : 表 6.2 を参照

6.3 リセット

リセットは、最も優先順位の高い例外処理です。

$\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて打ち切れ、本 LSI はリセット状態になります。本 LSI を確実にリセットするために、電源投入時は $\overline{\text{STBY}}$ 端子を High レベルにし、最低 20ms の間、 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。動作中は $\overline{\text{RES}}$ 端子を最低 20 ステートの間、Low レベルに保持してください。

また、ディープソフトウェアスタンバイモードの解除、またはウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「18. ウォッチドッグタイマ (WDT)」、「27. 低消費電力」を参照してください。

リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。リセット直後は、割り込み制御モードは 0 になっています。

6.3.1 リセット例外処理

$\overline{\text{RES}}$ 端子が一定期間 Low レベルの後 High レベルになると、リセット例外処理を開始し、本 LSI は次のように動作します。

1. CPUの内部状態と内蔵周辺モジュールの各レジスタが初期化され、VBRがH'00000000にクリアされ、EXRのTビットが0にクリアされます。EXR、CCRのIビットは1にセットされます。
2. リセット例外処理ベクタアドレスをリードしてPCに転送した後、PCで示されるアドレスからプログラムの実行を開始します。

リセットシーケンスの例を図 6.1、図 6.2 に示します。

6.3.2 リセット直後の割り込み

リセット直後、スタックポインタ (SP) を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われないため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP を初期化する命令としてください (例: MOV.L #xx : 32, SP)。

6.3.3 リセット解除後の内蔵周辺機能

リセット解除後、MSTPCRA は H'0FFF、MSTPCRB は H'FFFF に初期化され、EXDMAC*、DMAC と DTC を除くすべてのモジュールがモジュールストップ状態になっています。そのため、各内蔵周辺モジュールのレジスタは、リード/ライトできません。モジュールストップ状態を解除することにより、レジスタのリード/ライトが可能となります。

【注】 * H8SX/1648G グループ、H8SX/1648H グループでのみサポート。

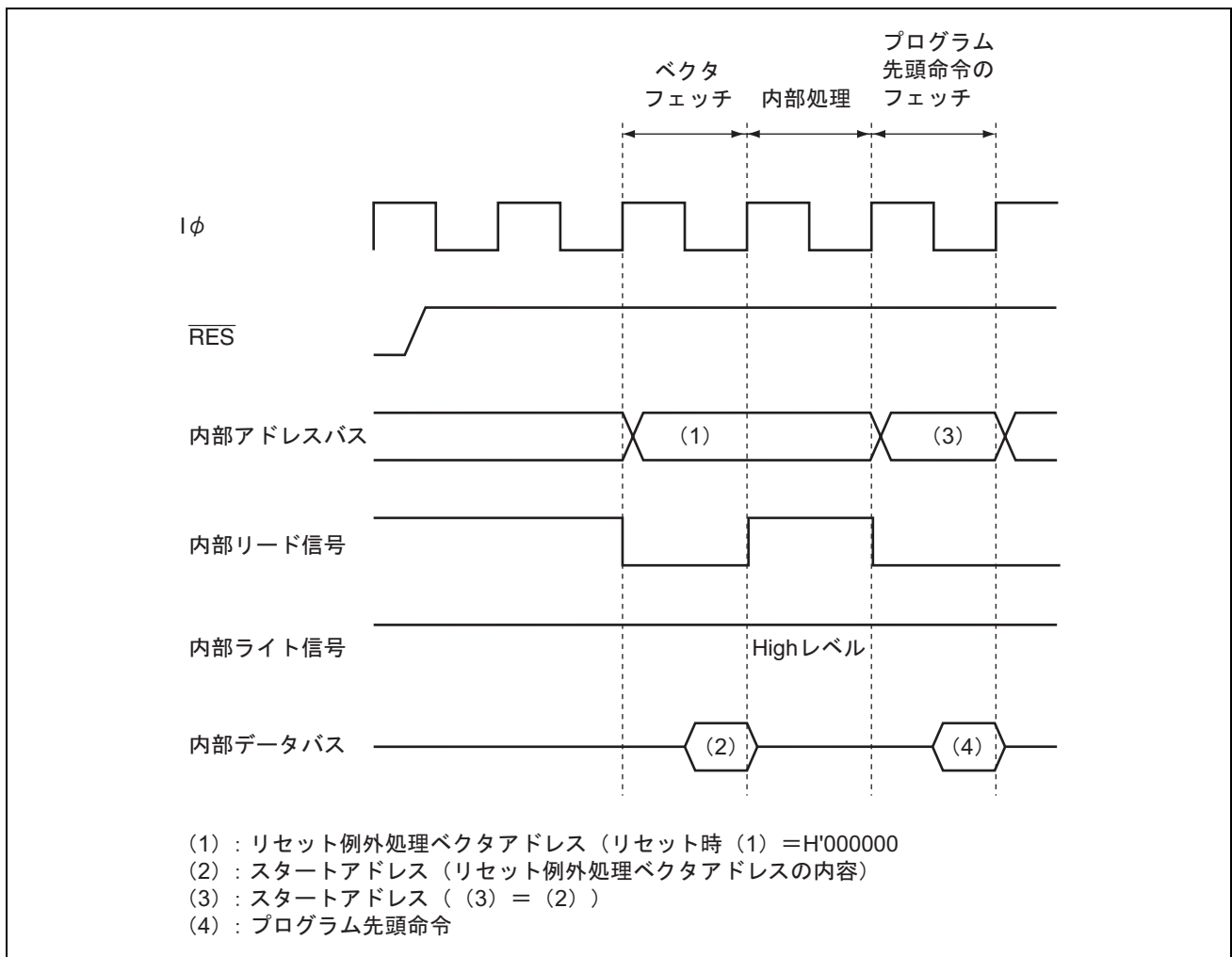


図 6.1 リセットシーケンス (アドバンスモード/内蔵 ROM 有効)

6. 例外処理

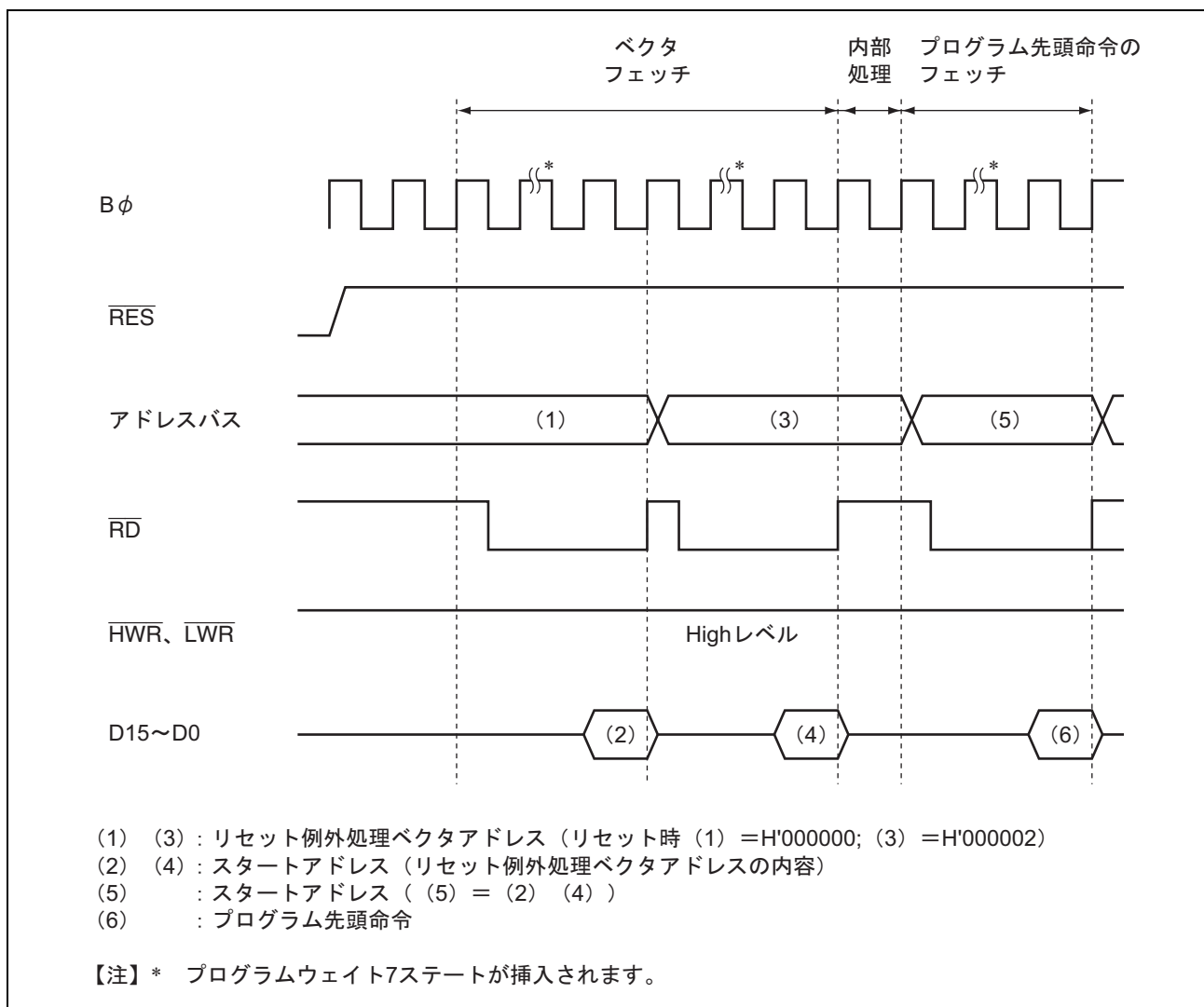


図 6.2 リセットシーケンス (アドバンスモード/内蔵 ROM 無効/外部 16 ビットアクセス空間)

6.4 トレース例外処理

トレースは、割り込み制御モード2で有効です。割り込み制御モード0では、Tビットの状態にかかわらず、トレースモードにはなりません。割り込み制御モードを変更する場合は、Tビット=0の状態で行ってください。割り込み制御モードについては、「7. 割り込みコントローラ」を参照してください。

EXRのTビットを1にセットすると、トレースモードになります。トレースモードではCPUが1命令の実行を完了するたびにトレース例外処理を開始します。トレース例外処理はCCRの割り込みマスクビットの影響を受けません。表6.4にトレース例外処理後のCCR、EXRの状態を示します。トレース例外処理によってEXRのTビットが0にクリアされてトレースモードが解除されますが、スタックに退避されたTビットは1を保持しており、RTE命令によってトレース例外処理ルーチンから復帰した後は再びトレースモードになります。RTE命令の実行ではトレース例外処理を行いません。

トレース例外処理ルーチンでも割り込みを受け付けます。

表 6.4 トレース例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	T	I2~I0
0	トレース例外処理は使用できません。			
2	1	—	0	—

【記号説明】

- 1 : 1にセットされます。
- 0 : 0にクリアされます。
- : 実行前の値が保持されます。

6. 例外処理

6.5 アドレスエラー

6.5.1 アドレスエラー発生要因

アドレスエラーは、表 6.5 に示すように命令フェッチ、スタック操作、データ読み出し／書き込み時に発生します。

表 6.5 バスサイクルとアドレスエラー

バスサイクル		バスサイクルの内容	アドレスエラーの発生
種類	バスマスタ		
命令フェッチ	CPU	偶数アドレスから命令をフェッチ	なし（正常）
		奇数アドレスから命令をフェッチ	アドレスエラー発生
		内蔵周辺モジュール空間* ¹ 以外から命令をフェッチ	なし（正常）
		内蔵周辺モジュール空間* ¹ から命令をフェッチ	アドレスエラー発生
		シングルチップモード時に外部メモリ空間から命令をフェッチ	アドレスエラー発生
		アクセス禁止空間* ² から命令をフェッチ	アドレスエラー発生
スタック操作	CPU	スタックポインタの値が偶数アドレスでスタックをアクセス	なし（正常）
		スタックポインタの値が奇数アドレスでスタックをアクセス	アドレスエラー発生
データ読み出し ／書き込み	CPU	ワードデータを偶数アドレスからアクセス	なし（正常）
		ワードデータを奇数アドレスからアクセス	なし（正常）
		シングルチップモード時に外部メモリ空間をアクセス	アドレスエラー発生
		アクセス禁止空間* ² をアクセス	アドレスエラー発生
データ読み出し ／書き込み	DTC/ DMAC	ワードデータを偶数アドレスからアクセス	なし（正常）
		ワードデータを奇数アドレスからアクセス	なし（正常）
		シングルチップモード時に外部メモリ空間をアクセス	アドレスエラー発生
		アクセス禁止空間* ² をアクセス	アドレスエラー発生
データ読み出し ／書き込み	EXDMAC* ³	ワードデータを偶数アドレスからアクセス	なし（正常）
		ワードデータを奇数アドレスからアクセス	なし（正常）
		シングルチップモード時に外部メモリ空間をアクセス	アドレスエラー発生
		アクセス禁止空間* ² をアクセス	アドレスエラー発生
		外部メモリ空間をアクセス	なし（正常）
		外部メモリ空間以外の空間をアクセス	アドレスエラー発生
シングルアドレス 転送	DMAC/ EXDMAC* ³	シングルアドレス転送時にアドレスアクセス空間が外部メモリ空間	なし（正常）
		シングルアドレス転送時にアドレスアクセス空間が外部メモリ空間以外の空間	アドレスエラー発生

【注】 *¹ 内蔵周辺モジュール空間については、「9. バスコントローラ（BSC）」を参照してください。

*² アクセス禁止空間については、「3.4 アドレスマップ」の図 3.1 を参照してください。

*³ H8SX/1648G グループ、H8SX/1648H グループのみサポート。

6.5.2 アドレスエラー例外処理

アドレスエラーが発生すると、アドレスエラーを起こしたバスサイクルが終了し、実行中の命令が完了してからアドレスエラー例外処理が開始されます。このとき、CPU は次のように動作します。

1. PCとCCR、EXRの内容をスタックに退避します。
2. 割り込みマスクビットを更新し、Tビットを0にクリアします。
3. 発生したアドレスエラーに対応する例外処理ベクタテーブルアドレスを生成し、ベクタテーブルから例外サービスルーチンスタートアドレスをPCにロードして、その番地からプログラムの実行を開始します。

アドレスエラー例外処理に遷移するときアドレスエラーが発生した場合、そのときのアドレスエラーは受け付けません。これは例外処理のスタッキングで発生するアドレスエラーを回避して、無限にアドレスエラー例外処理によるスタッキングが続かないようにするためです。

アドレスエラー例外処理が発生したときにSPが2の倍数になっていない場合、スタックされた値(PC, CCR, EXR) は不定です。

また、アドレスエラーが発生すると、DTC、DMAC、EXDMAC*を停止させるために次の制御を行います。

- DTCのDTCCRのERRビットを1にセット
- DMACのDMDR_0のERRFビットを1にセット
- EXDMAC*のEDMDR_0のERRFビットを1にセット
- DMACの全チャンネルのDMDRのDTEビットを0にクリア、および強制転送終了
- EXDMAC*の全チャンネルのEDMDRのDTEビットを0にクリア、および強制転送終了

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート。

表 6.6 にアドレスエラー例外処理後の CCR、EXR の状態を示します。

表 6.6 アドレスエラー例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	T	I2~I0
0	1	—	—	—
2	1	—	0	7

【記号説明】

1 : 1にセットされます。

0 : 0にクリアされます。

— : 実行前の値が保持されます。

6. 例外処理

6.6 割り込み

6.6.1 割り込み要因

割り込み例外処理を起動させる要因には、表 6.7 に示すように NMI、UBC ブレーク割り込み、IRQ0～IRQ15、内蔵周辺モジュールがあります。

表 6.7 割り込み要因

種類	要求元	要因数
NMI	NMI 端子 (外部からの入力)	1
UBC ブレーク割り込み	ユーザブレークコントローラ (UBC)	1
IRQ0～IRQ15	IRQ0～IRQ15 端子(外部からの入力)	16
電圧検出回路* ²	電圧検出回路(LVD)* ²	1
内蔵周辺モジュール	32K タイマ(TM32K)* ¹	1
	DMA コントローラ (DMAC)	8
	EXDMA コントローラ* ¹ (EXDMAC) * ¹	8
	ウォッチドックタイマ (WDT)	1
	A/D 変換器	3
	16 ビットタイマパルスユニット (TPU)	52
	8 ビットタイマ (TMR)	16
	シリアルコミュニケーションインタフェース (SCI)	28
	I2C バスインタフェース 2 (IIC2)	4
リフレッシュコントローラ* ¹	1	

【注】 *1 H8SX/1648G グループ、H8SX/1648H グループのみサポート。

*2 H8SX/1648L グループ、H8SX/1648H グループのみサポート。

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルオフセットが割り当てられています。ベクタ番号とベクタテーブルアドレスオフセットについては「7. 割り込みコントローラ」の「表 7.2 割り込み要因とベクタアドレスオフセットおよび割り込み優先順位」を参照してください。

6.6.2 割り込み例外処理

割り込みは、割り込みコントローラによって制御されます。割り込み制御には、2つの割り込み制御モードがあり、NMI 以外の割り込みに 8 レベルの優先順位/マスクレベルを設定して、多重割り込みの制御を行うことができます。割り込み例外処理を開始させる要因とベクタアドレスは製品によって異なります。詳細は「7. 割り込みコントローラ」を参照してください。

割り込み例外処理は、次のように動作します。

1. PCとCCR、EXRの内容をスタックに退避します。
2. 割り込みマスクビットを更新し、Tビットを0にクリアします。
3. 割り込み要因に対応する例外処理ベクタテーブルアドレスを生成し、ベクタテーブルから例外サービスルーチンスタートアドレスをPCにロードして、その番地からプログラムの実行を開始します。

6. 例外処理

6.7 命令による例外処理

例外処理を起動する命令には、トラップ命令、スリープ命令、不当命令があります。

6.7.1 トラップ命令例外処理

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。トラップ命令例外処理はプログラム実行状態で常に実行可能です。

トラップ命令例外処理は、次のように動作します。

1. PCとCCR、EXRの内容をスタックに退避します。
2. 割り込みマスクビットを更新し、Tビットを0にクリアします。
3. TRAPA命令で指定したベクタ番号に対応する例外処理ベクタテーブルアドレスを生成し、ベクタテーブルから例外サービスルーチンスタートアドレスをPCにロードして、その番地からプログラムの実行を開始します。

TRAPA 命令は、命令コード中で指定した 0~3 のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

トラップ命令例外処理実行後の CCR、EXR の状態を表 6.8 に示します。

表 6.8 トラップ命令例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	T	I2~I0
0	1	—	—	—
2	1	—	0	—

【記号説明】

1 : 1にセットされます。

0 : 0にクリアされます。

— : 実行前の値が保持されます。

6.7.2 スリープ命令例外処理

スリープ命令例外処理は、SBYCR の SSBY ビット=0、SLPIE ビット=1 の状態で、スリープ (SLEEP) 命令を実行すると、例外処理を開始します。スリープ命令例外処理はプログラム実行状態で常に実行可能です。

このとき、CPU は次のように動作します。

1. PCとCCR、EXRの内容をスタックに退避します。
2. 割り込みマスクビットを更新し、Tビットを0にクリアします。
3. SLEEP命令に対応する例外処理ベクタテーブルアドレスを生成し、ベクタテーブルから例外サービスルーチンスタートアドレスをPCにロードして、その番地からプログラムの実行を開始します。

SLEEP 命令実行後、CPU 以外のバスマスタがバス権を取る場合があります。このとき、SLEEP 命令実行後、CPU 以外のバスマスタの動作が終了し、CPU がバス権を取った時点で、スリープ命令例外処理を開始します。

表 6.9 にスリープ命令例外処理後の CCR、EXR の状態を示します。詳細は「27.10 スリープ命令例外処理」を参照してください。

表 6.9 スリープ命令例外処理との CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	T	I2~I0
0	1	—	—	—
2	1	—	0	7

【記号説明】

- 1 : 1 にセットされます。
- 0 : 0 にクリアされます。
- : 実行前の値が保持されます。

6. 例外処理

6.7.3 不当命令例外処理

不当命令には、一般不当命令とスロット不当命令があります。

一般不当命令例外処理は、未定義コードを実行すると例外処理を開始します。

スロット不当命令例外処理は、遅延スロットの命令（遅延分岐命令の直後の命令）として、2ワード以上の命令、またはPCを書き換える命令を実行すると例外処理を開始します。

一般不当命令例外処理、およびスロット不当命令例外処理は、プログラム実行状態で常に実行可能です。

一般不当命令例外処理、およびスロット不当命令例外処理は、次のように動作します。

1. PCとCCR、EXRの内容をスタックに退避します。
2. 割り込みマスクビットを更新し、Tビットを0にクリアします。
3. 発生した例外に対応する例外処理ベクタテーブルアドレスを生成し、ベクタテーブルから例外サービスルーチンスタートアドレスをPCにロードして、その番地からプログラムの実行を開始します。

表6.10に不当命令例外処理後のCCR、EXRの状態を示します。

表 6.10 不当命令例外処理後のCCR、EXRの状態

割り込み制御モード	CCR		EXR	
	I	UI	T	I2~I0
0	1	—	—	—
2	1	—	0	—

【記号説明】

1 : 1にセットされます。

0 : 0にクリアされます。

— : 実行前の値が保持されます。

6.8 例外処理後のスタックの状態

例外処理後のスタックの状態を図 6.3 に示します。

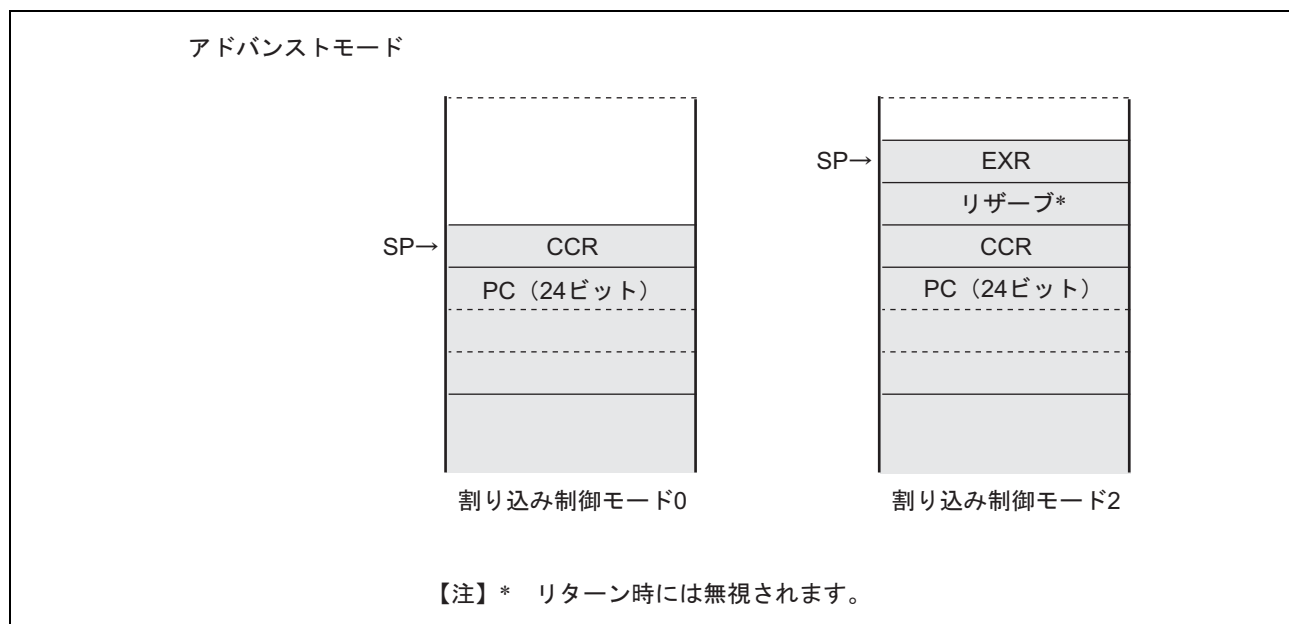


図 6.3 例外処理終了後のスタックの状態

6.9 使用上の注意事項

スタックを操作するアクセスを行う場合は、アドレスの最下位ビットは 0 と見なされます。スタック領域に対するアクセスは、常にワードサイズまたはロングワードサイズで行い、スタックポインタ (SP : ER7) の内容は奇数にしないでください。

すなわち、レジスタの退避は、

```
PUSH.W Rn (MOV.W Rn, @-SP)
```

```
PUSH.L ERn (MOV.L ERn, @-SP)
```

また、レジスタの復帰は、

```
POP.W Rn (MOV.W @SP+, Rn)
```

```
POP.L ERn (MOV.L @SP+, ERn)
```

を使用してください。

6. 例外処理

SP を奇数に設定した状態でスタック操作を行うとアドレスエラーが発生します。SP を奇数に設定した場合の動作例を図 6.4 に示します。

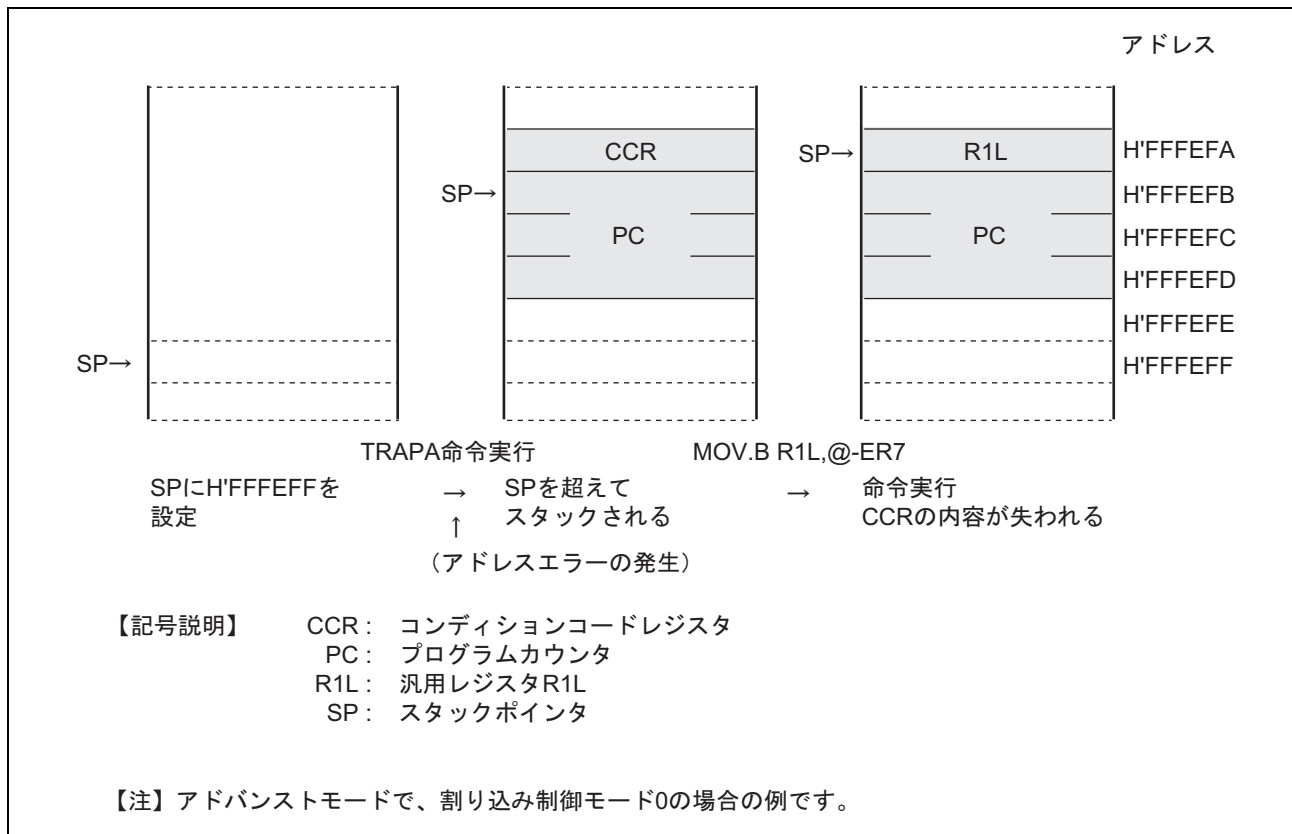


図 6.4 SP を奇数に設定したときの動作

7. 割り込みコントローラ

7.1 特長

- 2種類の割り込み制御モード
割り込みコントロールレジスタ (INTCR) のINTM1、INTM0ビットにより、2種類の割り込み制御モードを選択できます。
- インタラプトプライオリティレジスタ (IPR) により、優先順位を設定可能
IPRにより、以下に示した割り込み要求以外は、モジュールごとに8レベルの優先順位を設定できます。
(1) ~ (8) の要求は、最優先のレベル8の割り込みとして常に受け付けられます。
(1) NMI
(2) 不当命令
(3) トレース
(4) トラップ命令
(5) CPUアドレスエラー
(6) DMAアドレスエラー*¹
(7) スリープ命令
(8) UBCブレーク割り込み
- 独立したベクタアドレス
すべての割り込み要因には独立したベクタアドレスが割り当てられており、割り込み処理ルーチンで要因を判別する必要がありません。
- 17本の外部割り込み端子
NMIは最優先の割り込みで常に受け付けられます。NMIは立ち上がりエッジ、または立ち下がりエッジを選択できます。 $\overline{\text{IRQ15}} \sim \overline{\text{IRQ0}}$ は立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかをそれぞれ独立に選択できます。
- DTC、DMACの制御
割り込み要求により、DTCおよびDMACを起動することができます。
- CPUの優先レベル制御機能
CPUと、DTC、DMAC、EXDMAC*²との間の優先レベルを設定できます。CPUの優先レベルは例外処理により自動設定することが可能で、CPUの割り込み例外処理などをDTC、DMAC、EXDMAC*²の転送処理よりも優先させることができます。

【注】 *1 DMA アドレスエラーの要因発生元は、DTC と DMAC、EXDMAC*²です。

*2 H8SX/1648G グループ、H8SX/1648H グループのみサポート。

7. 割り込みコントローラ

割り込みコントローラのブロック図を図 7.1 に示します。

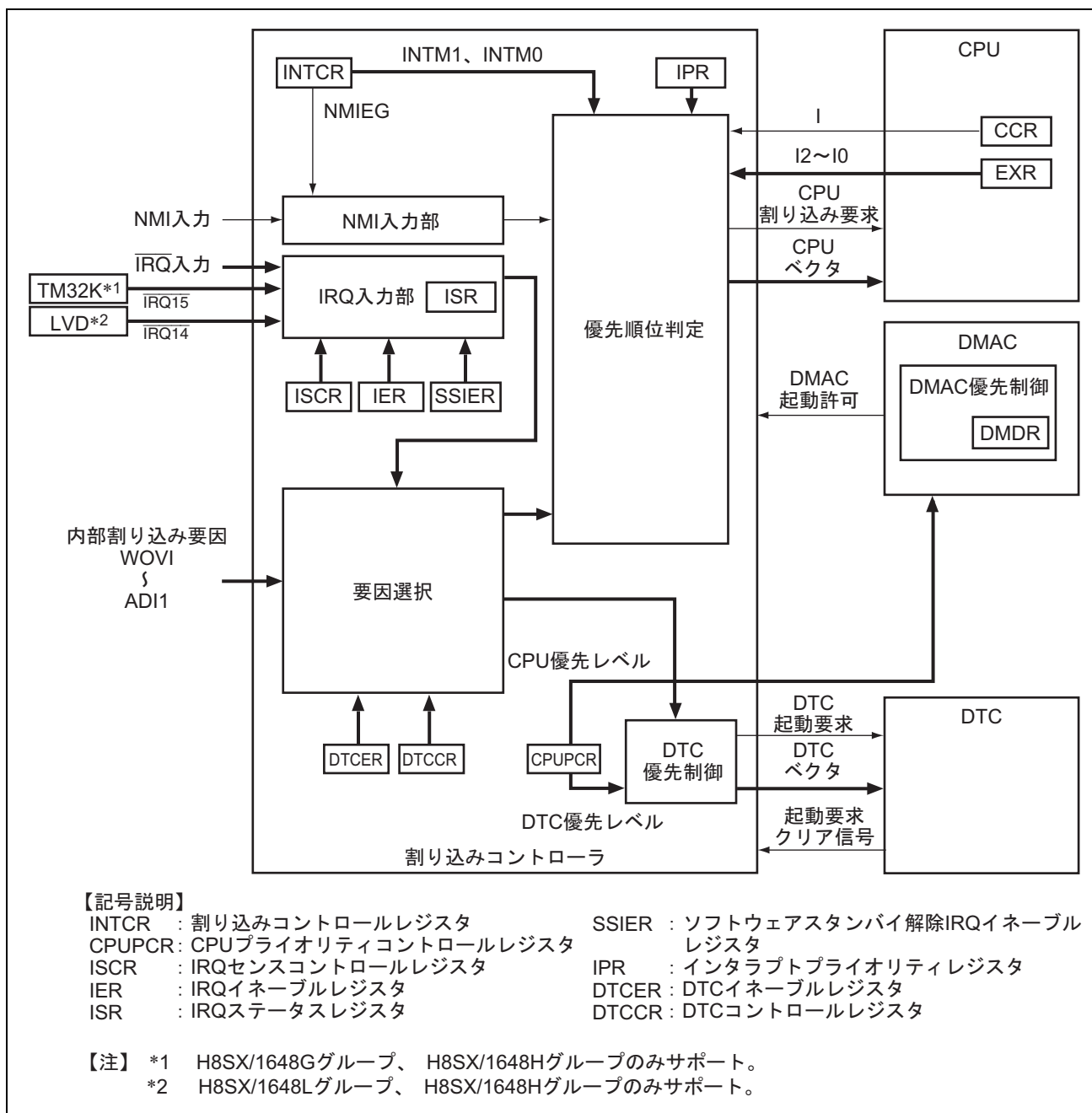


図 7.1 割り込みコントローラのブロック図

7.2 入出力端子

割り込みコントローラの端子構成を表 7.1 に示します。

表 7.1 端子構成

名 称	入出力	機 能
NMI	入力	ノンマスカブル外部割り込み端子 立ち上がりエッジ、または立ち下がりエッジを選択できます。
IRQ15~IRQ0	入力	マスク可能な外部割り込み端子 立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかを独立に選択できます。

7.3 レジスタの説明

割り込みコントローラには以下のレジスタがあります。

- 割り込みコントロールレジスタ (INTCR)
- CPUプライオリティコントロールレジスタ (CPUPCR)
- インタラプトプライオリティレジスタ
H8SX/1648グループ、H8SX/1648Aグループ、H8SX/1648Lグループ：
インタラプトプライオリティレジスタA~I、K~O、Q、R (IPRA~IPRI、IPRK~IPRO、IPRQ、IPRR)
H8SX/1648Gグループ、H8SX/1648Hグループ：
インタラプトプライオリティレジスタA~O、Q、R (IPRA~IPRO、IPRQ、IPRR)
- IRQイネーブルレジスタ (IER)
- IRQセンスコントロールレジスタH、L (ISCRH、ISCRL)
- IRQステータスレジスタ (ISR)
- ソフトウェアスタンバイ解除IRQイネーブルレジスタ (SSIER)

7. 割り込みコントローラ

7.3.1 割り込みコントロールレジスタ (INTCR)

INTCR は、割り込み制御モードの選択、NMI を検出するエッジの選択を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	INTM1	INTM0	NMIEG	—	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット
6	—	0	R	これらのビットはリードのみ有効で、ライトは無効です。
5	INTM1	0	R/W	割り込み制御選択モード 1、0 割り込みコントローラの割り込み制御モードを選択します。 00 : 割り込み制御モード 0 CCR の I ビットで割り込みを制御します。 01 : 設定禁止 10 : 割り込み制御モード 2 EXR の I2~I0 ビットと IPR で割り込みを制御します。 11 : 設定禁止
4	INTM0	0	R/W	
3	NMIEG	0	R/W	NMI エッジセレクト NMI 端子の入力エッジ選択を行います。 0 : NMI 入力の立ち下がリエッジで割り込み要求を発生 1 : NMI 入力の立ち上がりエッジで割り込み要求を発生
2~0	—	すべて 0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。

7.3.2 CPU プライオリティコントロールレジスタ (CPUPCR)

CPUPCR は、DTC、DMAC、EXDMAC*に対して CPU の優先レベルを設定します。CPU の割り込み例外処理などを DTC、DMAC、EXDMAC*の転送処理よりも優先させることができます。DTC の優先レベルは、CPUPCR の DTCP2~DTCP0 ビットで設定します。DMAC、EXDMAC*の優先レベルは、各チャンネルごとに DMAC、EXDMAC*のコントロールレジスタで設定します。

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート。

ビット	7	6	5	4	3	2	1	0
ビット名	CPUPCE	DTCP2	DTCP1	DTCP0	IPSETE	CPUP2	CPUP1	CPUP0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/(W)*	R/(W)*	R/(W)*

【注】 * IPSETEビットが1にセットされると、自動更新になるためライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	CPUPCE	0	R/W	CPU プライオリティコントロールイネーブル CPU の優先レベル制御機能を制御します。このビットを 1 にセットすると、DTC、DMAC、EXDMAC* ¹ に対して CPU の優先レベル制御が有効になります。 0 : CPU は常に優先レベル最低 1 : CPU の優先レベル制御は有効
6	DTCP2	0	R/W	DTC プライオリティレベル 2~0
5	DTCP1	0	R/W	DTC の優先レベルを設定します。
4	DTCP0	0	R/W	000 : 優先レベル 0 (最低) 001 : 優先レベル 1 010 : 優先レベル 2 011 : 優先レベル 3 100 : 優先レベル 4 101 : 優先レベル 5 110 : 優先レベル 6 111 : 優先レベル 7 (最高)
3	IPSETE	0	R/W	インタラプトプライオリティセットイネーブル 割り込み優先順位を、自動的に CPU の優先レベルに設定する機能を制御します。このビットを 1 にセットすると、CPU の割り込みマスクビット (CCR の I、EXR の I2~I0) の値により、CPUP2~CPUP0 ビットを自動的に設定します。 0 : CPUP2~CPUP0 ビットは自動更新しない 1 : 割り込みマスクビットの値を CPUP2~CPUP0 ビットに反映する

7. 割り込みコントローラ

ビット	ビット名	初期値	R/W	説明
2	CPUP2	0	R/(W)* ²	CPU プライオリティレベル 2~0
1	CPUP1	0	R/(W)* ²	CPU の優先レベルを設定します。CPUPCE ビットが 1 のとき、DTC、DMAC、EXDMAC* ¹ に対して CPU の優先レベル制御が有効になり、これらのビットの設定に従って CPU の処理の優先レベルが設定されます。 000 : 優先レベル 0 (最低) 001 : 優先レベル 1 010 : 優先レベル 2 011 : 優先レベル 3 100 : 優先レベル 4 101 : 優先レベル 5 110 : 優先レベル 6 111 : 優先レベル 7 (最高)
0	CPUP0	0	R/(W)* ²	

【注】 *1 H8SX/1648G グループ、H8SX/1648H グループのみサポート。

*2 IPSETE ビットが 1 にセットされると、自動更新になるためライトは無効です。

7.3.3 インタラプトプライオリティレジスタ

H8SX/1648 グループ、H8SX/1648A グループ、H8SX/1648L グループ :

インタラプトプライオリティレジスタ A~I、K~O、Q、R

(IPRA~IPRI、IPRK~IPRO、IPRQ、IPRR)

H8SX/1648G グループ、H8SX/1648H グループ :

インタラプトプライオリティレジスタ A~O、Q、R

(IPRA~IPRO、IPRQ、IPRR)

IPR は、NMI を除く割り込み要因の優先順位 (レベル 0~7) を設定します。ビット 14~12、ビット 10~8、ビット 6~4、ビット 2~0 の各 3 ビットに B'000 から B'111 の範囲の値を設定することによって、対応する割り込み要求の優先順位が決まります。各割り込み要因と IPR の対応については、表 7.2 を参照してください。

ビット	15	14	13	12	11	10	9	8
ビット名	—	IPR14	IPR13	IPR12	—	IPR10	IPR9	IPR8
初期値 :	0	1	1	1	0	1	1	1
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	—	IPR6	IPR5	IPR4	—	IPR2	IPR1	IPR0
初期値 :	0	1	1	1	0	1	1	1
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W

7. 割り込みコントローラ

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
14	IPR14	1	R/W	対応する割り込み要因の優先順位を設定します。 000 : 優先レベル 0 (最低) 001 : 優先レベル 1 010 : 優先レベル 2 011 : 優先レベル 3 100 : 優先レベル 4 101 : 優先レベル 5 110 : 優先レベル 6 111 : 優先レベル 7 (最高)
13	IPR13	1	R/W	
12	IPR12	1	R/W	
11	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
10	IPR10	1	R/W	対応する割り込み要因の優先順位を設定します。 000 : 優先レベル 0 (最低) 001 : 優先レベル 1 010 : 優先レベル 2 011 : 優先レベル 3 100 : 優先レベル 4 101 : 優先レベル 5 110 : 優先レベル 6 111 : 優先レベル 7 (最高)
9	IPR9	1	R/W	
8	IPR8	1	R/W	
7	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
6	IPR6	1	R/W	対応する割り込み要因の優先順位を設定します。 000 : 優先レベル 0 (最低) 001 : 優先レベル 1 010 : 優先レベル 2 011 : 優先レベル 3 100 : 優先レベル 4 101 : 優先レベル 5 110 : 優先レベル 6 111 : 優先レベル 7 (最高)
5	IPR5	1	R/W	
4	IPR4	1	R/W	
3	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。

7. 割り込みコントローラ

ビット	ビット名	初期値	R/W	説明
2	IPR2	1	R/W	対応する割り込み要因の優先順位を設定します。 000 : 優先レベル 0 (最低) 001 : 優先レベル 1 010 : 優先レベル 2 011 : 優先レベル 3 100 : 優先レベル 4 101 : 優先レベル 5 110 : 優先レベル 6 111 : 優先レベル 7 (最高)
1	IPR1	1	R/W	
0	IPR0	1	R/W	

7.3.4 IRQ イネーブルレジスタ (IER)

IER は、IRQ15~IRQ0 割り込み要求をイネーブルにします。

ビット	15	14	13	12	11	10	9	8
ビット名	IRQ15E	IRQ14E	IRQ13E	IRQ12E	IRQ11E	IRQ10E	IRQ9E	IRQ8E
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	IRQ15E	0	R/W	IRQ15 イネーブル このビットが 1 のとき IRQ15 割り込み要求がイネーブルになります。 また、TM32K* ¹ の 32KOV1 がイネーブルになります。
14	IRQ14E	0	R/W	IRQ14 イネーブル このビットが 1 のとき IRQ14 割り込み要求がイネーブルになります。 また、LVD* ² の電圧監視割り込みがイネーブルになります。
13	IRQ13E	0	R/W	IRQ13 イネーブル このビットが 1 のとき IRQ13 割り込み要求がイネーブルになります。
12	IRQ12E	0	R/W	IRQ12 イネーブル このビットが 1 のとき IRQ12 割り込み要求がイネーブルになります。
11	IRQ11E	0	R/W	IRQ11 イネーブル このビットが 1 のとき IRQ11 割り込み要求がイネーブルになります。
10	IRQ10E	0	R/W	IRQ10 イネーブル このビットが 1 のとき IRQ10 割り込み要求がイネーブルになります。

7. 割り込みコントローラ

ビット	ビット名	初期値	R/W	説明
9	IRQ9E	0	R/W	IRQ9 イネーブル このビットが1のとき IRQ9 割り込み要求がイネーブルになります。
8	IRQ8E	0	R/W	IRQ8 イネーブル このビットが1のとき IRQ8 割り込み要求がイネーブルになります。
7	IRQ7E	0	R/W	IRQ7 イネーブル このビットが1のとき IRQ7 割り込み要求がイネーブルになります。
6	IRQ6E	0	R/W	IRQ6 イネーブル このビットが1のとき IRQ6 割り込み要求がイネーブルになります。
5	IRQ5E	0	R/W	IRQ5 イネーブル このビットが1のとき IRQ5 割り込み要求がイネーブルになります。
4	IRQ4E	0	R/W	IRQ4 イネーブル このビットが1のとき IRQ4 割り込み要求がイネーブルになります。
3	IRQ3E	0	R/W	IRQ3 イネーブル このビットが1のとき IRQ3 割り込み要求がイネーブルになります。
2	IRQ2E	0	R/W	IRQ2 イネーブル このビットが1のとき IRQ2 割り込み要求がイネーブルになります。
1	IRQ1E	0	R/W	IRQ1 イネーブル このビットが1のとき IRQ1 割り込み要求がイネーブルになります。
0	IRQ0E	0	R/W	IRQ0 イネーブル このビットが1のとき IRQ0 割り込み要求がイネーブルになります。

【注】 *1 H8SX/1648G グループ、H8SX/1648H グループのみサポート。

*2 H8SX/1648L グループ、H8SX/1648H グループのみサポート。

7. 割り込みコントローラ

7.3.5 IRQ センスコントロールレジスタ H、L (ISCRH、ISCRL)

ISCR は、IRQ15～IRQ0 入力から割り込み要求を発生させる要因を選択します。

ISCR の設定変更時に、内部動作により ISR の IRQnF (n=0～15) が意図しないで 1 にセットされる場合があります。このとき、IRQn 割り込み要求が許可されていると割り込み例外処理を実行します。この意図しない割り込みを防ぐには、ISCR の設定変更を IRQn 割り込みを禁止した状態で行い、その後 ISR の IRQnF を 0 にクリアしてください。

・ ISCRH

ビット	15	14	13	12	11	10	9	8
ビット名	IRQ15SR	IRQ15SF	IRQ14SR	IRQ14SF	IRQ13SR	IRQ13SF	IRQ12SR	IRQ12SF
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	7	6	5	4	3	2	1	0
ビット名	IRQ11SR	IRQ11SF	IRQ10SR	IRQ10SF	IRQ9SR	IRQ9SF	IRQ8SR	IRQ8SF
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

・ ISCRL

ビット	15	14	13	12	11	10	9	8
ビット名	IRQ7SR	IRQ7SF	IRQ6SR	IRQ6SF	IRQ5SR	IRQ5SF	IRQ4SR	IRQ4SF
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	7	6	5	4	3	2	1	0
ビット名	IRQ3SR	IRQ3SF	IRQ2SR	IRQ2SF	IRQ1SR	IRQ1SF	IRQ0SR	IRQ0SF
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• ISCRH

ビット	ビット名	初期値	R/W	説明
15 14	IRQ15SR IRQ15SF	0 0	R/W R/W	<p>IRQ15 センスコントロールライズ IRQ15 センスコントロールフォール</p> <ul style="list-style-type: none"> IRQ15 として使用する場合 <ul style="list-style-type: none"> 00 : $\overline{\text{IRQ15}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ15}}$ 入力の立ち下がリエッジで割り込み要求を発生 10 : $\overline{\text{IRQ15}}$ 入力の立ち上がリエッジで割り込み要求を発生 11 : $\overline{\text{IRQ15}}$ 入力の立ち上がり、立ち下がりの両エッジで割り込み要求を発生 TM32K*¹ : 32KOV1 として使用する場合 <p>IRQ15 は、TM32K の 32KOV1 割り込みに使用します。使用時は、立ち下がリエッジ割り込み要求に設定してください。</p> <ul style="list-style-type: none"> 00 : 初期値 01 : $\overline{\text{IRQ15}}$ 入力の立ち下がリエッジで割り込み要求を発生 10 : 設定禁止 11 : 設定禁止
13 12	IRQ14SR IRQ14SF	0 0	R/W R/W	<p>IRQ14 センスコントロールライズ IRQ14 センスコントロールフォール</p> <ul style="list-style-type: none"> IRQ14 として使用する場合 <ul style="list-style-type: none"> 00 : $\overline{\text{IRQ14}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ14}}$ 入力の立ち下がリエッジで割り込み要求を発生 10 : $\overline{\text{IRQ14}}$ 入力の立ち上がリエッジで割り込み要求を発生 11 : $\overline{\text{IRQ14}}$ 入力の立ち上がり、立ち下がりの両エッジで割り込み要求を発生 LVD*² : 電圧監視割り込みとして使用する場合 <p>IRQ14 は、LVD の電圧監視割り込みに使用します。使用時は、立ち下がリエッジ割り込み要求に設定してください。</p> <ul style="list-style-type: none"> 00 : 初期値 01 : $\overline{\text{IRQ14}}$ 入力の立ち下がリエッジで割り込み要求を発生 10 : 設定禁止 11 : 設定禁止
11 10	IRQ13SR IRQ13SF	0 0	R/W R/W	<p>IRQ13 センスコントロールライズ IRQ13 センスコントロールフォール</p> <ul style="list-style-type: none"> 00 : $\overline{\text{IRQ13}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ13}}$ 入力の立ち下がリエッジで割り込み要求を発生 10 : $\overline{\text{IRQ13}}$ 入力の立ち上がリエッジで割り込み要求を発生 11 : $\overline{\text{IRQ13}}$ 入力の立ち上がり、立ち下がりの両エッジで割り込み要求を発生

7. 割り込みコントローラ

ビット	ビット名	初期値	R/W	説明
9	IRQ12SR	0	R/W	IRQ12 センスコントロールライズ IRQ12 センスコントロールフォール 00: $\overline{\text{IRQ12}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ12}}$ 入力の立ち下がリエッジで割り込み要求を発生 10: $\overline{\text{IRQ12}}$ 入力の立ち上がリエッジで割り込み要求を発生 11: $\overline{\text{IRQ12}}$ 入力の立ち上がり、立ち下がりの両エッジで割り込み要求を発生
8	IRQ12SF	0	R/W	
7	IRQ11SR	0	R/W	IRQ11 センスコントロールライズ IRQ11 センスコントロールフォール 00: $\overline{\text{IRQ11}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ11}}$ 入力の立ち下がリエッジで割り込み要求を発生 10: $\overline{\text{IRQ11}}$ 入力の立ち上がリエッジで割り込み要求を発生 11: $\overline{\text{IRQ11}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
6	IRQ11SF	0	R/W	
5	IRQ10SR	0	R/W	IRQ10 センスコントロールライズ IRQ10 センスコントロールフォール 00: $\overline{\text{IRQ10}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ10}}$ 入力の立ち下がリエッジで割り込み要求を発生 10: $\overline{\text{IRQ10}}$ 入力の立ち上がリエッジで割り込み要求を発生 11: $\overline{\text{IRQ10}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
4	IRQ10SF	0	R/W	
3	IRQ9SR	0	R/W	IRQ9 センスコントロールライズ IRQ9 センスコントロールフォール 00: $\overline{\text{IRQ9}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ9}}$ 入力の立ち下がリエッジで割り込み要求を発生 10: $\overline{\text{IRQ9}}$ 入力の立ち上がリエッジで割り込み要求を発生 11: $\overline{\text{IRQ9}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
2	IRQ9SF	0	R/W	
1	IRQ8SR	0	R/W	IRQ8 センスコントロールライズ IRQ8 センスコントロールフォール 00: $\overline{\text{IRQ8}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ8}}$ 入力の立ち下がリエッジで割り込み要求を発生 10: $\overline{\text{IRQ8}}$ 入力の立ち上がリエッジで割り込み要求を発生 11: $\overline{\text{IRQ8}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
0	IRQ8SF	0	R/W	

【注】 *1 H8SX/1648G グループ、H8SX/1648H グループのみサポート。

*2 H8SX/1648L グループ、H8SX/1648H グループのみサポート。

• ISCR1

ビット	ビット名	初期値	R/W	説明
15	IRQ7SR	0	R/W	IRQ7 センスコントロールライズ
14	IRQ7SF	0	R/W	IRQ7 センスコントロールフォール 00 : $\overline{\text{IRQ7}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ7}}$ 入力の立ち下がリエッジで割り込み要求を発生 10 : $\overline{\text{IRQ7}}$ 入力の立ち上がリエッジで割り込み要求を発生 11 : $\overline{\text{IRQ7}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
13	IRQ6SR	0	R/W	IRQ6 センスコントロールライズ
12	IRQ6SF	0	R/W	IRQ6 センスコントロールフォール 00 : $\overline{\text{IRQ6}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ6}}$ 入力の立ち下がリエッジで割り込み要求を発生 10 : $\overline{\text{IRQ6}}$ 入力の立ち上がリエッジで割り込み要求を発生 11 : $\overline{\text{IRQ6}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
11	IRQ5SR	0	R/W	IRQ5 センスコントロールライズ
10	IRQ5SF	0	R/W	IRQ5 センスコントロールフォール 00 : $\overline{\text{IRQ5}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ5}}$ 入力の立ち下がリエッジで割り込み要求を発生 10 : $\overline{\text{IRQ5}}$ 入力の立ち上がリエッジで割り込み要求を発生 11 : $\overline{\text{IRQ5}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
9	IRQ4SR	0	R/W	IRQ4 センスコントロールライズ
8	IRQ4SF	0	R/W	IRQ4 センスコントロールフォール 00 : $\overline{\text{IRQ4}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ4}}$ 入力の立ち下がリエッジで割り込み要求を発生 10 : $\overline{\text{IRQ4}}$ 入力の立ち上がリエッジで割り込み要求を発生 11 : $\overline{\text{IRQ4}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
7	IRQ3SR	0	R/W	IRQ3 センスコントロールライズ
6	IRQ3SF	0	R/W	IRQ3 センスコントロールフォール 00 : $\overline{\text{IRQ3}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ3}}$ 入力の立ち下がリエッジで割り込み要求を発生 10 : $\overline{\text{IRQ3}}$ 入力の立ち上がリエッジで割り込み要求を発生 11 : $\overline{\text{IRQ3}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
5	IRQ2SR	0	R/W	IRQ2 センスコントロールライズ
4	IRQ2SF	0	R/W	IRQ2 センスコントロールフォール 00 : $\overline{\text{IRQ2}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ2}}$ 入力の立ち下がリエッジで割り込み要求を発生 10 : $\overline{\text{IRQ2}}$ 入力の立ち上がリエッジで割り込み要求を発生 11 : $\overline{\text{IRQ2}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生

7. 割り込みコントローラ

ビット	ビット名	初期値	R/W	説明
3	IRQ1SR	0	R/W	IRQ1 センスコントロールライズ
2	IRQ1SF	0	R/W	IRQ1 センスコントロールフォール 00 : $\overline{\text{IRQ1}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ1}}$ 入力の立ち下がリエッジで割り込み要求を発生 10 : $\overline{\text{IRQ1}}$ 入力の立ち上がリエッジで割り込み要求を発生 11 : $\overline{\text{IRQ1}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
1	IRQ0SR	0	R/W	IRQ0 センスコントロールライズ
0	IRQ0SF	0	R/W	IRQ0 センスコントロールフォール 00 : $\overline{\text{IRQ0}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ0}}$ 入力の立ち下がリエッジで割り込み要求を発生 10 : $\overline{\text{IRQ0}}$ 入力の立ち上がリエッジで割り込み要求を発生 11 : $\overline{\text{IRQ0}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生

7.3.6 IRQ ステータスレジスタ (ISR)

ISR は、IRQ15～IRQ0 割り込み要求レジスタです。

ビット	15	14	13	12	11	10	9	8
ビット名	IRQ15F	IRQ14F	IRQ13F	IRQ12F	IRQ11F	IRQ10F	IRQ9F	IRQ8F
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*
ビット	7	6	5	4	3	2	1	0
ビット名	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするための0ライトのみ可能です。
フラグのクリアは、ビット操作命令、またはメモリ演算命令を使用してください。

ビット	ビット名	初期値	R/W	説明
15	IRQ15F	0	R/(W)* ¹	IRQ15 として使用する場合 : [セット条件] <ul style="list-style-type: none"> ISCR で選択した割り込み要因が発生したとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき Low レベル検出設定の状態、かつ $\overline{\text{IRQ15}}$ 入力が High レベルの状態での割り込み例外処理を実行したとき 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時の状態で IRQ15 割り込み例外処理を実行したとき IRQn 割り込みにより DTC が起動され、DTC の MRB の DISSEL が 0 のとき TM32K* ² : 32KOVI として使用する場合 [セット条件] <ul style="list-style-type: none"> ISCR で選択した割り込み要因が発生したとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき 立ち下がりエッジ検出設定時の状態で IRQ15 割り込み例外処理を実行したとき

7. 割り込みコントローラ

ビット	ビット名	初期値	R/W	説明
14	IRRQ14F	0	R/(W)* ¹	<p>IRQ14 として使用する場合 :</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • ISCR で選択した割り込み要因が発生したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき • Low レベル検出設定の状態、かつ $\overline{\text{IRQ14}}$ 入力が High レベルの状態での割り込み例外処理を実行したとき • 立ち下がリエッジ、立ち上がりエッジ、両エッジ検出設定時の状態で IRQ14 割り込み例外処理を実行したとき • IRQ14 割り込みにより DTC が起動され、DTC の MRB の DISSEL が 0 のとき <p>LVD*³ : 電圧監視割り込みとして使用する場合</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • ISCR で選択した割り込み要因が発生したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき • 立ち下がリエッジ検出設定時の状態で IRQ14 割り込み例外処理を実行したとき
13	IRQ13F	0	R/(W)* ¹	[セット条件]
12	IRQ12F	0	R/(W)* ¹	• ISCR で選択した割り込み要因が発生したとき
11	IRQ11F	0	R/(W)* ¹	[クリア条件]
10	IRQ10F	0	R/(W)* ¹	• 1 の状態をリードした後、0 をライトしたとき
9	IRQ9F	0	R/(W)* ¹	• Low レベル検出設定の状態、かつ $\overline{\text{IRQn}}$ 入力が High レベルの状態での割り込み例外処理を実行したとき (n=13~0)
8	IRQ8F	0	R/(W)* ¹	• 立ち下がリエッジ、立ち上がりエッジ、両エッジ検出設定時の状態で IRQn 割り込み例外処理を実行したとき
7	IRQ7F	0	R/(W)* ¹	• IRQn 割り込みにより DTC が起動され、DTC の MRB の DISSEL が 0 のとき
6	IRQ6F	0	R/(W)* ¹	
5	IRQ5F	0	R/(W)* ¹	
4	IRQ4F	0	R/(W)* ¹	
3	IRQ3F	0	R/(W)* ¹	
2	IRQ2F	0	R/(W)* ¹	
1	IRQ1F	0	R/(W)* ¹	
0	IRQ0F	0	R/(W)* ¹	

【注】 *1 フラグをクリアするための 0 ライトのみ可能です。

*2 H8SX/1648G グループ、 H8SX/1648H グループのみサポート。

*3 H8SX/1648L グループ、 H8SX/1648H グループのみサポート。

7.3.7 ソフトウェアスタンバイ解除 IRQ イネーブルレジスタ (SSIER)

SSIER は、ソフトウェアスタンバイ状態から復帰するために使用する IRQ 割り込みを設定します。

ソフトウェアスタンバイ状態から復帰するために使用する IRQ 割り込みは、DTC 起動要因として設定しないでください。

ビット	15	14	13	12	11	10	9	8
ビット名	SSI15	SSI14	SSI13	SSI12	SSI11	SSI10	SSI9	SSI8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	SSI7	SSI6	SSI5	SSI4	SSI3	SSI2	SSI1	SSI0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	SSI15	0	R/W	ソフトウェアスタンバイ解除 IRQ 設定
14	SSI14	0	R/W	SSIn ビットは、ソフトウェアスタンバイ状態から復帰するために使用する IRQn 割り込みを設定します (n=15~0)。 0 : IRQn 割り込み要求は、ソフトウェアスタンバイ状態ではサンプリングされません。 1 : ソフトウェアスタンバイ状態で IRQn 割り込み要求があると、発振安定時間を経てソフトウェアスタンバイ状態から復帰します。
13	SSI13	0	R/W	
12	SSI12	0	R/W	
11	SSI11	0	R/W	
10	SSI10	0	R/W	
9	SSI9	0	R/W	
8	SSI8	0	R/W	
7	SSI7	0	R/W	
6	SSI6	0	R/W	
5	SSI5	0	R/W	
4	SSI4	0	R/W	
3	SSI3	0	R/W	
2	SSI2	0	R/W	
1	SSI1	0	R/W	
0	SSI0	0	R/W	

7.4 割り込み要因

7.4.1 外部割り込み要因

外部割り込みには、NMI、IRQ15～IRQ0 の 17 要因があります。このうち、外部割り込みはソフトウェアスタンバイモードからの復帰に使用できます。

(1) NMI 割り込み

ノンマスクابل割り込み要求 NMI は最優先の外部割り込み要求で、割り込み制御モードや CPU の割り込みマスクビットの状態にかかわらず常に受け付けられます。NMI 割り込み要求を NMI 入力の立ち上がりエッジと、立ち下がりエッジのどちらで発生させるかは、INTCR の NMIEG ビットで選択できます。

NMI 割り込みが発生すると、割り込みコントローラはエラー発生と見なして次の制御を行います。

- DTCのDTCCRのERRビットを1にセット
- DMACのDMDR_0のERRFビットを1にセット
- EXDMAC*のDMDR_0のERRFビットを1にセット
- DMACの全チャンネルのDMDRのDTEビットを0にクリア、および強制転送終了
- EXDMAC*の全チャンネルのDMDRのDTEビットを0にクリア、および強制転送終了

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート。

(2) IRQn 割り込み

IRQn 割り込みは、 $\overline{\text{IRQn}}$ 入力により割り込み要求を発生します (n=15～0)。

IRQn 割り込みには以下の特長があります。

- $\overline{\text{IRQn}}$ 入力のLowレベル、立ち下がりエッジ、立ち上がりエッジおよび両エッジのいずれで割り込み要求を発生させるか、ISCRで選択できます。
- IRQn 割り込み要求は、IERにより選択できます。
- IPRにより、割り込み要因の優先順位を設定できます。
- IRQn 割り込み要求のステータスは、ISRに表示されます。ISRのフラグは、ソフトウェアで0にクリアすることができます。ISRのフラグのクリアは、ビット操作命令、またはメモリ演算命令を使用してください。

IRQn 割り込みの検出はPIICR、P2ICR、P5ICR、P6ICR の設定により有効となり、当該端子の出力の設定に依存しません。したがって、外部割り込み入力端子として使用する場合には、対応する DDR を 0 にクリアして、その他の機能の入出力端子として使用しないでください。

IRQn 割り込みのブロック図を図 7.2 に示します。

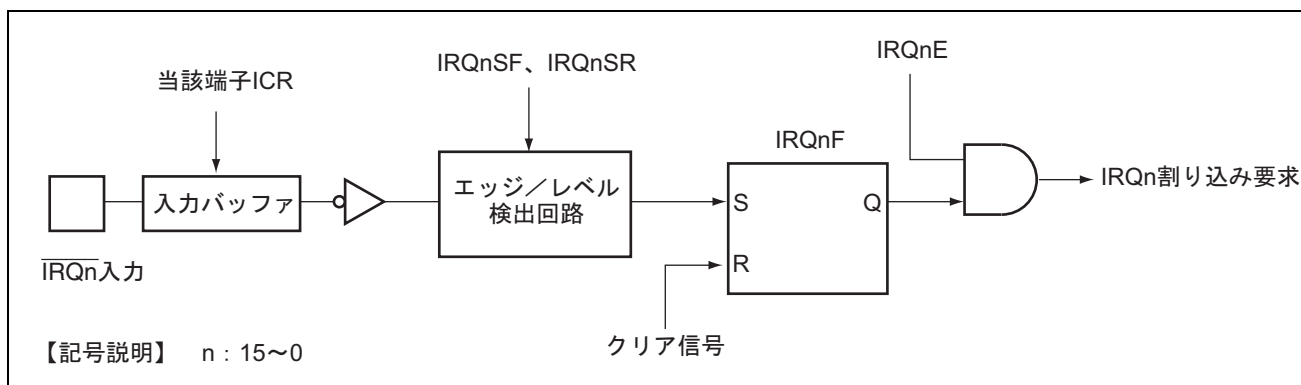


図 7.2 IRQn 割り込みのブロック図

IRQn 割り込み要求を ISCR の設定により $\overline{\text{IRQn}}$ 入力の Low レベルで発生するようにした場合、割り込み要求時には当該 $\overline{\text{IRQn}}$ 入力を割り込み処理が開始されるまで Low レベルに保持してください。その後、割り込み処理ルーチン内で、当該 $\overline{\text{IRQn}}$ 入力を High レベルに戻し、かつ IRQnF を 0 にクリアしてください。割り込み処理が開始される前に、当該 $\overline{\text{IRQn}}$ 入力を High レベルに戻すと、当該割り込みが実行されない場合があります。

7.4.2 内部割り込み

内蔵周辺モジュールからの内部割り込み要因には以下の特長があります。

- 各内蔵周辺モジュールには、割り込み要求のステータスを表示するフラグとこれらの割り込みイネーブルビットがあり、独立に制御することができます。イネーブルビットが1のとき、割り込み要求が割り込みコントローラに送られます。
- IPRによって、割り込み要因の優先順位を設定できます。
- TPU、SCIなどの割り込み要求により、DTC、DMACを起動することができます。
- DTC、DMACの起動は、CPUに対するDTC、DMACの優先レベル制御機能により優先レベルを設定できます。

7.5 割り込み例外処理ベクタテーブル

割り込み例外処理要因とベクタテーブルアドレスオフセットおよび割り込み優先順位の一覧を表 7.2 に示します。デフォルトの優先順位はベクタ番号の小さいものほど高くなっています。割り込み制御モード2に設定されている場合、優先順位は IPR 設定単位ごとに IPR により変更することができます。同一優先順位の IPR に設定された割り込み要因は、デフォルトの優先順位に従います。同一優先順位の IPR 設定単位内の優先順位は固定されています。

7. 割り込みコントローラ

表 7.2 割り込み要因とベクタアドレスオフセットおよび割り込み優先順位

割り込み要因 発生元	名称	ベクタ 番号	ベクタテーブル アドレス オフセット* ¹	IPR	優先 順位	DTC 起動	DMAC 起動
			アドバンストモード、 ミドルモード、 マキシマムモード				
外部端子	NMI	7	H'001C	—	↑ 高	—	—
UBC	UBC ブレーク 割り込み	14	H'0038	—		—	—
外部端子	IRQ0	64	H'0100	IPRA14~IPRA12		○	—
	IRQ1	65	H'0104	IPRA10~IPRA8		○	—
	IRQ2	66	H'0108	IPRA6~IPRA4		○	—
	IRQ3	67	H'010C	IPRA2~IPRA0		○	—
	IRQ4	68	H'0110	IPRB14~IPRB12		○	—
	IRQ5	69	H'0114	IPRB10~IPRB8		○	—
	IRQ6	70	H'0118	IPRB6~IPRB4		○	—
	IRQ7	71	H'011C	IPRB2~IPRB0		○	—
	IRQ8	72	H'0120	IPRC14~IPRC12		○	—
	IRQ9	73	H'0124	IPRC10~IPRC8		○	—
	IRQ10	74	H'0128	IPRC6~IPRC4		○	—
	IRQ11	75	H'012C	IPRC2~IPRC0		○	—
	IRQ12	76	H'0130	IPRD14~IPRD12		○	—
	IRQ13	77	H'0134	IPRD10~IPRD8		○	—
IRQ14	78	H'0138	IPRD6~IPRD4	○		—	
LVD* ³	電圧監視割り込み					—	—
外部端子	IRQ15	79	H'013C	IPRD2~IPRD0		○	—
TM32K* ²	32KQVI					—	—
—	システム予約	80	H'0140	—	—	—	
WDT	WQVI	81	H'0144	IPRE10~IPRE8	—	—	
—	システム予約	82	H'0148	—	—	—	
リフレッシュ コントローラ* ²	CMI	83	H'014C	IPRE2~IPRE0	—	—	
—	システム予約	84	H'0150	—	—	—	
—	システム予約	85	H'0154	—	低	—	

7. 割り込みコントローラ

割り込み要因 発生元	名称	ベクタ 番号	ベクタテーブル アドレス オフセット*1	IPR	優先 順位	DTC 起動	DMAC 起動
			アドバンスモード、 ミドルモード、 マキシマムモード				
TMR_0	CMI0A	116	H'01D0	IPRH14~IPRH12	↑ 高	○	—
	CMI0B	117	H'01D4			○	—
	OV0I	118	H'01D8			—	—
TMR_1	CMI1A	119	H'01DC	IPRH10~IPRH8		○	—
	CMI1B	120	H'01E0			○	—
	OV1I	121	H'01E4			—	—
TMR_2	CMI2A	122	H'01E8	IPRH6~IPRH4		○	—
	CMI2B	123	H'01EC		○	—	
	OV2I	124	H'01F0		—	—	
TMR_3	CMI3A	125	H'01F4	IPRH2~IPRH0	○	—	
	CMI3B	126	H'01F8		○	—	
	OV3I	127	H'01FC		—	—	
DMAC	DMTEND0	128	H'0200	IPRI14~IPRI12	○	—	
	DMTEND1	129	H'0204	IPRI10~IPRI8	○	—	
	DMTEND2	130	H'0208	IPRI6~IPRI4	○	—	
	DMTEND3	131	H'020C	IPRI2~IPRI0	○	—	
EXDMAC*2	EXDMTEND0	132	H'0210	IPRJ14~IPRJ12	○	—	
	EXDMTEND1	133	H'0214	IPRJ10~IPRJ8	○	—	
	EXDMTEND2	134	H'0218	IPRJ6~IPRJ4	○	—	
	EXDMTEND3	135	H'021C	IPRJ2~IPRJ0	○	—	
DMAC	DMEEND0	136	H'0220	IPRK14~IPRK12	○	—	
	DMEEND1	137	H'0224		○	—	
	DMEEND2	138	H'0228		○	—	
	DMEEND3	139	H'022C		○	—	
EXDMAC*2	EXDMEEND0	140	H'0230	IPRK10~IPRK8	○	—	
	EXDMEEND1	141	H'0234		○	—	
	EXDMEEND2	142	H'0238		○	—	
	EXDMEEND3	143	H'023C		○	—	
					↑		
					低		

7. 割り込みコントローラ

割り込み要因 発生元	名称	ベクタ 番号	ベクタテーブル アドレス オフセット* ¹	IPR	優先 順位	DTC 起動	DMAC 起動
			アドバンスモード、 ミドルモード、 マキシマムモード				
SCI_0	ERI0	144	H'0240	IPRK6~IPRK4	↑ 高 低	-	-
	RXI0	145	H'0244			○	○
	TXI0	146	H'0248			○	○
	TEI0	147	H'024C			-	-
SCI_1	ERI1	148	H'0250	IPRK2~IPRK0		-	-
	RXI1	149	H'0254			○	○
	TXI1	150	H'0258			○	○
	TEI1	151	H'025C			-	-
SCI_2	ERI2	152	H'0260	IPRL14~IPRL12		-	-
	RXI2	153	H'0264			○	○
	TXI2	154	H'0268		○	○	
	TEI2	155	H'026C		-	-	
SCI_3	ERI3	156	H'0270	IPRL10~IPRL8	-	-	
	RXI3	157	H'0274		○	○	
	TXI3	158	H'0278		○	○	
	TEI3	159	H'027C		-	-	
SCI_4	ERI4	160	H'0280	IPRL6~IPRL4	-	-	
	RXI4	161	H'0284		○	○	
	TXI4	162	H'0288		○	○	
	TEI4	163	H'028C		-	-	
TPU_6	TGI6A	164	H'0290	IPRL2~IPRL0	○	○	
	TGI6B	165	H'0294		○	-	
	TGI6C	166	H'0298		○	-	
	TGI6D	167	H'029C		○	-	
	TCI6V	168	H'02A0	IPRM14~IPRM12	-	-	
TPU_7	TGI7A	169	H'02A4	IPRM10~IPRM8	○	○	
	TGI7B	170	H'02A8		○	-	
	TCI7V	171	H'02AC	IPRM6~IPRM4	-	-	
	TCI7U	172	H'02B0		-	-	

7. 割り込みコントローラ

割り込み要因 発生元	名称	ベクタ 番号	ベクタテーブル アドレス オフセット*1	IPR	優先 順位	DTC 起動	DMAC 起動
			アドバンスモード、 ミドルモード、 マキシマムモード				
TPU_8	TGI8A	173	H'02B4	IPRM2~IPRM0	↑ 高	○	○
	TGI8B	174	H'02B8			○	—
	TCI8V	175	H'02BC	IPRN14~IPRN12		—	—
	TCI8U	176	H'02C0			—	—
TPU_9	TGI9A	177	H'02C4	IPRN10~IPRN8		○	○
	TGI9B	178	H'02C8			○	—
	TGI9C	179	H'02CC			○	—
	TGI9D	180	H'02D0			○	—
	TCI9V	181	H'02D4	IPRN6~IPRN4	—	—	
TPU_10	TGI10A	182	H'02D8	IPRN2~IPRN0	○	○	
	TGI10B	183	H'02DC		○	—	
	システム予約	184	H'02E0	—	—		
	システム予約	185	H'02E4	—	—		
	TCI10V	186	H'02E8	IPRO14~IPRO12	○	—	
	TCI10U	187	H'02EC		—	—	
TPU_11	TGI11A	188	H'02F0	IPRO10~IPRO8	○	○	
	TGI11B	189	H'02F4		○	—	
	TCI11V	190	H'02F8	IPRO6~IPRO4	—	—	
	TCI11U	191	H'02FC		—	—	
—	システム予約	192	H'0300	—	—	—	—
		215	H'035C			—	—
IIC2_0	IIC10	216	H'0360	IPRQ6~IPRQ4	—	—	
—	システム予約	217	H'0364		—	—	
IIC2_1	IIC11	218	H'0368		—	—	
—	システム予約	219	H'036C	—	—		
SCI_5	RXI5	220	H'0370	IPRQ2~IPRQ0	—	○	
	TXI5	221	H'0374		—	○	
	ERI5	222	H'0378		—	—	
	TEI5	223	H'037C		—	—	
					低		

7. 割り込みコントローラ

割り込み要因 発生元	名称	ベクタ 番号	ベクタテーブル アドレス オフセット* ¹	IPR	優先 順位	DTC 起動	DMAC 起動
			アドバンスモード、 ミドルモード、 マキシマムモード				
SCI_6	RXI6	224	H'0380	IPRR14~IPRR12	高 ▲	—	○
	TXI6	225	H'0384			—	○
	ERI6	226	H'0388			—	—
	TEI6	227	H'038C			—	—
TMR_4	CMIA4 or CMIB4	228	H'0390	IPRR10~IPRR8		—	—
TMR_5	CMIA5 or CMIB5	229	H'0394			—	—
TMR_6	CMIA6 or CMIB6	230	H'0398			—	—
TMR_7	CMIA7 or CMIB7	231	H'039C			—	—
A/D_2	ADI_2	232	H'03A0	IPRR6~IPRR4		—	○
—	システム予約	233	H'03A4			—	—
IIC2_2	IICI2	234	H'03A8			—	—
IIC2_3	IICI3	235	H'03AC			—	—
—	システム予約	236	H'03B0	—	低 ▼	—	—
A/D_1	ADI1	237	H'03B4	IPRR2~IPRR0		—	○
—	システム予約	238	H'03B8	—		—	—
		255	H'03FC			—	—

【注】 *1 先頭アドレスの下位 16 ビットを示しています。

*2 H8SX/1648G グループ、 H8SX/1648H グループのみサポート。

*3 H8SX/1648L グループ、 H8SX/1648H グループのみサポート。

7. 割り込みコントローラ

7.6 割り込み制御モードと割り込み動作

割り込みコントローラには、割り込み制御モード0と割り込み制御モード2の2種類の割り込み制御モードがあります。割り込み制御モードの選択は、INTCRで行います。割り込み制御モード0と割り込み制御モード2の相違点を表7.3に示します。

表 7.3 割り込み制御モード

割り込み制御モード	割り込み優先順位	割り込みマスクビット	説明
0	デフォルト	1	各割り込み要因の優先順位は、デフォルトで固定されています。 NMIを除く割り込み要因は、1ビットによりマスクされます。
2	IPR	12~10	IPRにより、NMIを除く各割り込み要因に8レベルの優先順位を設定できます。 12~10ビットにより、8レベルの割り込みマスク制御を行います。

7.6.1 割り込み制御モード0

割り込み制御モード0では、NMIを除く割り込み要求は、CPUのCCRのIビットによってマスクされます。割り込み受け付け動作のフローチャートを図7.3に示します。

1. 割り込みイネーブルビットが1にセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. CCRのIビットが1にセットされているときは、割り込みコントローラはNMI以外の割り込み要求を保留します。Iビットが0にクリアされているときは、割り込み要求を受け付けます。
3. 複数の割り込み要求があるときは、割り込みコントローラは優先順位に従ってもっとも優先度の高い割り込み要求を選択して、CPUに対して割り込み処理を要求し、その他は保留します。
4. CPUは割り込み要求を受け付けると、実行中の命令の処理が終了した後、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PCとCCRがスタック領域に退避されます。PCにはリターン後に実行する最初の命令のアドレスが退避されます。
6. CCRのIビットを1にセットします。これにより、NMIを除く割り込みがマスクされます。
7. CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

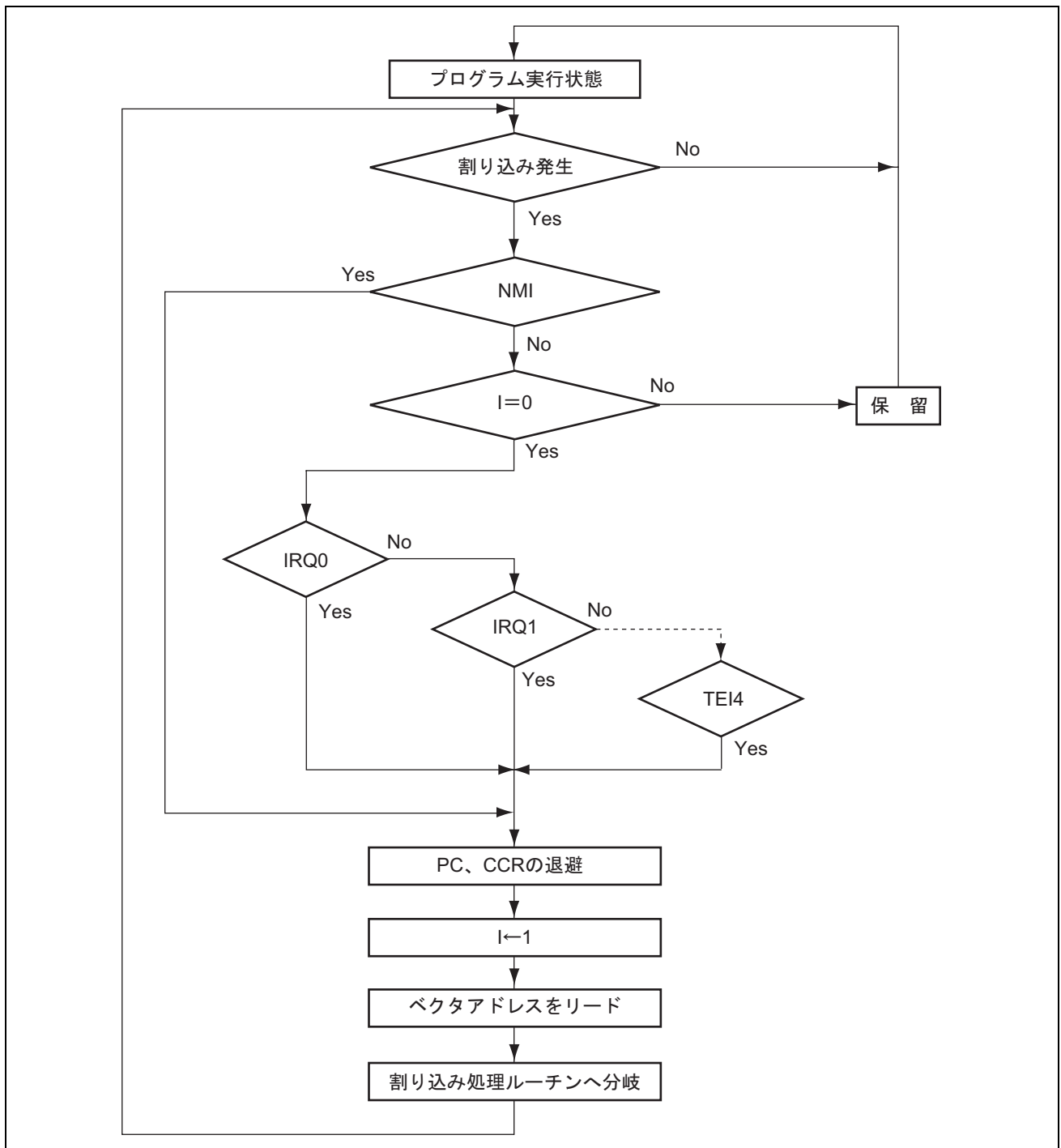


図 7.3 割り込み制御モード 0 の割り込み受け付けまでのフロー

7.6.2 割り込み制御モード 2

割り込み制御モード 2 では、NMI を除く割り込み要求は、CPU の EXR の割り込みマスクレベル (I2~I0 ビット) と IPR との比較によって 8 レベルのマスク制御を行います。割り込み受け付け動作のフローチャートを図 7.4 に示します。

1. 割り込みイネーブルビットが1にセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. 複数の割り込み要求があるときは、割り込みコントローラはIPRに設定された割り込み要因の優先順位に従って最も優先レベルの高い割り込みを選択し、それよりも優先レベルの低い割り込み要求は保留します。優先レベルが同一の場合は、表7.2に示すデフォルトの優先順位に従って割り込み要求を選択します。
3. 選択した割り込み要求の優先順位とEXRの割り込みマスクレベルとを比較します。設定されていたマスクレベル以下であれば保留し、割り込みマスクレベルより優先順位が高ければCPUに対して割り込み処理を要求します。
4. CPUは割り込み要求を受け付けると、実行中の命令の処理が終了した後、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PC、CCR、およびEXRがスタック領域に退避されます。PCにはリターン後に実行する最初の命令のアドレスが退避されます。
6. EXRのTビットが0にクリアされます。割り込みマスクレベルは受け付けた割り込みの優先レベルに書き換えられます。受け付けた割り込みがNMIのときは割り込みマスクレベルはH'7に設定されます。
7. CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

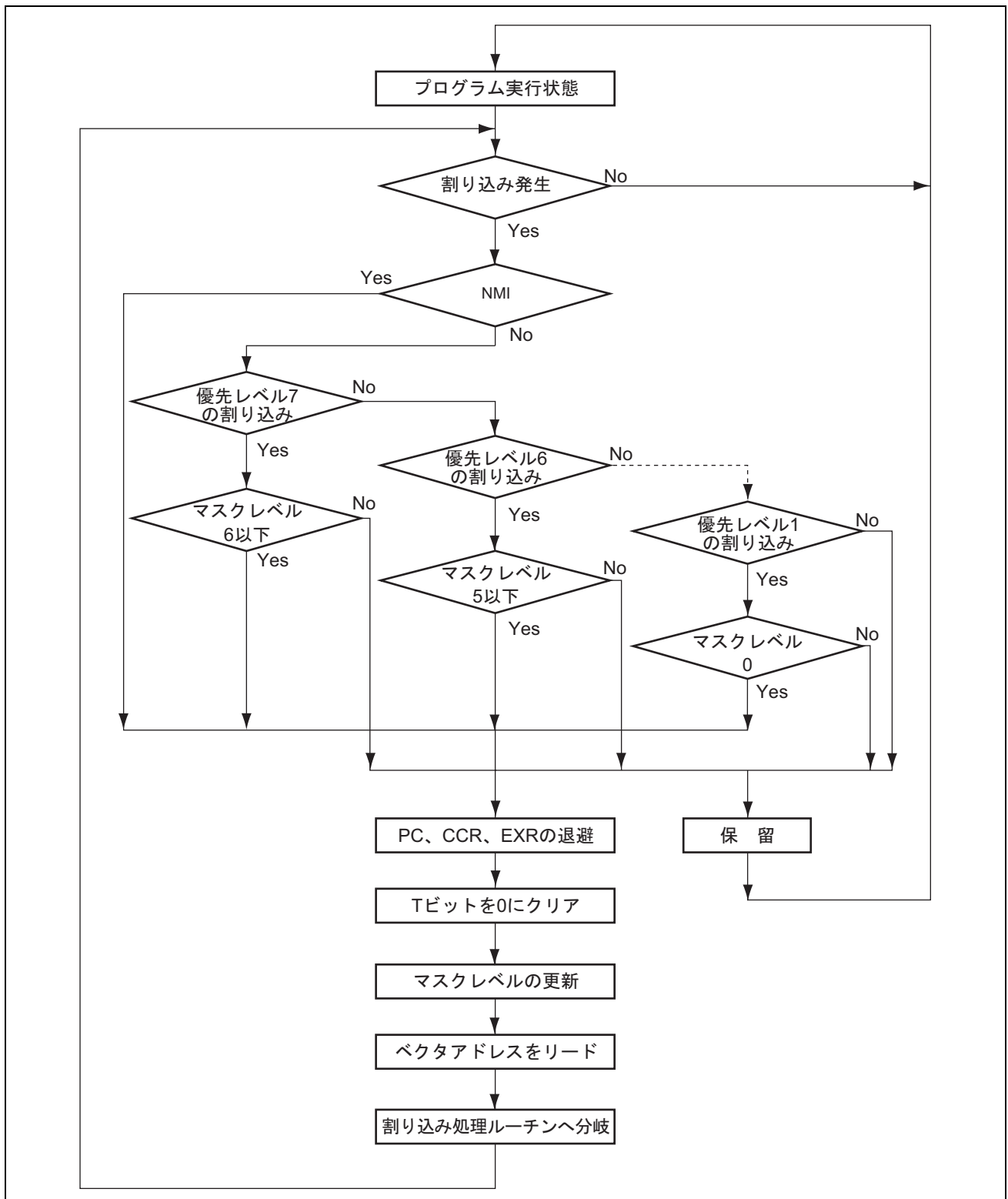


図 7.4 割り込み制御モード 2 の割り込み受け付けまでのフロー

7. 割り込みコントローラ

7.6.3 割り込み例外処理シーケンス

割り込み例外処理シーケンスを図 7.5 に示します。マキシマムモードで割り込み制御モード 0、プログラム領域およびスタック領域が内蔵メモリの場合の例です。

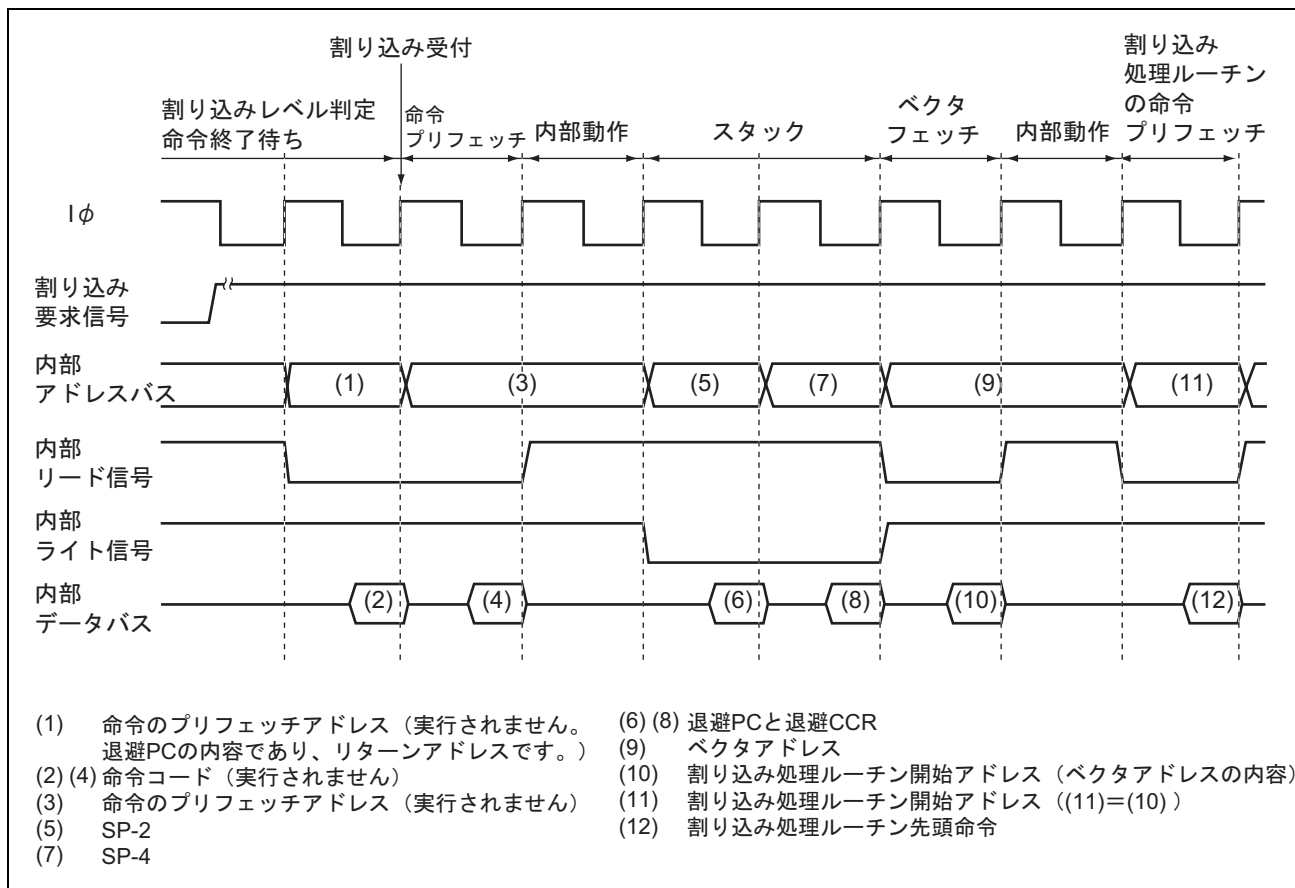


図 7.5 割り込み例外処理

7.6.4 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理ルーチンの先頭命令が実行されるまでの割り込み応答時間を表 7.4 に示します。表 7.4 の実行状態の記号については表 7.5 を参照してください。本 LSI は内蔵メモリに対して高速ワードアクセスが可能のため、プログラム領域を内蔵 ROM、スタック領域を内蔵 RAM に設けることで処理速度の向上が図れます。

表 7.4 割り込み応答時間

No.	実行状態	ノーマルモード* ⁵		アドバンスモード		マキシマムモード* ⁵	
		割り込み制御 モード 0	割り込み制御 モード 2	割り込み制御 モード 0	割り込み制御 モード 2	割り込み制御 モード 0	割り込み制御 モード 2
1	割り込み優先順位 判定* ¹	3					
2	実行中の命令が 終了するまでの 待ちステート数* ²	$1 \sim 19 + 2 \cdot S_i$					
3	PC、CCR および EXR のスタック	$S_k \sim 2 \cdot S_k$ * ⁶	$2 \cdot S_k$	$S_k \sim 2 \cdot S_k$ * ⁶	$2 \cdot S_k$	$2 \cdot S_k$	$2 \cdot S_k$
4	ベクタフェッチ	Sh					
5	命令フェッチ* ³	$2 \cdot S_i$					
6	内部処理* ⁴	2					
合計 (内蔵メモリ使用時)		10~31	11~31	10~31	11~31	11~31	11~31

- 【注】 *¹ 内部割り込みの場合 2 ステートとなります。
*² MULXS、DIVXS 命令について示しています。
*³ 割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチです。
*⁴ 割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理です。
*⁵ 本 LSI では使用できません。
*⁶ SP の値を $4n$ に設定すると S_k 、 $4n+2$ に設定すると $2 \cdot S_k$ となります。

表 7.5 割り込み例外処理の実行状態のステート数

記号	アクセス対象					
	内部メモリ	外部デバイス				
		8 ビットバス		16 ビットバス		
		2 ステート アクセス	3 ステート アクセス	2 ステート アクセス	3 ステート アクセス	
ベクタフェッチ Sh	1	8	$12+4m$	4	$6+2m$	
命令フェッチ S_i	1	4	$6+2m$	2	$3+m$	
スタック操作 S_k	1	8	$12+4m$	4	$6+2m$	

【記号説明】

m : 外部デバイスアクセス時のウェイトステート数

7. 割り込みコントローラ

7.6.5 割り込みによる DTC、DMAC の起動

割り込み要求により、DTC、DMAC を起動することができます。この場合、次の選択を行うことができます。

1. CPUに対する割り込み要求
2. DTCに対する起動要求
3. DMACに対する起動要求
4. 1.~3.の複数の選択

なお、DTC、DMAC を起動できる割り込み要求については、表 7.2 および「10. DMA コントローラ (DMAC)」、
「12. データトランスファコントローラ (DTC)」を参照してください。

図 7.6 に、DTC、DMAC と割り込みコントローラのブロック図を示します。

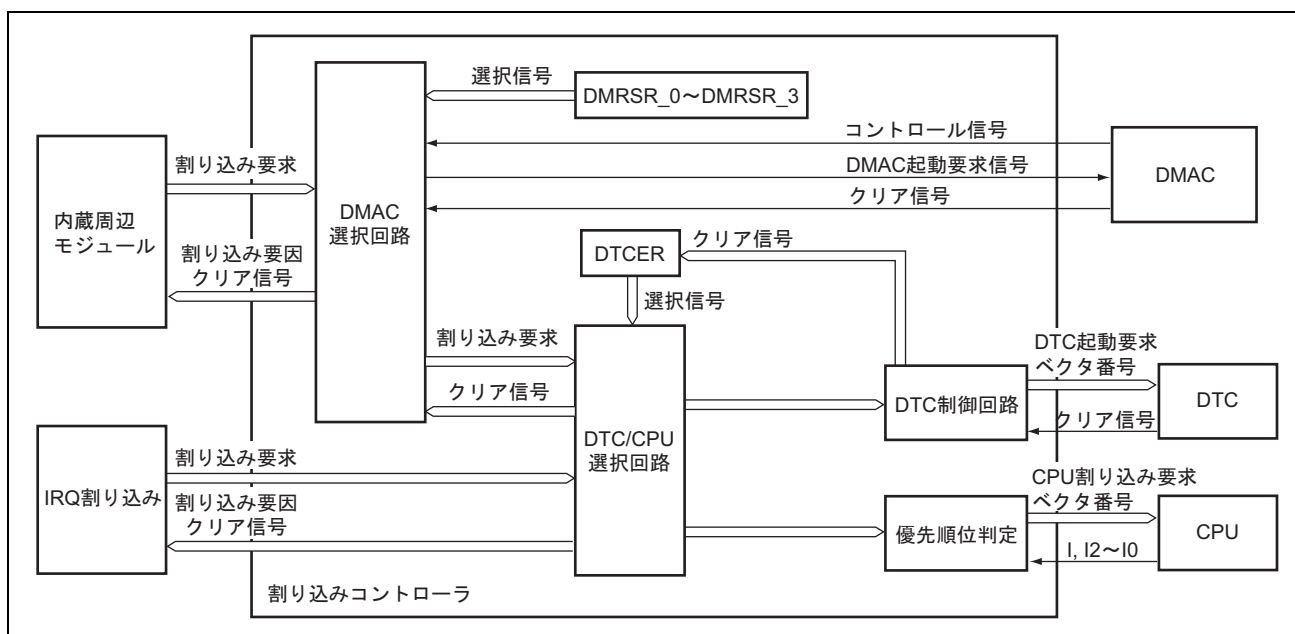


図 7.6 DTC、DMAC と割り込みコントローラ

(1) 割り込み要因の選択

DMAC の各チャンネルの起動要因は、DMRSR により選択します。選択した起動要因は、選択回路を經由して DMAC に入力されます。内蔵モジュール割り込みによる転送が有効になるように設定（DMDR のビット設定：DTF1=1、DTF0=0、DTE=1）、DMDR の DTA ビットが 1 にセットされていると、その DMAC の起動要因になった割り込み要因は DMAC が管理することになり、DTC の起動要因および CPU の割り込み要因になりません。

DMAC に管理されている割り込み以外の割り込み要因は、DTC の DTCERA～DTCERH の DTCE ビットにより、DTC 起動要因とするか、CPU 割り込み要因とするかを選択します。

DTC の MRB の DISEL ビットの指定により、DTC のデータ転送後、DTCE ビットを 0 にクリアして、CPU に割り込みを要求することができます。

なお、DTC が所定回数のデータ転送を行い、転送カウンタが 0 になった場合には、DTC、DMAC のデータ転送後、DTCE ビットを 0 にクリアして、CPU に割り込みを要求します。

同じ割り込み要因を、DTC、DMAC の起動要因と CPU の割り込み要因に同時に設定する場合、DTC 優先レベルより CPU の優先レベルを高く設定しないでください。CPUPCR の IPSETE ビットを 1 にセットしている場合は、割り込み要因に該当する IPR のレベルの設定が対象になります。必ず、(DTCP、DMAP) \geq (CPUP または割り込み要因に該当する IPR) となるように設定してください。CPU の優先レベルが高くなると、DTC、DMAC が起動されずに転送が行われなくなる場合があります。

(2) 優先順位判定

DTC の起動要因は、デフォルトの優先順位に従って選択されます。マスクレベルや優先レベルなどの影響を受けません。それぞれの優先順位は「表 12.1 割り込み要因と DTC ベクタアドレスおよび対応する DTCE」を参照してください。

(3) 動作順序

同一の割り込みを DTC の起動要因と CPU の割り込み要因に選択した場合、DTC のデータ転送終了後、CPU の割り込み例外処理を行います。同一の割り込みを DTC、DMAC の起動要因、または CPU の割り込み要因に選択した場合、各々独立に動作を行います。

7. 割り込みコントローラ

表 7.6 に、DMAC の DMDR の DTA ビット、DTC の DTCERA~DTCERH の DTCE ビット、および MRB の DISEL ビットの設定による割り込み要因の選択と割り込み要因クリア制御を示します。

表 7.6 割り込み要因の選択とクリア制御

設定内容			割り込み要因選択/クリア制御		
DMAC	DTC				
DTA	DTCE	DISEL	DMAC	DTC	CPU
0	0	*	○	×	◎
	1	0	○	◎	×
		1	○	○	◎
1	*	*	◎	×	×

【記号説明】

- ◎ : 当該割り込みを使用します。割り込み要因のクリアを行います。
(CPU は割り込み処理ルーチンで、要因フラグをクリアしてください。)
- : 当該割り込みを使用します。割り込み要因をクリアしません。
- ×
- * : Don't care

(4) 使用上の注意

SCI、および A/D 変換器の割り込み要因は、DTC、または DMAC が所定のレジスタをリード/ライトすると表 7.6 の設定に従ってクリアされます。

同一の割り込みで、DTC、DMAC の複数のチャンネルを起動する場合は、同じプライオリティ (DTCP=DMAP) に設定してください。

7.7 CPU に対する DTC、DMAC、EXDMAC*の優先レベル制御機能

割り込みコントローラには、CPU の優先レベルに対して、DTC、DMAC、EXDMAC*各々に優先レベルを設定することにより、DTC、DMAC、EXDMAC*と CPU との間の優先レベルを制御する機能があります。CPU の優先レベルは例外処理により自動設定することが可能で、CPU の割り込み例外処理など DTC、DMAC、EXDMAC*の転送処理よりも優先して実行することができます。

CPU の優先レベルは、CPUPCR の CPUP2~CPUP0 ビットで設定します。DTC の優先レベルは、CPUPCR の DTCP2~DTCP0 ビットで設定します。DMAC の優先レベルは、チャンネルごとに DMDR の DMAP2~DMAP0 ビットで設定します。EXDMAC*の優先レベルは、チャンネルごとに EXDMA モードコントロールレジスタ (EDMDR_0~EDMDR_3) の EDMAP2~EDMAP0 ビットで設定します。

CPU に対する DTC、DMAC、EXDMAC*の優先レベル制御機能は、CPUPCR の CPUPCE ビットを 1 にセットすると有効になります。CPUPCE ビットが 1 のとき、DTC、DMAC、EXDMAC*の起動要因は各々の優先レベルによって制御します。

DTC の起動要因は、CPUP2~CPUP0 ビットで示される CPU の優先レベルと、DTCP2~DTCP0 ビットで示される DTC の優先レベルにより制御します。CPU の優先レベルが高い場合は、DTC の起動要因は保留されます。保留された起動要因は、保留されている条件 (CPUPCE=1 かつ CPUP2~0 > DTCP2~0) が解除されると DTC を起動します。DTC の優先レベルは、起動要因の区別がなく、DTCP2~DTCP0 ビットで設定します。

DMAC の優先レベルは、チャンネルごとに設定できます。DMAC の起動要因は、対応するチャンネルの DMAP2~DMAP0 ビットで設定される DMAC の優先レベルと、CPU の優先レベルにより制御します。CPU の優先レベルが高い場合は、当該チャンネルの起動要因は保留されます。保留された起動要因は、保留されている条件 (CPUPCE=1 かつ CPUP2~0 > DMAP2~0) が解除されると有効になります。チャンネルごとに優先レベルを異なる値に設定した場合は、優先レベルの高いチャンネルは転送処理を継続して実行し、CPU よりも優先レベルが低いチャンネルのみが起動要因を保留されます。

EXDMAC*の優先レベルは、チャンネルごとに設定できます。EXDMAC* の起動要因は、対応するチャンネルの EDMAP2~EDMAP0 ビットで示される EXDMAC*の優先レベルと CPU の優先レベルにより制御します。CPU の優先レベルが高い場合は、当該チャンネルの起動要因は保留されます。保留された起動要因は、保留される条件 (CPUPCE=1 かつ CPUP2~0 > EDMAP2~0) が解除されると有効になります。チャンネルごとに優先レベルを異なる値に設定した場合は、優先レベルの高いチャンネルは転送処理を継続して実行し、CPU よりも優先レベルが低いチャンネルのみが起動要因を保留されます。

CPU の優先レベルを設定する方法は、CPUPCR の IPSETE ビットにより 2 種類の方法を選択できます。IPSETE ビットを 1 にセットすると、CPU の割り込みマスクビットを自動的に優先レベルに設定する機能が有効になります。IPSETE ビットを 0 にクリアすると、優先レベルは自動更新されなくなり、CPUP2~CPUP0 ビットを直接ソフトウェアで書き換えて設定します。IPSETE ビットが 1 のときも CPU の割り込みマスクビット (CCR の I ビットまたは EXR の I2~I0 ビット) をソフトウェアで書き換えることで CPU の優先レベルを設定できます。

IPSETE ビットが 1 のときに自動設定する優先レベルは、割り込み制御モードにより値が異なります。割り込み制御モード 0 の場合、CPU の CCR の I ビットの値を CPUP2 ビットに反映します。CPUP1、CPUP0 ビットは 0 に固定です。割り込み制御モード 2 の場合、CPU の EXR の I2~I0 ビットの値を CPUP2~CPUP0 ビットに反映します。

7. 割り込みコントローラ

CPU の優先レベルの制御を表 7.7 に示します。

表 7.7 CPU の優先レベルの制御

割り込み制御 モード	割り込み優先 順位	割り込み マスクビット	CPUPCR の IPSETE	制御状態	
				CPUP2~CPUP0 の値	CPUP2~CPUP0 の書き換え
0	デフォルト	I = 任意	0	B'111~B'000	書き換え可
		I = 0	1	B'000	無効
		I = 1		B'100	
2	IPR の設定	I2~I0	0	B'111~B'000	書き換え可
			1	I2~I0	無効

CPU に対する DTC、DMAC の優先レベル制御機能の設定例と、そのときの転送要求制御状態を表 7.8 に示します。DMAC はチャンネルごとに独立して優先レベルを設定できますが、表中では 1 チャンネル分を示しています。DMAC は各チャンネルに異なる優先レベルを設定して独立に転送制御を行うことが可能です。

表 7.8 CPU に対する DTC、DMAC、EXDMAC*の優先レベル制御機能の設定例とそのときの制御状態

割り込み制御 モード	CPUPCR の CPUPCE	CPUP2~ CPUP0 の値	DTC2~ DTC0 の値	DMAP2~ DMAP0 の値	EDMAP2~ EDMAP0 の値*	転送要求制御状態			
						DTC	DMAC	EXDMAC*	
0	0	任意	任意	任意	任意	許可	許可	許可	
		1	B'000	B'000	B'000	B'000	許可	許可	許可
	1	B'100	B'000	B'000	B'000	B'000	マスク	マスク	マスク
		B'100	B'000	B'011	B'100	B'100	マスク	マスク	許可
		B'100	B'111	B'101	B'101	B'000	許可	許可	マスク
		B'000	B'111	B'101	B'101	B'000	許可	許可	許可
2	0	任意	任意	任意	任意	許可	許可	許可	
		1	B'000	B'000	B'000	B'000	許可	許可	許可
	1	B'000	B'011	B'101	B'101	B'110	許可	許可	許可
		B'011	B'011	B'101	B'101	B'110	許可	許可	許可
		B'100	B'011	B'101	B'101	B'110	マスク	許可	許可
		B'101	B'011	B'101	B'101	B'110	マスク	許可	許可
		B'110	B'011	B'101	B'101	B'110	マスク	マスク	許可
		B'111	B'011	B'101	B'101	B'110	マスク	マスク	マスク
		B'101	B'011	B'101	B'101	B'011	マスク	許可	マスク
		B'101	B'110	B'101	B'101	B'011	許可	許可	マスク

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート。

7.8 使用上の注意事項

7.8.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットをクリアして割り込み要求をマスクする場合、割り込みのマスクはその命令実行終了後に有効になります。BCLR 命令、MOV 命令などで割り込みイネーブルビットをクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込みはイネーブル状態にあるため、命令実行終了後にその割り込み例外処理を開始します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。割り込み要因フラグを 0 にクリアする場合も同様です。TPU の TIER の TCIEV ビットを 0 にクリアする場合の例を図 7.7 に示します。なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを 0 にクリアすれば、上記の競合は発生しません。

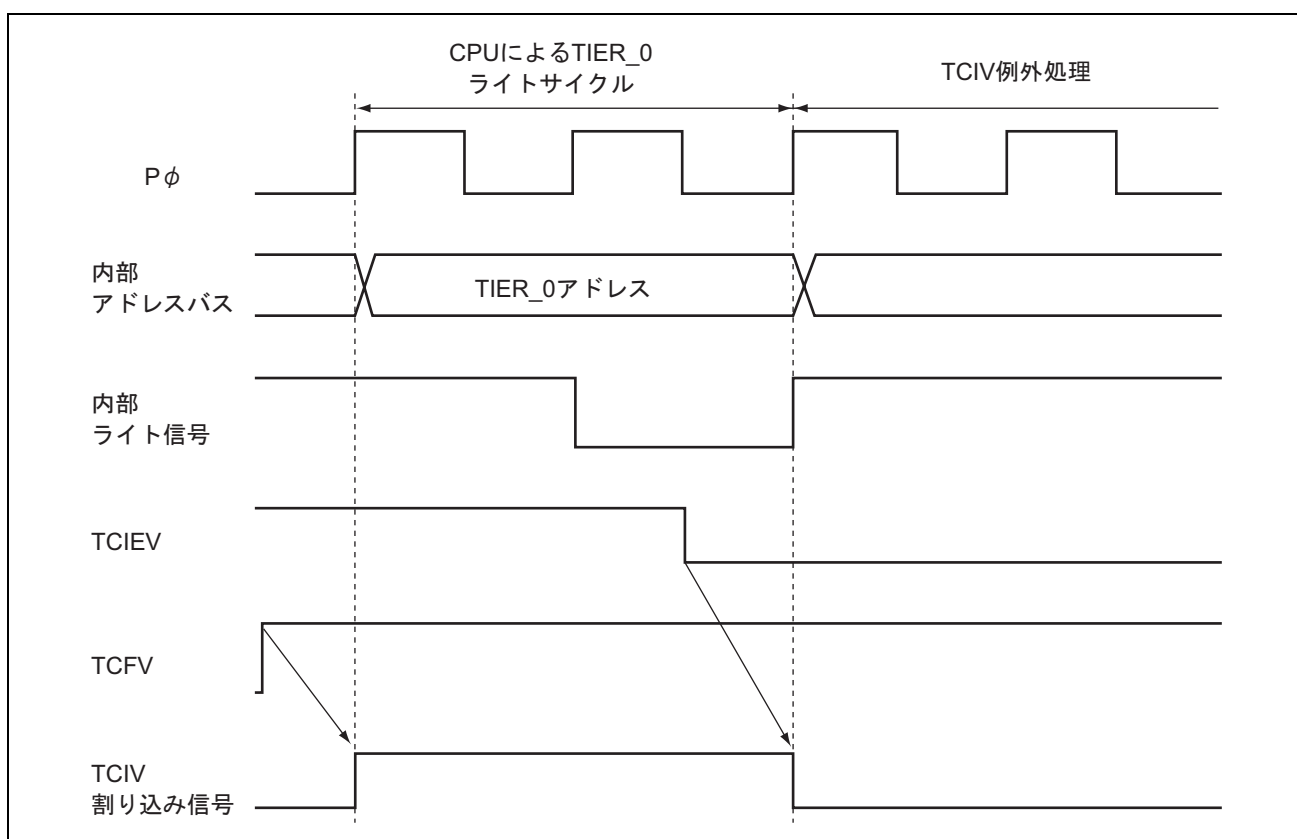


図 7.7 割り込みの発生とディスエーブルの競合

同様に DTC を起動する場合、DTC イネーブルビットの書き換え直前に割り込みが発生すると DTC の起動と CPU の割り込み例外処理を両方実行します。DTC イネーブルビットを変更する場合は、対応する割り込み要求を発生しない状態で行ってください。

7. 割り込みコントローラ

7.8.2 割り込みを禁止している命令

実行直後に割り込み要求を受け付けられない命令として、LDC、ANDC、ORC、XORC 命令があります。これらの命令実行終了後は NMI 割り込みを含めて割り込みが禁止され、必ず次の命令を実行します。これらの命令により I ビットを設定した場合、命令実行終了の 2 ステート後に新しい値が有効になります。

7.8.3 割り込み禁止期間

割り込みコントローラには割り込み要求の受け付けを禁止している期間があります。割り込みコントローラは、CPU が LDC、ANDC、ORC、XORC 命令によってマスクレベルを更新した後の 3 ステート期間、および割り込みコントローラのレジスタにライトしている期間は、割り込み要求を受け付けません。

7.8.4 EEPMOV 命令実行中の割り込み

EEPMOV.B 命令と EEPMOV.W 命令では、割り込み動作が異なります。

EEPMOV.B 命令によるデータ転送中に NMI を含めた割り込み要求があっても、転送終了まで割り込みを受け付けません。

EEPMOV.W 命令によるデータ転送中に割り込み要求があった場合、転送サイクルの切れ目で割り込み例外処理が開始されます。このときスタックされる PC の値は、次の命令のアドレスとなります。このため、EEPMOV.W 命令実行中に割り込みが発生する場合には、以下のプログラムとしてください。

```
L1:  EEPMOV.W
      MOV.WR4, R4
      BNE  L1
```

7.8.5 MOVMD、MOVSD 命令実行中の割り込み

MOVMD 命令、または MOVSD 命令によるデータ転送中に割り込み要求があった場合、転送サイクルの切れ目で割り込み例外処理が開始されます。このときスタックされる PC の値は、MOVMD 命令、または MOVSD 命令のアドレスとなります。割り込み処理ルーチンからの復帰後に、残りのデータ転送を継続します。

7.8.6 周辺モジュールの割り込み要因フラグ

CPU によって周辺モジュールの割り込み要因フラグをクリアするときは、周辺モジュールと同期を取るために、割り込み処理ルーチン内でフラグをクリアした後に必ず当該フラグをリードしてください。詳細は、「26.6.1 クロック発振器に関する使用上の注意事項」を参照してください。

8. ユーザブレークコントローラ (UBC)

ユーザブレークコントローラ (UBC) は、プログラムカウンタの状態と設定したブレーク条件が一致したとき、UBCブレーク割り込み要求を発生させます。UBCブレーク割り込みはノンマスクブル割り込みで、割り込み制御モードやCPUの割り込みマスクビットの状態にかかわらず、常に受け付けられます。

ブレーク条件は、ブレークコントロールレジスタ (BRCCR)、ブレークアドレスレジスタ (BAR) を用いて、アドレスとバスサイクルの種類を組み合わせ設定します。

AチャンネルからDチャンネルまでの4つのチャンネルに独立してブレーク条件を設定することが可能です。

8.1 特長

- ブレークチャンネル数：4チャンネル (チャンネルA、B、C、D)
- ブレークコンペア条件 (各チャンネル)
 - アドレス
 - バスマスタ (CPUサイクル)
 - バスサイクル (命令実行 (PCブレーク))
- 設定したアドレスからフェッチした命令の実行直前 (PCブレーク) に、UBCブレーク割り込み例外処理を実行
- モジュールストップ状態への設定可能

8.2 ブロック図

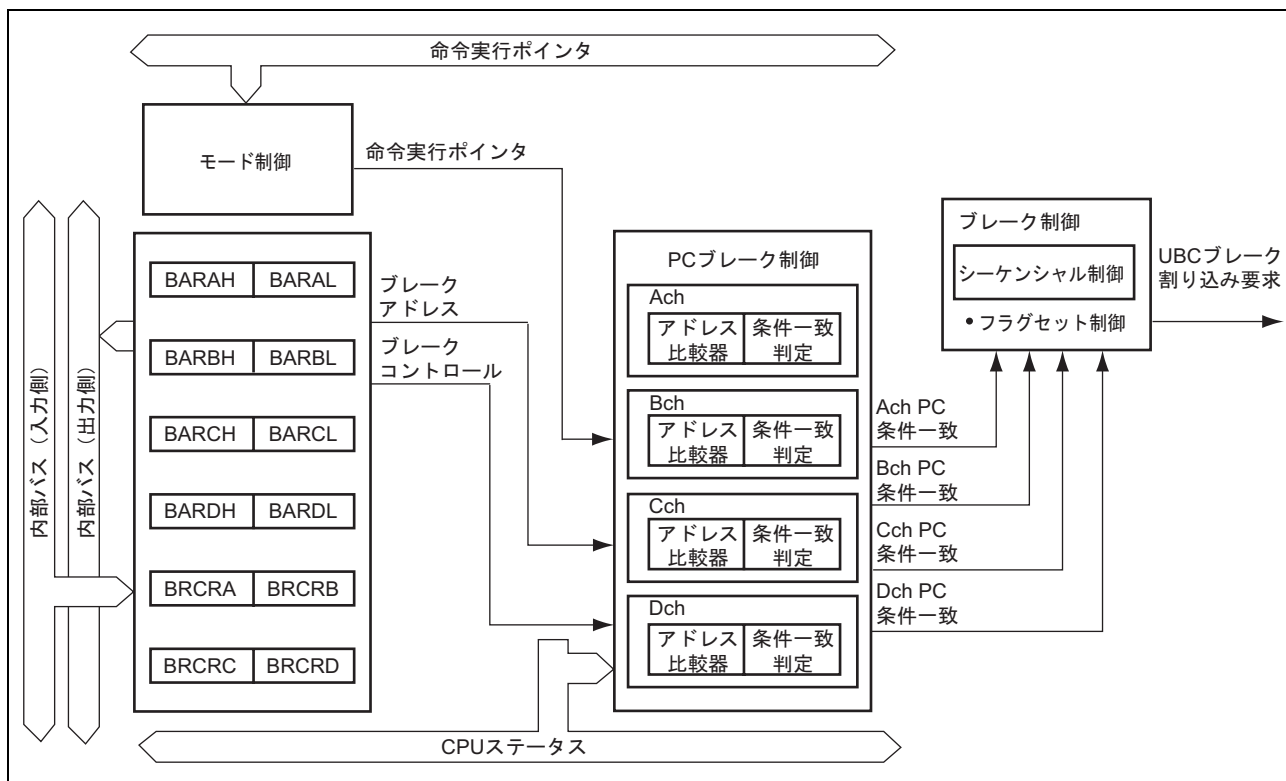


図 8.1 ユーザブレイクコントローラのブロック図

8.3 レジスタの説明

表 8.1 に UBC のレジスタ構成を示します。

表 8.1 UBC レジスタ構成

名 称	略称	R/W	初期値	アドレス	アクセスサイズ
ブレークアドレスレジスタ A	BARAH	R/W	H'0000	H'FFA00	16
	BARAL	R/W	H'0000	H'FFA02	16
ブレークアドレスマスクレジスタ A	BAMRAH	R/W	H'0000	H'FFA04	16
	BAMRAL	R/W	H'0000	H'FFA06	16
ブレークアドレスレジスタ B	BARBH	R/W	H'0000	H'FFA08	16
	BARBL	R/W	H'0000	H'FFA0A	16
ブレークアドレスマスクレジスタ B	BAMRBH	R/W	H'0000	H'FFA0C	16
	BAMRBL	R/W	H'0000	H'FFA0E	16
ブレークアドレスレジスタ C	BARCH	R/W	H'0000	H'FFA10	16
	BARCL	R/W	H'0000	H'FFA12	16
ブレークアドレスマスクレジスタ C	BAMRCH	R/W	H'0000	H'FFA14	16
	BAMRCL	R/W	H'0000	H'FFA16	16
ブレークアドレスレジスタ D	BARDH	R/W	H'0000	H'FFA18	16
	BARDL	R/W	H'0000	H'FFA1A	16
ブレークアドレスマスクレジスタ D	BAMRDH	R/W	H'0000	H'FFA1C	16
	BAMRDL	R/W	H'0000	H'FFA1E	16
ブレークコントロールレジスタ A	BRCRA	R/W	H'0000	H'FFA28	8/16
ブレークコントロールレジスタ B	BRCRB	R/W	H'0000	H'FFA2C	8/16
ブレークコントロールレジスタ C	BRCRC	R/W	H'0000	H'FFA30	8/16
ブレークコントロールレジスタ D	BRCRD	R/W	H'0000	H'FFA34	8/16

8. ユーザブレークコントローラ (UBC)

8.3.1 ブレークアドレスレジスタ n (BARA、BARB、BARC、BARD)

ブレークアドレスレジスタ n (BARn) では、ブレークアドレスレジスタ nH (BARnH) とブレークアドレスレジスタ nL (BARnL) の 2 本で 1 組となっています。BARnH、BARnL は、それぞれ UBC のチャンネル n のブレーク条件とするアドレスを指定します。

BARnH

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BARn31	BARn30	BARn29	BARn28	BARn27	BARn26	BARn25	BARn24	BARn23	BARn22	BARn21	BARn20	BARn19	BARn18	BARn17	BARn16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BARnL

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BARn15	BARn14	BARn13	BARn12	BARn11	BARn10	BARn9	BARn8	BARn7	BARn6	BARn5	BARn4	BARn3	BARn2	BARn1	BARn0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• BARnH

ビット	ビット名	初期値	R/W	説明
31~16	BARn31~ BARn16	すべて 0	R/W	ブレークアドレス n31~16 チャンネル n のブレーク条件とするアドレスの上位側 (ビット 31~16) を格納します。

【記号説明】 n=チャンネル A~D

• BARnL

ビット	ビット名	初期値	R/W	説明
15~0	BARn15~ BARn0	すべて 0	R/W	ブレークアドレス n15~0 チャンネル n のブレーク条件とするアドレスの下位側 (ビット 15~0) を格納します。

【記号説明】 n=チャンネル A~D

8.3.2 ブレークアドレスマスクレジスタ n (BAMRA、BAMRB、BAMRC、BAMRD)

ブレークアドレスマスクレジスタ n (BAMRn) は、必ず H'FF00 0000 をライトしてください。この値以外をライトした場合、動作は保証されません。

BAMRnH

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAMRn31	BAMRn30	BAMRn29	BAMRn28	BAMRn27	BAMRn26	BAMRn25	BAMRn24	BAMRn23	BAMRn22	BAMRn21	BAMRn20	BAMRn19	BAMRn18	BAMRn17	BAMRn16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BAMRnL

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAMRn15	BAMRn14	BAMRn13	BAMRn12	BAMRn11	BAMRn10	BAMRn9	BAMRn8	BAMRn7	BAMRn6	BAMRn5	BAMRn4	BAMRn3	BAMRn2	BAMRn1	BAMRn0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• BAMRnH

ビット	ビット名	初期値	R/W	説明
31~16	BAMRn31~ BAMRn16	すべて 0	R/W	ブレークアドレスマスク n31~16 ブレークコントロールレジスタでブレーク条件を設定する前に、必ず H'FF00 をライトしてください。

【記号説明】 n=チャンネル A~D

• BAMRnL

ビット	ビット名	初期値	R/W	説明
15~0	BAMRn15~ BAMRn0	すべて 0	R/W	ブレークアドレスマスク n15~0 ブレークコントロールレジスタでブレーク条件を設定する前に、必ず H'0000 をライトしてください。

【記号説明】 n=チャンネル A~D

8. ユーザブレークコントローラ (UBC)

8.3.3 ブレークコントロールレジスタ n (BRCRA、BRCRB、BRCRC、BRCRD)

BRCRA、BRCRB、BRCRC、BRCRD は、それぞれ UBC のチャンネル A、B、C、D の条件設定および制御を行います。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	CMFCPn	—	CPn2	CPn1	CPn0	—	—	—	IDn1	IDn0	RWn1	RWn0	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【記号説明】 n=チャンネル A~D

ビット	ビット名	初期値	R/W	説明
15	—	0	R/W	リザーブビット
14	—	0	R/W	リードすると常に 0 が読み出されます。ライト時は必ず 0 をライトしてください。
13	CMFCPn	0	R/W	コンディションマッチ CPU フラグ UBC ブレーク要因フラグです。設定した CPU のバスサイクルの条件が成立したことを示します。 0 : n チャンネルの CPU サイクル条件で、ブレーク要求は発生していない 1 : n チャンネルの CPU サイクル条件で、ブレーク要求が発生した
12	—	0	R/W	リザーブビット リードすると常に 0 が読み出されます。ライト時は必ず 0 をライトしてください。
11	CPn2	0	R/W	CPU サイクルセレクト 各チャンネルのブレーク条件にするバスサイクルを CPU サイクルに選択します。 000 : ブレーク要求は発生しない 001 : CPU サイクルをブレーク条件とする 01x : 設定禁止 1xx : 設定禁止
10	CPn1	0	R/W	
9	CPn0	0	R/W	
8	—	0	R/W	リザーブビット
7	—	0	R/W	リードすると常に 0 が読み出されます。ライト時は必ず 0 をライトしてください。
6	—	0	R/W	
5	IDn1	0	R/W	ブレークコンディションセレクト 各チャンネルの UBC ブレーク割り込み要求を PC ブレークに選択します。 00 : ブレーク要求は発生しない 01 : PC ブレークを条件とする 1x : 設定禁止
4	IDn0	0	R/W	

ビット	ビット名	初期値	R/W	説明
3	RWn1	0	R/W	リードセレクト
2	RWn0	0	R/W	各チャンネルのブレーク条件にするバスサイクルをリードサイクルに選択します。 00: ブレーク要求は発生しない 01: リードサイクルをブレーク条件とする 1x: 設定禁止
1	—	0	R/W	リザーブビット
0	—	0	R/W	リードすると常に0が読み出されます。ライト時は必ず0をライトしてください。

【記号説明】 n=チャンネル A~D

8.4 動作説明

UBCは低消費電力状態（スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、ハードウェアスタンバイモード）での条件一致は検出しません。

8.4.1 ブレークコントロール条件の設定

- ブレークするアドレスをブレークアドレスレジスタ n (BAR n) に、マスクするアドレスをブレークアドレスマスクレジスタ n (BAMR n) に設定します。
- ブレークコントロールレジスタ n (BRCR n) にブレークするバス条件およびブレーク条件を設定します。バス条件については、CPUサイクル、PCブレーク、リードのすべてについて設定します。このうち、CPUサイクルの設定がCP n =B'000、またはPCブレークの設定がID n =B'00、またはリードの設定がRW n =B'00の場合は、条件比較を行いません。
- ブレーク条件が一致したときは、それぞれのコンディションマッチCPUフラグ (CMFCP n) がセットされます。これらのフラグは、ブレーク条件の一致によりセットされますがクリアされません。再度同じフラグのセットを確認する場合は、ブレーク割り込み処理ルーチン内で一度フラグをリードした後に0をライトしてください（1リード後、0ライトがクリア条件です）。

【記号説明】 n=チャンネル A~D

8. ユーザブレークコントローラ (UBC)

8.4.2 PC ブレーク

1. PCブレークを設定する場合、ブレークアドレスはその命令の置かれている先頭番地にアドレスを設定してください。それ以外にアドレスを設定してもブレークは発生しません。
2. ブレークの対象となる命令は、命令がフェッチされて実行することが確定したときにブレークが発生します。ブレークとユーザマスカブル割り込みが競合した場合は、ブレークが優先されます。
3. 遅延スロットにブレークを設定してもブレークは発生しません。
4. ブレークコントロールレジスタ n (BRCR n) のバス条件をCPUに (CP n 0=1)、ブレークコンディションをPCブレークに (ID n 0=1)、バスサイクルをリードサイクル (RW n 0=1) に設定することにより、PCブレークを発生させることができます。

【記号説明】 n =チャンネル A~D

8.4.3 コンディションマッチフラグ

ブレーク条件が一致したときに、コンディションマッチフラグがセットされます。UBC には、表 8.2 に示すコンディションマッチフラグがあります。

表 8.2 コンディションマッチフラグ一覧

レジスタ	フラグビット	要 因
BRCRA	CMFCPA (ビット 13)	チャンネル A の CPU サイクルで条件一致したことを示す
BRCRB	CMFCPB (ビット 13)	チャンネル B の CPU サイクルで条件一致したことを示す
BRCRC	CMFCPC (ビット 13)	チャンネル C の CPU サイクルで条件一致したことを示す
BRCRD	CMFCPD (ビット 13)	チャンネル D の CPU サイクルで条件一致したことを示す

8.5 使用上の注意事項

1. PCブレイク注意事項

- SLEEP命令（スリープ状態、ソフトウェアスタンバイ）とPCブレイク競合

SLEEP命令の次の命令にPCブレイク命令前ブレイクを設定し、SLEEP命令を実行すると、SSBYビットが0にクリアされている状態であれば、スリープモードを経ないでブレイク割り込み例外処理が実行されます。この場合、RTE命令後にSLEEP命令の次の命令を実行します。

SSBYビットが1にセットされている状態であれば、ソフトウェアスタンバイモードに遷移し、発振安定時間を経て、ブレイク割り込み例外処理が実行されます。

解除要因が割り込みであった場合、RTE命令実行後、割り込み例外処理実行し、SLEEP命令の次の命令を実行します。

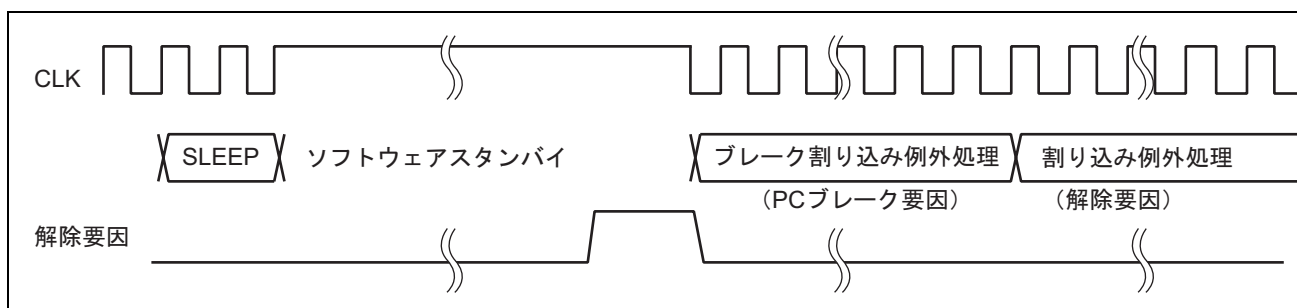


図 8.2 SLEEP 命令（ソフトウェアスタンバイ）と PC ブレイク競合

2. PCブレイク禁止事項

- UBCブレイク割り込み処理ルーチン内のプログラムに対してのUBCブレイク割り込みの設定を禁止します。

3. UBCのフラグビット（コンディションマッチフラグ）のクリアを以下に示します。フラグビットのクリア条件は、1リード後、0ライトです。フラグビットを含むレジスタは、バイトアクセスも可能にしていますので、ビット操作命令も使用することが可能です。

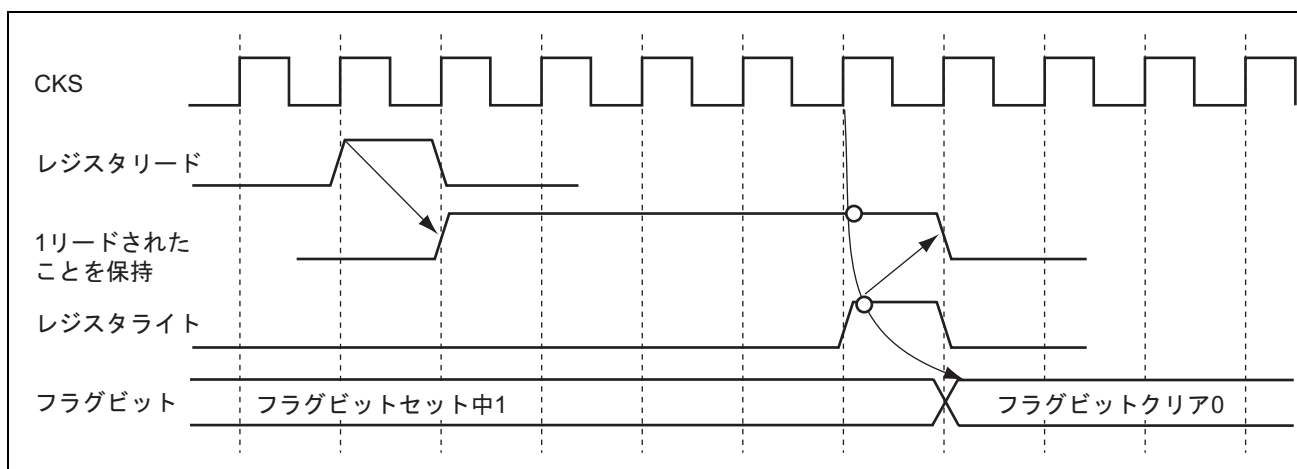


図 8.3 フラグビットクリアシーケンス（コンディションマッチフラグ）

8. ユーザブレークコントローラ (UBC)

4. UBCのブレーク条件設定後に不当命令を実行した場合、プログラムカウンタ値、内部バスサイクルによっては、期待しないUBCブレーク割り込みを発生する場合があります。

9. バスコントローラ (BSC)

本 LSI はバスコントローラ (BSC) を内蔵しており、外部アドレス空間を 8 つのエリアに分割して管理します。

バスコントローラはバス権調停機能をもっており、内部バスマスタである CPU、DMAC、EXDMAC*および DTC の動作を制御します。

【注】 * H8SX1648G グループ、H8SX1648H グループのみサポート

9.1 特長

- 外部アドレス空間をエリア単位で管理
 - 外部アドレス空間を8つのエリアに分割して管理
 - エリアごとにチップセレクト ($\overline{CS0} \sim \overline{CS7}$) を出力可能
 - エリアごとにバス仕様を設定可能
 - エリアごとに8ビットアクセス空間/16ビットアクセス空間を選択可能
 - DRAM*、シンクロナスDRAM*、バーストROM、バイト制御SRAM、アドレス/データマルチプレクス I/O インタフェースを設定可能
 - リトルエンディアンのデバイスを接続するためのエンディアン変換機能
- 基本バスインタフェース
 - SRAMやROMを接続可能なインタフェース
 - エリアごとに2ステートアクセス空間/3ステートアクセス空間を選択可能
 - エリアごとにプログラムウェイトステートを挿入可能
 - \overline{WAIT} 端子による端子ウェイトを挿入可能
 - エリアごとに \overline{CSn} アサート期間拡張ステートを挿入可能 (n=0~7)
 - リードストロブ (\overline{RD}) のネゲートタイミングを変更可能
- バイト制御SRAMインタフェース
 - エリア0~7をバイト制御SRAMインタフェースに設定可能
 - バイト制御端子を持つSRAMを直結可能
- バーストROMインタフェース
 - エリア0、エリア1をバーストROMインタフェースに設定可能
 - エリア0、エリア1のバーストROMインタフェースの仕様を独立に設定可能
- アドレス/データマルチプレクスI/Oインタフェース
 - エリア3~7をアドレス/データマルチプレクスI/Oインタフェースに設定可能
- DRAMインタフェース*
 - エリア2をDRAMインタフェースに設定可能

9. バスコントローラ (BSC)

ロウアドレス/カラムアドレスのマルチプレクス出力 (8ビット/9ビット/10ビット/11ビット)

16ビットバス : $\overline{\text{CAS2}}$ 本方式によるバイト制御

$\overline{\text{CAS}}$ アサート期間に対してプログラムウェイト、端子ウェイトを挿入可能

高速ページモードによるバースト動作が可能

RASプリチャージタイム確保のためのTpサイクル挿入

CASビフォRASリフレッシュ (CBRリフレッシュ) とセルフリフレッシュを選択可能

- シンクロナスDRAMインタフェース*

エリア2をシンクロナスDRAMインタフェースに設定可能

ロウアドレス/カラムアドレスのマルチプレクス出力 (8ビット/9ビット/10ビット/11ビット)

16ビットバス : DQMによるバイト制御

オートリフレッシュとセルフリフレッシュを選択可能

CASレイテンシを2~4に設定可能

EXDMACのクラスタ転送による高速データ転送

- アイドルサイクル挿入

異なるエリア間の外部リードサイクルが連続する場合、アイドルサイクルを挿入可能

外部リードサイクル後に外部ライトサイクルが連続する場合、アイドルサイクルを挿入可能

外部ライトサイクル後に外部リードサイクルが連続する場合、アイドルサイクルを挿入可能

DMAC/EXDMAC*のシングルアドレス転送 (ライトサイクル) 後に外部アクセスが連続する場合、アイドルサイクルを挿入可能

- ライトバッファ機能

外部ライトサイクルと内部アクセスを並列に実行可能

内蔵周辺モジュールへのライトアクセスと内蔵メモリアccessを並列に実行可能

DMACのシングルアドレス転送と内部アクセスを並列に実行可能

- 外部バス権解放機能

- バス権調停機能 (バスアービトレーション)

バスアービタを内蔵し、CPU、DMAC、EXDMAC*、DTC、リフレッシュ*および外部バスマスタのバス権要求を調停

- EXDMACの外部バス間転送と内部アクセスを並列に実行可能*

- マルチクロック機能

内部周辺機能は、周辺モジュールクロック (Pφ) に同期して動作可能

外部空間は、外部バスクロック (Bφ) に同期して動作可能

- バススタート ($\overline{\text{BS}}$)、リード/ライト ($\text{RD}/\overline{\text{WR}}$) 信号出力可能

【注】 * H8SX1648G グループ、H8SX1648H グループのみサポート

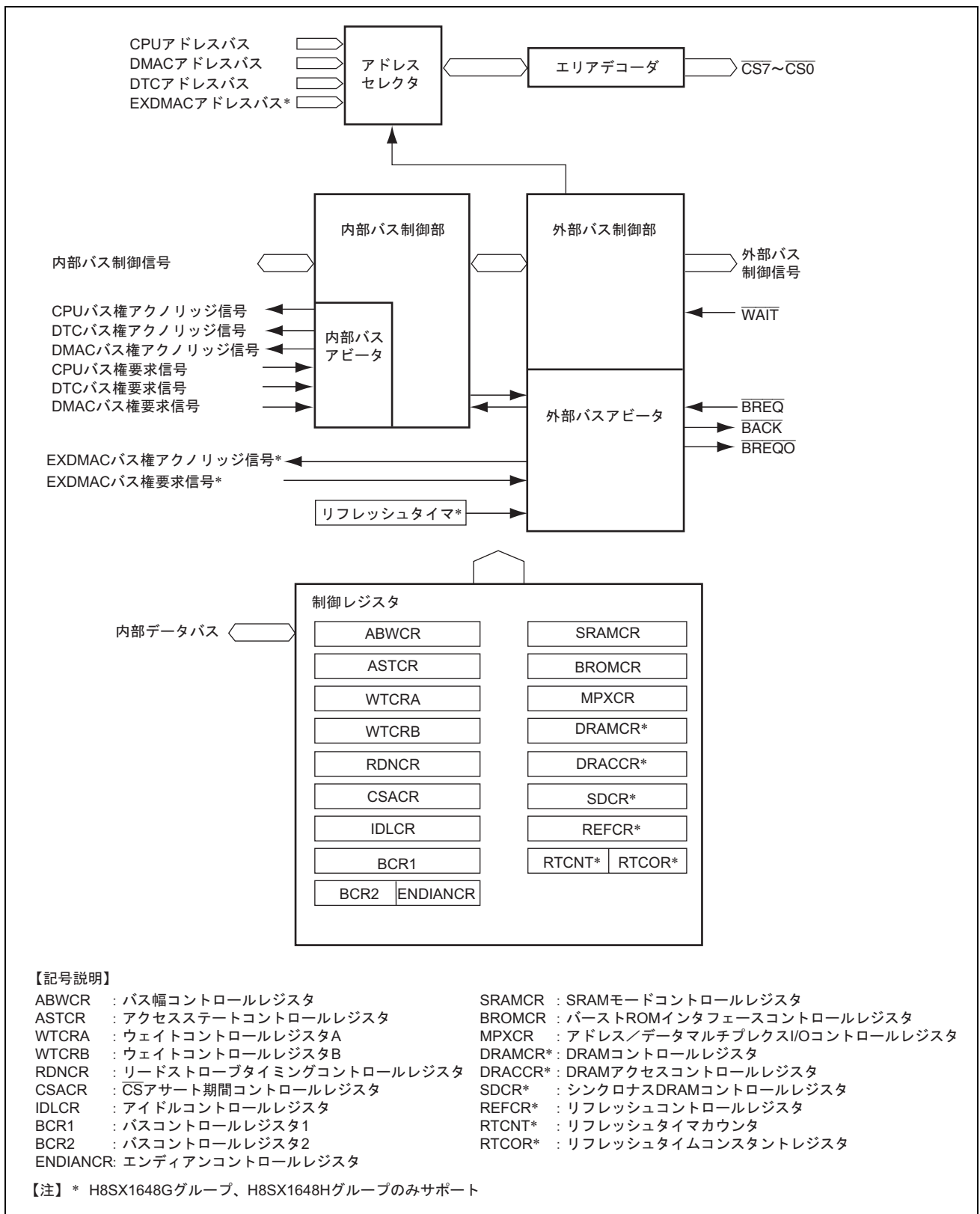


図 9.1 バスコントローラのブロック図

9.2 レジスタの説明

バスコントローラには以下のレジスタがあります。

- バス幅コントロールレジスタ (ABWCR)
- アクセスステートコントロールレジスタ (ASTCR)
- ウェイトコントロールレジスタA (WTCRA)
- ウェイトコントロールレジスタB (WTCRB)
- リードストローブタイミングコントロールレジスタ (RDNCR)
- \overline{CS} アサート期間コントロールレジスタ (CSACR)
- アイドルコントロールレジスタ (IDLCR)
- バスコントロールレジスタ1 (BCR1)
- バスコントロールレジスタ2 (BCR2)
- エンディアンコントロールレジスタ (ENDIANCR)
- SRAMモードコントロールレジスタ (SRAMCR)
- バーストROMインタフェースコントロールレジスタ (BROMCR)
- アドレス/データマルチプレクスI/Oコントロールレジスタ (MPXCR)
- DRAMコントロールレジスタ (DRAMCR) *
- DRAMアクセスコントロールレジスタ (DRACCR) *
- シンクロナスDRAMコントロールレジスタ (SDCR) *
- リフレッシュコントロールレジスタ (REFCR) *
- リフレッシュタイマカウンタ (RTCNT) *
- リフレッシュタイムコンスタントレジスタ (RTCOR) *

【注】 * H8SX1648G グループ、H8SX1648H グループのみサポート

9.2.1 バス幅コントロールレジスタ (ABWCR)

ABWCR は、外部アドレス空間の各エリアのデータバス幅を設定します。

ビット	15	14	13	12	11	10	9	8
ビット名	ABWH7	ABWH6	ABWH5	ABWH4	ABWH3	ABWH2	ABWH1	ABWH0
初期値*:	1	1	1	1	1	1	1	1/0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	ABWL7	ABWL6	ABWL5	ABWL4	ABWL3	ABWL2	ABWL1	ABWL0
初期値*:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * 初期値は、16ビットバス起動 H'FEFF、8ビットバス起動 H'FFFFとなります。

ビット	ビット名	初期値*1	R/W	説明
15	ABWH7	1	R/W	エリア 7~0 バス幅コントロール 対応するエリアを 8 ビットアクセス空間にするか、16 ビットアクセス空間にするかを選択します。 ABWHn ABWLn (n=7~0) x 0 : 設定禁止 0 1 : エリア n を 16 ビットアクセス空間に設定 1 1 : エリア n を 8 ビットアクセス空間に設定*2
14	ABWH6	1	R/W	
13	ABWH5	1	R/W	
12	ABWH4	1	R/W	
11	ABWH3	1	R/W	
10	ABWH2	1	R/W	
9	ABWH1	1	R/W	
8	ABWH0	1/0	R/W	
7	ABWL7	1	R/W	
6	ABWL6	1	R/W	
5	ABWL5	1	R/W	
4	ABWL4	1	R/W	
3	ABWL3	1	R/W	
2	ABWL2	1	R/W	
1	ABWL1	1	R/W	
0	ABWL0	1	R/W	

【記号説明】 x : Don't care

【注】 *1 初期値は、16 ビットバス起動 H'FEFF、8 ビットバス起動 H'FFFF となります。

*2 バイト制御 SRAM インタフェースに設定した空間は、8 ビットアクセス空間に設定しないでください。

9. バスコントローラ (BSC)

9.2.2 アクセスステートコントロールレジスタ (ASTCR)

ASTCR は、外部アドレス空間の各エリアを 2 ステートアクセス空間、または 3 ステートアクセス空間のいずれかに設定します。同時にウェイトステート挿入の許可/禁止を設定します。

ビット	15	14	13	12	11	10	9	8
ビット名	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	AST7	1	R/W	エリア 7~0 アクセスステートコントロール 対応するエリアを 2 ステートアクセス空間にするか、3 ステートアクセス空間にするかを選択します。同時にウェイトステートの挿入を許可または禁止します。 0 : エリア n を 2 ステートアクセス空間に設定 エリア n のアクセスにウェイトステートの挿入を禁止 1 : エリア n を 3 ステートアクセス空間に設定 エリア n のアクセスにウェイトステートの挿入を許可 (n=7~0)
14	AST6	1	R/W	
13	AST5	1	R/W	
12	AST4	1	R/W	
11	AST3	1	R/W	
10	AST2	1	R/W	
9	AST1	1	R/W	
8	AST0	1	R/W	
7~0	—	すべて 0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。

9.2.3 ウェイトコントロールレジスタ A、B (WTCRA、WTCRB)

WTCRA、WTCRB は、外部アドレス空間の各エリアのプログラムウェイトステート数を選択します。

・ WTCRA

ビット	15	14	13	12	11	10	9	8
ビット名	—	W72	W71	W70	—	W62	W61	W60
初期値:	0	1	1	1	0	1	1	1
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	—	W52	W51	W50	—	W42	W41	W40
初期値:	0	1	1	1	0	1	1	1
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

・ WTCRB

ビット	15	14	13	12	11	10	9	8
ビット名	—	W32	W31	W30	—	W22	W21	W20
初期値:	0	1	1	1	0	1	1	1
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	—	W12	W11	W10	—	W02	W01	W00
初期値:	0	1	1	1	0	1	1	1
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

9. バスコントローラ (BSC)

• WTCRA

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
14	W72	1	R/W	エリア 7 ウェイトコントロール 2~0 ASTCR の AST7=1 のとき、エリア 7 をアクセスするときのプログラムウェイトステート数を選択します。 000 : プログラムウェイトを挿入しない 001 : プログラムウェイトを 1 ステート挿入 010 : プログラムウェイトを 2 ステート挿入 011 : プログラムウェイトを 3 ステート挿入 100 : プログラムウェイトを 4 ステート挿入 101 : プログラムウェイトを 5 ステート挿入 110 : プログラムウェイトを 6 ステート挿入 111 : プログラムウェイトを 7 ステート挿入
13	W71	1	R/W	
12	W70	1	R/W	
11	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
10	W62	1	R/W	エリア 6 ウェイトコントロール 2~0 ASTCR の AST6=1 のとき、エリア 6 をアクセスするときのプログラムウェイトステート数を選択します。 000 : プログラムウェイトを挿入しない 001 : プログラムウェイトを 1 ステート挿入 010 : プログラムウェイトを 2 ステート挿入 011 : プログラムウェイトを 3 ステート挿入 100 : プログラムウェイトを 4 ステート挿入 101 : プログラムウェイトを 5 ステート挿入 110 : プログラムウェイトを 6 ステート挿入 111 : プログラムウェイトを 7 ステート挿入
9	W61	1	R/W	
8	W60	1	R/W	
7	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。

9. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
6	W52	1	R/W	エリア 5 ウェイトコントロール 2~0 ASTCR の AST5=1 のとき、エリア 5 をアクセスするときのプログラムウェイトステート数を選択します。 000 : プログラムウェイトを挿入しない 001 : プログラムウェイトを 1 ステート挿入 010 : プログラムウェイトを 2 ステート挿入 011 : プログラムウェイトを 3 ステート挿入 100 : プログラムウェイトを 4 ステート挿入 101 : プログラムウェイトを 5 ステート挿入 110 : プログラムウェイトを 6 ステート挿入 111 : プログラムウェイトを 7 ステート挿入
5	W51	1	R/W	
4	W50	1	R/W	
3	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
2	W42	1	R/W	エリア 4 ウェイトコントロール 2~0 ASTCR の AST4=1 のとき、エリア 4 をアクセスするときのプログラムウェイトステート数を選択します。 000 : プログラムウェイトを挿入しない 001 : プログラムウェイトを 1 ステート挿入 010 : プログラムウェイトを 2 ステート挿入 011 : プログラムウェイトを 3 ステート挿入 100 : プログラムウェイトを 4 ステート挿入 101 : プログラムウェイトを 5 ステート挿入 110 : プログラムウェイトを 6 ステート挿入 111 : プログラムウェイトを 7 ステート挿入
1	W41	1	R/W	
0	W40	1	R/W	

9. バスコントローラ (BSC)

• WTCRB

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
14	W32	1	R/W	エリア 3 ウェイトコントロール 2~0 ASTCR の AST3=1 のとき、エリア 3 をアクセスするときのプログラムウェイトステート数を選択します。 000 : プログラムウェイトを挿入しない 001 : プログラムウェイトを 1 ステート挿入 010 : プログラムウェイトを 2 ステート挿入 011 : プログラムウェイトを 3 ステート挿入 100 : プログラムウェイトを 4 ステート挿入 101 : プログラムウェイトを 5 ステート挿入 110 : プログラムウェイトを 6 ステート挿入 111 : プログラムウェイトを 7 ステート挿入
13	W31	1	R/W	
12	W30	1	R/W	
11	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
10	W22	1	R/W	エリア 2 ウェイトコントロール 2~0 ASTCR の AST2=1 のとき、エリア 2 をアクセスするときのプログラムウェイトステート数を選択します。また、シンクロナス DRAM*接続時は CAS レイテンシの設定を行います。そのとき W22 は無視されます。ASTCR のウェイトステート挿入/禁止の設定によらず、CAS レイテンシの設定が可能です。 • プログラムウェイトステート数の選択 000 : プログラムウェイトを挿入しない 001 : プログラムウェイトを 1 ステート挿入 010 : プログラムウェイトを 2 ステート挿入 011 : プログラムウェイトを 3 ステート挿入 100 : プログラムウェイトを 4 ステート挿入 101 : プログラムウェイトを 5 ステート挿入 110 : プログラムウェイトを 6 ステート挿入 111 : プログラムウェイトを 7 ステート挿入 • CAS レイテンシの設定 (W22 は無視) * 00 : (設定禁止) 01 : CAS レイテンシ 2 のシンクロナス DRAM を接続 10 : CAS レイテンシ 3 のシンクロナス DRAM を接続 11 : CAS レイテンシ 4 のシンクロナス DRAM を接続
9	W21	1	R/W	
8	W20	1	R/W	
7	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。

9. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
6	W12	1	R/W	エリア 1 ウェイトコントロール 2~0 ASTCR の AST1=1 のとき、エリア 1 をアクセスするときのプログラムウェイトステート数を選択します。 000 : プログラムウェイトを挿入しない 001 : プログラムウェイトを 1 ステート挿入 010 : プログラムウェイトを 2 ステート挿入 011 : プログラムウェイトを 3 ステート挿入 100 : プログラムウェイトを 4 ステート挿入 101 : プログラムウェイトを 5 ステート挿入 110 : プログラムウェイトを 6 ステート挿入 111 : プログラムウェイトを 7 ステート挿入
5	W11	1	R/W	
4	W10	1	R/W	
3	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
2	W02	1	R/W	エリア 0 ウェイトコントロール 2~0 ASTCR の AST0=1 のとき、エリア 0 をアクセスするときのプログラムウェイトステート数を選択します。 000 : プログラムウェイトを挿入しない 001 : プログラムウェイトを 1 ステート挿入 010 : プログラムウェイトを 2 ステート挿入 011 : プログラムウェイトを 3 ステート挿入 100 : プログラムウェイトを 4 ステート挿入 101 : プログラムウェイトを 5 ステート挿入 110 : プログラムウェイトを 6 ステート挿入 111 : プログラムウェイトを 7 ステート挿入
1	W01	1	R/W	
0	W00	1	R/W	

【注】 * H8SX1648G グループ、H8SX1648H グループのみサポート

9. バスコントローラ (BSC)

9.2.4 リードストロブタイミングコントロールレジスタ (RDNCR)

RDNCR は、基本バスインタフェース、またはアドレス/データマルチプレクス I/O インタフェースに設定した外部アドレス空間のリードアクセス時のリードストロブ信号 (\overline{RD}) のネゲートタイミングを設定します。

ビット	15	14	13	12	11	10	9	8
ビット名	RDN7	RDN6	RDN5	RDN4	RDN3	RDN2	RDN1	RDN0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	RDN7	0	R/W	リードストロブタイミングコントロール 対応するエリアをリードアクセスするとき \overline{RD} のネゲートタイミングを設定します。図 9.2 に示すように、 $RDNn=1$ に設定したエリアの \overline{RD} は、 $RDNn=0$ に設定したときに比べて半ステート早くネゲートします。同様にリードデータのセットアップ/ホールドの規定も半ステート早くなります。 0: エリア n のリードアクセス時、 \overline{RD} のネゲートタイミングはリードサイクルの終わり 1: エリア n のリードアクセス時、 \overline{RD} のネゲートタイミングはリードサイクルの終わりから半ステート手前 (n=7~0)
14	RDN6	0	R/W	
13	RDN5	0	R/W	
12	RDN4	0	R/W	
11	RDN3	0	R/W	
10	RDN2	0	R/W	
9	RDN1	0	R/W	
8	RDN0	0	R/W	
7~0	—	すべて 0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。

- 【注】 1. バイト制御 SRAM インタフェースに設定した外部アドレス空間では、RDNCR の設定は無視され、常に $RDNn=1$ を設定した場合と同じ動作になります。
2. バースト ROM インタフェースに設定した外部アドレス空間は、CPU のリードアクセスと EXDMAC* のクラスタ転送によるリードアクセス時に RDNCR の設定は無視され、常に $RDNn=0$ を設定したときと同様の動作になります。
- * H8SX1648G グループ、H8SX1648H グループのみサポート

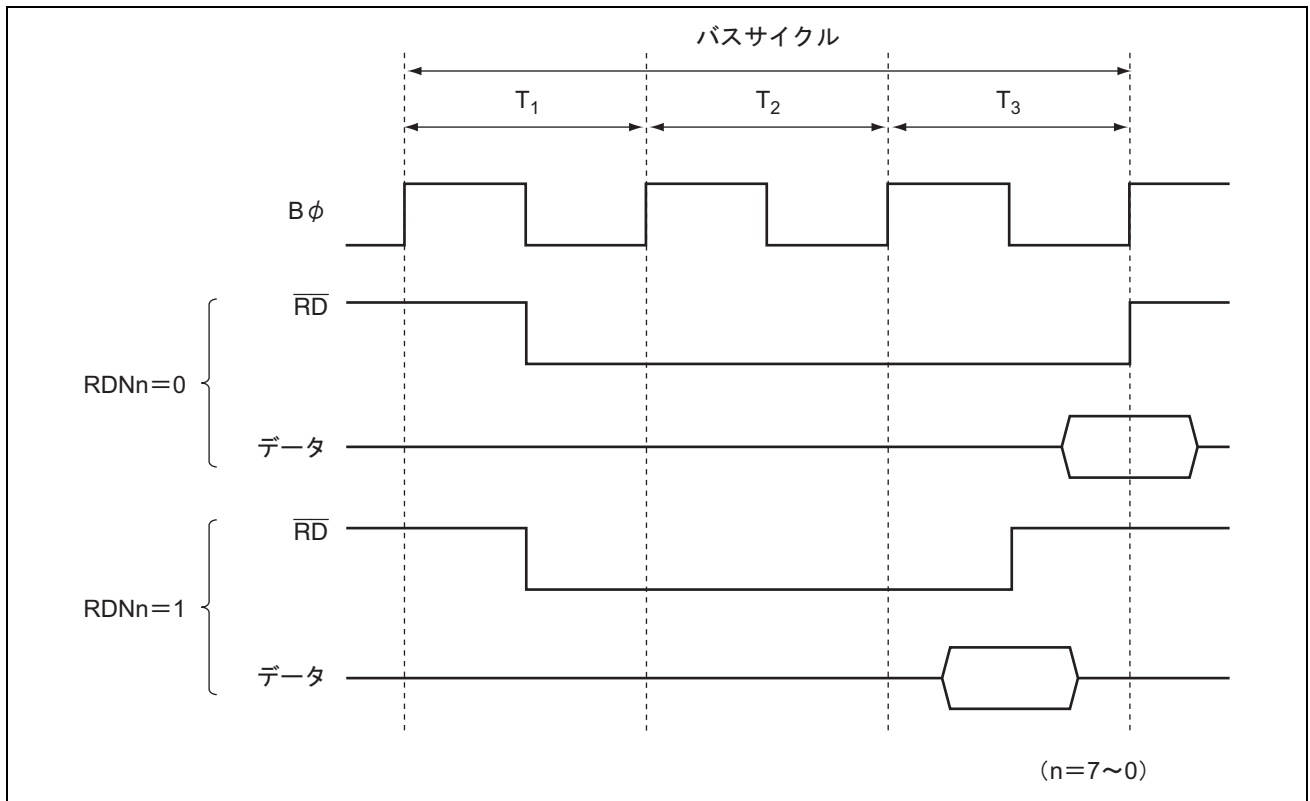


図 9.2 リードストローブネゲートタイミング (3 ステートアクセス空間)

9. バスコントローラ (BSC)

9.2.5 \overline{CS} アサート期間コントロールレジスタ (CSACR)

CSACR は、基本バスインタフェース、バイト制御 SRAM インタフェース、バースト ROM インタフェース、アドレス/データマルチプレクス I/O インタフェースのチップセレクト信号 (\overline{CSn})、およびアドレス信号のアサート期間を拡張するか否かを選択します。 \overline{CSn} 、アドレス信号のアサート期間を拡張することにより、リードストロブ (\overline{RD}) やライトストロブ ($\overline{LHWR/LLWR}$) のセットアップ時間、およびホールド時間を確保することができます。また、ライト時に、ライトストロブに対するライトデータのセットアップ時間、ホールド時間を緩和することができます。

ビット	15	14	13	12	11	10	9	8
ビット名	CSXH7	CSXH6	CSXH5	CSXH4	CSXH3	CSXH2	CSXH1	CSXH0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	7	6	5	4	3	2	1	0
ビット名	CSXT7	CSXT6	CSXT5	CSXT4	CSXT3	CSXT2	CSXT1	CSXT0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	CSXH7	0	R/W	\overline{CS} 、アドレス信号アサート期間コントロール 1 Th サイクルを挿入するか否かを選択します (図 9.3 参照)。CSXHn=1 に設定したエリアをアクセスすると、通常のアクセスサイクルの前に \overline{CSn} とアドレスがアサートされる Th サイクルが 1 ステート挿入されます。 0: エリア n のアクセス時、 \overline{CSn} 、アドレスアサート期間 (Th) を拡張しない 1: エリア n のアクセス時、 \overline{CSn} 、アドレスアサート期間 (Th) を拡張する (n=7~0)
14	CSXH6	0	R/W	
13	CSXH5	0	R/W	
12	CSXH4	0	R/W	
11	CSXH3	0	R/W	
10	CSXH2	0	R/W	
9	CSXH1	0	R/W	
8	CSXH0	0	R/W	
7	CSXT7	0	R/W	\overline{CS} 、アドレス信号アサート期間コントロール 2 Tt サイクルを挿入するか否かを選択します (図 9.3 参照)。CSXTn=1 に設定したエリアをアクセスすると、通常のアクセスサイクルの後に \overline{CSn} とアドレスが保持される Tt サイクルが 1 ステート挿入されます。 0: エリア n のアクセス時、 \overline{CSn} 、アドレスアサート期間 (Tt) を拡張しない 1: エリア n のアクセス時、 \overline{CSn} 、アドレスアサート期間 (Tt) を拡張する (n=7~0)
6	CSXT6	0	R/W	
5	CSXT5	0	R/W	
4	CSXT4	0	R/W	
3	CSXT3	0	R/W	
2	CSXT2	0	R/W	
1	CSXT1	0	R/W	
0	CSXT0	0	R/W	

【注】 バースト ROM インタフェースでは、CPU のリードアクセスと EXDMAC* のクラスタ転送によるリードアクセス時 CSXTn の設定は無視されます。

* H8SX1648G グループ、H8SX1648H グループのみサポート

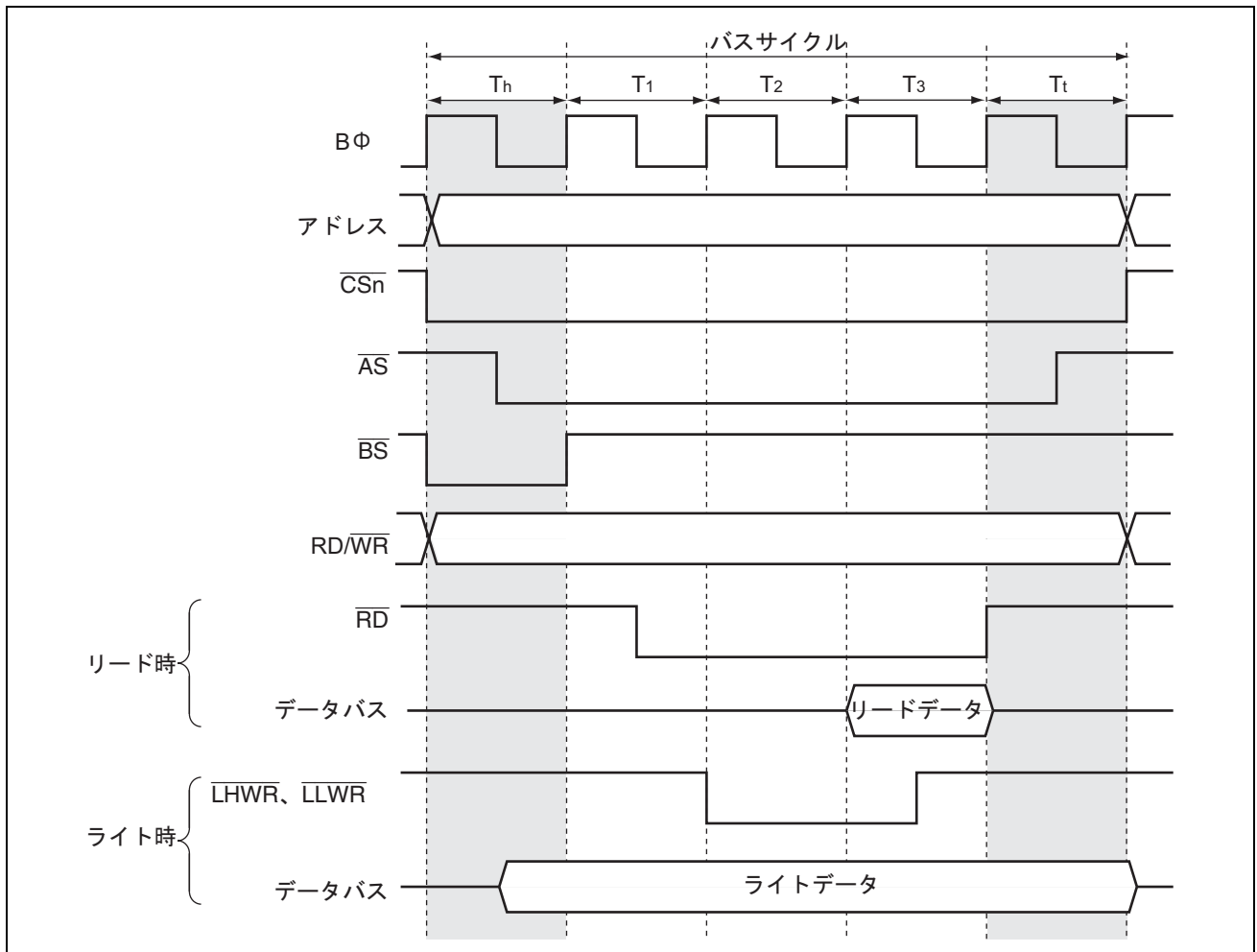


図 9.3 \overline{CS} 、アドレスアサート期間拡張
(基本バスインタフェース、3ステートアクセス空間、RD_N=0)

9. バスコントローラ (BSC)

9.2.6 アイドルコントロールレジスタ (IDLCR)

IDLCR は、アイドルサイクルの挿入条件、およびアイドルサイクル数の設定を行います。

ビット	15	14	13	12	11	10	9	8
ビット名	IDLS3	IDLS2	IDLS1	IDLS0	IDLCB1	IDLCB0	IDLCA1	IDLCA0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	IDLSEL7	IDLSEL6	IDLSEL5	IDLSEL4	IDLSEL3	IDLSEL2	IDLSEL1	IDLSEL0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	IDLS3	1	R/W	アイドルサイクル挿入 3 DMAC/EXDMAC*のシングルアドレス転送 (ライトサイクル) 後に外部アクセスが連続する場合、バスサイクルの間にアイドルサイクルを挿入することができます。 0 : アイドルサイクルを挿入しない 1 : アイドルサイクルを挿入する
14	IDLS2	1	R/W	アイドルサイクル挿入 2 外部ライトサイクル後に外部リードサイクルが連続する場合、バスサイクルの間にアイドルサイクルを挿入することができます。 0 : アイドルサイクルを挿入しない 1 : アイドルサイクルを挿入する
13	IDLS1	1	R/W	アイドルサイクル挿入 1 異なるエリアの外部リードサイクルが連続する場合、バスサイクルの間にアイドルサイクルを挿入することができます。 0 : アイドルサイクルを挿入しない 1 : アイドルサイクルを挿入する
12	IDLS0	1	R/W	アイドルサイクル挿入 0 外部リードサイクル後に外部ライトサイクルが連続する場合、バスサイクルの間にアイドルサイクルを挿入することができます。 0 : アイドルサイクルを挿入しない 1 : アイドルサイクルを挿入する

9. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
11	IDLCB1	1	R/W	アイドルサイクルステート数選択 B IDLS1、IDLS0 で選択されたアイドル条件に対して、挿入するステート数を選択します。 00 : アイドルサイクルを挿入しない 01 : アイドルサイクルの挿入ステートは 2 ステート 10 : アイドルサイクルの挿入ステートは 3 ステート 11 : アイドルサイクルの挿入ステートは 4 ステート
10	IDLCB0	1	R/W	
9	IDLCA1	1	R/W	アイドルサイクルステート数選択 A IDLS3~IDLS0 で選択されたアイドル条件に対して、挿入するステート数を選択します。 00 : アイドルサイクルの挿入ステートは 1 ステート 01 : アイドルサイクルの挿入ステートは 2 ステート 10 : アイドルサイクルの挿入ステートは 3 ステート 11 : アイドルサイクルの挿入ステートは 4 ステート
8	IDLCA0	1	R/W	
7	IDLSEL7	0	R/W	アイドルサイクル数選択 IDLS1、IDLS0 で選択されたアイドル挿入条件で、挿入するアイドルステート数を各エリア毎に選択します。 0 : エリア n に挿入するアイドルサイクルのステート数を IDLCA1、IDLCA0 で指定する 1 : エリア n に挿入するアイドルサイクルのステート数を IDLCB1、IDLCB0 で指定する (n=7~0)
6	IDLSEL6	0	R/W	
5	IDLSEL5	0	R/W	
4	IDLSEL4	0	R/W	
3	IDLSEL3	0	R/W	
2	IDLSEL2	0	R/W	
1	IDLSEL1	0	R/W	
0	IDLSEL0	0	R/W	

【注】 * H8SX1648G グループ、H8SX1648H グループのみサポート

9. バスコントローラ (BSC)

9.2.7 バスコントロールレジスタ 1 (BCR1)

BCR1 は、外部バス解放状態のプロトコル、ライトデータバッファ機能の許可/禁止、 $\overline{\text{WAIT}}$ 端子入力の許可/禁止の設定を行います。

ビット	15	14	13	12	11	10	9	8
ビット名	BRLE	BREQOE	—	—	—	—	WDBE	WAITE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	DKC	EDKC*	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R	R

【注】 * H8SX1648Gグループ、H8SX1648Hグループのみサポート

ビット	ビット名	初期値	R/W	説明
15	BRLE	0	R/W	外部バス解放イネーブル 外部バス権の解放を許可または禁止します。 0: 外部バス権の解放を禁止 $\overline{\text{BREQ}}$ 、 $\overline{\text{BACK}}$ 、 $\overline{\text{BREQO}}$ は入出力ポートとして使用可能 1: 外部バス権の解放を許可 詳細は「13. I/O ポート」を参照してください。
14	BREQOE	0	R/W	$\overline{\text{BREQO}}$ 端子イネーブル 外部バス解放状態のとき、内部バスマスタが外部アドレス空間をアクセスするとき、外部バスマスタに対してバス権要求信号 ($\overline{\text{BREQO}}$) の出力を許可または禁止します。 0: $\overline{\text{BREQO}}$ 信号出力禁止 $\overline{\text{BREQO}}$ 端子は入出力ポートとして使用可能 1: $\overline{\text{BREQO}}$ 信号出力許可
13	—	0	R	リザーブビット
12	—	0	R	これらのビットはリードのみ有効で、ライトは無効です。
11	—	0	R/W	リザーブビット
10	—	0	R/W	リードすると常に0が読み出されます。ライトする値は常に0にしてください。

9. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
9	WDBE	0	R/W	<p>ライトデータバッファイネーブル</p> <p>外部ライトサイクル、または DMAC のシングルアドレス転送サイクルのとき、ライトデータバッファ機能を使用できます。</p> <p>設定値を変更する場合は、変更内容が直後の外部アクセスに反映されない場合があります。</p> <p>0 : ライトデータバッファ機能を使用しない 1 : ライトデータバッファ機能を使用する</p>
8	WAITE	0	R/W	<p>WAIT 端子イネーブル</p> <p>WAIT 端子によるウェイト入力の許可または禁止を選択します。</p> <p>エリア 2 にシンクロナス DRAM 空間を設定した場合、このビットの設定内容はシンクロナス DRAM 空間アクセス動作に影響を与えません。</p> <p>0 : WAIT 端子によるウェイト入力を禁止 WAIT 端子は入出力ポートとして使用可能 1 : WAIT 端子によるウェイト入力を許可</p> <p>詳細は「13. I/O ポート」を参照してください。</p>
7	DKC	0	R/W	<p>DACK コントロールビット</p> <p>DMAC の転送アクノレッジ信号のアサートタイミングを選択します。</p> <p>0 : DACK 信号のアサートタイミングは、Bφの立ち下がりエッジ 1 : DACK 信号のアサートタイミングは、Bφの立ち上がりエッジ</p>
6	EDKC*	0	R/W	<p>EDACK コントロールビット</p> <p>EXDMAC の転送アクノレッジ信号のアサートタイミングを選択します。</p> <p>0 : EDACK 信号のアサートタイミングは、Bφの立ち下がりエッジ 1 : EDACK 信号のアサートタイミングは、Bφの立ち上がりエッジ</p>
5~0	—	すべて 0	R	<p>リザーブビット</p> <p>これらのビットはリードのみ有効で、ライトは無効です。</p>

【注】 外部バス解放を許可、または WAIT 端子入力を許可に設定する場合は、ICR ビットを 1 に設定してください。詳細は「13. I/O ポート」を参照してください。

* H8SX1648G グループ、H8SX1648H グループのみサポート

9. バスコントローラ (BSC)

9.2.8 バスコントロールレジスタ 2 (BCR2)

BCR2 は、CPU、DMAC、EXDMAC*、および DTC のバスアービトレーション制御、周辺モジュールへのライトデータバッファ機能の許可/禁止の設定を行います。

【注】 * H8SX1648G グループ、H8SX1648H グループのみサポート

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	EBCCS*	IBCCS	—	—	—	PWDBE
初期値:	0	0	0	0	0	0	1	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W

【注】 * H8SX1648Gグループ、H8SX1648Hグループのみサポート

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット
6	—	0	R	これらのビットはリードのみ有効で、ライトは無効です。
5	EBCCS*	0	R/W	外部バスサイクルコントロールセレクト 外部バスアービタの機能を選択します。 0: 優先順位に従ってバス権を解放 1: CPU、DMAC、または DTC の外部空間のアクセス要求と、EXDMAC、外部バスマスタまたはリフレッシュのバス権要求が競合したとき、交互にバスサイクルを実行します。
4	IBCCS	0	R/W	内部バスサイクルコントロールセレクト 内部バスアービタの機能を選択します。 0: 優先順位に従ってバス権を解放 1: DMAC、または DTC のバス権要求と CPU のバス権要求が競合したとき、交互にバスサイクルを実行します。
3	—	0	R	リザーブビット
2	—	0	R	これらのビットはリードのみ有効で、ライトは無効です。
1	—	1	R/W	リザーブビット リードすると常に 1 が読み出されます。ライトする値は常に 1 にしてください。
0	PWDBE	0	R/W	周辺モジュールライトデータバッファイネーブル 周辺モジュールへのライトサイクルのとき、ライトデータバッファ機能を使用できます。 0: ライトデータバッファ機能を使用しない 1: ライトデータバッファ機能を使用する

【注】 * H8SX1648G グループ、H8SX1648H グループのみサポート

9.2.9 エンディアンコントロールレジスタ (ENDIANCR)

ENDIANCR は、外部アドレス空間の各エリアのエンディアン形式を選択します。本 LSI のデータ形式はビッグエンディアンですが、外部空間へのアクセス時にエンディアン形式をリトルエンディアンにして転送することができます。

プログラム領域として使用するエリア、およびスタック領域として使用するエリアのデータ形式は、ビッグエンディアンにしてください。

ビット	7	6	5	4	3	2	1	0
ビット名	LE7	LE6	LE5	LE4	LE3	LE2	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
7	LE7	0	R/W	リトルエンディアン選択 対応するエリアのエンディアン形式を選択します。 0 : エリア n のエンディアン形式はビッグエンディアン 1 : エリア n のエンディアン形式はリトルエンディアン (n=7~2)
6	LE6	0	R/W	
5	LE5	0	R/W	
4	LE4	0	R/W	
3	LE3	0	R/W	
2	LE2	0	R/W	
1	—	0	R	リザーブビット
0	—	0	R	これらのビットはリードのみ有効で、ライトは無効です。

9. バスコントローラ (BSC)

9.2.10 SRAM モードコントロールレジスタ (SRAMCR)

SRAMCR は、外部アドレス空間の各エリアのバスインタフェースを基本バスインタフェース、またはバイト制御 SRAM インタフェースに設定します。

ABWCR によって 8 ビットアクセス空間に設定されているエリアでは、SRAMCR の設定は無効となり、バイト制御 SRAM インタフェースを設定することはできません。

ビット	15	14	13	12	11	10	9	8
ビット名	BCSEL7	BCSEL6	BCSEL5	BCSEL4	BCSEL3	BCSEL2	BCSEL1	BCSEL0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	BCSEL7	0	R/W	バイト制御 SRAM インタフェース選択 対応するエリアのバスインタフェースを選択します。 エリア n ビットを 1 にセットする場合は、BROMCR、DRAMCR*、MPXCR にある対応するエリアのバスインタフェース選択ビットは 0 にクリアしてください。 0: エリア n は基本バスインタフェース 1: エリア n はバイト制御 SRAM インタフェース (n=7~0)
14	BCSEL6	0	R/W	
13	BCSEL5	0	R/W	
12	BCSEL4	0	R/W	
11	BCSEL3	0	R/W	
10	BCSEL2	0	R/W	
9	BCSEL1	0	R/W	
8	BCSEL0	0	R/W	
7~0	—	すべて 0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。

【注】 * H8SX1648G グループ、H8SX1648H グループのみサポート

9.2.11 バースト ROM インタフェースコントロールレジスタ (BROMCR)

BROMCR は、バースト ROM インタフェースの設定を行います。

ビット	15	14	13	12	11	10	9	8
ビット名	BSRM0	BSTS02	BSTS01	BSTS00	—	—	BSWD01	BSWD00
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R	R	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	BSRM1	BSTS12	BSTS11	BSTS10	—	—	BSWD11	BSWD10
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	BSRM0	0	R/W	エリア 0 バースト ROM インタフェース選択 エリア 0 のバーストインタフェースを選択します。このビットを 1 にセットする場合は、SRAMCR の BCSEL0 は 0 にクリアしてください。 0 : 基本バーストインタフェースまたはバイト制御 SRAM インタフェース 1 : バースト ROM インタフェース
14	BSTS02	0	R/W	エリア 0 バーストサイクルセレクト
13	BSTS01	0	R/W	エリア 0 のバーストサイクルのステート数を選択します。
12	BSTS00	0	R/W	000 : 1 ステート 001 : 2 ステート 010 : 3 ステート 011 : 4 ステート 100 : 5 ステート 101 : 6 ステート 110 : 7 ステート 111 : 8 ステート
11	—	0	R	リザーブビット
10	—	0	R	これらのビットはリードのみ有効で、ライトは無効です。
9	BSWD01	0	R/W	エリア 0 バーストワード数セレクト
8	BSWD00	0	R/W	エリア 0 のバースト ROM インタフェースのバーストアクセス可能なワード数を選択します。 00 : 最大 4 ワード (8 バイト) 01 : 最大 8 ワード (16 バイト) 10 : 最大 16 ワード (32 バイト) 11 : 最大 32 ワード (64 バイト)

9. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
7	BSRM1	0	R/W	<p>エリア 1 パースト ROM インタフェース選択</p> <p>エリア 1 のバスインタフェースを選択します。このビットを 1 にセットする場合は、SRAMCR の BCSEL1 は 0 にクリアしてください。</p> <p>0 : 基本バスインタフェースまたはバイト制御 SRAM インタフェース 1 : パースト ROM インタフェース</p>
6	BSTS12	0	R/W	エリア 1 パーストサイクルセレクト
5	BSTS11	0	R/W	エリア 1 のパーストサイクルのステート数を選択します。
4	BSTS10	0	R/W	<p>000 : 1 ステート</p> <p>001 : 2 ステート</p> <p>010 : 3 ステート</p> <p>011 : 4 ステート</p> <p>100 : 5 ステート</p> <p>101 : 6 ステート</p> <p>110 : 7 ステート</p> <p>111 : 8 ステート</p>
3	—	0	R	リザーブビット
2	—	0	R	これらのビットはリードのみ有効で、ライトは無効です。
1	BSWD11	0	R/W	エリア 1 パーストワード数セレクト
0	BSWD10	0	R/W	<p>エリア 1 のパースト ROM インタフェースのパーストアクセス可能なワード数を選択します。</p> <p>00 : 最大 4 ワード (8 バイト)</p> <p>01 : 最大 8 ワード (16 バイト)</p> <p>10 : 最大 16 ワード (32 バイト)</p> <p>11 : 最大 32 ワード (64 バイト)</p>

9.2.12 アドレス/データマルチプレクス I/O コントロールレジスタ (MPXCR)

MPXCR は、アドレス/データマルチプレクス I/O インタフェースの設定を行います。

ビット	15	14	13	12	11	10	9	8
ビット名	MPXE7	MPXE6	MPXE5	MPXE4	MPXE3	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R	R	R
ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	—	ADDEX
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15	MPXE7	0	R/W	アドレス/データマルチプレクス I/O インタフェース選択 対応するエリアのバスインタフェースを選択します。 エリア n のビットを 1 にセットする場合は SRAMCR の BCSELn ビットを 0 にクリアしてください。 0: エリア n は基本バスインタフェースまたはバイト制御 SRAM インタフェース 1: エリア n はアドレス/データマルチプレクス I/O インタフェース (n=7~3)
14	MPXE6	0	R/W	
13	MPXE5	0	R/W	
12	MPXE4	0	R/W	
11	MPXE3	0	R/W	
10~1	—	すべて 0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。
0	ADDEX	0	R/W	アドレス出力サイクル拡張 アドレス/データマルチプレクス I/O インタフェースのアドレス出力サイクルにウェイトステートを挿入するか否かを選択します。 0: アドレス出力サイクルにウェイトを挿入しない 1: アドレス出力サイクルに 1 ステートのウェイトを挿入する

9. バスコントローラ (BSC)

9.2.13 DRAM コントロールレジスタ (DRAMCR)

DRAMCR は、DRAM/シンクロナス DRAM インタフェースの設定を行います。

DRAM/シンクロナス DRAM 空間をアクセスしていない状態で書き換えを行ってください。

ビット	15	14	13	12	11	10	9	8
ビット名	DRAME	DTYPE	—	—	OEE	RAST	—	CAST
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R	R	R/W	R/W	R	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	BE	RCDM	DDS	EDDS	—	—	MXC1	MXC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	DRAME	0	R/W	<p>エリア 2 DRAM インタフェース選択</p> <p>エリア 2 を DRAM/シンクロナス DRAM インタフェースとするか否かを選択します。このビットを 1 にセットするときは、エリア 2 に接続する DRAM の種類を DTYPE ビットで選択してください。このビットを 1 にセットする場合は、SRAMCR の BCSEL2 は 0 に設定してください。</p> <p>0 : 基本バスインタフェースまたはバイト制御 SRAM インタフェース 1 : DRAM/シンクロナス DRAM インタフェース</p>
14	DTYPE	0	R/W	<p>DRAM 選択</p> <p>エリア 2 に接続する DRAM を選択します。</p> <p>0 : DRAM をエリア 2 に接続する 1 : シンクロナス DRAM をエリア 2 に接続する</p>
13	—	0	R	リザーブビット
12	—	0	R	初期値を変更しないでください。
11	OEE	0	R/W	<p>\overline{OE} 出カインエーブル</p> <p>EDO ページモードを備えた DRAM に接続するときに \overline{OE} 信号を出力することができます。シンクロナス DRAM に接続するときには、CKE 信号を出力することができます。</p> <p>0 : \overline{OE}/CKE 信号出力禁止 (\overline{OE}/CKE 端子は入出力ポートとして使用可能) 1 : \overline{OE}/CKE 信号出力許可</p>

ビット	ビット名	初期値	R/W	説明
10	RAST	0	R/W	<p>$\overline{\text{RAS}}$ アサートタイミング選択</p> <p>DRAM アクセス時の $\overline{\text{RAS}}$ 信号を Tr サイクルの先頭 (Bϕ立ち上がりエッジ) からアサートするか、Bϕ立ち下がりエッジからアサートするかを選択します。図 9.4 に RAST ビットの設定と $\overline{\text{RAS}}$ アサートタイミングの関係を示します。</p> <p>シンクロナス DRAM 空間に設定した場合、このビットの設定内容は動作に影響を与えません。</p> <p>0 : $\overline{\text{RAS}}$ を Tr サイクルの Bϕ立ち下がりエッジでアサート</p> <p>1 : $\overline{\text{RAS}}$ を Tr サイクルの先頭からアサート</p>
9	—	0	R	<p>リザーブビット</p> <p>初期値を変更しないでください。</p>
8	CAST	0	R/W	<p>カラムアドレス出力サイクル数選択</p> <p>DRAM アクセス時のカラムアドレス出力サイクルを 2 ステートにするか、3 ステートにするかを選択します。</p> <p>シンクロナス DRAM 空間に設定した場合、このビットの設定内容は動作に影響を与えません。</p> <p>0 : カラムアドレス出力サイクルは 2 ステート</p> <p>1 : カラムアドレス出力サイクルは 3 ステート</p>
7	BE	0	R/W	<p>バーストアクセスイネーブル</p> <p>DRAM 空間/シンクロナス DRAM 空間へのバーストアクセスの許可または禁止を選択します。DRAM 空間/シンクロナス DRAM 空間のアクセスは、高速ページモードとなります。EDO ページモード DRAM を使用する場合、$\overline{\text{OE}}$ 信号を DRAM の $\overline{\text{OE}}$ 端子に接続してください。</p> <p>0 : DRAM 空間/シンクロナス DRAM 空間のアクセスは常にフルアクセス</p> <p>1 : DRAM 空間/シンクロナス DRAM 空間アクセス時、高速ページモードでアクセス</p>

9. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
6	RCDM	0	R/W	<p>RAS ダウンモード</p> <p>通常バス空間へのアクセス、内部 I/O レジスタへのアクセスにより、DRAM 空間へのアクセスが途切れたときに、$\overline{\text{RAS}}$ 信号を Low レベルにしたまま次の DRAM へのアクセスを待つか (RAS ダウンモード)、$\overline{\text{RAS}}$ 信号を High レベルに戻すか (RAS アップモード) を選択します。</p> <p>このビットの設定は BE=1 のとき有効となります。また、RCDM=1 の状態で、$\overline{\text{RAS}}$ ダウン中にこのビットを 0 にクリアすると、$\overline{\text{RAS}}$ ダウン状態は解除され、$\overline{\text{RAS}}$ は High レベルとなります。</p> <p>シンクロナス DRAM インタフェースで RAS ダウンモードに設定した場合、アクセスするロウアドレスが一致すると ACTV コマンドを発行せずに READ/WRITE コマンドを発行します。</p> <p>0 : DRAM 空間/シンクロナス DRAM 空間アクセス時、RAS アップモードを選択</p> <p>1 : DRAM 空間/シンクロナス DRAM 空間アクセス時、RAS ダウンモードを選択</p>
5	DDS	0	R/W	<p>DMAC シングルアドレス転送時オプション</p> <p>DRAM/シンクロナス DRAM インタフェースで DMAC シングルアドレス転送を行う場合、フルアクセスを行うか、高速ページアクセスを許可するかを選択します。</p> <p>BE=0 に設定して、DRAM/シンクロナス DRAM の高速ページアクセスを禁止した場合、このビットの設定にかかわらず、DMAC のシングルアドレス転送はフルアクセスになります。このビットは、他のバスマスタの外部アクセス、DMAC デュアルアドレス転送には影響を与えません。</p> <p>また、このビットを 1 にセットすると、$\overline{\text{DACK}}$ の出力タイミングが変更されます。</p> <p>0 : DRAM 空間/シンクロナス DRAM 空間に対して DMAC シングルアドレス転送を行う場合、フルアクセスを実行</p> <p>1 : DRAM 空間/シンクロナス DRAM 空間に対して DMAC シングルアドレス転送を行う場合も高速ページアクセス可能</p>

9. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
4	EDDS	0	R/W	<p>EXDMAC シングルアドレス転送時オプション</p> <p>DRAM/シンクロナス DRAM インタフェースで EXDMAC シングルアドレス転送を行う場合、フルアクセスを行うか、高速ページアクセスを許可するかを選択します。</p> <p>BE=0 に設定して、DRAM/シンクロナス DRAM の高速ページアクセスを禁止した場合、このビットの設定にかかわらず、EXDMAC のシングルアドレス転送はフルアクセスになります。このビットは、他のバスマスタの外部アクセス、EXDMAC デュアルアドレス転送には影響を与えません。</p> <p>また、このビットを 1 にセットすると、EDACK の出力タイミングが変更されます。</p> <p>0: DRAM 空間/シンクロナス DRAM 空間に対して EXDMAC シングルアドレス転送を行う場合、フルアクセスを実行</p> <p>1: DRAM 空間/シンクロナス DRAM 空間に対して EXDMAC シングルアドレス転送を行う場合も高速ページアクセス可能</p>
3	—	0	R	リザーブビット
2	—	0	R/W	初期値を変更しないでください。
1	MXC1	0	R/W	アドレスマルチプレクス選択
0	MXC0	0	R/W	<p>ロウアドレス/カラムアドレスのマルチプレクスに対するロウアドレスの下位側へのシフト量を選択します。同時に DRAM/シンクロナス DRAM インタフェースのバースト動作時に比較するロウアドレスを選択します。</p> <p>00: 8 ビットシフト</p> <p>8 ビットアクセス空間設定時: 比較対象ロウアドレスは A23~A8</p> <p>16 ビットアクセス空間設定時: 比較対象ロウアドレスは A23~A9</p> <p>01: 9 ビットシフト</p> <p>8 ビットアクセス空間設定時: 比較対象ロウアドレスは A23~A9</p> <p>16 ビットアクセス空間設定時: 比較対象ロウアドレスは A23~A10</p> <p>10: 10 ビットシフト</p> <p>8 ビットアクセス空間設定時: 比較対象ロウアドレスは A23~A10</p> <p>16 ビットアクセス空間設定時: 比較対象ロウアドレスは A23~A11</p> <p>11: 11 ビットシフト</p> <p>8 ビットアクセス空間設定時: 比較対象ロウアドレスは A23~A11</p> <p>16 ビットアクセス空間設定時: 比較対象ロウアドレスは A23~A12</p>

【注】 H8SX1648G グループ、H8SX1648H グループのみサポート

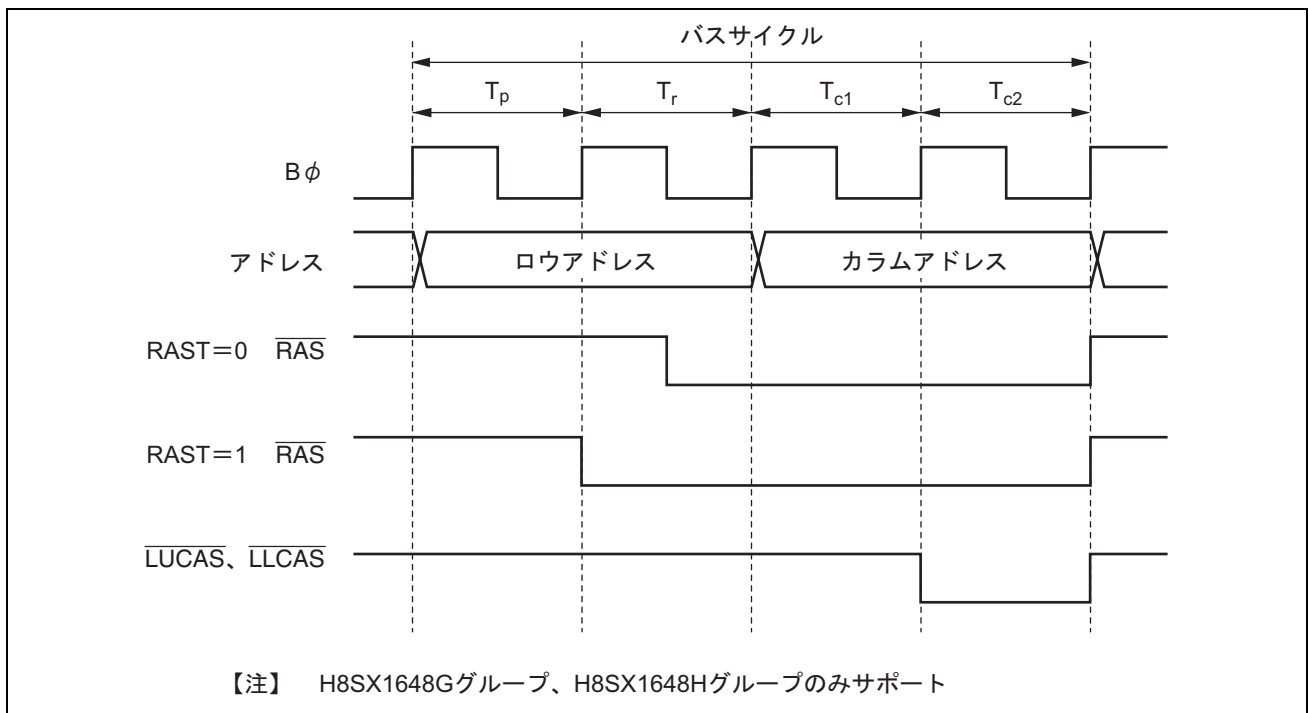


図 9.4 \overline{RAS} 信号アサートタイミング
 (カラムアドレス出力サイクル 2 ステート、フルアクセス)

9.2.14 DRAM アクセスコントロールレジスタ (DRACCR)

DRACCR は、DRAM/シンクロナス DRAM インタフェースのバス仕様を設定します。

DRAM/シンクロナス DRAM 空間をアクセスしていない状態で書き換えを行ってください。

ビット	15	14	13	12	11	10	9	8
ビット名	—	—	TPC1	TPC0	—	—	RCD1	RCD0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R	R	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット
14	—	0	R	初期値を変更しないでください。
13	TPC1	0	R/W	プリチャージステート制御
12	TPC0	0	R/W	通常アクセス時、およびリフレッシュ時の RAS プリチャージサイクルのステート数を選択します。 00 : RAS プリチャージサイクルは 1 ステート 01 : RAS プリチャージサイクルは 2 ステート 10 : RAS プリチャージサイクルは 3 ステート 11 : RAS プリチャージサイクルは 4 ステート
11	—	0	R	リザーブビット
10	—	0	R	初期値を変更しないでください。
9	RCD1	0	R/W	$\overline{\text{RAS}}$ ・ $\overline{\text{CAS}}$ 間ウェイト制御
8	RCD0	0	R/W	$\overline{\text{RAS}}$ アサートサイクルと $\overline{\text{CAS}}$ アサートサイクルの間にウェイトサイクルを挿入するか否かを選択します。 00 : $\overline{\text{RAS}}$ アサートサイクルと $\overline{\text{CAS}}$ アサートサイクルの間にウェイトサイクルを挿入しない 01 : $\overline{\text{RAS}}$ アサートサイクルと $\overline{\text{CAS}}$ アサートサイクルの間にウェイトサイクルを 1 ステート挿入する 10 : $\overline{\text{RAS}}$ アサートサイクルと $\overline{\text{CAS}}$ アサートサイクルの間にウェイトサイクルを 2 ステート挿入する 11 : $\overline{\text{RAS}}$ アサートサイクルと $\overline{\text{CAS}}$ アサートサイクルの間にウェイトサイクルを 3 ステート挿入する
7~0	—	すべて 0	R	リザーブビット 初期値を変更しないでください。

【注】 H8SX1648G グループ、H8SX1648H グループのみサポート

9. バスコントローラ (BSC)

9.2.15 シンクロナス DRAM コントロールレジスタ (SDCR)

SDCR は、シンクロナス DRAM インタフェース (DRAMCR の DTYPE=1 のとき) のバス仕様を設定します。

シンクロナス DRAM 空間をアクセスしていない状態で書き換えを行ってください。また、シンクロナス DRAM インタフェースを使用しない場合は、必ず初期値状態としてください。

ビット	15	14	13	12	11	10	9	8
ビット名	MRSE	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R/W	R/W	R	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	CKSPE	—	—	—	—	—	—	TRWL
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15	MRSE	0	R/W	モードレジスタセットイネーブル シンクロナス DRAM のモードレジスタ設定を有効にします。 「9.11.14 シンクロナス DRAM モードレジスタの設定」を参照してください。 0: シンクロナス DRAM のモードレジスタの設定禁止 1: シンクロナス DRAM のモードレジスタの設定許可
14~12	—	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。初期値を変更しないでください。
11、10	—	0	R/W	リザーブビット 初期値を変更しないでください。
9	—	0	R	リザーブビット
8	—	0	R/W	初期値を変更しないでください。
7	CKSPE	0	R/W	クロックサスペンドイネーブル リードデータを拡張するためのクロックサスペンドモードを有効にします。このビットを 1 にセットすると、シンクロナス DRAM のリードデータを 1 サイクル拡張することができます。 0: クロックサスペンドモードを禁止する 1: クロックサスペンドモードを有効にする
6~1	—	すべて 0	R	リザーブビット 初期値を変更しないでください。

9. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
0	TRWL	0	R/W	<p>ライトープリチャージ遅延制御</p> <p>シンクロナス DRAM へライトコマンドを発行した後、プリチャージコマンドを発行するまでの時間を設定します。このビットを 1 にセットすると、ライトコマンド発行後に 1 サイクルのウェイトが挿入されます。</p> <p>0 : ウェイトサイクルを挿入しない</p> <p>1 : ライトコマンド発行後にウェイトサイクルを 1 ステート挿入する</p>

【注】 H8SX1648G グループ、H8SX1648H グループのみサポート

9. バスコントローラ (BSC)

9.2.16 リフレッシュコントロールレジスタ (REFCR)

REFCR は、DRAM/シンクロナス DRAM インタフェースのリフレッシュの制御を設定します。

ビット	15	14	13	12	11	10	9	8
ビット名	CMF	CMIE	RCW1	RCW0	—	RTCK2	RTCK1	RTCK0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	RFSHE	RLW2	RLW1	RLW0	SLFRF	TPCS2	TPCS1	TPCS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * フラグをクリアのための0ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
15	CMF	0	R/(W)*	<p>コンペアマッチフラグ</p> <p>リフレッシュタイムカウンタ (RTCNT) とリフレッシュタイムコンスタントレジスタ (RTCOR) の値が一致したことを示すステータスフラグです。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> RFSHE=0 の状態で、CMF=1 をリードした後、CMF=0 をライトしたとき RFSHE=1 の状態で、CBR リフレッシュが実行されたとき <p>[セット条件]</p> <ul style="list-style-type: none"> RTCNT=RTCOR となったとき
14	CMIE	0	R/W	<p>コンペアマッチ割り込みイネーブル</p> <p>CMF フラグが 1 にセットされたとき、CMF フラグによる割り込み要求 (CMI) を許可または禁止します。</p> <p>このビットは、RFSHE ビットが 0 にクリアされ、リフレッシュ制御を行わないときに有効となります。RFSHE ビットが 1 にセットされ、リフレッシュ制御を行っているときは、このビットは常に 0 にクリアされており、ライトは無効です。</p> <p>0 : CMF フラグによる割り込み要求を禁止</p> <p>1 : CMF フラグによる割り込み要求を許可</p>

9. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
13	RCW1	0	R/W	$\overline{\text{CAS}}$ ・ $\overline{\text{RAS}}$ 間ウェイト制御 DRAM リフレッシュサイクルの $\overline{\text{CAS}}$ アサートサイクルと $\overline{\text{RAS}}$ アサートサイクルの間にウェイトサイクルを挿入するか否かを選択します。 シンクロナス DRAM 空間に設定した場合、このビットはリード/ライト可能ですが、設定内容は動作に影響を与えません。 00 : リフレッシュサイクルの $\overline{\text{CAS}}$ 、 $\overline{\text{RAS}}$ 間にウェイトステートを挿入しない 01 : リフレッシュサイクルの $\overline{\text{CAS}}$ 、 $\overline{\text{RAS}}$ 間にウェイトステートを 1 ステート挿入する 10 : リフレッシュサイクルの $\overline{\text{CAS}}$ 、 $\overline{\text{RAS}}$ 間にウェイトステートを 2 ステート挿入する 11 : リフレッシュサイクルの $\overline{\text{CAS}}$ 、 $\overline{\text{RAS}}$ 間にウェイトステートを 3 ステート挿入する
12	RCW0	0	R/W	
11	—	0	R	リザーブビット 初期値を変更しないでください。
10	RTCK2	0	R/W	リフレッシュカウンタクロックセレクト 周辺モジュールクロック (Pφ) を分周した 7 種類の内部クロックから、リフレッシュカウンタのカウントアップに使用するクロックを選択します。入カクロックを選択すると、リフレッシュカウンタがカウントアップを開始します。 000 : カウント動作停止 001 : Pφ/2 でカウント 010 : Pφ/8 でカウント 011 : Pφ/32 でカウント 100 : Pφ/128 でカウント 101 : Pφ/512 でカウント 110 : Pφ/2048 でカウント 111 : Pφ/4096 でカウント
9	RTCK1	0	R/W	
8	RTCK0	0	R/W	
7	RFSHE	0	R/W	リフレッシュ制御 リフレッシュ制御を行うか否かを選択します。リフレッシュ制御を行わないときには、リフレッシュタイマをインターバルタイマとして使用することができます。 シングルチップ起動モードの場合は、このビットの設定は SYSCR の EXPE ビットを 1 にセットしてから行ってください。SYSCR については「3. MCU 動作モード」を参照してください。 0 : リフレッシュ制御を行わない 1 : リフレッシュ制御を行う

9. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明	
6	RLW2	0	R/W	リフレッシュサイクルウェイト制御	
5	RLW1	0	R/W	<p>DRAM インタフェースの CAS ビフォ RAS リフレッシュサイクル、シンクロナス DRAM インタフェースのオートリフレッシュに対して、挿入するウェイトステート数を選択します。</p> <p>000 : CBR リフレッシュ/オートリフレッシュにウェイトステートを挿入しない</p> <p>001 : CBR リフレッシュ/オートリフレッシュにウェイトステートを1ステート挿入する</p> <p>010 : CBR リフレッシュ/オートリフレッシュにウェイトステートを2ステート挿入する</p> <p>011 : CBR リフレッシュ/オートリフレッシュにウェイトステートを3ステート挿入する</p> <p>100 : CBR リフレッシュ/オートリフレッシュにウェイトステートを4ステート挿入する。</p> <p>101 : CBR リフレッシュ/オートリフレッシュにウェイトステートを5ステート挿入する。</p> <p>110 : CBR リフレッシュ/オートリフレッシュにウェイトステートを6ステート挿入する。</p> <p>111 : CBR リフレッシュ/オートリフレッシュにウェイトステートを7ステート挿入する。</p>	
4	RLW0	0	R/W		
3	SLFRF	0	R/W		<p>セルフリフレッシュイネーブル</p> <p>ソフトウェアスタンバイモードに遷移するとき、このビットが1にセットされていると DRAM/シンクロナス DRAM に対してセルフリフレッシュを設定します。RFSHE ビットを1にセットしてリフレッシュ動作を行う場合に有効です。</p> <p>シンクロナス DRAM インタフェース設定時にセルフリフレッシュを行う場合は、DRAMCR の OEE ビットを1にセットし、CKE の出力を有効にしてください。</p> <p>0 : ソフトウェアスタンバイ時セルフリフレッシュを禁止</p> <p>1 : ソフトウェアスタンバイ時セルフリフレッシュを許可</p>

ビット	ビット名	初期値	R/W	説明
2	TPCS2	0	R/W	セルフリフレッシュ時プリチャージサイクル制御
1	TPCS1	0	R/W	セルフリフレッシュ直後のプリチャージサイクルのステート数を設定
0	TPCS0	0	R/W	します。セルフリフレッシュ直後のプリチャージサイクルのステート数は、DRACCRのTPC1、TPC0ビットで設定したステート数との加算になります。 000 : セルフリフレッシュ直後にウェイトステートを挿入しない。 001 : セルフリフレッシュ直後にウェイトステートを1ステート挿入する。 010 : セルフリフレッシュ直後にウェイトステートを2ステート挿入する。 011 : セルフリフレッシュ直後にウェイトステートを3ステート挿入する。 100 : セルフリフレッシュ直後にウェイトステートを4ステート挿入する。 101 : セルフリフレッシュ直後にウェイトステートを5ステート挿入する。 110 : セルフリフレッシュ直後にウェイトステートを6ステート挿入する。 111 : セルフリフレッシュ直後にウェイトステートを7ステート挿入する。

【注】 * フラグをクリアするための0ライトのみ可能です

H8SX1648Gグループ、H8SX1648Hグループのみサポート

9.2.17 リフレッシュタイマカウンタ (RTCNT)

RTCNTは、REFCRのRTCK2～RTCK0ビットで選択された内部クロックにより、カウントアップします。

RTCNTがRTCORに一致（コンペアマッチ）すると、REFCRのCMFフラグが1にセットされ、RTCNTはH'00にクリアされます。このとき、REFCRのRFSHEビットが1にセットされていると、リフレッシュサイクルが起動されます。また、RFSHEビットが0にクリアされている場合、REFCRのCMIEビットが1にセットされているとき、コンペアマッチ割り込み（CMI）が発生します。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 H8SX1648Gグループ、H8SX1648Hグループのみサポート

9. バスコントローラ (BSC)

9.2.18 リフレッシュタイムコンスタントレジスタ (RTCOR)

RTCOR は、RTCNT とのコンペアマッチ周期を設定します。

RTCOR と RTCNT の値は常に比較されており、両方の値が一致すると、REFCR の CMF フラグが 1 にセットされ、RTCNT は H'00 にクリアされます。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 H8SX1648Gグループ、H8SX1648Hグループのみサポート

9.3 バス構成

本 LSI の内部バス構成を図 9.5 に示します。バス構成は、以下に示す 3 種類で構成されています。

1. 内部システムバス1：CPU、DTC、DMACと、内蔵RAM、内蔵ROM、内部周辺バスおよび外部アクセスバスを接続するバス
2. 内部システムバス2*：EXDMACと外部アクセスバスを接続するバス
3. 内部周辺バス：バスコントローラ、割り込みコントローラ、DMAC、EXDMAC*などのレジスタと、SCI やタイマなどの周辺モジュールのレジスタをアクセスするバス
4. 外部アクセスバス：外部バスインタフェースを介して外部のデバイスへアクセスするバス

【注】 * H8SX1648G グループ、H8SX1648H グループのみサポート

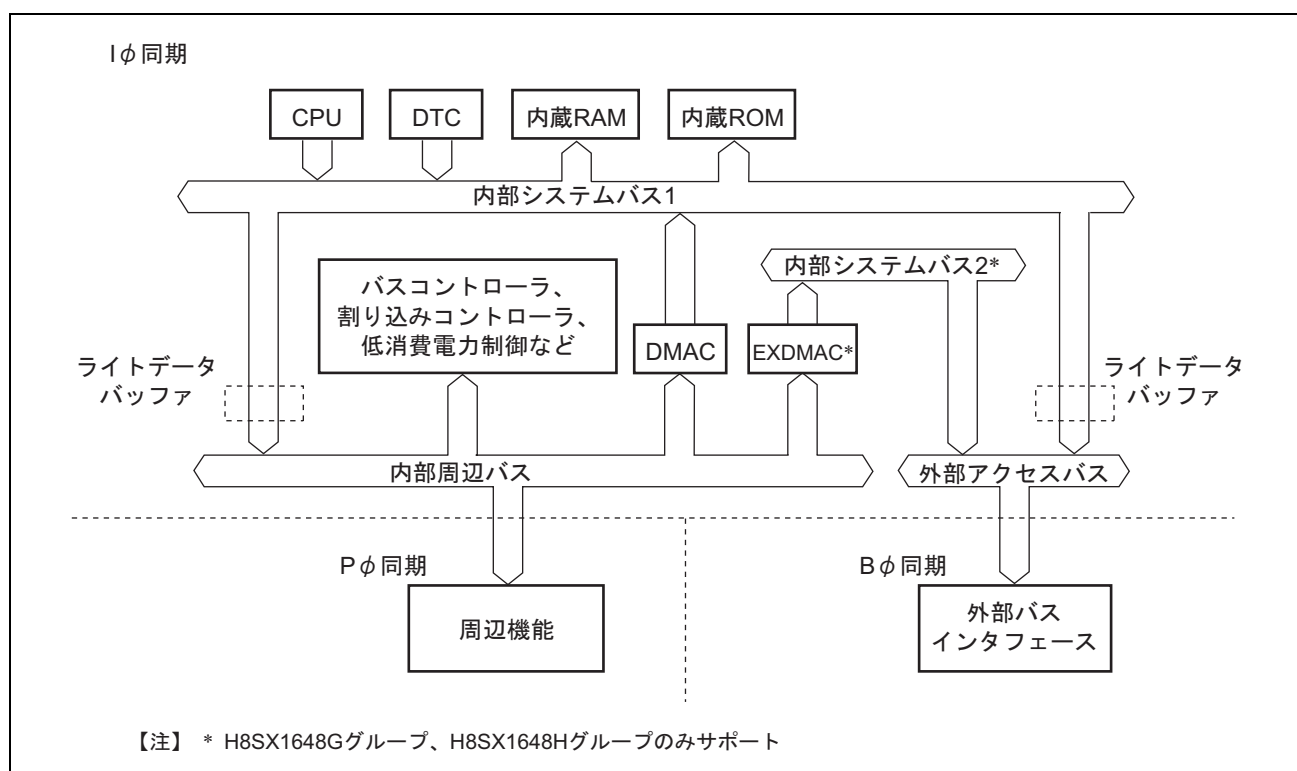


図 9.5 内部バス構成

9.4 マルチクロック機能とアクセスステート数

本 LSI の内蔵機能は、システムクロック (I ϕ)、周辺モジュールクロック (P ϕ)、外部バスクロック (B ϕ) のいずれかのクロックに同期して動作します。表 9.1 にそれぞれの同期クロックと対応する機能を示します。

表 9.1 同期クロックと対応する機能

同期クロック	機能名
I ϕ	MCU 動作モード 割り込みコントローラ バスコントローラ CPU DTC DMAC EXDMAC* 内蔵メモリ クロック発振器 低消費電力制御
P ϕ	I/O ポート TPU PPG TMR WDT SCI A/D D/A IIC2
B ϕ	外部バスインタフェース

【注】 * H8SX1648G グループ、H8SX1648H グループのみサポート

各同期クロック (I ϕ 、P ϕ 、B ϕ) の周波数は、システムクロックコントロールレジスタ (SCKCR) の設定により独立に制御することが可能です。詳細は「26. クロック発振器」を参照してください。

SCKCR の設定により、P ϕ および B ϕ の周波数が I ϕ の周波数に等しい場合と、異なる場合とが生じます。いずれの場合においても、内部周辺機能と外部空間に対するアクセスサイクルは、それぞれ P ϕ と B ϕ に同期して動作します。

例えば、I ϕ と B ϕ の周波数の比が $n:1$ における外部アクセスは常に B ϕ に同期して動作し、そのアクセスステート数を I ϕ を基準として数えた場合、外部 2 ステートアクセス空間では $2n$ ステートとなり、同様に外部 3 ステートアクセス空間では $3n$ ステート (ウェイトステートを挿入しない場合) となります。

また、I ϕ と P ϕ 、B ϕ の周波数が異なる場合、バスサイクルの起動されるタイミングによっては、その先頭が

P ϕ または B ϕ に同期しない場合があります。この場合、各バスサイクルに先立ち、クロック同期化サイクル (T_{sy}) が挿入されます。

例えば、 $I\phi$ と $B\phi$ の周波数の比が $n : 1$ において外部アクセスが発生した場合、 T_{sy} が $0 \sim n-1$ ステート挿入されることがあります。また、 $I\phi$ と $P\phi$ の周波数の比が $m : 1$ のときに内部周辺モジュールに対するアクセスが発生した場合、同様に T_{sy} が $0 \sim m-1$ ステート挿入されることがあります。

図 9.6 に $I\phi$ と $B\phi$ の周波数の比が $4 : 1$ の外部 2 ステートアクセス、図 9.7 に $I\phi$ と $B\phi$ の周波数の比が $2 : 1$ の外部 3 ステートアクセスタイミングを示します。

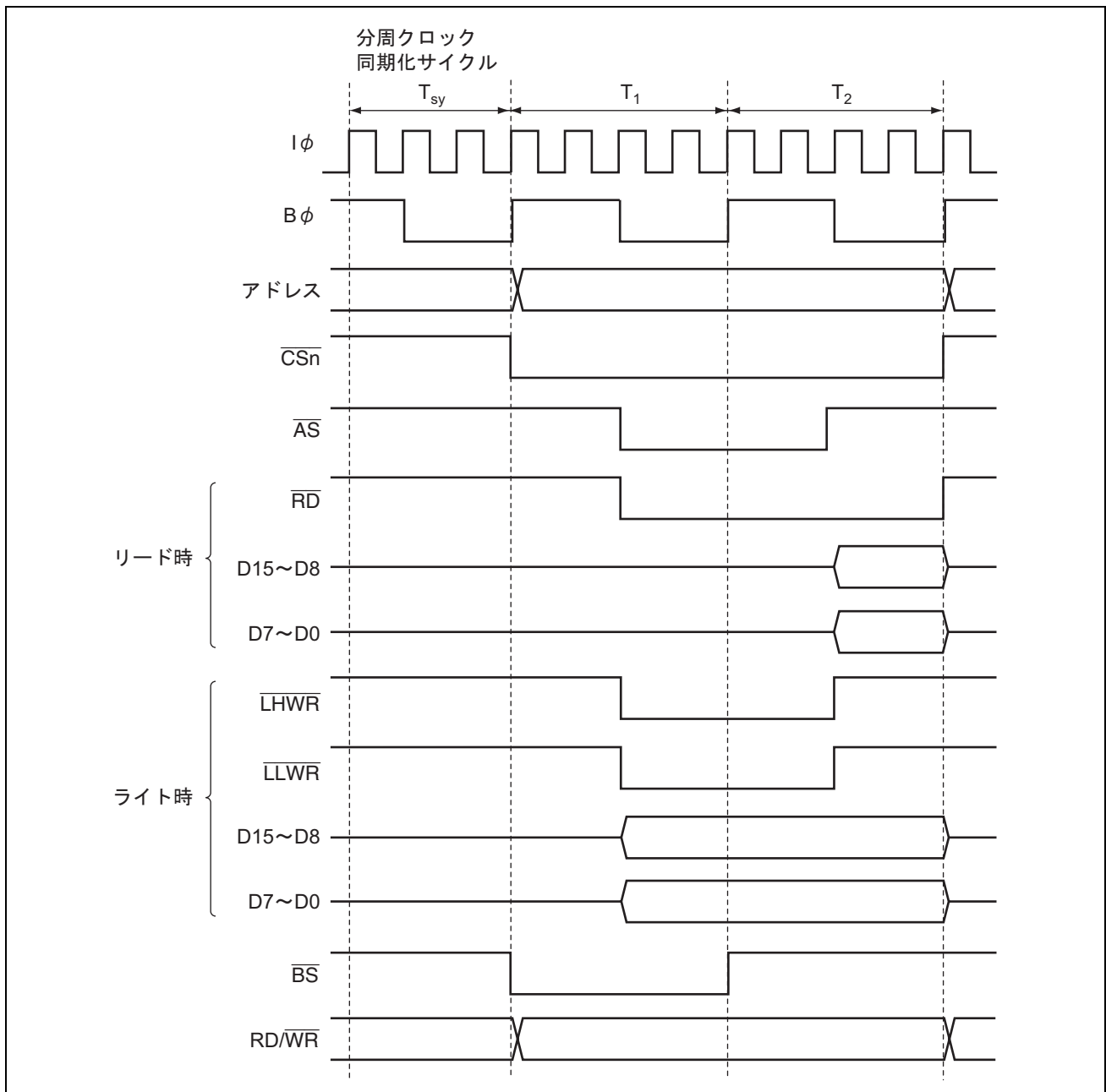


図 9.6 システムクロック : 外部バスクロック=4 : 1、外部 2 ステートアクセス

9. バスコントローラ (BSC)

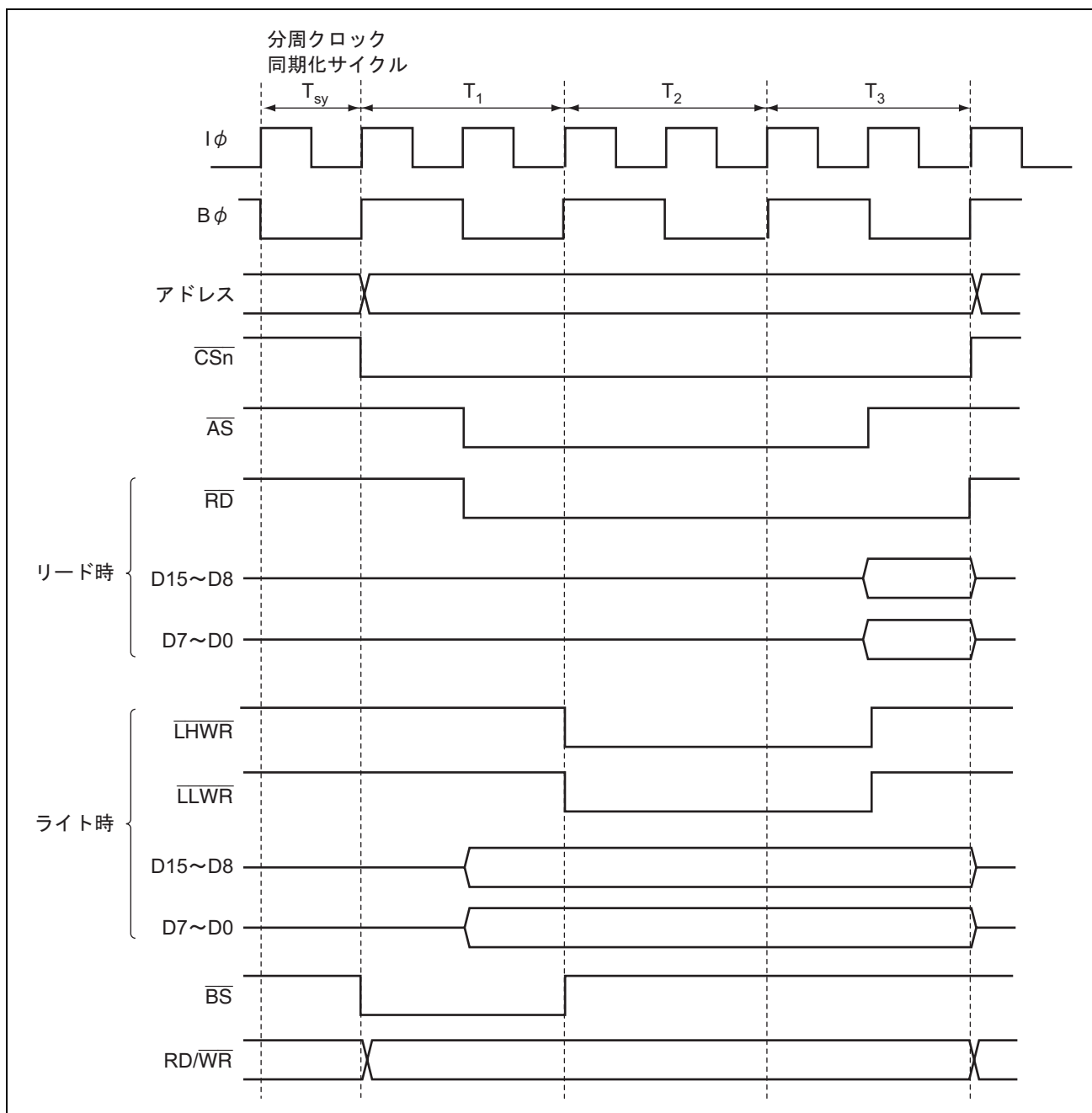


図 9.7 システムクロック : 外部バスクロック=2 : 1、外部 3 ステートアクセス

9.5 外部バス

9.5.1 入出力端子

表 9.2 にバスコントローラの端子構成を、表 9.3 に各インタフェースでの端子機能一覧を示します。

表 9.2 端子構成

名称	記号	入出力	機能
バスサイクル開始	\overline{BS}	出力	バスサイクルの開始を示す信号
アドレスストロブ/ アドレスホールド	$\overline{AS/AH}$	出力	<ul style="list-style-type: none"> 基本バス空間、バイト制御 SRAM 空間、またはバースト ROM 空間をアクセス中で、アドレスバス上のアドレス出力が有効であることを示すストロブ信号 アドレス/データマルチプレクス I/O インタフェースのアドレスホールド信号
リードストロブ	\overline{RD}	出力	基本バス空間、バイト制御 SRAM 空間、バースト ROM 空間、またはアドレス/データマルチプレクス I/O 空間をリード中であることを示すストロブ信号
リード/ライト	RD/\overline{WR}	出力	<ul style="list-style-type: none"> データバスの入出力方向指示信号 バイト制御 SRAM 空間をアクセス中であることを示す SRAM のライトイネーブル信号
ロウハイライト/ ロウアーアッパーバイトセレクト	$\overline{LHWR}/$ \overline{LUB}	出力	<ul style="list-style-type: none"> 基本バス空間、バースト ROM 空間、またはアドレス/データマルチプレクス I/O 空間をライト中で、データバスの上位バイト (D15~D8) が有効であることを示すストロブ信号 バイト制御 SRAM 空間をアクセス中で、データバスの上位バイト (D15~D8) が有効であることを示すストロブ信号
ロウロウライト/ ロウアーロウアーバイトセレクト	$\overline{LLWR}/$ \overline{LLB}	出力	<ul style="list-style-type: none"> 基本バス空間、バースト ROM 空間、またはアドレス/データマルチプレクス I/O 空間をライト中で、データバスの下位バイト (D7~D0) が有効であることを示すストロブ信号 バイト制御 SRAM 空間をアクセス中で、データバスの下位 (D7~D0) が有効であることを示すストロブ信号
チップセレクト 0	$\overline{CS0}$	出力	エリア 0 が選択されていることを示すストロブ信号
チップセレクト 1	$\overline{CS1}$	出力	エリア 1 が選択されていることを示すストロブ信号
チップセレクト 2	$\overline{CS2}$	出力	エリア 2 が選択されていることを示すストロブ信号
チップセレクト 3	$\overline{CS3}$	出力	エリア 3 が選択されていることを示すストロブ信号
チップセレクト 4	$\overline{CS4}$	出力	エリア 4 が選択されていることを示すストロブ信号
チップセレクト 5	$\overline{CS5}$	出力	エリア 5 が選択されていることを示すストロブ信号
チップセレクト 6	$\overline{CS6}$	出力	エリア 6 が選択されていることを示すストロブ信号
チップセレクト 7	$\overline{CS7}$	出力	エリア 7 が選択されていることを示すストロブ信号
ロウアドレスストロブ*	\overline{RAS}	出力	エリア 2 が DRAM 空間のときのロウアドレスストロブ信号/エリア 2 がシンクロナス DRAM 空間のときのロウアドレスストロブ信号

9. バスコントローラ (BSC)

名称	記号	入出力	機能
カラムアドレスストロブ*	$\overline{\text{CAS}}$	出力	エリア 2 がシンクロナス DRAM 空間のときのカラムアドレスストロブ信号
ライトイネーブル*	$\overline{\text{WE}}$	出力	DRAM 空間のライトイネーブル信号/エリア 2 がシンクロナス DRAM 空間のときのライトイネーブル信号
ロウアーアッパーカラムアドレスストロブ/ロウアーアッパーマスクイネーブル*	$\overline{\text{LUCAS/DQMLU}}$	出力	<ul style="list-style-type: none"> 32 ビット DRAM 空間のロウアーアッパーカラムアドレスストロブ信号/16 ビット DRAM 空間のアッパーカラムアドレスストロブ信号 32 ビットシンクロナス DRAM 空間のロウアーアッパーマスクイネーブル信号/16 ビットシンクロナス DRAM 空間のアッパーデータマスクイネーブル信号
ロウアーロウアーカラムアドレスストロブ/ ロウアーロウアーマスクイネーブル*	$\overline{\text{LLCAS/DQMLL}}$	出力	<ul style="list-style-type: none"> 32 ビット DRAM 空間のロウアーロウアーカラムアドレスストロブ信号/16 ビット DRAM 空間のロウアーカラムアドレスストロブ信号/8 ビット DRAM 空間のカラムアドレスストロブ信号 32 ビットシンクロナス DRAM 空間のロウアーロウアーマスクイネーブル信号/16 ビットシンクロナス DRAM 空間のロウアーデータマスクイネーブル信号/8 ビットシンクロナス DRAM 空間のデータマスクイネーブル信号
アウトプットイネーブル/ クロックイネーブル*	$\overline{\text{OE/CKE}}$	出力	<ul style="list-style-type: none"> DRAM 空間のアウトプットイネーブル信号 シンクロナス DRAM 空間のクロックイネーブル信号
SDRAM ϕ *	SDRAM ϕ	出力	シンクロナス DRAM 専用クロック
ウェイト	$\overline{\text{WAIT}}$	入力	外部空間をアクセスするときのウェイト要求信号
バス権要求	$\overline{\text{BREQ}}$	入力	バス権を外部に解放することを要求するリクエスト信号
バス権要求アクノレッジ	$\overline{\text{BACK}}$	出力	バス権を解放したことを示すアクノレッジ信号
バス権要求出力	$\overline{\text{BREQO}}$	出力	外部バス権解放状態で、内部バスマスタが外部空間をアクセスするときの外部バス権要求信号
データ転送アクノレッジ 3 (DMAC_3)	$\overline{\text{DACK3}}$	出力	DMAC_3 のシングルアドレス転送時のデータ転送アクノレッジ信号
データ転送アクノレッジ 2 (DMAC_2)	$\overline{\text{DACK2}}$	出力	DMAC_2 のシングルアドレス転送時のデータ転送アクノレッジ信号
データ転送アクノレッジ 1 (DMAC_1)	$\overline{\text{DACK1}}$	出力	DMAC_1 のシングルアドレス転送時のデータ転送アクノレッジ信号
データ転送アクノレッジ 0 (DMAC_0)	$\overline{\text{DACK0}}$	出力	DMAC_0 のシングルアドレス転送時のデータ転送アクノレッジ信号
データ転送アクノレッジ 3 (EXDMAC_3) *	$\overline{\text{EDACK3}}$	出力	EXDMAC_3 のシングルアドレス転送時のデータ転送アクノレッジ信号
データ転送アクノレッジ 2 (EXDMAC_2) *	$\overline{\text{EDACK2}}$	出力	EXDMAC_2 のシングルアドレス転送時のデータ転送アクノレッジ信号

名称	記号	入出力	機能
データ転送アクノレッジ1 (EXDMAC_1) *	$\overline{\text{EDACK1}}$	出力	EXDMAC_1のシングルアドレス転送時のデータ転送アクノレッジ信号
データ転送アクノレッジ0 (EXDMAC_0) *	$\overline{\text{EDACK0}}$	出力	EXDMAC_0のシングルアドレス転送時のデータ転送アクノレッジ信号
外部バスクロック	B ϕ	出力	外部バスクロック

【注】 * H8SX1648Gグループ、H8SX1648Hグループのみサポート

表 9.3 各インタフェースと端子の対応

端子名	初期状態			基本バス		バイト制御 SRAM	バースト ROM		アドレス/データ マルチプレクスI/O		DRAM*		シンクロナス SDRAM*		備考
	16	8	シングル	16	8	16	16	8	16	8	16	8	16	8	
B ϕ	出力	出力	—	○	○	○	○	○	○	○	○	○	○	○	
SDRAM ϕ *	(出力)	(出力)	—	—	—	—	—	—	—	—	—	—	○	○	MD3にて制御
$\overline{\text{CS0}}$	出力	出力	—	○	○	○	○	○	—	—	—	—	—	—	
$\overline{\text{CS1}}$	—	—	—	○	○	○	○	○	—	—	—	—	—	—	
$\overline{\text{CS2}}$	—	—	—	○	○	○	—	—	—	—	○	○	○	○	
$\overline{\text{CS3}}$	—	—	—	○	○	○	—	—	○	○	—	—	—	—	
$\overline{\text{CS4}}$	—	—	—	○	○	○	—	—	○	○	—	—	—	—	
$\overline{\text{CS5}}$	—	—	—	○	○	○	—	—	○	○	—	—	—	—	
$\overline{\text{CS6}}$	—	—	—	○	○	○	—	—	○	○	—	—	—	—	
$\overline{\text{CS7}}$	—	—	—	○	○	○	—	—	○	○	—	—	—	—	
$\overline{\text{BS}}$	—	—	—	○	○	○	○	○	○	○	○	○	○	○	
RD/WR	—	—	—	○	○	○	○	○	○	○	○	○	○	○	
$\overline{\text{AS}}$	出力	出力	—	○	○	○	○	○	—	—	—	—	—	—	
AH	—	—	—	—	—	—	—	—	○	○	—	—	—	—	
$\overline{\text{RD}}$	出力	出力	—	○	○	○	○	○	○	○	○	○	—	—	
LHWR/LUB	出力	出力	—	○	—	○	○	—	○	—	—	—	—	—	
LLWR/LLB	出力	出力	—	○	○	○	○	○	○	○	—	—	—	—	
$\overline{\text{RAS}}$ *	—	—	—	—	—	—	—	—	—	—	○	○	○	○	
$\overline{\text{CAS}}$ *	—	—	—	—	—	—	—	—	—	—	—	—	○	○	
$\overline{\text{WE}}$ *	—	—	—	—	—	—	—	—	—	—	○	○	○	○	
LUCAS/DQMLU*	—	—	—	—	—	—	—	—	—	—	○	—	○	—	
LLCAS/DQMLL*	—	—	—	—	—	—	—	—	—	—	○	○	○	○	
$\overline{\text{OE}}$ *	—	—	—	—	—	—	—	—	—	—	○	○	—	—	DRAMEとOEEにて制御
$\overline{\text{CKE}}$ *	—	—	—	—	—	—	—	—	—	—	—	—	○	○	DRAMEとOEEにて制御
WAIT	—	—	—	○	○	○	○	○	○	○	○	○	—	—	WAITEにて制御

【記号説明】

- : バス制御信号として使用
- : バス制御信号として未使用 (初期状態ではポート入力となる)

【注】 * H8SX1648Gグループ、H8SX1648Hグループのみサポート

9.5.2 エリア分割

バスコントローラは、16M バイトのアドレス空間を 8 つのエリアに分割し、エリア単位で外部アドレス空間のバス制御を行います。各エリアごとにチップセレクト信号 ($\overline{CS0} \sim \overline{CS7}$) を出力することができます。

図 9.8 に 16M バイト空間のエリア分割を示します。アドレスマップについては、「3. MCU 動作モード」を参照してください。

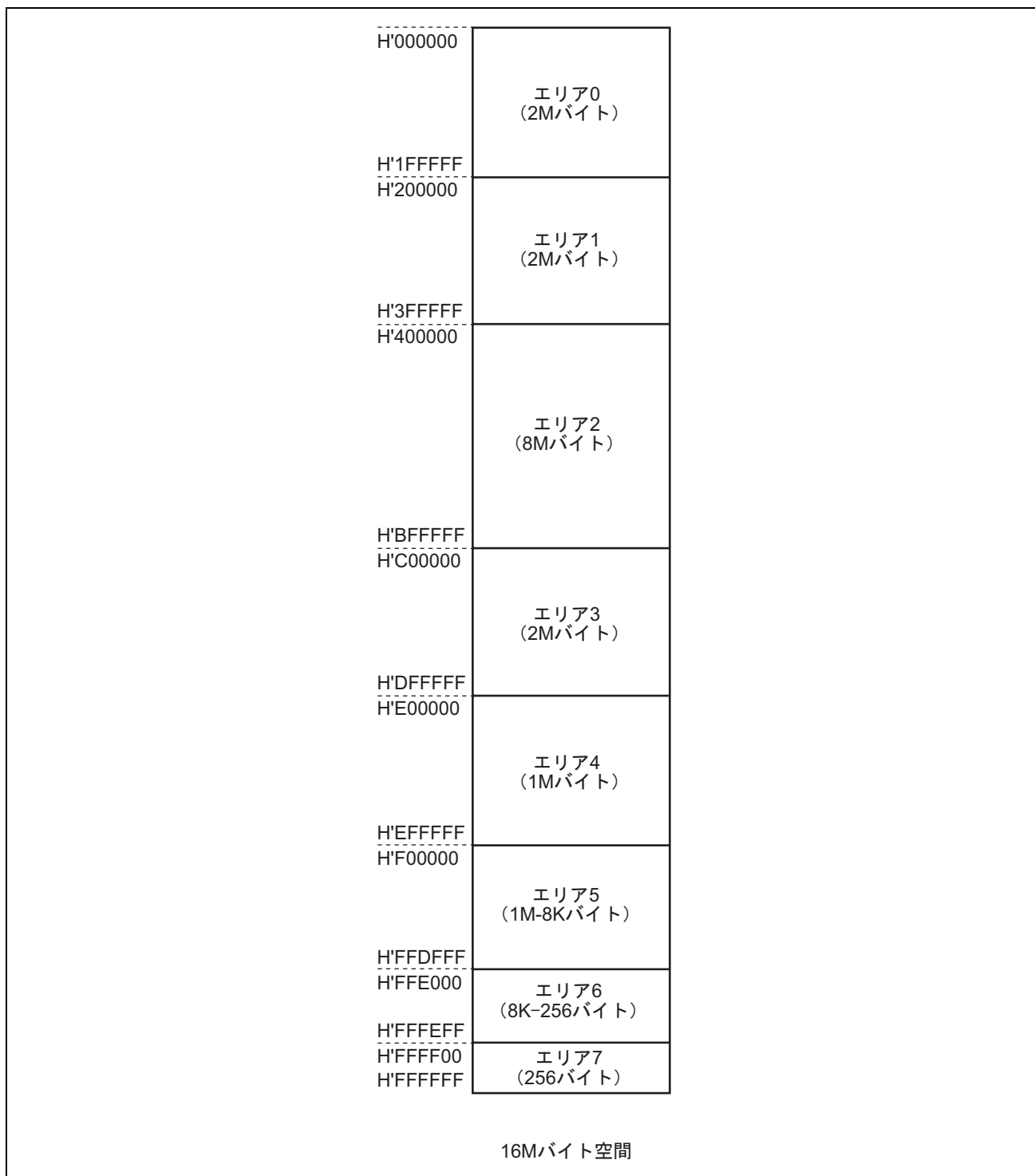


図 9.8 アドレス空間のエリア分割

9.5.3 チップセレクト信号

本 LSI は、エリア 0~7 に対してそれぞれチップセレクト信号 ($\overline{CS0} \sim \overline{CS7}$) を出力することができ、当該エリアの外部空間をアクセスすると Low レベルを出力します。図 9.9 に \overline{CSn} ($n=0 \sim 7$) 出力タイミング例を示します。

\overline{CSn} 出力の許可または禁止は、ポートファンクションコントロールレジスタ (PFCR) により設定します。詳細は「13.3 ポートファンクションコントローラ」を参照してください。

ROM 無効拡張モードのとき、 $\overline{CS0}$ 端子はリセット後は出力状態になっています。 $\overline{CS1} \sim \overline{CS7}$ 端子はリセット後は入力状態になっていますので、 $\overline{CS1} \sim \overline{CS7}$ を出力する場合には対応する PFCR を 1 にセットしてください。

ROM 有効拡張モードのとき、 $\overline{CS0} \sim \overline{CS7}$ 端子はリセット後は入力状態になっていますので、 $\overline{CS0} \sim \overline{CS7}$ を出力する場合には対応する PFCR を 1 にセットしてください

PFCR は、一つの端子に複数の \overline{CS} 出力の設定ができます。PFCR で一つの端子に複数の \overline{CSn} 出力を設定すると、出力される \overline{CS} は設定したすべての \overline{CS} を合わせた信号となります。このとき同一端子に出力する \overline{CSn} に対応する外部バスインタフェースは同一の設定にしてください。図 9.10 にエリア 5 とエリア 6 の \overline{CS} 信号を同一端子に出力した場合のタイミングを示します。

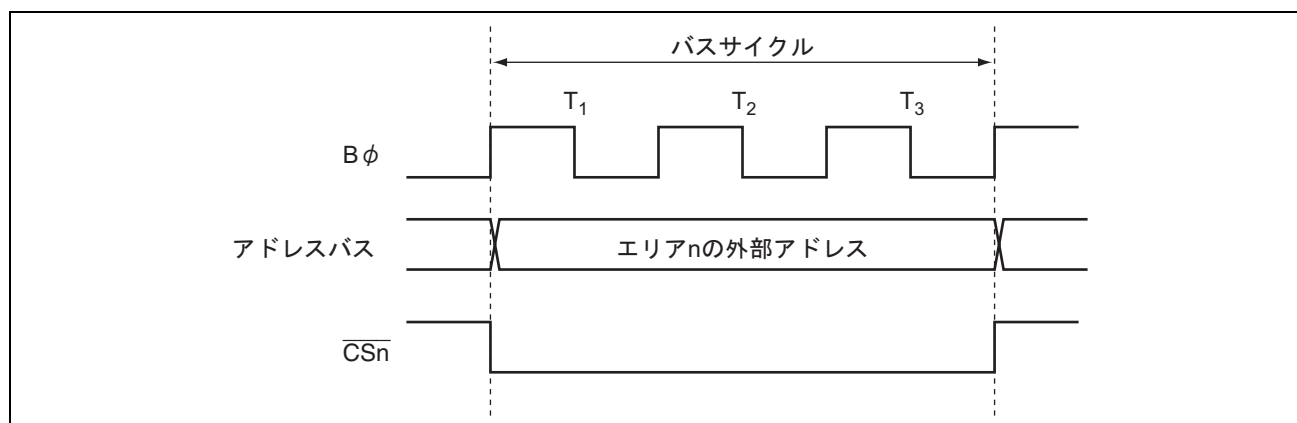
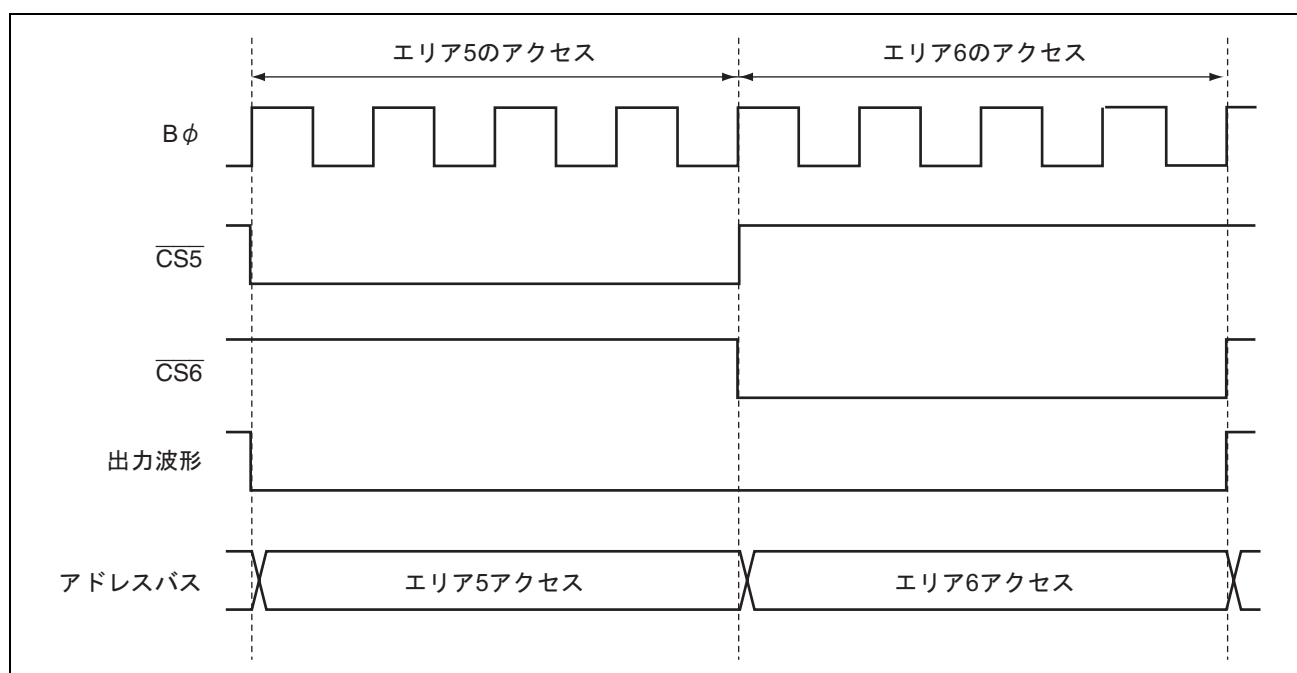


図 9.9 \overline{CSn} 信号出力タイミング ($n=0 \sim 7$)

図 9.10 \overline{CS} を同一端子に出力したときのタイミング

9.5.4 外部バスインタフェース

外部アドレス空間は、エリアごとに (1) 外部バスインタフェースの種類、(2) バス幅、(3) エンディアン形式、(4) アクセスステート数、(5) ストローブアサート/ネゲートタイミングを設定することができます。

内蔵メモリ、内部 I/O レジスタは、バス幅、アクセスステート数は固定で、外部バス仕様の設定に影響されません。

(1) 外部バスインタフェースの種類

外部バスインタフェースには 6 種類のインタフェースがあり、エリア単位で選択することができます。表 9.4 に各インタフェースの名称とその説明、およびそれぞれのインタフェースに設定されたエリアの名称を、表 9.5 に各インタフェースの設定可能なエリアを示します。各エリアの初期状態は、基本バスインタフェースになっています。

表 9.4 各インタフェースの名称と説明、および設定したエリアの名称

インタフェース	説明	設定したエリアの名称
基本バスインタフェース	ROM、RAM などの直結が可能	基本バス空間
バイト制御 SRAM インタフェース	バイト制御端子を持つ SRAM の直結が可能	バイト制御 SRAM 空間
バースト ROM インタフェース	ページアクセス可能な ROM の直結が可能	バースト ROM 空間
アドレス/データマルチプレクス I/O インタフェース	アドレス/データマルチプレクスが必要な周辺 LSI の直結が可能	アドレス/データマルチプレクス I/O 空間
DRAM インタフェース*	DRAM の直結が可能	DRAM 空間
シンクロナス DRAM インタフェース*	シンクロナス DRAM の直結が可能	シンクロナス DRAM 空間

【注】 * H8SX1648G グループ、H8SX1648H グループのみサポート

表 9.5 各インタフェースの設定可能なエリア

インタフェース	関連レジスタ	エリア							
		0	1	2	3	4	5	6	7
基本バスインタフェース	SRAMCR	○	○	○	○	○	○	○	○
バイト制御 SRAM インタフェース		○	○	○	○	○	○	○	○
バースト ROM インタフェース	BROMCR	○	○	—	—	—	—	—	—
アドレス/データマルチプレクス I/O インタフェース	MPXCR	—	—	—	○	○	○	○	○
DRAM インタフェース*	DRAMCR	—	—	○	—	—	—	—	—
シンクロナス DRAM インタフェース*		—	—	○	—	—	—	—	—

【注】 * H8SX1648G グループ、H8SX1648H グループのみサポート

(2) バス幅

各エリアのバス幅は、ABWCR により 8 ビット、または 16 ビットに設定します。8 ビットバスに設定したエリアは 8 ビットアクセス空間、16 ビットバスに設定したエリアは 16 ビットアクセス空間となります。なお、アドレス/データマルチプレクス I/O 空間のバス幅は 8 ビットまたは 16 ビット、バイト制御 SRAM 空間のバス幅は 16 ビットのみ設定可能です。

バス幅の初期状態は動作モードで設定します。

すべてのエリアを 8 ビットアクセス空間に設定すると 8 ビットバスモードに、すべてのエリアを 16 ビットアクセス空間に設定しないでいずれかのエリアを 16 ビットアクセス空間に設定すると 16 ビットバスモードになります。

(3) エンディアン形式

本 LSI のエンディアン形式はビッグエンディアンですが、外部空間のリード/ライト時にデータの並びをリトルエンディアン形式に並べ替えて転送することができます。

ENDIANCR の LE7~LE2 ビットにより、エリア 7 からエリア 2 はビッグエンディアン形式とリトルエンディアン形式を選択可能です。

各エリアの初期状態は、ビッグエンディアン形式になっています。

プログラム領域、スタック領域として使用するエリアは、必ずビッグエンディアン形式にしてください。

(4) アクセスステート数

(a) 基本バスインタフェース

基本バスインタフェースのアクセスステート数は、ASTCR により 2 ステート、または 3 ステートに設定できます。2 ステートアクセスに設定したエリアは 2 ステートアクセス空間、3 ステートアクセスに設定したエリアは 3 ステートアクセス空間となります。

2 ステートアクセス空間に設定すると、ウェイトステートの挿入が禁止されます。3 ステートアクセス空間に設定すると、WTCRA、WTCRB によるプログラムウェイト (0~7 ステート) と、 $\overline{\text{WAIT}}$ 端子による外部ウェイトを挿入することができます。

また、CSACR によりチップセレクト信号およびアドレス信号のアサート期間を拡張することができます。

9. バスコントローラ (BSC)

基本バスインタフェースアクセスステート数

=基本ステート数 (2, 3) +プログラムウェイト数 (0~7)

+ $\overline{\text{CS}}$ 拡張ステート数 (0, 1, 2) [$+\overline{\text{WAIT}}$ 端子による外部ウェイト数]

(b) バイト制御 SRAM インタフェース

バイト制御 SRAM インタフェースのアクセスステート数の設定は、基本バスインタフェースと同様です。

バイト制御SRAMインタフェースアクセスステート数

=基本ステート数 (2, 3) +プログラムウェイト数 (0~7)

+ $\overline{\text{CS}}$ 拡張ステート数 (0, 1, 2) [$+\overline{\text{WAIT}}$ 端子による外部ウェイト数]

(c) バースト ROM インタフェース

バースト ROM インタフェースでは、フルアクセスのアクセスステート数の設定は基本バスインタフェースと同様で、バーストアクセスのアクセスステート数は BROMCR の BSTS ビットにより 1 から 8 ステートに設定できます。

バーストROMインタフェースアクセスステート数

=基本ステート数 (2, 3) +プログラムウェイト数 (0~7)

+ $\overline{\text{CS}}$ 拡張ステート数 (0, 1) [$+\overline{\text{WAIT}}$ 端子による外部ウェイト数]

+バーストアクセスステート数 (1~8) ×バーストアクセス回数 (0~63)

(d) アドレス/データマルチプレクス I/O インタフェース

アドレス/データマルチプレクス I/O インタフェースでは、データサイクルのアクセスステート数の設定は基本バスインタフェースと同様で、アドレスサイクルは MPXCR の ADDEX ビットにより 2 ステートまたは 3 ステートに設定できます。

アドレス/データマルチプレクスI/Oインタフェースアクセスステート数

=アドレス出力ステート数 (2, 3) +データ出力ステート数 (2, 3)

+プログラムウェイト数 (0~7) + $\overline{\text{CS}}$ 拡張ステート数 (0, 1, 2) [$+\overline{\text{WAIT}}$ 端子による外部ウェイト数]

(e) DRAM インタフェース

DRAM インタフェースでは、プリチャージサイクル、ロウアドレス出力サイクル、カラムアドレス出力サイクルのステート数を設定できます。

DRACCR の TPC1、TPC0 ビットにより、プリチャージサイクルのステート数を 1 から 4 ステートに設定できます。DRACCR の RCD1、RCD0 ビットにより、ロウアドレス出力サイクルのステート数を 1 から 4 ステートに設定できます。DRAMCR の CAST ビットにより、カラムアドレス出力サイクルのステート数を 2 ステートまたは 3 ステートに設定できます。カラムアドレス出力サイクルには、WTCRB によりプログラムウェイト (0~7 ステート) と、 $\overline{\text{WAIT}}$ 端子による外部ウェイトを挿入することができます。

DRAMインタフェースアクセスステート数

=プリチャージサイクル数 (1~4) +ロウアドレス出力サイクル数 (1~4)

+カラムアドレス出力サイクル数 (2、3) +プログラムウェイト数 (0~7)
 [+WAIT端子による外部ウェイト数]

【注】 H8SX1648G グループ、H8SX1648H グループのみサポート

(f) シンクロナス DRAM インタフェース

シンクロナス DRAM インタフェースでは、プリチャージサイクル、ロウアドレス出力サイクル、カラムアドレス出力サイクルのステート数とクロックサスペンド、ライトープリチャージ遅延の設定ができます。

DRACCR の TPC1、TPC0 ビットにより、プリチャージサイクルのステート数を 1 から 4 ステートに設定できます。DRACCR の RCD1、RCD0 ビットにより、ロウアドレス出力サイクルのステート数を 1 から 4 ステートに設定できます。WTCRB の W21、W20 ビットにより、リードアクセス時のカラムアドレス出力サイクル数を 2 から 4 に設定できます。

SDCR の CKSPE、TRWL ビットにより、クロックサスペンドサイクルとライトープリチャージ遅延サイクルを挿入できます。

シンクロナスDRAMインタフェースアクセスステート数

=プリチャージサイクル数 (1~4) +ロウアドレス出力サイクル数 (1~4)

+カラムアドレス出力サイクル数 (リード: 2~4、ライト: 2)

+クロックサスペンドサイクル数 (リード時のみ有効: 0、1)

+ライトープリチャージ遅延サイクル数 (ライト時のみ有効: 0、1)

【注】 * H8SX1648G グループ、H8SX1648H グループのみサポート

9. バスコントローラ (BSC)

表 9.6 に各インタフェースのアクセスステート数を示します。

表 9.6 アクセスステート数

基本バスインタフェース	=	Th	+T1	+T2				+Tt		
		[0,1]	[1]	[1]				[0,1]		[2~4]
	=	Th	+T1	+T2	+Tpw	+Ttw	+T3	+Tt		[3~12+n]
		[0,1]	[1]	[1]	[0~7]	[n]	[1]	[0,1]		
バイト制御SRAMインタフェース	=	Th	+T1	+T2				+Tt		[2~4]
		[0,1]	[1]	[1]				[0,1]		
	=	Th	+T1	+T2	+Tpw	+Ttw	+T3	+Tt		[3~12+n]
		[0,1]	[1]	[1]	[0~7]	[n]	[1]	[0,1]		
バーストROMインタフェース	=	Th	+T1	+T2				+Tb		
		[0,1]	[1]	[1]				[(1~8)×m]	[(2~3)+(1~8)×m]	
	=	Th	+T1	+T2	+Tpw	+Ttw	+T3	+Tb		
		[0,1]	[1]	[1]	[0~7]	[n]	[1]	[(1~8)×m]	[(3~11+n)+(1~8)×m]	
アドレス/データマルチプレクスI/O インタフェース	=Tma	+Th	+T1	+T2				+Tt		
	[2,3]	[0,1]	[1]	[1]				[0,1]		[4~7]
	=Tma	+Th	+T1	+T2	+Tpw	+Ttw	+T3	+Tt		
	[2,3]	[0,1]	[1]	[1]	[0~7]	[n]	[1]	[0,1]		[5~15+n]
DRAM インタ フェース*	フルアクセス	=Tp	+Tr	+Trw	+Tc1	+Tpw	+Ttw	+Tc2	+Tc3	
		[1~4]	[1]	[0~3]	[1]	[0~7]	[n]	[1]	[0,1]	[4~18+n]
	高速ページ	=			Tc1	+Tpw	+Ttw	+Tc2	+Tc3	
					[1]	[0~7]	[n]	[1]	[0,1]	[2~10+n]
	リフレッシュ	=TRp	+TRnw	+TRr	+TRc1	+TRcw	+TRc2			
		[1~4]	[0~3]	[1]	[1]	[0~7]	[1]			[4~17]
	セルフリフレッシュ	=TRp	+TRnw	+TRr	+ソフトウェア スタンバイモード [1+s]		+TRc3	+TRc4	+TRp	
		[1~4]	[0~3]	[1]			[1]	[1]	[0~7]	[5~18+s]
シンクロナス DRAM*	モードレジスタ設定	=	Tp	+Tr	+Trw	+Tc1		+Tc2	+Trwl	
			[1~4]	[1]	[0~3]	[1]		[1]	[0, 1]	[4~11]
	フルアクセス (リード)	=	Tp	+Tr	+Trw	+Tc1		+Tcl	+Tsp	+Tc2
			[1~4]	[1]	[0~3]	[1]		[1~3]	[0,1]	[1]
	フルアクセス (ライト)	=	Tp	+Tr	+Trw	+Tc1				+Tc2
			[1~4]	[1]	[0~3]	[1]				+Trwl
	ページアクセス (リード)	=				Tc1		+Tcl	+Tsp	+Tc2
						[1]		[1~3]	[0,1]	[1]
	ページアクセス (ライト)	=				Tc1				+Tc2
						[1]				+Trwl
						[1]			[0, 1]	[2~3]
	クラスタ転送 (リード)	=	Tp	+Tr	+Trw	+Tc1	+Tcb	+Tcl		+Tc2
			[1~4]	[1]	[0~3]	[1]	[0~31]	[1~3]		[1]
						Tc1	+Tcb	+Tcl		+Tc2
						[1]	[0~31]	[1~3]		[1]
						[1]				[3~36]
	クラスタ転送 (ライト)	=	Tp	+Tr	+Trw	+Tc1				+Tc2
			[1~4]	[1]	[0~3]	[1]				+Tcb
						Tc1				+Tc2
						[1]				+Tcb
						[1]			[0~31]	[4~41]
	リフレッシュ	=	TRp	+TRr	+TRc1	+TRcw	+TRc2			
			[1~4]	[1]	[1]	[0~7]	[1]			[4~14]
	セルフリフレッシュ	=	TRp	+TRr	+ソフトウェア スタンバイモード [1+s]		+TRc2	+TRc3	+TRp	
			[1~4]	[1]			[1]	[1]	[0~7]	[5~15+s]

記号：[数字]：アクセスステート数

n：端子ウェイト (0~∞)

m：バーストアクセス回数 (0~63)

s：ソフトウェアスタンバイモード期間

【注】 * H8SX1648Gグループ、H8SX1648Hグループのみサポート

(5) ストローブアサート/ネゲートタイミング

アクセスステート数の変更に加え、ストローブ信号のアサート/ネゲートタイミングを変更できます。

- 基本バスインタフェースのリードストローブ ($\overline{\text{RD}}$)
- 基本バスインタフェースのチップセレクトアサート期間拡張ステート
- DMACのシングルアドレス転送時に出力されるデータ転送アクノレッジ ($\overline{\text{DACK3}}\sim\overline{\text{DACK0}}$)
- EXDMAC*のシングルアドレス転送時に出力されるデータ転送アクノレッジ ($\overline{\text{EDACK3}}\sim\overline{\text{EDACK0}}$)

【注】 H8SX1648Gグループ、H8SX1648Hグループのみサポート

9.5.5 エリアと外部バスインタフェース

(1) エリア 0

エリア 0 は内蔵 ROM を含んでおり、ROM 無効拡張モードのときすべての空間が外部空間となり、ROM 有効拡張モードのとき内蔵 ROM を除いた空間が外部空間となります。

エリア 0 の外部空間をアクセスすると、 $\overline{CS0}$ 信号を出力します。

エリア 0 は、BROMCR の BSRM0 ビットと SRAMCR の BCSEL0 ビットにより、基本バスインタフェース、バイト制御 SRAM インタフェース、またはバースト ROM インタフェースに設定することができます。表 9.7 にエリア 0 の外部インタフェースを示します。

表 9.7 エリア 0 の外部インタフェース

インタフェース	レジスタの設定	
	BROMCR の BSRM0	SRAMCR の BCSEL0
基本バスインタフェース	0	0
バイト制御 SRAM インタフェース	0	1
バースト ROM インタフェース	1	0
設定禁止	1	1

(2) エリア 1

エリア 1 は、外部拡張モードのときすべての空間が外部空間となり、ROM 有効拡張モードのとき内蔵 ROM を除いた空間が外部空間となります。

エリア 1 の外部空間をアクセスすると、 $\overline{CS1}$ 信号を出力します。

エリア 1 は、BROMCR の BSRM1 ビットと SRAMCR の BCSEL1 ビットにより、基本バスインタフェース、バイト制御 SRAM インタフェース、またはバースト ROM インタフェースに設定することができます。表 9.8 にエリア 1 の外部インタフェースを示します。

表 9.8 エリア 1 の外部インタフェース

インタフェース	レジスタの設定	
	BROMCR の BSRM1	SRAMCR の BCSEL1
基本バスインタフェース	0	0
バイト制御 SRAM インタフェース	0	1
バースト ROM インタフェース	1	0
設定禁止	1	1

9. バスコントローラ (BSC)

(3) エリア 2

エリア 2 は、外部拡張モードのときすべての空間が外部空間となります。

エリア 2 の外部空間をアクセスすると、 $\overline{CS2}$ 信号を出力します。

エリア 2 は、DRAMCR*の DRAME、DTYPE ビットと SRAMCR の BCSEL2 ビットにより、基本バスインタフェース、バイト制御 SRAM インタフェース、DRAM インタフェース*またはシンクロナス DRAM インタフェース*に設定することができます。表 9.9 にエリア 2 の外部インタフェースを示します。

【注】 * H8SX1648G グループ、H8SX1648H グループのみサポート

表 9.9 エリア 2 の外部インタフェース

インタフェース	レジスタの設定		
	DRAMCR の DRAME*	DRAMCR の DTYPE*	SRAMCR の BCSEL2
基本バスインタフェース	0	*	0
バイト制御 SRAM インタフェース	0	*	1
DRAM インタフェース*	1	0	0
SDRAM インタフェース*	1	1	0
設定禁止	1	*	1

【注】 * H8SX1648G グループ、H8SX1648H グループのみサポート

(4) エリア 3

エリア 3 は、外部拡張モードのときすべての空間が外部空間となります。

エリア 3 の外部空間をアクセスすると、 $\overline{CS3}$ 信号を出力します。

エリア 3 は、MPXCR の MPXE3 ビットと SRAMCR の BCSEL3 ビットにより、基本バスインタフェース、バイト制御 SRAM インタフェース、またはアドレス/データマルチプレクス I/O インタフェースに設定することができます。表 9.10 にエリア 3 の外部インタフェースを示します。

表 9.10 エリア 3 の外部インタフェース

インタフェース	レジスタの設定	
	MPXCR の MPXE3	SRAMCR レジスタ BCSEL3
基本バスインタフェース	0	0
バイト制御 SRAM インタフェース	0	1
アドレス/データマルチプレクス I/O インタフェース	1	0
設定禁止	1	1

(5) エリア 4

エリア 4 は、外部拡張モードのときすべての空間が外部空間となります。

エリア 4 の外部空間をアクセスすると、 $\overline{CS4}$ 信号を出力します。

エリア 4 は、MPXCR の MPXE4 ビットと SRAMCR の BCSEL4 ビットにより、基本バスインタフェース、

バイト制御 SRAM インタフェース、またはアドレス/データマルチプレクス I/O インタフェースに設定することができます。表 9.11 にエリア 4 の外部インタフェースを示します。

表 9.11 エリア 4 の外部インタフェース

インタフェース	レジスタの設定	
	MPXCR の MPXE4	SRAMCR の BCSEL4
基本バスインタフェース	0	0
バイト制御 SRAM インタフェース	0	1
アドレス/データマルチプレクス I/O インタフェース	1	0
設定禁止	1	1

(6) エリア 5

エリア 5 は内蔵 RAM、アクセス禁止空間を含んでおり、外部拡張モードのときは内蔵 RAM、アクセス禁止空間を除いた空間が外部空間となります。なお、内蔵 RAM は、システムコントロールレジスタ (SYSCR) の RAME ビットを 1 にセットしたとき有効となり、0 にクリアすると内蔵 RAM は無効となり対応するアドレスは外部空間になります。詳細は「3. MCU 動作モード」を参照してください。

エリア 5 の外部空間をアクセスすると、 $\overline{CS5}$ 信号を出力します。

エリア 5 は、MPXCR の MPXE5 ビットと SRAMCR の BCSEL5 ビットにより、基本バスインタフェース、バイト制御 SRAM インタフェース、またはアドレス/データマルチプレクス I/O インタフェースに設定することができます。表 9.12 にエリア 5 の外部インタフェースを示します。

表 9.12 エリア 5 の外部インタフェース

インタフェース	レジスタの設定	
	MPXCR の MPXE5	SRAMCR の BCSEL5
基本バスインタフェース	0	0
バイト制御 SRAM インタフェース	0	1
アドレス/データマルチプレクス I/O インタフェース	1	0
設定禁止	1	1

(7) エリア 6

エリア 6 は内部 I/O レジスタを含んでおり、外部拡張モードのとき内部 I/O レジスタ空間を除いた空間が外部空間となります。

エリア 6 の外部空間をアクセスすると、 $\overline{CS6}$ 信号を出力します。

エリア 6 は、MPXCR の MPXE6 ビットと SRAMCR の BCSEL6 ビットにより、基本バスインタフェース、バイト制御 SRAM インタフェース、またはアドレス/データマルチプレクス I/O インタフェースに設定することができます。表 9.13 にエリア 6 の外部インタフェースを示します。

9. バスコントローラ (BSC)

表 9.13 エリア 6 の外部インタフェース

インタフェース	レジスタの設定	
	MPXCR の MPXE6	SRAMCR の BCSEL6
基本バスインタフェース	0	0
バイト制御 SRAM インタフェース	0	1
アドレス/データマルチプレクス I/O インタフェース	1	0
設定禁止	1	1

(8) エリア 7

エリア 7 は内部 I/O レジスタを含んでおり、外部拡張モードのとき内部 I/O レジスタ空間を除いた空間が外部空間となります。

エリア 7 の外部空間をアクセスすると、 $\overline{CS7}$ 信号を出力します。

エリア 7 は、MPXCR の MPXE7 ビットと SRAMCR の BCSEL7 ビットにより、基本バスインタフェース、バイト制御 SRAM インタフェース、またはアドレス/データマルチプレクス I/O インタフェースに設定することができます。表 9.14 にエリア 7 の外部インタフェースを示します。

表 9.14 エリア 7 の外部バスインタフェース

インタフェース	レジスタの設定	
	MPXCR の MPXE7	SRAMCR の BCSEL7
基本バスインタフェース	0	0
バイト制御 SRAM インタフェース	0	1
アドレス/データマルチプレクス I/O インタフェース	1	0
設定禁止	1	1

9.5.6 エンディアンとデータアライメント

CPU、およびその他の内部バスマスタのデータサイズには、バイト、ワード、およびロングワードがあります。バスコントローラはデータアライメント機能を持っており、外部空間をアクセスするとき上位側データバス (D15~D8)、下位側データバス (D7~D0) のどれを使用するかを、アクセスするエリアのバス仕様 (8 ビットアクセス空間、16 ビットアクセス空間) とデータサイズ、およびエンディアン形式によって制御します。

(1) 8 ビットアクセス空間

8 ビットアクセス空間では、常に最下位側データバス (D7~D0) を使ってアクセスを行います。一回にアクセスできるデータ量は1バイトで、ワードアクセスでは2回、ロングワードアクセスは4回のバイトアクセスを実行します。

図 9.11、図 9.12 に 8 ビットアクセス空間へのデータアライメント制御を示します。図 9.11 はデータのエンディアン形式をビッグエンディアンにした場合、図 9.12 はデータのエンディアン形式をリトルエンディアンにした場合です。

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	ストロブ信号	
					LHWR/LUB	LLWR/LLB
					RD	
					データバス	
					D15	D8 D7
						D0
バイト	n	1回	1回目	バイト	7	0
ワード	n	2回	1回目	バイト	15	8
			2回目	バイト	7	0
ロングワード	n	4回	1回目	バイト	31	24
			2回目	バイト	23	16
			3回目	バイト	15	8
			4回目	バイト	7	0

図 9.11 8 ビットアクセス空間へのアクセスサイズとデータアライメント制御 (ビッグエンディアン)

9. バスコントローラ (BSC)

データ サイズ	アクセス 番地	アクセス 回数	バス サイクル データ量	ストローブ信号	
				LHWR/LUB	LLWR/LLB
				\overline{RD}	
				データバス	
				D15	D0
バイト	n	1回	1回目 バイト	7	0
ワード	n	2回	1回目 バイト	7	0
			2回目 バイト	15	8
ロングワード	n	4回	1回目 バイト	7	0
			2回目 バイト	15	8
			3回目 バイト	23	16
			4回目 バイト	31	24

図 9.12 8ビットアクセス空間へのアクセスサイズとデータアライメント制御
(リトルエンディアン)

(2) 16ビットアクセス空間

16ビットアクセス空間では、上位側データバス (D15~D8)、および下位側データバス (D7~D0) を使ってアクセスを行います。一回にアクセスできるデータ量は1バイト、または1ワードです。

図 9.13、図 9.14 に 16ビットアクセス空間へのデータアライメント制御を示します。図 9.13 はデータのエンディアン形式をビッグエンディアンにした場合、図 9.14 はデータのエンディアン形式をリトルエンディアンにした場合です。

ビッグエンディアン形式のときは、偶数アドレスに対するバイトアクセスは上位側データバスを使用し、奇数アドレスに対するバイトアクセスは最下位側データバスを使用します。

リトルエンディアン形式のときは、偶数アドレスに対するバイトアクセスは最下位側データバスを使用し、奇数アドレスに対するバイトアクセスは3バイト目データバスを使用します。

アクセス サイズ	アクセス 番地	アクセス 回数	バス サイクル データ量	ストローブ信号	
				LHWR/LUB	LLWR/LLB
				RD	
				データバス	
				D15	D8 D7 D0
バイト	偶数 (2n)	1回	1回目 バイト	7	0
	奇数 (2n+1)	1回	1回目 バイト		7
ワード	偶数 (2n)	1回	1回目 ワード	15	7
	奇数 (2n+1)	2回	1回目 バイト		15

				2回目 バイト	
				7	
ロングワード	偶数 (2n)	2回	1回目 ワード	31	24 23
			2回目 ワード	15	7
	奇数 (2n+1)	3回	1回目 バイト		31
			2回目 ワード	23	16 15
3回目 バイト	7		0		

図 9.13 16 ビットアクセス空間へのアクセスサイズとデータアライメント制御 (ビッグエンディアン)

アクセス サイズ	アクセス 番地	アクセス 回数	バス サイクル データ量	ストローブ信号	
				LHWR/LUB	LLWR/LLB
				RD	
				データバス	
				D15	D8 D7 D0
バイト	偶数 (2n)	1回	1回目 バイト		7
	奇数 (2n+1)	1回	1回目 バイト	7	0
ワード	偶数 (2n)	1回	1回目 ワード	15	7
	奇数 (2n+1)	2回	1回目 バイト	7	0

				2回目 バイト	
				15	
ロングワード	偶数 (2n)	2回	1回目 ワード	15	7
			2回目 ワード	31	24 23
	奇数 (2n+1)	3回	1回目 バイト	7	0
			2回目 ワード	23	16 15
3回目 バイト			31		

図 9.14 16 ビットアクセス空間へのアクセスサイズとデータアライメント制御 (リトルエンディアン)

9.6 基本バスインタフェース

基本バスインタフェースは、ROM、SRAM との直結が可能です。

ABWCR、ASTCR、WTCRA、WTCRB、RDNCR、CSACR、ENDIANCR によってバス仕様を設定できます。

9.6.1 データバス

CPU、およびその他の内部バスマスタのデータサイズには、バイト、ワード、ロングワードがあります。バスコントローラはデータアライメント機能を持っており、外部空間をアクセスするとき、上位側データバス (D15~D8)、下位側データバス (D7~D0) のどれを使用するかを、アクセスするエリアのバス仕様 (8ビットアクセス空間、16ビットアクセス空間) とデータサイズ、およびエンディアン形式によって制御します。詳細は「9.5.6 エンディアンとデータアライメント」を参照してください。

9.6.2 基本バスインタフェース入出力端子

表 9.15 に基本バスインタフェースの入出力端子を示します。

表 9.15 基本バスインタフェースの入出力端子

名称	記号	入出力	機能
バスサイクル開始	BS	出力	バスサイクルの開始を示す信号です。
アドレスストロープ	AS*	出力	アクセス中、アドレスバス上のアドレス出力が有効であることを示すストロープ信号です。
リードストロープ	RD	出力	リードアクセス中であることを示すストロープ信号です。
リード/ライト	RD/WR	出力	データバスの入出力方向指示信号です。
ロウハイライト	LHWR	出力	ライトアクセス中であり、データバスの上位バイト (D15~D8) が有効であることを示すストロープ信号です。
ロウロウライト	LLWR	出力	ライトアクセス中であり、データバスの下位バイト (D7~D0) が有効であることを示すストロープ信号です。
チップセレクト 0~7	CS0~CS7	出力	エリアが選択されていることを示すストロープ信号です。
ウェイト	WAIT	入力	外部空間をアクセスするときのウェイト要求信号です。

【注】 * アドレス/データマルチプレクス I/O に設定した時点で \overline{AH} 出力端子となり、 \overline{AS} 出力端子としては使用できません。

9.6.3 基本タイミング

データのエンディアン形式をビッグエンディアンにした場合の基本タイミングについて説明します。

(1) 16ビット2ステートアクセス空間

図9.15～図9.17に16ビット2ステートアクセス空間のバスタイミングを示します。

16ビットアクセス空間をアクセスするとき、偶数アドレスに対しては上位側 (D15～D8)、奇数アドレスに対しては下位側 (D7～D0) を使用します。ウェイトステートを挿入することはできません。

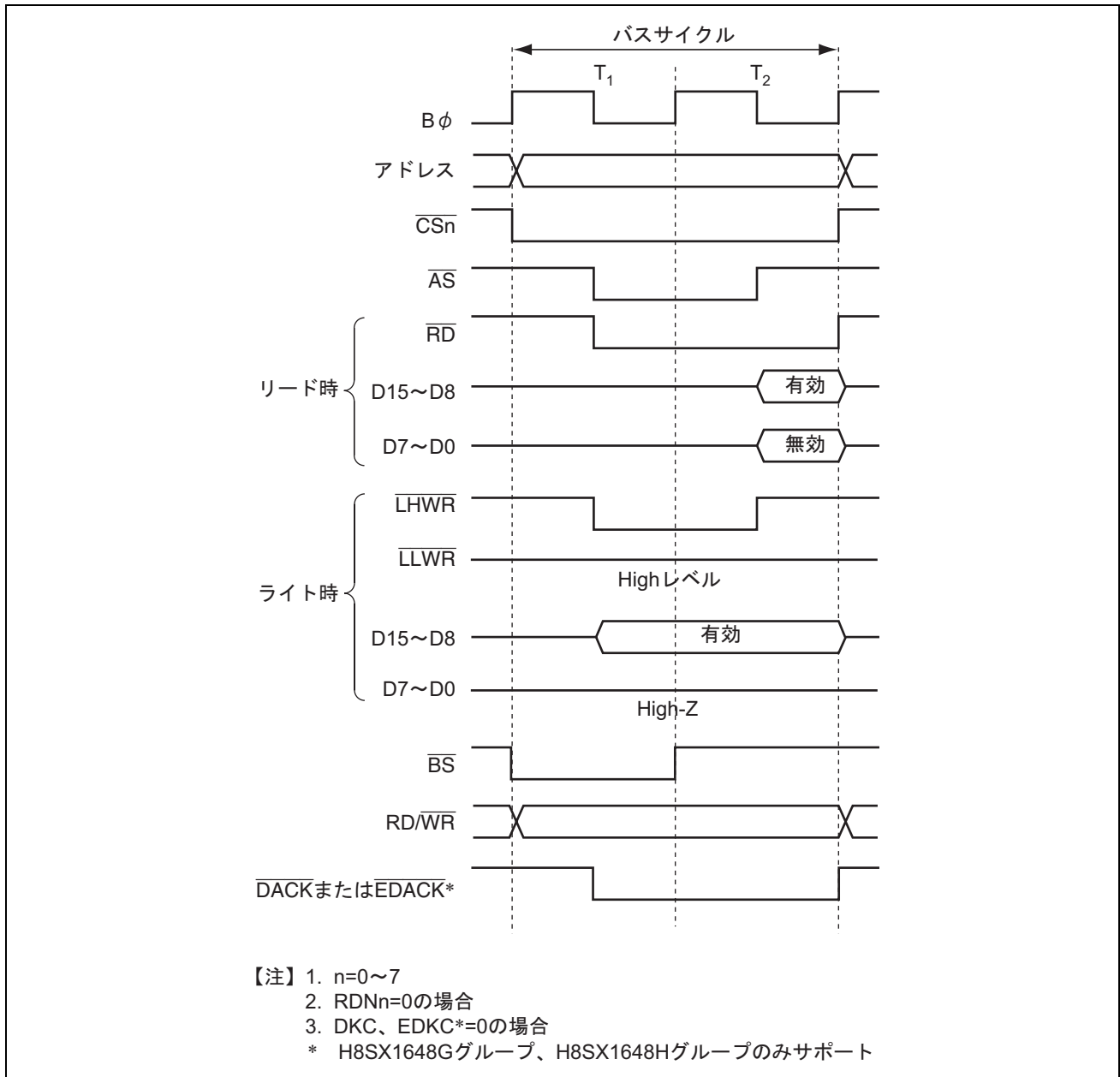


図 9.15 16ビット2ステートアクセス空間のバスタイミング
(偶数アドレスバイトアクセス)

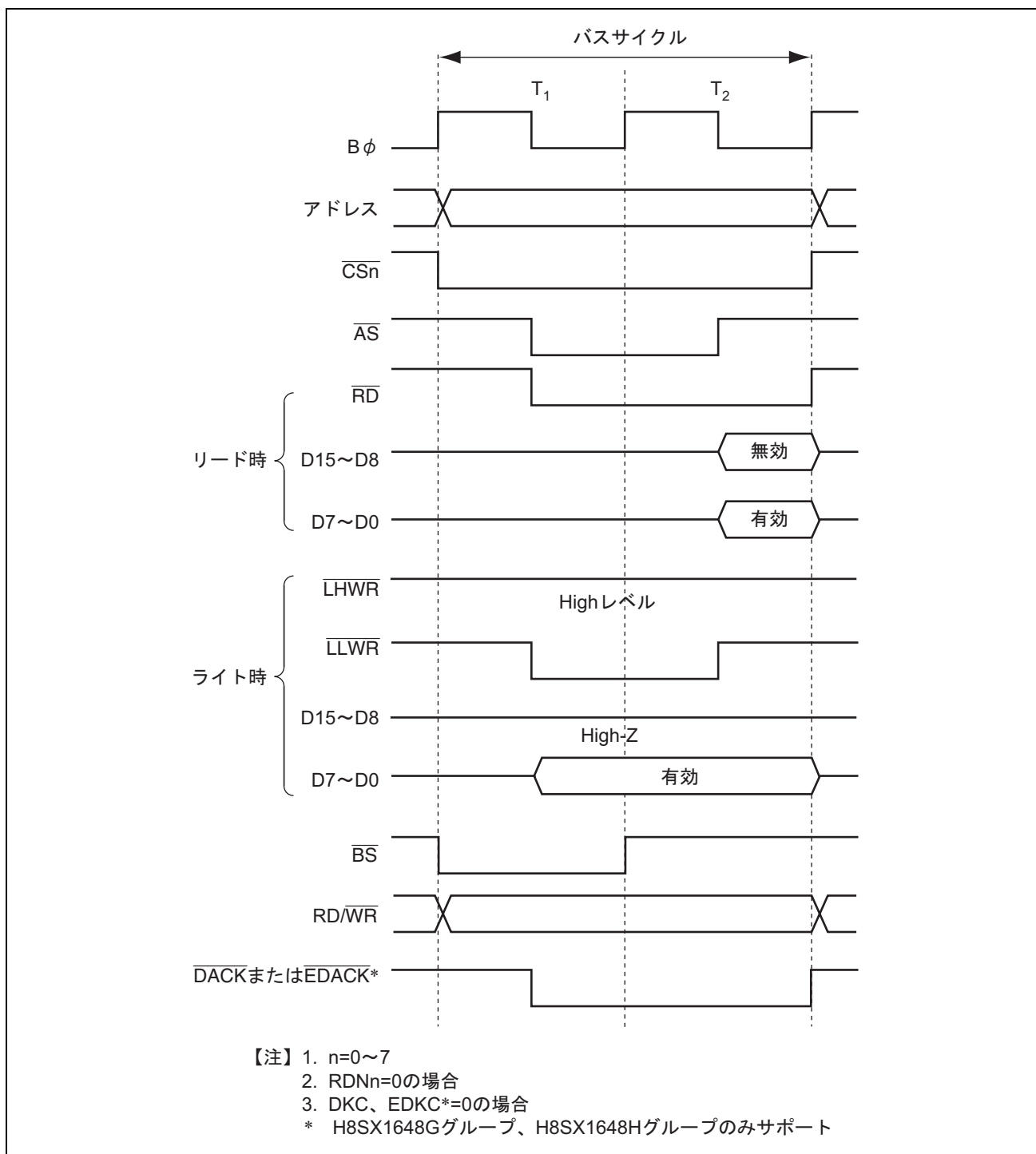


図 9.16 16 ビット 2 ステートアクセス空間のバスタイミング (奇数アドレスバイトアクセス)

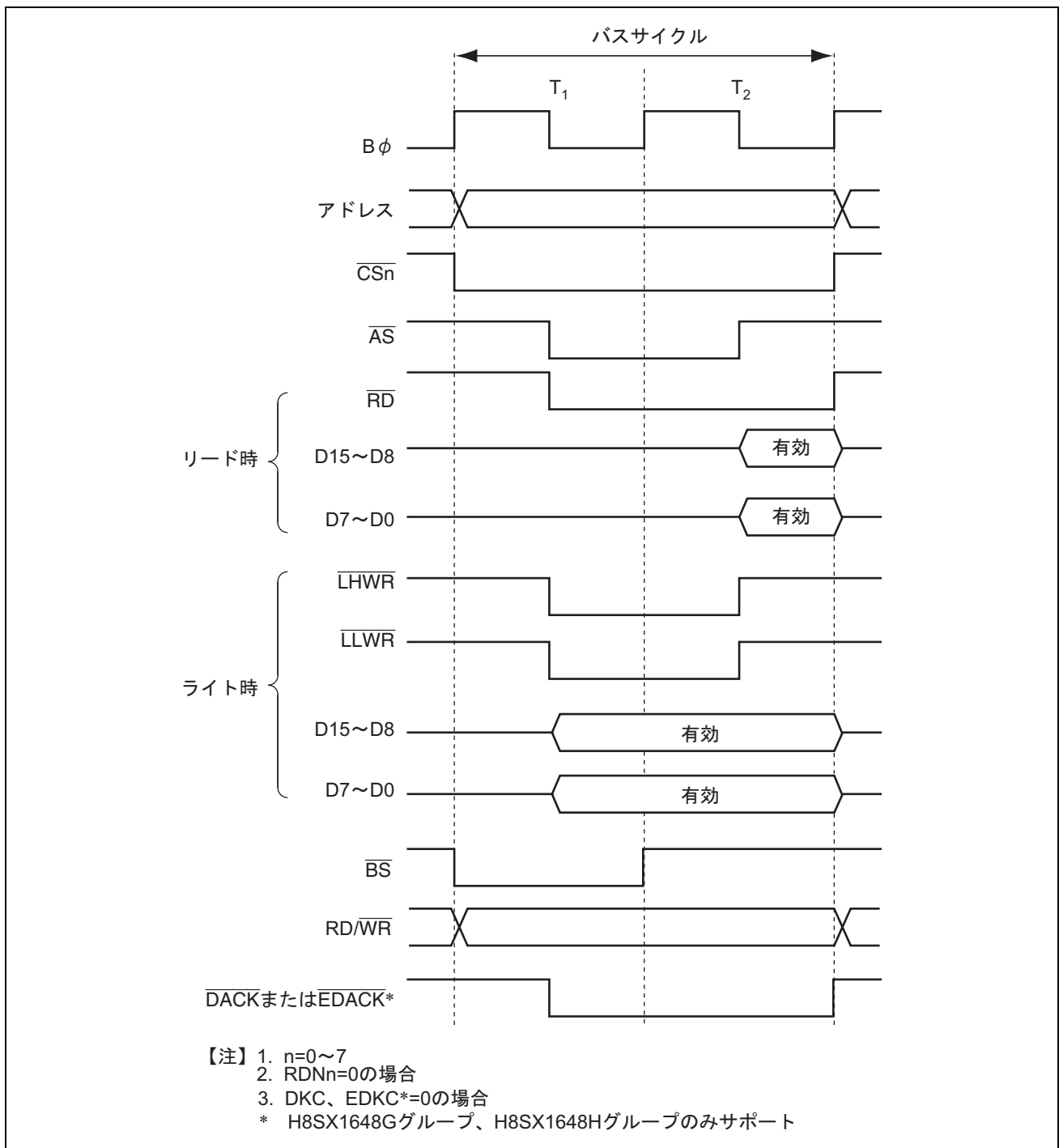


図 9.17 16 ビット 2 ステートアクセス空間のバスタイミング (偶数アドレスワードアクセス)

9. バスコントローラ (BSC)

(2) 16 ビット 3 ステートアクセス空間

図 9.18～図 9.20 に 16 ビット 3 ステートアクセス空間のバスタイミングを示します。

16 ビットアクセス空間をアクセスするとき、偶数アドレスに対しては上位側 (D15～D8)、奇数アドレスに対しては下位側 (D7～D0) を使用します。ウェイトステートを挿入することができます。

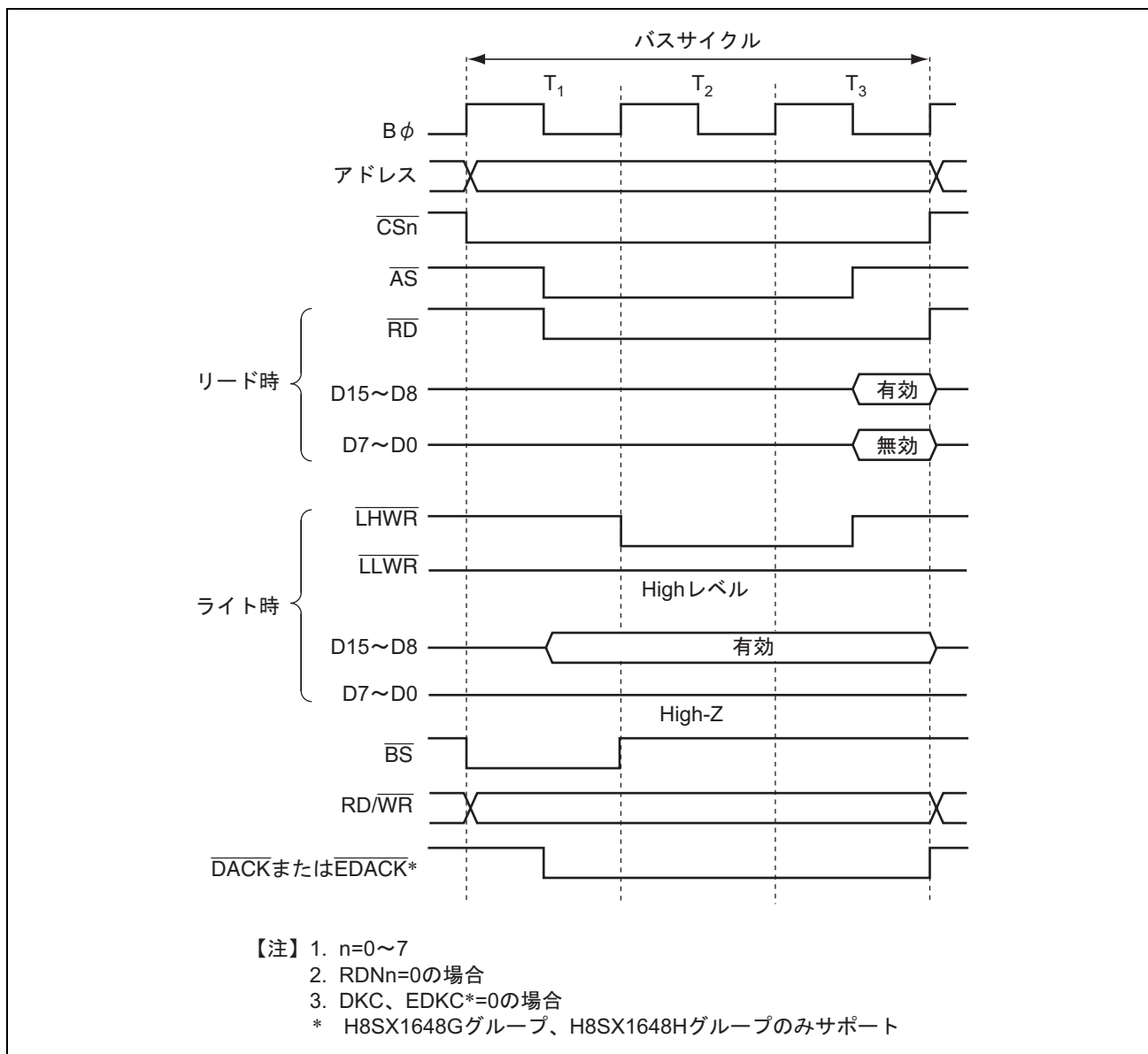


図 9.18 16 ビット 3 ステートアクセス空間のバスタイミング (偶数アドレスバイトアクセス)

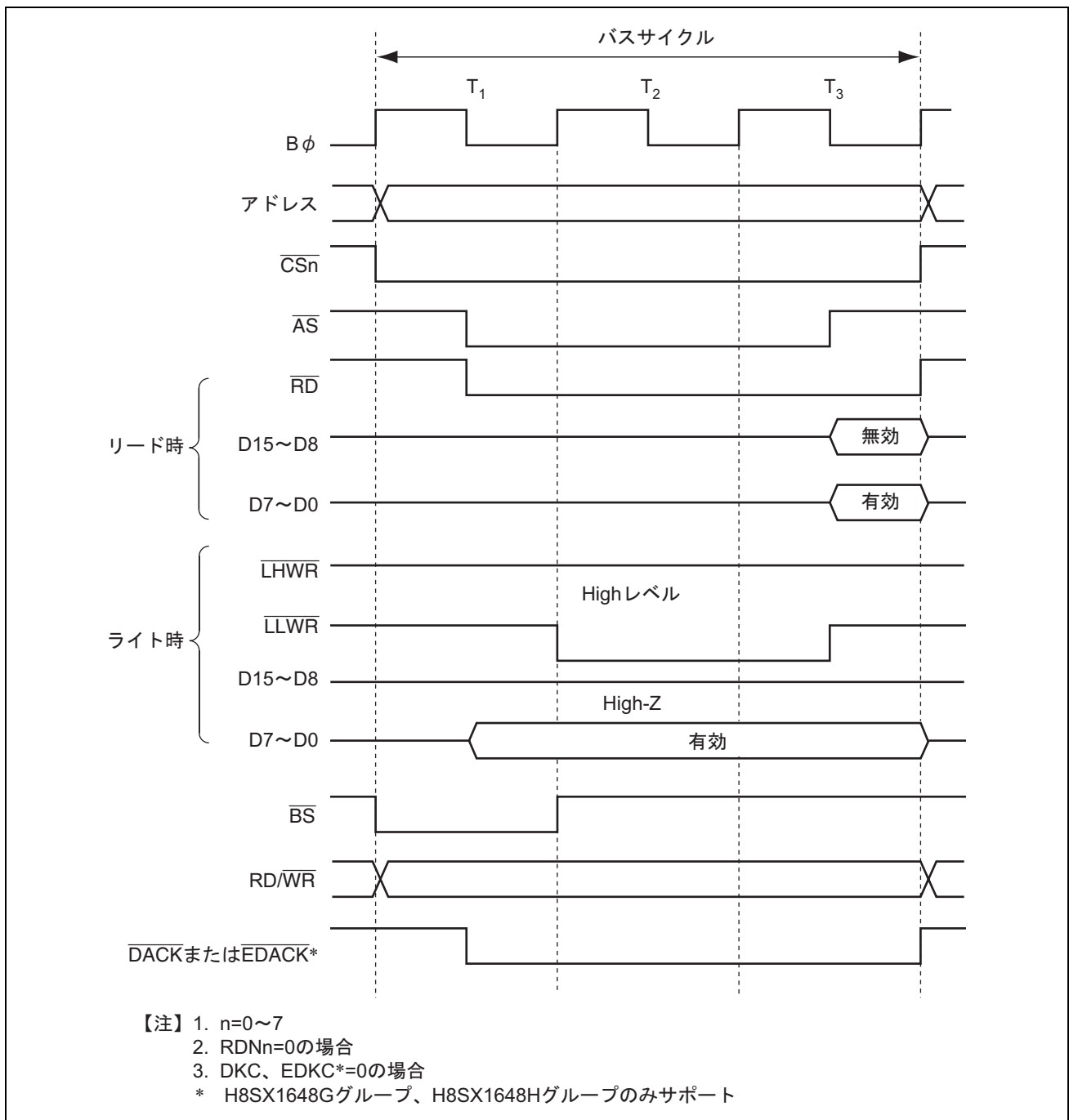


図 9.19 16 ビット 3 ステートアクセス空間のバスタイミング (奇数アドレスバイトアクセス)

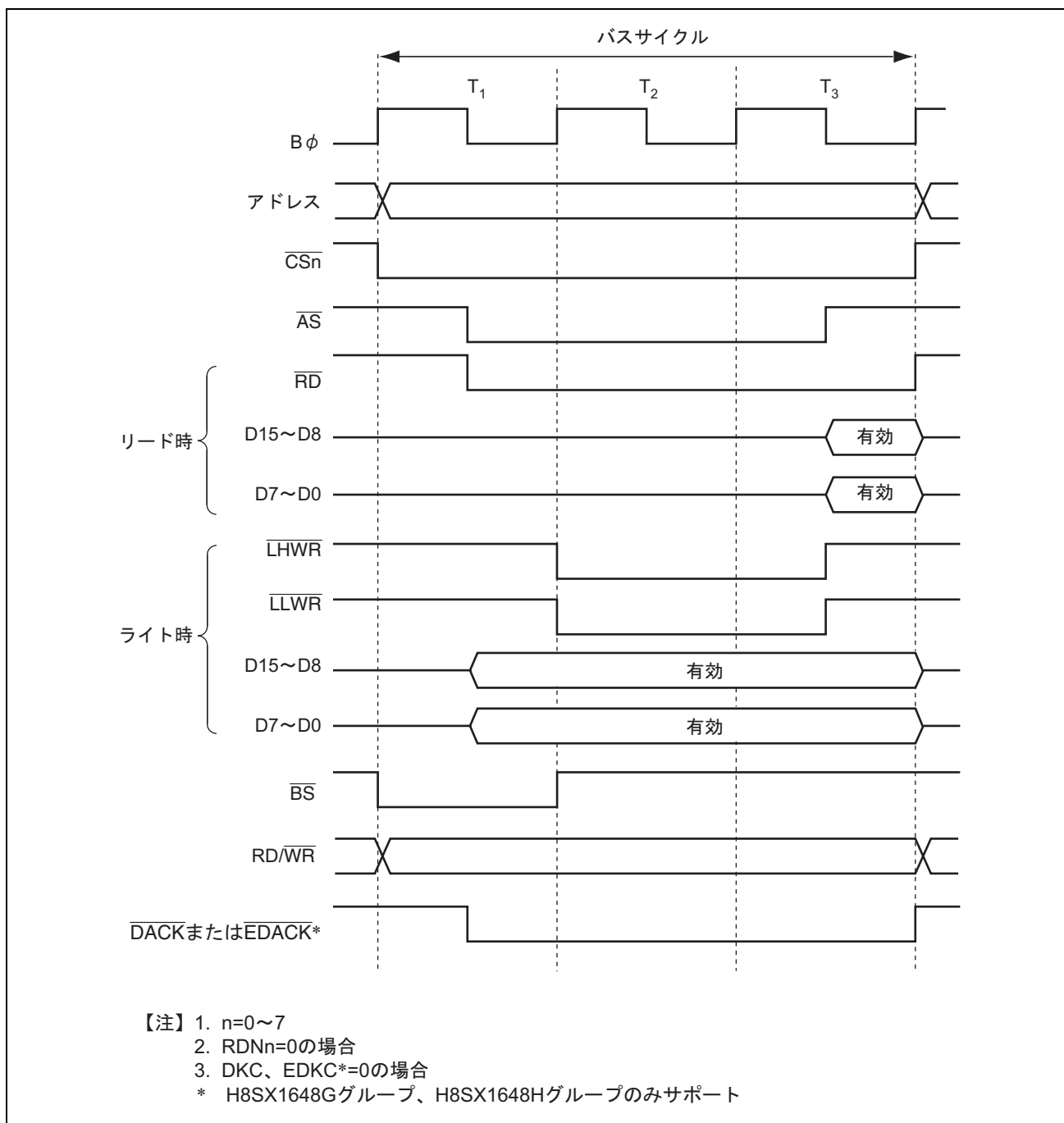


図 9.20 16 ビット 3 ステートアクセス空間のバスタイミング (偶数アドレスワードアクセス)

9.6.4 ウェイト制御

本 LSI は、外部空間をアクセスするときウェイトステート (Tw) を挿入してバスサイクルを引き伸ばすことができます。ウェイトステートを挿入する方法にはプログラムウェイト (Tpw) の挿入、および $\overline{\text{WAIT}}$ 端子による端子ウェイト (Ttw) の挿入があります。

(1) プログラムウェイトの挿入

WTCRA、WTCRB の設定により、3 ステートアクセス空間に対してエリア単位で 0~7 ステートのウェイトステートを自動的に T2 ステートと T3 ステートの間に挿入することができます。

(2) 端子ウェイトの挿入

3 ステートアクセス空間で BCR1 の WAITE ビットを 1 にセットし、該当する端子の ICR のビットを 1 にセットすると、 $\overline{\text{WAIT}}$ 端子によるウェイト入力が有効になります。この状態で外部空間をアクセスすると、まず WTCRA、WTCRB の設定に従ってプログラムウェイトが挿入されます。続いて T2 または Tpw の最後のステートの B ϕ の立ち上がりのタイミングで $\overline{\text{WAIT}}$ 端子が Low レベルであると、さらに Ttw が挿入されます。 $\overline{\text{WAIT}}$ 端子が Low レベルに保持されると、 $\overline{\text{WAIT}}$ 端子が High レベルになるまで Ttw が挿入されます。7 ステート以上の Tw を挿入する場合や、外部デバイスごとに挿入する Tw 数を変える場合などに有効です。WAITE ビットはすべてのエリアに対して共通です。

ICR については「13. I/O ポート」を参照してください。

図 9.21 にウェイトステート挿入のタイミング例を示します。

リセット後は、3 ステートアクセスかつプログラムウェイトを 7 ステート挿入、 $\overline{\text{WAIT}}$ 入力禁止状態となっています。

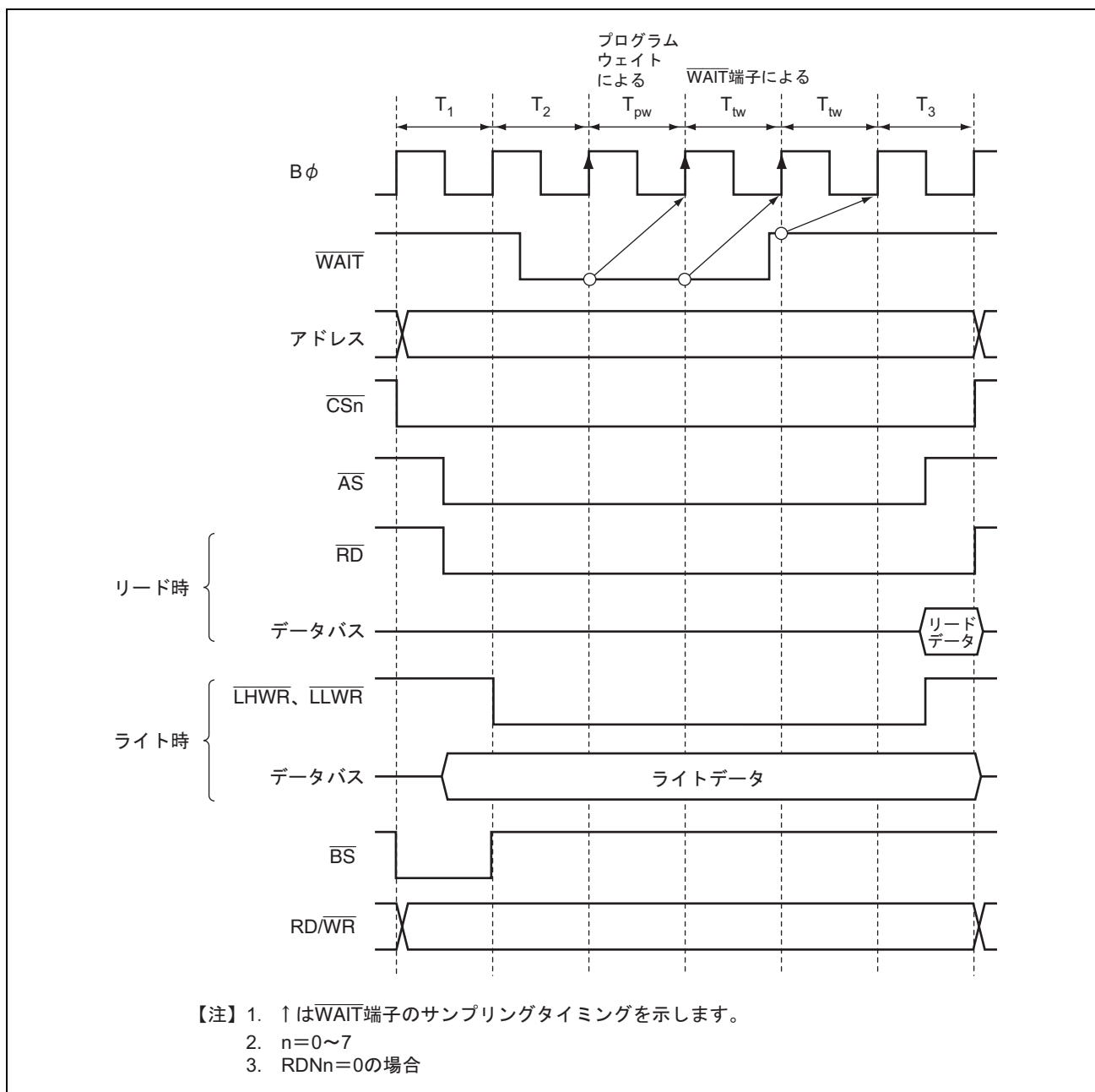


図 9.21 ウェイトステート挿入タイミング例

9.6.5 リードストロブ (\overline{RD}) タイミング

RDNCR の RDN7~RDN0 ビットを 1 にセットすると、エリア単位にリードストロブタイミングを変更することができます。

DMAC および EXDMAC* をシングルアドレスモードで使用している場合、 $RDN_n=1$ にしてリードストロブタイミングを変更すると、 \overline{DACK} 、 \overline{EDACK} * の立ち上がりに対して \overline{RD} のタイミングが変化するので注意が必要です。

図 9.22 に基本バス 3 ステートアクセス空間でリードストロブタイミングを変更した場合のタイミング例を示します。

【注】 * H8SX1648G グループ、H8SX1648H グループのみサポート

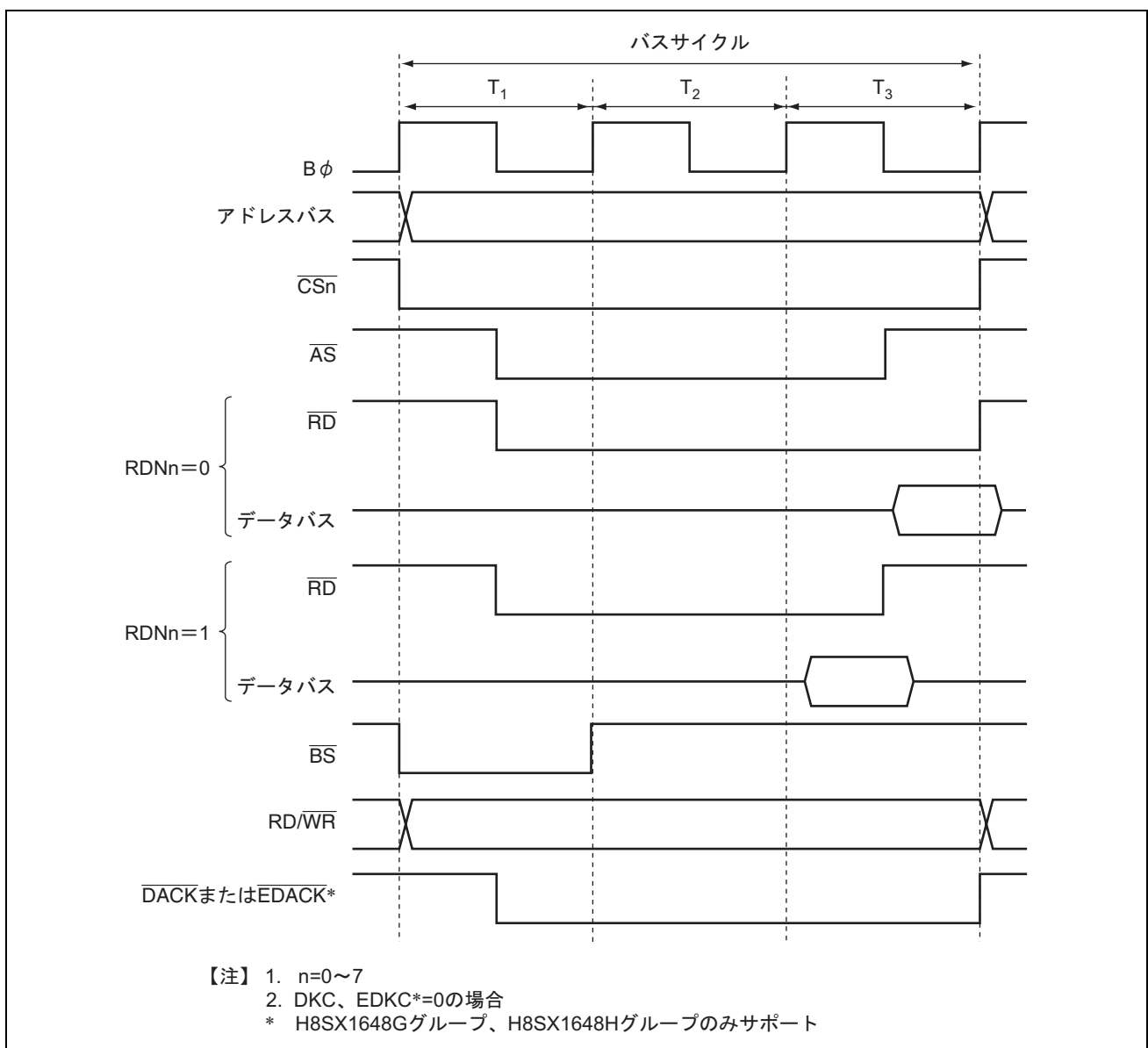


図 9.22 リードストロブタイミング例

9.6.6 チップセレクト (\overline{CS}) アサート期間拡張

外部 I/O デバイスには、 \overline{CS} 、アドレス信号と、 \overline{RD} 、 \overline{LHWR} 、 \overline{LLWR} などのストロブ信号間のセットアップ時間、およびホールド時間の確保が必要な場合があります。

CSACR の設定により、基本バス空間のアクセスサイクルの前後に \overline{CS} と \overline{AS} 、アドレス信号がアサートされるステートを挿入することができます。 \overline{CS} アサート期間の拡張はエリア単位に設定可能です。また、ライトアクセス時の \overline{CS} アサート拡張期間では、データバスにライトデータが出力されるのでデータのセットアップ時間、およびホールド時間が緩和されます。

図 9.23 に基本バス 3 ステートアクセス空間に \overline{CS} アサート期間を拡張した場合のタイミング例を示します。

基本バスサイクルの手前に挿入される拡張ステート (T_h) と、基本バスサイクルの後に挿入される拡張ステート (T_t) の両方、もしくは一方だけをエリア単位に指定することが可能です。CSACR の上位 8 ビットの CSXH7~CSXH0 ビットで T_h ステート、下位 8 ビットの CSXT7~CSXT0 ビットで T_t ステートの挿入の有無を設定することができます。

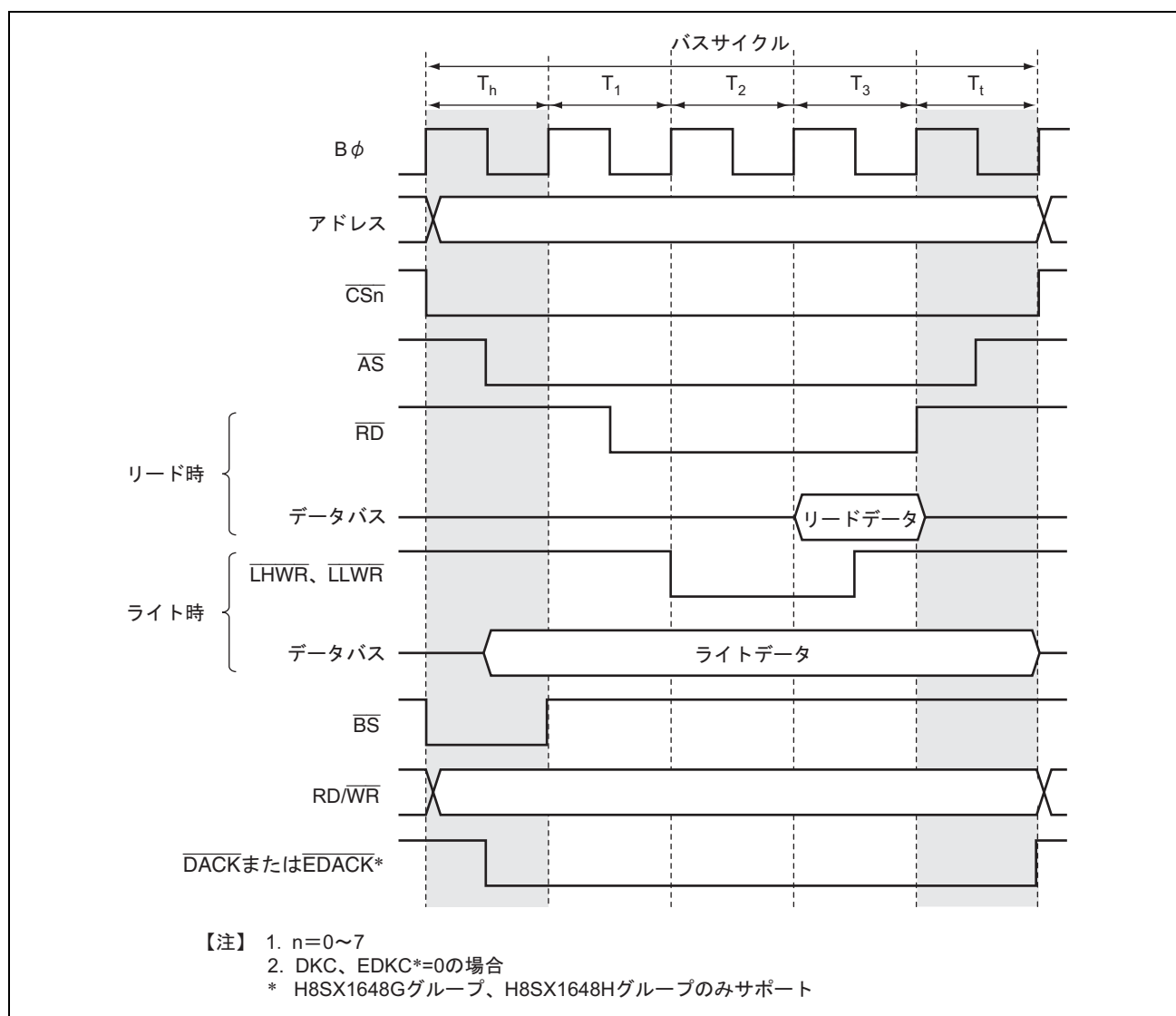


図 9.23 チップセレクトアサート期間拡張時タイミング例

9.6.7 $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}^*$ 信号の出力タイミング

DMACまたはEXDMAC*のシングルアドレス転送を行う場合、BCR1のDKC、EDKC*ビットによって $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}^*$ 信号のアサートタイミングを変更することができます。

図9.24に $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}^*$ 信号の出力タイミングを示します。DKCまたはEDKC*ビットを1にセットすることにより、 $\overline{\text{DACK}}$ または $\overline{\text{EDACK}}^*$ 信号は半サイクル早くアサートします。

【注】 * H8SX1648Gグループ、H8SX1648Hグループのみサポート

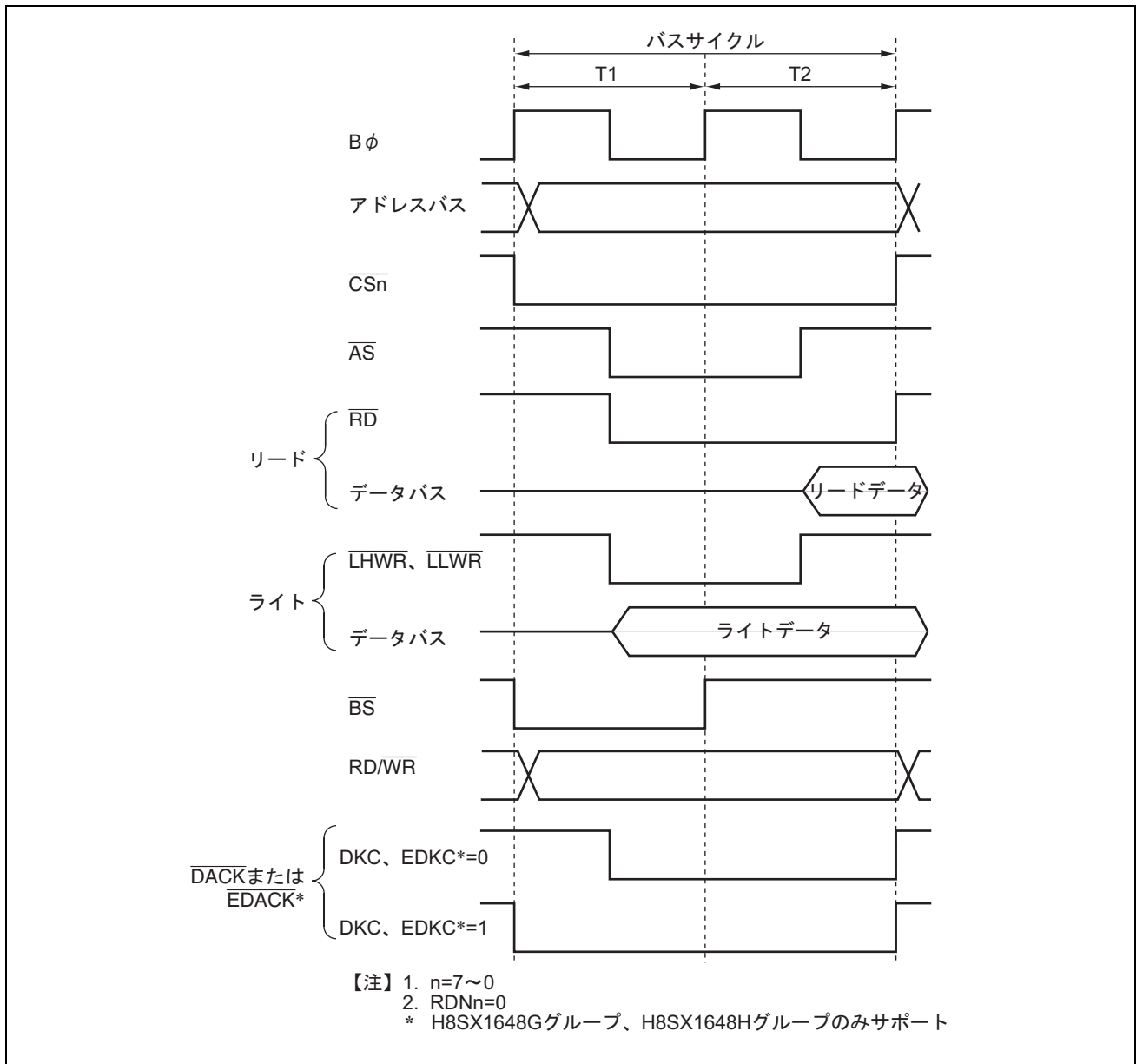


図 9.24 $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}^*$ 信号の出力タイミング

【注】 * H8SX1648Gグループ、H8SX1648Hグループのみサポート

9.7 バイト制御 SRAM インタフェース

バイト制御 SRAM インタフェースは、リード/ライトいずれのバスサイクルでもバイトセレクトストロブを出力するメモリインタフェースです。このインタフェースには、16 ビットのデータ入出力端子を持ち、 \overline{UB} 、 \overline{LB} のような上位バイトセレクトストロブ、下位バイトセレクトストロブ機能のある SRAM を接続することができます。

ライトストロブ出力端子 (\overline{LHWR} 、 \overline{LLWR}) からバイトセレクトストロブ (\overline{LUB} 、 \overline{LLB}) が出力されること、リードストロブ (\overline{RD}) のネゲートタイミングが RDNCR の設定によらず基本バスインタフェースの $RDNn=0$ に設定したときより半サイクル前になっていること、ライトイネーブルとして RD/\overline{WR} 信号を使用することを除けば、基本バスインタフェースと同様の動作となります。

9.7.1 バイト制御 SRAM 空間の設定

バイト制御 SRAM インタフェースは、エリア 0~7 に設定することができます。SRAMCR の BCSELn (n=0~7) ビットにより、各エリアをバイト制御 SRAM 空間に設定できます。バースト ROM インタフェース、アドレス/データマルチプレクス I/O インタフェースに設定されているエリアでは、SRAMCR の設定は無効となりバイト制御 SRAM インタフェースを使用することはできません。

9.7.2 データバス

バイト制御 SRAM 空間のバス幅は、ABWCR の ABWHn、ABWLn ビット (n=0~7) により、当該エリアを 16 ビットバイト制御 SRAM 空間に設定できます。8 ビットアクセス空間に設定したエリアは、バイト制御 SRAM 空間に設定できません。

16 ビットバイト制御 SRAM 空間では D15~D0 のデータバスが有効となります。

アクセスサイズとデータアライメントは、基本バスインタフェースと同様です。詳細は「9.5.6 エンディアンとデータアライメント」を参照してください。

9.7.3 バイト制御 SRAM インタフェースの入出力端子

表 9.16 にバイト制御 SRAM インタフェースの入出力端子を示します。

バイト制御 SRAM インタフェースでは、ライトストロブ端子 ($\overline{\text{LHWR}}$ 、 $\overline{\text{LLWR}}$) からバイトセレクトストロブを出力します。また、ライトイネーブル信号として、 $\text{RD}/\overline{\text{WR}}$ 信号を使用します。

表 9.16 バイト制御 SRAM インタフェースの入出力端子

端子	バイト制御 SRAM 設定時	名称	入出力	機能
$\overline{\text{AS}}/\overline{\text{AH}}$	$\overline{\text{AS}}$	アドレスストロブ	出力	基本バス空間、またはバイト制御 SRAM 空間をアクセス中で、アドレスバス上のアドレス出力が有効であることを示すストロブ信号
$\overline{\text{CSn}}$	$\overline{\text{CSn}}$	チップセレクト	出力	エリア n が選択されていることを示すストロブ信号
$\overline{\text{RD}}$	$\overline{\text{RD}}$	リードストロブ	出力	バイト制御 SRAM 空間アクセス中の SRAM のアウトプットイネーブル
$\text{RD}/\overline{\text{WR}}$	$\text{RD}/\overline{\text{WR}}$	リード/ライト	出力	バイト制御 SRAM 空間アクセス中の SRAM のライトイネーブル信号
$\overline{\text{LHWR}}/\overline{\text{LUB}}$	$\overline{\text{LUB}}$	ロウアーアッパーバイトセレクト	出力	16 ビットバイト制御 SRAM 空間アクセス中のアッパーバイトセレクト
$\overline{\text{LLWR}}/\overline{\text{LLB}}$	$\overline{\text{LLB}}$	ロウアーロウアーバイトセレクト	出力	16 ビットバイト制御 SRAM 空間アクセス中のロウアーバイトセレクト
$\overline{\text{WAIT}}$	$\overline{\text{WAIT}}$	ウェイト	入力	外部空間をアクセスするときのウェイト要求信号
A23~A0	A23~A0	アドレス端子	出力	アドレス出力端子
D15~D0	D15~D0	データ端子	入出力	データ入出力端子

9.7.4 基本タイミング

(1) 2ステートアクセス空間

図 9.25 にバイト制御 SRAM 空間を 2 ステートアクセス空間としたときのバスタイミングを示します。

16 ビットアクセス空間をアクセスするとき使用するデータバスは、基本バスインタフェースと同様になります。ウェイトステートを挿入することはできません。

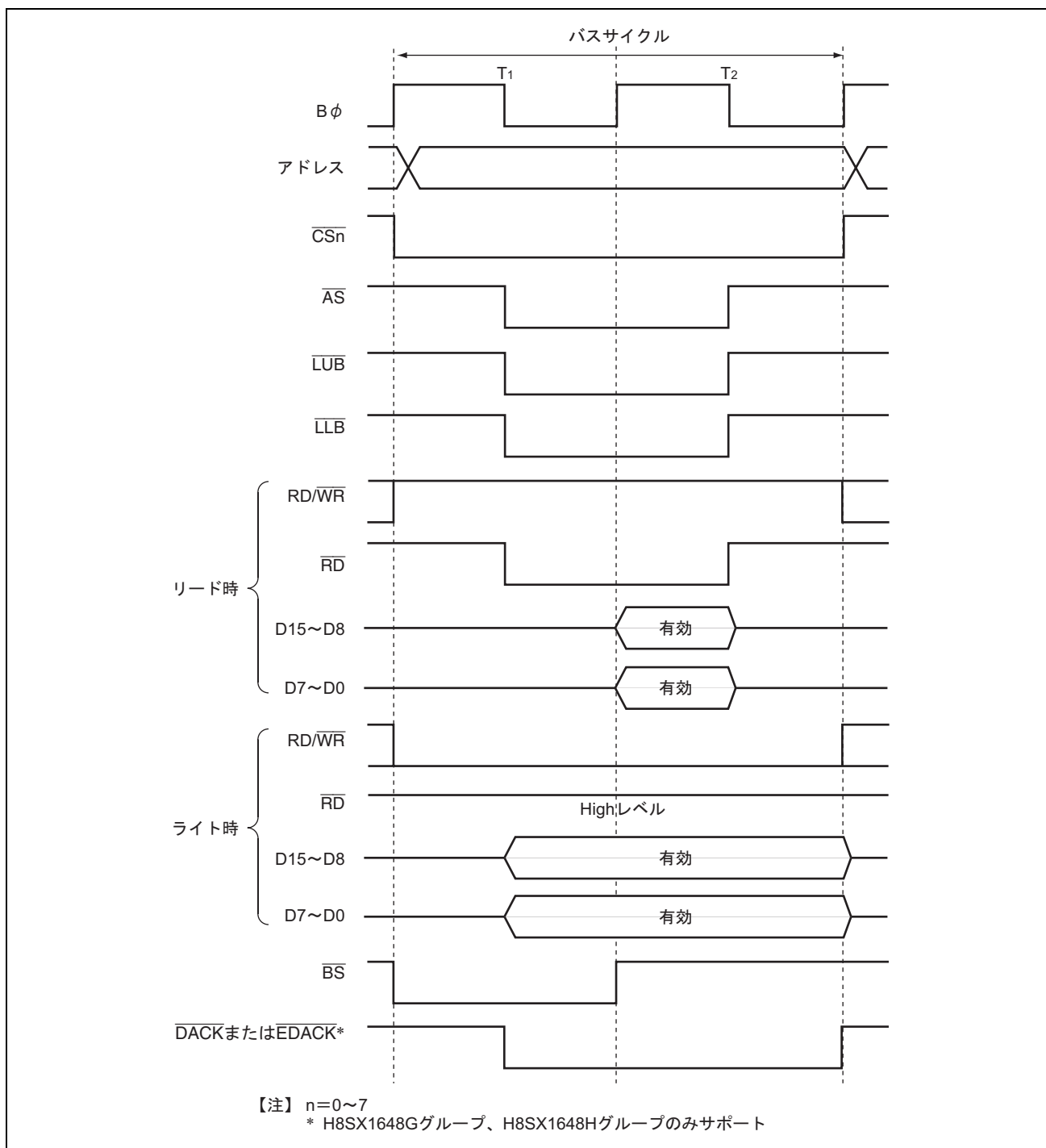


図 9.25 16 ビット 2 ステートアクセス空間のバスタイミング

(2) 3ステートアクセス空間

図 9.26 にバイト制御 SRAM 空間を 3 ステートアクセス空間としたときのバスタイミングを示します。

16 ビットアクセス空間をアクセスするとき使用するデータバスは、基本バスインタフェースと同様になります。ウェイトステートを挿入することができます。

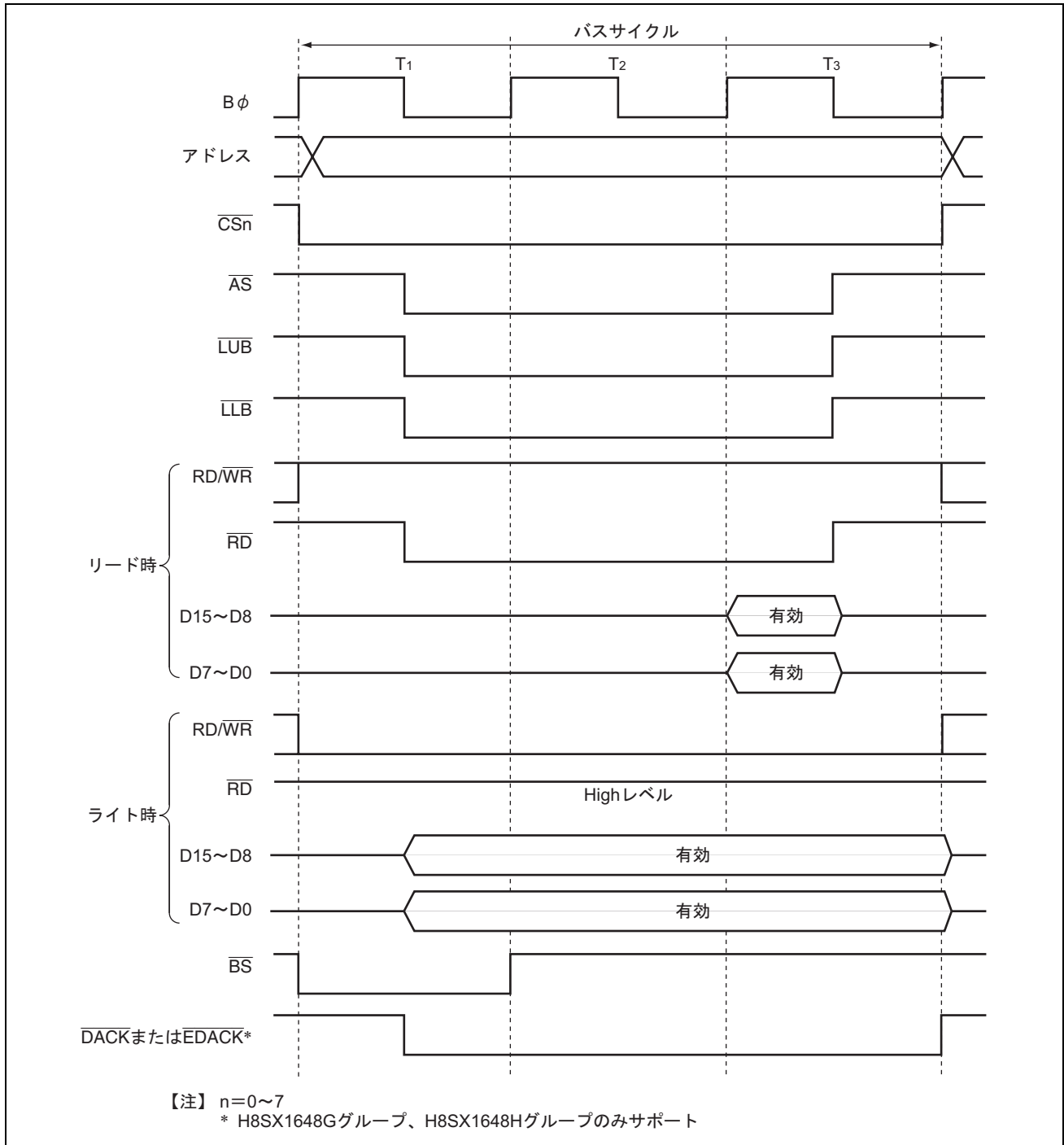


図 9.26 16 ビット 3 ステートアクセス空間のバスタイミング

9.7.5 ウェイト制御

バイト制御 SRAM インタフェースにおいても、基本バスインタフェースと同様にウェイトステートを挿入してバスサイクルを引き伸ばすことができます。

(1) プログラムウェイトの挿入

WTCRA、WTCRB の設定により、3 ステートアクセス空間に対してエリア単位で 0~7 ステートのウェイトステートを自動的に T2 ステートと T3 ステートの間に挿入することができます。

(2) 端子ウェイトの挿入

3 ステートアクセス空間で BCR1 の WAITE ビットを 1 にセットし、該当する端子の DDR のビットを 0 にクリアして、ICR のビットを 1 にセットすると、 $\overline{\text{WAIT}}$ 端子によるウェイト入力が有効になります。

DDR、ICR については「13. I/O ポート」を参照してください。

図 9.27 にウェイトステート挿入のタイミング例を示します。

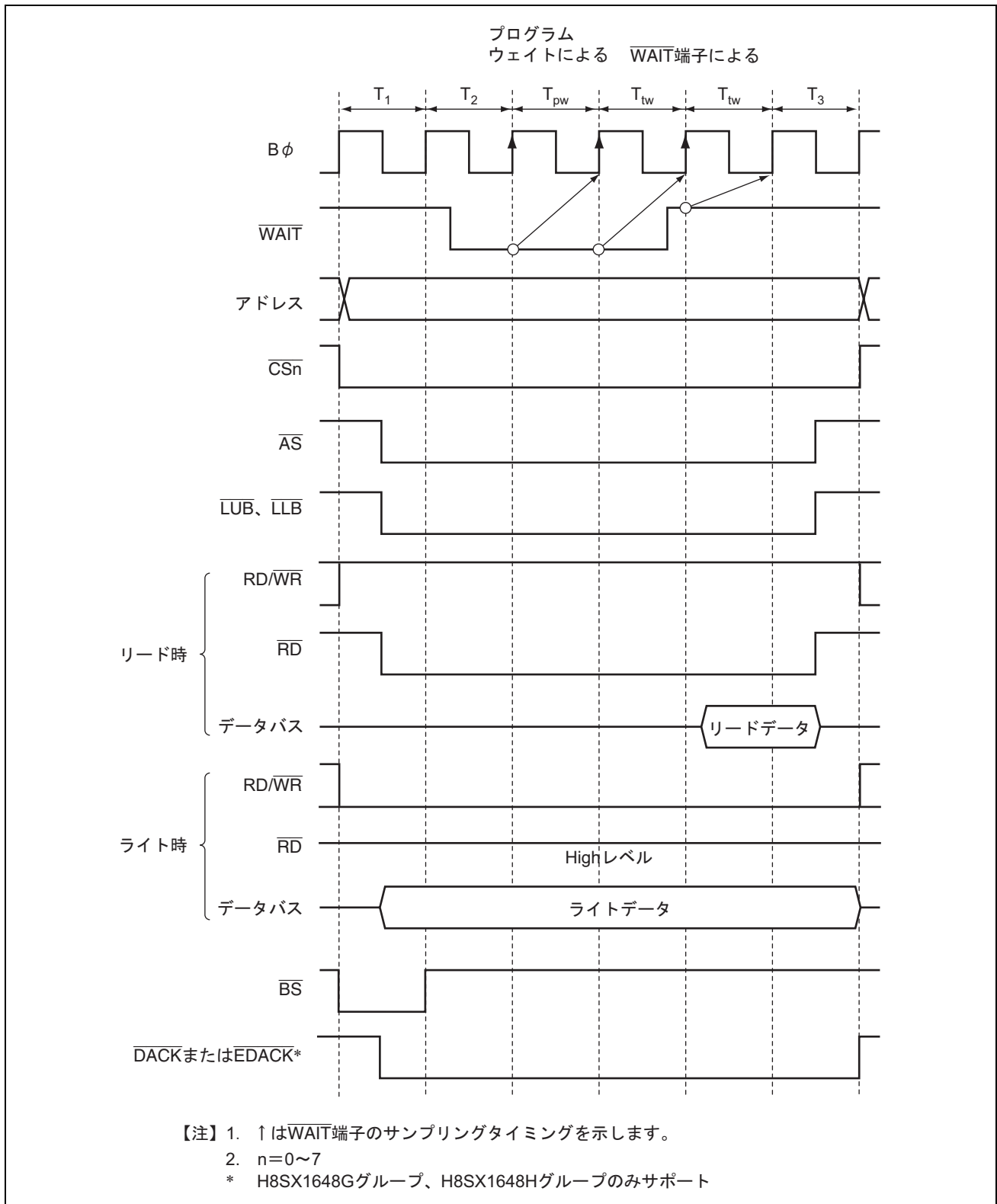


図 9.27 ウェイト状態挿入のタイミング例

9.7.6 リードストローク (\overline{RD})

バイト制御 SRAM 空間を設定すると、当該空間では RDNCR の設定は無効となります。

バイト制御 SRAM インタフェースのリードストロークネゲートタイミングは、基本バスインタフェースにおいて RDNn=1 の設定をしたときと同じタイミングです。 \overline{DACK} 、 \overline{EDACK}^* の立ち上がりに対して、 \overline{RD} のタイミングが異なりますので注意してください。

9.7.7 チップセレクト (\overline{CS}) アサート期間延長

バイト制御 SRAM インタフェースにおいても、基本バスインタフェースと同様にバスサイクルの前後に拡張ステートを挿入することができます。詳細については、「9.6.6 チップセレクト (\overline{CS}) アサート期間拡張」を参照してください。

9.7.8 \overline{DACK} 、 \overline{EDACK}^* 信号の出力タイミング

DMACまたはEXDMAC*のシングルアドレス転送を行う場合、BCR1のDKC、EDKC*ビットによって \overline{DACK} 、 \overline{EDACK}^* 信号のアサートタイミングを変更することができます。

図 9.28 に \overline{DACK} 、 \overline{EDACK}^* 信号の出力タイミングを示します。DKC または EDKC*ビットを 1 にセットすることにより、 \overline{DACK} または \overline{EDACK}^* 信号は半サイクル早くアサートします。

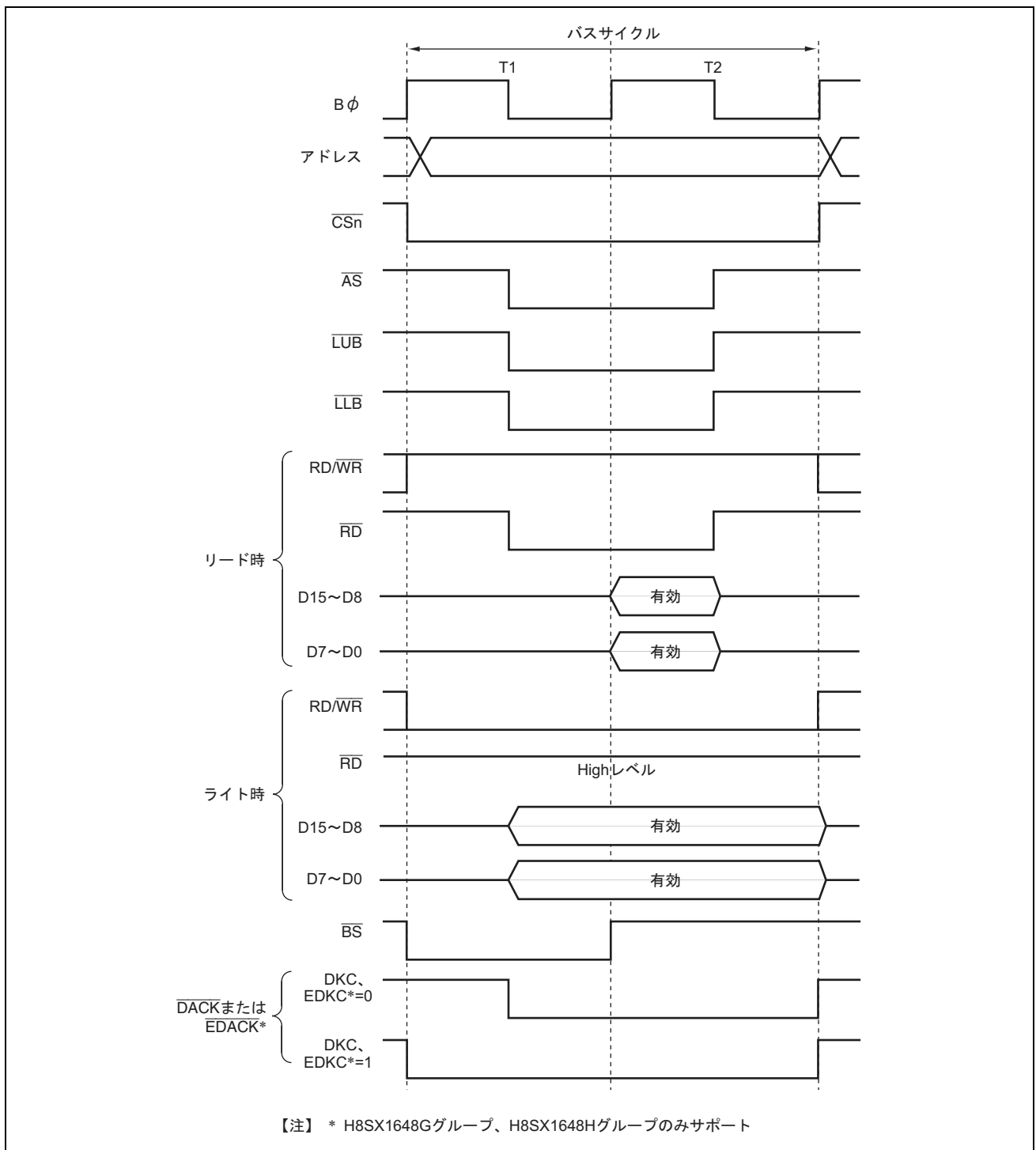


図 9.28 DACK、EDACK*信号の出カタイミング

【注】 * H8SX1648G グループ、H8SX1648H グループのみサポート

9.8 バースト ROM インタフェース

本 LSI は、エリア 0 およびエリア 1 の外部空間をバースト ROM 空間に設定すると、バースト ROM インタフェースを行うことができます。バースト ROM インタフェースでは、ページアクセス可能な ROM を高速にアクセスすることができます。

BROMCR の BSRM1、BSRM0 ビットにより、エリア 1 およびエリア 0 をバースト ROM 空間に設定します。BROMCR の BSWDn1、BSWDn0 (n=0、1) ビットの設定により、最大 32 ワードの連続バーストアクセスを行うことができます。バーストアクセスは 1 ステートから 8 ステートを選択できます。

エリア 0 およびエリア 1 を独立に設定することができます。

バースト ROM インタフェースでは、CPU によるリードアクセスのみがバーストアクセスの対象となります。その他のアクセスは基本バスインタフェース相当になります。

9.8.1 バースト ROM 空間の設定

バースト ROM インタフェースは、エリア 0、1 に設定することができます。BROMCR の BSRMn (n=0、1) ビットにより、エリア 0、1 をバースト ROM 空間に設定できます。

9.8.2 データバス

バースト ROM 空間のバス幅は、ABWCR の ABWHn、ABWLn ビット (n=0、1) により、当該エリアを 8 ビットバースト ROM 空間、16 ビットバースト ROM 空間に設定できます。

8 ビットバス幅では D7~D0、16 ビットバス幅では D15~D0 のデータバスが有効になります。

アクセスサイズとデータアライメントは基本バスインタフェースのビッグエンディアンのとときと同様です。詳細は「9.5.6 エンディアンとデータアライメント」を参照してください。

9.8.3 バースト ROM インタフェースの入出力端子

表 9.17 にバースト ROM インタフェースの入出力端子を示します。

表 9.17 バースト ROM インタフェースの入出力端子

名称	記号	入出力	機能
バスサイクル開始	\overline{BS}	出力	バスサイクルの開始を示す信号です。
アドレスストロープ	\overline{AS}	出力	アクセス中、アドレスバス上のアドレス出力が有効であることを示すストロープ信号です。
リードストロープ	\overline{RD}	出力	リードアクセス中であることを示すストロープ信号です。
リード/ライト	RD/\overline{WR}	出力	データバスの入出力方向指示信号です。
ロウハイライト	\overline{LHWR}	出力	ライトアクセス中であり、データバスの上位バイト (D15~D8) が有効であることを示すストロープ信号です。
ロウロウライト	\overline{LLWR}	出力	ライトアクセス中であり、データバスの下位バイト (D7~D0) が有効であることを示すストロープ信号です。
チップセレクト 0、1	$\overline{CS0}$ 、 $\overline{CS1}$	出力	エリアが選択されていることを示すストロープ信号です。
ウェイト	\overline{WAIT}	入力	外部空間をアクセスするときのウェイト要求信号です。

9.8.4 基本タイミング

バースト ROM インタフェースのイニシャルサイクル (フルアクセス) のアクセスステート数は、ABWCR、ASTCR、WTCRA、WTCRB と CSACR の CSXHn (n=0~7) ビットによる基本バスインタフェースの設定に従います。エリア 0 またはエリア 1 をバースト ROM 空間に設定した場合、CPU によるリードアクセスと EXDMAC* のクラスタ転送によるリードアクセス時は RDNCR と CSACR の CSXTn (n=0~7) ビットの設定は無視されます。

バーストサイクルは、BROMCR の BSTS02~BSTS00、BSTS12~BSTS10 ビットの設定により、1 ステートから 8 ステートの選択が可能です。ウェイトステートは挿入できません。また、BROMCR の BSTS01、BSTS00、BSTS11、BSTS10 ビットの設定により、4 ワード/8 ワード/16 ワード/32 ワードの連続バーストアクセスを行います。

図 9.29、図 9.30 にバースト ROM 空間の基本アクセスタイミング例を示します。

【注】 * H8SX1648G グループ、H8SX1648H グループのみサポート

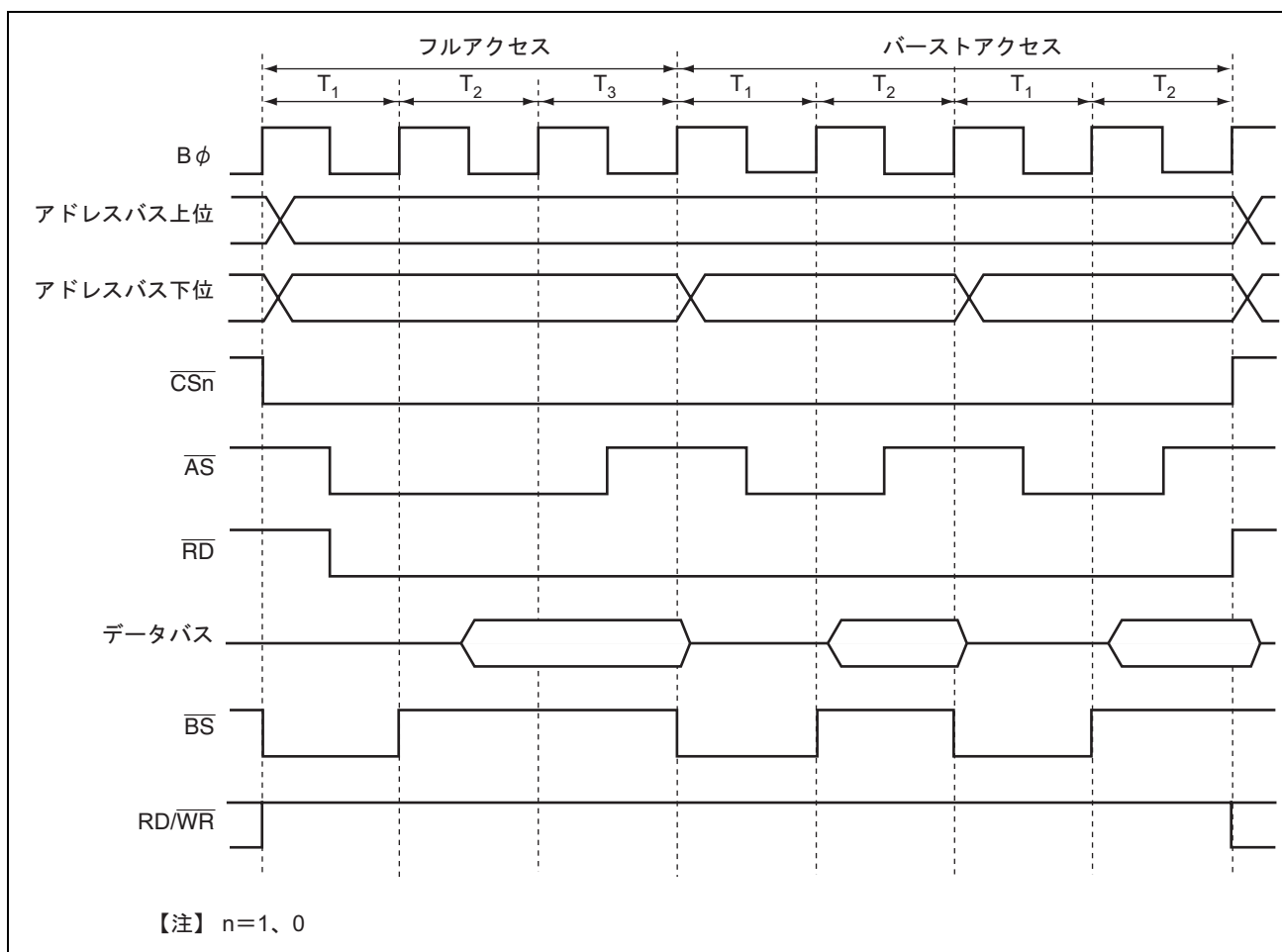


図 9.29 バースト ROM アクセスタイミング例 (ASTn=1、バーストサイクル 2 ステート)

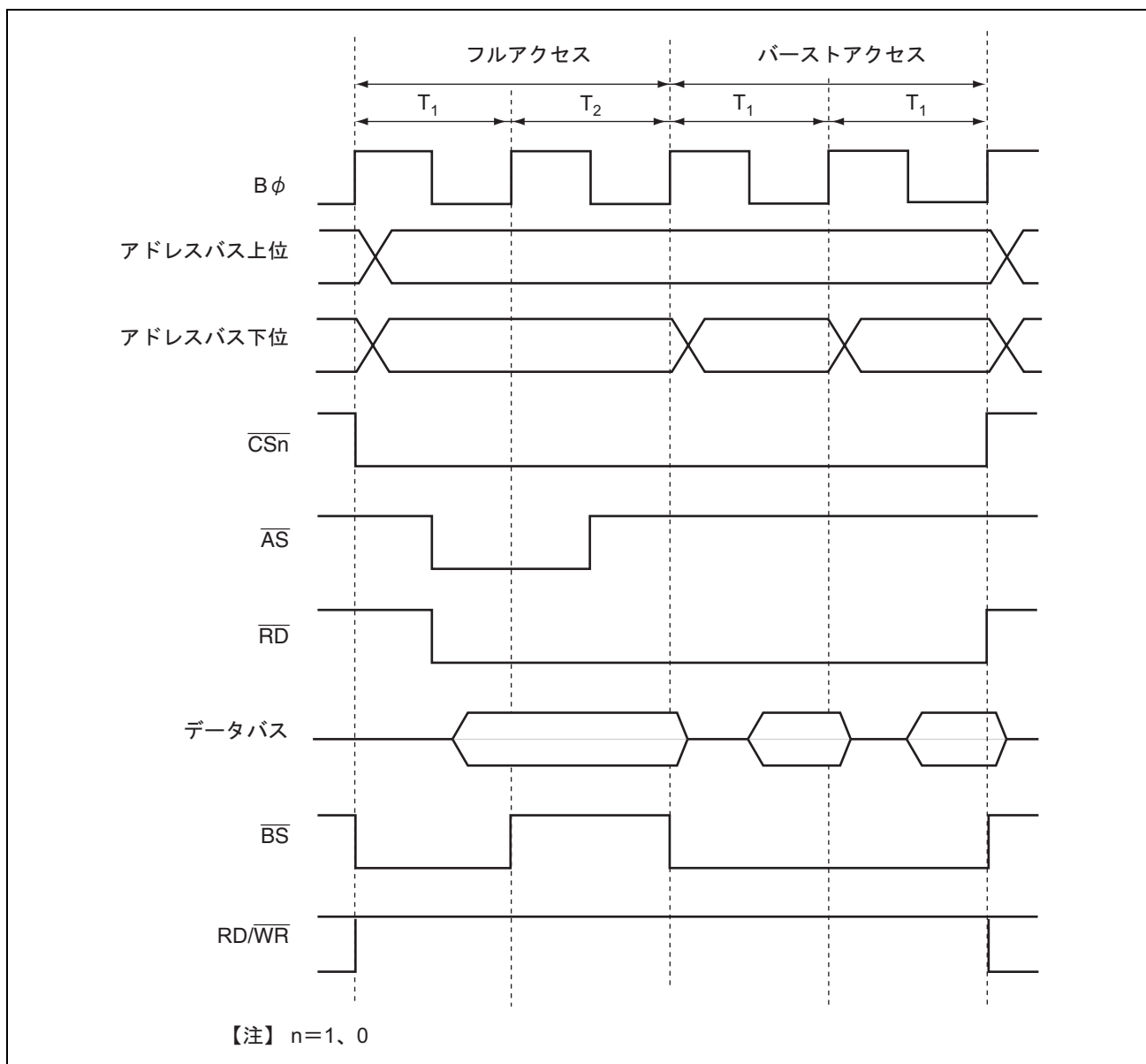


図 9.30 バースト ROM アクセスタイミング例 (ASTn=0、バーストサイクル1ステート)

9.8.5 ウェイト制御

バースト ROM インタフェースのイニシャルサイクル (フルアクセス) には、基本バスインタフェースと同様にプログラムウェイトの挿入、 $\overline{\text{WAIT}}$ 端子による端子ウェイトの挿入が可能です。詳細は「9.6.4 ウェイト制御」を参照してください。

バーストサイクルには、ウェイトステートを挿入することはできません。

9.8.6 リードストローブタイミング

バースト ROM 空間にすると、当該空間では CPU によるリードアクセスと EXDMAC* のクラスタ転送によるリードアクセス時は RDNCr の設定は無効となります。

バースト ROM インタフェースのリードストローブネゲートタイミングは、基本バスインタフェースにおいて RDNn=0 の設定のときと同じタイミングです。

【注】 * H8SX1648G グループ、H8SX1648H グループのみサポート

9.8.7 チップセレクトアサート期間延長

バースト ROM インタフェースにおいても、基本バスインタフェースと同様にバースト ROM 空間アクセスサイクルに拡張サイクルを挿入することができます。

バースト ROM 空間に対しては、CPU によるリードアクセス時、または EXDMAC* のクラスタ転送によるリードアクセス時のみバーストアクセス可能です。このときの CSACr の当該 CSXTn の設定は無視され、フルアクセスサイクルの前にのみ拡張サイクルを挿入することができます。バーストアクセスサイクルの前後には拡張サイクルは挿入されません。

CPU によるリードおよび EXDMAC* のクラスタ転送によるリード以外のアクセスについては、バースト ROM 空間が基本バスインタフェース相当となるため、バースト ROM 空間アクセスサイクルの前後に拡張サイクルを挿入することができます。

【注】 * H8SX1648G グループ、H8SX1648H グループのみサポート

9.9 アドレス/データマルチプレクス I/O インタフェース

本 LSI は、エリア 3 からエリア 7 の外部空間をアドレス/データマルチプレクス I/O 空間に設定すると、アドレス/データマルチプレクス I/O インタフェースを行うことができます。アドレス/データマルチプレクス I/O インタフェースでは、アドレス/データマルチプレクスが必要な周辺 LSI を本 LSI に直結できます。

9.9.1 アドレス/データマルチプレクス I/O 空間の設定

アドレス/データマルチプレクス I/O インタフェースは、エリア 3~7 に設定することができます。MPXCR の MPXEn (n=7~3) ビットにより、各エリアをアドレス/データマルチプレクス I/O 空間に設定できます。

9.9.2 アドレス/データマルチプレクス

アドレス/データマルチプレクス I/O 空間では、データバスがアドレスバスとマルチプレクスされています。表 9.18 にバス幅に対応するアドレス出力の関係を示します。

表 9.18 アドレス/データマルチプレクス一覧

バス幅	サイクル	データ端子															
		PI7	PI6	PI5	PI4	PI3	PI2	PI1	PI0	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0
8 ビット	アドレス	—	—	—	—	—	—	—	—	A7	A6	A5	A4	A3	A2	A1	A0
	データ	—	—	—	—	—	—	—	—	D7	D6	D5	D4	D3	D2	D1	D0
16 ビット	アドレス	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
	データ	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

9.9.3 データバス

アドレス/データマルチプレクス I/O 空間のバス幅は、ABWCR の ABWHn、ABWLn ビット (n=7~3) により、当該エリアを 8 ビットアクセス空間または 16 ビット空間に設定できます。

8 ビットアクセス空間に設定した場合はアドレス/データともに D7~D0 が有効となり、16 ビットアクセス空間に設定した場合はアドレス/データともに D15~D0 が有効となります。アドレス/データマルチプレクス I/O 空間がアクセスされた場合においても、アドレスバスには対応するアドレスが出力されます。

アクセスサイズとデータアライメントについては、「9.5.6 エンディアンとデータアライメント」を参照してください。

9.9.4 アドレス/データマルチプレクス I/O インタフェースの入出力端子

表 9.19 にアドレス/データマルチプレクス I/O インタフェースの入出力端子を示します。

表 9.19 アドレス/データマルチプレクス I/O インタフェースの入出力端子

端子	アドレス/データ マルチプレクス I/O 設定時	名称	入出力	機能
\overline{CSn}	\overline{CS}	チップセレクト	出力	エリア n をアドレス/データマルチプレクス I/O 空間に設定したときのチップセレクト (n=3~7)
$\overline{AS/AH}$	\overline{AH}^*	アドレスホールド	出力	アドレス/データマルチプレクス I/O 空間に設定したときのアドレスホールド信号
\overline{RD}	\overline{RD}	リードストロープ	出力	アドレス/データマルチプレクス I/O 空間をリード中であることを示す信号
$\overline{LHWR/LUB}$	\overline{LHWR}	ロウハイライト	出力	アドレス/データマルチプレクス I/O 空間をライト中で、データバスの上位 (D15~D8) が有効であることを示すストロープ信号
$\overline{LLWR/LLB}$	\overline{LLWR}	ロウロウライト	出力	アドレス/データマルチプレクス I/O 空間をライト中で、データバスの下位 (D7~D0) が有効であることを示すストロープ信号
D15~D0	D15~D0	アドレス/データ	入出力	アドレス/データマルチプレクス I/O 空間のアドレス/データのマルチプレクス 8 ビット空間に設定した場合は D7~D0 のみ有効 16 ビット空間に設定した場合は D15~D0 が有効
A23~A0	A23~A0	アドレス端子	出力	アドレス出力
\overline{WAIT}	\overline{WAIT}	ウェイト	入力	外部空間をアクセスするときのウェイト要求信号
\overline{BS}	\overline{BS}	バスサイクル開始	出力	バスサイクルの開始を示す信号
$\overline{RD/WR}$	$\overline{RD/WR}$	リード/ライト	出力	データバスの入出力方向指示信号

【注】 * \overline{AH} 出力端子は、 \overline{AS} 出力端子と兼用されています。いずれか一つのエリアをアドレス/データマルチプレクス I/O に設定した時点で \overline{AH} 出力端子となり、 \overline{AS} 出力端子としては使用できなくなります。他の基本バスインタフェースのエリアをアクセスしても \overline{AS} 信号は出力されません。ただし、アドレス/データマルチプレクス I/O に設定するまでは、 \overline{AS} 出力端子となっています。

9.9.5 基本タイミング

アドレスデータマルチプレクス I/O インタフェースのバスサイクルは、アドレスサイクルとデータサイクルからなります。データサイクルは ABWCR、ASTCR、WTCRA、WTCRB、RDNCR、CSACR による基本バスインタフェースの設定に従います。

図 9.31、図 9.32 に基本アクセスタイミングを示します。

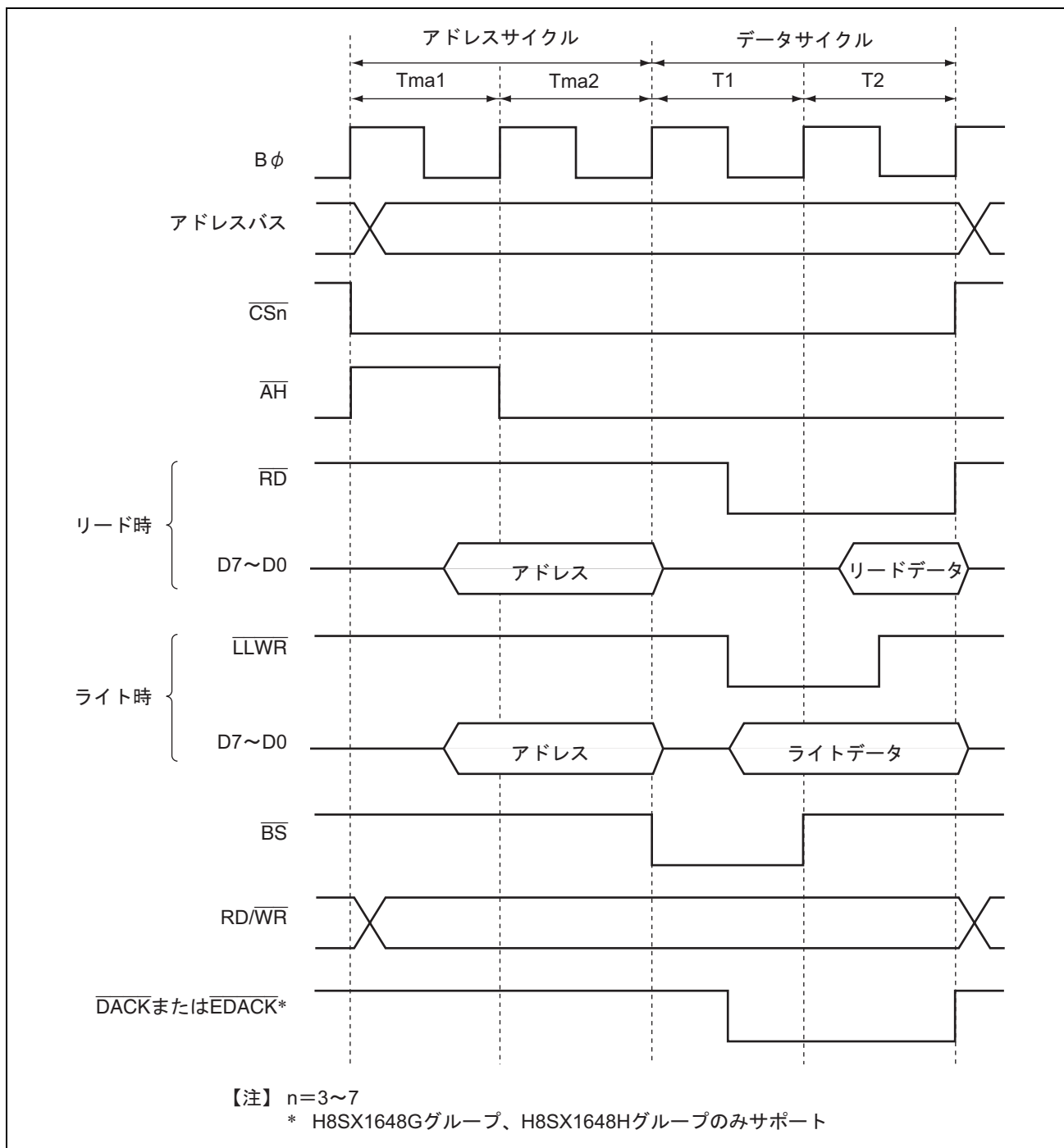


図 9.31 8 ビットアクセス空間へのアクセスタイミング (ABWHn=1、ABWLn=1)

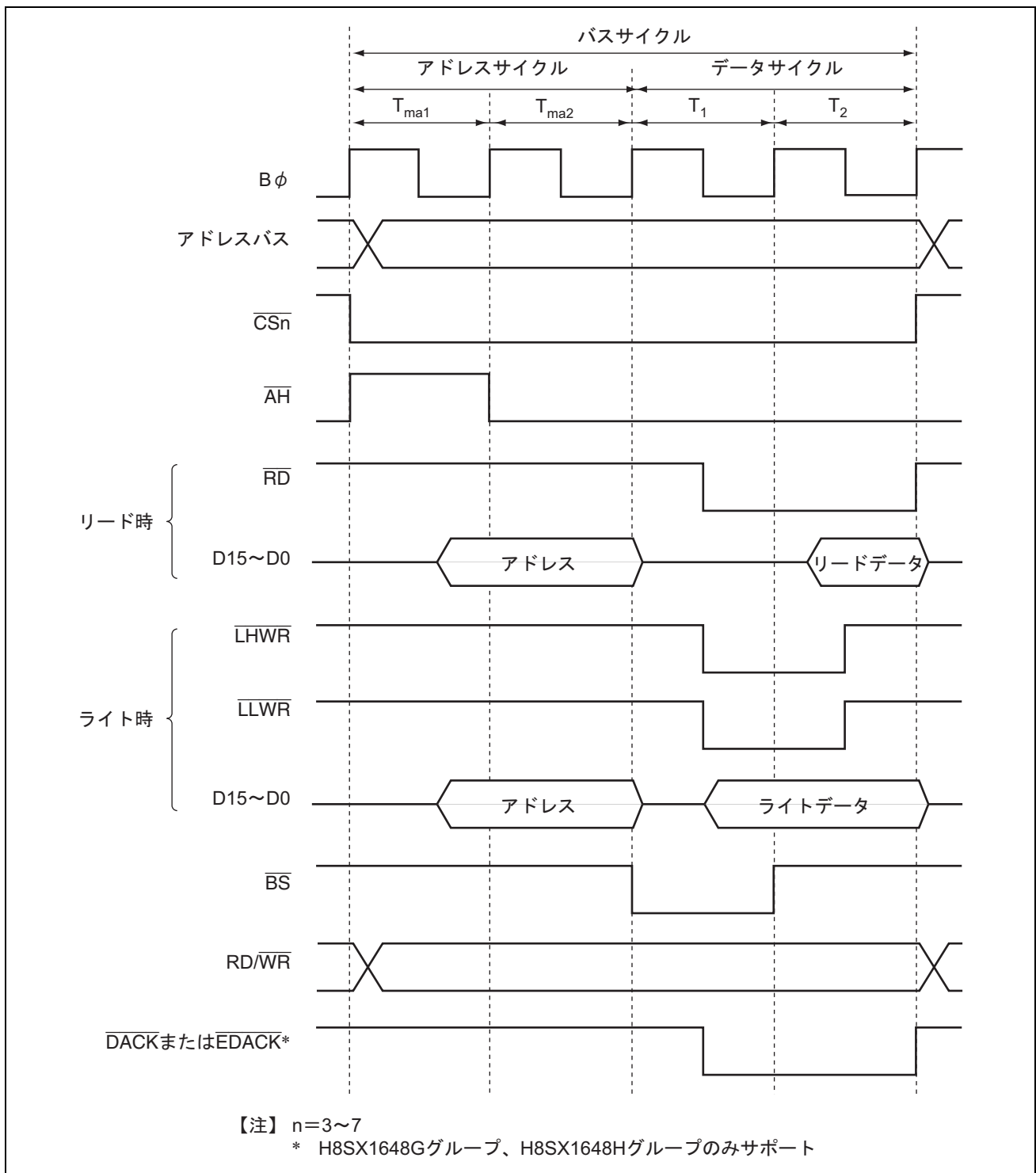


図 9.32 16 ビットアクセス空間へのアクセスタイミング (ABWHn=0、ABWLn=1)

9.9.6 アドレスサイクル制御

MPXCR の ADDEX ビットを 1 にセットすることにより、T_{ma1} サイクルと T_{ma2} サイクルの間に \overline{AH} 信号の出力期間を拡張するステート (T_{maw}) を 1 ステート挿入することができます。T_{maw} ステートの挿入により、 \overline{AH} に対するアドレスのセットアップと \overline{AH} の最小パルス幅を確保することができます。

図 9.33 にアドレスサイクルが 3 サイクルになる場合のアクセスタイミング例を示します。

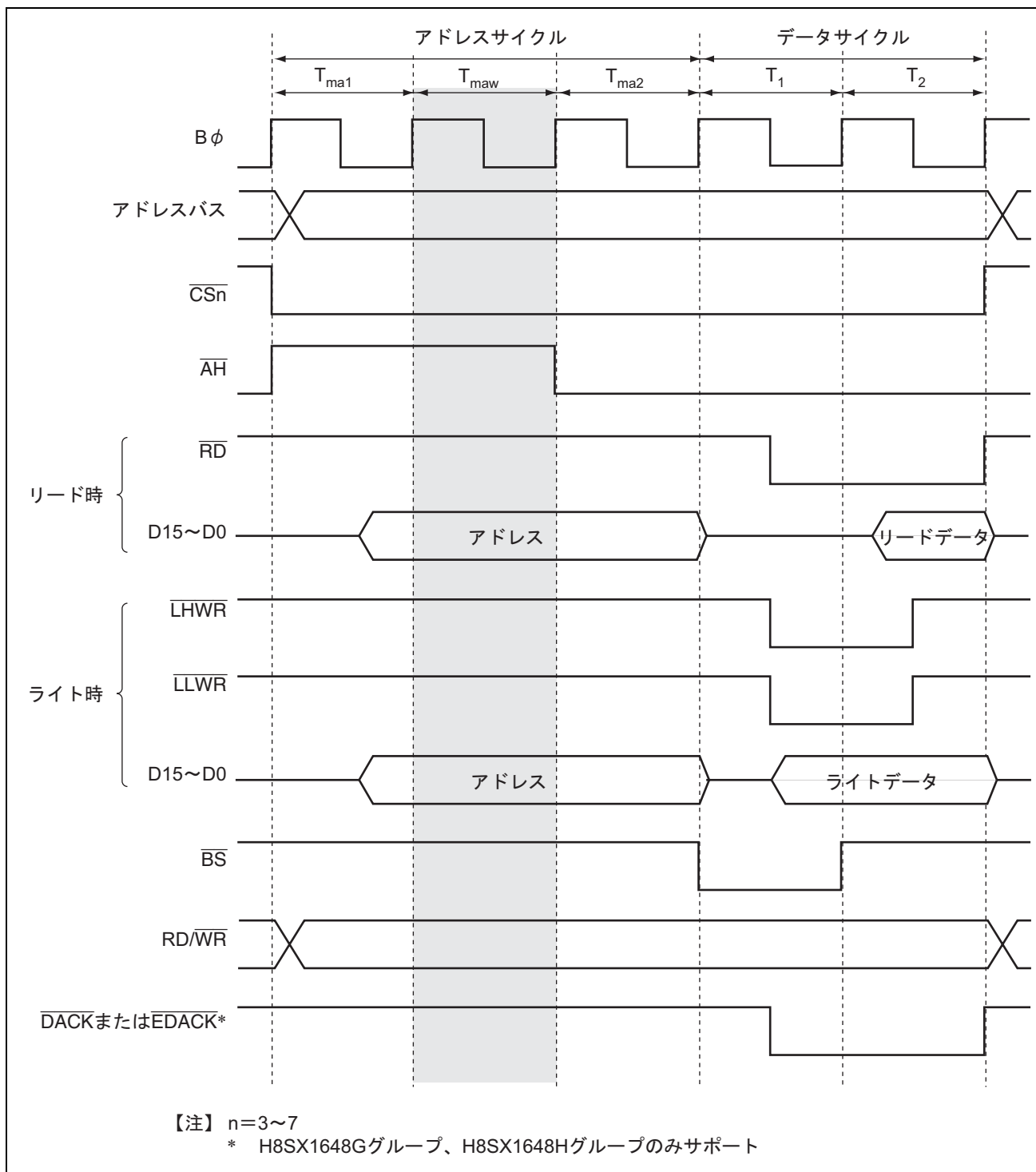


図 9.33 アドレスサイクル 3 サイクルのアクセスタイミング例 (ADDEX=1)

9.9.7 ウェイト制御

アドレス/データマルチプレクス I/O インタフェースのデータサイクルには、基本バスインタフェースと同様にプログラムウェイトの挿入、 $\overline{\text{WAIT}}$ 端子による端子ウェイトの挿入が可能です。詳細は「9.6.4 ウェイト制御」を参照してください。

ウェイト制御の設定は、アドレスサイクルに影響を与えません。

9.9.8 リードストローク ($\overline{\text{RD}}$) タイミング

アドレス/データマルチプレクス I/O インタフェースでは、基本バスインタフェースと同様にデータサイクルのリードストロークのタイミングを変更することが可能です。詳細は「9.6.5 リードストローク ($\overline{\text{RD}}$) タイミング」を参照してください。

図 9.34 にリードストロークのタイミングを変更した場合のタイミング例を示します。

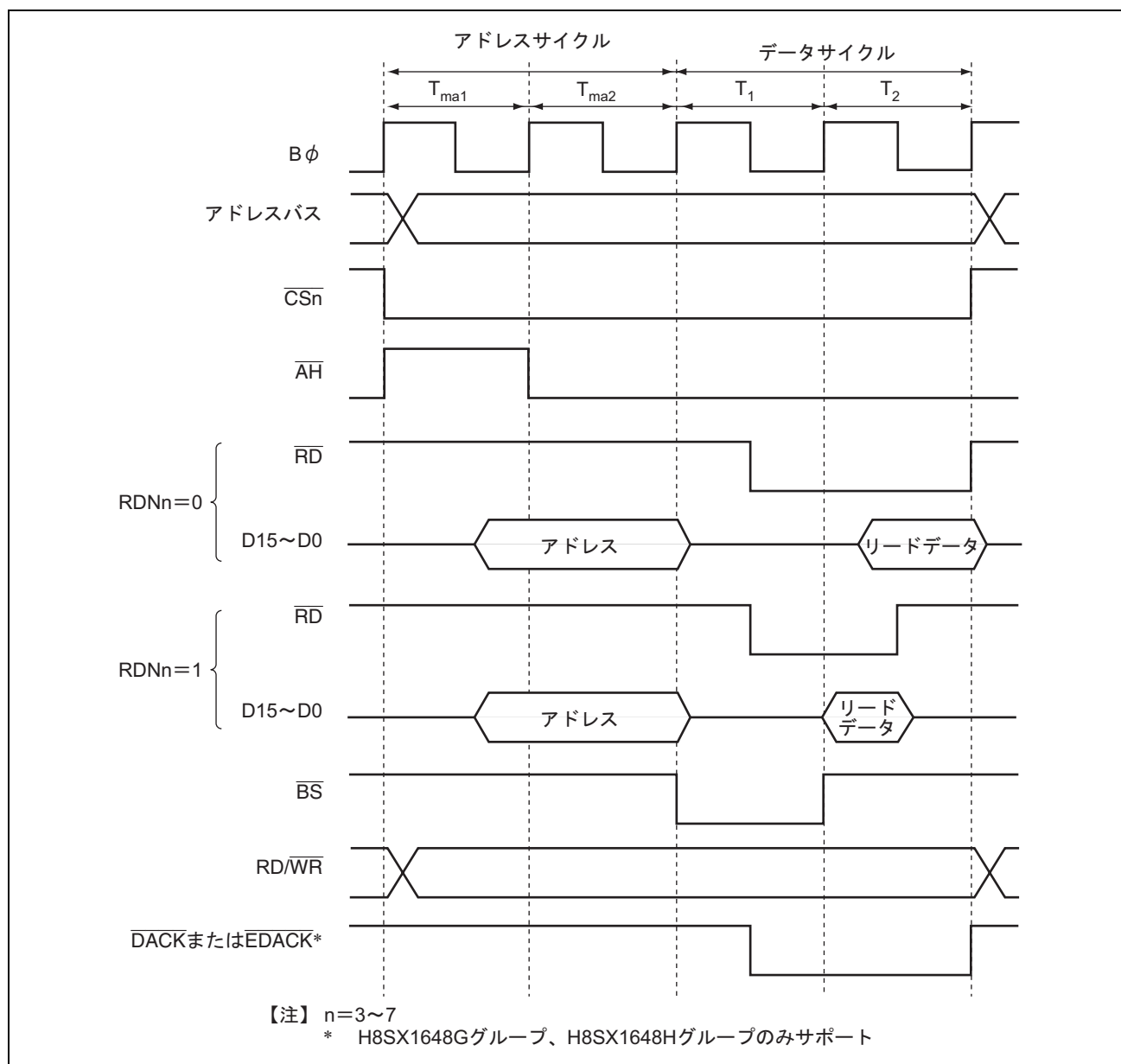


図 9.34 リードストロークタイミング例

9.9.9 データサイクルのチップセレクト (\overline{CS}) アサート期間拡張

アドレス/データマルチプレクス I/O インタフェースでは、データサイクルの前後に拡張ステートを挿入することができます。詳細は「9.6.6 チップセレクト (\overline{CS}) アサート期間拡張」を参照してください。

図 9.35 にデータサイクルのチップセレクトアサート期間拡張タイミング例を示します。

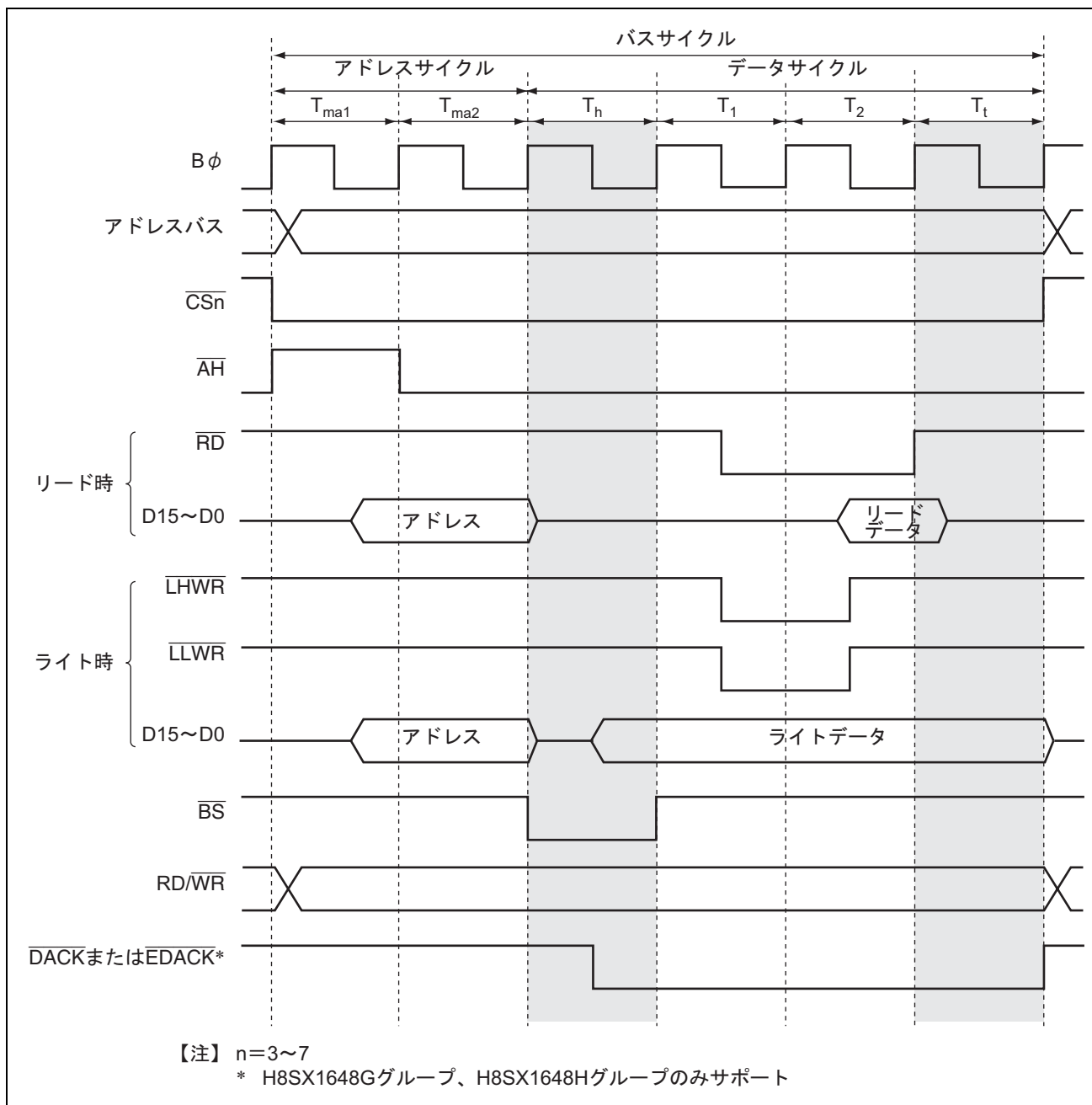


図 9.35 データサイクルのチップセレクトアサート期間拡張タイミング例

出力フローティング時間の大きい周辺 LSI が、接続されている同一エリアへの連続リードが発生した場合は、周辺 LSI のデータ出力と本 LSI のアドレス出力が衝突する可能性があります。この場合は、 $\overline{\text{CS}}$ 拡張ステートをアクセスサイクルの後に挿入することにより、データ衝突を回避することができます。

図 9.36 に動作例を示します。バスサイクル A、バスサイクル B はともに同一エリアへのアドレス/データマルチプレクス I/O 空間へのリードサイクルです。(a) は $\overline{\text{CS}}$ 拡張ステートを挿入しない場合で、出力フローティング時間の大きい周辺 LSI のデータ出力と本 LSI のアドレス出力の衝突が発生しています。これに対し (b) は $\overline{\text{CS}}$ 拡張ステートを挿入した場合で、データの衝突を回避しています。

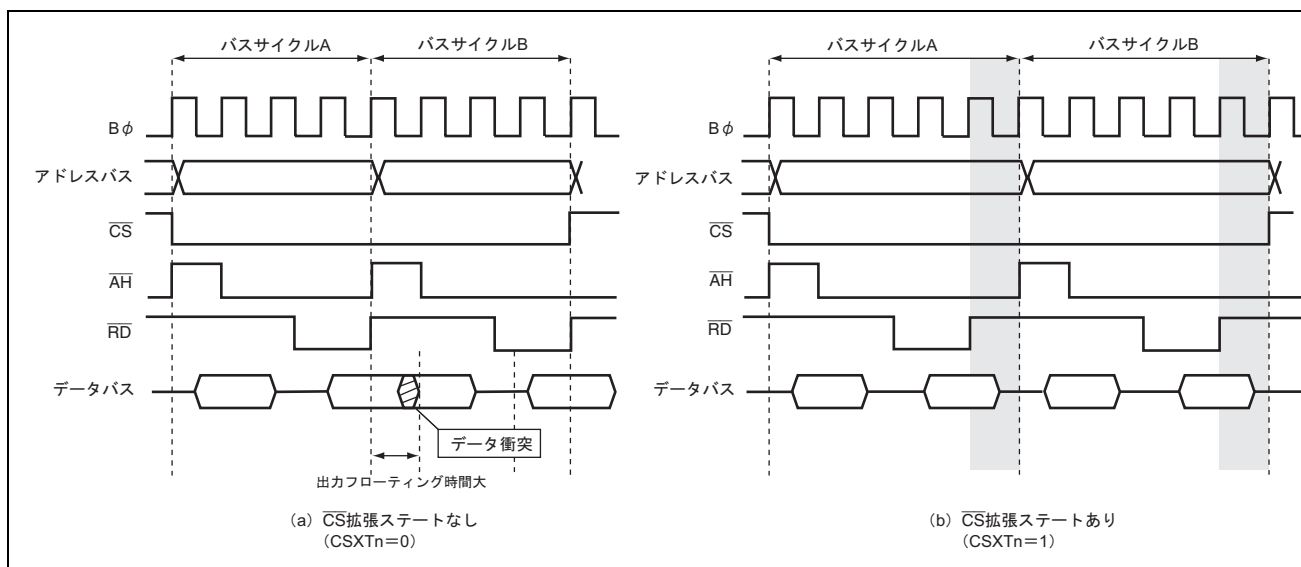


図 9.36 同一エリアのアドレス/データマルチプレクス I/O 空間連続リード

9.9.10 $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}^*$ 信号の出力タイミング

DMACまたはEXDMAC*のシングルアドレス転送を行う場合、BCR1のDKC、EDKC*ビットによって $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}^*$ 信号のアサートタイミングを変更することができます。

図 9.37 に $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}^*$ 信号の出力タイミングを示します。DKCまたはEDKC*ビットを1にセットすることにより、 $\overline{\text{DACK}}$ または $\overline{\text{EDACK}}^*$ 信号は半サイクル早くアサートします。

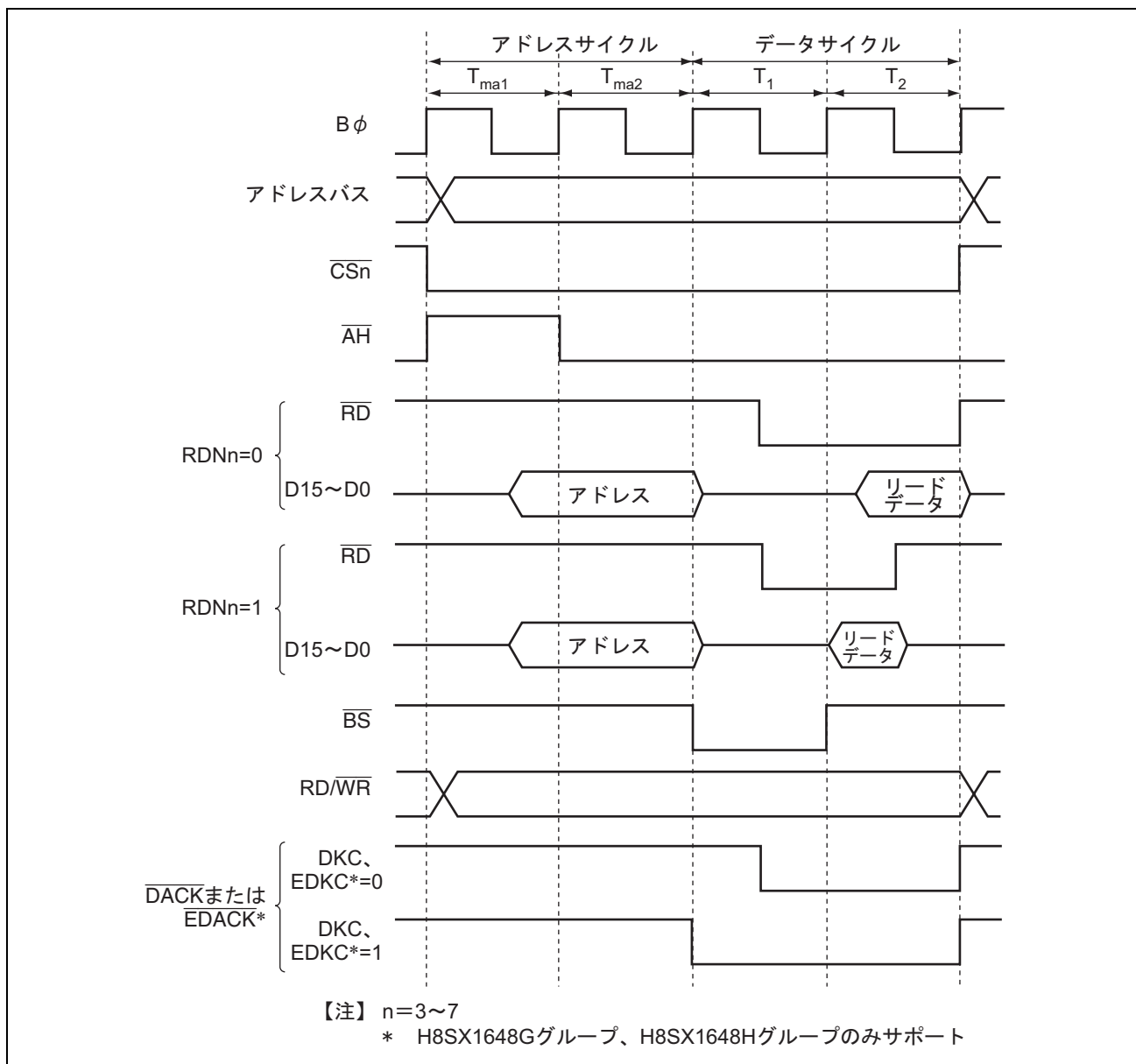


図 9.37 $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}^*$ 信号の出力タイミング

【注】 * H8SX1648G グループ、H8SX1648H グループのみサポート

9.10 DRAM インタフェース

H8SX1648G グループ、H8SX1648H グループのみサポートしています。

本 LSI は、エリア 2 の外部空間を DRAM 空間に設定すると、DRAM インタフェースを行うことができます。DRAM インタフェースでは、最大 8M バイトの DRAM を直結することができます。

9.10.1 DRAM 空間の設定

エリア 2 は、DRAMCR の DRAME ビットと DTYPE ビットにより DRAM 空間に設定にできます。表 9.20 に DRAME ビットと DTYPE ビットの設定値と、エリア 2 のインタフェース機能の関係を示します。

バス幅、ウェイトステート数など DRAM 空間のバス仕様は、エリア 2 の設定に従います。

表 9.20 DRAME ビットと DTYPE ビットの設定値と DRAM 空間の関係

DRAME	DTYPE	エリア 2 のインタフェース
0	x	基本バス空間 (初期値) / バイト制御 SRAM 空間
1	0	DRAM 空間
1	1	シンクロナス DRAM 空間

【記号説明】 x : don't care

9.10.2 アドレスマルチプレクス

DRAM 空間では、ロウアドレスとカラムアドレスがマルチプレクスされています。アドレスマルチプレクスでは、DRAMCR の MXC1、MXC0 ビットによりロウアドレスのシフト量を選択します。表 9.21 に MXC1、MXC0 ビットの設定値とシフト量の関係を示します。

表 9.21 MXC1、MXC0 ビットとアドレスマルチプレクスの関係

DRAMCR		シフト量	データバス幅	アドレス	外部アドレス端子																		
MXC1	MXC0				A23~A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
0	0	8ビット	8/16ビット	ロウアドレス	A23~A18	A17	—	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8
				カラムアドレス	A23~A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
0	1	9ビット	8/16ビット	ロウアドレス	A23~A18	A17	—	—	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9
				カラムアドレス	A23~A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
1	0	10ビット	8/16ビット	ロウアドレス	A23~A18	A17	—	—	—	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10
				カラムアドレス	A23~A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
1	1	11ビット	8/16ビット	ロウアドレス	A23~A18	A17	—	—	—	—	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11
				カラムアドレス	A23~A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0

9.10.3 データバス

DRAM 空間のバス幅は、ABWCR の ABWH2 ビットと ABWL2 ビットにより、当該エリアを 8 ビット、16 ビット DRAM 空間に設定できます。16 ビット DRAM 空間では×16 ビット構成の DRAM を直結することができます。

8 ビット DRAM 空間では D7~D0 のデータバスが有効となり、16 ビット DRAM 空間では D15~D0 のデータバスが有効になります。

ENDIANCR の LE2 ビットにより、データのエンディアン形式を選択できます。アクセスサイズとデータアライメントについては、「9.5.6 エンディアンとデータアライメント」を参照してください。

9.10.4 DRAM インタフェースの入出力端子

表 9.22 に DRAM インタフェースの入出力端子を示します。

表 9.22 DRAM インタフェースの入出力端子

端子	DRAM 設定時	名称	入出力	機能
WE	WE	ライトイネーブル	出力	DRAM 空間アクセス時のライトイネーブル
RAS	RAS	ロウアドレスストローブ	出力	エリア 2 を DRAM 空間に設定したときのロウアドレスストローブ
LUCAS/ DQMLU	LUCAS	ロウアーアッパーカラム アドレスストローブ	出力	16 ビット DRAM 空間アクセス時のアッパーカラムストローブ
LLCAS/ DQMLL	LLCAS	ロウアーロウアーカラム アドレスストローブ	出力	16 ビット DRAM 空間アクセス時のロウアーカラムアドレスストローブ信号 8 ビット DRAM 空間アクセス時のカラムアドレスストローブ
OE	OE	アウトプットイネーブル	出力	DRAM 空間アクセス時のアウトプットイネーブル
WAIT	WAIT	ウェイト	入力	ウェイト要求信号
A17~A0	A17~A0	アドレス端子	出力	ロウアドレス/カラムアドレスのマルチプレクス出力
D15~D0	D15~D0	データ端子	入出力	データ入出力端子

9.10.5 基本タイミング

図 9.38 に DRAM 空間の基本アクセスタイミングを示します。

基本タイミングは、プリチャージサイクル (T_p) が 1 ステート、ロウアドレス出力サイクル (T_r) が 1 ステート、コラムアドレス出力サイクル (T_{c1} 、 T_{c2}) が 2 ステートの 4 ステートで構成されています。

DRAM 空間へのアクセス時、 \overline{RD} 信号は DRAM への \overline{OE} 信号として出力されています。EDO ページモードを備えた DRAM を接続する場合には、 \overline{OE} 信号を DRAM の \overline{OE} 端子に接続してください。

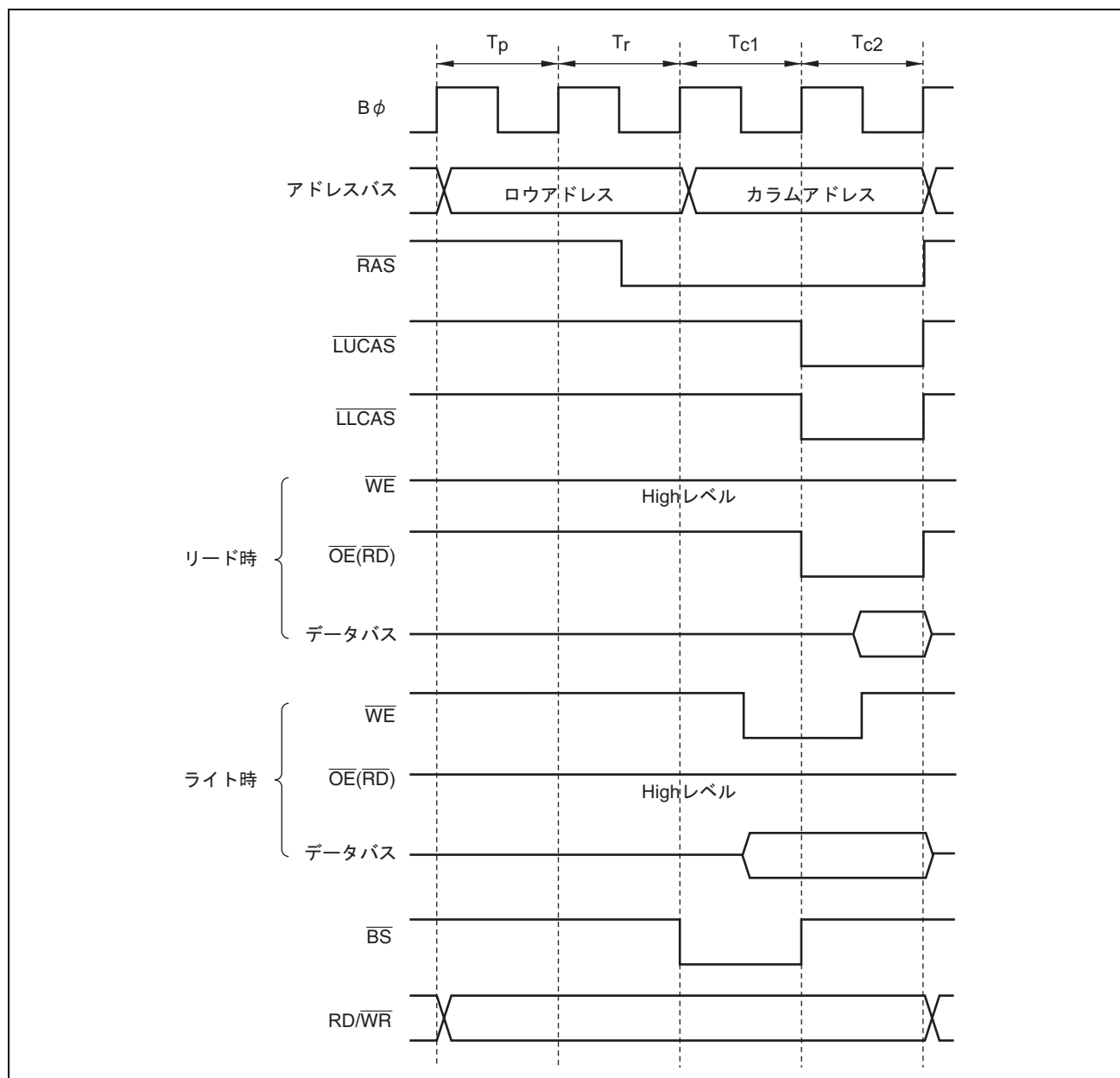


図 9.38 DRAM 基本アクセスタイミング (RAST=0、CAST=0)

9.10.6 カラムアドレス出力サイクル制御

DRAMCR の CAST ビットを 1 にセットすると、カラムアドレス出力サイクルを 2 ステートから 3 ステートへ変更することができます。接続する DRAM と本 LSI の動作周波数に応じて、 $\overline{\text{CAS}}$ パルス幅などの規定値が最適になるように設定してください。

図 9.39 にカラムアドレス出力サイクルを 3 ステートに設定した場合のタイミング例を示します。

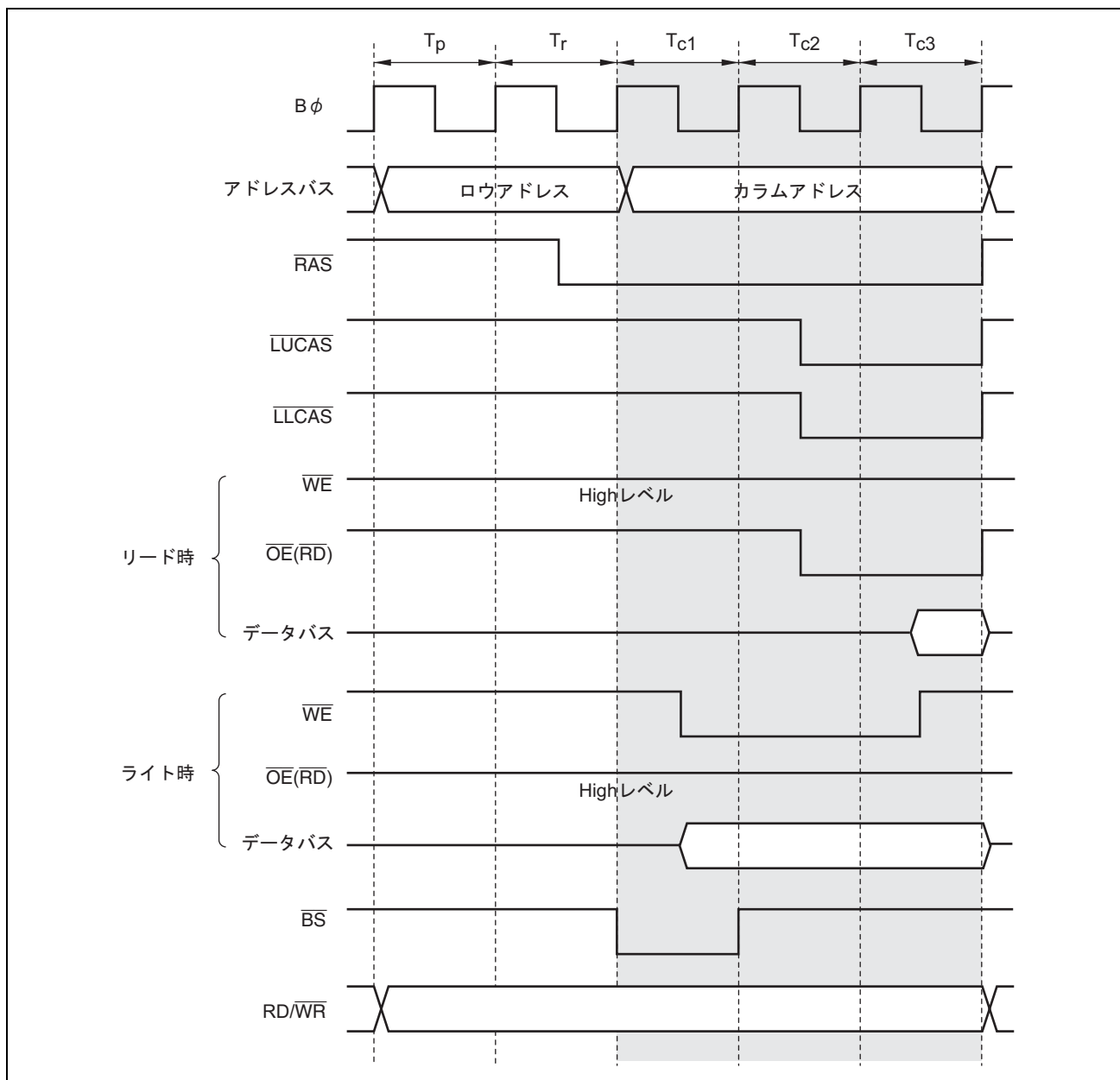


図 9.39 カラムアドレス出力サイクル 3 ステートの場合のアクセスタイミング例 (RAST=0)

9.10.7 ロウアドレス出カステート制御

DRAMCR の RAST ビットを 1 にセットすると、 $\overline{\text{RAS}}$ 信号が Tr ステートの先頭から Low レベルとなり、 $\overline{\text{RAS}}$ 信号の立ち下がりに対するロウアドレスのホールド時間、および DRAM リードアクセス時間が変化します。接続する DRAM と本 LSI の動作周波数に応じて、最適になるように設定してください。

図 9.40 に $\overline{\text{RAS}}$ 信号が Tr ステートの先頭から Low レベルとなる場合のタイミング例を示します。

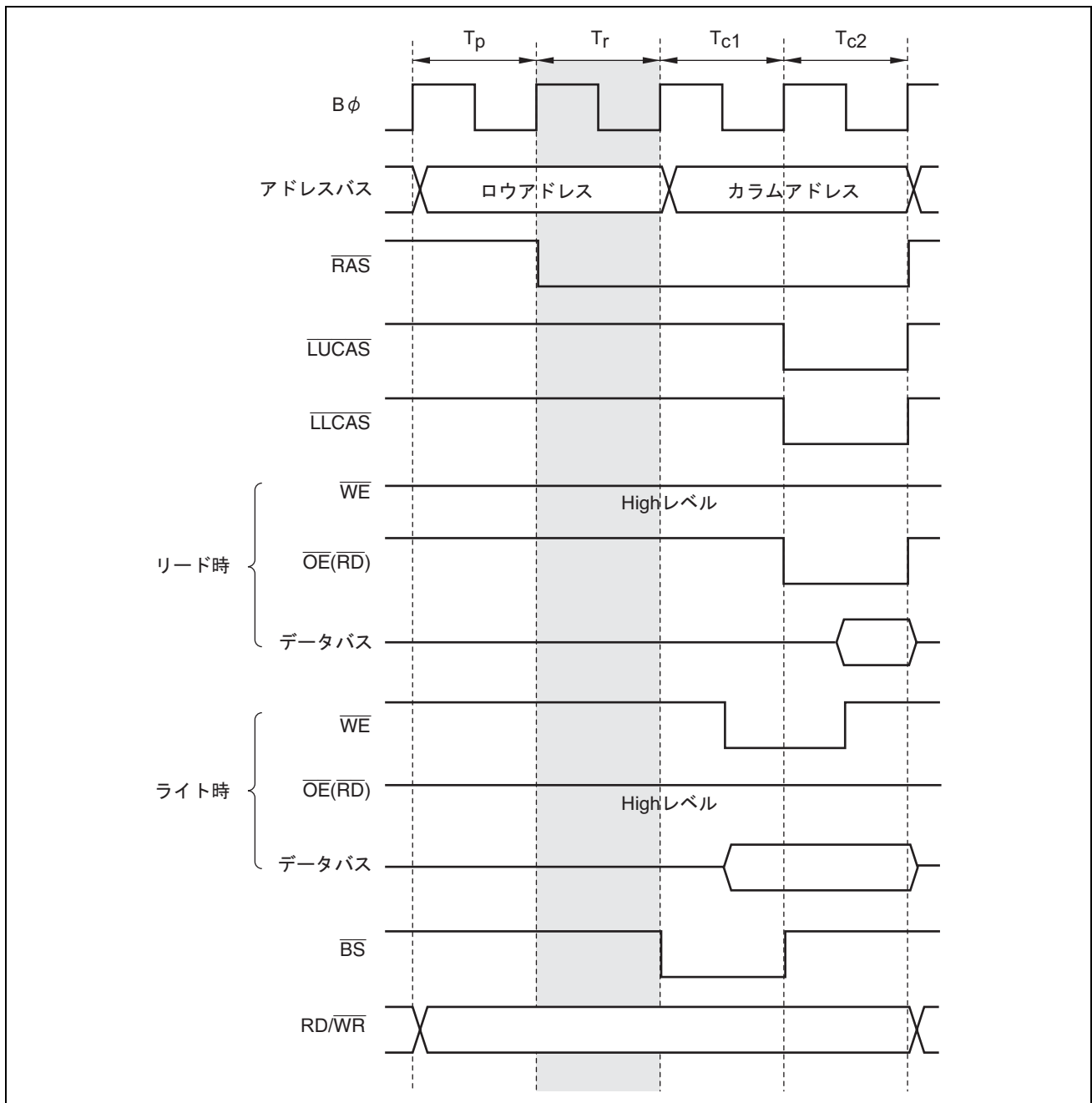


図 9.40 RAS 信号が Tr ステートの先頭から Low レベルとなる場合のアクセスタイミング例 (CAST=0)

9. バスコントローラ (BSC)

ロウアドレスのホールド時間、またはリード時のアクセス時間が必要な場合には、DRACCR の RCD1、RCD0 ビットの設定により、 $\overline{\text{RAS}}$ 信号が Low レベルとなる T_r サイクルと、カラムアドレスが出力される T_{c1} サイクルの間にロウアドレスが出力保持されるステート (T_{rw}) を 1~3 ステート挿入することができます。接続する DRAM と本 LSI の動作周波数に応じて、 $\overline{\text{RAS}}$ 信号の立ち下がりエッジに対するロウアドレス信号のホールド時間が最適になるように設定してください。

図 9.41 に T_{rw} を 1 ステートに設定したときのタイミング例を示します。

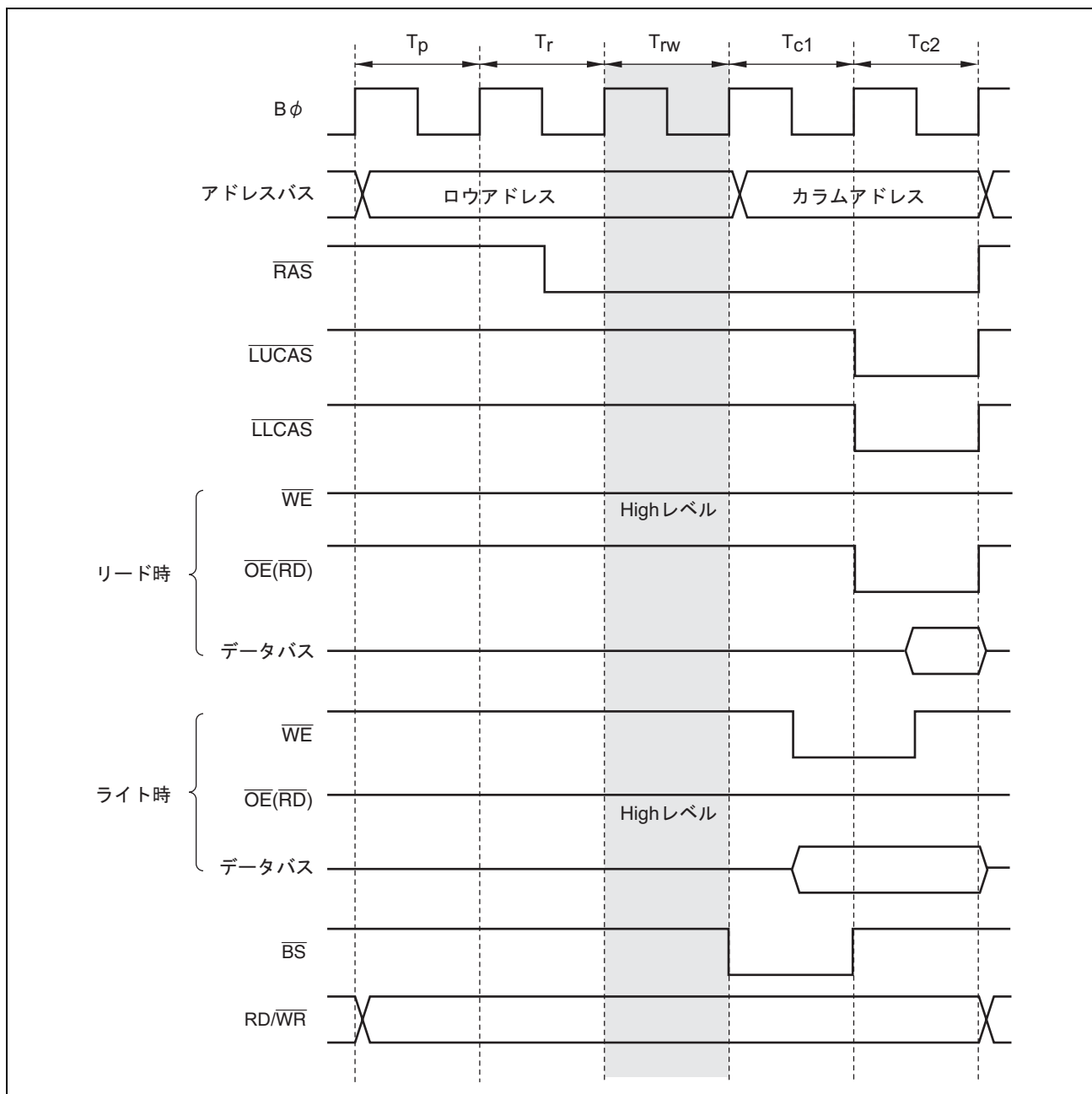


図 9.41 ロウアドレス出力保持ステート数が 1 ステート時のタイミング例 (RAST=0、CAST=0)

9.10.8 プリチャージステート制御

プリチャージステート (T_p) は、DRACCR の TPC1、TPC0 ビットの設定により、 T_p を 1 ステートから 4 ステートの範囲で変更することができます。接続する DRAM と本 LSI の動作周波数に応じて、最適な T_p サイクル数を設定してください。

図 9.42 に T_p を 2 ステートとしたときのタイミング例を示します。

TPC1、TPC0 ビットの設定は、リフレッシュサイクルの T_p にも有効です。

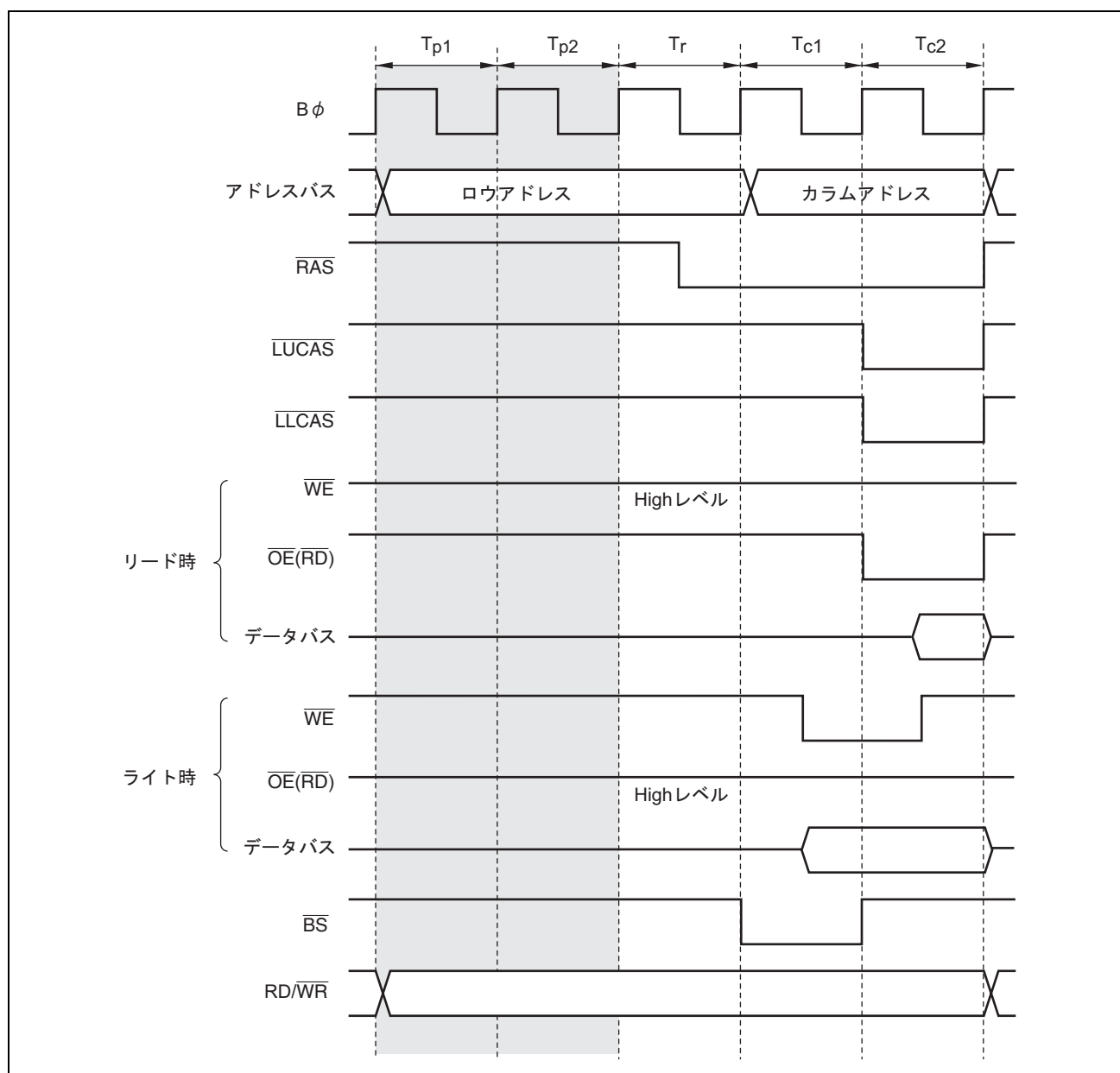


図 9.42 プリチャージサイクル 2 ステート時のタイミング例 (RAST=0、CAST=0)

9.10.9 ウェイト制御

DRAM アクセスサイクルにウェイトステートを挿入する方法には、プログラムウェイトの挿入、 $\overline{\text{WAIT}}$ 端子による端子ウェイトの挿入の2種類があります。

ウェイトステートは、DRAM 空間リードアクセス時には $\overline{\text{CAS}}$ のアサート期間を引き延ばすために挿入され、ライトアクセス時にはライトデータと $\overline{\text{CAS}}$ の立ち下がりエッジとのセットアップ時間を引き延ばすために挿入されます。

(1) プログラムウェイトの挿入

ASTCR の AST2 ビットが 1 にセットされているとき、WTCRB の W22、W21、W20 ビットの設定により、0~7 ステートのウェイトステートを自動的に Tc1 ステートと Tc2 ステートの間に挿入することができます。

(2) 端子ウェイトの挿入

BCR1 の WAITE ビットが 1 に、かつ ASTCR の AST2 ビットが 1 にセットされているとき、該当する端子の ICR ビットを 1 にセットすると、 $\overline{\text{WAIT}}$ 端子によるウェイト入力の有効になります。このとき DRAM 空間をアクセスすると、まずプログラムウェイト (Tpw) が挿入されます。Tc1 または Tpw の最後のステートの B ϕ の立ち上がりのタイミングで、 $\overline{\text{WAIT}}$ 端子が Low レベルであると、更に Ttw が挿入されます。 $\overline{\text{WAIT}}$ 端子が Low レベルに保持されると、 $\overline{\text{WAIT}}$ 端子が High レベルになるまで Ttw が挿入されます。ICR については「13. I/O ポート」を参照してください。

図 9.43 にカラムアドレス出力サイクルが 2 ステートの時のウェイトサイクル挿入タイミング例を、図 9.44 に 3 ステートの時のウェイトサイクル挿入タイミング例を示します。

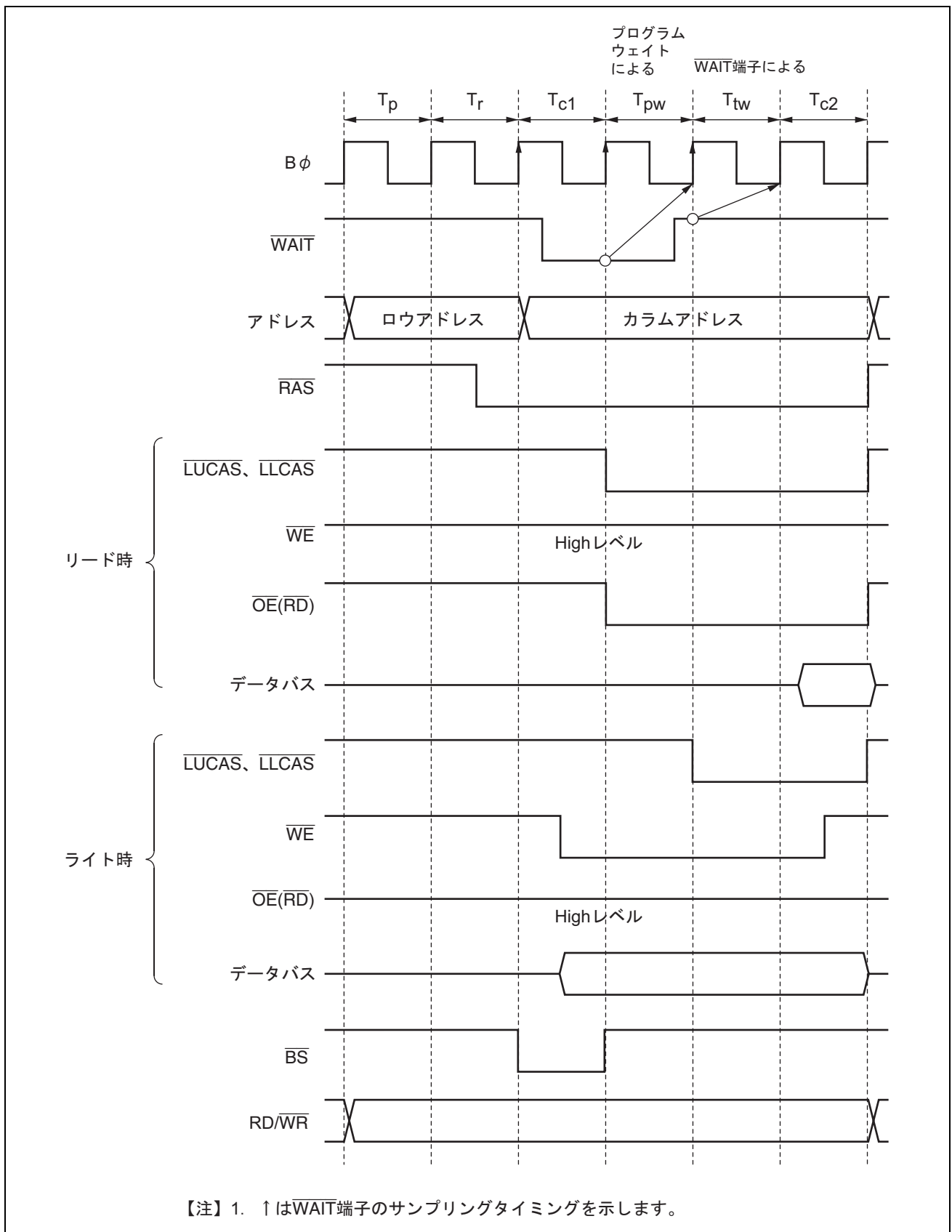


図 9.43 ウェイトステート挿入タイミング例 (カラムアドレス出力 2 ステート)

9. バスコントローラ (BSC)

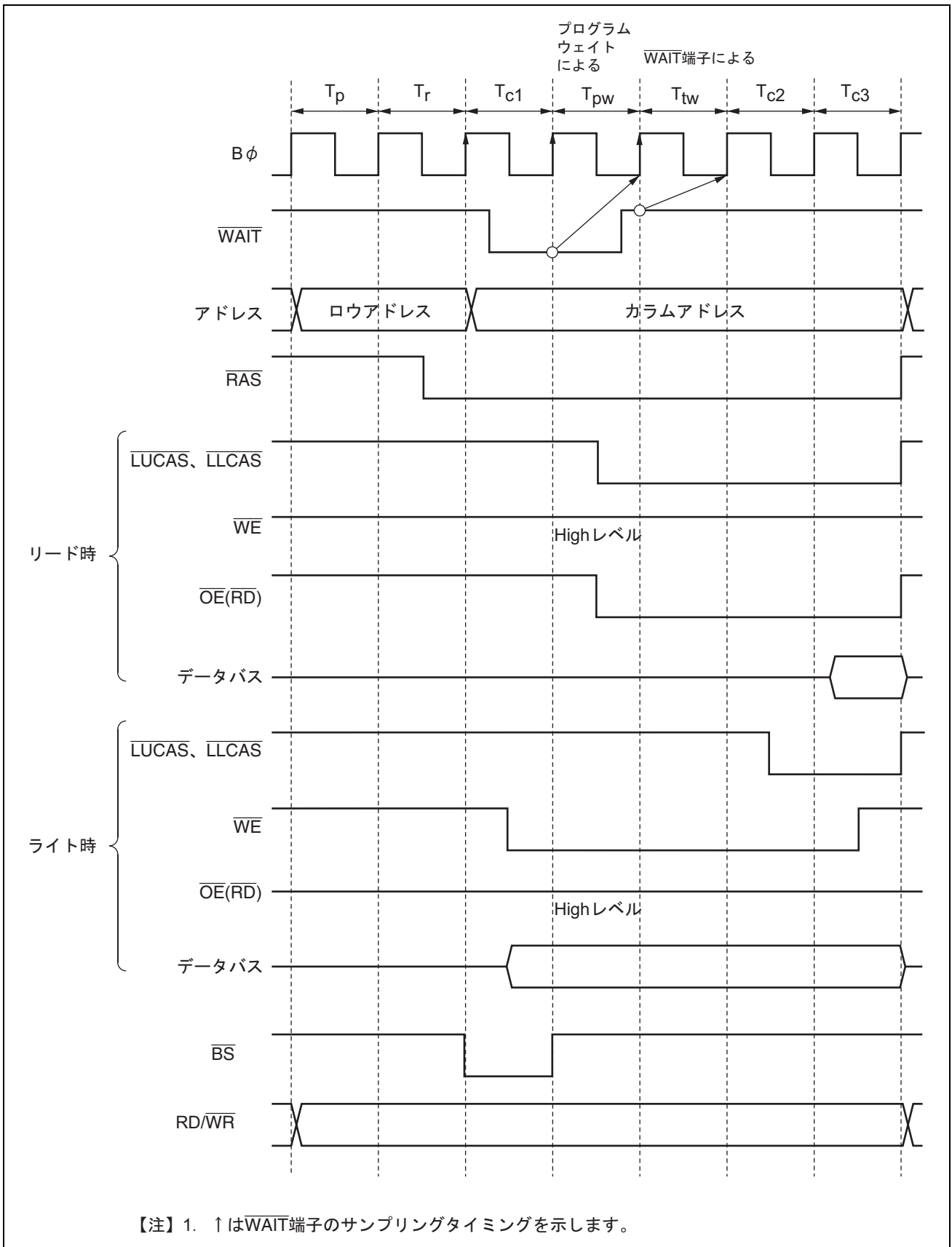


図 9.44 ウェイトステート挿入タイミング例 (カラムアドレス出力 3 ステート)

9.10.10 バイト/ワードアクセス制御

×16ビット構成のDRAMを接続するときに、バイト/ワードアクセスに必要な制御信号として、CAS2本方式を使用することができます。

図9.45、図9.46にCAS2本方式の制御タイミング(エンディアン形式はビッグエンディアン)を示します。また、図9.47にCAS2本方式の接続例を示します。

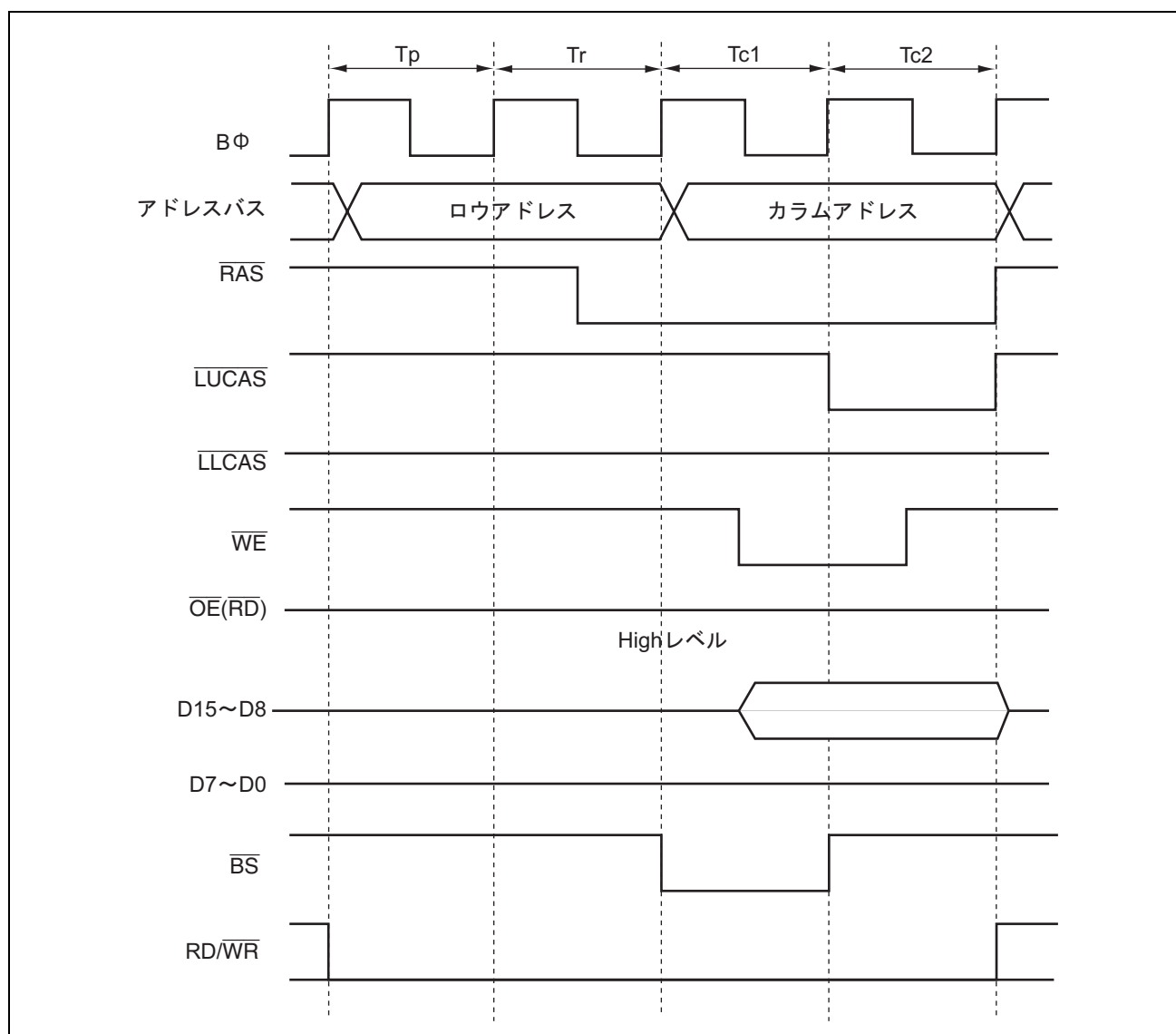


図 9.45 CAS2 本方式のバイト制御タイミング
(アドレス下位 1 ビットが B'0 のときのライトアクセス、RAST=0、CAST=0)

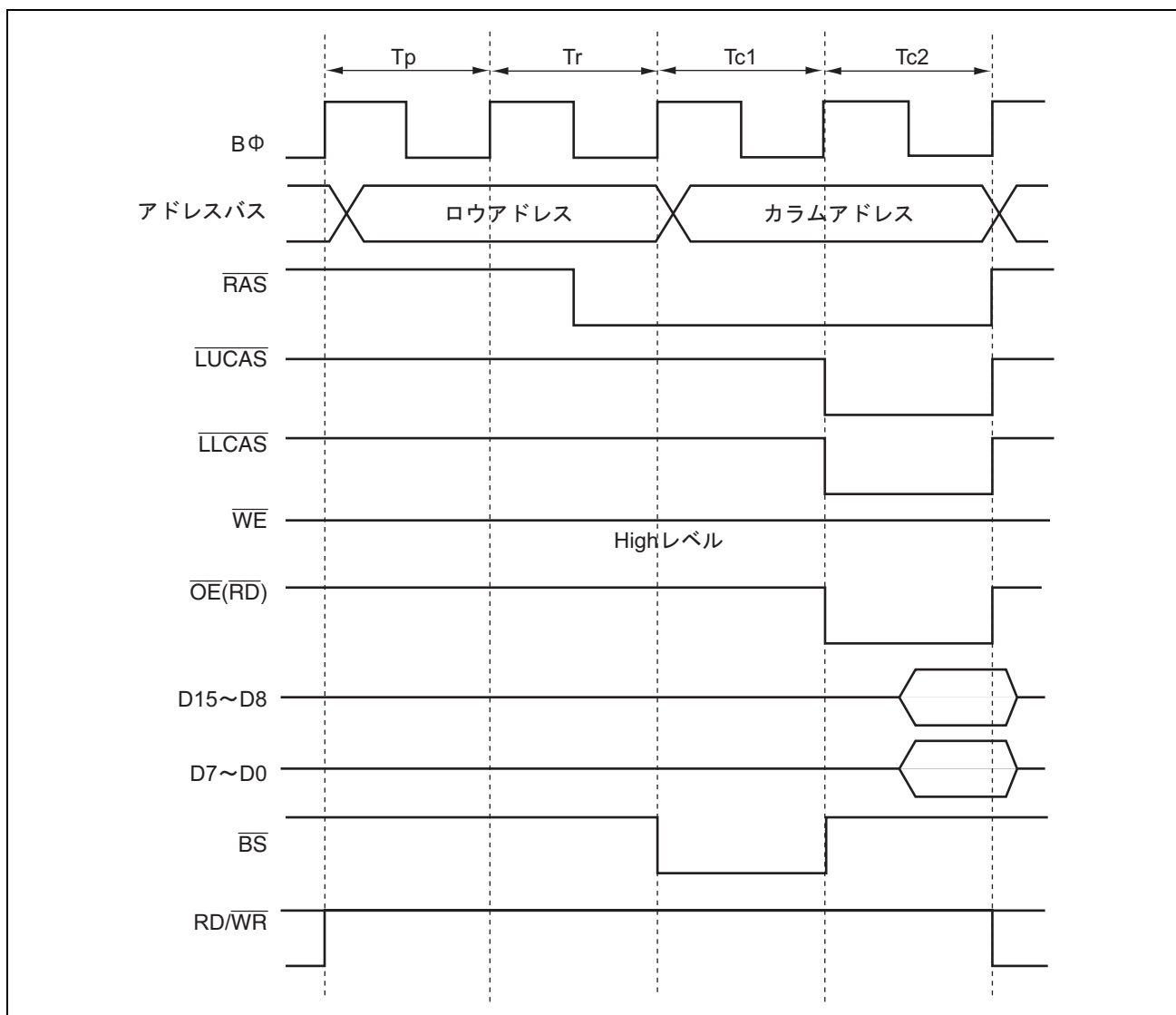


図 9.46 CAS2 本方式のワード制御タイミング
 (アドレス下位 1 ビットが B'0 のときのリードアクセス、RAST=0、CAST=0)

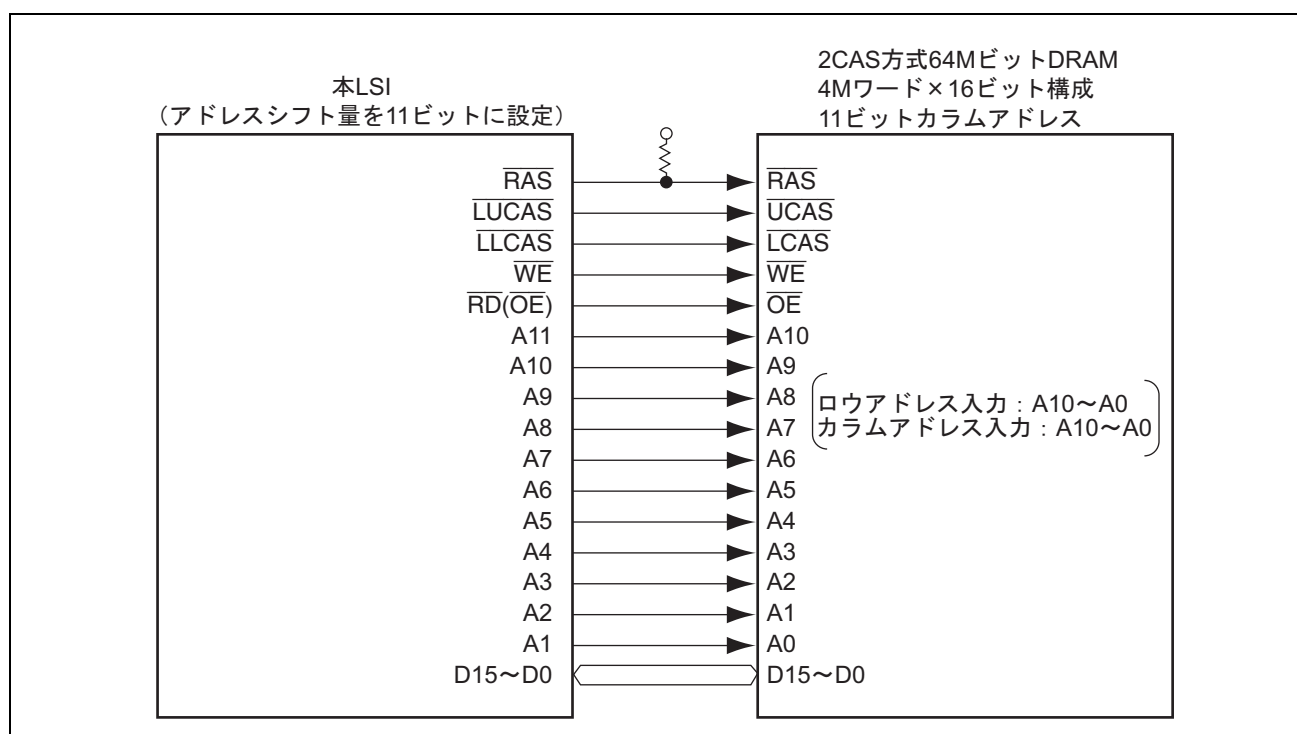


図 9.47 CAS2 本方式の接続例

9.10.11 バースト動作

DRAM には、アクセスのたびにロウアドレスを出力してデータをアクセスするフルアクセス（ノーマルアクセス）の他に、同一のロウアドレスに対するアクセスが連続するときロウアドレスを出力した後はカラムアドレスを変更するだけでデータを高速にアクセス（バーストアクセス）できる高速ページモードを備えているものがあります。

DRAMCR の BE ビットを 1 にセットすると、高速ページモード（バーストアクセス）に設定することができます。

(1) バーストアクセス（高速ページモード）の動作タイミング

図 9.48、図 9.49 に高速ページモードの動作タイミングを示します。

DRAM 空間へのアクセスサイクルが連続するとき、前後のアクセスサイクルのロウアドレスが一致している間は、 $\overline{\text{CAS}}$ 信号とカラムアドレスの出力サイクルが連続して行われます。比較対象となるロウアドレスは、DRAMCR の MXC1、MXC0 ビットにより設定します。

バーストアクセスのときにもウェイトステートを挿入してバスサイクルを引き伸ばすことができます。ウェイトステートの挿入方法とタイミングはフルアクセスのときと同様です。詳細は「9.10.9 ウェイト制御」を参照してください。

9. バスコントローラ (BSC)

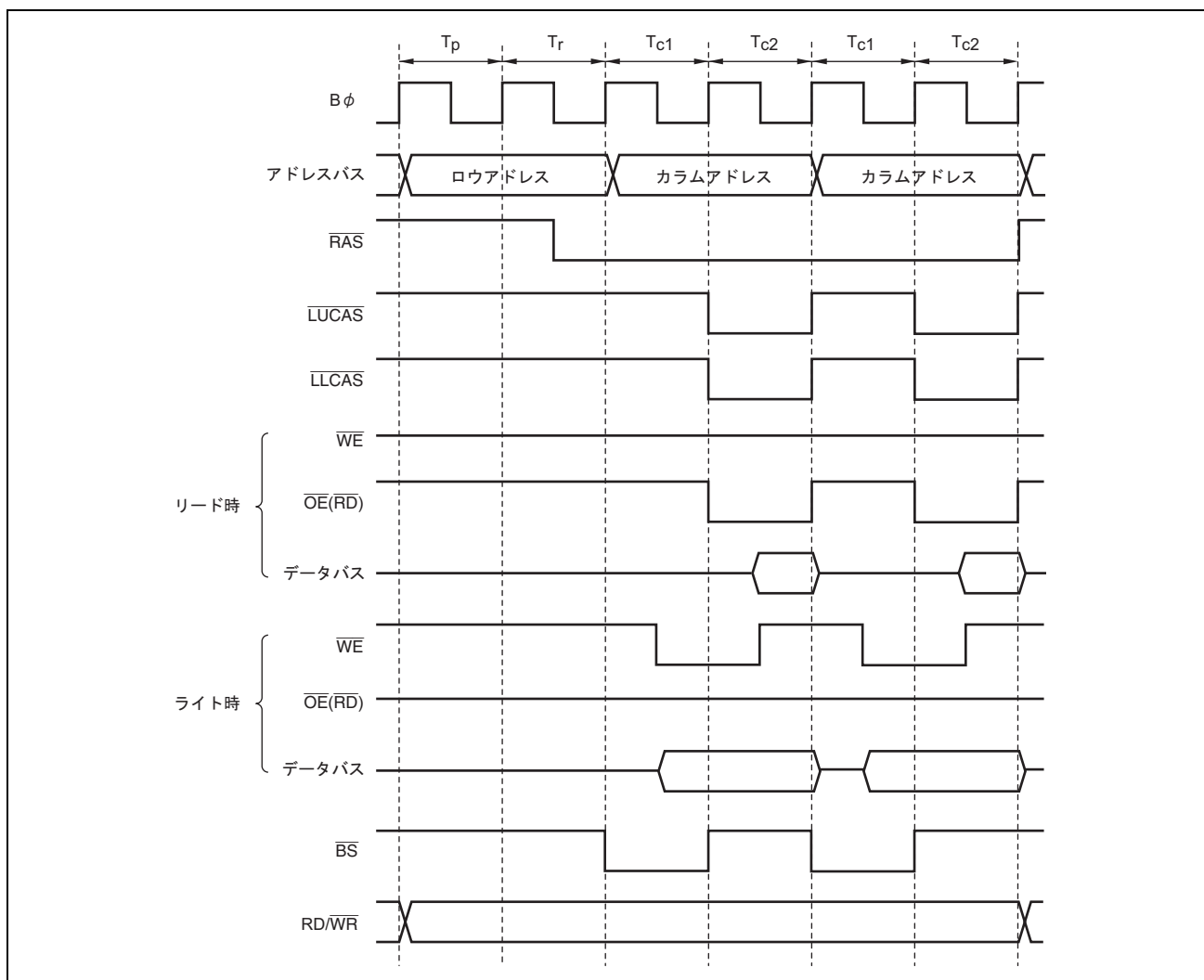


図 9.48 高速ページモードの動作タイミング (RAST=0、CAST=0)

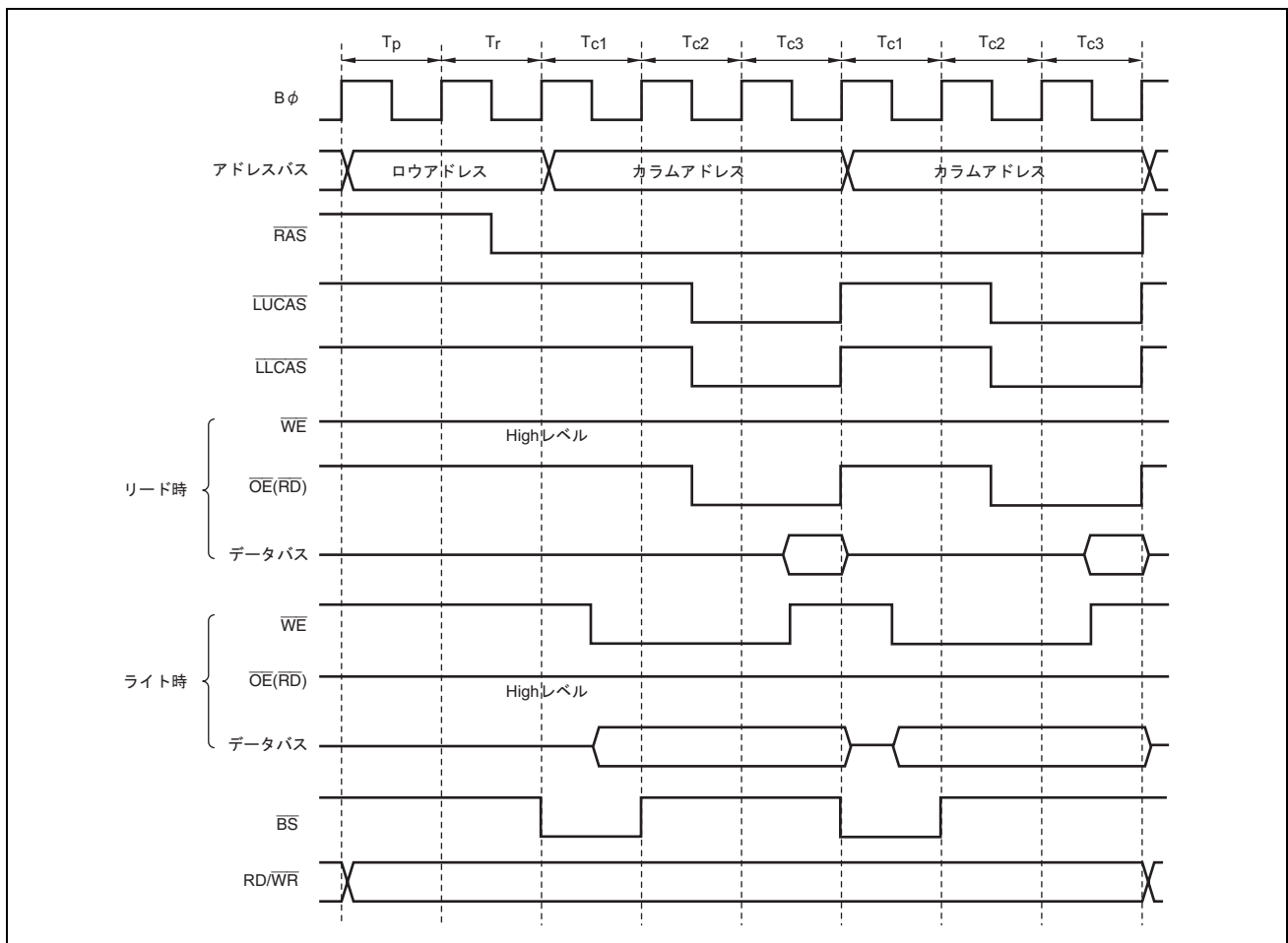


図 9.49 高速ページモードの動作タイミング (RAST=0、CAST=1)

(2) RAS ダウンモードと RAS アップモード

高速ページモード (バーストアクセス) に設定しても、DRAM 空間へのアクセスが連続せず、途中で他空間へのアクセスが入ってしまうことがあります。この場合、他空間がアクセスされている間も $\overline{\text{RAS}}$ 信号を Low レベルに保持されていると、次に DRAM 空間の同一ロウアドレスがアクセスされたときに高速ページモード (バーストアクセス) を続けることができます。

(a) RAS ダウンモード

RAS ダウンモードに設定するときは、DRAMCR の RCDM ビットと BE ビットを 1 にセットしてください。RCDM ビットは、BE ビットに 1 にセットした場合のみ有効です。

DRAM 空間へのアクセスが途切れて他空間をアクセスしている間、 $\overline{\text{RAS}}$ 信号を Low レベルに保持し、次の DRAM 空間アクセスのロウアドレスと前の DRAM 空間アクセスのロウアドレスが一致したときに高速ページモード (バーストアクセス) が行われます。図 9.50 に RAS ダウンモードのタイミング例を示します。

以下の場合、 $\overline{\text{RAS}}$ 信号は High レベルになります。

- リフレッシュ動作が RAS ダウン中に入るとき
- セルフリフレッシュが行われたとき
- ソフトウェアスタンバイモードへ遷移するとき

9. バスコントローラ (BSC)

- $\overline{\text{BREQ}}$ 信号を受け付けて外部バスを解放するとき
- RCDMビット、またはBEビットを0にクリアしたとき

$\overline{\text{RAS}}$ ダウン中に全モジュールクロックストップモードへ遷移すると、 $\overline{\text{RAS}}$ 信号が Low レベルの状態でもクロックが停止します。 $\overline{\text{RAS}}$ 信号が High レベルの状態でも全モジュールクロックストップモードへ遷移したい場合には、SLEEP 命令の実行の前に RCDM ビットを 0 にクリアしてください。

クロック周波数の設定のため SCKCR へライトアクセスするときは、RCDM ビットを 0 にクリアしてください。SCKCR については、「26. クロック発振器」を参照してください。

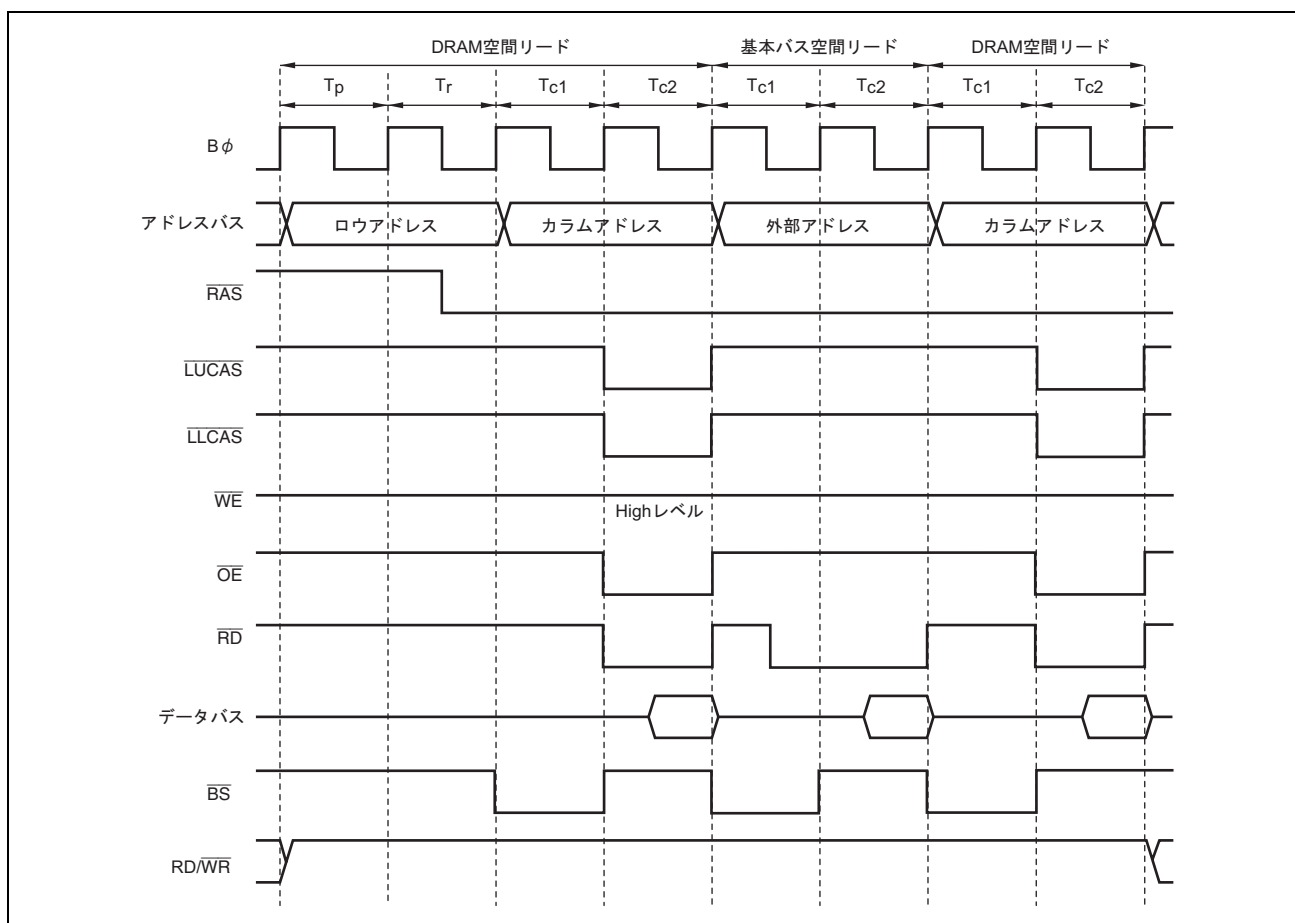


図 9.50 RAS ダウンモードの動作タイミング例 (RAST=0、CAST=0)

(b) RAS アップモード

RAS アップモードの設定するときは、DRAMCR の BE ビットを 1 にセットし、RCDM ビットを 0 にクリアしてください。DRAM 空間へのアクセスが途切れて他空間をアクセスするたびに、 $\overline{\text{RAS}}$ 信号を High レベルに戻します。DRAM 空間が連続しているときだけ、高速ページモード (バーストアクセス) 動作が行われます。

図 9.51 に RAS アップモードのタイミング例を示します。

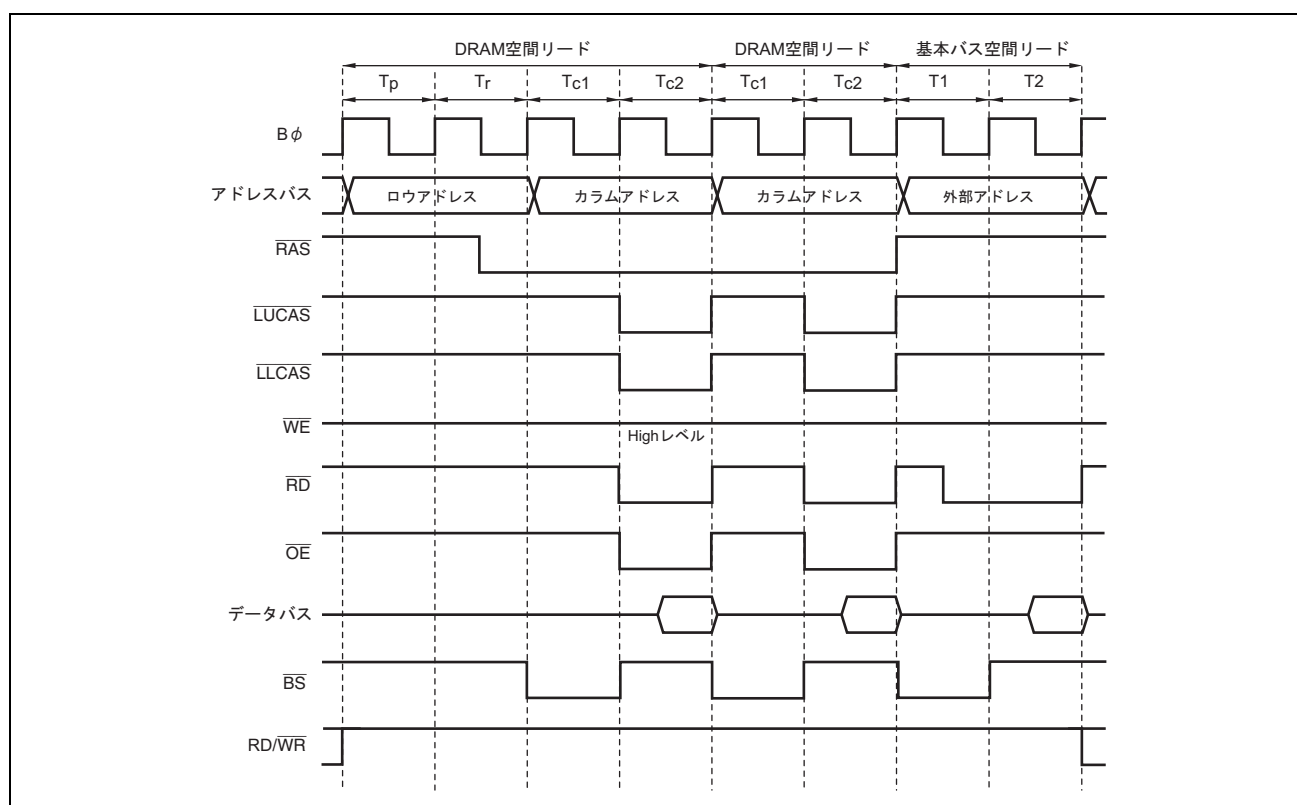


図 9.51 RAS アップモードの動作タイミング例 (RAST=0、CAST=0)

9.10.12 リフレッシュ制御

本 LSI は、DRAM のリフレッシュ制御機能を備えています。リフレッシュ方法は、CAS ビフォ RAS (CBR) リフレッシュです。また、ソフトウェアスタンバイモードに遷移するときにセルフリフレッシュを実行することができます。

リフレッシュ制御は、DRAMCR の DRAME ビット、DTYPE ビットにより、エリア 2 を DRAM 空間に設定したときに有効となります。

(1) CAS ビフォ RAS (CBR) リフレッシュ

CBR リフレッシュを選択するためには、REFCR の RFSHE ビットを 1 にセットしてください。

CBR リフレッシュでは、REFCR の RTCK2~RTCK0 ビットで設定した入力クロックにより RTCNT がカウントアップされ、RTCOR に設定した値と一致 (コンペアマッチ) するとリフレッシュ制御が行われます。同時に RTCNT はリセットされ、H'00 からカウントアップを再開します。すなわち、リフレッシュは RTCOR と RTCK2~RTCK0 ビットで設定された一定間隔で繰り返されます。使用する DRAM のリフレッシュ間隔規定を満たすように、RTCOR と RTCK2~RTCK0 ビットの値を設定してください。

RTCK2~RTCK0 ビットを設定すると RTCNT のカウントアップが開始されるため、RTCK2~RTCK0 ビットの設定前に RTCNT および RTCOR を設定してください。また、RTCNT および RTCOR を変更する場合は、カウント動作を停止した状態で行ってください。RTCK2~RTCK0 ビットの変更は、EXDMAC の外部アクセス、外部バス権解放を禁止し、ライトデータバッファ機能使用時はライトデータバッファ機能を無効にし外部空間をリードした後に行ってください。

CBR リフレッシュ期間中は、外部アクセスを行うことはできません。

9. バスコントローラ (BSC)

図 9.52 に RTCNT の動作、図 9.53 にコンペアマッチのタイミング、図 9.54 に CBR リフレッシュのタイミングを示します。また、表 9.23 にリフレッシュ期間中の端子状態を示します。

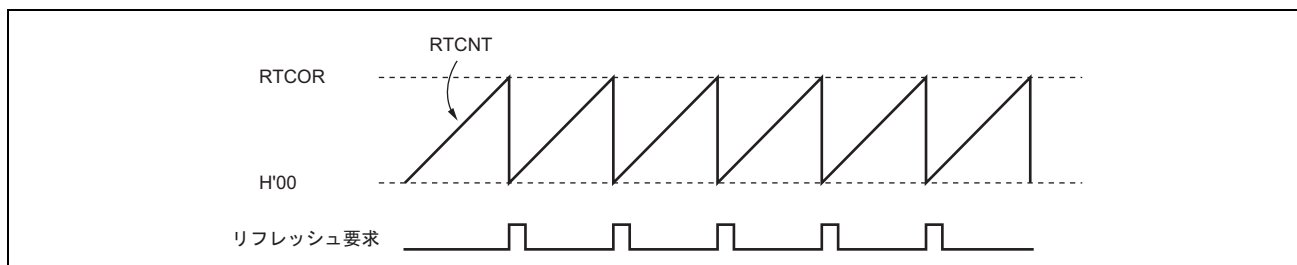


図 9.52 RTCNT の動作

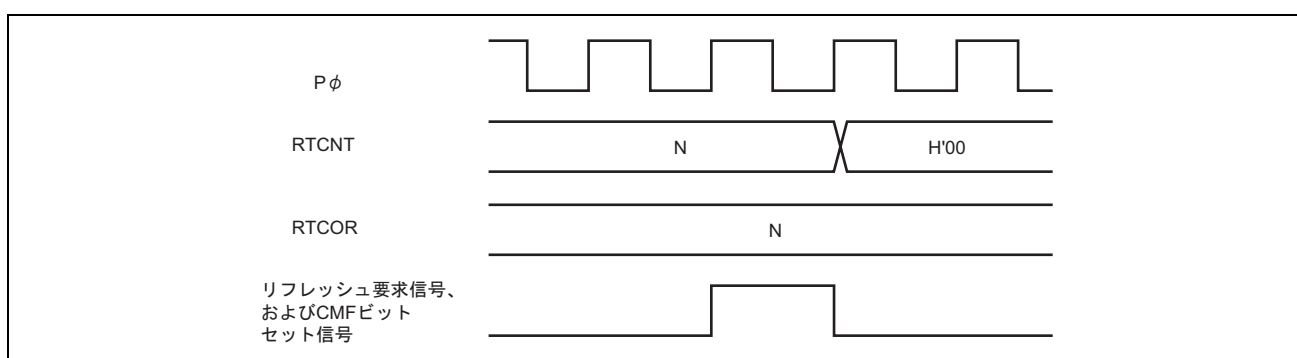


図 9.53 コンペアマッチのタイミング

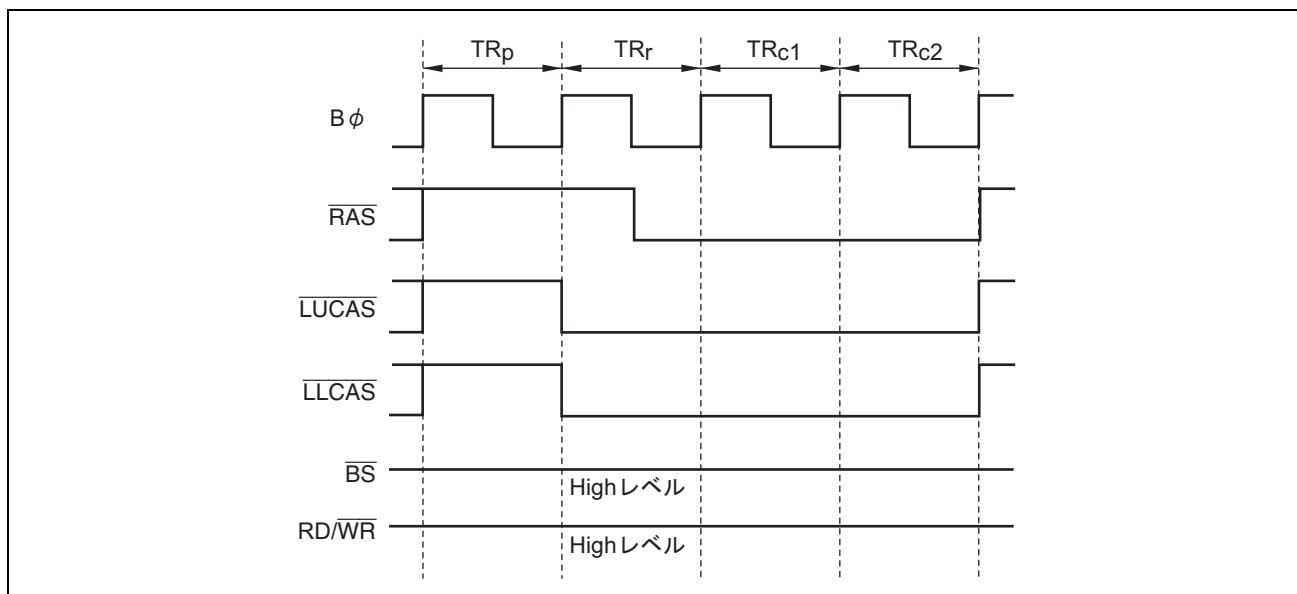


図 9.54 CBR リフレッシュタイミング

表 9.23 DRAM リフレッシュサイクルでの端子状態

A17~A0	直前のバスサイクルの内容
D15~D0	ハイインピーダンス
$\overline{\text{RAS}}$	リフレッシュ制御に使用
$\overline{\text{LUCAS}}$ 、 $\overline{\text{LLCAS}}$	リフレッシュ制御に使用
$\overline{\text{WE}}$	High レベル
$\overline{\text{AS}}$	High レベル
$\overline{\text{RD}}$	High レベル
$\overline{\text{BS}}$	High レベル
$\overline{\text{RD}}/\overline{\text{WR}}$	High レベル

REFCR の RCW1、RCW0 ビットにより、 $\overline{\text{RAS}}$ 信号を 1~3 サイクル遅れて出力させることができます。 $\overline{\text{RAS}}$ 信号幅は、REFCR の RLW2~RLW0 ビットで調整してください。RCW1、RCW0、RLW2~RLW0 ビットの設定は、リフレッシュサイクルのときのみ有効になります。DRACCR の TPC1、TPC0 ビットで設定したプリチャージ期間は、リフレッシュサイクルでも有効になります。

図 9.55 に RCW1、RCW0 ビットを設定したときのタイミングを示します。

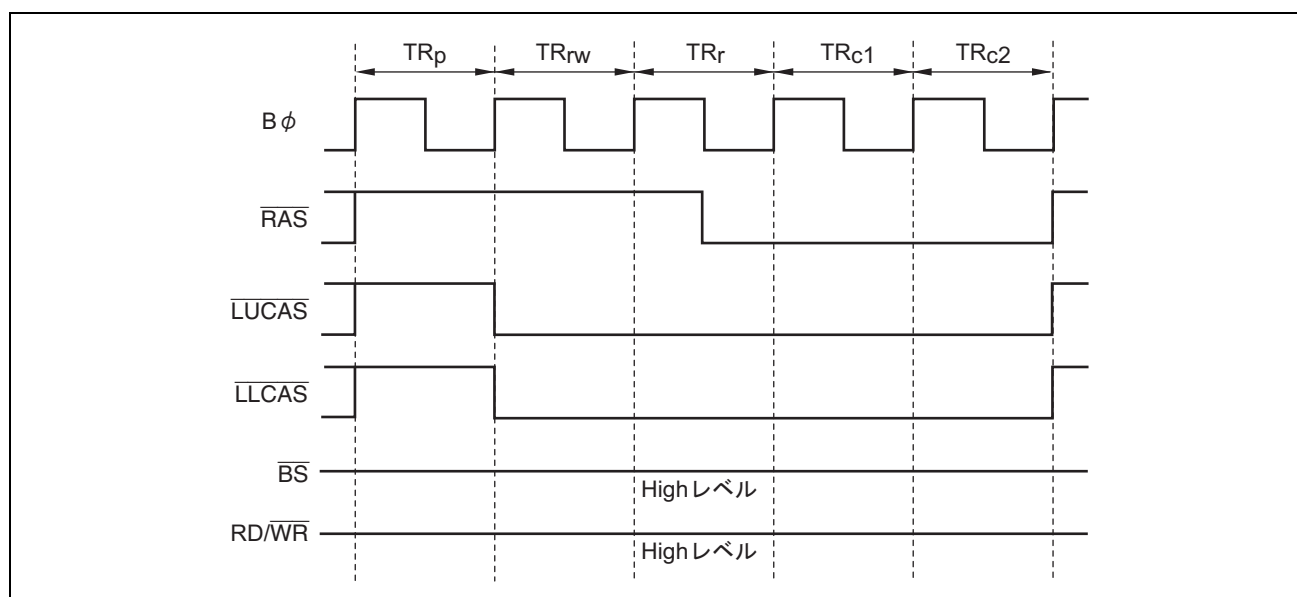


図 9.55 CBR リフレッシュタイミング (RCW1=0、RCW0=1、RLW2=0、RLW1=0、RLW0=0)

(2) セルフリフレッシュ

DRAM には、スタンバイモードの一種として、DRAM 内部でリフレッシュタイミングとリフレッシュアドレスを生成するセルフリフレッシュ (バッテリーバックアップモード) を備えているものがあります。

セルフリフレッシュを選択するためには、REFCR の RFSHE ビットと SLFRF ビットを 1 にセットして、ソフトウェアスタンバイモードに遷移するための SLEEP 命令を実行すると、図 9.56 に示すように $\overline{\text{CAS}}$ 信号と $\overline{\text{RAS}}$ 信号が出力され、DRAM はセルフリフレッシュに入ります。

ソフトウェアスタンバイモードに遷移する場合に、CBR リフレッシュ要求があると、CBR リフレッシュを実行後にセルフリフレッシュに入ります。

セルフリフレッシュを使用する場合は、SBYCR の OPE ビットを 0 にクリアしないでください。

詳細は「27.2.1 スタンバイコントロールレジスタ (SBYCR)」のスタンバイコントロールレジスタを参照してください。

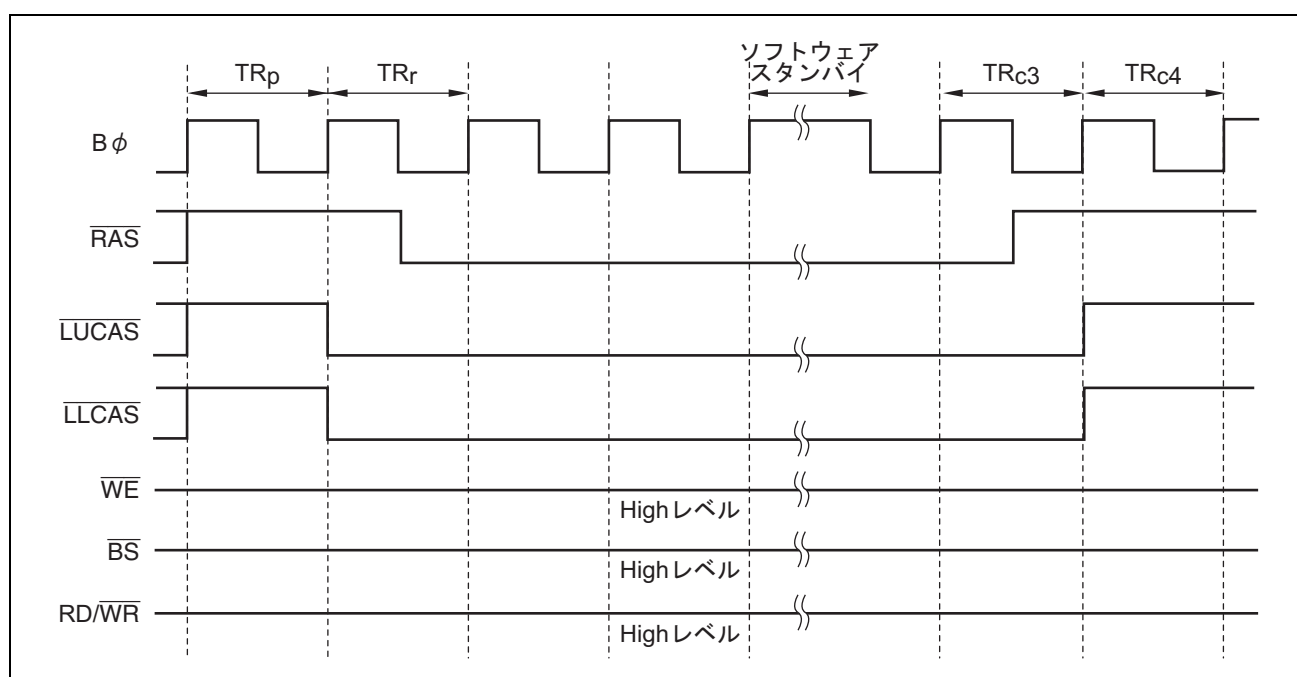


図 9.56 セルフリフレッシュタイミング

セルフリフレッシュを備える DRAM には、セルフリフレッシュ直後の $\overline{\text{RAS}}$ 信号のプリチャージ時間が通常のプリチャージ時間よりも長いものがあります。REFCR の TPCS2~TPCS0 ビットにより、セルフリフレッシュ直後のプリチャージ時間を通常のプリチャージ時間より 1~7 ステート増加することができます。この場合、DRACCR の TPC1、TPC0 ビットの設定に従って通常のプリチャージが行われるので、この時間とあわせてセルフリフレッシュ後のプリチャージ時間が最適になるように設定してください。

図 9.57 にセルフリフレッシュ直後のプリチャージ時間を 1 ステート増加した場合のタイミング例を示します。

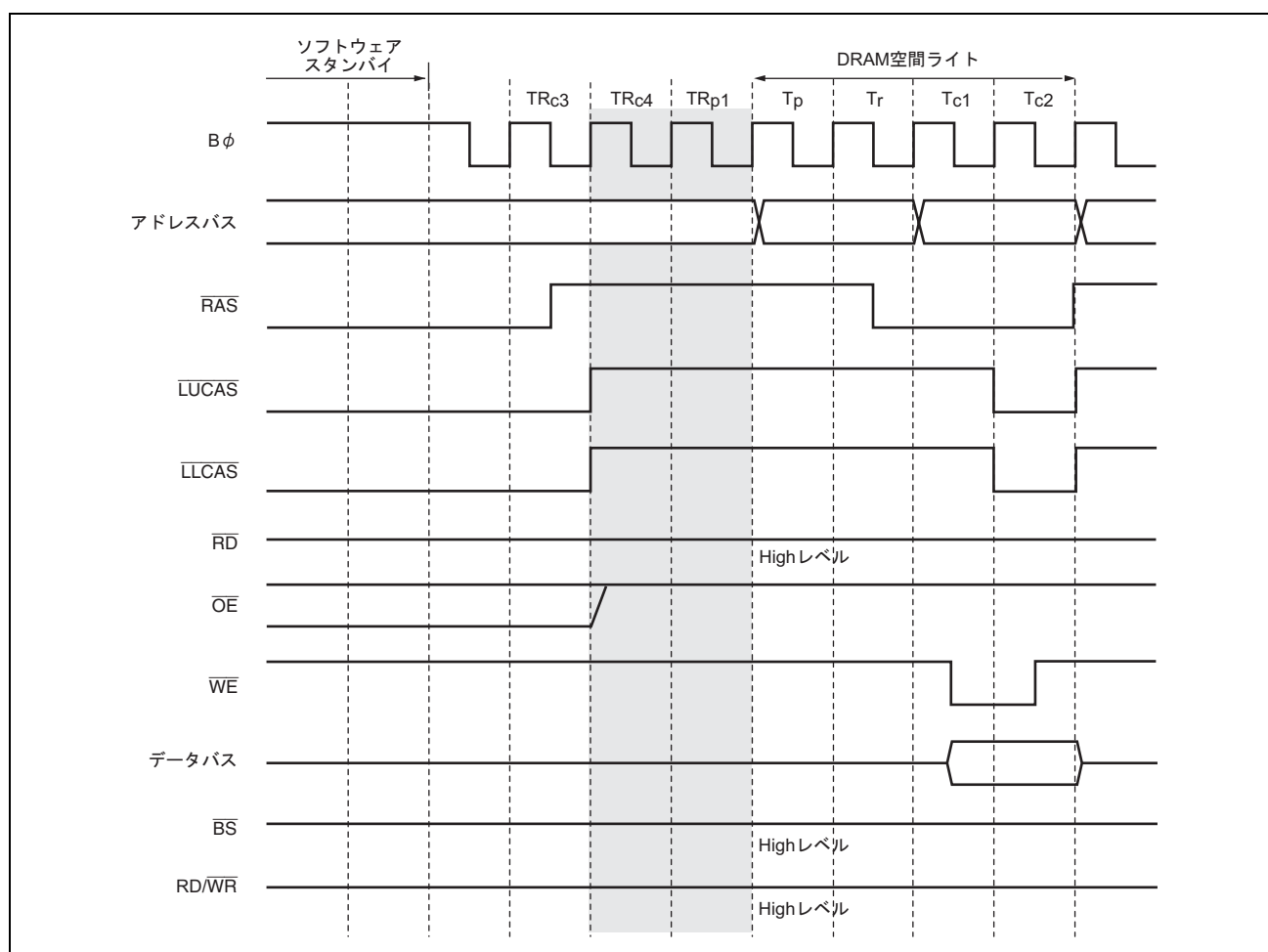


図 9.57 セルフリフレッシュ直後のプリチャージ時間を 1 ステート増加した場合のタイミング例

(3) リフレッシュと全モジュールクロックストップモード

本 LSI は、MSTPCR の ACSE ビットを 1 にセットしてすべての周辺モジュールのクロックを停止するか (MSTPCRA、MSTPCRB = H'FFFFFFFF)、または 8 ビットタイマだけを動作させて (MSTPCRA、MSTPCRB = H'[C~F]FFFFFF)、SLEEP 命令を実行し、スリープ状態へ遷移すると、バスコントローラと I/O ポートもクロックを停止する全モジュールクロックストップモードへ遷移します。

全モジュールクロックストップモードではバスコントローラのクロックが停止しますので、CBR リフレッシュが実行されません。外部に DRAM を接続し、スリープモードで DRAM のデータを保持したい場合には、MSTPCR の ACSE ビットを 0 にクリアしてください。

詳細は「27.2.2 モジュールストップコントロールレジスタ A、B (MSTPCRA、MSTPCRB)」を参照してください。

9.10.13 DMAC のシングルアドレス転送と DRAM インタフェース

DRAM 空間を高速ページモード (BE=1) に設定している場合において、DMAC または EXDMAC のシングルアドレス転送の転送先または転送元とした DRAM 空間のアクセスを、高速ページアクセスまたはフルアクセスとするかを DRAMCR の DDS、EDDS ビットの設定により選択することができます。このとき同時に、 $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 、 $\overline{\text{BS}}$ 信号の出力タイミングが変更されます。BE=0 の場合は、DDS、EDDS ビットの設定によらず、シングルアドレス転送による DRAM 空間のアクセスはフルアクセスとなります。ただし、 $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 、 $\overline{\text{BS}}$ 出力タイミングは DDS、EDDS ビットの設定により変更することができます。

さらに、BCR1 の DKC、EDKC ビットにより $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 信号のアサートタイミングを変更することができます。

(1) DDS=1 または EDDS=1 のとき

バスマスタに関係なく、アドレスのみを判定して高速アクセスを行います。また、 $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミングは、Tc1 ステートから Low レベルになります。

図 9.58 に DDS=1 または EDDS=1 のときの $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミング例を示します。

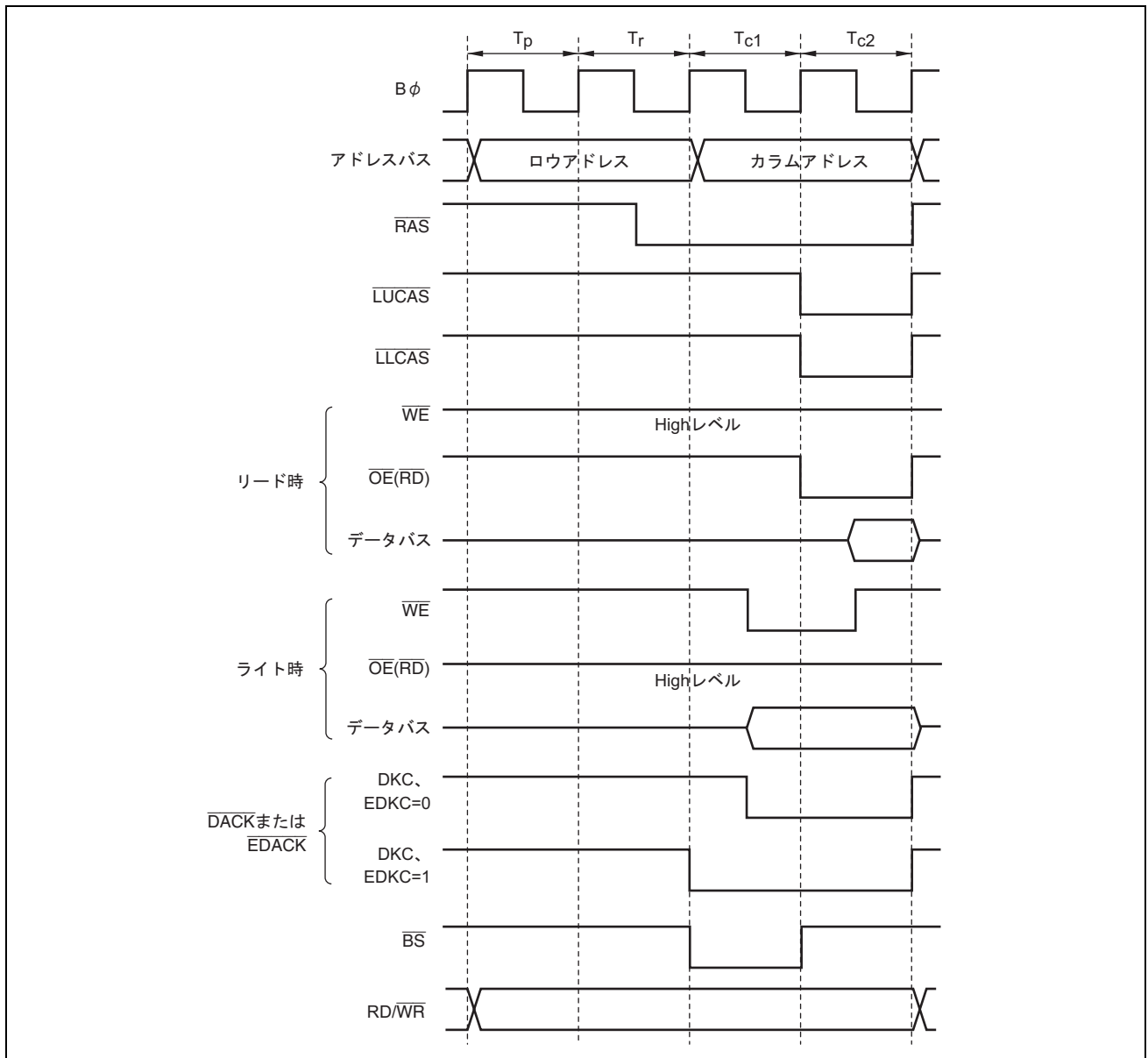


図 9.58 DDS=1 または EDDS=1 のときの DACK、EDACK 出カタイミグ例 (RAST=0、CAST=0)

9. バスコントローラ (BSC)

(2) DDS=0 または EDDS=0 のとき

DMAC または EXDMAC のシングルアドレス転送を行う場合は、フルアクセス（ノーマルアクセス）になります。また、 \overline{DACK} 、 \overline{EDACK} 出力タイミングは、 T_r ステートから Low レベルになり、 \overline{BS} の出力タイミングも T_r ステートでアサートします。

DMAC または EXDMAC のシングルアドレス転送以外では、高速ページアクセスが可能です。

図 9.59 に DDS=0 または EDDS=0 のときの \overline{DACK} 、 \overline{EDACK} 出力タイミング例を示します。

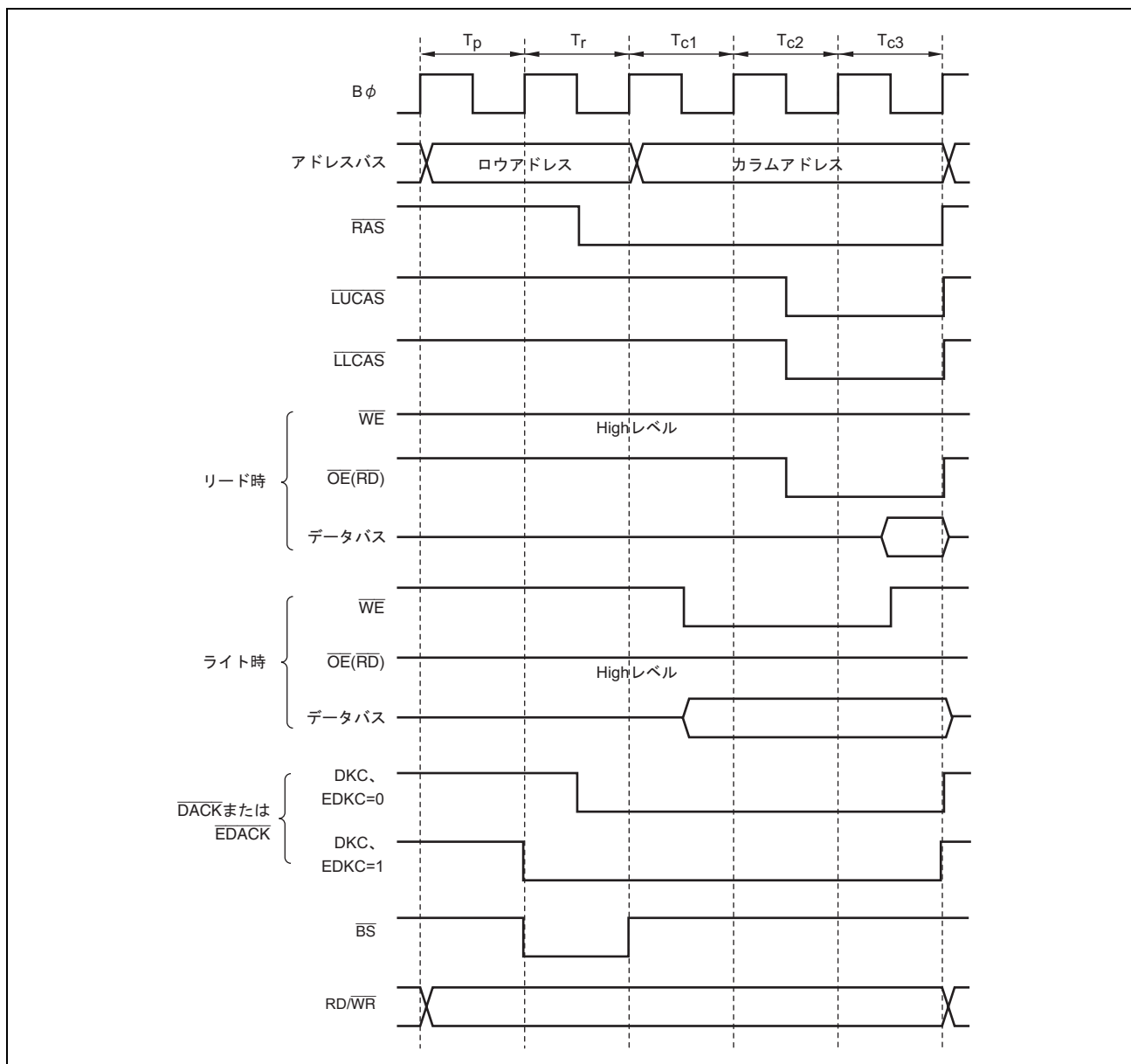


図 9.59 DDS=0 または EDDS=0 のときの \overline{DACK} 、 \overline{EDACK} 出力タイミング例 (RAST=0、CAST=1)

9.11 シンクロナス DRAM インタフェース

H8SX1648G グループ、H8SX1648H グループのみサポートしています。

本 LSI は、エリア 2 の外部空間をシンクロナス DRAM 空間に設定すると、シンクロナス DRAM インタフェースを行うことができます。シンクロナス DRAM インタフェースでは、最大 8M バイト (64M ビット) のシンクロナス DRAM を直結することができます。また、CAS レイテンシ 2~4 のシンクロナス DRAM を接続することができます。

9.11.1 シンクロナス DRAM 空間の設定

エリア 2 は、DRAMCR の DRAME ビットと DTYPE ビットによりシンクロナス DRAM 空間に設定できます。表 9.24 に DRAME ビットと DTYPE ビットの設定値と、エリア 2 のインタフェース機能の関係を示します。

シンクロナス DRAM 空間では、PB2、PB3、PB4 端子を $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 、 $\overline{\text{WE}}$ 信号として使用します。また、PFCR の設定により PB1 端子を $\overline{\text{CS2}}$ 信号として、DRAMCR の OEE ビットを 1 にセットすることにより PB5 端子を $\overline{\text{CKE}}$ 信号として使用することができます。シンクロナス DRAM 空間のバス仕様は、エリア 2 の設定に従います。シンクロナス DRAM 空間に対する端子ウェイト、プログラムウェイトは無効となります。PFCR については「13. I/O ポート」を参照してください。

$\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 、 $\overline{\text{WE}}$ 信号、およびカラムアドレスの上位に出力されるアドレスプリチャージ設定コマンド (Precharge-sel) を組み合わせることにより、シンクロナス DRAM に対するコマンドが指定されます。

本 LSI がサポートするコマンドは、NOP、オートリフレッシュ (REF)、セルフリフレッシュ (SELF)、全バンクプリチャージ (PALL)、ロウアドレスストロブ・バンクアクティブ (ACTV)、リード (READ)、ライト (WRIT)、モードレジスタ書き込み (MRS) です。バンク制御を行うコマンドは使用できません

表 9.24 DRAME、DTYPE の設定値とエリア 2 のインタフェース機能の関係

DRAME	DTYPE	エリア 2 のインタフェース
0	x	基本バス空間 (初期値) / バイト制御 SRAM 空間
1	0	DRAM 空間
1	1	シンクロナス DRAM 空間

【記号説明】 x : don't care

9.11.2 アドレスマルチプレクス

シンクロナス DRAM 空間では、ロウアドレスとカラムアドレスがマルチプレクスされています。アドレスマルチプレクスでは、DRAMCR の MXC1、MXC0 ビットによりロウアドレスのシフト量を選択します。また、シンクロナス DRAM インタフェースに設定すると、カラムアドレスの上位にアドレスプリチャージ設定コマンド (Precharge-sel) が出力されます。表 9.25 に MXC1、MXC0 ビットの設定値とシフト量の関係を示します。

9. バスコントローラ (BSC)

表 9.25 MXC1、MXC0 ビットとアドレスマルチプレクスの関係

DRAMCR		シフト量	データバス幅	アドレス	マイコン外部アドレス端子																		
MXC1	MXC0				A23~A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
0	0	8ビット	8ビット	ロウアドレス	A23~A18	—	—	A23	A22	A21	A20	A19	P/A18*	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8
				カラムアドレス	A23~A18	—	—	A23	A22	A21	A20	A19	P	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
			16ビット	ロウアドレス	A23~A18	—	—	A23	A22	A21	A20	P/A19*	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8
				カラムアドレス	A23~A18	—	—	A23	A22	A21	A20	P	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
0	1	9ビット	8ビット	ロウアドレス	A23~A18	A17	—	—	A23	A22	A21	A20	P/A19*	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9
				カラムアドレス	A23~A18	A17	—	—	A23	A22	A21	A20	P	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
			16ビット	ロウアドレス	A23~A18	A17	—	—	A23	A22	A21	P/A20*	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9
				カラムアドレス	A23~A18	A17	—	—	A23	A22	A21	P	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
1	0	10ビット	8ビット	ロウアドレス	A23~A18	—	—	—	A23	A22	A21	P/A20*	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	
				カラムアドレス	A23~A18	—	—	—	A23	A22	A21	P	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
			16ビット	ロウアドレス	A23~A18	—	—	—	A23	A22	P/A21*	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	
				カラムアドレス	A23~A18	—	—	—	A23	A22	P	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
1	1	11ビット	8ビット	ロウアドレス	A23~A18	A17	—	—	—	A23	A22	P/A21*	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	
				カラムアドレス	A23~A18	A17	—	—	—	A23	A10	P	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
			16ビット	ロウアドレス	A23~A18	A17	—	—	—	A23	P/A22*	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	
				カラムアドレス	A23~A18	A17	—	—	—	A11	P	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	

【注】 * PALLコマンド発行時はPrecharge-sel=1(High)を、ACTVコマンド時は対応するアドレスを出力します。

9.11.3 データバス

シンクロナス DRAM 空間のバス幅は、ABWCR の ABWH2 ビットと ABWL2 ビットにより、当該エリアを 8 ビット、16 ビットシンクロナス DRAM 空間に設定できます。16 ビットシンクロナス DRAM 空間では、×16 ビット構成のシンクロナス DRAM を直結することができます。

8 ビットシンクロナス DRAM 空間では D7~D0 のデータバスが有効となり、16 ビットシンクロナス DRAM 空間では D15~D0 のデータバスが有効となります。

ENDIANCR の LE2 ビットにより、データのエンディアン形式を選択できます。アクセスサイズとデータアライメントは、「9.5.6 エンディアンとデータアライメント」を参照してください。

9.11.4 シンクロナス DRAM インタフェースの入出力端子

表 9.26 にシンクロナス DRAM インタフェースの入出力端子を示します。

$\overline{\text{CS2}}$ 端子はリセット後は入力状態になっていますので、 $\overline{\text{CS}}$ 信号を出力する場合には対応する PFCR を 1 にセットしてください。詳細は「13. I/O ポート」を参照してください。

また、シンクロナス DRAM インタフェースを有効とするためには、MCU 動作モードに従ってモードの設定を行ってください。詳細は「3. MCU 動作モード」を参照してください。

表 9.26 シンクロナス DRAM インタフェースの入出力端子

端子	シンクロナス DRAM 設定時	名称	入出力	機能
RAS	RAS	ロウアドレスストロープ	出力	エリア 2 をシンクロナス DRAM 空間に設定したときのロウアドレスストロープ
$\overline{\text{CAS}}$	$\overline{\text{CAS}}$	カラムアドレスストロープ	出力	エリア 2 をシンクロナス DRAM 空間に設定したときのカラムアドレスストロープ
$\overline{\text{WE}}$	WE	ライトイネーブル	出力	エリア 2 をシンクロナス DRAM 空間に設定したときのライトイネーブル
$\overline{\text{OE}}$ / CKE	CKE	クロックイネーブル	出力	エリア 2 をシンクロナス DRAM 空間に設定したときのクロックイネーブル
$\overline{\text{LUCAS}}$ / DQMLU	DQMLU	ロウアーアッパーデータマスキイネーブル	出力	16 ビットシンクロナス DRAM 空間アクセス時のアッパーデータマスキイネーブル
$\overline{\text{LLCAS}}$ / DQMLL	DQMLL	ロウアーロウアーデータマスキイネーブル	出力	16 ビットシンクロナス DRAM 空間アクセス時のロウアーデータマスキイネーブル 8 ビットシンクロナス DRAM 空間アクセス時のデータマスキイネーブル
A17~A0	A17~A0	アドレス端子	出力	ロウアドレス/カラムアドレスのマルチプレクス出力
D15~D0	D15~D0	データ端子	入出力	データ入出力端子
PB7	SDRAM ϕ	クロック	出力	シンクロナス DRAM 専用クロック
$\overline{\text{CS2}}$	$\overline{\text{CS}}$	チップセレクト	出力	シンクロナス DRAM が選択されていることを示すストロープ信号

9.11.5 基本タイミング

図 9.60、図 9.61 にシンクロナス DRAM の基本タイミングを示します。

基本リードタイミングは、プリチャージサイクル (T_p) が 1 ステート、ロウアドレス出力サイクル (T_r) が 1 ステート、カラムアドレス出力サイクル (T_{c1} 、 T_{c1} 、 T_{c2}) が 3 ステートの 5 サイクルで構成されています。

基本ライトタイミングは、プリチャージサイクル (T_p) が 1 ステート、ロウアドレス出力サイクル (T_r) が 1 ステート、カラムアドレス出力サイクル (T_{c1} 、 T_{c2}) が 2 ステートの 4 サイクルで構成されています。

シンクロナス DRAM 空間に設定した場合、BCR の WAITE ビット、DRAMCR の RAST、CAST ビット、REFCR の RCW1、RCW0 ビットの設定は無視されます。

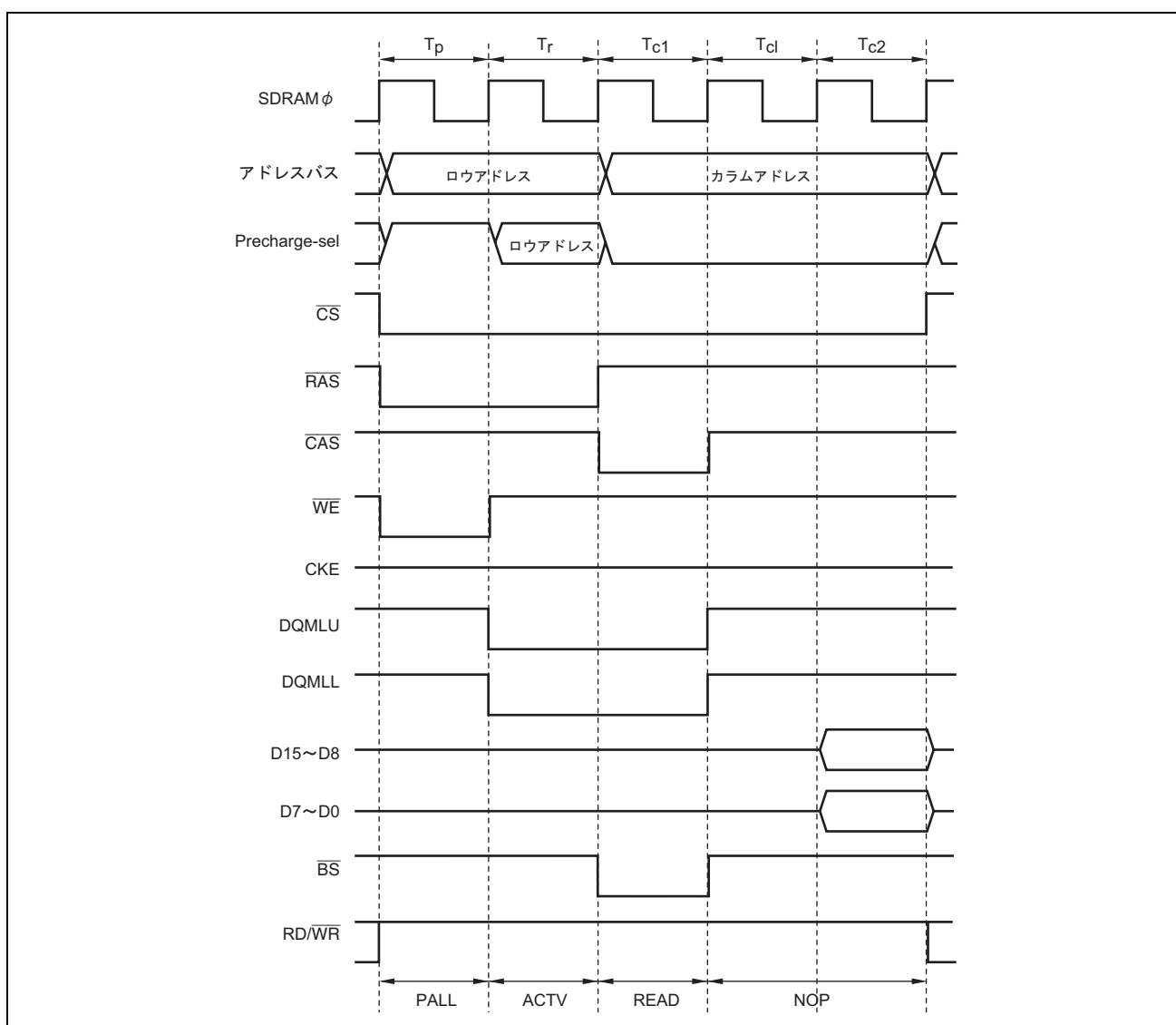


図 9.60 シンクロナス DRAM 基本リードアクセスタイミング (CAS レイテンシ 2)

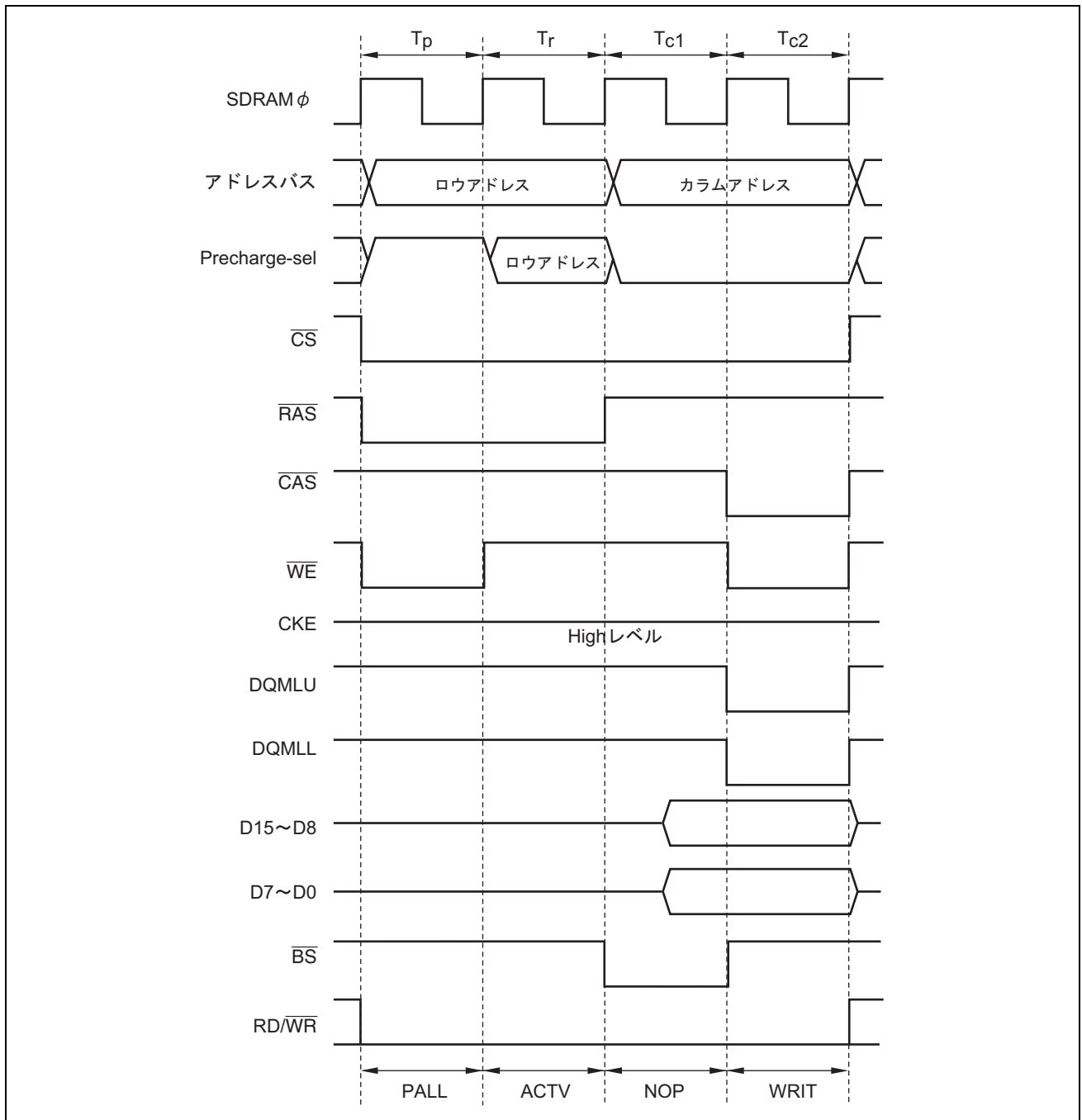


図 9.61 シンクロナス DRAM 基本ライトアクセスタイミング

9.11.6 CAS レイテンシ制御

CAS レイテンシは、WTCRB の W21、W20 ビットで制御します。シンクロナス DRAM の設定により、表 9.27 のように CAS レイテンシ数を設定してください。設定に応じて CAS レイテンシ制御サイクル (Tcl) がリードサイクルに挿入されます。このとき、ASTCR の AST2 ビットの設定に関係なく、WTCRB の設定が可能です。

図 9.62 に CAS レイテンシ 3 のシンクロナス DRAM を接続したときの CAS レイテンシ制御タイミング例を示します。

W21、W20 の初期値は B'11 となっていますので、接続するシンクロナス DRAM の CAS レイテンシに合わせて設定してください。

表 9.27 CAS レイテンシの設定

W21	W20	説明	CAS レイテンシ制御 サイクル挿入数
0	0	(設定禁止)	—
	1	CAS レイテンシ 2 のシンクロナス DRAM を接続	1 ステート
1	0	CAS レイテンシ 3 のシンクロナス DRAM を接続	2 ステート
	1	CAS レイテンシ 4 のシンクロナス DRAM を接続	3 ステート

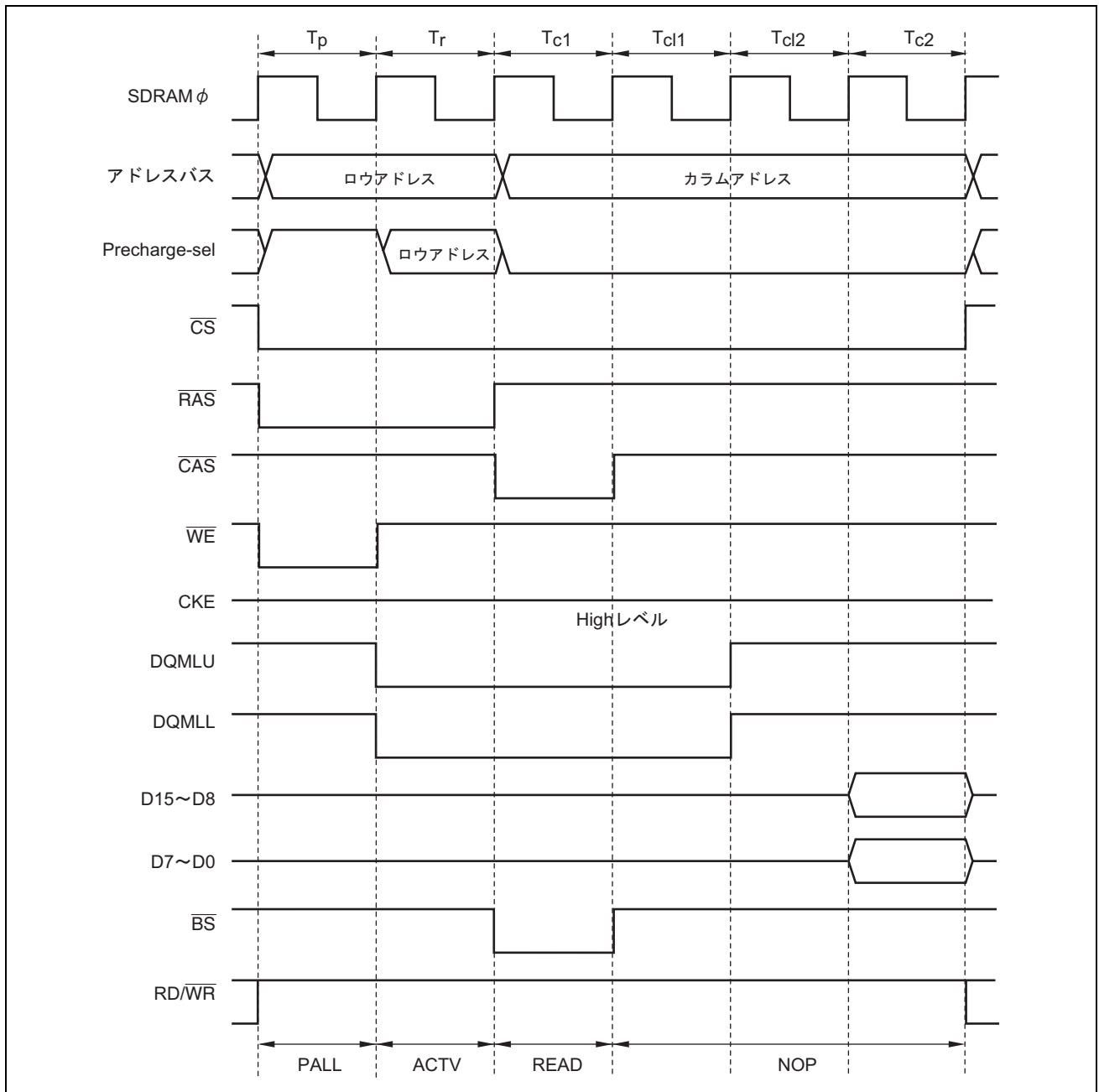


図 9.62 CAS レイテンシ制御タイミング例 (CAS レイテンシ 3)

9.11.7 ロウアドレス出力ステート制御

ACTV コマンドから、次の READ/WRITE コマンドまでのコマンド間隔規定を満たすことができない場合には、DRACCR の RCD1、RCD0 ビットにより、ACTV コマンドが出力される T_r サイクルと、カラムアドレスが出力される T_{c1} サイクルの間に、NOP コマンドが出力されるステート (T_{rw}) を 1~3 ステート挿入することができます。接続するシンクロナス DRAM と本 LSI の動作周波数に応じて、ウェイト時間が最適になるように設定してください。

図 9.63、図 9.64 に T_{rw} を 1 ステートに設定したときのタイミング例を示します。

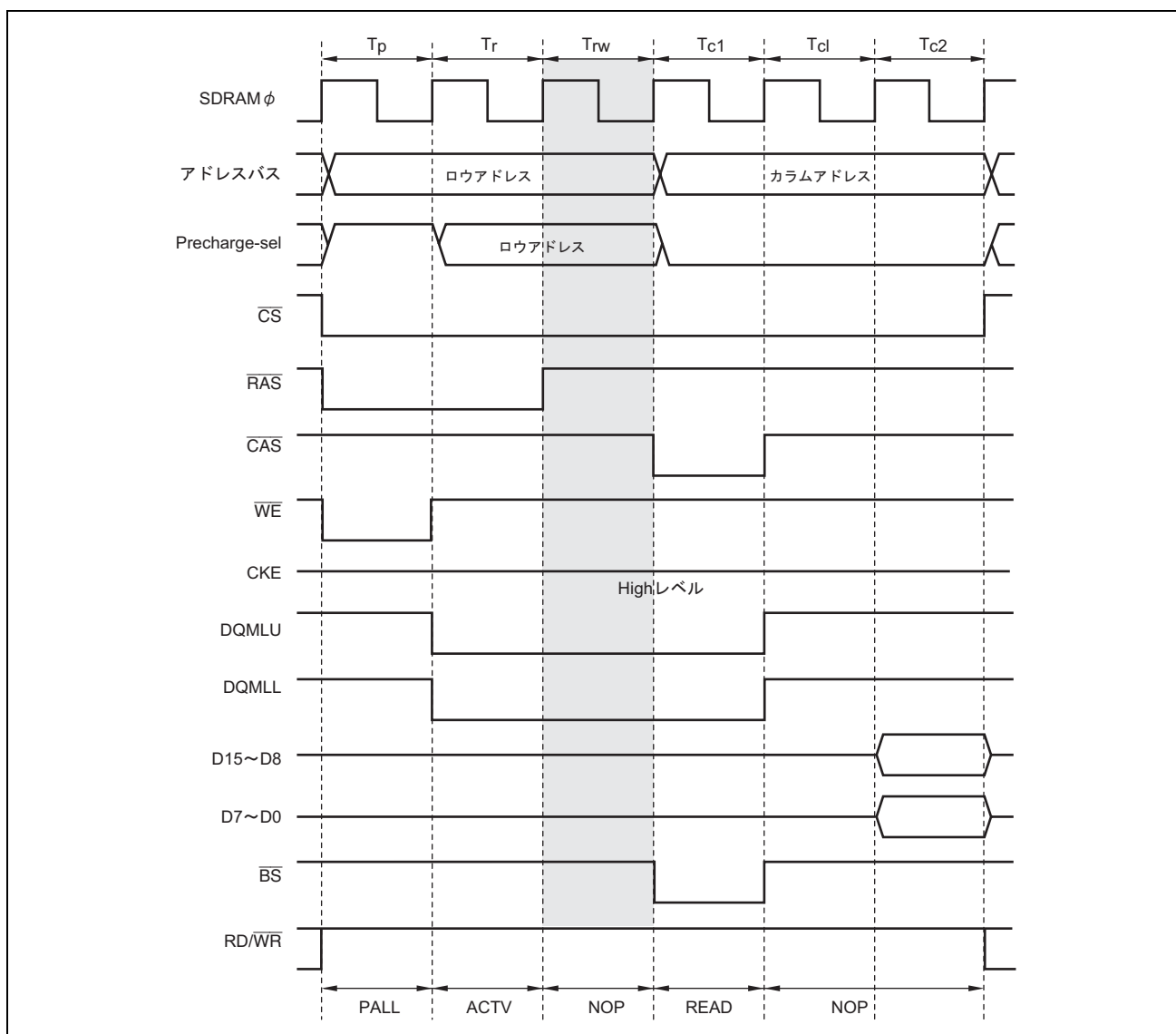


図 9.63 ロウアドレス出力保持ステート数が 1 ステート時のリードタイミング例
(RCD1=0、RCD0=1、CAS レイテンシ 2)

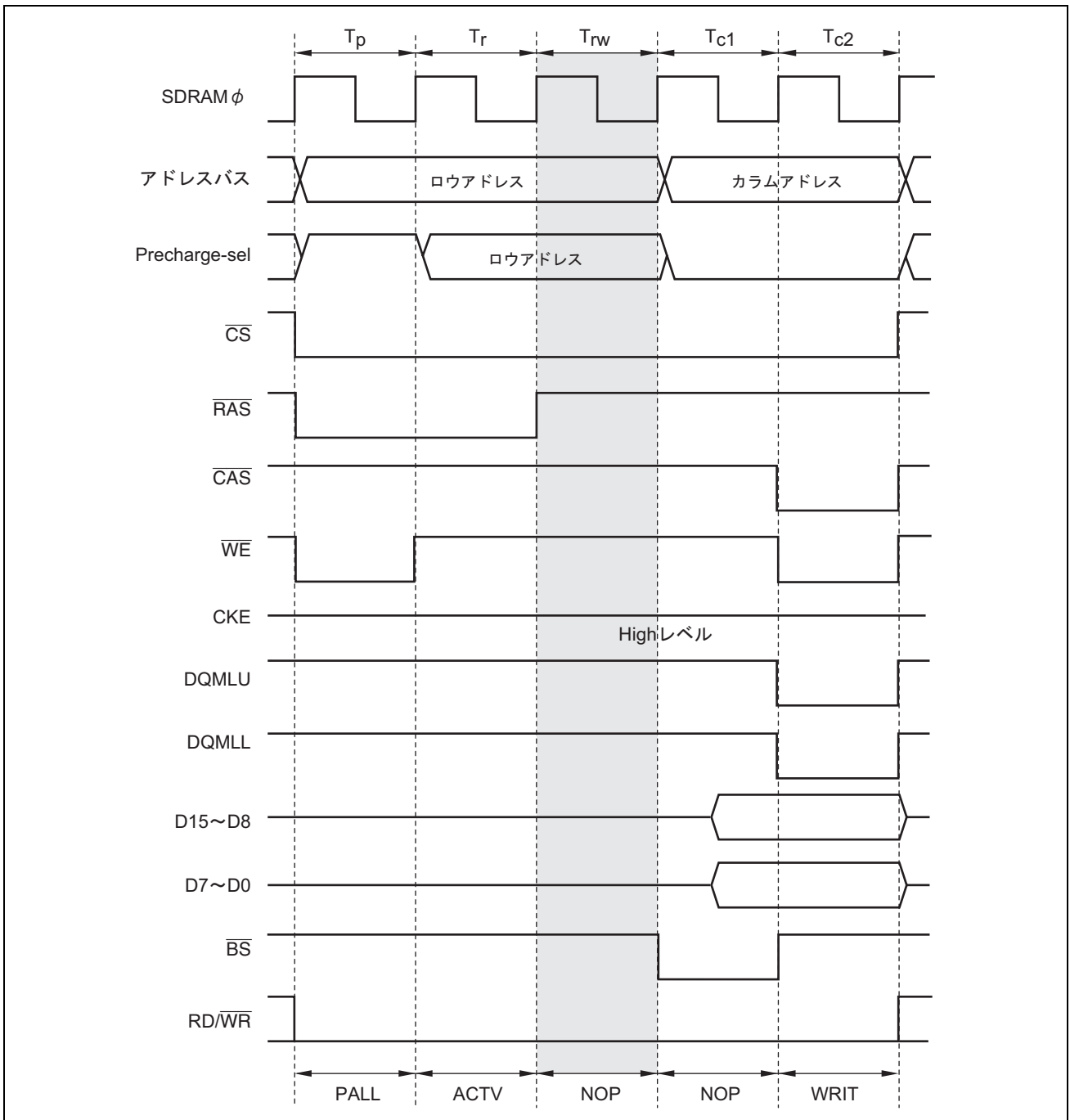


図 9.64 ロウアドレス出力保持ステート数が 1 ステートのときのライトタイミング例 (RCD1=0、RDC0=1)

9.11.8 プリチャージステート制御

PALL/PRE コマンドから、次の ACTV/REF コマンドまでの間隔規定を満たすことができない場合には、DRACCR の TPC1、TPC0 ビットにより、 T_p サイクルを 1~4 ステートの範囲で変更することができます。接続するシンクロナス DRAM と本 LSI の動作周波数に応じて、最適な T_p サイクル数を設定してください。

図 9.65、図 9.66 に T_p を 2 ステートとしたときのタイミング例を示します。

TPC1、TPC0 ビットの設定は、リフレッシュサイクルの T_p にも有効です。

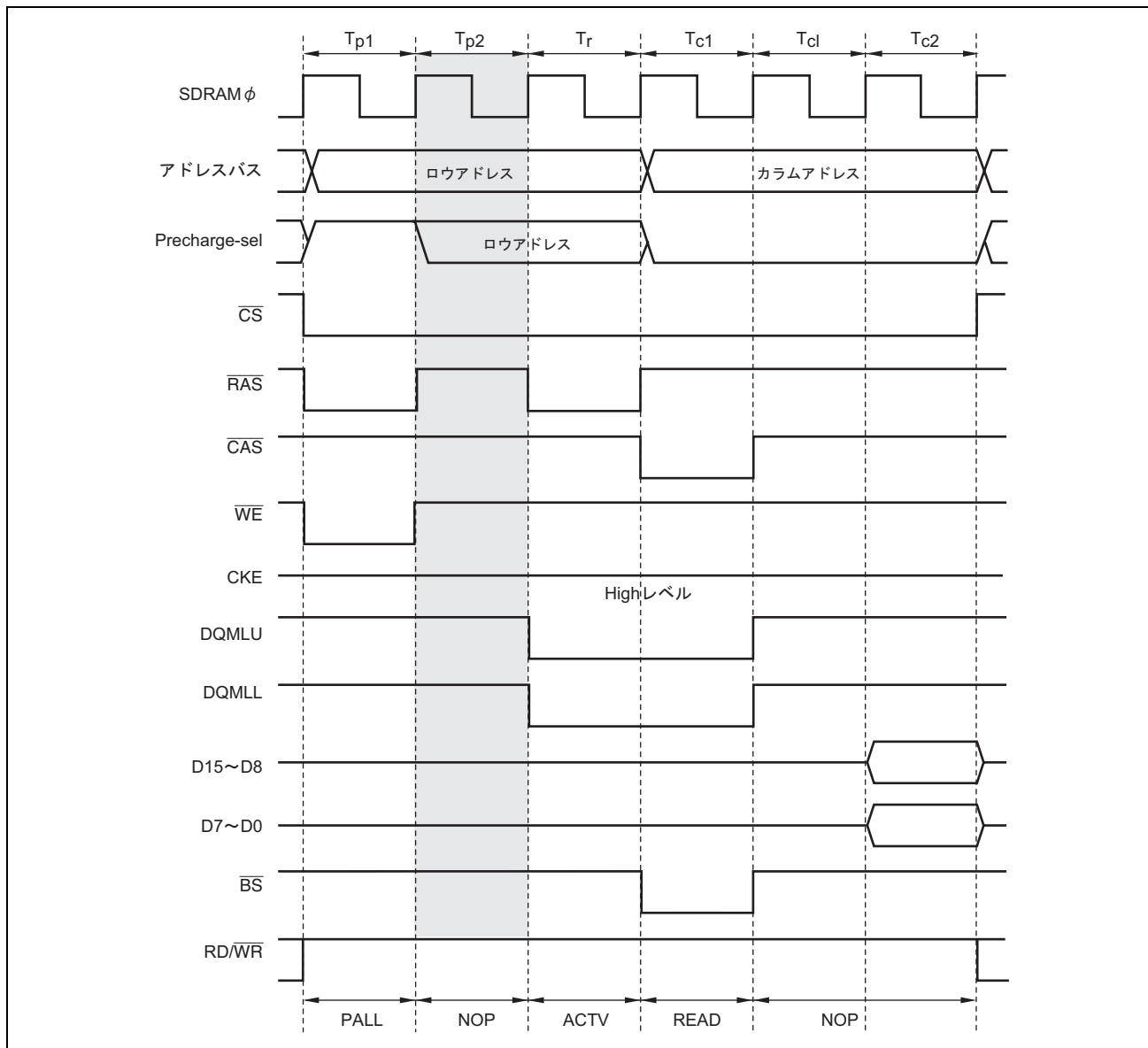


図 9.65 プリチャージサイクル 2 ステート時のリードタイミング例
(TPC1=0、TPC0=1、CAS レイテンシ 2)

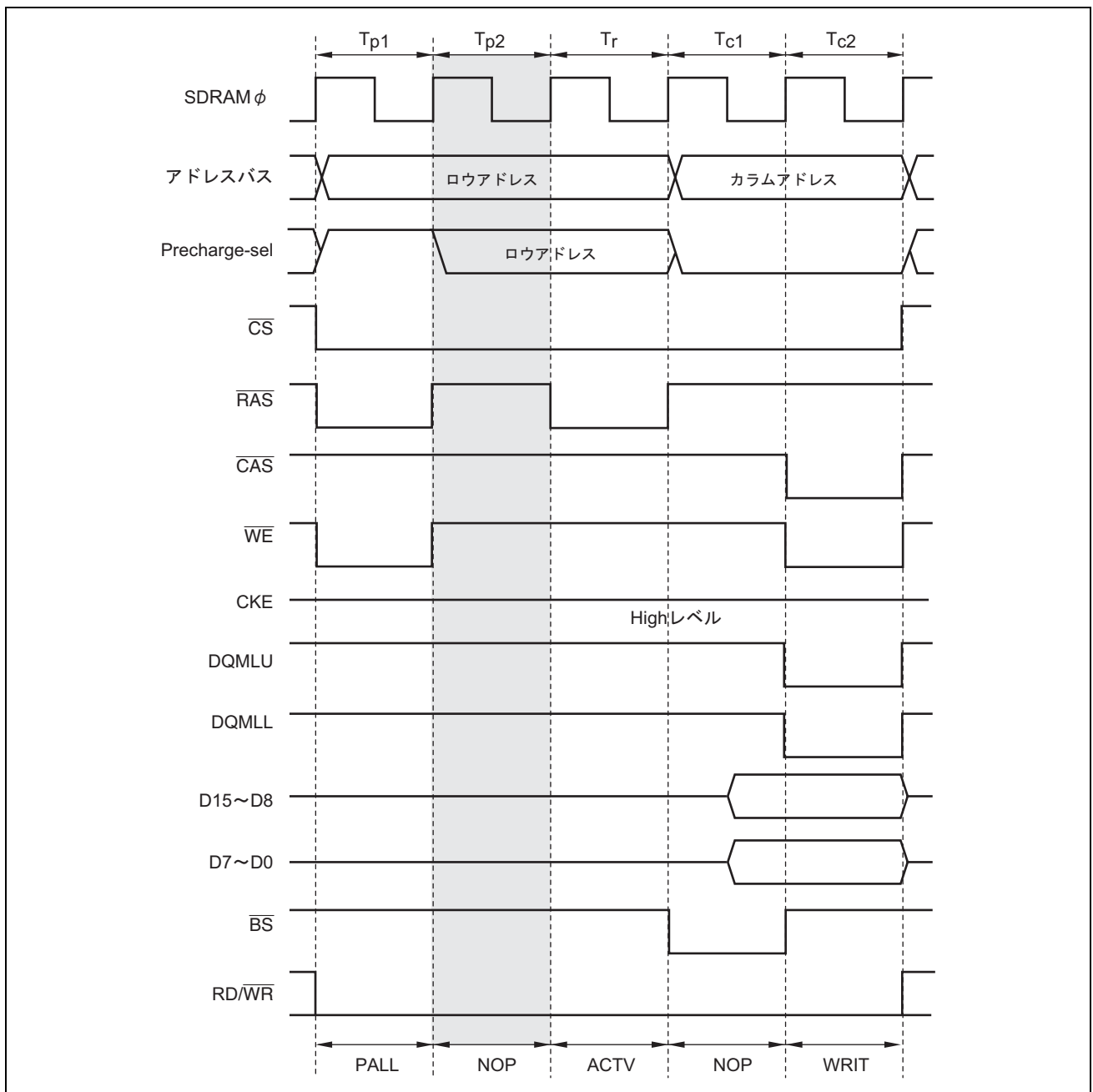


図 9.66 プリチャージサイクル 2 ステート時のライトタイミング例 (TPC1=0、TPC0=1)

9.11.9 クロックサスペンド挿入制御

シンクロナス DRAM 空間をリードアクセスする場合に、リードデータの確定時間をクロックサスペンドモードにより 1 サイクル拡張することができます。クロックサスペンドモードを行う場合は、SDCR の CKSPE ビットと DRAMCR の OEE ビットを 1 にセットして CKE 端子を有効にしてください。

図 9.67 に CKSPE=1 のときのリードタイミング例を示します。

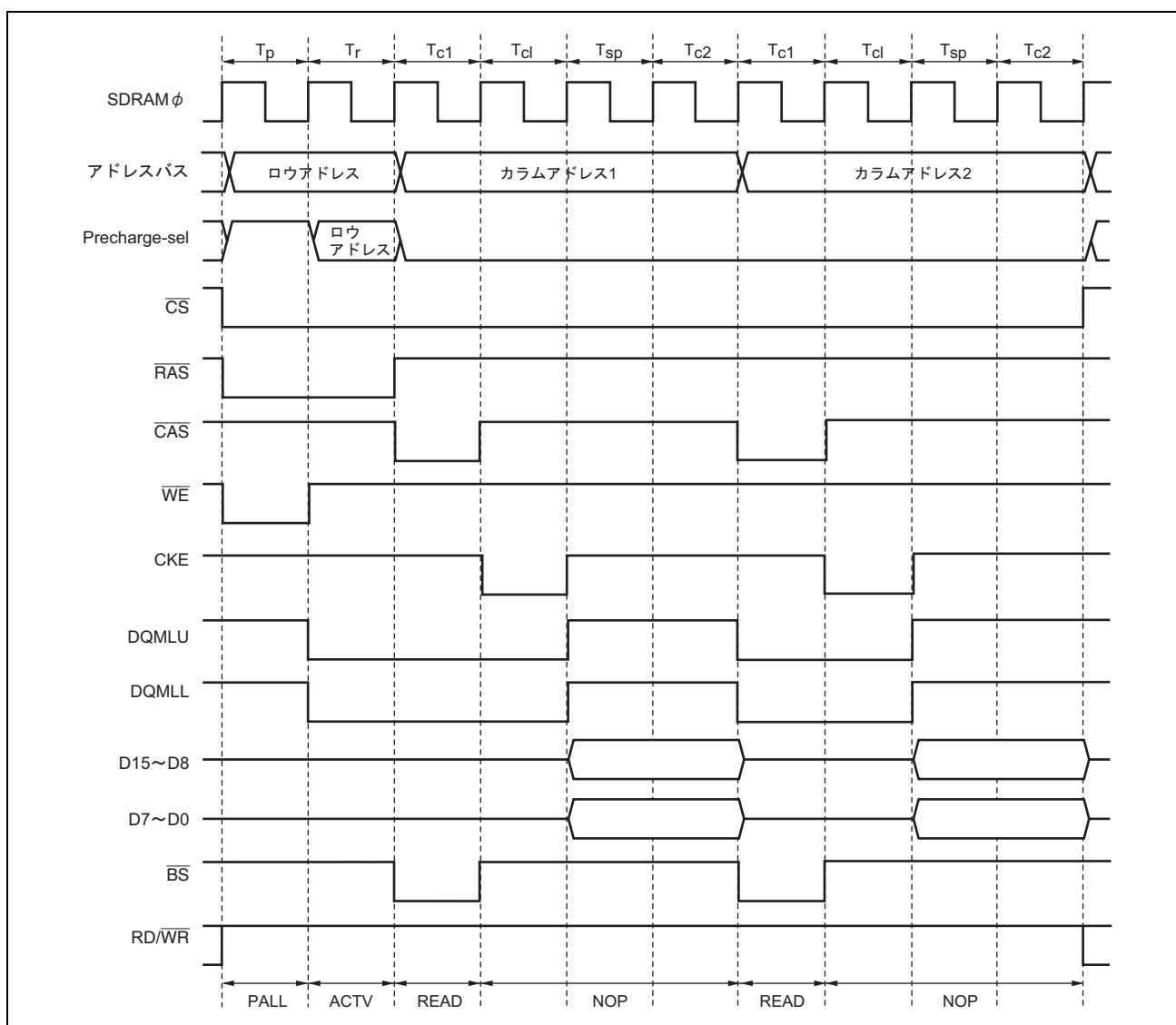


図 9.67 CKSPE=1 のときのリードタイミング例 (CAS レイテンシ 2)

9.11.10 ライトプリチャージ遅延制御

シンクロナス DRAM へのライトサイクルでは、シンクロナス DRAM の内部で書き込みが完了するまでに一定の時間が必要です。WRIT コマンドから、次の PALL コマンドまでの間隔規定を満たすことができない場合には、SDCR の TRWL ビットにより、Trwl サイクルを 1 ステート挿入することができます。接続するシンクロナス DRAM と本 LSI の動作周波数に応じて、Trwl サイクルを挿入するかどうか選択してください。

図 9.68 に Trwl を 1 ステート挿入したときのタイミング例を示します。

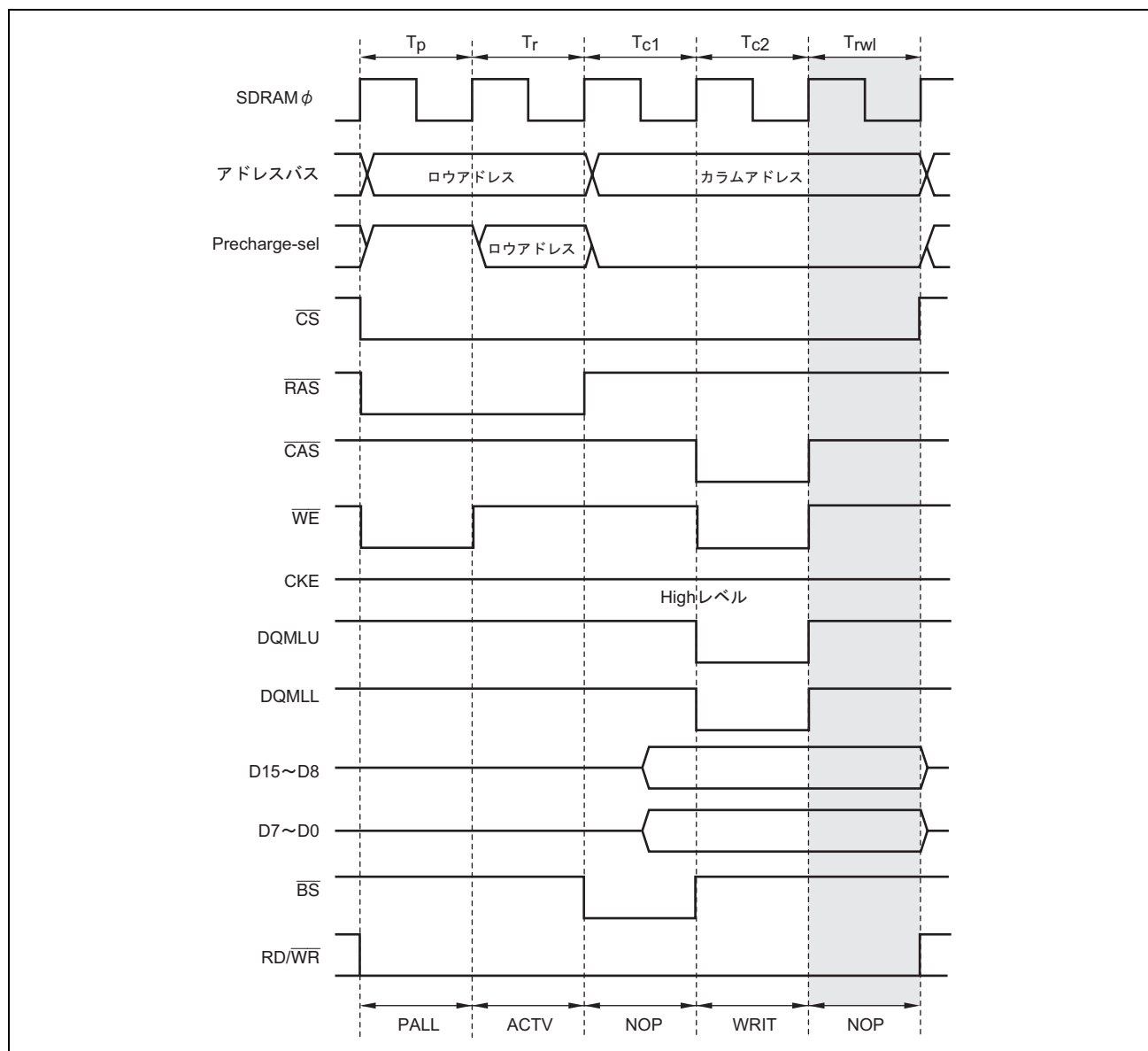


図 9.68 ライトプリチャージ遅延ステート挿入時のライトタイミング例 (TRWL=1)

9.11.11 バイト/ワードアクセス制御

×16ビット構成のシンクロナス DRAM を接続するとき、DQMLU、DQMLL を制御してバイトアクセス、ワードアクセスを行うことができます。

図 9.69～図 9.70 に DQM の制御タイミング (エンディアン形式はビッグエンディアン) を示します。また、図 9.71 に DQM によりバイト制御を行うときの接続例を示します。

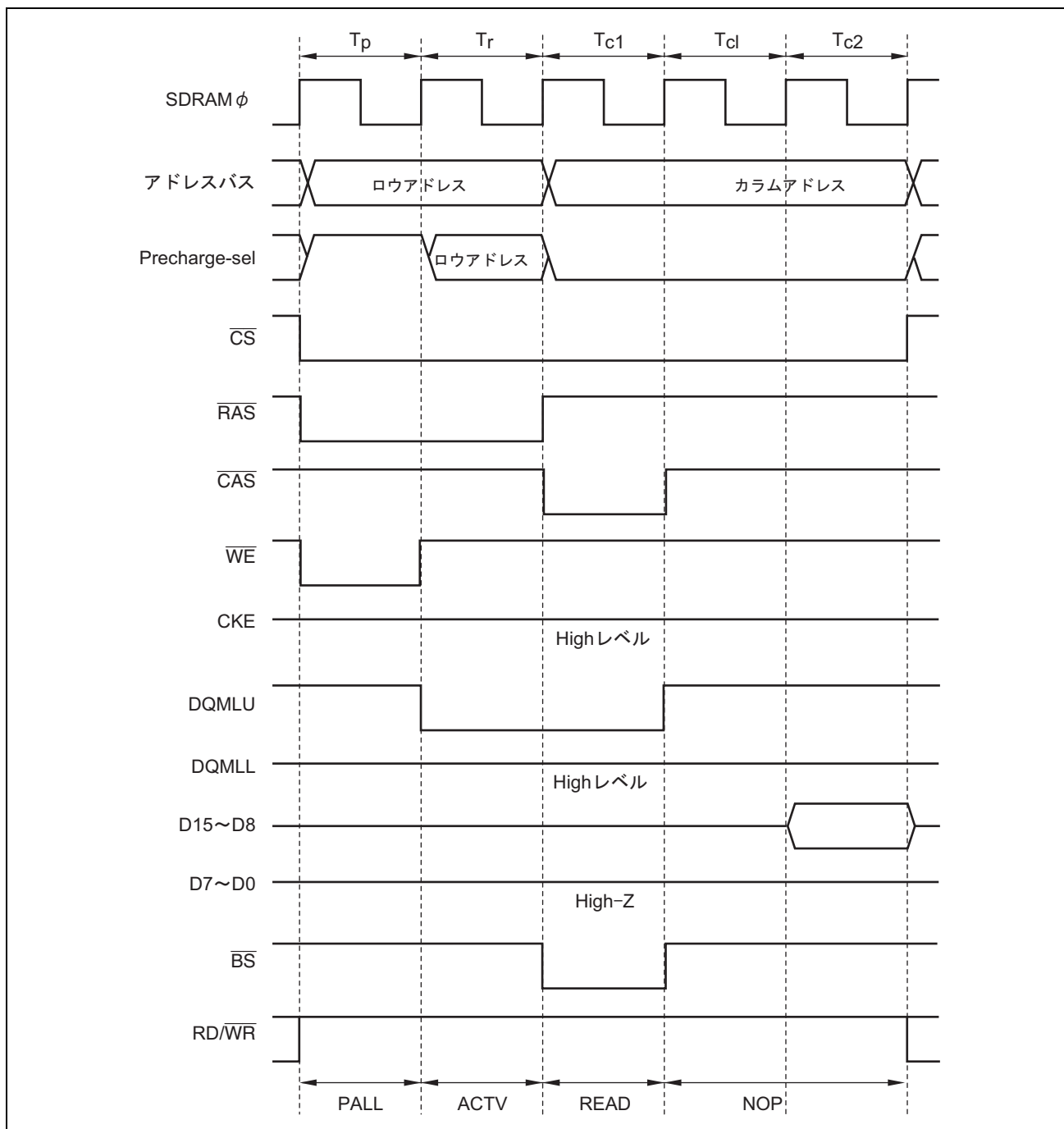


図 9.69 16 ビットアクセス空間時の DQM によるバイト制御タイミング (アドレス下位 1 ビットが B'0 のときのリードアクセス)

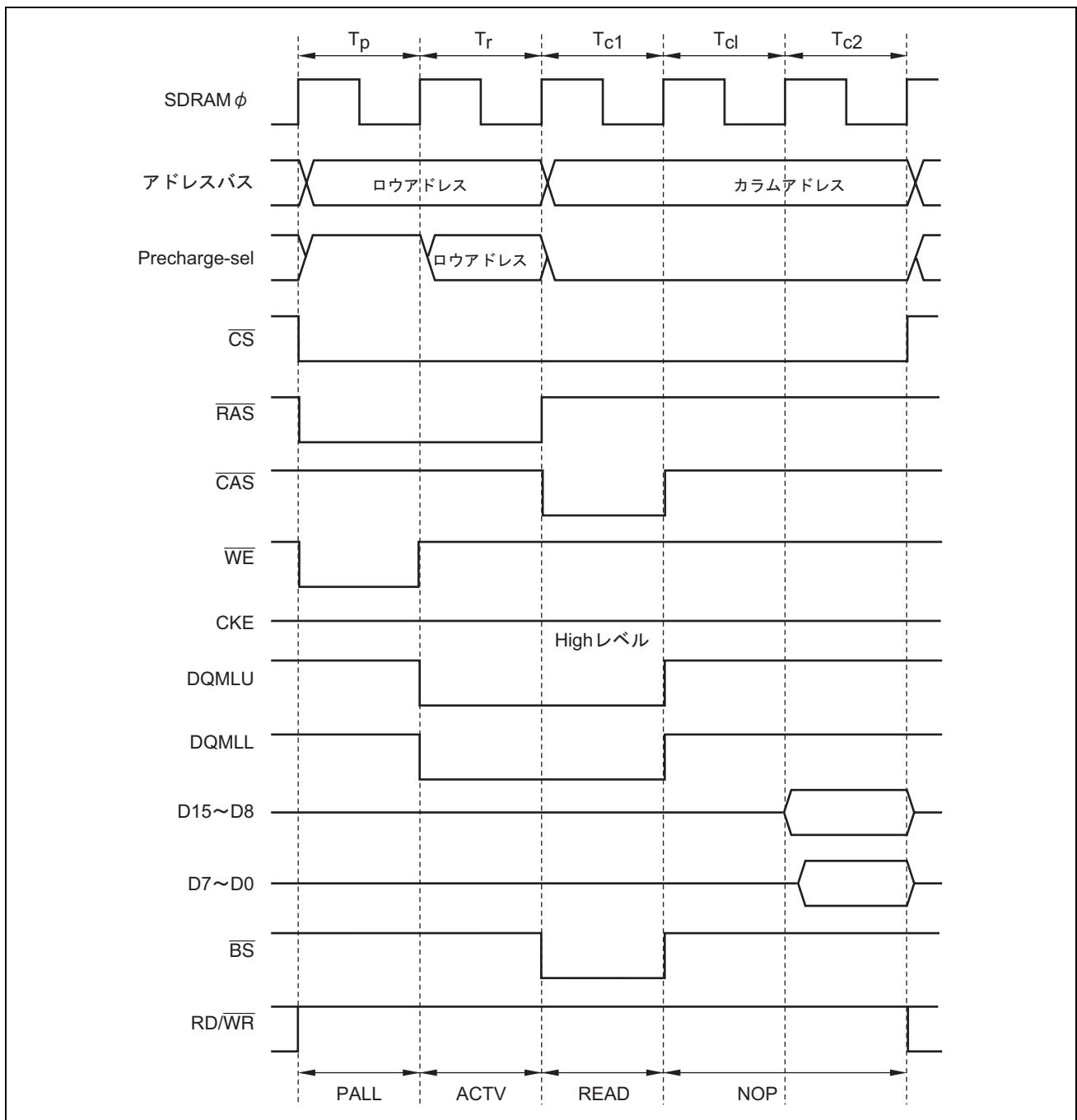


図 9.70 16 ビットアクセス空間時の DQM によるワード制御タイミング
(下位アドレス 1 ビットが B'0 のときのリードアクセス、CAS レイテンシ 2)

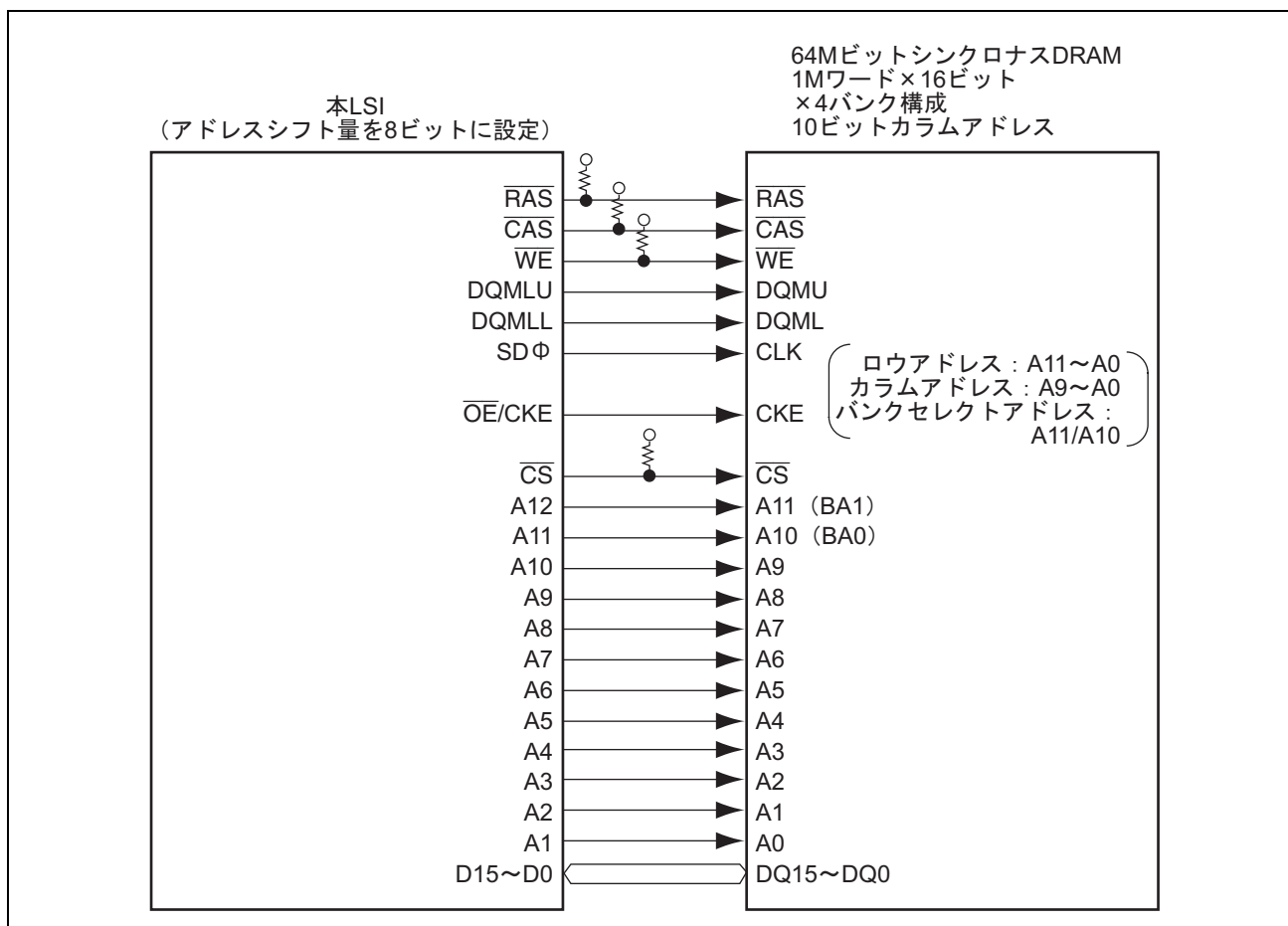


図 9.71 DQM によるバイト/ワード制御の接続例

9.11.12 高速ページアクセス動作

シンクロナス DRAM では、アクセスのたびにロウアドレスを出力してデータをアクセスするフルアクセス（ノーマルアクセス）の他に、同一のロウアドレスに対するアクセスが連続するとき、ロウアドレスを出力した後はカラムアドレスを変更するだけでデータを高速にアクセスできる高速ページアクセスがあります。

DRAMCR の BE ビットを 1 にセットすることにより、高速ページアクセスを選択することができます。

(1) 高速ページアクセスの動作タイミング

シンクロナス DRAM 空間へのアクセスサイクルが連続するとき、前後のアクセスサイクルのロウアドレスが一致している間は、カラムアドレスの出力サイクルが連続して行われます。比較対象となるロウアドレスは DRAMCR の MXC1、MXC0 ビットにより設定します。

接続されているシンクロナス DRAM のバス幅より大きいバス幅のアクセスを行ったとき、またはシンクロナス DRAM へのアクセスが連続するとき、高速ページアクセス動作を行います。

図 9.72 に×16 ビット構成のシンクロナス DRAM を接続した場合のロングワードアクセスタイミング、図 9.73 に×8 ビットバス構成のシンクロナス DRAM を接続した場合のワードアクセスタイミングを示します。

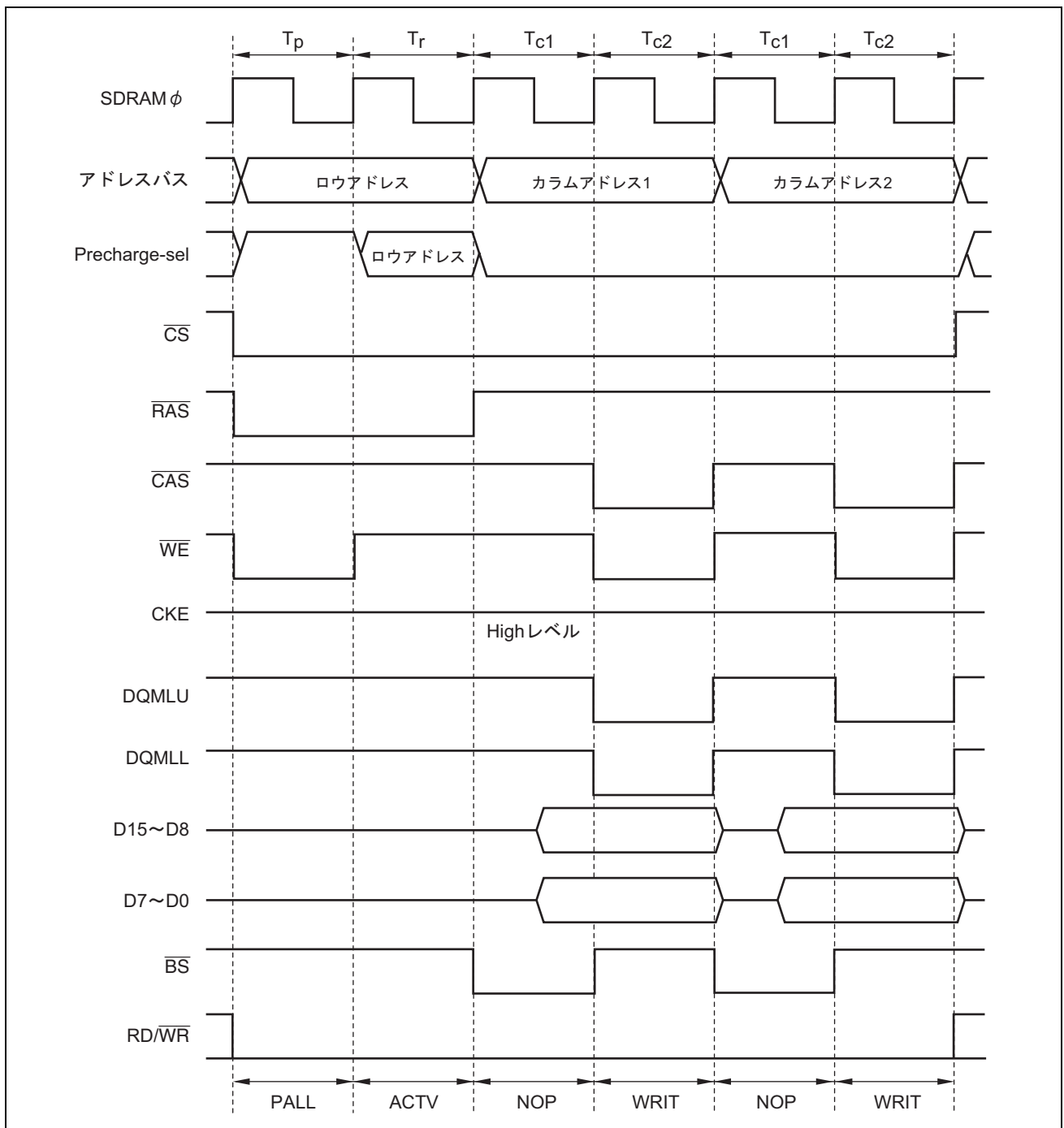


図 9.72 16 ビットアクセス空間時のロングワードライトタイミング (BE=1、RCDM=0)

9. バスコントローラ (BSC)

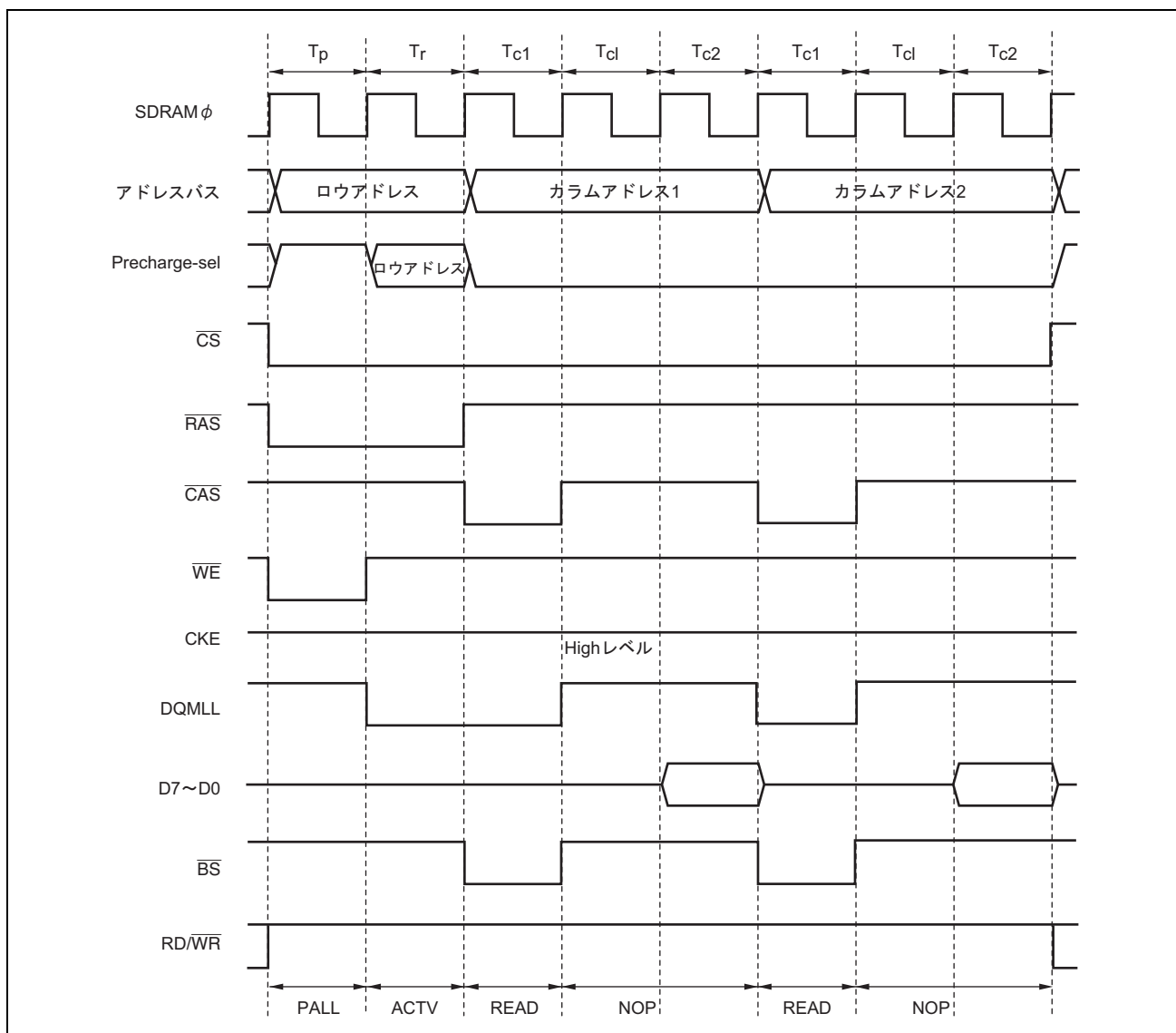


図 9.73 8 ビットアクセス空間時のワードリードタイミング (BE=1、RCDM=0、CAS レイテンシ 2)

(2) RAS ダウンモード

RAS ダウンモードに設定するときは、DRAMCR の RCDM ビットと BE ビットを 1 にセットしてください。RCDM ビットは DRAMCR レジスタの BE ビットを 1 にセットした場合のみ有効です。

高速ページアクセス動作に設定しても、シンクロナス DRAM 空間へのアクセスが連続せず、途中で他空間へのアクセスが入ってしまうことがあります。この場合、他空間がアクセスされている間もロウアドレスのアクティブ状態が保持され、DRAM の RAS ダウンモードと同様に ACTV コマンドを発行せずに READ または WRIT コマンドを発行することができます。ただし、シンクロナス DRAM をリードするとき、DQM は常に 2 サイクルのレイテンシがあります。

図 9.74、図 9.75 に RAS ダウンモードのタイミング例を示します。

以下の状態に遷移した場合、次のシンクロナス DRAM 空間のアクセスはフルアクセスとなります。

- リフレッシュ動作が RAS ダウン中に入ったとき
- セルフリフレッシュが行われたとき
- ソフトウェアスタンバイモードへ遷移するとき
- $\overline{\text{BREQ}}$ 信号を受け付けて、外部バスを解放するとき
- RCDM ビット、または BE ビットを 0 にクリアしたとき
- シンクロナス DRAM のモードレジスタを設定したとき

各バンクをアクティブ状態に保持するための時間の確保に制限のあるシンクロナス DRAM があります。この場合、プログラムの実行によってこの値を確保する周期で別のロウアドレスにアクセスする必要がない場合（ソフトウェアスタンバイ、スリープなど）、オートリフレッシュまたはセルフリフレッシュを行う設定にして、各バンクの最大アクティブ状態の保持時間の制約を満たす必要があります。リフレッシュを使用しない場合には、各バンクが所定時間以上アクティブ状態を保持しないようにプログラムで設定する必要があります。

クロック周波数の設定のため SCKCR へライトアクセスするときは、RCDM ビットを 0 にクリアしてください。SCKCR については「26. クロック発振器」を参照してください。

(3) RAS アップモード

RAS アップモードに設定するときは、DRAMCR の RCDM ビットを 0 にクリアしてください。シンクロナス DRAM 空間へのアクセスが途切れて他空間をアクセスすると、次のシンクロナス DRAM 空間へのアクセスは PALL から始まります。シンクロナス DRAM 空間のアクセスが連続している場合のみ、高速ページアクセス動作が行われます。

9. バスコントローラ (BSC)

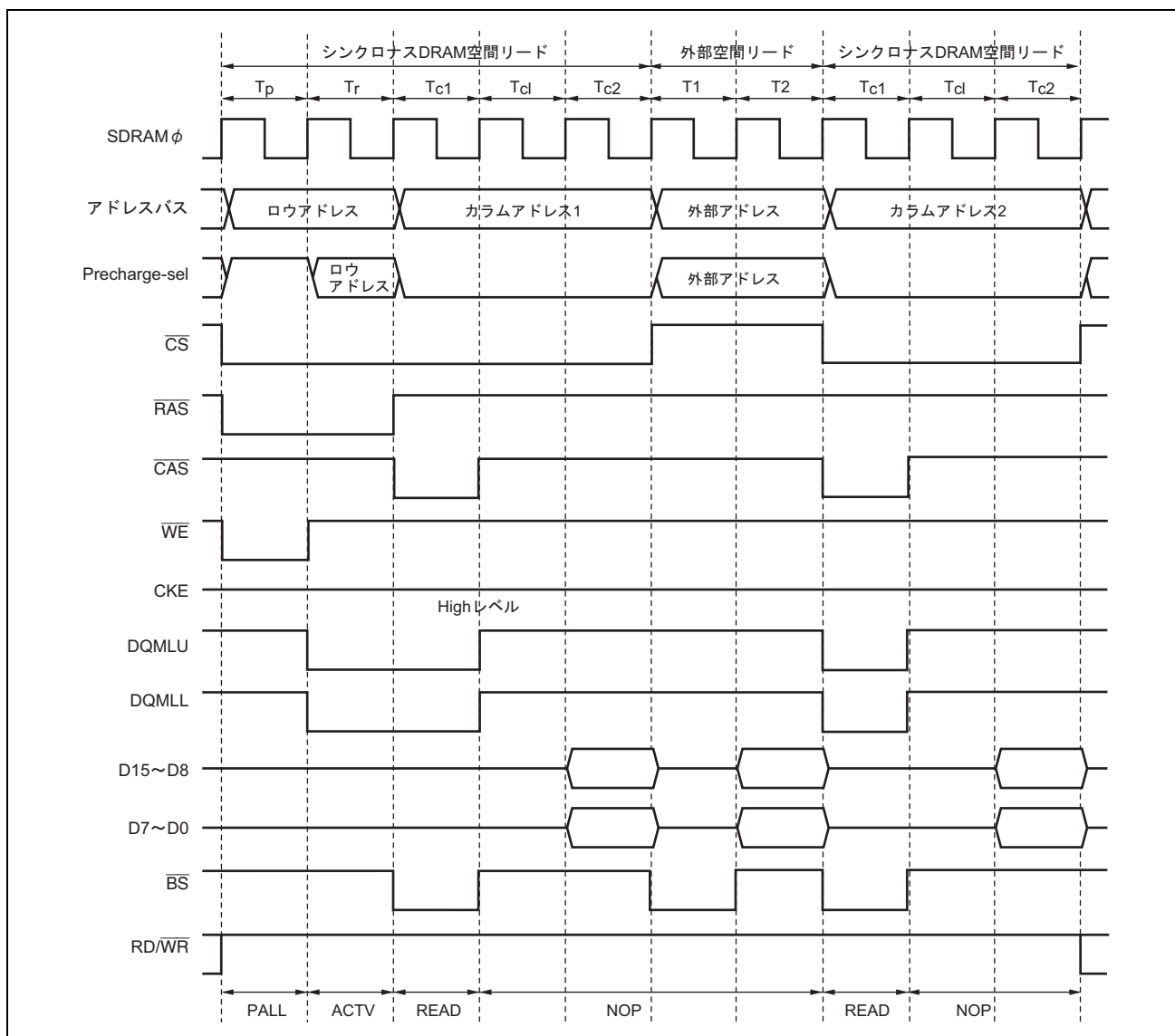


図 9.74 RAS ダウンモード時の動作タイミング例 (BE=1、RCDM=1、CAS レイテンシ 2)

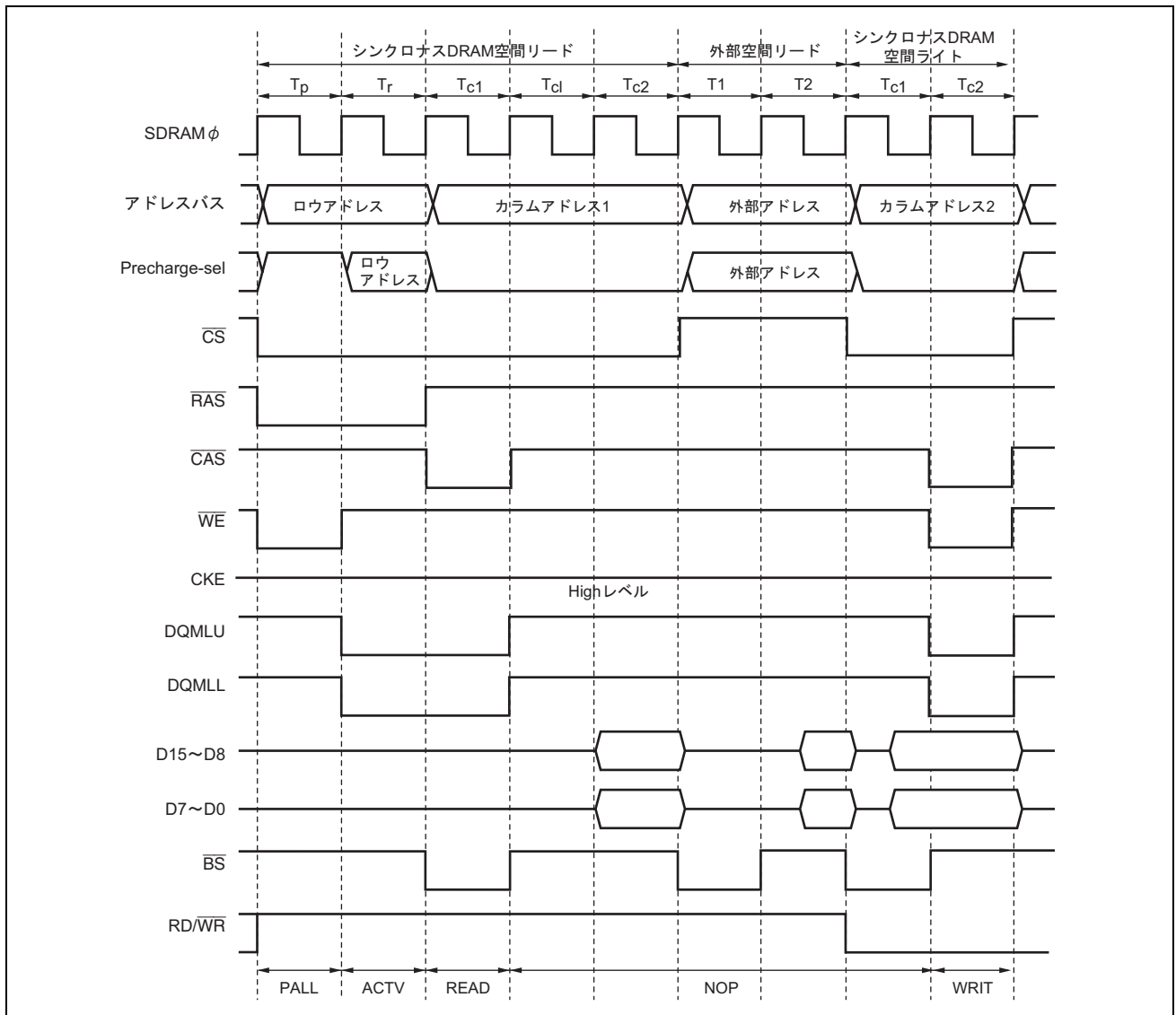


図 9.75 RAS ダウンモードの動作タイミング例 (BE=1、RCDM=1、CAS レイテンシ 2)

9.11.13 リフレッシュ制御

本 LSI は、シンクロナス DRAM のリフレッシュ制御機能を備えています。リフレッシュ方法は、オートリフレッシュです。また、ソフトウェアスタンバイモードに遷移するときにセルフリフレッシュを実行することができます。

リフレッシュ制御は、DRAMCR の DRAME、DTYPE ビットの設定により、エリア 2 をシンクロナス DRAM 空間に設定したときに有効となります。

(1) オートリフレッシュ

オートリフレッシュに設定するためには、REFCR の RFSHE ビットを 1 にセットしてください。

オートリフレッシュでは、REFCR の RTCK2~RTCK0 ビットで設定した入力クロックにより RTCNT がカウントアップされ、RTCOR に設定した値と一致 (コンペアマッチ) するとリフレッシュ制御が行われます。同時に RTCNT はリセットされ、H'00 からカウントアップを再開します。すなわち、リフレッシュは RTCOR と RTCK2~RTCK0 ビットで設定された一定間隔で繰り返されます。使用するシンクロナス DRAM のリフレッシュ間隔規定を満たすように、RTCOR と RTCK2~RTCK0 ビットの値を設定してください。

RTCK2~RTCK0 ビットを設定すると RTCNT のカウントアップが開始されるため、RTCK2~RTCK0 ビットの設定前に RTCNT および RTCOR を設定してください。また、RTCNT および RTCOR を変更する場合は、カウント動作を停止した状態で行ってください。RTCK2~RTCK0 ビットの変更は EXDMAC の外部アクセス、外部バス権解放を禁止し、ライトデータバッファ機能使用時はライトデータバッファ機能を無効にし外部空間をリードした後に行ってください。

オートリフレッシュ期間中は外部アクセスを行うことはできません。

図 9.76 にオートリフレッシュのタイミングを示します。

リフレッシュカウンタの動作は、DRAM インタフェースと同様です。詳細は「9.10.12 リフレッシュ制御」を参照してください。

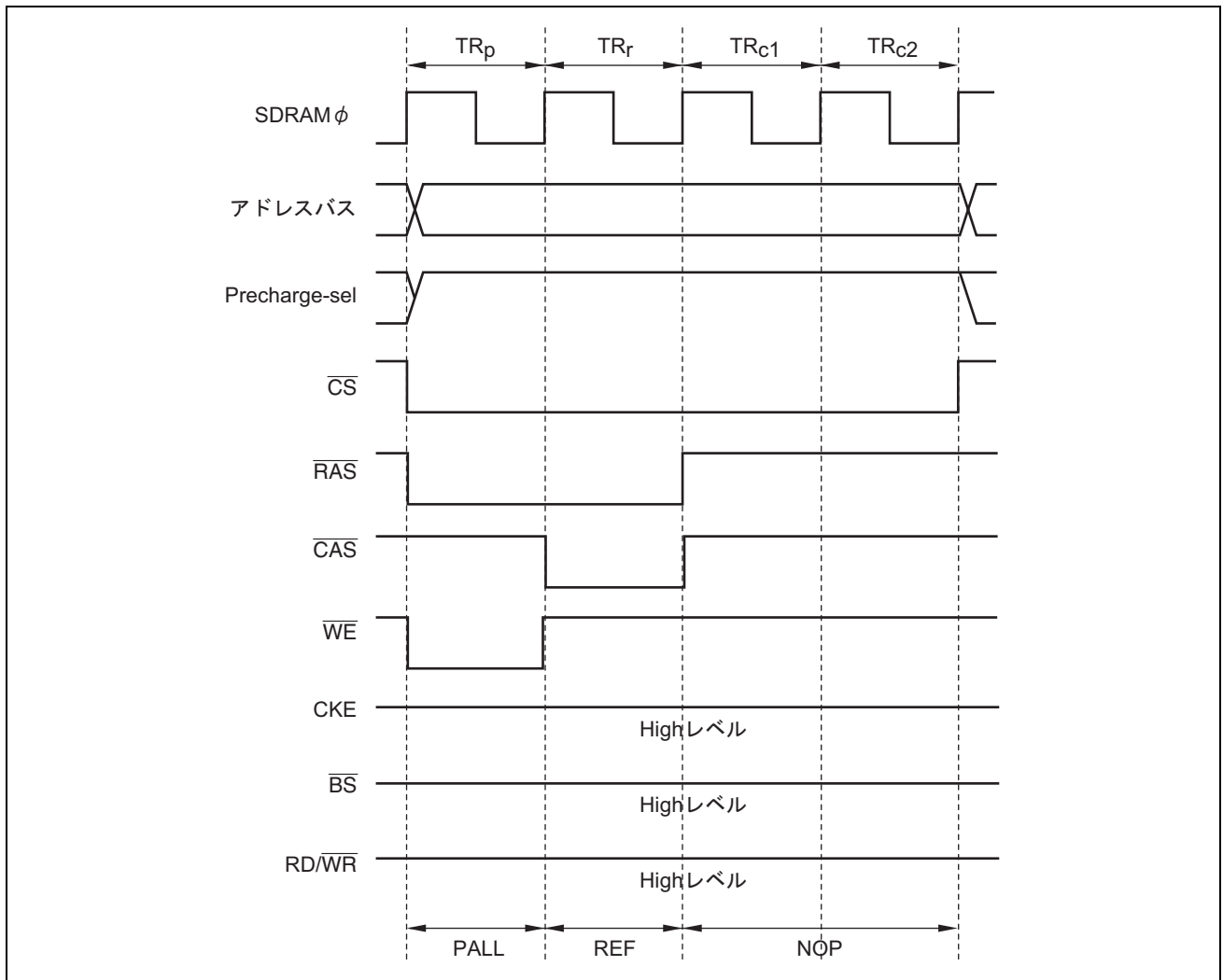


図 9.76 オートリフレッシュタイミング

9. バスコントローラ (BSC)

PALL/PRE コマンドから REF コマンドまでの間隔規定は、DRACCR の TPC1、TPC0 ビットの設定に従い、1~3 ステートの範囲でウェイトステートを挿入することができます。接続するシンクロナス DRAM と本 LSI の動作周波数に応じて、最適なウェイト数を設定してください。

図 9.77 にウェイトを 1 ステート挿入したときのタイミングを示します。

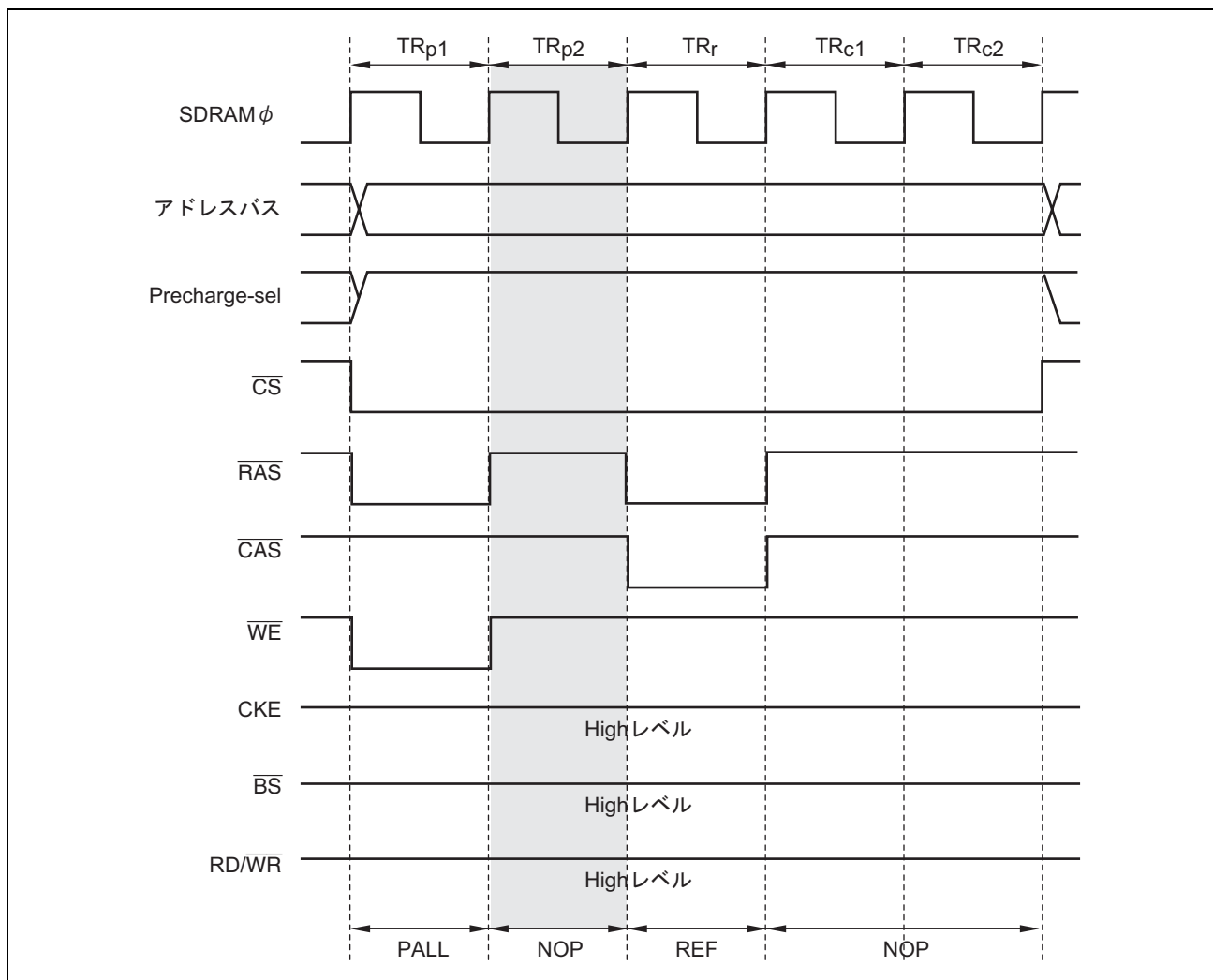


図 9.77 オートリフレッシュタイミング (TPC1=0、TPC0=1)

REF コマンドから、次の ACTV コマンドまでの間隔規定を満たすことができない場合には、REFCR の RLW2 ~RLW0 ビットにより、リフレッシュサイクルに 1~7 ステートの範囲でウェイトステートを挿入することができます。接続するシンクロナス DRAM と本 LSI の動作周波数に応じて、最適なウェイト数を設定してください。

図 9.78 に 1 ステートのウェイトを挿入したときのタイミングを示します。

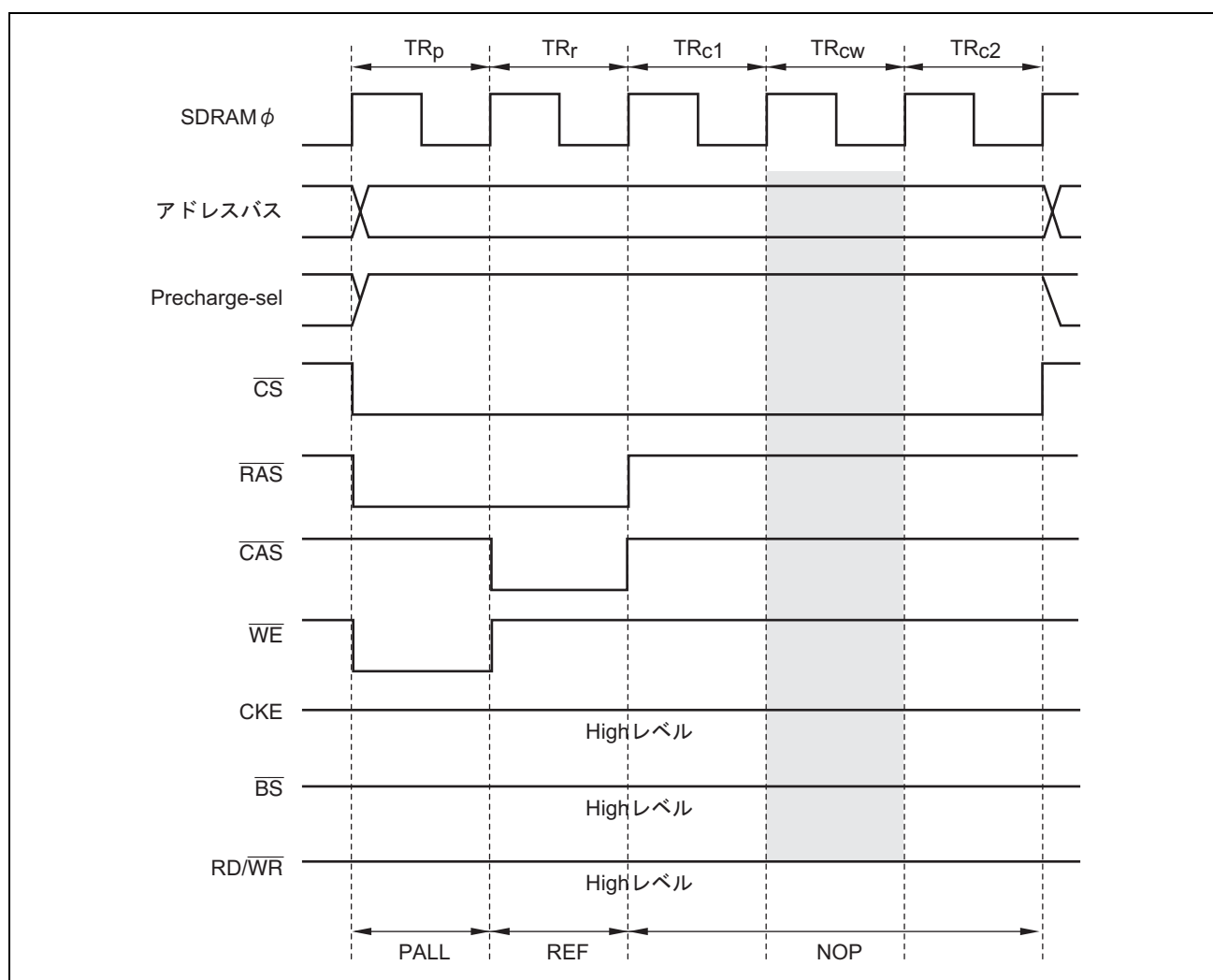


図 9.78 オートリフレッシュタイミング (TPC1=0、TPC0=0、RLW2=0、RLW1=0、RLW0=1)

(2) セルフリフレッシュ

シンクロナス DRAM には、スタンバイモードの一種として、シンクロナス DRAM 内部でリフレッシュタイミングとリフレッシュアドレスを生成するセルフリフレッシュ (バッテリバックアップモード) を備えているものがあります。

(a) ソフトウェアスタンバイモードでのセルフリフレッシュ

セルフリフレッシュを選択するためには、REFCR の RFSHE ビットと SLFRF ビットを 1 にセットして、ソフトウェアスタンバイモードに遷移するための SLEEP 命令を実行すると、図 9.79 に示すように SELF コマンドが発行されます。

ソフトウェアスタンバイモードに遷移するときに、オートリフレッシュ要求があると、オートリフレッシュを実行後にセルフリフレッシュに入ります。

セルフリフレッシュに遷移するには、DRAMCR の OEE ビットを 1 にセットして、CKE 端子を接続してください。

セルフリフレッシュを使用する場合、SBYCR レジスタの OPE ビットを 0 にクリアしないでください。

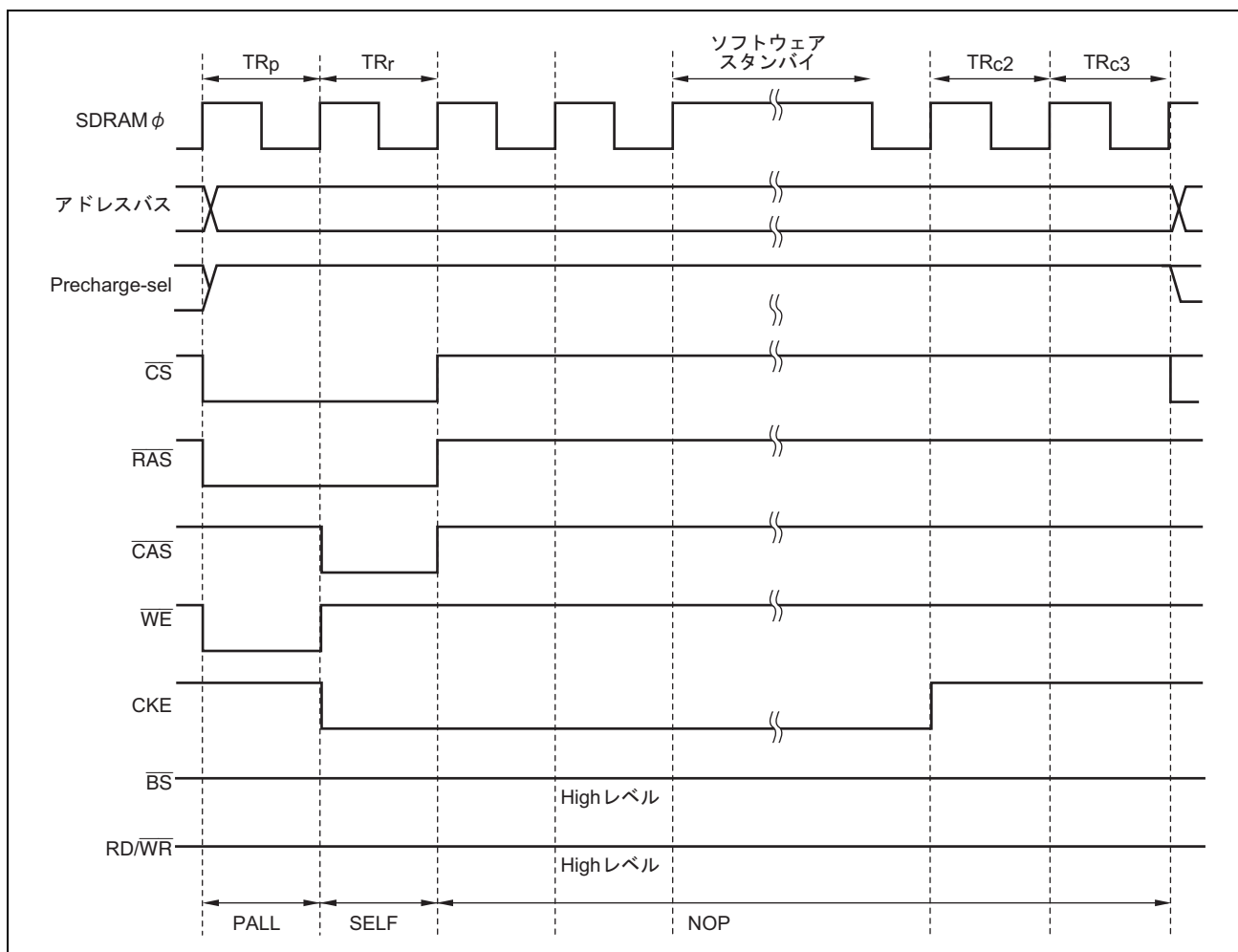


図 9.79 セルフリフレッシュタイミング (ソフトウェアスタンバイモード時)
 (TPC1=0、TPC0=0、RCW1=0、RCW0=0、RLW2=0、RLW1=0、RLW0=0 の場合)

セルフリフレッシュを備えるシンクロナス DRAM には、セルフリフレッシュの解除から次のコマンドまでの間隔規定のあるものがあります。REFCR の TPCS2~TPCS0 ビットにより、セルフリフレッシュ解除後のプリチャージ時間を通常のプリチャージ時間より 1~7 ステート増加することができます。この場合、DRACCR の TPC1、TPC0 ビットの設定に従って通常のプリチャージが行われるので、この時間とあわせてセルフリフレッシュ後のプリチャージ時間が最適になるように設定してください。

図 9.80 にセルフリフレッシュ直後のプリチャージ時間を 1 ステート増加した場合のタイミング例を示します。

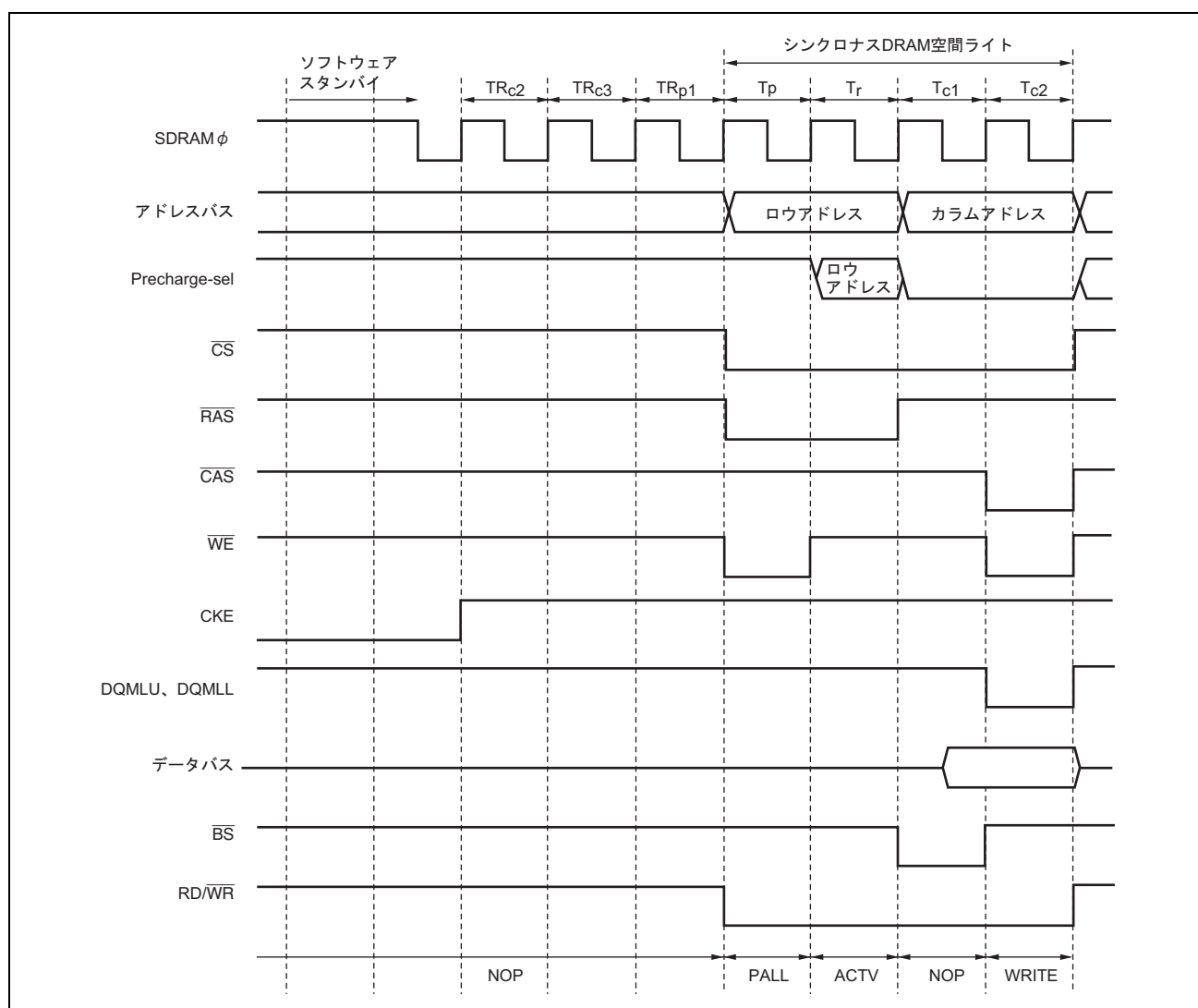


図 9.80 セルフリフレッシュ直後のプリチャージ時間を 1 ステート増加した場合のタイミング例
(ソフトウェアスタンバイモード時) (TPCS2~TPCS0=H'1、TPC1=0、TPC0=0)

(b) ディープソフトウェアスタンバイモードでのセルフリフレッシュ

ディープソフトウェアスタンバイモードへは、ソフトウェアスタンバイモードを介して遷移します。ディープソフトウェアスタンバイモード時の端子状態はソフトウェアスタンバイモード時の状態を保持しています。したがって、ディープソフトウェアスタンバイモードにおいてもソフトウェアスタンバイモードと同様にセルフリフレッシュに遷移することができます。

ディープソフトウェアスタンバイモードでは、「(a) ソフトウェアスタンバイモードでのセルフリフレッシュ」の設定に加え、DPSBYCR レジスタの IOKEEP ビットを1にセットした上で、セルフリフレッシュに遷移してください。

ディープソフトウェアスタンバイモード解除後は、セルフリフレッシュを解除するために以下の手順に従ってください。(図 9.81 参照)

1. PBDDR、PBDRで、PB1($\overline{CS2}$)をHigh出力、PB5(CKE)をLow出力に設定してください。

このとき、IOKEEPビットによる端子状態の保持により、既に $\overline{CS2}$ はHigh出力、CKEはLow出力の状態が保持されています。

2. SCKCRのPSTOP0ビットを1にセットし、SDRAM ϕ をHigh出力に設定してください。

このとき、IOKEEPビットによる端子状態の保持により、既にSDRAM ϕ はHigh出力に保持されています。

3. DPSBYCRのIOKEEPビットを0にクリアしてください。

IOKEEPビットによる端子状態の保持は解除されますが、1.、2.の設定により、 $\overline{CS2}$ 、CKE、SDRAM ϕ の端子状態は変化しません。

4. ディープソフトウェアスタンバイモードにともなう内部リセットで初期化されたシンクロナスDRAM関連の制御レジスタを再設定し、シンクロナスDRAMインタフェースを有効にしてください。

このとき、REFCR、RTCNT、RTCORは設定しないでください。

なお、シンクロナスDRAMインタフェースが有効になることで、CKEの端子状態がLow出力からHigh出力に変化します。

5. SCKCRのPSTOP0ビットを0にクリアし、SDRAM ϕ からのクロック出力を再開してください。

これにより、シンクロナスDRAMにSDRAM ϕ が供給されます。

6. REFCR、RTCNT、RTCORを設定し、リフレッシュを有効にしてください。

4.のCKEの変化から、本設定によるオートリフレッシュ実施までの期間は、シンクロナスDRAMのリフレッシュ間隔の規定に収まるようにしてください。

7. シンクロナスDRAMアクセスを再開してください。

セルフリフレッシュ解除後のプリチャージ時間に関しては、6.の設定にかかる時間で確保されます。

ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードの詳細については、「27. 低消費電力」を参照してください。

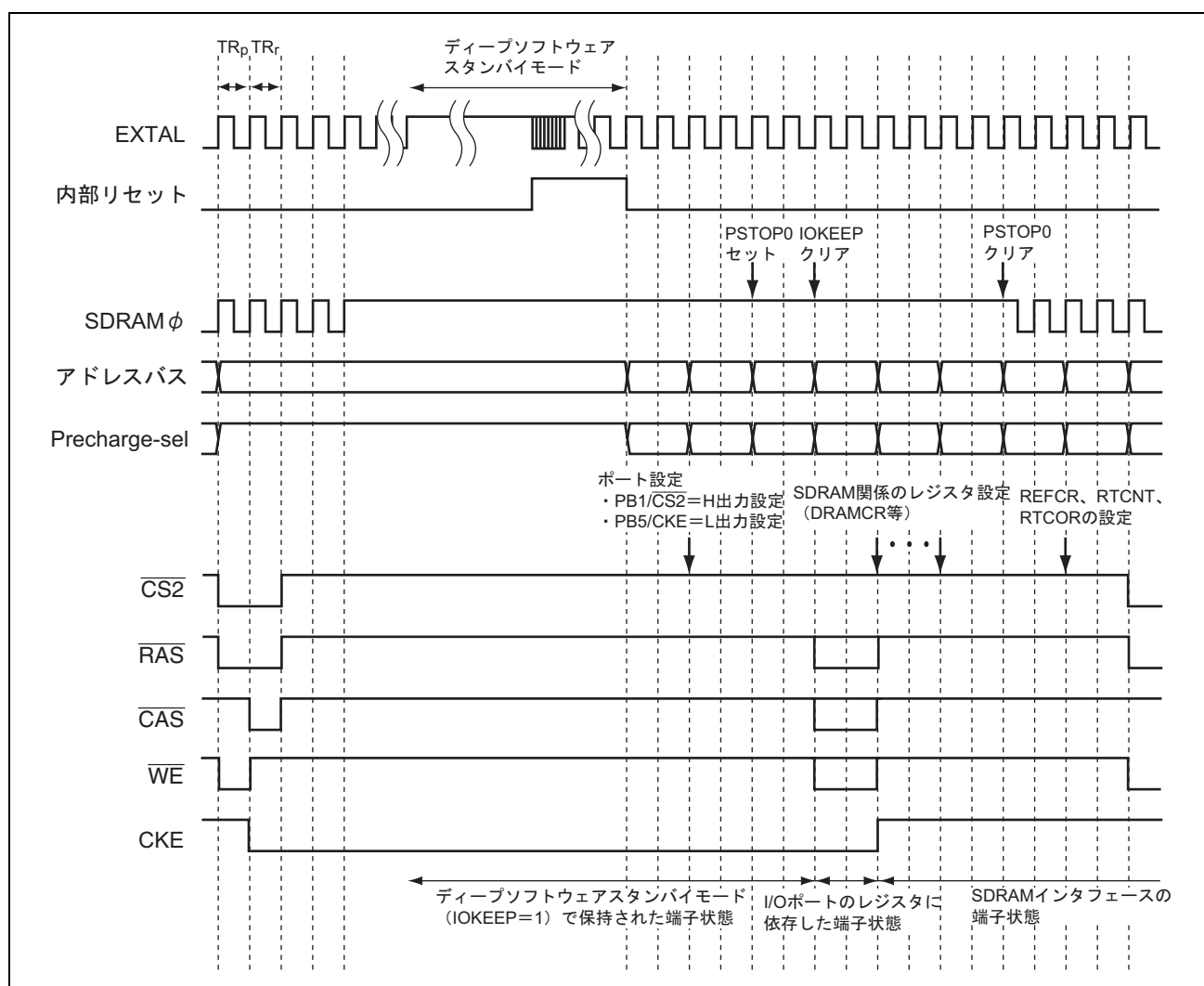


図 9.81 セルフリフレッシュタイミング (ディープソフトウェアスタンバイモード時)
(TPC1=0、TPC0=0、RCW1=0、RCW0=0、RLW2=0、RLW1=0、RLW0=0 の場合)

(3) リフレッシュと全モジュールクロックストップモード

本 LSI は、MSTPCRA の ACSE ビットを 1 にセットしてすべての周辺モジュールのクロックを停止するか (MSTPCRA、MSTPCRB = H'FFFFFFF)、または 8 ビットタイマだけを動作させて (MSTPCRA、MSTPCRB = H'F[C~F]FFFFFF)、SLEEP 命令を実行し、スリープ状態へ遷移すると、バスコントローラと I/O ポートもクロックを停止する全モジュールクロックストップモードへ遷移します。

全モジュールクロックストップモードではバスコントローラのクロックが停止しますので、オートリフレッシュが実行されません。外部にシンクロナス DRAM を接続し、スリープモードでシンクロナス DRAM のデータを保持したい場合には、MSTPCR レジスタの ACSE ビットを 0 にクリアしてください。

詳細は「27.2.2 モジュールストップコントロールレジスタ A、B (MSTPCRA、MSTPCRB)」を参照してください。

9.11.14 シンクロナス DRAM モードレジスタの設定

シンクロナス DRAM を使用するためには、パワーオン後にモードの設定を行ってください。

モードを設定するためには、SDCR の MRSE ビットを 1 にセットし、シンクロナス DRAM モードレジスタの設定を有効にします。その後、シンクロナス DRAM 空間をバイトでライトアクセスします。

シンクロナス DRAM モードレジスタに設定する値を x とすると、

8 ビットバス構成のシンクロナス DRAM では、 $H'4000000/H'400000 + x$ 番地のシンクロナス DRAM 空間に、
16 ビットバス構成のシンクロナス DRAM では、 $H'4000000/H'400000 + 2x$ 番地のシンクロナス DRAM 空間に、

ライトすることで値 x がシンクロナス DRAM モードレジスタに設定されます。

シンクロナス DRAM モードレジスタの設定値は、MRS コマンド発行時点のアドレス信号の値が取り込まれます。

本 LSI はシンクロナス DRAM のバーストリード/バーストライトのモードは対応していません。シンクロナス DRAM モードレジスタを設定するときは、バーストリード/シングルライトを設定し、バースト長は 1 としてください。シンクロナス DRAM モードレジスタの設定値と、バスコントローラの設定値は一致させてください。

図 9.82 にシンクロナス DRAM のモード設定タイミングを示します。

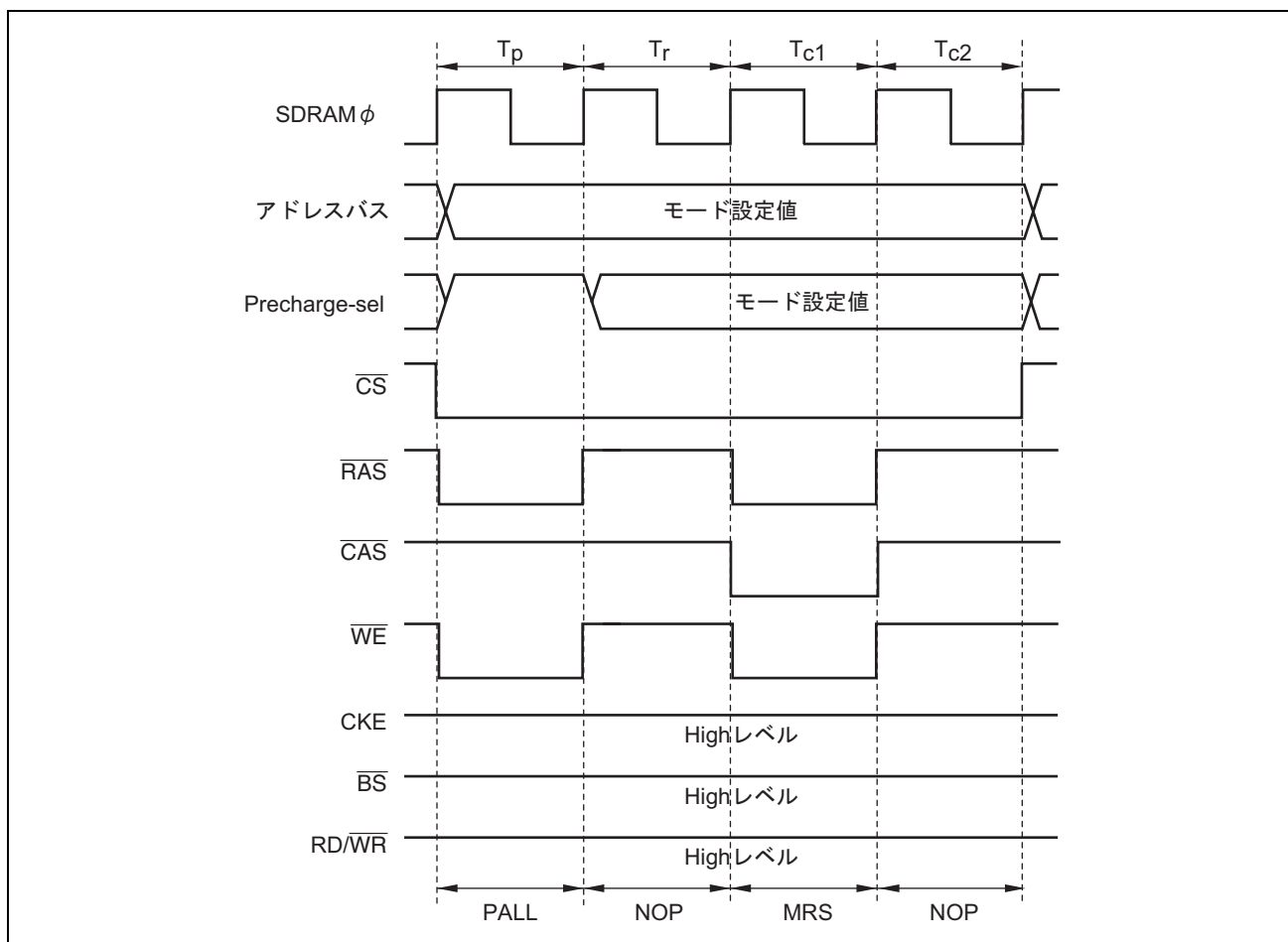


図 9.82 シンクロナス DRAM モード設定タイミング

9.11.15 DMAC および EXDMAC のシングルアドレス転送と シンクロナス DRAM インタフェース

シンクロナス DRAM 空間を高速ページモード (BE=1) に設定している場合において、DMAC または EXDMAC のシングルアドレス転送の転送先または転送元としたシンクロナス DRAM 空間のアクセスを、高速ページアクセスまたはフルアクセスとするかを DRAMCR の DDS、EDDS ビットの設定により選択することができます。このとき同時に、 $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 、 $\overline{\text{BS}}$ 信号の出力タイミングが変更されます。BE=0 の場合は、DDS、EDDS ビットの設定によらず、シングルアドレス転送によるシンクロナス DRAM 空間のアクセスはフルアクセスとなります。ただし、 $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 、 $\overline{\text{BS}}$ 出力タイミングは DDS、EDDS ビットの設定により変更することができます。

さらに、BCR1 の DKC、EDKC ビットにより $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 信号のアサートタイミングを変更することができます。

SDCR の TRWL、CKSPE ビットと BCR1 の DKC、EDKC ビットによる $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミングの設定は、DDS、EDDS ビットの設定に関係なく、各々に設定することができます。

(1) DDS=1 または EDDS=1 のとき

バスマスタに関係なく、アドレスのみを判定して高速ページアクセスを行います。また、 $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミングは、リードアクセス、ライトアクセスともに Tc1 ステートから Low レベルになります。

図 9.83、図 9.84 に DDS=1 または EDDS=1 のときの $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミング例を示します。

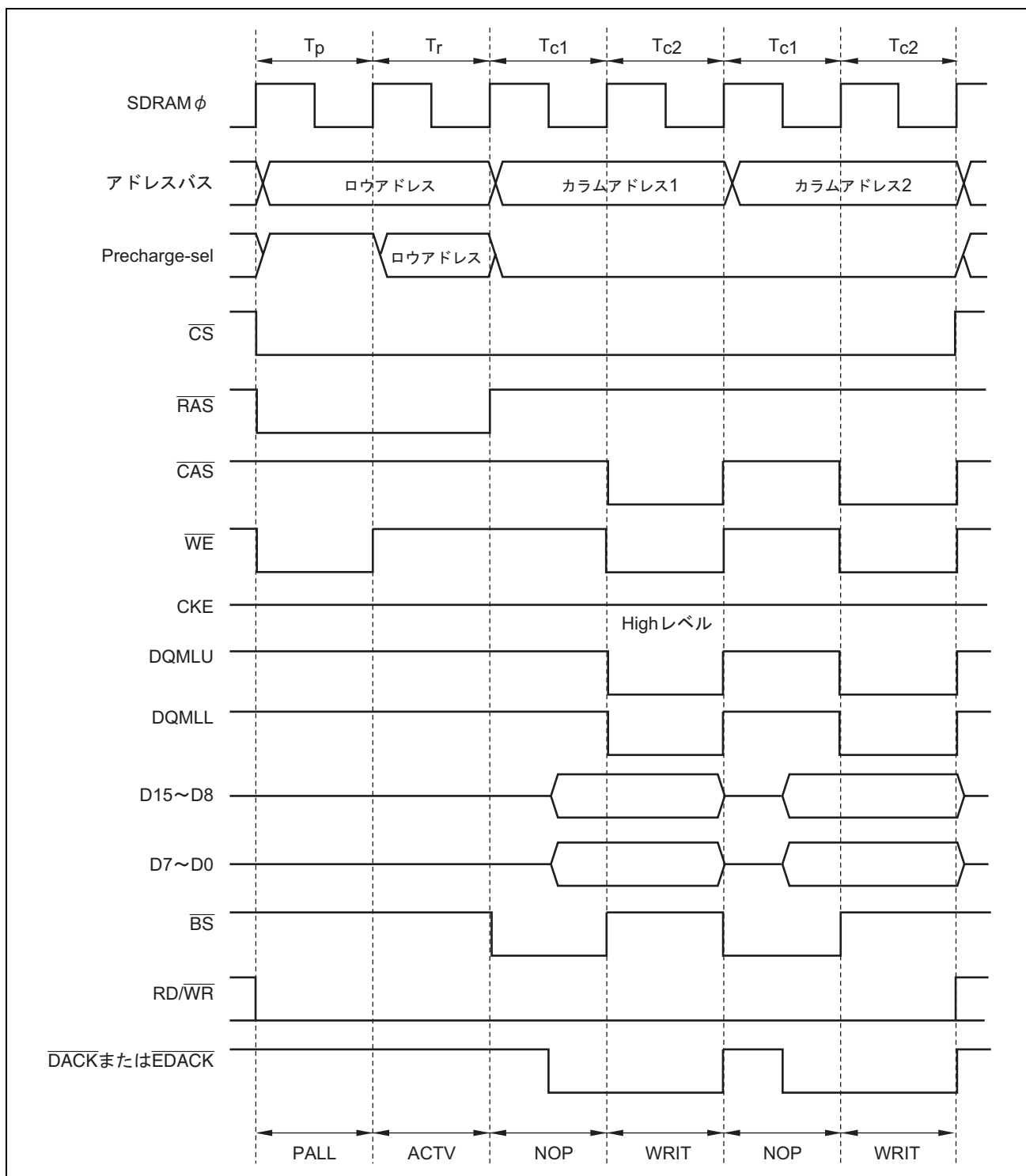


図 9.83 DDS=1 または EDDS=1 のときの DACK、EDACK 出カタイミング例 (ライトアクセス時)

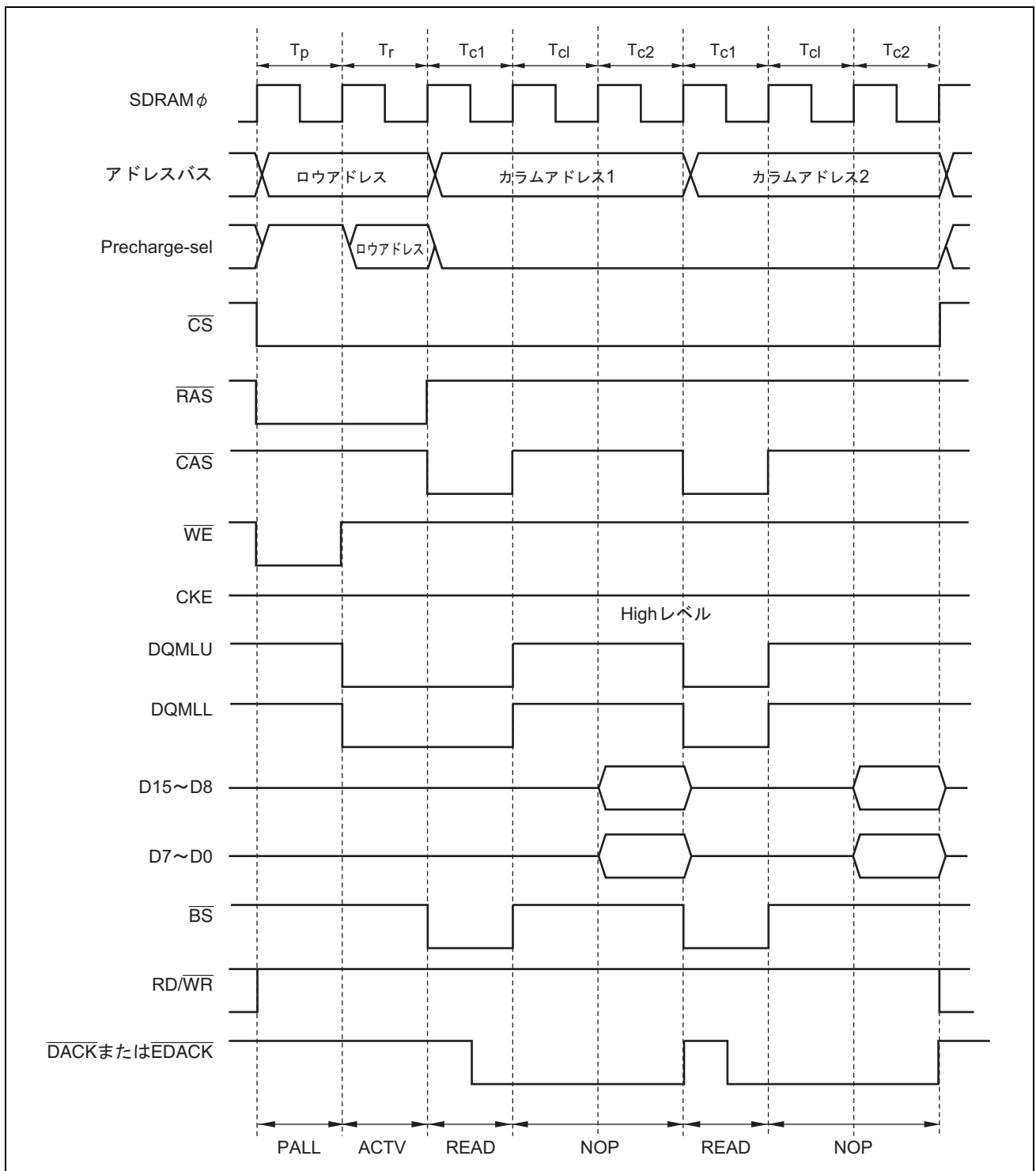


図 9.84 DDS=1 または EDDS=1 のときの \overline{DACK} 、 \overline{EDACK} 出力タイミング例
(リードアクセス時、CAS レイテンシ 2)

9. バスコントローラ (BSC)

(2) DDS=0 または EDDS=0 のとき

DMAC または EXDMAC のシングルアドレス転送を行う場合は、フルアクセス（ノーマルアクセス）になります。また、 $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミングは、 T_r ステートから Low レベルになり、 $\overline{\text{BS}}$ 出力タイミングは T_r ステートでアサートします。

DMAC または EXDMAC のシングルアドレス転送以外では、高速ページアクセスが可能です。

図 9.85、図 9.86 に DDS=0 または EDDS=0 のときの $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミング例を示します。

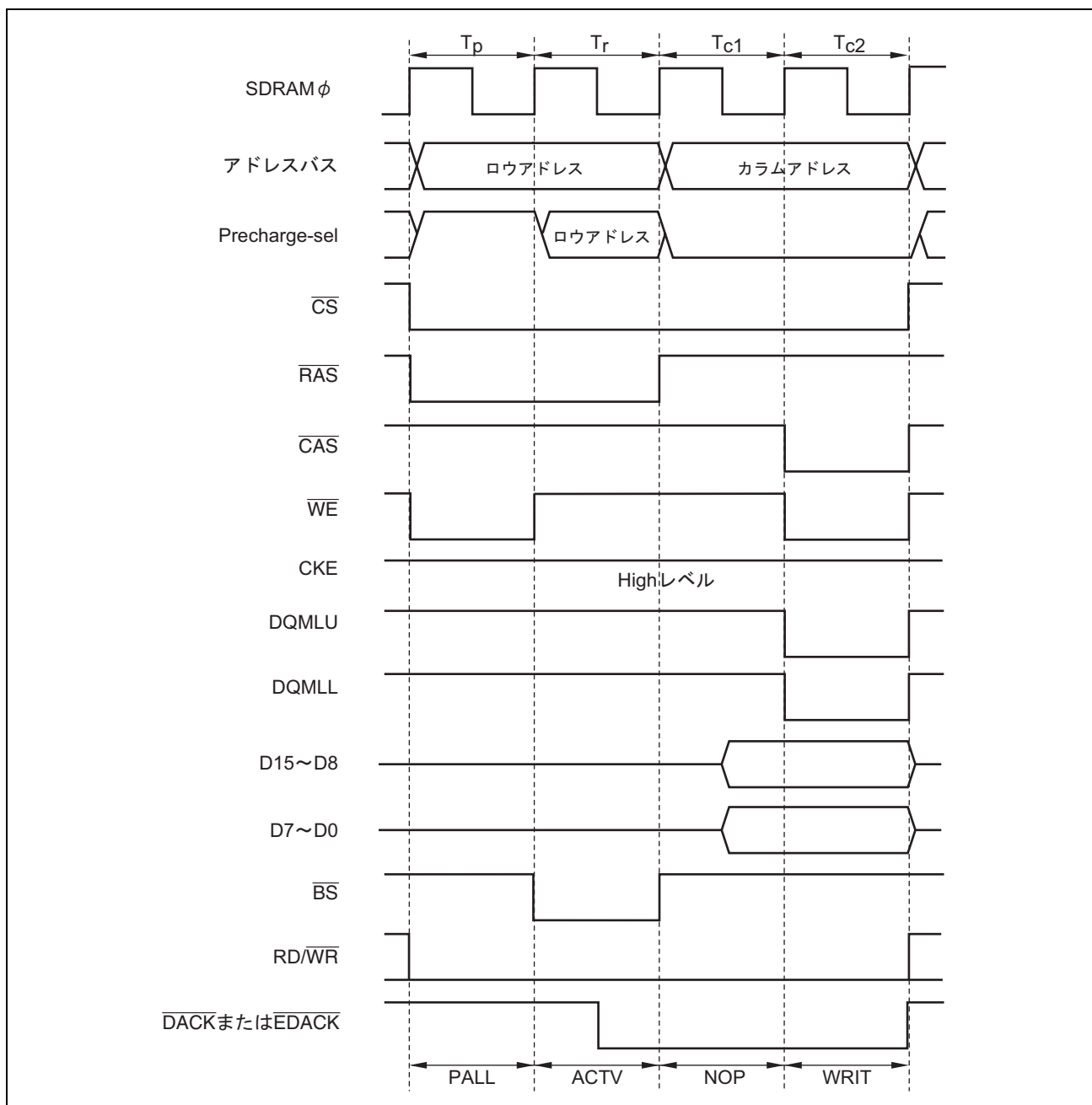


図 9.85 DDS=0 または EDDS=0 のときの $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミング例（ライトアクセス時）

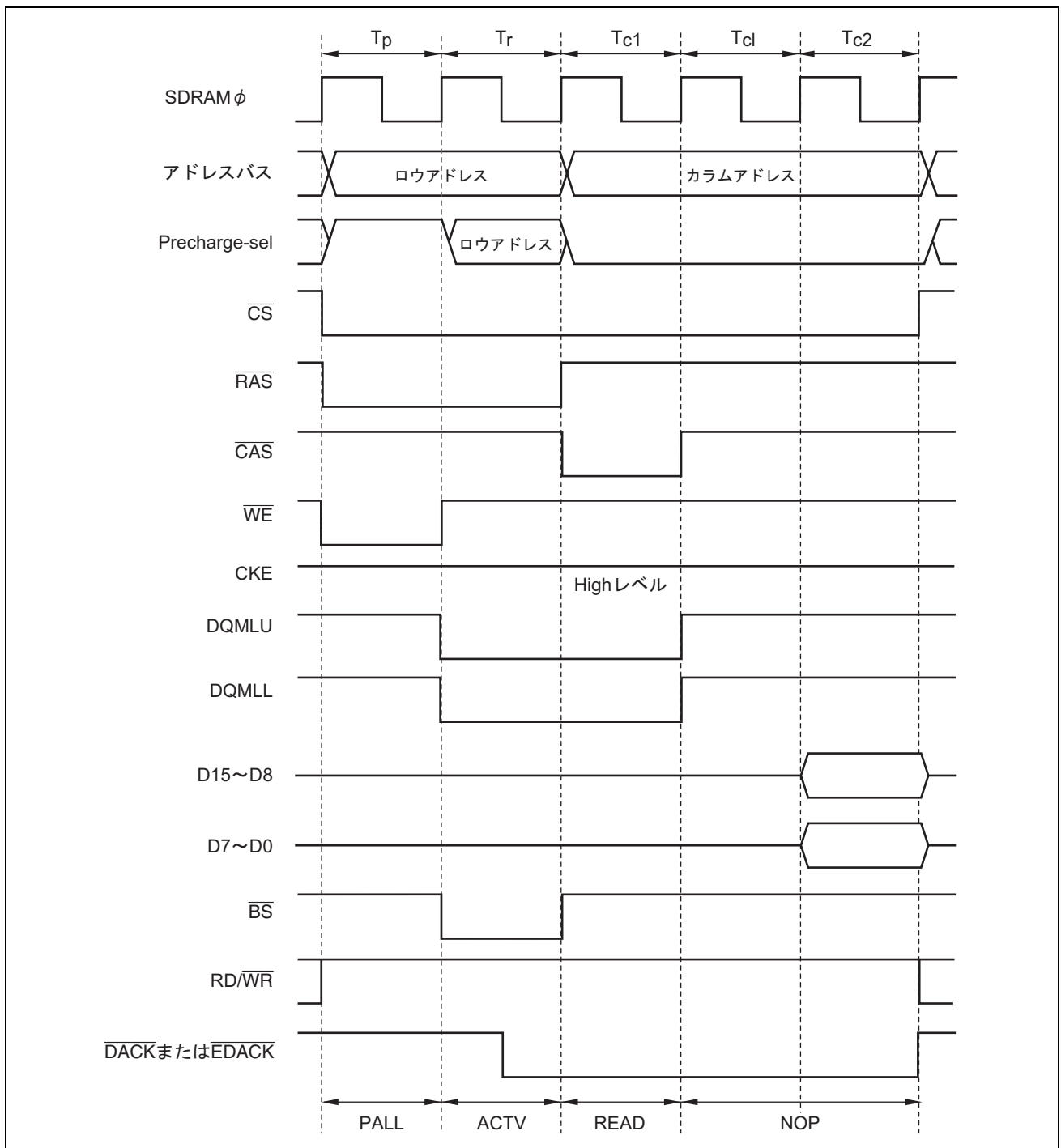


図 9.86 DDS=0 または EDDS=0 の場合の \overline{DACK} 、 \overline{EDACK} 出カタイミグ例
(リードアクセス時、CAS レイテンシ 2)

(3) TRWL=1 のとき

シンクロナス DRAM インタフェースのライトアクセスの場合、Tc2 ステートの次に Trwl ステートが 1 サイクル挿入されます。 $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミングは、Trwl ステートまで Low レベルになります。このとき、外部デバイスが出力するデータバスのホールド期間を 1 サイクル延長することができます。

図 9.87 に、TRWL=1 (DDS=1、EDDS=1、DKC=0、EDKC=0) のときの $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミング例を示します。

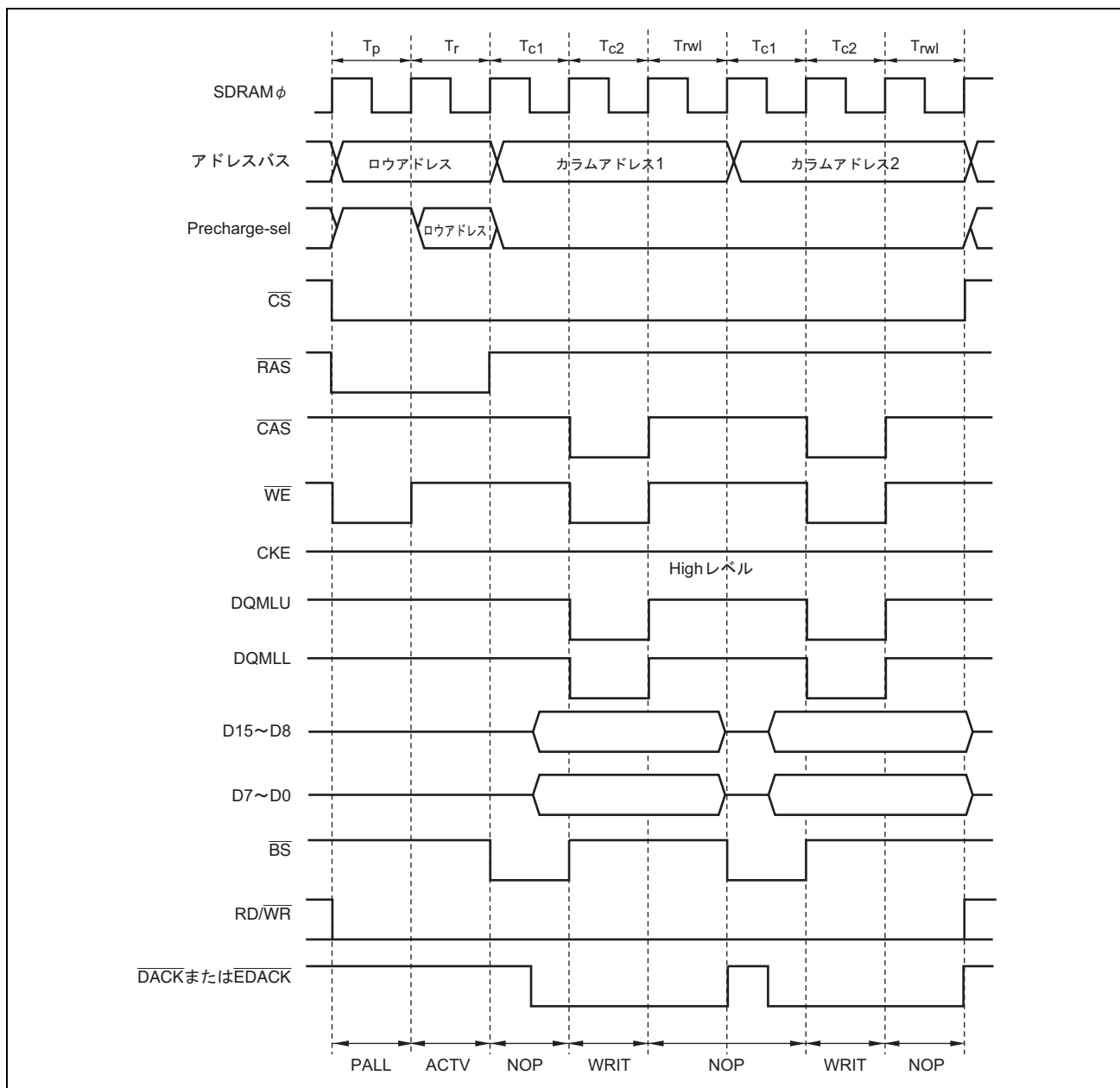


図 9.87 TRWL=1 のときの $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミング例 (ライトアクセス時)

(4) CKSPE=1 のとき

シンクロナス DRAM 空間をリードアクセスする場合に、リードデータの確定時間をクロックサスペンドモードにより 1 サイクル拡張することができます。クロックサスペンドモードを行う場合は、DRAMCR の OEE ビットを 1 にセットして、CKE 端子を接続してください。

図 9.88 に CKSPE=1 (DDS=1、EDDS=1、DKC=0、EDKC=0) のときの $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミング例を示します。

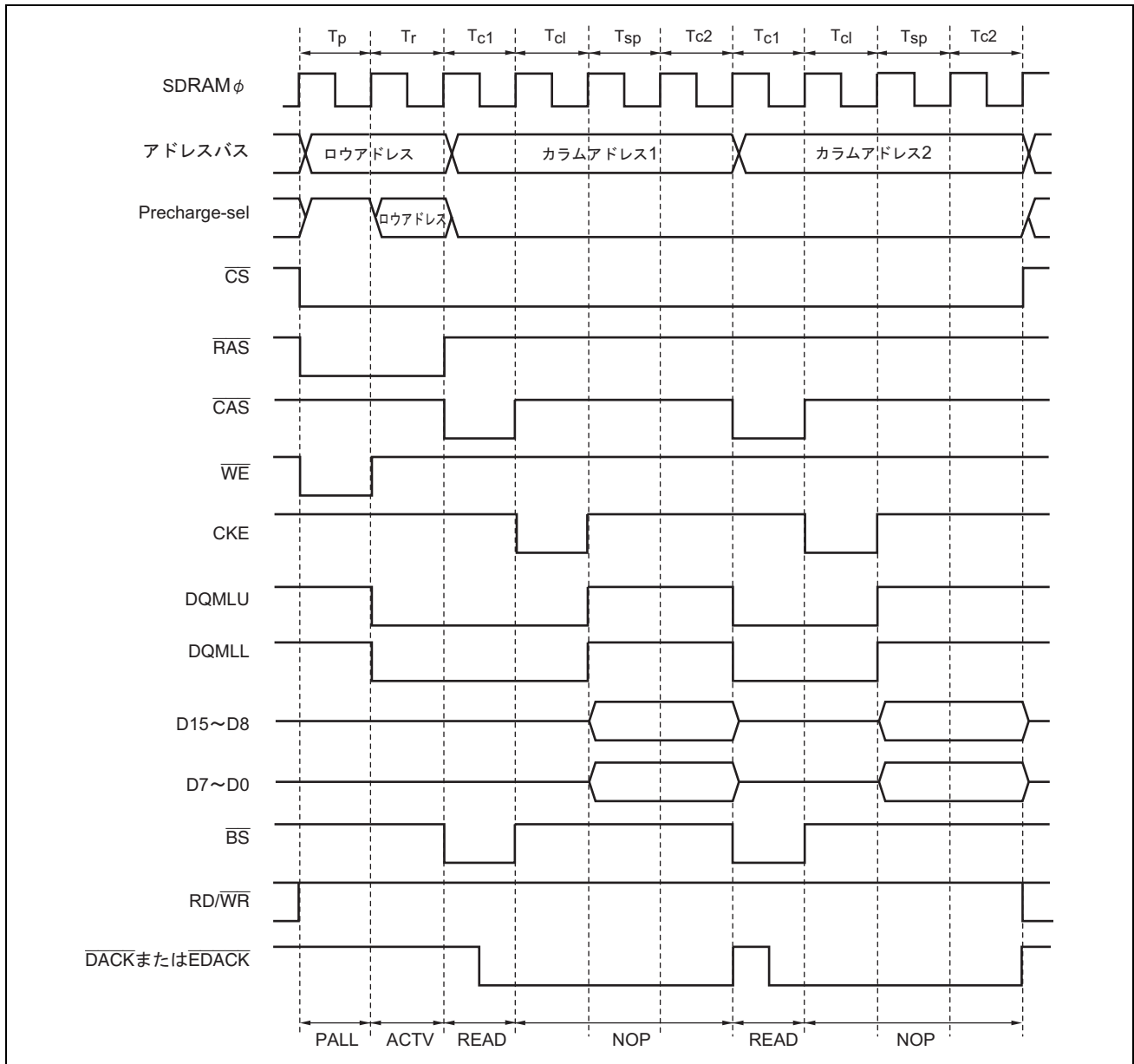


図 9.88 CKSPE=1 のときの $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミング例 (リードアクセス時、CAS レイテンシ 2)

9. バスコントローラ (BSC)

(5) DKC=1 のとき

$\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミングは、DKC=1 または EDKC=1 に設定すると、DKC=0 または EDKC=0 の設定よりも半ステート早くアサートします。

高速ページアクセスの場合は、Low レベル期間が連続します。このとき、 $\overline{\text{BS}}$ 出力タイミングによりバスサイクルを判断することができます。

図 9.89 に DKC=1 または EDKC=1、DDS=1 または EDDS=1 のときの $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミング例、図 9.90 に DKC=1 または EDKC=1、DDS=0 または EDDS=0 のときの $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミング例を示します。

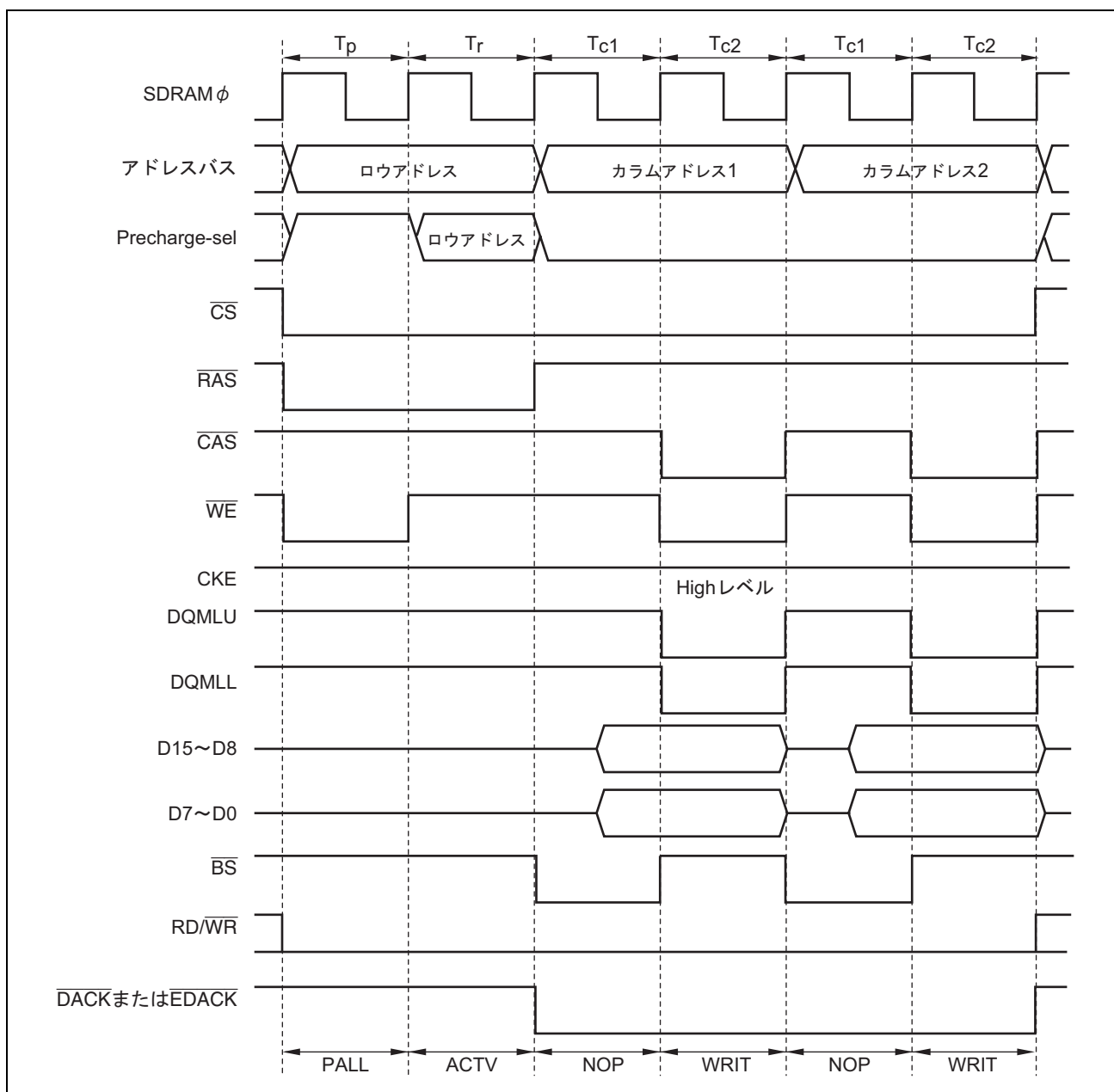


図 9.89 DKC=1 または EDKC=1、DDS=1 または EDDS=1 のときの $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミング例 (ライトアクセス時)

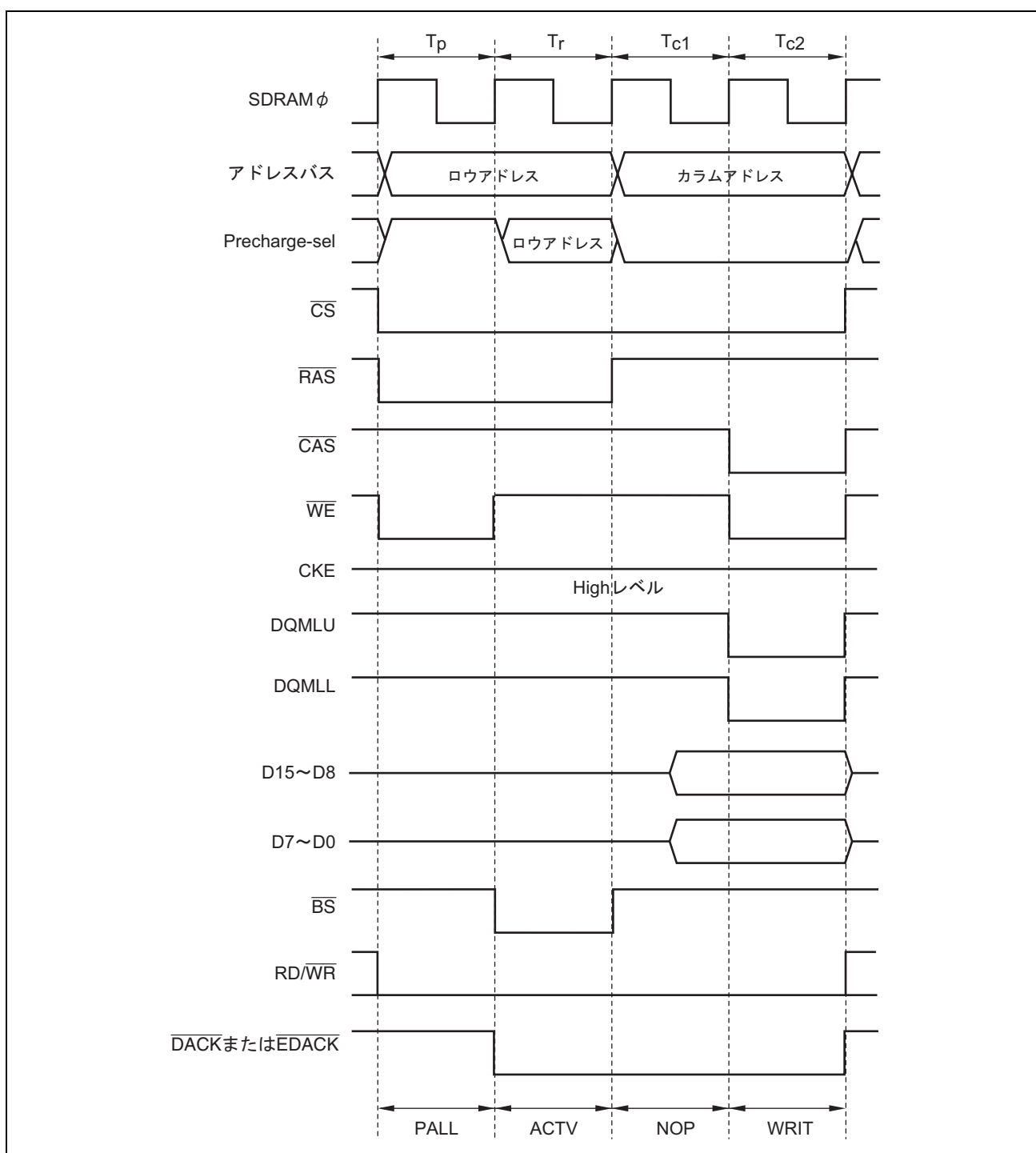


図 9.90 DKC=1 または EDKC=1、DDS=0 または EDDS=0 のときの $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出カタイミング例 (ライトアクセス時)

9.11.16 EXDMAC によるクラスタ転送

EXDMAC のクラスタ転送モードを用いると、データを連続してリード/ライトすることができます。詳細は「11. EXDMA コントローラ (EXDMAC)」を参照してください。

図 9.91、図 9.92 にクラスタ転送によるリード/ライトタイミングを示します。

1 サイクルのリード/ライト動作を行うためには、DRAMCR の BE ビットを 1 にセットし、SDCR の TRWL ビットを 0 にクリアし、CAS レイテンシは 2 に設定してください。リード動作のとき、クロックサスペンドは無効になります。

クラスタ転送中は、バスコントローラのレジスタ設定を変更しないでください。

クラスタ転送の連続アクセス中は、リフレッシュ要求が発生してもリフレッシュ動作は行われません。したがって、各バンクが所定時間以上アクティブ状態を保持しないようにプログラムで設定する必要があります。また、クラスタ転送中は、外部バス解放要求が発生しても外部バス解放動作を行いません。

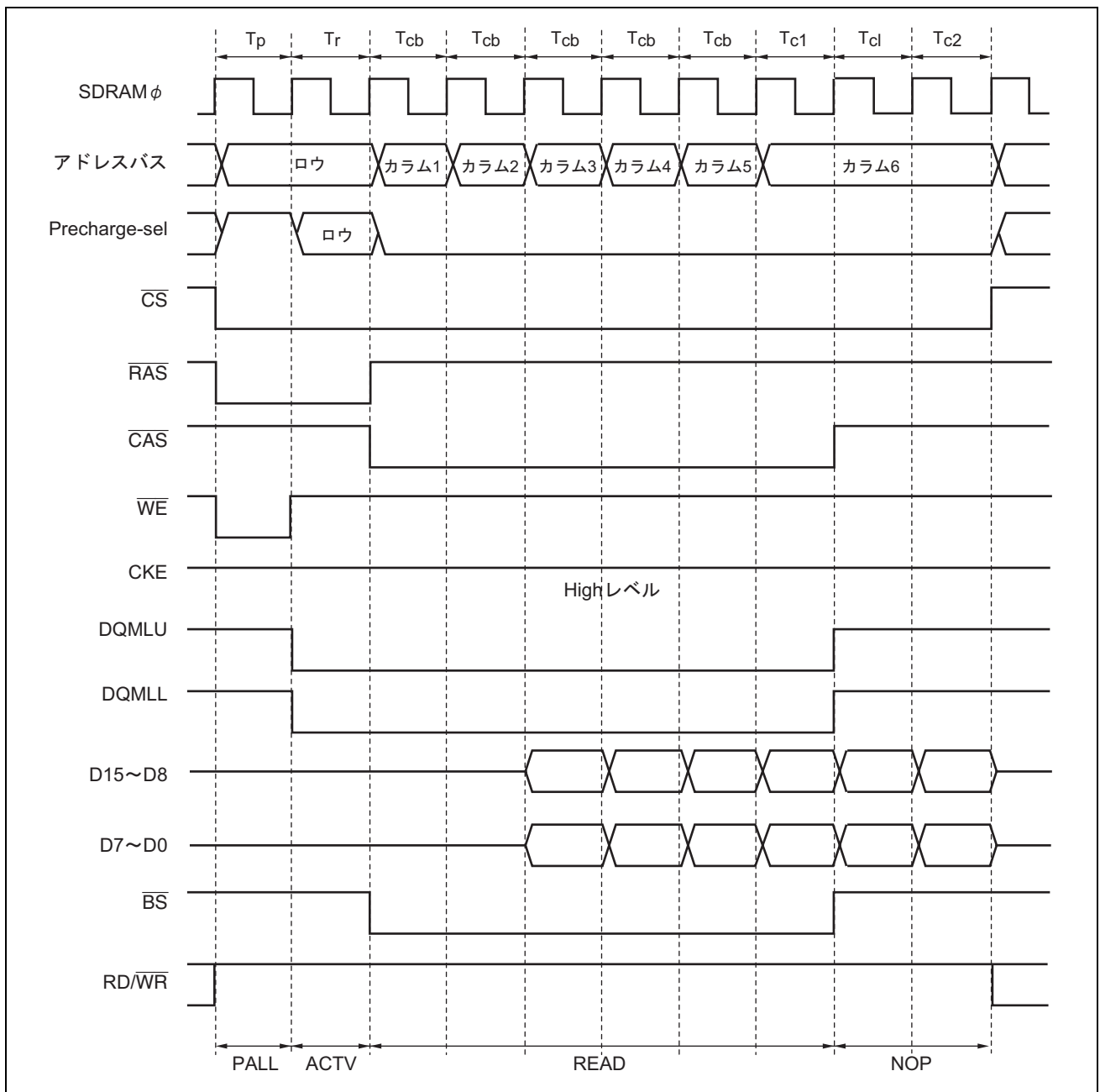


図 9.91 ワードサイズでの 6 ワードのクラスター転送 (リード動作、BE=1、EDDS=1、CAS レイテンシ 2)

9. バスコントローラ (BSC)

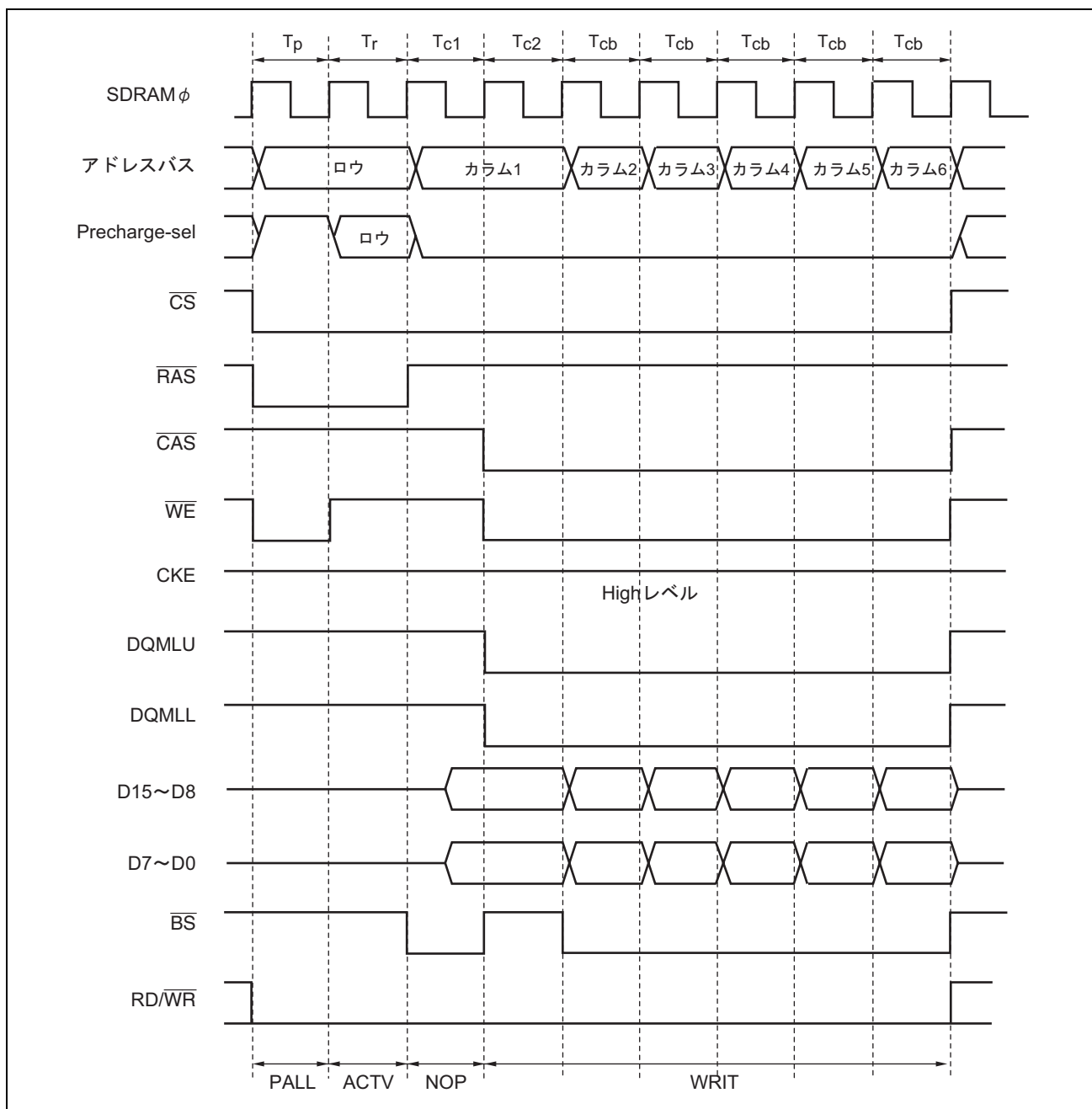


図 9.92 ワードサイズでの 6 ワードのクラスター転送 (ライト動作、BE=1、EDDS=1)

9.12 アイドルサイクル

本 LSI は、連続する外部アクセスの間にアイドルサイクルを挿入することが可能です。アイドルサイクルを挿入することにより、例えば出力フローティング時間の大きい ROM へのリードサイクルと、高速メモリや I/O インタフェースとのデータの衝突を防ぐことができます。

9.12.1 動作説明

外部バスサイクルが連続した場合、リード/ライトの組み合わせと先行してアクセスされたエリアを条件として、アイドルサイクルを挿入することができます。アイドルサイクル挿入条件は、次の 4 種類が選択できます。

1. 異なるエリア間の外部リードサイクルが連続して発生したとき
2. 外部リードサイクル後に外部ライトサイクルが連続して発生したとき
3. 外部ライトサイクル後に外部リードサイクルが連続して発生したとき
4. DMAC、EXDMAC*のシングルアドレス転送 (ライトサイクル) 後に外部アクセスが連続して発生したとき

上記の条件において、最大 4 ステートのアイドルサイクルを挿入することができます。挿入するアイドルサイクル数は、先行してアクセスされるデバイスの出力データと後続のデバイスのデータが衝突しないように設定してください。

リード後のアイドルサイクル挿入条件である上記 1.、2. の条件で、挿入可能なアイドルサイクル数は、IDLCR の IDLCA1、IDLCA0 ビット、および IDLCB1、IDLCB0 ビットで設定される A、または B の 2 種類から選択できます。A は 1~4 ステート、B は 0、2~4 ステートのそれぞれ 4 種類が設定可能です。IDLCR の IDLSEL7~IDLSEL0 ビットにより、エリアごとに A、B の選択が可能です。IDLSEL7~IDLSEL0 ビットは、連続する外部バスサイクルの先行してアクセスされるエリアに対応します。

ライト後のアイドルサイクル挿入条件である上記 3.、4. の条件で、挿入可能なアイドルサイクル数は、上記 A の設定により決まります。

リセット解除後、IDLCR の初期値は、上記 1.~4. のすべての条件でアイドルサイクルを 4 サイクル挿入する設定となっています。

表 9.28 に上記 1.~4. の条件と各エリアでのアイドルサイクル挿入数選択を、表 9.29 に A、B のアイドルサイクル挿入数設定と挿入ステート数の対応を示します。

【注】 * H8SX1648G グループ、H8SX1648H グループのみサポート

9. バスコントローラ (BSC)

表 9.28 各エリアのアイドルサイクル挿入数選択一覧

挿入条件	ビット設定			先行アクセスのエリア							
	IDLSn		IDLSELn	0	1	2	3	4	5	6	7
	n	設定	n=0~7								
異なるエリアの間で連続リード	1	0	—	無効							
		1	0	A	A	A	A	A	A	A	A
			1	B	B	B	B	B	B	B	B
リード後のライト	0	0	—	無効							
		1	0	A	A	A	A	A	A	A	A
			1	B	B	B	B	B	B	B	B
ライト後のリード	2	0	—	無効							
		1		A							
シングルアドレス転送後の外部アクセス	3	0	—	無効							
		1		A							

【記号説明】

- A : アイドルサイクル挿入数Aを選択
- B : アイドルサイクル挿入数Bを選択
- 無効 : 該当する条件ではアイドルサイクルを挿入しない

表 9.29 アイドルサイクルの挿入数一覧

ビット設定値				挿入ステート数
A		B		
IDLCA1	IDLCA0	IDLCB1	IDLCB0	
—	—	0	0	0
0	0	—	—	1
0	1	0	1	2
1	0	1	0	3
1	1	1	1	4

(1) 異なるエリア間での連続リード

IDLCR の IDLS1 ビットを 1 にセットした状態で異なるエリア間の連続リードが発生すると、2 回目のリードサイクルの先頭に、IDLCR の IDLSELn=0 のときは IDLCA1、IDLCA0 ビット、IDLSELn=1 のときは IDLCB1、IDLCB0 ビットに設定したサイクル数のアイドルサイクルが挿入されます (n=7~0)。

図 9.93 に動作例を示します。バスサイクル A は出力フローティング時間の大きい ROM からのリードサイクル、バスサイクル B は SRAM からのリードサイクルで、それぞれ異なるエリアに配置した場合の例です。

(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で ROM からのリードデータと SRAM からのリードデータの衝突が発生しています。これに対し (b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

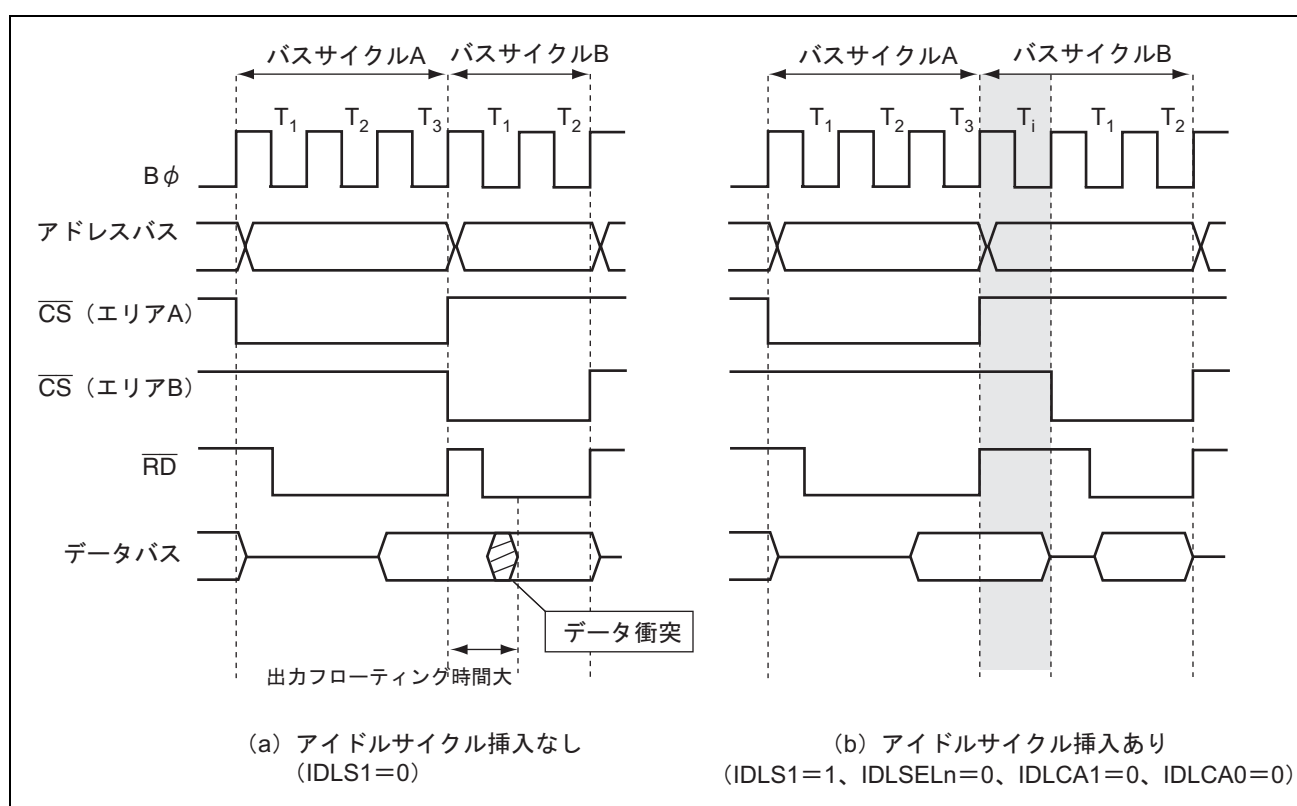


図 9.93 アイドルサイクル動作例 (異なるエリア間での連続リード)

(2) リード後のライト

IDLCR の IDLS0 ビットを 1 にセットした状態で、外部リード後に外部ライトが発生すると、ライトサイクルの先頭に IDLCR の IDLSELn=0 のときは IDLCA1、IDLCA0 ビット、IDLSELn=1 のときは IDLCB1、IDLCB0 ビットに設定したサイクル数のアイドルサイクルが挿入されます (n=7~0)。

図 9.94 に動作例を示します。バスサイクル A は出力フローティング時間の大きい ROM からのリードサイクル、バスサイクル B は CPU のライトサイクルの場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で ROM からのリードデータと CPU のライトデータの衝突が発生しています。これに対し (b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

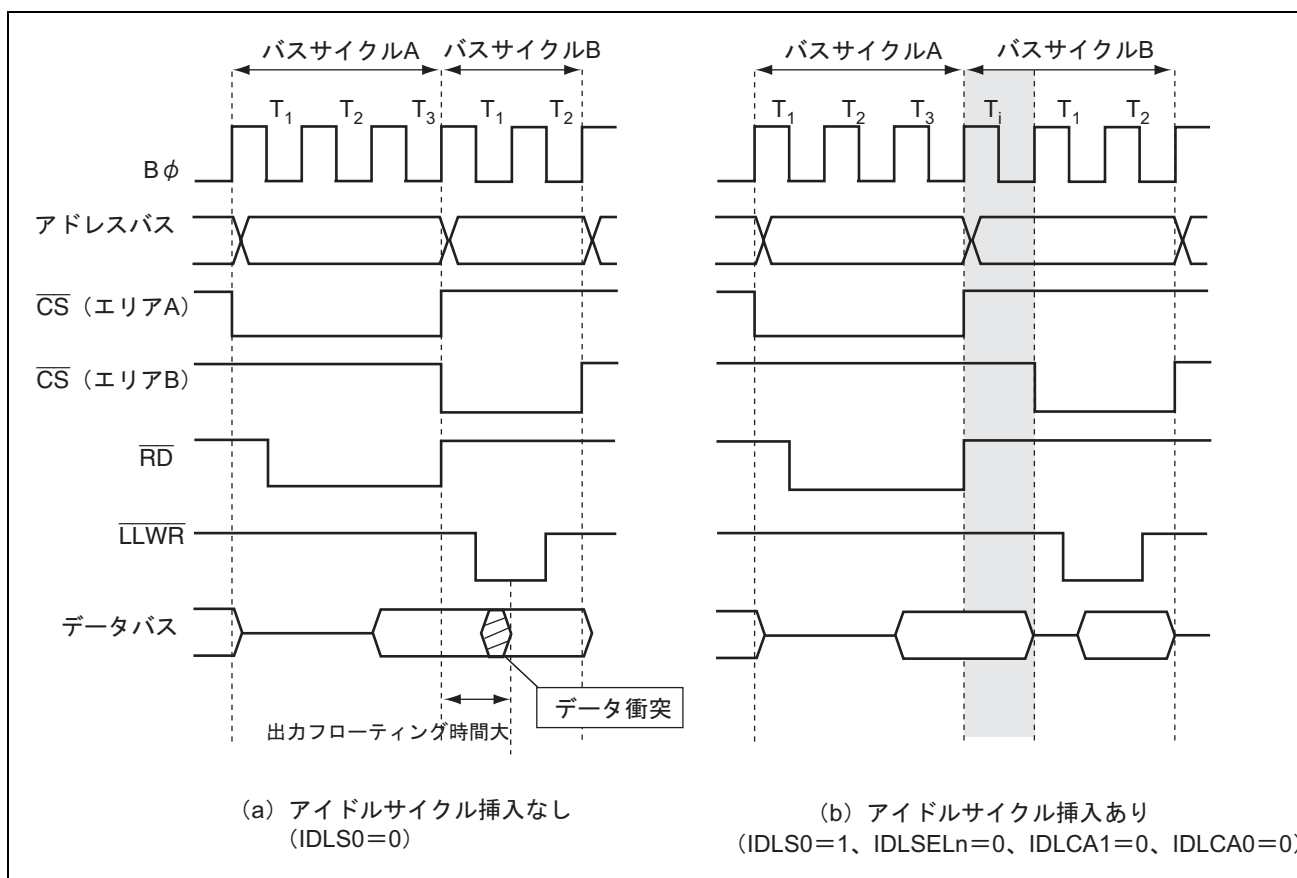


図 9.94 アイドルサイクル動作例 (リード後のライト)

(3) ライト後のリード

IDLCR の IDLS2 ビットを 1 に設定した状態で、外部ライト後に外部リードが発生すると、リードサイクルの先頭に IDLCR の IDLCA1、IDLCA0 ビットに設定したサイクル数のアイドルサイクルが挿入されます。

図 9.95 に動作例を示します。バスサイクル A は CPU のライトサイクル、バスサイクル B は SRAM からのリードサイクルの場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で CPU のライトデータと SRAM からのリードデータの衝突が発生しています。これに対し (b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

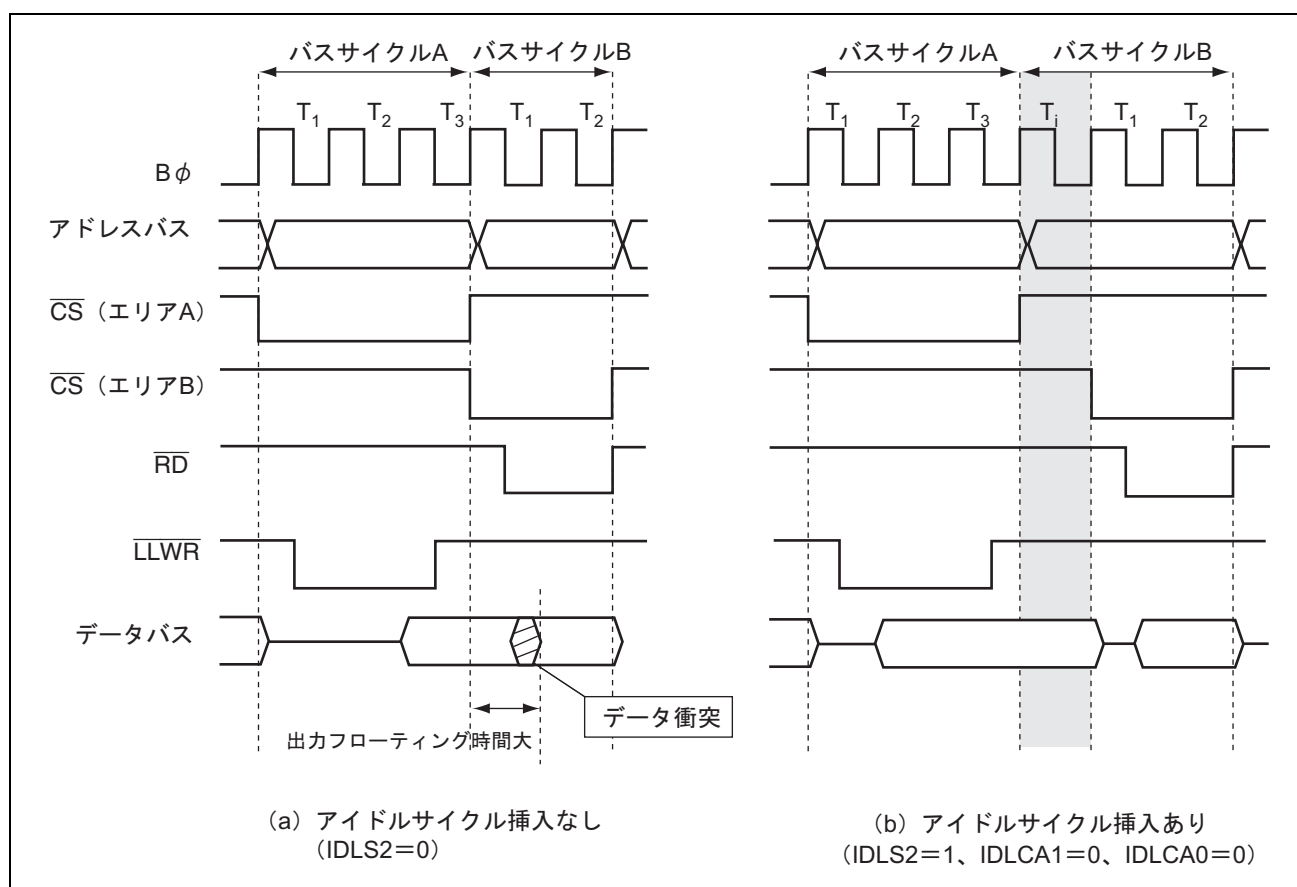


図 9.95 アイドルサイクル動作例 (ライト後のリード)

9. バスコントローラ (BSC)

(4) シングルアドレス転送ライト後の外部アクセス

IDLCR の IDLS3 ビットを 1 に設定した状態で、シングルアドレス転送ライト後に外部アクセスが発生すると、外部アクセスの先頭に IDLCR の IDLCA1、IDLCA0 ビットに設定したサイクル数のアイドルサイクルが挿入されます。

図 9.96 に動作例を示します。バスサイクル A はシングルアドレス転送ライトサイクル、バスサイクル B は CPU のライトサイクルの場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で外部デバイスライトデータと本 LSI のライトデータの衝突が発生しています。これに対し (b) ではアイドルサイクルを挿入し、データ衝突を回避しています。

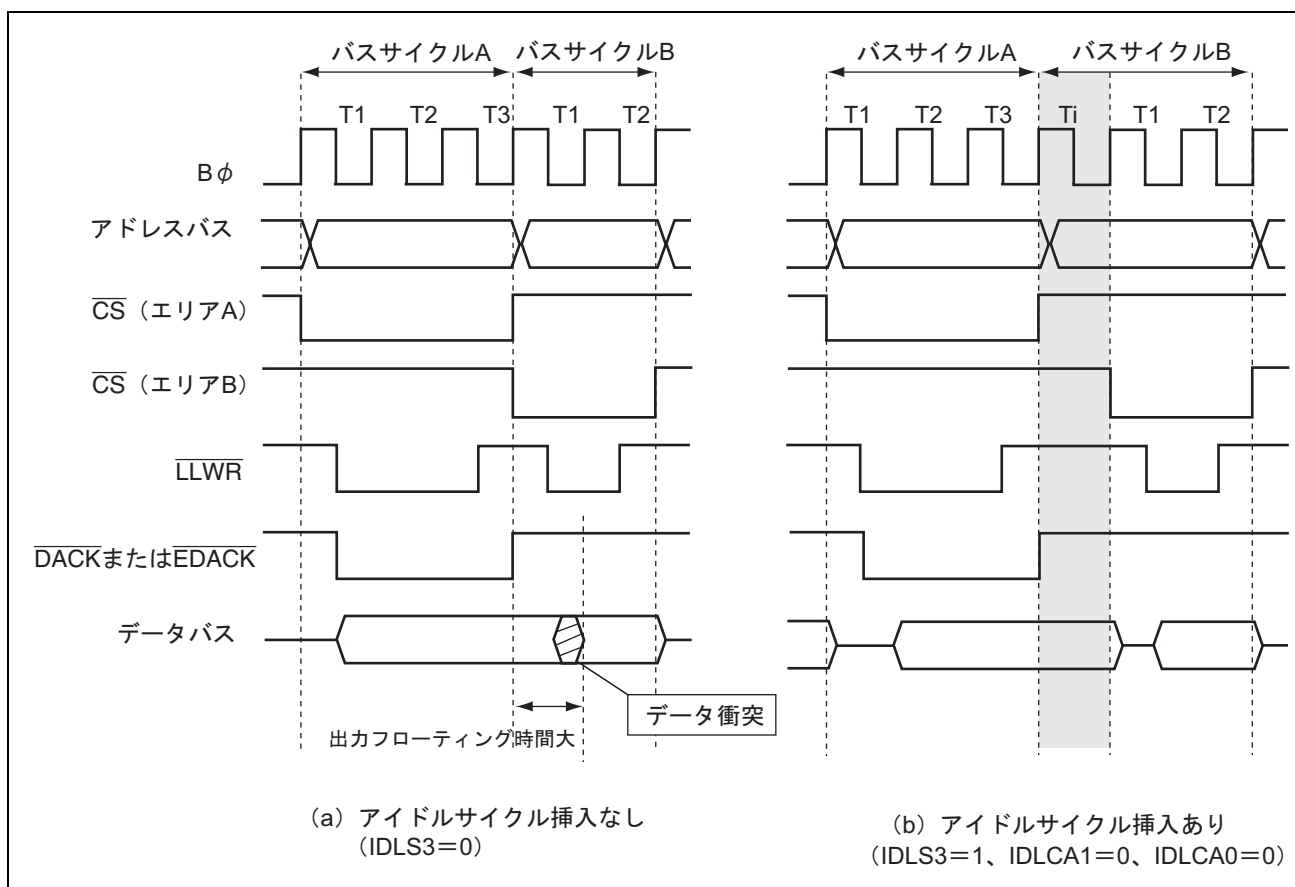


図 9.96 アイドルサイクル動作例 (シングルアドレス転送ライト後のライト)

(5) 外部 NOP サイクルとアイドルサイクル

内部処理などにより外部空間をアクセスしないサイクル (外部 NOP サイクル) をはさんで外部バスサイクルが連続する場合においても、アイドルサイクル挿入条件は有効です。この場合、外部 NOP サイクルはアイドルサイクルの一部としてカウントされます。

図 9.97 に挿入例を示します。

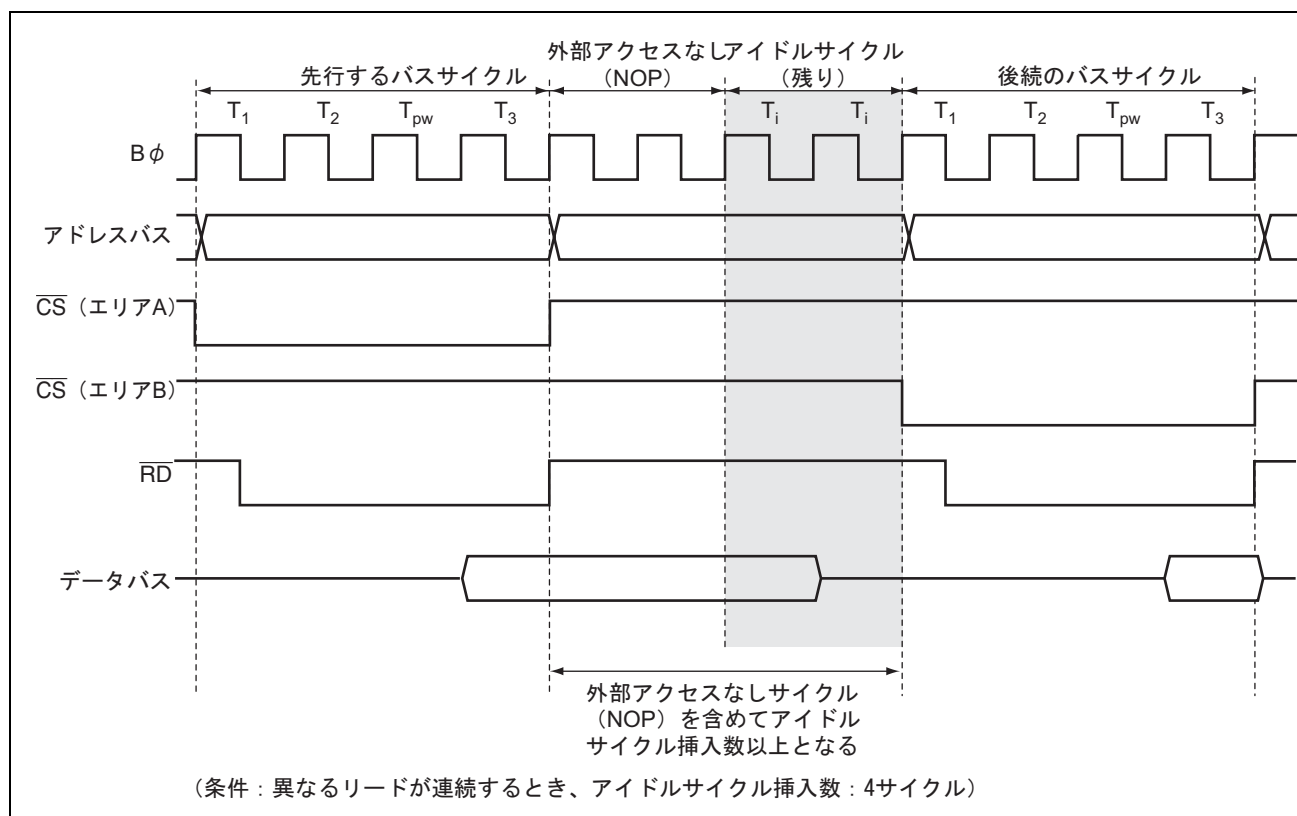


図 9.97 アイドルサイクル挿入例

(6) チップセレクト (\overline{CS}) 信号とリード (\overline{RD}) 信号の関係

システムの負荷条件によって、 \overline{CS} 信号よりも \overline{RD} 信号が遅れる場合があります。

図 9.98 にチップセレクト (\overline{CS}) 信号とリード (\overline{RD}) 信号の関係を示します。(a) のようにアイドルサイクルを挿入しない設定では、バスサイクル A の \overline{RD} 信号とバスサイクル B の \overline{CS} 信号間でオーバーラップ期間が発生する可能性があります。これに対し (b) のようにアイドルサイクルを挿入する設定にすると、 \overline{RD} 信号と \overline{CS} 信号のオーバーラップ期間を回避することができます。なお、リセット解除後の初期状態は、(b) のアイドルサイクルを挿入する設定となっています。

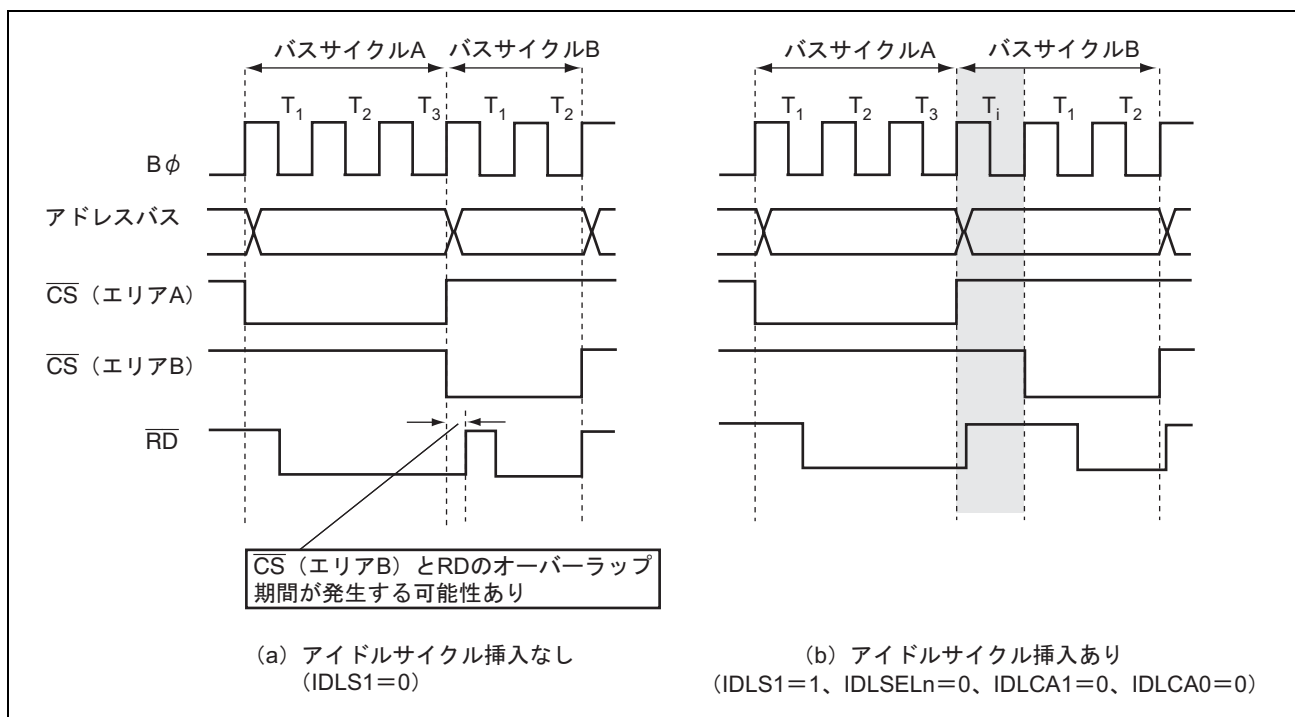


図 9.98 チップセレクト (\overline{CS}) とリード (\overline{RD}) の関係

(7) DRAM 空間/シンクロナス DRAM 空間アクセス時のアイドルサイクル

後続のリードが DRAM 空間/シンクロナス DRAM 空間へのフルアクセスのとき T_p 、 T_r サイクルを含めてアイドルサイクルとします。

図 9.99、図 9.100 に DRAM 空間/シンクロナス DRAM 空間へのフルアクセス時に 4 ステートのアイドルサイクルを挿入した場合のタイミング例を示します。

DRAM/シンクロナス DRAM 空間アクセス時のアイドルサイクルは、プリチャージステート、ロウアドレス出力ステート実行後、設定されたアイドルサイクル挿入後に満たないサイクル数分の T_i がカラムアドレス出力ステートの前に挿入されます。

シンクロナス DRAM 空間へのフルアクセス時は、アイドルサイクル中でも $\overline{CS2}$ は Low レベルを出力しません。

RAS ダウンモード時の高速ページアクセスでもアイドルサイクル挿入条件は有効であり、設定に従ってアイドルサイクルが挿入されます。図 9.101 に RAS ダウンモード時にアイドルサイクルを挿入した場合のタイミング例を示します。

【注】 H8SX1648G グループ、H8SX1648H グループのみサポート

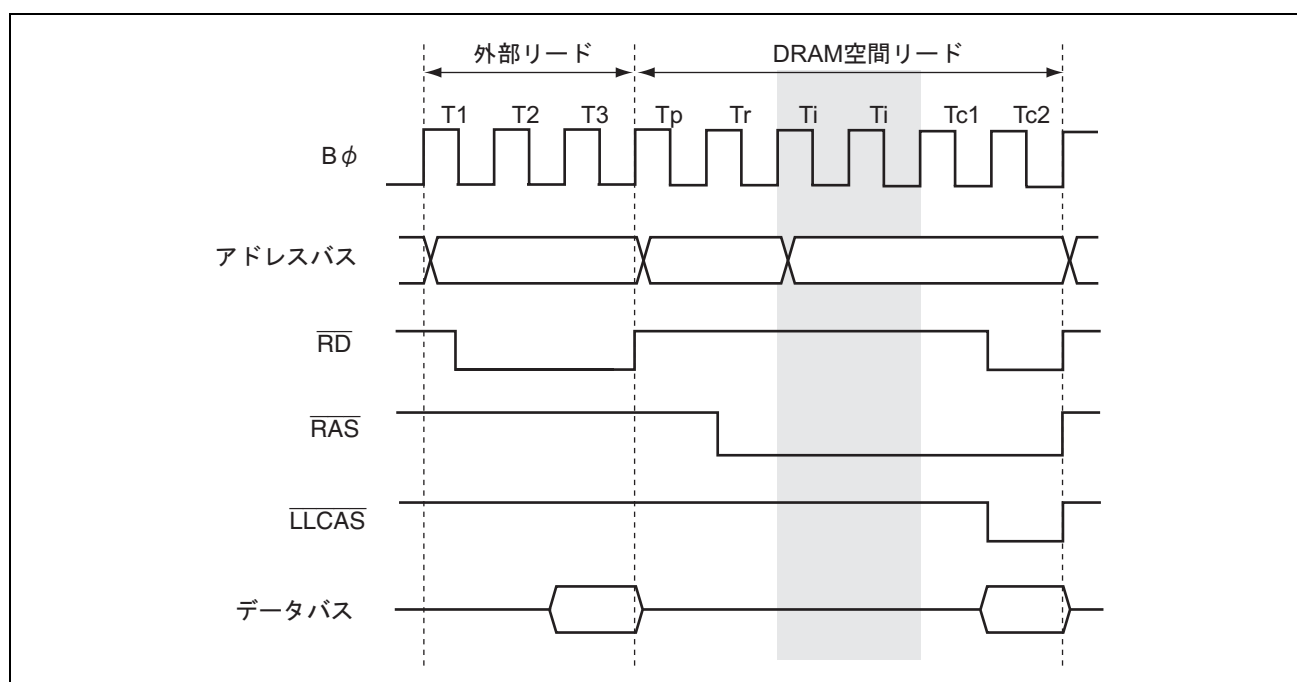


図 9.99 外部リード後の DRAM フルアクセス例 (CAST=0)

9. バスコントローラ (BSC)

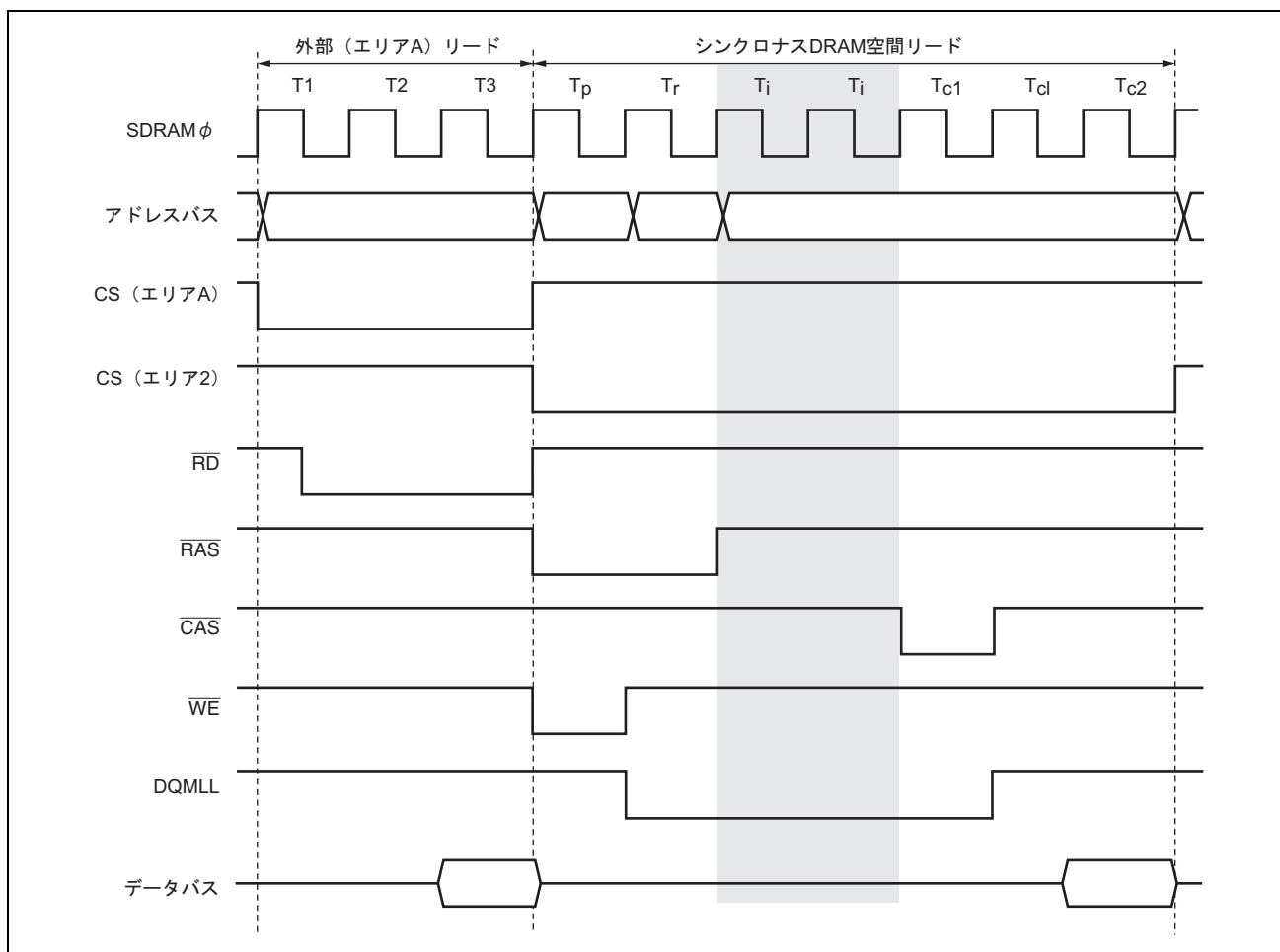


図 9.100 外部リード後のシンクロナス DRAM フルアクセス例 (CAS レイテンシ 2)

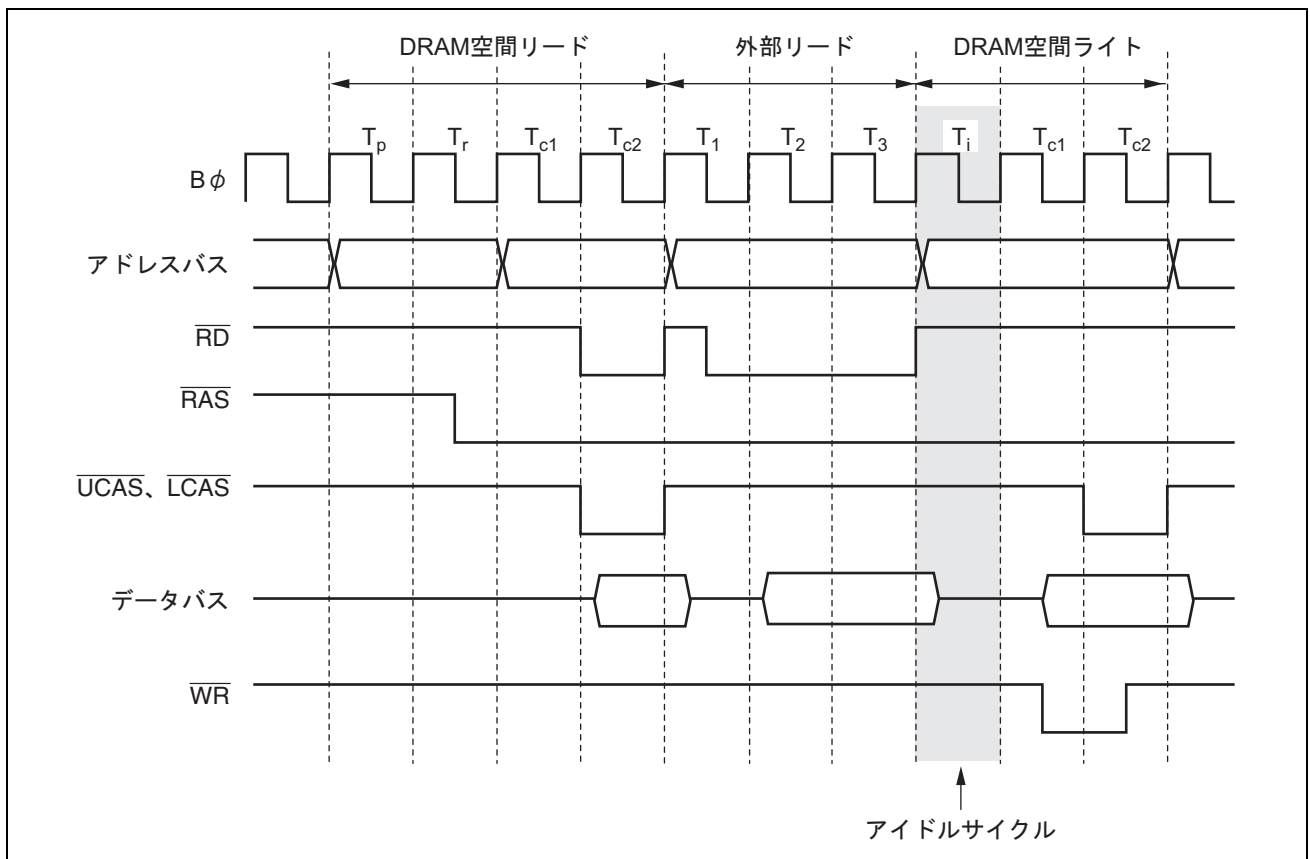


図 9.101 RAS ダウンモード時のアイドルサイクル動作例 (リード後のライト)

9. バスコントローラ (BSC)

表 9.30 通常空間と DRAM 空間／シンクロナス DRAM 空間を混在してアクセスするときのアイドルサイクル

前のアクセス	次のアクセス	IDLS				IDLSEL 7~0	IDLCA		IDLCB		アイドルサイクル					
		3	2	1	0		1	0	1	0						
通常空間／ DRAM 空間／ シンクロナス DRAM 空間 リード	通常空間／	—	—	0	—	—	—	—	—	—	無効					
	DRAM 空間／ シンクロナス DRAM 空間 リード	DRAM 空間／ シンクロナス DRAM 空間 リード	—	—	1	—	0	0	0	—	—	1 ステート				
								0	1			2 ステート				
								1	0			3 ステート				
								1	1			4 ステート				
	通常空間／ DRAM 空間／ シンクロナス DRAM 空間 リード	通常空間／ DRAM 空間／ シンクロナス DRAM 空間 リード	—	—	—	0	1	—	—	0	0	0 ステート				
								—	—			0	1	2 ステート		
								—	—			1	0	3 ステート		
								—	—			1	1	4 ステート		
	通常空間／ DRAM 空間／ シンクロナス DRAM 空間 リード	通常空間／	—	—	—	0	—	—	—	—	—	無効				
		DRAM 空間／ シンクロナス DRAM 空間 リード	DRAM 空間／ シンクロナス DRAM 空間 ライト	—	—	—	1	0	0	0	—	—	1 ステート			
									0	1			2 ステート			
1									0	3 ステート						
1									1	4 ステート						
通常空間／ DRAM 空間／ シンクロナス DRAM 空間 リード		通常空間／ DRAM 空間／ シンクロナス DRAM 空間 ライト	—	—	—	0	1	—	—	0	0	0 ステート				
								—	—			0	1	2 ステート		
								—	—			1	0	3 ステート		
								—	—			1	1	4 ステート		
通常空間／ DRAM 空間／ シンクロナス DRAM 空間 ライト		通常空間／ DRAM 空間／ シンクロナス DRAM 空間 ライト	—	0	—	—	—	—	—	—	—	無効				
								—	1			—	—	0	0	1 ステート
								—	1			—	—	0	1	2 ステート
	—							1	—			—	1	0	3 ステート	
通常空間／ DRAM 空間／ シンクロナス DRAM 空間 ライト	通常空間／ DRAM 空間／ シンクロナス DRAM 空間 ライト	—	1	—	—	—	—	—	—	—	4 ステート					
							—	—			1	1	4 ステート			
							—	—			1	1	4 ステート			
							—	—			1	1	4 ステート			
シングル アドレス転送 ライト	通常空間／	0	—	—	—	—	—	—	—	—	無効					
	DRAM 空間／ シンクロナス DRAM 空間 ライト	DRAM 空間／ シンクロナス DRAM 空間 ライト	1	—	—	—	—	0	0	—	—	1 ステート				
								0	1			2 ステート				
								1	0			3 ステート				
								1	1			4 ステート				

9.12.2 アイドルサイクルでの端子状態

表 9.31 にアイドルサイクルでの端子状態を示します。

表 9.31 アイドルサイクルでの端子状態

端子名	端子の状態
A23~A0	直後のバスサイクルの内容
D15~D0	ハイインピーダンス
\overline{CS}_n (n=7~0)	High レベル* ¹
\overline{LUCAS} 、 \overline{LLCAS} * ⁵	High レベル
DQMLU、DQMLL* ⁵	High レベル* ²
\overline{AS}	High レベル
\overline{RD}	High レベル
\overline{BS}	High レベル
$\overline{RD}/\overline{WR}$	High レベル* ³
\overline{AH}	Low レベル
\overline{LHWR} 、 \overline{LLWR}	High レベル
\overline{LUB} 、 \overline{LLB}	High レベル
\overline{CKE} * ⁵	High レベル
\overline{OE} * ⁵	High レベル
\overline{RAS} * ⁵	High/Low レベル* ⁴
\overline{CAS} * ⁵	High レベル
\overline{WE} * ⁵	High レベル
\overline{DACK}_n (n=3~0)	High レベル
\overline{EDACK}_n (n=3~0) * ⁵	High レベル

- 【注】 *¹ シンクロナス DRAM*⁵ のフルアクセスでは Low レベルとなります。
- *² シンクロナス DRAM*⁵ のフルアクセスリードでは Low レベルとなります。
- *³ DRAM/シンクロナス DRAM 空間*⁵ でのフルアクセス、ライト時は Low レベルになります。
- *⁴ DRAM 空間アクセス/DRAM 空間*⁵ 以外のアクセス、RAS アップモード/RAS ダウンモードにより状態が異なります。図 9.104、図 9.106 を参照してください。
- *⁵ H8SX1648G グループ、H8SX1648H グループのみサポート

9.13 バス解放

本 LSI は、外部からのバス権要求により外部バスを解放することができます。外部バス権解放状態では、外部アクセスが発生しない限り EXDMAC*を除く内部バスマスタは動作を継続します。

また、外部バス権解放状態で外部に対して $\overline{\text{BREQO}}$ 信号を Low レベルにしてバス権を要求することができます。

【注】 * H8SX1648G グループ、H8SX1648H グループのみサポート

9.13.1 動作説明

外部拡張モードで BCR1 の BRLE ビットを 1 に、該当する端子の ICR ビットを 1 にセットすると、外部にバス権を解放することができます。 $\overline{\text{BREQ}}$ 端子を Low レベルにすると、本 LSI に外部バス権を要求します。 $\overline{\text{BREQ}}$ 端子をサンプリングすると、所定のタイミングで $\overline{\text{BACK}}$ 端子を Low レベルにして、アドレスバス、データバス、バス制御信号をハイインピーダンスにして、外部バス権解放状態になります。ICR については「13. I/O ポート」を参照してください。

外部バス権解放状態で、CPU、DTC、DMAC は、内部バスを使用して内部アクセスを行うことができます。CPU、DTC、DMAC、EXDMAC*のいずれかが外部アクセスを行うと、一旦バスサイクルの起動を保留し、外部バスマスタからのバス権要求が取り下げられるのを待ちます。また、外部バス権解放状態でリフレッシュ要求が発生した場合、ソフトウェアスタンバイモードまたは全モジュールクロックストップモードへ遷移するための SLEEP 命令が実行された場合、クロック周波数を設定するため SCKCR にライトアクセスした場合も外部バスマスタのバス権要求が取り下げられるまでリフレッシュ制御、およびソフトウェアスタンバイ、全モジュールクロックストップ制御、クロック周波数の設定は保留されます。SCKCR については「26. クロック発振器」を参照してください。

BCR1 の BREQOE ビットが 1 にセットされていると、以下の要求が発生したときに $\overline{\text{BREQO}}$ 端子を Low レベルにし、外部にバス権要求を取り下げよう要求することができます。

- CPU、DTC、DMAC、EXDMAC*のいずれかが外部アクセスをしようとしたとき
- リフレッシュ要求*が発生したとき
- ソフトウェアスタンバイモードまたは全モジュールクロックストップモードへ遷移するための SLEEP 命令が実行されたとき
- クロック周波数を設定するため SCKCR にライトアクセスしたとき

$\overline{\text{BREQ}}$ 端子を High レベルにすると、所定のタイミングで $\overline{\text{BACK}}$ 端子を High レベルにし、外部バス権解放状態を終了します。

外部バス権解放要求、外部アクセス、リフレッシュ*が同時に発生したときの優先順位は

(高) リフレッシュ* > EXDMAC* > 外部バス権解放 > CPU、DTC、DMAC の外部アクセス (低)

となります。

【注】 * H8SX1648G グループ、H8SX1648H グループのみサポート

9.13.2 外部バス権解放状態での端子状態

表 9.32 に外部バス権解放状態での端子状態を示します。

表 9.32 バス権解放状態での端子状態

端子名	端子の状態
A23~A0	ハイインピーダンス
D15~D0	ハイインピーダンス
\overline{BS}	ハイインピーダンス
\overline{CSn} (n=7~0)	ハイインピーダンス
\overline{AS}	ハイインピーダンス
\overline{AH}	ハイインピーダンス
$\overline{RD}/\overline{WR}$	ハイインピーダンス
\overline{LUCAS} 、 \overline{LLCAS}^*	ハイインピーダンス
\overline{RD}	ハイインピーダンス
\overline{RAS}^*	ハイインピーダンス
\overline{CAS}^*	ハイインピーダンス
\overline{WE}	ハイインピーダンス
DQMLU、DQMLL*	ハイインピーダンス
\overline{CKE}^*	ハイインピーダンス
\overline{OE}^*	ハイインピーダンス
\overline{LUB} 、 \overline{LLB}	ハイインピーダンス
\overline{LHWR} 、 \overline{LLWR}	ハイインピーダンス
\overline{DACKn} (n=3~0)	High レベル
\overline{EDACKn} (n=3~0) *	High レベル

【注】 * H8SX1648G グループ、H8SX1648H グループのみサポート

9. バスコントローラ (BSC)

9.13.3 遷移タイミング

図 9.102、図 9.103*にバス権解放状態への遷移タイミングを示します。

【注】 * H8SX1648G グループ、H8SX1648H グループのみサポート

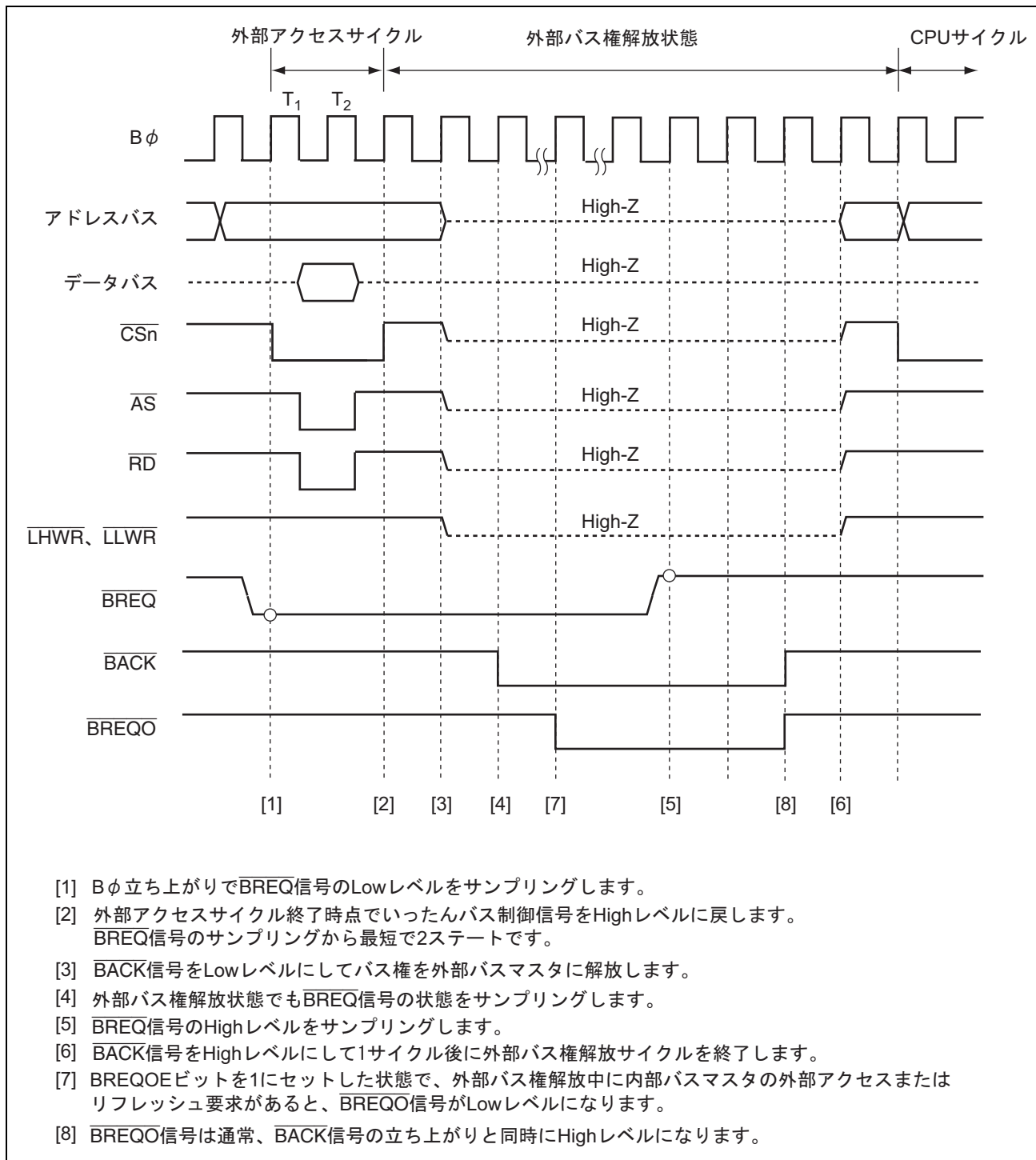


図 9.102 バス権解放状態遷移タイミング
(シンクロナス DRAM インタフェースを使用しない場合)

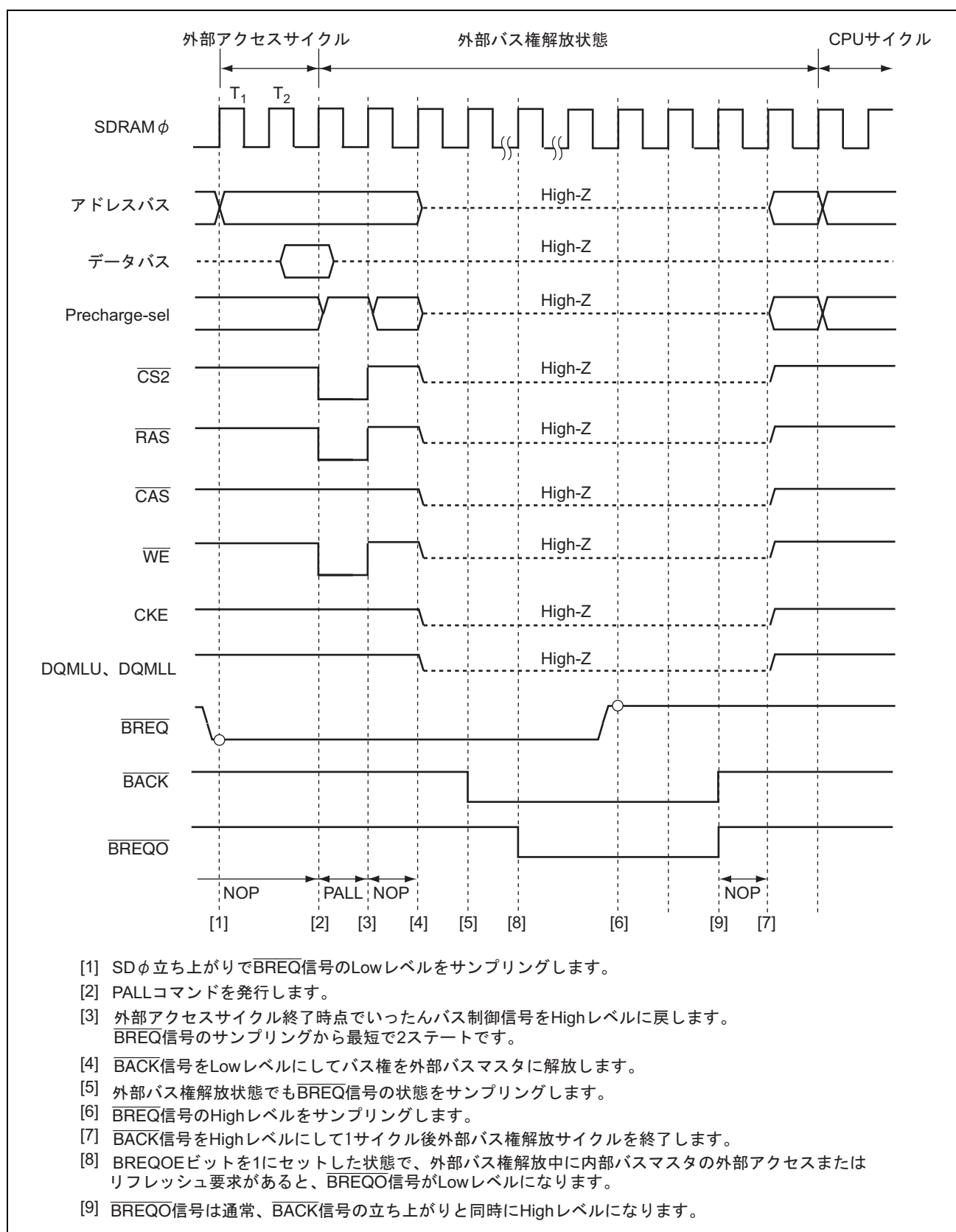


図 9.103 バス権解放状態遷移タイミング
(シンクロナス DRAM インタフェースを使用した場合)

9.14 内部バス

9.14.1 内部アドレス空間へのアクセス

本 LSI の内部アドレス空間には、内蔵 ROM 空間、内蔵 RAM 空間、内蔵周辺モジュールレジスタ空間があり、それぞれアクセスに要するサイクル数が異なります。

表 9.33 に内蔵メモリ空間のアクセスサイクル数を示します。

表 9.33 内蔵メモリ空間のアクセスサイクル数

アクセス対象	アクセス	サイクル数
内蔵 ROM 空間	リード	1 ϕ サイクル
	ライト	3 ϕ サイクル
内蔵 RAM 空間	リード	1 ϕ サイクル
	ライト	1 ϕ サイクル

内蔵周辺モジュールレジスタへのアクセスは、レジスタによってアクセスサイクル数が異なります。バスマスタの動作クロックと周辺モジュールの動作クロックが 1 : n に分周されている場合、外部バスクロックの分周と同様にレジスタアクセスに 0~n-1 の分周クロック同期化サイクルが挿入されます。

表 9.34 に内蔵周辺モジュールレジスタ空間のアクセスサイクル数を示します。

表 9.34 内蔵周辺モジュールレジスタ空間のアクセスサイクル数

アクセス対象	サイクル数		ライトデータバッファ機能
	リード	ライト	
DMAC、EXDMAC* ¹ のレジスタ	2 ϕ		無効
MCU 動作モード、クロック発振器、消費電力制御のレジスタ、割り込みコントローラ、バスコントローラ、DTC のレジスタ、LVD* ² のレジスタ	2 ϕ	3 ϕ	無効
I/O ポートの PFCR、WDT のレジスタ	2P ϕ	3P ϕ	無効
I/O ポートの PFCR、PORTM* ¹ 、N 以外のレジスタ、TPU、PPG0、TMR0、TMR1、SCI0~SCI4、IIC2_0、IIC2_1、A/D_0、D/A のレジスタ	2P ϕ		有効
I/O ポートの PORTM* ¹ 、N のレジスタ、TMR2、TMR3、SCI5、SCI6、IIC2_3、IIC2_4、A/D_1、A/D_2、PPG1 のレジスタ	3P ϕ		有効

【注】 *1 H8SX1648G グループ、H8SX1648H グループのみサポート

*2 H8SX1648L グループ、H8SX1648H グループのみサポート

9.15 ライトデータバッファ機能

9.15.1 外部ライトデータバッファ機能

本 LSI は外部データバスにライトデータバッファ機能を備えています。ライトデータバッファ機能を使用すると、外部ライトおよび DMAC シングルアドレス転送と、内部アクセスを並行して実行することができます。BCR1 の WDBE ビットを 1 にセットすると、ライトデータバッファ機能を使用することができます。

図 9.104 にライトデータバッファ機能を使用したときのタイミング例を示します。この機能を使用したとき、外部ライトまたは DMAC シングルアドレス転送が 2 ステート以上続き、次に内部アクセスがある場合は最初の 2 ステートは外部ライトのみが実行されますが、次のステートから外部ライトの終了を待たずに内部アクセス（内蔵メモリ、内部 I/O レジスタのリード/ライト）が並行して実行されます。

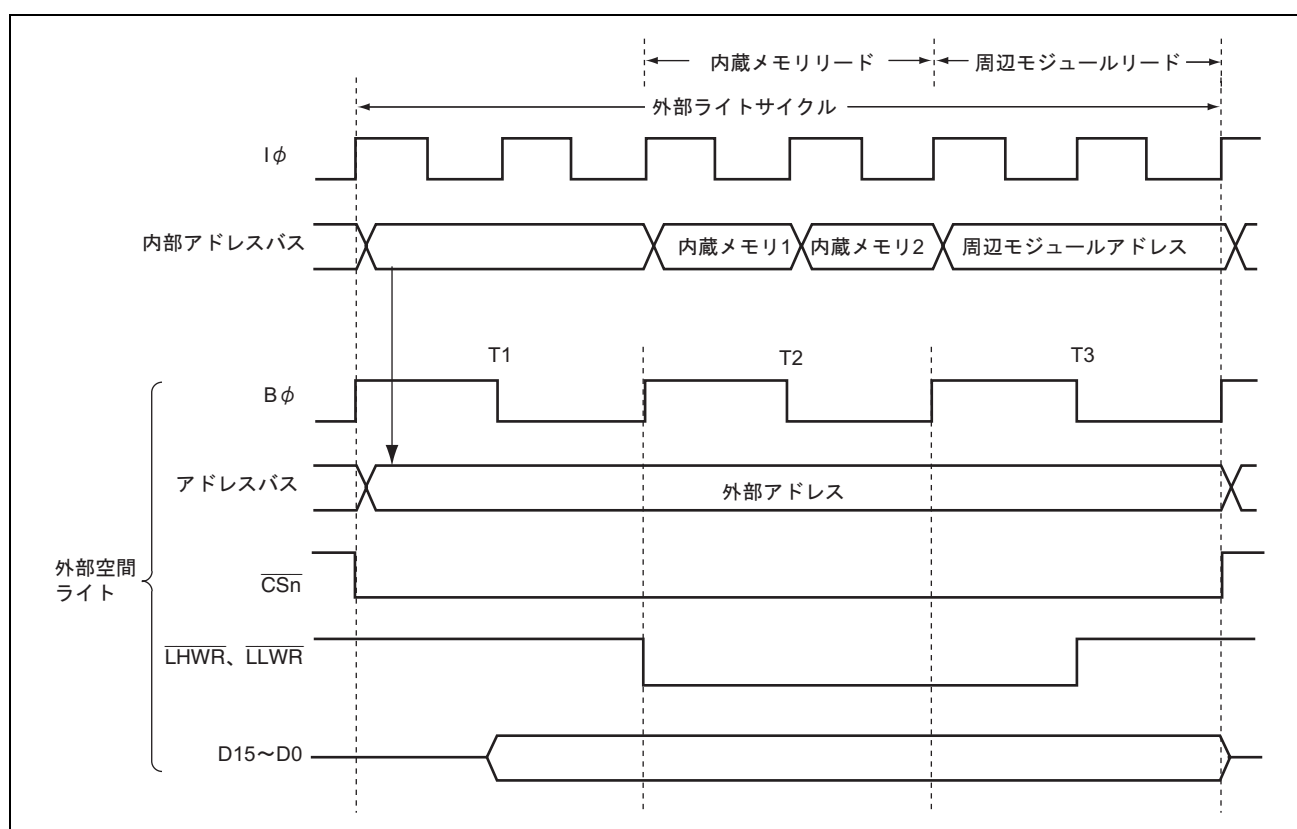


図 9.104 外部ライトデータバッファ機能使用時のタイミング例

9.15.2 周辺モジュールライトデータバッファ機能

本 LSI は、周辺モジュールアクセスのためにライトデータバッファ機能を備えています。ライトデータバッファ機能を使用すると、周辺モジュールライトサイクルと、内蔵メモリおよび外部アクセスを並行して実行することができます。BCR2 の PWDBE ビットを 1 にセットすると、ライトデータバッファ機能を使用することができます。ライトデータバッファ機能が有効となる周辺モジュールレジスタ空間は、「9.14 内部バス」の表 9.26 を参照してください。

図 9.105 にライトデータバッファ機能を使用したときのタイミング例を示します。この機能を使用したとき、内部 I/O レジスタライトが 2 ステート以上続き、次に内蔵 RAM、内蔵 ROM および外部アクセスがある場合は最初の 2 ステートは内部 I/O レジスタライトのみが実行されますが、次のステートから内部 I/O レジスタライトの終了を待たずに内蔵メモリ外部アクセスが並行して実行されます。

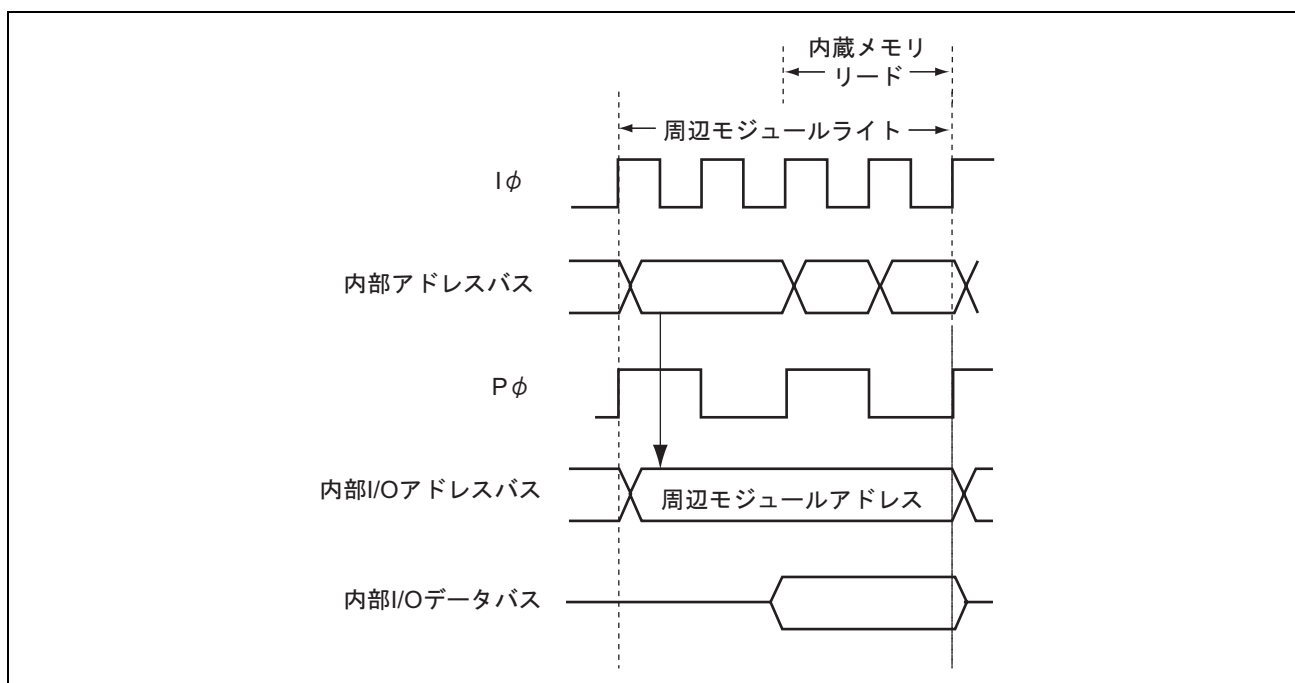


図 9.105 周辺モジュールライトデータバッファ機能使用時のタイミング例

9.16 バスアービトレーション

本 LSI は、バスマスタの動作を調停 (バスアービトレーション) するバスアービタを内蔵しています。バス調停は、内部アクセスと外部アクセスのそれぞれにバスアービタを内蔵し、独立に制御しています。内部バスアービタの対象は、CPU、DTC、DMAC のそれぞれのアクセスです。外部バスアービタの対象は、CPU、DTC、DMAC の外部アクセス、EXDMAC*の外部アクセス、リフレッシュ*、外部バス権解放要求 (外部バスマスタ) です。

バスアービタは所定のタイミングで優先順位を判定し、バス権要求アクノリッジ信号によりバスの使用を許可します。

【注】 * H8SX1648G グループ、H8SX1648H グループのみサポート

9.16.1 動作説明

バスアービタは、バスマスタのバス権要求信号を検出して、バス権が要求されていれば、そのバスマスタにバス権要求アクノリッジ信号を与えます。複数のバスマスタからバス権要求があれば、最も優先順位の高いものにバス権要求アクノリッジ信号を与えます。バス権要求アクノリッジ信号を受け取ったバスマスタは、以後この信号が取り消されるまでバスを占有します。

バスマスタの優先順位は以下のとおりです。

内部バスアービトレーション：

(高) DMAC > DTC > CPU (低)

外部バスアービトレーション：

(高) リフレッシュ* > EXDMAC* > 外部バス権解放要求 > CPU、DTC、DMAC の外部アクセス (低)

ただし、BCR2 の IBCCS ビットを 1 にセットすることにより、DMAC または DTC のアクセスが連続する場合に CPU の優先順位を高くして、DMAC または DTC と交互にバス権を取ることができます。このとき、DMAC と DTC 間の優先順位に変化はありません。また、BCR2 の EBCCS ビットを 1 にセットすることにより、外部バス権解放要求、EXDMAC*のアクセス、リフレッシュ*が連続する場合に CPU、DTC、DMAC の外部アクセスの優先順位を高くして、交互に実行することができます。このときリフレッシュ*、EXDMAC* と外部バス権解放要求間の優先順位に変化はありません。

なお、内部バスマスタの内部バスアクセスと、外部バス権解放、リフレッシュ*、EXDMAC*の外部バスアクセスは、並行して実行することができます。

【注】 * H8SX1648G グループ、H8SX1648H グループのみサポート

9.16.2 バス権移行タイミング

バス権を獲得して動作しているバスマスタよりも優先順位の高いバスマスタからのバス権要求があつたときでも、すぐにバス権が移行するとは限りません。各バスマスタには、バス権を譲ることができるタイミングがあります。

(1) CPU

CPU は最も優先順位が低いバスマスタで、DTC、DMAC からのバス権要求があると、内部バスアービタはバス権を CPU からバス権要求のあつたバスマスタに移行します。CPU が外部バスサイクルを実行している場合は、EXDMAC*からのバス権要求があると、外部バスアービタはバス権を EXDMAC*に移行します。

バス権が移行するタイミングはバスサイクルの切れ目です。スリープモード中はクロックに同期してバス権を移行します。ただし、次の場合は、バス権の移行を禁止しています。

- ワード、ロングワードサイズのアクセスを分割して実行しているとき
- スタック操作を複数バスサイクルで実行しているとき
- メモリ間転送命令、ブロック転送命令、およびTAS命令で、転送データのリードとライトの期間
(ブロック転送命令は、ライトサイクルと次の転送データのリードサイクルの間は、バス権を移行することができます。)
- ビット操作命令やメモリ演算命令で、対象のデータをリードしてからライトするまでの期間
(命令の条件によりライトを行わない場合も、ライトに相当するステートまでの期間が該当します。)

【注】 * H8SX1648G グループ、H8SX1648H グループのみサポート

(2) DTC

DTC は起動要求が発生すると内部バスアービタに対してバス権を要求します。外部バス空間にアクセスする場合は、内部バスのバス権を取得した上で外部バスアービタに対してバス権を要求します。

DTC は、一旦バス権を取得すると一連の転送処理サイクルを連続して実行します。この期間に DTC より優先順位の高いバスマスタからのバス権要求があるとバス権を移行します。BCR2 の IBCCS ビットが 1 にセットされているときは、バス権を CPU に移行します。

ただし、以下の場合は、バス権の移行を禁止しています。

- 転送情報のリード中
- 1回のデータを転送中
- 転送情報のライトバック中

起動要求に対応する一連の転送処理サイクルが終了すると次のサイクルはバス権を解放します。

(3) DMAC

DMAC は起動要求が発生すると内部バスアービタに対してバス権を要求します。外部バス空間にアクセスする場合は、内部バスのバス権を取得した上で外部バスアービタに対してバス権を要求します。

DMAC の転送サイクルには、一旦バス権を取得すると連続して転送を行う場合と、転送サイクルごとにバス権を解放する場合があります。

バス権を解放せずに連続して実行する転送サイクルには、次の場合があります。

- デュアルアドレスモードのリードサイクルから、リードサイクルに対応するライトサイクルの期間

DMAC より優先順位の高いバスマスタからのバス権要求がなく、BCR2 の IBCCS ビットが 0 にクリアされているとき、バス権を解放せずに連続して実行する転送サイクルには、以下の場合があります。

- ブロック転送モードの1ブロック転送中
- バーストモードの転送中

上記以外の転送サイクルの場合、バスサイクルが終了した時点でバス権を移行します。

(4) EXDMAC

EXDMAC は起動要求が発生すると外部バスアービタに対してバス権を要求します。内部バスマスタの外部アクセスが行われている場合には、バス権移行が可能なタイミングで EXDMAC にバス権が移行します。

EXDMAC の転送サイクルには、いったんバス権を取得すると連続して転送を行う場合と、転送サイクルごとにバス権を解放する場合があります。

バス権を解放せずに連続して実行する転送サイクルには以下の場合があります。

- デュアルアドレスモードのリードサイクルから、リードサイクルに対応するライトサイクルの期間
- クラスタ転送モードの転送中

EXDMAC より優先順位の高いバスマスタからのバス権要求がなく、BCR2 の EBCCS ビットが 0 にクリアされているときは、バス権を解放せずに連続して実行する転送サイクルには、以下の場合があります。

- ブロック転送モードの1ブロック転送中
- バーストモードの転送中

上記以外の転送サイクルの場合、バスサイクルが終了した時点でバス権を移行します。ただし、他のバスマスタがバス権を要求していない場合で、EXDMAC の複数のチャンネルに起動要求が発生すると、引き続き EXDMAC がバス権を取得し、EXDMAC の転送サイクルが連続します。

【注】 H8SX1648G グループ、H8SX1648H グループのみサポート

(5) 外部バス権解放

BCR1 の BRLE ビットを 1 に該当する端子の ICR ビットを 1 にセットした状態で、 $\overline{\text{BREQ}}$ 端子が Low レベルとなって外部バス権解放要求が起こるとバスアービタに対してバス権を要求します。

外部バス権解放は、外部バスサイクルが終了した時点で行うことができます。

9. バスコントローラ (BSC)

(6) リフレッシュ

エリア 2 を DRAM 空間またはシンクロナス DRAM 空間に設定し、REFCR の RFSHE ビットを 1 にセットしたときに、RTCNT がカウントアップされ RTCOR の値と一致した時点で、バスアービタに対してバス権を要求します。

リフレッシュは、外部バスサイクルが終了した時点で挿入されます。リフレッシュは連続して挿入されることはありません。リフレッシュが挿入されると、その後、一旦バス権は他のバスマスタに移行します。その時、他のバスマスタのバス権要求がない場合は NOP サイクルが挿入されます。

【注】 H8SX1648G グループ、H8SX1648H グループのみサポート

9.17 リセットとバスコントローラ

リセットで、バスコントローラを含めて本 LSI はその時点でリセット状態になります。実行中のバスサイクルは途中で打ち切られます。

9.18 使用上の注意事項

(1) レジスタの設定

バスコントローラのレジスタの設定は、外部空間をアクセスする前に設定してください。外部 ROM 起動の場合は、外部 ROM からの命令フェッチ以外の外部アクセスが発生する前に設定してください。

(2) モード設定

シンクロナス DRAM のバーストリード/バーストライトのモードは対応していません。

シンクロナス DRAM のモードレジスタを設定する際は、バーストリード/シングルライトを設定し、バースト長は 1 としてください。

【注】 H8SX1648G グループ、H8SX1648H グループのみサポート

(3) 外部バス権解放機能と全モジュールクロックストップモード

本 LSI は、MSTPCRA の ACSE ビットを 1 にセットし、すべての周辺モジュールのクロックを停止するか (MSTPCRA、MSTPCRB=H'FFFFFFF)、または 8 ビットタイマだけを動作させて (MSTPCRA、B=H'F[C~F]FFFFFF)、SLEEP 命令を実行し、スリープ状態へ遷移すると、バスコントローラと I/O ポートもクロックを停止する全モジュールクロックストップモードへ遷移します。詳細は「27. 低消費電力」を参照してください。

全モジュールクロックストップモードでは、外部バス権解放機能は停止します。スリープモードで外部バス権解放機能を使用する場合は、MSTPCRA の ACSE ビットを 0 にクリアしてください。

また、外部バス権解放状態で全モジュールクロックストップモードへ遷移するための SLEEP 命令が実行された場合、全モジュールクロックストップモードへの遷移は保留され、バス権復帰後に遷移します。

(4) 外部バス権解放機能とソフトウェアスタンバイ

本 LSI は、バス解放中でも、プログラムが内蔵 ROM など動作していて外部アクセスが起きない場合には、内部バスマスタの動作は停止しません。外部バス解放中にソフトウェアスタンバイモードに遷移するための SLEEP 命令が実行された場合、ソフトウェアスタンバイモードへの遷移は保留され、バス権復帰後に遷移します。

また、ソフトウェアスタンバイモードではクロック発振も停止するため、ソフトウェアスタンバイ中に $\overline{\text{BREQ}}$ が Low レベルとなり、外部バス解放要求があってもソフトウェアスタンバイモードから復帰するまで外部バス解放に応答できません。

ソフトウェアスタンバイ中は、 $\overline{\text{BACK}}$ 、 $\overline{\text{BREQ0}}$ が Hi-Z となりますのでご注意ください。

(5) 外部バス権解放機能と CBR リフレッシュ/オートリフレッシュ

外部バス権解放中には CBR リフレッシュ/オートリフレッシュを実行することができません。BCR1 の BREQOE ビットを 1 にセットしておくこと、CBR リフレッシュ/オートリフレッシュ要求が発生したときに、 $\overline{\text{BREQ0}}$ 信号を出力することができます。

(6) $\overline{\text{BREQ0}}$ 出力タイミング

BREQOE ビットに 1 をセットして $\overline{\text{BREQ0}}$ 信号を出力する場合、 $\overline{\text{BACK}}$ 信号と同時に $\overline{\text{BREQ0}}$ が Low レベルになる場合があります。これは、本 LSI が $\overline{\text{BREQ}}$ の Low レベルをサンプリングして、内部のバス権を調停している間に、すでに次の外部アクセス要求が発生した場合に起こります。

(7) リフレッシュの設定

シングルチップ起動モードの場合は REFCR の RFSHE ビットの設定は SYSCR の EXPE ビットを 1 にセットしてから行ってください。SYSCR については「3. MCU 動作モード」を参照してください。

【注】 H8SX1648G グループ、H8SX1648H グループのみサポート

(8) リフレッシュタイマの設定

REFCR の RTCK2~RTCK0 ビットの設定は、RTCNT および RTCOR を設定した後に行ってください。また、RTCNT および RTCOR を変更する場合は、カウント動作を停止した状態で行ってください。RTCK2~RTCK0 ビットの変更は、EXDMAC の外部アクセス、外部バス権解放を禁止し、ライトデータバッファ機能使用時はライトデータバッファ機能を無効にし外部空間をリードした後に行ってください。

【注】 H8SX1648G グループ、H8SX1648H グループのみサポート

9. バスコントローラ (BSC)

(9) リフレッシュタイマとインターバルタイマの切り替え

REFCR の RFSHE ビットを 1 から 0 に変更する場合、ビットの変更が反映されるまでの期間、リフレッシュサイクルが挿入される場合があります。その後、RTCNT をインターバルタイマとして使用する場合、コンペアマッチフラグ (CMF) は CMF=1 となっている場合がありますので CMIE=1 とする前に状態をご確認ください。

【注】 H8SX1648G グループ、H8SX1648H グループのみサポート

(10) DRAM インタフェースの RAS ダウンモードとソフトウェアスタンバイ

セルフリフレッシュ機能を使用せず、SBYCR の OPE=0 の設定でソフトウェアスタンバイモードに遷移する場合には、RAS アップモード (RCDM=0) の状態で行ってください。RAS ダウンモード (RCDM=1) を使用している場合は、RCDM=0 にしてから SLEEP 命令を実行してください。RAS ダウンモードはソフトウェアスタンバイモードからの復帰後に再度設定してください。SBYCR については、「27. 低消費電力」を参照してください。

【注】 H8SX1648G グループ、H8SX1648H グループのみサポート

(11) DRAM/シンクロナス DRAM の RAS ダウンモードとクロック周波数の設定

クロック周波数の設定のため SCKCR へライトアクセスするときは、RAS アップモード (RCDM=0) の状態で行ってください。RAS ダウンモード (RCDM=1) を使用している場合は、RCDM=0 にしてから SCKCR にライトしてください。RAS ダウンモードはクロック周波数の設定後に再度設定してください。SCKCR については、「26. クロック発振器」を参照してください。

【注】 H8SX1648G グループ、H8SX1648H グループのみサポート

(12) シンクロナス DRAM 空間へのクラスタ転送

クラスタ転送モードは CAS レイテンシ 2 のシンクロナス DRAM に対して使用可能です。クラスタ転送モードでシンクロナス DRAM を使用する場合はレイテンシ 2 のシンクロナス DRAM を使用してください。また、クラスタ転送モードでは TRWL ビットによるライトプリアチャージ出力遅延機能は使用できません。必ず、TRWL ビットを 0 にクリアして使用ください。

【注】 H8SX1648G グループ、H8SX1648H グループのみサポート

10. DMA コントローラ (DMAC)

本 LSI は、4 チャンネルの DMA コントローラ (DMAC) を内蔵しています。

10.1 特長

- 最大4Gバイトのアドレス空間をアクセス可能
- データ転送単位はバイト、ワード、またはロングワードを選択可能
- 総転送サイズは最大4Gバイト (4,294,967,295バイト) 設定可能
総転送サイズを設定しないフリーランニングモードも選択可能
- DMACの起動方法は、オートリクエスト、内蔵モジュール割り込み、外部リクエストを選択可能
オートリクエスト：CPUより起動 (サイクルスチールモードとバーストモードの選択が可能)
内蔵モジュール割り込み：各種内蔵周辺モジュールからの割り込み要求を起動要因として選択可能
外部リクエスト： $\overline{\text{DREQ}}$ 信号のLowレベル検出、または立ち下がリエッジ検出を選択可能
4チャンネルすべて外部リクエストを受け付け可能
- アドレスモードはデュアルアドレスモード、シングルアドレスモードを選択可能
デュアルアドレスモード：転送元、転送先双方をアドレス指定しデータを転送
シングルアドレスモード：転送元、または転送先の周辺デバイスを $\overline{\text{DACK}}$ 信号でアクセスし、
もう一方をアドレス指定してデータを転送
転送モードはノーマル転送モード、リピート転送モード、ブロック転送モードを選択可能
ノーマル転送モード：1バイト/1ワード/1ロングワードを1回の転送要求で転送
リピート転送モード：1バイト/1ワード/1ロングワードを1回の転送要求で転送
リピートサイズ分、データを転送すると転送開始時のアドレスに復帰
リピートサイズは最大64k回 (65,536バイト/ワード/ロングワード) 設定可能で
す。
ブロック転送モード：1ブロックのデータを1回の転送要求で転送
ブロックサイズは最大64k回 (65,536バイト/ワード/ロングワード) 設定可能で
す。
- 拡張リピートエリア機能 (転送アドレスレジスタの上位ビットの値を固定して特定範囲のアドレス値を
繰り返させ、リングバッファなどのデータ転送を行う) を選択可能
拡張リピートエリアには、1ビット (2バイト) ~27ビット (128Mバイト) を転送元、転送先別に設定可
能
- アドレス更新は、1、2または4の増減、固定、オフセット加算を選択可能
オフセット加算でアドレスを更新させると、途中のアドレスを飛ばしたデータ転送可能

10. DMA コントローラ (DMAC)

- ワードデータや、ロングワードデータを各データ境界から外れたアドレスに転送可能
データ転送時にアドレスに応じた最適なデータ (バイトやワード) に分割して転送可能
- CPUに2種類の割り込み要求を発生
転送終了割り込み：転送カウンタで設定したデータ数を転送終了後に発生
転送エスケープ終了割り込み：残る総転送サイズが1回の転送要求で転送する設定サイズを下回ったとき、リピートサイズ分のデータ転送を終了したとき、または拡張リピートエリアがオーバーフローしたときに発生
- モジュールストップ状態への設定可能

DMAC のブロックを図 10.1 に示します。

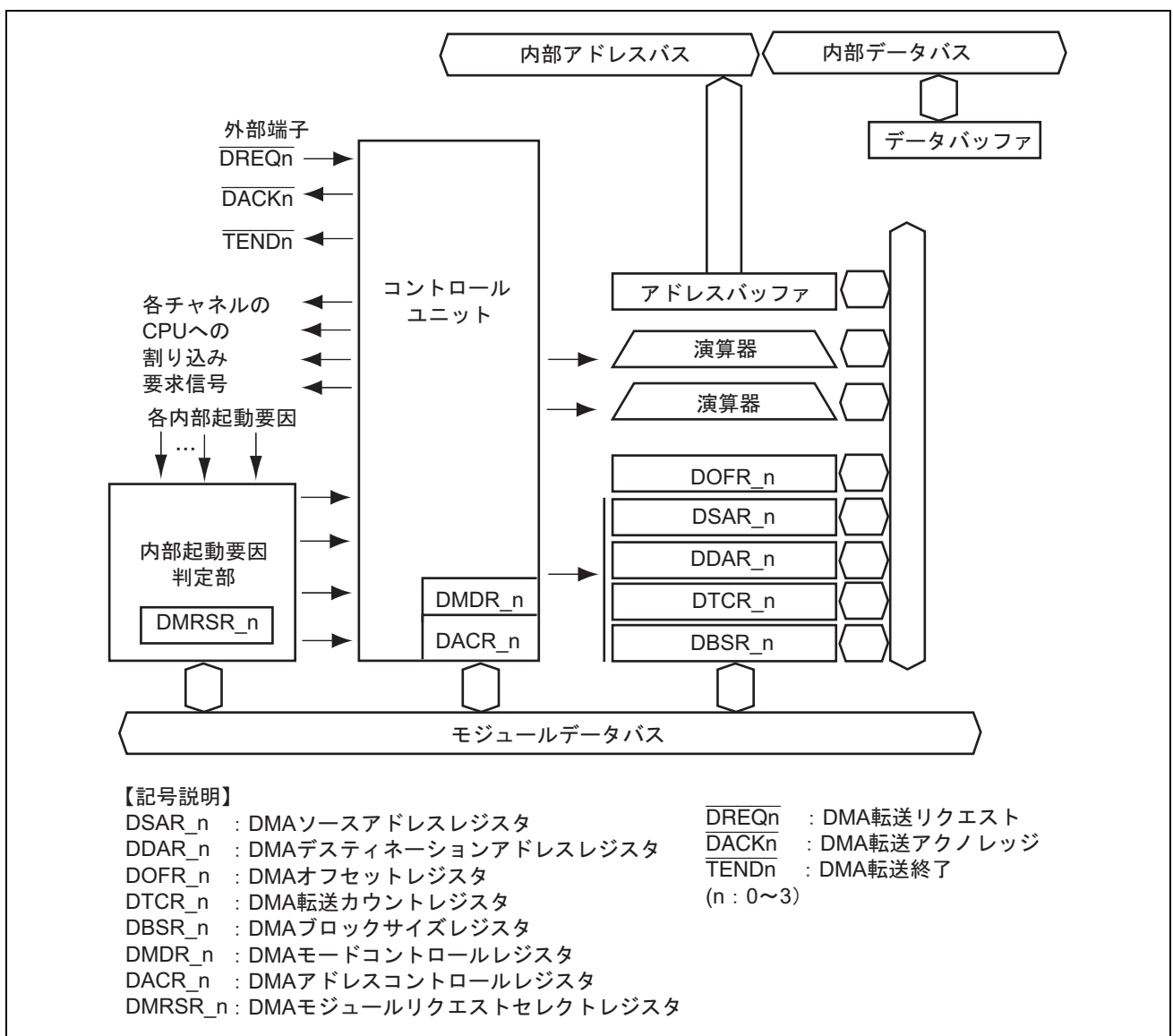


図 10.1 DMAC のブロック図

10.2 入出力端子

DMAC の端子構成を表 10.1 に示します

表 10.1 端子構成

チャンネル	名称	略称	入出力	機能
0	DMA 転送リクエスト 0	$\overline{\text{DREQ0}}$	入力	チャンネル 0 の外部リクエスト
	DMA 転送アクノレッジ 0	$\overline{\text{DACK0}}$	出力	チャンネル 0 のシングルアドレス転送アクノレッジ
	DMA 転送終了 0	$\overline{\text{TEND0}}$	出力	チャンネル 0 の転送終了
1	DMA 転送リクエスト 1	$\overline{\text{DREQ1}}$	入力	チャンネル 1 の外部リクエスト
	DMA 転送アクノレッジ 1	$\overline{\text{DACK1}}$	出力	チャンネル 1 のシングルアドレス転送アクノレッジ
	DMA 転送終了 1	$\overline{\text{TEND1}}$	出力	チャンネル 1 の転送終了
2	DMA 転送リクエスト 2	$\overline{\text{DREQ2}}$	入力	チャンネル 2 の外部リクエスト
	DMA 転送アクノレッジ 2	$\overline{\text{DACK2}}$	出力	チャンネル 2 のシングルアドレス転送アクノレッジ
	DMA 転送終了 2	$\overline{\text{TEND2}}$	出力	チャンネル 2 の転送終了
3	DMA 転送リクエスト 3	$\overline{\text{DREQ3}}$	入力	チャンネル 3 の外部リクエスト
	DMA 転送アクノレッジ 3	$\overline{\text{DACK3}}$	出力	チャンネル 3 のシングルアドレス転送アクノレッジ
	DMA 転送終了 3	$\overline{\text{TEND3}}$	出力	チャンネル 3 の転送終了

10.3 レジスタの説明

DMAC には以下のレジスタがあります。

チャンネル 0

- DMAソースアドレスレジスタ_0 (DSAR_0)
- DMAデスティネーションアドレスレジスタ_0 (DDAR_0)
- DMAオフセットレジスタ_0 (DOFR_0)
- DMA転送カウントレジスタ_0 (DTCR_0)
- DMAブロックサイズレジスタ_0 (DBSR_0)
- DMAモードコントロールレジスタ_0 (DMDR_0)
- DMAアドレスコントロールレジスタ_0 (DACR_0)
- DMAモジュールリクエストセレクトレジスタ_0 (DMRSR_0)

チャンネル 1

- DMAソースアドレスレジスタ_1 (DSAR_1)
- DMAデスティネーションアドレスレジスタ_1 (DDAR_1)
- DMAオフセットレジスタ_1 (DOFR_1)
- DMA転送カウントレジスタ_1 (DTCR_1)
- DMAブロックサイズレジスタ_1 (DBSR_1)

10. DMA コントローラ (DMAC)

- DMAモードコントロールレジスタ_1 (DMDR_1)
- DMAアドレスコントロールレジスタ_1 (DACR_1)
- DMAモジュールリクエストセレクトレジスタ_1 (DMRSR_1)

チャンネル2

- DMAソースアドレスレジスタ_2 (DSAR_2)
- DMAデスティネーションアドレスレジスタ_2 (DDAR_2)
- DMAオフセットレジスタ_2 (DOFR_2)
- DMA転送カウントレジスタ_2 (DTCR_2)
- DMAブロックサイズレジスタ_2 (DBSR_2)
- DMAモードコントロールレジスタ_2 (DMDR_2)
- DMAアドレスコントロールレジスタ_2 (DACR_2)
- DMAモジュールリクエストセレクトレジスタ_2 (DMRSR_2)

チャンネル3

- DMAソースアドレスレジスタ_3 (DSAR_3)
- DMAデスティネーションアドレスレジスタ_3 (DDAR_3)
- DMAオフセットレジスタ_3 (DOFR_3)
- DMA転送カウントレジスタ_3 (DTCR_3)
- DMAブロックサイズレジスタ_3 (DBSR_3)
- DMAモードコントロールレジスタ_3 (DMDR_3)
- DMAアドレスコントロールレジスタ_3 (DACR_3)
- DMAモジュールリクエストセレクトレジスタ_3 (DMRSR_3)

10.3.1 DMA ソースアドレスレジスタ (DSAR)

DSAR は、転送元のアドレスを指定するための 32 ビットのリード/ライト可能なレジスタです。アドレス更新機能を持ち、転送処理が行われるたびに次の転送元アドレスに更新されます。シングルアドレスモードにおいて、DDAR をデスティネーションアドレスとして転送すると (DACR の DIRS=1)、DSAR の値は無視されます。

DSAR は CPU から常にリード可能ですが、転送処理中のチャンネルの DSAR をリードするときは、ロングワードサイズでリードしてください。DMA 動作中のチャンネルの DSAR にはライトしないでください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

10.3.2 DMA デスティネーションアドレスレジスタ (DDAR)

DDAR は、転送先のアドレスを指定するための 32 ビットのリード/ライト可能なレジスタです。アドレス更新機能を持ち、転送処理が行われるたびに次の転送先アドレスに更新されます。シングルアドレスモードにおいて、DSAR をソースアドレスとして転送すると (DACR の DIRS=0)、DDAR の値は無視されます。

DDAR は CPU から常にリード可能ですが、転送処理中のチャンネルの DDAR をリードするときは、ロングワードサイズでリードしてください。DMA 動作中のチャンネルの DDAR にはライトしないでください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

10. DMA コントローラ (DMAC)

10.3.3 DMA オフセットレジスタ (DOFR)

DOFR は、ソースアドレス、デスティネーションアドレスの更新に、オフセット加算を選択したときのオフセット値を設定する 32 ビットのリード/ライト可能なレジスタです。各チャンネル毎に独立して設定できますが、同一チャンネル内ではソース側、デスティネーション側ともに同じオフセット値を使用します。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

10.3.4 DMA 転送カウントレジスタ (DTCR)

DTCR は、転送するデータのサイズ (総転送サイズ) を設定するための 32 ビットのリード/ライト可能なレジスタです。

DTCR を H'00000001 に設定すると、総転送サイズは 1 バイトになります。H'00000000 に設定すると、「総転送サイズ=指定なし」となり、転送カウンタは停止して転送を行いません (フリーランニングモード)。このとき、転送カウンタによる転送終了割り込みは発生しません。H'FFFFFFFF に設定すると、総転送サイズは最大値 4G バイト (4,294,967,295 バイト) になります。DMA 動作中は残りの転送サイズを示します。1 データ転送毎に、転送したデータアクセスサイズに応じた値がデクリメントされます (バイト: -1、ワード: -2、ロングワード: -4)。

DTCR は CPU から常にリード可能ですが、転送処理中のチャンネルの DTCR をリードするときは、ロングワードサイズでリードしてください。DMA 動作中のチャンネルの DTCR にはライトしないでください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

10.3.5 DMA ブロックサイズレジスタ (DBSR)

DBSR は、リピートサイズ、ブロックサイズを設定します。DBSR は、リピート転送モード、ブロック転送モードのときに有効となり、ノーマル転送モードのときには無効です。

ビット	31	...	16
ビット名	BKSZH31	...	BKSZH16
初期値 :	0	...	0
R/W :	R/W	...	R/W
ビット	15	...	0
ビット名	BKSZ15	...	BKSZ0
初期値 :	0	...	0
R/W :	R/W	...	R/W

ビット	ビット名	初期値	R/W	説明
31~16	BKSZH31~ BKSZH16	すべて 0	R/W	リピートサイズ、ブロックサイズを設定します。 これらのビットを H'0001 に設定すると 1 バイト、1 ワード、または 1 ロングワードになります。H'0000 に設定すると最大値になります (表 10.2 参照)。DMA 動作中は常に固定です。
15~0	BKSZ15~ BKSZ0	すべて 0	R/W	DMA 動作中は、リピートサイズ、ブロックサイズの残りサイズを示します。1 データ転送毎に-1 されます。残りサイズが 0 になると BKSZH の値がロードされず。ライトするときは、BKSZH と同じ値を設定してください。

表 10.2 データアクセスサイズと有効ビット、設定可能サイズの対応

モード	データアクセスサイズ	BKSZH 有効ビット	BKSZ 有効ビット	設定可能サイズ (バイト)
リピート転送モード	バイト	31~16	15~0	1~65,536
ブロック転送モード	ワード			2~131,072
	ロングワード			4~262,144

10. DMA コントローラ (DMAC)

10.3.6 DMA モードコントロールレジスタ (DMDR)

DMDR は、DMAC の動作を制御します。

• DMDR_0

ビット	31	30	29	28	27	26	25	24
ビット名	DTE	DACKE	TENDE	—	DREQS	NRD	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R
ビット	23	22	21	20	19	18	17	16
ビット名	ACT	—	—	—	ERRF	—	ESIF	DTIF
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/(W)*	R	R/(W)*	R/(W)*
ビット	15	14	13	12	11	10	9	8
ビット名	DTSZ1	DTSZ0	MDS1	MDS0	TSEIE	—	ESIE	DTIE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	DTF1	DTF0	DTA	—	—	DMAP2	DMAP1	DMAP0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R	R/W	R/W	R/W

【注】 * フラグをクリアするための1リード後の0ライトのみ可能です。

• DMDR_1~DMDR_3

ビット	31	30	29	28	27	26	25	24
ビット名	DTE	DACKE	TENDE	—	DREQS	NRD	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R
ビット	23	22	21	20	19	18	17	16
ビット名	ACT	—	—	—	—	—	ESIF	DTIF
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/(W)*	R/(W)*
ビット	15	14	13	12	11	10	9	8
ビット名	DTSZ1	DTSZ0	MDS1	MDS0	TSEIE	—	ESIE	DTIE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	DTF1	DTF0	DTA	—	—	DMAP2	DMAP1	DMAP0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R	R/W	R/W	R/W

【注】 * フラグをクリアするための1リード後の0ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
31	DTE	0	R/W	<p>データトランスファイナブル</p> <p>対応するチャンネルのデータ転送を許可または禁止します。このビットが1にセットされていると、DMA 動作中であることを示します。</p> <p>オートリクエストのときに、このビットを1にセットすると転送処理に入ります。内蔵モジュール割り込み、外部リクエストでは、このビットに1をセットした後に転送要求が発生すると転送処理に入ります。DMA 動作中にこのビットを0にクリアすると転送を停止します。</p> <p>ブロック転送モードでは、DMA 動作中にこのビットを0にクリアすると、処理中の1ブロックの転送終了後にこのビットが0にクリアされます。転送を終了（中断）させる外的要因が発生した場合は、自動的にこのビットが0にクリアされ転送を終了させます。</p> <p>このビットを1にセットした状態で、動作モード、転送方法などを変更しないでください。</p> <p>0：データ転送を禁止</p> <p>1：データ転送を許可（DMA 動作中）</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 設定の総転送サイズ数の転送を終了したとき • リピートサイズ終了割り込みにより停止したとき • 拡張リピートエリアオーバーフロー割り込みにより停止したとき • 転送サイズエラー割り込みにより停止したとき • 0をライトして転送を終了したとき <p>ただし、ブロック転送モードでは1ブロック転送終了後に反映</p> <ul style="list-style-type: none"> • アドレスエラー、NMI 割り込みが発生したとき • リセット、ハードウェアスタンバイモード時
30	DACK	0	R/W	<p>$\overline{\text{DACK}}$ 端子出力カインエーブル</p> <p>シングルアドレスモードのとき、$\overline{\text{DACK}}$ 端子の出力を許可または禁止します。デュアルアドレスモードのときは、このビットは無視されます。</p> <p>0：$\overline{\text{DACK}}$ 端子の出力を禁止</p> <p>1：$\overline{\text{DACK}}$ 端子の出力を許可</p>
29	TENDE	0	R/W	<p>$\overline{\text{TEND}}$ 端子出力カインエーブル</p> <p>$\overline{\text{TEND}}$ 端子の出力を許可または禁止します。</p> <p>0：$\overline{\text{TEND}}$ 端子の出力を禁止</p> <p>1：$\overline{\text{TEND}}$ 端子の出力を許可</p>
28	—	0	R/W	<p>リザーブビット</p> <p>初期値を変更しないでください。</p>

10. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
27	DREQS	0	R/W	<p>\overline{DREQ} セレクト</p> <p>外部リクエストモードで使用する \overline{DREQ} 端子のサンプリング方法を、Low レベル検出にするか、立ち下がリエッジ検出にするかを選択します。</p> <p>0 : Low レベル検出 1 : 立ち下がリエッジ検出</p> <p>(転送許可後の最初の転送は、Low レベルで検出します。)</p>
26	NRD	0	R/W	<p>ネクストリクエストディレイ</p> <p>次のリクエストの受付タイミングを選択します。</p> <p>0 : 転送中のバスサイクル終了後に、次の転送要求受付を開始 1 : 転送中のバスサイクル終了時点から Bφ で 1 サイクル後に、次の転送要求の受付を開始</p>
25	—	0	R	リザーブビット
24	—	0	R	リードすると常に 0 が読み出されます。ライトは無効です。
23	ACT	0	R	<p>アクティブステート</p> <p>当該チャネルの動作状態を示すビットです。</p> <p>0 : 転送要求待ち状態、または DTE=0 による転送禁止状態 1 : アクティブ状態</p>
22~20	—	すべて 0	R	<p>リザーブビット</p> <p>リードすると常に 0 が読み出されます。ライトは無効です。</p>
19	ERRF	0	R/(W)*	<p>システムエラーフラグ</p> <p>アドレスエラー、または NMI 割り込みが発生したことを示すフラグです。このビットは DMDR_0 でのみ有効なビットです。このビットが 1 にセットされていると、全チャネルの DTE ビットへのライトが禁止されます。DMDR_1~DMDR_3 では、リザーブビットとなっています。リードすると常に 0 が読み出されます。ライトは無効です。</p> <p>0 : アドレスエラー、または NMI 割り込みなし 1 : アドレスエラー、または NMI 割り込み発生</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> ERRF=1 の状態をリードした後、0 をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> アドレスエラー、または NMI 割り込みが発生したとき <p>ただし、DMAC がモジュールストップ状態にある場合は、アドレスエラー、または NMI 割り込みが発生しても 1 にセットされません。</p>
18	—	0	R	<p>リザーブビット</p> <p>リードすると常に 0 が読み出されます。ライトは無効です。</p>

10. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
17	ESIF	0	R/(W)*	<p>転送エスケープインタラプトフラグ</p> <p>転送カウンタが0になる前に転送エスケープ終了割り込み要求が発生し、転送エスケープ終了したことを示すフラグです。</p> <p>0 : 転送エスケープ終了割り込み要求なし 1 : 転送エスケープ終了割り込み要求発生</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • DTE ビットに1をライトしたとき • ESIF=1の状態をリードした後、0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • 転送サイズエラー割り込み要求が発生したとき • リピートサイズ終了割り込み要求が発生したとき • 拡張リピートエリアオーバフロー終了割り込み要求が発生したとき
16	DTIF	0	R/(W)*	<p>データトランスファインタラプトフラグ</p> <p>転送カウンタによる転送終了割り込み要求が発生したことを示すフラグです。</p> <p>0 : 転送カウンタによる転送終了割り込み要求なし 1 : 転送カウンタによる転送終了割り込み要求発生</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • DTE ビットに1をライトしたとき • DTIF=1の状態をリードした後、0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • DTCRが0になり転送が終了したとき
15	DTSZ1	0	R/W	<p>データアクセスサイズ 1、0</p> <p>転送するデータアクセスサイズを選択します。</p> <p>00 : バイトサイズ (8 ビット) 01 : ワードサイズ (16 ビット) 10 : ロングワードサイズ (32 ビット) 11 : 設定禁止</p>
14	DTSZ0	0	R/W	
13	MDS1	0	R/W	<p>転送モードセレクト 1、0</p> <p>転送モードを選択します。</p> <p>00 : ノーマル転送モード 01 : ブロック転送モード 10 : リピート転送モード 11 : (設定禁止)</p>
12	MDS0	0	R/W	

10. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
11	TSEIE	0	R/W	<p>転送サイズエラーインタラプトイネーブル</p> <p>転送サイズエラー割り込み要求を許可または禁止します。</p> <p>このビットが1にセットされているときに、DMACの転送により転送カウンタの値が1要求あたりに転送するデータサイズよりも小さい場合、次の転送要求が発生するとDTEビットを0にクリアします。同時にESIFビットが1にセットされ、転送サイズエラー割り込み要求が発生したことを示します。</p> <p>転送サイズエラー割り込み要求の発生要因は次の条件です。</p> <ul style="list-style-type: none"> ・ ノーマル転送モード、リピート転送モードにおいて、DTCRで設定した総転送サイズがデータアクセスサイズよりも小さいとき ・ ブロック転送モードにおいて、DTCRで設定した総転送サイズがブロックサイズよりも小さいとき <p>0: 転送サイズエラー割り込み要求を禁止 1: 転送サイズエラー割り込み要求を許可</p>
10	—	0	R	<p>リザーブビット</p> <p>リードすると常に0が読み出されます。ライトは無効です。</p>
9	ESIE	0	R/W	<p>転送エスケープインタラプトイネーブル</p> <p>DMA転送中に発生した転送エスケープ終了割り込み要求を許可または禁止します。このビットを1にセットすると、ESIFビットが1にセットされたとき、CPUまたはDTCに転送エスケープ終了割り込み要求が発生します。転送エスケープ終了割り込み要求は、このビットを0にクリアするか、ESIFビットを0にクリアすると解除されます。</p> <p>0: 転送エスケープ割り込み要求を禁止 1: 転送エスケープ割り込み要求を許可</p>
8	DTIE	0	R/W	<p>データトランスファインタラプトイネーブル</p> <p>転送カウンタによる転送終了割り込み要求を許可または禁止します。このビットを1にセットすると、DTIFビットが1にセットされたとき、CPUまたはDTCに転送終了割り込み要求が発生します。転送終了割り込み要求は、このビットを0にクリアするか、DTIFビットを0にクリアすると解除されます。</p> <p>0: 転送終了割り込み要求を禁止 1: 転送終了割り込み要求を許可</p>
7	DTF1	0	R/W	<p>データトランスファファクタ 1, 0</p> <p>DMACを起動する要因を選択します。内蔵モジュール割り込みのときは、DMRSRで割り込み要因を選択します。外部リクエストのときは、DREQSビットでサンプリング方法を選択できます。</p> <p>00: オートリクエスト (サイクルスチール) 01: オートリクエスト (バースト) 10: 内蔵モジュール割り込み 11: 外部リクエスト</p>
6	DTF0	0	R/W	

10. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
5	DTA	0	R/W	<p>データトランスファアクノリッジ</p> <p>内蔵モジュール割り込みによる DMA 転送時に有効となります。</p> <p>DMRSR によって選択されている要因フラグのクリアを許可または禁止します。</p> <p>0 : 内蔵モジュール割り込み要因による DMA 転送時のクリアを禁止 内蔵モジュール割り込み要因は、DMA 転送によりクリアされませんので、CPU または DTC 転送でクリアしてください。</p> <p>1 : 内蔵モジュール割り込み要因による DMA 転送時のクリアを許可 内蔵モジュール割り込み要因は、DMA 転送によりクリアされ、CPU または DTC に割り込みを要求しません。</p>
4	—	0	R	リザーブビット
3	—	0	R	リードすると常に 0 が読み出されます。ライトは無効です。
2	DMA P2	0	R/W	<p>DMA プライオリティレベル 2~0</p> <p>CPU に対する DTC、DMAC の優先レベルを選択します。DMAC の優先レベルより CPU の優先レベルが高いときは、DMAC は転送要因の受け付けをマスクし、CPU の優先レベルが低くなるまで待機します。チャンネル毎に独立に優先レベルを設定可能です。このビットは、CPUPCR の CPUPCE ビットが 1 のとき有効になります。</p> <p>000 : 優先レベル 0 (最低)</p> <p>001 : 優先レベル 1</p> <p>010 : 優先レベル 2</p> <p>011 : 優先レベル 3</p> <p>100 : 優先レベル 4</p> <p>101 : 優先レベル 5</p> <p>110 : 優先レベル 6</p> <p>111 : 優先レベル 7 (最高)</p>
1	DMA P1	0	R/W	
0	DMA P0	0	R/W	

【注】 * フラグをクリアするための 1 リード後の 0 ライトのみ可能です。

10. DMA コントローラ (DMAC)

10.3.7 DMA アドレスコントロールレジスタ (DACR)

DACR は、動作モード、転送方法などを設定します。

ビット	31	30	29	28	27	26	25	24
ビット名	AMS	DIRS	—	—	—	RPTIE	ARS1	ARS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W
ビット	23	22	21	20	19	18	17	16
ビット名	—	—	SAT1	SAT0	—	—	DAT1	DAT0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8
ビット名	SARIE	—	—	SARA4	SARA3	SARA2	SARA1	SARA0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	DARIE	—	—	DARA4	DARA3	DARA2	DARA1	DARA0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	AMS	0	R/W	アドレスモードセレクト アドレスモードをデュアルアドレスモードとシングルアドレスモードから選択します。シングルアドレスモードにすると、DMDR の DACKE ビットの設定により \overline{DACK} 端子が有効になります。 0: デュアルアドレスモード 1: シングルアドレスモード
30	DIRS	0	R/W	シングルアドレスディレクションセレクト シングルアドレスモードのときのデータ転送方向を指定します。デュアルアドレスモードのときは、このビットは無視されます。 0: DSAR をソースアドレスとして転送 1: DDAR をデスティネーションアドレスとして転送
29~27	—	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。

10. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
26	RPTIE	0	R/W	<p>リピートサイズ終了インタラプトイネーブル</p> <p>リピートサイズ終了割り込み要求を許可または禁止します。</p> <p>リピート転送モードにおいて、このビットが1にセットされているときに、1リピートサイズ分の転送終了後に次の転送要因が発生すると、DMDRのDTEビットを0にクリアします。同時にDMDRのESIFビットが1にセットされ、リピートサイズ終了割り込み要求が発生したことを示します。リピートエリアを指定しない(ARS1、ARS0=B'10)ときでも、1リピートサイズ分の転送終了後にリピートサイズ終了割り込み要求を発生させることができます。</p> <p>また、ブロック転送モードで、このビットが1にセットされているときに、1ブロックサイズ分の転送終了後に次の転送要因が発生すると、DMDRのDTEビットを0にクリアします。同時にDMDRのESIFビットは1にセットされ、リピートサイズ終了割り込み要求が発生されたことを示します。</p> <p>0：リピートサイズ終了割り込み要求を禁止 1：リピートサイズ終了割り込み要求を許可</p>
25	ARS1	0	R/W	エリアセレクト 1、0
24	ARS0	0	R/W	<p>ブロック転送モード、リピート転送モードのときのブロックエリア／リピートエリアを選択します。</p> <p>00：ブロックエリア／リピートエリアはソースアドレス側 01：ブロックエリア／リピートエリアはデスティネーションアドレス側 10：ブロックエリア／リピートエリアは指定しない 11：設定禁止</p>
23	—	0	R	リザーブビット
22	—	0	R	リードすると常に0が読み出されます。ライトは無効です。
21	SAT1	0	R/W	ソースアドレス更新モード 1、0
20	SAT0	0	R/W	<p>ソースアドレス (DSAR) の増減を選択します。シングルアドレスモードにおいて、転送元を DSAR に指定していない場合は、このビットは無視されます。</p> <p>00：ソースアドレスは固定 01：ソースアドレスはオフセットアドレスを加算 10：ソースアドレスは増加 (データアクセスサイズにより、+1/+2/+4) 11：ソースアドレスは減少 (データアクセスサイズにより、-1/-2/-4)</p>
19	—	0	R	リザーブビット
18	—	0	R	リードすると常に0が読み出されます。ライトは無効です。

10. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
17	DAT1	0	R/W	デスティネーションアドレス更新モード 1、0
16	DAT0	0	R/W	<p>デスティネーションアドレス (DDAR) の増減を指定します。シングルアドレスモードにおいて、転送元を DDAR に指定していない場合は、このビットは無視されます。</p> <p>00 : デスティネーションアドレスは固定</p> <p>01 : デスティネーションアドレスはオフセットを加算</p> <p>10 : デスティネーションアドレスは増加 (データアクセスサイズにより、+1/+2/+4)</p> <p>11 : デスティネーションアドレスは減少 (データアクセスサイズにより、-1/-2/-4)</p>
15	SARIE	0	R/W	<p>ソースアドレス拡張リポートエリアオーバフローインタラプトイネーブル</p> <p>ソースアドレス拡張リポートエリアオーバフロー割り込み要求を許可または禁止します。</p> <p>このビットが 1 にセットされているときに、ソースアドレスの拡張リポートエリアのオーバフローが発生すると、DMDR の DTE ビットを 0 にクリアします。同時に DMDR の ESIF ビットが 1 にセットされ、ソースアドレス拡張リポートエリアオーバフロー割り込み要求が発生したことを示します。</p> <p>ブロック転送モードと併用する場合、割り込み要求は 1 ブロックサイズの転送終了後に発生します。割り込みにより転送終了したチャンネルの DMDR の DTE ビットを 1 にセットすると、転送終了した状態から再び転送を開始します。</p> <p>ソースアドレスに対して拡張リポートエリアを設定していないときは、このビットは無視されます。</p> <p>0 : ソースアドレス拡張リポートエリアオーバフロー割り込み要求を禁止</p> <p>1 : ソースアドレス拡張リポートエリアオーバフロー割り込み要求を許可</p>
14	—	0	R	リザーブビット
13	—	0	R	リードすると常に 0 が読み出されます。ライトは無効です。
12	SARA4	0	R/W	ソースアドレス拡張リポートエリア
11	SARA3	0	R/W	ソースアドレス (DSAR) に拡張リポートエリアを設定するビットです。
10	SARA2	0	R/W	拡張リポートエリア機能は、指定の下位アドレスをアドレス更新の対象として、残りの上位アドレスは常に固定値をとるようにして実現されます。
9	SARA1	0	R/W	拡張リポートエリアのサイズは、4 バイトから 128M バイトまで設定可能です。設定間隔は 2 のべき乗バイト単位です。
8	SARA0	0	R/W	<p>アドレスの増減により拡張リポートエリアからオーバフローした下位アドレスは、アドレスが増加すると拡張リポートエリアの先頭アドレスになり、アドレスが減少すると拡張リポートエリアの最後のアドレスになります。</p> <p>SARIE ビットが 1 にセットされているとき、拡張リポートエリアのオーバフローが発生したときに割り込み要求が発生することができます。</p> <p>表 10.3 に拡張リポートエリアの設定と範囲を示します。</p>

10. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
7	DARIE	0	R/W	<p>デスティネーションアドレス拡張リピートエリアオーバーフローインタラプトイネーブル</p> <p>デスティネーションアドレス拡張リピートエリアオーバーフロー割り込み要求を許可または禁止します。</p> <p>このビットが1にセットされているときに、デスティネーションアドレスの拡張リピートエリアのオーバーフローが発生すると、DMDRのDTEビットを0にクリアします。同時にDMDRのESIFビットが1にセットされ、デスティネーションアドレス拡張リピートエリアオーバーフロー割り込み要求が発生したことを示します。</p> <p>ブロック転送モードと併用する場合、割り込み要求は1ブロックサイズの転送終了後に発生します。割り込みにより転送終了したチャンネルのDMDRのDTEビットを1にセットすると、転送終了した状態から再び転送を開始します。</p> <p>デスティネーションアドレスに拡張リピートエリアを設定していないときは、このビットは無視されます。</p> <p>0: デスティネーションアドレス拡張リピートエリアオーバーフロー割り込み要求を禁止</p> <p>1: デスティネーションアドレス拡張リピートエリアオーバーフロー割り込み要求を許可</p>
6	—	0	R	リザーブビット
5	—	0	R	リードすると常に0が読み出されます。ライトは無効です。
4	DARA4	0	R/W	デスティネーションアドレス拡張リピートエリア
3	DARA3	0	R/W	デスティネーションアドレス (DDAR) に拡張リピートエリアを設定するビットです。
2	DARA2	0	R/W	
1	DARA1	0	R/W	拡張リピートエリア機能は、指定の下位アドレスをアドレス更新の対象として、残りの上位アドレスは常に固定値をとるようにして実現されます。拡張リピートエリアのサイズは、4バイトから128Mバイトまで設定可能です。設定間隔は2のべき乗バイト単位です。
0	DARA0	0	R/W	<p>アドレスの増減により拡張リピートエリアからオーバーフローした下位アドレスは、アドレスが増加すると拡張リピートエリアの先頭アドレスになり、アドレスが減少すると拡張リピートエリアの最後のアドレスになります。</p> <p>DARIEビットが1にセットされているとき、拡張リピートエリアのオーバーフローが発生したときに割り込み要求が発生することができます。</p> <p>表 10.3 に拡張リピートエリアの設定と範囲を示します。</p>

10. DMA コントローラ (DMAC)

表 10.3 拡張リピートエリアの設定と範囲

SARA4~SARA0/ DARA4~DARA0 の値	拡張リピートエリアの範囲
00000	拡張リピートエリアを設定しない
00001	当該アドレスの下位 1 ビット (2 バイト) を拡張リピートエリアに設定する
00010	当該アドレスの下位 2 ビット (4 バイト) を拡張リピートエリアに設定する
00011	当該アドレスの下位 3 ビット (8 バイト) を拡張リピートエリアに設定する
00100	当該アドレスの下位 4 ビット (16 バイト) を拡張リピートエリアに設定する
00101	当該アドレスの下位 5 ビット (32 バイト) を拡張リピートエリアに設定する
00110	当該アドレスの下位 6 ビット (64 バイト) を拡張リピートエリアに設定する
00111	当該アドレスの下位 7 ビット (128 バイト) を拡張リピートエリアに設定する
01000	当該アドレスの下位 8 ビット (256 バイト) を拡張リピートエリアに設定する
01001	当該アドレスの下位 9 ビット (512 バイト) を拡張リピートエリアに設定する
01010	当該アドレスの下位 10 ビット (1K バイト) を拡張リピートエリアに設定する
01011	当該アドレスの下位 11 ビット (2K バイト) を拡張リピートエリアに設定する
01100	当該アドレスの下位 12 ビット (4K バイト) を拡張リピートエリアに設定する
01101	当該アドレスの下位 13 ビット (8K バイト) を拡張リピートエリアに設定する
01110	当該アドレスの下位 14 ビット (16K バイト) を拡張リピートエリアに設定する
01111	当該アドレスの下位 15 ビット (32K バイト) を拡張リピートエリアに設定する
10000	当該アドレスの下位 16 ビット (64K バイト) を拡張リピートエリアに設定する
10001	当該アドレスの下位 17 ビット (128K バイト) を拡張リピートエリアに設定する
10010	当該アドレスの下位 18 ビット (256K バイト) を拡張リピートエリアに設定する
10011	当該アドレスの下位 19 ビット (512K バイト) を拡張リピートエリアに設定する
10100	当該アドレスの下位 20 ビット (1M バイト) を拡張リピートエリアに設定する
10101	当該アドレスの下位 21 ビット (2M バイト) を拡張リピートエリアに設定する
10110	当該アドレスの下位 22 ビット (4M バイト) を拡張リピートエリアに設定する
10111	当該アドレスの下位 23 ビット (8M バイト) を拡張リピートエリアに設定する
11000	当該アドレスの下位 24 ビット (16M バイト) を拡張リピートエリアに設定する
11001	当該アドレスの下位 25 ビット (32M バイト) を拡張リピートエリアに設定する
11010	当該アドレスの下位 26 ビット (64M バイト) を拡張リピートエリアに設定する
11011	当該アドレスの下位 27 ビット (128M バイト) を拡張リピートエリアに設定する
111XX	設定禁止

【記号説明】 X : Don't care

10.3.8 DMA モジュールリクエストセレクトレジスタ (DMRSR)

DMRSR は、内蔵モジュール割り込み要因を指定する 8 ビットのリード/ライト可能な 8 ビットのレジスタです。

割り込み要因のベクタ番号を 8 ビットで指定します。ただし、0 は割り込み要因なしと見なします。内蔵モジュール割り込み要因のベクタ番号は、表 10.5 を参照してください。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

10.4 転送モード

DMAC の転送モードを表 10.4 に示します。転送モードは、各チャンネル毎に設定可能です。

表 10.4 転送モード

アドレスモード	転送モード	起動要因	共通機能	アドレスレジスタ	
				ソース	デスティネーション
デュアルアドレスモード	<ul style="list-style-type: none"> ノーマル転送モード リピート転送モード ブロック転送モード (リピートサイズ/ブロックサイズ = 1~65,536 バイト/ワード/ロングワード) 	<ul style="list-style-type: none"> オートリクエスト (CPU より起動) 内蔵モジュール割り込み 外部リクエスト 	<ul style="list-style-type: none"> 総転送サイズ: 1~4G バイト、または指定なし オフセット加算 拡張リピートエリア機能 	DSAR	DDAR
シングルアドレスモード	<ul style="list-style-type: none"> ソース、またはデスティネーションアドレスレジスタの代わりに、$\overline{\text{DACK}}$ 端子を用いて直接外部デバイスとのデータ転送が可能 アドレスレジスタの設定以外は、上記の各転送モードを指定可能 1 バスサイクルで 1 回の転送が可能 (転送モードのバリエーションは、上記デュアルアドレスモードと同じです。) 			DSAR/ $\overline{\text{DACK}}$	$\overline{\text{DACK}}$ / DDAR

起動要因がオートリクエストのときは、サイクルスチールモード/バーストモードから選択できます。

総転送サイズを指定しない場合 (DTCR=H'00000000)、転送カウンタは停止して転送回数に制限がなくなり、永続して転送が可能になります。

10.5 動作説明

10.5.1 アドレスモード

(1) デュアルアドレスモード

デュアルアドレスモードは、転送元アドレスを DSAR、転送先アドレスを DDAR で指定して、1 回の転送を 2 バスサイクルで実行するモードです（データバス幅がデータアクセスサイズよりも小さいときや、アクセスするアドレスがデータアクセスサイズのデータ境界を外れているときは、バスサイクルが分割されるため 2 バスサイクルを超えます）。

転送動作は、最初のバスサイクルで転送元アドレスにあるデータをリードして、そのデータを次のバスサイクルで転送先アドレスへライトします。

リードサイクルとライトサイクルの間は不可分割となっています。そのため、2 つのバスサイクルの間に他のバスサイクル（他のバスマスタのサイクル、リフレッシュサイクル、外部バス解放サイクル）は発生しません。

DMDR の TEND \bar{E} ビットにより、 \overline{TEND} 出力の許可/禁止の設定ができます。 \overline{TEND} は連続する 2 バスサイクルの期間出力されます。バスサイクルの直前にアイドルサイクルが挿入される場合は、アイドルサイクル期間に対しても \overline{TEND} は出力されます。 \overline{DACK} は出力されません。

図 10.2 にデュアルアドレスモードのタイミング例を、図 10.3 にデュアルアドレスモードの動作を示します。

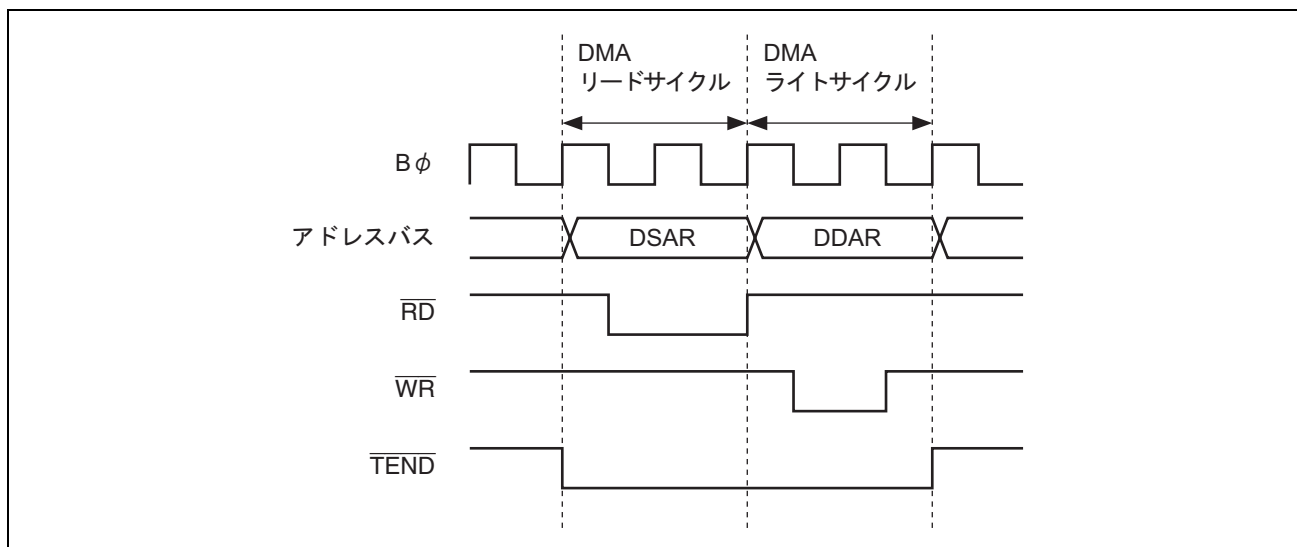


図 10.2 デュアルアドレスモードのタイミング例

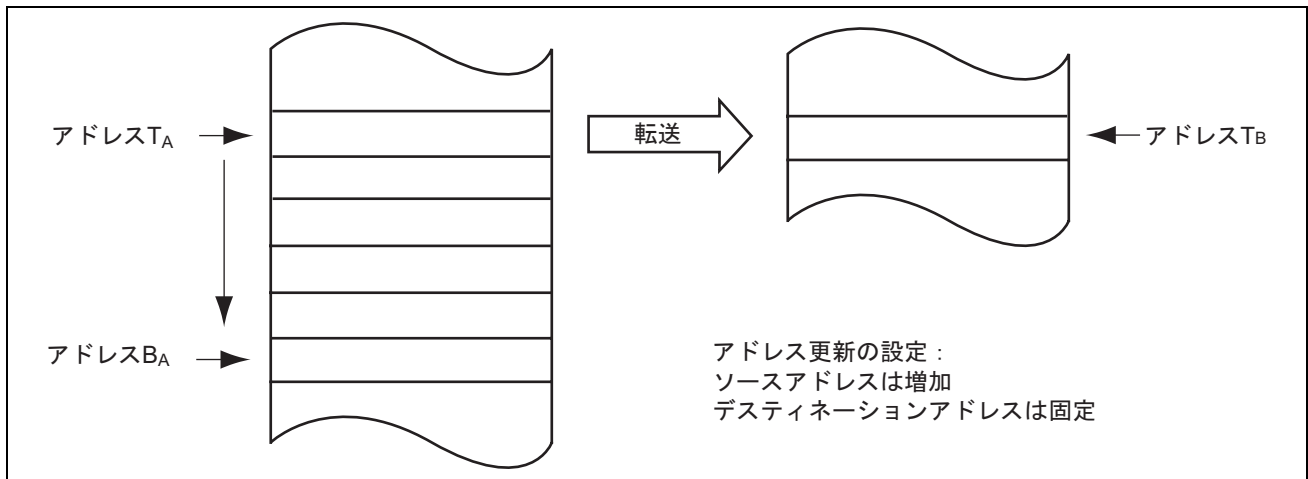


図 10.3 デュアルアドレスモードの動作

(2) シングルアドレスモード

シングルアドレスモードは、DSAR または DDAR の代わりに $\overline{\text{DACK}}$ 端子を用いて、外部デバイスと外部メモリ間で直接データを転送するモードです。1 回の転送を 1 バスサイクルで実行します。

シングルアドレスモードを使用する場合は、データバス幅とデータアクセスサイズを一致させてください。データバス幅に関しては、「9. バスコントローラ (BSC)」を参照してください。

DMAC は $\overline{\text{DACK}}$ 付き外部デバイスへのストロブ信号 ($\overline{\text{DACK}}$) を、転送元または転送先のいずれか一方の外部デバイスに出力してアクセスすると同時に、もう一方の転送相手にアドレスを出力してアクセスします。これにより、1 つのバスサイクルで DMA 転送を行うことができます。図 10.4 に示す外部メモリと $\overline{\text{DACK}}$ 付き外部デバイスとの転送例では、外部デバイスがデータバスにデータを出力するのと同じバスサイクルで、そのデータが外部メモリに書き込まれます。

転送方向は DACR の DIRS ビットにより、 $\overline{\text{DACK}}$ 付き外部デバイスを転送元にするか転送先にするかを設定できます。DIRS=0 では外部メモリ (DSAR) → $\overline{\text{DACK}}$ 付き外部デバイスへの転送、DIRS=1 では $\overline{\text{DACK}}$ 付き外部デバイス → 外部メモリ (DDAR) への転送になります。転送の対象として使用しないソースまたはデスティネーションアドレスのレジスタの設定は無視されます。

$\overline{\text{DACK}}$ 出力は、シングルアドレスモードのときに DMDR の DACKE ビットの設定により有効になります。 $\overline{\text{DACK}}$ 出力は、ローアクティブです。

DMDR の TENDE ビットにより、 $\overline{\text{TEND}}$ 出力の許可/禁止の設定ができます。 $\overline{\text{TEND}}$ は 1 バスサイクルの期間出力されます。バスサイクルの直前にアイドルサイクルが挿入される場合は、アイドルサイクル期間に対しても $\overline{\text{TEND}}$ は出力されます。

10. DMA コントローラ (DMAC)

図 10.5 にシングルアドレスモードのタイミング例を、図 10.6 にシングルアドレスモードの動作を示します。

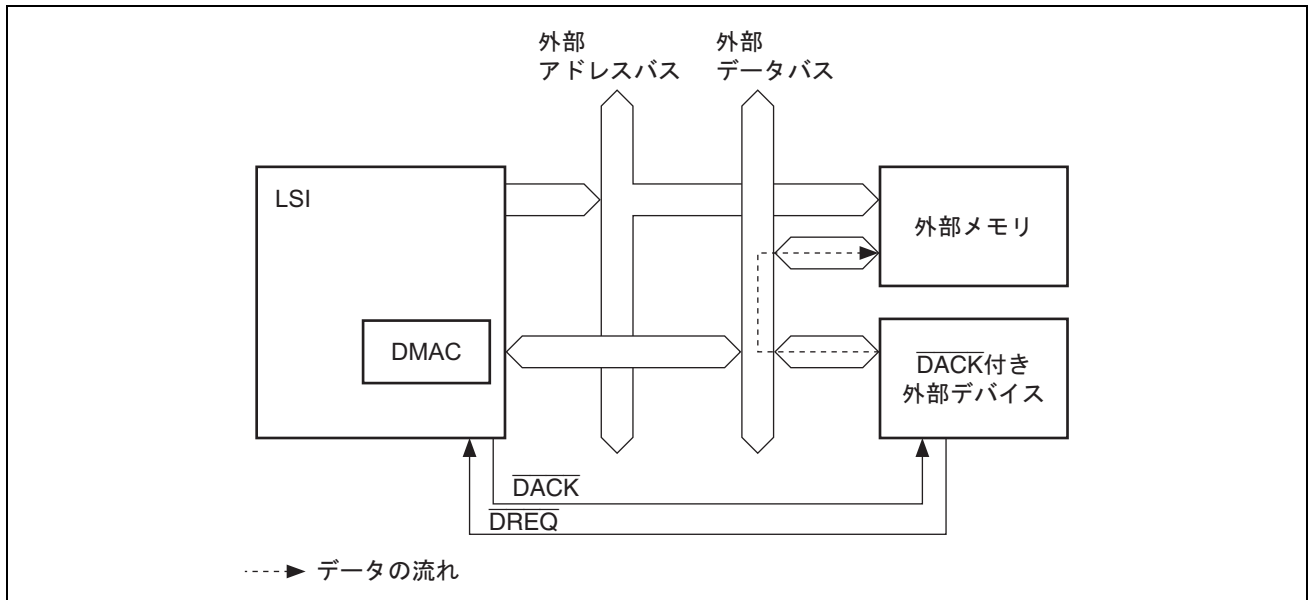


図 10.4 シングルアドレスモードでのデータの流れ

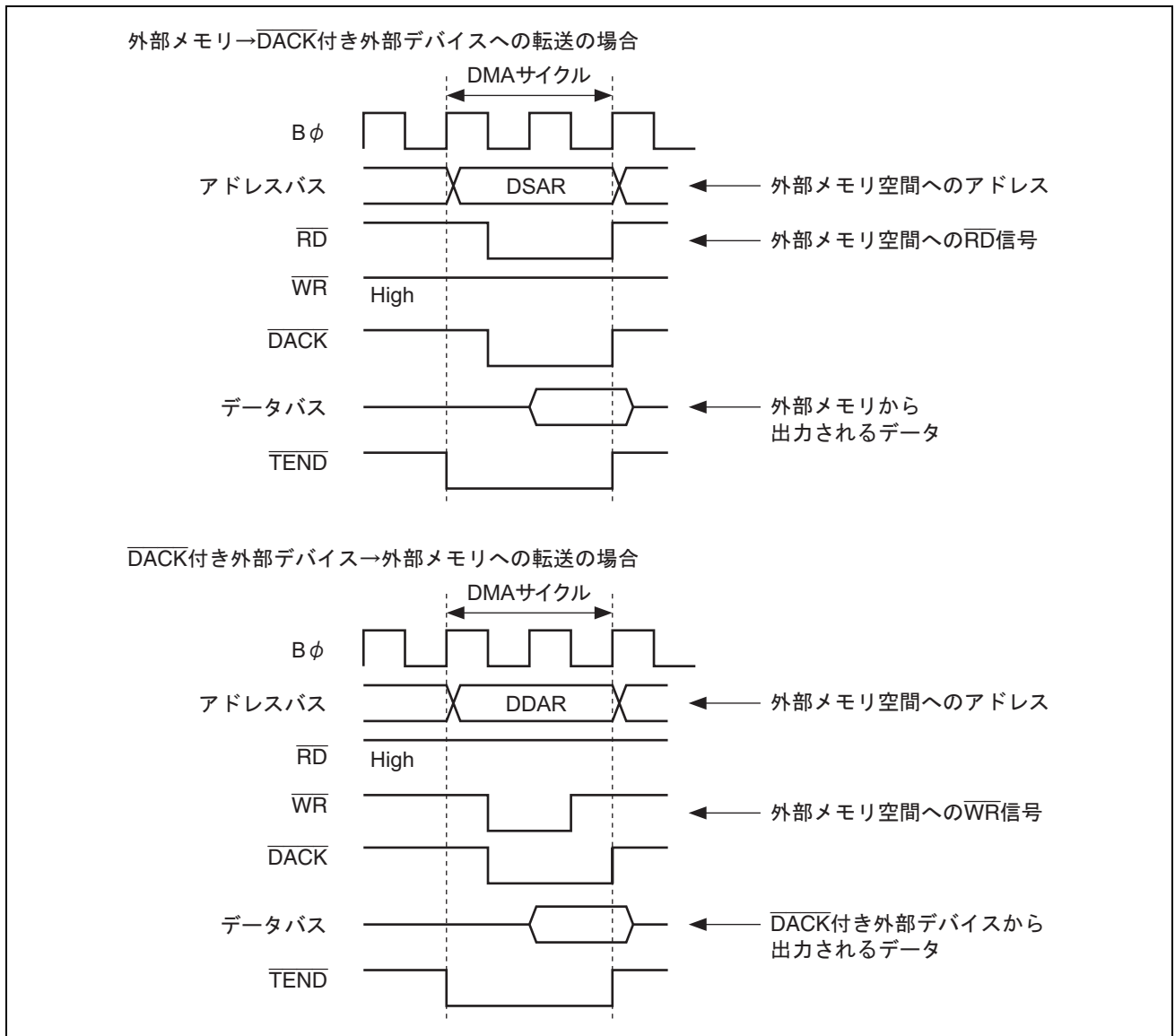


図 10.5 シングルアドレスモードのタイミング例

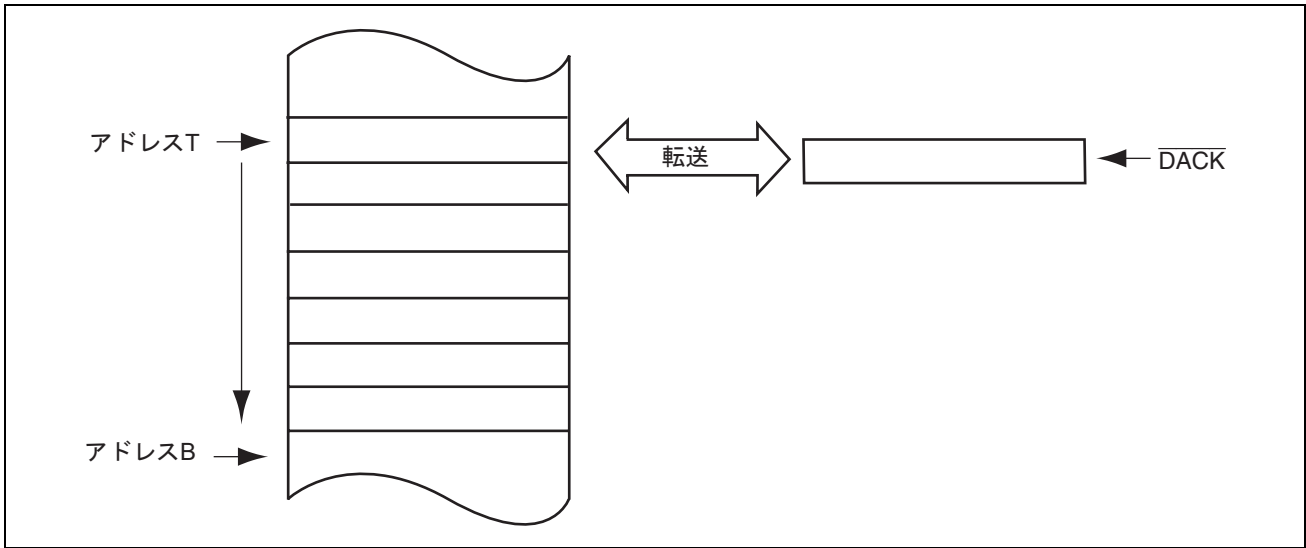


図 10.6 シングルアドレスモードの動作

10.5.2 転送モード

(1) ノーマル転送モード

ノーマル転送モードは、1回の転送要求について1データアクセスサイズ単位の転送を行います。DTCRで最大4Gバイトの総転送サイズを設定できます。DBSRはノーマル転送モードのときには無効です。

\overline{TEND} 出力は、最後のDMA転送でのみ出力されます。

図 10.7 にノーマル転送モードのタイミング例を、図 10.8 にデュアルアドレスモード時のノーマル転送モードの動作を示します。

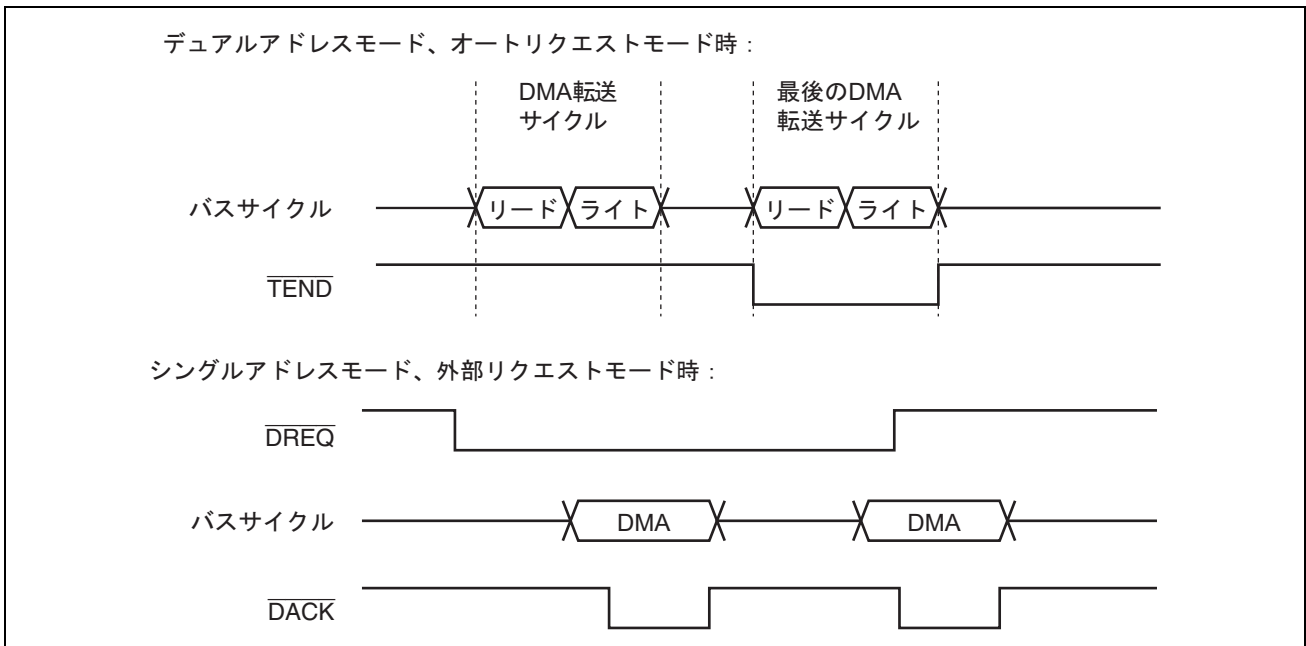


図 10.7 ノーマル転送モードのタイミング例

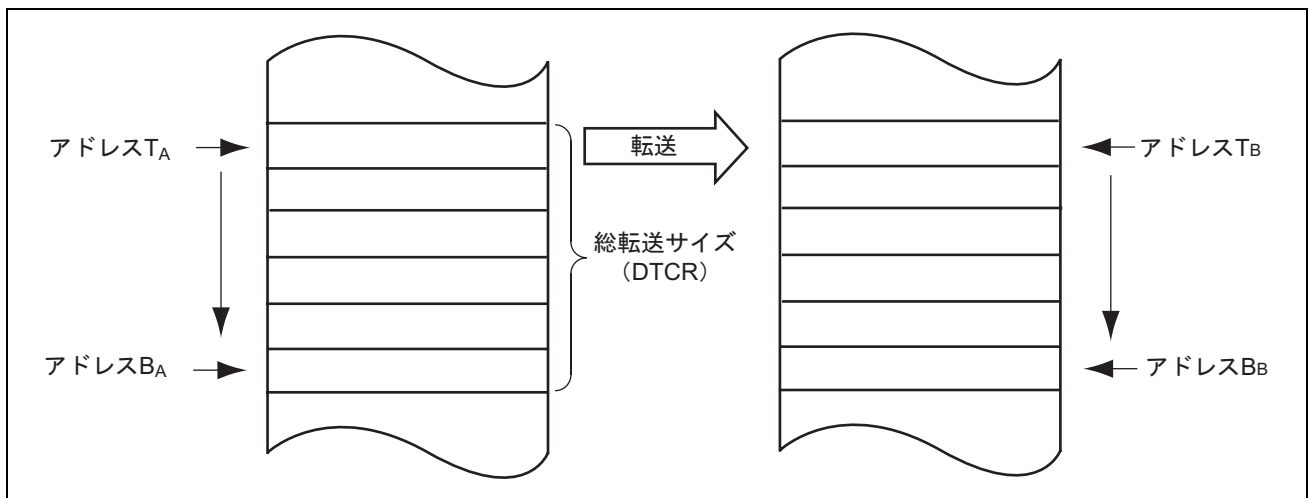


図 10.8 ノーマル転送モードの動作

(2) リピート転送モード

リピート転送モードは、1回の転送要求について1データアクセスサイズ単位の転送を行います。DTCRで最大4Gバイトの総転送サイズを設定できます。DBSRで最大64k×データアクセスサイズのリピートサイズを設定できます。

DACRのARS1、ARS0ビットによって、リピートエリアをソースアドレス側またはデスティネーションアドレス側に指定することができます。リピートエリアに指定されたアドレス側は、リピートサイズ分の転送を終了すると、転送開始アドレスに戻ります。この動作は、DTCRに設定した総転送サイズ分の転送が終了するまで行われます。ただし、DTCRにH'00000000を設定した場合はフリーランニングモードと見なし、DMDRのDTEビットが0にクリアされるまでリピート転送を続けます。

また、リピートサイズ分の転送を終了すると、DMA転送を一時停止させ、CPUまたはDTCに対してリピートサイズ終了割り込み要求を発生させることができます。DACRのRPTIEビットが1にセットされているときに、リピートサイズ分の転送終了後に次の転送要求が発生すると、DMDRのESIFビットを1にセットし、DMDRのDTEビットを0にクリアして転送を終了します。このとき、DMDRのESIEビットが1にセットされている場合、CPUまたはDTCに対して割り込み要求を発生させます。

\overline{TEND} 出力のDMA転送タイミングは、ノーマル転送モードと同じです。

図 10.9 にデュアルアドレスモード時のリピート転送モードの動作を示します。

リピートエリアをソースアドレス側またはデスティネーションアドレス側に指定しないときの動作は、図 10.8 のノーマル転送モードの動作と同じです。この場合も、リピートサイズ分の転送を終了すると、リピートサイズ終了割り込みを発生させることができます。

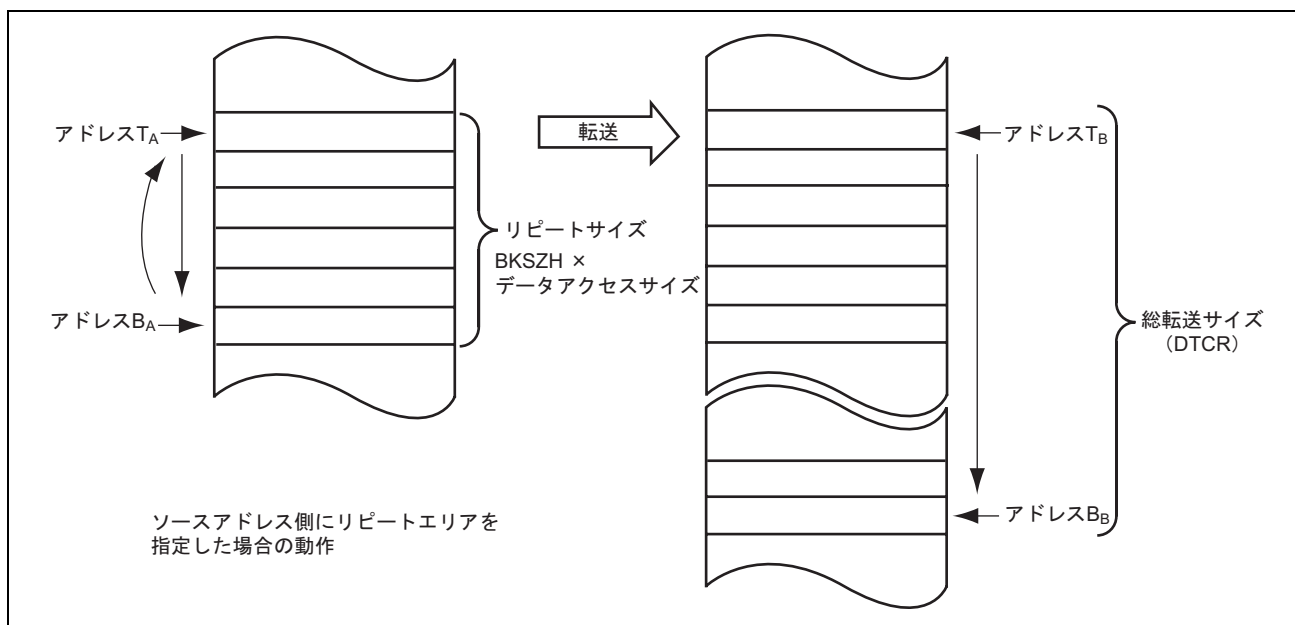


図 10.9 リポート転送モードの動作

(3) ブロック転送モード

ブロック転送モードは、1回の転送要求について1ブロックサイズ単位の転送を行います。DTCRで最大4Gバイトの総転送サイズを設定できます。DBSRで最大64k×データアクセスサイズのブロックサイズを設定できます。

1ブロック分の転送中は、他のチャンネルの転送要求は待たされます。1ブロック分の転送が終了すると、バス権を他のバスマスタに解放します。

DACRのARS1、ARS0ビットによって、ブロックエリアをソースアドレス側もしくはデスティネーションアドレス側に指定することができます。ブロックエリアに指定されたアドレス側は、1ブロック分の転送終了毎に、転送開始アドレスに戻ります。ソースアドレス側にもデスティネーションアドレス側にもリピートエリアを指定しない場合は、アドレスは転送開始アドレスに戻らずシーケンシャルに進みます。リピートサイズ終了割り込みを発生させることができます。

\overline{TEND} は、1ブロック分の転送毎に各ブロックの終わりのDMA転送サイクルで出力されます。

ブロック転送モードで拡張リピートエリアオーバーフロー割り込みを設定する場合には注意が必要です。詳細は「10.5.5 拡張リピートエリア機能」を参照してください。

図 10.10 にブロック転送モードの DMA 転送タイミング例を示します。転送条件は次のとおりです。

- アドレスモード：シングルアドレスモード
- データアクセスサイズ：バイト
- 1ブロックサイズ：3バイト

図 10.11 にシングルアドレスモードのブロック転送モードの動作を、図 10.12 にデュアルアドレスモードのブロック転送モードの動作を示します。

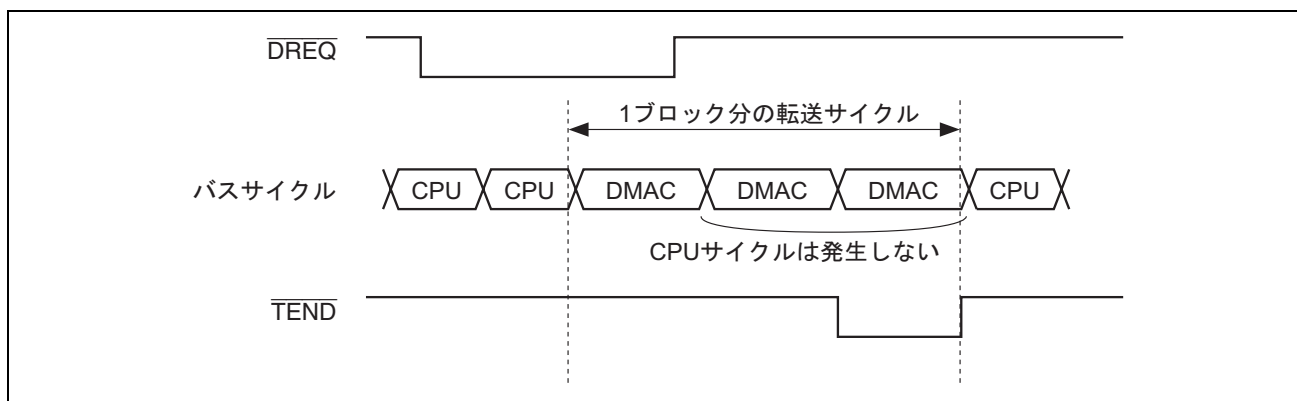


図 10.10 ブロック転送モードの例

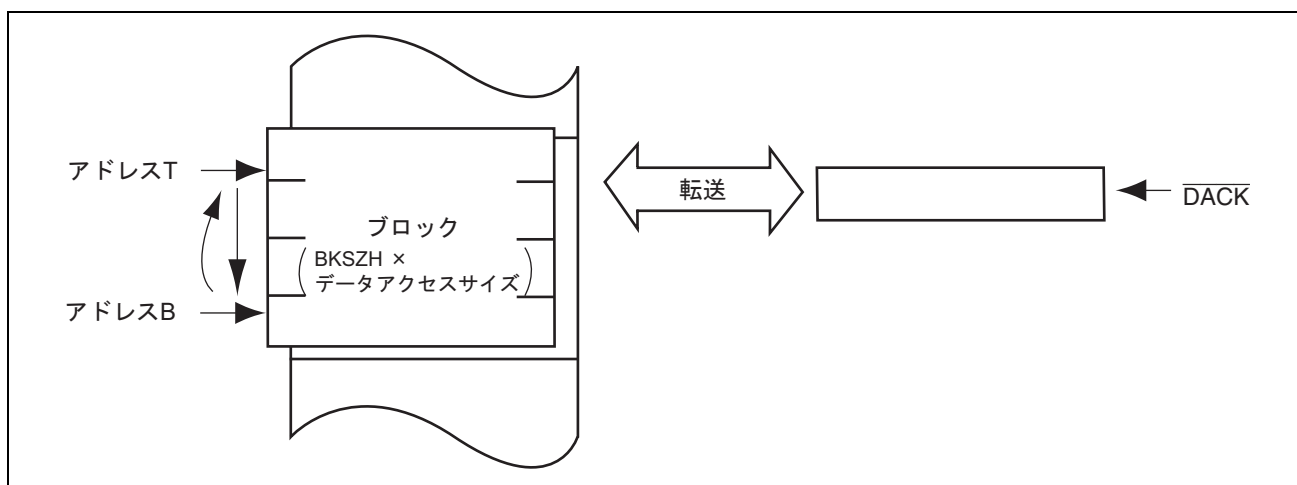


図 10.11 シングルアドレスモードのブロック転送モード（ブロックエリアの指定あり）の動作

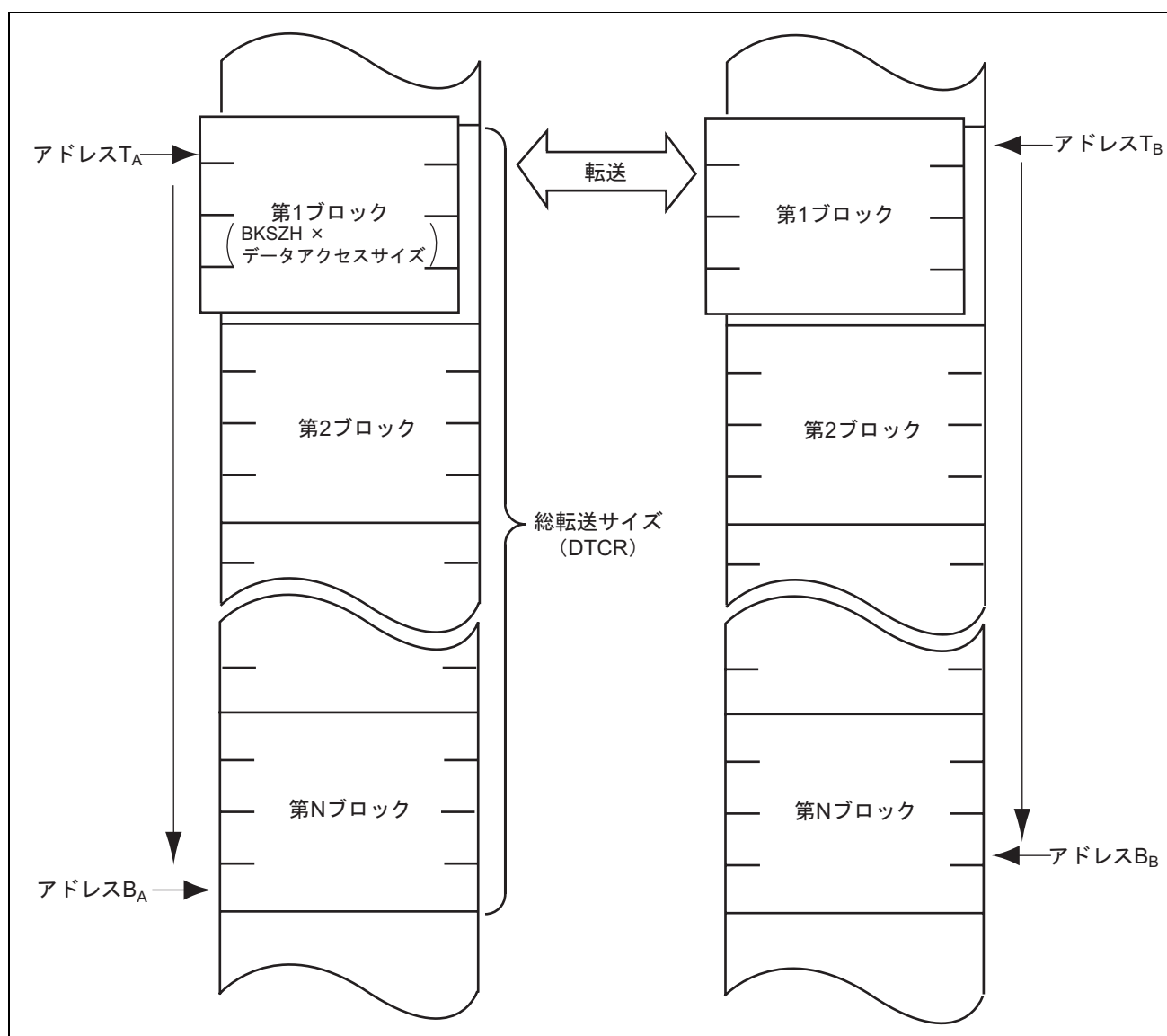


図 10.12 デュアルアドレスモードのブロック転送モード（ブロックエリアの指定なし）の動作

10.5.3 起動要因

DMAC の起動要因には、オートリクエスト、内蔵モジュール割り込み、および外部リクエストがあります。これらの起動要因は DMDR の DTF1、DTF0 ビットで選択します。

(1) オートリクエストによる起動

オートリクエストは、メモリとメモリ間の転送や、転送要求信号を発生できない周辺モジュールとメモリ間の転送のように、外部や周辺モジュールから転送要求信号の発生がない場合に、DMAC 内部で自動的に転送要求信号を発生させます。オートリクエストによる起動では、DMDR の DTE ビットを 1 にセットすると転送が開始されます。オートリクエストでは、バスモードをサイクルスチールモードとバーストモードから選択することができます。

(2) 内蔵モジュール割り込みによる起動

内蔵モジュール割り込みは、各周辺モジュールからの割り込み要求（内蔵モジュール割り込み）を転送要求信号として使用します。DMA 転送が許可されているとき (DTE=1)、内蔵モジュール割り込み要求により DMA 転送を開始します。

起動要因の内蔵モジュール割り込みは、DMA モジュールリクエストセレクトレジスタ (DMRSR) で選択します。チャンネル毎に独立して設定することができます。表 10.5 に DMAC 内蔵モジュール割り込み一覧を示します。

起動要因として選択された割り込み要求は、CPU、DTC に対しても同時に割り込み要求を発生させることができます。詳細は「7. 割り込みコントローラ」を参照してください。

DMAC は、内蔵モジュール割り込み要求による起動要因を、割り込みコントローラとは独立して受け付けます。このため、割り込みコントローラによる優先順位設定の影響を受けません。

DTA=1 で DMAC を起動する場合、割り込み要求フラグは DMA 転送により自動的にクリアされます。複数のチャンネルで同一の割り込み要求を起動要因とした場合、最も優先順位の高いチャンネルが起動された時点で割り込み要求フラグがクリアされます。この場合、その他のチャンネルの転送要求は DMAC 内部で保持されず、起動されない場合があります。

DTA=0 で DMAC を起動する場合、割り込み要求フラグは DMAC によりクリアされません。CPU または DTC 転送でクリアしてください。

DTE=0 の状態では、選択された起動要因は DMAC に転送を要求しません。この場合、当該割り込みは CPU または DTC に割り込みを要求します。

また、DTE ビットへの 1 ライトは、内蔵モジュール割り込みの発生元となる割り込み要求フラグビットが 0 にクリアされていることを確認した後に行ってください。

10. DMA コントローラ (DMAC)

表 10.5 DMAC 内蔵モジュール割り込み一覧

内蔵モジュール割り込み要因 (割り込み要因)	発生元	DMRSR 値 (ベクタ番号)
ADI0 (A/D 変換器の変換終了割り込み)	A/D_0	86
TGI0A (TGR0A インพุットキャプチャ/コンペアマッチ)	TPU_0	88
TGI1A (TGR1A インพุットキャプチャ/コンペアマッチ)	TPU_1	93
TGI2A (TGR2A インพุットキャプチャ/コンペアマッチ)	TPU_2	97
TGI3A (TGR3A インพุットキャプチャ/コンペアマッチ)	TPU_3	101
TGI4A (TGR4A インพุットキャプチャ/コンペアマッチ)	TPU_4	106
TGI5A (TGR5A インพุットキャプチャ/コンペアマッチ)	TPU_5	110
RXI0 (SCI チャンネル 0 の受信データフル割り込み)	SCI_0	145
TXI0 (SCI チャンネル 0 の送信データエンプティ割り込み)	SCI_0	146
RXI1 (SCI チャンネル 1 の受信データフル割り込み)	SCI_1	149
TXI1 (SCI チャンネル 1 の送信データエンプティ割り込み)	SCI_1	150
RXI2 (SCI チャンネル 2 の受信データフル割り込み)	SCI_2	153
TXI2 (SCI チャンネル 2 の送信データエンプティ割り込み)	SCI_2	154
RXI3 (SCI チャンネル 3 の受信データフル割り込み)	SCI_3	157
TXI3 (SCI チャンネル 3 の送信データエンプティ割り込み)	SCI_3	158
RXI4 (SCI チャンネル 4 の受信データフル割り込み)	SCI_4	161
TXI4 (SCI チャンネル 4 の送信データエンプティ割り込み)	SCI_4	162
TGI6A (TGI6A インพุットキャプチャ/コンペアマッチ)	TPU_6	164
TGI7A (TGI7A インพุットキャプチャ/コンペアマッチ)	TPU_7	169
TGI8A (TGI8A インพุットキャプチャ/コンペアマッチ)	TPU_8	173
TGI9A (TGI9A インพุットキャプチャ/コンペアマッチ)	TPU_9	177
TGI10A (TGI10A インพุットキャプチャ/コンペアマッチ)	TPU_10	182
TGI11A (TGI11A インพุットキャプチャ/コンペアマッチ)	TPU_11	188
RXI5 (SCI チャンネル 5 の受信データフル割り込み)	SCI_5	220
TXI5 (SCI チャンネル 5 の送信データエンプティ割り込み)	SCI_5	221
RXI6 (SCI チャンネル 6 の受信データフル割り込み)	SCI_6	224
TXI6 (SCI チャンネル 6 の送信データエンプティ割り込み)	SCI_6	225
ADI2 (A/D_2 変換器の変換終了割り込み)	A/D_2	232
ADI1 (A/D_1 変換器の変換終了割り込み)	A/D_1	237

(3) 外部リクエストによる起動

外部リクエストによる起動は、外部デバイスからの転送要求信号 ($\overline{\text{DREQ}}$) によって転送を開始します。DMA 転送が許可されているとき (DTE=1)、 $\overline{\text{DREQ}}$ が入力されると DMA 転送を開始します。内部空間から内部空間への DMA 転送を行う場合は、起動要因を外部リクエスト以外 (オートリクエスト、内蔵モジュール割り込み) に設定してください。

転送要求信号は $\overline{\text{DREQ}}$ 端子で受け付けます。 $\overline{\text{DREQ}}$ を立ち下がりエッジで検出するか、Low レベルで検出

するかは、DMDR の DREQS ビットで選択します。

起動要因として外部リクエストを指定する場合は、あらかじめ該当する端子の DDR ビットを 0、ICR ビットを 1 に設定しておいてください。詳細は「13. I/O ポート」を参照してください。

10.5.4 バスモード

バスモードには、サイクルスチールモードとバーストモードがあります。

起動要因がオートリクエストの場合は、サイクルスチールモードとバーストモードを DMDR の DTF0 ビットで選択することができます。起動要因が内蔵モジュール割り込み、または外部リクエストの場合は、サイクルスチールモードになります。

(1) サイクルスチールモード

サイクルスチールモードでは、DMAC は 1 回の転送単位 (バイト、ワード、ロングワード、または 1 ブロックサイズ) の転送を終了するたびにバス権を解放します。その後、転送要求があればバス権を取り戻し、再び 1 転送単位の転送を行い、その転送を終了するとまたバス権を解放します。この動作を転送終了条件が満たされるまで繰り返します。

DMA 転送中に他のチャンネルに転送要求がある場合は、いったん他のバスマスタに対してバス権を解放した後に、転送要求のあったチャンネルの転送を行います。複数のチャンネルに転送要求がある場合の動作の詳細については、「10.5.8 チャンネルの優先順位」を参照してください。

図 10.13 にサイクルスチールモードのタイミング例を示します。転送条件は以下の通りです。

- アドレスモード：シングルアドレスモード
- $\overline{\text{DREQ}}$ 端子のサンプリング方法：Low レベル検出

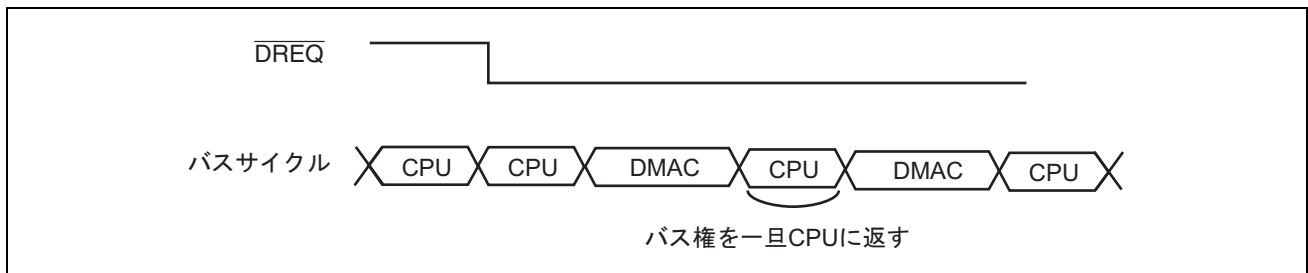


図 10.13 サイクルスチールモードのタイミング例

10. DMA コントローラ (DMAC)

(2) バーストモード

バーストモードでは、DMAC は一度バス権を取ると転送終了条件が満たされるまでバス権を解放せずに転送を続けます。バーストモードでは、転送を開始すると優先順位の高い他のチャンネルに転送要求がある場合でも転送を中断することはありません。バーストモードのチャンネルが転送を終了すると、次のサイクルでサイクルスチールモードと同様にバス権を解放します。ただし、バスコントローラの BCR2 の IBCCS ビットを 1 にセットすることにより、他のバスマスタを優先して DMAC のバス権をいったん解放することができます。

ブロック転送モードでは、バーストモードの設定は無効です (1 ブロック転送中はバーストモードと同様の動作)。常にサイクルスチールモードとして動作します。

DMDR の DTE ビットを 0 にクリアすると、DMA 転送は停止します。ただし、DTE ビットを 0 にクリアするまでに DMAC 内部で発生した転送要求分の DMA 転送は実行されます。転送サイズエラー割り込みや、リピートサイズ終了割り込み、拡張リピートエリアオーバーフロー割り込みが発生した場合は、DTE ビットを 0 にクリアして転送終了します。

図 10.14 にバーストモードのタイミング例を示します。

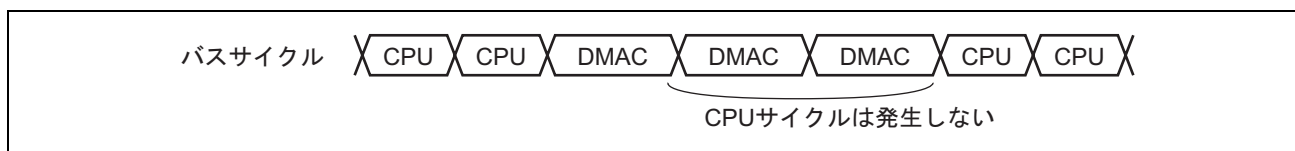


図 10.14 バーストモードのタイミング例

10.5.5 拡張リピートエリア機能

DMAC にはソースアドレス、デスティネーションアドレスに拡張リピートエリアを設定する機能があります。拡張リピートエリアを設定すると、アドレスレジスタは拡張リピートエリアに指定された範囲のアドレス値を繰り返します。リングバッファを転送の対象にした場合は、アドレスレジスタの値がバッファの最終アドレスになるたびに (リングバッファに対するアドレスのオーバーフロー)、アドレスレジスタの値をバッファの先頭アドレスに戻す操作が必要となり、拡張リピートエリア機能を使うと自動的にアドレスレジスタの値をバッファの先頭アドレスに戻す操作を DMAC 内で行うことができます。

拡張リピートエリア機能は、ソースアドレスレジスタ (DSAR) とデスティネーションアドレスレジスタ (DDAR) に独立して設定できます。

ソースアドレスの拡張リピートエリアは、DACR の SARA4~SARA0 ビットで設定します。デスティネーションアドレスの拡張リピートエリアは、DACR の DARA4~DARA0 ビットで設定します。各々の拡張リピートエリアのサイズは独立に設定できます。

アドレスレジスタの値が拡張リピートエリアの終端になり拡張リピートエリアがオーバーフローすると、DMA 転送を一時停止させて、CPU に対して拡張リピートエリアオーバーフロー割り込み要求を発生させることができます。DACR の SARIE ビットを 1 にセットすると、DSAR の拡張リピートエリアがオーバーフローしたときに DMDR の ESIF ビットを 1 セットし、DMDR の DTE ビットを 0 にクリアして転送を終了します。このとき、DMDR の ESIE ビットが 1 にセットされていると、CPU に対して拡張リピートエリアオーバーフロー割り込み要求を発生します。DACR の DARIE ビットを 1 にセットするとデスティネーションアドレスレジスタが対象になります。割り込み発生中に DMDR の DTE ビットに 1 をセットすると、引き続き転送を再開します。

図 10.15 に拡張リピートエリア機能の例を示します。

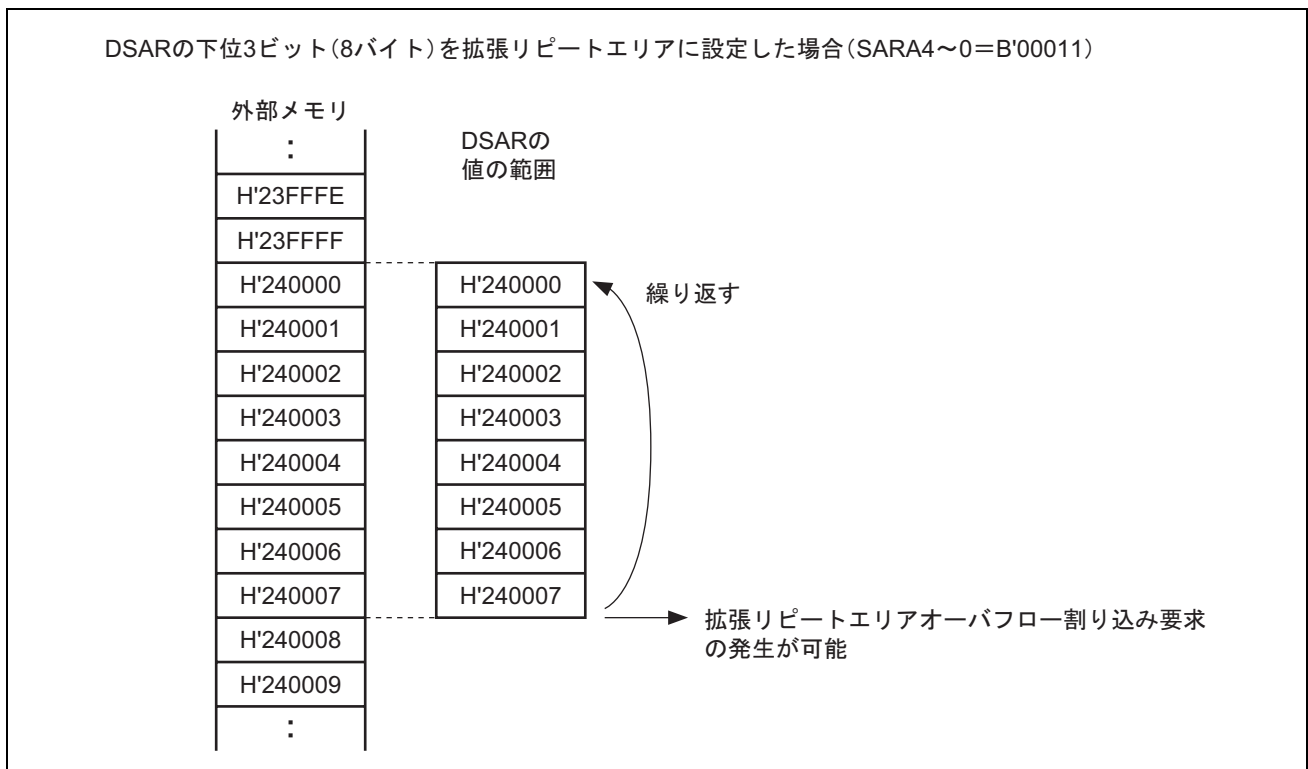


図 10.15 拡張リピートエリア機能の例

10. DMA コントローラ (DMAC)

拡張リピートエリアオーバーフロー割り込みをブロック転送モードと併用する場合は、次の注意が必要です。拡張リピートエリアのオーバーフローの発生で転送を終了させる場合は、ブロックサイズを2のべき乗になるように設定するか、またはブロックサイズの切れ目と拡張リピートエリアの範囲の切れ目が一致するようにアドレスレジスタの値を設定する必要があります。また、1ブロックサイズを転送中に拡張リピートエリアにオーバーフローが発生した場合は、1ブロックサイズの転送が終了するまで拡張リピートエリアオーバーフロー割り込み要求は保留され、転送はオーバーランします。

拡張リピートエリアオーバーフロー割り込みをブロック転送モードと併用するときと同様の注意が必要です。

図 10.16 にブロック転送モードと拡張リピートエリア機能を併用したときの例を示します。

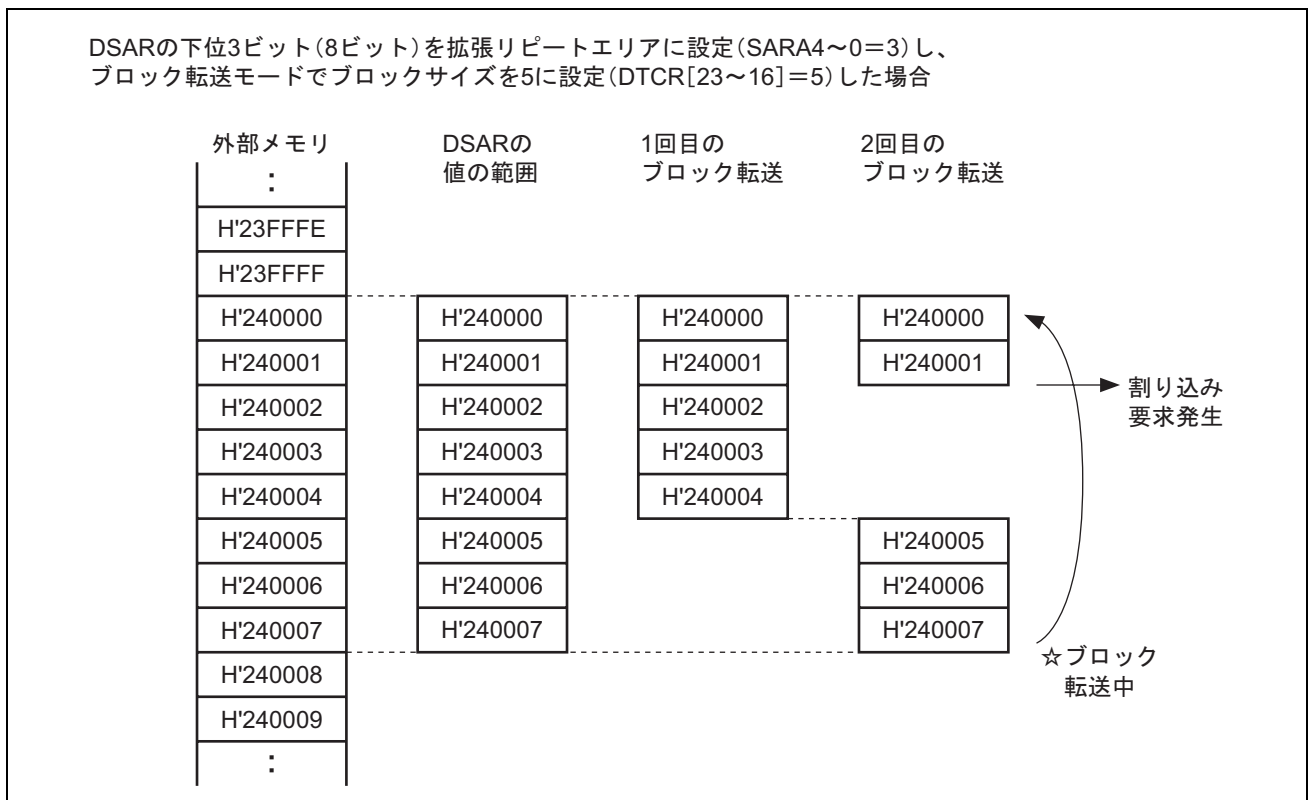


図 10.16 ブロック転送モードと拡張リピートエリア機能を併用したときの例

10.5.6 オフセットを使ったアドレス更新機能

転送先、転送元のアドレスの更新方法には、「固定」、「1、2 または 4 の増減」の他に「オフセット加算」があります。「オフセット加算」では、DMAC がデータアクセスサイズ分の転送を行うたびにオフセットレジスタ (DOFR) で設定したオフセットを加算します。この機能により、途中のアドレスを飛ばしてデータ転送ができます。

図 10.17 にアドレス更新方法を示します。

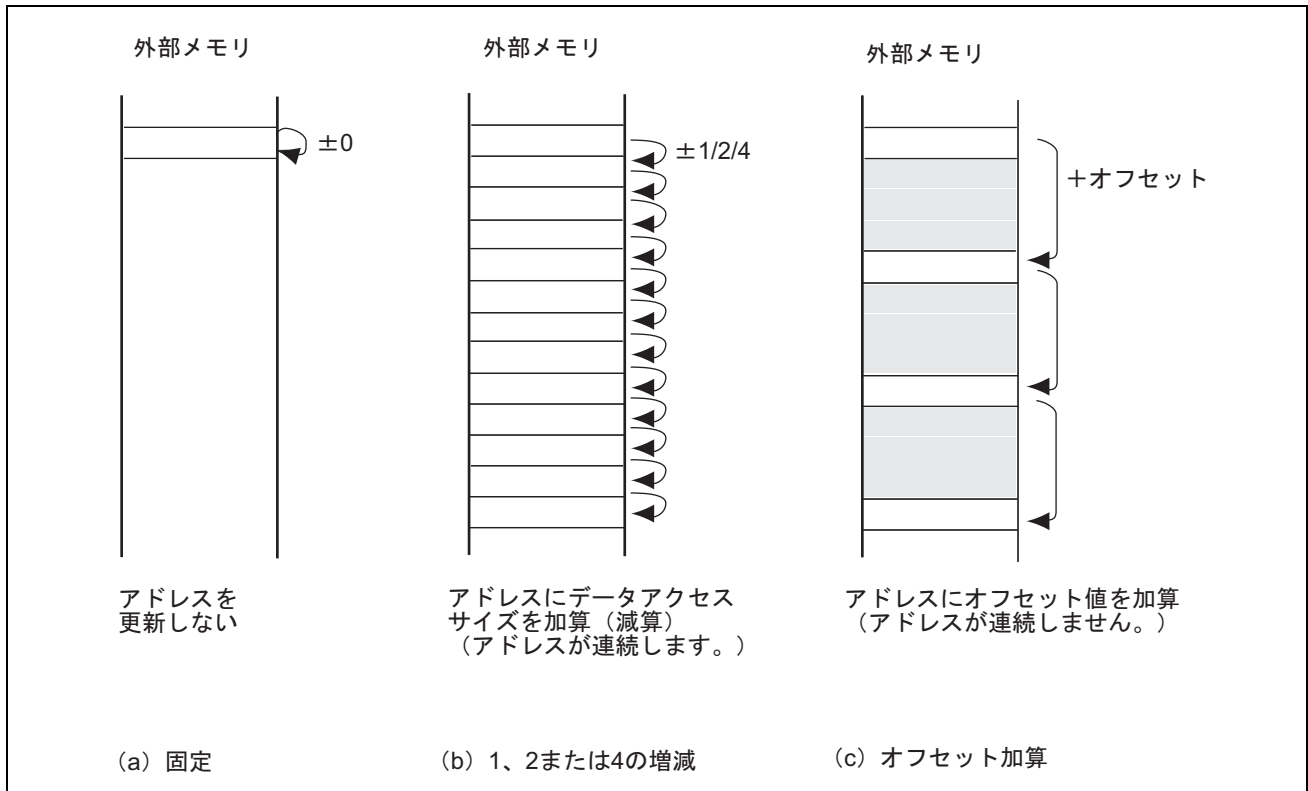


図 10.17 アドレスの更新方法

(a) の「固定」の場合は、転送先あるいは転送元のアドレスの更新が行われず常に同じアドレスを示します。

(b) の「1、2 または 4 の増減」の場合は、データの転送が行われるたびにデータアクセスサイズに応じた値を転送先あるいは転送元のアドレスに加減算します。データアクセスサイズにはバイト、ワード、ロングワードを指定できます。バイト指定では 1、ワード指定では 2、ロングワード指定では 4 の値をアドレスの加減算に使用します。この機能により、DMAC は連続するアドレスの転送を実現しています。

(c) の「オフセット加算」の場合は、データアクセスサイズに依存するアドレスの演算を実施しません。DMAC はデータアクセスサイズ分の転送が行われるたびに DOFR で設定した値を転送先あるいは転送元のアドレスに加算します。

DMAC は、DOFR にオフセット値を設定し、DSAR や DDAR と演算します。このとき、DMAC はオフセット値の加算しか実行できませんが、DOFR に負値を設定することにより、オフセット値による減算も実現できます。負値を設定する場合は、負値にするオフセット値を 2 の補数で指定してください。

(1) オフセットを使った基本的な転送

図 10.18 に基本的な動作を示します。

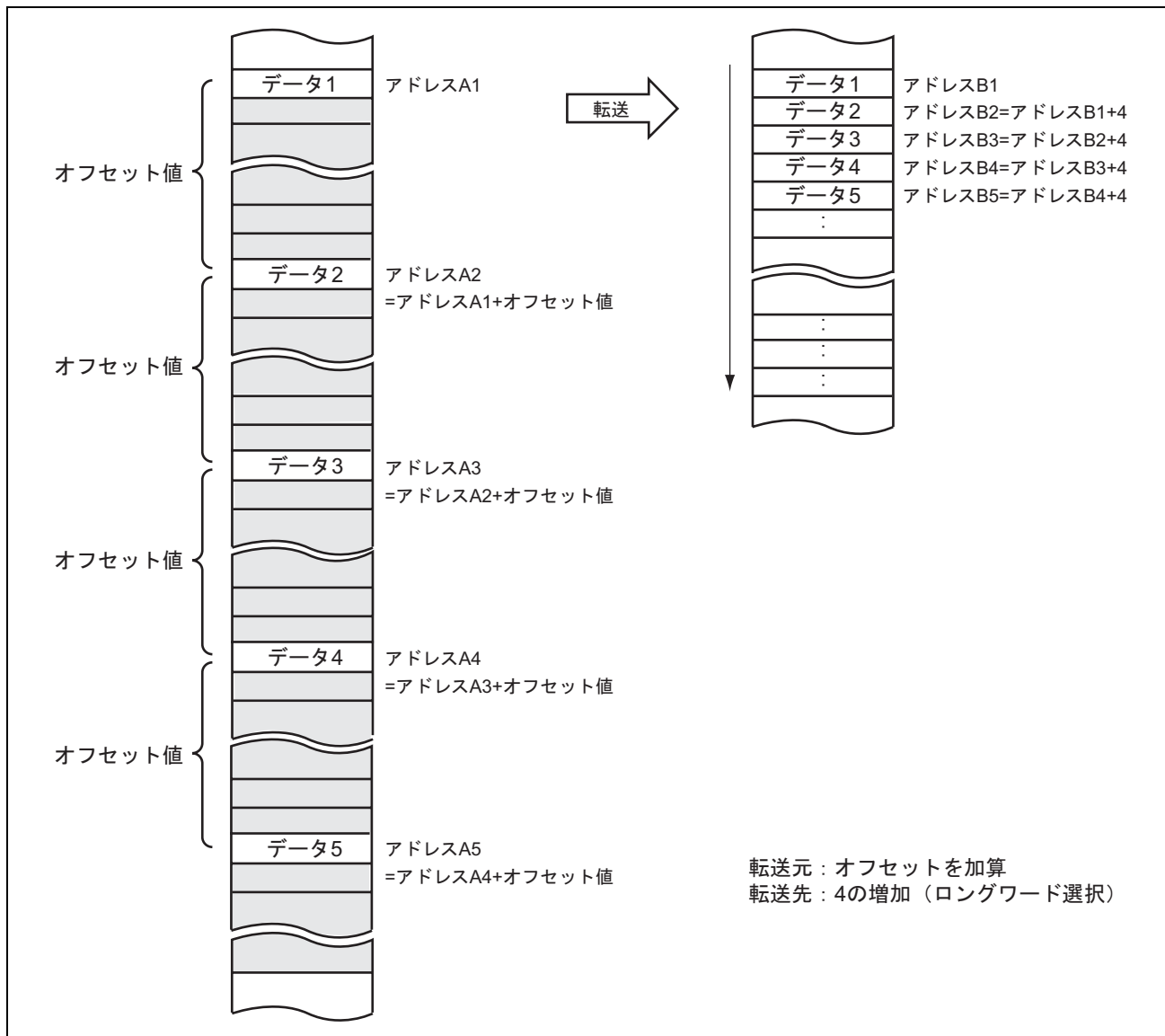


図 10.18 オフセット更新機能の動作

図 10.18 では、転送元アドレスの更新には「オフセット加算」を設定し、転送先アドレスの更新に「1、2、または4の増減」を設定しています。転送元アドレスの2回目以降の更新は、前の転送時のアドレスからオフセット値分ジャンプしたアドレスのデータのリードとなります。この一定間隔を空けてリードしてきたデータは、転送先では連続した領域にライトされます。

(2) オフセットを使ったXY変換例

図 10.19 にリポート転送モードと「オフセット加算」を組み合わせて XY 変換を行うときの動作を示します。

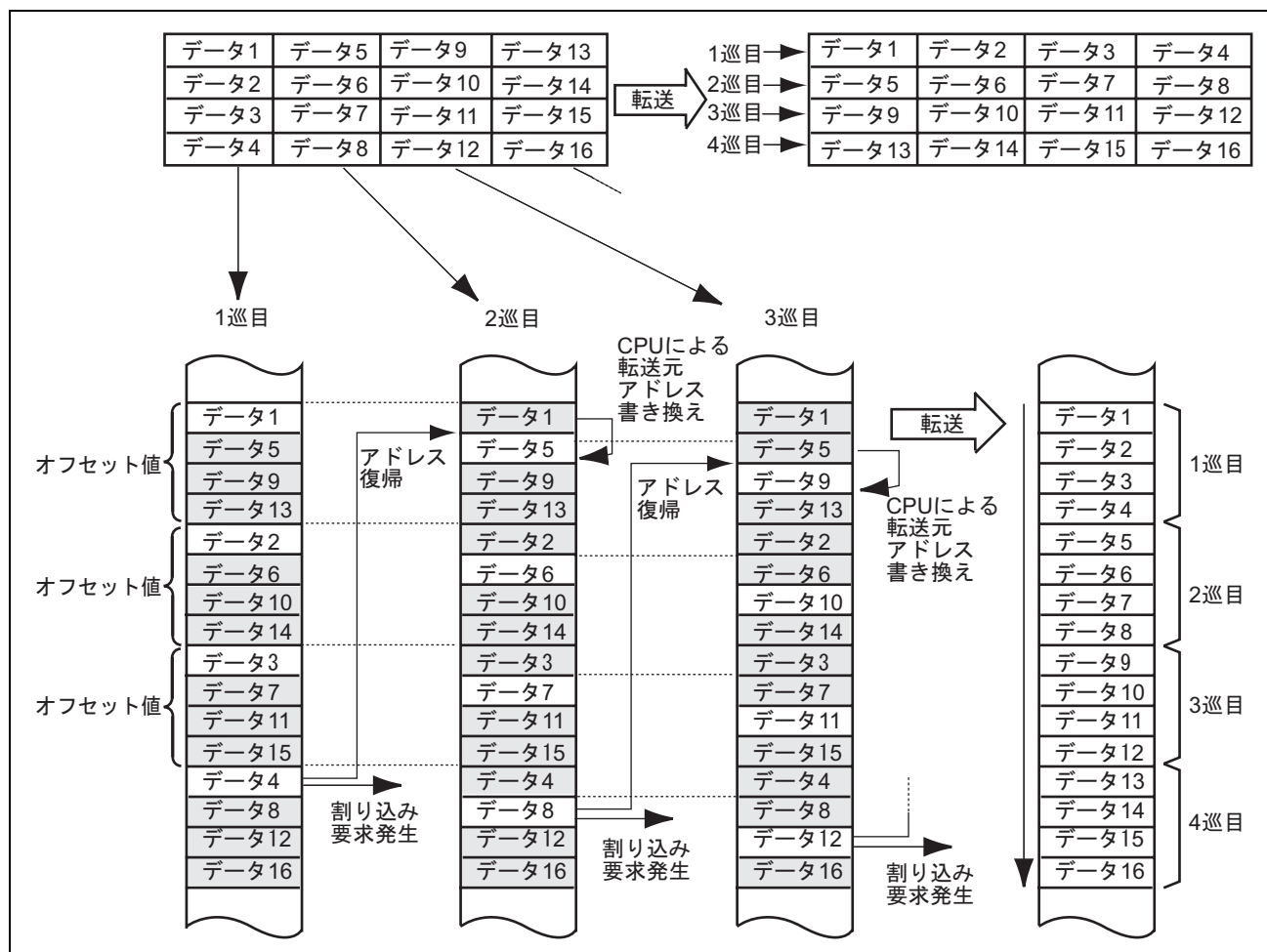


図 10.19 リポート転送モード+オフセット加算による XY 変換のときの動作

図 10.19 では、DACR でソースアドレス側をリポートエリアに設定し、かつ DACR で「オフセット加算」を設定しています。オフセット値は、4×データアクセスサイズに相当するアドレスです（たとえば、データアクセスサイズがロングワードであるならば、DOFR に H'00000010 を指定したことになります）。リポートサイズは 4×データアクセスサイズです（たとえばデータアクセスサイズがロングワードであると、4×4=16 バイトをリポートサイズに指定したことになります）。転送先は「1、2、および 4 の加算」を設定しています。また、DACR の RPTIE ビットを 1 にセットし、リポートサイズ分の転送が終了するとリポートサイズ終了割り込み要求が発生するように設定しています。

転送が開始されると、転送元はアドレスにオフセット値を加算しデータを転送します。転送データは、転送先で転送順に連続して並べられます。データ 4 までのデータが転送されると、リポートサイズ分のデータを転送したことになります。DMAC は転送元のアドレスを転送開始時のアドレス（転送元データ 1 のアドレス）に復帰させます。また、同時にリポートサイズ終了割り込み要求が発生させます。この割り込み要求によりいったん転送が中断するので、CPU による I/O レジスタアクセスで DSAR の値をデータ 5 のアドレスに書き換えてください（ロングワード転送ならデータ 1 のアドレス+4 にアドレスを書き換えます）。DMDR の DTE

10. DMA コントローラ (DMAC)

ビットを1にセットすると、転送中断した状態から引き続き転送を開始します。以降同様な処理を繰り返すと、転送元のデータが転送先にXY変換されて転送されます。

図 10.20 に XY 変換の処理フローを示します。

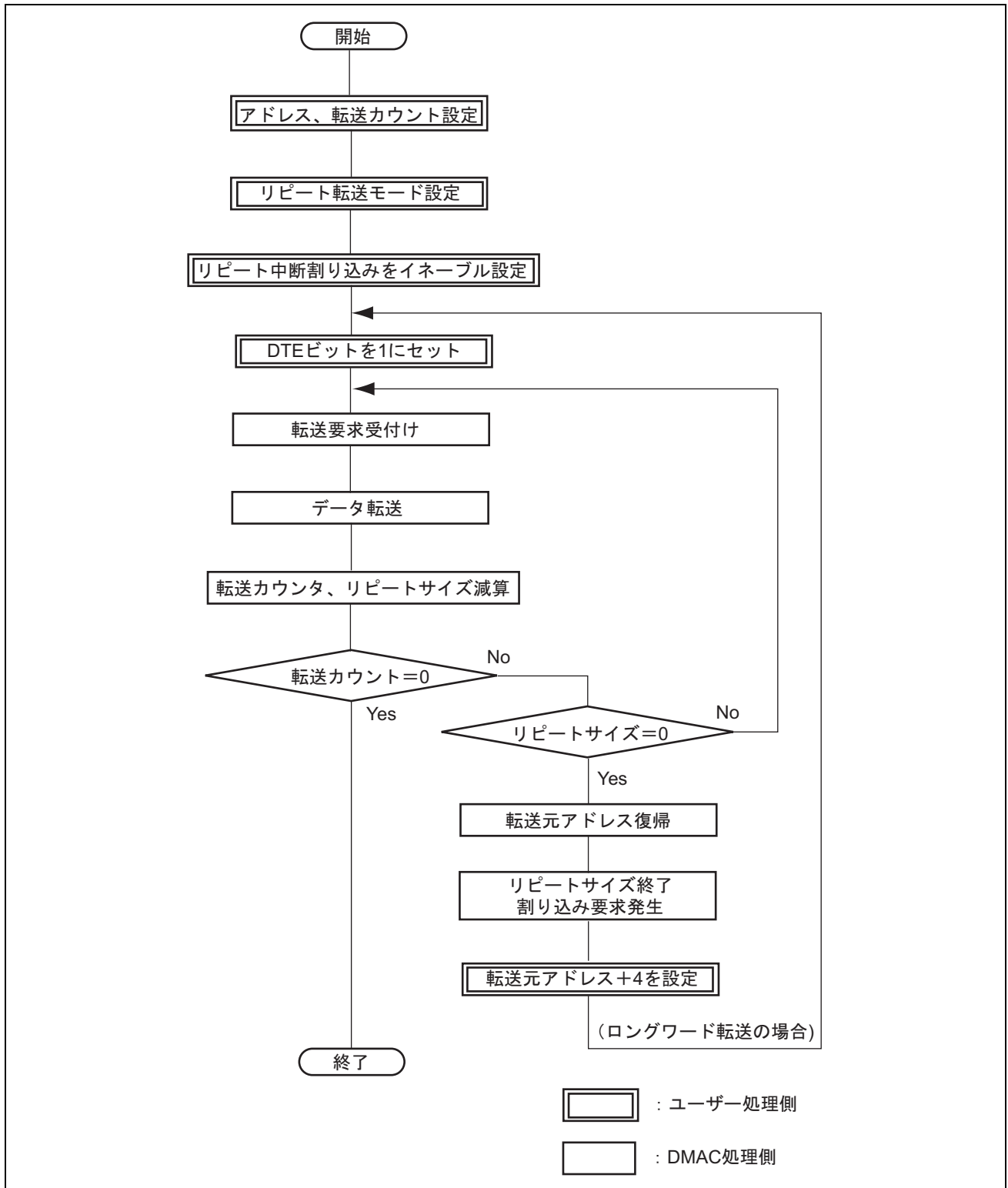


図 10.20 リピート転送モード+オフセット加算によるXY変換のフロー

(3) オフセット減算の指定方法

DOFR に負値を設定する場合はオフセット値を 2 の補数で指定してください。2 の補数は次式で求められます。

[負オフセット値の 2 の補数表現] = \sim [オフセット値]+1 (\sim : ビット反転)

例: H'0001FFFF の 2 の補数表現
 = H'FFFE0000 + H'00000001
 = H'FFFE0001

2 の補数は、CPU の NEG.L 命令でも求められます。

10.5.7 DMA 転送中のレジスタ

DMAC のレジスタは、DMA 転送処理により値を更新します。更新される値は、各種設定や転送の状態により異なります。更新されるレジスタは、DSAR、DDAR、DTCR、DBSR の BKSZH、BKSZ ビット、DMDR の DTE、ACT、ERRF、ESIF、DTIF ビットです。

(1) DMA ソースアドレスレジスタ (DSAR)

転送元の DSAR のアドレスをアクセスすると、DSAR の値を出力し、次にアクセスするアドレスに更新されます。

DACR の SAT1、SAT0 ビットでアドレスの増減を設定します。SAT1、0=B'00 のときアドレスは固定されます。SAT1、0=B'01 のときアドレスはオフセットレジスタ値が加算されます。SAT1、0=B'10 のときアドレスは増加し、SAT1、0=B'11 のときアドレスは減少します (増減サイズは、転送するデータアクセスサイズにより決まります)。

DMDR の DTSZ1、DTSZ0 ビットでデータアクセスサイズを設定します。DTSZ1、0= B'00 のときバイトサイズになり、アドレスは±1 増減されます。DTSZ1、0=B'01 のときワードサイズになり、アドレスは±2 増減されます。DTSZ1、0=B'10 のときロングワードサイズになり、アドレスは±4 増減されます。また、ワードサイズ、ロングワードサイズの設定であっても、ソースアドレスがワード境界、ロングワード境界を外れている場合、データはバイトやワードに分割してリードされます。1 ワードサイズ分、1 ロングワードサイズ分のデータを分割してリードしている間、アドレス増減サイズは実際にリードされるデータのサイズであるバイトやワードに合わせて、+1、+2 になります。1 ワードサイズ分、1 ロングワードサイズ分のデータのリード後は、リード開始時のアドレスに対して、SAT1、0 の設定に従ったアドレスの増減を行います。

ブロック転送モード (またはリピータ転送モード) においてソースアドレス側にブロックエリア (リピータエリア) を設定している場合、ブロックサイズ (リピータサイズ) 分の転送を終了すると、ソースアドレスは転送開始アドレスに戻りアドレス更新の影響を受けません。

ソースアドレス側に拡張リピータエリアを設定している場合は、その設定に従います。拡張リピータエリアに設定された上位側のアドレスは固定され、アドレス更新の影響を受けません。

転送中に DSAR をリードするときは、ロングワードサイズでアクセスしてください。転送中の DSAR は、CPU からのアクセスに関係なく更新される可能性があり、上位ワードと下位ワードを別々にリードすると正しい値がリードできない可能性があります。また、転送中のチャンネルの DSAR にライトしないでください。

(2) DMA デスティネーションアドレスレジスタ (DDAR)

転送先の DDAR のアドレスをアクセスすると、DDAR の値を出力し、次にアクセスするアドレスに更新されます。

DACR の DAT1、DAT0 ビットでアドレスの増減を設定します。DAT1、0=B'00 のときアドレスは固定されます。DAT1、0=B'01 のときアドレスはオフセットレジスタ値が加算されます。DAT1、0=B'10 のときアドレスは増加し、DAT1、0=B'11 のときアドレスは減少します (増減サイズは、転送するデータアクセスサイズにより決まります)。

DMDR の DTSZ1、DTSZ0 ビットでデータアクセスサイズを設定します。DTSZ1、0=B'00 のときバイトサイズになり、アドレスは±1 増減されます。DTSZ1、0=B'01 のときワードサイズになり、アドレスは±2 増減されます。DTSZ1、0=B'10 のときロングワードサイズになり、アドレスは±4 増減されます。また、ワードサイズ、ロングワードサイズの設定であっても、デスティネーションアドレスがワード境界、ロングワード境界を外れている場合、データはバイトやワードに分割してライトされます。1 ワードサイズ分、1 ロングワードサイズ分のデータを分割してライトしている間、アドレス増減サイズは実際にライトされるデータのサイズであるバイトやワードに合わせて、+1、+2 になります。1 ワードサイズ分、1 ロングワードサイズ分のデータのライト後は、ライト開始時のアドレスに対して、SAT1、0 の設定に従ったアドレスの増減を行います。

ブロック転送モード (またはリピート転送モード) においてデスティネーションアドレス側にブロックエリア (リピートエリア) を設定している場合、ブロックサイズ (リピートサイズ) 分の転送を終了すると、デスティネーションアドレスは転送開始アドレスに戻りアドレス更新の影響を受けません。

デスティネーションアドレス側に拡張リピートエリアを設定している場合は、その設定に従います。拡張リピートエリアに設定された上位側のアドレスは固定され、アドレス更新の影響を受けません。

転送中に DDAR をリードするときは、ロングワードサイズでアクセスしてください。転送中の DDAR は、CPU からのアクセスに関係なく更新される可能性があり、上位ワードと下位ワードを別々にリードすると正しい値がリードできない可能性があります。また、転送中のチャンネルの DDAR にライトしないでください。

(3) DMA 転送カウントレジスタ (DTCR)

DMA 転送を行うと、DTCR の値は転送したバイト数分減少します。バイト転送した場合は-1、ワード転送した場合は-2、ロングワード転送した場合は-4 されます。ただし、DTCR の値が 0 のとき、転送回数はカウントされないため DTCR の値は変化しません。

DTCR の全ビットが変化する可能性があるため、DMA 転送中に CPU から DTCR をリードするときは、ロングワードサイズでアクセスしてください。転送中の DTCR は CPU からのアクセスに関係なく更新される可能性があり、上位ワードと下位ワードを別々にリードすると正しい値がリードできない可能性があります。また、動作中のチャンネルの DTCR にライトしないでください。

DMA 転送に伴うアドレスの更新と CPU によるライトが競合した場合は、CPU によるライトが優先されます。DTCR=1、2、4→0 への更新と CPU によるライト (値は 0 以外) が競合した場合は、DTCR の値は CPU によるライトが優先されますが、転送は終了します。

(4) DMA ブロックサイズレジスタ (DBSR)

DBSR はブロック転送モード、またはリピート転送モードのときに有効となります。DBSR[31:16]は BKSZH、DBSR[15:0]は BKSZ として機能します。BKSZH の 16 ビットはブロックサイズやリピートサイズを保持し、その値は変化しません。BKSZ の 16 ビットはブロックサイズやリピートサイズのカウンタとして機能し、1 データ転送毎に-1 します。DMA 転送によって BKSZ の値が 0 になると判断されると、DMAC は BKSZ に 0 をストアせずに BKSZH の値をストアします。

DBSR は上位 16 ビットが更新されることがないので、ワードサイズでアクセスすることができます。動作中のチャンネルの DBSR にライトしないでください。

(5) DMDR の DTE ビット

DMDR の DTE ビットは、CPU によりライトしてデータ転送の許可/禁止を制御しますが、DMA 転送状態によって DMAC により自動的に DTE ビットを 0 にクリアすることがあります。

DMAC により DTE ビットが 0 にクリアされる条件は以下です。

- 設定の総転送サイズの転送が終了したとき
- 転送サイズエラー割り込み要求が発生し、転送が終了したとき
- リピートサイズ終了割り込み要求が発生し、転送が終了したとき
- 拡張リピートエリアオーバフロー割り込み要求が発生し、転送が終了したとき
- NMI割り込みが発生し、転送が停止したとき
- アドレスエラーが発生し、転送が停止したとき
- リセット時
- ハードウェアスタンバイモード時
- DTEビットに0をライトして、転送が停止したとき

DTE ビットが 1 にセットされているチャンネルのレジスタのライトは禁止されています(DTE ビットを除く)。DTE ビットに 0 をライトしてから各レジスタの設定を変更するときは、DTE ビットが 0 にクリアされていることを確認してください。

図 10.21 に、動作中のチャンネルのレジスタ設定を変更する手順を示します。

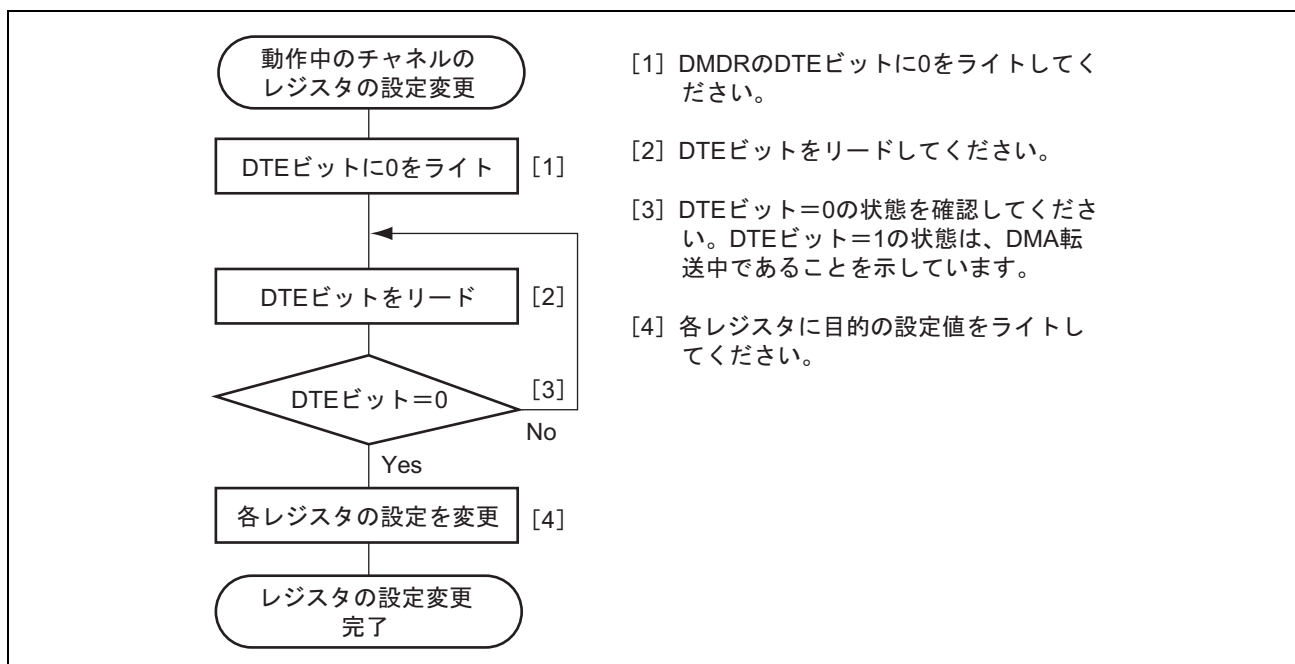


図 10.21 動作中のチャンネルのレジスタ設定を変更するときの手順

(6) DMDR の ACT ビット

DMDR の ACT ビットは、DMAC が待機状態かアクティブ状態かを示します。DTE=0 の場合と、DTE=1 で転送要求待ち状態の場合に ACT=0 となり、それ以外の場合 (DMAC がアクティブ状態) には ACT=1 になります。DTE ビットに 0 をライトして転送を停止させても DMA 転送中であれば、ACT ビットは 1 を保持します。

ブロック転送モードの場合、DTE ビットに 0 をライトして転送を停止させても 1 ブロックサイズの転送は中断されません。DTE ビットに 0 をライトしてから 1 ブロックサイズの転送が終了するまでの期間、ACT ビットは 1 を保持します。

バーストモードの場合、DTE ビットに 0 をライトしたバスサイクルから最大 3 回の DMA 転送が行われてから転送を停止します。DTE ビットに 0 をライトしてから最後の DMA サイクルが終了するまでの期間、ACT ビットは 1 を保持します。

(7) DMDR の ERRF ビット

アドレスエラー、または NMI 割り込みが発生した場合、DMAC は全チャンネルの DTE ビットを 0 にクリアして転送を終了します。また、DMAC は転送中か否かに関わらず、DMDR_0 の ERRF ビットを 1 にセットし、アドレスエラー、または NMI 割り込みが発生したことを示します。ただし、DMAC がモジュールストップ状態にある場合、アドレスエラーや NMI 割り込みに対しては、ERRF ビットを 1 にセットしません。

(8) DMDR の ESIF ビット

転送サイズ割り込み、リピートサイズ終了割り込み、拡張リピートエリアオーバフロー割り込み要求が発生したとき、DMDR の ESIF ビットは 1 にセットされます。ESIF ビットが 1 にセットされ、DMDR の ESIE ビットが 1 にセットされていると転送エスケープ割り込み要求を CPU や DTC に対して発生します。

ESIF ビットに 1 がセットされるタイミングは、割り込み要求を発生させる要因になった DMA 転送のバスサイクルが終了して、DMDR の ACT ビットが 0 になって転送を終了したときです。

割り込み処理中に DTE ビットを 1 にセットして転送を再開した場合、自動的に ESIF ビットが 0 にクリアされ、割り込み要求は解除されます。

割り込みについては「10.8 割り込み要因」を参照してください。

(9) DMDR の DTIF ビット

DMA 転送によって総転送サイズ分の転送を終了すると、DMDR の DTIF ビットは 1 にセットされます。DTIF ビットが 1 にセットされ、DMDR の DTIE ビットが 1 にセットされていると転送カウンタによる転送終了割り込み要求を CPU や DTC に対して発生します。

DTIF ビットが 1 にセットされるタイミングは、DMA 転送のバスサイクルが終了して、DMDR の ACT ビットが 0 になって転送を終了したときです。

割り込み処理中に DTE ビットに 1 をセットして転送を再開した場合、自動的に DTIF ビットが 0 クリアされ、割り込み要求は解除されます。

割り込みについては「10.8 割り込み要因」を参照してください。

10.5.8 チャンネルの優先順位

DMAC のチャンネル間の優先順位は、チャンネル 0 > チャンネル 1 > チャンネル 2 > チャンネル 3 の順になっています。表 10.6 に DMAC のチャンネル間の優先順位を示します。

表 10.6 DMAC のチャンネル間の優先順位

チャンネル	優先順位
チャンネル 0	高 ↑ 低
チャンネル 1	
チャンネル 2	
チャンネル 3	

転送中に他のチャンネルからの転送要求があると、転送中のチャンネルを除いて最も優先度の高いチャンネルが選択されます。選択されたチャンネルは、転送中のチャンネルがバスを解放後に転送を開始します。このとき、DMAC 以外の他のバスマスタからバス権要求があると、他のバスマスタのサイクルが入ります。

バースト転送中、および 1 ブロック分のブロック転送中は、チャンネルを切り換えて転送することはありません。

図 10.22 に、チャンネル 0~2 からの転送要求が同時に発生したときの転送例を示します。

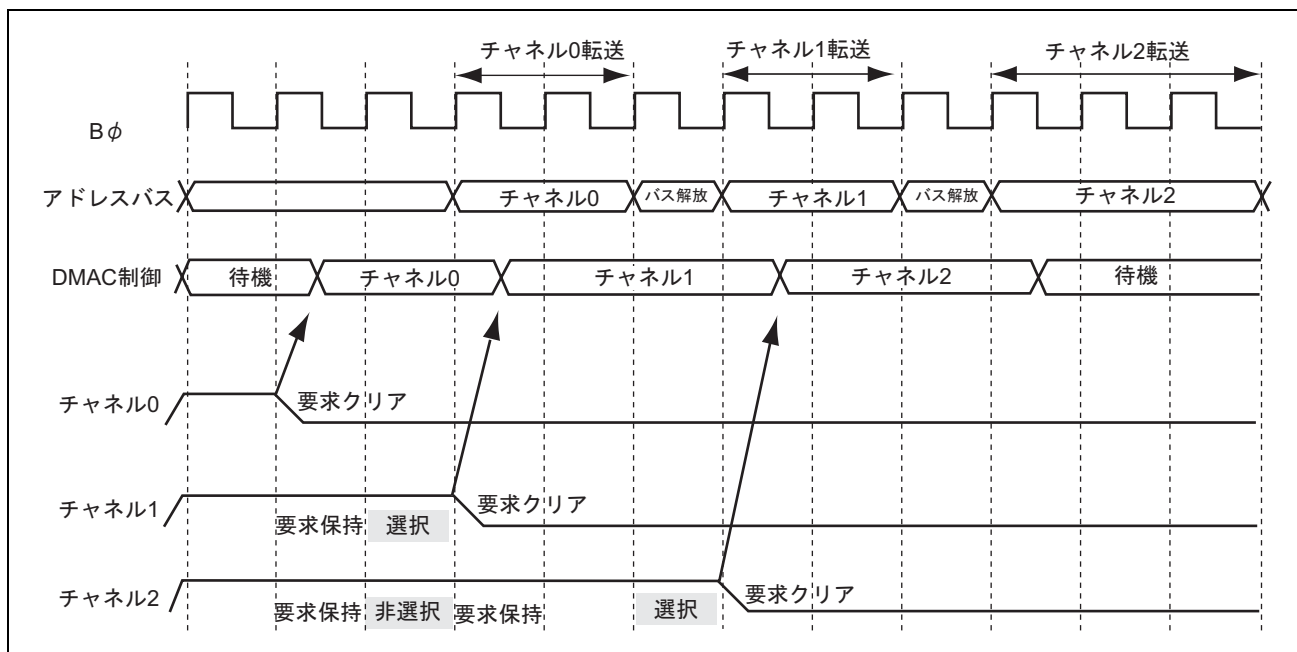


図 10.22 チャンネルの優先順位のタイミング例

10.5.9 基本バスサイクル

基本的なバスサイクルのタイミング例を図 10.23 に示します。図 10.23 は、ワードサイズで 16 ビット 2 ステートアクセス空間から 8 ビット 3 ステートアクセス空間へ転送する例です。CPU から DMAC にバス権が移ると、ソースアドレスのリード、デスティネーションアドレスのライトを行います。このリード/ライト動作の間に、他のバス権要求などによってバスを解放することはありません。DMAC サイクルは CPU サイクルと同様にバスコントローラの設定に従います。

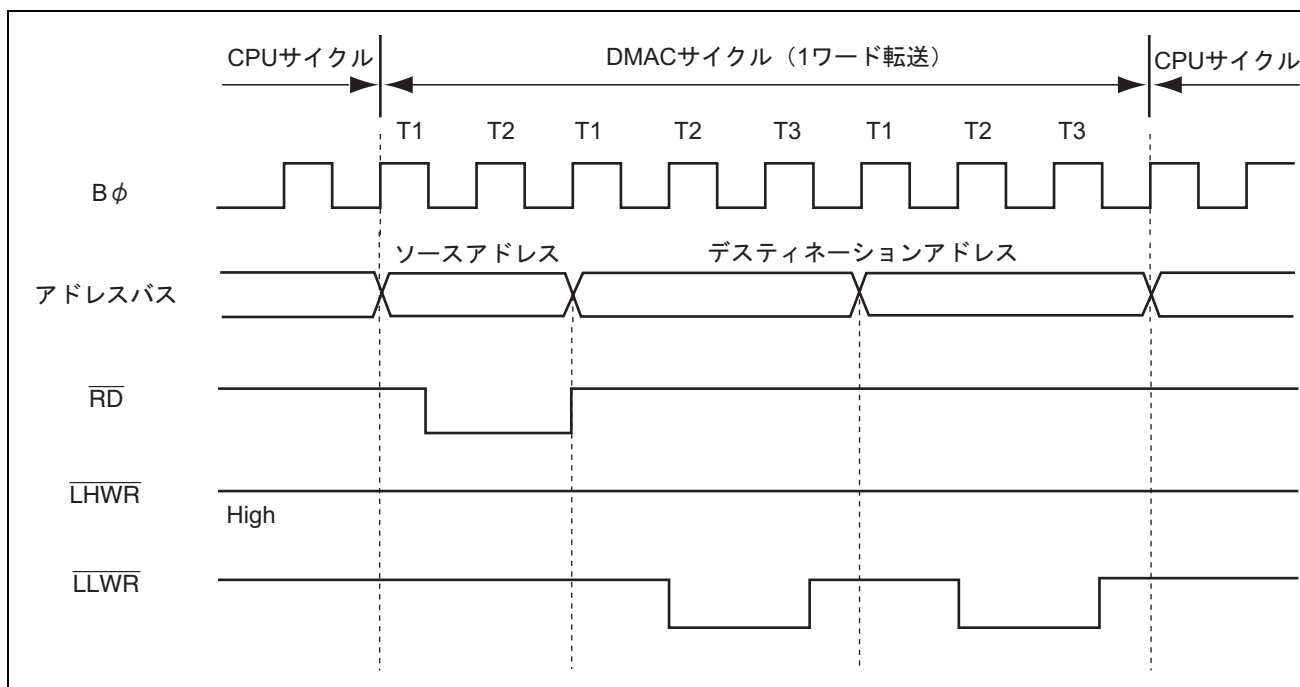


図 10.23 DMA 転送バスタイミング例

10.5.10 デュアルアドレスモードのバスサイクル

(1) ノーマル転送モード (サイクルスチールモード)

サイクルスチールモードでは、1回の転送単位 (1 バイト、1 ワードまたは1 ロングワード) の転送を終了するたびにバスを解放します。バス解放期間中はCPU、またはDTCによるバスサイクルが1回以上入ります。

図 10.24 に、 $\overline{\text{TEND}}$ 出力を許可して、外部 16 ビット 2 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へワードサイズでノーマル転送モードかつサイクルスチールモードで転送を行った場合の例を示します。

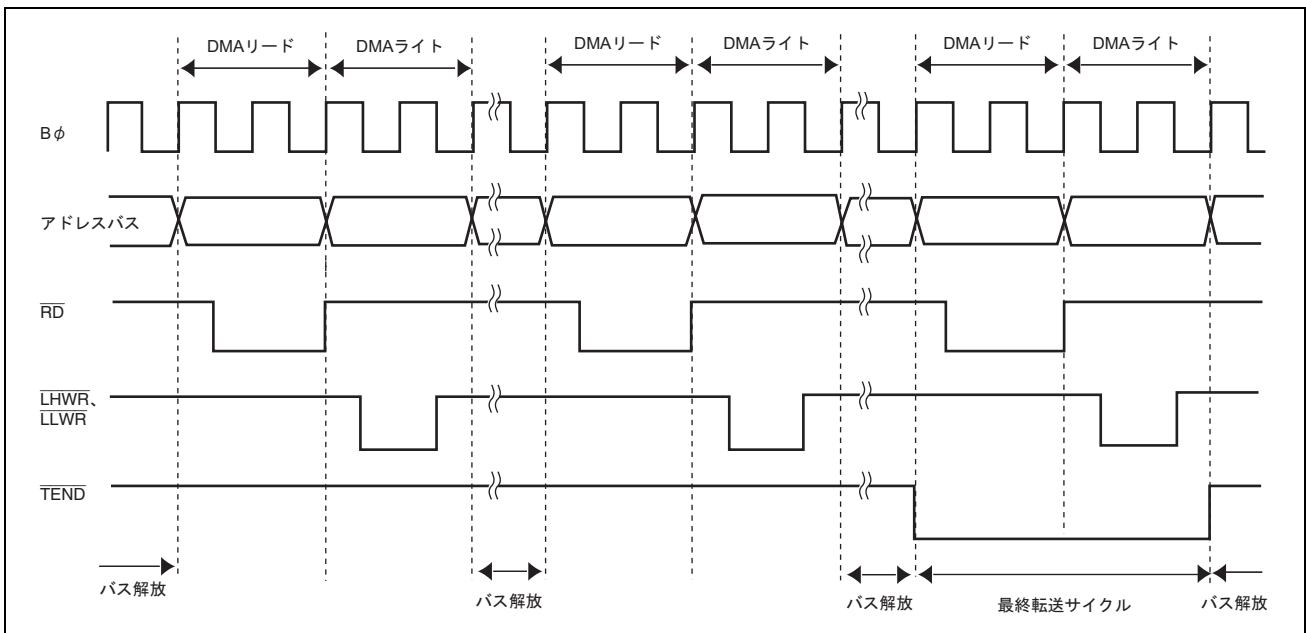


図 10.24 ノーマル転送モードかつサイクルスチールモードの転送例

図 10.25、図 10.26 に、 $\overline{\text{TEND}}$ 出力を許可して、外部 16 ビット 2 ステートアクセス空間から 16 ビット 2 ステートアクセス空間へロングワードサイズでノーマル転送モードかつサイクルスチールモードで転送を行った場合の例を示します。

図 10.25 では、転送元は (DSAR=ロングワード境界を外れたアドレス)、転送先は (DDAR=ロングワード境界に沿ったアドレス) です。

図 10.26 では、転送元は (DSAR=ロングワード境界に沿ったアドレス)、転送先は (DDAR=ロングワード境界を外れたアドレス) です。

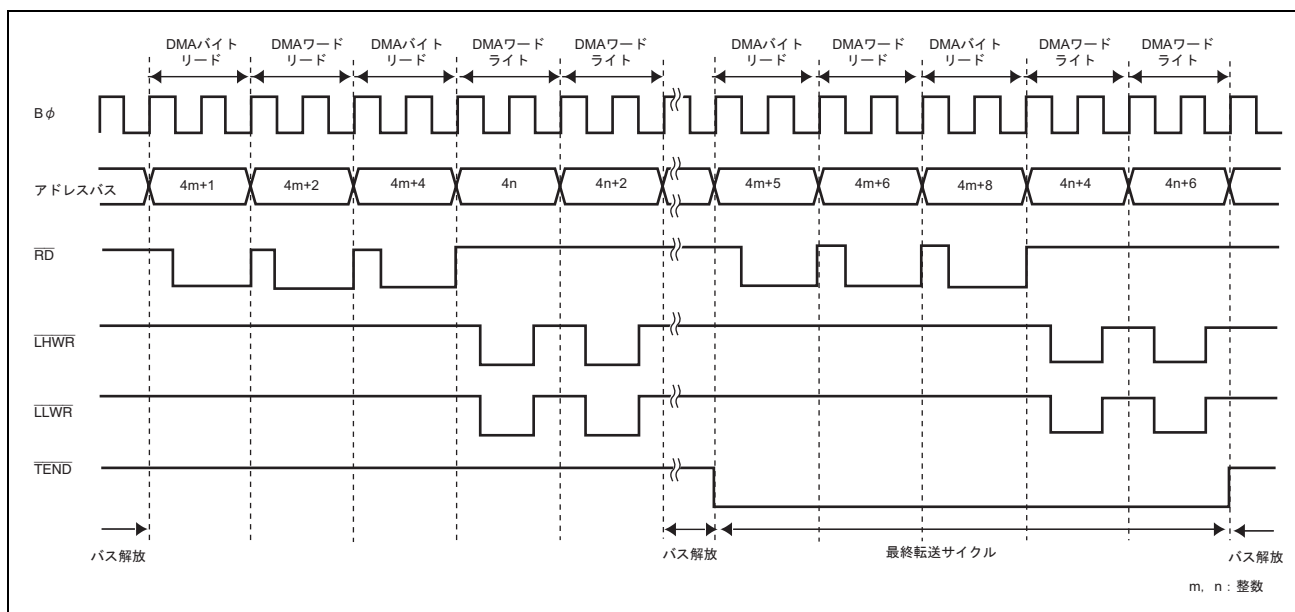


図 10.25 ノーマル転送モードかつサイクルスチールモードの転送例
(転送元 DSAR=奇数アドレス、ソースアドレス増加)

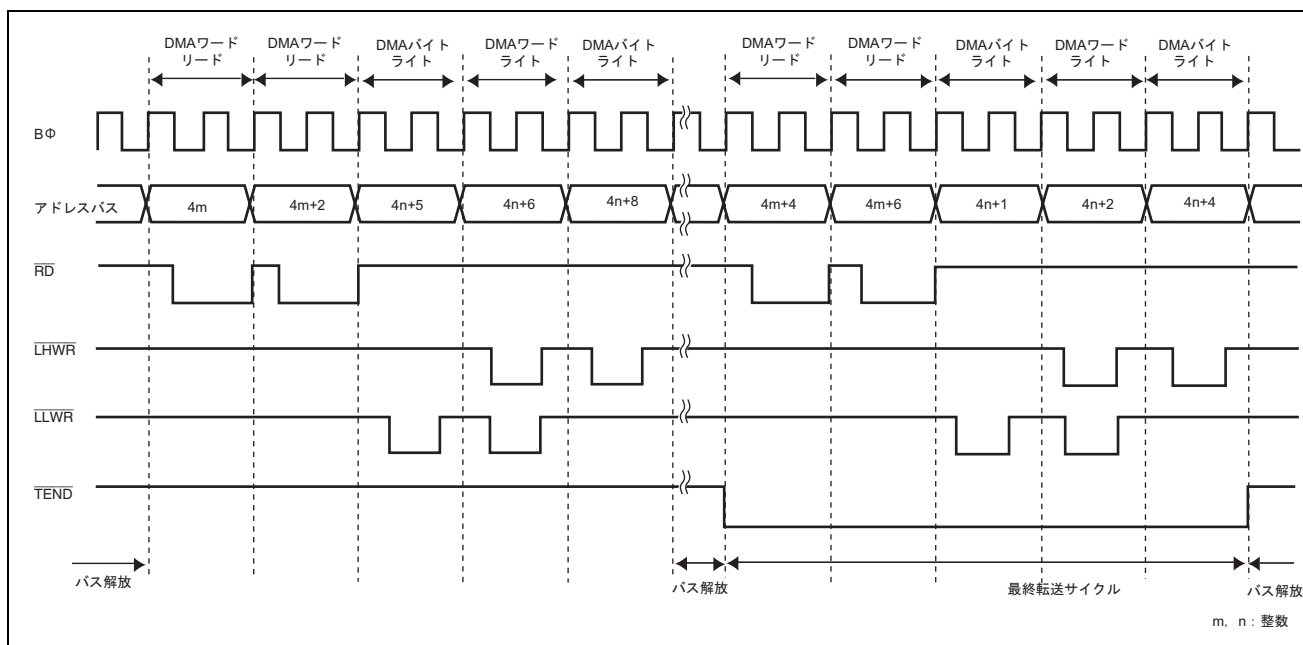


図 10.26 ノーマル転送モードかつサイクルスチールモードの転送例
(転送先 DDAR=奇数アドレス、デスティネーションアドレス減少)

10. DMA コントローラ (DMAC)

(2) ノーマル転送モード (バーストモード)

バーストモードでは、1 バイト、1 ワードまたは 1 ロングワードの転送を転送終了条件が満たされるまで続けます。

バースト転送を開始すると、優先順位の高い他のチャネルの転送要求が発生してもバースト転送が終了するまで待たされます。

図 10.27 に、 $\overline{\text{TEND}}$ 出力を許可して、外部 16 ビット 2 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へワードサイズでノーマル転送モードかつバーストモードで転送を行った場合の例を示します。

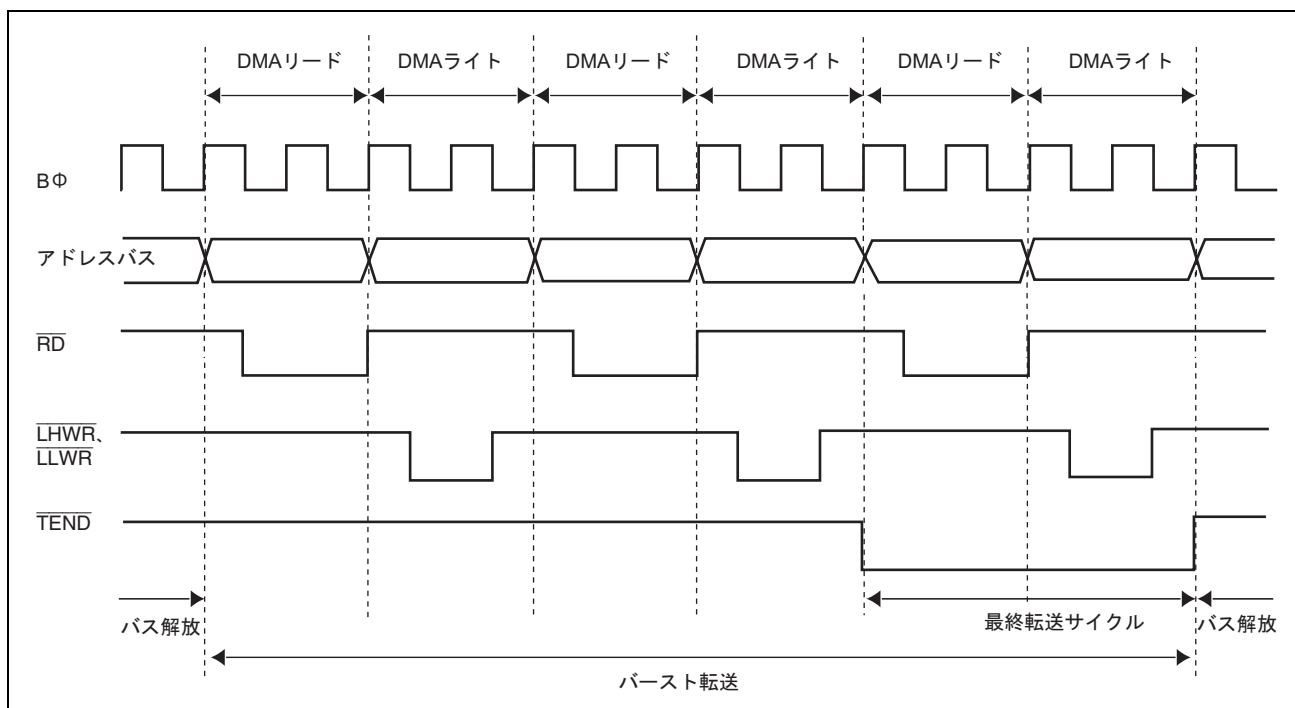


図 10.27 ノーマル転送モードかつバーストモードの転送例

(3) ブロック転送モード

ブロック転送モードでは、1回の転送要求について1ブロック分の転送を終了するたびにバスを解放します。

図 10.28 に、 $\overline{\text{TEND}}$ 出力を許可して、外部 16 ビット 2 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へワードサイズでブロック転送モードで転送を行った場合の例を示します。

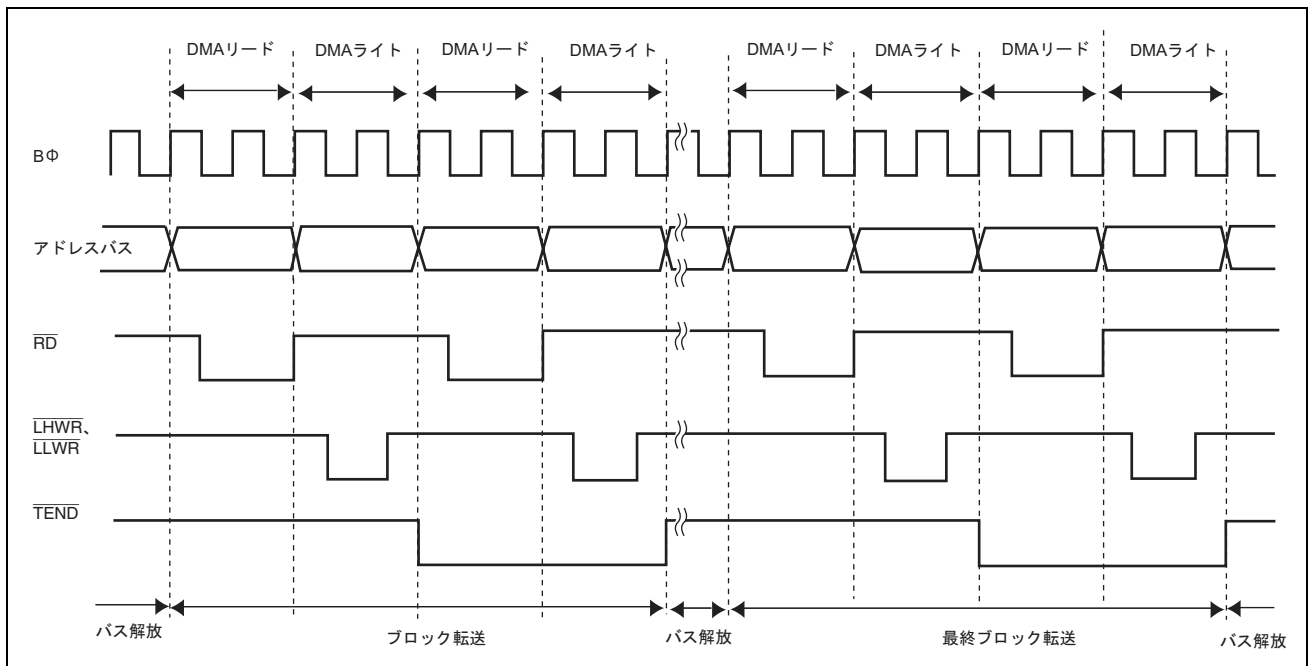


図 10.28 ブロック転送モードの転送例

(4) $\overline{\text{DREQ}}$ 立ち下がリエッジ起動タイミング

図 10.29 に $\overline{\text{DREQ}}$ 立ち下がリエッジ起動時のノーマル転送モードの転送例を示します。

$\overline{\text{DREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の B ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{DREQ}}$ の Low レベルがサンプリングされると、DMAC 内部で転送要求が保持されます。次に DMAC 内部で起動がかかると転送要求はクリアされ、エッジ検出のため $\overline{\text{DREQ}}$ の High レベルのサンプリングが開始されます。DMA ライトサイクル終了までに $\overline{\text{DREQ}}$ の High レベルのサンプリングが済んでいればライトサイクル終了後に転送要求の受け付けが再開され、再び $\overline{\text{DREQ}}$ の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

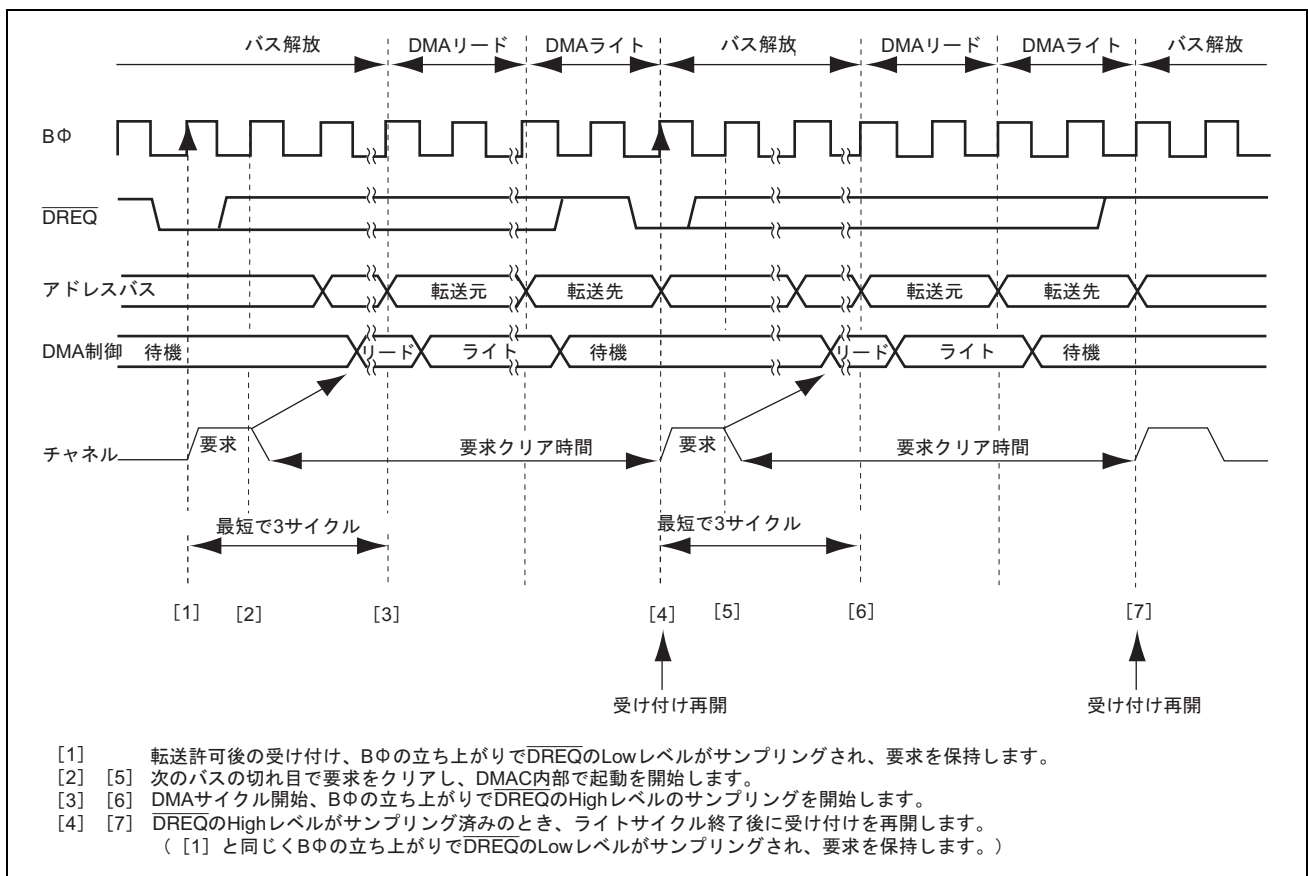


図 10.29 $\overline{\text{DREQ}}$ 立ち下がリエッジ起動時のノーマル転送モードの転送例

図 10.30 に $\overline{\text{DREQ}}$ 立ち下がりエッジ起動時のブロック転送モードの転送例を示します。

$\overline{\text{DREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の B ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{DREQ}}$ の Low レベルがサンプリングされると、DMAC 内部で転送要求が保持されます。次に DMAC 内部で起動がかかると転送要求はクリアされ、エッジ検出のため $\overline{\text{DREQ}}$ の High レベルのサンプリングが開始されます。DMA ライトサイクル終了までに $\overline{\text{DREQ}}$ の High レベルのサンプリングが済んでいればライトサイクル終了後に転送要求の受け付けが再開され、再び $\overline{\text{DREQ}}$ の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

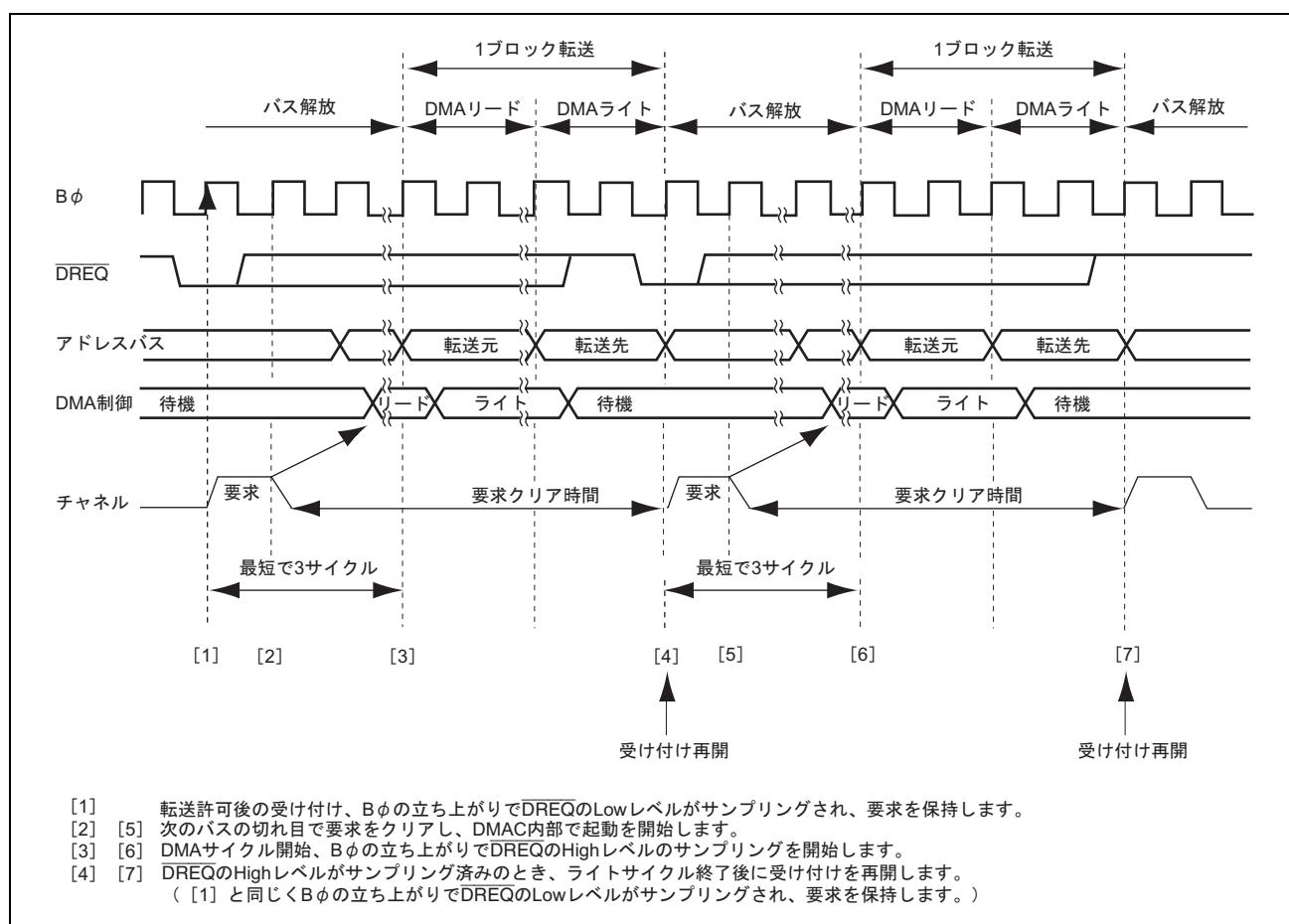


図 10.30 $\overline{\text{DREQ}}$ 立ち下がりエッジ起動時のブロック転送モードの転送例

(5) $\overline{\text{DREQ}}$ レベル起動タイミング

図 10.31 に $\overline{\text{DREQ}}$ レベル起動時のノーマル転送モードの転送例を示します。

$\overline{\text{DREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の Bφ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{DREQ}}$ の Low レベルがサンプリングされると、DMAC 内部で転送要求が保持されます。次に DMAC 内部で起動がかかると転送要求はクリアされます。ライトサイクル終了後に転送要求の受け付けが再開され、再び $\overline{\text{DREQ}}$ 端子の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

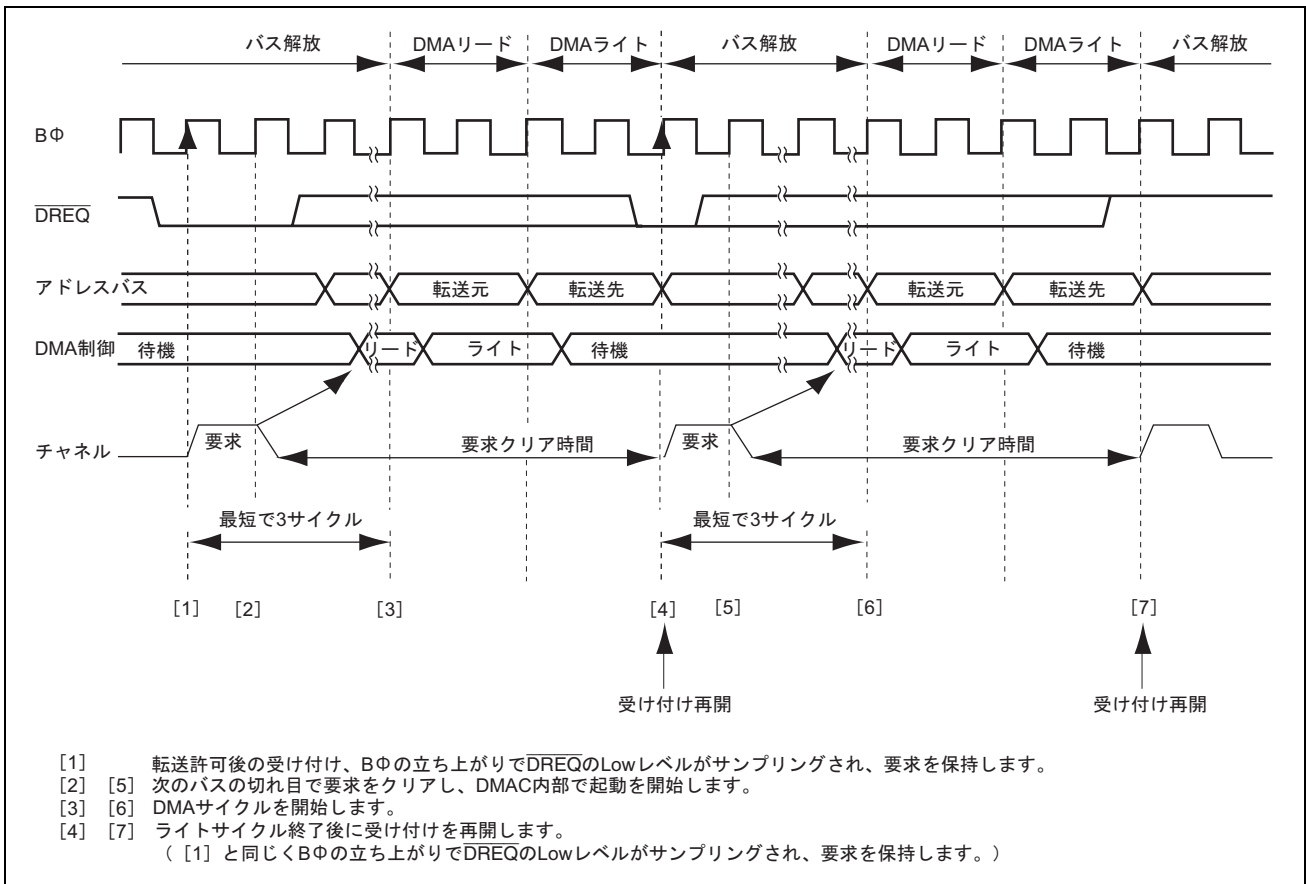


図 10.31 $\overline{\text{DREQ}}$ レベル起動時のノーマル転送モードの転送例

図 10.32 に $\overline{\text{DREQ}}$ レベル起動時のブロック転送モードの転送例を示します。

$\overline{\text{DREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の $\text{B}\phi$ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{DREQ}}$ の Low レベルがサンプリングされると、DMAC 内部で転送要求が保持されます。次に DMAC 内部で起動がかかると転送要求はクリアされます。ライトサイクル終了後に転送要求の受け付けが再開され、再び $\overline{\text{DREQ}}$ の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

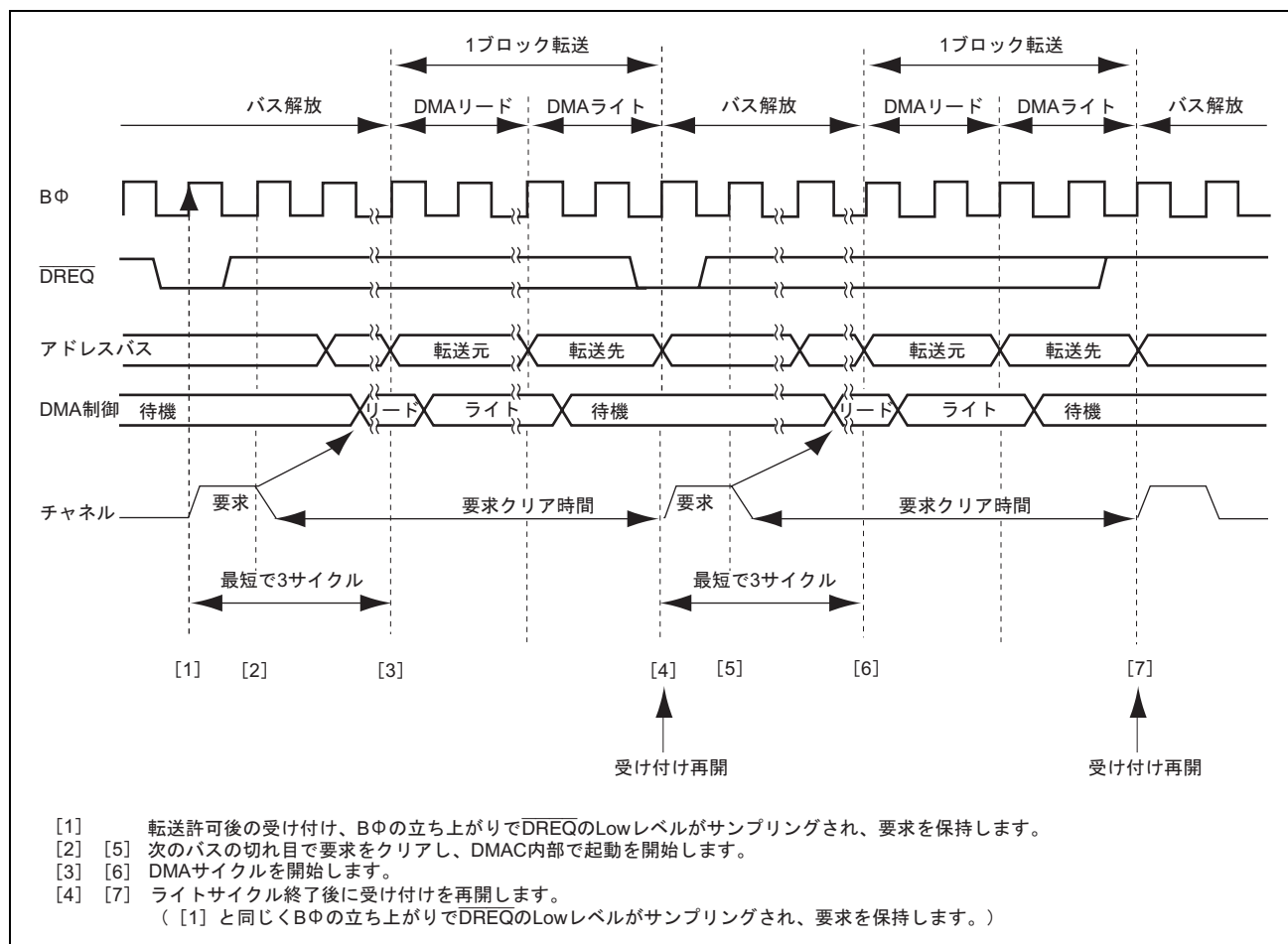


図 10.32 $\overline{\text{DREQ}}$ レベル起動時のブロック転送モードの転送例

10. DMA コントローラ (DMAC)

(6) NRD=1 のときの $\overline{\text{DREQ}}$ Low レベル起動タイミング

DMDR の NRD ビットを 1 にセットすると、次の転送要求の受け付けタイミングを 1 サイクル遅延させることができます。

図 10.33 に NRD=1 のときの $\overline{\text{DREQ}}$ Low レベル起動時のノーマル転送モードの転送例を示します。

$\overline{\text{DREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の B ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{DREQ}}$ の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に DMAC 内部で起動がかかると転送要求はクリアされます。ライトサイクル終了後に NRD=1 による 1 サイクルの要求クリア期間後に受け付けが再開され、再び $\overline{\text{DREQ}}$ の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

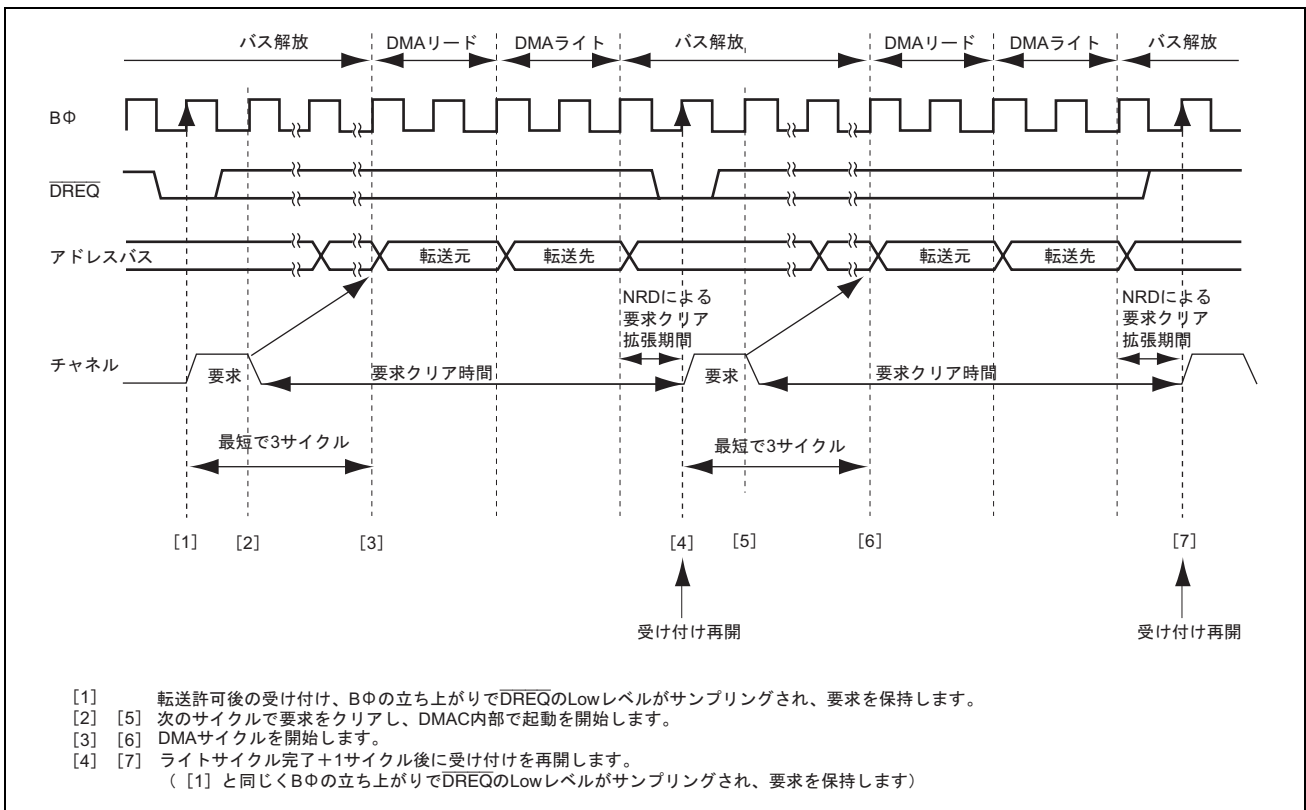


図 10.33 NRD=1 のときの $\overline{\text{DREQ}}$ Low レベル起動時のノーマル転送モードの転送例

10.5.11 シングルアドレスモードのバスサイクル

(1) シングルアドレスモード (リード、サイクルスチールモード)

シングルアドレスモードでは、1回の転送要求について1バイト、1ワード、または1ロングワードの転送を行い、転送終了後にいったんバスを解放します。バス解放期間中はCPU または DTC によるバスサイクルが1回以上入ります。

図 10.34 に、 \overline{TEND} 出力を許可して、外部 8 ビット 2 ステートアクセス空間から外部デバイスへバイトサイズでシングルアドレスモードで転送 (リード) を行った場合の例を示します。

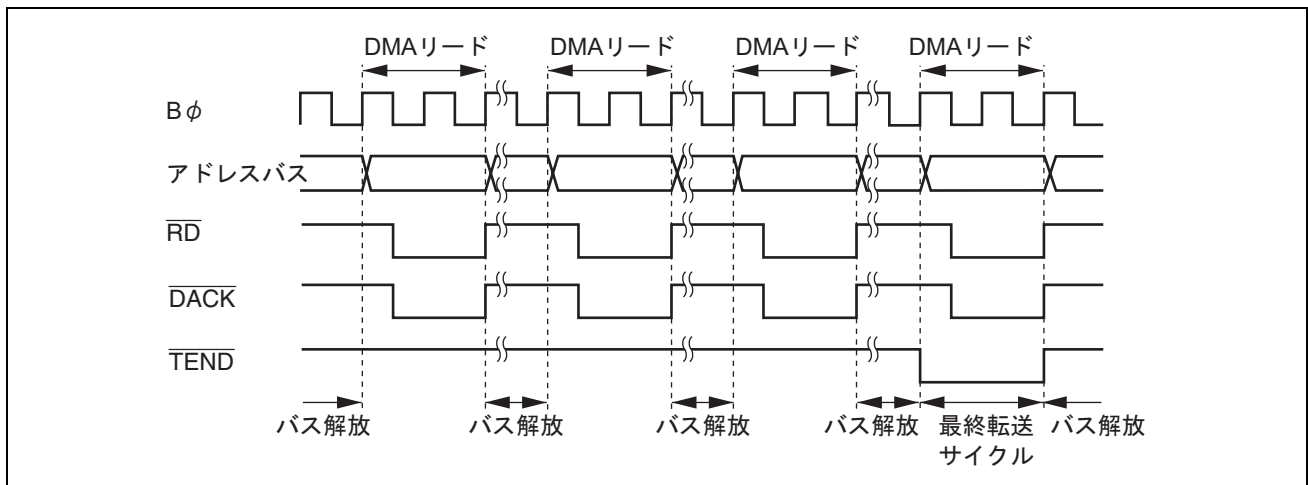


図 10.34 シングルアドレスモード (バイトリード) の転送例

10. DMA コントローラ (DMAC)

(2) シングルアドレスモード (ライト、サイクルスチールモード)

シングルアドレスモードでは、1回の転送要求について1バイト、1ワード、または1ロングワードの転送を行い、転送終了後にいったんバスを解放します。バス解放期間中はCPU、またはDTCによるバスサイクルが1回以上入ります。

図 10.35 に、 $\overline{\text{TEND}}$ 出力を許可して、外部デバイスから外部 8 ビット 2 ステートアクセス空間へバイトサイズでシングルアドレスモードで転送 (ライト) を行った場合の例を示します。

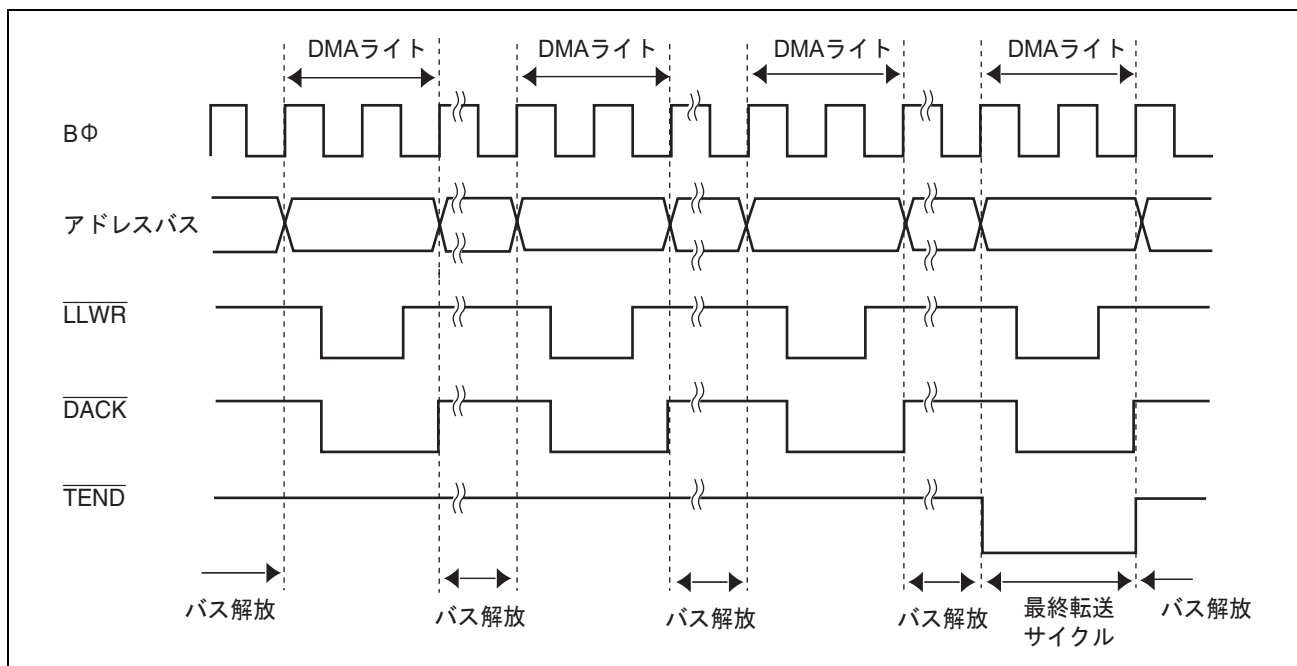


図 10.35 シングルアドレスモード (バイトライト) の転送例

(3) $\overline{\text{DREQ}}$ 立ち下がリエッジ起動タイミング

図 10.36 に $\overline{\text{DREQ}}$ 立ち下がリエッジ起動時のシングルアドレスモードの転送例を示します。

$\overline{\text{DREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の B ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{DREQ}}$ の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に DMAC 内部で起動がかかると転送要求はクリアされ、エッジ検出のために $\overline{\text{DREQ}}$ の High レベルのサンプリングが開始されます。DMA シングルサイクル終了までに $\overline{\text{DREQ}}$ の High レベルのサンプリングが済んでいれば、シングルサイクル終了後に転送要求の受け付けが再開され、再び $\overline{\text{DREQ}}$ の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

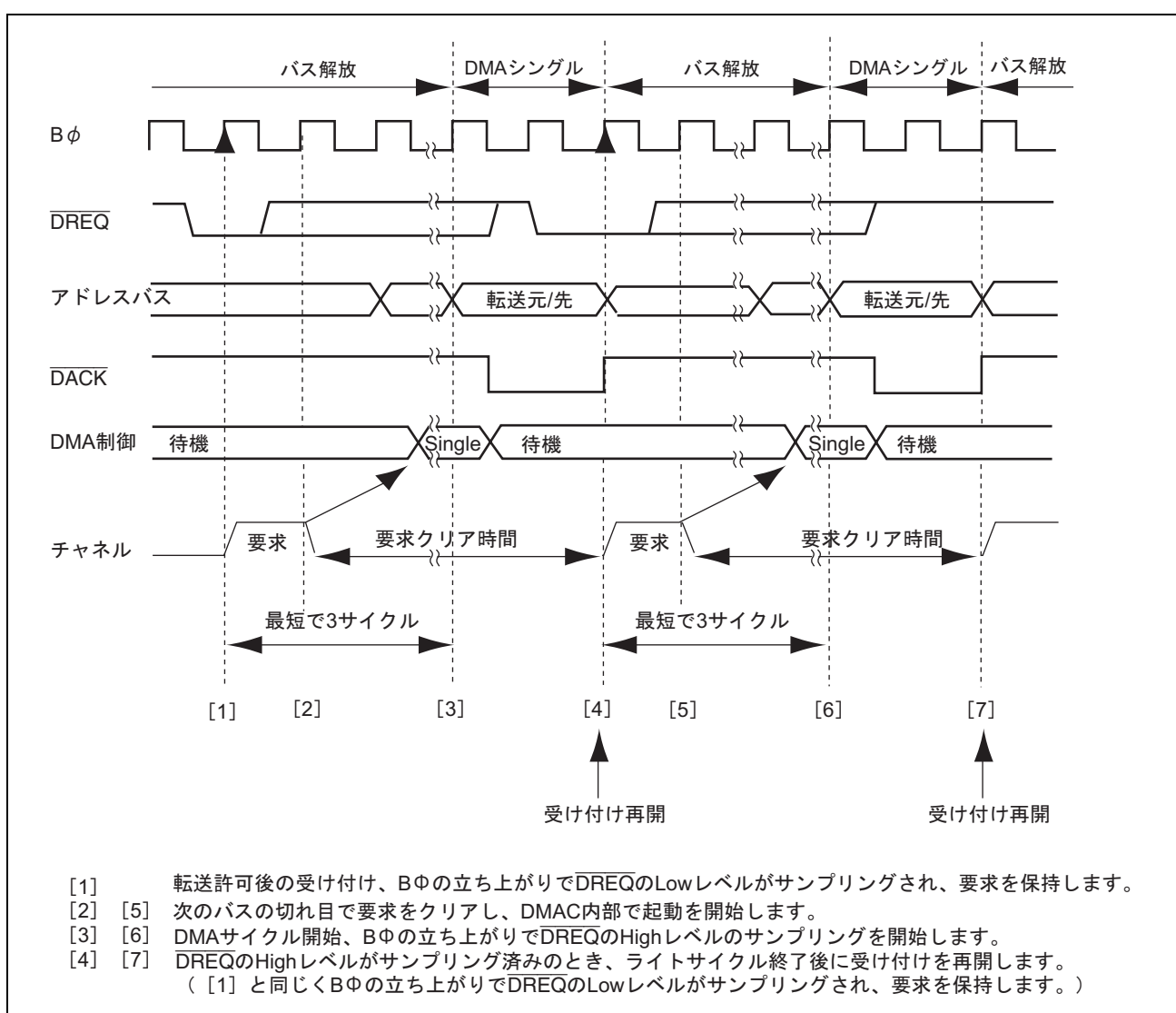


図 10.36 $\overline{\text{DREQ}}$ 立ち下がリエッジ起動時のシングルアドレスモードの転送例

(4) $\overline{\text{DREQ}}$ Low レベル起動タイミング

図 10.37 に $\overline{\text{DREQ}}$ Low レベル起動時のシングルアドレスモードの転送例を示します。

$\overline{\text{DREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の Bφ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{DREQ}}$ の Low レベルがサンプリングされると、DMAC 内部で転送要求が保持されます。次に DMAC 内部で起動がかかると転送要求はクリアされます。シングルサイクル終了後に転送要求の受け付けが再開され、再び $\overline{\text{DREQ}}$ 端子の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

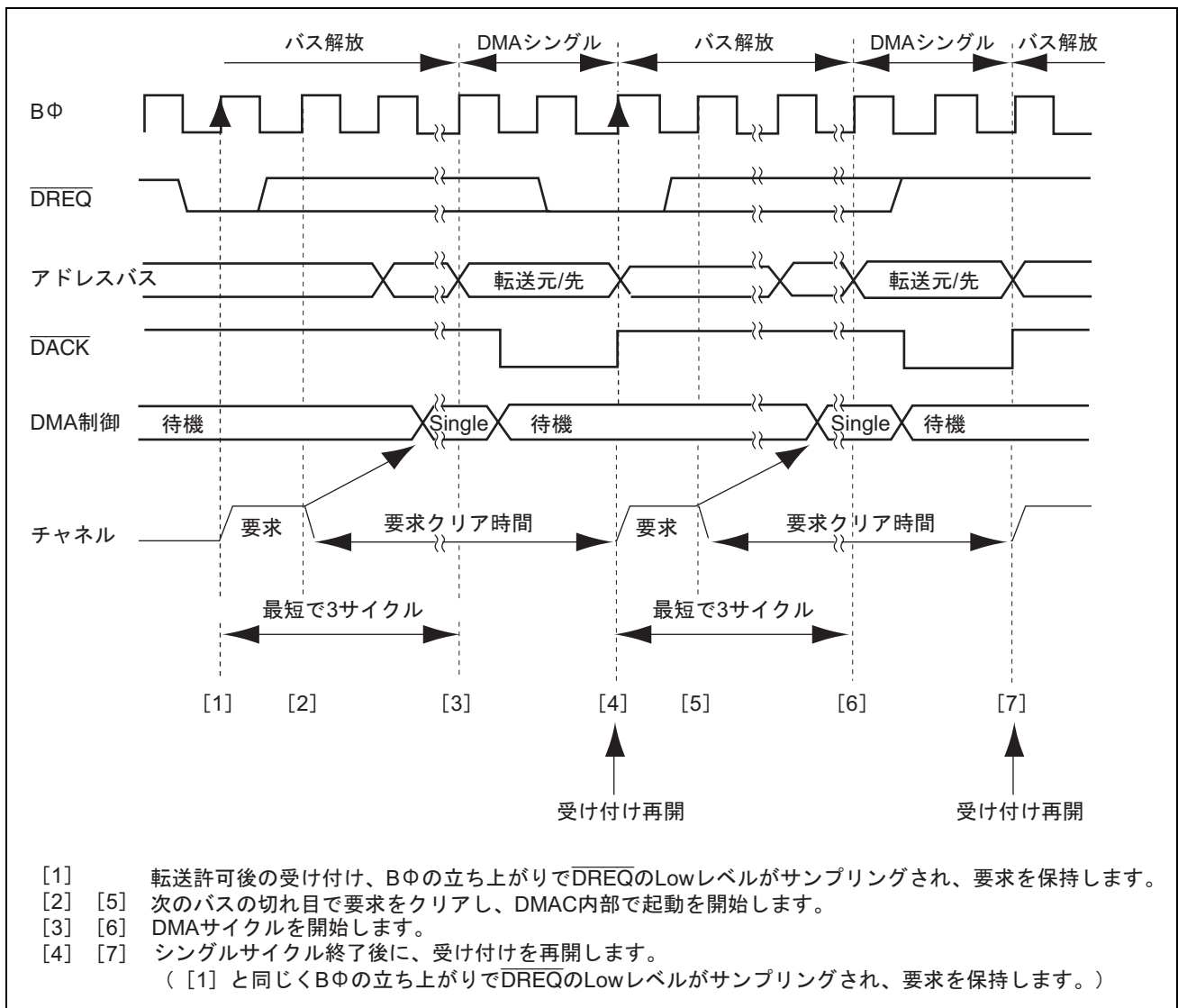


図 10.37 $\overline{\text{DREQ}}$ Low レベル起動時のシングルアドレスモードの転送例

(5) NRD=1 のときの $\overline{\text{DREQ}}$ Low レベル起動タイミング

DMDR の NRD ビットを 1 にセットすると、次の転送要求の受け付けタイミングを 1 サイクル遅延させることができます。

図 10.38 に NRD=1 のときの $\overline{\text{DREQ}}$ Low レベル起動時のシングルアドレスモードの転送例を示します。

$\overline{\text{DREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の B ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{DREQ}}$ の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に DMAC 内部で起動がかかると転送要求はクリアされます。シングルサイクル終了後に NRD=1 による 1 サイクルの要求クリア期間後に受け付けが再開され、再び $\overline{\text{DREQ}}$ の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

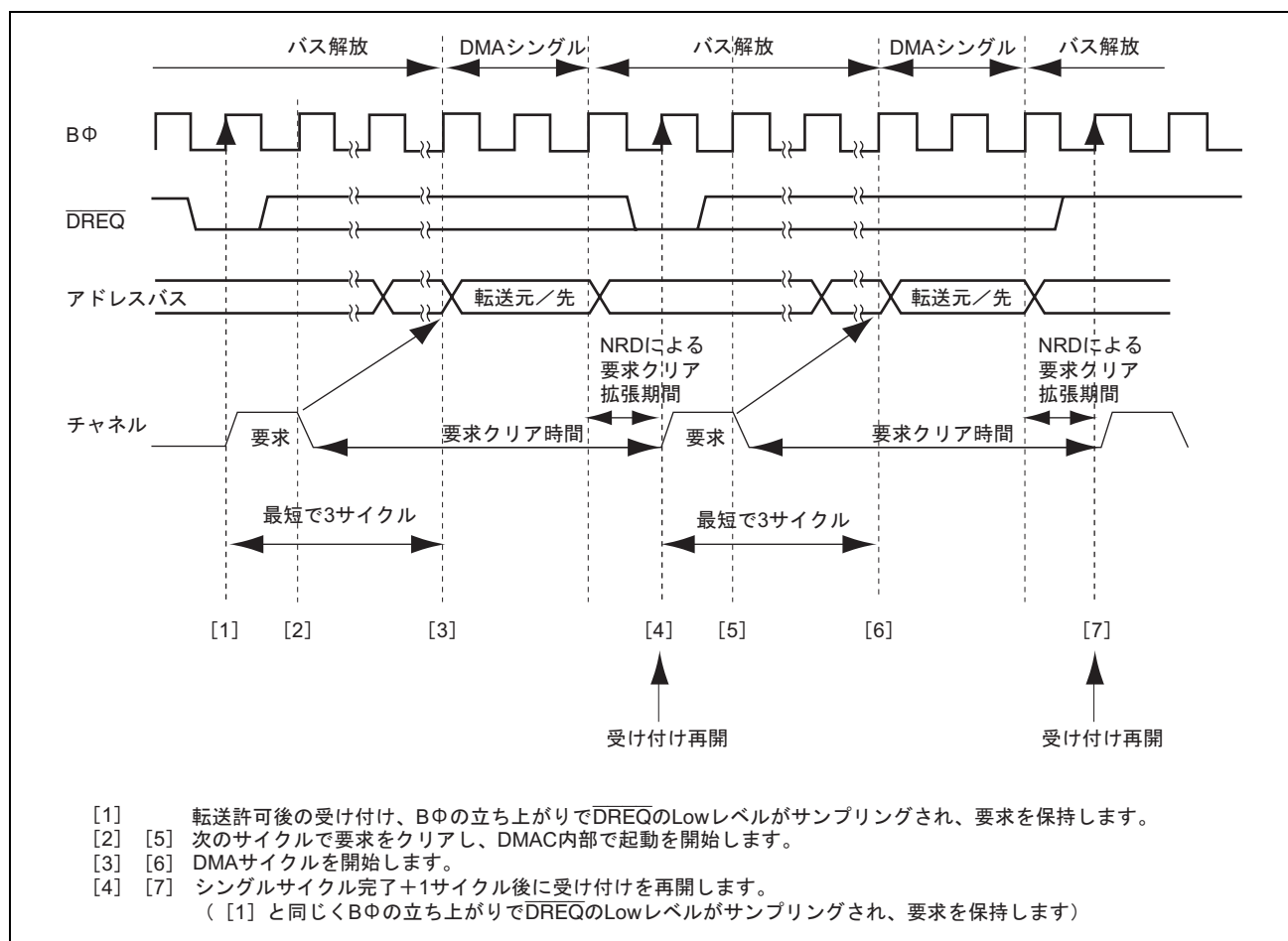


図 10.38 NRD=1 のときの $\overline{\text{DREQ}}$ Low レベル起動時のシングルアドレスモードの転送例

10.6 DMA 転送終了

DMA 転送終了は、転送終了条件によって動作が異なります。DMA 転送が終了すると、DMDR の DTE ビットと ACT ビットが 1 から 0 になり、DMA 転送が終了したことを示します。

(1) DTCR=1、2、4→0 による転送終了

DTCR の値が 1、2、または 4 から 0 になると対応するチャンネルの DMA 転送が終了し、DMDR の DTE ビットが 0 にクリアされ、同時に DMDR の DTIF ビットが 1 にセットされます。このとき DMDR の DTIE ビットが 1 にセットされていると、転送カウンタによる転送終了割り込み要求が発生します。DTCR の値が転送前から 0 の場合は、DMA 転送は終了しません。

(2) 転送サイズエラー割り込みによる転送終了

DMDR の TSEIE ビットが 1 にセットされているときに次の条件を満たすと、転送サイズエラー割り込み要求が発生し、DMA 転送を終了します。このとき DMDR の DTE ビットは 0 にクリアされ、同時に DMDR の ESIF ビットが 1 にセットされます。

- ノーマル転送モード、リピート転送モードにおいて、データアクセスサイズよりも DTCR の値が小さくなり、1 要求あたりのデータアクセスサイズ分の転送ができなくなった状態で、次の転送要求が発生したとき
- ブロック転送モードにおいて、ブロックサイズよりも DTCR の値が小さくなり、1 要求あたりのブロックサイズ分の転送ができなくなった状態で、次の転送要求が発生したとき

DMDR の TSEIE ビットが 0 にクリアされているときは、DTCR が 0 になるまで転送を行い、転送サイズエラー割り込み要求は発生しません。各転送モードごとの動作を以下に示します。

- ノーマル転送モードやリピート転送モードにおいて、データアクセスサイズよりも DTCR の値が小さいと、データアクセスサイズをバイトに固定して転送を行います。
- ブロック転送モードにおいて、ブロックサイズよりも DTCR の値が小さいと、ブロックサイズ分の転送を行わず DTCR 分の転送を行います。データアクセスサイズよりも DTCR の値が小さいときは、データアクセスサイズをバイトに固定して転送を行います。

(3) リピートサイズ終了割り込みによる転送終了

リピート転送モードにおいて、DACR の RPTIE ビットが 1 にセットされているときに、1 リピートサイズ分の転送終了後に次の転送要求が発生すると、リピートサイズ終了割り込み要求が発生します。割り込み要求の発生により DMA 転送を終了し、DMDR の DTE ビットが 0 にクリアされ、同時に DMDR の ESIF ビットが 1 にセットされます。この状態から DTE ビットを 1 にセットすると転送を再開させることができます。

ブロック転送モードにおいても、リピートサイズ終了割り込み要求を発生させることができます。ブロック転送モードでは、1 ブロック分の転送終了後に次の転送要求が発生すると、リピートサイズ終了割り込み要求が発生します。

(4) 拡張リピートエリアオーバーフロー割り込みによる転送終了

拡張リピートエリアを指定し、DACR の SARIE ビットまたは DARIE ビットが 1 にセットされているときに、アドレスの拡張リピートエリアがオーバーフローすると、拡張リピートエリアオーバーフロー割り込み要求

が発生します。割り込み要求の発生により DMA 転送は終了し、DMDR の DTE ビットが 0 にクリアされ、同時に DMDR の ESIF ビットが 1 にセットされます。

デュアルアドレスモードでは、リードサイクル中に拡張リポートエリアオーバフロー割り込み要求が発生しても続くライトサイクル処理は実行されます。

ブロック転送モードでは、1 ブロック分の転送中に拡張リポートエリアオーバフロー割り込み要求が発生しても 1 ブロック分の転送は実行されます。拡張リポートエリアオーバフロー割り込みによる転送終了は、ブロックサイズの区切りで発生します。

(5) DMDR の DTE ビットに 0 をライトして転送終了

CPU 等によって DMDR の DTE ビットに 0 をライトすると、転送中の DMA サイクルおよび転送要求を受け付けた DMA サイクルの実行後に転送終了されます。

ブロック転送モードでは、転送中の 1 ブロックサイズの転送終了後に DMA 転送を終了します。

(6) NMI 割り込みによる転送終了

NMI 割り込みが発生した場合、DMAC は全チャンネルの DTE ビットを 0 にクリアし、かつ DMDR_0 の ERRF ビットを 1 にセットします。DMA 転送中に NMI 割り込みが発生した場合、転送は強制的に終了します。NMI 割り込み発生後に DMA 転送を行う場合は、ERRF ビットを 0 にクリアした後に各チャンネルの DTE ビットを 1 にセットしてください。

以下に、NMI 割り込み検出後の転送終了タイミングを各モード毎に示します。

(a) ノーマル転送モード、リポート転送モード

デュアルアドレスモードでは、1 転送単位の DMA 転送のライトサイクル終了後に DMA 転送を終了します。

シングルアドレスモードでは、1 転送単位の DMA 転送のバスサイクル終了後に DMA 転送を終了します。

(b) ブロック転送モード

ブロックサイズ分の DMA 転送を中断して強制終了します。ブロックサイズ分の転送が正しく実行されなくなるため、転送要求に対する整合性は保証されません。

デュアルアドレスモードでは、ノーマル転送モードと同様にリードサイクルに対応するライトサイクルは実行されます。

(7) アドレスエラーによる転送終了

アドレスエラーが発生すると DMAC は全チャンネルの DTE ビットを 0 にクリアし、かつ DMDR_0 の ERRF ビットを 1 にセットします。DMA 転送中にアドレスエラーが発生した場合、転送は強制的に終了します。アドレスエラー発生後に DMA 転送を行う場合は、ERRF ビットを 0 にクリアした後に各チャンネルの DTE ビットを 1 にセットしてください。

アドレスエラー検出後の転送終了タイミングは、NMI 割り込みによる強制終了タイミングと同様です。

(8) ハードウェアスタンバイモード、リセット入力による転送終了

ハードウェアスタンバイモードまたはリセット入力により、DMAC は初期化されます。DMA 転送は保証されません。

10.7 DMAC と他のバスマスタの関係

10.7.1 CPU に対する DMAC の優先レベル制御機能

CPU プライオリティコントロールレジスタ (CPUPCR) の設定により、CPU に対する DMAC の優先レベル制御機能を使用することができます。詳細は「7.7 CPU に対する DTC、DMAC、EXDMAC の優先レベル制御機能」を参照してください。

DMAC の優先レベルは、DMDR の DMAP2~0 ビットで設定します。チャンネル毎に優先レベルを独立に設定することができます。

CPU の優先レベルは、CPUPCR の CPUP2~0 ビットで設定します。CPU の優先レベルは、CPUP2~0 ビットの値を割り込みマスクビットの値で更新することにより、例外処理のプライオリティレベルに対応した優先レベルに設定されます。

CPUPCR の CPUPCE ビットを 1 にセットして CPU の優先レベル制御を有効にすると、DMAC の優先レベルが CPU の優先レベルよりも低くなると対応するチャンネルの転送要求はマスクされ、当該チャンネルは起動されなくなります。他のチャンネルの優先レベルが CPU の優先レベルと同じか、高い場合は、チャンネル間の優先順位に関係なく、他のチャンネルの転送要求は受け付けられ転送が可能です。

CPU の優先レベル制御機能により転送要求をマスクされた転送要因は保留され、CPU の優先レベルまたは当該チャンネルの優先レベルを更新して CPU の優先レベルが当該チャンネルの優先レベルよりも低くなると、転送要求を受け付けて転送を開始します。保留されている転送要求は、DTE ビットに 0 をライトするとクリアされます。

CPUPCE ビットを 0 にクリアすると CPU の優先レベルは最低と見なされます。

10.7.2 他のバスマスタとのバス権の調停

DMA 転送サイクルが連続する場合、各バスサイクルの間に他のバスマスタのサイクルが挿入される場合と、挿入されない場合があります。設定により DMAC のバス権をいったん解放して他のバスマスタにバス権を譲ることができます。

DMA 転送サイクルが連続するバスサイクルには、転送モードの仕様により不可分割となる場合、転送モードの仕様により高速アクセスのためバスサイクルが連続する場合があります。

DMA 転送サイクルのリードとライトの間は不可分割となっています。このため、DMA 転送サイクルのリードとライトの間にリフレッシュサイクル、外部バス解放サイクル、内部バスマスタ (CPU、DTC、EXDMAC*) のサイクルは発生しません。

ブロック転送モード、およびオートリクエストのバーストモードの転送では、DMA 転送のバスサイクルは連続します。この期間、CPU、DTC はバス権の優先順位が DMAC よりも低いため外部空間アクセスは待たされます (バスコントロールレジスタ 2 (BCR2) の IBCCS=0 のとき)。

他のチャンネルに切り替わる時、およびオートリクエストのサイクルスチールモードの転送では、DMA 転送サイクルは内部バスマスタと交互にバスサイクルを実行します。

BCR2 の IBCCS ビットを 1 にセットして DMAC と内部バスマスタとの間の調停機能を有効にすると、不可分割のバスサイクルを除いて、バス権をいったん解放して内部バスマスタとの間で交互にバス権を取得します。詳細は「9. バスコントローラ (BSC)」を参照してください。

DMAC が外部空間をアクセスする場合、リフレッシュサイクル*、EXDMAC サイクル*、または外部バス解放サイクルとの競合が発生することがあります。このときバスコントローラは、外部バスの優先順位に従って、DMAC がバースト転送またはブロック転送を行っているときでも転送をいったん中断し、リフレッシュサイクル*、EXDMAC サイクル*、または外部バス解放サイクルを挿入します (DMAC よりも優先順位の低い DTC、CPU の外部アクセスは、DMAC が外部バスを解放するまで動作しません)。

DMAC の転送モードがデュアルアドレスモードの場合、DMAC が外部バスを解放するタイミングは外部ライトサイクルの後となります。外部リードサイクルと外部ライトサイクルの間は不可分割のため、この間にバスを解放することはありません。

DMAC が内部空間 (内蔵メモリ、内部 I/O レジスタ) をアクセスする場合、DMAC サイクルがリフレッシュサイクル*、EXDMAC サイクル*、または外部バス解放サイクルと同時に行為ることがあります。

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート。

10.8 割り込み要因

DMAC が発生する割り込み要因は、転送カウンタによる転送終了、転送カウンタが 0 にならずに転送終了するエスケープ終了割り込みです。表 10.7 に割り込み要因と優先度を示します。

表 10.7 割り込み要因と優先度

名称	割り込み要因	割り込み優先順位
DMTEND0	チャンネル 0 の転送カウンタによる転送終了割り込み	
DMTEND1	チャンネル 1 の転送カウンタによる転送終了割り込み	
DMTEND2	チャンネル 2 の転送カウンタによる転送終了割り込み	
DMTEND3	チャンネル 3 の転送カウンタによる転送終了割り込み	
DMEEND0	チャンネル 0 の転送サイズエラーによる割り込み	
	チャンネル 0 のリピートサイズ終了割り込み	
	チャンネル 0 のソースアドレス拡張リピートエリアオーバーフローによる割り込み	
	チャンネル 0 のデスティネーションアドレス拡張リピートエリアオーバーフローによる割り込み	
DMEEND1	チャンネル 1 の転送サイズエラーによる割り込み	
	チャンネル 1 のリピートサイズ終了割り込み	
	チャンネル 1 のソースアドレス拡張リピートエリアオーバーフローによる割り込み	
	チャンネル 1 のデスティネーションアドレス拡張リピートエリアオーバーフローによる割り込み	
DMEEND2	チャンネル 2 の転送サイズエラーによる割り込み	
	チャンネル 2 のリピートサイズ終了割り込み	
	チャンネル 2 のソースアドレス拡張リピートエリアオーバーフローによる割り込み	
	チャンネル 2 のデスティネーションアドレス拡張リピートエリアオーバーフローによる割り込み	
DMEEND3	チャンネル 3 の転送サイズエラーによる割り込み	
	チャンネル 3 のリピートサイズ終了割り込み	
	チャンネル 3 のソースアドレス拡張リピートエリアオーバーフローによる割り込み	
	チャンネル 3 のデスティネーションアドレス拡張リピートエリアオーバーフローによる割り込み	

各割り込み要因は、対応するチャンネルの DMDR の DTIE ビットと ESIE ビットにより許可または禁止を設定できます。DTIE ビットは、DMDR の DTIF ビットとの組み合わせで DMTEND 割り込みを発生させます。ESIE ビットは、DMDR の ESIF ビットとの組み合わせで DMEEND 割り込みを発生させます。DMEEND 内の割り込み要因は共通の割り込みとして区別されません。チャンネル間の割り込みの優先順位は、割り込みコントローラによって決められており、表 10.7 に示すようになっています。詳細は「7. 割り込みコントローラ」を参照してください。

各割り込み要因は、対応するチャンネルのレジスタの割り込みイネーブルビットで設定します。転送カウンタによる転送終了割り込みは DMDR の DTIE ビット、転送サイズエラーによる割り込みは DMDR の TSEIE ビット、リピートサイズ終了による割り込みは DACR の RPTIE ビット、ソースアドレス拡張リピートエリアオーバーフロー割り込みは DACR の SARIE ビット、デスティネーションアドレス拡張リピートエリアオーバーフロー割り込みは DACR の DARIE ビットにより許可または禁止を設定します。

転送カウンタによる転送終了割り込みは、DMDR の DTIE ビットが 1 にセットされていると、転送により DTCR が 0 になり DMDR の DTIF ビットが 1 にセットされたときに発生します。

転送カウンタによる転送終了割り込み以外の割り込みは、対応する割り込みイネーブルビットが 1 にセットされていると、転送により対応する条件が発生し DMDR の ESIF ビットが 1 にセットされたときに発生します。

転送サイズエラーによる割り込みは、データアクセスサイズよりも DTCR の値が小さくなり 1 要求あたりのデータアクセスサイズ分の転送ができないときに転送要求があると発生します。ブロック転送モードでは、ブロックサイズと DTCR の値を比較して転送サイズエラー判定を行います。

リピートサイズ終了割り込みは、リピート転送モードにおいてリピートサイズ分の転送終了後に次の転送要求があると発生します。リピートエリアをアドレスレジスタに設定しない場合でもリピートサイズに設定した値により定期的に転送を中断させることができます。同時に転送カウンタによる転送終了割り込みが発生した場合も、ESIF ビットは 1 にセットされます。

ソースアドレス拡張リピートエリアオーバーフロー割り込み、およびデスティネーションアドレス拡張リピートエリアオーバーフロー割り込みは、拡張リピートエリアを設定して対応するアドレスがリピートエリアオーバーフローになったときに発生します。同時に転送カウンタによる転送終了割り込みが発生した場合も、ESIF ビットは 1 にセットされます。

各種割り込みと割り込みフラグのブロック図を図 10.39 に示します。割り込みを解除するには、割り込み処理ルーチンにて DMDR の DTIF ビットまたは ESIF ビットを 0 にクリアする方法と、レジスタの再設定後に DMDR の DTE ビットを 1 にセットして転送継続の処理を行う方法があります。割り込みを解除して、転送を再開する手順例を図 10.40 に示します。

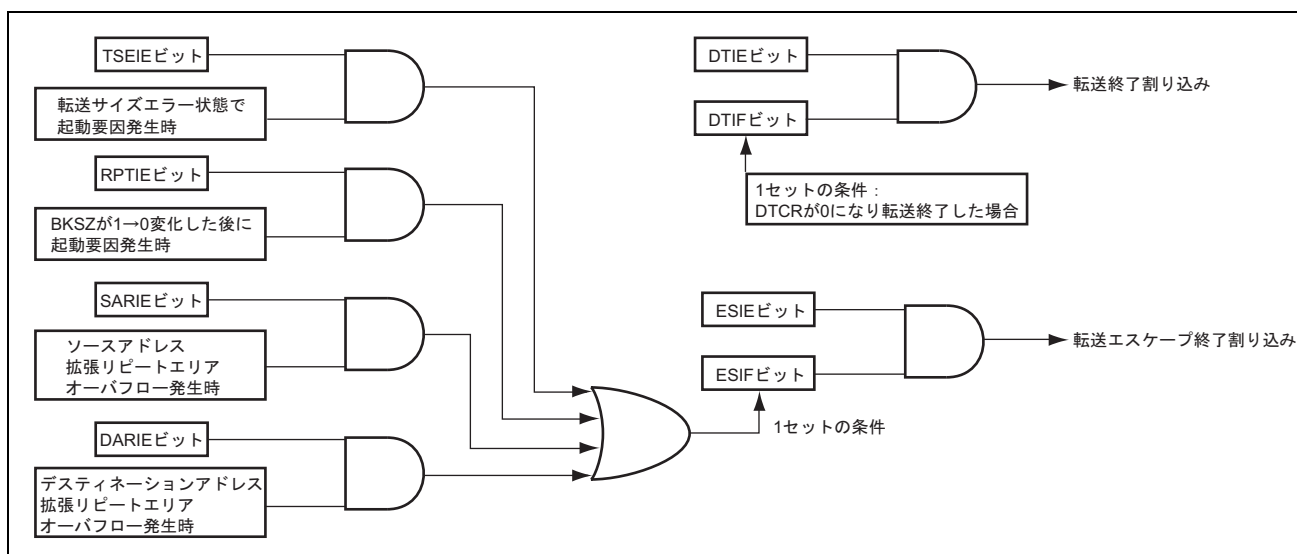


図 10.39 割り込みと割り込み要因

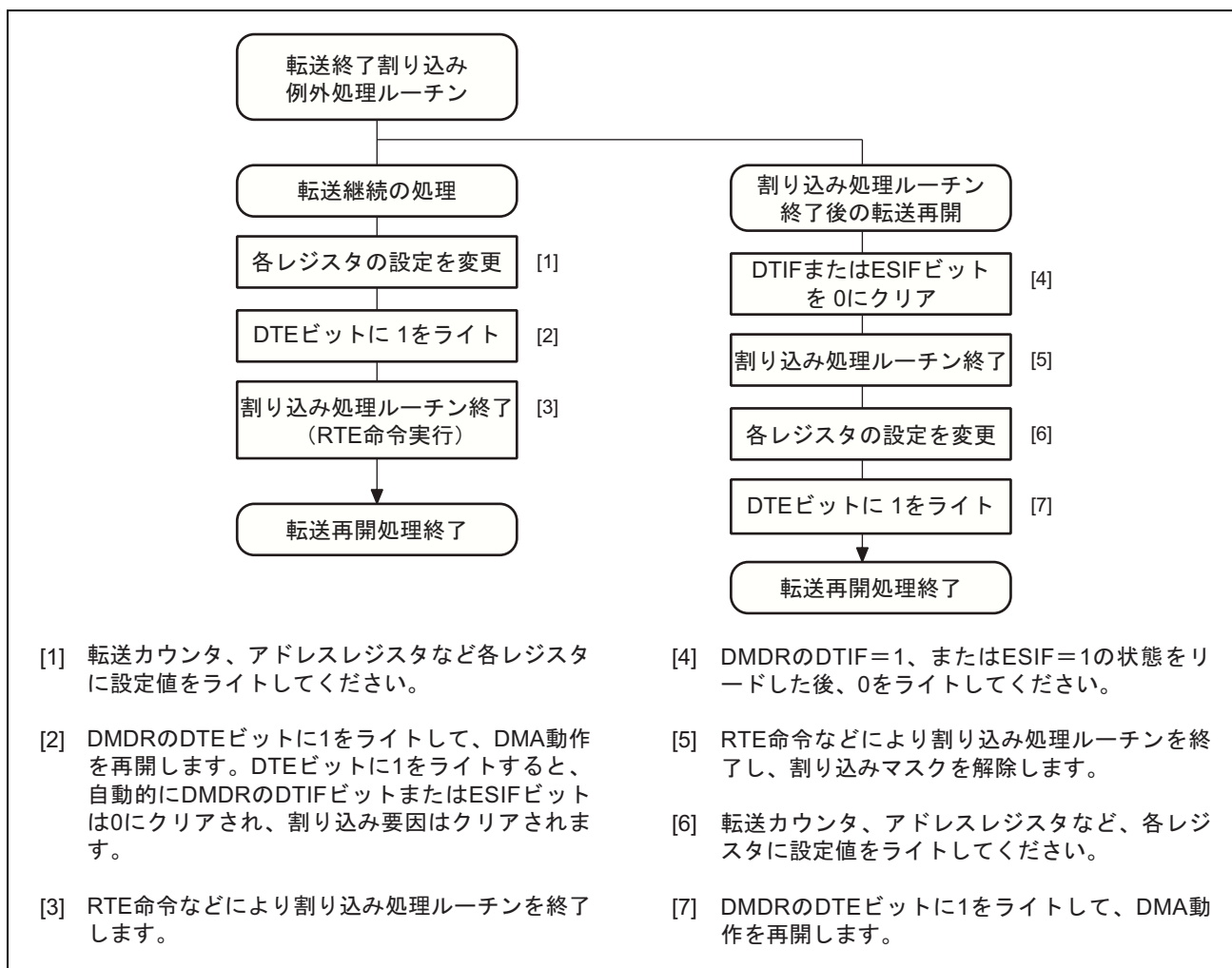


図 10.40 割り込みを解除して、転送を再開する手順例

10.9 使用上の注意事項

(1) 動作中の DMAC レジスタのアクセス

DMDR の DTE ビットを 0 にクリアする場合を除き、動作中 (転送待ち状態を含む) にチャンネルの設定を変更しないでください。動作中にチャンネルの設定を変更する場合は、必ず転送禁止状態で行ってください。

(2) モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、DMAC の動作停止/許可を設定することができます。初期値では、DMAC は動作許可状態です。

MSTPCRA の MSTPA13 ビットを 1 にセットすると、DMAC に供給されるクロックが停止し、DMAC はモジュールストップ状態になります。ただし、DMAC のいずれかのチャンネルが転送許可状態になっている場合、および割り込み要求を発生中の場合は、MSTPA13 ビットを 1 にセットできません。DMDR の DTE ビットを 0 にクリアして、DMDR の DTIF ビットまたは DTIE ビットを 0 にクリアしてから MSTPA13 ビットを設定してください。

DMAC のクロックが停止すると、DMAC のレジスタに対するアクセスができなくなります。次の DMAC のレジスタ設定は、モジュールストップ状態でも有効となりますので、必要に応じてモジュールストップ状態に先立って無効にしてください。

- DMDR の TEND \bar{E} = 1 ($\overline{\text{TEND}}$ 端子イネーブル)
- DMDR の DACK \bar{E} = 1 ($\overline{\text{DACK}}$ 端子イネーブル)

(3) $\overline{\text{DREQ}}$ 立ち下がリエッジ起動

$\overline{\text{DREQ}}$ 立ち下がリエッジ検出は、DMAC の内部動作に同期して行います。

1. 起動要求待ち状態： $\overline{\text{DREQ}}$ の Low レベル検出を待ち。[2.] に遷移します。
2. 転送待ち状態：DMAC のデータ転送許可待ち。[3.] に遷移します。
3. 起動要求禁止状態： $\overline{\text{DREQ}}$ の High レベル検出を待ち。[1.] に遷移します。

DMAC の転送許可後は [1.] に遷移します。このため、転送許可後の最初の起動は Low レベル検出で行われます。

(4) 起動要因の受け付け

起動要因の受け付け開始時は、 $\overline{\text{DREQ}}$ の立ち下がリエッジセンス/Low レベルセンスともに Low レベルを検出しています。従って、転送許可状態にするための DMDR ライト実行以前から発生している $\overline{\text{DREQ}}$ の Low レベル検出による転送要求を受け付けます。

DMAC の起動時には、前回の転送終了時に $\overline{\text{DREQ}}$ の Low レベルが残らないようにしてください。

11. EXDMA コントローラ (EXDMAC)

EXDMAC は、H8SX/1648G グループ、H8SX/1648H グループでサポートしています。H8SX/1648 グループ、H8SX/1648A グループ、H8SX/1648L グループではサポートしていません。

本 LSI は、4 チャンネルの外部バス転送専用 DMA コントローラ (EXDMAC) を内蔵しています。EXDMAC は、外部デバイス、外部メモリ間のデータ転送を CPU に代わって高速に行うことができます。また、EXDMAC 以外から外部バス要求がないときは、CPU の内部動作と並行して外部バス転送を行うことができます。

11.1 特長

- 最大4Gバイトのアドレス空間をアクセス可能
- データ転送単位はバイト、ワード、またはロングワードを選択可能
- 総転送サイズは最大4Gバイト (4,294,967,295バイト) 設定可能
総転送サイズを設定しないフリーランニングモードも選択可能
- EXDMACの起動方法は、オートリクエスト、外部リクエストを選択可能
オートリクエスト：CPUより起動 (サイクルスチールモードとバーストモードの選択が可能)
外部リクエスト： $\overline{\text{EDREQ}}$ 信号のLowレベル検出、または立ち下がりエッジ検出を選択可能
4チャンネルすべて外部リクエストを受け付け可能
- アドレスモードはデュアルアドレスモード、シングルアドレスモードを選択可能
デュアルアドレスモード：転送元、転送先双方をアドレス指定しデータを転送
シングルアドレスモード：転送元、または転送先の周辺デバイスを $\overline{\text{EDACK}}$ 信号でアクセスし、
もう一方をアドレス指定してデータを転送
- 転送モードはノーマル転送モード、リピート転送モード、ブロック転送モード、クラスタ転送モード (EXDMAC専用機能) を選択可能
ノーマル転送モード：1バイト/1ワード/1ロングワードを1回の転送要求で転送
リピート転送モード：1バイト/1ワード/1ロングワードを1回の転送要求で転送
リピートサイズ分、データを転送すると転送開始時のアドレスに復帰
リピートサイズは最大64k回 (65,536バイト/ワード/ロングワード) 設定可能
ブロック転送モード：1ブロックのデータを1回の転送要求で転送
ブロックサイズは最大64k回 (65,536バイト/ワード/ロングワード) 設定可能
クラスタ転送モード：1クラスタのデータを1回の転送要求で転送
クラスタサイズは最大32バイト設定可能
- 拡張リピートエリア機能 (転送アドレスレジスタの上位ビットの値を固定して特定範囲のアドレス値を繰り返させ、リングバッファなどのデータ転送を行う) を選択可能
拡張リピートエリアには、1ビット (2バイト) ~27ビット (128Mバイト) を転送元、転送先別に設定可能
- アドレス更新は、1、2または4の増減、固定、オフセット加算を選択可能

11. EXDMA コントローラ (EXDMAC)

オフセット加算でアドレスを更新させると、途中のアドレスを飛ばしたデータ転送可能

- ワードデータや、ロングワードデータを各データ境界から外れたアドレスに転送可能
データ転送時にアドレスに応じた最適なデータ (バイトやワード) に分割して転送可能
- CPUに2種類の割り込み要求を発生
転送終了割り込み：転送カウンタで設定したデータ数を転送終了後に発生
転送エスケープ終了割り込み：残る総転送サイズが1回の転送要求で転送する設定サイズを下回ったとき、リピートサイズ分のデータ転送を終了したとき、または拡張リピートエリアがオーバフローしたときに発生
- $\overline{\text{EDRAK}}$ 端子により、外部デバイスに対して転送要求を受け付けたことを通知可能
(EXDMAC専用機能)
- EXDMACは専用バスに接続されており、CPU、DTC、DMACなどのバスマスタとの並行動作可能
(EXDMAC専用機能)
- モジュールストップ状態への設定可能

EXDMAC のブロック図を図 11.1 に示します。

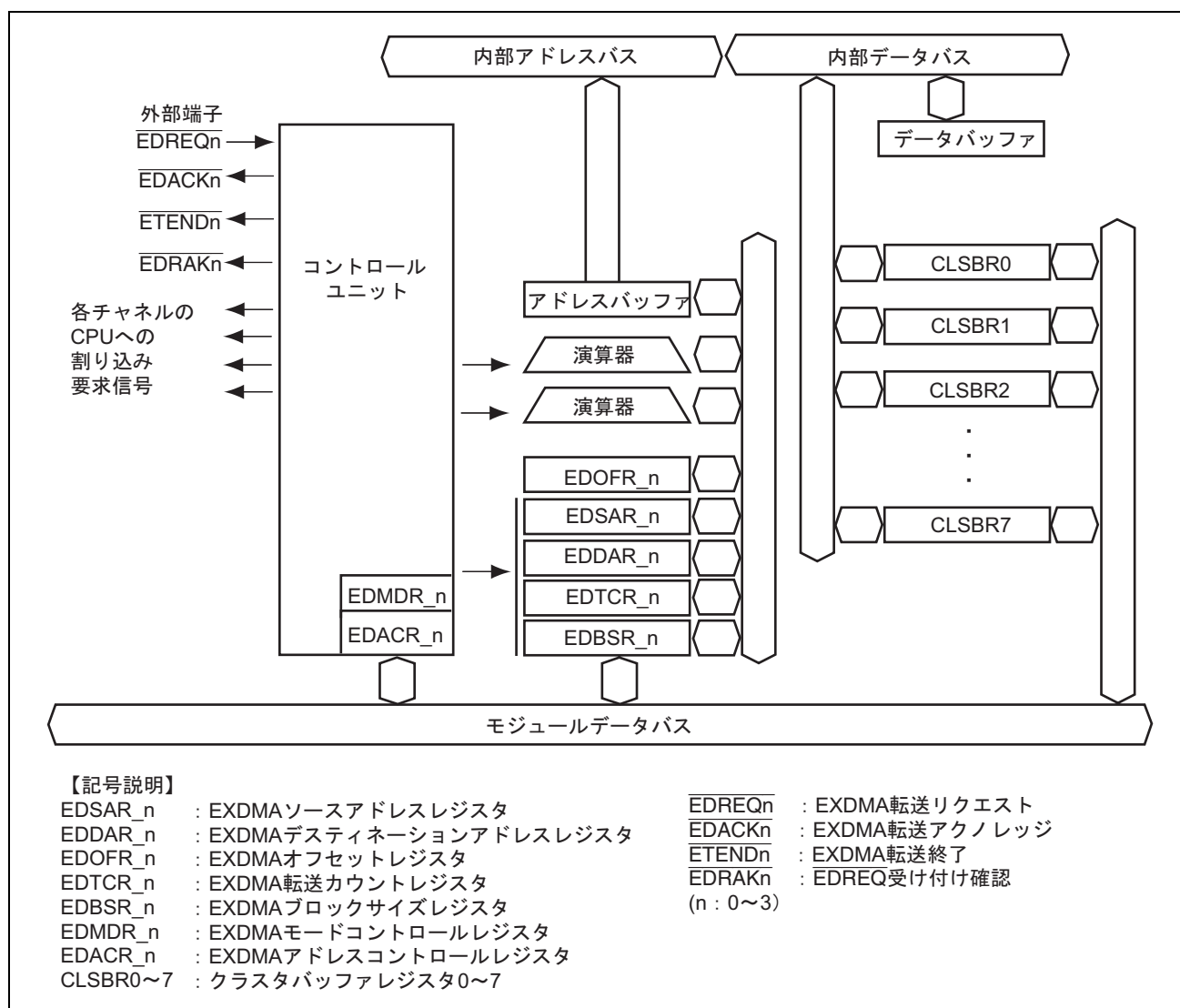


図 11.1 EXDMAC のブロック図

11. EXDMA コントローラ (EXDMAC)

11.2 入出力端子

EXDMAC の端子構成を表 11.1 に示します

表 11.1 端子構成

チャンネル	名称	略称	入出力	機能
0	EXDMA 転送リクエスト 0	$\overline{\text{EDREQ0}}$	入力	チャンネル 0 の外部リクエスト
	EXDMA 転送アクノレッジ 0	$\overline{\text{EDACK0}}$	出力	チャンネル 0 のシングルアドレス転送アクノレッジ
	EXDMA 転送終了 0	$\overline{\text{ETEND0}}$	出力	チャンネル 0 の転送終了
	$\overline{\text{EDREQ0}}$ 受け付け確認	$\overline{\text{EDRAK0}}$	出力	チャンネル 0 の外部リクエスト受け付け、実行開始を外部デバイスに通知
1	EXDMA 転送リクエスト 1	$\overline{\text{EDREQ1}}$	入力	チャンネル 1 の外部リクエスト
	EXDMA 転送アクノレッジ 1	$\overline{\text{EDACK1}}$	出力	チャンネル 1 のシングルアドレス転送アクノレッジ
	EXDMA 転送終了 1	$\overline{\text{ETEND1}}$	出力	チャンネル 1 の転送終了
	$\overline{\text{EDREQ1}}$ 受け付け確認	$\overline{\text{EDRAK1}}$	出力	チャンネル 1 の外部リクエスト受け付け、実行開始を外部デバイスに通知
2	EXDMA 転送リクエスト 2	$\overline{\text{EDREQ2}}$	入力	チャンネル 2 の外部リクエスト
	EXDMA 転送アクノレッジ 2	$\overline{\text{EDACK2}}$	出力	チャンネル 2 のシングルアドレス転送アクノレッジ
	EXDMA 転送終了 2	$\overline{\text{ETEND2}}$	出力	チャンネル 2 の転送終了
	$\overline{\text{EDREQ2}}$ 受け付け確認	$\overline{\text{EDRAK2}}$	出力	チャンネル 2 の外部リクエスト受け付け、実行開始を外部デバイスに通知
3	EXDMA 転送リクエスト 3	$\overline{\text{EDREQ3}}$	入力	チャンネル 3 の外部リクエスト
	EXDMA 転送アクノレッジ 3	$\overline{\text{EDACK3}}$	出力	チャンネル 3 のシングルアドレス転送アクノレッジ
	EXDMA 転送終了 3	$\overline{\text{ETEND3}}$	出力	チャンネル 3 の転送終了
	$\overline{\text{EDREQ3}}$ 受け付け確認	$\overline{\text{EDRAK3}}$	出力	チャンネル 3 の外部リクエスト受け付け、実行開始を外部デバイスに通知

11.3 レジスタの説明

EXDMAC には以下のレジスタがあります。

チャンネル0

- EXDMAソースアドレスレジスタ_0 (EDSAR_0)
- EXDMAデスティネーションアドレスレジスタ_0 (EDDAR_0)
- EXDMAオフセットレジスタ_0 (EDOFR_0)
- EXDMA転送カウントレジスタ_0 (EDTCR_0)
- EXDMAブロックサイズレジスタ_0 (EDBSR_0)
- EXDMAモードコントロールレジスタ_0 (EDMDR_0)
- EXDMAアドレスコントロールレジスタ_0 (EDACR_0)

チャンネル1

- EXDMAソースアドレスレジスタ_1 (EDSAR_1)
- EXDMAデスティネーションアドレスレジスタ_1 (EDDAR_1)
- EXDMAオフセットレジスタ_1 (EDOFR_1)
- EXDMA転送カウントレジスタ_1 (EDTCR_1)
- EXDMAブロックサイズレジスタ_1 (EDBSR_1)
- EXDMAモードコントロールレジスタ_1 (EDMDR_1)
- EXDMAアドレスコントロールレジスタ_1 (EDACR_1)

チャンネル2

- EXDMAソースアドレスレジスタ_2 (EDSAR_2)
- EXDMAデスティネーションアドレスレジスタ_2 (EDDAR_2)
- EXDMAオフセットレジスタ_2 (EDOFR_2)
- EXDMA転送カウントレジスタ_2 (EDTCR_2)
- EXDMAブロックサイズレジスタ_2 (EDBSR_2)
- EXDMAモードコントロールレジスタ_2 (EDMDR_2)
- EXDMAアドレスコントロールレジスタ_2 (EDACR_2)

チャンネル3

- EXDMAソースアドレスレジスタ_3 (EDSAR_3)
- EXDMAデスティネーションアドレスレジスタ_3 (EDDAR_3)
- EXDMAオフセットレジスタ_3 (EDOFR_3)
- EXDMA転送カウントレジスタ_3 (EDTCR_3)
- EXDMAブロックサイズレジスタ_3 (EDBSR_3)

11. EXDMA コントローラ (EXDMAC)

- EXDMAモードコントロールレジスタ_3 (EDMDR_3)
- EXDMAアドレスコントロールレジスタ_3 (EDACR_3)

共通レジスタ

- クラスタバッファレジスタ0~7 (CLSBR0~CLSBR7)

11.3.1 EXDMA ソースアドレスレジスタ (EDSAR)

EDSAR は、転送元のアドレスを指定するための 32 ビットのリード/ライト可能なレジスタです。アドレス更新機能を持ち、転送処理が行われるたびに次の転送元アドレスに更新されます。シングルアドレスモードにおいて、EDDAR をデスティネーションアドレスとして転送すると (EDACR の DIRS=1)、EDSAR の値は無視されます。

EDSAR は CPU から常にリード可能ですが、転送処理中のチャンネルの EDSAR をリードするときは、ロングワードサイズでリードしてください。EXDMA 動作中のチャンネルの EDSAR にはライトしないでください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.3.2 EXDMA デスティネーションアドレスレジスタ (EDDAR)

EDDAR は、転送先のアドレスを指定するための 32 ビットのリード/ライト可能なレジスタです。アドレス更新機能を持ち、転送処理が行われるたびに次の転送先アドレスに更新されます。シングルアドレスモードにおいて、EDSAR をソースアドレスとして転送すると (EDACR の DIRS=0)、EDDAR の値は無視されま

す。EDDAR は CPU から常にリード可能ですが、転送処理中のチャンネルの EDDAR をリードするときは、ロングワードサイズでリードしてください。EXDMA 動作中のチャンネルの EDDAR にはライトしないでください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.3.3 EXDMA オフセットレジスタ (EDOFR)

EDOFR は、ソースアドレス、デスティネーションアドレスの更新に、オフセット加算を選択したときのオフセット値を設定する 32 ビットのリード/ライト可能なレジスタです。各チャンネル毎に独立して設定できますが、同一チャンネル内ではソース側、デスティネーション側ともに同じオフセット値を使用します。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.3.4 EXDMA 転送カウントレジスタ (EDTCR)

EDTCR は、転送するデータのサイズ (総転送サイズ) を設定するための 32 ビットのリード/ライト可能なレジスタです。

EDTCR を H'00000001 に設定すると、総転送サイズは 1 バイトになります。H'00000000 に設定すると、「総転送サイズ=指定なし」となり、転送カウンタは停止して転送を行います (フリーランニングモード)。このとき、転送カウンタによる転送終了割り込みは発生しません。H'FFFFFFFF に設定すると、総転送サイズは最大値 4G バイト (4,294,967,295 バイト) になります。EXDMA 動作中は残りの転送サイズを示します。1 データ転送毎に、転送したデータアクセスサイズに応じた値がデクリメントされます (バイト: -1、ワード: -2、ロングワード: -4)。

EDTCR は CPU から常にリード可能ですが、転送処理中のチャンネルの EDTCR をリードするときは、ロングワードサイズでリードしてください。EXDMA 動作中のチャンネルの EDTCR にはライトしないでください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.3.5 EXDMA ブロックサイズレジスタ (EDBSR)

EDBSR は、リピートサイズ、ブロックサイズ、クラスタサイズを設定します。EDBSR は、リピート転送モード、ブロック転送モード、クラスタ転送モードのときに有効となり、ノーマル転送モードのときには無効です。

クラスタ転送デュアルアドレスモード時に、BKSZH、BKSZ に対して H'0001 を設定した場合は、ブロック転送モードのデュアルアドレスモードとして動作します。

ビット	31	...	16
ビット名	BKSZH31	...	BKSZH16
初期値 :	0	...	0
R/W :	R/W	...	R/W
ビット	15	...	0
ビット名	BKSZ15	...	BKSZ0
初期値 :	0	...	0
R/W :	R/W	...	R/W

ビット	ビット名	初期値	R/W	説明
31~16	BKSZH31~ BKSZH16	すべて 0	R/W	リピートサイズ、ブロックサイズ、クラスタサイズを設定します。これらのビットを H'0001 に設定すると 1 バイト、1 ワード、または 1 ロングワードになります。H'0000 に設定すると最大値になります (表 11.2 参照)。EXDMA 動作中は常に固定です。
15~0	BKSZ15~ BKSZ0	すべて 0	R/W	EXDMA 動作中は、リピートサイズ、ブロックサイズ、クラスタサイズの残りサイズを示します。1 データ転送毎に-1 されます。残りサイズが 0 になると BKSZH の値がロードされます。ライトするときは、BKSZH と同じ値を設定してください。

表 11.2 データアクセスサイズと有効ビット、設定可能サイズの対応

モード	データアクセスサイズ	BKSZH 有効ビット	BKSZ 有効ビット	設定可能サイズ (バイト)
リピート転送モード ブロック転送モード	バイト	31~16	15~0	1~65,536
	ワード			2~131,072
	ロングワード			4~262,144
クラスタ転送モード	バイト	20~16	4~0	1~32
	ワード	19~16	3~0	2~32
	ロングワード	18~16	2~0	4~32

11.3.6 EXDMA モードコントロールレジスタ (EDMDR)

EDMDR は、EXDMAC の動作を制御します。

• EDMDR_0

ビット	31	30	29	28	27	26	25	24
ビット名	DTE	EDACKE	ETENDE	EDRAKE	EDREQS	NRD	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R
ビット	23	22	21	20	19	18	17	16
ビット名	ACT	—	—	—	ERRF	—	ESIF	DTIF
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/(W)*	R	R/(W)*	R/(W)*
ビット	15	14	13	12	11	10	9	8
ビット名	DTSZ1	DTSZ0	MDS1	MDS0	TSEIE	—	ESIE	DTIE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	DTF1	DTF0	—	—	—	EDMAP2	EDMAP1	EDMAP0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R	R/W	R/W	R/W

【注】 * フラグをクリアするための1リード後の0ライトのみ可能です。

• EDMDR_1~EDMDR_3

ビット	31	30	29	28	27	26	25	24
ビット名	DTE	EDACKE	ETENDE	EDRAKE	EDREQS	NRD	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R
ビット	23	22	21	20	19	18	17	16
ビット名	ACT	—	—	—	—	—	ESIF	DTIF
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/(W)*	R/(W)*
ビット	15	14	13	12	11	10	9	8
ビット名	DTSZ1	DTSZ0	MDS1	MDS0	TSEIE	—	ESIE	DTIE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	DTF1	DTF0	—	—	—	EDMAP2	EDMAP1	EDMAP0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R	R/W	R/W	R/W

【注】 * フラグをクリアするための1リード後の0ライトのみ可能です。

11. EXDMA コントローラ (EXDMAC)

ビット	ビット名	初期値	R/W	説明
31	DTE	0	R/W	<p>データトランスファイナブル 対応するチャンネルのデータ転送を許可または禁止します。このビットが1にセットされていると、EXDMA 動作中であることを示します。 オートリクエストのときに、このビットを1にセットすると転送処理に入ります。外部リクエストでは、このビットに1をセットした後に転送要求が発生すると転送処理に入ります。EXDMA 動作中にこのビットを0にクリアすると転送を停止します。 ブロック転送モードでは、EXDMA 動作中にこのビットを0にクリアすると、処理中の1ブロックの転送終了後にこのビットが0にクリアされます。クラスタ転送モードでは、EXDMA 動作中にこのビットを0にクリアすると、処理中の1クラスタの転送終了後にこのビットが0にクリアされます。転送を終了（中断）させる外的要因が発生した場合は、自動的にこのビットが0にクリアされ転送を終了させます。 このビットを1にセットした状態で、動作モード、転送方法などを変更しないでください。</p> <p>0 : データ転送を禁止 1 : データ転送を許可 (EXDMA 動作中)</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 設定の総転送サイズ数の転送を終了したとき • リピートサイズ終了割り込みにより停止したとき • 拡張リピートエリアオーバーフロー割り込みにより停止したとき • 転送サイズエラー割り込みにより停止したとき • 0 をライトして転送を終了したとき <p>ただし、ブロック転送モードでは1ブロック転送終了後、クラスタ転送モードでは1クラスタ転送終了後に反映</p> <ul style="list-style-type: none"> • アドレスエラー、NMI 割り込みが発生したとき • リセット、ハードウェアスタンバイモード時
30	EDACKE	0	R/W	<p>EDACK 端子出力イネーブル シングルアドレスモードのとき、EDACK 端子の出力を許可または禁止します。デュアルアドレスモードのときは、このビットは無視されます。</p> <p>0 : EDACK 端子の出力を禁止 1 : EDACK 端子の出力を許可</p>
29	ETENDE	0	R/W	<p>ETEND 端子出力イネーブル ETEND 端子の出力を許可または禁止します。</p> <p>0 : ETEND 端子の出力を禁止 1 : ETEND 端子の出力を許可</p>
28	EDRAKE	0	R/W	<p>EDRAK 端子出力イネーブル EDRAK 端子の出力を許可または禁止します。</p> <p>0 : EDRAK 端子の出力を禁止 1 : EDRAK 端子の出力を許可</p>

11. EXDMA コントローラ (EXDMAC)

ビット	ビット名	初期値	R/W	説明
27	EDREQS	0	R/W	EDREQ セレクト 外部リクエストモードで使用する EDREQ 端子のサンプリング方法を、Low レベル検出にするか、立ち下がリエッジ検出にするかを選択します。 0: Low レベル検出 1: 立ち下がリエッジ検出 (転送許可後の最初の転送は、Low レベルで検出します。)
26	NRD	0	R/W	ネクストリクエストディレイ 次のリクエストの受付タイミングを選択します。 0: 転送中のバスサイクル終了後に、次の転送要求受付を開始 1: 転送中のバスサイクル終了時点から Bφで1サイクル後に、次の転送要求の受付を開始
25	—	0	R	リザーブビット
24	—	0	R	リードすると常に0が読み出されます。ライトは無効です。
23	ACT	0	R	アクティブステート 当該チャネルの動作状態を示すビットです。 0: 転送要求待ち状態、または DTE=0 による転送禁止状態 1: アクティブ状態
22~20	—	すべて0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
19	ERRF	0	R(W)*	システムエラーフラグ アドレスエラー、または NMI 割り込みが発生したことを示すフラグです。このビットは EDMDR_0 でのみ有効なビットです。このビットが1にセットされていると、全チャネルの DTE ビットへのライトが禁止されます。EDMDR_1~EDMDR_3 では、リザーブビットとなっています。リードすると常に0が読み出されます。ライトは無効です。 0: アドレスエラー、または NMI 割り込みなし 1: アドレスエラー、または NMI 割り込み発生 [クリア条件] • ERRF=1 の状態をリードした後、0 をライトしたとき [セット条件] • アドレスエラー、または NMI 割り込みが発生したとき ただし、EXDMAX がモジュールストップ状態にある場合は、アドレスエラーや NMI 割り込みが発生してもセットされません。
18	—	0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。

11. EXDMA コントローラ (EXDMAC)

ビット	ビット名	初期値	R/W	説明
17	ESIF	0	R/(W)*	<p>転送エスケープインタラプトフラグ</p> <p>転送カウンタが0になる前に転送エスケープ終了割り込み要求が発生し、転送エスケープ終了したことを示すフラグです。</p> <p>0: 転送エスケープ終了割り込み要求なし 1: 転送エスケープ終了割り込み要求発生</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • DTE ビットに1をライトしたとき • ESIF=1の状態をリードした後、0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • 転送サイズエラー割り込み要求が発生したとき • リピートサイズ終了割り込み要求が発生したとき • 拡張リピートエリアオーバフロー終了割り込み要求が発生したとき
16	DTIF	0	R/(W)*	<p>データトランスファインタラプトフラグ</p> <p>転送カウンタによる転送終了割り込み要求が発生したことを示すフラグです。</p> <p>0: 転送カウンタによる転送終了割り込み要求なし 1: 転送カウンタによる転送終了割り込み要求発生</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • DTE ビットに1をライトしたとき • DTIF=1の状態をリードした後、0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • EDTCRが0になり転送が終了したとき
15	DTSZ1	0	R/W	<p>データアクセスサイズ 1、0</p> <p>転送するデータアクセスサイズを選択します。</p> <p>00: バイトサイズ (8 ビット) 01: ワードサイズ (16 ビット) 10: ロングワードサイズ (32 ビット) 11: 設定禁止</p>
14	DTSZ0	0	R/W	
13	MDS1	0	R/W	<p>転送モードセレクト 1、0</p> <p>転送モードを選択します。</p> <p>00: ノーマル転送モード 01: ブロック転送モード 10: リピート転送モード 11: クラスタ転送モード</p>
12	MDS0	0	R/W	

11. EXDMA コントローラ (EXDMAC)

ビット	ビット名	初期値	R/W	説明
11	TSEIE	0	R/W	<p>転送サイズエラーインタラプトイネーブル</p> <p>転送サイズエラー割り込み要求を許可または禁止します。</p> <p>このビットが1にセットされているときに、EXDMACの転送により転送カウンタの値が1要求あたりに転送するデータサイズよりも小さい場合、次の転送要求が発生するとDTEビットを0にクリアします。同時にESIFビットが1にセットされ、転送サイズエラー割り込み要求が発生したことを示します。</p> <p>クラスタ転送リードアドレスモードおよびクラスタ転送ライトアドレスモードを設定した場合には、本ビットを1に設定してください。</p> <p>転送サイズエラー割り込み要求の発生要因は次の条件です。</p> <ul style="list-style-type: none"> ・ ノーマル転送モード、リピート転送モードにおいて、EDTCRで設定した総転送サイズがデータアクセスサイズよりも小さいとき ・ ブロック転送モードにおいて、EDTCRで設定した総転送サイズがブロックサイズよりも小さいとき ・ クラスタ転送モードにおいて、EDTCRで設定した総転送サイズがクラスタサイズよりも小さいとき <p>0：転送サイズエラー割り込み要求を禁止 1：転送サイズエラー割り込み要求を許可</p>
10	—	0	R	<p>リザーブビット</p> <p>リードすると常に0が読み出されます。ライトは無効です。</p>
9	ESIE	0	R/W	<p>転送エスケープインタラプトイネーブル</p> <p>EXDMA転送中に発生した転送エスケープ終了割り込み要求を許可または禁止します。このビットを1にセットすると、ESIFビットが1にセットされたとき、CPUまたはDTCに転送エスケープ終了割り込み要求が発生します。転送エスケープ終了割り込み要求は、このビットを0にクリアするか、ESIFビットを0にクリアすると解除されます。</p> <p>0：転送エスケープ割り込み要求を禁止 1：転送エスケープ割り込み要求を許可</p>
8	DTIE	0	R/W	<p>データトランスファインタラプトイネーブル</p> <p>転送カウンタによる転送終了割り込み要求を許可または禁止します。このビットを1にセットすると、DTIFビットが1にセットされたとき、CPUまたはDTCに転送終了割り込み要求が発生します。転送終了割り込み要求は、このビットを0にクリアするか、DTIFビットを0にクリアすると解除されます。</p> <p>0：転送終了割り込み要求を禁止 1：転送終了割り込み要求を許可</p>

11. EXDMA コントローラ (EXDMAC)

ビット	ビット名	初期値	R/W	説明
7	DTF1	0	R/W	データトランスファファクタ 1、0 EXDMAC を起動する要因を選択します。外部リクエストのときは、EDREQS ビットでサンプリング方法を選択できます。 00 : オートリクエスト (サイクルスチール) 01 : オートリクエスト (バースト) 10 : 設定禁止 11 : 外部リクエスト
6	DTF0	0	R/W	
5	—	0	R/W	リザーブビット 初期値を変更しないでください。
4	—	0	R	リザーブビット
3	—	0	R	リードすると常に 0 が読み出されます。ライトは無効です。
2	EDMAP2	0	R/W	EXDMA プライオリティレベル 2~0 CPU に対する EXDMAC の優先レベルを選択します。EXDMAC の優先レベルより CPU の優先レベルが高いときは、EXDMAC は転送要因の受け付けをマスクし、CPU の優先レベルが低くなるまで待機します。チャンネル毎に独立に優先レベルを設定可能です。このビットは、CPUPCR の CPUPCE ビットが 1 のとき有効になります。 000 : 優先レベル 0 (最低) 001 : 優先レベル 1 010 : 優先レベル 2 011 : 優先レベル 3 100 : 優先レベル 4 101 : 優先レベル 5 110 : 優先レベル 6 111 : 優先レベル 7 (最高)
1	EDMAP1	0	R/W	
0	EDMAP0	0	R/W	

【注】 * フラグをクリアするための 1 リード後の 0 ライトのみ可能です。

11.3.7 EXDMA アドレスコントロールレジスタ (EDACR)

EDACR は、動作モード、転送方法などを設定します。

ビット	31	30	29	28	27	26	25	24
ビット名	AMS	DIRS	—	—	—	RPTIE	ARS1	ARS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W
ビット	23	22	21	20	19	18	17	16
ビット名	—	—	SAT1	SAT0	—	—	DAT1	DAT0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8
ビット名	SARIE	—	—	SARA4	SARA3	SARA2	SARA1	SARA0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	DARIE	—	—	DARA4	DARA3	DARA2	DARA1	DARA0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	AMS	0	R/W	アドレスモードセレクト アドレスモードをデュアルアドレスモードとシングルアドレスモードから選択します。シングルアドレスモードにすると、EDMDR の EDACKE ビットの設定により \overline{EDACK} 端子が有効になります。 0: デュアルアドレスモード 1: シングルアドレスモード
30	DIRS	0	R/W	シングルアドレスディレクションセレクト シングルアドレスモードのときのデータ転送方向を指定します。デュアルアドレスモードのときは、このビットは無視されます。 クラスタ転送モードのときは、 \overline{DACK} 付き外部デバイスの代わりに内部のクラスタバッファが転送元もしくは転送先になります。 0: EDSAR をソースアドレスとして転送 1: EDDAR をデスティネーションアドレスとして転送
29~27	—	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。

11. EXDMA コントローラ (EXDMAC)

ビット	ビット名	初期値	R/W	説明
26	RPTIE	0	R/W	<p>リピートサイズ終了インタラプトイネーブル</p> <p>リピートサイズ終了割り込み要求を許可または禁止します。</p> <p>リピート転送モードにおいて、このビットが1にセットされているときに、1リピートサイズ分の転送終了後に次の転送要因が発生すると、EDMDRのDTEビットを0にクリアします。同時にEDMDRのESIFビットが1にセットされ、リピートサイズ終了割り込み要求が発生したことを示します。リピートエリアを指定しない(ARS1、ARS0=B'10)ときでも、1リピートサイズ分の転送終了後にリピートサイズ終了割り込み要求が発生させることができます。</p> <p>また、ブロック転送モード、クラスタ転送モードにおいても、このビットが1にセットされているときに、1ブロックサイズ、1クラスタサイズ分の転送終了後に次の転送要因が発生すると、EDMDRのDTEビットを0にクリアします。同時にEDMDRのESIFビットは1にセットされ、リピートサイズ終了割り込み要求が発生されたことを示します。</p> <p>0: リピートサイズ終了割り込み要求を禁止 1: リピートサイズ終了割り込み要求を許可</p>
25 24	ARS1 ARS0	0 0	R/W R/W	<p>エリアセレクト1、0</p> <p>ブロック転送モード、リピート転送モード、クラスタ転送モードのときのブロックエリア/リピートエリアを選択します。</p> <p>00: ブロックエリア/リピートエリアはソースアドレス側 01: ブロックエリア/リピートエリアはデスティネーションアドレス側 10: ブロックエリア/リピートエリアは指定しない 11: 設定禁止</p>
23 22	— —	0 0	R R	<p>リザーブビット</p> <p>リードすると常に0が読み出されます。ライトは無効です。</p>
21 20	SAT1 SAT0	0 0	R/W R/W	<p>ソースアドレス更新モード1、0</p> <p>ソースアドレス(EDSAR)の増減を選択します。シングルアドレスモードにおいて、転送元をEDSARに指定していない場合は、このビットは無視されます。</p> <p>00: ソースアドレスは固定 01: ソースアドレスはオフセットアドレスを加算 10: ソースアドレスは増加 (データアクセスサイズにより、+1/+2/+4) 11: ソースアドレスは減少 (データアクセスサイズにより、-1/-2/-4)</p>
19 18	— —	0 0	R R	<p>リザーブビット</p> <p>リードすると常に0が読み出されます。ライトは無効です。</p>

11. EXDMA コントローラ (EXDMAC)

ビット	ビット名	初期値	R/W	説明
17	DAT1	0	R/W	デスティネーションアドレス更新モード 1、0
16	DAT0	0	R/W	<p>デスティネーションアドレス (EDDAR) の増減を指定します。シングルアドレスモードにおいて、転送元を EDDAR に指定していない場合は、このビットは無視されます。</p> <p>00: デスティネーションアドレスは固定</p> <p>01: デスティネーションアドレスはオフセットを加算</p> <p>10: デスティネーションアドレスは増加 (データアクセスサイズにより、+1/+2/+4)</p> <p>11: デスティネーションアドレスは減少 (データアクセスサイズにより、-1/-2/-4)</p>
15	SARIE	0	R/W	<p>ソースアドレス拡張リピートエリアオーバフローインタラプトイネーブル</p> <p>ソースアドレス拡張リピートエリアオーバフロー割り込み要求を許可または禁止します。</p> <p>このビットが1にセットされているときに、ソースアドレスの拡張リピートエリアのオーバフローが発生すると、EDMDR の DTE ビットを0にクリアします。同時に EDMDR の ESIF ビットが1にセットされ、ソースアドレス拡張リピートエリアオーバフロー割り込み要求が発生したことを示します。ブロック転送モードと併用する場合、割り込み要求は1ブロックサイズの転送終了後に発生します。割り込みにより転送終了したチャンネルの EDMDR の DTE ビットを1にセットすると、転送終了した状態から再び転送を開始します。</p> <p>ソースアドレスに対して拡張リピートエリアを設定していないときは、このビットは無視されます。</p> <p>0: ソースアドレス拡張リピートエリアオーバフロー割り込み要求を禁止</p> <p>1: ソースアドレス拡張リピートエリアオーバフロー割り込み要求を許可</p>
14	—	0	R	リザーブビット
13	—	0	R	リードすると常に0が読み出されます。ライトは無効です。
12	SARA4	0	R/W	ソースアドレス拡張リピートエリア
11	SARA3	0	R/W	ソースアドレス (EDSAR) に拡張リピートエリアを設定するビットです。
10	SARA2	0	R/W	拡張リピートエリア機能は、指定の下位アドレスをアドレス更新の対象として、残りの上位アドレスは常に固定値をとるようして実現されます。拡張リピートエリアのサイズは、4バイトから 128M バイトまで設定可能です。設定間隔は2のべき乗バイト単位です。
9	SARA1	0	R/W	アドレスの増減により拡張リピートエリアからオーバフローした下位アドレスは、アドレスが増加すると拡張リピートエリアの先頭アドレスになり、アドレスが減少すると拡張リピートエリアの最後のアドレスになります。
8	SARA0	0	R/W	<p>SARIE ビットが1にセットされているとき、拡張リピートエリアのオーバフローが発生したときに割り込み要求が発生することができます。</p> <p>表 11.3 に拡張リピートエリアの設定と範囲を示します。</p>

11. EXDMA コントローラ (EXDMAC)

ビット	ビット名	初期値	R/W	説明
7	DARIE	0	R/W	<p>デスティネーションアドレス拡張リピートエリアオーバーフローインタラプトイネーブル</p> <p>デスティネーションアドレス拡張リピートエリアオーバーフロー割り込み要求を許可または禁止します。</p> <p>このビットが1にセットされているときに、デスティネーションアドレスの拡張リピートエリアのオーバーフローが発生すると、EDMDRのDTEビットを0にクリアします。同時にEDMDRのESIFビットが1にセットされ、デスティネーションアドレス拡張リピートエリアオーバーフロー割り込み要求が発生したことを示します。</p> <p>ブロック転送モードと併用する場合、割り込み要求は1ブロックサイズの転送終了後に発生します。割り込みにより転送終了したチャンネルのEDMDRのDTEビットを1にセットすると、転送終了した状態から再び転送を開始します。</p> <p>デスティネーションアドレスに拡張リピートエリアを設定していないときは、このビットは無視されます。</p> <p>0: デスティネーションアドレス拡張リピートエリアオーバーフロー割り込み要求を禁止</p> <p>1: デスティネーションアドレス拡張リピートエリアオーバーフロー割り込み要求を許可</p>
6	—	0	R	リザーブビット
5	—	0	R	リードすると常に0が読み出されます。ライトは無効です。
4	DARA4	0	R/W	<p>デスティネーションアドレス拡張リピートエリア</p> <p>デスティネーションアドレス (EDDAR) に拡張リピートエリアを設定するビットです。</p> <p>拡張リピートエリア機能は、指定の下位アドレスをアドレス更新の対象として、残りの上位アドレスは常に固定値をとるようにして実現されます。拡張リピートエリアのサイズは、4バイトから128Mバイトまで設定可能です。設定間隔は2のべき乗バイト単位です。</p> <p>アドレスの増減により拡張リピートエリアからオーバーフローした下位アドレスは、アドレスが増加すると拡張リピートエリアの先頭アドレスになり、アドレスが減少すると拡張リピートエリアの最後のアドレスになります。</p> <p>DARIEビットが1にセットされているとき、拡張リピートエリアのオーバーフローが発生したときに割り込み要求が発生することができます。</p> <p>表 11.3 に拡張リピートエリアの設定と範囲を示します。</p>
3	DARA3	0	R/W	
2	DARA2	0	R/W	
1	DARA1	0	R/W	
0	DARA0	0	R/W	

表 11.3 拡張リピートエリアの設定と範囲

SARA4~SARA0/ DARA4~DARA0 の値	拡張リピートエリアの範囲
00000	拡張リピートエリアを設定しない
00001	当該アドレスの下位 1 ビット (2 バイト) を拡張リピートエリアに設定する
00010	当該アドレスの下位 2 ビット (4 バイト) を拡張リピートエリアに設定する
00011	当該アドレスの下位 3 ビット (8 バイト) を拡張リピートエリアに設定する
00100	当該アドレスの下位 4 ビット (16 バイト) を拡張リピートエリアに設定する
00101	当該アドレスの下位 5 ビット (32 バイト) を拡張リピートエリアに設定する
00110	当該アドレスの下位 6 ビット (64 バイト) を拡張リピートエリアに設定する
00111	当該アドレスの下位 7 ビット (128 バイト) を拡張リピートエリアに設定する
01000	当該アドレスの下位 8 ビット (256 バイト) を拡張リピートエリアに設定する
01001	当該アドレスの下位 9 ビット (512 バイト) を拡張リピートエリアに設定する
01010	当該アドレスの下位 10 ビット (1k バイト) を拡張リピートエリアに設定する
01011	当該アドレスの下位 11 ビット (2k バイト) を拡張リピートエリアに設定する
01100	当該アドレスの下位 12 ビット (4k バイト) を拡張リピートエリアに設定する
01101	当該アドレスの下位 13 ビット (8k バイト) を拡張リピートエリアに設定する
01110	当該アドレスの下位 14 ビット (16k バイト) を拡張リピートエリアに設定する
01111	当該アドレスの下位 15 ビット (32k バイト) を拡張リピートエリアに設定する
10000	当該アドレスの下位 16 ビット (64k バイト) を拡張リピートエリアに設定する
10001	当該アドレスの下位 17 ビット (128k バイト) を拡張リピートエリアに設定する
10010	当該アドレスの下位 18 ビット (256k バイト) を拡張リピートエリアに設定する
10011	当該アドレスの下位 19 ビット (512k バイト) を拡張リピートエリアに設定する
10100	当該アドレスの下位 20 ビット (1M バイト) を拡張リピートエリアに設定する
10101	当該アドレスの下位 21 ビット (2M バイト) を拡張リピートエリアに設定する
10110	当該アドレスの下位 22 ビット (4M バイト) を拡張リピートエリアに設定する
10111	当該アドレスの下位 23 ビット (8M バイト) を拡張リピートエリアに設定する
11000	当該アドレスの下位 24 ビット (16M バイト) を拡張リピートエリアに設定する
11001	当該アドレスの下位 25 ビット (32M バイト) を拡張リピートエリアに設定する
11010	当該アドレスの下位 26 ビット (64M バイト) を拡張リピートエリアに設定する
11011	当該アドレスの下位 27 ビット (128M バイト) を拡張リピートエリアに設定する
111XX	設定禁止

【記号説明】 X : Don't care

11.3.8 クラスタバッファレジスタ 0~7 (CLSBR0~7)

CLSBR0~7は、転送データを格納するための32ビットのリード/ライト可能なレジスタです。クラスタ転送処理中は、CLSBR0から順に転送データが格納されます。クラスタ転送、またはCPUのライト動作により格納されたデータは、次のクラスタ転送、またはCPUのライト動作を実施するまで保持されます。

なお、クラスタ転送によって格納されたデータをCPUでリードする場合には、クラスタ転送の完了を確認した後、転送の際に指定したクラスタサイズ分のデータのみを参照してください。それ以外のデータに関しては、内容は不定となります。

クラスタ転送では、すべてのチャンネルで同一のCLSBRを使用しますが、CPUによるCLSBRへのライトとクラスタ転送が競合した場合は転送されるデータは保証されません。クラスタ転送リードアドレスモード、クラスタ転送ライトアドレスモードに設定した場合は、他のチャンネルがクラスタ転送に設定されていると転送されるデータは書き換えられる可能性があります。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名																
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.4 転送モード

11.4.1 通常モード

EXDMAC の通常モードを表 11.4 に示します。転送モードは、各チャンネル毎に設定可能です。

表 11.4 通常モード

アドレスモード	転送モード	起動要因	共通機能	アドレスレジスタ	
				ソース	デスティネーション
デュアルアドレスモード	<ul style="list-style-type: none"> ノーマル転送モード リピート転送モード ブロック転送モード (リピートサイズ/ブロックサイズ = 1~65,536 バイト/ワード/ロングワード) 	<ul style="list-style-type: none"> オートリクエスト (CPU より起動) 外部リクエスト 	<ul style="list-style-type: none"> 総転送サイズ : 1~4G バイト、または指定なし オフセット加算 拡張リピートエリア機能 	EDSAR	EDDAR
シングルアドレスモード	<ul style="list-style-type: none"> ソース、またはデスティネーションアドレスレジスタの代わりに、$\overline{\text{EDACK}}$ 端子を用いて直接外部デバイスとのデータ転送が可能 アドレスレジスタの設定以外は、上記の各転送モードを指定可能 1バスサイクルで1回の転送が可能 (転送モードのバリエーションは、上記デュアルアドレスモードと同じです。) 			$\overline{\text{EDSAR}}$ / $\overline{\text{EDACK}}$	$\overline{\text{EDACK}}$ / EDDAR

起動要因がオートリクエストのときは、サイクルスチールモード/バーストモードから選択できます。

総転送サイズを指定しない場合 (EDTCR=H'00000000)、転送カウンタは停止して転送回数に制限がなくなり、永続して転送が可能になります。

11.4.2 クラスタ転送モード

クラスタ転送モードを表 11.5 に示します。クラスタ転送モードは、各チャンネル毎に設定可能です。クラスタバッファは、全チャンネル共通です。

表 11.5 クラスタ転送モード

アドレスモード	起動要因	共通機能	転送元	クラスタバッファの機能	転送先
クラスタ転送 デュアルアドレスモード	<ul style="list-style-type: none"> オートリクエスト (CPU より起動) 外部リクエスト 	<ul style="list-style-type: none"> クラスタサイズ 1アクセスサイズ (バイト/ ワード/ロングワード) ~32 バイト 	EDSAR	転送元からリード& 転送先ヘライト	EDDAR
クラスタ転送 リードアドレスモード (DIRS=0)		<ul style="list-style-type: none"> 総転送サイズ 1~4G バイト、 または指定なし 	EDSAR	転送元からリード	—
クラスタ転送 ライトアドレスモード (DIRS=1)		<ul style="list-style-type: none"> オフセット加算 拡張リピートエリア機能 	—	転送先ヘライト	EDDAR

クラスタ転送モードでは、1回の転送要求で指定したクラスタサイズの転送を実行します。クラスタサイズは、1アクセスサイズ (バイト、ワード、またはロングワード) ~32 バイトです。1クラスタ内の転送は、クラスタサイズ分バースト転送を行います。ただし、クラスタ転送デュアルアドレスモード時にクラスタサイズとして1アクセスサイズを指定した場合には、ブロック転送モードのデュアルアドレスモードとして動作します。

起動要因がオートリクエストのときは、サイクルスチールモードとなります。

11.5 通常モードの動作説明

11.5.1 アドレスモード

(1) デュアルアドレスモード

デュアルアドレスモードは、転送元アドレスを EDSAR、転送先アドレスを EDDAR で指定して、1 回の転送を 2 バスサイクルで実行するモードです（データバス幅がデータアクセスサイズよりも小さいときや、アクセスするアドレスがデータアクセスサイズのデータ境界を外れているときは、バスサイクルが分割されるため 2 バスサイクルを超えます）。

転送動作は、最初のバスサイクルで転送元アドレスにあるデータをリードして、そのデータを次のバスサイクルで転送先アドレスへライトします。

リードサイクルとライトサイクルの間は不可分割となっています。そのため、2 つのバスサイクルの間に他のバスサイクル（他のバスマスタの外部アクセス、リフレッシュサイクル、外部バス解放サイクル）は発生しません。

EDMDR の ETENDE ビットにより、 $\overline{\text{ETEND}}$ 出力の許可／禁止の設定ができます。 $\overline{\text{ETEND}}$ は連続する 2 バスサイクルの期間出力されます。バスサイクルの直前にアイドルサイクルが挿入される場合、アイドルサイクル期間に対しても $\overline{\text{ETEND}}$ は出力されます。 $\overline{\text{EDACK}}$ は出力されません。

図 11.2 にデュアルアドレスモードのタイミング例を、図 11.3 にデュアルアドレスモードの動作を示します。

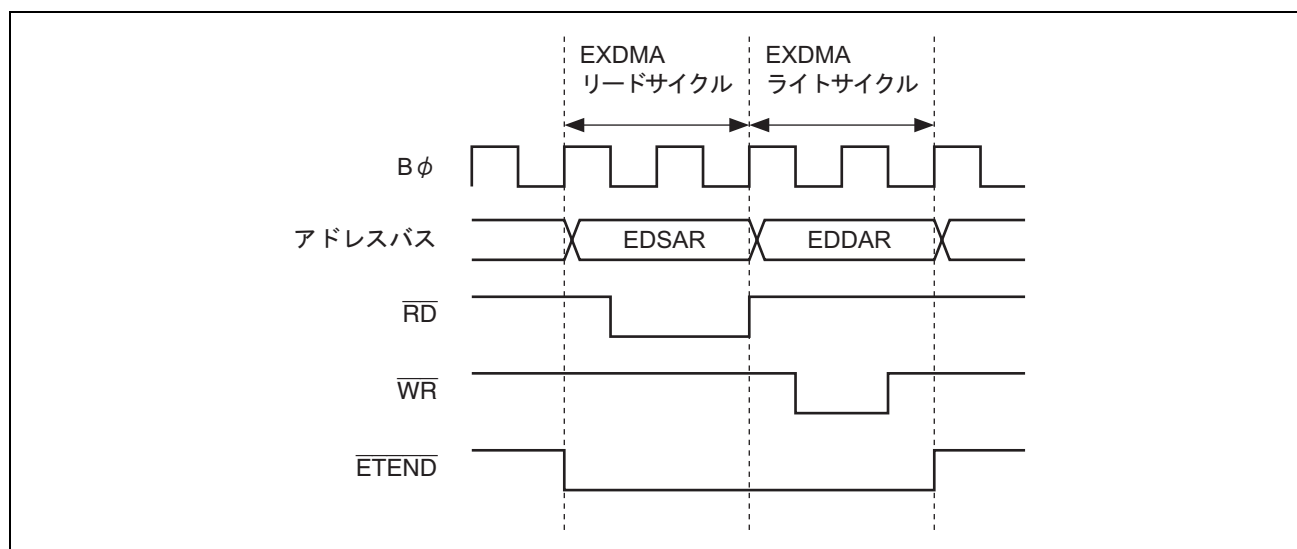


図 11.2 デュアルアドレスモードのタイミング例

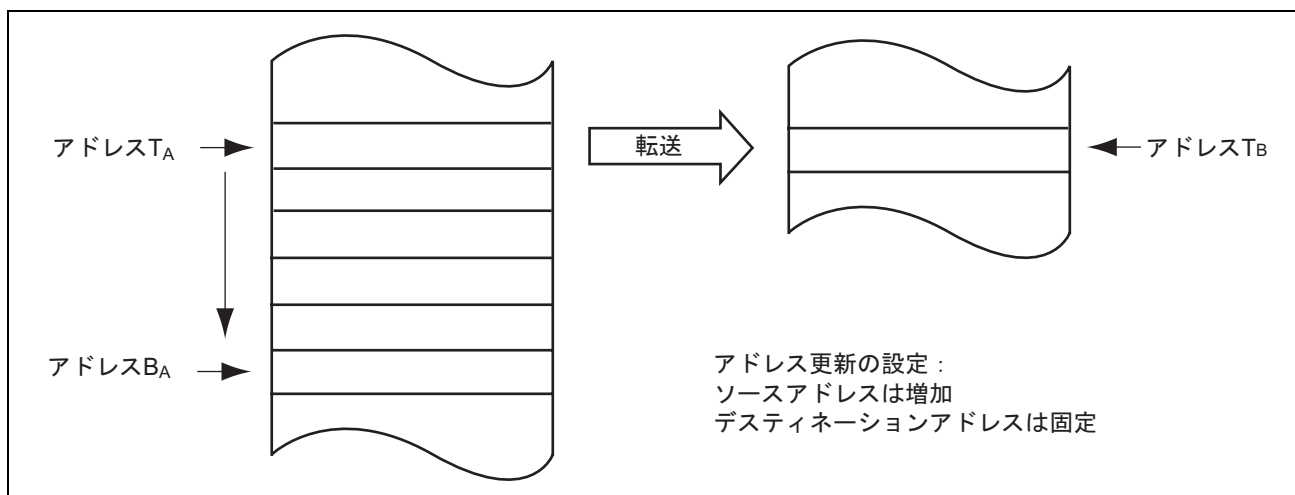


図 11.3 デュアルアドレスモードの動作

(2) シングルアドレスモード

シングルアドレスモードは、EDSAR または EDDAR の代わりに $\overline{\text{EDACK}}$ 端子を用いて、外部デバイスと外部メモリ間で直接データを転送するモードです。1回の転送を1バスサイクルで実行します。

シングルアドレスモードを使用する場合は、データバス幅とデータアクセスサイズを一致させてください。データバス幅に関しては、「9. バスコントローラ (BSC)」を参照してください。

EXDMAC は $\overline{\text{DACK}}$ 付き外部デバイスへのストロブ信号 ($\overline{\text{EDACK}}$) を、転送元または転送先のいずれか一方の外部デバイスに出力してアクセスすると同時に、もう一方の転送相手にアドレスを出力してアクセスします。これにより、1つのバスサイクルで EXDMA 転送を行うことができます。図 11.4 に示す外部メモリと $\overline{\text{DACK}}$ 付き外部デバイスとの転送例では、外部デバイスがデータバスにデータを出力するのと同じバスサイクルで、そのデータが外部メモリに書き込まれます。

転送方向は EDACR の DIRS ビットにより、 $\overline{\text{DACK}}$ 付き外部デバイスを転送元にするか転送先にするかを設定できます。DIRS=0 では外部メモリ (EDSAR) → $\overline{\text{DACK}}$ 付き外部デバイスへの転送、DIRS=1 では $\overline{\text{DACK}}$ 付き外部デバイス → 外部メモリ (EDDAR) への転送になります。転送の対象として使用しないソースまたはデスティネーションアドレスのレジスタの設定は無視されます。

$\overline{\text{EDACK}}$ 出力は、シングルアドレスモードのときに EDMDR の EDACKE ビットの設定により有効になります。 $\overline{\text{EDACK}}$ 出力は、ローアクティブです。

EDMDR の ETENDE ビットにより、 $\overline{\text{ETEND}}$ 出力の許可/禁止の設定ができます。 $\overline{\text{ETEND}}$ は1バスサイクルの期間出力されます。バスサイクルの直前にアイドルサイクルが挿入される場合、アイドルサイクル期間に対しても $\overline{\text{ETEND}}$ は出力されます。

図 11.5 にシングルアドレスモードのタイミング例を、図 11.6 にシングルアドレスモードの動作を示します。

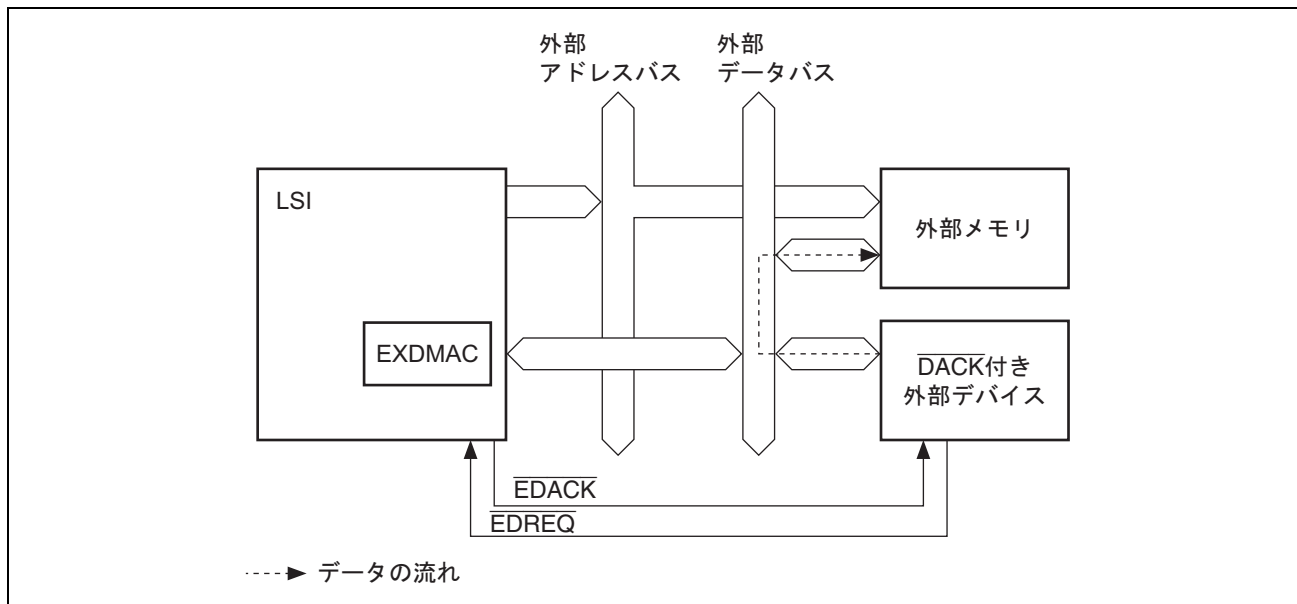


図 11.4 シングルアドレスモードでのデータの流れ

11. EXDMA コントローラ (EXDMAC)

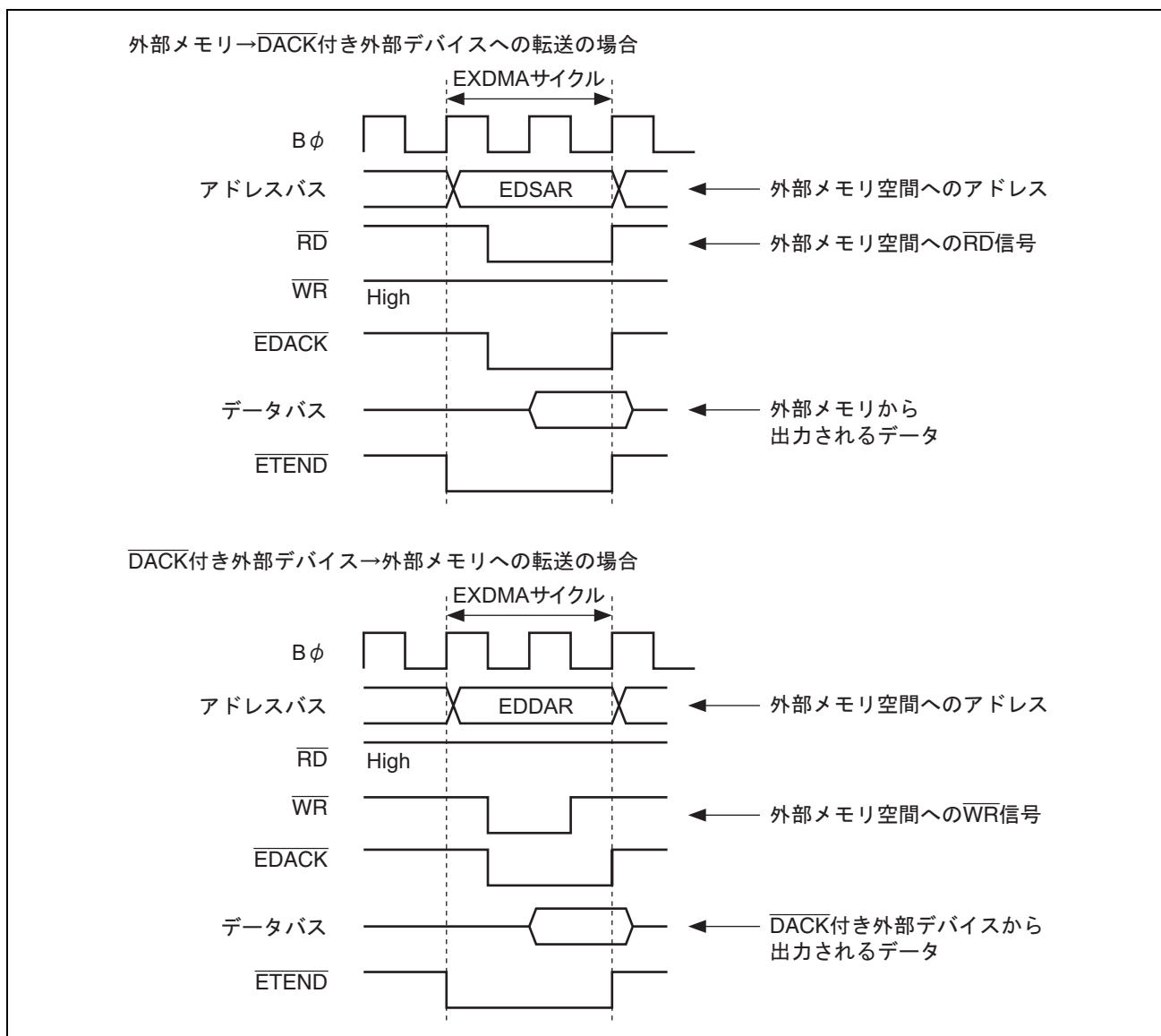


図 11.5 シングルアドレスモードのタイミング例

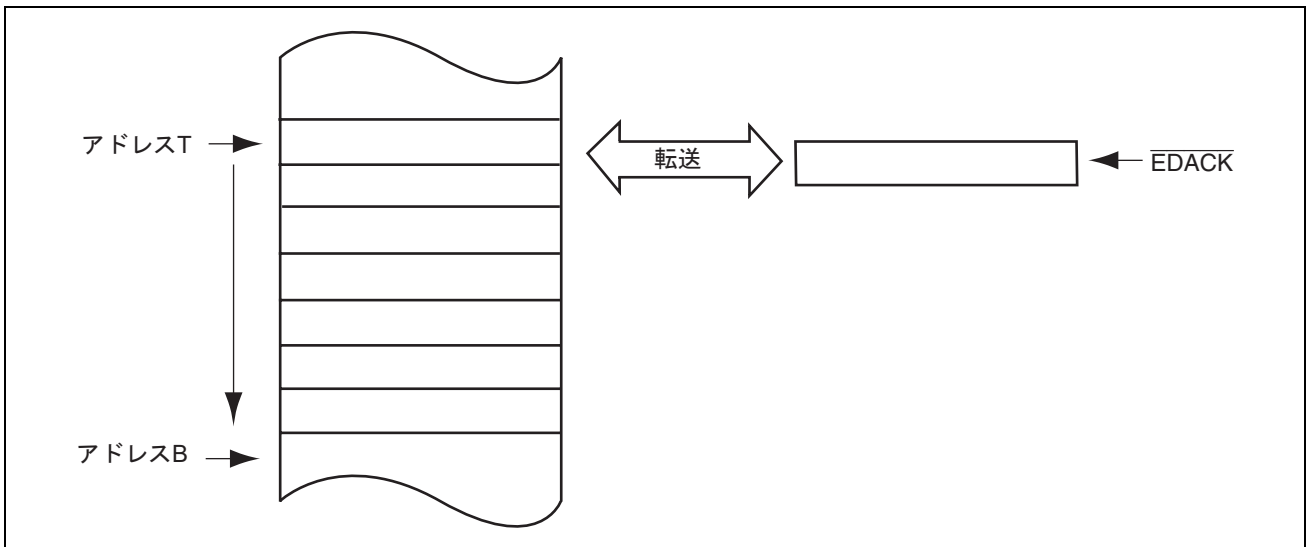


図 11.6 シングルアドレスモードの動作

11.5.2 転送モード

(1) ノーマル転送モード

ノーマル転送モードは、1回の転送要求について1データアクセスサイズ単位の転送を行います。EDTCRで最大4Gバイトの総転送サイズを設定できます。EDBSRはノーマル転送モードのときには無効です。

\overline{ETEND} 出力は、最後のEXDMA転送でのみ出力されます。 \overline{EDRAK} 出力は、転送要求受け付け/転送処理開始毎に出力されます。

図 11.7 にノーマル転送モードのタイミング例を、図 11.8 にデュアルアドレスモード時のノーマル転送モードの動作を示します。

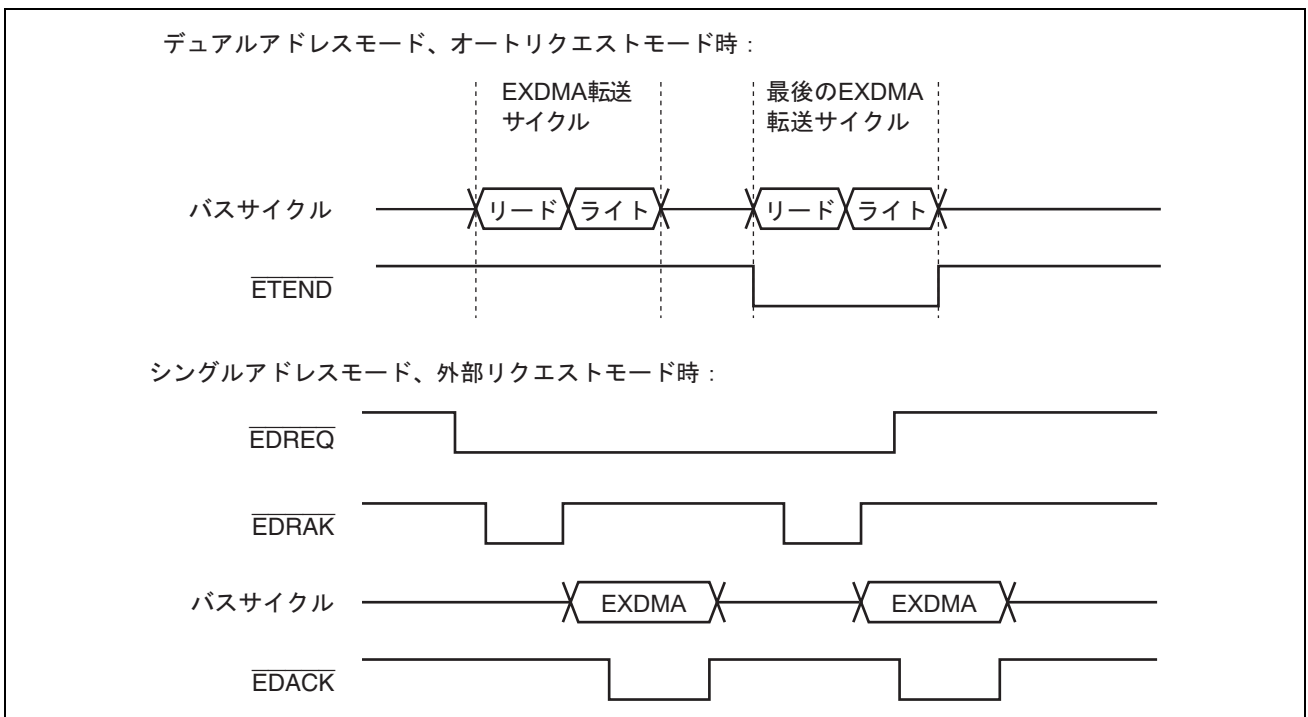


図 11.7 ノーマル転送モードのタイミング例

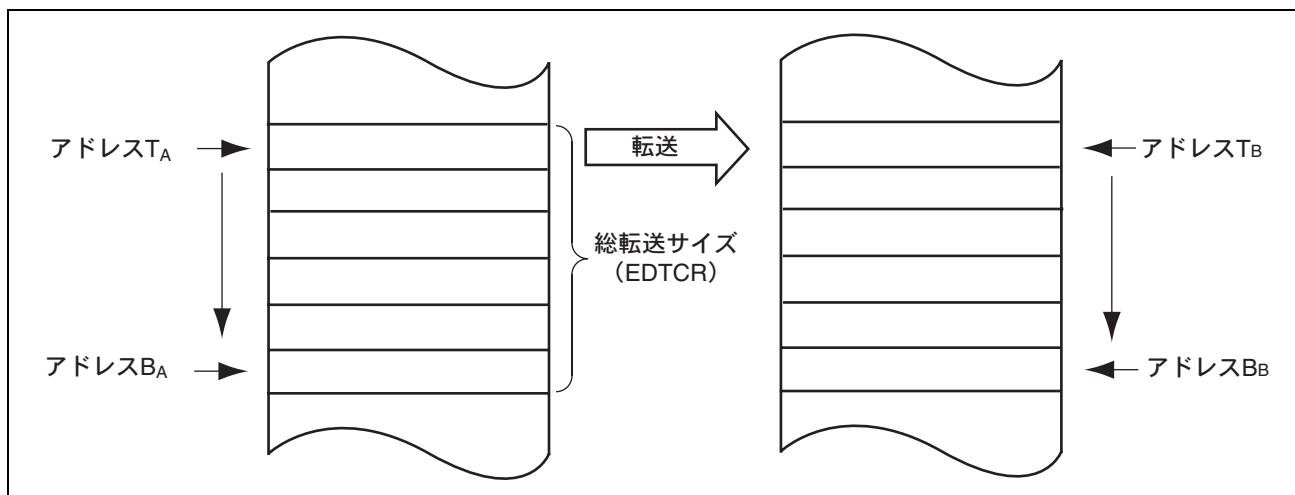


図 11.8 ノーマル転送モードの動作

(2) リピート転送モード

リピート転送モードは、1回の転送要求について1データアクセスサイズ単位の転送を行います。EDTCRで最大4Gバイトの総転送サイズを設定できます。EDBSRで最大64k×データアクセスサイズのリピートサイズを設定できます。

EDACRのARS1、ARS0ビットによって、リピートエリアをソースアドレス側またはデスティネーションアドレス側に指定することができます。リピートエリアに指定されたアドレス側は、リピートサイズ分の転送を終了すると、転送開始アドレスに戻ります。この動作は、EDTCRに設定した総転送サイズ分の転送が終了するまで行われます。ただし、EDTCRにH'00000000を設定した場合はフリーランニングモードと見なし、EDMDRのDTEビットが0にクリアされるまでリピート転送を続けます。

また、リピートサイズ分の転送を終了すると、EXDMA転送を一時停止させ、CPUまたはDTCに対してリピートサイズ終了割り込み要求を発生させることができます。EDACRのRPTIEビットが1にセットされているときに、リピートサイズ分の転送終了後に次の転送要求が発生すると、EDMDRのESIFビットを1にセットし、EDMDRのDTEビットを0にクリアして転送を終了します。このとき、EDMDRのESIEビットが1にセットされている場合、CPUまたはDTCに対して割り込み要求を発生させます。

$\overline{\text{ETEND}}$ 出力および $\overline{\text{EDRAK}}$ 出力などのEXDMA転送タイミングは、ノーマル転送モードと同じです。

図 11.9 にデュアルアドレスモード時のリピート転送モードの動作を示します。

リピートエリアをソースアドレス側またはデスティネーションアドレス側に指定しないときの動作は、図 11.8 のノーマル転送モードの動作と同じです。この場合も、リピートサイズ分の転送を終了すると、リピートサイズ終了割り込みを発生させることができます。

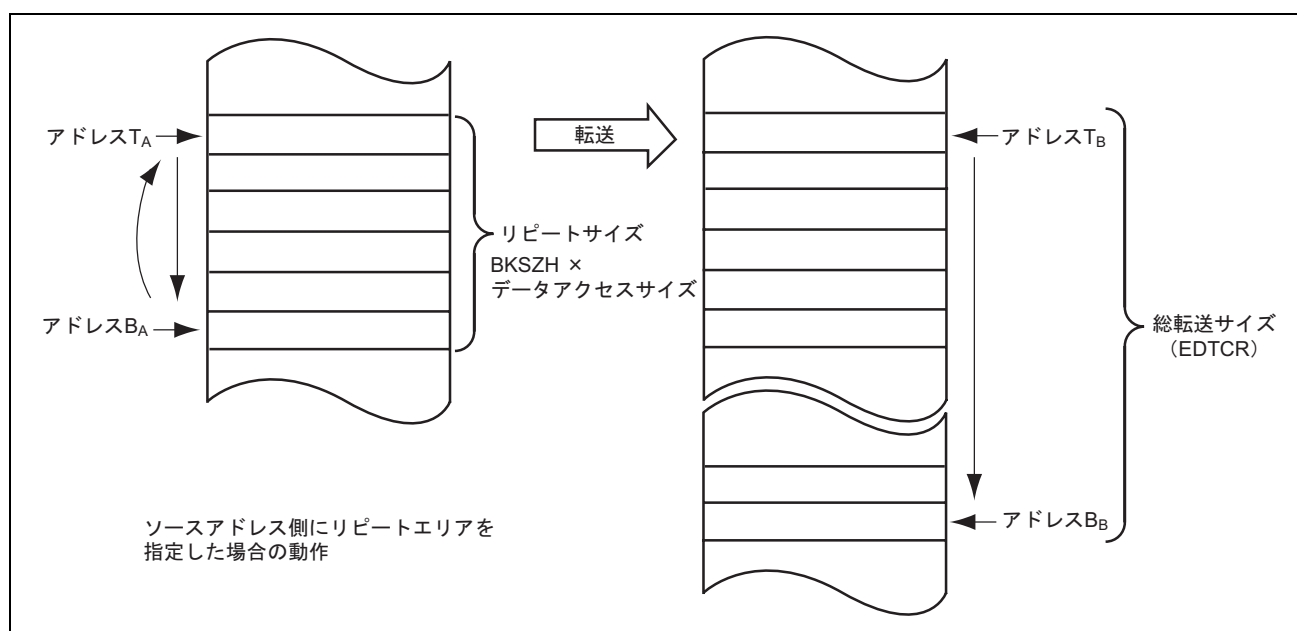


図 11.9 リピート転送モードの動作

(3) ブロック転送モード

ブロック転送モードは、1回の転送要求について1ブロックサイズ単位の転送を行います。EDTCRで最大4Gバイトの総転送サイズを設定できます。EDBSRで最大64k×データアクセスサイズのブロックサイズを設定できます。

1ブロック分の転送中は、他のチャンネルの転送要求は待たされます。1ブロック分の転送が終了すると、バス権を他のバスマスタに解放します。

EDACRのARS1、ARS0ビットによって、ブロックエリアをソースアドレス側もしくはデスティネーションアドレス側に指定することができます。ブロックエリアに指定されたアドレス側は、1ブロック分の転送終了毎に、転送開始アドレスに戻ります。ソースアドレス側にもデスティネーションアドレス側にもリピートエリアを指定しない場合は、アドレスは転送開始アドレスに戻らずシーケンシャルに進みます。リピートサイズ終了割り込みを発生させることができます。

$\overline{\text{ETEND}}$ は、1ブロック分の転送毎に各ブロックの終わりのEXDMA転送サイクルで出力されます。 $\overline{\text{EDRAK}}$ は、1回の転送要求(1ブロック分)に対して1回出力されます。

ブロック転送モードで拡張リピートエリアオーバーフロー割り込みを設定する場合には注意が必要です。詳細は「11.5.5 拡張リピートエリア機能」を参照してください。

11. EXDMA コントローラ (EXDMAC)

図 11.10 にブロック転送モードの EXDMA 転送タイミング例を示します。転送条件は次の通りです。

- アドレスモード：シングルアドレスモード
- データアクセスサイズ：バイト
- 1ブロックサイズ：3バイト

図 11.11 にシングルアドレスモードのブロック転送モードの動作を、図 11.12 にデュアルアドレスモードのブロック転送モードの動作を示します。

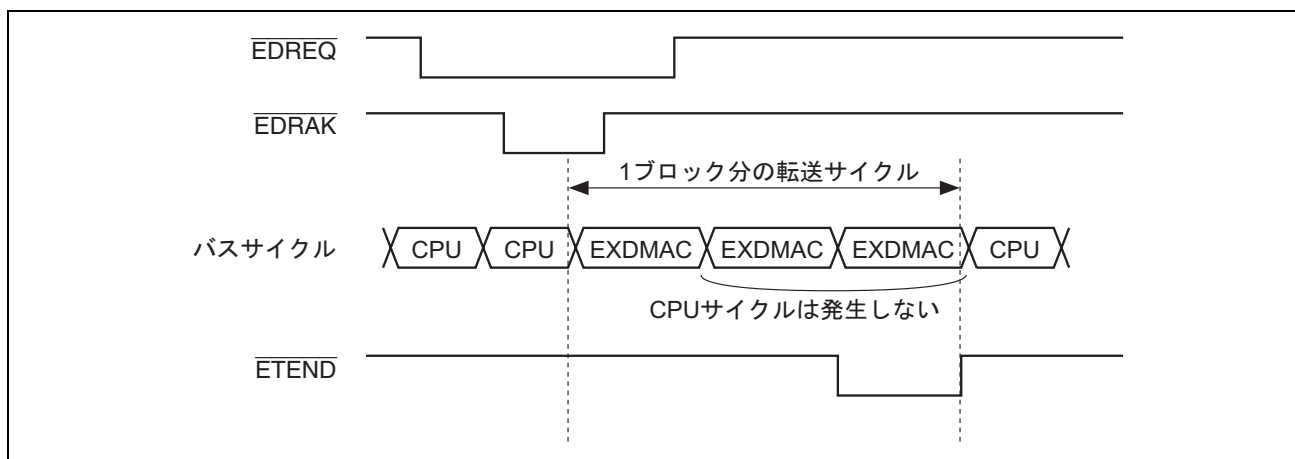


図 11.10 ブロック転送モードの例

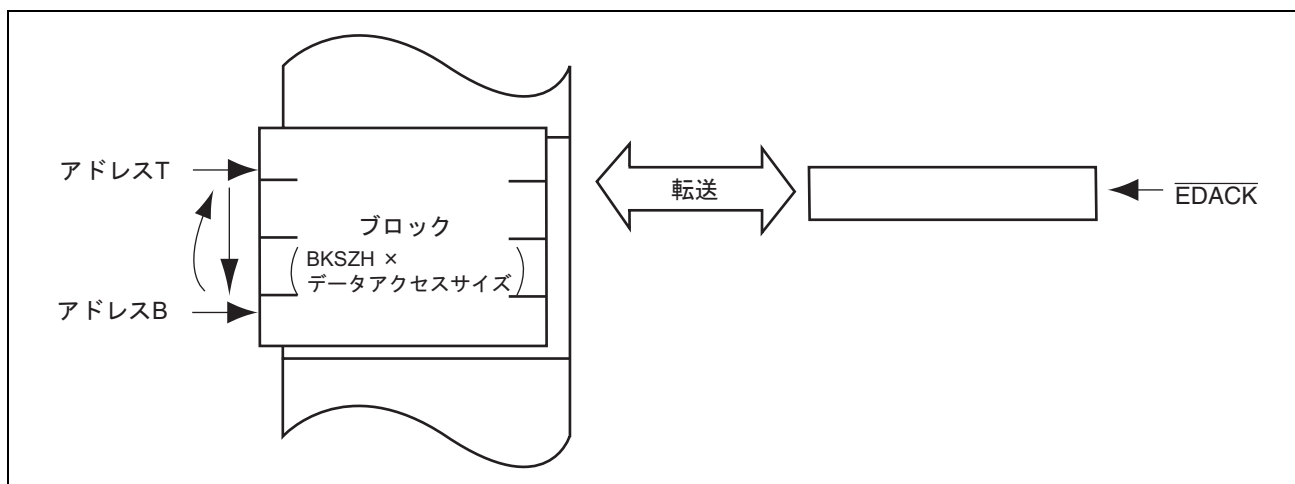


図 11.11 シングルアドレスモードのブロック転送モード（ブロックエリアの指定あり）の動作

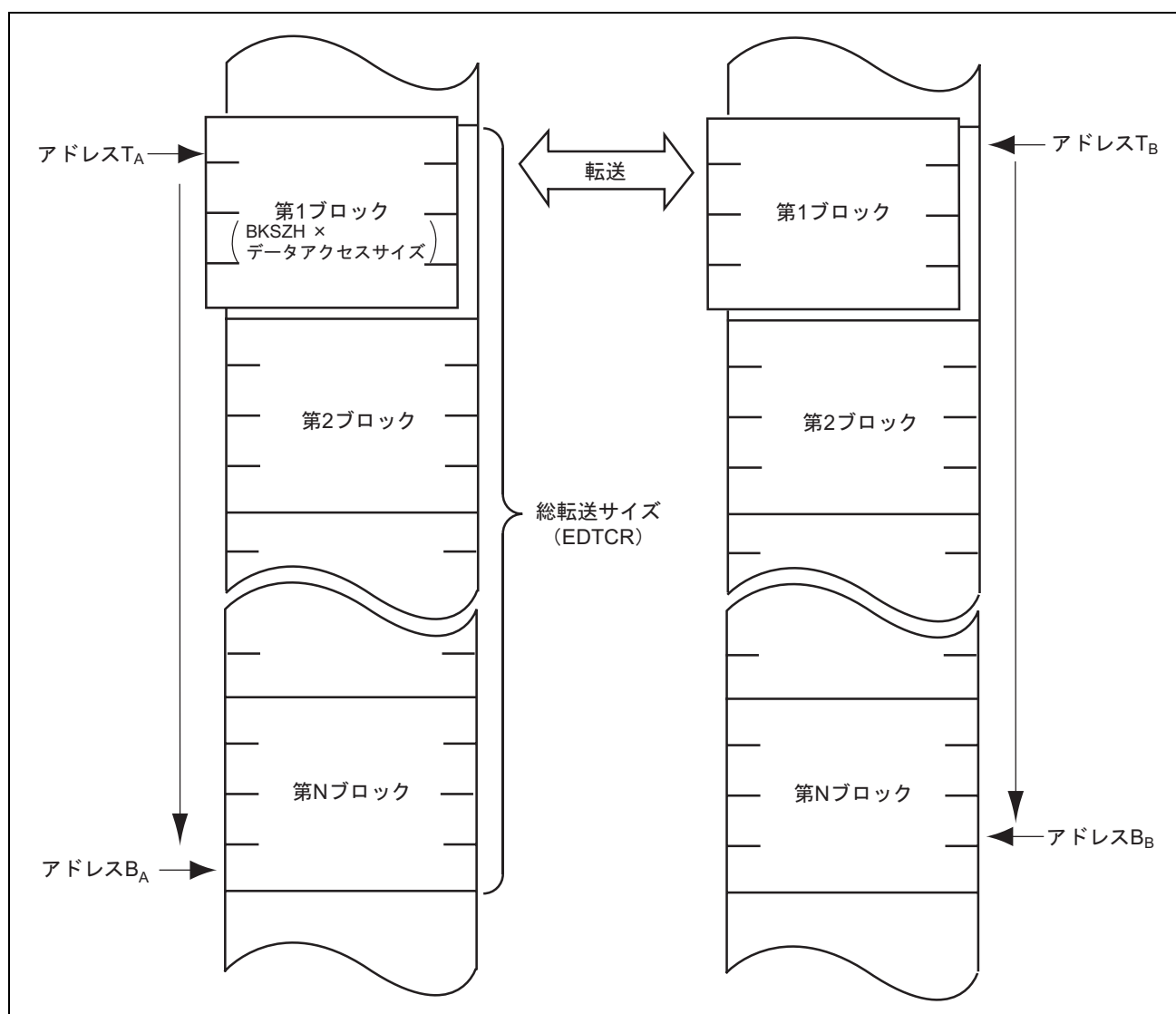


図 11.12 デュアルアドレスモードのブロック転送モード（ブロックエリアの指定なし）の動作

11.5.3 起動要因

EXDMAC の起動要因には、オートリクエスト、および外部リクエストがあります。これらの起動要因は EDMDR の DTF1、DTF0 ビットで選択します。

(1) オートリクエストによる起動

オートリクエストは、メモリとメモリ間の転送や、転送要求信号を発生できない周辺モジュールとメモリ間の転送のように、外部や周辺モジュールから転送要求信号の発生がない場合に、EXDMAC 内部で自動的に転送要求信号を発生させます。オートリクエストによる起動では、EDMDR の DTE ビットを 1 にセットすると転送が開始されます。オートリクエストでは、バスモードをサイクルスチールモードとバーストモードから選択することができます。

(2) 外部リクエストによる起動

外部リクエストによる起動は、外部デバイスからの転送要求信号 ($\overline{\text{EDREQ}}$) によって転送を開始します。EXDMA 転送が許可されているとき (DTE=1)、 $\overline{\text{EDREQ}}$ が入力されると EXDMA 転送を開始します。

転送要求信号は $\overline{\text{EDREQ}}$ 端子で受け付けます。 $\overline{\text{EDREQ}}$ を立ち下がりエッジで検出するか、Low レベルで検出するかは、EDMDR の EDREQS ビットで選択します。

EDMDR の EDRAKE ビットを 1 にセットすると、転送要求を受け付けたことを通知する信号を $\overline{\text{EDRAK}}$ 端子から出力します。 $\overline{\text{EDRAK}}$ 信号は 1 回の外部リクエストに対して受け付け、および転送処理を開始したときに出力されます。

起動要因として外部リクエストを指定する場合は、あらかじめ該当する端子の DDR ビットを 0、ICR ビットを 1 に設定しておいてください。詳細は「13. I/O ポート」を参照してください。

11.5.4 バスモード

バスモードには、サイクルスチールモードとバーストモードがあります。

起動要因がオートリクエストの場合は、サイクルスチールモードとバーストモードを EDMDR の DTF0 ビットで選択することができます。起動要因が外部リクエストの場合は、サイクルスチールモードになります。

(1) サイクルスチールモード

サイクルスチールモードでは、EXDMAC は 1 回の転送単位 (バイト、ワード、ロングワード、1 ブロックサイズ、またはクラスタサイズ) の転送を終了するたびにバス権を解放します。その後、転送要求があればバス権を取り戻し、再び 1 転送単位の転送を行い、その転送を終了するとまたバス権を解放します。この動作を転送終了条件が満たされるまで繰り返します。

EXDMA 転送中に他のチャンネルに転送要求がある場合は、いったん他のバスマスタに対してバス権を解放した後に、転送要求のあったチャンネルの転送を行います。複数のチャンネルに転送要求がある場合の動作の詳細については、「11.5.8 チャンネルの優先順位」を参照してください。

図 11.13 にサイクルスチールモードのタイミング例を示します。転送条件は以下の通りです。

- アドレスモード：シングルアドレスモード
- $\overline{\text{EDREQ}}$ 端子のサンプリング方法：Low レベル検出
- 内部バスマスタである CPU が外部空間で動作中

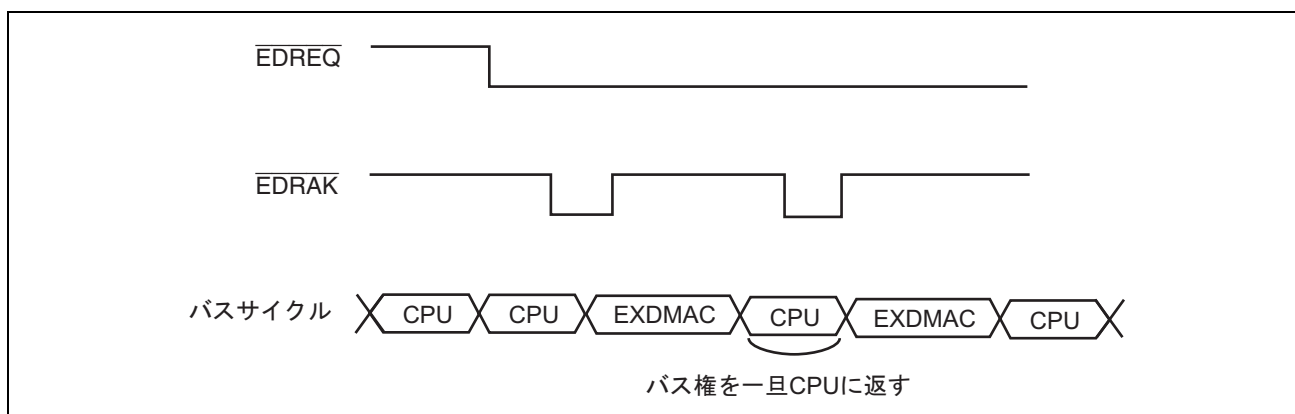


図 11.13 サイクルスチールモードのタイミング例

(2) バーストモード

バーストモードでは、EXDMAC は一度バス権を取ると転送終了条件が満たされるまでバス権を解放せずに転送を続けます。バーストモードでは、転送を開始すると優先順位の高い他のチャンネルに転送要求がある場合でも転送を中断することはありません。バーストモードのチャンネルが転送を終了すると、次のサイクルでサイクルスチールモードと同様にバス権を解放します。ただし、バスコントローラの BCR2 の EBCCS ビットを 1 にセットすると、他のバスマスタの外部アクセス要求が発生したときに、他のバスマスタを優先して EXDMAC のバス権をいったん解放することができます。

ブロック転送モード、クラスタ転送モードでは、バーストモードの設定は無効です (1 ブロック、1 クラスタ転送中はバーストモードと同様の動作)。常にサイクルスチールモードとして動作します。

EDMDR の DTE ビットを 0 にクリアすると、EXDMA 転送は停止します。ただし、DTE ビットを 0 にクリアするまでに EXDMAC 内部で発生した転送要求分の EXDMA 転送は実行されます。転送サイズエラー割り込みや、リピートサイズ終了割り込み、拡張リピートエリアオーバフロー割り込みが発生した場合は、DTE ビットを 0 にクリアして転送終了します。

図 11.14 にバーストモードのタイミング例を示します。

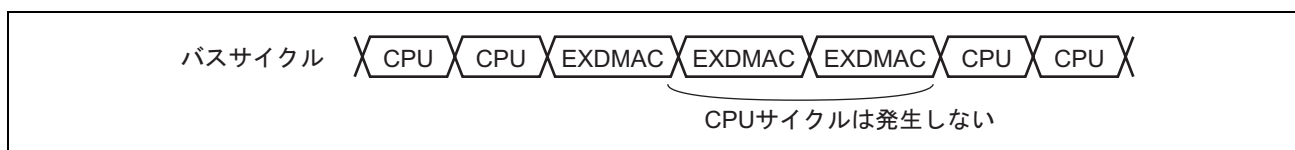


図 11.14 バーストモードのタイミング例

11.5.5 拡張リピートエリア機能

EXDMAC にはソースアドレス、デスティネーションアドレスに拡張リピートエリアを設定する機能があります。拡張リピートエリアを設定すると、アドレスレジスタは拡張リピートエリアに指定された範囲のアドレス値を繰り返します。リングバッファを転送の対象にした場合は、アドレスレジスタの値がバッファの最終アドレスになるたびに（リングバッファに対するアドレスのオーバーフロー）、アドレスレジスタの値をバッファの先頭アドレスに戻す操作が必要となり、拡張リピートエリア機能を使うと自動的にアドレスレジスタの値をバッファの先頭アドレスに戻す操作を EXDMAC 内で行うことができます。

拡張リピートエリア機能は、ソースアドレスレジスタ (EDSAR) とデスティネーションアドレスレジスタ (EDDAR) に独立して設定できます。

ソースアドレスの拡張リピートエリアは、EDACR の SARA4~SARA0 ビットで設定します。デスティネーションアドレスの拡張リピートエリアは、EDACR の DARA4~DARA0 ビットで設定します。各々の拡張リピートエリアのサイズは独立に設定できます。

アドレスレジスタの値が拡張リピートエリアの終端になり拡張リピートエリアがオーバーフローすると、EXDMA 転送を一時停止させて、CPU に対して拡張リピートエリアオーバーフロー割り込み要求を発生することができます。EDACR の SARIE ビットを 1 にセットすると、EDSAR の拡張リピートエリアがオーバーフローしたときに EDMDR の ESIF ビットを 1 セットし、EDMDR の DTE ビットを 0 にクリアして転送を終了します。このとき、EDMDR の ESIE ビットが 1 にセットされていると、CPU に対して拡張リピートエリアオーバーフロー割り込み要求を発生します。EDACR の DARIE ビットを 1 にセットするとデスティネーションアドレスレジスタが対象になります。割り込み発生中に EDMDR の DTE ビットに 1 をセットすると、引き続き転送を再開します。

図 11.15 に拡張リピートエリア機能の例を示します。

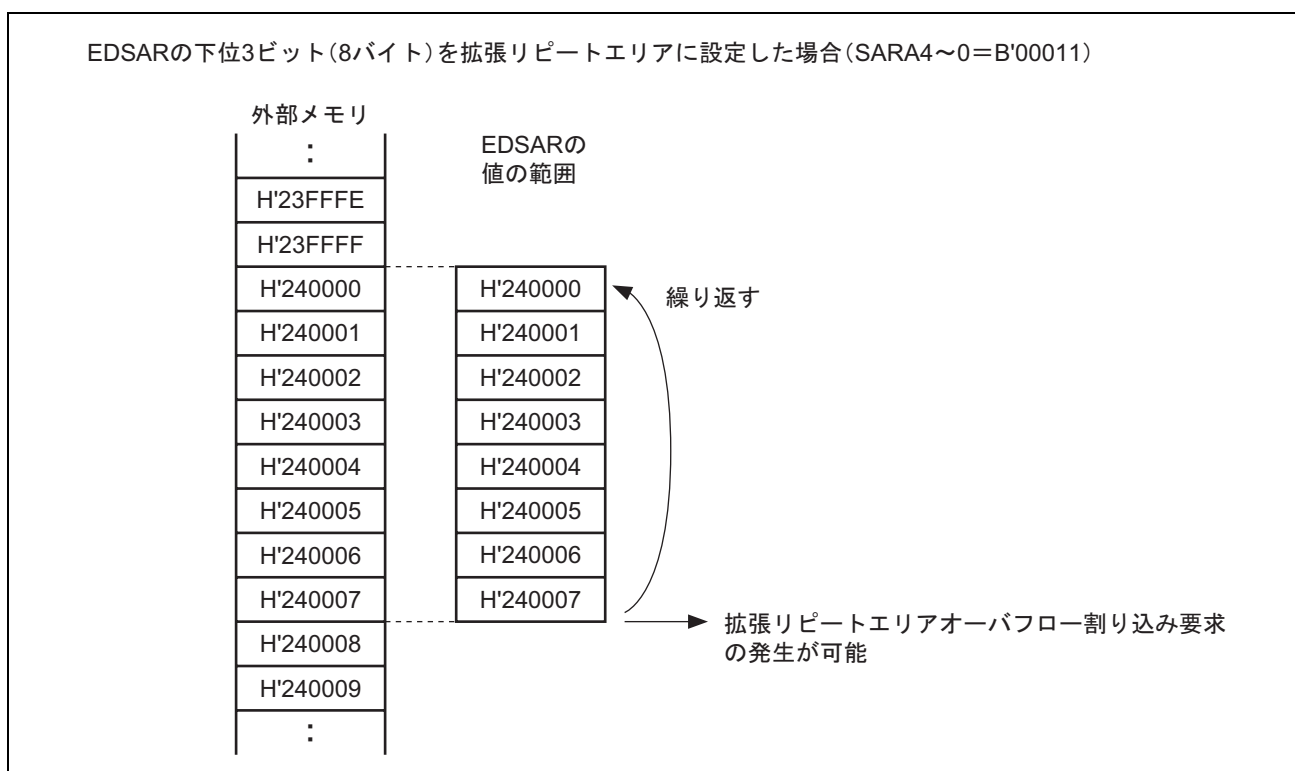


図 11.15 拡張リピートエリア機能の例

拡張リピートエリアオーバーフロー割り込みをブロック転送モードと併用する場合は、次の注意が必要です。

拡張リピートエリアのオーバーフローの発生で転送を終了させる場合は、ブロックサイズを2のべき乗になるように設定するか、またはブロックサイズの切れ目と拡張リピートエリアの範囲の切れ目が一致するようにアドレスレジスタの値を設定する必要があります。また、1ブロックサイズを転送中に拡張リピートエリアにオーバーフローが発生した場合は、1ブロックサイズの転送が終了するまで拡張リピートエリアオーバーフロー割り込み要求は保留され、転送はオーバーランします。

拡張リピートエリアオーバーフロー割り込みをクラスタ転送と併用する場合も、ブロック転送モードと併用するときと同様の注意が必要です。

11. EXDMA コントローラ (EXDMAC)

図 11.16 にブロック転送モードと拡張リピートエリア機能を併用したときの例を示します。

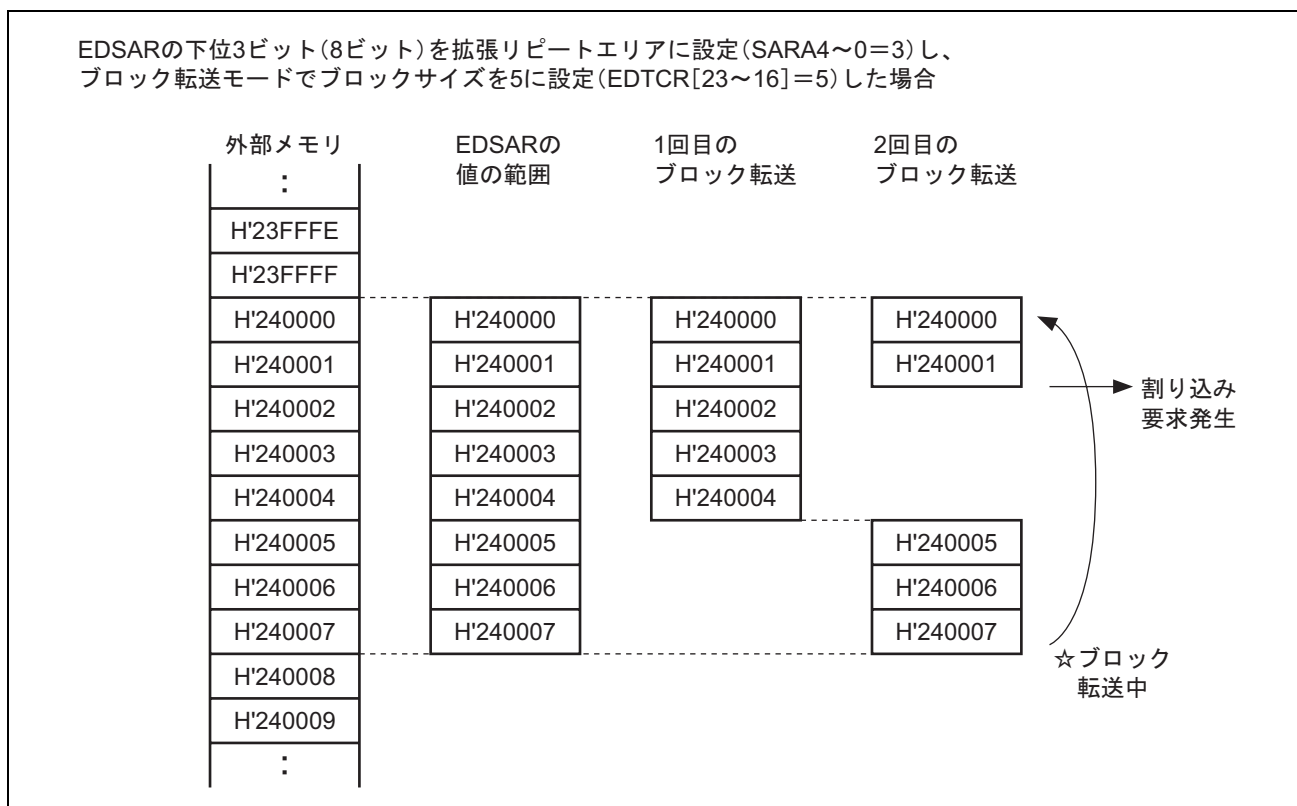


図 11.16 ブロック転送モードと拡張リピートエリア機能を併用したときの例

11.5.6 オフセットを使ったアドレス更新機能

転送先、転送元のアドレスの更新方法には、「固定」、「1、2 または 4 の増減」の他に「オフセット加算」があります。「オフセット加算」では、EXDMAC がデータアクセスサイズ分の転送を行うたびにオフセットレジスタ (EDOFR) で設定したオフセットを加算します。この機能により、途中のアドレスを飛ばしてデータ転送ができます。

図 11.17 にアドレス更新方法を示します。

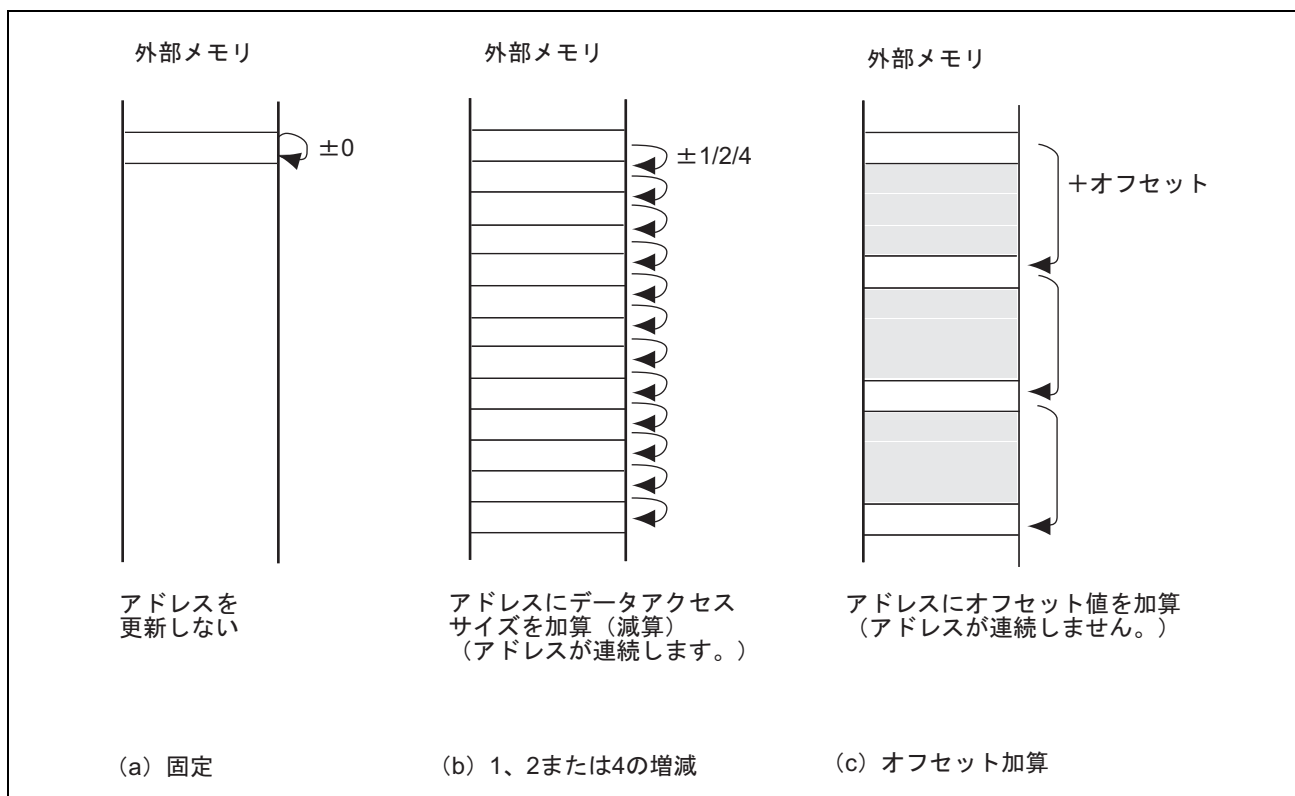


図 11.17 アドレスの更新方法

(a) の「固定」の場合は、転送先あるいは転送元のアドレスの更新が行われず常に同じアドレスを示します。

(b) の「1、2 または 4 の増減」の場合は、データの転送が行われるたびにデータアクセスサイズに応じた値を転送先あるいは転送元のアドレスに加減算します。データアクセスサイズにはバイト、ワード、ロングワードを指定できます。バイト指定では 1、ワード指定では 2、ロングワード指定では 4 の値をアドレスの加減算に使用します。この機能により、EXDMAC は連続するアドレスの転送を実現しています。

(c) の「オフセット加算」の場合は、データアクセスサイズに依存するアドレスの演算を実施しません。EXDMAC はデータアクセスサイズ分の転送が行われるたびに EDOFR で設定した値を転送先あるいは転送元のアドレスに加算します。

EXDMAC は、EDOFR にオフセット値を設定し、EDSAR や EDDAR と演算します。このとき、EXDMAC はオフセット値の加算しか実行できませんが、EDOFR に負値を設定することにより、オフセット値による減算も実現できます。負値を設定する場合は、負値にするオフセット値を 2 の補数で指定してください。

(1) オフセットを使った基本的な転送

図 11.18 に基本的な動作を示します。

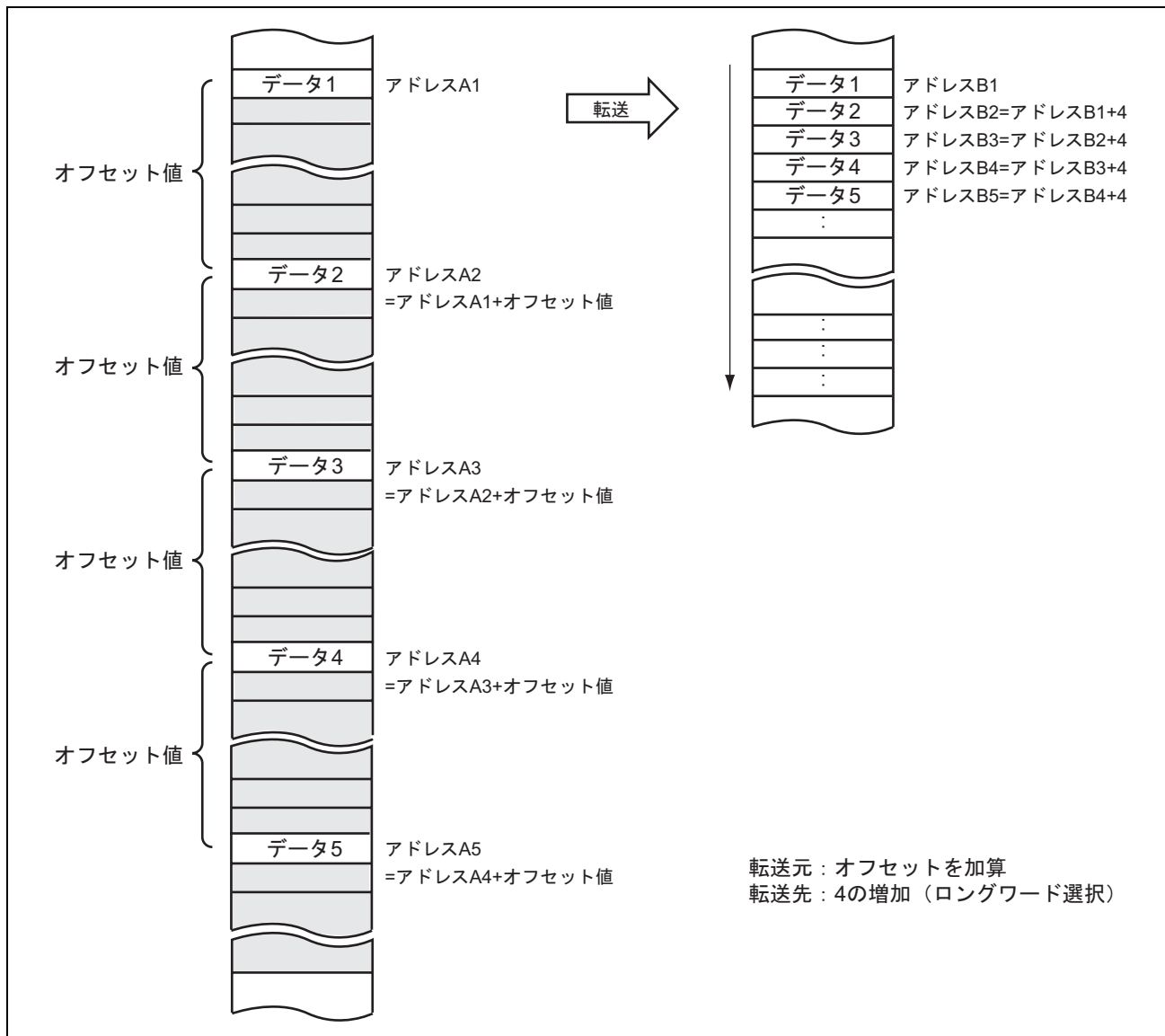


図 11.18 オフセット更新機能の動作

図 11.18 では、転送元アドレスの更新には「オフセット加算」を設定し、転送先アドレスの更新に「1、2、または4の増減」を設定しています。転送元アドレスの2回目以降の更新は、前の転送時のアドレスからオフセット値分ジャンプしたアドレスのデータのリードとなります。この一定間隔を空けてリードしてきたデータは、転送先では連続した領域にライトされます。

(2) オフセットを使ったXY変換例

図 11.19 にリポート転送モードと「オフセット加算」を組み合わせて XY 変換を行うときの動作を示します。

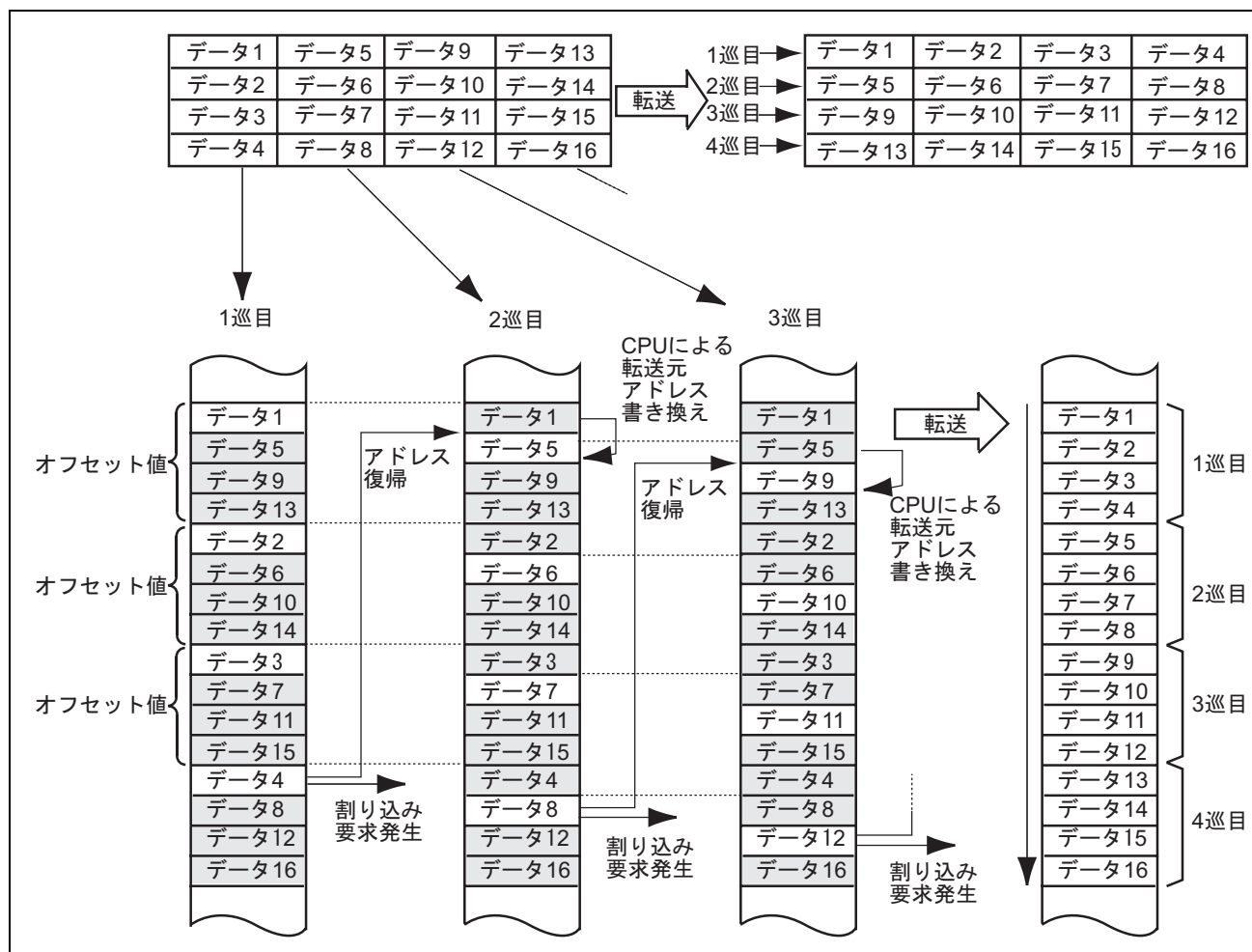


図 11.19 リポート転送モード+オフセット加算による XY 変換のときの動作

図 11.19 では、EDACR でソースアドレス側をリポートエリアに設定し、かつ EDACR で「オフセット加算」を設定しています。オフセット値は、4×データアクセスサイズに相当するアドレスです（例えば、データアクセスサイズがロングワードであるならば、EDOFR に H'00000010 を指定したことになります）。リポートサイズは4×データアクセスサイズです（例えばデータアクセスサイズがロングワードであると、4×4=16 バイトをリポートサイズに指定したことになります）。転送先は「1、2、および4の加算」を設定しています。また、EDACR の RPTIE ビットを1にセットし、リポートサイズ分の転送が終了するとリポートサイズ終了割り込み要求が発生するように設定しています。

転送が開始されると、転送元はアドレスにオフセット値を加算しデータを転送します。転送データは、転送先で転送順に連続して並べられます。データ4までのデータが転送されると、リポートサイズ分のデータを転送したことになります、EXDMAC は転送元のアドレスを転送開始時のアドレス（転送元データ1のアドレス）に復帰させます。また、同時にリポートサイズ終了割り込み要求を発生させます。この割り込み要求によりいったん転送が中断するので、CPU による I/O レジスタアクセスで EDSAR の値をデータ5のアドレスに書

11. EXDMA コントローラ (EXDMAC)

き換えてください（ロングワード転送ならデータ1のアドレス+4にアドレスを書き換えます）。EDMDRのDTEビットを1にセットすると、転送中断した状態から引き続き転送を開始します。以降同様な処理を繰り返すと、転送元のデータが転送先にXY変換されて転送されます。

図 11.20 に XY 変換の処理フローを示します。

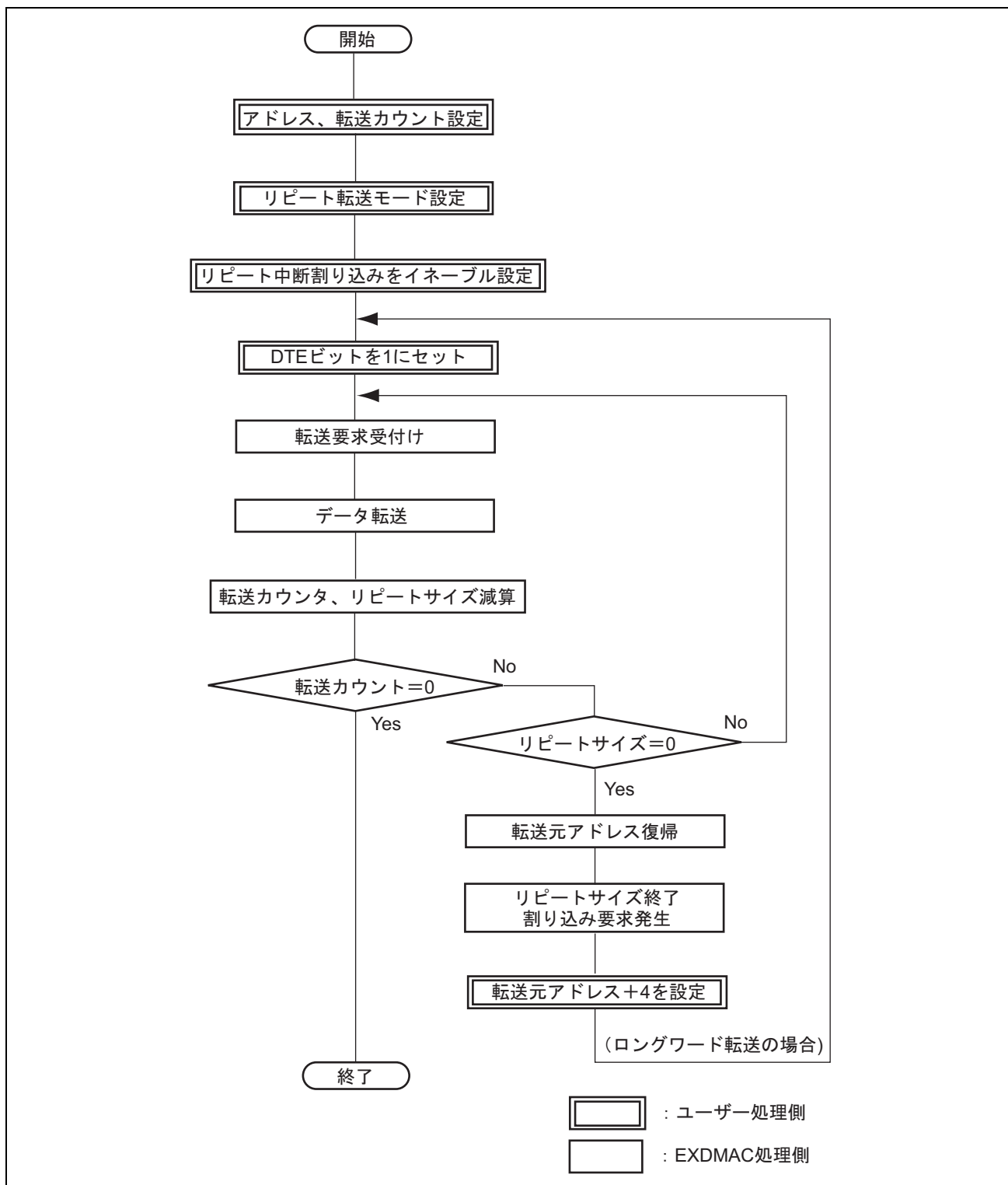


図 11.20 リピート転送モード+オフセット加算によるXY変換のフロー

(3) オフセット減算の指定方法

EDOFR に負値を設定する場合はオフセット値を 2 の補数で指定してください。2 の補数は次式で求められます。

$$[\text{負オフセット値の 2 の補数表現}] = \sim[\text{オフセット値}] + 1 \quad (\sim : \text{ビット反転})$$

例： H'0001FFFF の 2 の補数表現

$$= \text{H'FFFE0000} + \text{H'00000001}$$

$$= \text{H'FFFE0001}$$

2 の補数は、CPU の NEG.L 命令でも求められます。

11.5.7 EXDMA 転送中のレジスタ

EXDMAC のレジスタは、EXDMA 転送処理により値を更新します。更新される値は、各種設定や転送の状態により異なります。更新されるレジスタは、EDSAR、EDDAR、EDTCR、EDBSR の BKSZH、BKSZ ビット、EDMDR の DTE、ACT、ERRF、ESIF、DTIF ビットです。

(1) EXDMA ソースアドレスレジスタ (EDSAR)

転送元の EDSAR のアドレスをアクセスすると、EDSAR の値を出力し、次にアクセスするアドレスに更新されます。

EDACR の SAT1、SAT0 ビットでアドレスの増減を設定します。SAT1、0=B'00 のときアドレスは固定されます。SAT1、0=B'01 のときアドレスはオフセットレジスタ値が加算されます。SAT1、0=B'10 のときアドレスは増加し、SAT1、0=B'11 のときアドレスは減少します（増減サイズは、転送するデータアクセスサイズにより決まります）。

EDMDR の DTSZ1、DTSZ0 ビットでデータアクセスサイズを設定します。DTSZ1、0=B'00 のときバイトサイズになり、アドレスは±1 増減されます。DTSZ1、0=B'01 のときワードサイズになり、アドレスは±2 増減されます。DTSZ1、0=B'10 のときロングワードサイズになり、アドレスは±4 増減されます。また、ワードサイズ、ロングワードサイズの設定であっても、ソースアドレスがワード境界、ロングワード境界を外れている場合、データはバイトやワードに分割してリードされます。1 ワードサイズ分、1 ロングワードサイズ分のデータを分割してリードしている間、アドレス増減サイズは実際にリードされるデータのサイズであるバイトやワードに合わせて、+1、+2 になります。1 ワードサイズ分、1 ロングワードサイズ分のデータのリード後は、リード開始時のアドレスに対して、SAT1、0 の設定に従ったアドレスの増減を行います。

ブロック転送モード（またはリピート転送モード）においてソースアドレス側にブロックエリア（リピートエリア）を設定している場合、ブロックサイズ（リピートサイズ）分の転送を終了すると、ソースアドレスは転送開始アドレスに戻りアドレス更新の影響を受けません。

ソースアドレス側に拡張リピートエリアを設定している場合は、その設定に従います。拡張リピートエリアに設定された上位側のアドレスは固定され、アドレス更新の影響を受けません。

転送中に EDSAR をリードするときは、ロングワードサイズでアクセスしてください。転送中の EDSAR は、CPU からのアクセスに関係なく更新される可能性があり、上位ワードと下位ワードを別々にリードすると正しい値がリードできない可能性があります。また、転送中のチャンネルの EDSAR にライトしないでください。

(2) EXDMA デスティネーションアドレスレジスタ (EDDAR)

転送先の EDDAR のアドレスをアクセスすると、EDDAR の値を出力し、次にアクセスするアドレスに更新されます。

EDACR の DAT1、DAT0 ビットでアドレスの増減を設定します。DAT1、0=B'00 のときアドレスは固定されます。DAT1、0=B'01 のときアドレスはオフセットレジスタ値が加算されます。DAT1、0=B'10 のときアドレスは増加し、DAT1、0=B'11 のときアドレスは減少します（増減サイズは、転送するデータアクセスサイズにより決まります）。

EDMDR の DTSZ1、DTSZ0 ビットでデータアクセスサイズを設定します。DTSZ1、0=B'00 のときバイトサイズになり、アドレスは±1 増減されます。DTSZ1、0=B'01 のときワードサイズになり、アドレスは±2 増減されます。DTSZ1、0=B'10 のときロングワードサイズになり、アドレスは±4 増減されます。また、ワードサイズ、ロングワードサイズの設定であっても、デスティネーションアドレスがワード境界、ロングワード境界を外れている場合、データはバイトやワードに分割してライトされます。1 ワードサイズ分、1 ロングワードサイズ分のデータを分割してライトしている間、アドレス増減サイズは実際にライトされるデータのサイズであるバイトやワードに合わせて、+1、+2 になります。1 ワードサイズ分、1 ロングワードサイズ分のデータのライト後は、ライト開始時のアドレスに対して、SAT1、0 の設定に従ったアドレスの増減を行います。

ブロック転送モード（またはリピート転送モード）においてデスティネーションアドレス側にブロックエリア（リピートエリア）を設定している場合、ブロックサイズ（リピートサイズ）分の転送を終了すると、デスティネーションアドレスは転送開始アドレスに戻りアドレス更新の影響を受けません。

デスティネーションアドレス側に拡張リピートエリアを設定している場合は、その設定に従います。拡張リピートエリアに設定された上位側のアドレスは固定され、アドレス更新の影響を受けません。

転送中に EDDAR をリードするときは、ロングワードサイズでアクセスしてください。転送中の EDDAR は、CPU からのアクセスに関係なく更新される可能性があり、上位ワードと下位ワードを別々にリードすると正しい値がリードできない可能性があります。また、転送中のチャンネルの EDDAR にライトしないでください。

(3) EXDMA 転送カウントレジスタ (EDTCR)

EXDMA 転送を行うと、EDTCR の値は転送したバイト数分減少します。バイト転送した場合は-1、ワード転送した場合は-2、ロングワード転送した場合は-4 されます。ただし、EDTCR の値が 0 のとき、転送回数はカウントされないため EDTCR の値は変化しません。

EDTCR の全ビットが変化する可能性があるため、EXDMA 転送中に CPU から EDTCR をリードするときは、ロングワードサイズでアクセスしてください。転送中の EDTCR は CPU からのアクセスに関係なく更新される可能性があり、上位ワードと下位ワードを別々にリードすると正しい値がリードできない可能性があります。また、動作中のチャンネルの EDTCR にライトしないでください。

EXDMA 転送に伴うアドレスの更新と CPU によるライトが競合した場合は、CPU によるライトが優先されます。EDTCR=1、2、4→0 への更新と CPU によるライト（値は 0 以外）が競合した場合は、EDTCR の値は CPU によるライトが優先されますが、転送は終了します。

(4) EXDMA ブロックサイズレジスタ (EDBSR)

EDBSR はブロック転送モード、またはリピート転送モードのときに有効となります。EDBSR [31:16] は BKSZH、EDBSR [15:0] は BKSZ として機能します。BKSZH の 16 ビットはブロックサイズやリピートサイズを保持し、その値は変化しません。BKSZ の 16 ビットはブロックサイズやリピートサイズのカウンタとして機能し、1 データ転送毎に-1 します。EXDMA 転送によって BKSZ の値が 0 になると判断されると、EXDMAC は BKSZ に 0 をストアせずに BKSZH の値をストアします。

EDBSR は上位 16 ビットが更新されることがないので、ワードサイズでアクセスすることができます。動作中のチャンネルの EDBSR にライトしないでください。

(5) EDMDR の DTE ビット

EDMDR の DTE ビットは、CPU によりライトしてデータ転送の許可/禁止を制御しますが、EXDMA 転送状態によって EXDMAC により自動的に DTE ビットを 0 にクリアすることがあります。

EXDMAC により DTE ビットが 0 にクリアされる条件は以下です。

- 設定の総転送サイズの転送が終了したとき
- 転送サイズエラー割り込み要求が発生し、転送が終了したとき
- リピートサイズ終了割り込み要求が発生し、転送が終了したとき
- 拡張リピートエリアオーバフロー割り込み要求が発生し、転送が終了したとき
- NMI 割り込みが発生し、転送が停止したとき
- アドレスエラーが発生し、転送が停止したとき
- リセット時
- ハードウェアスタンバイモード時
- DTE ビットに 0 をライトして、転送が停止したとき

DTE ビットが 1 にセットされているチャンネルのレジスタのライトは禁止されています (DTE ビットを除く)。DTE ビットに 0 をライトしてから各レジスタの設定を変更するときは、DTE ビットが 0 にクリアされていることを確認してください。

図 11.21 に、動作中のチャンネルのレジスタ設定を変更する手順を示します。

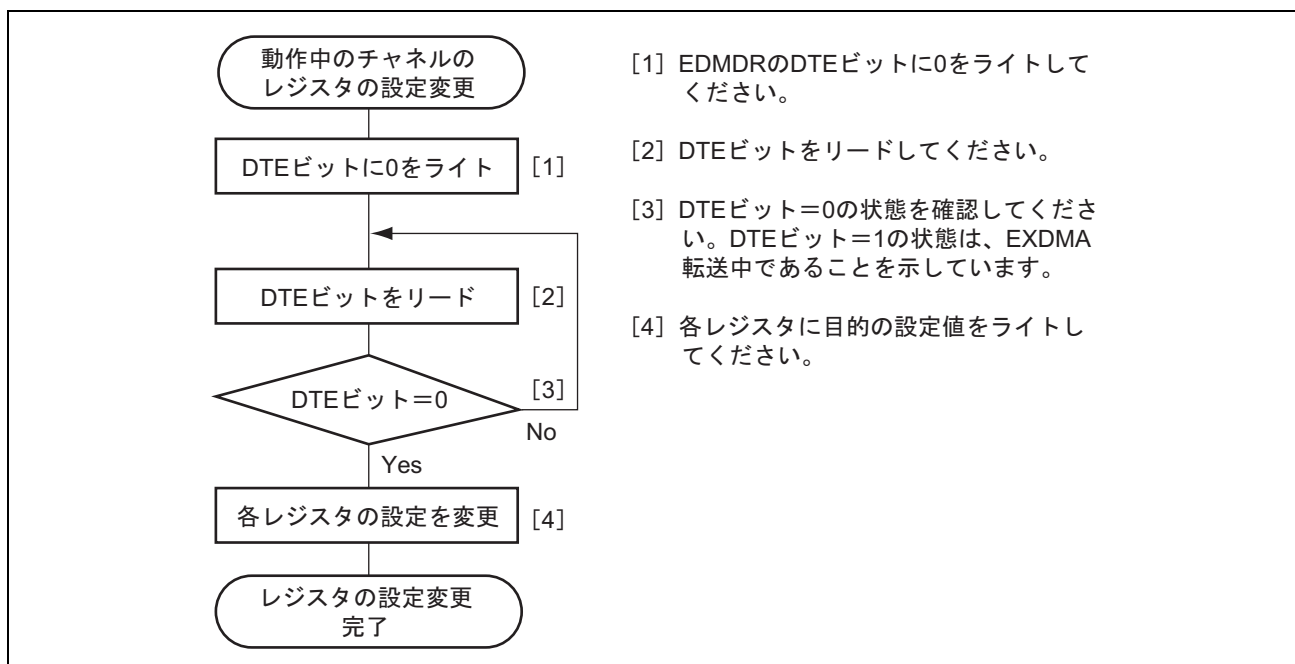


図 11.21 動作中のチャンネルのレジスタ設定を変更するときの手順

(6) EDMDR の ACT ビット

EDMDR の ACT ビットは、EXDMAC が待機状態かアクティブ状態かを示します。DTE = 0 の場合と、DTE = 1 で転送要求待ち状態の場合に ACT = 0 となり、それ以外の場合 (EXDMAC がアクティブ状態) には ACT = 1 になります。DTE ビットに 0 をライトして転送を停止させても EXDMA 転送中であれば、ACT ビットは 1 を保持します。

ブロック転送モードの場合、DTE ビットに 0 をライトして転送を停止させても 1 ブロックサイズの転送は中断されません。DTE ビットに 0 をライトしてから 1 ブロックサイズの転送が終了するまでの期間、ACT ビットは 1 を保持します。

バーストモードの場合、DTE ビットに 0 をライトしたバスサイクルから最大 3 回の EXDMA 転送が行われてから転送を停止します。DTE ビットに 0 をライトしてから最後の EXDMA サイクルが終了するまでの期間、ACT ビットは 1 を保持します。

(7) EDMDR の ERRF ビット

アドレスエラー、または NMI 割り込みが発生した場合、EXDMAC は全チャンネルの DTE ビットを 0 にクリアして転送を終了します。また、EXDMAC は転送中か否かに関わらず、EDMDR_0 の ERRF ビットを 1 にセットし、アドレスエラー、または NMI 割り込みが発生したことを示します。ただし、EXDMAC がモジュールストップ状態にある場合は、アドレスエラーや NMI 割り込みに対して、ERRF ビットを 1 にセットしません。

(8) EDMDR の ESIF ビット

転送サイズ割り込み、リポートサイズ終了割り込み、拡張リポートエリアオーバフロー割り込み要求が発生したとき、EDMDR の ESIF ビットは 1 にセットされます。ESIF ビットが 1 にセットされ、EDMDR の ESIE ビットが 1 にセットされていると転送エスケープ割り込み要求を CPU や DTC に対して発生します。

ESIF ビットに 1 がセットされるタイミングは、割り込み要求を発生させる要因になった EXDMA 転送のバスサイクルが終了して、EDMDR の ACT ビットが 0 になって転送を終了したときです。

割り込み処理中に DTE ビットを 1 にセットして転送を再開した場合、自動的に ESIF ビットが 0 にクリアされ、割り込み要求は解除されます。

割り込みについては「11.9 割り込み要因」を参照してください。

(9) EDMDR の DTIF ビット

EXDMA 転送によって総転送サイズ分の転送を終了すると、EDMDR の DTIF ビットは 1 にセットされます。DTIF ビットが 1 にセットされ、EDMDR の DTIE ビットが 1 にセットされていると転送カウンタによる転送終了割り込み要求を CPU や DTC に対して発生します。

DTIF ビットが 1 にセットされるタイミングは、EXDMA 転送のバスサイクルが終了して、EDMDR の ACT ビットが 0 になって転送を終了したときです。

割り込み処理中に DTE ビットに 1 をセットして転送を再開した場合、自動的に DTIF ビットが 0 クリアされ、割り込み要求は解除されます。

割り込みについては「11.9 割り込み要因」を参照してください。

11.5.8 チャンネルの優先順位

EXDMAC のチャンネル間の優先順位は、チャンネル 0 > チャンネル 1 > チャンネル 2 > チャンネル 3 の順になっています。表 11.6 に EXDMAC のチャンネル間の優先順位を示します。

表 11.6 EXDMAC のチャンネル間の優先順位

チャンネル	優先順位
チャンネル 0	高
チャンネル 1	↑
チャンネル 2	
チャンネル 3	

転送中に他のチャンネルからの転送要求があると、転送中のチャンネルを除いて最も優先度の高いチャンネルが選択されます。選択されたチャンネルは、転送中のチャンネルがバスを解放後に転送を開始します。このとき、EXDMAC 以外の他のバスマスタからバス権要求があると、他のバスマスタのサイクルが入ります。

バースト転送中、1 ブロック分のブロック転送中、および 1 クラスタ分のクラスタ転送中は、チャンネルを切り換えて転送することはありません。

11. EXDMA コントローラ (EXDMAC)

図 11.22 に、チャンネル 0~2 からの転送要求が同時に発生したときの転送例を示します。

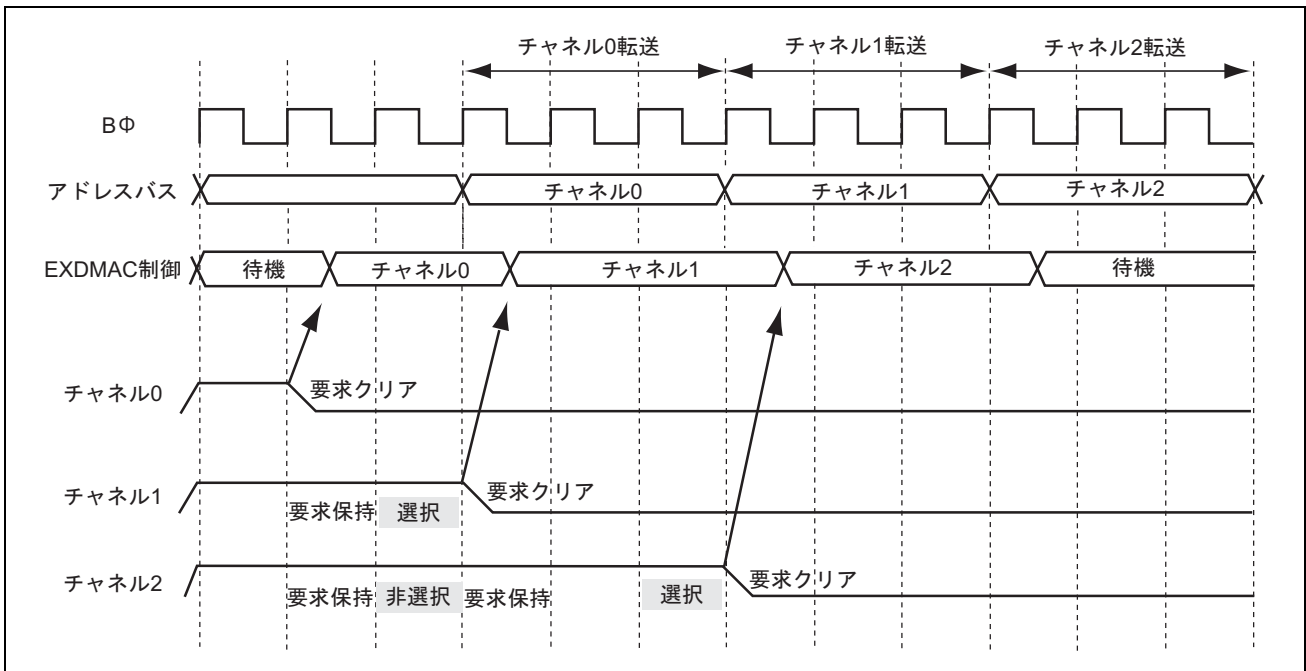


図 11.22 チャンネルの優先順位のタイミング例

11.5.9 基本バスサイクル

基本的なバスサイクルのタイミング例を図 11.23 に示します。図 11.23 は、ワードサイズで 16 ビット 2 ステートアクセス空間から 8 ビット 3 ステートアクセス空間へ転送する例です。CPU から EXDMAC にバス権が移ると、ソースアドレスのリード、デスティネーションアドレスのライトを行います。このリード/ライト動作の間に、他のバス権要求などによってバスを解放することはありません。EXDMAC サイクルは CPU サイクルと同様にバスコントローラの設定に従います。

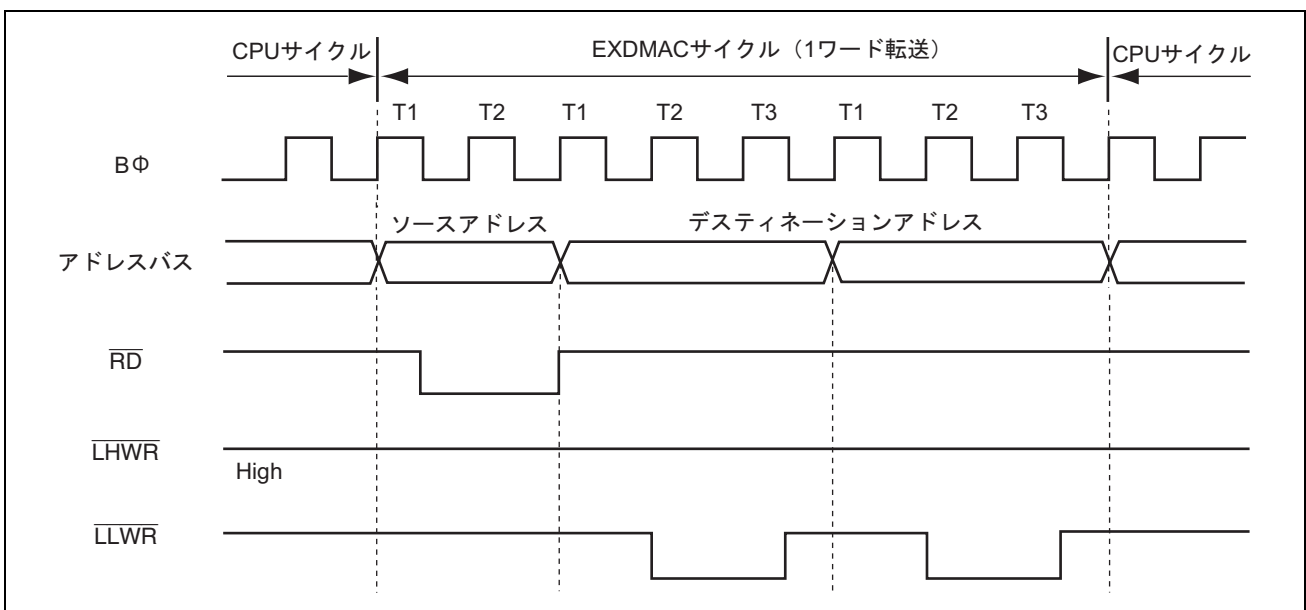


図 11.23 EXDMA 転送バスタイミング例

11.5.10 デュアルアドレスモードのバスサイクル

(1) ノーマル転送モード (サイクルスチールモード)

サイクルスチールモードでは、1回の転送単位 (1 バイト、1 ワードまたは1 ロングワード) の転送を終了するたびにバスを解放します。バス解放期間中は CPU、DMAC または DTC によるバスサイクルが 1 回以上入ります。

図 11.24 に、 $\overline{\text{ETEND}}$ 出力を許可して、外部 16 ビット 2 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へワードサイズでノーマル転送モードかつサイクルスチールモードで転送を行った場合の例を示します。

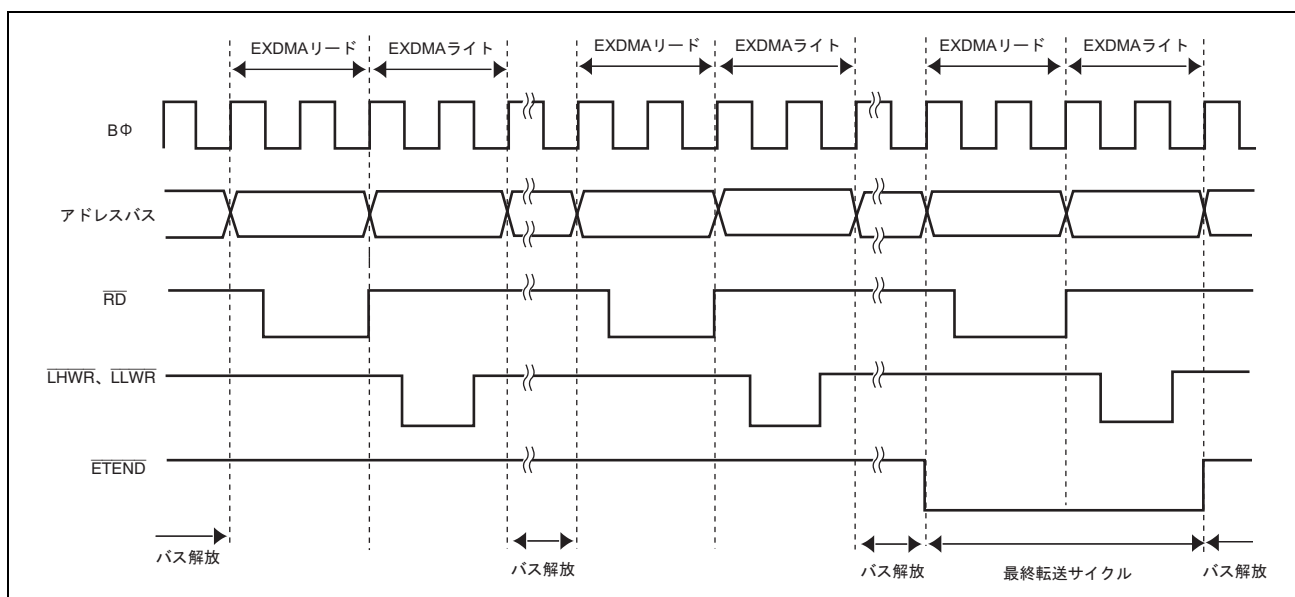


図 11.24 ノーマル転送モードかつサイクルスチールモードの転送例

11. EXDMA コントローラ (EXDMAC)

図 11.25、図 11.26 に、 $\overline{\text{ETEND}}$ 出力を許可して、外部 16 ビット 2 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へロングワードサイズでノーマル転送モードかつサイクルスチールモードで転送を行った場合の例を示します。

図 11.25 では、転送元は (SAR=ロングワード境界を外れたアドレス)、転送先は (DAR=ロングワード境界に沿ったアドレス) です。

図 11.26 では、転送元は (SAR=ロングワード境界に沿ったアドレス)、転送先は (DAR=ロングワード境界を外れたアドレス) です。

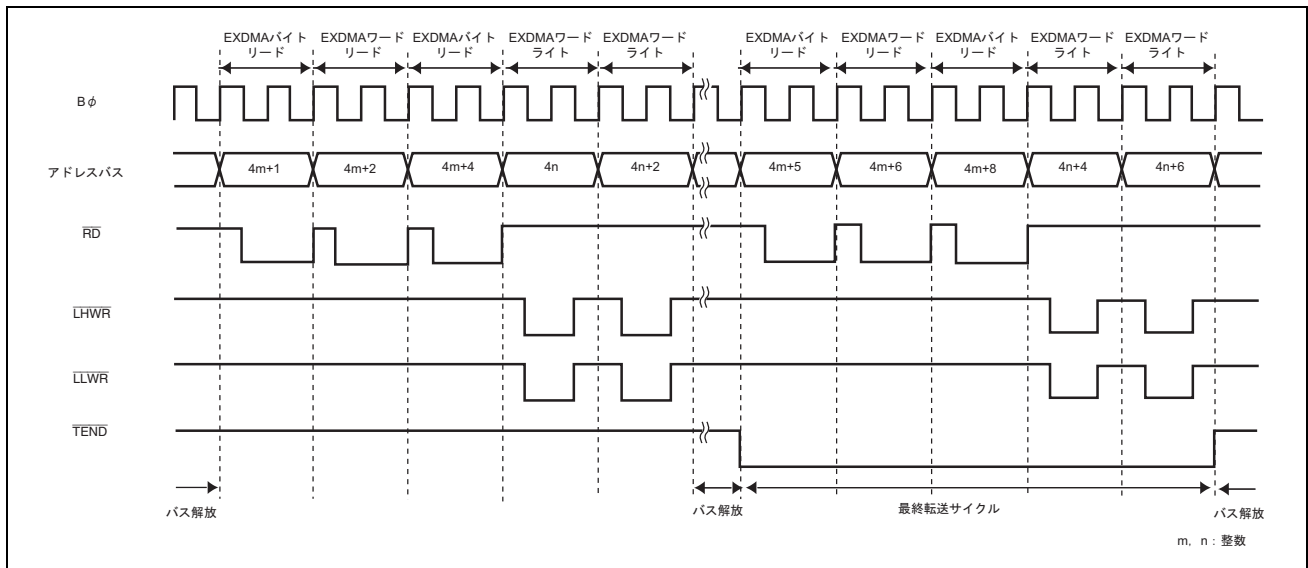


図 11.25 ノーマル転送モードかつサイクルスチールモードの転送例
(転送元 EDSAR=奇数アドレス、ソースアドレス増加)

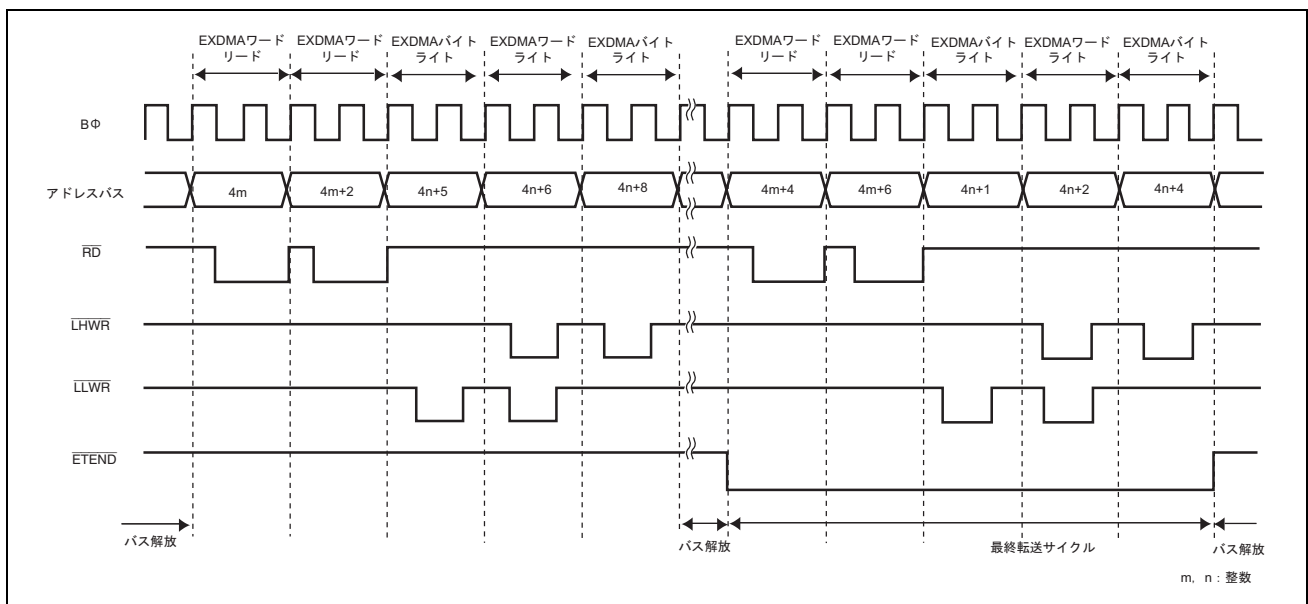


図 11.26 ノーマル転送モードかつサイクルスチールモードの転送例
(転送先 EDDAR=奇数アドレス、デスティネーションアドレス減少)

(2) ノーマル転送モード (バーストモード)

バーストモードでは、1 バイト、1 ワードまたは 1 ロングワードの転送を転送終了条件が満たされるまで続けます。

バースト転送を開始すると、優先順位の高い他のチャネルの転送要求が発生してもバースト転送が終了するまで待たされます。

図 11.27 に、 $\overline{\text{ETEND}}$ 出力を許可して、外部 16 ビット 2 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へワードサイズでノーマル転送モードかつバーストモードで転送を行った場合の例を示します。

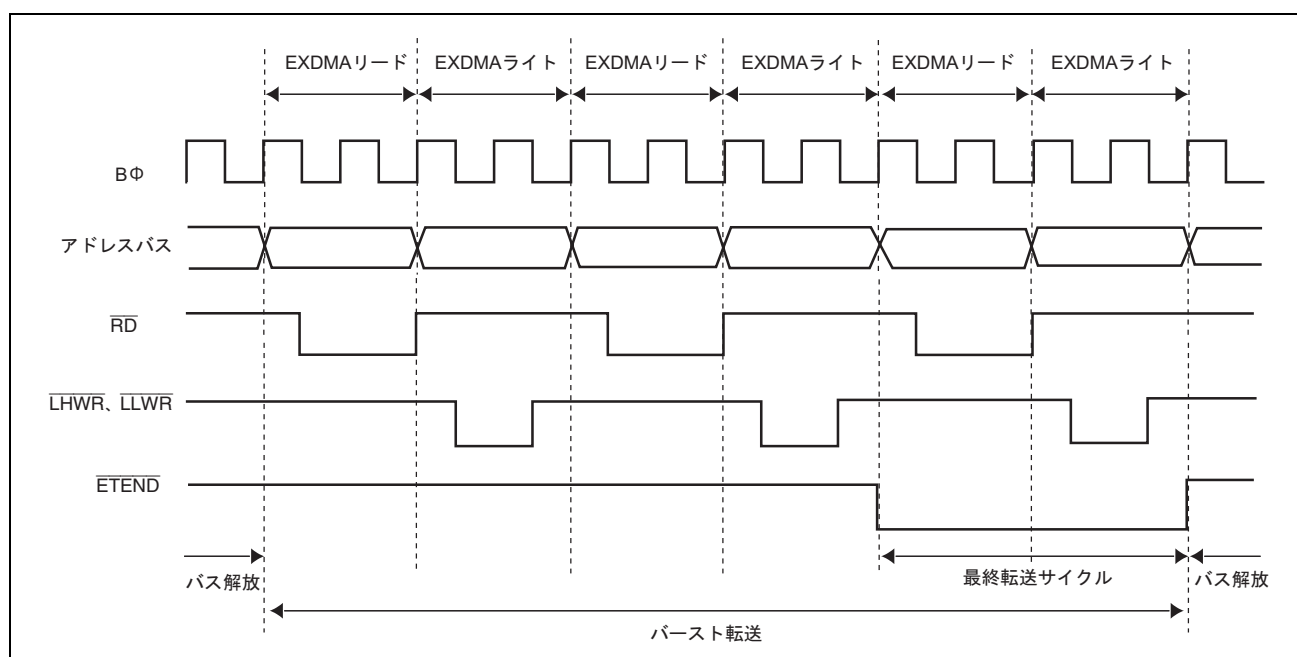


図 11.27 ノーマル転送モードかつバーストモードの転送例

11. EXDMA コントローラ (EXDMAC)

(3) ブロック転送モード

ブロック転送モードでは、1回の転送要求について1ブロック分の転送を終了するたびにバスを解放します。

図 11.28 に、 $\overline{\text{ETEND}}$ 出力を許可して、外部 16 ビット 2 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へワードサイズでブロック転送モードで転送を行った場合の例を示します。

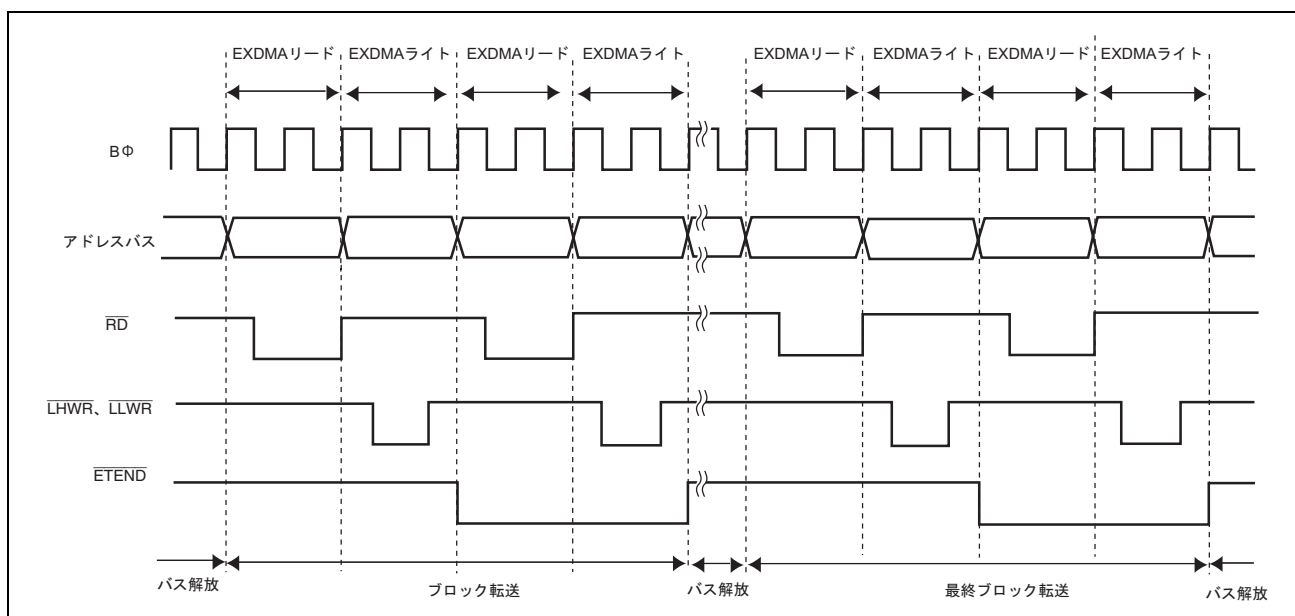


図 11.28 ブロック転送モードの転送例

(4) $\overline{\text{EDREQ}}$ 立ち下がりエッジ起動タイミング

図 11.29 に $\overline{\text{EDREQ}}$ 立ち下がりエッジ起動時のノーマル転送モードの転送例を示します。

$\overline{\text{EDREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の B ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{EDREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{EDREQ}}$ の Low レベルがサンプリングされると、EXDMAC 内部で転送要求が保持されます。次に EXDMAC 内部で起動がかかると転送要求はクリアされ、エッジ検出のため $\overline{\text{EDREQ}}$ の High レベルのサンプリングが開始されます。EXDMA ライトサイクル終了までに $\overline{\text{EDREQ}}$ の High レベルのサンプリングが済んでいればライトサイクル終了後に転送要求の受け付けが再開され、再び $\overline{\text{EDREQ}}$ の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

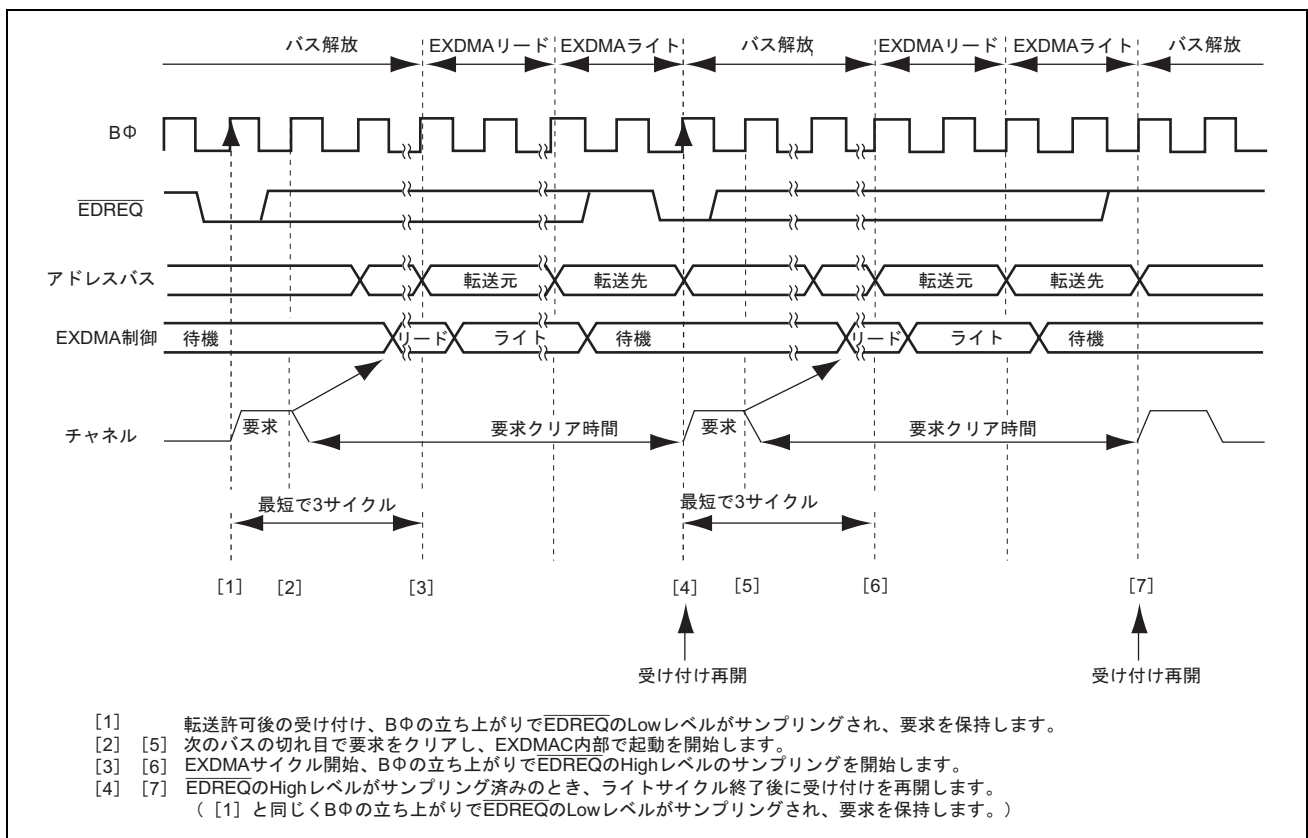


図 11.29 $\overline{\text{EDREQ}}$ 立ち下がりエッジ起動時のノーマル転送モードの転送例

11. EXDMA コントローラ (EXDMAC)

図 11.30 に $\overline{\text{EDREQ}}$ 立ち下がりエッジ起動時のブロック転送モードの転送例を示します。

$\overline{\text{EDREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の B ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{EDREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{EDREQ}}$ の Low レベルがサンプリングされると、EXDMAC 内部で転送要求が保持されます。次に EXDMAC 内部で起動がかかると転送要求はクリアされ、エッジ検出のため $\overline{\text{EDREQ}}$ の High レベルのサンプリングが開始されます。EXDMA ライトサイクル終了までに $\overline{\text{EDREQ}}$ の High レベルのサンプリングが済んでいればライトサイクル終了後に転送要求の受け付けが再開され、再び $\overline{\text{EDREQ}}$ の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

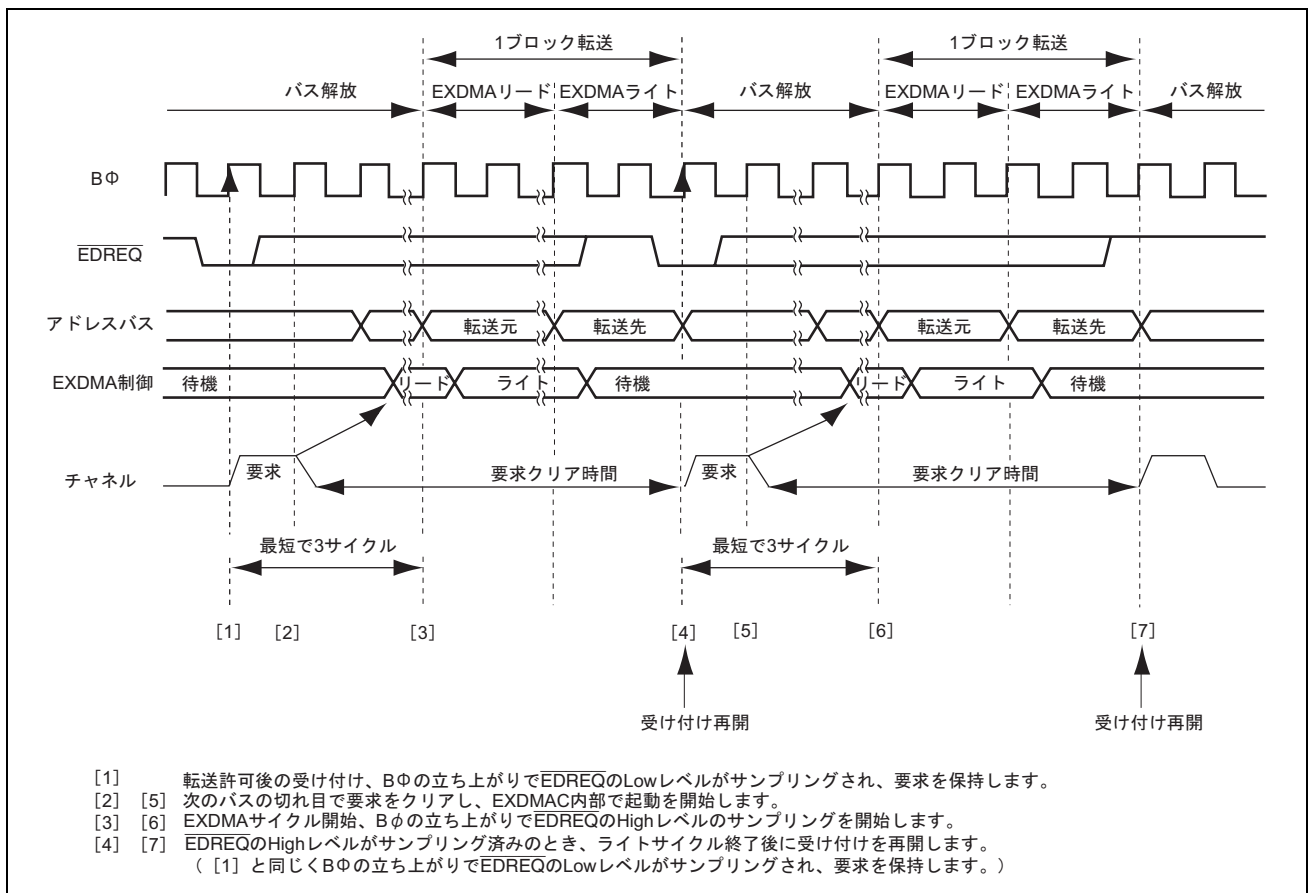


図 11.30 $\overline{\text{EDREQ}}$ 立ち下がりエッジ起動時のブロック転送モードの転送例

(5) $\overline{\text{EDREQ}}$ レベル起動タイミング

図 11.31 に $\overline{\text{EDREQ}}$ レベル起動時のノーマル転送モードの転送例を示します。

$\overline{\text{EDREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の $B\phi$ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{EDREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{EDREQ}}$ の Low レベルがサンプリングされると、EXDMAC 内部で転送要求が保持されます。次に EXDMAC 内部で起動がかかると転送要求はクリアされます。ライトサイクル終了後に転送要求の受け付けが再開され、再び $\overline{\text{EDREQ}}$ 端子の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

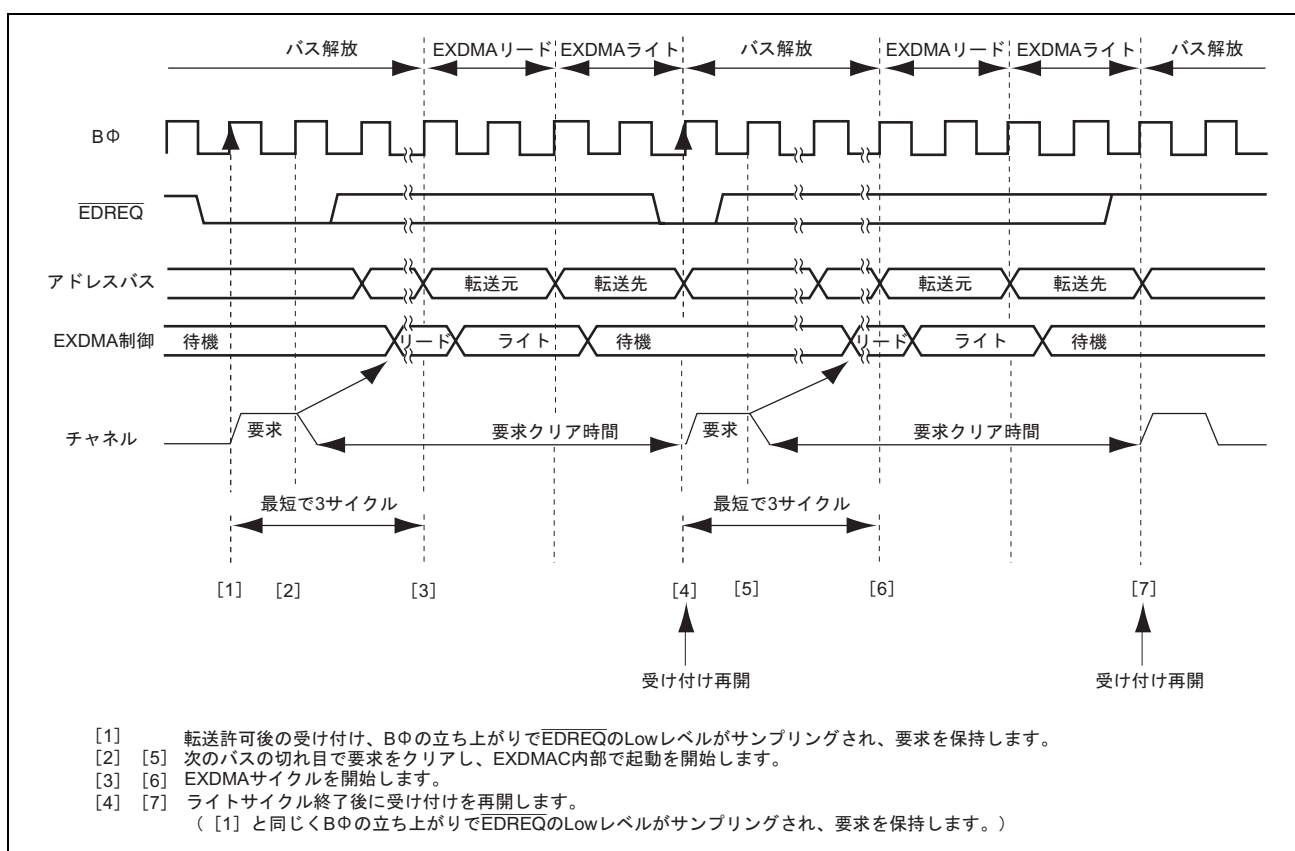


図 11.31 $\overline{\text{EDREQ}}$ レベル起動時のノーマル転送モードの転送例

11. EXDMA コントローラ (EXDMAC)

図 11.32 に $\overline{\text{EDREQ}}$ レベル起動時のブロック転送モードの転送例を示します。

$\overline{\text{EDREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の $B\phi$ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{EDREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{EDREQ}}$ の Low レベルがサンプリングされると、EXDMAC 内部で転送要求が保持されます。次に EXDMAC 内部で起動がかかると転送要求はクリアされます。ライトサイクル終了後に転送要求の受け付けが再開され、再び $\overline{\text{EDREQ}}$ の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

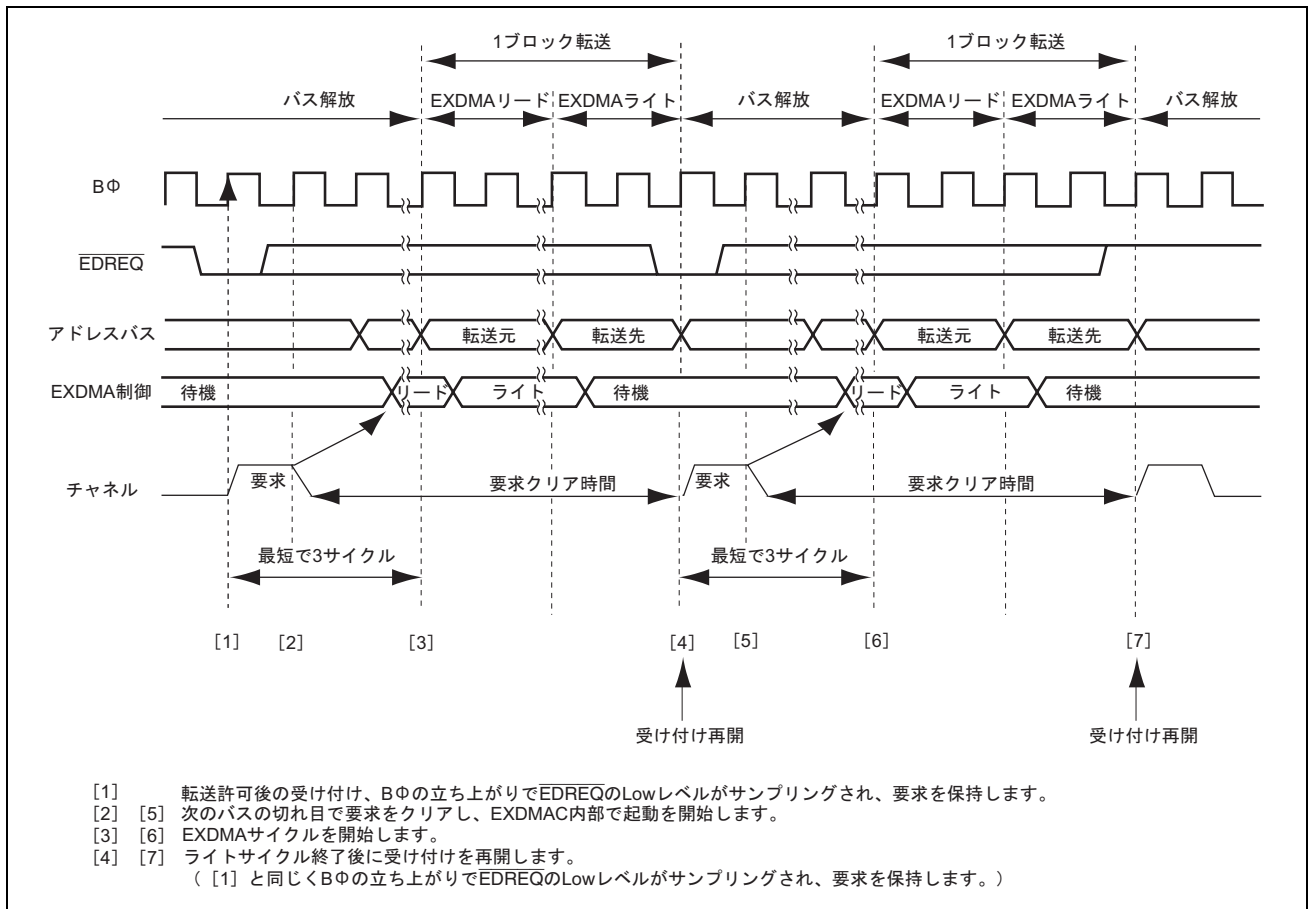


図 11.32 $\overline{\text{EDREQ}}$ レベル起動時のブロック転送モードの転送例

(6) NRD=1 のときの $\overline{\text{EDREQ}}$ Low レベル起動タイミング

EDMDR の NRD ビットを 1 にセットすると、次の転送要求の受け付けタイミングを 1 サイクル遅延させることができます。

図 11.33 に NRD=1 のときの $\overline{\text{EDREQ}}$ Low レベル起動時のノーマル転送モードの転送例を示します。

$\overline{\text{EDREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の B ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{EDREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{EDREQ}}$ の Low レベルがサンプリングされると、EXDMAC 内部で要求が保持されます。次に EXDMAC 内部で起動がかかると転送要求はクリアされます。ライトサイクル終了後に NRD=1 による 1 サイクルの要求クリア期間後に受け付けが再開され、再び $\overline{\text{EDREQ}}$ の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

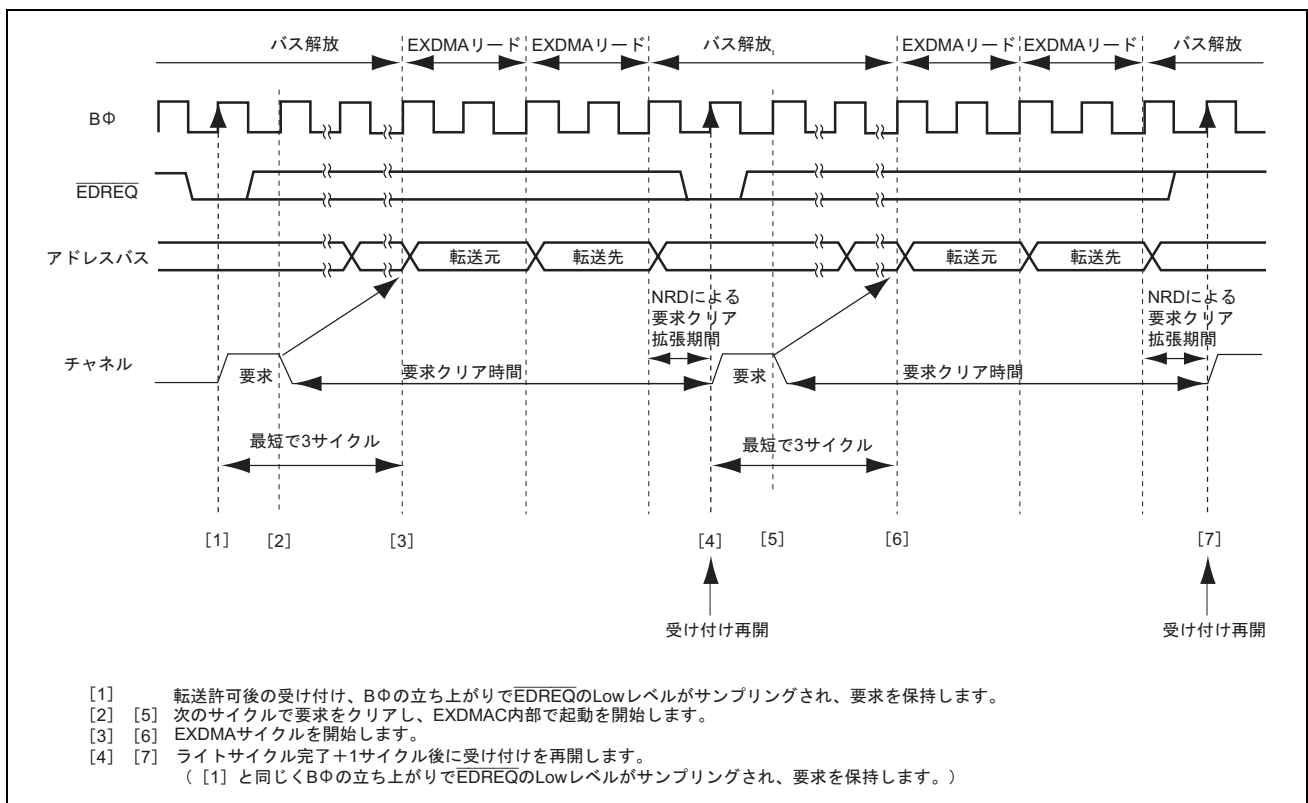


図 11.33 NRD=1 のときの $\overline{\text{EDREQ}}$ Low レベル起動時のノーマル転送モードの転送例

11.5.11 シングルアドレスモードのバスサイクル

(1) シングルアドレスモード (リード、サイクルスチールモード)

シングルアドレスモードでは、1回の転送要求について1バイト、1ワード、または1ロングワードの転送を行い、転送終了後にいったんバスを解放します。バス解放期間中はCPU、DMAC、またはDTCによるバスサイクルが1回以上入ります。

図 11.34 に、 $\overline{\text{ETEND}}$ 出力を許可して、外部 8 ビット 2 ステートアクセス空間から外部デバイスへバイトサイズでシングルアドレスモードで転送 (リード) を行った場合の例を示します。

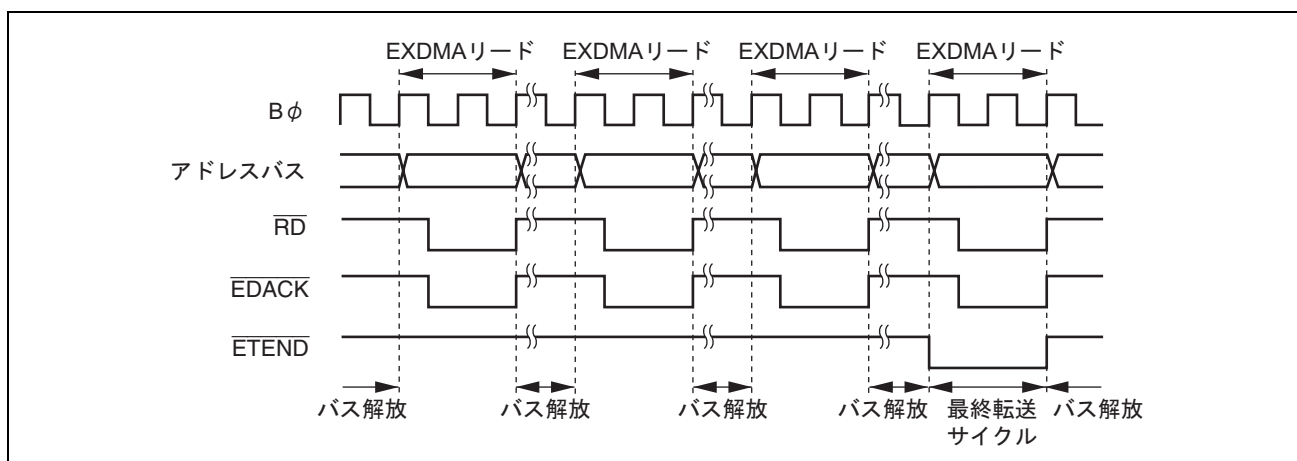


図 11.34 シングルアドレスモード (バイトリード) の転送例

(2) シングルアドレスモード (ライト、サイクルステルモード)

シングルアドレスモードでは、1回の転送要求について1バイト、1ワード、または1ロングワードの転送を行い、転送終了後にいったんバスを解放します。バス解放期間中はCPU、DMAC、またはDTCによるバスサイクルが1回以上入ります。

図 11.35 に、 $\overline{\text{ETEND}}$ 出力を許可して、外部デバイスから外部 8 ビット 2 ステートアクセス空間へバイトサイズでシングルアドレスモードで転送 (ライト) を行った場合の例を示します。

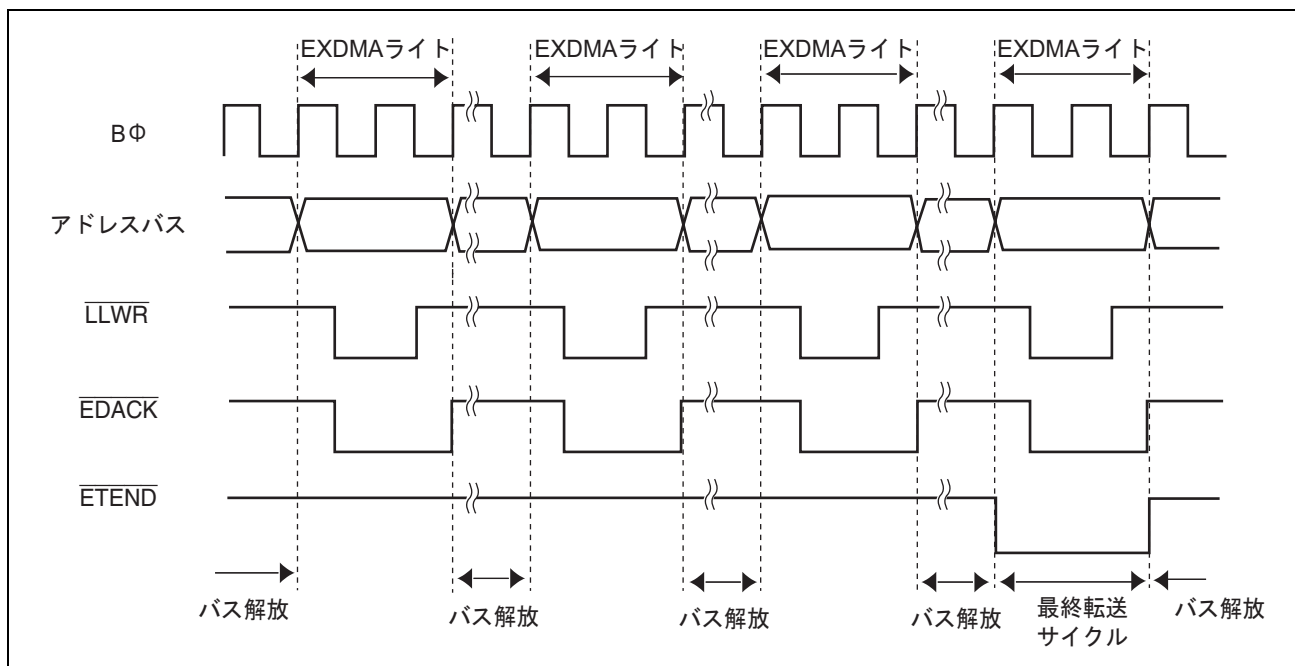


図 11.35 シングルアドレスモード (バイトライト) の転送例

(3) $\overline{\text{EDREQ}}$ 立ち下がリエッジ起動タイミング

図 11.36 に $\overline{\text{EDREQ}}$ 立ち下がリエッジ起動時のシングルアドレスモードの転送例を示します。

$\overline{\text{EDREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の B ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{EDREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{EDREQ}}$ の Low レベルがサンプリングされると、EXDMAC 内部で要求が保持されます。次に EXDMAC 内部で起動がかかると転送要求はクリアされ、エッジ検出のために $\overline{\text{EDREQ}}$ の High レベルのサンプリングが開始されます。EXDMA シングルサイクル終了までに $\overline{\text{EDREQ}}$ の High レベルのサンプリングが済んでいれば、シングルサイクル終了後に転送要求の受け付けが再開され、再び $\overline{\text{EDREQ}}$ の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

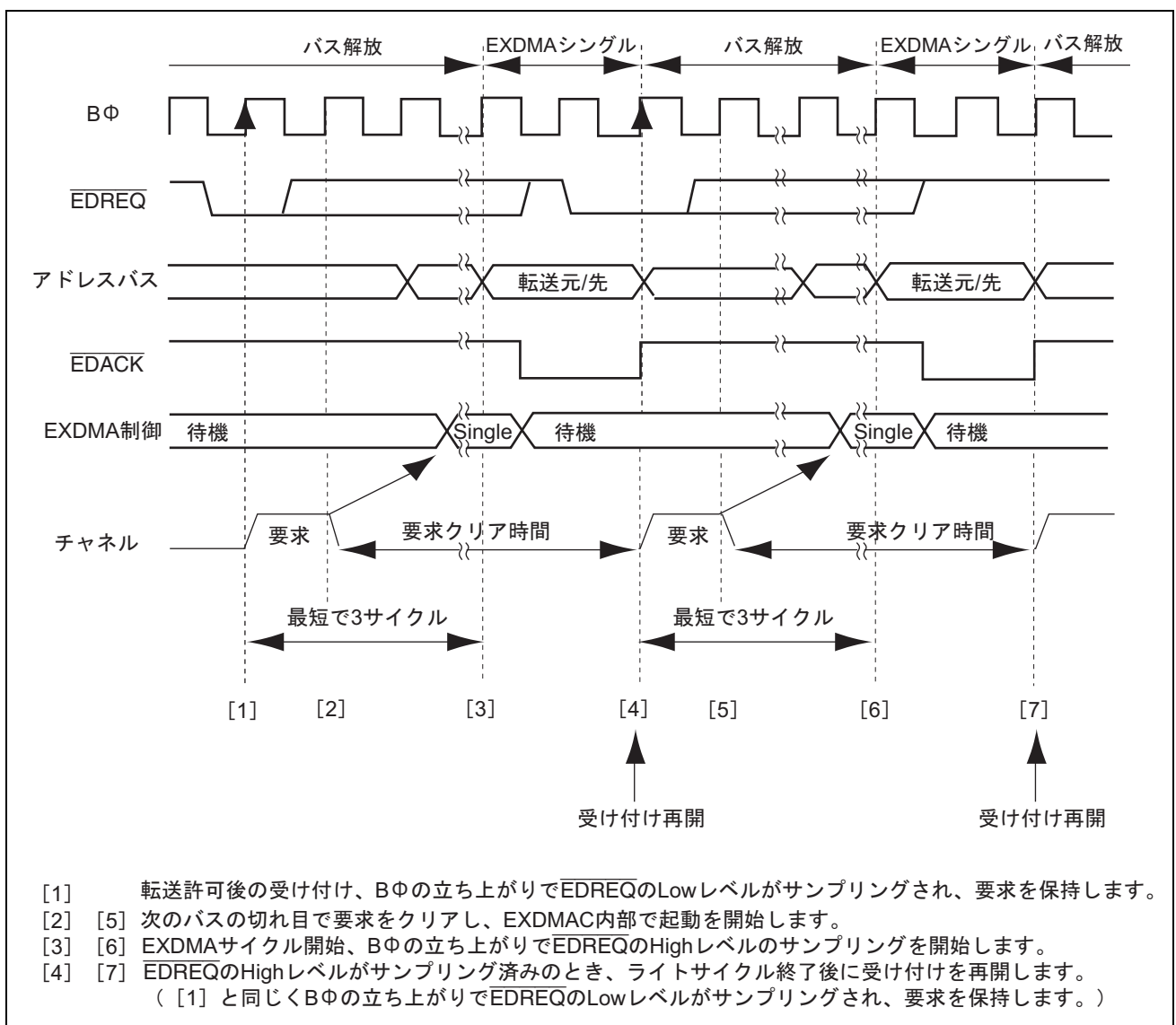


図 11.36 $\overline{\text{EDREQ}}$ 立ち下がリエッジ起動時のシングルアドレスモードの転送例

(4) $\overline{\text{EDREQ}}$ Low レベル起動タイミング

図 11.37 に $\overline{\text{EDREQ}}$ Low レベル起動時のシングルアドレスモードの転送例を示します。

$\overline{\text{EDREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の B ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{EDREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{EDREQ}}$ の Low レベルがサンプリングされると、EXDMAC 内部で転送要求が保持されます。次に EXDMAC 内部で起動がかかると転送要求はクリアされます。シングルサイクル終了後に転送要求の受け付けが再開され、再び $\overline{\text{EDREQ}}$ 端子の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

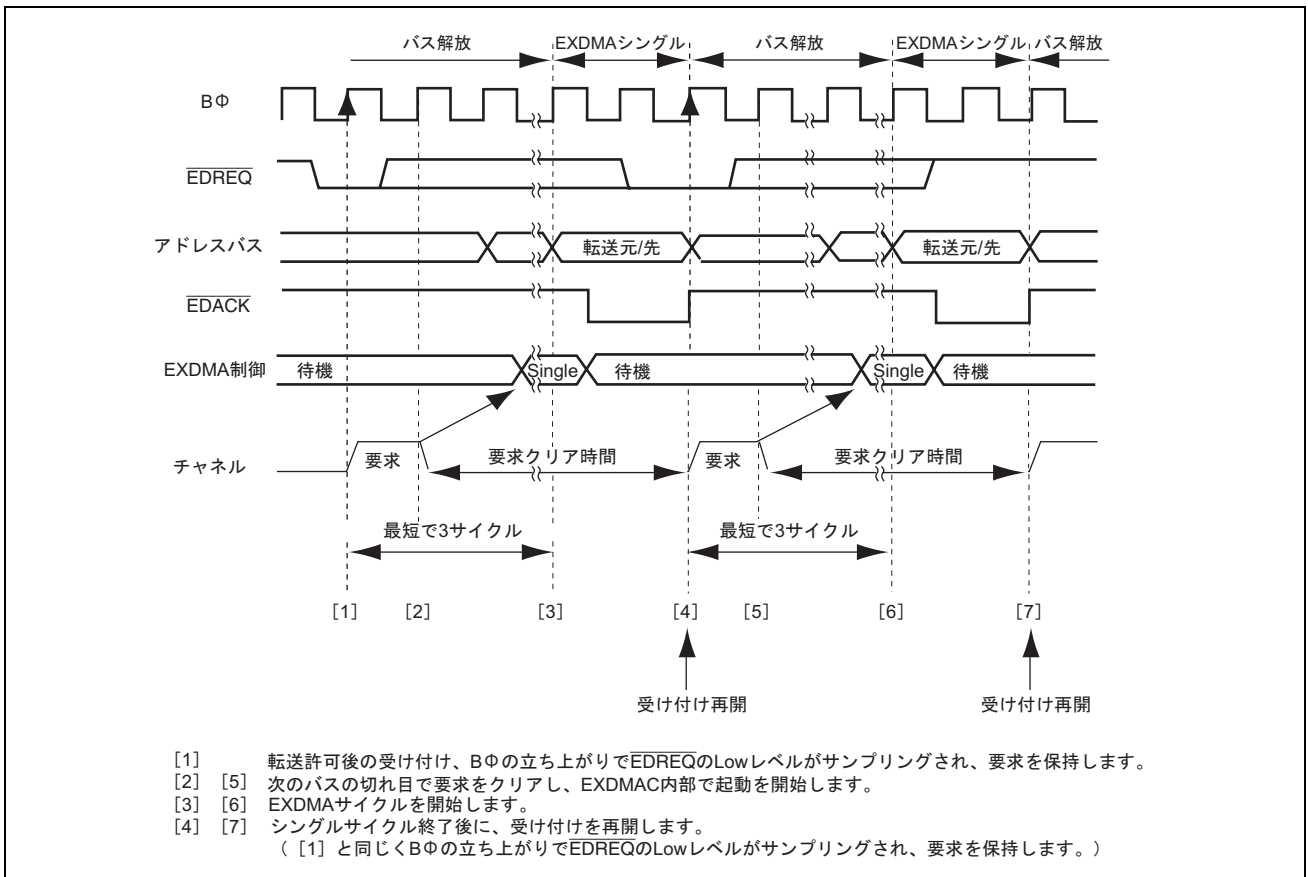


図 11.37 $\overline{\text{EDREQ}}$ Low レベル起動時のシングルアドレスモードの転送例

(5) NRD=1 のときの $\overline{\text{EDREQ}}$ Low レベル起動タイミング

EDMDR の NRD ビットを 1 にセットすると、次の転送要求の受け付けタイミングを 1 サイクル遅延させることができます。

図 11.38 に NRD=1 のときの $\overline{\text{EDREQ}}$ Low レベル起動時のシングルアドレスモードの転送例を示します。

$\overline{\text{EDREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の B ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{EDREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{EDREQ}}$ の Low レベルがサンプリングされると、EXDMAC 内部で要求が保持されます。次に EXDMAC 内部で起動がかかると転送要求はクリアされます。シングルサイクル終了後に NRD=1 による 1 サイクルの要求クリア期間後に受け付けが再開され、再び $\overline{\text{EDREQ}}$ の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

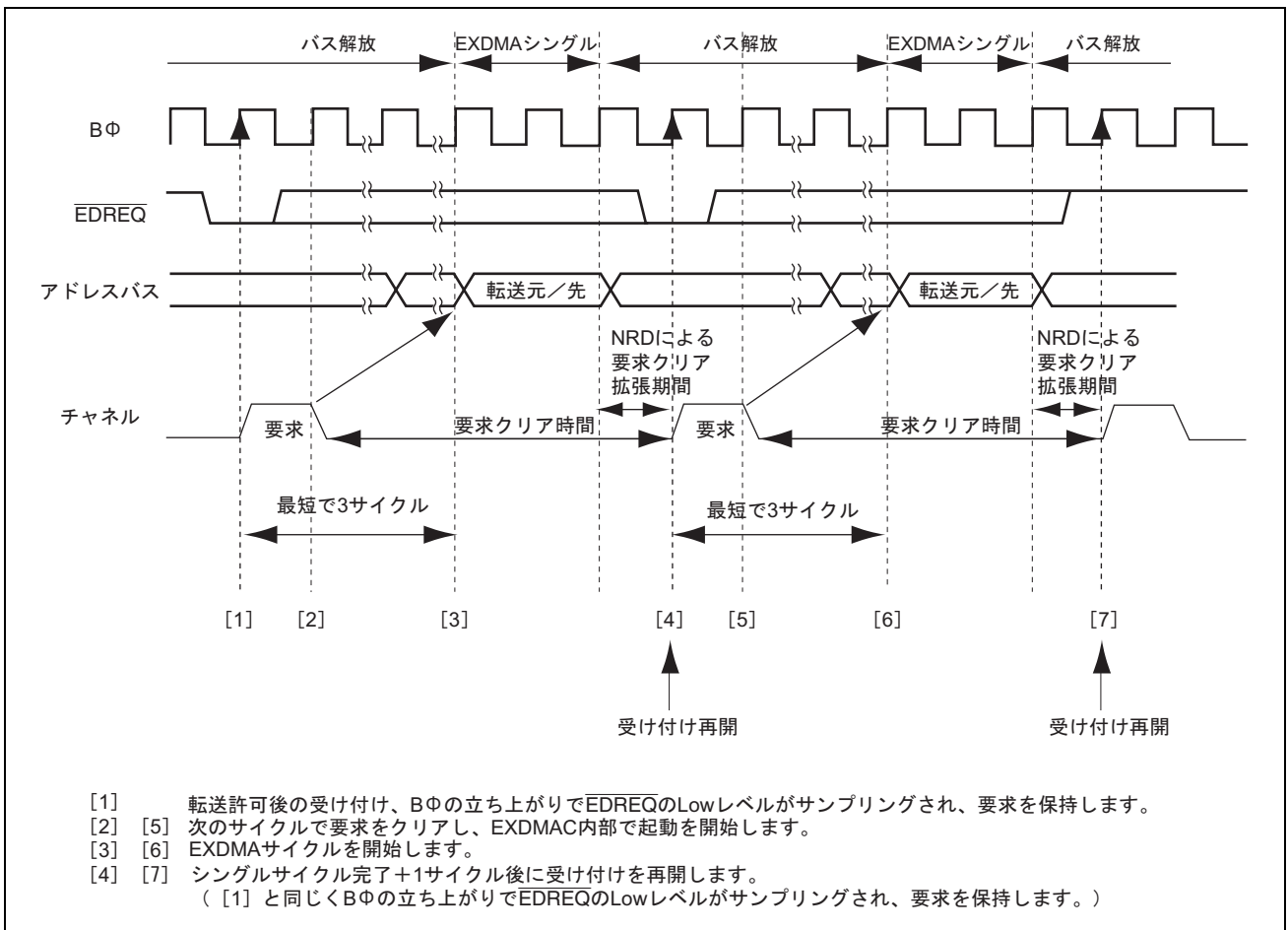


図 11.38 NRD=1 のときの $\overline{\text{EDREQ}}$ Low レベル起動時のシングルアドレスモードの転送例

11.5.12 各モードの動作タイミング

各モードの動作タイミング例を示します。他のバスマスタとの競合には、CPU の外部バスサイクルを例に挙げています。

(1) オートリクエスト／ノーマル転送モード／サイクルスチールモード

オートリクエスト (サイクルスチールモード) では、EDMDR の DTE ビットを 1 にセットすると、最短 3 サイクル後から EXDMA 転送サイクルを開始します。優先順位の高い他のチャンネルに転送要求がある場合は、当該チャンネルの転送要求をいったん保留し、次の転送から他のチャンネルの転送を行います。他のチャンネルの転送が終了すると、当該チャンネルの転送を再開します。

図 11.39、図 11.40 に各条件での動作タイミング例を示します。

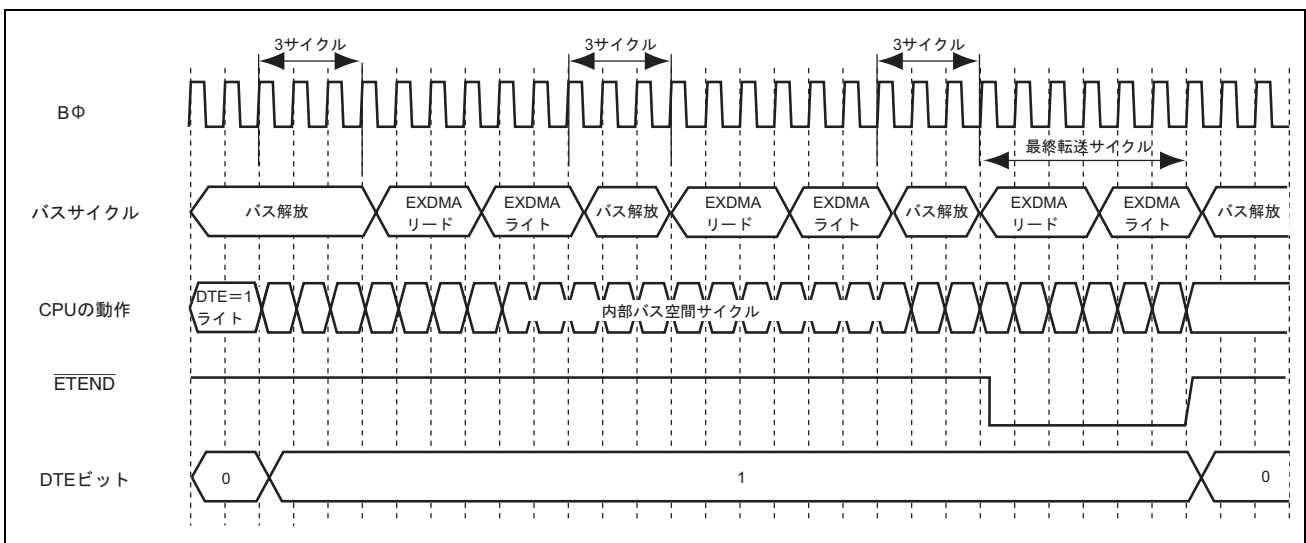


図 11.39 オートリクエスト／ノーマル転送モード／サイクルスチールモード
(競合がない場合／デュアルアドレスモード)

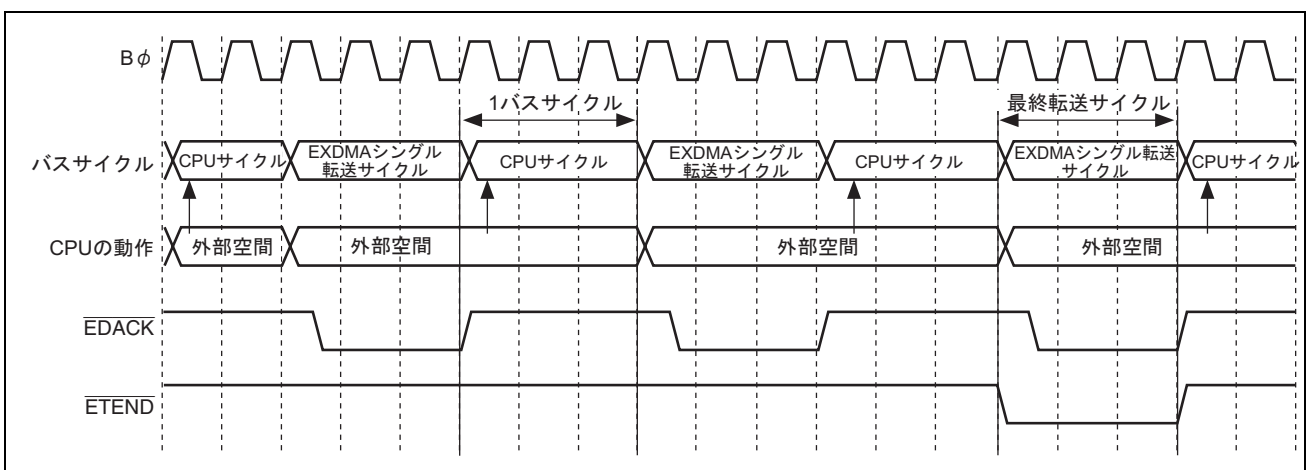


図 11.40 オートリクエスト／ノーマル転送モード／サイクルスチールモード
(CPU サイクルあり／シングルアドレスモード)

11. EXDMA コントローラ (EXDMAC)

(2) オートリクエスト/ノーマル転送モード/バーストモード

オートリクエスト (バーストモード) では、EDMDR の DTE ビットを 1 セットすると、最短 3 サイクル後から EXDMA 転送サイクルを開始します。転送を開始すると転送終了条件が満たされるまで連続 (バースト) して転送します。他のチャンネルの転送要求は、当該チャンネルの転送が終了するまで保留されます。

図 11.41～図 11.43 に各条件での動作タイミング例を示します。

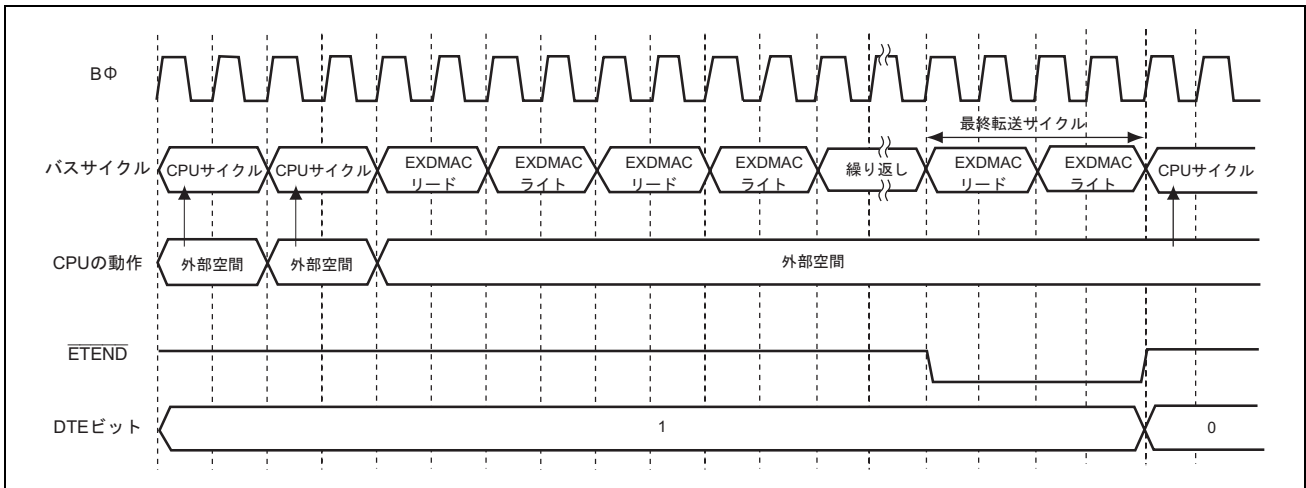


図 11.41 オートリクエスト/ノーマル転送モード/バーストモード
(CPU サイクルあり/デュアルアドレスモード)

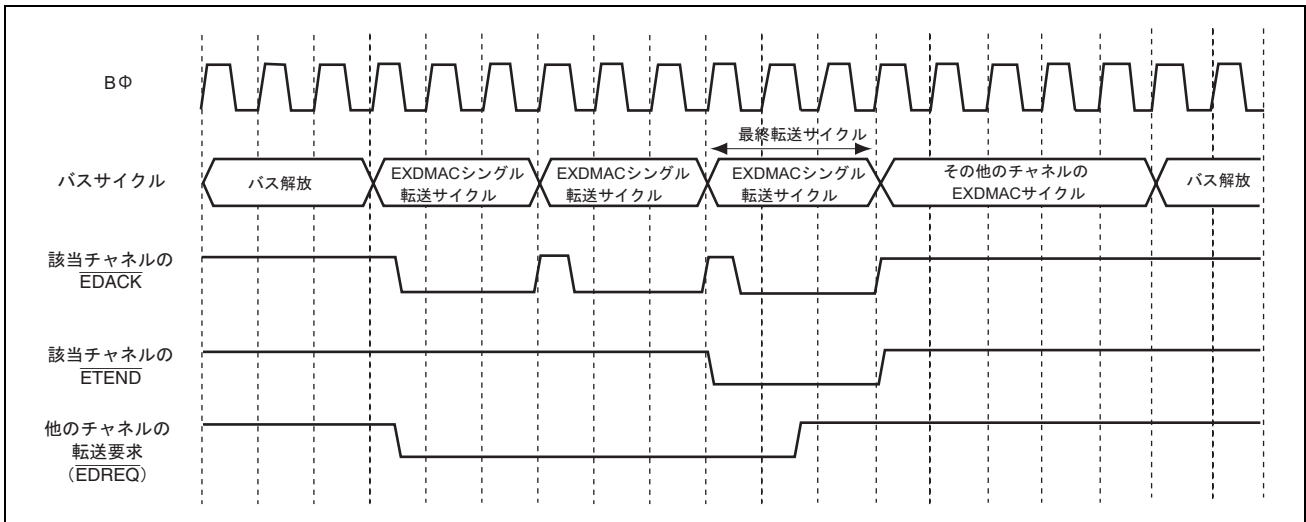


図 11.42 オートリクエスト/ノーマル転送モード/バーストモード
(他のチャンネルと競合する場合/シングルアドレスモード)

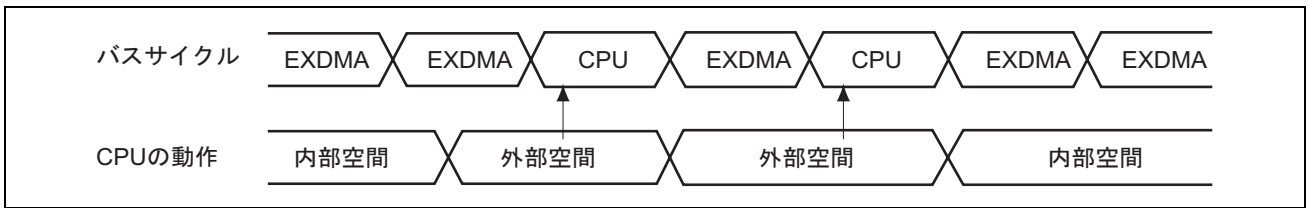


図 11.43 外部バスマスタのサイクルスチール機能
 オートリクエスト/ノーマル転送モード/バーストモード
 (CPU サイクルあり/シングルアドレスモード/EBCCS=1)

(3) 外部リクエスト/ノーマル転送モード/サイクルスチールモード

外部リクエストモードでは、転送要求を受け付けてから最短3サイクル後に EXDMA 転送サイクルを開始します。次の転送要求の受け付けは1転送単位の EXDMA サイクルの終了からです。外部バス空間での CPU サイクルは、次の EXDMA サイクルの間に最短1バスサイクル発生します。

他のチャンネルに転送要求が発生すると、次の EXDMA サイクルの前に他のチャンネルの EXDMA サイクルが発生します。

$\overline{\text{EDREQ}}$ の Low レベル検出と立ち下がりエッジ検出では、検出タイミングが異なります。転送要求の受け付け、転送開始タイミングについては同様です。

図 11.44～図 11.47 に各条件での動作タイミング例を示します。

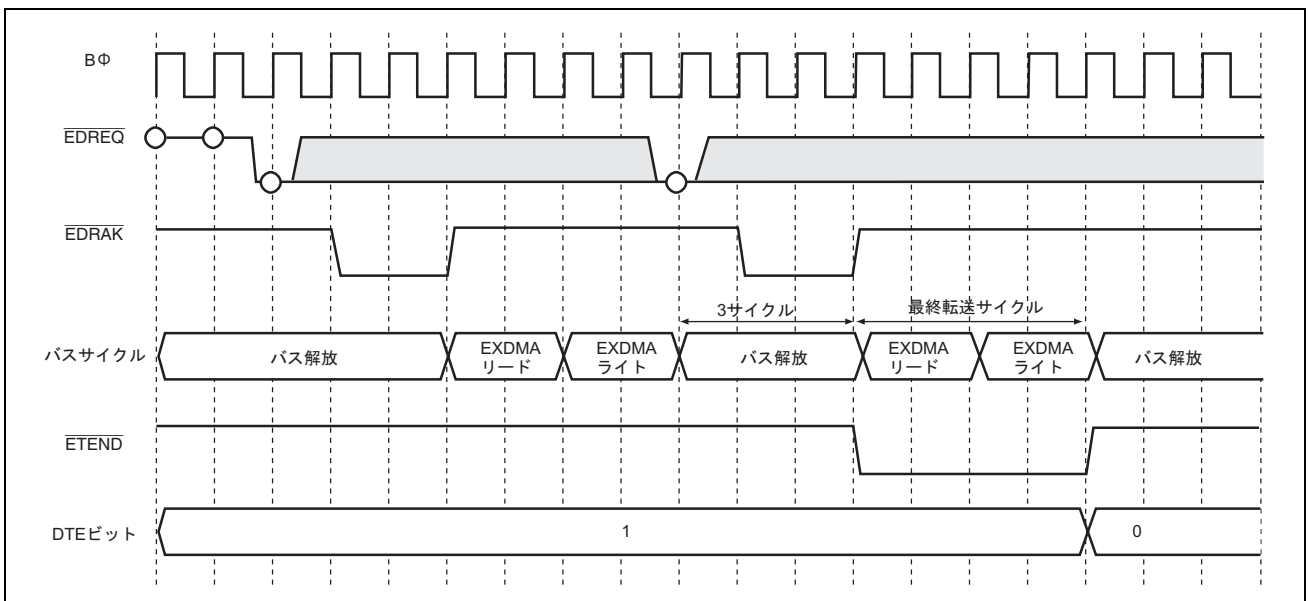


図 11.44 外部リクエスト/ノーマル転送モード/サイクルスチールモード
 (競合がない場合/デュアルアドレスモード/Low レベル検出)

11. EXDMA コントローラ (EXDMAC)

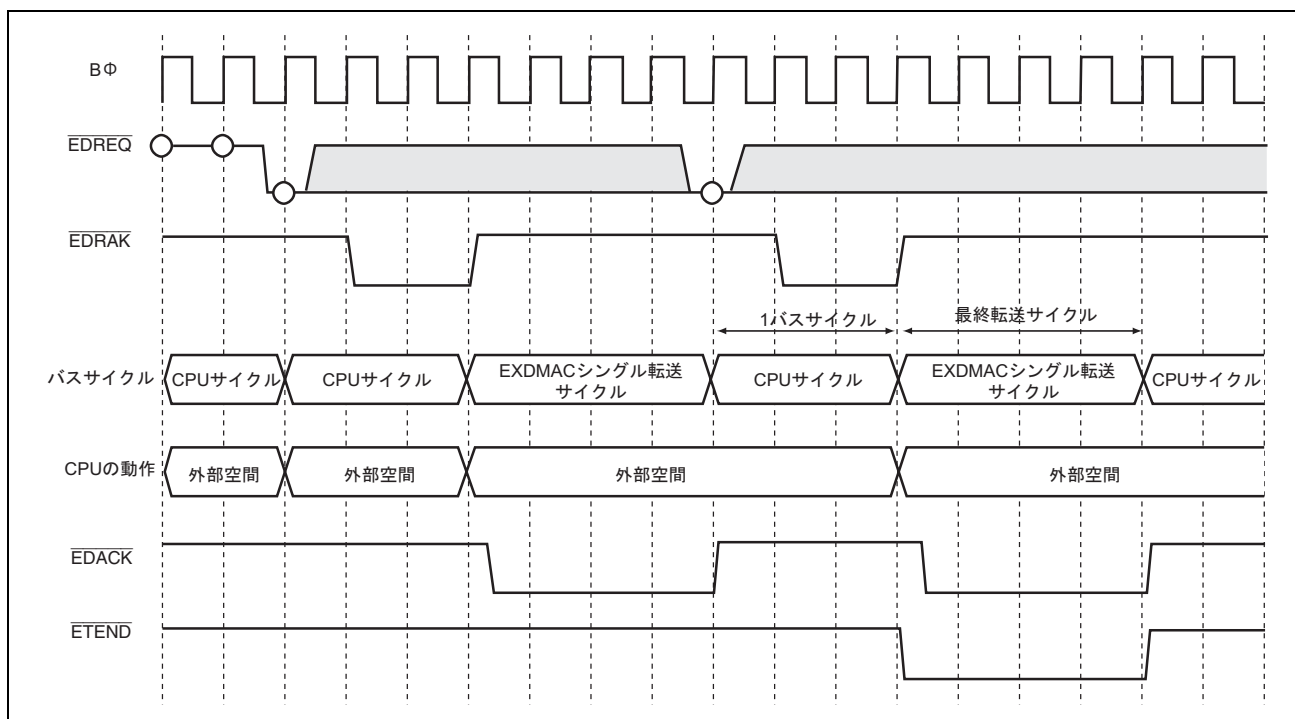


図 11.45 外部リクエスト／ノーマル転送モード／サイクルスチールモード
(CPU サイクルあり／シングルアドレスモード／Low レベル検出)

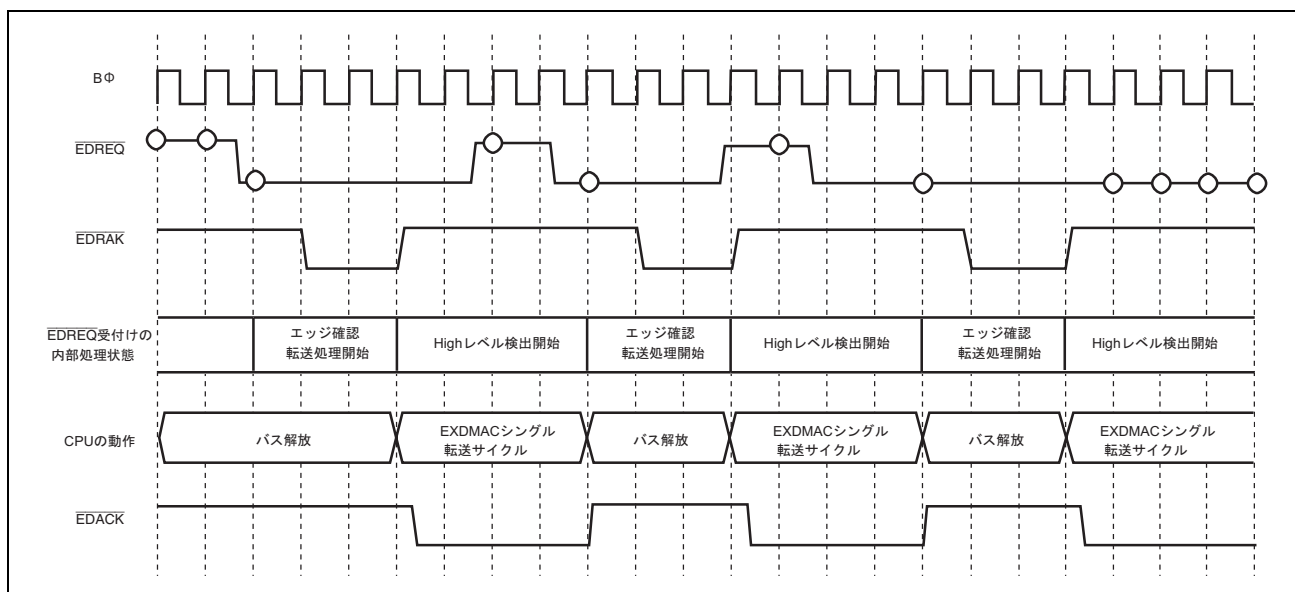


図 11.46 外部リクエスト／ノーマル転送モード／サイクルスチールモード
(競合がない場合／シングルアドレスモード／立ち下がりエッジ検出)

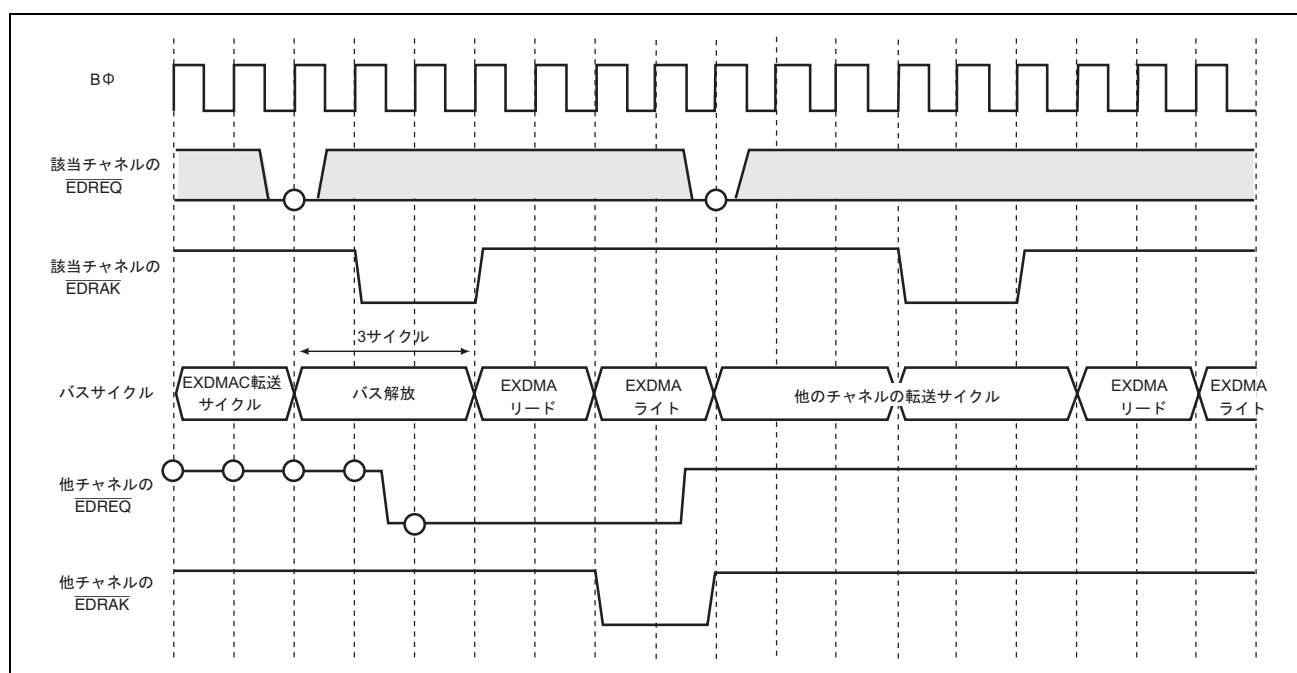


図 11.47 外部リクエスト／ノーマル転送モード／サイクルスチールモード
(他のチャンネルと競合する場合／デュアルアドレスモード／Low レベル検出)

(4) 外部リクエスト／ブロック転送モード／サイクルスチールモード

ブロック転送モードでは、1ブロック分はバーストモードと同様に連続転送します。次のブロック転送の開始タイミングはノーマル転送モードと同様です。

他のチャンネルに転送要求が発生すると、次のブロック転送の前に他のチャンネルの EXDMA サイクルが発生します。

$\overline{\text{EDREQ}}$ の Low レベル検出と立ち下がりエッジ検出では、検出タイミングが異なります。転送要求受け付け、転送開始タイミングについては同様です。

図 11.48～図 11.52 に各条件の動作タイミング例を示します。

11. EXDMA コントローラ (EXDMAC)

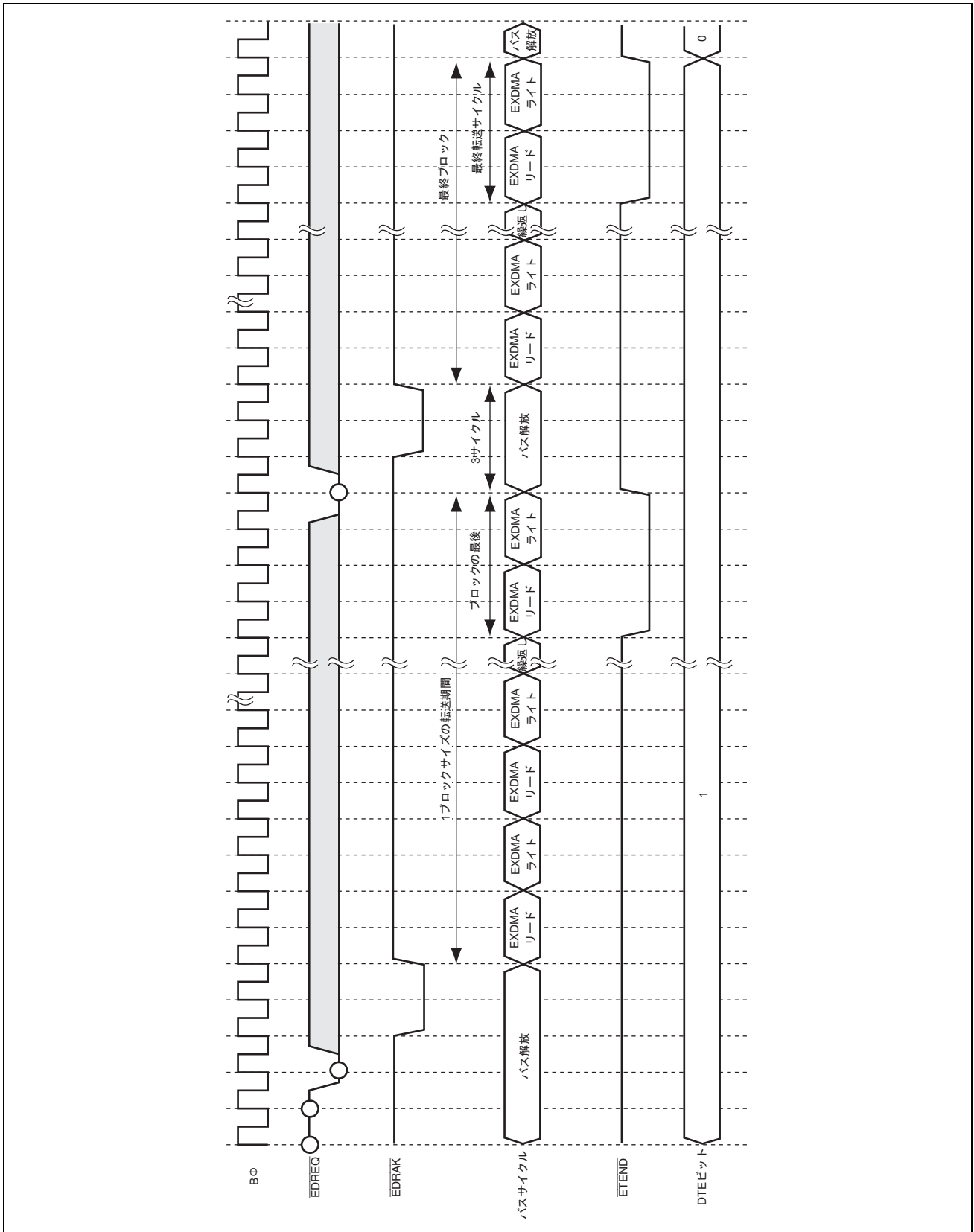


図 11.48 外部リクエスト/ブロック転送モード/サイクルスチールモード
(競合がない場合/デュアルアドレスモード/Low レベル検出)

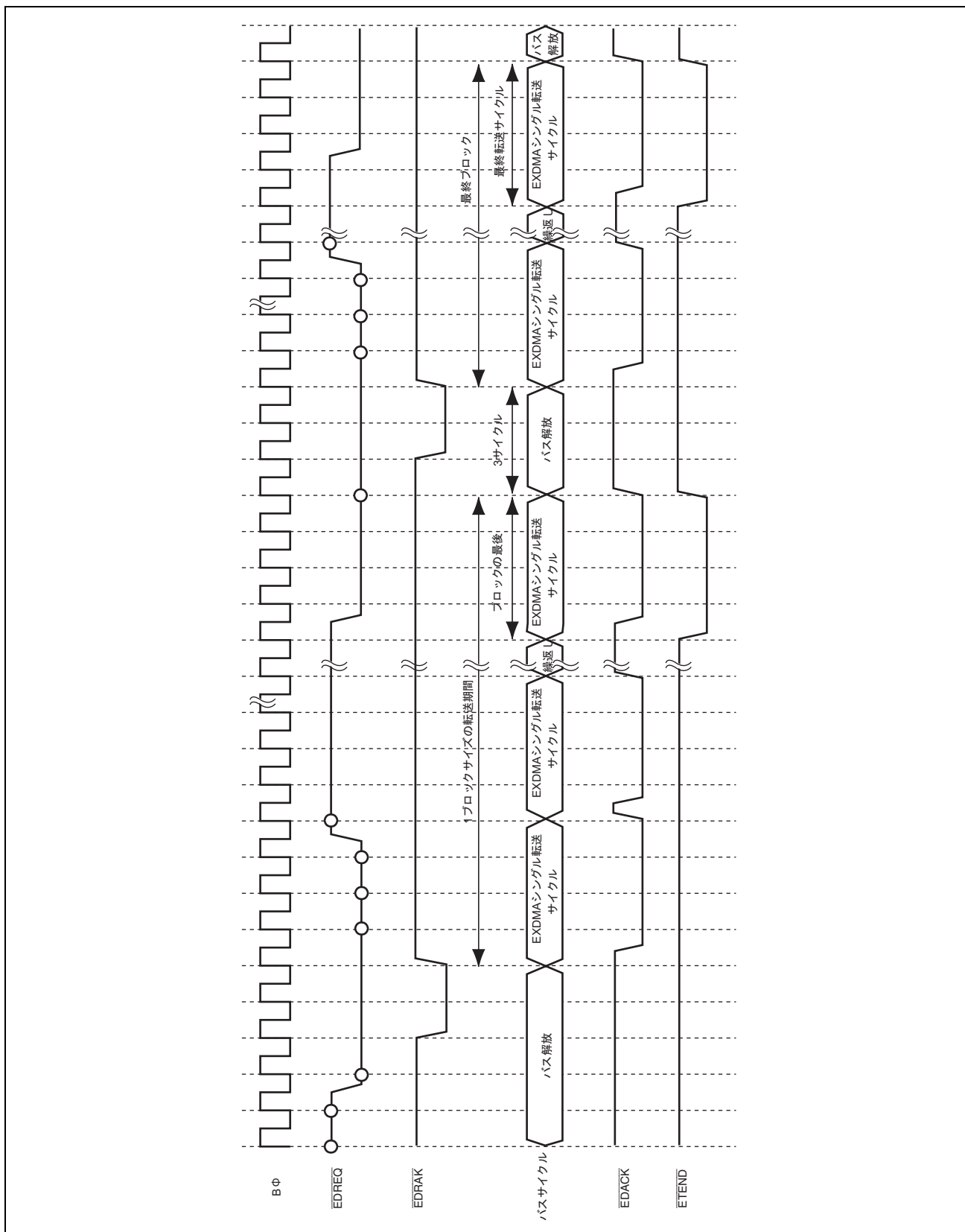


図 11.49 外部リクエスト/ブロック転送モード/サイクルスチールモード
(競合がない場合/シングルアドレスモード/立ち下がリエッジ検出)

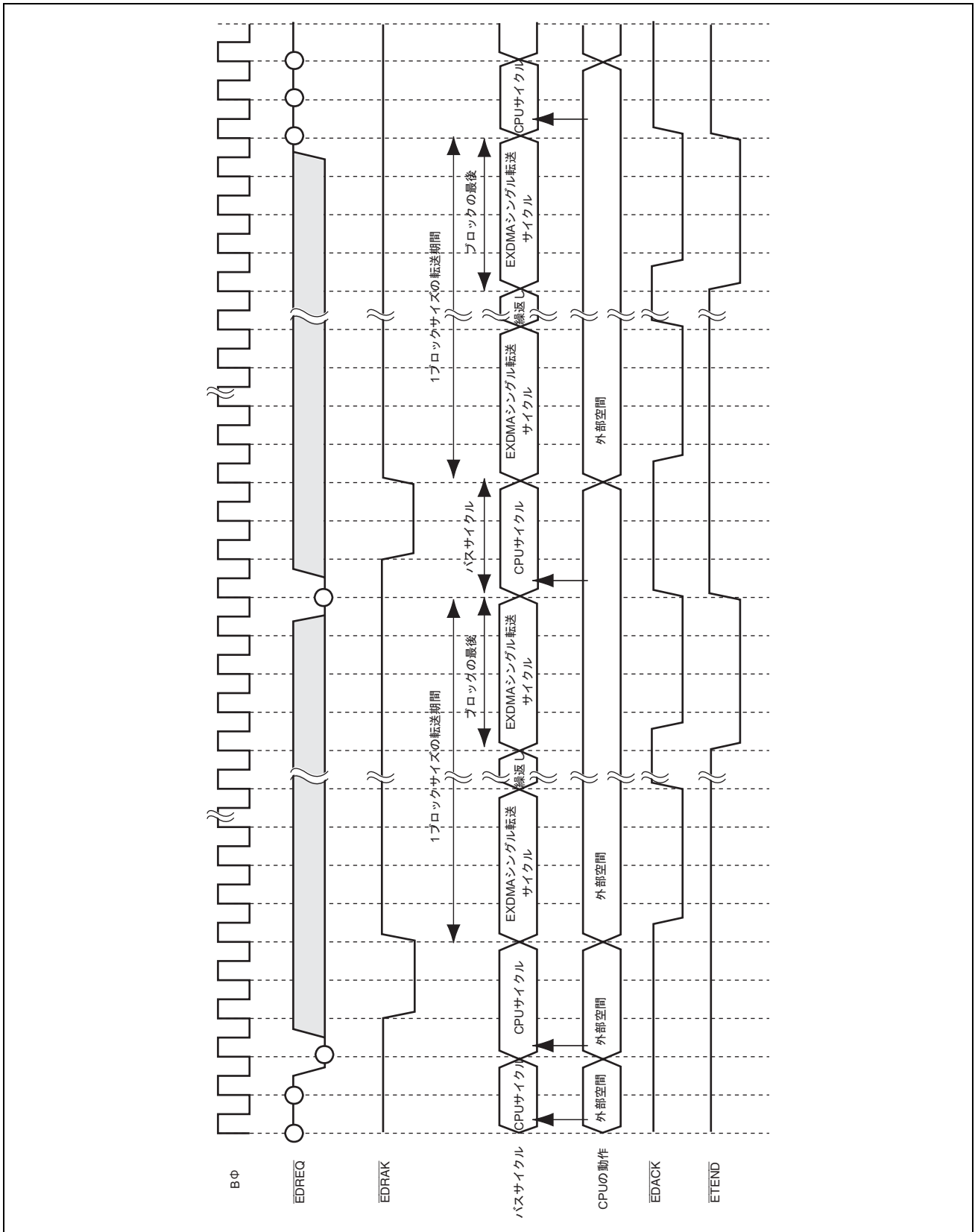


図 11.50 外部リクエスト/ブロック転送モード/サイクルスチールモード
(CPU サイクルあり/シングルアドレスモード/Low レベル検出)

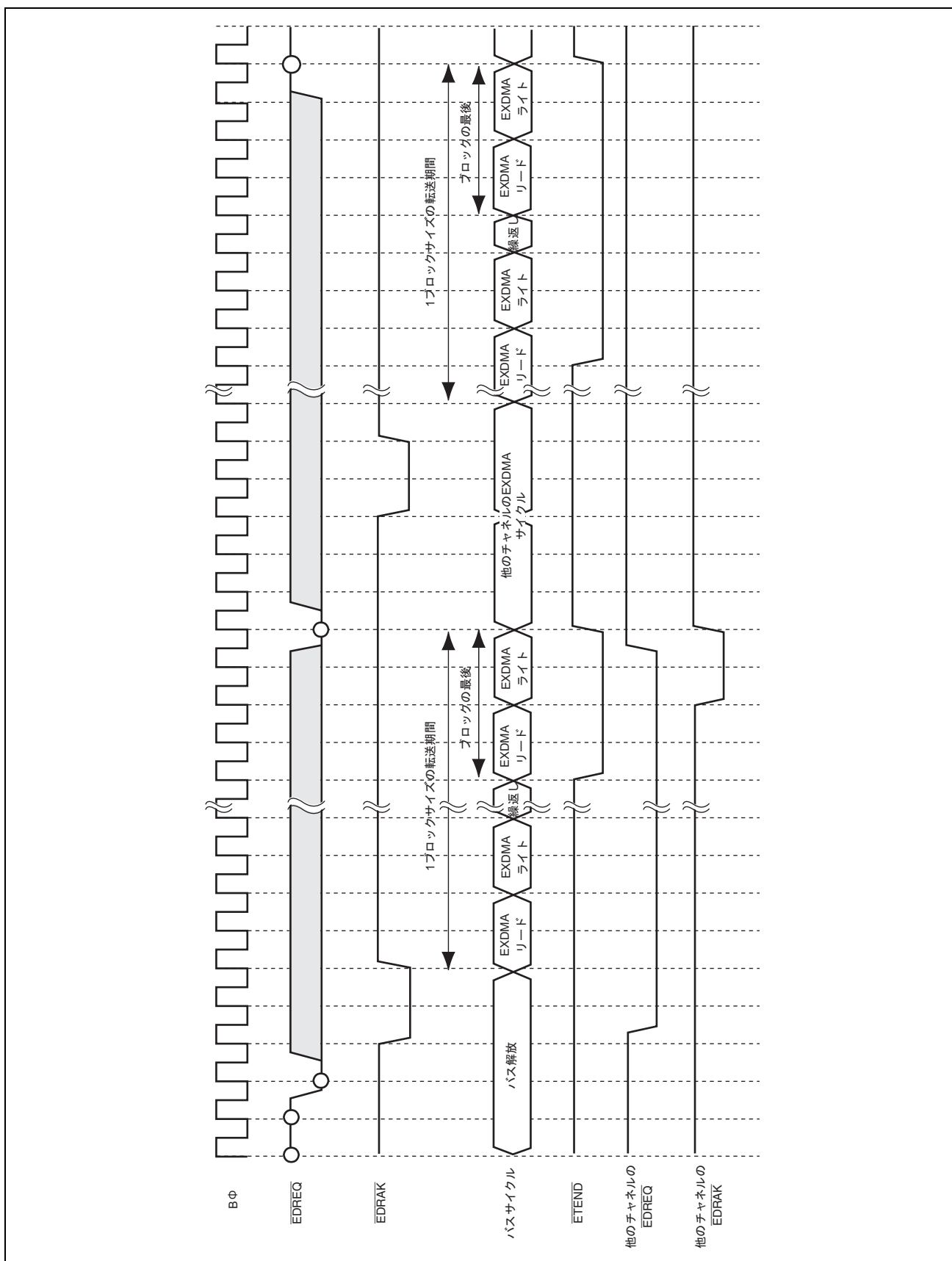


図 11.51 外部リクエスト/ブロック転送モード/サイクルスチールモード (他のチャネルと競合する場合/デュアルアドレスモード/Low レベル検出)

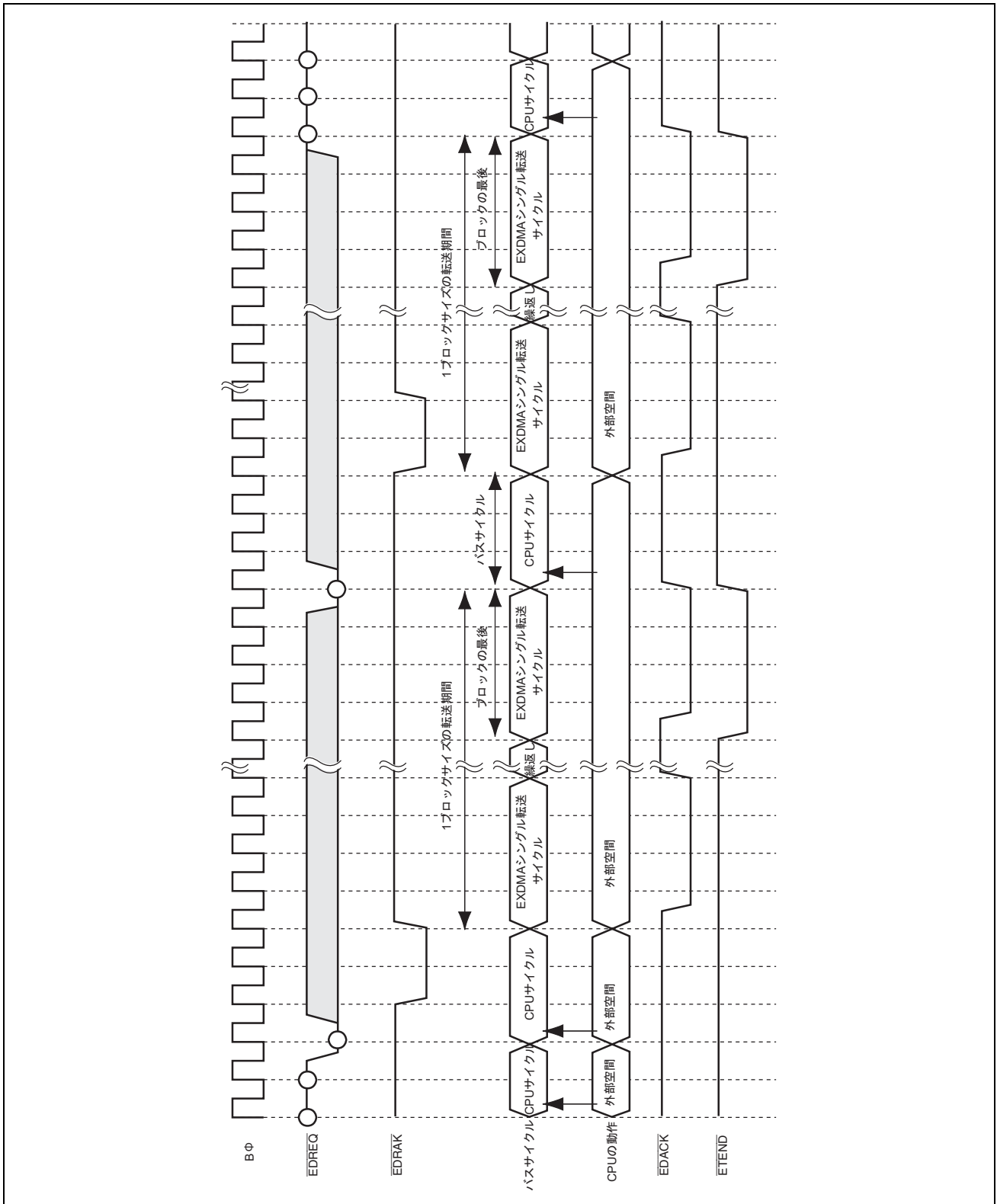


図 11.52 外部リクエスト/ブロック転送モード/サイクルスチールモード
(CPU サイクルあり/EBCCS=1/シングルアドレスモード/Low レベル検出)

11.6 クラスタ転送モードの動作説明

クラスタ転送モードは、クラスタバッファを利用し1~32バイトを連続リード、連続ライトして転送を行うモードです。クラスタ転送モードは、通常モード（ノーマル転送モード、リピート転送モード、ブロック転送モード）と一部機能が異なります。

11.6.1 アドレスモード

(1) クラスタ転送デュアルアドレスモード (AMS=0)

転送元アドレス、転送先アドレスを共に EXDMAC の内部レジスタで指定して実行するモードです。転送元アドレスはソースアドレスレジスタ (EDSAR) に、転送先アドレスはデスティネーションアドレスレジスタ (EDDAR) に設定します。

転送動作は、転送元アドレスから1クラスタサイズ分のデータをクラスタバッファへ連続リードして、次にそのデータを転送先アドレスへ連続ライトします。指定可能なクラスタサイズは1データアクセスサイズ~32バイトです。ただし、クラスタサイズに1データアクセスサイズを指定した場合は、ブロック転送モードのデュアルアドレスモードとして動作します。

1クラスタサイズの転送中は不可分割となっています。このため、1クラスタサイズの転送中に他のバスサイクル（他のバスマスタの外部アクセス、リフレッシュサイクル、外部バス解放サイクル）は発生しません。

\overline{ETEND} 出力は、EDMDR の ETENDE ビットにより許可/禁止を設定することができます。最終のライトサイクルでは \overline{ETEND} が出力されます。 \overline{EDACK} は出力されません。

図 11.53 にクラスタ転送デュアルアドレスモードでのデータの流れを示します。図 11.54 にクラスタ転送デュアルアドレスモードのタイミング例を示します。図 11.55 にクラスタ転送デュアルアドレスモードの動作を示します。

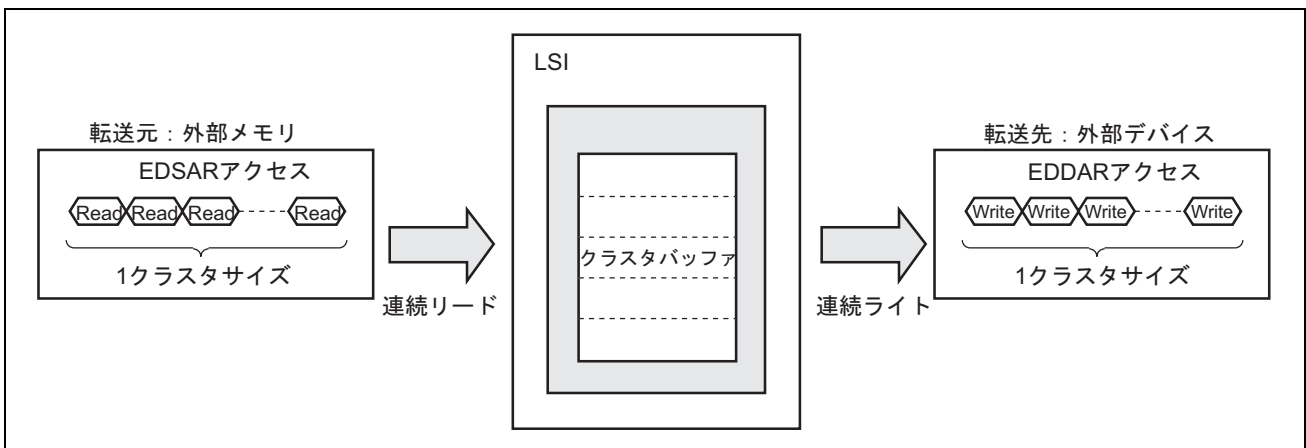


図 11.53 クラスタ転送デュアルアドレスモードでのデータの流れ

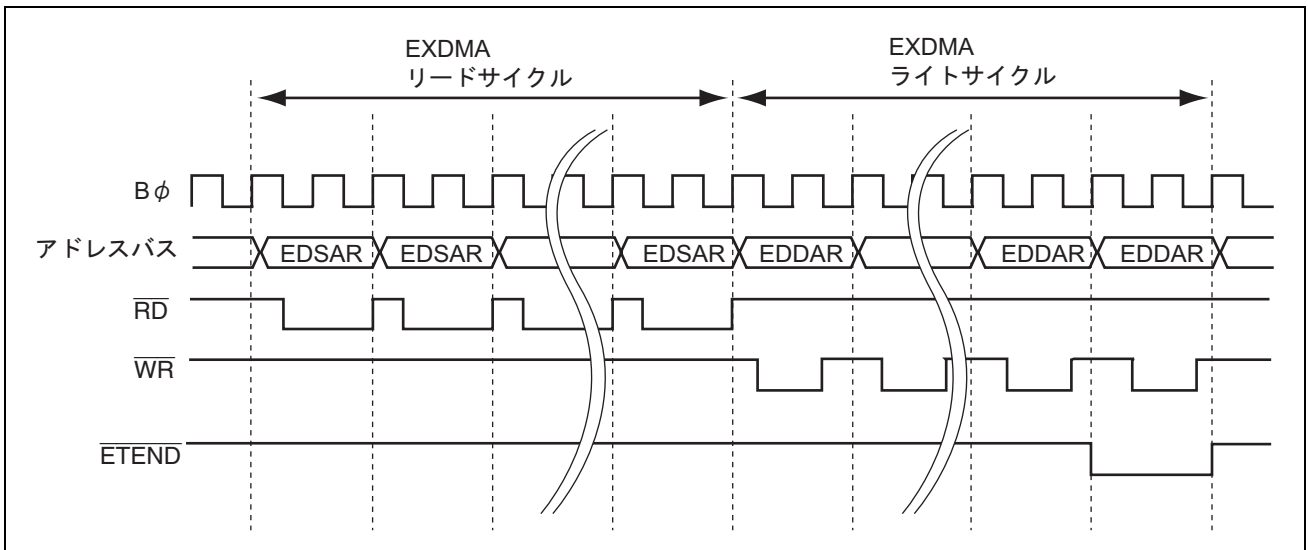


図 11.54 クラスタ転送デュアルアドレスモードのタイミング例

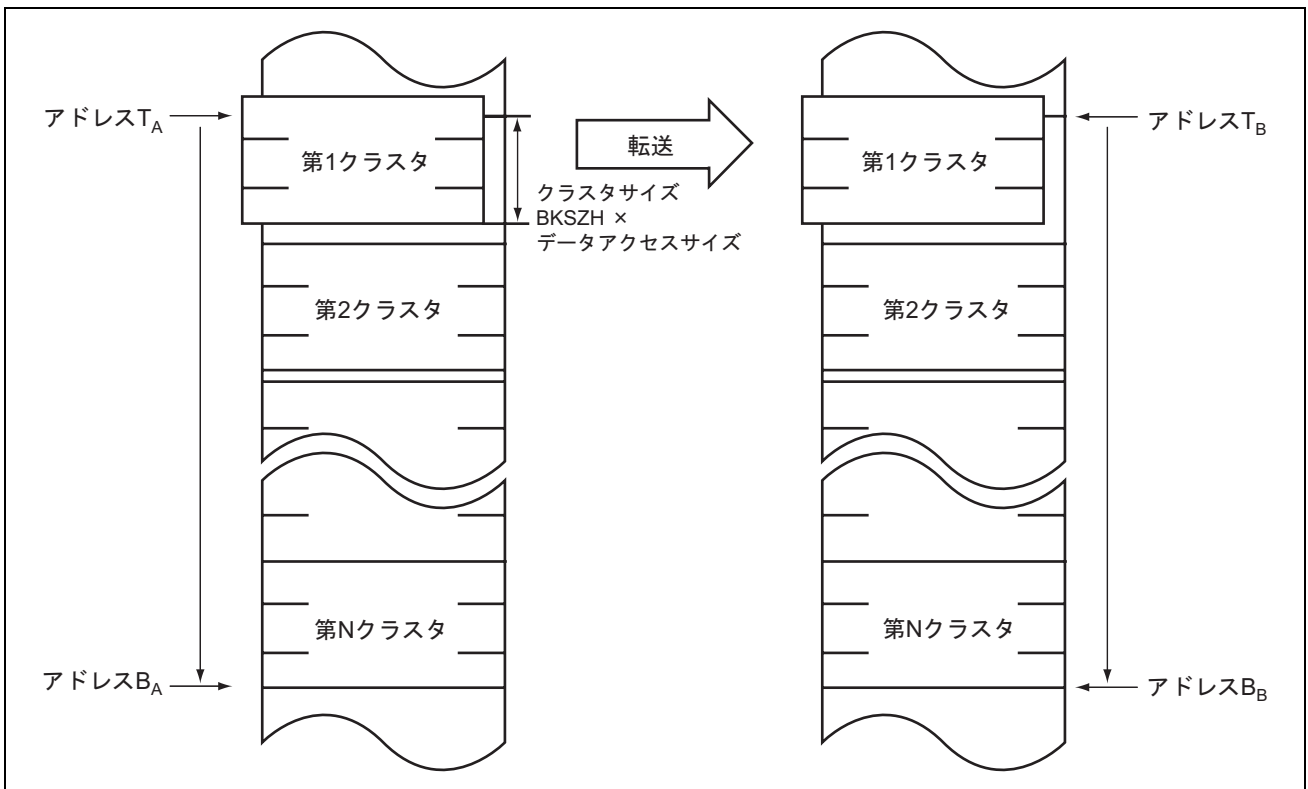


図 11.55 クラスタ転送デュアルアドレスモードの動作

データアクセスサイズとしてワードやロングワードが設定されているときに、転送元アドレスや転送先アドレスがワード境界やロングワード境界を外れた場合、アドレスに合ったデータアクセスサイズで効率的なデータ転送を行います。

図 11.56 に、下位 2 ビットが B'11 のアドレスから B'10 のアドレスへ、データアクセスサイズがロングワード、クラスタサイズが 4 ロングワードのクラスタ転送デュアルアドレスモードの転送を示します。

転送サイズは、連続ライトシーケンスにおいて、クラスタサイズはリード/ライトに関わらずデクリメントされます。

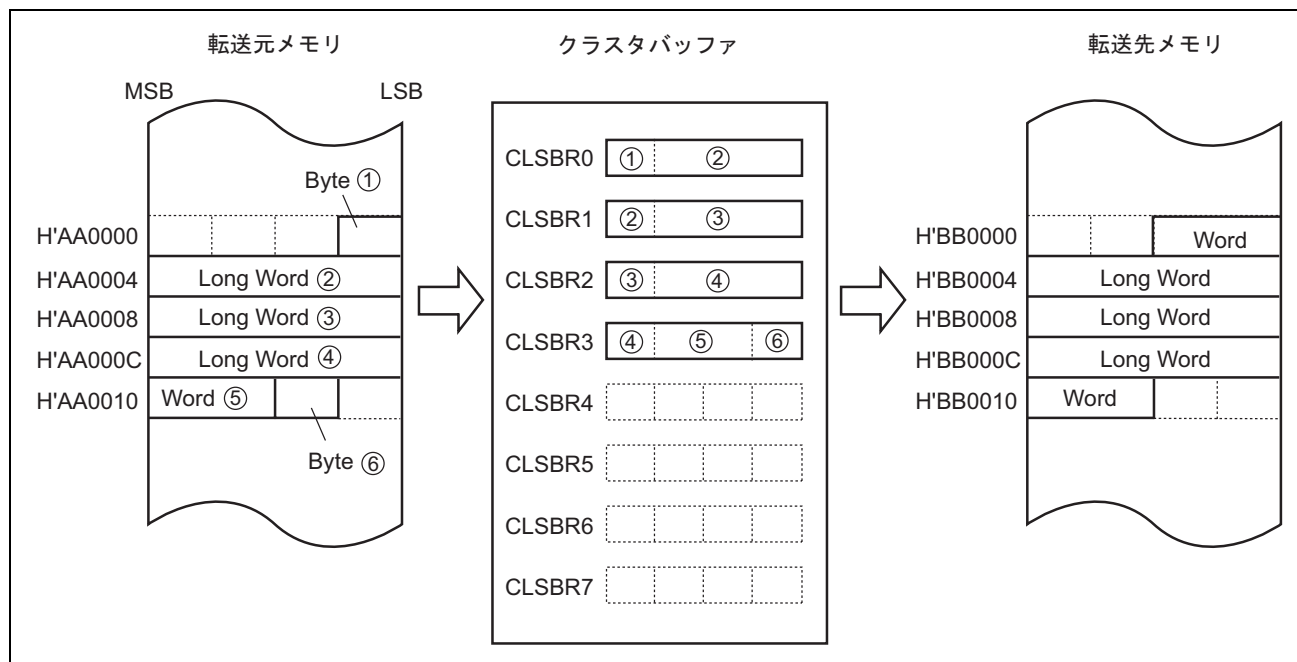


図 11.56 奇数アドレス転送

(2) クラスタ転送リードアドレスモード (AMS=1、DIRS=0)

転送元アドレスをソースアドレスレジスタ (EDSAR) で指定して、転送元からリードしてクラスタバッファへ転送する転送モードです。本モード時は、モードコントロールレジスタ (EDMDR) の TSEIE ビットを必ず 1 に設定してください。

指定可能なクラスタサイズは 2 データアクセスサイズ～32 バイトで、クラスタサイズ分連続リードします。

1 クラスタサイズ分の転送中は不可分割となっています。このため、1 クラスタの転送中に他のバスサイクル (他のバスマスタの外部アクセス、リフレッシュサイクル、外部バス解放サイクル) は発生しません。

$\overline{\text{ETEND}}$ 出力は、EDMDR の ETENDE ビットにより許可/禁止を設定することができます。最終リードサイクルでは $\overline{\text{ETEND}}$ が出力されます。最終リードサイクルの直前にアイドルサイクルが挿入される場合、アイドルサイクル期間に対しても $\overline{\text{ETEND}}$ は出力されます。

また、本モード時は EDMDR の EDACKE ビットを 0 に設定し、 $\overline{\text{EDACK}}$ 端子の出力を禁止してください。

図 11.57 にクラスタ転送リードアドレスモード (外部メモリ→クラスタバッファ) でのデータの流れを示します。図 11.58 にクラスタ転送リードアドレスモードのタイミング例を示します。

11. EXDMA コントローラ (EXDMAC)

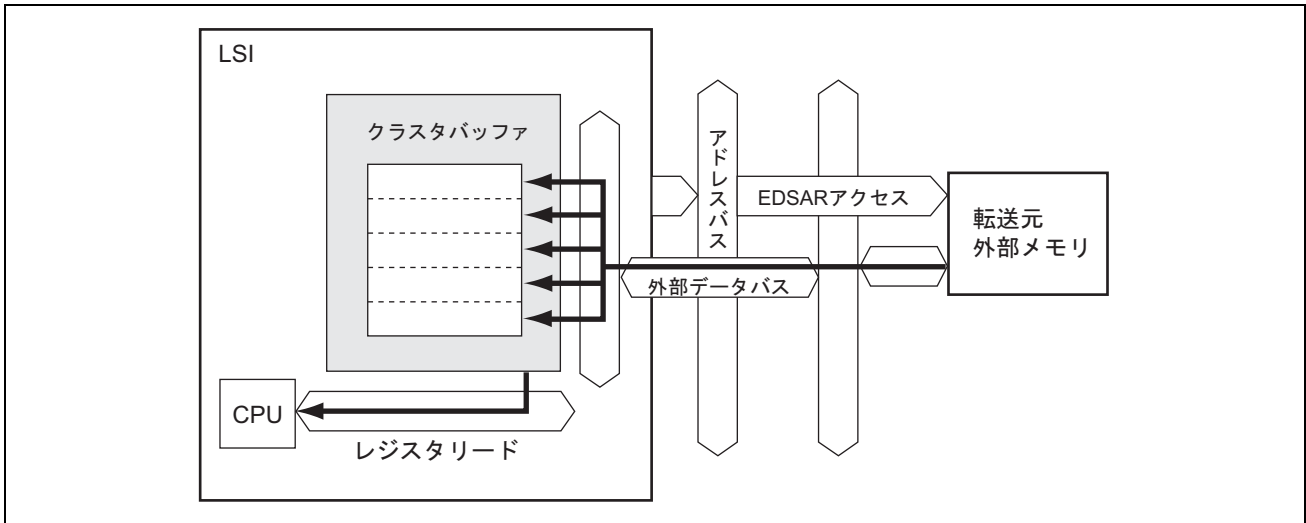


図 11.57 クラスタ転送リードアドレスモード（外部メモリ→クラスタバッファ）でのデータの流れ

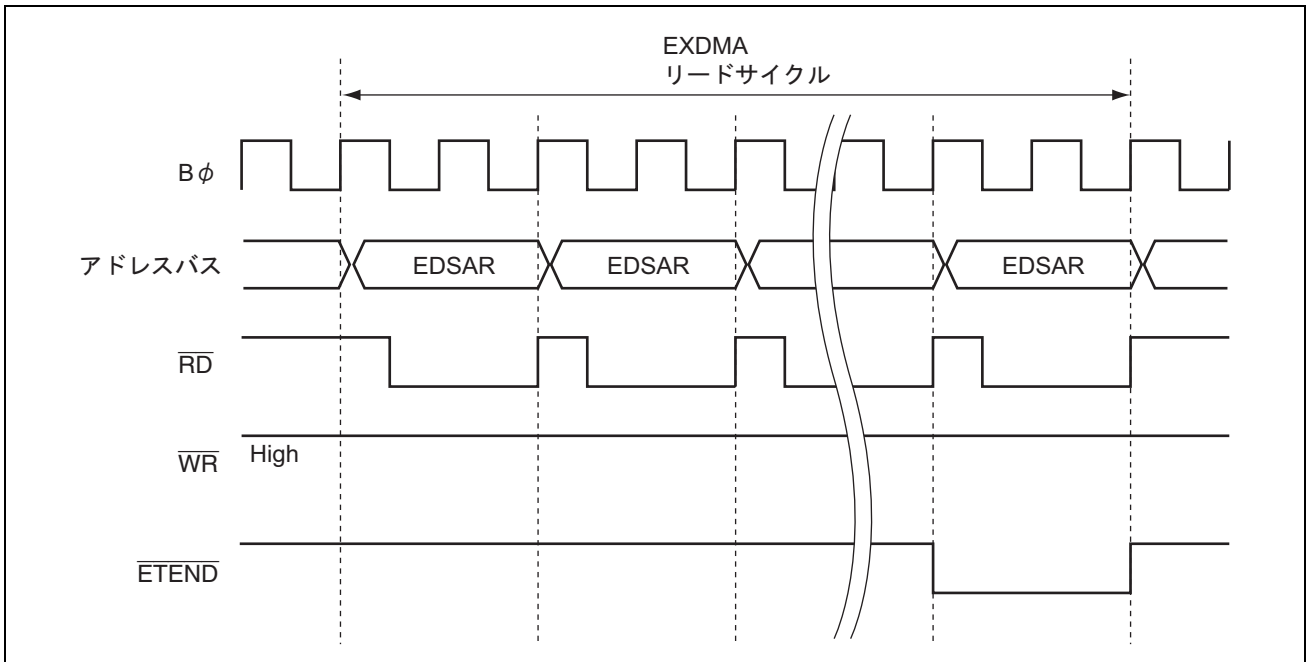


図 11.58 クラスタ転送リードアドレスモード（外部メモリ→クラスタバッファ）のタイミング例

(3) クラスタ転送ライトアドレスモード (AMS=1、DIRS=1)

転送先アドレスをデスティネーションアドレスレジスタ (EDDAR) で指定して、クラスタバッファ内のデータを転送先へライトする転送モードです。本モード時はモードコントロールレジスタ (EDMDR) の TSEIE ビットを必ず 1 に設定してください。

指定可能なクラスタサイズは 1 データアクセスサイズ～32 バイトで、クラスタサイズ分連続ライトします。クラスタサイズに 1 データアクセスサイズを指定した場合においても、クラスタ転送ライトアドレスモードとして動作します。

1 クラスタサイズ分の転送中は不可分割となっています。このため、1 クラスタの転送中に他のバスサイクル（他のバスマスタの外部アクセス、リフレッシュサイクル、外部バス解放サイクル）は発生しません。

$\overline{\text{ETEND}}$ 出力は、EDMDR の ETENDE ビットにより許可/禁止を設定することができます。最終ライトサイクルでは $\overline{\text{ETEND}}$ が出力されます。最終ライトサイクルの直前にアイドルサイクルが挿入される場合、アイドルサイクル期間に対しても $\overline{\text{ETEND}}$ は出力されます。

また、本モード時は EDMCR の EDACKE ビットを 0 に設定し、 $\overline{\text{EDACK}}$ 端子の出力を禁止してください。

図 11.59 にクラスタ転送ライトアドレスモード (クラスタバッファ→外部メモリ) でのデータの流れを示します。図 11.60 にクラスタ転送ライトアドレスモードのタイミング例を示します。

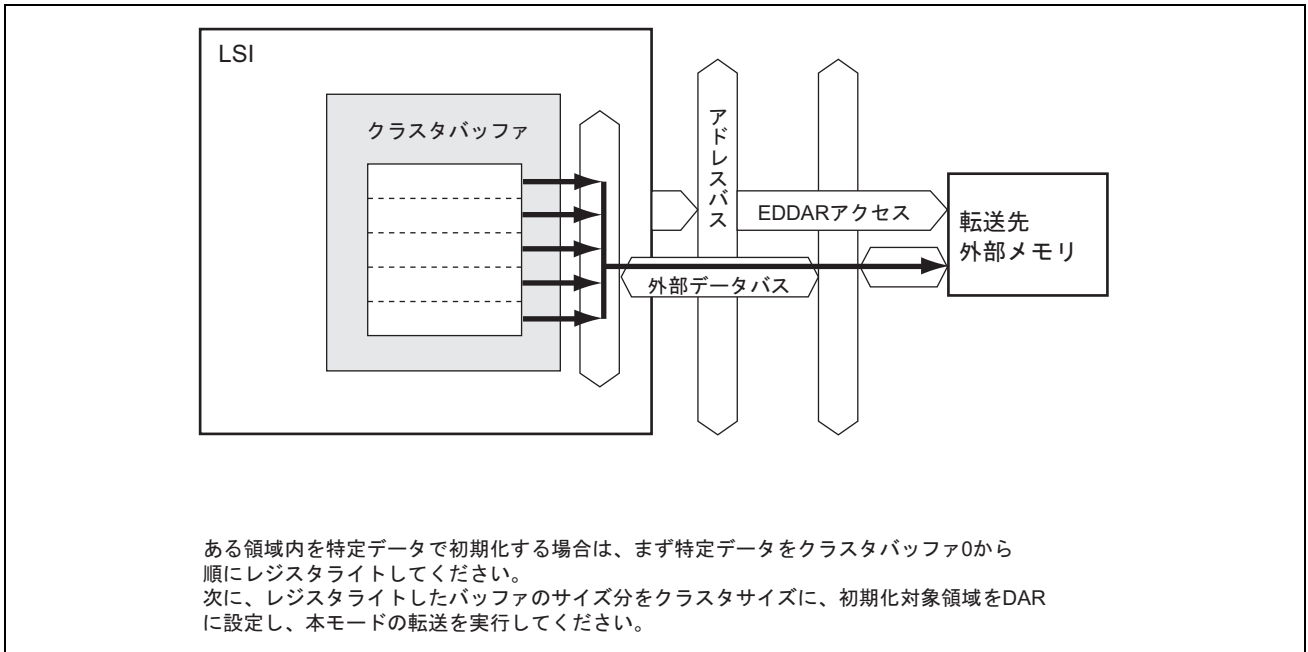


図 11.59 クラスタ転送ライトアドレスモード (クラスタバッファ→外部メモリ) でのデータの流れ

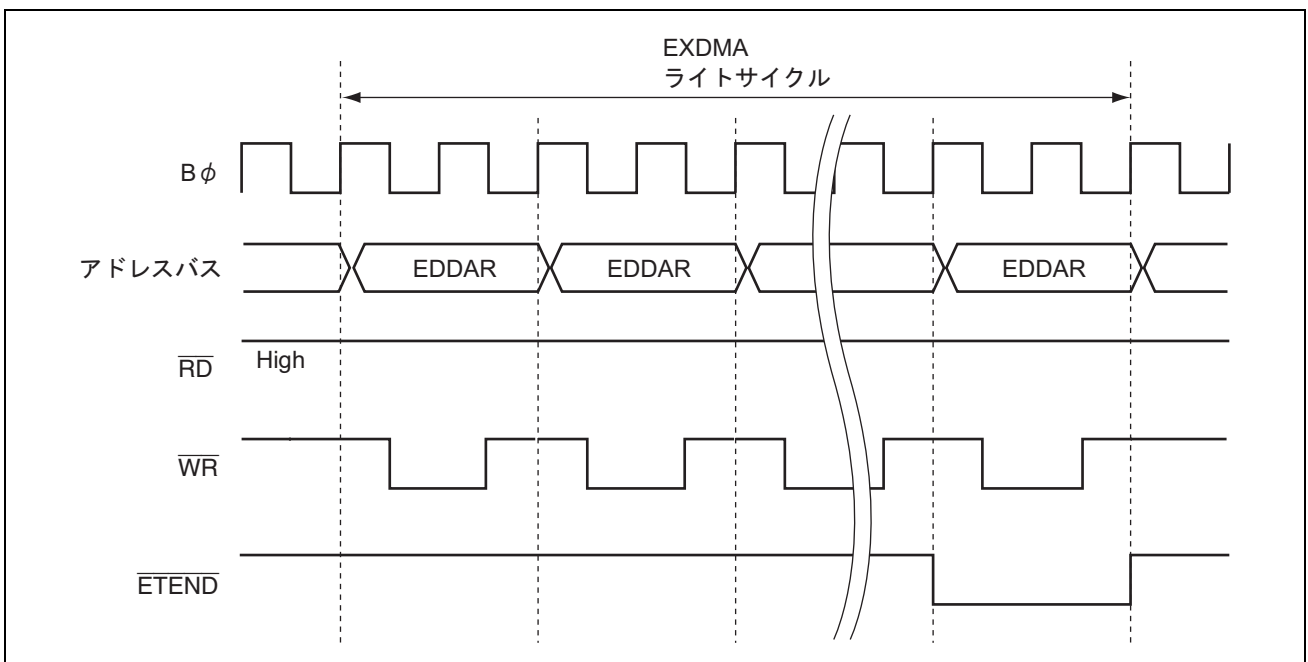


図 11.60 クラスタ転送ライトアドレスモード (クラスタバッファ→外部メモリ) のタイミング例

11.6.2 アドレス更新モードの設定

クラスタ転送モードでは、アドレス更新モードにより制約が生じます。アドレス更新モードには、「アドレスは増加」、「アドレスは減少」、「アドレスは固定」、「アドレスはオフセット加算」の4種類があります。

「アドレスは増加」を指定した場合、アクセスするアドレスがデータアクセスサイズに応じたアドレス境界でないときは(ワードアクセスでの奇数アドレス、ロングワードアクセスでの $4n$ 境界を外れたアドレス)、アドレス境界になるまでバスサイクル分割して転送を行い、アドレス境界が一致するとデータアクセスサイズ単位の転送を行います。転送の最後は再度バスサイクル分割して、残りのクラスタ転送を実行します。

「アドレスは減少」、「アドレスは固定」、「アドレスはオフセット加算」を指定した場合、EDSAR、EDDAR には、データアクセスサイズに対応したアドレス境界に合わせてアドレスを設定してください。EDSAR、EDDAR にデータアクセスサイズに応じたアドレス境界でないアドレスを設定したときは、必ずデータアクセスサイズ単位の転送が行われるようにデータアクセスサイズに応じてアドレスレジスタの下位ビットを 0 に固定してクラスタ転送を行います(ワードでは下位 1 ビット、ロングワードでは下位 2 ビットが対象となります)。アドレス境界によるバスサイクル分割に対応した転送を行いたい場合は、ブロック転送モードにする必要があります。

また、EDTCR の値がクラスタサイズを下回ったときは、転送サイズエラーになりますが、EDMDR の TSEIE ビットを 0 にクリアしているとクラスタ転送モードをブロック転送モードに切り替えて残りの転送を実行します。このとき、アドレス更新モードに「アドレスは減少」、「アドレスは固定」、「アドレスはオフセット加算」を指定していた場合、下位ビットの 0 固定は行わずに転送します。

11.6.3 拡張リピートエリア機能併用時の注意事項

クラスタ転送モードにおいても、ブロック転送モード時と同様にクラスタサイズの切れ目と拡張リピートエリアの範囲の切れ目が一致するようにアドレスレジスタの値を設定してください。

クラスタ転送モードの 1 クラスタサイズを転送している期間に拡張リピートエリアオーバーフローが発生した場合は、1 クラスタサイズの転送が終了するまで拡張リピートエリアオーバーフロー割り込み要求は保留され、転送はオーバーランします。

11.6.4 クラスタ転送デュアルアドレスモードのバスサイクル

(1) クラスタ転送モード

クラスタ転送モードでは、一回の転送要求につき 1 クラスタ分の転送を行います。

図 11.61 に、 $\overline{\text{ETEND}}$ 出力を許可して、外部 16 ビット 2 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へデータアクセスサイズ=ワード、クラスタサイズ=4 バイトでクラスタ転送モードで転送を行った場合の例を示します。

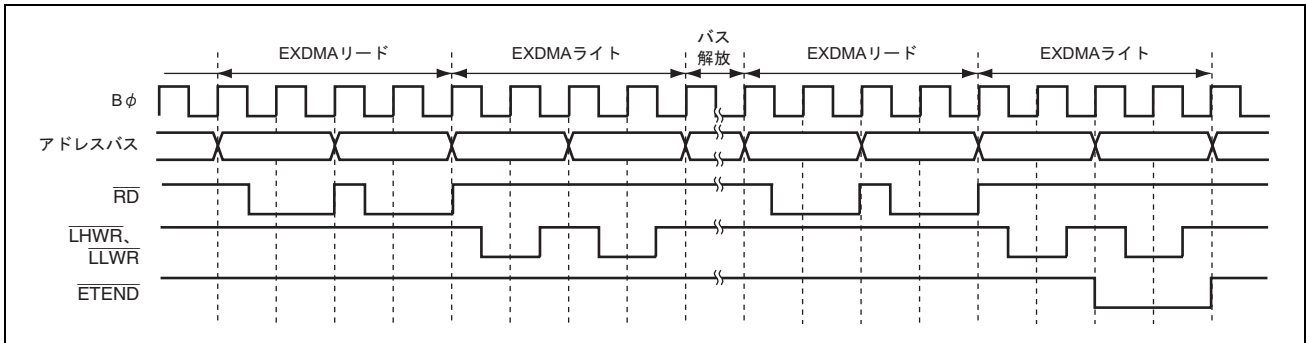


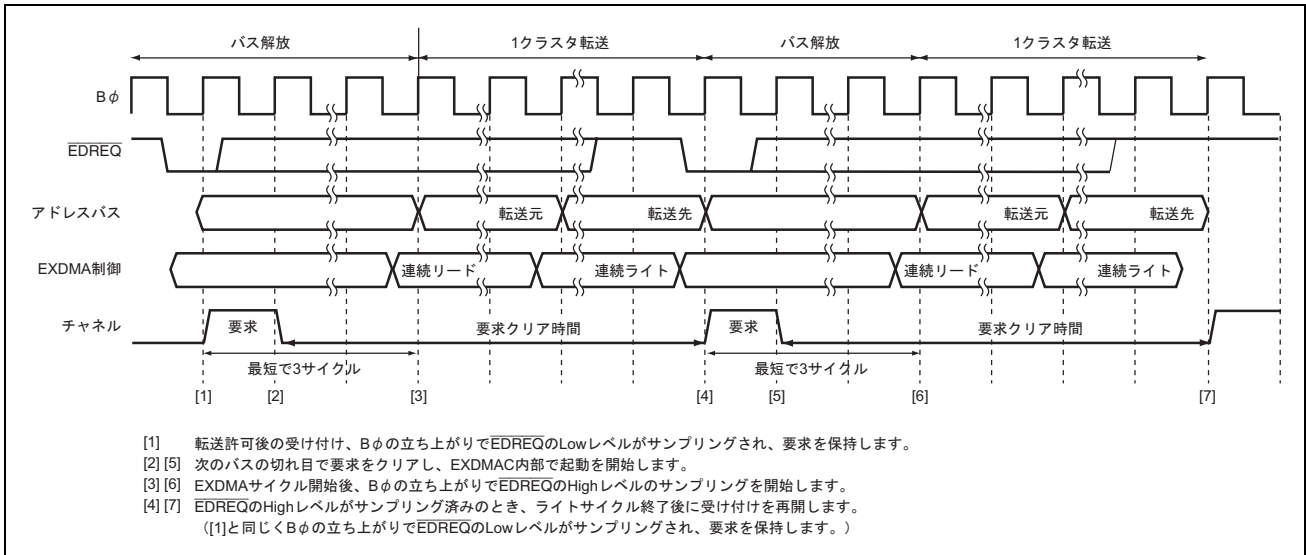
図 11.61 クラスタ転送モードの転送例

(2) $\overline{\text{EDREQ}}$ 立ち下がリエッジ起動タイミング

図 11.62 に $\overline{\text{EDREQ}}$ 立ち下がリエッジ起動時のクラスタ転送モードの転送例を示します。

$\overline{\text{EDREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了後の次の Bφ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{EDREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{EDREQ}}$ の Low レベルがサンプリングされると、EXDMAC 内部で転送要求が保持されます。次に EXDMAC 内部で起動がかかると転送要求はクリアされ、エッジ検出のため $\overline{\text{EDREQ}}$ の High レベルのサンプリングが開始されます。クラスタの最後のライトサイクル終了までに $\overline{\text{EDREQ}}$ の High レベルのサンプリングが済んでいればライトサイクル終了後に転送要求の受け付けが再開され、再び $\overline{\text{EDREQ}}$ の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

図 11.62 $\overline{\text{EDREQ}}$ 立ち下がリエッジ起動時のクラスタ転送モードの転送例

(3) $\overline{\text{EDREQ}}$ レベル起動タイミング

図 11.63 に $\overline{\text{EDREQ}}$ レベル起動のクラスタ転送モードの転送例を示します。

$\overline{\text{EDREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了後の次の Bφ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{EDREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{EDREQ}}$ の Low レベルがサンプリングされると、EXDMAC 内部で転送要求が保持されます。次に EXDMAC 内部で起動がかかると転送要求はクリアされます。

11. EXDMA コントローラ (EXDMAC)

クラスタの最後のライトサイクル終了後に転送要求の受け付けが再開され、再び $\overline{\text{EDREQ}}$ の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

EDMDR の NRD ビット=0 のときは、クラスタの最後のライトサイクル終了後に転送要求の受け付けが再開され、再び $\overline{\text{EDREQ}}$ の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

EDMDR の NRD ビット=1 のときは、クラスタの最後のライトサイクル終了時点から 1 サイクル後に転送要求の受け付けが再開され、再び $\overline{\text{EDREQ}}$ の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

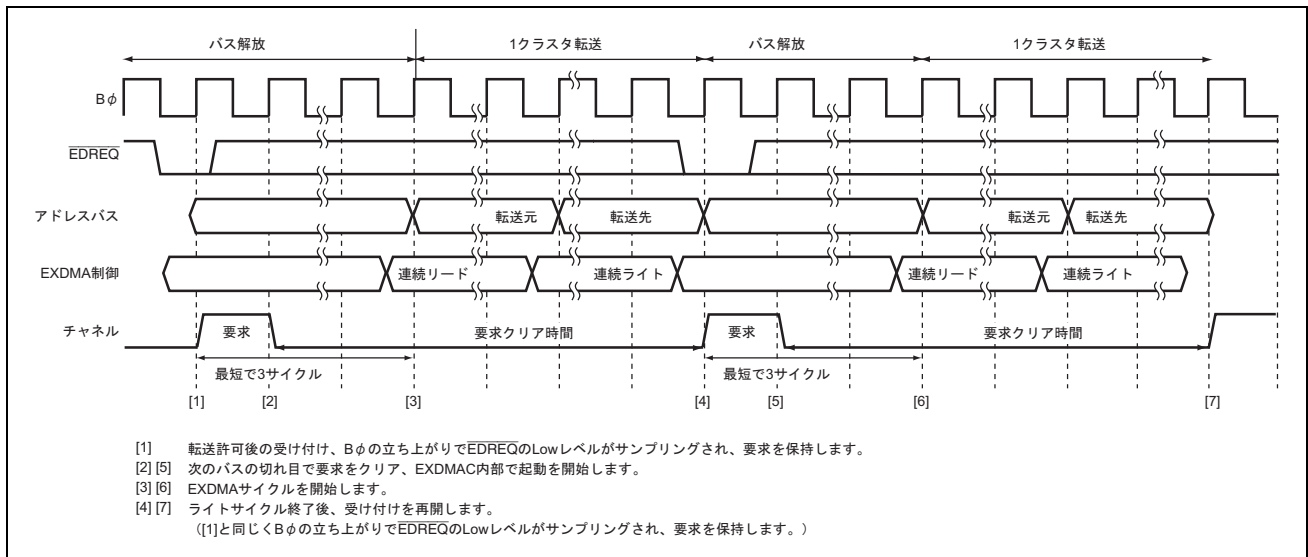


図 11.63 $\overline{\text{EDREQ}}$ レベル起動のクラスタ転送モード転送例

11.6.5 クラスタ転送モードの動作タイミング

クラスタ転送モードの動作タイミング例を示します。他のバスマスタとの競合には、CPU の外部バスサイクルを例に挙げています。

(1) オートリクエスト/クラスタ転送モード/サイクルスチールモード

オートリクエスト (サイクルスチールモード) では、EDMDR の DTE ビットを 1 セットすると、最短 3 サイクル後から EXDMA 連続転送サイクルを開始します。優先順位の高い他のチャンネルに転送要求がある場合は、当該チャンネルの転送要求をいったん保留し、次の転送から他のチャンネルの転送を行います。他のチャンネルの転送が終了すると、当該チャンネルの転送を再開します。

クラスタ転送モード (リードアドレスモード、ライトアドレスモード) とクラスタ転送モード (デュアルアドレスモード) を複数チャンネル間で同時に使用することはできません。クラスタ転送モード (リードアドレスモード、ライトアドレスモード) を使用する場合は、他のチャンネルにクラスタ転送モードを設定しないでください。

図 11.64～図 11.66 に各条件での動作タイミング例を示します。

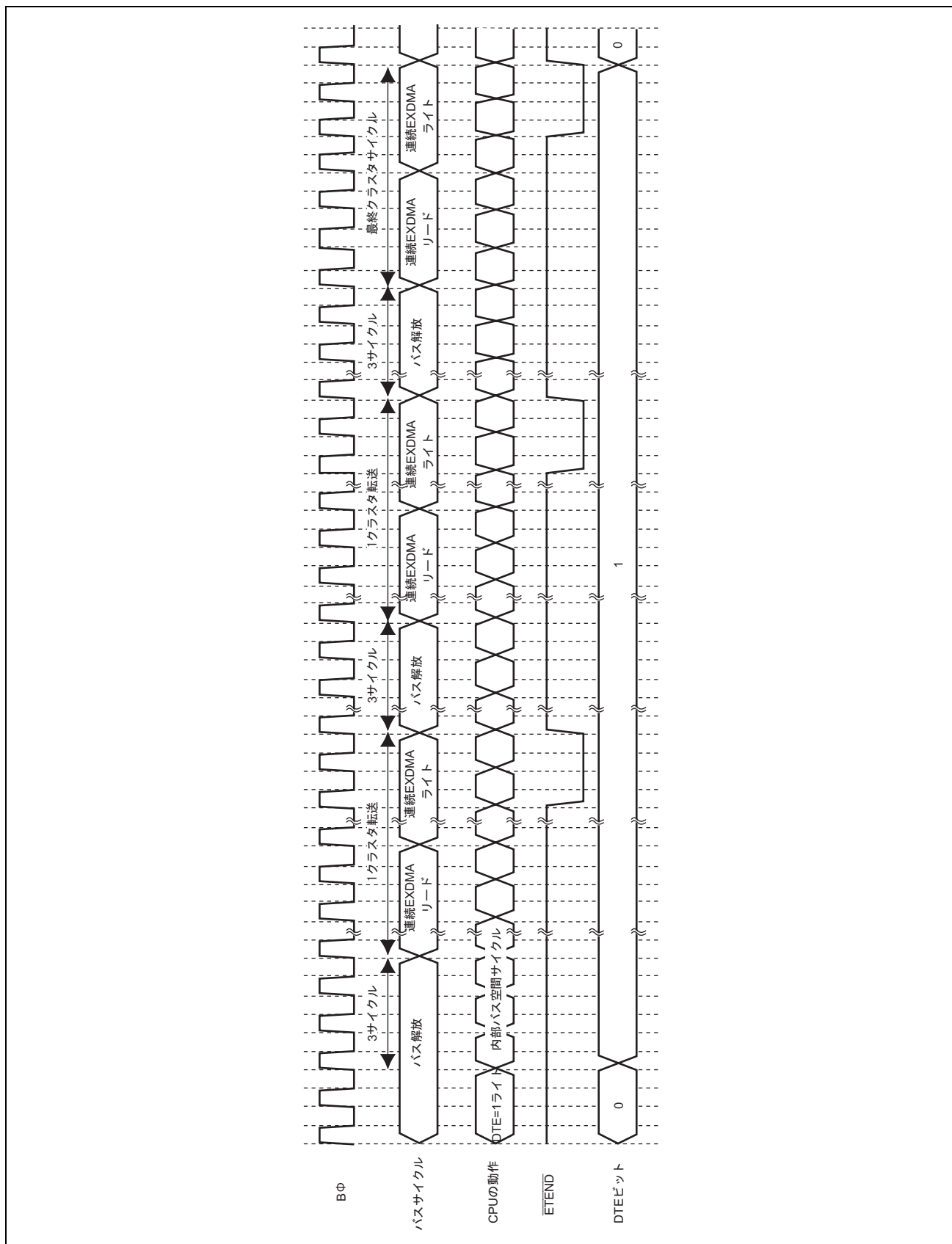


図 11.64 オートリクエスト/クラスター転送モード/サイクルスチールモード
(競合がない場合/デュアルアドレスモード)

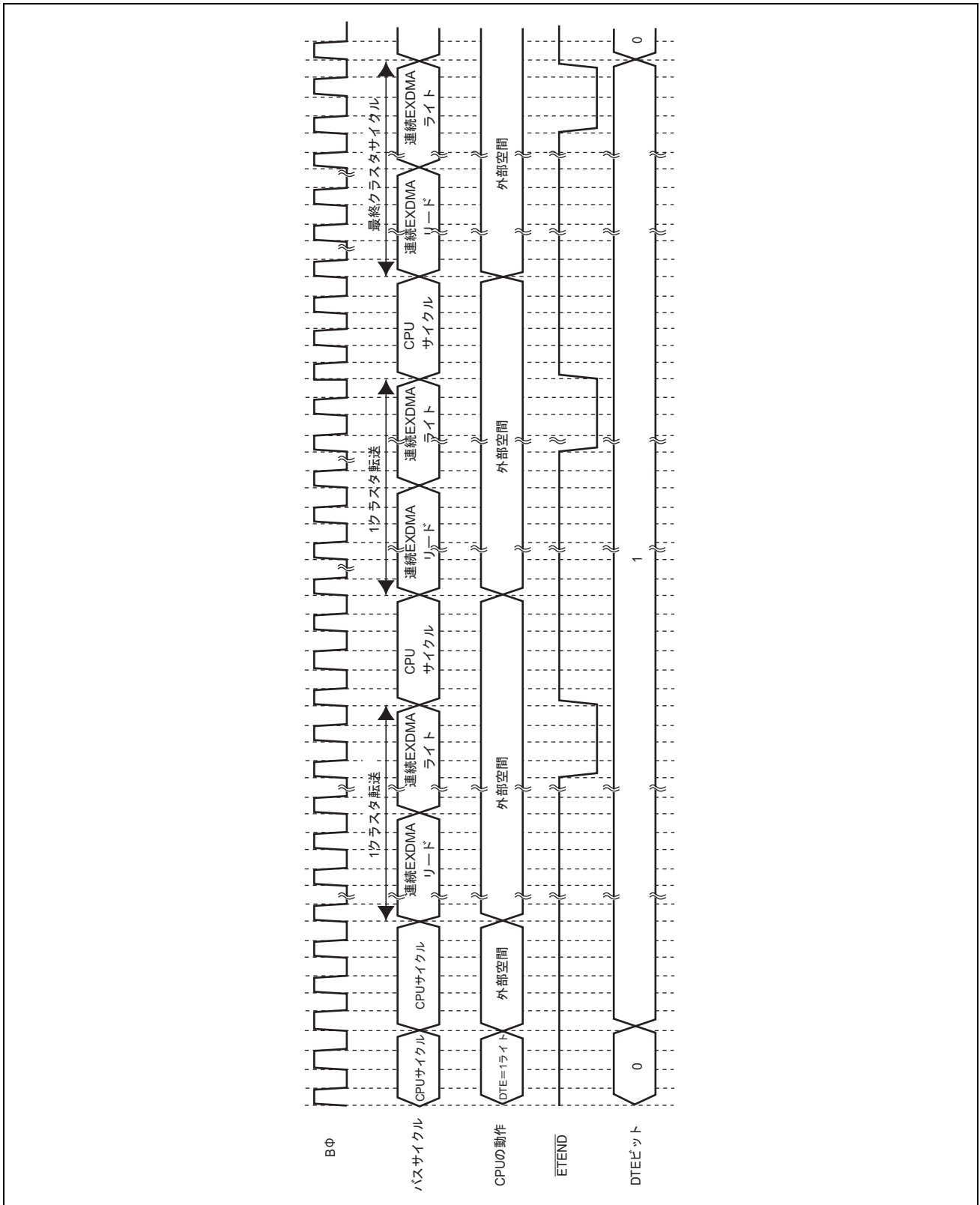


図 11.65 オートリクエスト/クラスタ転送モード/サイクルスチールモード
(CPU サイクルあり/デュアルアドレスモード)

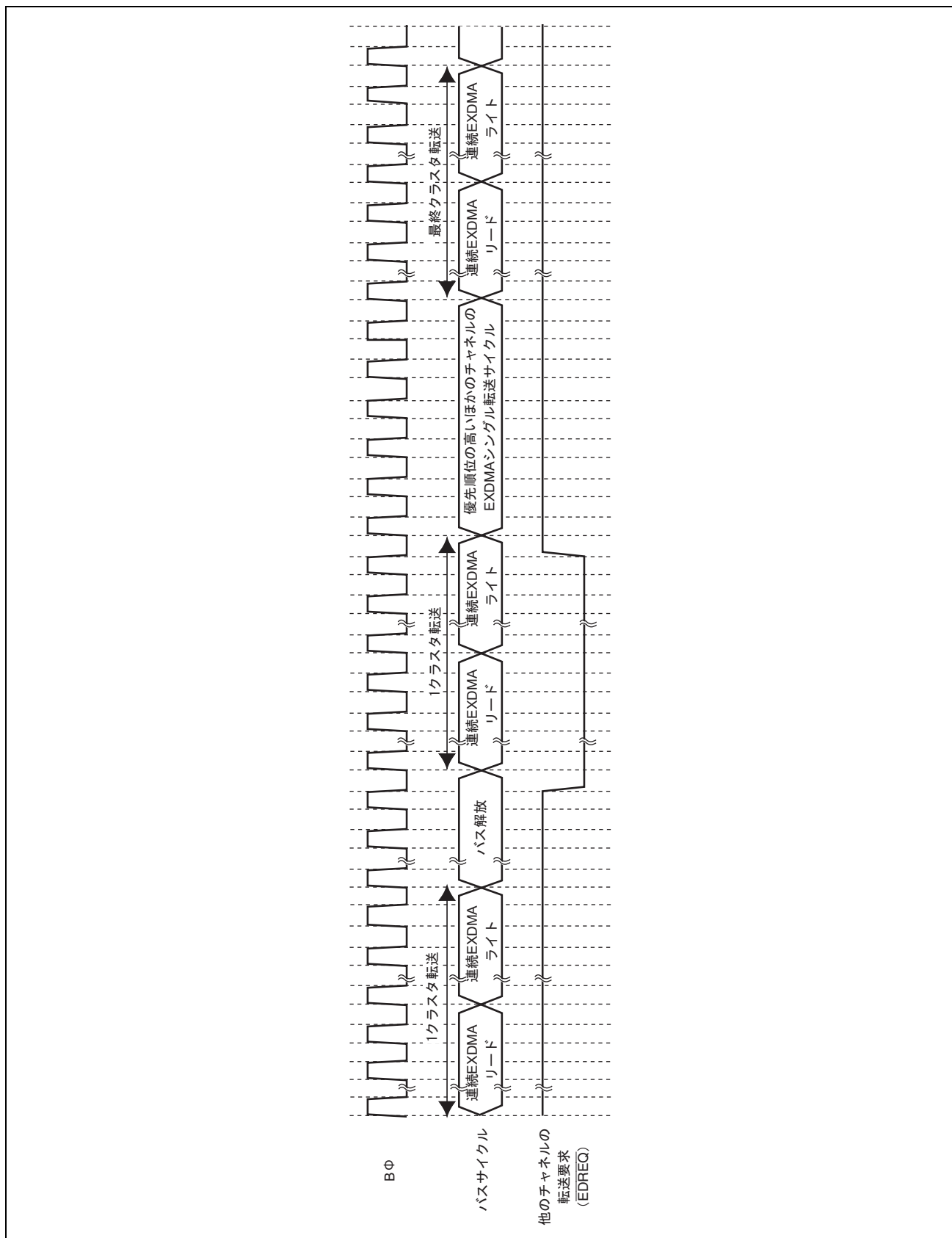


図 11.66 オートリクエスト/クラスタ転送モード/サイクルスチールモード
(他のチャネルと競合する場合/デュアルアドレスモード)

11. EXDMA コントローラ (EXDMAC)

(2) 外部リクエスト／クラスタ転送モード／サイクルスチールモード

外部リクエストでは、1 クラスタ分の転送は連続転送します。次のクラスタ転送の開始タイミングは通常モードと同様です。

他のチャンネルに転送要求が発生すると、次のクラスタ転送の前に他のチャンネルの EXDMA サイクルが発生します。

クラスタ転送モード（リードアドレスモード、ライトアドレスモード）とクラスタ転送モード（デュアルアドレスモード）を複数チャンネル間で同時に使用することはできません。クラスタ転送モード（リードアドレスモード、ライトアドレスモード）を使用する場合は、他のチャンネルにクラスタ転送モードを設定しないでください。

$\overline{\text{EDREQ}}$ の Low レベル検出と立ち下がりエッジ検出では、検出タイミングが異なります。転送要求受け付け、転送開始タイミングについては同様です。

図 11.67～図 11.69 に各条件での動作タイミング例を示します。

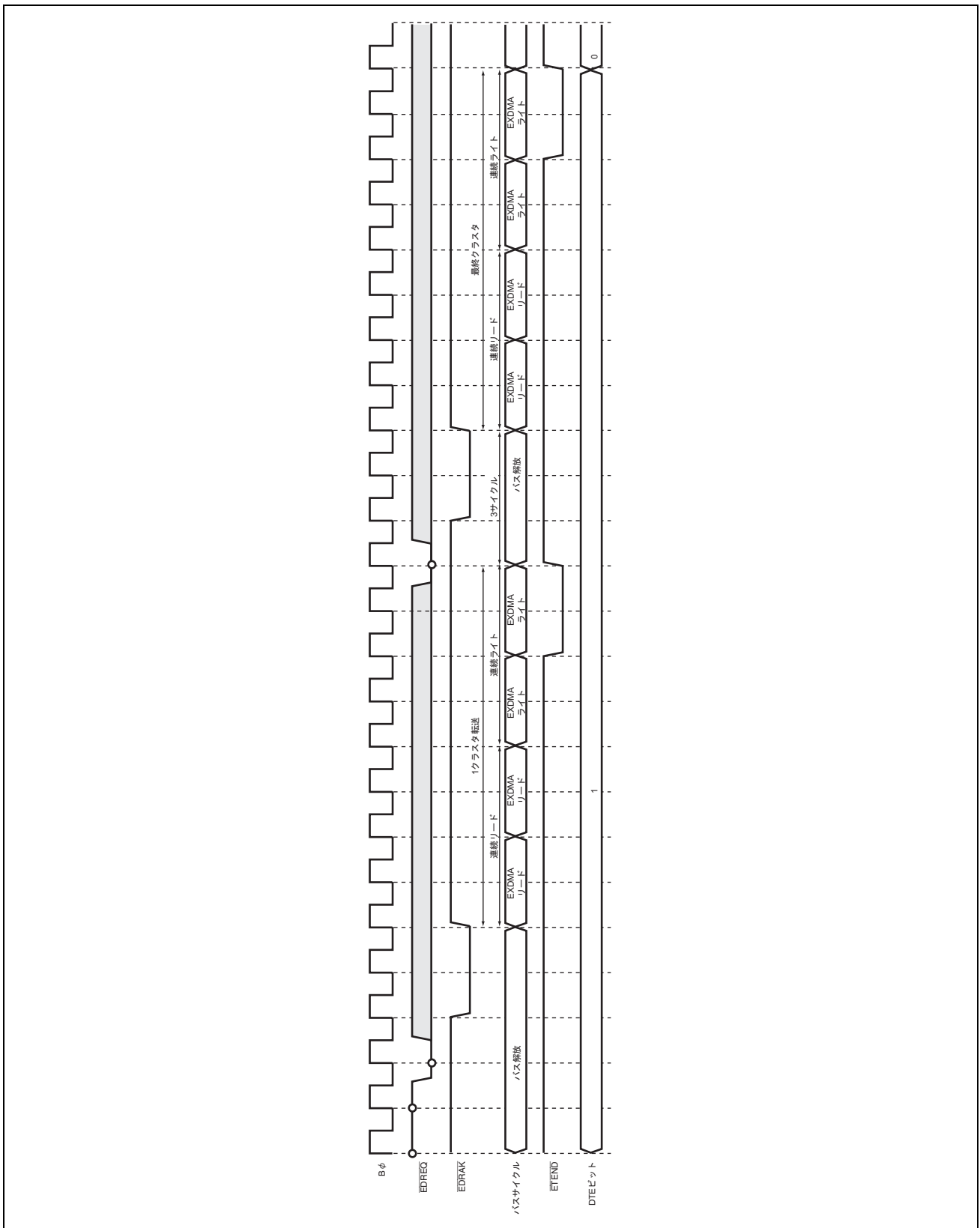


図 11.67 外部リクエスト/クラスタ転送モード/サイクルスチールモード
(競合がない場合/デュアルアドレスモード/Low レベル検出)

11. EXDMA コントローラ (EXDMAC)

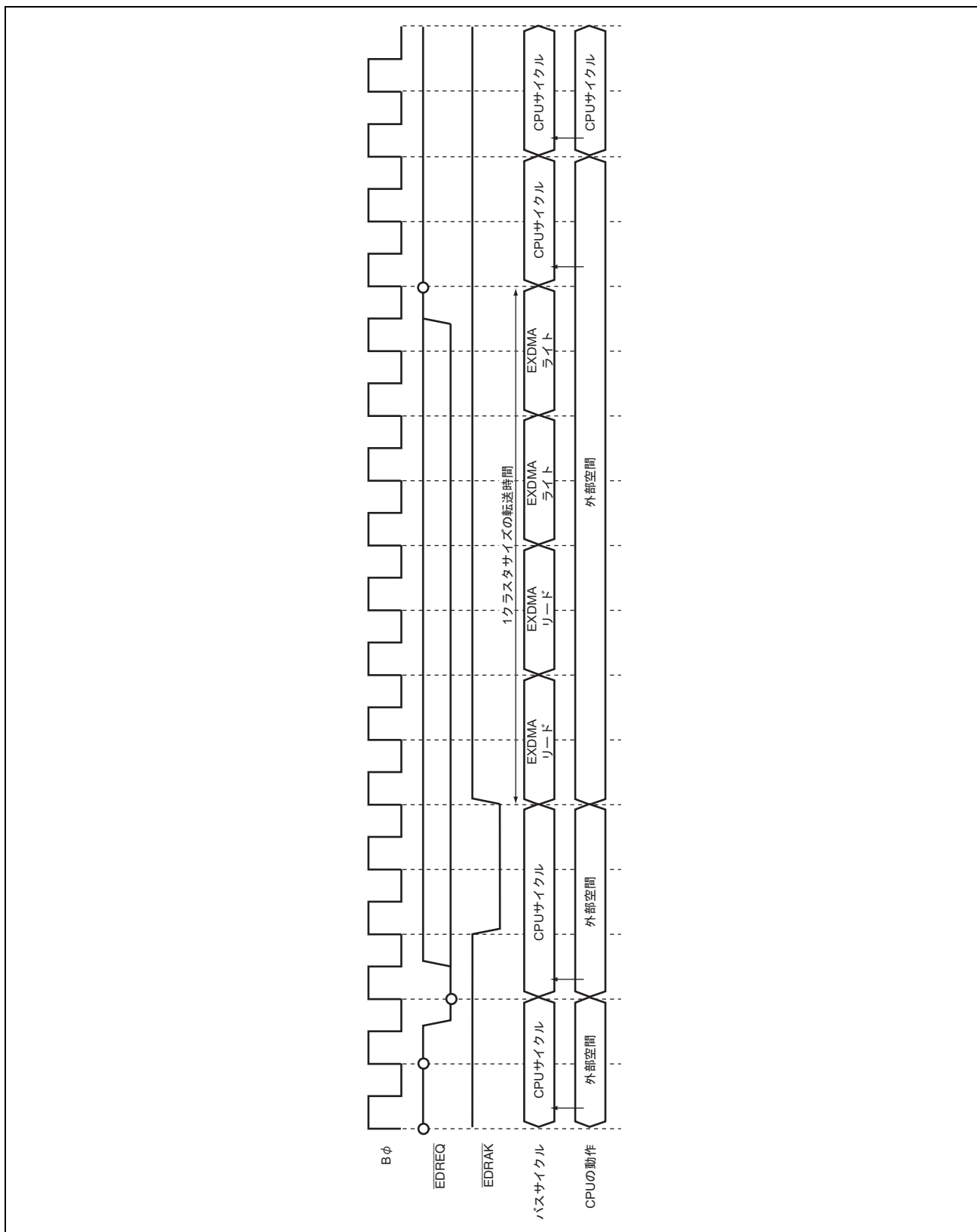


図 11.68 外部リクエスト/クラスタ転送モード/サイクルスチールモード
(CPU サイクルあり/デュアルアドレスモード/Low レベル検出)

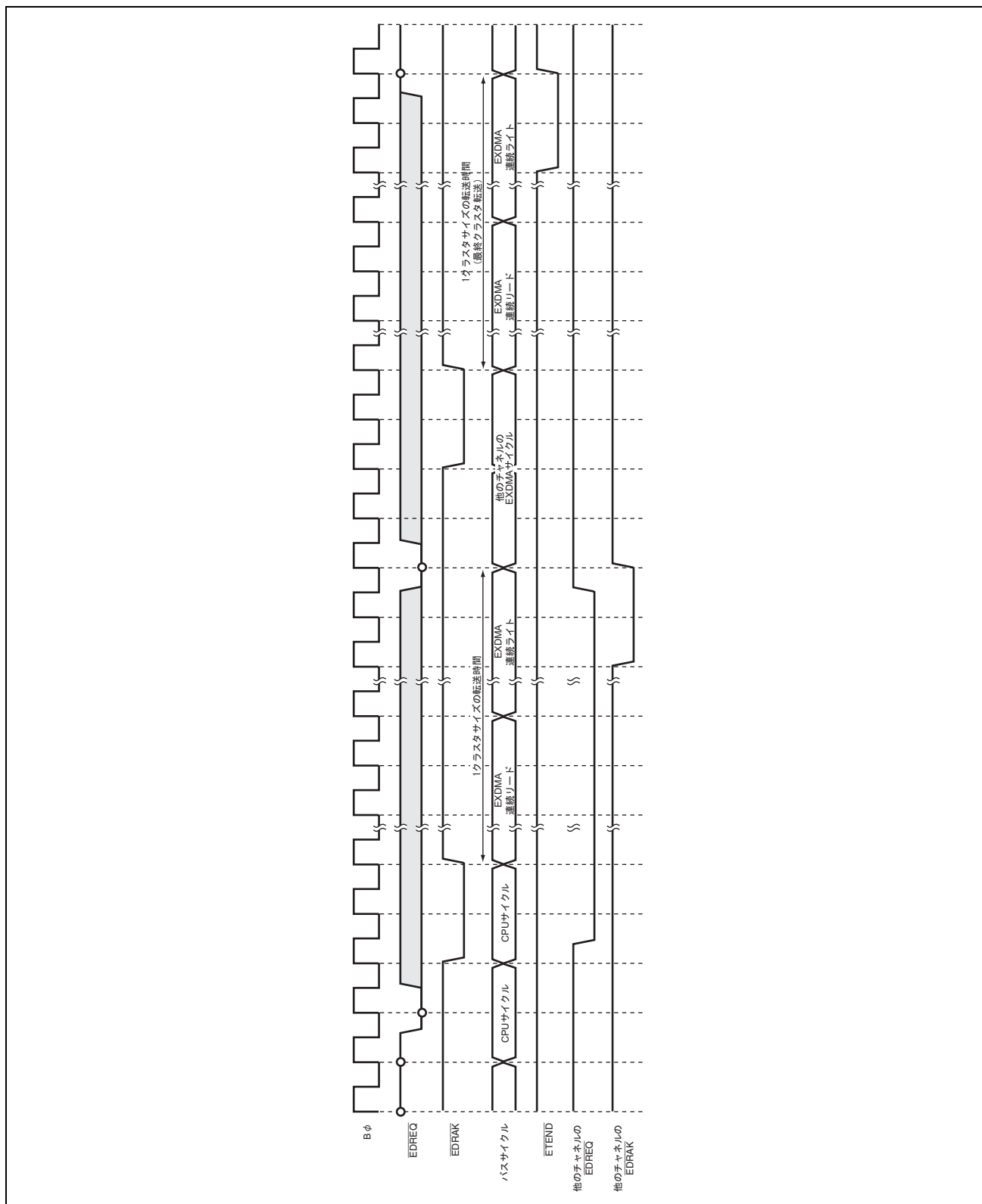


図 11.69 外部リクエスト/クラスタ転送モード/サイクルスチールモード
(他のチャネルと競合する場合/デュアルアドレスモード/Low レベル検出)

11.7 EXDMA 転送終了

EXDMA 転送終了は、転送終了条件によって動作が異なります。EXDMA 転送が終了すると、EDMDR の DTE ビットと ACT ビットが 1 から 0 になり、EXDMA 転送が終了したことを示します。

(1) EDTCR=1、2、4→0 による転送終了

EDTCR の値が 1、2 または 4 から 0 になると対応するチャンネルの EXDMA 転送が終了し、EDMDR の DTE ビットが 0 にクリアされ、同時に EDMDR の DTIF ビットが 1 にセットされます。このとき EDMDR の DTIE ビットが 1 にセットされていると、転送カウンタによる転送終了割り込み要求が発生します。EDTCR の値が転送前から 0 の場合は、EXDMA 転送は終了しません。

(2) 転送サイズエラー割り込みによる転送終了

EDMDR の TSEIE ビットが 1 にセットされているときに次の条件を満たすと、転送サイズエラー割り込み要求が発生し、EXDMA 転送を終了します。このとき EDMDR の DTE ビットは 0 にクリアされ、同時に EDMDR の ESIF ビットが 1 にセットされます。

- ノーマル転送モード、リピート転送モードにおいて、データアクセスサイズよりも EDTCR の値が小さくなり、1 要求あたりのデータアクセスサイズ分の転送ができなくなった状態で、次の転送要求が発生したとき
- ブロック転送モードにおいて、ブロックサイズよりも EDTCR の値が小さくなり、1 要求あたりのブロックサイズ分の転送ができなくなった状態で、次の転送要求が発生したとき
- クラスタ転送モードにおいて、クラスタサイズよりも EDTCR の値が小さくなり、1 要求あたりのクラスタサイズ分の転送ができなくなった状態で、次の転送要求が発生したとき

EDMDR の TSEIE ビットが 0 にクリアされているときは、EDTCR が 0 になるまで転送を行い、転送サイズエラー割り込み要求は発生しません。各転送モードごとの動作を以下に示します。

- ノーマル転送モードやリピート転送モードにおいて、データアクセスサイズよりも EDTCR の値が小さいと、データアクセスサイズをバイトに固定して転送を行います。
- ブロック転送モードにおいて、ブロックサイズよりも EDTCR の値が小さいと、ブロックサイズ分の転送を行わず EDTCR 分の転送を行います。データアクセスサイズよりも EDTCR の値が小さいときは、データアクセスサイズをバイトに固定して転送を行います。
- クラスタ転送モードにおいて、クラスタサイズよりも EDTCR の値が小さいと、クラスタサイズ分の転送を行わず EDTCR 分の転送を行います。データアクセスサイズよりも EDTCR の値が小さいときは、データアクセスサイズをバイトに固定して転送を行います。

(3) リピートサイズ終了割り込みによる転送終了

リピート転送モードにおいて、EDACR の RPTIE ビットが 1 にセットされているときに、1 リピートサイズ分の転送終了後に次の転送要求が発生すると、リピートサイズ終了割り込み要求が発生します。割り込み要求の発生により EXDMA 転送を終了し、EDMDR の DTE ビットが 0 にクリアされ、同時に EDMDR の ESIF ビットが 1 にセットされます。この状態から DTE ビットを 1 にセットすると転送を再開させることができます。

ブロック転送モード、クラスタ転送モードにおいても、リピートサイズ終了割り込み要求が発生させることができます。ブロック転送モードでは、1 ブロック分の転送終了後に次の転送要求が発生すると、リピートサイズ終了割り込み要求が発生します。クラスタ転送モードでは、1 クラスタサイズ分の転送終了後に次の転送要求が発生すると、リピートサイズ終了割り込み要求が発生します。

(4) 拡張リピートエリアオーバフロー割り込みによる転送終了

拡張リピートエリアを指定し、EDACR の SARIE ビットまたは DARIE ビットが 1 にセットされているときに、アドレスの拡張リピートエリアがオーバフローすると、拡張リピートエリアオーバフロー割り込み要求が発生します。割り込み要求の発生により EXDMA 転送は終了し、EDMDR の DTE ビットが 0 にクリアされ、同時に EDMDR の ESIF ビットが 1 にセットされます。

デュアルアドレスモードでは、リードサイクル中に拡張リピートエリアオーバフロー割り込み要求が発生しても続くライトサイクル処理は実行されます。

ブロック転送モードでは、1 ブロック分の転送中に拡張リピートエリアオーバフロー割り込み要求が発生しても 1 ブロック分の転送は実行されます。拡張リピートエリアオーバフロー割り込みによる転送終了は、ブロックサイズの区切りで発生します。

クラスタ転送モードでは、1 クラスタ分の転送中に拡張リピートエリアオーバフロー割り込み要求が発生してもクラスタの転送は実行されます。拡張リピートエリアオーバフロー割り込みによる転送終了は、クラスタサイズの区切りで発生します。

(5) EDMDR の DTE ビットに 0 をライトして転送終了

CPU 等によって EDMDR の DTE ビットに 0 をライトすると、転送中の EXDMA サイクルおよび転送要求を受け付けた EXDMA サイクルの実行後に転送終了されます。

ブロック転送モードでは、転送中の 1 ブロックサイズの転送終了後に EXDMA 転送を終了します。

クラスタ転送モードでは、転送中の 1 クラスタサイズの転送終了後に EXDMA 転送を終了します。

(6) NMI 割り込みによる転送終了

NMI 割り込みが発生した場合、EXDMAC は全チャンネルの DTE ビットを 0 にクリアし、かつ EDMDR_0 の ERRF ビットを 1 にセットします。EXDMA 転送中に NMI 割り込みが発生した場合、転送は強制的に終了します。NMI 割り込み発生後に EXDMA 転送を行う場合は、ERRF ビットを 0 にクリアした後に各チャンネルの DTE ビットを 1 にセットしてください。

以下に、NMI 割り込み検出後の転送終了タイミングを各モード毎に示します。

(a) ノーマル転送モード、リピータ転送モード

デュアルアドレスモードでは、1 転送単位の EXDMA 転送のライトサイクル終了後に EXDMA 転送を終了します。

シングルアドレスモードでは、1 転送単位の EXDMA 転送のバスサイクル終了後に EXDMA 転送を終了します。

(b) ブロック転送モード

ブロックサイズ分の EXDMA 転送を中断して強制終了します。ブロックサイズ分の転送が正しく実行されなくなるため、転送要求に対する整合性は保証されません。

デュアルアドレスモードでは、ノーマル転送モードと同様にリードサイクルに対応するライトサイクルは実行されます。

(c) クラスタ転送モード

クラスタサイズ分の EXDMA 転送を中断して強制終了します。リードサイクル中に強制終了した場合、リードデータは保証されません。ライトサイクル中に強制終了した場合、転送されていないデータは保証されません。

転送カウンタとアドレスレジスタの整合性は、転送処理の制御が保てないため保証されません。

(7) アドレスエラーによる転送終了

アドレスエラーが発生すると EXDMAC は全チャンネルの DTE ビットを 0 にクリアし、かつ EDMDR_0 の ERRF ビットを 1 にセットします。EXDMA 転送中にアドレスエラーが発生した場合、転送は強制的に終了します。アドレスエラー発生後に EXDMA 転送を行う場合は、ERRF ビットを 0 にクリアした後に各チャンネルの DTE ビットを 1 にセットしてください。

アドレスエラー検出後の転送終了タイミングは、NMI 割り込みによる強制終了タイミングと同様です。

(8) ハードウェアスタンバイモード、リセット入力による転送終了

ハードウェアスタンバイモードまたはリセット入力により、EXDMAC は初期化されます。EXDMA 転送は保証されません。

11.8 EXDMAC と他のバスマスタの関係

11.8.1 CPU に対する EXDMAC の優先レベル制御機能

CPU プライオリティコントロールレジスタ (CPUPCR) の設定により、CPU に対する EXDMAC の優先レベル制御機能を使用することができます。詳細は「7.7 CPU に対する DTC、DMAC、EXDMAC の優先レベル制御機能」を参照してください。

EXDMAC の優先レベルは、EDMDR の EDMAP2~0 ビットで設定します。チャンネル毎に優先レベルを独立に設定することができます。

CPU の優先レベルは、CPUPCR の CPUP2~0 ビットで設定します。CPU の優先レベルは、CPUP2~0 ビットの値を割り込みマスクビットの値で更新することにより、例外処理のプライオリティレベルに対応した優先レベルに設定されます。

CPUPCR の CPUPCE ビットを 1 にセットして CPU の優先レベル制御を有効にすると、EXDMAC の優先レベルが CPU の優先レベルよりも低くなると対応するチャンネルの転送要求はマスクされ、当該チャンネルは起動されなくなります。他のチャンネルの優先レベルが CPU の優先レベルと同じか、高い場合は、チャンネル間の優先順位に関係なく、他のチャンネルの転送要求は受け付けられ転送が可能です。

CPU の優先レベル制御機能により転送要求をマスクされた転送要因は保留され、CPU の優先レベルまたは当該チャンネルの優先レベルを更新して CPU の優先レベルが当該チャンネルの優先レベルよりも低くなると、転送要求を受け付けて転送を開始します。保留されている転送要求は、DTE ビットに 0 をライトするとクリアされます。

CPUPCE ビットを 0 にクリアすると CPU の優先レベルは最低と見なされます。

11.8.2 他のバスマスタとのバス権の調停

EXDMA 転送サイクルが連続する場合、各バスサイクルの間に他のバスマスタのサイクルが挿入される場合と、挿入されない場合があります。設定により EXDMAC のバス権をいったん解放して他のバスマスタにバス権を譲ることができます。

EXDMA 転送サイクルが連続するバスサイクルには、転送モードの仕様により不可分割となる場合、転送モードの仕様により高速アクセスのためバスサイクルが連続する場合、および他のバスマスタがバス権を要求していないためバスサイクルが連続する場合があります。

EXDMA 転送サイクルのリードとライトの間は不可分割となっています。このため、EXDMA 転送サイクルのリードとライトの間にリフレッシュサイクル、外部バス解放サイクル、内部バスマスタ (CPU、DTC、DMAC) の外部空間アクセスサイクルは発生しません。

クラスタ転送モードでは、1 クラスタ内の転送サイクルは不可分割となっています。

ブロック転送モード、およびオートリクエストのバーストモードの転送では、EXDMA 転送のバスサイクルは連続します。この期間、内部バスマスタはバス権の優先順位が EXDMAC よりも低いいため外部空間アクセスは待たされます (バスコントロールレジスタ 2 (BCR2) の EBCCS=0 のとき)。

他のチャンネルに切り替わる時、およびオートリクエストのサイクルスチールモードの転送では、EXDMA 転送サイクルは内部バスマスタと交互にバスサイクルを実行します。内部バスマスタが外部空間アクセスサイクルを発行していない場合、EXDMA 転送サイクルは可能な範囲でバスサイクルを連続して実行します。

BCR2 の EBCCS ビットを 1 にセットして EXDMAC と内部バスマスタとの間の調停機能を有効にすると、

11. EXDMA コントローラ (EXDMAC)

不可分割のバスサイクルを除いて、バス権をいったん解放して内部バスマスタとの間で交互にバス権を取得します。詳細は「9. バスコントローラ (BSC)」を参照してください。

11.9 割り込み要因

EXDMAC が発生する割り込み要因は、転送カウンタによる転送終了、転送カウンタが 0 にならずに転送終了するエスケープ終了割り込みです。表 11.7 に割り込み要因と優先度を示します。

表 11.7 割り込み要因と優先度

名称	割り込み要因	割り込み優先順位
EXDMTEND0	チャンネル 0 の転送カウンタによる転送終了割り込み	<div style="text-align: center;">高</div> <div style="text-align: center;">↑</div> <div style="text-align: center;">↓</div> <div style="text-align: center;">低</div>
EXDMTEND1	チャンネル 1 の転送カウンタによる転送終了割り込み	
EXDMTEND2	チャンネル 2 の転送カウンタによる転送終了割り込み	
EXDMTEND3	チャンネル 3 の転送カウンタによる転送終了割り込み	
EXDMEEND0	チャンネル 0 の転送サイズエラーによる割り込み チャンネル 0 のリピートサイズ終了割り込み チャンネル 0 のソースアドレス拡張リピートエリアオーバーフローによる割り込み チャンネル 0 のデスティネーションアドレス拡張リピートエリアオーバーフローによる割り込み	
EXDMEEND1	チャンネル 1 の転送サイズエラーによる割り込み チャンネル 1 のリピートサイズ終了割り込み チャンネル 1 のソースアドレス拡張リピートエリアオーバーフローによる割り込み チャンネル 1 のデスティネーションアドレス拡張リピートエリアオーバーフローによる割り込み	
EXDMEEND2	チャンネル 2 の転送サイズエラーによる割り込み チャンネル 2 のリピートサイズ終了割り込み チャンネル 2 のソースアドレス拡張リピートエリアオーバーフローによる割り込み チャンネル 2 のデスティネーションアドレス拡張リピートエリアオーバーフローによる割り込み	
EXDMEEND3	チャンネル 3 の転送サイズエラーによる割り込み チャンネル 3 のリピートサイズ終了割り込み チャンネル 3 のソースアドレス拡張リピートエリアオーバーフローによる割り込み チャンネル 3 のデスティネーションアドレス拡張リピートエリアオーバーフローによる割り込み	

各割り込み要因は、対応するチャンネルの EDMDR の DTIE ビットと ESIE ビットにより許可または禁止を設定できます。DTIE ビットは、EDMDR の DTIF ビットとの組み合わせで EXDMTEND 割り込みを発生させます。ESIE ビットは、EDMDR の ESIF ビットとの組み合わせで EXDMEEND 割り込みを発生させます。EXDMEEND 内の割り込み要因は共通の割り込みとして区別されません。チャンネル間の割り込みの優先順位は、割り込みコントローラによって決められており、表 11.8 に示すようになっています。詳細は「7. 割り込みコントローラ」を参照してください。

各割り込み要因は、対応するチャンネルのレジスタの割り込みイネーブルビットで設定します。転送カウンタによる転送終了割り込みは EDMDR の DTIE ビット、転送サイズエラーによる割り込みは EDMDR の TSEIE ビット、リピートサイズ終了による割り込みは EDACR の RPTIE ビット、ソースアドレス拡張リピートエリアオーバーフロー割り込みは EDACR の SARIE ビット、デスティネーションアドレス拡張リピートエリアオーバーフロー割り込みは EDACR の DARIE ビットにより許可または禁止を設定します。

転送カウンタによる転送終了割り込みは、EDMDR の DTIE ビットが 1 にセットされていると、転送により EDTCR が 0 になり EDMDR の DTIF ビットが 1 にセットされたときに発生します。

転送カウンタによる転送終了割り込み以外の割り込みは、対応する割り込みイネーブルビットが 1 にセットされていると、転送により対応する条件が発生し EDMDR の ESIF ビットが 1 にセットされたときに発生します。

転送サイズエラーによる割り込みは、データアクセスサイズよりも EDTCR の値が小さくなり 1 要求あたりのデータアクセスサイズ分の転送ができないときに転送要求があると発生します。ブロック転送モードでは、ブロックサイズと EDTCR の値を比較して転送サイズエラー判定を行います。クラスタ転送モードでは、クラスタサイズと EDTCR の値を比較して転送サイズエラー判定を行います。

リピートサイズ終了割り込みは、リピート転送モードにおいてリピートサイズ分の転送終了後に次の転送要求があると発生します。リピートエリアをアドレスレジスタに設定しない場合でもリピートサイズに設定した値により定期的に転送を中断させることができます。同時に転送カウンタによる転送終了割り込みが発生した場合も、ESIF ビットは 1 にセットされます。

ソースアドレス拡張リピートエリアオーバーフロー割り込み、およびデスティネーションアドレス拡張リピートエリアオーバーフロー割り込みは、拡張リピートエリアを設定して対応するアドレスがリピートエリアオーバーフローになったときに発生します。同時に転送カウンタによる転送終了割り込みが発生した場合も、ESIF ビットは 1 にセットされます。

各種割り込みと割り込みフラグのブロック図を図 11.70 に示します。割り込みを解除するには、割り込み処理ルーチンにて EDMDR の DTIF ビットまたは ESIF ビットを 0 にクリアする方法と、レジスタの再設定後に EDMDR の DTE ビットを 1 にセットして転送継続の処理を行う方法があります。割り込みを解除して、転送を再開する手順例を図 11.71 に示します。

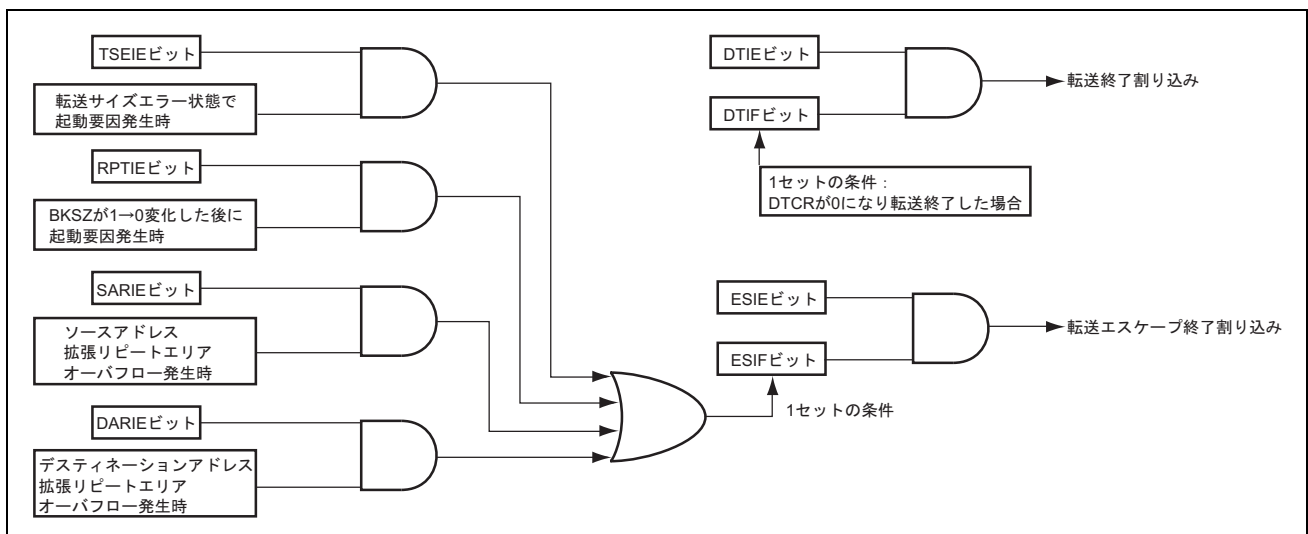


図 11.70 割り込みと割り込み要因

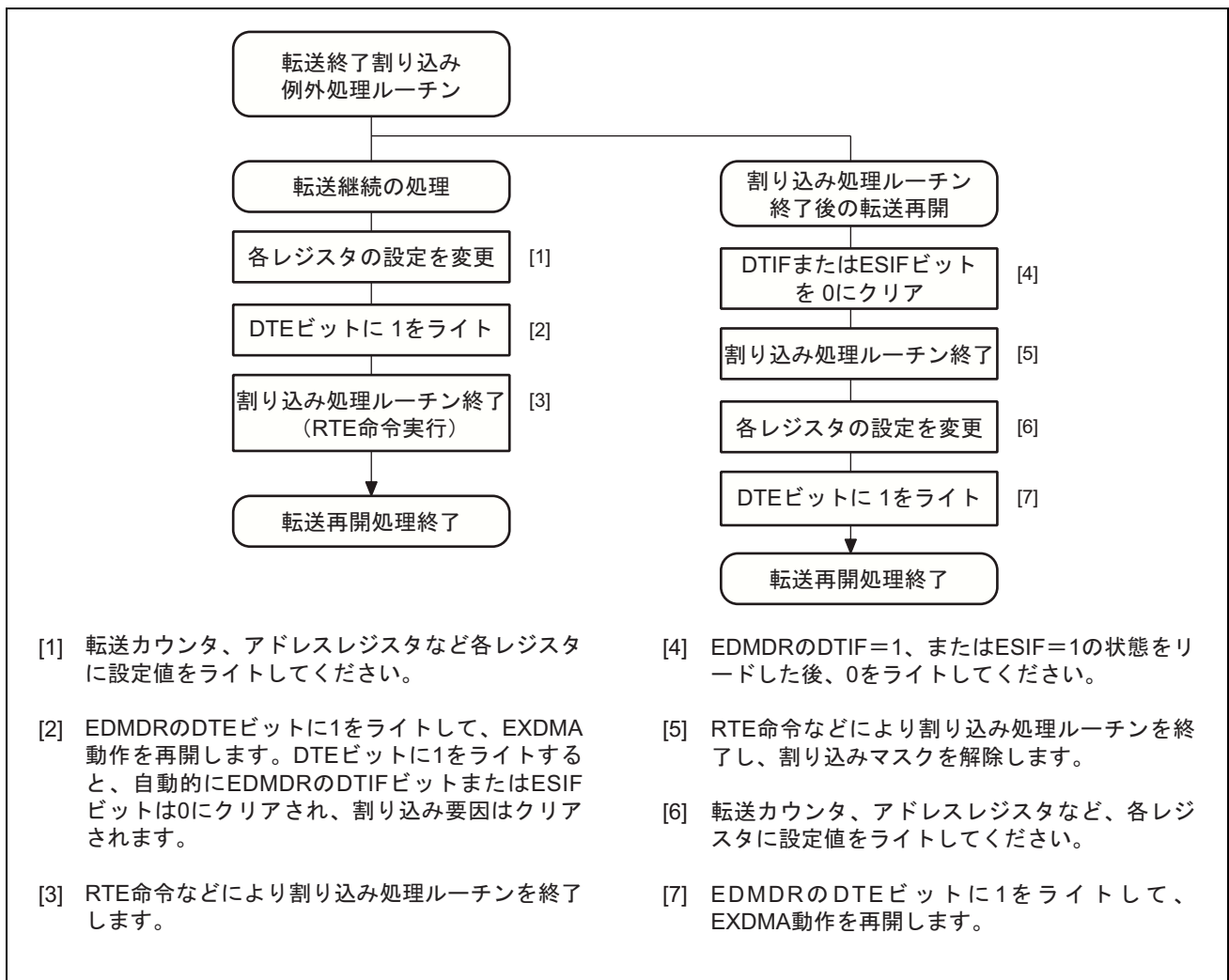


図 11.71 割り込みを解除して、転送を再開する手順例

11.10 使用上の注意事項

(1) 動作中の EXDMAC レジスタのアクセス

EDMDR の DTE ビットを 0 にクリアする場合を除き、動作中（転送待ち状態を含む）にチャンネルの設定を変更しないでください。動作中にチャンネルの設定を変更する場合は、必ず転送禁止状態で行ってください。

(2) モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、EXDMAC の動作停止／許可を設定することができます。初期値では、EXDMAC は動作許可状態です。

MSTPCRA の MSTPA14 ビットを 1 にセットすると、EXDMAC に供給されるクロックが停止し、EXDMAC はモジュールストップ状態になります。ただし、EXDMAC のいずれかのチャンネルが転送許可状態になっている場合、および割り込み要求を発生中の場合は、MSTPA14 ビットを 1 にセットできません。EDMDR の DTE ビットを 0 にクリアして、EDMDR の DTIF ビットまたは DTIE ビットを 0 にクリアしてから MSTPA14 ビットを設定してください。

EXDMAC のクロックが停止すると、EXDMAC のレジスタに対するアクセスができなくなります。次の

EXDMAC のレジスタ設定は、モジュールストップ状態でも有効となりますので、必要に応じてモジュールストップ状態に先立って無効にしてください。

- EDMDRのETENDE=1 ($\overline{\text{ETEND}}$ 端子イネーブル)
- EDMDRのEDRAKE=1 ($\overline{\text{EDRAK}}$ 端子イネーブル)
- EDMDRのEDACKE=1 ($\overline{\text{EDACK}}$ 端子イネーブル)

(3) $\overline{\text{EDREQ}}$ 立ち下がりエッジ起動

$\overline{\text{EDREQ}}$ 立ち下がりエッジ検出は、EXDMAC の内部動作に同期して行います。

起動要求待ち状態： $\overline{\text{EDREQ}}$ のLowレベル検出を待ち、[2.] に遷移します。

転送待ち状態：EXDMACのデータ転送許可待ち、[3.] に遷移します。

起動要求禁止状態： $\overline{\text{EDREQ}}$ のHighレベル検出を待ち、[1.] に遷移します。

EXDMAC の転送許可後は [1.] に遷移します。このため、転送許可後の最初の起動は Low レベル検出で行われます。

(4) 起動要因の受け付け

起動要因の受け付け開始時は、 $\overline{\text{EDREQ}}$ の立ち下がりエッジセンス/Low レベルセンスともに Low レベルを検出しています。従って、転送許可状態にするための EDMDR ライト実行以前から発生している $\overline{\text{EDREQ}}$ の Low レベル検出による転送要求を受け付けます。

EXDMAC の起動時には、前回の転送終了時に $\overline{\text{EDREQ}}$ の Low レベルが残らないようにしてください。

(5) クラスタ転送の競合

クラスタ転送モードでは、使用するクラスタバッファはすべてのチャンネルで共通です。複数のクラスタ転送が競合した場合、クラスタバッファレジスタは最後に実施されたクラスタ転送の値になります。

転送元からクラスタバッファへの転送や、クラスタバッファから転送先への転送が、他のクラスタ転送と競合した場合、クラスタバッファのデータが他のチャンネルのクラスタ転送によって更新される可能性があります。

従って、クラスタ転送モードかつシングルアドレスモードを設定した場合、他のチャンネルにクラスタ転送モードを設定しないでください。

(6) クラスタ転送モードとエンディアン

クラスタ転送モードでは、ビッグエンディアン形式の空間に対する転送にのみ対応しています。クラスタ転送モードを設定した場合、EDSAR や EDDAR に対して、リトルエンディアン形式の空間を指定しないでください。エンディアンに関しては、「9. バスコントローラ (BSC)」を参照してください。

11. EXDMA コントローラ (EXDMAC)

12. データトランスファコントローラ (DTC)

本 LSI は、データトランスファコントローラ (DTC) を内蔵しています。DTC は、割り込み要求によって起動され、データ転送を行うことができます。

12.1 特長

- 任意チャンネル数の転送が可能
 - 一つの起動要因に対して複数のデータ転送が可能 (チェイン転送)
 - データ転送後にチェイン転送の実行を設定可能 (カウンタ=0のとき)
- 転送モード : 3種類
 - ノーマル転送モード、リピート転送モード、ブロック転送モードの選択が可能
 - 転送元、転送先アドレスのインクリメント、デクリメント、固定の選択が可能
- ショートアドレスモード/フルアドレスモードを選択可能
 - 転送情報は、ショートアドレスモードのとき3ロングワード、フルアドレスモードのとき4ロングワードに配置
 - ショートアドレスモードでは転送元、転送先アドレスを24ビットで指定でき、16Mバイトのアドレス空間を直接指定可能
 - フルアドレスモードでは転送元、転送先アドレスを32ビットで指定でき、4Gバイトのアドレス空間を直接指定可能
- データ転送のデータサイズをバイト、ワード、ロングワードに設定可能
 - 奇数アドレスを指定し、ワード、ロングワード転送を行った場合にバスサイクルを分割して転送
 - 4n+2アドレスを指定し、ロングワード転送を行った場合にバスサイクルを分割して転送
- DTCを起動した割り込みをCPUに要求可能
 - 1回のデータ転送終了後にCPUに対する割り込み要求を発生可能
 - 指定したデータ転送終了後にCPUに対する割り込み要求を発生可能
- 転送情報のリードスキップを指定可能
- 固定を選択した転送元アドレス、転送先アドレスはライトバックスキップを実行
- モジュールストップ状態への設定可能

12. データトランスファコントローラ (DTC)

DTCのブロック図を図12.1に示します。DTCの転送情報は、データ領域に配置可能です*。転送情報を内蔵RAMに配置した場合、DTCと内蔵RAMは32ビットバスで接続されていますので、DTCの転送情報のリード/ライトを32ビット1ステートで実行できます。

【注】 * 転送情報を内蔵RAMに配置した場合、必ずSYSCRのRAMEビットを1にセットしてください。

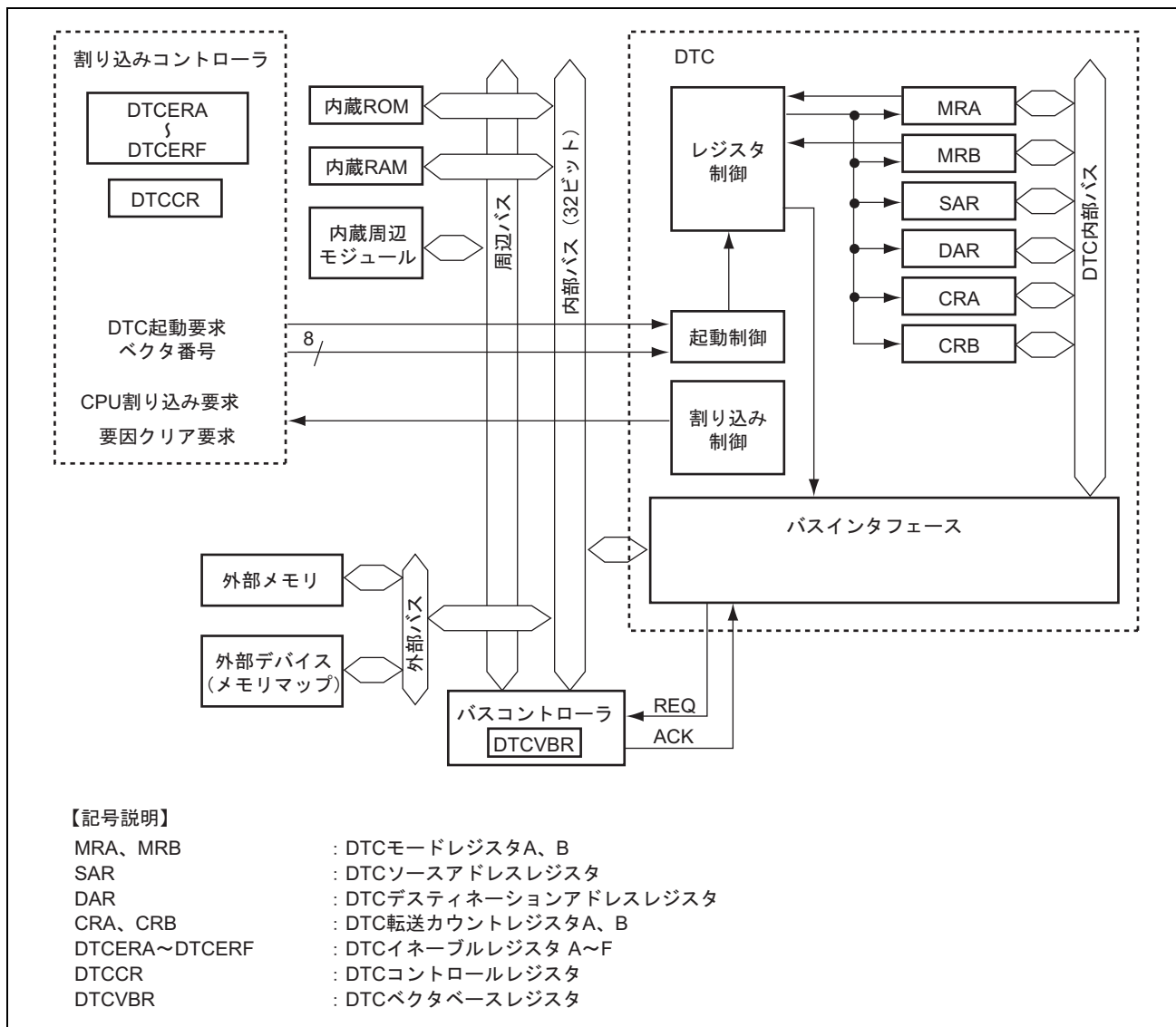


図 12.1 DTC のブロック図

12.2 レジスタの説明

DTC には以下のレジスタがあります。

- DTCモードレジスタA (MRA)
- DTCモードレジスタB (MRB)
- DTCソースアドレスレジスタ (SAR)
- DTCデスティネーションアドレスレジスタ (DAR)
- DTC転送カウントレジスタA (CRA)
- DTC転送カウントレジスタB (CRB)

MRA、MRB、SAR、DAR、CRA、CRB の 6 本のレジスタは、CPU から直接アクセスすることはできません。データ領域に転送情報として配置します。DTC 起動要因が発生すると、起動要因ごとに決められたベクタアドレスに従って転送情報の先頭アドレスを読み出し、任意の転送情報を DTC 内に転送してデータ転送を行います。転送が終了すると、これらのレジスタの内容がライトバックされます。

- DTCイネーブルレジスタA~F (DTCERA~DTCERF)
- DTCコントロールレジスタ (DTCCR)
- DTCベクタベースレジスタ (DTCVBR)

12. データトランスファコントローラ (DTC)

12.2.1 DTC モードレジスタ A (MRA)

MRA は、DTC の動作モードの選択を行います。MRA は、CPU から直接アクセスすることができません。

ビット	7	6	5	4	3	2	1	0
ビット名	MD1	MD0	Sz1	Sz0	SM1	SM0	—	—
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説明
7	MD1	不定	—	DTC モード 1、0
6	MD0	不定	—	DTC の転送モードを指定します。 00 : ノーマル転送モード 01 : リピート転送モード 10 : ブロック転送モード 11 : 設定禁止
5	Sz1	不定	—	DTC データトランスファサイズ 1、0
4	Sz0	不定	—	転送データのサイズを指定します。 00 : バイトサイズ転送 01 : ワードサイズ転送 10 : ロングワードサイズ転送 11 : 設定禁止
3	SM1	不定	—	ソースアドレスモード 1、0
2	SM0	不定	—	データ転送後の SAR の動作を指定します。 0X : SAR は固定 (SAR のライトバックはスキップされます。) 10 : 転送後 SAR をインクリメント (Sz1、Sz0 が B'00 のとき+1、B'01 のとき+2、B'10 のとき+4) 11 : 転送後 SAR をデクリメント (Sz1、Sz0 が B'00 のとき-1、B'01 のとき-2、B'10 のとき-4)
1	—	不定	—	リザーブビット
0	—	不定	—	ライトする値は常に 0 にしてください。

【注】 X : Don't care

12.2.2 DTC モードレジスタ B (MRB)

MRB は、DTC の動作モードの選択を行います。MRB は、CPU から直接アクセスできません。

ビット	7	6	5	4	3	2	1	0
ビット名	CHNE	CHNS	DISEL	DTS	DM1	DM0	—	—
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説明
7	CHNE	不定	—	DTC チェイン転送イネーブル チェイン転送を指定します。チェイン転送の詳細は「12.5.7 チェイン転送」を参照してください。チェイン転送の条件の選択は CHNS ビットで行います。 0 : チェイン転送禁止 1 : チェイン転送許可
6	CHNS	不定	—	DTC チェイン転送セレクト チェイン転送の条件を選択します。次の転送がチェイン転送の場合、指定した転送回数の終了判定、起動要因フラグまたは DTCER のクリアは行いません。 0 : 連続してチェイン転送を行う 1 : 転送カウンタ=0 のときのみチェイン転送を行う
5	DISEL	不定	—	DTC インタラプトセレクト このビットが 1 のとき、DTC データ転送のたびに CPU に対して割り込み要求を発生します。このビットが 0 のときは指定されたデータ転送を終了したときだけ CPU に対して割り込み要求を発生します。
4	DTS	不定	—	DTC 転送モードセレクト リピート転送モードまたはブロック転送モードのとき、ソース側とデスティネーション側のいずれをリピート領域またはブロック領域とするかを指定します。 0 : デスティネーション側がリピート領域またはブロック領域 1 : ソース側がリピート領域またはブロック領域
3	DM1	不定	—	デスティネーションアドレスモード 1、0
2	DM0	不定	—	データ転送後の DAR の動作を指定します。 0X : DAR は固定 (DAR のライトバックはスキップされます。) 10 : 転送後 DAR をインクリメント (Sz1、Sz0 が B'00 のとき+1、B'01 のとき+2、B'10 のとき+4) 11 : 転送後 DAR をデクリメント (Sz1、Sz0 が B'00 のとき-1、B'01 のとき-2、B'10 のとき-4)
1	—	不定	—	リザーブビット
0	—	不定	—	ライトする値は常に 0 にしてください。

【注】 x : Don't care

12.2.3 DTC ソースアドレスレジスタ (SAR)

SAR は 32 ビットのレジスタで、DTC の転送するデータの転送元アドレスを指定します。

フルアドレスモードでは 32 ビットが有効です。ショートアドレスモードでは下位 24 ビットが有効で、ビット 31~24 の設定は無視されます。このときアドレスの上位 8 ビットは、ビット 23 で指定した値で補完されます。

SAR に奇数アドレスを設定してワードアクセス、ロングワードアクセスする場合と、アドレスを $4n+2$ 番地に設定してロングワードアクセスする場合は、バスサイクルを分割してデータ転送を行います。詳細は、「12.5.1 バスサイクルの分割」を参照してください。

SAR は、CPU から直接アクセスすることはできません。

12.2.4 DTC デスティネーションアドレスレジスタ (DAR)

DAR は 32 ビットのレジスタで、DTC の転送するデータの転送先アドレスを指定します。

フルアドレスモードでは 32 ビットが有効です。ショートアドレスモードでは下位 24 ビットが有効で、ビット 31~24 の設定は無視されます。このときアドレスの上位 8 ビットは、ビット 23 で指定した値で補完されます。

DAR に奇数アドレスを設定してワードアクセス、ロングワードアクセスする場合と、アドレスを $4n+2$ 番地に設定してロングワードアクセスする場合は、バスサイクルを分割してデータ転送を行います。詳細は、「12.5.1 バスサイクルの分割」を参照してください。

DAR は、CPU から直接アクセスすることはできません。

12.2.5 DTC 転送カウントレジスタ A (CRA)

CRA は 16 ビットのレジスタで、DTC のデータ転送の転送回数を指定します。

ノーマル転送モードでは、一括して 16 ビットの転送カウンタ (1~65536) として機能します。1 回のデータ転送を行うたびにデクリメント (-1) されます。カウンタ値が H'0000 になると、起動要因に対応する DTCE_n ビット (n=15~0) をクリアした後に CPU に割り込み要求を発生します。転送回数は、設定値が H'0001 のときは 1 回、H'FFFF のときは 65535 回で、H'0000 のときは 65536 回になります。

リピート転送モードでは、上位 8 ビットの CRAH と下位 8 ビットの CRAL に分割されます。CRAH は転送回数を保持し、CRAL は 8 ビットの転送カウンタ (1~256) として機能します。CRAL は 1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'00 になると CRAH の内容が転送されます。転送回数は、設定値が CRAH=CRAL=H'01 のときは 1 回、H'FF のときは 255 回で、H'00 のときは 256 回になります。

ブロック転送モードでは、上位 8 ビットの CRAH と下位 8 ビットの CRAL に分割されます。CRAH はブロックサイズを保持し、CRAL は 8 ビットのブロックサイズカウンタ (1~256 バイト、1~256 ワード、または 1~256 ロングワード) として機能します。CRAL は 1 回のデータ転送を行うたびに 1 バイト (または 1 ワード、1 ロングワード) 毎にデクリメント (-1) され、カウンタ値が H'00 になると、CRAH の内容が転送されます。ブロックサイズは設定値が CRAH=CRAL=H'01 のときは 1 バイト (または 1 ワード、1 ロングワード)、H'FF のときは 255 バイト (または 255 ワード、255 ロングワード) で、H'00 のときは 256 バイト (または 256 ワード、256 ロングワード) になります。

CRA は、CPU から直接アクセスすることはできません。

12.2.6 DTC 転送カウントレジスタ B (CRB)

CRB は 16 ビットのレジスタで、ブロック転送モードのとき DTC のブロックデータ転送の転送回数を指定します。16 ビットの転送回数カウンタ (1~65536) として機能し、1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'0000 になると、起動要因に対応する DTCEn ビット (n=15~0) をクリアした後に CPU に割り込み要求を発生します。転送回数は、設定値が H'0001 のときは 1 回、H'FFFF のときは 65535 回で、H'0000 のときが 65536 回になります。

ノーマル転送モードおよびリピート転送モードでは、CRB は使用しません。CRB は、CPU から直接アクセスすることはできません。

12.2.7 DTC イネーブルレジスタ A~F (DTCERA~DTCERF)

DTCER は、DTC を起動する割り込み要因を選択するためのレジスタで、DTCERA~F があります。各割り込み要因と DTCE ビットの対応については表 12.1 を参照してください。DTCE ビットの設定は、BSET 命令、BCLR 命令などのビット操作命令を使用してください。ただし初期設定に限り、複数の起動要因を一度に設定するために、割り込みをマスクして対象となるレジスタをダミーリードした後ライトすることができます。

ビット	15	14	13	12	11	10	9	8
ビット名	DTCE15	DTCE14	DTCE13	DTCE12	DTCE11	DTCE10	DTCE9	DTCE8
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

12. データトランスファコントローラ (DTC)

ビット	ビット名	初期値	R/W	説明
15	DTCE15	0	R/W	DTC 起動イネーブル 15~0
14	DTCE14	0	R/W	1 をセットすると、対応する割り込み要因が DTC 起動要因として選択されます。 [クリア条件] • クリアするビットの 1 の状態をリードした後、0 をライトしたとき • MRB の DISEL ビットが 1 で、1 回のデータ転送を終了したとき • 指定した回数の転送が終了したとき DISEL ビットが 0 で、指定した回数の転送が終了していないときはクリアされません。
13	DTCE13	0	R/W	
12	DTCE12	0	R/W	
11	DTCE11	0	R/W	
10	DTCE10	0	R/W	
9	DTCE9	0	R/W	
8	DTCE8	0	R/W	
7	DTCE7	0	R/W	
6	DTCE6	0	R/W	
5	DTCE5	0	R/W	
4	DTCE4	0	R/W	
3	DTCE3	0	R/W	
2	DTCE2	0	R/W	
1	DTCE1	0	R/W	
0	DTCE0	0	R/W	

12.2.8 DTC コントロールレジスタ (DTCCR)

DTCCR は、転送情報リードスキップを設定します。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	RRS	RCHNE	—	—	ERR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R	R	R/(W)*

【注】 * フラグをクリアするための 0 ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
7~5	—	0	R/W	リザーブビット リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
4	RRS	0	R/W	DTC 転送情報リードスキップイネーブル ベクタアドレスのリードと転送情報のリードを制御します。DTC ベクタ番号は、常に前回起動のベクタ番号と比較されます。ベクタ番号の値が一致し、このビットが 1 のとき、ベクタアドレスのリードと転送情報のリードを行わず、DTC のデータ転送を実施します。前回の起動がチェーン転送のときは、必ずベクタアドレスのリードと転送情報のリードが行われます。 0 : 転送情報リードスキップを行わない 1 : ベクタ番号の値が一致したとき転送情報リードスキップを行う

12. データトランスファコントローラ (DTC)

ビット	ビット名	初期値	R/W	説明
3	RCHNE	0	R/W	DTC リピート転送後チェーン転送イネーブル リピート転送において、転送カウンタ=0でのチェーン転送を許可/禁止します。 リピート転送では、転送カウンタ (CRAL) =0となった場合、CRAL は CRAH で指定した値に書き戻されるため、転送カウンタ=0でのチェーン転送は発生しません。このビットを1にセットすることで、転送カウンタの書き戻し時のチェーン転送が許可されます。 0: リピート転送後のチェーン転送を禁止 1: リピート転送後のチェーン転送を許可
2	—	0	R	リザーブビット
1	—	0	R	これらのビットはリードのみ有効で、ライトは無効です。
0	ERR	0	R/(W) *	転送停止フラグ アドレスエラー、または NMI 割り込み要求が発生したことを示すフラグです。 アドレスエラー、または NMI 割り込み要求が発生すると DTC は停止します。 0: 割り込み要求なし 1: 割り込み要求発生 [クリア条件] • 1の状態をリードした後、0をライトしたとき

【注】 * フラグをクリアするための0ライトのみ可能です。

12.2.9 DTC ベクタベースレジスタ (DTCVBR)

DTCVBR は 32 ビットのレジスタで、ベクタテーブルアドレス算出時のベースアドレスを設定します。

ビット 31~28、ビット 11~0 は 0 に固定されており、ライトは無効です。

DTCVBR の初期値は、H'00000000 です。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

12.3 起動要因

DTCは、割り込み要求により起動します。起動する割り込み要因は、DTCERで選択します。対応するビットを1にセットするとDTCの起動要因となり、0にクリアするとCPUの割り込み要因となります。1回のデータ転送（チェーン転送の場合、連続した最後の転送）終了時に、起動要因となった割り込みフラグまたはDTCERの対応するビットをクリアします。

12.4 転送情報の配置とDTCベクタテーブル

転送情報は、データ領域上に配置します。転送情報の先頭アドレスは、4n番地としてください。4n番地以外を指定した場合、下位2ビットを無視してアクセスします（[1:0]=B'00）。転送情報は、ショートアドレスモード（3ロングワード）、フルアドレスモード（4ロングワード）のいずれかで配置できます。SYSCRのDTCMDビットでショートアドレスモード（DTCMD=1）、フルアドレスモード（DTCMD=0）の設定を行います。詳細は「3.2.2 システムコントロールレジスタ（SYSCR）」を参照してください。データ領域上での転送情報の配置を図12.2に示します。DTCは起動要因別にベクタテーブルから転送情報の先頭アドレスをリードし、この先頭アドレスから転送情報をリードします。DTCベクタテーブルと転送情報の対応を図12.3に示します。

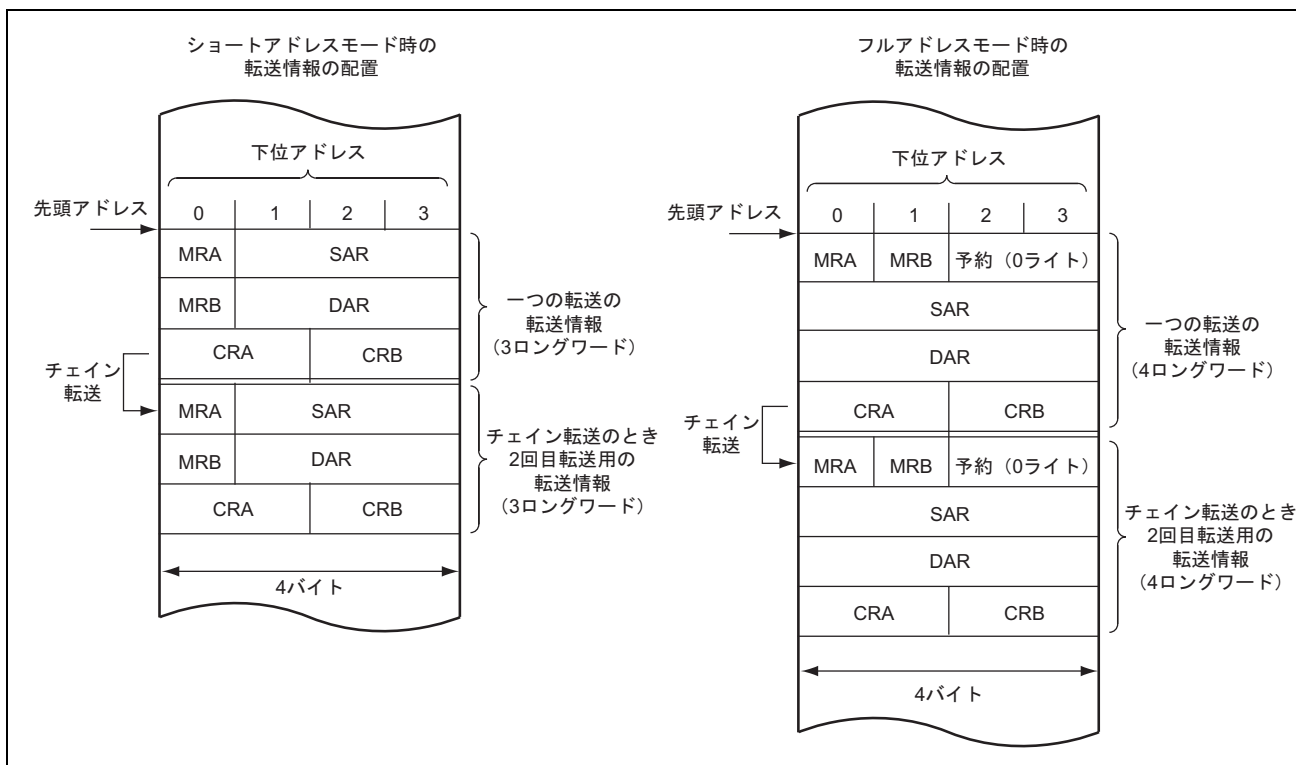


図 12.2 データ領域上での転送情報の配置

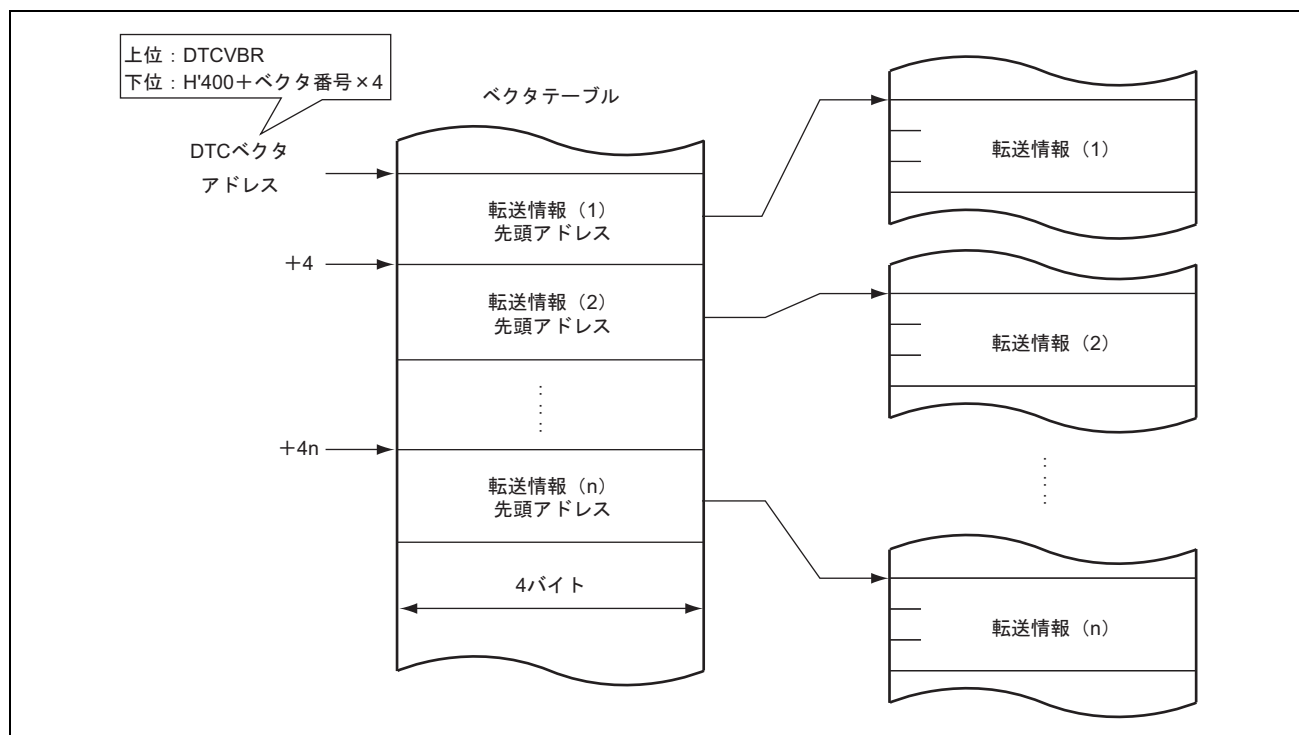


図 12.3 DTC ベクタテーブルと転送情報の対応

12. データトランスファコントローラ (DTC)

起動要因発生元	起動要因	ベクタ番号	DTC ベクタアドレス オフセット	DTCE* ¹	優先 順位
TPU_6	TGI6A	164	H'690	DTCEE11	高 ↑ ↓ 低
	TGI6B	165	H'694	DTCEE10	
	TGI6C	166	H'698	DTCEE9	
	TGI6D	167	H'69C	DTCEE8	
TPU_7	TGI7A	169	H'6A4	DTCEE7	
	TGI7B	170	H'6A8	DTCEE6	
TPU_8	TGI8A	173	H'6B4	DTCEE5	
	TGI8B	174	H'6B8	DTCEE4	
TPU_9	TGI9A	177	H'6C4	DTCEE3	
	TGI9B	178	H'6C8	DTCEE2	
	TGI9C	179	H'6CC	DTCEE1	
	TGI9D	180	H'6D0	DTCEE0	
TPU_10	TGI10A	182	H'6D8	DTCEF15	
	TGI10B	183	H'6DC	DTCEF14	
	TGI10V	186	H'6E8	DTCEF11	
TPU_11	TGI11A	188	H'6F0	DTCEF10	
	TGI11B	189	H'6F4	DTCEF9	

【注】 *1 対応する割り込み要因のない DTCE ビットは、リザーブビットとなります。0 をライトしてください。

ソフトウェアスタンバイ状態および全モジュールクロックストップモードを割り込みにより解除する場合は、対応する DTCE ビットに 0 をライトしてください。

*2 H8SX/1648G グループ、H8SX/1648H グループのみサポート。

12.5 動作説明

DTC は、転送情報をデータ領域に格納します。DTC が起動すると、データ領域から転送情報をリードしてデータ転送を行い、データ転送後の転送情報をライトバックします。転送情報をデータ領域に格納することで、任意のチャンネル数のデータ転送を行うことができます。転送モードには、ノーマル転送モード、リピート転送モード、ブロック転送モードがあります。

DTC は、転送元アドレスを SAR、転送先アドレスを DAR で指定します。SAR、DAR は転送後、それぞれ独立にインクリメントまたはデクリメント、あるいは固定されます。

DTC の転送モードを表 12.2 に示します。

表 12.2 DTC の転送モード

転送モード	1 回の転送要求で 転送可能なデータサイズ	メモリアドレスの増減	転送回数
ノーマル転送モード	1 バイト/ワード/ロングワード	1、2 または 4 増減・固定	1~65536 回
リピート転送モード* ¹	1 バイト/ワード/ロングワード	1、2 または 4 増減・固定	1~256 回* ³
ブロック転送モード* ²	CRAH で指定したブロックサイズ (1~256 バイト/ワード/ロング ワード)	1、2 または 4 増減・固定	1~65536 回

【注】 *1 ソースまたはデスティネーションのいずれかをリピートエリアに設定

*2 ソースまたはデスティネーションのいずれかをブロックエリアに設定

*3 指定回数転送後、初期状態を回復して動作を継続

また、MRB の CHNE ビットを 1 にセットしておくことにより、一つの起動要因で複数の転送を行うことができます (チェーン転送)。MRB の CHNS ビットの設定で、転送カウンタ=0 のときにチェーン転送を行う設定も可能です。

DTC の動作フローチャートを図 12.4 に示します。チェーン転送の条件を表 12.3 に示します (第 2 の転送から第 3 の転送を行う組合せは省略してあります)。

12. データトランスファコントローラ (DTC)

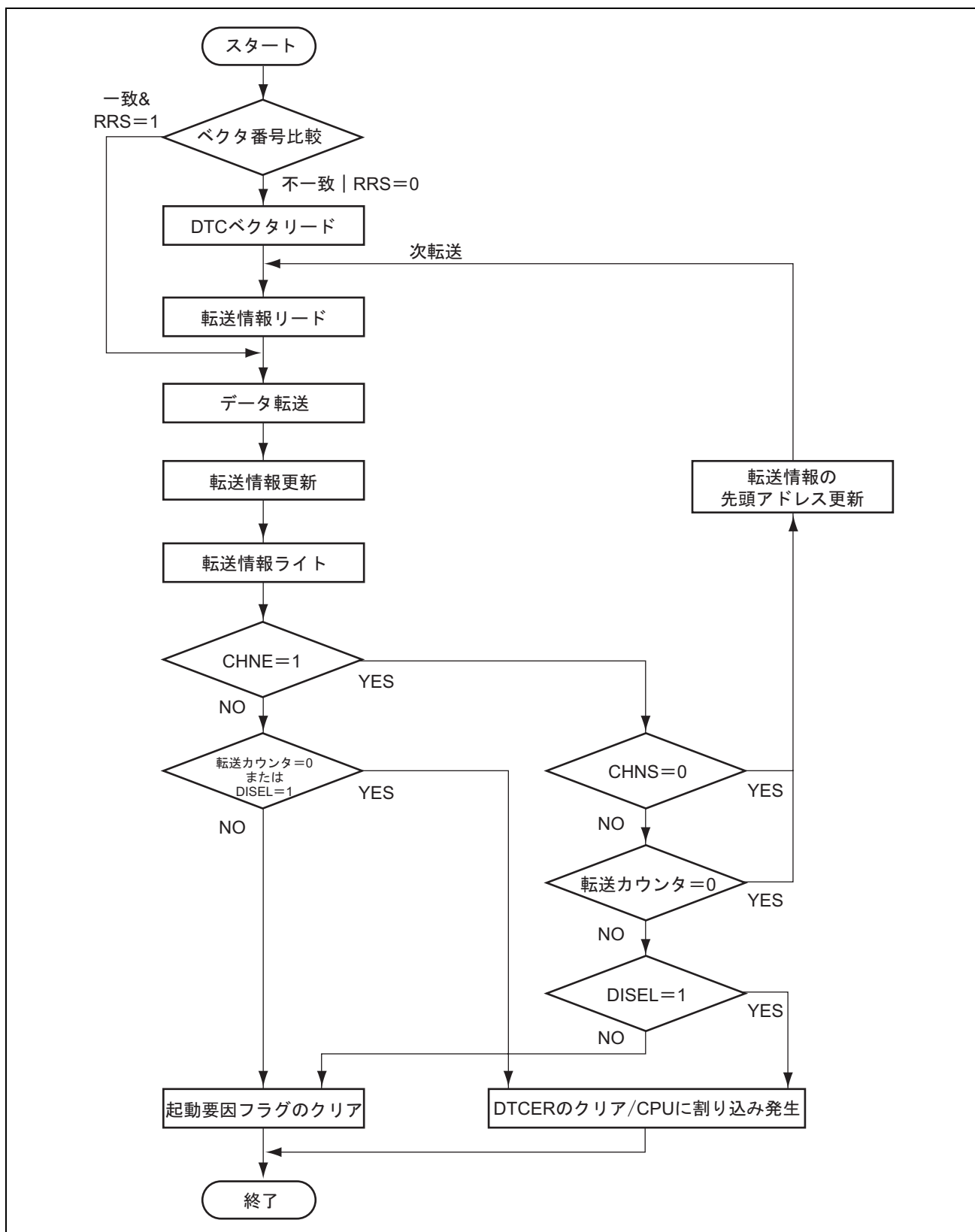


図 12.4 DTC 動作フローチャート

表 12.3 チェイン転送の条件

第 1 の転送				第 2 の転送				DTC 転送
CHNE	CHNS	DISEL	転送 カウンタ* ¹	CHNE	CHNS	DISEL	転送 カウンタ* ¹	
0	—	0	0 以外	—	—	—	—	第 1 転送で終了
0	—	0	0* ²	—	—	—	—	第 1 の転送で終了
0	—	1		—	—	—	—	CPU へ割り込み要求
1	0	—	—	0	—	0	0 以外	第 2 の転送で終了
				0	—	0	0* ²	第 2 の転送で終了
				0	—	1	—	CPU へ割り込み要求
1	1	0	0 以外	—	—	—	—	第 1 転送で終了
1	1	—	0* ²	0	—	0	0 以外	第 2 転送で終了
				0	—	0	0* ²	第 2 の転送で終了
				0	—	1	—	CPU へ割り込み要求
1	1	1	0 以外	—	—	—	—	第 1 の転送で終了 CPU へ割り込み要求

【注】 *1 ノーマル転送モード：CRA、レポート転送モード：CRAL、ブロック転送モード：CRB

*2 リポート転送モードで CRAL の内容が CRAH の内容に書き換わるとき

12.5.1 バスサイクルの分割

転送データサイズにワード、またはロングワードを指定した場合、ワード境界、ロングワード境界を外れて SAR、DAR を設定すると、バスサイクルを分割し、データはバイトサイズ、ワードサイズでリード、またはライトされます。

表 12.4 に SAR、DAR のアドレス設定値、転送データサイズ設定値とバスサイクル分割数、アクセスデータサイズの関係、図 12.5 にバスサイクル分割時の動作例を示します。

表 12.4 バスサイクル分割数とアクセスサイズ

SAR、DAR 設定値	設定データサイズ		
	バイト (B)	ワード (W)	ロングワード (LW)
4n アドレス	1 (B)	1 (W)	1 (LW)
2n+1 アドレス	1 (B)	2 (B-B)	3 (B-W-B)
4n+2 アドレス	1 (B)	1 (W)	2 (W-W)

12. データトランスファコントローラ (DTC)

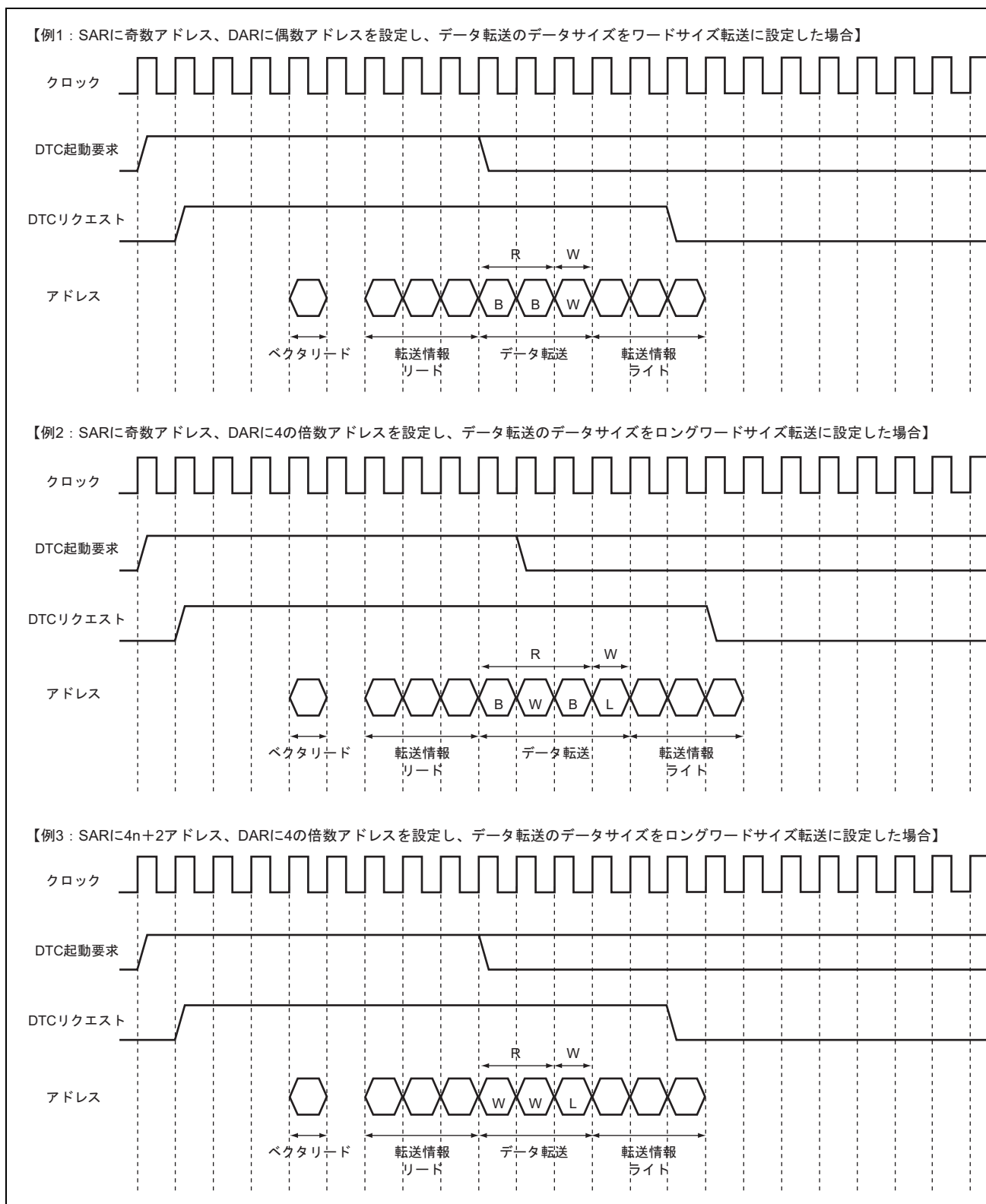


図 12.5 バスサイクルが分割される例

12.5.2 転送情報リードスキップ機能

DTCCR の RRS ビットの設定で、ベクタアドレスのリードと転送情報のリードをスキップすることができます。DTC ベクタ番号は、常に前回起動のベクタ番号と比較します。比較結果が一致し、RRS=1 のとき、ベクタアドレスのリードと転送情報のリードを行わず、DTC のデータ転送を行います。前回の起動がチェーン転送のときは、必ずベクタアドレスのリードと転送情報のリードが行われます。転送情報リードスキップのタイミングチャートを図 12.6 に示します。

ベクタテーブルと転送情報を更新する場合には、一度 RRS=0 に設定し、ベクタテーブルと転送情報を更新した後、RRS ビットを設定してください。RRS=0 にすると、保持されていたベクタ番号は破棄され、次の起動時に更新されたベクタテーブルおよび転送情報がリードされます。

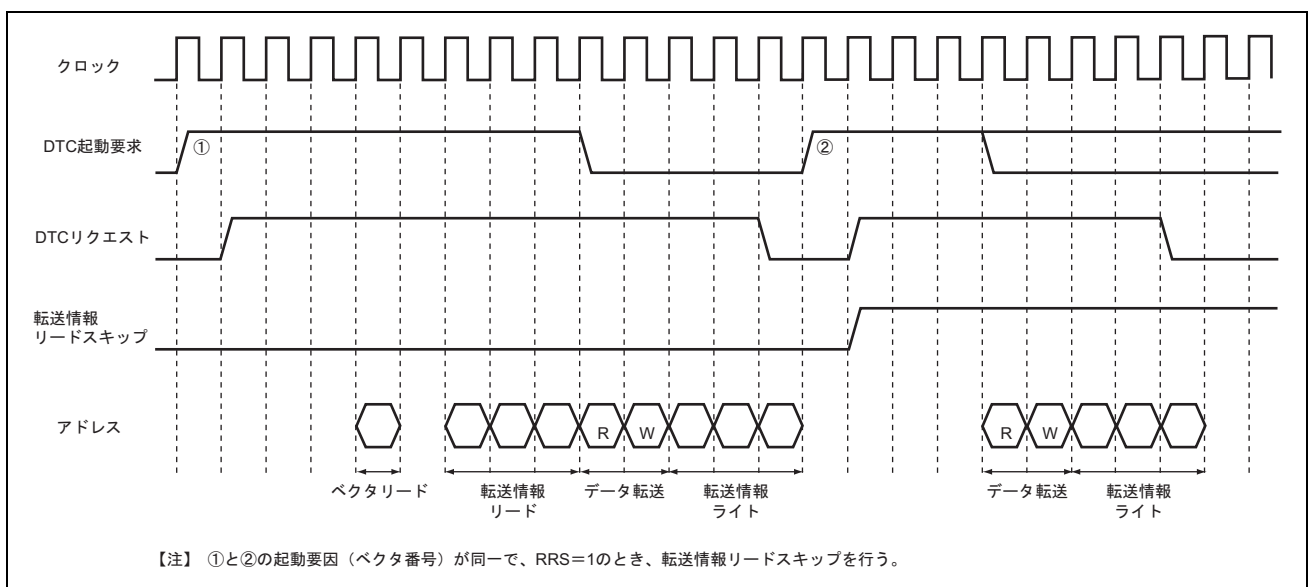


図 12.6 転送情報リードスキップのタイミングチャート

12.5.3 転送情報ライトバックスキップ機能

MRA の SM1 ビットと MRB の DM1 ビットをアドレス固定に設定すると、転送情報の一部はライトバックされません。この機能は、ショートアドレスモード、フルアドレスモードの設定にかかわらず行われます。転送情報ライトバックスキップの条件とライトバックスキップされるレジスタを表 12.5 に示します。CRA、CRB は、ショートアドレスモード、フルアドレスモードの設定にかかわらず、必ずライトバックされます。また、フルアドレスモードでは、MRA、MRB は必ずライトバックスキップされます。

表 12.5 転送情報ライトバックスキップの条件とライトバックスキップされるレジスタ

SM1	DM1	SAR	DAR
0	0	スキップ	スキップ
0	1	スキップ	ライトバック
1	0	ライトバック	スキップ
1	1	ライトバック	ライトバック

12. データトランスファコントローラ (DTC)

12.5.4 ノーマル転送モード

一つの起動要因で、1 バイト、1 ワードまたは1 ロングワードの転送を行います。転送回数は1~65536 です。転送元アドレスと転送先アドレスは、増加、減少または固定にそれぞれ設定できます。指定回数の転送が終了すると、CPU へ割り込み要求を発生することができます。

ノーマル転送モードのレジスタ機能を表 12.6 に、ノーマル転送モードのメモリマップを図 12.7 に示します。

表 12.6 ノーマル転送モードのレジスタ機能

レジスタ	機能	転送情報書き込みで書き戻される値
SAR	転送元アドレス	増加/減少/固定*
DAR	転送先アドレス	増加/減少/固定*
CRA	転送カウント A	CRA-1
CRB	転送カウント B	更新されません

【注】 * 転送情報のライトバックはスキップされます。

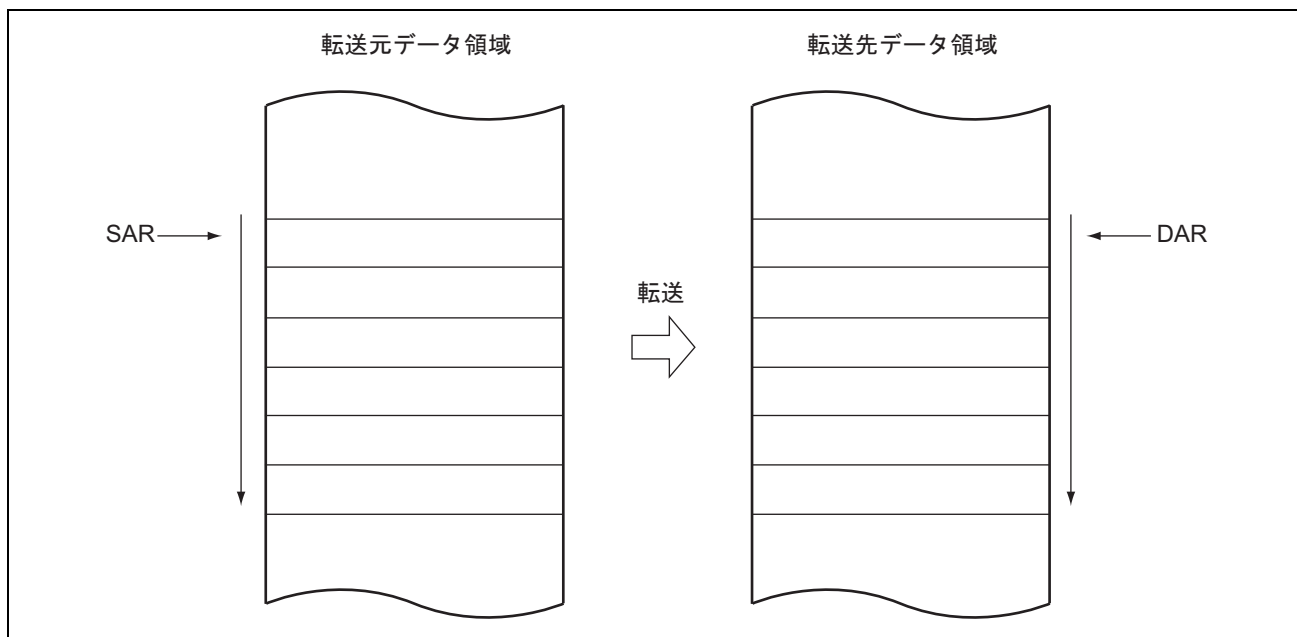


図 12.7 ノーマル転送モードのメモリマップ

12.5.5 リピート転送モード

一つの起動要因で、1バイト、1ワードまたは1ロングワードの転送を行います。MRBのDTSビットにより、転送元、転送先のいずれか一方をリピートエリアに指定します。転送回数は1~256で、指定回数の転送が終了すると、転送カウンタおよびリピートエリアに指定された方のアドレスレジスタの初期状態が回復し、転送を繰り返します。他方のアドレスレジスタは、連続してインクリメントまたはデクリメント、あるいは固定されます。リピート転送モードでは、転送カウンタ (CRAL) が H'00 になると CRAL は CRAH で設定した値に更新されます。このため、転送カウンタは H'00 にならないので、DISEL=0 のときに、CPU への割り込み要求は発生しません。

リピート転送モードのレジスタ機能を表 12.7 に、リピート転送モードのメモリマップを図 12.8 に示します。

表 12.7 リピート転送モードのレジスタ機能

レジスタ	機能	転送情報書き込みで書き戻される値	
		CRAL が 1 以外するとき	CRAL が 1 のとき
SAR	転送元アドレス	増加/減少/固定*	(DTS=0)増加/減少/固定* (DTS=1)SAR の初期値
DAR	転送先アドレス	増加/減少/固定*	(DTS=0)DAR の初期値 (DTS=1)増加/減少/固定*
CRAH	転送カウンタ保持	CRAH	CRAH
CRAL	転送カウンタ A	CRAL-1	CRAH
CRB	転送カウンタ B	更新されません	更新されません

【注】 * 転送情報のライトバックはスキップされます。

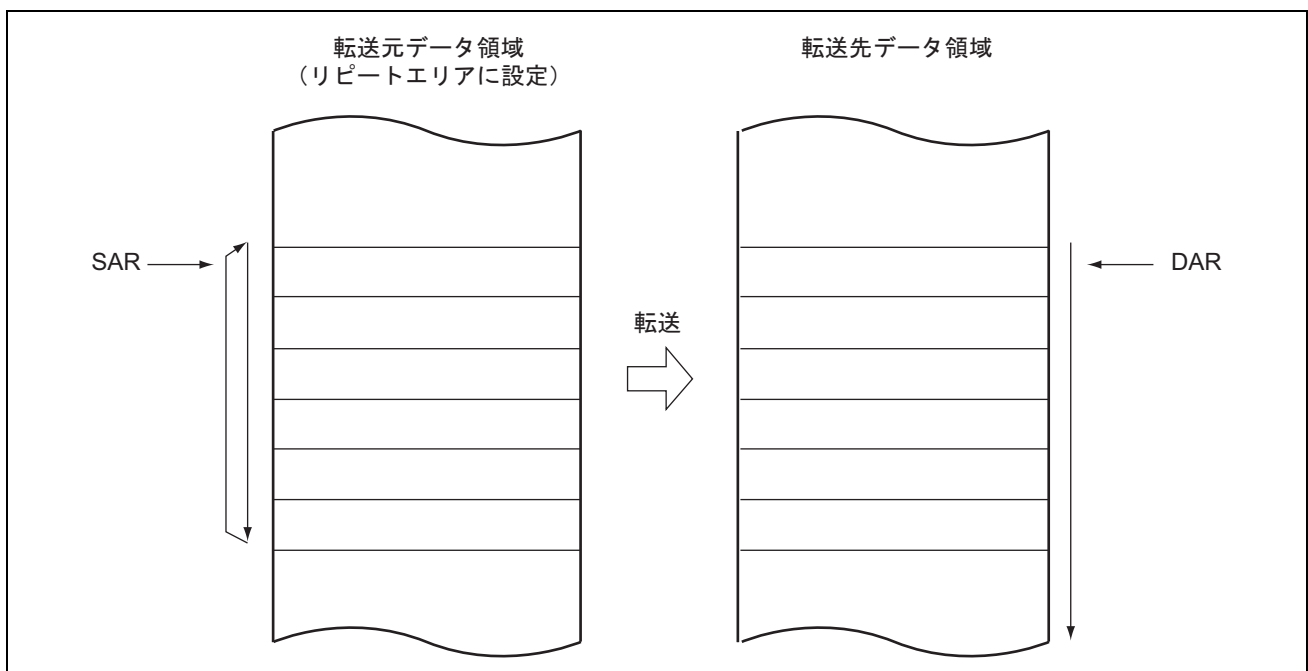


図 12.8 リピート転送モードのメモリマップ (転送元をリピートエリアに指定した場合)

12.5.6 ブロック転送モード

一つの起動要因で、1ブロックの転送を行います。MRBのDTSビットにより、転送元、転送先のいずれか一方をブロックエリアに指定します。ブロックサイズは1~256バイト（または1~256ワード、1~256ロングワード）です。1ブロックの転送が終了すると、ブロックサイズカウンタ（CRAL）とブロックエリアに指定したアドレスレジスタ（DTS=1のときSAR、DTS=0のときDAR）の初期状態が回復します。他方のアドレスレジスタは、連続してインクリメントまたはデクリメント、あるいは固定されます。転送回数は1~65536です。指定回数のブロック転送が終了すると、CPUへ割り込み要求を発生することができます。

ブロック転送モードのレジスタ機能を表12.8に、ブロック転送モードのメモリマップを図12.9に示します。

表 12.8 ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報書き込みで書き戻される値
SAR	転送元アドレス	(DTS=0)増加/減少/固定* (DTS=1)SARの初期値
DAR	転送先アドレス	(DTS=0)DARの初期値 (DTS=1)増加/減少/固定*
CRAH	ブロックサイズ保持	CRAH
CRAL	ブロックサイズカウンタ	CRAH
CRB	ブロック転送回数カウンタ	CRB-1

【注】 * 転送情報のライトバックはスキップされます。

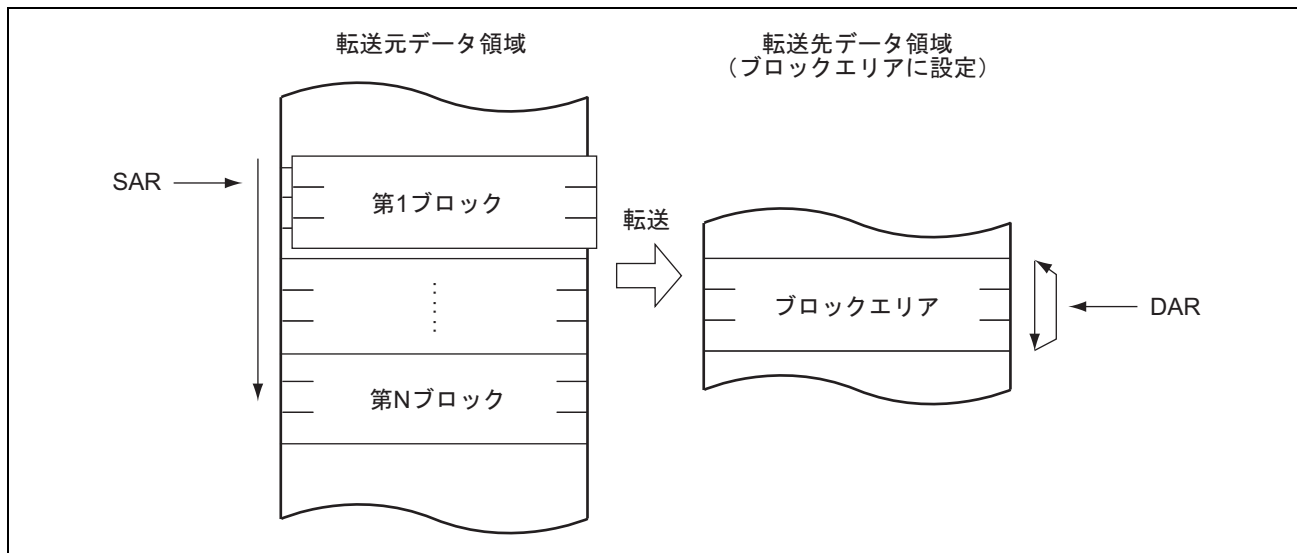


図 12.9 ブロック転送モードのメモリマップ（転送先をブロックエリアに指定した場合）

12.5.7 チェイン転送

MRB の CHNE ビットを 1 にセットすると、一つの起動要因で複数のデータ転送を連続して行うことができます。また、MRB の CHNE ビット、CHNS ビットをそれぞれ 1 にセットすると、転送カウンタ=0 のときのみチェーン転送を行います。データ転送を定義する SAR、DAR、CRA、CRB および MRA、MRB はそれぞれ独立に設定できます。チェーン転送の動作を図 12.10 に示します。

CHNE=1 に設定したデータ転送では、指定した転送回数の終了による CPU への割り込み要求や、DISEL=1 による CPU への割り込み要求は発生しません。また、CHNE=1 の転送は、起動要因となった割り込み要因フラグおよび DTCER に影響を与えません。

リピート転送モードでは、DTCCR の RCHNE ビット、MRB の CHNE、CHNS ビットをそれぞれ 1 にセットすると、転送カウンタ=1 の転送後にチェーン転送を行うことができます。

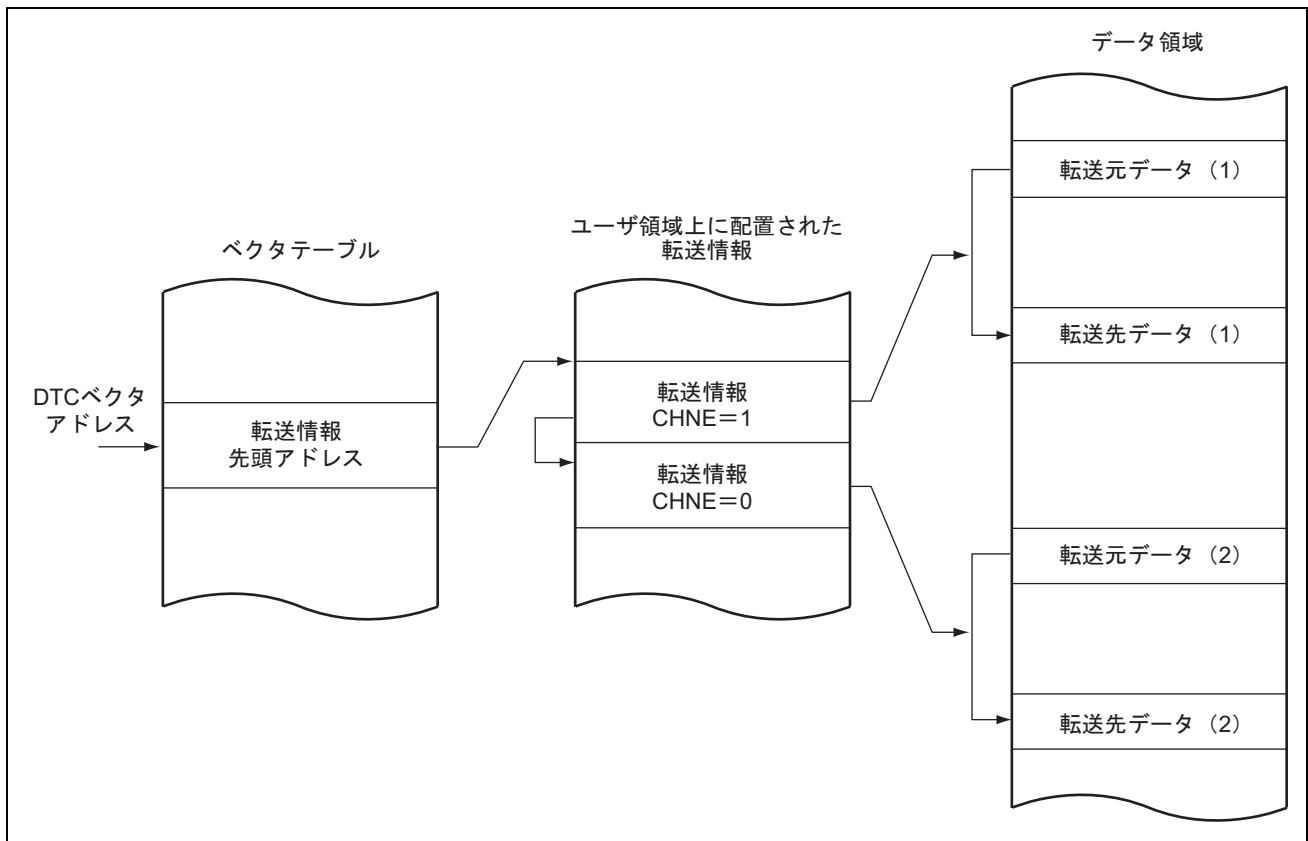


図 12.10 チェイン転送の動作

12.5.8 動作タイミング

DTC の動作タイミングを図 12.11～図 12.14 に示します。

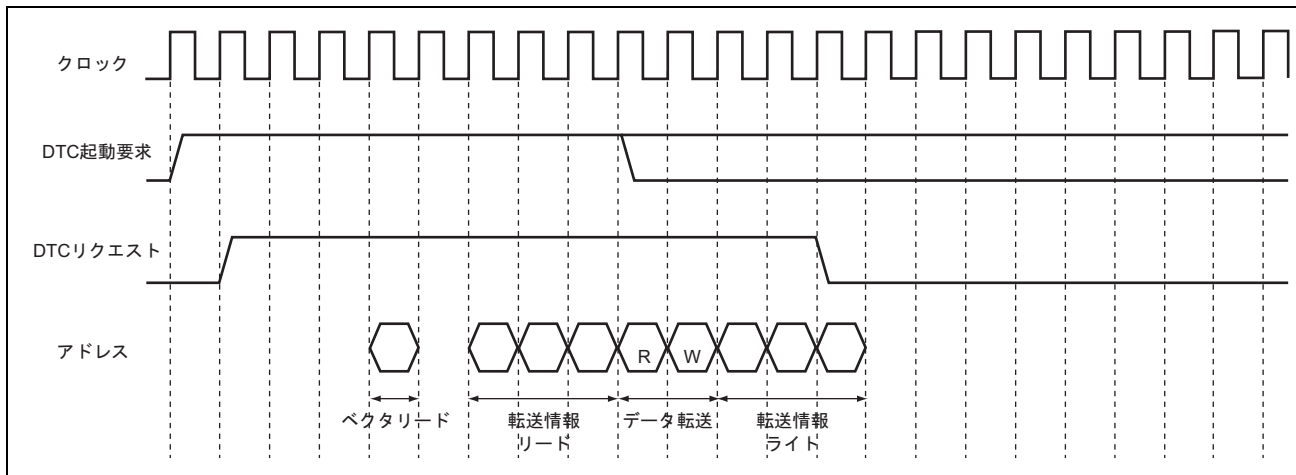


図 12.11 DTC の動作タイミング例 (ショートアドレスモード、ノーマル転送モード、リピート転送モード)

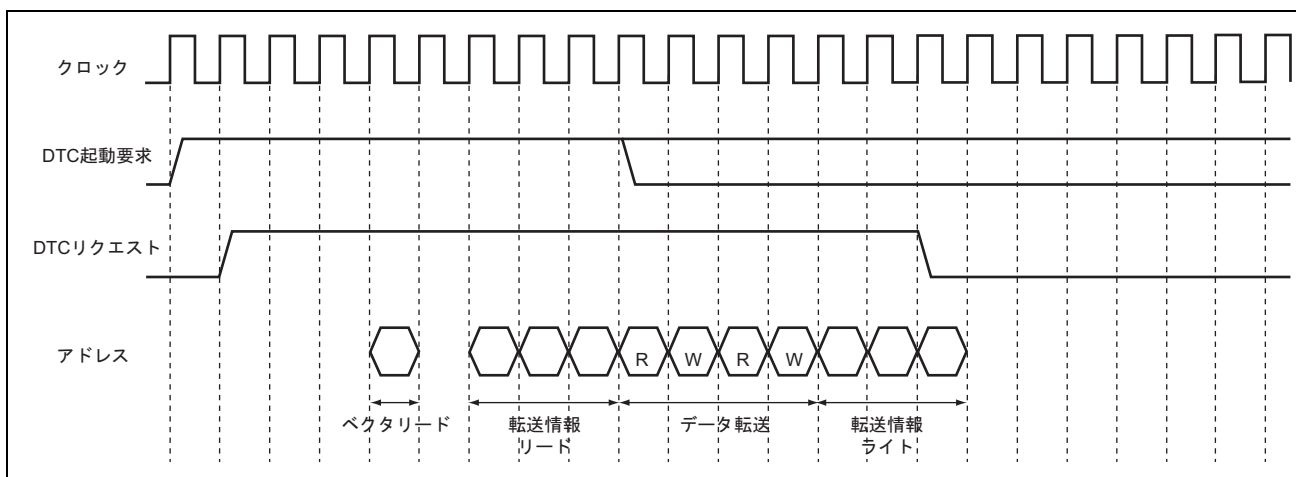


図 12.12 DTC の動作タイミング例 (ショートアドレスモード、ブロック転送モード、ブロックサイズ=2)

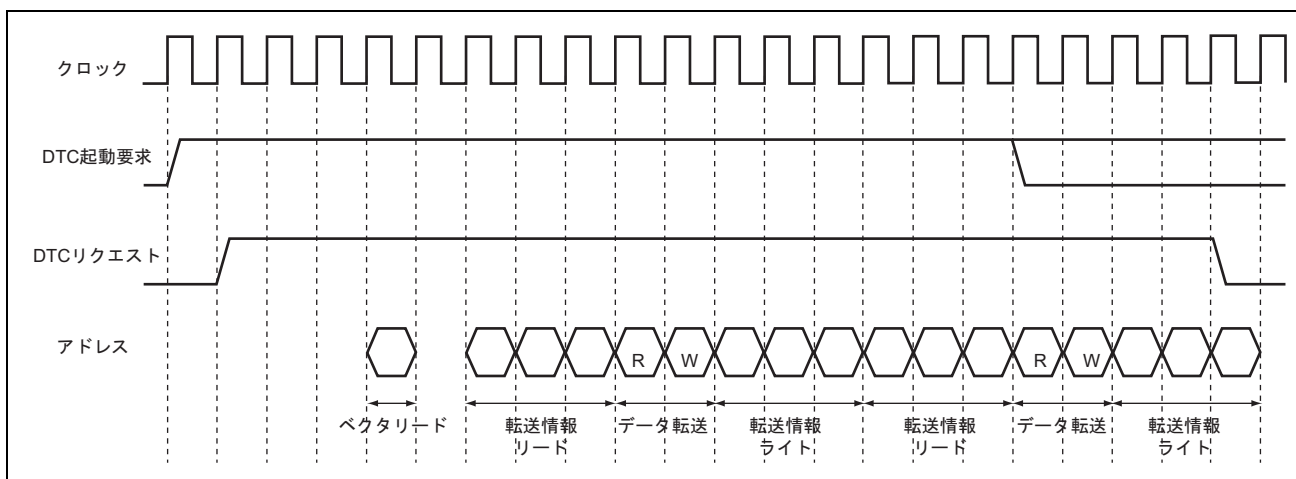


図 12.13 DTC の動作タイミング例 (ショートアドレスモード、チェーン転送)

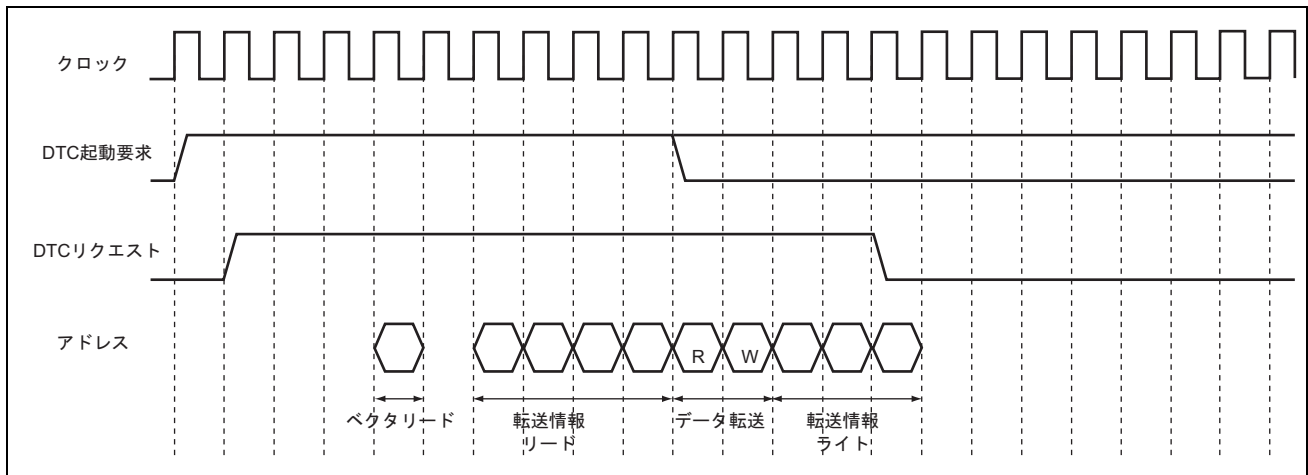


図 12.14 DTC の動作タイミング例 (フルアドレスモード、ノーマル転送モード、リピート転送モード)

12.5.9 DTC の実行ステート

DTC の 1 回のデータ転送の実行状態を表 12.9 に示します。また、実行状態に必要なステート数を表 12.10 に示します。

表 12.9 DTC の実行状態

モード	ベクタ リード I		転送情報 リード J			転送情報 ライト K			データリード L			データライト M			内部動作 N	
	1	0*1	4*2	3*3	0*1	3*2, 3	2*4	1*5	3*6	2*7	1	3*6	2*7	1	1	0*1
ノーマル	1	0*1	4*2	3*3	0*1	3*2, 3	2*4	1*5	3*6	2*7	1	3*6	2*7	1	1	0*1
リピート	1	0*1	4*2	3*3	0*1	3*2, 3	2*4	1*5	3*6	2*7	1	3*6	2*7	1	1	0*1
ブロック	1	0*1	4*2	3*3	0*1	3*2, 3	2*4	1*5	3・P*6	2・P*7	1・P	3・P*6	2・P*7	1・P	1	0*1

- 【注】 *1 転送情報リードスキップのとき
 *2 フルアドレスモード動作のとき
 *3 ショートアドレスモード動作のとき
 *4 SAR もしくは DAR が固定モードのとき
 *5 SAR と DAR が固定モードのとき
 *6 アドレスレジスタに奇数アドレスを設定しロングワード転送をしたとき
 *7 アドレスレジスタに奇数アドレスを設定しワード転送をしたとき、もしくは、アドレスレジスタに 4n+2 のアドレスを設定しロングワード転送をしたとき
 P : ブロックサイズ(CRAH、CRAL の初期設定)

12. データトランスファコントローラ (DTC)

表 12.10 実行状態に必要なステート数

アクセス対象		内蔵 RAM	内蔵 ROM	内蔵 I/O レジスタ			外部デバイス			
バス幅		32	32	8	16	32	8		16	
アクセスステート		1	1	2	2	2	2	3	2	3
実行 状態	ベクタリード S_I	1	1	—	—	—	8	12+4m	4	6+2m
	転送情報リード S_J	1	1	—	—	—	8	12+4m	4	6+2m
	転送情報ライト S_K	1	1	—	—	—	8	12+4m	4	6+2m
	バイトデータリード S_L	1	1	2	2	2	2	3+m	2	3+m
	ワードデータリード S_L	1	1	4	2	2	4	4+2m	2	3+m
	ロングワードデータリード S_L	1	1	8	4	2	8	12+4m	4	6+2m
	バイトデータライト S_M	1	1	2	2	2	2	3+m	2	3+m
	ワードデータライト S_M	1	1	4	2	2	4	4+2m	2	3+m
	ロングワードデータライト S_M	1	1	8	4	2	8	12+4m	4	6+2m
	内部動作 S_N	1								

【記号説明】 m : ウェイト数 0~7(詳細は「9. バスコントローラ (BSC)」を参照してください。)

実行ステート数は、次の計算式で計算されます。なお、 Σ は一つの起動要因で転送する回数分 (CHNE ビットを 1 にセットした数+1) の和を示します。

$$\text{実行ステート数} = I \cdot S_I + \Sigma(J \cdot S_J + K \cdot S_K + L \cdot S_L + M \cdot S_M) + N \cdot S_N$$

12.5.10 DTC のバス権解放タイミング

DTC は起動要求が発生するとバスアービタに対してバス権を要求します。DTC がバス権を解放するのは、ベクタリードの後、転送情報のリード後、1 回のデータ転送後、転送情報ライトバック後です。転送情報リード中、1 回のデータ転送中、転送情報ライトバック中にはバスを解放しません。

12.5.11 CPU に対する DTC の優先レベル制御

DTC の起動要因は、CPUPCR の CPUP2~CPUP0 ビットで示される CPU の優先レベルと、DTCP2~DTCP0 ビットで示される DTC の優先レベルにより、DTC と CPU との間の優先レベルを制御することができます。詳細は、「7. 割り込みコントローラ」を参照してください。

12.6 割り込みによる DTC の起動

DTC の割り込み起動による使用手順を図 12.15 に示します。

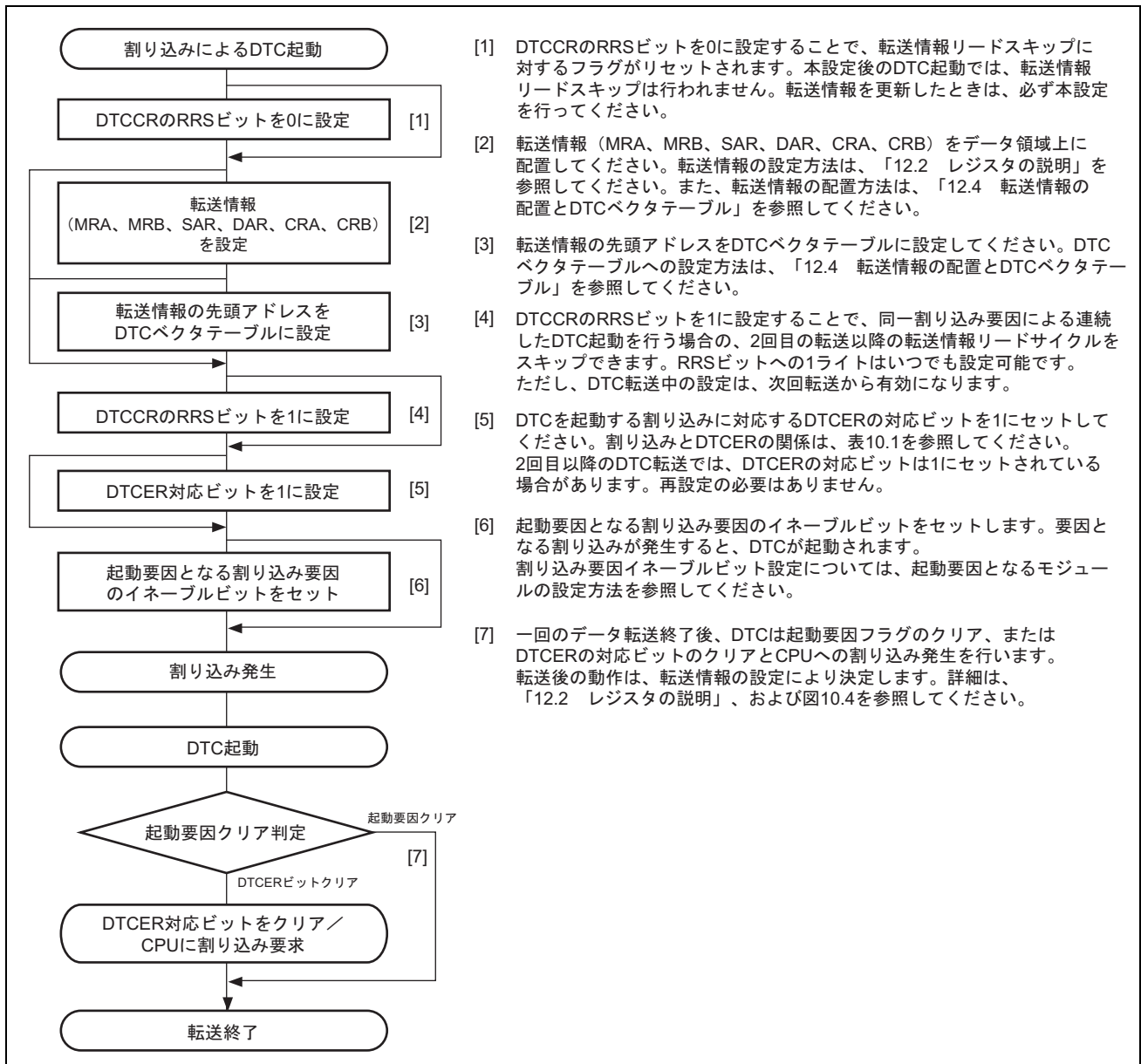


図 12.15 割り込みによる DTC 起動方法

12.7 DTC 使用例

12.7.1 ノーマル転送

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

1. MRAはソースアドレス固定 (SM1=SM0=0)、デスティネーションアドレスインクリメント (DM1=1、DM0=0)、ノーマル転送モード (MD1=MD0=0)、バイトサイズ (Sz1=Sz0=0) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のデータ転送 (CHNE=0、DISEL=0) を行います。SARはSCIのRDRのアドレス、DARはデータを格納するRAMの先頭アドレス、CRAは128 (H'0080) を設定します。CRBは任意の値とすることができます。
2. RXI割り込み用の転送情報の先頭アドレスを、DTCベクタテーブルに設定します。
3. DTCERの対応するビットを1にセットします。
4. SCIを所定の受信モードに設定します。SCRのRIEビットを1にセットし、受信完了 (RXI) 割り込みを許可します。また、SCIの受信動作中に受信エラーが発生すると、以後の受信が行われませんので、CPUが受信エラー割り込みを受け付けられるようにしてください。
5. SCIの1バイトのデータ受信が完了するごとに、SSRのRDRFフラグが1にセットされ、RXI割り込みが発生し、DTCが起動されます。DTCによって、受信データがRDRからRAMへ転送され、DARのインクリメント、CRAのデクリメントを行います。RDRFフラグは自動的に0にクリアされます。
6. 128回のデータ転送終了後、CRAが0になると、RDRFフラグは1のまま保持され、DTCEビットが0にクリアされ、CPUにRXI割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

12.7.2 チェイン転送

DTC のチェイン転送の例として、PPG によるパルス出力を行う例を示します。チェイン転送を使ってパルス出力データの転送と PPG 出力トリガの周期の変更を行うことができます。チェイン転送の前半で PPG の NDR へのリピータ転送モード、後半で TPU の TGR へのノーマル転送モードを行います。起動要因のクリアや指定した回数の転送終了時の割り込み発生は、チェイン転送の後半 (CHNE=0 のときの転送) に限られるためです。

1. PPGのNDRへの転送の設定を行います。MRAはソースアドレスインクリメント (SM1=1、SM0=0)、デスティネーションアドレス固定 (DM1=DM0=0)、リピータ転送モード (MD1=0、MD0=1)、ワードサイズ (Sz1=0、Sz0=1) を設定します。ソース側をリピータ領域 (DTS=1) に設定します。MRBはチェイン転送 (CHNE=1、CHNS=0、DISEL=0) に設定します。SARはデータテーブルの先頭アドレス、DARはNDRHのアドレス、CRAH、CRALはデータテーブルサイズを設定します。CRBは任意の値とすることができます。
2. TPUのTGRへの転送の設定を行います。MRAはソースアドレスインクリメント (SM1=1、SM0=0)、デスティネーションアドレス固定 (DM1=DM0=0)、ノーマル転送モード (MD1=MD0=0)、ワードサイズ (Sz1=0、Sz0=1) を設定します。SARはデータテーブルの先頭アドレス、DARはTGRAのアドレス、CRAはデータテーブルサイズを設定します。CRBは任意の値とすることができます。
3. NDR転送用転送情報の後に連続してTPU転送用転送情報を配置します。

4. NDR転送用転送情報の先頭アドレスをDTCベクタテーブルに設定します。
5. DTCERのTGIA割り込みに対応するビットを1にセットします。
6. TIORでTGRAをアウトプットコンペアレジスタ (出力禁止) に設定し、TIERでTGIA割り込み要求を許可します。
7. PODRに出力初期値を設定し、NDRに次の出力値を設定します。DDR、NDERの出力を行うビットを1にセットします。また、PCRで出力トリガとなるTPUのコンペアマッチを選択します。
8. TSTRのCSTビットを1にセットし、TCNTのカウント動作を開始します。
9. TGRAのコンペアマッチが発生するたびに次の出力値がNDRへ、次の出力トリガ周期の設定値がTGRAへそれぞれ転送されます。起動要因のTGFAフラグはクリアされます。
10. 指定した回数の転送終了後 (TPU転送用CRAが0になると)、TGFAフラグは1のまま保持され、DTCEビットが0にクリアされ、CPUにTGIA割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

12.7.3 カウンタ=0のときのチェーン転送

カウンタが0になったときのみ第2のデータ転送を行い、第1のデータ転送の再設定を行うことによって、転送回数が256回以上のリピート転送を行うことができます。

128Kバイトの入力バッファを構成する例を示します。ただし、入力バッファは下位アドレスH'0000から始まるように設定するものとします。カウンタ=0のときのチェーン転送を図12.16に示します。

1. 第1のデータ転送として、入力データ用のノーマル転送モードを設定します。転送元アドレスは固定、CRA = H'0000 (65,536回)、CHNE=1、CHNS=1、DISEL=0としてください。
2. 第1のデータ転送の転送先アドレスの65,536回ごとの先頭アドレスの上位8ビットアドレスを別の領域 (ROMなど) に用意してください。たとえば、入力バッファをH'200000~H'21FFFFとするときには、H'21、H'20を用意します。
3. 第2のデータ転送として、第1のデータ転送の転送先アドレス再設定用のリピート転送モード (ソース側をリピート領域) とします。転送先は第1の転送情報領域のDARの上位8ビットとします。このときCHNE = DISEL = 0としてください。上記入力バッファをH'200000~H'21FFFFとする場合には、転送カウンタ=2としてください。
4. 割り込みによって第1のデータ転送を65,536回実行します。第1のデータ転送の転送カウンタが0になると、第2のデータ転送が起動されます。第1のデータ転送の転送元アドレス上位8ビットをH'21に設定します。第1のデータ転送の転送先アドレス下位16ビットの転送カウンタは、H'0000になっています。
5. 引き続き割り込みによって第1のデータ転送を、第1のデータ転送で指定した65,536回実行します。第1のデータ転送の転送カウンタが0になると、第2のデータ転送が起動されます。第1のデータ転送の転送元アドレス上位8ビットをH'20に設定します。第1のデータ転送の転送先アドレス下位16ビットの転送カウンタはH'0000になっています。
6. 上記4.、5.を無限に繰り返します。第2のデータ転送がリピート転送モードのため、CPUには割り込みを要求しません。

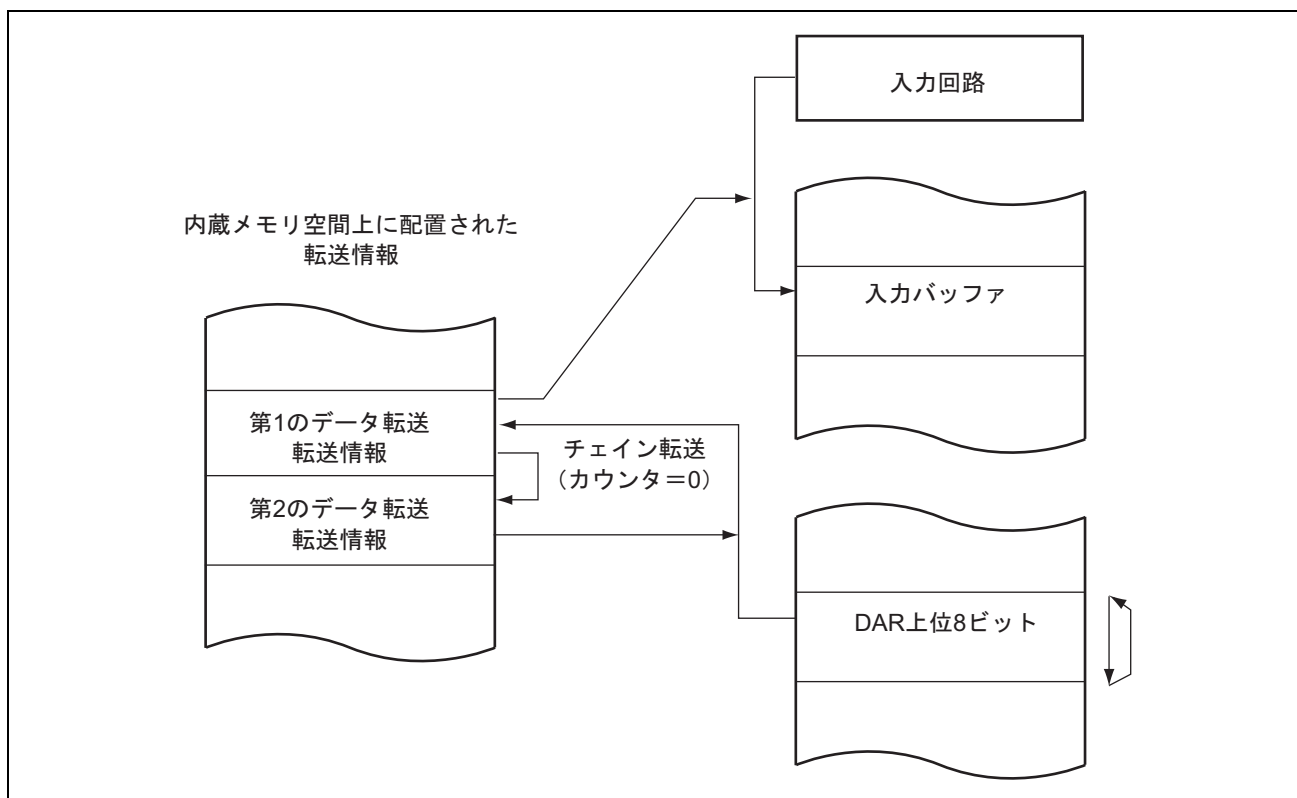


図 12.16 カウンタ=0 時のチェーン転送

12.8 割り込み要因

DTC が指定された回数のデータ転送を終了したとき、および DISEL ビットが 1 にセットされたデータ転送を終了したとき、CPU に対して割り込みを要求します。割り込み起動の場合、起動要因に設定した割り込みが発生します。これらの CPU に対する割り込みは CPU のマスクレベルや割り込みコントローラのプライオリティレベルの制御を受けます。

12.9 使用上の注意

12.9.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、DTC の動作禁止/許可を設定することができます。初期値では DTC の動作許可状態です。モジュールストップ状態に設定することにより、レジスタのアクセスが禁止されます。ただし、DTC が起動中はモジュールストップ状態に設定できません。詳細は「27. 低消費電力」を参照してください。

12.9.2 内蔵 RAM

転送情報は、内蔵 RAM に配置可能です。この場合は、SYSCR の RAME ビットを 0 にクリアしないでください。

12.9.3 DMAC 転送終了割り込み

DMAC 転送終了割り込みで DTC を起動したとき、転送カウンタ、DISEL ビットにかかわらず、DMDR の DTE ビットは DTC の制御を受けずにライトデータが優先されます。このため DTC の転送カウンタが 0 になった場合でも、CPU への割り込みが発生しない場合があります。

DMAC の転送終了割り込みにより DTC を起動した場合、DISEL = 0 の設定時でも DTC による当該起動要因フラグの自動クリアが実行されません。従って、DMAC の転送終了割り込みによる DTC 起動をされる場合は、DTC 転送にて DTE ビットへの 1 ライトを実行し起動要因フラグをクリアしてください。

12.9.4 DTCE ビットの設定

DTCE ビットの設定は、必ず BSET、BCLR などのビット操作命令を使ってリード/ライトしてください。ただし、初期設定に限り複数の起動要因を一度に設定するときには、割り込みを禁止して当該レジスタのダミーリードを行ってからライトすることができます。

12.9.5 チェイン転送

チェイン転送が実行された場合には、連結された最後のデータ転送時に起動要因または DTCER のクリアを行います。このとき、SCI および A/D 変換器の割り込み/起動要因は、所定のレジスタがリード/ライトされたときにクリアされます。

したがって、これらの割り込み/起動要因によって DTC を起動する場合、DTC によるデータ転送が当該レジスタのリード/ライトを含まない場合は、割り込み/起動要因が保持されます。

12.9.6 転送情報先頭アドレス/ソースアドレス/デスティネーションアドレス

ベクタテーブルへ指定する転送情報先頭アドレスは、必ず 4n 番地を指定してください。4n 番地以外は、アドレスの最下位 2 ビットは 0 と見なしてアクセスします。

SAR、DAR へ設定するソースアドレス、デスティネーションアドレスは、アドレスとデータサイズによりバスサイクルを分割してデータ転送します。

12.9.7 転送情報の書き換え

IBCCS=1 かつ DMAC を使用している状態で、DTC 転送終了による CPU の割り込み例外処理ルーチンで DTC の転送情報を書き換える場合、IBCCS ビットを 0 にクリアし、再度 1 にセットしてから行ってください。

12.9.8 エンディアン

DTC は、ビッグエンディアン形式とリトルエンディアン形式に対応しています。ただし、転送情報をライトする際のエンディアン形式と DTC が転送情報をリードする際のエンディアン形式は同一にしてください。

12.9.9 DTCER 書き換え時の注意事項

DTC 転送イネーブル (DTCER) 書き換えと DTC 起動要因割り込みの発生が競合したとき、DTC の起動と CPU 割り込み例外処理を両方実行することがあります。このとき、場合によっては、2 重割り込みが発生することがあります。DTCER 書き換えと DTC 起動要因割り込みの発生が競合する可能性がある場合は、以下の手順で DTCER の書き換えを行ってください。

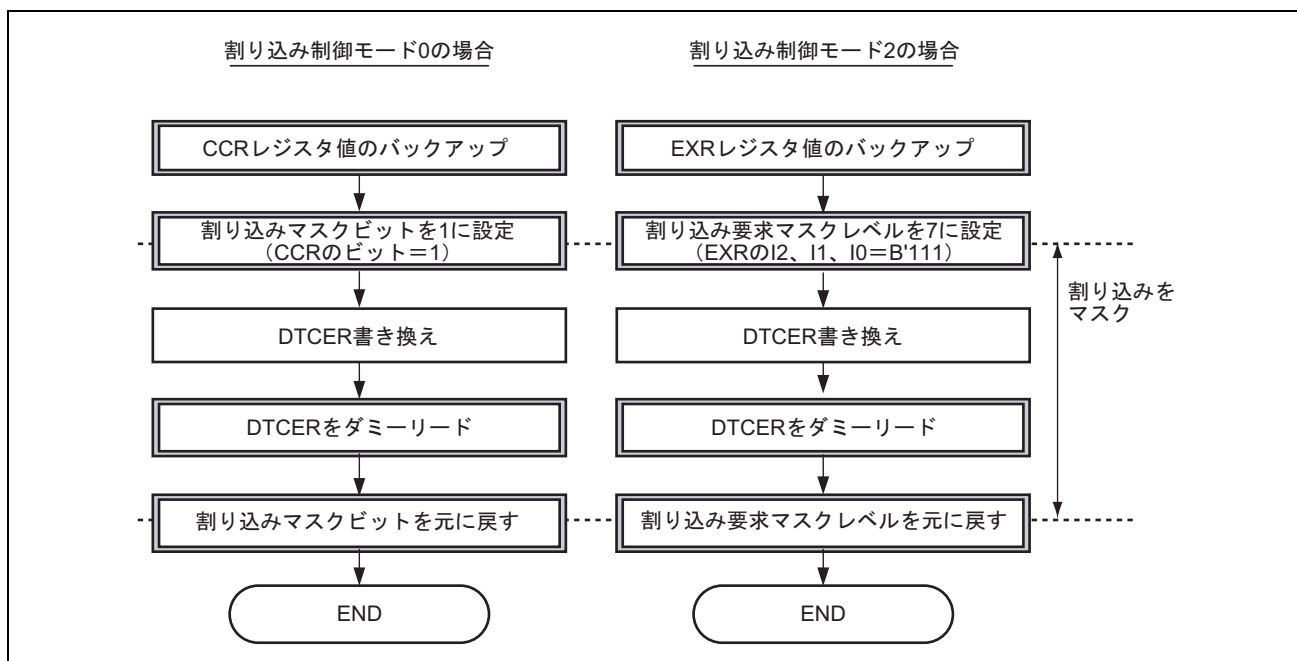


図 12.17 DTCER の書き換え手順例

13. I/O ポート

ポート機能一覧を表 13.1 に示します。各ポートは周辺モジュールの入出力端子や割り込み入力と端子を兼用しています。入出力ポートは入出力を制御するデータディレクションレジスタ (DDR)、出力データを格納するデータレジスタ (DR)、端子の状態をリードするポートレジスタ (PORT)、入力バッファのオン/オフを制御する入力バッファコントロールレジスタ (ICR) から構成されています。ポート 4、5 には DDR、DR はありません。

ポート D~F、H~K には、入力プルアップ MOS が内蔵されており、プルアップ MOS コントロールレジスタ (PCR) で入力プルアップ MOS のオン/オフを制御できます。

ポート 2、F は、オープンドレインコントロールレジスタ (ODR) で出力バッファの PMOS のオン/オフを選択できます。

ポート N は 5V 入力可能な NMOS オープンドレイン出力端子です。

すべての入出力ポートは、1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。また、出力時にダーリントントランジスタを駆動することができます。

ポート 2、3、J、K はシュミットトリガ入力端子です。その他のポートは \overline{IRQ} 入力、TPU 入力、TMR 入力、IIC2 入力として使用するときシュミットトリガ入力端子となります。

13. I/O ポート

表 13.1 ポート機能一覧

ポート名	概要	ビット	機能			シュミットトリガ 入力端子*1	入力ブル アップ MOS 機能	オープン ドレイン 出力機能
			入出力	入力	出力			
ポート 1	割り込み入力、 SCI 入出力、 DMAC 入出力、 EXDMAC 入出力 *7、 A/D 変換器入力、 TPU 入力、 IIC2 入出力と兼用 汎用入出力ポート	7	P17/SCL0	$\overline{\text{IRQ7-A}}$ / TCLKD-B $\overline{\text{ADTRG1-A}}$	$\overline{\text{EDRAK1-A}}^{*7}$	$\overline{\text{IRQ7-A}}$ 、 TCLKD-B、 SCL0	—	—
		6	P16/SDA0/ SCK3	$\overline{\text{IRQ6-A}}$ / TCLKC-B	$\overline{\text{DACK1-A}}$ / $\overline{\text{EDACK1-A}}^{*7}$	$\overline{\text{IRQ6-A}}$ 、 TCLKC-B、 SDA0		
		5	P15/SCL1	$\overline{\text{IRQ5-A}}$ / TCLKB-B/ RxD3	$\overline{\text{TEND1-A}}$ / $\overline{\text{ETEND1-A}}^{*7}$	$\overline{\text{IRQ5-A}}$ 、 TCLKB-B、 SCL1		
		4	P14/SDA1	$\overline{\text{DREQ1-A}}$ / $\overline{\text{IRQ4-A}}$ / TCLKA-B/ $\overline{\text{EDREQ1-A}}^{*7}$	TxD3	$\overline{\text{IRQ4-A}}$ 、 TCLKA-B、 SDA1		
		3	P13	$\overline{\text{ADTRG0-A}}$ / $\overline{\text{IRQ3-A}}$	$\overline{\text{EDRAK0-A}}^{*7}$	$\overline{\text{IRQ3-A}}$		
		2	P12/SCK2	$\overline{\text{IRQ2-A}}$	$\overline{\text{DACK0-A}}$ / $\overline{\text{EDACK0-A}}^{*7}$	$\overline{\text{IRQ2-A}}$		
		1	P11	RxD2/ $\overline{\text{IRQ1-A}}$	$\overline{\text{TEND0-A}}$ / $\overline{\text{ETEND0-A}}^{*7}$	$\overline{\text{IRQ1-A}}$		
		0	P10	$\overline{\text{DREQ0-A}}$ / $\overline{\text{IRQ0-A}}$ / $\overline{\text{EDREQ0-A}}^{*7}$	TxD2	$\overline{\text{IRQ0-A}}$		
ポート 2	割り込み入力、 PPG 出力、 TPU 入出力、 TMR 入出力、 SCI 入出力と兼用 汎用入出力ポート	7	P27/TIOCB5	TIOCA5/ $\overline{\text{IRQ15-A}}^{*6}$	PO7	全入力機能	—	○
		6	P26/TIOCA5	$\overline{\text{IRQ14-A}}$	PO6/TMO1/TxD1	全入力機能		
		5	P25/TIOCA4	TMCI1/RxD1/ $\overline{\text{IRQ13-A}}$	PO5	P25、TIOCA4、 TMCI1、 $\overline{\text{IRQ13-A}}$		
		4	P24/TIOCB4/ SCK1	TIOCA4/TMRI1/ $\overline{\text{IRQ12-A}}$	PO4	P24、TIOCB4、 TIOCA4、TMRI1、 $\overline{\text{IRQ12-A}}$		
		3	P23/TIOCD3	$\overline{\text{IRQ11-A}}$ /TIOCC3	PO3	全入力機能		
		2	P22/TIOCC3	$\overline{\text{IRQ10-A}}$	PO2/TMO0/TxD0	全入力機能		
		1	P21/TIOCA3	TMCI0/RxD0/ $\overline{\text{IRQ9-A}}$	PO1	P21、TIOCA3、 TMCI0、 $\overline{\text{IRQ9-A}}$		
		0	P20/TIOCB3/ SCK0	TIOCA3/TMRI0/ $\overline{\text{IRQ8-A}}$	PO0	P20、TIOCB3、 TIOCA3、TMRI0、 $\overline{\text{IRQ8-A}}$		

ポート名	概要	ピ ツ ト	機 能			シュミットトリガ 入力端子* ¹	入力ブ ラップ MOS 機能	オーブ ン ドレイン 出力機能
			入出力	入 力	出 力			
ポート 3	PPG 出力、 EXDMAC 入出力* ⁷ 、 DMAC 入出力、 TPU 入出力と兼用 汎用入出力ポート	7	P37/TIOCB2	TIOCA2/TCLKD-A	PO15/ $\overline{\text{EDRAK3}}^{*7}$	全入力機能	—	—
		6	P36/TIOCA2	—	PO14/ $\overline{\text{EDRAK2}}^{*7}$	全入力機能	—	—
		5	P35/TIOCB1	TIOCA1/TCLKC-A	PO13/ $\overline{\text{DACK1-B}}$ / $\overline{\text{EDACK3}}^{*7}$	全入力機能	—	—
		4	P34/TIOCA1	—	PO12/ $\overline{\text{TEND1-B}}$ / $\overline{\text{ETEND3}}^{*7}$	全入力機能	—	—
		3	P33/TIOCD0	TIOCC0/ TCLKB-A/ $\overline{\text{DREQ1-B}}$ / $\overline{\text{EDREQ3}}^{*7}$	PO11	全入力機能	—	—
		2	P32/TIOCC0	TCLKA-A	PO10/ $\overline{\text{DACK0-B}}$ / $\overline{\text{EDACK2}}^{*7}$	全入力機能	—	—
		1	P31/TIOCB0	TIOCA0	PO9/ $\overline{\text{TEND0-B}}$ / $\overline{\text{ETEND2}}^{*7}$	全入力機能	—	—
		0	P30/TIOCA0	$\overline{\text{DREQ0-B}}$ / $\overline{\text{EDREQ2}}^{*7}$	PO8	全入力機能	—	—
ポート 4	A/D 変換器入力と 兼用汎用入力ポート	7	—	P47/AN11	—	—	—	—
		6	—	P46/AN10	—	—	—	—
		5	—	P45/AN9	—	—	—	—
		4	—	P44/AN8	—	—	—	—
		3	—	—	—	—	—	—
		2	—	—	—	—	—	—
		1	—	—	—	—	—	—
		0	—	—	—	—	—	—
ポート 5	割り込み入力、 A/D 変換器入力、 D/A 変換器出力と 兼用汎用入力ポート	7	—	P57/AN7/IRQ7-B	DA1	IRQ7-B	—	—
		6	—	P56/AN6/IRQ6-B	DA0	IRQ6-B	—	—
		5	—	P55/AN5/IRQ5-B	—	IRQ5-B	—	—
		4	—	P54/AN4/IRQ4-B	—	IRQ4-B	—	—
		3	—	P53/AN3/IRQ3-B	—	IRQ3-B	—	—
		2	—	P52/AN2/IRQ2-B	—	IRQ2-B	—	—
		1	—	P51/AN1/IRQ1-B	—	IRQ1-B	—	—
		0	—	P50/AN0/IRQ0-B	—	IRQ0-B	—	—

13. I/O ポート

ポート名	概要	ビット	機能			シュミットトリガ 入力端子*1	入力ブル アップ MOS 機能	オープン ドレイン 出力機能
			入出力	入力	出力			
ポート 6	TMR 入出力、 SCI 入出力、 EXDMAC 入出力*7、 DMAC 入出力、 H-UDI 入力、 割り込み入力と兼用 汎用入出力ポート	7	P67	IRQ15-B	EDRAKT-B*7	IRQ15-B	-	-
		6	P66	-	EDRAK0-B*7	-		
		5	P65/SCK6	TCK/IRQ13-B	TMO3/DACK3/ EDACK1-B*7	IRQ13-B、TCK		
		4	P64	TMCI3/TDI/ IRQ12-B/RxD6	TEND3/ ETEND1-B*7	TMCI3/IRQ12-B TDI		
		3	P63	TMRI3/ DREQ3/ IRQ11-B/TMS/ EDREQ1-B*7	TxD6	TMRI3、IRQ11-B TMS		
		2	P62/SCK4	IRQ10-B/TRST	TMO2/DACK2/ EDACK0-B*7	IRQ10-B、TRST		
		1	P61	TMCI2/RxD4/ IRQ9-B	TEND2/ ETEND0-B*7	TMCI2、IRQ9-B		
		0	P60	TMRI2/DREQ2/ IRQ8-B/ EDREQ0-B*7	TxD4	TMRI2、IRQ8-B		
ポート A	システムクロック 出力、バス制御入出 力と兼用汎用入出力 ポート	7	-	PA7	B φ	-	-	-
		6	PA6	-	AS/AH/BS-B			
		5	PA5	-	RD			
		4	PA4	-	LHWR/LUB			
		3	PA3	-	LLWR/LLB			
		2	PA2	BREQ/WAIT-A	-			
		1	PA1	-	BACK/ (RD/WR-A)			
		0	PA0	-	BREQ/BS-A			

ポート名	概要	ビット	機能			シュミットトリガ 入力端子*1	入力ブル アップ MOS 機能	オープン ドレイン 出力機能	
			入出力	入力	出力				
ポート B	バス制御出力と兼用 汎用入出力ポート	7	PB7	—	$\overline{CS7-D}/$ SDRAM ϕ *7	—	—	—	
		6	PB6	$\overline{ADTRG0-B}$	$\overline{CS6-D}$ (RD/ $\overline{WR-B}$)	—	—	—	
		5	PB5	—	$\overline{CS5-D}/\overline{OE}^*7/$ CKE*7	—	—	—	
		4	PB4	—	$\overline{CS4-B}/\overline{WE}^*7$	—	—	—	
		3	PB3	—	$\overline{CS3-A}/\overline{CS7-A}/$ \overline{CAS}^*7	—	—	—	
		2	PB2	—	$\overline{CS2-A}/\overline{CS6-A}/$ \overline{RAS}^*7	—	—	—	
		1	PB1	—	$\overline{CS1}/\overline{CS2-B}/$ $\overline{CS5-A}/\overline{CS6-B}/$ $\overline{CS7-B}$	—	—	—	
		0	PB0	—	$\overline{CS0}$ 、 $\overline{CS4-A}$ $\overline{CS5-B}$	—	—	—	
ポート C	バス制御入出力、 A/D 変換器入力と 兼用汎用入出力 ポート	7	—	—	—	—	—	—	
		6	—	—	—	—	—	—	
		5	PC5	—	—	—	—	—	—
		4	PC4	$\overline{ADTRG2}$	—	—	—	—	—
		3	PC3	—	$\overline{LLCAS}^*7/$ DQMLL*7	—	—	—	—
		2	PC2	—	$\overline{LUCAS}^*7/$ DQMLU*7	—	—	—	—
		1	PC1	—	$\overline{CS4-C}/\overline{CS5-C}/$ $\overline{CS6-C}/\overline{CS7-C}$	—	—	—	—
		0	PC0	$\overline{WAIT-B}/$ $\overline{ADTRG1-B}$	$\overline{CS3-B}$	—	—	—	—
ポート D*3	アドレス出力と兼用 汎用入出力ポート	7	PD7	—	A7	—	○	—	
		6	PD6	—	A6	—	○	—	
		5	PD5	—	A5	—	○	—	
		4	PD4	—	A4	—	○	—	
		3	PD3	—	A3	—	○	—	
		2	PD2	—	A2	—	○	—	
		1	PD1	—	A1	—	○	—	
		0	PD0	—	A0	—	○	—	

13. I/O ポート

ポート名	概要	ビット	機能			シュミットトリガ 入力端子*1	入力ブル アップ MOS 機能	オープン ドレイン 出力機能
			入出力	入力	出力			
ポート E*3	アドレス出力と兼用 汎用入出力ポート	7	PE7	—	A15	—	○	—
		6	PE6	—	A14			
		5	PE5	—	A13			
		4	PE4	—	A12			
		3	PE3	—	A11			
		2	PE2	—	A10			
		1	PE1	—	A9			
		0	PE0	—	A8			
ポート F	アドレス出力、 SCI 入出力と兼用 汎用入出力ポート	7	PF7/SCK5	—	A23	—	○	○
		6	PF6	RxD5/IrRxD	A22			
		5	PF5	—	A21/TxD5/IrTxD			
		4	PF4	—	A20			
		3	PF3	—	A19			
		2	PF2	—	A18			
		1	PF1	—	A17			
		0	PF0	—	A16			
ポート H	双方向データバスと 兼用汎用入出力 ポート	7	PH7/D7*2	—	—	—	○	—
		6	PH6/D6*2	—	—			
		5	PH5/D5*2	—	—			
		4	PH4/D4*2	—	—			
		3	PH3/D3*2	—	—			
		2	PH2/D2*2	—	—			
		1	PH1/D1*2	—	—			
		0	PH0/D0*2	—	—			
ポート I	双方向データバスと 兼用汎用入出力 ポート	7	PI7/D15*2	—	—	—	○	—
		6	PI6/D14*2	—	—			
		5	PI5/D13*2	—	—			
		4	PI4/D12*2	—	—			
		3	PI3/D11*2	—	—			
		2	PI2/D10*2	—	—			
		1	PI1/D9*2	—	—			
		0	PI0/D8*2	—	—			

ポート名	概要	ビット	機能			シュミットトリガ 入力端子*1	入力ブル アップ MOS 機能	オープン ドレイン 出力機能
			入出力	入力	出力			
ポート J*4	PPG、TPU 入出力と 兼用汎用入出力 ポート	7	PJ7/TIOCB8	TIOCA8/TCLKH	PO23	全入力機能	○	-
		6	PJ6/TIOCA8	-	PO22	全入力機能		
		5	PJ5/TIOCB7	TIOCA7/TCLKG	PO21	全入力機能		
		4	PJ4/TIOCA7	-	PO20	全入力機能		
		3	PJ3/TIOCD6	TIOCC6/TCLKF	PO19	全入力機能		
		2	PJ2/TIOCC6	TCLKE	PO18	全入力機能		
		1	PJ1/TIOCB6	TIOCA6	PO17	全入力機能		
		0	PJ0/TIOCA6	-	PO16	全入力機能		
ポート K*4	PPG、TPU 入出力と 兼用汎用入出力 ポート	7	PK7/TIOCB11	TIOCA11	PO31	全入力機能	○	-
		6	PK6/TIOCA11	-	PO30	全入力機能		
		5	PK5/TIOCB10	TIOCA10	PO29	全入力機能		
		4	PK4/TIOCA10	-	PO28	全入力機能		
		3	PK3/TIOCD9	TIOCC9	PO27	全入力機能		
		2	PK2/TIOCC9	-	PO26	全入力機能		
		1	PK1/TIOCB9	TIOCA9	PO25	全入力機能		
		0	PK0/TIOCA9	-	PO24	全入力機能		
ポート M*7	汎用入出力ポート	7	-	-	-	-	-	-
		6	-	-	-	-		
		5	-	-	-	-		
		4	PM4*7	-	-	-		
		3	PM3*7	-	-	-		
		2	PM2*7	-	-	-		
		1	PM1*7	-	-	-		
		0	PM0*7	-	-	-		

13. I/O ポート

ポート名	概要	ビット	機能			シュミットトリガ 入力端子*1	入力ブル アップ MOS 機能	オープン ドレイン 出力機能
			入出力	入力	出力			
ポート N*5	IIC2 入出力と兼用 汎用入出力ポート	7	—	—	—		—	○
		6	—	—	—			
		5	—	—	—			
		4	—	—	—			
		3	PN3/SCL3	—	—	SCL3		
		2	PN2/SDA3	—	—	SDA3		
		1	PN1/SCL2	—	—	SCL2		
		0	PN0/SDA2	—	—	SDA2		

- 【注】 *1 シュミットトリガ入力端子以外は、CMOS 入力端子になります。
- *2 アドレス/データマルチプレクス I/O 空間アクセス時は、アドレスも出力されます。
- *3 PCJKE=1 のとき、無効です。
- *4 PCJKE=0 のとき、無効です。
- *5 PORTN の出力は常に NMOS オープンドレイン出力です。
- *6 H8SX/1648 グループ、H8SX/1648A グループ、H8SX/1648L グループのみサポート。
- *7 H8SX/1648G グループ、H8SX/1648H グループのみサポート。

13.1 レジスタの説明

各ポートのレジスタを表 13.2 に示します。

表 13.2 各ポートのレジスタ構成

ポート	端子数	レジスタ					
		DDR	DR	PORT	ICR	PCR	ODR
ポート 1	8	○	○	○	○	—	—
ポート 2	8	○	○	○	○	—	○
ポート 3	8	○	○	○	○	—	—
ポート 4	4	—	—	○	○	—	—
ポート 5	8	—	—	○	○	—	—
ポート 6	8	○	○	○	○	—	—
ポート A	8	○	○	○	○	—	—
ポート B	8	○	○	○	○	—	—
ポート C* ¹	6	○	○	○	○	—	—
ポート D* ²	8	○	○	○	○	○	—
ポート E* ²	8	○	○	○	○	○	—
ポート F	8	○	○	○	○	○	○
ポート H	8	○	○	○	○	○	—
ポート I	8	○	○	○	○	○	—
ポート J* ³	8	○	○	○	○	○	—
ポート K* ³	8	○	○	○	○	○	—
ポート M* ⁴	5	○	○	○	○	—	—
ポート N	4	○	○	○	○	—	—

【記号説明】 ○：レジスタあり、—：レジスタなし

【注】 *1 ライト時は、初期値をライトしてください。

*2 PCJKE=1 のときはアクセスしないでください。

*3 PCJKE=0 のときはアクセスしないでください。

*4 H8SX/1648G グループ、H8SX/1648H グループのみサポート。

13. I/O ポート

13.1.1 データディレクションレジスタ (PnDDR) (n=1、2、3、6、A~F、H~K、M*、N)

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート

DDR は、ポートの入出力をビットごとに指定する 8 ビットのライト専用レジスタです。DDR のリードは無効であり、リードすると不定値が読み出されます。

汎用入出力ポートの機能が選択されているとき、DDR の当該ビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると対応する端子は入力ポートになります。

DDR の初期値を表 13.3 に示します。

ビット	7	6	5	4	3	2	1	0
ビット名	Pn7DDR	Pn6DDR	Pn5DDR	Pn4DDR	Pn3DDR	Pn2DDR	Pn1DDR	Pn0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

【注】 ポートCのレジスタは下位6ビットが有効で、上位2ビットはリザーブビットです。
 ポートMのレジスタは下位5ビットが有効で、上位3ビットはリザーブビットです。
 ポートNのレジスタは下位4ビットが有効で、上位4ビットはリザーブビットです。
 ポートJ、Kのレジスタは、PCJKE=0のときアクセス禁止。
 ポートD、Eのレジスタは、PCJKE=1のときアクセス禁止。

表 13.3 起動モードと初期値

ポート	起動モード	
	外部拡張モード	シングルチップモード
ポート A	H'80	H'00
その他のポート	H'00	

13.1.2 データレジスタ (PnDR) (n=1、2、3、6、A~F、H~K、M*、N)

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート

DR は、汎用出力ポートとして使用する端子の出力データを格納する 8 ビットのリード/ライト可能なレジスタです。

DR の初期値は H'00 です。

ビット	7	6	5	4	3	2	1	0
ビット名	Pn7DR	Pn6DR	Pn5DR	Pn4DR	Pn3DR	Pn2DR	Pn1DR	Pn0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 ポートCのレジスタは下位6ビットが有効で、上位2ビットはリザーブビットです。
 ポートMのレジスタは下位5ビットが有効で、上位3ビットはリザーブビットです。
 ポートNのレジスタは下位4ビットが有効で、上位4ビットはリザーブビットです。
 ポートJ、Kのレジスタは、PCJKE=0のときアクセス禁止。
 ポートD、Eのレジスタは、PCJKE=1のときアクセス禁止。

13.1.3 ポートレジスタ (PORTn) (n=1~6、A~F、H~K、M*、N)

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート

PORTは、ポートの端子の状態を反映する8ビットのリード専用レジスタです。PORTのライトは無効です。

PORTをリードすると、DDRが1にセットされているビットはDRの値がリードされます。DDRが0にクリアされているビットは、ICRの値に関係なく端子の状態がリードされます。

PORTの初期値は不定です。ポートの端子状態により決定されます。

ビット	7	6	5	4	3	2	1	0
ビット名	Pn7	Pn6	Pn5	Pn4	Pn3	Pn2	Pn1	Pn0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R

【注】 ポート4のレジスタは上位4ビットが有効で、下位4ビットはリザーブビットです。
 ポートCのレジスタは下位6ビットが有効で、上位2ビットはリザーブビットです。
 ポートMのレジスタは下位5ビットが有効で、上位3ビットはリザーブビットです。
 ポートNのレジスタは下位4ビットが有効で、上位4ビットはリザーブビットです。
 ポートJ、Kのレジスタは、PCJKE=0の時、アクセス禁止。
 ポートD、Eのレジスタは、PCJKE=1の時、アクセス禁止。

13.1.4 入力バッファコントロールレジスタ (PnICR) (n=1~6、A~F、H~K、M*、N)

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート

ICRは、ポートの入力バッファを制御する8ビットのリード/ライト可能なレジスタです。

ICRが1にセットされているビットは、対応する端子の入力バッファは有効になります。ICRが0にクリアされているビットは、対応する端子の入力バッファは無効となり、入力信号はHighレベルに固定されます。

周辺モジュールの入力端子として使用する場合は、対応するビットを1にセットしてください。入力として使用しない端子、およびアナログ入出力端子に対応するビットへライトする場合は、初期値をライトしてください。

PORTをリードすると、このレジスタの値に関係なく端子の状態が読み出されます。

このとき、ICRが0にクリアされていれば、周辺モジュール側に端子状態が反映されることはありません。

ICRの設定を変更するときに、端子の状態によって内部的にエッジが発生することがあります。ICRの設定の変更は、当該入力端子が使用されていないときに行ってください。たとえば、 \overline{IRQ} 入力の場合、当該割り込みを禁止した状態でICRの設定の変更を行い、割り込みコントローラのISRのIRQFフラグを0にクリアし、その後当該割り込みを許可してください。ICRの設定の変更後にエッジが発生したときは、そのエッジをキャンセルするようにしてください。

ICRの初期値はH'00です。

13. I/O ポート

ビット	7	6	5	4	3	2	1	0
ビット名	Pn7ICR	Pn6ICR	Pn5ICR	Pn4ICR	Pn3ICR	Pn2ICR	Pn1ICR	Pn0ICR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 ポート4のレジスタは上位4ビットが有効で、下位4ビットはリザーブビットです。
 ポートCのレジスタは下位6ビットが有効で、上位2ビットはリザーブビットです。
 ポートMのレジスタは下位5ビットが有効で、上位3ビットはリザーブビットです。
 ポートNのレジスタは下位4ビットが有効で、上位4ビットはリザーブビットです。
 ポートJ、Kのレジスタは、PCJKE=0の時、アクセス禁止。
 ポートD、Eのレジスタは、PCJKE=1の時、アクセス禁止。

13.1.5 プルアップ MOS コントロールレジスタ (PnPCR) (n=D~F、H~K)

PCR は、ポートの入力プルアップ MOS のオン/オフを制御する 8 ビットのリード/ライト可能なレジスタです。

端子が入力状態のとき、PCR が 1 にセットされているビットに対応する端子の入力プルアップ MOS がオンします。表 13.4 に入力プルアップ MOS の状態を示します。

PCR の初期値は H'00 です。

ビット	7	6	5	4	3	2	1	0
ビット名	Pn7PCR	Pn6PCR	Pn5PCR	Pn4PCR	Pn3PCR	Pn2PCR	Pn1PCR	Pn0PCR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13.4 入力プルアップ MOS の状態

ポート	端子状態	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	その他の動作
ポート D	アドレス出力	OFF			
	ポート出力	OFF			
	ポート入力	OFF	ON/OFF		
ポート E	アドレス出力	OFF			
	ポート出力	OFF			
	ポート入力	OFF	ON/OFF		
ポート F	アドレス出力	OFF			
	周辺モジュール出力	OFF			
	ポート出力	OFF			
	ポート入力	OFF	ON/OFF		
ポート H	データ入出力	OFF			
	ポート出力	OFF			
	ポート入力	OFF	ON/OFF		

ポート	端子状態	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	その他の動作
ポート I	データ入出力	OFF			
	ポート出力	OFF			
	ポート入力	OFF	ON/OFF		
ポート J	周辺モジュール出力	OFF			
	ポート出力	OFF			
	ポート入力	OFF	ON/OFF		
ポート K	周辺モジュール出力	OFF			
	ポート出力	OFF			
	ポート入力	OFF	ON/OFF		

【記号説明】 OFF : 入力プルアップ MOS は常にオフ状態です。

ON/OFF : PCR を 1 にセットするとオン状態、PCR を 0 にクリアするとオフ状態です。

13.1.6 オープンドレインコントロールレジスタ (PnODR) (n = 2、F)

ODR は、ポートの端子の出力形態を選択する 8 ビットのリード/ライト可能なレジスタです。

ODR の当該ビットを 1 にセットすると対応する端子は NMOS オープンドレイン出力となり、0 にクリアすると対応する端子は CMOS 出力になります。

ODR の初期値は H'00 です。

ビット	7	6	5	4	3	2	1	0
ビット名	Pn7ODR	Pn6ODR	Pn5ODR	Pn4ODR	Pn3ODR	Pn2ODR	Pn1ODR	Pn0ODR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

13.2 出力バッファ制御

各端子の出力優先順位について説明します。

各周辺モジュールの端子は、端子名の後に「_OE」を付けて記載しています。これは（例：TIOCA4_OE）、対象となる機能の出力を有効にする設定（1）であるか、それ以外の設定（0）かを示しています。表 13.5 に各ポートの出力信号有効設定一覧を示します。当該する出力信号の詳細は、各周辺モジュールのレジスタの説明を参照してください。また、各周辺モジュールの端子名の接尾に「A」、「B」が付いている端子は、ポートファンクションコントロールレジスタ（PFCCR）によって端子機能を変更できます。詳細は「13.3 ポートファンクションコントローラ」を参照してください。

初期値が起動モードにより変わる端子については、外部拡張モードで起動した場合は「初期値 E」、シングルチップモードで起動した場合は「初期値 S」を記載しています。

13.2.1 ポート 1

(1) P17/ $\overline{\text{IRQ7-A/TCLKD-B/SCL0/ADTRG1-A/EDRAK1-A}}$ *

EXDMAC*、IIC2 のレジスタ設定、および P17DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定		
		EXDMAC*	IIC2	I/O ポート
		$\overline{\text{EDRAK1A_OE}}$ *	SCL0_OE	P17DDR
EXDMAC*	$\overline{\text{EDRAK1-A}}$ 出力*	1	—	—
IIC2	SCL0 入出力	0	1	—
I/O ポート	P17 出力	0	0	1
	P17 入力（初期値）	0	0	0

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート。

(2) P16/ $\overline{\text{DACK1-A/IRQ6-A/TCLKC-B/SDA0/SCK3/EDACK1-A}}$ *

EXDMAC*、DMAC、SCI、IIC2 のレジスタの設定、および P16DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定				
		EXDMAC*	DMAC	SCI	IIC2	I/O ポート
		$\overline{\text{EDACK1A_OE}}$ *	$\overline{\text{DACK1A_OE}}$	SCK3_OE	SDA0_OE	P16DDR
EXDMAC*	$\overline{\text{EDACK1-A}}$ 出力*	1	—	—	—	—
DMAC	$\overline{\text{DACK1-A}}$ 出力	0	1	—	—	—
SCI	SCK3 出力	0	0	1	—	—
IIC2	SDA0 入出力	0	0	0	1	—
I/O ポート	P16 出力	0	0	0	0	1
	P16 入力（初期値）	0	0	0	0	0

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート。

(3) P15/RxD3/ $\overline{\text{TEND1-A}}$ / $\overline{\text{IRQ5-A}}$ / $\overline{\text{TCLKB-B}}$ / $\overline{\text{SCL1}}$ / $\overline{\text{ETEND1-A}}$ *

EXDMAC*、DMAC、IIC2 のレジスタの設定、および P15DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定			
		EXDMAC*	DMAC	IIC2	I/O ポート
		$\overline{\text{ETEND1A_OE}}$ *	$\overline{\text{TEND1A_OE}}$	SCL1_OE	P15DDR
EXDMAC*	$\overline{\text{ETEND1-A}}$ 出力*	1	—	—	—
DMAC	$\overline{\text{TEND1-A}}$ 出力	0	1	—	—
IIC2	SCL1 入出力	0	0	1	—
I/O ポート	P15 出力	0	0	0	1
	P15 入力 (初期値)	0	0	0	0

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート。

(4) P14/TxD3/ $\overline{\text{DREQ1-A}}$ / $\overline{\text{EDREQ1-A}}$ / $\overline{\text{IRQ4-A}}$ / $\overline{\text{TCLKA-B}}$ / $\overline{\text{SDA1}}$

SCI、IIC2 のレジスタの設定、および P14DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定		
		SCI	IIC2	I/O ポート
		TxD3_OE	SDA1_OE	P14DDR
SCI	TxD3 出力	1	—	—
IIC2	SDA1 入出力	0	1	—
I/O ポート	P14 出力	0	0	1
	P14 入力 (初期値)	0	0	0

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート。

(5) P13/ $\overline{\text{ADTRG0-A}}$ / $\overline{\text{IRQ3-A}}$ / $\overline{\text{EDRAK0-A}}$ *

EXDMAC* のレジスタ設定、P13DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定	
		EXDMAC*	I/O ポート
		$\overline{\text{EDRAK0A_OE}}$ *	P13DDR
EXDMAC*	$\overline{\text{EDRAK0-A}}$ 出力*	1	—
I/O ポート	P13 出力	0	1
	P13 入力 (初期値)	0	0

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート。

13. I/O ポート

(6) P12/SCK2/DACK0-A/IRQ2-A/EDACK0-A*

EXDMAC*、DMAC、SCI のレジスタの設定、および P12DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定			
		EXDMAC*	DMAC	SCI	I/O ポート
		$\overline{\text{EDACK0A_OE}}$ *	$\overline{\text{DACK0A_OE}}$	SCK2_OE	P12DDR
EXDMAC*	$\overline{\text{EDACK0A}}$ 出力*	1	—	—	—
DMAC	$\overline{\text{DACK0A}}$ 出力	0	1	—	—
SCI	SCK2 出力	0	0	1	—
I/O ポート	P12 出力	0	0	0	1
	P12 入力 (初期値)	0	0	0	0

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート

(7) P11/RxD2/TEND0-A/IRQ1-A/ETEND0-A*

EXDMAC*、DMAC のレジスタの設定、および P11DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定		
		EXDMAC*	DMAC	I/O ポート
		$\overline{\text{ETEND0A_OE}}$ *	$\overline{\text{TEND0A_OE}}$	P11DDR
EXDMAC*	$\overline{\text{ETEND0A}}$ 出力*	1	—	—
DMAC	$\overline{\text{TEND0A}}$ 出力	0	1	—
I/O ポート	P11 出力	0	0	1
	P11 入力 (初期値)	0	0	0

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート

(8) P10/TxD2/DREQ0-A/IRQ0-A/EDREQ0-A*

SCI のレジスタの設定、および P10DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定	
		SCI	I/O ポート
		TxD2_OE	P10DDR
SCI	TxD2 出力	1	—
I/O ポート	P10 出力	0	1
	P10 入力 (初期値)	0	0

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート

13.2.2 ポート 2

(1) P27/PO7/TIOCA5/TIOCB5/ $\overline{\text{IRQ15}}$ -A

TPU、PPG のレジスタの設定、および P27DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定		
		TPU	PPG	I/O ポート
		TIOCB5_OE	PO7_OE	P27DDR
TPU	TIOCB5 出力	1	—	—
PPG	PO7 出力	0	1	—
I/O ポート	P27 出力	0	0	1
	P27 入力 (初期値)	0	0	0

(2) P26/PO6/TIOCA5/TMO1/TxD1/ $\overline{\text{IRQ14}}$ -A

TPU、TMR、SCI、PPG のレジスタの設定、および P26DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定				
		TPU	TMR	SCI	PPG	I/O ポート
		TIOCA5_OE	TMO1_OE	TxD1_OE	PO6_OE	P26DDR
TPU	TIOCA5 出力	1	—	—	—	—
TMR	TMO1 出力	0	1	—	—	—
SCI	TxD1 出力	0	0	1	—	—
PPG	PO6 出力	0	0	0	1	—
I/O ポート	P26 出力	0	0	0	0	1
	P26 入力 (初期値)	0	0	0	0	0

(3) P25/PO5/TIOCA4/TMCI1/RxD1/ $\overline{\text{IRQ13}}$ -A

TPU、PPG のレジスタの設定、および P25DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定		
		TPU	PPG	I/O ポート
		TIOCA4_OE	PO5_OE	P25DDR
TPU	TIOCA4 出力	1	—	—
PPG	PO5 出力	0	1	—
I/O ポート	P25 出力	0	0	1
	P25 入力 (初期値)	0	0	0

13. I/O ポート

(4) P24/PO4/TIOCA4/TIOCB4/TMRI1/SCK1/ $\overline{\text{IRQ12}}$ -A

TPU、SCI、PPG のレジスタの設定、および P24DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定			
		TPU	SCI	PPG	PORT
		TIOCB4_OE	SCK1_OE	PO4_OE	P24DDR
TPU	TIOCB4 出力	1	—	—	—
SCI	SCK1 出力	0	1	—	—
PPG	PO4 出力	0	0	1	—
I/O ポート	P24 出力	0	0	0	1
	P24 入力 (初期値)	0	0	0	0

(5) P23/PO3/TIOCC3/TIOCD3/ $\overline{\text{IRQ11}}$ -A

TPU、PPG のレジスタの設定、および P23DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定		
		TPU	PPG	I/O ポート
		TIOCD3_OE	PO3_OE	P23DDR
TPU	TIOCD3 出力	1	—	—
PPG	PO3 出力	0	1	—
I/O ポート	P23 出力	0	0	1
	P23 入力 (初期値)	0	0	0

(6) P22/PO2/TIOCC3/TMO0/TxD0/ $\overline{\text{IRQ10}}$ -A

TPU、TMR、SCI、PPG のレジスタの設定、および P22DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定				
		TPU	TMR	SCI	PPG	PORT
		TIOCC3_OE	TMO0_OE	TxD0_OE	PO2_OE	P22DDR
TPU	TIOCC3 出力	1	—	—	—	—
TMR	TMO0 出力	0	1	—	—	—
SCI	TxD0 出力	0	0	1	—	—
PPG	PO2 出力	0	0	0	1	—
I/O ポート	P22 出力	0	0	0	0	1
	P22 入力 (初期値)	0	0	0	0	0

(7) P21/PO1/TIOCA3/TMCI0/RxD0/ $\overline{\text{IRQ9}}$ -A

TPU、PPG のレジスタの設定、および P21DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定		
		TPU	PPG	I/O ポート
		TIOCA3_OE	PO1_OE	P21DDR
TPU	TIOCA3 出力	1	—	—
PPG	PO1 出力	0	1	—
I/O ポート	P21 出力	0	0	1
	P21 入力 (初期値)	0	0	0

(8) P20/PO0/TIOCA3/TIOCB3/TMRI0/SCK0/ $\overline{\text{IRQ8}}$ -A

TPU、PPG、SCI のレジスタの設定、および P20DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定			
		TPU	SCI	PPG	I/O ポート
		TIOCB3_OE	SCK0_OE	PO0_OE	P20DDR
TPU	TIOCB3 出力	1	—	—	—
SCI	SCK0 出力	0	1	—	—
PPG	PO0 出力	0	0	1	—
I/O ポート	P20 出力	0	0	0	1
	P20 入力 (初期値)	0	0	0	0

13. I/O ポート

13.2.3 ポート 3

(1) P37/PO15/TIOCA2/TIOCB2/TCLKD-A/EDRAK3*

EXDMAC*、TPU、PPG のレジスタの設定、および P37DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定			
		EXDMAC*	TPU	PPG	I/O ポート
		$\overline{\text{EDRAK3_OE}}^*$	TIOCB2_OE	PO15_OE	P37DDR
EXDMAC*	$\overline{\text{EDRAK3}}$ 出力*	1	—	—	—
TPU	TIOCB2 出力	0	1	—	—
PPG	PO15 出力	0	0	1	—
I/O ポート	P37 出力	0	0	0	1
	P37 入力 (初期値)	0	0	0	0

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート

(2) P36/PO14/TIOCA2/EDRAK2*

EXDMAC*、TPU、PPG のレジスタの設定、および P36DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定			
		EXDMAC*	TPU	PPG	I/O ポート
		$\overline{\text{EDRAK2_OE}}^*$	$\overline{\text{TIOCB2_OE}}$	PO14_OE	P36DDR
EXDMAC*	$\overline{\text{EDRAK2}}$ 出力*	1	—	—	—
TPU	TIOCB2 出力	0	1	—	—
PPG	PO14 出力	0	0	1	—
I/O ポート	P36 出力	0	0	0	1
	P36 入力 (初期値)	0	0	0	0

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート

(3) P35/PO13/TIOCA1/TIOCB1/TCLKC-A/DACK1-B/EDACK3*

EXDMAC*、DMAC、TPU、PPG のレジスタの設定、および P35DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定				
		EXDMAC*	DMAC	TPU	PPG	I/O ポート
		$\overline{\text{EDACK3_OE}}^*$	$\overline{\text{DACK1B_OE}}$	TIOCB1_OE	PO13_OE	P35DDR
EXDMAC*	$\overline{\text{EDACK3}}$ 出力*	1	—	—	—	—
DMAC	$\overline{\text{DACK1B}}$ 出力	0	1	—	—	—
TPU	TIOCB1 出力	0	0	1	—	—
PPG	PO13 出力	0	0	0	1	—
I/O ポート	P35 出力	0	0	0	0	1
	P35 入力 (初期値)	0	0	0	0	0

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート

(4) P34/PO12/TIOCA1/TEND1-B/ETEND3*

EXDMAC*、DMAC、TPU、PPG のレジスタの設定、および P34DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定				
		EXDMAC*	DMAC	TPU	PPG	I/O ポート
		$\overline{\text{ETEND3_OE}}^*$	$\overline{\text{TEND1B_OE}}$	TIOCA1_OE	PO12_OE	P34DDR
EXDMAC*	$\overline{\text{ETEND3}}$ 出力*	1	—	—	—	—
DMAC	$\overline{\text{TEND1B}}$ 出力	0	1	—	—	—
TPU	TIOCA1 出力	0	0	1	—	—
PPG	PO12 出力	0	0	0	1	—
I/O ポート	P34 出力	0	0	0	0	1
	P34 入力 (初期値)	0	0	0	0	0

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート

13. I/O ポート

(5) P33/PO11/TIOCC0/TIOCD0/TCLKB-A/DREQ1-B/EDREQ3*

TPU、PPG のレジスタの設定、および P33DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定		
		TPU	PPG	I/O ポート
		TIOCD0_OE	PO11_OE	P33DDR
TPU	TIOCD0 出力	1	—	—
PPG	PO11 出力	0	1	—
I/O ポート	P33 出力	0	0	1
	P33 入力 (初期値)	0	0	0

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート

(6) P32/PO10/TIOCC0/TCLKA-A/DACK0-B/EDACK2*

EXDMAC*、DMAC、TPU、PPG のレジスタの設定、および P32DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定				
		EXDMAC*	DMAC	TPU	PPG	I/O ポート
		EDACK2_OE*	DACK0B_OE	TIOCC0_OE	PO10_OE	P32DDR
EXDMAC*	EDACK2 出力*	1	—	—	—	—
DMAC	DACK0-B 出力	0	1	—	—	—
TPU	TIOCC0 出力	0	0	1	—	—
PPG	PO10 出力	0	0	0	1	—
I/O ポート	P32 出力	0	0	0	0	1
	P32 入力 (初期値)	0	0	0	0	0

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート

(7) P31/PO9/TIOCA0/TIOCB0/ $\overline{\text{TEND0-B}}$ / $\overline{\text{ETEND2}}$ *

EXDMAC*、DMAC、TPU、PPG のレジスタの設定、および P31DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定				
		EXDMAC*	DMAC	TPU	PPG	I/O ポート
		$\overline{\text{ETEND2_OE}}$ *	$\overline{\text{TEND0B_OE}}$	TIOCB0_OE	PO9_OE	P31DDR
EXDMAC*	$\overline{\text{ETEND2}}$ 出力*	1	—	—	—	—
DMAC	$\overline{\text{TEND0-B}}$ 出力	0	1	—	—	—
TPU	TIOCB0 出力	0	0	1	—	—
PPG	PO9 出力	0	0	0	1	—
I/O ポート	P31 出力	0	0	0	0	1
	P31 入力 (初期値)	0	0	0	0	0

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート

(8) P30/PO8/TIOCA0/ $\overline{\text{DREQ0-B}}$ / $\overline{\text{EDREQ2}}$ *

TPU、PPG のレジスタの設定、および P33DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定		
		TPU	PPG	I/O ポート
		TIOCA0_OE	PO8_OE	P30DDR
TPU	TIOCA0 出力	1	—	—
PPG	PO8 出力	0	1	—
I/O ポート	P30 出力	0	0	1
	P30 入力 (初期値)	0	0	0

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート

13.2.4 ポート 5

(1) P57/AN7/DA1/ $\overline{\text{IRQ7-B}}$

モジュール名	端子機能
D/A 変換器	DA1 出力

(2) P56/AN6/DA0/ $\overline{\text{IRQ6-B}}$

モジュール名	端子機能
D/A 変換器	DA0 出力

13. I/O ポート

13.2.5 ポート 6

(1) P67/IRQ15-B/EDRAK1-B*

- H8SX/1648グループ

SCI のレジスタ設定、P67DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定	
		SCI	I/O ポート
		$\overline{\text{SCK6_OE}}$	P6nDDR
I/O ポート	P67 出力	—	1
		1	0
	P67 入力 (初期値)	0	0

- H8SX/1648Aグループ、H8SX/1648Lグループ

P67DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定	
		I/O ポート	
		P67DDR	
I/O ポート	P67 出力	1	
	P67 入力 (初期値)	0	

- H8SX/1648Gグループ、H8SX/1648Hグループ

EXDMAC*のレジスタ設定、P67DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定	
		EXDMAC*	I/O ポート
		$\overline{\text{EDRAK1B_OE}}$ *	P6nDDR
EXDMAC*	$\overline{\text{EDRAK1B}}$ 出力*	1	0
I/O ポート	P67 出力	0	1
	P67 入力 (初期値)	0	0

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート

(2) P66/EDRAK0-B*

• H8SX/1648グループ

SCI のレジスタ設定、P66DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定	
		SCI	I/O ポート
		TxD6_OE	P6nDDR
I/O ポート	P66 出力	—	1
		1	0
	P66 入力 (初期値)	0	0

• H8SX/1648Aグループ、H8SX/1648Lグループ

P66DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定	
		I/O ポート	
		P66DDR	
I/O ポート	P66 出力	1	
	P66 入力 (初期値)	0	

• H8SX/1648Gグループ、H8SX/1648Hグループ

EXDMAC*のレジスタ設定、P66DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定	
		EXDMAC*	I/O ポート
		EDRAK0B_OE*	P6nDDR
EXDMAC*	EDRAK0-B 出力*	1	0
I/O ポート	P66 出力	0	1
	P66 入力 (初期値)	0	0

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート

13. I/O ポート

(3) P65/TMO3/DACK3/EDACK1-B*²/TCK/SCK6/IRQ13-B

動作モード、EXDMAC*²、DMAC、TMR、SCI のレジスタの設定、および P65DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定					
		MCU 動作モード	SCI	EXDMAC* ²	DMAC	TMR	I/O ポート
			$\overline{\text{SCK6}}_{\text{OE}}$	$\overline{\text{EDACK1B}}_{\text{OE}}^{*2}$	$\overline{\text{DACK3}}_{\text{OE}}$	TMO3_OE	P65DDR
SCI	SCK6 出力	バウンダリ スキャン 有効モード以外* ¹	1	—	—	—	—
EXDMAC* ²	EDACK1-B 出力* ²		0	1	—	—	—
DMAC	DACK3 出力		0	0	1	—	—
TMR	TMO3 出力		0	0	0	1	—
I/O ポート	P65 出力		0	0	0	0	1
	P65 入力 (初期値)		0	0	0	0	0

【注】 *1 バウンダリスキャン有効モードのとき、バウンダリスキャン専用入力端子になります。

*2 H8SX/1648G グループ、H8SX/1648H グループのみサポート

(4) P64/TMC13/TEND3/ETEND1-B*²/TDI/RxD6/IRQ12-B

動作モード、EXDMAC*²、DMAC のレジスタの設定、および P64DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定			
		MCU 動作モード	EXDMAC* ²	DMAC	I/O ポート
			ETEND1B_OE* ²	TEND3_OE	P64DDR
EXDMAC* ²	ETEND1-B 出力* ²	バウンダリ	1	—	—
DMAC	TEND3 出力	スキャン有効	0	1	—
I/O ポート	P64 出力	モード以外* ¹	0	0	1
	P64 入力 (初期値)		0	0	0

【注】 *1 バウンダリスキャン有効モードのとき、バウンダリスキャン専用入力端子になります。

*2 H8SX/1648G グループ、H8SX/1648H グループのみサポート

(5) P63/TMRI3/DREQ3/EDREQ1-B*²/IRQ11-B/TxD6/TMS

動作モード、DSCI のレジスタの設定、および P63DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定		
		MCU 動作モード	SCI	I/O ポート
			TxD6_OE	P63DDR
SCI	TxD6 出力	バウンダリスキャン	1	—
I/O ポート	P63 出力	有効モード以外* ¹	0	1
	P63 入力 (初期値)		0	0

【注】 *1 バウンダリスキャン有効モードのとき、バウンダリスキャン専用入力端子になります。

*2 H8SX/1648G グループ、H8SX/1648H グループのみサポート

13. I/O ポート

(6) P62/TMO2/SCK4/DACK2/EDACK0-B*²/IRQ10-B/TRST

動作モード、EXDMAC*²、DMAC、TMR、SCI のレジスタの設定、および P62DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定					
		MCU 動作モード	EXDMAC* ²	DMAC	TMR	SCI	I/O ポート
			$\overline{\text{EDACK0B_OE}}^*2$	DACK2_OE	TMO2_OE	SCK4_OE	P62DDR
EXDMAC* ²	$\overline{\text{EDACK0B}}$ 出力* ²	バウンダリ スキャン 有効モード以外* ¹	1	—	—	—	—
DMAC	DACK2 出力		0	1	—	—	—
TMR	TMO2 出力		0	0	1	—	—
SCI	SCK4 出力		0	0	0	1	—
I/O ポート	P62 出力		0	0	0	0	1
	P62 入力 (初期値)		0	0	0	0	0

【注】 *1 バウンダリスキャン有効モードのとき、バウンダリスキャン専用入力端子になります。

*2 H8SX/1648G グループ、H8SX/1648H グループのみサポート

(7) P61/TMC12/RxD4/TEND2/ETEND0-B*/IRQ9-B

EXDMAC*、DMAC のレジスタの設定、および P61DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定		
		EXDMAC*	DMAC	I/O ポート
		$\overline{\text{ETEND0B_OE}}^*$	TEND2_OE	P61DDR
EXDMAC*	$\overline{\text{ETEND0B}}$ 出力*	1	—	—
DMAC	TEND2 出力	0	1	—
I/O ポート	P61 出力	0	0	1
	P61 入力 (初期値)	0	0	0

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート

(8) P60/TMR12/TxD4/DREQ2/EDREQ0-B*/IRQ8-B

SCI のレジスタの設定、および P60DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定	
		SCI	I/O ポート
		TxD4_OE	P60DDR
SCI	TxD4 出力	1	—
I/O ポート	P60 出力	0	1
	P60 入力 (初期値)	0	0

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート

13.2.6 ポート A

(1) PA7/Bφ

PA7DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設 定	
		I/O ポート	
		PA7DDR	
I/O ポート	Bφ 出力 (初期値 E)	1	
	PA7 入力 (初期値 S)	0	

【記号説明】 初期値 E : 外部拡張モード時の初期値

初期値 S : シングルチップモード時の初期値

(2) PA6/AS/AH/BS-B

動作モードと EXPE ビット、バスコントローラのレジスタ、ポートファンクションコントロールレジスタ (PFCR) の設定、および PA6DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設 定			
		バスコントローラ	I/O ポート		
		AH_OE	BSB_OE	AS_OE	PA6DDR
バスコントローラ	AH 出力*	1	—	—	—
	BS-B 出力*	0	1	—	—
	AS 出力* (初期値 E)	0	0	1	—
I/O ポート	PA6 出力	0	0	0	1
	PA6 入力 (初期値 S)	0	0	0	0

【記号説明】 初期値 E : 外部拡張モード時の初期値

初期値 S : シングルチップモード時の初期値

【注】 * 外部拡張モード (EXPE=1) のとき有効

13. I/O ポート

(3) PA5/ \overline{RD}

動作モードと EXPE ビット、および PA5DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設 定	
		MCU 動作モード	I/O ポート
		EXPE	PA5DDR
バスコントローラ	\overline{RD} 出力* (初期値 E)	1	—
I/O ポート	PA5 出力	0	1
	PA5 入力 (初期値 S)	0	0

【記号説明】 初期値 E：外部拡張モード時の初期値

初期値 S：シングルチップモード時の初期値

【注】 * 外部拡張モード (EXPE=1) のとき有効

(4) PA4/ \overline{LHWR} / \overline{LUB}

動作モードと EXPE ビット、バスコントローラのレジスタ、ポートファンクションコントロールレジスタ (PFCR) の設定、および PA4DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設 定		
		バスコントローラ	I/O ポート	
		LUB_OE* ²	\overline{LHWR} _OE* ²	PA4DDR
バスコントローラ	\overline{LUB} 出力* ¹	1	—	—
	\overline{LHWR} 出力* ¹ (初期値 E)	—	1	—
I/O ポート	PA4 出力	0	0	1
	PA4 入力 (初期値 S)	0	0	0

【記号説明】 初期値 E：外部拡張モード時の初期値

初期値 S：シングルチップモード時の初期値

【注】 *¹ 外部拡張モード (EXPE=1) のとき有効

*² バイト制御 SRAM 空間設定時、または \overline{LHWR} _OE=1 のとき、バイト制御 SRAM 空間をアクセスすると \overline{LUB} が出力されます。それ以外のとき、 \overline{LHWR} 出力となります。

(5) PA3/ $\overline{\text{LLWR}}$ / $\overline{\text{LLB}}$

動作モードと EXPE ビット、バスコントローラのレジスタの設定、および PA3DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設 定		
		バスコントローラ		I/O ポート
		$\overline{\text{LLB}}_{\text{OE}}^{*2}$	$\overline{\text{LLWR}}_{\text{OE}}^{*2}$	PA3DDR
バスコントローラ	$\overline{\text{LLB}}$ 出力*1	1	—	—
	$\overline{\text{LLWR}}$ 出力*1 (初期値 E)	—	1	—
I/O ポート	PA3 出力	0	0	1
	PA3 入力 (初期値 S)	0	0	0

【記号説明】 初期値 E : 外部拡張モード時の初期値

初期値 S : シングルチップモード時の初期値

【注】 *1 外部拡張モード (EXPE=1) のとき有効

*2 バイト制御 SRAM 空間をアクセスすると $\overline{\text{LLB}}$ が出力されます。それ以外の外部空間をアクセスすると $\overline{\text{LLWR}}$ が出力されます。

(6) PA2/ $\overline{\text{BREQ}}$ / $\overline{\text{WAIT-A}}$

バスコントローラのレジスタの設定、および PA2DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設 定		
		バスコントローラ		I/O ポート
		BCR_BRLE	BCR_WAITE	PA2DDR
バスコントローラ	$\overline{\text{BREQ}}$ 入力	1	—	—
	$\overline{\text{WAIT-A}}$ 入力	0	1	—
I/O ポート	PA2 出力	0	0	1
	PA2 入力 (初期値)	0	0	0

13. I/O ポート

(7) PA1/ $\overline{\text{BACK}}$ /(RD/ $\overline{\text{WR}}$ -A)

動作モードと EXPE ビット、バスコントローラのレジスタ、ポートファンクションコントロールレジスタ (PFCR) の設定、および PA1DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設 定			
		バスコントローラ		I/O ポート	
		$\overline{\text{BACK}}_{\text{OE}}$	バイト制御 SRAM 選択	(RD/ $\overline{\text{WR}}$)-A_OE	PA1DDR
バスコントローラ	$\overline{\text{BACK}}$ 出力*	1	—	—	—
	RD/ $\overline{\text{WR}}$ -A 出力*	0	1	—	—
		0	0	1	—
I/O ポート	PA1 出力	0	0	0	1
	PA1 入力 (初期値)	0	0	0	0

【注】 * 外部拡張モード (EXPE=1) のとき有効

(8) PA0/ $\overline{\text{BREQO}}$ / $\overline{\text{BS}}$ -A

動作モードと EXPE ビット、バスコントローラのレジスタ、ポートファンクションコントロールレジスタ (PFCR) の設定、および PA0DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設 定		
		I/O ポート	バスコントローラ	I/O ポート
		$\overline{\text{BSA}}_{\text{OE}}$	$\overline{\text{BREQO}}_{\text{OE}}$	PA0DDR
バスコントローラ	$\overline{\text{BS}}$ -A 出力*	1	—	—
	$\overline{\text{BREQO}}$ 出力*	0	1	—
I/O ポート	PA0 出力	0	0	1
	PA0 入力 (初期値)	0	0	0

【注】 * 外部拡張モード (EXPE=1) のとき有効

13.2.7 ポート B

(1) PB7/ $\overline{\text{CS7-D}}$ /SD ϕ *³

動作モードと EXPE ビット、ポートファンクションコントロールレジスタ (PFCR) の設定、および PB7DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設 定		
		MCU 動作モード	バスコントローラ	I/O ポート
		SDRAM	$\overline{\text{CS7D}}_{\text{OE}}$	PB7DDR
クロック発振器	SD ϕ 出力* ^{1*3}	1	—	—
バスコントローラ	$\overline{\text{CS7-D}}$ 出力* ²	0	1	—
I/O ポート	PB7 出力	0	0	1
	PB7 入力 (初期値)	0	0	0

【注】 *1 SDRAM モードのとき有効

*2 外部拡張モード (EXPE=1) のとき有効

*3 H8SX/1648G グループ、H8SX/1648H グループのみサポート

(2) PB6/ $\overline{\text{CS6-D}}$ /(RD/ $\overline{\text{WR}}$ -B)/ADTRG $\overline{\text{0-B}}$

動作モードと EXPE ビット、バスコントローラのレジスタ、ポートファンクションコントロールレジスタ (PFCR) の設定、および PB6DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設 定			
		I/O ポート			
		バイト制御 SRAM 選択	(RD/ $\overline{\text{WR}}$)-B_OE	CS6D_OE	PB6DDR
バスコントローラ	RD/ $\overline{\text{WR}}$ -B 出力*	1	—	—	—
		0	1	—	—
	$\overline{\text{CS6-D}}$ 出力*	0	0	1	—
I/O ポート	PB6 出力	0	0	0	1
	PB6 入力 (初期値)	0	0	0	0

【注】 * 外部拡張モード (EXPE=1) のとき有効

13. I/O ポート

(3) PB5/ $\overline{\text{CS5-D}}$ / $\overline{\text{OE}}$ *²/ CKE *²

動作モードと EXPE ビット、バスコントローラのレジスタ、ポートファンクションコントロールレジスタ (PFCR) の設定、および PB5DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設 定			
		バスコントローラ		I/O ポート	
		CKE_OE	$\overline{\text{OE}}$ _OE	$\overline{\text{CS5D}}$ _OE	PB5DDR
バスコントローラ	CKE 出力* ¹ * ²	1	—	—	—
	$\overline{\text{OE}}$ 出力* ¹ * ²	0	1	—	—
	$\overline{\text{CS5-D}}$ 出力* ¹	0	0	1	—
I/O ポート	PB5 出力	0	0	0	1
	PB5 入力 (初期値)	0	0	0	0

【注】 *1 外部拡張モード (EXPE=1) のとき有効

*2 H8SX/1648G グループ、H8SX/1648H グループのみサポート

(4) PB4/ $\overline{\text{CS4-B}}$ / $\overline{\text{WE}}$ *²

動作モードと EXPE ビット、バスコントローラのレジスタ、ポートファンクションコントロールレジスタ (PFCR) の設定、および PB4DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設 定		
		バスコントローラ	I/O ポート	バスコントローラ
		$\overline{\text{WE}}$ _OE	$\overline{\text{CS4B}}$ _OE	PB4DDR
バスコントローラ	$\overline{\text{WE}}$ 出力* ¹ * ²	1	—	—
	$\overline{\text{CS4-B}}$ 出力* ¹	0	1	—
I/O ポート	PB4 出力	0	0	1
	PB4 入力 (初期値)	0	0	0

【注】 *1 外部拡張モード (EXPE=1) のとき有効

*2 H8SX/1648G グループ、H8SX/1648H グループのみサポート

(5) PB3/ $\overline{\text{CS3-A}}$ / $\overline{\text{CS7-A}}$ / $\overline{\text{CAS}}$ *²

動作モードと EXPE ビット、バスコントローラのレジスタ、ポートファンクションコントロールレジスタ (PFCR) の設定、および PB3DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設 定			
		バスコントローラ	I/O ポート		
		$\overline{\text{CAS}}_{\text{OE}}$	$\overline{\text{CS3A}}_{\text{OE}}$	$\overline{\text{CS7A}}_{\text{OE}}$	PB3DDR
バスコントローラ	$\overline{\text{CAS}}$ 出力* ¹ * ²	1	—	—	—
	$\overline{\text{CS3-A}}$ 出力* ¹	0	1	—	—
	$\overline{\text{CS7-A}}$ 出力* ¹	0	—	1	—
I/O ポート	PB3 出力	0	0	0	1
	PB3 入力 (初期値)	0	0	0	0

【注】 *1 外部拡張モード (EXPE=1) のとき有効

*2 H8SX/1648G グループ、H8SX/1648H グループのみサポート

(6) PB2/ $\overline{\text{CS2-A}}$ / $\overline{\text{CS6-A}}$ / $\overline{\text{RAS}}$ *²

動作モードと EXPE ビット、バスコントローラのレジスタ、ポートファンクションコントロールレジスタ (PFCR) の設定、および PB2DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設 定			
		バスコントローラ	I/O ポート		
		$\overline{\text{RAS}}_{\text{OE}}$	$\overline{\text{CS2A}}_{\text{OE}}$	$\overline{\text{CS6A}}_{\text{OE}}$	PB2DDR
バスコントローラ	$\overline{\text{RAS}}$ 出力* ¹ * ²	1	—	—	—
	$\overline{\text{CS2-A}}$ 出力* ¹	0	1	—	—
	$\overline{\text{CS6-A}}$ 出力* ¹	0	—	1	—
I/O ポート	PB2 出力	0	0	0	1
	PB2 入力 (初期値)	0	0	0	0

【注】 *1 外部拡張モード (EXPE=1) のとき有効

*2 H8SX/1648G グループ、H8SX/1648H グループのみサポート

13. I/O ポート

(7) PB1/ $\overline{\text{CS1}}$ / $\overline{\text{CS2-B}}$ / $\overline{\text{CS5-A}}$ / $\overline{\text{CS6-B}}$ / $\overline{\text{CS7-B}}$

動作モードと EXPE ビット、ポートファンクションコントロールレジスタ (PFCR) の設定、および PB1DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設 定					
		I/O ポート					
		$\overline{\text{CS1}}_{\text{OE}}$	$\overline{\text{CS2B}}_{\text{OE}}$	$\overline{\text{CS5A}}_{\text{OE}}$	$\overline{\text{CS6B}}_{\text{OE}}$	$\overline{\text{CS7B}}_{\text{OE}}$	PB1DDR
バスコントローラ	$\overline{\text{CS1}}$ 出力*	1	—	—	—	—	—
	$\overline{\text{CS2-B}}$ 出力*	—	1	—	—	—	—
	$\overline{\text{CS5-A}}$ 出力*	—	—	1	—	—	—
	$\overline{\text{CS6-B}}$ 出力*	—	—	—	1	—	—
	$\overline{\text{CS7-B}}$ 出力*	—	—	—	—	1	—
I/O ポート	PB1 出力	0	0	0	0	0	1
	PB1 入力 (初期値)	0	0	0	0	0	0

【注】 * 外部拡張モード (EXPE=1) のとき有効

(8) PB0/ $\overline{\text{CS0}}$ / $\overline{\text{CS4-A}}$ / $\overline{\text{CS5-B}}$

動作モードと EXPE ビット、ポートファンクションコントロールレジスタ (PFCR) の設定、および PB0DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設 定			
		I/O ポート			
		$\overline{\text{CS0}}_{\text{OE}}$	$\overline{\text{CS4A}}_{\text{OE}}$	$\overline{\text{CS5B}}_{\text{OE}}$	PB0DDR
バスコントローラ	$\overline{\text{CS0}}$ 出力 (初期値 E)	1	—	—	—
	$\overline{\text{CS4-A}}$ 出力	—	1	—	—
	$\overline{\text{CS5-B}}$ 出力	—	—	1	—
I/O ポート	PB0 出力	0	0	0	1
	PB0 入力 (初期値 S)	0	0	0	0

【記号説明】 初期値 E : 内蔵 ROM 無効拡張モード時の初期値

初期値 S : 内蔵 ROM 無効拡張モード以外の初期値

13.2.8 ポート C

(1) PC5、PC4/ADTRG2

PCnDDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設 定	
		I/O ポート	
		PCnDDR	
I/O ポート	PCn 出力	1	
	PCn 入力 (初期値)	0	

【記号説明】 n : 4~5

(2) PC3/LLCAS*²/DQMLL*²

動作モードと EXPE ビット、バスコントローラのレジスタの設定、および PC3DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設 定		
		バスコントローラ		I/O ポート
		LLCAS_OE	DQMLL_OE	PC3DDR
バスコントローラ	LLCAS 出力* ¹ * ²	1	—	—
	DQMLL 出力* ¹ * ²	—	1	—
I/O ポート	PC3 出力	0	0	1
	PC3 入力 (初期値)	0	0	0

【注】 *1 外部拡張モード (EXPE=1) のとき有効

*2 H8SX/1648G グループ、H8SX/1648H グループのみサポート

(3) PC2/LUCAS*²/DQMLU*²

動作モードと EXPE ビット、バスコントローラのレジスタの設定、および PC2DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設 定		
		バスコントローラ		I/O ポート
		LUCAS_OE	DQMLU_OE	PC2DDR
バスコントローラ	LUCAS 出力* ¹ * ²	1	—	—
	DQMLU 出力* ¹ * ²	—	1	—
I/O ポート	PC2 出力	0	0	1
	PC2 入力 (初期値)	0	0	0

【注】 *1 外部拡張モード (EXPE=1) のとき有効

*2 H8SX/1648G グループ、H8SX/1648H グループのみサポート

13. I/O ポート

(4) PC1/ $\overline{\text{CS4-C}}$ / $\overline{\text{CS5-C}}$ / $\overline{\text{CS6-C}}$ / $\overline{\text{CS7-C}}$

動作モードと EXPE ビット、ポートファンクションコントロールレジスタ (PFCR) の設定、および PC1DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設 定				
		I/O ポート				
		$\overline{\text{CS4C_OE}}$	$\overline{\text{CS5C_OE}}$	$\overline{\text{CS6C_OE}}$	$\overline{\text{CS7C_OE}}$	PC1DDR
バスコントローラ	$\overline{\text{CS4-C}}$ 出力*	1	—	—	—	—
	$\overline{\text{CS5-C}}$ 出力*	—	1	—	—	—
	$\overline{\text{CS6-C}}$ 出力*	—	—	1	—	—
	$\overline{\text{CS7-C}}$ 出力*	—	—	—	1	—
I/O ポート	PC1 出力	0	0	0	0	1
	PC1 入力 (初期値)	0	0	0	0	0

【注】 * 外部拡張モード (EXPE=1) のとき有効

(5) PC0/ $\overline{\text{CS3-B}}$ / $\overline{\text{WAIT-B}}$ / $\overline{\text{ADTRG1-B}}$

動作モードと EXPE ビット、ポートファンクションコントロールレジスタ (PFCR) の設定、および PC0DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設 定		
		バスコントローラ	I/O ポート	
		BCR の WAITE	$\overline{\text{CS3B_OE}}$	PC0DDR
バスコントローラ	$\overline{\text{WAIT-B}}$ 入力*	1	—	—
	$\overline{\text{CS3-B}}$ *	0	1	—
I/O ポート	PC0 出力	0	0	1
	PC0 入力 (初期値)	0	0	0

【注】 * 外部拡張モード (EXPE=1) のとき有効

13.2.9 ポート D

ポート D は、動作モードと EXPE ビットおよび PCJKE ビットにより、ポート J と切り替えることができます。シングルチップモード (EXPE=0) のとき、PCJKE ビットの設定により切り替えることができます。ただし、外部拡張モードのとき、PCJKE ビットを書き換えないでください。詳細は「13.3.12 ポートファンクションコントロールレジスタ D (PFCRD)」を参照してください。

(1) PD7/A7、PD6/A6、PD5/A5、PD4/A4、PD3/A3、PD2/A2、PD1/A1、PD0/A0

動作モードと EXPE ビット、および PDnDDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設 定	
		MCU 動作モード	I/O ポート
			PDnDDR
バスコントローラ	アドレス出力	内蔵 ROM 無効拡張モード	—
		内蔵 ROM 有効拡張モード	1
I/O ポート	PDn 出力	シングルチップモード*	1
	PDn 入力 (初期値)	内蔵 ROM 無効拡張モード以外	0

【記号説明】 n : 0~7

【注】 * 外部拡張モード (EXPE=1) のとき、PDnDDR=1 でアドレス出力とすることができます。

13.2.10 ポート E

ポート E は、動作モードと EXPE ビットおよび PCJKE ビットにより、ポート K と切り替えることができます。シングルチップモード (EXPE=0) のとき、PCJKE ビットの設定により切り替えることができます。ただし、外部拡張モードのとき、PCJKE ビットを書き換えないでください。詳細は「13.3.12 ポートファンクションコントロールレジスタ D (PFCRD)」を参照してください。

(1) PE7/A15、PE6/A14、PE5/A13、PE4/A12、PE3/A11、PE2/A10、PE1/A9、PE0/A8

動作モードと EXPE ビット、および PEnDDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設 定	
		MCU 動作モード	I/O ポート
			PEnDDR
バスコントローラ	アドレス出力	内蔵 ROM 無効拡張モード	—
		内蔵 ROM 有効拡張モード	1
I/O ポート	PEn 出力	シングルチップモード*	1
	PEn 入力 (初期値)	内蔵 ROM 無効拡張モード以外	0

【記号説明】 n : 0~7

【注】 * 外部拡張モード (EXPE=1) のとき、PEnDDR=1 でアドレス出力とすることができます。

13. I/O ポート

13.2.11 ポート F

(1) PF7/A23/SCK5

SCI のレジスタの設定、動作モードと EXPE ビット、ポートファンクションコントロールレジスタ (PFCR) の設定、および PF7DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設 定		
		SCI	I/O ポート	I/O ポート
		SCK5_OE	A23_OE	PF7DDR
SCI	SCK5 出力	1	—	—
バスコントローラ	A23 出力*	0	1	—
I/O ポート	PF7 出力	0	0	1
	PF7 入力 (初期値)	0	0	0

【注】 * 外部拡張モード (EXPE=1) のとき有効

(2) PF6/A22/RxD5/IrRXD

動作モードと EXPE ビット、ポートファンクションコントロールレジスタ (PFCR) の設定、および PF6DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設 定	
		I/O ポート	I/O ポート
		A22_OE	PF6DDR
バスコントローラ	A22 出力*	1	—
I/O ポート	PF6 出力	0	1
	PF6 入力 (初期値)	0	0

【注】 * 外部拡張モード (EXPE=1) のとき有効

(3) PF5/A21/TxD5/IrTXD

SCI、IrDA のレジスタの設定、動作モードと EXPE ビット、ポートファンクションコントロールレジスタ (PFCR) の設定、および PF5DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設 定			
		SCI	IrDA	I/O ポート	I/O ポート
		TxD5_OE	IrTXD_OE	A21_OE	PF5DDR
SCI	TxD5 出力	1	—	—	—
IrDA	IrTXD 出力	0	1	—	—
バスコントローラ	A21 出力*	0	0	1	—
I/O ポート	PF5 出力	0	0	0	1
	PF5 入力 (初期値)	0	0	0	0

【注】 * 外部拡張モード (EXPE=1) のとき有効

(4) PF4/A20

動作モードと EXPE ビット、ポートファンクションコントロールレジスタ (PFCR) の設定、および PF4DDR ビットにより、次のように切り替わります。

MCU 動作モード	モジュール名	端子機能	設定	
			I/O ポート	I/O ポート
			A20_OE	PF4DDR
内蔵 ROM 無効 拡張モード	バスコントローラ	A20 出力	—	—
内蔵 ROM 無効 拡張モード以外	バスコントローラ	A20 出力*	1	—
	I/O ポート	PF4 出力	0	1
		PF4 入力 (初期値)	0	0

【注】 * 外部拡張モード (EXPE=1) のとき有効

(5) PF3/A19

動作モードと EXPE ビット、ポートファンクションコントロールレジスタ (PFCR) の設定、および PF3DDR ビットにより、次のように切り替わります。

MCU 動作モード	モジュール名	端子機能	設定	
			I/O ポート	I/O ポート
			A19_OE	PF3DDR
内蔵 ROM 無効 拡張モード	バスコントローラ	A19 出力	—	—
内蔵 ROM 無効 拡張モード以外	バスコントローラ	A19 出力*	1	—
	I/O ポート	PF3 出力	0	1
		PF3 入力 (初期値)	0	0

【注】 * 外部拡張モード (EXPE=1) のとき有効

13. I/O ポート

(6) PF2/A18

動作モードと EXPE ビット、ポートファンクションコントロールレジスタ (PFCR) の設定、および PF2DDR ビットにより、次のように切り替わります。

MCU 動作モード	モジュール名	端子機能	設定	
			I/O ポート	I/O ポート
			A18_OE	PF2DDR
内蔵 ROM 無効 拡張モード	バスコントローラ	A18 出力	—	—
内蔵 ROM 無効 拡張モード以外	バスコントローラ	A18 出力*	1	—
	I/O ポート	PF2 出力	0	1
		PF2 入力 (初期値)	0	0

【注】 * 外部拡張モード (EXPE=1) のとき有効

(7) PF1/A17

動作モードと EXPE ビット、ポートファンクションコントロールレジスタ (PFCR) の設定、および PF1DDR ビットにより、次のように切り替わります。

MCU 動作モード	モジュール名	端子機能	設定	
			I/O ポート	I/O ポート
			A17_OE	PF1DDR
内蔵 ROM 無効 拡張モード	バスコントローラ	A17 出力	—	—
内蔵 ROM 無効 拡張モード以外	バスコントローラ	A17 出力*	1	—
	I/O ポート	PF1 出力	0	1
		PF1 入力 (初期値)	0	0

【注】 * 外部拡張モード (EXPE=1) のとき有効

(8) PF0/A16

動作モードと EXPE ビット、ポートファンクションコントロールレジスタ (PFCR) の設定、および PF0DDR ビットにより、次のように切り替わります。

MCU 動作モード	モジュール名	端子機能	設定	
			I/O ポート	I/O ポート
			A16_OE	PF0DDR
内蔵 ROM 無効 拡張モード	バスコントローラ	A16 出力	—	—
内蔵 ROM 無効 拡張モード以外	バスコントローラ	A16 出力*	1	—
	I/O ポート	PF0 出力	0	1
		PF0 入力 (初期値)	0	0

【注】 * 外部拡張モード (EXPE=1) のとき有効

13.2.12 ポート H

(1) PH7/D7、PH6/D6、PH5/D5、PH4/D4、PH3/D3、PH2/D2、PH1/D1、PH0/D0

動作モードと EXPE ビット、および PHnDDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定	
		MCU 動作モード	I/O ポート
		EXPE	PHnDDR
バスコントローラ	データ入出力* (初期値 E)	1	—
I/O ポート	PHn 出力	0	1
	PHn 入力 (初期値 S)	0	0

【記号説明】 初期値 E : 外部拡張モード時の初期値

初期値 S : シングルチップモード時の初期値

n : 7~0

【注】 * 外部拡張モード (EXPE=1) のとき有効

13. I/O ポート

13.2.13 ポート I

(1) PI7/D15、PI6/D14、PI5/D13、PI4/D12、PI3/D11、PI2/D10、PI1/D9、PI0/D8

動作モードとバスモード、EXPE ビット、および PInDDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設 定	
		バスコントローラ	I/O ポート
		16 ビットバスモード	PInDDR
バスコントローラ	データ入出力* (初期値 E)	1	—
I/O ポート	PIn 出力	0	1
	PIn 入力 (初期値 S)	0	0

【記号説明】 初期値 E：外部拡張モード時の初期値

初期値 S：シングルチップモード時の初期値

n：7～0

【注】 * 外部拡張モード (EXPE=1) のとき有効

13.2.14 ポート J

ポート J は、動作モードと EXPE ビットおよび PCJKE ビットにより、ポート D と切り替えることができます。シングルチップモード (EXPE=0) のとき、PCJKE ビットの設定により切り替えることができます。ただし、外部拡張モードのとき、PCJKE ビットを書き換えしないでください。詳細は「13.3.12 ポートファンクションコントロールレジスタ D (PFCRD)」を参照してください。

(1) PJ7/TIOCA8/TIOCB8/TCLKH/PO23

PPG、TPU のレジスタ設定、ポートファンクションコントロールレジスタ (PFCR) の設定、及び PJ7DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定		
		PPG	TPU	I/O ポート
		PO23_OE	TIOCB8_OE	PD7DDR
PPG	PO23 出力*	1	—	—
TPU	TIOCB8 出力*	0	1	—
I/O ポート	PJ7 出力*	0	0	1
	PJ7 入力*	0	0	0

【注】 * PCJKE=1 のとき、有効です。

(2) PJ6/TIOCA8/PO22

PPG、TPU のレジスタの設定、ポートファンクションコントロールレジスタ (PFCR) の設定、および PJ6DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定		
		PPG	TPU	I/O ポート
		PO22_OE	TIOCA8_OE	PJ6DDR
PPG	PO22 出力*	1	—	—
TPU	TIOCA8 出力*	0	1	—
I/O ポート	PJ6 出力*	0	0	1
	PJ6 入力*	0	0	0

【注】 * PCJKE=1 のとき、有効です。

(3) PJ5/TIOCA7/TIOCB7/TCLKG/PO21

PPG、TPU のレジスタの設定、ポートファンクションコントロールレジスタ (PFCR) の設定、および PJ5DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定		
		PPG	TPU	I/O ポート
		PO21_OE	TIOCB7_OE	PJ5DDR
PPG	PO21 出力*	1	—	—
TPU	TIOCB7 出力*	0	1	—
I/O ポート	PJ5 出力*	0	0	1
	PJ5 入力*	0	0	0

【注】 * PCJKE=1 のとき、有効です。

(4) PJ4/TIOCA7/PO20

PPG、TPU のレジスタの設定、ポートファンクションコントロールレジスタ (PFCR) の設定、および PJ4DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定		
		PPG	TPU	I/O ポート
		PO20_OE	TIOCA7_OE	PJ4DDR
PPG	PO20 出力*	1	—	—
TPU	TIOCA7 出力*	0	1	—
I/O ポート	PJ4 出力*	0	0	1
	PJ4 入力*	0	0	0

【注】 * PCJKE=1 のとき、有効です。

13. I/O ポート

(5) PJ3/PO19/TIOCC6/TIOCD6/TCLKF

PPG、TPU のレジスタの設定、ポートファンクションコントロールレジスタ (PFCR) の設定、および PJ3DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定		
		PPG	TPU	I/O ポート
		PO19_OE	TIOCD6_OE	PJ3DDR
PPG	PO19 出力*	1	—	—
TPU	TIOCD6 出力*	0	1	—
I/O ポート	PJ3 出力*	0	0	1
	PJ3 入力*	0	0	0

【注】 * PCJKE=1 のとき、有効です。

(6) PJ2/PO18/TIOCC6/TCLKE

PPG、TPU のレジスタの設定、ポートファンクションコントロールレジスタ (PFCR) の設定、および PJ2DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定		
		PPG	TPU	I/O ポート
		PO18_OE	TIOCC6_OE	PJ2DDR
PPG	PO18 出力*	1	—	—
TPU	TIOCC6 出力*	0	1	—
I/O ポート	PJ2 出力*	0	0	1
	PJ2 入力*	0	0	0

【注】 * PCJKE=1 のとき、有効です。

(7) PJ1/PO17/TIOCA6/TIOCB6

PPG、TPU のレジスタの設定、ポートファンクションコントロールレジスタ (PFCR) の設定、および PJ1DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定		
		PPG	TPU	I/O ポート
		PO17_OE	TIOCB6_OE	PJ1DDR
PPG	PO17 出力*	1	—	—
TPU	TIOCB6 出力*	0	1	—
I/O ポート	PJ1 出力*	0	0	1
	PJ1 入力*	0	0	0

【注】 * PCJKE=1 のとき、有効です。

(8) PJ0/PO16/TIOCA6

PPG、TPU のレジスタの設定、ポートファンクションコントロールレジスタ (PFCR) の設定、および PJ0DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定		
		PPG	TPU	I/O ポート
		PO16_OE	TIOCA6_OE	PJ0DDR
PPG	PO16 出力*	1	—	—
TPU	TIOCA6 出力*	0	1	—
I/O ポート	PJ0 出力*	0	0	1
	PJ0 入力*	0	0	0

【注】 * PCJKE=1 のとき、有効です。

13.2.15 ポート K

ポート K は、動作モードと EXPE ビットおよび PCJKE ビットにより、ポート E と切り替えることができます。シングルチップモード (EXPE=0) のとき、PCJKE ビットの設定により切り替えることができます。ただし、外部拡張モードのとき、PCJKE ビットを書き換えないでください。詳細は「13.3.12 ポートファンクションコントロールレジスタ D (PFCRD)」を参照してください。

(1) PK7/PO31/TIOCB11/TIOCB11

PPG、TPU のレジスタの設定、ポートファンクションコントロールレジスタ (PFCR) の設定、および PK7DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定		
		PPG	TPU	I/O ポート
		PO31_OE	TIOCB11_OE	PK7DDR
PPG	PO31 出力*	1	—	—
TPU	TIOCB11 出力*	0	1	—
I/O ポート	PK7 出力*	0	0	1
	PK7 入力*	0	0	0

【注】 * PCJKE=1 のとき、有効です。

13. I/O ポート

(2) PK6/PO30/TIOCA11

PPG、TPU のレジスタの設定、ポートファンクションコントロールレジスタ (PFCR) の設定、および PK6DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定		
		PPG	TPU	I/O ポート
		PO30_OE	TIOCA11_OE	PK6DDR
PPG	PO30 出力*	1	—	—
TPU	TIOCA11 出力*	0	1	—
I/O ポート	PK6 出力*	0	0	1
	PK6 入力*	0	0	0

【注】 * PCJKE=1 のとき、有効です。

(3) PK5/PO29/TIOCB10/TIOCB10

PPG、TPU のレジスタの設定、ポートファンクションコントロールレジスタ (PFCR) の設定、および PK5DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定		
		PPG	TPU	I/O ポート
		PO29_OE	TIOCB10_OE	PK5DDR
PPG	PO29 出力*	1	—	—
TPU	TIOCB10 出力*	0	1	—
I/O ポート	PK5 出力*	0	0	1
	PK5 入力*	0	0	0

【注】 * PCJKE=1 のとき、有効です。

(4) PK4/PO28/TIOCA10

PPG、TPU のレジスタの設定、ポートファンクションコントロールレジスタ (PFCR) の設定、および PK4DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定		
		PPG	TPU	I/O ポート
		PO28_OE	TIOCA10_OE	PK4DDR
PPG	PO28 出力*	1	—	—
TPU	TIOCA10 出力*	0	1	—
I/O ポート	PK4 出力*	0	0	1
	PK4 入力*	0	0	0

【注】 * PCJKE=1 のとき、有効です。

(5) PK3/PO27/TIOCC9/TIOCD9

PPG、TPU のレジスタの設定、ポートファンクションコントロールレジスタ (PFCR) の設定、および PK3DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定		
		PPG	TPU	I/O ポート
		PO27_OE	TIOCD9_OE	PK3DDR
PPG	PO27 出力*	1	—	—
TPU	TIOCD9 出力*	0	1	—
I/O ポート	PK3 出力*	0	0	1
	PK3 入力*	0	0	0

【注】 * PCJKE=1 のとき、有効です。

(6) PK2/PO26/TIOCC9

PPG、TPU のレジスタの設定、ポートファンクションコントロールレジスタ (PFCR) の設定、および PK2DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定		
		PPG	TPU	I/O ポート
		PO26_OE	TIOCC9_OE	PK2DDR
PPG	PO26 出力*	1	—	—
TPU	TIOCC9 出力*	0	1	—
I/O ポート	PK2 出力*	0	0	1
	PK2 入力*	0	0	0

【注】 * PCJKE=1 のとき、有効です。

(7) PK1/PO25/TIOCA9/TIOCB9

PPG、TPU のレジスタの設定、ポートファンクションコントロールレジスタ (PFCR) の設定、および PK1DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定		
		PPG	TPU	I/O ポート
		PO25_OE	TIOCB9_OE	PK1DDR
PPG	PO25 出力*	1	—	—
TPU	TIOCB9 出力*	0	1	—
I/O ポート	PK1 出力*	0	0	1
	PK1 入力*	0	0	0

【注】 * PCJKE=1 のとき、有効です。

13. I/O ポート

(8) PK0/PO24/TIOCA9

PPG、TPU のレジスタの設定、ポートファンクションコントロールレジスタ (PFCR) の設定、および PK0DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定		
		PPG	TPU	I/O ポート
		PO24_OE	TIOCA9_OE	PK0DDR
PPG	PO24 出力*	1	—	—
TPU	TIOCA9 出力*	0	1	—
I/O ポート	PK0 出力*	0	0	1
	PK0 入力*	0	0	0

【注】 * PCJKE=1 のとき、有効です。

13.2.16 ポート M*

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート。

(1) PM4

PM4DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設 定	
		I/O ポート	
		PM4DDR	
I/O ポート	PM4 出力	1	
	PM4 入力 (初期値)	0	

(2) PM3

PM3DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設 定	
		I/O ポート	
		PM3DDR	
I/O ポート	PM3 出力	1	
	PM3 入力 (初期値)	0	

(3) PM2

PM2DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設 定	
		I/O ポート	
		PM2DDR	
I/O ポート	PM2 出力	1	
	PM2 入力 (初期値)	0	

(4) PM1

PM1DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設 定	
		I/O ポート	
		PM1DDR	
I/O ポート	PM1 出力	1	
	PM1 入力 (初期値)	0	

(5) PM0

PM0DDR ビットにより次のように切り替わります。

モジュール名	端子機能	設 定	
		I/O ポート	
		PM0DDR	
I/O ポート	PM0 出力	1	
	PM0 入力 (初期値)	0	

13.2.17 ポート N

(1) PN3/SCL3

IIC2 のレジスタの設定および PN3DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定	
		IIC2	I/O ポート
		SCL3_OE	PN3DDR
IIC2	SCL3 入出力	1	—
I/O ポート	PN3 出力 (オープン ドレイン出力)	0	1
	PN3 入力 (初期値)	0	0

13. I/O ポート

(2) PN2/SDA3

IIC2 のレジスタの設定および PN2DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定	
		IIC2	I/O ポート
		SDA3_OE	PN2DDR
IIC2	SDA3 入出力	1	—
I/O ポート	PN2 出力 (オープン ドレイン出力)	0	1
	PN2 入力 (初期値)	0	0

(3) PN1/SCL2

IIC2 のレジスタの設定および PN1DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定	
		IIC2	I/O ポート
		SCL2_OE	PN1DDR
IIC2	SCL2 入出力	1	—
I/O ポート	PN1 出力 (オープン ドレイン出力)	0	1
	PN1 入力 (初期値)	0	0

(4) PN0/SDA2

IIC2 のレジスタの設定および PN0DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設 定	
		IIC2	I/O ポート
		SDA2_OE	PN0DDR
IIC2	SDA2 入出力	1	—
I/O ポート	PN0 出力 (オープン ドレイン出力)	0	1
	PN0 入力 (初期値)	0	0

表 13.5 各ポートの出力信号有効設定一覧

Port	出力設定 信号名	出力 信号名	信号選択 レジスタの設定	各内部モジュールの設定	
P1	7	$\overline{\text{EDRAK1A_OE}}^*$	$\overline{\text{EDRAK1}}^*$	PFCR8.EDMAS1[A,B]=00	SYSCR.EXPE=1,EDMDR_1.EDRAKE=1
		SCL0_OE	SCL0		ICCRA.ICE=1
	6	$\overline{\text{EDACK1A_OE}}^*$	$\overline{\text{EDACK1}}^*$	PFCR8.EDMAS1[A,B]=00	SYSCR.EXPE=1,EDACR_1.AMS=1、 EDMDR_1.EDACKE=1
		$\overline{\text{DACK1A_OE}}$	$\overline{\text{DACK1}}$	PFCR7.DMAS1[A,B]=00	DMAC.DACR_1.AMS=1,DMDR_1.DACKE=1
		SCK3_OE	SCK3		SCMR.SMIF=1 のとき : SMR.GM=0,SCR.CKE[1,0]=01 か SMR.GM=1 で、SCR.TE=1 か SCR.RE=1 SCMR.SMIF=0 のとき : SMR.C/A=0,SCR.CKE[1,0]=01 か SMR.C/A=1,SCR.CKE1=0 で、 SCR.TE=1 か SCR.RE=1
		SDA0_OE	SDA0		ICCRA.ICE=1
	5	$\overline{\text{ETEND1A_OE}}^*$	$\overline{\text{ETEND1}}^*$	PFCR8.EDMAS1[A,B]=00	SYSCR.EXPE=1,EDMDR_1.ETENDE=1
		$\overline{\text{TEND1A_OE}}$	$\overline{\text{TEND1}}$	PFCR7.DMAS1[A,B]=00	DMDR_1.TENDE=1
		SCL1_OE	SCL1		ICCRA.ICE=1
	4	TxD3_OE	TxD3		SCR.TE=1
		SDA1_OE	SDA1		ICCRA.ICE=1
	3	$\overline{\text{EDRAK0A_OE}}^*$	$\overline{\text{EDRAK0}}^*$	PFCR8.EDMAS0[A,B]=00	SYSCR.EXPE=1,EDMDR_0.EDRAKE=1
	2	$\overline{\text{EDACK0A_OE}}^*$	$\overline{\text{EDACK0}}^*$	PFCR8.EDMAS0[A,B]=00	SYSCR.EXPE=1,EDACR_0.AMS=1、 EDMDR_0.EDACKE=1
		$\overline{\text{DACK0A_OE}}$	$\overline{\text{DACK0}}$	PFCR7.DMAS0[A,B]=00	DMAC.DACR_0.AMS=1,DMDR_0.DACKE=1
		SCK2_OE	SCK2		SCMR.SMIF=1 のとき : SMR.GM=0,SCR.CKE[1,0]=01 か SMR.GM=1 で、SCR.TE=1 か SCR.RE=1 SCMR.SMIF=0 のとき : SMR.C/A=0,SCR.CKE[1,0]=01 か SMR.C/A=1,SCR.CKE1=0 で、 SCR.TE=1 か SCR.RE=1
	1	$\overline{\text{ETEND0A_OE}}^*$	$\overline{\text{ETEND0}}^*$	PFCR8.EDMAS0[A,B]=00	SYSCR.EXPE=1,EDMDR_0.ETENDE=1
		$\overline{\text{TEND0A_OE}}$	$\overline{\text{TEND0}}$	PFCR7.DMAS0[A,B]=00	DMDR_0.TENDE=1
0	TxD2_OE	TxD2		SCR.TE=1	
P2	7	TIOCB5_OE	TIOCB5		TPU.TIOR_5.IOB3=0,TPU.TIOR_5.IOB[1,0]= 01/10/11
		PO7_OE	PO7		NDERL.NDER7=1
	6	TIOCA5_OE	TIOCA5		TPU.TIOR_5.IOA3=0, TPU.TIOR_5.IOA[1,0]=01/10/11
		TMO1_OE	TMO1		TMR.TCSR_1.OS3,2=01/10/11 か TMR.TCSR_1.OS[1,0]=01/10/11
		TxD1_OE	TxD1		SCR.TE=1
		PO6_OE	PO6		NDERL.NDER6=1

13. I/O ポート

Port	出力設定 信号名	出力 信号名	信号選択 レジスタの設定	各内部モジュールの設定	
P2	5	TIOCA4_OE	TIOCA4		TPU.TIOR_4.IOA3=0, TPU.TIOR_4.IOA[1,0]=01/10/11
		PO5_OE	PO5		NDERL.NDER5=1
	4	TIOCB4_OE	TIOCB4		TPU.TIOR_4.IOB3=0,TPU.TIOR_4.IOB[1,0]=01/10/11
		SCK1_OE	SCK1		SCMR.SMIF=1 のとき : SMR.GM=0,SCR.CKE[1,0]=01 か SMR.GM=1 で、SCR.TE=1 か SCR.RE=1 SCMR.SMIF=0 のとき : SMR.C/A=0,SCR.CKE[1,0]=01 か SMR.C/A=1,SCR.CKE1=0 で、 SCR.TE=1 か SCR.RE=1
	PO4_OE	PO4		NDERL.NDER4=1	
	3	TIOCD3_OE	TIOCD3		TPU.TMDR.BFB=0,TPU.TIORL_3.IOD3=0, TPU.TIORL_3.IOD[1,0]=01/10/11
		PO3_OE	PO3		NDERL.NDER3=1
	2	TIOCC3_OE	TIOCC3		TPU.TMDR.BFA=0,TPU.TIORL_3.IOC3=0, TPU.TIORL_3.IOD[1,0]=01/10/11
		TMO0_OE	TMO0		TMR.TCSR_0.OS[3,2]=01/10/11 か TMR.TCSR_0.OS[1,0]=01/10/11
		TxD0_OE	TxD0		SCR.TE=1
		PO2_OE	PO2		NDERL.NDER2=1
	1	TIOCA3_OE	TIOCA3		TPU.TIORH_3.IOA3=0, TPU.TIORH_3.IOA[1,0]=01/10/11
		PO1_OE	PO1		NDERL.NDER1=1
	0	TIOCB3_OE	TIOCB3		TPU.TIORH_3.IOB3=0, TPU.TIORH_3.IOB[1,0]=01/10/11
		SCK0_OE	SCK0		SCMR.SMIF=1 のとき : SMR.GM=0,SCR.CKE[1,0]=01 か SMR.GM=1 で、SCR.TE=1 か SCR.RE=1 SCMR.SMIF=0 のとき : SMR.C/A=0,SCR.CKE[1,0]=01 か SMR.C/A=1,SCR.CKE1=0 で、 SCR.TE=1 か SCR.RE=1
		PO0_OE	PO0		NDERL.NDER0=1
P3	7	EDRAK3_OE*	EDRAK3*	PFCR8.EDMAS3[A,B]=00	SYSCR.EXPE=1,EDMDR_3.EDRAKE=1
		TIOCB2_OE	TIOCB2		TPU.TIOR_2.IOB3=0, TPU.TIOR_2.IOB[1,0]=01/10/11
		PO15_OE	PO15		NDERH.NDER15=1
	6	EDRAK2_OE*	EDRAK2*	PFCR8.EDMAS2[A,B]=00	SYSCR.EXPE=1,EDMDR_2.EDRAKE=1
TIOCA2_OE		TIOCA2		TPU.TIOR_2.IOA3=0,TPU.TIOR_2.IOA[1,0]= 01/10/11	

Port	出力設定 信号名	出力 信号名	信号選択 レジスタの設定	各内部モジュールの設定	
P3	6	PO14_OE	PO14		NDERH.NDER14=1
	5	$\overline{\text{EDACK3_OE}}^*$	$\overline{\text{EDACK3}}^*$	PFCR8.EDMAS3[A,B]=00	SYSCR.EXPE=1,EDACR_3.AMS=1, EDMDR_3.EDACKE=1
		$\overline{\text{DACK1B_OE}}$	$\overline{\text{DACK1}}$	PFCR7.DMAS1[A,B]=01	DMAC.DACR_1.AMS=1,DMDR_1.DACKE=1
		TIOCB1_OE	TIOCB1		TPU.TIOR_1.IOB3=0, TPU.TIOR_1.IOB[1,0]=01/10/11
		PO13_OE	PO13		NDERH.NDER13=1
	4	$\overline{\text{ETEND3_OE}}^*$	$\overline{\text{ETEND3}}^*$	PFCR8.EDMAS3[A,B]=00	SYSCR.EXPE=1,EDMDR_3.ETENDE=1
		$\overline{\text{TEND1B_OE}}$	$\overline{\text{TEND1}}$	PFCR7.DMAS1[A,B]=01	DMDR_1.TENDE=1
		TIOCA1_OE	TIOCA1		TPU.TIOR_1.IOA3=0, TPU.TIOR_1.IOA[1,0]=01/10/11
		PO12_OE	PO12		NDERH.NDER12=1
	3	TIOCD0_OE	TIOCD0		TPU.TMDR.BFB=0,TPU.TIORL_0.IOD3=0, TPU.TIORL_0.IOD[1,0]=01/10/11
		PO11_OE	PO11		NDERH.NDER11=1
	2	$\overline{\text{EDACK2_OE}}^*$	$\overline{\text{EDACK2}}^*$	PFCR8.EDMAS2[A,B]=00	SYSCR.EXPE=1,EDACR_2.AMS=1, EDMDR_2.EDACKE=1
		$\overline{\text{DACK0B_OE}}$	$\overline{\text{DACK0}}$	PFCR7.DMAS0[A,B]=01	DMAC.DACR_0.AMS=1,DMDR_0.DACKE=1
		TIOCC0_OE	TIOCC0		TPU.TMDR.BFA=0,TPU.TIORL_0.IOC3=0, TPU.TIORL_0.IOD[1,0]=01/10/11
		PO10_OE	PO10		NDERH.NDER10=1
	1	$\overline{\text{ETEND2_OE}}^*$	$\overline{\text{ETEND2}}^*$	PFCR8.EDMAS2[A,B]=00	SYSCR.EXPE=1,EDMDR_2.ETENDE=1
		$\overline{\text{TEND0B_OE}}$	$\overline{\text{TEND0}}$	PFCR7.DMAS0[A,B]=01	DMDR_0.TENDE=1
		TIOCB0_OE	TIOCB0		TPU.TIORH_0.IOB3=0, TPU.TIORH_0.IOB[1,0]=01/10/11
		PO9_OE	PO9		NDERH.NDER9=1
	0	TIOCA0_OE	TIOCA0		TPU.TIORH_0.IOA3=0, TPU.TIORH_0.IOA[1,0]=01/10/11
		PO8_OE	PO8		NDERH.NDER8=1

13. I/O ポート

Port	出力設定 信号名	出力 信号名	信号選択 レジスタの設定	各内部モジュールの設定	
P6	7	$\overline{\text{EDRAK1B_OE}}^*$	$\overline{\text{EDRAK1}}^*$	PFCR8.EDMAS1[A,B]=01	SYSCR.EXPE=1,EDMDR_1.EDRAKE=1
	6	$\overline{\text{EDRAK0B_OE}}^*$	$\overline{\text{EDRAK0}}^*$	PFCR8.EDMAS0[A,B]=01	SYSCR.EXPE=1,EDMDR_0.EDRAKE=1
	5	$\overline{\text{EDACK1B_OE}}^*$	$\overline{\text{EDACK1}}^*$	PFCR8.EDMAS1[A,B]=01	SYSCR.EXPE=1,EDACR_1.AMS=1、 EDMDR_1.EDACKE=1
		$\overline{\text{DACK3_OE}}$	$\overline{\text{DACK3}}$	PFCR7.DMAS3[A,B]=01	DMAC.DACR_3.AMS=1,DMDR_3.DACKE=1
		TMO3_OE	TMO3		TMR.TCSR_3.OS[3,2]=01/10/11 か TMR.TCSR_3.OS[1,0]=01/10/11
	SCK6_OE	SCK6		SCMR.SMIF=1 のとき : SMR.GM=0,SCR.CKE[1,0]=01 か SMR.GM=1 で、SCR.TE=1 か SCR.RE=1 SCMR.SMIF=0 のとき : SMR.C/A=0,SCR.CKE[1,0]=01 か SMR.C/A=1,SCR.CKE1=0 で、 SCR.TE=1 か SCR.RE=1	
	4	$\overline{\text{ETEND1B_OE}}^*$	$\overline{\text{ETEND1}}^*$	PFCR8.EDMAS1[A,B]=01	SYSCR.EXPE=1,EDMDR_1.ETENDE=1
		$\overline{\text{TEND3_OE}}$	$\overline{\text{TEND3}}$	PFCR7.DMAS3[A,B]=01	DMDR_3.TENDE=1
	3	TxD6_OE	TxD6		SCR.TE=1
	2	$\overline{\text{EDACK0B_OE}}^*$	$\overline{\text{EDACK0}}^*$	PFCR8.EDMAS0[A,B]=01	SYSCR.EXPE=1,EDACR_0.AMS=1、 EDMDR_0.EDACKE=1
		$\overline{\text{DACK2_OE}}$	$\overline{\text{DACK2}}$	PFCR7.DMAS2[A,B]=01	DMAC.DACR_2.AMS=1,DMDR_2.DACKE=1
		TMO2_OE	TMO2		TMR.TCSR_2.OS[3,2]=01/10/11 か TMR.TCSR_2.OS[1,0]=01/10/11
		SCK4_OE	SCK4		SCMR.SMIF=1 のとき : SMR.GM=0,SCR.CKE[1,0]=01 か SMR.GM=1 で、SCR.TE=1 か SCR.RE=1 SCMR.SMIF=0 のとき : SMR.C/A=0,SCR.CKE[1,0]=01 か SMR.C/A=1,SCR.CKE1=0 で、 SCR.TE=1 か SCR.RE=1
	1	$\overline{\text{ETEND0B_OE}}^*$	$\overline{\text{ETEND0}}^*$	PFCR8.EDMAS0[A,B]=01	SYSCR.EXPE=1,EDMDR_0.ETENDE=1
$\overline{\text{TEND2_OE}}$		$\overline{\text{TEND2}}$	PFCR7.DMAS2[A,B]=01	DMDR_2.TENDE=1	
0	TxD4_OE	TxD4		SCR.TE=1	
PA	7	B ϕ _OE	B ϕ		PADDR.PA7DDR=1,SCKCR.PSTOP1=0
	6	AH_OE	AH		SYSCR.EXPE=1,MPXCR.MPXEn (n=7~3) =1
		BSB_OE	BS	PFCR2.BSS=1	SYSCR.EXPE=1,PFCR2.BSE=1
		AS_OE	AS		SYSCR.EXPE=1,PFCR2.ASOE=1
	5	$\overline{\text{RD_OE}}$	$\overline{\text{RD}}$		SYSCR.EXPE=1
	4	$\overline{\text{LUB_OE}}$	$\overline{\text{LUB}}$		SYSCR.EXPE=1,PFCR6.LHWROE=1、または SRAMCR.BCSELn=1
		LHWR_OE	LHWR		SYSCR.EXPE=1,PFCR6.LHWROE=1
	3	LLB_OE	LLB		SYSCR.EXPE=1,SRAMCR.BCSELn=1
LLWR_OE		LLWR		SYSCR.EXPE=1	

Port	出力設定 信号名	出力 信号名	信号選択 レジスタの設定	各内部モジュールの設定	
PA	2	—	—	—	
	1	BACK_OE	BACK		SYSCR.EXPE=1,BCR1.BRLE=1
		(RD/WR)-A_OE	RD/WR	PFCR2.RDWRS=0	SYSCR.EXPE=1,PFCR2.RDWRE=1、または SRAMCR.BCSELn=1
	0	BSA_OE	BS	PFCR2.BSS=0	SYSCR.EXPE=1,PFCR2.BSE=1
BREQO_OE		BREQO		SYSCR.EXPE=1,BCR1.BRLE=1,BCR1.BREQOE=1	
PB	7	SDφ_OE*	SDφ*		MD3=1
		CS7D_OE	CS7	PFCR1.CS7S[A,B]=11	SYSCR.EXPE=1,PFCR.CS7E=1
	6	(RD/WR)-B_OE	RD/WR	PFCR2.RDWRS=1	SYSCR.EXPE=1,PFCR2.RDWRE=1 または、 SRAMCR.BCSELn=1
		CS6D_OE	CS6	PFCR1.CS6S[A,B]=11	SYSCR.EXPE=1,PFCR0.CS6E=1
	5	CKE_OE*	CKE*		SYSCR.EXPE=1,DRAMCR.DRAME=1, DRAMCR.DTYPE=1,DRAMCR.OEE=1
		OE_OE*	OE*		SYSCR.EXPE=1,DRAMCR.DRAME=1, DRAMCR.DTYPE=0,DRAMCR.OEE=1
		CS5D_OE	CS5	PFCR1.CS5S[A,B]=11	SYSCR.EXPE=1,PFCR0.CS5E=1
	4	WE_OE*	WE*		SYSCR.EXPE=1,DRAMCR.DRAME=1
		CS4B_OE	CS4	PFCR1.CS4S[A,B]=01	SYSCR.EXPE=1,PFCR0.CS4E=1
	3	CAS_OE*	CAS*		SYSCR.EXPE=1,DRAMCR.DRAME=1, DRAMCR.DTYPE=1
		CS3A_OE	CS3	PFCR2.CS3S=0	SYSCR.EXPE=1,PFCR0.CS3E=1
		CS7A_OE	CS7	PFCR1.CS7S[A,B]=00	SYSCR.EXPE=1,PFCR0.CS7E=1
	2	RAS_OE*	RAS*		SYSCR.EXPE=1,DRAMCR.DRAME=1
		CS2A_OE	CS2	PFCR2.CS2S=0	SYSCR.EXPE=1,PFCR0.CS2E=1
		CS6A_OE	CS6	PFCR1.CS6S[A,B]=00	SYSCR.EXPE=1,PFCR0.CS6E=1
	1	CS1_OE	CS1		SYSCR.EXPE=1,PFCR0.CS1E=1
		CS2B_OE	CS2	PFCR2.CS2S=1	SYSCR.EXPE=1,PFCR0.CS2E=1
		CS5A_OE	CS5	PFCR1.CS5S[A,B]=00	SYSCR.EXPE=1,PFCR0.CS5E=1
		CS6B_OE	CS6	PFCR1.CS6S[A,B]=01	SYSCR.EXPE=1,PFCR0.CS6E=1
		CS7B_OE	CS7	PFCR1.CS7S[A,B]=01	SYSCR.EXPE=1,PFCR0.CS7E=1
	0	CS0_OE	CS0		SYSCR.EXPE=1,PFCR0.CS0E=1
		CS4A_OE	CS4	PFCR1.CS4S[A,B]=00	SYSCR.EXPE=1,PFCR0.CS4E=1
		CS5B_OE	CS5	PFCR1.CS5S[A,B]=01	SYSCR.EXPE=1,PFCR0.CS5E=1
	PC	3	LLCAS_OE*	LLCAS*	
DQMLL_OE*			DQMLL*		SYSCR.EXPE=1,DRAMCR.DRAME=1, DRAMCR.DTYPE=1

13. I/O ポート

Port	出力設定 信号名	出力 信号名	信号選択 レジスタの設定	各内部モジュールの設定	
PC	2	LUCAS_OE*	LUCAS*		SYSR.EXPE=1,ABWCR.[ABWH2,ABWL2]=x0/01, DRAMCR.DRAME=1,DRAMCR.DTYPE=0
		DQMLU_OE*	DQMLU*		SYSR.EXPE=1,ABWCR.[ABWH2,ABWL2]=x0/01, DRAMCR.DRAME=1,DRAMCR.DTYPE=1
	1	CS4C_OE	CS4	PFCR1.CS4S[A,B]=10	SYSR.EXPE=1,PFCR0.CS4E=1
		CS5C_OE	CS5	PFCR1.CS5S[A,B]=10	SYSR.EXPE=1,PFCR0.CS5E=1
		CS6C_OE	CS6	PFCR1.CS6S[A,B]=10	SYSR.EXPE=1,PFCR0.CS6E=1
CS7C_OE		CS7	PFCR1.CS7S[A,B]=10	SYSR.EXPE=1,PFCR0.CS7E=1	
0	CS3B_OE	CS3	PFCR2.CS3S=1	SYSR.EXPE=1,PFCR0.CS3E=1	
PD	7	A7_OE	A7		SYSR.EXPE=1,PDDDR.PD7DDR=1
	6	A6_OE	A6		SYSR.EXPE=1,PDDDR.PD6DDR=1
	5	A5_OE	A5		SYSR.EXPE=1,PDDDR.PD5DDR=1
	4	A4_OE	A4		SYSR.EXPE=1,PDDDR.PD4DDR=1
	3	A3_OE	A3		SYSR.EXPE=1,PDDDR.PD3DDR=1
	2	A2_OE	A2		SYSR.EXPE=1,PDDDR.PD2DDR=1
	1	A1_OE	A1		SYSR.EXPE=1,PDDDR.PD1DDR=1
	0	A0_OE	A0		SYSR.EXPE=1,PDDDR.PD0DDR=1
PE	7	A15_OE	A15		SYSR.EXPE=1,PEDDR.PE7DDR=1
	6	A14_OE	A14		SYSR.EXPE=1,PEDDR.PE6DDR=1
	5	A13_OE	A13		SYSR.EXPE=1,PEDDR.PE5DDR=1
	4	A12_OE	A12		SYSR.EXPE=1,PEDDR.PE4DDR=1
	3	A11_OE	A11		SYSR.EXPE=1,PEDDR.PE3DDR=1
	2	A10_OE	A10		SYSR.EXPE=1,PEDDR.PE2DDR=1
	1	A9_OE	A9		SYSR.EXPE=1,PEDDR.PE1DDR=1
	0	A8_OE	A8		SYSR.EXPE=1,PEDDR.PE0DDR=1
PF	7	A23A_OE	A23		SYSR.EXPE=1,PFCR4.A23E=1
		SCK5_OE	SCK5		SCMR.SMIF=1 のとき : SMR.GM=0,SCR.CKE[1,0]=01 か SMR.GM=1 で、SCR.TE=1 か SCR.RE=1 SCMR.SMIF=0 のとき : SMR.C/A=0,SCR.CKE[1,0]=01 か SMR.C/A=1,SCR.CKE1=0 で、 SCR.TE=1 か SCR.RE=1
	6	A22A_OE	A22		SYSR.EXPE=1,PFCR4.A22E=1
	5	A21A_OE	A21		SYSR.EXPE=1,PFCR4.A21E=1
		TxD5_OE	TxD5		SCR.TE=1
		IrTxD_OE	IrTxD		SCR.TE=1,IrCR.IrE=1
	4	A20_OE	A20		SYSR.EXPE=1,PFCR4.A20E=1
3	A19_OE	A19		SYSR.EXPE=1,PFCR4.A19E=1	

Port		出力設定 信号名	出力 信号名	信号選択 レジスタの設定	各内部モジュールの設定
PF	2	A18_OE	A18		SYSCR.EXPE=1,PF4R4.A18E=1
	1	A17_OE	A17		SYSCR.EXPE=1,PF4R4.A17E=1
	0	A16_OE	A16		SYSCR.EXPE=1,PF4R4.A16E=1
PH	7	D7_E	D7		SYSCR.EXPE=1
	6	D6_E	D6		SYSCR.EXPE=1
	5	D5_E	D5		SYSCR.EXPE=1
	4	D4_E	D4		SYSCR.EXPE=1
	3	D3_E	D3		SYSCR.EXPE=1
	2	D2_E	D2		SYSCR.EXPE=1
	1	D1_E	D1		SYSCR.EXPE=1
	0	D0_E	D0		SYSCR.EXPE=1
PI	7	D15_E	D15		SYSCR.EXPE=1,ABWCR.ABW[H,L]n=01
	6	D14_E	D14		SYSCR.EXPE=1,ABWCR.ABW[H,L]n=01
	5	D13_E	D13		SYSCR.EXPE=1,ABWCR.ABW[H,L]n=01
	4	D12_E	D12		SYSCR.EXPE=1,ABWCR.ABW[H,L]n=01
	3	D11_E	D11		SYSCR.EXPE=1,ABWCR.ABW[H,L]n=01
	2	D10_E	D10		SYSCR.EXPE=1,ABWCR.ABW[H,L]n=01
	1	D9_E	D9		SYSCR.EXPE=1,ABWCR.ABW[H,L]n=01
	0	D8_E	D8		SYSCR.EXPE=1,ABWCR.ABW[H,L]n=01
PJ	7	TIOCB8_OE	TIOCB8		TPU.TIOR_8.IOB3=0, TPU.TIOR_8.IOB[1,0]=01/10/11
		PO 23_OE	PO23		NDERL_1.NDER23=1
	6	TIOCA8_OE	TIOCA8		TPU.TIOR_8.IOA3=0, TPU.TIOR_8.IOA[1,0]=01/10/11
		PO 22_OE	PO22		NDERL_1.NDER22=1
	5	TIOCB7_OE	TIOCB7		TPU.TIOR_7.IOB3=0, TPU.TIOR_7.IOB[1,0]=01/10/11
		PO 21_OE	PO21		NDERL_1.NDER21=1
	4	TIOCA7_OE	TIOCA7		TPU.TIOR_7.IOA3=0, TPU.TIOR_7.IOA[1,0]=01/10/11
		PO 20_OE	PO20		NDERL_1.NDER20=1
	3	TIOCD6_OE	TIOCD6		TPU.TMDR_6.BFB=0,TPU.TIORL_6.IOD3=0 TPU.TIORL_6.IOD[1,0]=01/10/11
		PO 19_OE	PO19		NDERL_1.NDER19=1
	2	TIOCC6_OE	TIOCC6		TPU.TMDR_6.BFA=0,TPU.TIORL_6.IOC3=0 TPU.TIORL_6.IOC[1,0]=01/10/11
		PO 18_OE	PO18		NDERL_1.NDER18=1

13. I/O ポート

Port		出力設定 信号名	出力 信号名	信号選択 レジスタの設定	各内部モジュールの設定
PJ	1	TIOCB6_OE	TIOCB6		TPU.TIORH_6.IOB3=0,TPU.TIORH_6.IOB[1,0]=01/10/11
		PO 17_OE	PO17		NDERL_1.NDER17=1
	0	TIOCA6_OE	TIOCA6		TPU.TIORH_6.IOA3=0, TPU.TIORH_6.IOA[1,0]=01/10/11
		PO 16_OE	PO16		NDERL_1.NDER16=1
PK	7	TIOCB11_OE	TIOCB11		TPU.TIOR_11.IOB3=0, TPU.TIOR_11.IOB[1,0]=01/10/11
		PO31_OE	PO31		NDERH_1.NDER31=1
	6	TIOCA11_OE	TIOCA11		TPU.TIOR_11.IOA3=0, TPU.TIOR_11.IOA[1,0]=01/10/11
		PO30_OE	PO30		NDERH_1.NDER30=1
	5	TIOCB10_OE	TIOCB10		TPU.TIOR_10.IOB3=0, TPU.TIOR_10.IOB[1,0]=01/10/11
		PO29_OE	PO29		NDERH_1.NDER29=1
	4	TIOCA10_OE	TIOCA10		TPU.TIOR_10.IOA3=0, TPU.TIOR_10.IOA[1,0]=01/10/11
		PO28_OE	PO28		NDERH_1.NDER28=1
	3	TIOCD9_OE	TIOCD9		TPU.TMDR_9.BFB=0,TPU.TIORL_9.IOD3=0 TPU.TIORL_9.IOD[1,0]=01/10/11
		PO27_OE	PO27		NDERH_1.NDER27=1
	2	TIOCC9_OE	TIOCC9		TPU.TMDR_9.BFA=0,TPU.TIORL_9.IOC3=0 TPU.TIORL_9.IOC[1,0]=01/10/11
		PO26_OE	PO26		NDERH_1.NDER26=1
	1	TIOCB9_OE	TIOCB9		TPU.TIORH_9.IOB3=0, TPU.TIORH_9.IOB[1,0]=01/10/11
		PO25_OE	PO25		NDERH_1.NDER25=1
	0	TIOCA9_OE	TIOCA9		TPU.TIORH_9.IOA3=0, TPU.TIORH_9.IOA[1,0]=01/10/11
		PO24_OE	PO24		NDERH_1.NDER24=1
PN	3	SCL3_OE	SCL3	—	ICCRA.ICE=1
	2	SDA3_OE	SDA3	—	ICCRA.ICE=1
	1	SCL2_OE	SCL2	—	ICCRA.ICE=1
	0	SDA2_OE	SDA2		ICCRA.ICE=1

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート。

13.3 ポートファンクションコントローラ

ポートファンクションコントローラは、I/O ポートの制御を行います。
ポートファンクションコントローラには以下のレジスタがあります。

- ポートファンクションコントロールレジスタ0 (PFCR0)
- ポートファンクションコントロールレジスタ1 (PFCR1)
- ポートファンクションコントロールレジスタ2 (PFCR2)
- ポートファンクションコントロールレジスタ4 (PFCR4)
- ポートファンクションコントロールレジスタ6 (PFCR6)
- ポートファンクションコントロールレジスタ7 (PFCR7)
- ポートファンクションコントロールレジスタ8 (PFCR8) *
- ポートファンクションコントロールレジスタ9 (PFCR9)
- ポートファンクションコントロールレジスタA (PFCRA)
- ポートファンクションコントロールレジスタB (PFCRB)
- ポートファンクションコントロールレジスタC (PFCRC)
- ポートファンクションコントロールレジスタD (PFCRD)

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート。

13. I/O ポート

13.3.1 ポートファンクションコントロールレジスタ 0 (PFCR0)

PFCR0 は、 \overline{CS} 出力の許可/禁止を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	CS7E	CS6E	CS5E	CS4E	CS3E	CS2E	CS1E	CS0E
初期値 :	0	0	0	0	0	0	0	不定*
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * 外部起動拡張モードのとき1、それ以外のとき0となります。

ビット	ビット名	初期値	R/W	説明
7	CS7E	0	R/W	CS7~CS0 イネーブル
6	CS6E	0	R/W	対応する \overline{CSn} 出力の許可/禁止を選択します。
5	CS5E	0	R/W	0 : I/O ポートとして設定
4	CS4E	0	R/W	1 : \overline{CSn} 出力端子として設定
3	CS3E	0	R/W	(n=7~0)
2	CS2E	0	R/W	
1	CS1E	0	R/W	
0	CS0E	不定*	R/W	

【注】 * 外部起動拡張モードのとき 1、それ以外のとき 0 となります。

13.3.2 ポートファンクションコントロールレジスタ 1 (PFCR1)

PFCR1 は、 \overline{CS} 出力端子を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	CS7SA	CS7SB	CS6SA	CS6SB	CS5SA	CS5SB	CS4SA	CS4SB
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	CS7SA*	0	R/W	$\overline{CS7}$ 出力端子セレクト $\overline{CS7}$ 出力許可時 (CS7E=1)、 $\overline{CS7}$ の出力端子を選択します。 00 : PB3 を $\overline{CS7}$ -A 出力端子として設定 01 : PB1 を $\overline{CS7}$ -B 出力端子として設定 10 : PC1 を $\overline{CS7}$ -C 出力端子として設定 11 : PB7 を $\overline{CS7}$ -D 出力端子として設定
6	CS7SB*	0	R/W	
5	CS6SA*	0	R/W	$\overline{CS6}$ 出力端子セレクト $\overline{CS6}$ 出力許可時 (CS6E=1)、 $\overline{CS6}$ の出力端子を選択します 00 : PB2 を $\overline{CS6}$ -A 出力端子として設定 01 : PB1 を $\overline{CS6}$ -B 出力端子として設定 10 : PC1 を $\overline{CS6}$ -C 出力端子として設定 11 : PB6 を $\overline{CS6}$ -D 出力端子として設定
4	CS6SB*	0	R/W	
3	CS5SA*	0	R/W	$\overline{CS5}$ 出力端子セレクト $\overline{CS5}$ 出力許可時 (CS5E=1)、 $\overline{CS5}$ の出力端子を選択します。 00 : PB1 を $\overline{CS5}$ -A 出力端子として設定 01 : PB0 を $\overline{CS5}$ -B 出力端子として設定 10 : PC1 を $\overline{CS5}$ -C 出力端子として設定 11 : PB5 を $\overline{CS5}$ -D 出力端子として設定
2	CS5SB*	0	R/W	
1	CS4SA*	0	R/W	$\overline{CS4}$ 出力端子セレクト $\overline{CS4}$ 出力許可時 (CS4E=1)、 $\overline{CS4}$ の出力端子を選択します。 00 : PB0 を $\overline{CS4}$ -A 出力端子として設定 01 : PB4 を $\overline{CS4}$ -B 出力端子として設定 10 : PC1 を $\overline{CS4}$ -C 出力端子として設定 11 : (設定禁止)
0	CS4SB*	0	R/W	

【注】 * \overline{CSn} (n = 4~7) 出力端子セレクトビットにより、同一の端子に複数の \overline{CS} 出力を設定した場合、その端子から複数の \overline{CS} が出力されます。詳細は「9.5.3 チップセレクト信号」を参照してください。

13. I/O ポート

13.3.3 ポートファンクションコントロールレジスタ 2 (PFCR2)

PFCR2 は、 \overline{CS} 出力端子の選択、バス制御入出力の許可/禁止、およびバス制御入出力端子を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	CS3S	CS2S	BSS	BSE	RDWRS	RDWRE	ASOE	WAITS
初期値 :	0	0	0	0	0	0	1	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	CS3S* ¹	0	R/W	$\overline{CS3}$ 出力端子セレクト $\overline{CS3}$ 出力許可時 (CS3E=1)、 $\overline{CS3}$ の出力端子を選択します。 0 : PB3 を $\overline{CS3}$ -A 出力端子として設定 1 : PC0 を $\overline{CS3}$ -B 出力端子として設定
6	CS2S* ¹	0	R/W	$\overline{CS2}$ 出力端子セレクト $\overline{CS2}$ 出力許可時 (CS2E=1)、 $\overline{CS2}$ の出力端子を選択します。 0 : PB2 を $\overline{CS2}$ -A 出力端子として設定 1 : PB1 を $\overline{CS2}$ -B 出力端子として設定
5	BSS	0	R/W	\overline{BS} 出力端子セレクト \overline{BS} の出力端子を選択します。 0 : PA0 を \overline{BS} -A 出力端子として設定 1 : PA6 を \overline{BS} -B 出力端子として設定
4	BSE	0	R/W	\overline{BS} 出カイネーブル \overline{BS} 出力の許可/禁止を選択します。 0 : \overline{BS} 出力を禁止 1 : \overline{BS} 出力を許可
3	RDWRS* ²	0	R/W	RD/ \overline{WR} 出力端子セレクト RD/ \overline{WR} の出力端子を選択します。 0 : PA1 を RD/ \overline{WR} -A 出力端子として設定 1 : PB6 を RD/ \overline{WR} -B 出力端子として設定
2	RDWRE* ²	0	R/W	RD/ \overline{WR} 出カイネーブル RD/ \overline{WR} 出力の許可/禁止を選択します。 0 : RD/ \overline{WR} 出力を禁止 1 : RD/ \overline{WR} 出力を許可
1	ASOE	1	R/W	\overline{AS} 出カイネーブル \overline{AS} 出力の許可/禁止を選択します。 0 : PA6 を I/O ポートとして設定 1 : PA6 を \overline{AS} 出力端子として設定

ビット	ビット名	初期値	R/W	説明
0	WAITS	0	R/W	WAIT 入力端子セレクト 外部空間アクセス時、ウェイト要求信号の入力端子を選択します。 0 : PA2 を $\overline{\text{WAIT}}\text{-A}$ 入力端子として設定 1 : PC0 を $\overline{\text{WAIT}}\text{-B}$ 入力端子として設定

【注】 *1 $\overline{\text{CS}}_n$ (n=2, 3) 出力端子セレクトビットにより、同一の端子に複数の $\overline{\text{CS}}$ 出力を設定した場合、その端子から複数の $\overline{\text{CS}}$ が出力されます。詳細は「9.5.3 チップセレクト信号」を参照してください。

*2 いずれかのエリアがバイト制御 SRAM 空間に設定された場合、RDWRE ビットの値に関わらず、RD $\overline{\text{WR}}$ 出力となります。

13.3.4 ポートファンクションコントロールレジスタ 4 (PFCR4)

PFCR4 は、アドレス出力の許可/禁止を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	A23E	A22E	A21E	A20E	A19E	A18E	A17E	A16E
初期値 :	0	0	0	0/1*	0/1*	0/1*	0/1*	0/1*
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	A23E	0	R/W	アドレス A23 イネーブル アドレス出力 (A23) の出力許可/禁止を選択 0 : A23 出力無効 1 : A23 出力有効
6	A22E	0	R/W	アドレス A22 イネーブル アドレス出力 (A22) の出力許可/禁止を選択 0 : A22 出力無効 1 : A22 出力有効
5	A21E	0	R/W	アドレス A21 イネーブル アドレス出力 (A21) の出力許可/禁止を選択 0 : A21 出力無効 1 : A21 出力有効
4	A20E	0/1*	R/W	アドレス A20 イネーブル アドレス出力 (A20) の出力許可/禁止を選択 0 : A20 出力無効 1 : A20 出力有効
3	A19E	0/1*	R/W	アドレス A19 イネーブル アドレス出力 (A19) の出力許可/禁止を選択 0 : A19 出力無効 1 : A19 出力有効

13. I/O ポート

ビット	ビット名	初期値	R/W	説明
2	A18E	0/1*	R/W	アドレス A18 イネーブル アドレス出力 (A18) の出力許可/禁止を選択 0 : A18 出力無効 1 : A18 出力有効
1	A17E	0/1*	R/W	アドレス A17 イネーブル アドレス出力 (A17) の出力許可/禁止を選択 0 : A17 出力無効 1 : A17 出力有効
0	A16E	0/1*	R/W	アドレス A16 イネーブル アドレス出力 (A16) の出力許可/禁止を選択 0 : A16 出力無効 1 : A16 出力有効

【注】 * 動作モードによって初期値は切り替わります。
内蔵 ROM 無効のとき 1、内蔵 ROM 有効のとき 0 となります。

13.3.5 ポートファンクションコントロールレジスタ 6 (PFCR6)

PFCR6 は、TPU 用クロック入力端子を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	—	LHWROE	—	—	TCLKS	—	ADTRG1S	ADTRG0S
初期値 :	1	1	1	0	0	0	0	0
R/W :	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	—	1	R/W	リザーブビット リードすると常に 1 が読み出されます。ライトする値は常に 1 にしてください。
6	LHWROE	1	R/W	$\overline{\text{LHWR}}$ 出カインーブル $\overline{\text{LHWR}}$ 出力の許可/禁止を選択します (外部拡張モード時有効)。 0 : PA4 を I/O ポートとして設定 1 : PA4 を $\overline{\text{LHWR}}$ 出力端子として設定
5	—	1	R/W	リザーブビット リードすると常に 1 が読み出されます。ライトする値は常に 1 にしてください。
4	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
3	TCLKS	0	R/W	TPU 用外部クロック入力端子セレクト TPU 用の外部クロックの入力端子を選択します。 0 : P32、P33、P35、P37 を外部クロック入力端子として設定 1 : P14~P17 を外部クロック入力端子として設定

ビット	ビット名	初期値	R/W	説明
2	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
1	ADTRG1S	0	R/W	ADTRG1S 入力端子セレクト A/D 変換器 (ユニット 1) の外部トリガ入力端子を選択します。 0 : P17 を ADTRG1-A 入力端子として設定 1 : PC0 を ADTRG1-B 入力端子として設定
0	ADTRG0S	0	R/W	ADTRG0S 入力端子セレクト A/D 変換器 (ユニット 0) の外部トリガ入力端子を選択します。 0 : P13 を ADTRG0-A 入力端子として設定 1 : PB6 を ADTRG0-B 入力端子として設定

13.3.6 ポートファンクションコントロールレジスタ 7 (PFCR7)

PFCR7 は、DMAC 入出力端子 (\overline{DREQ} 、 \overline{DACK} 、 \overline{TEND}) を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	DMAS3A	DMAS3B	DMAS2A	DMAS2B	DMAS1A	DMAS1B	DMAS0A	DMAS0B
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	DMAS3A	0	R/W	DMAC 制御端子セレクト DMAC_3 を制御するための入出力ポートを選択します。 00 : 設定無効 01 : P63~P65 を DMAC 制御端子として設定 10 : 設定禁止 11 : 設定禁止
6	DMAS3B	0	R/W	
5	DMAS2A	0	R/W	DMAC 制御端子セレクト DMAC_2 を制御するための入出力ポートを選択します。 00 : 設定無効 01 : P60~P62 を DMAC 制御端子として設定 10 : 設定禁止 11 : 設定禁止
4	DMAS2B	0	R/W	
3	DMAS1A	0	R/W	DMAC 制御端子セレクト DMAC_1 を制御するための入出力ポートを選択します。 00 : P14~P16 を DMAC 制御端子として設定 01 : P33~P35 を DMAC 制御端子として設定 10 : 設定禁止 11 : 設定禁止
2	DMAS1B	0	R/W	

13. I/O ポート

ビット	ビット名	初期値	R/W	説明
1	DMAS0A	0	R/W	DMAC 制御端子セレクト DMAC_0 を制御するための入出力ポートを選択します。 00 : P10~P12 を DMAC 制御端子として設定 01 : P30~P32 を DMAC 制御端子として設定 10 : 設定禁止 11 : 設定禁止
0	DMAS0B	0	R/W	

13.3.7 ポートファンクションコントロールレジスタ 8 (PFCR8) *

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート。

PFCR8 は、EXDMAC 入出力端子 ($\overline{\text{EDREQ}}$ 、 $\overline{\text{EDACK}}$ 、 $\overline{\text{ETEND}}$ 、 $\overline{\text{EDRAK}}$) を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	EDMAS3A	EDMAS3B	EDMAS2A	EDMAS2B	EDMAS1A	EDMAS1B	EDMAS0A	EDMAS0B
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	EDMAS3A	0	R/W	EXDMAC 制御端子セレクト EXDMAC_3 を制御するための入出力ポートを選択します。 00 : P33~P35、P37 を EXDMAC 制御端子として設定 01 : 設定禁止 10 : 設定禁止 11 : 設定禁止
6	EDMAS3B	0	R/W	
5	EDMAS2A	0	R/W	EXDMAC 制御端子セレクト EXDMAC_2 を制御するための入出力ポートを選択します。 00 : P30~P32、P36 を EXDMAC 制御端子として設定 01 : 設定禁止 10 : 設定禁止 11 : 設定禁止
4	EDMAS2B	0	R/W	
3	EDMAS1A	0	R/W	EXDMAC 制御端子セレクト EXDMAC_1 を制御するための入出力ポートを選択します。 00 : P14~P17 を EXDMAC 制御端子として設定 01 : P63~P65、P67 を EXDMAC 制御端子として設定 10 : 設定禁止 11 : 設定禁止
2	EDMAS1B	0	R/W	

ビット	ビット名	初期値	R/W	説 明
1	EDMAS0A	0	R/W	EXDMAC 制御端子セレクト
0	EDMAS0B	0	R/W	EXDMAC_0 を制御するための入出力ポートを選択します。 00 : P10~P13 を EXDMAC 制御端子として設定 01 : P60~P62、P66 を EXDMAC 制御端子として設定 10 : 設定禁止 11 : 設定禁止

13.3.8 ポートファンクションコントロールレジスタ 9 (PFCR9)

PFCR9 は、TPU 入出力端子のマルチ機能を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	TPUMS5	TPUMS4	TPUMS3A	TPUMS3B	TPUMS2	TPUMS1	TPUMS0A	TPUMS0B
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	TPUMS5	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCS5 の機能を選択します。 0 : アウトプットコンペア出力、インプットキャプチャは P26 1 : インプットキャプチャ入力は P27、アウトプットコンペアは P26
6	TPUMS4	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCA4 の機能を選択します。 0 : アウトプットコンペア出力、インプットキャプチャは P25 1 : インプットキャプチャ入力は P24、アウトプットコンペアは P25
5	TPUMS3A	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCA3 の機能を選択します。 0 : アウトプットコンペア出力、インプットキャプチャは P21 1 : インプットキャプチャ入力は P20、アウトプットコンペアは P21
4	TPUMS3B	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCC3 の機能を選択します。 0 : アウトプットコンペア出力、インプットキャプチャは P22 1 : インプットキャプチャ入力は P23、アウトプットコンペアは P22
3	TPUMS2	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCA2 の機能を選択します。 0 : アウトプットコンペア出力、インプットキャプチャは P36 1 : インプットキャプチャ入力は P37、アウトプットコンペアは P36

13. I/O ポート

ビット	ビット名	初期値	R/W	説明
2	TPUMS1	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCA1 の機能を選択します。 0 : アウトプットコンペア出力、インプットキャプチャは P34 1 : インプットキャプチャ入力 P35、アウトプットコンペアは P34
1	TPUMS0A	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCA0 の機能を選択します。 0 : アウトプットコンペア出力、インプットキャプチャは P30 1 : インプットキャプチャ入力 P31、アウトプットコンペアは P30
0	TPUMS0B	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCC0 の機能を選択します。 0 : アウトプットコンペア出力、インプットキャプチャは P32 1 : インプットキャプチャ入力 P33、アウトプットコンペアは P32

13.3.9 ポートファンクションコントロールレジスタ A (PFCRA)

PFCRA は、TPU (ユニット 1) 入出力端子のマルチ機能を選択します。PFCRD の PCJKE ビットが 0 のとき、無効のためアクセスしないでください。

ビット	7	6	5	4	3	2	1	0
ビット名	TPUMS11	TPUMS10	TPUMS9A	TPUMS9B	TPUMS8	TPUMS7	TPUMS6A	TPUMS6B
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TPUMS11	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCA11 の機能を選択します。 0 : アウトプットコンペア出力、インプットキャプチャは PK6 1 : インプットキャプチャ入力 P7、アウトプットコンペアは PK6
6	TPUMS10	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCA10 の機能を選択します。 0 : アウトプットコンペア出力、インプットキャプチャは PK4 1 : インプットキャプチャ入力 P5、アウトプットコンペアは PK4
5	TPUMS9A	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCA9 の機能を選択します。 0 : アウトプットコンペア出力、インプットキャプチャは PK0 1 : インプットキャプチャ入力 P1、アウトプットコンペアは PK0

ビット	ビット名	初期値	R/W	説明
4	TPUMS9B	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCC9 の機能を選択します。 0 : アウトプットコンペア出力、インプットキャプチャは PK2 1 : インプットキャプチャ入力は PK3、アウトプットコンペアは PK2
3	TPUMS8	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCA8 の機能を選択します。 0 : アウトプットコンペア出力、インプットキャプチャは PJ6 1 : インプットキャプチャ入力 PJ7、アウトプットコンペアは PJ6
2	TPUMS7	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCA7 の機能を選択します。 0 : アウトプットコンペア出力、インプットキャプチャは PJ4 1 : インプットキャプチャ入力 PJ5、アウトプットコンペアは PJ4
1	TPUMS6A	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCA6 の機能を選択します。 0 : アウトプットコンペア出力、インプットキャプチャは PJ0 1 : インプットキャプチャ入力 PJ1、アウトプットコンペアは PJ0
0	TPUMS6A	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCC6 の機能を選択します。 0 : アウトプットコンペア出力、インプットキャプチャは PJ2 1 : インプットキャプチャ入力 PJ3、アウトプットコンペアは PJ2

13. I/O ポート

13.3.10 ポートファンクションコントロールレジスタ B (PFCRB)

- H8SX/1648グループ、H8SX/1648Aグループ
PFCRBは $\overline{\text{IRQ15}}$ ～ $\overline{\text{IRQ8}}$ 入力端子を選択します。
- H8SX/1648Lグループ
PFCRBは $\overline{\text{IRQ14}}$ / LVD割り込み*¹の選択、 $\overline{\text{IRQ15}}$ 、 $\overline{\text{IRQ13}}$ ～ $\overline{\text{IRQ8}}$ 入力端子を選択します。
- H8SX/1648Gグループ
PFCRBはIRQ15、32KOVI*²の選択、 $\overline{\text{IRQ13}}$ ～ $\overline{\text{IRQ8}}$ 入力端子を選択します。
- H8SX/1648Hグループ
PFCRBはIRQ15、32KOVI*²の選択、 $\overline{\text{IRQ14}}$ / LVD割り込み*¹の選択、 $\overline{\text{IRQ13}}$ ～ $\overline{\text{IRQ8}}$ 入力端子を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	ITS15	ITS14	ITS13	ITS12	ITS11	ITS10	ITS9	ITS8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W* ¹	R/W	R/W	R/W	R/W	R/W	R/W

【注】 *1 H8SX/1648L、H8SX/1648H グループのみサポート

*2 H8SX/1648G、H8SX/1648H グループのみサポート

- H8SX/1648、H8SX/1648Aグループ

ビット	ビット名	初期値	R/W	説明
7	ITS15	0	R/W	$\overline{\text{IRQ15}}$ 端子セレクト $\overline{\text{IRQ15}}$ の入力端子を選択します。 0 : P27 を $\overline{\text{IRQ15}}$ -A 入力端子として設定 1 : P67 を $\overline{\text{IRQ15}}$ -B 入力端子として設定
6	—	0	R	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。

- H8SX/1648Lグループ

ビット	ビット名	初期値	R/W	説明
7	ITS15	0	R/W	$\overline{\text{IRQ15}}$ 端子セレクト $\overline{\text{IRQ15}}$ の入力端子を選択します。 0 : P27 を $\overline{\text{IRQ15}}$ -A 入力端子として設定 1 : P67 を $\overline{\text{IRQ15}}$ -B 入力端子として設定
6	ITS14	0	R/W	LVD 割り込み/ $\overline{\text{IRQ14}}$ 割り込みセレクト LVD 割り込み、 $\overline{\text{IRQ14}}$ のどちらを使用するか選択します。 0 : P26 を $\overline{\text{IRQ14}}$ -A として設定 1 : LVD 割り込みを使用

• H8SX/1648Gグループ

ビット	ビット名	初期値	R/W	説明
7	ITS15	0	R/W	32KOVI/ $\overline{\text{IRQ15}}$ 割り込みセレクト 32KOVI、 $\overline{\text{IRQ15}}$ のどちらを使用するか選択します。 0 : TM32K の 32KOVI 割り込みを使用 1 : P67 を $\overline{\text{IRQ15-B}}$ 入力端子として設定
6	—	0	R	リザーブビット リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。

• H8SX/1648Hグループ

ビット	ビット名	初期値	R/W	説明
7	ITS15	0	R/W	32KOVI/ $\overline{\text{IRQ15}}$ 割り込みセレクト 32KOVI、 $\overline{\text{IRQ15}}$ のどちらを使用するか選択します。 0 : TM32K の 32KOVI 割り込みを使用 1 : P67 を $\overline{\text{IRQ15-B}}$ 入力端子として設定
6	ITS14	0	R/W	LVD 割り込み/ $\overline{\text{IRQ14}}$ 割り込みセレクト LVD 割り込み、 $\overline{\text{IRQ14}}$ のどちらを使用するか選択します。 0 : P26 を $\overline{\text{IRQ14-A}}$ として設定 1 : LVD 割り込みを使用

• 各グループ共通

ビット	ビット名	初期値	R/W	説明
5	ITS13	0	R/W	$\overline{\text{IRQ13}}$ 端子セレクト $\overline{\text{IRQ13}}$ の入力端子を選択します。 0 : P25 を $\overline{\text{IRQ13-A}}$ 入力端子として設定 1 : P65 を $\overline{\text{IRQ13-B}}$ 入力端子として設定
4	ITS12	0	R/W	$\overline{\text{IRQ12}}$ 端子セレクト $\overline{\text{IRQ12}}$ の入力端子を選択します。 0 : P24 を $\overline{\text{IRQ12-A}}$ 入力端子として設定 1 : P64 を $\overline{\text{IRQ12-B}}$ 入力端子として設定
3	ITS11	0	R/W	$\overline{\text{IRQ11}}$ 端子セレクト $\overline{\text{IRQ11}}$ の入力端子を選択します。 0 : P23 を $\overline{\text{IRQ11-A}}$ 入力端子として設定 1 : P63 を $\overline{\text{IRQ11-B}}$ 入力端子として設定
2	ITS10	0	R/W	$\overline{\text{IRQ10}}$ 端子セレクト $\overline{\text{IRQ10}}$ の入力端子を選択します。 0 : P22 を $\overline{\text{IRQ10-A}}$ 入力端子として設定 1 : P62 を $\overline{\text{IRQ10-B}}$ 入力端子として設定

13. I/O ポート

ビット	ビット名	初期値	R/W	説明
1	ITS9	0	R/W	$\overline{\text{IRQ9}}$ 端子セレクト $\overline{\text{IRQ9}}$ の入力端子を選択します。 0 : P21 を $\overline{\text{IRQ9}}$ -A 入力端子として設定 1 : P61 を $\overline{\text{IRQ9}}$ -B 入力端子として設定
0	ITS8	0	R/W	$\overline{\text{IRQ8}}$ 端子セレクト $\overline{\text{IRQ8}}$ の入力端子を選択します。 0 : P20 を $\overline{\text{IRQ8}}$ -A 入力端子として設定 1 : P60 を $\overline{\text{IRQ8}}$ -B 入力端子として設定

13.3.11 ポートファンクションコントロールレジスタ C (PFCRC)

PFCRC は、 $\overline{\text{IRQ7}}$ ~ $\overline{\text{IRQ0}}$ 入力端子を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	ITS7	ITS6	ITS5	ITS4	ITS3	ITS2	ITS1	ITS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	ITS7	0	R/W	$\overline{\text{IRQ7}}$ 端子セレクト $\overline{\text{IRQ7}}$ の入力端子を選択します。 0 : P17 を $\overline{\text{IRQ7}}$ -A 入力端子として設定 1 : P57 を $\overline{\text{IRQ7}}$ -B 入力端子として設定
6	ITS6	0	R/W	$\overline{\text{IRQ6}}$ 端子セレクト $\overline{\text{IRQ6}}$ の入力端子を選択します。 0 : P16 を $\overline{\text{IRQ6}}$ -A 入力端子として設定 1 : P56 を $\overline{\text{IRQ6}}$ -B 入力端子として設定
5	ITS5	0	R/W	$\overline{\text{IRQ5}}$ 端子セレクト $\overline{\text{IRQ5}}$ の入力端子を選択します。 0 : P15 を $\overline{\text{IRQ5}}$ -A 入力端子として設定 1 : P55 を $\overline{\text{IRQ5}}$ -B 入力端子として設定
4	ITS4	0	R/W	$\overline{\text{IRQ4}}$ 端子セレクト $\overline{\text{IRQ4}}$ の入力端子を選択します。 0 : P14 を $\overline{\text{IRQ4}}$ -A 入力端子として設定 1 : P54 を $\overline{\text{IRQ4}}$ -B 入力端子として設定
3	ITS3	0	R/W	$\overline{\text{IRQ3}}$ 端子セレクト $\overline{\text{IRQ3}}$ の入力端子を選択します。 0 : P13 を $\overline{\text{IRQ3}}$ -A 入力端子として設定 1 : P53 を $\overline{\text{IRQ3}}$ -B 入力端子として設定

ビット	ビット名	初期値	R/W	説明
2	ITS2	0	R/W	$\overline{\text{IRQ2}}$ 端子セレクト $\overline{\text{IRQ2}}$ の入力端子を選択します。 0 : P12 を $\overline{\text{IRQ2}}$ -A 入力端子として設定 1 : P52 を $\overline{\text{IRQ2}}$ -B 入力端子として設定
1	ITS1	0	R/W	$\overline{\text{IRQ1}}$ 端子セレクト $\overline{\text{IRQ1}}$ の入力端子を選択します。 0 : P11 を $\overline{\text{IRQ1}}$ -A 入力端子として設定 1 : P51 を $\overline{\text{IRQ1}}$ -B 入力端子として設定
0	ITS0	0	R/W	$\overline{\text{IRQ0}}$ 端子セレクト $\overline{\text{IRQ0}}$ の入力端子を選択します。 0 : P10 を $\overline{\text{IRQ0}}$ -A 入力端子として設定 1 : P50 を $\overline{\text{IRQ0}}$ -B 入力端子として設定

13.3.12 ポートファンクションコントロールレジスタ D (PFCRD)

PFCRD は、ポート J,K 端子機能の許可／禁止を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	PCJKE	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	PCJKE*	0	R/W	ポート J、K イネーブル ポート J、K の端子機能の許可／禁止を選択します。 0 : ポート J、K は無効 1 : ポート J、K は有効 (ポート D、E は無効となります。)
6~0	—	0	R/W	リザーブビット リードすると常に 0 が読み出されます。 ライトは無効です。初期値を変更しないでください。

【注】 * シングルチップモードのとき有効です。シングルチップモード以外では初期値を変更しないでください。

13.4 使用上の注意事項

13.4.1 入力バッファコントロールレジスタ（ICR）の設定

1. ICRの設定を変更する場合、端子の状態によっては内部的にエッジが発生し意図しない動作をすることがあります。ICRの設定を変更する場合は、端子をHighレベルに固定した状態で行うか、当該端子に割り当てられている周辺モジュールの設定で、入力機能を無効にした状態で行ってください。
2. ICRの設定で入力を有効にした場合、複数の入力機能が割り当てられている端子では、そのすべての入力機能に端子状態が反映されます。未使用の入力機能は各周辺モジュール側の設定に注意してください。
3. 端子を出力端子として使用する場合、ICRの設定で入力を有効にすると出力データが端子状態として取り込まれます。出力として使用する端子は、ICRの設定で入力を無効にしてください。

13.4.2 ポートファンクションコントロールレジスタ（PFCR）の設定

1. ポートファンクションコントローラは、I/Oポートの制御を行います。
各端子の入出力の設定は、入出力先を選択後に入出力を有効にしてください。
2. 入力端子を変更する場合、変更前の端子レベルと変更後の端子レベルが異なると内部にエッジが発生し、意図しない動作をすることがあります。
変更する場合には以下の手順で行ってください。
 - 入力端子の変更
 - (1) 変更しようとする端子機能に該当する周辺モジュールの設定で、入力機能を無効にする。
 - (2) PFCRの設定により、入力端子を選択する。
 - (3) 変更しようとする端子機能に該当する周辺モジュールの設定で、入力機能を有効にする。
3. 1つの端子機能に対して、入出力先を変更する端子セレクトビット、および端子機能を有効にするイネーブルビットの両方が存在する場合、端子セレクトビットで端子の入出力先を設定した後に、イネーブルビットで端子機能を有効にしてください。
4. PCJKEビットの切り替えは起動直後の初期設定で行ってください。PCJKEビットの設定後にこのビット以外のPFCRの設定を行ってください。
5. PCJKEビットは一度設定したら変更しないでください。

14. 16ビットタイマパルスユニット (TPU)

本 LSI は、6 チャンネルの 16 ビットタイマにより構成される 16 ビットタイマパルスユニット (TPU) を 2 ユニット (ユニット 0、ユニット 1)、合計 12 チャンネル内蔵しています。

ユニット 0 の機能一覧を表 14.1 に、ユニット 1 の機能一覧を表 14.2 に示します。また、ユニット 0 のブロック図を図 14.1 に、ユニット 1 のブロック図を図 14.2 に示します。

本文中では、ユニット 0 について説明します。ユニット 1 についても同一機能です。

14.1 特長

- 最大16本のパルス入出力が可能
- 各チャンネルごとに8種類のカウンタ入力クロックを選択可能
- 各チャンネルとも次の動作を設定可能：コンペアマッチによる波形出力、インプットキャプチャ機能、カウンタクリア動作、複数のタイマカウンタ (TCNT) への同時書き込み、コンペアマッチ/インプットキャプチャによる同時クリア、カウンタの同期動作による各レジスタの同期入出力、同期動作と組み合わせることによる最大15相のPWM出力
- チャンネル0、3はバッファ動作を設定可能
- チャンネル1、2、4、5は各々独立に位相計数モードを設定可能
- カスケード接続動作
- 内部16ビットバスによる高速アクセス
- 26種類の割り込み要因
- レジスタデータの自動転送が可能
- プログラマブルパルスジェネレータ (PPG) の出力トリガを生成可能
- A/D変換器の変換スタートトリガを生成可能 (ユニット0のみ)
- モジュールストップ状態への設定可能

14. 16 ビットタイマパルスユニット (TPU)

表 14.1 TPU (ユニット 0) の機能一覧

項 目	チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	チャンネル 4	チャンネル 5
カウントクロック	Pφ/1 Pφ/4 Pφ/16 Pφ/64 TCLKA TCLKB TCLKC TCLKD	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/256 TCLKA TCLKB	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/1024 TCLKA TCLKB TCLKC	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/256 Pφ/1024 Pφ/4096 TCLKA	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/1024 TCLKA TCLKC	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/256 TCLKA TCLKC TCLKD
ジェネラルレジスタ (TGR)	TGRA_0 TGRB_0	TGRA_1 TGRB_1	TGRA_2 TGRB_2	TGRA_3 TGRB_3	TGRA_4 TGRB_4	TGRA_5 TGRB_5
ジェネラルレジスタ/ バッファレジスタ	TGRC_0 TGRD_0	—	—	TGRC_3 TGRD_3	—	—
入出力端子	TIOCA0 TIOCB0 TIOCC0 TIOCD0	TIOCA1 TIOCB1	TIOCA2 TIOCB2	TIOCA3 TIOCB3 TIOCC3 TIOCD3	TIOCA4 TIOCB4	TIOCA5 TIOCB5
カウンタクリア 機能	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ
コンペア マッチ 出力	0 出力	○	○	○	○	○
	1 出力	○	○	○	○	○
	トグル 出力	○	○	○	○	○
インプットキャプチャ 機能	○	○	○	○	○	○
同期動作	○	○	○	○	○	○
PWM モード	○	○	○	○	○	○
位相計数モード	—	○	○	—	○	○
バッファ動作	○	—	—	○	—	—
DTC の起動	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ

【記号説明】

○：可能

—：不可

14. 16ビットタイマパルスユニット (TPU)

項 目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4	チャンネル5
DMAC の起動	TGRA_0 の コンペアマッチ または インプット キャプチャ	TGRA_1 の コンペアマッチ または インプット キャプチャ	TGRA_2 の コンペアマッチ または インプット キャプチャ	TGRA_3 の コンペアマッチ または インプット キャプチャ	TGRA_4 の コンペアマッチ または インプット キャプチャ	TGRA_5 の コンペアマッチ または インプット キャプチャ
A/D 変換開始トリガ	TGRA_0 の コンペアマッチ または インプット キャプチャ	TGRA_1 の コンペアマッチ または インプット キャプチャ	TGRA_2 の コンペアマッチ または インプット キャプチャ	TGRA_3 の コンペアマッチ または インプット キャプチャ	TGRA_4 の コンペアマッチ または インプット キャプチャ	TGRA_5 の コンペアマッチ または インプット キャプチャ
PPG トリガ	TGRA_0、 TGRB_0 の コンペアマッチ または インプット キャプチャ	TGRA_1、 TGRB_1 の コンペアマッチ または インプット キャプチャ	TGRA_2、 TGRB_2 の コンペアマッチ または インプット キャプチャ	TGRA_3、 TGRB_3 の コンペアマッチ または インプット キャプチャ	—	—
割り込み要因	5 要因 ・コンペアマッチ ／インプット キャプチャ0A ・コンペアマッチ ／インプット キャプチャ0B ・コンペアマッチ ／インプット キャプチャ0C ・コンペアマッチ ／インプット キャプチャ0D ・オーバフロー	4 要因 ・コンペアマッチ ／インプット キャプチャ1A ・コンペアマッチ ／インプット キャプチャ1B ・オーバフロー ・アンダフロー	4 要因 ・コンペアマッチ ／インプット キャプチャ2A ・コンペアマッチ ／インプット キャプチャ2B ・オーバフロー ・アンダフロー	5 要因 ・コンペアマッチ ／インプット キャプチャ3A ・コンペアマッチ ／インプット キャプチャ3B ・コンペアマッチ ／インプット キャプチャ3C ・コンペアマッチ ／インプット キャプチャ3D ・オーバフロー	4 要因 ・コンペアマッチ ／インプット キャプチャ4A ・コンペアマッチ ／インプット キャプチャ4B ・オーバフロー ・アンダフロー	4 要因 ・コンペアマッチ ／インプット キャプチャ5A ・コンペアマッチ ／インプット キャプチャ5B ・オーバフロー ・アンダフロー

14. 16 ビットタイマパルスユニット (TPU)

表 14.2 TPU (ユニット 1) の機能一覧

項 目	チャンネル 6	チャンネル 7	チャンネル 8	チャンネル 9	チャンネル 10	チャンネル 11
カウントクロック	Pφ/1 Pφ/4 Pφ/16 Pφ/64 TCLKE TCLKF TCLKG TCLKH	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/256 TCLKE TCLKF	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/1024 TCLKE TCLKF TCLKG	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/256 Pφ/1024 Pφ/4096 TCLKE	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/1024 TCLKE TCLKG	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/256 TCLKE TCLKG TCLKH
ジェネラルレジスタ (TGR)	TGRA_6 TGRB_6	TGRA_7 TGRB_7	TGRA_8 TGRB_8	TGRA_9 TGRB_9	TGRA_10 TGRB_10	TGRA_11 TGRB_11
ジェネラルレジスタ/ バッファレジスタ	TGRC_6 TGRD_6	—	—	TGRC_9 TGRD_9	—	—
入出力端子	TIOCA6 TIOCB6 TIOCC6 TIOCD6	TIOCA7 TIOCB7	TIOCA8 TIOCB8	TIOCA9 TIOCB9 TIOCC9 TIOCD9	TIOCA10 TIOCB10	TIOCA11 TIOCB11
カウンタクリア 機能	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ
コンペア マッチ出力	0 出力	○	○	○	○	○
	1 出力	○	○	○	○	○
	トグル 出力	○	○	○	○	○
インプットキャプチャ 機能	○	○	○	○	○	○
同期動作	○	○	○	○	○	○
PWM モード	○	○	○	○	○	○
位相計数モード	—	○	○	—	○	○
バッファ動作	○	—	—	○	—	—
DTC の起動	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ

【記号説明】

○：可能

—：不可

14. 16ビットタイマパルスユニット (TPU)

項 目	チャンネル 6	チャンネル 7	チャンネル 8	チャンネル 9	チャンネル 10	チャンネル 11
DMAC の起動	TGRA_6 の コンペアマッチ または インプット キャプチャ	TGRA_7 の コンペアマッチ または インプット キャプチャ	TGRA_8 の コンペアマッチ または インプット キャプチャ	TGRA_9 の コンペアマッチ または インプット キャプチャ	TGRA_10 の コンペアマッチ または インプット キャプチャ	TGRA_11 の コンペアマッチ または インプット キャプチャ
A/D 変換開始トリガ	—	—	—	—	—	—
PPG トリガ	TGRA_6、 TGRB_6 の コンペアマッチ	TGRA_7、 TGRB_7 の コンペアマッチ	TGRA_8、 TGRB_8 の コンペアマッチ	TGRA_9、 TGRB_9 の コンペアマッチ	—	—
割り込み要因	5 要因 <ul style="list-style-type: none"> ・コンペアマッチ ／インプット キャプチャ 6A ・コンペアマッチ ／インプット キャプチャ 6B ・コンペアマッチ ／インプット キャプチャ 6C ・コンペアマッチ ／インプット キャプチャ 6D ・オーバフロー 	4 要因 <ul style="list-style-type: none"> ・コンペアマッチ ／インプット キャプチャ 7A ・コンペアマッチ ／インプット キャプチャ 7B ・オーバフロー ・アンダフロー 	4 要因 <ul style="list-style-type: none"> ・コンペアマッチ ／インプット キャプチャ 8A ・コンペアマッチ ／インプット キャプチャ 8B ・オーバフロー ・アンダフロー 	5 要因 <ul style="list-style-type: none"> ・コンペアマッチ ／インプット キャプチャ 9A ・コンペアマッチ ／インプット キャプチャ 9B ・コンペアマッチ ／インプット キャプチャ 9C ・コンペアマッチ ／インプット キャプチャ 9D ・オーバフロー 	4 要因 <ul style="list-style-type: none"> ・コンペアマッチ ／インプット キャプチャ 10A ・コンペアマッチ ／インプット キャプチャ 10B ・オーバフロー ・アンダフロー 	4 要因 <ul style="list-style-type: none"> ・コンペアマッチ ／インプット キャプチャ 11A ・コンペアマッチ ／インプット キャプチャ 11B ・オーバフロー ・アンダフロー

14. 16ビットタイマパルスユニット (TPU)

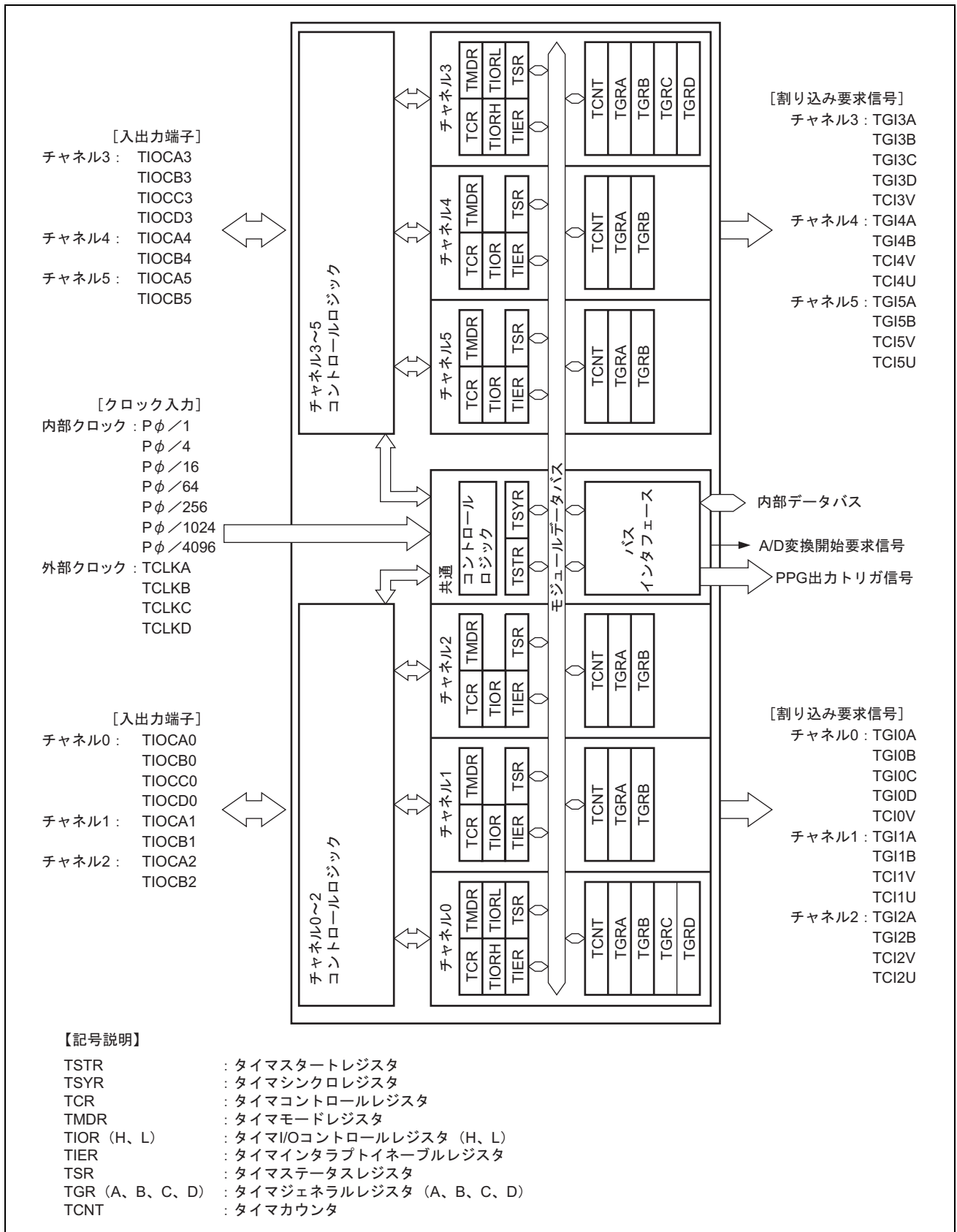


図 14.1 TPU (ユニット0) のブロック図

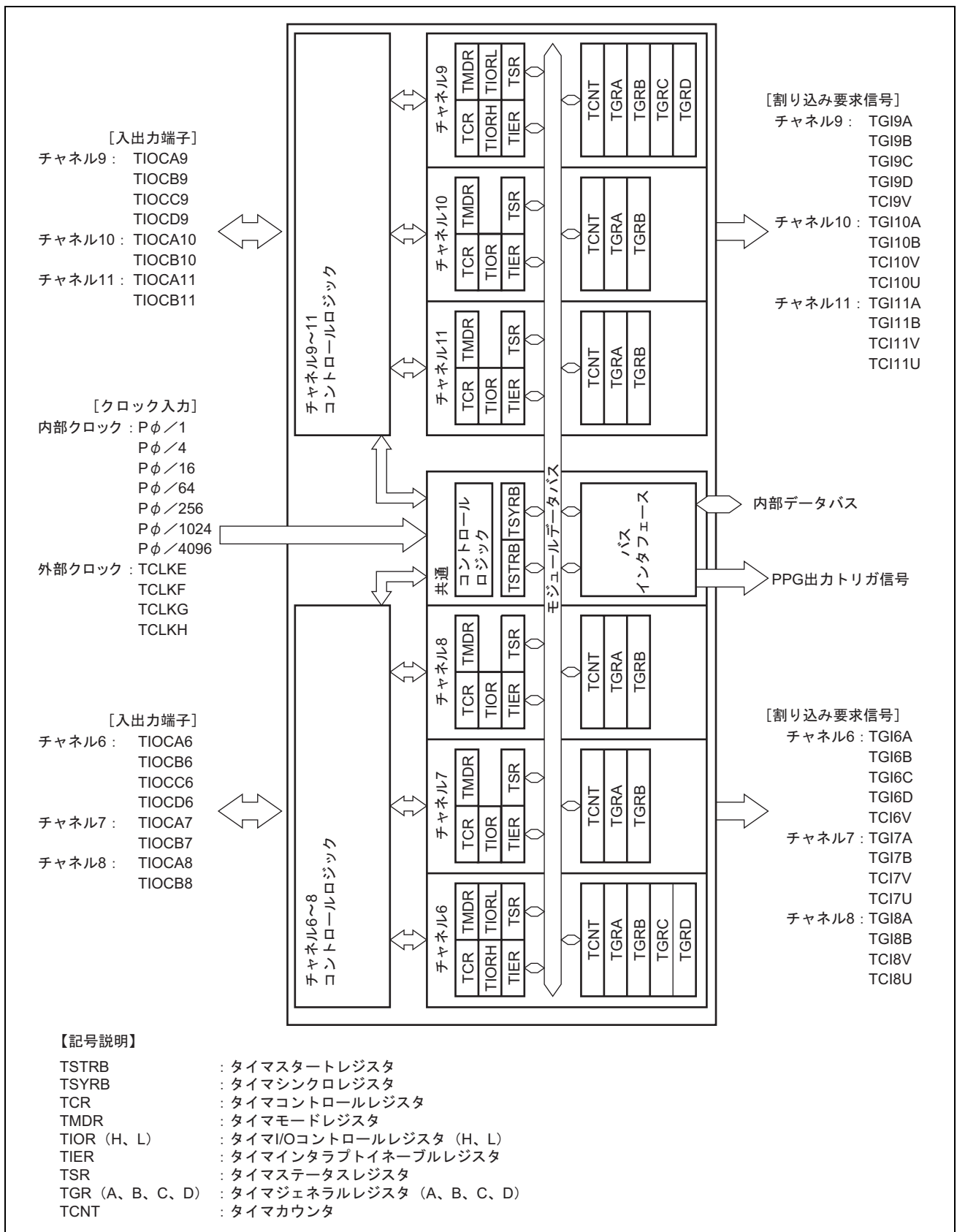


図 14.2 TPU (ユニット1) のブロック図

14.2 入出力端子

TPU の端子構成を表 14.3 に示します。

表 14.3 端子構成

ユニット	チャネル	名称	入出力	機 能
0	共通	TCLKA	入力	外部クロック A 入力端子 (チャネル 1、5 の位相計数モード A 相入力)
		TCLKB	入力	外部クロック B 入力端子 (チャネル 1、5 の位相計数モード B 相入力)
		TCLKC	入力	外部クロック C 入力端子 (チャネル 2、4 の位相計数モード A 相入力)
		TCLKD	入力	外部クロック D 入力端子 (チャネル 2、4 の位相計数モード B 相入力)
	0	TIOCA0	入出力	TGRA_0 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCB0	入出力	TGRB_0 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCC0	入出力	TGRC_0 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCD0	入出力	TGRD_0 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	1	TIOCA1	入出力	TGRA_1 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCB1	入出力	TGRB_1 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	2	TIOCA2	入出力	TGRA_2 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCB2	入出力	TGRB_2 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	3	TIOCA3	入出力	TGRA_3 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCB3	入出力	TGRB_3 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCC3	入出力	TGRC_3 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCD3	入出力	TGRD_3 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	4	TIOCA4	入出力	TGRA_4 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCB4	入出力	TGRB_4 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	5	TIOCA5	入出力	TGRA_5 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCB5	入出力	TGRB_5 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子

14. 16 ビットタイマパルスユニット (TPU)

ユニット	チャンネル	名称	入出力	機能
1	共通	TCLKE	入力	外部クロック E 入力端子 (チャンネル 7、11 の位相計数モード A 相入力)
		TCLKF	入力	外部クロック F 入力端子 (チャンネル 7、11 の位相計数モード B 相入力)
		TCLKG	入力	外部クロック G 入力端子 (チャンネル 8、10 の位相計数モード A 相入力)
		TCLKH	入力	外部クロック H 入力端子 (チャンネル 8、10 の位相計数モード B 相入力)
	6	TIOCA6	入出力	TGRA_6 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCB6	入出力	TGRB_6 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCC6	入出力	TGRC_6 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCD6	入出力	TGRD_6 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	7	TIOCA7	入出力	TGRA_7 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCB7	入出力	TGRB_7 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	8	TIOCA8	入出力	TGRA_8 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCB8	入出力	TGRB_8 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	9	TIOCA9	入出力	TGRA_9 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCB9	入出力	TGRB_9 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCC9	入出力	TGRC_9 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCD9	入出力	TGRD_9 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	10	TIOCA10	入出力	TGRA_10 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCB10	入出力	TGRB_10 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	11	TIOCA11	入出力	TGRA_11 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCB11	入出力	TGRB_11 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子

14.3 レジスタの説明

TPU には、以下のレジスタがあります。

2 ユニット (ユニット 0、ユニット 1) のレジスタは、TIER のビット 7 (ユニット 0 では TTGE ビット、ユニット 1 ではリザーブビットです。) を除き同一機能です。本文中では、ユニット 0 のレジスタについて説明します。

ユニット0

チャンネル0 :

- タイマコントロールレジスタ_0 (TCR_0)
- タイマモードレジスタ_0 (TMDR_0)
- タイマI/OコントロールレジスタH_0 (TIORH_0)
- タイマI/OコントロールレジスタL_0 (TIORL_0)
- タイマインタラプトイネーブルレジスタ_0 (TIER_0)
- タイマステータスレジスタ_0 (TSR_0)
- タイマカウンタ_0 (TCNT_0)
- タイマジェネラルレジスタA_0 (TGRA_0)
- タイマジェネラルレジスタB_0 (TGRB_0)
- タイマジェネラルレジスタC_0 (TGRC_0)
- タイマジェネラルレジスタD_0 (TGRD_0)

チャンネル1 :

- タイマコントロールレジスタ_1 (TCR_1)
- タイマモードレジスタ_1 (TMDR_1)
- タイマI/Oコントロールレジスタ_1 (TIOR_1)
- タイマインタラプトイネーブルレジスタ_1 (TIER_1)
- タイマステータスレジスタ_1 (TSR_1)
- タイマカウンタ_1 (TCNT_1)
- タイマジェネラルレジスタA_1 (TGRA_1)
- タイマジェネラルレジスタB_1 (TGRB_1)

チャンネル2 :

- タイマコントロールレジスタ_2 (TCR_2)
- タイマモードレジスタ_2 (TMDR_2)
- タイマI/Oコントロールレジスタ_2 (TIOR_2)
- タイマインタラプトイネーブルレジスタ_2 (TIER_2)
- タイマステータスレジスタ_2 (TSR_2)
- タイマカウンタ_2 (TCNT_2)

- タイマジェネラルレジスタA_2 (TGRA_2)
- タイマジェネラルレジスタB_2 (TGRB_2)

チャンネル3 :

- タイマコントロールレジスタ_3 (TCR_3)
- タイマモードレジスタ_3 (TMDR_3)
- タイマI/OコントロールレジスタH_3 (TIORH_3)
- タイマI/OコントロールレジスタL_3 (TIORL_3)
- タイマインタラプトイネーブルレジスタ_3 (TIER_3)
- タイマステータスレジスタ_3 (TSR_3)
- タイマカウンタ_3 (TCNT_3)
- タイマジェネラルレジスタA_3 (TGRA_3)
- タイマジェネラルレジスタB_3 (TGRB_3)
- タイマジェネラルレジスタC_3 (TGRC_3)
- タイマジェネラルレジスタD_3 (TGRD_3)

チャンネル4 :

- タイマコントロールレジスタ_4 (TCR_4)
- タイマモードレジスタ_4 (TMDR_4)
- タイマI/Oコントロールレジスタ_4 (TIOR_4)
- タイマインタラプトイネーブルレジスタ_4 (TIER_4)
- タイマステータスレジスタ_4 (TSR_4)
- タイマカウンタ_4 (TCNT_4)
- タイマジェネラルレジスタA_4 (TGRA_4)
- タイマジェネラルレジスタB_4 (TGRB_4)

チャンネル5 :

- タイマコントロールレジスタ_5 (TCR_5)
- タイマモードレジスタ_5 (TMDR_5)
- タイマI/Oコントロールレジスタ_5 (TIOR_5)
- タイマインタラプトイネーブルレジスタ_5 (TIER_5)
- タイマステータスレジスタ_5 (TSR_5)
- タイマカウンタ_5 (TCNT_5)
- タイマジェネラルレジスタA_5 (TGRA_5)
- タイマジェネラルレジスタB_5 (TGRB_5)

共通 :

- タイマスタートレジスタ (TSTR)
- タイマシンクロレジスタ (TSYR)

ユニット1

チャンネル6 :

- タイマコントロールレジスタ_6 (TCR_6)
- タイマモードレジスタ_6 (TMDR_6)
- タイマI/OコントロールレジスタH_6 (TIORH_6)
- タイマI/OコントロールレジスタL_6 (TIORL_6)
- タイマインタラプトイネーブルレジスタ_6 (TIER_6)
- タイマステータスレジスタ_6 (TSR_6)
- タイマカウンタ_6 (TCNT_6)
- タイマジェネラルレジスタA_6 (TGRA_6)
- タイマジェネラルレジスタB_6 (TGRB_6)
- タイマジェネラルレジスタC_6 (TGRC_6)
- タイマジェネラルレジスタD_6 (TGRD_6)

チャンネル7 :

- タイマコントロールレジスタ_7 (TCR_7)
- タイマモードレジスタ_7 (TMDR_7)
- タイマI/Oコントロールレジスタ_7 (TIOR_7)
- タイマインタラプトイネーブルレジスタ_7 (TIER_7)
- タイマステータスレジスタ_7 (TSR_7)
- タイマカウンタ_7 (TCNT_7)
- タイマジェネラルレジスタA_7 (TGRA_7)
- タイマジェネラルレジスタB_7 (TGRB_7)

チャンネル8 :

- タイマコントロールレジスタ_8 (TCR_8)
- タイマモードレジスタ_8 (TMDR_8)
- タイマI/Oコントロールレジスタ_8 (TIOR_8)
- タイマインタラプトイネーブルレジスタ_8 (TIER_8)
- タイマステータスレジスタ_8 (TSR_8)
- タイマカウンタ_8 (TCNT_8)
- タイマジェネラルレジスタA_8 (TGRA_8)
- タイマジェネラルレジスタB_8 (TGRB_8)

チャンネル9 :

- タイマコントロールレジスタ_9 (TCR_9)
- タイマモードレジスタ_9 (TMDR_9)
- タイマI/OコントロールレジスタH_9 (TIORH_9)

- タイマI/OコントロールレジスタL_9 (TIORL_9)
- タイマインタラプトイネーブルレジスタ_9 (TIER_9)
- タイマステータスレジスタ_9 (TSR_9)
- タイマカウンタ_9 (TCNT_9)
- タイマジェネラルレジスタA_9 (TGRA_9)
- タイマジェネラルレジスタB_9 (TGRB_9)
- タイマジェネラルレジスタC_9 (TGRC_9)
- タイマジェネラルレジスタD_9 (TGRD_9)

チャンネル10 :

- タイマコントロールレジスタ_10 (TCR_10)
- タイマモードレジスタ_10 (TMDR_10)
- タイマI/Oコントロールレジスタ_10 (TIOR_10)
- タイマインタラプトイネーブルレジスタ_10 (TIER_10)
- タイマステータスレジスタ_10 (TSR_10)
- タイマカウンタ_10 (TCNT_10)
- タイマジェネラルレジスタA_10 (TGRA_10)
- タイマジェネラルレジスタB_10 (TGRB_10)

チャンネル11 :

- タイマコントロールレジスタ_11 (TCR_11)
- タイマモードレジスタ_11 (TMDR_11)
- タイマI/Oコントロールレジスタ_11 (TIOR_11)
- タイマインタラプトイネーブルレジスタ_11 (TIER_11)
- タイマステータスレジスタ_11 (TSR_11)
- タイマカウンタ_11 (TCNT_11)
- タイマジェネラルレジスタA_11 (TGRA_11)
- タイマジェネラルレジスタB_11 (TGRB_11)

共通 :

- タイマスタートレジスタ (TSTRB)
- タイマシンクロレジスタ (TSYRB)

14. 16 ビットタイマパルスユニット (TPU)

14.3.1 タイマコントロールレジスタ (TCR)

TCR は各チャンネルの TCNT を制御します。TPU には、各チャンネルに 1 本、計 6 本の TCR があります。TCR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	7	6	5	4	3	2	1	0
ビット名	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	CCLR2	0	R/W	カウンタクリア 2、1、0
6	CCLR1	0	R/W	TCNT のカウンタクリア要因を選択します。詳細は表 14.4、表 14.5 を参照してください。
5	CCLR0	0	R/W	
4	CKEG1	0	R/W	クロックエッジ 1、0
3	CKEG0	0	R/W	入力クロックのエッジを選択します。詳細は表 14.6 を参照してください。内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります (例 : $P\phi/4$ の両エッジ = $P\phi/2$ の立ち上がりエッジ)。チャンネル 1、2、4、5 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックが $P\phi/4$ もしくはそれより遅い場合に有効です。入力クロックに $P\phi/1$ 、あるいは他のチャンネルのオーバフロー/アンダフローを選択した場合は本設定は無視されます。
2	TPSC2	0	R/W	タイマプリスケラ 2、1、0
1	TPSC1	0	R/W	TCNT のカウンタクロックを選択します。各チャンネル独立にクロックソースを選択することができます。詳細は表 14.7~表 14.12 を参照してください。クロックソースに外部クロックを選択する場合は、該当する端子の DDR ビットを 0 に、ICR ビットを 1 に設定してください。詳細は「13. I/O ポート」を参照してください。
0	TPSC0	0	R/W	

表 14.4 CCLR2~CCLR0 (チャンネル 0、3)

チャンネル	ビット7	ビット6	ビット5	説明
	CCLR2	CCLR1	CCLR0	
0、3	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア* ¹
	1	0	0	TCNT のクリア禁止
	1	0	1	TGRC のコンペアマッチ/インプットキャプチャで TCNT クリア* ²
	1	1	0	TGRD のコンペアマッチ/インプットキャプチャで TCNT クリア* ²
	1	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア* ¹

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 TGRC または TGRD をバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNT はクリアされません。

表 14.5 CCLR2~CCLR0 (チャンネル 1、2、4、5)

チャンネル	ビット7	ビット6	ビット5	説明
	リザーブ* ²	CCLR1	CCLR0	
1、2、 4、5	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア* ¹

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 チャンネル 1、2、4、5 ではビット 7 はリザーブです。リードすると常に 0 がリードされます。ライトは無効です。

表 14.6 入力クロックエッジ選択

クロックエッジ選択		入力クロック	
CKEG1	CKEG0	内部クロック	外部クロック
0	0	立ち下がりエッジでカウント	立ち上がりエッジでカウント
0	1	立ち上がりエッジでカウント	立ち下がりエッジでカウント
1	x	両エッジでカウント	両エッジでカウント

【記号説明】 x : Don't care

14. 16 ビットタイマパルスユニット (TPU)

表 14.7 TPSC2~TPSC0 (チャンネル 0)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック : Pφ/1 でカウント
	0	0	1	内部クロック : Pφ/4 でカウント
	0	1	0	内部クロック : Pφ/16 でカウント
	0	1	1	内部クロック : Pφ/64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	外部クロック : TCLKD 端子入力でカウント

表 14.8 TPSC2~TPSC0 (チャンネル 1)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック : Pφ/1 でカウント
	0	0	1	内部クロック : Pφ/4 でカウント
	0	1	0	内部クロック : Pφ/16 でカウント
	0	1	1	内部クロック : Pφ/64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	内部クロック : Pφ/256 でカウント
	1	1	1	TCNT2 のオーバフロー/アンダフローでカウント

【注】 チャンネル 1 が位相計数モード時、この設定は無効になります。

表 14.9 TPSC2~TPSC0 (チャンネル 2)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック : Pφ/1 でカウント
	0	0	1	内部クロック : Pφ/4 でカウント
	0	1	0	内部クロック : Pφ/16 でカウント
	0	1	1	内部クロック : Pφ/64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	内部クロック : Pφ/1024 でカウント

【注】 チャンネル 2 が位相計数モード時、この設定は無効になります。

表 14.10 TPSC2~TPSC0 (チャンネル3)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
3	0	0	0	内部クロック : P ϕ /1 でカウント
	0	0	1	内部クロック : P ϕ /4 でカウント
	0	1	0	内部クロック : P ϕ /16 でカウント
	0	1	1	内部クロック : P ϕ /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	内部クロック : P ϕ /1024 でカウント
	1	1	0	内部クロック : P ϕ /256 でカウント
	1	1	1	内部クロック : P ϕ /4096 でカウント

表 14.11 TPSC2~TPSC0 (チャンネル4)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
4	0	0	0	内部クロック : P ϕ /1 でカウント
	0	0	1	内部クロック : P ϕ /4 でカウント
	0	1	0	内部クロック : P ϕ /16 でカウント
	0	1	1	内部クロック : P ϕ /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKC 端子入力でカウント
	1	1	0	内部クロック : P ϕ /1024 でカウント
	1	1	1	TCNT5 のオーバフロー/アンダフローでカウント

【注】 チャンネル4が位相計数モード時、この設定は無効になります。

表 14.12 TPSC2~TPSC0 (チャンネル5)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
5	0	0	0	内部クロック : P ϕ /1 でカウント
	0	0	1	内部クロック : P ϕ /4 でカウント
	0	1	0	内部クロック : P ϕ /16 でカウント
	0	1	1	内部クロック : P ϕ /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKC 端子入力でカウント
	1	1	0	内部クロック : P ϕ /256 でカウント
	1	1	1	外部クロック : TCLKD 端子入力でカウント

【注】 チャンネル5が位相計数モード時、この設定は無効になります。

14. 16 ビットタイマパルスユニット (TPU)

14.3.2 タイマモードレジスタ (TMDR)

TMDR は、各チャンネルの動作モードの設定を行います。TPU には、各チャンネルに 1 本、計 6 本の TMDR があります。TMDR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	BFB	BFA	MD3	MD2	MD1	MD0
初期値 :	1	1	0	0	0	0	0	0
R/W :	—	—	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	—	1	—	リザーブ
6	—	1	—	リードすると常に 1 が読み出されます。ライトは無効です。
5	BFB	0	R/W	バッファ動作 B TGRB を通常動作させるか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。TGRD をバッファレジスタとして使用した場合は、TGRD のインプットキャプチャ/アウトプットコンペアは発生しません。 TGRD を持たないチャンネル 1、2、4、5 ではこのビットはリザーブビットになります。リードすると常に 0 が読み出されます。ライトは無効です。 0 : TGRB は通常動作 1 : TGRB と TGRD はバッファ動作
4	BFA	0	R/W	バッファ動作 A TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します。TGRC をバッファレジスタとして使用した場合は、TGRC のインプットキャプチャ/アウトプットコンペアは発生しません。 TGRC を持たないチャンネル 1、2、4、5 ではこのビットはリザーブビットになります。リードすると常に 0 が読み出されます。ライトは無効です。 0 : TGRA は通常動作 1 : TGRA と TGRC はバッファ動作
3	MD3	0	R/W	モード 3~0
2	MD2	0	R/W	MD3~MD0 はタイマの動作モードを設定します。
1	MD1	0	R/W	MD3 はリザーブビットです。ライト時には常に 0 としてください。
0	MD0	0	R/W	詳細は表 14.3 を参照してください。

表 14.13 MD3~MD0

ビット3	ビット2	ビット1	ビット0	説 明
MD3* ¹	MD2* ²	MD1	MD0	
0	0	0	0	通常動作
0	0	0	1	リザーブ
0	0	1	0	PWM モード 1
0	0	1	1	PWM モード 2
0	1	0	0	位相計数モード 1
0	1	0	1	位相計数モード 2
0	1	1	0	位相計数モード 3
0	1	1	1	位相計数モード 4
1	X	x	x	—

【記号説明】 x : Don't care

【注】 *1 MD3 はリザーブビットです。ライト時には常に 0 としてください。

*2 チャンネル 0、3 では、位相計数モードの設定はできません。MD2 には常に 0 をライトしてください。

14.3.3 タイマ I/O コントロールレジスタ (TIOR)

TIOR は TGR を制御します。TPU には、チャンネル 0、3 に各 2 本、チャンネル 1、2、4、5 に各 1 本、計 8 本の TIOR があります。TIOR は TMDR の設定により影響を受けますので注意してください。

TIOR で指定した初期出力はカウンタが停止した状態 (TSTR の CST ビットを 0 にクリアした) で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

TGRC、あるいは TGRD をバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

TIOR にインプットキャプチャ端子として設定する場合は、該当する端子の DDR ビットを 0 に、ICR ビットを 1 に設定してください。詳細は「13. I/O ポート」を参照してください。

・ TIORH_0、TIOR_1、TIOR_2、TIORH_3、TIOR_4、TIOR_5

ビット	7	6	5	4	3	2	1	0
ビット名	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

・ TIORL_0、TIORL_3

ビット	7	6	5	4	3	2	1	0
ビット名	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

14. 16 ビットタイマパルスユニット (TPU)

- TIORH_0、TIOR_1、TIOR_2、TIORH_3、TIOR_4、TIOR_5

ビット	ビット名	初期値	R/W	説 明
7	I OB3	0	R/W	I/O コントロール B3~B0 TGRB の機能を設定します。詳細は表 14.14、表 14.16、表 14.17、表 14.18、表 14.20、表 14.21 を参照してください。
6	I OB2	0	R/W	
5	I OB1	0	R/W	
4	I OB0	0	R/W	
3	I OA3	0	R/W	I/O コントロール A3~A0 TGRA の機能を設定します。詳細は表 14.22、表 14.24、表 14.25、表 14.26、表 14.28、表 14.29 を参照してください。
2	I OA2	0	R/W	
1	I OA1	0	R/W	
0	I OA0	0	R/W	

- TIORL_0、TIORL_3

ビット	ビット名	初期値	R/W	説 明
7	I OD3	0	R/W	I/O コントロール D3~D0 TGRD の機能を設定します。詳細は表 14.15、表 14.19 を参照してください。
6	I OD2	0	R/W	
5	I OD1	0	R/W	
4	I OD0	0	R/W	
3	I OC3	0	R/W	I/O コントロール C3~C0 TGRC の機能を設定します。詳細は表 14.23、表 14.27 を参照してください。
2	I OC2	0	R/W	
1	I OC1	0	R/W	
0	I OC0	0	R/W	

表 14.14 TIORH_0

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_0 の機能	TIOCB0 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCB0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCB0 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネル 1/カウントクロック TCNT_1 のカウントアップ/カウントダウンでイン プットキャプチャ*

【記号説明】 x : Don't care

【注】 * TCR_1 の TPSC2~TPSC0 ビットを B'000 とし、TCNT_1 のカウントクロックに Pφ/1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

14. 16 ビットタイマパルスユニット (TPU)

表 14.15 TIORL_0

ビット7	ビット6	ビット5	ビット4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_0 の機能	TIOCD0 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*2	キャプチャ入力元は TIOCD0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCD0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCD0 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネル 1/カウントクロック TCNT_1 のカウントアップ/カウントダウンでイン プットキャプチャ*1

【記号説明】 x : Don't care

【注】 *1 TCR_1 の TPSC2~TPSC0 ビットを B'000 とし、TCNT_1 のカウントクロックに Pφ/1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

*2 TMDR_0 の BFB ビットを 1 にセットして TGRD_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 14.16 TIOR_1

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_1 の機能	TIOCB1 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCB1 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB1 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCB1 端子 両エッジでインプットキャプチャ
1	1	x	x		TGRC_0 コンペアマッチ/インプットキャプチャ TGRC_0 のコンペアマッチ/インプットキャプチャ の発生でインプットキャプチャ

【記号説明】 x : Don't care

14. 16 ビットタイマパルスユニット (TPU)

表 14.17 TIOR_2

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_2 の機能	TIOCB2 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCB2 端子 立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元は TIOCB2 端子 立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元は TIOCB2 端子 両エッジでインプットキャプチャ

【記号説明】 x : Don't care

表 14.18 TIORH_3

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_3 の機能	TIOCB3 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCB3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCB3 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネル 4 / カウントクロック TCNT_4 のカウントアップ / カウントダウンでイン プットキャプチャ*

【記号説明】 x : Don't care

【注】 * TCR_4 の TPSC2~TPSC0 ビットを B'000 とし、TCNT_4 のカウントクロックに Pφ/1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

14. 16 ビットタイマパルスユニット (TPU)

表 14.19 TIORL_3

ビット7	ビット6	ビット5	ビット4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_3 の機能	TIOCD3 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*2	キャプチャ入力元は TIOCD3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCD3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCD3 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネル 4 / カウントクロック TCNT_4 のカウントアップ / カウントダウンでイン プットキャプチャ*1

【記号説明】 x : Don't care

【注】 *1 TCR_4 の TPSC2~TPSC0 ビットを B'000 とし、TCNT_4 のカウントクロックに Pφ/1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

*2 TMDR_3 の BFB ビットを 1 にセットして TGRD_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

表 14.20 TIOR_4

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_4 の機能	TIOCB4 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCB4 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB4 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCB4 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元は TGRC_3 コンペアマッチ/イン プットキャプチャ TGRC_3 のコンペアマッチ/インプットキャプチャ の発生でインプットキャプチャ

【記号説明】 x : Don't care

14. 16 ビットタイマパルスユニット (TPU)

表 14.21 TIOR_5

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_5 の機能	TIOCB5 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCB5 端子 立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元は TIOCB5 端子 立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元は TIOCB5 端子 両エッジでインプットキャプチャ

【記号説明】 x : Don't care

表 14.22 TIORH_0

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_0 の機能	TIOCA0 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	1	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCA0 端子 立ち下がりエッジでインプットキャプチャ
1	0	0	0		キャプチャ入力元は TIOCA0 端子 立ち上がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCA0 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネル 1/カウントクロック TCNT_1 のカウントアップ/カウントダウンでイン プットキャプチャ*

【記号説明】 x : Don't care

- * TCR_1 の TPSC2~TPSC0 ビットを B'000 とし、TCNT_1 のカウントクロックに Pφ/1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

14. 16 ビットタイマパルスユニット (TPU)

表 14.23 TIORL_0

ビット3	ビット2	ビット1	ビット0	説 明	
				TGRC_0 の機能	TIOCC0 の端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*2	キャプチャ入力元は TIOCC0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCC0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCC0 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネル 1/カウントクロック TCNT_1 のカウントアップ/カウントダウンでイン プットキャプチャ*1

【記号説明】 x : Don't care

【注】 *1 TCR_1 の TPSC2~TPSC0 ビットを B'000 とし、TCNT_1 のカウントクロックに Pφ/1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

*2 TMDR_0 の BFA ビットを 1 にセットして TGRC_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 14.24 TIOR_1

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_1の機能	TIOCA1 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCA1 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA1 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCA1 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元は TGRA_0 コンペアマッチ/イン プットキャプチャ チャンネル 0/TGRA_0 のコンペアマッチ/インプット キャプチャの発生でインプットキャプチャ

【記号説明】 x : Don't care

14. 16 ビットタイマパルスユニット (TPU)

表 14.25 TIOR_2

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_2 の機能	TIOCA2 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCA2 端子 立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元は TIOCA2 端子 立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元は TIOCA2 端子 両エッジでインプットキャプチャ

【記号説明】 x : Don't care

表 14.26 TIORH_3

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_3 の機能	TIOCA3 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCA3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCA3 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネル 4 / カウントクロック TCNT_4 のカウントアップ / カウントダウンでイン プットキャプチャ*

【記号説明】 x : Don't care

【注】 * TCR_4 の TPSC2~TPSC0 ビットを B'000 とし、TCNT_4 のカウントクロックに Pφ/1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

14. 16 ビットタイマパルスユニット (TPU)

表 14.27 TIORL_3

ビット3	ビット2	ビット1	ビット0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_3 の端子	TIOCC3 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*2	キャプチャ入力元は TIOCC3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCC3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCC3 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネル 4 / カウントクロック TCNT_4 のカウントアップ / カウントダウンでイン プットキャプチャ*1

【記号説明】 x : Don't care

【注】 *1 TCR_4 の TPSC2~TPSC0 ビットを B'000 とし、TCNT_4 のカウントクロックに Pφ/1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

*2 TMDR_3 の BFA ビットを 1 にセットして TGRC_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

表 14.28 TIOR_4

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_4 の機能	TIOCA4 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCA4 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA4 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCA4 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元は TGRA_3 コンペアマッチ/イン プットキャプチャ TGRA_3 のコンペアマッチ/インプットキャプチャ の発生でインプットキャプチャ

【記号説明】 x : Don't care

14. 16 ビットタイマパルスユニット (TPU)

表 14.29 TIOR_5

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_5 の機能	TIOCA5 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCA5 端子 立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元は TIOCA5 端子 立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元は TIOCA5 端子 両エッジでインプットキャプチャ

【記号説明】 x : Don't care

14.3.4 タイマインタラプトイネーブルレジスタ (TIER)

TIER は、各チャンネルの割り込み要求の許可、禁止を制御します。TPU には、各チャンネルに 1 本、計 6 本の TIER があります。

ビット	7	6	5	4	3	2	1	0
ビット名	TTGE*	—	TCIEU	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
初期値 :	0	1	0	0	0	0	0	0
R/W :	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * ユニット1のTIERのビット7はリザーブビットです。
リードすると常に0が読み出されます。初期値を変更しないでください。

ビット	ビット名	初期値	R/W	説明
7	TTGE*	0	R/W	A/D 変換開始要求イネーブル TGRA のインプットキャプチャ/コンペアマッチによる A/D 変換器開始要求の発生を許可または禁止します。 0 : A/D 変換開始要求の発生を禁止 1 : A/D 変換開始要求の発生を許可
6	—	1	—	リザーブビット リードすると 1 がリードされます。ライトは無効です
5	TCIEU	0	R/W	アンダフローインタラプトイネーブル チャンネル 1、2、4、5 で TSR の TCFU フラグが 1 にセットされたとき、TCFU フラグによる割り込み要求 (TCIU) を許可または禁止します。 チャンネル 0、3 ではリザーブビットです。 リードすると常に 0 がリードされます。ライトは無効です。 0 : TCFU による割り込み要求 (TCIU) を禁止 1 : TCFU による割り込み要求 (TCIU) を許可
4	TCIEV	0	R/W	オーバフローインタラプトイネーブル TSR の TCFV フラグが 1 にセットされたとき、TCFV フラグによる割り込み要求 (TCIV) を許可または禁止します。 0 : TCFV による割り込み要求 (TCIV) を禁止 1 : TCFV による割り込み要求 (TCIV) を許可
3	TGIED	0	R/W	TGR インタラプトイネーブル D チャンネル 0、3 で TSR の TGFD ビットが 1 にセットされたとき、TGFD ビットによる割り込み要求 (TGID) を許可または禁止します。チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。 0 : TGFD ビットによる割り込み要求 (TGID) を禁止 1 : TGFD ビットによる割り込み要求 (TGID) を許可

14. 16 ビットタイムパルスユニット (TPU)

ビット	ビット名	初期値	R/W	説明
2	TGIEC	0	R/W	TGR インタラプトイネーブル C チャンネル 0、3 で TSR の TGFC ビットが 1 にセットされたとき、TGFC ビットによる割り込み要求 (TGIC) を許可または禁止します。 チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。 0 : TGFC ビットによる割り込み要求 (TGIC) を禁止 1 : TGFC ビットによる割り込み要求 (TGIC) を許可
1	TGIEB	0	R/W	TGR インタラプトイネーブル B TSR の TGFB ビットが 1 にセットされたとき、TGFB ビットによる割り込み要求 (TGIB) を許可または禁止します。 0 : TGFB ビットによる割り込み要求 (TGIB) を禁止 1 : TGFB ビットによる割り込み要求 (TGIB) を許可
0	TGIEA	0	R/W	TGR インタラプトイネーブル A TSR の TGFA ビットが 1 にセットされたとき、TGFA ビットによる割り込み要求 (TGIA) を許可または禁止します。 0 : TGFA ビットによる割り込み要求 (TGIA) を禁止 1 : TGFA ビットによる割り込み要求 (TGIA) を許可

【注】 * ユニット 1 の TIER のビット 7 はリザーブビットです。
リードすると常に 0 が読み出されます。初期値を変更しないでください。

14.3.5 タイマステータスレジスタ (TSR)

TSR は、各チャンネルのステータスの表示を行います。TPU には、各チャンネルに 1 本、計 6 本の TSR があります。

ビット	7	6	5	4	3	2	1	0
ビット名	TCFD	—	TCFU	TCFV	TGFD	TGFC	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	—	R(W)*	R(W)*	R(W)*	R(W)*	R(W)*	R(W)*

【注】 * フラグをクリアするための 0 ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	TCFD	1	R	カウント方向フラグ チャンネル 1、2、4、5 の TCNT のカウント方向を示すステータスフラグです。 チャンネル 0、3 ではリザーブビットです。リードすると常に 1 がリードされます。ライトは無効です。 0 : TCNT はダウンカウント 1 : TCNT はアップカウント
6	—	1	—	リザーブビット リードすると常に 1 がリードされます。ライトは無効です

ビット	ビット名	初期値	R/W	説明
5	TCFU	0	R/(W)*	<p>アンダフローフラグ</p> <p>チャンネル 1、2、4、5 が位相計数モードのとき、TCNT のアンダフローの発生を示すステータスフラグです。</p> <p>チャンネル 0、3 ではリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。</p> <p>[セット条件]</p> <p>TCNT の値がアンダフロー (H'0000→H'FFFF) したとき</p> <p>[クリア条件]</p> <p>TCFU=1 の状態で TCFU をリード後、TCFU に 0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)</p>
4	TCFV	0	R/(W)*	<p>オーバフローフラグ (TCFV)</p> <p>TCNT のオーバフローの発生を示すステータスフラグです。</p> <p>[セット条件]</p> <p>TCNT の値がオーバフローしたとき (H'FFFF→ H'0000)</p> <p>[クリア条件]</p> <p>TCFV=1 の状態で TCFV をリード後、TCFV に 0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)</p>
3	TGFD	0	R/(W)*	<p>インプットキャプチャ/アウトプットコンペアフラグ D</p> <p>チャンネル 0、3 の TGRD のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRD がアウトプットコンペアレジスタとして機能している場合、TCNT=TGRD になったとき • TGRD がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRD に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGID 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき • TGFD=1 の状態で TGFD をリード後、TGFD に 0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)

14. 16 ビットタイマパルスユニット (TPU)

ビット	ビット名	初期値	R/W	説明
2	TGFC	0	R/(W)*	<p>インプットキャプチャ／アウトプットコンペアフラグ C</p> <p>チャンネル 0、3 の TGRC のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRC がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRC になったとき • TGRC がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRC に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIC 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき • TGFC=1 の状態で TGFC をリード後、TGFC に 0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)
1	TGFB	0	R/(W)*	<p>インプットキャプチャ／アウトプットコンペアフラグ B</p> <p>TGRB のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRB がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRB になったとき • TGRB がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRB に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIB 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき • TGFB=1 の状態で TGFB をリード後、TGFB に 0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)

ビット	ビット名	初期値	R/W	説明
0	TGFA	0	R/(W)*	<p>インプットキャプチャ／アウトプットコンペアフラグ A</p> <p>TGRAのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRA がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRA になったとき • TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIA 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき • TGIA 割り込みにより DMAC が起動され、DMAC の DMDR の DTA ビットが 1 のとき • TGFA=1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき <p>(割り込みを使用し、CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)</p>

【注】 * フラグをクリアするための 0 ライトのみ可能です。

14.3.6 タイマカウンタ (TCNT)

TCNT は 16 ビットのリード／ライト可能なカウンタです。各チャンネルに 1 本、計 6 本の TCNT があります。

TCNT は、リセットまたはハードウェアスタンバイモード時に H'0000 に初期化されます。

TCNT の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

14.3.7 タイマジェネラルレジスタ (TGR)

TGR は 16 ビットのリード／ライト可能なアウトプットコンペア／インプットキャプチャ兼用のレジスタです。チャンネル 0、3 に各 4 本、チャンネル 1、2、4、5 に各 2 本、計 16 本のジェネラルレジスタがあります。チャンネル 0、3 の TGRC と TGRD は、バッファレジスタとして動作設定することができます。TGR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。バッファ動作時の TGR とバッファレジスタの組み合わせは、TGRA-TGRC、TGRB-TGRD になります。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

14. 16 ビットタイマパルスユニット (TPU)

14.3.8 タイマスタートレジスタ (TSTR)

TSTR は、チャンネル 0~5 の TCNT の動作/停止を選択します。TMDR へ動作モードを設定する場合や TCR へ TCNT のカウントクロックを設定する場合は、TCNT のカウンタ動作を停止してから行ってください。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	CST5	CST4	CST3	CST2	CST1	CST0
初期値 :	0	0	0	0	0	0	0	0
R/W :	—	—	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	—	0	—	リザーブビット
6	—	0	—	ライト時は必ず 0 としてください。
5	CST5	0	R/W	カウンタスタート 5~0
4	CST4	0	R/W	TCNT の動作または停止を選択します。
3	CST3	0	R/W	TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは
2	CST2	0	R/W	停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。
1	CST1	0	R/W	CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端
0	CST0	0	R/W	子の出力レベルが更新されます。 0 : TCNT_5~TCNT_0 のカウント動作は停止 1 : TCNT_5~TCNT_0 はカウント動作

14.3.9 タイマシンクロレジスタ (TSYR)

TSYR は、チャンネル 0~5 の TCNT の独立動作または同期動作を選択します。対応するビットを 1 にセットしたチャンネルが同期動作を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	—	0	R/W	リザーブビット
6	—	0	R/W	ライト時は必ず 0 としてください。

ビット	ビット名	初期値	R/W	説明
5	SYNC5	0	R/W	タイマ同期 5~0
4	SYNC4	0	R/W	他のチャンネルとの独立動作または同期動作を選択します。
3	SYNC3	0	R/W	同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウンタクリアによる同期クリアが可能となります。
2	SYNC2	0	R/W	
1	SYNC1	0	R/W	同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットの他に TCR の CCLR2~CCLR0
0	SYNC0	0	R/W	ビットで、TCNT のクリア要因を設定する必要があります。 0 : TCNT_5~TCNT_0 は独立動作 (TCNT のプリセット/クリアは他チャンネルと無関係) 1 : TCNT_5~TCNT_0 は同期動作 TCNT の同期プリセット/同期クリアが可能

14.4 動作説明

14.4.1 基本動作

各チャンネルには、TCNT と TGR があります。TCNT は、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

TGR は、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(1) カウンタの動作

TSTR の CST0~CST5 ビットを 1 にセットすると、対応するチャンネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図 14.3 に示します。

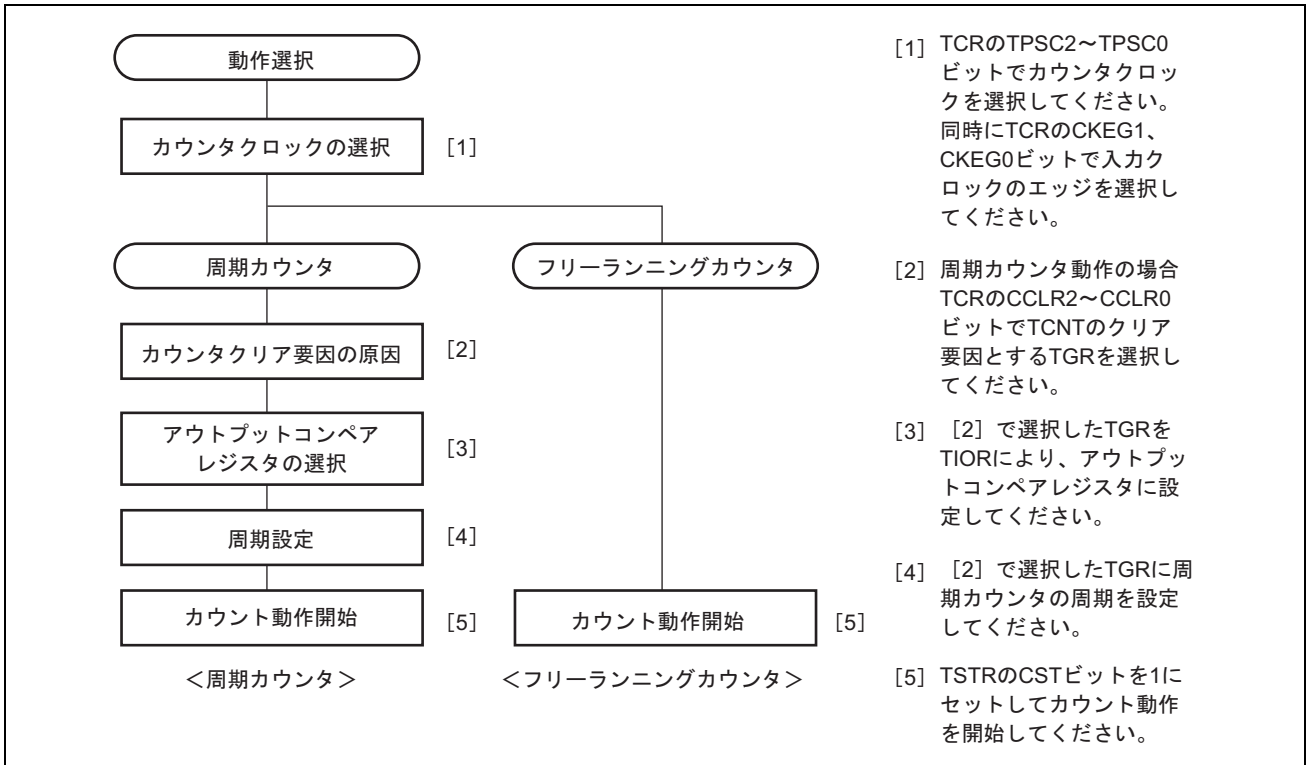


図 14.3 カウンタ動作設定手順例

(b) フリーランニングカウンタ動作と周期カウンタ動作

TPU の TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT がオーバーフロー(H'FFFF→H'0000)すると、TSR の TCFV ビットが 1 にセットされます。このとき、対応する TIER の TCIEV ビットが 1 ならば、TPU は割り込みを要求します。TCNT はオーバーフロー後、H'0000 からアップカウント動作を継続します。

フリーランニングカウンタの動作を図 14.4 に示します。

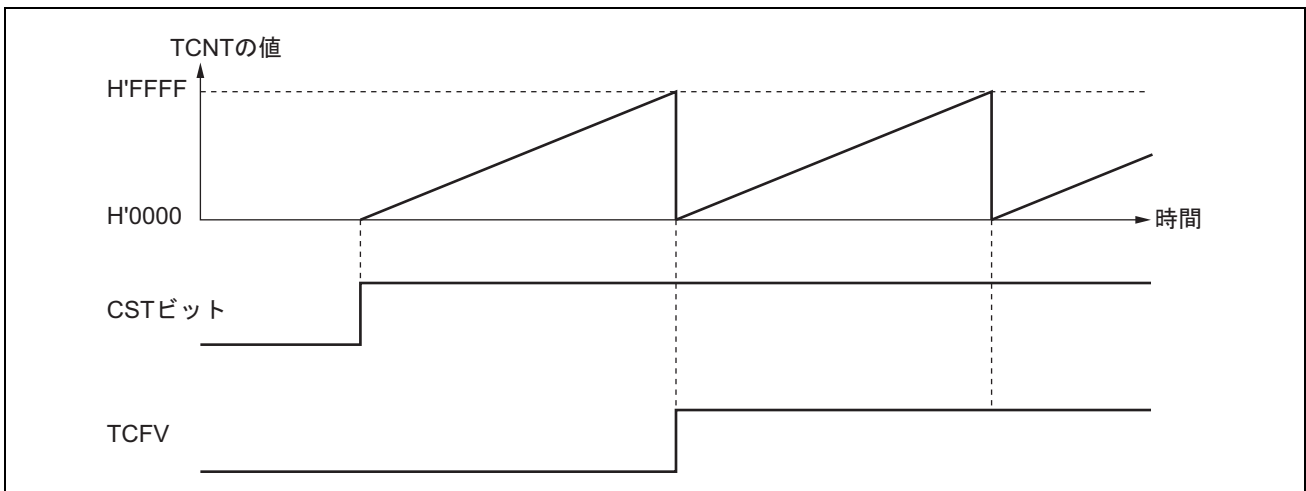


図 14.4 フリーランニングカウンタの動作

TCNTのクリア要因にコンペアマッチを選択したときは、対応するチャンネルのTCNTは周期カウント動作を行います。周期設定用のTGRをアウトプットコンペアレジスタに設定し、TCRのCCLR2～CCLR0ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTRの対応するビットを1にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値がTGRの値と一致すると、TSRのTGFビットが1にセットされ、TCNTはH'0000にクリアされます。

このとき対応するTIERのTGIEビットが1ならば、TPUは割り込みを要求します。TCNTはコンペアマッチ後、H'0000からアップカウント動作を継続します。

周期カウンタの動作を図14.5に示します。

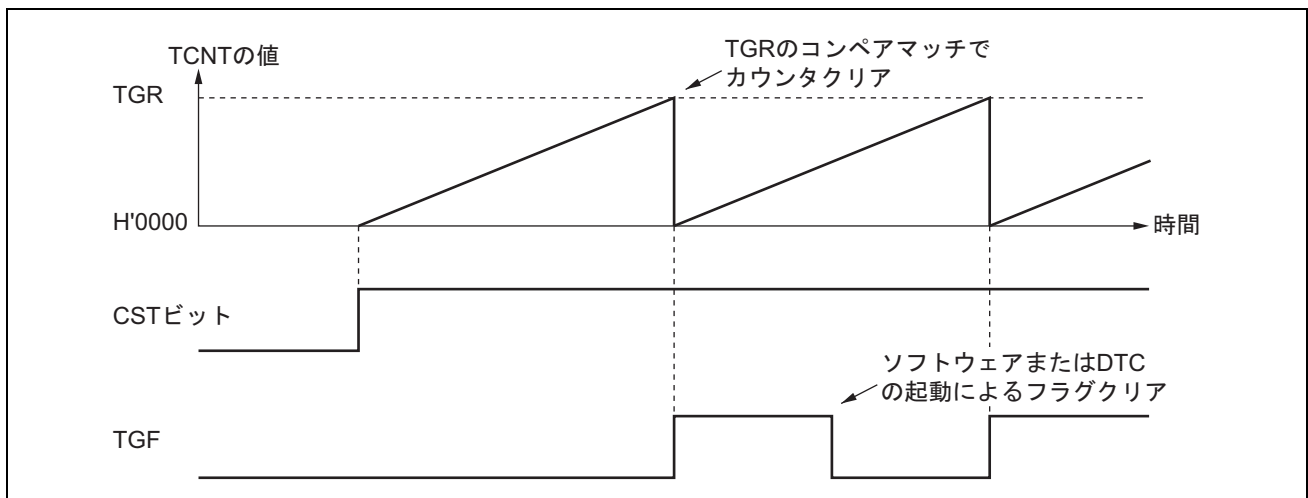


図 14.5 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

TPU は、コンペアマッチにより対応する出力端子から 0 出力 / 1 出力 / トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 14.6 に示します。

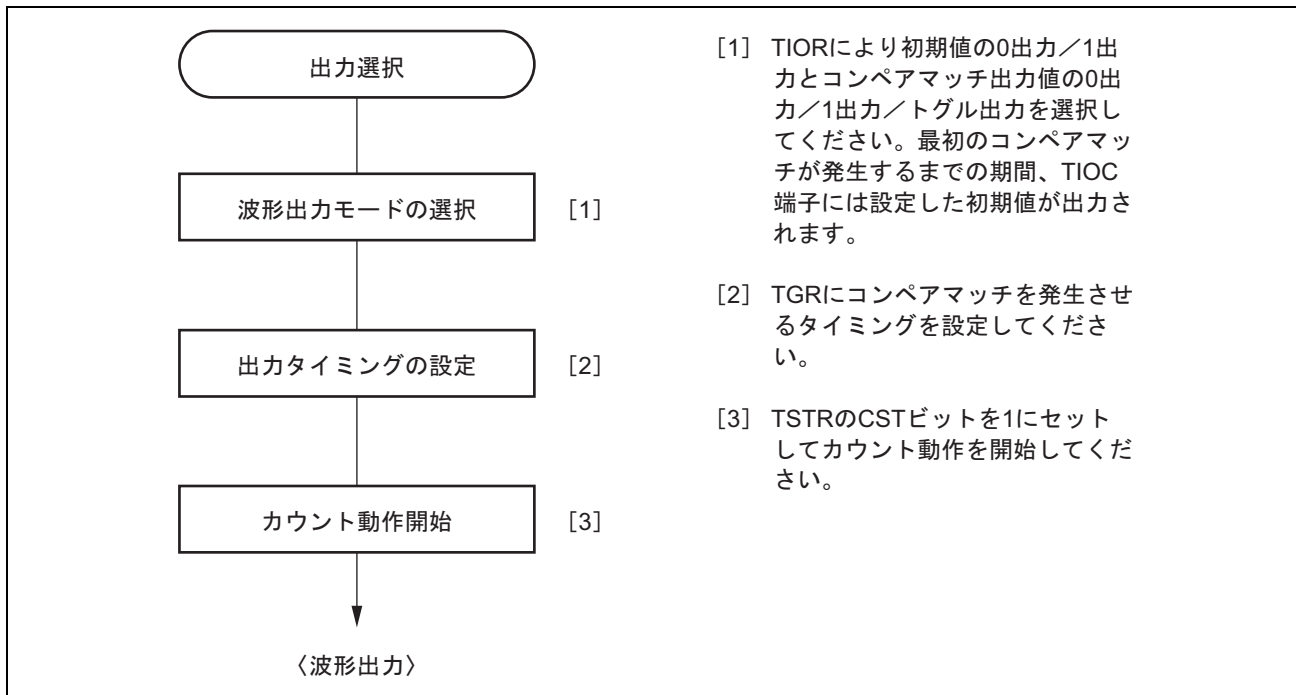


図 14.6 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

0 出力 / 1 出力例を図 14.7 に示します。

TCNT をフリーランニングカウント動作とし、コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

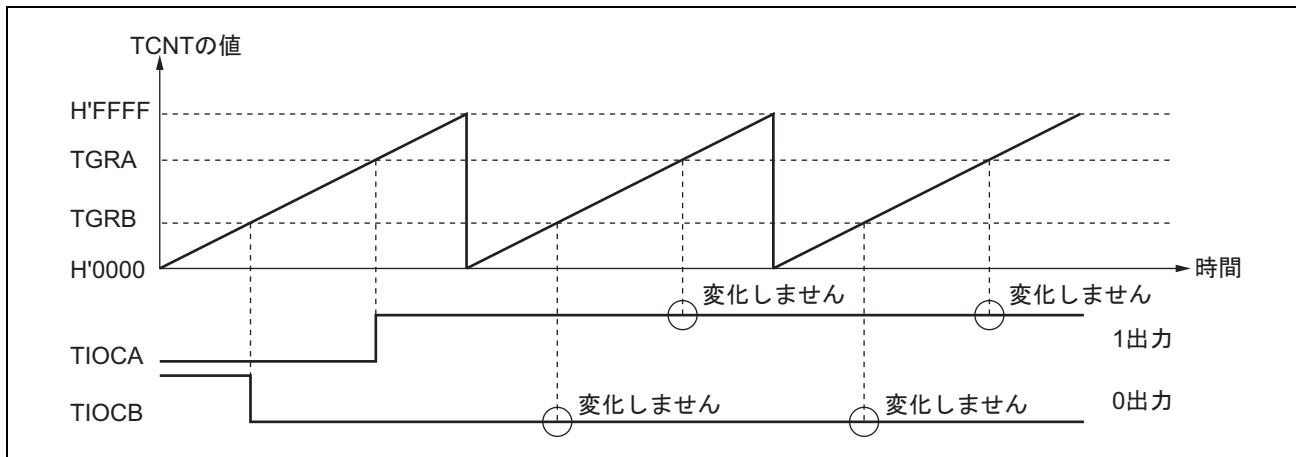


図 14.7 0 出力 / 1 出力の動作例

トグル出力の例を図 14.8 に示します。

TCNT を周期カウント動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

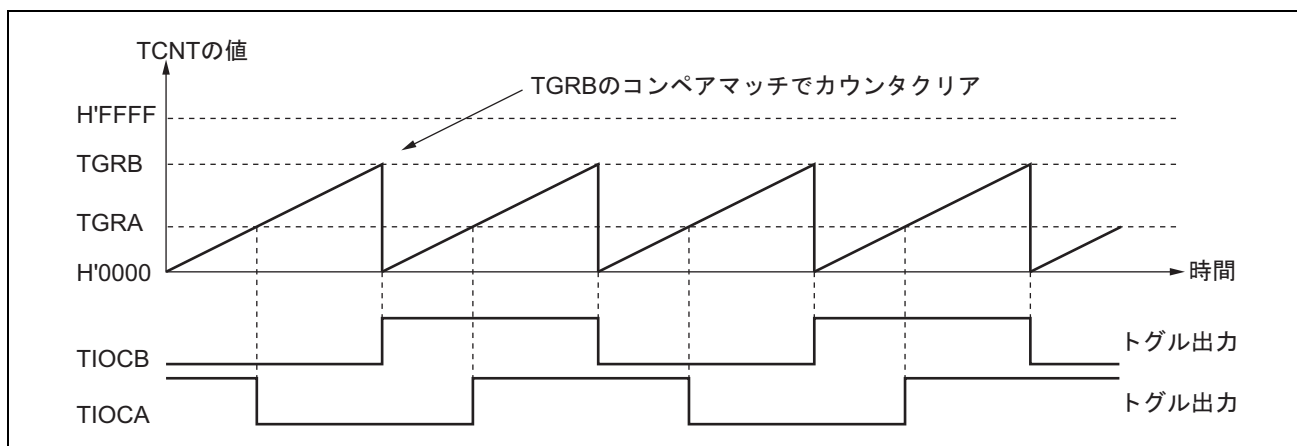


図 14.8 トグル出力の動作例

(3) インพุットキャプチャ機能

TIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。

検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。また、チャンネル 0、1、3、4 は別のチャンネルのカウンタ入力クロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

【注】 チャンネル 0、3 で別のチャンネルのカウンタ入力クロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウンタ入力クロックに Pφ/1 を選択しないでください。Pφ/1 を選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 14.9 に示します。

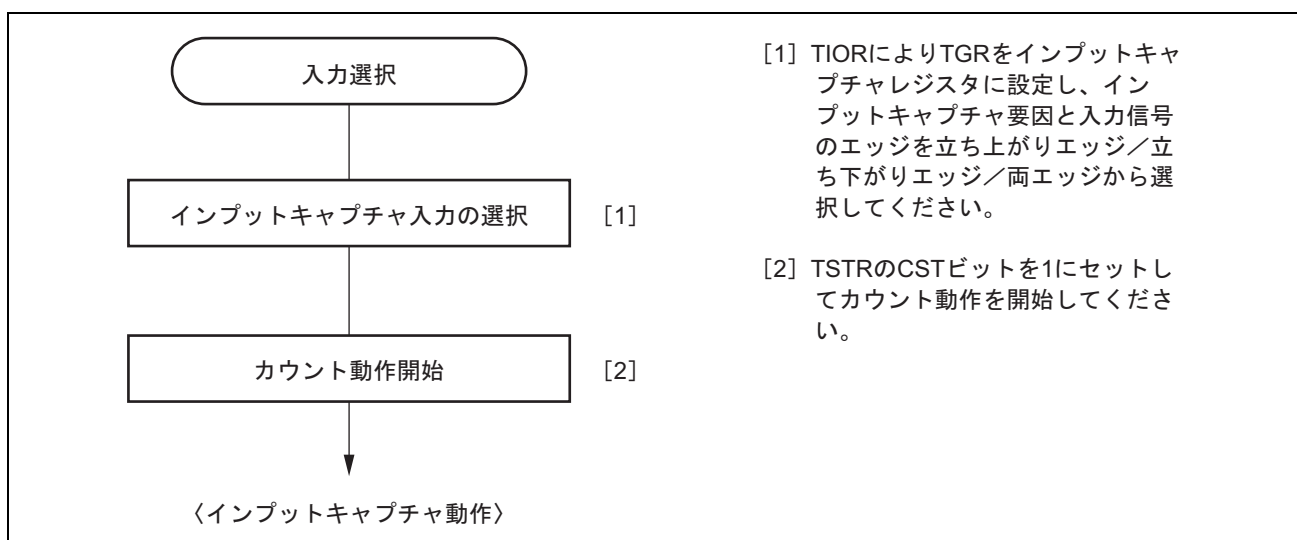


図 14.9 インพุットキャプチャ動作の設定例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 14.10 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり／立ち下がり両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

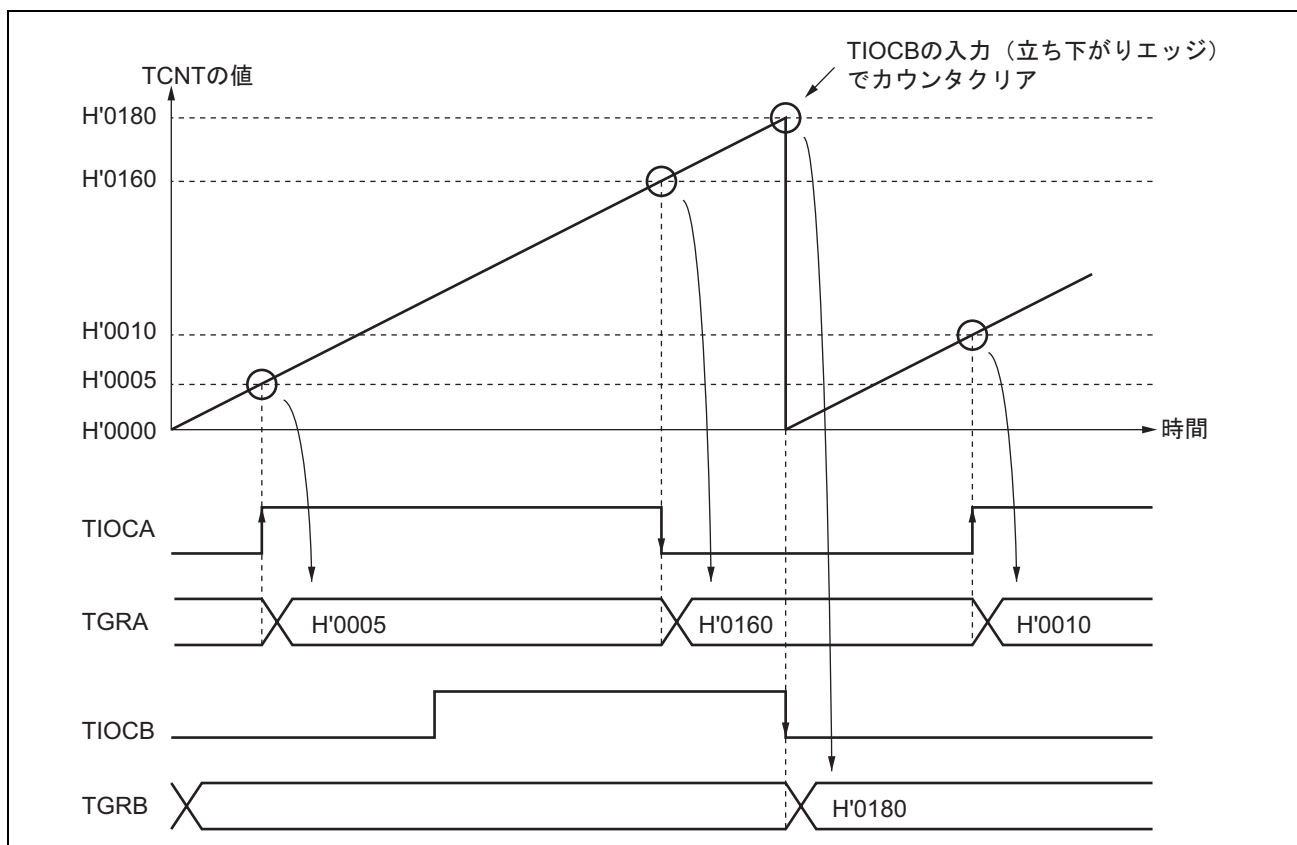


図 14.10 インพุットキャプチャ動作例

14.4.2 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます (同期プリセット)。また、TCR の設定により複数の TCNT を同時にクリアすることができます (同期クリア)。

同期動作により、1つのタイムベースに対して TGR を増加することができます。

チャンネル 0~5 はすべて同期動作の設定が可能です。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 14.11 に示します。

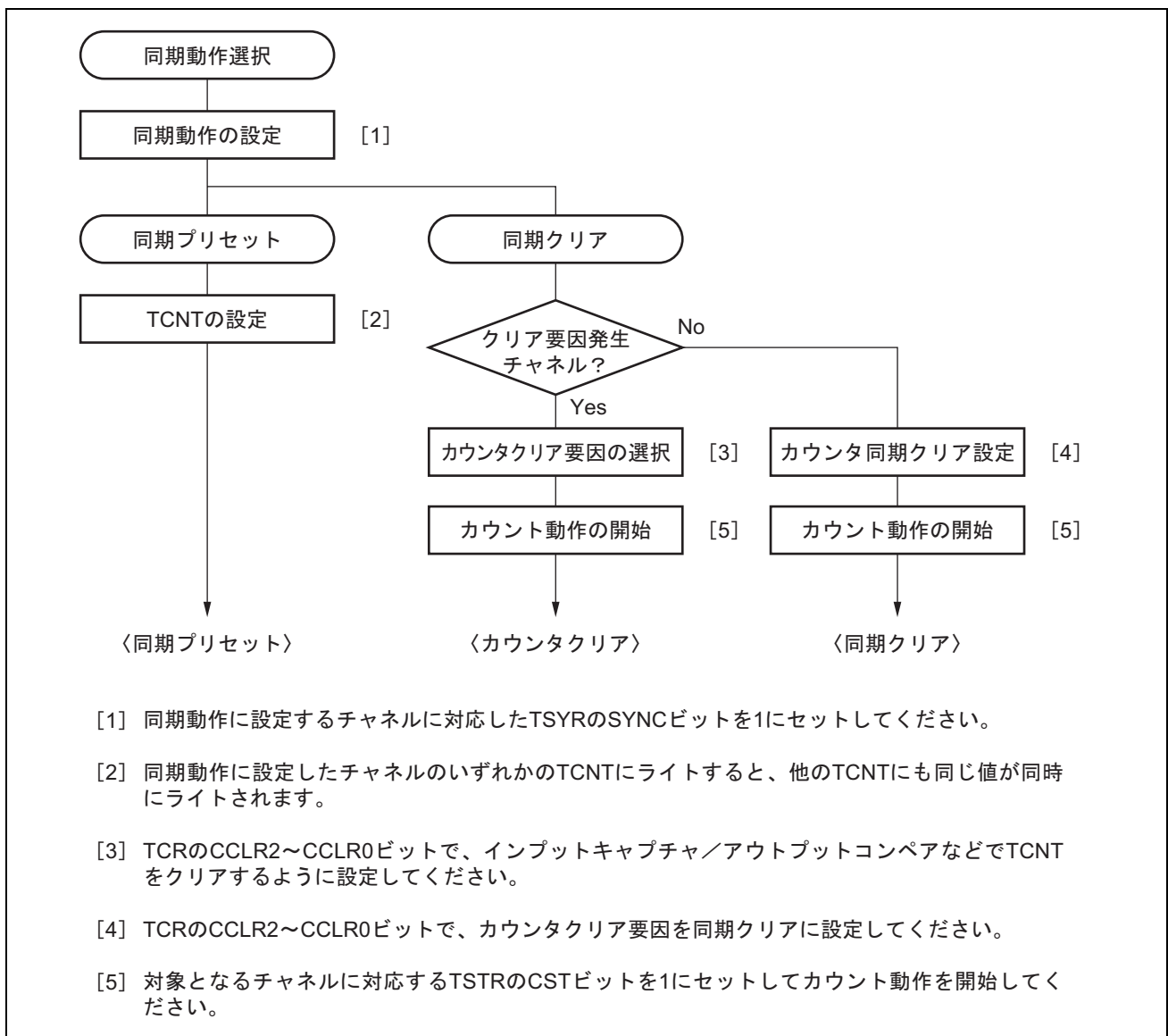


図 14.11 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 14.12 に示します。

チャンネル 0~2 を同期動作かつ PWM モード 1 に設定し、チャンネル 0 のカウンタクリア要因を TGRB_0 のコンペアマッチ、またチャンネル 1、2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を TIOCA0、TIOCA1、TIOCA2 端子から出力します。このとき、チャンネル 0~2 の TCNT は同期プリセット、TGRB_0 のコンペアマッチによる同期クリアを行い、TGRB_0 に設定したデータが PWM 周期となります。

PWM モードについては、「14.4.5 PWM モード」を参照してください。

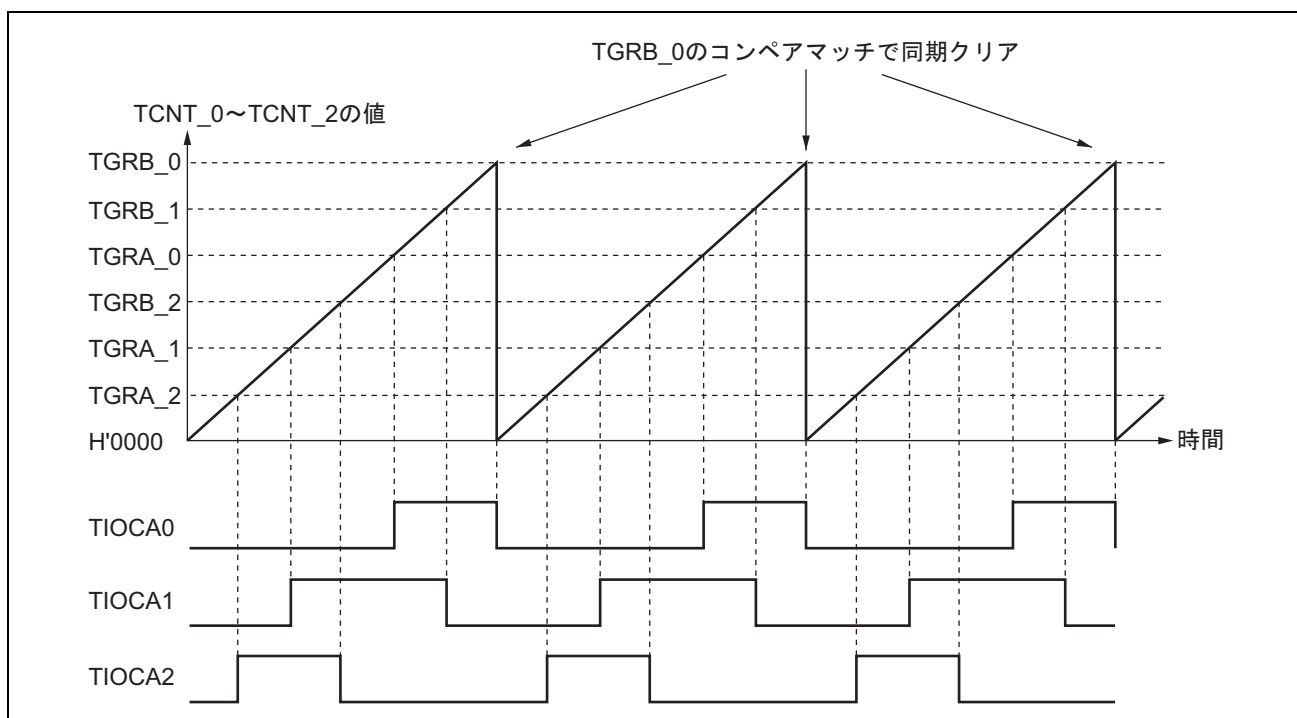


図 14.12 同期動作の動作例

14.4.3 バッファ動作

バッファ動作は、チャンネル 0、3 が持つ機能です。TGRC と TGRD をバッファレジスタとして使用することができます。

バッファ動作は、TGR を入力キャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

表 14.30 にバッファ動作時のレジスタの組み合わせを示します。

表 14.30 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
0	TGRA_0	TGRC_0
	TGRB_0	TGRD_0
3	TGRA_3	TGRC_3
	TGRB_3	TGRD_3

- TGRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 14.13 に示します。

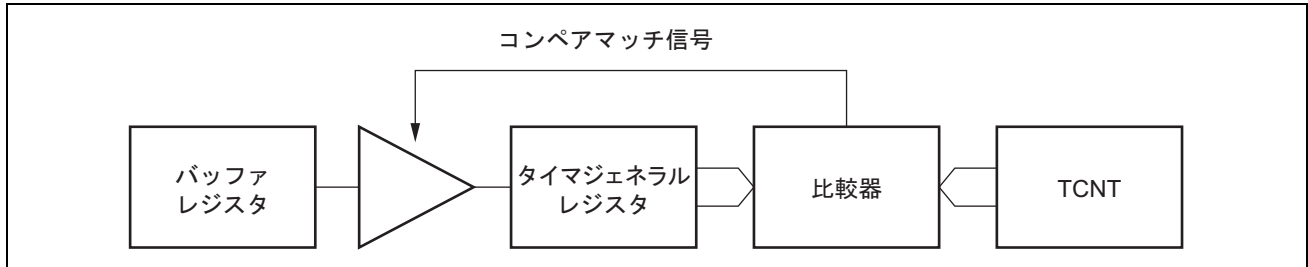


図 14.13 コンペアマッチバッファ動作

- TGRがインプットキャプチャレジスタの場合

入力キャプチャが発生すると、TCNT の値を TGR に転送すると同時に、それまで格納されていた TGR の値をバッファレジスタに転送します。

この動作を図 14.14 に示します。

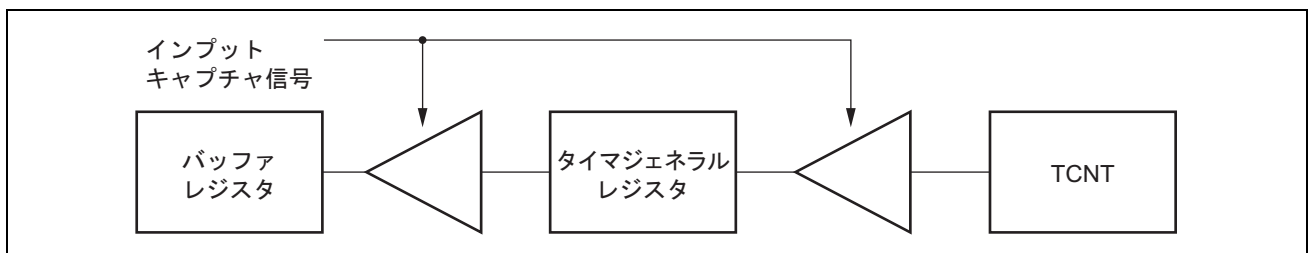


図 14.14 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 14.15 に示します。

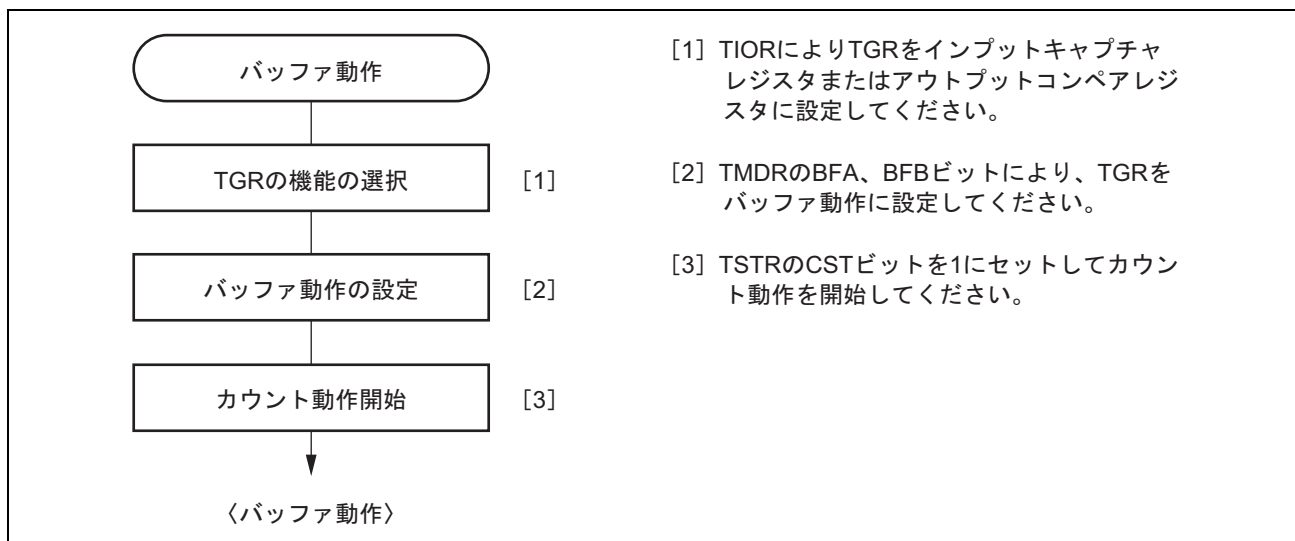


図 14.15 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGR がアウトプットコンペアレジスタの場合

チャンネル0をPWMモード1に設定し、TGRAとTGRCをバッファ動作に設定した場合の動作例を図14.16に示します。TCNTはコンペアマッチBによりクリア、出力はコンペアマッチAで1出力、コンペアマッチBで0出力に設定した例です。

バッファ動作が設定されているため、コンペアマッチAが発生すると出力を変化させると同時に、バッファレジスタTGRCの値がタイマジェネラルレジスタTGRAに転送されます。この動作は、コンペアマッチAが発生する度に繰り返されます。

PWMモードについては、「14.4.5 PWMモード」を参照してください。

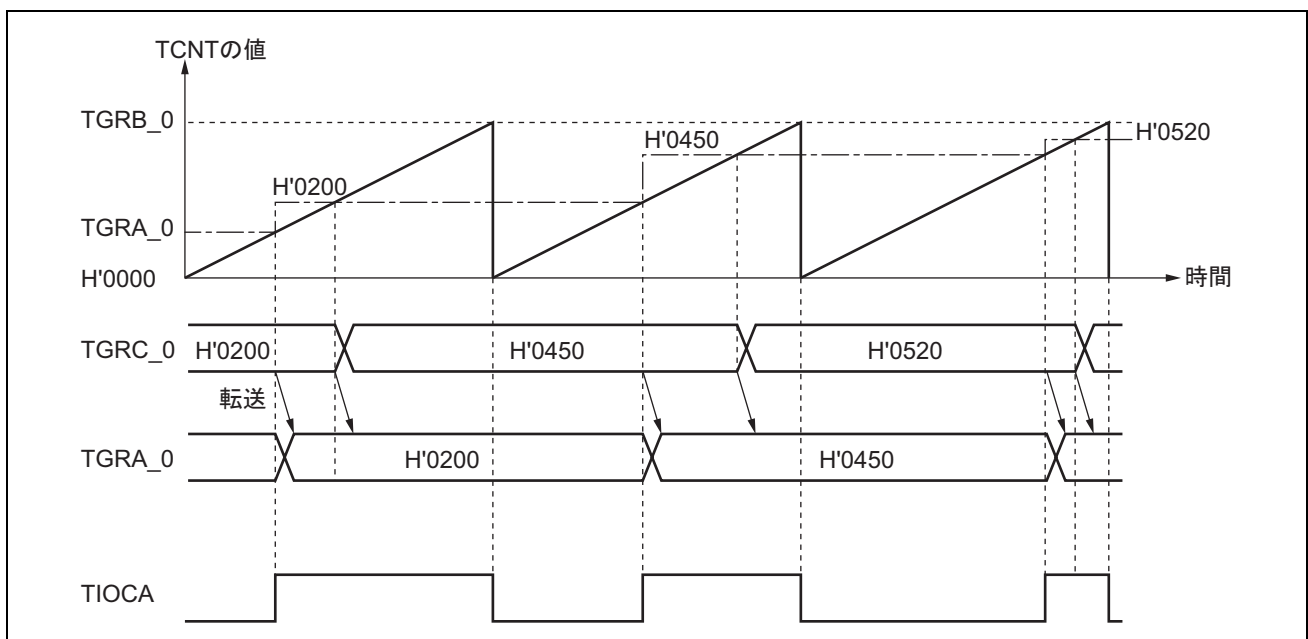


図 14.16 バッファ動作例 (1)

(b) TGR が入力キャプチャレジスタの場合

TGRAを入力キャプチャレジスタに設定し、TGRAとTGRCをバッファ動作に設定したときの動作例を図14.17に示します。

TCNTはTGRAの入力キャプチャでカウンタクリア、TIOCA端子の入力キャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、入力キャプチャAによりTCNTの値がTGRAに格納されると同時に、それまでTGRAに格納されていた値がTGRCに転送されます。

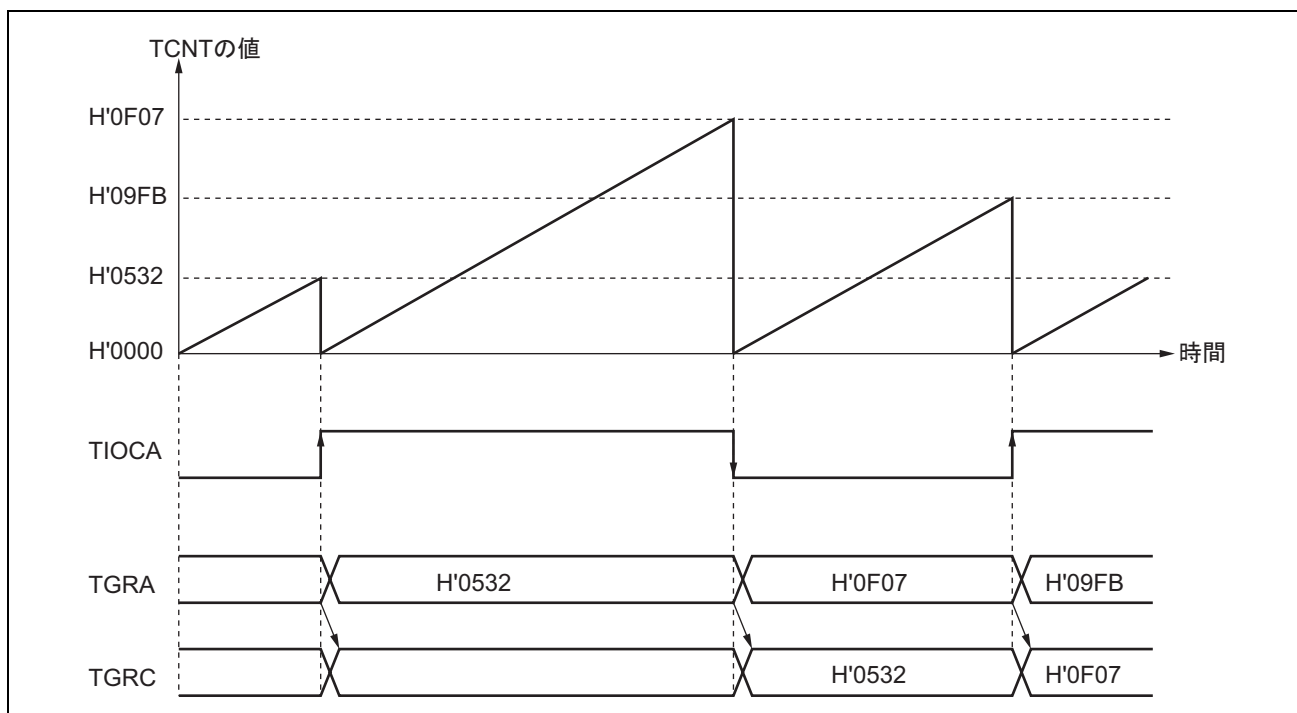


図 14.17 バッファ動作例 (2)

14.4.4 カスケード接続動作

カスケード接続動作は、2 チャンネルの 16 ビットカウンタを接続して 32 ビットカウンタとして動作させる機能です。

この機能は、チャンネル 1 (チャンネル 4) のカウンタクロックを TCR の TPSC2~TPSC0 ビットで TCNT_2 (TCNT_5) のオーバーフロー/アンダフローでカウントに設定することにより動作します。

アンダフローが発生するのは、下位 16 ビットの TCNT が位相計数モードのときのみです。

表 14.31 にカスケード接続の組み合わせを示します。

【注】 チャンネル 1、4 を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表 14.31 カスケード接続組み合わせ

組み合わせ	上位 16 ビット	下位 16 ビット
チャンネル 1 とチャンネル 2	TCNT_1	TCNT_2
チャンネル 4 とチャンネル 5	TCNT_4	TCNT_5

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 14.18 に示します。

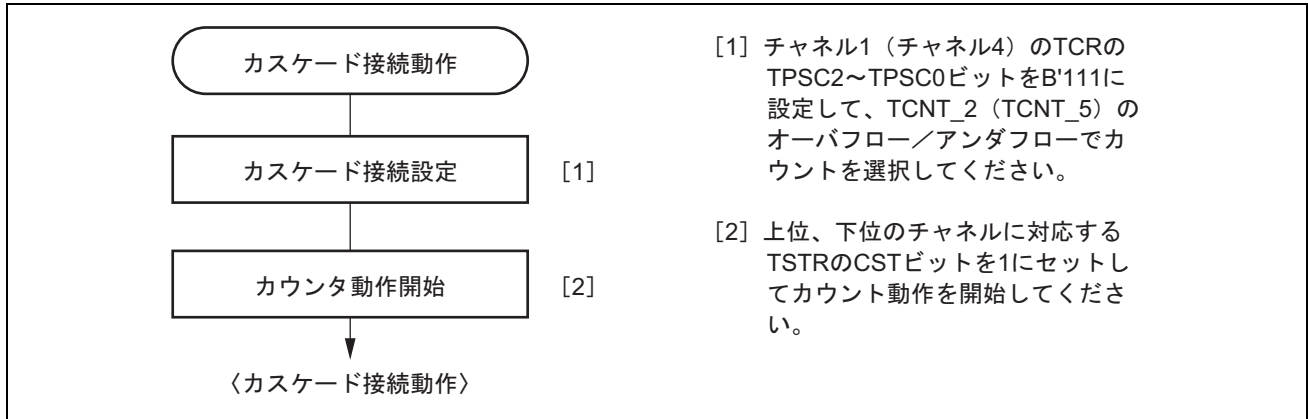


図 14.18 カスケード接続動作設定手順例

(2) カスケード接続動作例

TCNT_1 は TCNT_2 のオーバーフロー/アンダフローでカウント、TGRA_1 と TGRA_2 をインプットキャプチャレジスタに設定し、TIOC 端子の立ち上がりエッジを選択した時の動作を図 14.19 に示します。

TIOCA1 端子と TIOCA2 端子に立ち上がりエッジを同時に入力することにより、TGRA_1 に上位 16 ビット、TGRA_2 に下位 16 ビットの 32 ビットデータが転送されます。

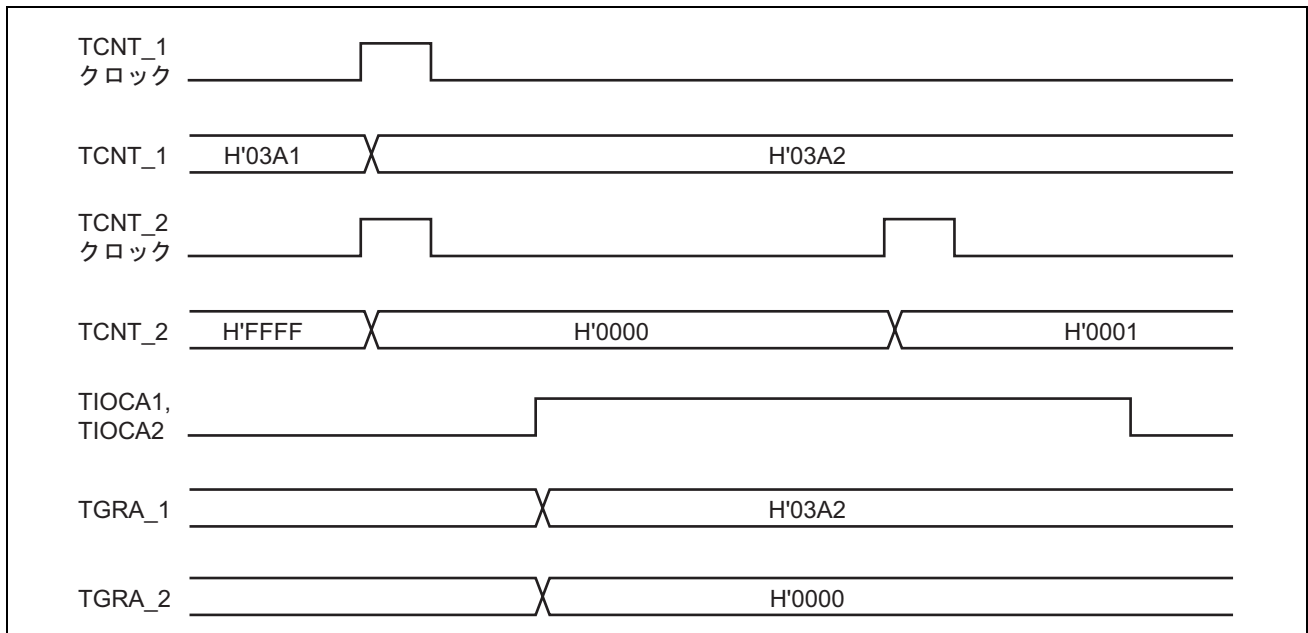


図 14.19 カスケード接続動作例 (1)

14. 16ビットタイマパルスユニット (TPU)

TCNT_1はTCNT_2のオーバフロー/アンダフローでカウント、チャンネル2を位相計数モードに設定した時の動作を図14.20に示します。

TCNT_1は、TCNT_2のオーバフローでアップカウント、TCNT_2のアンダフローでダウンカウントされま

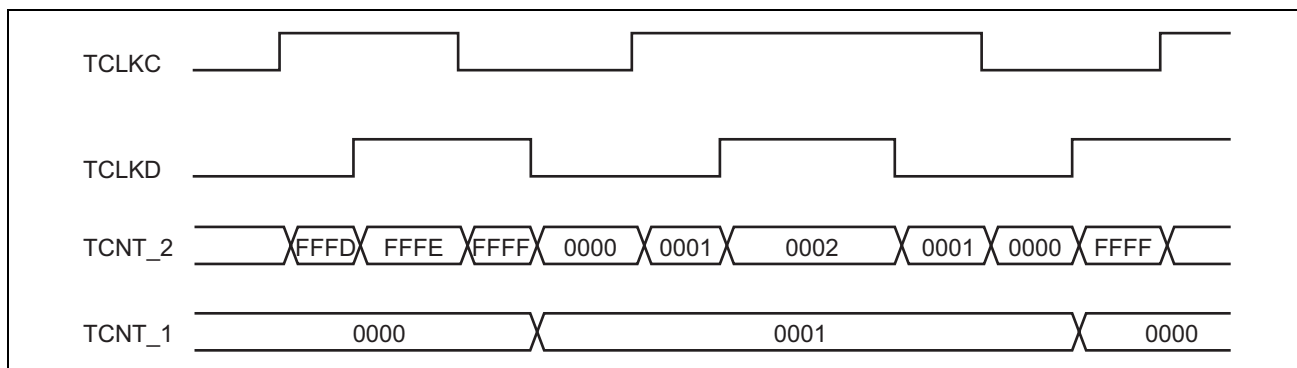


図 14.20 カスケード接続動作例 (2)

14.4.5 PWM モード

PWMモードは出力端子よりそれぞれPWM波形を出力するモードです。各TGRのコンペアマッチによる出力レベルは0出力/1出力/トグル出力の中から選択可能です。

各TGRの設定により、デューティ0~100%のPWM波形が出力できます。

TGRのコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立にPWMモードに設定できます。同期動作も可能です。

PWMモードは次に示す2種類あります。

1. PWMモード1

TGRAとTGRB、TGRCとTGRDをペアで使用して、TIOCA、TIOCC端子からPWM出力を生成します。

TIOCA、TIOCC端子からコンペアマッチA、CによってTIORのIOA3~IOA0、IOC3~IOC0ビットで指定した出力を、また、コンペアマッチB、DによってTIORのIOB3~IOB0、IOD3~IOD0ビットで指定した出力を行います。初期出力値はTGRA、TGRCに設定した値になります。ペアで使用するTGRの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWMモード1では、最大8相のPWM出力が可能です。

2. PWMモード2

TGRの1本を周期レジスタ、他のTGRをデューティレジスタに使用してPWM出力を生成します。コンペアマッチによって、TIORで指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値はTIORで設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWMモード2では、同期動作と併用することにより最大15相のPWM出力が可能です。

PWM 出力端子とレジスタの対応を表 14.32 に示します。

表 14.32 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0	TGRA_0	TIOCA0	TIOCA0
	TGRB_0		TIOCB0
	TGRC_0	TIOCC0	TIOCC0
	TGRD_0		TIOCD0
1	TGRA_1	TIOCA1	TIOCA1
	TGRB_1		TIOCB1
2	TGRA_2	TIOCA2	TIOCA2
	TGRB_2		TIOCB2
3	TGRA_3	TIOCA3	TIOCA3
	TGRB_3		TIOCB3
	TGRC_3	TIOCC3	TIOCC3
	TGRD_3		TIOCD3
4	TGRA_4	TIOCA4	TIOCA4
	TGRB_4		TIOCB4
5	TGRA_5	TIOCA5	TIOCA5
	TGRB_5		TIOCB5

【注】 PWM モード 2 の時、周期を設定した TGR の PWM 出力はできません。

(1) PWMモードの設定手順例

PWMモードの設定手順例を図14.21に示します。

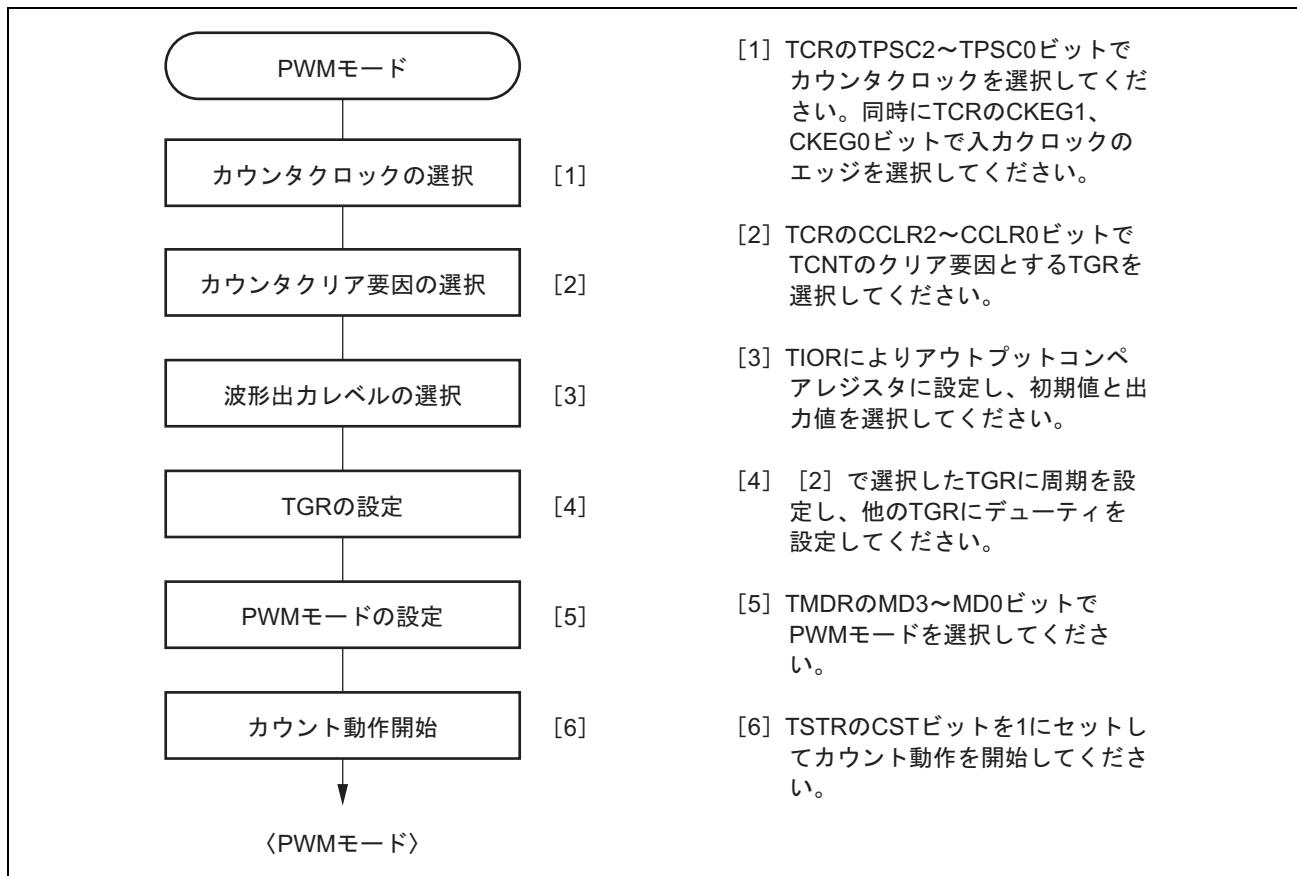


図 14.21 PWMモードの設定手順例

(2) PWM モードの動作例

PWM モード1の動作例を図 14.22 に示します。

この図は、TCNTのクリア要因を TGRA のコンペアマッチとし、TGRA の初期出力値と出力値を 0、TGRB の出力値を 1 に設定した場合の例です。

この場合、TGRA に設定した値が周期となり、TGRB に設定した値がデューティになります。

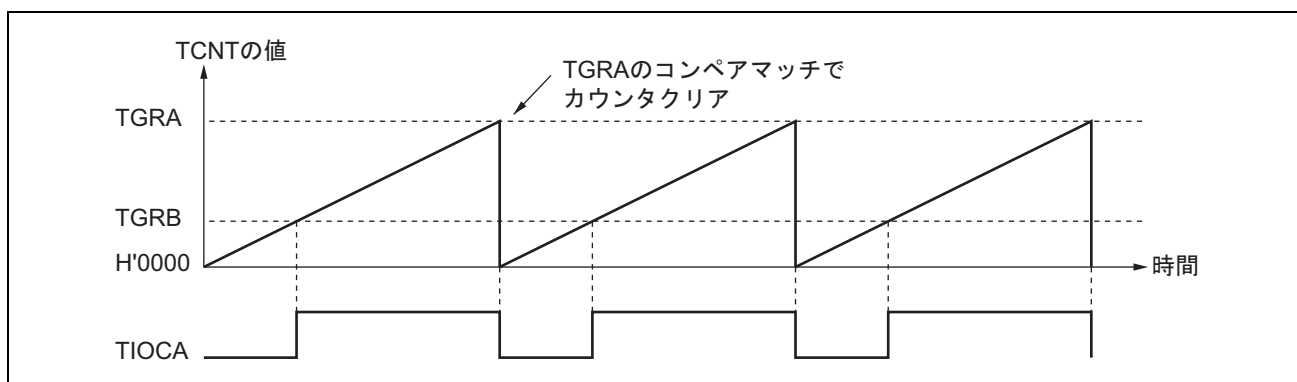


図 14.22 PWM モードの動作例 (1)

PWM モード2の動作例を図 14.23 に示します。

この図は、チャンネル0と1を同期動作させ、TCNTのクリア要因を TGRB_1 のコンペアマッチとし、他の TGR (TGRA_0~TGRD_0、TGRA_1) の初期出力値を 0、出力値を 1 に設定して 5 相の PWM 波形を出力させた場合の例です。

この場合、TGRB_1 に設定した値が周期となり、他の TGR に設定した値がデューティになります。

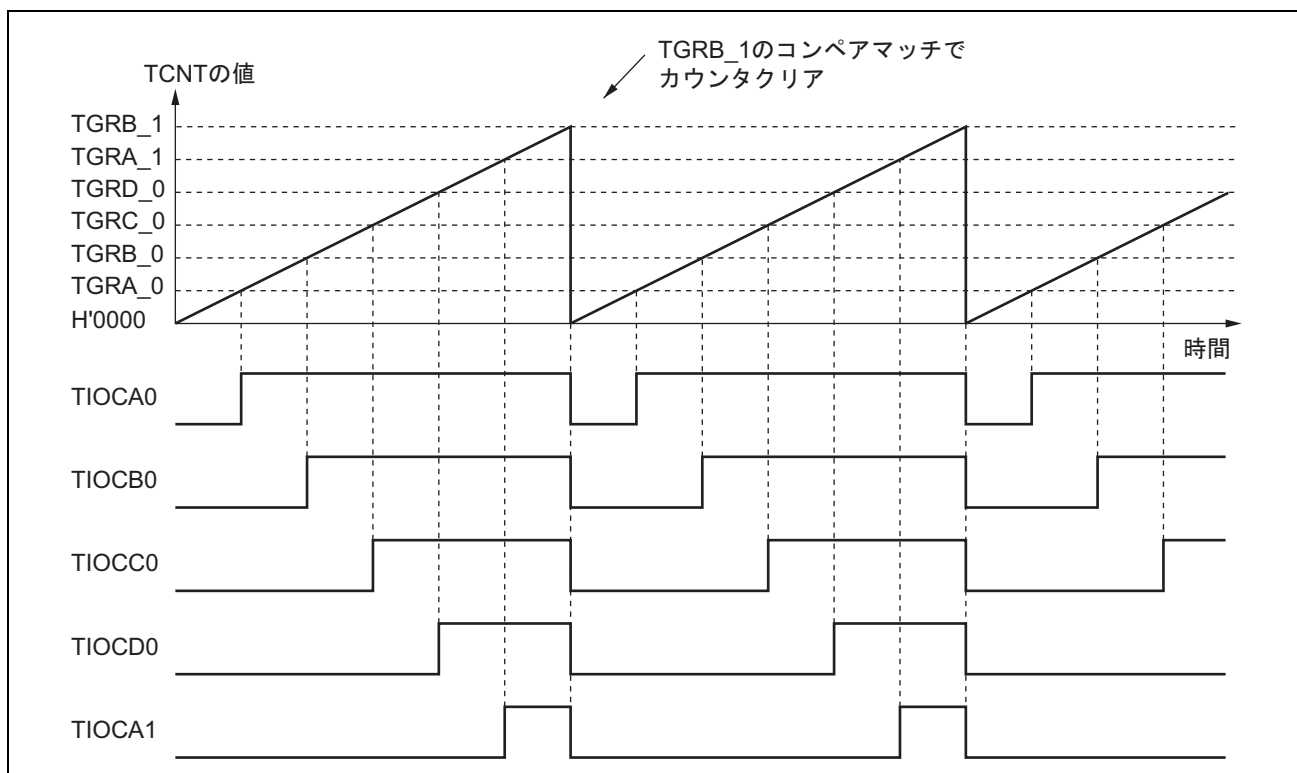


図 14.23 PWM モードの動作例 (2)

14. 16ビットタイマパルスユニット (TPU)

PWMモードで、デューティ0%、デューティ100%のPWM波形を出力する例を図14.24に示します。

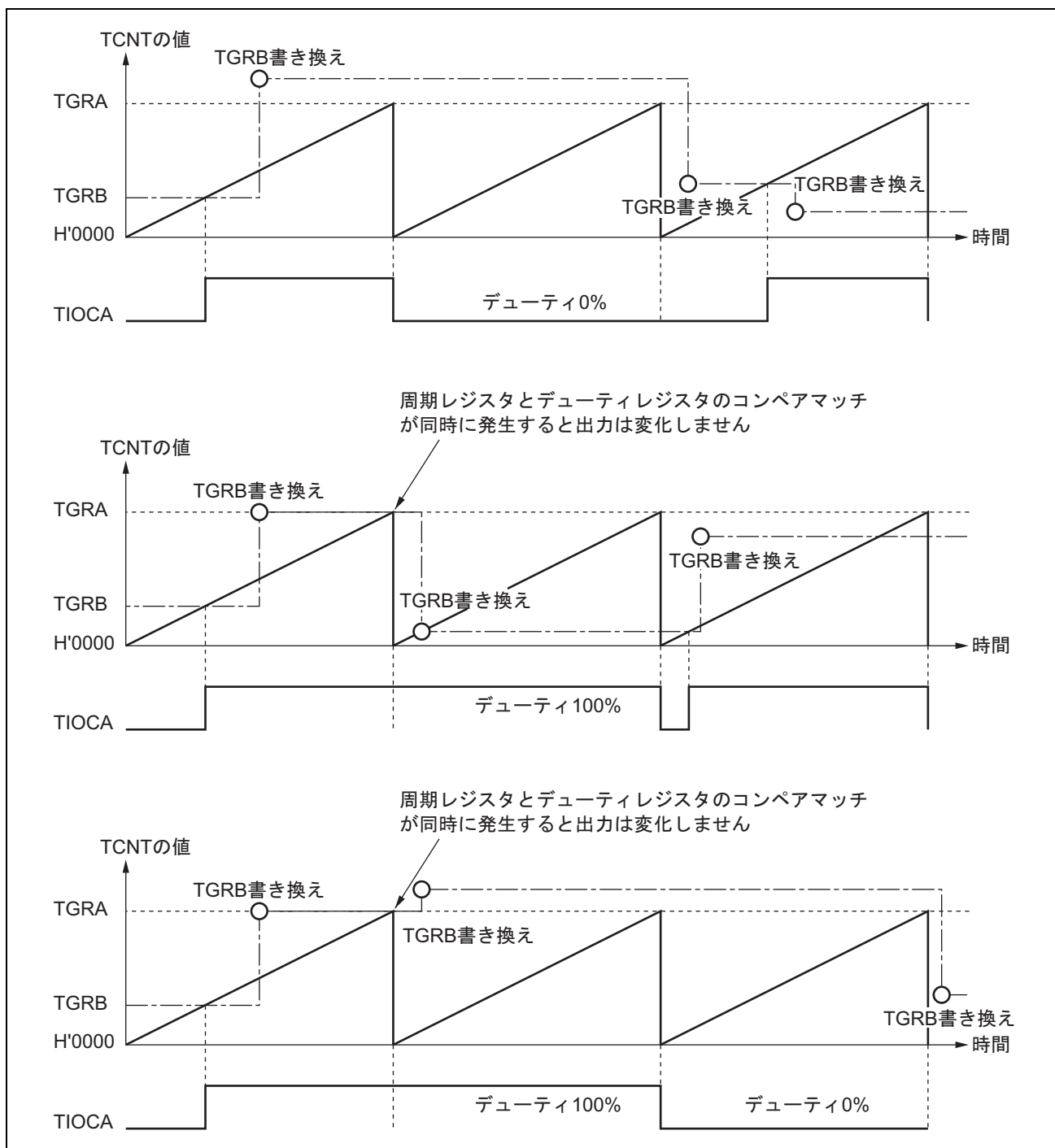


図 14.24 PWM モード動作例 (3)

14.4.6 位相計数モード

位相計数モードは、チャンネル 1、2、4、5 の設定により、2 本の外部クロック入力の位相差を検出し、TCNT をアップ/ダウンカウントします。

位相計数モードに設定すると、TCR の TPSC2～TPSC0 ビット、CKEG1、CKEG0 ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT はアップ/ダウンカウンタとして動作します。ただし、TCR の CCLR1、CCLR0 ビット、TIOR、TIER、TGR の機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能は使用することができます。

2 相エンコーダパルスの入力として使用できます。

TCNT がアップカウント時、オーバフローが発生するとすると TSR の TCFV フラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFU フラグがセットされます。

TSR の TCFD ビットはカウント方向フラグです。TCFD フラグをリードすることにより、TCNT がアップカウントしているかダウンカウントしているかを確認することができます。

表 14.33 に外部クロック端子とチャンネルの対応を示します。

表 14.33 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A 相	B 相
チャンネル 1 または 5 を位相計数モードとするとき	TCLKA	TCLKB
チャンネル 2 または 4 を位相計数モードとするとき	TCLKC	TCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 14.25 に示します。

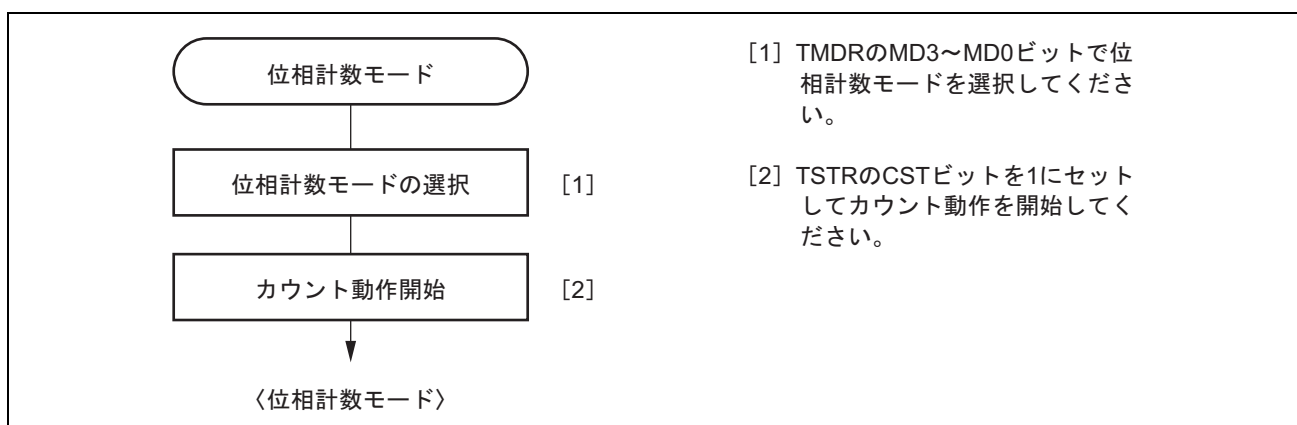


図 14.25 位相計数モードの設定手順例

14. 16 ビットタイマパルスユニット (TPU)

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差で TCNT がアップ/ダウンカウントします。また、カウント条件により 4 つのモードがあります。

(a) 位相計数モード 1

位相計数モード 1 の動作例を図 14.26 に、TCNT のアップ/ダウンカウント条件を表 14.34 に示します。

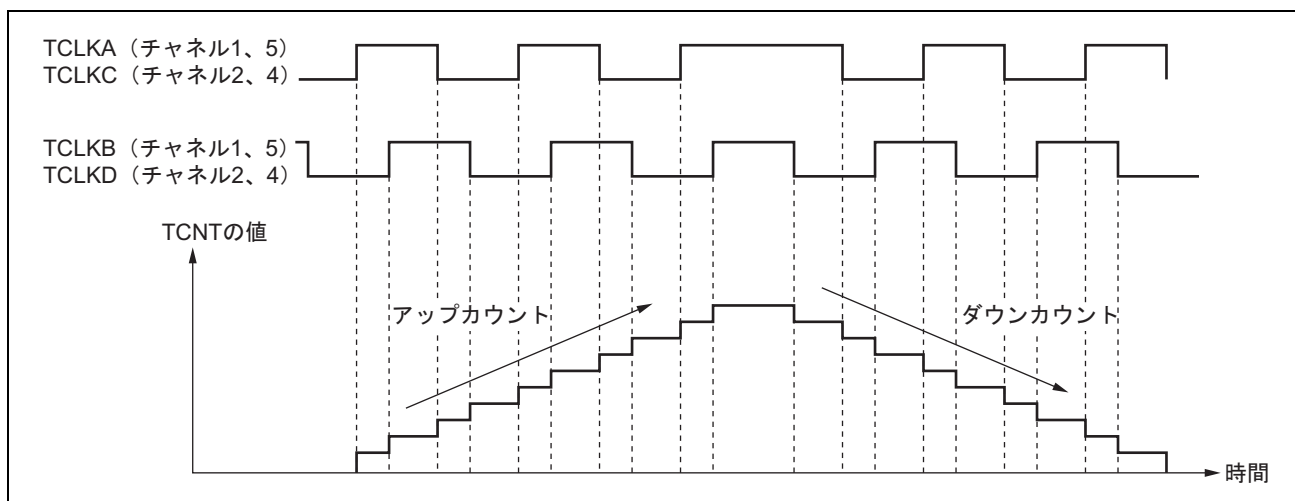


図 14.26 位相計数モード 1 の動作例

表 14.34 位相計数モード 1 のアップ/ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(b) 位相計数モード2

位相計数モード2の動作例を図14.27に、TCNTのアップ/ダウンカウント条件を表14.35に示します。

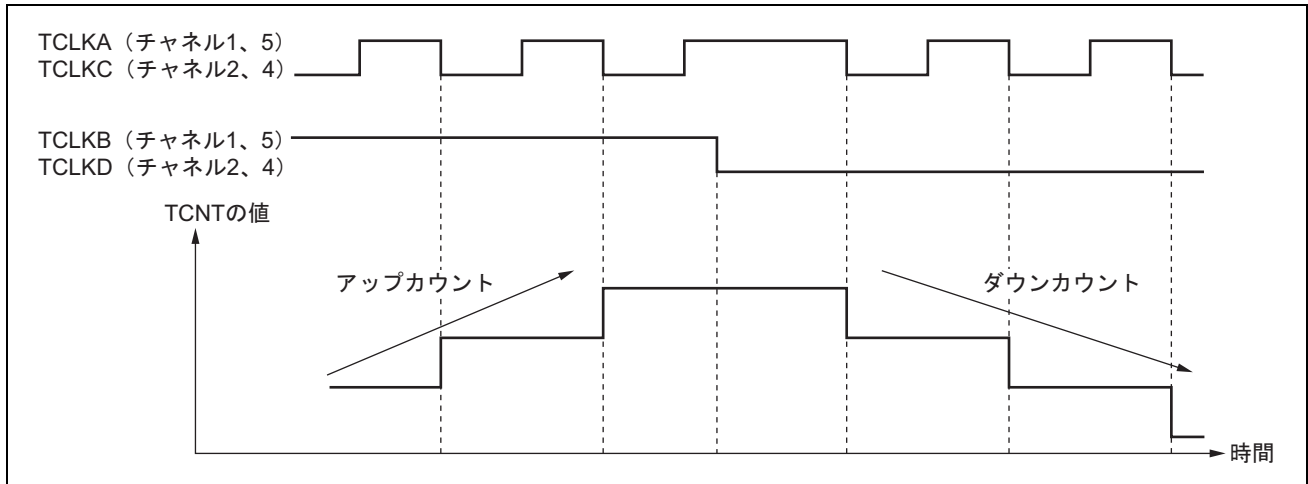


図 14.27 位相計数モード2の動作例

表 14.35 位相計数モード2のアップ/ダウンカウント条件

TCLKA (チャンネル1、5) TCLKC (チャンネル2、4)	TCLKB (チャンネル1、5) TCLKD (チャンネル2、4)	動作内容
High レベル	↑	Don't care
Low レベル	↓	Don't care
↑	Low レベル	Don't care
↓	High レベル	アップカウント
High レベル	↓	Don't care
Low レベル	↑	Don't care
↑	High レベル	Don't care
↓	Low レベル	ダウンカウント

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(c) 位相計数モード 3

位相計数モード 3 の動作例を図 14.28 に、TCNT のアップ/ダウンカウント条件を表 14.36 に示します。

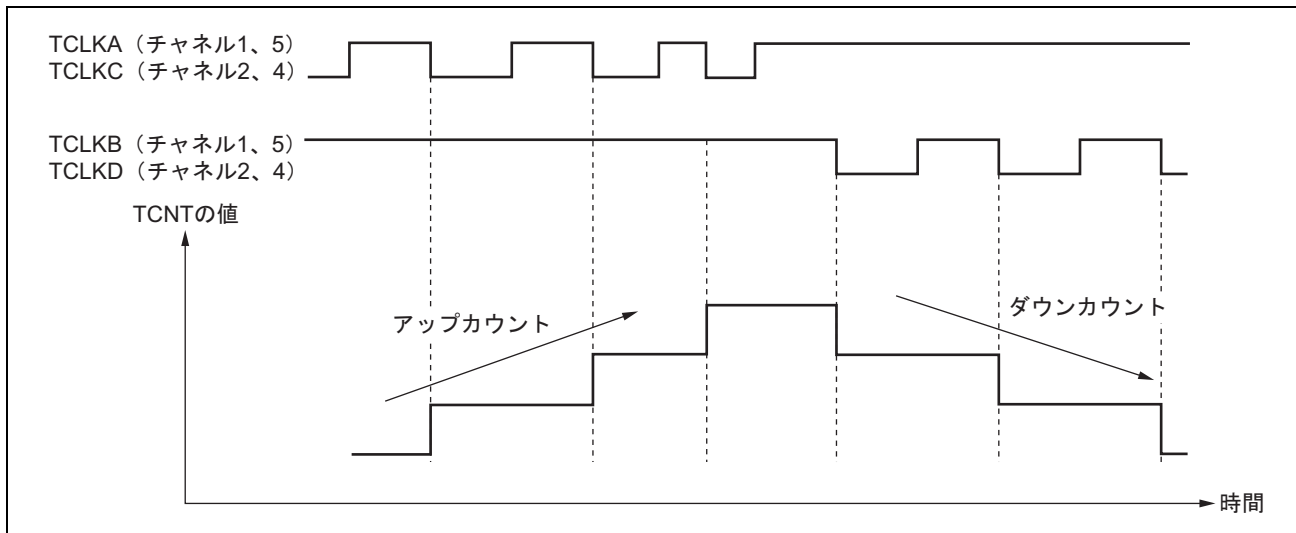


図 14.28 位相計数モード 3 の動作例

表 14.36 位相計数モード 3 のアップ/ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4)	動作内容
High レベル	↑	Don't care
Low レベル	↓	Don't care
↑	Low レベル	Don't care
↓	High レベル	アップカウント
High レベル	↓	ダウンカウント
Low レベル	↑	Don't care
↑	High レベル	Don't care
↓	Low レベル	Don't care

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(d) 位相計数モード4

位相計数モード4の動作例を図14.29に、TCNTのアップ/ダウンカウント条件を表14.37に示します。

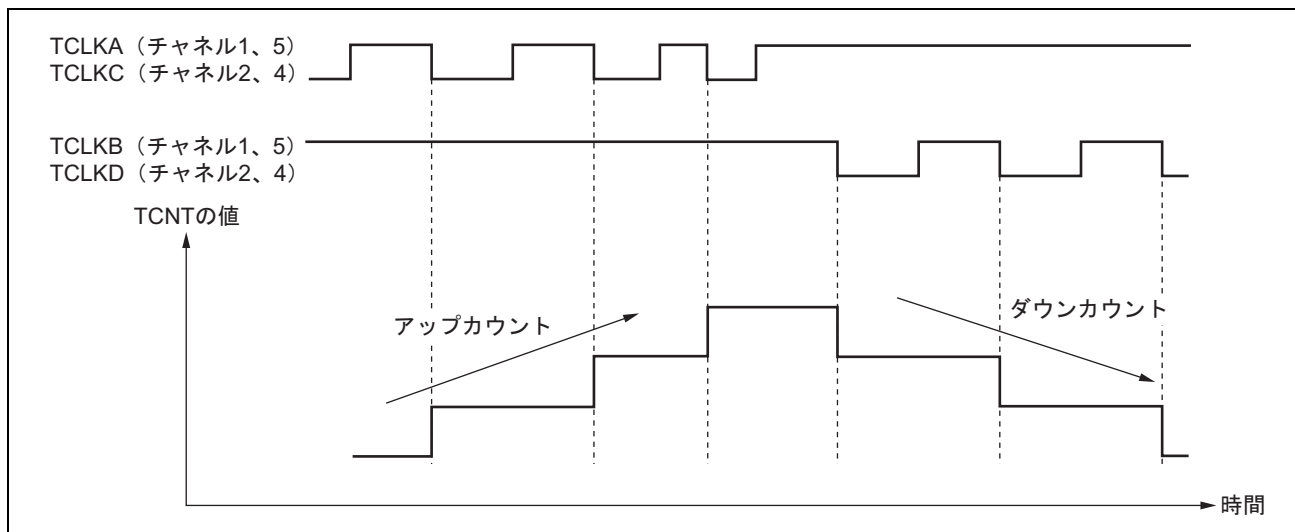


図 14.29 位相計数モード4の動作例

表 14.37 位相計数モード4のアップ/ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	Don't care
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	Don't care
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(3) 位相計数モード応用例

チャンネル1を位相計数モードに設定し、チャンネル0と連携してサーボモータの2相エンコーダパルスを入力して位置または速度を検出する例を図14.30に示します。

チャンネル1は位相計数モード1に設定し、TCLKAとTCLKBにエンコーダパルスのA相、B相を入力します。

チャンネル0はTCNTをTGRC_0のコンペアマッチでカウンタクリアとして動作させ、TGRA_0とTGRC_0はコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。TGRB_0は入力キャプチャ機能で使用し、TGRB_0とTGRD_0をバッファ動作させます。TGRB_0の入力キャプチャ要因は、チャンネル1のカウンタ入力クロックとし、2相エンコーダの4通倍パルスのパルス幅を検出します。

チャンネル1のTGRA_1とTGRB_1は、入力キャプチャ機能に設定し、入力キャプチャ要因はチャンネル0のTGRA_0とTGRC_0のコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出を行うことができます。

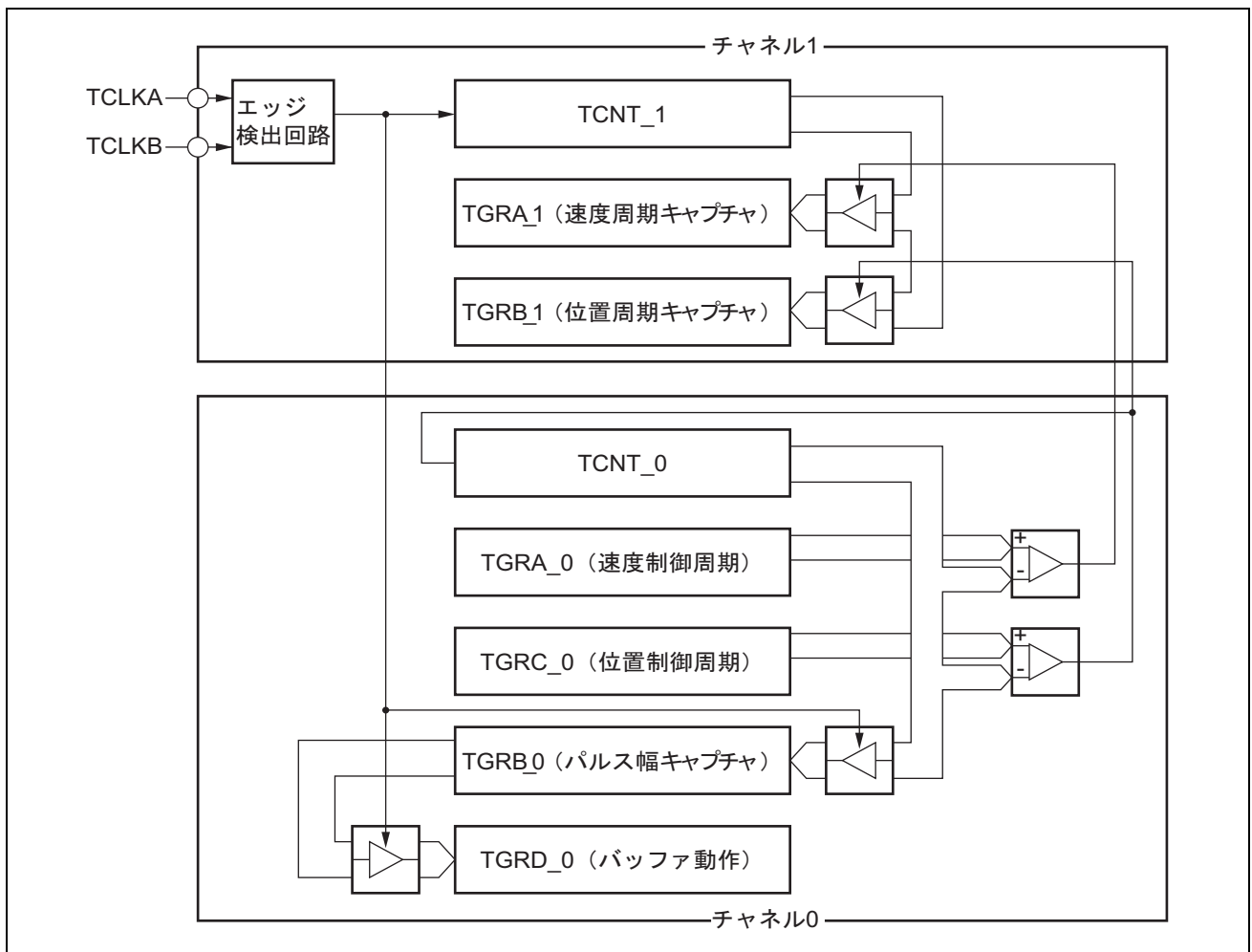


図 14.30 位相計数モードの応用例

14.5 割り込み要因

TPU の割り込み要因には、TGR の入力キャプチャ/コンペアマッチ、TCNT のオーバフロー、アンダフローの 3 種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可/禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TSR の対応するステータスフラグが 1 にセットされます。このとき TIER の対応する許可/禁止ビットが 1 にセットされていれば、割り込みを要求します。ステータスフラグを 0 にクリアすることで割り込み要求は解除されます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「7. 割り込みコントローラ」を参照してください。

14. 16 ビットタイマパルスユニット (TPU)

表 14.38 に TPU の割り込み要因の一覧を示します。

表 14.38 TPU 割り込み一覧

チャンネル	名称	割り込み要因	割り込み フラグ	DTC の起動	DMAC の起動
0	TGI0A	TGRA_0 のインプットキャプチャ/コンペアマッチ	TGFA_0	可	可
	TGI0B	TGRB_0 のインプットキャプチャ/コンペアマッチ	TGFB_0	可	不可
	TGI0C	TGRC_0 のインプットキャプチャ/コンペアマッチ	TGFC_0	可	不可
	TGI0D	TGRD_0 のインプットキャプチャ/コンペアマッチ	TGFD_0	可	不可
	TCI0V	TCNT_0 のオーバフロー	TCFV_0	不可	不可
1	TGI1A	TGRA_1 のインプットキャプチャ/コンペアマッチ	TGFA_1	可	可
	TGI1B	TGRB_1 のインプットキャプチャ/コンペアマッチ	TGFB_1	可	不可
	TCI1V	TCNT_1 のオーバフロー	TCFV_1	不可	不可
	TCI1U	TCNT_1 のアンダフロー	TCFU_1	不可	不可
2	TGI2A	TGRA_2 のインプットキャプチャ/コンペアマッチ	TGFA_2	可	可
	TGI2B	TGRB_2 のインプットキャプチャ/コンペアマッチ	TGFB_2	可	不可
	TCI2V	TCNT_2 のオーバフロー	TCFV_2	不可	不可
	TCI2U	TCNT_2 のアンダフロー	TCFU_2	不可	不可
3	TGI3A	TGRA_3 のインプットキャプチャ/コンペアマッチ	TGFA_3	可	可
	TGI3B	TGRB_3 のインプットキャプチャ/コンペアマッチ	TGFB_3	可	不可
	TGI3C	TGRC_3 のインプットキャプチャ/コンペアマッチ	TGFC_3	可	不可
	TGI3D	TGRD_3 のインプットキャプチャ/コンペアマッチ	TGFD_3	可	不可
	TCI3V	TCNT_3 のオーバフロー	TCFV_3	不可	不可
4	TGI4A	TGRA_4 のインプットキャプチャ/コンペアマッチ	TGFA_4	可	可
	TGI4B	TGRB_4 のインプットキャプチャ/コンペアマッチ	TGFB_4	可	不可
	TCI4V	TCNT_4 のオーバフロー	TCFV_4	不可	不可
	TCI4U	TCNT_4 のアンダフロー	TCFU_4	不可	不可
5	TGI5A	TGRA_5 のインプットキャプチャ/コンペアマッチ	TGFA_5	可	可
	TGI5B	TGRB_5 のインプットキャプチャ/コンペアマッチ	TGFB_5	可	不可
	TCI5V	TCNT_5 のオーバフロー	TCFV_5	不可	不可
	TCI5U	TCNT_5 のアンダフロー	TCFU_5	不可	不可

【注】 リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

(1) インพุットキャプチャ/コンペアマッチ割り込み

各チャンネルの TGR のインพุットキャプチャ/コンペアマッチの発生により、TSR の TGF フラグが 1 にセットされたとき、TIER の TGIE ビットが 1 にセットされていれば、割り込みを要求します。TGF フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、チャンネル 0、3 に各 4 本、チャンネル 1、2、4、5 に各 2 本、計 16 本のインพุットキャプチャ/コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

各チャンネルの TCNT のオーバフローの発生により、TSR の TCFV フラグが 1 にセットされたとき、TIER の TCIEV ビットが 1 にセットされていれば、割り込みを要求します。TCFV フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、各チャンネルに 1 本、計 6 本のオーバフロー割り込みがあります。

(3) アンダフロー割り込み

各チャンネルの TCNT のアンダフローの発生により、TSR の TCFU フラグが 1 にセットされたとき、TIER の TCIEU ビットが 1 にセットされていれば、割り込みを要求します。TCFU フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、チャンネル 1、2、4、5 に各 1 本、計 4 本のアンダフロー割り込みがあります。

14.6 DTC の起動

各チャンネルの TGR のインพุットキャプチャ/コンペアマッチ割り込みによって、DTC を起動することができます。詳細は「12. データトランスファコントローラ (DTC)」を参照してください。

TPU では、チャンネル 0、3 が各 4 本、チャンネル 1、2、4、5 が各 2 本、計 16 本のインพุットキャプチャ/コンペアマッチ割り込みを DTC の起動要因とすることができます。

14.7 DMAC の起動

DMAC の起動

各チャンネルの TGRA のインพุットキャプチャ/コンペアマッチ割り込みによって、DMAC を起動することができます。詳細は「10. DMA コントローラ (DMAC)」を参照してください。

TPU では、各チャンネルに 1 本、計 6 本の TGRA のインพุットキャプチャ/コンペアマッチ割り込みを DMAC の起動要因とすることができます。

14.8 A/D 変換器の起動

TPU のユニット 0 では、各チャネルの TGRA のインプットキャプチャ/コンペアマッチによって、A/D 変換器を起動することができます (ユニット 1 では、A/D 変換器を起動することはできません)。

各チャネルの TGRA のインプットキャプチャ/コンペアマッチの発生により、TSR の TGFA フラグが 1 にセットされたとき、TIER の TTGE ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換の開始を要求します。このとき A/D 変換器側で、TPU の変換開始トリガが選択されていれば、A/D 変換が開始されます。

TPU では、各チャネル 1 本、計 6 本の TGRA のインプットキャプチャ/コンペアマッチ割り込みを A/D 変換器の変換開始要因とすることができます。

14.9 動作タイミング

14.9.1 入出力タイミング

(1) TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 14.31 に示します。また、外部クロック動作の場合の TCNT のカウントタイミングを図 14.32 に示します。

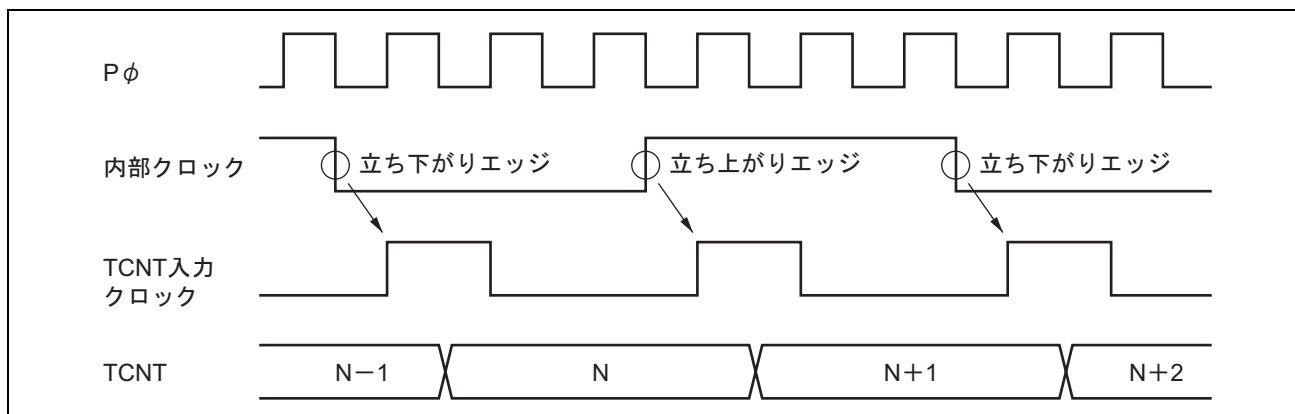


図 14.31 内部クロック動作時のカウントタイミング

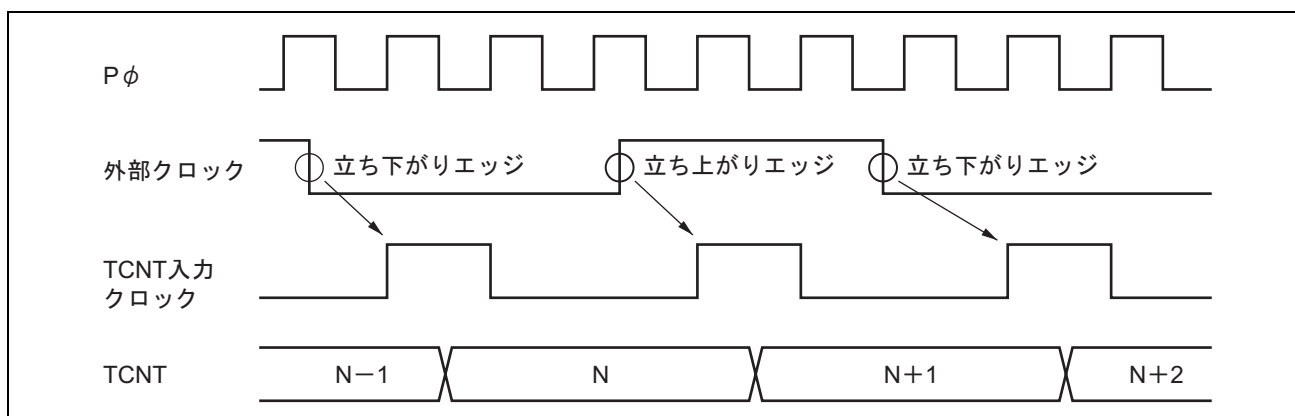


図 14.32 外部クロック動作時のカウントタイミング

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、TIOCR で設定した出力値がアウトプットコンペア出力端子 (TIOC 端子) に出力されます。TCNT と TGR が一致した後、TCNT 入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図 14.33 に示します。

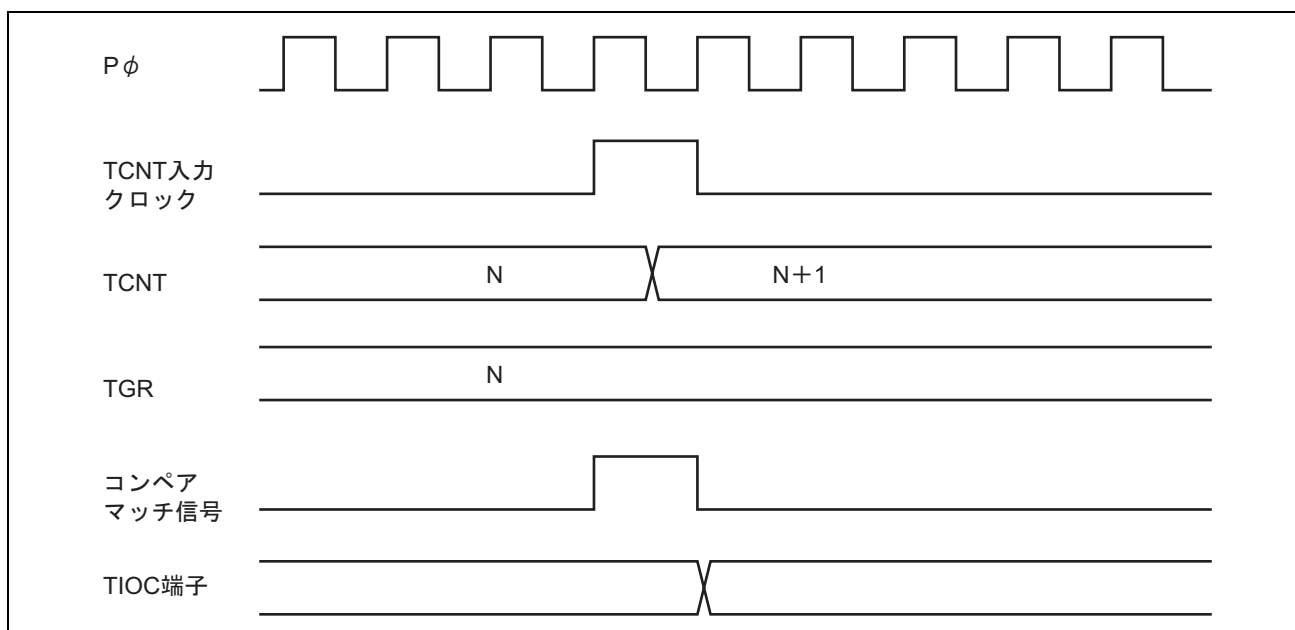


図 14.33 アウトプットコンペア出力タイミング

(3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図 14.34 に示します。

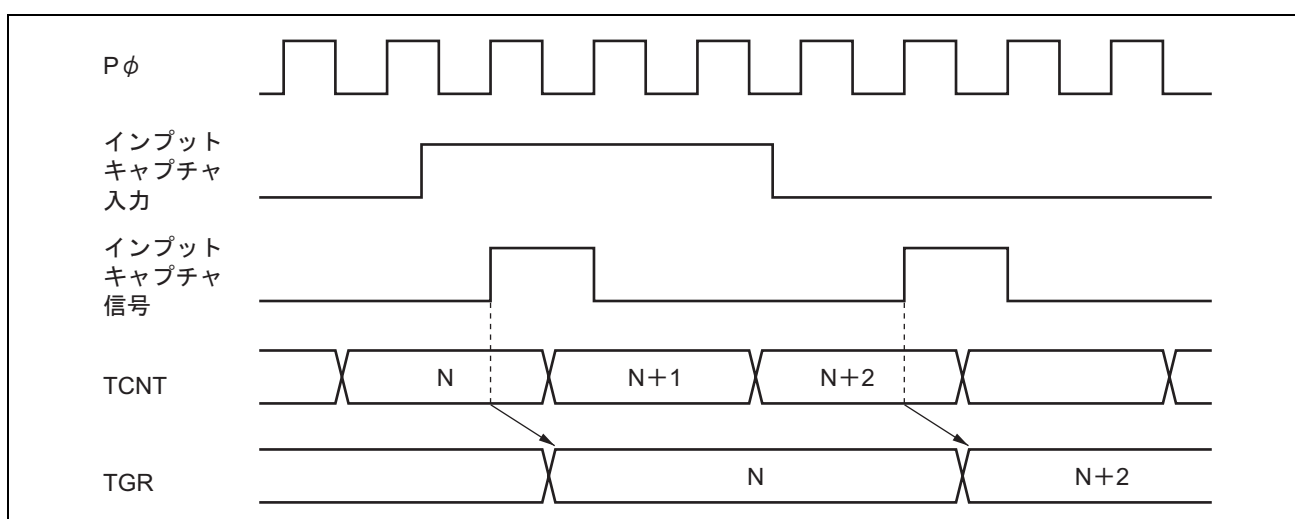


図 14.34 インพุットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 14.35 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 14.36 に示します。

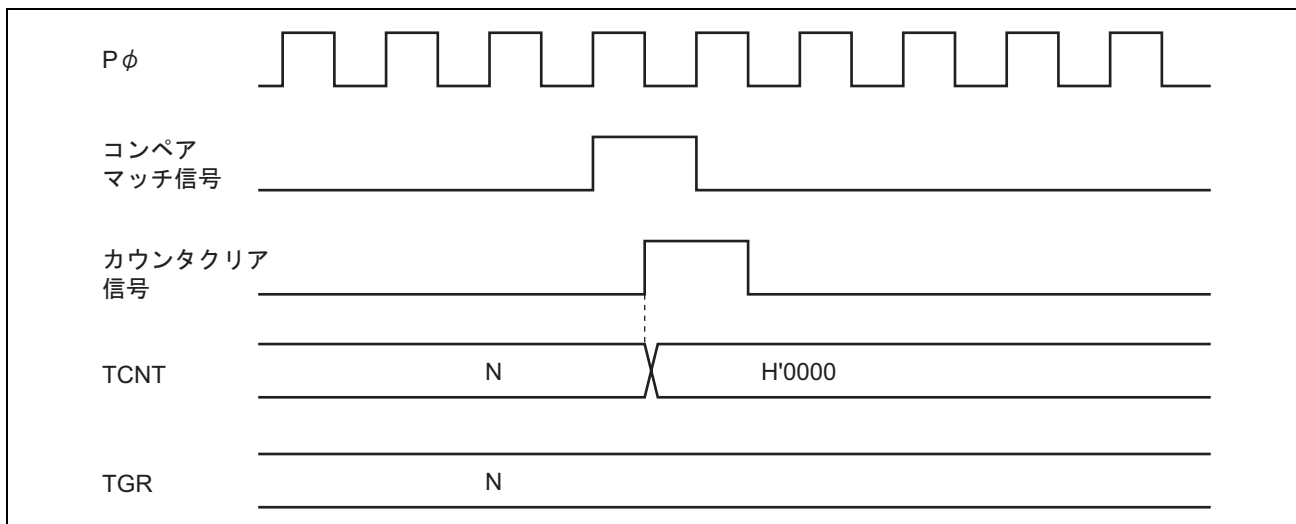


図 14.35 カウンタクリアタイミング (コンペアマッチ)

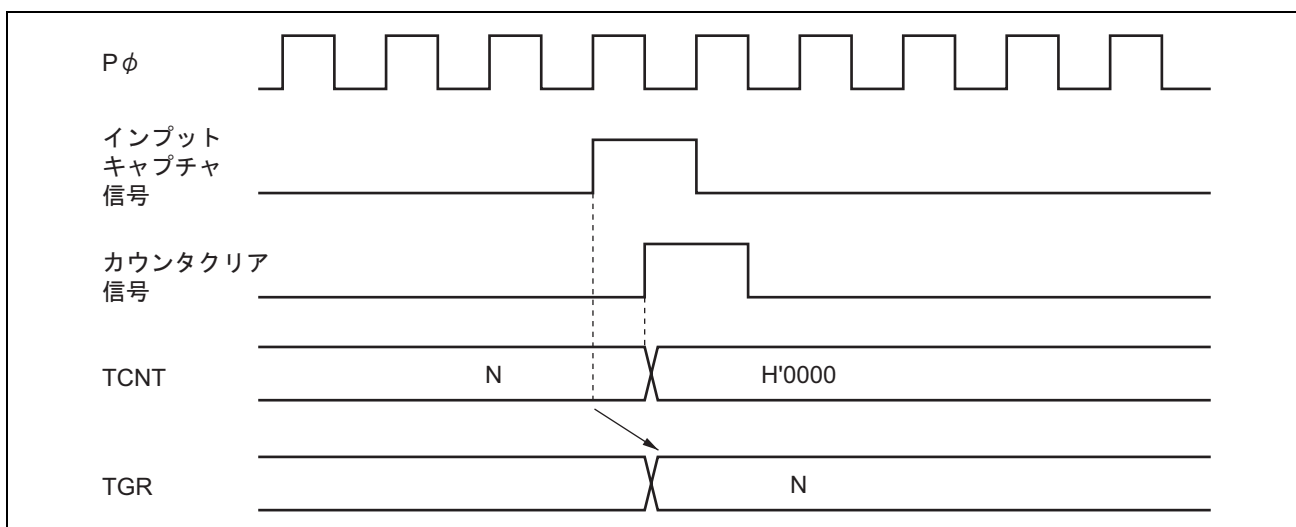


図 14.36 カウンタクリアタイミング (インプットキャプチャ)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 14.37、図 14.38 に示します。

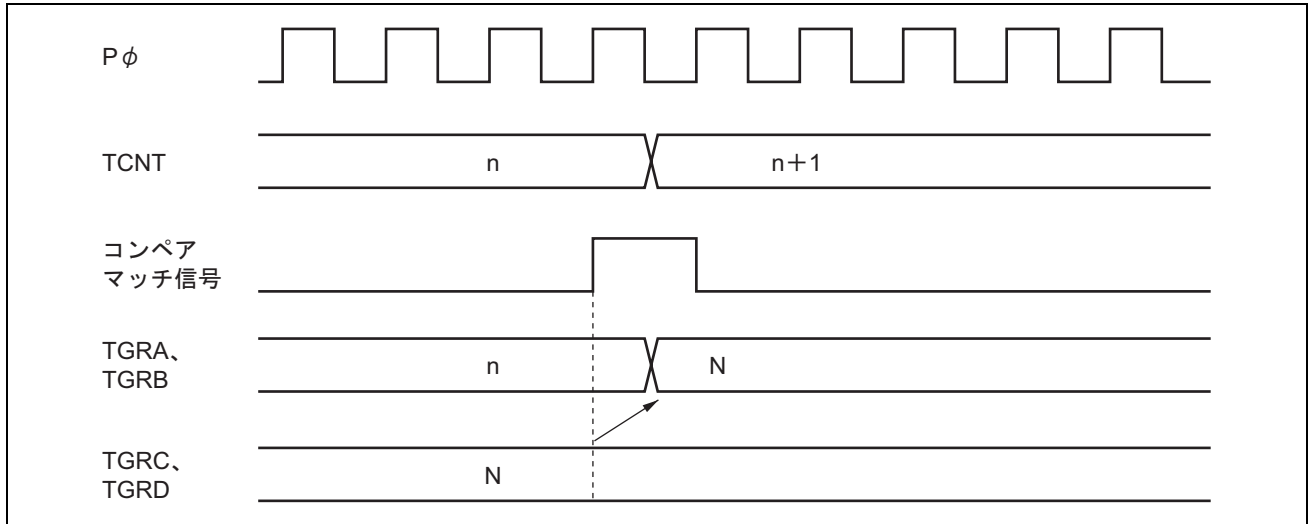


図 14.37 バッファ動作タイミング (コンペアマッチ)

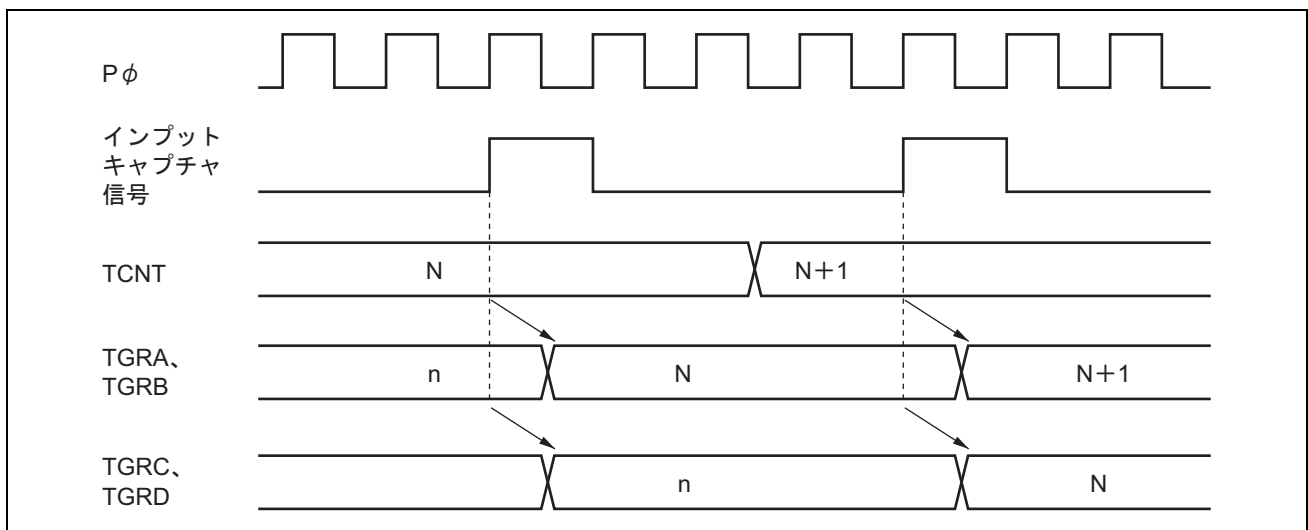


図 14.38 バッファ動作タイミング (入力キャプチャ)

14.9.2 割り込み信号タイミング

(1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 14.39 に示します。

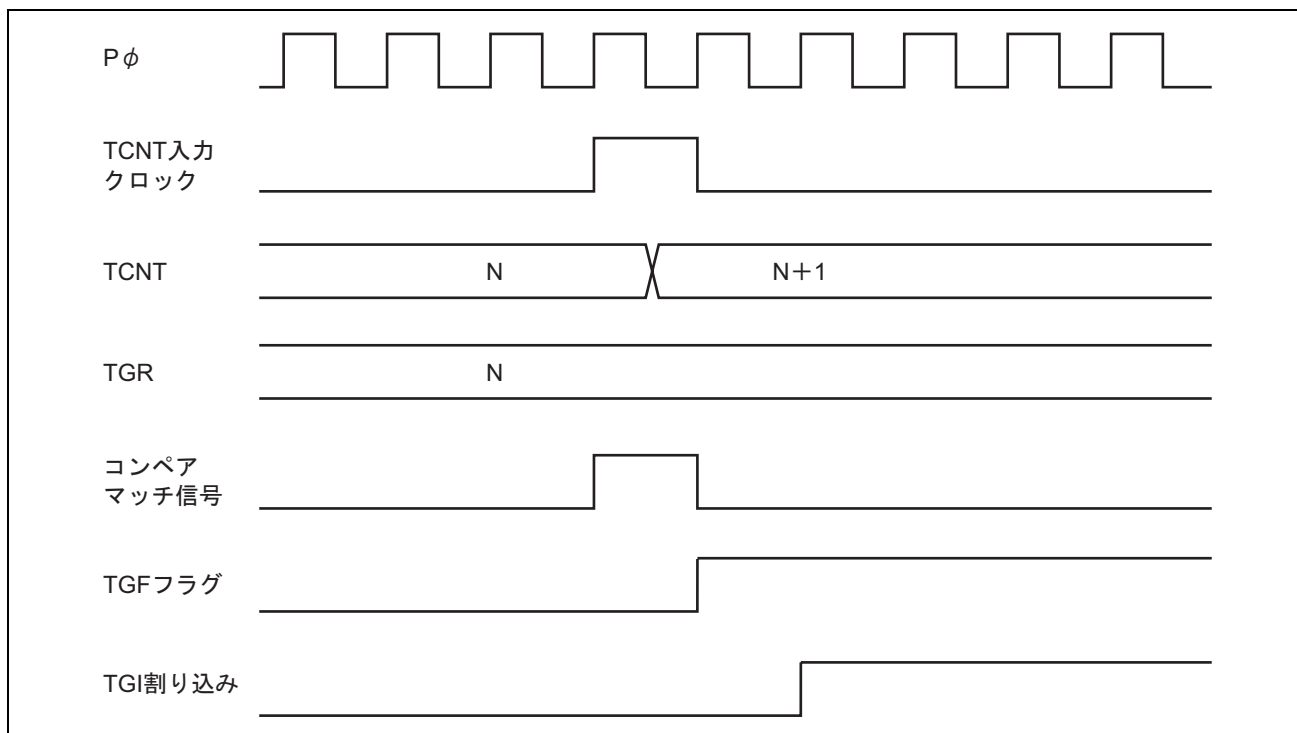


図 14.39 TGI 割り込みタイミング (コンペアマッチ)

(2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 14.40 に示します。

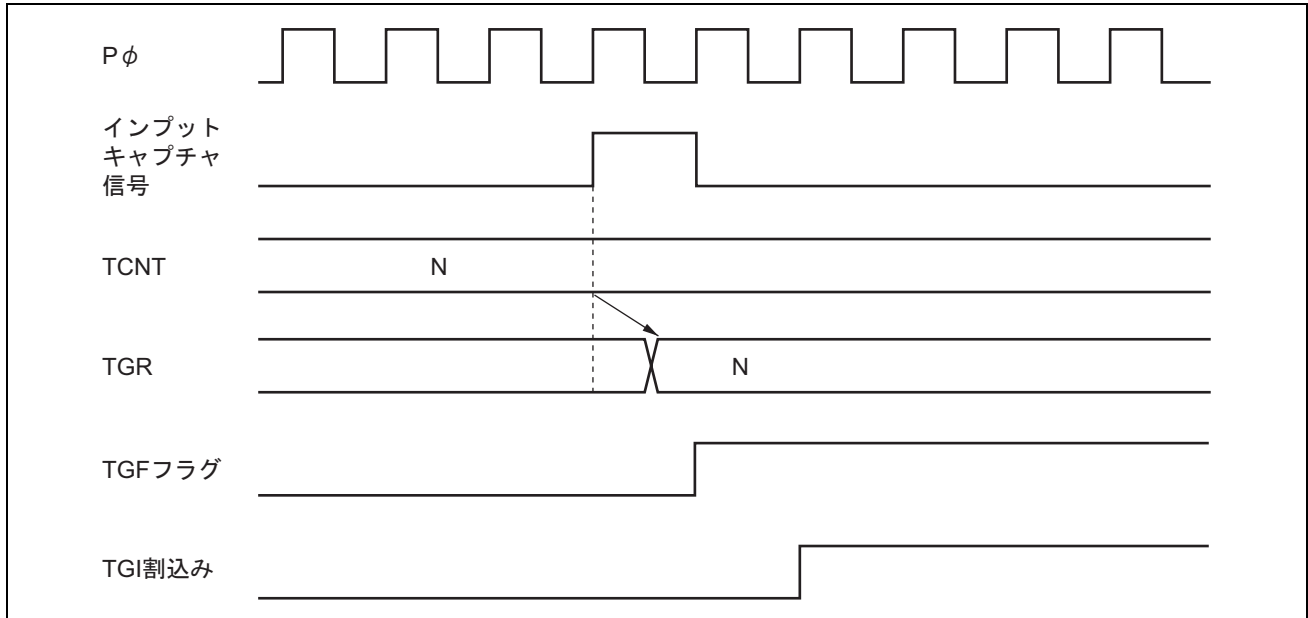


図 14.40 TGI 割り込みタイミング (インพุットキャプチャ)

(3) TCFV フラグ/TCFU フラグのセットタイミング

オーバフローの発生による TSR の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 14.41 に示します。

アンダフローの発生による TSR の TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 14.42 に示します。

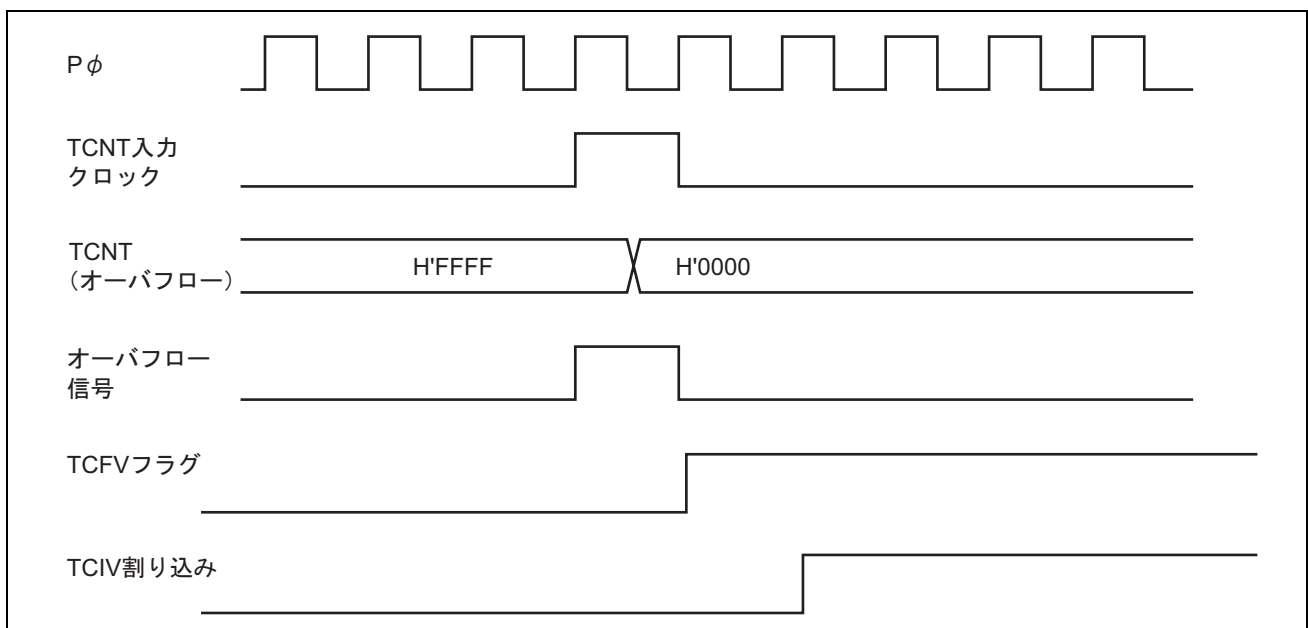


図 14.41 TCIV 割り込みのセットタイミング

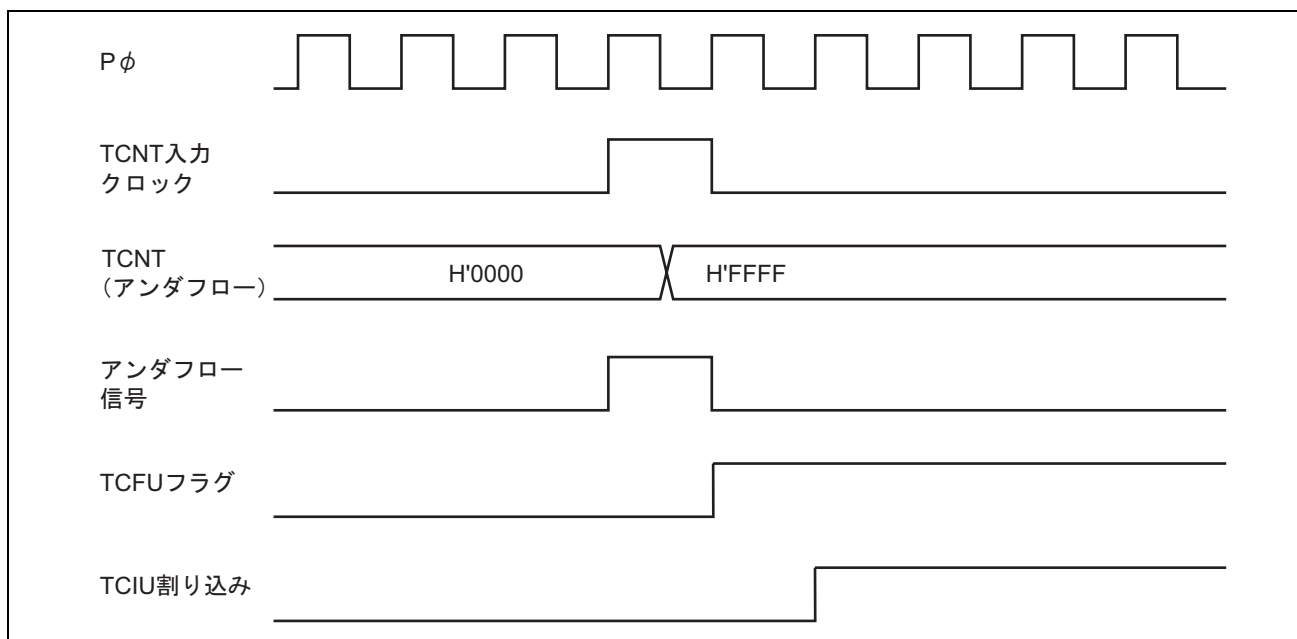


図 14.42 TCIU 割り込みのセットタイミング

(4) ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態をリードした後、0をライトするとクリアされます。DTCまたはDMACを起動する場合は、自動的にクリアすることもできます。CPUによるステータスフラグのクリアタイミングを図14.43に、DTCまたはDMACによるステータスフラグのクリアのタイミングを図14.44、図14.45に示します。

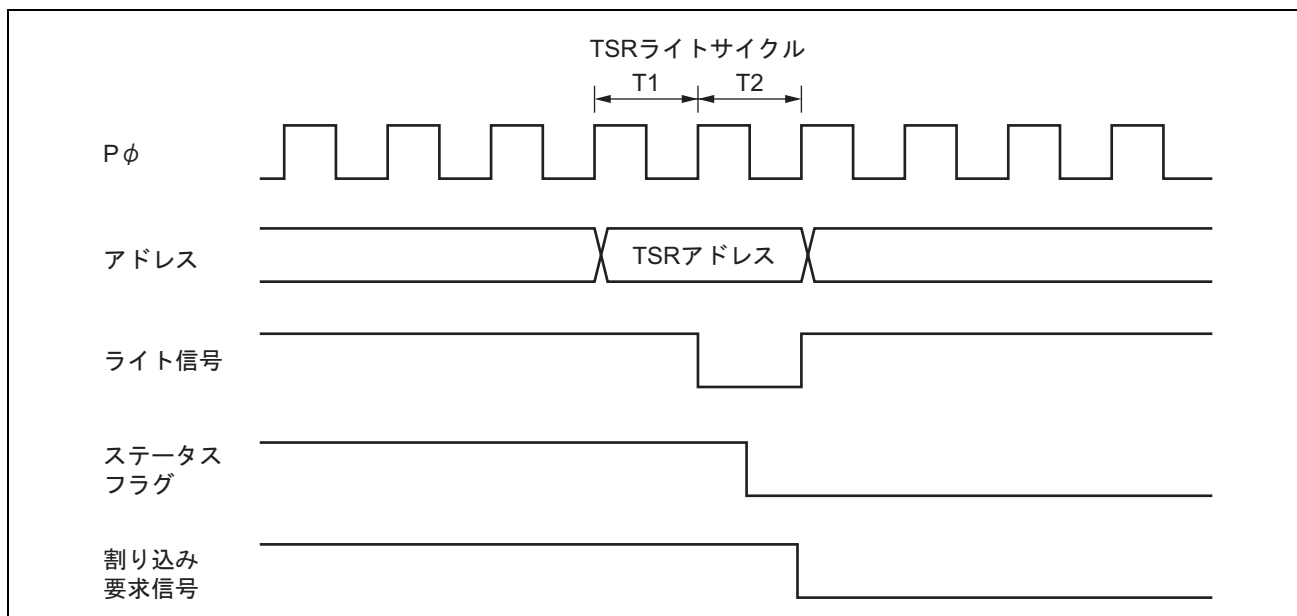


図 14.43 CPUによるステータスフラグのクリアタイミング

ステータスフラグ、割り込み要求信号のクリアは、図 14.44 に示すように DTC または DMAC の転送が開始されてから $P\phi$ に同期して行われます。複数の DTC、DMAC を起動し、ステータスフラグ、割り込み要求信号のクリアが重なった場合は、図 14.45 に示すようにクリアに最大 5 クロック ($P\phi$) かかります。次の転送要求は、当該の転送が終了するまで、または転送開始から $P\phi$ で 5 クロックの期間、どちらか長い方の期間マスクされます。

なお、DTC の転送では、ステータスフラグのクリアがデスティネーションアドレス出力時に行われることがあります。

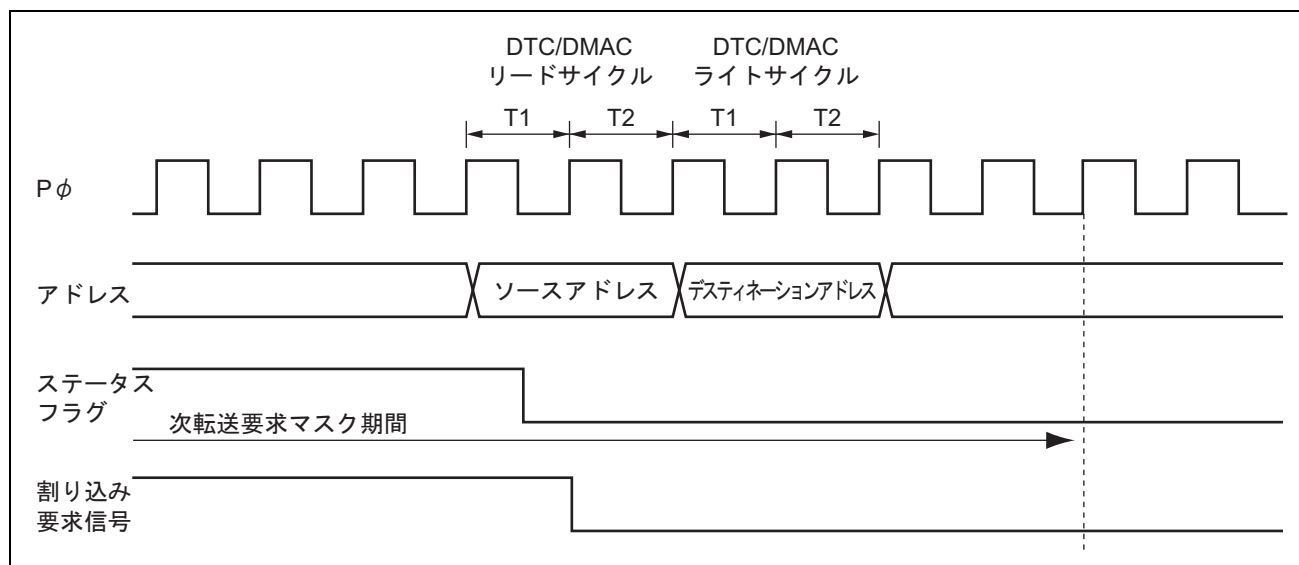


図 14.44 DTC/DMAC の起動によるステータスフラグのクリアタイミング例 (1)

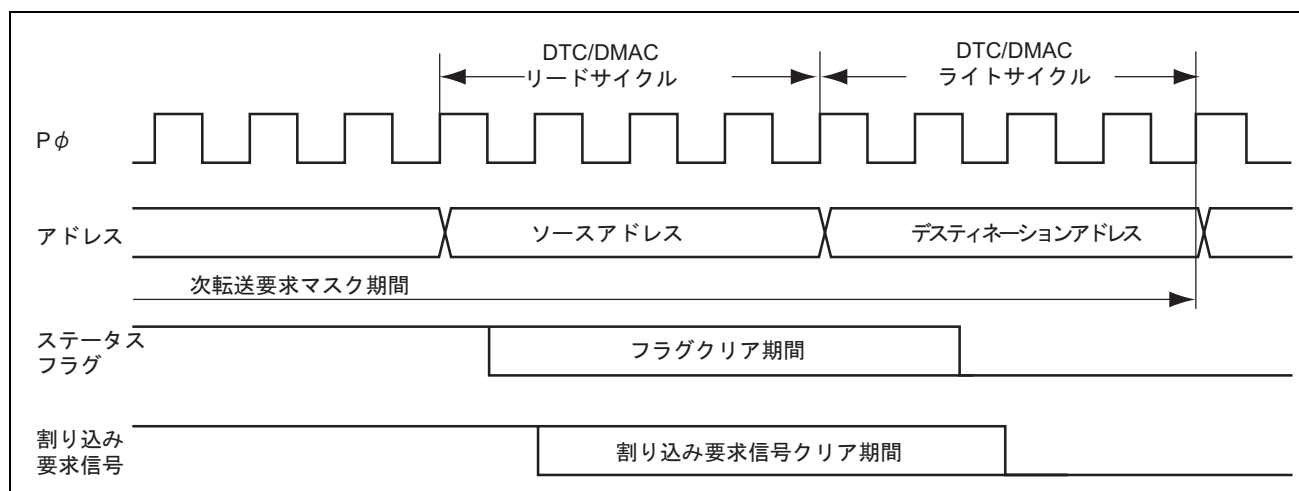


図 14.45 DTC/DMAC の起動によるステータスフラグのクリアタイミング例 (2)

14.10 使用上の注意事項

14.10.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、TPU の動作禁止/許可を設定することが可能です。初期値では、TPU の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「27. 低消費電力」を参照してください。

14.10.2 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステートクロック以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上必要です。位相計数モードの入力クロックの条件を図 14.46 に示します。

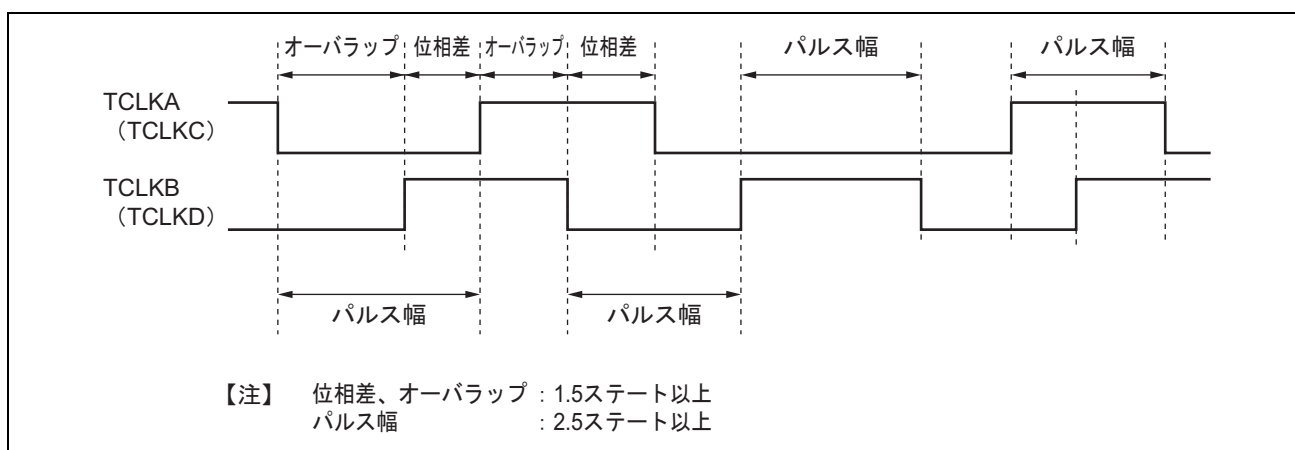


図 14.46 位相計数モード時の位相差、オーバーラップ、およびパルス幅

14.10.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNTはTGRの値と一致した最後のステート（TCNTが一致したカウント値を更新するタイミング）でクリアされます。このため、実際のカウンタの周波数は次の式のようにになります。

$$f = \frac{P\phi}{(N+1)}$$

f : カウンタ周波数

Pφ : 動作周波数

N : TGR の設定値

14.10.4 TCNTのライトとクリアの競合

TCNTのライトサイクル中のT2ステートでカウンタクリア信号が発生すると、TCNTへのライトは行われずにTCNTのクリアが優先されます。このタイミングを図14.47に示します。

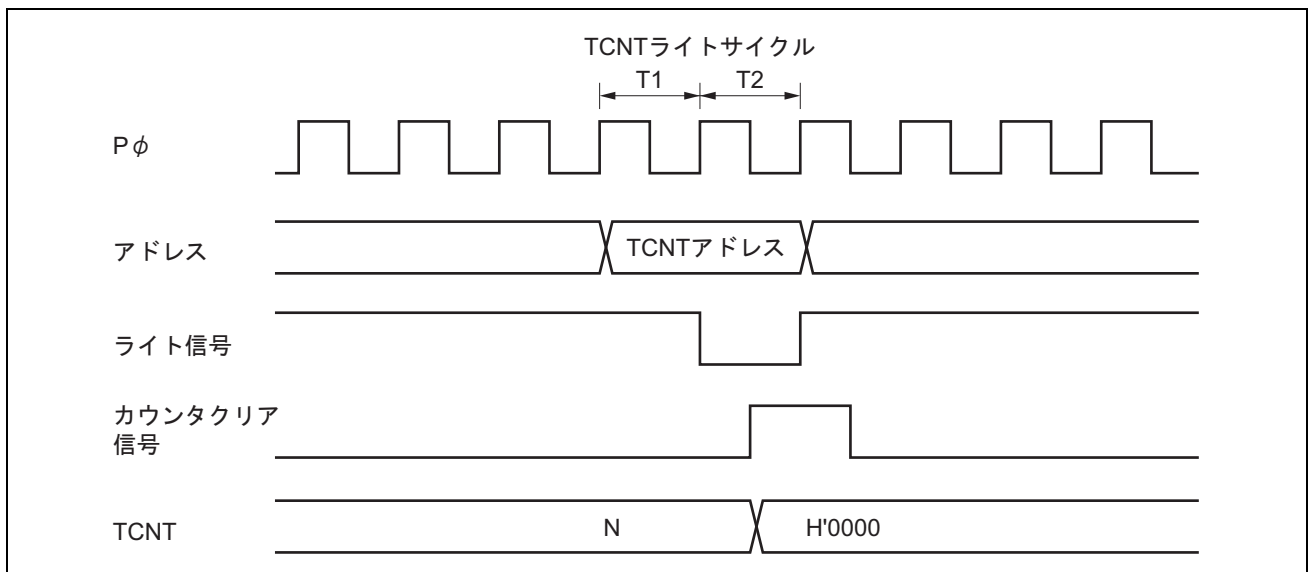


図 14.47 TCNTのライトとクリアの競合

14.10.5 TCNTのライトとカウントアップの競合

TCNTのライトサイクル中のT2ステートでカウントアップが発生してもカウントアップされず、TCNTへのライトが優先されます。このタイミングを図14.48に示します。

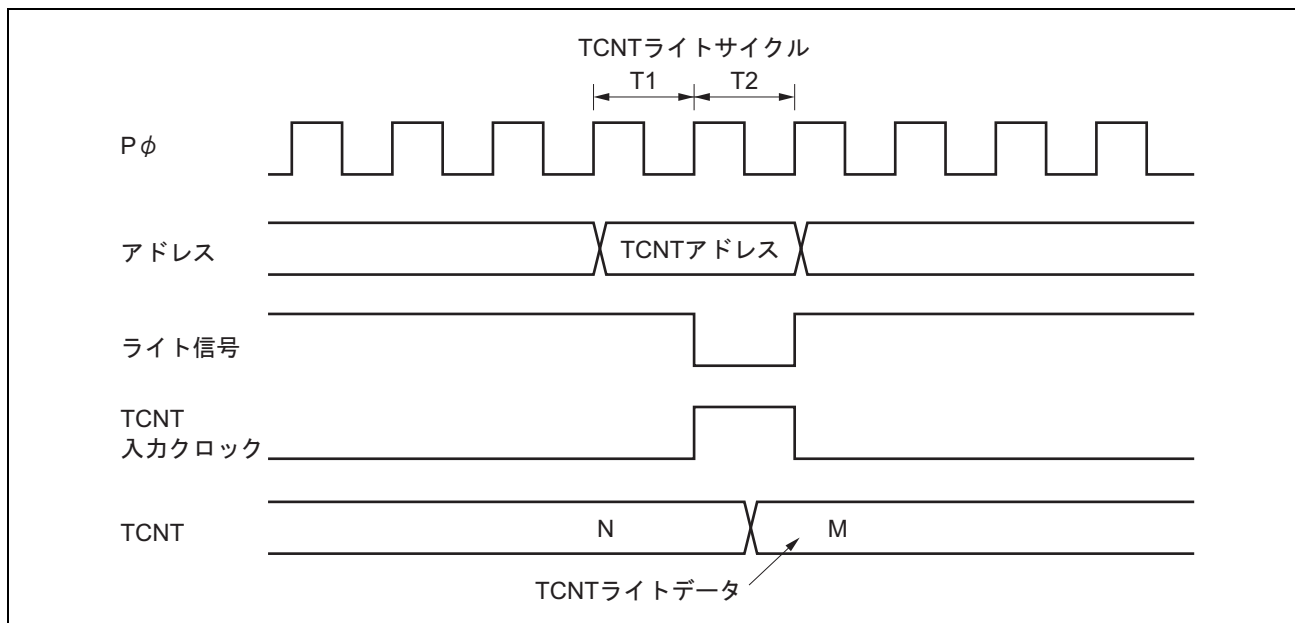


図 14.48 TCNTのライトとカウントアップの競合

14.10.6 TGRのライトとコンペアマッチの競合

TGRのライトサイクル中のT2ステートでコンペアマッチが発生してもTGRのライトが優先され、コンペアマッチ信号は禁止されます。前回と同じ値をライトした場合でもコンペアマッチは発生しません。

このタイミングを図14.49に示します。

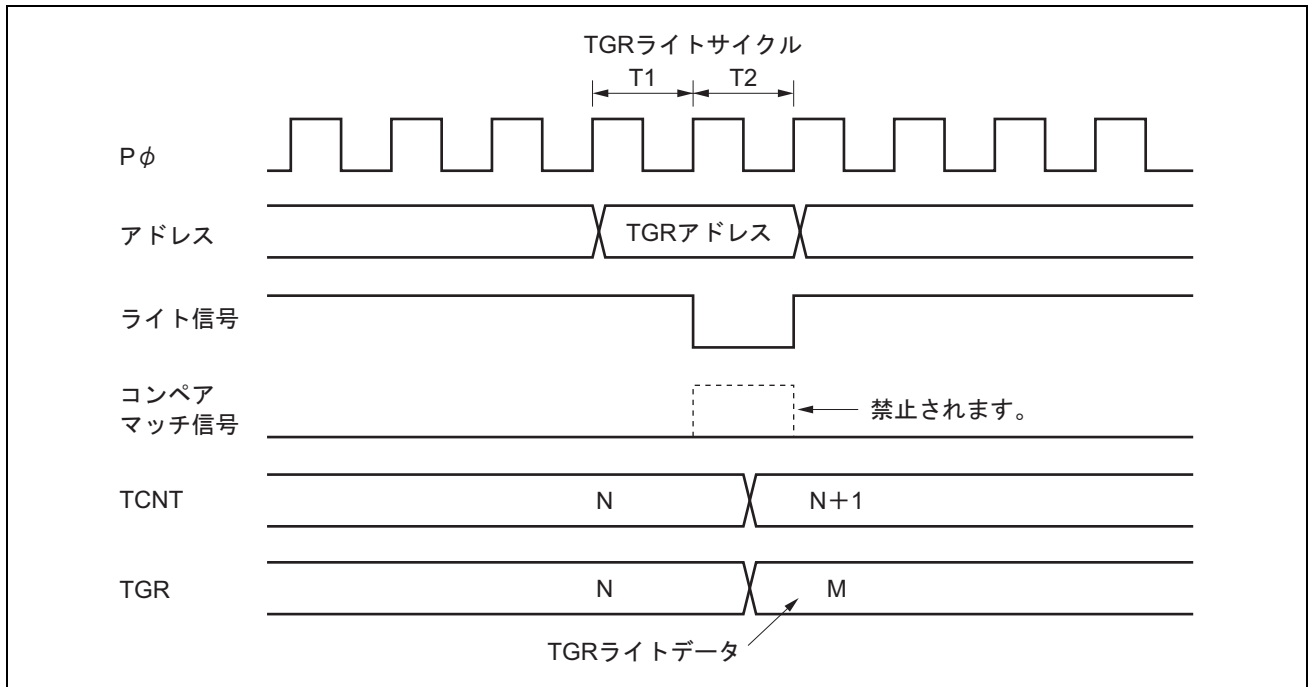


図 14.49 TGRのライトとコンペアマッチの競合

14.10.7 バッファレジスタのライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータはライトデータとなります。

このタイミングを図 14.50 に示します。

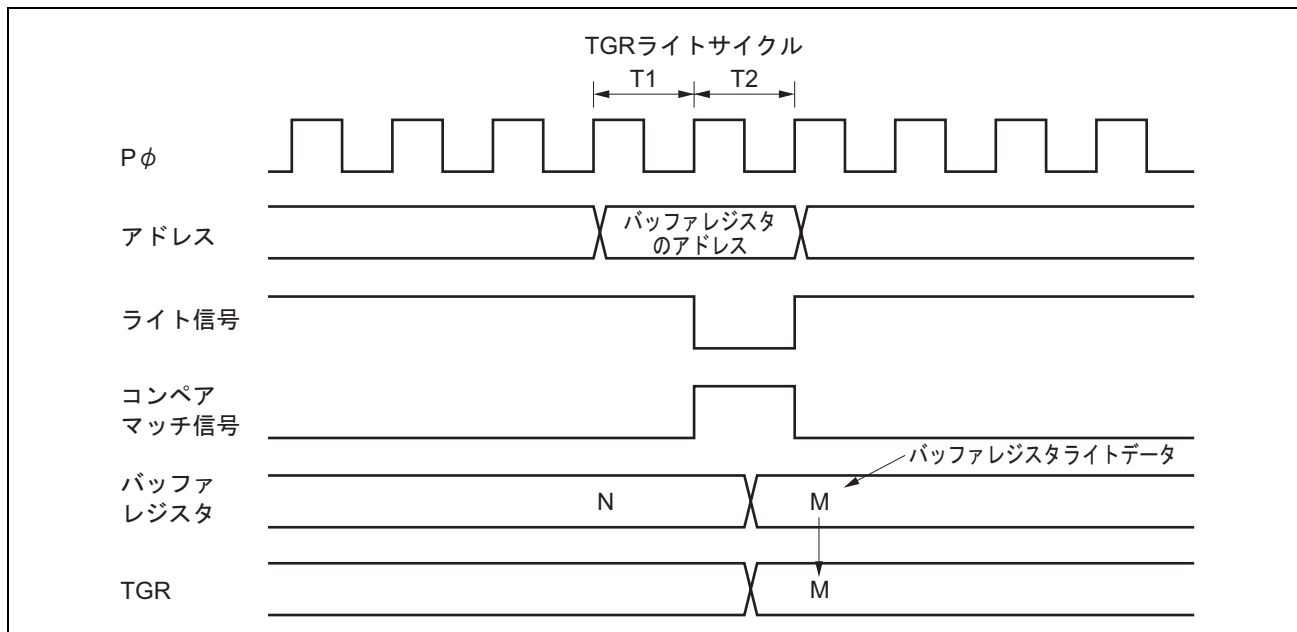


図 14.50 バッファレジスタのライトとコンペアマッチの競合

14.10.8 TGRのリードと入力キャプチャの競合

TGRのリードサイクル中のT1ステートで入力キャプチャ信号が発生すると、リードされるデータは入力キャプチャ転送後のデータとなります。

このタイミングを図14.51に示します。

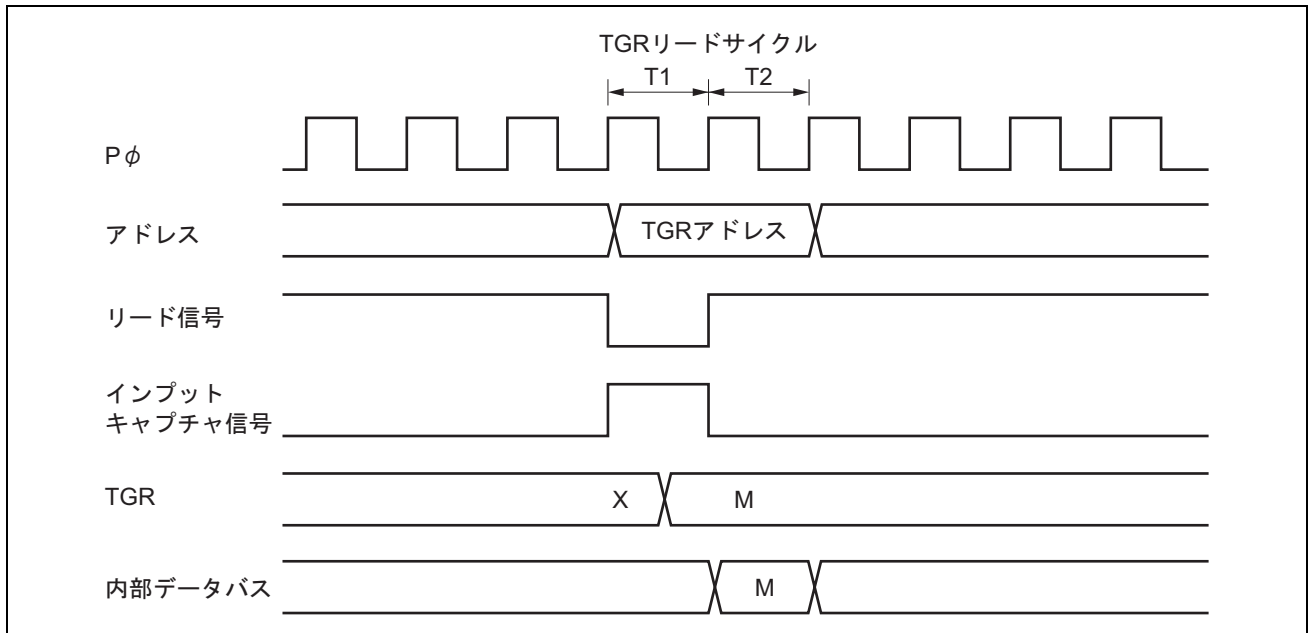


図 14.51 TGRのリードと入力キャプチャの競合

14.10.9 TGRのライトと入力キャプチャの競合

TGRのライトサイクル中のT2ステートで入力キャプチャ信号が発生すると、TGRへのライトは行われず、入力キャプチャが優先されます。このタイミングを図14.52に示します。

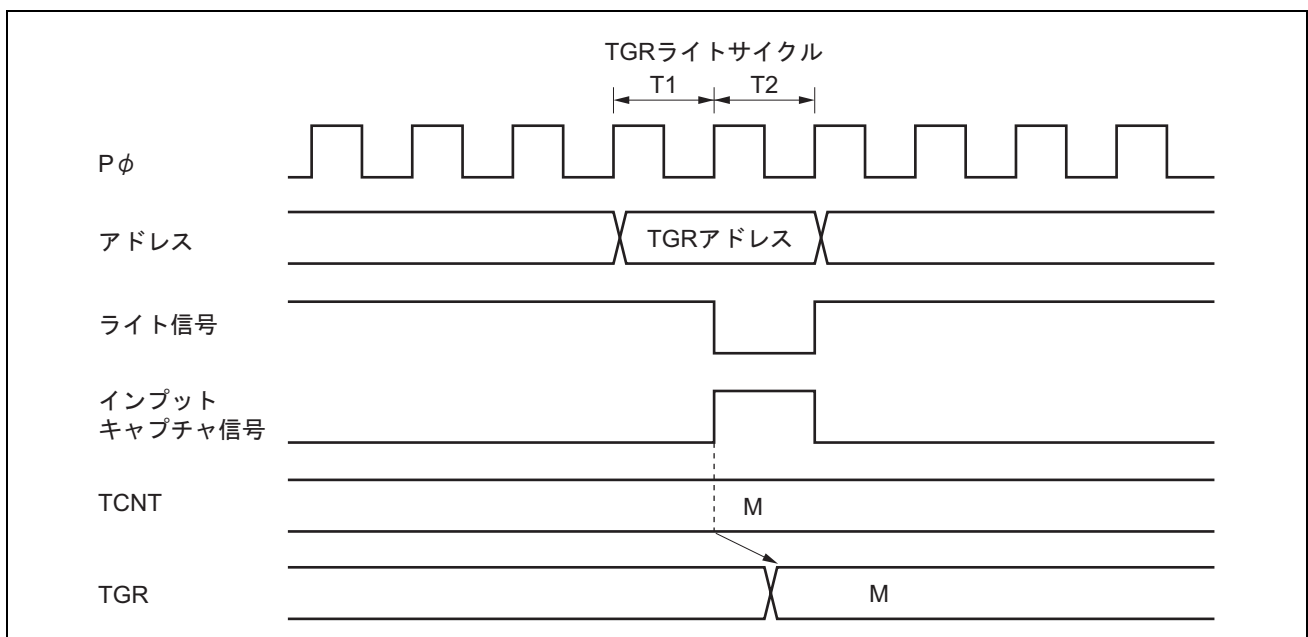


図 14.52 TGRのライトと入力キャプチャの競合

14.10.10 バッファレジスタのライトとインプットキャプチャの競合

バッファレジスタのライトサイクル中の T2 ステートでインプットキャプチャ信号が発生すると、バッファレジスタへのライトは行われず、バッファ動作が優先されます。このタイミングを図 14.53 に示します。

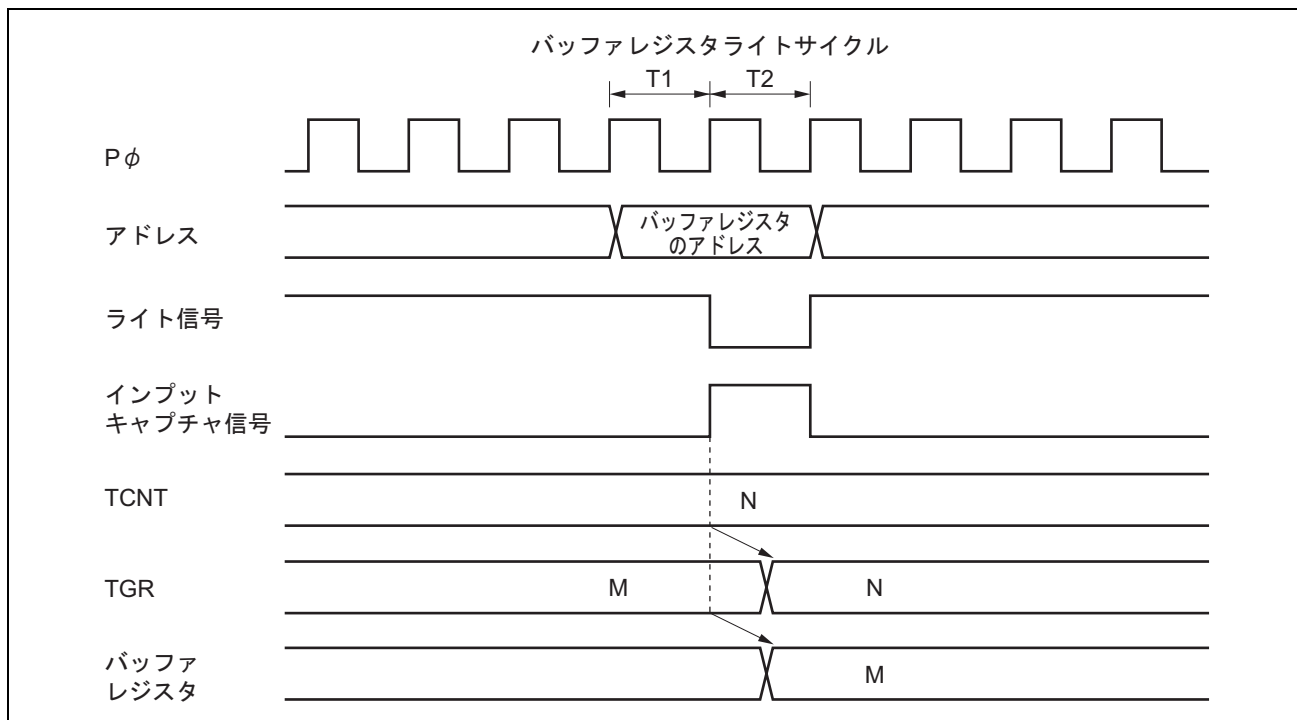


図 14.53 バッファレジスタのライトとインプットキャプチャの競合

14.10.11 オーバフロー／アンダフローとカウンタクリアの競合

オーバフロー／アンダフローとカウンタクリアが同時に発生すると、TSR の TCFV/TCFU フラグはセットされず、TCNT のクリアが優先されます。

TGR のコンペアマッチをクリア要因とし、TGR に H'FFFF を設定した場合の動作タイミングを図 14.54 に示します。

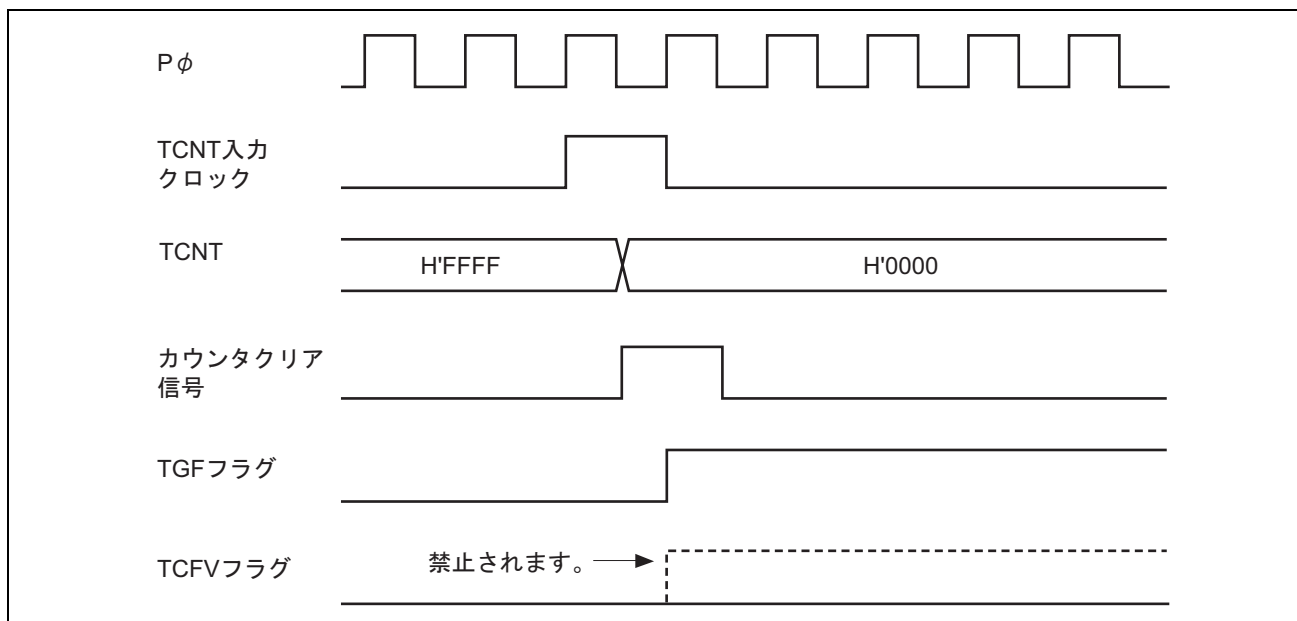


図 14.54 オーバフローとカウンタクリアの競合

14.10.12 TCNT のライトとオーバフロー／アンダフローの競合

TCNT のライトサイクル中の T2 ステートでカウントアップ／カウントダウンが発生し、オーバフロー／アンダフローが発生しても TCNT へのライトが優先され、TSR の TCFV/TCFU フラグはセットされません。

TCNT のライトとオーバフロー競合時の動作タイミングを図 14.55 に示します。

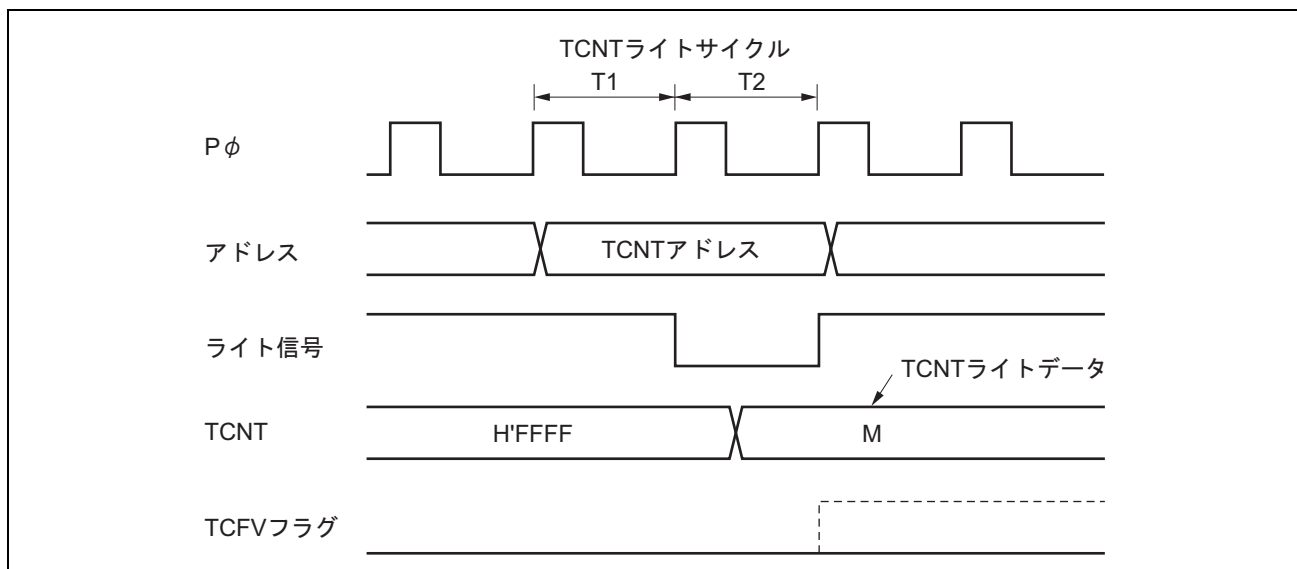


図 14.55 TCNT のライトとオーバフローの競合

14.10.13 入出力端子の兼用

本 LSI では、TCLKA 入力と TIOCC0 入出力、TCLKB 入力と TIOCD0 入出力、TCLKC 入力と TIOCB1 入出力、TCLKD 入力と TIOCB2 入出力の端子がそれぞれ兼用になっています。外部クロックを入力する場合には、兼用されている端子からコンペアマッチ出力を行わないでください。

14.10.14 TPU1 使用時の PPG1 の設定

TPU1 を使用する際、端子が兼用になっている PPG1 の NDER をクリアし、出力を停止してください。詳細は「13. I/O ポート」を参照してください。

14.10.15 モジュールストップ時の割り込み

割り込みが要求された状態でモジュールストップ状態にすると、CPU の割り込み要因、DMAC または DTC の起動要因のクリアができません。事前に割り込みをディスエーブルしてからモジュールストップ状態としてください。

15. プログラマブルパルスジェネレータ (PPG)

プログラマブルパルスジェネレータ (PPG) は 16 ビットタイマパルスユニット (TPU) をタイムベースとしてパルスを出します。PPG は 4 ビット単位のパルス出力グループ 7~0 から構成されており、これらは同時に動作させることも、独立に動作させることもできます。PPG の機能一覧を表 15.1 に示します。PPG のブロック図を図 15.1 と図 15.2 に示します。

15.1 特長

- 出力データ最大32ビット
- 4系統の出力可能
- 出力トリガ信号を選択可能
- ノンオーバーラップ動作可能
- データトランスファコントローラ (DTC) 、DMAコントローラ (DMAC) との連携動作可能
- 反転出力の指定可能
- モジュールストップ状態への設定が可能

表 15.1 PPG 機能一覧

項目			PPG0	PPG1
PPG 出力トリガ	TPU0	コンペアマッチ	○	—
		インプットキャプチャ	○	—
	TPU1	コンペアマッチ	—	○
		インプットキャプチャ	—	—
ノンオーバーラップ動作			○	○
出力データ転送	DTC		○	○
	DMAC		○	○
反転出力の指定			○	○

【記号説明】

○：可能

—：不可

15. プログラマブルパルスジェネレータ (PPG)

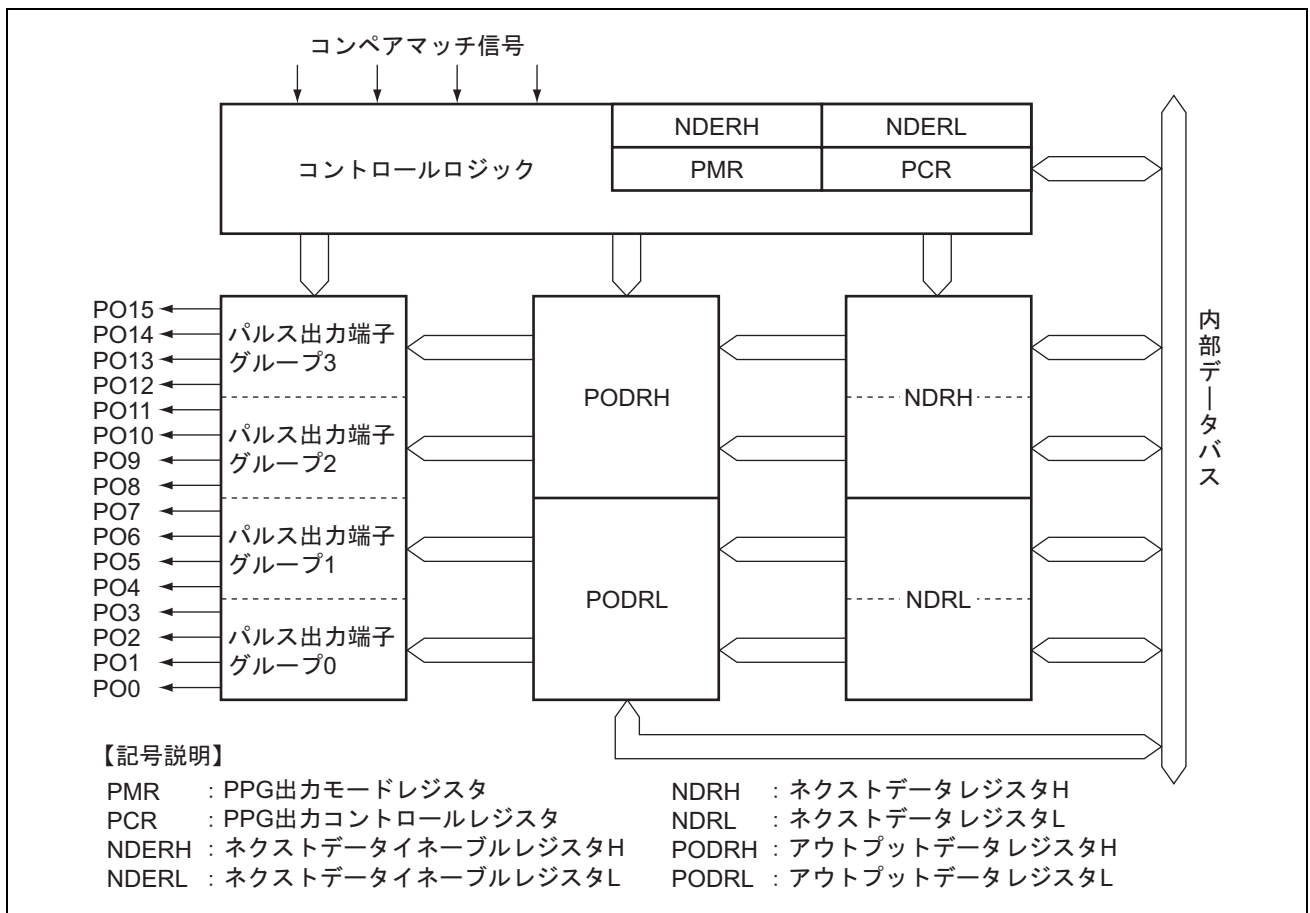


図 15.1 PPG (ユニット0) のブロック図

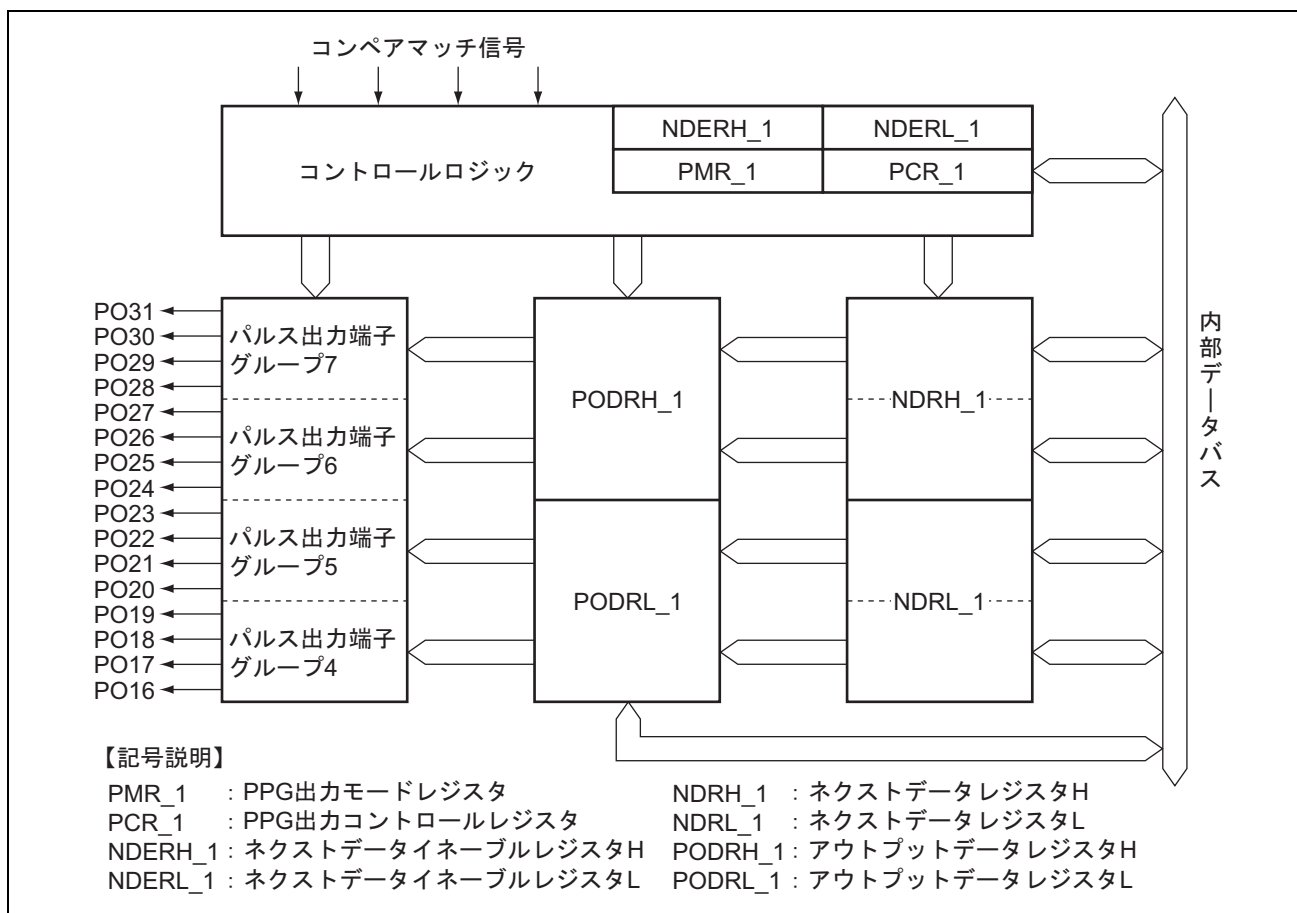


図 15.2 PPG (ユニット1) のブロック図

15. プログラマブルパルスジェネレータ (PPG)

15.2 入出力端子

PPG には表 15.2 の入出力端子があります。

表 15.2 PPG の入出力端子

ユニット	端子名	入出力	機能
0	PO0	出力	パルス出力グループ 0 のパルス出力
	PO1	出力	
	PO2	出力	
	PO3	出力	
	PO4	出力	パルス出力グループ 1 のパルス出力
	PO5	出力	
	PO6	出力	
	PO7	出力	
	PO8	出力	パルス出力グループ 2 のパルス出力
	PO9	出力	
	PO10	出力	
	PO11	出力	
	PO12	出力	パルス出力グループ 3 のパルス出力
	PO13	出力	
	PO14	出力	
PO15	出力		
1	PO16	出力	パルス出力グループ 4 のパルス出力
	PO17	出力	
	PO18	出力	
	PO19	出力	
	PO20	出力	パルス出力グループ 5 のパルス出力
	PO21	出力	
	PO22	出力	
	PO23	出力	
	PO24	出力	パルス出力グループ 6 のパルス出力
	PO25	出力	
	PO26	出力	
	PO27	出力	
	PO28	出力	パルス出力グループ 7 のパルス出力
	PO29	出力	
	PO30	出力	
PO31	出力		

15.3 レジスタの説明

PPG には以下のレジスタがあります。

ユニット 0 :

- ネクストデータイネーブルレジスタH (NDERH)
- ネクストデータイネーブルレジスタL (NDERL)
- アウトプットデータレジスタH (PODRH)
- アウトプットデータレジスタL (PODRL)
- ネクストデータレジスタH (NDRH)
- ネクストデータレジスタL (NDRL)
- PPG出力コントロールレジスタ (PCR)
- PPG出力モードレジスタ (PMR)

ユニット 1 :

- ネクストデータイネーブルレジスタH_1 (NDERH_1)
- ネクストデータイネーブルレジスタL_1 (NDERL_1)
- アウトプットデータレジスタH_1 (PODRH_1)
- アウトプットデータレジスタL_1 (PODRL_1)
- ネクストデータレジスタH_1 (NDRH_1)
- ネクストデータレジスタL_1 (NDRL_1)
- PPG出力コントロールレジスタ_1 (PCR_1)
- PPG出力モードレジスタ_1 (PMR_1)

15. プログラマブルパルスジェネレータ (PPG)

15.3.1 ネクストデータイネーブルレジスタ H、L (NDERH、NDERL)

NDERH、NDERL は、PPG によるパルス出力端子をビット単位で選択します。

・ NDERH

ビット	7	6	5	4	3	2	1	0
ビット名	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

・ NDERL

ビット	7	6	5	4	3	2	1	0
ビット名	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• NDERH

ビット	ビット名	初期値	R/W	説明
7	NDER15	0	R/W	ネクストデータイネーブル 15~8 1にセットすると選択された出力トリガによって NDRH の対応するビットから PODRH ヘデータが転送されます。クリアされているビットは NDRH から PODRH へのデータ転送は行われません。
6	NDER14	0	R/W	
5	NDER13	0	R/W	
4	NDER12	0	R/W	
3	NDER11	0	R/W	
2	NDER10	0	R/W	
1	NDER9	0	R/W	
0	NDER8	0	R/W	

• NDERL

ビット	ビット名	初期値	R/W	説明
7	NDER7	0	R/W	ネクストデータイネーブル 7~0 1にセットすると選択された出力トリガによって NDRL の対応するビットから PODRL ヘデータが転送されます。クリアされているビットは NDRL から PODRL へのデータ転送は行われません。
6	NDER6	0	R/W	
5	NDER5	0	R/W	
4	NDER4	0	R/W	
3	NDER3	0	R/W	
2	NDER2	0	R/W	
1	NDER1	0	R/W	
0	NDER0	0	R/W	

• NDERH_1

ビット	ビット名	初期値	R/W	説明
7	NDER31	0	R/W	ネクストデータイネーブル 31~24
6	NDER30	0	R/W	1にセットすると選択された出力トリガによってNDRH_1の対応するビットからPODRH_1へデータが転送されます。クリアされているビットはNDRH_1からPODRH_1へのデータ転送は行われません。
5	NDER29	0	R/W	
4	NDER28	0	R/W	
3	NDER27	0	R/W	
2	NDER26	0	R/W	
1	NDER25	0	R/W	
0	NDER24	0	R/W	

• NDERL_1

ビット	ビット名	初期値	R/W	説明
7	NDER23	0	R/W	ネクストデータイネーブル 23~16
6	NDER22	0	R/W	1にセットすると選択された出力トリガによってNDRL_1の対応するビットからPODRL_1へデータが転送されます。クリアされているビットはNDRL_1からPODRL_1へのデータ転送は行われません。
5	NDER21	0	R/W	
4	NDER20	0	R/W	
3	NDER19	0	R/W	
2	NDER18	0	R/W	
1	NDER17	0	R/W	
0	NDER16	0	R/W	

15. プログラマブルパルスジェネレータ (PPG)

15.3.2 アウトプットデータレジスタ H、L (PODRH、PODRL)

PODRH、PODRL は、パルス出力値が格納されます。NDER によりパルス出力に設定されたビットはリード専用となり、ライトできません。

・PODRH

ビット	7	6	5	4	3	2	1	0
ビット名	POD15	POD14	POD13	POD12	POD11	POD10	POD9	POD8
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

・PODRL

ビット	7	6	5	4	3	2	1	0
ビット名	POD7	POD6	POD5	POD4	POD3	POD2	POD1	POD0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• PODRH

ビット	ビット名	初期値	R/W	説明
7	POD15	0	R/W	アウトプットデータレジスタ 15~8 NDERH によりパルス出力に設定されたビットは PPG 動作中、出力トリガによって NDRH の値がこのレジスタに転送されます。NDERH が 1 にセットされている期間 CPU からはライトできません。NDERH がクリアされている状態ではパルスの初期出力値を設定することができます。
6	POD14	0	R/W	
5	POD13	0	R/W	
4	POD12	0	R/W	
3	POD11	0	R/W	
2	POD10	0	R/W	
1	POD9	0	R/W	
0	POD8	0	R/W	

• PODRL

ビット	ビット名	初期値	R/W	説明
7	POD7	0	R/W	アウトプットデータレジスタ 7~0 NDERL によりパルス出力に設定されたビットは PPG 動作中、出力トリガによって NDRL の値がこのレジスタに転送されます。NDERL が 1 にセットされている期間 CPU からはライトできません。NDERL がクリアされている状態ではパルスの初期出力値を設定することができます。
6	POD6	0	R/W	
5	POD5	0	R/W	
4	POD4	0	R/W	
3	POD3	0	R/W	
2	POD2	0	R/W	
1	POD1	0	R/W	
0	POD0	0	R/W	

• PODRH_1

ビット	ビット名	初期値	R/W	説 明
7	POD31	0	R/W	アウトプットデータレジスタ 31~24 NDERH_1によりパルス出力に設定されたビットは PPG 動作中、出力トリガによって NDRH_1 の値がこのレジスタに転送されます。NDERH_1 が 1 にセットされている期間 CPU からはライトできません。NDERH_1 がクリアされている状態ではパルスの初期出力値を設定することができます。
6	POD30	0	R/W	
5	POD29	0	R/W	
4	POD28	0	R/W	
3	POD27	0	R/W	
2	POD26	0	R/W	
1	POD25	0	R/W	
0	POD24	0	R/W	

• PODRL_1

ビット	ビット名	初期値	R/W	説 明
7	POD23	0	R/W	アウトプットデータレジスタ 23~16 NDERL_1によりパルス出力に設定されたビットは PPG 動作中、出力トリガによって NDRL_1 の値がこのレジスタに転送されます。NDERL_1 が 1 にセットされている期間 CPU からはライトできません。NDERL_1 がクリアされている状態ではパルスの初期出力値を設定することができます。
6	POD22	0	R/W	
5	POD21	0	R/W	
4	POD20	0	R/W	
3	POD19	0	R/W	
2	POD18	0	R/W	
1	POD17	0	R/W	
0	POD16	0	R/W	

15. プログラマブルパルスジェネレータ (PPG)

15.3.3 ネクストデータレジスタ H、L (NDRH、NDRL)

NDRH、NDRL は、パルス出力の次のデータを格納します。NDR のアドレスは、パルス出力グループの出力トリガを同一に設定した場合と、異なる出力トリガを選択した場合とで異なります。

・ NDRH

ビット	7	6	5	4	3	2	1	0
ビット名	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

・ NDRL

ビット	7	6	5	4	3	2	1	0
ビット名	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• NDRH

パルス出力グループ 2、3 の出力トリガを同一にすると、以下のように 8 ビットすべて同一アドレスにマッピングされ、8 ビット同時にアクセスできます。

ビット	ビット名	初期値	R/W	説明
7	NDR15	0	R/W	ネクストデータレジスタ 15~8 PCR で指定した出力トリガにより、このレジスタの内容が PODRH の対応するビットに転送されます。
6	NDR14	0	R/W	
5	NDR13	0	R/W	
4	NDR12	0	R/W	
3	NDR11	0	R/W	
2	NDR10	0	R/W	
1	NDR9	0	R/W	
0	NDR8	0	R/W	

パルス出力グループ 2 とパルス出力グループ 3 で異なる出力トリガを選択すると、以下のように上位 4 ビットと下位 4 ビットは異なるアドレスにマッピングされます。

ビット	ビット名	初期値	R/W	説明
7	NDR15	0	R/W	ネクストデータレジスタ 15~12 PCR で指定した出力トリガにより、このレジスタの内容が PODRH の対応するビットに転送されます。
6	NDR14	0	R/W	
5	NDR13	0	R/W	
4	NDR12	0	R/W	
3~0	—	すべて 1	—	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

15. プログラマブルパルスジェネレータ (PPG)

ビット	ビット名	初期値	R/W	説明
7~4	—	すべて1	—	リザーブビット リードすると常に1が読み出されます。ライトは無効です。
3	NDR11	0	R/W	ネクストデータレジスタ 11~8 PCR で指定した出カトリガにより、このレジスタの内容が PODRH の対応するビットに転送されます。
2	NDR10	0	R/W	
1	NDR9	0	R/W	
0	NDR8	0	R/W	

• NDRL

パルス出力グループ 0、1 の出力トリガを同一にすると、以下のように 8 ビットすべて同一アドレスにマッピングされ、8 ビット同時にアクセスできます。

ビット	ビット名	初期値	R/W	説明
7	NDR7	0	R/W	ネクストデータレジスタ 7~0 PCR で指定した出カトリガにより、このレジスタの内容が PODRL の対応するビットに転送されます。
6	NDR6	0	R/W	
5	NDR5	0	R/W	
4	NDR4	0	R/W	
3	NDR3	0	R/W	
2	NDR2	0	R/W	
1	NDR1	0	R/W	
0	NDR0	0	R/W	

パルス出力グループ 0 とパルス出力グループ 1 で異なる出力トリガを選択すると、以下のように上位 4 ビットと下位 4 ビットは異なるアドレスにマッピングされます。

ビット	ビット名	初期値	R/W	説明
7	NDR7	0	R/W	ネクストデータレジスタ 7~4 PCR で指定した出カトリガにより、このレジスタの内容が PODRL の対応するビットに転送されます。
6	NDR6	0	R/W	
5	NDR5	0	R/W	
4	NDR4	0	R/W	
3~0	—	すべて1	—	リザーブビット リードすると常に1が読み出されます。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7~4	—	すべて1	—	リザーブビット リードすると常に1が読み出されます。ライトは無効です。
3	NDR3	0	R/W	ネクストデータレジスタ 3~0 PCR で指定した出カトリガにより、このレジスタの内容が PODRL の対応するビットに転送されます。
2	NDR2	0	R/W	
1	NDR1	0	R/W	
0	NDR0	0	R/W	

15. プログラマブルパルスジェネレータ (PPG)

• NDRH_1

パルス出力グループ 6、7 の出力トリガを同一にすると、以下のように 8 ビットすべて同一アドレスにマッピングされ、8 ビット同時にアクセスできます。

ビット	ビット名	初期値	R/W	説明
7	NDR31	0	R/W	ネクストデータレジスタ 31~24 PCR_1 で指定した出力トリガにより、このレジスタの内容が PODRH_1 の対応するビットに転送されます。
6	NDR30	0	R/W	
5	NDR29	0	R/W	
4	NDR28	0	R/W	
3	NDR27	0	R/W	
2	NDR26	0	R/W	
1	NDR25	0	R/W	
0	NDR24	0	R/W	

パルス出力グループ 6 とパルス出力グループ 7 で異なる出力トリガを選択すると、以下のように上位 4 ビットと下位 4 ビットは異なるアドレスにマッピングされます。

ビット	ビット名	初期値	R/W	説明
7	NDR31	0	R/W	ネクストデータレジスタ 31~28 PCR_1 で指定した出力トリガにより、このレジスタの内容が PODRH_1 の対応するビットに転送されます。
6	NDR30	0	R/W	
5	NDR29	0	R/W	
4	NDR28	0	R/W	
3~0	—	すべて 1	—	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7~4	—	すべて 1	—	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3	NDR27	0	R/W	ネクストデータレジスタ 27~24 PCR_1 で指定した出力トリガにより、このレジスタの内容が PODRH_1 の対応するビットに転送されます。
2	NDR26	0	R/W	
1	NDR25	0	R/W	
0	NDR24	0	R/W	

- NDRL_1

パルス出力グループ 4、5 の出力トリガを同一にすると、以下のように 8 ビットすべて同一アドレスにマッピングされ、8 ビット同時にアクセスできます。

ビット	ビット名	初期値	R/W	説明
7	NDR23	0	R/W	ネクストデータレジスタ 23~16 PCR_1 で指定した出力トリガにより、このレジスタの内容が PODRL_の対応するビットに転送されます。
6	NDR22	0	R/W	
5	NDR21	0	R/W	
4	NDR20	0	R/W	
3	NDR19	0	R/W	
2	NDR18	0	R/W	
1	NDR17	0	R/W	
0	NDR16	0	R/W	

パルス出力グループ 4 とパルス出力グループ 5 で異なる出力トリガを選択すると、以下のように上位 4 ビットと下位 4 ビットは異なるアドレスにマッピングされます。

ビット	ビット名	初期値	R/W	説明
7	NDR23	0	R/W	ネクストデータレジスタ 23~20 PCR_1 で指定した出力トリガにより、このレジスタの内容が PODRL の対応するビットに転送されます。
6	NDR22	0	R/W	
5	NDR21	0	R/W	
4	NDR20	0	R/W	
3~0	—	すべて 1	—	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7~4	—	すべて 1	—	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3	NDR19	0	R/W	ネクストデータレジスタ 19~16 PCR_1 で指定した出力トリガにより、このレジスタの内容が PODRL の対応するビットに転送されます。
2	NDR18	0	R/W	
1	NDR17	0	R/W	
0	NDR16	0	R/W	

15. プログラマブルパルスジェネレータ (PPG)

15.3.4 PPG 出力コントロールレジスタ (PCR)

PCR は、パルス出力トリガ信号をグループ単位で選択します。出力トリガの選択については「15.3.5 PPG 出力モードレジスタ (PMR)」を参照してください。

ビット	7	6	5	4	3	2	1	0
ビット名	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7 6	G3CMS1 G3CMS0	1 1	R/W R/W	グループ 3 コンペアマッチセレクト 1、0 パルス出力グループ 3 の出力トリガを選択します。 00 : TPU チャンネル 0 のコンペアマッチ 01 : TPU チャンネル 1 のコンペアマッチ 10 : TPU チャンネル 2 のコンペアマッチ 11 : TPU チャンネル 3 のコンペアマッチ
5 4	G2CMS1 G2CMS0	1 1	R/W R/W	グループ 2 コンペアマッチセレクト 1、0 パルス出力グループ 2 の出力トリガを選択します。 00 : TPU チャンネル 0 のコンペアマッチ 01 : TPU チャンネル 1 のコンペアマッチ 10 : TPU チャンネル 2 のコンペアマッチ 11 : TPU チャンネル 3 のコンペアマッチ
3 2	G1CMS1 G1CMS0	1 1	R/W R/W	グループ 1 コンペアマッチセレクト 1、0 パルス出力グループ 1 の出力トリガを選択します。 00 : TPU チャンネル 0 のコンペアマッチ 01 : TPU チャンネル 1 のコンペアマッチ 10 : TPU チャンネル 2 のコンペアマッチ 11 : TPU チャンネル 3 のコンペアマッチ
1 0	G0CMS1 G0CMS0	1 1	R/W R/W	グループ 0 コンペアマッチセレクト 1、0 パルス出力グループ 0 の出力トリガを選択します。 00 : TPU チャンネル 0 のコンペアマッチ 01 : TPU チャンネル 1 のコンペアマッチ 10 : TPU チャンネル 2 のコンペアマッチ 11 : TPU チャンネル 3 のコンペアマッチ

• PCR_1

ビット	ビット名	初期値	R/W	説明
7 6	G3CMS1 G3CMS0	1 1	R/W R/W	グループ7コンペアマッチセレクト1、0 パルス出力グループ7の出力トリガを選択します。 00 : TPU チャンネル6のコンペアマッチ 01 : TPU チャンネル7のコンペアマッチ 10 : TPU チャンネル8のコンペアマッチ 11 : TPU チャンネル9のコンペアマッチ
5 4	G2CMS1 G2CMS0	1 1	R/W R/W	グループ6コンペアマッチセレクト1、0 パルス出力グループ6の出力トリガを選択します。 00 : TPU チャンネル6のコンペアマッチ 01 : TPU チャンネル7のコンペアマッチ 10 : TPU チャンネル8のコンペアマッチ 11 : TPU チャンネル9のコンペアマッチ
3 2	G1CMS1 G1CMS0	1 1	R/W R/W	グループ5コンペアマッチセレクト1、0 パルス出力グループ5の出力トリガを選択します。 00 : TPU チャンネル6のコンペアマッチ 01 : TPU チャンネル7のコンペアマッチ 10 : TPU チャンネル8のコンペアマッチ 11 : TPU チャンネル9のコンペアマッチ
1 0	G0CMS1 G0CMS0	1 1	R/W R/W	グループ4コンペアマッチセレクト1、0 パルス出力グループ4の出力トリガを選択します。 00 : TPU チャンネル6のコンペアマッチ 01 : TPU チャンネル7のコンペアマッチ 10 : TPU チャンネル8のコンペアマッチ 11 : TPU チャンネル9のコンペアマッチ

15. プログラマブルパルスジェネレータ (PPG)

15.3.5 PPG 出力モードレジスタ (PMR)

PMR は、PPG のパルス出力モードをグループ単位で設定します。反転出力に設定すると PODRH の値が 1 のとき端子に Low レベルを、PODRH の値が 0 のとき端子に High レベルを出力します。また、ノンオーバーラップ動作に設定すると PPG は、出力トリガとなる TPU のコンペアマッチ A、B で出力値を更新します。詳細は、「15.4.4 パルス出力ノンオーバーラップ動作」を参照してください。

ビット	7	6	5	4	3	2	1	0
ビット名	G3INV	G2INV	G1INV	G0INV	G3NOV	G2NOV	G1NOV	G0NOV
初期値:	1	1	1	1	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	G3INV	1	R/W	グループ 3 インバート パルス出力グループ 3 を直接出力させるか反転出力させるかを選択します。 0: 反転出力 1: 直接出力
6	G2INV	1	R/W	グループ 2 インバート パルス出力グループ 2 を直接出力させるか反転出力させるかを選択します。 0: 反転出力 1: 直接出力
5	G1INV	1	R/W	グループ 1 インバート パルス出力グループ 1 を直接出力させるか反転出力させるかを選択します。 0: 反転出力 1: 直接出力
4	G0INV	1	R/W	グループ 0 インバート パルス出力グループ 0 を直接出力させるか反転出力させるかを選択します。 0: 反転出力 1: 直接出力
3	G3NOV	0	R/W	グループ 3 ノンオーバーラップ パルス出力グループ 3 を通常動作させるか、ノンオーバーラップ動作させるかを選択します。 0: 通常動作 (選択された TPU のコンペアマッチ A で出力値を更新) 1: ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B で出力値を更新)
2	G2NOV	0	R/W	グループ 2 ノンオーバーラップ パルス出力グループ 2 を通常動作させるか、ノンオーバーラップ動作させるかを選択します。 0: 通常動作 (選択された TPU のコンペアマッチ A で出力値を更新) 1: ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B で出力値を更新)

15. プログラマブルパルスジェネレータ (PPG)

ビット	ビット名	初期値	R/W	説明
1	G1NOV	0	R/W	グループ1 ノンオーバーラップ パルス出力グループ1を通常動作させるか、ノンオーバーラップ動作させるかを選択します。 0: 通常動作 (選択された TPU のコンペアマッチ A で出力値を更新) 1: ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B で出力値を更新)
0	G0NOV	0	R/W	グループ0 ノンオーバーラップ パルス出力グループ0を通常動作させるか、ノンオーバーラップ動作させるかを選択します。 0: 通常動作 (選択された TPU のコンペアマッチ A で出力値を更新) 1: ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B で出力値を更新)

• PMR_1

ビット	ビット名	初期値	R/W	説明
7	G3INV	1	R/W	グループ7 インバート パルス出力グループ7を直接出力させるか反転出力させるかを選択します。 0: 反転出力 1: 直接出力
6	G2INV	1	R/W	グループ6 インバート パルス出力グループ6を直接出力させるか反転出力させるかを選択します。 0: 反転出力 1: 直接出力
5	G1INV	1	R/W	グループ5 インバート パルス出力グループ5を直接出力させるか反転出力させるかを選択します。 0: 反転出力 1: 直接出力
4	G0INV	1	R/W	グループ4 インバート パルス出力グループ4を直接出力させるか反転出力させるかを選択します。 0: 反転出力 1: 直接出力
3	G3NOV	0	R/W	グループ7 ノンオーバーラップ パルス出力グループ7を通常動作させるか、ノンオーバーラップ動作させるかを選択します。 0: 通常動作 (選択された TPU のコンペアマッチ A で出力値を更新) 1: ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B で出力値を更新)

15. プログラマブルパルスジェネレータ (PPG)

ビット	ビット名	初期値	R/W	説明
2	G2NOV	0	R/W	<p>グループ 6 ノンオーバーラップ</p> <p>パルス出力グループ 6 を通常動作させるか、ノンオーバーラップ動作させるかを選択します。</p> <p>0 : 通常動作 (選択された TPU のコンペアマッチ A で出力値を更新)</p> <p>1 : ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B で出力値を更新)</p>
1	G1NOV	0	R/W	<p>グループ 5 ノンオーバーラップ</p> <p>パルス出力グループ 5 を通常動作させるか、ノンオーバーラップ動作させるかを選択します。</p> <p>0 : 通常動作 (選択された TPU のコンペアマッチ A で出力値を更新)</p> <p>1 : ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B で出力値を更新)</p>
0	G0NOV	0	R/W	<p>グループ 4 ノンオーバーラップ</p> <p>パルス出力グループ 4 を通常動作させるか、ノンオーバーラップ動作させるかを選択します。</p> <p>0 : 通常動作 (選択された TPU のコンペアマッチ A で出力値を更新)</p> <p>1 : ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B で出力値を更新)</p>

15.4 動作説明

PPG 概要図を図 15.3 に示します。PPG は、NDER の対応するビットをそれぞれ 1 にセットすることによりパルス出力状態となります。初期出力値は対応する PODR の初期設定値により決まります。その後、PCR で指定したコンペアマッチが発生すると、対応する NDR の値がそれぞれ PODR に転送されて出力値が更新されます。次のコンペアマッチが発生するまでに NDR に出力データをライトすることにより、コンペアマッチのたびに最大 16 ビットのデータを順次出力することができます。

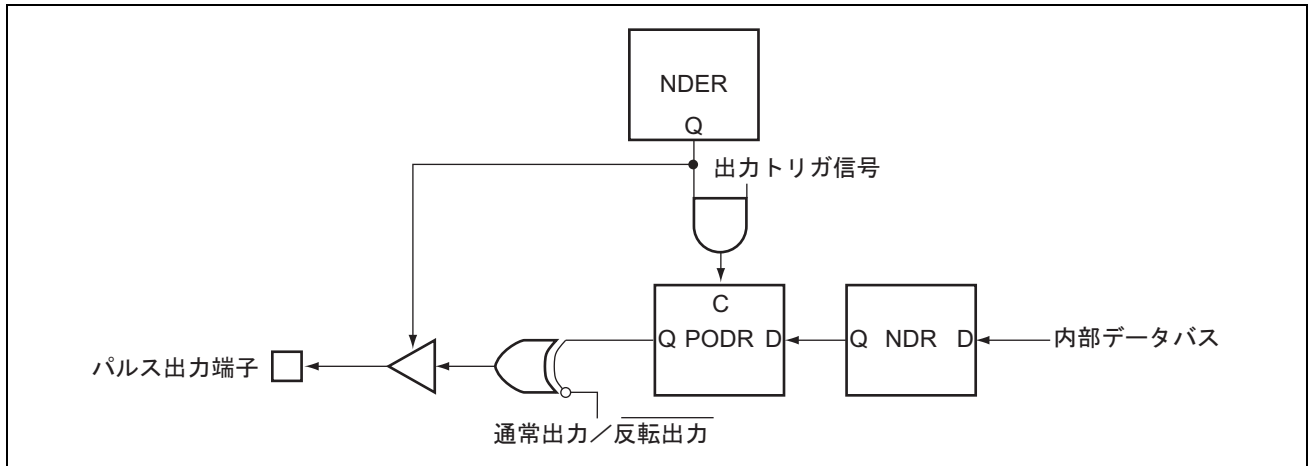


図 15.3 PPG 概要図

15.4.1 出力タイミング

パルス出力許可状態で指定されたコンペアマッチが発生すると、NDR の内容が PODR に転送され、出力されます。このタイミングを図 15.4 に示します。コンペアマッチ A により、グループ 2、3 で通常出力を行った場合の例です。

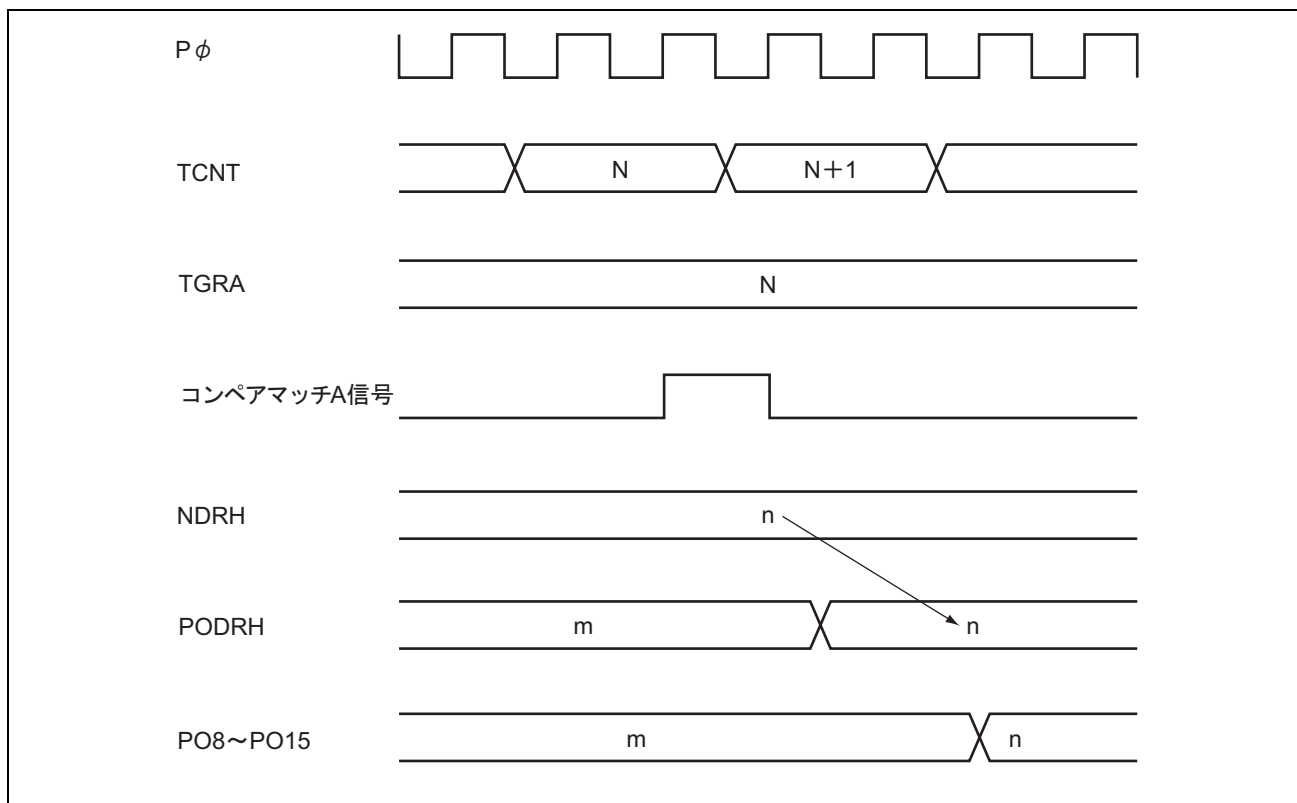


図 15.4 NDR の内容が転送・出力されるタイミング例

15.4.2 通常動作のパルス出力設定手順例

パルス出力通常動作の設定手順例を図 15.5、図 15.6 に示します。

- PPG0の設定

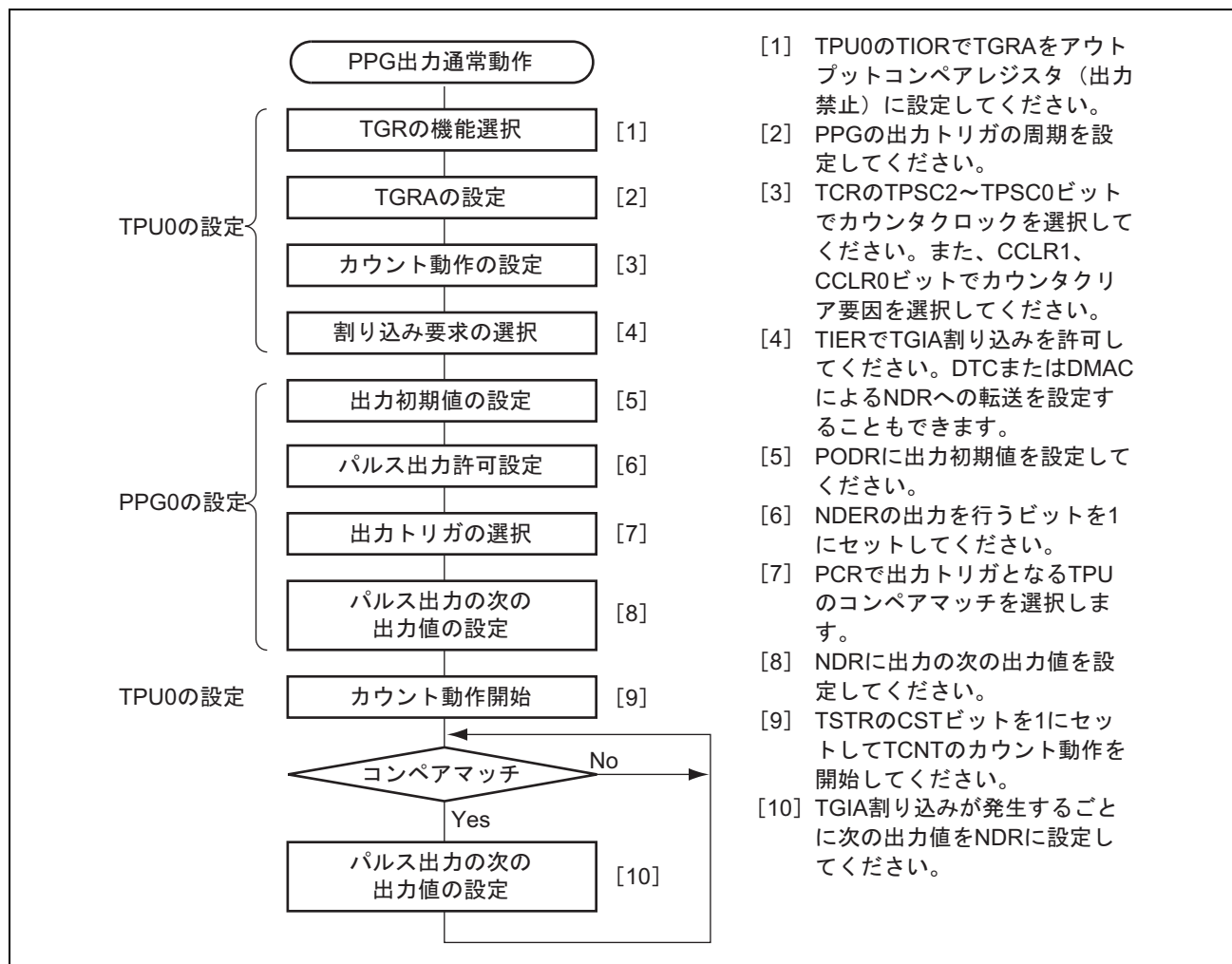


図 15.5 パルス出力通常動作の設定手順例 (PPG0 の設定)

15. プログラマブルパルスジェネレータ (PPG)

• PPG1の設定

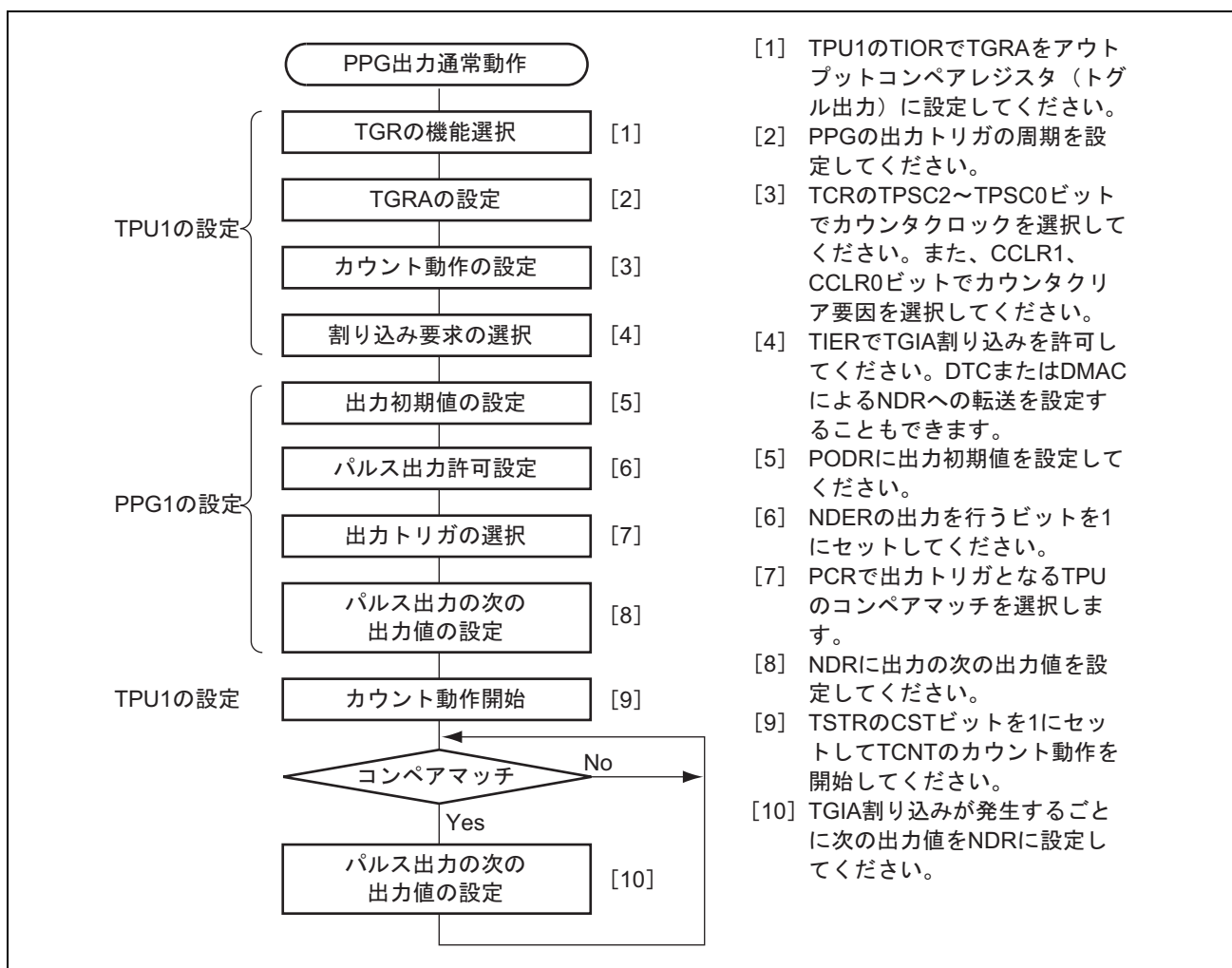


図 15.6 パルス出力通常動作の設定手順例 (PPG1 の設定)

15.4.3 パルス出力通常動作例 (5相パルス出力例)

パルス出力を使用して一定周期で5相パルスを出力させた例を図15.7に示します。

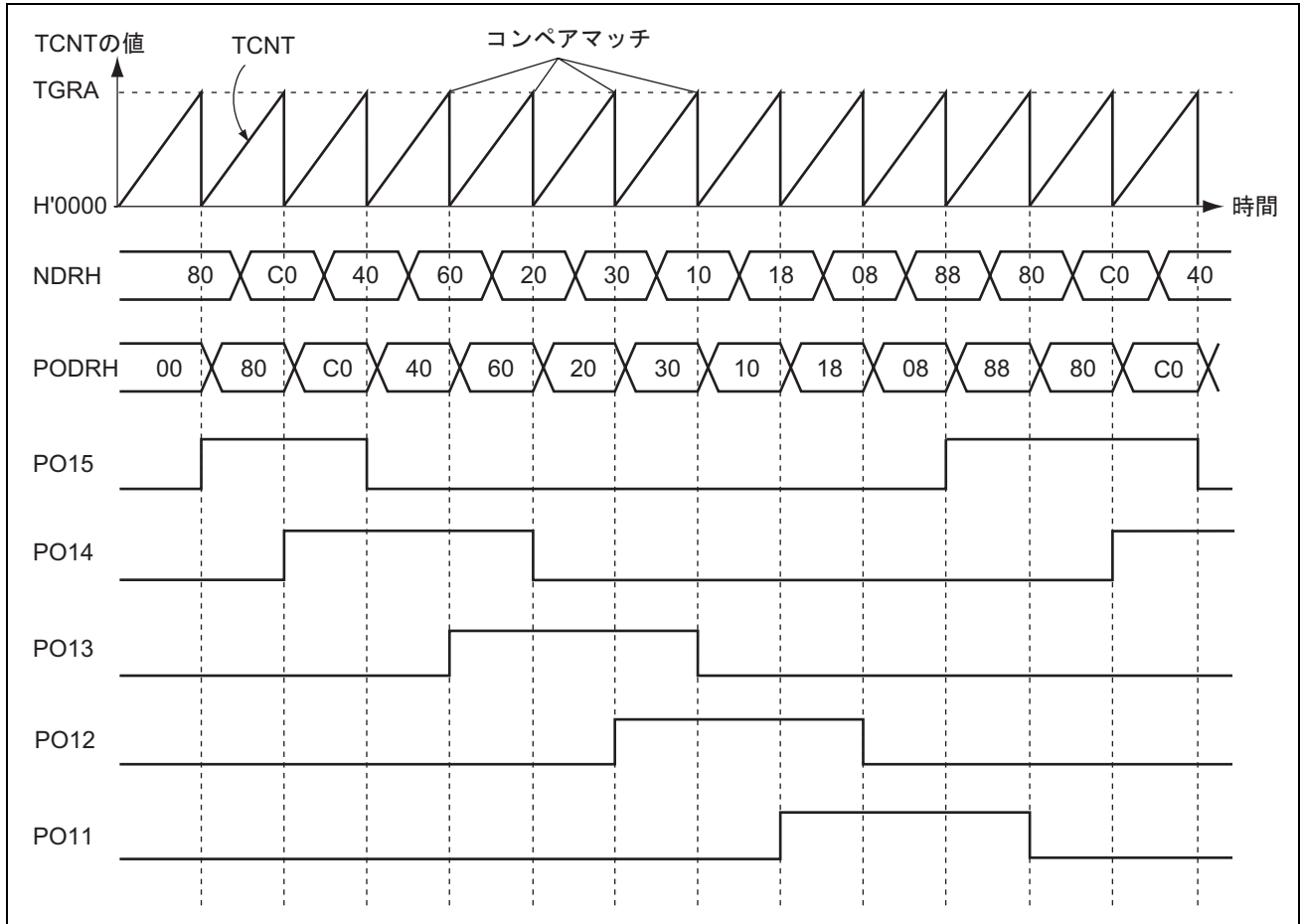


図 15.7 パルス出力通常動作例 (5相パルス出力例)

- 出力トリガとするTPUのTGRAをアウトプットコンペアレジスタに設定します。TGRAには周期を設定し、コンペアマッチAによるカウンタクリアを選択します。また、TIERのTGIEAビットを1にセットして、コンペアマッチ/インプットキャプチャA (TGIA) 割り込みを許可します。
- NDRHにH'F8をライトし、PCRのG3CMS1、G3CMS0ビットおよびG2CMS1、G2CMS0ビットにより、1で選択したTPUのコンペアマッチに出力トリガを設定します。NDRHに出力データH'80をライトします。
- TPU当該チャネルの動作を開始しコンペアマッチAが発生すると、NDRHの内容がPODRHに転送され出力されます。TGIA割り込み処理でNDRHに次の出力データH'C0をライトします。
- 以後、TGIA割り込みで順次H'40、H'60、H'20、H'30、H'10、H'18、H'08、H'88…をライトすることで、5相の1-2相パルス出力を行うことができます。

TGIA割り込みでDTCまたはDMACを起動するように設定すれば、CPUの負荷なくパルス出力を行うことができます。

15.4.4 パルス出力ノンオーバーラップ動作

ノンオーバーラップ動作時の NDR から PODR への転送は以下のようになっています。

- コンペアマッチAではNDRの内容を常にPODRへ転送します。
- コンペアマッチBではNDRの転送するビットの内容が0のときのみ転送を行います。1のときは転送を行いません。

ノンオーバーラップ時のパルス出力動作を図 15.8 に示します。

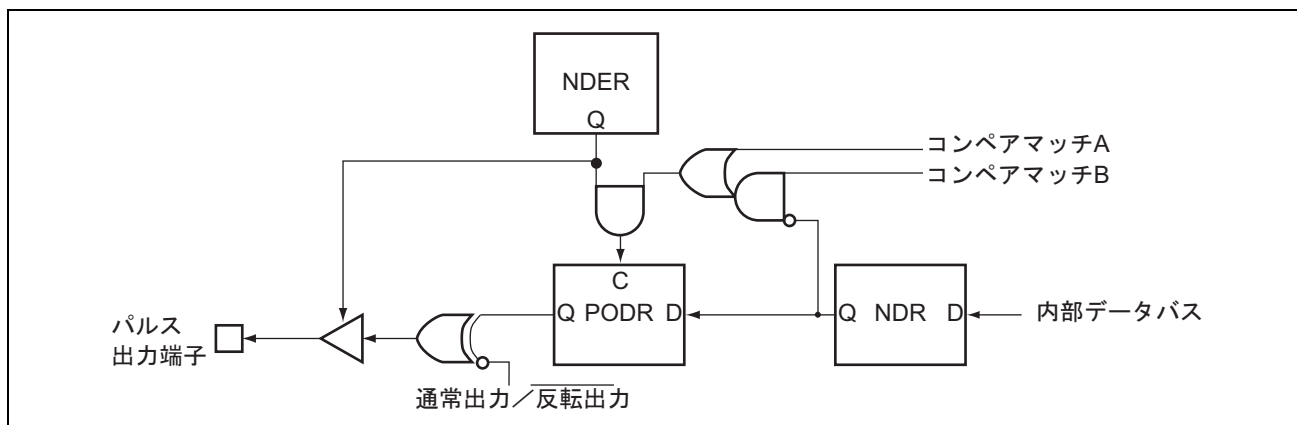


図 15.8 パルス出力ノンオーバーラップ動作

したがって、コンペアマッチ B をコンペアマッチ A よりも先に発生させることにより、0 データの転送を 1 データの転送に先立って行うことが可能です。

この場合、コンペアマッチ B が発生した後、コンペアマッチ A が発生するまで（ノンオーバーラップ期間）の間、NDR の内容を変更しないようにしてください。

これは TGIA 割り込みの割り込み処理ルーチンで NDR に次のデータをライトすることによって実現できます。また、TGIA 割り込みで DTC または DMAC を起動することもできます。ただし、このライトは次のコンペアマッチ B が発生する前に行ってください。

このタイミングを図 15.9 に示します。

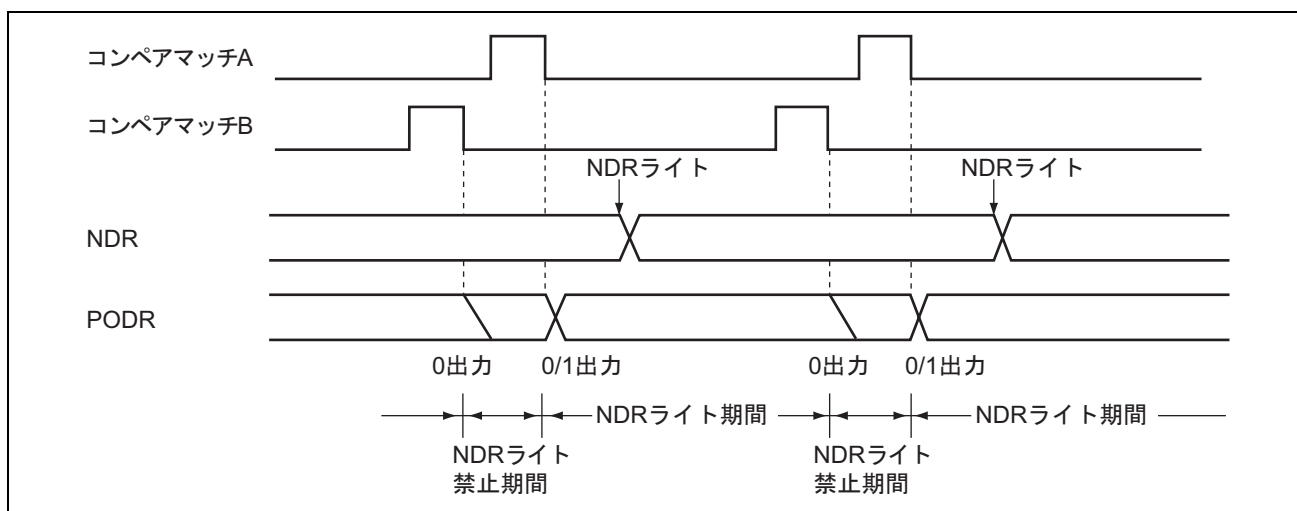


図 15.9 ノンオーバーラップ動作と NDR ライトタイミング

15.4.5 ノンオーバーラップ動作のパルス出力設定手順例

パルス出力ノンオーバーラップ動作の設定手順例を図 15.10、図 15.11 に示します。

- PPG0の設定

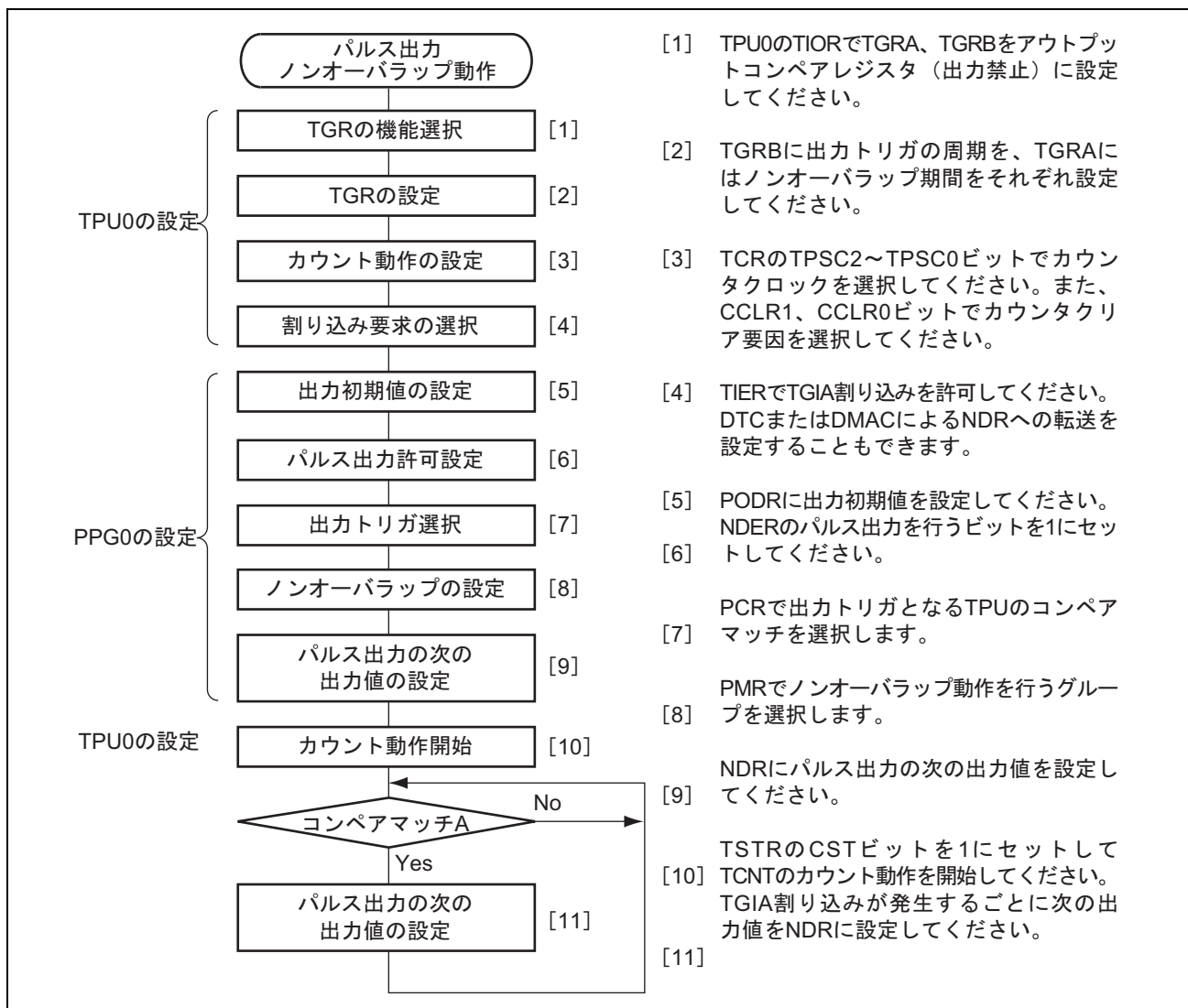


図 15.10 パルス出力ノンオーバーラップ動作の設定手順例 (PPG0 の設定)

15. プログラマブルパルスジェネレータ (PPG)

• PPG1の設定

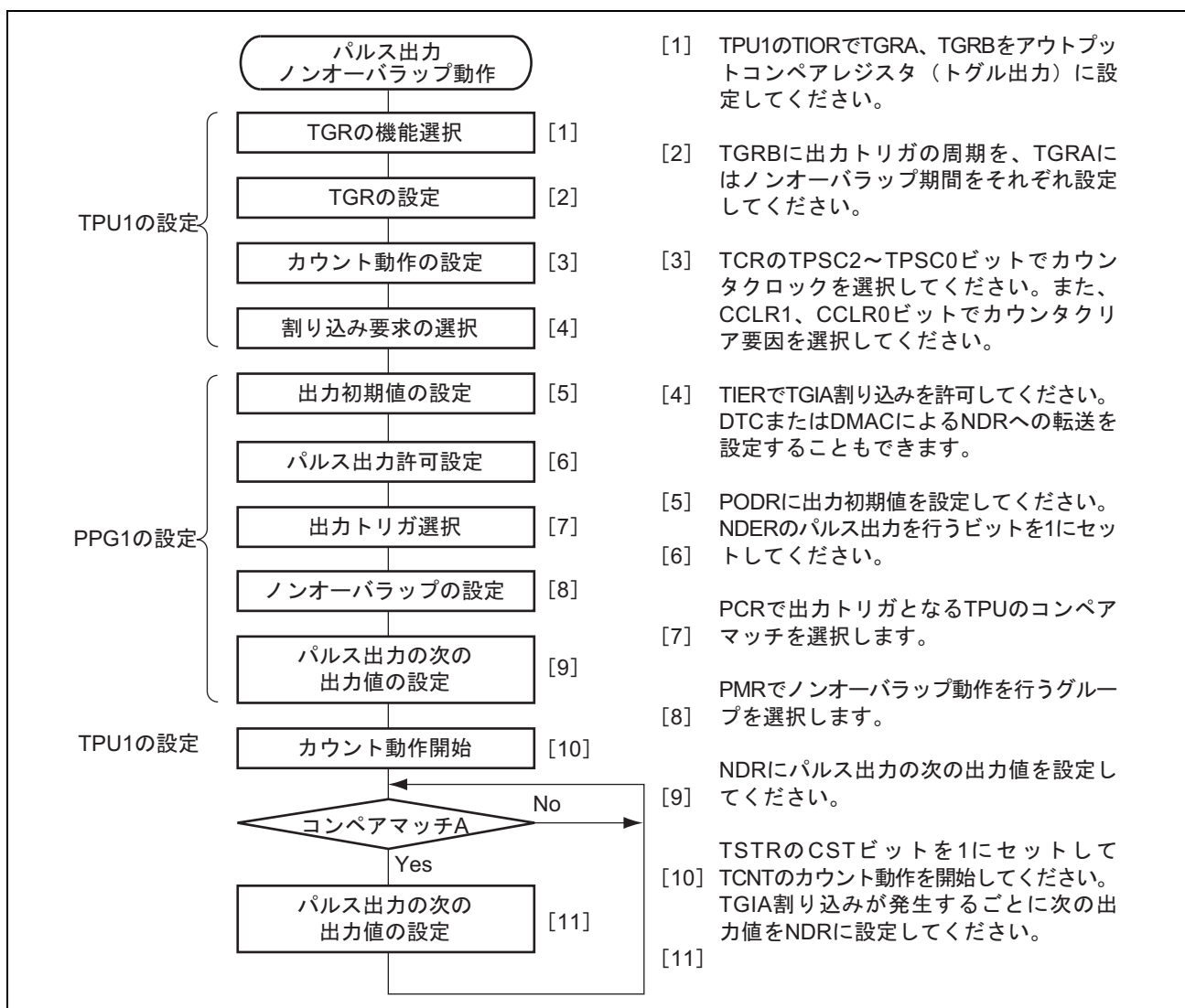


図 15.11 パルス出力ノンオーバーラップ動作の設定手順例 (PPG1 の設定)

15.4.6 パルス出力ノンオーバーラップ動作例 (4相の相補ノンオーバーラップ出力例)

パルス出力を使用して4相の相補ノンオーバーラップのパルスを出力させた例を図 15.12 に示します。

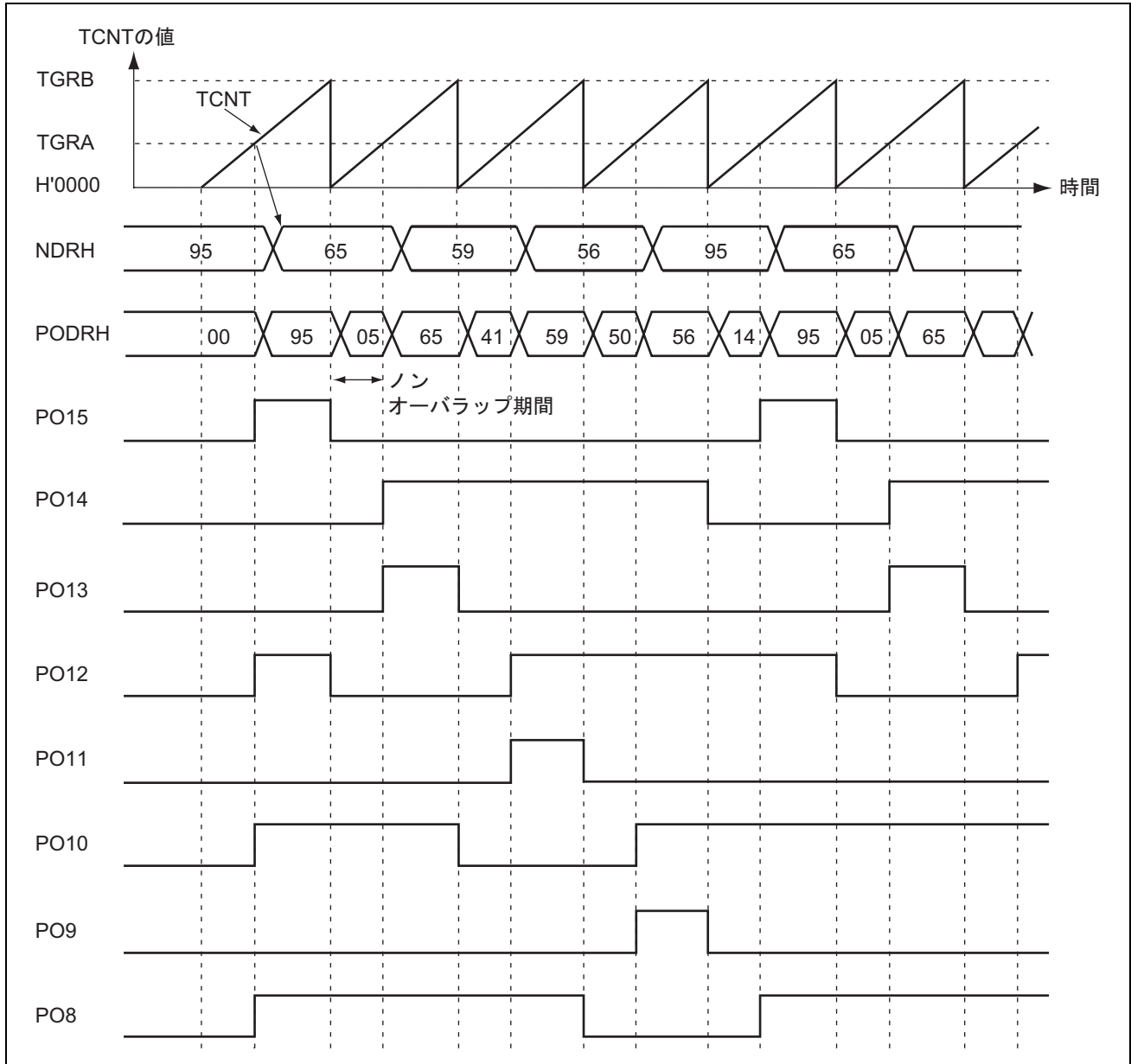


図 15.12 パルス出力ノンオーバーラップ動作例 (4相の相補ノンオーバーラップ出力)

15. プログラマブルパルスジェネレータ (PPG)

1. 出力トリガとするTPUのTGRA、TGRBをアウトプットコンペアレジスタに設定します。TGRBには周期、TGRAにはノンオーバーラップ期間を設定し、コンペアマッチBによるカウンタクリアを選択します。また、TIERのTGIEAビットを1にセットして、TGIA割り込みを許可します。
2. NDERHにH'FFをライトし、PCRのG3CMS1、G3CMS0ビットおよびG2CMS1、G2CMS0ビットにより、1で選択したTPUのコンペアマッチに出力トリガを設定します。
PMRのG3NOV、G2NOVビットをそれぞれ1にセットして、ノンオーバーラップ動作を設定します。
NDRHに出力データH'95をライトします。
3. TPU当該チャンネルの動作を開始すると、TGRBのコンペアマッチで1出力→0出力の変化、TGRAのコンペアマッチで0出力→1出力の変化を行います（0出力→1出力の変化はTGRAの設定値分遅延することになります）。
TGIA割り込み処理でNDRHに次の出力データH'65をライトします。
4. 以後、TGIA割り込みで順次H'59、H'56、H'95…をライトすることで、4相の相補ノンオーバーラップ出力を発生することができます。
TGIA割り込みでDTCまたはDMACを起動するように設定すれば、CPUの負荷なくパルス出力を行うことができます。

15.4.7 パルス反転出力

PMR の G3INV、G2INV、G1INV および G0INV を 0 に設定すると、PODR の内容に対する反転値を端子出力することができます。

図 15.12 の設定で、さらに G3INV、G2INV を 0 にしたときの端子出力の様子を図 15.13 に示します。

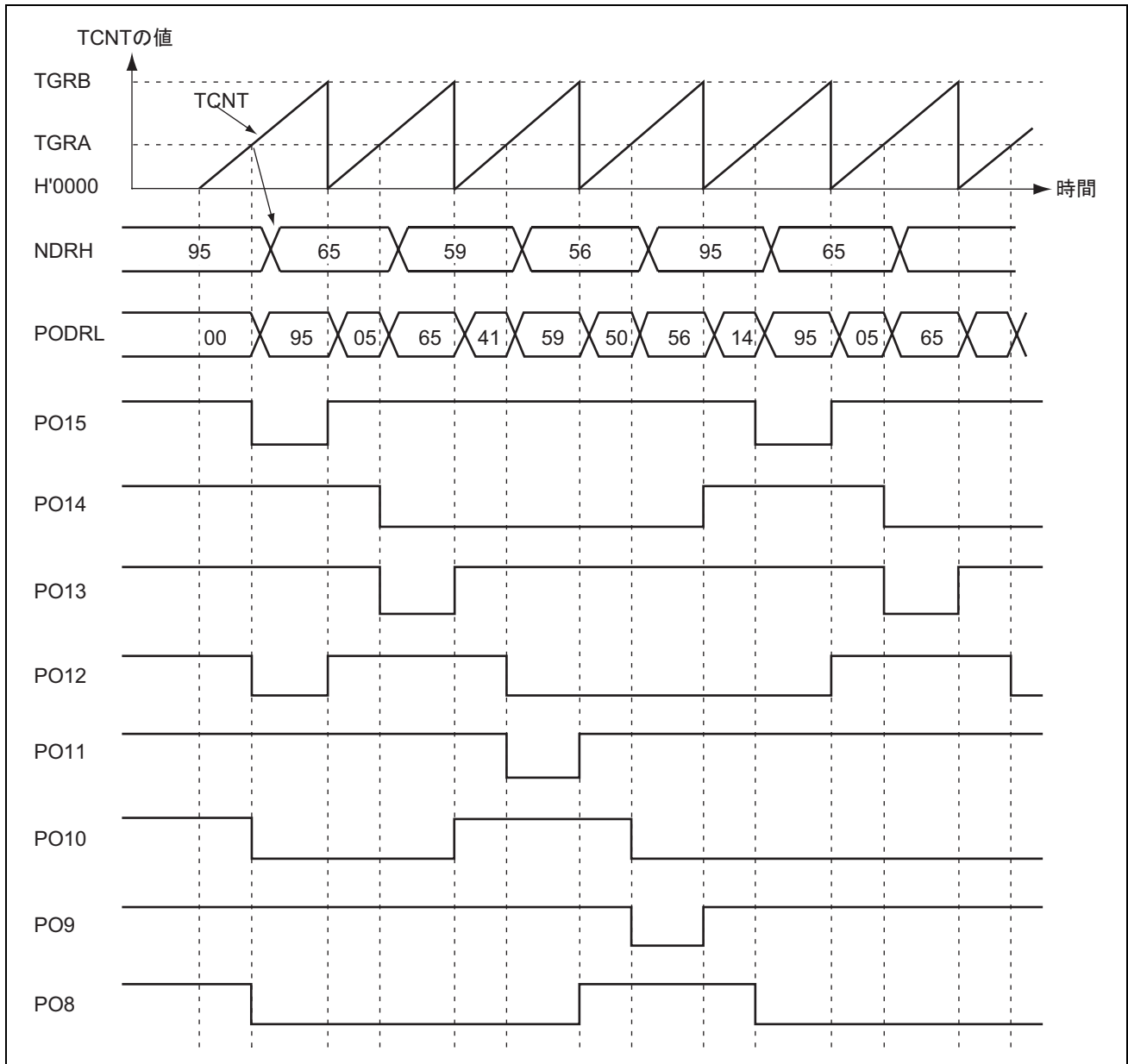


図 15.13 パルス反転出力例

15.4.8 インプットキャプチャによるパルス出力

PPG0 のパルス出力は、TPU0 のコンペアマッチだけでなく、インプットキャプチャによっても可能です。PCR によって選択された TPU0 の TGRA がインプットキャプチャレジスタとして機能しているとき、インプットキャプチャ信号によりパルス出力を行います。

このタイミングを図 15.14 に示します。

PPG1 は、インプットキャプチャによるパルス出力は使用できません。

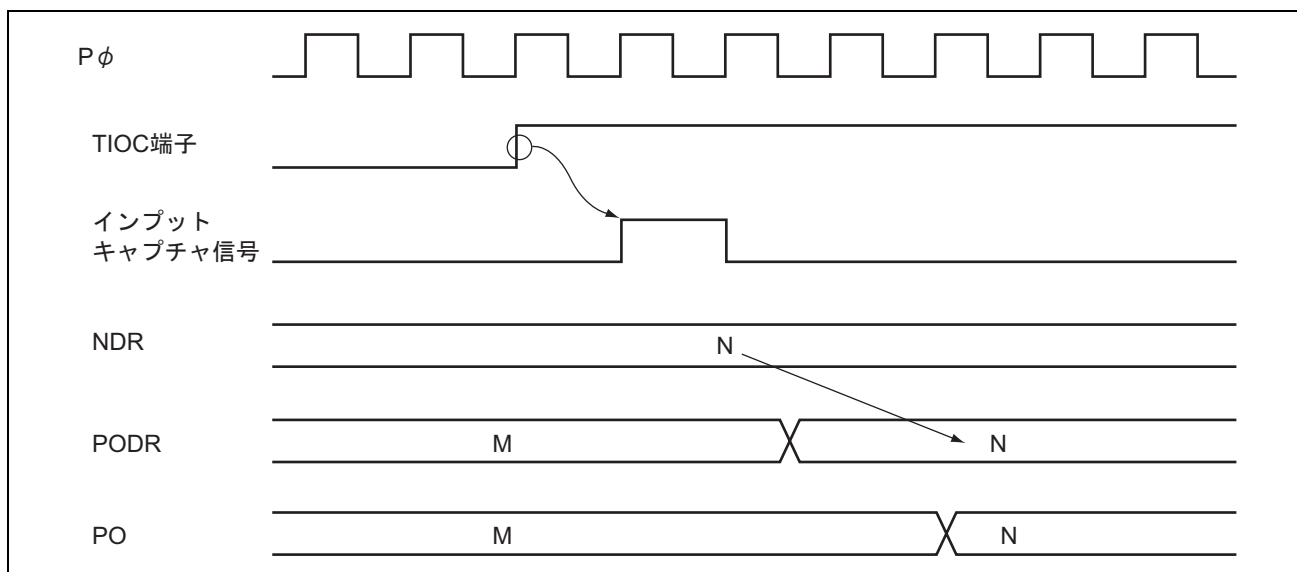


図 15.14 インプットキャプチャによるパルス出力例

15.5 使用上の注意事項

15.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、PPG の動作禁止／許可を設定することが可能です。初期値では、PPG の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「27. 低消費電力」を参照してください。

15.5.2 パルス出力端子の動作

PO0～PO15 は TPU などの他の周辺機能の端子と兼用になっています。これらの端子は、他の周辺機能が出力許可状態になっているときには、パルス出力を行うことができません。ただし、NDR から PODR への転送は、端子の状態にかかわらず常に行うことが可能です。

端子機能の変更は、出力トリガが発生しない状態で行ってください。

15.5.3 PPG1 使用時の TPU の設定

PPG1 を使用する際、起動要因となる TPU の TIOR を必ずコンペアマッチのトグル出力に設定し PPG1 の設定を出力にし使用してください。

16. 8ビットタイマ (TMR)

本 LSI は、8 ビットのカウンタをベースにした 2 チャンネルの 8 ビットタイマを 4 ユニット (ユニット 0~ユニット 3)、合計 8 チャンネル内蔵しています。外部イベントのカウントが可能のほか、2 本のレジスタとのコンペアマッチ信号により、カウンタのリセット、割り込み要求、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

図 16.1~図 16.4 にユニット 0~ユニット 3 のブロック図を示します。

本文中では、ユニット 0 (チャンネル 0、チャンネル 1)、ユニット 2 (チャンネル 4、チャンネル 5) について説明しています。ユニット 0、1 は同一機能です。ユニット 2、3 は SCI のボーレートクロックが生成可能で同一機能です。

16.1 特長

- 7種類のクロックを選択可能
6種類の内部クロック (Pφ/2、Pφ/8、Pφ/32、Pφ/64、Pφ/1024、Pφ/8192) と外部クロックのうちから選択できます。ユニット 2、3 は内部クロック (Pφ、Pφ/2、Pφ/8、Pφ/32、Pφ/64、Pφ/1024、Pφ/8192) のみとなります。
- カウンタのクリア指定が可能
コンペアマッチ A、コンペアマッチ B、または外部リセット信号 (ユニット 0、1) のうちから選択できます。
- 2つのコンペアマッチ信号の組み合わせでタイマ出力を制御
独立に動作可能な 2つのコンペアマッチ信号の組み合わせによって、任意のデューティのパルス出力や PWM 出力など種々の応用が可能です。
- 2チャンネルのカスケード接続が可能
TMR_0 を上位、TMR_1 を下位とする 16 ビットタイマとして動作可能です (16 ビットカウントモード)。
TMR_1 は TMR_0 のコンペアマッチをカウント可能です (コンペアマッチカウントモード)。
- 複数の割り込み要因
コンペアマッチ A、コンペアマッチ B、オーバフローの 3種類があります。(ユニット 0、1)
- A/D 変換器の変換スタートトリガを生成可能 (ユニット 0、1)
- SCI_5、6 のボーレートクロック生成可能 (ユニット 2、3)
詳細は「19. シリアルコミュニケーションインタフェース (SCI、IrDA、CRC)」を参照してください。
- モジュールストップ状態への設定が可能

16. 8ビットタイマ (TMR)

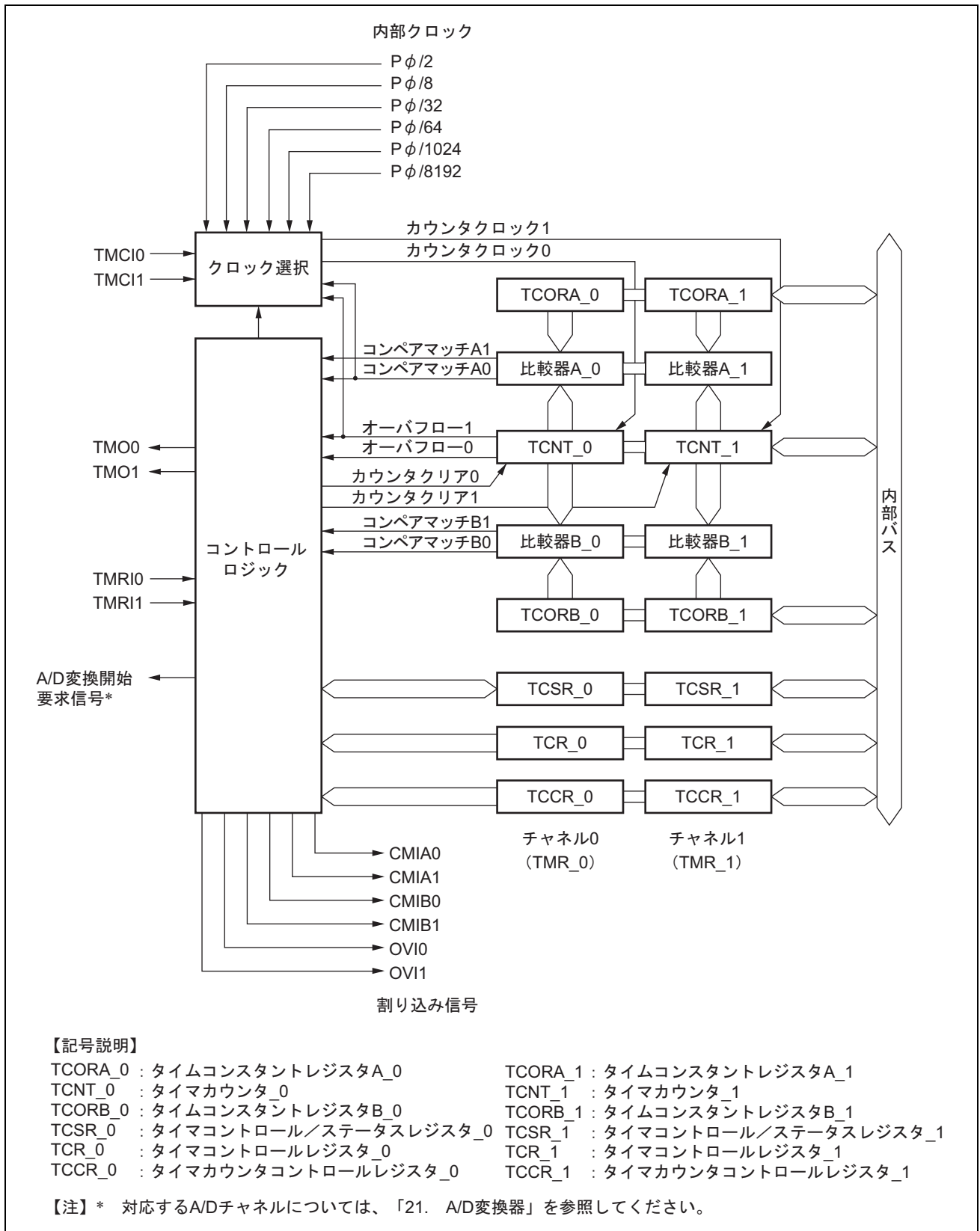


図 16.1 8ビットタイマ (ユニット0) のブロック図

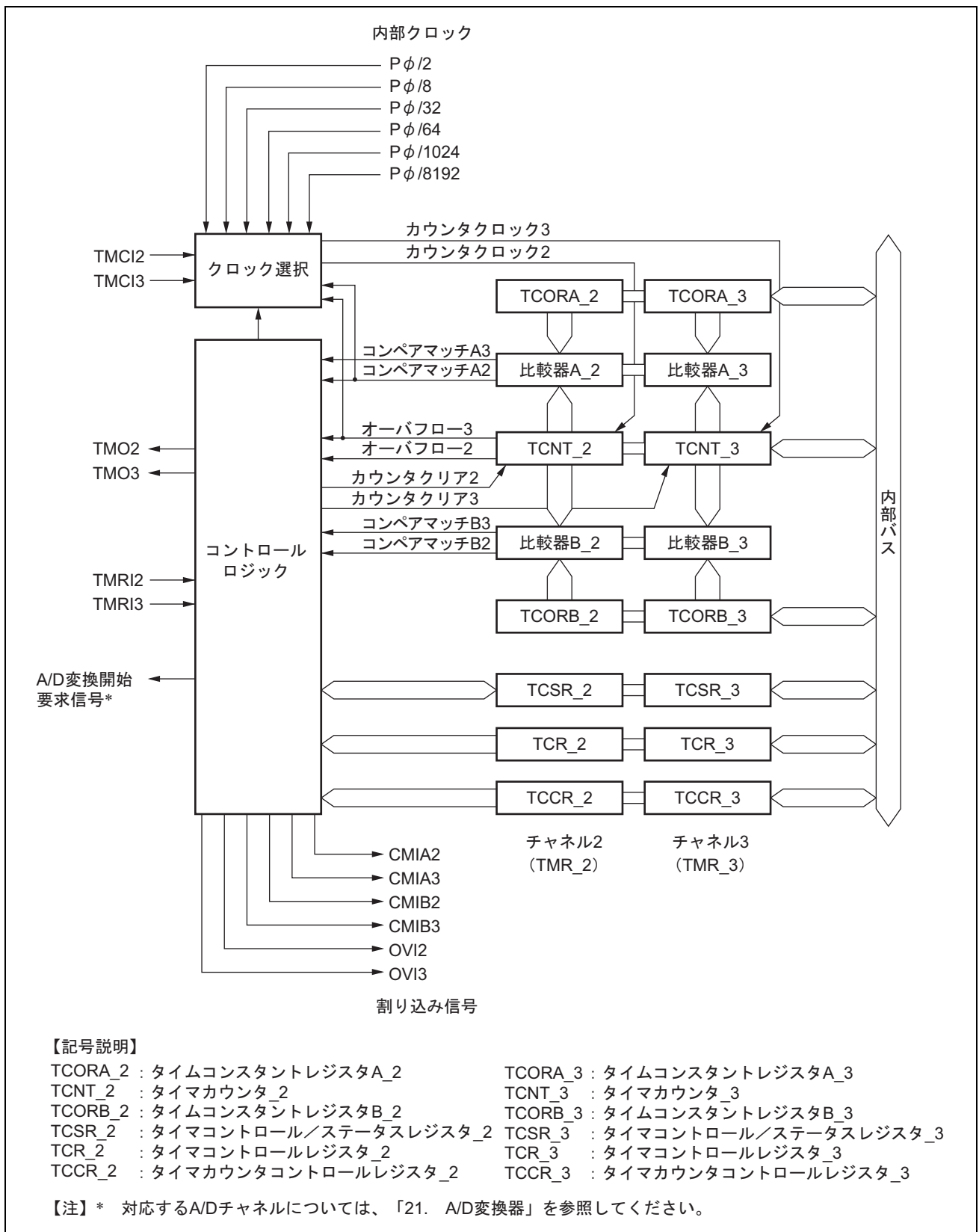


図 16.2 8ビットタイマ (ユニット1) のブロック図

16. 8ビットタイマ (TMR)

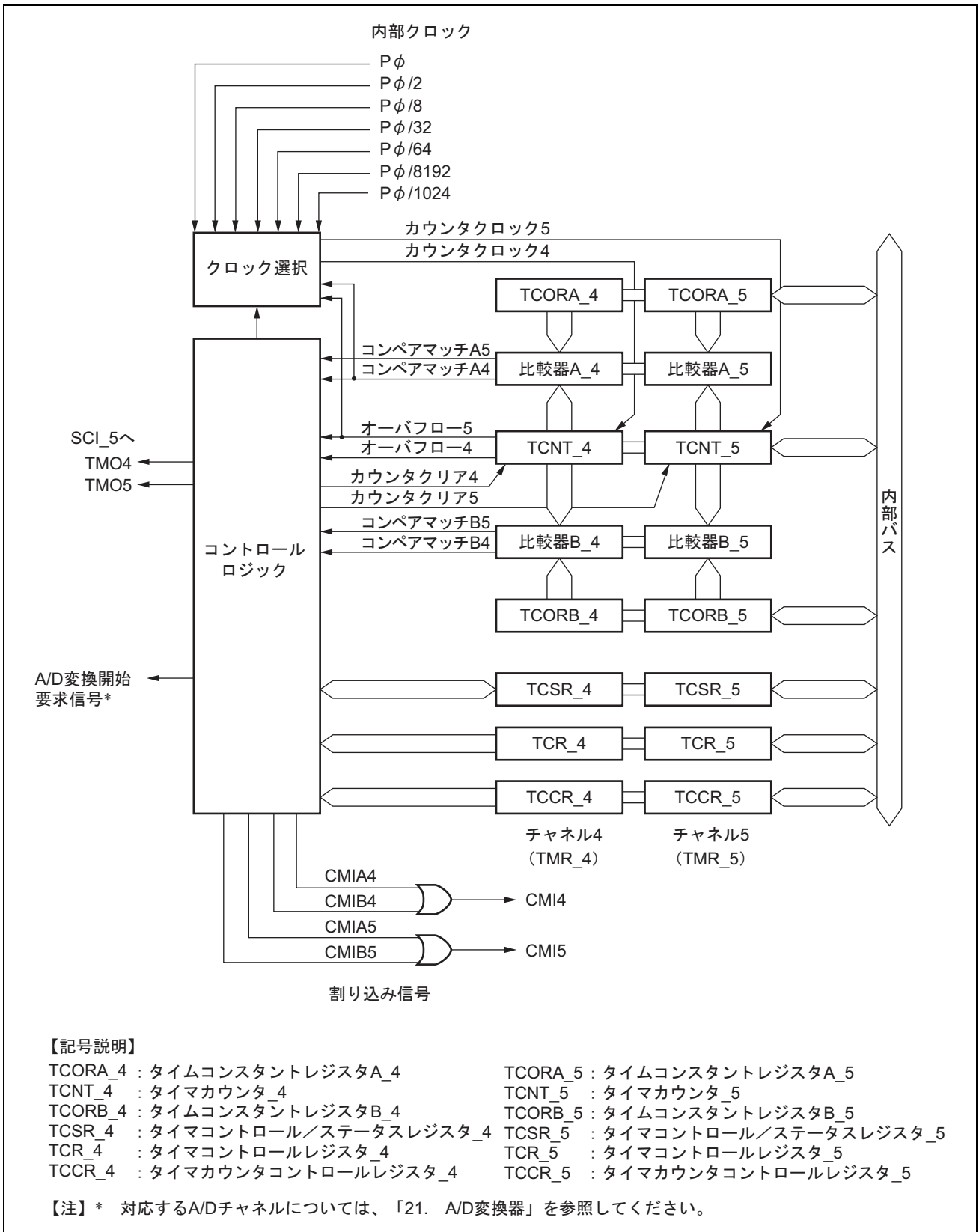


図 16.3 8ビットタイマ (ユニット2) のブロック図

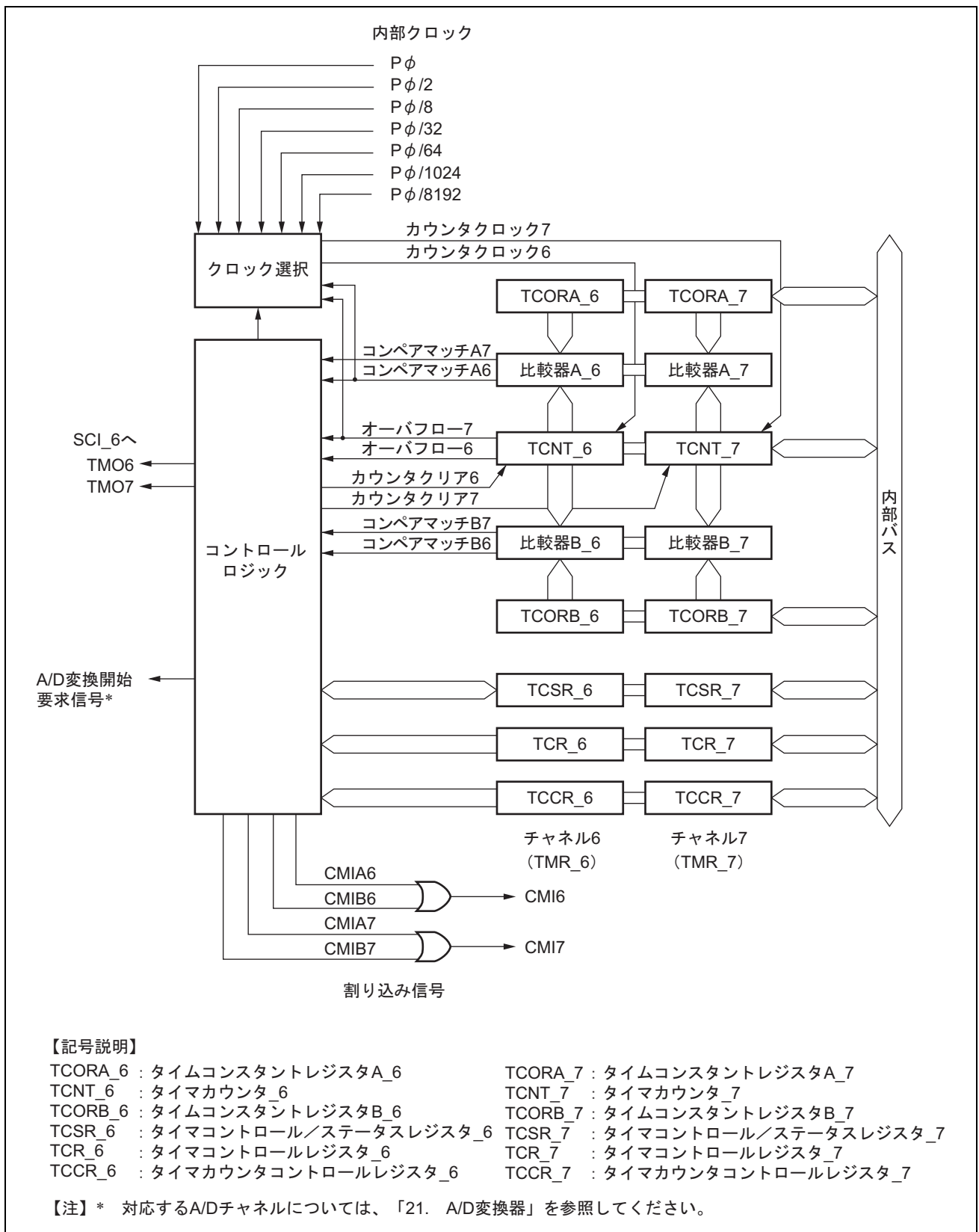


図 16.4 8ビットタイマ (ユニット3) のブロック図

16. 8ビットタイマ (TMR)

16.2 入出力端子

TMR の端子構成を表 16.1 に示します。

表 16.1 端子構成

ユニット	チャンネル	名称	略称	入出力	機能
0	0	タイマ出力端子	TMO0	出力	コンペアマッチ出力
		タイマクロック入力端子	TMC10	入力	カウンタ外部クロック入力
		タイマリセット入力端子	TMR10	入力	カウンタ外部リセット入力
	1	タイマ出力端子	TMO1	出力	コンペアマッチ出力
		タイマクロック入力端子	TMC11	入力	カウンタ外部クロック入力
		タイマリセット入力端子	TMR11	入力	カウンタ外部リセット入力
1	2	タイマ出力端子	TMO2	出力	コンペアマッチ出力
		タイマクロック入力端子	TMC12	入力	カウンタ外部クロック入力
		タイマリセット入力端子	TMR12	入力	カウンタ外部リセット入力
	3	タイマ出力端子	TMO3	出力	コンペアマッチ出力
		タイマクロック入力端子	TMC13	入力	カウンタ外部クロック入力
		タイマリセット入力端子	TMR13	入力	カウンタ外部リセット入力
2	4	-	-	-	-
	5				
3	6	-	-	-	-
	7				

16.3 レジスタの説明

TMR には以下のレジスタがあります。

ユニット 0

チャンネル 0 (TMR_0) :

- タイマカウンタ_0 (TCNT_0)
- タイムコンスタントレジスタA_0 (TCORA_0)
- タイムコンスタントレジスタB_0 (TCORB_0)
- タイマコントロールレジスタ_0 (TCR_0)
- タイマカウンタコントロールレジスタ_0 (TCCR_0)
- タイマコントロール/ステータスレジスタ_0 (TCSR_0)

チャンネル 1 (TMR_1) :

- タイマカウンタ_1 (TCNT_1)
- タイムコンスタントレジスタA_1 (TCORA_1)
- タイムコンスタントレジスタB_1 (TCORB_1)
- タイマコントロールレジスタ_1 (TCR_1)
- タイマカウンタコントロールレジスタ_1 (TCCR_1)
- タイマコントロール/ステータスレジスタ_1 (TCSR_1)

ユニット 1

チャンネル 2 (TMR_2) :

- タイマカウンタ_2 (TCNT_2)
- タイムコンスタントレジスタA_2 (TCORA_2)
- タイムコンスタントレジスタB_2 (TCORB_2)
- タイマコントロールレジスタ_2 (TCR_2)
- タイマカウンタコントロールレジスタ_2 (TCCR_2)
- タイマコントロール/ステータスレジスタ_2 (TCSR_2)

チャンネル 3 (TMR_3) :

- タイマカウンタ_3 (TCNT_3)
- タイムコンスタントレジスタA_3 (TCORA_3)
- タイムコンスタントレジスタB_3 (TCORB_3)
- タイマコントロールレジスタ_3 (TCR_3)
- タイマカウンタコントロールレジスタ_3 (TCCR_3)
- タイマコントロール/ステータスレジスタ_3 (TCSR_3)

16. 8ビットタイマ (TMR)

ユニット2

チャンネル4 (TMR_4) :

- タイマカウンタ_4 (TCNT_4)
- タイムコンスタントレジスタA_4 (TCORA_4)
- タイムコンスタントレジスタB_4 (TCORB_4)
- タイマコントロールレジスタ_4 (TCR_4)
- タイマカウンタコントロールレジスタ_4 (TCCR_4)
- タイマコントロール/ステータスレジスタ_4 (TCSR_4)

チャンネル5 (TMR_5) :

- タイマカウンタ_5 (TCNT_5)
- タイムコンスタントレジスタA_5 (TCORA_5)
- タイムコンスタントレジスタB_5 (TCORB_5)
- タイマコントロールレジスタ_5 (TCR_5)
- タイマカウンタコントロールレジスタ_5 (TCCR_5)
- タイマコントロール/ステータスレジスタ_5 (TCSR_5)

ユニット3

チャンネル6 (TMR_6) :

- タイマカウンタ_6 (TCNT_6)
- タイムコンスタントレジスタA_6 (TCORA_6)
- タイムコンスタントレジスタB_6 (TCORB_6)
- タイマコントロールレジスタ_6 (TCR_6)
- タイマカウンタコントロールレジスタ_6 (TCCR_6)
- タイマコントロール/ステータスレジスタ_6 (TCSR_6)

チャンネル7 (TMR_7) :

- タイマカウンタ_7 (TCNT_7)
- タイムコンスタントレジスタA_7 (TCORA_7)
- タイムコンスタントレジスタB_7 (TCORB_7)
- タイマコントロールレジスタ_7 (TCR_7)
- タイマカウンタコントロールレジスタ_7 (TCCR_7)
- タイマコントロール/ステータスレジスタ_7 (TCSR_7)

16.3.1 タイマカウンタ (TCNT)

TCNTは8ビットのリード/ライト可能なアップカウンタです。TCNT_0、TCNT_1を16ビットレジスタとしてワードアクセスすることも可能です。クロックは、TCRのCKS2～CKS0ビット、及びTCCRのICKS1、ICKS0ビットにより選択します。TCNTは、外部リセット入力信号またはコンペアマッチA信号、コンペアマッチB信号によりクリアすることができます。いずれの信号でクリアするかは、TCRのCCLR1、CCLR0ビットにより選択します。また、TCNTがオーバフロー (H'FF→H'00) すると、TCSRのOVFが1にセットされます。TCNTの初期値はH'00です。

ビット	TCNT_0								TCNT_1							
	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

16.3.2 タイムコンスタントレジスタ A (TCORA)

TCORAは8ビットのリード/ライト可能なレジスタです。TCORA_0、TCORA_1を16ビットレジスタとしてワードアクセスすることも可能です。TCORAの値はTCNTと常に比較され、一致するとTCSRのCMFAが1にセットされます。ただし、TCORAへのライトサイクルのT2ステートでの比較は禁止されています。また、この一致信号 (コンペアマッチA) とTCSRのOS1、OS0ビットの設定により、TMO端子からのタイマ出力を制御することができます。TCORAの初期値はH'FFです。

ビット	TCORA_0								TCORA_1							
	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
ビット名																
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

16.3.3 タイムコンスタントレジスタ B (TCORB)

TCORBは8ビットのリード/ライト可能なレジスタです。TCORB_0、TCORB_1を16ビットレジスタとしてワードアクセスすることも可能です。TCORBの値はTCNTと常に比較され、一致するとTCSRのCMFBが1にセットされます。ただし、TCORBへのライトサイクルのT2ステートでの比較は禁止されています。また、この一致信号 (コンペアマッチB) とTCSRのOS3、OS2ビットの設定により、TMO端子からのタイマ出力を制御することができます。TCORBの初期値はH'FFです。

ビット	TCORB_0								TCORB_1							
	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
ビット名																
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

16. 8 ビットタイマ (TMR)

16.3.4 タイマコントロールレジスタ (TCR)

TCR は TCNT の入力クロックの選択、TCNT のクリア条件指定、各割り込み要求の制御を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	CMIEB	0	R/W	コンペアマッチインタラプトイネーブル B TCSR の CMFB が 1 にセットされたとき、CMFB による割り込み要求 (CMIB) の許可または禁止を選択します。* ² 0 : CMFB による割り込み要求 (CMIB) を禁止 1 : CMFB による割り込み要求 (CMIB) を許可
6	CMIEA	0	R/W	コンペアマッチインタラプトイネーブル A TCSR の CMFA が 1 にセットされたとき、CMFA による割り込み要求 (CMIA) の許可または禁止を選択します。* ² 0 : CMFA による割り込み要求 (CMIA) を禁止 1 : CMFA による割り込み要求 (CMIA) を許可
5	OVIE	0	R/W	タイマオーバフローインタラプトイネーブル* ³ TCSR の OVF が 1 にセットされたとき、OVF による割り込み要求 (OVI) の許可または禁止を選択します。 0 : OVF による割り込み要求 (OVI) を禁止 1 : OVF による割り込み要求 (OVI) を許可
4	CCLR1	0	R/W	カウンタクリア 1、0* ¹ TCNT のクリア条件を指定します。 00 : クリアを禁止 01 : コンペアマッチ A によりクリア 10 : コンペアマッチ B によりクリア 11 : 外部リセット入力の立ち上がりエッジ (TCCR の TMRIS=0) 、 または、ハイレベル (TCCR の TMRIS=1) によりクリア* ³
3	CCLR0	0	R/W	
2	CKS2	0	R/W	クロックセレクト 2~0* ¹ TCNT に入力するクロックとカウント条件を選択します。表 16.2 を参照してください。
1	CKS1	0	R/W	
0	CKS0	0	R/W	

【注】 *¹ 外部リセット、外部クロックを使用する場合は、該当する端子の DDR ビットを 0 に、ICR ビットを 1 に設定してください。詳細は「13. I/O ポート」を参照してください。

*² ユニット 2、3 では、割り込み信号は CMIEB と CMIEA の OR で 1 本となります。詳細は「16.7 割り込み要因」を参照してください。

*³ ユニット 0、1 のみ可能です。

16.3.5 タイマカウンタコントロールレジスタ (TCCR)

TCCR は TCNT の内部クロックの選択、外部リセット入力の制御を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	TMRIS	—	ICKS1	ICKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~4	—	すべて0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
3	TMRIS	0	R/W	タイマリセット入力セレクト* TCR の CCLR1、CCLR0 ビットが B'11 のとき、外部リセット入力を選択します。 0: 外部リセットの立ち上がりでクリア 1: 外部リセットのハイレベルでクリア
2	—	0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
1	ICKS1	0	R/W	インターナルクロックセレクト 1、0
0	ICKS0	0	R/W	ICKS1、0 は、TCR の CKS2~0 ビットとともに、内部クロックを選択します。 表 16.2 を参照してください。

【注】 * ユニット 0、1 のみ可能です。ユニット 2、3 ではライトする値は常に 0 にしてください。

表 16.2 TCNTに入力するクロックとカウント条件 (ユニット 0)

チャンネル	TCR			TCCR		説明
	ビット2	ビット1	ビット0	ビット1	ビット0	
	CKS2	CKS1	CKS0	ICKS1	ICKS0	
TMR_0	0	0	0	—	—	クロック入力を禁止
	0	0	1	0	0	内部クロック : Pφ/8 立ち上がりエッジでカウント
				0	1	内部クロック : Pφ/2 立ち上がりエッジでカウント
				1	0	内部クロック : Pφ/8 立ち下がりエッジでカウント
				1	1	内部クロック : Pφ/2 立ち下がりエッジでカウント
	0	1	0	0	0	内部クロック : Pφ/64 立ち上がりエッジでカウント
				0	1	内部クロック : Pφ/32 立ち上がりエッジでカウント
				1	0	内部クロック : Pφ/64 立ち下がりエッジでカウント
				1	1	内部クロック : Pφ/32 立ち下がりエッジでカウント
	0	1	1	0	0	内部クロック : Pφ/8192 立ち上がりエッジでカウント
				0	1	内部クロック : Pφ/1024 立ち上がりエッジでカウント
				1	0	内部クロック : Pφ/8192 立ち下がりエッジでカウント
				1	1	内部クロック : Pφ/1024 立ち下がりエッジでカウント
1	0	0	—	—	TCNT_1 のオーバフロー信号でカウント*1	
TMR_1	0	0	0	—	—	クロック入力を禁止
	0	0	1	0	0	内部クロック : Pφ/8 立ち上がりエッジでカウント
				0	1	内部クロック : Pφ/2 立ち上がりエッジでカウント
				1	0	内部クロック : Pφ/8 立ち下がりエッジでカウント
				1	1	内部クロック : Pφ/2 立ち下がりエッジでカウント
	0	1	0	0	0	内部クロック : Pφ/64 立ち上がりエッジでカウント
				0	1	内部クロック : Pφ/32 立ち上がりエッジでカウント
				1	0	内部クロック : Pφ/64 立ち下がりエッジでカウント
				1	1	内部クロック : Pφ/32 立ち下がりエッジでカウント
	0	1	1	0	0	内部クロック : Pφ/8192 立ち上がりエッジでカウント
				0	1	内部クロック : Pφ/1024 立ち上がりエッジでカウント
				1	0	内部クロック : Pφ/8192 立ち下がりエッジでカウント
				1	1	内部クロック : Pφ/1024 立ち下がりエッジでカウント
1	0	0	—	—	TCNT_0 のコンペアマッチ A でカウント*1	
共通	1	0	1	—	—	外部クロックの立ち上がりエッジでカウント*2
	1	1	0	—	—	外部クロックの立ち下がりエッジでカウント*2
	1	1	1	—	—	外部クロックの立ち上がり/立ち下がり両エッジでカウント*2

【注】 *1 チャンネル0のクロック入力を TCNT_1 のオーバフロー信号とし、チャンネル1のクロック入力を TCNT_0 のコンペアマッチ信号とするとカウントアップクロックが発生しません。この設定は行わないでください。

*2 外部クロックを使用する場合は、該当する端子の DDR ビットを 0 に、ICR ビットを 1 に設定してください。詳細は「13. I/O ポート」を参照してください。

表 16.3 TCNTに入力するクロックとカウント条件 (ユニット 1)

チャンネル	TCR			TCCR		説明
	ビット2	ビット1	ビット0	ビット1	ビット0	
	CKS2	CKS1	CKS0	ICKS1	ICKS0	
TMR_2	0	0	0	—	—	クロック入力を禁止
	0	0	1	0	0	内部クロック : Pφ/8 立ち上がりエッジでカウント
				0	1	内部クロック : Pφ/2 立ち上がりエッジでカウント
				1	0	内部クロック : Pφ/8 立ち下がりエッジでカウント
				1	1	内部クロック : Pφ/2 立ち下がりエッジでカウント
	0	1	0	0	0	内部クロック : Pφ/64 立ち上がりエッジでカウント
				0	1	内部クロック : Pφ/32 立ち上がりエッジでカウント
				1	0	内部クロック : Pφ/64 立ち下がりエッジでカウント
				1	1	内部クロック : Pφ/32 立ち下がりエッジでカウント
	0	1	1	0	0	内部クロック : Pφ/8192 立ち上がりエッジでカウント
				0	1	内部クロック : Pφ/1024 立ち上がりエッジでカウント
				1	0	内部クロック : Pφ/8192 立ち下がりエッジでカウント
				1	1	内部クロック : Pφ/1024 立ち下がりエッジでカウント
1	0	0	—	—	TCNT_3 のオーバフロー信号でカウント*1	
TMR_3	0	0	0	—	—	クロック入力を禁止
	0	0	1	0	0	内部クロック : Pφ/8 立ち上がりエッジでカウント
				0	1	内部クロック : Pφ/2 立ち上がりエッジでカウント
				1	0	内部クロック : Pφ/8 立ち下がりエッジでカウント
				1	1	内部クロック : Pφ/2 立ち下がりエッジでカウント
	0	1	0	0	0	内部クロック : Pφ/64 立ち上がりエッジでカウント
				0	1	内部クロック : Pφ/32 立ち上がりエッジでカウント
				1	0	内部クロック : Pφ/64 立ち下がりエッジでカウント
				1	1	内部クロック : Pφ/32 立ち下がりエッジでカウント
	0	1	1	0	0	内部クロック : Pφ/8192 立ち上がりエッジでカウント
				0	1	内部クロック : Pφ/1024 立ち上がりエッジでカウント
				1	0	内部クロック : Pφ/8192 立ち下がりエッジでカウント
				1	1	内部クロック : Pφ/1024 立ち下がりエッジでカウント
1	0	0	—	—	TCNT_2 のコンペアマッチ A でカウント*1	
共通	1	0	1	—	—	外部クロックの立ち上がりエッジでカウント*2
	1	1	0	—	—	外部クロックの立ち下がりエッジでカウント*2
	1	1	1	—	—	外部クロックの立ち上がり/立ち下がり両エッジでカウント*2

【注】 *1 チャンネル2のクロック入力を TCNT_3 のオーバフロー信号とし、チャンネル3のクロック入力を TCNT_2 のコンペアマッチ信号とするとカウントアップクロックが発生しません。この設定は行わないでください。

*2 外部クロックを使用する場合は、該当する端子の DDR ビットを 0 に、ICR ビットを 1 に設定してください。詳細は「13. I/O ポート」を参照してください。

16. 8ビットタイマ (TMR)

表 16.4 TCNTに入力するクロックとカウント条件 (ユニット 2)

チャンネル	TCR			TCCR		説明
	ビット 2	ビット 1	ビット 0	ビット 1	ビット 0	
	CKS2	CKS1	CKS0	ICKS1	ICKS0	
TMR_4	0	0	0	—	—	クロック入力を禁止
	0	0	1	0	0	内部クロック : Pφ/8 立ち上がりエッジでカウント
				0	1	内部クロック : Pφ/2 立ち上がりエッジでカウント
				1	0	内部クロック : Pφ/8 立ち下がりエッジでカウント
				1	1	内部クロック : Pφ/2 立ち下がりエッジでカウント
	0	1	0	0	0	内部クロック : Pφ/64 立ち上がりエッジでカウント
				0	1	内部クロック : Pφ/32 立ち上がりエッジでカウント
				1	0	内部クロック : Pφ/64 立ち下がりエッジでカウント
				1	1	内部クロック : Pφ/32 立ち下がりエッジでカウント
	0	1	1	0	0	内部クロック : Pφ/8192 立ち上がりエッジでカウント
				0	1	内部クロック : Pφ/1024 立ち上がりエッジでカウント
				1	0	内部クロック : Pφ 立ち上がりエッジでカウント
				1	1	内部クロック : Pφ/1024 立ち下がりエッジでカウント
1	0	0	—	—	TCNT_5 のオーバフロー信号でカウント*	
TMR_5	0	0	0	—	—	クロック入力を禁止
	0	0	1	0	0	内部クロック : Pφ/8 立ち上がりエッジでカウント
				0	1	内部クロック : Pφ/2 立ち上がりエッジでカウント
				1	0	内部クロック : Pφ/8 立ち下がりエッジでカウント
				1	1	内部クロック : Pφ/2 立ち下がりエッジでカウント
	0	1	0	0	0	内部クロック : Pφ/64 立ち上がりエッジでカウント
				0	1	内部クロック : Pφ/32 立ち上がりエッジでカウント
				1	0	内部クロック : Pφ/64 立ち下がりエッジでカウント
				1	1	内部クロック : Pφ/32 立ち下がりエッジでカウント
	0	1	1	0	0	内部クロック : Pφ/8192 立ち上がりエッジでカウント
				0	1	内部クロック : Pφ/1024 立ち上がりエッジでカウント
				1	0	内部クロック : Pφ 立ち上がりエッジでカウント
				1	1	内部クロック : Pφ/1024 立ち下がりエッジでカウント
1	0	0	—	—	TCNT_4 のコンペアマッチ A でカウント*	
共通	1	0	1	—	—	設定禁止
	1	1	0	—	—	設定禁止
	1	1	1	—	—	設定禁止

【注】 * チャンネル 4 のクロック入力を TCNT_5 のオーバフロー信号とし、チャンネル 5 のクロック入力を TCNT_4 のコンペアマッチ信号とするとカウントアップクロックが発生しません。この設定は行わないでください。

表 16.5 TCNTに入力するクロックとカウント条件 (ユニット3)

チャンネル	TCR			TCCR		説明
	ビット2	ビット1	ビット0	ビット1	ビット0	
	CKS2	CKS1	CKS0	ICKS1	ICKS0	
TMR_6	0	0	0	—	—	クロック入力を禁止
	0	0	1	0	0	内部クロック : Pφ/8 立ち上がりエッジでカウント
				0	1	内部クロック : Pφ/2 立ち上がりエッジでカウント
				1	0	内部クロック : Pφ/8 立ち下がりエッジでカウント
				1	1	内部クロック : Pφ/2 立ち下がりエッジでカウント
	0	1	0	0	0	内部クロック : Pφ/64 立ち上がりエッジでカウント
				0	1	内部クロック : Pφ/32 立ち上がりエッジでカウント
				1	0	内部クロック : Pφ/64 立ち下がりエッジでカウント
				1	1	内部クロック : Pφ/32 立ち下がりエッジでカウント
	0	1	1	0	0	内部クロック : Pφ/8192 立ち上がりエッジでカウント
				0	1	内部クロック : Pφ/1024 立ち上がりエッジでカウント
				1	0	内部クロック : Pφ 立ち上がりエッジでカウント
				1	1	内部クロック : Pφ/1024 立ち下がりエッジでカウント
1	0	0	—	—	TCNT_7 のオーバフロー信号でカウント*	
TMR_7	0	0	0	—	—	クロック入力を禁止
	0	0	1	0	0	内部クロック : Pφ/8 立ち上がりエッジでカウント
				0	1	内部クロック : Pφ/2 立ち上がりエッジでカウント
				1	0	内部クロック : Pφ/8 立ち下がりエッジでカウント
				1	1	内部クロック : Pφ/2 立ち下がりエッジでカウント
	0	1	0	0	0	内部クロック : Pφ/64 立ち上がりエッジでカウント
				0	1	内部クロック : Pφ/32 立ち上がりエッジでカウント
				1	0	内部クロック : Pφ/64 立ち下がりエッジでカウント
				1	1	内部クロック : Pφ/32 立ち下がりエッジでカウント
	0	1	1	0	0	内部クロック : Pφ/8192 立ち上がりエッジでカウント
				0	1	内部クロック : Pφ/1024 立ち上がりエッジでカウント
				1	0	内部クロック : Pφ 立ち上がりエッジでカウント
				1	1	内部クロック : Pφ/1024 立ち下がりエッジでカウント
1	0	0	—	—	TCNT_6 のコンペアマッチ A でカウント*	
共通	1	0	1	—	—	設定禁止
	1	1	0	—	—	設定禁止
	1	1	1	—	—	設定禁止

【注】 * チャンネル6のクロック入力をTCNT_7のオーバフロー信号とし、チャンネル7のクロック入力をTCNT_6のコンペアマッチ信号とするとカウントアップクロックが発生しません。この設定は行わないでください。

16. 8ビットタイマ (TMR)

16.3.6 タイマコントロール/ステータスレジスタ (TCSR)

TCSR はステータスフラグの表示およびコンペアマッチによる出力制御を行います。

・ TCSR_0

ビット	7	6	5	4	3	2	1	0
ビット名	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W

・ TCSR_1

ビット	7	6	5	4	3	2	1	0
ビット名	CMFB	CMFA	OVF	—	OS3	OS2	OS1	OS0
初期値:	0	0	0	1	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R	R/W	R/W	R/W	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

• TCSR_0

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)* ¹	コンペアマッチフラグ B [セット条件] TCNT の値と TCORB の値が一致したとき [クリア条件] • CMFB=1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。) • CMIB 割り込みにより、DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき* ³
6	CMFA	0	R/(W)* ¹	コンペアマッチフラグ A [セット条件] TCNT の値と TCORA の値が一致したとき [クリア条件] • CMFA=1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。) • CMIA 割り込みにより、DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき* ³

ビット	ビット名	初期値	R/W	説明
5	OVF	0	R/(W)* ¹	タイマオーバーフローフラグ [セット条件] TCNT の値が H'FF から H'00 にオーバーフローしたとき [クリア条件] OVF=1 の状態で OVF をリードした後、OVF に 0 をライトしたとき (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)
4	ADTE	0	R/W	A/D トリガイネーブル* ³ コンペアマッチ A による A/D 変換開始要求の許可または禁止を選択します。 0 : コンペアマッチ A による A/D 変換開始要求を禁止 1 : コンペアマッチ A による A/D 変換開始要求を許可
3	OS3	0	R/W	アウトプットセレクト 3、2* ² TCORB と TCNT のコンペアマッチ B による TMO 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)
2	OS2	0	R/W	
1	OS1	0	R/W	アウトプットセレクト 1、0* ² TCORA と TCNT のコンペアマッチ A による TMO 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)
0	OS0	0	R/W	

【注】 *1 フラグをクリアするための 0 ライトのみ可能です。

*2 OS3~OS0 ビットがすべて 0 の場合にはタイマ出力は禁止されます。リセット後、最初のコンペアマッチが起こるまでのタイマ出力は 0 です。

*3 対応する A/D チャンネルについては、「21. A/D 変換器」を参照してください。

• TCSR_1

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)* ¹	コンペアマッチフラグ B [セット条件] TCNT の値と TCORB の値が一致したとき [クリア条件] • CMFB=1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。) • CMIB 割り込みにより、DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき* ³

16. 8ビットタイマ (TMR)

ビット	ビット名	初期値	R/W	説明
6	CMFA	0	R/(W)* ¹	<p>コンペアマッチフラグ A</p> <p>[セット条件]</p> <p>TCNT の値と TCORA の値が一致したとき</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> CMFA=1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。) CMIA 割り込みにより、DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき*³
5	OVF	0	R/(W)* ¹	<p>タイマオーバフローフラグ</p> <p>[セット条件]</p> <p>TCNT の値が H'FF から H'00 にオーバフローしたとき</p> <p>[クリア条件]</p> <p>OVF=1 の状態で OVF をリードした後、OVF に 0 をライトしたとき (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)</p>
4	—	1	R	<p>リザーブビット</p> <p>リードすると常に 1 が読み出されます。ライトは無効です。</p>
3	OS3	0	R/W	<p>アウトプットセレクト 3、2*²</p>
2	OS2	0	R/W	<p>TCORB と TCNT のコンペアマッチ B による TMO 端子の出力方法を選択します。</p> <p>00 : 変化しない</p> <p>01 : 0 出力</p> <p>10 : 1 出力</p> <p>11 : 反転出力 (トグル出力)</p>
1	OS1	0	R/W	<p>アウトプットセレクト 1、0*²</p>
0	OS0	0	R/W	<p>TCORA と TCNT のコンペアマッチ A による TMO 端子の出力方法を選択します。</p> <p>00 : 変化しない</p> <p>01 : 0 出力</p> <p>10 : 1 出力</p> <p>11 : 反転出力 (トグル出力)</p>

【注】 *1 フラグをクリアするための 0 ライトのみ可能です。

*2 OS3~OS0 ビットがすべて 0 の場合にはタイマ出力は禁止されます。リセット後、最初のコンペアマッチが起こるまでのタイマ出力は 0 です。

*3 ユニット 0、1 のみ可能です。

16.4 動作説明

16.4.1 パルス出力

任意のデューティパルスを出力させる例を図 16.5 に示します。

1. TCORAのコンペアマッチによりTCNTがクリアされるようにTCRのCCLR1ビットを0にクリア、CCLR0ビットを1にセットします。
2. TCORAのコンペアマッチにより1出力、TCORBのコンペアマッチにより0出力になるようにTCSRのOS3～OS0ビットをB'0110に設定します。

以上の設定により周期が TCORA、パルス幅が TCORB の波形をソフトウェアの介入なしに出力できます。リセット後、最初のコンペアマッチが起こるまでのタイマ出力は 0 です。

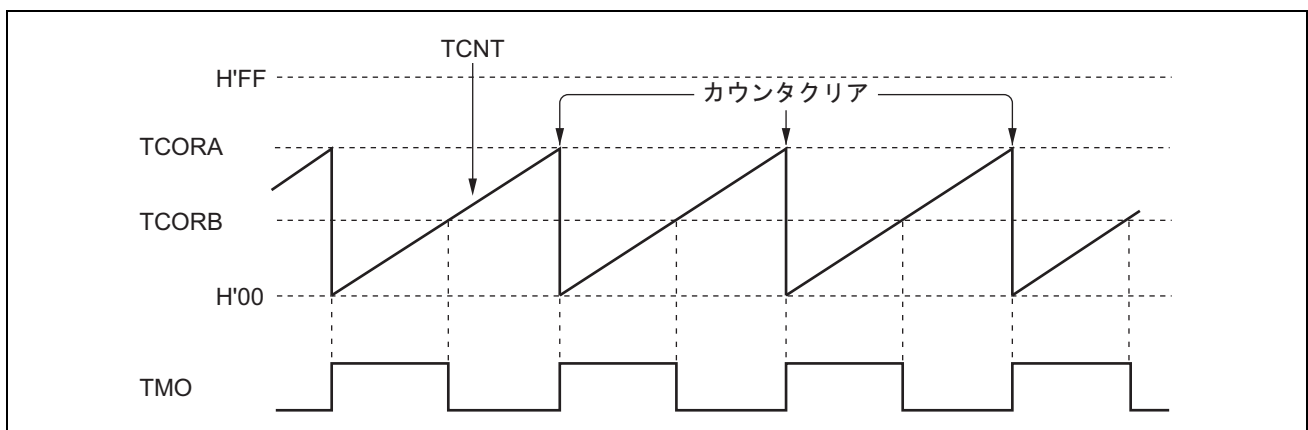


図 16.5 パルス出力例

16.4.2 リセット入力

TMRI 入力に対する任意の遅延時間のパルスを出力させる例を図 16.6 に示します。

1. TMRI入力のハイレベルでTCNTがクリアされるように、TCRのCCLR1、CCLR0ビットを1にセットし、TCCRのTMRISビットを1にセットします。
2. TCORAのコンペアマッチにより1出力、TCORBのコンペアマッチにより0出力になるようにTCSRのOS3～OS0ビットをB'0110に設定します。

以上の設定により TMRI 入力からの遅延が TCORA、パルス幅が (TCORB-TCORA) の波形を出力できます。

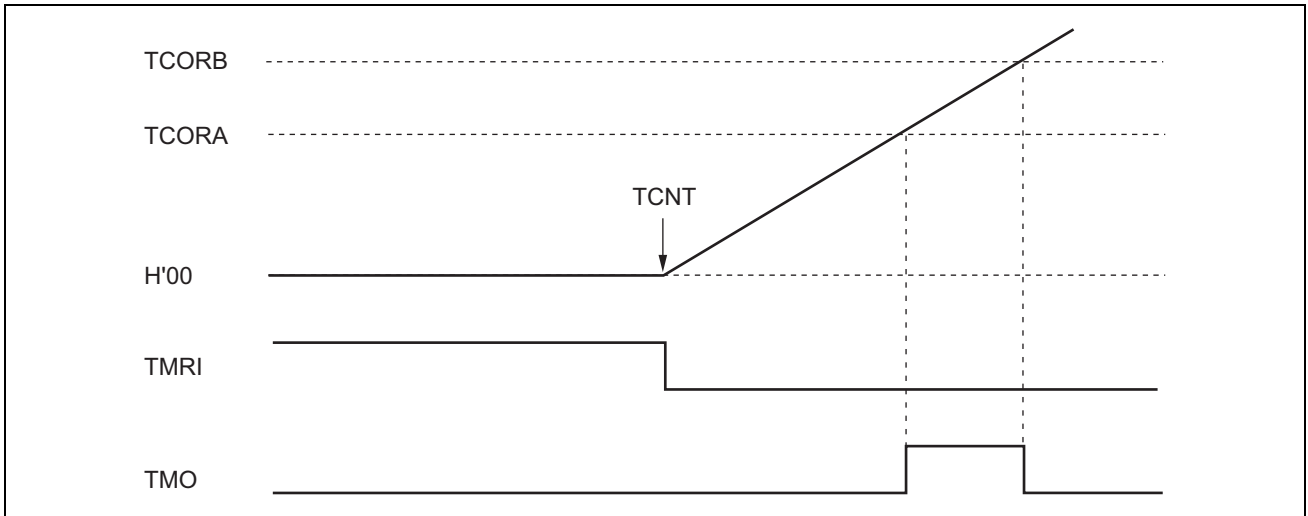


図 16.6 リセット入力例

16.5 動作タイミング

16.5.1 TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 16.7 に示します。また、外部クロック動作の場合の TCNT のカウントタイミングを図 16.8 に示します。なお外部クロックのパルス幅は、単エッジの場合は 1.5 ステート以上、両エッジの場合は 2.5 ステート以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

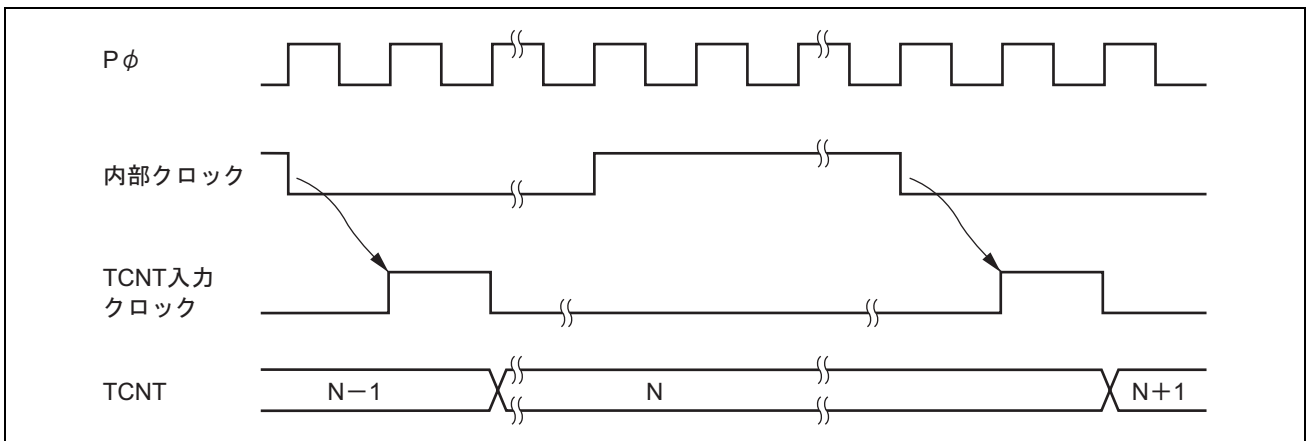


図 16.7 内部クロック動作時のカウントタイミング

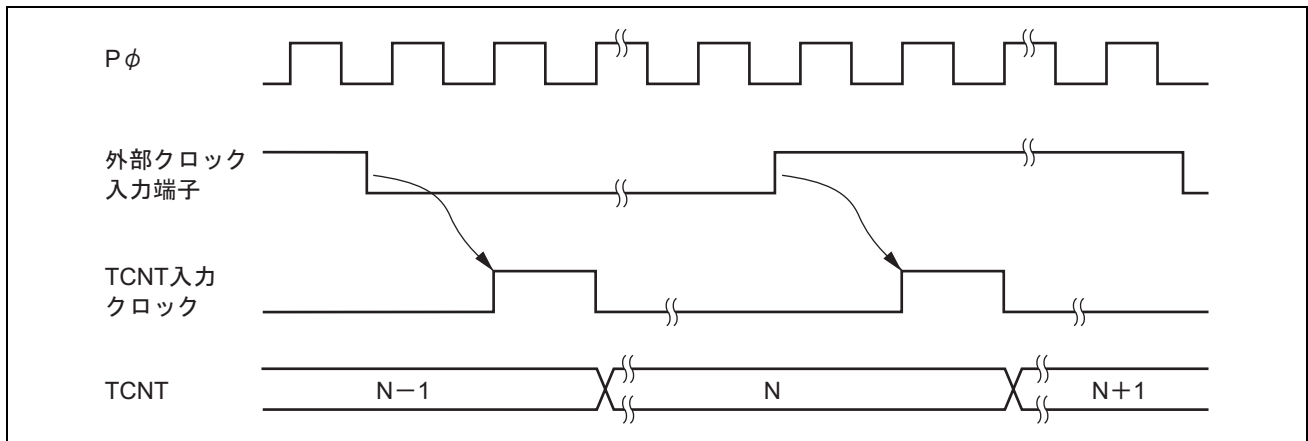


図 16.8 外部クロック動作時のカウントタイミング

16.5.2 コンペアマッチ時の CMFA、CMFB フラグのセットタイミング

TCSR の CMFA、CMFB フラグは、TCOR と TCNT の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）で発生します。したがって、TCNT と TCOR の値が一致した後、TCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。CMF フラグのセットタイミングを図 16.9 に示します。

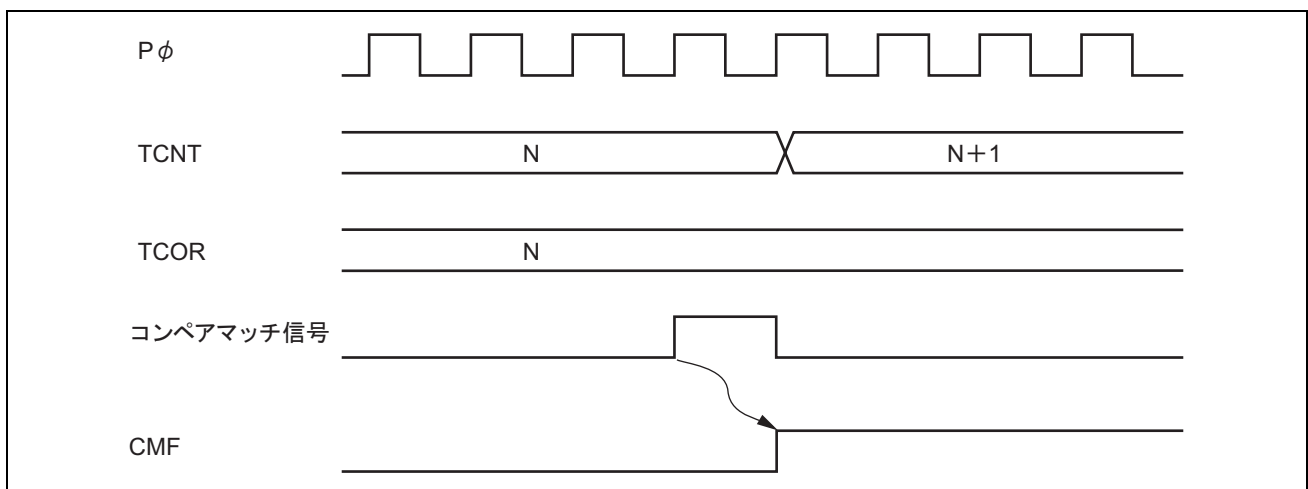


図 16.9 コンペアマッチ時の CMF フラグのセットタイミング

16.5.3 コンペアマッチ時のタイマ出力タイミング

コンペアマッチ信号が発生したとき、TCSR の OS3～OS0 ビットで設定される出力値がタイマ出力端子に出力されます。コンペアマッチ A 信号によるトグル出力の場合のタイマ出力タイミングを図 16.10 に示します。

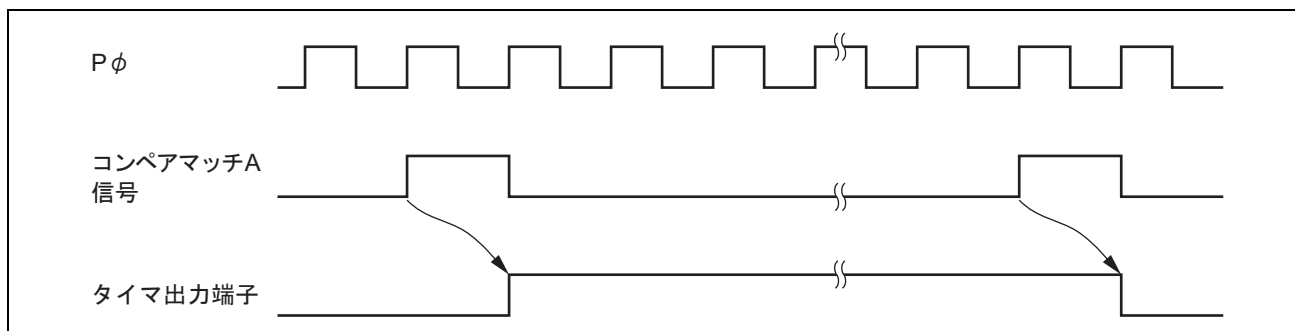


図 16.10 コンペアマッチ A 信号によるトグル出力のタイマ出力タイミング

16.5.4 コンペアマッチによるカウンタクリアタイミング

TCNT は、TCR の CCLR1、CCLR0 ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。コンペアマッチによるカウンタクリアタイミングを図 16.11 に示します。

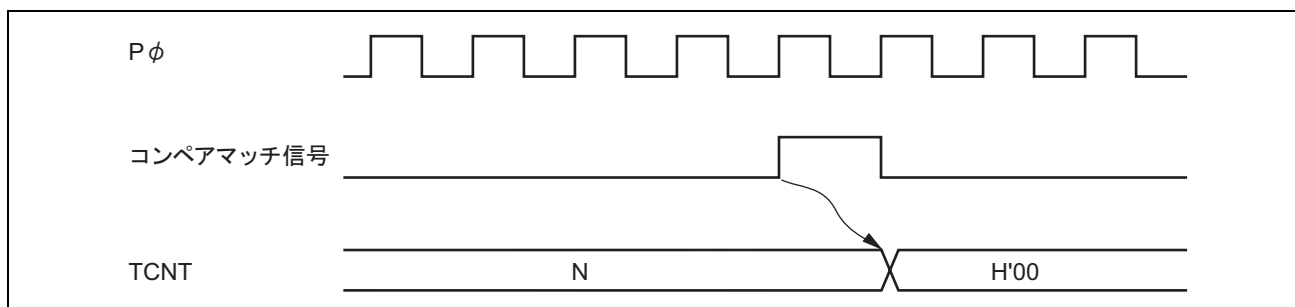


図 16.11 コンペアマッチによるカウンタクリアタイミング

16.5.5 TCNTの外部リセットタイミング*

TCNTは、TCRのCCLR1、CCLR0ビットの選択により外部リセット入力の立ち上がりエッジ、またはハイレベルでクリアされます。クリアまでのパルス幅は2ステート以上必要となります。外部リセット入力によるクリアタイミングを図16.12、図16.13に示します。

【注】 * ユニット0、1のみ外部リセットによるクリアが可能です。

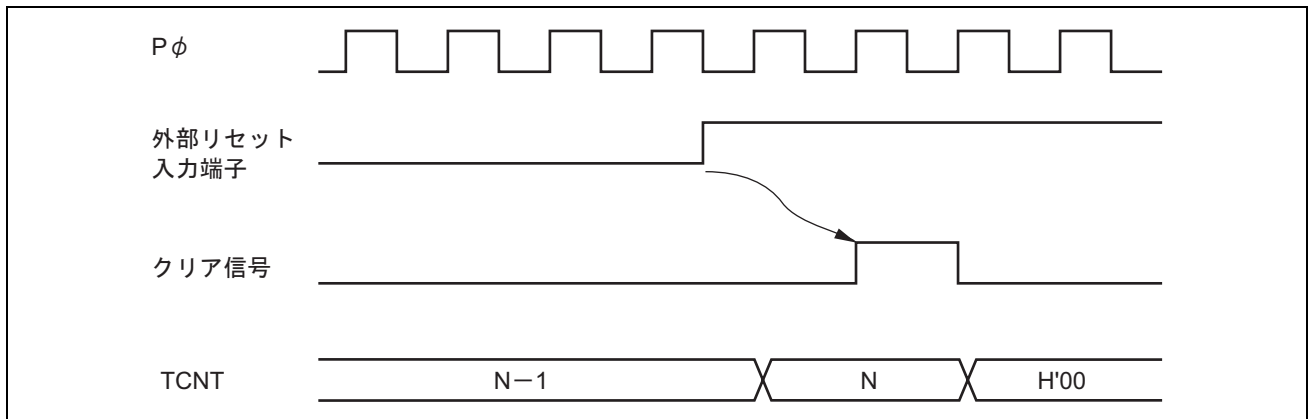


図 16.12 外部リセット入力によるクリアタイミング (立ち上がりエッジ)

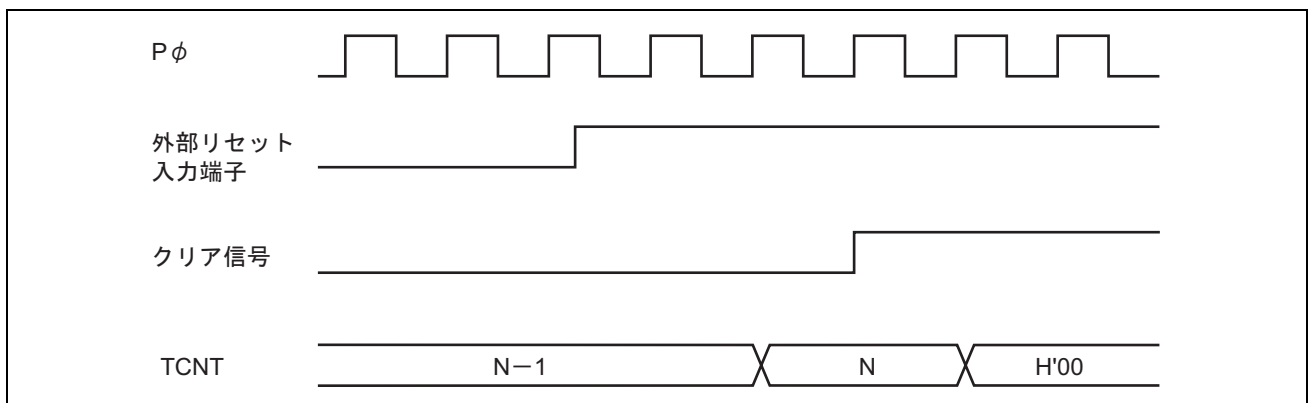


図 16.13 外部リセット入力によるクリアタイミング (ハイレベル)

16.5.6 オーバフローフラグ (OVF) のセットタイミング

TCSR の OVF は、TCNT がオーバフロー (H'FF→H'00) したとき出力されるオーバフロー信号により 1 にセットされます。OVF フラグのセットタイミングを図 16.14 に示します。

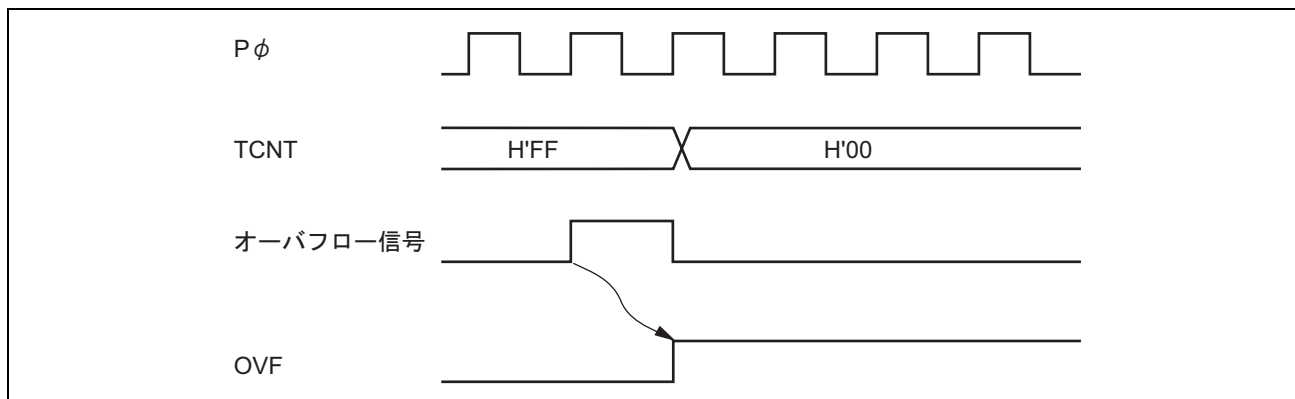


図 16.14 OVF フラグのセットタイミング

16.6 カスケード接続時の動作

TCR_0、TCR_1 のいずれか一方の CKS2～CKS0 ビットを B'100 に設定すると、2 チャンネルの 8 ビットタイマはカスケード接続されます。この場合、1 本の 16 ビットタイマとして使用する 16 ビットカウントモードか、またはチャンネル 0 の 8 ビットタイマのコンペアマッチをチャンネル 1 のタイマでカウントするコンペアマッチカウントモードにすることができます。

16.6.1 16 ビットカウントモード

TCR_0 の CKS2～CKS0 ビットが B'100 のとき、タイマはチャンネル 0 を上位 8 ビット、チャンネル 1 を下位 8 ビットとする 1 チャンネルの 16 ビットタイマとして動作します。

(1) コンペアマッチフラグのセット

- TCSR_0 の CMF フラグは、16 ビットのコンペアマッチが発生したとき 1 にセットされます。
- TCSR_1 の CMF フラグは、下位 8 ビットのコンペアマッチが発生したとき 1 にセットされます。

(2) カウンタクリア指定

- TCR_0 の CCLR1、CCLR0 ビットでコンペアマッチによるカウンタクリアを設定した場合、16 ビットのコンペアマッチが発生したとき 16 ビットカウンタ (TCNT_0、TCNT_1 の両方) がクリアされます。また、TMR10 端子によるカウンタクリアを設定した場合も、16 ビットカウンタ (TCNT_0、TCNT_1 の両方) がクリアされます。
- TCR_1 の CCLR1、CCLR0 ビットの設定は無効になります。下位 8 ビットのみのカウンタクリアはできません。

(3) 端子出力

- TCSR_0 の OS3～OS0 ビットによる TMO0 端子の出力制御は 16 ビットのコンペアマッチ条件に従います。
- TCSR_1 の OS3～OS0 ビットによる TMO1 端子の出力制御は下位 8 ビットのコンペアマッチ条件に従います。

16.6.2 コンペアマッチカウントモード

TCR_1 の CKS2～CKS0 ビットが B'100 のとき、TCNT_1 はチャンネル 0 のコンペアマッチ A をカウントします。チャンネル 0、1 の制御はそれぞれ独立に行われます。CMF フラグのセット、割り込みの発生、TMO 端子の出力、カウンタクリアなどは各チャンネルの設定に従います。

16.7 割り込み要因

16.7.1 割り込み要因と DTC 起動

- ユニット0、1の割り込み

8ビットタイマ TMR_0、TMR_1 の割り込み要因は、CMIA、CMIB、OVI の3種類があります。表 16.6 に各割り込み要因と優先順位を示します。各割り込み要因は、TCR または TCSR の各割り込みイネーブルビットにより許可または禁止が設定され、それぞれ独立に割り込みコントローラに送られます。また、CMIA、CMIB 割り込みにより DTC を起動することができます。(ユニット0、1のみ)

表 16.6 8ビットタイマ TMR_0、TMR_1 の割り込み要因 (ユニット0、1)

信号名	名称	割り込み要因	割り込みフラグ	DTC の起動	優先順位
CMIA0	CMIA0	TCORA_0 のコンペアマッチ	CMFA	可	高 ↑
CMIB0	CMIB0	TCORB_0 のコンペアマッチ	CMFB	可	
OVI0	OVI0	TCNT_0 のオーバフロー	OVF	不可	低
CMIA1	CMIA1	TCORA_1 のコンペアマッチ	CMFA	可	高 ↑
CMIB1	CMIB1	TCORB_1 のコンペアマッチ	CMFB	可	
OVI1	OVI1	TCNT_1 のオーバフロー	OVF	不可	低

- ユニット2、3の割り込み

8ビットタイマ TMR_4、TMR_5 の割り込み要因は、CMIA、CMIB の2種類があります。割り込み信号は、CMI の1種類です。表 16.7 に割り込み要因を示します。

下記の割り込み要因は、TCR または TCSR の各割り込みイネーブルビットにより、許可または禁止が設定され、CMIA、CMIB どちらかの要因が発生したときに CMI が割り込みコントローラに送られます。

CMIA と CMIB のどちらの要因か確認する場合は、TCSR の各フラグで確認してください。オーバフロー要因の割り込み信号はありません。本割り込みにより DTC は起動できません。

表 16.7 8ビットタイマ TMR_4、TMR_5 の割り込み要因 (ユニット2、3)

信号名	名称	割り込み要因	割り込みフラグ	DTC の起動	優先順位
CMI4	CMIA4	TCORA_4 のコンペアマッチ	CMFA	不可	-
	CMIB4	TCORB_4 のコンペアマッチ	CMFB		
CMI5	CMIA5	TCORA_5 のコンペアマッチ	CMFA	不可	-
	CMIB5	TCORB_5 のコンペアマッチ	CMFB		

16.7.2 A/D 変換器の起動

各ユニットの偶数チャンネルのコンペアマッチ A で、A/D 変換器を起動することができます。*

コンペアマッチ A の発生により、TCSR の CMFA フラグが 1 にセットされたとき、ADTE ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換の開始を要求します。この時 A/D 変換器側で、8 ビットタイマの変換トリガが選択されていれば、A/D 変換が開始されます。

【注】 * 対応する A/D 変換器のユニットに関しては「21. A/D 変換器」を参照してください。

16.8 使用上の注意

16.8.1 周期設定上の注意

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TCOR の値と一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) でクリアされます。このため、カウンタの周波数は次の式になります (f : カウンタ周波数、 ϕ : 動作周波数、 N : TCOR の設定値)。

$$f = \phi / (N + 1)$$

16.8.2 TCNT のライトとカウンタクリアの競合

図 16.15 のように TCNT のライトサイクル中の T₂ ステートでカウンタクリアが発生すると、カウンタへのライトは行われずクリアが優先されます。

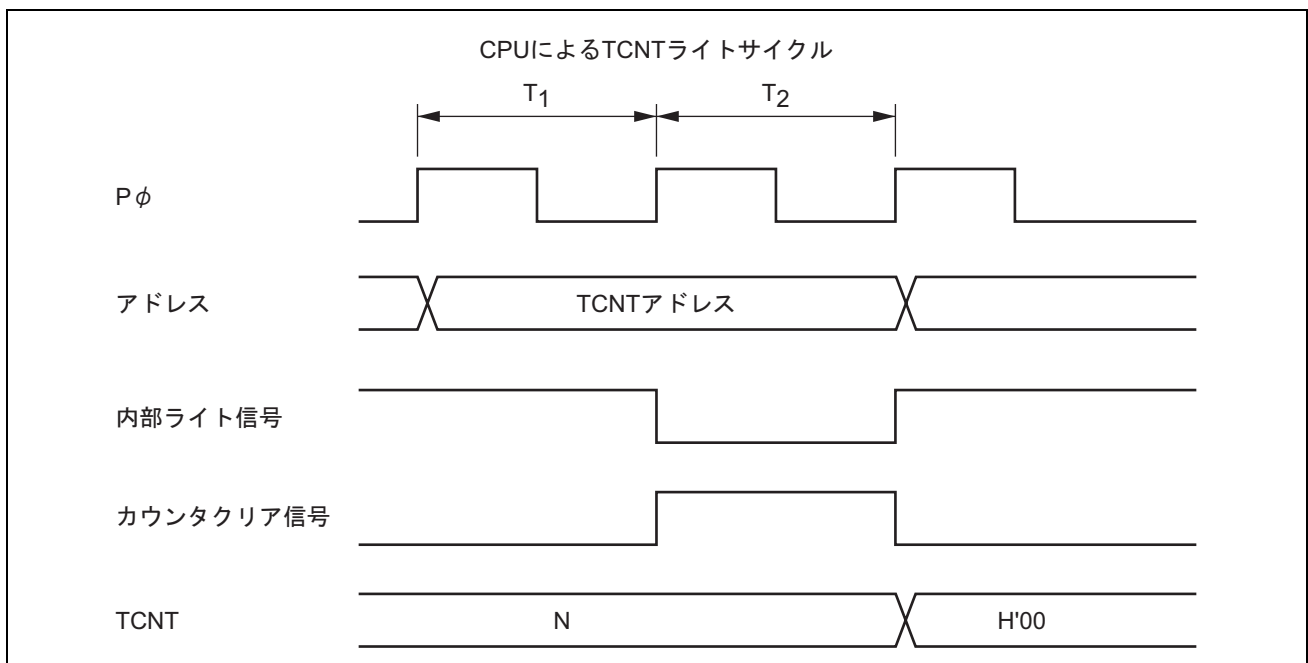


図 16.15 TCNT のライトとクリアの競合

16.8.3 TCNTのライトとカウントアップの競合

図 16.16 のように TCNT のライトサイクル中の T_2 ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

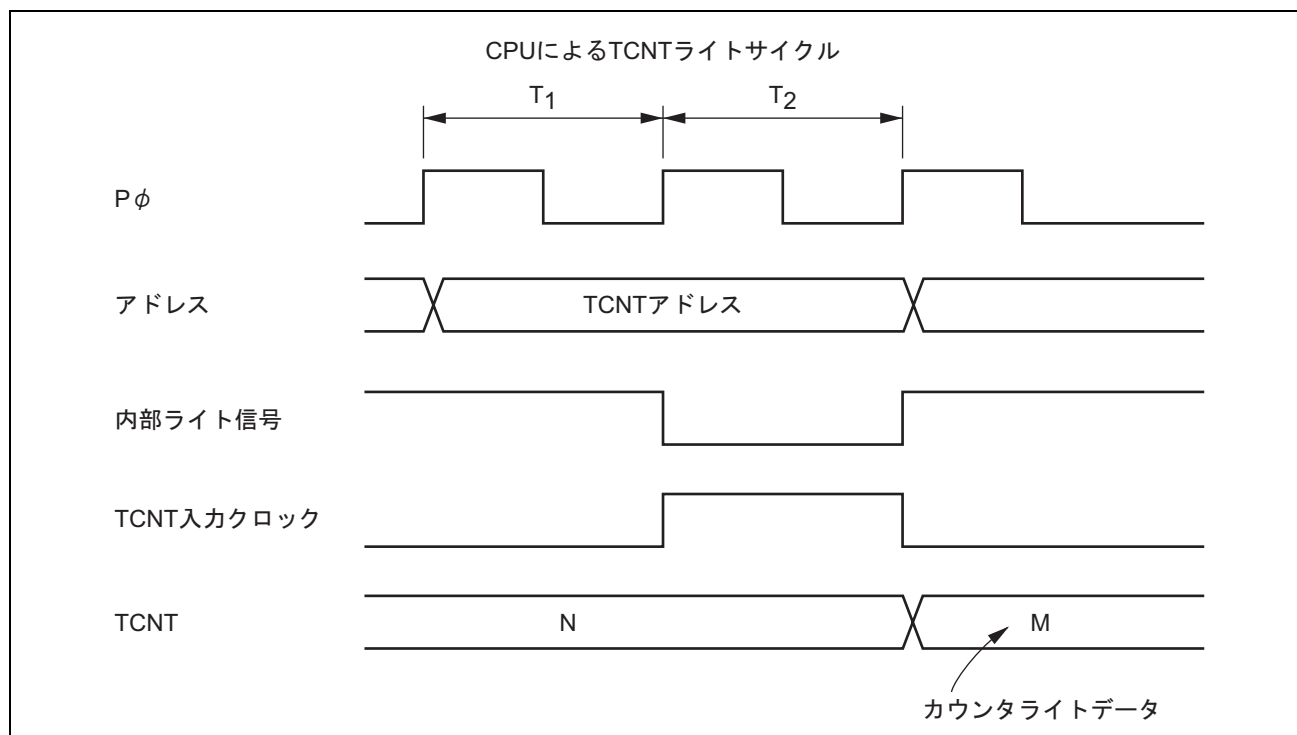


図 16.16 TCNT のライトとカウントアップの競合

16.8.4 TCORのライトとコンペアマッチの競合

図 16.17 のように TCOR のライトサイクル中の T₂ ステートでコンペアマッチが発生しても、TCOR のライトが優先されコンペアマッチ信号は禁止されます。

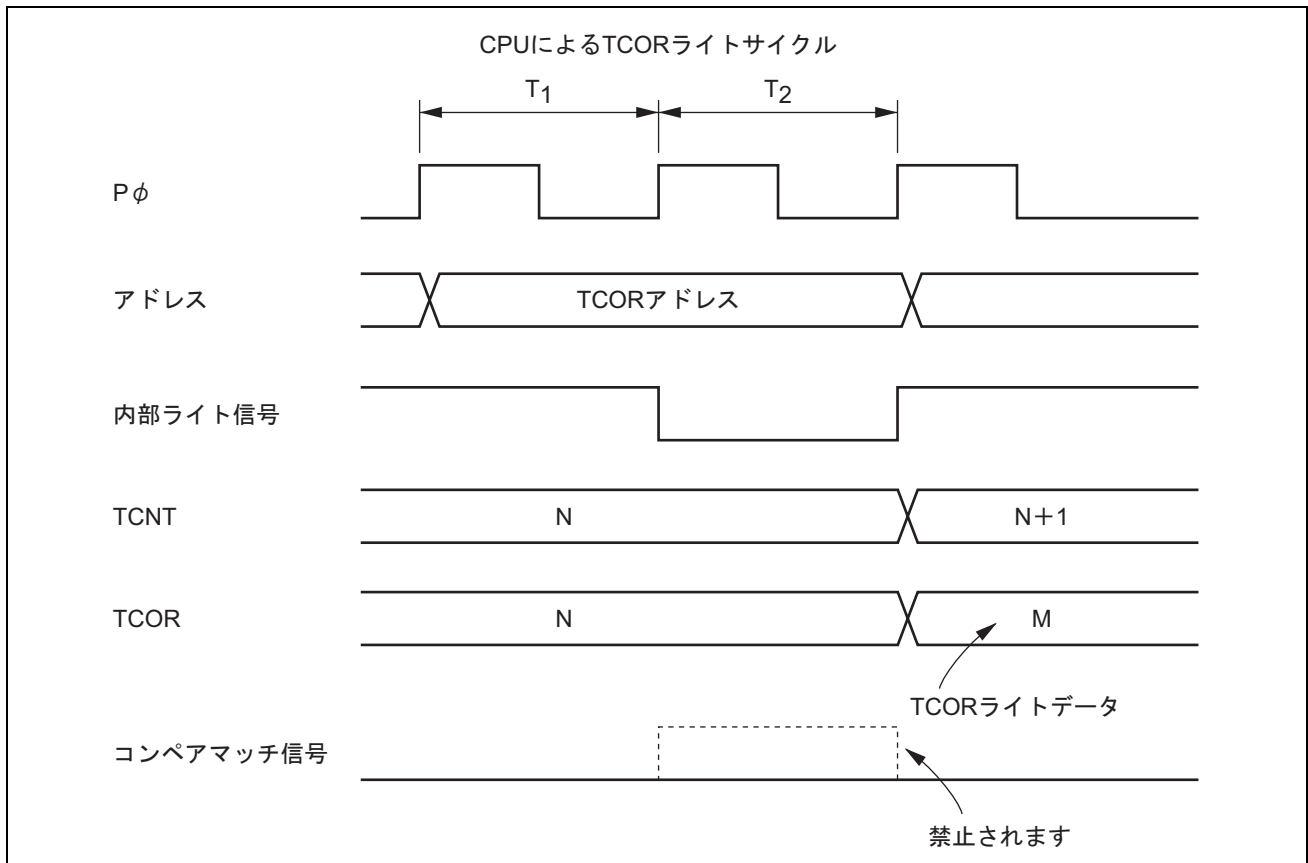


図 16.17 TCORのライトとコンペアマッチの競合

16.8.5 コンペアマッチ A、B の競合

コンペアマッチ A、コンペアマッチ B が同時に発生すると、コンペアマッチ A に対して設定されている出力状態と、コンペアマッチ B に対して設定されている出力状態のうち、表 16.8 に示すタイマ出力の優先順位にしたがって動作します。

表 16.8 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高 ↑ 低
1 出力	
0 出力	
変化しない	

16.8.6 内部クロックの切り替えと TCNT の動作

内部クロックを切り替えるタイミングによっては、TCNT がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング (CKS1、CKS0 ビットの書き換え) と TCNT 動作の関係を表 16.9 に示します。

内部クロックから TCNT クロックを生成する場合、内部クロックの立ち上がりエッジ、または立ち下がりエッジで検出しています。そのため、例えば立ち下がりエッジを選択している場合表 16.9 の No.3 のように、High→Low レベルになるようなクロックの切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして TCNT クロックが発生し、TCNT がカウントアップされてしまいます。立ち上がりエッジを選択している場合も同様です。

また、内部クロックの立ち上がりエッジと立ち下がりエッジを切り替えるとき、および、内部クロックと外部クロックを切り替えるときも、TCNT がカウントアップされることがあります。

表 16.9 内部クロックの切り替えと TCNT の動作

No	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
1	Low→Low レベル* ¹ の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT入力クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>
2	Low→High レベル* ² の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT入力クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>

No	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
3	High→Low レベル* ³ の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT入力クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>
4	High→High レベル の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT入力クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>

- 【注】 *1 Low レベル→停止、および停止→Low レベルの場合を含みます。
 *2 停止→High レベルの場合を含みます。
 *3 High レベル→停止の場合を含みます。
 *4 切り替えのタイミングを立ち下がりエッジとみなすために発生し、TCNT はカウントアップされてしまいます。

16.8.7 カスケード接続時のモード設定

16ビットカウンタモードとコンペアマッチカウントモードを同時に設定した場合、TCNT_0、TCNT_1の入力クロックが発生しなくなるためカウンタが停止して動作しません。この設定は行わないでください。

16.8.8 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、TMRの動作禁止/許可を設定することが可能です。初期値では、TMRの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「27. 低消費電力」を参照してください。

16.8.9 モジュールストップ状態時の割り込み

割り込みが要求された状態でモジュールストップ状態にすると、CPUの割り込み要因、またはDTCの起動要因のクリアができません。事前に割り込みをディスエーブルにするなどしてから、モジュールストップ状態にしてください。

17. 32K タイマ (TM32K)

32K タイマ (TM32K) は、H8SX/1648G グループ、H8SX/1648H グループのみサポートです。

32K タイマ (TM32K) は 24 ビットのカウンタを持ち、8 ビットのカウンタ動作と 24 ビットのカウンタ動作を選択することができます。それぞれ割り込み周期に達するごとに 32K タイマ割り込みを発生します。TM32K のブロック図を図 17.1 に示します。

17.1 特長

- 割り込みオーバーフロー周期に達すると、32Kタイマ割り込み (32KOVI) を発生
- 割り込みオーバーフロー周期は250msec、500msec、1sec、2sec、30sec、60sec、約22.7日、約45.5日の8種類が設定可能
- ハードウェアスタンバイモード、リセット状態を除いてカウンタ動作可能
- ソフトウェアスタンバイモードとディープソフトウェアスタンバイモードの解除が可能

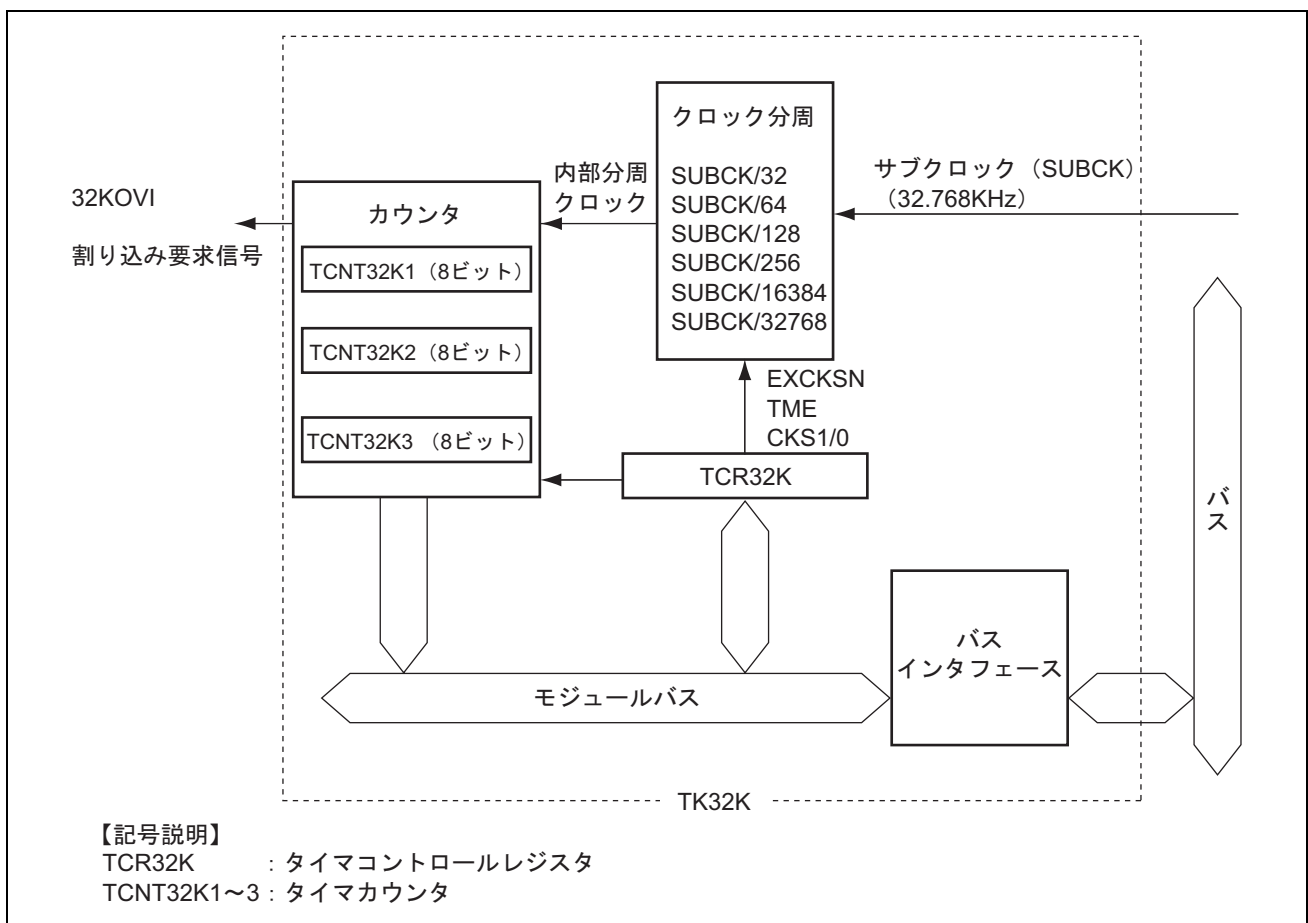


図 17.1 TM32K のブロック図

17.2 レジスタの説明

TM32K には、以下のレジスタがあります。

- タイマコントロールレジスタ (TCR32K)
- タイマカウンタ (TCNT32K1、TCNT32K2、TCNT32K3)

17.2.1 タイマコントロールレジスタ (TCR32K)

TCR32K は、タイマのイネーブル、サブクロック発振器の停止、TCNT32K に入力するクロックの選択を行います。本ビットの書き換えは TME=0 のときに行ってください。

ビット	7	6	5	4	3	2	1	0
ビット名	EXCKSN	—	TME	—	—	OSC32STP	CKS1	CKS0
初期値	1	1	0	1	1	0	0	0
R/W	R/W	R	R/W	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	EXCKSN	1	R/W	拡張クロックセレクト、クロックセレクト 1.0 TCNT32K に入力する内部分周クロックを選択します。() 内はサブクロック=32.768KHz のときの割り込み周期を示します。 EXCKSN ビット 1 のとき 00 : クロック SUBCK/32 (周期 250ms) 01 : クロック SUBCK/64 (周期 500ms) 10 : クロック SUBCK/128 (周期 1s) 11 : クロック SUBCK/256 (周期 2s) EXCKSN ビット 0 のとき 00 : クロック SUBCK/16384 (周期 30s) 01 : クロック SUBCK/32768 (周期 60s) 10 : クロック SUBCK/16384 (周期約 22.7 日) 11 : クロック SUBCK/32768 (周期約 45.5 日)
1	CKS1	0	R/W	
0	CKS0	0	R/W	
6	—	1	R	リードすると常に 1 が読み出されます。ライトは無効です。
5	TME	0	R/W	タイマイネーブル このビットを 1 にセットすると TCNT32K がカウントを開始します。クリアすると TCNT32K はカウントを停止し、H'00_00_00 に初期化されます。
4	—	1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3	—	1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
2	OSC32STP*	0	R/W	サブクロック発振器停止 0 : サブクロック発振器は動作します。 1 : サブクロック発振器は停止します。

【注】 * SUBCKCR レジスタの CK32K ビットが 1 のときは、本ビットへの 1 ライトができません。

17.2.2 タイマカウンタ (TCNT32K1、TCNT32K2、TCNT32K3)

タイマカウンタは24ビットのカウンタで、8ビットのカウンタ動作と24ビットのカウンタ動作を選択することができます。EXCKSNビットの設定により、タイマカウンタの動作とレジスタ割り当てが変わります。

(1) EXCKSN=1 (初期状態)

タイマカウンタは8ビットのカウンタとして動作します。TCNT32K1のみ使用し、TCNT32K2、TCNT32K3はリザーブレジスタとなります。タイマコントロールレジスタ (TCR32K) のTMEビットが0のとき、H'00に初期化されます。

• TCNT32K1

ビット	7	6	5	4	3	2	1	0
ビット名	TCNT7	TCNT6	TCNT5	TCNT4	TCNT3	TCNT2	TCNT1	TCNT0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

• TCNT32K2

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

• TCNT32K3

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

17. 32K タイマ (TM32K)

(2) EXCKSN=0 (カウンタ拡張モード)

タイマカウンタは 24 ビットのカウンタとして動作します。TCNT32K1、TCNT32K2、TCNT32K3 を使用します。タイマカウントのリードは、必ず TCNT32K1 からリードしてください。タイマコントロールレジスタ (TCR32K) の TME ビットが 0 のとき、H'00_00_00 に初期化されます。

• TCNT32K1

ビット	7	6	5	4	3	2	1	0
ビット名	TCNT23	TCNT22	TCNT21	TCNT20	TCNT19	TCNT18	TCNT17	TCNT16
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

• TCNT32K2

ビット	7	6	5	4	3	2	1	0
ビット名	TCNT15	TCNT14	TCNT13	TCNT12	TCNT11	TCNT10	TCNT9	TCNT8
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

• TCNT32K3

ビット	7	6	5	4	3	2	1	0
ビット名	TCNT7	TCNT6	TCNT5	TCNT4	TCNT3	TCNT2	TCNT1	TCNT0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

【注】 サブクロック発振器が停止した状態 (OSC32STP=1) でカウンタリードすると正しい値が読めません。

17.3 動作説明

17.3.1 基本動作

タイマカウンタは 8 ビットのカウンタ動作と 24 ビットのカウンタ動作を選択することができます。TCR32K の TME ビットを 1 に設定するとカウンタ (TCNT32K) がカウントアップを開始します。割り込み周期に達するごとに 32K タイマ割り込み (32KOV) が発生します。TCR32K の EXCKSN、CKS1、CKS0 ビットの設定によるタイマカウンタ動作と割り込み周期の対応を表 17.1 に示します。

表 17.1 カウンタ動作と 32KOV 周期

設定			分周比	使用カウンタ			割り込み周期	
EXCKSN	CKS1	CKS0	内部分周 クロック	TCNT32K1	TCNT32K2	TCNT32K3	割り込み発生 カウンタ値	32KOV 周 期
1	0	0	SUBCK/32	○	—	—	TCNT32K1=H'FF	250ms
1	0	1	SUBCK/64	○	—	—		500ms
1	1	0	SUBCK/128	○	—	—		1s
1	1	1	SUBCK/256	○	—	—		2s
0	0	0	SUBCK/16384	○	○	○	TCNT32K3=H'3B	30s
0	0	1	SUBCK/32768	○	○	○		60s
0	1	0	SUBCK/16384	○	○	○	TCNT32K1~3=H'FFF3B	約 22.7 日
0	1	1	SUBCK/32768	○	○	○		約 45.5 日

○ : 使用 — : 未使用

17.3.2 EXCKSN=1 動作

TCR32K の EXCKSN ビットが 1 のとき、タイマカウンタは 8 ビットのカウンタとして動作します。TCNT32K1 が H'FF に達するごとに、32KOV1 割り込みが発生します。TCR32K の CKS1、CKS0 ビットの設定により、割り込みの周期は、250ms、500ms、1s、2s の選択が可能です。

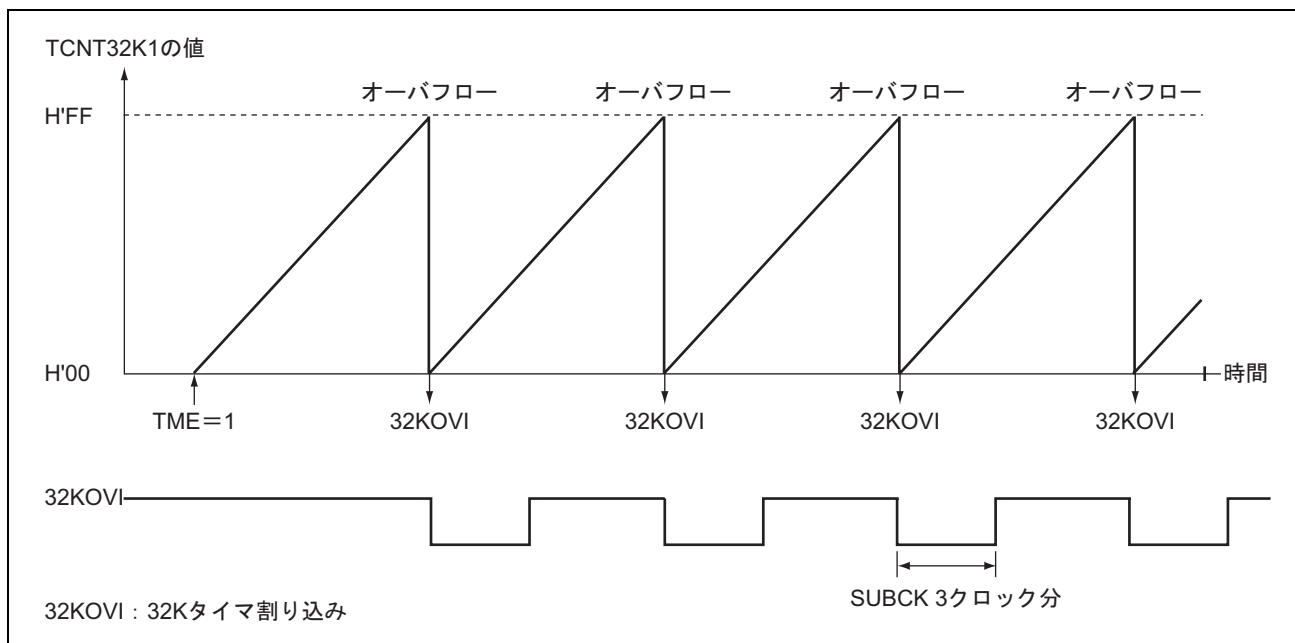


図 17.2 EXCKSN=1 32K タイマの動作

17.3.3 EXCKSN=0 動作

TCR32K の EXCKSN ビットが 0 のとき、タイマカウンタは 24 ビットのカウンタとして動作します。下位 8 ビットの TCNT32K3 は H'00 から H'3B までカウントするフリーランのアップカウンタとなり、上位 16 ビットの TCNT32K1、TCNT32K2 は、TCNT32K3=H'3B でカウントするアップカウンタとなります。CKS1 ビットの設定により、32KOV1 割り込みを発生させるカウンタ値を、TCNT32K3=H'3B、または、TCNT32K1 ~ TCNT32K3=H'FFFF3B の選択ができ、CKS0 ビットとの組み合わせにより、割り込み周期を、30s、60s、約 22.7 日、約 45.5 日に設定可能です。

EXCKSN ビットが 0 の時は、TME ビットが 1 のタイマカウンタ動作中に、CKS1 ビットを書き換えることが可能です。これにより、タイマカウンタ動作中に 32KOV1 割り込みの周期を変更することができます。CKS1 ビットを 0 から 1 に書き換えると、上位の 16 ビットカウンタ (TCNT32K1、TCNT32K2) は H'00_00 に初期化された後、カウント動作を再開します。

CKS1 ビットを 0 から 1 に書き換える場合は、書き換えによる上位カウンタの初期化とカウント動作の競合を避けるため、32KOV1 割り込み処理ルーチン内で行ってください。EXCKSN=0 の時、CKS1 ビットを書き換え動作について、図 17.3 に示します。

図 17.4 のように CKS1 ビットを 1 から 0 に書き換えるタイミングと TCNT32K3=H'3B が競合した場合、32KOV1 割り込みが 1 回発生しない場合があるので注意してください。

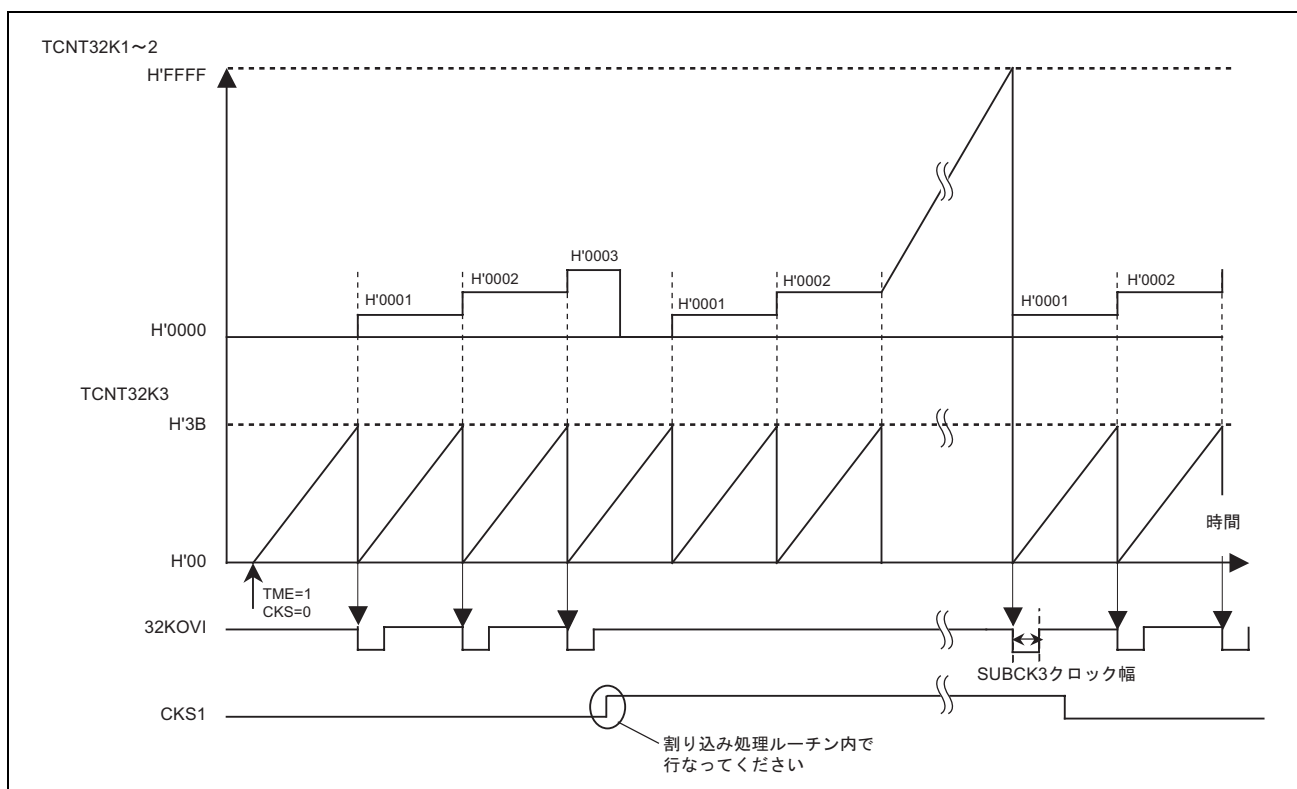


図 17.3 EXCKSN=0 の時の CKS1 ビットの書き換え動作

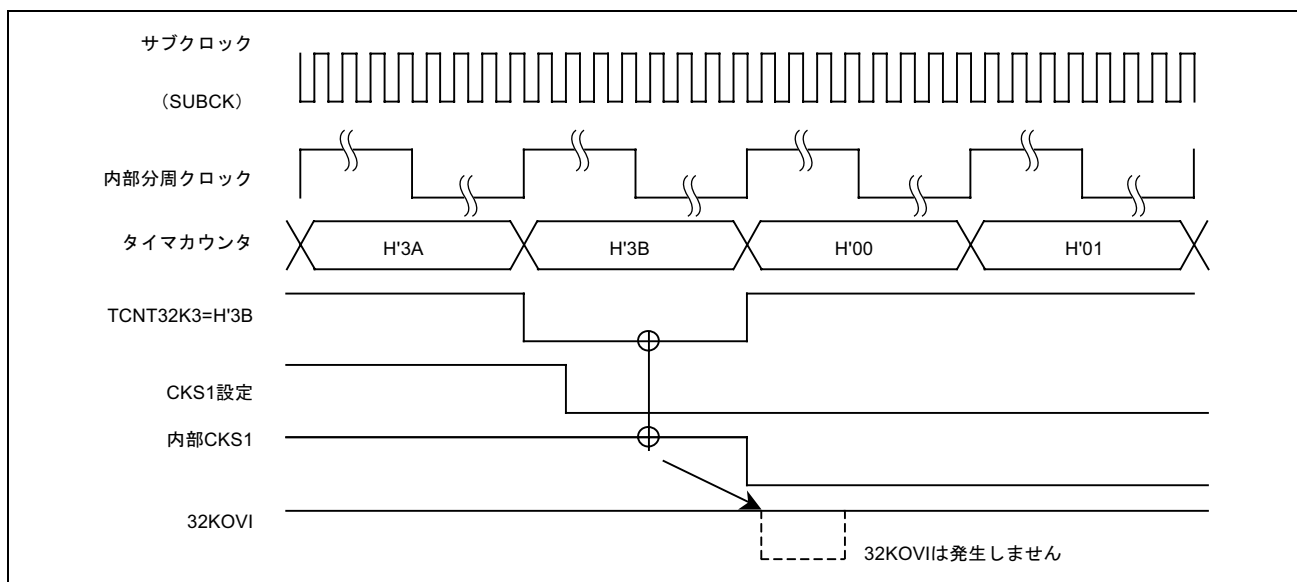


図 17.4 CKS1 ビットの 1 から 0 への書き換えと 32KOV の競合

17.4 割り込み要因

32K タイマは割り込み周期によりサブクロック 3 クロック幅の 32K タイマ割り込み (32KOVI) を発生します。32KOVI は内部で IRQ15 に接続されており、割り込み発生時は ISR の IRQ15F ビットが 1 にセットされます。IRQ15 の設定は、ISCR で立ち下がりエッジ割り込み要求を設定してください。

詳細については、「7. 割り込みコントローラ」を参照してください。

32K タイマはソフトウェアスタンバイモードとディープソフトウェアスタンバイモードでも動作します。32K タイマ割り込みの発生により、ソフトウェアスタンバイモードとディープソフトウェアスタンバイモードの解除が可能です。詳細については、「27. 低消費電力」を参照してください。

表 17.2 TM32K の割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイの解除
32KOVI	TCNT32K 割り込み	IRQ15F	不可	可	不可
		DT32KIF	不可	不可	可

17.5 使用上の注意事項

17.5.1 EXCKSN、CKS1、CKS0 ビットの書き換え

TM32K の動作中に TCR32K の EXCKSN、CKS1、CKS0 ビットを書き換えると、カウントアップが正しく行われない場合があります。EXCKSN、CKS1、CKS0 ビットを書き換えるときは、必ず TM32K の停止中 (TME ビットが 0 の状態) で行ってください。

ただし、EXCKSN ビットが 0 のときは、TME ビットが 1 の状態でも CKS1 ビットを書き換えることが可能です。「17.3.3 EXCKSN=0 動作」を参照してください。

17.5.2 レジスタ初期化の注意

ハードウェアスタンバイモード、端子リセット状態のときは、32K タイマの TCR32K、TCNT32K1、TCNT32K2、TCNT32K3 が初期化されます。ウォッチドッグタイマリセット、ディープソフトウェアスタンバイリセットでは、初期化されません。

17.5.3 32K タイマ使用上の注意

- OSC32STP ビットが 1 の状態では 32K タイマは動作しません。32K タイマを動作させる場合は、必ず OSC32STP ビットを 0 にしてください。
- OSC32STP ビットを 1 から 0 にしたときはサブクロック発振器の発振安定時間をお待ちください。
- TM32K を停止するときは、サブクロックで 1 クロック (30us) 以上、TME ビットを 0 にしてください。
- サブクロック動作からメインクロック動作に切り替え時、タイマカウンタ読み出しは、500 μ s 以上 (次のタイマカウンタ更新まで) お待ちください。

18. ウォッチドッグタイマ (WDT)

ウォッチドッグタイマ (WDT) は 8 ビットのタイマで、システムの暴走などによりカウンタの値が書き換えられずにオーバーフローすると外部にオーバーフロー信号 ($\overline{\text{WDTOVF}}$) を出力します。同時に、本 LSI 内部をリセットすることができます。

ウォッチドッグタイマとして使用しない場合は、インターバルタイマとして使用することもできます。インターバルタイマとして使用する場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込みが発生します。WDT のブロック図を図 18.1 に示します。

18.1 特長

- 8種類のカウンタ入力クロックを選択可能
- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能

ウォッチドッグタイマモード

- カウンタがオーバーフローすると、外部に $\overline{\text{WDTOVF}}$ 信号を出力、このとき同時に本LSI内部をリセットするかしないかを選択可能

インターバルタイマモード

- カウンタがオーバーフローすると、インターバルタイマ割り込み (WOVI) を発生

18. ウォッチドッグタイマ (WDT)

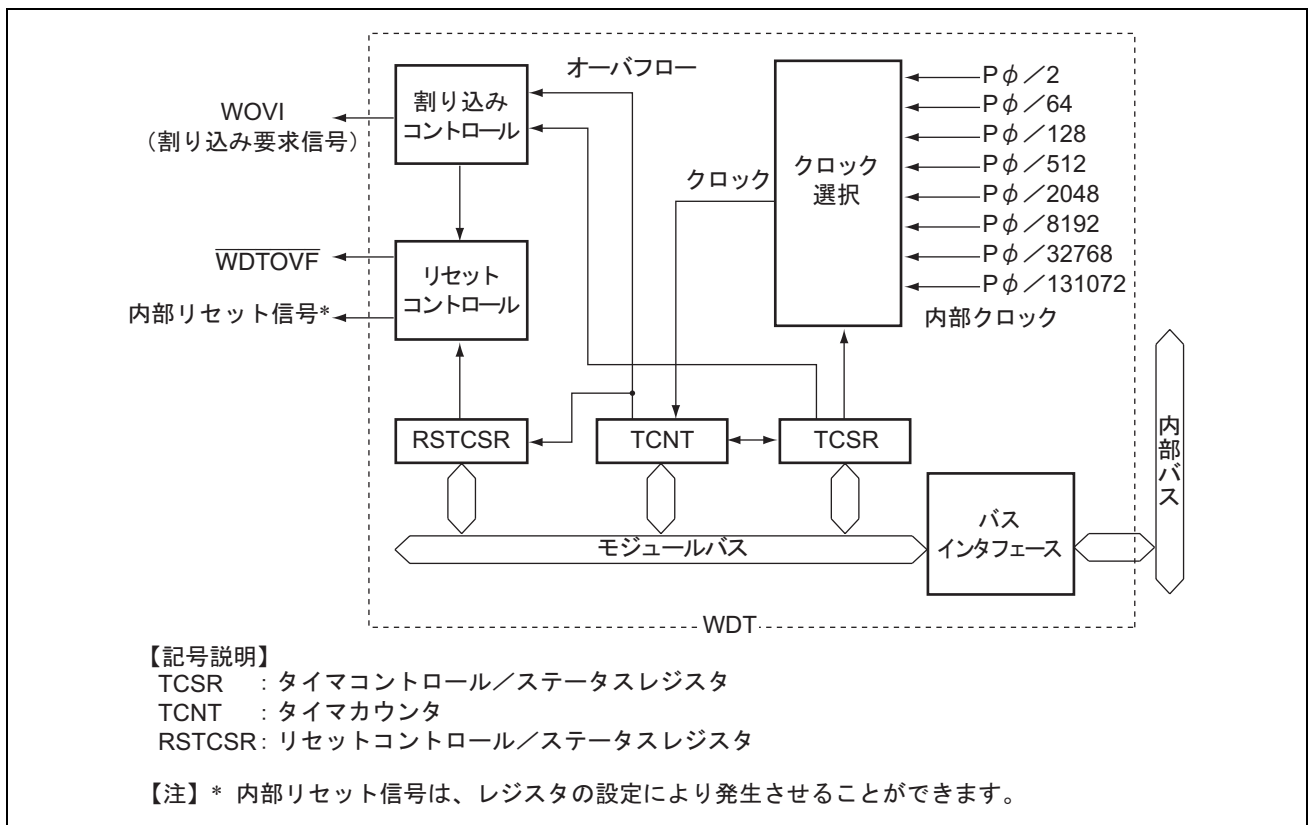


図 18.1 WDT のブロック図

18.2 入出力端子

WDT の端子構成を表 18.1 に示します。

表 18.1 端子構成

名称	記号	入出力	機能
ウォッチドッグタイマオーバーフロー*	$\overline{\text{WDTOVF}}$	出力	ウォッチドッグタイマモード時のカウンタオーバーフロー信号出力

【注】* バウンダリスキャン有効モード時は、カウンタオーバーフロー信号出力は使用できません。

18.3 レジスタの説明

WDT には、以下のレジスタがあります。TCNT、TCSR、RSTCSR は容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。詳細は、「18.6.1 レジスタアクセス時の注意」を参照してください。

- タイマカウンタ (TCNT)
- タイマコントロール/ステータスレジスタ (TCSR)
- リセットコントロール/ステータスレジスタ (RSTCSR)

18.3.1 タイマカウンタ (TCNT)

TCNTは、リード/ライト可能な8ビットのアップカウンタです。TCNTは、タイマコントロール/ステータスレジスタ (TCSR) のTMEビットが0のとき、H'00に初期化されます。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

18.3.2 タイマコントロール/ステータスレジスタ (TCSR)

TCSRは、TCNTに入力するクロック、モードの選択などを行います。

ビット	7	6	5	4	3	2	1	0
ビット名	OVF	WT/ \overline{IT}	TME	—	—	CKS2	CKS1	CKS0
初期値:	0	0	0	1	1	0	0	0
R/W:	R/(W)*	R/W	R/W	R	R	R/W	R/W	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	OVF	0	R/(W)*	<p>オーバーフローフラグ</p> <p>インターバルタイマモードでTCNTがオーバーフローしたことを示します。フラグをクリアするための0クリアのみ可能です。</p> <p>[セット条件]</p> <p>インターバルタイマモードでTCNTがオーバーフロー(H'FF→H'00)したとき</p> <p>ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます。</p> <p>[クリア条件]</p> <p>OVF=1の状態、TCSRをリード後、OVFに0をライトしたとき (割り込みを使用しCPUによってクリアする場合、0ライト後に必ずフラグをリードしてください。)</p>

18. ウォッチドッグタイマ (WDT)

ビット	ビット名	初期値	R/W	説明
6	WT/IT	0	R/W	<p>タイマモードセレクト</p> <p>ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。</p> <p>0: インターバルタイマモード TCNT がオーバーフローしたとき、インターバルタイマ割り込み (WOVI) を要求します。</p> <p>1: ウォッチドッグタイマモード TCNT がオーバーフローしたとき、外部へ $\overline{\text{WDTOVF}}$ を出力します。</p>
5	TME	0	R/W	<p>タイマイネーブル</p> <p>このビットを 1 にセットすると TCNT がカウントを開始します。クリアすると TCNT はカウント動作を停止し、H'00 に初期化されます。</p>
4	—	1	R	リザーブビット
3	—	1	R	これらのビットはリードのみ有効で、ライトは無効です。
2	CKS2	0	R/W	<p>クロックセレクト 2~0</p> <p>TCNT に入力するクロックを選択します。() 内は PΦ=20MHz のときのオーバーフロー周期を表します。</p> <p>000: クロック PΦ/2 (周期 25.6μs)</p> <p>001: クロック PΦ/64 (周期 819.2μs)</p> <p>010: クロック PΦ/128 (周期 1.6ms)</p> <p>011: クロック PΦ/512 (周期 6.6ms)</p> <p>100: クロック PΦ/2048 (周期 26.2ms)</p> <p>101: クロック PΦ/8192 (周期 104.9ms)</p> <p>110: クロック PΦ/32768 (周期 419.4ms)</p> <p>111: クロック PΦ/131072 (周期 1.68s)</p>
1	CKS1	0	R/W	
0	CKS0	0	R/W	

【注】 * フラグをクリアするための 0 ライトのみ可能です。

18.3.3 リセットコントロール/ステータスレジスタ (RSTCSR)

RSTCSR は、TCNT のオーバーフローによる内部リセット信号の発生を制御し、内部リセット信号の種類を選択します。RSTCSR は、 $\overline{\text{RES}}$ 端子からのリセット信号で H'1F に初期化されます。WDT のオーバーフローによる内部リセット信号では初期化されません。

ビット	7	6	5	4	3	2	1	0
ビット名	WOVF	RSTE	—	—	—	—	—	—
初期値 :	0	0	0	1	1	1	1	1
R/W :	R/(W)*	R/W	R/W	R	R	R	R	R

【注】 * フラグをクリアするための0ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	WOVF	0	R/(W)*	ウォッチドッグタイマオーバーフローフラグ ウォッチドッグタイマモードで、TCNT がオーバーフローするとセットされます。インターバルタイマモードではセットされません。0ライトのみ可能です。 [セット条件] ウォッチドッグタイマモードで TCNT がオーバーフロー(H'FF→H'00)したとき [クリア条件] 1の状態をリードした後、0をライトしたとき
6	RSTE	0	R/W	リセットイネーブル ウォッチドッグタイマモードで TCNT のオーバーフローにより LSI 内部をリセットするかどうかを選択します。 0 : TCNT がオーバーフローしても、内部はリセットされません。 (本 LSI 内部はリセットされませんが、WDT 内の TCNT、TCSR はリセットされます。) 1 : TCNT がオーバーフローすると内部がリセットされます。
5	—	0	R/W	リザーブビット リード/ライト可能ですが、動作に影響を与えません。
4~0	—	1	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。

【注】 * フラグをクリアするための0ライトのみ可能です。

18.4 動作説明

18.4.1 ウォッチドッグタイマモード

ウォッチドッグタイマモードとして使用するときは、TCSR の $\overline{WT/IT}$ ビット=1 に、TME ビット=1 に設定してください。

ウォッチドッグタイマとして動作しているとき、システムの暴走などにより TCNT の値が書き換えられずオーバーフローすると、 \overline{WDTOVF} 信号が出力されます。システムが正常に動作している間は、TCNT のオーバーフローは発生しません。TCNT がオーバーフローする前に必ず TCNT の値を書き換えて（通常は H'00 をライトする）、オーバーフローを発生させないようにプログラムしてください。さらに、ウォッチドッグタイマモード時には、 \overline{WDTOVF} 信号を用いて LSI 内部をリセットすることができます。

RSTCSR の RSTE ビットを 1 にセットしておくとし、TCNT がオーバーフローしたときに、 \overline{WDTOVF} 信号と同時に、本 LSI の内部をリセットする信号が発生します。 \overline{RES} 端子からの入力信号によるリセットと WDT のオーバーフローによるリセットが同時に発生したときは、 \overline{RES} 端子によるリセットが優先され、RSTCSR の WOVF ビットは 0 にクリアされます。

\overline{WDTOVF} 信号は、RSTCSR の RSTE ビット=1 のとき P ϕ で 133 ステート、RSTE ビット=0 のとき P ϕ で 130 ステートの間出力されます。内部リセット信号は、P ϕ で 519 ステートの間出力されます。

RSTE ビット=1 のときは内部をリセットする信号が発生し、システムクロックコントロールレジスタ (SCKCR) がリセットされるため、P ϕ の入力クロックに対する倍率は初期値になります。

RSTE ビット=0 のときは内部をリセットする信号が発生せず、SCKCR の設定が保持されるため、P ϕ の入力クロックに対する倍率は変化しません。

ウォッチドッグタイマモードで TCNT がオーバーフローすると、RSTCSR の WOVF ビットが 1 にセットされます。また、RSTCSR の RSTE ビットが 1 にセットしてあると、TCNT がオーバーフローしたとき、本 LSI 全体に対して内部リセット信号が発生します。

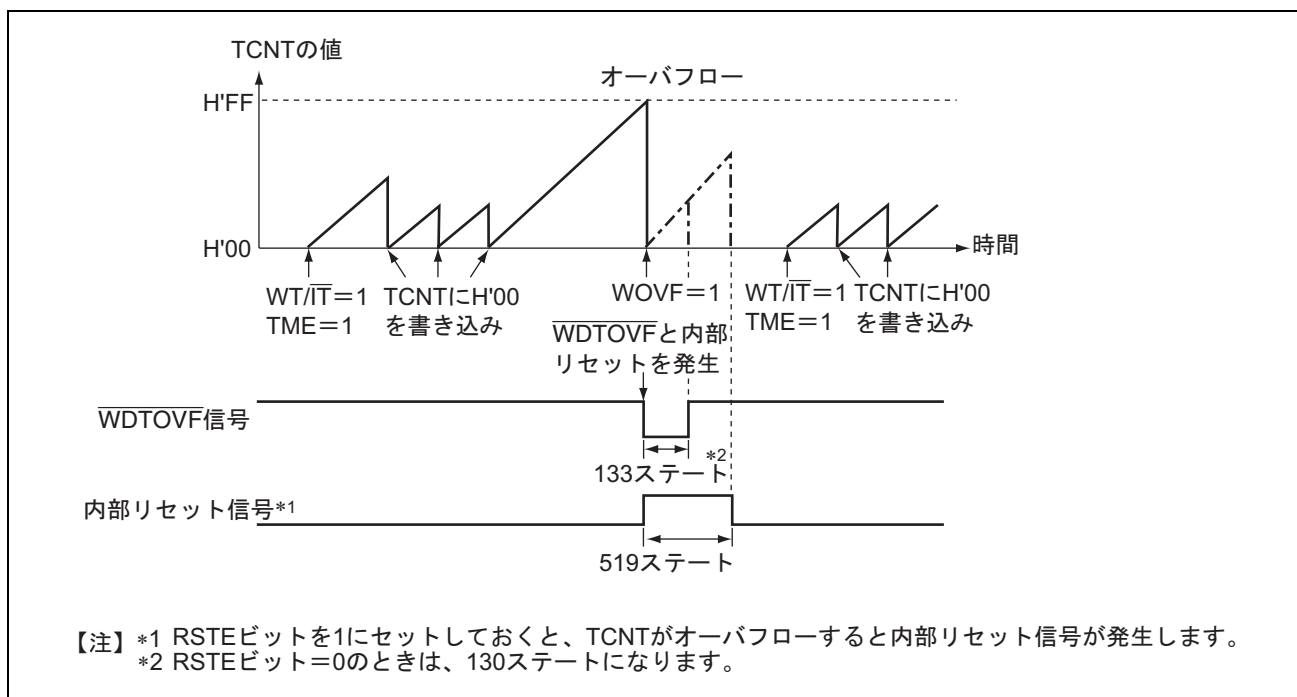


図 18.2 ウォッチドッグタイマモード時の動作

18.4.2 インターバルタイマモード

インターバルタイマとして使用するときには、TCSR の WT/\overline{IT} ビット=0 に、TME ビット=1 に設定してください。

インターバルタイマとして動作しているときは、TCNT がオーバーフローするごとにインターバルタイマ割り込み (WOVI) が発生します。したがって、一定時間ごとに割り込みを発生させることができます。

インターバルタイマモードで TCNT がオーバーフローすると、TCSR の OVF ビットが 1 にセットされ、同時にインターバルタイマ割り込み (WOVI) が要求されます。

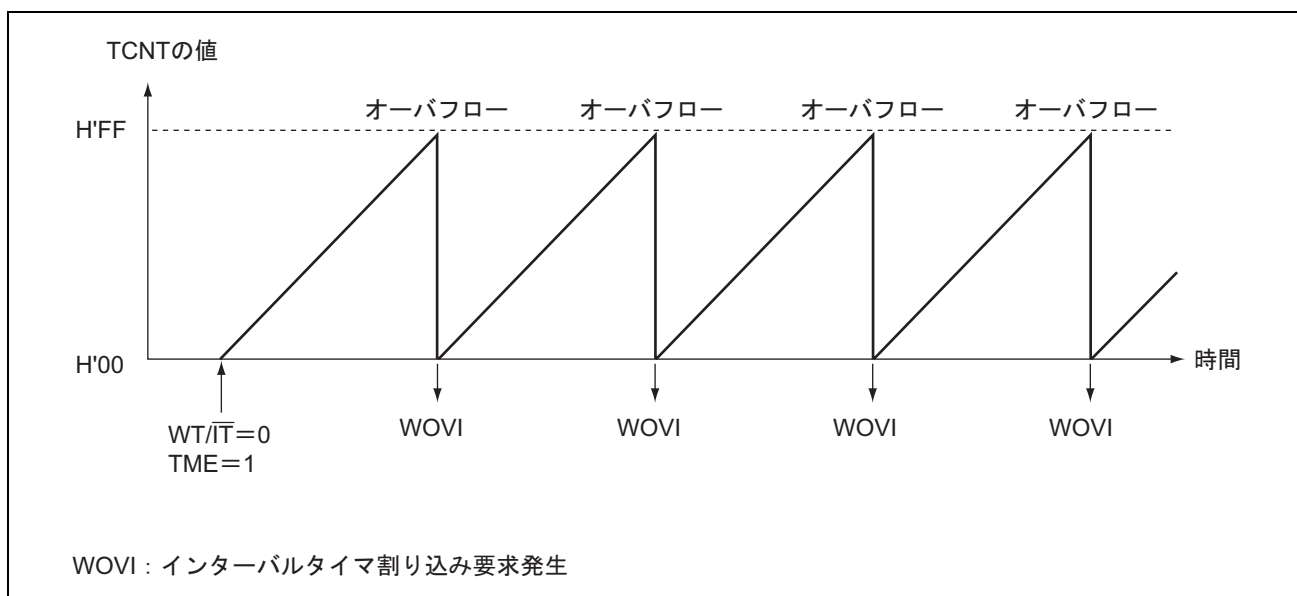


図 18.3 インターバルタイマモード時の動作

18. ウォッチドッグタイマ (WDT)

18.5 割り込み要因

インターバルタイマモード時、オーバフローによりインターバルタイマ割り込み (WOVI) を発生します。インターバルタイマ割り込みは、TCSR の OVF フラグが 1 にセットされると常に要求されます。割り込み処理ルーチンで必ず OVF を 0 にクリアしてください。

表 18.2 WDT の割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動
WOVI	TCNT のオーバフロー	OVF	不可

18.6 使用上の注意事項

18.6.1 レジスタアクセス時の注意

TCNT、TCSR、RSTCSR は、容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。次の方法で、リード/ライトを行ってください。

(1) TCNT、TCSR、RSTCSR へのライト

TCNT、TCSR へライトするときは、必ずワード転送命令を使用してください。バイト転送命令では、ライトできません。

ライト時は、TCNT と TCSR が同一アドレスに割り当てられています。このため、**図 18.4** に示すようにしてデータを転送してください。転送すると、下位バイトのデータが TCNT または TCSR へライトされます。

RSTCSR へライトするときは、アドレス (H'FFA6) に対してワード転送を行ってください。バイト転送命令では、ライトできません。

WOVF ビットへ 0 をライトする場合と、RSTE ビットにライトする場合は、ライトの方法が異なります。このため、**図 18.4** に示すようにしてデータを転送してください。

転送すると、WOVF ビットが 0 にクリアされます。このとき、RSTE ビットは影響を受けません。RSTE ビットにライトするときは、**図 18.4** に示すようにしてデータを転送してください。転送すると、下位バイトのビット 6 の値が RSTE ビットにライトされます。このとき、WOVF ビットは影響を受けません。

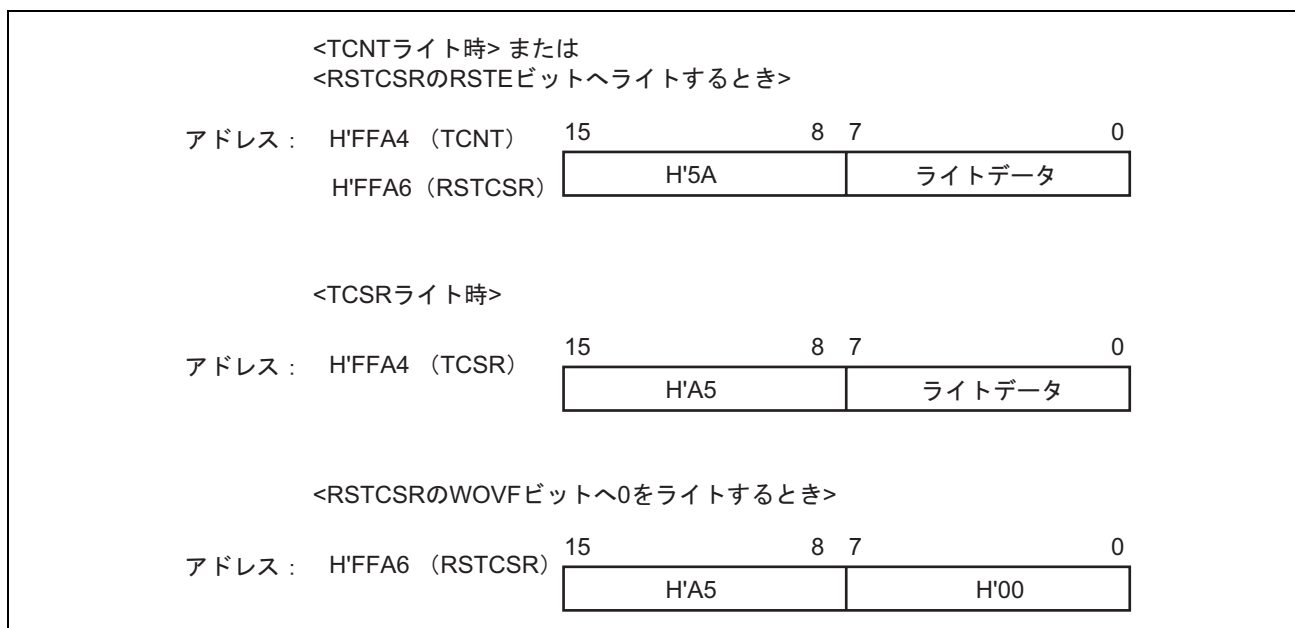


図 18.4 TCNT、TCSR、RSTCSR へのライト

(2) TCNT、TCSR、RSTCSR からのリード

リードは、一般のレジスタと同様の方法で行うことができます。TCSR はアドレス (H'FFA4) に、TCNT はアドレス (H'FFA5) に、RSTCSR はアドレス (H'FFA7) にそれぞれ割り当てられています。

18.6.2 タイマカウンタ (TCNT) のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされずに TCNT へのカウンタライトが優先されます。これを図 18.5 に示します。

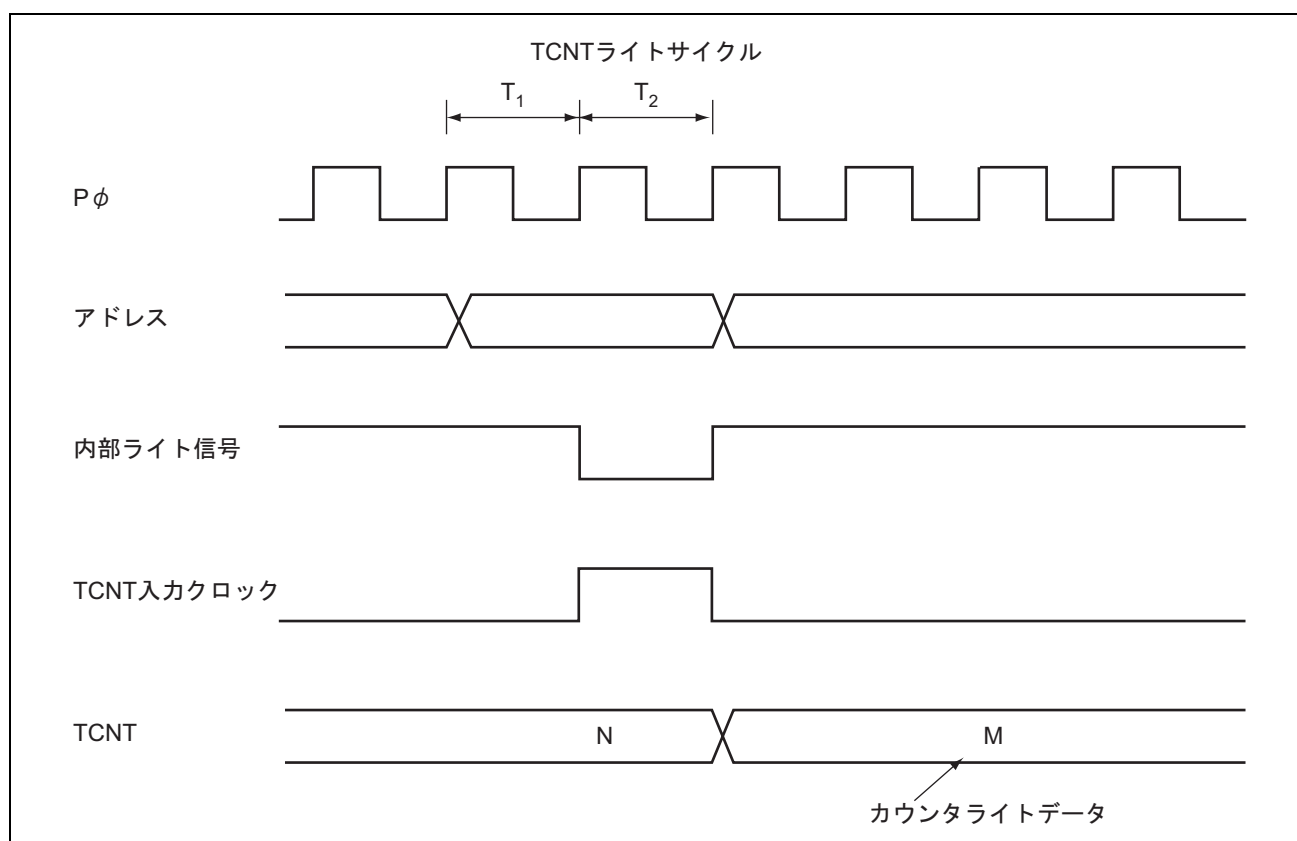


図 18.5 TCNT のライトとカウントアップの競合

18.6.3 CKS2～CKS0 ビットの書き換え

WDT の動作中に TCSR の CKS2～CKS0 ビットを書き換えると、カウントアップが正しく行われな場合があります。CKS2～CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

18.6.4 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

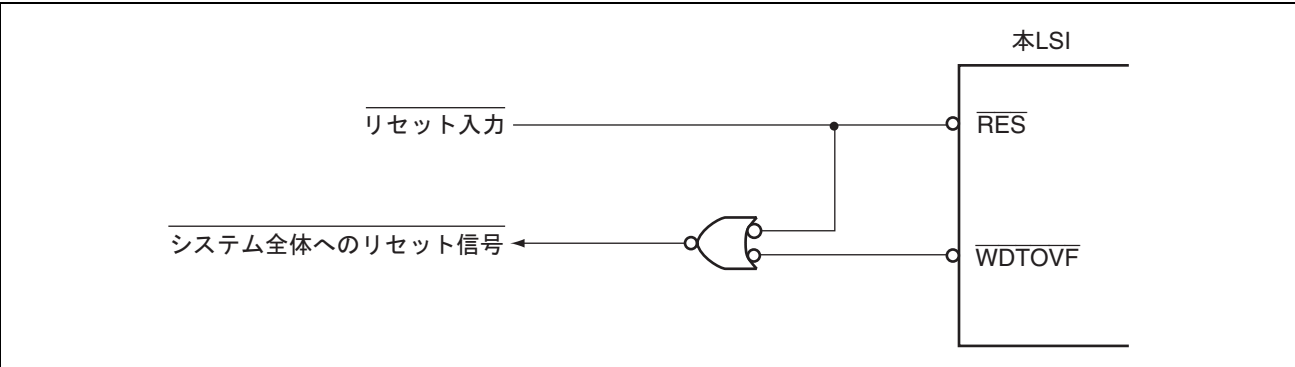
WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われな場合があります。タイマモードの切り替えは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

18.6.5 ウォッチドッグタイマモードでの内部リセット

ウォッチドッグタイマモード時に RSTE ビットを 0 にしておくと、TCNT がオーバフローしても本 LSI 内部をリセットしませんが、WDT の TCNT、TCSR はリセットされます。

$\overline{\text{WDTOVF}}$ 信号が Low レベルを出力している期間は、TCNT、TCSR、RSTCSR へのライトはできません。また、この期間は WOVF フラグのリードも認識されません。そのため、WOVF フラグのクリアは、 $\overline{\text{WDTOVF}}$ 信号が High レベルになってから、TCSR をリードした後、WOVF フラグに 0 をライトしてください。

18.6.6 $\overline{\text{WDTOVF}}$ 信号によるシステムのリセット

$\overline{\text{WDTOVF}}$ 信号を $\overline{\text{RES}}$ 端子に入力すると、本 LSI を正しく初期化できません。 $\overline{\text{WDTOVF}}$ 信号は、 $\overline{\text{RES}}$ 端子に論理的に入力しないようにしてください。 $\overline{\text{WDTOVF}}$ 信号でシステム全体をリセットするときは、 18.6 の示すような回路で行ってください。

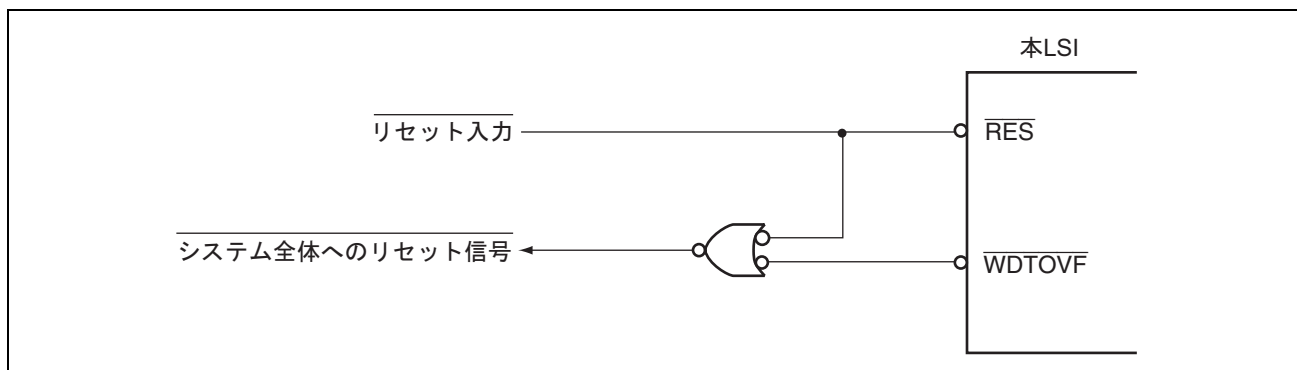


図 18.6 $\overline{\text{WDTOVF}}$ 信号によるシステムのリセット回路例

18.6.7 ウォッチドッグタイマモードとソフトウェアスタンバイモードへの遷移

ウォッチドッグタイマモードとして動作しているときは、SBYCR の SSBY ビットを 1 にセットした状態で SLEEP 命令を実行してもソフトウェアスタンバイモードには遷移せず、スリープモードに遷移します。

ソフトウェアスタンバイモードに遷移させる場合は、WDT を停止させてから (TME ビットを 0 にクリア) SLEEP 命令を実行してください。

インターバルタイマモードとして動作している場合は、SBYCR の SSBY ビットを 1 にセットした状態で SLEEP 命令を実行するとソフトウェアスタンバイモードに遷移します。

19. シリアルコミュニケーションインタフェース (SCI、IrDA、CRC)

本 LSI は独立した 7 チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。SCI は、調歩同期式とクロック同期式の 2 方式のシリアル通信が可能です。調歩同期方式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。調歩同期式モードでは複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。このほか、調歩同期式モードの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (IC カード) インタフェースをサポートしています。また、SCI_5 は、IrDA 規格バージョン 1.0 に基づく IrDA 通信波形の送受信が可能です。

また SCI の拡張機能として、データ転送の信頼性を高める CRC (Cyclic Redundancy Check) 演算器を内蔵しています。CRC 演算器は SCI と接続されておらず、レジスタにデータをライトすることで演算を行います。

図 19.1 に SCI_0~4、図 19.2 に SCI_5、6 のブロック図を示します。

19.1 特長

- シリアルデータ通信モードを調歩同期式またはクロック同期式に設定可能
- 全二重通信が可能
独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部と受信部はともにダブルバッファ構造になっていますので、連続送受信が可能
- 内蔵ボーレートジェネレータで任意のビットレートを選択可能
送受信クロックソースとして外部クロックの選択も可能 (スマートカードインタフェースを除く)
- LSBファースト/MSBファースト選択可能 (調歩同期式7ビットデータを除く)
- 割り込み要因 : 4種類
送信終了、送信データエンプティ、受信データフル、受信エラーの割り込み要因があります。また、送信データエンプティ、受信データフル割り込み要因によりDTCまたはDMACを起動することができます。
- モジュールストップ状態への設定が可能

調歩同期式モード

- データ長 : 7ビット/8ビット選択可能
- ストップビット長 : 1ビット/2ビット選択可能
- パリティ : 偶数パリティ/奇数パリティ/パリティなしから選択可能
- 受信エラーの検出 : パリティエラー、オーバーランエラー、フレーミングエラー
- ブレークの検出 : フレーミングエラー発生時RxD端子のレベルを直接リードすることでブレークを検出可能

19. シリアルコミュニケーションインタフェース (SCI、IrDA、CRC)

- TMRからの転送レートクロック入力が可能 (SCI_5、6)
- 平均転送レートジェネレータ (SCI_2)
 - 10.667MHz動作時：115.192kbps/460.784kbps選択可能
 - 16MHz動作時：115.192kbps/460.784kbps/720kbps選択可能
 - 32MHz動作時：720kbps
- 平均転送レートジェネレータ (SCI_5、6)
 - 8MHz動作時：460.784kbps
 - 10.667MHz動作時：115.152kbps/460.606kbps選択可能
 - 12MHz動作時：230.263kbps/460.526kbps選択可能
 - 16MHz動作時：115.196kbps/460.784kbps/720kbps/921.569kbps選択可能
 - 24MHz動作時：115.132kbps/460.526kbps/720kbps/921.053kbps選択可能
 - 32MHz動作時：720kbps

クロック同期式モード

- データ長：8ビット
- 受信エラーの検出：オーバランエラー

スマートカードインタフェース

- 受信時パリティエラーを検出するとエラーシグナルを自動送出
- 送信時エラーシグナルを受信するとデータを自動再送信
- ダイレクトコンベンション/インバースコンベンションの両方をサポート

表 19.1 にチャンネル別の機能一覧を示します。

表 19.1 SCI チャンネル別機能一覧

		SCI_0、1、3、4	SCI_2	SCI_5、6	
クロック同期モード		○	○	○	
調歩同期モード		○	○	○	
TMR クロック入力		—	—	○	
平均転送レート ジェネレータ使用時	P ϕ = 8MHz	—	—	460.784 kbps	
	P ϕ = 10.667MHz	—	460.784 kbps	460.606 kbps	
			115.192 kbps	115.152 kbps	
	P ϕ = 12MHz	—	—	460.526 kbps	230.263 kbps
				921.569 kbps	720 kbps
	P ϕ = 16MHz	—	720 kbps	460.784 kbps	460.784 kbps
115.192 kbps				115.196 kbps	
P ϕ = 24MHz	—	—	921.053 kbps	720 kbps	
			460.526 kbps	115.132 kbps	
P ϕ = 32MHz	—	720 kbps	720 kbps		

19. シリアルコミュニケーションインタフェース (SCI、IrDA、CRC)

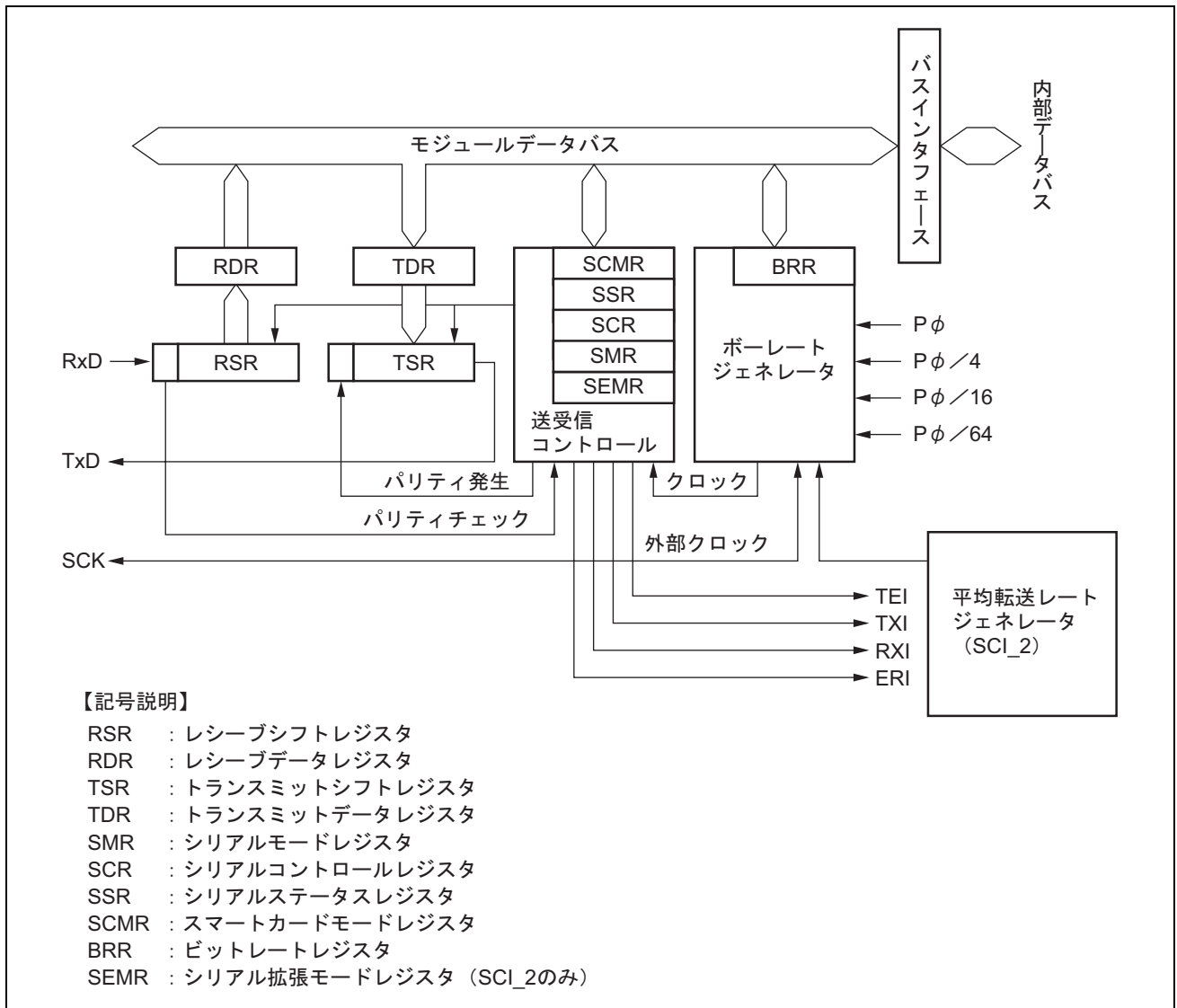


図 19.1 SCI_0、1、2、3、4 のブロック図

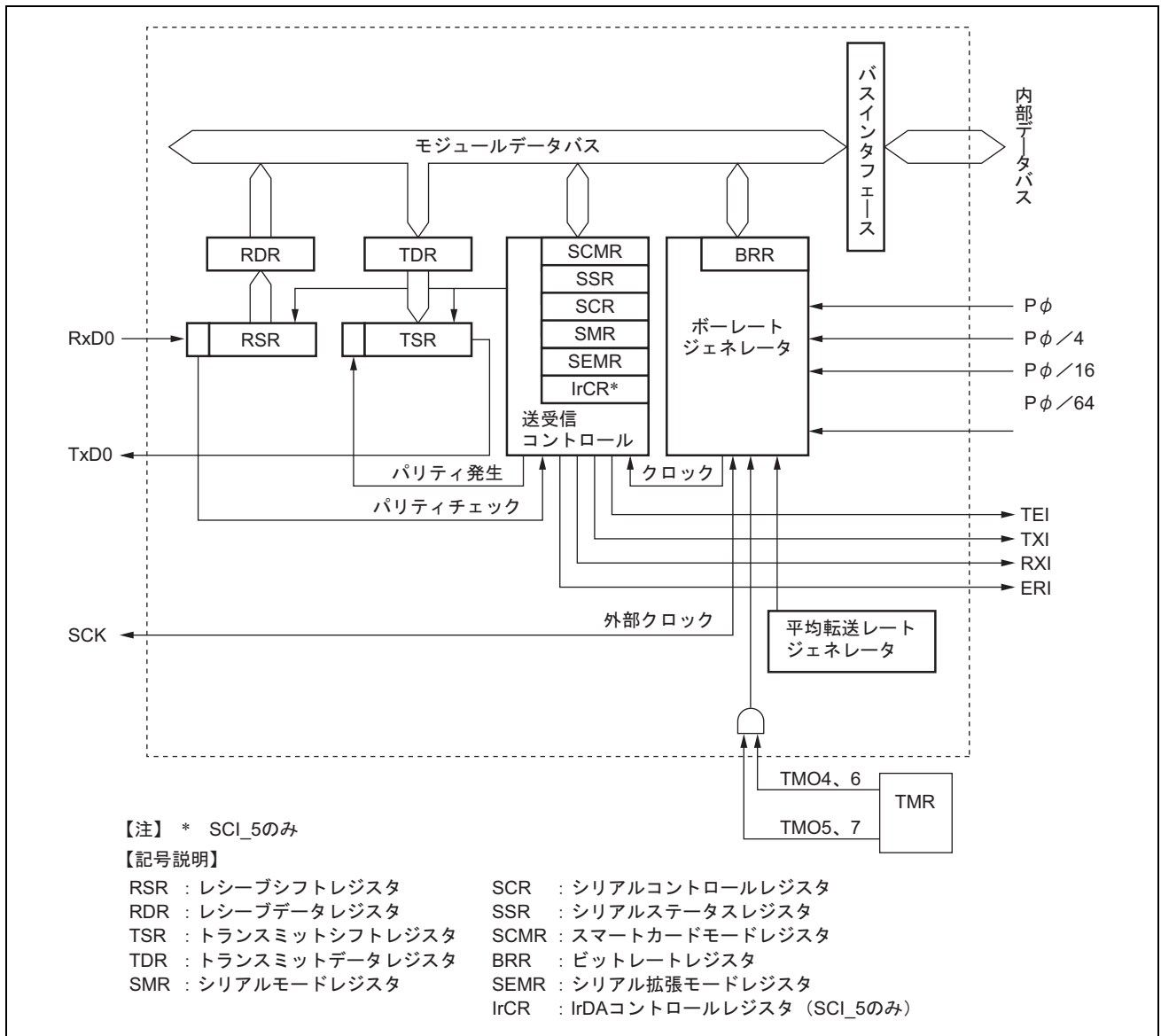


図 19.2 SCI_5、6 のブロック図

19.2 入出力端子

SCIには、表 19.2 の入出力端子があります。

表 19.2 端子構成

チャンネル	端子名*	入出力	機能
0	SCK0	入出力	チャンネル0のクロック入出力端子
	RxD0	入力	チャンネル0の受信データ入力端子
	TxD0	出力	チャンネル0の送信データ出力端子
1	SCK1	入出力	チャンネル1のクロック入出力端子
	RxD1	入力	チャンネル1の受信データ入力端子
	TxD1	出力	チャンネル1の送信データ出力端子
2	SCK2	入出力	チャンネル2のクロック入出力端子
	RxD2	入力	チャンネル2の受信データ入力端子
	TxD2	出力	チャンネル2の送信データ出力端子
3	SCK3	入出力	チャンネル3のクロック入出力端子
	RxD3	入力	チャンネル3の受信データ入力端子
	TxD3	出力	チャンネル3の送信データ出力端子
4	SCK4	入出力	チャンネル4のクロック入出力端子
	RxD4	入力	チャンネル4の受信データ入力端子
	TxD4	出力	チャンネル4の送信データ出力端子
5	SCK5	入出力	チャンネル5のクロック入出力端子
	RxD5/IrRxD	入力	チャンネル5の受信データ入力端子
	TxD5/IrTxD	出力	チャンネル5の送信データ出力端子
6	SCK6	入出力	チャンネル6のクロック入出力端子
	RxD6	入力	チャンネル6の受信データ入力端子
	TxD6	出力	チャンネル6の送信データ出力端子

【注】 * 本文中ではチャンネルを省略し、それぞれ SCK、RxD、TxD と略称します。

19.3 レジスタの説明

SCIには以下のレジスタがあります。また、シリアルモードレジスタ (SMR)、シリアルステータスレジスタ (SSR)、シリアルコントロールレジスタ (SCR) は通常のシリアルコミュニケーションインタフェースモードとスマートカードインタフェースモードで一部のビットの機能が異なるため、別々に記載してあります。

【チャンネル0】

- レシーブシフトレジスタ_0 (RSR_0)
- トランスミットシフトレジスタ_0 (TSR_0)
- レシーブデータレジスタ_0 (RDR_0)
- トランスミットデータレジスタ_0 (TDR_0)
- シリアルモードレジスタ_0 (SMR_0)
- シリアルコントロールレジスタ_0 (SCR_0)
- シリアルステータスレジスタ_0 (SSR_0)
- スマートカードモードレジスタ_0 (SCMR_0)
- ビットレートレジスタ_0 (BRR_0)

【チャンネル1】

- レシーブシフトレジスタ_1 (RSR_1)
- トランスミットシフトレジスタ_1 (TSR_1)
- レシーブデータレジスタ_1 (RDR_1)
- トランスミットデータレジスタ_1 (TDR_1)
- シリアルモードレジスタ_1 (SMR_1)
- シリアルコントロールレジスタ_1 (SCR_1)
- シリアルステータスレジスタ_1 (SSR_1)
- スマートカードモードレジスタ_1 (SCMR_1)
- ビットレートレジスタ_1 (BRR_1)

【チャンネル2】

- レシーブシフトレジスタ_2 (RSR_2)
- トランスミットシフトレジスタ_2 (TSR_2)
- レシーブデータレジスタ_2 (RDR_2)
- トランスミットデータレジスタ_2 (TDR_2)
- シリアルモードレジスタ_2 (SMR_2)
- シリアルコントロールレジスタ_2 (SCR_2)
- シリアルステータスレジスタ_2 (SSR_2)

19. シリアルコミュニケーションインタフェース (SCI、IrDA、CRC)

- スマートカードモードレジスタ_2 (SCMR_2)
- ビットレートレジスタ_2 (BRR_2)
- シリアル拡張モードレジスタ_2 (SEMR_2)

【チャンネル3】

- レシーブシフトレジスタ_3 (RSR_3)
- トランスミットシフトレジスタ_3 (TSR_3)
- レシーブデータレジスタ_3 (RDR_3)
- トランスミットデータレジスタ_3 (TDR_3)
- シリアルモードレジスタ_3 (SMR_3)
- シリアルコントロールレジスタ_3 (SCR_3)
- シリアルステータスレジスタ_3 (SSR_3)
- スマートカードモードレジスタ_3 (SCMR_3)
- ビットレートレジスタ_3 (BRR_3)

【チャンネル4】

- レシーブシフトレジスタ_4 (RSR_4)
- トランスミットシフトレジスタ_4 (TSR_4)
- レシーブデータレジスタ_4 (RDR_4)
- トランスミットデータレジスタ_4 (TDR_4)
- シリアルモードレジスタ_4 (SMR_4)
- シリアルコントロールレジスタ_4 (SCR_4)
- シリアルステータスレジスタ_4 (SSR_4)
- スマートカードモードレジスタ_4 (SCMR_4)
- ビットレートレジスタ_4 (BRR_4)

【チャンネル5】

- レシーブシフトレジスタ_5 (RSR_5)
- トランスミットシフトレジスタ_5 (TSR_5)
- レシーブデータレジスタ_5 (RDR_5)
- トランスミットデータレジスタ_5 (TDR_5)
- シリアルモードレジスタ_5 (SMR_5)
- シリアルコントロールレジスタ_5 (SCR_5)
- シリアルステータスレジスタ_5 (SSR_5)
- スマートカードモードレジスタ_5 (SCMR_5)
- ビットレートレジスタ_5 (BRR_5)
- シリアル拡張モードレジスタ_5 (SEMR_5)

- IrDAコントロールレジスタ (IrCR)

【チャンネル6】

- レシーブシフトレジスタ_6 (RSR_6)
- トランスミットシフトレジスタ_6 (TSR_6)
- レシーブデータレジスタ_6 (RDR_6)
- トランスミットデータレジスタ_6 (TDR_6)
- シリアルモードレジスタ_6 (SMR_6)
- シリアルコントロールレジスタ_6 (SCR_6)
- シリアルステータスレジスタ_6 (SSR_6)
- スマートカードモードレジスタ_6 (SCMR_6)
- シリアル拡張モードレジスタ_6 (SEMR_6)
- ビットレートレジスタ_6 (BRR_6)

19.3.1 レシーブシフトレジスタ (RSR)

RSR は RxD 端子から入力されたシリアルデータをパラレル変換するための受信シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR へ転送されます。CPU から直接アクセスすることはできません。

19.3.2 レシーブデータレジスタ (RDR)

RDR は受信データを格納するための 8 ビットのレジスタです。1 フレーム分のデータを受信すると RSR から受信データがこのレジスタへ転送され、RSR は次のデータを受信可能となります。RSR と RDR はダブルバッファ構造になっているため連続受信動作が可能です。RDR のリードは SSR の RDRF が 1 にセットされていることを確認して 1 回だけ行ってください。RDR は CPU からライトできません。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

19.3.3 トランスミットデータレジスタ (TDR)

TDR は送信データを格納するための 8 ビットのレジスタです。TSR に空きを検出すると TDR にライトされた送信データは TSR に転送されて送信を開始します。TDR と TSR はダブルバッファ構造になっているため連続送信動作が可能です。1 フレーム分のデータを送信したとき TDR に次の送信データがライトされていれば TSR へ転送して送信を継続します。TDR は CPU から常にリード/ライト可能ですが、シリアル送信を確実にを行うため TDR への送信データのライトは必ず SSR の TDRE が 1 にセットされていることを確認して 1 回だけ行ってください。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

19.3.4 トランスミットシフトレジスタ (TSR)

TSR はシリアルデータを送信するためのシフトレジスタです。TDR にライトされた送信データは自動的に TSR に転送され、TxD 端子に送出することでシリアルデータの送信を行います。CPU からは直接アクセスすることはできません。

19.3.5 シリアルモードレジスタ (SMR)

SMR は通信フォーマットと内蔵ボーレートジェネレータのクロックソースを選択するためのレジスタです。SMR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

・ SCMRのSMIF=0のとき

ビット	7	6	5	4	3	2	1	0
ビット名	C/Ā	CHR	PE	O/Ē	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

・ SCMRのSMIF=1のとき

ビット	7	6	5	4	3	2	1	0
ビット名	GM	BLK	PE	O/Ē	BCP1	BCP0	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

● 通常のシリアルコミュニケーションインタフェースモード (SCMRのSMIF=0のとき)

ビット	ビット名	初期値	R/W	説明
7	C/Ā	0	R/W	コミュニケーションモード 0: 調歩同期式モードで動作します。 1: クロック同期式モードで動作します。
6	CHR	0	R/W	キャラクタレングス (調歩同期式モードのみ有効) 0: データ長 8 ビットで送受信します。 1: データ長 7 ビットで送受信します。LSB ファースト固定となり、送信では TDR の MSB (ビット 7) は送信されません。 クロック同期式モードではデータ長は 8 ビット固定です。
5	PE	0	R/W	パリティイネーブル (調歩同期式モードのみ有効) このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。マルチプロセッサフォーマットではこのビットの設定にかかわらずパリティビットの付加、チェックは行いません。
4	O/Ē	0	R/W	パリティモード (調歩同期式モードで PE=1 のときのみ有効) 0: 偶数パリティで送受信します。 1: 奇数パリティで送受信します。

19. シリアルコミュニケーションインタフェース (SCI、IrDA、CRC)

ビット	ビット名	初期値	R/W	説明
3	STOP	0	R/W	ストップビットレングス (調歩同期式モードのみ有効) 送信時のストップビットの長さを選択します。 0 : 1ストップビット 1 : 2ストップビット 受信時はこのビットの設定にかかわらずストップビットの1ビット目のみチェックし、2ビット目が0の場合は次の送信フレームのスタートビットと見なします。
2	MP	0	R/W	マルチプロセッサモード (調歩同期式モードのみ有効) このビットが1のときマルチプロセッサ機能がイネーブルになります。 マルチプロセッサモードではPE、O/E ビットの設定は無効です。
1 0	CKS1 CKS0	0 0	R/W R/W	クロックセレクト 1~0 内蔵ポーレートジェネレータのクロックソースを選択します。 00 : Pφクロック (n=0) 01 : Pφ/4 クロック (n=1) 10 : Pφ/16 クロック (n=2) 11 : Pφ/64 クロック (n=3) このビットの設定値とポーレートの関係については、「19.3.9 ビットレートレジスタ (BRR)」を参照してください。nは設定値の10進表示で、「19.3.9 ビットレートレジスタ (BRR)」中のnの値を表します。

• スマートカードインタフェース (SCMRのSMIF=1のとき)

ビット	ビット名	初期値	R/W	説明
7	GM	0	R/W	GSM モード このビットを1にセットするとGSMモードで動作します。GSMモードではTENDのセットタイミングが先頭から11.0etuに前倒しされ、クロック出力制御機能が追加されます。詳細は「19.7.6 データ送信 (ブロック転送モードを除く)」、「19.7.8 クロック出力制御」を参照してください。
6	BLK	0	R/W	このビットを1にセットするとブロック転送モードで動作します。ブロック転送モードについての詳細は「19.7.3 ブロック転送モード」を参照してください。
5	PE	0	R/W	パリティイネーブル (調歩同期式モードのみ有効) このビットが1のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースではこのビットは1にセットして使用してください。

19. シリアルコミュニケーションインタフェース (SCI、IrDA、CRC)

ビット	ビット名	初期値	R/W	説明
4	O/E	0	R/W	<p>パリティモード (調歩同期式モードで PE=1 のときのみ有効)</p> <p>0 : 偶数パリティで送受信します。</p> <p>1 : 奇数パリティで送受信します。</p> <p>スマートカードインタフェースにおけるこのビットの使用方法については「19.7.2 データフォーマット (ブロック転送モード時を除く)」を参照してください。</p>
3 2	BCP1 BCP0	0 0	R/W R/W	<p>基本クロックパルス 1~0</p> <p>スマートカードインタフェースモードにおいて 1 ビット転送期間中の基本クロック数を選択します。</p> <p>00 : 32 クロック (S=32)</p> <p>01 : 64 クロック (S=64)</p> <p>10 : 372 クロック (S=372)</p> <p>11 : 256 クロック (S=256)</p> <p>詳細は、「19.7.4 受信データサンプリングタイミングと受信マージン」を参照してください。S は「19.3.9 ビットレートレジスタ (BRR)」中の S の値を表します。</p>
1 0	CKS1 CKS0	0 0	R/W R/W	<p>クロックセレクト 1~0</p> <p>内蔵ポーレートジェネレータのクロックソースを選択します。</p> <p>00 : Pφクロック (n=0)</p> <p>01 : Pφ/4 クロック (n=1)</p> <p>10 : Pφ/16 クロック (n=2)</p> <p>11 : Pφ/64 クロック (n=3)</p> <p>このビットの設定値とポーレートの関係については、「19.3.9 ビットレートレジスタ (BRR)」を参照してください。n は設定値の 10 進表示で、「19.3.9 ビットレートレジスタ (BRR)」中の n の値を表します。</p>

【注】 etu : Elementary Time Unit、1 ビットの転送期間

19.3.6 シリアルコントロールレジスタ (SCR)

SCR は以下の送受信制御と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。各割り込み要求については「19.9 割り込み要因」を参照してください。SCR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

・ SCMRのSMIF=0のとき

ビット	7	6	5	4	3	2	1	0
ビット名	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

・ SCMRのSMIF=1のとき

ビット	7	6	5	4	3	2	1	0
ビット名	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

● 通常のシリアルコミュニケーションインタフェースモード (SCMRのSMIF=0のとき)

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを1にセットすると、TXI 割り込み要求がイネーブルになります。 TXI 割り込み要求の解除は、TDRE フラグから1をリードした後、0にクリアするか、TIE ビットを0にクリアすることで行うことができます。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを1にセットすると、RXI および ERI 割り込み要求がイネーブルになります。 RXI および ERI 割り込み要求の解除は、RDRF、または FER、PER、ORER の各フラグから1をリードした後、0にクリアするか、RIE ビットを0にクリアすることで行うことができます。
5	TE	0	R/W	トランスミットイネーブル このビットを1にセットすると、送信動作が可能になります。この状態で、TDR に送信データをライトして、SSR の TDRE フラグを0にクリアするとシリアル送信を開始します。なお、TE ビットを1にセットする前に必ず SMR の設定を行い、送信フォーマットを決定してください。 このビットを0にして、送信動作を停止すると、SSR の TDRE フラグは1に固定されます。

19. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

ビット	ビット名	初期値	R/W	説明
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>このビットを1にセットすると、受信動作が可能になります。この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを1にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。</p> <p>このビットを0にして受信動作を停止しても RDRF、または FER、PER、ORER の各フラグは影響を受けず、状態を保持します。</p>
3	MPIE	0	R/W	<p>マルチプロセッサインタラプトイネーブル (調歩同期式モードで SMR の MP =1 のとき有効)</p> <p>このビットを1にセットすると、マルチプロセッサビットが0の受信データは読みとばし、SSR の RDRF、FER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが1のデータを受信すると、このビットは自動的にクリアされ通常の実受信動作に戻ります。詳細は「19.5 マルチプロセッサ通信機能」を参照してください。</p> <p>SSR の MPB=0 を含む受信データを受信しているときは、RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB=1 を含む受信データを受信すると、SSR の MPB を1にセットし、MPIE ビットを自動的に0にクリアし、RXI、ERI 割り込み要求 (SCR の TIE、RIE ビットが1にセットされている場合) と FER、ORER フラグのセットが許可されます。</p>
2	TEIE	0	R/W	<p>トランスミットエンドインタラプトイネーブル</p> <p>このビットを1にセットすると TEI 割り込み要求がイネーブルになります。TEI 割り込み要求の解除は、TDRE フラグから1をリードした後、0にクリアして TEND フラグを0にクリアするか、TEIE ビットを0にクリアすることで行うことができます。</p>
1 0	CKE1 CKE0	0 0	R/W R/W	<p>クロックイネーブル 1、0 (SCI_0、1、3、4 の場合)</p> <p>クロックソースおよび SCK 端子の機能を選択します。</p> <p>調歩同期式の場合</p> <p>00 : 内蔵ポーレートジェネレータ SCK 端子は入出力ポートとして使用できます。</p> <p>01 : 内蔵ポーレートジェネレータ SCK 端子からビットレートと同じ周波数のクロックを出力します。</p> <p>1X : 外部クロック SCK 端子からビットレートの 16 倍の周波数のクロックを入力してください。</p> <p>クロック同期式の場合</p> <p>0X : 内部クロック。SCK 端子はクロック出力端子となります。</p> <p>1X : 外部クロック。SCK 端子はクロック入力端子となります。</p>

19. シリアルコミュニケーションインタフェース (SCI、IrDA、CRC)

ビット	ビット名	初期値	R/W	説明
1 0	CKE1 CKE0	0 0	R/W R/W	<p>クロックイネーブル 1、0 (SCI_2 の場合)</p> <p>クロックソースおよび SCK 端子の機能を選択します。</p> <p>調歩同期式の場合</p> <p>00 : 内蔵ポーレートジェネレータ SCK 端子は入出力ポートとして使用できます。</p> <p>01 : 内蔵ポーレートジェネレータ SCK 端子からビットレートと同じ周波数のクロックを出力します。</p> <p>1X : 外部クロックまたは、平均転送レートジェネレータ</p> <ul style="list-style-type: none"> ・ 外部クロック使用時は、SCK 端子からビットレートの 16 倍の周波数のクロックを入力してください。 ・ 平均転送レートジェネレータ使用時 <p>クロック同期式の場合</p> <p>0X : 内部クロック。SCK 端子はクロック出力端子となります。</p> <p>1X : 外部クロック。SCK 端子はクロック入力端子となります。</p>
1 0	CKE1 CKE0	0 0	R/W R/W	<p>クロックイネーブル 1、0 (SCI_5、6 の場合)</p> <p>クロックソースおよび SCK 端子の機能を選択します。</p> <p>調歩同期式の場合</p> <p>00 : 内蔵ポーレートジェネレータ SCK 端子は入出力ポートとして使用できます。</p> <p>01 : 内蔵ポーレートジェネレータ SCK 端子からビットレートと同じ周波数のクロックを出力します。</p> <p>1X : 外部クロック、TMR クロック入力、または平均転送レートジェネレータ</p> <ul style="list-style-type: none"> ・ 外部クロック使用時は、SCK 端子からビットレートの 16 倍の周波数のクロックを入力してください。 ・ 平均転送レートジェネレータ使用時 ・ TMR クロック入力使用時 <p>クロック同期式の場合</p> <p>0X : 内部クロック。SCK 端子はクロック出力端子となります。</p> <p>1X : 外部クロック。SCK 端子はクロック入力端子となります。</p>

【注】 X : Don't care

19. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

• スマートカードインタフェース (SCMRのSMIF=1のとき)

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	<p>トランスミットインタラプトイネーブル</p> <p>このビットを1にセットすると、TXI 割り込み要求がイネーブルになります。TXI 割り込み要求の解除は、TDRE フラグから1をリードした後、0にクリアするか、TIE ビットを0にクリアすることで行うことができます。</p>
6	RIE	0	R/W	<p>レシーブインタラプトイネーブル</p> <p>このビットを1にセットすると、RXI および ERI 割り込み要求がイネーブルになります。</p> <p>RXI および ERI 割り込み要求の解除は、RDRF、または FER、PER、ORER の各フラグから1をリードした後、0にクリアするか、RIE ビットを0にクリアすることで行うことができます。</p>
5	TE	0	R/W	<p>トランスミットイネーブル</p> <p>このビットを1にセットすると、送信動作が可能になります。この状態で、TDR に送信データをライトして、SSR の TDRE フラグを0にクリアするとシリアル送信を開始します。なお、TE ビットを1にセットする前に必ず SMR の設定を行い、送信フォーマットを決定してください。</p> <p>このビットを0にして、送信動作を停止すると、SSR の TDRE フラグは1に固定されます。</p>
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>このビットを1にセットすると、受信動作が可能になります。この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを1にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。</p> <p>このビットを0にして受信動作を停止しても、RDRF、または FER、PER、ORER の各フラグは影響を受けず、状態を保持します。</p>
3	MPIE	0	R/W	<p>マルチプロセッサインタラプトイネーブル (調歩同期式モードで SMR の MP =1 のとき有効)</p> <p>スマートカードインタフェースではこのビットには0をライトして使用してください。</p>
2	TEIE	0	R/W	<p>トランスミットエンドインタラプトイネーブル</p> <p>スマートカードインタフェースではこのビットには0をライトして使用してください。</p>

19. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

ビット	ビット名	初期値	R/W	説明
1	CKE1	0	R/W	クロックイネーブル 1~0
0	CKE0	0	R/W	SCK 端子からのクロック出力を制御します。GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は「19.7.8 クロック出力制御」を参照してください。 SMR の GM=0 の場合 00 : 出力ディスエーブル (SCK 端子は入出力ポートとして使用可) 01 : クロック出力 1X : リザーブ SMR の GM=1 の場合 00 : Low 出力固定 01 : クロック出力 10 : High 出力固定 11 : クロック出力

19.3.7 シリアルステータスレジスタ (SSR)

SSR は SCI のステータスフラグと送受信マルチプロセッサビットで構成されます。TDRE、RDRF、ORER、PER、FER はクリアのみ可能です。SSR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

・ SCMRのSMIF=0のとき

ビット	7	6	5	4	3	2	1	0
ビット名	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値 :	1	0	0	0	0	1	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

・ SCMRのSMIF=1のとき

ビット	7	6	5	4	3	2	1	0
ビット名	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
初期値 :	1	0	0	0	0	1	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

• 通常のシリアルコミュニケーションインタフェースモード (SCMRのSMIF=0のとき)

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)*	<p>トランスミットデータレジスタEMPTY TDR 内の送信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> SCR の TE が 0 のとき TDR から TSR にデータが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。) TXI 割り込み要求により DMAC または DTC で TDR へ送信データを転送したとき
6	RDRF	0	R/(W)*	<p>レシーブデータレジスタフル RDR 内の受信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 受信が正常終了し、RSR から RDR へ受信データが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。) RXI 割り込みにより DMAC または DTC で RDR からデータを転送したとき <p>SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。 RDRF フラグが 1 にセットされたまま次のデータを受信完了すると、オーバーランエラーが発生し、受信データが失われますので注意してください。</p>
5	ORER	0	R/(W)*	<p>オーバーランエラー 受信時にオーバーランエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> RDRF=1 の状態で次のデータを受信したとき RDR ではオーバーランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグに 1 がセットされた状態では、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることはできません。 <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。) <p>SCR の RE をクリアしても、ORER は影響を受けず以前の状態を保持します。</p>

19. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

ビット	ビット名	初期値	R/W	説明
4	FER	0	R/(W)*	<p>フレーミングエラー</p> <p>調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> ストップビットが0のとき <p>2ストップモードのときは、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。さらに、FERフラグが1にセットされた状態では、以降のシリアル受信を続けることができません。クロック同期式モードでは、シリアル送信も続けることはできません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 1の状態をリードした後、0をライトしたとき <p>(割り込みを使用しCPUによってクリアする場合、0ライト後に必ずフラグをリードしてください。)</p> <p>SCRのREをクリアしても、FERは影響を受けず以前の状態を保持します。</p>
3	PER	0	R/(W)*	<p>パリティエラー</p> <p>調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 受信中にパリティエラーを検出したとき <p>パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。なお、PERフラグが1にセットされた状態では、以降のシリアル受信を続けることはできません。クロック同期式モードでは、シリアル送信も続けることはできません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 1の状態をリードした後、0をライトしたとき <p>(割り込みを使用しCPUによってクリアする場合、0ライト後に必ずフラグをリードしてください。)</p> <p>SCRのREをクリアしても、PERは影響を受けず以前の状態を保持します。</p>
2	TEND	1	R	<p>トランスミットエンド</p> <p>[セット条件]</p> <ul style="list-style-type: none"> SCRのTEが0のとき 送信キャラクタの最後尾ビットの送信時、TDREが1のとき <p>[クリア条件]</p> <ul style="list-style-type: none"> TDRE=1の状態をリードした後、TDREフラグに0をライトしたとき。 TXI割り込み要求によりDMACまたはDTCでTDRへ送信データをライトしたとき

19. シリアルコミュニケーションインタフェース (SCI、IrDA、CRC)

ビット	ビット名	初期値	R/W	説明
1	MPB	0	R	マルチプロセッサビット 受信フレーム中のマルチプロセッサビットの値が格納されます。SCR の RE が 0 のときは変化しません。
0	MPBT	0	R/W	マルチプロセッサビットトランスファ 送信フレームに付加するマルチプロセッサビットの値を設定します。

【注】 * フラグをクリアするための 0 ライトのみ可能です。

• スマートカードインタフェース (SCMRのSMIF=1のとき)

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)*	トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。 [セット条件] <ul style="list-style-type: none"> SCR の TE が 0 のとき TDR から TSR にデータが転送されたとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。) TXI 割り込み要求により DMAC または DTC で TDR へ送信データを転送したとき
6	RDRF	0	R/(W)*	レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 [セット条件] <ul style="list-style-type: none"> 受信が正常終了し、RSR から RDR へ受信データが転送されたとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。) RXI 割り込みにより DMAC または DTC で RDR からデータを転送したとき SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。 RDRF フラグが 1 にセットされたまま次のデータを受信完了すると、オーバーランエラーが発生し、受信データが失われますので注意してください。

19. シリアルコミュニケーションインタフェース (SCI、IrDA、CRC)

ビット	ビット名	初期値	R/W	説明
5	ORER	0	R/(W)*	<p>オーバランエラー</p> <p>受信時にオーバランエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> RDRF=1 の状態で次のデータを受信したとき <p>RDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグに 1 がセットされた状態では、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることはできません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき <p>(割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)</p> <p>SCR の RE をクリアしても、ORER は影響を受けず以前の状態を保持します。</p>
4	ERS	0	R/(W)*	<p>エラーシグナルステータス</p> <p>[セット条件]</p> <ul style="list-style-type: none"> エラーシグナル Low をサンプリングしたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき
3	PER	0	R/(W)*	<p>パリティエラー</p> <p>調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 受信中にパリティエラーを検出したとき <p>パリティエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。なお、PER フラグが 1 にセットされた状態では、以降のシリアル受信を続けることはできません。クロック同期式モードでは、シリアル送信も続けることはできません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき <p>(割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)</p> <p>SCR の RE をクリアしても、PER は影響を受けず以前の状態を保持します。</p>

19. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

ビット	ビット名	初期値	R/W	説明
2	TEND	1	R	<p>トランスミットエンド</p> <p>受信側からのエラーシグナルの応答がなく、次の送信データを TDR に転送可能になったときセットされます。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCR の TE=0 かつ ESR=0 のとき • 1 バイトのデータを送信して一定期間後、ESR=0 かつ TDRE=1 のとき。 <p>セットされるタイミングはレジスタの設定により以下のように異なります。</p> <p>GM=0、BLK=0 のとき、送信開始から 2.5etu 後</p> <p>GM=0、BLK=1 のとき、送信開始から 1.5etu 後</p> <p>GM=1、BLK=0 のとき、送信開始から 1.0etu 後</p> <p>GM=1、BLK=1 のとき、送信開始から 1.0etu 後</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • TDRE=1 の状態をリードした後、TDRE フラグに 0 をライトしたとき。 • TXI 割り込み要求により DMAC または DTC で TDR へ送信データをライトしたとき
1	MPB	0	R	<p>マルチプロセッサビット</p> <p>スマートカードインタフェースでは使用しません。</p>
0	MPBT	0	R/W	<p>マルチプロセッサビットトランスファ</p> <p>スマートカードインタフェースではこのビットには 0 をライトして使用してください。</p>

【注】 * フラグをクリアするための 0 ライトのみ可能です。

19.3.8 スマートカードモードレジスタ (SCMR)

SCMR はスマートカードインタフェースおよびそのフォーマットを選択するためのレジスタです。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	SDIR	SINV	—	SMIF
初期値 :	1	1	1	1	0	0	1	0
R/W :	—	—	—	—	R/W	R/W	—	R/W

ビット	ビット名	初期値	R/W	説明
7~4	—	すべて 1	—	リザーブビット リードすると常に 1 がリードされます。
3	SDIR	0	R/W	スマートカードデータトランスファディレクション シリアル/パラレル変換の方向を選択します。 0 : LSB ファーストで送受信 1 : MSB ファーストで送受信 送受信フォーマットが 8 ビットデータの場合のみ有効です。7 ビットデータの場合は LSB ファーストに固定されます。
2	SINV	0	R/W	スマートカードデータインバート 送受信データのロジックレベルを反転します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は SMR の O/E ビットを反転してください。 0 : TDR の内容をそのまま送信、受信データをそのまま RDR に格納 1 : TDR の内容を反転して送信、受信データを反転して RDR に格納
1	—	1	—	リザーブビット リードすると常に 1 がリードされます。
0	SMIF	0	R/W	スマートカードインタフェースモードセレクト スマートカードインタフェースモードで動作させるとき 1 をセットします。 0 : 通常の調歩同期式またはクロック同期式モード 1 : スマートカードインタフェースモード

19.3.9 ビットレートレジスタ (BRR)

BRR はビットレートを調整するための 8 ビットのレジスタです。SCI はチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、クロック同期式モード、スマートカードインタフェースモードにおける BRR の設定値 N とビットレート B の関係を表 19.3 に示します。BRR の初期値は H'FF で、CPU から常にリード/ライト可能です。

表 19.3 BRR の設定値 N とビットレート B の関係

モード	ABCSビット	BRRの設定値	誤差
調歩同期式	0	$N = \frac{P\phi \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	$\text{誤差 (\%)} = \left\{ \frac{P\phi \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	$N = \frac{P\phi \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	$\text{誤差 (\%)} = \left\{ \frac{P\phi \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式		$N = \frac{P\phi \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	
スマートカード インタフェース		$N = \frac{P\phi \times 10^6}{S \times 2^{2n+1} \times B} - 1$	$\text{誤差 (\%)} = \left\{ \frac{P\phi \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$

【注】 B: ビットレート (bit/s)

N: ボーレートジェネレータの BRR の設定値 ($0 \leq N \leq 255$)

Pφ: 動作周波数 (MHz)

n と S: 下表のとおり SMR の設定値によって決まります。

SMR の設定値		n
CKS1	CKS0	
0	0	0
0	1	1
1	0	2
1	1	3

SMR の設定値		S
BCP1	BCP0	
0	0	32
0	1	64
1	0	372
1	1	256

通常の調歩同期式モードにおける BRR の値 N の設定例を表 19.4 に、各動作周波数における設定可能な最大ビットレートを表 19.5 に示します。また、クロック同期式モードにおける BRR の値 N の設定例を表 19.7 に、スマートカードインタフェースにおける BRR の値 N の設定例を表 19.9 に示します。スマートカードインタフェースでは 1 ビット転送期間の基本クロック数 S を選択できます。詳細は「19.7.4 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 19.6、表 19.8 に外部クロック入力時の最大ビットレートを示します。

調歩同期モードで SCI_2、5、6 のシリアル拡張モードレジスタ_2、5、6 (SEMR_2、5、6) の ABCS ビットを 1 にセットしたときのビットレートは表 19.4 の 2 倍になります。

19. シリアルコミュニケーションインタフェース (SCI、IrDA、CRC)

表 19.4 ビットレートに対する BRR の設定例 [調歩同期式モード] (1)

ビットレート (bit/s)	動作周波数 P ϕ (MHz)											
	8			9.8304			10			12		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00
38400	-	-	-	0	7	0.00	0	7	1.73	0	9	-2.34

ビットレート (bit/s)	動作周波数 P ϕ (MHz)											
	12.288			14			14.7456			16		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	217	0.08	2	248	-0.17	3	64	0.70	3	70	0.03
150	2	159	0.00	2	181	0.16	2	191	0.00	2	207	0.16
300	2	79	0.00	2	90	0.16	2	95	0.00	2	103	0.16
600	1	159	0.00	1	181	0.16	1	191	0.00	1	207	0.16
1200	1	79	0.00	1	90	0.16	1	95	0.00	1	103	0.16
2400	0	159	0.00	0	181	0.16	0	191	0.00	0	207	0.16
4800	0	79	0.00	0	90	0.16	0	95	0.00	0	103	0.16
9600	0	39	0.00	0	45	-0.93	0	47	0.00	0	51	0.16
19200	0	19	0.00	0	22	-0.93	0	23	0.00	0	25	0.16
31250	0	11	2.40	0	13	0.00	0	14	-1.70	0	15	0.00
38400	0	9	0.00	-	-	-	0	11	0.00	0	12	0.16

【注】 SCI_2、5、6 では SEMR_2、5、6 の ABCS=0 のときの例です。

ABCS=1 に設定したときは、ビットレートが 2 倍になります。

19. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

表 19.4 ビットレートに対する BRR の設定例 [調歩同期式モード] (2)

ビットレート (bit/s)	動作周波数 P ϕ (MHz)											
	17.2032			18			19.6608			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	75	0.48	3	79	-0.12	3	86	0.31	3	88	-0.25
150	2	223	0.00	2	233	0.16	2	255	0.00	3	64	0.16
300	2	111	0.00	2	116	0.16	2	127	0.00	2	129	0.16
600	1	223	0.00	1	233	0.16	1	255	0.00	2	64	0.16
1200	1	111	0.00	1	116	0.16	1	127	0.00	1	129	0.16
2400	0	223	0.00	0	233	0.16	0	255	0.00	1	64	0.16
4800	0	111	0.00	0	116	0.16	0	127	0.00	0	129	0.16
9600	0	55	0.00	0	58	-0.69	0	63	0.00	0	64	0.16
19200	0	27	0.00	0	28	1.02	0	31	0.00	0	32	-1.36
31250	0	16	1.20	0	17	0.00	0	19	-1.70	0	19	0.00
38400	0	13	0.00	0	14	-2.34	0	15	0.00	0	15	1.73

ビットレート (bit/s)	動作周波数 P ϕ (MHz)											
	25			30			33			35		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	110	-0.02	3	132	0.13	3	145	0.33	3	154	0.23
150	3	80	0.47	3	97	-0.35	3	106	0.39	3	113	-0.06
300	2	162	-0.15	2	194	0.16	2	214	-0.07	2	227	-0.06
600	2	80	0.47	2	97	-0.35	2	106	0.39	2	113	-0.06
1200	1	162	-0.15	1	194	0.16	1	214	-0.07	1	227	-0.06
2400	1	80	0.47	1	97	-0.35	1	106	0.39	1	113	-0.06
4800	0	162	-0.15	0	194	0.16	0	214	-0.07	0	227	-0.06
9600	0	80	0.47	0	97	-0.35	0	106	0.39	0	113	-0.06
19200	0	40	-0.76	0	48	-0.35	0	53	-0.54	0	56	-0.06
31250	0	24	0.00	0	29	0	0	32	0	0	34	0.00
38400	0	19	1.73	0	23	1.73	0	26	-0.54	0	27	1.73

【注】 SCI_2、5、6 では SEMR_2、5、6 の ABCS=0 のときの例です。

ABCS=1 に設定したときは、ビットレートが 2 倍になります。

19. シリアルコミュニケーションインタフェース (SCI、IrDA、CRC)

表 19.5 各動作周波数における最大ビットレート (調歩同期式モード)

Pφ (MHz)	最大ビットレート (bit/s)	n	N	Pφ (MHz)	最大ビットレート (bit/s)	n	N
8	250000	0	0	17.2032	537600	0	0
9.8304	307200	0	0	18	562500	0	0
10	312500	0	0	19.6608	614400	0	0
12	375000	0	0	20	625000	0	0
12.288	384000	0	0	25	781250	0	0
14	437500	0	0	30	937500	0	0
14.7456	460800	0	0	33	1031250	0	0
16	500000	0	0	35	1093750	0	0

表 19.6 外部クロック入力時の最大ビットレート (調歩同期式モード)

Pφ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)	Pφ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
8	2.0000	125000	17.2032	4.3008	268800
9.8304	2.4576	153600	18	4.5000	281250
10	2.5000	156250	19.6608	4.9152	307200
12	3.0000	187500	20	5.0000	312500
12.288	3.0720	192000	25	6.2500	390625
14	3.5000	218750	30	7.5000	468750
14.7456	3.6864	230400	33	8.2500	515625
16	4.0000	250000	35	8.7500	546875

【注】 SCI_2、5、6 では、SEMR_2、5、6 の ABCS=0 のときの例です。

ABCS=1 に設定したときは、ビットレートが 2 倍になります。

表 19.7 ビットレートに対する BRR の設定例 [クロック同期式モード]

ビット レート (bit/s)	動作周波数 Pφ (MHz)															
	8		10		16		20		25		30		33		35	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110																
250	3	124	—	—	3	249										
500	2	249	—	—	3	124	—	—			3	233				
1k	2	124	—	—	2	249	—	—	3	97	3	116	3	128	3	136
2.5k	1	199	1	249	2	99	2	124	2	155	2	187	2	205	2	218
5k	1	99	1	124	1	199	1	249	2	77	2	93	2	102	2	108
10k	0	199	0	249	1	99	1	124	1	155	1	187	1	205	1	218
25k	0	79	0	99	0	159	0	199	0	249	1	74	1	82	1	87
50k	0	39	0	49	0	79	0	99	0	124	0	149	0	164	0	174
100k	0	19	0	24	0	39	0	49	0	62	0	74	0	82	0	87
250k	0	7	0	9	0	15	0	19	0	24	0	29	0	32	0	34
500k	0	3	0	4	0	7	0	9	—	—	0	14	—	—	—	—
1M	0	1			0	3	0	4	—	—	—	—	—	—	—	—
2.5M			0	0*			0	1	—	—	0	2	—	—	—	—
5M							0	0*	—	—	—	—	—	—	—	—

【記号説明】

空欄 : 設定できません。

— : 設定可能ですが誤差がでます。

【注】 * 連続送信/連続受信はできません。

表 19.8 外部クロック入力時の最大ビットレート (クロック同期式モード)

Pφ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)	Pφ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
8	1.3333	1333333.3	20	3.3333	3333333.3
10	1.6667	1666666.7	25	4.1667	4166666.7
12	2.0000	2000000.0	30	5.0000	5000000.0
14	2.3333	2333333.3	33	5.5000	5500000.0
16	2.6667	2666666.7	35	5.8336	5833625.0
18	3.0000	3000000.0			

19. シリアルコミュニケーションインタフェース (SCI、IrDA、CRC)

表 19.9 ビットレートに対する BRR の設定例
(スマートカードインタフェースモードで n=0、S=372 のとき)

ビットレート (bit/s)	動作周波数 P ϕ (MHz)											
	7.1424			10.00			10.7136			13.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	0	0.00	0	1	30	0	1	25	0	1	8.99

ビットレート (bit/s)	動作周波数 P ϕ (MHz)											
	14.2848			16.00			18.00			20.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	1	0.00	0	1	12.01	0	2	15.99	0	2	6.66

ビットレート (bit/s)	動作周波数 P ϕ (MHz)											
	25.00			30.00			33.00			35.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	3	12.49	0	3	5.01	0	4	7.59	0	4	1.99

表 19.10 各動作周波数における最大ビットレート
(スマートカードインタフェースモードで S=372 のとき)

P ϕ (MHz)	最大ビットレート (bit/s)	n	N	P ϕ (MHz)	最大ビットレート (bit/s)	n	N
7.1424	9600	0	0	18.00	24194	0	0
10.00	13441	0	0	20.00	26882	0	0
10.7136	14400	0	0	25.00	33602	0	0
13.00	17473	0	0	30.00	40323	0	0
14.2848	19200	0	0	33.00	44355	0	0
16.00	21505	0	0	35.00	47043	0	0

19.3.10 シリアル拡張モードレジスタ₂ (SEMR₂)

SEMR₂ は、SCI₂ の調歩同期式モード時のクロックソースを選択するためのレジスタです。平均転送レートを選択より基本クロックが自動設定できます。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	ABCS	ACS2	ACS1	ACS0
初期値 :	不定	不定	不定	不定	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~4	—	すべて不定	R	リザーブビット リードすると不定値が読み出されます。ライトは無効です。
3	ABCS	0	R/W	調歩同期基本クロックセレクト (調歩同期式モードのみ有効) 1 ビット期間の基本クロックを選択します。 0 : 転送レートの 16 倍の周波数の基本クロックで動作 1 : 転送レートの 8 倍の周波数の基本クロックで動作
2	ACS2	0	R/W	調歩同期クロックソースセレクト (調歩同期式モードで CKE1=1 のとき有効) 平均転送レートのクロックソースを選択します。平均転送レート選択時は、ABCS ビットの値に関係なく基本クロックが自動設定されます。 000 : 外部クロック入力 001 : Pφ = 10.667MHz 専用の平均転送レート 115.192kbps を選択 (転送レートの 16 倍の周波数の基本クロックで動作) 010 : Pφ = 10.667MHz 専用の平均転送レート 460.784kbps を選択 (転送レートの 8 倍の周波数の基本クロックで動作) 011 : Pφ = 32MHz 専用の平均転送レート 720kbps を選択 (転送レートの 16 倍の周波数の基本クロックで動作) 100 : 設定禁止 101 : Pφ = 16MHz 専用の平均転送レート 115.192kbps を選択 (転送レートの 16 倍の周波数の基本クロックで動作) 110 : Pφ = 16MHz 専用の平均転送レート 460.784kbps を選択 (転送レートの 16 倍の周波数の基本クロックで動作) 111 : Pφ = 16MHz 専用の平均転送レート 720kbps を選択 (転送レートの 8 倍の周波数の基本クロックで動作) 平均転送レートは、10.667MHz、16MHz または 32MHz の動作周波数以外には対応していません。
1	ACS1	0	R/W	
0	ACS0	0	R/W	

19.3.11 シリアル拡張モードレジスタ_5、6 (SEMR_5、6)

SEMR_5、6は、SCI_5、6の調歩同期式モード時のクロックソースを選択するためのレジスタです。平均転送レートを選択より基本クロックが自動設定できます。TMR ユニット 2、3 の TMO 出力をシリアル転送ベースクロックに設定することもできます。

平均転送レートが選択されたときの基本クロック例を図 19.3 に、TMR の TMO 出力を選択したときの設定例を図 19.4 に示します。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	ABCS	ACS3	ACS2	ACS1	ACS0
初期値:	不定	不定	不定	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~5	—	すべて不定	R	リザーブビット リードすると不定値が読み出されます。ライトは無効です。
4	ABCS	0	R/W	調歩同期基本クロックセレクト (調歩同期式モードのみ有効) 1 ビット期間の基本クロックを選択します。 0: 転送レートの 16 倍の周波数の基本クロックで動作 1: 転送レートの 8 倍の周波数の基本クロックで動作

19. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

ビット	ビット名	初期値	R/W	説明									
3	ACS3	0	R/W	<p>調歩同期クロックソースセレクト</p> <p>調歩同期式モードにおける、クロックソースを選択します。平均転送レートを選択したときは、ABCS の設定に関係なく基本クロックが自動設定されます。また、平均転送レートは、8MHz、10.667MHz、12MHz、16MHz、24MHz、32MHz の動作周波数に対応しています。それ以外には対応していません。</p> <p>ACS3~0 は調歩同期式モード (SMR レジスタの C/A ビット=0) で、外部クロック入力 (SCR レジスタの CKE1 ビット=1) のときに有効です。図 19.3、図 19.4 に設定例を示します。</p> <p>ACS 3 2 1 0</p> <p>0 0 0 0 : 外部クロック入力</p> <p>0 0 0 1 : Pφ=10.667MHz 専用の平均転送レート 115.152kbps を選択 (転送レートの 16 倍の周波数の基本クロックで動作)</p> <p>0 0 1 0 : Pφ=10.667MHz 専用の平均転送レート 460.606kbps を選択 (転送レートの 8 倍の周波数の基本クロックで動作)</p> <p>0 0 1 1 : Pφ=16MHz 専用の平均転送レート 921.569kbps を選択 または、Pφ=8MHz の平均転送レート 460.784kbps を選択 (転送レートの 8 倍の周波数の基本クロックで動作)</p> <p>0 1 0 0 TMR クロック入力 TMR のコンペアマッチ出力を基本クロックにできます。 SCI チャンネルとコンペアマッチ出力の対応を示します</p> <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>SCI チャンネル</th> <th>TMR ユニット</th> <th>コンペアマッチ出力</th> </tr> </thead> <tbody> <tr> <td>SCI_5</td> <td>ユニット 2</td> <td>TMO4、5</td> </tr> <tr> <td>SCI_6</td> <td>ユニット 3</td> <td>TMO6、7</td> </tr> </tbody> </table> <p>0 1 0 1 : Pφ=16MHz 専用の平均転送レート 115.196kbps を選択 (転送レートの 16 倍の周波数の基本クロックで動作)</p> <p>0 1 1 0 : Pφ=16MHz 専用の平均転送レート 460.784kbps を選択 (転送レートの 16 倍の周波数の基本クロックで動作)</p> <p>0 1 1 1 : Pφ=16MHz 専用の平均転送レート 720kbps を選択 (転送レートの 8 倍の周波数の基本クロックで動作)</p> <p>1 0 0 0 : Pφ=24MHz 専用の平均転送レート 115.132kbps を選択 (転送レートの 16 倍の周波数の基本クロックで動作)</p> <p>1 0 0 1 : Pφ=24MHz 専用の平均転送レート 460.526kbps を選択 または、Pφ=12MHz の平均転送レート 230.263kbps を選択 (転送レートの 16 倍の周波数の基本クロックで動作)</p> <p>1 0 1 0 : Pφ=24MHz 専用の平均転送レート 720kbps を選択 (転送レートの 8 倍の周波数の基本クロックで動作)</p> <p>1 0 1 1 : Pφ=24MHz 専用の平均転送レート 921.053kbps を選択 または、Pφ=12MHz の平均転送レート 460.526kbps を選択 (転送レートの 8 倍の周波数の基本クロックで動作)</p> <p>1 1 0 0 : Pφ=32MHz 専用の平均転送レート 720kbps を選択 (転送レートの 16 倍の周波数の基本クロックで動作)</p> <p>1 1 0 1 リザーブ (設定禁止)</p> <p>1 1 1 x リザーブ (設定禁止)</p>	SCI チャンネル	TMR ユニット	コンペアマッチ出力	SCI_5	ユニット 2	TMO4、5	SCI_6	ユニット 3	TMO6、7
SCI チャンネル	TMR ユニット	コンペアマッチ出力											
SCI_5	ユニット 2	TMO4、5											
SCI_6	ユニット 3	TMO6、7											
2	ACS2	0	R/W										
1	ACS1	0	R/W										
0	ACS0	0	R/W										

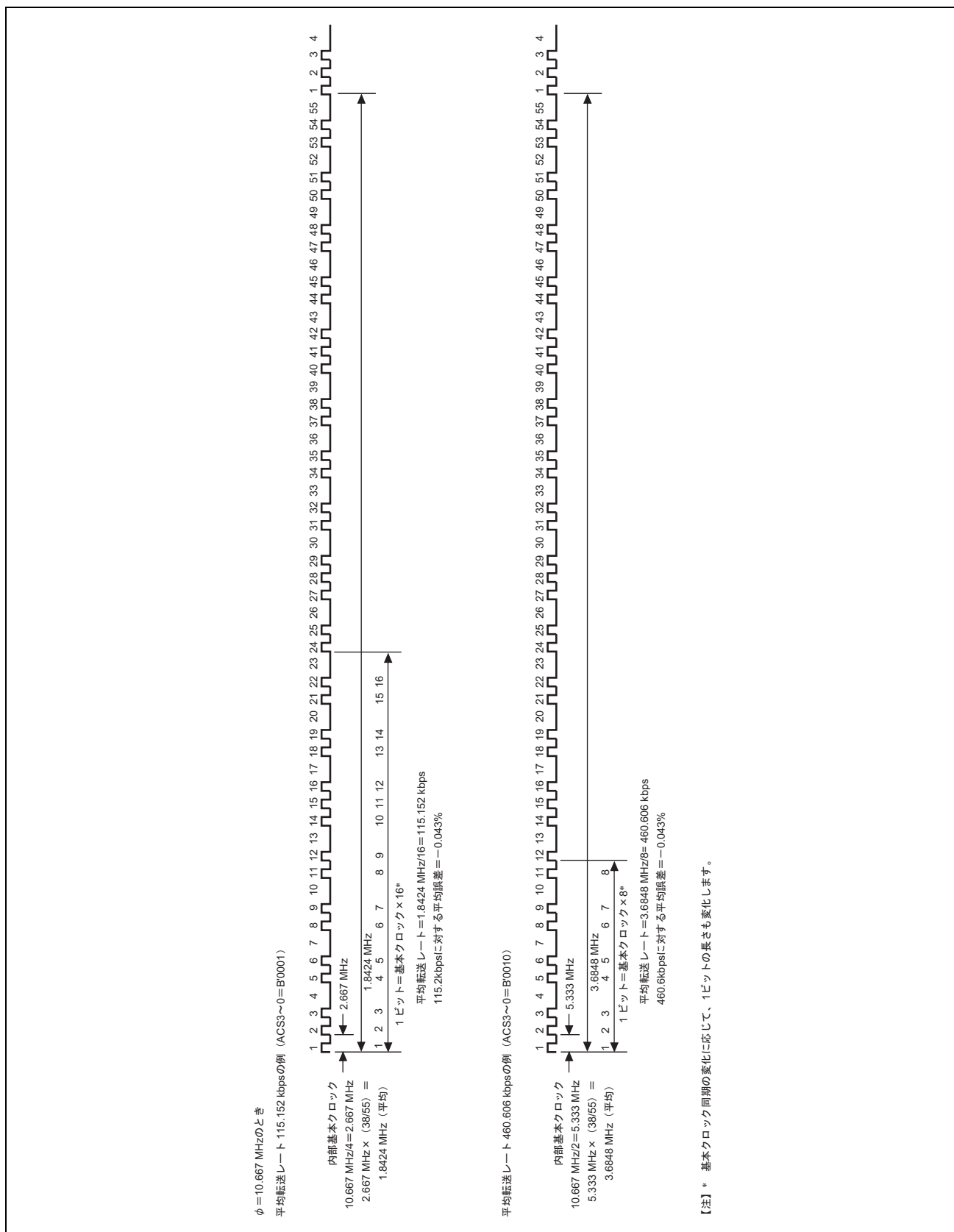


図 19.3 平均転送レートが選択されたときの基本クロック例 (1)

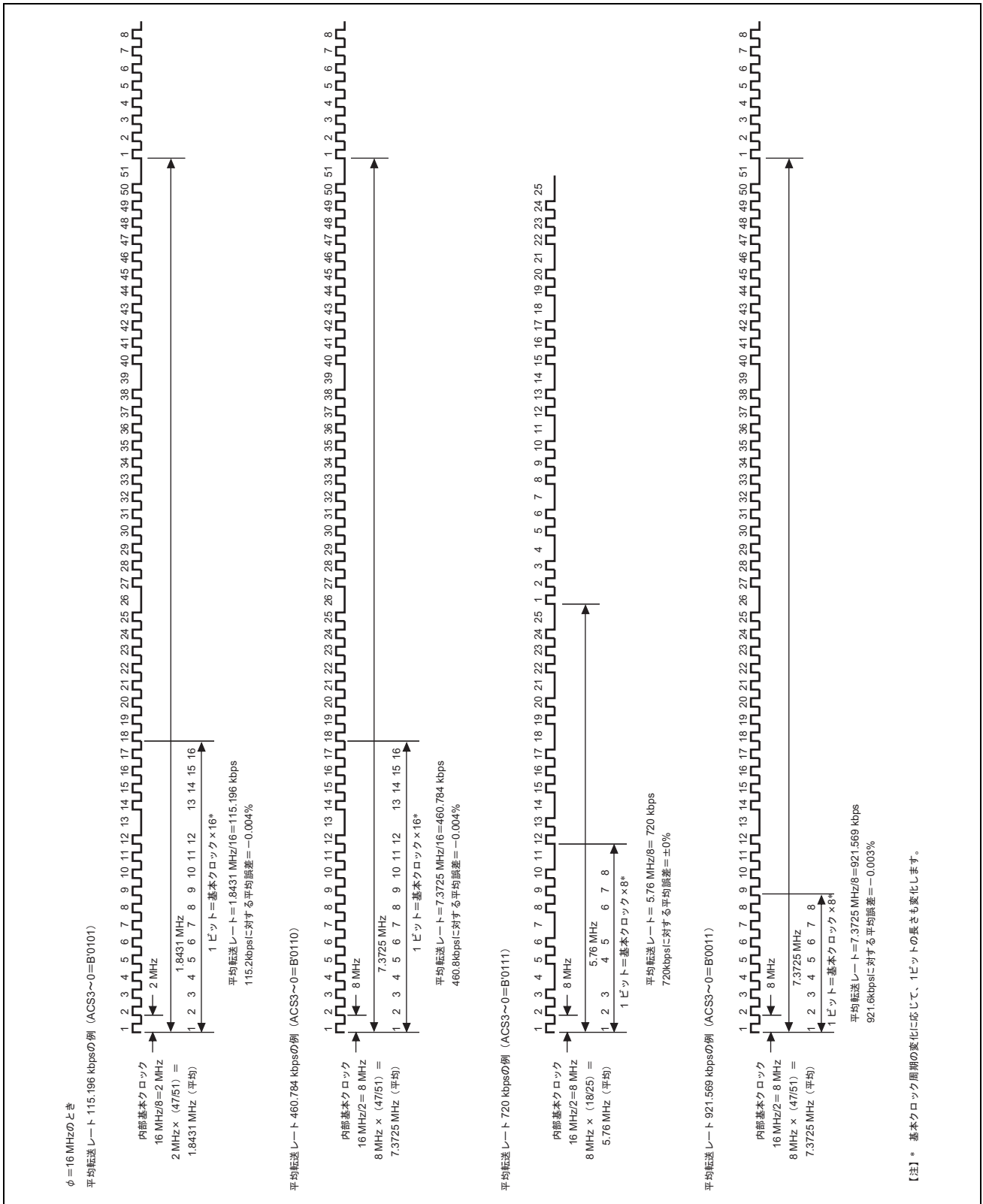


図 19.3 平均転送レートが選択されたときの基本クロック例 (2)

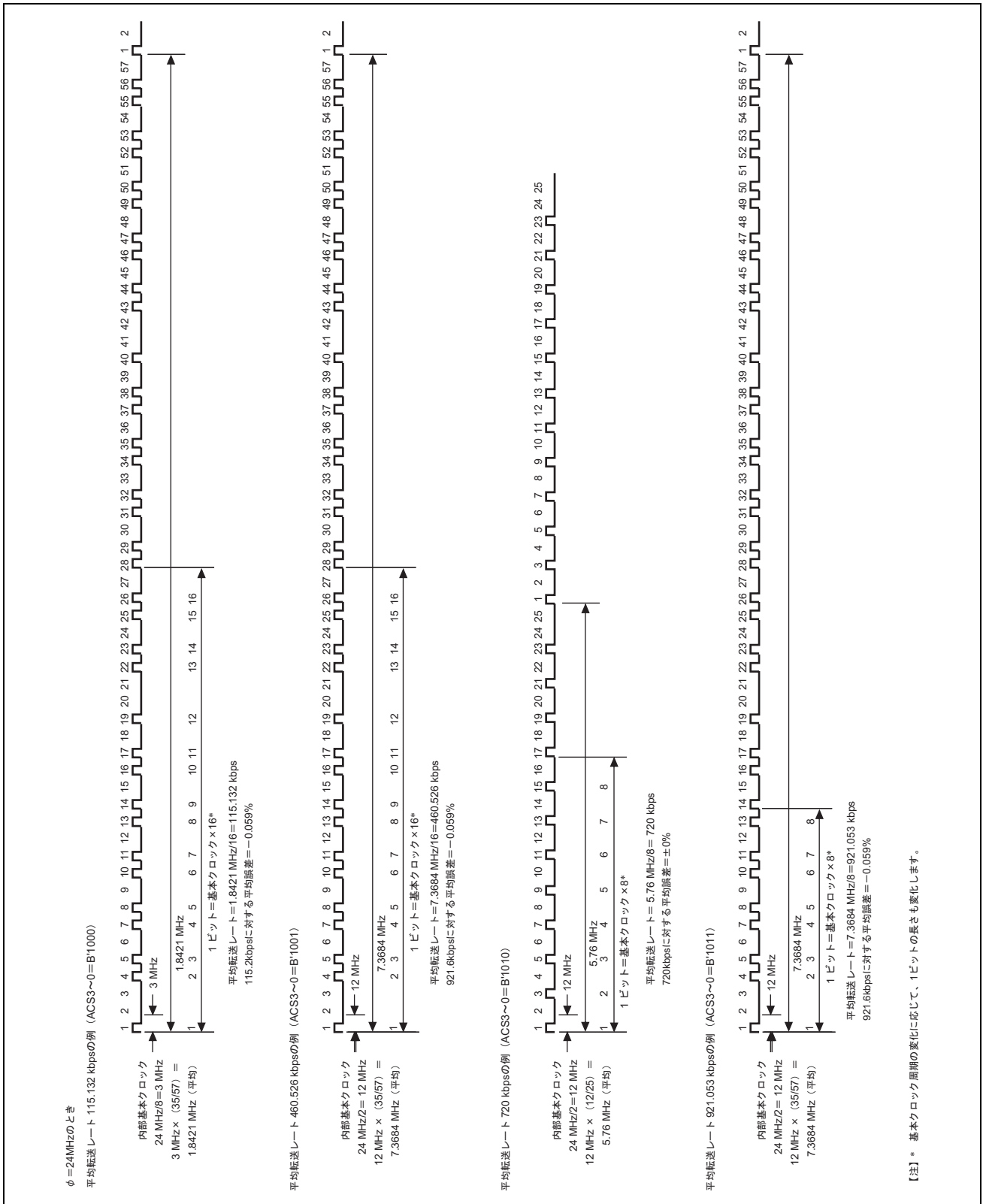


図 19.3 平均転送レートが選択されたときの基本クロック例 (3)

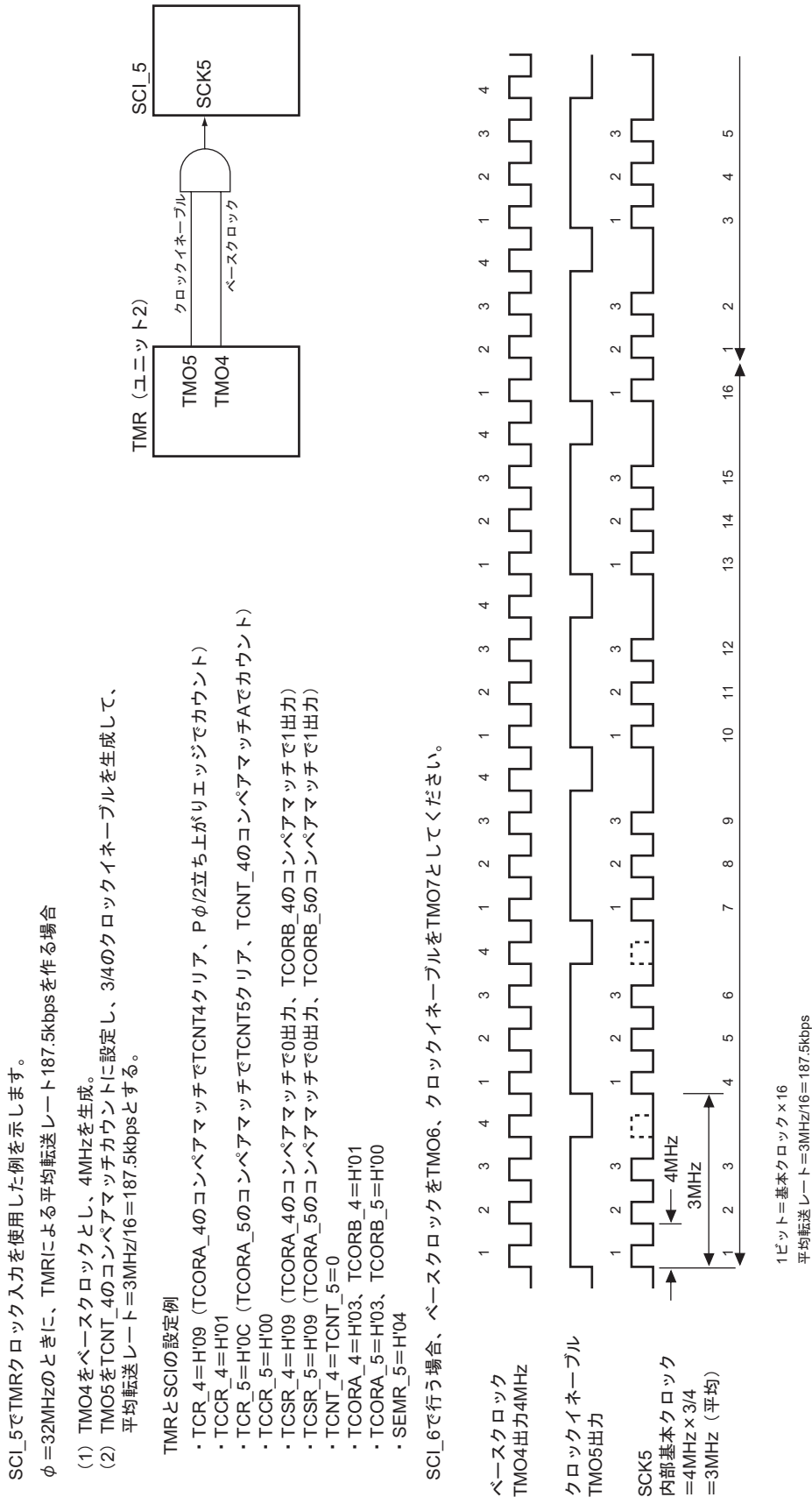


図 19.4 TMR クロック入力時の平均転送レート設定例

19.3.12 IrDA コントロールレジスタ (IrCR)

IrCR は、SCI_5 の機能の選択を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	IrE	IrCKS2	IrCKS1	IrCKS0	IrTxINV	IrRxINV	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	—	—

ビット	ビット名	初期値	R/W	説明
7	IrE	0	R/W	IrDA イネーブル* SCI_5 の入出力を通常の SCI か IrDA かに設定します。 0 : TxD5/IrTxD、RxD5/IrRxD 端子は、TxD5、RxD5 として動作 1 : TxD5/IrTxD、RxD5/IrRxD 端子は、IrTxD、IrRxD として動作
6	IrCKS2	0	R/W	IrDA クロックセレクト 2~0 IrDA 機能をイネーブルにしたとき、IrTxD 出力パルスエンコード時の High パルス幅を設定します。 000 : パルス幅=B×3/16 (ビットレートの 3/16) 001 : パルス幅=Pφ/2 010 : パルス幅=Pφ/4 011 : パルス幅=Pφ/8 100 : パルス幅=Pφ/16 101 : パルス幅=Pφ/32 110 : パルス幅=Pφ/64 111 : パルス幅=Pφ/128
5	IrCKS1	0	R/W	
4	IrCKS0	0	R/W	
3	IrTxINV	0	R/W	
2	IrRxINV	0	R/W	IrRx データインバート IrRxD 入力のロジックレベルの反転を指定します。反転したときビット 6~4 で指定した High パルス幅は Low パルス幅となります。 0 : IrRxD 入力をそのまま受信データとして使用 1 : IrRxD 入力を反転して受信データとして使用
1、0	—	すべて 0	—	リザーブビット リードすると常に 0 がリードされます。ライトは無効です。

【注】 * IrDA 機能は、SEMR_5 の ABCS=0、ACS3~ACS0=B'0000 の状態で使用してください。

19.4 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なフォーマットを図 19.5 に示します。1 フレームは、スタートビット (Low レベル) から始まり送受信データ、パリティビット、ストップビット (High レベル) の順で構成されます。調歩同期式シリアル通信では、通信回線は通常マーク状態 (High レベル) に保たれています。SCI は通信回線を監視し、スペース (Low レベル) を検出するとスタートビットとみなしてシリアル通信を開始します。SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

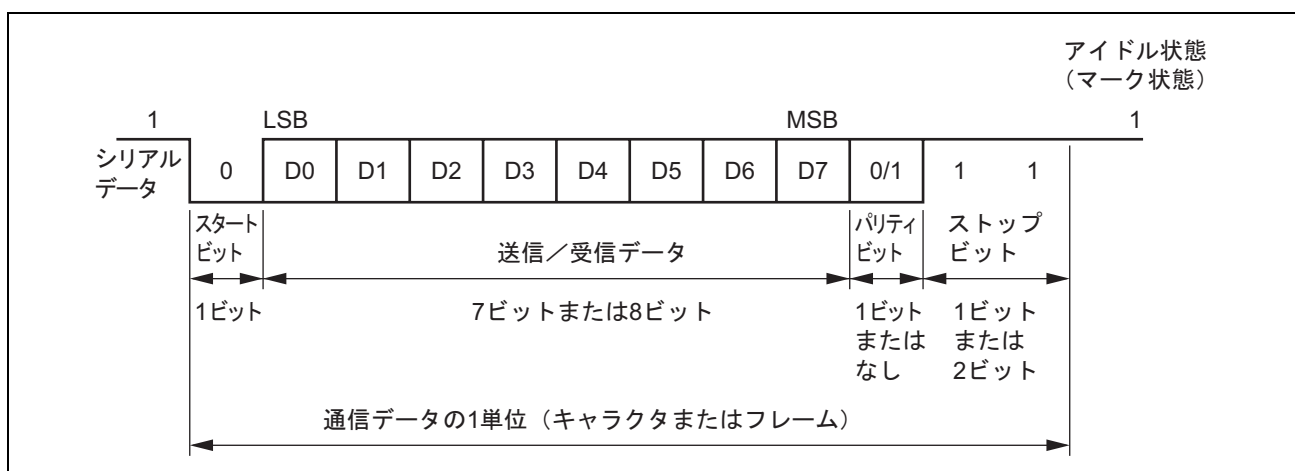


図 19.5 調歩同期式通信のデータフォーマット (8 ビットデータ/パリティあり/2 ストップビットの例)

19.4.1 送受信フォーマット

調歩同期式モードで設定できる送受信フォーマットを、表 19.11 に示します。フォーマットは 12 種類あり、SMR の選定により選択できます。マルチプロセッサビットについては「19.5 マルチプロセッサ通信機能」を参照してください。

19. シリアルコミュニケーションインタフェース (SCI、IrDA、CRC)

表 19.11 シリアル送信／受信フォーマット (調歩同期式モード)

SMRの設定				シリアル送信／受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	0	S	8ビットデータ								P	STOP		
0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	0	S	7ビットデータ							P	STOP			
1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	—	1	0	S	8ビットデータ								MPB	STOP		
0	—	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	—	1	0	S	7ビットデータ							MPB	STOP			
1	—	1	1	S	7ビットデータ							MPB	STOP	STOP		

【記号説明】

- S : スタートビット
- STOP : ストップビット
- P : パリティビット
- MPB : マルチプロセッサビット

19.4.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI はビットレートの 16 倍*の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、図 19.6 に示すように受信データを基本クロックの 8 番目*の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式 (1) のように表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100 \quad [\%] \quad \dots \text{式 (1)}$$

M : 受信マージン

N : クロックに対するビットレートの比 (ABCS=0 のとき N=16、ABCS=1 のとき N=8)

D : クロックのデューティ (D=0.5~1.0)

L : フレーム長 (L=9~12)

F : クロック周波数の偏差の絶対値

式 (1) で、F (クロック周波数の偏差の絶対値) =0、D (クロックのデューティ) =0.5 とすると、

$$M = \left\{ 0.5 - \frac{1}{(2 \times 16)} \right\} \times 100 \quad [\%] = 46.875\%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

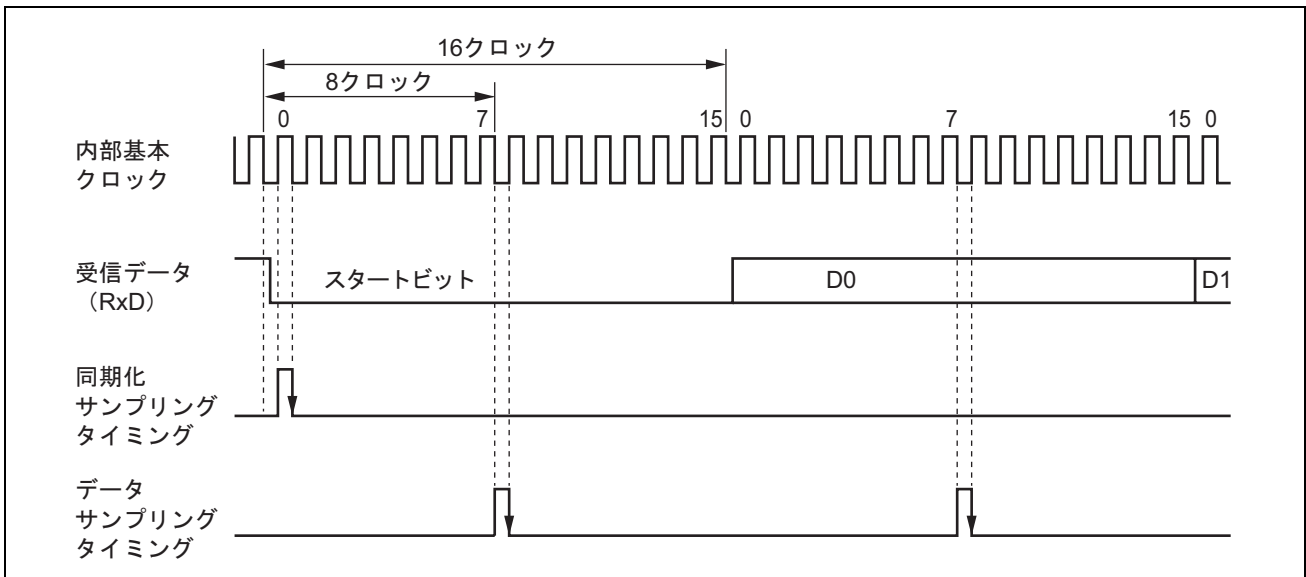


図 19.6 調歩同期式モードの受信データサンプリングタイミング

【注】 * SEMR_2、5、6 の ABCS ビット=0 のときの例です。ABCS=1 のときは、ビットレートの 8 倍の周波数が基本クロックとなり、受信データは基本クロックの 4 番目の立ち上がりエッジでサンプリングします。

19.4.3 クロック

SCIの送受信クロックは、SMRの C/\bar{A} ビットとSCRのCKE1、CKE0ビットの設定により、内蔵ポーレートジェネレータの生成する内部クロックまたはSCK端子から入力される外部クロックのいずれかを選択できます。外部クロックを使用する場合は、SCK端子にビットレートの16倍（ABCS=0のとき）、8倍（ABCS=1のとき）の周波数のクロックを入力してください。

また、外部クロックを選択した場合は、SEMR_5、6のACS3～ACS0ビットの設定により、平均転送レートまたはTMR_4～7からの基本クロックを選択することも可能です。

内部クロックで動作させるときはSCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図19.7に示すように送信データの中央でクロックが立ち上がります。

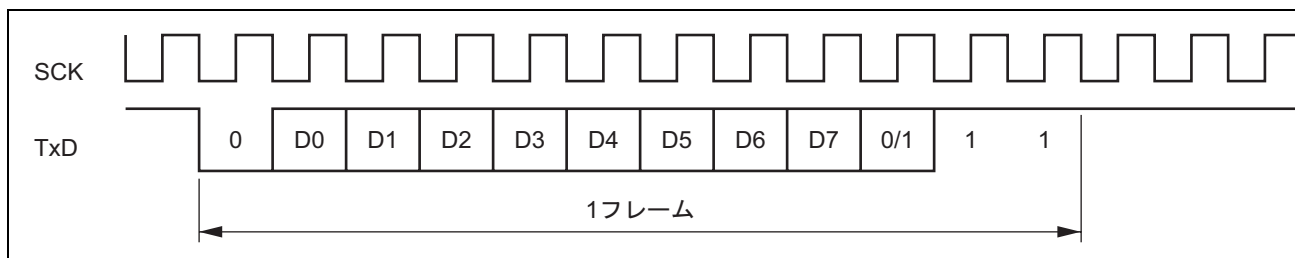


図 19.7 出力クロックと送信データの位相関係（調歩同期式モード）

19.4.4 SCI の初期化 (調歩同期式)

データの送受信前に、SCR の TE、RE ビットをクリアした後、**図 19.8** のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TE ビットおよび RE ビットを 0 にクリアしてから変更を行ってください。TE を 0 にクリアすると、TDRE は 1 にセットされますが、RE を 0 にクリアしても、RDRF、PER、FER、ORER の各フラグ、および RDR は初期化されませんので注意してください。調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

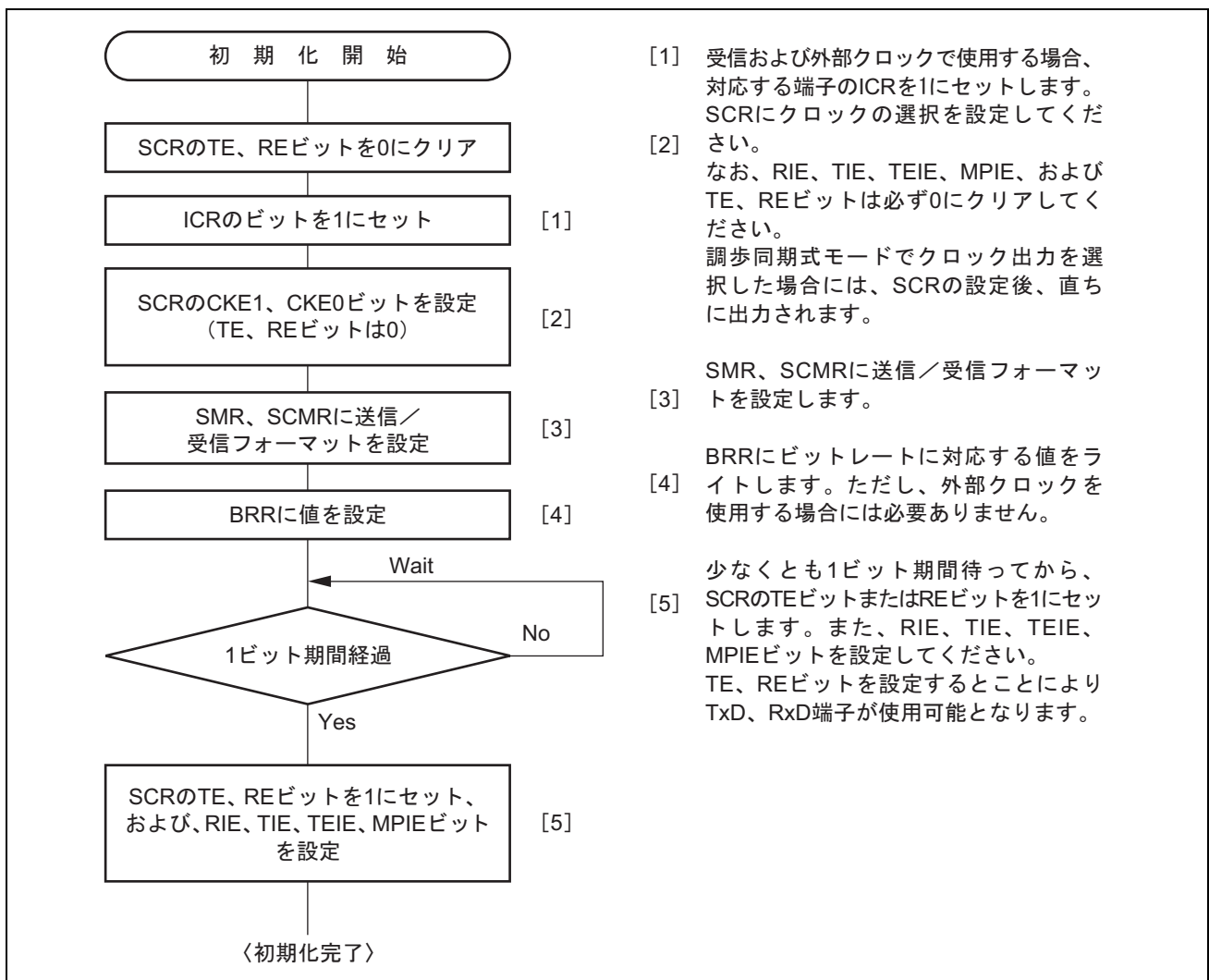


図 19.8 SCI の初期化フローチャートの例

19.4.5 シリアルデータ送信 (調歩同期式)

図 19.9 に調歩同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. TxD端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット (フォーマットによってはない場合もあります)、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDを1をセットし、ストップビット送出後、1を出力してマーク状態になります。このときSCRのTEIEが1にセットされているとTEIを発生します。

図 19.10 にデータ送信のフローチャートの例を示します。

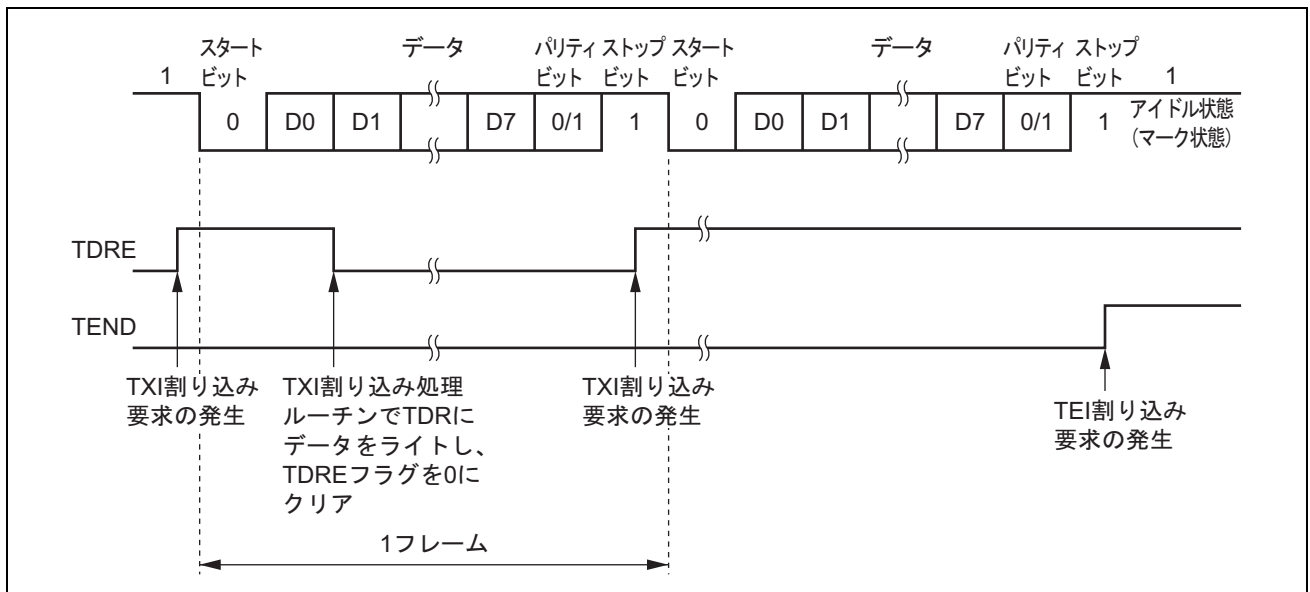


図 19.9 調歩同期式モードの送信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)

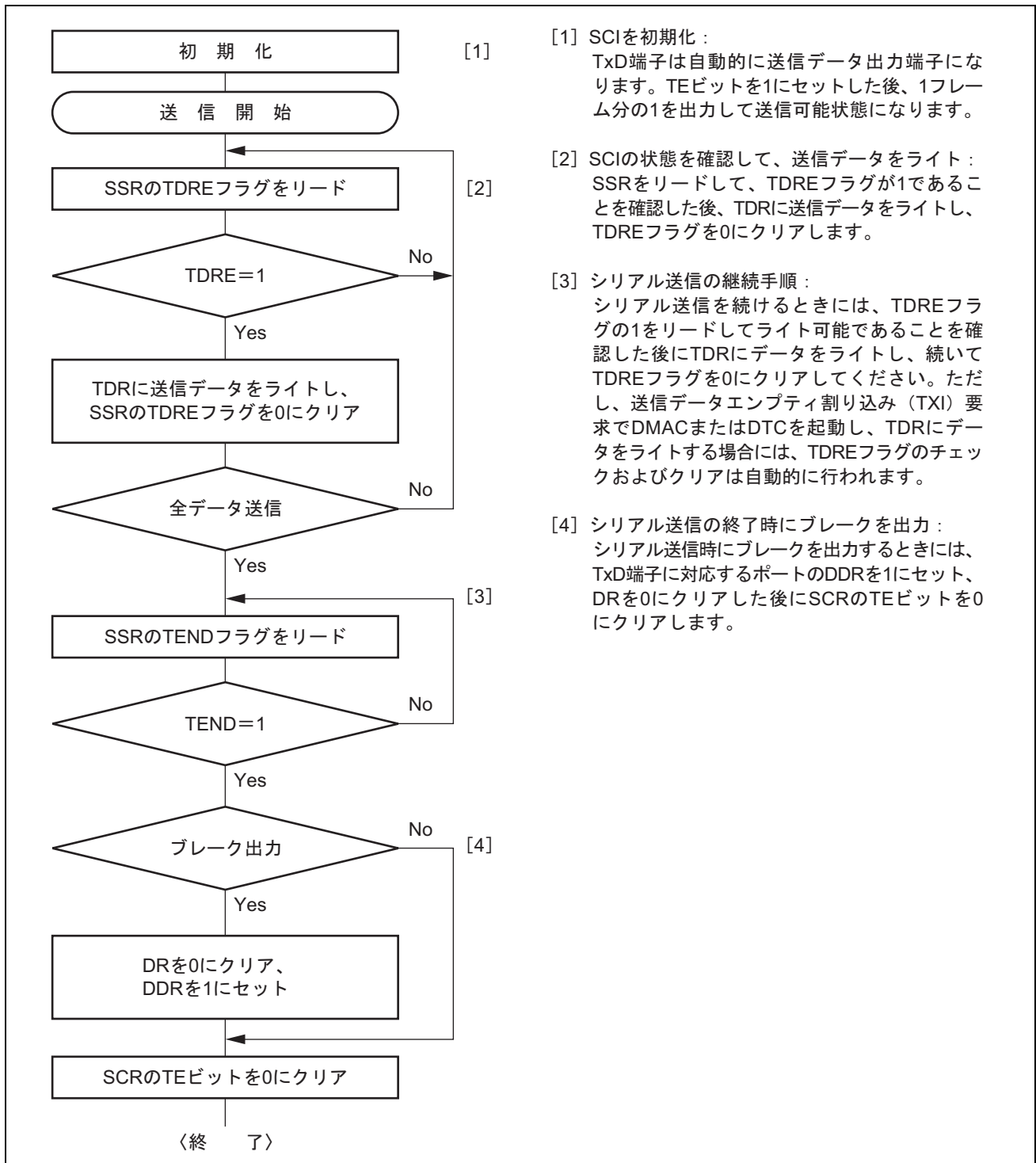


図 19.10 シリアル送信のフローチャートの例

19.4.6 シリアルデータ受信 (調歩同期式)

図 19.11 に調歩同期式モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. 通信回線を監視し、スタートビットを検出すると内部を同期化して受信データを RSR に取り込み、パリティビットとストップビットをチェックします。
2. オーバランエラーが発生したとき (SSR の RDRF が 1 にセットされたまま次のデータを受信完了したとき) は SSR の ORER をセットします。このとき SCR の RIE が 1 にセットされていると ERI 割り込み要求を発生します。受信データは RDR に転送しません。RDRF は 1 にセットされた状態を保持します。
3. パリティエラーを検出した場合は SSR の PER をセットし、受信データを RDR に転送します。このとき SCR の RIE が 1 にセットされていると ERI 割り込み要求を発生します。
4. フレーミングエラー (ストップビットが 0 のとき) を検出した場合は SSR の FER をセットし、受信データを RDR に転送します。このとき SCR の RIE が 1 にセットされていると ERI 割り込み要求を発生します。
5. 正常に受信したときは SSR の RDRF をセットし、受信データを RDR に転送します。このとき SCR の RIE が 1 にセットされていると RXI 割り込み要求を発生します。この RXI 割り込み処理ルーチンで RDR に転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

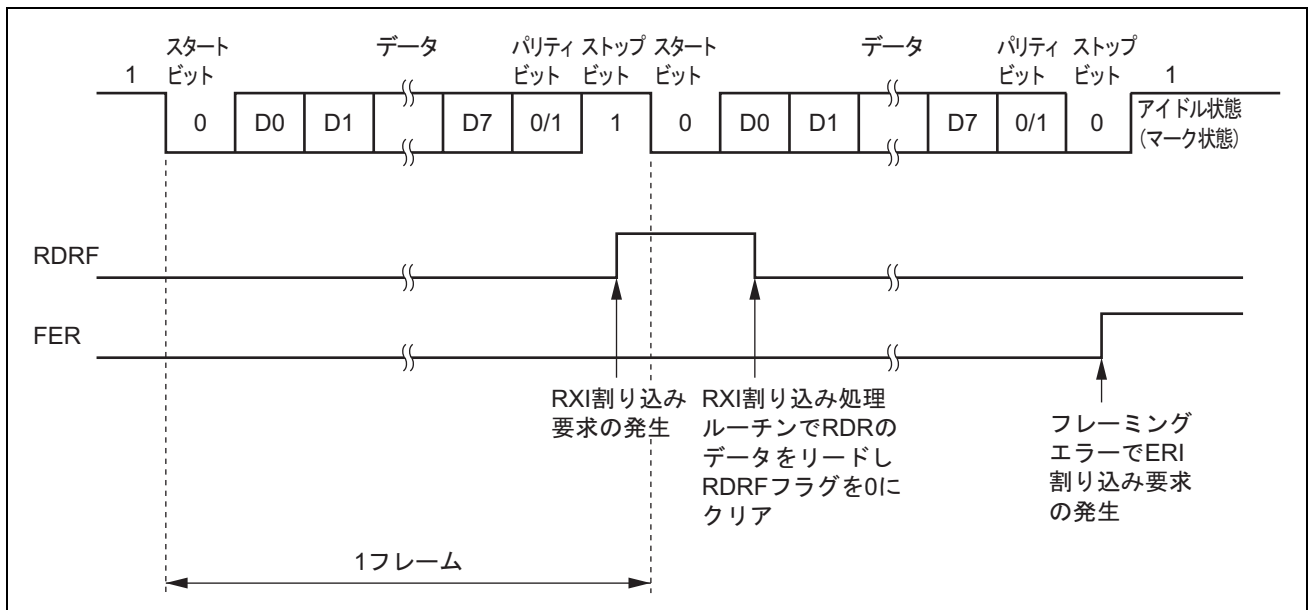


図 19.11 SCI の受信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)

19. シリアルコミュニケーションインタフェース (SCI、IrDA、CRC)

受信エラーを検出した場合の SSR の各ステータスフラグの状態と受信データの処理を表 19.12 に示します。受信エラーを検出すると、RDRF はデータを受信する前の状態を保ちます。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 19.12 にデータ受信のためのフローチャートの例を示します。

表 19.12 SSR のステータスフラグの状態と受信データの処理

SSR のステータスフラグ				受信データ	受信エラーの状態
RDRF*	ORER	FER	PER		
1	1	0	0	消失	オーバランエラー
0	0	1	0	RDR へ転送	フレーミングエラー
0	0	0	1	RDR へ転送	パリティエラー
1	1	1	0	消失	オーバランエラー+フレーミングエラー
1	1	0	1	消失	オーバランエラー+パリティエラー
0	0	1	1	RDR へ転送	フレーミングエラー+パリティエラー
1	1	1	1	消失	オーバランエラー+フレーミングエラー+パリティエラー

【注】 * RDRF は、データ受信前の状態を保持します。

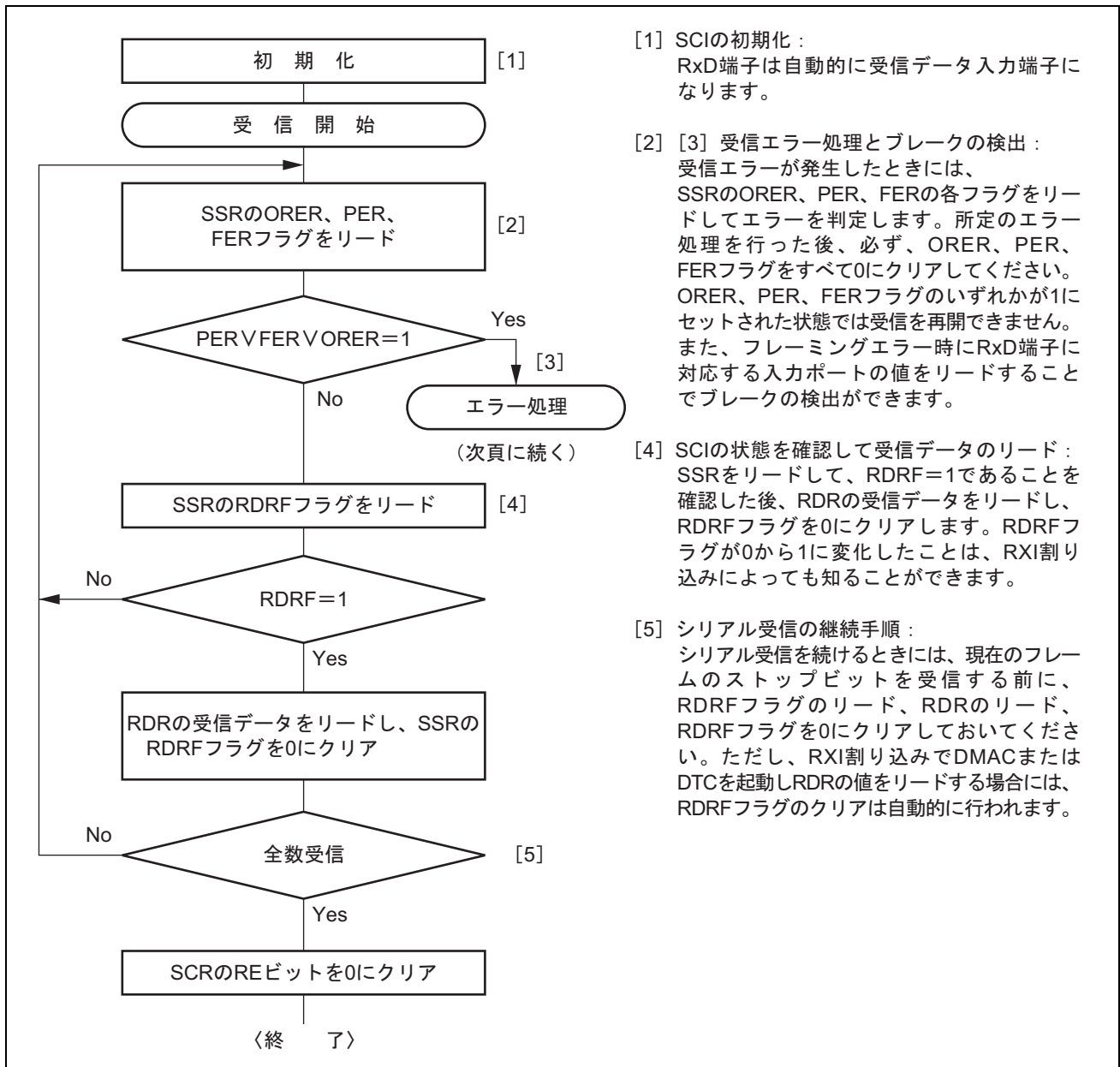


図 19.12 シリアル受信のフローチャートの例 (1)

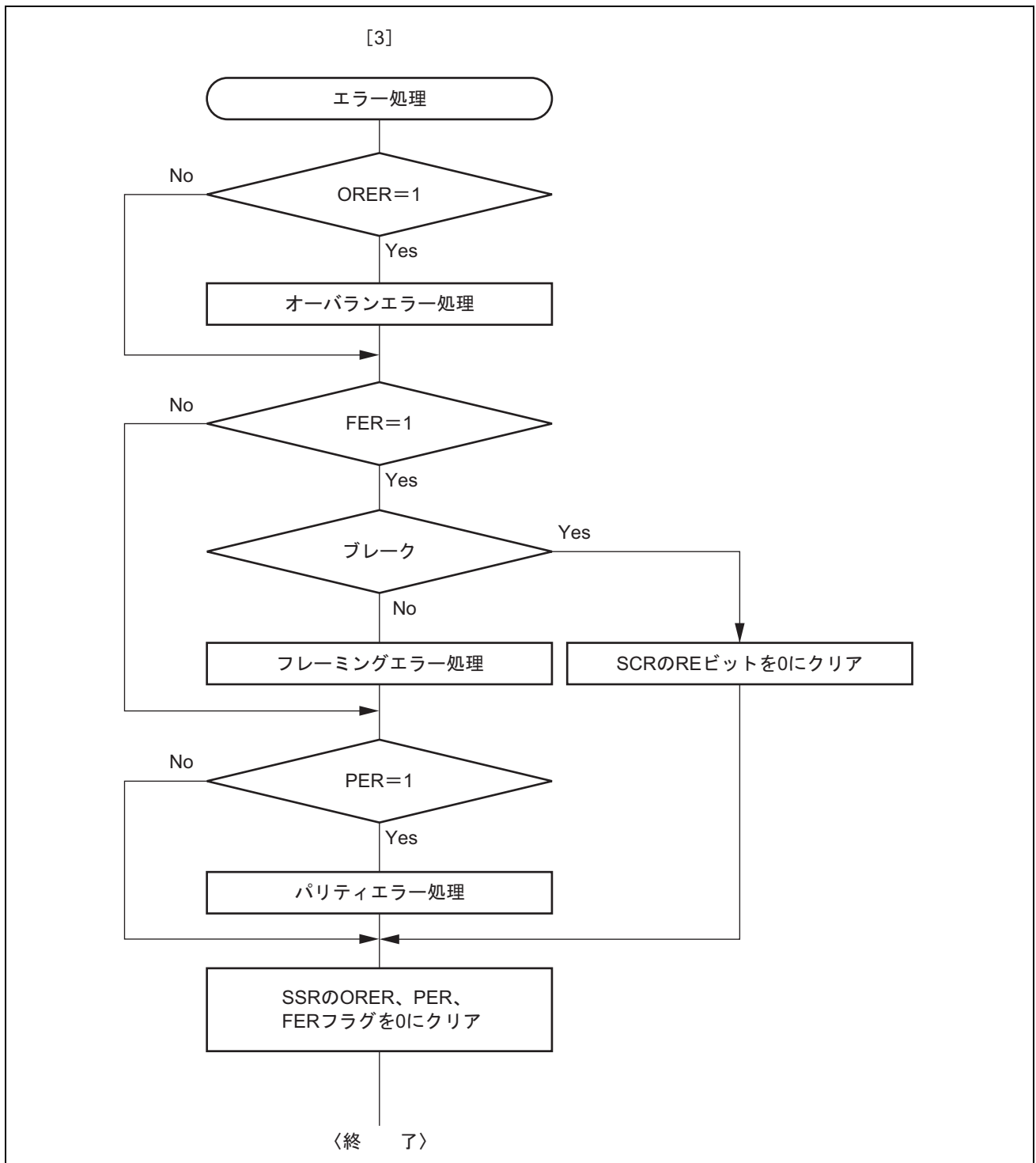


図 19.12 シリアル受信のフローチャートの例 (2)

19.5 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。図 19.13 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。

SCIはこの機能をサポートするため、SCRにMPIEビットが設けてあります。MPIEを1にセットすると、マルチプロセッサビットが1のデータを受け取るまでRSRからRDRへの受信データの転送、および受信エラーの検出とSSRのRDRF、FER、ORERの各ステータスフラグのセットを禁止します。マルチプロセッサビットが1の受信キャラクタを受け取ると、SSRのMPBRが1にセットされるとともにMPIEが自動的にクリアされて通常の受信動作に戻ります。このときSCRのRIEがセットされているとRXI割り込みを発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

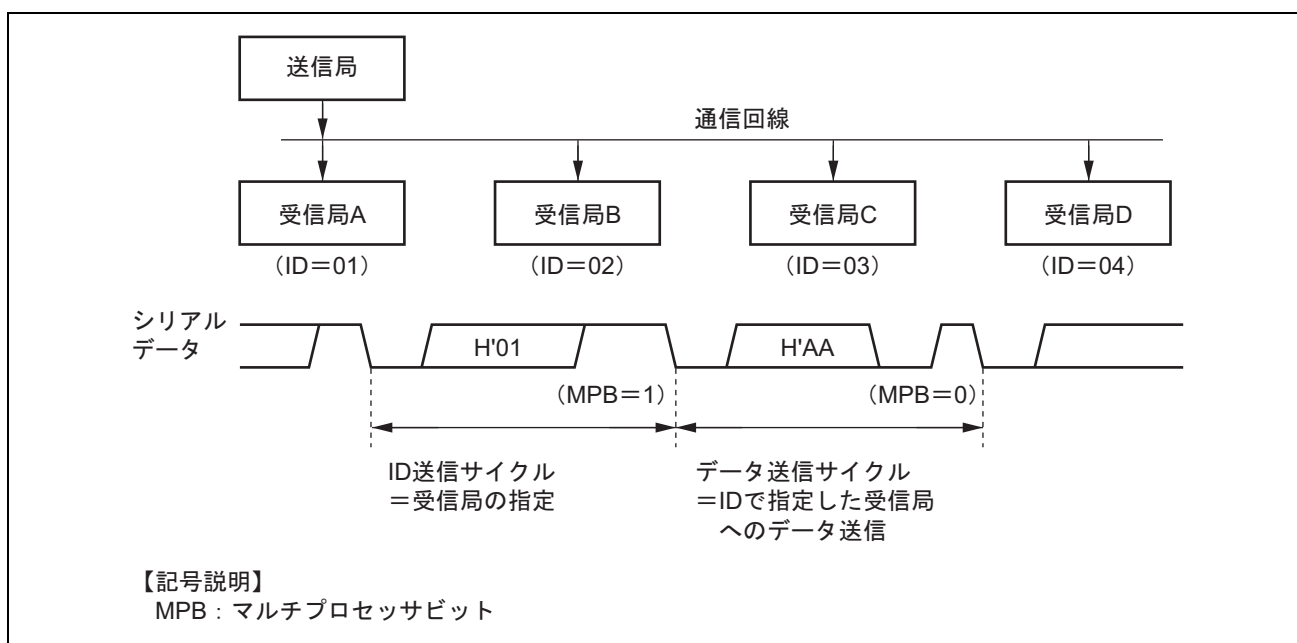


図 19.13 マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ H'AA の送信の例)

19.5.1 マルチプロセッサシリアルデータ送信

図 19.14 にマルチプロセッサデータ処理のフローチャートの例を示します。ID 送信サイクルでは SSR の MPBT を 1 にセットして送信してください。データ送信サイクルでは SSR の MPBT を 0 にクリアして送信してください。その他の動作は調歩同期式モードの動作と同じです。

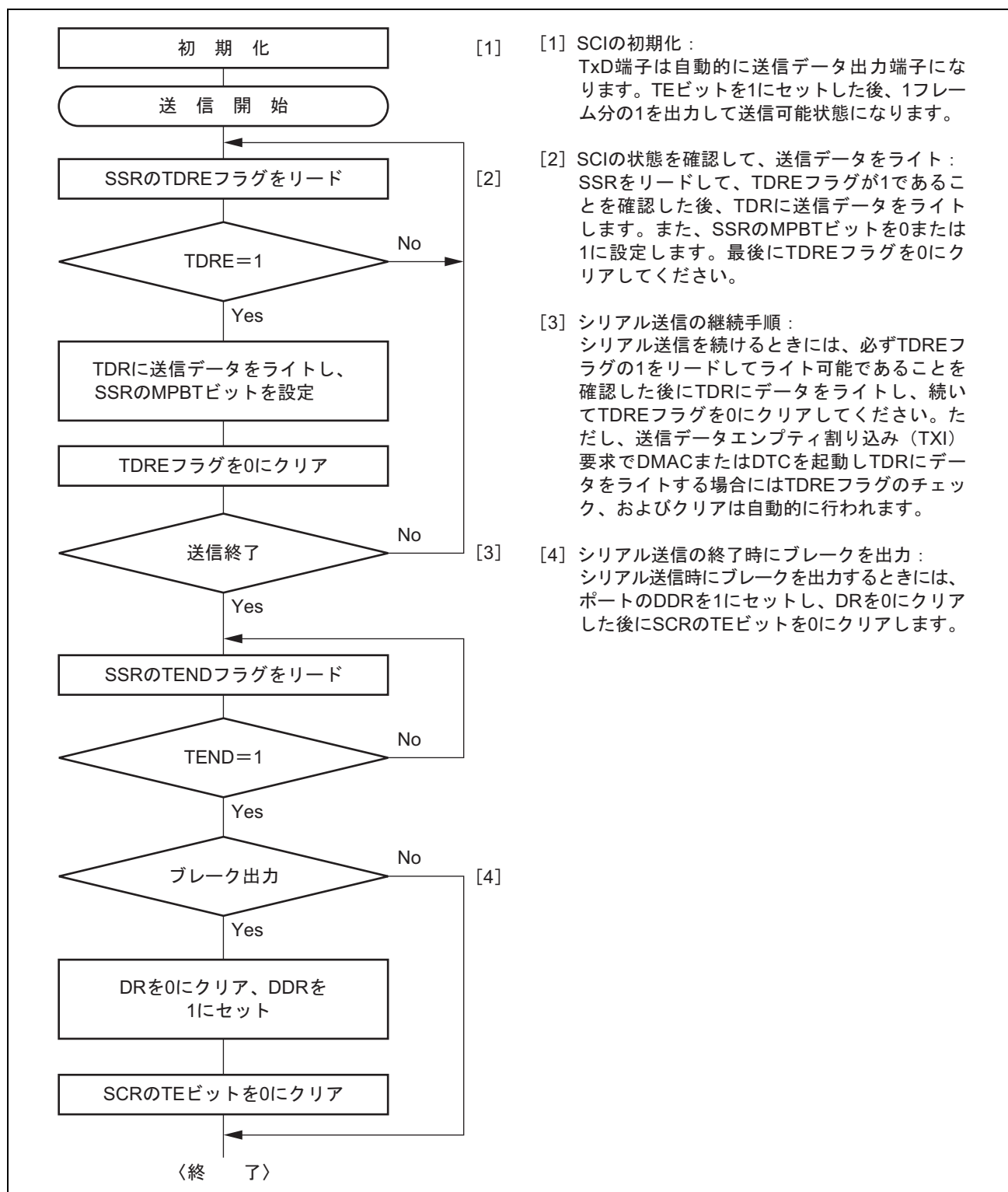


図 19.14 マルチプロセッサシリアル送信のフローチャートの例

19.5.2 マルチプロセッサシリアルデータ受信

図 19.16 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR の MPIE を 1 にセットするとマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。マルチプロセッサビットが 1 の通信データを受信すると受信データを RDR に転送します。このとき RXI 割り込み要求を発生します。その他の動作は調歩同期式モードの動作と同じです。図 19.15 に受信時の動作例を示します。

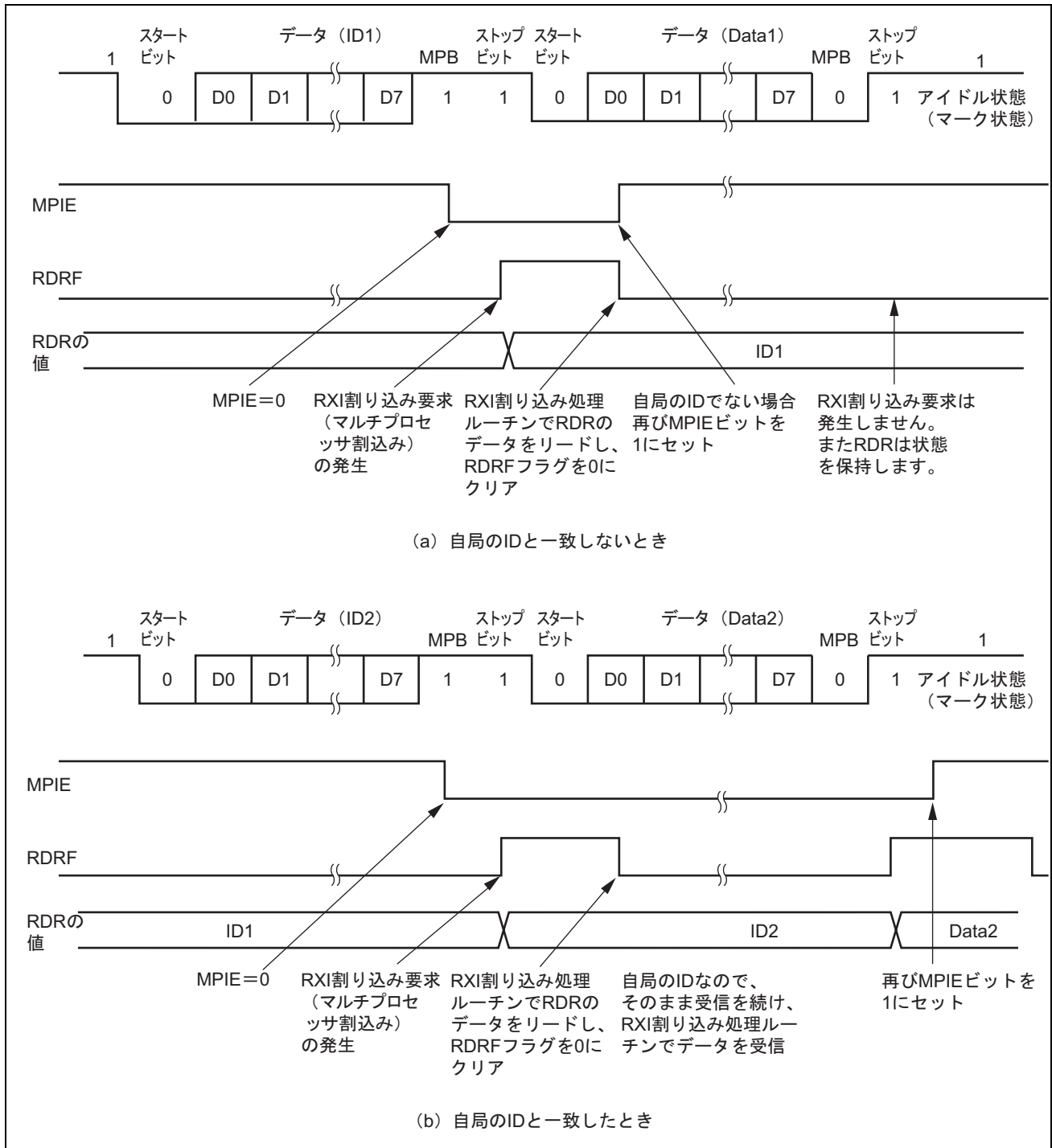


図 19.15 SCI の受信時の動作例 (8 ビットデータ/マルチプロセッサビットあり/1 ストップビットの例)

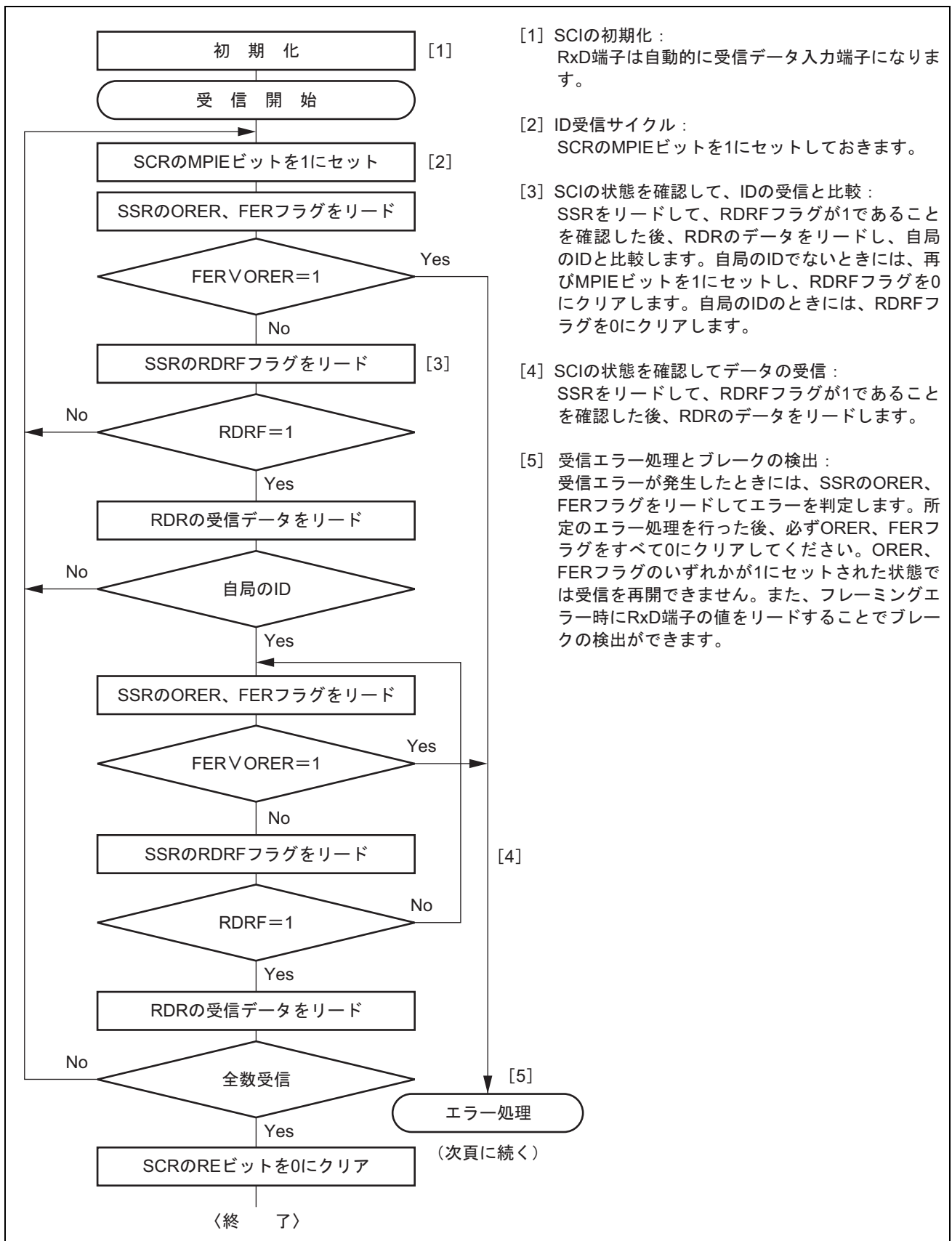


図 19.16 マルチプロセッサシリアル受信のフローチャートの例 (1)

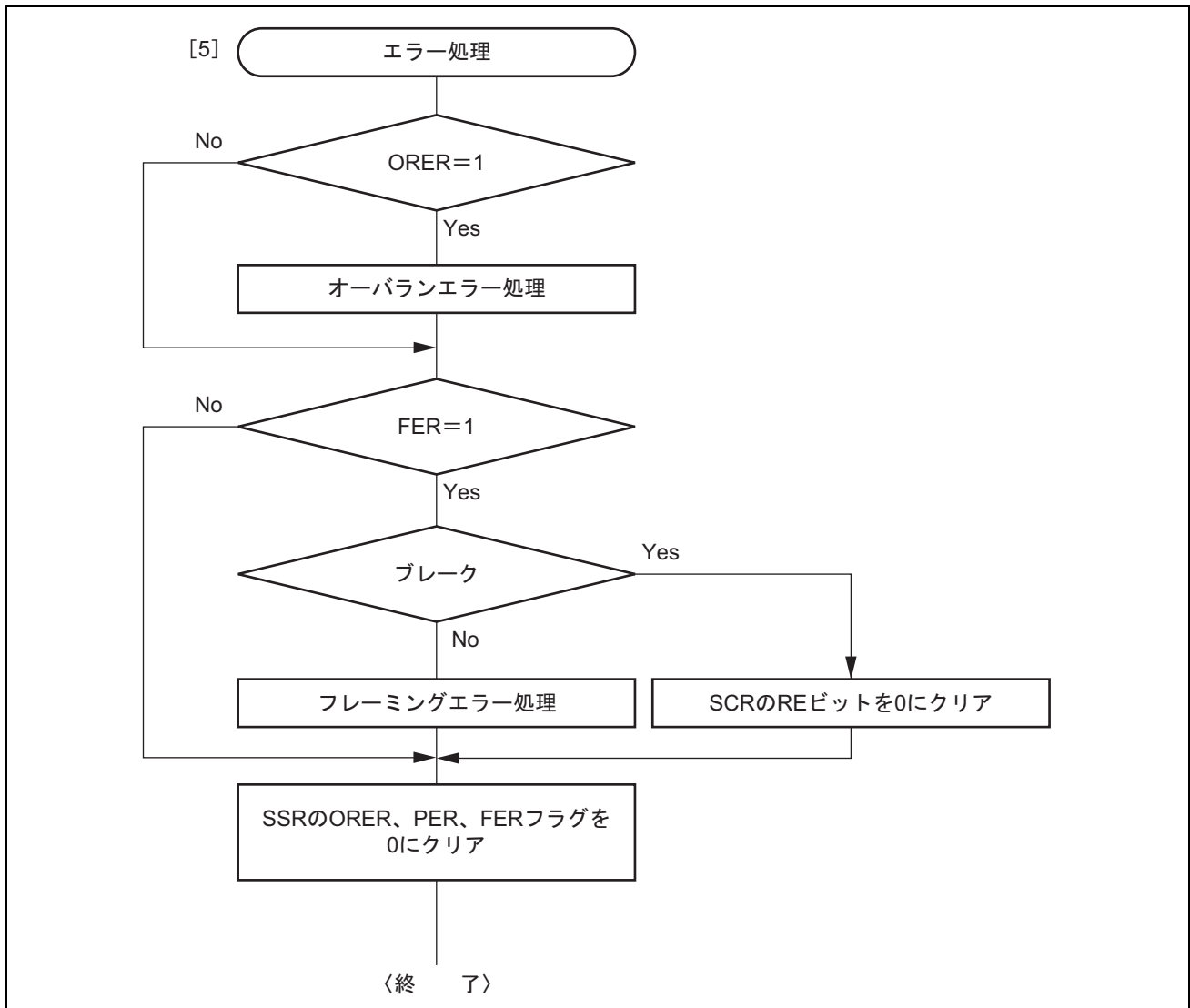


図 19.16 マルチプロセッサシリアル受信のフローチャートの例 (2)

19.6 クロック同期式モードの動作

クロック同期式通信の通信データのフォーマットを図 19.17 に示します。クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの1キャラクタは8ビットデータで構成されます。SCI はデータ送信時は同期クロックの立ち下がりから次の立ち上がりまで出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。8ビット出力後の通信回線は最終ビット出力状態を保ちます。クロック同期式モードでは、パリティビットやマルチプロセッサビットの付加はできません。SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。送信部/受信部は共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

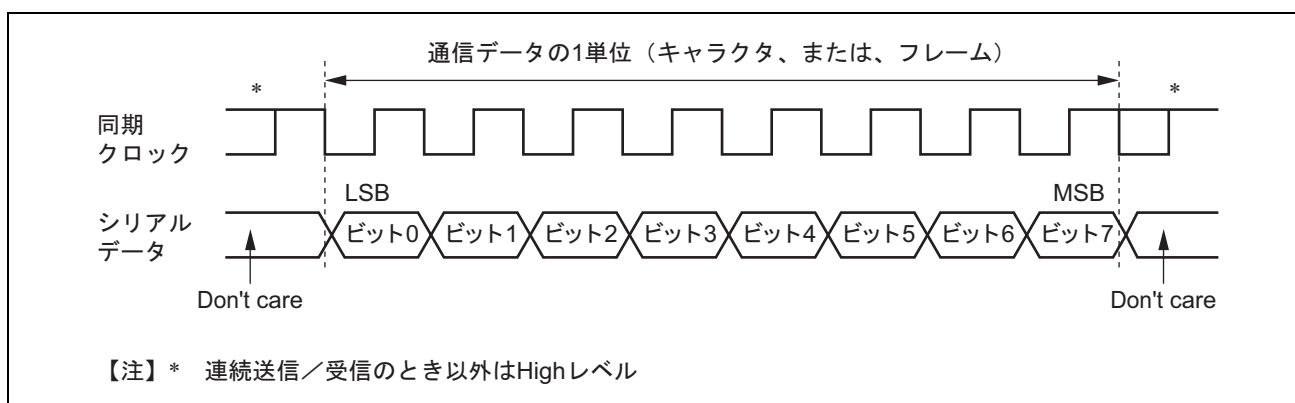


図 19.17 クロック同期式通信のデータフォーマット (LSB ファーストの場合)

19.6.1 クロック

SCR の CKE1、CKE0 の設定により、内蔵ボーレートジェネレータが生成する内部クロックまたは SCK 端子から入力される外部同期クロックを選択できます。内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。同期クロックは1キャラクタの送受信で8パルス出力され、送信および受信を行わないときは High レベルに固定されます。ただし、受信動作のみのときはオーバランエラーが発生するか RE ビットを0にクリアするまで同期クロックは出力されます。

19.6.2 SCIの初期化 (クロック同期式)

データの送受信前に、SCRのTE、REビットをクリアした後、図19.18のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TEビットおよびREビットを0にクリアしてから変更を行ってください。TEを0にクリアすると、TDREは1にセットされますが、REを0にクリアしても、RDRF、PER、FER、ORERの各フラグ、およびRDRは初期化されませんので注意してください。

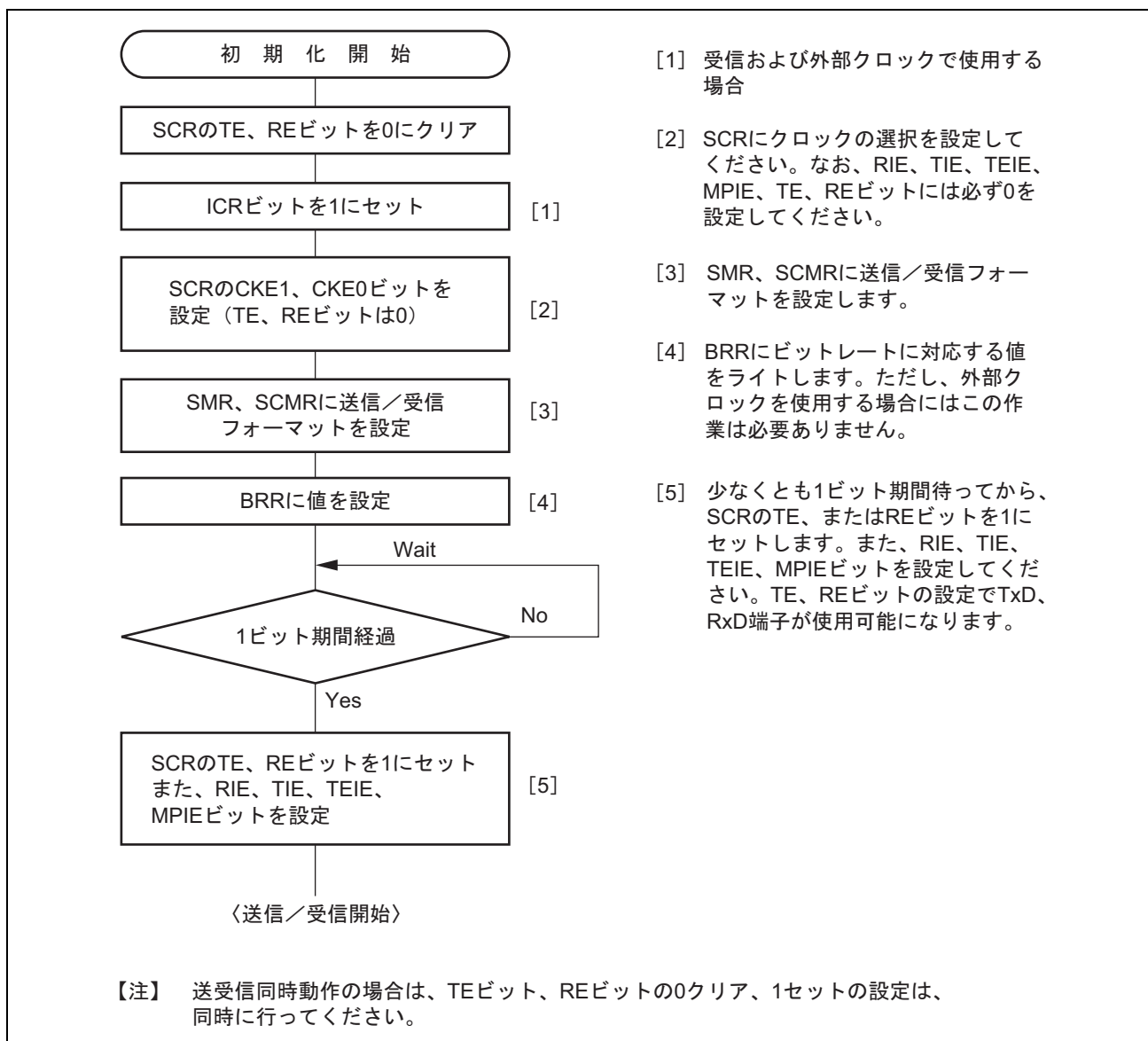


図 19.18 SCIの初期化フローチャートの例

19.6.3 シリアルデータ送信 (クロック同期式)

図 19.19 にクロック同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. クロック出力モードに設定したときには出力クロックに同期して、外部クロックに設定したときには入力クロックに同期して、TxD端子から8ビットのデータを出力します。
4. 最終ビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDに1をセットし、最終ビット出力状態を保持します。このときSCRのTEIEが1にセットされているとTEIを発生します。SCK端子はHighレベルに固定されます。

図 19.20 にデータ送信のフローチャートの例を示します。受信エラーフラグ (ORER、FER、PER) が1にセットされた状態では TDRE をクリアしても送信を開始しません。送信開始の前に、必ず受信エラーフラグを0にクリアしておいてください。また、受信エラーフラグはREビットをクリアしただけではクリアされませんので注意してください。

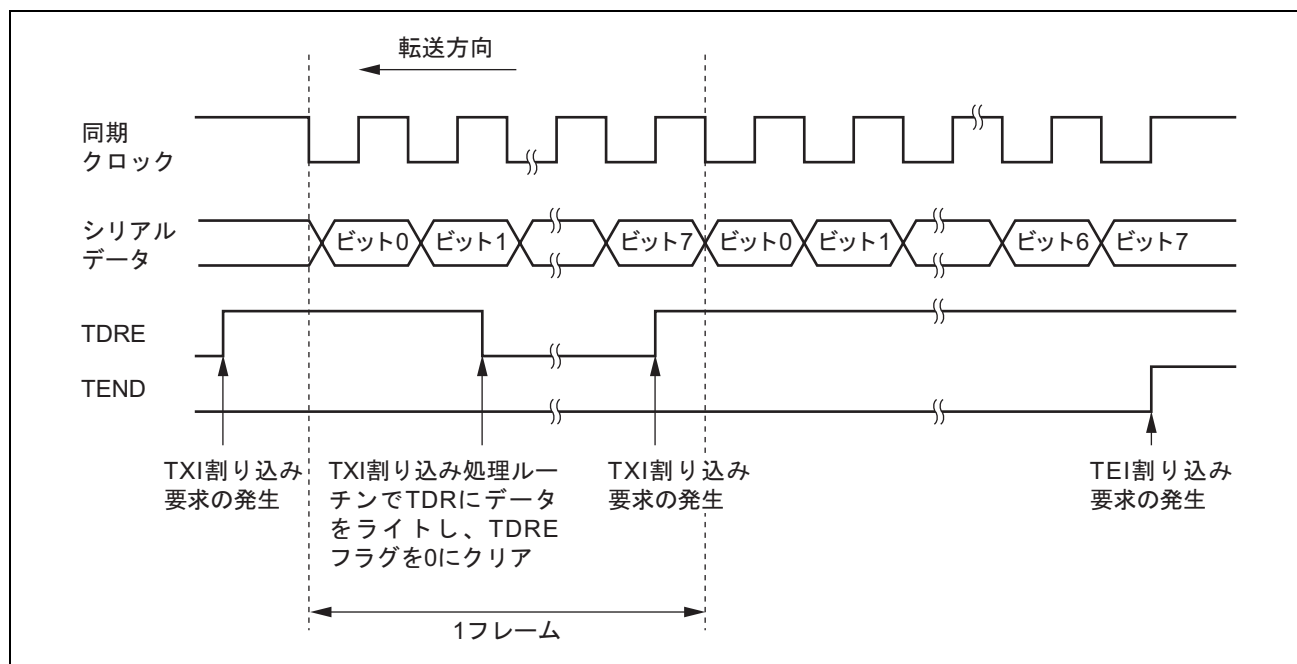


図 19.19 クロック同期式モードの送信時の動作例

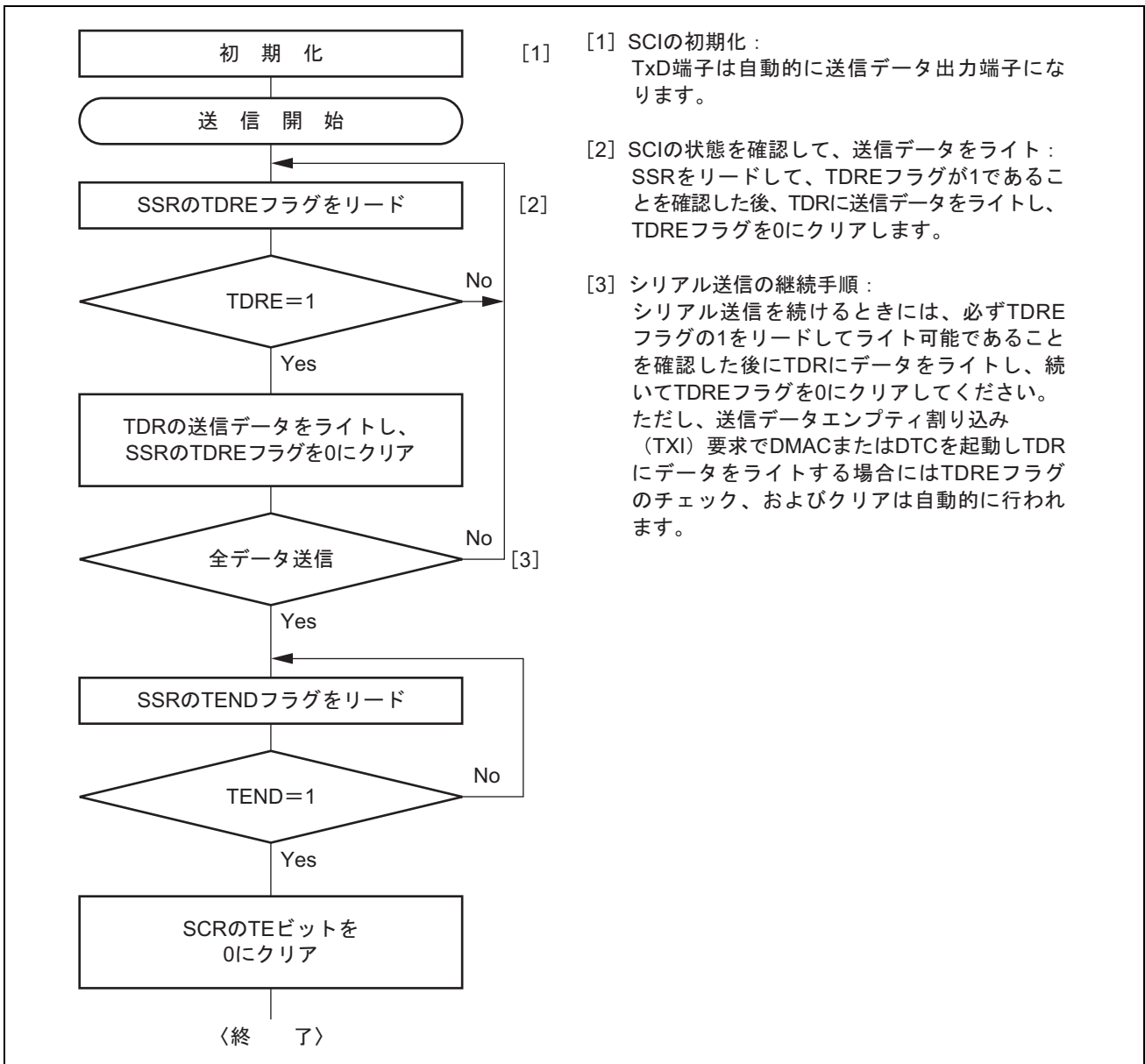


図 19.20 シリアル送信のフローチャートの例

19.6.4 シリアルデータ受信 (クロック同期式)

図 19.21 にクロック同期式モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. SCIは同期クロックの入力または、出力に同期して内部を初期化して受信を開始し、受信データをRDRに取り込みます。
2. オーバランエラーが発生したとき (SSRのRDRFが1にセットされたまま次のデータを受信完了したとき) はSSRのORERをセットします。このときSCRのRIEが1にセットされているとERI割り込み要求が発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI割り込み要求が発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

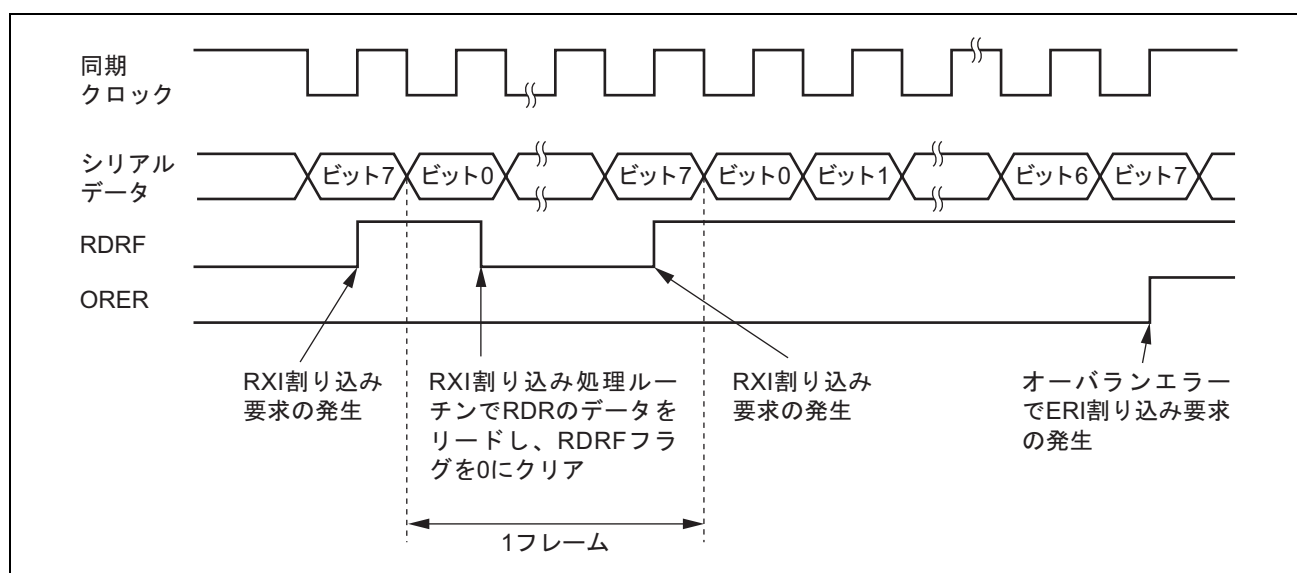


図 19.21 SCI の受信時の動作例

受信エラーフラグがセットされた状態では以後の送受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 19.22 にデータ受信のためのフローチャートの例を示します。

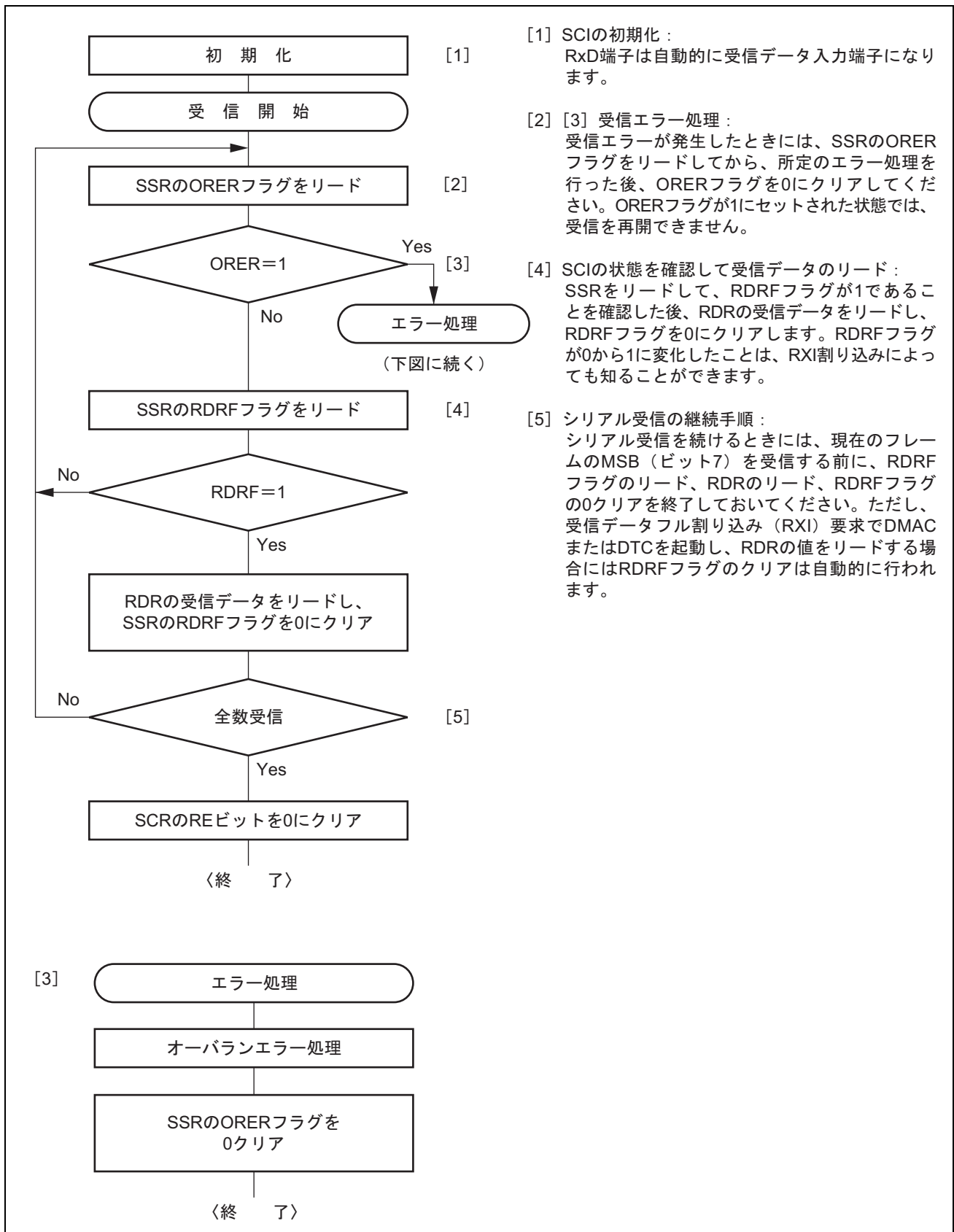


図 19.22 シリアル受信のフローチャートの例

19.6.5 シリアルデータ送受信同時動作 (クロック同期式)

図 19.23 にデータ送受信同時動作のフローチャートの例を示します。データ送受信同時動作は SCI の初期化後、以下の手順に従って行ってください。送信から同時送受信へ切り替えるときには、SCI が送信終了状態であること、TDRE および TEND が 1 にセットされていることを確認した後、TE を 0 にクリアしてから TE および RE を 1 命令で同時に 1 にセットしてください。受信から同時送受信へ切り替えるときには、SCI が受信完了状態であることを確認し、RE を 0 にクリアしてから RDRF およびエラーフラグ (ORER、FER、PER) が 0 にクリアされていることを確認した後、TE および RE を 1 命令で同時に 1 にセットしてください。

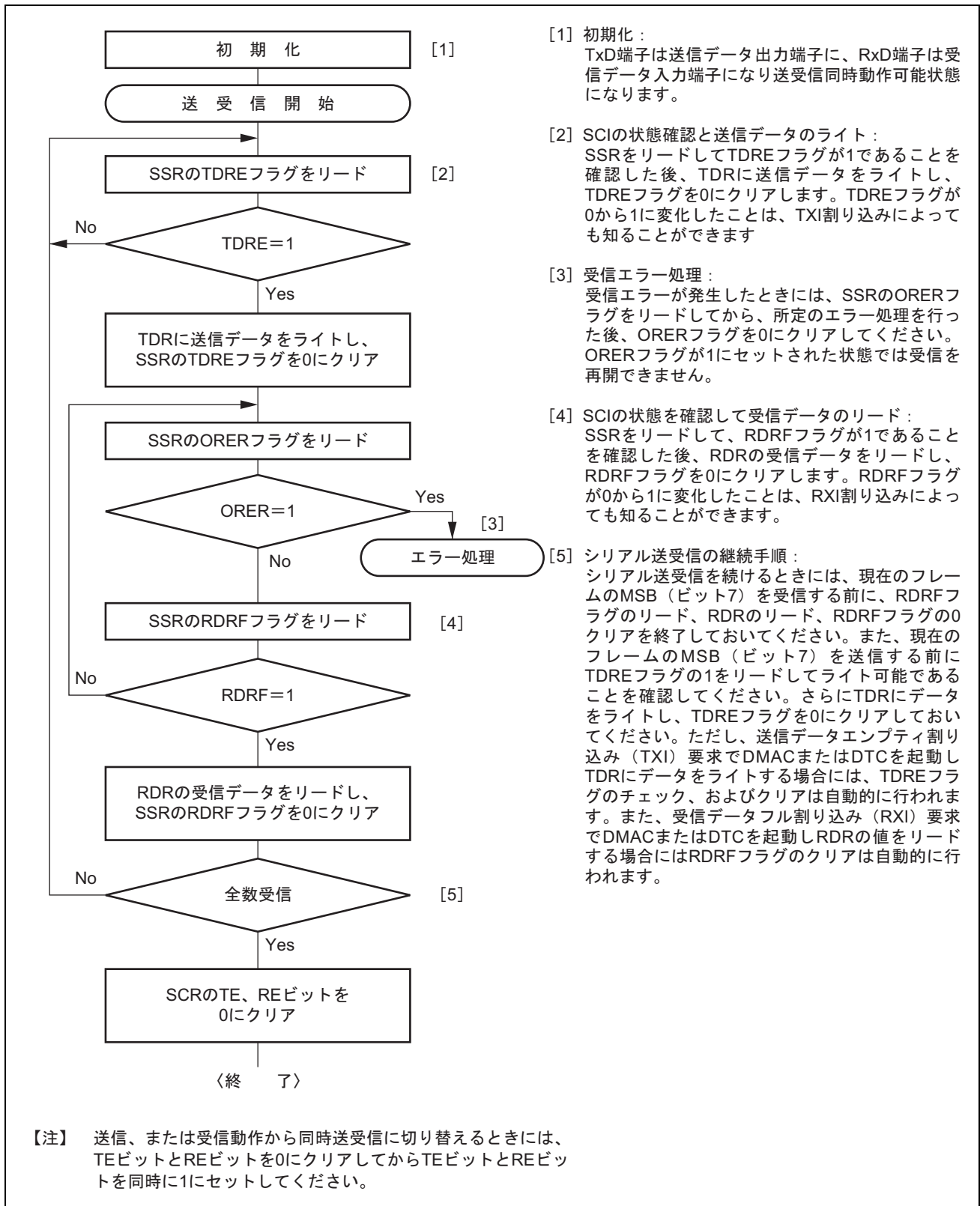


図 19.23 シリアル送受信同時動作のフローチャートの例

19.7 スマートカードインタフェースの動作説明

SCIはシリアルコミュニケーションインタフェースの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したICカード (スマートカード) とのインタフェースをサポートしています。スマートカードインタフェースモードへの切り替えはレジスタにより行います。

19.7.1 接続例

図 19.24 にスマートカードとの接続例を示します。ICカードとは1本のデータ伝送線で送受信が行われるので、TxD端子とRxD端子とを結線し、データ伝送線は抵抗で電源V_{CC}側にプルアップしてください。ICカードを接続しない状態でRE=TE=1に設定すると、閉じた送信/受信が可能となり自己診断をすることができます。SCIで生成するクロックをICカードに供給する場合は、SCK端子出力をICカードのCLK端子に入力してください。リセット信号の出力には本LSIの出力ポートを使用できます。

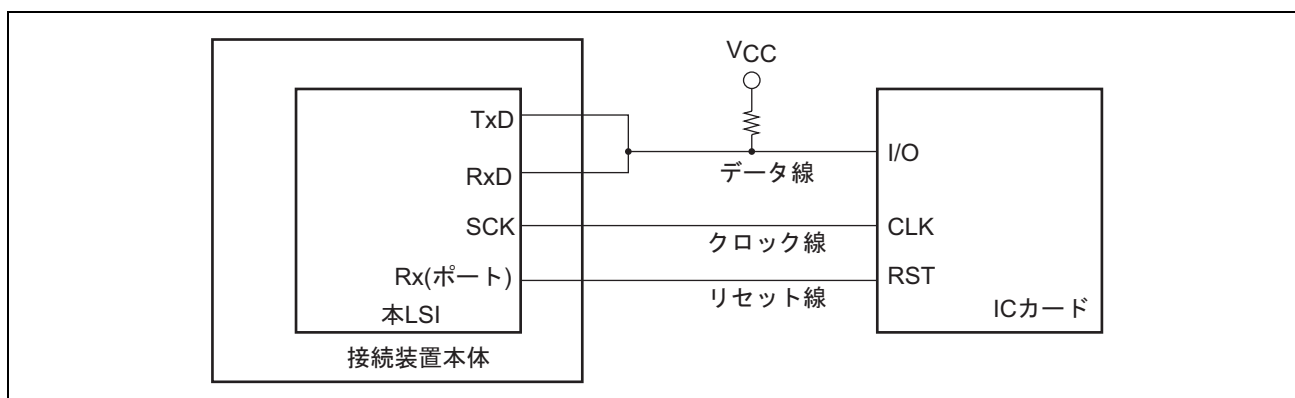


図 19.24 スマートカードインタフェース端子接続概要

19.7.2 データフォーマット (ブロック転送モード時を除く)

図 19.25 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1フレームは8ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで2etu (Elementary Time Unit : 1ビットの転送期間) 以上のガードタイムをおきます。
- 受信時はパリティエラーを検出した場合、スタートビットから10.5etu経過後、エラーシグナルLowを1etu期間出力します。
- 送信時はエラーシグナルをサンプリングすると、2etu以上経過後、自動的に同じデータを再送信します。

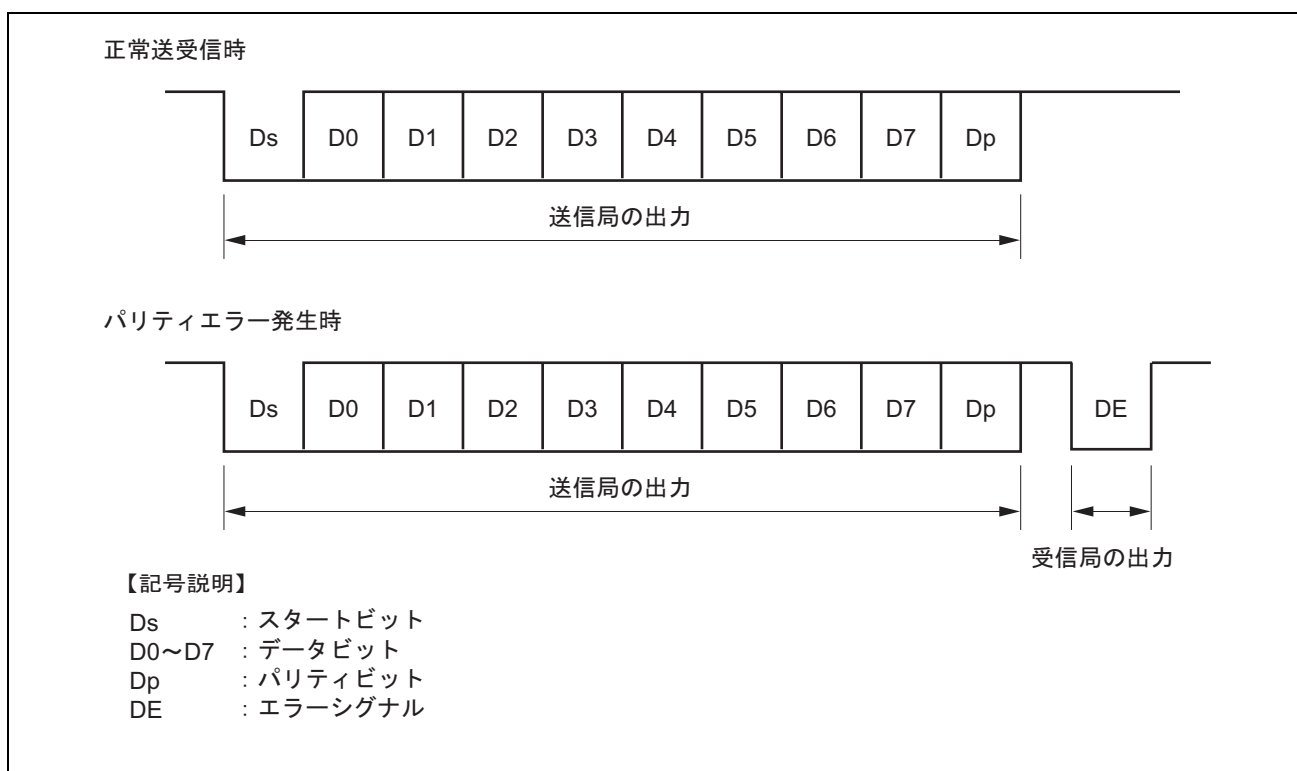


図 19.25 通常のスマートカードインタフェースのデータフォーマット

ダイレクトコンベンションタイプとインバースコンベンションタイプの2種類のICカードとの送受信は以下のように行ってください。

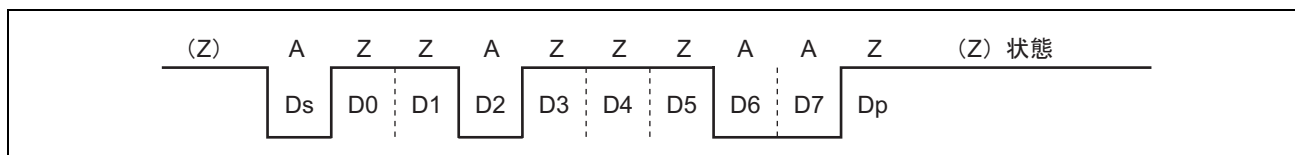


図 19.26 ダイレクトコンベンション (SDIR=SINV=O/E=0)

ダイレクトコンベンションタイプは上記開始キャラクタの例のように、論理1レベルを状態Zに、論理0レベルを状態Aに対応付け、LSBファーストで送受信します。上記の開始キャラクタではデータはH'3Bとなります。ダイレクトコンベンションタイプではSCMRのSDIRビット、SINVビットをともに0にセットしてください。また、スマートカードの規程により偶数パリティとなるようSMRのO/Eビットには0をセットしてください。

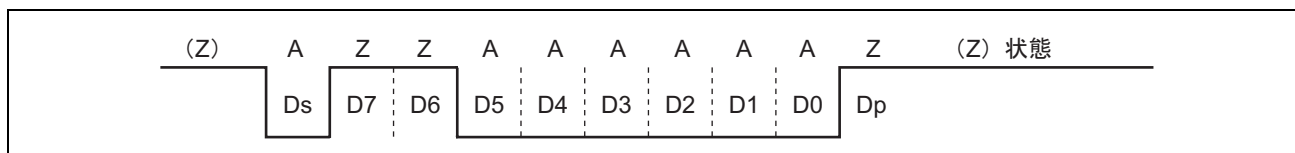


図 19.27 インバースコンベンション (SDIR=SINV=O/E=1)

インバースコンベンションタイプは、論理1レベルを状態Aに、論理0レベルを状態Zに対応付け、MSBファーストで送受信します。上記の開始キャラクタではデータはH'3Fとなります。インバースコンベンションタイプではSCMRのSDIRビット、SINVビットをともに1にセットしてください。パリティビットはスマートカードの規程により偶数パリティで論理0となり、状態Zが対応します。本LSIでは、SINVビットはデータビットD7~D0のみ反転させます。このため、送受信ともSMRのO/Eビットに1を設定してパリティビットを反転させてください。

19.7.3 ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースと比較して以下の点が異なります。

- 受信時はパリティチェックは行いますが、エラーを検出してもエラーシグナルは出力しません。SSRのPERはセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から次のフレーム開始までのガードタイムは最小1etu以上です。
- 送信時は再送信を行わないため、TENDフラグは送信開始から11.5etu後にセットされます。
- ERSフラグは通常のスマートカードインタフェースと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため常に0となります。

19.7.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースで使用できる送受信クロックは内蔵ボーレートジェネレータの生成した内部クロックのみです。スマートカードインタフェースモードでは、SCIはBCP1、BCP0の設定によりビットレートの32倍、64倍、372倍、256倍（通常の調歩同期式モードでは16倍に固定されています）の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、図19.28に示すように受信データを基本クロックのそれぞれ16、32、186、128ヶ目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L-0.5) F - \frac{|D-0.5|}{N} (1+F) \right| \times 100\%$$

- M : 受信マージン (%)
- N : クロックに対するビットレートの比 (N=32、64、372、256)
- D : クロックデューティ (D=0~1.0)
- L : フレーム長 (L=10)
- F : クロック周波数の偏差の絶対値

上の式で、F=0、D=0.5、N=372 とすると、受信マージンは次のようになります。

$$M = (0.5 - 1/2 \times 372) \times 100\% = 49.866\%$$

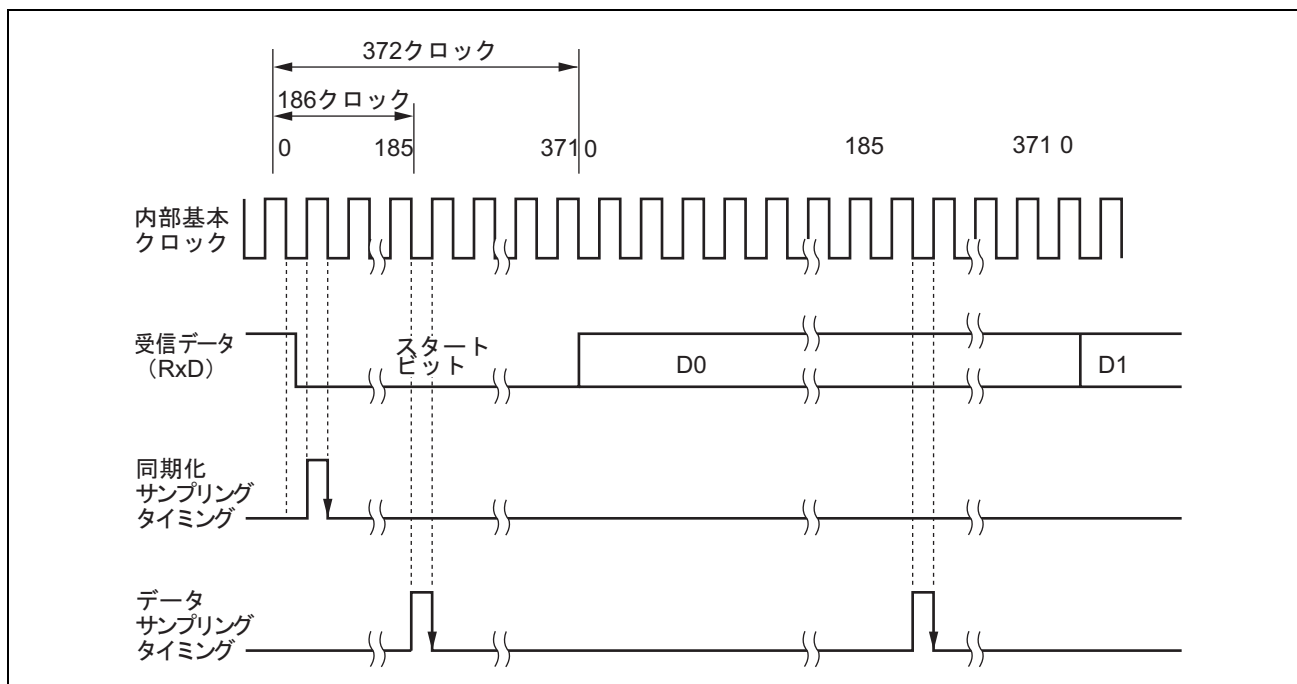


図 19.28 スマートカードインタフェースモード時の受信データサンプリングタイミング (372 倍のクロック使用時)

19.7.5 初期設定

データの送受信の前に、以下の手順で SCI を初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。

1. SCRのTE、REビットを0にクリアします。
2. 該当端子のICRビットを1にセットしてください。
3. SSRのエラーフラグERS、PER、ORERを0にクリアしてください。
4. SMRのGM、BLK、 O/\bar{E} 、BCP1、BCP0、CKS1、CKS0ビットを設定してください。このとき、PEビットは1に設定してください。
5. SCMRのSMIF、SDIR、SINVビットを設定してください。また、TxD端子に該当するDDRを0にクリアします。これにより、TxD端子およびRxD端子は共にポートからSCIの端子に切り替わり、ハイインピーダンス状態となります。
6. ビットレートに対応する値をBRRに設定します。
7. SCRのCKE1、CKE0ビットを設定してください。このとき、TIE、RIE、TE、RE、MPIE、TEIEビットは、0に設定してください。
CKE0ビットを1にセットした場合は、SCK端子からクロックを出力します。
8. 少なくとも、1ビット期間待つてから、SCRのTIE、RIE、TE、REビットを設定してください。自己診断以外はTEビットとREビットを同時にセットしないでください。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、RE=0、TE=1 に設定してください。受信動作の完了は、RDRF フラグ、あるいは PER、ORER フラグで確認できます。送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE=0、RE=1 に設定してください。送信動作の完了は TEND フラグで確認できます。

19.7.6 データ送信 (ブロック転送モードを除く)

スマートカードモードにおけるデータ送信ではエラーシグナルのサンプリングと再送信処理があるため、通常のシリアルコミュニケーションインタフェースとは動作が異なります (ブロック転送モードを除く)。送信時の再転送動作を図 19.29 に示します。

1. 1フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングするとSSRのERSビットが1にセットされます。このとき、SCRのRIEビットがセットされているとERI割り込み要求を発生します。次のパリティビットのサンプリングまでにERSをクリアしてください。
2. エラーシグナルを受信したフレームでは、SSRのTENDはセットされません。TDRからTSRに再度データが転送され、自動的に再送信を行います。
3. 受信側からエラーシグナルが返ってこない場合は、SSRのERSビットはセットされません。
4. 再転送を含む1フレームの送信が完了したと判断して、SSRのTENDがセットされます。このときSCRのTIEがセットされていれば、TXI割り込み要求を発生します。送信データをTDRに書き込むことにより次のデータが送信されます。

送信処理フローの例を図 19.31 に示します。これら一連の処理は TXI 割り込み要因によって DTC または DMAC を起動することで、自動的に行うことができます。送信動作では、SSR の TEND フラグが 1 にセットされると同時に TDRE フラグもセットされ、SCR の TIE をセットしておくことで TXI 割り込み要求を発生します。あらかじめ DTC または DMAC の起動要因に TXI 要求を設定しておけば、TXI 要求により DTC または DMAC が起動されて送信データの転送を行います。TDRE および TEND フラグは、DTC または DMAC によるデータ転送時に自動的に 0 にクリアされます。エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間 TEND は 0 のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC または DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にクリアされませんので、RIE ビットを 1 にセットしておき、エラー発生時に ERI 割り込み要求を発生させ、ERS をクリアしてください。

なお、DTC または DMAC を使って送受信を行う場合は、必ず先に DTC または DMAC を設定し、許可状態にしてから SCI の設定を行ってください。DTC または DMAC の設定方法は「12. データトランスファコントローラ (DTC)」、「10. DMA コントローラ (DMAC)」を参照してください。

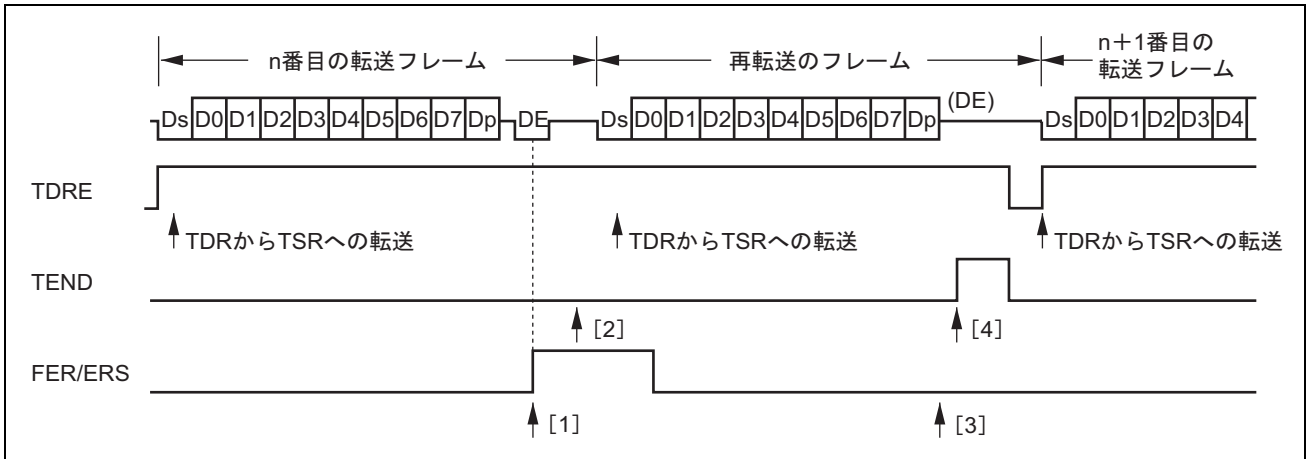


図 19.29 SCI 送信モードの場合の再転送動作

なお、SMR の GM ビットの設定により、TEND フラグのセットタイミングが異なります。図 19.30 に TEND フラグ発生タイミングを示します。

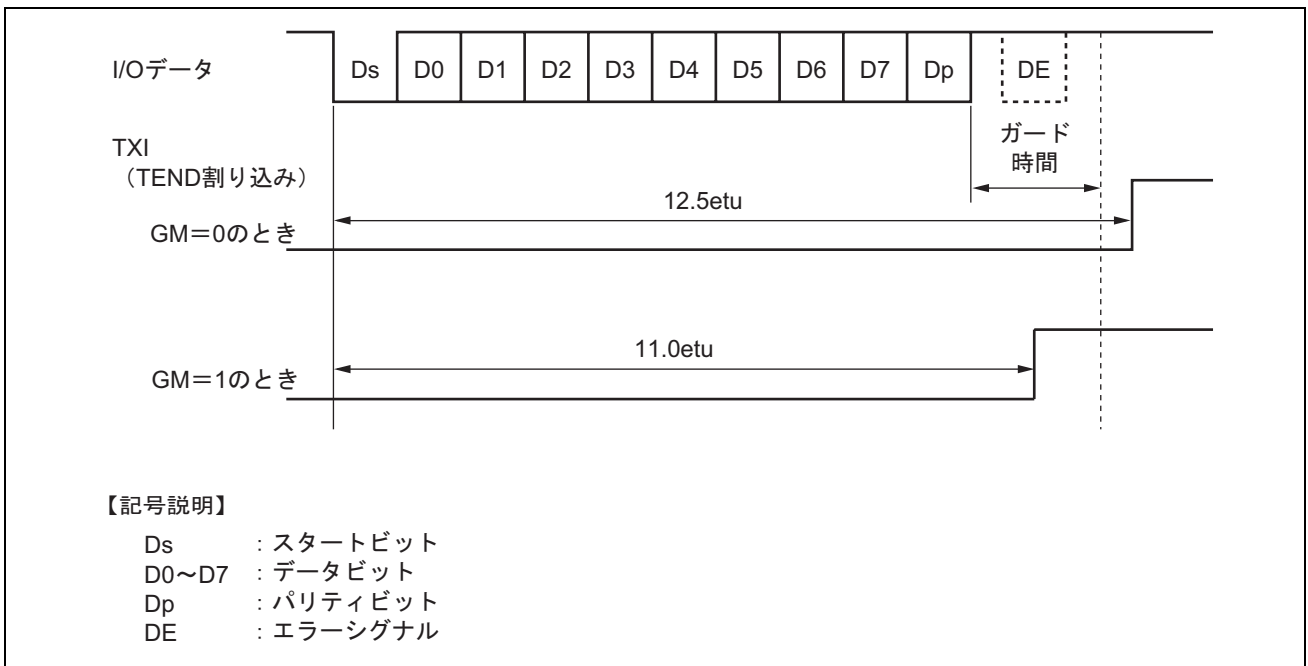


図 19.30 送信動作時の TEND フラグ発生タイミング

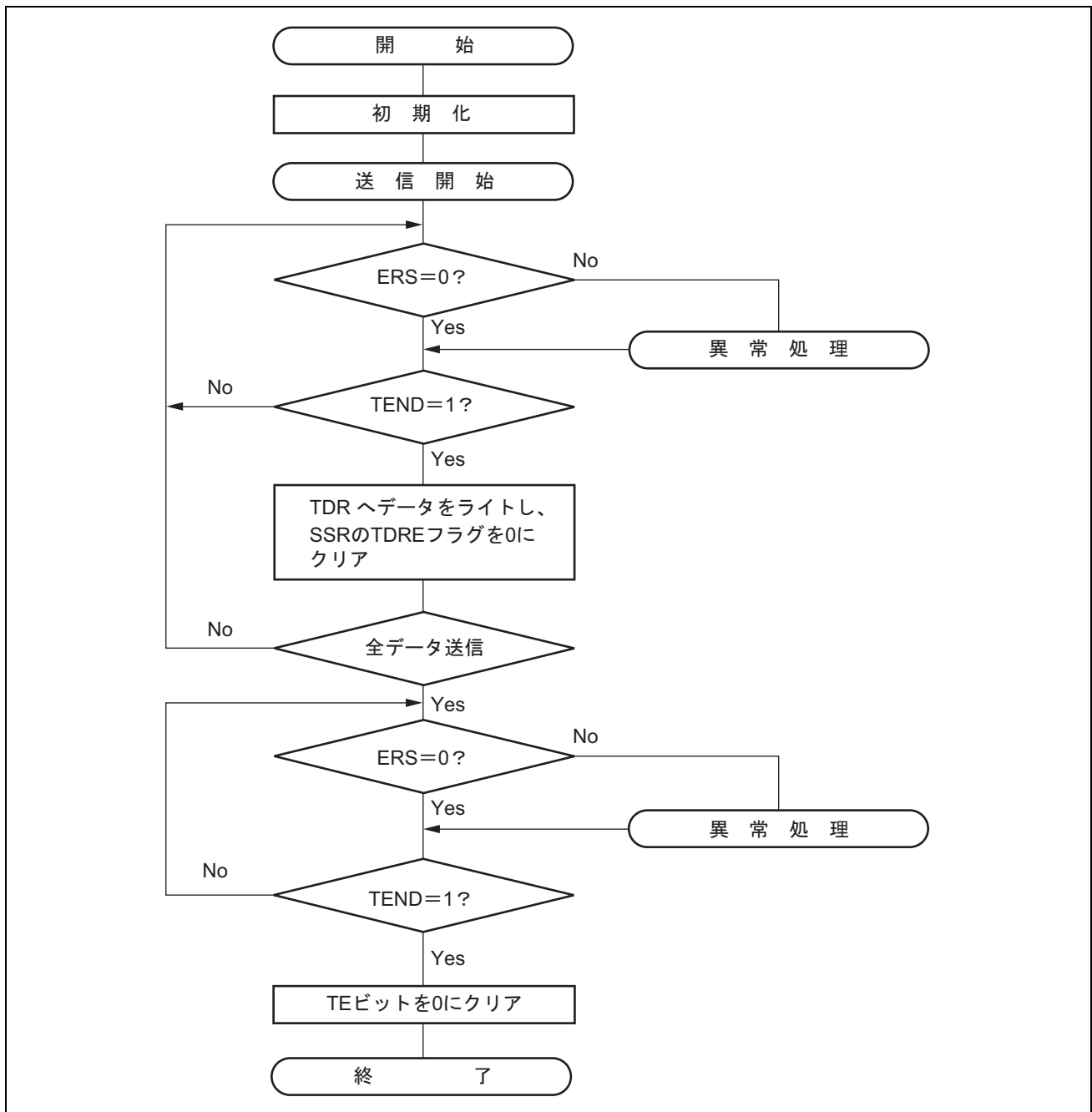


図 19.31 送信処理フローの例

19.7.7 シリアルデータ受信 (ブロック転送モードを除く)

スマートカードインタフェースモードにおけるデータ受信は、通常のシリアルコミュニケーションインタフェースモードと同様の処理手順になります。受信モードの場合の再転送動作を図 19.32 に示します。

1. 受信データにパリティエラーを検出すると SSR の PER ビットが 1 にセットされます。このとき、SCR の RIE がセットされていると ERI 割り込み要求を発生します。次のパリティビットのサンプリングタイミングまでに PER ビットをクリアしてください。
2. パリティエラーを検出したフレームでは SSR の RDRF ビットはセットされません。
3. パリティエラーが検出されない場合は、SSR の PER ビットはセットされません。
4. 正常に受信を完了したと判断して、SSR の RDRF が 1 にセットされます。このとき SCR の RIE ビットがセットされていれば、RXI 割り込み要求を発生します。

受信フローの例を図 19.33 に示します。これら一連の処理は RXI 割り込み要因によって DTC または DMAC を起動することで、自動的に行うことができます。受信動作では、RIE ビットを 1 にセットしておくことで RDRF フラグが 1 にセットされると RXI 要求を発生します。あらかじめ DTC または DMAC の起動要因に RXI 要求を設定しておけば、RXI 要求により DTC または DMAC が起動されて受信データの転送を行います。DTC または DMAC によりデータが転送されると RDRF フラグは自動的にクリアされます。また、受信時にエラーが発生し ORER、PER フラグのいずれかが 1 にセットされると、送受信エラー割り込み (ERI) 要求を発生しますのでエラーフラグをクリアしてください。エラーが発生した場合は DTC または DMAC は起動されず、受信データはスキップされるため DTC または DMAC に設定したバイト数だけ受信データを転送します。なお、受信時にパリティエラーが発生し PER が 1 にセットされた場合でも、受信したデータは RDR に転送されるのでこのデータをリードすることは可能です。

【注】 ブロック転送モードの場合は「19.4 調歩同期式モードの動作」を参照してください。

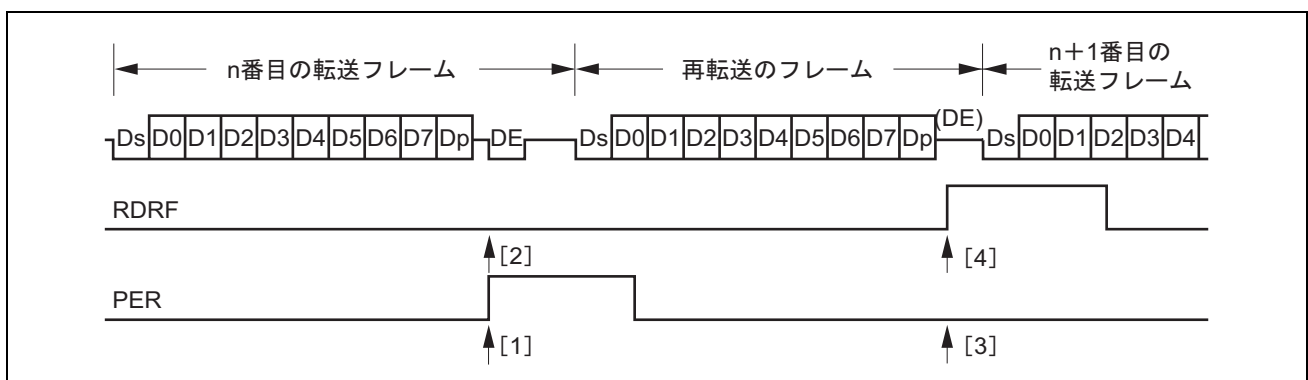


図 19.32 SCI 受信モードの場合の再転送動作

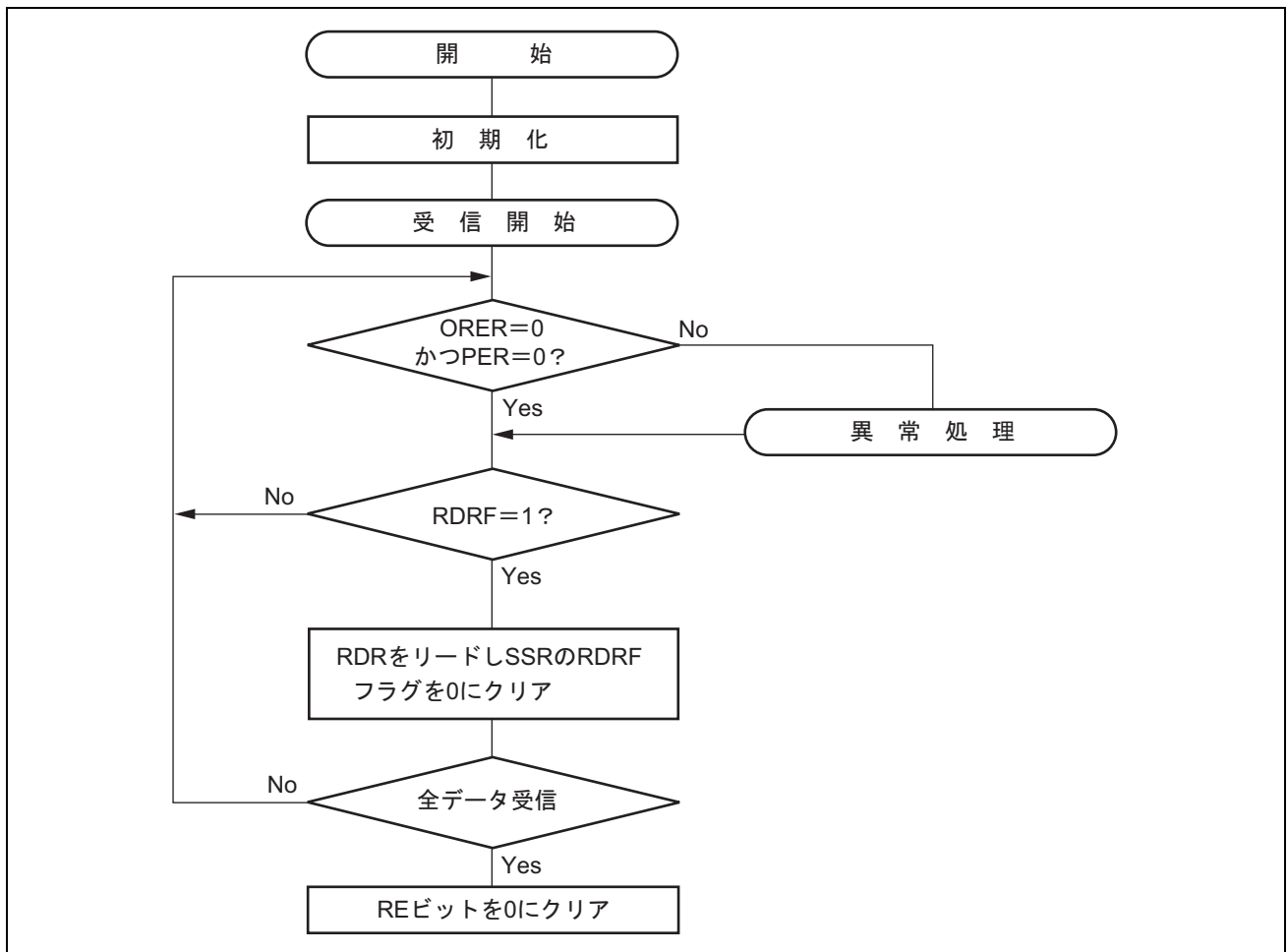


図 19.33 受信フローの例

19.7.8 クロック出力制御

SMR の GM ビットが 1 にセットされているとき、SCR の CKE1、CKE0 ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 19.34 にクロック出力の固定タイミングを示します。GM=1、CKE1=0 とし、CKE0 ビットを制御した場合の例です。

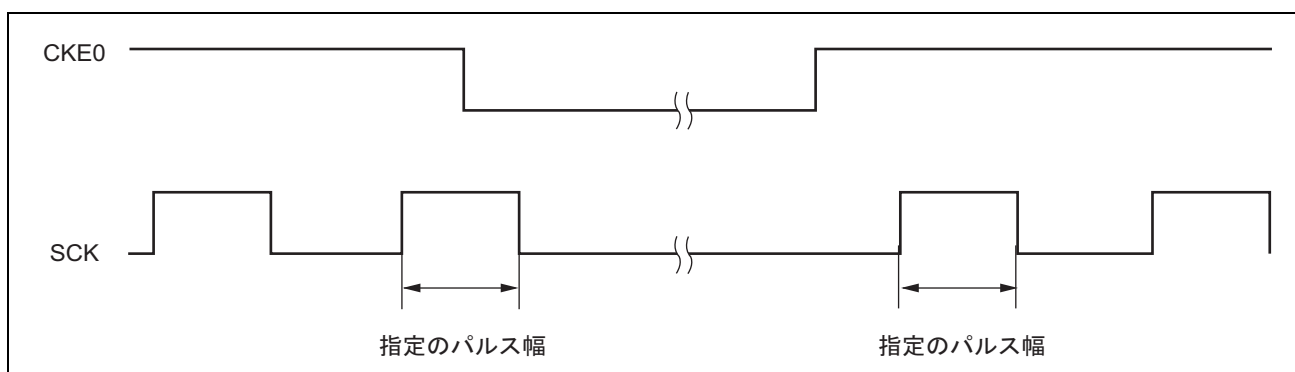


図 19.34 クロック出力固定タイミング

電源投入時およびソフトウェアスタンバイモードへの遷移またはソフトウェアスタンバイモードからの復帰の際は、クロックのデューティを確保するため、以下の手順で処理してください。

● 電源投入時

電源投入時からクロックデューティを確保するため、下記の切り替え手順で処理をしてください。

1. 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗/プルダウン抵抗を使用してください。
2. SCRのCKE1ビットでSCK端子を指定の出力に固定してください。
3. SMRとSCMRをセットし、スマートカードモードの動作に切り替えてください。
SCR の CKE0 ビットを 1 に設定して、クロック出力を開始させてください。

● モード切り替え時

(a) スマートカードインタフェースモードからソフトウェアスタンバイモードに遷移するとき

1. SCK端子に対応するデータレジスタ (DR) とデータディレクションレジスタ (DDR) をソフトウェアスタンバイモード時の出力固定状態の値に設定してください。
2. SCRのTEビットとREビットに0をライトし、送信/受信動作を停止させてください。
同時に、CKE1ビットをソフトウェアスタンバイ時の出力固定状態の値に設定してください。
3. SCRのCKE0ビットに0をライトし、クロックを停止させてください。
4. シリアルクロックの1クロック周期の間、待ってください。
この間に、デューティを守って、指定のレベルでクロック出力は固定されます。
5. ソフトウェアスタンバイ状態に遷移させてください。

19. シリアルコミュニケーションインタフェース (SCI、IrDA、CRC)

(b) ソフトウェアスタンバイモードからスマートカードインタフェースモードに戻るとき

1. ソフトウェアスタンバイ状態を解除してください。
2. SCRのCKE0ビットに1をライトし、クロックを出力させてください。正常なデューティにて信号発生を開始します。

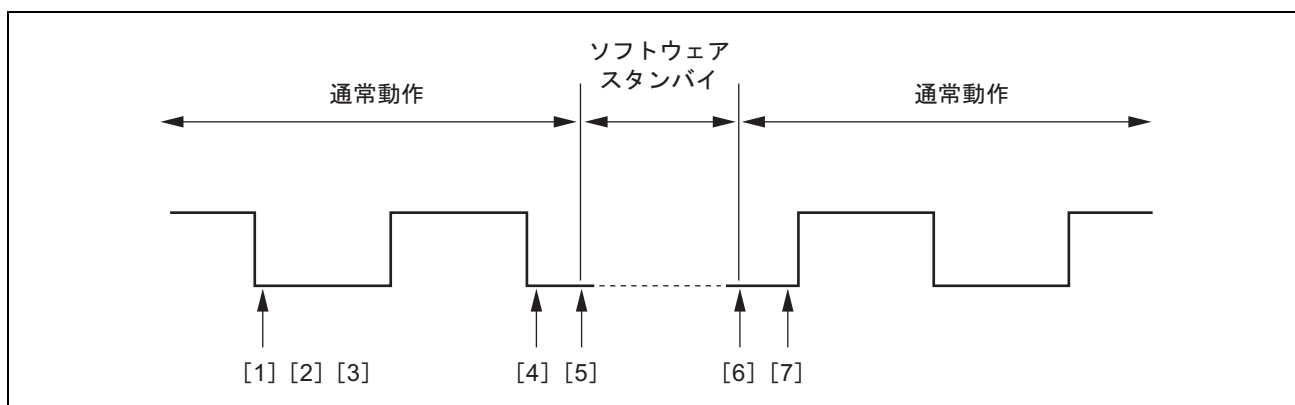


図 19.35 クロック停止・再起動手順

19.8 IrDA 動作

IrCR の IrE ビットで IrDA 機能をイネーブルにすると、SCI_5 の TxD5/RxD5 信号は IrDA 規格バージョン 1.0 に準拠した波形のエンコード/デコードを行います* (IrTxD/IrRxD 端子)。これを赤外線送受信トランシーバ/レシーバと接続することで、IrDA 規格バージョン 1.0 システムに準拠した赤外線送受信を実現することができます。

IrDA 規格バージョン 1.0 システムにおいて、9600bps の転送レートで通信を開始し、その後、必要に応じて転送レートを変化させることができます。本 LSI の IrDA インタフェースでは、自動的に転送レートを変更する機能は内蔵していません。転送レートは、ソフトウェアにより設定を変更してください。

図 19.36 に IrDA のブロック図を示します。

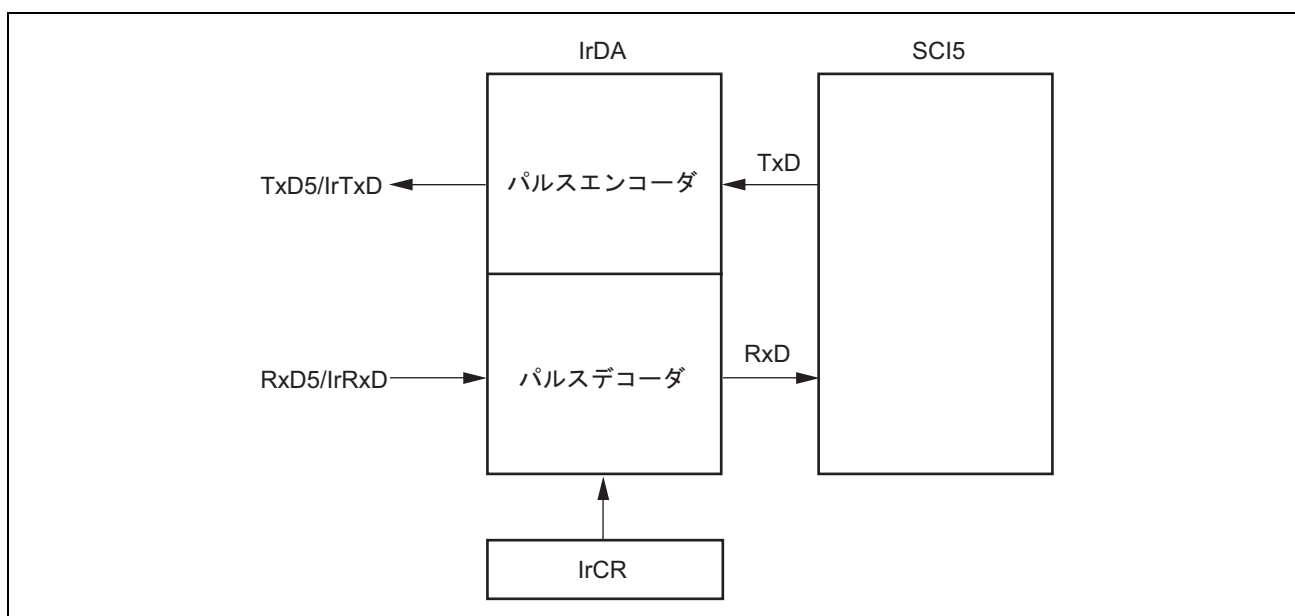


図 19.36 IrDA ブロック図

【注】 * IrDA 機能は、SEMR_5 の ABCS=0、ACS3~ACS0=B'0000 の状態で使用してください。

(1) 送信

送信時、SCIからの出力信号 (UART フレーム) は、IrDA インタフェースにより IR フレームに変換されます (図 19.37 参照)。シリアルデータが 0 のとき、ビットレート (1 ビット幅の期間) の $3/16$ の High パルスが出力されます (初期値)。なお、High パルス幅は IrCR の IrCKS2~IrCKS0 ビットの設定値により変化させることも可能です。規格では、High パルス幅は最小 $1.41 \mu\text{s}$ 、最大 $(3/16+2.5\%) \times \text{ビットレート}$ 、または $(3/16 \times \text{ビットレート}) + 1.08 \mu\text{s}$ と定められています。システムクロック ϕ が 20MHz のとき、 $1.41 \mu\text{s}$ 以上で最小の High パルス幅としては $1.6 \mu\text{s}$ が設定可能です。また、シリアルデータが 1 のときは、パルスは出力されません。

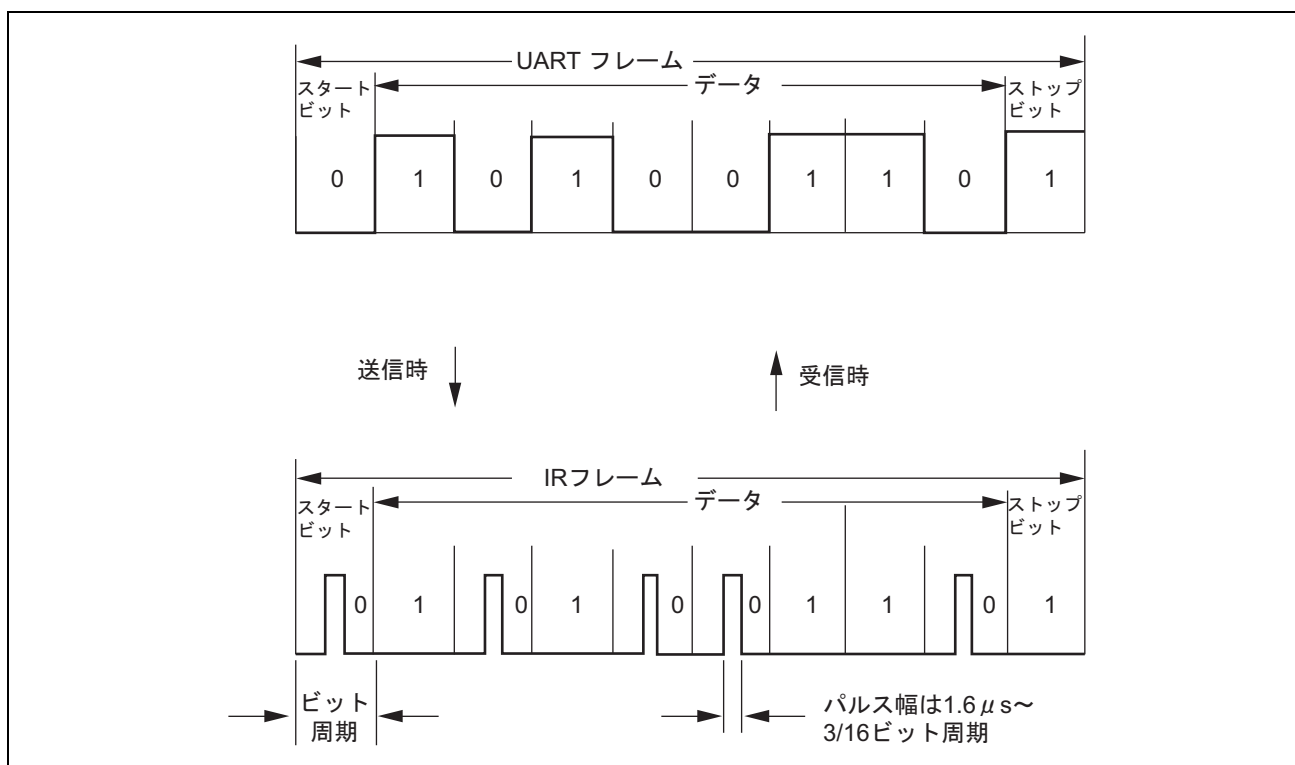


図 19.37 IrDA の送信/受信動作

(2) 受信

受信時、IR フレームのデータは、IrDA インタフェースにより UART フレームに変換され、SCIに入力されます。High パルスが検出されたときに 0 データを出力し、1 ビット期間中にパルスがない場合には 1 データを出力します。最小パルス幅の $1.41 \mu\text{s}$ より短いパルスも 0 信号として認識しますのでご注意ください。

(3) High パルス幅の選択

送信時にビットレート×3/16 よりパルス幅を短くする場合に、適用可能な IrCKS2~IrCKS0 ビットの設定 (最小パルス幅) と本 LSI の動作周波数およびビットレートの選択を表 19.13 に示します。

表 19.13 IrCKS2~IrCKS0 ビットの設定

動作周波数 Pφ MHz	ビットレート (bps) (上段) / ビット周期×3/16 (μs) (下段)					
	2400	9600	19200	38400	57600	115200
	78.13	19.53	9.77	4.88	3.26	1.63
7.3728	100	100	100	100	100	100
8	100	100	100	100	100	100
9.8304	100	100	100	100	100	100
10	100	100	100	100	100	100
12	101	101	101	101	101	101
12.288	101	101	101	101	101	101
14	101	101	101	101	101	101
14.7456	101	101	101	101	101	101
16	101	101	101	101	101	101
17.2032	101	101	101	101	101	101
18	101	101	101	101	101	101
19.6608	101	101	101	101	101	101
20	101	101	101	101	101	101
25	110	110	110	110	110	110
30	110	110	110	110	110	110
33	110	110	110	110	110	110
35	110	110	110	110	110	110

19.9 割り込み要因

19.9.1 通常のシリアルコミュニケーションインタフェースモードにおける割り込み

表 19.14 に通常のシリアルコミュニケーションインタフェースモードにおける割り込み要因を示します。各割り込み要因には異なる割り込みベクタが割り当てられており、SCR のイネーブルビットにより独立にイネーブルにすることができます。

SSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。TXI 割り込み要求により DTC または DMAC を起動してデータ転送を行うことができます。TDRE フラグは DTC または DMAC によるデータ転送時に自動的に 0 にクリアされます。

SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。SSR の ORER、PER、FER フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。RXI 割り込み要求で DTC または DMAC を起動してデータ転送を行うことができます。RDRF フラグは DTC または DMAC によるデータ転送時に自動的に 0 にクリアされます。

TEI 割り込みは TEIE ビットが 1 にセットされた状態で TEND フラグが 1 にセットされたとき発生します。TEI 割り込みと TXI 割り込みが同時に発生している状態では TXI 割り込みが先に受け付けられ、TXI 割り込みルーチンで TDRE フラグと TEND フラグを同時にクリアする場合は TEI 割り込みルーチンへ分岐できなくなりますので注意してください。

また、SCI_0、1、2、3、4 と SCI_5、6 では割り込みの優先順位が異なりますので注意してください。

表 19.14 SCI 割り込み要因 (SCI_0、1、2、3、4)

名称	割り込み要因	割り込みフラグ	DTC の起動	DMAC の起動	優先順位
ERI	受信エラー	ORER、FER、PER	不可	不可	高 ↑ 低
RXI	受信データフル	RDRF	可	可	
TXI	送信データエンpty	TDRE	可	可	
TEI	送信終了	TEND	不可	不可	

表 19.15 SCI 割り込み要因 (SCI_5、6)

名称	割り込み要因	割り込みフラグ	DTC の起動	DMAC の起動	優先順位
RXI	受信データフル	RDRF	不可	可	高 ↑ 低
TXI	送信データエンpty	TDRE	不可	可	
ERI	受信エラー	ORER、FER、PER	不可	不可	
TEI	送信終了	TEND	不可	不可	

19.9.2 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 19.16 の割り込み要因があります。送信終了割り込み (TEI) 要求は使用できません。

SCI_0、1、2、3、4 と SCI_5、6 では、割り込みの優先順位が異なりますので注意してください。

表 19.16 SCI 割り込み要因 (SCI_0、1、2、3、4)

名称	割り込み要因	割り込みフラグ	DTC の起動	DMAC の起動	優先順位
ERI	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可	不可	高
RXI	受信データフル	RDRF	可	可	↑
TXI	送信データエンpty	TDRE	可	可	低

表 19.17 SCI 割り込み要因 (SCI_5、6)

名称	割り込み要因	割り込みフラグ	DTC の起動	DMAC の起動	優先順位
RXI	受信データフル	RDRF	不可	可	高
TXI	送信データエンpty	TDRE	不可	可	↑
ERI	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可	不可	低

スマートカードモードの場合も通常の SCI の場合と同様に、DTC または DMAC を使って送受信を行うことができます。送信動作では、SSR の TEND フラグが 1 にセットされると同時に TDRE フラグもセットされ、TXI 割り込みが発生します。あらかじめ DTC または DMAC の起動要因に TXI 要求を設定しておけば、TXI 要求により DTC または DMAC が起動されて送信データの転送を行います。TDRE および TEND フラグは、DTC または DMAC によるデータ転送時に自動的に 0 にクリアされます。エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間 TEND は 0 のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC または DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にクリアされませんので、RIE ビットを 1 にセットしておき、エラー発生時に ERI 要求を発生させ、ERS をクリアしてください。

なお、DTC または DMAC を使って送受信を行う場合は、必ず先に DTC または DMAC を設定し、許可状態にしてから SCI の設定を行ってください。DTC または DMAC の設定方法は「12. データトランスファコントローラ (DTC)」、「10. DMA コントローラ (DMAC)」を参照してください。

また、受信動作では、SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 要求を設定しておけば、RXI 要求で DTC または DMAC が起動されて受信データの転送を行います。RDRF フラグは、DTC または DMAC によるデータ転送時に、自動的に 0 にクリアされます。エラーが発生した場合は、RDRF フラグはセットされずエラーフラグがセットされます。そのため DTC または DMAC は起動されず、かわりに CPU に対し ERI を発生しますのでエラーフラグをクリアしてください。

19.10 使用上の注意事項

19.10.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、SCI の動作禁止/許可を設定することが可能です。初期値では、SCI の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「27. 低消費電力」を参照してください。

19.10.2 ブレークの検出と処理について

フレーミングエラー検出時に、RxD 端子の値を直接リードすることでブレークを検出できます。ブレークでは RxD 端子からの入力がすべて 0 になりますので、FER がセットされ、また PER もセットされる可能性があります。SCI は、ブレークを受信した後も受信動作を続けます。したがって FER を 0 にクリアしてもふたたび FER が 1 にセットされますので注意してください。

19.10.3 マーク状態とブレークの送付

TE が 0 のとき、TxD 端子は DR と DDR により入出力方向とレベルが決まる I/O ポートになります。これを利用して TxD 端子をマーク状態にしたりデータ送信時にブレークを送付することができます。TE を 1 にセットするまで、通信回線をマーク状態 (1 の状態) にするためには、DDR=1、DR=1 を設定します。このとき、TE が 0 にクリアされていますので、TxD 端子は I/O ポートとなっており 1 が出力されます。一方、データ送信時にブレークを送付したいときは、DDR=1、DR=0 に設定した後 TE を 0 にクリアします。TE を 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子は I/O ポートになり、TxD 端子から 0 が出力されます。

19.10.4 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (ORER、PER、FER) が 1 にセットされた状態では、TDRE を 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。また、RE を 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

19.10.5 TDR へのライトと TDRE フラグの関係について

SSR の TDRE フラグは TDR から TSR に送信データの転送が行われたことを示すステータスフラグです。SCI が TDR から TSR にデータを転送すると TDRE フラグが 1 にセットされます。

TDR へのデータのライトは、TDRE フラグの状態にかかわらず行うことができます。しかし、TDRE フラグが 0 の状態で新しいデータを TDR にライトすると、TDR に格納されていたデータは TSR に転送されていないため失われてしまいます。したがって TDR への送信データのライトは、必ず TDRE フラグが 1 にセットされていることを確認してから行ってください。

19.10.6 DMAC または DTC 使用上の制約事項

1. 同期クロックに外部クロックソースを使用する場合、DMACまたはDTCによるTDRの更新後、Pφクロックで5クロック以上経過した後に送信クロックを入力してください。TDRの更新後4クロック以内に送信クロックを入力すると誤動作することがあります（図19.38参照）。
2. DMACまたはDTCにより、RDRのリードを行うときは必ず起動要因を当該SCIの受信完了割り込み (RXI) に設定してください。

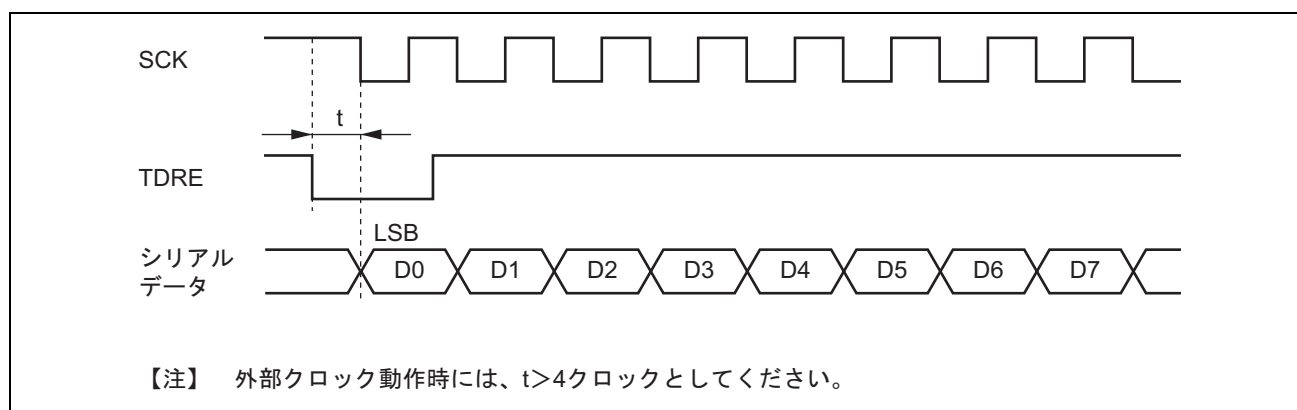


図 19.38 DTC によるクロック同期式送信時の例

3. SCI_5、6のRXI要求、TXI要求によるDTCの起動はできません。

19.10.7 低消費電力状態時の動作について

(1) 送信

モジュールストップ状態への設定または、ソフトウェアスタンバイモードへの遷移は、動作を停止 (TE=TIE=TEIE=0) してから行ってください。TSR、TDR および SSR はリセットされます。モジュールストップ状態、ソフトウェアスタンバイモード時の出力端子の状態は、ポートの設定に依存し、解除後 High 出力となります。送信中に遷移すると、送信中のデータは不確定になります。

低消費電力状態からの解除の後、送信モードを変えないで送信する場合は、TE=1 に設定し、SSR リード→TDR ライト→TDRE クリアで送信開始できます。送信モードを変えて送信する場合は、初期設定から行ってください。

IrDA 使用時は、TE の設定と同時に IrE も設定をしてください。

図 19.39 に送信時のモード遷移フローチャートの例を示します。図 19.40、図 19.41 にモード遷移時のポートの端子状態を示します。

また、DTC 転送による送信からモジュールストップ状態への設定、または、ソフトウェアスタンバイモード遷移は、動作を停止 (TE=TIE=TEIE=0) してから行ってください。解除後 DTC による送信をする場合は TE=1、TIE=1 に設定すると TXI フラグが立ち、DTC による送信が始まります。

(2) 受信

モジュールストップ状態への設定または、ソフトウェアスタンバイモードへの遷移は、受信動作を停止 (RE=0) してから行ってください。RSR、RDR および SSR はリセットされます。受信中に遷移すると、受信中のデータは無効になります。

低消費電力状態からの解除の後、受信モードを変えないで受信する場合は、RE=1 に設定して受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

IrDA 使用時は、RE の設定と同時に IrE も設定をしてください。

図 19.42 に受信時のモード遷移フローチャートの例を示します。

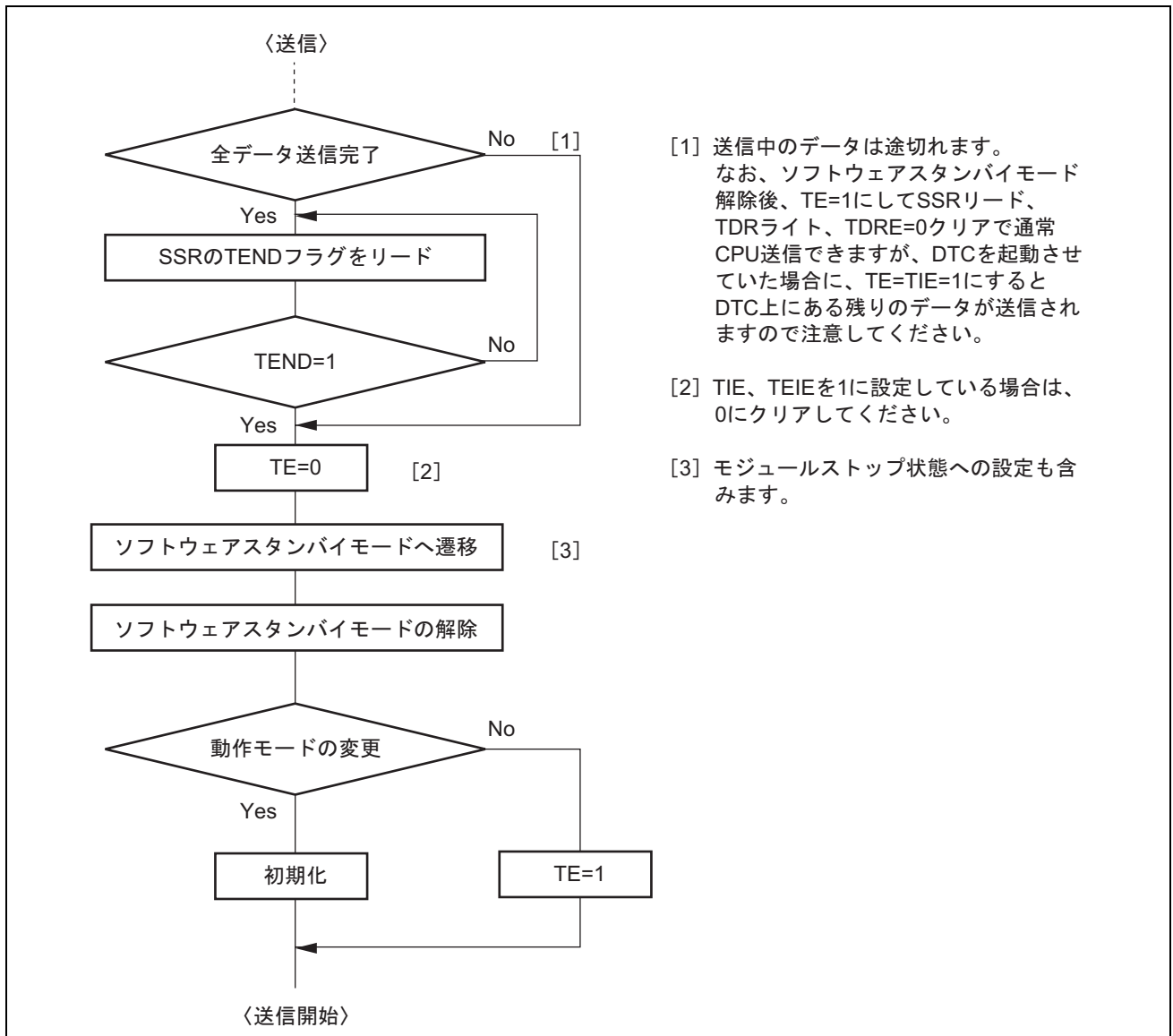


図 19.39 送信時のソフトウェアスタンバイモード遷移フローチャートの例

19. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

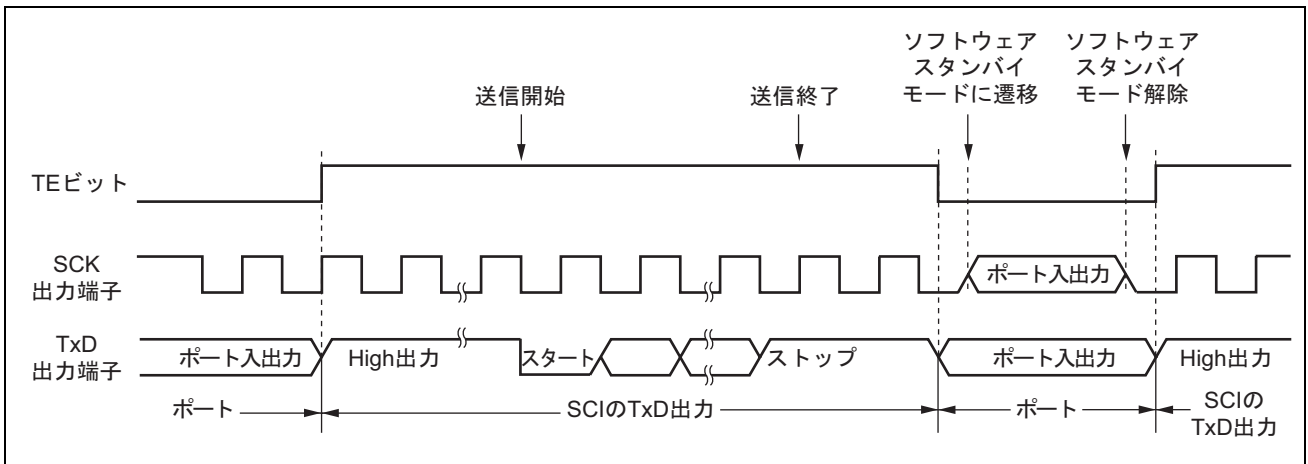


図 19.40 ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、調歩同期送信)

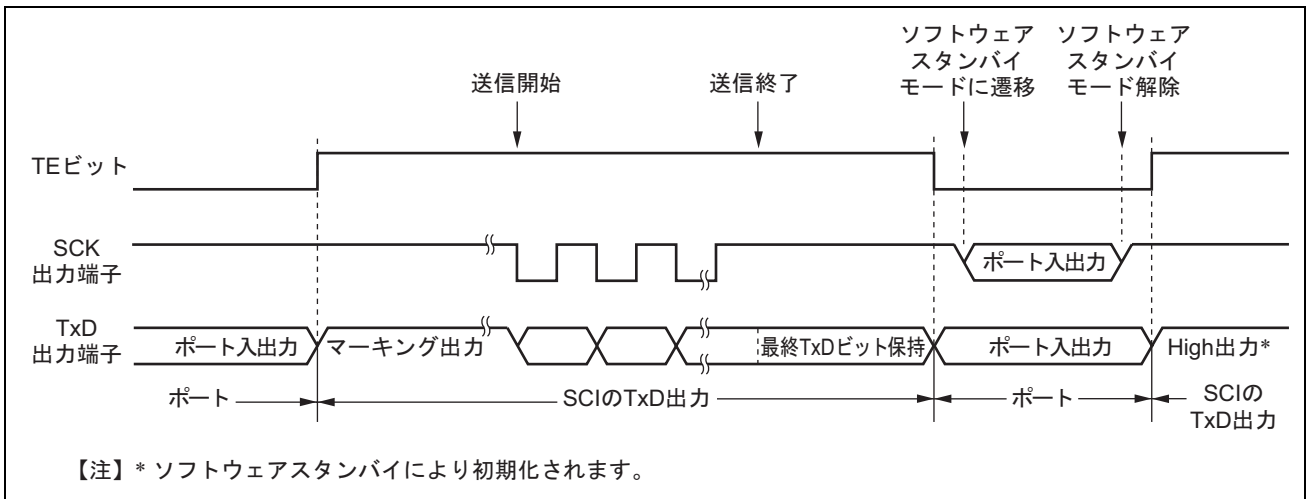


図 19.41 ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、クロック同期送信)

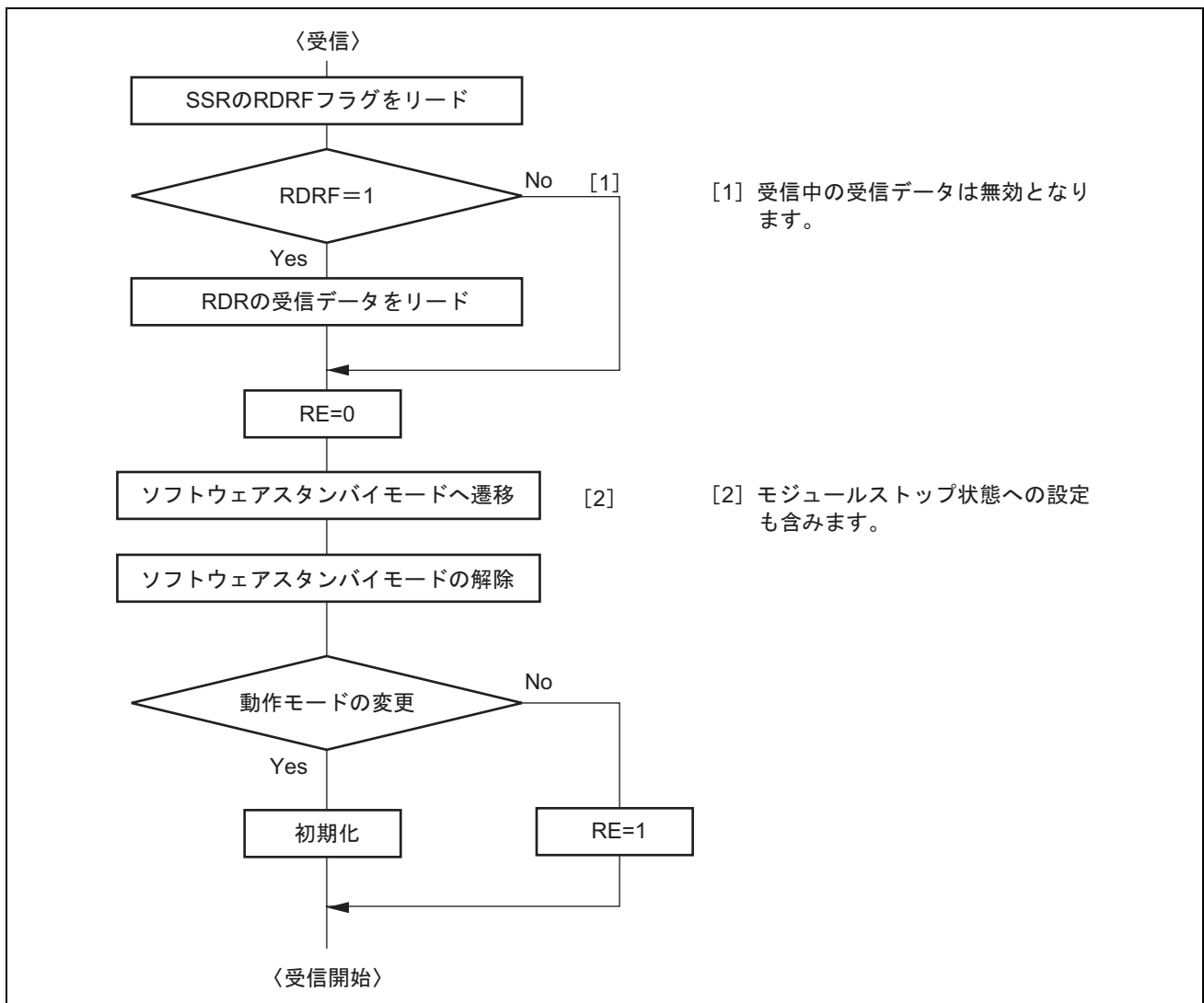


図 19.42 受信時のソフトウェアスタンバイモード遷移フローチャートの例

19.11 CRC 演算器

CRC (Cyclic Redundancy Check) 演算器は、データブロックの誤り検出を行います。

19.11.1 特長

- 8ビット単位の任意のデータ長に対してCRCコードを生成
- CRC演算は8ビットずつ並列に実行
- 生成多項式を3つの多項式から選択可能
- LSBファースト通信用CRCコード生成/MSBファースト通信用CRCコード生成の選択が可能

図 19.43 に CRC 演算器のブロック図を示します。

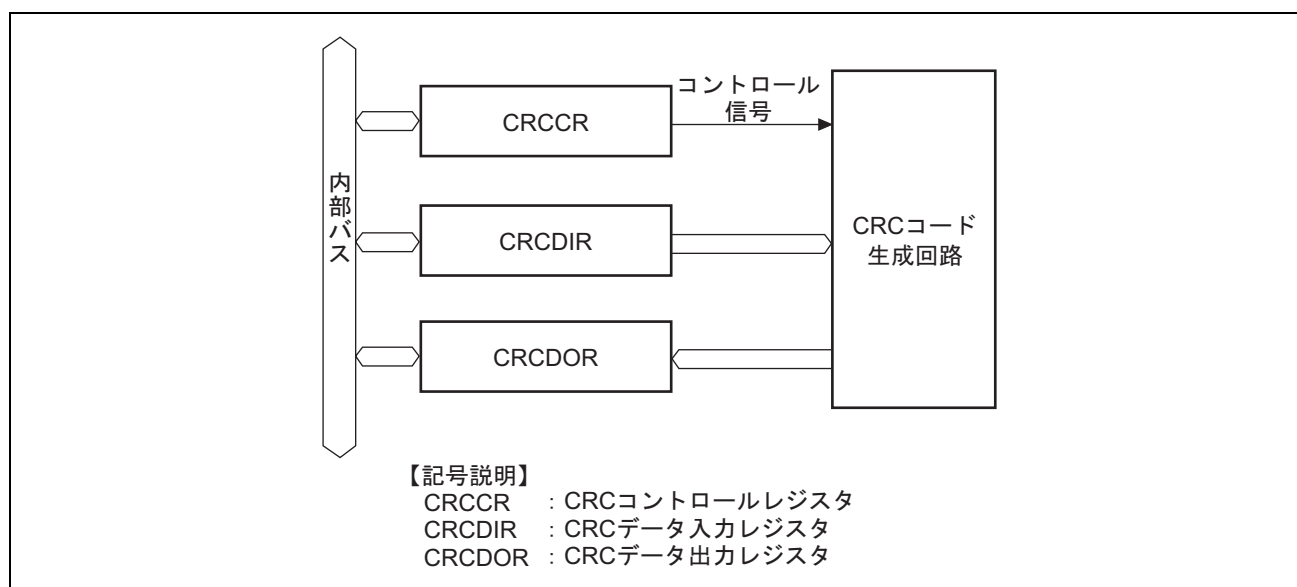


図 19.43 CRC 演算器のブロック図

19.11.2 レジスタの説明

CRC 演算器には以下のレジスタがあります。

- CRCコントロールレジスタ (CRCCR)
- CRCデータ入力レジスタ (CRCDIR)
- CRCデータ出力レジスタ (CRCDOR)

19. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

(1) CRC コントロールレジスタ (CRCCR)

CRCCR は CRC 演算器の初期化、演算切り替え、生成多項式を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	DORCLR	—	—	—	—	LMS	G1	G0
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	DORCLR	0	W	CRCDOR クリア このビットを 1 にセットすると、CRCDOR が H'0000 にクリアされます。
6~3	—	0	R	リザーブビット 初期値を変更しないでください。
2	LMS	0	R/W	CRC 演算切り替え LSB ファースト通信用 CRC コード生成か、MSB ファースト通信用 CRC コード生成かを選択します。 0 : LSB ファーストで通信する場合の CRC 演算を行います。CRCDOR の内容 (CRC コード) を 2 バイトに分けて送信する場合、下位バイト (ビット 7 ~0) を先に送信します。 1 : MSB ファーストで通信する場合の CRC 演算を行います。CRCDOR の内容 (CRC コード) を 2 バイトに分けて送信する場合、上位バイト (ビット 15 ~8) を先に送信します。
1	G1	0	R/W	CRC 生成多項式切り替え 多項式を選択します。 00 : リザーブ 01 : $X^8 + X^2 + X + 1$ 10 : $X^{16} + X^{15} + X^2 + 1$ 11 : $X^{16} + X^{12} + X^5 + 1$
0	G0	0	R/W	

(2) CRC データ入力レジスタ (CRCDIR)

CRCDIR は 8 ビットのリード/ライト可能なレジスタです。CRCDIR に CRC 演算対象のバイトをライトすると CRCDOR に結果が得られます。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(3) CRC データ出力レジスタ (CRCDOR)

CRCDOR は 16 ビットのリード/ライト可能なレジスタです。CRCDOR クリア後、CRCDIR に CRC 演算対象のバイトをライトすると CRCDOR に結果が得られます。CRC 演算対象のバイトに CRC 演算結果を追加してライトした場合、CRC エラーがなければ結果は H'0000 になります。CRCCR ビット 1、0 を G1=0、G0=1 と指定した場合、下位バイトに結果が得られます。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

19.11.3 CRC 演算器の動作説明

CRC 演算器は、LSB ファースト/MSB ファースト通信用 CRC コードを生成します。以下に CRCCR の G1、G0 ビットを B'11 として $X^{16}+X^{12}+X^5+1$ の多項式を使用し、16 進数 H'F0 データについて CRC コードを生成する使用例を示します。

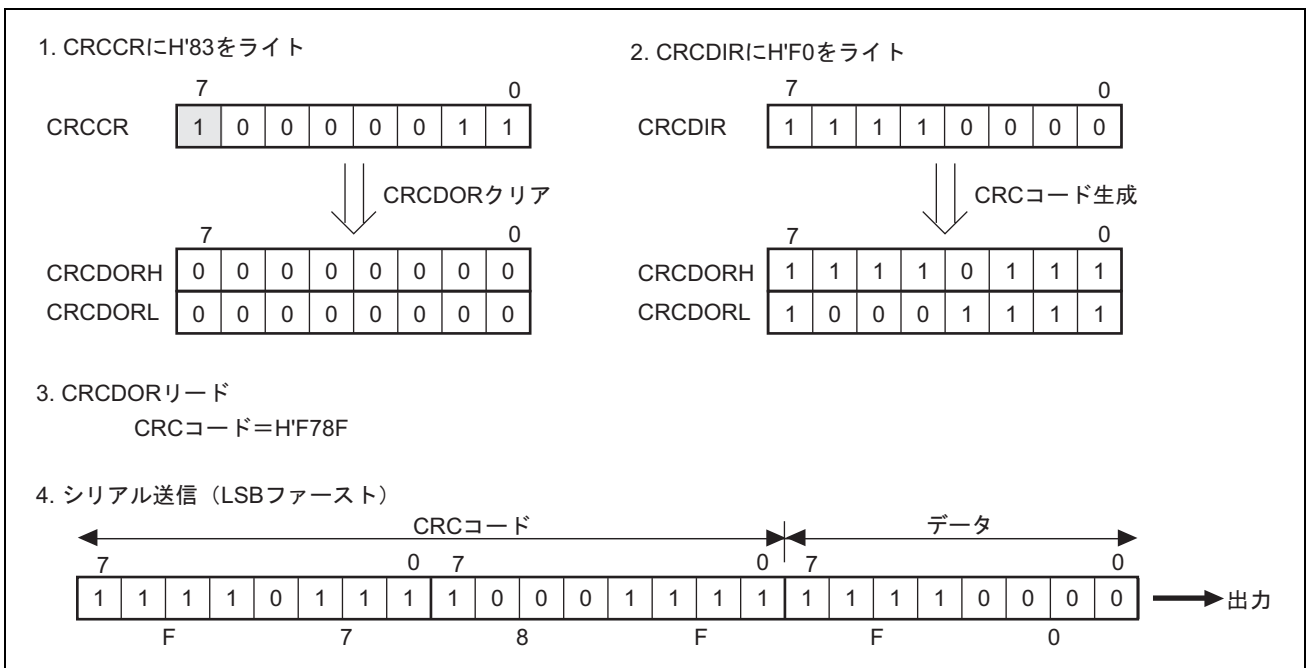


図 19.44 LSB ファーストでのデータ送信

19. シリアルコミュニケーションインタフェース (SCI、IrDA、CRC)

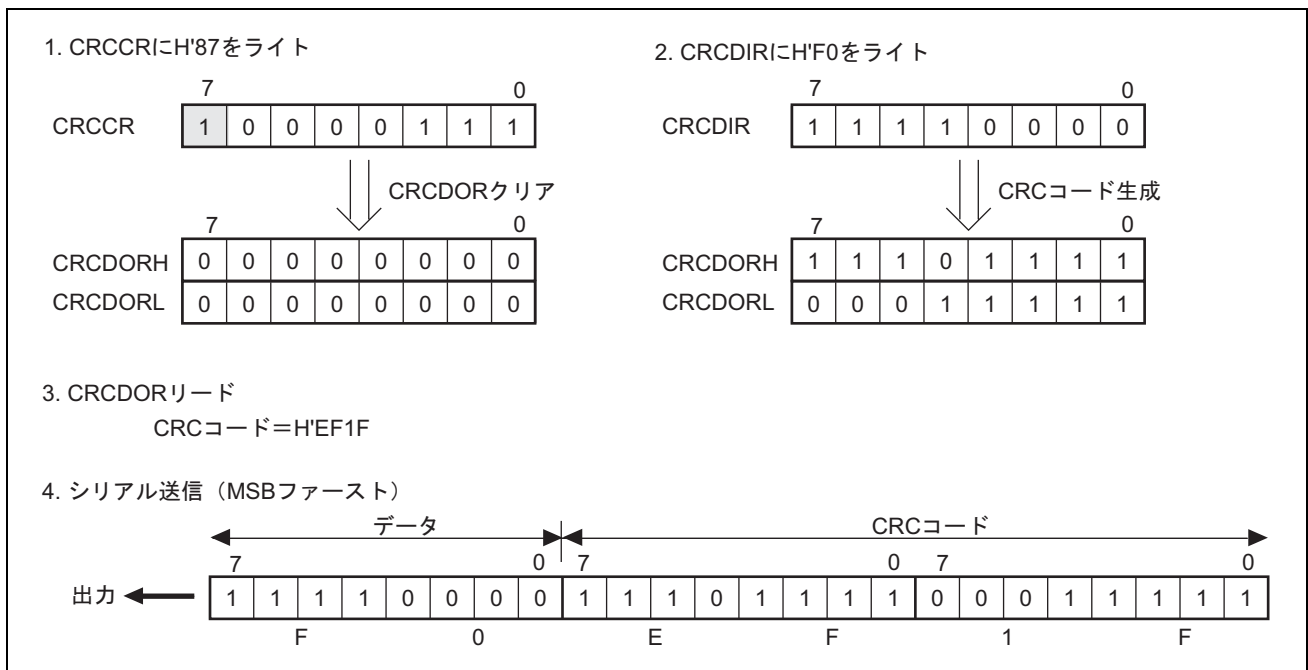


図 19.45 MSB ファーストでのデータ送信

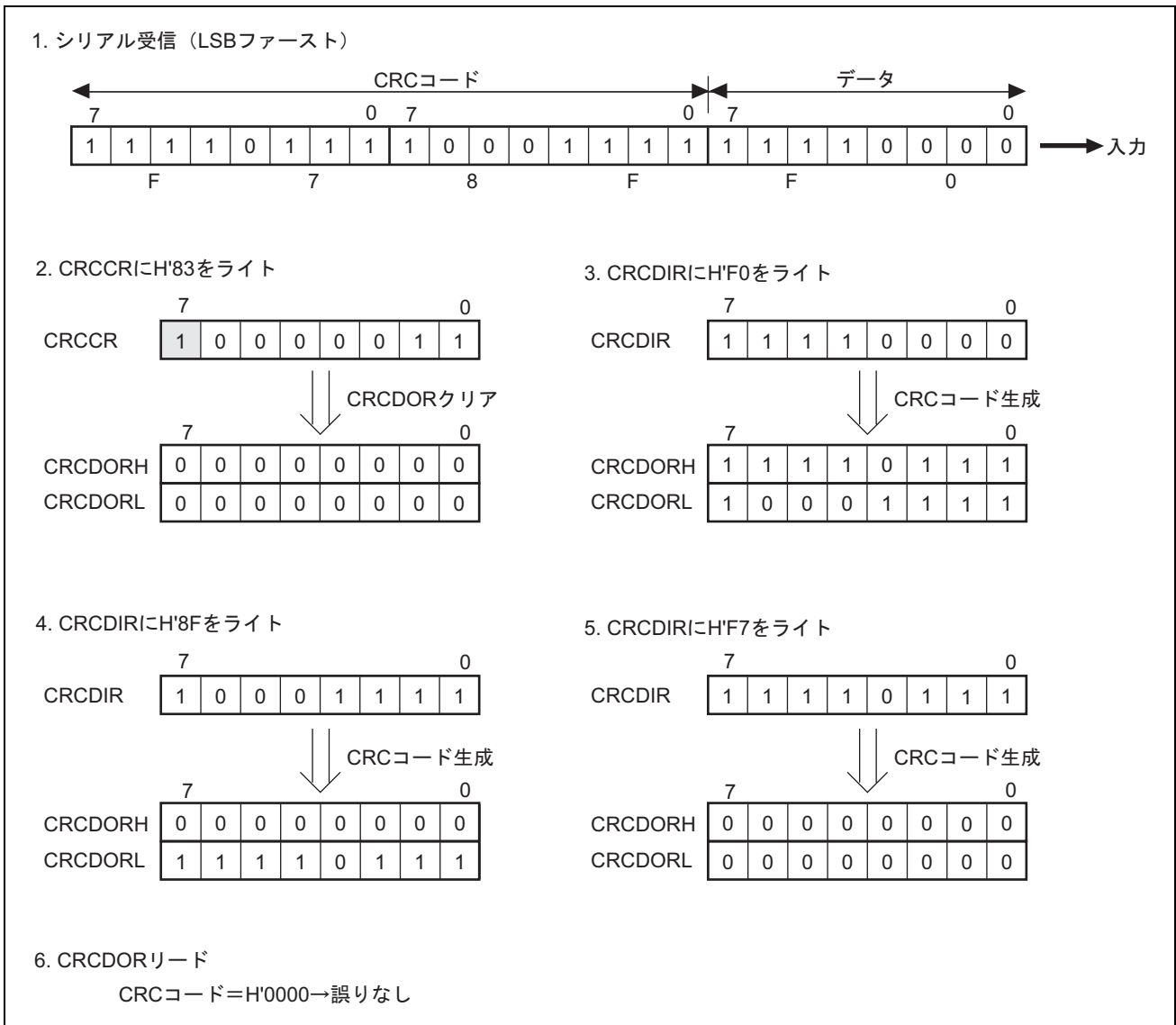


図 19.46 LSB ファーストでのデータ受信

19. シリアルコミュニケーションインタフェース (SCI、IrDA、CRC)

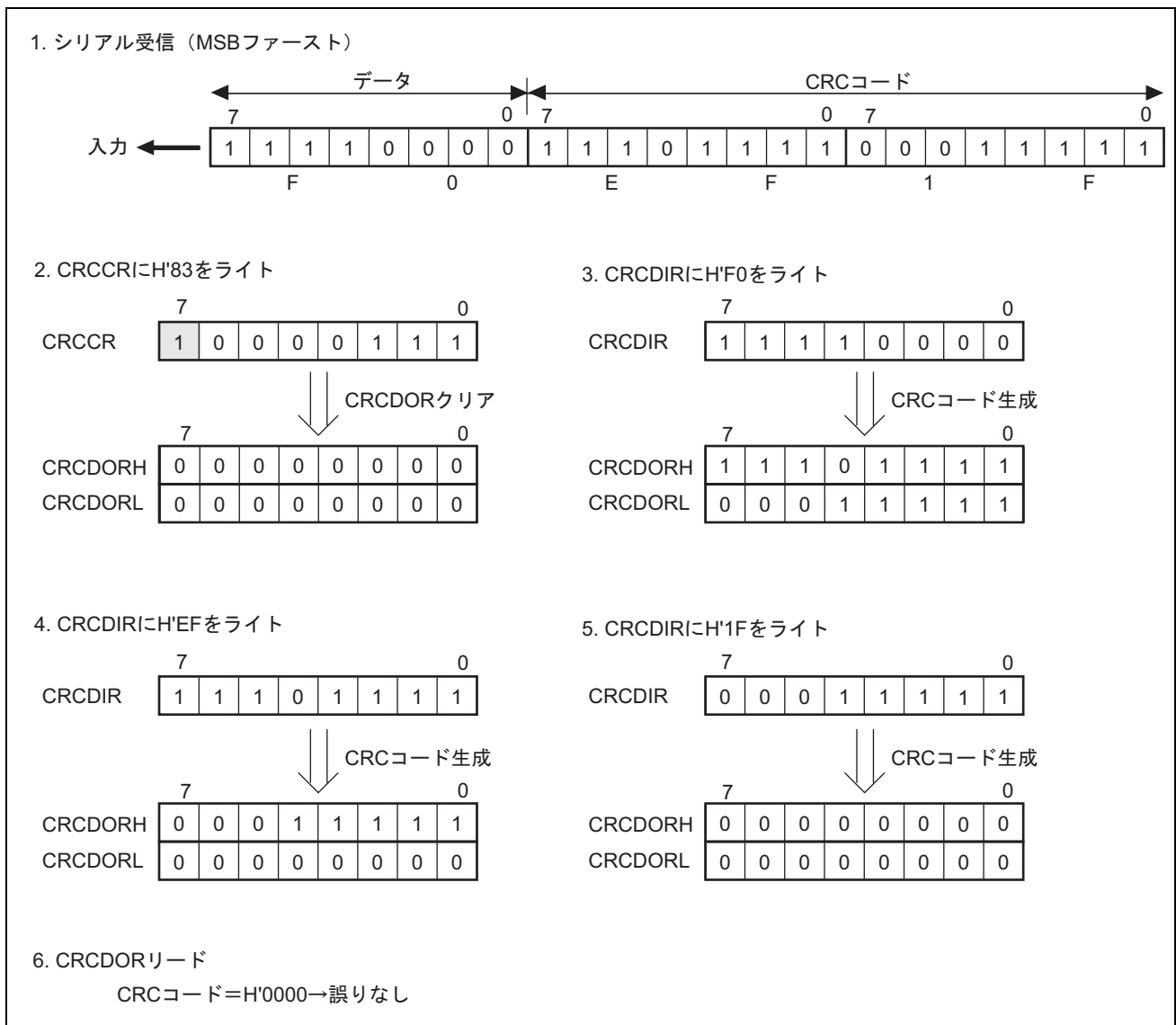


図 19.47 MSB ファーストでのデータ受信

19.11.4 CRC 演算器使用上の注意事項

LSB ファーストで送信する場合と MSB ファーストで送信する場合とでは、CRC コードを送る順序が異なりますので、注意してください。

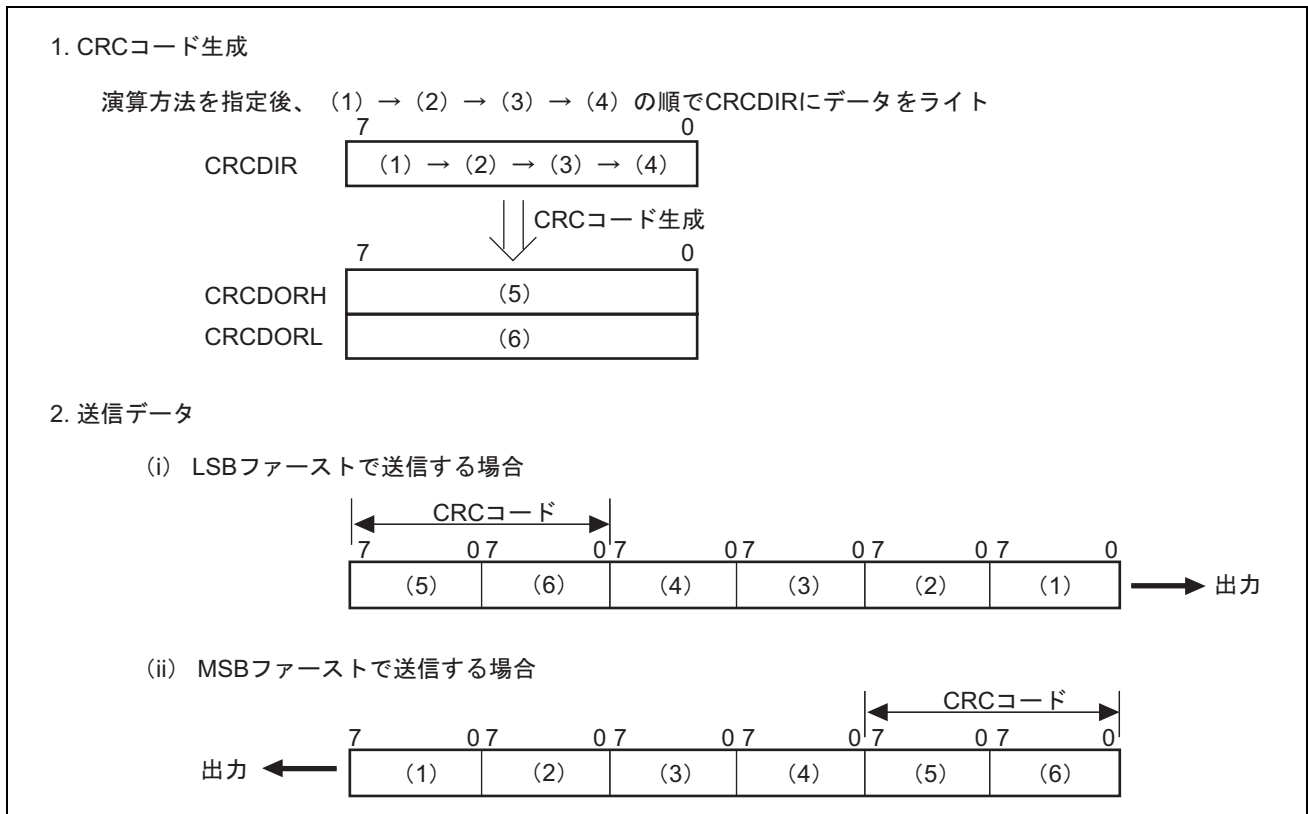


図 19.48 LSB ファーストと MSB ファーストの送信データ

20. I²C バスインタフェース 2 (IIC2)

本 LSI は、2 チャンネルの I²C バスインタフェースを 2 ユニット内蔵しています。

I²C バスインタフェースは、フィリップス社が提唱する I²C バス (Inter IC Bus) インタフェース方式に準拠しており、サブセット機能を備えています。ただし I²C バスを制御するレジスタの構成が一部フィリップス社と異なりますので注意してください。

I²C バスインタフェース 2 のブロック図を図 20.1 に、入出力端子の外部回路接続例を図 20.2 に示します。

20.1 特長

- 連続送信／受信可能
シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため、連続送信／受信が可能
- マスタモードでは開始条件、停止条件の自動生成
- 受信時、アクノリッジの出力レベルを選択可能
- 送信時、アクノリッジビットを自動ロード
- ビット同期／ウェイト機能内蔵
マスタモードではビットごとに SCL の状態をモニタして自動的に同期を取ります。転送準備ができていない場合には、SCL をローレベルにして待機させます。
- 割り込み要因：6種類
送信データエンプティ (スレーブアドレス一致時を含む)、送信完了、受信データフル (スレーブアドレス一致時を含む)、アービトレーションロスト、NACK 検出時、停止条件検出時
- バスを直接駆動可能
SCL、SDA の各端子は、NMOS オープンドレイン出力
ユニット 1 は 5V 入力可能
- モジュールストップ状態への設定可能

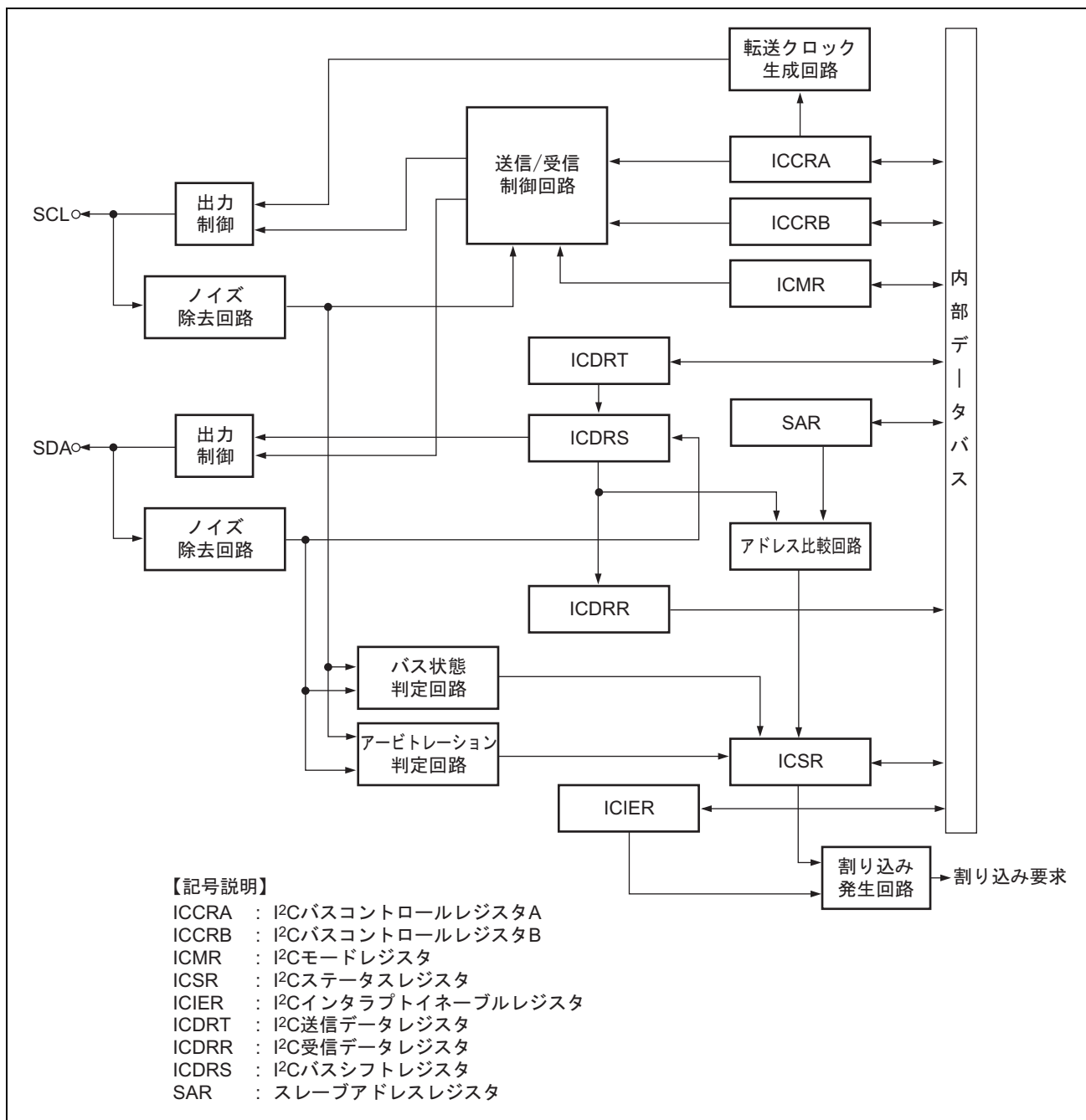


図 20.1 I²C バスインタフェース 2 のブロック図

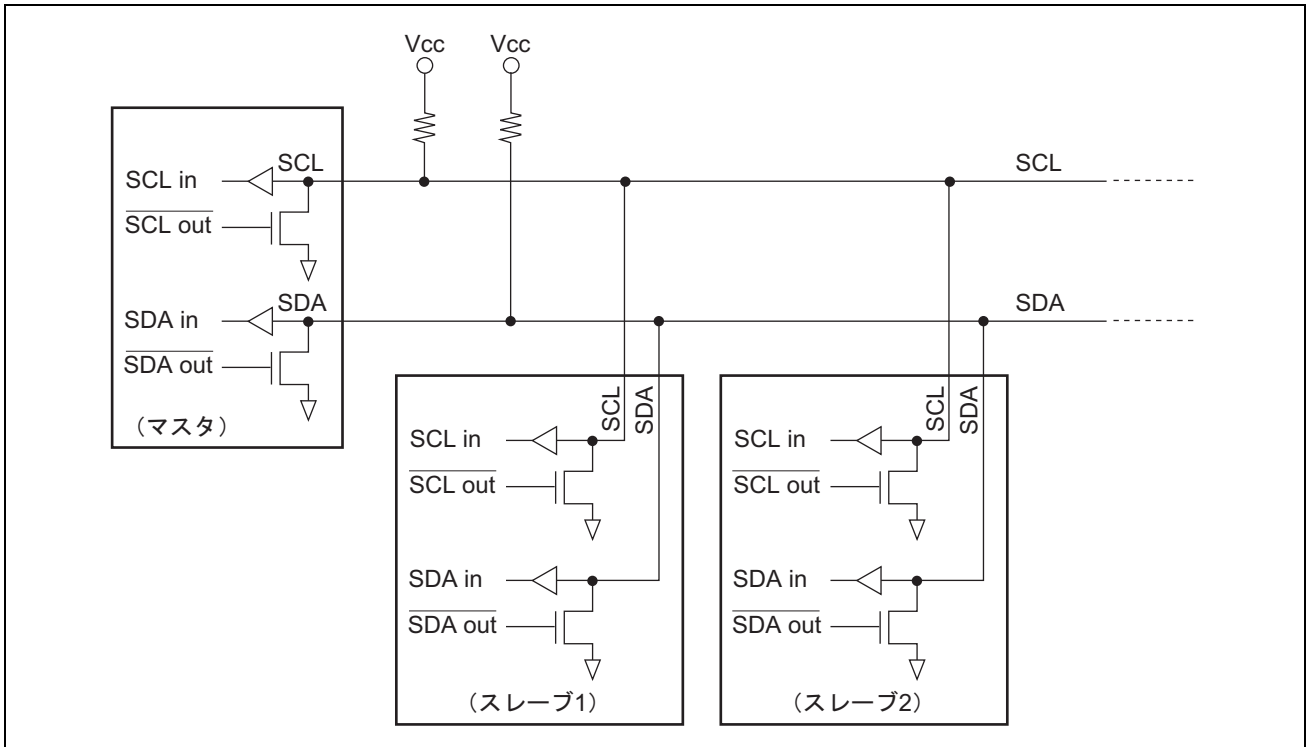


図 20.2 入出力端子の外部回路接続例

20.2 入出力端子

I²C バスインタフェース 2 で使用する端子構成を表 20.1 に示します。

表 20.1 端子構成

ユニット	チャンネル	記号	入出力	機能
0	0	SCL0	入出力	チャンネル 0 のシリアルクロック入出力端子
		SDA0	入出力	チャンネル 0 のシリアルデータ入出力端子
	1	SCL1	入出力	チャンネル 1 のシリアルクロック入出力端子
		SDA1	入出力	チャンネル 1 のシリアルデータ入出力端子
1	2	SCL2	入出力	チャンネル 2 のシリアルクロック入出力端子
		SDA2	入出力	チャンネル 2 のシリアルデータ入出力端子
	3	SCL3	入出力	チャンネル 3 のシリアルクロック入出力端子
		SDA3	入出力	チャンネル 3 のシリアルデータ入出力端子

【注】本文中では、チャンネルを省略し、それぞれ SCL、SDA と略称します。

20.3 レジスタの説明

I²C には以下のレジスタがあります。

【ユニット 0】

チャンネル 0

- I²CバスコントロールレジスタA_0 (ICCRA_0)
- I²CバスコントロールレジスタB_0 (ICCRB_0)
- I²Cバスモードレジスタ_0 (ICMR_0)
- I²Cバスインタラプトイネーブルレジスタ_0 (ICIER_0)
- I²Cバスステータスレジスタ_0 (ICSR_0)
- スレーブアドレスレジスタ_0 (SAR_0)
- I²Cバス送信データレジスタ_0 (ICDRT_0)
- I²Cバス受信データレジスタ_0 (ICDRR_0)
- I²Cバスシフトレジスタ_0 (ICDRS_0)

チャンネル 1

- I²CバスコントロールレジスタA_1 (ICCRA_1)
- I²CバスコントロールレジスタB_1 (ICCRB_1)
- I²Cバスモードレジスタ_1 (ICMR_1)
- I²Cバスインタラプトイネーブルレジスタ_1 (ICIER_1)
- I²Cバスステータスレジスタ_1 (ICSR_1)
- スレーブアドレスレジスタ_1 (SAR_1)
- I²Cバス送信データレジスタ_1 (ICDRT_1)
- I²Cバス受信データレジスタ_1 (ICDRR_1)
- I²Cバスシフトレジスタ_1 (ICDRS_1)

【ユニット 1】

チャンネル 2

- I²CバスコントロールレジスタA_2 (ICCRA_2)
- I²CバスコントロールレジスタB_2 (ICCRB_2)
- I²Cバスモードレジスタ_2 (ICMR_2)
- I²Cバスインタラプトイネーブルレジスタ_2 (ICIER_2)
- I²Cバスステータスレジスタ_2 (ICSR_2)
- スレーブアドレスレジスタ_2 (SAR_2)
- I²Cバス送信データレジスタ_2 (ICDRT_2)
- I²Cバス受信データレジスタ_2 (ICDRR_2)
- I²Cバスシフトレジスタ_2 (ICDRS_2)

チャンネル 3

- I²CバスコントロールレジスタA_3 (ICCRA_3)
- I²CバスコントロールレジスタB_3 (ICCRB_3)
- I²Cバスモードレジスタ_3 (ICMR_3)
- I²Cバスインタラプトイネーブルレジスタ_3 (ICIER_3)
- I²Cバスステータスレジスタ_3 (ICSR_3)
- スレーブアドレスレジスタ_3 (SAR_3)
- I²Cバス送信データレジスタ_3 (ICDRT_3)
- I²Cバス受信データレジスタ_3 (ICDRR_3)
- I²Cバスシフトレジスタ_3 (ICDRS_3)

20. I²C バスインタフェース 2 (IIC2)

20.3.1 I²C バスコントロールレジスタ A (IC CRA)

IC CRA は、I²C バスインタフェースの動作/停止、送信/受信制御、マスタモード/スレーブモード、送信/受信、マスタモード転送クロック周波数の選択を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	ICE	0	R/W	I ² C バスインタフェースイネーブル 0 : 本モジュールは機能停止状態 (SCL/SDA 端子はポート機能) 1 : 本モジュールは転送動作可能状態 (SCL/SDA はバス駆動状態)
6	RCVD	0	R/W	受信ディスエーブル TRS=0 の状態で ICDRR をリードしたときに次の動作の継続/禁止を設定します。 0 : 次の受信動作を継続 1 : 次の受信動作を禁止
5 4	MST TRS	0 0	R/W R/W	マスタ/スレーブ選択 送信/受信選択 マスタモードでバス競合負けをすると、MST、TRS とともにハードウェアによってリセットされてスレーブ受信モードに変わります。なお TRS の変更は転送フレーム間で行ってください。また、スレーブ受信モードで開始条件後の 7 ビットが SAR に設定したスレーブアドレスと一致し、8 ビット目が 1 の場合、TRS が自動的に 1 にセットされます。 MST と TRS との組み合わせにより、以下の動作モードになります。 00 : スレーブ受信モード 01 : スレーブ送信モード 10 : マスタ受信モード 11 : マスタ送信モード
3	CKS3	0	R/W	転送クロック選択 3~0
2	CKS2	0	R/W	マスタモードのときのみ有効です。必要な転送レートに合わせて設定してください。転送レートについては、表 20.2 を参照してください。
1	CKS1	0	R/W	
0	CKS0	0	R/W	

表 20.2 転送レート

ビット3 CKS3	ビット2 CKS2	ビット1 CKS1	ビット0 CKS0	クロック	転送レート					
					Pφ = 8MHz	Pφ = 10MHz	Pφ = 20MHz	Pφ = 25MHz	Pφ = 33MHz	Pφ = 35MHz
0	0	0	0	Pφ/28	286kHz	357kHz	714kHz	893kHz	1179kHz	1250kHz
			1	Pφ/40	200kHz	250kHz	500kHz	625kHz	825kHz	875kHz
		1	0	Pφ/48	167kHz	208kHz	417kHz	521kHz	688kHz	729kHz
			1	Pφ/64	125kHz	156kHz	313kHz	391kHz	516kHz	546kHz
	1	0	0	Pφ/168	47.6kHz	59.5kHz	119kHz	149kHz	196kHz	208kHz
			1	Pφ/100	80.0kHz	100kHz	200kHz	250kHz	330kHz	350kHz
		1	0	Pφ/112	71.4kHz	89.3kHz	179kHz	223kHz	295kHz	312kHz
			1	Pφ/128	62.5kHz	78.1kHz	156kHz	195kHz	258kHz	273kHz
1	0	0	0	Pφ/56	143kHz	179kHz	357kHz	446kHz	589kHz	625kHz
			1	Pφ/80	100kHz	125kHz	250kHz	313kHz	413kHz	437kHz
		1	0	Pφ/96	83.3kHz	104kHz	208kHz	260kHz	344kHz	364kHz
			1	Pφ/128	62.5kHz	78.1kHz	156kHz	195kHz	258kHz	273kHz
	1	0	0	Pφ/336	23.8kHz	29.8kHz	59.5kHz	74.4kHz	98.2kHz	104kHz
			1	Pφ/200	40.0kHz	50.0kHz	100kHz	125kHz	165kHz	175kHz
		1	0	Pφ/224	35.7kHz	44.6kHz	89.3kHz	112kHz	147kHz	156kHz
			1	Pφ/256	31.3kHz	39.1kHz	78.1kHz	97.7kHz	129kHz	136kHz

20.3.2 I²C バスコントロールレジスタ B (ICCRB)

ICCRB は、開始/停止条件発行、SDA 端子の操作、SCL 端子のモニタ、I²C のコントロール部のリセットを制御します。

ビット	7	6	5	4	3	2	1	0
ビット名	BBSY	SCP	SDAO	—	SCLO	—	IICRST	—
初期値 :	0	1	1	1	1	1	0	1
R/W :	R/W	R/W	R	R/W	R	—	R/W	—

20. I²C バスインタフェース 2 (IIC2)

ビット	ビット名	初期値	R/W	説明
7	BBSY	0	R/W	バスビジー I ² C バスの占有／開放状態を示すフラグ機能とマスタモードの開始／停止条件発行機能の 2 つがあります。SCL=ハイレベルの状態、SDA がハイレベルからローレベルに変化すると、開始条件が発行されたと認識して 1 にセットされます。SCL=ハイレベルの状態、SDA がローレベルからハイレベルに変化すると、停止条件が発行されたと認識して 0 にクリアされます。開始条件を発行する場合は BBSY に 1、SCP に 0 をライトします。開始条件再送時と同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。なお開始条件／停止条件の発行は、MOV 命令を用いてください。
6	SCP	1	R/W	開始／停止条件発行禁止ビット SCP ビットはマスタモードで開始条件／停止条件の発行を制御します。開始条件を発行する場合、BBSY に 1、SCP に 0 をライトします。開始条件の再送信時と同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトします。本ビットはリードすると常に 1 が読み出されます。1 をライトしてもデータは格納されません。
5	SDAO	1	R	SDAO は SDA の出力レベルをモニタします。リード時に SDAO が 1 の場合 SDA 端子出力はハイレベル、SDAO が 0 の場合 SDA 端子出力はローレベルとなります。
4	—	1	R/W	リザーブビット ライトするときは必ず 1 をライトしてください。
3	SCLO	1	R	SCLO は SCL の出力レベルをモニタします。リード時に SCLO が 1 の場合 SCL 端子出力はハイレベル、SCLO が 0 の場合 SCL 端子出力はローレベルとなります。
2	—	1	—	リザーブビット リードすると常に 1 が読み出されます。
1	IICRST	0	R/W	IIC コントロール部リセット IICRST は I ² C のレジスタを除くコントロール部をリセットします。I ² C の動作中に通信不具合等によりハングアップしたとき、IICRST ビットを 1 にセットするとポートの設定、レジスタの初期化をせずに I ² C のコントロール部をリセットすることができます。
0	—	1	—	リザーブビット リードすると常に 1 が読み出されます。

20.3.3 I²C バスモードレジスタ (ICMR)

ICMR は、マスタモードウェイトの制御、転送ビット数の選択を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	—	WAIT	—	—	BCWP	BC2	BC1	BC0
初期値 :	0	0	1	1	1	0	0	0
R/W :	R/W	R/W	—	—	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	—	0	R/W	リザーブビット ライトするときは必ず 0 をライトしてください。
6	WAIT	0	R/W	ウェイト挿入ビット WAIT はマスタモード時に、アクノリッジを除いたデータ転送後にウェイト状態にするかどうかを設定します。WAIT に 1 を設定した場合、データの最終ビットのクロックが立ち下がった後、2 転送クロック分ロー期間を延ばします。WAIT が 0 の場合、ウェイトは挿入されず、データとアクノリッジを連続して転送します。 なおスレーブモードの場合、本ビットの設定値は無効です。
5	—	1	—	リザーブビット
4	—	1	—	リードすると常に 1 が読み出されます。
3	BCWP	1	R/W	BC ライトプロテクト BC2~BC0 の書き込みを制御します。BC2~BC0 を書き換える場合は、本ビットを 0 にして MOV 命令で行います。 0 : ライト時、BC2~BC0 の値を設定 1 : リード時、常に 1 をリード ライト時、BC2~BC0 設定値は無効
2	BC2	0	R/W	ビットカウンタ 2~0 次に転送するデータのビット数を指定します。リードすると残りの転送ビット数を知ることができます。データにアクノリッジ 1 ビットが加算されて転送されます。設定は転送フレーム間で行ってください。また、000 以外の値を設定する場合は、SCL がロー状態で行ってください。これらのビットはアクノリッジを含むデータ転送終了後、自動的に 000 に戻ります。 000 : 9 ビット 001 : 2 ビット 010 : 3 ビット 011 : 4 ビット 100 : 5 ビット 101 : 6 ビット 110 : 7 ビット 111 : 8 ビット
1	BC1	0	R/W	
0	BC0	0	R/W	

20.3.4 I²C バスインタラプトイネーブルレジスタ (ICIER)

ICIER は、各種割り込み要因の許可、アクノリッジの有効/無効の選択、送信アクノリッジの設定および受信アクノリッジの確認を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	<p>トランスミットインタラプトイネーブル</p> <p>ICSR の TDRE がセットされたとき、送信データエンプティ割り込み (TXI) を許可/禁止します。</p> <p>0 : 送信データエンプティ割り込み要求 (TXI) の禁止</p> <p>1 : 送信データエンプティ割り込み要求 (TXI) の許可</p>
6	TEIE	0	R/W	<p>トランスミットエンドインタラプトイネーブル</p> <p>TEIE は、ICSR の TDRE が 1 の状態で 9 クロック目が立ち上がったとき、送信終了割り込み (TEI) の許可/禁止を選択します。なお TEI は、TEND を 0 にクリアするか、TEIE を 0 にクリアすることで解除できます。</p> <p>0 : 送信終了割り込み要求 (TEI) の禁止</p> <p>1 : 送信終了割り込み要求 (TEI) の許可</p>
5	RIE	0	R/W	<p>レシーブインタラプトイネーブル</p> <p>RIE は受信データが ICDRS から ICDRR に転送され、ICSR の RDRF が 1 にセットされたとき、受信データフル割り込み要求 (RXI) の許可/禁止を選択します。なお RXI は、RDRF を 0 にクリアするか、または RIE を 0 にクリアすることで解除できます。</p> <p>0 : 受信データフル割り込み要求 (RXI) の禁止</p> <p>1 : 受信データフル割り込み要求 (RXI) の許可</p>
4	NAKIE	0	R/W	<p>NACK 受信インタラプトイネーブル</p> <p>NAKIE は、ICSR の NACKF および AL がセットされたとき、NACK 受信割り込み要求 (NAKI) の許可/禁止を選択します。なお NAKI は、NACKF または AL を 0 にクリアするか、または NAKIE を 0 にクリアすることで解除できます。</p> <p>0 : NACK 受信割り込み要求 (NAKI) の禁止</p> <p>1 : NACK 受信割り込み要求 (NAKI) の許可</p>
3	STIE	0	R/W	<p>停止条件検出インタラプトイネーブル</p> <p>0 : 停止条件検出割り込み要求 (STPI) の禁止</p> <p>1 : 停止条件検出割り込み要求 (STPI) の許可</p>

ビット	ビット名	初期値	R/W	説 明
2	ACKE	0	R/W	アクノリッジビット判定選択 0 : 受信アクノリッジの内容を無視して連続的に転送を行う。 1 : 受信アクノリッジが1の場合、転送を中断する。
1	ACKBR	0	R	受信アクノリッジ 送信モード時、受信デバイスから受け取ったアクノリッジビットの内容を格納しておくビットです。ライトは無効です。 0 : 受信アクノリッジ=0 1 : 受信アクノリッジ=1
0	ACKBT	0	R/W	送信アクノリッジ 受信モード時、アクノリッジのタイミングで送出するビットを設定します。 0 : アクノリッジのタイミングで0を送出 1 : アクノリッジのタイミングで1を送出

20.3.5 I²C バスステータスレジスタ (ICSR)

ICSR は、各種割り込み要求フラグおよびステータスの確認を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	TDRE	TEND	RDRF	NACKF	STOP	AL	AAS	ADZ
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	TDRE	0	R/W	トランスミットデータエンプティ [セット条件] <ul style="list-style-type: none"> ICDRT から ICDRS にデータ転送が行われ、ICDRT がエンプティになったとき TRS をセットしたとき 開始条件 (再送含む) を発行したとき スレーブモードで受信モードから送信モードになったとき [クリア条件] <ul style="list-style-type: none"> 1の状態をリードした後、0をライトしたとき (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。) <ul style="list-style-type: none"> ICDRT ヘデータをライトしたとき

20. I²C バスインタフェース 2 (IIC2)

ビット	ビット名	初期値	R/W	説明
6	TEND	0	R/W	<p>トランスミットエンド</p> <p>[セット条件]</p> <ul style="list-style-type: none"> TDRE が 1 の状態で SCL の 9 クロック目が立ち上がったとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき <p>(割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)</p> <ul style="list-style-type: none"> ICDRT ヘデータをライトしたとき
5	RDRF	0	R/W	<p>レシーブデータレジスタフル</p> <p>[セット条件]</p> <ul style="list-style-type: none"> ICDRS から ICDRR に受信データが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき <p>(割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)</p> <ul style="list-style-type: none"> ICDRR をリードしたとき
4	NACKF	0	R/W	<p>ノーアクノリッジ検出フラグ</p> <p>[セット条件]</p> <ul style="list-style-type: none"> ICIER の ACKE=1 の状態で、送信時、受信デバイスからアクノリッジがなかったとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき <p>(割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)</p>
3	STOP	0	R/W	<p>停止条件検出フラグ</p> <p>[セット条件]</p> <ul style="list-style-type: none"> マスタモード時、フレームの転送の完了後に停止条件を検出したとき スレーブモード時、ゼネラルコール後、および開始条件検出後の第 1 バイトのスレーブアドレスと SAR に設定したアドレスが一致した後、停止条件を検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき <p>(割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください)</p>

ビット	ビット名	初期値	R/W	説明
2	AL	0	R/W	<p>アービトレーションロストフラグ</p> <p>AL は、マスタモード時にバス競合負けをしたことを示します。</p> <p>複数のマスタがほぼ同時にバスを占有しようとしたときに I²C バスインタフェースは SDA をモニタし、自分が出したデータと異なった場合、AL フラグを 1 にセットしてバスが他のマスタによって占有されたことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> マスタ送信モードの場合、SCL の立ち上がりで内部 SDA と SDA 端子のレベルが不一致のとき マスタモードの場合、開始条件検出時、SDA 端子がハイレベルのとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき <p>(割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)</p>
1	AAS	0	R/W	<p>スレーブアドレス認識フラグ</p> <p>スレーブ受信モードで開始条件直後の第 1 フレームが SAR の SVA6~SVA0 と一致した場合にセットされます。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> スレーブ受信モードでスレーブアドレスを検出したとき スレーブ受信モードでゼネラルコールアドレスを検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき
0	ADZ	0	R/W	<p>ゼネラルコールアドレス認識フラグ</p> <p>スレーブ受信モードのとき有効</p> <p>[セット条件]</p> <ul style="list-style-type: none"> スレーブ受信モードかつゼネラルコールアドレスを検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき

20.3.6 スレーブアドレスレジスタ (SAR)

SAR は、スレーブアドレスを設定します。スレーブモードの場合、開始条件後に送られてくる第 1 フレームの上位 7 ビットと SAR の上位 7 ビットが一致したとき、スレーブデバイスとして動作します。

ビット	7	6	5	4	3	2	1	0
ビット名	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~1	SVA6~0	0	R/W	スレーブアドレス 6~0 I ² C バスにつながる他のスレーブと異なるユニークなアドレスを設定します。
0	—	0	R/W	リザーブビット リード/ライト可能ですが、必ず 0 をライトしてください。

20.3.7 I²C バス送信データレジスタ (ICDRT)

ICDRT は、送信データを格納する 8 ビットのリード/ライト可能なレジスタで、I²C バスシフトレジスタ (ICDRS) の空きを検出すると ICDRT に書き込まれた送信データを ICDRS に転送し、データ送信を開始します。ICDRS のデータ送信中に、次に送信するデータを ICDRT にライトしておくと、連続送信が可能です。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

20.3.8 I²C バス受信データレジスタ (ICDRR)

ICDRR は、受信データを格納する 8 ビットのレジスタです。1 バイトのデータの受信が終了すると、受信したデータを ICDRS から ICDRR へ転送し、次のデータを受信可能にします。なお ICDRR は受信専用レジスタですので、CPU からライトできません。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値 :	1	1	1	1	1	1	1	1
R/W :	R	R	R	R	R	R	R	R

20.3.9 I²C バスシフトレジスタ (ICDRS)

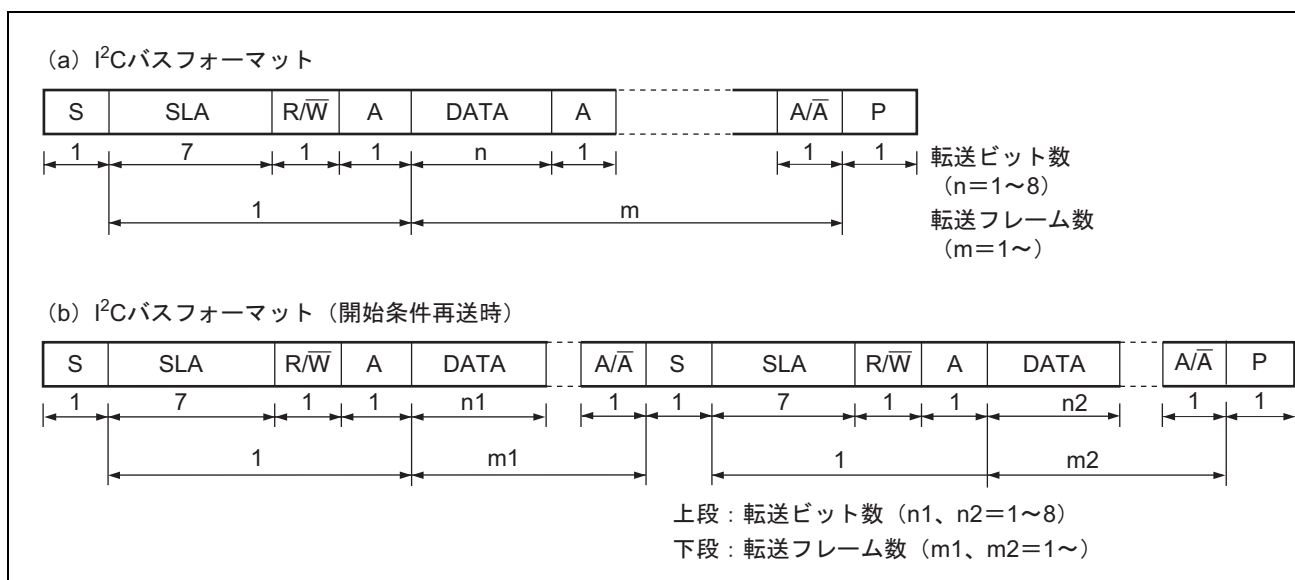
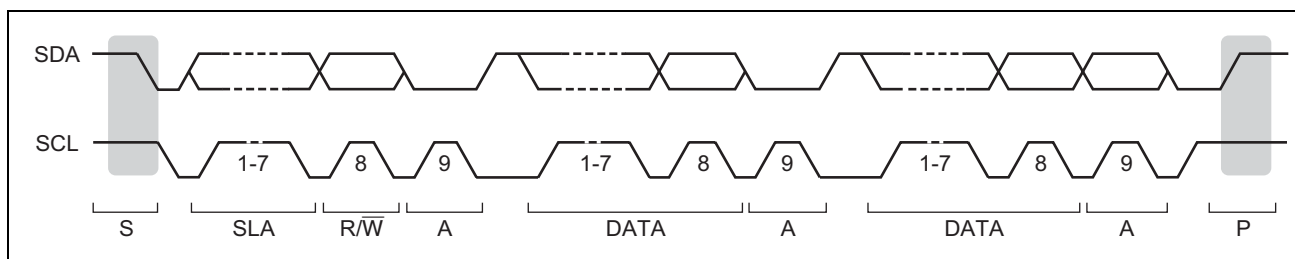
ICDRS は、データを送信/受信するためのレジスタです。送信時は ICDRT から送信データが ICDRS に転送され、データが SDA 端子から送出されます。受信時は 1 バイトのデータの受信が終了すると、データが ICDRS から ICDRR へ転送されます。なお本レジスタは CPU から直接リード/ライトできません。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値 :	0	0	0	0	0	0	0	0
R/W :	—	—	—	—	—	—	—	—

20.4 動作説明

20.4.1 I²C バスフォーマット

I²C バスフォーマットを図 20.3 に、I²C バスのタイミングを図 20.4 に示します。開始条件に続く第 1 フレームは必ず 8 ビット構成となります。

図 20.3 I²C バスフォーマット図 20.4 I²C バスタイミング

【記号の説明】

- S : 開始条件。マスタデバイスが SCL=ハイレベルの状態 で SDA をハイレベルからローレベルに変化させます。
- SLA : スレーブアドレス
- R/W : 送受信の方向を示します。1 のときスレーブデバイスからマスタデバイスへ、0 のときマスタデバイスからスレーブデバイスへデータを送信します。
- A : アクノリッジ。受信デバイスが SDA をローレベルにします。
- DATA : 送受信データ
- P : 停止条件。マスタデバイスが SCL=ハイレベルの状態 で SDA をローレベルからハイレベルに変化させます。

20.4.2 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。マスタ送信モードの動作タイミングについては図 20.5 と図 20.6 を参照してください。以下にマスタ送信モードの送信手順と動作を示します。

1. 該当のICRビットを1にセットした後、ICCRAのICEビットを1にセットします。またICMRのWAIT、ICCRAのCKS3～CKS0等を設定します（初期設定）。
2. ICCRBのBBSYフラグをリードしてバスが開放状態であることを確認後、ICCRAのMST、TRSをマスタ送信モードに設定します。その後、BBSY=1とSCP=0をMOV命令でライトします（開始条件発行）。これにより開始条件を生成します。
3. ICSRのTDREがセットされたことを認識した後、ICDRTに送信データ（1バイト目はスレーブアドレスとR/Wを示すデータ）をライトします。このときTDREは自動的に0にクリアされ、ICDRTからICDRSにデータが転送されて、再びTDREがセットされます。
4. TDREがセットされた状態で1バイト送信が完了し、送信クロックの9クロック目の立ち上がりでICSRのTENDがセットされます。ICIERのACKBRをリードし、スレーブデバイスが選択されたことを認識した後、2バイト目のデータをICDRTにライトします。ACKBRが1のときはスレーブデバイスが認識されていないため、停止条件を発行します。停止条件の発行はBBSY=0とSCP=0を、MOV命令でライトすることにより行います。なおデータの準備ができるまで、または停止条件を発行するまではSCLがローレベルに固定されます。
5. 2バイト目以降の送信データは、TDREがセットされるたびにICDRTにデータをライトします。
6. 送信するバイト数をICDRTにライトしたら、その後はTDREがセットされた状態でTENDがセット（最終バイト送出完了）されるまで待ちます。または、ICIERのACKEをセットした状態で受信デバイスからのNACK（ICSRのNACKF=1）を待ちます。その後、停止条件を発行してTEND、あるいはNACKFをクリアします。
7. ICSRのSTOPがセットされたらスレーブ受信モードに戻します。

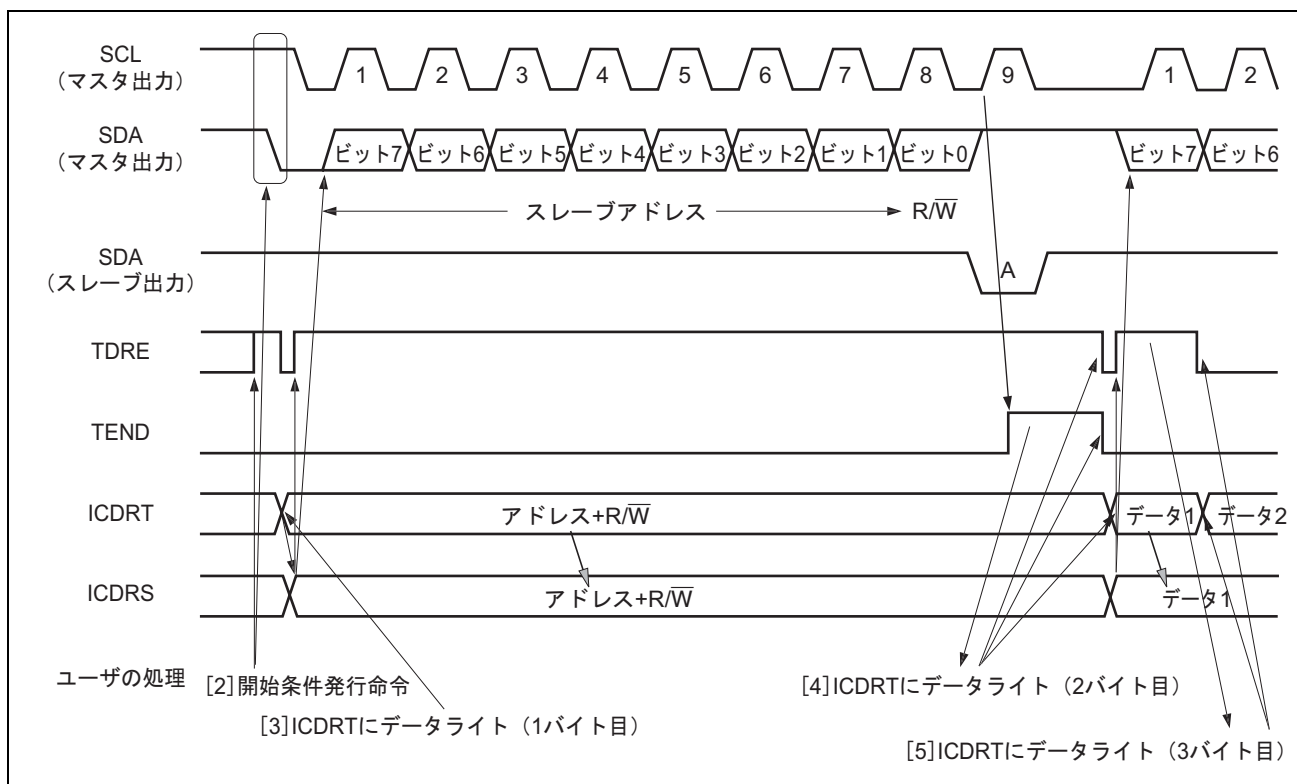


図 20.5 マスタ送信モード動作タイミング 1

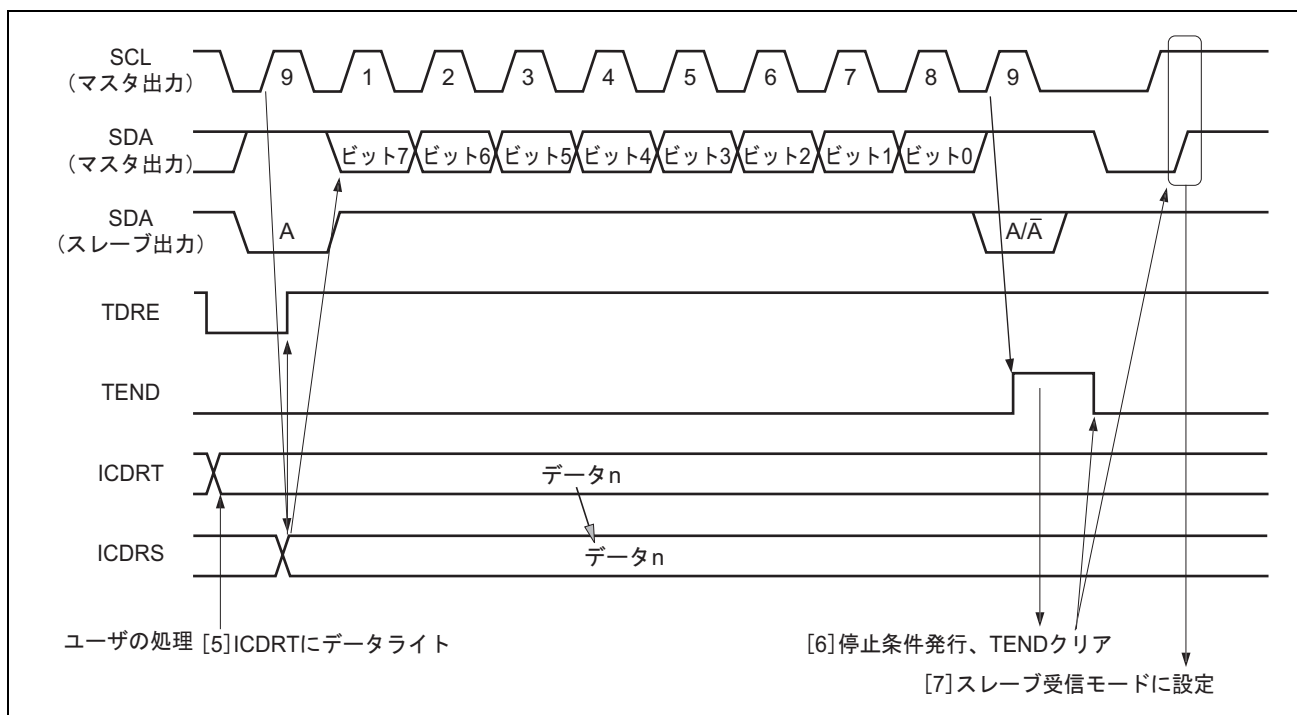


図 20.6 マスタ送信モード動作タイミング 2

20.4.3 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、スレーブデバイスからデータを受信してアクノリッジを返します。マスタ受信モードの動作タイミングについては図 20.7 と図 20.8 を参照してください。

以下にマスタ受信モードの受信手順と動作を示します。

1. ICSRのTENDをクリア後、ICCRAのTRSをクリアしてマスタ送信モードからマスタ受信モードに切り替えます。その後、TDREをクリアします。
2. ICDRRをダミーリードすると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。マスタデバイスは受信クロックの9クロック目にICIERのACKBTに設定したレベルをSDAに出力します。
3. 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりでICSRのRDRFがセットされます。このとき、ICDRRをリードすることにより、受信したデータを読み出すことができ、同時にRDRFはクリアされます。
4. RDRFがセットされるたびにICDRRをリードし、RDRFをクリアすることにより、連続的に受信できます。なお別処理でRDRFがセットされた状態でICDRRのリードが遅れて8クロック目が立ち下がった場合、ICDRRをリードするまでSCLがローレベルに固定されます。
5. 次の受信が最終フレームの場合、ICDRRをリードする前にICCRAのRCVDをセットします。これにより次の受信後、停止条件発行可能状態になります。
6. 受信クロックの9クロック目の立ち上がりでRDRFがセットされたら、停止条件を発行します。
7. ICSRのSTOPがセットされたらICDRRをリードします。その後、RCVDをクリアします。
8. スレーブ受信モードに戻します。

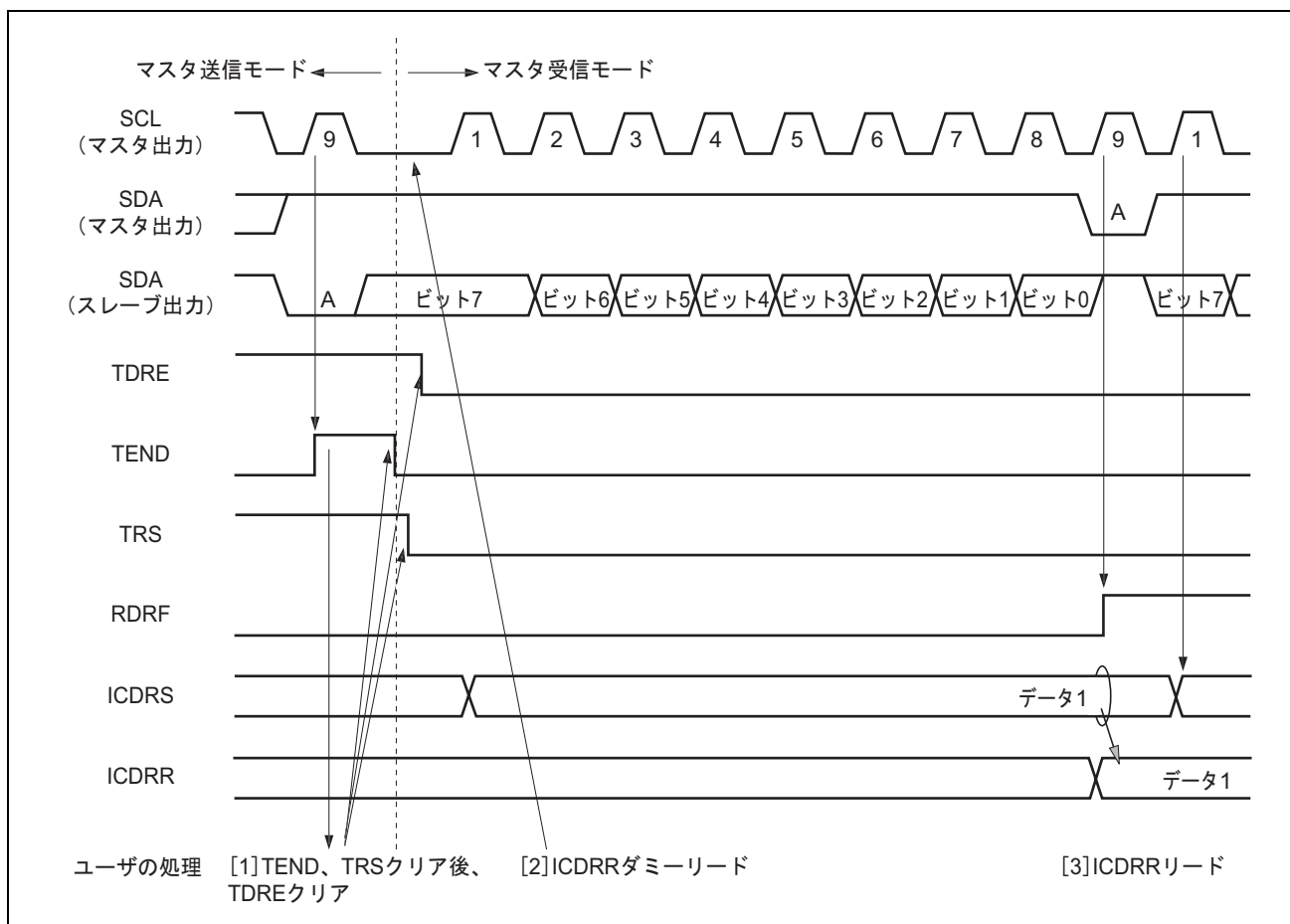


図 20.7 マスタ受信モード動作タイミング 1

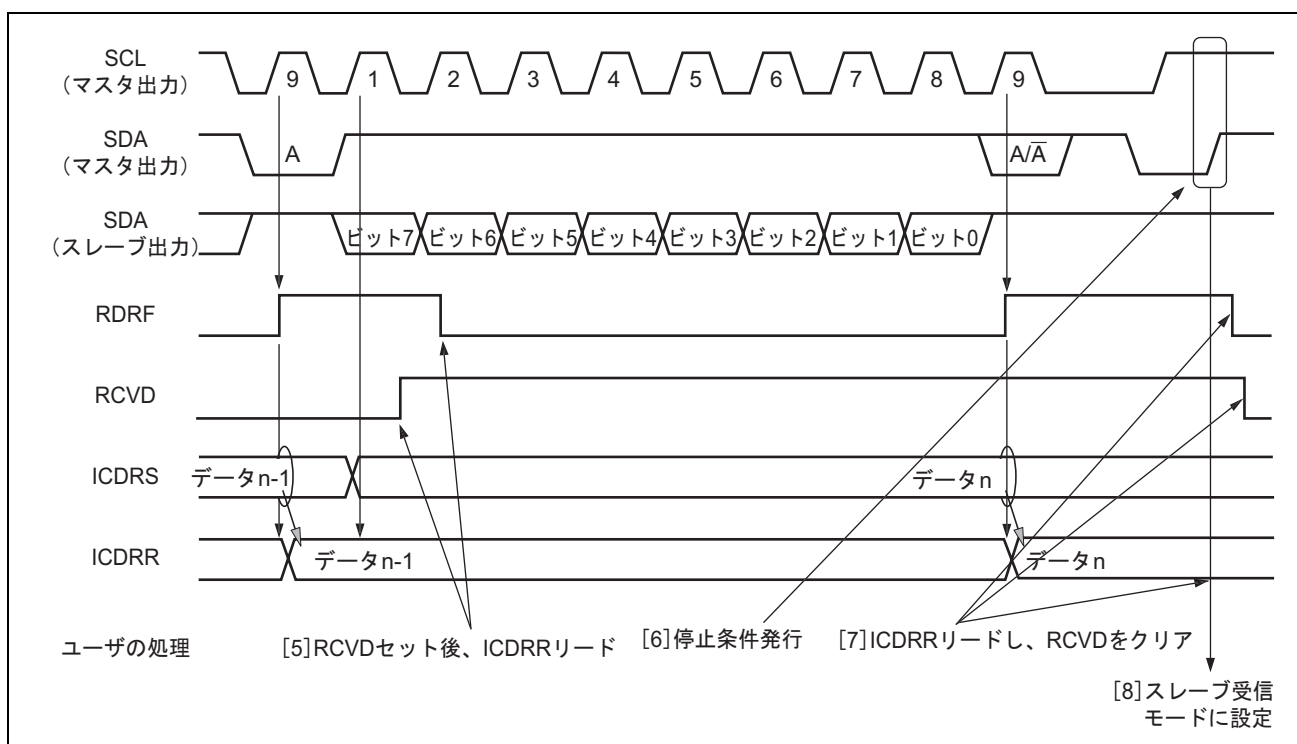


図 20.8 マスタ受信モード動作タイミング 2

20.4.4 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力してアクノリッジを返します。スレーブ送信モードの動作タイミングについては図 20.9 と図 20.10 を参照してください。

以下にスレーブ送信モードの送信手順と動作を示します。

1. 該当のICRビットを1にセットした後、ICCRAのICEビットを1にセットします。また、ICMRのWAIT、ICCRAのCKS3～CKS0等を設定します（初期設定）。ICCRAのMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。このとき、8ビット目のデータ（R/W）が1のとき、ICCRAのTRSおよびICSRのTDREがセットされ、自動的にスレーブ送信モードに切り替わります。TDREがセットされるたびにICDRTに送信データをライトすると、連続送信が可能です。
3. 最終送信データをICDRTにライトした後にTDREがセットされたとき、TDRE=1の状態、ICSRのTENDがセットされるまで待ちます。TENDがセットされたら、TENDをクリアします。
4. 終了処理のためTRSをクリアし、ICDRRをダミーリードします。これによりSCLを開放します。
5. TDREをクリアします。

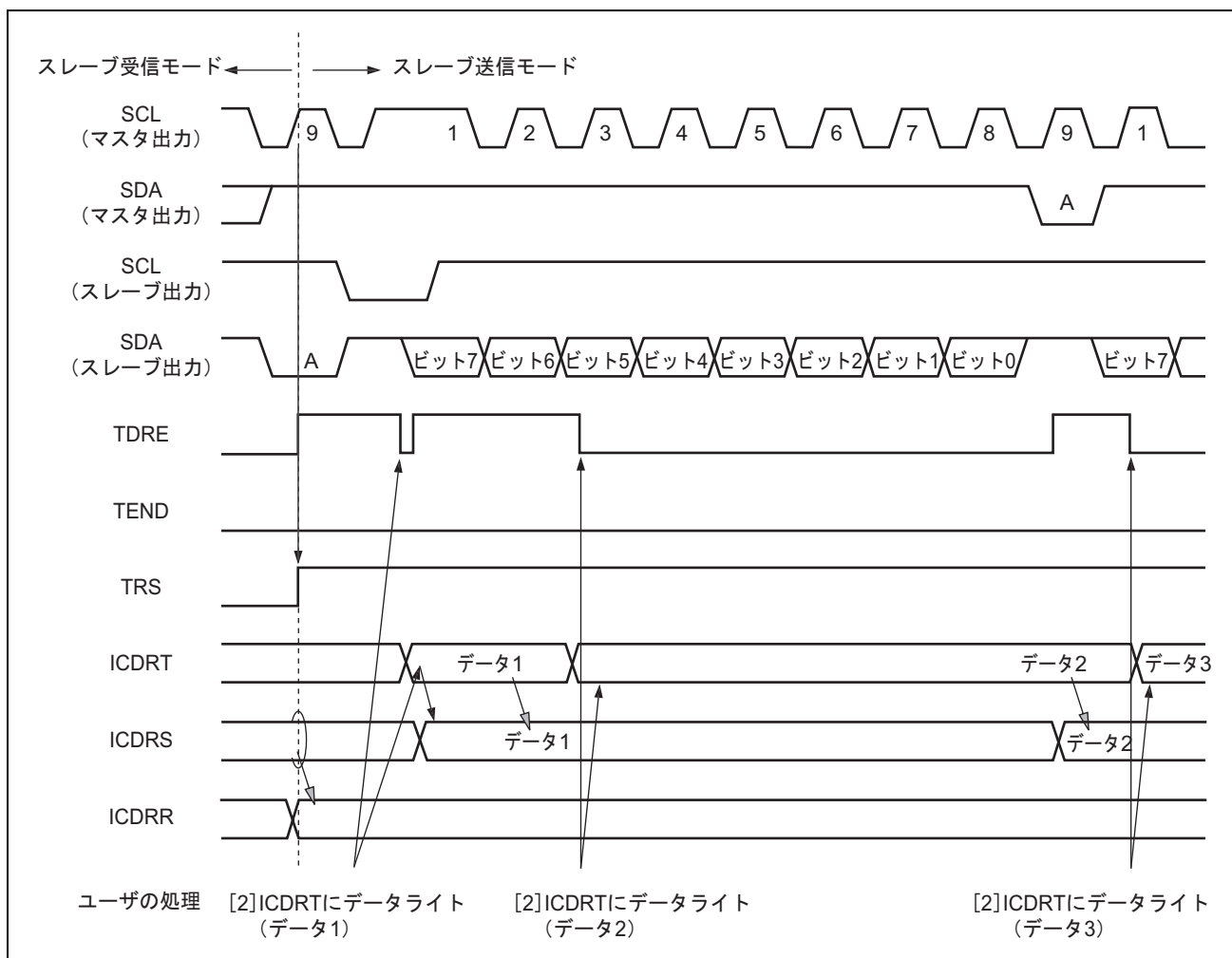


図 20.9 スレーブ送信モード動作タイミング 1

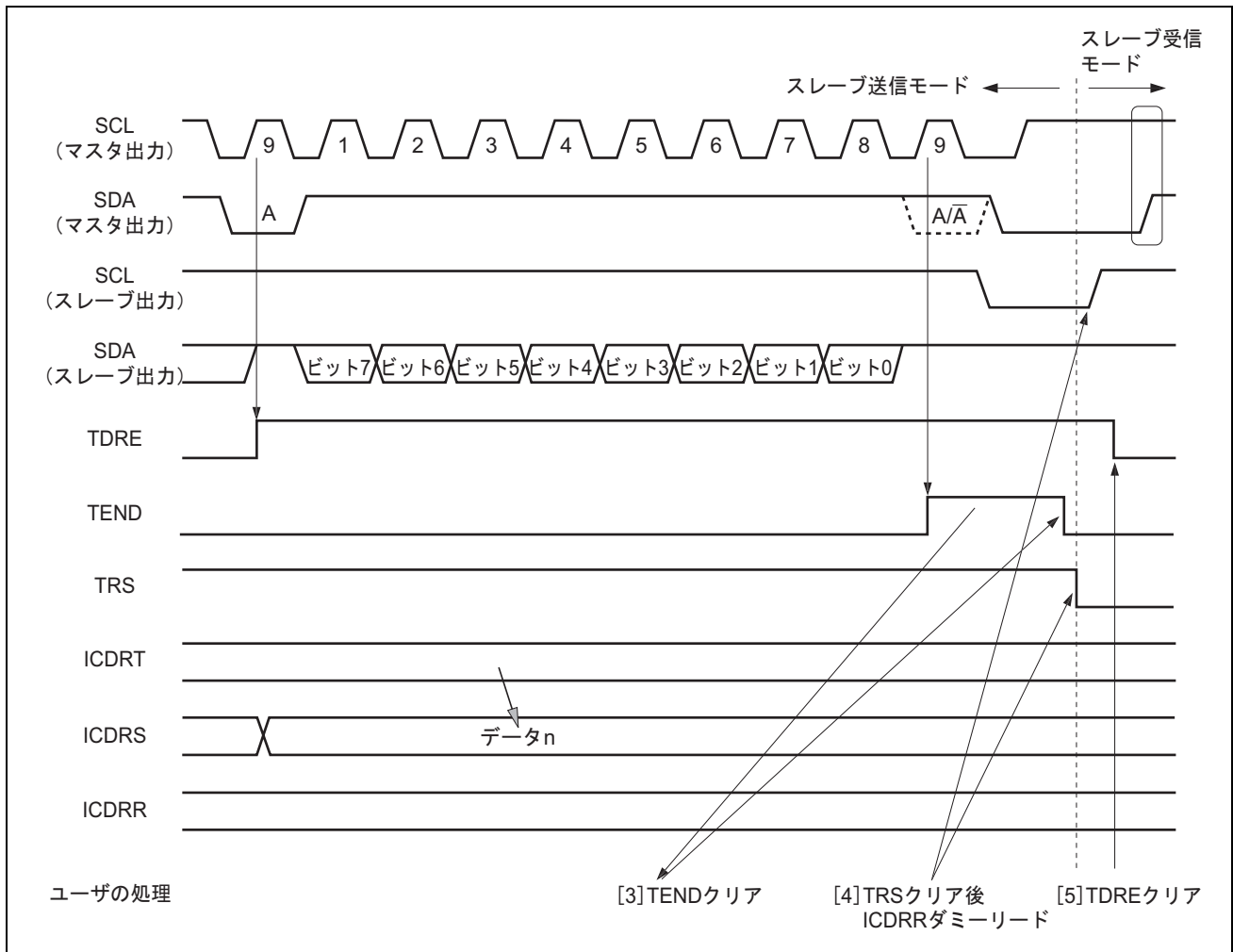


図 20.10 スレーブ送信モード動作タイミング 2

20.4.5 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクノリッジを返します。スレーブ受信モードタイミングについては図 20.11 と図 20.12 を参照してください。以下にスレーブ受信モードの受信手順と動作を示します。

1. 該当のICRビットを1にセットした後、ICCRAのICEビットを1にセットします。また、ICMRのWAIT、ICCRAのCKS3～CKS0等を設定します（初期設定）。ICCRAのMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。同時にICSRのRDRFがセットされますので、ICDRRをダミーリード（リードデータはスレーブアドレス+R/Wを示すので不要）します。
3. RDRFがセットされるたびにICDRRをリードします。RDRFがセットされた状態で8クロック目が立ち下がるとICDRRをリードするまでSCLをローに固定します。ICDRRをリードする前に行ったマスタデバイスに返すアクノリッジ（ACKBT）の設定変更は次の転送フレームに反映されます。
4. 最終バイトのリードも同様にICDRRのリードにより行います。

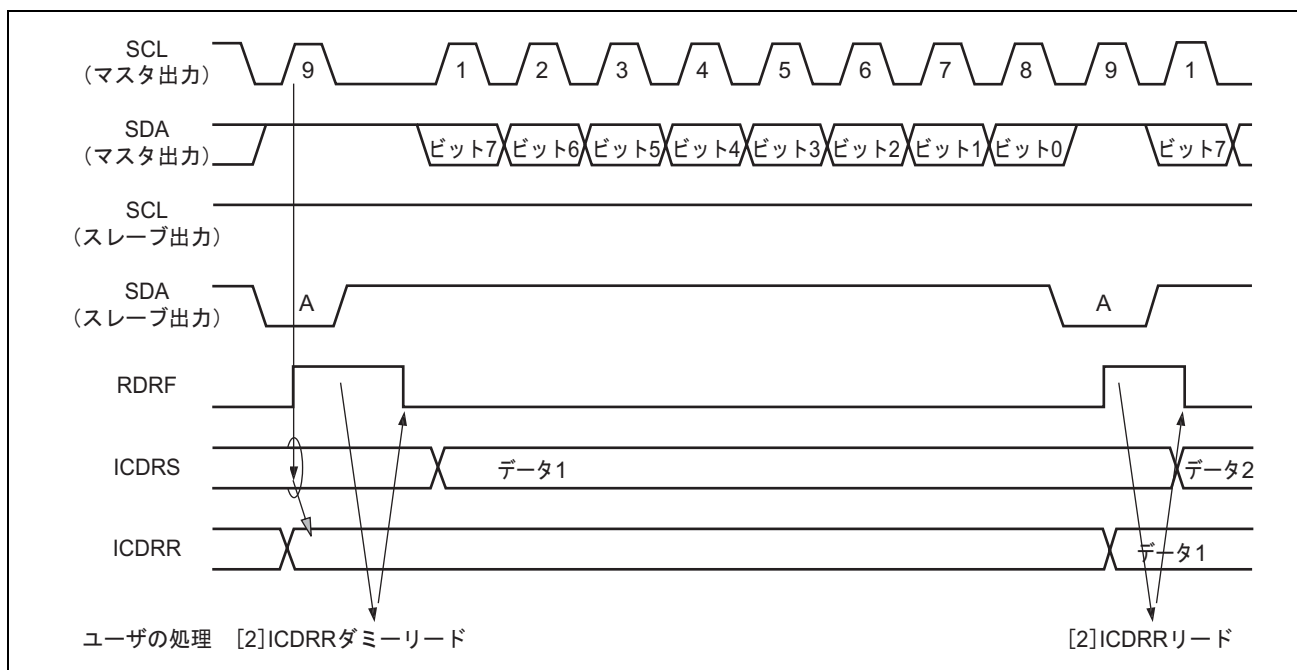


図 20.11 スレーブ受信モード動作タイミング 1

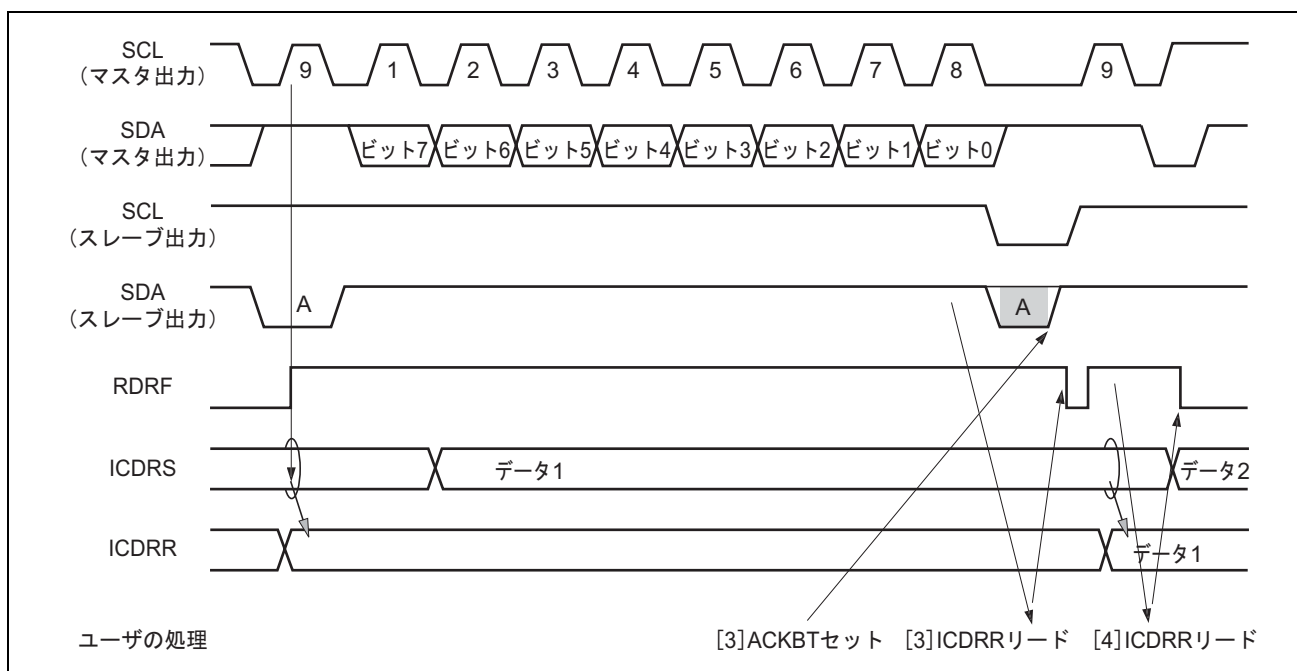


図 20.12 スレーブ受信モード動作タイミング 2

20.4.6 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を経由して内部に取り込まれます。図 20.13 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 2 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号(または SDA 端子入力信号) がシステムクロックでサンプリングされ、2 つのラッチ出力が一致したときはじめて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

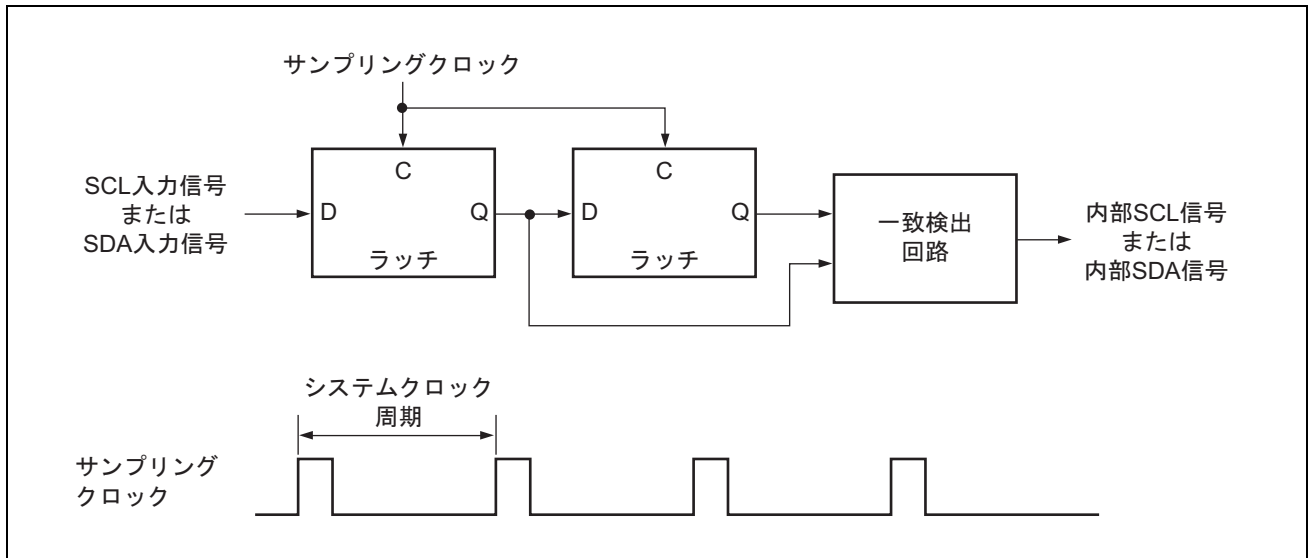


図 20.13 ノイズ除去回路のブロック図

20.4.7 使用例

I²C バスインタフェースを使用する場合の各モードでのフローチャート例を図 20.14～図 20.17 に示します。

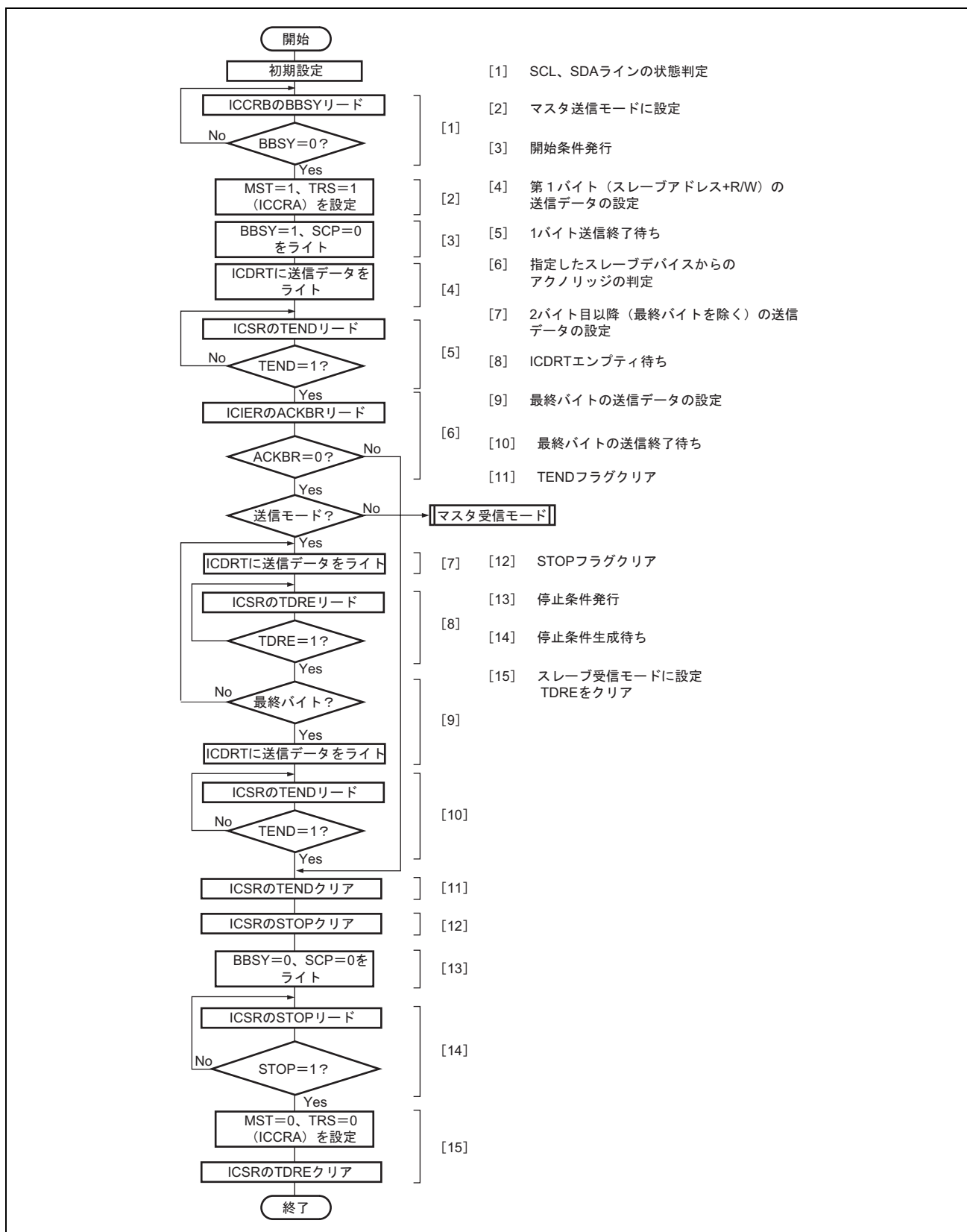


図 20.14 マスタ送信モードのフローチャート例

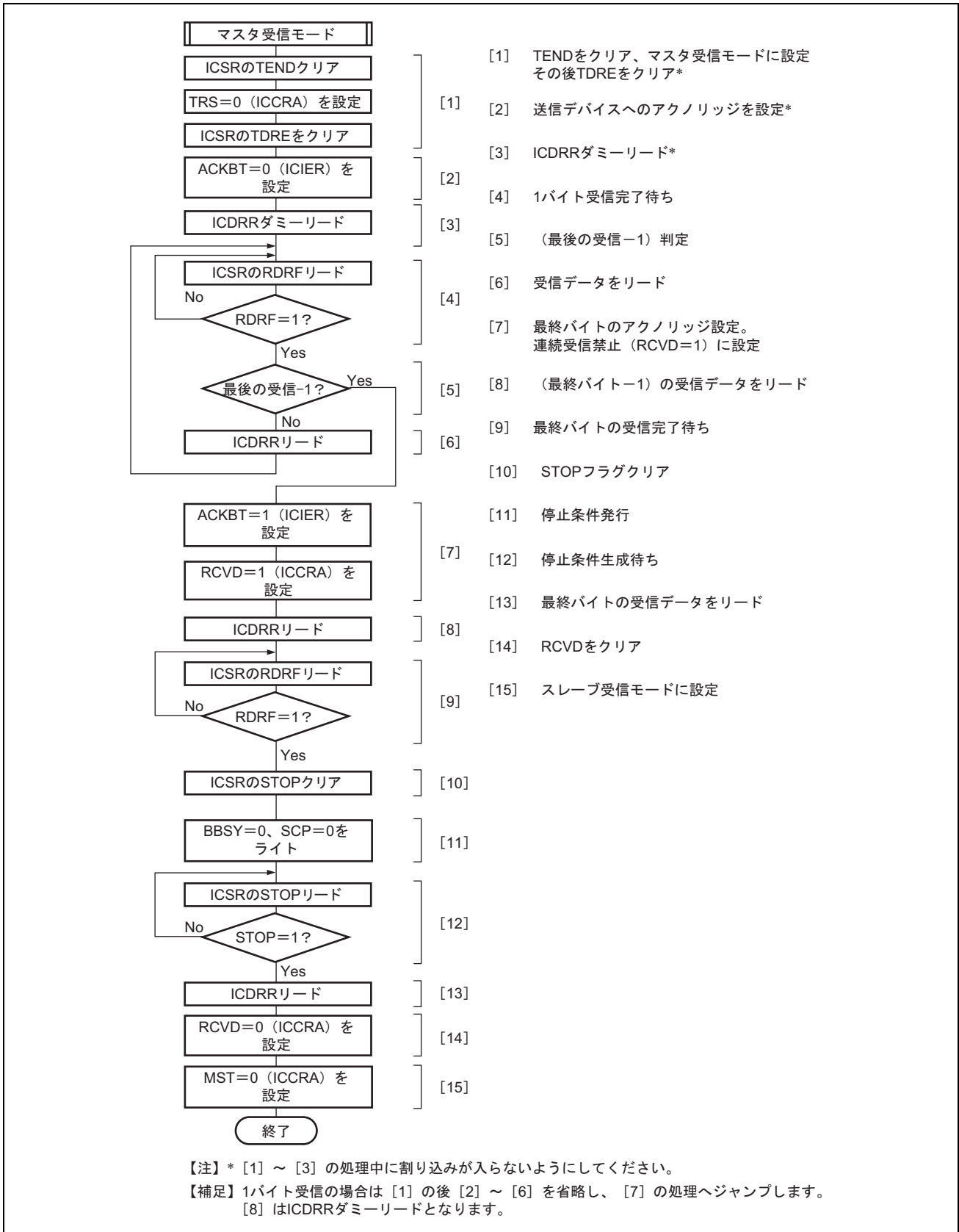


図 20.15 マスタ受信モードのフローチャート例

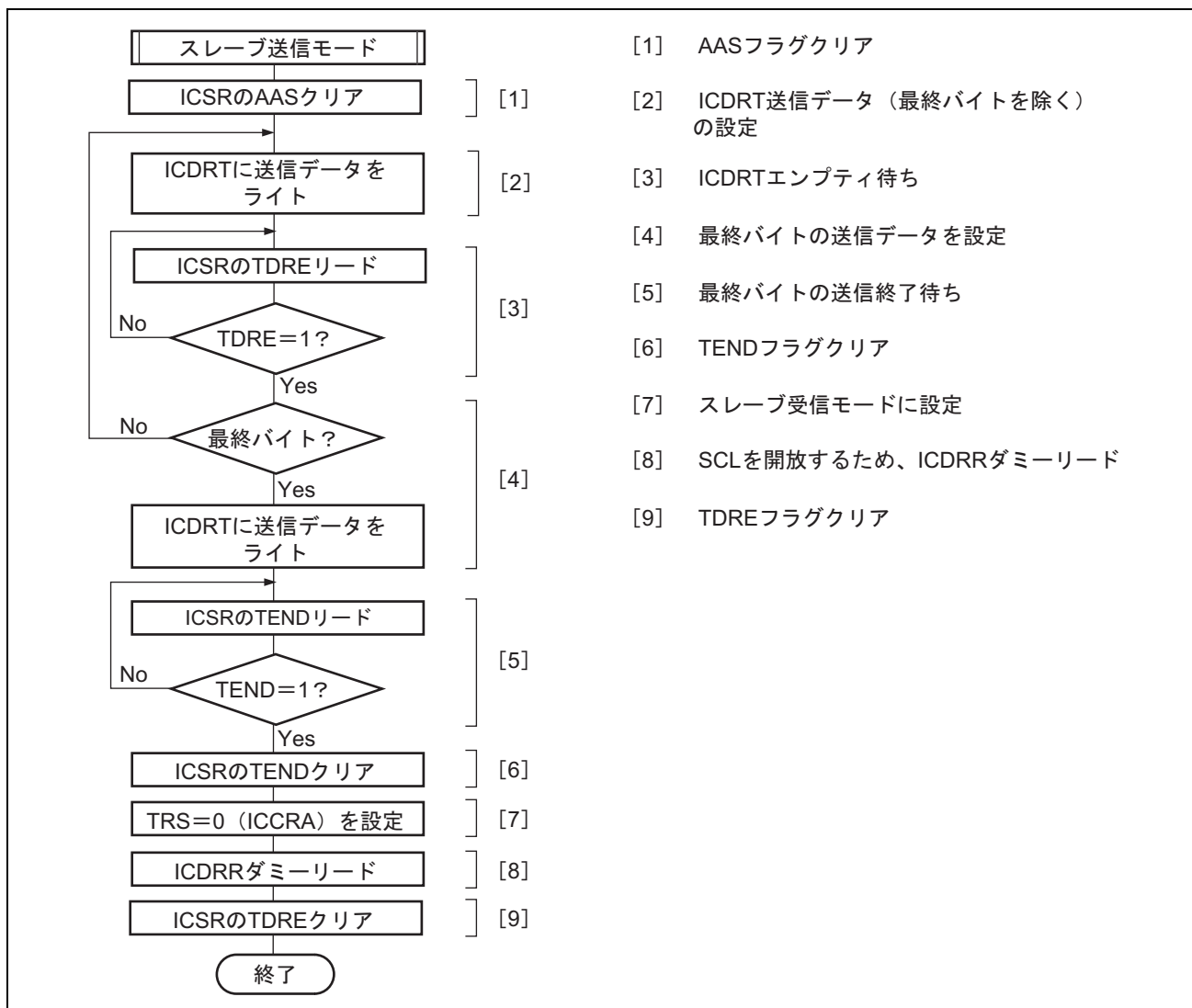


図 20.16 スレーブ送信モードフローチャート例

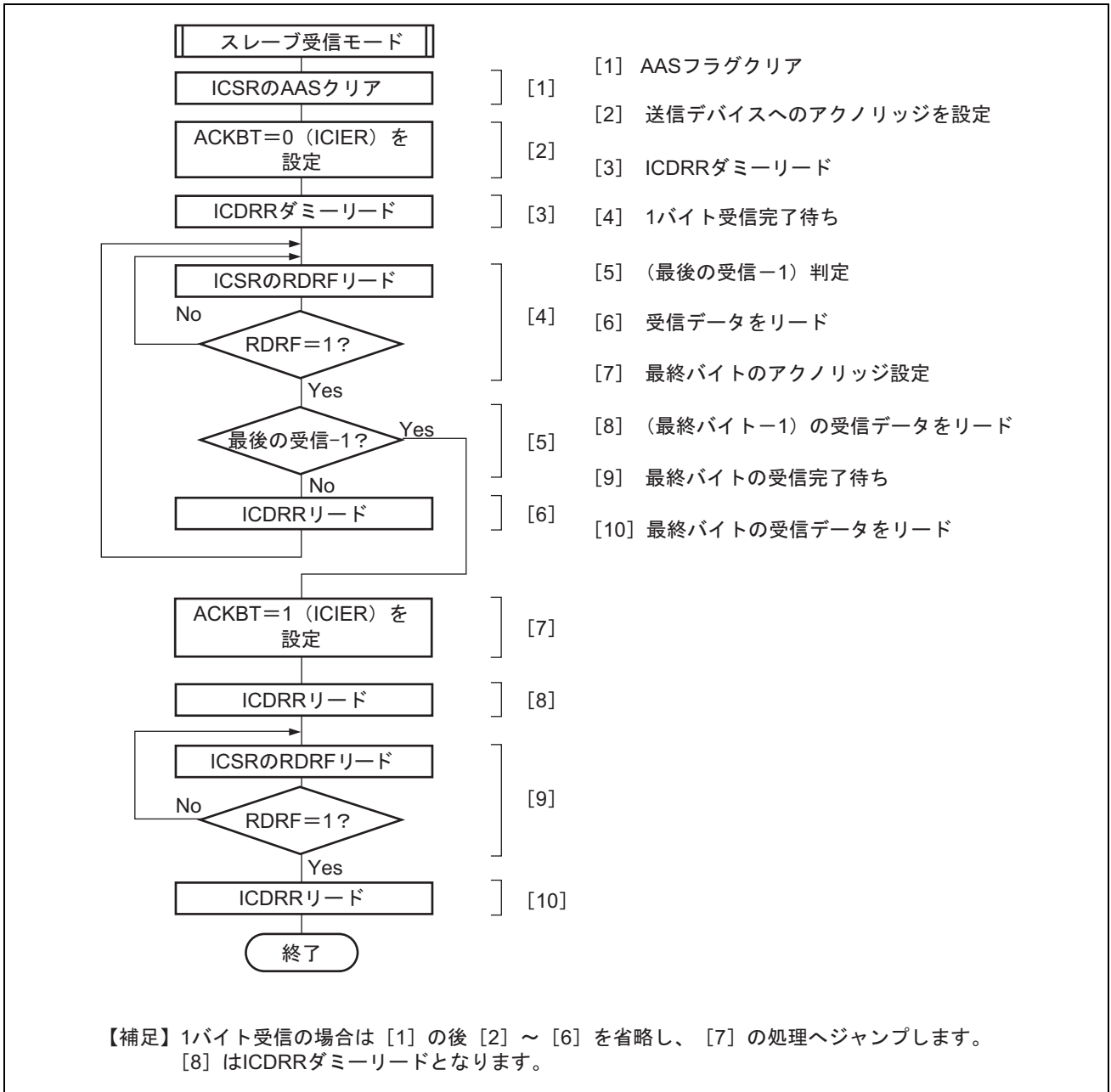


図 20.17 スレーブ受信モードフローチャート例

20.5 割り込み要求

本モジュールの割り込み要求には、送信データEMPTY、送信終了、受信データフル、NACK 検出、停止条件検出、アービトレーションロストの 6 種類があります。表 20.3 に各割り込み要求の内容を示します。

表 20.3 割り込み要求一覧

割り込み要求	略称	割り込み条件
送信データEMPTY	TXI	$(TDRE=1) \cdot (TIE=1)$
送信終了	TEI	$(TEND=1) \cdot (TEIE=1)$
受信データフル	RXI	$(RDRF=1) \cdot (RIE=1)$
STOP 認識	STPI	$(STOP=1) \cdot (STIE=1)$
NACK 検出	NAKI	$\{(NACKF=1)+(AL=1)\} \cdot (NAKIE=1)$
アービトレーションロスト		

表 20.3 の割り込み条件が 1 でかつ CCR の I ビットが 0 のとき、CPU は割り込み例外処理を実行します。例外処理の中でそれぞれの割り込み要因をクリアしてください。ただし、TDRE、TEND は ICDRT に送信データをライトすることで、RDRF は ICDRR をリードすることで自動的にクリアされますので注意してください。特に TDRE は ICDRT に送信データをライトしたとき同時に再度 TDRE がセットされ、さらに TDRE をクリアすると余分に 1 バイト送信する場合があります。

20.6 ビット同期回路

本モジュールはマスタモード設定時に、

- スレーブデバイスによりSCLがローレベルに引っ張られた場合
- SCLラインの負荷（負荷容量、プルアップ抵抗）によりSCLの立ち上がりがなまった場合

の2つの状態でハイレベル期間が短くなる可能性があるため、SCLをモニタしてビットごとに同期をとりながら通信を行います。ビット同期回路のタイミングを図 20.18 に、SCL をロー出力→Hi-Z にしてから SCL をモニタするまでの時間を表 20.4 に示します。

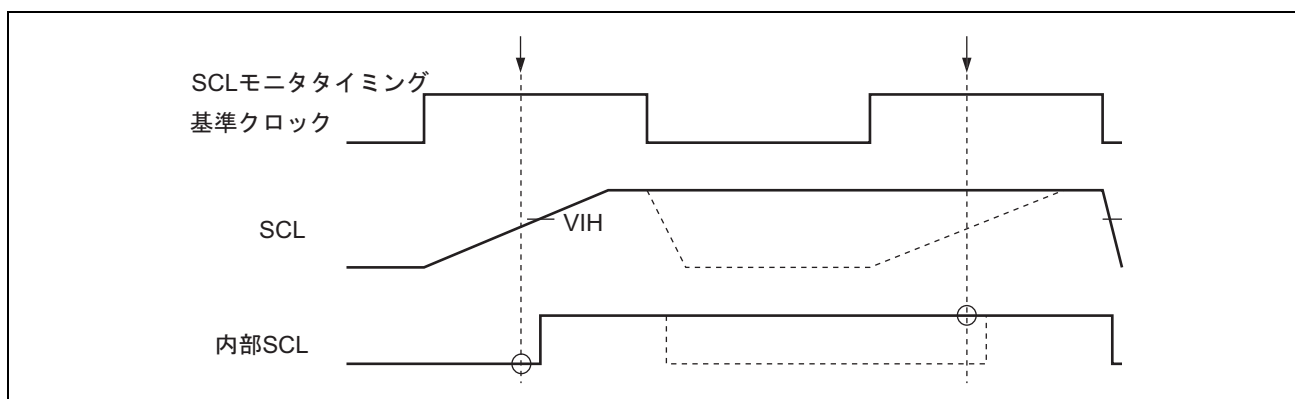


図 20.18 ビット同期回路のタイミング

表 20.4 SCL をモニタする時間

CKS3	CKS2	SCL をモニタする時間
0	0	7.5 t _{cyc}
	1	19.5 t _{cyc}
1	0	17.5 t _{cyc}
	1	41.5 t _{cyc}

20.7 使用上の注意事項

1. 停止条件の発行および開始条件（再送）の発行は9クロック目の立ち下がりを認識してから行ってください。9クロック目の立ち下がりにはI²CバスコントロールレジスタB (ICCRB) のSCLOビットをチェックすることにより認識することができます。

下記 (1) または (2) の条件下で、かつ特定のタイミングで停止条件の発行および開始条件（再送）の発行を行ったとき、停止条件および開始条件（再送）が正常に出力されない場合があります。この条件以外での使用は問題ありません。

- (1) SCLバスの負荷（負荷容量、プルアップ抵抗）によりSCLの立ち上がりが「20.6 ビット同期回路」の項に規定されている時間以上遅れている場合
- (2) スレーブデバイスが8クロック目と9クロック目のロー期間を引っ張ってビット同期回路が働いた場合

2. I²Cバスモードレジスタ (ICMR) のWAITビットは0の状態で使用してください。

WAITビットを1にセットして使用したとき、かつスレーブデバイスが8クロック目と9クロック目のロー期間を2転送クロック分以上SCLをローに引っ張ったときに、9クロック目のハイ期間が短くなる場合があります。この条件以外での使用は問題ありません。

3. マルチマスタで使用時の転送レート設定値の制限について

マルチマスタで使用し、本LSIのIIC転送レートの設定が他のマスタより遅いとき、まれにSCLに予期しない幅のSCLが出力される場合があります。この現象を回避するためには、他のマスタの一番速い転送レートより1/1.8以上の転送レートを設定してください。たとえば、他の一番速いマスタが400kbpsの場合、本LSIのIICの転送レートは223kbps (=400/1.8) 以上の設定値にする必要があります。

4. マルチマスタで使用時のMST、TRS設定時のビット操作命令使用制限について

マルチマスタで使用時、MST、TRSを順次ビット操作しマスタ送信に設定した場合、TRSのビット操作命令実行中のアービトレーションロストが発生するタイミングによっては、ICSRのAL=1かつマスタ送信モード (MST=1、TRS=1) のように矛盾した状態になっている場合があります。

この現象を回避するためには下記方法があります。

- マルチマスタで使用時、MST、TRSの設定はMOV命令で行ってください。
- アービトレーションロストした場合、MST=0、TRS=0を確認してください。万が一、MST=0、TRS=0以外の状態の場合、MST=0、TRS=0を設定し直してください。

5. マスタ受信モードの注意事項について

マスタ受信モードで使用した場合、RDRF=1の状態では8クロック目の立ち下がりがくるとSCLを“L”に引っ張りますが、8クロック目の立ち下がり付近でICDRRをリードすると、次の受信データの8クロック目を1クロック分“L”に固定するだけでその後ICDRRをリードしなくてもSCLの固定を解除し9クロック目を出力します。結果として受信データの取りこぼしとなります。

この現象を回避するためには下記方法があります。

- マスタ受信モードでICDRRをリードする処理は8クロック目の立ち上がりまでに行ってください。
- マスタ受信モードはRCVD=1にし1バイトごとの通信で処理を行ってください。

6. モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、IIC2の動作禁止/許可を設定することが可能です。初期値では、IIC2の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「27. 低消費電力」を参照してください。

21. A/D 変換器

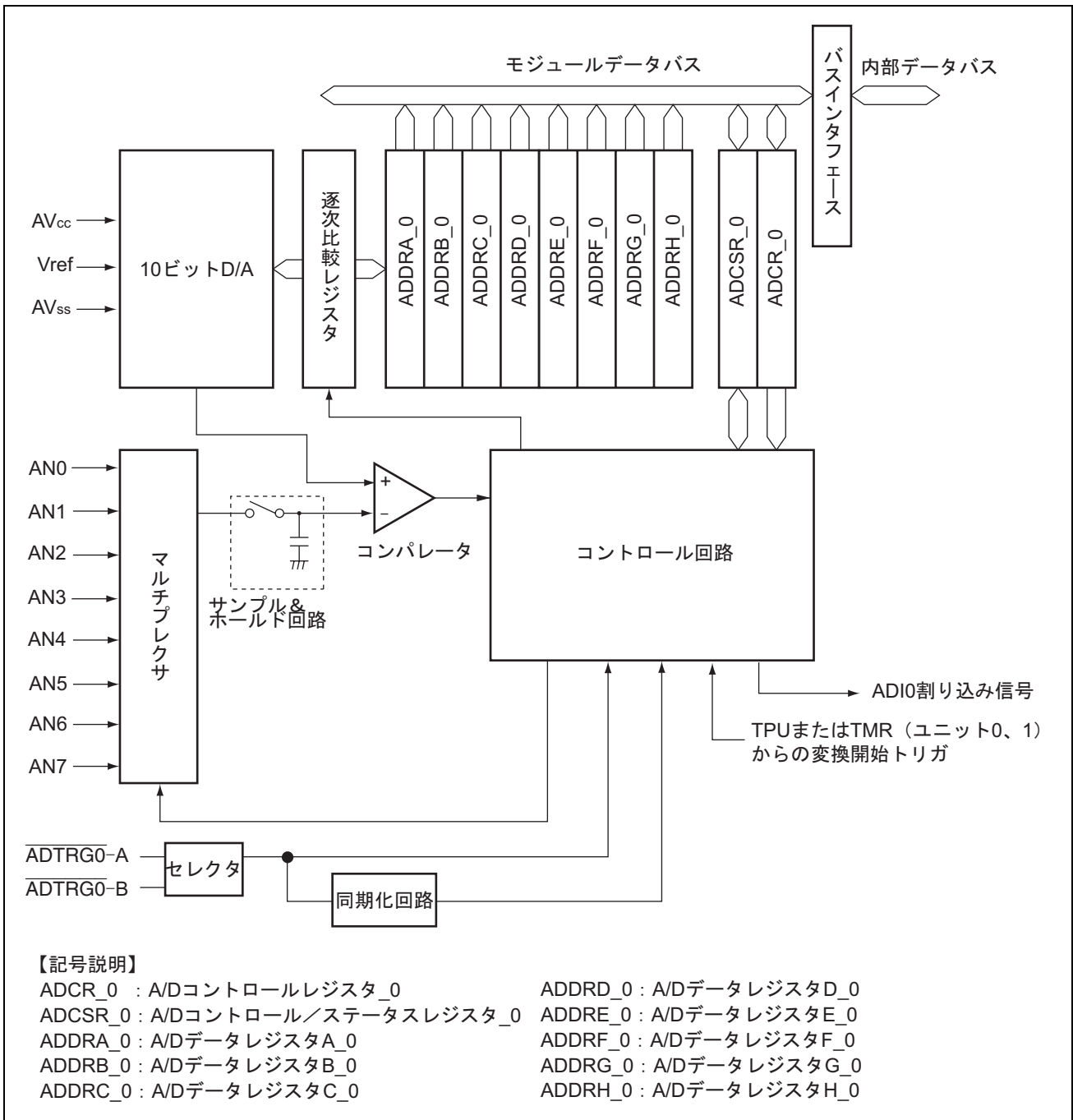


図 21.1 A/D 変換器 (ユニット 0/AD_0) のブロック図

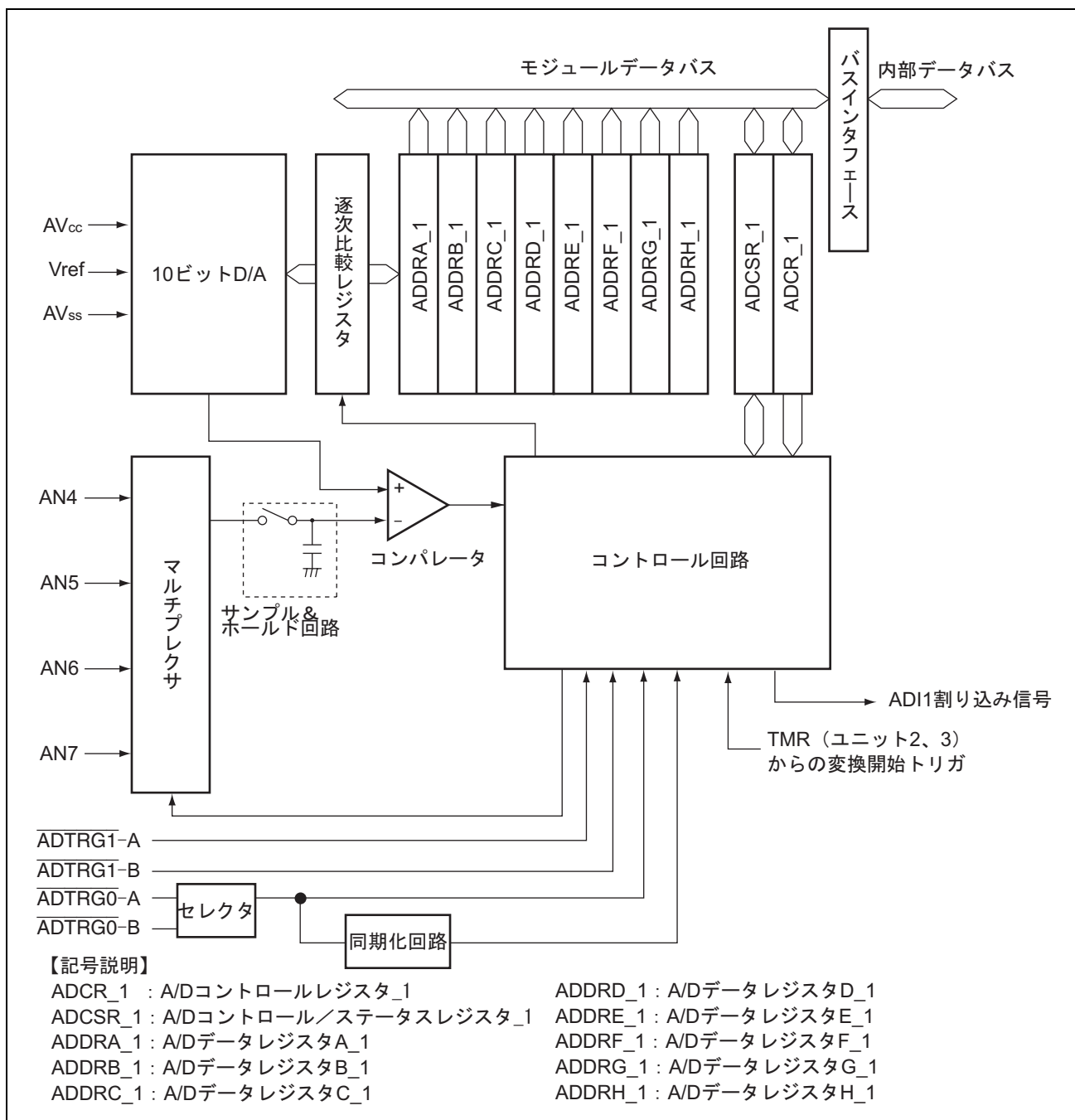


図 21.2 A/D 変換器 (ユニット 1/AD_1) のブロック図

21. A/D 変換器

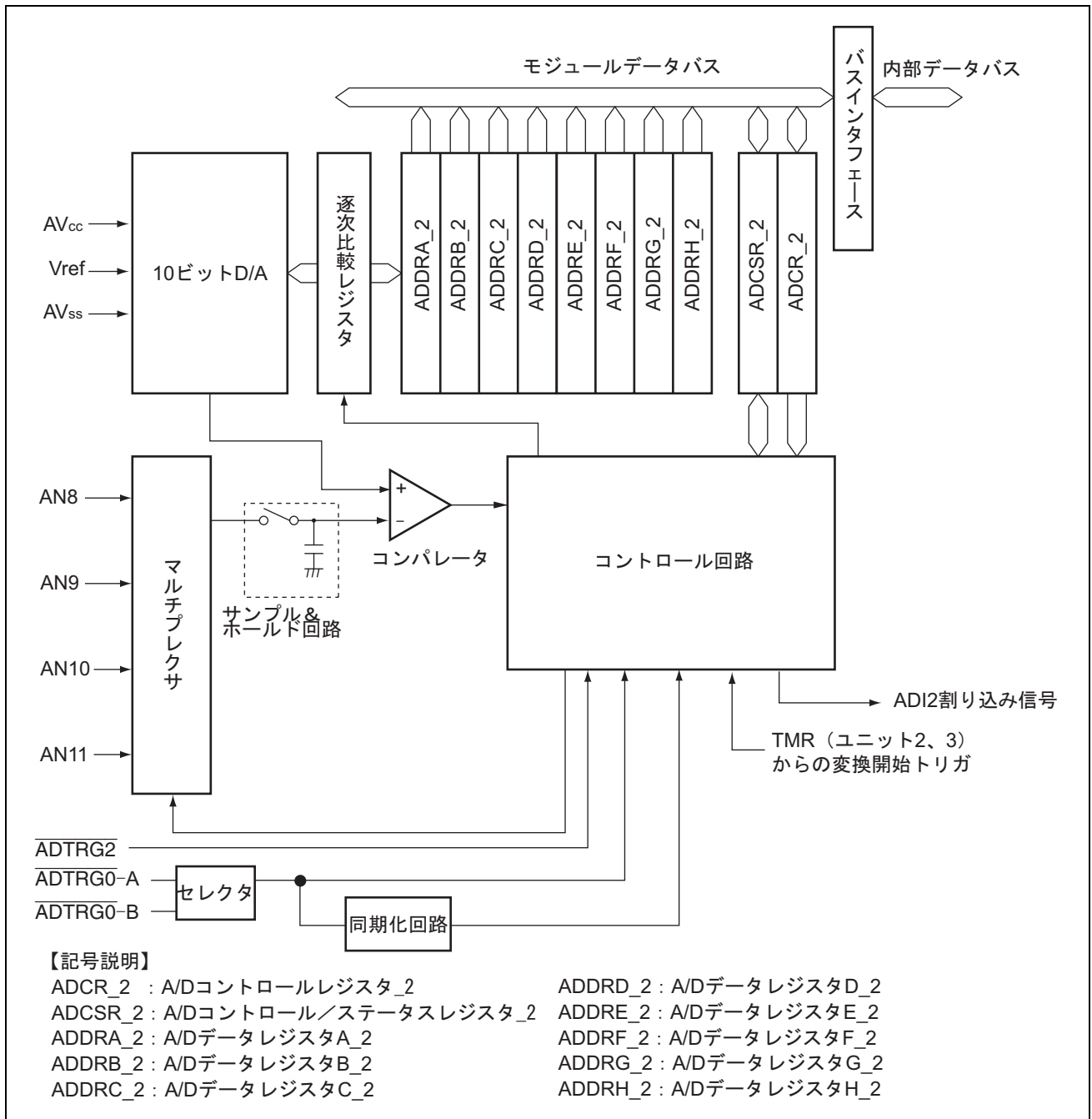


図 21.3 A/D 変換器 (ユニット2/AD_2) のブロック図

21.2 入出力端子

A/D 変換器で使用する入力端子を表 21.1 に示します。

表 21.1 端子構成

ユニット	略称	端子名	記号	入出力	機能
0	AD_0	アナログ入力端子 0	AN0	入力	アナログ入力端子
		アナログ入力端子 1	AN1	入力	
		アナログ入力端子 2	AN2	入力	
		アナログ入力端子 3	AN3	入力	
		アナログ入力端子 4	AN4	入力	
		アナログ入力端子 5	AN5	入力	
		アナログ入力端子 6	AN6	入力	
		アナログ入力端子 7	AN7	入力	
		A/D 外部トリガ入力端子 0_A	$\overline{\text{ADTRG0}}\text{-A}$	入力	A/D 変換開始のための外部トリガ入力端子 0_A ^{*1*}
		A/D 外部トリガ入力端子 0_B	$\overline{\text{ADTRG0}}\text{-B}$	入力	A/D 変換開始のための外部トリガ入力端子 0_B ^{*1*}
1	AD_1	アナログ入力端子 4	AN4	入力	アナログ入力端子
		アナログ入力端子 5	AN5	入力	
		アナログ入力端子 6	AN6	入力	
		アナログ入力端子 7	AN7	入力	
		A/D 外部トリガ入力端子 1_A	$\overline{\text{ADTRG1}}\text{-A}$	入力	A/D 変換開始のための外部トリガ入力端子 1_A ^{*1}
		A/D 外部トリガ入力端子 1_B	$\overline{\text{ADTRG1}}\text{-B}$	入力	A/D 変換開始のための外部トリガ入力端子 1_B ^{*1}
		A/D 外部トリガ入力端子 0_A	$\overline{\text{ADTRG0}}\text{-A}$	入力	A/D 変換開始のための外部トリガ入力端子 0_A ^{*1*}
		A/D 外部トリガ入力端子 0_B	$\overline{\text{ADTRG0}}\text{-B}$	入力	A/D 変換開始のための外部トリガ入力端子 0_B ^{*1*}
2	AD_2	アナログ入力端子 8	AN8	入力	アナログ入力端子
		アナログ入力端子 9	AN9	入力	
		アナログ入力端子 10	AN10	入力	
		アナログ入力端子 11	AN11	入力	
		A/D 外部トリガ入力端子 2	$\overline{\text{ADTRG2}}$	入力	A/D 変換開始のための外部トリガ入力端子 2 ^{*1}
		A/D 外部トリガ入力端子 0_A	$\overline{\text{ADTRG0}}\text{-A}$	入力	A/D 変換開始のための外部トリガ入力端子 0_A ^{*1*}
		A/D 外部トリガ入力端子 0_B	$\overline{\text{ADTRG0}}\text{-B}$	入力	A/D 変換開始のための外部トリガ入力端子 0_B ^{*1*}
		共通		アナログ電源端子	Avcc
アナロググランド端子	AVss			入力	アナログ部のグランド端子
リファレンス電圧端子	Vref			入力	A/D 変換器の基準電圧端子

【注】 *1 ADCR の TRGS1、TRGS0、EXTRGS ビットの設定によって選択します。

*2 PFCR6 の ADTRG0S ビットにより $\overline{\text{ADTRG0}}$ 入力端子を選択します。詳細は「13. I/O ポート」を参照してください。

21.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。

【ユニット 0 (A/D_0)】

- A/DデータレジスタA_0 (ADDRA_0)
- A/DデータレジスタB_0 (ADDRB_0)
- A/DデータレジスタC_0 (ADDRC_0)
- A/DデータレジスタD_0 (ADDRD_0)
- A/DデータレジスタE_0 (ADDRE_0)
- A/DデータレジスタF_0 (ADDRF_0)
- A/DデータレジスタG_0 (ADDRG_0)
- A/DデータレジスタH_0 (ADDRH_0)
- A/Dコントロール/ステータスレジスタ_0 (ADCSR_0)
- A/Dコントロールレジスタ_0 (ADCR_0)

【ユニット 1 (A/D_1)】

- A/DデータレジスタA_1 (ADDRA_1)
- A/DデータレジスタB_1 (ADDRB_1)
- A/DデータレジスタC_1 (ADDRC_1)
- A/DデータレジスタD_1 (ADDRD_1)
- A/DデータレジスタE_1 (ADDRE_1)
- A/DデータレジスタF_1 (ADDRF_1)
- A/DデータレジスタG_1 (ADDRG_1)
- A/DデータレジスタH_1 (ADDRH_1)
- A/Dコントロール/ステータスレジスタ_1 (ADCSR_1)
- A/Dコントロールレジスタ_1 (ADCR_1)

【ユニット 2 (A/D_2)】

- A/DデータレジスタA_2 (ADDRA_2)
- A/DデータレジスタB_2 (ADDRB_2)
- A/DデータレジスタC_2 (ADDRC_2)
- A/DデータレジスタD_2 (ADDRD_2)
- A/DデータレジスタE_2 (ADDRE_2)
- A/DデータレジスタF_2 (ADDRF_2)
- A/DデータレジスタG_2 (ADDRG_2)
- A/DデータレジスタH_2 (ADDRH_2)

- A/Dコントロール/ステータスレジスタ_2 (ADCSR_2)
- A/Dコントロールレジスタ_2 (ADCR_2)

21.3.1 A/D データレジスタ A~H (ADDRA~ADDRH)

ADDR は、A/D 変換された結果を格納するための 16 ビットのリード専用レジスタです。ADDRA~ADDRH の 8 本あります。各アナログ入力チャンネルの変換結果が格納される ADDR は表 21.2 のとおりです。

10 ビットの変換データは ADDR のビット 15 からビット 6 に格納されます。下位 6 ビットはリードすると常に 0 がリードされます。

CPU との間のデータバスは 16 ビット幅で、CPU から直接リードできます。ADDR をアクセスする場合は、16 ビット単位でアクセスしてください。8 ビット単位でのアクセスは禁止です。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名											—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.2 アナログ入力チャンネルと ADDR の対応

アナログ入力チャンネル	変換結果が格納されるレジスタ		
	ユニット 0	ユニット 1* ²	ユニット 2* ³
AN0	ADDRA_0 (ユニット 0)	—	—
AN1	ADDRB_0 (ユニット 0)	—	—
AN2	ADDRC_0 (ユニット 0)	—	—
AN3	ADDRD_0 (ユニット 0)	—	—
AN4	ADDRE_0 (ユニット 0) * ¹	ADDRE_1 (ユニット 1) * ¹	—
AN5	ADDRF_0 (ユニット 0) * ¹	ADDRF_1 (ユニット 1) * ¹	—
AN6	ADDRG_0 (ユニット 0) * ¹	ADDRG_1 (ユニット 1) * ¹	—
AN7	ADDRH_0 (ユニット 0) * ¹	ADDRH_1 (ユニット 1) * ¹	—
AN8	—	—	ADDRA_2 (ユニット 2)
AN9	—	—	ADDRB_2 (ユニット 2)
AN10	—	—	ADDRC_2 (ユニット 2)
AN11	—	—	ADDRD_2 (ユニット 2)

【注】 *1 複数ユニットで同一チャンネルの A/D 変換は行わないでください。

*2 ユニット 1 の ADDRA_1~ADDRD_1 は使用しません。

*3 ユニット 2 の ADDRE_2~ADDRH_2 は使用しません。

21. A/D 変換器

21.3.2 A/D コントロール/ステータスレジスタ (ADCSR_0) ユニット 0

ADCSR は A/D 変換動作を制御します。

ビット	7	6	5	4	3	2	1	0
ビット名	ADF	ADIE	ADST	—	CH3	CH2	CH1	CH0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	ADF	0	R/(W)*	<p>A/D エンドフラグ</p> <p>A/D 変換の終了を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • シングルモードで A/D 変換が終了したとき • スキャンモードで選択されたすべてのチャンネルの A/D 変換が終了したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき (割り込みを使用し、CPUによってクリアする場合、0ライト後に必ずフラグをリードしてください。) • ADI 割り込みにより DMAC または DTC が起動され、ADDR をリードしたとき
6	ADIE	0	R/W	<p>A/D インタラプトイネーブル</p> <p>1にセットすると ADF による ADI 割り込みがイネーブルになります。</p>
5	ADST	0	R/W	<p>A/D スタート</p> <p>0にクリアすると A/D 変換を停止し、待機状態になります。1にセットすると A/D 変換を開始します。シングルモードでは選択したチャンネルの A/D 変換が終了すると自動的にクリアされます。スキャンモードではソフトウェア、リセット、またはハードウェアスタンバイモードによってクリアされるまで選択されたチャンネルを順次連続変換します。</p> <p>【注】 外部トリガ起動設定時、ADST へのライトは行わないでください。詳細は、「21.7.3 A/D 外部トリガ起動設定時の注意事項」をご参照ください。</p>
4	—	0	R/W	<p>リザーブビット</p> <p>リードすると常に0が読み出されます。ライトする値は常に0にしてください。</p>

ビット	ビット名	初期値	R/W	説明
3	CH3	0	R/W	チャンネルセレクト 3~0
2	CH2	0	R/W	ADCR の SCANE ビット、SCANS ビットとともに、アナログ入力を選択します。
1	CH1	0	R/W	SCANE=0、
0	CH0	0	R/W	SCANE=1、
				SCANE=1、
				SCANS=X のとき
				SCANS=0 のとき
				SCANS=1 のとき
				0000 : AN0
				0001 : AN0
				0001 : AN0、AN1
				0001 : AN0、AN1
				0010 : AN2
				0010 : AN0~AN2
				0010 : AN0~AN2
				0011 : AN3
				0011 : AN0~AN3
				0011 : AN0~AN3
				0100 : AN4
				0100 : AN4
				0100 : AN0~AN4
				0101 : AN5
				0101 : AN4、AN5
				0101 : AN0~AN5
				0110 : AN6
				0110 : AN4~AN6
				0110 : AN0~AN6
				0111 : AN7
				0111 : AN4~AN7
				0111 : AN0~AN7
				1XXX : 設定禁止
				1XXX : 設定禁止
				1XXX : 設定禁止

【記号説明】 X : Don't care

【注】 * フラグをクリアするための 0 ライトのみ可能です。

21. A/D 変換器

21.3.3 A/D コントロール/ステータスレジスタ (ADCSR_1) ユニット 1

ADCSR は A/D 変換動作を制御します。

ビット	7	6	5	4	3	2	1	0
ビット名	ADF	ADIE	ADST	EXCKS	CH3	CH2	CH1	CH0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	ADF	0	R/(W)*	A/D エンドフラグ A/D 変換の終了を示すステータスフラグです。 [セット条件] <ul style="list-style-type: none"> シングルモードで A/D 変換が終了したとき スキャンモードで選択されたすべてのチャンネルの A/D 変換が終了したとき [クリア条件] <ul style="list-style-type: none"> 1の状態をリードした後、0をライトしたとき (割り込みを使用し、CPUによってクリアする場合、0ライト後に必ずフラグをリードしてください。) ADI 割り込みにより DMAC が起動され、ADDR をリードしたとき
6	ADIE	0	R/W	A/D インタラプトイネーブル 1にセットすると ADF による ADI 割り込みがイネーブルになります。
5	ADST	0	R/W	A/D スタート 0にクリアすると A/D 変換を停止し、待機状態になります。1にセットすると A/D 変換を開始します。シングルモードでは選択したチャンネルの A/D 変換が終了すると自動的にクリアされます。スキャンモードではソフトウェア、リセット、またはハードウェアスタンバイモードによってクリアされるまで選択されたチャンネルを順次連続変換します。 【注】 外部トリガ起動設定時、ADST へのライトは行わないでください。詳細は、「21.7.3 A/D 外部トリガ起動設定時の注意事項」をご参照ください。
4	EXCKS	0	R/W	拡張クロックセレクト ADCR の CKS1/0 と合わせて AD 変換時間の設定を行います。詳細は ADCR の説明をご参照ください。EXCKS へのライトは CKS1/0 と同時に行ってください。

ビット	ビット名	初期値	R/W	説明
3	CH3	0	R/W	チャンネルセレクト 3~0
2	CH2	0	R/W	ADCR の SCANE ビット、SCANS ビットとともに、アナログ入力を選択します。
1	CH1	0	R/W	SCANE=0、
0	CH0	0	R/W	SCANE=1、
				SCANE=1、
				SCANS=X のとき
				SCANS=0 のとき
				SCANS=1 のとき
				00XX : 設定禁止
				00XX : 設定禁止
				XXXX : 設定禁止
				0100 : AN4
				0100 : AN4
				0101 : AN5
				0101 : AN4、AN5
				0110 : AN6
				0110 : AN4~AN6
				0111 : AN7
				0111 : AN4~AN7
				1XXX : 設定禁止
				1XXX : 設定禁止

【記号説明】 X : Don't care

【注】 * フラグをクリアするための 0 ライトのみ可能です。

21. A/D 変換器

21.3.4 A/D コントロール/ステータスレジスタ (ADCSR_2) ユニット 2

ADCSR は A/D 変換動作を制御します。

ビット	7	6	5	4	3	2	1	0
ビット名	ADF	ADIE	ADST	EXCKS	CH3	CH2	CH1	CH0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	ADF	0	R/(W)*	A/D エンドフラグ A/D 変換の終了を示すステータスフラグです。 [セット条件] <ul style="list-style-type: none"> シングルモードで A/D 変換が終了したとき スキャンモードで選択されたすべてのチャンネルの A/D 変換が終了したとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。) ADI 割り込みにより DMAC が起動され、ADDR をリードしたとき
6	ADIE	0	R/W	A/D インタラプトイネーブル 1 にセットすると ADF による ADI 割り込みがイネーブルになります。
5	ADST	0	R/W	A/D スタート 0 にクリアすると A/D 変換を停止し、待機状態になります。1 にセットすると A/D 変換を開始します。シングルモードでは選択したチャンネルの A/D 変換が終了すると自動的にクリアされます。スキャンモードではソフトウェア、リセット、またはハードウェアスタンバイモードによってクリアされるまで選択されたチャンネルを順次連続変換します。 【注】 外部トリガ起動設定時、ADST へのライトは行わないでください。詳細は、「21.7.3 A/D 外部トリガ起動設定時の注意事項」をご参照ください。
4	EXCKS	0	R/W	拡張クロックセレクト ADCR の CKS1/0 と合わせて AD 変換時間の設定を行います。詳細は ADCR の説明をご参照ください。EXCKS へのライトは CKS1/0 と同時に行ってください。

ビット	ビット名	初期値	R/W	説 明
3	CH3	0	R/W	チャンネルセレクト 3~0
2	CH2	0	R/W	ADCR の SCANE ビット、SCANS ビットとともに、アナログ入力を選択します。
1	CH1	0	R/W	SCANE=0、
0	CH0	0	R/W	SCANE=1、
				SCANE=1、
				SCANS=X のとき
				SCANS=0 のとき
				SCANS=1 のとき
				0XXX : 設定禁止
				0XXX : 設定禁止
				XXXX : 設定禁止
				1000 : AN8
				1000 : AN8
				1001 : AN9
				1001 : AN8、AN9
				1010 : AN10
				1010 : AN8~AN10
				1011 : AN11
				1011 : AN8~AN11
				11XX : 設定禁止
				11XX : 設定禁止

【記号説明】 X : Don't care

【注】 * フラグをクリアするための 0 ライトのみ可能です

21. A/D 変換器

21.3.5 A/D コントロールレジスタ (ADCR_0) ユニット 0

ADCR は外部トリガによる A/D 変換開始をイネーブルにします。

ビット	7	6	5	4	3	2	1	0
ビット名	TRGS1	TRGS0	SCANE	SCANS	CKS1	CKS0	—	EXTRGS
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TRGS1	0	R/W	タイマトリガセレクト 1、0、拡張トリガセレクト
6	TRGS0	0	R/W	トリガ信号による A/D 変換開始をイネーブルにします。
0	EXTRGS	0	R/W	000 : 外部トリガによる A/D 変換開始を禁止 010 : TPU (ユニット 0) からの変換トリガによる A/D 変換開始 100 : TMR (ユニット 0、1) からの変換トリガによる A/D 変換開始 110 : $\overline{\text{ADTRG0}}$ による A/D 変換開始* ¹ * ² 001 : 外部トリガ無効 011 : 設定禁止 101 : 設定禁止 111 : $\overline{\text{ADTRG0}}$ による A/D 変換開始* ¹ * ² (ユニット同時起動) 【注】 外部トリガ起動設定時、ADST へのライトは行わないでください。詳細は、「21.7.3 A/D 外部トリガ起動設定時の注意事項」をご参照ください。
5	SCANE	0	R/W	スキャンモード
4	SCANS	0	R/W	A/D 変換の動作モードを選択します。 0X : シングルモード 10 : スキャンモード (1~4 チャンネルの連続 A/D 変換) 11 : スキャンモード (1~8 チャンネルの連続 A/D 変換)
3	CKS1	0	R/W	クロックセレクト 1、0
2	CKS0	0	R/W	A/D 変換時間の設定を行います。 変換時間の設定は ADCSR の ADST ビットが 0 のときに行い、その後変換モードの設定を行うようにしてください。 CKS1 CKS0 00 : 変換時間 =530 ステート* ³ (max) 01 : 変換時間 =266 ステート* ³ (max) 10 : 変換時間 =134 ステート* ³ (max) 11 : 変換時間 =68 ステート* ³ (max)

ビット	ビット名	初期値	R/W	説明
1	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。

【記号説明】 X : Don't care

- 【注】 *1 $\overline{\text{ADTRG}}$ による A/D 変換開始に設定する場合は、該当する端子の DDR ビットを 0 に、ICR ビットを 1 に設定してください。詳細は「13. I/O ポート」を参照してください。
- *2 PFCR6 の ADTRG0S ビットにより $\overline{\text{ADTRG0}}$ 入力端子を選択してください。詳細は「13. I/O ポート」を参照してください。
- *3 Pφ基準

21.3.6 A/D コントロールレジスタ (ADCR_1) ユニット 1

ADCR は外部トリガによる A/D 変換開始をイネーブルにします。

ビット	7	6	5	4	3	2	1	0
ビット名	TRGS1	TRGS0	SCANE	SCANS	CKS1	CKS0	ADSTCLR	EXTRGS
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TRGS1	0	R/W	タイマトリガセレクト 1、0、拡張トリガセレクト
6	TRGS0	0	R/W	トリガ信号による A/D 変換開始をイネーブルにします。
0	EXTRGS	0	R/W	000 : 外部トリガによる A/D 変換開始を禁止 010 : 設定禁止 100 : 設定禁止 110 : $\overline{\text{ADTRG1}}$ -A による A/D 変換開始* ¹ 001 : $\overline{\text{ADTRG1}}$ -B による A/D 変換開始* ¹ 011 : 外部トリガ無効 101 : TMR (ユニット 2、3) からの変換トリガによる A/D 変換開始 111 : $\overline{\text{ADTRG0}}$ による A/D 変換開始* ¹ * ² (ユニット同時起動) 【注】 外部トリガ起動設定時、ADST へのライトは行わないでください。詳細は、「21.7.3 A/D 外部トリガ起動設定時の注意事項」をご参照ください。
5	SCANE	0	R/W	スキャンモード
4	SCANS	0	R/W	A/D 変換の動作モードを選択します。 0X : シングルモード 10 : スキャンモード (1~4 チャンネルの連続 A/D 変換) 11 : 設定禁止

21. A/D 変換器

ビット	ビット名	初期値	R/W	説明
3	CKS1	0	R/W	クロックセレクト 1、0
2	CKS0	0	R/W	<p>EXCKS と合わせて、A/D 変換時間の設定を行います。</p> <p>変換時間の設定は ADCSR の ADST ビットが 0 のときに行い、その後変換モードの設定を行うようにしてください。</p> <p>EXCKS CKS1 CKS0</p> <p>000 : 変換時間 =530 ステート*³ (max)</p> <p>001 : 変換時間 =266 ステート*³ (max)</p> <p>010 : 変換時間 =134 ステート*³ (max)</p> <p>011 : 変換時間 =68 ステート*³ (max)</p> <p>100 : 変換時間 =332 ステート*³ (max)</p> <p>101 : 変換時間 =168 ステート*³ (max)</p> <p>110 : 変換時間 =87 ステート*³ (max)</p> <p>111 : 変換時間 =46 ステート*³ (max)</p>
1	ADSTCLR	0	R/W	<p>A/D スタートクリア</p> <p>スキャンモード時に ADST ビットの自動クリアの設定をします。</p> <p>0 : スキャンモードのとき、ADST ビットの自動的なクリアを禁止</p> <p>1 : スキャンモードのとき、選択されたすべてのチャンネルの A/D 変換が終了すると自動的にクリアされます</p>

【記号説明】 X : Don't care

- 【注】 *1 $\overline{\text{ADTRG}}$ による A/D 変換開始に設定する場合は、該当する端子の DDR ビットを 0 に、ICR ビットを 1 に設定してください。詳細は「13. I/O ポート」を参照してください。
- *2 PFCR6 の ADTRG0S ビットにより $\overline{\text{ADTRG0}}$ 入力端子を選択してください。詳細は「13. I/O ポート」を参照してください。
- *3 Pφ基準

21.3.7 A/D コントロールレジスタ (ADCR_2) ユニット 2

ADCR は外部トリガによる A/D 変換開始をイネーブルにします。

ビット	7	6	5	4	3	2	1	0
ビット名	TRGS1	TRGS0	SCANE	SCANS	CKS1	CKS0	ADSTCLR	EXTRGS
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TRGS1	0	R/W	タイマトリガセレクト 1、0、拡張トリガセレクト
6	TRGS0	0	R/W	トリガ信号による A/D 変換開始をイネーブルにします。
0	EXTRGS	0	R/W	000 : 外部トリガによる A/D 変換開始を禁止 010 : 設定禁止 100 : 設定禁止 110 : $\overline{\text{ADTRG2}}$ による A/D 変換開始* ¹ 001 : 設定禁止 011 : 外部トリガ無効 101 : TMR (ユニット 2、3) からの変換トリガによる A/D 変換開始 111 : $\overline{\text{ADTRG0}}$ による A/D 変換開始* ^{1*2} (ユニット同時起動) 【注】 外部トリガ起動設定時、ADST へのライトは行わないでください。詳細は、「21.7.3 A/D 外部トリガ起動設定時の注意事項」をご参照ください。
5	SCANE	0	R/W	スキャンモード
4	SCANS	0	R/W	A/D 変換の動作モードを選択します。 0X : シングルモード 10 : スキャンモード (1~4 チャンネルの連続 A/D 変換) 11 : 設定禁止

21. A/D 変換器

ビット	ビット名	初期値	R/W	説明
3	CKS1	0	R/W	クロックセレクト 1、0 EXCKS と合わせて、A/D 変換時間の設定を行います。 変換時間の設定は ADCSR の ADST ビットが 0 のときに行い、その後変換モードの設定を行うようにしてください。また、ソフトウェアスタンバイモード、モジュールストップモードに遷移させる場合は遷移の前に B'11 にセットしてください。 EXCKS CKS1 CKS0 000 : 変換時間 =530 ステート* ² (max) 001 : 変換時間 =266 ステート* ² (max) 010 : 変換時間 =134 ステート* ³ (max) 011 : 変換時間 =68 ステート* ³ (max) 100 : 変換時間 =332 ステート* ³ (max) 101 : 変換時間 =168 ステート* ³ (max) 110 : 変換時間 =87 ステート* ³ (max) 111 : 変換時間 =46 ステート* ³ (max)
2	CKS0	0	R/W	
1	ADSTCLR	0	R/W	A/D スタートクリア スキャンモード時に ADST ビットの自動クリアの設定をします。 0 : スキャンモードのとき、ADST ビットの自動的なクリアを禁止 1 : スキャンモードのとき、選択されたすべてのチャンネルの A/D 変換が終了すると自動的にクリアされます

【記号説明】 X : Don't care

- 【注】 *1 $\overline{\text{ADTRG}}$ による A/D 変換開始に設定する場合は、該当する端子の DDR ビットを 0 に、ICR ビットを 1 に設定してください。詳細は「13. I/O ポート」を参照してください。
- *2 PFCR6 の ADTRG0S ビットにより $\overline{\text{ADTRG0}}$ 入力端子を選択してください。詳細は「13. I/O ポート」を参照してください。
- *3 Pφ基準

21.4 動作説明

動作モードには、シングルモード、スキャンモードがあります。最初に A/D 変換に使用するクロックの設定を行ってください。動作モードやアナログ入力チャネルの切り替えは、誤動作を避けるため ADCSR の ADST ビットが 0 の状態で行ってください。動作モードやアナログ入力チャネルの変更と、ADST ビットを 1 にセットするのは同時に行うことができます。

21.4.1 シングルモード

シングルモードは、指定された 1 チャネルのアナログ入力を以下のように 1 回 A/D 変換します。

1. ソフトウェア、TPU*¹、TMR*²、または外部トリガ入力によって ADCSR の ADST ビットが 1 にセットされると、選択されたチャネルの A/D 変換を開始します。
2. A/D 変換が終了すると、A/D 変換結果がそのチャネルに対応する A/D データレジスタに転送されます。
3. A/D 変換終了後、ADCSR の ADF ビットが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求を発生します。
4. ADST ビットは A/D 変換中は 1 を保持し、変換が終了すると自動的にクリアされて A/D 変換器は待機状態になります。A/D 変換中に ADST ビットを 0 にクリアすると A/D 変換を中止し、A/D 変換器は待機状態になります。

【注】 *1 ユニット 0 のみ可能

*2 ユニット 0 は TMR のユニット 0、1、ユニット 1 は TMR のユニット 2、3 を変換開始トリガとして使用可能

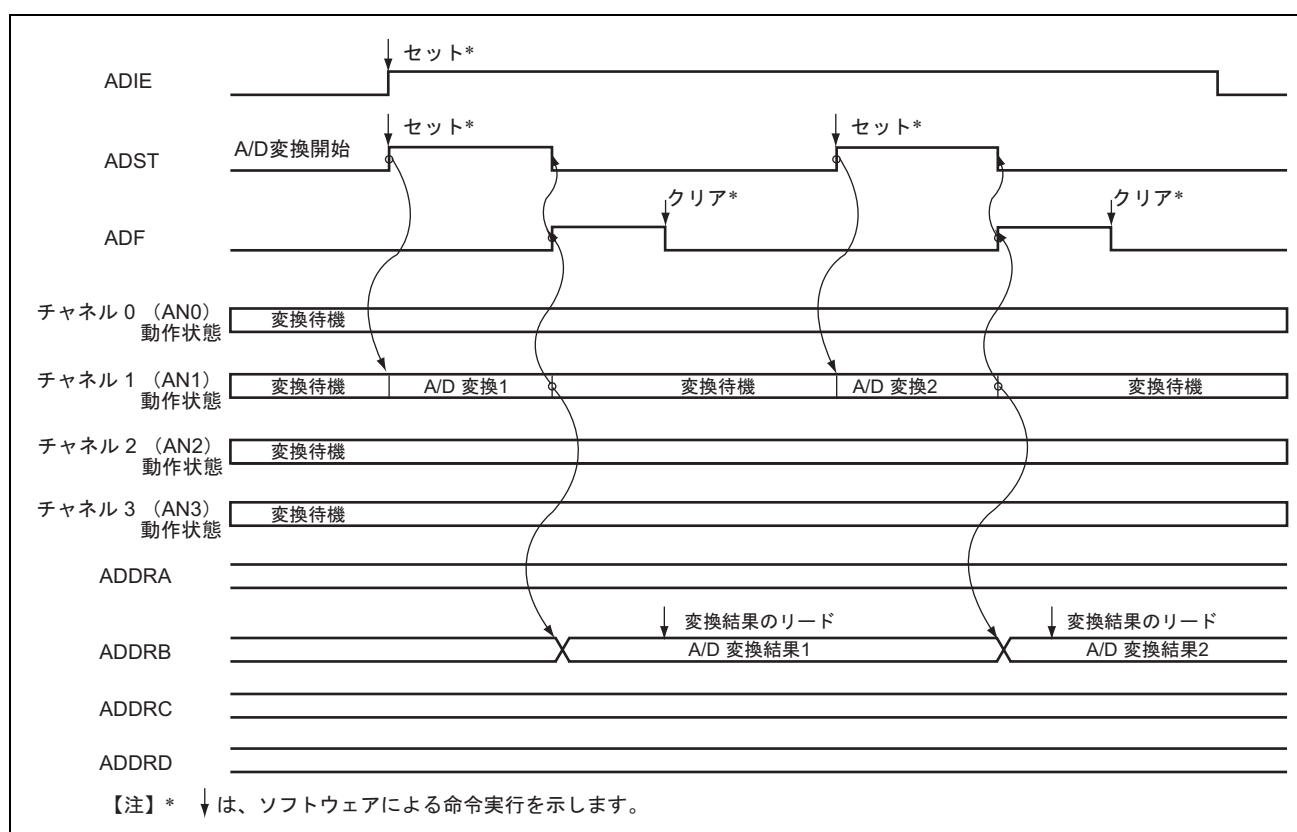


図 21.4 A/D 変換器の動作例（シングルモード、チャンネル 1 選択時）

21.4.2 スキャンモード

スキャンモードは、指定された最大4チャンネル、または最大8チャンネル*¹のアナログ入力を以下のように順次連続してA/D変換します。スキャンモードにはA/D変換を繰り返す連続スキャンとA/D変換を設定されたチャンネルを1サイクル行う1サイクルスキャンがあります。

● 連続スキャンモード

1. ソフトウェア、TPU*¹、TMR*²、または外部トリガ入力によってADCSRのADSTビットが1にセットされると、選択されたチャンネルの第1チャンネルからA/D変換を開始します。最大4チャンネルの連続A/D変換（SCANE、SCANS=B'10）、または最大8チャンネルの連続A/D変換*¹（SCANE、SCANS=B'11）を選択できます。4チャンネルの連続A/D変換の場合は、ユニット0がCH3、CH2=B'00のときAN0、ユニット0、ユニット1がCH3、CH2=B'01のときAN4、ユニット2がCH3、CH2=B'10のときAN8からA/D変換を開始します。8チャンネルの連続A/D変換*¹の場合は、CH3=B'0のときAN0からA/D変換を開始します。
2. それぞれのチャンネルのA/D変換が終了すると、A/D変換結果は順次そのチャンネルに対応するADDRに転送されます。
3. 選択されたすべてのチャンネルのA/D変換が終了すると、ADCSRのADFビットが1にセットされます。このときADIEビットが1にセットされていると、ADI割り込み要求を発生します。A/D変換器は再び第1チャンネルからA/D変換を開始します。
4. ADSTビットは自動的にクリアされず、1にセットされている間は2.~3.を繰り返します。ADSTビットを0にクリアするとA/D変換を中止し、A/D変換器は待機状態になります。その後、ADSTビットを1にセットすると再び第1チャンネルからA/D変換を開始します。

【注】 *1 ユニット0のみ可能

*2 ユニット0はTMRのユニット0、1、ユニット1はTMRのユニット2、3を変換開始トリガとして使用可能

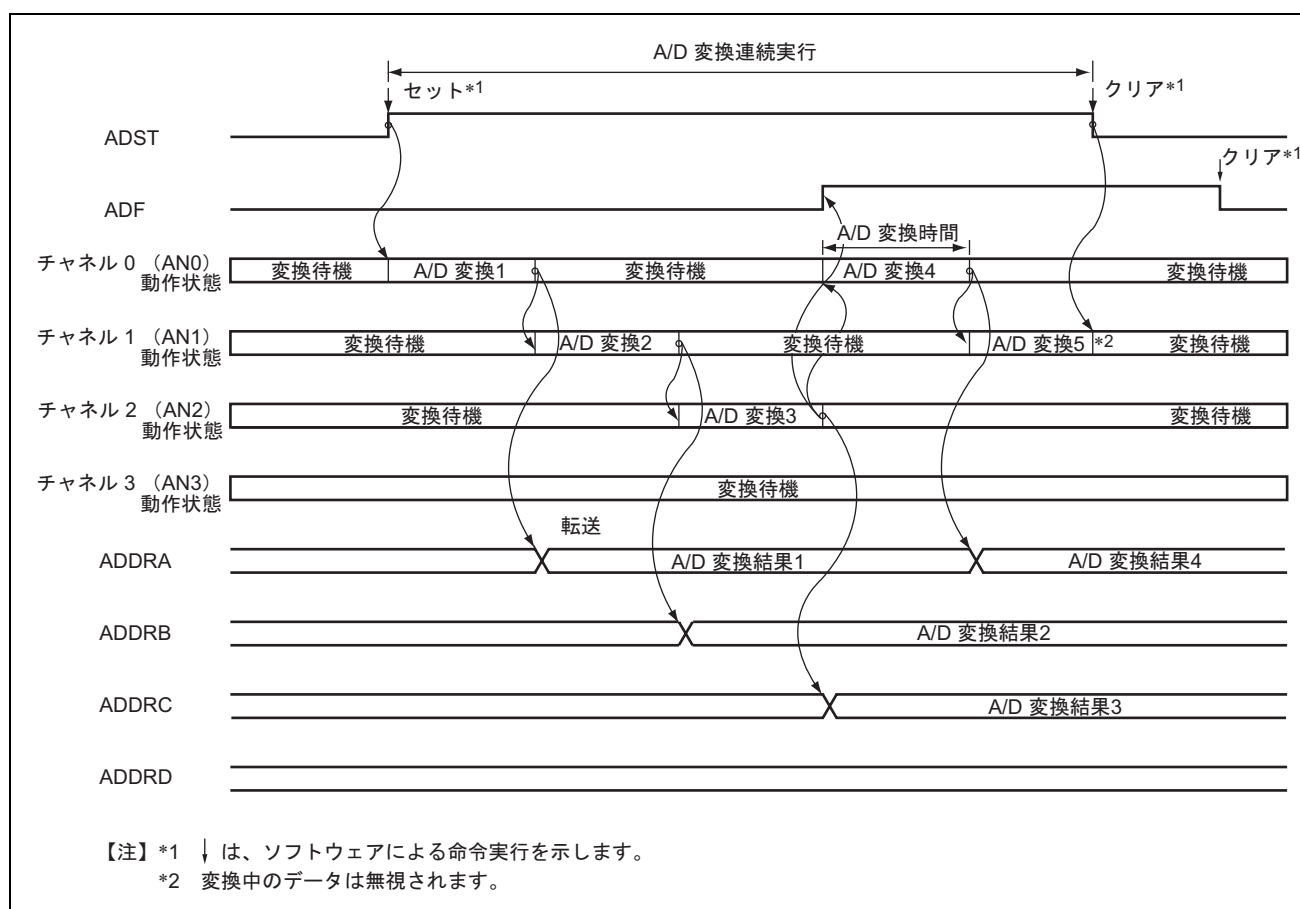


図 21.5 A/D 変換器の動作例 (連続スキャンモード、AN0~AN2 の 3 チャンネル選択時)

21. A/D 変換器

● 1サイクルスキャンモード（ユニット1、2のみ有効）

1. ADCRのADSTCLRビットを1にセットします。
2. ソフトウェア、TMR（ユニット2、3）、または外部トリガ入力によってADCSRのADSTビットが1にセットされると、選択されたチャンネルの第1チャンネルからA/D変換を開始します。最大4チャンネルの連続A/D変換（SCANE、SCANS=B'10）を選択できます。ユニット1の場合はCH3、CH2=B'01のときAN4から、ユニット2の場合はCH3、CH2=B'10のときAN8から、A/D変換を開始します。
3. それぞれのチャンネルのA/D変換が終了すると、A/D変換結果は順次そのチャンネルに対応するADDRに転送されます。
4. 選択されたすべてのチャンネルのA/D変換が終了すると、ADCSRのADFビットが1にセットされます。このときADIEビットが1にセットされていると、ADI割り込み要求を発生します。
5. ADSTビットは選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、A/D変換を中止し、A/D変換器は待機状態になります。

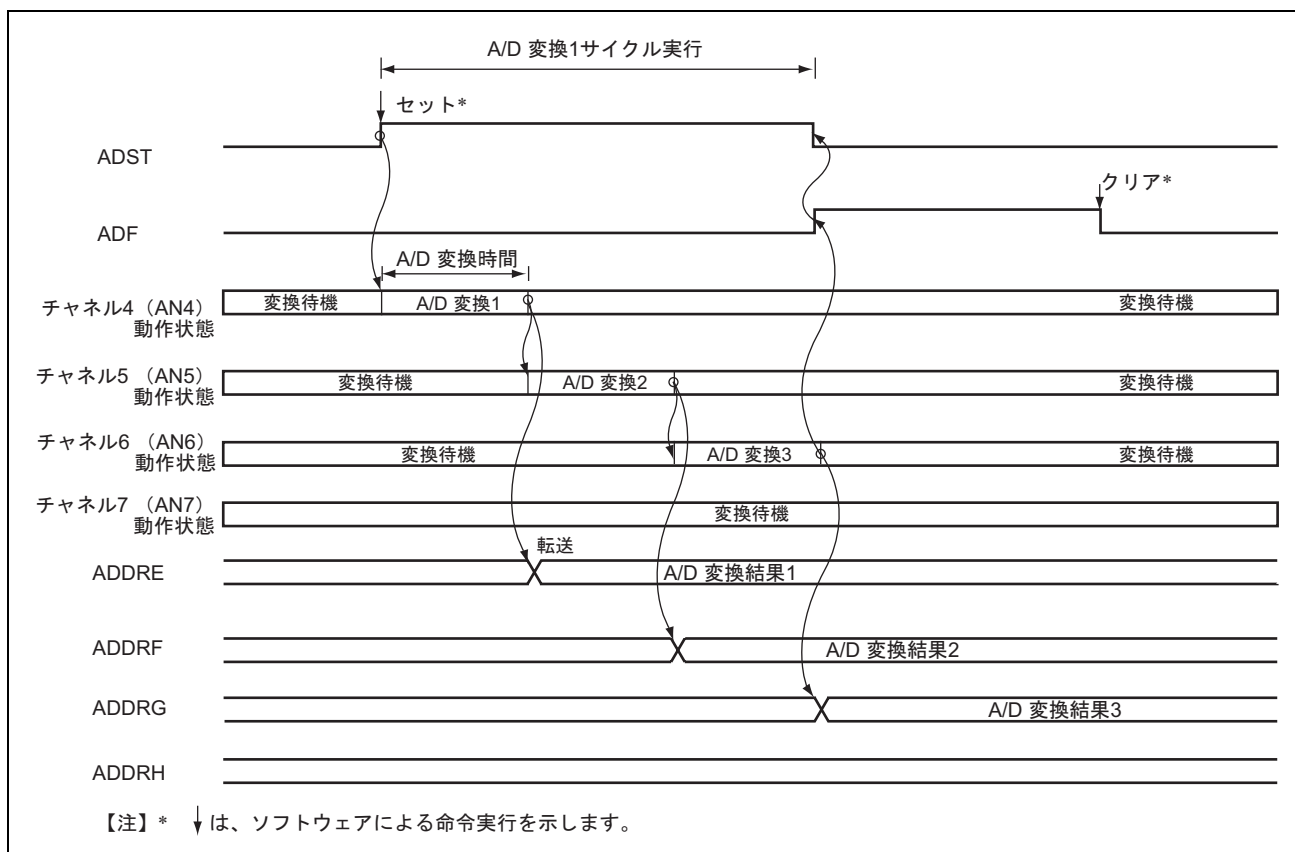


図 21.6 A/D 変換器の動作例（1 サイクルスキャンモード、AN4～AN6 の3 チャンネル選択時）

21.4.3 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADCSR の ADST ビットが 1 にセットされてから A/D 変換開始遅延時間 (t_D) 経過後、入力のサンプリングを行い、その後 A/D 変換を開始します。A/D 変換のタイミングを図 21.7 に示します。また、A/D 変換時間を表 21.3、21.4 に示します。

A/D 変換時間 (t_{CONV}) は、図 21.7 に示すように、 t_D と入力サンプリング時間 (t_{SPL}) を含めた時間となります。ここで t_D は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 21.3、21.4 に示す範囲で変化します。

スキャンモードの変換時間は、表 21.3、21.4 に示す値が 1 回目の変換時間となります。2 回目以降の変換時間は表 21.5 に示す値となります。いずれの場合も、変換時間は A/D 変換特性に示す範囲となるように ADCR の CKS1、CKS0 ビットを設定してください。

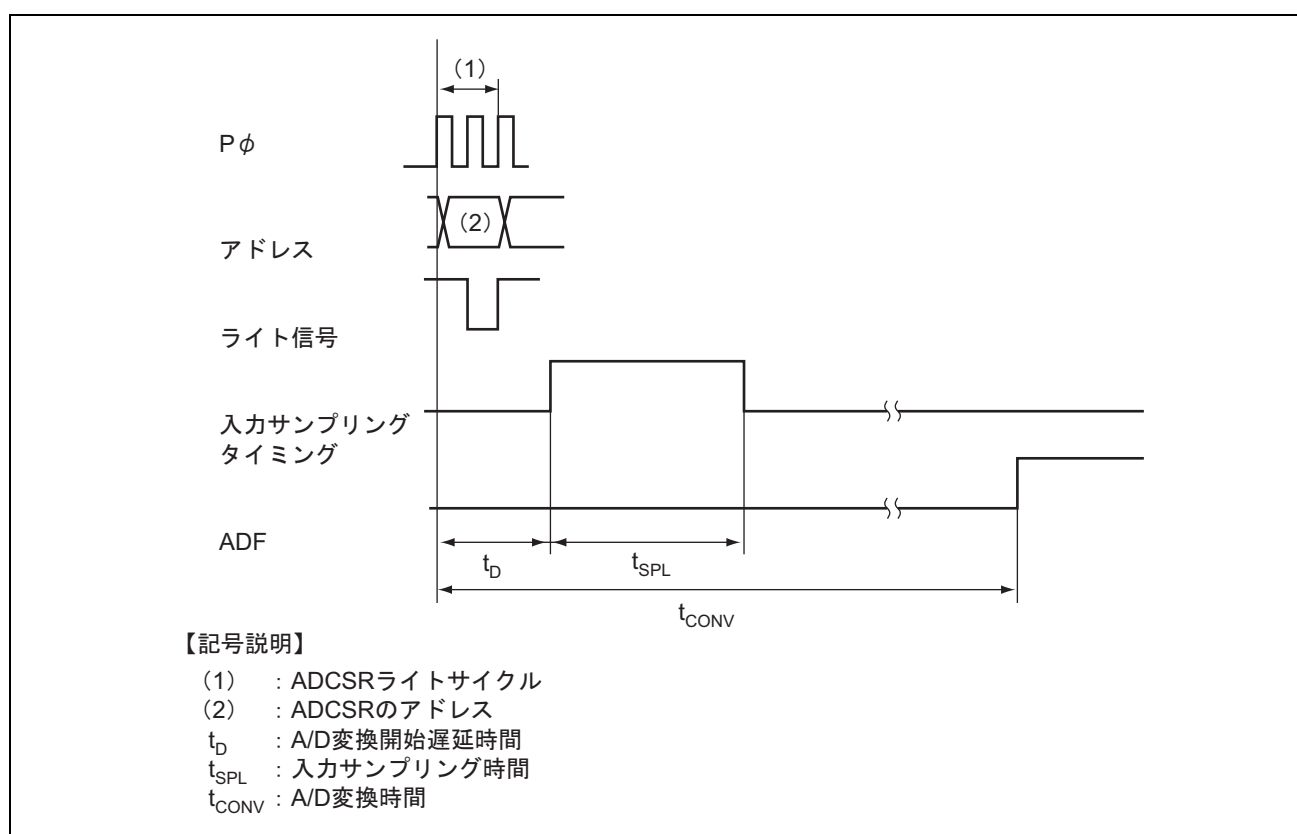


図 21.7 A/D 変換タイミング

21. A/D 変換器

表 21.3 A/D 変換特性 (EXCKS=0 時)

項目	記号	CKS1=0						CKS1=1					
		CKS0=0			CKS0=1			CKS0=0			CKS0=1		
		min	typ	max	min	typ	max	min	typ	max	min	typ	max
A/D 変換開始遅延時間	t_d	18	—	33	10	—	17	6	—	9	4	—	5
入力サンプリング時間	t_{SPL}	—	319	—	—	159	—	—	79	—	—	29	—
A/D 変換時間	t_{CONV}	515	—	530	259	—	266	131	—	134	67	—	68

表 21.4 A/D 変換特性 (EXCKS=1 時) (ユニット 1、ユニット 2)

項目	記号	CKS1=0						CKS1=1					
		CKS0=0			CKS0=1			CKS0=0			CKS0=1		
		min	typ	max	min	typ	max	min	typ	max	min	typ	max
A/D 変換開始遅延時間	t_d	3	—	10	3	—	6	3	—	5	3	—	4
入力サンプリング時間	t_{SPL}	—	120	—	—	60	—	—	30	—	—	15	—
A/D 変換時間	t_{CONV}	325	—	332	165	—	168	85	—	87	45	—	46

【注】 表中の数値の単位はステートです。

表 21.5 A/D 変換時間 (スキャンモード) (ユニット 0)

CKS1	CKS0	変換時間 (ステート)
0	0	512 (固定)
	1	256 (固定)
1	0	128 (固定)
	1	64 (固定)

表 21.6 A/D 変換時間 (スキャンモード) (ユニット 1、ユニット 2)

EXCKS	CKS1	CKS0	変換時間 (ステート)
0	0	0	512 (固定)
		1	256 (固定)
	1	0	128 (固定)
		1	64 (固定)
1	0	0	320 (固定)
		1	160 (固定)
	1	0	80 (固定)
		1	40 (固定)

21.4.4 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。ユニット 0 の外部トリガ入力は、ADCR_0 の TRGS1、TRGS0、EXTRGS ビットが B'110 にセットされているとき、 $\overline{\text{ADTRG0}}$ 端子から入力されます。ユニット 1 の外部トリガ入力は、ADCR_1 の TRGS1、TRGS0、EXTRGS ビットが B'110 もしくは B'001 にセットされているとき、 $\overline{\text{ADTRG1}}$ 端子もしくは $\overline{\text{ADTRG2}}$ 端子から入力されます。ユニット 2 の外部トリガ入力は、ADCR_2 の TRGS1、TRGS0、EXTRGS ビットが B'110 にセットされているとき、 $\overline{\text{ADTRG2}}$ 端子から入力されます。 $\overline{\text{ADTRG}}$ の立ち下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、シングルモード/スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 21.8 に示します。

また、外部トリガ入力により複数ユニットの A/D 変換を同時に開始することも可能です（ユニット同時起動）。ユニット 0、1、2 の外部トリガ入力は、ADCR_0、ADCR_1、ADCR_2 の TRGS1、TRGS0、EXTRGS ビットが B'111 にセットされているとき、 $\overline{\text{ADTRG0}}$ 端子から入力されます。 $\overline{\text{ADTRG0}}$ の立ち下がりエッジで ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されますが、ユニット同時起動を使用しない場合と外部トリガ入力タイミングが異なります。このタイミングを図 21.9 に示します。

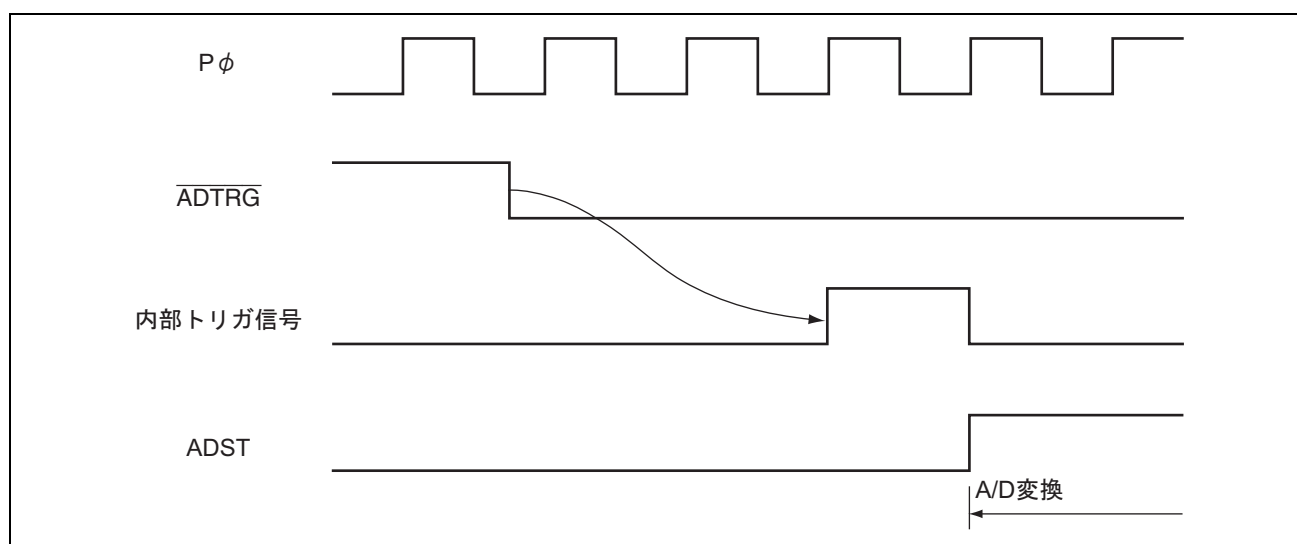


図 21.8 外部トリガ入力タイミング (TRGS1、TRGS0、EXTRGS≠B'111)

21. A/D 変換器

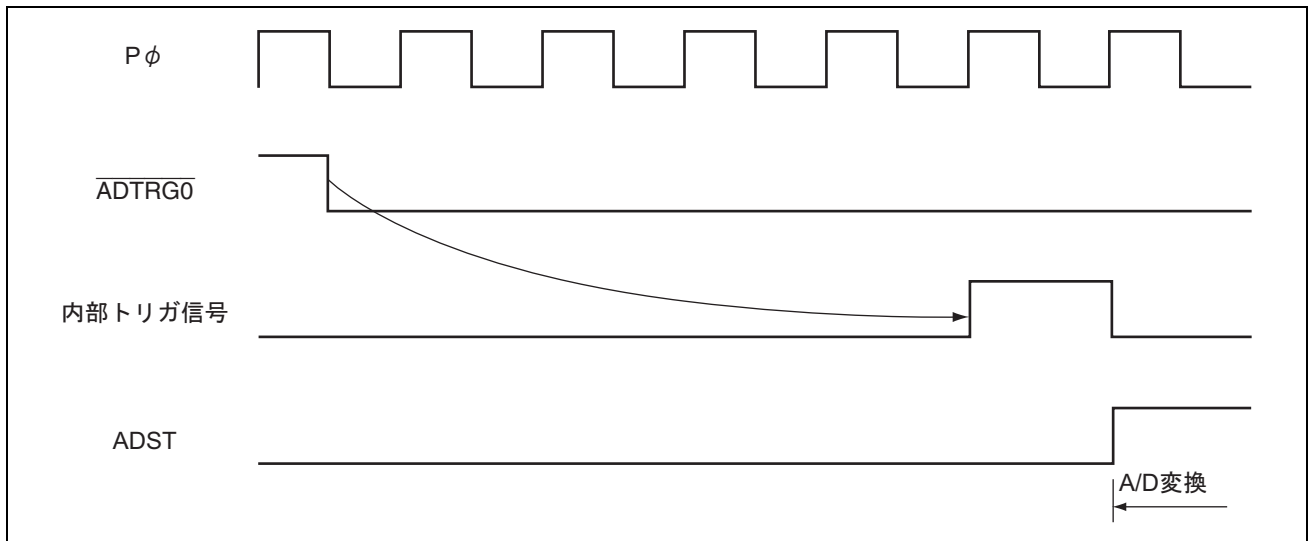


図 21.9 外部トリガ入力タイミング (ユニット同時起動時 : TRGS1、TRGS0、EXTRGS=B'111)

21.5 割り込み要因

A/D 変換器は、A/D 変換が終了すると A/D 変換終了割り込み (ADI) を発生します。ADI 割り込み要求は、A/D 変換終了後 ADCSR の ADF が 1 にセットされ、このとき ADIE ビットが 1 にセットされるとイネーブルになります。ADI 割り込みで、データトランスファコントローラ (DTC)* および DMA コントローラ (DMAC) の起動ができます。ADI 割り込みで変換されたデータのリードを DTC* または DMAC で行くと、連続変換がソフトウェアの負担なく実現できます。

【注】 * ユニット 0 のみ可能

表 21.7 A/D 変換器の割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動	DMAC の起動
ADI	A/D 変換終了	ADF	可*	可

【注】 * ユニット 0 のみ可能

21.6 A/D 変換精度の定義

本 LSI の A/D 変換精度の定義は以下のとおりです。

- 分解能
A/D変換器のデジタル出力コード数
- 量子化誤差
A/D変換器が本質的に有する偏差であり、1/2LSBで与えられる (図21.10)
- オフセット誤差
デジタル出力が最小電圧値B'000000000 (H'000) からB'000000001 (H'001) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差 (図21.11)
- フルスケール誤差
デジタル出力がB'111111110 (H'3FE) からB'111111111 (H'3FF) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差 (図21.11)
- 非直線性誤差
ゼロ電圧からフルスケール電圧までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない (図21.11)
- 絶対精度
デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む

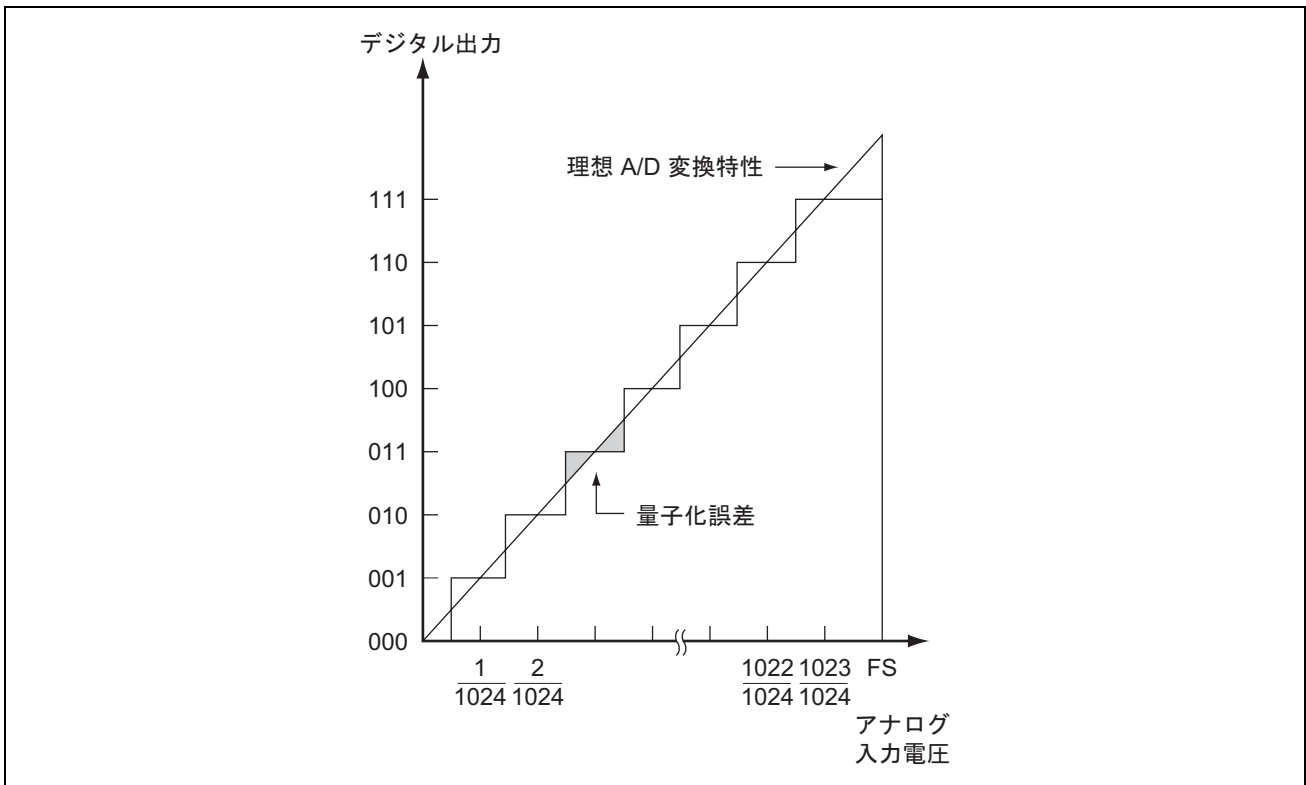


図 21.10 A/D 変換精度の定義

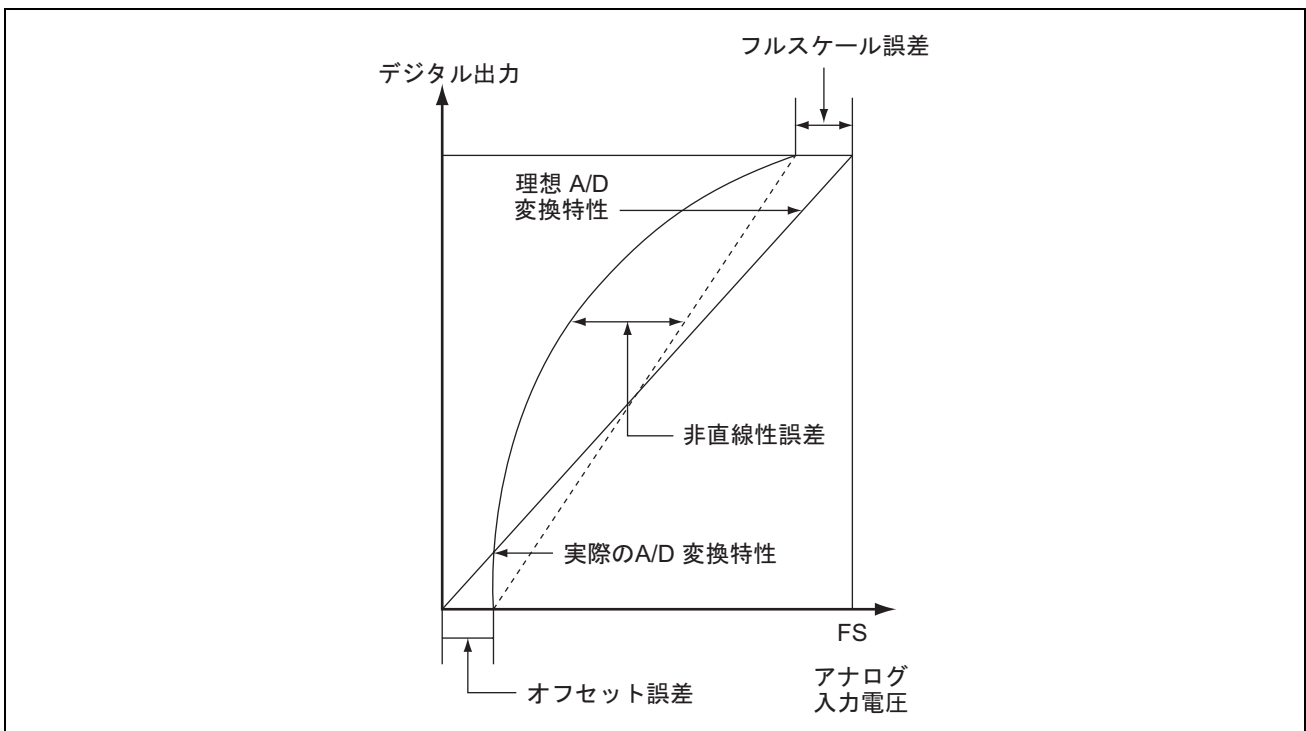


図 21.11 A/D 変換精度の定義

21.7 使用上の注意事項

21.7.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、A/D 変換器の動作禁止/許可を設定することが可能です。初期値では、A/D 変換器の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。A/D 変換器の動作後、モジュールストップ状態に遷移する場合は CKS1、CKS2 ビットを 1 にセットし、ADST、TRGS1、TRGS0、EXTRGS ビットをすべて 0 にクリアして A/D 変換を禁止してください。その後、1 ワードダミーリードしてからモジュールストップコントロールレジスタを設定してください。モジュールストップコントロールレジスタの詳細は、「27. 低消費電力」を参照してください。

21.7.2 ソフトウェアスタンバイ時の A/D 変換保持機能

A/D 変換を許可した状態で本 LSI がソフトウェアスタンバイモードになると A/D 変換は保持され、アナログ電源電流は A/D 変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は CKS1、CKS2 ビットを 1 にセットし、ADST、TRGS1、TRGS0、EXTRGS ビットをすべて 0 にクリアして A/D 変換を禁止してください。その後、1 ワードダミーリードしてソフトウェアスタンバイモードに遷移させてください。

21.7.3 A/D 外部トリガ起動設定時の注意事項

外部トリガ*起動設定時に 1.~3.のいずれかを実施している場合、A/D 変換器を停止できない現象が発生する場合があります。

【注】 * 外部トリガ：ADTRG 端子入力、もしくは周辺モジュール（TMR、TPU）からの変換トリガ

1. 外部トリガ起動設定時に、ADCSRのADSTビットを0から1にライトしたとき
2. 外部トリガ起動設定時に、外部トリガによるA/D変換開始を禁止へ切り替えたとき
3. 外部トリガ起動設定時に、スキャンモード（SCANE、ADSTLCRビット）を切り替えたとき
（連続スキャンモードから、シングルモードまたは1サイクルスキャンモードへの切り替え）
上記のいずれかに該当する場合は、以下の設定をお願い致します。

1.に該当する場合

外部トリガ起動設定時、ADCSR の ADST ビットを 0 から 1 にライトしないでください。

2.または3.に該当する場合

外部トリガ起動設定時に外部トリガによる A/D 変換開始を禁止への切り替え、およびスキャンモード（SCANE、ADSTLCR ビット）への切り替えは、外部トリガ入力無効設定に切り替えた後に実行してください。ADCR の TRGS1、TRGS0、EXTRGS ビットへ特定値をライトすることで外部トリガ入力無効設定とすることができます

2.または3.に該当する場合の詳細手順については、 21.12 を参照してください。

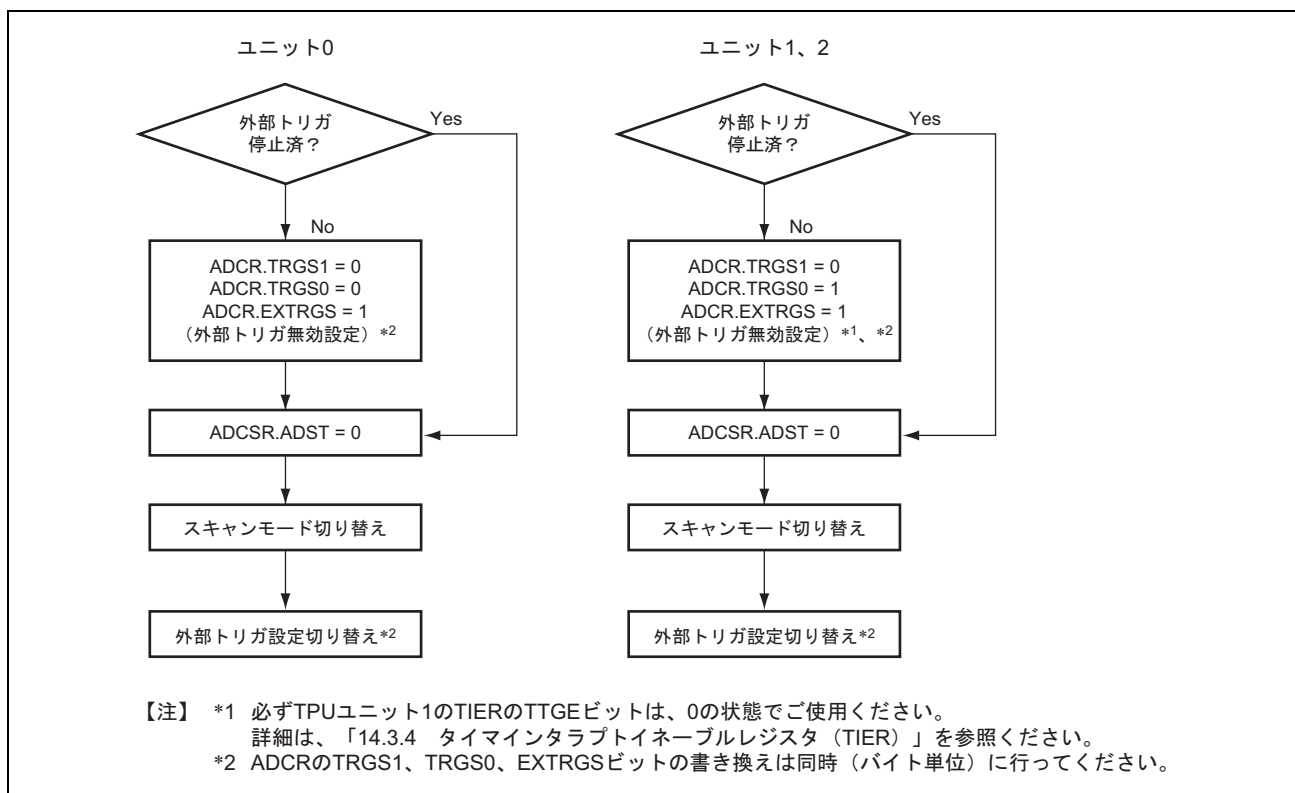


図 21.12 外部トリガ起動設定時のモード切り替え手順

21.7.4 許容信号源インピーダンスについて

本 LSI のアナログ入力は、信号源インピーダンスが $5\text{k}\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっています。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが $5\text{k}\Omega$ を超える場合は、充電不足が生じて A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合は、入力の負荷は実質的に内部入力抵抗の $10\text{k}\Omega$ だけになりますので、信号源インピーダンスは不用となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号 (たとえば $5\text{mV}/\mu\text{s}$ 以上) には追従できないことがあります (図 21.13)。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

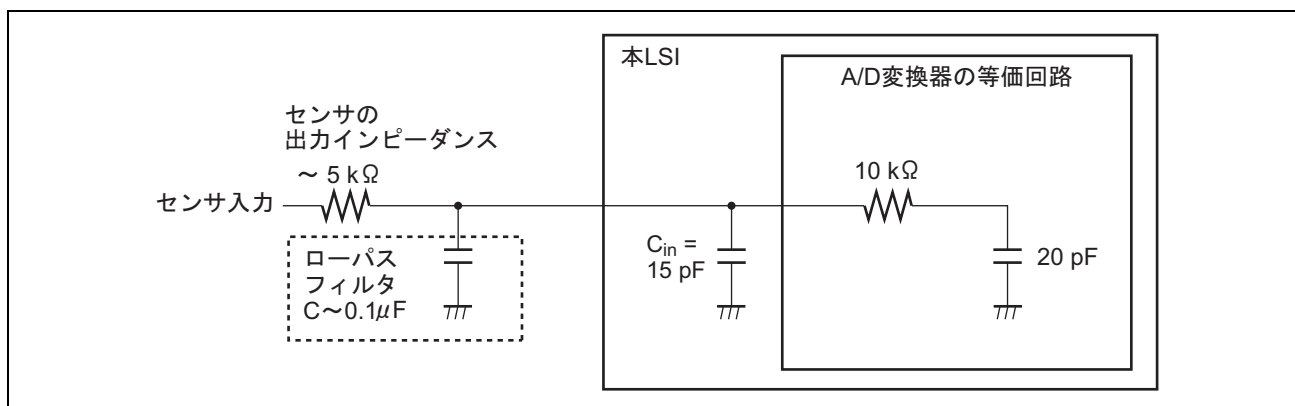


図 21.13 アナログ入力回路の例

21.7.5 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることとなりますので、GND にノイズがあると絶対精度が悪化する可能性がありますので、必ず AV_{SS} 等の電氣的に安定な GND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意してください。

21.7.6 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

A/D変換中、アナログ入力端子 AN_n に印加する電圧は $AV_{SS} \leq V_{AN} \leq V_{ref}$ の範囲としてください。

- AV_{CC}、AV_{SS} と V_{CC}、V_{SS} の関係

AV_{CC}、AV_{SS} と V_{CC}、V_{SS} との関係は $AV_{CC} = V_{CC} \pm 0.3V$ かつ $AV_{SS} = V_{SS}$ としてください。A/D変換器を使用しない場合、 $AV_{CC} = V_{CC}$ 、 $AV_{SS} = V_{SS}$ としてください。

- V_{ref} の設定範囲

V_{ref} 端子によるリファレンス電圧の設定範囲は、 $V_{ref} \leq AV_{CC}$ にしてください。

21.7.7 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号配線を交差させたり、近接させないでください。誘導によりアナログ回路が誤動作し、A/D 変換値に悪影響を及ぼします。アナログ入力端子 (AN0~AN11)、アナログ基準電源 (V_{ref})、アナログ電源電圧 (AV_{cc}) は、アナロググランド (AV_{ss}) でデジタル回路と分離してください。さらに、アナロググランド (AV_{ss}) は、ボード上の安定したグランド (V_{ss}) に一点接続してください。

21.7.8 ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子 (AN0~AN11) の破壊を防ぐために、図 21.14 に示すように AV_{cc} - AV_{ss} 間に保護回路を接続してください。 AV_{cc} に接続するバイパスコンデンサ、AN0~AN11 に接続するフィルタ用のコンデンサは、必ず AV_{ss} に接続してください。

なお、フィルタ用のコンデンサを接続すると、AN0~AN11 の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモードなどで A/D 変換を頻繁に行う場合、A/D 変換器内部のサンプル&ホールド回路の容量に充放電される電流が入力インピーダンス (R_{in}) を経由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。したがって、回路定数は充分ご検討の上決定してください。

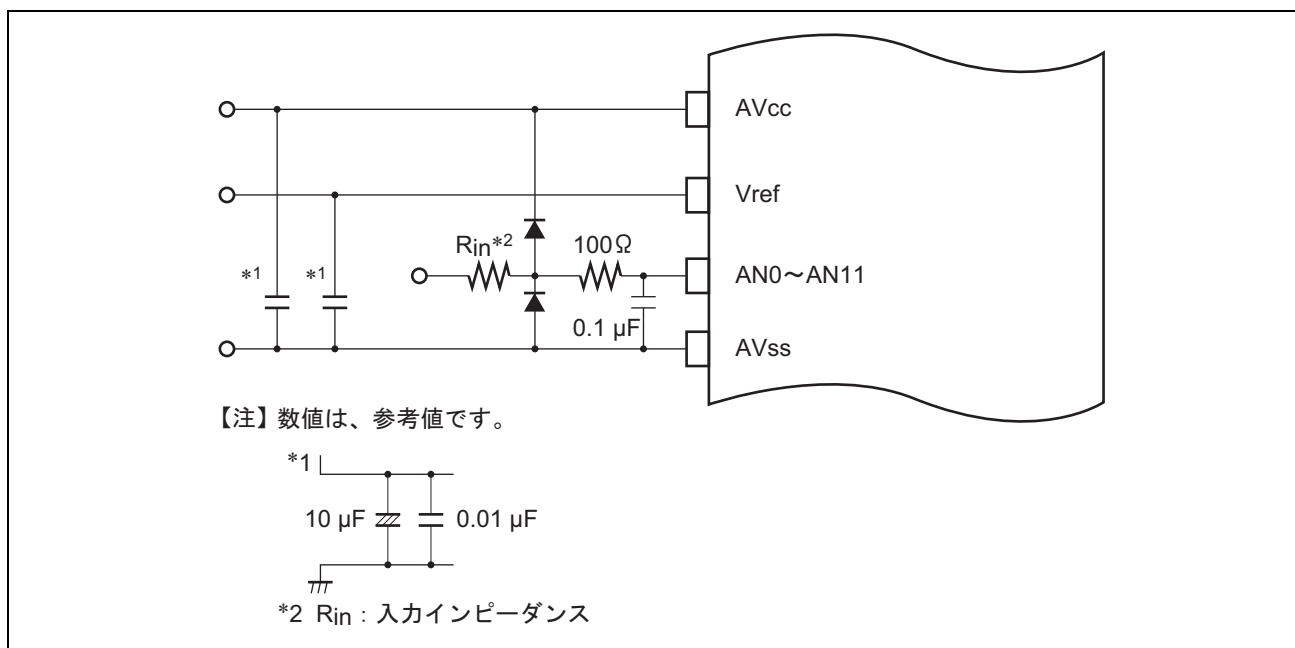
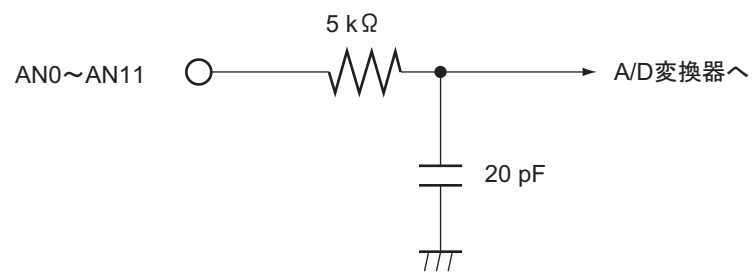


図 21.14 アナログ入力保護回路の例

表 21.8 アナログ端子の規格

項目	min	max	単位
アナログ入力容量	—	20	pF
許容信号源インピーダンス	—	5	k Ω



【注】 数値は、参考値です。

図 21.15 アナログ入力端子等価回路

22. D/A 変換器

22.1 特長

- 分解能：8ビット
- 出力チャンネル：2チャンネル
- 変換時間：最大 $10\mu\text{s}$ （負荷容量 20pF 時）
- 出力電圧： $0\text{V}\sim V_{\text{ref}}$
- ソフトウェアスタンバイモード時のD/A出力保持機能
- モジュールストップ状態への設定が可能

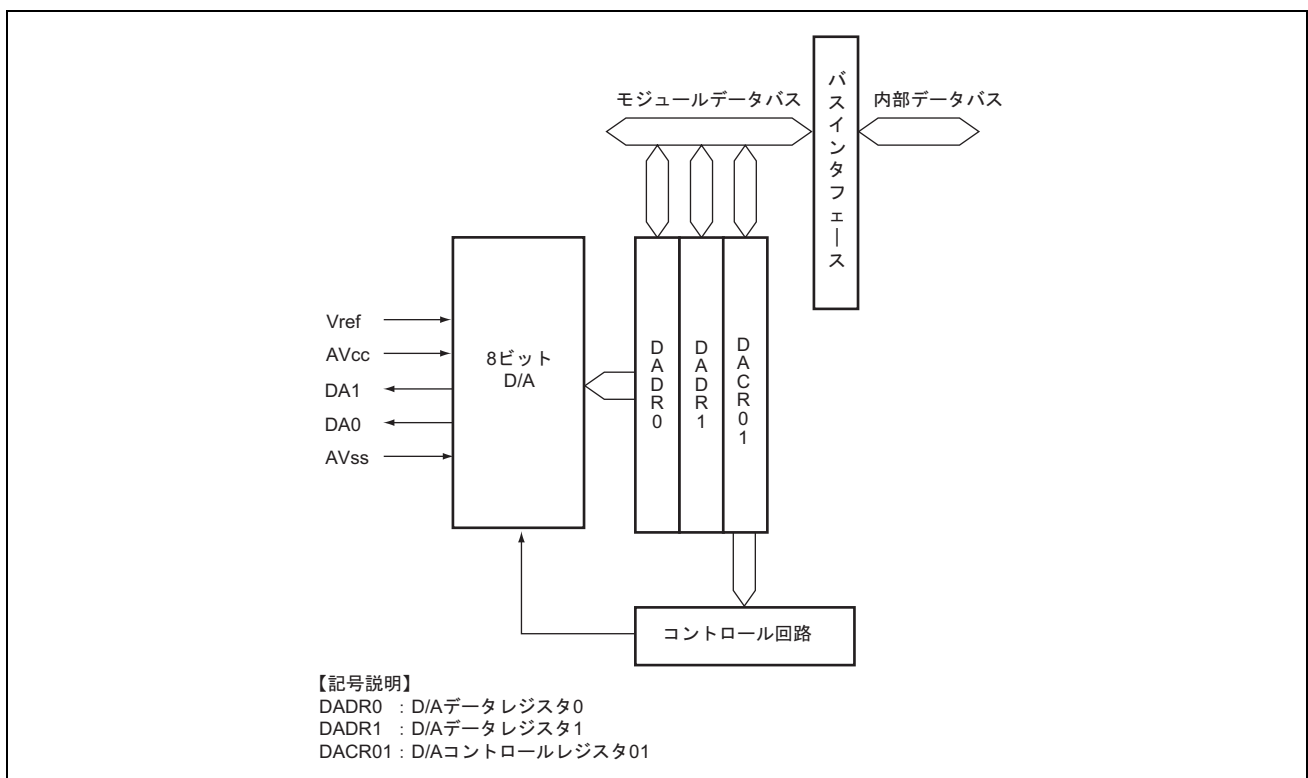


図 22.1 D/A 変換器のブロック図

22.2 入出力端子

D/A 変換器で使用する入出力端子を表 22.1 に示します。

表 22.1 端子構成

名称	記号	入出力	機能
アナログ電源端子	AV _{cc}	入力	アナログ部の電源端子
アナロググランド端子	AV _{ss}	入力	アナログ部のグランド端子
リファレンス電源端子	V _{ref}	入力	D/A 変換器の基準電圧端子
アナログ出力端子 0	DA0	出力	チャンネル 0 のアナログ出力
アナログ出力端子 1	DA1	出力	チャンネル 1 のアナログ出力

22.3 レジスタの説明

D/A 変換器には以下のレジスタがあります。

- D/Aデータレジスタ0 (DADR0)
- D/Aデータレジスタ1 (DADR1)
- D/Aコントロールレジスタ01 (DACR01)

22.3.1 D/A データレジスタ 0、1 (DADR0、DADR1)

DADR は、D/A 変換を行うデータを格納するための 8 ビットのリード/ライト可能なレジスタです。アナログ出力を許可すると、DADR の値が変換されアナログ出力端子に出力されます。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

22.3.2 D/A コントロールレジスタ 01 (DACR01)

DACR01 は D/A 変換器の動作を制御します。

- DACR01

ビット	7	6	5	4	3	2	1	0
ビット名	DAOE1	DAOE0	DAE	—	—	—	—	—
初期値:	0	0	0	1	1	1	1	1
R/W:	R/W	R/W	R/W	R	R	R	R	R

• DACR01

ビット	ビット名	初期値	R/W	説明
7	DAOE1	0	R/W	D/A アウトプットイネーブル 1 D/A 変換とアナログ出力を制御します。 0 : チャンネル 1 のアナログ出力 (DA1) を禁止 1 : チャンネル 1 の D/A 変換を許可。チャンネル 1 のアナログ出力 (DA1) を許可
6	DAOE0	0	R/W	D/A アウトプットイネーブル 0 D/A 変換とアナログ出力を制御します。 0 : チャンネル 0 のアナログ出力 (DA0) を禁止 1 : チャンネル 0 の D/A 変換を許可。チャンネル 0 のアナログ出力 (DA0) を許可
5	DAE	0	R/W	D/A イネーブル DAOE0、DAOE1 ビットとの組み合わせで、D/A 変換を制御します。このビットが 0 にクリアされているとチャンネル 0、1 の D/A 変換は独立に制御されます。このビットが 1 にセットされているとチャンネル 0、1 の D/A 変換は一括して制御されます。変換結果の出力は、DAOE0、DAOE1 ビットにより制御されます。表 22.2 を参照してください。
4~0	—	1	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。

表 22.2 D/A 変換の制御

ビット 5	ビット 7	ビット 6	説明
DAE	DAOE1	DAOE0	
0	0	0	D/A 変換を禁止
		1	チャンネル 0 の D/A 変換を許可、チャンネル 1 の D/A 変換を禁止 チャンネル 0 のアナログ出力 (DA0) を許可、チャンネル 1 のアナログ出力 (DA1) を禁止
	1	0	チャンネル 0 の D/A 変換を禁止、チャンネル 1 の D/A 変換を許可 チャンネル 0 のアナログ出力 (DA0) を禁止、チャンネル 1 のアナログ出力 (DA1) を許可
		1	チャンネル 0、1 の D/A 変換を許可 チャンネル 0、1 のアナログ出力 (DA0、DA1) を許可
1	0	0	チャンネル 0、1 の D/A 変換を許可 チャンネル 0、1 のアナログ出力 (DA0、DA1) を禁止
		1	チャンネル 0、1 の D/A 変換を許可 チャンネル 0 のアナログ出力 (DA0) を許可、チャンネル 1 のアナログ出力 (DA1) を禁止
	1	0	チャンネル 0、1 の D/A 変換を許可 チャンネル 0 のアナログ出力 (DA0) を禁止、チャンネル 1 のアナログ出力 (DA1) を許可
		1	チャンネル 0、1 の D/A 変換を許可 チャンネル 0、1 のアナログ出力 (DA0、DA1) を許可

22.4 動作説明

2チャンネルのD/A変換器は、それぞれ独立して変換を行うことができます。DACR01のDAOEビットを1にセットすると、D/A変換が許可され変換結果が出力されます。

チャンネル0のD/A変換を行う場合の動作例を以下に示します。このときの動作タイミングを図22.2に示します。

1. DADR0に変換データをライトします。
2. DACR01のDAOE0ビットを1にセットすると、D/A変換が開始されます。 t_{DCONV} 時間経過後、変換結果がアナログ出力端子DA0より出力されます。DADR0を書き換えるかDAOE0ビットを0にクリアするまで、この変換結果が出力され続けます。出力値は以下の式で表わされます。

$$\frac{\text{DADR0の内容}}{256} \times V_{\text{ref}}$$
3. DADR0を書き換えるとただちに変換が開始されます。 t_{DCONV} 時間経過後、変換結果が出力されます。
4. DAOE0ビットを0にクリアするとアナログ出力を禁止します。

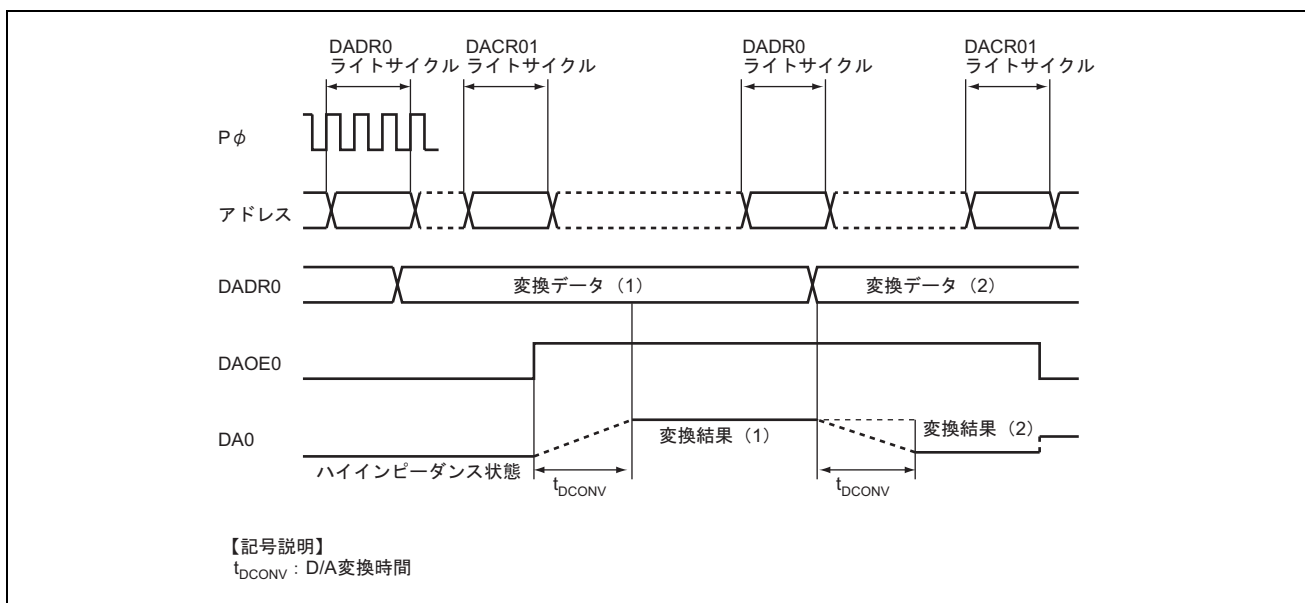


図 22.2 D/A 変換器の動作例

22.5 使用上の注意事項

22.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、D/A 変換器の動作禁止/許可を設定することが可能です。初期値では、D/A 変換器の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「27. 低消費電力」を参照してください。

22.5.2 ソフトウェアスタンバイモード時の D/A 出力保持機能

D/A 変換を許可した状態で本 LSI がソフトウェアスタンバイモードに遷移すると D/A 出力は保持され、アナログ電源電流は D/A 変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、DAOE0、DAOE1、DAE ビットをすべて 0 にクリアして D/A 出力を禁止してください。

22.5.3 ディープソフトウェアスタンバイモード時の注意事項

D/A 変換を許可した状態で本 LSI がディープソフトウェアスタンバイモードに遷移すると、D/A 出力はハイインピーダンス状態となります。

23. RAM

本 LSI は高速スタティック RAM を内蔵しています。RAM は、CPU と 32 ビット幅のデータバスで接続されており、バイトデータ、ワードデータ、ロングワードデータにかかわらず、1 ステートでアクセスできます。

RAM は、システムコントロールレジスタ (SYSCR) の RAME ビットにより有効または無効の制御が可能です。SYSCR については「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

RAM 容量は、H8SX/1648、H8SX/1648A、H8SX/1648L、H8SX/1648G、H8SX/1648H は 56K バイト、H8SX/1644、H8SX/1644A、H8SX/1644L、H8SX/1644G、H8SX/1644H は 40K バイト、H8SX/1642、H8SX/1642A、H8SX/1642L、H8SX/1642G、H8SX/1642H は 24K バイトです。

製品分類		RAM 容量	RAM アドレス
フラッシュメモリ版	H8SX/1642	24K バイト	H'FF6000~H'FFBFFF
	H8SX/1642A		
	H8SX/1642L		
	H8SX/1642G		
	H8SX/1642H		
	H8SX/1644	40K バイト	H'FF2000~H'FFBFFF
	H8SX/1644A		
	H8SX/1644L		
	H8SX/1644G		
	H8SX/1644H		
	H8SX/1648	56K バイト	H'FEE000~H'FFBFFF
	H8SX/1648A		
	H8SX/1648L		
	H8SX/1648G		
	H8SX/1648H		

24. フラッシュメモリ

フラッシュメモリの特長を以下に示します。フラッシュメモリのブロック図を図 24.1 に示します。

24.1 特長

- 容量

製品区分		ROM 容量	ROM アドレス
H8SX/1642	R5F61642	256K バイト	H'000000~H'03FFFF (モード 1、2、3、6、7)
	R5F61642A		
	R5F61642L		
	R5F61642G		
	R5F61642H		
H8SX/1644	R5F61644	512K バイト	H'000000~H'07FFFF (モード 1、2、3、6、7)
	R5F61644A		
	R5F61644L		
	R5F61644G		
	R5F61644H		
H8SX/1648	R5F61648	1M バイト	H'000000~H'0FFFFFFF (モード 1、2、3、6、7)
	R5F61648A		
	R5F61648L		
	R5F61648G		
	R5F61648H		

- 2種類のメモリマップ

同一のアドレスに割り当てられた2種類のメモリ空間（メモリマップ）があります。起動時のモード設定により、どちらのメモリマップから起動するかを選択できます。また、起動後もバンク切り替え方式でメモリマップを切り替えることができます。

- ・ユーザモードでリセット時に起動するユーザマップ : 256K/512K/1Mバイト
- ・ユーザブートモードでリセット時に起動するユーザブートマップ : 16Kバイト

- 内蔵プログラムのダウンロードによる書き込み/消去インタフェース

書き込み/消去プログラムを内蔵しています。このプログラムを内蔵RAMにダウンロードすると、パラメータの設定で書き込み/消去が可能です。

- 書き込み/消去時間

書き込み時間 : 128バイト同時書き込み1ms (typ)

消去時間 : 1ブロック (64Kバイト) あたり600ms (typ)

24. フラッシュメモリ

- 書き換え回数
100回 (min.回数) まで書き換え可能です (保証は1~100回)。
- 3種類のオンボードプログラミングモード
ブートモード : 内蔵SCI_4を使用して、ユーザマットとユーザブートマットの書き込み/消去ができます。ブートモードでは、ホストと本LSI間のビットレートを自動で合わせることができます。
ユーザプログラムモード : 任意のインタフェースでユーザマットの書き込み/消去ができます。
ユーザブートモード : 任意のインタフェースでユーザブートプログラム作成が可能で、ユーザマットの書き込み/消去ができます。
- オフボードプログラミングモード
ライターモード : PROMライターを使用して、ユーザマットとユーザブートマットの書き込み/消去ができます。
- 書き込み/消去プロテクト
ハードウェアプロテクト、ソフトウェアプロテクト、エラープロテクトによりフラッシュメモリの書き込み/消去に対するプロテクトを設定できます。
- 内蔵RAMによるフラッシュメモリのエミュレーション機能
フラッシュメモリ (ユーザマット) のエリアと内蔵RAMの一部を重ね合わせて、フラッシュメモリの書き換えをリアルタイムにエミュレートすることができます。

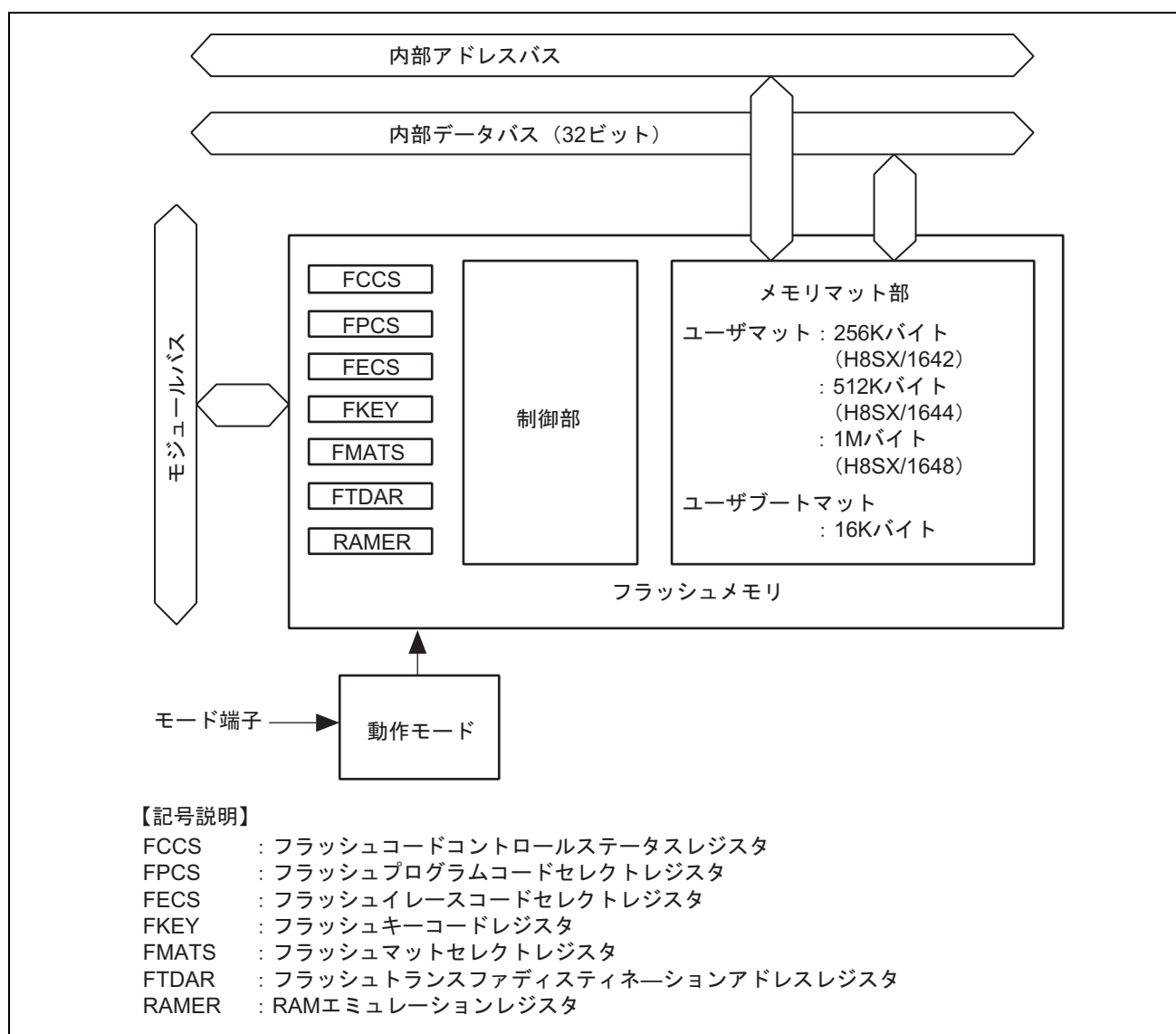


図 24.1 フラッシュメモリのブロック図

24.2 モード遷移図

リセット状態でモード端子を設定しリセットスタートすると、本 LSI は図 24.2 に示すような動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできますが、書き込み/消去はできません。フラッシュメモリの書き込み/消去を行えるモードとして、ブートモード、ユーザプログラムモード、ユーザブートモード、およびライターモードがあります。表 24.1 にブートモード、ユーザプログラムモード、ユーザブートモード、ライターモードの相違点を示します。

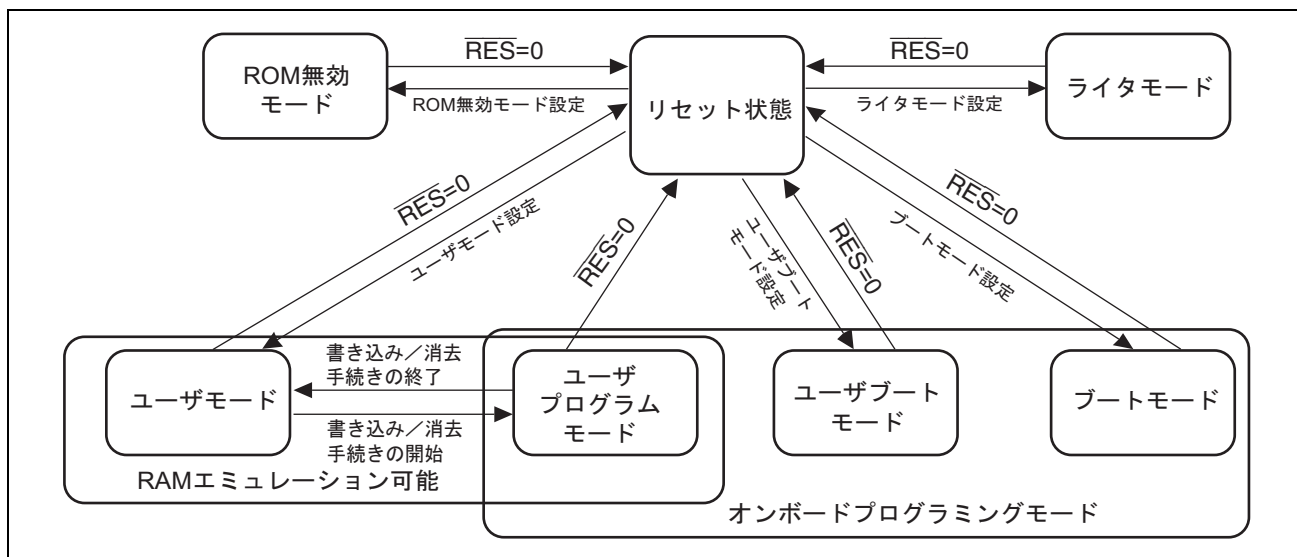


図 24.2 フラッシュメモリに関する状態遷移

表 24.1 ブートモード、ユーザプログラムモード、ユーザブートモード、ライターモードの相違点

項目	ブートモード	ユーザプログラムモード	ユーザブートモード	ライターモード
書き込み/消去環境	オンボード プログラミング			オフボード プログラミング
書き込み/消去可能 マット	<ul style="list-style-type: none"> ユーザマット ユーザブートマット 	<ul style="list-style-type: none"> ユーザマット 	<ul style="list-style-type: none"> ユーザマット 	<ul style="list-style-type: none"> ユーザマット ユーザブートマット
書き込み/消去制御	コマンド方式	書き込み/消去 インタフェース	書き込み/消去 インタフェース	コマンド方式
全面消去	○ (自動)	○	○	○ (自動)
ブロック分割消去	○*1	○	○	×
書き込みデータ転送	ホストから SCI 経由	任意のデバイスから RAM 経由	任意のデバイスから RAM 経由	ライター経由
RAM エミュレーション	×	○	○	×
リセット起動マット	組み込みプログラム 格納領域	ユーザマット	ユーザブートマット*2	—
ユーザモードへの遷移	モード変更&リセット	書き込み/消去手続き の終了*3	モード変更&リセット	—

【注】 *1 いったん全面消去が行われます。その後、特定ブロックの消去を行うことができます。

- *2 いったん組み込みプログラム格納マツトから起動し、フラッシュメモリの関連レジスタのチェックが行われた後、ユーザブツトマツトのリセツトベクタから起動します。
- *3 本 LSI では、ユーザモードにて規定の書き込み／消去の手続きを開始したところから手続きを終了したところまでをユーザプログラムモードを規定します。書き込み／消去手続きの詳細は、「24.8.2 ユーザプログラムモード」を参照してください。

24.3 メモリマツト構成

本 LSI のフラッシュメモリのメモリマツトは、256K/512K/1M バイトのユーザマツトと 16K バイトのユーザブツトマツトから構成されています。ユーザマツトとユーザブツトマツトは先頭アドレスが同一のアドレスに割り当てられていますので、2つのマツト間でプログラムを実行、またはデータアクセスがまたがる場合は、フラッシュマツトセレクトレジスタ (FMATS) でメモリマツトの切り替えが必要です。

ユーザマツトとユーザブツトマツトの読み出しはどのモードからでも行えますが、ユーザブツトマツトの書き込み／消去を行えるモードは、ブツトモードとライターモードのみです。

ユーザマツトとユーザブツトマツトはメモリサイズが異なります。16K バイト以上のユーザブツトマツトをアクセスしないようにしてください。16K バイト以上のユーザブツトマツトをリードすると、不定値が読み出されます。

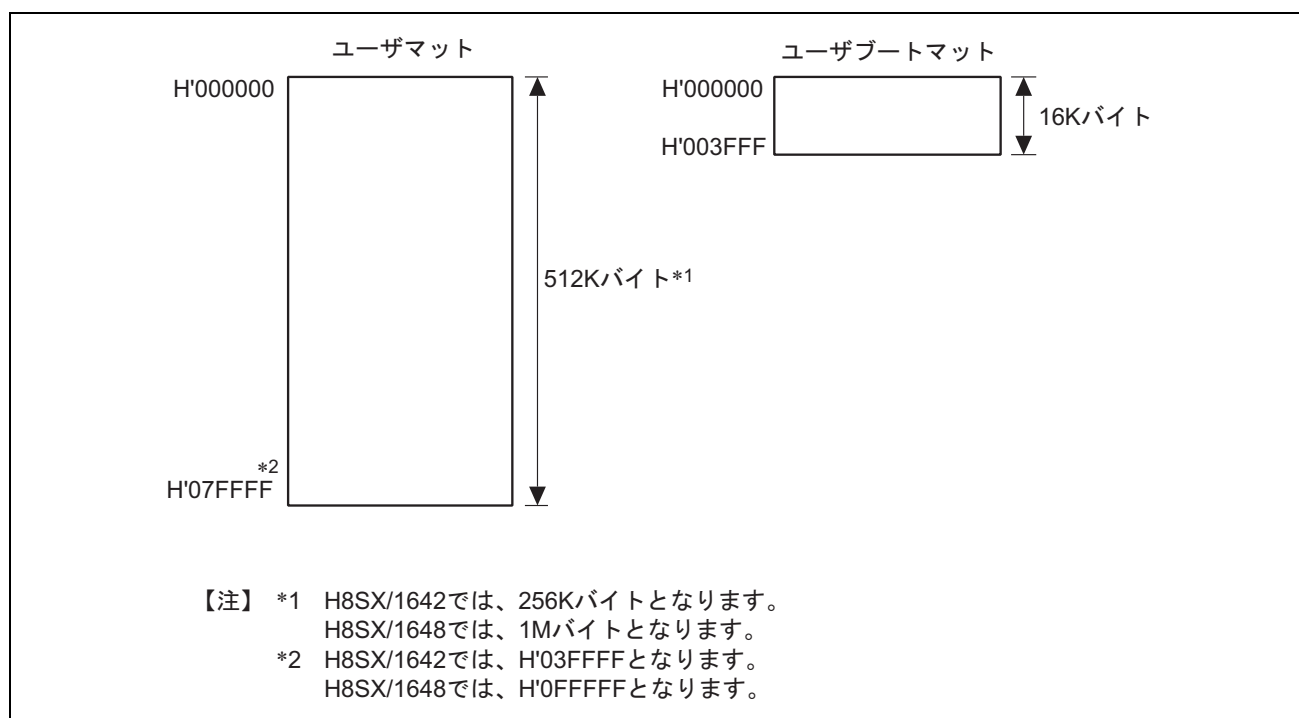


図 24.3 メモリマツト構成 (H8SX/1644)

24.4 ブロック構成

24.4.1 H8SX/1642 のブロック図

図 24.4 (1) に 256K バイトのユーザマットのブロック構成を示します。太線枠は消去ブロックを表します。細罫線は書き込みの単位を表し、枠内の数値はアドレスを示します。ユーザマットは、64K バイト（3 ブロック）、32K バイト（1 ブロック）、4K バイト（8 ブロック）に分割されていて、消去はこのブロック単位で行います。書き込みは下位アドレスが H'00 または H'80 で始まる 128 バイト単位で行います。4K バイト分割の 8 ブロックが RAM エミュレーション可能な領域です。

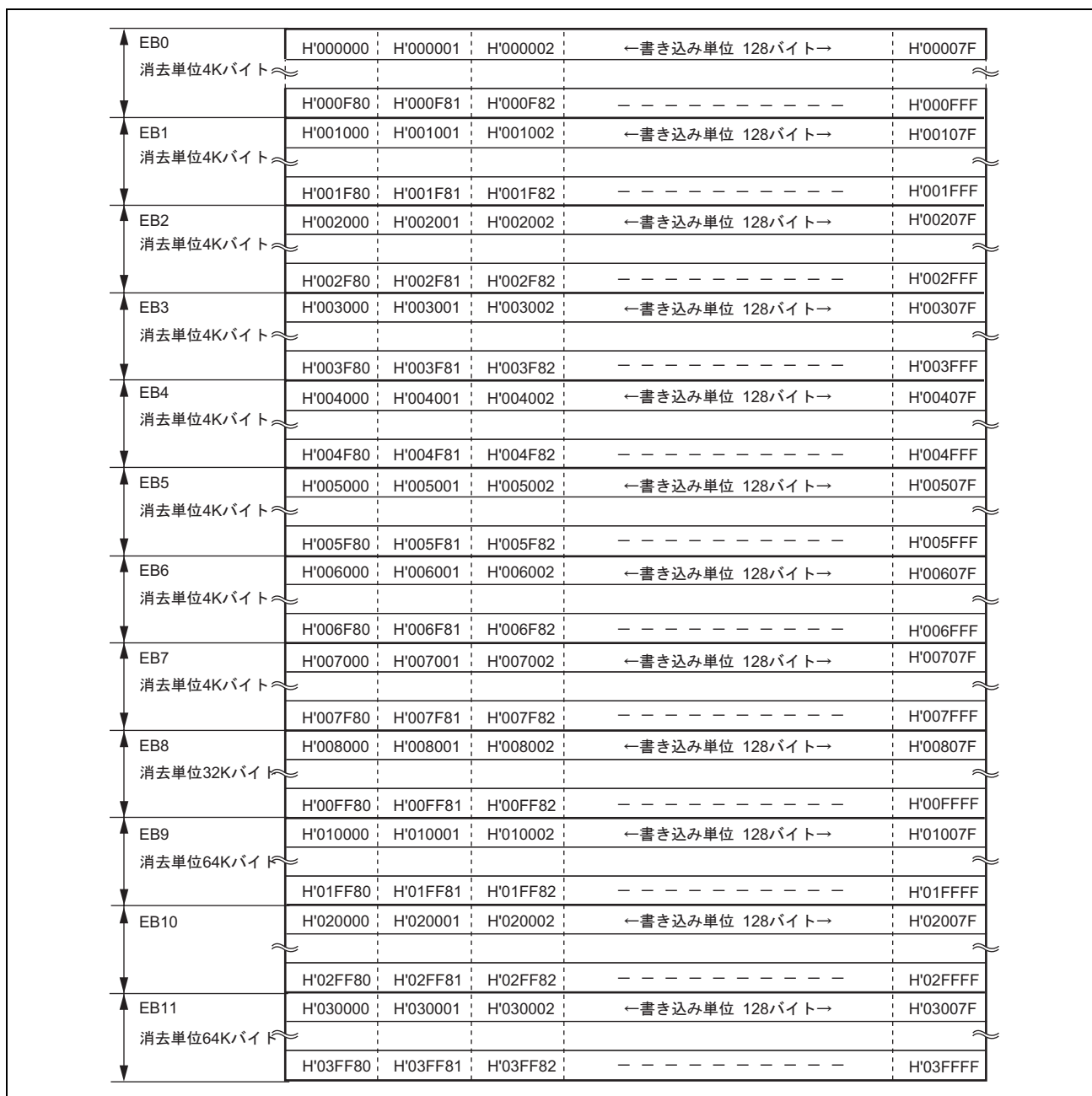


図 24.4 (1) H8SX/1642 のユーザマットのブロック構成

24.4.2 H8SX/1644 のブロック図

図 24.4 (2) に 512K バイトのユーザマットのブロック構成を示します。太線枠は消去ブロックを表します。細線枠は書き込みの単位を表し、枠内の数値はアドレスを示します。ユーザマットは、64K バイト（7ブロック）、32K バイト（1ブロック）、4K バイト（8ブロック）に分割されていて、消去はこのブロック単位で行います。書き込みは下位アドレスが H'00 または H'80 で始まる 128 バイト単位で行います。4K バイト分割の 8 ブロックが RAM エミュレーション可能な領域です。

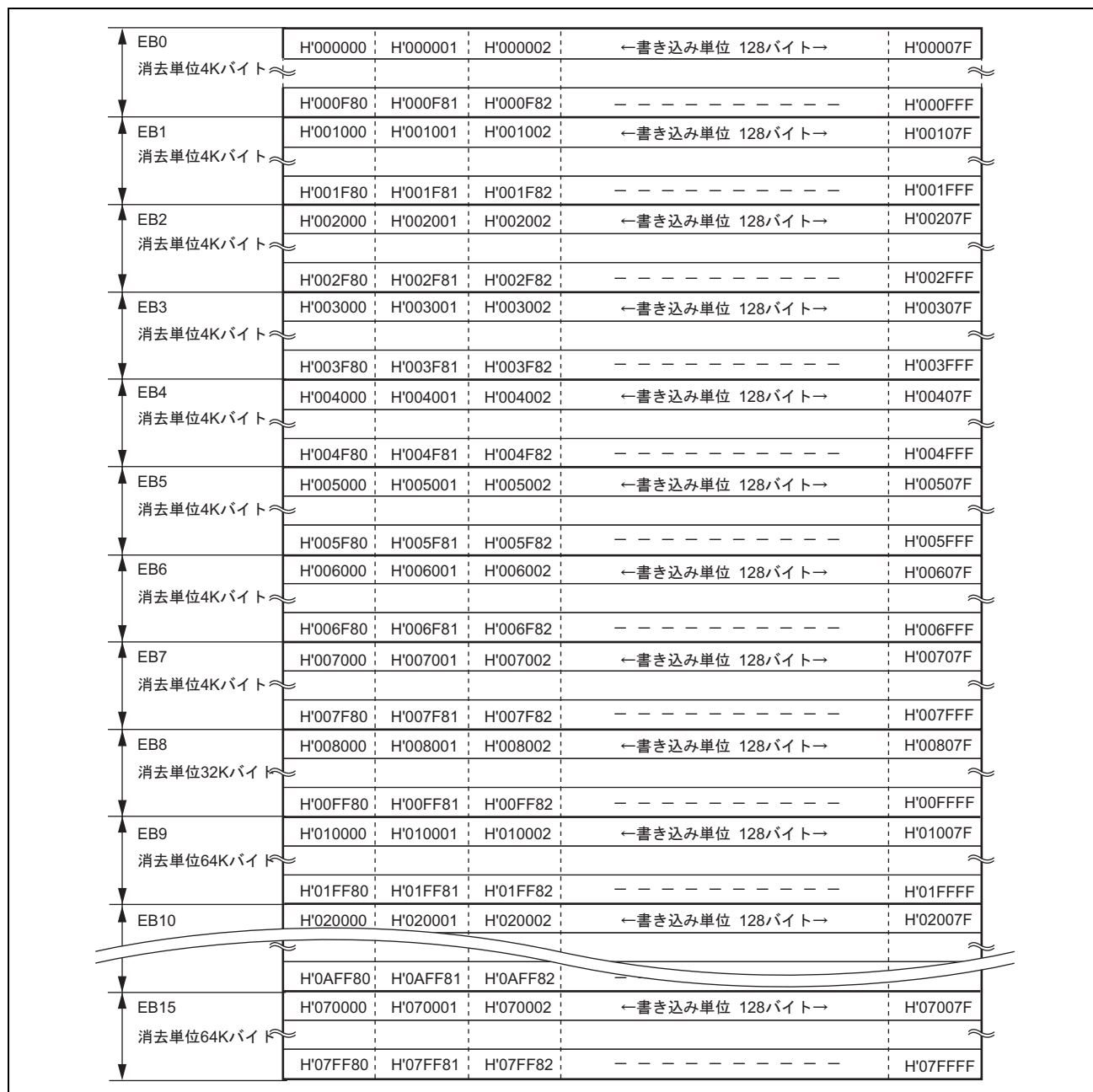


図 24.4 (2) H8SX/1644 のユーザマットのブロック構成

24.4.3 H8SX/1648 のブロック図

図 24.4 (3) に 1M バイトのユーザマットのブロック構成を示します。太線枠は消去ブロックを表します。細罫線は書き込みの単位を表し、枠内の数値はアドレスを示します。ユーザマットは、64K バイト (15 ブロック)、32K バイト (1 ブロック)、4K バイト (8 ブロック) に分割されていて、消去はこのブロック単位で行います。書き込みは下位アドレスが H'00 または H'80 で始まる 128 バイト単位で行います。4K バイト分割の 8 ブロックが RAM エミュレーション可能な領域です。

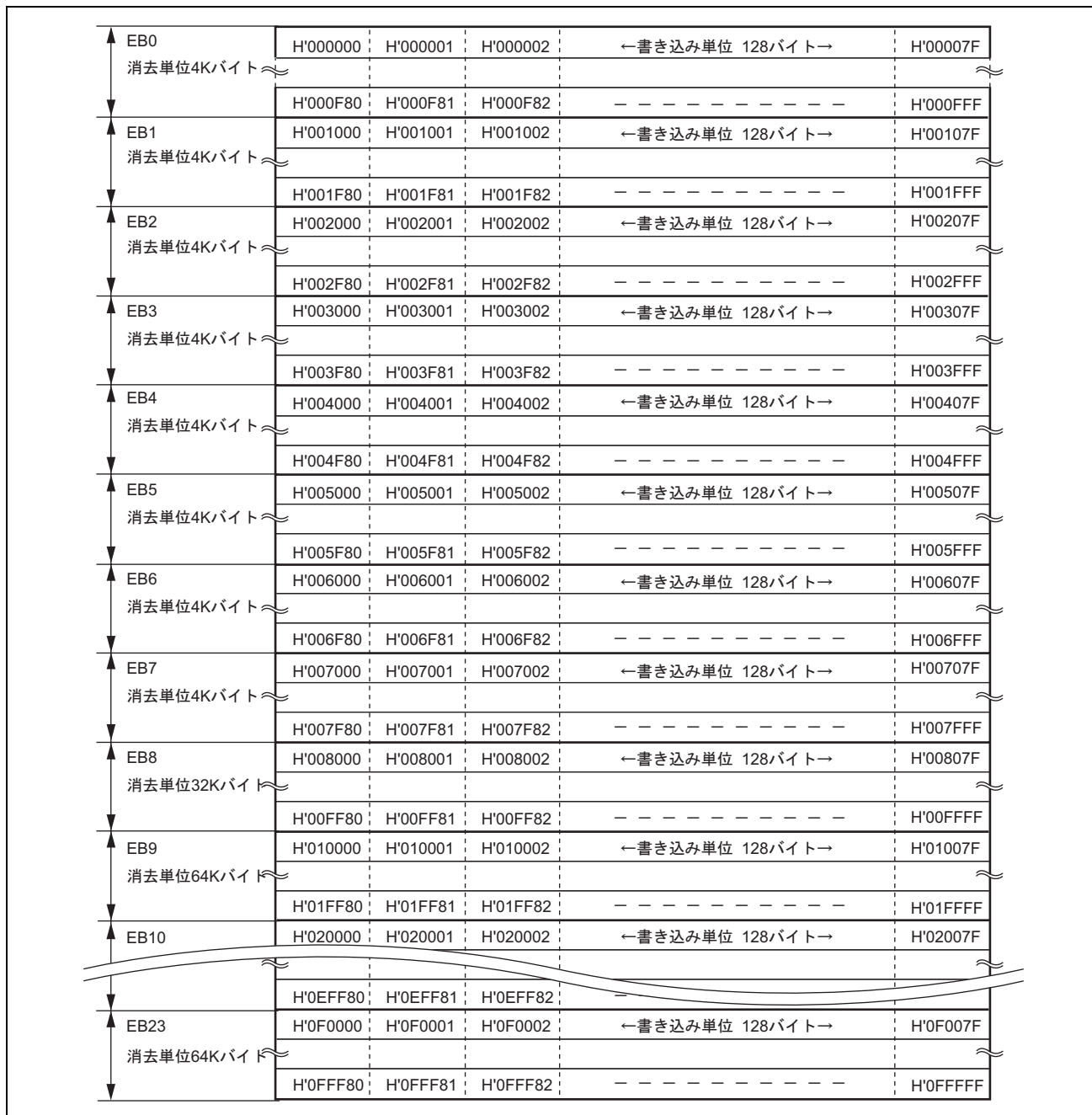


図 24.4 (3) H8SX/1648 のユーザマットのブロック構成

24.5 書き込み／消去インタフェース

フラッシュメモリの書き込み／消去は、内蔵されている書き込み／消去プログラムを内蔵 RAM にダウンロードし、書き込み／消去インタフェースレジスタおよび書き込み／消去インタフェースパラメータで、書き込み先の先頭アドレス、書き込みデータ、および消去ブロック番号を指定して行います。

ユーザプログラムモード、およびユーザブートモードでは、これらの一連の手続きプログラムは、ユーザ側で用意していただきます。図 24.5 に手続きプログラムの作成手順を示します。詳細は「24.8.2 ユーザプログラムモード」を参照してください。

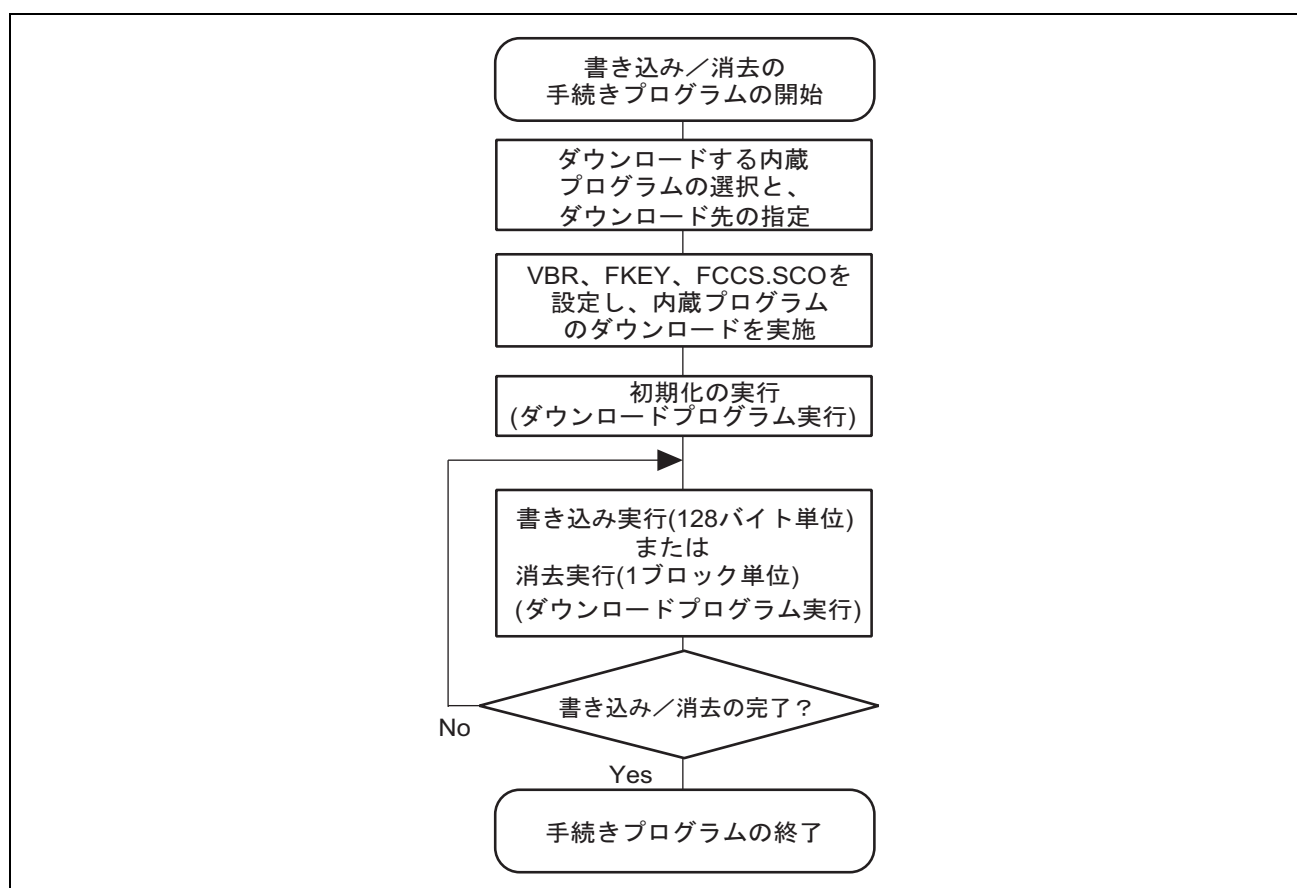


図 24.5 手続きプログラムの作成手順

(1) ダウンロードする内蔵プログラムの選択

本 LSI には、書き込み／消去プログラムが内蔵されており、内蔵 RAM へのダウンロードが可能です。ダウンロードする内蔵プログラムの選択は、書き込み／消去インタフェースレジスタで行います。また、ダウンロードする内蔵 RAM 上の先頭アドレスは、フラッシュトランスファデスティネーションアドレスレジスタ (FTDAR) で指定します。

(2) 内蔵プログラムのダウンロード

内蔵プログラムのダウンロードは、ベクタベースレジスタ (VBR) を初期化した後、フラッシュキーレジスタ (FKEY) と、フラッシュコードコントロールステータスレジスタ (FCCS) の SCO ビットの設定により自動的に行われます。ダウンロード中はメモリマップが組み込みプログラム格納領域と入れ替わります。また、書き込み／消去中はメモリマップの読み出しはできないため、ユーザ手続きプログラムはフラッシュメモリ以外 (内蔵 RAM など) で実行してください。ダウンロードの結果は、書き込み／消去インタフェースパラメータに戻されます。このパラメータで正常にダウンロードできたかを確認できます。VBR はダウンロード終了後に変更可能になります。

(3) 書き込み／消去の初期化

書き込み／消去を行うためには決められた時間幅のパルス印加が必要で、ウェートループを CPU 命令で構成する方法で規定のパルス幅を作成しています。そのため書き込み／消去前に CPU の動作周波数を設定する必要があります。CPU の動作周波数の設定は、書き込み／消去インタフェースパラメータで行います。

(4) 書き込み／消去の実行

書き込みは書き込み先の先頭アドレス、書き込みデータの指定を 128 バイト単位で行います。消去は消去ブロック番号の指定を消去ブロック単位で行います。書き込み先の先頭アドレス、書き込みデータ、消去ブロック番号の指定は書き込み／消去インタフェースパラメータで行い、内蔵プログラムを起動します。内蔵プログラムは、内蔵 RAM 上の特定アドレスを JSR 命令または BSR 命令でサブルーチンコールすることで実行します。実行結果は、書き込み／消去インタフェースパラメータに戻されます。

フラッシュメモリへの書き込みは、事前に対象領域のデータを消去してください。また、書き込み／消去中は、割り込み要求が発生しないようにしてください。

(5) 引き続き書き込み／消去を実行する場合

128 バイトの書き込み、1 ブロックの消去で書き込み／消去が終了しない場合は、書き込み先の先頭アドレス、書き込みデータ、消去ブロック番号を更新して引き続き書き込み／消去を行うことができます。ダウンロードした内蔵プログラムは書き込み／消去終了後も内蔵 RAM 上に残っていますので、引き続き書き込み／消去を実行する場合は内蔵プログラムのダウンロードと初期化の必要はありません。

24.6 入出力端子

フラッシュメモリは、表 24.2 に示す入出力端子により制御されます。

表 24.2 端子構成

端子名	入出力	機能
RES	入力	リセット
EMLE	入力	オンチップエミュレータイネーブル端子（フラッシュメモリ W/E 時は EMLE=0）
MD2、MD1、MD0	入力	本 LSI の動作モードを設定
TxD4	出力	シリアル送信データ出力（ブートモードで使用）
RxD4	入力	シリアル受信データ入力（ブートモードで使用）

24.7 レジスタの説明

フラッシュメモリには以下のレジスタがあります。

書き込み／消去インタフェースレジスタ

- フラッシュコードコントロールステータスレジスタ（FCCS）
- フラッシュプログラムコードセレクトレジスタ（FPCS）
- フラッシュイレースコードセレクトレジスタ（FECS）
- フラッシュキーコードレジスタ（FKEY）
- フラッシュマツトセレクトレジスタ（FMATS）
- フラッシュトランスファデスティネーションアドレスレジスタ（FTDAR）

書き込み／消去インタフェースレジスタパラメータ

- ダウンロードパスフェイルリザルトパラメータ（DPFR）
- フラッシュパス／フェイルパラメータ（FPFR）
- フラッシュプログラム／イレース周波数パラメータ（FPEFEQ）
- フラッシュマルチパーパスアドレスエリアパラメータ（FMPAR）
- フラッシュマルチパーパスデータデスティネーションパラメータ（FMPDR）
- フラッシュイレースブロックセレクトパラメータ（FEBS）
- RAMエミュレーションレジスタ（RAMER）

24. フラッシュメモリ

フラッシュメモリのアクセスには、いくつかの動作モードがあります。また、ユーザマットとユーザブートマットにそれぞれ動作モード、レジスタ、パラメータが割り当てられています。動作モードと使用レジスタ/パラメータの対応を表 24.3 に示します。

表 24.3 使用レジスタ/パラメータと対象モード

レジスタ/パラメータ		ダウンロード	初期化	書き込み	消去	読み出し	RAM エミュレーション
書き込み/ 消去インタ フェース レジスタ	FCCS	○	—	—	—	—	—
	FPCS	○	—	—	—	—	—
	FECS	○	—	—	—	—	—
	FKEY	○	—	○	○	—	—
	FMATS	—	—	○* ¹	○* ¹	○* ²	—
	FTDAR	○	—	—	—	—	—
書き込み/ 消去インタ フェース パラメータ	DPFR	○	—	—	—	—	—
	FPFR	—	○	○	○	—	—
	FPEFEQ	—	○	—	—	—	—
	FMPAR	—	—	○	—	—	—
	FMPDR	—	—	○	—	—	—
	FEBS	—	—	—	○	—	—
RAM エミュ レーション	RAMER	—	—	—	—	—	○

【注】 *1 ユーザブートモードでは、ユーザマットへの書き込み/消去時に設定が必要です。

*2 起動モードと読み出し対象メモリマットの組み合わせで設定が必要な場合があります。

24.7.1 書き込み/消去インタフェースレジスタ

書き込み/消去インタフェースレジスタは、8ビットのレジスタでバイトアクセスのみ可能です。これらのレジスタは、リセットで初期化されます。

(1) フラッシュコードコントロールステータスレジスタ (FCCS)

FCCS は、フラッシュメモリの書き込み/消去中のエラー発生のモニタ、および内蔵 RAM に内蔵プログラムのダウンロードを要求します。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	FLER	—	—	—	SCO
初期値	1	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	(R)/W*

【注】 * ライトのみ可能です。リードすると常に0が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	—	1	R	リザーブビット
6	—	0	R	これらのビットはリードのみ有効で、ライトは無効です。
5	—	0	R	
4	FLER	0	R	
3~1	—	すべて 0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。

24. フラッシュメモリ

ビット	ビット名	初期値	R/W	説明
0	SCO	0	(R)/W*	<p>ソースプログラムコピーオペレーション</p> <p>内蔵 RAM に書き込み/消去プログラムのダウンロードを要求するビットです。このビットを 1 にセットすると、FPCS、FECS で選択したプログラムを FTDAR で指定した内蔵 RAM 領域にダウンロードします。</p> <p>このビットを 1 にセットするには、RAM エミュレーション機能の解除、FKEY=H'A5、および SCO ビットの設定が内蔵 RAM 上で実行されていることが必要です。このビットを 1 にセットした直後は、FCCS のダミーリードを必ず 2 回実行してください。また、ダウンロード中は、すべての割り込み要求が発生しないようにしてください。ダウンロードが終了すると、このビットは 0 にクリアされます。</p> <p>このビットによるプログラムのダウンロードは、プログラム格納領域のバンク切り換えを伴う特殊な処理を行いますので、ダウンロードを要求する前に、VBR の値を H'00000000 に初期化してください。ダウンロード終了後は、VBR を変更できます。</p> <p>0 : 書き込み/消去プログラムのダウンロードを要求しない</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> ダウンロードが終了したとき <p>1 : 書き込み/消去プログラムのダウンロードを要求する</p> <p>[セット条件] (以下の条件をすべて満足しているとき)</p> <ul style="list-style-type: none"> RAM エミュレーション機能が解除されているとき (RAMER の RAMS=0) FKEY に H'A5 が書き込まれているとき FCCS の SCO ビットの設定を内蔵 RAM 上で実行

[注] * ライトのみ可能です。リードすると常に 0 が読み出されます。

(2) フラッシュプログラムコードセレクトレジスタ (FPCS)

FPCS は、ダウンロードする書き込みプログラムを選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	—	PPVS
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7~1	—	すべて 0	R	<p>リザーブビット</p> <p>これらのビットはリードのみ有効で、ライトは無効です。</p>
0	PPVS	0	R/W	<p>プログラムパルスベリファイ</p> <p>ダウンロードする書き込みプログラムを選択します。</p> <p>0 : 書き込みプログラムを選択しない</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 転送が終了したとき <p>1 : 書き込みプログラムを選択する</p>

(3) フラッシュイレースコードセレクトレジスタ (FECS)

FECS は、ダウンロードする消去プログラムを選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	—	EPVB
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7~1	—	すべて0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。
0	EPVB	0	R/W	イレースパルスベリファイブロック ダウンロードする消去プログラムを選択します。 0: 消去プログラムを選択しない [クリア条件] • 転送が終了したとき 1: 消去プログラムを選択する

(4) フラッシュキーコードレジスタ (FKEY)

FKEY は、内蔵プログラムのダウンロード、およびフラッシュメモリへの書き込み/消去を許可するソフトウェアプロテクトのレジスタです。

ビット	7	6	5	4	3	2	1	0
ビット名	K7	K6	K5	K4	K3	K2	K1	K0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	K7	0	R/W	キーコード
6	K6	0	R/W	FKEY に H'A5 を書き込むと、FCCS の SCO ビットの書き込みが有効になります。H'A5 以外の値が書き込まれている場合は、SCO ビットを 1 にセットできないため、内蔵 RAM に内蔵プログラムをダウンロードできません。 また、H'5A を書き込んだ場合のみフラッシュメモリへの書き込み/消去が可能になります。H'5A 以外の値が書き込まれている場合は、書き込み/消去プログラムを実行しても書き込み/消去できません。
5	K5	0	R/W	
4	K4	0	R/W	
3	K3	0	R/W	
2	K2	0	R/W	
1	K1	0	R/W	
0	K0	0	R/W	
				H'A5: SCO ビットへの書き込みを許可 (H'A5 以外では SCO ビットを 1 にセットできません) H'5A: フラッシュメモリへの書き込み/消去を許可 (H'5A 以外ではソフトウェアプロテクト状態) H'00: 初期値

24. フラッシュメモリ

(5) フラッシュマットセレクトレジスタ (FMATS)

FMATS は、ユーザマット/ユーザブートマットを選択します。FMATS への書き込みは、内蔵 RAM 上での実行状態で行ってください。

ビット	7	6	5	4	3	2	1	0
ビット名	MS7	MS6	MS5	MS4	MS3	MS2	MS1	MS0
初期値	0/1*	0	0/1*	0	0/1*	0	0/1*	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * ユーザブートモードのときは1になります。それ以外のときは0になります。

ビット	ビット名	初期値	R/W	説明
7	MS7	0/1*	R/W	マットセレクト
6	MS6	0	R/W	FMATS に値を書き込みむことにより、メモリマットの切り替えができます。 FMATS に H'AA を書き込むと、ユーザブートマットが選択されます。H'AA 以外の値では、ユーザマットが選択されています。メモリマットの切り替え手順は、「24.11 ユーザマットとユーザブートマットの切り替え」に従ってください。 ユーザプログラムモードでは、FMATS でユーザブートマットの選択ができません。ユーザブートマットへの切り替えは、ブートモードかライタモードで実施してください。 H'AA : ユーザブートマットを選択 (H'AA 以外ではユーザマットを選択) (ユーザブートモードで立ち上がった場合の初期値) H'00 : ユーザマットを選択 (ユーザブートモード以外で立ち上がった場合の初期値)
5	MS5	0/1*	R/W	
4	MS4	0	R/W	
3	MS3	0/1*	R/W	
2	MS2	0	R/W	
1	MS1	0/1*	R/W	
0	MS0	0	R/W	

【注】 * ユーザブートモードのときは1になります。それ以外のときは0になります。

(6) フラッシュトランスファデスティネーションアドレスレジスタ (FTDAR)

FTDAR は、内蔵プログラムをダウンロードする内蔵 RAM 上の先頭アドレスを指定します。FCCS の SCO ビットを 1 にセットする前に FTDAR の設定を行ってください。

ビット	7	6	5	4	3	2	1	0
ビット名	TDER	TDA6	TDA5	TDA4	TDA3	TDA2	TDA1	TDA0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TDER	0	R/W	トランスファデスティネーションアドレス設定エラー TDA6~TDA0 ビットで設定された先頭アドレス指定にエラーがあると、このビットが 1 にセットされます。 先頭アドレス指定のエラー判定は、FCCS の SCO ビットを 1 にセットしてダウンロードが実行されたときに、TDA6~TDA0 ビットの値が H'00~H'02 の範囲にあるかを判定します。SCO ビットを 1 にセットする前に、このビットを 0 にクリアして、FTDAR の値を H'00~H'03 の範囲に設定してください。 0 : TDA6~TDA0 の設定値は正常 1 : TDER、TDA6~TDA0 の設定値が H'03~H'FF で、ダウンロードが中断
6	TDA6	0	R/W	トランスファデスティネーションアドレス
5	TDA5	0	R/W	ダウンロード先の内蔵 RAM の先頭アドレスを指定します。設定可能な値は
4	TDA4	0	R/W	H'00~H'02 で、4K バイト以内で内蔵 RAM 上の先頭アドレスを指定できます。
3	TDA3	0	R/W	H'00 : 先頭アドレスを H'FF9000 に設定
2	TDA2	0	R/W	H'01 : 先頭アドレスを H'FFA000 に設定
1	TDA1	0	R/W	H'02 : 先頭アドレスを H'FFB000 に設定
0	TDA0	0	R/W	H'03~H'7F : 設定禁止 (H'03~H'7F の値が設定されると、TDER ビットが 1 にセットされ、内蔵プログラムのダウンロードが中断されます。)

24.7.2 書き込み／消去インタフェースパラメータ

書き込み／消去インタフェースパラメータは、ダウンロードした内蔵プログラムに対して動作周波数、書き込みデータの格納場所、書き込み先の先頭アドレス、消去ブロック番号の指定、および実行結果の受け渡しを行います。このパラメータは、CPU の汎用レジスタ（ER0、ER1）や内蔵 RAM 領域に設定します。書き込み／消去インタフェースパラメータは、リセット、ソフトウェアスタンバイでの初期値は不定です。

内蔵プログラムのダウンロード、初期化、書き込み、消去の実行中は、ER0、ER1 以外の CPU のレジスタはスタック領域に保存されるため、実行前にスタック領域を確保してください（使用スタック領域サイズは、最大 128 バイトです）。R0L は処理結果の戻り値が書き込まれます。書き込み／消去インタフェースパラメータは、ダウンロードの制御、書き込み／消去の初期化、書き込み、消去の実行で使用します。表 24.4 に使用パラメータと対象モードを示します。フラッシュパス／フェイルパラメータ（FPFR）は、初期化、書き込み、消去の実行結果が戻されますが、実行内容によってビットの意味が異なります。

表 24.4 使用パラメータと対象モード

パラメータ	ダウンロード	初期化	書き込み	消去	R/W	初期値	割り当て
DPFR	○	—	—	—	R/W	不定	内蔵 RAM*
FPFR	○	○	○	○	R/W	不定	CPU の R0L
FPEFEQ	—	○	—	—	R/W	不定	CPU の ER0
FMPAR	—	—	○	—	R/W	不定	CPU の ER1
FMPDR	—	—	○	—	R/W	不定	CPU の ER0
FEBS	—	—	—	○	R/W	不定	CPU の ER0

【注】 * FTDAR で指定した内蔵 RAM 上の先頭アドレスの 1 バイト

(a) ダウンロードの制御

内蔵プログラムのダウンロードは、FCCS の SCO ビットを 1 にセットすると自動的に行われます。ダウンロードする内蔵 RAM 領域は、FTDAR で指定した先頭アドレスから 4K バイト分です。ダウンロードは書き込み／消去インタフェースレジスタで設定し、戻り値はダウンロードパスフェイルリザルトパラメータ（DPFR）に渡されます。

(b) 書き込み／消去の初期化

内蔵プログラムには、初期化プログラムも含まれています。書き込み／消去を行うためには決められた時間幅のパルス印加が必要で、ウェイトループを CPU 命令で構成する方法で規定のパルス幅を作成しています。そのため CPU の動作周波数を設定する必要があります。これらの設定を行うためにダウンロードした書き込み／消去プログラムのパラメータとして設定するのが初期化プログラムです。

(c) 書き込みの実行

フラッシュメモリへの書き込みは、ユーザマット上の書き込み先の先頭アドレスと書き込みデータを書き込みプログラムに渡す必要があります。

ユーザマット上の書き込み先の先頭アドレスは、汎用レジスタ ER1 に設定してください。このパラメータをフラッシュマルチパーパスアドレスエリアパラメータ (FMPAR) と呼びます。

書き込みデータは常に 128 バイト単位です。書き込みデータが 128 バイトに満たない場合でもダミーコード (H'FF) を埋め込んで、128 バイトの書き込みデータを準備してください。ユーザマット上の書き込み先の先頭アドレスの境界は、アドレスの下位 8 ビット (A7~A0) が H'00 または H'80 のいずれかにしてください。

ユーザマットへの書き込みデータを連続領域に準備してください。書き込みデータは、CPU の MOV.B 命令でアクセス可能な連続空間で、フラッシュメモリ空間以外としてください。

ユーザマットに書き込むデータが格納されている領域の先頭アドレスを、汎用レジスタ ER0 に設定してください。このパラメータをフラッシュマルチパーパスデータデスティネーションエリアパラメータ (FMPDR) と呼びます。

書き込み手順については「24.8.2 ユーザプログラムモード」を参照してください。

(d) 消去の実行

フラッシュメモリの消去は、ユーザマット上の消去ブロック番号を消去プログラムに渡す必要があります。

ユーザマット上の消去ブロック番号は、汎用レジスタ ER0 に設定してください。このパラメータをフラッシュイレースブロックセレクトパラメータ (FEBS) と呼びます。

消去ブロック番号は、0~19 のブロック番号から 1 ブロックを指定します。

消去手順については「24.8.2 ユーザプログラムモード」を参照してください。

24. フラッシュメモリ

(1) ダウンロードパスフェイルリザルトパラメータ (DPFR)

(FTDAR で指定した内蔵 RAM 上の先頭アドレスの 1 バイト)

ダウンロード結果の戻り値です。ダウンロード結果を DPFR の値で判断します。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	SS	FK	SF

ビット	ビット名	初期値	R/W	説明
7~3	—	—	—	未使用ビット 値 0 が戻されます。
2	SS	—	R/W	ソースセレクトエラー検出ビット ダウンロード可能なプログラムは 1 種類のみです。ダウンロードするプログラムが選択されていない場合、2 種類以上のプログラムが選択されている場合、またはマッピングされていないプログラムを選択した場合には、エラーとなります。 0 : ダウンロードするプログラムの選択は正常 1 : ダウンロードするプログラムの選択エラー
1	FK	—	R/W	フラッシュキーレジスタエラー検出ビット FKEY の値 (H'A5) を検出し、その結果を戻します。 0 : FKEY の設定値は正常 (H'A5) 1 : FKEY の設定値エラー (H'A5 以外の値)
0	SF	—	R/W	サクセス/フェイルビット ダウンロード結果を戻します。内蔵 RAM 上にダウンロードしたプログラムをリードバックし、内蔵 RAM 上に転送できたかを判定します。 0 : プログラムのダウンロードは正常終了 1 : プログラムのダウンロードが異常終了 (エラーの発生)

(2) フラッシュパス/フェイルパラメータ (FPFR)

(CPU の汎用レジスタ R0L)

FPFR は、書き込み/消去の初期化、書き込み、および消去の結果が戻されますが、実行内容によってビットの意味が異なります。

(a) 書き込み/消去の初期化

初期化結果の戻り値です。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	FQ	SF

ビット	ビット名	初期値	R/W	説明
7~2	—	—	—	未使用ビット 値 0 が戻されます。
1	FQ	—	R/W	周波数エラー検出ビット 設定された CPU の動作周波数と本 LSI がサポートしている動作周波数を比較し、その結果を戻します。 0 : 動作周波数の設定は正常値 1 : 動作周波数の設定が異常値
0	SF	—	R/W	サクセス/フェイルビット 初期化結果を戻します。 0 : 初期化は正常終了 (エラーなし) 1 : 初期化が異常終了 (エラー発生)

(b) 書き込みの実行

書き込み結果の戻り値です。

ビット	7	6	5	4	3	2	1	0
ビット名	—	MD	EE	FK	—	WD	WA	SF

ビット	ビット名	初期値	R/W	説明
7	—	—	—	未使用ビット 値 0 が戻されます。
6	MD	—	R/W	書き込みモード関連設定エラー検出ビット エラープロテクト状態を検出し、その結果を戻します。エラープロテクト状態のとき、このビットに 1 が書き込まれます。エラープロテクト状態であるか、ないかは、FCCS の FLER ビットで確認できます。エラープロテクト状態への遷移条件については、「24.9.3 エラープロテクト」を参照してください。 0 : 正常に動作 (FLER=0) 1 : エラープロテクト状態で、書き込みできない (FLER=1)

24. フラッシュメモリ

ビット	ビット名	初期値	R/W	説明
5	EE	—	R/W	書き込み実行時エラー検出ビット ユーザマットが消去されていないために指定データを書き込めなかった場合、このビットには1が書き込まれます。このとき、ユーザマットは途中で書き換えられている可能性があるため、エラーになった原因を取り除いて消去からやり直してください。また、FMATSの値がH'AAで、ユーザブートマット選択されているときに書き込みを行っても、書き込み実行時エラーとなります。この場合は、ユーザマット/ユーザブートマットともに書き換えられていません。ユーザブートマットの書き込みは、ブートモードまたはライターモードで行ってください。 0: 書き込みは正常終了 1: 書き込みが異常終了（書き込み内容は保証できない）
4	FK	—	R/W	フラッシュキーレジスタエラー検出ビット 書き込み開始前のFKEYの値（H'5A）を検出し、その結果を戻します。 0: FKEYの設定値は正常（H'5A） 1: FKEYの設定値エラー（H'5A以外の値）
3	—	—	—	未使用ビット 値0が戻されます。
2	WD	—	R/W	ライトデータアドレス検出ビット 書き込みデータの格納先の先頭アドレスに、フラッシュメモリ以外の領域が指定された場合はエラーになります。 0: 書き込みデータの格納先の先頭アドレス設定は正常値 1: 書き込みデータの格納先の先頭アドレス設定は異常値
1	WA	—	R/W	ライトアドレスエラー検出ビット 書き込み先の先頭アドレスに、次の領域が指定された場合はエラーになります。 • フラッシュメモリ以外の領域のとき • 指定されたアドレスが128バイト境界でないとき（アドレスの下位8ビットがH'00かH'80以外） 0: 書き込み先の先頭アドレス設定は正常値 1: 書き込み先の先頭アドレス設定が異常値
0	SF	—	R/W	サクセス/フェイルビット 書き込み結果を戻します。 0: 書き込みは正常終了（エラーなし） 1: 書き込みが異常終了（エラー発生）

(c) 消去の実行

消去結果の戻り値です。

ビット	7	6	5	4	3	2	1	0
ビット名	—	MD	EE	FK	EB	—	—	SF

ビット	ビット名	初期値	R/W	説明
7	—	—	—	未使用ビット 値0が戻されます。
6	MD	—	R/W	消去モード関連設定エラー検出ビット エラープロテクト状態を検出し、その結果を戻します。エラープロテクト状態のとき、このビットに1が書き込まれます。エラープロテクト状態であるか、ないかは、FCCSのFLERビットで確認できます。エラープロテクト状態への遷移条件については、「24.9.3 エラープロテクト」を参照してください。 0：正常に動作（FLER=0） 1：エラープロテクト状態で、書き込みできない（FLER=1）
5	EE	—	R/W	消去実行時エラー検出ビット ユーザマットの消去ができない、またはフラッシュメモリの関連レジスタの一部が書き換えられていると、このビットに1が戻されます。このとき、ユーザマットは途中まで消去されている可能性があるため、エラーになった原因を取り除いて消去からやり直してください。また、FMATSの値がH'AAで、ユーザブートマットが選択されているときに消去を行っても、消去実行時エラーとなります。この場合は、ユーザマット/ユーザブートマットともに消去されていません。ユーザブートマットの消去は、ブートモードまたはライトモードで行ってください。 0：消去は正常終了 1：消去が異常終了
4	FK	—	R/W	フラッシュキーレジスタエラー検出ビット 消去開始前のFKEYの値（H'5A）を検出し、その結果を戻します。 0：FKEYの設定値は正常（H'5A） 1：FKEYの設定値エラー（H'5A以外の値）
3	EB	—	R/W	イレースブロックセレクトエラー検出ビット 指定された消去ブロック番号が、ユーザマットのブロック範囲内であるかを検出し、その結果を戻します。 0：消去ブロック番号の設定は正常値 1：消去ブロック番号の設定が異常値
2	—	—	—	未使用ビット
1	—	—	—	値0が戻されます。
0	SF	—	R/W	サクセス/フェイルビット 消去結果を戻します。 0：消去は正常終了（エラーなし） 1：消去が異常終了（エラー発生）

24. フラッシュメモリ

(3) フラッシュプログラム/イレース周波数パラメータ (FPEFEQ)

(CPU の汎用レジスタ ER0)

CPU の動作周波数を設定するパラメータです。本 LSI がサポートしている動作周波数範囲は 8~50MHz です。

ビット	31	30	29	28	27	26	25	24
ビット名	—	—	—	—	—	—	—	—
ビット	23	22	21	20	19	18	17	16
ビット名	—	—	—	—	—	—	—	—
ビット	15	14	13	12	11	10	9	8
ビット名	F15	F14	F13	F12	F11	F10	F9	F8
ビット	7	6	5	4	3	2	1	0
ビット名	F7	F6	F5	F4	F3	F2	F1	F0

ビット	ビット名	初期値	R/W	説明
31~16	—	—	—	未使用ビット 値 0 を設定してください。
15~0	F15~F0	—	R/W	周波数設定ビット CPU の動作周波数を設定します。PLL 逡倍を使用する場合は逡倍後の周波数を設定してください。設定値の算出は次のようにしてください。 <ul style="list-style-type: none"> • MHz 単位で表現した動作周波数を小数点第 3 位で四捨五入し、小数点第 2 位までとする。 • 100 倍した値を 2 進数に変換し、FPEFEQ (汎用レジスタ ER0) に書き込む。 具体例として CPU の動作周波数が 35.000MHz の場合には次のようになります。 <ul style="list-style-type: none"> • 35.000 の小数点第 3 位を四捨五入 • $35.00 \times 100 = 3500$ を 2 進数変換し、B'0000 1101 1010 1100 (H'0DAC) を ER0 に設定する。

(4) フラッシュマルチパースアドレスエリアパラメータ (FMPAR)

(CPU の汎用レジスタ ER1)

ユーザマツト上の書き込み先の先頭アドレスを設定します。

フラッシュメモリ領域外にアドレスが指定されている場合、または書き込み先の先頭アドレスが 128 バイト境界でない場合は、エラーとなります。これらのエラーは、FPFR の WA ビットに反映されます。

ビット	31	30	29	28	27	26	25	24
ビット名	MOA31	MOA30	MOA29	MOA28	MOA27	MOA26	MOA25	MOA24
ビット	23	22	21	20	19	18	17	16
ビット名	MOA23	MOA22	MOA21	MOA20	MOA19	MOA18	MOA17	MOA16
ビット	15	14	13	12	11	10	9	8
ビット名	MOA15	MOA14	MOA13	MOA12	MOA11	MOA10	MOA9	MOA8
ビット	7	6	5	4	3	2	1	0
ビット名	MOA7	MOA6	MOA5	MOA4	MOA3	MOA2	MOA1	MOA0

ビット	ビット名	初期値	R/W	説明
31~0	MOA31~ MOA0	—	R/W	ユーザマツト上の書き込み先の先頭アドレスを設定します。ここで指定されたユーザマツトの先頭アドレスから連続 128 バイトの書き込みが行われます。指定した書き込み先の先頭アドレスは 128 バイト境界となり、MOA6~MOA0 は常に 0 になります。

24. フラッシュメモリ

(5) フラッシュマルチパースデータデスティネーションパラメータ (FMPDR)

(CPU の汎用レジスタ ER0)

ユーザマットに書き込むデータが格納されている領域の先頭アドレスを設定します。

書き込みデータの格納先がフラッシュメモリ領域内の場合は、エラーとなります。このエラーは FPFR の WD ビットに反映されます。

ビット	31	30	29	28	27	26	25	24
ビット名	MOD31	MOD30	MOD29	MOD28	MOD27	MOD26	MOD25	MOD24

ビット	23	22	21	20	19	18	17	16
ビット名	MOD23	MOD22	MOD21	MOD20	MOD19	MOD18	MOD17	MOD16

ビット	15	14	13	12	11	10	9	8
ビット名	MOD15	MOD14	MOD13	MOD12	MOD11	MOD10	MOD9	MOD8

ビット	7	6	5	4	3	2	1	0
ビット名	MOD7	MOD6	MOD5	MOD4	MOD3	MOD2	MOD1	MOD0

ビット	ビット名	初期値	R/W	説明
31~0	MOD31~ MOD0	—	R/W	ユーザマットに書き込むデータが格納されている領域の先頭アドレスを設定します。ここで指定された先頭アドレスから連続 128 バイトのデータが、ユーザマットに書き込まれます。

(6) フラッシュイレースブロックセレクトパラメータ (FEBS)

(CPU の汎用レジスタ ER0)

• H8SX/1642

消去ブロック番号を指定します。0~11 (H'0000~H'000B) の範囲で消去ブロック番号を数値で設定します。0 は EB0 ブロック、11 は EB11 ブロックに対応します。0~11 以外の設定ではエラーになります。

• H8SX/1644

消去ブロック番号を指定します。0~15 (H'0000~H'000F) の範囲で消去ブロック番号を数値で設定します。0 は EB0 ブロック、15 は EB15 ブロックに対応します。0~15 以外の設定ではエラーになります。

• H8SX/1648

消去ブロック番号を指定します。0~23 (H'0000~H'0017) の範囲で消去ブロック番号を数値で設定します。0 は EB0 ブロック、23 は EB23 ブロックに対応します。0~23 以外の設定ではエラーになります。

ビット	31	30	29	28	27	26	25	24
ビット名								
初期値:	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	23	22	21	20	19	18	17	16
ビット名								
初期値:	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8
ビット名								
初期値:	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

24.7.3 RAM エミュレーションレジスタ (RAMER)

RAMER は、ユーザマットの書き換えをエミュレートするときに、内蔵 RAM の一部 (H'FFA000~H'FFAFFF) と重ね合わせるユーザマットのエリアを設定します。RAMER の設定はユーザモード、ユーザプログラムモードで行ってください。エミュレーション機能を確実に動作させるためには、RAMER の書き換え直後に RAM エミュレーションの対象マットをアクセスしないでください。正常なアクセスは保証されません。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	RAMS	RAM2	RAM1	RAM0
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~4	—	0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。
3	RAMS	0	R/W	RAM セレクト RAM によるフラッシュメモリのエミュレーション選択ビットです。 0 : RAM エミュレーション機能は無効 1 : RAM エミュレーション機能は有効 (ユーザマット全ブロックは、書き込み/消去プロテクト状態)
2	RAM2	0	R/W	フラッシュメモリエリア選択
1	RAM1	0	R/W	RAMS=1 のとき、RAM とオーバーラップさせるユーザマットのエリアを選択します。これらのエリアは 4K バイトの消去ブロックに対応しています。 000 : H'000000~H'000FFF(EB0) 001 : H'001000~H'001FFF(EB1) 010 : H'002000~H'002FFF(EB2) 011 : H'003000~H'003FFF(EB3) 100 : H'004000~H'004FFF(EB4) 101 : H'005000~H'005FFF(EB5) 110 : H'006000~H'006FFF(EB6) 111 : H'007000~H'007FFF(EB7)
0	RAM0	0	R/W	

24.8 オンボードプログラミング

EMLE 端子を Low レベルに設定し、かつモード端子 (MD0、MD1、MD2) をオンボードプログラミングモードに設定し、リセットスタートすると、内蔵フラッシュメモリへの書き込み/消去を行うことができるオンボードプログラミングモードへ遷移します。オンボードプログラミングモードには、ブートモード、ユーザブートモード、およびユーザプログラムモードの3種類の動作モードがあります。

各動作モードへの設定方法を表 24.5 に示します。フラッシュメモリに対する各モードへの状態遷移は、図 24.2 を参照してください。

表 24.5 オンボードプログラミングモードの設定方法

モード設定	EMLE	MD2	MD1	MD0
ユーザブートモード	0	0	0	1
ブートモード	0	0	1	0
ユーザプログラミングモード	0	1	1	0
	0	1	1	1

24.8.1 ブートモード

ブートモードは、SCI_4 を経由して外部に接続されたホストから制御コマンドや書き込みデータを送信し、ユーザマットやユーザブートマットへの書き込み/消去を行うモードです。

ブートモードでは、制御コマンドや書き込みデータを送信するツールと、書き込みデータをホスト側に準備しておく必要があります。使用するシリアル通信は調歩同期式モードです。図 24.6 にブートモードのシステム構成を示します。ブートモードで割り込み要求が発生した場合は、無視されます。システム側で割り込み要求が発生しないようにしてください。

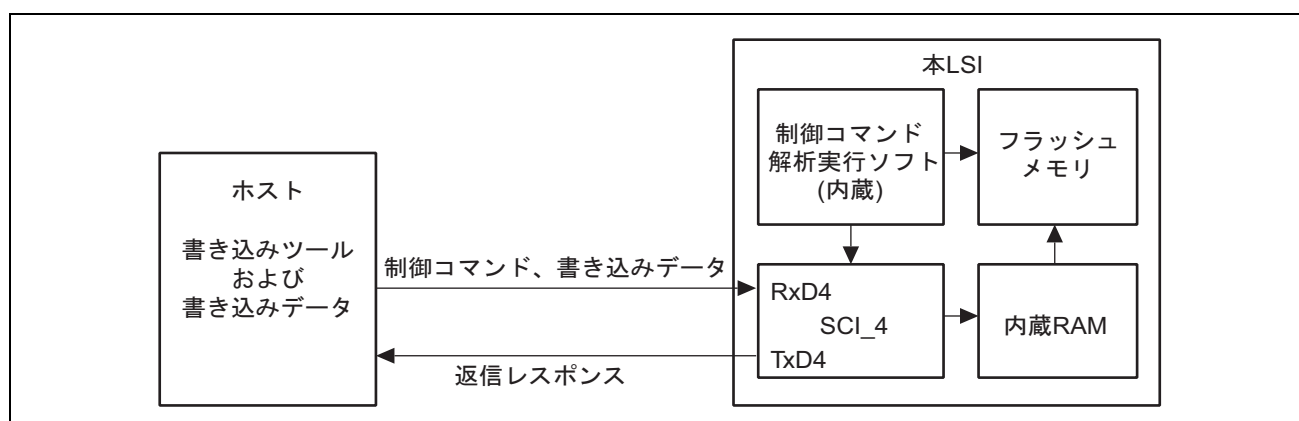


図 24.6 ブートモードのシステム構成図

(1) ホストのシリアルインタフェース設定

SCI_4 は調歩同期式モードに設定され、シリアル送信／受信フォーマットは「8 ビットデータ、1 ストップビット、パリティなし」です。

ブートモードに移行すると、本 LSI 内部に組み込まれているブートプログラムが起動します。

本 LSI はブートプログラムが起動すると、ホストから連続送信される調歩同期式シリアル通信データ (H'00) の Low 期間を測定してビットレートを計算し、SCI_4 のビットレートをホストのビットレートに合わせ込みます。

ビットレートの合わせ込みが終了すると、調整終了の合図としてホストへ H'00 を 1 バイト送信します。ホストは調整終了の合図を正常に受信したら、本 LSI へ H'55 を 1 バイト送信してください。正常に受信できなかった場合は、ブートモードを再起動してください。ホスト側のビットレートと本 LSI のシステムクロック周波数の組み合わせによっては許容範囲内にビットレートを合わせ込めない場合があります。このため、ホストの転送ビットレートと本 LSI のシステムクロック周波数を表 24.6 の範囲としてください。

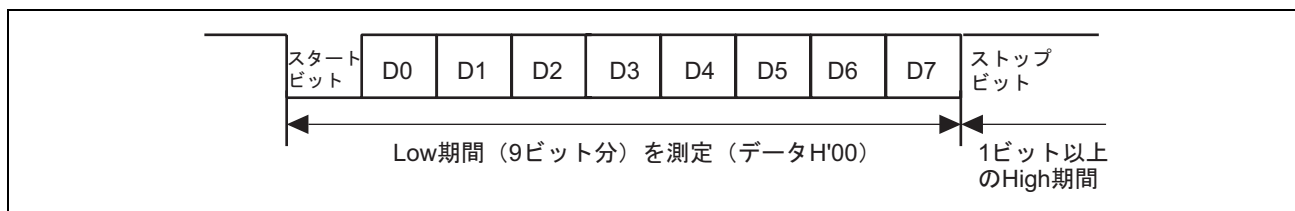


図 24.7 ビットレートの自動合わせ込み

表 24.6 ビットレート自動合わせ込みが可能なシステムクロック周波数

ホストのビットレート	本 LSI のシステムクロック周波数範囲
9,600 bps	8~18MHz
19,200 bps	8~18MHz

(2) 状態遷移

ブートモード起動後の状態遷移を図 24.8 に示します。

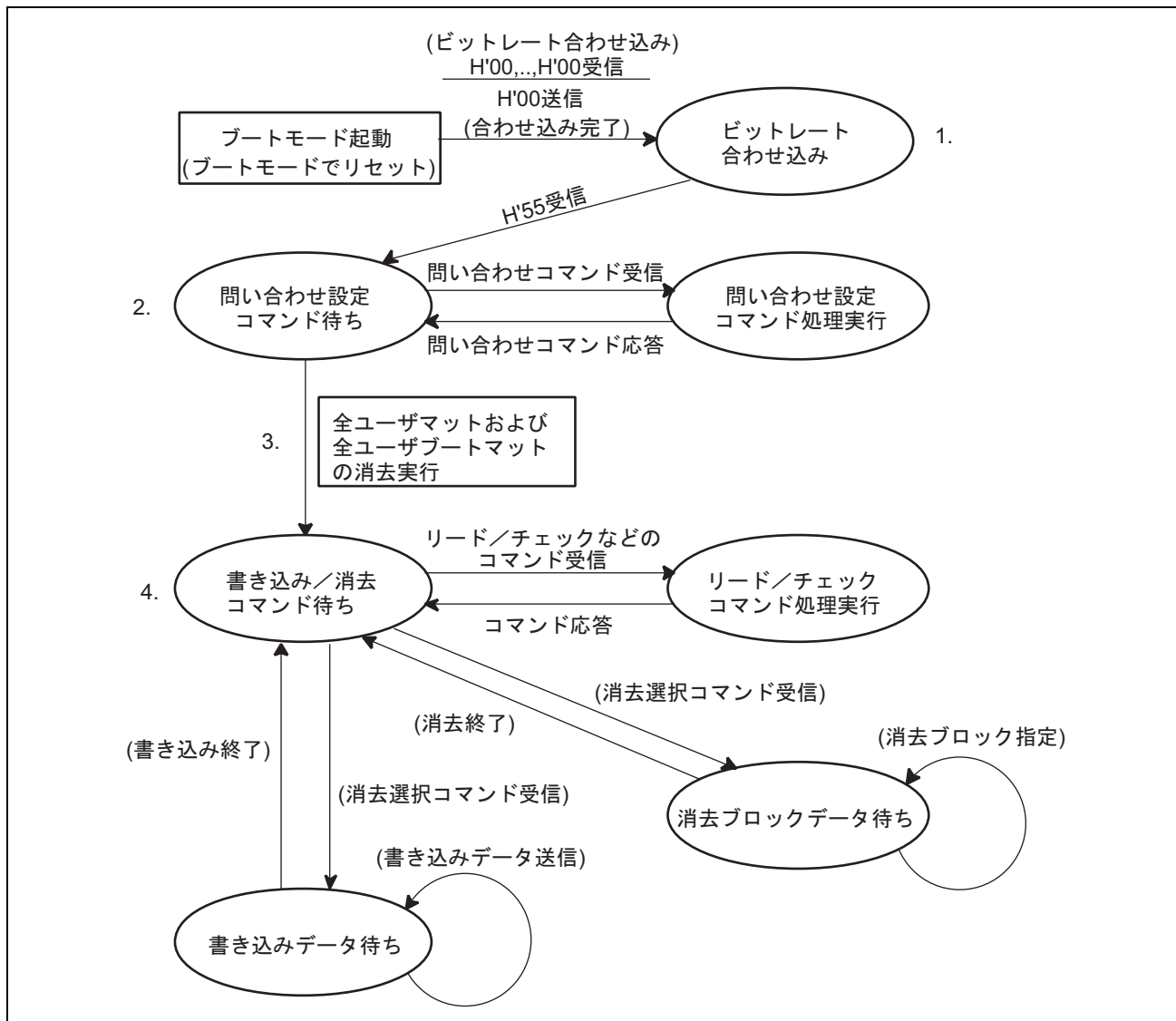


図 24.8 ブートモードの状態遷移図

24. フラッシュメモリ

1. ブートモード起動後、SCI_4のビットレートをホストのビットレートに合わせ込みます。
2. ユーザマットのサイズ、構成、先頭アドレス、サポート状況などの問い合わせ情報をホストに送信します。
3. 問い合わせが終了するとすべてのユーザマットとユーザブートマットを自動消去します。
4. 「書き込み準備通知」を受信すると、書き込みデータ待ち状態に遷移します。書き込みコマンド送信後、書き込み先の先頭アドレス、書き込みデータを送信してください。書き込み終了後、書き込み先の先頭アドレスをH'FFFFFFFに設定して送信してください。これにより書き込みデータ待ち状態から、書き込み/消去コマンド待ち状態に戻ります。「消去準備通知」を受信すると、消去ブロックデータ待ち状態に遷移します。消去コマンド送信後、消去ブロック番号を送信してください。消去終了後、消去ブロック番号をH'FFに設定して送信してください。これにより消去ブロックデータ待ち状態から、書き込み/消去コマンド待ち状態に戻ります。なお、消去の実行は、ブートモードでいったん書き込んだ後にリセットスタートせずに特定のブロックのみを書き換えるときに使用してください。1回の操作で書き込みができる場合は、書き込み/消去コマンド、それ以外のコマンド待ち状態の遷移前に全ブロックの消去が行われていますので本消去操作は必要ありません。書き込み/消去コマンド以外に、ユーザマット/ユーザブートマットのサムチェック、ブランクチェック（消去チェック）、メモリリード、および現在のステータス情報取得のコマンドがあります。

ユーザマット/ユーザブートマットのメモリ読み出しは、すべてのユーザマット/ユーザブートマットを自動消去後に書き込んだデータについてのみ読み出しができます。それ以外は読み出しできません。

24.8.2 ユーザプログラムモード

内蔵されているプログラムをダウンロードしてユーザマットの書き込み/消去を行います。ユーザプログラムモードではユーザブートマットの書き込み/消去はできません。書き込み/消去フローを図 24.9 に示します。

書き込み/消去中はフラッシュメモリ内部に高電圧が印加されていますので、リセット、ハードウェアスタンバイへの遷移は行わないでください。書き込み/消去中にリセット、ハードウェアスタンバイへ遷移すると、フラッシュメモリにダメージを与える可能性があります。リセット入力した場合は、100 μ s 以上のリセット入力期間 ($\overline{\text{RES}}=0$ の期間) の後にリセットリリースしてください。

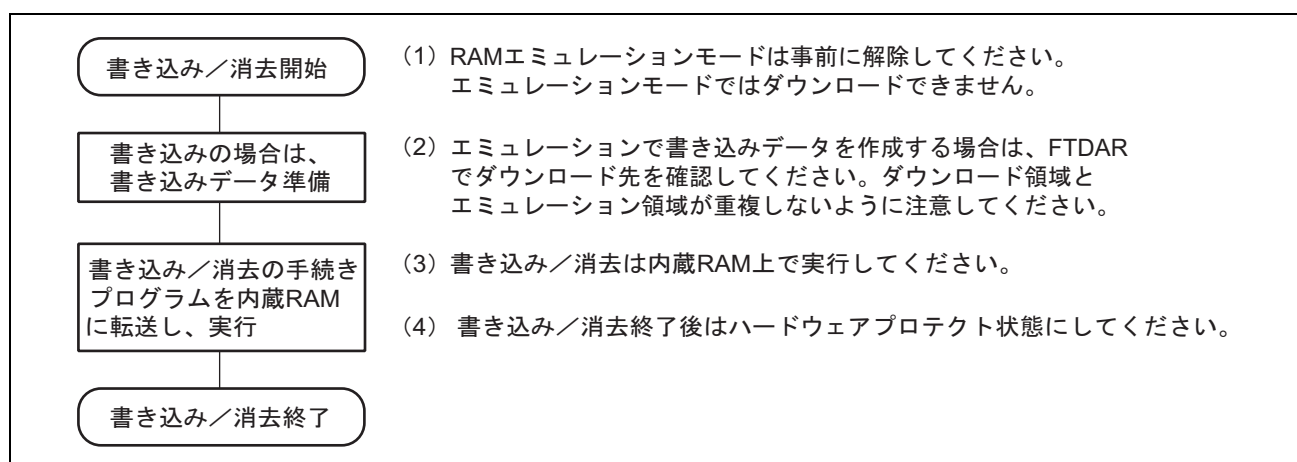


図 24.9 書き込み/消去フロー

(1) 書き込み/消去実行時の内蔵 RAM のアドレスマップ

ユーザ側で作成するダウンロード要求、書き込み/消去手順、結果判定などの手続きプログラムの一部は、必ず内蔵 RAM 上で実行してください。また、ダウンロードする内蔵プログラムは内蔵 RAM に組み込まれているため、内蔵プログラムと手続きプログラムが重複しないように注意してください。図 24.10 にダウンロードする内蔵プログラムの領域を示します。

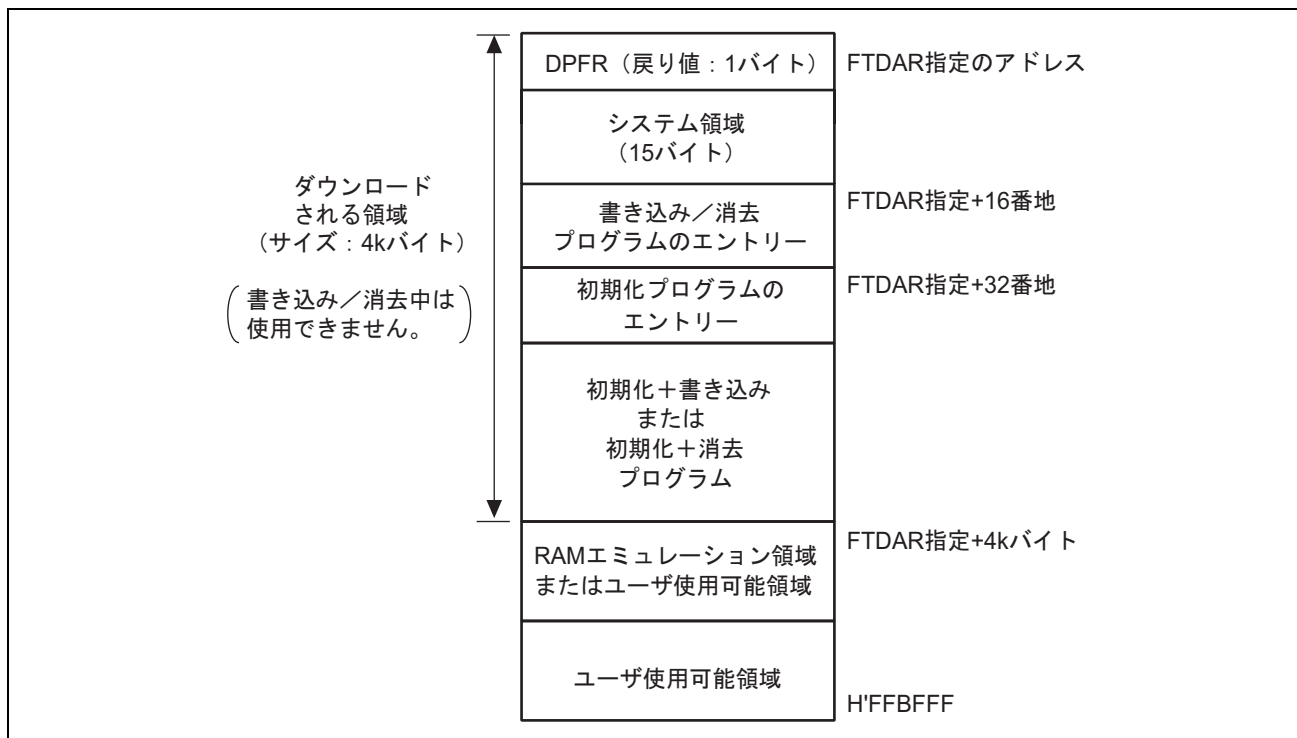


図 24.10 書き込み/消去実行時の RAM マップ

(2) ユーザプログラムモードでの書き込み手順

内蔵プログラムのダウンロード、初期化、および書き込み手順を図 24.11 に示します。

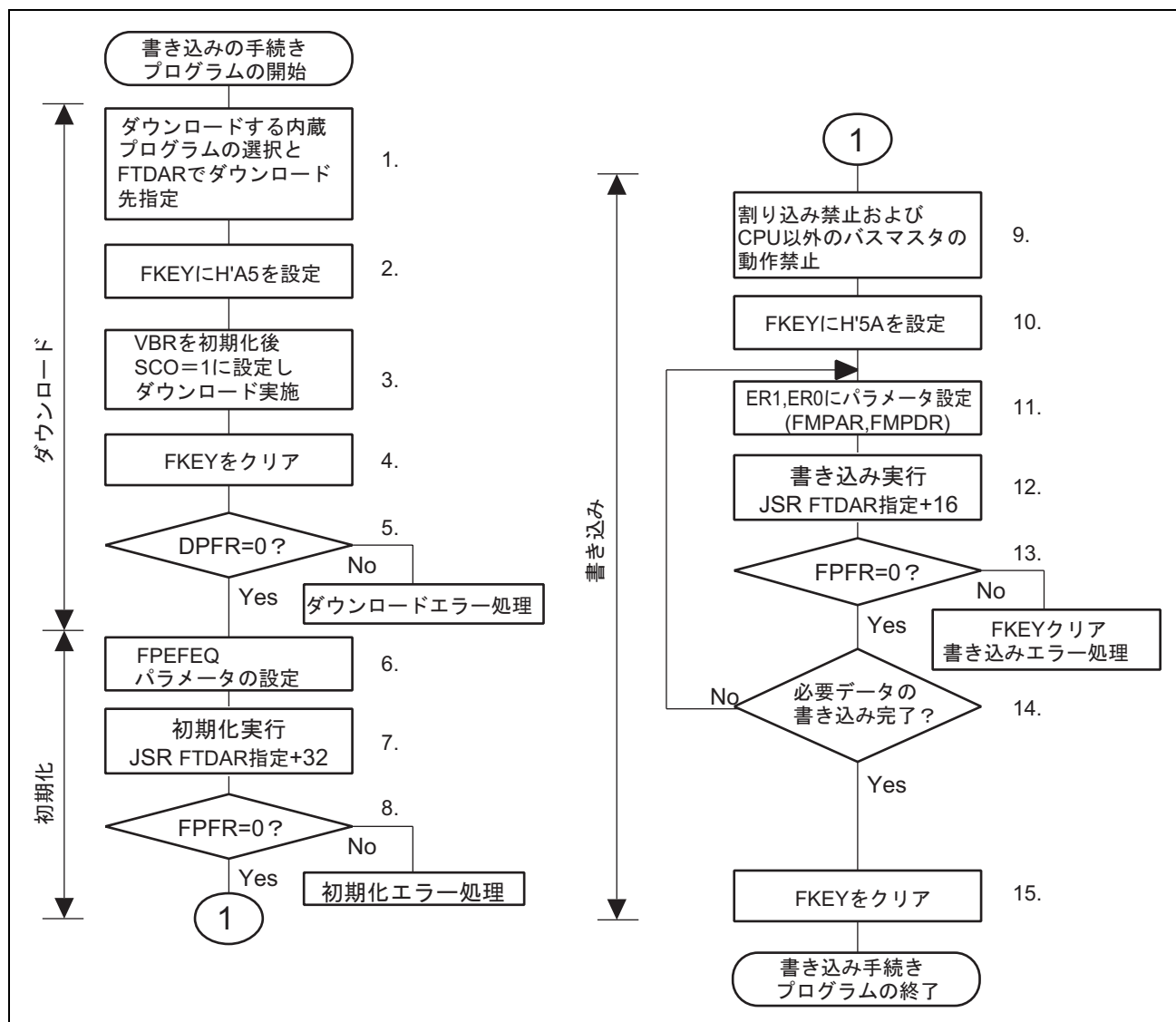


図 24.11 ユーザプログラムモードでの書き込み手順

手続きプログラムは、書き込み対象のフラッシュメモリ以外の領域で実行してください。ダウンロードを要求する FCCS の SCO ビットの設定は、必ず内蔵 RAM 上で実行してください。手続きプログラムのステップごとの実行可能な領域（内蔵 RAM、ユーザマツト）は「24.8.4 内蔵プログラム、書き込みデータの格納可能領域」を参照してください。以下の説明は、ユーザマツトの書き込み対象領域は消去されており、書き込みデータも連続領域に準備できたという前提です。

1回の書き込みデータは常に 128 バイト単位です。128 バイトを超える場合は、書き込み先の先頭アドレス、書き込みデータのパラメータを 128 バイト単位で更新して書き込みを繰り返します。書き込みデータが 128 バイトに満たない場合も無効データを埋め込んで、128 バイトの書き込みデータを準備してください。埋め込む無効データを H'FF にすると書き込み処理時間を短縮できます。

24. フラッシュメモリ

1. ダウンロードする内蔵プログラムとダウンロード先を選択します。FPCSのPPVSビットを1にセットすると書き込みプログラムが選択されます。書き込み/消去プログラムは複数選択することができません。複数選択するとDPFRパラメータのSSビットにダウンロードエラーが報告されます。FTDARでダウンロード先の内蔵RAMの先頭アドレスを指定します。
2. FKEYにH'A5を書き込みます。FKEYにH'A5を書き込まないと、ダウンロードを要求するFCCSのSCOビットを1にセットすることができません。
3. VBRをH'00000000に初期化後、SCOビットを1にセットしダウンロードを実行します。SCOビットを1にセットするには、次の条件をすべて満たす必要があります。
 - RAMエミュレーションモードが解除されている
 - FKEYにH'A5が書き込まれている
 - SCOビットの設定が内蔵RAM上で実行されているSCOビットが1にセットされると自動的にダウンロードが開始され、ユーザの手続きプログラムに戻ってきたときにはSCOビットが0にクリアされているため、手続きプログラムではSCOビットが1にセットされていることを確認できません。ダウンロード結果はDPFRパラメータの戻り値で確認するため、SCOビットを1にセットする前に、DPFRパラメータとなるFTDARで指定した内蔵RAMの先頭1バイトを戻り値以外（H'FFなど）に設定して誤判定を防いでください。ダウンロードの実行は、次に示すようなバンク切り替えを伴った特殊な処理を行いますので、VBRはH'00000000に初期化してください。また、SCOビットを1にセットした直後は、必ずFCCSのダミーリードを2回実行してください。
 - ユーザマット空間を内蔵プログラム格納領域に切り替えます。
 - ダウンロードするプログラムとFTDARで指定した内蔵RAMの先頭アドレスをチェック後、内蔵RAMへ転送します。
 - FPCS、FECSおよびFCCSのSCOビットを0にクリアします。
 - DPFRパラメータに戻り値を設定します。
 - 内蔵プログラム格納領域をユーザマット空間に戻した後、ユーザ手続きプログラムに戻ります。戻った後は、VBRの再設定が可能です。
 - ダウンロード中は、ER0、ER1以外の汎用レジスタは保存されます。
 - ダウンロード中はすべての割り込み要求は受け付けられませんが、割り込み要求は保持されていますので、手続きプログラムに戻ったときに割り込み要求が発生します。
 - レベル検出割り込み要求を保持したい場合は、ダウンロード終了まで割り込み要求の発生が必要です。
 - SCOビットを1にセットする前に最大128バイトのスタック領域を内蔵RAM上に確保してください。
 - ダウンロード中にDMACまたはDTCによるフラッシュメモリへのアクセスが発生すると動作の保証ができません。DMAC、DTCによるアクセスが発生しないように注意してください。
4. プロテクトのためにFKEYをH'00にクリアします。

5. DPFRパラメータの値でダウンロード結果を確認します。DPFR パラメータ (FTDARで指定したダウンロード先の先頭アドレスの1バイト) の値をチェックします。DPFR パラメータの値がH'00であればダウンロードが正常に終了しています。H'00以外の場合は、ダウンロードできなかった原因を次の手順で調べることができます。
 - DPFRパラメータの値がダウンロード実行前に設定した値と同じであった場合は、FTDARのダウンロード先の先頭アドレス設定に異常が考えられますので、FTDARのTDERビットを確認してください。
 - DPFRパラメータの値がダウンロード実行前の設定値と異なっている場合は、DPFRパラメータのSSビットやFKビットでダウンロードするプログラムの選択やFKEYの設定値を確認をしてください。
6. 初期化のためにFPEFEQパラメータにCPUの動作周波数を設定します。FPEFEQパラメータに設定できる動作周波数は8~50MHzです。この範囲以外の周波数を設定すると、初期化プログラムのFPFRパラメータにエラーが報告され初期化は行われません。周波数の設定方法は「24.7.2 書き込み/消去インタフェースパラメータ (3) フラッシュプログラム/イレース周波数パラメータ (FPEFEQ)」を参照してください。
7. 初期化を実行します。初期化プログラムは書き込みプログラムのダウンロードと一緒に内蔵RAMにダウンロードされます。FTDARで指定したダウンロード先の先頭アドレスを#DLTOPとしたとき、#DLTOP+32バイトからの領域に、初期化プログラムのエントリーポイントがありますので、次のような方法でサブルーチンコールして実行してください。

MOV.L	#DLTOP+32,ER2	; エントリアドレスを ER2 に設定
JSR	@ER2	; 初期化ルーチンをコール
NOP		

- 初期化プログラムではER0、ER1以外の汎用レジスタは保存されます。
 - R0LはFPFRパラメータの戻り値です。
 - 初期化プログラムではスタック領域を使用しますので、最大128バイトのスタック領域をRAM上に確保してください。
 - 初期化プログラム実行中の割り込み要求受け付けは可能です。ただし、内蔵RAM上のプログラム格納領域やスタック領域、レジスタの値を破壊しないように注意してください。
8. 初期化プログラムの戻り値FPFRパラメータを判定します。
 9. 書き込み/消去中は、すべての割り込み要求とCPU以外のバスマスタの使用を禁止してください。書き込み/消去中は、規定電圧が規定時間幅で印加されています。書き込み/消去中に割り込み要求が発生、またはCPU以外にバス権が移行するなど規定以上の電圧が印加されると、フラッシュメモリにダメージを与える可能性があります。割り込み要求は、割り込み制御モード0のときコンディションコードレジスタ (CCR) のビット7 (I) をB'1に、割り込み制御モード2のときエクステンドレジスタ (EXR) のビット2~0 (I2~I0) をB'111に設定することで禁止され、NMI以外の割り込み要求は保持されて実行されません。NMI割り込みは、ユーザシステム上で発生しないようにしてください。保持した割り込み要求は、すべての書き込み終了後に実行してください。また、CPU以外のDMACまたはDTCへのバス権の移行が発生した場合、エラープロテクト状態に遷移するため、DMACによるバス権確保が発生しないようにし

24. フラッシュメモリ

てください。

10. FKEYにH'5Aを設定し、ユーザマットへの書き込みができるようにしてください。
11. 書き込みに必要なパラメータの設定を行います。ユーザマットの書き込み先の先頭アドレス（FMPARパラメータ）を汎用レジスタER1に、書き込むデータが格納されている領域の先頭アドレス（FMPDRパラメータ）を汎用レジスタER0に設定します。
 - FMPARパラメータ設定例：ユーザマットエリア以外に書き込み先の先頭アドレスが指定された場合、書き込みプログラムを実行しても書き込みは行われず、FPFRパラメータにエラーが報告されます。また、1回の書き込みデータは常に128バイト単位であるため、アドレスの下位8ビットはH'00かH'80の128バイト境界である必要があります。
 - FMPDR設定例：書き込みデータの格納先がフラッシュメモリ上の場合、書き込みルーチンを実行しても書き込みは行われず、FPFRパラメータにエラーが報告されます。この場合はいったん内蔵RAMに転送して、書き込むようにしてください。
12. 書き込みを実行します。FTDARで指定したダウンロード先の先頭アドレスを#DLTOPとしたとき、#DLTOP+16バイトからの領域に、書き込みプログラムのエントリーポイントがありますので、次のような方法でサブルーチンコールして実行してください。

MOV.L	#DLTOP+16,ER2	; エントリアドレスを ER2 に設定
JSR	@ER2	; 書き込みルーチンをコール
NOP		

- 書き込みプログラムではER0、ER1以外の汎用レジスタは保存されます。
 - ROLはFPFRパラメータの戻り値です。
 - 書き込みプログラムではスタック領域を使用しますので、最大128バイトのスタック領域をRAM上に確保してください。
13. 書き込みプログラムの戻り値FPFRパラメータを判定します。
 14. 必要データの書き込みが終了したかを判断します。128バイトを超えるデータを書き込む場合、128バイト単位でFMPAR、FMPDRパラメータを更新して上記11.~14.の処理を繰り返します。書き込み先アドレスの128バイトのインクリメント、書き込みデータポインタの更新を正しく行ってください。書き込み終了のアドレスへの重複書き込みになると、書き込みエラーとなりフラッシュメモリにもダメージを与えます。
 15. 書き込みが終了したらFKEYをクリアして、ソフトウェアプロテクト状態にしてください。書き込み終了直後にリセットで再起動する場合は、100 μ s以上のリセット入力期間（ $\overline{\text{RES}}=0$ の期間）を設けてください。

(3) ユーザプログラムモードでの消去手順

内蔵プログラムのダウンロード、初期化、消去の手順を図 24.12 に示します。

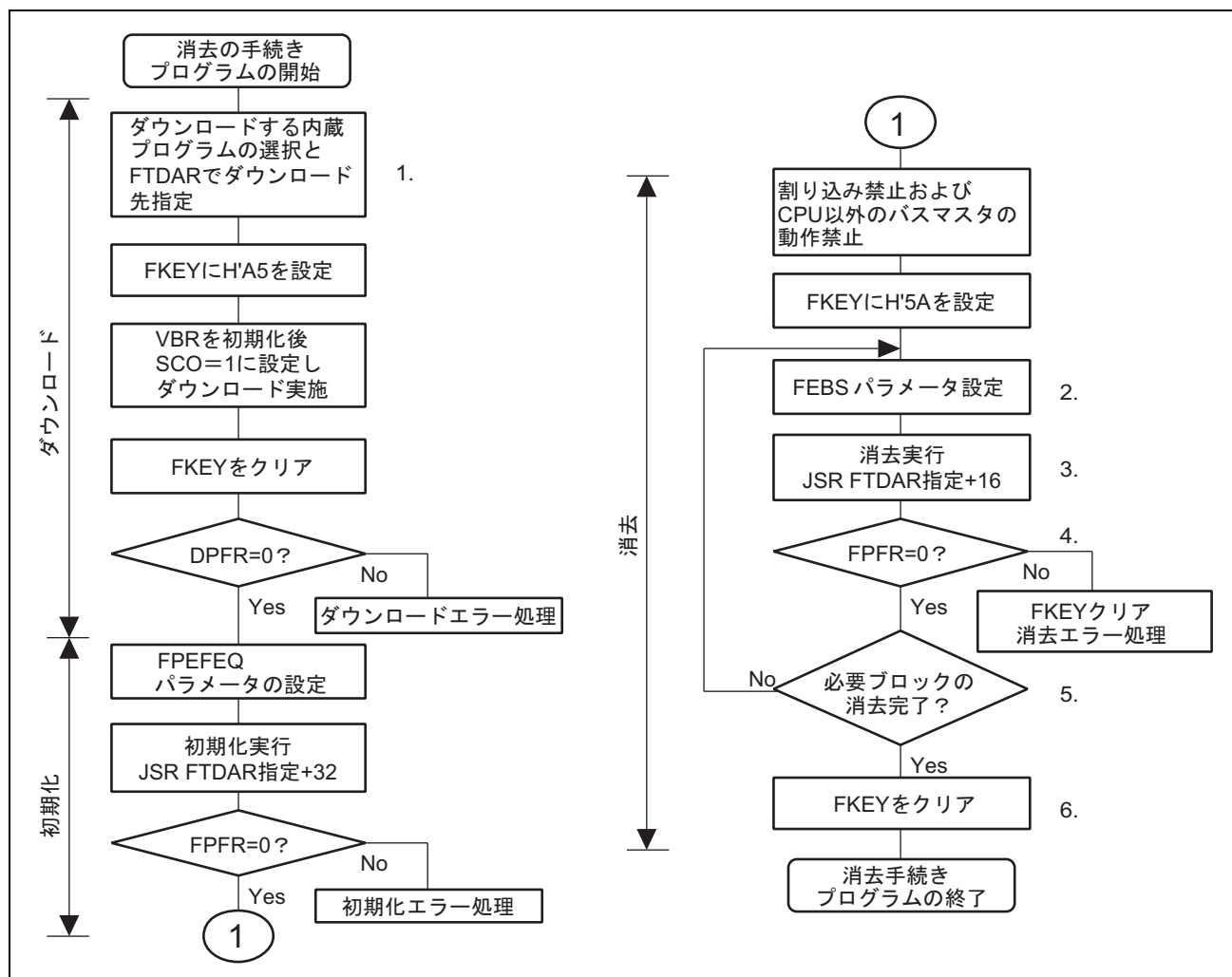


図 24.12 ユーザプログラムモードでの消去手順

手続きプログラムは、消去対象のユーザマツト以外の領域で実行してください。ダウンロードを要求する FCCS の SCO ビットの設定は、必ず内蔵 RAM 上で実行してください。手続きプログラムのステップごとの実行可能な領域（内蔵 RAM、ユーザマツト、外部空間）は「24.8.4 内蔵プログラム、書き込みデータの格納可能領域」を参照してください。ダウンロードする内蔵プログラムの領域は図 24.10 を参照してください。

1 回の消去は 1 ブロックです。ブロック分割については図 24.4 を参照してください。2 ブロック以上の消去を行う場合は、消去ブロック番号を更新して消去を繰り返します。

24. フラッシュメモリ

1. ダウンロードする内蔵プログラムを選択します。FECSのEPVBビットを1にセットするとダウンロードする消去プログラムが選択されます。書き込み/消去プログラムは複数選択することはできません。複数選択するとDPFRパラメータのSSビットにダウンロードエラーが報告されます。FTDARでダウンロード先の内蔵RAMの先頭アドレスを指定します。

FKEYへの書き込み以降の手続きは、「24.8.2 ユーザプログラムモード (2) ユーザプログラムモードでの書き込み手順」を参照してください。

2. 消去に必要なFEBSパラメータの設定を行います。ユーザマットの消去ブロック番号 (FEBSパラメータ) を汎用レジスタER0に設定します。ユーザマットの消去ブロック番号以外の値が設定された場合、消去プログラムを実行しても消去されずに、FPFRパラメータにエラーが報告されます。
3. 消去を実行します。書き込みと同様にFTDARで指定したダウンロード先の先頭アドレスを#DLTOPとしたときも、#DLTOP+16バイトからの領域に、消去プログラムのエントリーポイントがありますので、次のような方法でサブルーチンコールして実行してください。

MOV.L	#DLTOP+16,ER2	; エントリアドレスを ER2 に設定
JSR	@ER2	; 消去ルーチンをコール
NOP		

- 消去プログラムではER0、ER1以外の汎用レジスタは保存されます。
 - R0LはFPFRパラメータの戻り値です。
 - 消去プログラムではスタック領域を使用しますので、最大128バイトのスタック領域をRAM上に確保してください。
4. 消去プログラムの戻り値FPFRパラメータを判定します。
 5. 必要ブロックの消去が終了したかを判断します。複数ブロックを消去する場合、FEBSパラメータを更新して上記2.~5.の処理を繰り返します。
 6. 消去が終了するとFKEYをクリアして、ソフトウェアプロテクト状態にしてください。消去終了直後にリセットで再起動する場合は、100 μ s以上のリセット入力期間 ($\overline{RES}=0$ の期間) を設けてください。

(4) ユーザプログラムモードでの消去／書き込み／RAM エミュレーション手順

FTDAR でダウンロード先の内蔵 RAM の先頭アドレスを変更することで、消去プログラムと書き込みプログラムを別々の内蔵 RAM 領域にダウンロードすることができます。

消去、書き込み、RAM エミュレーションを繰り返し実行する場合の手順を図 24.13 に示します。

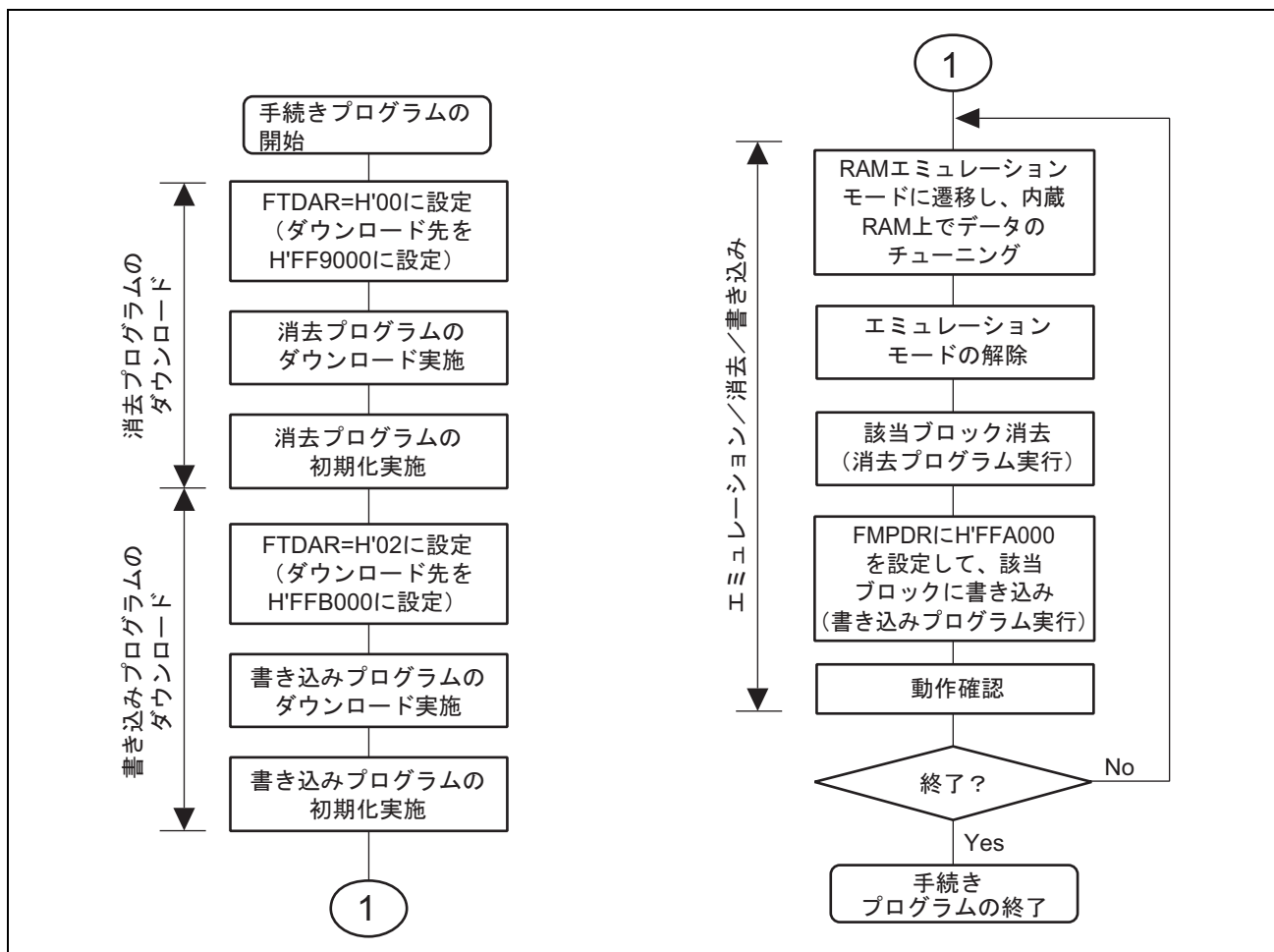


図 24.13 ユーザプログラムモードでの消去、書き込み、RAM エミュレーション手順

図 24.13 では、RAM エミュレーションを実施するため、内蔵 RAM の 4K バイト (H'FFA000~H'FFAFFF) を避けて、消去/書き込みプログラムをダウンロードしています。また、ダウンロードと初期化は、最初の 1 回のみの実施です。手続きプログラムを実行する場合は、次の点に注意してください。

1. 内蔵RAM領域の重複破壊にご注意ください。書き込みプログラム領域、消去プログラム領域、RAMエミュレーション領域以外に、ユーザが作成する手続きプログラムや、作業領域、スタック領域などが内蔵RAMに存在しますので、これらの領域を破壊しないようにしてください。
2. 書き込みプログラム、および消去プログラムの初期化を行ってください。FPEFEQパラメータを初期化するときは、必ず消去プログラム、および書き込みプログラムも初期化を行ってください。初期化のエントリアドレスは、FTDARで指定した消去プログラムのダウンロード先の先頭アドレスを#DLTOPとしたとき、#DLTOP+32番地、FTDARで指定した書き込みプログラムのダウンロード先の先頭アドレスを#DLTOPとしたとき、#DLTOP+32番地の両方に対して初期化を実行してください。

24.8.3 ユーザブートモード

ユーザが用意した書き込み/消去プログラムに分岐することで、ユーザ任意のブートモードが実現できるユーザブートモードがあります。

ユーザブートモードで書き込み/消去可能なメモリマップは、ユーザマップのみです。ユーザブートマップの書き込み/消去は、ブートモードまたはライターモードで行ってください。

(1) ユーザブートモードの起動

モード端子をユーザブートモードに設定しリセットスタートすると、組み込みチェックルーチンが走行しユーザマップ、ユーザブートマップの状態をチェックします。この間 NMI およびその他の割り込み要求は受け付けられません。その後、ユーザブートマップ上のリセットベクタ実行開始アドレスから処理を開始します。このとき実行メモリマップは、ユーザブートマップ (FMATS=H'AA) が選択されています。

(2) ユーザブートモードでのユーザマップへの書き込み

ユーザブートモードでのユーザマップへの書き込み手順を図 24.14 に示します。

図 24.14 に示したように、ユーザプログラムモードとユーザブートモードでの書き込み手順の違いは、メモリマップの切り替え手続きです。ユーザブートモードでユーザマップへの書き込みを行う手続きでは、FMATS によるユーザブートマップからユーザマップへの切り替え、および書き込み終了後にユーザマップから再びユーザブートマップに戻すための手続きの追加が必要となります。

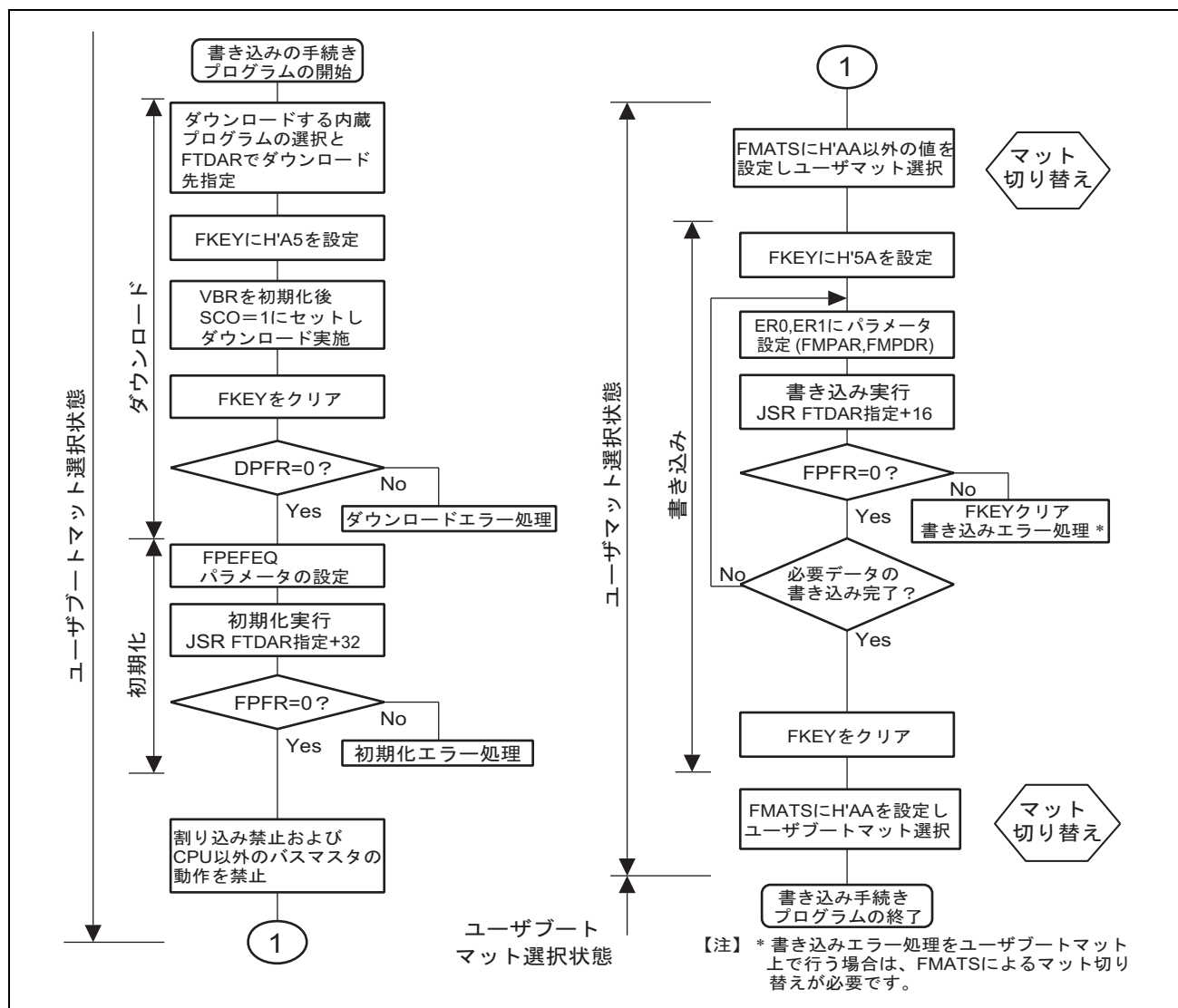


図 24.14 ユーザブートモードでのユーザマットへの書き込み手順

ユーザブートモードでは、フラッシュメモリ空間にユーザブートマットは見えますが、ユーザマットは「裏」に隠れた状態です。そのためユーザマットへの書き込み処理の間は、ユーザマットとユーザブートマットを切り替えます。ユーザマットへの書き込み中は、ユーザブートマットは隠れた状態で、かつユーザマットは書き込み状態のため、手続きプログラムはフラッシュメモリ以外の領域で実行させる必要があります。書き込み終了後、最初の状態に戻すためにメモリマットの切り替えを行います。

メモリマットの切り替えはFMATSの設定で行えますが、メモリマットの切り替えが終了するまでアクセスできません。また、割り込み要求が発生した場合に割り込みベクタをどちらのメモリマットから読み出すかなど不安定状態です。メモリマットの切り替えについては「24.11 ユーザマットとユーザブートマットの切り替え」を参照してください。

メモリマットの切り替え以外の書き込み手順は、ユーザプログラムモードの手順と同じです。

ユーザ手続きプログラムのステップごとの実行可能な領域（内蔵RAM、ユーザマット）は「24.8.4 内蔵プログラム、書き込みデータの格納可能領域」を参照してください。

(3) ユーザブートモードでのユーザマットの消去

ユーザブートモードでのユーザマットの消去手順を図 24.15 に示します。

図 24.15 に示すように、ユーザプログラムモードとユーザブートモードでの消去手順の違いは、メモリマットの切り替え手続きです。ユーザブートモードでユーザマットの消去を行う手続きでは、FMATS によるユーザブートマットからユーザマットへの切り替え、および消去終了後にユーザマットから再びユーザブートマットに戻す手続きの追加が必要となります。

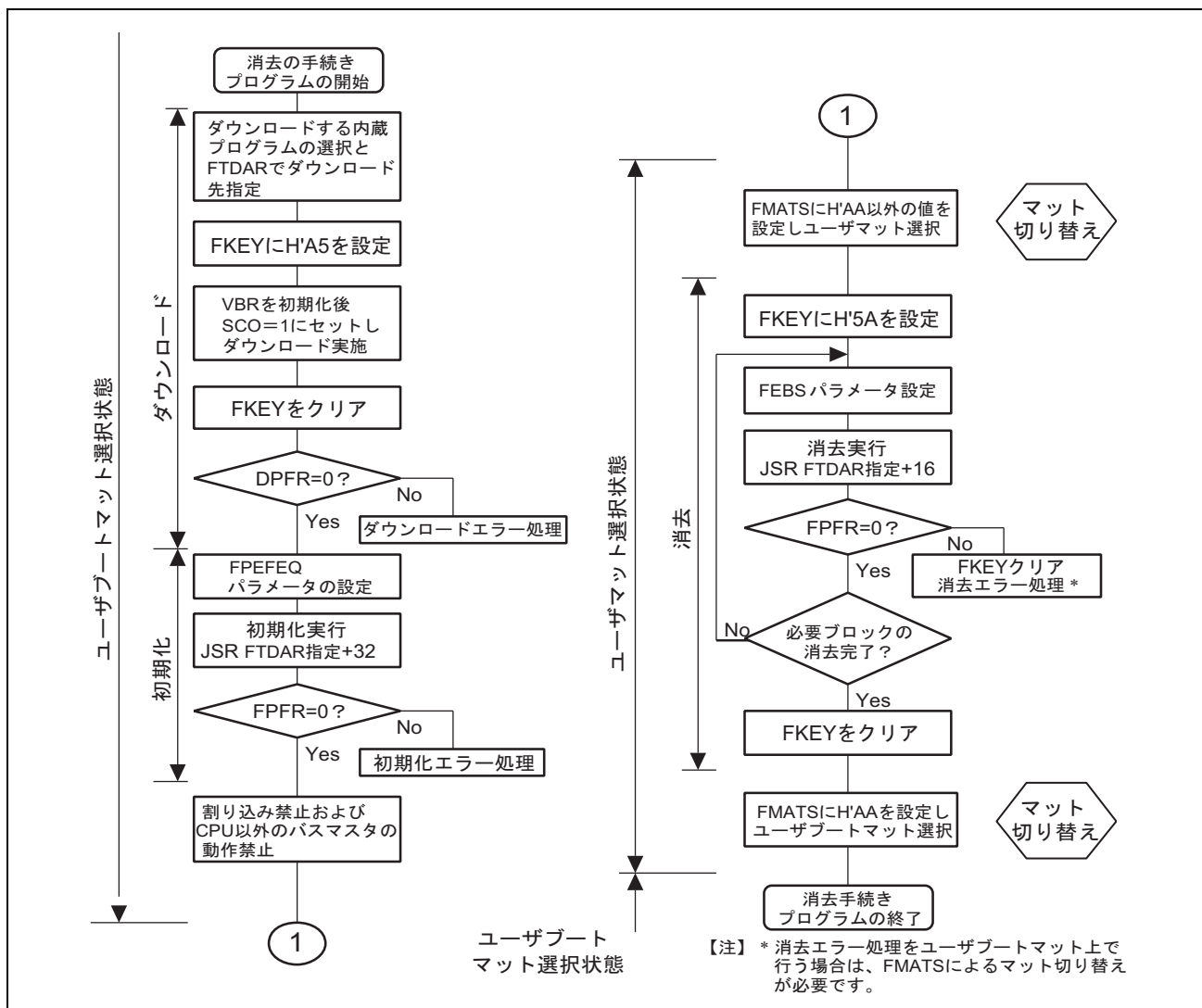


図 24.15 ユーザブートモードでのユーザマットの消去手順

メモリマット切り替えはFMATS の設定で行えますが、メモリマット切り替えが終了するまではアクセスできません。また、割り込み要求が発生した場合に割り込みベクタをどちらのメモリマットから読み出すかなど不安定状態です。メモリマットの切り替えについては「24.11 ユーザマットとユーザブートマットの切り替え」を参照してください。

メモリマットの切り替え以外の消去手順は、ユーザプログラムモードの手順と同じです。

ユーザ手続きプログラムのステップごとの実行可能な領域 (内蔵 RAM、ユーザマット) については「24.8.4 内蔵プログラム、書き込みデータの格納可能領域」を参照してください。

24.8.4 内蔵プログラム、書き込みデータの格納可能領域

本文中での内蔵プログラムおよび書き込みデータの格納領域は内蔵RAM上に準備する例で示しましたが、次の条件により書き込み/消去対象外のフラッシュメモリ領域でも実行することができます。

1. 内蔵プログラムは、FTDARで指定された内蔵RAMへダウンロードされ実行されるため、この内蔵RAM領域は使用できません。
2. 内蔵プログラムはスタック領域を使用しますので、最大128バイトのスタック領域を確保してください。
3. FCCSのSCOビットを1にセットしてダウンロードの要求を行う処理は、メモリマットの切り替えが発生するため内蔵RAM上で行ってください。
4. シングルチップモードのように外部空間をアクセスできない動作モードでは、書き込み/消去前（ダウンロード結果判定）までに必要な手続きプログラム、NMI割り込みベクタテーブルとNMI処理ルーチンを内蔵RAMに転送してください。
5. 書き込み/消去中は、フラッシュメモリへのアクセスはできません。内蔵RAM上にダウンロードされたプログラムで実行します。そのため起動させる手続きプログラム、およびNMI割り込みベクタテーブルとNMI例外処理ルーチンもフラッシュメモリ以外の内蔵RAMに転送してください。
6. 書き込み/消去開始からFKEYのクリアまでの期間は、フラッシュメモリへのアクセスは禁止します。書き込み/消去終了後に動作モードを変更してリセットスタートさせる場合には、100 μ s以上のリセット入力期間 ($\overline{\text{RES}}=0$ の期間) を設けてください。なお、書き込み/消去中のリセット状態への遷移は禁止です。リセット入力した場合は、100 μ s以上のリセット入力期間の後にリセットリリースしてください。
7. ユーザブートモードでのユーザマットへの書き込み/消去では、FMATSによるメモリマットの切り替えが必要です。メモリマットの切り替えは内蔵RAM上で実施してください。詳細は「24.11 ユーザマットとユーザブートマットの切り替え」を参照ください。メモリマットを切り替えるときは、現在どちらのメモリマットが選択されているかを確認し、メモリマットの切り替え設定に誤りがないように注意してください。
8. 通常書き込みデータであっても、書き込みデータの格納先がフラッシュメモリ上であるとエラーとなるため、いったん内蔵RAMに転送してFMPDRパラメータの示すアドレスをフラッシュメモリ以外に設定してください。

これらの条件を考慮し、処理内容、動作モード、マットのバンク構成の組み合わせで、書き込みデータ格納、および実行が可能なエリアを表 24.7～表 24.11 に示します。

表 24.7 実行可能なメモリマット

処理内容	動作モード	
	ユーザプログラムモード	ユーザブートモード*
書き込み	表 24.8 参照	表 24.10 参照
消去	表 24.9 参照	表 24.11 参照

【注】 * ユーザマットに対して書き込み/消去が可能です。

表 24.8 ユーザプログラムモードでの書き込み処理で使用可能エリア

項目	格納／実行が可能なエリア		選択されているマツ	
	内蔵 RAM	ユーザマツ	ユーザマツ	組み込みプログラム 格納マツ
書き込みデータの格納領域	○	×*	—	—
ダウンロードする内蔵 プログラムの選択処理	○	○	○	
FKEY への H'A5 書き込み処理	○	○	○	
FCGS の SCO=1 書き込み実行 (ダウンロード)	○	×		○
FKEY クリア処理	○	○	○	
ダウンロード結果の判定	○	○	○	
ダウンロードエラー処理	○	○	○	
初期化パラメータの設定処理	○	○	○	
初期化実行	○	×	○	
初期化結果の判定	○	○	○	
初期化エラー処理	○	○	○	
NMI 処理ルーチン	○	×	○	
割り込み禁止処理	○	○	○	
FKEY への H'5A 書き込み処理	○	○	○	
書き込みパラメータの設定処置	○	×	○	
書き込み実行	○	×	○	
書き込み結果の判定	○	×	○	
書き込みエラー処理	○	×	○	
FKEY クリア処理	○	×	○	

【注】 * 事前に内蔵 RAM に転送しておけば可能です。

表 24.9 ユーザプログラムモードでの消去処理で使用可能エリア

項目	格納/実行が可能なエリア		選択されているマット	
	内蔵 RAM	ユーザマット	ユーザマット	組み込みプログラム格納マット
ダウンロードする内蔵プログラムの選択処理	○	○	○	
FKEY への H'A5 書き込み処理	○	○	○	
FCCS の SCO=1 書き込み実行 (ダウンロード)	○	×		○
FKEY クリア処理	○	○	○	
ダウンロード結果の判定	○	○	○	
ダウンロードエラー処理	○	○	○	
初期化パラメータの設定処理	○	○	○	
初期化実行	○	×	○	
初期化結果の判定	○	○	○	
初期化エラー処理	○	○	○	
NMI 処理ルーチン	○	×	○	
割り込み禁止処理	○	○	○	
FKEY への H'5A 書き込み処理	○	○	○	
消去パラメータの設定処置	○	×	○	
消去実行	○	×	○	
消去結果の判定	○	×	○	
消去エラー処理	○	×	○	
FKEY クリア処理	○	×	○	

24. フラッシュメモリ

表 24.10 ユーザブートモードでの書き込み処理で使用可能エリア

項目	格納／実行が可能なエリア		選択されているマット		
	内蔵 RAM	ユーザブート マット	ユーザマット	ユーザブート マット	組み込み プログラム 格納マット
書き込みデータの格納領域	○	×* ¹	—	—	—
ダウンロードする内蔵 プログラムの選択処理	○	○		○	
FKEY への H'5A 書き込み処理	○	○		○	
FCCS の SCO=1 書き込み実行 (ダウンロード)	○	×			○
FKEY クリア処理	○	○		○	
ダウンロード結果の判定	○	○		○	
ダウンロードエラー処理	○	○		○	
初期化パラメータの設定処理	○	○		○	
初期化実行	○	×		○	
初期化結果の判定	○	○		○	
初期化エラー処理	○	○		○	
NMI 処理ルーチン	○	×		○	
割り込み禁止処理	○	○		○	
FMATS によるマット切り替え	○	×	○		
FKEY への H'5A 書き込み処理	○	×	○		
書き込みパラメータの設定処置	○	×	○		
書き込み実行	○	×	○		
書き込み結果の判定	○	×	○		
書き込みエラー処理	○	×* ²	○		
FKEY クリア処理	○	×	○		
FMATS によるマット切り替え	○	×		○	

【注】 *1 事前に内蔵 RAM に転送しておけば可能です。

*2 内蔵 RAM 上で FMATS によるメモリマット切り替え後なら可能です。

表 24.11 ユーザブートモードでの消去処理で使用可能エリア

項目	格納／実行が可能なエリア		選択されているマツ		
	内蔵 RAM	ユーザブートマツ	ユーザマツ	ユーザブートマツ	組み込みプログラム格納マツ
ダウンロードする内蔵プログラムの選択処理	○	○		○	
FKEY への H'A5 書き込み処理	○	○		○	
FCCS の SCO=1 書き込み実行 (ダウンロード)	○	×			○
FKEY クリア処理	○	○		○	
ダウンロード結果の判定	○	○		○	
ダウンロードエラー処理	○	○		○	
初期化パラメータの設定処理	○	○		○	
初期化実行	○	×		○	
初期化結果の判定	○	○		○	
初期化エラー処理	○	○		○	
NMI 処理ルーチン	○	×		○	
割り込み禁止処理	○	○		○	
FMATS によるマツ切り替え	○	×		○	
FKEY への H'5A 書き込み処理	○	×	○		
消去パラメータの設定処置	○	×	○		
消去実行	○	×	○		
消去結果の判定	○	×	○		
消去エラー処理	○	×*	○		
FKEY クリア処理	○	×	○		
FMATS によるマツ切り替え	○	×	○		

【注】 * 内蔵 RAM 上で FMATS によるメモリマツ切り替え後なら可能です。

24.9 プロテクト

フラッシュメモリに対する書き込み/消去プロテクト状態には、ハードウェアプロテクトによるもの、ソフトウェアプロテクトによるものとエラープロテクトによるものの3種類あります。

24.9.1 ハードウェアプロテクト

ハードウェアプロテクトは、フラッシュメモリに対する書き込み/消去が強制的に禁止、中断された状態をいいます。内蔵プログラムのダウンロードと初期化はできますが、書き込み/消去プログラムを起動してもユーザマツトへの書き込み/消去はできず、書き込み/消去エラーがFPFRパラメータに報告されます。

表 24.12 ハードウェアプロテクト

項目	説明	プロテクトが有効な機能	
		ダウンロード	書き込みと消去
リセットプロテクト	<ul style="list-style-type: none"> リセット (WDT によるリセットも含む) 時は、書き込み/消去インタフェースレジスタが初期化され、書き込み/消去プロテクト状態になります。 $\overline{\text{RES}}$ 端子によるリセットでは、電源投入後発振が安定するまで $\overline{\text{RES}}$ 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した $\overline{\text{RES}}$ パルス幅の間 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。書き込み/消去中のフラッシュメモリの値は、保証しません。この場合は、消去を実施してから再度書き込みを実施してください。 	○	○

24.9.2 ソフトウェアプロテクト

ソフトウェアプロテクトには、書き込み/消去プログラムのダウンロードからのプロテクト、キーコードによるプロテクト、および RAMER によるプロテクトがあります。

表 24.13 ソフトウェアプロテクト

項目	説明	プロテクトが有効な機能	
		ダウンロード	書き込みと消去
SCO ビットプロテクト	FCGS の SCO ビットを 0 にクリアすると、書き込み/消去プログラムのダウンロードができないため、書き込み/消去プロテクト状態になります。	○	○
FKEY プロテクト	FKEY にキーコードを書き込まないと、ダウンロードと書き込み/消去ができないため、書き込み/消去プロテクト状態になります。	○	○
エミュレーションプロテクト	RAM エミュレーションレジスタ (RAMER) の RAMS ビットを 1 にセットすると、書き込み/消去プロテクトになります。	○	○

24.9.3 エラープロテクト

エラープロテクトは、フラッシュメモリへの書き込み/消去中に CPU の暴走や書き込み/消去手順に沿っていない動作を検出し、強制的に書き込み/消去を中断した状態です。書き込み/消去動作を中断することで過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み/消去中にエラーを検出すると、FCCS の FLER ビットが 1 にセットされ、エラープロテクト状態となります。

- 書き込み/消去中にNMIなどの割り込み要求発生
- 書き込み/消去中にフラッシュメモリ読み出し（ベクタリードおよび命令フェッチを含む）
- 書き込み/消去中にSLEEP命令実行（ソフトウェアスタンバイを含む）
- 書き込み/消去中にCPU以外のバスマスタ（DMAC、DTC）がバス権を確保

エラープロテクト状態は、リセットで解除できます。なお、この場合は 100 μ s 以上のリセット入力期間の後にリセットリリースしてください。フラッシュメモリには書き込み/消去中は高電圧が印加されているため、エラープロテクト状態への遷移時に印加電圧が抜けきれていないことがあります。このため、リセット入力期間を延長してチャージを抜くことにより、フラッシュメモリへのダメージを低減する必要があります。

図 24.16 にエラープロテクト状態への状態遷移図を示します。

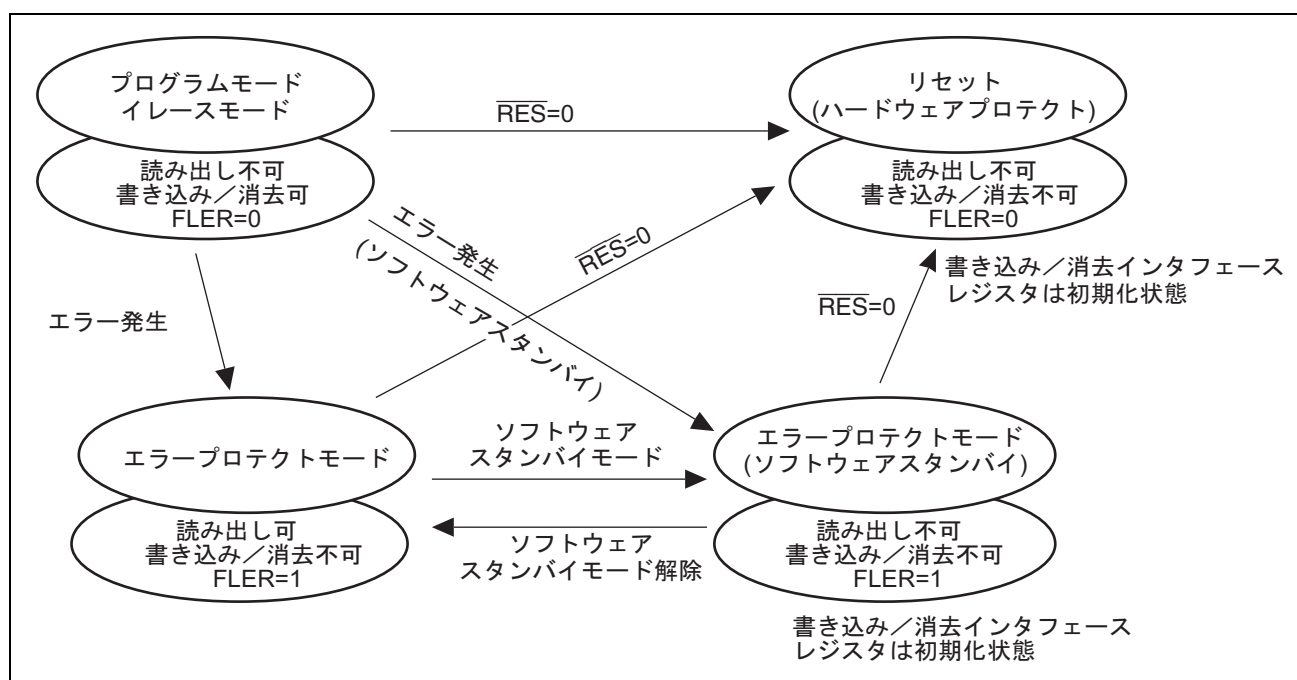


図 24.16 エラープロテクト状態への状態遷移図

24.10 RAM によるフラッシュメモリのエミュレーション

フラッシュメモリに対する書き換えデータを内蔵 RAM でリアルタイムにエミュレートできるように、RAM エミュレーションレジスタ (RAMER) によりフラッシュメモリ (ユーザマツト) の一部のブロックに RAM をオーバーラップさせて使用することができるようになっています。

RAMER で設定したユーザマツトのエリアと、重ね合わせた RAM エリアの 2 エリアからアクセスできます。エミュレーション可能なモードは、ユーザモードおよびユーザプログラムモードです。

図 24.17 にユーザマツトのリアルタイムな書き換えをエミュレートする例を示します。

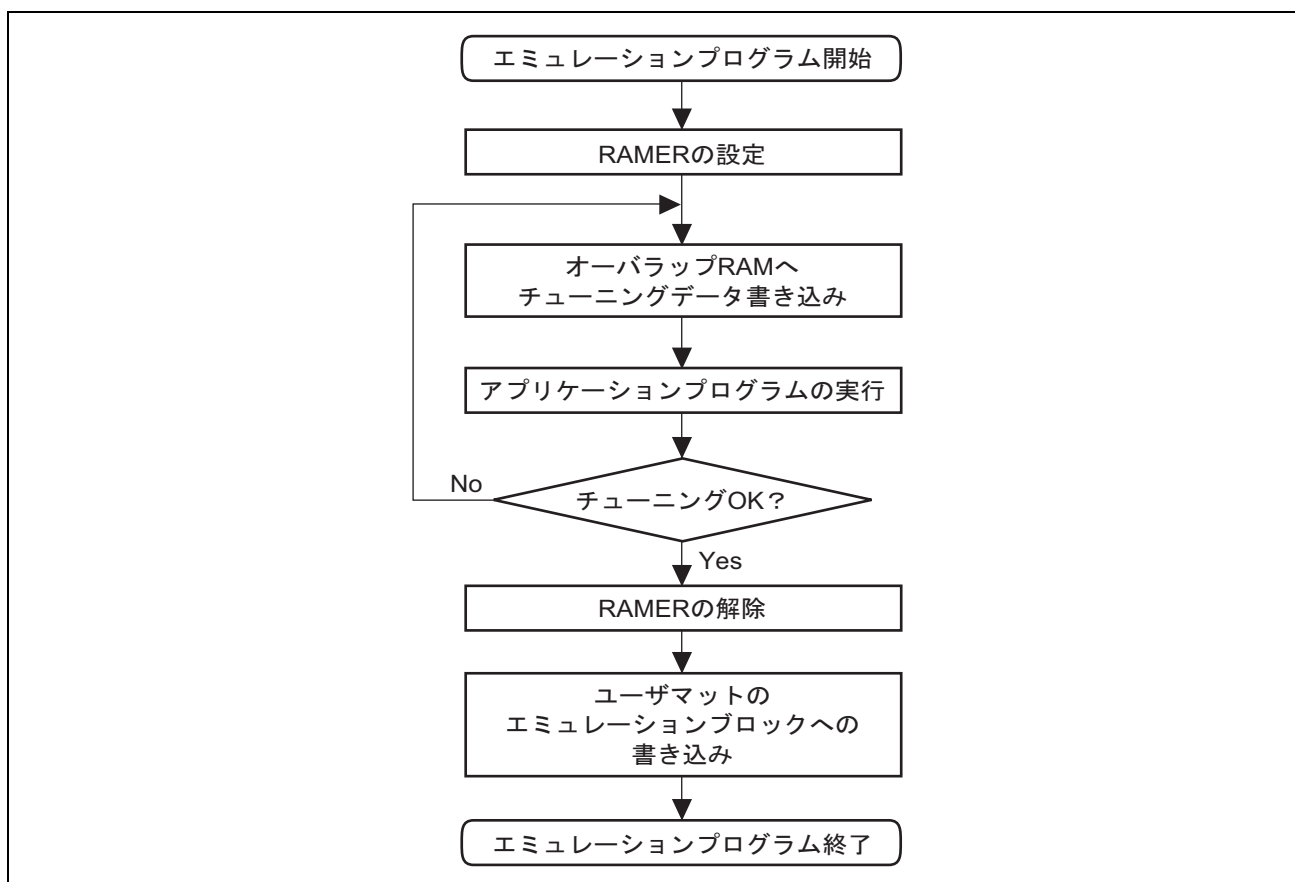


図 24.17 RAM によるエミュレーションフロー

図 24.18 にフラッシュメモリのブロックエリア EB0 をオーバーラップさせる例を示します。

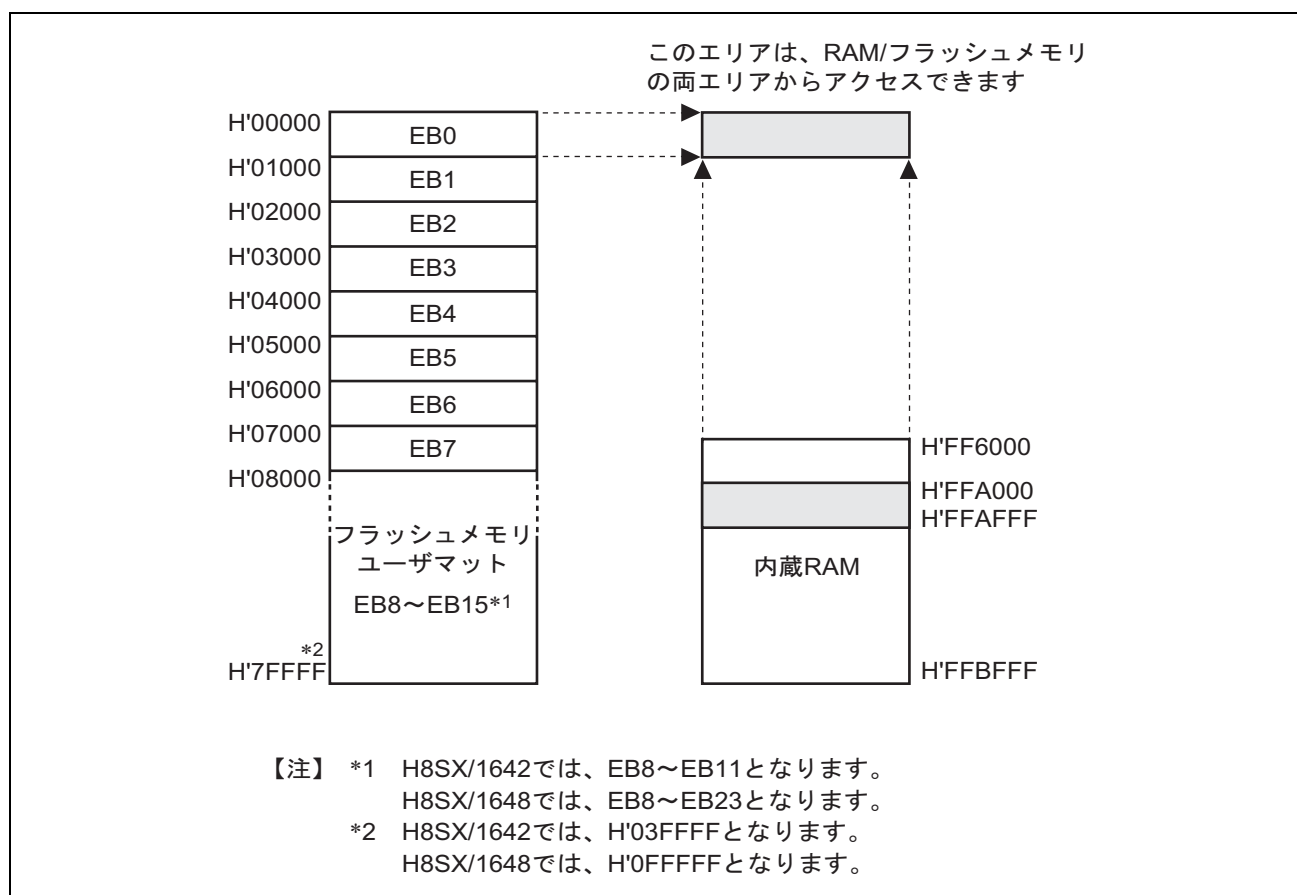


図 24.18 RAM のオーバーラップ動作例 (H8SX/1644)

エミュレーションが可能なフラッシュメモリの領域は、ユーザマットの EB0~EB7 の 8 エリアから RAMER の RAM2~RAM0 ビットで選択した 1 エリアです。

リアルタイムな書き換えを必要とするエリア EB0 に RAM の一部をオーバーラップさせるには、RAMER の RAMS ビットを 1 にセットし、RAM2~RAM0 ビットを B'000 に設定してください。

ユーザマットへの書き込み/消去は、内蔵プログラムのダウンロードを含む一連の手続きプログラムの実行が必要です。このとき、オーバーラップしていた RAM 領域とダウンロードされる内蔵プログラムの領域が重複しないようにダウンロード領域を設定してください。FTDAR が H'01 の場合、チューニング領域とダウンロード領域が重複しますので、事前に未使用領域に書き換えデータの退避が必要になります。

24. フラッシュメモリ

図 24.19 にエミュレーション終了後のデータをユーザマットの EB0 領域に書き込む例を示します。

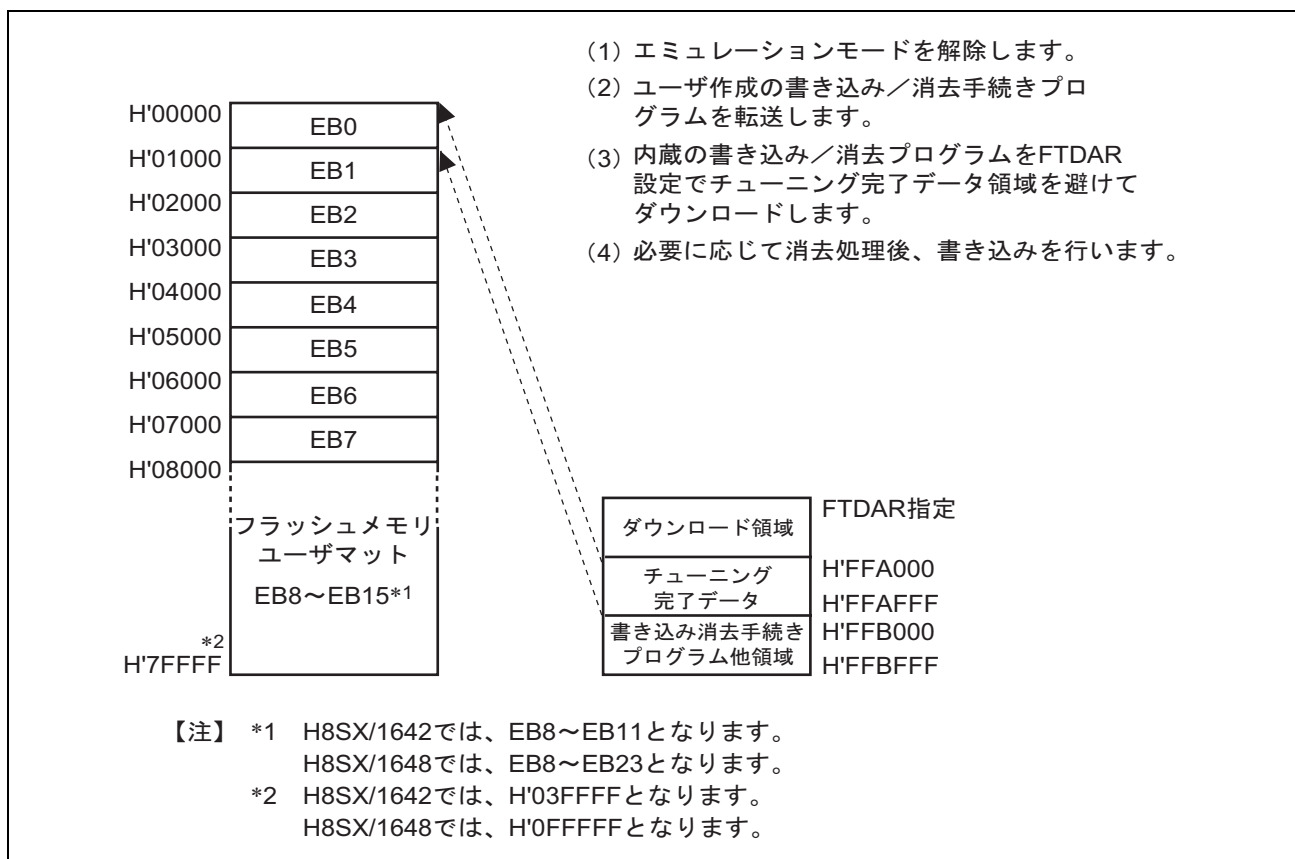


図 24.19 チューニング終了データの書き込み (H8SX/1644)

- 書き換えデータ確定後、RAMERのRAMSビットを0にクリアして、RAMのオーバラップを解除します。
- ユーザ側で用意した手続きプログラムをRAMに転送します。
- 手続きプログラムを起動し、内蔵プログラムをRAM上にダウンロードします。このときFTDARにより、チューニング終了データ領域とダウンロード領域が重複しないように、ダウンロード先の先頭アドレスを指定してください。
- ユーザマットのEB0エリアが消去されていない場合は、EB0エリアの消去を行った後に書き込みプログラムをダウンロードしてください。FMPAR、FMPDRパラメータに退避したチューニング終了データを指定して書き込み処理を行います。

【注】 RAMS ビットを 1 にすると RAM2～RAM0 ビットの値にかかわらず、ユーザマットの全ブロックが書き込み／消去プロテクト状態となります（エミュレーションプロテクト）。この状態では、内蔵プログラムのダウンロードはできませんので、書き込み／消去する場合は RAMS ビットを 0 にクリアしてください。

24.11 ユーザマットとユーザブートマットの切り替え

ユーザマットとユーザブートマットを切り替えて使うことができます。ただし、先頭アドレスが同一のアドレスに割り当てられているため次の手順が必要です。

ユーザブートマットに切り替えた状態での書き込み／消去はできません。ユーザブートマットの書き換えは、ブートモードまたはライターモードで実施してください。

1. FMATSによるメモリマットの切り替えは、必ず内蔵RAM上で実行してください。
2. 内蔵RAM上でFMATSによるメモリマットの切り替えを行った直後にメモリマットをアクセスするときは、同様に内蔵RAM上で8個のNOP命令を実行してください（切り替え中のフラッシュメモリをアクセスしないようにするためです）。
3. メモリマット切り替え中に割り込み要求が発生した場合、どちらのメモリマットがアクセスされるかは保証できません。メモリマット切り替え前に、必ずマスク可能な割り込はマスクしてください。また、メモリマット切り替え中は、NMI割り込みが発生しないようにしてください。
4. メモリマット切り替え終了後は、各割り込みベクタテーブルも切り替わっていますので注意してください。メモリマット切り替え前後で同じ割り込み処理を行う場合は、内蔵RAM上に割り込み処理ルーチンを転送して、かつ割り込みベクタテーブルもVBRを設定して内蔵RAM上に設定してください。
5. ユーザマットとユーザブートマットはメモリサイズが異なります。16Kバイト以上のユーザブートマットをアクセスしないようにしてください。16Kバイト以上アクセスした場合、不定値が読み出されます。

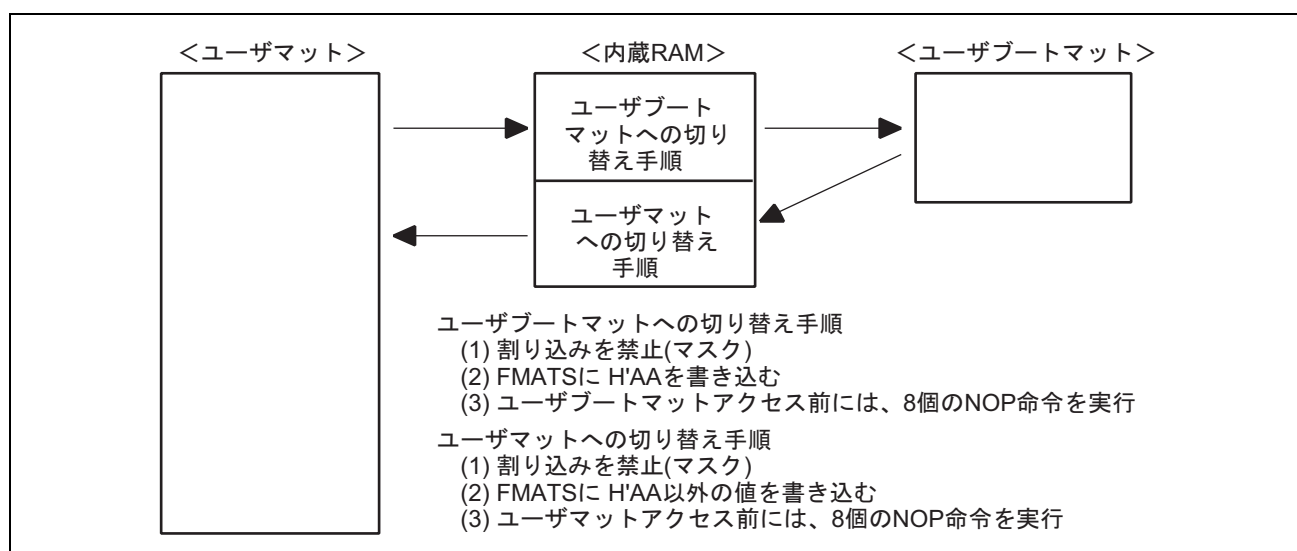


図 24.20 ユーザマット／ユーザブートマットの切り替え

24.12 ライタモード

プログラム、およびデータの書き込み/消去が可能なモードとして、オンボードプログラミングモードの他にライタモードがあります。ライタモードでは表 24.14 のデバイスタイプをサポートしている汎用 PROM ライタを用いて内蔵 ROM に自由にプログラムを書き込むことができます。

表 24.14 ライタモードでサポートするデバイスタイプ

対象マット	製品分類	ROM 容量	デバイスタイプ
ユーザマット	H8SX/1642	256K バイト	FZTAT256V3A
	H8SX/1644	512K バイト	FZTAT512V3A
	H8SX/1648	1M バイト	FZTAT1024V3A
ユーザブートマット	H8SX/1642	16K バイト	FZTATUSBT16V3A
	H8SX/1644		
	H8SX/1648		

24.13 ブートモードの標準シリアル通信インタフェース仕様

ブートモードで起動するブートプログラムは、ホストと LSI 内蔵の SCI_4 を使ってシリアル通信を行います。ホストとブートプログラムのシリアル通信インタフェース仕様を以下に示します。

ブートプログラムは 3 つのステータスを持ちます。

1. ビットレート合わせ込みステータス

ホストとシリアル通信を行うためにビットレートを合わせ込みます。ブートモードで起動するとブートプログラムが起動しビットレート合わせ込みステータスになり、ホストからのコマンドを受信しビットレートの合わせ込みを行います。合わせ込みが終了すると問い合わせ選択ステータスに遷移します。

2. 問い合わせ選択ステータス

ホストからの問い合わせコマンドに応答するステータスです。このステータスでデバイス、クロックモードとビットレートを選択します。選択終了後、書き込み/消去ステータス遷移コマンドで書き込み/消去ステータスに遷移します。書き込み/消去ステータスに遷移する前にブートプログラムは消去関連ライブラリを内蔵 RAM 上に転送し、ユーザマットとユーザブートマットを消去します。

3. 書き込み/消去ステータス

書き込み/消去を行うステータスです。ホストからのコマンドに従って書き込み/消去プログラムを内蔵 RAM に転送し、書き込み/消去を行います。コマンドによりサムチェック、ブランクチェックを行います。

ブートプログラムのステータスを図 24.21 に示します。

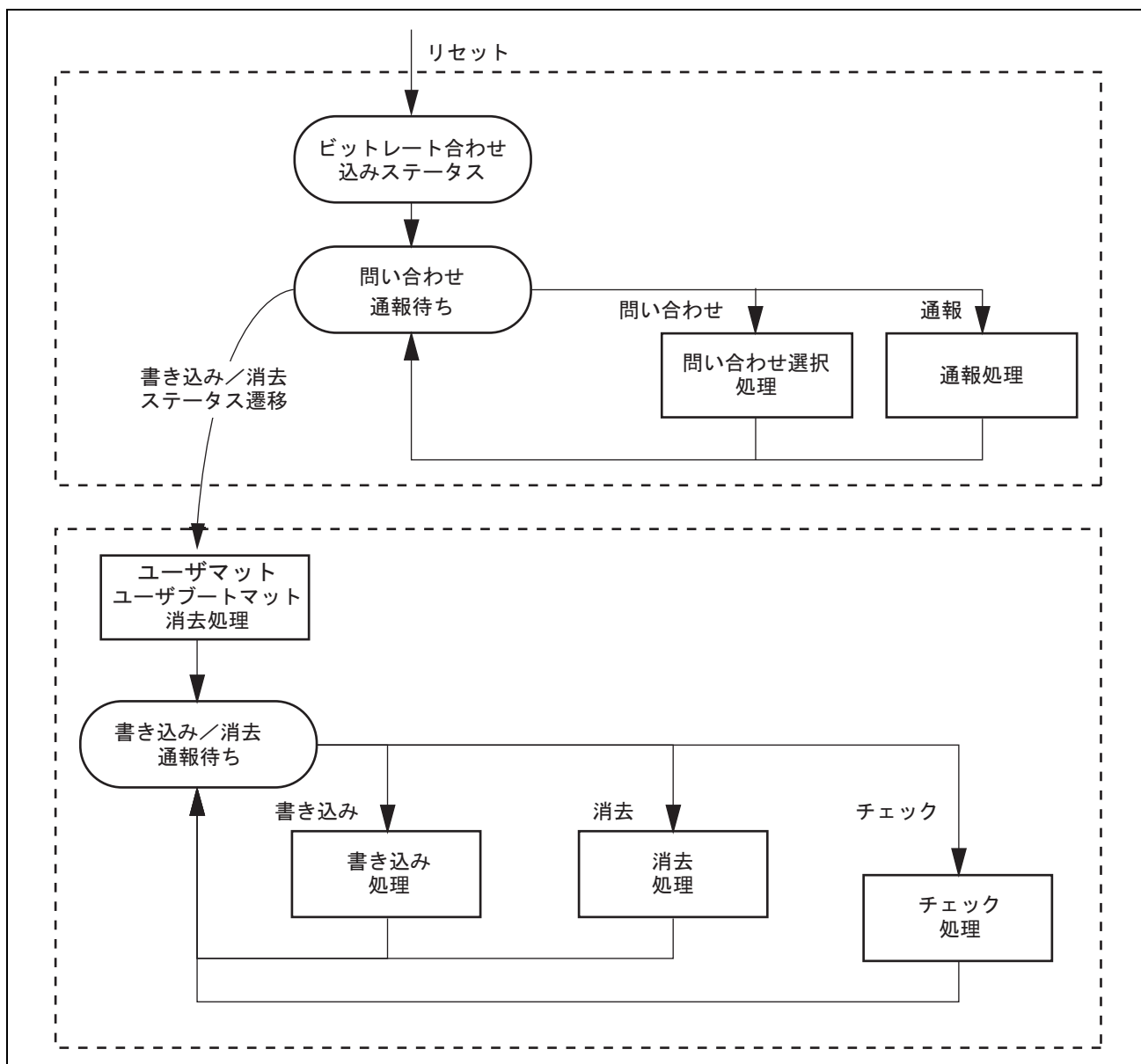


図 24.21 ブートプログラムのステータス

(1) ビットレート合わせ込みステータス

ビットレート合わせ込みは、ホストから送信された H'00 の Low 期間を測定してビットレートを計算します。このビットレートは新ビットレート選択コマンドで変更することができます。ビットレート合わせ込みが終了すると、ブートプログラムは問い合わせ選択ステータスに遷移します。ビットレート合わせ込みのシーケンスを図 24.22 に示します。

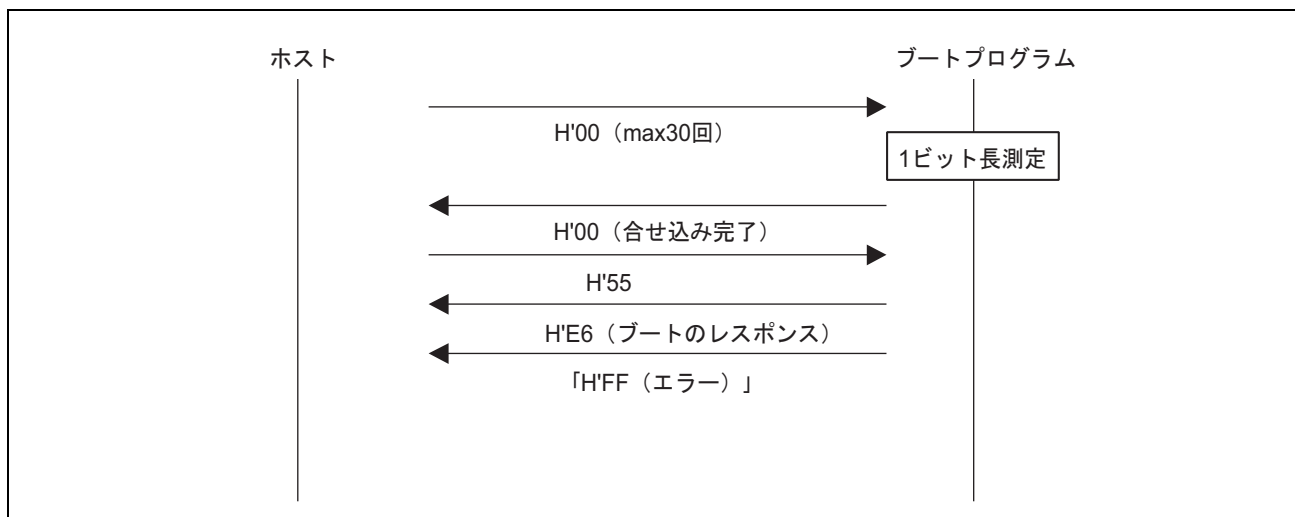


図 24.22 ビットレート合わせ込みのシーケンス

(2) 通信プロトコル

ビットレート合わせ込み終了後のホストとブートプログラムとのシリアル通信プロトコルは次のとおりです。

1. 1文字コマンドまたは1文字レスポンス

1文字のコマンドまたはレスポンスで、問い合わせと正常終了のACKがあります。

2. n文字コマンドまたはn文字レスポンス

コマンド、レスポンスにnバイトのデータを必要とするもので、選択コマンドと問い合わせに対応するレスポンスがあります。書き込みデータについては、データ長を別に決めるので、データサイズは省略します。

3. エラーレスポンス

コマンドに対するエラーレスポンスです。エラーレスポンスとエラーコードの2バイトです。

4. 128バイト書き込み

サイズのないコマンドです。データのサイズは書き込みサイズ問い合わせのレスポンスで知ることができます。

5. メモリリードのレスポンス

サイズが4バイトのレスポンスです。

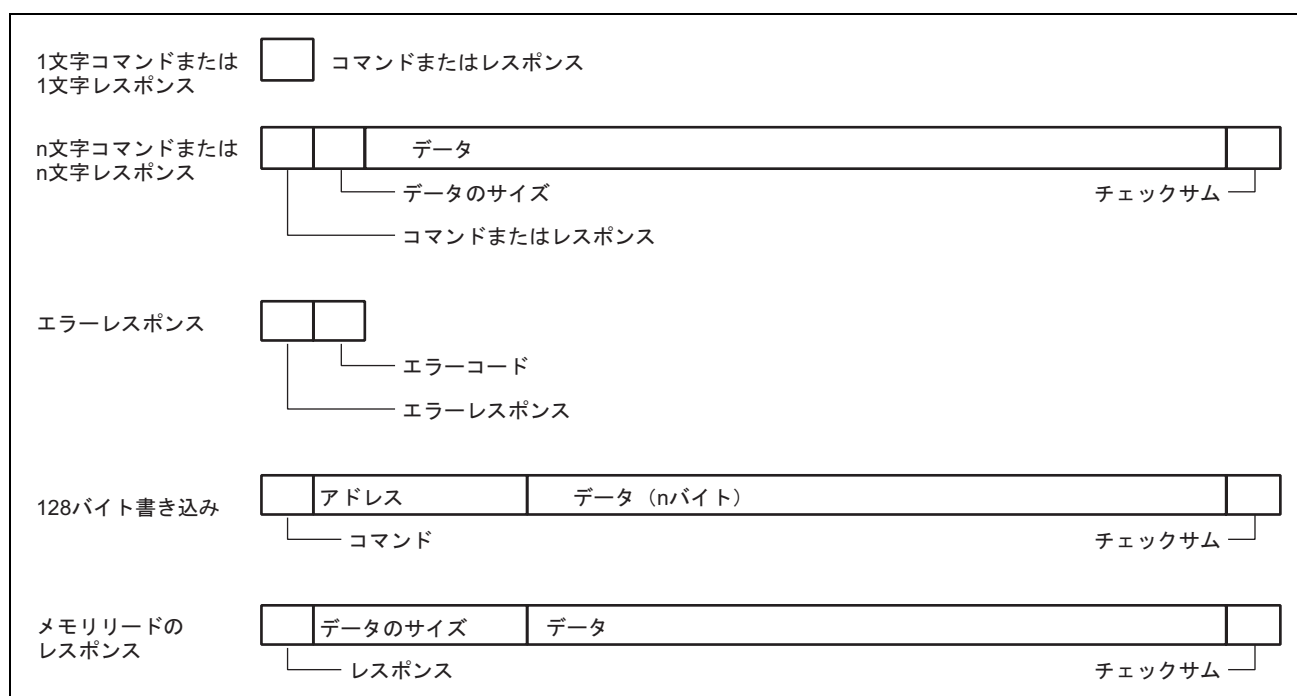


図 24.23 通信プロトコルフォーマット

- コマンド (1バイト) : 問い合わせ、選択、書き込み、消去、チェックなどのコマンド
- レスポンス (1バイト) : 問い合わせに対する応答
- サイズ (1バイト) : コマンド、サイズ、サムチェックを除いた送受信データのサイズ
- データ (nバイト) : コマンド、レスポンスの詳細データ
- チェックサム (1バイト) : コマンドからSUMまで加算し、H'00となるように設定
- エラーレスポンス (1バイト) : コマンドに対するエラーレスポンス
- エラーコード (1バイト) : 発生したエラーの種類
- アドレス (4バイト) : 書き込みアドレス
- データ (nバイト) : 書き込みデータ、nは書き込みサイズ問い合わせコマンドのレスポンスで知る
- データのサイズ (4バイト) : メモリーリードのレスポンスで4バイト長

24. フラッシュメモリ

(3) 問い合わせ選択ステータス

問い合わせ選択ステータスでは、ブートプログラムはホストからの問い合わせコマンドに対してフラッシュ ROM の情報で応答し、選択コマンドに対してデバイス、クロックモード、ビットレートを選択します。

問い合わせ選択コマンド一覧を表 24.15 に示します。

表 24.15 問い合わせ選択コマンド一覧

コマンド	コマンド名	機能
H'20	サポートデバイス問い合わせ	デバイスコードと品名の問い合わせ
H'10	デバイス選択	デバイスコードの選択
H'21	クロックモード問い合わせ	クロックモード数とそれぞれの値の問い合わせ
H'11	クロックモード選択	選択されているクロックモードの通知
H'22	逡倍比問い合わせ	逡倍比または分周比の種類数とそれぞれの個数とその値の問い合わせ
H'23	動作周波数問い合わせ	メインクロックとペリフェラルクロックの最小値最大値の問い合わせ
H'24	ユーザブートマット情報問い合わせ	ユーザブートマットの個数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'25	ユーザマット情報問い合わせ	ユーザマットの個数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'26	消去ブロック情報問い合わせ	ブロック数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'27	書き込みサイズ問い合わせ	書き込み時のデータ長の問い合わせ
H'3F	新ビットレート選択	新ビットレートの選択
H'40	書き込み／消去ステータス遷移	ユーザマット、ユーザブートマットを消去し、書き込み／消去ステータスに遷移
H'4F	ブートプログラムステータス問い合わせ	ブートの処理状態の問い合わせ

選択コマンドはデバイス選択 (H'10)、クロックモード選択 (H'11)、新ビットレート選択 (H'3F) の順に、ホストから送信してください。選択コマンドが2つ以上送信されたときは、後に送信された選択コマンドが有効になります。

これらのコマンドは、ブートプログラムステータス問い合わせ (H'4F) を除いて、書き込み／消去ステータス遷移 (H'40) を受け付けるまで有効です。ホスト側は上記のコマンド送信中、ホストが必要なものを選択して問い合わせを行うことができます。H'4F は、H'40 受付け後も有効です。

(a) サポートデバイス問い合わせ

サポートデバイス問い合わせに対して、ブートプログラムはサポート可能なデバイスのデバイスコードと製品名を応答します。

コマンド

H'20

- コマンド「H'20」（1バイト）：サポートデバイス問い合わせ

レスポンス	H'30	サイズ	デバイス数	
	文字数	デバイスコード		品名
	...			
	SUM			

- レスポンス「H'30」（1バイト）：サポートデバイス問い合わせに対する応答
- サイズ（1バイト）：コマンド、サイズ、チェックサムを除いた送受信データのサイズ、ここではデバイス数、文字数、デバイスコード、品名の合計サイズ
- デバイス数（1バイト）：マイコン内のブートプログラムがサポートする品種数
- 文字数（1バイト）：デバイスコードとブートプログラム品名の文字数
- デバイスコード（4バイト）：サポートする品名のASCIIコード
- 品名（nバイト）：ブートプログラム型名、ASCIIコード
- SUM（1バイト）：サムチェック、コマンドからSUMまで加算し、H'00となるように設定

(b) デバイス選択

デバイス選択に対して、ブートプログラムはサポートデバイスを指定されたサポートデバイスに設定します。その後の問い合わせに対して選択されたデバイスの情報を応答します。

コマンド

H'10	サイズ	デバイスコード	SUM
------	-----	---------	-----

- コマンド「H'10」（1バイト）：デバイス選択
- サイズ（1バイト）：デバイスコードの文字数、固定値で4
- デバイスコード（4バイト）：サポートデバイス問い合わせで応答したデバイスコード（ASCIIコード）
- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：デバイス選択に対する応答、デバイスコードが一致したときACK

エラーレスポンス

H'90	ERROR
------	-------

- エラーレスポンス「H'90」（1バイト）：デバイス選択に対するエラー応答
- ERROR：（1バイト）：エラーコード
 - H'11：サムチェックエラー
 - H'21：デバイスコードエラー、デバイスコードが一致しない

(c) クロックモード問い合わせ

クロックモード問い合わせに対して、ブートプログラムは選択可能なクロックモードを応答します。

コマンド

H'21

- コマンド「H'21」（1バイト）：クロックモード問い合わせ

レスポンス

H'31	サイズ	モード	...	SUM
------	-----	-----	-----	-----

- レスポンス「H'31」（1バイト）：クロックモード問い合わせに対する応答
- サイズ（1バイト）：モードの合計サイズ
- モード（1バイト）：選択可能なクロックモード（例：H'01 クロックモード1）
- SUM（1バイト）：サムチェック

(d) クロックモード選択

クロックモード選択に対して、ブートプログラムはクロックモードを指定されたモードに設定します。その後の問い合わせに対して、選択されたクロックモードの情報を応答します。

クロックモード選択コマンドはデバイス選択コマンド送信後に送信してください。

コマンド

H'11	サイズ	モード	SUM
------	-----	-----	-----

- コマンド「H'11」（1バイト）：クロックモード選択
- サイズ（1バイト）：モードの文字数、固定値で1
- モード（1バイト）：クロックモード問い合わせで応答されたクロックモード
- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：クロックモード選択に対する応答、クロックモードが一致したときACK

エラーレスポンス

H'91	ERROR
------	-------

- エラーレスポンス「H'91」（1バイト）：クロックモード選択に対するエラー応答
- ERROR：（1バイト）：エラーコード

H'11：サムチェックエラー

H'22：クロックモードエラー、クロックモードが一致しない

クロックモード問い合わせでクロックモード数がH'00、H'01の場合もそれぞれその値で、クロックモード選択をしてください。

(e) 通倍比問い合わせ

通倍比問い合わせに対して、ブートプログラムは選択可能な通倍比または分周比を応答します。

コマンド

H'22

- コマンド「H'22」（1バイト）：通倍比問い合わせ

レスポンス	H'32	サイズ	通倍種別数					
	通倍比数	通倍比	...					
	...							
	SUM							

- レスポンス「H'32」（1バイト）：通倍比問い合わせに対する応答
- サイズ（1バイト）：通倍種別数、通倍比数、通倍比の合計サイズ
- 通倍種別数（1バイト）：デバイスで選択可能な通倍の種別数
(メイン動作周波数と周辺モジュール動作周波数の2種類ならH'02)
- 通倍比数（1バイト）：各動作周波数で選択可能な通倍比数
メインモジュール、周辺モジュールで選択可能な通倍比数
- 通倍比（1バイト）
 - 通倍比： 通倍する数値（例 4通倍：H'04）
 - 分周比： 分周する数値、負の数（例 2分周：H'FE[-2]）
通倍比を通倍比数の数だけ繰り返し、通倍比数と通倍比の組み合わせを通倍種別数の数だけ繰り返す。
- SUM（1バイト）：サムチェック

(f) 動作周波数問い合わせ

動作周波数問い合わせに対して、ブートプログラムは動作周波数の数とその最小値、最大値を応答します。

コマンド

H'23

- コマンド「H'23」（1バイト）：動作周波数問い合わせ

レスポンス	H'33	サイズ	周波数の数
	動作周波数最小値		動作周波数最大値
	...		
	SUM		

- レスポンス「H'33」（1バイト）：動作周波数問い合わせに対する応答
- サイズ（1バイト）：動作周波数の数、動作周波数最小値、動作周波数最大値の合計サイズ
- 周波数の数（1バイト）：デバイスに必要な動作周波数の種類数
たとえば、メイン動作周波数と周辺モジュール動作周波数の場合は2
- 動作周波数最小値（2バイト）：逡倍あるいは分周されたクロックの最小値
動作周波数最小値、最大値は周波数（MHz）の小数点2位までの値を100倍した値（たとえば、20.00MHzのときは100倍して2000とし、H'07D0とする）
- 動作周波数最大値（2バイト）：逡倍あるいは分周されたクロックの最大値
動作周波数最大値、動作周波数最大値のデータが周波数の数だけ続く
- SUM（1バイト）：サムチェック

(g) ユーザブートマット情報問い合わせ

ユーザブートマット情報問い合わせに対して、ブートプログラムはユーザブートマットのエリア数とアドレスを応答します。

コマンド

H'24

- コマンド「H'24」（1バイト）：ユーザブートマット情報問い合わせ

レスポンス	H'34	サイズ	エリア数
	エリア先頭アドレス		エリア最終アドレス
	...		
	SUM		

- レスポンス「H'34」（1バイト）：ユーザブートマット情報問い合わせに対する応答
- サイズ（1バイト）：エリア数、エリア先頭アドレス、エリア最終アドレスの合計サイズ
- エリア数（1バイト）：連続したユーザブートマットのエリアの数
ユーザブートマットのエリアが連続の場合はH'01
- エリア先頭アドレス（4バイト）：エリアの先頭アドレス
- エリア最終アドレス（4バイト）：エリアの最終アドレス
エリア先頭アドレス、エリア最終アドレスのデータがエリア数分続く
- SUM（1バイト）：サムチェック

(h) ユーザマット情報問い合わせ

ユーザマット情報問い合わせに対して、ブートプログラムはユーザマットのエリア数とアドレスを応答します。

コマンド

H'25

- コマンド「H'25」（1バイト）：ユーザマット情報問い合わせ

レスポンス	H'35	サイズ	エリア数	
	エリア先頭アドレス			エリア最終アドレス
	...			
	SUM			

- レスポンス「H'35」（1バイト）：ユーザマット情報問い合わせに対する応答
- サイズ（1バイト）：エリア数、エリア先頭アドレス、エリア最終アドレスの合計サイズ
- エリア数（1バイト）：連続したユーザマットのエリアの数
ユーザマットのマットエリアが連続の場合はH'01
- エリア先頭アドレス（4バイト）：エリアの先頭アドレス
- エリア最終アドレス（4バイト）：エリアの最終アドレス
エリア先頭アドレス、エリア最終アドレスのデータがエリア数分続く
- SUM（1バイト）：サムチェック

(i) 消去ブロック情報問い合わせ

消去ブロック情報問い合わせに対して、ブートプログラムは消去ブロックのブロック数とそのアドレスを応答します。

コマンド

H'26

- コマンド「H'26」（1バイト）：消去ブロック情報問い合わせ

レスポンス	H'36	サイズ	ブロック数	
	ブロック先頭アドレス			ブロック最終アドレス
	...			
	SUM			

- レスポンス「H'36」（1バイト）：消去ブロック情報問い合わせに対する応答
- サイズ（2バイト）：ブロック数、ブロック先頭アドレス、ブロック最終アドレスの合計サイズ
- ブロック数（1バイト）：フラッシュメモリ消去ブロック数
- ブロック先頭アドレス（4バイト）：ブロックの先頭アドレス
- ブロック最終アドレス（4バイト）：ブロックの最終アドレス
ブロック先頭アドレス、ブロック最終アドレスのデータがブロック数分続く
- SUM（1バイト）：サムチェック

(j) 書き込みサイズ問い合わせ

書き込みサイズ問い合わせに対して、ブートプログラムは書き込みデータの書き込み単位を応答します。

コマンド

H'27

- コマンド「H'27」（1バイト）：書き込みサイズ問い合わせ

レスポンス

H'37	サイズ	書き込みサイズ	SUM
------	-----	---------	-----

- レスポンス「H'37」（1バイト）：書き込みサイズ問い合わせに対する応答
- サイズ（1バイト）：書き込み単位のサイズの文字数、固定値で2
- 書き込みサイズ（2バイト）：書き込み単位のサイズ
このサイズで書き込みデータを受け取る
- SUM（1バイト）：サムチェック

(k) 新ビットレート選択

新ビットレート選択に対して、ブートプログラムは指定されたビットレートに選択変更し、確認に対して新ビットレートで応答します。

新ビットレート選択コマンドはクロックモード選択コマンド送信後に送信してください。

コマンド	H'3F	サイズ	ビットレート	入力周波数
	逡倍種別数	逡倍比 1	逡倍比 2	
	SUM			

- コマンド「H'3F」（1バイト）：新ビットレート選択
- サイズ（1バイト）：ビットレート、入力周波数、逡倍種別数、逡倍比の合計サイズ
- ビットレート（2バイト）：新ビットレート
1/100の値とする（たとえば、19200bpsのときは192とし、H'00C0とする）
- 入力周波数（2バイト）：ブートプログラムに入力されるクロック周波数
周波数（MHz）の小数点2位までの値とする
（たとえば、20.00MHzのときは100倍して2000とし、H'07D0とする）
- 逡倍種別数（1バイト）：デバイスで選択可能な逡倍の種別数、
通常はメイン動作周波数と周辺モジュール動作周波数で2
- 逡倍比1（1バイト）：メイン動作周波数の逡倍比または分周比
逡倍比：逡倍する数値（例 4逡倍：H'04）
分周比：分周する数値、負の数値（例 2分周：H'FE[-2]）
- 逡倍比2（1バイト）：周辺動作周波数の逡倍比または分周比
逡倍比：逡倍する数値（例 4逡倍：H'04）
分周比：分周する数値、負の数値（例 2分周：H'FE[-2]）
- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：新ビットレート選択に対する応答、選択可能なときACK

エラーレスポンス

H'BF	ERROR
------	-------

- エラーレスポンス「H'BF」（1バイト）：新ビットレート選択に対するエラー応答
- ERROR：（1バイト）：エラーコード
H'11：サムチェックエラー
H'24：ビットレート選択不可エラー、指定されたビットレートが選択できない
H'25：入力周波数エラー、入力周波数が最小値と最大値の範囲にない
H'26：逡倍比エラー、逡倍比が一致しない
H'27：動作周波数エラー、動作周波数が最小値と最大値の範囲にない

(4) 受信データのチェック

受信したデータのチェック方法を以下に示します。

1. 入力周波数

受信した入力周波数の値が、すでに選択されたデバイスのクロックモードに対する入力周波数の最小値と最大値の範囲内にあるかどうかをチェックします。範囲内になれば入力周波数エラーです。

2. 通倍比

受信した通倍比または分周比の値が、すでに選択されたデバイスのクロックモードに対する通倍比または分周比と一致するかどうかをチェックします。一致しなければ通倍比エラーです。

3. 動作周波数

受信した入力周波数と通倍比または分周比とから動作周波数を計算します。入力周波数はLSIに供給される周波数で、動作周波数は実際にLSIが動作する周波数です。計算式を以下に示します。

動作周波数 = 入力周波数 × 通倍比、または、

動作周波数 = 入力周波数 ÷ 分周比

この計算した動作周波数が、すでに選択されたデバイスのクロックモードに対する動作周波数の最小値と最大値の範囲内にあるかどうかをチェックします。範囲内になれば動作周波数エラーです。

4. ビットレート

ペリフェラル動作周波数 (ϕ) とビットレート (B) から、シリアルモードレジスタ (SMR) のクロックセレクト (CKS) の値 (n) とビットレートレジスタ (BRR) の値 (N) を求め、誤差を計算し、誤差が4%未満であるかどうかをチェックします。誤差が4%以上ならばビットレート選択エラーです。誤差の計算は下記のとおりです。

$$\text{誤差 (\%)} = \left[\frac{\phi * 10^6}{(N+1) * B * 64 * 2^{(2*n-1)}} - 1 \right] * 100$$

新ビットレート選択が可能な場合は、ACK を応答した後で、新ビットレートの値にレジスタを選択します。新ビットレートでホストが ACK を送信し、ブートプログラムが新ビットレートで応答します。

確認

H'06

- 確認「H'06」（1バイト）：新ビットレートの確認

レスポンス

H'06

- レスポンス「H'06」（1バイト）：新ビットレートの確認に対する応答

新ビットレート選択のシーケンスを図 24.24 に示します。

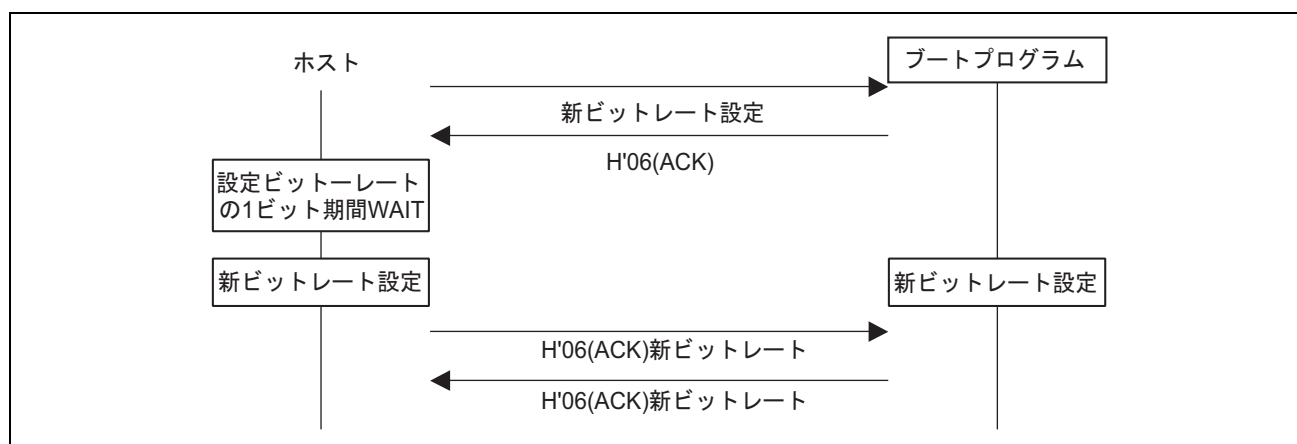


図 24.24 新ビットレート選択のシーケンス

(5) 書き込み/消去ステータス遷移

書き込み/消去ステータス遷移に対して、ブートプログラムは消去プログラムを転送し、ユーザマット、ユーザブートマットの順にデータを消去します。消去が完了すると ACK を応答し、書き込み/消去ステータスになります。

ホストは、書き込み選択コマンドと書き込みデータを送る前に、デバイス選択コマンド、クロックモード選択コマンド、新ビットレート選択コマンドで LSI のデバイス、クロックモード、新ビットレートを選択し、書き込み消去ステータス遷移コマンドをブートプログラムへ送ってください。

コマンド

H'40

- コマンド「H'40」（1バイト）：書き込み消去ステータス遷移

レスポンス

H'06

- レスポンス「H'06」（1バイト）：書き込み消去ステータス遷移に対する応答
消去プログラムを転送した後、ユーザブートマット、ユーザマットが正常にデータを消去できたときACK

エラーレスポンス

H'C0	H'51
------	------

- エラーレスポンス「H'C0」（1バイト）：ユーザブートマットのブランクチェックに対するエラー応答
- エラーコード「H'51」（1バイト）：消去エラー、エラーが発生し消去できなかった

(6) コマンドエラー

コマンドが未定義のとき、コマンドの順序が正しくないとき、あるいはコマンドを受け付けることができないとき、コマンドエラーとなります。たとえば、デバイス選択の前のクロックモード選択コマンド、書き込み消去ステータス遷移コマンドの後での問い合わせコマンドは、コマンドエラーになります。

エラーレスポンス

H'80	H'xx
------	------

- エラーレスポンス「H'80」（1バイト）：コマンドエラー
- コマンド「H'xx」（1バイト）：受信したコマンド

(7) コマンドの順序

問い合わせ選択ステータスでのコマンドの順序の例は以下のとおりです。

1. サポートデバイス問い合わせ（H'20）で、サポートデバイスを問い合わせてください。
2. 応答されたデバイス情報からデバイスを選んで、デバイス選択（H'10）をしてください。
3. クロックモード問い合わせ（H'21）で、クロックモードを問い合わせてください。
4. 応答されたクロックモードからクロックモードを選んで、クロックモード選択をしてください。
5. デバイス選択、クロックモード選択終了後、通倍比問い合わせ（H'22）、動作周波数問い合わせ（H'23）で新ビットレート選択に必要な情報を問い合わせてください。
6. 通倍比、動作周波数の情報に従って、新ボーレート選択（H'3F）をしてください。
7. デバイス選択、クロックモード選択が終了後、ユーザブートマップ情報問い合わせ（H'24）、ユーザマップ情報問い合わせ（H'25）、消去ブロック情報問い合わせ（H'26）、書き込みサイズ問い合わせ（H'27）で、ユーザブートマップ、ユーザマップへの書き込み消去情報を問い合わせてください。
8. 問い合わせと新ビットレート選択が終了後、書き込み消去ステータス遷移（H'40）を実行してください。書き込み消去ステータスに遷移します。

(8) 書き込み／消去ステータス

書き込み／消去ステータスでは、ブートプログラムは書き込み選択コマンドで書き込み方法を選択し、128バイト書き込みコマンドでデータを書き込み、消去選択コマンドとブロック消去コマンドでブロックを消去します。書き込み／消去コマンド一覧を表 24.16 に示します。

表 24.16 書き込み／消去コマンド一覧

コマンド	コマンド名	機能
H'42	ユーザブートマット書き込み選択	ユーザブートマット書き込みプログラムの転送
H'43	ユーザマット書き込み選択	ユーザマット書き込みプログラムの転送
H'50	128 バイト書き込み	128 バイト書き込み
H'48	消去選択	消去プログラムの転送
H'58	ブロック消去	ブロックデータの消去
H'52	メモリアード	メモリの読み出し
H'4A	ユーザブートマットのサムチェック	ユーザブートマットのサムチェック
H'4B	ユーザマットのサムチェック	ユーザマットのサムチェック
H'4C	ユーザブートマットのブランクチェック	ユーザブートマットのブランクチェック
H'4D	ユーザマットのブランクチェック	ユーザマットのブランクチェック
H'4F	ブートプログラムステータス問い合わせ	ブートの処理状態の問い合わせ

1. 書き込み

書き込みは書き込み選択コマンドと 128 バイト書き込みコマンドで行います。

最初に、ホストは書き込み選択コマンドを送信し書き込み方式と書き込みマットを選択します。書き込み選択コマンドは書き込みエリアと書き込み方式により以下の 2 つがあります。

- ユーザブートマット書き込み選択
- ユーザマット書き込み選択

次に 128 バイト書き込みコマンドを送信します。選択コマンドに続く 128 バイト書き込みコマンドはそれぞれ選択コマンドで指定された書き込み方式の書き込みデータと解釈します。128 バイトを超えるデータを書き込むときは 128 バイトコマンドを繰り返してください。書き込みを終了させたいときはアドレスが H'FFFFFFF の 128 バイト書き込みコマンドをホストから送信してください。書き込みが終了すると書き込み消去選択待ちになります。

続けて他の方式、他のマットの書き込みを行うときは書き込み選択コマンドから開始します。

書き込み選択コマンドと 128 バイト書き込みコマンドのシーケンスを図 24.25 に示します。

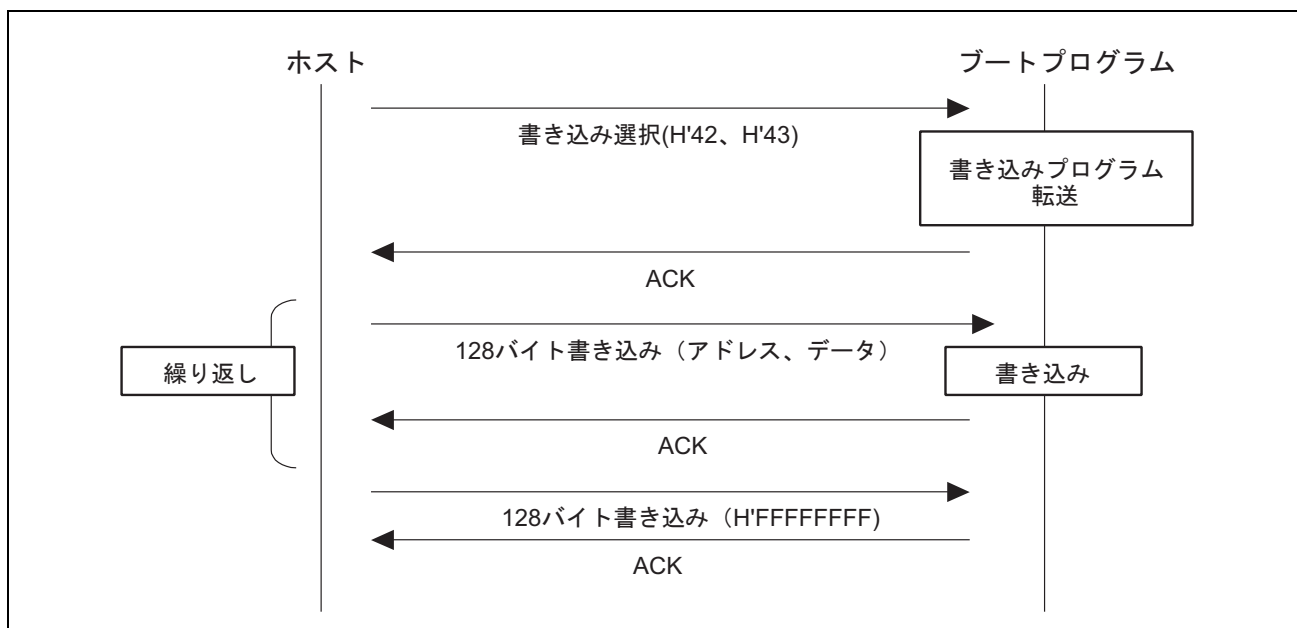


図 24.25 書き込みシーケンス

2. 消去

消去は消去選択コマンドとブロック消去コマンドで行います。

最初に消去選択コマンドで消去を選択し、次にブロック消去コマンドで指定されたブロックを消去します。消去ブロックが複数あるときはブロック消去コマンドを繰り返します。消去処理を終了するときはブロック番号 H'FF のブロック消去コマンドをホストから送信してください。消去が終了すると書き込み消去選択待ちになります。

消去選択コマンドと消去データのシーケンスを図 24.26 に示します。

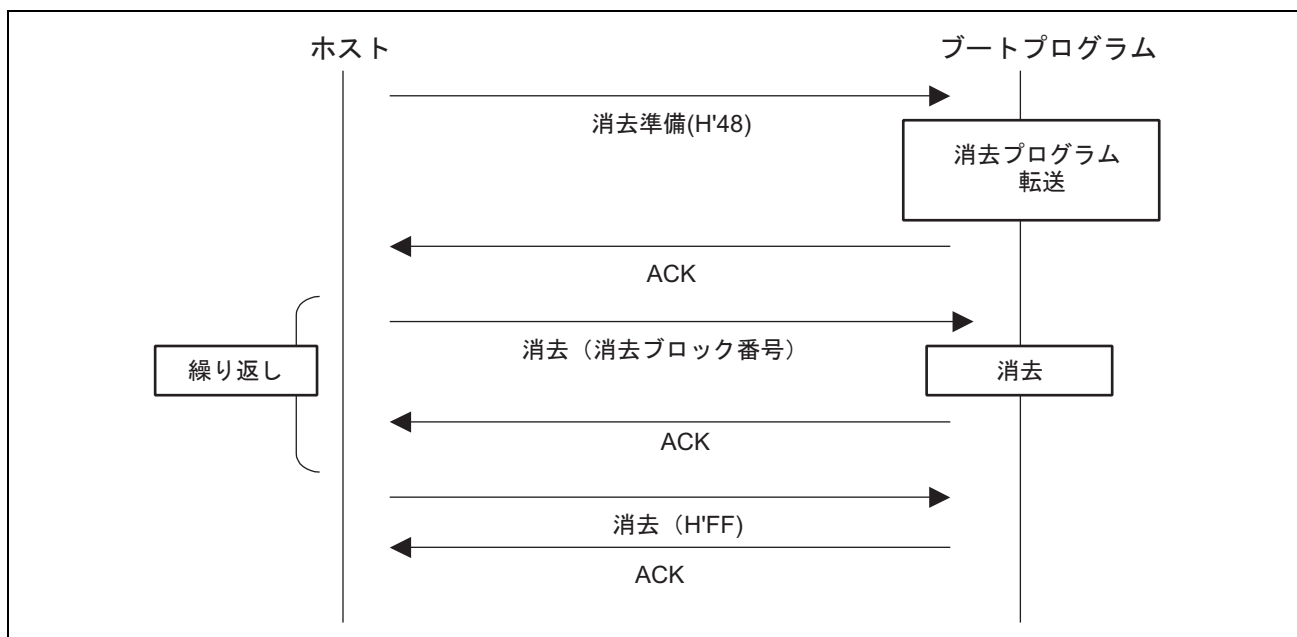


図 24.26 消去シーケンス

(a) ユーザブートマット書き込み選択

ユーザブートマット書き込み選択に対して、ブートプログラムは、書き込みプログラムを転送します。書き込みは転送した書き込みプログラムで、ユーザブートマットに書き込みます。

コマンド

H'42

- コマンド「H'42」（1バイト）：ユーザブートマット書き込み選択

レスポンス

H'06

- レスポンス「H'06」（1バイト）：ユーザブートマット書き込み選択に対する応答、書き込みプログラムを転送したときACK

エラーレスポンス

H'C2	ERROR
------	-------

- エラーレスポンス「H'C2」（1バイト）：ユーザブートマット書き込み選択に対するエラー応答
- ERROR：（1バイト）：エラーコード
H'54：選択処理エラー（転送エラーが発生し処理が完了しない）

(b) ユーザマット書き込み選択

ユーザマット書き込み選択に対して、ブートプログラムは、書き込みプログラムを転送します。書き込みは転送した書き込みプログラムで、ユーザマットに書き込みます。

コマンド

H'43

- コマンド「H'43」（1バイト）：ユーザマット書き込み選択

レスポンス

H'06

- レスポンス「H'06」（1バイト）：ユーザマット書き込み選択に対する応答、書き込みプログラムを転送したときACK

エラーレスポンス

H'C3	ERROR
------	-------

- エラーレスポンス「H'C3」（1バイト）：ユーザマット書き込み選択に対するエラー応答
- ERROR：（1バイト）：エラーコード
H'54：選択処理エラー（転送エラーが発生し処理が完了しない）

(c) 128バイト書き込み

n バイト書き込みに対して、ブートプログラムは書き込み選択で転送した書き込みプログラムで、ユーザブートマット、またはユーザマットに書き込みます。

コマンド	H'50	アドレス						
	データ	...						
	SUM							

- コマンド「H'50」（1バイト）：128バイト書き込み
- 書き込みアドレス（4バイト）：書き込み先頭アドレス、「書き込みサイズ問い合わせ」で応答したサイズの倍

数 例) H'00,H'01,H'00,H'00 : H'01000000

- 書き込みデータ（128バイト）：書き込みデータ、書き込みデータのサイズは「書き込みサイズ問い合わせ」で応答したサイズ
- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：128バイト書き込みに対する応答、書き込みが完了したときACK

エラーレスポンス

H'D0	ERROR
------	-------

- エラーレスポンス「H'D0」（1バイト）：128バイト書き込みに対するエラー応答
- ERROR：（1バイト）：エラーコード

H'11：サムチェックエラー

H'2A：アドレスエラー

アドレスが指定のマットの範囲にない。

H'53：書き込みエラー、書き込みエラーが発生し書き込めない

データ書き込みサイズに従った境界のアドレスを指定してください。たとえば、データ書き込みサイズが128バイトのときは、アドレスの下位8ビットをH'00かH'80にしてください。

ホストは、128バイト中に書き込みデータが無い部分をH'FFに埋めて送信してください。

書き込み処理を終了するときは、アドレスH'FFFFFFFFの128バイト書き込みコマンドを送信してください。アドレスH'FFFFFFFFの128バイト書き込みコマンドに対して、ブートプログラムはデータが終了したと判断し、書き込み消去選択コマンド待ちになります。

コマンド	H'50	アドレス	SUM
------	------	------	-----

- コマンド「H'50」（1バイト）：128バイト書き込み
- 書き込みアドレス（4バイト）：終了コード（H'FF,H'FF,H'FF,H'FF）
- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：128バイト書き込みに対する応答、書き込み処理が完了したときACK

エラーレスポンス

H'D0	ERROR
------	-------

- エラーレスポンス「H'D0」（1バイト）：128バイト書き込みに対するエラー応答
- ERROR：（1バイト）：エラーコード
 - H'11：サムチェックエラー
 - H'53：書き込みエラー、書き込みエラーが発生し書き込めない

(d) 消去選択

消去選択に対して、ブートプログラムは、消去プログラムを転送します。消去は転送した消去プログラムで、ユーザマットのデータを消去します。

コマンド

H'48

- コマンド「H'48」（1バイト）：消去選択

レスポンス

H'06

- レスポンス「H'06」（1バイト）：消去選択に対する応答、消去プログラムを転送したときACK

エラーレスポンス

H'C8	ERROR
------	-------

- エラーレスポンス「H'C8」（1バイト）：ユーザブートマット書き込み選択に対するエラー応答
- ERROR：（1バイト）：エラーコード
 - H'54：選択処理エラー（転送エラーが発生し処理が完了しない）

24. フラッシュメモリ

(e) ブロック消去

消去に対して、ブートプログラムは指定されたブロックを消去します。

コマンド	H'58	サイズ	ブロック番号	SUM
------	------	-----	--------	-----

- コマンド「H'58」（1バイト）：消去
- サイズ（1バイト）：消去ブロック番号の文字数、固定値で1
- ブロック番号（1バイト）：データを消去する消去ブロック番号
- SUM（1バイト）：サムチェック

レスポンス	H'06
-------	------

- レスポンス「H'06」（1バイト）：消去に対する応答、消去が完了したときACK

エラーレスポンス

H'D8	ERROR
------	-------

- エラーレスポンス「H'D8」（1バイト）：消去に対するエラー応答
- ERROR：（1バイト）：エラーコード
 - H'11：サムチェックエラー
 - H'29：ブロック番号エラー、ブロック番号が正しくない
 - H'51：消去エラー、消去中にエラー発生

ブロック番号が H'FF に対して、ブートプログラムは消去処理を終了し、選択コマンド待ち状態になります。

コマンド	H'58	サイズ	ブロック番号	SUM
------	------	-----	--------	-----

- コマンド「H'58」（1バイト）：消去
- サイズ（1バイト）：消去ブロック番号の文字数、固定値で1
- ブロック番号（1バイト）：H'FF、消去処理の終了コード
- SUM（1バイト）：サムチェック

レスポンス	H'06
-------	------

- レスポンス「H'06」（1バイト）：消去終了に対する応答、ACK

ブロック番号を H'FF で指定した後、再度、消去を行う場合は、消去選択から実行します。

(f) メモリリード

メモリリードに対して、ブートプログラムは指定されたアドレスのデータを応答します。

コマンド	H'52	サイズ	エリア	読み出しアドレス
	読み出しサイズ			SUM

- コマンド「H'52」（1バイト）：メモリリード
- サイズ（1バイト）：エリア、読み出しアドレス、読み出しサイズの合計サイズ（固定値で9）
- エリア（1バイト）
 - H'00：ユーザブートマット
 - H'01：ユーザマット
 エリアの指定が正しくないときはアドレスエラー
- 読み出しアドレス（4バイト）：読み出す先頭アドレス
- 読み出しサイズ（4バイト）：読み出すデータのサイズ
- SUM（1バイト）：サムチェック

レスポンス	H'52	読み出しアドレス						
	データ	...						
	SUM							

- レスポンス「H'52」（1バイト）：メモリリードに対する応答
- 読み出しサイズ（4バイト）：読み出すデータのサイズ
- データ（nバイト）読み出しアドレスからの読み出しサイズ分のデータ
- SUM（1バイト）：サムチェック

エラーレスポンス

H'D2	ERROR
------	-------

- エラーレスポンス「H'D2」（1バイト）：メモリリードに対するエラー応答
- ERROR：（1バイト）：エラーコード
 - H'11：サムチェックエラー
 - H'2A：アドレスエラー
 - 読み出しアドレスがマットの範囲にない
 - H'2B：サイズエラー
 - 読み出しサイズがマットの範囲を超えている

(g) ユーザブートマットのサムチェック

ユーザブートプログラムのサムチェックに対して、ブートプログラムはユーザブートプログラムのデータを加算してその結果を応答します。

コマンド

H'4A

- コマンド「H'4A」(1バイト) : ユーザブートプログラムのサムチェック

レスポンス

H'5A	サイズ	マットのサムチェック	SUM
------	-----	------------	-----

- レスポンス「H'5A」(1バイト) : ユーザブートプログラムのサムチェックに対する応答
- サイズ(1バイト) : サムチェックデータの文字数、固定値で4
- マットのサムチェック(4バイト) : ユーザブートマットのサムチェック値、バイト単位で加算
- SUM(1バイト) : サムチェック(送信データの)

(h) ユーザマットのサムチェック

ユーザプログラムのサムチェックに対して、ブートプログラムはユーザプログラムのデータを加算してその結果を応答します。

コマンド

H'4B

- コマンド「H'4B」(1バイト) : ユーザプログラムのサムチェック

レスポンス

H'5B	サイズ	マットのサムチェック	SUM
------	-----	------------	-----

- レスポンス「H'5B」(1バイト) : ユーザプログラムのサムチェックに対する応答
- サイズ(1バイト) : サムチェックデータの文字数、固定値で4
- サムチェック(4バイト) : ユーザマットのサムチェック値、バイト単位で加算
- SUM(1バイト) : サムチェック(送信データの)

(i) ユーザブートマットのブランクチェック

ユーザブートマットのブランクチェックに対して、ブートプログラムはユーザブートマットがすべてブランクであることをチェックしその結果を応答します。

コマンド

H'4C

- コマンド「H'4C」(1バイト) : ユーザブートマットのブランクチェック

レスポンス

H'06

- レスポンス「H'06」(1バイト) : ユーザブートマットのブランクチェックに対する応答、エリアがすべてブランク(H'FF)のときACK

エラーレスポンス

H'CC	H'52
------	------

- エラーレスポンス「H'CC」(1バイト) : ユーザブートマットのブランクチェックに対するエラー応答
- エラーコード「H'52」(1バイト) : 未消去エラー

(j) ユーザマットのブランクチェック

ユーザマットのブランクチェックに対して、ブートプログラムはユーザマットがすべてブランクであることをチェックしその結果を応答します。

コマンド

H'4D

- コマンド「H'4D」（1バイト）：ユーザブートマットのブランクチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：ユーザブートマットのブランクチェックに対する応答、エリアがすべてブランク（H'FF）のときACK

エラー

レスポンス

H'CD	H'52
------	------

- エラーレスポンス「H'CD」（1バイト）：ユーザブートマットのブランクチェックに対するエラー応答
- エラーコード「H'52」（1バイト）：未消去エラー

(k) ブートプログラムステータス問い合わせ

ブートプログラムステータス問い合わせに対して、ブートプログラムは現在のステータスとエラー状態を応答します。この問い合わせは、問い合わせ選択ステータス、書き込み消去ステータス、いずれも有効です。

コマンド

H'4F

- コマンド「H'4F」（1バイト）：ブートプログラムステータス問い合わせ

レスポンス

H'5F	サイズ	STATUS	ERROR	SUM
------	-----	--------	-------	-----

- レスポンス「H'5F」（1バイト）：ブートプログラムステータス問い合わせに対する応答
- サイズ（1バイト）：データの文字数、固定値で2
- STATUS（1バイト）：標準ブートプログラムのステータス
- ERROR（1バイト）：エラー状態
ERROR =0で正常
ERRORが0以外で異常
- SUM（1バイト）：サムチェック

24. フラッシュメモリ

表 24.17 ステータスコード

コード	内 容
H'11	デバイス選択待ち
H'12	クロックモード選択待ち
H'13	ビットレート選択待ち
H'1F	書き込み消去ステータス遷移待ち（ビットレート選択完了）
H'31	書き込みステータス消去中
H'3F	書き込み消去選択待ち（消去完了）
H'4F	書き込みデータ受信待ち（書き込み完了）
H'5F	消去ブロック指定待ち（消去完了）

表 24.18 エラーコード

コード	内 容
H'00	エラーなし
H'11	サムチェックエラー
H'12	プログラムサイズエラー
H'21	デバイスコード不一致エラー
H'22	クロックモード不一致エラー
H'24	ビットレート選択不可エラー
H'25	入力周波数エラー
H'26	逡倍比エラー
H'27	動作周波数エラー
H'29	ブロック番号エラー
H'2A	アドレスエラー
H'2B	データ長エラー
H'51	消去エラー
H'52	未消去エラー
H'53	書き込みエラー
H'54	選択処理エラー
H'80	コマンドエラー
H'FF	ビットレート合わせ込み確認エラー

24.14 使用上の注意事項

- 出荷品の初期状態は消去状態です。消去来歴不明チップに対しては初期化（消去）レベルをチェック、補正するために自動消去実施を推奨します。
- 本LSIのライターモードに適合するPROMライターおよびそのプログラムバージョンについては、ソケットアダプタの取り扱い説明書を参照してください。
- PROMライターのソケット、ソケットアダプタ、および製品のインデックスが一致していないと、過剰電流が流れ製品が破壊することがあります。
- PROMライターは、1Mバイトフラッシュメモリ内蔵マイコンデバイスタイプの書き込み電圧3.3Vをサポートしているものを使用してください。また、規定したソケットアダプタ以外は使用しないでください。
- 書き込み／消去中はフラッシュメモリに高電圧が印加されているため、書き込み／消去中にVcc電源の切断（マイコンチップのPROMライターからの取り外しを含む）は行わないでください。フラッシュメモリの永久破壊の可能性があります。リセット入力した場合は、100 μ s以上のリセット入力期間の後にリセットリリースしてください。
- 書き込み／消去開始からのFKEYのクリアまでの期間は、フラッシュメモリのアクセスは禁止します。書き込み／消去終了直後に、LSIモードを変更してリセット動作させる場合には、100 μ s以上のリセット入力期間（ $\overline{\text{RES}}=0$ 期間）を設けてください。なお、書き込み／消去処理中のリセット状態への遷移は禁止です。誤ってリセット入力した場合は、100 μ s以上のリセット入力期間の後にリセットリリースしてください。
- Vcc電源の印加時はRES端子をLowレベルに固定し、フラッシュメモリをハードウェアプロテクト状態にしてください。この電源投入方法は停電等による電源の切断、再投入時にも満足するようにしてください。
- オンボードプログラミングでは、128バイトの書き込み単位ブロックへの書き込みは1回のみとしてください。ライターモードでの128バイトの書き込み単位ブロックへの書き込みも1回のみとしてください。書き込みは、書き込み単位ブロックがすべて消去された状態で行ってください。
- オンボードプログラミングモードで書き込み／消去を行ったチップに対して、ライターを用いて書き換えを行う場合には、自動消去を行った後に自動書き込みを行うことを推奨します。
- フラッシュメモリへの書き込みを行う場合は、書き込みデータおよびプログラムは外部割り込みベクタテーブル以降に配置して、例外処理ベクタテーブルのシステム予約エリアには必ずall H'FFを配置してください。
- 初期化ルーチンを含む書き込みプログラム、または初期化ルーチンを含む消去プログラムのコードサイズはそれぞれ4Kバイト以内です。したがって、CPUクロック周波数が35MHzの場合、それぞれ最大で60 μ sのダウンロード時間となります。
- FCCSのSCOビット設定による内蔵プログラムのダウンロード方式をサポートしていない従来のF-ZTAT H8/H8Sマイコンで使用していたフラッシュメモリの書き込み／消去プログラムは、本LSIでは動作しません。本F-ZTAT H8SXマイコンでのフラッシュメモリへの書き込み／消去は、必ず内蔵プログラムをダウンロードして実施してください。

24. フラッシュメモリ

13. 従来のF-ZTAT H8/H8Sマイコンと異なり、書き込み/消去中または書き込み/消去プログラムのダウンロードはWDTによる暴走などへの対応は実施していません。必要に応じて、書き込み/消去の実行時間を考慮したWDTでの対応を実施してください（定期的なタイマ割り込みの使用など）。
14. 書き込み/消去プログラムのダウンロード時、SCOビットを1にセットした直後にSCOビットを0にクリアしないでください。正常なダウンロードができません。SCOビットを1にセットする命令実行の直後には、FCCSのバイトのダミーリードを必ず2回実行してください。
15. ダウンロード、初期化/書き込み/消去プログラムでは、汎用レジスタER0、ER1は保存されませんので注意してください。保存したい汎用レジスタは、手続きプログラムでダウンロード要求前、初期化、書き込み、消去の実行前に退避してください。

25. バウンダリスキャン

本LSIは、バウンダリスキャン機能を内蔵しています。バウンダリスキャンは、JTAG (Joint Test Action Group, IEEE Std.1149.1 and IEEE Standard Test Access Port and Boundary-Scan Architecture) と同等なシリアル入出力インタフェースです。

25.1 特長

- EMLE端子=0かつMCU動作モード3のときにバウンダリスキャン有効シングルチップモード
- バウンダリスキャン有効時、P62、P63、P64、P65、WDTOVFは、バウンダリスキャン専用端子
- 6種類のテストモードに対応
 - BYPASSモード
 - EXTESTモード
 - SAMPLE/PRELOADモード
 - CLAMPモード
 - HIGHZモード
 - IDCODEモード

25. バウンダリスキャン

25.2 ブロック図

バウンダリスキャンのブロック図を図 25.1 に示します。

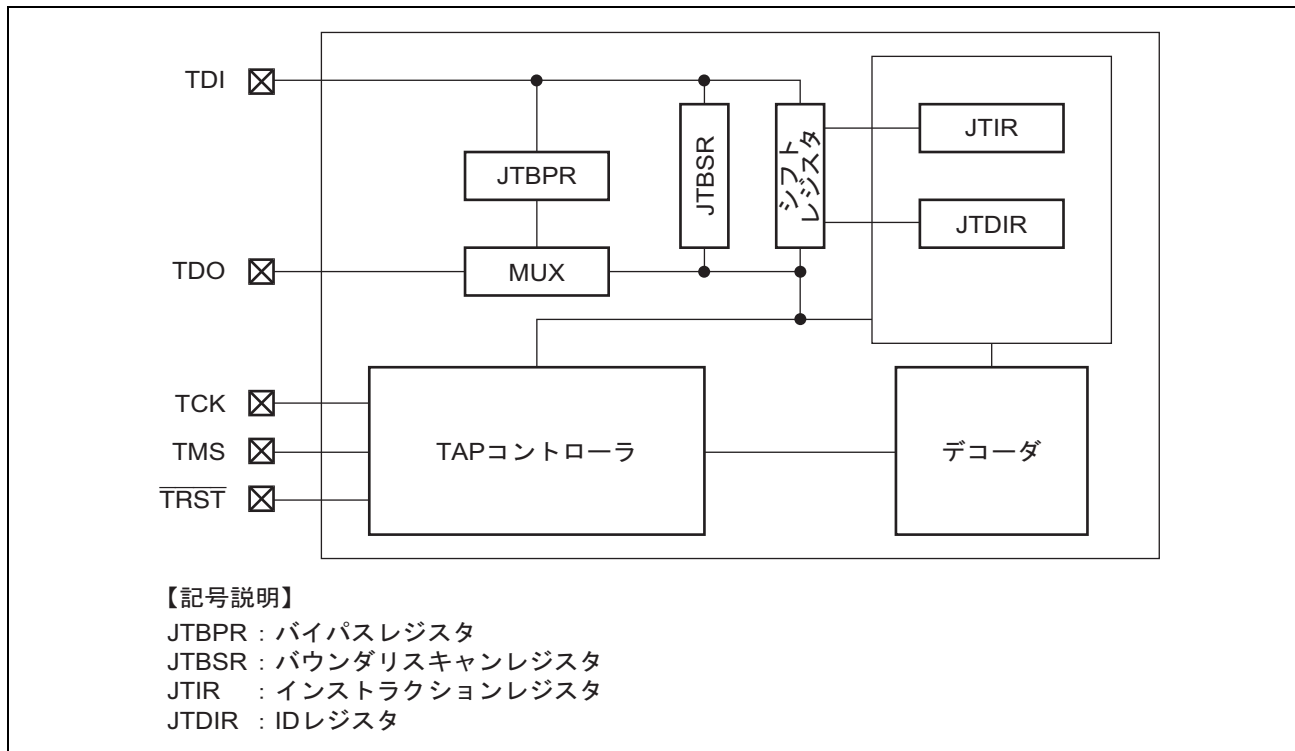


図 25.1 JTAG ブロック図

25.3 入出力端子

バウンダリスキャンの入出力端子を表 25.1 に示します。

表 25.1 JTAG の入出力端子

端子名	入出力	機能
TCK	入力	テストクロック入力 バウンダリスキャン用のクロック信号です。 バウンダリスキャン機能使用時はデューティ比 50%のクロックを入力してください。
TMS	入力	テストモードセレクト
TDI	入力	テストデータ入力
TDO	出力	テストデータ出力
TRST	入力	テストリセット入力

25.4 レジスタの説明

バウンダリスキャンには、以下のレジスタがあります。これらのレジスタは、CPUからのアクセスはできません。

- インストラクションレジスタ (JTIR)
- バイパスレジスタ (JTBPR)
- バウンダリスキャンレジスタ (JTBSR)
- IDCODEレジスタ (JTIDR)

インストラクションは、テストデータ入力端子 (TDI) からシリアル転送によりインストラクションレジスタ (JTIR) へ入力できます。バイパスレジスタ (JTBPR) は1ビットのレジスタで、BYPASSモード時にTDIとTDOはこのレジスタに接続されます。バウンダリスキャンレジスタは表 25.4 の構成のレジスタで、テストデータをシフトインするときにTDIとTDOの間に接続されます。すべてのレジスタは、CPUによるアクセスは不可能です。表 25.2 に各レジスタのシリアル転送を示します。

表 25.2 レジスタのシリアル転送

レジスタ	シリアル入力	シリアル出力
JTIR	可能	不可
JTBSR	可能	可能
JTBPR	可能	可能
JTID	不可	可能

25.4.1 インストラクションレジスタ (JTIR)

JTIR は、16 ビットのレジスタです。バウンダリスキャンのインストラクションは、TDI からのシリアル入力によって JTIR に転送することができます。

JTIR は、 $\overline{\text{TRST}}$ 端子が Low レベルまたは、TAP コントローラが Test-Logic-Reset 状態、およびハードウェアスタンバイモードのときに初期化されますが、リセットまたはソフトウェアスタンバイモードでは初期化されません。インストラクションは、4 ビット長のデータをシリアル転送してください。4 ビット長を超えるインストラクションを転送すると、シリアルデータの最後の 4 ビットを格納します。

ビット	15	14	13	12	11	10	9	8
ビット名	TS3	TS2	TS1	TS0	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	—	—	—	—	—	—	—	—
ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説明
15~12	TS3~TS0	すべて 0	—	テストビットセット コマンド構成は表 25.3 のようになります。
11~0	—	すべて 0	—	リザーブビット

表 25.3 コマンド構成

TS3	TS2	TS1	TS0	インストラクション
0	0	0	0	EXTEST
0	0	0	1	IDCODE (初期値)
0	0	1	0	CLAMP
0	0	1	1	HIGHZ
0	1	0	0	SAMPLE/PRELOAD
0	1	0	1	リザーブ
0	1	1	0	リザーブ
0	1	1	1	リザーブ
1	0	0	0	リザーブ
1	0	0	1	リザーブ
1	0	1	0	リザーブ
1	0	1	1	リザーブ
1	1	0	0	リザーブ
1	1	0	1	リザーブ
1	1	1	0	リザーブ
1	1	1	1	BYPASS

25.4.2 バイパスレジスタ (JTBPR)

JTBPR は、1 ビットのレジスタです。BYPASS モードに設定された場合、TDI と TDO は JTBPR に接続されます。CPU から JTBPR への読み出し／書き込みは行えません。

25.4.3 バウンダリスキャンレジスタ (JTBSR)

JTBSR は、本 LSI の入出力端子の制御を行うために PAD 上に配置されたシフトレジスタです。初期値は不定です。CPU からは、アクセスすることはできません。EXTEST、SAMPLE/PRELOAD、CLAMP、および HIGHZ コマンドを用いて、JTAG 規格に対応したバウンダリスキャンテストを行うことができます。表 25.4 に本 LSI の端子とバウンダリスキャンレジスタの対応を示します

25. バウンダリスキャン

表 25.4 バウンダリスキャンレジスタ

from TDI											
Pin No		端子名	入出力	ビット名	Pin No		端子名	入出力	ビット名		
LQFP-144	LFPGA-176				LQFP-144	LFPGA-176					
3	B1	PB3	入力	296	15	G3	PF3	入力	263		
			出カイナーブル	295					出カイナーブル	262	
			出力	294					出力	261	
5	D3	PB7	入力	293	17	H4	PF2	入力	260		
			出カイナーブル	292					出カイナーブル	259	
			出力	291					出力	258	
7	D2	MD2	入力	290	18	H3	PF1	入力	257		
—	E4		PM0	入力	289					出カイナーブル	256
				出力	288					出力	255
8	D1	PN0	入力	286	19	H1	PF0	入力	254		
—	E3		PM1	入力	285					出カイナーブル	253
				出力	284					出力	252
9	E2	PN1	入力	282	20	H2	PE7	入力	251		
—	E1		PM2	入力	281					出カイナーブル	250
				出力	280					出力	249
10	F4	PC5	入力	278	21	J4	PE6	入力	248		
			出カイナーブル	277					出カイナーブル	247	
			出力	276					出力	246	
11	F3	PF7	入力	275	22	J3	PE5	入力	245		
			出カイナーブル	274					出カイナーブル	244	
			出力	273					出力	243	
12	F1	PF6	入力	272	24	J2	PE4	入力	242		
			出カイナーブル	271					出カイナーブル	241	
			出力	270					出力	240	
13	F2	PF5	入力	269	26	K1	PE3	入力	239		
			出カイナーブル	268					出カイナーブル	238	
			出力	267					出力	237	
14	G4	PF4	入力	266	27	K2	PE2	入力	236		
			出カイナーブル	265					出カイナーブル	235	
			出力	264					出力	234	
			入力	266	28	L3	PE1	入力	233		
			出カイナーブル	265					出カイナーブル	232	
			出力	264					出力	231	

25. バウンダリスキャン

Pin No		端子名	入出力	ビット名	Pin No		端子名	入出力	ビット名		
LQFP-144	LFPGA-176				LQFP-144	LFPGA-176					
29	L1	PE0	入力	230	45	P6	PC0	入力	193		
			出カインェーブル	229					出カインェーブル	192	
			出力	228					出力	191	
30	L2	PD7	入力	227	46	N7	PC1	入力	190		
			出カインェーブル	226					出カインェーブル	189	
			出力	225					出力	188	
31	L4	PD6	入力	224	47	R7	PC4	入力	187		
			出カインェーブル	223					出カインェーブル	186	
			出力	222					出力	185	
33	M3	PD5	入力	221	49	M8	P20	入力	184		
			出カインェーブル	220					出カインェーブル	183	
			出力	219					出力	182	
34	N1	PD4	入力	218	51	R8	P21	入力	181		
			出カインェーブル	217					出カインェーブル	180	
			出力	216					出力	179	
35	M4	PD3	入力	215	52	P8	P22	入力	178		
			出カインェーブル	214					出カインェーブル	177	
			出力	213					出力	176	
36	N2	PD2	入力	212	53	M9	P23	入力	175		
			出カインェーブル	211					出カインェーブル	174	
			出力	210					出力	173	
37	P1	PD1	入力	209	54	N9	P24	入力	172		
			出カインェーブル	208					出カインェーブル	171	
			出力	207					出力	170	
38	P2	PD0	入力	206	55	R9	P25	入力	169		
			出カインェーブル	205					出カインェーブル	168	
			出力	204					出力	167	
40	N3	PN2	入力	203	56	P9	P30	入力	166		
—	R2		PM3	入力	202					出カインェーブル	165
				出カインェーブル	201					出力	164
			出力	200	57	M10	P31	入力	163		
41	P3	PN3	入力	199					出カインェーブル	162	
—	N4		PM4	入力	198					出力	161
					出カインェーブル	197					
			出力	196							

25. バウンダリスキャン

Pin No		端子名	入出力	ビット名	Pin No		端子名	入出力	ビット名
LQFP-144	LFPGA-176				LQFP-144	LFPGA-176			
58	N10	P32	入力	160	71	R14	PH5	入力	126
			出カイナーブル	159				出カイナーブル	125
			出力	158				出力	124
59	R10	P26	入力	157	72	P14	PH6	入力	123
			出カイナーブル	156				出カイナーブル	122
			出力	155				出力	121
60	P10	P27	入力	154	76	N15	PI1	入力	120
			出カイナーブル	153				出カイナーブル	119
			出力	152				出力	118
61	N11	NMI	入力	151	77	M14	PI2	入力	117
62	R11	P33	入力	150				出カイナーブル	116
			出カイナーブル	149				出力	115
63	P11	P34	入力	147	78	L12	PI3	入力	114
			出カイナーブル	146				出カイナーブル	113
			出力	145				出力	112
65	R12	PH0	入力	144	75	M13	PI0	入力	111
			出カイナーブル	143				出カイナーブル	110
			出力	142				出力	109
66	P12	PH1	入力	141	80	L13	PI4	入力	108
			出カイナーブル	140				出カイナーブル	107
			出力	139				出力	106
67	N12	PH2	入力	138	81	L14	PI5	入力	105
			出カイナーブル	137				出カイナーブル	104
			出力	136				出力	103
68	R13	PH3	入力	135	83	K12	PI7	入力	102
			出カイナーブル	134				出カイナーブル	101
			出力	133				出力	100
73	R15	PH7	入力	132	82	L15	PI6	入力	99
			出カイナーブル	131				出カイナーブル	98
			出力	130				出力	97
70	P13	PH4	入力	129	84	K13	P10	入力	96
			出カイナーブル	128				出カイナーブル	95
			出力	127				出力	94
					85	K15	P11	入力	93
								出カイナーブル	92
								出力	91

25. バウンダリスキャン

Pin No		端子名	入出力	ビット名	Pin No		端子名	入出力	ビット名
LQFP-144	LFBGA-176				LQFP-144	LFBGA-176			
86	K14	P12	入力 出カイネーブル 出力	90 89 88	108	B15	P61	入力 出カイネーブル 出力	54 53 52
87	J12	P13	入力 出カイネーブル 出力	87 86 85	115	B12	MD0	入力	51
89	J14	P66	入力 出カイネーブル 出力	84 83 82	116	D11	PC2	入力 出カイネーブル 出力	50 49 48
90	H12	P67	入力 出カイネーブル 出力	81 80 79	117	A12	PC3	入力 出カイネーブル 出力	47 46 45
93	G15	P14	入力 出カイネーブル 出力	78 77 76	133	B7	MD1	入力	44
94	G14	P15	入力 出カイネーブル 出力	75 74 73	42	M6	PB4	入力 出カイネーブル 出力	43 42 41
100	E14	P16	入力 出カイネーブル 出力	72 71 70	43	N6	PB5	入力 出カイネーブル 出力	40 39 38
101	E12	P17	入力 出カイネーブル 出力	69 68 67	44	R6	PB6	入力 出カイネーブル 出力	37 36 35
105	C15	P36	入力 出カイネーブル 出力	66 65 64	—	B6	MD3	入力	34
104	D13	P35	入力 出カイネーブル 出力	63 62 61	134	C5	PA0	入力 出カイネーブル 出力	33 32 31
107	C14	P60	入力 出カイネーブル 出力	60 59 58	135	A5	PA1	入力 出カイネーブル 出力	30 29 28
106	D12	P37	入力 出カイネーブル 出力	57 56 55	136	B5	PA2	入力 出カイネーブル 出力	27 26 25
					137	D5	PA3	入力 出カイネーブル 出力	24 23 22
					138	A4	PA4	入力 出カイネーブル 出力	21 20 19

25. バウンダリスキャン

Pin No		端子名	入出力	ビット名
LQFP-144	LFBGA-176			
139	B4	PA5	入力 出カイナーブル 出力	18 17 16
140	C4	PA6	入力 出カイナーブル 出力	15 14 13
142	B3	PA7	入力 出カイナーブル 出力	12 11 10
144	B2	PB0	入力 出カイナーブル 出力	9 8 7
1	A1	PB1	入力 出カイナーブル 出力	6 5 4
2	C3	PB2	入力 出カイナーブル 出力	3 2 1
to TDO				

25.4.4 IDCODE レジスタ (JTID)

JTID は、32 ビットのレジスタです。IDCODE 命令時、JTID のデータを TDO 端子から出力します。TDI 端子から JTID に書き込むことはできません。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	DID31	DID30	DID29	DID28	DID27	DID26	DID25	DID24	DID23	DID22	DID21	DID20	DID19	DID18	DID17	DID16
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	DID15	DID14	DID13	DID12	DID11	DID10	DID9	DID8	DID7	DID6	DID5	DID4	DID3	DID2	DID1	DID0
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	DID31~ DID0	H'0803A447	—	デバイス IDCODE を示す固定値のレジスタです。

25.5 動作説明

バウンダリスキャン機能は、EMLE 端子=0 かつ MCU 動作モード3 のとき、有効になります。

25.5.1 TAP コントローラ

図 25.2 に TAP コントローラの状態遷移図を示します。

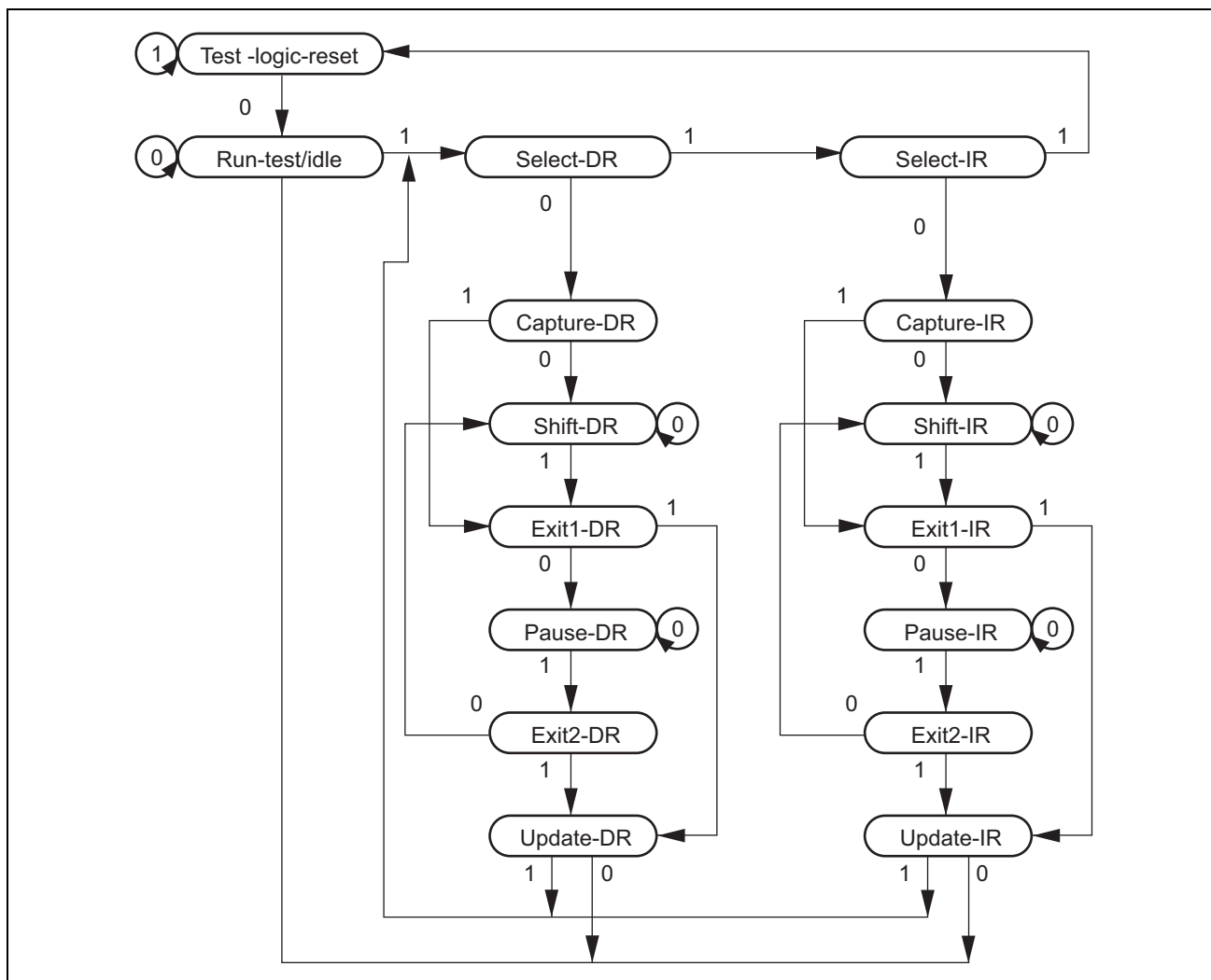


図 25.2 TAP コントローラ

25.5.2 コマンド一覧

(1) BYPASS [命令コード : B'1111]

BYPASS 命令はバイパスレジスタを動作させる命令です。この命令はシフトパスを短縮してプリント基板上の他の LSI のシリアルデータの転送速度を高速化するものです。この命令の実行中、テスト回路はシステム回路に何の影響も与えません。

TDI と TDO にはバイパスレジスタ (JTBPR) が接続されます。Shift-DR 動作でバイパス動作となります。Shift-DR の 1 クロック目では TDO=0 となり、その後の Shift-DR で TDI が TDO から出力されます。

(2) EXTEST [命令コード : B'0000]

EXTEST 命令は、本 LSI をプリント基板に実装したとき、外部回路をテストするためのものです。本命令の実行時、出力端子はバウンダリスキャンレジスタからテストデータ (SAMPLE/PRELOAD 命令ですでに設定されています) をプリント基板へ出力するために使用され、入力端子はプリント基板からバウンダリスキャンレジスタにテスト結果を取り込むために使用されます。

(3) SAMPLE/PRELOAD [命令コード B'0100]

SAMPLE/PRELOAD 命令は本 LSI の内部回路からバウンダリスキャンレジスタに値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードする命令です。本命令実行中本 LSI の入力端子はそのまま内部回路に伝達され、内部回路の値はそのまま出力端子から外部へ出力されます。本命令の実行により本 LSI のシステム回路は何の影響も受けません。

SAMPLE 動作では、入力端子から内部回路へ転送される値や内部回路から出力端子へ転送される値のスナッチショットをバウンダリスキャンレジスタに取り込みスキャンパスから読み出されます。スナッチショットの取り込みは Capture-DR 状態の TCK の立ち上がり同期して行われます。スナッチショットの取り込みは本 LSI の通常動作を妨げずに行われます。

PRELOAD 動作では、EXTEST 命令に先立ちスキャンパスからバウンダリスキャンレジスタのパラレル出力ラッチに初期値を設定します。PRELOAD 動作がないと、EXTEST 命令を実行するとき、最初のスキャンシーケンスが完了する (出力ラッチへの転送) までの間出力端子から不定値が出力される (EXTEST 命令では出力端子に常にパラレル出力ラッチを出力する) ことになります。

(4) IDCODE [命令コード : B'0001]

IDCODE 命令が選択されると、TAP コントローラの Shift-DR ステート時に IDCODE レジスタの値を LSB より TDO から出力します。この命令の実行中テスト回路はシステム回路に何も影響を与えません。TAP コントローラの Test-Logic-Reset ステート時インストラクションレジスタは IDCODE 命令に初期化されます。

25. バウンダリスキャン

(5) CLAMP [命令コード : B'0010]

CLAMP 命令が選択されると、出力端子はあらかじめ SAMPLE/PRELOAD 命令によって設定されたバウンダリスキャンレジスタの値を出力します。CLAMP 命令が選択されている間、バウンダリスキャンレジスタの状態は TAP コントローラの状態に関係なく前の状態で保持されます。

本命令では TDI 端子と TDO 端子にバイパスレジスタが接続され、BYPASS モードを選択したときと同様の動作をします。

(6) HIGHZ [命令コード : B'0011]

HIGHZ 命令が選択されると、すべての出力端子はハイインピーダンス状態となります。HIGHZ 命令が選択されている間、バウンダリスキャンレジスタの状態は TAP コントローラの状態に関係なく前の状態で保持されます。

TDI 端子と TDO 端子の間にはバイパスレジスタが接続され、BYPASS 命令が選択されたときと同様の動作をします。

25.6 使用上の注意事項

1. シリアル転送時、データの入出力はLSB側からとなります。図25.3に示します。

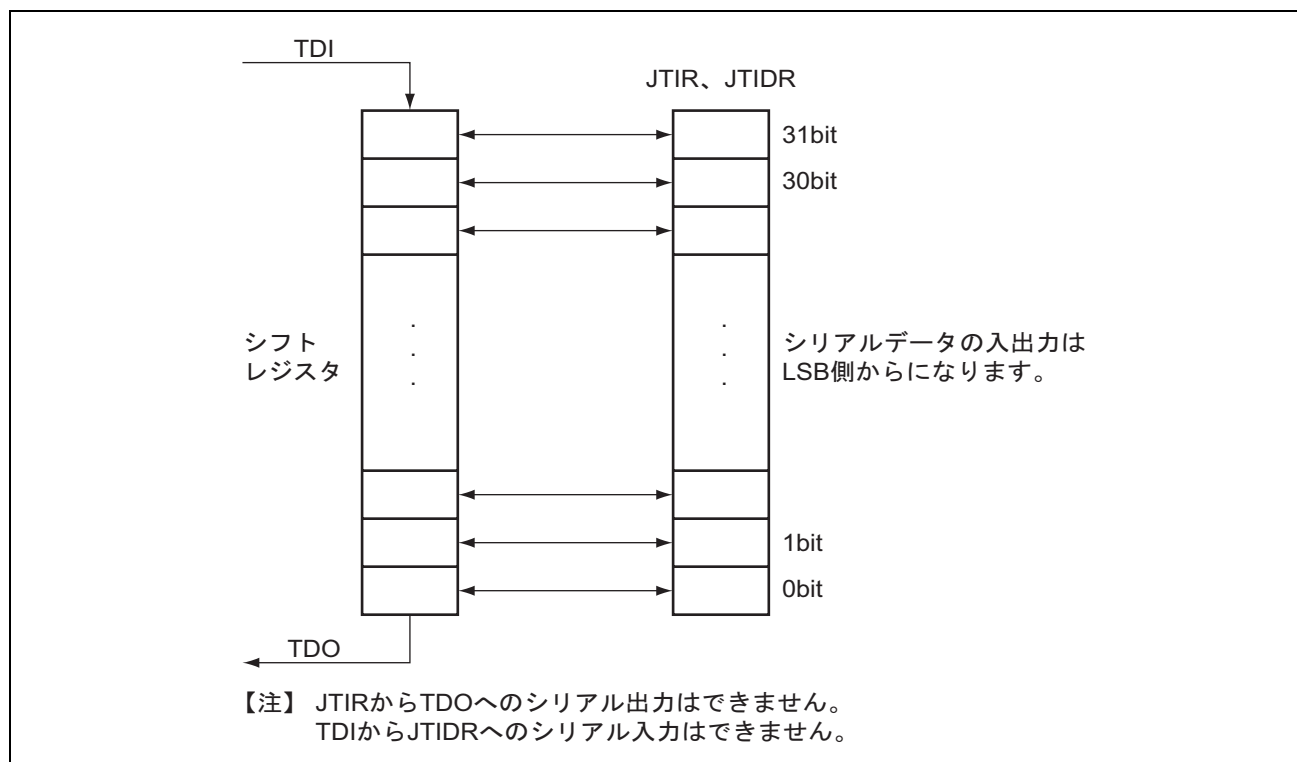


図 25.3 シリアルデータ入出力

2. オープンドレイン機能付き端子がオープンドレイン機能有効状態で、対応するOUTレジスタが1のときにSAMPLEすると、Controlレジスタは0になります（このとき端子状態はHi-Zです）。また、対応するOUTレジスタが0のときにSAMPLEするとControlレジスタは1になります（このとき端子状態は0出力です）。
3. バウンダリスキャンの端子（TCK、TDI、TMS、 $\overline{\text{TRST}}$ ）は、プルアップ抵抗にてプルアップしてください。
4. 電源端子（VCC、VCL、VSS、AVCC、AVSS、AVref、PLLVCC、PLLVSS）はバウンダリスキャン対象外です。
5. クロック端子（EXTAL、XTAL）はバウンダリスキャンの対象外です。
6. リセット、スタンバイ端子（ $\overline{\text{RES}}$ 、 $\overline{\text{STBY}}$ ）はバウンダリスキャンの対象外です。
7. バウンダリスキャンの端子（TCK、TMS、 $\overline{\text{TRST}}$ 、TDI、TDO）はバウンダリスキャン対象外です。
8. バウンダリスキャン機能は、以下のとき、使用できません。
 - (1) リセット状態
 - (2) ハードウェアスタンバイモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード

26. クロック発振器

本 LSI は、クロック発振器 (CPG : Clock Pulse Generator) を内蔵しており、システムクロック (I ϕ)、周辺モジュールクロック (P ϕ)、外部バスクロック (B ϕ) および 32K タイマ専用クロック (SUBCK) *を生成します。

クロック発振器は、メインクロック発振器、分周器、PLL (Phase Locked Loop) 回路、サブクロック発振器*、波形成形回路、セレクト回路から構成されます。クロック発振器のブロック図を図 26.1 に示します。

クロック発振器内部の分周器、PLL 回路とセレクト回路によりクロック周波数を変更できます。クロック周波数の変更は、システムクロックコントロールレジスタ (SCKCR) とサブクロックコントロールレジスタ (SUBCKCR) *の設定によりソフトウェアで行います。

クロックには CPU、バスマスタに供給されるシステムクロック、周辺モジュールに供給される周辺モジュールクロック、外部バスに供給される外部バスクロック、32K タイマ専用クロック*があります。周辺モジュールクロック、外部バスクロック、システムクロックは、それぞれ独立に周波数を設定することができます。ただし、周辺モジュールクロック、外部バスクロックは、システムクロック以下の周波数で動作します。

また、システムクロック、周辺モジュールクロック、外部バスクロックを一律 32.768kHz のサブクロック*に設定することもできます。

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート。

26. クロック発振器

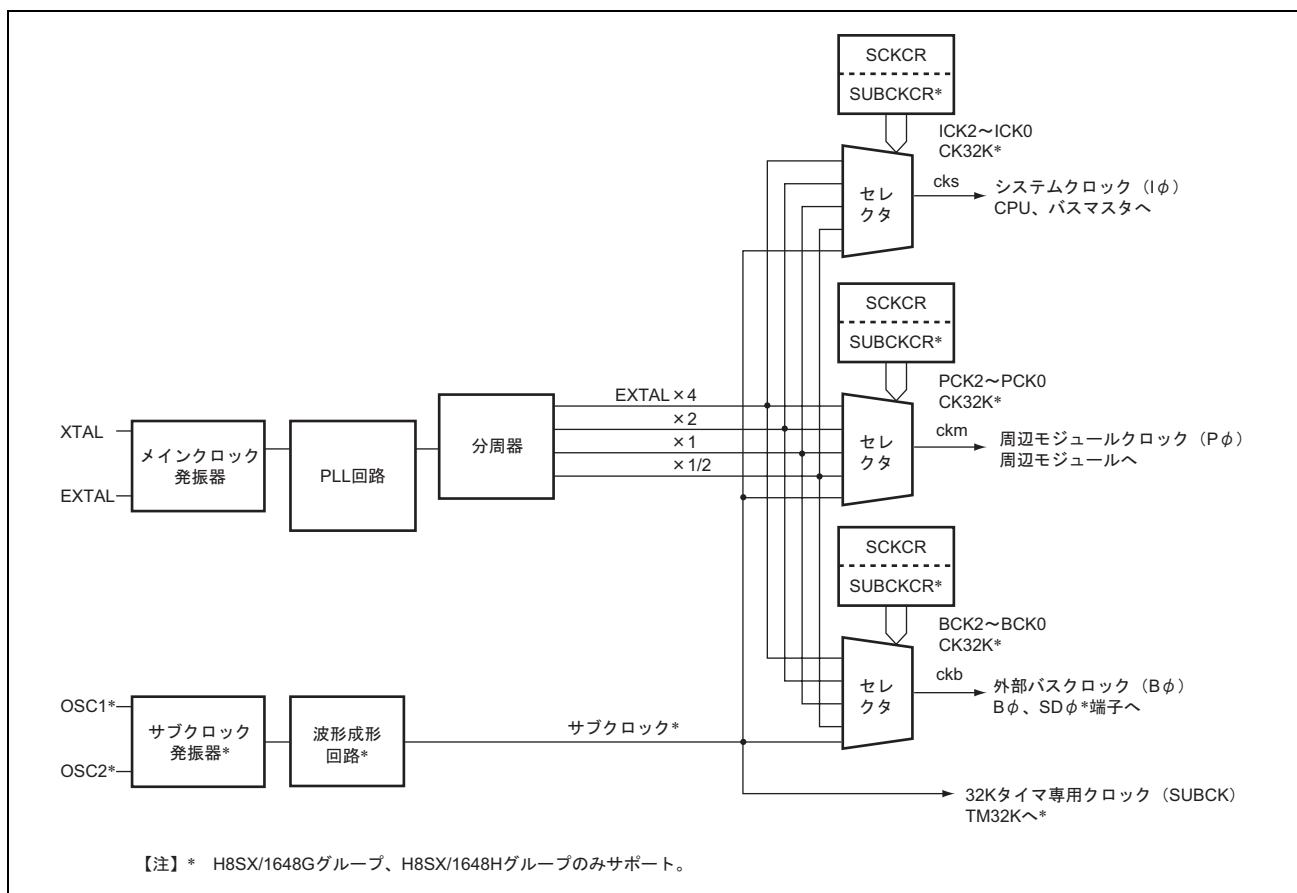


図 26.1 クロック発振器のブロック図

表 26.1 クロック発振器の選択

EXTAL 入力クロック周波数	Iφ/Pφ/Bφ
8~18MHz	EXTAL ×4、×2、×1、×1/2

26.1 レジスタの説明

クロック発振器には以下のレジスタがあります。

- システムクロックコントロールレジスタ (SCKCR)
- サブクロックコントロールレジスタ (SUBCKCR) *

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート。

26.1.1 システムクロックコントロールレジスタ (SCKCR)

SCKCRはB ϕ 出力制御とシステムクロックの周波数の制御、周辺モジュールクロックおよび外部バスクロックの周波数の制御を行います。

ビット	15	14	13	12	11	10	9	8
ビット名	PSTOP1	PSTOP0	—	—	—	ICK2	ICK1	ICK0
初期値 :	0	0	0	0	0	0	1	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	—	PCK2	PCK1	PCK0	—	BCK2	BCK1	BCK0
初期値 :	0	0	1	0	0	0	1	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PSTOP1	0	R/W	B ϕ 出力セレクトイネーブル PA7からの ϕ 出力を制御します。 通常動作状態 0 : ϕ 出力 1 : Highレベル固定
14	PSTOP0*	0	R/W	ϕ 出力セレクトイネーブル PB7からの ϕ 出力 (SDRAM ϕ) を制御します。 通常動作状態 0 : ϕ 出力 1 : Highレベル固定
13	—	0	R/W	リザーブビット
12	—	0	R/W	リード/ライト可能ですが、0をライトしてください。
11	—	0	R/W	

26. クロック発振器

ビット	ビット名	初期値	R/W	説明
10	ICK2	0	R/W	システムクロック (I ϕ) セレクト CPU、EXDMAC*、DMAC、DTC モジュールとシステムクロックの周波数を選択します。入力クロックに対する倍率を示しています。 ICK (2 : 0) 000 : $\times 4$ 001 : $\times 2$ 010 : $\times 1$ 011 : 1/2 1xx : 設定禁止 周辺モジュールおよび外部クロックより低い周波数の設定を行うと、周辺モジュールおよび外部クロックはシステムクロックと同じ周波数に変わります。
9	ICK1	1	R/W	
8	ICK0	0	R/W	
7	—	0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。
6	PCK2	0	R/W	周辺モジュールクロック (P ϕ) セレクト 周辺モジュールクロックの周波数を選択します。入力クロックに対する倍率を示しています。 PCK (2 : 0) 000 : $\times 4$ 001 : $\times 2$ 010 : $\times 1$ 011 : 1/2 1xx : 設定禁止 システムクロックより高い周波数の設定を行わないでください。 レジスタのセットは行えますが、周波数はシステムクロックと同一になります。
5	PCK1	1	R/W	
4	PCK0	0	R/W	
3	—	0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。

ビット	ビット名	初期値	R/W	説明
2	BCK2	0	R/W	外部バスクロック (B ϕ) セレクト 外部バスクロックの周波数を選択します。入力クロックに対する倍率を示しています。 BCK (2 : 0) 000 : $\times 4$ 001 : $\times 2$ 010 : $\times 1$ 011 : $1/2$ 1xx : 設定禁止 システムクロックより高い周波数の設定を行わないでください。 レジスタのセットは行えますが、周波数はシステムクロックと同一になります。
1	BCK1	1	R/W	
0	BCK0	0	R/W	

【注】 x : Don't care

* H8SX/1648G グループ、H8SX/1648H グループのみサポート。

26.1.2 サブクロックコントロールレジスタ (SUBCKCR) *

SUBCKCR は、メインクロック発振器の停止、システムクロックの動作クロックの選択、およびソフトウェアスタンバイモードから復帰時の動作クロックの選択を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	EXSTP	WAKE32K	CK32K
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
6	—	0	R/W	
5	—	0	R/W	
4	—	0	R/W	
3	—	0	R/W	
2	EXSTP	0	R/W	メインクロック発振器停止 0 : サブクロック動作時に、メインクロック発振器、PLL は発振状態となります。ただし、スタンバイモード時は停止状態となります。 1 : サブクロック動作時に、メインクロック発振器、PLL は停止状態となります。

26. クロック発振器

ビット	ビット名	初期値	R/W	説明
1	WAKE32K	0	R/W	<p>ウェイクアップクロックセレクト</p> <p>このビットはサブクロック動作よりソフトウェアスタンバイモードに遷移し、割り込みにより復帰するときのシステムクロックの動作クロックを選択します。</p> <p>0：ソフトウェアスタンバイモード解除後はメインクロック動作に遷移します。</p> <p>1：ソフトウェアスタンバイモード解除後はサブクロック動作に遷移します。ただし、ビット0のCK32Kが1状態のときに設定値が有効となります。</p>
0	CK32K	0	R/W	<p>サブクロックセレクト</p> <p>0：システムクロック (Iφ)、周辺モジュールクロック (Pφ)、外部バスクロック (Bφ) がメインクロックで動作します。</p> <p>1：システムクロック (Iφ)、周辺モジュールクロック (Pφ)、外部バスクロック (Bφ) がサブクロックで動作します。</p> <p>TCR32K レジスタの OSC32STP ビットが1のときは、本ビットへの1ライトができません。WAKE32K の設定値が0の状態にてソフトウェアスタンバイモードを解除すると、本ビットは0クリアされます。本ビットライト直後は、本ビットのダミーリードを必ず2回実行してください。</p>

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート。

26.2 発振器

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法があります。

26.2.1 水晶発振子を接続する方法

水晶発振子を接続する場合の接続例を図 26.2 に示します。ダンピング抵抗 R_d は、表 26.2 に示すものを使用してください。また、水晶発振子は、AT カット並列共振形を使用してください。

水晶発振子を接続してクロックを供給する場合、接続する水晶発振子は、8~18MHz としてください。

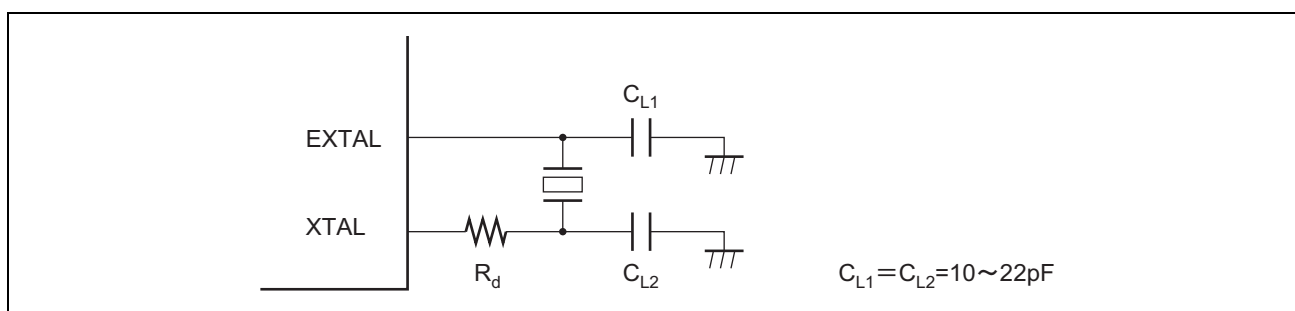


図 26.2 水晶発振子の接続例

表 26.2 ダンピング抵抗値

周波数 (MHz)	8	12	16	18
R_d (Ω)	200	0	0	0

水晶発振子の等価回路を図 26.3 に示します。水晶発振子は表 26.3 に示す特性のものを使用してください。

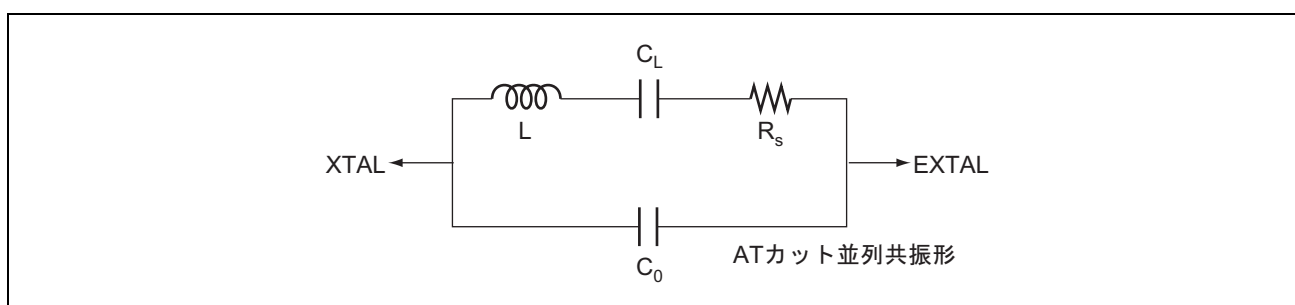


図 26.3 水晶発振子の等価回路

表 26.3 水晶発振子の特性

周波数 (MHz)	8	12	16	18
R_s max (Ω)	80	60	50	40
C_0 max (pF)	7			

26.2.2 外部クロックを入力する方法

外部クロック入力の接続例を図 26.4 に示します。XTAL 端子をオープン状態にする場合、寄生容量は 10pF 以下にしてください。XTAL 端子に逆相クロックを入力する場合、スタンバイモード時は外部クロックを High レベルにしてください。

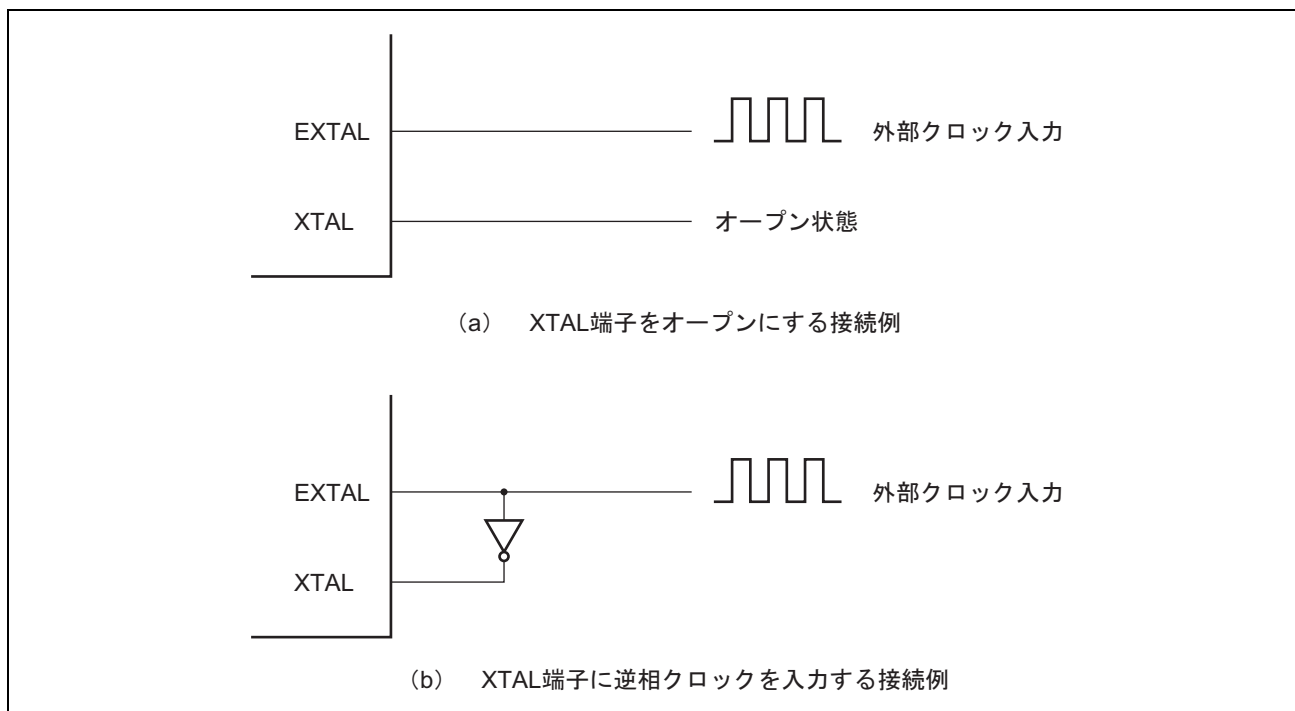


図 26.4 外部クロックの接続例

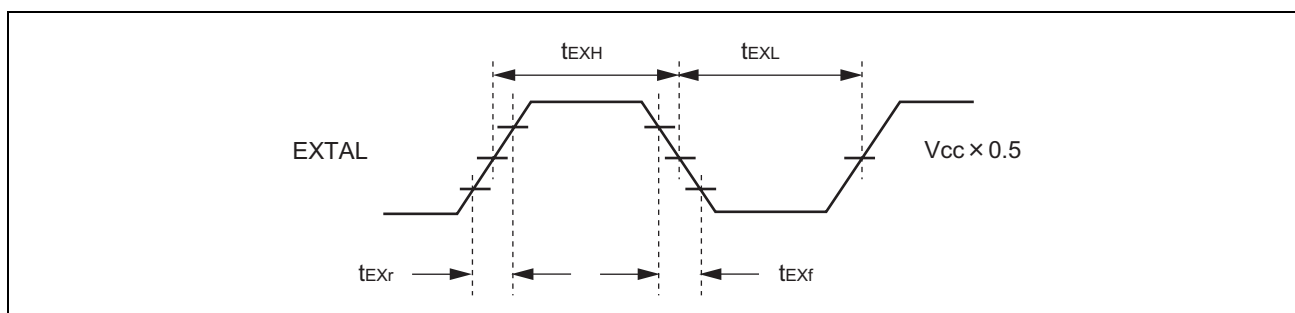


図 26.5 外部クロック入力タイミング

26.3 PLL 回路

PLL 回路は、発振器からの周波数を最大 4 倍に逡倍する機能を持っています。周波数逡倍率は固定です。このとき、内部クロックの立ち上がりエッジの相位は EXTAL 端子の立ち上がりエッジの相位に一致するように制御されます。

26.4 分周器

分周器は、PLL クロックを分周し、1/2、1/4、1/8 のクロックを生成します。ICK2、ICK1、ICK0、PCK2、PCK1、PCK0、BCK2、BCK1、BCK0 ビット書き換え後に、変更後の周波数で本 LSI は動作します。

26.5 サブクロック発振器*

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート。

26.5.1 32.768kHz 水晶発振子を接続する方法

サブクロック発振器へクロックを供給するには図 26.6 に示すように 32.768kHz の水晶発振子を接続します。接続する場合の注意事項については、「26.6.3 ボード設計上の注意」と同様です。

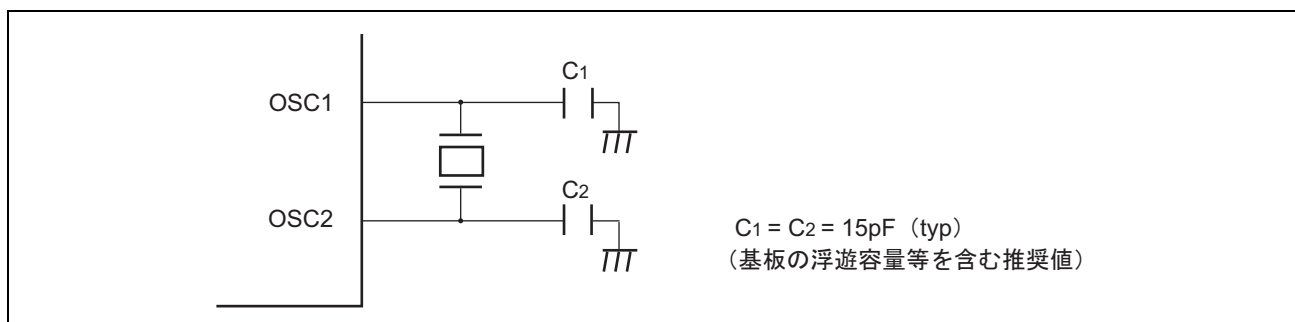


図 26.6 32.768kHz 水晶発振子の接続例

図 26.7 に 32.768kHz 水晶発振子の等価回路を示します。

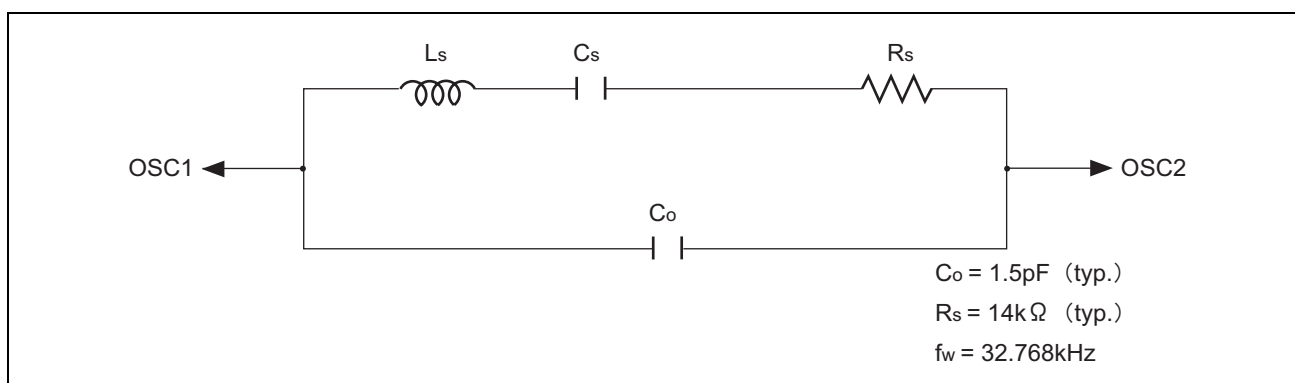


図 26.7 32.768kHz 水晶発振子の等価回路

26.5.2 サブクロックを使用しない場合の端子処理

サブクロックを必要としない場合には、図 26.8 に示すように OSC1 端子を Vss に接続し、OSC2 端子をオープンとしてください。

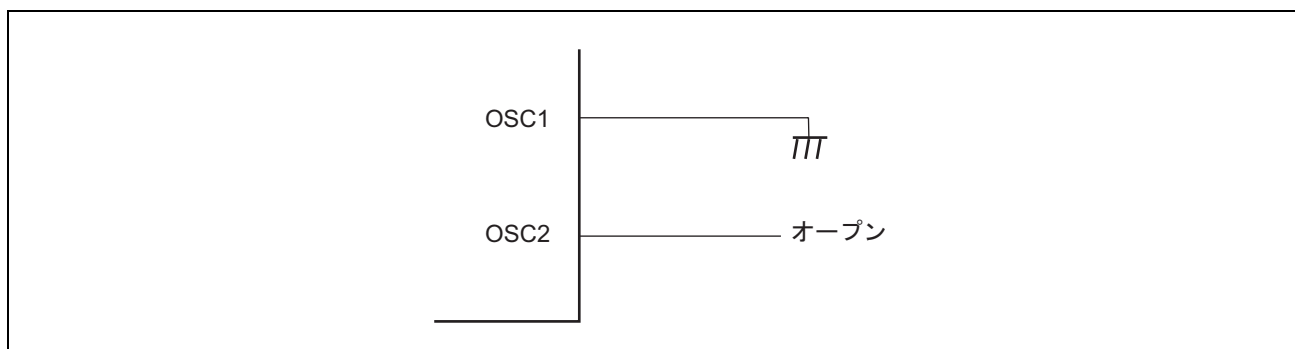


図 26.8 サブクロックを使用しない場合の端子処理

26.6 使用上の注意事項

26.6.1 クロック発振器に関する使用上の注意事項

SCKCRの設定により各モジュールに供給される ϕ ($I\phi$: システムクロック、 $P\phi$: 周辺モジュールクロック、 $B\phi$: 外部バスクロック) の周波数が変わりますので、以下の点に注意してください。各周波数は電気的特性のACタイミングのクロックサイクル時間 t_{cyc} の動作保証範囲内に収まるように選択してください。

すなわち、

$I\phi \text{ min}=8\text{MHz}$ 、 $P\phi \text{ min}=8\text{MHz}$ 、 $B\phi \text{ min}=8\text{MHz}$ 、

$I\phi \text{ max}=50\text{MHz}$ 、 $P\phi \text{ max}=35\text{MHz}$ 、 $B\phi \text{ max}=50\text{MHz}$ として、

$I\phi < 8\text{MHz}$ 、 $I\phi > 50\text{MHz}$ 、 $P\phi < 8\text{MHz}$ 、 $P\phi > 35\text{MHz}$ 、 $B\phi < 8\text{MHz}$ 、 $B\phi > 50\text{MHz}$

とならないように注意してください。

周辺モジュール (EXDMAC、DMAC、DTCを除く) は、すべて $P\phi$ を基準に動作します。このため、周波数変更の前後でタイマやSCIなどの時間処理が変わりますので注意してください。

また、ソフトウェアスタンバイモード解除用の待機時間も周波数を変更することで変わります。詳細は「27.7.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定」を参照してください。

システムクロック、周辺モジュールクロック、外部バスクロックとの間には、 $I\phi \geq P\phi$ 、 $I\phi \geq B\phi$ の関係が成り立っており、かつシステムクロックの設定が優先されます。そのため、 $P\phi$ 、 $B\phi$ が、 $PCK2\sim 0$ 、 $BCK2\sim 0$ のレジスタ設定の周波数ではなく、 $ICK2\sim 0$ で設定した周波数になることがあります。

ライトデータバッファ機能などを用いて、外部バスサイクル実行中にSCKCR0あるいはSUBCKCR*の設定を行うと、バスサイクル中に ϕ の周波数が変わりますので注意してください。

図26.9にクロック変更タイミングを示します。SCKCRに値をライトした後、現在実行しているバスサイクル終了を待ちます。そのバスサイクル終了後、外部入力クロック ϕ に対して最大1サイクル後に各クロックの周波数が変更されます。

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート。

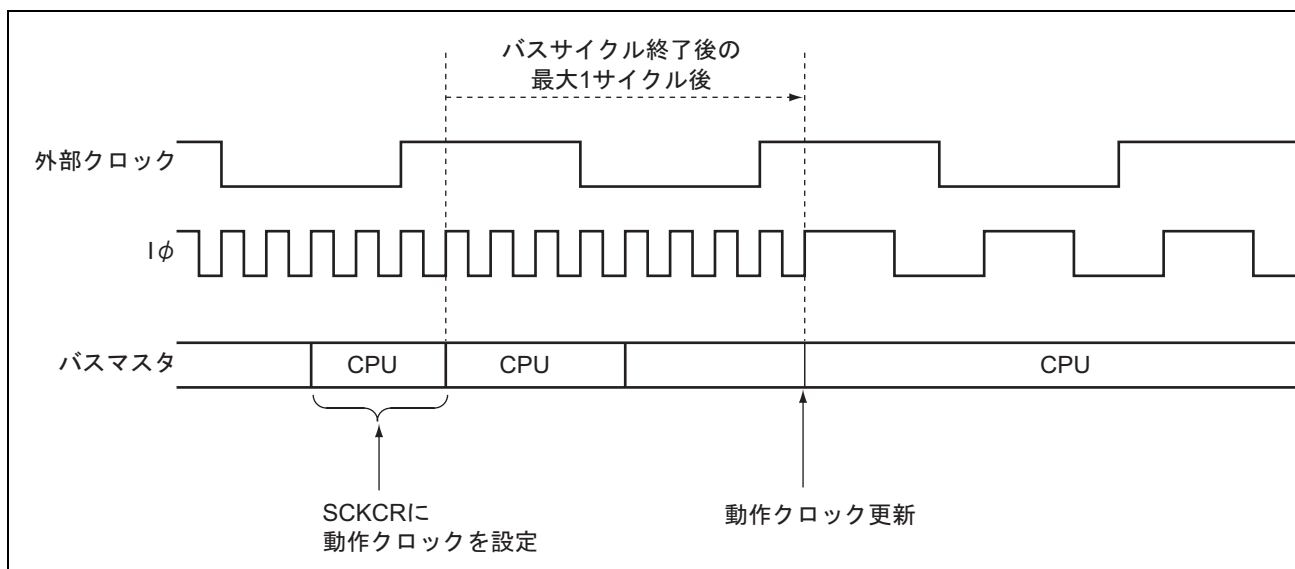


図 26.9 クロック変更タイミング

26.6.2 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定数は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

26.6.3 ボード設計上の注意

水晶発振子を使用する場合は、発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。図 26.10 に示すように発振回路の近くには信号線を通過させないでください。誘導により正しい発振ができなくなることがあります。

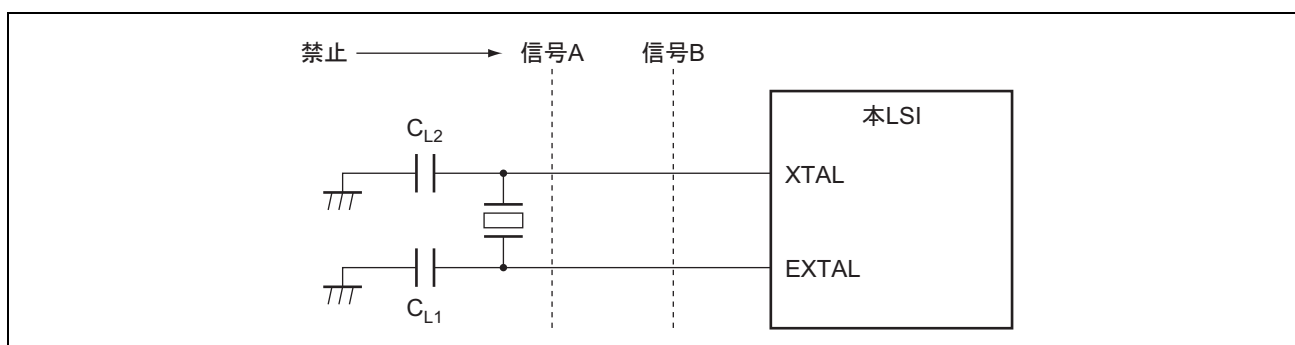


図 26.10 発振回路部のボード設計に関する注意事項

PLL 回路の外付け推奨回路を図 26.11 に示します。PLL V_{cc} 、PLL V_{ss} と V_{cc} 、 V_{ss} はボードの電源供給元から分離し、端子の近くにバイパスコンデンサ CPB および CB を必ず挿入してください。

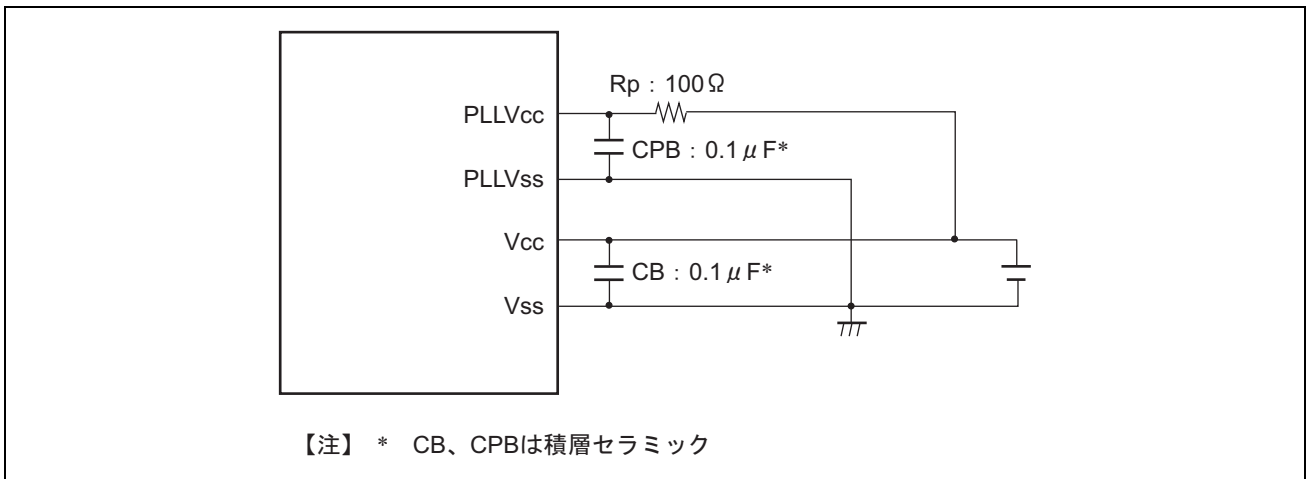


図 26.11 PLL 回路の外付け推奨回路

27. 低消費電力

本 LSI には、消費電力低減機能としてマルチクロック機能、モジュールストップ機能、および低消費電力状態への遷移機能があります。

27.1 特長

- マルチクロック機能
システムクロック、周辺モジュールクロック、外部バスクロックに対し独立に分周比を設定することが可能
システムクロック、周辺モジュールクロック、外部バスクロックを一律32.768KHzのサブクロックにすることが可能*
- モジュールストップ機能
周辺モジュール毎に機能を停止し、低消費電力状態にすることが可能
- 低消費電力状態への遷移機能
CPU、周辺モジュール、発振器を停止する低消費電力状態にすることが可能
- 低消費電力状態：5種類
スリープモード
全モジュールクロックストップモード
ソフトウェアスタンバイモード
ディープソフトウェアスタンバイモード
ハードウェアスタンバイモード

表 27.1 に、低消費電力状態への遷移条件と CPU や周辺モジュールなどの状態、および各モードの解除方法を示します。リセット後は、通常のプログラム動作で DTC、DMAC、EXDMAC*以外のモジュールは停止状態です。

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート。

表 27.1 動作状態

動作状態	スリープ モード	全モジュール クロックストップ モード	ソフトウェア スタンバイモード	ディープ ソフトウェア スタンバイモード	ハードウェア スタンバイモード
遷移条件	制御レジスタ+ 命令	制御レジスタ+ 命令	制御レジスタ+ 命令	制御レジスタ+ 命令	端子入力
解除方法	割り込み	割り込み* ²	割り込み* ⁸	割り込み* ⁸	
発振器	動作	動作	停止	停止	停止
サブクロック 発振器* ¹⁰	動作* ⁹	動作* ⁹	動作* ⁹	動作* ⁹	停止
CPU	停止 (保持)	停止 (保持)	停止 (保持)	停止 (不定)	停止 (不定)
内蔵 RAM_6~4 (H'FEE000~ H'FF3FFF)	動作 (保持)	停止 (保持)	停止 (保持)	停止 (不定)	停止 (不定)
内蔵 RAM_3~0 (H'FF4000~ H'FFBFFF)	動作 (保持)	停止 (保持)	停止 (保持)	停止 (保持/不定* ⁵)	停止 (不定)
ウォッチドッグ タイマ	動作	動作	停止 (保持)	停止 (不定)	停止 (不定)
8ビットタイマ (ユニット 0/1)	動作	動作* ⁴	停止 (保持)	停止 (不定)	停止 (不定)
32K タイマ* ¹⁰	動作	動作	動作	動作	停止
電圧検出回路* ¹¹	動作	動作	動作	動作	停止
パワーオン リセット回路* ¹¹	動作	動作	動作	動作	停止
周辺モジュール	動作	停止* ¹	停止* ¹	停止* ⁷ (不定)	停止* ³ (不定)
I/O ポート	動作	保持	保持* ⁶	保持* ⁶	ハイ インピーダンス

【注】 停止（保持）は、内部レジスタ値保持、内部状態は動作中断を示します。

停止（不定）は、内部レジスタ値不定、内部状態は電源オフを示します。

*1 SCI はリセット状態、その他の周辺モジュールは状態を保持します。

*2 外部割り込み、一部の内部割り込み（8ビットタイマ、ウォッチドッグタイマ）

*3 すべての周辺モジュールはリセット状態になります。

*4 MSTPCRA の MSTPA9、8ビットの設定により、動作/停止を選択することができます。

*5 DPSBYCR の RAMCUT2~0ビットの設定により、保持/不定を選択することができます。

*6 SBYCR の OPE ビットの設定により、アドレスバス、バス制御信号 ($\overline{CS0}$ ~ $\overline{CS7}$ 、 \overline{AS} 、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR}) の保持/ハイインピーダンスを選択することができます。

*7 一部の周辺モジュールは保持状態になります。

*8 外部割り込み、32K タイマ割り込み*¹⁰、電圧監視割り込み*¹¹

*9 TCR32K の OSC32STP ビットの設定により、動作／停止を選択することができます。

*10 H8SX/1648G グループ、H8SX/1648H グループのみサポート

*11 H8SX/1648L グループ、H8SX/1648H グループのみサポート

27. 低消費電力

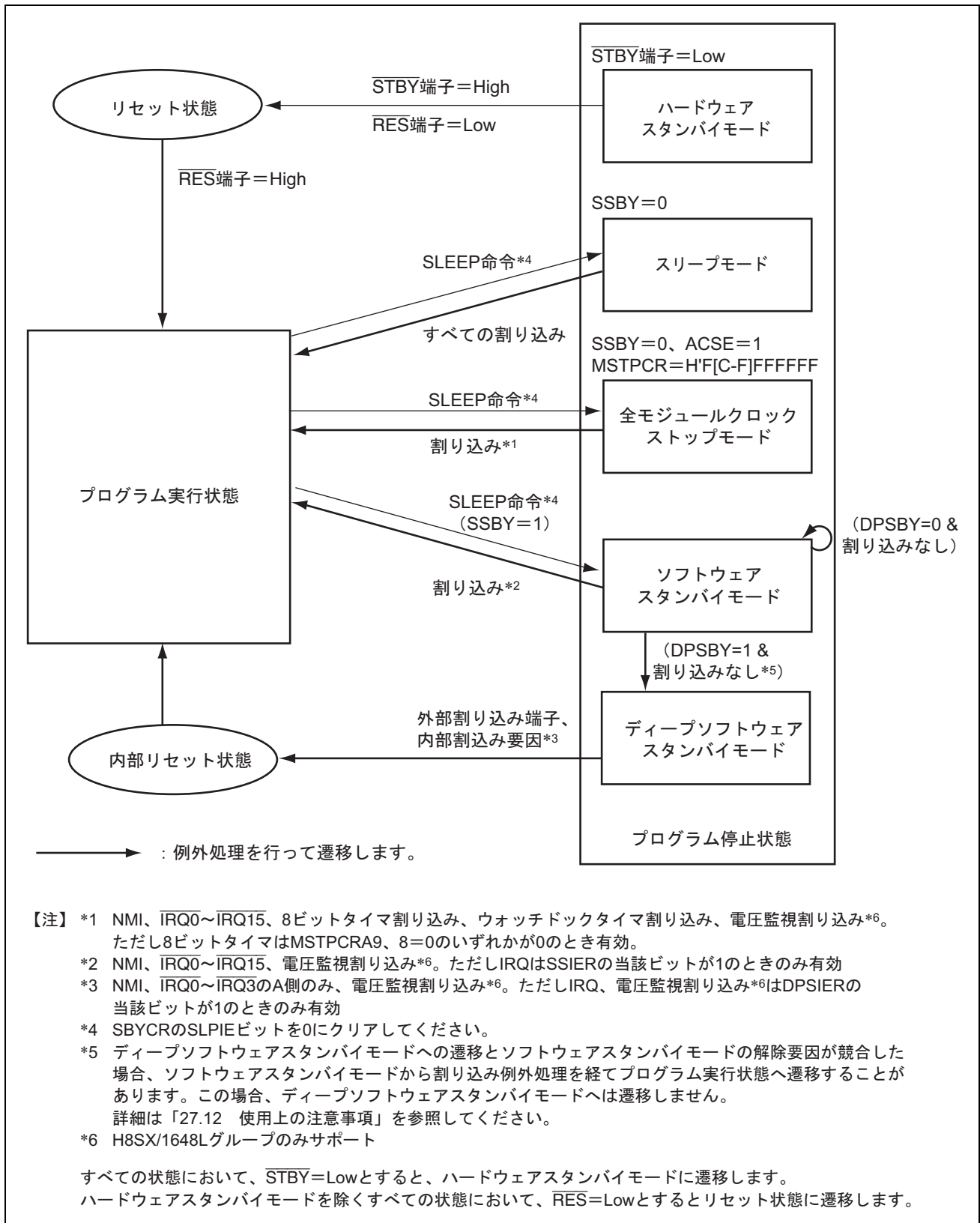


図 27.1 (1) モード遷移 (H8SX/1648 グループ、H8SX/1648A グループ、H8SX/1648L グループ)

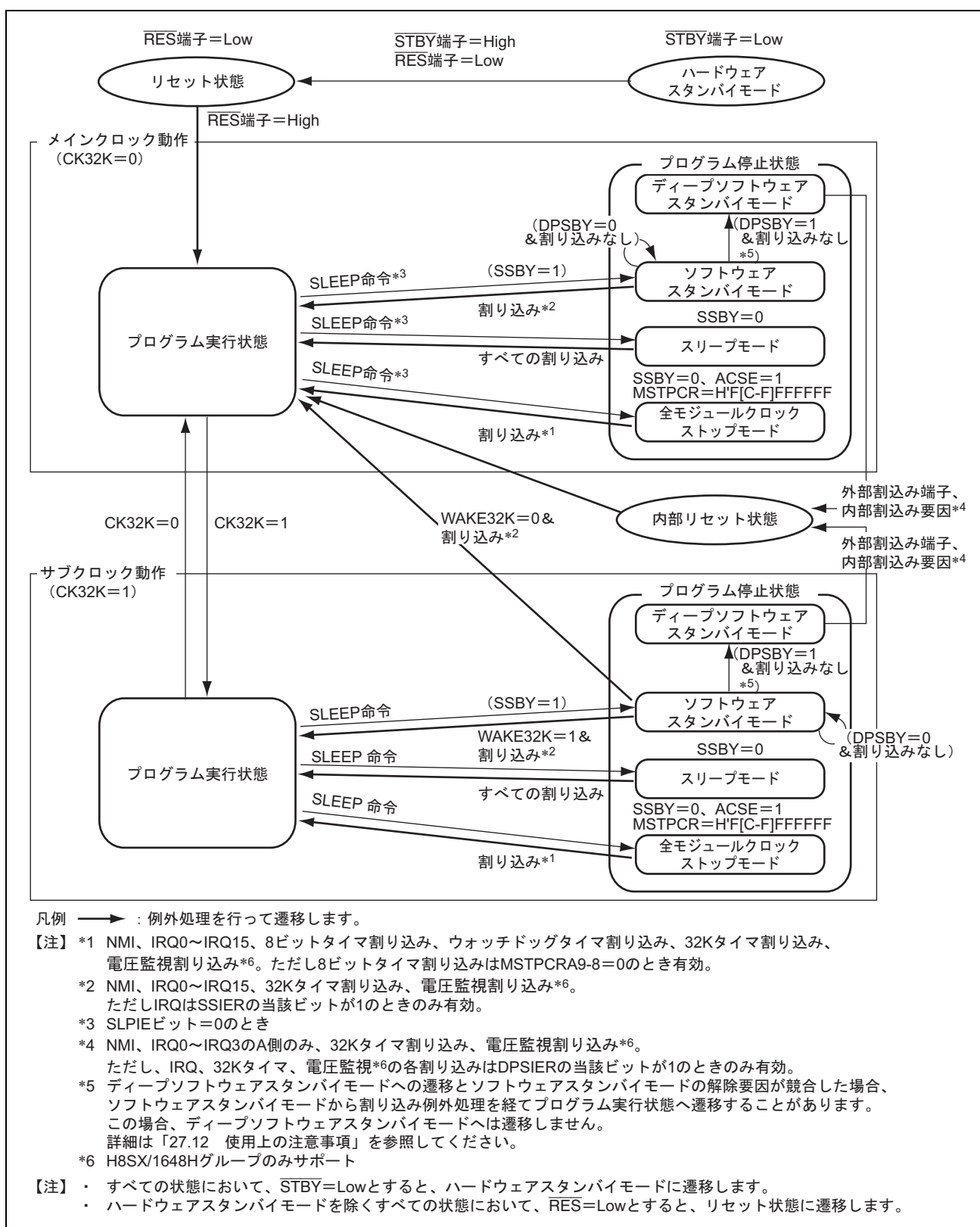


図 27.1 (2) モード遷移 (H8SX/1648G グループ、H8SX/1648H グループ)

27.2 レジスタの説明

消費電力モードに関連するレジスタには以下のものがあります。システムクロックコントロールレジスタ (SCKCR) については「26.1.1 システムクロックコントロールレジスタ (SCKCR)」を参照してください。

- スタンバイコントロールレジスタ (SBYCR)
- モジュールストップコントロールレジスタA (MSTPCRA)
- モジュールストップコントロールレジスタB (MSTPCRB)
- モジュールストップコントロールレジスタC (MSTPCRC)
- ディープスタンバイコントロールレジスタ (DPSBYCR)
- ディープスタンバイウェイトコントロールレジスタ (DPSWCR)
- ディープスタンバイインタラプトイネーブルレジスタ (DPSIER)
- ディープスタンバイインタラプトフラグレジスタ (DPSIFR)
- ディープスタンバイインタラプトエッジレジスタ (DPSIEGR)
- リセットステータスレジスタ (RSTSR)
- ディープスタンバイバックアップレジスタn (DPSBKRn)

27.2.1 スタンバイコントロールレジスタ (SBYCR)

SBYCR は、ソフトウェアスタンバイモードの制御を行います。

ビット	15	14	13	12	11	10	9	8
ビット名	SSBY	OPE	—	STS4	STS3	STS2	STS1	STS0
初期値:	0	1	0	0	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	SLPIE	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	SSBY	0	R/W	ソフトウェアスタンバイ SLEEP 命令実行後の遷移先を設定します。 0: SLEEP 命令実行後、スリープモードに遷移 1: SLEEP 命令実行後、ソフトウェアスタンバイモードに遷移 なお、外部割り込みによってソフトウェアスタンバイモードが解除され通常モードに遷移したときは、このビットは1にセットされたままです。クリアするときは0をライトしてください。WDT をウォッチドックタイマモードで使用しているときは、このビットの設定は無効になります。その場合、SLEEP 命令実行後は常にスリープモードあるいは全モジュールクロックストップモードに遷移します。SLPIE ビットを1にセットする場合は、このビットを0にクリアしてください。
14	OPE	1	R/W	出力ポートイネーブル ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時にアドレスバス、バス制御信号 ($\overline{CS0} \sim \overline{CS7}$ 、 \overline{AS} 、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR}) の出力を保持するか、ハイインピーダンスにするかを設定します。 0: ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時、アドレスバス、バス制御信号はハイインピーダンス 1: ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時、アドレスバス、バス制御信号は出力状態を保持
13	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。

27. 低消費電力

ビット	ビット名	初期値	R/W	説明
12	STS4	0	R/W	スタンバイタイムセレクト 4~0 割り込みによってソフトウェアスタンバイモードを解除する場合、またはサブクロック動作*2からメインクロック動作へ遷移する場合に、クロックが安定するまで MCU が待機する時間*1 を選択します。水晶発振の場合、表 27.2 を参照し、動作周波数に応じて待機時間が発振安定時間以上となるように選択してください。外部クロックにおいても、PLL 回路の安定時間が必要になります。 表 27.2 を参照に待機時間を設定してください。 発振安定期間中は、Pφの周波数でカウントされます。マルチクロックモード時は注意してください。 00000 : リザーブ 00001 : リザーブ 00010 : リザーブ 00011 : リザーブ 00100 : リザーブ 00101 : 待機時間=64 ステート 00110 : 待機時間=512 ステート 00111 : 待機時間=1024 ステート 01000 : 待機時間=2048 ステート 01001 : 待機時間=4096 ステート 01010 : 待機時間=16384 ステート 01011 : 待機時間=32768 ステート 01100 : 待機時間=65536 ステート 01101 : 待機時間=131072 ステート 01110 : 待機時間=262144 ステート 01111 : 待機時間=524288 ステート 1**** : リザーブ
11	STS3	1	R/W	
10	STS2	1	R/W	
9	STS1	1	R/W	
8	STS0	1	R/W	
7	SLPIE	0	R/W	
6~0	—	すべて 0	R/W	リザーブビット リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。

【注】 *1 F-ZTAT 版では、フラッシュメモリの安定時間を確保してください。

*2 H8SX/1648G グループ、H8SX/1648H グループのみサポート

27.2.2 モジュールストップコントロールレジスタ A、B (MSTPCRA、MSTPCRB)

MSTPCRA、MSTPCRB はモジュールストップ状態の制御を行います。1 のとき対応するモジュールはモジュールストップ状態になり、クリアするとモジュールストップ状態は解除されます。

• MSTPCRA

ビット	15	14	13	12	11	10	9	8
ビット名	ACSE	MSTPA14	MSTPA13	MSTPA12	MSTPA11	MSTPA10	MSTPA9	MSTPA8
初期値 :	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• MSTPCRB

ビット	15	14	13	12	11	10	9	8
ビット名	MSTPB15	MSTPB14	MSTPB13	MSTPB12	MSTPB11	MSTPB10	MSTPB9	MSTPB8
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	MSTPB7	MSTPB6	MSTPB5	MSTPB4	MSTPB3	MSTPB2	MSTPB1	MSTPB0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

27. 低消費電力

• MSTPCRA

ビット	ビット名	初期値	R/W	対象モジュール
15	ACSE	0	R/W	全モジュールクロックストップモードイネーブル MSTPCR で制御されるすべてのモジュールがモジュールストップ状態に設定された上で、CPU が SLEEP 命令を実行した場合にバスコントローラと I/O ポートも動作をストップして、消費電流を低減する全モジュールクロックストップモードの許可または禁止を設定します。 0 : 全モジュールクロックストップモード禁止 1 : 全モジュールクロックストップモード許可
14	MSTPA14	0	R/W	EXDMA コントローラ (EXDMAC) *
13	MSTPA13	0	R/W	DMA コントローラ (DMAC)
12	MSTPA12	0	R/W	データトランスファコントローラ (DTC)
11	MSTPA11	1	R/W	リザーブビット
10	MSTPA10	1	R/W	リードすると常に 1 が読み出されます。ライトする値は常に 1 にしてください。
9	MSTPA9	1	R/W	8 ビットタイマ (TMR_3、TMR_2)
8	MSTPA8	1	R/W	8 ビットタイマ (TMR_1、TMR_0)
7	MSTPA7	1	R/W	リザーブビット
6	MSTPA6	1	R/W	リードすると常に 1 が読み出されます。ライトする値は常に 1 にしてください。
5	MSTPA5	1	R/W	D/A 変換器 (チャンネル 1、0)
4	MSTPA4	1	R/W	リザーブビット リードすると常に 1 が読み出されます。ライトする値は常に 1 にしてください。
3	MSTPA3	1	R/W	A/D 変換器 (ユニット 0)
2	MSTPA2	1	R/W	リザーブビット リードすると常に 1 が読み出されます。ライトする値は常に 1 にしてください。
1	MSTPA1	1	R/W	16 ビットタイマパルスユニット (TPU チャンネル 11~6)
0	MSTPA0	1	R/W	16 ビットタイマパルスユニット (TPU チャンネル 5~0)

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート

- MSTPCRB

ビット	ビット名	初期値	R/W	対象モジュール
15	MSTPB15	1	R/W	プログラマブルパルスジェネレータ (PPG_0 : PO15~PO0)
14	MSTPB14	1	R/W	リザーブビット
13	MSTPB13	1	R/W	リードすると常に1が読み出されます。ライトする値は常に1にしてください。
12	MSTPB12	1	R/W	シリアルコミュニケーションインタフェース_4 (SCI_4)
11	MSTPB11	1	R/W	シリアルコミュニケーションインタフェース_3 (SCI_3)
10	MSTPB10	1	R/W	シリアルコミュニケーションインタフェース_2 (SCI_2)
9	MSTPB9	1	R/W	シリアルコミュニケーションインタフェース_1 (SCI_1)
8	MSTPB8	1	R/W	シリアルコミュニケーションインタフェース_0 (SCI_0)
7	MSTPB7	1	R/W	I ² C バスインタフェース 2_1 (IIC2_1)
6	MSTPB6	1	R/W	I ² C バスインタフェース 2_0 (IIC2_0)
5	MSTPB5	1	R/W	ユーザブレイクコントローラ (UBC)
4	MSTPB4	1	R/W	リザーブビット
3	MSTPB3	1	R/W	リードすると常に1が読み出されます。ライトする値は常に1にしてください。
2	MSTPB2	1	R/W	
1	MSTPB1	1	R/W	
0	MSTPB0	1	R/W	

27.2.3 モジュールストップコントロールレジスタ C (MSTPCRC)

MSTPC7~MSTPC0 ビットを 1 にセットすると、対応する内蔵 RAM が停止します。内蔵 RAM アクセス中に該当する MSTPC7~MSTPC0 ビットを 1 にセットしないでください。また、MSTPC7~MSTPC0 が 1 の状態で該当する RAM にアクセスしないでください。

MSTPC15、MSTPC14 はシリアルコミュニケーションインタフェース、MSTPC13、MSTPC12 は 8 ビットタイマ、MSTPC11 は I²C バスインタフェース 2_3、2_2 (IIC2_3/IIC2_2)、MSTPC10 は CRC 演算器、MSTPC9 は A/D 変換器のモジュールストップを制御し、MSTPC8 はプログラマブルパルスジェネレータ (PPG : PO31 ~ PO16) のモジュールストップをそれぞれ制御します。

ビット	15	14	13	12	11	10	9	8
ビット名	MSTPC15	MSTPC14	MSTPC13	MSTPC12	MSTPC11	MSTPC10	MSTPC9	MSTPC8
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	MSTPC7	MSTPC6	MSTPC5	MSTPC4	MSTPC3	MSTPC2	MSTPC1	MSTPC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	対象モジュール
15	MSTPC15	1	R/W	シリアルコミュニケーションインタフェース_5 (SCI_5)、(IrDA)
14	MSTPC14	1	R/W	シリアルコミュニケーションインタフェース_6 (SCI_6)
13	MSTPC13	1	R/W	8 ビットタイマ (TMR_4、TMR_5)
12	MSTPC12	1	R/W	8 ビットタイマ (TMR_6、TMR_7)
11	MSTPC11	1	R/W	I ² C バスインタフェース 2_3、2_2 (IIC2_3/IIC2_2)
10	MSTPC10	1	R/W	CRC 演算器
9	MSTPC9	1	R/W	A/D 変換器 (ユニット 2/1)
8	MSTPC8	1	R/W	プログラマブルパルスジェネレータ (PPG_1 : PO31~PO16)
7	MSTPC7	0	R/W	内蔵 RAM : 56K バイトの場合 : 内蔵 RAM_6 (H'FEE000~H'FEFFFF) 内蔵 RAM : 40K バイトの場合 : リザーブビット MSTPC7 と MSTPC6 は常に同じ値を設定してください。
6	MSTPC6	0	R/W	
5	MSTPC5	0	R/W	内蔵 RAM : 56K バイトの場合 : 内蔵 RAM_5、4 (H'FF0000~H'FF3FFF) 内蔵 RAM : 40K バイトの場合 : 内蔵 RAM_4 (H'FF2000~H'FF3FFF) MSTPC5 と MSTPC4 は常に同じ値を設定してください。
4	MSTPC4	0	R/W	

ビット	ビット名	初期値	R/W	対象モジュール
3	MSTPC3	0	R/W	内蔵 RAM_3、2 (H'FF4000~H'FF7FFF)
2	MSTPC2	0	R/W	MSTPC3 と MSTPC2 は常に同じ値を設定してください。
1	MSTPC1	0	R/W	内蔵 RAM_1、0 (H'FF8000~H'FFBFFF)
0	MSTPC0	0	R/W	MSTPC1 と MSTPC0 は常に同じ値を設定してください。

27.2.4 ディープスタンバイコントロールレジスタ (DPSBYCR)

DPSBYCR は、ディープソフトウェアスタンバイモードの制御を行います。DPSBYCR は、ディープソフトウェアスタンバイモードを解除する際の内部リセット信号では初期化されません。

ビット	7	6	5	4	3	2	1	0
ビット名	DPSBY	IOKEEP	RAMCUT2	RAMCUT1	—	—	—	RAMCUT0
初期値 :	0	0	0	0	0	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	DPSBY	0	R/W	<p>ディープソフトウェアスタンバイ</p> <p>SBYCR の SSBY ビットを 1 にセットした状態で、SLEEP 命令を実行するとソフトウェアスタンバイモードへ遷移します。このとき、本ビットが 1 で、かつソフトウェアスタンバイモード解除要因がない場合ディープソフトウェアスタンバイモードに遷移します。</p> <p>SSBY DPSBY</p> <p>0 x : SLEEP 命令実行後、スリープモードに遷移</p> <p>1 0 : SLEEP 命令実行後、ソフトウェアスタンバイモードに遷移</p> <p>1 1 : SLEEP 命令実行後、ディープソフトウェアスタンバイモードに遷移</p> <p>割り込みによりディープソフトウェアスタンバイモードを解除したときは、このビットは 1 にセットされたままです。クリアするときは 0 をライトしてください。WDT をウォッチドックタイマモードで使用しているときは、このビットの設定は無効になります。その場合、SLEEP 命令実行後は常にスリープモードあるいは全モジュールクロックストップモードに遷移します。SLPIE ビットを 1 にセットする場合は、このビットを 0 にクリアしてください。</p>

27. 低消費電力

ビット	ビット名	初期値	R/W	説明
6	IOKEEP	0	R/W	<p>I/O ポート保持</p> <p>ディープソフトウェアスタンバイモード時、ポートは、ソフトウェアスタンバイモードと同じ状態を保持します。本ビットは、ディープソフトウェアスタンバイモード時に保持したポートの状態をディープソフトウェアスタンバイモード解除後も保持し続けるか、解除するかを設定します。</p> <p>IOKEEP 端子状態</p> <p>0 : ディープソフトウェアスタンバイモードの解除と同時にポートの保持を解除</p> <p>1 : ディープソフトウェアスタンバイモード解除後の本ビットへの 0 ライト時にポートの保持を解除</p> <p>ただし、外部拡張モード時のアドレスバス、バス制御信号 ($\overline{CS0}$、\overline{AS}、\overline{RD}、\overline{HWR}、\overline{LWR})、およびデータバスについては、ディープソフトウェアスタンバイモードが解除されたタイミングで初期状態になります。</p>
5	RAMCUT2	0	R/W	<p>内蔵 RAM オフ 2</p> <p>RAMCUT2~0 は、ディープソフトウェアスタンバイモードの中の内蔵 RAM に供給する内部電源を制御するビットです。詳細は、RAMCUT0 ビットの説明を参照してください。</p>
4	RAMCUT1	0	R/W	<p>内蔵 RAM オフ 1</p> <p>RAMCUT2~0 は、ディープソフトウェアスタンバイモードの中の内蔵 RAM に供給する内部電源を制御するビットです。詳細は、RAMCUT0 ビットの説明を参照してください。</p>
3~1	—	すべて 0	R/W	<p>リザーブビット</p> <p>リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。</p>
0	RAMCUT0	1	R/W	<p>内蔵 RAM オフ 0</p> <p>RAMCUT2~0 は、ディープソフトウェアスタンバイモード中の内蔵 RAM に供給する内部電源を制御するビットです。</p> <p>RAMCUT2~0</p> <p>000 : 内蔵 RAM に電源を供給します。</p> <p>111 : 内蔵 RAM に電源を供給しません。</p> <p>上記以外は、設定しないでください。</p>

27.2.5 ディープスタンバイウェイトコントロールレジスタ (DPSWCR)

割り込みによってディープソフトウェアスタンバイモードを解除する場合に、クロックが安定するまで MCU が待機する時間を選択します。

DPSWCR は、ディープソフトウェアスタンバイモードを解除する際の内部リセット信号では初期化されません。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	WTSTS5	WTSTS4	WTSTS3	WTSTS2	WTSTS1	WTSTS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7、6	—	すべて 0	R/W	リザーブビット リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
5~0	WTSTS 5~0	0	R/W	ディープソフトウェアスタンバイウェイト時間設定ビット 割り込みによってディープソフトウェアスタンバイモードを解除する場合に、クロックが安定するまで MCU が待機する時間を選択します。 水晶発振の場合、表 27.3 を参照し、動作周波数に応じて待機時間が発振安定時間以上となるように選択してください。外部クロックにおいても、PLL 回路の安定時間が必要になります。表 27.3 を参照に待機時間を設定してください。 発振安定期間中は、EXTAL 入力クロック周波数でカウントされます。 000000 : リザーブ 000001 : リザーブ 000010 : リザーブ 000011 : リザーブ 000100 : リザーブ 000101 : 待機時間=64 ステート 000110 : 待機時間=512 ステート 000111 : 待機時間=1024 ステート 001000 : 待機時間=2048 ステート 001001 : 待機時間=4096 ステート 001010 : 待機時間=16384 ステート 001011 : 待機時間=32768 ステート 001100 : 待機時間=65536 ステート 001101 : 待機時間=131072 ステート 001110 : 待機時間=262144 ステート 001111 : 待機時間=524288 ステート 01**** : リザーブ

27. 低消費電力

27.2.6 ディープスタンバイインタラプトイネーブルレジスタ (DPSIER)

DPSIER は、ディープソフトウェアスタンバイモードを解除する割り込みの許可/禁止を設定します。

DPSIER は、ディープソフトウェアスタンバイモードを解除する際の内部リセット信号では初期化されません。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	DT32KIE*1	DLVDIE*2	DIRQ3E	DIRQ2E	DIRQ1E	DIRQ0E
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 *1 H8SX/1648Gグループ、H8SX/1648Hグループのみサポート

*2 H8SX/1648Lグループ、H8SX/1648Hグループのみサポート

ビット	ビット名	初期値	R/W	説明
7	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
6	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
5	DT32KIE*1	0	R/W	32K タイマインタラプトイネーブル 32K タイマ割り込み信号によるディープソフトウェアスタンバイモード解除の許可または禁止を設定します。 0 : 32K タイマ割り込み信号によるディープソフトウェアスタンバイモード解除を禁止 1 : 32K タイマ割り込み信号によるディープソフトウェアスタンバイモード解除を許可
4	DLVDIE*2	0	R/W	LVD インタラプトイネーブル 電圧監視割り込み信号によるディープソフトウェアスタンバイモード解除の許可または禁止を設定します。 0 : 電圧監視割り込み信号によるディープソフトウェアスタンバイモード解除を禁止 1 : 電圧監視割り込み信号によるディープソフトウェアスタンバイモード解除を許可
3	DIRQ3E	0	R/W	IRQ3 インタラプトイネーブル IRQ3-A によるディープソフトウェアスタンバイモード解除の許可、または禁止を設定します。 0 : IRQ3-A によるディープソフトウェアスタンバイモードの解除を禁止 1 : IRQ3-A によるディープソフトウェアスタンバイモードの解除を許可

ビット	ビット名	初期値	R/W	説明
2	DIRQ2E	0	R/W	<p>IRQ2 インタラプトイネーブル</p> <p>IRQ2-A によるディープソフトウェアスタンバイモード解除の許可、または禁止を設定します。</p> <p>0 : IRQ2-A によるディープソフトウェアスタンバイモードの解除を禁止</p> <p>1 : IRQ2-A によるディープソフトウェアスタンバイモードの解除を許可</p>
1	DIRQ1E	0	R/W	<p>IRQ1 インタラプトイネーブル</p> <p>IRQ1-A によるディープソフトウェアスタンバイモード解除の許可、または禁止を設定します。</p> <p>0 : IRQ1-A によるディープソフトウェアスタンバイモードの解除を禁止</p> <p>1 : IRQ1-A によるディープソフトウェアスタンバイモードの解除を許可</p>
0	DIRQ0E	0	R/W	<p>IRQ0 インタラプトイネーブル</p> <p>IRQ0-A によるディープソフトウェアスタンバイモード解除の許可、または禁止を設定します。</p> <p>0 : IRQ0-A によるディープソフトウェアスタンバイモードの解除を禁止</p> <p>1 : IRQ0-A によるディープソフトウェアスタンバイモードの解除を許可</p>

【注】 *1 H8SX/1648G グループ、H8SX/1648H グループのみサポート

*2 H8SX/1648L グループ、H8SX/1648H グループのみサポート

27. 低消費電力

27.2.7 ディープスタンバイインタラプトフラグレジスタ (DPSIFR)

DPSIFR は、ディープソフトウェアスタンバイモードの解除を要求するレジスタです。DPSIEGR で設定した割り込みが発生したときに 1 がセットされます。ディープソフトウェアスタンバイモードではない状態であっても割り込みが発生すればセットされるため、本レジスタを 0 にクリアした後ディープソフトウェアスタンバイモードへ遷移してください。

DPSIFR は、ディープソフトウェアスタンバイモードを解除する際の内部リセット信号では初期化されません。

ビット	7	6	5	4	3	2	1	0
ビット名	DNMIF	—	DT32KIF*2	DLVDIF*3	DIRQ3F	DIRQ2F	DIRQ1F	DIRQ0F
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*1	R	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1

- 【注】 *1 フラグをクリアするための0ライトのみ可能です。
 *2 H8SX/1648Gグループ、H8SX/1648Hグループのみサポート
 *3 H8SX/1648Lグループ、H8SX/1648Hグループのみサポート

ビット	ビット名	初期値	R/W	説明
7	DNMIF	0	R/(W)*1	NMI フラグ [セット条件] DPSIEGR で設定した NMI 入力が発生したとき [クリア条件] 1 の状態をリードした後、0 をライトしたとき
6	—	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
5	DT32KIF*2	0	R/(W)*1	32K タイマインタラプトフラグ [セット条件] 32K タイマ割り込みが発生したとき [クリア条件] 1 の状態をリードした後、0 をライトしたとき
4	DLVDIF*3	0	R/(W)*1	LVD インタラプトフラグ [セット条件] 電圧監視割り込みが発生したとき [クリア条件] 1 の状態をリードした後、0 をライトしたとき
3	DIRQ3F	0	R/(W)*1	IRQ3 インタラプトフラグ [セット条件] DPSIEGR で設定した IRQ3-A 入力が発生したとき [クリア条件] 1 の状態をリードした後、0 をライトしたとき

ビット	ビット名	初期値	R/W	説明
2	DIRQ2F	0	R/(W)* ¹	IRQ2 インタラプトフラグ [セット条件] DPSIEGR で設定した IRQ2-A 入力が発生したとき [クリア条件] 1 の状態をリードした後、0 をライトしたとき
1	DIRQ1F	0	R/(W)* ¹	IRQ1 インタラプトフラグ [セット条件] DPSIEGR で設定した IRQ1-A 入力が発生したとき [クリア条件] 1 の状態をリードした後、0 をライトしたとき
0	DIRQ0F	0	R/(W)* ¹	IRQ0 インタラプトフラグ [セット条件] DPSIEGR で選択した IRQ0-A 入力が発生したとき [クリア条件] 1 の状態をリードした後、0 をライトしたとき

【注】 *1 フラグをクリアするための 0 ライトのみ可能です。

*2 H8SX/1648G グループ、H8SX/1648H グループのみサポート

*3 H8SX/1648L グループ、H8SX/1648H グループのみサポート

27. 低消費電力

27.2.8 ディープスタンバイインタラプトエッジレジスタ (DPSIEGR)

DPSIEGR は、ディープソフトウェアスタンバイモードの解除に使用する割り込みのエッジ選択をおこないます。

DPSIEGR は、ディープソフトウェアスタンバイモードを解除する際の内部リセット信号では初期化されません。

ビット	7	6	5	4	3	2	1	0
ビット名	DNMIEG	—	—	—	DIRQ3EG	DIRQ2EG	DIRQ1EG	DIRQ0EG
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	DNMIEG	0	R/W	NMI エッジ選択 NMI 端子の入力エッジ選択を行います。 0 : 立ち下がリエッジで割り込み要求を発生 1 : 立ち上がりエッジで割り込み要求を発生
6~4	—	すべて 0	R/W	リザーブビット リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
3	DIRQ3EG	0	R/W	IRQ3 インタラプトエッジ選択 IRQ3-A 端子の入力エッジ選択を行います 0 : 立ち下がリエッジで割り込み要求を発生 1 : 立ち上がりエッジで割り込み要求を発生
2	DIRQ2EG	0	R/W	IRQ2 インタラプトエッジ選択 IRQ2-A 端子の入力エッジ選択を行います 0 : 立ち下がリエッジで割り込み要求を発生 1 : 立ち上がりエッジで割り込み要求を発生
1	DIRQ1EG	0	R/W	IRQ1 インタラプトエッジ選択 IRQ1-A 端子の入力エッジ選択を行います 0 : 立ち下がリエッジで割り込み要求を発生 1 : 立ち上がりエッジで割り込み要求を発生
0	DIRQ0EG	0	R/W	IRQ0 インタラプトエッジ選択 IRQ0-A 端子の入力エッジ選択を行います 0 : 立ち下がリエッジで割り込み要求を発生 1 : 立ち上がりエッジで割り込み要求を発生

27.2.9 リセットステータスレジスタ (RSTSR)

RSTSR の DPSRSTF ビットは、ディープソフトウェアスタンバイモードを割り込みで解除したことを示すレジスタです。

RSTSR は、ディープソフトウェアスタンバイモードを解除する際の内部リセット信号では初期化されません。

ビット	7	6	5	4	3	2	1	0
ビット名	DPSRSTF	—	—	—	—	LVDF*2	—	PORF*2
初期値 :	0	0	0	0	0	0*3	0*3	0*3
R/W :	R/(W)*1	R/W	R/W	R/W	R/W	R/(W)*4	R/W	R/W*5

- 【注】
- *1 フラグをクリアするための0ライトのみ可能です。
 - *2 H8SX/1648Lグループ、H8SX/1648Hグループのみサポート。
 - *3 H8SX/1648Lグループ、H8SX/1648Hグループは初期値「不定」です。
 - *4 H8SX/1648Lグループ、H8SX/1648Hグループはフラグをクリアするための0ライトのみ可能です。
 - *5 H8SX/1648Lグループ、H8SX/1648Hグループはリードのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	DPSRSTF	0	R/(W)*	ディープソフトウェアスタンバイリセットフラグ ディープソフトウェアスタンバイモードが DPSIER、DPSIEGR で設定した割り込み要因で解除され、内部リセットが発生したことを示します。 [セット条件] 割り込み要因によりディープソフトウェアスタンバイモードを解除したとき [クリア条件] 1の状態をリードした後、0をライトしたとき
6~3	—	すべて0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。

• H8SX/1648グループ、H8SX/1648Aグループ、H8SX/1648Gグループ

2~0	—	すべて0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
-----	---	------	-----	---

• H8SX/1648Lグループ、H8SX/1648Hグループ

2	LVDF	不定	R/(W)*	LVD フラグ 電圧検出回路で低電圧(VCC が Vdet 以下)が検出されたことを示します。 詳細は、「5. 電圧検出回路 (LVD)」を参照してください。
1	—	不定	R/W	リザーブビット ライトする値は常に0にしてください。
0	PORF	不定	R	パワーオンリセットフラグ パワーオンリセットが発生したことを示します。 詳細は、「4. リセット」を参照してください。

27. 低消費電力

【注】 * フラグをクリアするための0ライトのみ可能です。

27.2.10 ディープスタンバイバックアップレジスタ (DPSBKRn)

DPSBKRn (n=15~0) は、ディープソフトウェアスタンバイモード中、データを待避するための16バイトのリード/ライト可能なレジスタです。

内蔵RAMのデータが保持されないディープソフトウェアスタンバイモードにおいても、このレジスタは保持されます。

DPSBKRn (n=15~0) は、ディープソフトウェアスタンバイモードを解除する際の内部リセット信号では初期化されません。

ビット	7	6	5	4	3	2	1	0
ビット名	BKUPn7	BKUPn6	BKUPn5	BKUPn4	BKUPn3	BKUPn2	BKUPn1	BKUPn0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

n: 15~0

27.3 マルチクロック機能

27.3.1 メインクロックの切り替え

SCKCRのICK2~ICK0ビット、PCK2~PCK0ビットとBCK2~BCK0ビットを設定すると、そのバスサイクルの終了時点でクロック周波数が切り替わります。CPUとバスマスタは、ICK2~ICK0ビットで設定した動作クロックで動作します。周辺モジュールは、PCK2~PCK0ビットで設定した動作クロックで動作します。また、外部バスクロックは、BCK2~BCK0ビットで設定した動作クロックで動作します。

ただし、ICK2~ICK0ビットで設定した動作クロックより高い動作クロックにPCK2~PCK0ビットおよびBCK2~BCK0ビットを設定しても、設定値がクロックに反映されません。周辺モジュール、外部クロックは、ICK2~ICK0ビットで設定した動作クロックに制限されます。

27.3.2 サブクロックへの切り替え

SUBCKCRのCK32Kビットを1に設定すると、SCKCRの設定に関わらず、バスサイクルの終了時点で、メインクロック動作からサブクロック動作に切り替わります。サブクロック動作では、CPUとバスマスタ、周辺モジュール、外部クロックのすべてが32.768kHzのサブクロックで動作します。

サブクロック動作中にSUBCKCRのCK32Kビットを0に設定すると、バスサイクルの終了時点で、メインクロック動作に切り替わります。サブクロック動作からメインクロック動作に切り替わる時は、ソフトウェアスタンバイモードを経由するため、メインクロックの発振安定時間を待つ必要があります。メインクロックの発振安定時間は、SBYCRのSTS4~STS0ビットで設定してください。

サブクロック動作中は、SUBCKCRのEXSTPビットにより、メインクロック発振器の動作/停止を選択することができます。メインクロック発振器を動作させたまま、サブクロック動作からメインクロック動作に切り替えた場合、メインクロック発振器の発振安定時間を待つ必要はありません。SBYCRのSTS4~STS0ビットの設定により、最小設定時間でメインクロック動作に切り替えることができます。

また、メインクロック動作中と同様に、サブクロック動作中に SBYCR の SSBY ビットを 1 にセットした状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードへ遷移します。サブクロック動作中にソフトウェアスタンバイモードへ遷移した場合、SUBCKCR の WAKE32K ビットにより、ソフトウェアスタンバイモード解除後のシステムクロックの動作クロックを選択することができます。WAKE32K ビットを 1 に設定すると、ソフトウェアスタンバイモード解除後は、サブクロック動作となります。WAKE32K ビットを 0 に設定すると、メインクロック動作となります。

27.4 モジュールストップ機能

モジュールストップ機能は内蔵周辺機能のモジュール単位で設定することができます。

MSTPCRA、MSTPCRB、MSTPCRC の対応する MSTP ビットを 1 にセットすると、バスサイクルの終了時点でモジュールは動作を停止してモジュールストップ状態へ遷移します。このとき CPU は独立して動作を継続します。

対応する MSTP ビットを 0 にクリアすることによって、モジュールストップ状態は解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップ状態では、SCI を除くモジュールの内部状態が保持されています。

リセット解除後は、DMAC、DTC、EXDMAC*、内蔵 RAM を除くすべてのモジュールがモジュールストップ状態になっています。

モジュールストップ状態に設定されたモジュールのレジスタは、リード/ライトできません。

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート。

27.5 スリープモード

27.5.1 スリープモードへの遷移

SBYCR の SSBY ビット=0 の状態で SLEEP 命令を実行すると、CPU はスリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタの内容は保持されます。CPU 以外の周辺機能は停止しません。

27.5.2 スリープモードの解除

スリープモードの解除は、すべての割り込み、 $\overline{\text{RES}}$ 端子、 $\overline{\text{STBY}}$ 端子、ウォッチドッグタイマのオーバフローによるリセット、電圧監視リセット*、またはパワーオンリセット*によって行われます。

- 割り込みによる解除

割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。割り込みが禁止されている場合、また、NMI以外の割り込みがCPUでマスクされている場合には、スリープモードは解除されません。

- $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子をLowレベルにすると、リセット状態になります。規定のリセット入力期間後、 $\overline{\text{RES}}$ 端子をHighレベルにすると、CPUはリセット例外処理を開始します。

- $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子をLowレベルにすると、ハードウェアスタンバイモードに遷移します。

- ウォッチドッグタイマのオーバフローリセットによる解除

ウォッチドッグタイマのオーバフローの内部リセットにより、スリープモードが解除されます。

- 電圧監視リセットによる解除*

電圧検出回路の電圧監視リセットにより、スリープモードが解除されます。

- パワーオンリセットによる解除*

パワーオンリセットにより、スリープモードが解除されます。

【注】 * H8SX/1648L グループ、H8SX/1648H グループのみサポート。

27.6 全モジュールクロックストップモード

ACSE を 1 に設定し、かつ MSTPCRA、B で制御されるすべてのモジュールをストップ (MSTPCRA、B = H' FFFFFFFF) したとき、または 8 ビットタイマ (ユニット 0/1) 以外をモジュールストップ (MSTPCRA、B = H'F[C~F]FFFFFF) したときに、SBYCR の SSBY ビットを 0 にクリアした状態で SLEEP 命令を実行すると、バスサイクルの終了時点で 8 ビットタイマ*¹、ウォッチドッグタイマ、32K タイマ*²、パワーオンリセット回路*³、電圧検出回路*³を除く全モジュール、バスコントローラ、および I/O ポートの動作を停止して全モジュールクロックストップモードへ遷移します。

全モジュールクロックストップモード時に、さらに消費電流を低減する必要がある場合は、MSTPCRC で制御されるモジュールをストップ (MSTPCRC[15~8]=H'FFFF) してください。

全モジュールクロックストップモードの解除は、外部割り込み (NMI 端子、IRQ0~IRQ15 端子)、RES 端子、内部割り込み (8 ビットタイマ*¹、ウォッチドッグタイマ、32K タイマ*²、電圧検出回路*³) によって行われ、例外処理状態を経て通常のプログラム実行状態へ遷移します。割り込みが禁止されている場合、また、NMI 以外の割り込みが CPU でマスクされている場合、または DTC の起動要因に設定した場合には、全モジュールクロックストップモードは解除されません。

STBY 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

【注】 *1 MSTPCRA の MSTPA9~8 ビットにより動作/停止を選択できます。

*2 H8SX/1648G グループ、H8SX/1648H グループのみサポート。

*3 H8SX/1648L グループ、H8SX/1648H グループのみサポート。

27.7 ソフトウェアスタンバイモード

27.7.1 ソフトウェアスタンバイモードへの遷移

SBYCR の SSBY ビットを 1 にセットし、DPSBYCR の DPSBY ビットを 0 にクリアした状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。このモードでは、CPU、内蔵周辺機能、および発振器のすべての機能が停止します。ただし、CPU の内部レジスタの内容と、内蔵 RAM のデータ、SCI を除く内蔵周辺機能と、I/O ポートの状態は保持されます。アドレスバス、バス制御信号は、ハイインピーダンス状態とするか、出力状態を保持するかを、SBYCR の OPE ビットにより設定できます。本モードでは、発振器が停止するため、消費電力は著しく低減されます。

WDT をウォッチドックタイマモードで使用している場合、ソフトウェアスタンバイモードに遷移できません。SLEEP 命令を実行する前に WDT を停止させてください。

27.7.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割り込み（NMI、IRQ0～IRQ15^{*1}）、内部割り込み（32K タイマ^{*2}、電圧監視割り込み^{*3}）、電圧監視リセット^{*3}、パワーオンリセット^{*3}、RES 端子、または STBY 端子によって行われます。

1. 割り込みによる解除

NMI、IRQ0～IRQ15^{*1}、32K タイマ^{*2}、電圧監視^{*3}の割り込み要求信号が入力されると、クロックが発振を開始し、SBYCR の STS4～STS0 ビットによって設定された時間が経過した後、安定したクロックが本 LSI 全体に供給されて、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

IRQ0～IRQ15^{*1}割り込みでソフトウェアスタンバイモードを解除する場合には、対応するイネーブルビットを 1 にセットし、かつ IRQ0～IRQ15^{*1}割り込みより高い優先順位の割り込みが発生しないようにしてください。なお、CPU 側でマスクした場合、または DTC の起動要因に設定した場合には、ソフトウェアスタンバイモードは解除できません。

2. 電圧監視リセットによる解除^{*3}

電源電圧の低下により電圧監視リセットが発生すると、ソフトウェアスタンバイモードは解除され、クロックの発振が開始されます。クロックの発振開始と同時に、本 LSI にクロックが供給されます。その後、電源電圧が上昇すると、クロックの発振安定時間を確保した上で電圧監視リセットは解除されます。電圧監視リセットが解除されると、CPU はリセット例外処理を開始します。

3. パワーオンリセットによる解除^{*3}

電源電圧の低下によりパワーオンリセットが発生すると、ソフトウェアスタンバイモードは解除されます。その後、電源電圧が上昇すると、クロックの発振が開始され、クロックの発振安定時間を確保した上でパワーオンリセットは解除されます。パワーオンリセットが解除されると、CPU はリセット例外処理を開始します。

4. $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子をLowレベルにすると、クロックの発振が開始されます。クロックの発振開始と同時に、本LSIにクロックが供給されます。このとき $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまでLowレベルに保持してください。 $\overline{\text{RES}}$ 端子をHighレベルにすると、CPUはリセット例外処理を開始します。

5. $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子をLowレベルにすると、ハードウェアスタンバイモードに遷移します。

- 【注】 *1 SSIERのSSInビットを1にセットすることにより、 $\overline{\text{IRQ0}}\sim\overline{\text{IRQ15}}$ をソフトウェアスタンバイモードの解除要因として使用することができます。
- *2 H8SX/1648Gグループ、H8SX/1648Hグループのみサポート。
- *3 H8SX/1648Lグループ、H8SX/1648Hグループのみサポート。

27. 低消費電力

27.7.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定

SBYCR の STS4~STS0 ビットの設定は、以下のようにしてください。

1. 水晶発振の場合

待機時間が発振安定時間以上となるようにSTS4~STS0ビットを設定してください。

表27.2に、動作周波数とSTS4~STS0ビットの設定に対する待機時間を示します。

2. 外部クロックの場合

PLL回路の安定時間が必要となります。表27.2を参照し待機時間を設定してください。

表 27.2 発振安定時間の設定

STS 4	STS 3	STS 2	STS 1	STS 0	待機時間	Pφ*[MHz]						単位
						35	25	20	13	10	8	
0	0	0	0	0	リザーブ	—	—	—	—	—	—	μs
				1	リザーブ	—	—	—	—	—	—	
			1	0	リザーブ	—	—	—	—	—	—	
				1	リザーブ	—	—	—	—	—	—	
		1	0	0	リザーブ	—	—	—	—	—	—	
				1	64	1.8	2.6	3.2	4.9	6.4	8.0	
			1	0	512	14.6	20.5	25.6	39.4	51.2	64.0	
				1	1024	29.3	41.0	51.2	78.8	102.4	128.0	
	1	0	0	0	2048	58.5	81.9	102.4	157.5	204.8	256.0	ms
				1	4096	0.12	0.16	0.20	0.32	0.41	0.51	
			1	0	16384	0.47	0.66	0.82	1.26	1.64	2.05	
				1	32768	0.94	1.31	1.64	2.52	3.28	4.10	
		1	0	0	65536	1.87	2.62	3.28	5.04	6.55	8.19	
				1	131072	3.74	5.24	6.55	10.08	13.11	16.38	
			1	0	262144	7.49	10.49	13.11	20.16	26.21	32.77	
				1	524288	14.98	20.97	26.21	40.33	52.43	65.54	
1	0	0	0	0	リザーブ	—	—	—	—	—		

■ : 外部クロック使用時の推奨設定時間

■ : 水晶発振使用時の推奨設定時間

【注】 * Pφは周辺モジュール分周器の出力です。

発振安定待ち時間は、発振器が発振安定していない期間も含みますので、発振子の特性に影響されます。

上記数値は参考値です。

27.7.4 ソフトウェアスタンバイモードの応用例

NMI 端子の立ち下がりエッジでソフトウェアスタンバイモードに遷移し、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 27.2 に示します。

この例では、INTCR の NMIEG ビットが 0 にクリアされている（立ち下がりエッジ設定）状態で、NMI 割り込みを受け付けた後、NMIEG ビットを 1 にセット（立ち上がりエッジ設定）、SSBY ビットを 1 にセットした後、SLEEP 命令を実行してソフトウェアスタンバイモードに遷移しています。

その後、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

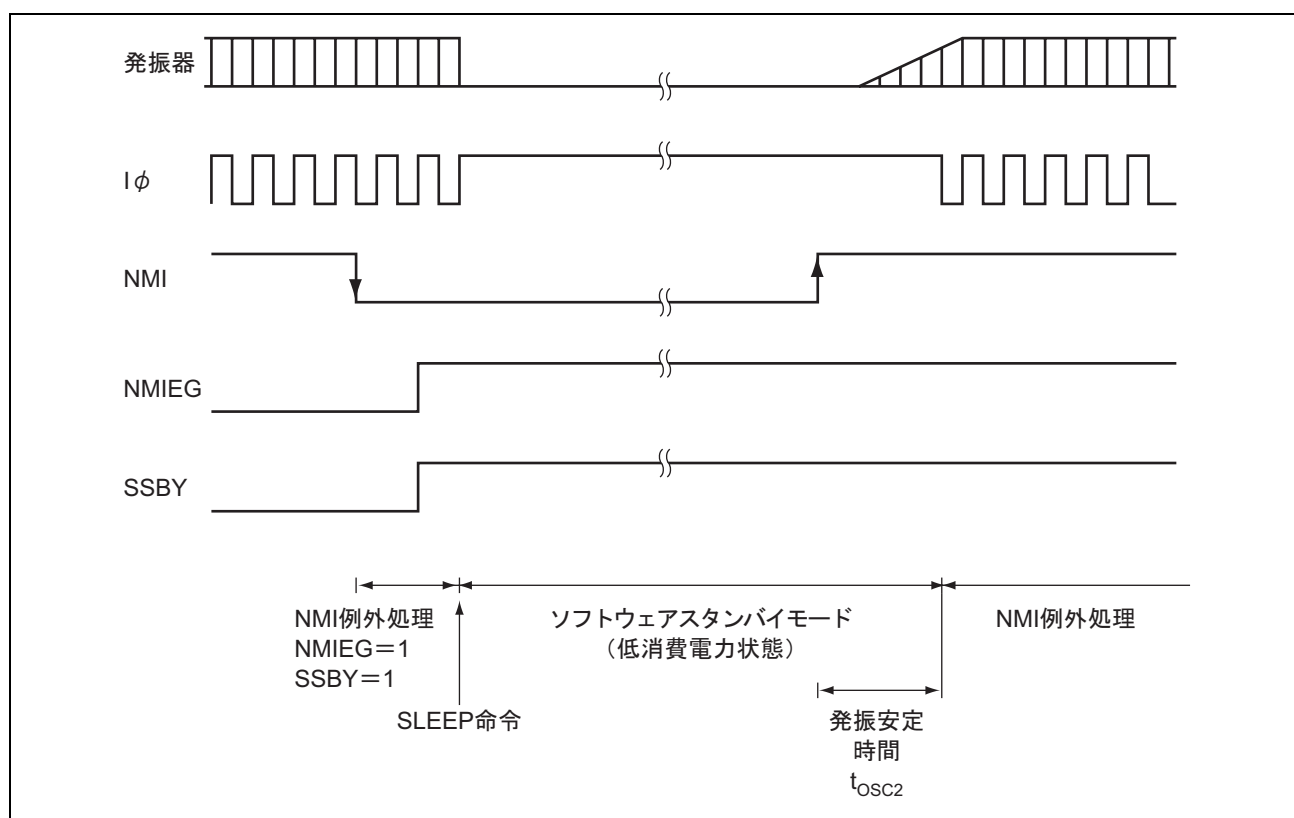


図 27.2 ソフトウェアスタンバイモードの応用例

27.8 ディープソフトウェアスタンバイモード

27.8.1 ディープソフトウェアスタンバイモードへの遷移

SBYCR の SSBY ビットが 1 に設定されている状態で、SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。このとき、DPSBYCR の DPSBY ビットが 1 に設定されていると、ディープソフトウェアスタンバイモードに遷移します。

ただし、ソフトウェアスタンバイモードに遷移した際に、ソフトウェアスタンバイモード解除要因 (NMI、IRQ0~15、32K タイマ*¹、電圧監視*²の割り込み要求) の発生が競合した場合には、DPSBY ビットの設定によらず、ソフトウェアスタンバイモードが解除され、SBYCR (スタンバイコントロールレジスタ) の STS4 ~STS0 ビットで設定されたソフトウェアスタンバイモードの発振安定時間を経過した後、割り込み例外処理が開始されます。

SBYCR の SSBY ビットと DPSBYCR の DPSBY ビットがともに 1 に設定されている状態で、かつソフトウェアスタンバイモード解除要因が発生していない場合は、ソフトウェアスタンバイモードに遷移後、ただちにディープソフトウェアスタンバイモードに遷移します。

ディープソフトウェアスタンバイモードは、CPU、内蔵周辺機能 (32K タイマ*¹を除く)、内蔵 RAM₆~4、および発振器のすべての機能が停止し、さらにこれらの内部電源の供給を停止しますので、消費電力は著しく低減されます。このとき、CPU、内蔵周辺機能 (32K タイマ*¹を除く) のレジスタ内容、内蔵 RAM₆~4 のデータはすべて不定となります。

内蔵 RAM₃~0 のデータについては、DPSBYCR の RAMCUT2~0 ビットをすべて 0 に設定しておくことにより、保持することができます。RAMCUT2~0 ビットをすべて 1 に設定した場合は、内蔵 RAM₃~0 への内部電源の供給も停止しますので、消費電力はさらに低減されます。このとき、内蔵 RAM₃~0 のデータは不定となります。

32K タイマ*¹、電圧検出回路*²、パワーオンリセット回路*²は、ディープソフトウェアスタンバイモード時も動作することができます。

ポートの状態は、ソフトウェアスタンバイモード時の状態を保持します。

【注】 *1 H8SX/1648G グループ、H8SX/1648H グループのみサポート。

*2 H8SX/1648L グループ、H8SX/1648H グループのみサポート。

27.8.2 ディープソフトウェアスタンバイモードの解除

ディープソフトウェアスタンバイモードの解除は、外部割り込み端子 (NMI 端子、IRQ0-A~IRQ3-A 端子)、内部割り込み (32K タイマ*¹、電圧監視割り込み*²)、電圧監視リセット*²、パワーオンリセット*²、 $\overline{\text{RES}}$ 端子、または $\overline{\text{STBY}}$ 端子によって行われます。

1. 外部割り込み端子による解除

ディープソフトウェアスタンバイモードは、DPSIFR の DNMIF ビット、DIRQnF (n=3~0) ビット、DT32KIF ビット*¹、DLVDIF ビット*²のいずれかに 1 がセットされると解除されます。DNMIF ビット、DIRQnF ビットは、NMI 端子、または DPSIER の DIRQnE (n=3~0) ビットで許可した IRQ0-A~IRQ3-A 端子にエッジが発生すると、1 がセットされます。立ち上がりエッジと立ち下がりエッジの選択は DPSIEGR で各端子毎

に設定することができます。DT32KIFビットは、32Kタイマ割り込みが発生すると、1がセットされます。DLVDIFビットは、電圧監視割り込みが発生すると、1がセットされます。

ディープソフトウェアスタンバイモードの解除要因が発生すると、クロック発振を開始すると同時に、内部電源の供給を開始し、本LSI全体に対して内部リセット信号を発生します。DPSWCR（ディープスタンバイウェイトコントロールレジスタ）のWTSTS5～WTSTS0ビットにより設定された時間が経過した後、安定したクロックが本LSI全体に供給され、内部リセットが解除されます。内部リセットの解除とともにディープソフトウェアスタンバイモードは解除され、リセット例外処理が開始されます。

外部割り込み端子によりディープソフトウェアスタンバイモードが解除されると、RSTSRのDPSRSTFビットに1がセットされます。

2. 電圧監視リセットによる解除*²

電源電圧の低下により電圧監視リセットが発生すると、ディープソフトウェアスタンバイモードは解除され、クロックの発振が開始し、同時に内部電源の供給を開始します。クロックの発振開始と同時に、本LSIにクロックが供給されます。その後、電源電圧が上昇すると、クロックの発振安定時間を確保した上で電圧監視リセットは解除されます。電圧監視リセットが解除されると、CPUはリセット例外処理を開始します。

3. パワーオンリセットによる解除*²

電源電圧の低下によりパワーオンリセットが発生すると、ディープソフトウェアスタンバイモードは解除されます。その後、電源電圧が上昇すると、クロックの発振が開始され、クロックの発振安定時間を確保した上でパワーオンリセットは解除されます。クロックの発振開始と同時に、本LSIにクロックが供給されます。内部電源はパワーオンリセット期間中に復帰し供給されます。パワーオンリセットが解除されると、CPUはリセット例外処理を開始します。

4. $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子をLowレベルにすると、クロックの発振を開始し、同時に内部電源の供給を開始します。クロックの発振開始と同時に、本LSIにクロックが供給されます。このとき $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまでLowレベルに保持してください。 $\overline{\text{RES}}$ 端子をHighレベルにすると、CPUはリセット例外処理を開始します。

5. $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子をLowレベルにすると、ハードウェアスタンバイモードに遷移します。

【注】 *1 H8SX/1648G グループ、H8SX/1648H グループのみサポート。

*2 H8SX/1648L グループ、H8SX/1648H グループのみサポート。

27.8.3 ディープソフトウェアスタンバイモード解除時の端子状態

ディープソフトウェアスタンバイモード時、ポートの状態はソフトウェアスタンバイモード時の状態を保持しています。ディープソフトウェアスタンバイモードによる内部リセットにより、LSI 内部は初期化されており、ディープソフトウェアスタンバイモードが解除されるとただちにリセット例外処理が開始されます。このときのポートの状態を、以下に示します。

(1) アドレスバス、バス制御、データバスの端子

外部拡張モード時のアドレスバス、バス制御信号 ($\overline{CS0}$ 、 \overline{AS} 、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR})、およびデータバスの端子は、CPU に応じて動作します。

(2) アドレスバス、バス制御、データバス以外の端子

IOKEEP ビットにより、ポートを初期状態とするか、ソフトウェアスタンバイモード時のポートの状態を保持し続けるかを選択することができます。

- IOKEEP ビットが0のとき

ディープソフトウェアスタンバイモードにともなう内部リセットにより、ポートの状態は初期状態になります。

- IOKEEP ビットが1のとき

ディープソフトウェアスタンバイモードにともなう内部リセットによって、LSI 内部は初期化されていますが、ポートはLSI 内部の状態によらずソフトウェアスタンバイモード時の状態を保持し続けます。このとき、I/Oポート、周辺モジュールの設定を行っても、ソフトウェアスタンバイモード時のポートの状態を保持し続けます。その後、IOKEEP ビットを0にクリアすることにより、ポートの状態保持は解除され、内部状態に応じた動作となります。

IOKEEP ビットは、ディープソフトウェアスタンバイモードの解除にともなう内部リセットによって初期化されません。

27.8.4 ディープソフトウェアスタンバイモード解除後の B ϕ および SDRAM ϕ *動作

IOKEEP ビットが 0 に設定されている場合、ディープソフトウェアスタンバイモード解除直後の B ϕ 、SDRAM ϕ 出力は最大 1 サイクル期間不定であり、その状態は保証されません。IOKEEP ビットが 1 に設定されている場合も、ディープソフトウェアスタンバイモードを解除後、IOKEEP ビットを 0 クリアした直後の B ϕ 、SDRAM ϕ 出力は、最大 1 サイクル期間不定であり、その状態は保証されません。

なお、IOKEEP ビットを 1 に設定した状態でディープソフトウェアスタンバイモードを解除し、その後 IOKEEP ビットと PSTOP1 ビット、PSTOP0 ビットで B ϕ 、SDRAM ϕ 出力を制御することで、正常なクロックを出力することができます。B ϕ を例にとり説明します。以下の手順に従ってください (図 27.3 参照)。

1. PSTOP1 ビットを 0 から 1 にセットし、B ϕ 出力を High レベルに設定してください (ただし、B ϕ 出力は既に High レベルにあります)。
2. IOKEEP ビットを 1 から 0 にクリアして、保持状態をリリースしてください。
3. PSTOP1 ビットを 1 から 0 にクリアして、B ϕ 出力を許可してください。

SDRAM ϕ の場合は、PSTOP1 ビットの代わりに PSTOP0 ビットを上記手順と同様に制御することで、正常なクロックを出力することができます。

IOKEEP ビットを 1 に設定したときのポートの状態については、「27.8.3 ディープソフトウェアスタンバイモード解除時の端子状態」を確認してください。

【注】 * SDRAM ϕ およびこれを制御する PSTOP0 ビットは、H8SX/1648G グループ、H8SX/1648H グループのみのサポートになります。

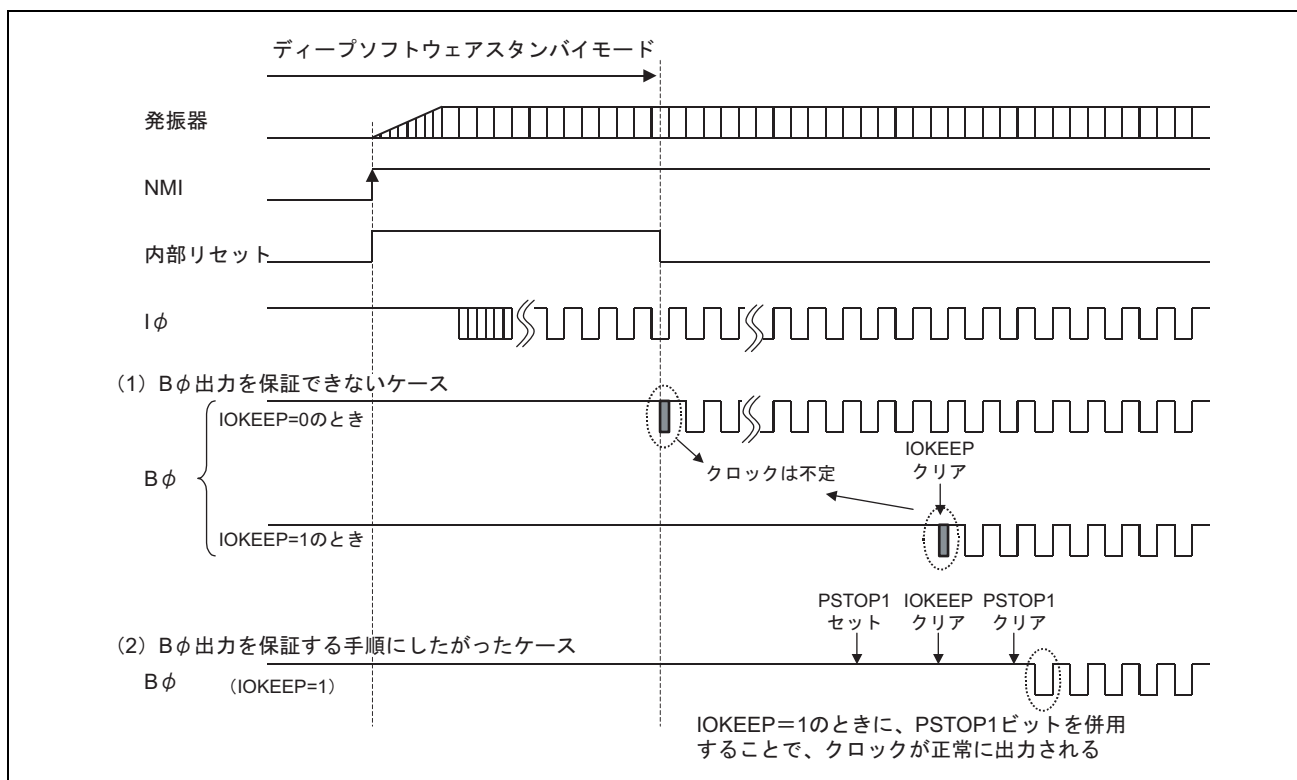


図 27.3 ディープソフトウェアスタンバイモード解除時の Bφ

27.8.5 ディープソフトウェアスタンバイモード解除後の発振安定時間の設定

DPSWCR の WTSTS5~WTSTS0 ビットの設定は、以下のようにしてください。

1. 水晶発振の場合

待機時間が発振安定時間以上となるようにWTSTS5~WTSTS0ビットを設定してください。

表27.3に、EXTAL入力クロック周波数とWTSTS5~WTSTS0の設定に対する待機時間を示します。

2. 外部クロックの場合

PLL回路の安定時間が必要となります。表27.3を参照し待機時間を設定してください。

表 27.3 発振安定時間の設定

WTSTS5	WTSTS4	WTSTS3	WTSTS2	WTSTS1	WTSTS0	待機 時間	EXTAL 入力クロック周波数*[MHz]						単 位	
							18	16	14	12	10	8		
0	0	0	0	0	0	リザーブ	—	—	—	—	—	—	μs	
					1	リザーブ	—	—	—	—	—	—		
				1	0	リザーブ	—	—	—	—	—			
					1	リザーブ	—	—	—	—	—			
			1	0	0	リザーブ	—	—	—	—	—	—		
					1	64	3.6	4.0	4.6	5.3	6.4	8.0		
				1	0	512	28.4	32.0	36.6	42.7	51.2	64.0		
					1	1024	56.9	64.0	73.1	85.3	102.4	128.0		
		1	0	0	0	2048	113.8	128.0	146.3	170.7	204.8	256.0		
					1	4096	0.23	0.26	0.29	0.34	0.41	0.51		ms
				1	0	16384	0.91	1.02	1.17	1.37	1.64	2.05		
					1	32768	1.82	2.05	2.34	2.73	3.28	4.10		
			1	0	0	65536	3.64	4.10	4.68	5.46	6.55	8.19		
					1	131072	7.28	8.19	9.36	10.92	13.11	16.38		
				1	0	262144	14.56	16.38	18.72	21.85	26.21	32.77		
					1	524288	29.13	32.77	37.45	43.69	52.43	65.54		
1	0	0	0	0	リザーブ	—	—	—	—	—	—			

■ : 外部クロック使用時の推奨設定時間

■ : 水晶発振使用時の推奨設定時間

【注】 * 発振安定待ち時間は、発振器が発振安定していない期間も含みますので、発振子の特性に影響されます。

上記数値は参考値です。

27.8.6 ディープソフトウェアスタンバイモードの応用例

(1) ディープソフトウェアスタンバイモードの遷移と解除

NMI 端子の立ち下がりエッジでディープソフトウェアスタンバイモードに遷移し、NMI 端子の立ち上がりエッジでディープソフトウェアスタンバイモードの解除を行う例を図 27.4 に示します。

この例では、INTCR の NMIEG ビットを 0 にクリアして立ち下がりエッジを設定している状態で、NMI 割り込みを受け付け、DNMIEG ビットを 1 にセットして立ち上がりエッジを設定し、SSBY ビットと DPSBY ビットを 1 にセットした後、SLEEP 命令を実行してディープソフトウェアスタンバイモードに遷移しています。

その後、NMI 端子の立ち上がりエッジでディープソフトウェアスタンバイモードが解除されます。

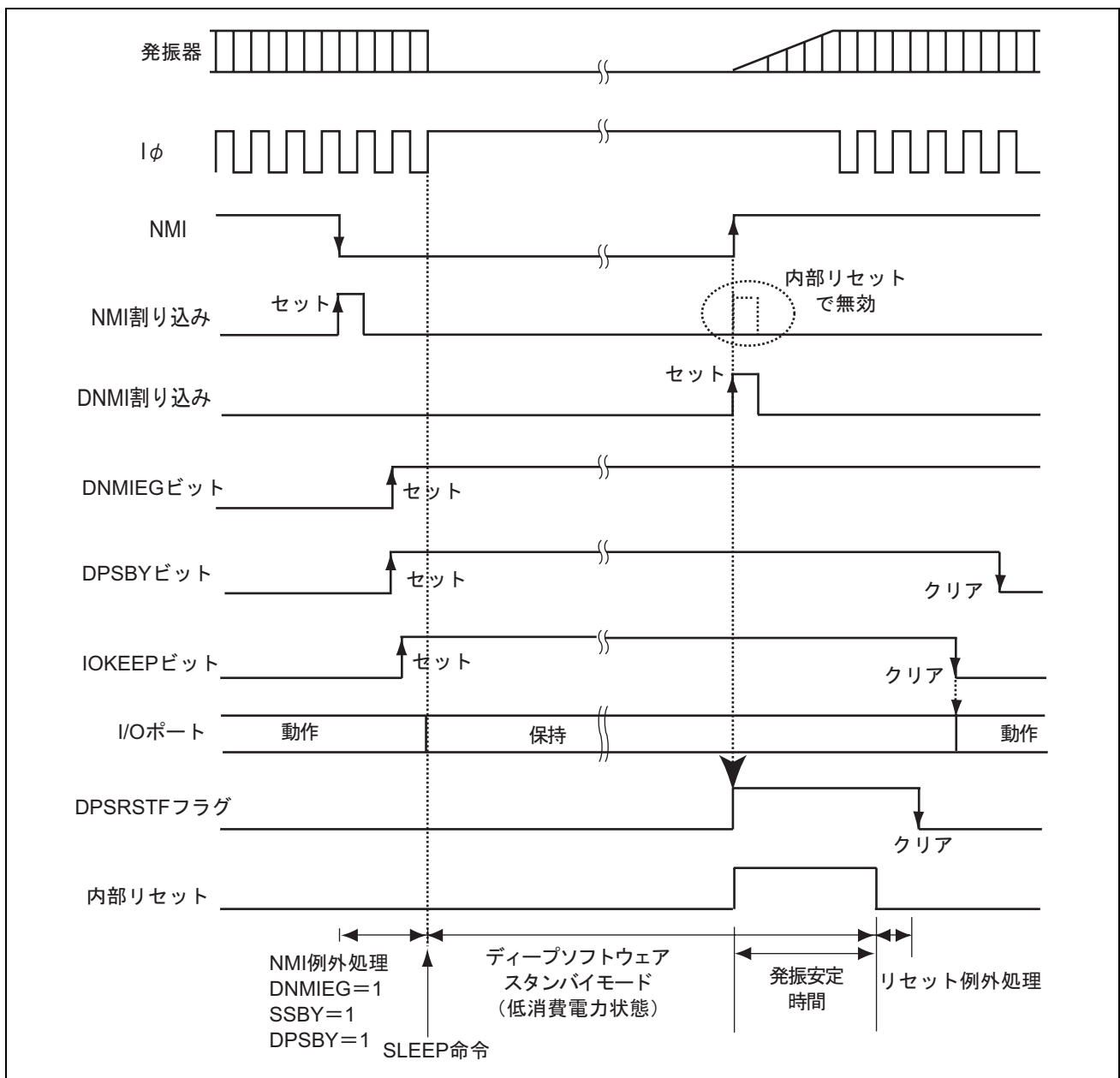


図 27.4 ディープソフトウェアスタンバイモードの応用例 (IOKEEP ビットが 1 のとき)

(2) 外部拡張モード時のディープソフトウェアスタンバイモード (IOKEEP=1)

IOKEEP ビットを 1、OPE ビットを 1 にセットしたときの、外部拡張モードでのディープソフトウェアスタンバイモードの動作例を図 27.5 に示します。

この例では、OPE ビットが 1、IOKEEP ビットが 1 の状態で、ディープソフトウェアスタンバイモードに遷移し、NMI 端子の立ち上がりエッジでディープソフトウェアスタンバイモードを解除しています。外部拡張モードでは、IOKEEP ビットが 1 の場合、アドレスバス、バス制御信号 ($\overline{CS0}$ 、 \overline{AS} 、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR})、データバスは、発振安定時間経過後に保持状態が解除されます。B ϕ 出力を含むそれ以外の端子は、IOKEEP ビットを 0 にクリアしたタイミングで解除され、I/O ポート、周辺モジュールの設定に従います。

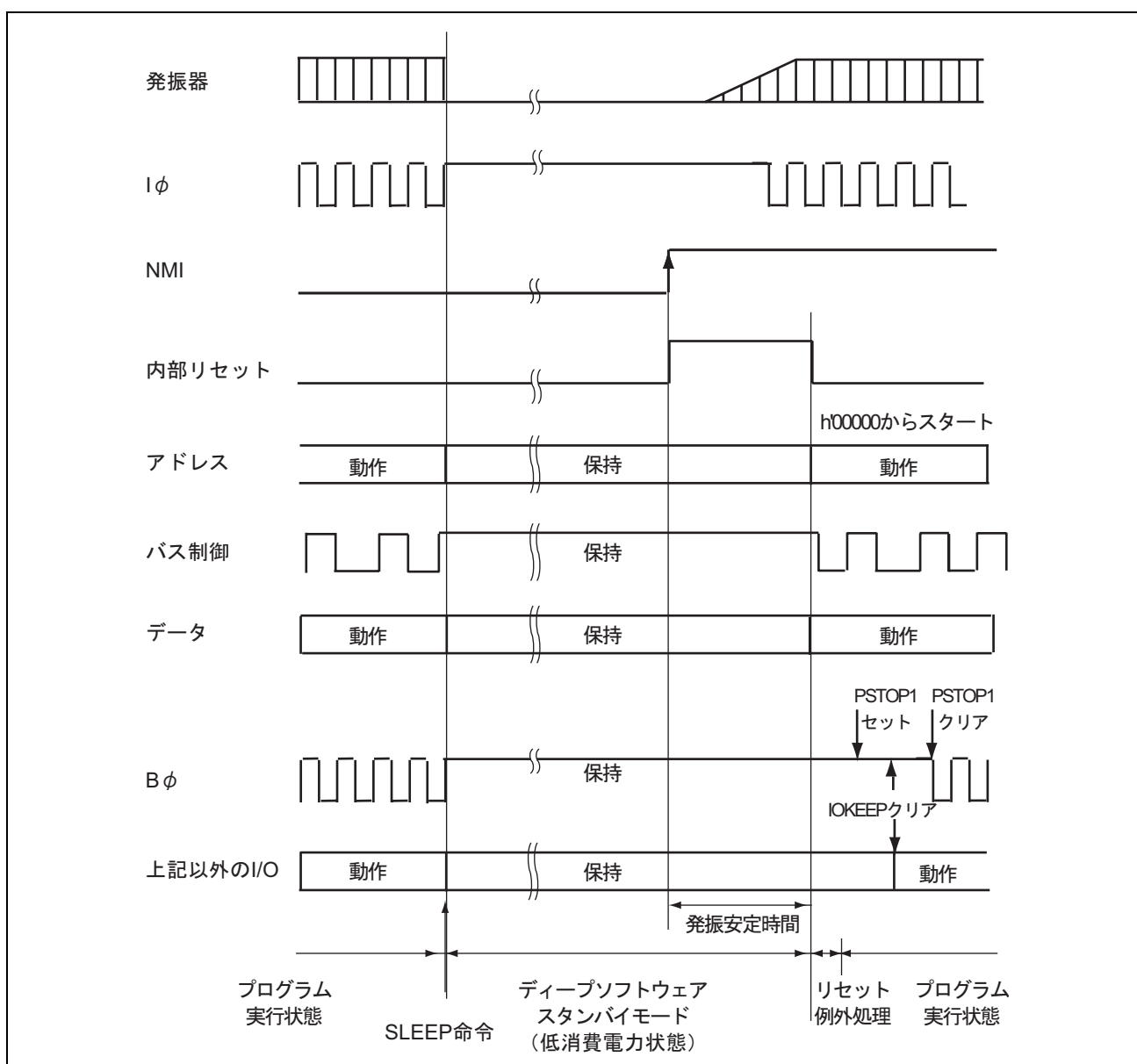


図 27.5 外部拡張モード時のディープソフトウェアスタンバイモードの動作例 (IOKEEP=OPE=1 のとき)

(3) 外部拡張モード時のディープソフトウェアスタンバイモード (IOKEEP=0)

IOKEEP ビットが 0、OPE ビットが 1 のときの、外部拡張モードでのディープソフトウェアスタンバイモードの動作例を図 27.6 に示します。IOKEEP ビットが 0 の場合、アドレスバス、バス制御信号 ($\overline{CS0}$ 、 \overline{AS} 、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR})、データバス、さらに Bφ 出力を含むそれ以外の端子についても、発振安定時間後に保持状態が解除されます。

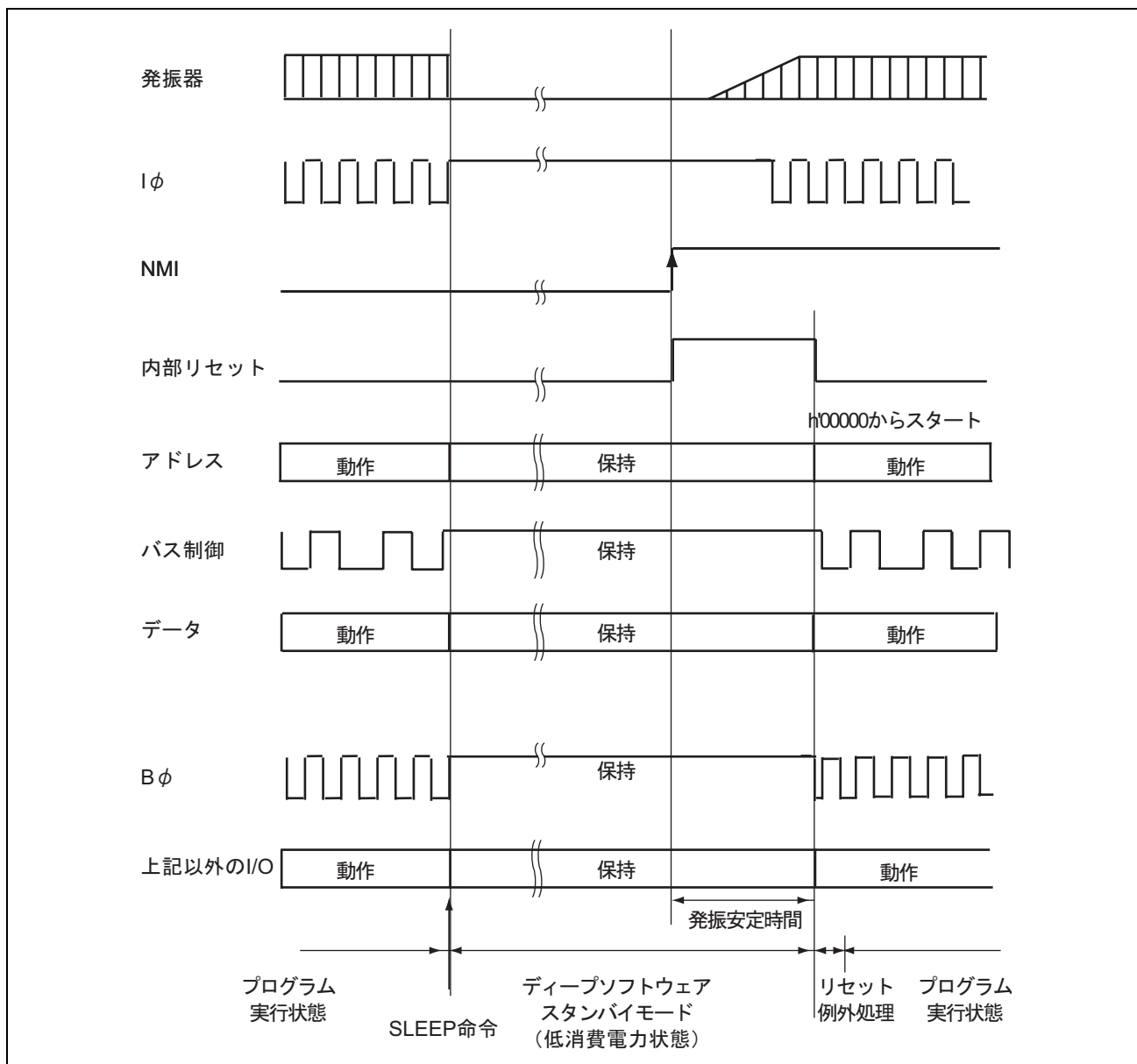


図 27.6 外部拡張モード時のディープソフトウェアスタンバイモードの動作例 (IOKEEP=0、OPE=1 のとき)

27.8.7 ディープソフトウェアスタンバイモードのフローチャート

図 27.7 にディープソフトウェアスタンバイモードを使用する場合のフローチャートの例を示します。

この例では、リセット例外処理後、DPSRSTF ビットにて $\overline{\text{RES}}$ 端子によるリセットか、ディープソフトウェアスタンバイモード解除によるリセットかを判定しています。

$\overline{\text{RES}}$ 端子によるリセットの場合は、各種設定後、ディープソフトウェアスタンバイモードへ遷移していません。

ディープソフトウェアスタンバイモード解除によるリセットの場合は、I/O ポートの設定をした上で IOKEEP ビットをクリアしています。なお、IOKEEP ビットのクリアのタイミングで B ϕ 出力にハザードを出さないための設定も行っています。

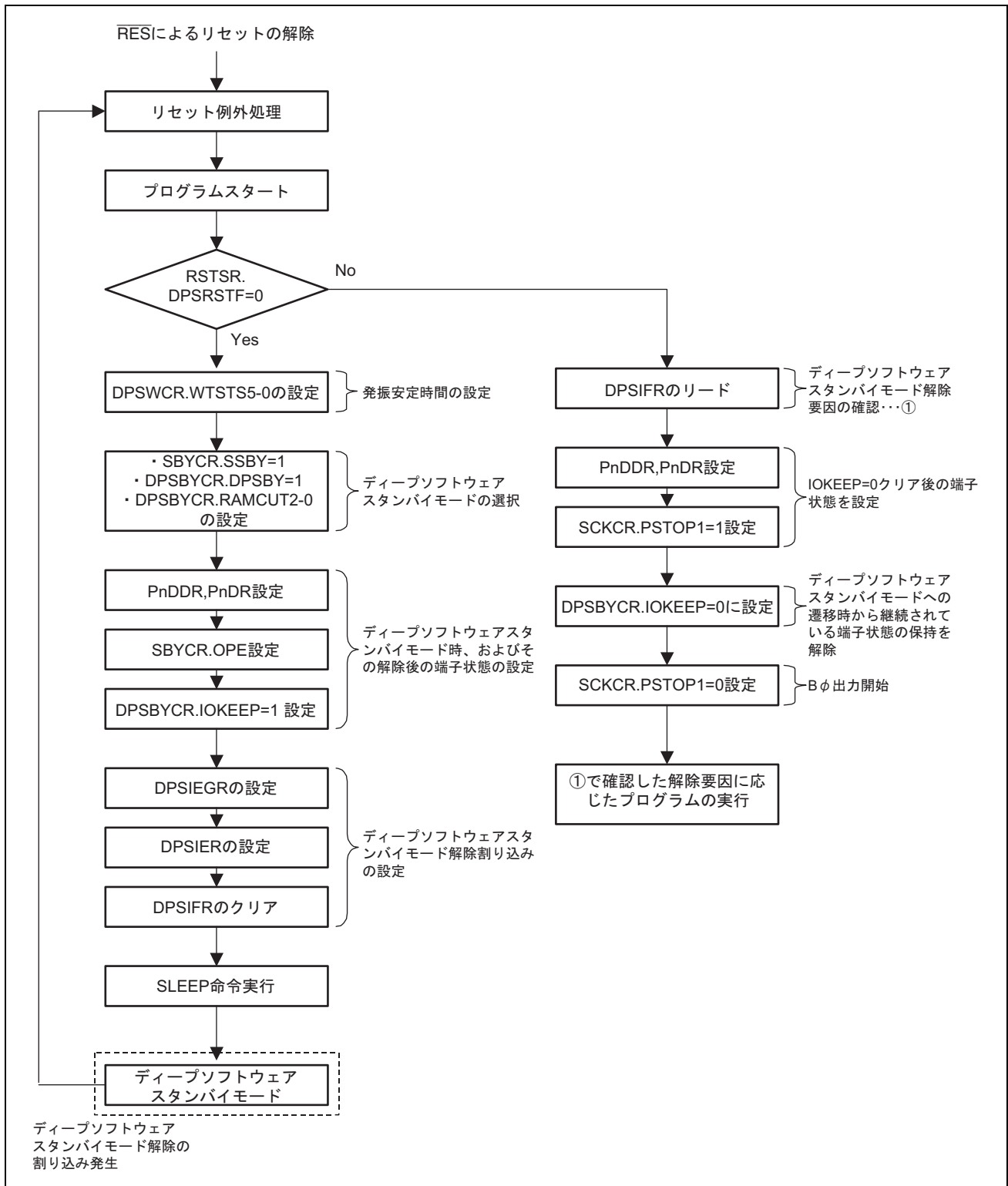


図 27.7 ディープソフトウェアスタンバイモードのフローチャート例

27.9 ハードウェアスタンバイモード

27.9.1 ハードウェアスタンバイモードへの遷移

$\overline{\text{STBY}}$ 端子を Low レベルにすると、どの状態からでもハードウェアスタンバイモードになります。

ハードウェアスタンバイモードでは、すべての機能がリセット状態になり動作が停止するため、消費電力は著しく低減します。このとき、内蔵 RAM のデータは、内蔵 RAM への内部電源の供給が停止するため保持されません。I/O ポートはハイインピーダンス状態になります。

また、ハードウェアスタンバイモード中には、モード端子 (MD2~MD0) の状態を変化させないでください。

27.9.2 ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードの解除は、 $\overline{\text{STBY}}$ 端子と $\overline{\text{RES}}$ 端子によって行われます。 $\overline{\text{RES}}$ 端子を Low レベルにした状態で、 $\overline{\text{STBY}}$ 端子を High レベルにすると、リセット状態になり、クロックは発振を開始します。このとき、 $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで (発振安定時間については、表 27.2 参照) Low レベルを保持してください。その後、 $\overline{\text{RES}}$ 端子を High レベルにすると、リセット例外処理状態を経てプログラム実行状態へ遷移します。

27.9.3 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードのタイミング例を図 27.8 に示します。

$\overline{\text{RES}}$ 端子を Low レベルにした後、 $\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。解除は、 $\overline{\text{STBY}}$ 端子を High レベルにし、クロックの発振安定時間経過後、 $\overline{\text{RES}}$ 端子を Low レベルから High レベルにすることにより行われます。

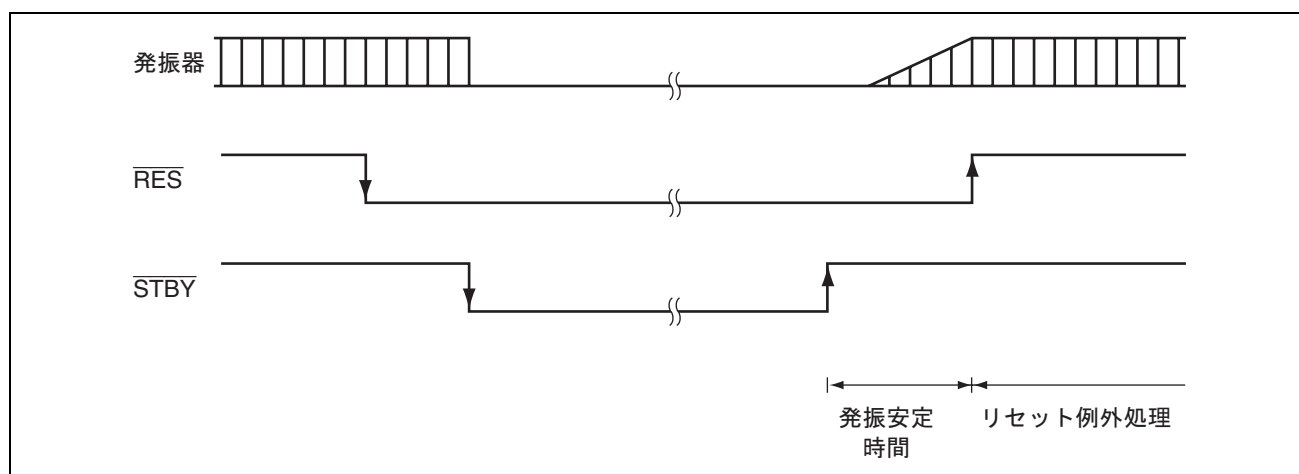


図 27.8 ハードウェアスタンバイモードのタイミング

27.9.4 電源投入時のタイミング

電源投入時のタイミングを図 27.9 に示します。

電源投入時は、必ず $\overline{\text{STBY}}$ 端子を High レベルにした状態で規定の時間 $\overline{\text{RES}}$ 端子を Low レベルにし、リセット解除してください。

電源投入時よりハードウェアスタンバイモードに遷移する場合、リセット解除後に $\overline{\text{STBY}}$ 端子を Low レベルにしてください。

なお、ハードウェアスタンバイモード解除については「27.9.3 ハードウェアスタンバイモードのタイミング」を参照してください。

パワーオンリセット*を使用する場合は、 $\overline{\text{STBY}}$ 端子および $\overline{\text{RES}}$ 端子を High レベルにした状態で電源を投入してください。

【注】 * H8SX/1648L グループ、H8SX/1648H グループのみサポート。

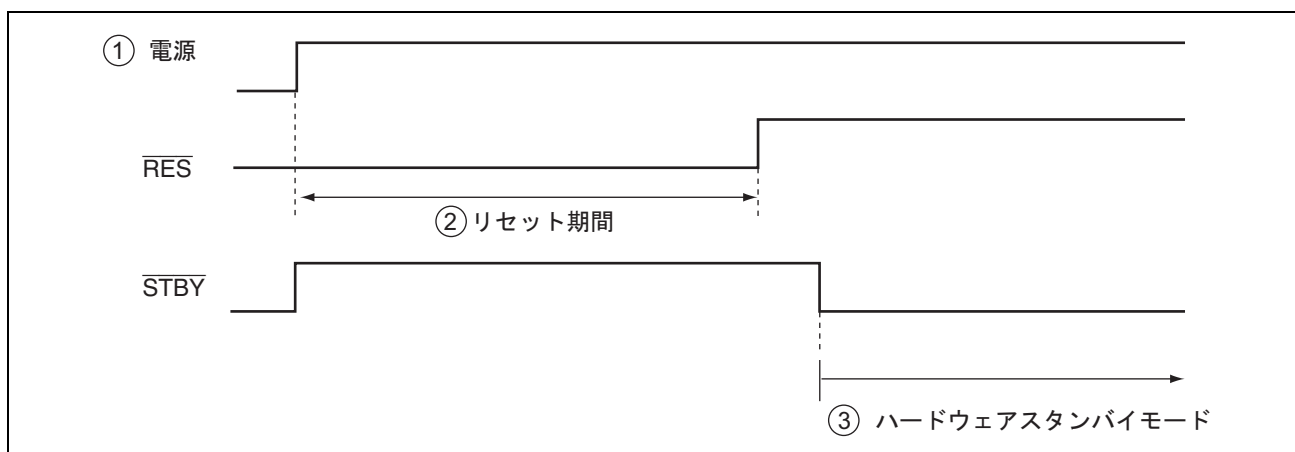


図 27.9 電源投入時のタイミング

27.10 スリープ命令例外処理

スリープ命令例外処理は、SLEEP 命令の実行に伴い発生する例外処理です。スリープ命令例外処理は、プログラム実行状態で常に受け付けられます。

SLPIE ビットを 0 に設定すると、SLEEP 命令の実行後、スリープ命令例外処理は発生しません。このとき、CPU は低消費電力状態に遷移します。その後、低消費電力状態の解除要因となる例外処理要求が発生すると低消費電力状態は解除され、CPU は例外処理を開始します。SLPIE ビットを 1 に設定すると、SLEEP 命令の実行後、スリープ命令例外処理が発生します。スリープ命令例外処理の発生により、低消費電力状態への遷移は抑制され、CPU はただちにスリープ命令例外処理を開始します。

SLPIE ビットを 0 にクリアした状態で SLEEP 命令を実行すると、低消費電力状態に遷移します。この後、解除要因となる割り込みが発生することにより、低消費電力状態が解除されます (図 27.10)。

SLEEP 命令実行の直前に解除要因となる割り込みが発生した場合は、その時点で例外処理を開始します。そして、例外サービスルーチンから復帰した後、SLEEP 命令を実行し、低消費電力状態へ遷移します。この場合、次の解除要因となる割り込み要求の発生を持って、低消費電力状態が解除されます (図 27.11)。

解除要因となる割り込み例外サービスルーチン内で SLPIE ビットを 1 に設定し、SLEEP 命令の実行に伴い

スリープ命令例外処理が発生するようにした場合、SLEEP 命令実行の直前に解除要因となる割り込みが発生した場合でも、**図 27.12** に示したように、SLEEP 命令実行に伴いスリープ命令例外処理が発生するので、CPU は低消費電力状態へ遷移することなく、スリープ命令例外処理、例外サービスルーチンを経て、SLEEP 命令の次命令を実行します。

SLPIE ビットを 1 にセットし、スリープ例外処理が発生させるときは、SBYCR の SSBY ビットを 0 にクリアしてください。

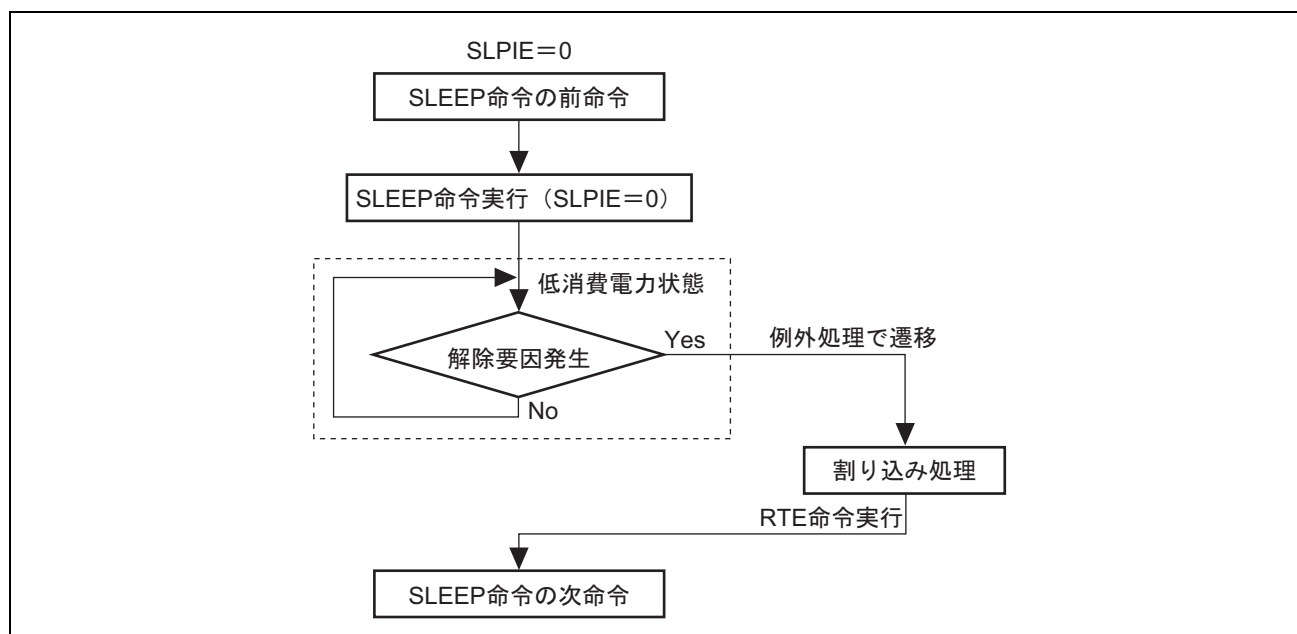


図 27.10 SLEEP 命令実行後に解除要因割り込みが発生した場合

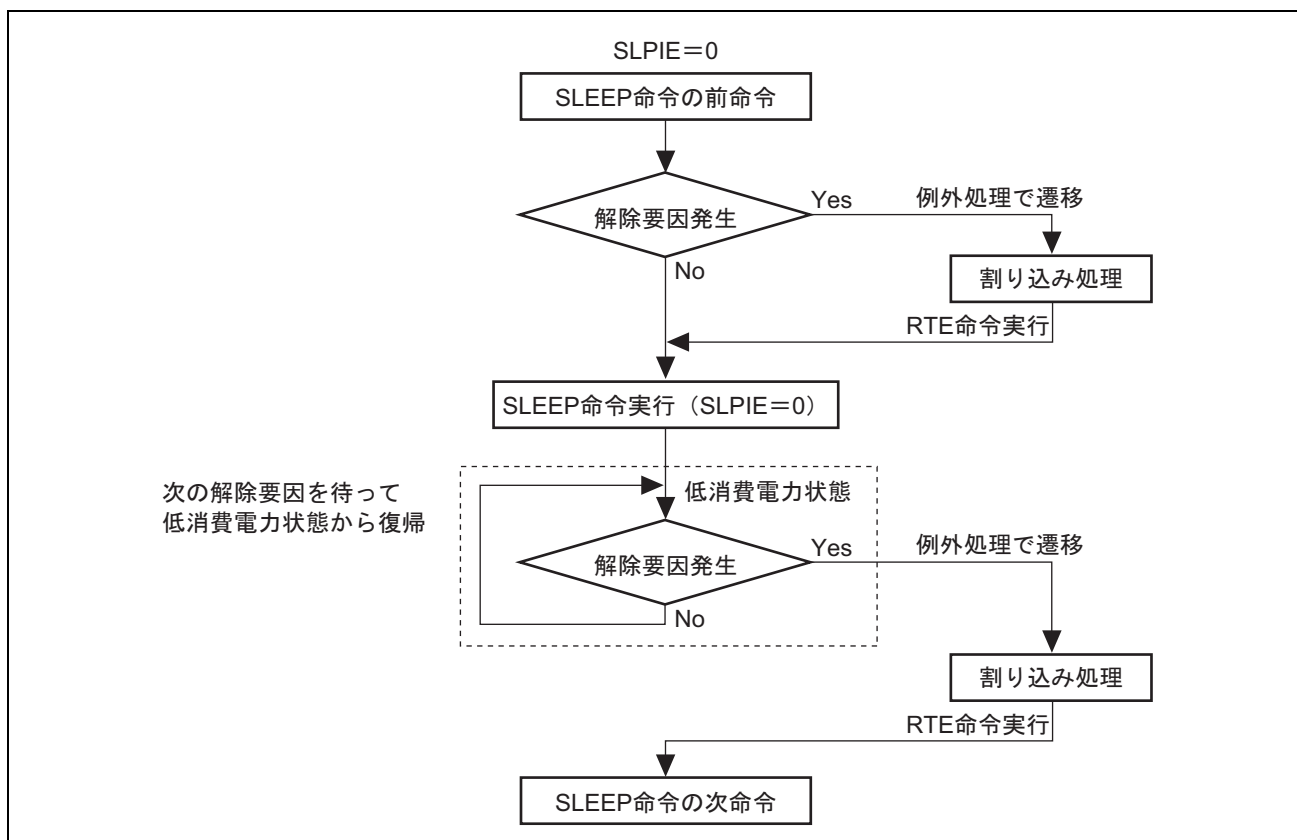


図 27.11 SLEEP 命令実行直前に解除要因割り込みが発生した場合
(スリープ命令例外処理が発生しない場合)

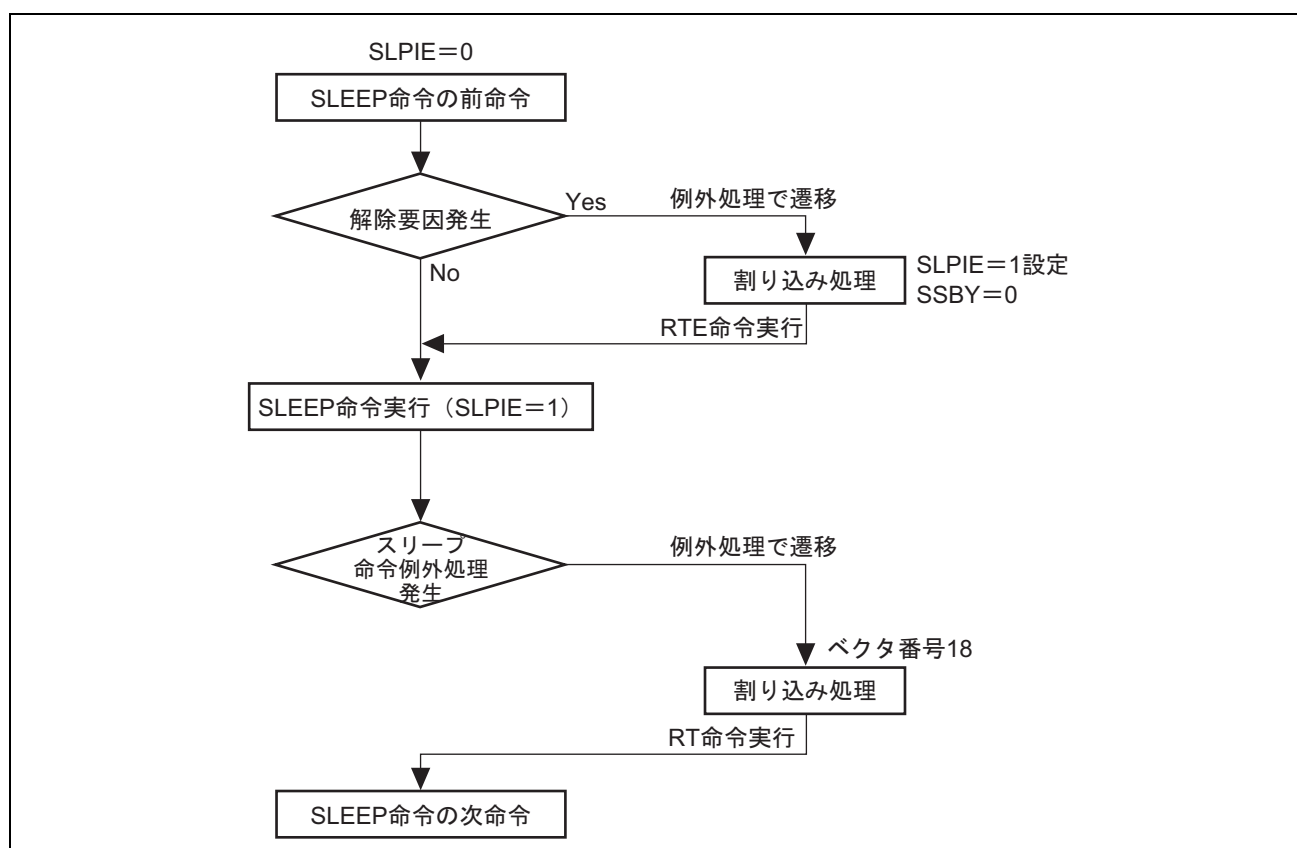


図 27.12 SLEEP 命令実行直前に解除要因割り込みが発生した場合(スリープ命令例外処理が発生する場合)

27.11 ϕ クロック出力制御*

SCKCR の PSTOP1、PSTOP0 ビットと対応するポートの DDR により、 ϕ クロック (B ϕ /SDRAM ϕ) の出力を制御することができます。PSTOP1 ビットは PA7 の B ϕ 出力を、PSTOP0 ビットは PB7 の SDRAM ϕ 出力を制御します。PSTOP1 ビットを 1 にセットすると、バスサイクルの終了時点で PA7 の B ϕ 出力は停止し、High レベルになります。同様に PSTOP0 ビットで PB7 の SDRAM ϕ 出力は High レベルになります。PA7 の DDR を 0 にクリアすると、B ϕ 出力は禁止され入力ポートになります。SDRAM インタフェース無効時には、PB7 は I/O ポートとして使用することができます。

表 27.4、表 27.5 に各処理状態における ϕ 端子の状態を示します。

表 27.4 各処理状態における ϕ 端子 (PA7) の状態

レジスタの設定値		通常動作 状態	スリープ	全モジュール クロックストップ	ソフトウェア スタンバイ		ディープソフトウェア スタンバイ		ハードウェア スタンバイ
DDR	PSTOP1				OPE=0	OPE=1	IOKEEP=0	IOKEEP=1	
0	x	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
1	0	B ϕ 出力	B ϕ 出力	B ϕ 出力	High	High	High	High	Hi-Z
1	1	High	High	High	High	High	High	High	Hi-Z

【注】 * SDRAM ϕ およびこれを制御する PSTOP0 ビットは、H8SX/1648G グループ、H8SX/1648H グループのみのサポートになります。

表 27.5 各処理状態における ϕ 端子 (PB7) の状態 (SDRAM インタフェース有効時)

レジスタの設定値	通常動作 状態	スリープ	全モジュール クロック ストップ	ソフトウェア スタンバイ		ディープソフトウェア スタンバイ		ハードウェア スタンバイ
				OPE=0	OPE=1	IOKEEP=0	IOKEEP=1	
PSTOP0								
0	SDRAM ϕ 出力	SDRAM ϕ 出力	SDRAM ϕ 出力	High	High	High	High	Hi-Z
1	High	High	High	High	High	High	High	Hi-Z

27.12 使用上の注意事項

27.12.1 I/O ポートの状態

ソフトウェアスタンバイモード、およびディープソフトウェアスタンバイモードでは、I/O ポートの状態が保持されます。したがって、High レベルを出力している場合は出力電流分の消費電流は低減されません。

27.12.2 発振安定待機中の消費電流

発振安定待機中は消費電流が増加します。

27.12.3 DMAC、EXDMAC*、DTC のモジュールストップ

DMAC、EXDMAC、DTC の動作状態によって、MSTPA14～MSTPA12 ビットは 1 にセットされない場合があります。DMAC、EXDMAC、または DTC のモジュールストップ状態の設定は、DMAC、EXDMAC、DTC が起動されていない状態で行ってください。

詳細は、「10. DMA コントローラ (DMAC)」、「11. EXDMA コントローラ (EXDMAC)」、「12. データトランスファコントローラ (DTC)」を参照してください。

【注】 * EXDMAC は H8SX/1648G グループ、H8SX/1648H グループのみのサポートになります。

27.12.4 内蔵周辺モジュールの割り込み

モジュールストップ状態では当該割り込みの動作ができません。したがって、割り込みが要求された状態でモジュールストップとすると、CPU の割り込み要因または DMAC、DTC の起動要因のクリアができません。事前に割り込みをディスエーブルにするなどしてからモジュールストップ状態にしてください。

27.12.5 MSTPCRA、MSTPCRB、MSTPCRC のライト

MSTPCRA、MSTPCRB および MSTPCRC は、CPU のみでライトしてください。

27.12.6 DIRQnE (n=3~0)による入力バッファ制御

DPSIER の DIRQnE (n=3~0) ビットに 1 をセットすることで、P10/ $\overline{\text{IRQ0}}$ -A~P13/ $\overline{\text{IRQ3}}$ -A 端子の入力バッファを有効にした場合、これらの端子に対応する PnICR の設定は無効になります。このため、DIRQnE (n=3~0) ビットに 1 をセットした時点で、当該端子への外部入力には DPSIFR の DIRQnF (n=3~0) ビットだけでなく割り込みコントローラや周辺モジュール、I/O ポート等にも伝わりますので注意してください。

27.12.7 ディープソフトウェアスタンバイモードの遷移と割り込みの競合

ディープソフトウェアスタンバイモードへ遷移する際、ソフトウェアスタンバイモードの解除要因が競合した場合にはディープソフトウェアスタンバイモードへは遷移せずにソフトウェアスタンバイモードの解除シーケンスを開始します。その後、SBYCR の STS4～STS0 ビットで設定されたソフトウェアスタンバイモードの発振安定時間を経過した後、割り込み例外処理が開始されます。

ディープソフトウェアスタンバイモードへの遷移と NMI 割り込みが競合する場合は、NMI 割り込み例外処理ルーチンが必要ですので、注意してください。

ディープソフトウェアスタンバイモードへの遷移と IRQ0～15 割り込み、32K タイマ割り込み*¹、電圧監視割り込み*²が競合する場合は、SSIER の SSIn ビットを 0 にクリアしておくことにより、割り込み例外処理を開始することなく、ディープソフトウェアスタンバイモードに遷移することが可能です。

【注】 *1 H8SX/1648G グループ、H8SX/1648H グループのみサポート。

*2 H8SX/1648L グループ、H8SX/1648H グループのみサポート。

27.12.8 Bφおよび SDRAMφ*出力の状態

IOKEEP ビットが 0 に設定されている場合のディープソフトウェアスタンバイモード解除直後および IOKEEP ビットが 1 に設定されている場合のディープソフトウェアスタンバイモード解除後の IOKEEP ビットクリア直後は、Bφ、SDRAMφ出力が最大 1 サイクル期間不定となります。

ただし、IOKEEP ビットを 1 に設定し、かつ PSTOP1 ビット、PSTOP0 ビットの設定を行うことで、Bφ、SDRAMφを正常に出力することができます。詳細は、「27.8.4 ディープソフトウェアスタンバイモード解除後の Bφおよび SDRAMφ動作」を参照してください。

【注】 * SDRAMφおよびこれを制御する PSTOP0 ビットは、H8SX/1648G グループ、H8SX/1648H グループのみのサポートになります。

28. レジスタ一覧

レジスタ一覧では、内蔵レジスタのアドレス、ビット構成および動作モード別の状態に関する情報をまとめています。表記方法は下記のとおりです。

1. レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載します。
- モジュール名称による分類をしています。
- アクセスステート数については、指定の基準クロックのステート数を示しています。詳細は「9.5.4 外部バスインタフェース」を参照してください。
- 内部IOレジスタの領域で、レジスタ一覧に記載のないアドレスの領域は、未定義・リザーブアドレスです。未定義・リザーブアドレスのアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

2. レジスタビット一覧

- 「レジスタアドレス一覧（アドレス順）」の順序で、ビット構成を記載します。
- リザーブビットは、ビット名称部に「-」で表記しています。
- ビット名称部が空白のものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。
- 16ビットまたは32ビットのレジスタの場合、MSB側のビットから記載しています。バイトの記載順序はビッグエンディアンを前提としています。

3. 各動作モードにおけるレジスタの状態

- 「レジスタアドレス一覧（アドレス順）」の順序で、レジスタの状態を記載します。
- 初期化の各ビットの状態は、該当する章のレジスタ説明を参照してください。
- 基本的な動作モード時のレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、周辺モジュールの章を参照してください。

28. レジスタ一覧

28.1 レジスタアドレス一覧（アドレス順）

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
タイマコントロールレジスタ_4	TCR_4	8	H'FEA40	TMR_4	16	3Pφ/3Pφ
タイマコントロールレジスタ_5	TCR_5	8	H'FEA41	TMR_5	16	3Pφ/3Pφ
タイマコントロール/ステータスレジスタ_4	TCSR_4	8	H'FEA42	TMR_4	16	3Pφ/3Pφ
タイマコントロール/ステータスレジスタ_5	TCSR_5	8	H'FEA43	TMR_5	16	3Pφ/3Pφ
タイムコンスタントレジスタ A_4	TCORA_4	8	H'FEA44	TMR_4	16	3Pφ/3Pφ
タイムコンスタントレジスタ A_5	TCORA_5	8	H'FEA45	TMR_5	16	3Pφ/3Pφ
タイムコンスタントレジスタ B_4	TCORB_4	8	H'FEA46	TMR_4	16	3Pφ/3Pφ
タイムコンスタントレジスタ B_5	TCORB_5	8	H'FEA47	TMR_5	16	3Pφ/3Pφ
タイマカウンタ_4	TCNT_4	8	H'FEA48	TMR_4	16	3Pφ/3Pφ
タイマカウンタ_5	TCNT_5	8	H'FEA49	TMR_5	16	3Pφ/3Pφ
タイマカウンタコントロールレジスタ_4	TCCR_4	8	H'FEA4A	TMR_4	16	3Pφ/3Pφ
タイマカウンタコントロールレジスタ_5	TCCR_5	8	H'FEA4B	TMR_5	16	3Pφ/3Pφ
CRC コントロールレジスタ	CRCCR	8	H'FEA4C	CRC	16	3Pφ/3Pφ
CRC データ入力レジスタ	CRCDIR	8	H'FEA4D	CRC	16	3Pφ/3Pφ
CRC データ出力レジスタ	CRCDOR	16	H'FEA4E	CRC	16	3Pφ/3Pφ
タイマコントロールレジスタ_6	TCR_6	8	H'FEA50	TMR_6	16	3Pφ/3Pφ
タイマコントロールレジスタ_7	TCR_7	8	H'FEA51	TMR_7	16	3Pφ/3Pφ
タイマコントロール/ステータスレジスタ_6	TCSR_6	8	H'FEA52	TMR_6	16	3Pφ/3Pφ
タイマコントロール/ステータスレジスタ_7	TCSR_7	8	H'FEA53	TMR_7	16	3Pφ/3Pφ
タイムコンスタントレジスタ A_6	TCORA_6	8	H'FEA54	TMR_6	16	3Pφ/3Pφ
タイムコンスタントレジスタ A_7	TCORA_7	8	H'FEA55	TMR_7	16	3Pφ/3Pφ
タイムコンスタントレジスタ B_6	TCORB_6	8	H'FEA56	TMR_6	16	3Pφ/3Pφ
タイムコンスタントレジスタ B_7	TCORB_7	8	H'FEA57	TMR_7	16	3Pφ/3Pφ
タイマカウンタ_6	TCNT_6	8	H'FEA58	TMR_6	16	3Pφ/3Pφ
タイマカウンタ_7	TCNT_7	8	H'FEA59	TMR_7	16	3Pφ/3Pφ
タイマカウンタコントロールレジスタ_6	TCCR_6	8	H'FEA5A	TMR_6	16	3Pφ/3Pφ
タイマカウンタコントロールレジスタ_7	TCCR_7	8	H'FEA5B	TMR_7	16	3Pφ/3Pφ
A/D データレジスタ A_1	ADDRA_1	16	H'FEA80	A/D_1	16	3Pφ/3Pφ
A/D データレジスタ B_1	ADDRB_1	16	H'FEA82	A/D_1	16	3Pφ/3Pφ
A/D データレジスタ C_1	ADDRC_1	16	H'FEA84	A/D_1	16	3Pφ/3Pφ
A/D データレジスタ D_1	ADDRD_1	16	H'FEA86	A/D_1	16	3Pφ/3Pφ
A/D データレジスタ E_2	ADDRE_2	16	H'FEA88	A/D_2	16	3Pφ/3Pφ
A/D データレジスタ F_2	ADDRF_2	16	H'FEA8A	A/D_2	16	3Pφ/3Pφ
A/D データレジスタ G_2	ADDRG_2	16	H'FEA8C	A/D_2	16	3Pφ/3Pφ

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
A/D データレジスタ H_2	ADDRH_2	16	H'FEA8E	A/D_2	16	3Pφ/3Pφ
A/D データレジスタ E_1	ADDRE_1	16	H'FEA90	A/D_1	16	3Pφ/3Pφ
A/D データレジスタ F_1	ADDRF_1	16	H'FEA92	A/D_1	16	3Pφ/3Pφ
A/D データレジスタ G_1	ADDRG_1	16	H'FEA94	A/D_1	16	3Pφ/3Pφ
A/D データレジスタ H_1	ADDRH_1	16	H'FEA96	A/D_1	16	3Pφ/3Pφ
A/D データレジスタ A_2	ADDRA_2	16	H'FEA98	A/D_2	16	3Pφ/3Pφ
A/D データレジスタ B_2	ADDRB_2	16	H'FEA9A	A/D_2	16	3Pφ/3Pφ
A/D データレジスタ C_2	ADDRC_2	16	H'FEA9C	A/D_2	16	3Pφ/3Pφ
A/D データレジスタ D_2	ADDRD_2	16	H'FEA9E	A/D_2	16	3Pφ/3Pφ
A/D コントロール/ステータスレジスタ_1	ADCSR_1	8	H'FEAA0	A/D_1	16	3Pφ/3Pφ
A/D コントロールレジスタ_1	ADCR_1	8	H'FEAA1	A/D_1	16	3Pφ/3Pφ
A/D コントロール/ステータスレジスタ_2	ADCSR_2	8	H'FEAB0	A/D_2	16	3Pφ/3Pφ
A/D コントロールレジスタ_2	ADCR_2	8	H'FEAB1	A/D_2	16	3Pφ/3Pφ
ポート M データディレクションレジスタ*2	PMDDR	8	H'FEE50	I/O ポート	8	3Pφ/3Pφ
ポート M データレジスタ*2	PMDR	8	H'FEE51	I/O ポート	8	3Pφ/3Pφ
ポート M レジスタ*2	PORTM	8	H'FEE52	I/O ポート	8	3Pφ/3Pφ
ポート M 入力バッファコントロールレジスタ*2	PMICR	8	H'FEE53	I/O ポート	8	3Pφ/3Pφ
ポート N データディレクションレジスタ	PNDDR	8	H'FEE54	I/O ポート	8	3Pφ/3Pφ
ポート N データレジスタ	PNDR	8	H'FEE55	I/O ポート	8	3Pφ/3Pφ
ポート N レジスタ	PORTN	8	H'FEE56	I/O ポート	8	3Pφ/3Pφ
ポート N 入力バッファコントロールレジスタ	PNICR	8	H'FEE57	I/O ポート	8	3Pφ/3Pφ
シリアルモードレジスタ_5	SMR_5	8	H'FF600	SCI_5	8	3Pφ/3Pφ
ビットレートレジスタ_5	BRR_5	8	H'FF601	SCI_5	8	3Pφ/3Pφ
シリアルコントロールレジスタ_5	SCR_5	8	H'FF602	SCI_5	8	3Pφ/3Pφ
トランスミットデータレジスタ_5	TDR_5	8	H'FF603	SCI_5	8	3Pφ/3Pφ
シリアルステータスレジスタ_5	SSR_5	8	H'FF604	SCI_5	8	3Pφ/3Pφ
レシーブデータレジスタ_5	RDR_5	8	H'FF605	SCI_5	8	3Pφ/3Pφ
スマートカードモードレジスタ_5	SCMR_5	8	H'FF606	SCI_5	8	3Pφ/3Pφ
シリアル拡張モードレジスタ_5	SEMR_5	8	H'FF608	SCI_5	8	3Pφ/3Pφ
IrDA コントロールレジスタ	IrCR	8	H'FF60C	SCI_5	8	3Pφ/3Pφ
シリアルモードレジスタ_6	SMR_6	8	H'FF610	SCI_6	8	3Pφ/3Pφ
ビットレートレジスタ_6	BRR_6	8	H'FF611	SCI_6	8	3Pφ/3Pφ
シリアルコントロールレジスタ_6	SCR_6	8	H'FF612	SCI_6	8	3Pφ/3Pφ
トランスミットデータレジスタ_6	TDR_6	8	H'FF613	SCI_6	8	3Pφ/3Pφ
シリアルステータスレジスタ_6	SSR_6	8	H'FF614	SCI_6	8	3Pφ/3Pφ
レシーブデータレジスタ_6	RDR_6	8	H'FF615	SCI_6	8	3Pφ/3Pφ

28. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
スマートカードモードレジスタ_6	SCMR_6	8	H'FF616	SCI_6	8	3Pφ/3Pφ
シリアル拡張モードレジスタ_6	SEMR_6	8	H'FF618	SCI_6	8	3Pφ/3Pφ
PPG 出力コントロールレジスタ_1	PCR_1	8	H'FF636	PPG_1	8	3Pφ/3Pφ
PPG 出力モードレジスタ_1	PMR_1	8	H'FF637	PPG_1	8	3Pφ/3Pφ
ネクストデータイネーブルレジスタ H_1	NDERH_1	8	H'FF638	PPG_1	8	3Pφ/3Pφ
ネクストデータイネーブルレジスタ L_1	NDERL_1	8	H'FF639	PPG_1	8	3Pφ/3Pφ
アウトプットデータレジスタ H_1	PODRH_1	8	H'FF63A	PPG_1	8	3Pφ/3Pφ
アウトプットデータレジスタ L_1	PODRL_1	8	H'FF63B	PPG_1	8	3Pφ/3Pφ
ネクストデータレジスタ H_1*1	NDRH_1	8	H'FF63C	PPG_1	8	3Pφ/3Pφ
ネクストデータレジスタ L_1*1	NDRL_1	8	H'FF63D	PPG_1	8	3Pφ/3Pφ
ネクストデータレジスタ H_1*1	NDRH_1	8	H'FF63E	PPG_1	8	3Pφ/3Pφ
ネクストデータレジスタ L_1*1	NDRL_1	8	H'FF63F	PPG_1	8	3Pφ/3Pφ
I ² C バスコントロールレジスタ A_2	ICCRA_2	8	H'FF640	IIC2_2	8	3Pφ/3Pφ
I ² C バスコントロールレジスタ B_2	ICCRB_2	8	H'FF641	IIC2_2	8	3Pφ/3Pφ
I ² C バスモードレジスタ_2	ICMR_2	8	H'FF642	IIC2_2	8	3Pφ/3Pφ
I ² C バスインタラプトイネーブルレジスタ_2	ICIER_2	8	H'FF643	IIC2_2	8	3Pφ/3Pφ
I ² C バスステータスレジスタ_2	ICSR_2	8	H'FF644	IIC2_2	8	3Pφ/3Pφ
スレーブアドレスレジスタ_2	SAR_2	8	H'FF645	IIC2_2	8	3Pφ/3Pφ
I ² C バス送信データレジスタ_2	ICDRT_2	8	H'FF646	IIC2_2	8	3Pφ/3Pφ
I ² C バス受信データレジスタ_2	ICDRR_2	8	H'FF647	IIC2_2	8	3Pφ/3Pφ
I ² C バスコントロールレジスタ A_3	ICCRA_3	8	H'FF648	IIC2_3	8	3Pφ/3Pφ
I ² C バスコントロールレジスタ B_3	ICCRB_3	8	H'FF649	IIC2_3	8	3Pφ/3Pφ
I ² C バスモードレジスタ_3	ICMR_3	8	H'FF64A	IIC2_3	8	3Pφ/3Pφ
I ² C バスインタラプトイネーブルレジスタ_3	ICIER_3	8	H'FF64B	IIC2_3	8	3Pφ/3Pφ
I ² C バスステータスレジスタ_3	ICSR_3	8	H'FF64C	IIC2_3	8	3Pφ/3Pφ
スレーブアドレスレジスタ_3	SAR_3	8	H'FF64D	IIC2_3	8	3Pφ/3Pφ
I ² C バス送信データレジスタ_3	ICDRT_3	8	H'FF64E	IIC2_3	8	3Pφ/3Pφ
I ² C バス受信データレジスタ_3	ICDRR_3	8	H'FF64F	IIC2_3	8	3Pφ/3Pφ
ブ레이크アドレスレジスタ AH	BARAH	16	H'FFA00	UBC	16	21φ/21φ
ブ레이크アドレスレジスタ AL	BARAL	16	H'FFA02	UBC	16	21φ/21φ
ブ레이크アドレスマスクレジスタ AH	BAMRAH	16	H'FFA04	UBC	16	21φ/21φ
ブ레이크アドレスマスクレジスタ AL	BAMRAL	16	H'FFA06	UBC	16	21φ/21φ
ブ레이크アドレスレジスタ BH	BARBH	16	H'FFA08	UBC	16	21φ/21φ
ブ레이크アドレスレジスタ BL	BARBL	16	H'FFA0A	UBC	16	21φ/21φ
ブ레이크アドレスマスクレジスタ BH	BAMRBH	16	H'FFA0C	UBC	16	21φ/21φ
ブ레이크アドレスマスクレジスタ BL	BAMRBL	16	H'FFA0E	UBC	16	21φ/21φ

28. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
ブレークアドレスレジスタ CH	BARCH	16	H'FFA10	UBC	16	21φ/21φ
ブレークアドレスレジスタ CL	BARCL	16	H'FFA12	UBC	16	21φ/21φ
ブレークアドレスマスクレジスタ CH	BAMRCH	16	H'FFA14	UBC	16	21φ/21φ
ブレークアドレスマスクレジスタ CL	BAMRCL	16	H'FFA16	UBC	16	21φ/21φ
ブレークアドレスレジスタ DH	BARDH	16	H'FFA18	UBC	16	21φ/21φ
ブレークアドレスレジスタ DL	BARDL	16	H'FFA1A	UBC	16	21φ/21φ
ブレークアドレスマスクレジスタ DH	BAMRDH	16	H'FFA1C	UBC	16	21φ/21φ
ブレークアドレスマスクレジスタ DL	BAMRDL	16	H'FFA1E	UBC	16	21φ/21φ
ブレークコントロールレジスタ A	BRCRA	16	H'FFA28	UBC	16	21φ/21φ
ブレークコントロールレジスタ B	BRCRB	16	H'FFA2C	UBC	16	21φ/21φ
ブレークコントロールレジスタ C	BRCRC	16	H'FFA30	UBC	16	21φ/21φ
ブレークコントロールレジスタ D	BRCRD	16	H'FFA34	UBC	16	21φ/21φ
タイマコントロールレジスタ*2	TCR32K	8	H'FFABC	TM32K	8	2Pφ/2Pφ
タイマカウンタ 1*2	TCNT32K1	8	H'FFABD	TM32K	8	2Pφ/2Pφ
タイマカウンタ 2*2	TCNT32K2	8	H'FFABE	TM32K	8	2Pφ/2Pφ
タイマカウンタ 3*2	TCNT32K3	8	H'FFABF	TM32K	8	2Pφ/2Pφ
タイマスタートレジスタ	TSTRB	8	H'FFB00	TPU	16	2Pφ/2Pφ (ユニット 1)
タイマシンクロレジスタ	TSYRB	8	H'FFB01	TPU	16	2Pφ/2Pφ (ユニット 1)
タイマコントロールレジスタ_6	TCR_6	8	H'FFB10	TPU_6	16	2Pφ/2Pφ
タイマモードレジスタ_6	TMDR_6	8	H'FFB11	TPU_6	16	2Pφ/2Pφ
タイマ I/O コントロールレジスタ H_6	TIORH_6	8	H'FFB12	TPU_6	16	2Pφ/2Pφ
タイマ I/O コントロールレジスタ L_6	TIORL_6	8	H'FFB13	TPU_6	16	2Pφ/2Pφ
タイマインタラプトイネーブルレジスタ_6	TIER_6	8	H'FFB14	TPU_6	16	2Pφ/2Pφ
タイマステータスレジスタ_6	TSR_6	8	H'FFB15	TPU_6	16	2Pφ/2Pφ
タイマカウンタ_6	TCNT_6	16	H'FFB16	TPU_6	16	2Pφ/2Pφ
タイマジェネラルレジスタ A_6	TGRA_6	16	H'FFB18	TPU_6	16	2Pφ/2Pφ
タイマジェネラルレジスタ B_6	TGRB_6	16	H'FFB1A	TPU_6	16	2Pφ/2Pφ
タイマジェネラルレジスタ C_6	TGRC_6	16	H'FFB1C	TPU_6	16	2Pφ/2Pφ
タイマジェネラルレジスタ D_6	TGRD_6	16	H'FFB1E	TPU_6	16	2Pφ/2Pφ
タイマコントロールレジスタ_7	TCR_7	8	H'FFB20	TPU_7	16	2Pφ/2Pφ
タイマモードレジスタ_7	TMDR_7	8	H'FFB21	TPU_7	16	2Pφ/2Pφ
タイマ I/O コントロールレジスタ_7	TIOR_7	8	H'FFB22	TPU_7	16	2Pφ/2Pφ
タイマインタラプトイネーブルレジスタ_7	TIER_7	8	H'FFB24	TPU_7	16	2Pφ/2Pφ
タイマステータスレジスタ_7	TSR_7	8	H'FFB25	TPU_7	16	2Pφ/2Pφ

28. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
タイマカウンタ_7	TCNT_7	16	H'FFB26	TPU_7	16	2Pφ/2Pφ
タイマジェネラルレジスタ A_7	TGRA_7	16	H'FFB28	TPU_7	16	2Pφ/2Pφ
タイマジェネラルレジスタ B_7	TGRB_7	16	H'FFB2A	TPU_7	16	2Pφ/2Pφ
タイマコントロールレジスタ_8	TCR_8	8	H'FFB30	TPU_8	16	2Pφ/2Pφ
タイマモードレジスタ_8	TMDR_8	8	H'FFB31	TPU_8	16	2Pφ/2Pφ
タイマI/Oコントロールレジスタ_8	TIOR_8	8	H'FFB32	TPU_8	16	2Pφ/2Pφ
タイマインタラプトイネーブルレジスタ_8	TIER_8	8	H'FFB34	TPU_8	16	2Pφ/2Pφ
タイマステータスレジスタ_8	TSR_8	8	H'FFB35	TPU_8	16	2Pφ/2Pφ
タイマカウンタ_8	TCNT_8	16	H'FFB36	TPU_8	16	2Pφ/2Pφ
タイマジェネラルレジスタ A_8	TGRA_8	16	H'FFB38	TPU_8	16	2Pφ/2Pφ
タイマジェネラルレジスタ B_8	TGRB_8	16	H'FFB3A	TPU_8	16	2Pφ/2Pφ
タイマコントロールレジスタ_9	TCR_9	8	H'FFB40	TPU_9	16	2Pφ/2Pφ
タイマモードレジスタ_9	TMDR_9	8	H'FFB41	TPU_9	16	2Pφ/2Pφ
タイマI/Oコントロールレジスタ H_9	TIORH_9	8	H'FFB42	TPU_9	16	2Pφ/2Pφ
タイマI/Oコントロールレジスタ L_9	TIORL_9	8	H'FFB43	TPU_9	16	2Pφ/2Pφ
タイマインタラプトイネーブルレジスタ_9	TIER_9	8	H'FFB44	TPU_9	16	2Pφ/2Pφ
タイマステータスレジスタ_9	TSR_9	8	H'FFB45	TPU_9	16	2Pφ/2Pφ
タイマカウンタ_9	TCNT_9	16	H'FFB46	TPU_9	16	2Pφ/2Pφ
タイマジェネラルレジスタ A_9	TGRA_9	16	H'FFB48	TPU_9	16	2Pφ/2Pφ
タイマジェネラルレジスタ B_9	TGRB_9	16	H'FFB4A	TPU_9	16	2Pφ/2Pφ
タイマジェネラルレジスタ C_9	TGRC_9	16	H'FFB4C	TPU_9	16	2Pφ/2Pφ
タイマジェネラルレジスタ D_9	TGRD_9	16	H'FFB4E	TPU_9	16	2Pφ/2Pφ
タイマコントロールレジスタ_10	TCR_10	8	H'FFB50	TPU_10	16	2Pφ/2Pφ
タイマモードレジスタ_10	TMDR_10	8	H'FFB51	TPU_10	16	2Pφ/2Pφ
タイマI/Oコントロールレジスタ_10	TIOR_10	8	H'FFB52	TPU_10	16	2Pφ/2Pφ
タイマインタラプトイネーブルレジスタ_10	TIER_10	8	H'FFB54	TPU_10	16	2Pφ/2Pφ
タイマステータスレジスタ_10	TSR_10	8	H'FFB55	TPU_10	16	2Pφ/2Pφ
タイマカウンタ_10	TCNT_10	16	H'FFB56	TPU_10	16	2Pφ/2Pφ
タイマジェネラルレジスタ A_10	TGRA_10	16	H'FFB58	TPU_10	16	2Pφ/2Pφ
タイマジェネラルレジスタ B_10	TGRB_10	16	H'FFB5A	TPU_10	16	2Pφ/2Pφ
タイマコントロールレジスタ_11	TCR_11	8	H'FFB60	TPU_11	16	2Pφ/2Pφ
タイマモードレジスタ_11	TMDR_11	8	H'FFB61	TPU_11	16	2Pφ/2Pφ
タイマI/Oコントロールレジスタ_11	TIOR_11	8	H'FFB62	TPU_11	16	2Pφ/2Pφ
タイマインタラプトイネーブルレジスタ_11	TIER_11	8	H'FFB64	TPU_11	16	2Pφ/2Pφ
タイマステータスレジスタ_11	TSR_11	8	H'FFB65	TPU_11	16	2Pφ/2Pφ
タイマカウンタ_11	TCNT_11	16	H'FFB66	TPU_11	16	2Pφ/2Pφ

28. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
タイマジェネラルレジスタ A_11	TGRA_11	16	H'FFB68	TPU_11	16	2Pφ/2Pφ
タイマジェネラルレジスタ B_11	TGRB_11	16	H'FFB6A	TPU_11	16	2Pφ/2Pφ
ポート1 データディレクションレジスタ	P1DDR	8	H'FFB80	I/O ポート	8	2Pφ/2Pφ
ポート2 データディレクションレジスタ	P2DDR	8	H'FFB81	I/O ポート	8	2Pφ/2Pφ
ポート3 データディレクションレジスタ	P3DDR	8	H'FFB82	I/O ポート	8	2Pφ/2Pφ
ポート6 データディレクションレジスタ	P6DDR	8	H'FFB85	I/O ポート	8	2Pφ/2Pφ
ポートA データディレクションレジスタ	PADDR	8	H'FFB89	I/O ポート	8	2Pφ/2Pφ
ポートB データディレクションレジスタ	PBDDR	8	H'FFB8A	I/O ポート	8	2Pφ/2Pφ
ポートC データディレクションレジスタ	PCDDR	8	H'FFB8B	I/O ポート	8	2Pφ/2Pφ
ポートD データディレクションレジスタ	PDDDR	8	H'FFB8C	I/O ポート	8	2Pφ/2Pφ
ポートE データディレクションレジスタ	PEDDR	8	H'FFB8D	I/O ポート	8	2Pφ/2Pφ
ポートF データディレクションレジスタ	PFDDR	8	H'FFB8E	I/O ポート	8	2Pφ/2Pφ
ポート1 入力バッファコントロールレジスタ	P1ICR	8	H'FFB90	I/O ポート	8	2Pφ/2Pφ
ポート2 入力バッファコントロールレジスタ	P2ICR	8	H'FFB91	I/O ポート	8	2Pφ/2Pφ
ポート3 入力バッファコントロールレジスタ	P3ICR	8	H'FFB92	I/O ポート	8	2Pφ/2Pφ
ポート4 入力バッファコントロールレジスタ	P4ICR	8	H'FFB93	I/O ポート	8	2Pφ/2Pφ
ポート5 入力バッファコントロールレジスタ	P5ICR	8	H'FFB94	I/O ポート	8	2Pφ/2Pφ
ポート6 入力バッファコントロールレジスタ	P6ICR	8	H'FFB95	I/O ポート	8	2Pφ/2Pφ
ポートA 入力バッファコントロールレジスタ	PAICR	8	H'FFB99	I/O ポート	8	2Pφ/2Pφ
ポートB 入力バッファコントロールレジスタ	PBICR	8	H'FFB9A	I/O ポート	8	2Pφ/2Pφ
ポートC 入力バッファコントロールレジスタ	PCICR	8	H'FFB9B	I/O ポート	8	2Pφ/2Pφ
ポートD 入力バッファコントロールレジスタ	PDICR	8	H'FFB9C	I/O ポート	8	2Pφ/2Pφ
ポートE 入力バッファコントロールレジスタ	PEICR	8	H'FFB9D	I/O ポート	8	2Pφ/2Pφ
ポートF 入力バッファコントロールレジスタ	PFICR	8	H'FFB9E	I/O ポート	8	2Pφ/2Pφ
ポートH レジスタ	PORTH	8	H'FFBA0	I/O ポート	8	2Pφ/2Pφ
ポートI レジスタ	PORTI	8	H'FFBA1	I/O ポート	8	2Pφ/2Pφ
ポートJ レジスタ	PORTJ	8	H'FFBA2	I/O ポート	8	2Pφ/2Pφ
ポートK レジスタ	PORTK	8	H'FFBA3	I/O ポート	8	2Pφ/2Pφ
ポートH データレジスタ	PHDR	8	H'FFBA4	I/O ポート	8	2Pφ/2Pφ
ポートI データレジスタ	PIDR	8	H'FFBA5	I/O ポート	8	2Pφ/2Pφ
ポートJ データレジスタ	PJDR	8	H'FFBA6	I/O ポート	8	2Pφ/2Pφ
ポートK データレジスタ	PKDR	8	H'FFBA7	I/O ポート	8	2Pφ/2Pφ
ポートH データディレクションレジスタ	PHDDR	8	H'FFBA8	I/O ポート	8	2Pφ/2Pφ
ポートI データディレクションレジスタ	PIDDR	8	H'FFBA9	I/O ポート	8	2Pφ/2Pφ
ポートJ データディレクションレジスタ	PJDDR	8	H'FFBAA	I/O ポート	8	2Pφ/2Pφ
ポートK データディレクションレジスタ	PKDDR	8	H'FFBAB	I/O ポート	8	2Pφ/2Pφ

28. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
ポートH入力バッファコントロール レジスタ	PHICR	8	H'FFBAC	I/O ポート	8	2Pφ/2Pφ
ポートI入力バッファコントロールレジスタ	PIICR	8	H'FFBAD	I/O ポート	8	2Pφ/2Pφ
ポートJ入力バッファコントロール レジスタ	PJICR	8	H'FFBAE	I/O ポート	8	2Pφ/2Pφ
ポートK入力バッファコントロール レジスタ	PKICR	8	H'FFBAF	I/O ポート	8	2Pφ/2Pφ
ポートDプルアップMOSコントロール レジスタ	PDPCR	8	H'FFBB4	I/O ポート	8	2Pφ/2Pφ
ポートEプルアップMOSコントロール レジスタ	PEPCR	8	H'FFBB5	I/O ポート	8	2Pφ/2Pφ
ポートFプルアップMOSコントロール レジスタ	PFPCR	8	H'FFBB6	I/O ポート	8	2Pφ/2Pφ
ポートHプルアップMOSコントロール レジスタ	PHPCR	8	H'FFBB8	I/O ポート	8	2Pφ/2Pφ
ポートIプルアップMOSコントロール レジスタ	PIPCR	8	H'FFBB9	I/O ポート	8	2Pφ/2Pφ
ポートJプルアップMOSコントロール レジスタ	PJPCR	8	H'FFBBA	I/O ポート	8	2Pφ/2Pφ
ポートKプルアップMOSコントロール レジスタ	PKPCR	8	H'FFBBB	I/O ポート	8	2Pφ/2Pφ
ポート2オープンドレインコントロール レジスタ	P2ODR	8	H'FFBBC	I/O ポート	8	2Pφ/2Pφ
ポートFオープンドレインコントロール レジスタ	PFODR	8	H'FFBBD	I/O ポート	8	2Pφ/2Pφ
ポートファンクションコントロール レジスタ 0	PFCR0	8	H'FFBC0	I/O ポート	8	2Pφ/3Pφ
ポートファンクションコントロール レジスタ 1	PFCR1	8	H'FFBC1	I/O ポート	8	2Pφ/3Pφ
ポートファンクションコントロール レジスタ 2	PFCR2	8	H'FFBC2	I/O ポート	8	2Pφ/3Pφ
ポートファンクションコントロール レジスタ 4	PFCR4	8	H'FFBC4	I/O ポート	8	2Pφ/3Pφ
ポートファンクションコントロール レジスタ 6	PFCR6	8	H'FFBC6	I/O ポート	8	2Pφ/3Pφ
ポートファンクションコントロール レジスタ 7	PFCR7	8	H'FFBC7	I/O ポート	8	2Pφ/3Pφ
ポートファンクションコントロール レジスタ 8*2	PFCR8	8	H'FFBC8	I/O ポート	8	2Pφ/3Pφ

28. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
ポートファンクションコントロール レジスタ 9	PFCR9	8	H'FFBC9	I/O ポート	8	2Pφ/3Pφ
ポートファンクションコントロール レジスタ A	PFCRA	8	H'FFBCA	I/O ポート	8	2Pφ/3Pφ
ポートファンクションコントロール レジスタ B	PFCRB	8	H'FFBCB	I/O ポート	8	2Pφ/3Pφ
ポートファンクションコントロール レジスタ C	PFCRC	8	H'FFBCC	I/O ポート	8	2Pφ/3Pφ
ポートファンクションコントロール レジスタ D	PFCRD	8	H'FFBCD	I/O ポート	8	2Pφ/3Pφ
ソフトウェアスタンバイ解除 IRQ イネーブルレジスタ	SSIER	16	H'FFBCE	INTC	8	2Pφ/3Pφ
ディープスタンバイバックアップレジスタ 0	DPSBKR0	8	H'FFBF0	SYSTEM	8	2Iφ/3Iφ
ディープスタンバイバックアップレジスタ 1	DPSBKR1	8	H'FFBF1	SYSTEM	8	2Iφ/3Iφ
ディープスタンバイバックアップレジスタ 2	DPSBKR2	8	H'FFBF2	SYSTEM	8	2Iφ/3Iφ
ディープスタンバイバックアップレジスタ 3	DPSBKR3	8	H'FFBF3	SYSTEM	8	2Iφ/3Iφ
ディープスタンバイバックアップレジスタ 4	DPSBKR4	8	H'FFBF4	SYSTEM	8	2Iφ/3Iφ
ディープスタンバイバックアップレジスタ 5	DPSBKR5	8	H'FFBF5	SYSTEM	8	2Iφ/3Iφ
ディープスタンバイバックアップレジスタ 6	DPSBKR6	8	H'FFBF6	SYSTEM	8	2Iφ/3Iφ
ディープスタンバイバックアップレジスタ 7	DPSBKR7	8	H'FFBF7	SYSTEM	8	2Iφ/3Iφ
ディープスタンバイバックアップレジスタ 8	DPSBKR8	8	H'FFBF8	SYSTEM	8	2Iφ/3Iφ
ディープスタンバイバックアップレジスタ 9	DPSBKR9	8	H'FFBF9	SYSTEM	8	2Iφ/3Iφ
ディープスタンバイバックアップレジスタ 10	DPSBKR10	8	H'FFBFA	SYSTEM	8	2Iφ/3Iφ
ディープスタンバイバックアップレジスタ 11	DPSBKR11	8	H'FFBFB	SYSTEM	8	2Iφ/3Iφ
ディープスタンバイバックアップレジスタ 12	DPSBKR12	8	H'FFBFC	SYSTEM	8	2Iφ/3Iφ
ディープスタンバイバックアップレジスタ 13	DPSBKR13	8	H'FFBFD	SYSTEM	8	2Iφ/3Iφ
ディープスタンバイバックアップレジスタ 14	DPSBKR14	8	H'FFBFE	SYSTEM	8	2Iφ/3Iφ
ディープスタンバイバックアップレジスタ 15	DPSBKR15	8	H'FFBFF	SYSTEM	8	2Iφ/3Iφ
DMA ソースアドレスレジスタ_0	DSAR_0	32	H'FFC00	DMAC_0	16	2Iφ/2Iφ
DMA デスティネーションアドレス レジスタ_0	DDAR_0	32	H'FFC04	DMAC_0	16	2Iφ/2Iφ
DMA オフセットレジスタ_0	DOFR_0	32	H'FFC08	DMAC_0	16	2Iφ/2Iφ
DMA 転送カウントレジスタ_0	DTCR_0	32	H'FFC0C	DMAC_0	16	2Iφ/2Iφ
DMA ブロックサイズレジスタ_0	DBSR_0	32	H'FFC10	DMAC_0	16	2Iφ/2Iφ
DMA モードコントロールレジスタ_0	DMDR_0	32	H'FFC14	DMAC_0	16	2Iφ/2Iφ
DMA アドレスコントロールレジスタ_0	DACR_0	32	H'FFC18	DMAC_0	16	2Iφ/2Iφ
DMA ソースアドレスレジスタ_1	DSAR_1	32	H'FFC20	DMAC_1	16	2Iφ/2Iφ

28. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
DMA デスティネーションアドレス レジスタ_1	DDAR_1	32	H'FFC24	DMAC_1	16	21φ/21φ
DMA オフセットレジスタ_1	DOFR_1	32	H'FFC28	DMAC_1	16	21φ/21φ
DMA 転送カウントレジスタ_1	DTCR_1	32	H'FFC2C	DMAC_1	16	21φ/21φ
DMA ブロックサイズレジスタ_1	DBSR_1	32	H'FFC30	DMAC_1	16	21φ/21φ
DMA モードコントロールレジスタ_1	DMDR_1	32	H'FFC34	DMAC_1	16	21φ/21φ
DMA アドレスコントロールレジスタ_1	DACR_1	32	H'FFC38	DMAC_1	16	21φ/21φ
DMA ソースアドレスレジスタ_2	DSAR_2	32	H'FFC40	DMAC_2	16	21φ/21φ
DMA デスティネーションアドレス レジスタ_2	DDAR_2	32	H'FFC44	DMAC_2	16	21φ/21φ
DMA オフセットレジスタ_2	DOFR_2	32	H'FFC48	DMAC_2	16	21φ/21φ
DMA 転送カウントレジスタ_2	DTCR_2	32	H'FFC4C	DMAC_2	16	21φ/21φ
DMA ブロックサイズレジスタ_2	DBSR_2	32	H'FFC50	DMAC_2	16	21φ/21φ
DMA モードコントロールレジスタ_2	DMDR_2	32	H'FFC54	DMAC_2	16	21φ/21φ
DMA アドレスコントロールレジスタ_2	DACR_2	32	H'FFC58	DMAC_2	16	21φ/21φ
DMA ソースアドレスレジスタ_3	DSAR_3	32	H'FFC60	DMAC_3	16	21φ/21φ
DMA デスティネーションアドレス レジスタ_3	DDAR_3	32	H'FFC64	DMAC_3	16	21φ/21φ
DMA オフセットレジスタ_3	DOFR_3	32	H'FFC68	DMAC_3	16	21φ/21φ
DMA 転送カウントレジスタ_3	DTCR_3	32	H'FFC6C	DMAC_3	16	21φ/21φ
DMA ブロックサイズレジスタ_3	DBSR_3	32	H'FFC70	DMAC_3	16	21φ/21φ
DMA モードコントロールレジスタ_3	DMDR_3	32	H'FFC74	DMAC_3	16	21φ/21φ
DMA アドレスコントロールレジスタ_3	DACR_3	32	H'FFC78	DMAC_3	16	21φ/21φ
EXDMA ソースアドレスレジスタ_0*2	EDSAR_0	32	H'FFC80	EXDMAC_0	16	21φ/21φ
EXDMA デスティネーションアドレス レジスタ_0*2	EDDAR_0	32	H'FFC84	EXDMAC_0	16	21φ/21φ
EXDMA オフセットレジスタ_0*2	EDOFR_0	32	H'FFC88	EXDMAC_0	16	21φ/21φ
EXDMA 転送カウントレジスタ_0*2	EDTCR_0	32	H'FFC8C	EXDMAC_0	16	21φ/21φ
EXDMA ブロックサイズレジスタ_0*2	EDBSR_0	32	H'FFC90	EXDMAC_0	16	21φ/21φ
EXDMA モードコントロールレジスタ_0*2	EDMDR_0	32	H'FFC94	EXDMAC_0	16	21φ/21φ
EXDMA アドレスコントロールレジスタ_0*2	EDACR_0	32	H'FFC98	EXDMAC_0	16	21φ/21φ
EXDMA ソースアドレスレジスタ_1*2	EDSAR_1	32	H'FFCA0	EXDMAC_1	16	21φ/21φ
EXDMA デスティネーションアドレス レジスタ_1*2	EDDAR_1	32	H'FFCA4	EXDMAC_1	16	21φ/21φ
EXDMA オフセットレジスタ_1*2	EDOFR_1	32	H'FFCA8	EXDMAC_1	16	21φ/21φ
EXDMA 転送カウントレジスタ_1*2	EDTCR_1	32	H'FFCAC	EXDMAC_1	16	21φ/21φ
EXDMA ブロックサイズレジスタ_1*2	EDBSR_1	32	H'FFCB0	EXDMAC_1	16	21φ/21φ

28. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
EXDMA モードコントロールレジスタ_1* ²	EDMDR_1	32	H'FFCB4	EXDMAC_1	16	21φ/21φ
EXDMA アドレスコントロールレジスタ_1* ²	EDACR_1	32	H'FFCB8	EXDMAC_1	16	21φ/21φ
EXDMA ソースアドレスレジスタ_2* ²	EDSAR_2	32	H'FFCC0	EXDMAC_2	16	21φ/21φ
EXDMA デスティネーションアドレス レジスタ_2* ²	EDDAR_2	32	H'FFCC4	EXDMAC_2	16	21φ/21φ
EXDMA オフセットレジスタ_2* ²	EDOFR_2	32	H'FFCC8	EXDMAC_2	16	21φ/21φ
EXDMA 転送カウントレジスタ_2* ²	EDTCR_2	32	H'FFCCC	EXDMAC_2	16	21φ/21φ
EXDMA ブロックサイズレジスタ_2* ²	EDBSR_2	32	H'FFCD0	EXDMAC_2	16	21φ/21φ
EXDMA モードコントロールレジスタ_2* ²	EDMDR_2	32	H'FFCD4	EXDMAC_2	16	21φ/21φ
EXDMA アドレスコントロールレジスタ_2* ²	EDACR_2	32	H'FFCD8	EXDMAC_2	16	21φ/21φ
EXDMA ソースアドレスレジスタ_3* ²	EDSAR_3	32	H'FFCE0	EXDMAC_3	16	21φ/21φ
EXDMA デスティネーションアドレス レジスタ_3* ²	EDDAR_3	32	H'FFCE4	EXDMAC_3	16	21φ/21φ
EXDMA オフセットレジスタ_3* ²	EDOFR_3	32	H'FFCE8	EXDMAC_3	16	21φ/21φ
EXDMA 転送カウントレジスタ_3* ²	EDTCR_3	32	H'FFCEC	EXDMAC_3	16	21φ/21φ
EXDMA ブロックサイズレジスタ_3* ²	EDBSR_3	32	H'FFCF0	EXDMAC_3	16	21φ/21φ
EXDMA モードコントロールレジスタ_3* ²	EDMDR_3	32	H'FFCF4	EXDMAC_3	16	21φ/21φ
EXDMA アドレスコントロールレジスタ_3* ²	EDACR_3	32	H'FFCF8	EXDMAC_3	16	21φ/21φ
クラスタバッファレジスタ 0* ²	CLSBR0	32	H'FFD00	EXDMAC	16	21φ/21φ
クラスタバッファレジスタ 1* ²	CLSBR1	32	H'FFD04	EXDMAC	16	21φ/21φ
クラスタバッファレジスタ 2* ²	CLSBR2	32	H'FFD08	EXDMAC	16	21φ/21φ
クラスタバッファレジスタ 3* ²	CLSBR3	32	H'FFD0C	EXDMAC	16	21φ/21φ
クラスタバッファレジスタ 4* ²	CLSBR4	32	H'FFD10	EXDMAC	16	21φ/21φ
クラスタバッファレジスタ 5* ²	CLSBR5	32	H'FFD14	EXDMAC	16	21φ/21φ
クラスタバッファレジスタ 6* ²	CLSBR6	32	H'FFD18	EXDMAC	16	21φ/21φ
クラスタバッファレジスタ 7* ²	CLSBR7	32	H'FFD1C	EXDMAC	16	21φ/21φ
DMA モジュールリクエストセレクト レジスタ_0	DMRSR_0	8	H'FFD20	DMAC_0	16	21φ/21φ
DMA モジュールリクエストセレクト レジスタ_1	DMRSR_1	8	H'FFD21	DMAC_1	16	21φ/21φ
DMA モジュールリクエストセレクト レジスタ_2	DMRSR_2	8	H'FFD22	DMAC_2	16	21φ/21φ
DMA モジュールリクエストセレクト レジスタ_3	DMRSR_3	8	H'FFD23	DMAC_3	16	21φ/21φ
インタラプトプライオリティレジスタ A	IPRA	16	H'FFD40	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ B	IPRB	16	H'FFD42	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ C	IPRC	16	H'FFD44	INTC	16	21φ/31φ

28. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
インタラプトプライオリティレジスタ D	IPRD	16	H'FFD46	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ E	IPRE	16	H'FFD48	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ F	IPRF	16	H'FFD4A	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ G	IPRG	16	H'FFD4C	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ H	IPRH	16	H'FFD4E	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ I	IPRI	16	H'FFD50	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ J* ²	IPRJ	16	H'FFD52	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ K	IPRK	16	H'FFD54	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ L	IPRL	16	H'FFD56	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ M	IPRM	16	H'FFD58	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ N	IPRN	16	H'FFD5A	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ O	IPRO	16	H'FFD5C	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ Q	IPRQ	16	H'FFD60	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ R	IPRR	16	H'FFD62	INTC	16	21φ/31φ
IRQ センسコントロールレジスタ H	ISCRH	16	H'FFD68	INTC	16	21φ/31φ
IRQ センスコントロールレジスタ L	ISCLR	16	H'FFD6A	INTC	16	21φ/31φ
DTC ベクタベースレジスタ	DTCVBR	32	H'FFD80	BSC	16	21φ/31φ
バス幅コントロールレジスタ	ABWCR	16	H'FFD84	BSC	16	21φ/31φ
アクセスステートコントロールレジスタ	ASTCR	16	H'FFD86	BSC	16	21φ/31φ
ウェイトコントロールレジスタ A	WTCRA	16	H'FFD88	BSC	16	21φ/31φ
ウェイトコントロールレジスタ B	WTCRB	16	H'FFD8A	BSC	16	21φ/31φ
リードストローブタイミングコントロール レジスタ	RDNCR	16	H'FFD8C	BSC	16	21φ/31φ
\overline{CS} アサート期間コントロールレジスタ	CSACR	16	H'FFD8E	BSC	16	21φ/31φ
アイドルコントロールレジスタ	IDLCR	16	H'FFD90	BSC	16	21φ/31φ
バスコントロールレジスタ 1	BCR1	16	H'FFD92	BSC	16	21φ/31φ
バスコントロールレジスタ 2	BCR2	8	H'FFD94	BSC	16	21φ/31φ
エンディアンコントロールレジスタ	ENDIANCR	8	H'FFD95	BSC	16	21φ/31φ
SRAM モードコントロールレジスタ	SRAMCR	16	H'FFD98	BSC	16	21φ/31φ
バースト ROM インタフェース コントロールレジスタ	BROMCR	16	H'FFD9A	BSC	16	21φ/31φ
アドレス/データマルチプレクス I/O コントロールレジスタ	MPXCR	16	H'FFD9C	BSC	16	21φ/31φ
RAM エミュレーションレジスタ	RAMER	8	H'FFD9E	BSC	16	21φ/31φ
DRAM コントロールレジスタ* ²	DRAMCR	16	H'FFDA0	BSC	16	21φ/31φ
DRAM アクセスコントロールレジスタ* ²	DRACCR	16	H'FFDA2	BSC	16	21φ/31φ
シンクロナス DRAM コントロールレジスタ* ²	SDCR	16	H'FFDA4	BSC	16	21φ/31φ

28. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
リフレッシュコントロールレジスタ* ²	REFCR	16	H'FFDA6	BSC	16	21φ/31φ
リフレッシュタイマカウンタ* ²	RTCNT	8	H'FFDA8	BSC	16	21φ/31φ
リフレッシュタイムコンスタントレジスタ* ²	RTCOR	8	H'FFDA9	BSC	16	21φ/31φ
モードコントロールレジスタ	MDCR	16	H'FFDC0	SYSTEM	16	21φ/31φ
システムコントロールレジスタ	SYSCR	16	H'FFDC2	SYSTEM	16	21φ/31φ
システムクロックコントロールレジスタ	SCKCR	16	H'FFDC4	SYSTEM	16	21φ/31φ
スタンバイコントロールレジスタ	SBYCR	16	H'FFDC6	SYSTEM	16	21φ/31φ
モジュールストップコントロールレジスタ A	MSTPCRA	16	H'FFDC8	SYSTEM	16	21φ/31φ
モジュールストップコントロールレジスタ B	MSTPCRB	16	H'FFDCA	SYSTEM	16	21φ/31φ
モジュールストップコントロールレジスタ C	MSTPCRC	16	H'FFDCC	SYSTEM	16	21φ/31φ
サブクロックコントロールレジスタ* ²	SUBCKCR	8	H'FFDCF	SYSTEM	16	21φ/31φ
フラッシュコードコントロール ステータスレジスタ	FCCS	8	H'FFDE8	FLASH	16	21φ/21φ
フラッシュプログラムコードセレクトレジスタ	FPCS	8	H'FFDE9	FLASH	16	21φ/21φ
フラッシュイレースコードセレクトレジスタ	FECS	8	H'FFDEA	FLASH	16	21φ/21φ
フラッシュキーコードレジスタ	FKEY	8	H'FFDEC	FLASH	16	21φ/21φ
フラッシュマットセレクトレジスタ	FMATS	8	H'FFDED	FLASH	16	21φ/21φ
フラッシュトランスファ デスティネーションアドレスレジスタ	FTDAR	8	H'FFDEE	FLASH	16	21φ/21φ
ディープスタンバイコントロールレジスタ	DPSBYCR	8	H'FFE70	SYSTEM	8	21φ/31φ
ディープスタンバイウェイトコントロール レジスタ	DPSWCR	8	H'FFE71	SYSTEM	8	21φ/31φ
ディープスタンバイインタラプトイネーブル レジスタ	DPSIER	8	H'FFE72	SYSTEM	8	21φ/31φ
ディープスタンバイインタラプトフラグレジスタ	DPSIFR	8	H'FFE73	SYSTEM	8	21φ/31φ
ディープスタンバイインタラプトエッジレジスタ	DPSIEGR	8	H'FFE74	SYSTEM	8	21φ/31φ
リセットステータスレジスタ	RSTSR	8	H'FFE75	SYSTEM	8	21φ/31φ
低電圧検出コントロールレジスタ* ³	LVDCR	8	H'FFE78	SYSTEM	8	21φ/31φ
シリアル拡張モードレジスタ ₂	SEMR ₂	8	H'FFE84	SCI ₂	8	2Pφ/2Pφ
シリアルモードレジスタ ₃	SMR ₃	8	H'FFE88	SCI ₃	8	2Pφ/2Pφ
ビットレートレジスタ ₃	BRR ₃	8	H'FFE89	SCI ₃	8	2Pφ/2Pφ
シリアルコントロールレジスタ ₃	SCR ₃	8	H'FFE8A	SCI ₃	8	2Pφ/2Pφ
トランスミットデータレジスタ ₃	TDR ₃	8	H'FFE8B	SCI ₃	8	2Pφ/2Pφ
シリアルステータスレジスタ ₃	SSR ₃	8	H'FFE8C	SCI ₃	8	2Pφ/2Pφ
レシーブデータレジスタ ₃	RDR ₃	8	H'FFE8D	SCI ₃	8	2Pφ/2Pφ
スマートカードモードレジスタ ₃	SCMR ₃	8	H'FFE8E	SCI ₃	8	2Pφ/2Pφ
シリアルモードレジスタ ₄	SMR ₄	8	H'FFE90	SCI ₄	8	2Pφ/2Pφ

28. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
ビットレートレジスタ_4	BRR_4	8	H'FFE91	SCI_4	8	2Pφ/2Pφ
シリアルコントロールレジスタ_4	SCR_4	8	H'FFE92	SCI_4	8	2Pφ/2Pφ
トランスミットデータレジスタ_4	TDR_4	8	H'FFE93	SCI_4	8	2Pφ/2Pφ
シリアルステータスレジスタ_4	SSR_4	8	H'FFE94	SCI_4	8	2Pφ/2Pφ
レシーブデータレジスタ_4	RDR_4	8	H'FFE95	SCI_4	8	2Pφ/2Pφ
スマートカードモードレジスタ_4	SCMR_4	8	H'FFE96	SCI_4	8	2Pφ/2Pφ
I ² C バスコントロールレジスタ A_0	ICCRA_0	8	H'FFEB0	IIC2_0	8	2Pφ/2Pφ
I ² C バスコントロールレジスタ B_0	ICCRB_0	8	H'FFEB1	IIC2_0	8	2Pφ/2Pφ
I ² C バスモードレジスタ_0	ICMR_0	8	H'FFEB2	IIC2_0	8	2Pφ/2Pφ
I ² C バスインタラプトイネーブルレジスタ_0	ICIER_0	8	H'FFEB3	IIC2_0	8	2Pφ/2Pφ
I ² C バスステータスレジスタ_0	ICSR_0	8	H'FFEB4	IIC2_0	8	2Pφ/2Pφ
スレーブアドレスレジスタ_0	SAR_0	8	H'FFEB5	IIC2_0	8	2Pφ/2Pφ
I ² C バス送信データレジスタ_0	ICDRT_0	8	H'FFEB6	IIC2_0	8	2Pφ/2Pφ
I ² C バス受信データレジスタ_0	ICDRR_0	8	H'FFEB7	IIC2_0	8	2Pφ/2Pφ
I ² C バスコントロールレジスタ A_1	ICCRA_1	8	H'FFEB8	IIC2_1	8	2Pφ/2Pφ
I ² C バスコントロールレジスタ B_1	ICCRB_1	8	H'FFEB9	IIC2_1	8	2Pφ/2Pφ
I ² C バスモードレジスタ_1	ICMR_1	8	H'FFEBA	IIC2_1	8	2Pφ/2Pφ
I ² C バスインタラプトイネーブルレジスタ_1	ICIER_1	8	H'FFEBB	IIC2_1	8	2Pφ/2Pφ
I ² C バスステータスレジスタ_1	ICSR_1	8	H'FFEB C	IIC2_1	8	2Pφ/2Pφ
スレーブアドレスレジスタ_1	SAR_1	8	H'FFEBD	IIC2_1	8	2Pφ/2Pφ
I ² C バス送信データレジスタ_1	ICDRT_1	8	H'FFEBE	IIC2_1	8	2Pφ/2Pφ
I ² C バス受信データレジスタ_1	ICDRR_1	8	H'FFEBF	IIC2_1	8	2Pφ/2Pφ
タイマコントロールレジスタ_2	TCR_2	8	H'FFEC0	TMR_2	16	2Pφ/2Pφ
タイマコントロールレジスタ_3	TCR_3	8	H'FFEC1	TMR_3	16	2Pφ/2Pφ
タイマコントロール/ステータスレジスタ_2	TCSR_2	8	H'FFEC2	TMR_2	16	2Pφ/2Pφ
タイマコントロール/ステータスレジスタ_3	TCSR_3	8	H'FFEC3	TMR_3	16	2Pφ/2Pφ
タイムコンスタントレジスタ A_2	TCORA_2	8	H'FFEC4	TMR_2	16	2Pφ/2Pφ
タイムコンスタントレジスタ A_3	TCORA_3	8	H'FFEC5	TMR_3	16	2Pφ/2Pφ
タイムコンスタントレジスタ B_2	TCORB_2	8	H'FFEC6	TMR_2	16	2Pφ/2Pφ
タイムコンスタントレジスタ B_3	TCORB_3	8	H'FFEC7	TMR_3	16	2Pφ/2Pφ
タイマカウンタ_2	TCNT_2	8	H'FFEC8	TMR_2	16	2Pφ/2Pφ
タイマカウンタ_3	TCNT_3	8	H'FFEC9	TMR_3	16	2Pφ/2Pφ
タイマカウンタコントロールレジスタ_2	TCCR_2	8	H'FFECA	TMR_2	16	2Pφ/2Pφ
タイマカウンタコントロールレジスタ_3	TCCR_3	8	H'FFECB	TMR_3	16	2Pφ/2Pφ
タイマコントロールレジスタ_4	TCR_4	8	H'FFEE0	TPU_4	16	2Pφ/2Pφ
タイマモードレジスタ_4	TMDR_4	8	H'FFEE1	TPU_4	16	2Pφ/2Pφ

28. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
タイマ I/O コントロールレジスタ_4	TIOR_4	8	H'FFEE2	TPU_4	16	2Pφ/2Pφ
タイマインタラプトイネーブルレジスタ_4	TIER_4	8	H'FFEE4	TPU_4	16	2Pφ/2Pφ
タイマステータスレジスタ_4	TSR_4	8	H'FFEE5	TPU_4	16	2Pφ/2Pφ
タイマカウンタ_4	TCNT_4	16	H'FFEE6	TPU_4	16	2Pφ/2Pφ
タイマジェネラルレジスタ A_4	TGRA_4	16	H'FFEE8	TPU_4	16	2Pφ/2Pφ
タイマジェネラルレジスタ B_4	TGRB_4	16	H'FFEEA	TPU_4	16	2Pφ/2Pφ
タイマコントロールレジスタ_5	TCR_5	8	H'FFEF0	TPU_5	16	2Pφ/2Pφ
タイマモードレジスタ_5	TMDR_5	8	H'FFEF1	TPU_5	16	2Pφ/2Pφ
タイマ I/O コントロールレジスタ_5	TIOR_5	8	H'FFEF2	TPU_5	16	2Pφ/2Pφ
タイマインタラプトイネーブルレジスタ_5	TIER_5	8	H'FFEF4	TPU_5	16	2Pφ/2Pφ
タイマステータスレジスタ_5	TSR_5	8	H'FFEF5	TPU_5	16	2Pφ/2Pφ
タイマカウンタ_5	TCNT_5	16	H'FFEF6	TPU_5	16	2Pφ/2Pφ
タイマジェネラルレジスタ A_5	TGRA_5	16	H'FFEF8	TPU_5	16	2Pφ/2Pφ
タイマジェネラルレジスタ B_5	TGRB_5	16	H'FFEFA	TPU_5	16	2Pφ/2Pφ
DTC イネーブルレジスタ A	DTCERA	16	H'FFF20	INTC	16	2Iφ/3Iφ
DTC イネーブルレジスタ B	DTCERB	16	H'FFF22	INTC	16	2Iφ/3Iφ
DTC イネーブルレジスタ C	DTCERC	16	H'FFF24	INTC	16	2Iφ/3Iφ
DTC イネーブルレジスタ D	DTCERD	16	H'FFF26	INTC	16	2Iφ/3Iφ
DTC イネーブルレジスタ E	DTCERE	16	H'FFF28	INTC	16	2Iφ/3Iφ
DTC イネーブルレジスタ F	DTCERF	16	H'FFF2A	INTC	16	2Iφ/3Iφ
DTC コントロールレジスタ	DTCCR	8	H'FFF30	INTC	16	2Iφ/3Iφ
割り込みコントロールレジスタ	INTCR	8	H'FFF32	INTC	16	2Iφ/3Iφ
CPU プライオリティコントロールレジスタ	CPUPCR	8	H'FFF33	INTC	16	2Iφ/3Iφ
IRQ イネーブルレジスタ	IER	16	H'FFF34	INTC	16	2Iφ/3Iφ
IRQ ステータスレジスタ	ISR	16	H'FFF36	INTC	16	2Iφ/3Iφ
ポート 1 レジスタ	PORT1	8	H'FFF40	I/O ポート	8	2Pφ/-
ポート 2 レジスタ	PORT2	8	H'FFF41	I/O ポート	8	2Pφ/-
ポート 3 レジスタ	PORT3	8	H'FFF42	I/O ポート	8	2Pφ/-
ポート 4 レジスタ	PORT4	8	H'FFF43	I/O ポート	8	2Pφ/-
ポート 5 レジスタ	PORT5	8	H'FFF44	I/O ポート	8	2Pφ/-
ポート 6 レジスタ	PORT6	8	H'FFF45	I/O ポート	8	2Pφ/-
ポート A レジスタ	PORTA	8	H'FFF49	I/O ポート	8	2Pφ/-
ポート B レジスタ	PORTB	8	H'FFF4A	I/O ポート	8	2Pφ/-
ポート C レジスタ	PORTC	8	H'FFF4B	I/O ポート	8	2Pφ/-
ポート D レジスタ	PORTD	8	H'FFF4C	I/O ポート	8	2Pφ/-
ポート E レジスタ	PORTE	8	H'FFF4D	I/O ポート	8	2Pφ/-

28. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
ポートFレジスタ	PORTF	8	H'FFF4E	I/Oポート	8	2Pφ/-
ポート1データレジスタ	P1DR	8	H'FFF50	I/Oポート	8	2Pφ/2Pφ
ポート2データレジスタ	P2DR	8	H'FFF51	I/Oポート	8	2Pφ/2Pφ
ポート3データレジスタ	P3DR	8	H'FFF52	I/Oポート	8	2Pφ/2Pφ
ポート6データレジスタ	P6DR	8	H'FFF55	I/Oポート	8	2Pφ/2Pφ
ポートAデータレジスタ	PADR	8	H'FFF59	I/Oポート	8	2Pφ/2Pφ
ポートBデータレジスタ	PBDR	8	H'FFF5A	I/Oポート	8	2Pφ/2Pφ
ポートCデータレジスタ	PCDR	8	H'FFF5B	I/Oポート	8	2Pφ/2Pφ
ポートDデータレジスタ	PDDR	8	H'FFF5C	I/Oポート	8	2Pφ/2Pφ
ポートEデータレジスタ	PEDR	8	H'FFF5D	I/Oポート	8	2Pφ/2Pφ
ポートFデータレジスタ	PFDR	8	H'FFF5E	I/Oポート	8	2Pφ/2Pφ
シリアルモードレジスタ_2	SMR_2	8	H'FFF60	SCI_2	8	2Pφ/2Pφ
ビットレートレジスタ_2	BRR_2	8	H'FFF61	SCI_2	8	2Pφ/2Pφ
シリアルコントロールレジスタ_2	SCR_2	8	H'FFF62	SCI_2	8	2Pφ/2Pφ
トランスミットデータレジスタ_2	TDR_2	8	H'FFF63	SCI_2	8	2Pφ/2Pφ
シリアルステータスレジスタ_2	SSR_2	8	H'FFF64	SCI_2	8	2Pφ/2Pφ
レシーブデータレジスタ_2	RDR_2	8	H'FFF65	SCI_2	8	2Pφ/2Pφ
スマートカードモードレジスタ_2	SCMR_2	8	H'FFF66	SCI_2	8	2Pφ/2Pφ
D/Aデータレジスタ0	DADR0	8	H'FFF68	D/A	8	2Pφ/2Pφ
D/Aデータレジスタ1	DADR1	8	H'FFF69	D/A	8	2Pφ/2Pφ
D/Aコントロールレジスタ01	DACR01	8	H'FFF6A	D/A	8	2Pφ/2Pφ
PPG出力コントロールレジスタ	PCR	8	H'FFF76	PPG_0	8	2Pφ/2Pφ
PPG出力モードレジスタ	PMR	8	H'FFF77	PPG_0	8	2Pφ/2Pφ
ネクストデータイネーブルレジスタH	NDERH	8	H'FFF78	PPG_0	8	2Pφ/2Pφ
ネクストデータイネーブルレジスタL	NDERL	8	H'FFF79	PPG_0	8	2Pφ/2Pφ
アウトプットデータレジスタH	PODRH	8	H'FFF7A	PPG_0	8	2Pφ/2Pφ
アウトプットデータレジスタL	PODRL	8	H'FFF7B	PPG_0	8	2Pφ/2Pφ
ネクストデータレジスタH* ¹	NDRH	8	H'FFF7C	PPG_0	8	2Pφ/2Pφ
ネクストデータレジスタL* ¹	NDRL	8	H'FFF7D	PPG_0	8	2Pφ/2Pφ
ネクストデータレジスタH* ¹	NDRH	8	H'FFF7E	PPG_0	8	2Pφ/2Pφ
ネクストデータレジスタL* ¹	NDRL	8	H'FFF7F	PPG_0	8	2Pφ/2Pφ
シリアルモードレジスタ_0	SMR_0	8	H'FFF80	SCI_0	8	2Pφ/2Pφ
ビットレートレジスタ_0	BRR_0	8	H'FFF81	SCI_0	8	2Pφ/2Pφ
シリアルコントロールレジスタ_0	SCR_0	8	H'FFF82	SCI_0	8	2Pφ/2Pφ
トランスミットデータレジスタ_0	TDR_0	8	H'FFF83	SCI_0	8	2Pφ/2Pφ
シリアルステータスレジスタ_0	SSR_0	8	H'FFF84	SCI_0	8	2Pφ/2Pφ

28. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
レシーブデータレジスタ_0	RDR_0	8	H'FFF85	SCI_0	8	2Pφ/2Pφ
スマートカードモードレジスタ_0	SCMR_0	8	H'FFF86	SCI_0	8	2Pφ/2Pφ
シリアルモードレジスタ_1	SMR_1	8	H'FFF88	SCI_1	8	2Pφ/2Pφ
ビットレートレジスタ_1	BRR_1	8	H'FFF89	SCI_1	8	2Pφ/2Pφ
シリアルコントロールレジスタ_1	SCR_1	8	H'FFF8A	SCI_1	8	2Pφ/2Pφ
トランスミットデータレジスタ_1	TDR_1	8	H'FFF8B	SCI_1	8	2Pφ/2Pφ
シリアルステータスレジスタ_1	SSR_1	8	H'FFF8C	SCI_1	8	2Pφ/2Pφ
レシーブデータレジスタ_1	RDR_1	8	H'FFF8D	SCI_1	8	2Pφ/2Pφ
スマートカードモードレジスタ_1	SCMR_1	8	H'FFF8E	SCI_1	8	2Pφ/2Pφ
A/D データレジスタ A_0	ADDRA_0	16	H'FFF90	A/D_0	16	2Pφ/2Pφ
A/D データレジスタ B_0	ADDRB_0	16	H'FFF92	A/D_0	16	2Pφ/2Pφ
A/D データレジスタ C_0	ADDRC_0	16	H'FFF94	A/D_0	16	2Pφ/2Pφ
A/D データレジスタ D_0	ADDRD_0	16	H'FFF96	A/D_0	16	2Pφ/2Pφ
A/D データレジスタ E_0	ADDRE_0	16	H'FFF98	A/D_0	16	2Pφ/2Pφ
A/D データレジスタ F_0	ADDRF_0	16	H'FFF9A	A/D_0	16	2Pφ/2Pφ
A/D データレジスタ G_0	ADDRG_0	16	H'FFF9C	A/D_0	16	2Pφ/2Pφ
A/D データレジスタ H_0	ADDRH_0	16	H'FFF9E	A/D_0	16	2Pφ/2Pφ
A/D コントロール/ステータスレジスタ_0	ADCSR_0	8	H'FFFA0	A/D_0	16	2Pφ/2Pφ
A/D コントロールレジスタ_0	ADCR_0	8	H'FFFA1	A/D_0	16	2Pφ/2Pφ
タイマコントロール/ステータスレジスタ	TCSR	8	H'FFFA4	WDT	16	2Pφ/3Pφ
タイマカウンタ	TCNT	8	H'FFFA5	WDT	16	2Pφ/3Pφ
リセットコントロール/ステータス レジスタ	RSTCSR	8	H'FFFA7	WDT	16	2Pφ/3Pφ
タイマコントロールレジスタ_0	TCR_0	8	H'FFFB0	TMR_0	16	2Pφ/2Pφ
タイマコントロールレジスタ_1	TCR_1	8	H'FFFB1	TMR_1	16	2Pφ/2Pφ
タイマコントロール/ステータスレジスタ_0	TCSR_0	8	H'FFFB2	TMR_0	16	2Pφ/2Pφ
タイマコントロール/ステータスレジスタ_1	TCSR_1	8	H'FFFB3	TMR_1	16	2Pφ/2Pφ
タイムコンスタントレジスタ A_0	TCORA_0	8	H'FFFB4	TMR_0	16	2Pφ/2Pφ
タイムコンスタントレジスタ A_1	TCORA_1	8	H'FFFB5	TMR_1	16	2Pφ/2Pφ
タイムコンスタントレジスタ B_0	TCORB_0	8	H'FFFB6	TMR_0	16	2Pφ/2Pφ
タイムコンスタントレジスタ B_1	TCORB_1	8	H'FFFB7	TMR_1	16	2Pφ/2Pφ
タイマカウンタ_0	TCNT_0	8	H'FFFB8	TMR_0	16	2Pφ/2Pφ
タイマカウンタ_1	TCNT_1	8	H'FFFB9	TMR_1	16	2Pφ/2Pφ
タイマカウンタコントロールレジスタ_0	TCCR_0	8	H'FFFB A	TMR_0	16	2Pφ/2Pφ
タイマカウンタコントロールレジスタ_1	TCCR_1	8	H'FFFB B	TMR_1	16	2Pφ/2Pφ
タイマスタートレジスタ	TSTR	8	H'FFFB C	TPU	16	2Pφ/2Pφ

28. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
タイマシンクロレジスタ	TSYR	8	H'FFFBD	TPU	16	2Pφ/2Pφ
タイマコントロールレジスタ_0	TCR_0	8	H'FFFC0	TPU_0	16	2Pφ/2Pφ
タイマモードレジスタ_0	TMDR_0	8	H'FFFC1	TPU_0	16	2Pφ/2Pφ
タイマI/Oコントロールレジスタ H_0	TIORH_0	8	H'FFFC2	TPU_0	16	2Pφ/2Pφ
タイマI/Oコントロールレジスタ L_0	TIORL_0	8	H'FFFC3	TPU_0	16	2Pφ/2Pφ
タイマインタラプトイネーブルレジスタ_0	TIER_0	8	H'FFFC4	TPU_0	16	2Pφ/2Pφ
タイマステータスレジスタ_0	TSR_0	8	H'FFFC5	TPU_0	16	2Pφ/2Pφ
タイマカウンタ_0	TCNT_0	16	H'FFFC6	TPU_0	16	2Pφ/2Pφ
タイマジェネラルレジスタ A_0	TGRA_0	16	H'FFFC8	TPU_0	16	2Pφ/2Pφ
タイマジェネラルレジスタ B_0	TGRB_0	16	H'FFPCA	TPU_0	16	2Pφ/2Pφ
タイマジェネラルレジスタ C_0	TGRC_0	16	H'FFFC	TPU_0	16	2Pφ/2Pφ
タイマジェネラルレジスタ D_0	TGRD_0	16	H'FFFC	TPU_0	16	2Pφ/2Pφ
タイマコントロールレジスタ_1	TCR_1	8	H'FFFD0	TPU_1	16	2Pφ/2Pφ
タイマモードレジスタ_1	TMDR_1	8	H'FFFD1	TPU_1	16	2Pφ/2Pφ
タイマI/Oコントロールレジスタ_1	TIOR_1	8	H'FFFD2	TPU_1	16	2Pφ/2Pφ
タイマインタラプトイネーブルレジスタ_1	TIER_1	8	H'FFFD4	TPU_1	16	2Pφ/2Pφ
タイマステータスレジスタ_1	TSR_1	8	H'FFFD5	TPU_1	16	2Pφ/2Pφ
タイマカウンタ_1	TCNT_1	16	H'FFFD6	TPU_1	16	2Pφ/2Pφ
タイマジェネラルレジスタ A_1	TGRA_1	16	H'FFFD8	TPU_1	16	2Pφ/2Pφ
タイマジェネラルレジスタ B_1	TGRB_1	16	H'FFFDA	TPU_1	16	2Pφ/2Pφ
タイマコントロールレジスタ_2	TCR_2	8	H'FFFE0	TPU_2	16	2Pφ/2Pφ
タイマモードレジスタ_2	TMDR_2	8	H'FFFE1	TPU_2	16	2Pφ/2Pφ
タイマI/Oコントロールレジスタ_2	TIOR_2	8	H'FFFE2	TPU_2	16	2Pφ/2Pφ
タイマインタラプトイネーブルレジスタ_2	TIER_2	8	H'FFFE4	TPU_2	16	2Pφ/2Pφ
タイマステータスレジスタ_2	TSR_2	8	H'FFFE5	TPU_2	16	2Pφ/2Pφ
タイマカウンタ_2	TCNT_2	16	H'FFFE6	TPU_2	16	2Pφ/2Pφ
タイマジェネラルレジスタ A_2	TGRA_2	16	H'FFFE8	TPU_2	16	2Pφ/2Pφ
タイマジェネラルレジスタ B_2	TGRB_2	16	H'FFFEA	TPU_2	16	2Pφ/2Pφ
タイマコントロールレジスタ_3	TCR_3	8	H'FFFF0	TPU_3	16	2Pφ/2Pφ
タイマモードレジスタ_3	TMDR_3	8	H'FFFF1	TPU_3	16	2Pφ/2Pφ
タイマI/Oコントロールレジスタ H_3	TIORH_3	8	H'FFFF2	TPU_3	16	2Pφ/2Pφ
タイマI/Oコントロールレジスタ L_3	TIORL_3	8	H'FFFF3	TPU_3	16	2Pφ/2Pφ
タイマインタラプトイネーブルレジスタ_3	TIER_3	8	H'FFFF4	TPU_3	16	2Pφ/2Pφ
タイマステータスレジスタ_3	TSR_3	8	H'FFFF5	TPU_3	16	2Pφ/2Pφ
タイマカウンタ_3	TCNT_3	16	H'FFFF6	TPU_3	16	2Pφ/2Pφ
タイマジェネラルレジスタ A_3	TGRA_3	16	H'FFFF8	TPU_3	16	2Pφ/2Pφ

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
タイマジェネラルレジスタ B_3	TGRB_3	16	H'FFFFA	TPU_3	16	2Pφ/2Pφ
タイマジェネラルレジスタ C_3	TGRC_3	16	H'FFFFC	TPU_3	16	2Pφ/2Pφ
タイマジェネラルレジスタ D_3	TGRD_3	16	H'FFFFE	TPU_3	16	2Pφ/2Pφ

【注】 *1 PCR の設定によりパルス出力グループ 2 とパルス出力グループ 3 の出力トリガが同一の場合は、NDRH のアドレスは H'FFF7C となり、出力トリガが異なる場合は、グループ 2 に対応する NDRH のアドレスは H'FFF7E、グループ 3 に対する NDRH のアドレスは H'FFF7C となります。同様に、PCR の設定によりパルス出力グループ 0 とパルス出力グループ 1 の出力トリガが同一の場合は、NDRL のアドレスは H'FFF7D となり、出力トリガが異なる場合は、グループ 0 に対応する NDRL のアドレスは H'FFF7F、グループ 1 に対する NDRL のアドレスは H'FFF7D となります。

パルス出力グループ 7 とパルス出力グループ 6 の出力トリガが同一の場合は NDRH のアドレスは H'FF63C となり、出力トリガが異なる場合はグループ 6 に対応する NDRH のアドレスは H'FF63E、グループ 7 に対する NDRH のアドレスは H'FF63C となります。同様に、PCR の設定によりパルス出力グループ 5 とパルス出力グループ 4 の出力トリガが同一の場合は NDRL のアドレスは H'FF63D となり、出力トリガが異なる場合はグループ 4 に対応する NDRL のアドレスは H'FF63F、グループ 5 に対する NDRL のアドレスは H'FF63D となります。

*2 H8SX/1648G グループ、H8SX/1648H グループのみサポート。

*3 H8SX/1648L グループ、H8SX/1648H グループのみサポート。

28. レジスタ一覧

28.2 レジスタビット一覧

周辺モジュールのレジスタのアドレスとビット名を以下に示します。

16 ビット、32 ビットレジスタは、8 ビットずつ 2 段または 4 段で表しています。

レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
TCR_4	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_4
TCR_5	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_5
TCSR_4	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0	TMR_4
TCSR_5	CMFB	CMFA	OVF	—	OS3	OS2	OS1	OS0	TMR_5
TCORA_4									TMR_4
TCORA_5									TMR_5
TCORB_4									TMR_4
TCORB_5									TMR_5
TCNT_4									TMR_4
TCNT_5									TMR_5
TCCR_4	—	—	—	—	TMRIS	—	ICKS1	ICKS0	TMR_4
TCCR_5	—	—	—	—	TMRIS	—	ICKS1	ICKS0	TMR_5
CRCCR	DORCLR	—	—	—	—	LMS	G1	G0	CRC
CRCDIR									
CRCDOR									
TCR_6	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_6
TCR_7	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_7
TCSR_6	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0	TMR_6
TCSR_7	CMFB	CMFA	OVF	—	OS3	OS2	OS1	OS0	TMR_7
TCORA_6									TMR_6
TCORA_7									TMR_7
TCORB_6									TMR_6
TCORB_7									TMR_7
TCNT_6									TMR_6
TCNT_7									TMR_7
TCCR_6	—	—	—	—	TMRIS	—	ICKS1	ICKS0	TMR_6
TCCR_7	—	—	—	—	TMRIS	—	ICKS1	ICKS0	TMR_7
ADDRA_1									A/D_1
ADDRB_1									

28. レジスタ一覧

レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
ADDRC_1									A/D_1
ADDRD_1									
ADDRE_2									A/D_2
ADDRF_2									
ADDRG_2									
ADDRH_2									
ADDRE_1									A/D_1
ADDRF_1									
ADDRG_1									
ADDRH_1									
ADDRA_2									A/D_2
ADDRB_2									
ADDRC_2									
ADDRD_2									
ADCSR_1	ADF	ADIE	ADST	EXCKS	CH3	CH2	CH1	CH0	A/D_1
ADCR_1	TRGS1	TRGS0	SCANE	SCANS	CKS1	CKS0	ADSTCLR	EXTRGS	
ADCSR_2	ADF	ADIE	ADST	EXCKS	CH3	CH2	CH1	CH0	A/D_2
ADCR_2	TRGS1	TRGS0	SCANE	SCANS	CKS1	CKS0	ADSTCLR	EXTRGS	
PMDDR* ³	—	—	—	PM4DDR	PM3DDR	PM2DDR	PM1DDR	PM0DDR	I/Oポート
PMDR* ³	—	—	—	PM4DR	PM3DR	PM2DR	PM1DR	PM0DR	
PORTM* ³	—	—	—	PM4	PM3	PM2	PM1	PM0	
PMICR* ³	—	—	—	PM4ICR	PM3ICR	PM2ICR	PM1ICR	PM0ICR	

28. レジスタ一覧

レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
PNDDR	—	—	—	—	PN3DDR	PN2DDR	PN1DDR	PN0DDR	I/Oポート
PNDR	—	—	—	—	PN3DR	PN2DR	PN1DR	PN0DR	
PORTN	—	—	—	—	PN3	PN2	PN1	PN0	
PNICR	—	—	—	—	PN3ICR	PN2ICR	PN1ICR	PN0ICR	
SMR_5* ¹	C/Ā (GM)	CHR (BLK)	PE (PE)	O/Ē (O/E)	STOP (BCP1)	MP (BCP0)	CKS1	CKS0	SCI_5
BRR_5									
SCR_5* ¹	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_5									
SSR_5* ¹	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
(ERS)									
RDR_5									
SCMR_5	—	—	—	—	SDIR	SINV	—	SMIF	
SEMR_5	—	—	—	ABCS	ACS3	ACS2	ACS1	ACS0	
IrCR	IrE	IrCKS2	IrCKS1	IrCKS0	IrTxINV	IrRxINV	—	—	
SMR_6* ¹	C/Ā (GM)	CHR (BLK)	PE (PE)	O/Ē (O/E)	STOP (BCP1)	MP (BCP0)	CKS1	CKS0	SCI_6
BRR_6									
SCR_6* ¹	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_6									
SSR_6* ¹	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
(ERS)									
RDR_6									
SCMR_6	—	—	—	—	SDIR	SINV	—	SMIF	
SEMR_6	—	—	—	ABCS	ACS3	ACS2	ACS1	ACS0	
PCR_1	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0	PPG_1
PMR_1	G3INV	G2INV	G1INV	G0INV	G3NOV	G2NOV	G1NOV	G0NOV	
NDERH_1	NDER31	NDER30	NDER29	NDER28	NDER27	NDER26	NDER25	NDER24	
NDERL_1	NDER23	NDER22	NDER21	NDER20	NDER19	NDER18	NDER17	NDER16	
PODRH_1	POD31	POD30	POD29	POD28	POD27	POD26	POD25	POD24	
PODRL_1	POD23	POD22	POD21	POD20	POD19	POD18	POD17	POD16	
NDRH_1* ²	NDR31	NDR30	NDR29	NDR28	NDR27	NDR26	NDR25	NDR24	
NDRL_1* ²	NDR23	NDR22	NDR21	NDR20	NDR19	NDR18	NDR17	NDR16	
NDRH_1* ²	—	—	—	—	NDR27	NDR26	NDR25	NDR24	
NDRL_1* ²	—	—	—	—	NDR19	NDR18	NDR17	NDR16	

28. レジスタ一覧

レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
ICCRA_2	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0	IIC2_2
ICCRB_2	BBSY	SCP	SDAO	—	SCLO	—	IICRST	—	
ICMR_2	—	WAIT	—	—	BCWP	BC2	BC1	BC0	
ICIER_2	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT	
ICSR_2	TDRE	TEND	RDRF	NACKF	STOP	AL	AAS	ADZ	
SAR_2	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	—	
ICDRT_2									
ICDRR_2									
ICCRA_3	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0	IIC2_3
ICCRB_3	BBSY	SCP	SDAO	—	SCLO	—	IICRST	—	
ICMR_3	—	WAIT	—	—	BCWP	BC2	BC1	BC0	
ICIER_3	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT	
ICSR_3	TDRE	TEND	RDRF	NACKF	STOP	AL	AAS	ADZ	
SAR_3	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	—	
ICDRT_3									
ICDRR_3									
BARAH	BARA31	BARA30	BARA29	BARA28	BARA27	BARA26	BARA25	BARA24	UBC
	BARA23	BARA22	BARA21	BARA20	BARA19	BARA18	BARA17	BARA16	
BARAL	BARA15	BARA14	BARA13	BARA12	BARA11	BARA10	BARA9	BARA8	
	BARA7	BARA6	BARA5	BARA4	BARA3	BARA2	BARA1	BARA0	
BAMRAH	BAMRA31	BAMRA30	BAMRA29	BAMRA28	BAMRA27	BAMRA26	BAMRA25	BAMRA24	
	BAMRA23	BAMRA22	BAMRA21	BAMRA20	BAMRA19	BAMRA18	BAMRA17	BAMRA16	
BAMRAL	BAMRA15	BAMRA14	BAMRA13	BAMRA12	BAMRA11	BAMRA10	BAMRA9	BAMRA8	
	BAMRA7	BAMRA6	BAMRA5	BAMRA4	BAMRA3	BAMRA2	BAMRA1	BAMRA0	
BARBH	BARB31	BARB30	BARB29	BARB28	BARB27	BARB26	BARB25	BARB24	
	BARB23	BARB22	BARB21	BARB20	BARB19	BARB18	BARB17	BARB16	
BARBL	BARB15	BARB14	BARB13	BARB12	BARB11	BARB10	BARB9	BARB8	
	BARB7	BARB6	BARB5	BARB4	BARB3	BARB2	BARB1	BARB0	
BAMRBH	BAMRB31	BAMRB30	BAMRB29	BAMRB28	BAMRB27	BAMRB26	BAMRB25	BAMRB24	
	BAMRB23	BAMRB22	BAMRB21	BAMRB20	BAMRB19	BAMRB18	BAMRB17	BAMRB16	
BAMRBL	BAMRB15	BAMRB14	BAMRB13	BAMRB12	BAMRB11	BAMRB10	BAMRB9	BAMRB8	
	BAMRB7	BAMRB6	BAMRB5	BAMRB4	BAMRB3	BAMRB2	BAMRB1	BAMRB0	
BARCH	BARC31	BARC30	BARC29	BARC28	BARC27	BARC26	BARC25	BARC24	
	BARC23	BARC22	BARC21	BARC20	BARC19	BARC18	BARC17	BARC16	
BARCL	BARC15	BARC14	BARC13	BARC12	BARC11	BARC10	BARC9	BARC8	
	BARC7	BARC6	BARC5	BARC4	BARC3	BARC2	BARC1	BARC0	

28. レジスタ一覧

レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
BAMRCH	BAMRC31	BAMRC30	BAMRC29	BAMRC28	BAMRC27	BAMRC26	BAMRC25	BAMRC24	UBC
	BAMRC23	BAMRC22	BAMRC21	BAMRC20	BAMRC19	BAMRC18	BAMRC17	BAMRC16	
BAMRCL	BAMRC15	BAMRC14	BAMRC13	BAMRC12	BAMRC11	BAMRC10	BAMRC9	BAMRC8	
	BAMRC7	BAMRC6	BAMRC5	BAMRC4	BAMRC3	BAMRC2	BAMRC1	BAMRC0	
BARDH	BARD31	BARD30	BARD29	BARD28	BARD27	BARD26	BARD25	BARD24	
	BARD23	BARD22	BARD21	BARD20	BARD19	BARD18	BARD17	BARD16	
BARDL	BARD15	BARD14	BARD13	BARD12	BARD11	BARD10	BARD9	BARD8	
	BARD7	BARD6	BARD5	BARD4	BARD3	BARD2	BARD1	BARD0	
BAMRDH	BAMRD31	BAMRD30	BAMRD29	BAMRD28	BAMRD27	BAMRD26	BAMRD25	BAMRD24	
	BAMRD23	BAMRD22	BAMRD21	BAMRD20	BAMRD19	BAMRD18	BAMRD17	BAMRD16	
BAMRDL	BAMRD15	BAMRD14	BAMRD13	BAMRD12	BAMRD11	BAMRD10	BAMRD9	BAMRD8	
	BAMRD7	BAMRD6	BAMRD5	BAMRD4	BAMRD3	BAMRD2	BAMRD1	BAMRD0	
BRCRA	—	—	CMFCPA	—	CPA2	CPA1	CPA0	—	
	—	—	IDA1	IDA0	RWA1	RWA0	—	—	
BRCRB	—	—	CMFCPB	—	CPB2	CPB1	CPB0	—	
	—	—	IDB1	IDB0	RWB1	RWB0	—	—	
BRCRC	—	—	CMFCPC	—	CPC2	CPC1	CPC0	—	
	—	—	IDC1	IDC0	RWC1	RWC0	—	—	
BRCRD	—	—	DMFCPD	—	CPD2	CPD1	CPD0	—	
	—	—	IDD1	IDD0	RWD1	RWD0	—	—	
TCR32K* ³	EXCKSN	—	TME	—	—	OSC32STP	CKS1	CKS0	TM32K
TCNT32K1* ³									
TCNT32K2* ³									
TCNT32K3* ³									
TSTRB	—	—	CST5	CST4	CST3	CST2	CST1	CST0	TPU
TSYRB	—	—	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0	(ユニット1)
TCR_6	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_6
TMDR_6	—	—	BFB	BFA	MD3	MD2	MD1	MD0	
TIORH_6	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIORL_6	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
TIER_6	—	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TSR_6	—	—	—	TCFV	TGFD	TGFC	TGFB	TGFA	
TCNT_6									

28. レジスタ一覧

レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
TGRA_6									TPU_6
TGRB_6									
TGRC_6									
TGRD_6									
TCR_7	–	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_7
TMDR_7	–	–	–	–	MD3	MD2	MD1	MD0	
TIOR_7	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_7	–	–	TCIEU	TCIEV	–	–	TGIEB	TGIEA	
TSR_7	TCFD	–	TCFU	TCFV	–	–	TGFB	TGFA	
TCNT_7									
TGRA_7									
TGRB_7									
TCR_8	–	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_8
TMDR_8	–	–	–	–	MD3	MD2	MD1	MD0	
TIOR_8	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_8	–	–	TCIEU	TCIEV	–	–	TGIEB	TGIEA	
TSR_8	TCFD	–	TCFU	TCFV	–	–	TGFB	TGFA	
TCNT_8									
TGRA_8									
TGRB_8									
TCR_9	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_9
TMDR_9	–	–	BFB	BFA	MD3	MD2	MD1	MD0	
TIORH_9	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIORL_9	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
TIER_9	–	–	–	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TSR_9	–	–	–	TCFV	TGFD	TGFC	TGFB	TGFA	

28. レジスタ一覧

レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
TCNT_9									TPU_9
TGRA_9									
TGRB_9									
TGRC_9									
TGRD_9									
TCR_10	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_10
TMDR_10	—	—	—	—	MD3	MD2	MD1	MD0	
TIOR_10	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_10	—	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA	
TSR_10	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA	
TCNT_10									
TGRA_10									
TGRB_10									
TCR_11	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_11
TMDR_11	—	—	—	—	MD3	MD2	MD1	MD0	
TIOR_11	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_11	—	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA	
TSR_11	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA	
TCNT_11									
TGRA_11									
TGRB_11									

レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR	I/O ポート
P2DDR	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR	
P3DDR	P37DDR	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR	
P6DDR	P67DDR	P66DDR	P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR	
PADDR	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR	
PBDDR	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR	
PCDDR	—	—	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	PC0DDR	
PDDDR	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR	
PEDDR	PE7DDR	PE6DDR	PE5DDR	PE4DDR	PE3DDR	PE2DDR	PE1DDR	PE0DDR	
PFDDR	PF7DDR	PF6DDR	PF5DDR	PF4DDR	PF3DDR	PF2DDR	PF1DDR	PF0DDR	
P1ICR	P17ICR	P16ICR	P15ICR	P14ICR	P13ICR	P12ICR	P11ICR	P10ICR	
P2ICR	P27ICR	P26ICR	P25ICR	P24ICR	P23ICR	P22ICR	P21ICR	P20ICR	
P3ICR	P37ICR	P36ICR	P35ICR	P34ICR	P33ICR	P32ICR	P31ICR	P30ICR	
P4ICR	P47ICR	P46ICR	P45ICR	P44ICR	—	—	—	—	
P5ICR	P57ICR	P56ICR	P55ICR	P54ICR	P53ICR	P52ICR	P51ICR	P50ICR	
P6ICR	P67ICR	P66ICR	P65ICR	P64ICR	P63ICR	P62ICR	P61ICR	P60ICR	
PAICR	PA7ICR	PA6ICR	PA5ICR	PA4ICR	PA3ICR	PA2ICR	PA1ICR	PA0ICR	
PBICR	PB7ICR	PB6ICR	PB5ICR	PB4ICR	PB3ICR	PB2ICR	PB1ICR	PB0ICR	
PCICR	—	—	PC5ICR	PC4ICR	PC3ICR	PC2ICR	PC1ICR	PC0ICR	
PDICR	PD7ICR	PD6ICR	PD5ICR	PD4ICR	PD3ICR	PD2ICR	PD1ICR	PD0ICR	
PEICR	PE7ICR	PE6ICR	PE5ICR	PE4ICR	PE3ICR	PE2ICR	PE1ICR	PE0ICR	
PFICR	PF7ICR	PF6ICR	PF5ICR	PF4ICR	PF3ICR	PF2ICR	PF1ICR	PF0ICR	
PORTH	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0	
PORTI	PI7	PI6	PI5	PI4	PI3	PI2	PI1	PI0	
PORTJ	PJ7	PJ6	PJ5	PJ4	PJ3	PJ2	PJ1	PJ0	
PORTK	PK7	PK6	PK5	PK4	PK3	PK2	PK1	PK0	
PHDR	PH7DR	PH6DR	PH5DR	PH4DR	PH3DR	PH2DR	PH1DR	PH0DR	
PIDR	PI7DR	PI6DR	PI5DR	PI4DR	PI3DR	PI2DR	PI1DR	PI0DR	
PJDR	PJ7DR	PJ6DR	PJ5DR	PJ4DR	PJ3DR	PJ2DR	PJ1DR	PJ0DR	
PKDR	PK7DR	PK6DR	PK5DR	PK4DR	PK3DR	PK2DR	PK1DR	PK0DR	
PHDDR	PH7DDR	PH6DDR	PH5DDR	PH4DDR	PH3DDR	PH2DDR	PH1DDR	PH0DDR	
PIDDR	PI7DDR	PI6DDR	PI5DDR	PI4DDR	PI3DDR	PI2DDR	PI1DDR	PI0DDR	
PJDDR	PJ7DDR	PJ6DDR	PJ5DDR	PJ4DDR	PJ3DDR	PJ2DDR	PJ1DDR	PJ0DDR	
PKDDR	PK7DDR	PK6DDR	PK5DDR	PK4DDR	PK3DDR	PK2DDR	PK1DDR	PK0DDR	
PHICR	PH7ICR	PH6ICR	PH5ICR	PH4ICR	PH3ICR	PH2ICR	PH1ICR	PH0ICR	
PIICR	PI7ICR	PI6ICR	PI5ICR	PI4ICR	PI3ICR	PI2ICR	PI1ICR	PI0ICR	

28. レジスタ一覧

レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
PJICR	PJ7ICR	PJ6ICR	PJ5ICR	PJ4ICR	PJ3ICR	PJ2ICR	PJ1ICR	PJ0ICR	I/Oポート
PKICR	PK7ICR	PK6ICR	PK5ICR	PK4ICR	PK3ICR	PK2ICR	PK1ICR	PK0ICR	
PDPCR	PD7PCR	PD6PCR	PD5PCR	PD4PCR	PD3PCR	PD2PCR	PD1PCR	PD0PCR	
PEPCR	PE7PCR	PE6PCR	PE5PCR	PE4PCR	PE3PCR	PE2PCR	PE1PCR	PE0PCR	
PFPCR	PF7PCR	PF6PCR	PF5PCR	PF4PCR	PF3PCR	PF2PCR	PF1PCR	PF0PCR	
PHPCR	PH7PCR	PH6PCR	PH5PCR	PH4PCR	PH3PCR	PH2PCR	PH1PCR	PH0PCR	
PIPCR	PI7PCR	PI6PCR	PI5PCR	PI4PCR	PI3PCR	PI2PCR	PI1PCR	PI0PCR	
PJPCR	PJ7PCR	PJ6PCR	PJ5PCR	PJ4PCR	PJ3PCR	PJ2PCR	PJ1PCR	PJ0PCR	
PKPCR	PK7PCR	PK6PCR	PK5PCR	PK4PCR	PK3PCR	PK2PCR	PK1PCR	PK0PCR	
P2ODR	P27ODR	P26ODR	P25ODR	P24ODR	P23ODR	P22ODR	P21ODR	P20ODR	
PFODR	PF7ODR	PF6ODR	PF5ODR	PF4ODR	PF3ODR	PF2ODR	PF1ODR	PF0ODR	
PFCR0	CS7E	CS6E	CS5E	CS4E	CS3E	CS2E	CS1E	CS0E	
PFCR1	CS7SA	CS7SB	CS6SA	CS6SB	CS5SA	CS5SB	CS4SA	CS4SB	
PFCR2	CS3S	CS2S	BSS	BSE	RDWRS	RDWRE	ASOE	WAITS	
PFCR4	A23E	A22E	A21E	A20E	A19E	A18E	A17E	A16E	
PFCR6	—	LHWROE	—	—	TCLKS	—	ADTRG1S	ADTRG0S	
PFCR7	DMAS3A	DMAS3B	DMAS2A	DMAS2B	DMAS1A	DMAS1B	DMAS0A	DMAS0B	
PFCR8* ³	EDMAS3A	EDMAS3B	EDMAS2A	EDMAS2B	EDMAS1A	EDMAS1B	EDMAS0A	EDMAS0B	
PFCR9	TPUMS5	TPUMS4	TPUMS3A	TPUMS3B	TPUMS2	TPUMS1	TPUMS0A	TPUMS0B	
PFCRA	TPUMS11	TPUMS10	TPUMS9A	TPUMS9B	TPUMS8	TPUMS7	TPUMS6A	TPUMS6B	
PFCRB	ITS15	ITS14	ITS13	ITS12	ITS11	ITS10	ITS9	ITS8	
PFCRC	ITS7	ITS6	ITS5	ITS4	ITS3	ITS2	ITS1	ITS0	
PFCRD	PCJKE	—	—	—	—	—	—	—	
SSIER	SSI15	SSI14	SSI13	SSI12	SSI11	SSI10	SSI9	SSI8	INTC
	SSI7	SSI6	SSI5	SSI4	SSI3	SSI2	SSI1	SSI0	
DPSBKR0	BKUP07	BKUP06	BKUP05	BKUP04	BKUP03	BKUP02	BKUP01	BKUP00	SYSTEM
DPSBKR1	BKUP17	BKUP16	BKUP15	BKUP14	BKUP13	BKUP12	BKUP11	BKUP10	
DPSBKR2	BKUP27	BKUP26	BKUP25	BKUP24	BKUP23	BKUP22	BKUP21	BKUP20	
DPSBKR3	BKUP37	BKUP36	BKUP35	BKUP34	BKUP33	BKUP32	BKUP31	BKUP30	
DPSBKR4	BKUP47	BKUP46	BKUP45	BKUP44	BKUP43	BKUP42	BKUP41	BKUP40	
DPSBKR5	BKUP57	BKUP56	BKUP55	BKUP54	BKUP53	BKUP52	BKUP51	BKUP50	
DPSBKR6	BKUP67	BKUP66	BKUP65	BKUP64	BKUP63	BKUP62	BKUP61	BKUP60	
DPSBKR7	BKUP77	BKUP76	BKUP75	BKUP74	BKUP73	BKUP72	BKUP71	BKUP70	
DPSBKR8	BKUP87	BKUP86	BKUP85	BKUP84	BKUP83	BKUP82	BKUP81	BKUP80	
DPSBKR9	BKUP97	BKUP96	BKUP95	BKUP94	BKUP93	BKUP92	BKUP91	BKUP90	
DPSBKR10	BKUP107	BKUP106	BKUP105	BKUP104	BKUP103	BKUP102	BKUP101	BKUP100	

28. レジスタ一覧

レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
DPSBKR11	BKUP117	BKUP116	BKUP115	BKUP114	BKUP113	BKUP112	BKUP111	BKUP110	SYSTEM
DPSBKR12	BKUP127	BKUP126	BKUP125	BKUP124	BKUP123	BKUP122	BKUP121	BKUP120	
DPSBKR13	BKUP137	BKUP136	BKUP135	BKUP134	BKUP133	BKUP132	BKUP131	BKUP130	
DPSBKR14	BKUP147	BKUP146	BKUP145	BKUP144	BKUP143	BKUP142	BKUP141	BKUP140	
DPSBKR15	BKUP157	BKUP156	BKUP155	BKUP154	BKUP153	BKUP152	BKUP151	BKUP150	
DSAR_0									DMAC_0
DDAR_0									
DOFR_0									
DTCR_0									
DBSR_0	BKSZH31	BKSZH30	BKSZH29	BKSZH28	BKSZH27	BKSZH26	BKSZH25	BKSZH24	
	BKSZH23	BKSZH22	BKSZH21	BKSZH20	BKSZH19	BKSZH18	BKSZH17	BKSZH16	
	BKSZ15	BKSZ14	BKSZ13	BKSZ12	BKSZ11	BKSZ10	BKSZ9	BKSZ8	
	BKSZ7	BKSZ6	BKSZ5	BKSZ4	BKSZ3	BKSZ2	BKSZ1	BKSZ0	
DMDR_0	DTE	DACKE	TENDE	—	DREQS	NRD	—	—	
	ACT	—	—	—	ERRF	—	ESIF	DTIF	
	DTSZ1	DTSZ0	MDS1	MDS0	TSEIE	—	ESIE	DTIE	
	DTF1	DTF0	DTA	—	—	DMAP2	DMAP1	DMAPO	
DACR_0	AMS	DIRS	—	—	—	RPTIE	ARS1	ARS0	
	—	—	SAT1	SAT0	—	—	DAT1	DAT0	
	SARIE	—	—	SARA4	SARA3	SARA2	SARA1	SARA0	
	DARIE	—	—	DARA4	DARA3	DARA2	DARA1	DARA0	

28. レジスタ一覧

レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
DSAR_1									DMAC_1
DDAR_1									
DOFR_1									
DTCR_1									
DBSR_1	BKSZH31 BKSZH23 BKSZ15 BKSZ7	BKSZH30 BKSZH22 BKSZ14 BKSZ6	BKSZH29 BKSZH21 BKSZ13 BKSZ5	BKSZH28 BKSZH20 BKSZ12 BKSZ4	BKSZH27 BKSZH19 BKSZ11 BKSZ3	BKSZH26 BKSZH18 BKSZ10 BKSZ2	BKSZH25 BKSZH17 BKSZ9 BKSZ1	BKSZH24 BKSZH16 BKSZ8 BKSZ0	
DMDR_1	DTE ACT DTSZ1 DTF1	DACKE — DTSZ0 DTF0	TENDE — MDS1 DTA	— — MDS0 —	DREQS — TSEIE —	NRD — — DMAP2	— ESIF ESIE DMAP1	— DTIF DTIE DMAP0	
DACR_1	AMS — SARIE DARIE	DIRS — — —	— SAT1 — —	— SAT0 SARA4 DARA4	— — SARA3 DARA3	— — SARA2 DARA2	RPTIE ARS1 SARA1 DARA1	ARS0 DAT0 SARA0 DARA0	
DSAR_2									DMAC_2
DDAR_2									

28. レジスタ一覧

レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
DOFR_2									DMAC_2
DTCR_2									
DBSR_2	BKSZH31	BKSZH30	BKSZH29	BKSZH28	BKSZH27	BKSZH26	BKSZH25	BKSZH24	
	BKSZH23	BKSZH22	BKSZH21	BKSZH20	BKSZH19	BKSZH18	BKSZH17	BKSZH16	
	BKSZ15	BKSZ14	BKSZ13	BKSZ12	BKSZ11	BKSZ10	BKSZ9	BKSZ8	
	BKSZ7	BKSZ6	BKSZ5	BKSZ4	BKSZ3	BKSZ2	BKSZ1	BKSZ0	
DMDR_2	DTE	DACKE	TENDE	—	DREQS	NRD	—	—	
	ACT	—	—	—	—	—	ESIF	DTIF	
	DTSZ1	DTSZ0	MDS1	MDS0	TSEIE	—	ESIE	DTIE	
	DTF1	DTF0	DTA	—	—	DMAP2	DMAP1	DMAPO	
DACR_2	AMS	DIRS	—	—	—	RPTIE	ARS1	ARS0	
	—	—	SAT1	SAT0	—	—	DAT1	DAT0	
	SARIE	—	—	SARA4	SARA3	SARA2	SARA1	SARA0	
	DARIE	—	—	DARA4	DARA3	DARA2	DARA1	DARA0	
DSAR_3									DMAC_3
DDAR_3									
DOFR_3									
DTCR_3									

28. レジスタ一覧

レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
DBSR_3	BKSZH31	BKSZH30	BKSZH29	BKSZH28	BKSZH27	BKSZH26	BKSZH25	BKSZH24	DMAC_3
	BKSZH23	BKSZH22	BKSZH21	BKSZH20	BKSZH19	BKSZH18	BKSZH17	BKSZH16	
	BKSZ15	BKSZ14	BKSZ13	BKSZ12	BKSZ11	BKSZ10	BKSZ9	BKSZ8	
	BKSZ7	BKSZ6	BKSZ5	BKSZ4	BKSZ3	BKSZ2	BKSZ1	BKSZ0	
DMDR_3	DTE	DACKE	TENDE	—	DREQS	NRD	—	—	
	ACT	—	—	—	—	—	ESIF	DTIF	
	DTSZ1	DTSZ0	MDS1	MDS0	TSEIE	—	ESIE	DTIE	
	DTF1	DTF0	DTA	—	—	DMAP2	DMAP1	DMAP0	
DACR_3	AMS	DIRS	—	—	—	RPTIE	ARS1	ARS0	
	—	—	SAT1	SAT0	—	—	DAT1	DAT0	
	SARIE	—	—	SARA4	SARA3	SARA2	SARA1	SARA0	
	DARIE	—	—	DARA4	DARA3	DARA2	DARA1	DARA0	
EDSAR_0*3								EXDMAC_0	
EDDAR_0*3									
EDOFR_0*3									
EDTCR_0*3									
EDBSR_0*3	BKSZH31	BKSZH30	BKSZH29	BKSZH28	BKSZH27	BKSZH26	BKSZH25	BKSZH24	
	BKSZH23	BKSZH22	BKSZH21	BKSZH20	BKSZH19	BKSZH18	BKSZH17	BKSZH16	
	BKSZ15	BKSZ14	BKSZ13	BKSZ12	BKSZ11	BKSZ10	BKSZ9	BKSZ8	
	BKSZ7	BKSZ6	BKSZ5	BKSZ4	BKSZ3	BKSZ2	BKSZ1	BKSZ0	
EDMDR_0*3	DTE	EDACKE	ETENDE	EDRAKE	EDREQS	NRD	—	—	
	ACT	—	—	—	ERRF	—	ESIF	DTIF	
	DTSZ1	DTSZ0	MDS1	MDS0	TSEIE	—	ESIE	DTIE	
	DTF1	DTF0	—	—	—	EDMAP2	EDMAP1	EDMAP0	

28. レジスタ一覧

レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
EDACR_0* ³	AMS	DIRS	—	—	—	RPTIE	ARS1	ARS0	EXDMAC_0
	—	—	SAT1	SAT0	—	—	DAT1	DAT0	
	SARIE	—	—	SARA4	SARA3	SARA2	SARA1	SARA0	
	DARIE	—	—	DARA4	DARA3	DARA2	DARA1	DARA0	
EDSAR_1* ³								EXDMAC_1	
EDDAR_1* ³									
EDOFR_1* ³									
EDTCR_1* ³									
EDBSR_1* ³	BKSZH31	BKSZH30	BKSZH29	BKSZH28	BKSZH27	BKSZH26	BKSZH25	BKSZH24	
	BKSZH23	BKSZH22	BKSZH21	BKSZH20	BKSZH19	BKSZH18	BKSZH17	BKSZH16	
	BKSZ15	BKSZ14	BKSZ13	BKSZ12	BKSZ11	BKSZ10	BKSZ9	BKSZ8	
	BKSZ7	BKSZ6	BKSZ5	BKSZ4	BKSZ3	BKSZ2	BKSZ1	BKSZ0	
EDMDR_1* ³	DTE	EDACKE	ETENDE	EDRAKE	EDREQS	NRD	—	—	
	ACT	—	—	—	—	—	ESIF	DTIF	
	DTSZ1	DTSZ0	MDS1	MDS0	TSEIE	—	ESIE	DTIE	
	DTF1	DTF0	—	—	—	EDMAP2	EDMAP1	EDMAP0	
EDACR_1* ³	AMS	DIRS	—	—	—	RPTIE	ARS1	ARS0	
	—	—	SAT1	SAT0	—	—	DAT1	DAT0	
	SARIE	—	—	SARA4	SARA3	SARA2	SARA1	SARA0	
	DARIE	—	—	DARA4	DARA3	DARA2	DARA1	DARA0	
EDSAR_2* ³								EXDMAC_2	

28. レジスタ一覧

レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
EDDAR_2* ³									EXDMAC_2
EDOFR_2* ³									
EDTCR_2* ³									
EDBSR_2* ³	BKSZH31	BKSZH30	BKSZH29	BKSZH28	BKSZH27	BKSZH26	BKSZH25	BKSZH24	
	BKSZH23	BKSZH22	BKSZH21	BKSZH20	BKSZH19	BKSZH18	BKSZH17	BKSZH16	
	BKSZ15	BKSZ14	BKSZ13	BKSZ12	BKSZ11	BKSZ10	BKSZ9	BKSZ8	
	BKSZ7	BKSZ6	BKSZ5	BKSZ4	BKSZ3	BKSZ2	BKSZ1	BKSZ0	
EDMDR_2* ³	DTE	EDACKE	ETENDE	EDRAKE	EDREQS	NRD	—	—	
	ACT	—	—	—	—	—	ESIF	DTIF	
	DTSZ1	DTSZ0	MDS1	MDS0	TSEIE	—	ESIE	DTIE	
	DTF1	DTF0	—	—	—	EDMAP2	EDMAP1	EDMAP0	
EDACR_2* ³	AMS	DIRS	—	—	—	RPTIE	ARS1	ARS0	
	—	—	SAT1	SAT0	—	—	DAT1	DAT0	
	SARIE	—	—	SARA4	SARA3	SARA2	SARA1	SARA0	
	DARIE	—	—	DARA4	DARA3	DARA2	DARA1	DARA0	
EDSAR_3* ³									EXDMAC_3
EDDAR_3* ³									
EDOFR_3* ³									

28. レジスタ一覧

レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
EDTCR_3* ³									EXDMAC_3
EDBSR_3* ³	BKSZH31	BKSZH30	BKSZH29	BKSZH28	BKSZH27	BKSZH26	BKSZH25	BKSZH24	
	BKSZH23	BKSZH22	BKSZH21	BKSZH20	BKSZH19	BKSZH18	BKSZH17	BKSZH16	
	BKSZ15	BKSZ14	BKSZ13	BKSZ12	BKSZ11	BKSZ10	BKSZ9	BKSZ8	
	BKSZ7	BKSZ6	BKSZ5	BKSZ4	BKSZ3	BKSZ2	BKSZ1	BKSZ0	
EDMDR_3* ³	DTE	EDACKE	ETENDE	EDRAKE	EDREQS	NRD	—	—	
	ACT	—	—	—	—	—	ESIF	DTIF	
	DTSZ1	DTSZ0	MDS1	MDS0	TSEIE	—	ESIE	DTIE	
	DTF1	DTF0	—	—	—	EDMAP2	EDMAP1	EDMAP0	
EDACR_3* ³	AMS	DIRS	—	—	—	RPTIE	ARS1	ARS0	
	—	—	SAT1	SAT0	—	—	DAT1	DAT0	
	SARIE	—	—	SARA4	SARA3	SARA2	SARA1	SARA0	
	DARIE	—	—	DARA4	DARA3	DARA2	DARA1	DARA0	
CLSBR0* ³									EXDMAC
CLSBR1* ³									
CLSBR2* ³									
CLSBR3* ³									
CLSBR4* ³									

28. レジスタ一覧

レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
CLSBR5* ³									EXDMAC
CLSBR6* ³									
CLSBR7* ³									
DMRSR_0									DMAC_0
DMRSR_1									DMAC_1
DMRSR_2									DMAC_2
DMRSR_3									DMAC_3
IPRA	—	IPRA14	IPRA13	IPRA12	—	IPRA10	IPRA9	IPRA8	INTC
	—	IPRA6	IPRA5	IPRA4	—	IPRA2	IPRA1	IPRA0	
IPRB	—	IPRB14	IPRB13	IPRB12	—	IPRB10	IPRB9	IPRB8	
	—	IPRB6	IPRB5	IPRB4	—	IPRB2	IPRB1	IPRB0	
IPRC	—	IPRC14	IPRC13	IPRC12	—	IPRC10	IPRC9	IPRC8	
	—	IPRC6	IPRC5	IPRC4	—	IPRC2	IPRC1	IPRC0	
IPRD	—	IPRD14	IPRD13	IPRD12	—	IPRD10	IPRD9	IPRD8	
	—	IPRD6	IPRD5	IPRD4	—	IPRD2	IPRD1	IPRD0	
IPRE	—	—	—	—	—	IPRE10	IPRE9	IPRE8	
	—	—	—	—	—	IPRE2* ³	IPRE1* ³	IPRE0* ³	
IPRF	—	—	—	—	—	IPRF10	IPRF9	IPRF8	
	—	IPRF6	IPRF5	IPRF4	—	IPRF2	IPRF1	IPRF0	
IPRG	—	IPRG14	IPRG13	IPRG12	—	IPRG10	IPRG9	IPRG8	
	—	IPRG6	IPRG5	IPRG4	—	IPRG2	IPRG1	IPRG0	
IPRH	—	IPRH14	IPRH13	IPRH12	—	IPRH10	IPRH9	IPRH8	
	—	IPRH6	IPRH5	IPRH4	—	IPRH2	IPRH1	IPRH0	
IPRI	—	IPRI14	IPRI13	IPRI12	—	IPRI10	IPRI9	IPRI8	
	—	IPRI6	IPRI5	IPRI4	—	IPRI2	IPRI1	IPRI0	
IPRJ* ²	—	IPRJ14	IPRJ13	IPRJ12	—	IPRJ10	IPRJ9	IPRJ8	
	—	IPRJ6	IPRJ5	IPRJ4	—	IPRJ2	IPRJ1	IPRJ0	

28. レジスタ一覧

レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
IPRK	—	IPRK14	IPRK13	IPRK12	—	IPRK10* ³	IPRK9* ³	IPRK8* ³	INTC
	—	IPRK6	IPRK5	IPRK4	—	IPRK2	IPRK1	IPRK0	
IPRL	—	IPRL14	IPRL13	IPRL12	—	IPRL10	IPRL9	IPRL8	
	—	IPRL6	IPRL5	IPRL4	—	IPRL2	IPRL1	IPRL0	
IPRM	—	IPRM14	IPRM13	IPRM12	—	IPRM10	IPRM9	IPRM8	
	—	IPRM6	IPRM5	IPRM4	—	IPRM2	IPRM1	IPRM0	
IPRN	—	IPRN14	IPRN13	IPRN12	—	IPRN10	IPRN9	IPRN8	
	—	IPRN6	IPRN5	IPRN4	—	IPRN2	IPRN1	IPRN0	
IPRO	—	IPRO14	IPRO13	IPRO12	—	IPRO10	IPRO9	IPRO8	
	—	IPRO6	IPRO5	IPRO4	—	—	—	—	
IPRQ	—	—	—	—	—	—	—	—	
	—	IPRQ6	IPRQ5	IPRQ4	—	IPRQ2	IPRQ1	IPRQ0	
IPRR	—	IPRR14	IPRR13	IPRR12	—	IPRR10	IPRR9	IPRR8	
	—	IPRR6	IPRR5	IPRR4	—	IPRR2	IPRR1	IPRR0	
ISCRH	IRQ15SR	IRQ15SF	IRQ14SR	IRQ14SF	IRQ13SR	IRQ13SF	IRQ12SR	IRQ12SF	
	IRQ11SR	IRQ11SF	IRQ10SR	IRQ10SF	IRQ9SR	IRQ9SF	IRQ8SR	IRQ8SF	
ISCLR	IRQ7SR	IRQ7SF	IRQ6SR	IRQ6SF	IRQ5SR	IRQ5SF	IRQ4SR	IRQ4SF	
	IRQ3SR	IRQ3SF	IRQ2SR	IRQ2SF	IRQ1SR	IRQ1SF	IRQ0SR	IRQ0SF	
DTCVBR									BSC
ABWCR	ABWH7	ABWH6	ABWH5	ABWH4	ABWH3	ABWH2	ABWH1	ABWH0	
	ABWL7	ABWL6	ABWL5	ABWL4	ABWL3	ABWL2	ABWL1	ABWL0	
ASTCR	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0	
	—	—	—	—	—	—	—	—	
WTCRA	—	W72	W71	W70	—	W62	W61	W60	
	—	W52	W51	W50	—	W42	W41	W40	
WTCRB	—	W32	W31	W30	—	W22	W21	W20	
	—	W12	W11	W10	—	W02	W01	W00	
RDNCR	RDN7	RDN6	RDN5	RDN4	RDN3	RDN2	RDN1	RDN0	
	—	—	—	—	—	—	—	—	
CSACR	CSXH7	CSXH6	CSXH5	CSXH4	CSXH3	CSXH2	CSXH1	CSXH0	
	CSXT7	CSXT6	CSXT5	CSXT4	CSXT3	CSXT2	CSXT1	CSXT0	

28. レジスタ一覧

レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
IDLCR	IDLS3	IDLS2	IDLS1	IDLS0	IDLCB1	IDLCB0	IDLCA1	IDLCA0	BSC
	IDLSEL7	IDLSEL6	IDLSEL5	IDLSEL4	IDLSEL3	IDLSEL2	IDLSEL1	IDLSEL0	
BCR1	BRLE	BREQOE	—	—	—	—	WDBE	WAITE	
	DKC	EDKC* ³	—	—	—	—	—	—	
BCR2	—	—	EBCCS* ³	IBCCS	—	—	—	PWDBE	
ENDIANCR	LE7	LE6	LE5	LE4	LE3	LE2	—	—	
SRAMCR	BCSEL7	BCSEL6	BCSEL5	BCSEL4	BCSEL3	BCSEL2	BCSEL1	BCSEL0	
	—	—	—	—	—	—	—	—	
BROMCR	BSRM0	BSTS02	BSTS01	BSTS00	—	—	BSWD01	BSWD00	
	BSRM1	BSTS12	BSTS11	BSTS10	—	—	BSWD11	BSWD10	
MPXCR	MPXE7	MPXE6	MPXE5	MPXE4	MPXE3	—	—	—	
	—	—	—	—	—	—	—	ADDEX	
RAMER	—	—	—	—	RAMS	RAM2	RAM1	RAM0	
DRAMCR* ³	DRAME	DTYPE	—	—	OEE	RAST	—	CAST	
	BE	RCDM	DDS	EDDS	—	—	MXC1	MXC0	
DRACCR* ³	—	—	TPC1	TPC0	—	—	RCD1	RCD0	
	—	—	—	—	—	—	—	—	
SDCR* ³	MRSE	—	—	—	—	—	—	—	
	CKSPE	—	—	—	—	—	—	TRWL	
REFCR* ³	CMF	CMIE	RCW1	RCW0	—	RTCK2	RTCK1	RTCK0	
	RFSHE	RLW2	RLW1	RLW0	SLFRF	TPCS2	TPCS1	TPCS0	
RTCNT* ³									
RTCOR* ³									
MDCR	MDS7* ³	—	—	—	MDS3	MDS2	MDS1	MDS0	SYSTEM
	—	—	—	—	—	—	—	—	
SYSCR	—	—	MACS	—	FETCHMD	—	EXPE	RAME	
	—	—	—	—	—	—	DTCMD	—	
SCKCR	PSTOP1	PSTOP0* ³	—	—	—	ICK2	ICK1	ICK0	
	—	PCK2	PCK1	PCK0	—	BCK2	BCK1	BCK0	
SBYCR	SSBY	OPE	—	STS4	STS3	STS2	STS1	STS0	
	SLPIE	—	—	—	—	—	—	—	
MSTPCRA	ACSE	MSTPA14	MSTPA13	MSTPA12	MSTPA11	MSTPA10	MSTPA9	MSTPA8	
	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0	
MSTPCRB	MSTPB15	MSTPB14	MSTPB13	MSTPB12	MSTPB11	MSTPB10	MSTPB9	MSTPB8	
	MSTPB7	MSTPB6	MSTPB5	MSTPB4	MSTPB3	MSTPB2	MSTPB1	MSTPB0	

28. レジスタ一覧

レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール	
MSTPCRC	MSTPC15	MSTPC14	MSTPC13	MSTPC12	MSTPC11	MSTPC10	MSTPC9	MSTPC8	SYSTEM	
	MSTPC7	MSTPC6	MSTPC5	MSTPC4	MSTPC3	MSTPC2	MSTPC1	MSTPC0		
SUBCKCR* ³	—	—	—	—	—	EXSTP	WAKE32K	CK32K		
FCCS	—	—	—	FLER	—	—	—	SCO	FLASH	
FPCS	—	—	—	—	—	—	—	PPVS		
FECS	—	—	—	—	—	—	—	EPVB		
FKEY	K7	K6	K5	K4	K3	K2	K1	K0		
FMATS	MS7	MS6	MS5	MS4	MS3	MS2	MS1	MS0		
FTDAR	TDER	TDA6	TDA5	TDA4	TDA3	TDA2	TDA1	TDA0		
DPSBYCR	DPSBY	IOKEEP	RAMCUT2	RAMCUT1	—	—	—	RAMCUT0	SYSTEM	
DPSWCR	—	—	WTSTS5	WTSTS4	WTSTS3	WTSTS2	WTSTS1	WTSTS0		
DPSIER	—	—	—	—	DIRQ3E	DIRQ2E	DIRQ1E	DIRQ0E		
DPSIFR	DNMIF	—	—	—	DIRQ3F	DIRQ2F	DIRQ1F	DIRQ0F		
DPSIEGR	DNMIEG	—	—	—	DIRQ3EG	DIRQ2EG	DIRQ1EG	DIRQ0EG		
RSTSR	DPSRSTF	—	—	—	—	LVDF*4	—	PORF*4		
LVDCR*4	LVDE	LVDRI	—	LVDMON	—	—	—	—		
SEMR_2	—	—	—	—	ABCS	ACS2	ACS1	ACS0		SCI_2
SMR_3* ¹	C/ \bar{A} (GM)	CHR (BLK)	PE (PE)	O/ \bar{E} (O/ \bar{E})	STOP (BCP1)	MP (BCP0)	CKS1	CKS0		SCI_3
BRR_3										
SCR_3* ¹	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
TDR_3										
SSR_3* ¹	TDRE	RDRF	ORER	FER (ERS)	PER	TEND	MPB	MPBT		
RDR_3										
SCMR_3	—	—	—	—	SDIR	SINV	—	SMIF		
SMR_4* ¹	C/ \bar{A} (GM)	CHR (BLK)	PE (PE)	O/ \bar{E} (O/ \bar{E})	STOP (BCP1)	MP (BCP0)	CKS1	CKS0	SCI_4	
BRR_4										
SCR_4* ¹	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
TDR_4										
SSR_4* ¹	TDRE	RDRF	ORER	FER (ERS)	PER	TEND	MPB	MPBT		
RDR_4										
SCMR_4	—	—	—	—	SDIR	SINV	—	SMIF		

28. レジスタ一覧

レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
ICCRA_0	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0	IIC2_0
ICCRB_0	BBSY	SCP	SDAO	—	SCLO	—	IICRST	—	
ICMR_0	—	WAIT	—	—	BCWP	BC2	BC1	BC0	
ICIER_0	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT	
ICSR_0	TDRE	TEND	RDRF	NACKF	STOP	AL	AAS	ADZ	
SAR_0	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	—	
ICDRT_0									
ICDRR_0									
ICCRA_1	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0	IIC2_1
ICCRB_1	BBSY	SCP	SDAO	—	SCLO	—	IICRST	—	
ICMR_1	—	WAIT	—	—	BCWP	BC2	BC1	BC0	
ICIER_1	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT	
ICSR_1	TDRE	TEND	RDRF	NACKF	STOP	AL	AAS	ADZ	
SAR_1	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	—	
ICDRT_1									
ICDRR_1									
TCR_2	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_2
TCR_3	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_3
TCSR_2	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0	TMR_2
TCSR_3	CMFB	CMFA	OVF	—	OS3	OS2	OS1	OS0	TMR_3
TCORA_2									TMR_2
TCORA_3									TMR_3
TCORB_2									TMR_2
TCORB_3									TMR_3
TCNT_2									TMR_2
TCNT_3									TMR_3
TCCR_2	—	—	—	—	TMRIS	—	ICKS1	ICKS0	TMR_2
TCCR_3	—	—	—	—	TMRIS	—	ICKS1	ICKS0	TMR_3
TCR_4	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_4
TMDR_4	—	—	—	—	MD3	MD2	MD1	MD0	
TIOR_4	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_4	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA	
TSR_4	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA	
TCNT_4									

28. レジスタ一覧

レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
TGRA_4									TPU_4
TGRB_4									
TCR_5	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_5
TMDR_5	—	—	—	—	MD3	MD2	MD1	MD0	
TIOR_5	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_5	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA	
TSR_5	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA	
TCNT_5									
TGRA_5									
TGRB_5									
DTCERA	DTCEA15	DTCEA14	DTCEA13	DTCEA12	DTCEA11	DTCEA10	DTCEA9	DTCEA8	INTC
	DTCEA7	DTCEA6	DTCEA5	DTCEA4	DTCEA3	DTCEA2	DTCEA1	DTCEA0	
DTCERB	DTCEB15	—	DTCEB13	DTCEB12	DTCEB11	DTCEB10	DTCEB9	DTCEB8	
	DTCEB7	DTCEB6	DTCEB5	DTCEB4	DTCEB3	DTCEB2	DTCEB1	DTCEB0	
DTCERC	DTCEC15	DTCEC14	DTCEC13	DTCEC12	DTCEC11	DTCEC10	DTCEC9	DTCEC8	
	DTCEC7	DTCEC6	DTCEC5	DTCEC4	DTCEC3	DTCEC2	—	—	
DTCERD	—	—	DTCED13	DTCED12	DTCED11	DTCED10	—	—	
	—	—	DTCED5	DTCED4	DTCED3	DTCED2	DTCED1	DTCED0	
DTCERE	DTCEE15	DTCEE14	DTCEE13	DTCEE12	DTCEE11	DTCEE10	DTCEE9	DTCEE8	
	DTCEE7	DTCEE6	DTCEE5	DTCEE4	DTCEE3	DTCEE2	DTCEE1	DTCEE0	
DTCERF	DTCEF15	DTCEF14	—	—	DTCEF11	DTCEF10	DTCEF9	—	
	—	—	—	—	—	—	—	—	
DTCCR	—	—	—	RRS	RCHNE	—	—	ERR	
INTCR	—	—	INTM1	INTM0	NMIEG	—	—	—	
CPUPCR	CPUPCE	DTCP2	DTCP1	DTCP0	IPSETE	CPUP2	CPUP1	CPUP0	
IER	IRQ15E	IRQ14E	IRQ13E	IRQ12E	IRQ11E	IRQ10E	IRQ9E	IRQ8E	
	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E	
ISR	IRQ15F	IRQ14F	IRQ13F	IRQ12F	IRQ11F	IRQ10F	IRQ9F	IRQ8F	
	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F	

28. レジスタ一覧

レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
PORT1	P17	P16	P15	P14	P13	P12	P11	P10	I/Oポート
PORT2	P27	P26	P25	P24	P23	P22	P21	P20	
PORT3	P37	P36	P35	P34	P33	P32	P31	P30	
PORT4	P47	P46	P45	P44	—	—	—	—	
PORT5	P57	P56	P55	P54	P53	P52	P51	P50	
PORT6	P67	P66	P65	P64	P63	P62	P61	P60	
PORTA	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	
PORTB	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	
PORTC	—	—	PC5	PC4	PC3	PC2	PC1	PC0	
PORTD	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0	
PORTE	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0	
PORTF	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0	
P1DR	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR	
P2DR	P27DR	P26DR	P25DR	P24DR	P23DR	P22DR	P21DR	P20DR	
P3DR	P37DR	P36DR	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR	
P6DR	P67DR	P66DR	P65DR	P64DR	P63DR	P62DR	P61DR	P60DR	
PADR	PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	PA0DR	
PBDR	PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR	
PCDR	—	—	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR	
PDDR	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR	
PEDR	PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR	
PFDR	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR	
SMR_2* ¹	C/ \bar{A} (GM)	CHR (BLK)	PE (PE)	O/ \bar{E} (O/ \bar{E})	STOP (BCP1)	MP (BCP0)	CKS1	CKS0	SCI_2
BRR_2									
SCR_2* ¹	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_2									
SSR_2* ¹	TDRE	RDRF	ORER	FER (ERS)	PER	TEND	MPB	MPBT	
RDR_2									
SCMR_2	—	—	—	—	SDIR	SINV	—	SMIF	
DADR0									D/A
DADR1									
DACR01	DAOE1	DAOE0	DAE	—	—	—	—	—	

28. レジスタ一覧

レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
PCR	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0	PPG_0
PMR	G3INV	G2INV	G1INV	G0INV	G3NOV	G2NOV	G1NOV	G0NOV	
NDERH	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8	
NDERL	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0	
PODRH	POD15	POD14	POD13	POD12	POD11	POD10	POD9	POD8	
PODRL	POD7	POD6	POD5	POD4	POD3	POD2	POD1	POD0	
NDRH* ²	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8	
NDRL* ²	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0	
NDRH* ²	—	—	—	—	NDR11	NDR10	NDR9	NDR8	PPG_0
NDRL* ²	—	—	—	—	NDR3	NDR2	NDR1	NDR0	
SMR_0* ¹	C/ \bar{A} (GM)	CHR (BLK)	PE (PE)	O/ \bar{E} (O/ \bar{E})	STOP (BCP1)	MP (BCP0)	CKS1	CKS0	SCI_0
BRR_0									
SCR_0* ¹	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_0									
SSR_0* ¹	TDRE	RDRF	ORER	FER (ERS)	PER	TEND	MPB	MPBT	SCI_0
RDR_0									
SCMR_0	—	—	—	—	SDIR	SINV	—	SMIF	
SMR_1* ¹	C/ \bar{A} (GM)	CHR (BLK)	PE (PE)	O/ \bar{E} (O/ \bar{E})	STOP (BCP1)	MP (BCP0)	CKS1	CKS0	SCI_1
BRR_1									
SCR_1* ¹	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_1									
SSR_1* ¹	TDRE	RDRF	ORER	FER (ERS)	PER	TEND	MPB	MPBT	SCI_1
RDR_1									
SCMR_1	—	—	—	—	SDIR	SINV	—	SMIF	
ADDRA_0									A/D_0
ADDRB_0									
ADDRC_0									
ADDRD_0									

28. レジスタ一覧

レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
ADDRE_0									A/D_0
ADDRF_0									
ADDRG_0									
ADDRH_0									
ADCSR_0	ADF	ADIE	ADST	—	CH3	CH2	CH1	CH0	
ADCR_0	TRGS1	TRGS0	SCANE	SCANS	CKS1	CKS0	—	EXTRGS	
TCSR	OVF	WT/IT	TME	—	—	CKS2	CKS1	CKS0	WDT
TCNT									
RSTCSR	WOVF	RSTE	—	—	—	—	—	—	
TCR_0	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_0
TCR_1	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_1
TCSR_0	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0	TMR_0
TCSR_1	CMFB	CMFA	OVF	—	OS3	OS2	OS1	OS0	TMR_1
TCORA_0									TMR_0
TCORA_1									TMR_1
TCORB_0									TMR_0
TCORB_1									TMR_1
TCNT_0									TMR_0
TCNT_1									TMR_1
TCCR_0	—	—	—	—	TMRIS	—	ICKS1	ICKS0	TMR_0
TCCR_1	—	—	—	—	TMRIS	—	ICKS1	ICKS0	TMR_1
TSTR	—	—	CST5	CST4	CST3	CST2	CST1	CST0	TPU
TSYR	—	—	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0	
TCR_0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_0
TMDR_0	—	—	BFB	BFA	MD3	MD2	MD1	MD0	
TIORH_0	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIORL_0	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
TIER_0	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TSR_0	—	—	—	TCFV	TGFD	TGFC	TGFB	TGFA	
TCNT_0									

28. レジスタ一覧

レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
TGRA_0									TPU_0
TGRB_0									
TGRC_0									
TGRD_0									
TCR_1	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_1
TMDR_1	—	—	—	—	MD3	MD2	MD1	MD0	
TIOR_1	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_1	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA	
TSR_1	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA	
TCNT_1									
TGRA_1									
TGRB_1									
TCR_2	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_2
TMDR_2	—	—	—	—	MD3	MD2	MD1	MD0	
TIOR_2	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_2	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA	
TSR_2	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA	
TCNT_2									
TGRA_2									
TGRB_2									
TCR_3	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_3
TMDR_3	—	—	BFB	BFA	MD3	MD2	MD1	MD0	
TIORH_3	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIORL_3	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
TIER_3	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TSR_3	—	—	—	TCFV	TGFD	TGFC	TGFB	TGFA	

28. レジスタ一覧

レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
TCNT_3									TPU_3
TGRA_3									
TGRB_3									
TGRC_3									
TGRD_3									

- 【注】 *1 通常モードとスマートカードインターフェースで一部のビットの機能が異なります。
- *2 PCRの設定によりパルス出力グループ2とパルス出力グループ3の出力トリガが同一の場合は、NDRHのアドレスはH'FFF7Cとなり、出力トリガが異なる場合は、グループ2に対応するNDRHのアドレスはH'FFF7E、グループ3に対するNDRHのアドレスはH'FFF7Cとなります。同様に、PCRの設定によりパルス出力グループ0とパルス出力グループ1の出力トリガが同一の場合は、NDRLのアドレスはH'FFF7Dとなり、出力トリガが異なる場合は、グループ0に対応するNDRLのアドレスはH'FFF7F、グループ1に対するNDRLのアドレスはH'FFF7Dとなります。
- パルス出力グループ7とパルス出力グループ6の出力トリガが同一の場合はNDRHのアドレスはH'FF63Cとなり、出力トリガが異なる場合はグループ6に対応するNDRHのアドレスはH'FF63E、グループ7に対するNDRHのアドレスはH'FF63Cとなります。同様に、PCRの設定によりパルス出力グループ5とパルス出力グループ4の出力トリガが同一の場合はNDRLのアドレスはH'FF63Dとなり、出力トリガが異なる場合はグループ4に対応するNDRLのアドレスはH'FF63F、グループ5に対するNDRLのアドレスはH'FF63Dとなります。
- *3 H8SX/1648Gグループ、H8SX/1648Hグループのみサポート。
- *4 H8SX/1648Lグループ、H8SX/1648Hグループのみサポート。

28.3 各動作モードにおけるレジスタの状態

レジスタ 略称	リセット	モジュール ストップ 状態	スリープ モード	全モジュール クロック ストップ モード	ソフトウェア スタンバイ モード	ディープ ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
TCR_4	初期化	—	—	—	—	初期化* ¹	初期化	TMR_4
TCR_5	初期化	—	—	—	—	初期化* ¹	初期化	TMR_5
TCSR_4	初期化	—	—	—	—	初期化* ¹	初期化	TMR_4
TCSR_5	初期化	—	—	—	—	初期化* ¹	初期化	TMR_5
TCORA_4	初期化	—	—	—	—	初期化* ¹	初期化	TMR_4
TCORA_5	初期化	—	—	—	—	初期化* ¹	初期化	TMR_5
TCORB_4	初期化	—	—	—	—	初期化* ¹	初期化	TMR_4
TCORB_5	初期化	—	—	—	—	初期化* ¹	初期化	TMR_5
TCNT_4	初期化	—	—	—	—	初期化* ¹	初期化	TMR_4
TCNT_5	初期化	—	—	—	—	初期化* ¹	初期化	TMR_5
TCCR_4	初期化	—	—	—	—	初期化* ¹	初期化	TMR_4
TCCR_5	初期化	—	—	—	—	初期化* ¹	初期化	TMR_5
CRCCR	初期化	—	—	—	—	初期化* ¹	初期化	CRC
CRCDIR	初期化	—	—	—	—	初期化* ¹	初期化	
CRCDOR	初期化	—	—	—	—	初期化* ¹	初期化	
TCR_6	初期化	—	—	—	—	初期化* ¹	初期化	TMR_6
TCR_7	初期化	—	—	—	—	初期化* ¹	初期化	TMR_7
TCSR_6	初期化	—	—	—	—	初期化* ¹	初期化	TMR_6
TCSR_7	初期化	—	—	—	—	初期化* ¹	初期化	TMR_7
TCORA_6	初期化	—	—	—	—	初期化* ¹	初期化	TMR_6
TCORA_7	初期化	—	—	—	—	初期化* ¹	初期化	TMR_7
TCORB_6	初期化	—	—	—	—	初期化* ¹	初期化	TMR_6
TCORB_7	初期化	—	—	—	—	初期化* ¹	初期化	TMR_7
TCNT_6	初期化	—	—	—	—	初期化* ¹	初期化	TMR_6
TCNT_7	初期化	—	—	—	—	初期化* ¹	初期化	TMR_7
TCCR_6	初期化	—	—	—	—	初期化* ¹	初期化	TMR_6
TCCR_7	初期化	—	—	—	—	初期化* ¹	初期化	TMR_7
ADDRA_1	初期化	—	—	—	—	初期化* ¹	初期化	A/D_1
ADDRB_1	初期化	—	—	—	—	初期化* ¹	初期化	
ADDRC_1	初期化	—	—	—	—	初期化* ¹	初期化	
ADDRD_1	初期化	—	—	—	—	初期化* ¹	初期化	

28. レジスタ一覧

レジスタ 略称	リセット	モジュール ストップ 状態	スリープ モード	全モジュール クロック ストップ モード	ソフトウェア スタンバイ モード	ディープ ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
ADDRE_2	初期化	—	—	—	—	初期化* ¹	初期化	A/D_2
ADDRF_2	初期化	—	—	—	—	初期化* ¹	初期化	
ADDRG_2	初期化	—	—	—	—	初期化* ¹	初期化	
ADDRH_2	初期化	—	—	—	—	初期化* ¹	初期化	
ADDRE_1	初期化	—	—	—	—	初期化* ¹	初期化	A/D_1
ADDRF_1	初期化	—	—	—	—	初期化* ¹	初期化	
ADDRG_1	初期化	—	—	—	—	初期化* ¹	初期化	
ADDRH_1	初期化	—	—	—	—	初期化* ¹	初期化	
ADDRA_2	初期化	—	—	—	—	初期化* ¹	初期化	A/D_2
ADDRB_2	初期化	—	—	—	—	初期化* ¹	初期化	
ADDRC_2	初期化	—	—	—	—	初期化* ¹	初期化	
ADDRD_2	初期化	—	—	—	—	初期化* ¹	初期化	
ADCSR_1	初期化	—	—	—	—	初期化* ¹	初期化	A/D_1
ADCR_1	初期化	—	—	—	—	初期化* ¹	初期化	
ADCSR_2	初期化	—	—	—	—	初期化* ¹	初期化	A/D_2
ADCR_2	初期化	—	—	—	—	初期化* ¹	初期化	
PMDDR* ²	初期化	—	—	—	—	初期化* ¹	初期化	I/O ポート
PMDR* ²	初期化	—	—	—	—	初期化* ¹	初期化	
PORTM* ²	—	—	—	—	—	—	—	
PMICR* ²	初期化	—	—	—	—	初期化* ¹	初期化	
PNDDR	初期化	—	—	—	—	初期化* ¹	初期化	
PNDR	初期化	—	—	—	—	初期化* ¹	初期化	
PORTN	—	—	—	—	—	—	—	
PNICR	初期化	—	—	—	—	初期化* ¹	初期化	
SMR_5	初期化	—	—	—	—	初期化* ¹	初期化	SCI_5
BRR_5	初期化	—	—	—	—	初期化* ¹	初期化	
SCR_5	初期化	—	—	—	—	初期化* ¹	初期化	
TDR_5	初期化	初期化	—	初期化	初期化	初期化* ¹	初期化	
SSR_5	初期化	初期化	—	初期化	初期化	初期化* ¹	初期化	
RDR_5	初期化	初期化	—	初期化	初期化	初期化* ¹	初期化	
SCMR_5	初期化	—	—	—	—	初期化* ¹	初期化	
SEMR_5	初期化	—	—	—	—	初期化* ¹	初期化	
IrCR	初期化	—	—	—	—	初期化* ¹	初期化	

28. レジスタ一覧

レジスタ 略称	リセット	モジュール ストップ 状態	スリープ モード	全モジュール クロック ストップ モード	ソフトウェア スタンバイ モード	ディープ ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
SMR_6	初期化	—	—	—	—	初期化* ¹	初期化	SCI_6
BRR_6	初期化	—	—	—	—	初期化* ¹	初期化	
SCR_6	初期化	—	—	—	—	初期化* ¹	初期化	
TDR_6	初期化	初期化	—	初期化	初期化	初期化* ¹	初期化	
SSR_6	初期化	初期化	—	初期化	初期化	初期化* ¹	初期化	
RDR_6	初期化	初期化	—	初期化	初期化	初期化* ¹	初期化	
SCMR_6	初期化	—	—	—	—	初期化* ¹	初期化	
SEMR_6	初期化	—	—	—	—	初期化* ¹	初期化	
PCR_1	初期化	—	—	—	—	初期化* ¹	初期化	
PMR_1	初期化	—	—	—	—	初期化* ¹	初期化	
NDERH_1	初期化	—	—	—	—	初期化* ¹	初期化	
NDERL_1	初期化	—	—	—	—	初期化* ¹	初期化	
PODRH_1	初期化	—	—	—	—	初期化* ¹	初期化	
PODRL_1	初期化	—	—	—	—	初期化* ¹	初期化	
NDRH_1	初期化	—	—	—	—	初期化* ¹	初期化	
NDRL_1	初期化	—	—	—	—	初期化* ¹	初期化	
ICCRA_2	初期化	—	—	—	—	初期化* ¹	初期化	IIC2_2
ICCRB_2	初期化	—	—	—	—	初期化* ¹	初期化	
ICMR_2	初期化	—	—	—	—	初期化* ¹	初期化	
ICIER_2	初期化	—	—	—	—	初期化* ¹	初期化	
ICSR_2	初期化	—	—	—	—	初期化* ¹	初期化	
SAR_2	初期化	—	—	—	—	初期化* ¹	初期化	
ICDRT_2	初期化	—	—	—	—	初期化* ¹	初期化	
ICDRR_2	初期化	—	—	—	—	初期化* ¹	初期化	
ICCRA_3	初期化	—	—	—	—	初期化* ¹	初期化	
ICCRB_3	初期化	—	—	—	—	初期化* ¹	初期化	
ICMR_3	初期化	—	—	—	—	初期化* ¹	初期化	
ICIER_3	初期化	—	—	—	—	初期化* ¹	初期化	
ICSR_3	初期化	—	—	—	—	初期化* ¹	初期化	
SAR_3	初期化	—	—	—	—	初期化* ¹	初期化	
ICDRT_3	初期化	—	—	—	—	初期化* ¹	初期化	
ICDRR_3	初期化	—	—	—	—	初期化* ¹	初期化	

28. レジスタ一覧

レジスタ 略称	リセット	モジュール ストップ 状態	スリープ モード	全モジュール クロック ストップ モード	ソフトウェア スタンバイ モード	ディープ ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
BARAH	初期化	—	—	—	—	初期化* ¹	初期化	UBC
BARAL	初期化	—	—	—	—	初期化* ¹	初期化	
BAMRAH	初期化	—	—	—	—	初期化* ¹	初期化	
BAMRAL	初期化	—	—	—	—	初期化* ¹	初期化	
BARBH	初期化	—	—	—	—	初期化* ¹	初期化	
BARBL	初期化	—	—	—	—	初期化* ¹	初期化	
BAMRBH	初期化	—	—	—	—	初期化* ¹	初期化	
BAMRBL	初期化	—	—	—	—	初期化* ¹	初期化	
BARCH	初期化	—	—	—	—	初期化* ¹	初期化	
BARCL	初期化	—	—	—	—	初期化* ¹	初期化	
BAMRCH	初期化	—	—	—	—	初期化* ¹	初期化	
BAMRCL	初期化	—	—	—	—	初期化* ¹	初期化	
BARDH	初期化	—	—	—	—	初期化* ¹	初期化	
BARDL	初期化	—	—	—	—	初期化* ¹	初期化	
BAMRDH	初期化	—	—	—	—	初期化* ¹	初期化	
BAMRDL	初期化	—	—	—	—	初期化* ¹	初期化	
BRCRA	初期化	—	—	—	—	初期化* ¹	初期化	
BRCRB	初期化	—	—	—	—	初期化* ¹	初期化	
BRCRC	初期化	—	—	—	—	初期化* ¹	初期化	
BRCRD	初期化	—	—	—	—	初期化* ¹	初期化	
TCR32K* ²	初期化	—	—	—	—	—	初期化	TM32K
TCNT32K1* ²	初期化	—	—	—	—	—	初期化	
TCNT32K2* ²	初期化	—	—	—	—	—	初期化	
TCNT32K3* ²	初期化	—	—	—	—	—	初期化	
TSTRB	初期化	—	—	—	—	初期化* ¹	初期化	TPU
TSYRB	初期化	—	—	—	—	初期化* ¹	初期化	(ユニット1)
TCR_6	初期化	—	—	—	—	初期化* ¹	初期化	TPU_6
TMDR_6	初期化	—	—	—	—	初期化* ¹	初期化	
TIORH_6	初期化	—	—	—	—	初期化* ¹	初期化	
TIORL_6	初期化	—	—	—	—	初期化* ¹	初期化	
TIER_6	初期化	—	—	—	—	初期化* ¹	初期化	
TSR_6	初期化	—	—	—	—	初期化* ¹	初期化	
TCNT_6	初期化	—	—	—	—	初期化* ¹	初期化	
TGRA_6	初期化	—	—	—	—	初期化* ¹	初期化	

28. レジスタ一覧

レジスタ 略称	リセット	モジュール ストップ 状態	スリープ モード	全モジュール クロック ストップ モード	ソフトウェア スタンバイ モード	ディープ ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
TGRB_6	初期化	—	—	—	—	初期化* ¹	初期化	TPU_6
TGRC_6	初期化	—	—	—	—	初期化* ¹	初期化	
TGRD_6	初期化	—	—	—	—	初期化* ¹	初期化	
TCR_7	初期化	—	—	—	—	初期化* ¹	初期化	TPU_7
TMDR_7	初期化	—	—	—	—	初期化* ¹	初期化	
TIOR_7	初期化	—	—	—	—	初期化* ¹	初期化	
TIER_7	初期化	—	—	—	—	初期化* ¹	初期化	
TSR_7	初期化	—	—	—	—	初期化* ¹	初期化	
TCNT_7	初期化	—	—	—	—	初期化* ¹	初期化	
TGRA_7	初期化	—	—	—	—	初期化* ¹	初期化	
TGRB_7	初期化	—	—	—	—	初期化* ¹	初期化	
TCR_8	初期化	—	—	—	—	初期化* ¹	初期化	TPU_8
TMDR_8	初期化	—	—	—	—	初期化* ¹	初期化	
TIOR_8	初期化	—	—	—	—	初期化* ¹	初期化	
TIER_8	初期化	—	—	—	—	初期化* ¹	初期化	
TSR_8	初期化	—	—	—	—	初期化* ¹	初期化	
TCNT_8	初期化	—	—	—	—	初期化* ¹	初期化	
TGRA_8	初期化	—	—	—	—	初期化* ¹	初期化	
TGRB_8	初期化	—	—	—	—	初期化* ¹	初期化	
TCR_9	初期化	—	—	—	—	初期化* ¹	初期化	TPU_9
TMDR_9	初期化	—	—	—	—	初期化* ¹	初期化	
TIORH_9	初期化	—	—	—	—	初期化* ¹	初期化	
TIORL_9	初期化	—	—	—	—	初期化* ¹	初期化	
TIER_9	初期化	—	—	—	—	初期化* ¹	初期化	
TSR_9	初期化	—	—	—	—	初期化* ¹	初期化	
TCNT_9	初期化	—	—	—	—	初期化* ¹	初期化	
TGRA_9	初期化	—	—	—	—	初期化* ¹	初期化	
TGRB_9	初期化	—	—	—	—	初期化* ¹	初期化	
TGRC_9	初期化	—	—	—	—	初期化* ¹	初期化	
TGRD_9	初期化	—	—	—	—	初期化* ¹	初期化	

28. レジスタ一覧

レジスタ 略称	リセット	モジュール ストップ 状態	スリープ モード	全モジュール クロック ストップ モード	ソフトウェア スタンバイ モード	ディープ ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
TCR_10	初期化	—	—	—	—	初期化* ¹	初期化	TPU_10
TMDR_10	初期化	—	—	—	—	初期化* ¹	初期化	
TIOR_10	初期化	—	—	—	—	初期化* ¹	初期化	
TIER_10	初期化	—	—	—	—	初期化* ¹	初期化	
TSR_10	初期化	—	—	—	—	初期化* ¹	初期化	
TCNT_10	初期化	—	—	—	—	初期化* ¹	初期化	
TGRA_10	初期化	—	—	—	—	初期化* ¹	初期化	
TGRB_10	初期化	—	—	—	—	初期化* ¹	初期化	
TCR_11	初期化	—	—	—	—	初期化* ¹	初期化	TPU_11
TMDR_11	初期化	—	—	—	—	初期化* ¹	初期化	
TIOR_11	初期化	—	—	—	—	初期化* ¹	初期化	
TIER_11	初期化	—	—	—	—	初期化* ¹	初期化	
TSR_11	初期化	—	—	—	—	初期化* ¹	初期化	
TCNT_11	初期化	—	—	—	—	初期化* ¹	初期化	
TGRA_11	初期化	—	—	—	—	初期化* ¹	初期化	
TGRB_11	初期化	—	—	—	—	初期化* ¹	初期化	
P1DDR	初期化	—	—	—	—	初期化* ¹	初期化	I/O ポート
P2DDR	初期化	—	—	—	—	初期化* ¹	初期化	
P3DDR	初期化	—	—	—	—	初期化* ¹	初期化	
P6DDR	初期化	—	—	—	—	初期化* ¹	初期化	
PADDR	初期化	—	—	—	—	初期化* ¹	初期化	
PBDDR	初期化	—	—	—	—	初期化* ¹	初期化	
PCDDR	初期化	—	—	—	—	初期化* ¹	初期化	
PDDDR	初期化	—	—	—	—	初期化* ¹	初期化	
PEDDR	初期化	—	—	—	—	初期化* ¹	初期化	
PFDDR	初期化	—	—	—	—	初期化* ¹	初期化	
P1ICR	初期化	—	—	—	—	初期化* ¹	初期化	
P2ICR	初期化	—	—	—	—	初期化* ¹	初期化	
P3ICR	初期化	—	—	—	—	初期化* ¹	初期化	
P4ICR	初期化	—	—	—	—	初期化* ¹	初期化	
P5ICR	初期化	—	—	—	—	初期化* ¹	初期化	
P6ICR	初期化	—	—	—	—	初期化* ¹	初期化	
PAICR	初期化	—	—	—	—	初期化* ¹	初期化	
PBICR	初期化	—	—	—	—	初期化* ¹	初期化	

レジスタ 略称	リセット	モジュール ストップ 状態	スリープ モード	全モジュール クロック ストップ モード	ソフトウェア スタンバイ モード	ディープ ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
PCICR	初期化	—	—	—	—	初期化* ¹	初期化	I/O ポート
PDICR	初期化	—	—	—	—	初期化* ¹	初期化	
PEICR	初期化	—	—	—	—	初期化* ¹	初期化	
PFICR	初期化	—	—	—	—	初期化* ¹	初期化	
PORTH	—	—	—	—	—	—	—	
PORTI	—	—	—	—	—	—	—	
PORTJ	—	—	—	—	—	—	—	
PORTK	—	—	—	—	—	—	—	
PHDR	初期化	—	—	—	—	初期化* ¹	初期化	
PIDR	初期化	—	—	—	—	初期化* ¹	初期化	
PJDR	初期化	—	—	—	—	初期化* ¹	初期化	
PKDR	初期化	—	—	—	—	初期化* ¹	初期化	
PHDDR	初期化	—	—	—	—	初期化* ¹	初期化	
PIDDR	初期化	—	—	—	—	初期化* ¹	初期化	
PJDDR	初期化	—	—	—	—	初期化* ¹	初期化	
PKDDR	初期化	—	—	—	—	初期化* ¹	初期化	
PHICR	初期化	—	—	—	—	初期化* ¹	初期化	
PIICR	初期化	—	—	—	—	初期化* ¹	初期化	
PJICR	初期化	—	—	—	—	初期化* ¹	初期化	
PKICR	初期化	—	—	—	—	初期化* ¹	初期化	
PDPCR	初期化	—	—	—	—	初期化* ¹	初期化	
PEPCR	初期化	—	—	—	—	初期化* ¹	初期化	
PFPCR	初期化	—	—	—	—	初期化* ¹	初期化	
PHPCR	初期化	—	—	—	—	初期化* ¹	初期化	
PIPCR	初期化	—	—	—	—	初期化* ¹	初期化	
PJPCR	初期化	—	—	—	—	初期化* ¹	初期化	
PKPCR	初期化	—	—	—	—	初期化* ¹	初期化	
P2ODR	初期化	—	—	—	—	初期化* ¹	初期化	
PFODR	初期化	—	—	—	—	初期化* ¹	初期化	
PFCR0	初期化	—	—	—	—	初期化* ¹	初期化	
PFCR1	初期化	—	—	—	—	初期化* ¹	初期化	
PFCR2	初期化	—	—	—	—	初期化* ¹	初期化	
PFCR4	初期化	—	—	—	—	初期化* ¹	初期化	
PFCR6	初期化	—	—	—	—	初期化* ¹	初期化	

28. レジスタ一覧

レジスタ 略称	リセット	モジュール ストップ 状態	スリープ モード	全モジュール クロック ストップ モード	ソフトウェア スタンバイ モード	ディープ ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
PFCR7	初期化	—	—	—	—	初期化* ¹	初期化	I/O ポート
PFCR8* ²	初期化	—	—	—	—	初期化* ¹	初期化	
PFCR9	初期化	—	—	—	—	初期化* ¹	初期化	
PFCRA	初期化	—	—	—	—	初期化* ¹	初期化	
PFCRB	初期化	—	—	—	—	初期化* ¹	初期化	
PFCRC	初期化	—	—	—	—	初期化* ¹	初期化	
PFCRD	初期化	—	—	—	—	初期化* ¹	初期化	
SSIER	初期化	—	—	—	—	初期化* ¹	初期化	INTC
DPSBKR0	初期化	—	—	—	—	—	初期化	SYSTEM
DPSBKR1	初期化	—	—	—	—	—	初期化	
DPSBKR2	初期化	—	—	—	—	—	初期化	
DPSBKR3	初期化	—	—	—	—	—	初期化	
DPSBKR4	初期化	—	—	—	—	—	初期化	
DPSBKR5	初期化	—	—	—	—	—	初期化	
DPSBKR6	初期化	—	—	—	—	—	初期化	
DPSBKR7	初期化	—	—	—	—	—	初期化	
DPSBKR8	初期化	—	—	—	—	—	初期化	
DPSBKR9	初期化	—	—	—	—	—	初期化	
DPSBKR10	初期化	—	—	—	—	—	初期化	
DPSBKR11	初期化	—	—	—	—	—	初期化	
DPSBKR12	初期化	—	—	—	—	—	初期化	
DPSBKR13	初期化	—	—	—	—	—	初期化	
DPSBKR14	初期化	—	—	—	—	—	初期化	
DPSBKR15	初期化	—	—	—	—	—	初期化	
DSAR_0	初期化	—	—	—	—	初期化* ¹	初期化	DMAC_0
DDAR_0	初期化	—	—	—	—	初期化* ¹	初期化	
DOFR_0	初期化	—	—	—	—	初期化* ¹	初期化	
DTCR_0	初期化	—	—	—	—	初期化* ¹	初期化	
DBSR_0	初期化	—	—	—	—	初期化* ¹	初期化	
DMDR_0	初期化	—	—	—	—	初期化* ¹	初期化	
DACR_0	初期化	—	—	—	—	初期化* ¹	初期化	

28. レジスタ一覧

レジスタ 略称	リセット	モジュール ストップ 状態	スリープ モード	全モジュール クロック ストップ モード	ソフトウェア スタンバイ モード	ディープ ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
DSAR_1	初期化	—	—	—	—	初期化* ¹	初期化	DMAC_1
DDAR_1	初期化	—	—	—	—	初期化* ¹	初期化	
DOFR_1	初期化	—	—	—	—	初期化* ¹	初期化	
DTCR_1	初期化	—	—	—	—	初期化* ¹	初期化	
DBSR_1	初期化	—	—	—	—	初期化* ¹	初期化	
DMDR_1	初期化	—	—	—	—	初期化* ¹	初期化	
DACR_1	初期化	—	—	—	—	初期化* ¹	初期化	
DSAR_2	初期化	—	—	—	—	初期化* ¹	初期化	DMAC_2
DDAR_2	初期化	—	—	—	—	初期化* ¹	初期化	
DOFR_2	初期化	—	—	—	—	初期化* ¹	初期化	
DTCR_2	初期化	—	—	—	—	初期化* ¹	初期化	
DBSR_2	初期化	—	—	—	—	初期化* ¹	初期化	
DMDR_2	初期化	—	—	—	—	初期化* ¹	初期化	
DACR_2	初期化	—	—	—	—	初期化* ¹	初期化	
DSAR_3	初期化	—	—	—	—	初期化* ¹	初期化	DMAC_3
DDAR_3	初期化	—	—	—	—	初期化* ¹	初期化	
DOFR_3	初期化	—	—	—	—	初期化* ¹	初期化	
DTCR_3	初期化	—	—	—	—	初期化* ¹	初期化	
DBSR_3	初期化	—	—	—	—	初期化* ¹	初期化	
DMDR_3	初期化	—	—	—	—	初期化* ¹	初期化	
DACR_3	初期化	—	—	—	—	初期化* ¹	初期化	
EDSAR_0* ²	初期化	—	—	—	—	初期化* ¹	初期化	EXDMAC_0
EDDAR_0* ²	初期化	—	—	—	—	初期化* ¹	初期化	
EDOFR_0* ²	初期化	—	—	—	—	初期化* ¹	初期化	
EDTCR_0* ²	初期化	—	—	—	—	初期化* ¹	初期化	
EDBSR_0* ²	初期化	—	—	—	—	初期化* ¹	初期化	
EDMDR_0* ²	初期化	—	—	—	—	初期化* ¹	初期化	
EDACR_0* ²	初期化	—	—	—	—	初期化* ¹	初期化	

28. レジスタ一覧

レジスタ 略称	リセット	モジュール ストップ 状態	スリープ モード	全モジュール クロック ストップ モード	ソフトウェア スタンバイ モード	ディープ ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
EDSAR_1*2	初期化	—	—	—	—	初期化*1	初期化	EXDMAC_1
EDDAR_1*2	初期化	—	—	—	—	初期化*1	初期化	
EDOFR_1*2	初期化	—	—	—	—	初期化*1	初期化	
EDTCR_1*2	初期化	—	—	—	—	初期化*1	初期化	
EDBSR_1*2	初期化	—	—	—	—	初期化*1	初期化	
EDMDR_1*2	初期化	—	—	—	—	初期化*1	初期化	
EDACR_1*2	初期化	—	—	—	—	初期化*1	初期化	
EDSAR_2*2	初期化	—	—	—	—	初期化*1	初期化	EXDMAC_2
EDDAR_2*2	初期化	—	—	—	—	初期化*1	初期化	
EDOFR_2*2	初期化	—	—	—	—	初期化*1	初期化	
EDTCR_2*2	初期化	—	—	—	—	初期化*1	初期化	
EDBSR_2*2	初期化	—	—	—	—	初期化*1	初期化	
EDMDR_2*2	初期化	—	—	—	—	初期化*1	初期化	
EDACR_2*2	初期化	—	—	—	—	初期化*1	初期化	
EDSAR_3*2	初期化	—	—	—	—	初期化*1	初期化	EXDMAC_3
EDDAR_3*2	初期化	—	—	—	—	初期化*1	初期化	
EDOFR_3*2	初期化	—	—	—	—	初期化*1	初期化	
EDTCR_3*2	初期化	—	—	—	—	初期化*1	初期化	
EDBSR_3*2	初期化	—	—	—	—	初期化*1	初期化	
EDMDR_3*2	初期化	—	—	—	—	初期化*1	初期化	
EDACR_3*2	初期化	—	—	—	—	初期化*1	初期化	
CLSBR0*2	—	—	—	—	—	—	—	EXDMAC
CLSBR1*2	—	—	—	—	—	—	—	
CLSBR2*2	—	—	—	—	—	—	—	
CLSBR3*2	—	—	—	—	—	—	—	
CLSBR4*2	—	—	—	—	—	—	—	
CLSBR5*2	—	—	—	—	—	—	—	
CLSBR6*2	—	—	—	—	—	—	—	
CLSBR7*2	—	—	—	—	—	—	—	
DMRSR_0	初期化	—	—	—	—	初期化*1	初期化	DMAC_0
DMRSR_1	初期化	—	—	—	—	初期化*1	初期化	DMAC_1
DMRSR_2	初期化	—	—	—	—	初期化*1	初期化	DMAC_2
DMRSR_3	初期化	—	—	—	—	初期化*1	初期化	DMAC_3

28. レジスタ一覧

レジスタ 略称	リセット	モジュール ストップ 状態	スリープ モード	全モジュール クロック ストップ モード	ソフトウェア スタンバイ モード	ディープ ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
IPRA	初期化	—	—	—	—	初期化* ¹	初期化	INTC
IPRB	初期化	—	—	—	—	初期化* ¹	初期化	
IPRC	初期化	—	—	—	—	初期化* ¹	初期化	
IPRD	初期化	—	—	—	—	初期化* ¹	初期化	
IPRE	初期化	—	—	—	—	初期化* ¹	初期化	
IPRF	初期化	—	—	—	—	初期化* ¹	初期化	
IPRG	初期化	—	—	—	—	初期化* ¹	初期化	
IPRH	初期化	—	—	—	—	初期化* ¹	初期化	
IPRI	初期化	—	—	—	—	初期化* ¹	初期化	
IPRJ* ²	初期化	—	—	—	—	初期化* ¹	初期化	
IPRK	初期化	—	—	—	—	初期化* ¹	初期化	
IPRL	初期化	—	—	—	—	初期化* ¹	初期化	
IPRM	初期化	—	—	—	—	初期化* ¹	初期化	
IPRN	初期化	—	—	—	—	初期化* ¹	初期化	
IPRO	初期化	—	—	—	—	初期化* ¹	初期化	
IPRQ	初期化	—	—	—	—	初期化* ¹	初期化	
IPRR	初期化	—	—	—	—	初期化* ¹	初期化	
ISCRH	初期化	—	—	—	—	初期化* ¹	初期化	
ISCRL	初期化	—	—	—	—	初期化* ¹	初期化	
DTCVBR	初期化	—	—	—	—	初期化* ¹	初期化	
ABWCR	初期化	—	—	—	—	初期化* ¹	初期化	
ASTCR	初期化	—	—	—	—	初期化* ¹	初期化	
WTCRA	初期化	—	—	—	—	初期化* ¹	初期化	
WTCRB	初期化	—	—	—	—	初期化* ¹	初期化	
RDNCR	初期化	—	—	—	—	初期化* ¹	初期化	
CSACR	初期化	—	—	—	—	初期化* ¹	初期化	
IDLCR	初期化	—	—	—	—	初期化* ¹	初期化	
BCR1	初期化	—	—	—	—	初期化* ¹	初期化	
BCR2	初期化	—	—	—	—	初期化* ¹	初期化	
ENDIANCR	初期化	—	—	—	—	初期化* ¹	初期化	
SRAMCR	初期化	—	—	—	—	初期化* ¹	初期化	
BROMCR	初期化	—	—	—	—	初期化* ¹	初期化	
MPXCR	初期化	—	—	—	—	初期化* ¹	初期化	

28. レジスタ一覧

レジスタ 略称	リセット	モジュール ストップ 状態	スリープ モード	全モジュール クロック ストップ モード	ソフトウェア スタンバイ モード	ディープ ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
RAMER	初期化	—	—	—	—	初期化* ¹	初期化	BSC
DRAMCR* ²	初期化	—	—	—	—	初期化* ¹	初期化	
DRACCR* ²	初期化	—	—	—	—	初期化* ¹	初期化	
SDCR* ²	初期化	—	—	—	—	初期化* ¹	初期化	
REFCR* ²	初期化	—	—	—	—	初期化* ¹	初期化	
RTCNT* ²	初期化	—	—	—	—	初期化* ¹	初期化	
RTCOR* ²	初期化	—	—	—	—	初期化* ¹	初期化	
MDCR	初期化	—	—	—	—	初期化* ¹	初期化	SYSTEM
SYSCR	初期化	—	—	—	—	初期化* ¹	初期化	
SCKCR	初期化	—	—	—	—	初期化* ¹	初期化	
SBYCR	初期化	—	—	—	—	初期化* ¹	初期化	
MSTPCRA	初期化	—	—	—	—	初期化* ¹	初期化	
MSTPCRB	初期化	—	—	—	—	初期化* ¹	初期化	
MSTPCRC	初期化	—	—	—	—	初期化* ¹	初期化	
SUBCKCR* ²	初期化	—	—	—	—	初期化* ¹	初期化	
FCCS	初期化	—	—	—	—	初期化* ¹	初期化	FLASH
FPCS	初期化	—	—	—	—	初期化* ¹	初期化	
FECS	初期化	—	—	—	—	初期化* ¹	初期化	
FKEY	初期化	—	—	—	—	初期化* ¹	初期化	
FMATS	初期化	—	—	—	—	初期化* ¹	初期化	
FTDAR	初期化	—	—	—	—	初期化* ¹	初期化	
DPSBYCR	初期化	—	—	—	—	初期化* ¹	初期化	SYSTEM
DPSWCR	初期化	—	—	—	—	初期化* ¹	初期化	
DPSIER	初期化	—	—	—	—	初期化* ¹	初期化	
DPSIFR	初期化	—	—	—	—	初期化* ¹	初期化	
DPSIEGR	初期化	—	—	—	—	初期化* ¹	初期化	
RSTSR	初期化	—	—	—	—	初期化* ¹	初期化	
LVDCR* ³	初期化* ⁴	—	—	—	—	—	初期化	
SEMR_2	初期化	—	—	—	—	初期化* ¹	初期化	SCI_2
SMR_3	初期化	—	—	—	—	初期化* ¹	初期化	SCI_3
BRR_3	初期化	—	—	—	—	初期化* ¹	初期化	
SCR_3	初期化	—	—	—	—	初期化* ¹	初期化	
TDR_3	初期化	初期化	—	初期化	初期化	初期化* ¹	初期化	
SSR_3	初期化	初期化	—	初期化	初期化	初期化* ¹	初期化	

28. レジスタ一覧

レジスタ 略称	リセット	モジュール ストップ 状態	スリープ モード	全モジュール クロック ストップ モード	ソフトウェア スタンバイ モード	ディープ ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
RDR_3	初期化	初期化	—	初期化	初期化	初期化* ¹	初期化	SCI_3
SCMR_3	初期化	—	—	—	—	初期化* ¹	初期化	
SMR_4	初期化	—	—	—	—	初期化* ¹	初期化	SCI_4
BRR_4	初期化	—	—	—	—	初期化* ¹	初期化	
SCR_4	初期化	—	—	—	—	初期化* ¹	初期化	
TDR_4	初期化	初期化	—	初期化	初期化	初期化* ¹	初期化	
SSR_4	初期化	初期化	—	初期化	初期化	初期化* ¹	初期化	
RDR_4	初期化	初期化	—	初期化	初期化	初期化* ¹	初期化	
SCMR_4	初期化	—	—	—	—	初期化* ¹	初期化	
ICCRA_0	初期化	—	—	—	—	初期化* ¹	初期化	IIC2_0
ICCRB_0	初期化	—	—	—	—	初期化* ¹	初期化	
ICMR_0	初期化	—	—	—	—	初期化* ¹	初期化	
ICIER_0	初期化	—	—	—	—	初期化* ¹	初期化	
ICSR_0	初期化	—	—	—	—	初期化* ¹	初期化	
SAR_0	初期化	—	—	—	—	初期化* ¹	初期化	IIC2_0
ICDRT_0	初期化	—	—	—	—	初期化* ¹	初期化	
ICDRR_0	初期化	—	—	—	—	初期化* ¹	初期化	
ICCRA_1	初期化	—	—	—	—	初期化* ¹	初期化	IIC2_1
ICCRB_1	初期化	—	—	—	—	初期化* ¹	初期化	
ICMR_1	初期化	—	—	—	—	初期化* ¹	初期化	
ICIER_1	初期化	—	—	—	—	初期化* ¹	初期化	
ICSR_1	初期化	—	—	—	—	初期化* ¹	初期化	
SAR_1	初期化	—	—	—	—	初期化* ¹	初期化	
ICDRT_1	初期化	—	—	—	—	初期化* ¹	初期化	
ICDRR_1	初期化	—	—	—	—	初期化* ¹	初期化	
TCR_2	初期化	—	—	—	—	初期化* ¹	初期化	TMR_2
TCR_3	初期化	—	—	—	—	初期化* ¹	初期化	TMR_3
TCSR_2	初期化	—	—	—	—	初期化* ¹	初期化	TMR_2
TCSR_3	初期化	—	—	—	—	初期化* ¹	初期化	TMR_3
TCORA_2	初期化	—	—	—	—	初期化* ¹	初期化	TMR_2
TCORA_3	初期化	—	—	—	—	初期化* ¹	初期化	TMR_3
TCORB_2	初期化	—	—	—	—	初期化* ¹	初期化	TMR_2
TCORB_3	初期化	—	—	—	—	初期化* ¹	初期化	TMR_3
TCNT_2	初期化	—	—	—	—	初期化* ¹	初期化	TMR_2

28. レジスタ一覧

レジスタ 略称	リセット	モジュール ストップ 状態	スリープ モード	全モジュール クロック ストップ モード	ソフトウェア スタンバイ モード	ディープ ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
TCNT_3	初期化	—	—	—	—	初期化* ¹	初期化	TMR_3
TCCR_2	初期化	—	—	—	—	初期化* ¹	初期化	TMR_2
TCCR_3	初期化	—	—	—	—	初期化* ¹	初期化	TMR_3
TCR_4	初期化	—	—	—	—	初期化* ¹	初期化	TPU_4
TMDR_4	初期化	—	—	—	—	初期化* ¹	初期化	
TIOR_4	初期化	—	—	—	—	初期化* ¹	初期化	
TIER_4	初期化	—	—	—	—	初期化* ¹	初期化	
TSR_4	初期化	—	—	—	—	初期化* ¹	初期化	
TCNT_4	初期化	—	—	—	—	初期化* ¹	初期化	
TGRA_4	初期化	—	—	—	—	初期化* ¹	初期化	
TGRB_4	初期化	—	—	—	—	初期化* ¹	初期化	
TCR_5	初期化	—	—	—	—	初期化* ¹	初期化	TPU_5
TMDR_5	初期化	—	—	—	—	初期化* ¹	初期化	
TIOR_5	初期化	—	—	—	—	初期化* ¹	初期化	
TIER_5	初期化	—	—	—	—	初期化* ¹	初期化	
TSR_5	初期化	—	—	—	—	初期化* ¹	初期化	
TCNT_5	初期化	—	—	—	—	初期化* ¹	初期化	
TGRA_5	初期化	—	—	—	—	初期化* ¹	初期化	
TGRB_5	初期化	—	—	—	—	初期化* ¹	初期化	
DTCERA	初期化	—	—	—	—	初期化* ¹	初期化	INTC
DTCERB	初期化	—	—	—	—	初期化* ¹	初期化	
DTCERC	初期化	—	—	—	—	初期化* ¹	初期化	
DTCERD	初期化	—	—	—	—	初期化* ¹	初期化	
DTCERE	初期化	—	—	—	—	初期化* ¹	初期化	
DTCERF	初期化	—	—	—	—	初期化* ¹	初期化	
DTCCR	初期化	—	—	—	—	初期化* ¹	初期化	
INTCR	初期化	—	—	—	—	初期化* ¹	初期化	
CPUPCR	初期化	—	—	—	—	初期化* ¹	初期化	
IER	初期化	—	—	—	—	初期化* ¹	初期化	
ISR	初期化	—	—	—	—	初期化* ¹	初期化	
PORT1	—	—	—	—	—	—	—	I/Oポート
PORT2	—	—	—	—	—	—	—	
PORT3	—	—	—	—	—	—	—	
PORT4	—	—	—	—	—	—	—	

28. レジスタ一覧

レジスタ 略称	リセット	モジュール ストップ 状態	スリープ モード	全モジュール クロック ストップ モード	ソフトウェア スタンバイ モード	ディープ ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
PORT5	—	—	—	—	—	—	—	I/O ポート
PORT6	—	—	—	—	—	—	—	
PORTA	—	—	—	—	—	—	—	
PORTB	—	—	—	—	—	—	—	
PORTC	—	—	—	—	—	—	—	
PORTD	—	—	—	—	—	—	—	
PORTE	—	—	—	—	—	—	—	
PORTF	—	—	—	—	—	—	—	
P1DR	初期化	—	—	—	—	初期化* ¹	初期化	
P2DR	初期化	—	—	—	—	初期化* ¹	初期化	
P3DR	初期化	—	—	—	—	初期化* ¹	初期化	
P6DR	初期化	—	—	—	—	初期化* ¹	初期化	
PADR	初期化	—	—	—	—	初期化* ¹	初期化	
PBDR	初期化	—	—	—	—	初期化* ¹	初期化	
PCDR	初期化	—	—	—	—	初期化* ¹	初期化	
PDDR	初期化	—	—	—	—	初期化* ¹	初期化	
PEDR	初期化	—	—	—	—	初期化* ¹	初期化	
PFDR	初期化	—	—	—	—	初期化* ¹	初期化	
SMR_2	初期化	—	—	—	—	初期化* ¹	初期化	SCI_2
BRR_2	初期化	—	—	—	—	初期化* ¹	初期化	
SCR_2	初期化	—	—	—	—	初期化* ¹	初期化	
TDR_2	初期化	初期化	—	初期化	初期化	初期化* ¹	初期化	
SSR_2	初期化	初期化	—	初期化	初期化	初期化* ¹	初期化	
RDR_2	初期化	初期化	—	初期化	初期化	初期化* ¹	初期化	
SCMR_2	初期化	—	—	—	—	初期化* ¹	初期化	
DADR0	初期化	—	—	—	—	初期化* ¹	初期化	D/A
DADR1	初期化	—	—	—	—	初期化* ¹	初期化	
DACR01	初期化	—	—	—	—	初期化* ¹	初期化	
PCR	初期化	—	—	—	—	初期化* ¹	初期化	PPG
PMR	初期化	—	—	—	—	初期化* ¹	初期化	
NDERH	初期化	—	—	—	—	初期化* ¹	初期化	
NDERL	初期化	—	—	—	—	初期化* ¹	初期化	
PODRH	初期化	—	—	—	—	初期化* ¹	初期化	
PODRL	初期化	—	—	—	—	初期化* ¹	初期化	

28. レジスタ一覧

レジスタ 略称	リセット	モジュール ストップ 状態	スリープ モード	全モジュール クロック ストップ モード	ソフトウェア スタンバイ モード	ディープ ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
NDRH	初期化	—	—	—	—	初期化* ¹	初期化	PPG
NDRL	初期化	—	—	—	—	初期化* ¹	初期化	
SMR_0	初期化	—	—	—	—	初期化* ¹	初期化	SCI_0
BRR_0	初期化	—	—	—	—	初期化* ¹	初期化	
SCR_0	初期化	—	—	—	—	初期化* ¹	初期化	
TDR_0	初期化	初期化	—	初期化	初期化	初期化* ¹	初期化	
SSR_0	初期化	初期化	—	初期化	初期化	初期化* ¹	初期化	
RDR_0	初期化	初期化	—	初期化	初期化	初期化* ¹	初期化	
SCMR_0	初期化	—	—	—	—	初期化* ¹	初期化	
SMR_1	初期化	—	—	—	—	初期化* ¹	初期化	SCI_1
BRR_1	初期化	—	—	—	—	初期化* ¹	初期化	
SCR_1	初期化	—	—	—	—	初期化* ¹	初期化	
TDR_1	初期化	初期化	—	初期化	初期化	初期化* ¹	初期化	
SSR_1	初期化	初期化	—	初期化	初期化	初期化* ¹	初期化	
RDR_1	初期化	初期化	—	初期化	初期化	初期化* ¹	初期化	
SCMR_1	初期化	—	—	—	—	初期化* ¹	初期化	
ADDRA_0	初期化	—	—	—	—	初期化* ¹	初期化	A/D_0
ADDRB_0	初期化	—	—	—	—	初期化* ¹	初期化	
ADDRC_0	初期化	—	—	—	—	初期化* ¹	初期化	
ADDRD_0	初期化	—	—	—	—	初期化* ¹	初期化	
ADDRE_0	初期化	—	—	—	—	初期化* ¹	初期化	
ADDRF_0	初期化	—	—	—	—	初期化* ¹	初期化	
ADDRG_0	初期化	—	—	—	—	初期化* ¹	初期化	
ADDRH_0	初期化	—	—	—	—	初期化* ¹	初期化	
ADCSR_0	初期化	—	—	—	—	初期化* ¹	初期化	
ADCR_0	初期化	—	—	—	—	初期化* ¹	初期化	
TCSR	初期化	—	—	—	—	初期化* ¹	初期化	WDT
TCNT	初期化	—	—	—	—	初期化* ¹	初期化	
RSTCSR	初期化	—	—	—	—	初期化* ¹	初期化	
TCR_0	初期化	—	—	—	—	初期化* ¹	初期化	TMR_0
TCR_1	初期化	—	—	—	—	初期化* ¹	初期化	TMR_1
TCSR_0	初期化	—	—	—	—	初期化* ¹	初期化	TMR_0
TCSR_1	初期化	—	—	—	—	初期化* ¹	初期化	TMR_1
TCORA_0	初期化	—	—	—	—	初期化* ¹	初期化	TMR_0

28. レジスタ一覧

レジスタ 略称	リセット	モジュール ストップ 状態	スリープ モード	全モジュール クロック ストップ モード	ソフトウェア スタンバイ モード	ディープ ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
TCORA_1	初期化	—	—	—	—	初期化* ¹	初期化	TMR_1
TCORB_0	初期化	—	—	—	—	初期化* ¹	初期化	TMR_0
TCORB_1	初期化	—	—	—	—	初期化* ¹	初期化	TMR_1
TCNT_0	初期化	—	—	—	—	初期化* ¹	初期化	TMR_0
TCNT_1	初期化	—	—	—	—	初期化* ¹	初期化	TMR_1
TCCR_0	初期化	—	—	—	—	初期化* ¹	初期化	TMR_0
TCCR_1	初期化	—	—	—	—	初期化* ¹	初期化	TMR_1
TSTR	初期化	—	—	—	—	初期化* ¹	初期化	TPU
TSYR	初期化	—	—	—	—	初期化* ¹	初期化	
TCR_0	初期化	—	—	—	—	初期化* ¹	初期化	TPU_0
TMDR_0	初期化	—	—	—	—	初期化* ¹	初期化	
TIORH_0	初期化	—	—	—	—	初期化* ¹	初期化	
TIORL_0	初期化	—	—	—	—	初期化* ¹	初期化	
TIER_0	初期化	—	—	—	—	初期化* ¹	初期化	
TSR_0	初期化	—	—	—	—	初期化* ¹	初期化	
TCNT_0	初期化	—	—	—	—	初期化* ¹	初期化	
TGRA_0	初期化	—	—	—	—	初期化* ¹	初期化	
TGRB_0	初期化	—	—	—	—	初期化* ¹	初期化	
TGRC_0	初期化	—	—	—	—	初期化* ¹	初期化	
TGRD_0	初期化	—	—	—	—	初期化* ¹	初期化	
TCR_1	初期化	—	—	—	—	初期化* ¹	初期化	TPU_1
TMDR_1	初期化	—	—	—	—	初期化* ¹	初期化	
TIOR_1	初期化	—	—	—	—	初期化* ¹	初期化	
TIER_1	初期化	—	—	—	—	初期化* ¹	初期化	
TSR_1	初期化	—	—	—	—	初期化* ¹	初期化	
TCNT_1	初期化	—	—	—	—	初期化* ¹	初期化	
TGRA_1	初期化	—	—	—	—	初期化* ¹	初期化	
TGRB_1	初期化	—	—	—	—	初期化* ¹	初期化	
TCR_2	初期化	—	—	—	—	初期化* ¹	初期化	TPU_2
TMDR_2	初期化	—	—	—	—	初期化* ¹	初期化	
TIOR_2	初期化	—	—	—	—	初期化* ¹	初期化	
TIER_2	初期化	—	—	—	—	初期化* ¹	初期化	
TSR_2	初期化	—	—	—	—	初期化* ¹	初期化	
TCNT_2	初期化	—	—	—	—	初期化* ¹	初期化	

28. レジスタ一覧

レジスタ 略称	リセット	モジュール ストップ 状態	スリープ モード	全モジュール クロック ストップ モード	ソフトウェア スタンバイ モード	ディープ ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
TGRA_2	初期化	—	—	—	—	初期化* ¹	初期化	TPU_2
TGRB_2	初期化	—	—	—	—	初期化* ¹	初期化	
TCR_3	初期化	—	—	—	—	初期化* ¹	初期化	TPU_3
TMDR_3	初期化	—	—	—	—	初期化* ¹	初期化	
TIORH_3	初期化	—	—	—	—	初期化* ¹	初期化	
TIORL_3	初期化	—	—	—	—	初期化* ¹	初期化	
TIER_3	初期化	—	—	—	—	初期化* ¹	初期化	
TSR_3	初期化	—	—	—	—	初期化* ¹	初期化	
TCNT_3	初期化	—	—	—	—	初期化* ¹	初期化	
TGRA_3	初期化	—	—	—	—	初期化* ¹	初期化	
TGRB_3	初期化	—	—	—	—	初期化* ¹	初期化	
TGRC_3	初期化	—	—	—	—	初期化* ¹	初期化	
TGRD_3	初期化	—	—	—	—	初期化* ¹	初期化	

【注】 *1 ディープソフトウェアスタンバイモードでは初期化されませんが、ディープソフトウェアスタンバイモード解除時の内部リセットにより初期化されます。

*2 H8SX/1648G グループ、H8SX/1648H グループのみサポート。

*3 H8SX/1648L グループ、H8SX/1648H グループのみサポート。

*4 LVDCR は、端子リセット、パワーオンリセットで初期化されます。電圧監視リセット、ディープソフトウェアスタンバイリセット、ウォッチドッグタイマリセットでは初期化されません。

29. 電気的特性

29.1 絶対最大定格

表 29.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	V _{cc} PLL _{Vcc}	-0.3~+4.6	V
入力電圧 (ポート 4、5、N 以外)	V _{in}	-0.3~V _{cc} +0.3	V
入力電圧 (ポート N)	V _{in}	-0.3~+6.0	V
入力電圧 (ポート 4、5)	V _{in}	-0.3~AV _{cc} +0.3	V
リファレンス電源電圧	V _{ref}	-0.3~AV _{cc} +0.3	V
アナログ電源電圧	AV _{cc}	-0.3~+4.6	V
アナログ入力電圧	V _{AN}	-0.3~AV _{cc} +0.3	V
動作温度	Topr	通常仕様品 : -20~+75* 広温度範囲仕様品 : -40~+85*	°C
保存温度	Tstg	-55~+125	°C

【使用上の注意】 絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

【注】 * フラッシュメモリの書き込み/消去時の動作温度範囲は、通常仕様品 : 0~+75°C、広温度範囲仕様品 : 0~+85°C になります。

29. 電気的特性

29.2 DC 特性 H8SX/1648 グループ、H8SX/1648A グループ、H8SX/1648G グループ

表 29.2 DC 特性 (1)

条件 : $V_{CC}=PLL_{VCC}=3.0\sim 3.6V$ 、 $AV_{CC}=3.0\sim 3.6V$ 、 $V_{REF}=3.0V\sim AV_{CC}$ 、 $V_{SS}=PLL_{VSS}=AV_{SS}=0V^{*1}$

$T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

対象製品 : H8SX/1648 グループ、H8SX/1648A グループ、H8SX/1648G グループ

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力 電圧	\overline{IRQ} 入力端子、	VT^-	$V_{CC}\times 0.2$	—	—	V	
	TPU 入力端子、	VT^+	—	—	$V_{CC}\times 0.7$	V	
	TMR 入力端子、 IIC2 入力端子 ポート 2、ポート 3、 ポート J、ポート K	VT^+-VT^-	$V_{CC}\times 0.06$	—	—	V	
	$\overline{IRQ0-B}\sim\overline{IRQ7-B}$ 入力端子	VT^-	$AV_{CC}\times 0.2$	—	—	V	
		VT^+	—	—	$AV_{CC}\times 0.7$	V	
		VT^+-VT^-	$AV_{CC}\times 0.06$	—	—	V	
入力 High レベル電圧 (シュミット トリガ入 力端子を除 く)	MD 端子、 \overline{RES} \overline{STBY} 、EMLE、NMI	V_{IH}	$V_{CC}\times 0.9$	—	$V_{CC}+0.3$	V	
	EXTAL その他の入力端子		$V_{CC}\times 0.7$	—	$V_{CC}+0.3$		
	ポート 4、ポート 5		$AV_{CC}\times 0.7$	—	$AV_{CC}+0.3$		
入力 Low レベル電圧 (シュミット トリガ入 力端子を除 く)	MD 端子、 \overline{RES} 、 \overline{STBY} 、 EMLE	V_{IL}	-0.3	—	$V_{CC}\times 0.1$	V	
	EXTAL、NMI		-0.3	—	$V_{CC}\times 0.2$		
	その他の入力端子		-0.3	—	$V_{CC}\times 0.2$		
出力 High レベル電圧	全出力端子	V_{OH}	$V_{CC}-0.5$	—	—	V	$I_{OH}=-200\mu A$
			$V_{CC}-1.0$	—	—		$I_{OH}=-1mA$
出力 Low レベル電圧	全出力端子	V_{OL}	—	—	0.4	V	$I_{OL}=1.6mA$
	ポート 3		—	—	1.0		$I_{OL}=10mA$
入力リーク 電流	\overline{RES}	$ I_{in} $	—	—	10.0	μA	$V_{in}=0.5\sim V_{CC}-0.5V$
	MD 端子、 \overline{STBY} 、EMLE、 NMI		—	—	1.0		
	ポート 4、ポート 5		—	—	1.0		

表 29.2 DC 特性 (2)

条件 : $V_{cc}=PLL_{Vcc}=3.0\sim 3.6V$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=PLL_{Vss}=AV_{ss}=0V^{*1}$ $T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

対象製品 : H8SX/1648 グループ、H8SX/1648A グループ、H8SX/1648G グループ

項 目		記号	min	typ	max	単位	測定条件					
スリー ステート リーク電流 (オフ状態)	ポート 1、2、3、6、 A~K、M* ⁸ 、N	ITSI	—	—	1.0	μA	$V_{in}=0.5\sim V_{cc}-0.5V$					
入力プ アップ MOS 電流	ポート D~F、H、I	-I _p	10	—	300	μA	$V_{CC}=3.0\sim 3.6V$ $V_{in}=0V$					
入力容量	全入力端子	C _{in}	—	—	15	pF	$V_{in}=0V$ $f=1MHz$ $T_a=25^{\circ}C$					
消費電流* ²	通常動作 時	H8SX/1648 グループ、 H8SX/1648A グループ		I _{cc} * ⁴	—	50	80	mA	f=50MHz			
		H8SX/1648G グループ			—	50	85					
	スリープ 時	H8SX/1648 グループ、 H8SX/1648A グループ			—	45	52					
		H8SX/1648G グループ			—	48	60					
	サブクロ ック動作時	H8SX/1648G グループ			—	5	10				32.768kHz 水晶発振子 使用時	
	スタンバイ 時	ソフトウェア スタンバイ時* ³			—	0.15	1.1			mA	$T_a\leq 50^{\circ}C$	
					—	—	3.5				$50^{\circ}C < T_a$	
		ディープソフトウェ ア スタンバイ時	RAM 保持* ³		—	20	60			μA	$T_a\leq 50^{\circ}C$	
					—	—	200				$50^{\circ}C < T_a$	
			RAM 電源 停止		TM32K 停止時* ⁷	—	3				8	$T_a\leq 50^{\circ}C$
					TM32K 動作時* ⁷	—	—				26	$50^{\circ}C < T_a$
		ハードウェア スタンバイ時			—	9	16			$T_a\leq 50^{\circ}C$		
			—	—	41	$50^{\circ}C < T_a$						
				—	2	7	μA	$T_a\leq 50^{\circ}C$				
				—	—	25	μA	$50^{\circ}C < T_a$				
全モジュールクロックストップ時* ⁵				—	23	30	mA					
アナログ 電源電流	A/D、D/A 変換中	Al _{cc}	—	1.0	3.0	mA						
	A/D、D/A 変換待機時		—	0.5	1.0	μA						
リファレンス 電源電流	A/D、D/A 変換中	Al _{cc}	—	0.5	1.0	mA						
	A/D、D/A 変換待機時		—	0.5	1.0	μA						
RAM スタンバイ電圧		VRAM	2.5	—	—	V						

29. 電気的特性

項目	記号	min	typ	max	単位	測定条件
VCC 開始電圧*6	VCC START	—	—	0.8	V	
VCC 立ち上がり勾配*6	SVCC	—	—	20	ms/V	

【注】 *1 A/D および D/A 変換器未使用時に AVcc、Vref、AVss 端子を開放しないでください。

AVcc、Vref 端子は Vcc に、AVss 端子は Vss にそれぞれ接続してください。

*2 消費電流値は、VIHmin=Vcc-0.5V、VILmax=0.5V の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

*3 VRAM ≤ Vcc < 3.0V のとき、VIHmin=Vcc × 0.9、VILmax=0.3V とした場合の値です。

*4 ICC は下記の式に従って f に依存します。

H8SX/1648 グループ、H8SX/1648A グループ

$$ICC_{max} = 25(\text{mA}) + 1.1(\text{mA}/\text{MHz}) \times f \text{ (通常動作時)}$$

$$ICC_{max} = 27(\text{mA}) + 0.5(\text{mA}/\text{MHz}) \times f \text{ (スリープ時)}$$

H8SX/1648G グループ

$$ICC_{max} = 30(\text{mA}) + 1.1(\text{mA}/\text{MHz}) \times f \text{ (通常動作時)}$$

$$ICC_{max} = 35(\text{mA}) + 0.5(\text{mA}/\text{MHz}) \times f \text{ (スリープ時)}$$

*5 参考値です。

*6 電源投入時、RES 端子が Low レベルになっている条件で適用します。

*7 TM32K は H8SX/1648G グループのみ有効となります。

*8 H8SX/1648G グループのみ有効となります。

表 29.3 出力許容電流値

条件：Vcc=PLLvcc=3.0~3.6V、AVcc=3.0~3.6V、Vref=3.0V~AVcc、Vss=PLLvss=AVss=0V*

Ta=-20~+75°C (通常仕様品)、Ta=-40~+85°C (広温度範囲仕様品)

対象製品：H8SX/1648 グループ、H8SX/1648A グループ、H8SX/1648G グループ

項目		記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	ポート 3 以外の 出力端子	I _{OL}	—	—	2.0	mA
出力 Low レベル許容電流 (1 端子あたり)	ポート 3	I _{OL}	—	—	10	mA
出力 Low レベル許容電流 (総和)	出力端子の総和	Σ I _{OL}	—	—	80	mA
出力 High レベル許容電流 (1 端子あたり)	全出力端子	-I _{OH}	—	—	2.0	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	Σ -I _{OH}	—	—	40	mA

【使用上の注意】 LSI の信頼性を確保するため、出力電流値は表 29.3 の値を超えないようにしてください。

【注】 * A/D および D/A 変換器未使用時に AVcc、Vref、AVss 端子を開放しないでください。

AVcc、Vref 端子は Vcc に、AVss 端子は Vss にそれぞれ接続してください。

29.3 DC 特性 H8SX/1648L グループ、H8SX/1648H グループ

表 29.4 DC 特性 (1)

条件 : $V_{CC}=PLL_{VCC}=2.95\sim 3.6V$ 、 $AV_{CC}=3.0\sim 3.6V$ 、 $V_{REF}=3.0V\sim AV_{CC}$ 、 $V_{SS}=PLL_{VSS}=AV_{SS}=0V^{*1}$ $T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

対象製品 : H8SX/1648L グループ、H8SX/1648H グループ

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力 電圧	\overline{IRQ} 入力端子、	VT^-	$V_{CC}\times 0.2$	—	—	V	
	TPU 入力端子、	VT^+	—	—	$V_{CC}\times 0.7$	V	
	TMR 入力端子、 IIC2 入力端子 ポート 2、ポート 3、 ポート J、ポート K	VT^+-VT^-	$V_{CC}\times 0.06$	—	—	V	
	$\overline{IRQ0-B}\sim\overline{IRQ7-B}$ 入力端子	VT^-	$AV_{CC}\times 0.2$	—	—	V	
		VT^+	—	—	$AV_{CC}\times 0.7$	V	
		VT^+-VT^-	$AV_{CC}\times 0.06$	—	—	V	
入力 High レベル電圧 (シュミット トリガ入 力端子を除 く)	MD 端子、 \overline{RES} \overline{STBY} 、EMLE、NMI	V_{IH}	$V_{CC}\times 0.9$	—	$V_{CC}+0.3$	V	
	EXTAL その他の入力端子		$V_{CC}\times 0.7$	—	$V_{CC}+0.3$		
	ポート 4、ポート 5		$AV_{CC}\times 0.7$	—	$AV_{CC}+0.3$		
入力 Low レベル電圧 (シュミット トリガ入 力端子を除 く)	MD 端子、 \overline{RES} 、 \overline{STBY} 、 EMLE	V_{IL}	-0.3	—	$V_{CC}\times 0.1$	V	
	EXTAL、NMI		-0.3	—	$V_{CC}\times 0.2$		
	その他の入力端子		-0.3	—	$V_{CC}\times 0.2$		
出力 High レベル電圧	全出力端子	V_{OH}	$V_{CC}-0.5$	—	—	V	$I_{OH}=-200\mu A$
			$V_{CC}-1.0$	—	—		$I_{OH}=-1mA$
出力 Low レベル電圧	全出力端子	V_{OL}	—	—	0.4	V	$I_{OL}=1.6mA$
	ポート 3		—	—	1.0		$I_{OL}=10mA$
入力リーク 電流	\overline{RES}	$ I_{in} $	—	—	10.0	μA	$V_{in}=0.5\sim V_{CC}-0.5V$
	MD 端子、 \overline{STBY} 、EMLE、 NMI		—	—	1.0		
	ポート 4、ポート 5		—	—	1.0		

29. 電気的特性

表 29.4 DC 特性 (2)

条件 : Vcc=PLLVcc=2.95~3.6V、AVcc=3.0~3.6V、Vref=3.0V~AVcc、Vss=PLLVss=AVss=0V*1

Ta=-20~+75°C (通常仕様品)、Ta=-40~+85°C (広温度範囲仕様品)

対象製品 : H8SX/1648L グループ、H8SX/1648H グループ

項目		記号	min	typ	max	単位	測定条件					
スリー ステート リーク電流 (オフ状態)	ポート 1、2、3、6、 A~K、M*8、N	ITSI	-	-	1.0	μA	Vin=0.5~Vcc-0.5V					
入力プル アップ MOS 電流	ポート D~F、H、I	-Ip	10	-	300	μA	VCC=2.95~3.6V Vin=0V					
入力容量	全入力端子	Cin	-	-	15	pF	Vin=0V f=1MHz Ta=25°C					
消費電流*2	通常動作時	H8SX/1648L グループ		Icc*4	-	50	80	mA	f=50MHz			
		H8SX/1648H グループ			-	50	85					
	スリープ時	H8SX/1648L グループ			-	45	52					
		H8SX/1648H グループ			-	48	60					
	サブクロック 動作時	H8SX/1648H グループ			-	5	10				32.768kHz 水晶発振 子使用時	
	スタンバイ時	ソフトウェア スタンバイ時*3			-	0.15	1.1			mA	Ta≤50°C	
					-	-	3.5	50°C<Ta				
		ディープ ソフトウェア スタンバイ時	RAM 保持*3		-	24	67	μA	Ta≤50°C			
					RAM 電源 停止		TM32K 停止時*7		-	-	200	50°C<Ta
									TM32K 動作時*7	-	23	35
					-	-	60			50°C<Ta		
					-	29	43		Ta≤50°C			
			-		-	75	50°C<Ta					
ハードウェア スタンバイ時		-	2	7	μA	Ta≤50°C						
		-	-	25		50°C<Ta						
全モジュールクロックストップ時*5		-	23	30	mA							
アナログ 電源電流	A/D、D/A 変換中	Alcc	-	1.0	3.0	mA						
	A/D、D/A 変換待機時		-	0.5	1.0		μA					
リファレンス 電源電流	A/D、D/A 変換中	Alcc	-	0.5	1.0	mA						
	A/D、D/A 変換待機時		-	0.5	1.0		μA					
RAM スタンバイ電圧		VRAM	2.5	-	-	V						
VCC 立ち上がり勾配*6		SVCC	-	-	20	ms/V						

【注】 *1 A/D および D/A 変換器未使用時に AVcc、Vref、AVss 端子を開放しないでください。

AVcc、Vref 端子は Vcc に、AVss 端子は Vss にそれぞれ接続してください。

- *2 消費電流値は、 $V_{IHmin}=V_{cc}-0.5V$ 、 $V_{ILmax}=0.5V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。
- *3 $VRAM \leq V_{cc} < 3.0V$ のとき、 $V_{IHmin}=V_{cc} \times 0.9$ 、 $V_{ILmax}=0.3V$ とした場合の値です。
- *4 ICC は下記の式に従って f に依存します。
- H8SX/1648L グループ
- $$ICC_{max}=25(mA)+1.1(mA/MHz) \times f \text{ (通常動作時)}$$
- $$ICC_{max}=27(mA)+0.5(mA/MHz) \times f \text{ (スリープ時)}$$
- H8SX/1648H グループ
- $$ICC_{max}=30(mA)+1.1(mA/MHz) \times f \text{ (通常動作時)}$$
- $$ICC_{max}=35(mA)+0.5(mA/MHz) \times f \text{ (スリープ時)}$$
- *5 参考値です。
- *6 電源投入時に適用します。
- *7 TM32K は H8SX/1648H グループのみ有効となります。
- *8 H8SX/1648H グループのみ有効となります。

29. 電気的特性

表 29.5 出力許容電流値

条件 : $V_{cc}=PLL_{Vcc}=2.95\sim 3.6V$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=PLL_{Vss}=AV_{ss}=0V^*$

$T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

対象製品 : H8SX/1648L グループ、H8SX/1648H グループ

項目		記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	ポート 3 以外の 出力端子	I_{OL}	—	—	2.0	mA
出力 Low レベル許容電流 (1 端子あたり)	ポート 3	I_{OL}	—	—	10	mA
出力 Low レベル許容電流 (総和)	出力端子の総和	ΣI_{OL}	—	—	80	mA
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$	—	—	2.0	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$\Sigma -I_{OH}$	—	—	40	mA

【使用上の注意】 LSI の信頼性を確保するため、出力電流値は表 29.5 の値を超えないようにしてください。

【注】 * A/D および D/A 変換器未使用時に AV_{cc} 、 V_{ref} 、 AV_{ss} 端子を開放しないでください。

AV_{cc} 、 V_{ref} 端子は V_{cc} に、 AV_{ss} 端子は V_{ss} にそれぞれ接続してください。

29.4 AC 特性

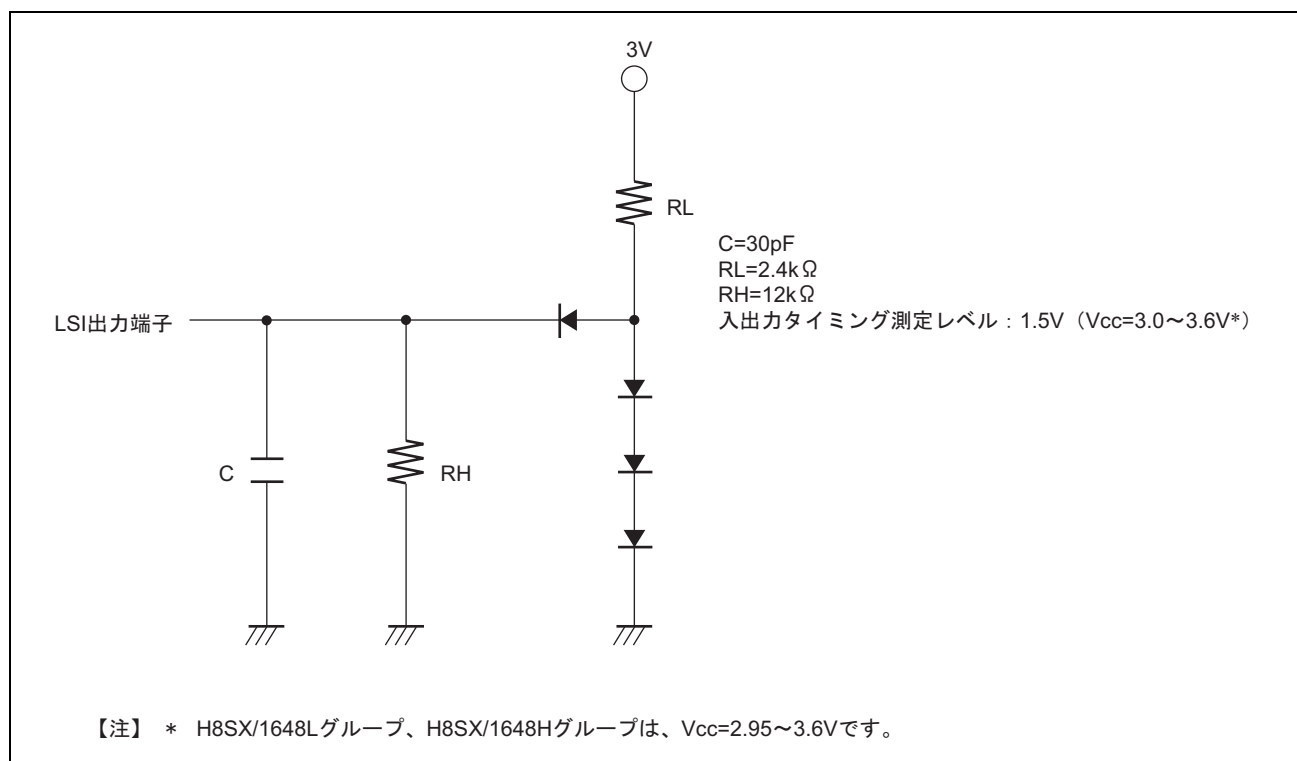


図 29.1 出力負荷回路

29. 電気的特性

29.4.1 クロックタイミング

表 29.6 クロックタイミング

条件 : $V_{CC}=PLL_{VCC}=3.0\sim 3.6V^*$ 、 $AV_{CC}=3.0\sim 3.6V$ 、 $V_{REF}=3.0V\sim AV_{CC}$ 、 $V_{SS}=PLL_{VSS}=AV_{SS}=0V$

$I\phi=8\sim 50MHz$ 、 $B\phi=8\sim 50MHz$ 、 $P\phi=8\sim 35MHz$

$T_a=-20\sim +75^\circ C$ (通常仕様品)、 $T_a=-40\sim +85^\circ C$ (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
クロックサイクル時間	t_{cyc}	20	125	ns	図 29.2
クロック High レベルパルス幅	t_{CH}	5	—	ns	
クロック Low レベルパルス幅	t_{CL}	5	—	ns	
クロック立ち上がり時間	t_{Cr}	—	5	ns	
クロック立ち下がり時間	t_{Cf}	—	5	ns	
リセット発振安定時間(水晶)	t_{OSC1}	10	—	ms	図 29.4
ソフトウェアスタンバイ発振安定時間(水晶)	t_{OSC2}	10	—	ms	図 29.3
外部クロック出力遅延安定時間	t_{DEXT}	1	—	ms	図 29.4
外部クロック入力パルス幅 Low レベル	t_{EXL}	27.7	—	ns	図 29.5
外部クロック入力パルス幅 High レベル	t_{EXH}	27.7	—	ns	
外部クロック立ち上がり時間	t_{Exr}	—	5	ns	
外部クロック立ち下がり時間	t_{Exf}	—	5	ns	
サブクロック発振安定時間	t_{OSC3}	2	—	s	
サブクロック発振器発振周波数	f_{SUB}	32.768		kHz	
サブクロックサイクル時間	t_{SUB}	30.5		μs	

【注】 * H8SX/1648L グループ、H8SX/1648H グループは、 $V_{CC}=PLL_{VCC}=2.95\sim 3.60V$ です。

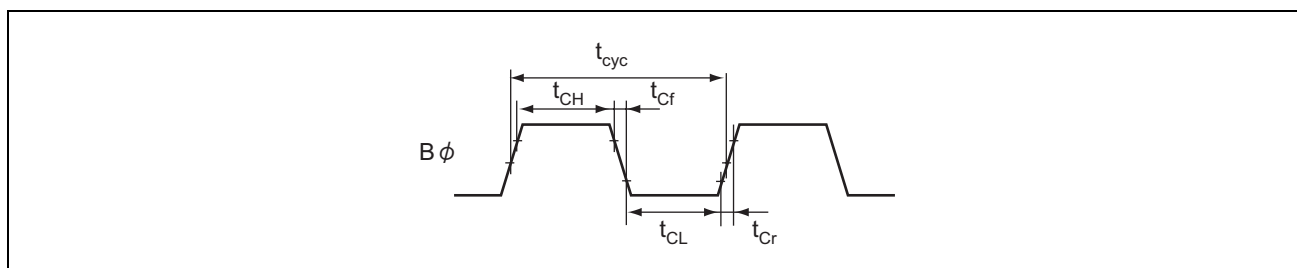


図 29.2 外部バスクロックタイミング

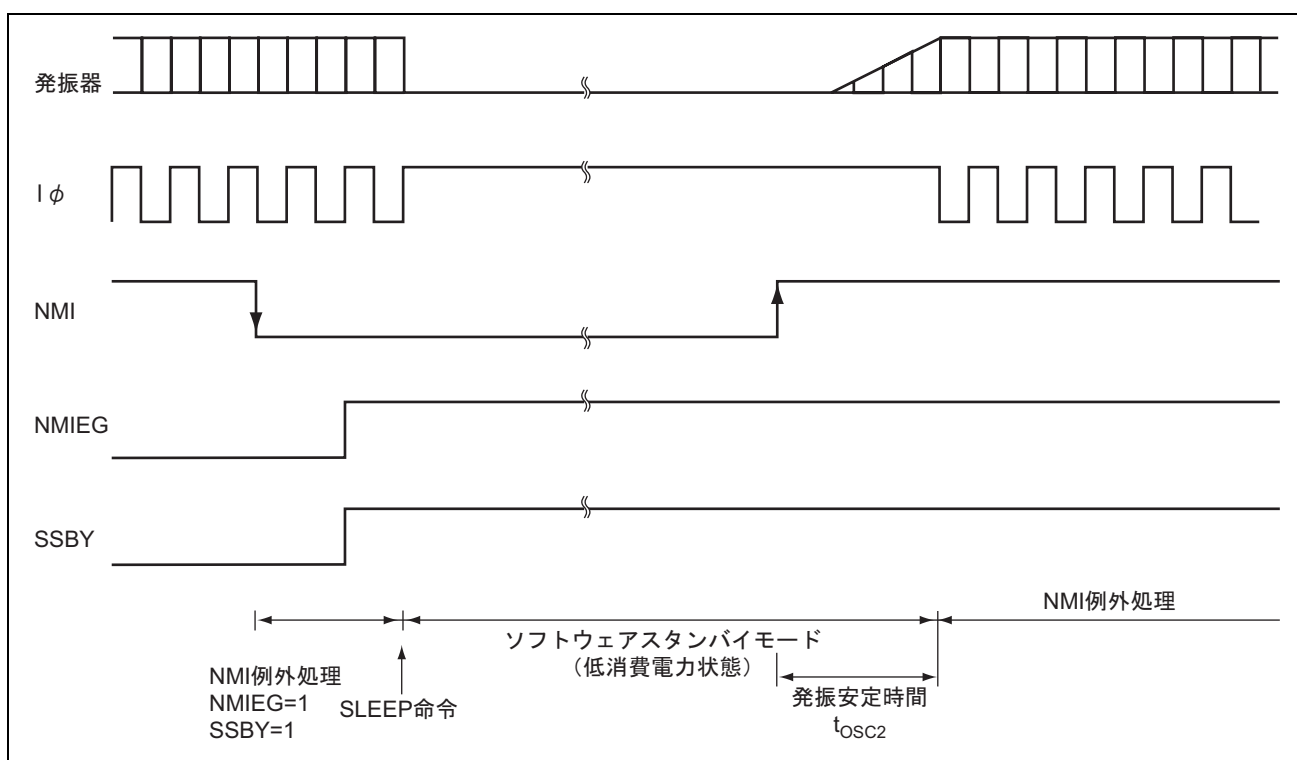


図 29.3 ソフトウェアスタンバイ発振安定時間タイミング

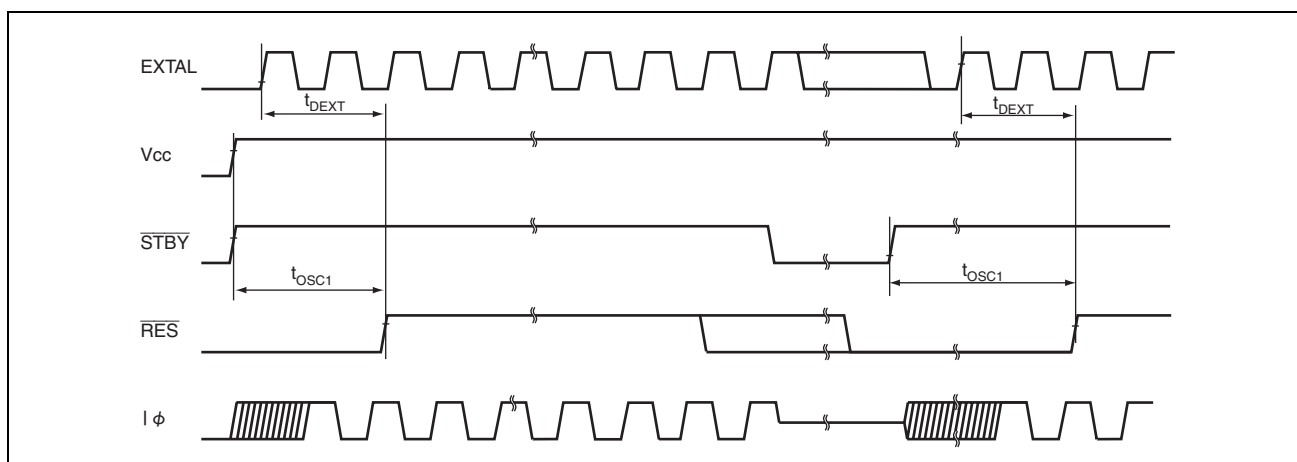


図 29.4 発振安定時間タイミング

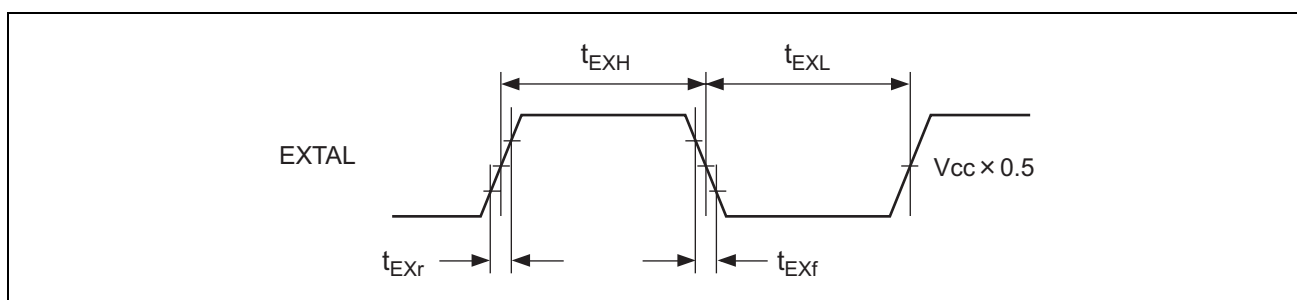


図 29.5 外部入力クロックタイミング

29. 電気的特性

29.4.2 制御信号タイミング

表 29.7 制御信号タイミング

条件 : $V_{cc}=PLL V_{cc}=3.0\sim 3.6V^*$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=PLL V_{ss}=AV_{ss}=0V$ 、
 $I\phi=8\sim 50MHz$ 、
 $T_a=-20\sim +75^\circ C$ (通常仕様品)、 $T_a=-40\sim +85^\circ C$ (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
\overline{RES} セットアップ時間	t_{RESS}	200	—	ns	図 29.6
\overline{RES} パルス幅	t_{RESW}	20	—	t_{cyc}	
NMI セットアップ時間	t_{NMIS}	150	—	ns	図 29.7
NMI ホールド時間	t_{NMIH}	10	—	ns	
NMI パルス幅 (ソフトウェアスタンバイモードからの復帰時)	t_{NMIW}	200	—	ns	
\overline{IRQ} セットアップ時間	t_{IRQS}	150	—	ns	
\overline{IRQ} ホールド時間	t_{IRQH}	10	—	ns	
\overline{IRQ} パルス幅 (ソフトウェアスタンバイモードからの復帰時)	t_{IRQW}	200	—	ns	

【注】 * H8SX/1648L グループ、H8SX/1648H グループは、 $V_{cc}=PLL V_{cc}=2.95\sim 3.60V$ です。

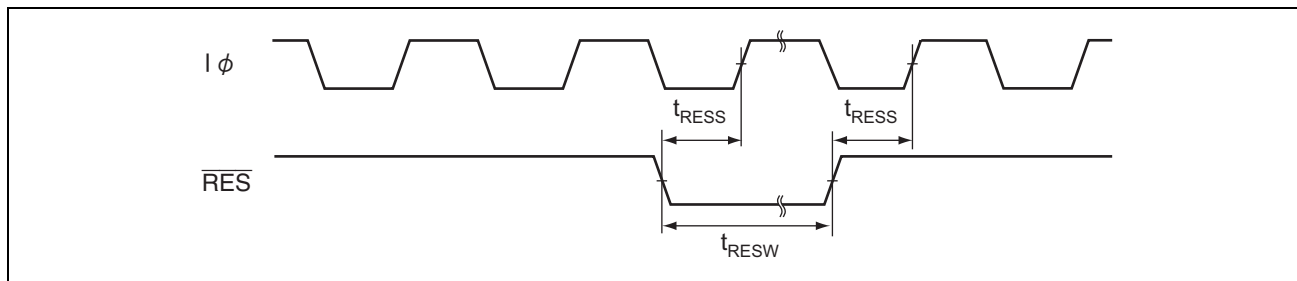


図 29.6 リセット入力タイミング

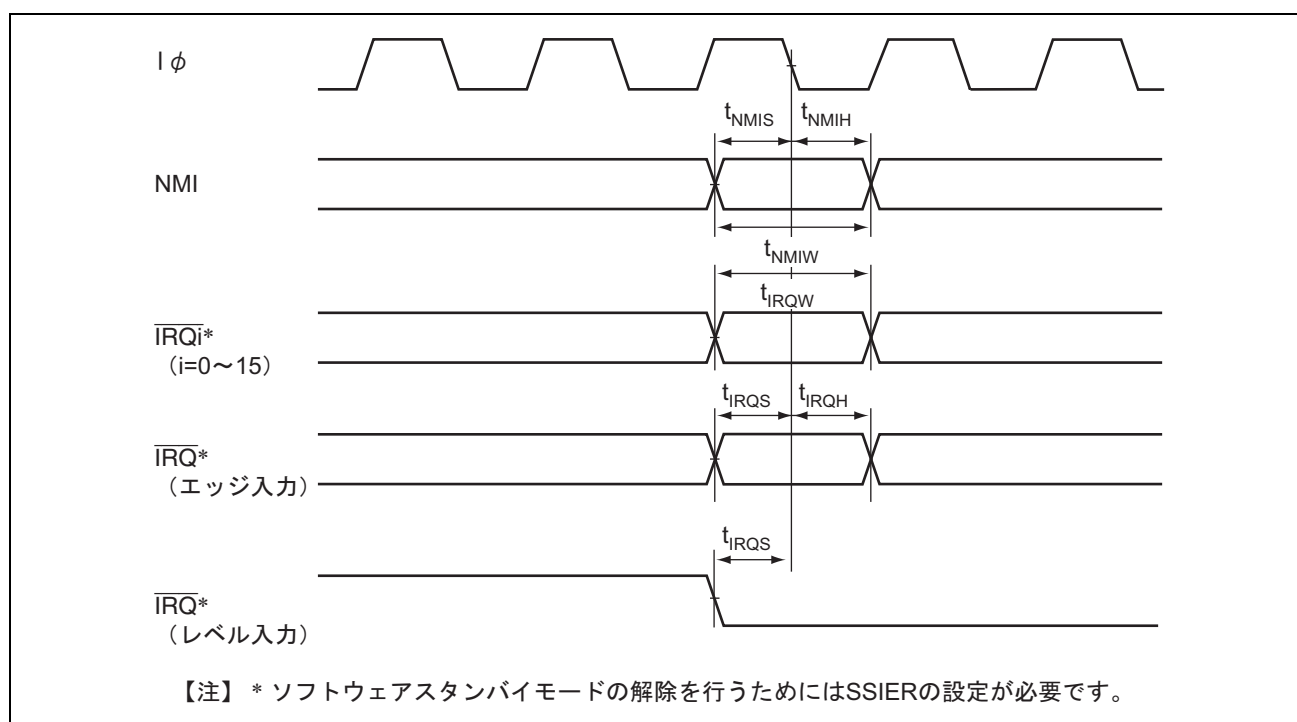


図 29.7 割り込み入力タイミング

29. 電気的特性

29.4.3 バスタイミング

表 29.8 バスタイミング (1)

条件 : $V_{cc}=PLL_{Vcc}=3.0\sim 3.6V^*$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=PLL_{Vss}=AV_{ss}=0V$ 、
 $B\phi=8\sim 50MHz$
 $T_a=-20\sim +75^\circ C$ (通常仕様品)、 $T_a=-40\sim +85^\circ C$ (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	15	ns	図 29.8~ 図 29.36
アドレスセットアップ時間 1	t_{AS1}	$0.5 \times t_{cyc} - 8$	—	ns	
アドレスセットアップ時間 2	t_{AS2}	$1.0 \times t_{cyc} - 8$	—	ns	
アドレスセットアップ時間 3	t_{AS3}	$1.5 \times t_{cyc} - 8$	—	ns	
アドレスセットアップ時間 4	t_{AS4}	$2.0 \times t_{cyc} - 8$	—	ns	
アドレスホールド時間 1	t_{AH1}	$0.5 \times t_{cyc} - 8$	—	ns	
アドレスホールド時間 2	t_{AH2}	$1.0 \times t_{cyc} - 8$	—	ns	
アドレスホールド時間 3	t_{AH3}	$1.5 \times t_{cyc} - 8$	—	ns	
\overline{CS} 遅延時間 1	t_{CSD1}	—	15	ns	
\overline{AS} 遅延時間	t_{ASD}	—	15	ns	
\overline{RD} 遅延時間 1	t_{RSD1}	—	15	ns	
\overline{RD} 遅延時間 2	t_{RSD2}	—	15	ns	
リードデータセットアップ時間 1	t_{RDS1}	15	—	ns	
リードデータセットアップ時間 2	t_{RDS2}	15	—	ns	
リードデータホールド時間 1	t_{RDH1}	0.0	—	ns	
リードデータホールド時間 2	t_{RDH2}	0.0	—	ns	
リードデータアクセス時間 2	t_{AC2}	—	$1.5 \times t_{cyc} - 20$	ns	
リードデータアクセス時間 4	t_{AC4}	—	$2.5 \times t_{cyc} - 20$	ns	
リードデータアクセス時間 5	t_{AC5}	—	$1.0 \times t_{cyc} - 20$	ns	
リードデータアクセス時間 6	t_{AC6}	—	$2.0 \times t_{cyc} - 20$	ns	
対アドレスリードデータアクセス時間 1	t_{AA1}	—	$1.0 \times t_{cyc} - 20$	ns	
対アドレスリードデータアクセス時間 2	t_{AA2}	—	$1.5 \times t_{cyc} - 20$	ns	
対アドレスリードデータアクセス時間 3	t_{AA3}	—	$2.0 \times t_{cyc} - 20$	ns	
対アドレスリードデータアクセス時間 4	t_{AA4}	—	$2.5 \times t_{cyc} - 20$	ns	
対アドレスリードデータアクセス時間 5	t_{AA5}	—	$3.0 \times t_{cyc} - 20$	ns	

表 29.8 バスタイミング (2)

条件 : $V_{cc}=PLL_{Vcc}=3.0\sim 3.6V^*$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=PLL_{Vss}=AV_{ss}=0V$ 、 $B\phi=8\sim 50MHz$ $T_a=-20\sim +75^\circ C$ (通常仕様品)、 $T_a=-40\sim +85^\circ C$ (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
\overline{WR} 遅延時間 1	t_{WRD1}	—	15	ns	図 29.8~ 図 29.36
\overline{WR} 遅延時間 2	t_{WRD2}	—	15	ns	
\overline{WR} パルス幅 1	t_{WSW1}	$1.0 \times t_{cyc} - 13$	—	ns	
\overline{WR} パルス幅 2	t_{WSW2}	$1.5 \times t_{cyc} - 13$	—	ns	
ライトデータ遅延時間	t_{WDD}	—	20	ns	
ライトデータセットアップ時間 1	t_{WDS1}	$0.5 \times t_{cyc} - 13$	—	ns	
ライトデータセットアップ時間 2	t_{WDS2}	$1.0 \times t_{cyc} - 13$	—	ns	
ライトデータセットアップ時間 3	t_{WDS3}	$1.5 \times t_{cyc} - 13$	—	ns	
ライトデータホールド時間 1	t_{WDH1}	$0.5 \times t_{cyc} - 8$	—	ns	
ライトデータホールド時間 3	t_{WDH3}	$1.5 \times t_{cyc} - 8$	—	ns	
バイト制御遅延時間	t_{UBD}	—	15	ns	図 29.13、 図 29.14
バイト制御パルス幅 1	t_{UBW1}	—	$1.0 \times t_{cyc} - 15$	ns	図 29.13
バイト制御パルス幅 2	t_{UBW2}	—	$2.0 \times t_{cyc} - 15$	ns	図 29.14
マルチプレクスアドレス遅延時間 1	t_{MAD1}	—	15	ns	図 29.17、 図 29.18
マルチプレクスアドレスホールド時間	t_{MAH}	$1.0 \times t_{cyc} - 15$	—	ns	
マルチプレクスアドレスセットアップ時間 1	t_{MAS1}	$0.5 \times t_{cyc} - 15$	—	ns	
マルチプレクスアドレスセットアップ時間 2	t_{MAS2}	$1.5 \times t_{cyc} - 15$	—	ns	
アドレスホールド遅延時間	t_{AHD}	—	15	ns	
アドレスホールドパルス幅 1	t_{AHW1}	$1.0 \times t_{cyc} - 15$	—	ns	
アドレスホールドパルス幅 2	t_{AHW2}	$2.0 \times t_{cyc} - 15$	—	ns	
WAIT セットアップ時間	t_{WTS}	15	—	ns	
WAIT ホールド時間	t_{WTH}	5.0	—	ns	
\overline{BREQ} セットアップ時間	t_{BREQS}	20	—	ns	図 29.35
BACK 遅延時間	t_{BACD}	—	15	ns	
バスフローティング時間	t_{BZD}	—	30	ns	
\overline{BREQO} 遅延時間	t_{BRQOD}	—	15	ns	図 29.36
BS 遅延時間	t_{BSD}	1.0	15	ns	図 29.8、 図 29.11~ 図 29.14
RD/ \overline{WR} 遅延時間	t_{RWD}	—	15	ns	

29. 電気的特性

表 29.8 バスタイミング (3)

条件 : Vcc=PLLvcc=3.0~3.6V*、AVcc=3.0~3.6V、Vref=3.0V~AVcc、Vss=PLLvss=AVss=0V、

Bφ=8~50MHz

Ta=-20~+75°C (通常仕様品)、Ta=-40~+85°C (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
\overline{CS} 遅延時間 2	t _{CSD2}	—	15	ns	図 29.19~ 図 29.28
\overline{CS} 遅延時間 3	t _{CSD3}	—	15	ns	
リードデータアクセス時間 1	t _{AC1}	—	1.0 × tcyc - 20	ns	
リードデータアクセス時間 3	t _{AC3}	—	2.0 × tcyc - 20	ns	
リードデータアクセス時間 7	t _{AC7}	—	4.0 × tcyc - 20	ns	
リードデータアクセス時間 8	t _{AC8}	—	3.0 × tcyc - 20	ns	
ライトデータホールド時間 2	t _{WDH2}	1.0 × tcyc - 8	—	ns	
リードコマンドセットアップ時間 1	t _{RCS1}	1.5 × tcyc - 10	—	ns	
リードコマンドセットアップ時間 2	t _{RCS2}	2.0 × tcyc - 10	—	ns	
リードコマンドホールド時間	t _{RCH}	0.5 × tcyc - 10	—	ns	
ライトコマンドセットアップ時間 1	t _{WCS1}	0.5 × tcyc - 10	—	ns	
ライトコマンドセットアップ時間 2	t _{WCS2}	1.0 × tcyc - 10	—	ns	
ライトコマンドホールド時間 1	t _{WCH1}	0.5 × tcyc - 10	—	ns	
ライトコマンドホールド時間 2	t _{WCH2}	1.0 × tcyc - 10	—	ns	
\overline{CAS} 遅延時間 1	t _{CASD1}	—	15	ns	図 29.19~ 図 29.28
\overline{CAS} 遅延時間 2	t _{CASD2}	—	15	ns	
\overline{CAS} セットアップ時間 1	t _{CSR1}	0.5 × tcyc - 10	—	ns	
\overline{CAS} セットアップ時間 2	t _{CSR2}	1.5 × tcyc - 10	—	ns	
\overline{CAS} パルス幅 1	t _{CASW1}	1.0 × tcyc - 15	—	ns	
\overline{CAS} パルス幅 2	t _{CASW2}	1.5 × tcyc - 15	—	ns	
\overline{CAS} プリチャージ時間 1	t _{CPW1}	1.0 × tcyc - 15	—	ns	
\overline{CAS} プリチャージ時間 2	t _{CPW2}	1.5 × tcyc - 15	—	ns	
\overline{OE} 遅延時間 1	t _{OED1}	—	15	ns	
\overline{OE} 遅延時間 2	t _{OED2}	—	15	ns	
プリチャージ時間 1	t _{PCH1}	1.0 × tcyc - 20	—	ns	
プリチャージ時間 2	t _{PCH2}	1.5 × tcyc - 20	—	ns	
セルフリフレッシュ時プリチャージ時間 1	t _{RPS1}	2.5 × tcyc - 20	—	ns	
セルフリフレッシュ時プリチャージ時間 2	t _{RPS2}	3.0 × tcyc - 20	—	ns	図 29.27
アドレス遅延時間 2	t _{AD2}	1	15	ns	図 29.29~ 図 29.34
\overline{CS} 遅延時間 4	t _{CSD4}	1	15	ns	
DQM 遅延時間	t _{DQMD}	1	15	ns	
CKE 遅延時間	t _{CKED}	1	15	ns	

表 29.8 バスタイミング (4)

条件 : $V_{cc}=PLL_{Vcc}=3.0\sim 3.6V^*$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=PLL_{Vss}=AV_{ss}=0V$ 、 $B\phi=8\sim 50MHz$ $T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
リードデータセットアップ時間 3	t_{RDS3}	12	—	ns	図 29.29~ 図 29.34
リードデータホールド時間 3	t_{RDH3}	0	—	ns	
リードデータセットアップ時間 4	t_{RDS4}	12	—	ns	
リードデータホールド時間 4	t_{RDH4}	0	—	ns	
ライトデータ遅延時間 2	t_{WDD2}	—	15	ns	
ライトデータホールド時間 4	t_{WDH4}	1	—	ns	

【注】 * H8SX/1648L グループ、H8SX/1648H グループは、 $V_{cc}=PLL_{Vcc}=2.95\sim 3.60V$ です。

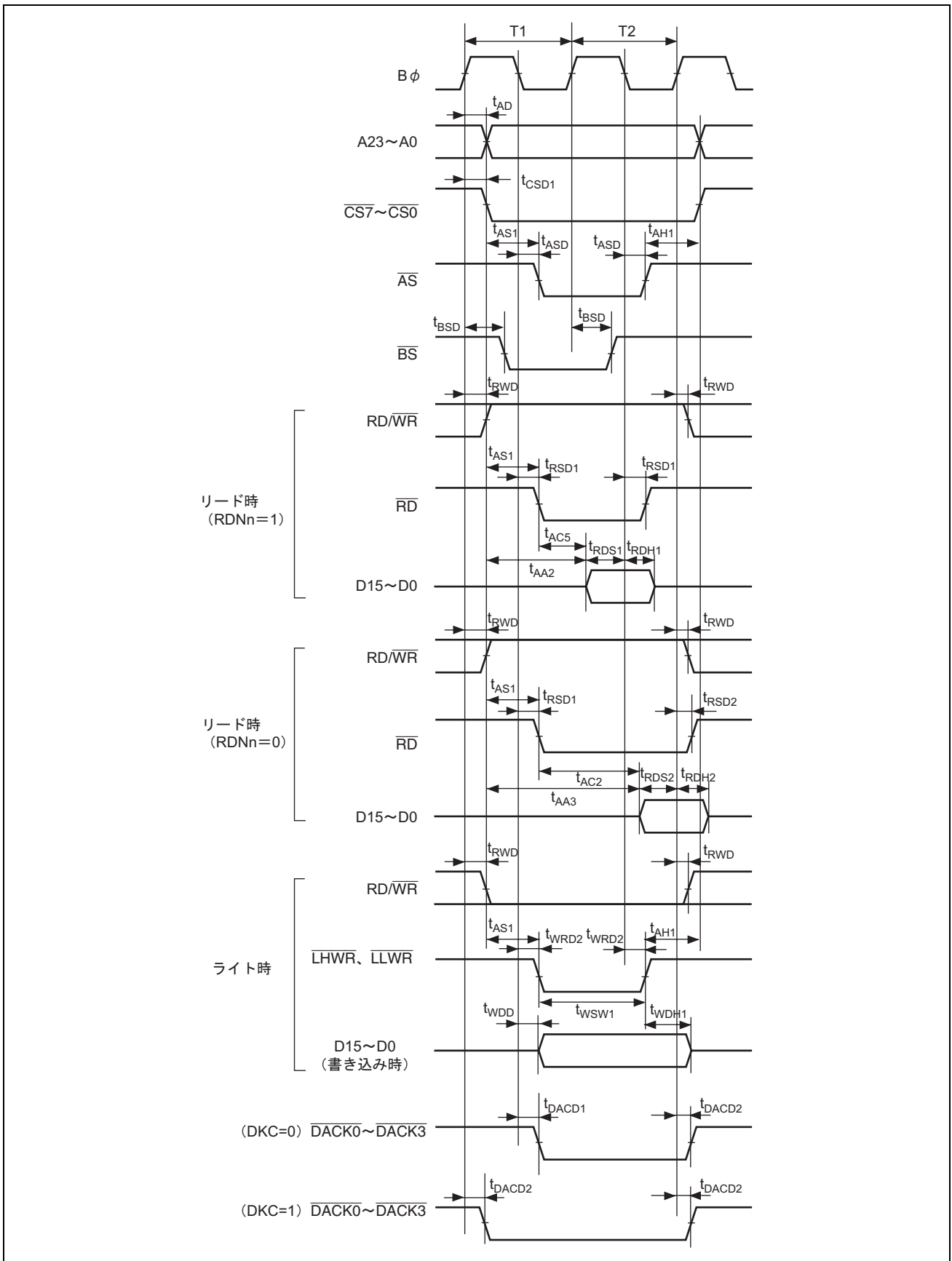


図 29.8 基本バスタイミング/2 ステートアクセス

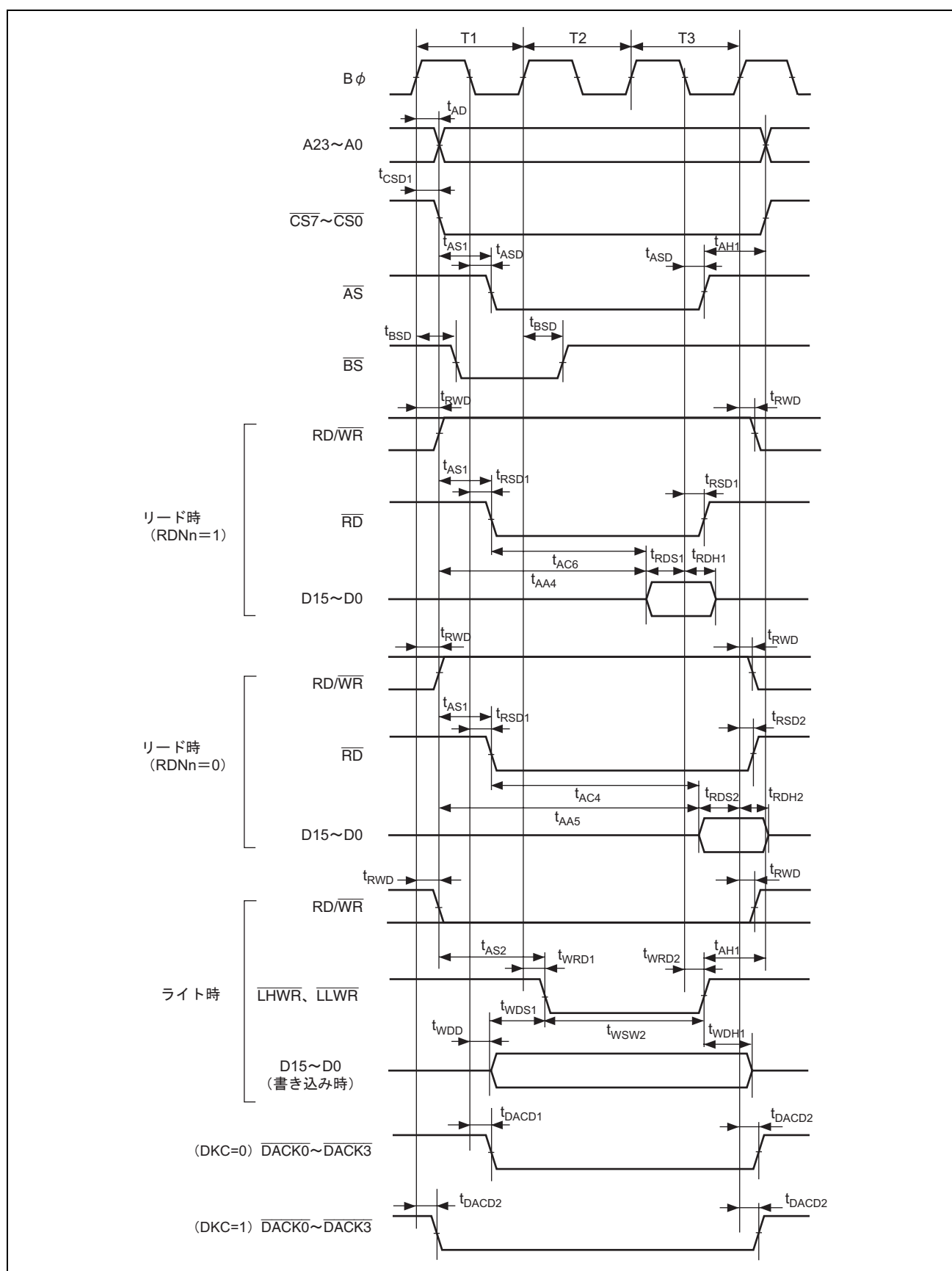


図 29.9 基本バスタイミング/3 ステートアクセス

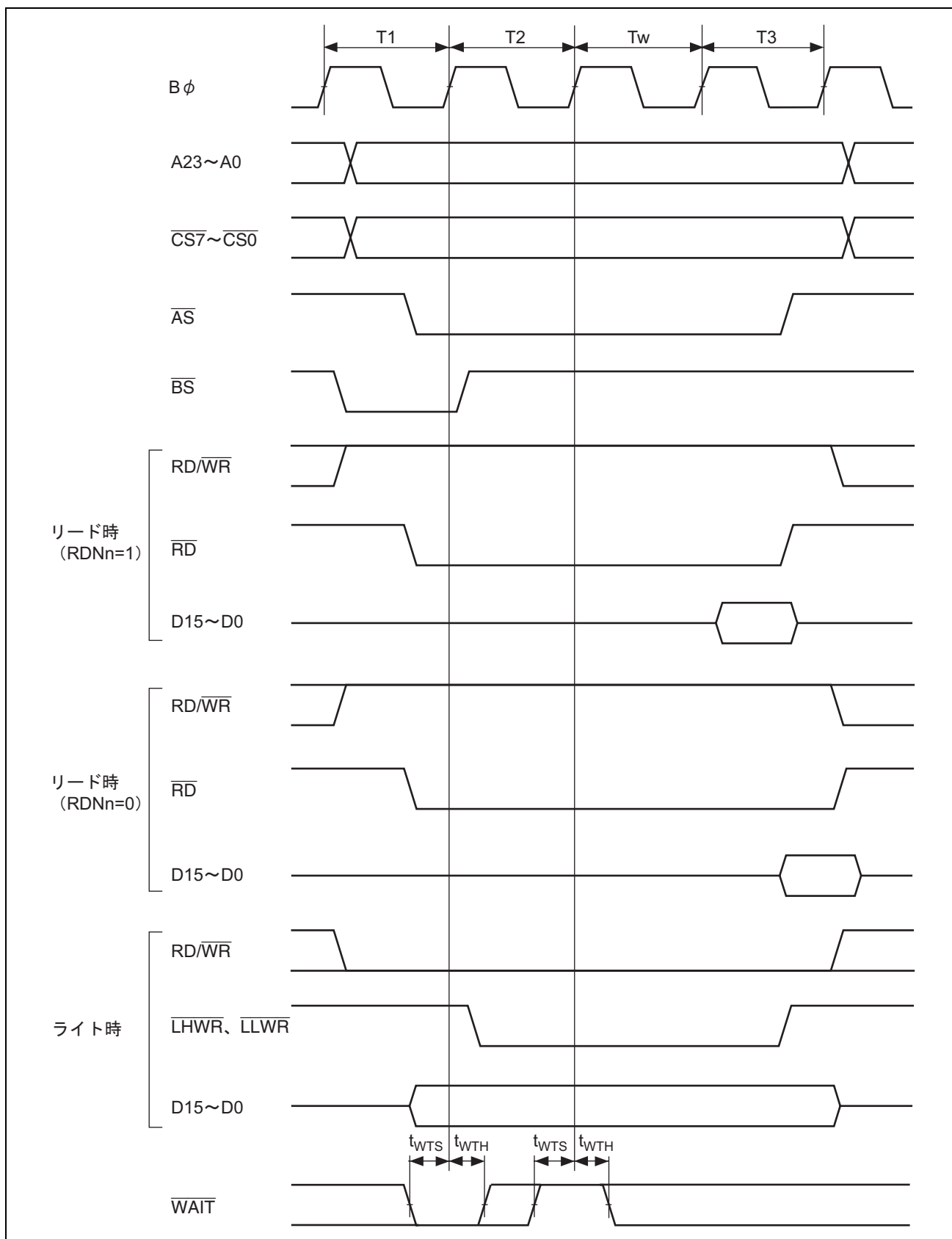


図 29.10 基本バスタイミング/3 ステートアクセス 1 ウェイト

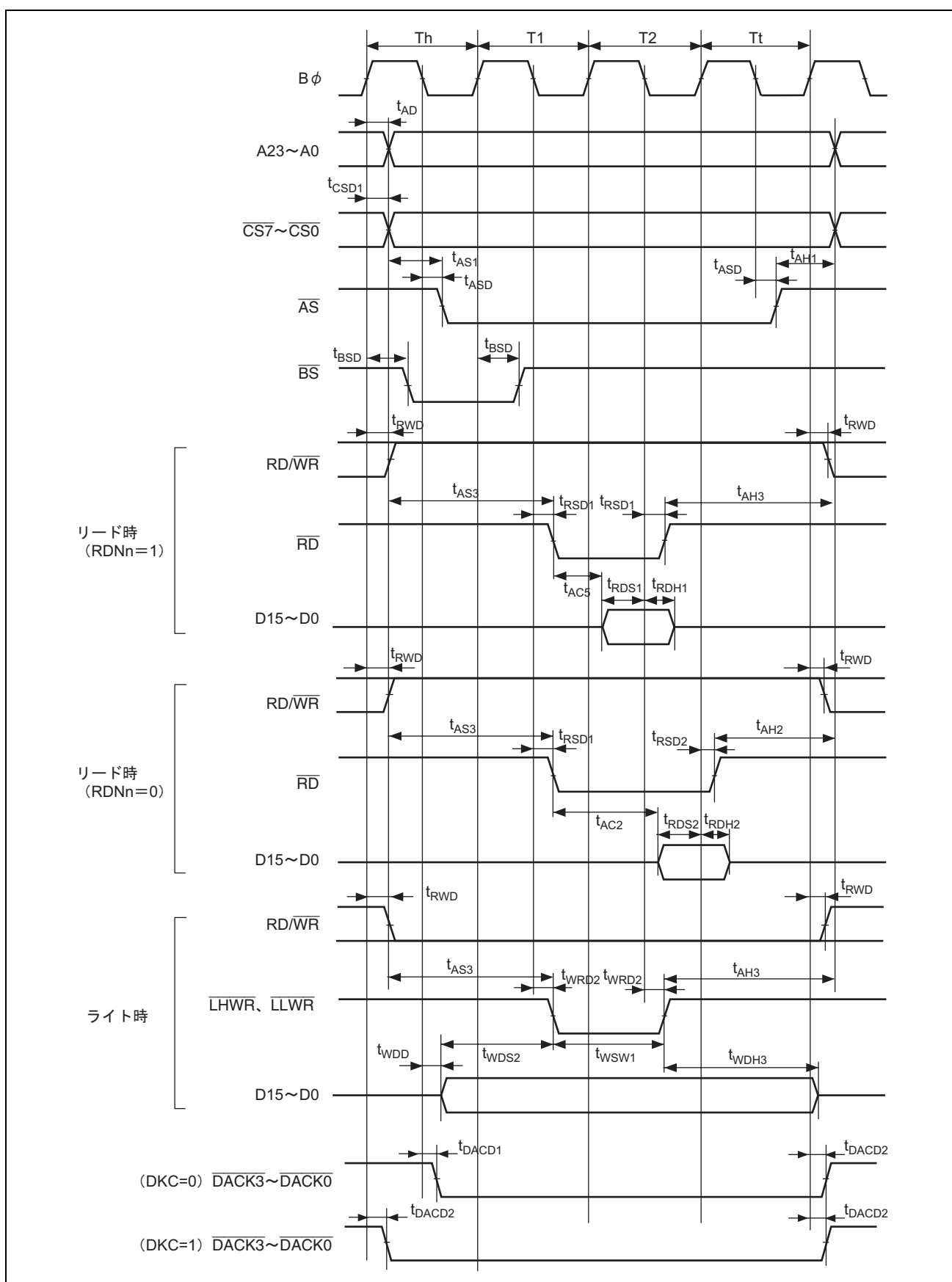


図 29.11 基本バスタイミング/2 ステートアクセス (CS アサート期間延長)

29. 電気的特性

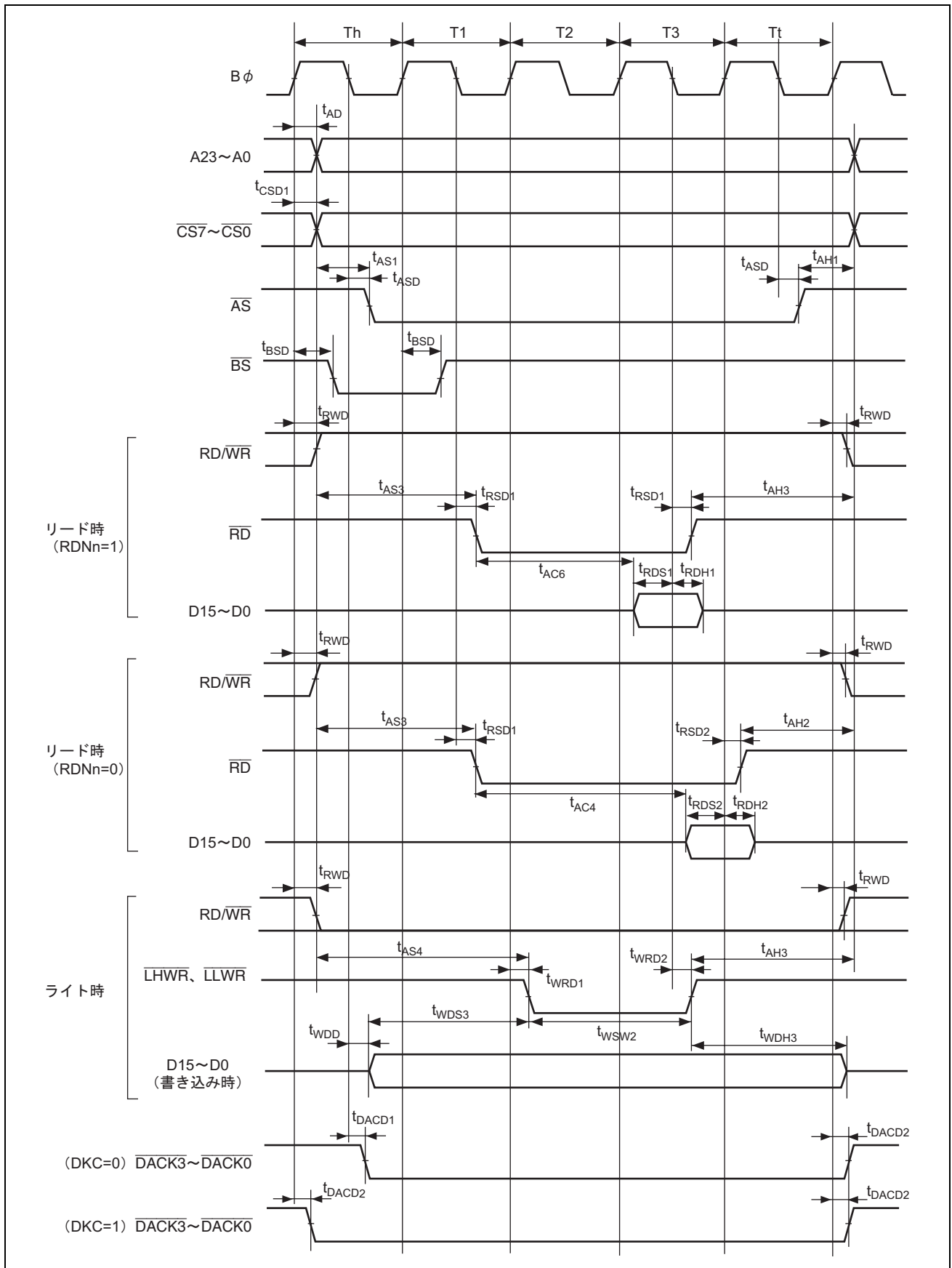


図 29.12 基本バスタイミング/3 ステートアクセス (CS アサート期間延長)

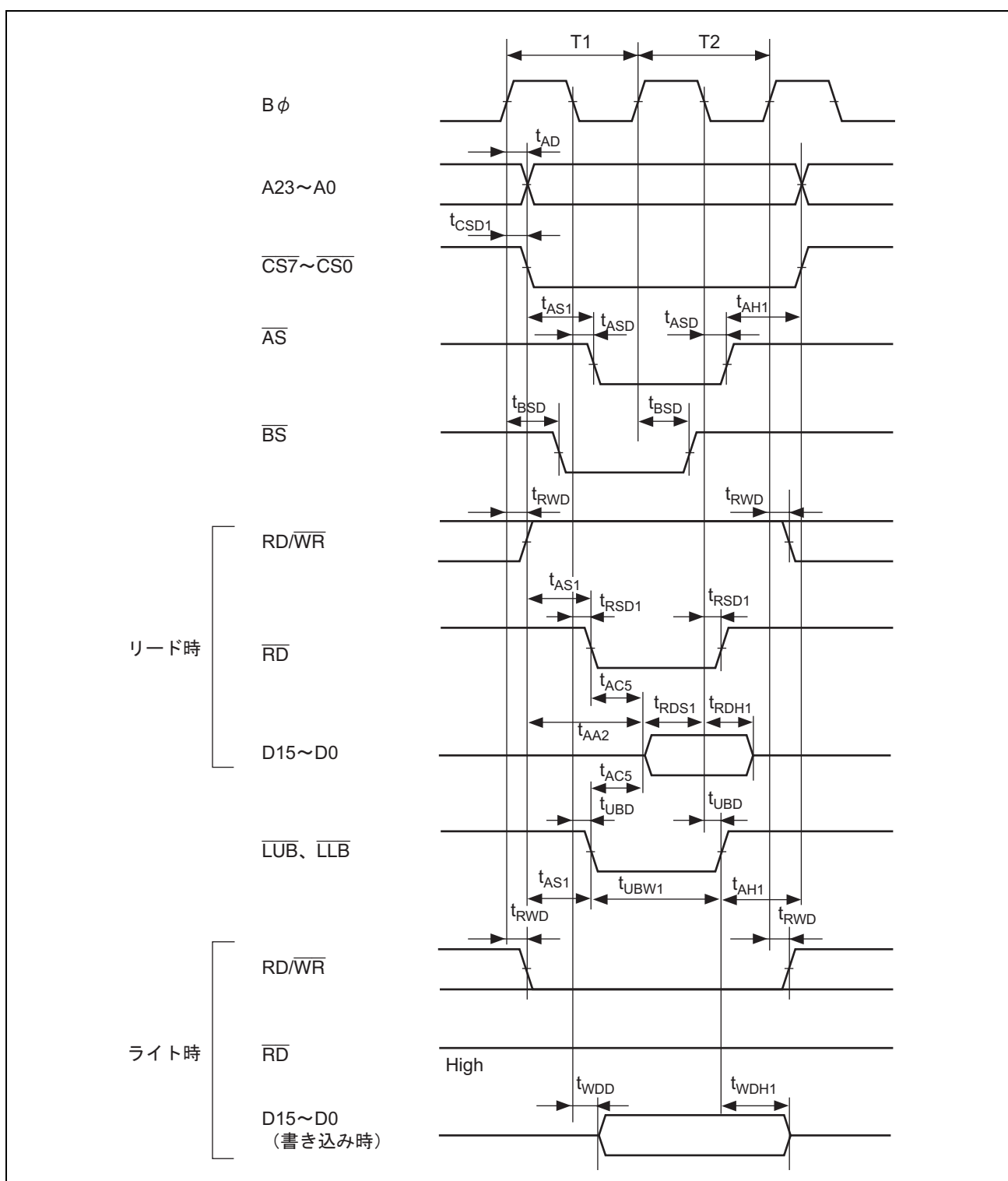


図 29.13 バイト制御 SRAM 2 ステートリード/ライトアクセス

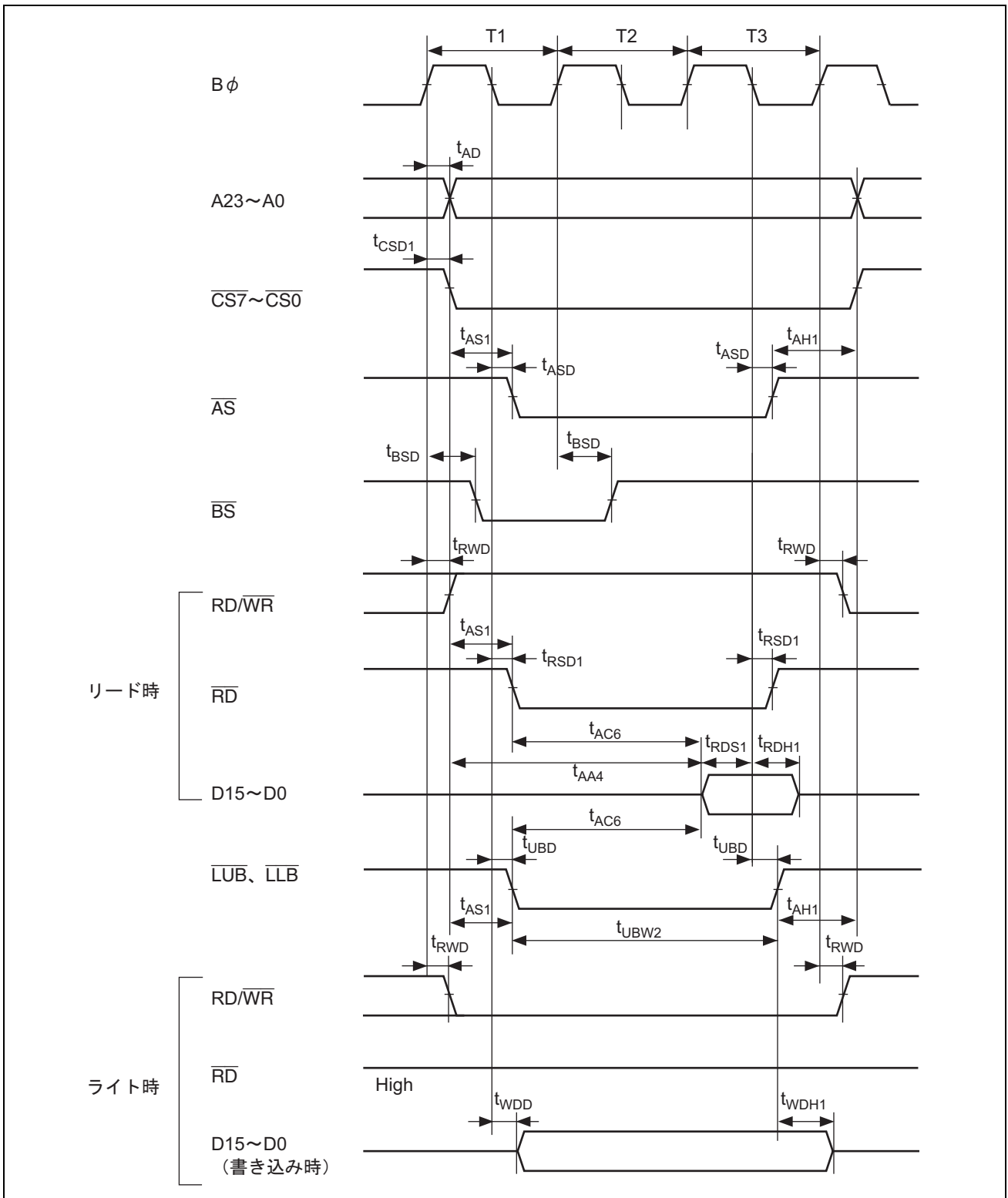


図 29.14 バイト制御 SRAM 3 ステートリード/ライトアクセス

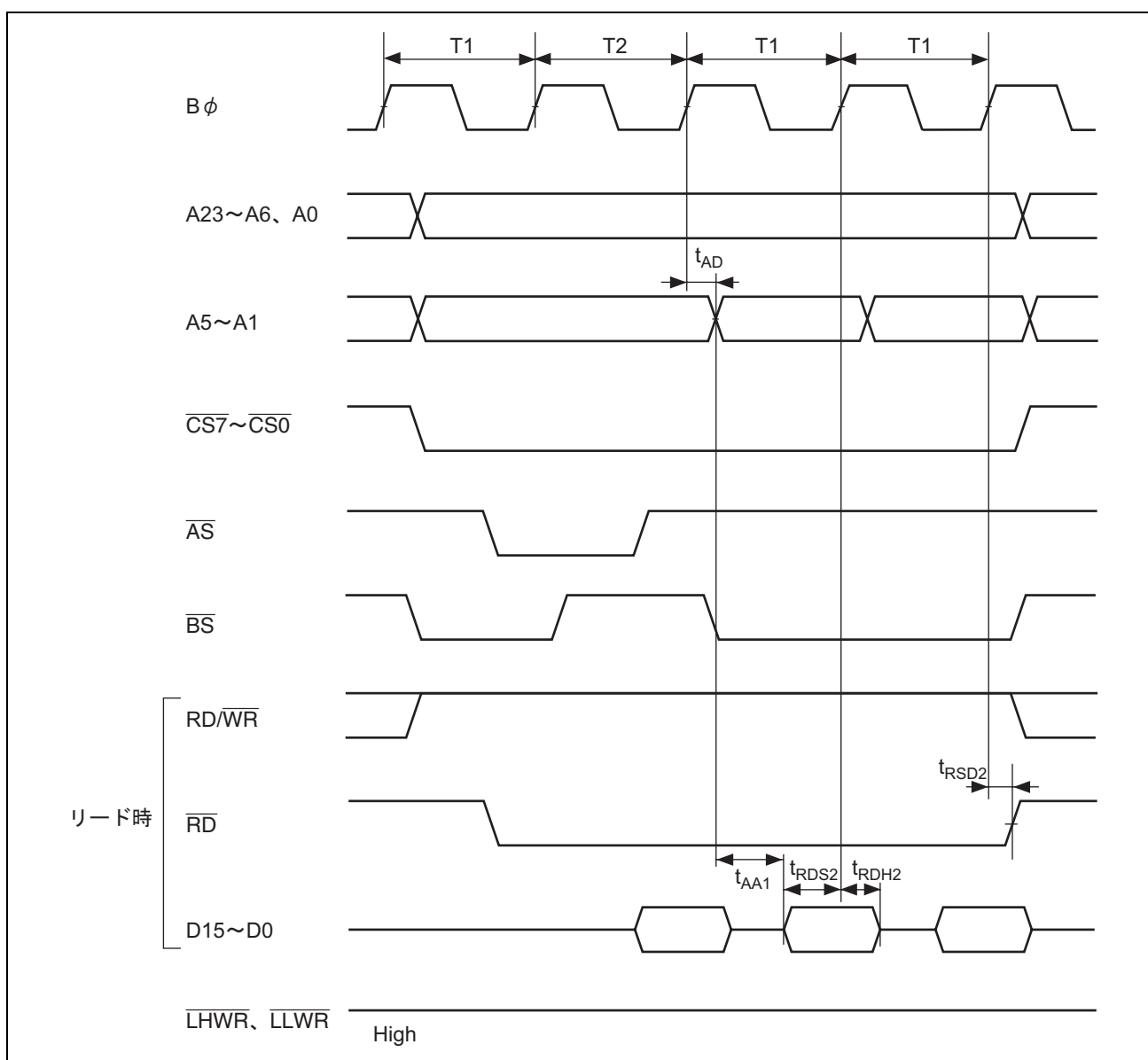


図 29.15 バースト ROM アクセスタイミング/1 ステートバーストアクセス

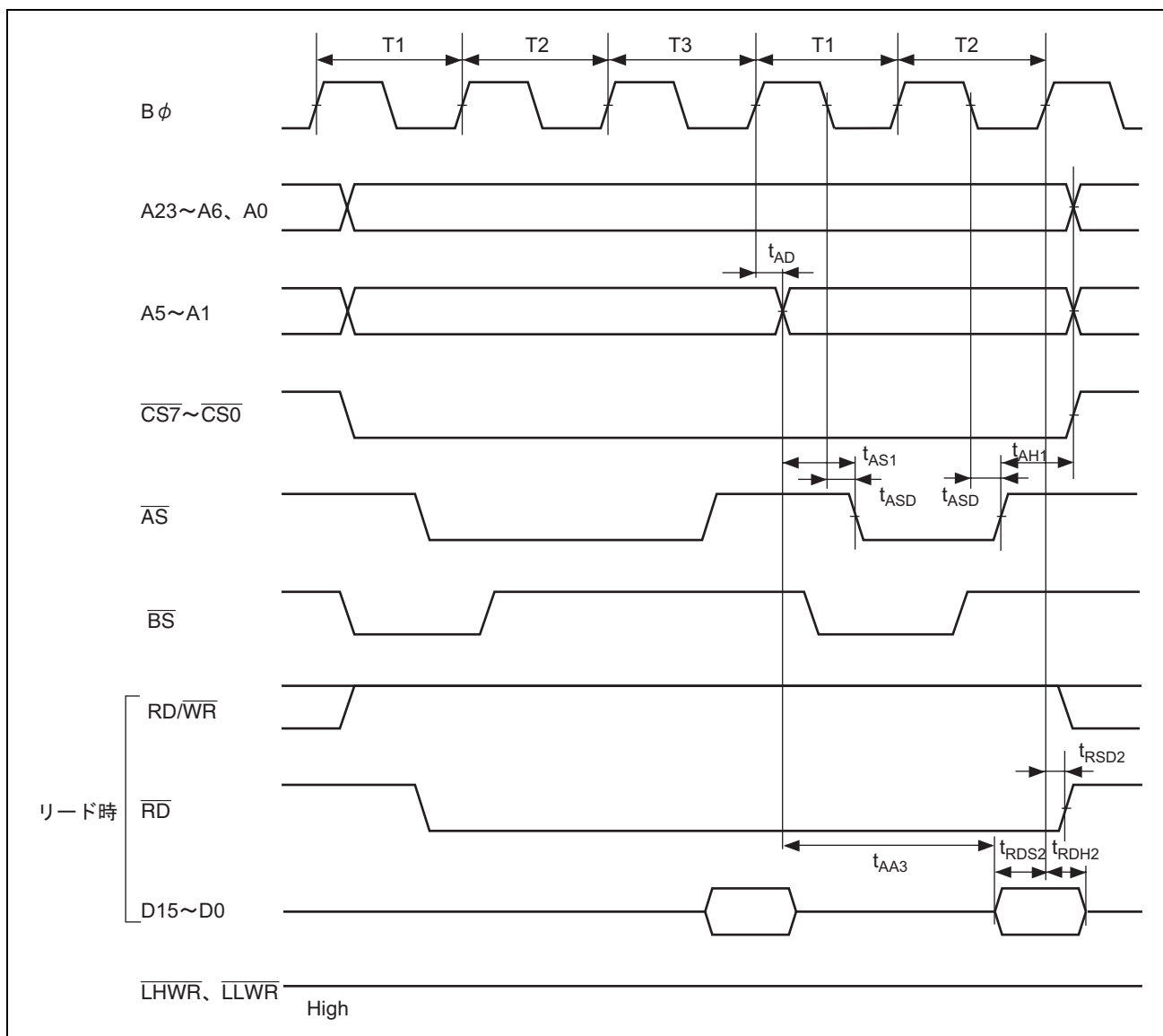


図 29.16 バースト ROM アクセスタイミング/2 ステートバーストアクセス

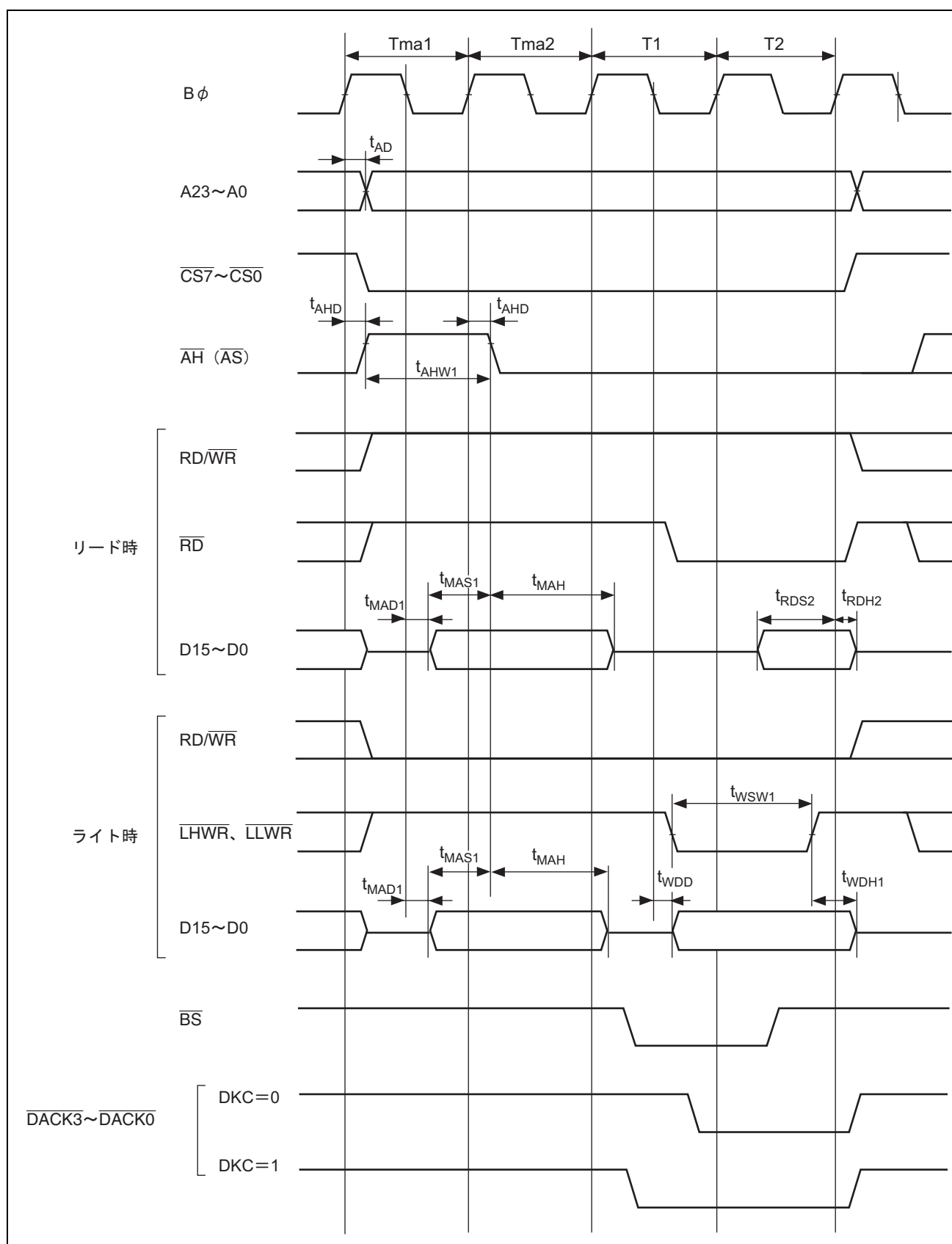


図 29.17 アドレス/データマルチプレクス・アクセスタイミング (ノーウェイト)
(-基本・4 ステートアクセス)

29. 電気的特性

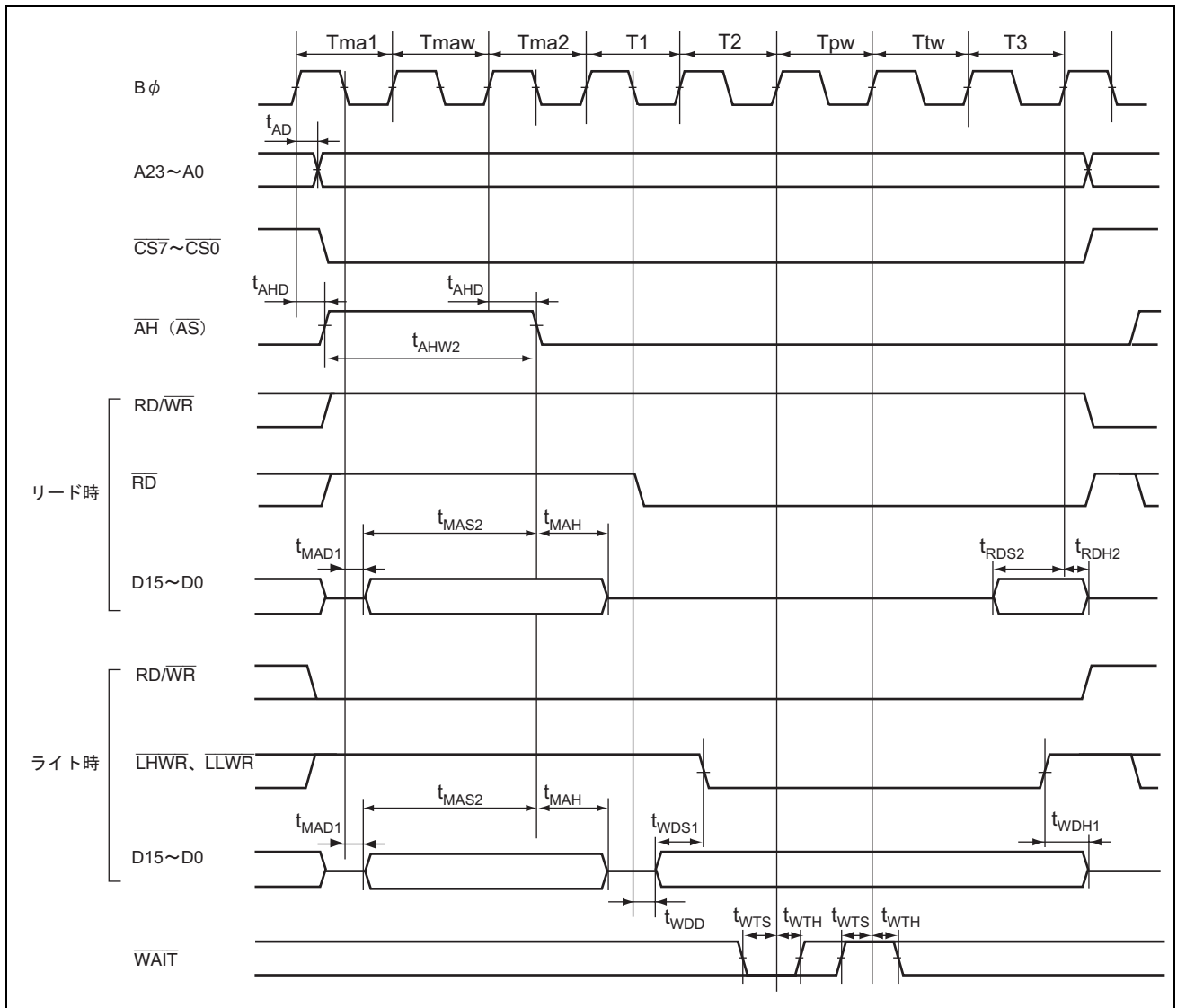


図 29.18 アドレス/データマルチプレクス・アクセスタイミング (ウェイト制御)
 (-アドレスサイクルプログラムウェイト×1
 +データサイクルプログラムウェイト×1+データサイクル端子ウェイト×1の場合)

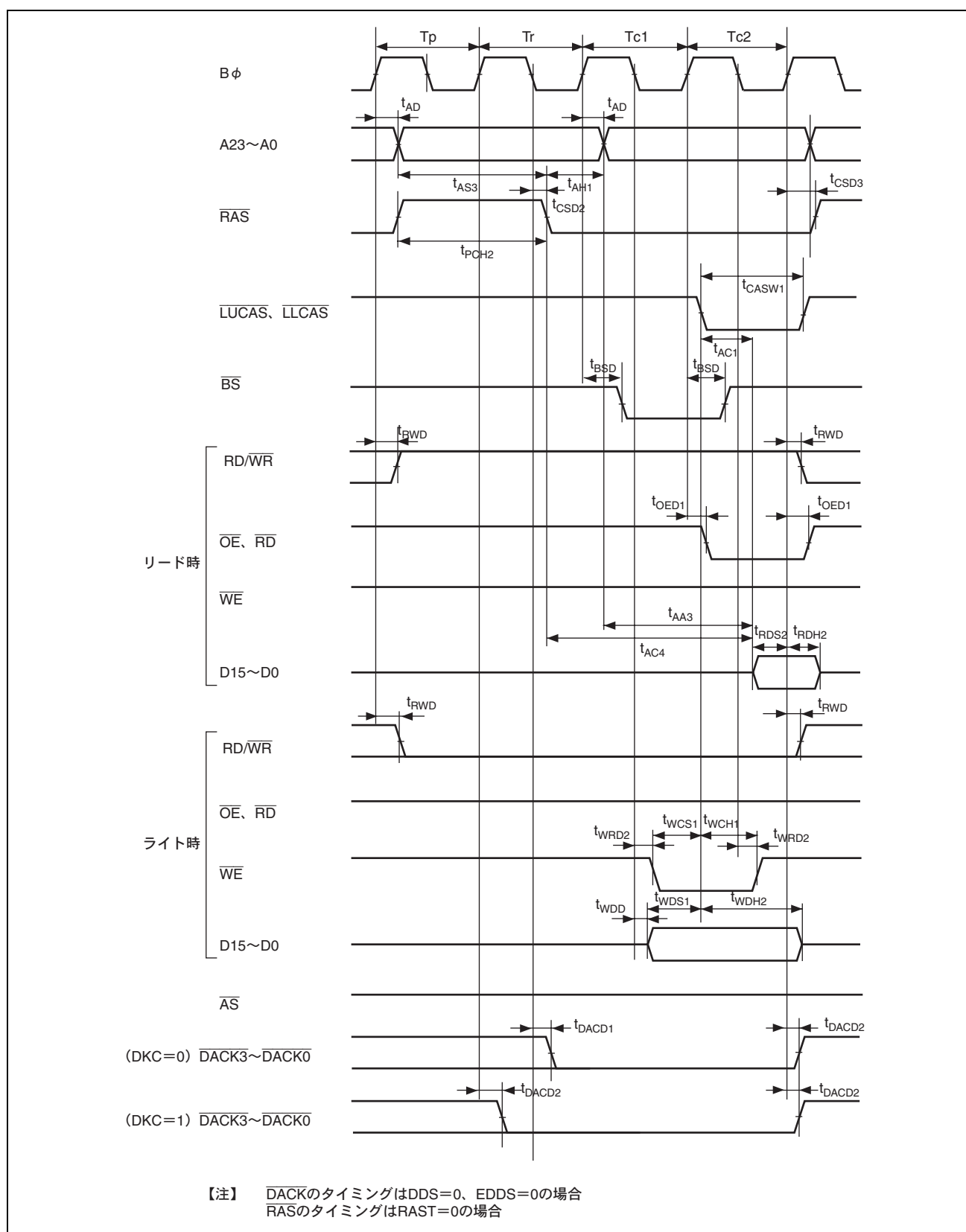


図 29.19 DRAM アクセスタイミング/2 ステートアクセス*

29. 電気的特性

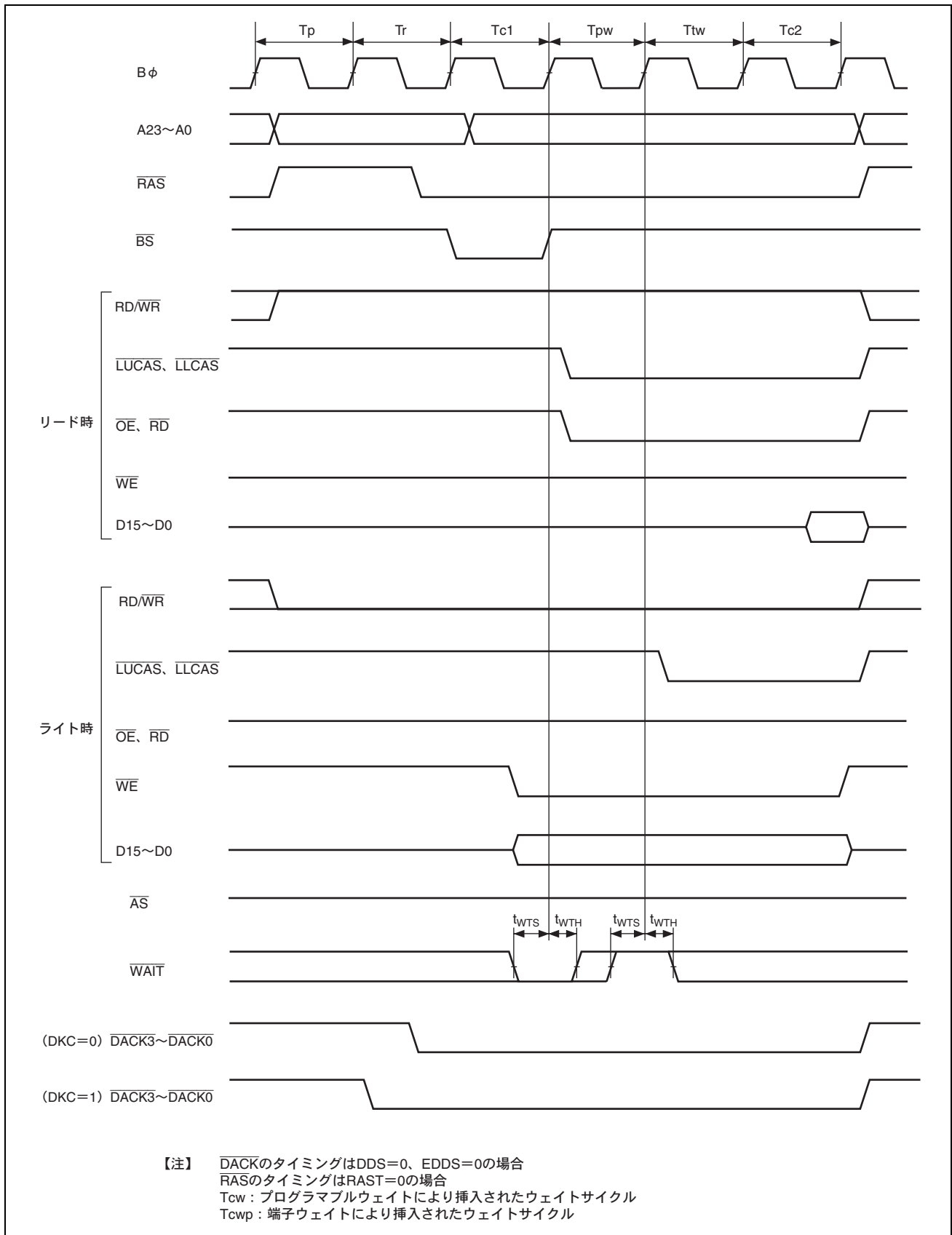


図 29.20 DRAM アクセスタイミング/2 ステートアクセス 1 ウェイト*

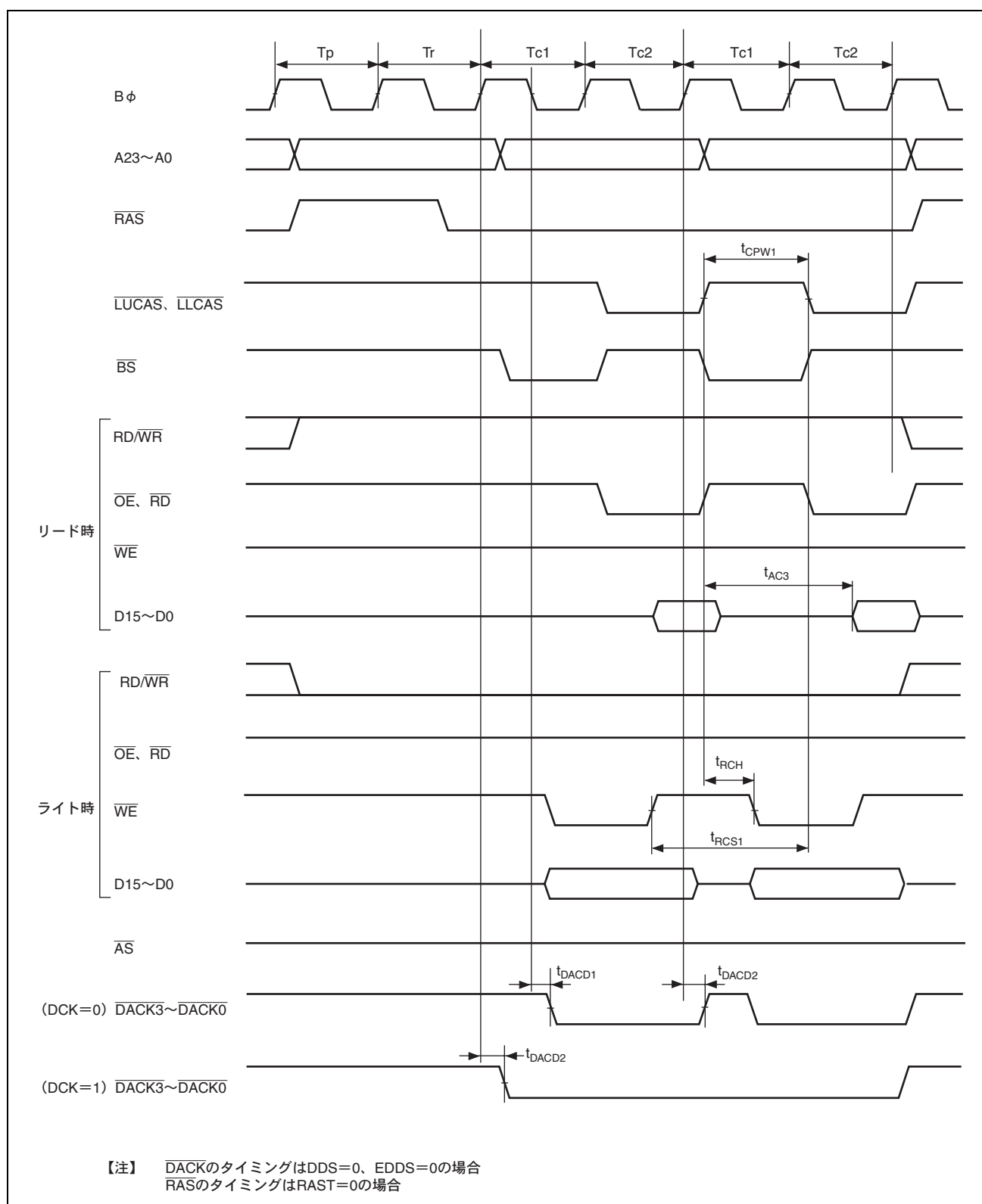


図 29.21 DRAM アクセスタイミング/2 ステートバーストアクセス*

29. 電気的特性

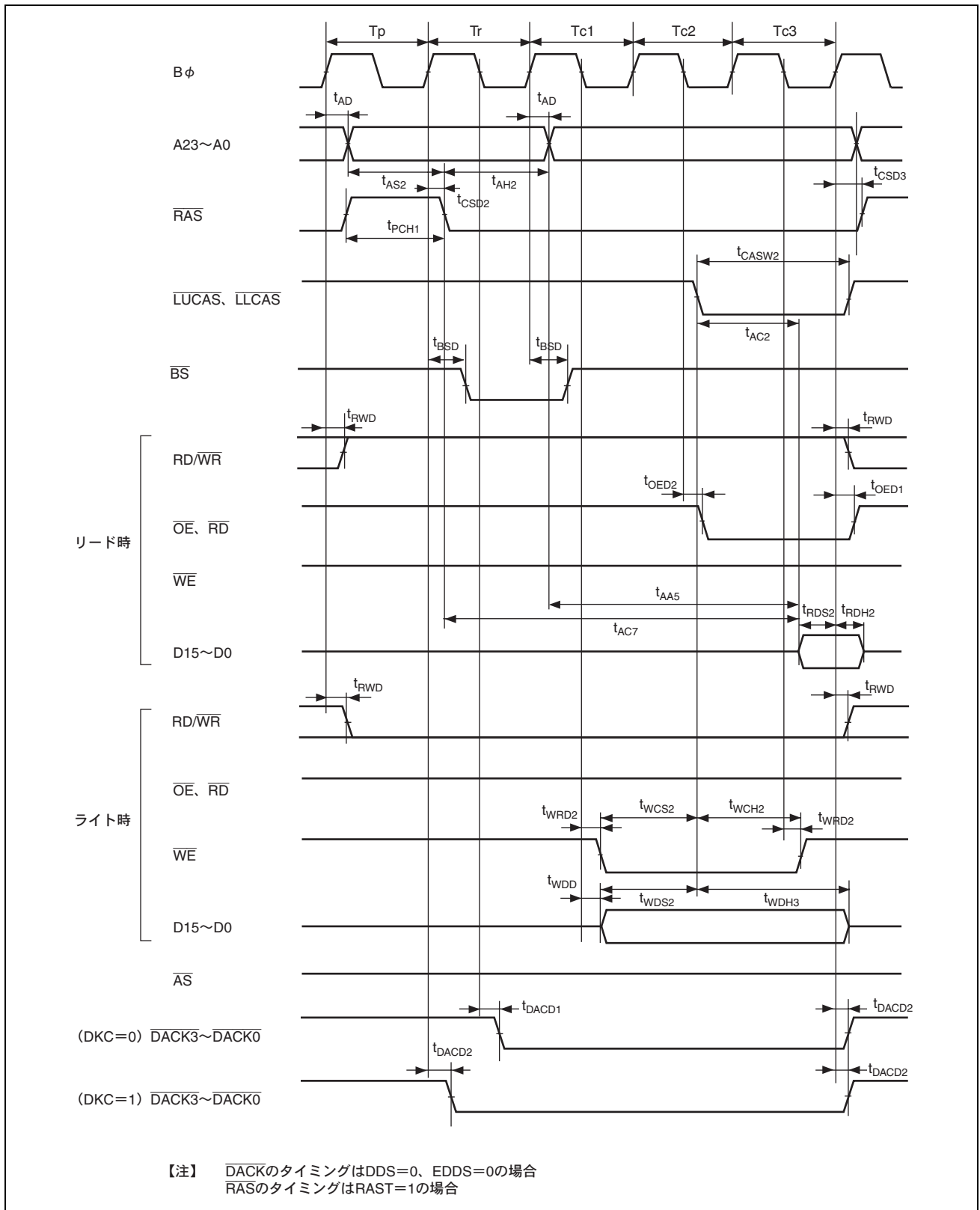


図 29.22 DRAM アクセスタイミング/3 ステートアクセス (RAST=1 のとき) *

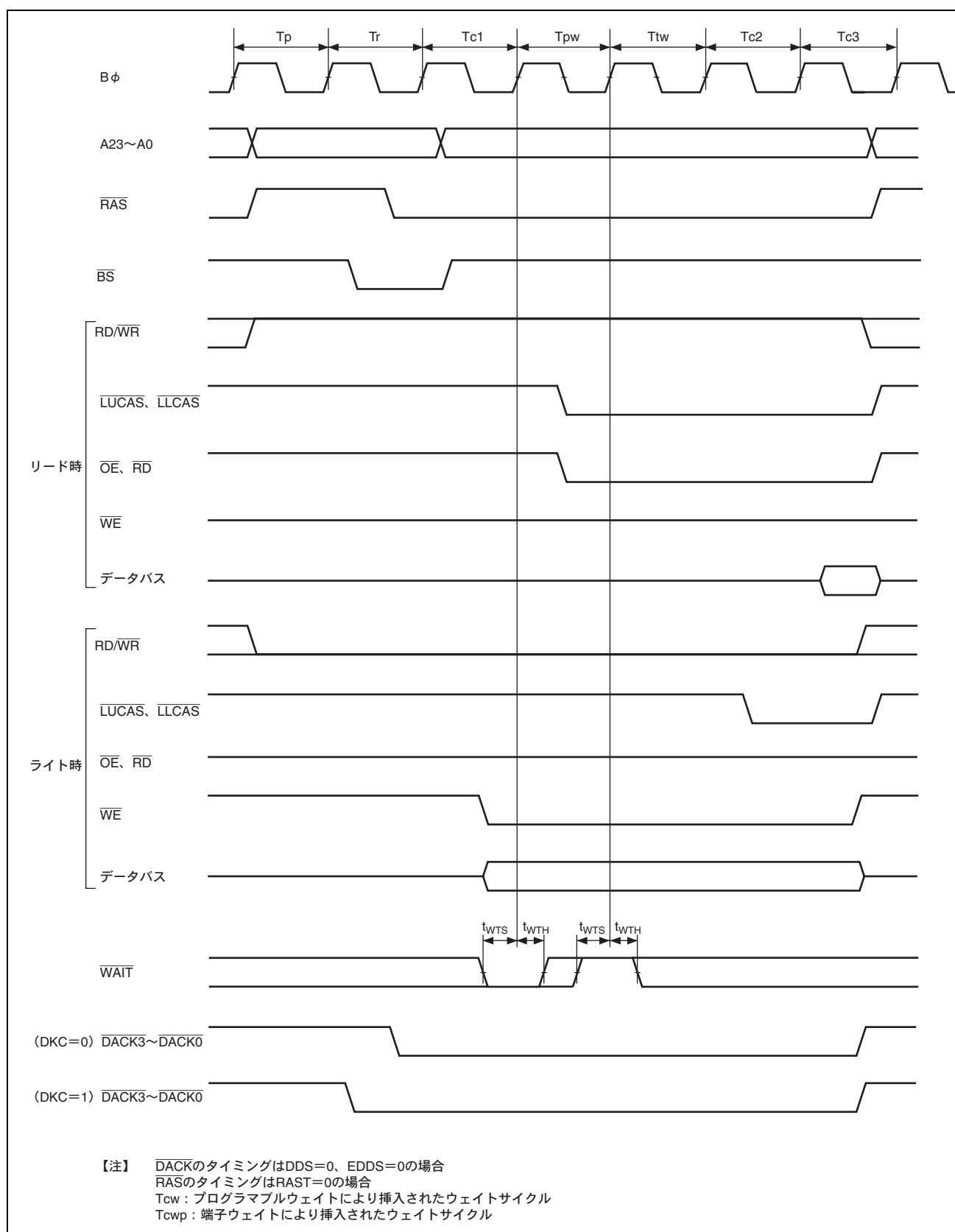


図 29.23 DRAM アクセスタイミング/3 ステートアクセス 1 ウェイト*

29. 電気的特性

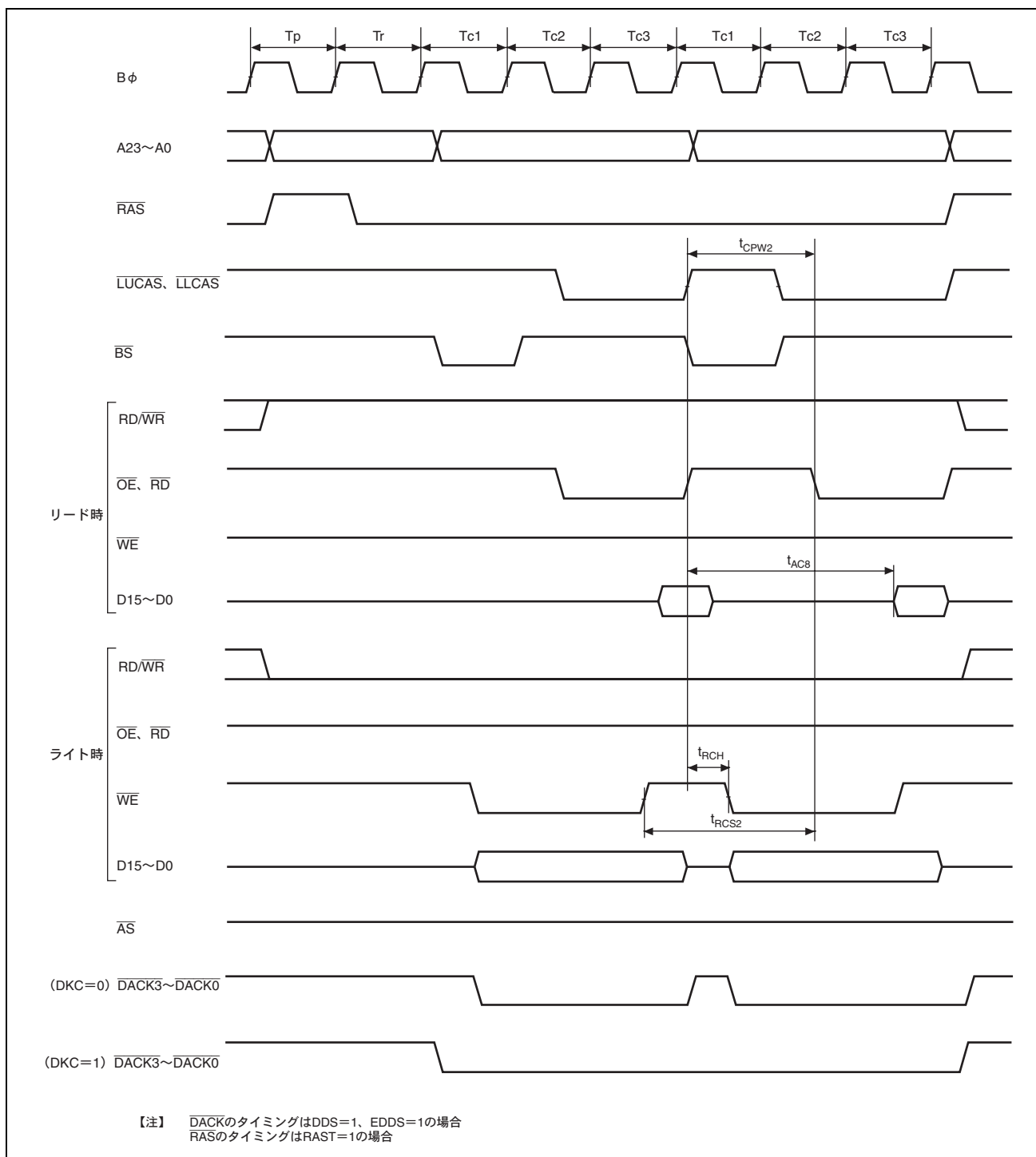


図 29.24 DRAM アクセスタイミング/3 ステートバーストアクセス*

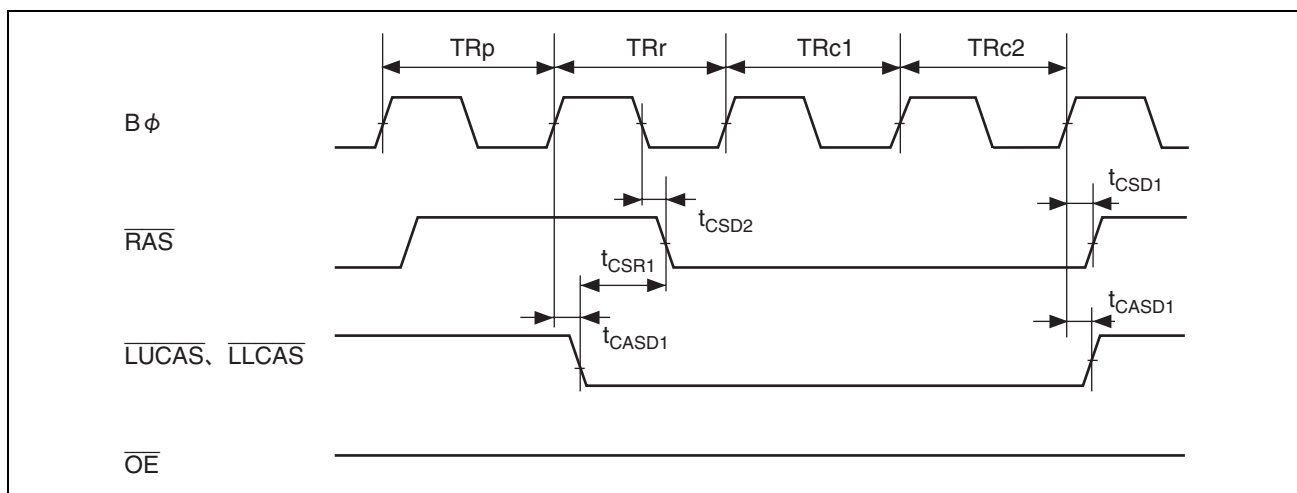


図 29.25 CAS ビフォア RAS リフレッシュタイミング*

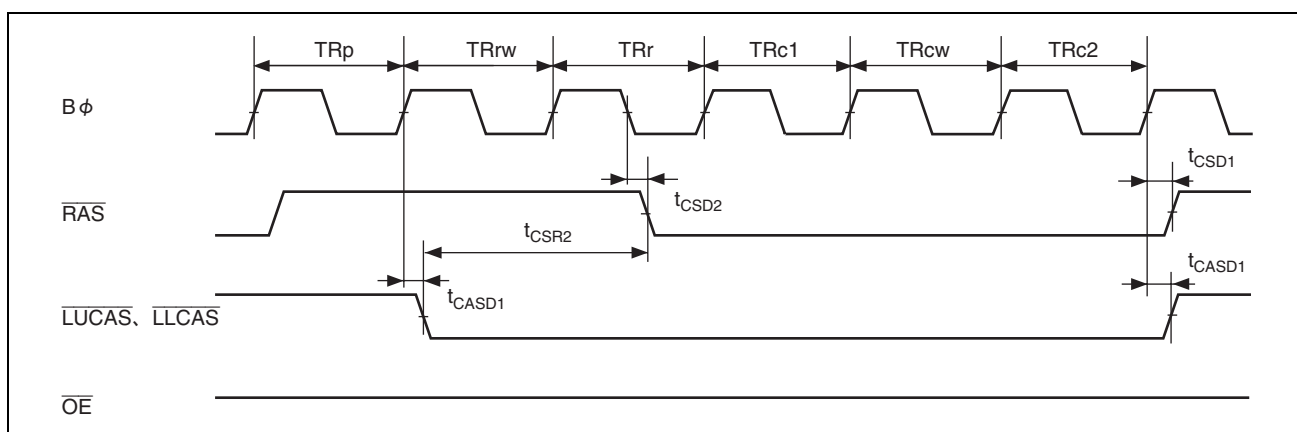


図 29.26 CAS ビフォア RAS リフレッシュタイミング (ウェイトサイクル挿入) *

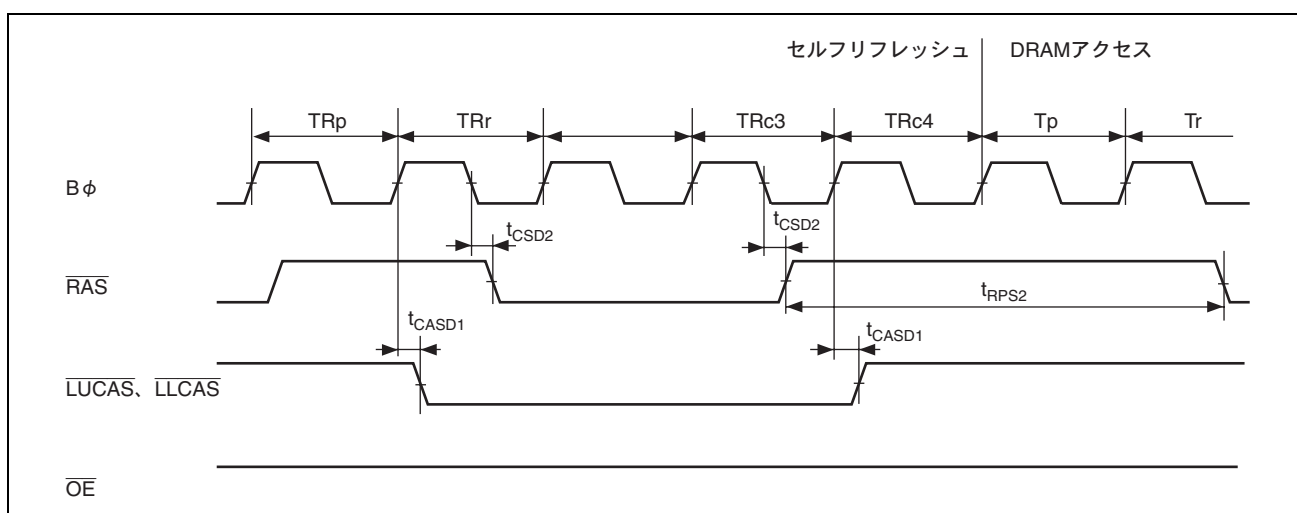


図 29.27 セルフリフレッシュタイミング (ソフトウェアスタンバイからの復帰時 : $RAS=0$ のとき) *

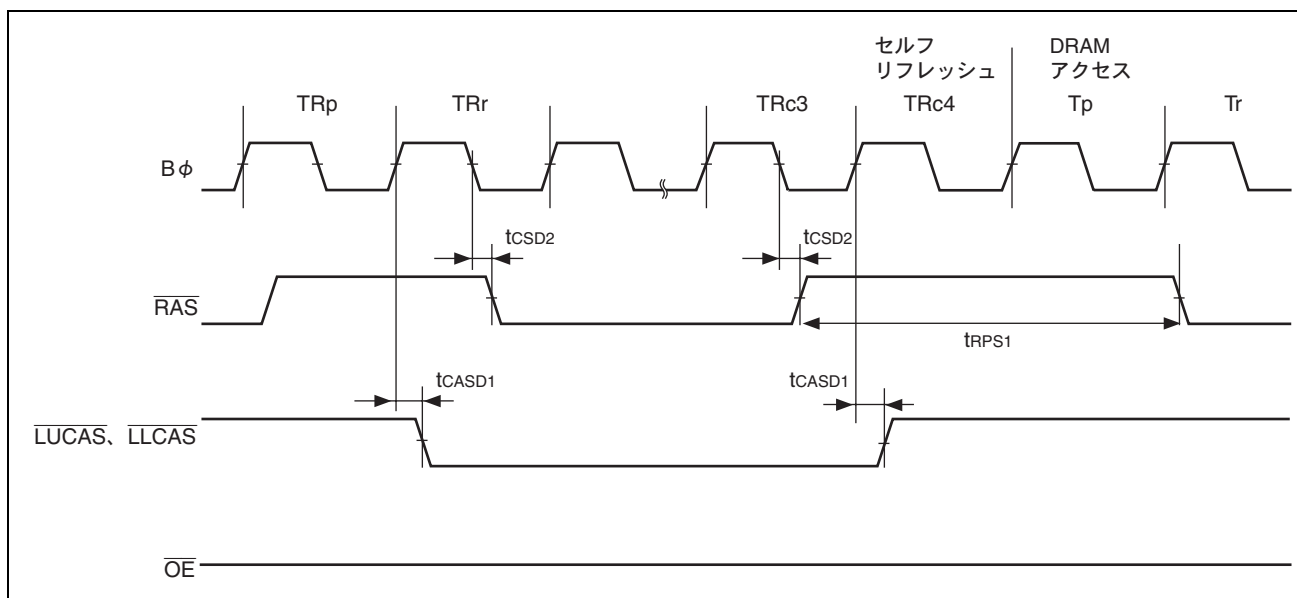


図 29.28 セルフリフレッシュタイミング (ソフトウェアスタンバイからの復帰時 : RAST=1 のとき) *

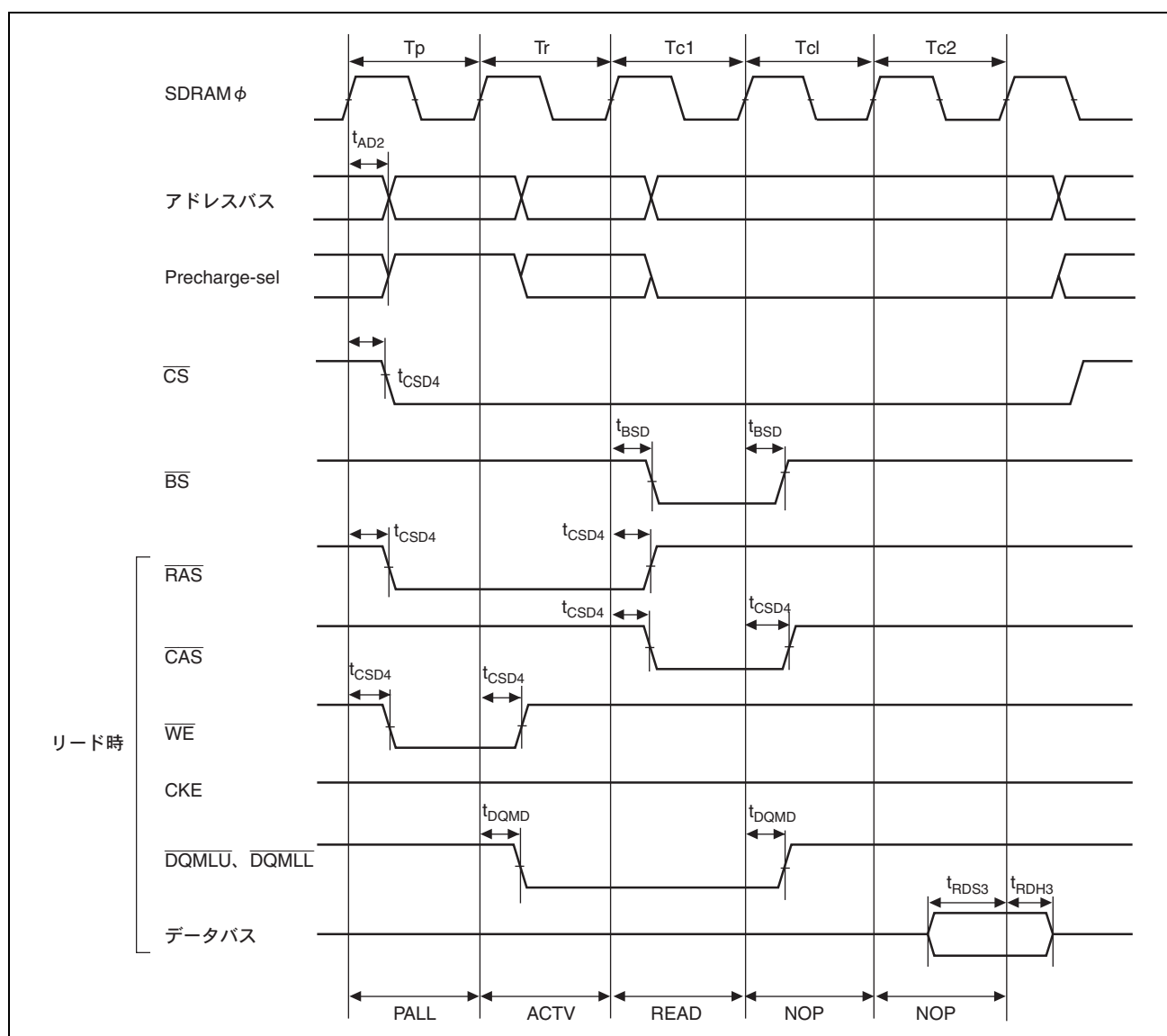


図 29.29 シンクロナス DRAM 基本リードアクセスタイミング (CAS レイテンシ 2 の場合) *

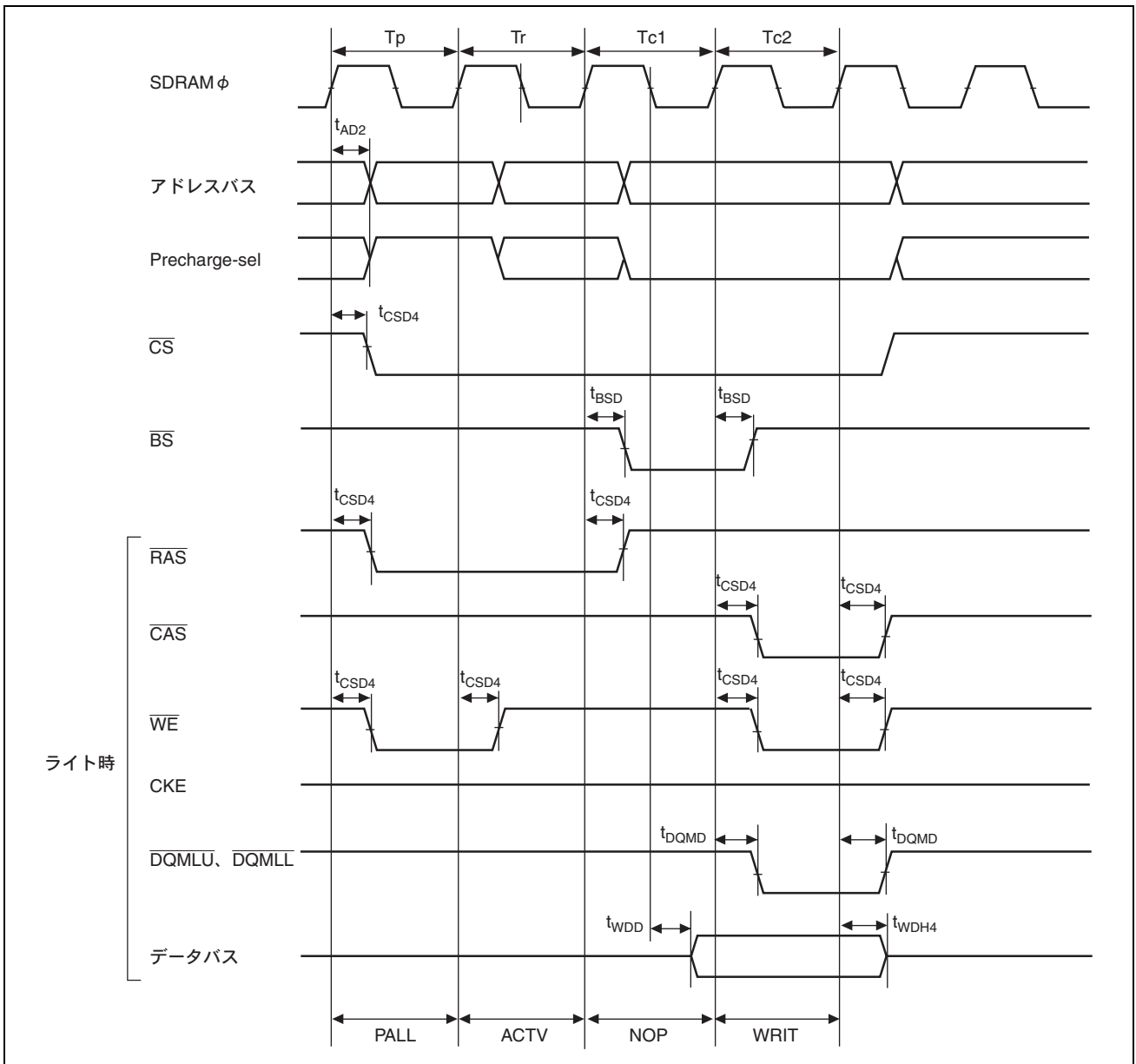


図 29.30 シンクロナス DRAM 基本ライトアクセスタイミング (CAS レイテンシ 2 の場合) *

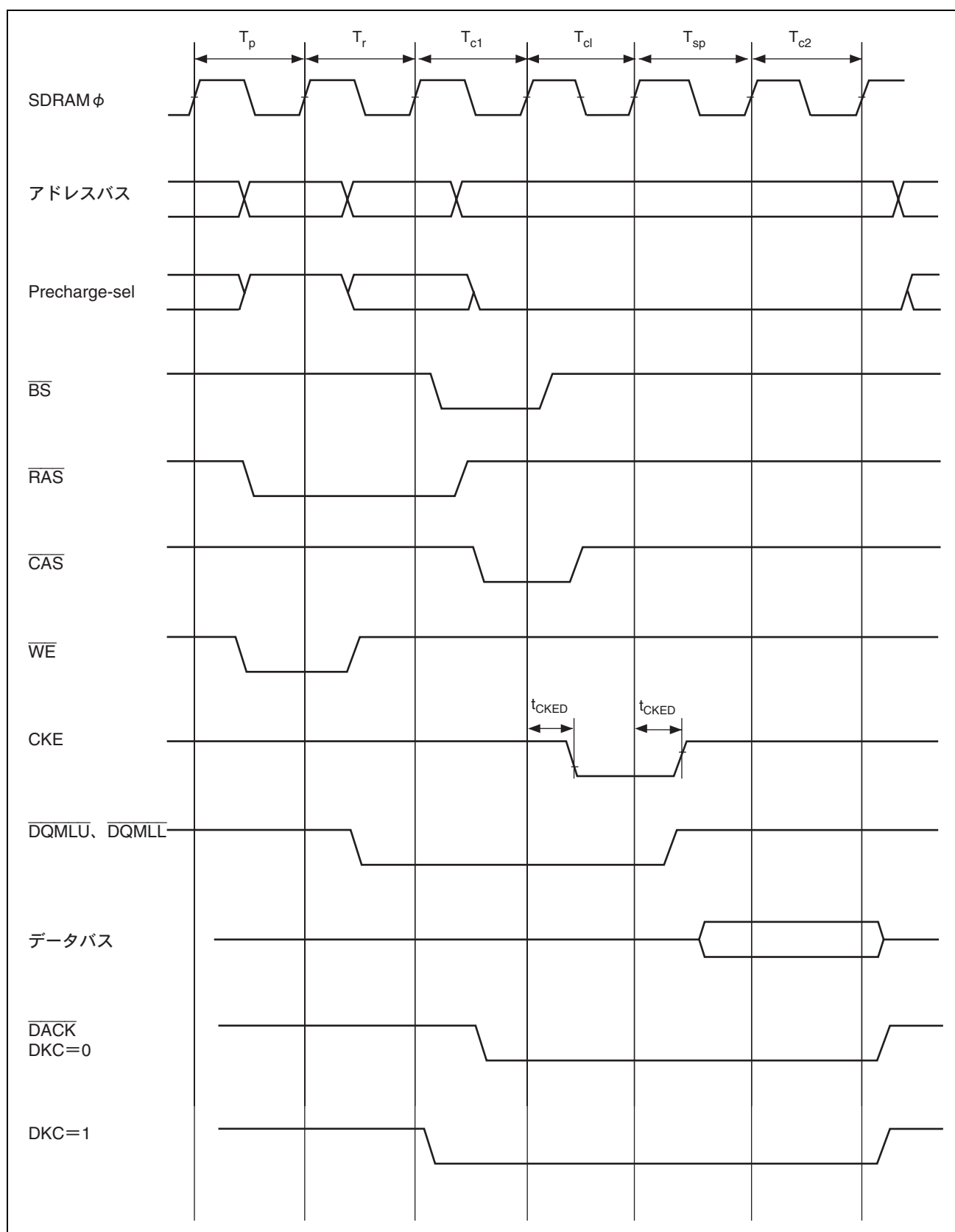


図 29.31 リードデータを拡張した場合 (CAS レイテンシ 2 の場合) *

29. 電気的特性

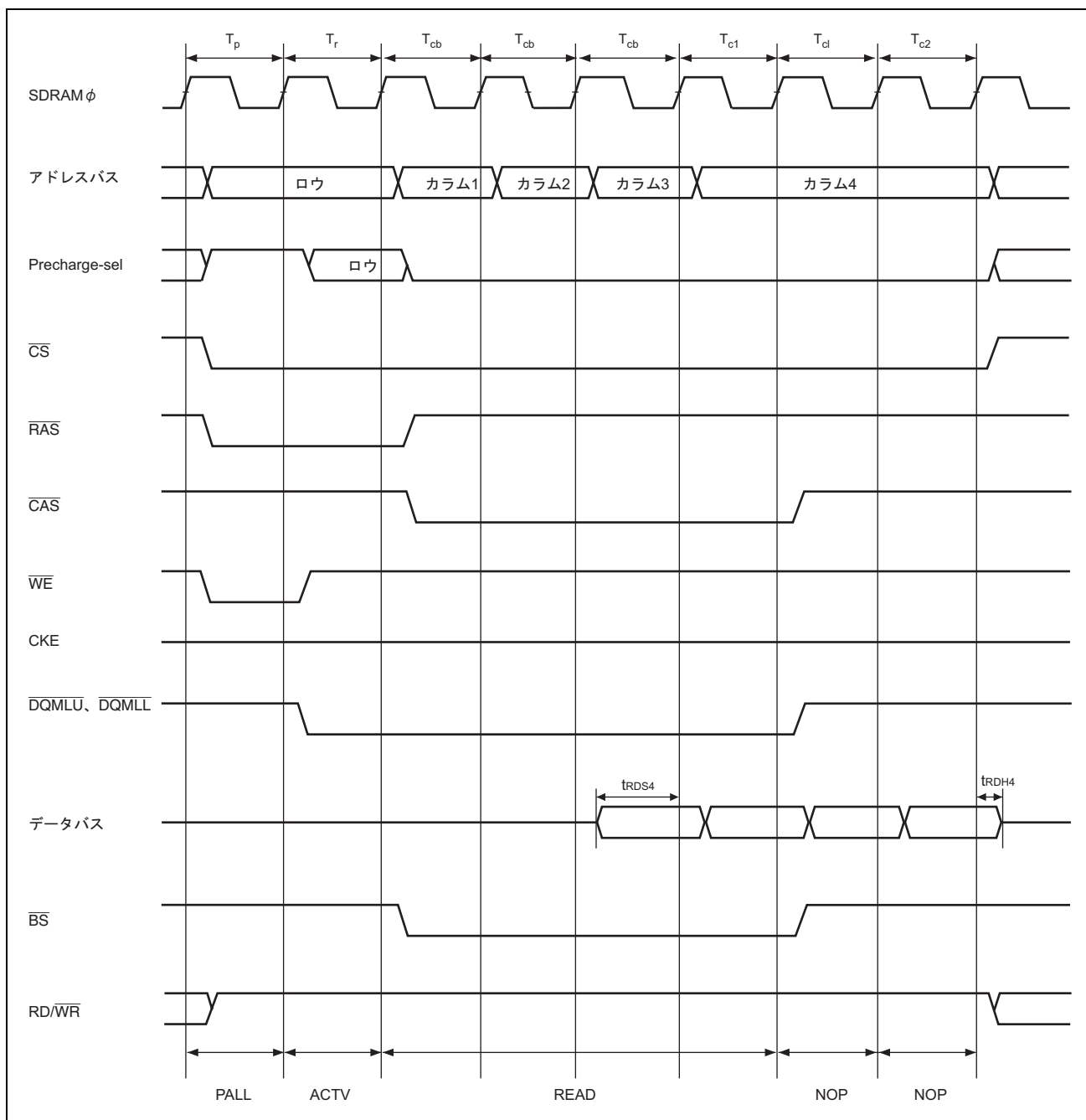


図 29.32 シンクロナス DRAM クラスタ転送アクセスタイミング (リード) *

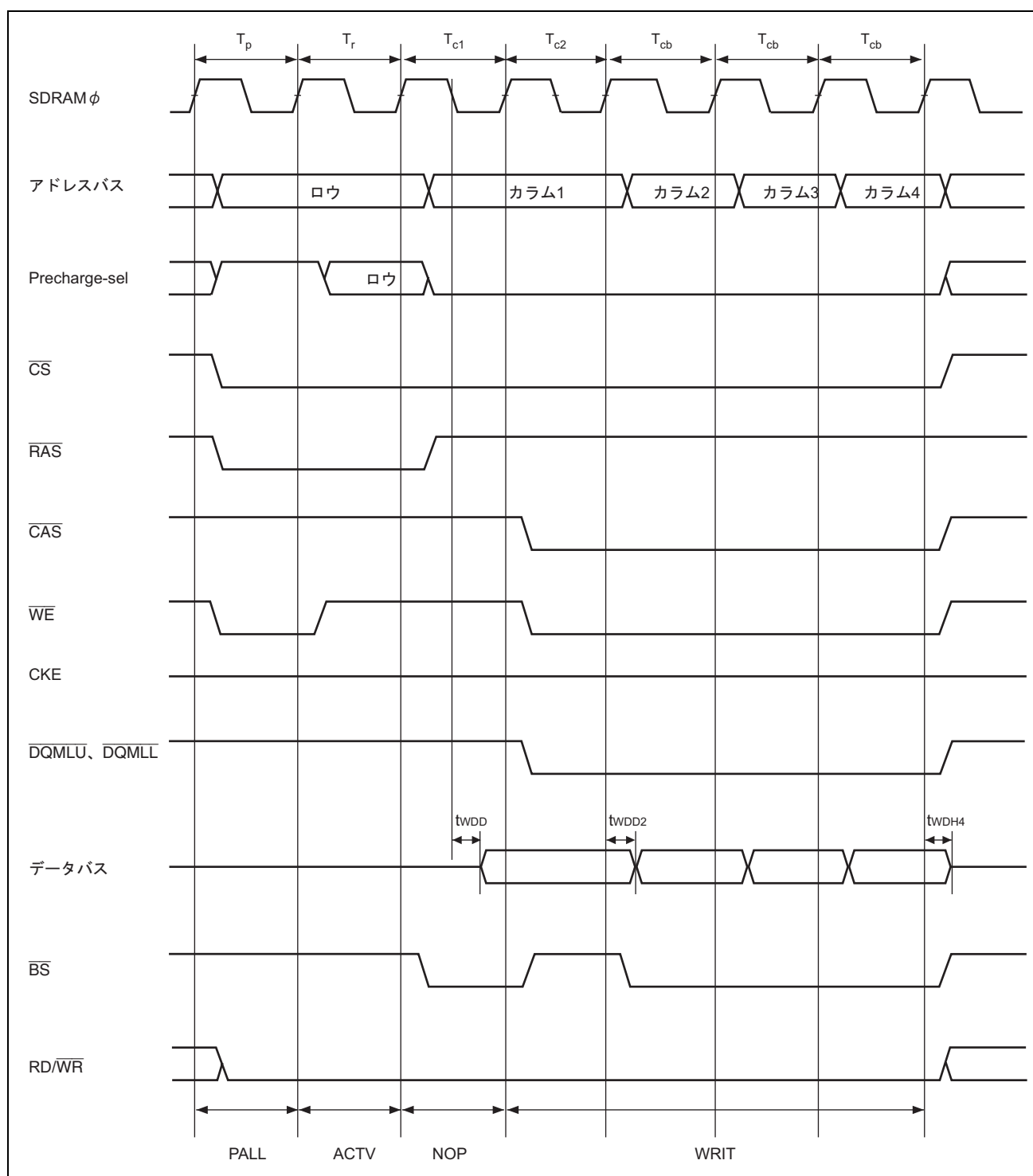


図 29.33 シンクロナス DRAM クラスタ転送アクセスタイミング (ライト) *

29. 電気的特性

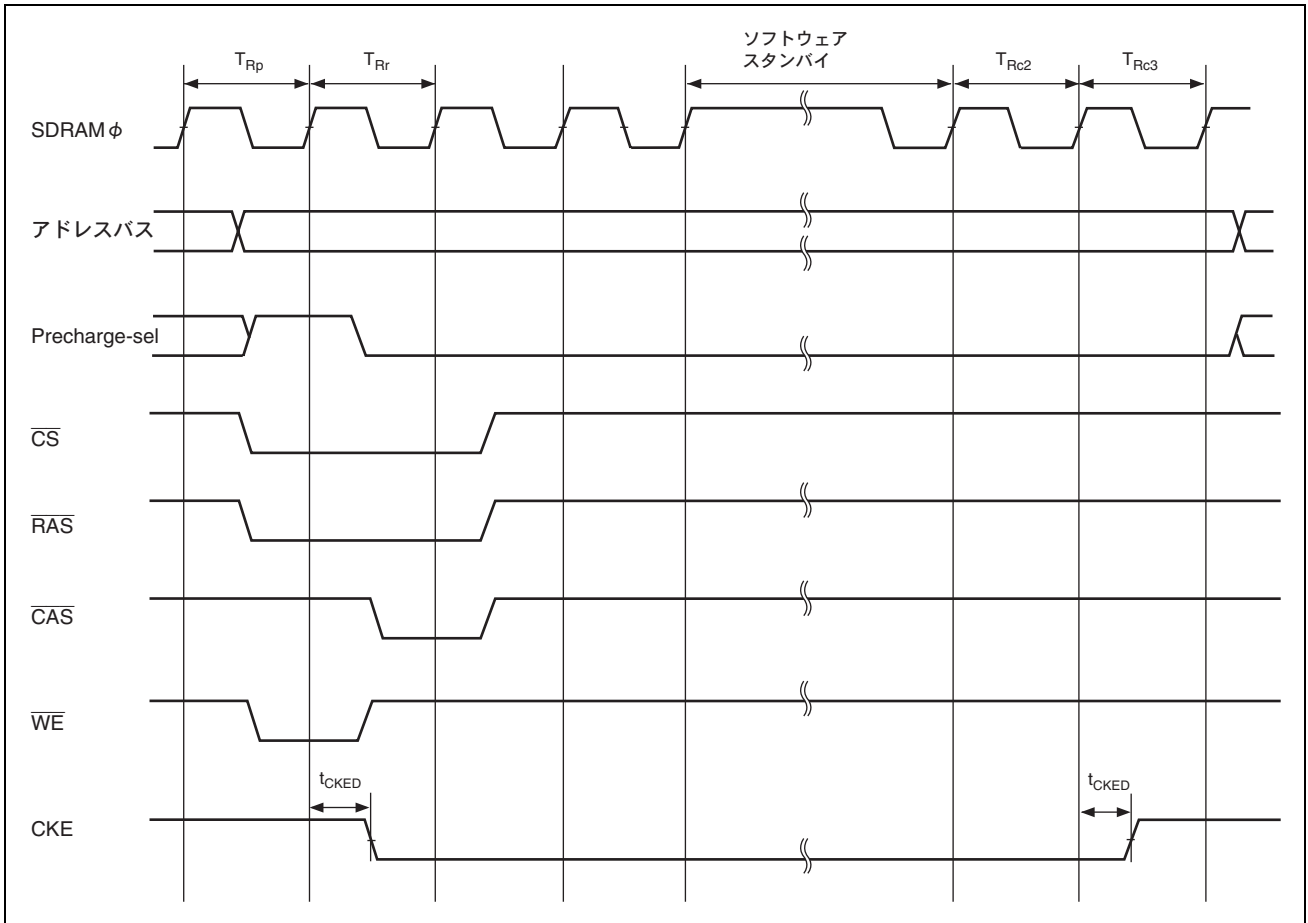


図 29.34 シンクロナス DRAM セルフリフレッシュタイミング*

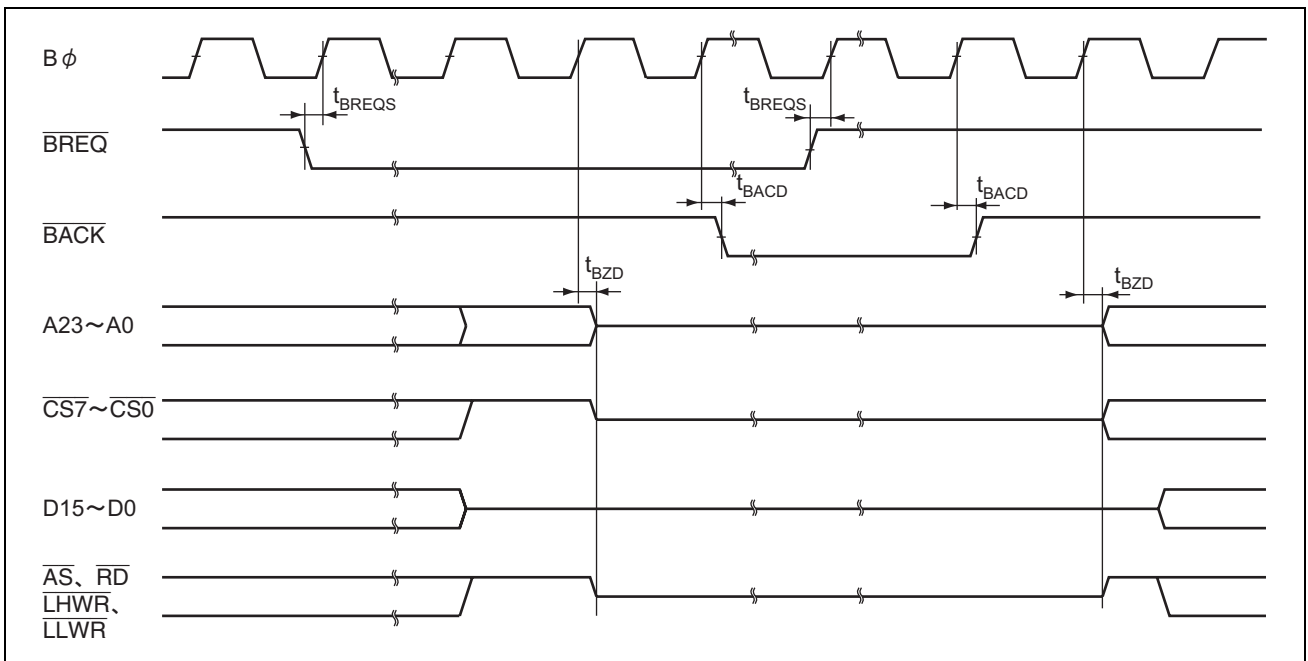


図 29.35 外部バス権開放タイミング

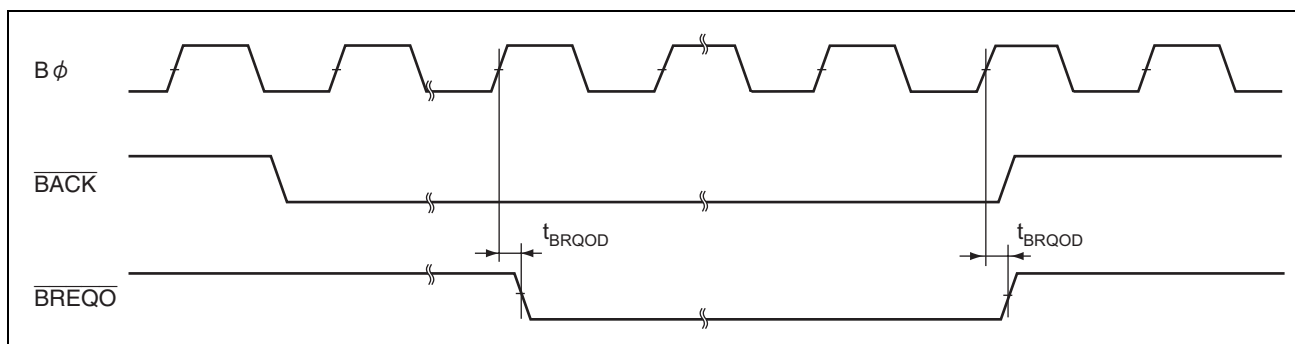


図 29.36 外部バス権要求出力タイミング

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポートしています。

29.4.4 DMAC、EXDMAC タイミング

表 29.9 DMAC、EXDMAC タイミング

条件 : $V_{cc}=PLL V_{cc}=3.0\sim 3.6V^{*2}$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=PLL V_{ss}=AV_{ss}=0V$ 、

$B\phi=8\sim 50MHz$

$T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
\overline{DREQ} セットアップ時間	t_{DRQS}	20	—	ns	図 29.37
\overline{DREQ} ホールド時間	t_{DRQH}	5	—	ns	
\overline{TEND} 遅延時間	t_{TED}	—	15	ns	図 29.38
\overline{DACK} 遅延時間 1	t_{DACD1}	—	15	ns	図 29.39、
\overline{DACK} 遅延時間 2	t_{DACD2}	—	15	ns	図 29.40
\overline{EDREQ} セットアップ時間 ^{*1}	t_{EDRQS}	20	—	ns	図 29.37
\overline{EDREQ} ホールド時間 ^{*1}	t_{EDRQH}	5	—	ns	
\overline{ETEND} 遅延時間 ^{*1}	t_{ETED}	—	15	ns	図 29.38
\overline{EDACK} 遅延時間 1 ^{*1}	t_{EDACD1}	—	15	ns	図 29.39、
\overline{EDACK} 遅延時間 2 ^{*1}	t_{EDACD2}	—	15	ns	
\overline{EDRAK} 遅延時間 ^{*1}	t_{EDRKD}	—	15	ns	図 29.41

【注】 *1 H8SX/1648G グループ、H8SX/1648H グループのみサポート。

*2 H8SX/1648L グループ、H8SX/1648H グループは、 $V_{cc}=PLL V_{cc}=2.95\sim 3.60V$ です。

29. 電気的特性

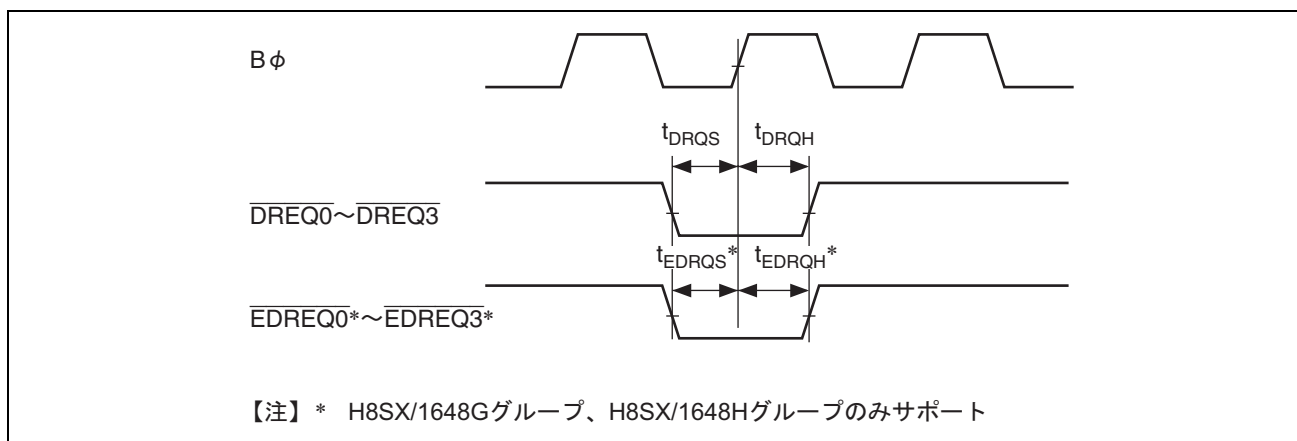


図 29.37 DMAC および EXDMAC*、 \overline{DREQ} 、 \overline{EDREQ}^* 入力タイミング

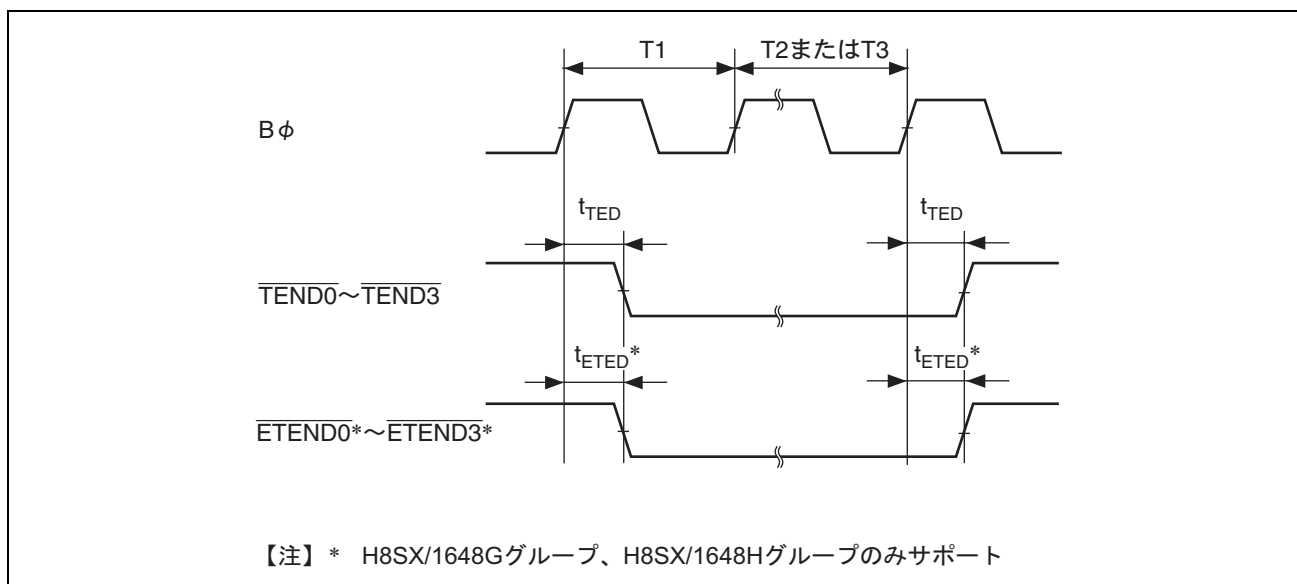


図 29.38 DMAC および EXDMAC*、 \overline{TEND} 、 \overline{ETEND}^* 出力タイミング

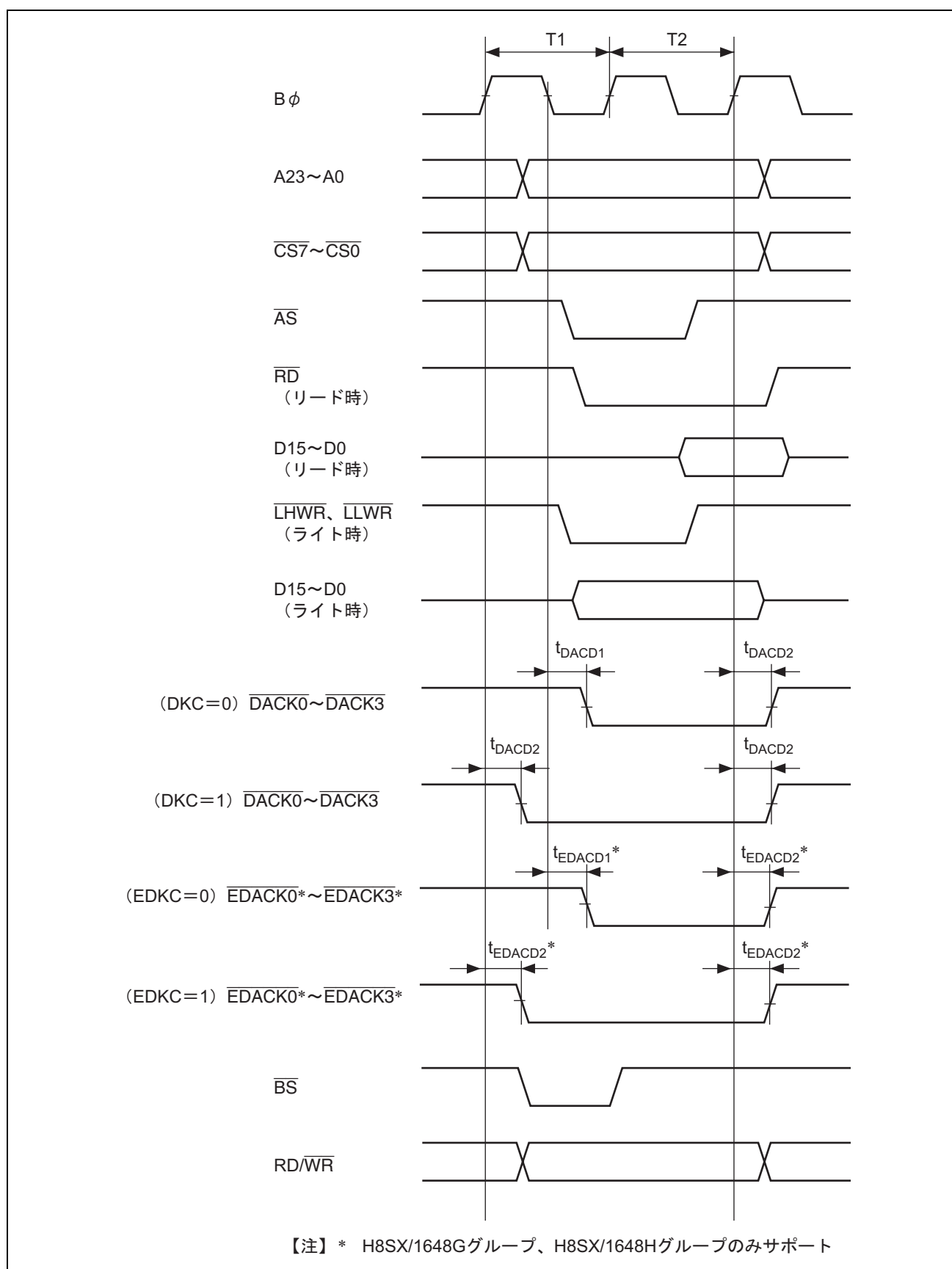


図 29.39 DMAC および EXDMAC* シングルアドレス転送タイミング (2 ステートアクセス)

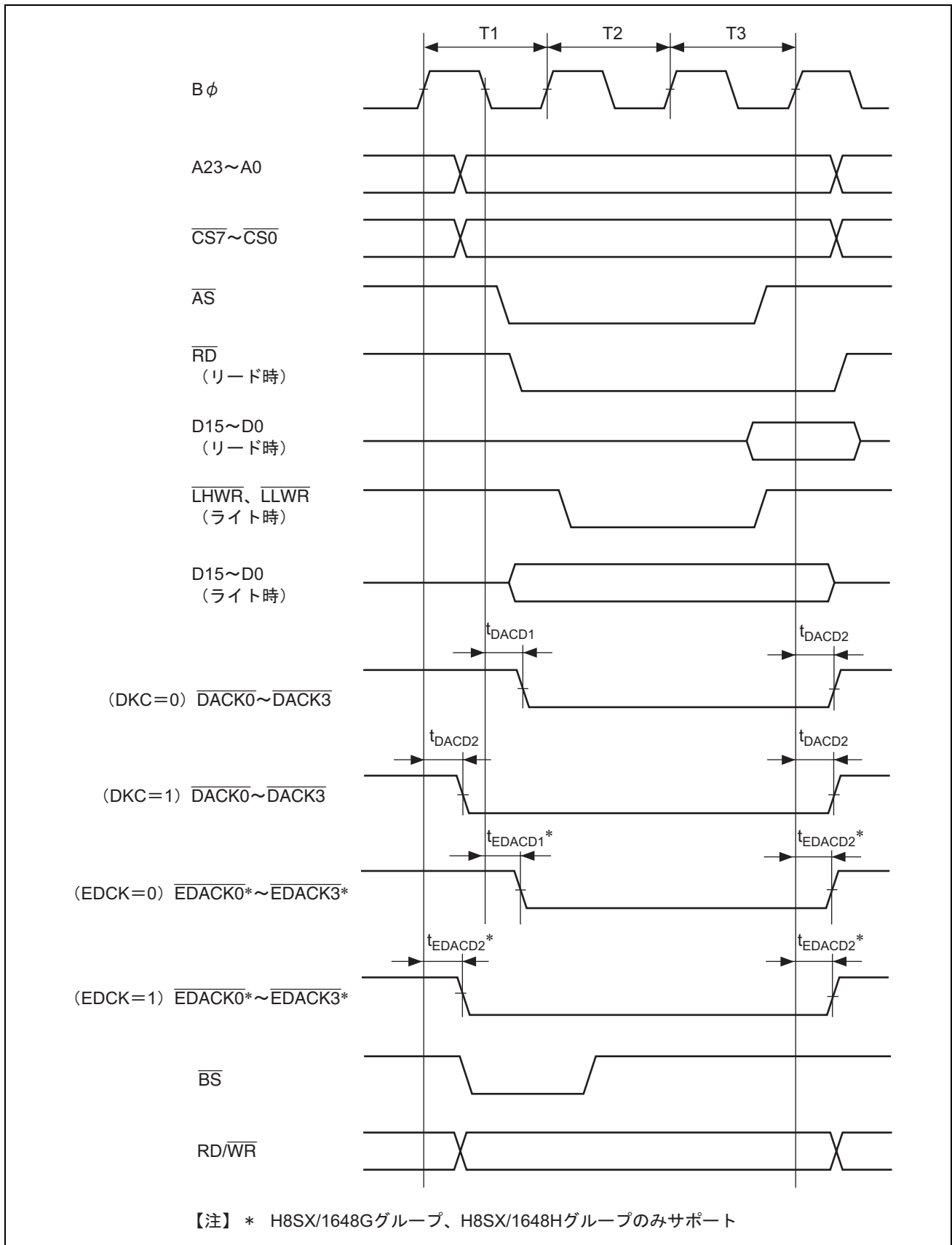


図 29.40 DMAC および EXDMAC* シングルアドレス転送タイミング (3 ステートアクセス)

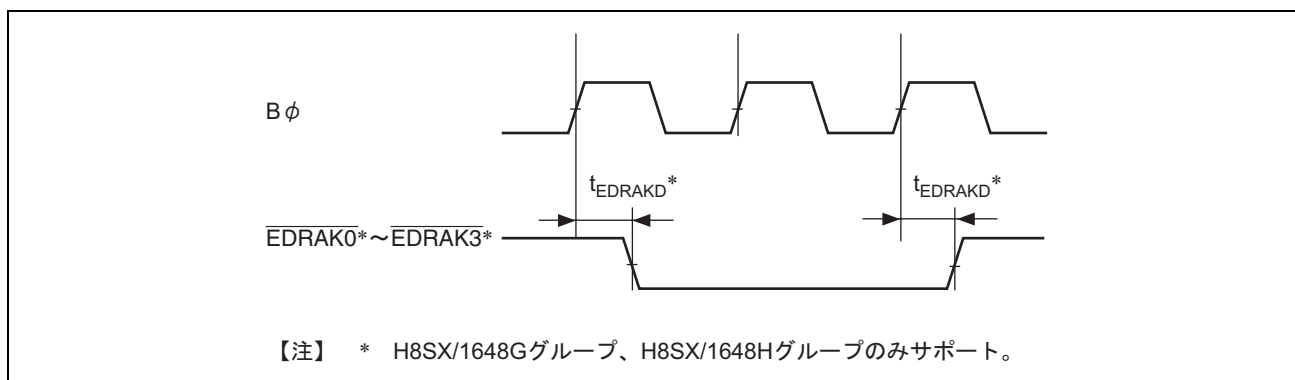


図 29.41 EXDMAC、EDRAK 出力タイミング*

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート

29.4.5 内蔵周辺モジュールタイミング

表 29.10 内蔵周辺モジュールタイミング

条件 : $V_{cc}=PLL_{Vcc}=3.0\sim 3.6V^{*2}$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=PLL_{Vss}=AV_{ss}=0V$ 、

$P\phi=8\sim 35MHz$

$T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目		記号	min	max	単位	測定条件	
I/O ポート	出力データ遅延時間	ポート N 以外	t_{PWD}	—	40	ns	図 29.42
		ポート N		—	200		
	入力データセットアップ時間	t_{PRS}	25	—	ns		
	入力データホールド時間	t_{PRH}	25	—	ns		
TPU	タイマ出力遅延時間	t_{TOCD}	—	40	ns	図 29.43	
	タイマ入力セットアップ時間	t_{TICS}	25	—	ns		
	タイマクロック入力セットアップ時間	t_{TCKS}	25	—	ns	図 29.44	
	タイマクロックパルス幅	単エッジ指定	t_{TCKWH}	1.5	—		t_{cyc}
両エッジ指定		t_{TCKWL}	2.5	—	t_{cyc}		
PPG	パルス出力遅延時間	t_{POD}	—	40	ns	図 29.45	
8 ビット タイマ	タイマ出力遅延時間	t_{TMOD}	—	40	ns	図 29.46	
	タイマリセット入力セットアップ時間	t_{TMRS}	25	—	ns	図 29.47	
	タイマクロック入力セットアップ時間	t_{TMCS}	25	—	ns	図 29.48	
	タイマクロックパルス幅	単エッジ指定	t_{TMCWH}	1.5	—		t_{cyc}
両エッジ指定		t_{TMCWL}	2.5	—	t_{cyc}		
WDT	オーバフロー出力遅延時間	t_{WOVD}	—	40	ns	図 29.49	

29. 電気的特性

項目		記号	min	max	単位	測定条件		
SCI	入カロックサイクル	調歩同期	4	—	t _{cyc}	図 29.50		
		クロック同期						
	入カロックパルス幅		t _{SCKW}	0.4	0.6		t _{SCKW}	
	入カロック立ち上がり時間		t _{SCKr}	—	1.5		t _{cyc}	
	入カロック立ち下がり時間		t _{SCKf}	—	1.5		t _{cyc}	
	送信データ遅延時間		t _{TXD}	—	40		ns	図 29.51
	受信データセットアップ時間 (クロック同期)		t _{RXS}	40	—		ns	
受信データホールド時間 (クロック同期)		t _{RXH}	40	—	ns			
A/D 変換器	トリガ入力セットアップ時間	t _{TRGS}	30	—	ns	図 29.52		
IIC2	SCL 入力サイクル時間		t _{SCL}	12t _{cyc} + 600	—	ns	図 29.53	
	SCL 入力 High パルス幅		t _{SCLH}	3t _{cyc} + 300	—	ns		
	SCL 入力 Low パルス幅		t _{SCLL}	5t _{cyc} + 300	—	ns		
	SCL、SDA 入力立ち下がり時間		t _{Sr}	—	300	ns		
	SCL、SDA 入力スパイクパルス除去時間		t _{SP}	—	1t _{cyc}	ns		
	SDA 入力バスフリー時間		t _{BUF}	5t _{cyc}	—	ns		
	開始条件入力ホールド時間		t _{STAH}	3t _{cyc}	—	ns		
	再送開始条件入力セットアップ時間		t _{STAS}	3t _{cyc}	—	ns		
	停止条件入力セットアップ時間		t _{STOS}	1t _{cyc} +20	—	ns		
	データ入力セットアップ時間		t _{SDAS}	0	—	ns		
	データ入力ホールド時間		t _{SDAH}	0	—	ns		
	SCL、SDA の容量性負荷		C _b	—	400	pF		
	SCL、SDA 立ち下がり時間		t _{Sr}	—	300	ns		

項目		記号	min	max	単位	測定条件
パウンダリ スキャン	TCK クロックサイクル時間	t_{TCKcyc}	50*1	—	ns	図 29.54
	TCK クロック High レベルパルス幅	t_{TCKH}	20	—	ns	
	TCK クロック Low レベルパルス幅	t_{TCKL}	20	—	ns	
	TCK クロック立ち上がり時間	t_{TCKr}	—	5	ns	
	TCK クロック立ち下がり時間	t_{TCKf}	—	5	ns	
	\overline{TRST} パルス幅	t_{TRSTW}	20	—	Tcyc	図 29.55
	TMS セットアップ時間	t_{TMSS}	20	—	ns	図 29.56
	TMS ホールド時間	t_{TMSH}	20	—	ns	
	TDI セットアップ時間	t_{TDIS}	20	—	ns	
	TDI ホールド時間	t_{TDIH}	20	—	ns	
	TDO データ遅延時間	t_{TDOD}	—	23	ns	

【注】 *1 ただし、 $t_{cyc} \geq t_{TCKcyc}$

*2 H8SX/1648L グループ、H8SX/1648H グループは、 $V_{cc} = PLLV_{cc} = 2.95 \sim 3.60V$ です。

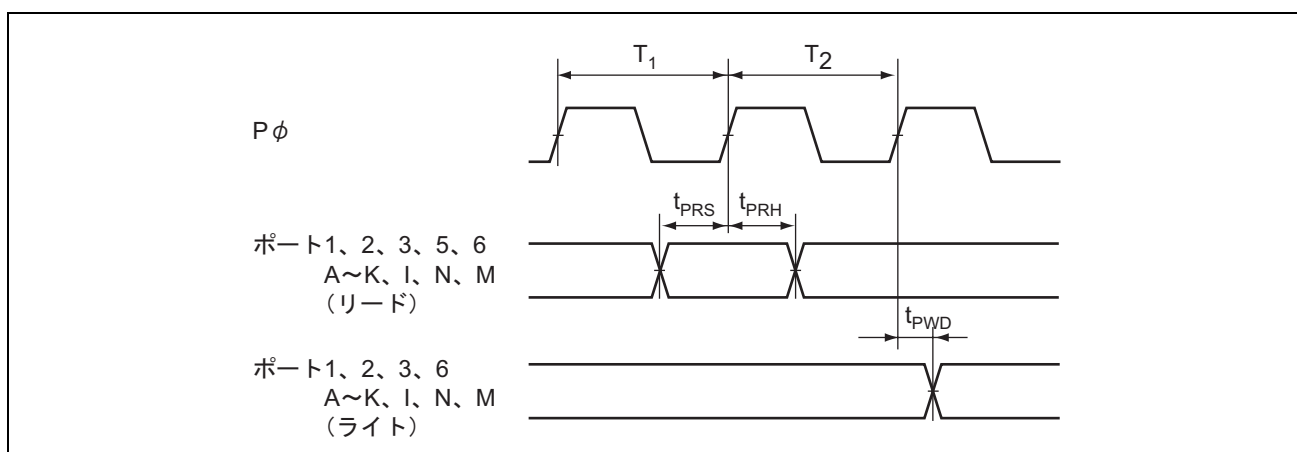
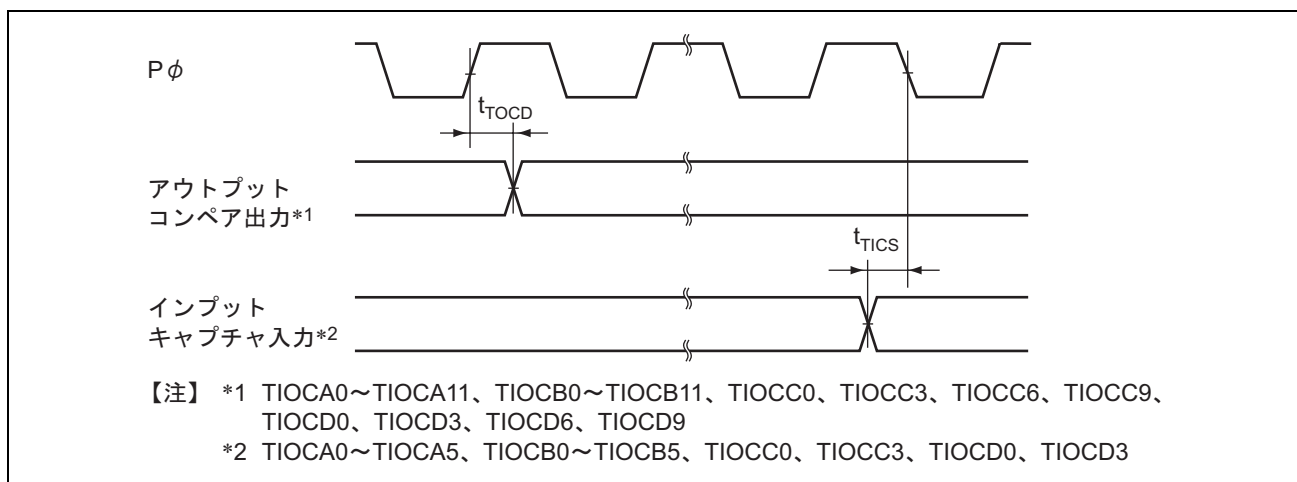


図 29.42 I/O ポート入出力タイミング



【注】 *1 TIOCA0~TIOCA11、TIOCB0~TIOCB11、TIOCC0、TIOCC3、TIOCC6、TIOCC9、TIOCD0、TIOCD3、TIOCD6、TIOCD9

*2 TIOCA0~TIOCA5、TIOCB0~TIOCB5、TIOCC0、TIOCC3、TIOCD0、TIOCD3

図 29.43 TPU 入出力タイミング

29. 電気的特性

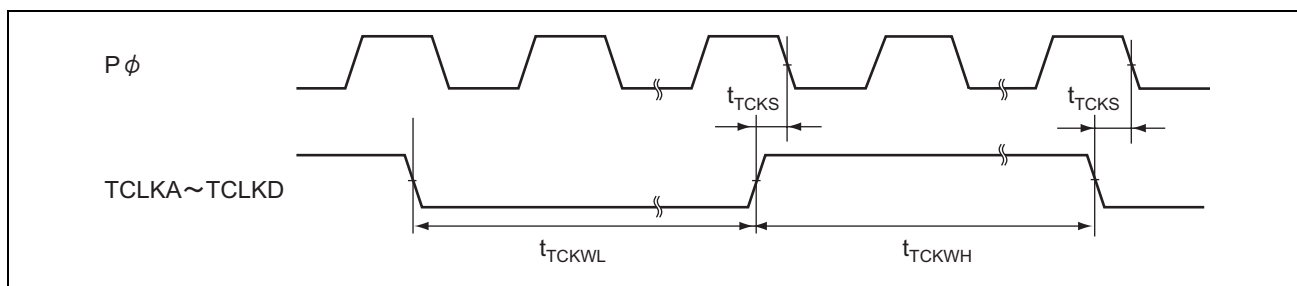


図 29.44 TPU クロック入力タイミング

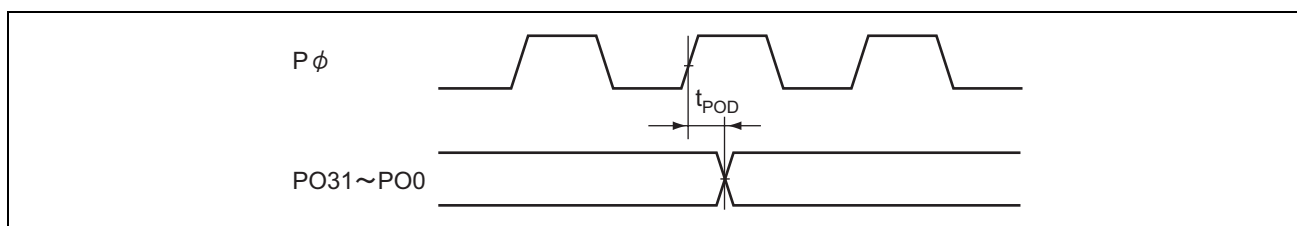


図 29.45 PPG 出力タイミング

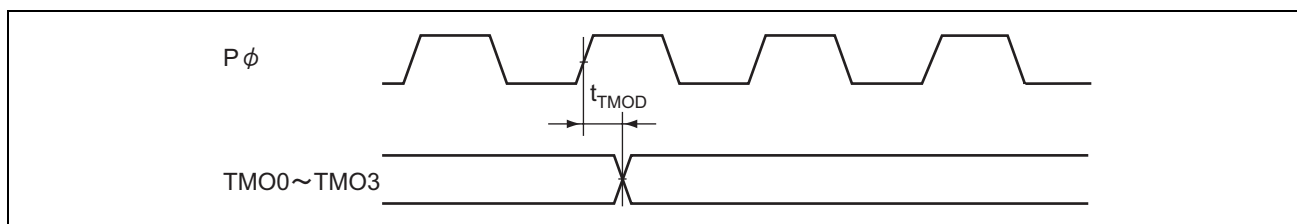


図 29.46 8ビットタイマ出力タイミング

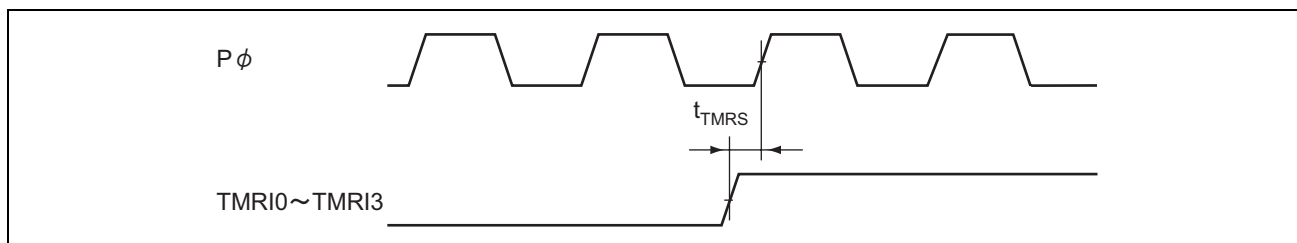


図 29.47 8ビットタイマリセット入力タイミング

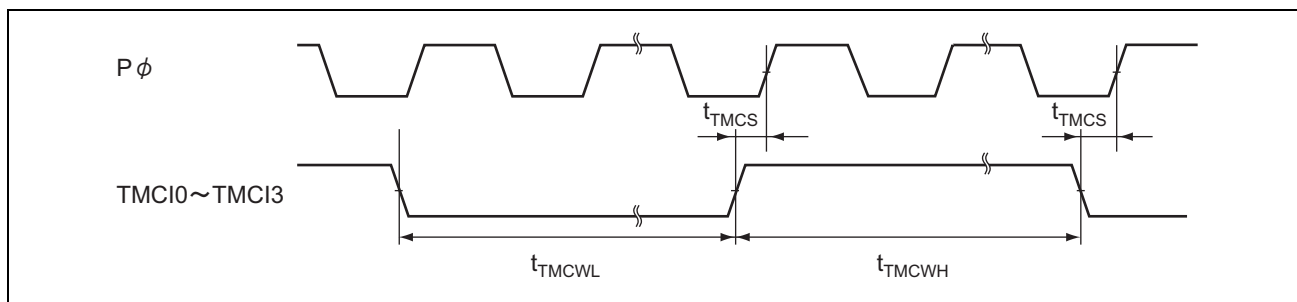


図 29.48 8ビットタイマクロック入力タイミング

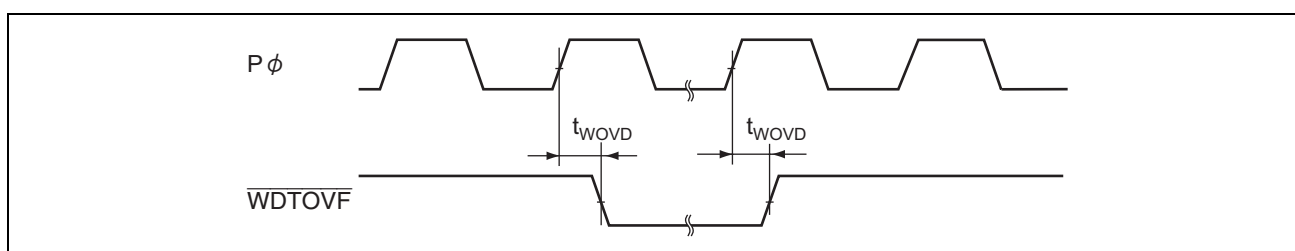


図 29.49 WDT 出力タイミング

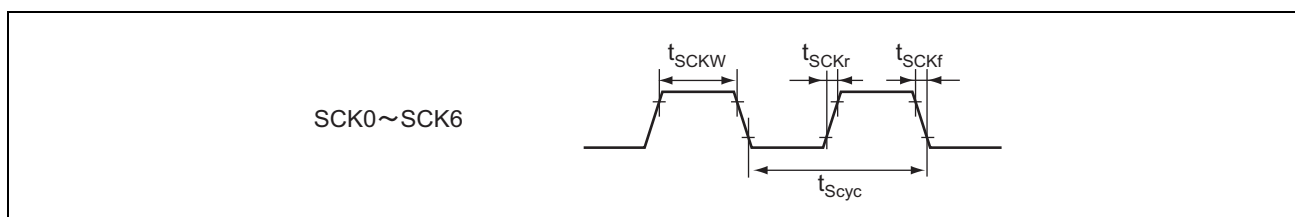


図 29.50 SCK クロック入力タイミング

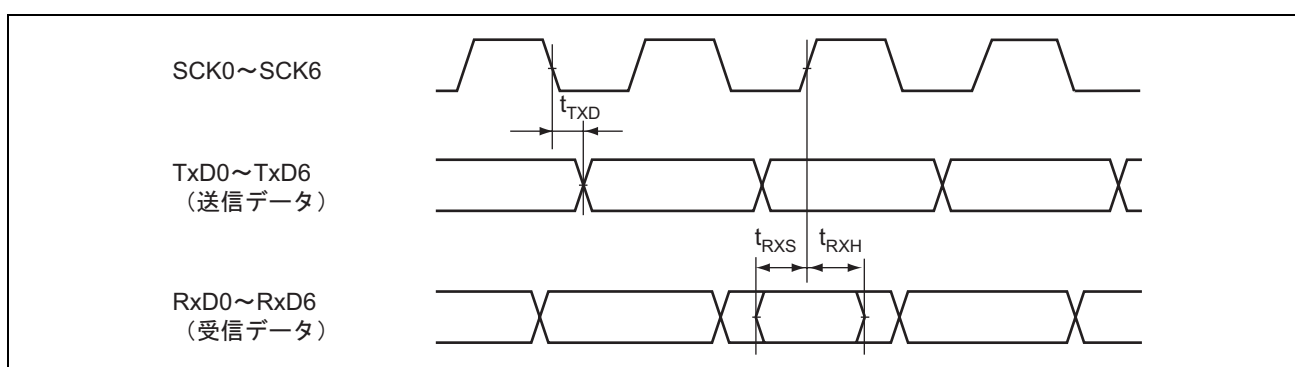


図 29.51 SCI 入出力タイミング/クロック同期式モード

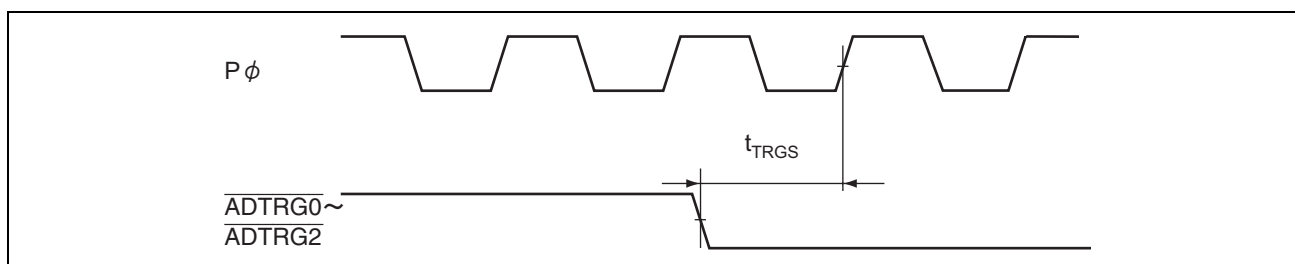


図 29.52 A/D 変換器外部トリガ入力タイミング

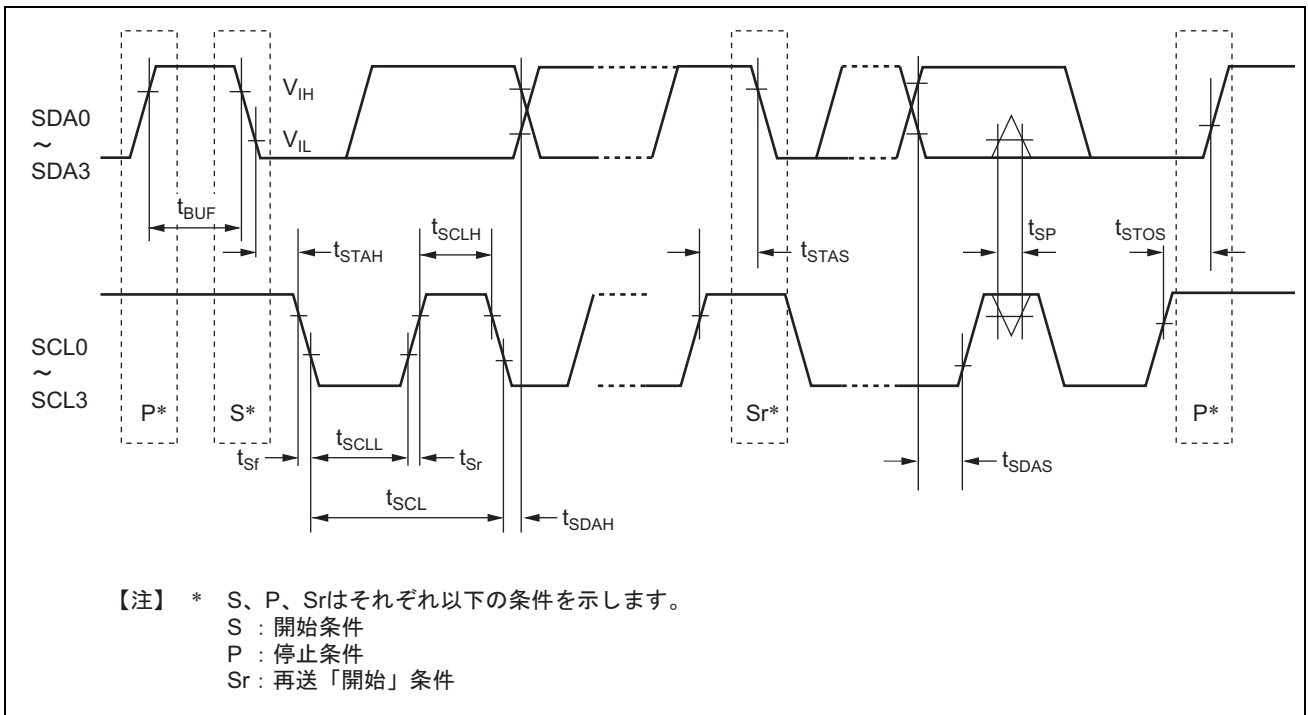


図 29.53 I²C バスインタフェース 2 入出力タイミング【オプション】

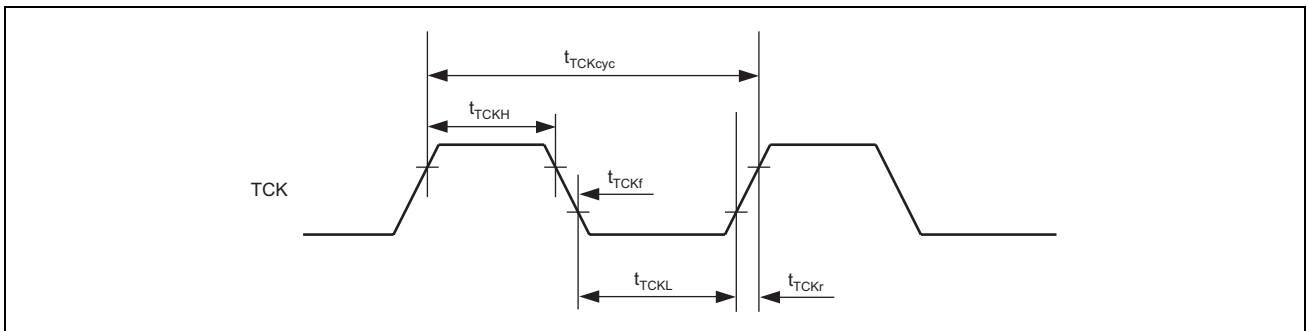


図 29.54 バウンダリスキャン TCK タイミング

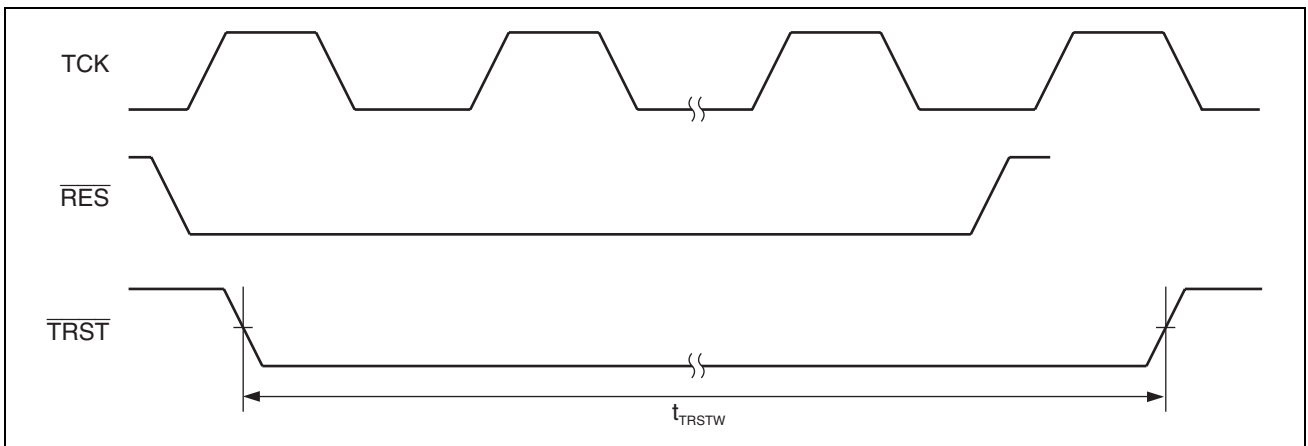


図 29.55 バウンダリスキャン \overline{TRST} タイミング

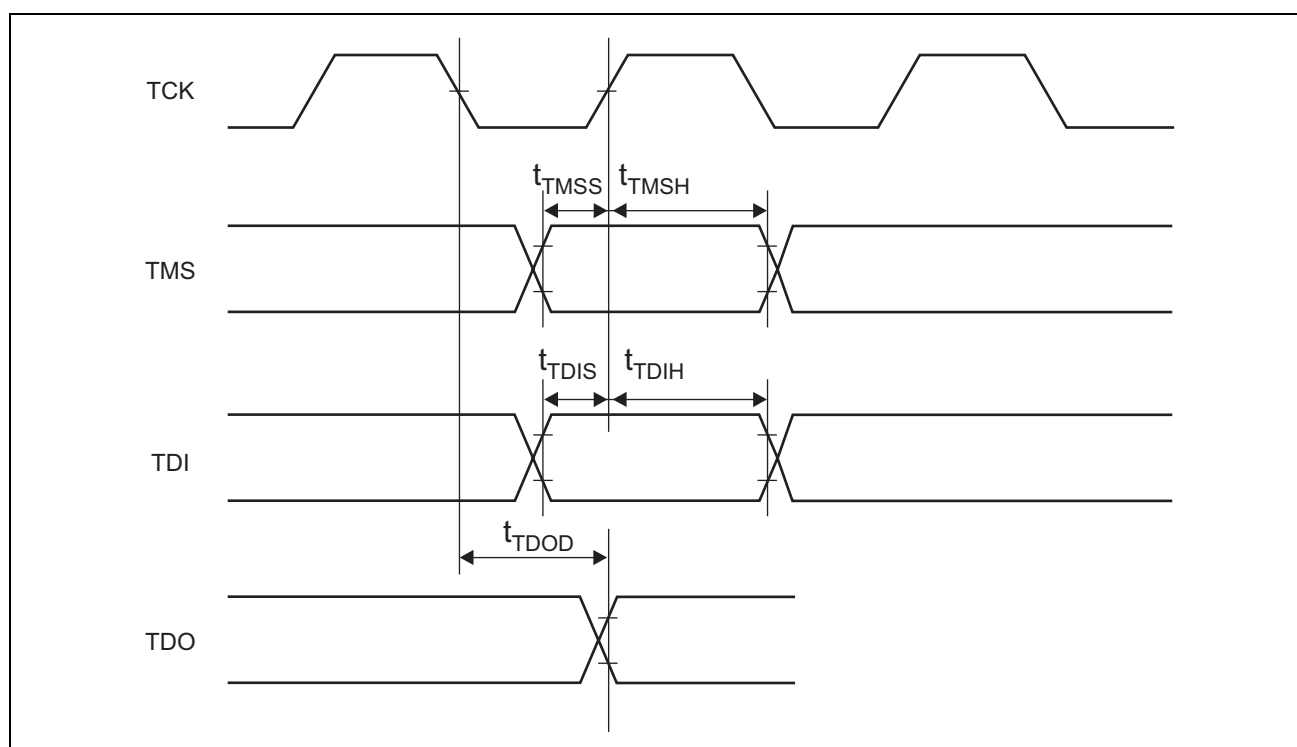


図 29.56 バウンダリスキャン入出力タイミング

29.5 A/D 変換特性

表 29.11 A/D 変換特性

条件 : $V_{cc}=PLL_{Vcc}=3.0\sim 3.6V^*$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=PLL_{Vss}=AV_{ss}=0V$ 、 $P\phi=8\sim 35MHz$ $T_a=-20\sim +75^\circ C$ (通常仕様品)、 $T_a=-40\sim +85^\circ C$ (広温度範囲仕様品)

項 目		min	typ	max	単位
分解能		10	10	10	ビット
変換時間		2.7	—	—	μs
アナログ入力容量		—	—	20	pF
許容信号源インピーダンス		—	—	5	K Ω
非直線性誤差	H8SX/1648 グループ H8SX/1648A グループ H8SX/1648L グループ	—	—	± 7.5	LSB
	H8SX/1648G グループ H8SX/1648H グループ	—	—	± 3.5	LSB
オフセット誤差	H8SX/1648 グループ H8SX/1648A グループ H8SX/1648L グループ	—	—	± 7.5	LSB
	H8SX/1648G グループ H8SX/1648H グループ	—	—	± 3.5	LSB
フルスケール誤差	H8SX/1648 グループ H8SX/1648A グループ H8SX/1648L グループ	—	—	± 7.5	LSB
	H8SX/1648G グループ H8SX/1648H グループ	—	—	± 3.5	LSB
量子化誤差		—	± 0.5	—	LSB
絶対精度	H8SX/1648 グループ H8SX/1648A グループ H8SX/1648L グループ	—	—	± 8.0	LSB
	H8SX/1648G グループ H8SX/1648H グループ	—	—	± 4.0	LSB

【注】 * H8SX/1648L グループ、H8SX/1648H グループは、 $V_{cc}=PLL_{Vcc}=2.95\sim 3.60V$ です。

29.6 D/A 変換特性

表 29.12 D/A 変換特性

条件 : $V_{cc}=PLL_{Vcc}=3.0\sim 3.6V^*$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=PLL_{Vss}=AV_{ss}=0V$ 、

$P\phi=8\sim 35MHz$

$T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項 目	min	typ	max	単位	測定条件
分解能	8	8	8	ビット	
変換時間	—	—	10	μs	負荷容量 20pF
絶対精度	—	± 2.0	± 3.0	LSB	負荷抵抗 2M Ω
	—	—	± 2.0	LSB	負荷抵抗 4M Ω

【注】 * H8SX/1648L グループ、H8SX/1648H グループは、 $V_{cc}=PLL_{Vcc}=2.95\sim 3.60V$ です。

29. 電気的特性

29.7 フラッシュメモリ特性

表 29.13 フラッシュメモリ特性

条件 : $V_{cc}=PLL_{Vcc}=3.0\sim 3.6V^{*5}$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=PLL_{Vss}=AV_{ss}=0V$

書き込み/消去時の動作範囲

動作温度範囲 $T_a=0\sim 75^{\circ}C$ (通常仕様品)

$T_a=0\sim 85^{\circ}C$ (広温度範囲仕様品)

動作電圧範囲 $V_{cc}=PLL_{Vcc}=3.0\sim 3.6V$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=PLL_{Vss}=AV_{ss}=0V$

項目	記号	min	typ	max	単位	測定条件
書き込み時間 ^{*1*2*4}	t_p	—	1	10	ms/128 バイト	
消去時間 ^{*1*2*4}	t_E	—	40	130	ms/4K バイトブロック	
		—	300	800	ms/32K バイトブロック	
		—	600	1500	ms/64K バイトブロック	
書き込み時間 (総和) ^{*1*2*4}	Σt_p	—	2.3	6	H8SX/1642、H8SX/1642A、 H8SX/1642L、H8SX/1642G、 H8SX/1642H s/256K バイト	$T_a=25^{\circ}C$ 、 all0 時
		—	4.5	12	H8SX/1644、H8SX/1644A、 H8SX/1644L、H8SX/1644G、 H8SX/1644H s/512K バイト	
		—	9.0	24	H8SX/1648、H8SX/1648A、 H8SX/1648L、H8SX/1648G、 H8SX/1648H s/1M バイト	
消去時間 (総和) ^{*1*2*4}	Σt_E	—	2.3	6	H8SX/1642、H8SX/1642A、 H8SX/1642L、H8SX/1642G、 H8SX/1642H s/256K バイト	$T_a=25^{\circ}C$
		—	4.5	12	H8SX/1644、H8SX/1644A、 H8SX/1644L、H8SX/1644G、 H8SX/1644H s/512K バイト	
		—	9.0	24	H8SX/1648、H8SX/1648A、 H8SX/1648L、H8SX/1648G、 H8SX/1648H s/1M バイト	

項目	記号	min	typ	max	単位	測定条件
書き込み、消去時間（総和）*1*2*4	Σt_{PE}	—	4.6	12	H8SX/1642、H8SX/1642A、 H8SX/1642L、H8SX/1642G、 H8SX/1642H s/256K バイト	Ta=25°C
		—	9.0	24	H8SX/1644、H8SX/1644A、 H8SX/1644L、H8SX/1644G、 H8SX/1644H s/512K バイト	
		—	18.0	48	H8SX/1648、H8SX/1648A、 H8SX/1648L、H8SX/1648G、 H8SX/1648H s/1M バイト	
書き換え回数	N_{WEC}	100*3	—	—	回	
データ保持時間*4	T_{DRP}	10	—	—	年	

【注】 *1 書き込み、消去時間はデータに依存します。

*2 書き込み、消去時間はデータ転送時間は含みません。

*3 書き換え後のすべての特性を保証する min.回数です。（保証は 1～min.値の範囲）

*4 書き換えが min.値を含む仕様範囲内で行われたときの特性です。

*5 H8SX/1648L グループ、H8SX/1648H グループは、Vcc=PLL Vcc=2.95～3.60V です。

29.8 パワーオンリセット回路・電圧検出回路特性 (H8SX/1648L グループ、H8SX/1648H グループ)

表 29.14 パワーオンリセット回路・電圧検出回路特性

条件 : $V_{CC}=PLL_{VCC}$ 、 $V_{SS}=PLL_{VSS}=AV_{SS}=0V$ 、

$T_a=-20\sim+75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim+85^{\circ}C$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
電圧検出レベル	電圧検出回路 (LVD)	V_{det}	3.00	3.10	3.20	V	図 29.58
	パワーオンリセット (POR)	V_{POR}	2.48	2.58	2.68		図 29.57
内部リセット時間		t_{POR}	20	35	50	ms	図 29.57、
電源オフ時間*1		$t_{V_{OFF}}$	200	—	—	us	図 29.58

【注】 *1 電源オフ時間 ($t_{V_{OFF}}$) は、 V_{CC} が POR や LVD の電圧検出レベルの min 値を下回っている時間です。

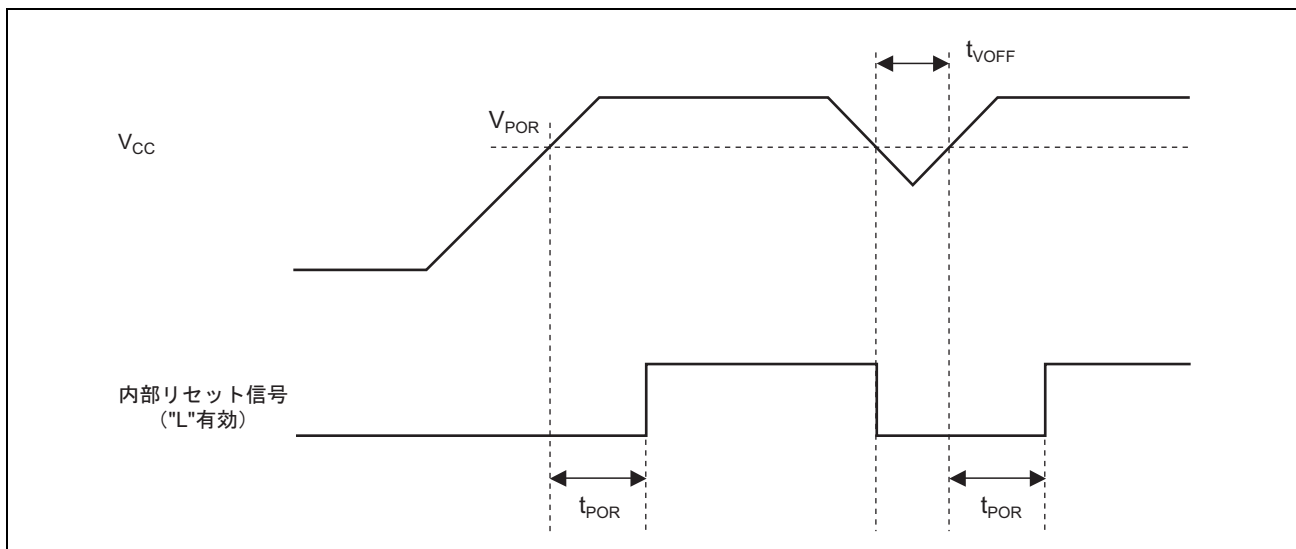


図 29.57 パワーオンリセットタイミング

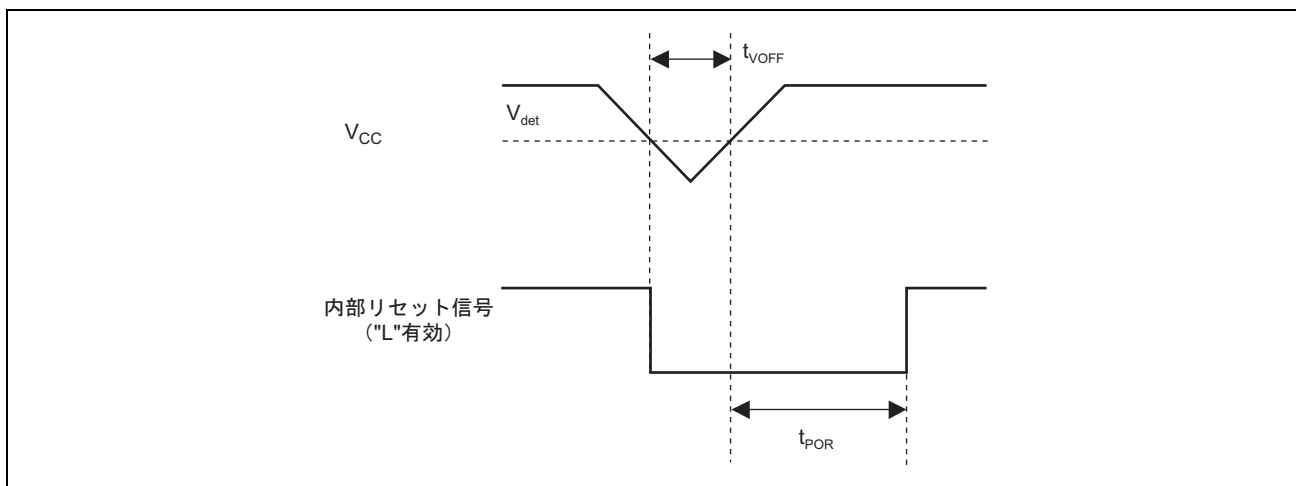


図 29.58 電圧検出回路タイミング

付録

A. 各処理状態におけるポートの状態

表 A.1 各処理状態におけるポートの状態

ポート名 端子名	MCU 動作モード	リセット	ハードウェア スタンバイモード	ディープソフトウェア スタンバイモード IOKEEP=1/0		ソフトウェア スタンバイモード		バス権 開放状態
				OPE=1	OPE=0	OPE=1	OPE=0	
ポート 1	全モード	HiZ	HiZ	Keep		Keep		
ポート 2	全モード	HiZ	HiZ	Keep		Keep		
ポート 3	全モード	HiZ	HiZ	Keep		Keep		
ポート 4	全モード	HiZ	HiZ	Keep		Keep		
P50~P55	全モード	HiZ	HiZ	HiZ		HiZ		keep
P56/AN6/DA0/ $\overline{\text{IRQ6-B}}$	全モード	HiZ	HiZ	HiZ		[DAOE0=1] keep [DAOE0=0] HiZ		keep
P57/AN7/DA1 $\overline{\text{IRQ7-B}}$	全モード	HiZ	HiZ	HiZ		[DAOE1=1] keep [DAOE1=0] HiZ		keep
P60~P67	全モード	HiZ	HiZ	keep		keep		
PA0/BREQ0/ BS-A	全モード	HiZ	HiZ	[BREQ0 出力時] HiZ		[BREQ0 出力時] HiZ		[BREQ0 出力時] BREQ0
				[$\overline{\text{BS}}$ 出力時] keep	[$\overline{\text{BS}}$ 出力時] HiZ	[$\overline{\text{BS}}$ 出力時] keep	[$\overline{\text{BS}}$ 出力時] HiZ	[$\overline{\text{BS}}$ 出力時] HiZ
				[上記以外] keep		[上記以外] keep		[上記以外] keep
PA1/ $\overline{\text{BACK}}$ / (RD/ $\overline{\text{WR-A}}$)	全モード	HiZ	HiZ	[$\overline{\text{BACK}}$ 出力時] HiZ		[$\overline{\text{BACK}}$ 出力時] HiZ		[$\overline{\text{BACK}}$ 出力時] $\overline{\text{BACK}}$
				[RD/ $\overline{\text{WR-A}}$ 出力時] keep	[RD/ $\overline{\text{WR-A}}$ 出力時] HiZ	[RD/ $\overline{\text{WR-A}}$ 出力時] keep	[RD/ $\overline{\text{WR-A}}$ 出力時] HiZ	[RD/ $\overline{\text{WR-A}}$ 出力時] HiZ
				[上記以外] keep		[上記以外] keep		[上記以外] keep

付録

ポート名 端子名	MCU 動作モード	リセット	ハードウェア スタンバイモード	ディープソフトウェア スタンバイモード IOKEEP=1/0		ソフトウェア スタンバイモード		バス権 開放状態
				OPE=1	OPE=0	OPE=1	OPE=0	
PA2/ $\overline{\text{BREQ}}$ / $\overline{\text{WAIT-A}}$	全モード	HiZ	HiZ	[$\overline{\text{BREQ}}$ 入力時] HiZ [$\overline{\text{WAIT-A}}$ 入力時] HiZ [上記以外] keep		[BREQ 入力時] HiZ [$\overline{\text{WAIT-A}}$ 入力時] HiZ [上記以外] keep		[BREQ 入力時] HiZ(BREQ) [$\overline{\text{WAIT-A}}$ 入力時] HiZ ($\overline{\text{WAIT-A}}$)
PA3/ $\overline{\text{LLWR}}$ / $\overline{\text{LLB}}$	シングルチップ モード (EXPE=0)	HiZ	HiZ	Keep		Keep		keep
	外部拡張モード (EXPE=1)	H	HiZ	H	HiZ	H	HiZ	
PA4/ $\overline{\text{LHWR}}$ / $\overline{\text{LUB}}$	シングルチップ モード (EXPE=0)	HiZ	HiZ	Keep		Keep		keep
	外部拡張モード (EXPE=1)	H	HiZ	$\overline{\text{LHWR}}$ 、 $\overline{\text{LUB}}$ 出力時 H [上記以外] keep	[$\overline{\text{LHWR}}$ 、 $\overline{\text{LUB}}$ 出力時] HiZ [上記以外] keep	$\overline{\text{LHWR}}$ 、 $\overline{\text{LUB}}$ 出力時 H [上記以外] keep	[$\overline{\text{LHWR}}$ 、 $\overline{\text{LUB}}$ 出力時] HiZ [上記以外] keep	
PA5/ $\overline{\text{RD}}$	シングルチップ モード (EXPE=0)	HiZ	HiZ	keep		keep		
	外部拡張モード (EXPE=1)	H	HiZ	H	HiZ	H	HiZ	
PA6/ $\overline{\text{AS}}$ / $\overline{\text{AH}}$ / $\overline{\text{BS-B}}$	シングルチップ モード (EXPE=0)	HiZ	HiZ	[AS、BS 出力時] H	[AS、AH、BS 出力時] HiZ	[AS、BS 出力時] H	[AS、AH、BS 出力時] HiZ	
	外部拡張モード (EXPE=1)	H	HiZ	[$\overline{\text{AH}}$ 出力時] L [上記以外] keep	[上記以外] keep	[$\overline{\text{AH}}$ 出力時] L [上記以外] keep	[上記以外] keep	
PA7/B ϕ	シングルチップ モード (EXPE=0)	HiZ	HiZ	[クロック出力時] H [上記以外]		[クロック出力時] H [上記以外]		[クロック出力時] クロック出力 [上記以外]
	外部拡張モード (EXPE=1)	クロック 出力	HiZ	keep		keep		keep

ポート名 端子名	MCU 動作モード	リセット	ハードウェア スタンバイモード	ディープソフトウェア スタンバイモード IOKEEP=1/0		ソフトウェア スタンバイモード		バス種 開放状態
				OPE=1	OPE=0	OPE=1	OPE=0	
PB0/ $\overline{CS0}$ / $\overline{CS4}$ / $\overline{CS5}$ -B	シングルチップ モード (EXPE=0)	HiZ	HiZ	[\overline{CS} 出力時] H [上記以外]	[\overline{CS} 出力時] HiZ [上記以外]	[\overline{CS} 出力時] H [上記以外]	[\overline{CS} 出力時] HiZ [上記以外]	
	外部拡張モード (EXPE=1)	H		keep	keep	keep	keep	
PB1/ $\overline{CS1}$ / $\overline{CS2}$ -B/ $\overline{CS5}$ -A/ $\overline{CS6}$ -B/ $\overline{CS7}$ -B	全モード	HiZ	HiZ	[\overline{CS} 出力時] H [上記以外] keep	[\overline{CS} 出力時] HiZ [上記以外] keep	[\overline{CS} 出力時] H [上記以外] keep	[\overline{CS} 出力時] HiZ [上記以外] keep	
PB2/ $\overline{CS2}$ -A/ $\overline{CS6}$ -A/ \overline{RAS}^{*1}	全モード	HiZ	HiZ	[\overline{CS} 出力時] H [上記以外] keep	[\overline{CS} 出力時] HiZ [上記以外] keep	[\overline{CS} 出力時] H [上記以外] keep	[\overline{CS} 出力時] HiZ [上記以外] keep	
PB3/ $\overline{CS3}$ / $\overline{CS7}$ -A \overline{CAS}^{*1}	全モード	HiZ	HiZ	[\overline{CS} 出力時] H [上記以外] keep	[\overline{CS} 出力時] HiZ [上記以外] keep	[\overline{CS} 出力時] H [上記以外] keep	[\overline{CS} 出力時] HiZ [上記以外] keep	
PB4/ $\overline{CS4}$ -B/ \overline{WE}^{*1}	全モード	HiZ	HiZ	[\overline{CS} 出力時] H [上記以外] keep	[\overline{CS} 出力時] HiZ [上記以外] keep	[\overline{CS} 出力時] H [上記以外] keep	[\overline{CS} 出力時] HiZ [上記以外] keep	
PB5/ $\overline{CS5}$ -B/ \overline{OE}^{*1}	全モード	HiZ	HiZ	[\overline{CS} 出力時] H [上記以外] keep	[\overline{CS} 出力時] HiZ [上記以外] keep	[\overline{CS} 出力時] H [上記以外] keep	[\overline{CS} 出力時] HiZ [上記以外] keep	
PB6/ $\overline{CS6}$ -D/ (RD/ \overline{WR}) / $\overline{ADTRGH0}$ -B	全モード	HiZ	HiZ	[\overline{CS} 出力時] H [上記以外] keep	[\overline{CS} 出力時] HiZ [上記以外] keep	[\overline{CS} 出力時] H [上記以外] keep	[\overline{CS} 出力時] HiZ [上記以外] keep	
PB7/SDRAM ϕ^{*1} / $\overline{CS7}$ -D	SDRAM モード	SDRAM ϕ 出力	HiZ	[SDRAM ϕ 出力時] H	[SDRAM ϕ 出力時] H	[SDRAM ϕ 出力時] H	[SDRAM ϕ 出力時] H	[SDRAM ϕ 出力時] SDRAM ϕ 出力
	SDRAM モード 以外	HiZ		[\overline{CS} 出力時] H [上記以外] keep	[\overline{CS} 出力時] HiZ [上記以外] keep	[\overline{CS} 出力時] H [上記以外] keep	[\overline{CS} 出力時] HiZ [上記以外] keep	[\overline{CS} 出力時] HiZ [上記以外] keep

付録

ポート名 端子名	MCU 動作モード	リセット	ハードウェア スタンバイモード	ディープソフトウェア スタンバイモード IOKEEP=1/0		ソフトウェア スタンバイモード		バス権 開放状態
				OPE=1	OPE=0	OPE=1	OPE=0	
PC0/ $\overline{\text{CS3}}$ -B/ $\overline{\text{WAIT}}$ -B/ ADTRGH1-B	全モード	HiZ	HiZ	[WAIT 入力時] HiZ				
				$\overline{\text{CS}}$ 出力時 H [上記以外] keep	$\overline{\text{CS}}$ 出力時 HiZ [上記以外] keep	$\overline{\text{CS}}$ 出力時 H [上記以外] keep	$\overline{\text{CS}}$ 出力時 HiZ [上記以外] keep	
PC1/ $\overline{\text{CS4}}$ -C/ $\overline{\text{CS5}}$ -C	全モード	HiZ	HiZ	$\overline{\text{CS}}$ 出力時 H [上記以外] keep	$\overline{\text{CS}}$ 出力時 HiZ [上記以外] keep	$\overline{\text{CS}}$ 出力時 H [上記以外] keep	$\overline{\text{CS}}$ 出力時 HiZ [上記以外] keep	
PC2~PC5	全モード	HiZ	HiZ	keep		keep		
ポート D	外部拡張モード (EXPE=1)	L	HiZ	keep	HiZ	Keep	HiZ	
	ROM 有効拡張 モード	HiZ	HiZ	keep	[アドレス出力時] HiZ [上記以外] Keep	Keep	[アドレス出力時] HiZ [上記以外] Keep	
	シングルチップ モード (EXPE=0)	HiZ	HiZ	keep		keep		
ポート E	外部拡張モード (EXPE=1)	L	HiZ	Keep	HiZ	Keep	HiZ	
	ROM 有効拡張 モード	HiZ	HiZ	Keep	[アドレス出力時] HiZ [上記以外] Keep	Keep	[アドレス出力時] HiZ [上記以外] Keep	
	シングルチップ モード (EXPE=0)	HiZ	HiZ	keep		keep		

ポート名 端子名	MCU 動作モード	リセット	ハードウェア スタンバイモード	ディープソフトウェア スタンバイモード IOKEEP=1/0		ソフトウェア スタンバイモード		バス権 開放状態	
				OPE=1	OPE=0	OPE=1	OPE=0		
PF0~PF3	外部拡張モード (EXPE=1)	L	HiZ	Keep	HiZ	keep	HiZ		
	ROM 有効拡張 モード	HiZ	HiZ	Keep	[アドレス出力時] HiZ [上記以外] Keep	Keep	[アドレス出力時] HiZ [上記以外] Keep		
	シングルチップ モード (EXPE=0)	HiZ	HiZ	keep		Keep			
PF4~PF7	外部拡張モード (EXPE=1)	HiZ	HiZ	keep	[アドレス出力時] HiZ [上記以外] Keep	keep	[アドレス出力時] HiZ [上記以外] Keep		
	シングルチップ モード (EXPE=0)	HiZ	HiZ	Keep		Keep			
ポート H	シングルチップ モード (EXPE=0)	HiZ	HiZ	Keep		Keep			
	外部拡張モード (EXPE=1)	HiZ	HiZ	HiZ		HiZ			
ポート I	シングルチップ モード (EXPE=0)	HiZ	HiZ	Keep		Keep			
	外部拡張 モード (EXPE=1)	バス幅 8 ビット	HiZ	HiZ	Keep		Keep		
		バス幅 16 ビット	HiZ	HiZ	HiZ		HiZ		
ポート J	HiZ	HiZ	HiZ	Keep		Keep			
ポート K	HiZ	HiZ	HiZ	Keep		Keep			
ポート M*	HiZ	HiZ	HiZ	Keep		Keep			
ポート N	HiZ	HiZ	HiZ	Keep		Keep			

【記号説明】

H : High レベル

L : Low レベル

Keep : 入力ポートはハイインピーダンス、出力ポートは保持

HiZ : ハイインピーダンス

【注】 * H8SX/1648G グループ、H8SX/1648H グループのみサポート。

B. 型名一覧

製品分類	製品型名	マーク型名	パッケージ (パッケージコード)
H8SX/1642	R5F61642	R5F61642FPV	PLQP0144KA-A (FP-144LV) *
H8SX/1644	R5F61644	R5F61644FPV	PLQP0144KA-A (FP-144LV) *
H8SX/1648	R5F61648	R5F61648FPV	PLQP0144KA-A (FP-144LV) *
H8SX/1642A	R5F61642A	R5F61642AFPV	PLQP0144KA-A (FP-144LV) *
H8SX/1644A	R5F61644A	R5F61644AFPV	PLQP0144KA-A (FP-144LV) *
H8SX/1648A	R5F61648A	R5F61648AFPV	PLQP0144KA-A (FP-144LV) *
H8SX/1642L	R5F61642L	R5F61642LFPV	PLQP0144KA-A (FP-144LV) *
H8SX/1644L	R5F61644L	R5F61644LFPV	PLQP0144KA-A (FP-144LV) *
H8SX/1648L	R5F61648L	R5F61648LFPV	PLQP0144KA-A (FP-144LV) *
H8SX/1642G	R5F61642G	R5F61642GBGV	PLBG0176GA-A (BP-176V) *
H8SX/1644G	R5F61644G	R5F61644GBGV	PLBG0176GA-A (BP-176V) *
H8SX/1648G	R5F61648G	R5F61648GBGV	PLBG0176GA-A (BP-176V) *
H8SX/1642H	R5F61642H	R5F61642HBGV	PLBG0176GA-A (BP-176V) *
H8SX/1644H	R5F61644H	R5F61644HBGV	PLBG0176GA-A (BP-176V) *
H8SX/1648H	R5F61648H	R5F61648HBGV	PLBG0176GA-A (BP-176V) *

【注】 * Pb フリー版

C. 外形寸法図

外形寸法図については、「ルネサス半導体パッケージデータブック」に掲載されている寸法図を優先します。

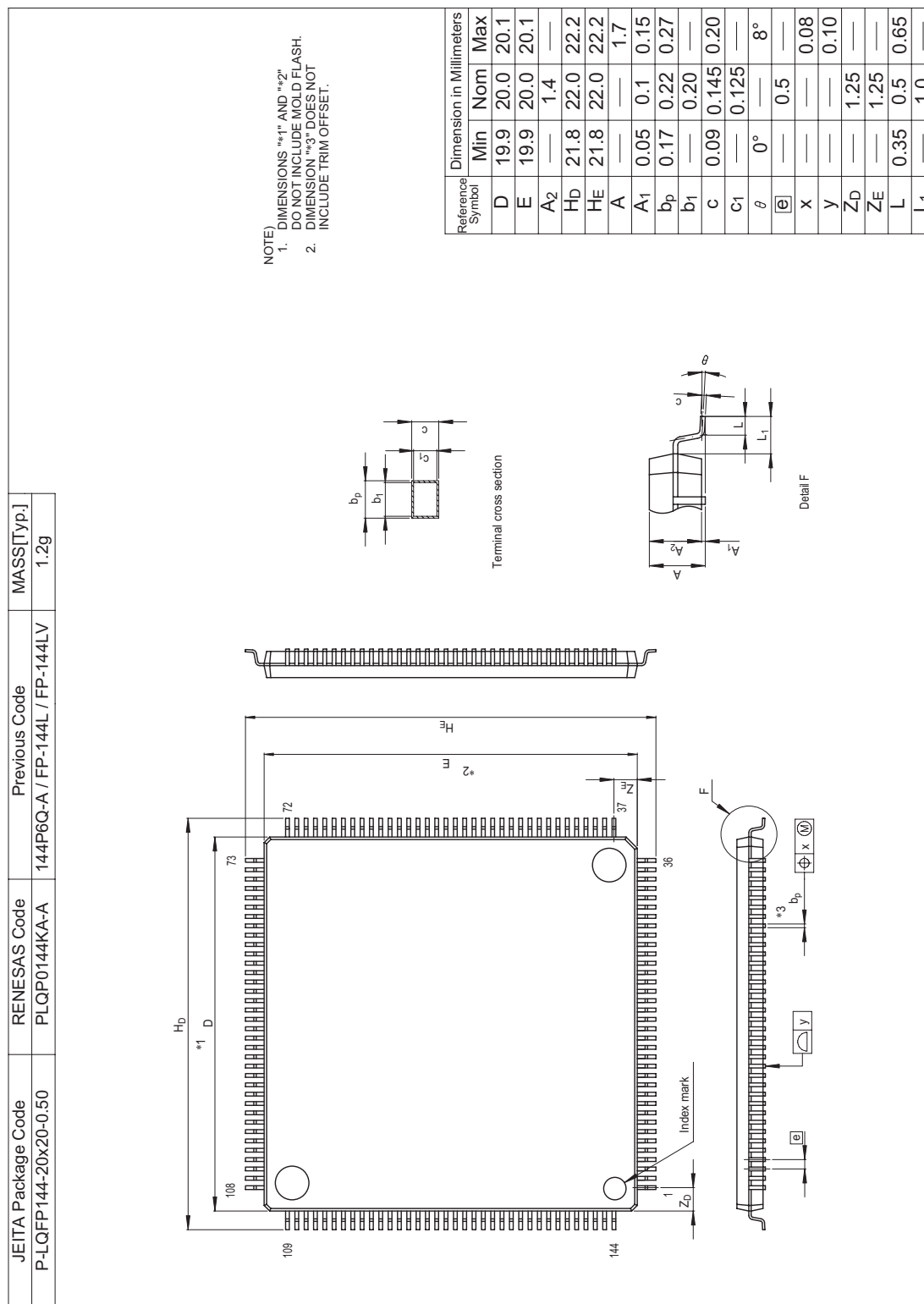


図 C.1 外形寸法図 (FP-144LV)

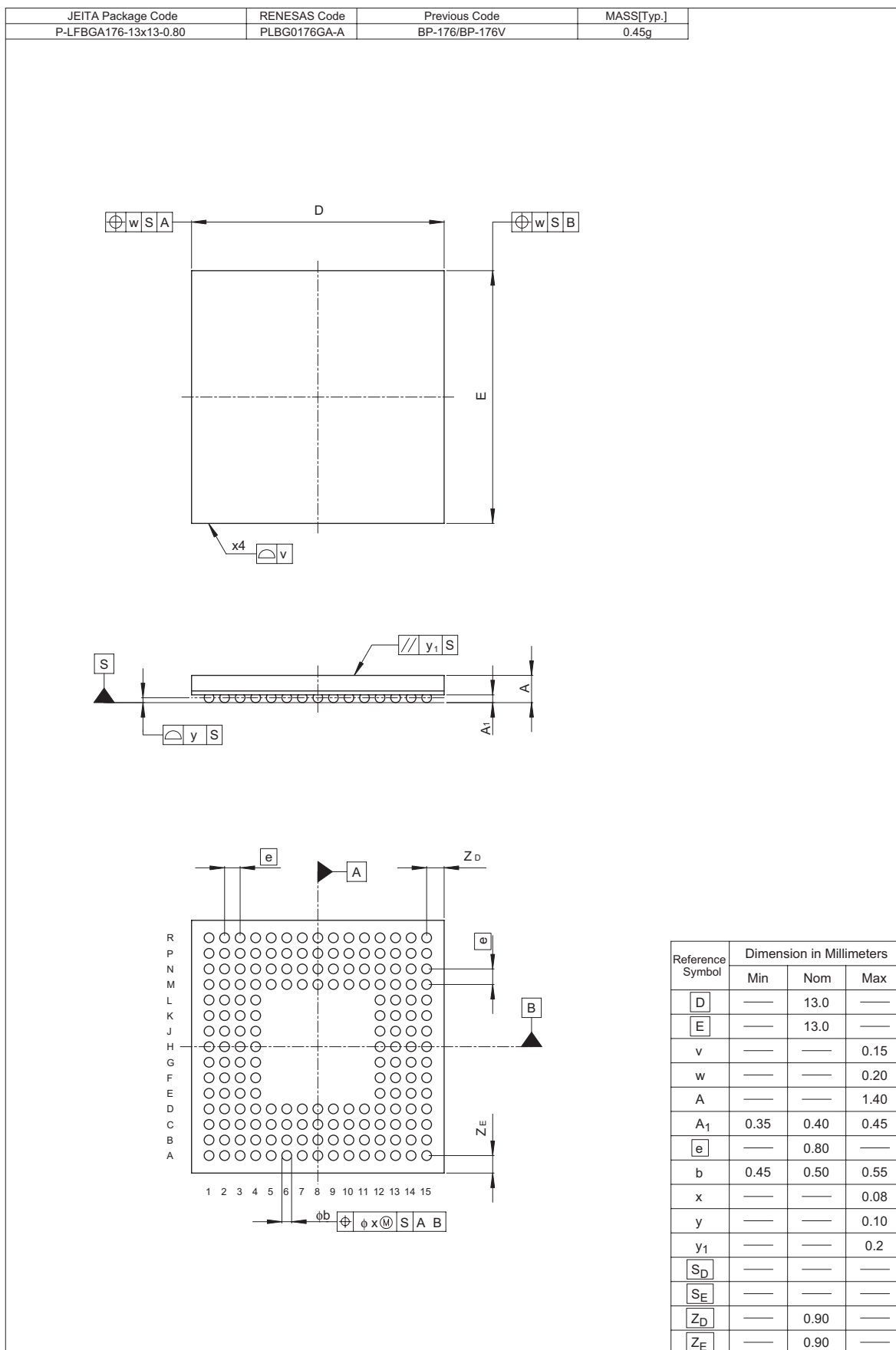


図 C.1 外形寸法図 (BP-176V)

D. 未使用端子の処理について

未使用端子の処理を表 D.1 に示します。

表 D.1 未使用端子の処理例

端子名	モード 4	モード 5	モード 6	モード 3、7
$\overline{\text{RES}}$	<ul style="list-style-type: none"> 抵抗を介して Vcc に接続 (プルアップ) *² 			
STBY	<ul style="list-style-type: none"> 抵抗を介して Vcc に接続 (プルアップ) 			
EMLE	<ul style="list-style-type: none"> 抵抗を介して Vss に接続 (プルダウン) 			
MD3* ¹	(モード端子として必ず使用)			
MD2~MD0	(モード端子として必ず使用)			
NMI	<ul style="list-style-type: none"> 抵抗を介して Vcc に接続 (プルアップ) 			
EXTAL	(クロック端子として必ず使用)			
XTAL	<ul style="list-style-type: none"> 端子を開放 			
$\overline{\text{WDTOVF}}$	<ul style="list-style-type: none"> 端子を開放 			
ポート 1 ポート 2 ポート 3 ポート 6 PA2~PA0 PB7~PB1 ポート C PF7~PF5 ポート J ポート K ポート N	<ul style="list-style-type: none"> 端子ごとに抵抗を介して Vcc に接続 (プルアップ) または抵抗を介して Vss に接続 (プルダウン) 			
ポート 4 ポート 5	<ul style="list-style-type: none"> 端子ごとに抵抗を介して AVcc に接続 (プルアップ) または抵抗を介して AVss に接続 (プルダウン) 			
PA7	<ul style="list-style-type: none"> 初期状態では Bϕ 出力のため端子を開放 	<ul style="list-style-type: none"> 端子ごとに抵抗を介して Vcc に接続 (プルアップ) または抵抗を介して Vss に接続 (プルダウン) 		
PA6	<ul style="list-style-type: none"> 初期状態では $\overline{\text{AS}}$ 出力のため端子を開放 			
PA5	<ul style="list-style-type: none"> 初期状態では $\overline{\text{RD}}$ 出力のため端子を開放 			
PA4	<ul style="list-style-type: none"> 初期状態では LHWR 出力のため端子を開放 			
PA3	<ul style="list-style-type: none"> 初期状態では LLWR 出力のため端子を開放 			
PB0	<ul style="list-style-type: none"> 初期状態では $\overline{\text{CS0}}$ 出力のため端子を開放 			
ポート D	<ul style="list-style-type: none"> 初期状態ではアドレス出力のため端子を開放 			
ポート E				
PF4~PF0				

付録

端子名	モード4	モード5	モード6	モード3、7
ポートH	(データバスとして使用)			<ul style="list-style-type: none"> 端子ごとに抵抗を介してVccに接続(プルアップ)または抵抗を介してVssに接続(プルダウン)
ポートI	(データバスとして使用)	初期状態では汎用入力のため、端子ごとに抵抗を介してVccに接続(プルアップ)または抵抗を介してVssに接続(プルダウン)		
Vref	<ul style="list-style-type: none"> AVccに接続 			

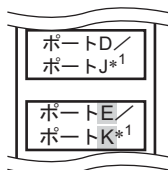
- 【注】
1. 未使用端子に対するPnICRレジスタは初期値(入力バッファ無効)から変更しないでください。
 2. 初期状態から変更する場合、必要に応じてプルアップまたはプルダウンしてください。
- *1 H8SX/1648Gグループ、H8SX/1648Hグループのみサポート
- *2 H8SX/1648グループ、H8SX/1648Aグループ、H8SX/1648Hグループの場合は、リセット端子として必ず使用してください。

本版で修正または追加された箇所

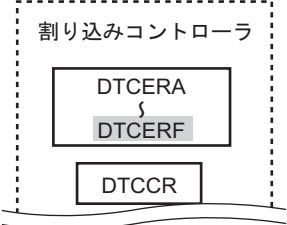
リビジョン Rev.1.0 から Rev.2.0 版改訂に伴う共通の修正箇所

項 目	ページ	修正箇所
全般	—	追加 H8SX/1648A、H8SX/1648L、H8SX/1648G、H8SX/1648H グループ名を追加

項 目	ページ	修正箇所
全般	-	<p>修正</p> <p>以下章追加による、第 5 章以下章番号、図表番号、参照先番号を修正</p> <p>(1) 第 5 章に、電圧検出回路 (LVD) を追加</p> <p>(2) 第 11 章に、EXDMA コントローラ (EXDMAC) を追加</p> <p>(3) 第 17 章に、32K タイマ (TM32K) を追加</p> <p>第 2 版の章立て</p> <ol style="list-style-type: none"> 1. 概要 2. CPU 3. MCU 動作モード 4. リセット 5. 電圧検出回路 (LVD) 6. 例外処理 7. 割り込みコントローラ 8. ユーザブレイクコントローラ (UBC) 9. バスコントローラ (BSC) 10. DMA コントローラ (DMAC) 11. EXDMA コントローラ (EXDMAC) 12. データトランスファコントローラ (DTC) 13. I/O ポート 14. 16 ビットタイマパルスユニット (TPU) 15. プログラマブルパルスジェネレータ (PPG) 16. 8 ビットタイマ (TMR) 17. 32K タイマ (TM32K) 18. ウォッチドッグタイマ (WDT) 19. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC) 20. I2C バスインタフェース 2 (IIC2) 21. A/D 変換器 22. D/A 変換器 23. RAM 24. フラッシュメモリ 25. バウンダリスキャン 26. クロック発振器 27. 低消費電力 28. レジスタ一覧 29. 電気的特性 <p>付録</p>

項 目	ページ	修正箇所
1. 概要 1.1.2 仕様概要 表 1.1 仕様概要	1-2 1-3 1-6	修正 CPU 積和演算命令をサポート (16×16+42→42 ビット) 割り込みコントローラ (INTC) • 内部割り込み要因数の変更 H8SX/1648 グループ 113 本 I/O ポート • 入出力 : H8SX/1648G、H8SX/1648H グループ : 102 本
1.2 製品一覧 図 1.1 製品型名の読み方	1-8	削除 「H8SX/1648 グループ」を削除
1.3 内部ブロック図 図 1.2 内部ブロック図	1-10	追加 メインクロック発振器を追加 修正 
3. MCU 動作モード 3.4.1 アドレスマップ 図 3.1 H8SX/1648、1648L、1648G、1648H の各動作モードのアドレスマップ (1)	3-8	修正 各モードの H'FEC000~H'FEE000 の「アクセス禁止領域」を「リザーブ領域*3」に修正
図 3.1 H8SX/1648、1648L、1648G、1648H の各動作モードのアドレスマップ (2)	3-9	修正および追加 H'FEC000~H'FEE000 の「アクセス禁止領域」を「リザーブ領域*1」に修正 【注 1】を追加
図 3.2 H8SX/1644、1644L、1644G、1644H の各動作モードのアドレスマップ (1)	3-10	修正 各モードの H'FEC000~H'F2000 の「アクセス禁止領域」を「リザーブ領域*3」に修正
図 3.2 H8SX/1648、1648L、1648G、1648H の各動作モードのアドレスマップ (2)	3-11	修正および追加 H'FEC000~H'F2000 の「アクセス禁止領域」を「リザーブ領域*1」に修正 【注 1】を追加
図 3.3 H8SX/1642、1642L、1642G、1642H の各動作モードのアドレスマップ (1)	3-12	修正 各モードの H'FEC000~H'F6000 の「アクセス禁止領域」を「リザーブ領域*3」に修正
図 3.3 H8SX/1642、1642L、1642G、1642H の各動作モードのアドレスマップ (2)	3-13	修正および追加 H'FEC000~H'F6000 の「アクセス禁止領域」を「リザーブ領域*1」に修正 【注 1】を追加

項目	ページ	修正箇所
4. リセット 4.3.1 リセットステータスレジスタ (RSTSR)	4-4	修正 ビット7の説明 「外部割り込み要因」を「割り込み要因」に修正
6. 例外処理 6.6.1 割り込み要因	6-10	追加 表 6.7 割り込み要因に、割込みの種類「IRQ0~IRQ15」を追加
7. 割り込みコントローラ 7.3.4 IRQ イネーブルレジスタ (IER)	7-8	修正 IER は、IRQ15~IRQ0 割り込み要求をイネーブルにします。
9. バスコントローラ (BSC) 9.11.12 高速ページアクセス動作 図 9.73 8 ビットアクセス空間時のワードリードタイミング (BE=1、RCDM=0、CAS レイテンシ2)	9-134	修正 クロックの破線がずれていたため正しい破線に修正
9.11.13 リフレッシュ制御 図 9.77 オートリフレッシュタイミング (TPC1=0、TPC0=1)	9-140	修正 クロックの破線がずれていたため正しい破線に修正
図 9.78 オートリフレッシュタイミング (TPC1=0、TPC0=0、RLW2=0、RLW1=0、RLW0=1)	9-141	修正 クロックの破線がずれていたため正しい破線に修正
9.14.1 内部アドレス空間へのアクセス 表 9.34 内蔵周辺モジュールレジスタ空間のアクセスサイクル数	9-176	修正 I/O ポートの PORTM* ¹ 、N のレジスタ、TMR2、TMR3、SCI5、SCI6、IIC2_3、IIC2_4、A/D_1、A/D_2、PPG1 のレジスタ
10. DMA コントローラ (DMAC) 10.1 特長	10-2	追加 • モジュールストップ状態への設定可能
10.3.5 DMA ブロックサイズレジスタ (DBSR)	10-7	修正 ビット表 ビット 31~16、15~0 の初期値を「不定」から「すべて 0」に修正
10.5.8 チャネルの優先順位 図 10.22 チャネルの優先順位のタイミング例	10-44	修正 クロックの破線がずれていたため正しい破線に修正
10.5.11 シングルアドレスモードのバスサイクル (3) \overline{DREQ} 立ち下がりエッジ起動タイミング 図 10.36 \overline{DREQ} 立ち下がりエッジ起動時のシングルアドレスモードの転送例	10-57	修正 Bφの波形がずれていたため正しい波形に修正

項目	ページ	修正箇所
12. データトランスファ コントローラ (DTC) 12.1 特長 図 12.1 DTC のブロック図	12-2	修正  <p style="text-align: center;">割り込みコントローラ</p> <p style="text-align: center;">DTCERA ┆ DTCERF</p> <p style="text-align: center;">DTCCR</p>
12.4 転送情報の配置と DTC ベク タテーブル 表 12.1 割り込み要因と DTC ベク タアドレスおよび対応する DTCE	12-12	修正 外部端子起動要因の DTC ベクタアドレスオフセットを修正 IRQ12 76 H'530 IRQ13 77 H'534 IRQ14 78 H'538
12.9.3 DMAC 転送終了割り込み	12-31	追加 DMAC の転送終了割り込みにより DTC を起動した場合、DISEL=0 の設定時でも DTC による当該起動要因フラグの自動クリアが実行されません。従って、DMAC の転送終了割り込みによる DTC 起動をされる場合は、DTC 転送にて DTE ビットへの 1 ライトを実行し起動要因フラグをクリアしてください。
12.9.9 DTCER 書き換え時の注意事項	12-32	追加
13. I/O ポート 13.2 出力バッファ制御 13.2.6 ポート A (7) PA1/BACK/(RD/WR-A)	13-32	修正 バスコントローラの端子機能「RD/WR 出力」を「RD/WR-A 出力」に修正 I/O ポートの設定「(RD/WR)_OE」を「(RD/WR)-A_OE」に修正
表 13.5 各ポートの出力信号有効設定一覧	13-53~ 13-60	差し替え 誤記訂正のため
13.3.5 ポートファンクションコントロールレジスタ 6 (PFCR6)	13-66、 13-67	修正 ビット表のビット 1 に、ビット名「ADTRG1S」を追記 レジスタ表にビット名「ADTRG1S」の各項目を追加 ビット 0 「ADTRG0S」の説明で以下修正 A/D 変換器 (ユニット 0) の外部トリガ入力端子を選択します。
13.3.6 ポートファンクションコントロールレジスタ 7 (PFCR7)	13-67	修正 ビット表ビット 7、6、5、4 の説明 「00 : 設定禁止」を「00 : 設定無効」に修正
13.3.10 ポートファンクションコントロールレジスタ B (PFCRB)	13-72	修正 ビット表のビット名を以下修正 「ITS13」

項目	ページ	修正箇所
14. 16ビットタイマパルスユニット (TPU) 14.1 特長 図 14.2 TPU (ユニット1) のブロック図	14-7	修正 
14.3.4 タイマインタラプトイネーブルレジスタ (TIER)	14-37	修正 ビット表のビット名を以下修正 ビット2「TGIEC」
18. ウォッチドッグタイマ (WDT) 18.3.3 リセットコントロール/ステータスレジスタ (RSTCSR)	18-5	削除 レジスタ表のビット7の説明から以下削除 (割り込みを使用しCPUによってクリアする場合、0ライト後に必ずフラグをリードしてください。)
19. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC) 19.3.7 シリアルステータスレジスタ (SSR)	19-18	修正 ビット表のビット名を以下修正 「FER」
19.3.12 IrDA コントロールレジスタ (IrCR)	19-38	修正 レジスタ表のビット7の説明を以下修正 1: TxD5/IrTxD、Rx5D5/IrRx5D 端子は、IrTxD、IrRx5D として動作
19.7.8 クロック出力制御 (a) スマートカードインタフェースモードからソフトウェアスタンバイモードに遷移するとき	19-73	削除 1.の説明から「(SCI_0、1、2、4)」を削除
20. I ² C バスインタフェース 2 (IIC2) 20.1 特長	20-1	追加 <ul style="list-style-type: none"> モジュールストップ状態への設定可能

項 目	ページ	修正箇所
20.3.5 I2C バスステータスレジスタ (ICSR)	20-12	追加 レジスタ表のビット3の説明に以下追加 [クリア条件] • 1の状態をリードした後、0をライトしたとき(割り込みを使用し、CPUによって)クリアする場合、0ライト後に必ずフラグをリードしてください。)
	20-13	削除 レジスタ表のビット1の説明から以下削除 (割り込みを使用しCPUによってクリアする場合、0ライト後に必ずフラグをリードしてください。)
		削除 レジスタ表のビット0の説明から以下削除 (割り込みを使用しCPUによってクリアする場合、0ライト後に必ずフラグをリードしてください。)
21. A/D 変換器 21.3.2 A/Dコントロール/ステータスレジスタ (ADCSR_0) ユニット0	21-8	追加 レジスタ表のビット5の説明に以下追加 【注】外部トリガ起動設定時、ADSTへのライトは行わないでください。詳細は、「21.7.3 A/D外部トリガ起動設定時の注意事項」をご参照ください。
21.3.3 A/Dコントロール/ステータスレジスタ (ADCSR_1) ユニット1	21-10	追加 レジスタ表のビット5の説明に以下追加 【注】外部トリガ起動設定時、ADSTへのライトは行わないでください。詳細は、「21.7.3 A/D外部トリガ起動設定時の注意事項」をご参照ください。
21.3.4 A/Dコントロール/ステータスレジスタ (ADCSR_2) ユニット2	21-12	追加 レジスタ表のビット5の説明に以下追加 【注】外部トリガ起動設定時、ADSTへのライトは行わないでください。詳細は、「21.7.3 A/D外部トリガ起動設定時の注意事項」をご参照ください。
21.3.5 A/Dコントロールレジスタ (ADCR_0) ユニット0	21-14	修正および追加 レジスタ表のビット7,6,0の説明に以下修正および追加 001: 外部トリガ無効 【注】外部トリガ起動設定時、ADSTへのライトは行わないでください。詳細は、「21.7.3 A/D外部トリガ起動設定時の注意事項」をご参照ください。

項 目	ページ	修正箇所
21.3.6 A/D コントロールレジスタ (ADCR_1) ユニット 1	21-15	修正および追加 レジスタ表のビット 7,6,0 の説明に以下修正および追加 001 : 外部トリガ無効 【注】外部トリガ起動設定時、ADST へのライトは行わないでください。詳細は、「21.7.3 A/D 外部トリガ起動設定時の注意事項」をご参照ください。
21.3.7 A/D コントロールレジスタ (ADCR_2) ユニット 2	21-17	修正および追加 レジスタ表のビット 7、6、0 の説明に以下修正および追加 001 : 外部トリガ無効 【注】外部トリガ起動設定時、ADST へのライトは行わないでください。詳細は、「21.7.3 A/D 外部トリガ起動設定時の注意事項」をご参照ください。
21.7.3 A/D 外部トリガ起動設定時の注意事項	21-29 21-30	追加 21.7 使用上の注意事項に、21.7.3 A/D 外部トリガ起動設定時の注意事項を追加
22. D/A 変換器 22.5.2 ソフトウェアスタンバイモード時の D/A 出力保持機能	22-5	修正 D/A 変換を許可した状態で本 LSI がソフトウェアスタンバイモードに遷移すると D/A 出力は保持され、...
22.5.3 ディープソフトウェアスタンバイモード時の注意事項		追加
24. フラッシュメモリ 24.7.1 書き込み/消去インタフェースレジスタ	24-13	追加 ビット表のビット 0 の R/W に以下注記追加 【注】 * ライトのみ可能です。リードすると常に 0 が読み出されます。
24.7.2 書き込み/消去インタフェースパラメータ (3) フラッシュプログラム/イレース周波数パラメータ (FPEFEQ)	24-24	修正 CPU の動作周波数を設定するパラメータです。本 LSI がサポートしている動作周波数範囲は 8~50MHz です。
(5) フラッシュマルチパースデータデスティネーションパラメータ (FMPDR)	24-26	修正 レジスタ表のビット名を以下修正 MOD31~MOD0

項 目	ページ	修正箇所
24.14 使用上の注意事項	24-81	修正 5. 書き込み／消去中はフラッシュメモリに高電圧が印加されているため、書き込み／消去中に Vcc 電源の切断（マイコンチップの PROM ライタからの取り外しを含む）は行わないでください。フラッシュメモリの永久破壊の可能性があります。リセット入力した場合は、100μs 以上のリセット入力期間の後にリセットリリースしてください。
		修正 7. Vcc 電源の印加時は RES 端子を Low レベルに固定し、フラッシュメモリをハードウェアプロテクト状態にしてください。この電源投入方法は停電等による電源の切断、再投入時にも満足するようにしてください。
27. 低消費電力	27-2	削除 表 27.1 動作状態の注意事項 4 から以下削除 ただし、動作を選択した場合でも、端子からの出力はできません。
27.2.4 ディープスタンバイコントロールレジスタ（DPSBYCR）	27-13	修正 DPSBYCR は、ディープソフトウェアスタンバイモードの制御を行います。DPSBYCR は、ディープソフトウェアスタンバイモードを解除する際の内部リセット信号では初期化されません。
		修正 レジスタ表のビット 7 の説明を以下修正 割り込みによりディープソフトウェアスタンバイモードを解除したときは、このビットは 1 にセットされたままです。
	27-14	修正 レジスタ表のビット 4 の説明を以下修正 RAMCUT2~0 は、ディープソフトウェアスタンバイモード中の内蔵 RAM に供給する内部電源を制御するビットです。
		修正 レジスタ表のビット 3 の説明を以下修正 RAMCUT2~0 は、ディープソフトウェアスタンバイモード中の内蔵 RAM に供給する内部電源を制御するビットです。
		修正 レジスタ表のビット 1 の説明を以下修正 RAMCUT2~0 は、ディープソフトウェアスタンバイモード中の内蔵 RAM に供給する内部電源を制御するビットです。

項 目	ページ	修正箇所
27.2.5 ディープスタンバイウェイトコントロールレジスタ (DPSWCR)	27-15	修正 割り込みによってディープソフトウェアスタンバイモードを解除する場合に、クロックが安定するまで MCU が待機する時間を選択します。DPSWCR は、ディープソフトウェアスタンバイモードを解除する際の内部リセット信号では初期化されません。
		修正 レジスタ表のビット 5~0 の説明を以下修正 割り込みによってディープソフトウェアスタンバイモードを解除する場合に、クロックが安定するまで MCU が待機する時間を選択します。
27.2.6 ディープスタンバイインタラプティネーブルレジスタ (DPSIER)	27-16、 27-17	修正 DPSIER は、ディープソフトウェアスタンバイモードの制御を行います。 DPSIER は、ディープソフトウェアスタンバイモードを解除する際の内部リセット信号では初期化されません。
		修正 レジスタ表のビット 3 の説明を以下修正 IRQ3-A によるディープソフトウェアスタンバイモード解除の許可、または禁止を設定します。 0: IRQ3-A によるディープソフトウェアスタンバイモードの解除を禁止 1: IRQ3-A によるディープソフトウェアスタンバイモードの解除を許可
		修正 レジスタ表のビット 2 の説明を以下修正 IRQ2-A によるディープソフトウェアスタンバイモード解除の許可、または禁止を設定します。 0: IRQ2-A によるディープソフトウェアスタンバイモードの解除を禁止 1: IRQ2-A によるディープソフトウェアスタンバイモードの解除を許可
		修正 レジスタ表のビット 1 の説明を以下修正 IRQ1-A によるディープソフトウェアスタンバイモード解除の許可、または禁止を設定します。 0: IRQ1-A によるディープソフトウェアスタンバイモードの解除を禁止 1: IRQ1-A によるディープソフトウェアスタンバイモードの解除を許可
27.2.6 ディープスタンバイインタラプティネーブルレジスタ (DPSIER)	27-16、 27-17	修正 レジスタ表のビット 0 の説明を以下修正 IRQ0-A によるディープソフトウェアスタンバイモード解除の許可、または禁止を設定します。 0: IRQ0-A によるディープソフトウェアスタンバイモードの解除を禁止 1: IRQ0-A によるディープソフトウェアスタンバイモードの解除を許可

項 目	ページ	修正箇所
27.2.7 ディープスタンバイイン タラプトフラグレジスタ (DPSIFR)	27-18	<p>修正</p> <p>DPSIFR は、ディープソフトウェアスタンバイモードの解除を要求するレジスタです。DPSIEGR で設定した割り込みが発生したときに1がセットされます。ディープソフトウェアスタンバイモードではない状態であっても割り込みが発生すればセットされるため、本レジスタを0にクリアした後ディープソフトウェアスタンバイモードへ遷移してください。</p> <p>DPSIFR は、ディープソフトウェアスタンバイモードを解除する際の内部リセット信号では初期化されません。</p> <hr/> <p>レジスタ表のビット3のR/W、説明を以下修正 R/(W)*¹ DPSIEGR で設定した IRQ3-A 入力が発生したとき</p> <p>レジスタ表のビット2のR/W、説明を以下修正 R/(W)*¹ DPSIEGR で設定した IRQ2-A 入力が発生したとき</p> <p>レジスタ表のビット1のR/W、説明を以下修正 R/(W)*¹ DPSIEGR で設定した IRQ1-A 入力が発生したとき</p> <p>レジスタ表のビット0のR/W、説明を以下修正 R/(W)*¹ DPSIEGR で設定した IRQ0-A 入力が発生したとき</p>
27.2.8 ディープスタンバイイン タラプトエッジレジスタ (DPSIEGR)	27-20	<p>修正</p> <p>DPSIEGR は、ディープソフトウェアスタンバイモードの解除に使用する割り込みのエッジ選択をおこないません。DPSIEGR は、ディープソフトウェアスタンバイモードを解除する際の内部リセット信号では初期化されません。</p> <hr/> <p>レジスタ表のビット3の説明を以下修正 IRQ3-A 端子の入力エッジ選択を行います</p> <p>レジスタ表のビット2の説明を以下修正 IRQ2-A 端子の入力エッジ選択を行います</p> <p>レジスタ表のビット1の説明を以下修正 IRQ1-A 端子の入力エッジ選択を行います</p> <p>レジスタ表のビット0の説明を以下修正 IRQ0-A 端子の入力エッジ選択を行います</p>

項 目	ページ	修正箇所
27.2.9 リセットステータスレジスタ (RSTSR)	27-21	<p>修正</p> <p>RSTSR の DPSRSTF ビットは、ディープソフトウェアスタンバイモードを割り込みで解除したことを示すレジスタです。</p> <p>RSTSR は、ディープソフトウェアスタンバイモードを解除する際の内部リセット信号では初期化されません。</p> <p>レジスタ表のビット7の説明を以下修正</p> <p>ディープソフトウェアスタンバイリセットフラグディープソフトウェアスタンバイモードが DPSIER、DPSIEGR で設定した割り込み要因で解除され、内部リセットが発生したことを示します。</p> <p>[セット条件] 割り込み要因によりディープソフトウェアスタンバイモードを解除したとき</p>
27.2.10 ディープスタンバイバックアップレジスタ (DPSBKRn)	27-22	<p>修正</p> <p>DPSBKRn (n=15~0) は、ディープソフトウェアスタンバイモード中、データを待避するための 16 バイトのリード/ライト可能なレジスタです。</p> <p>内蔵 RAM のデータが保持されないディープソフトウェアスタンバイモードにおいても、このレジスタは保持されます。</p> <p>DPSBKRn (n=15~0) は、ディープソフトウェアスタンバイモードを解除する際の内部リセット信号では初期化されません。</p>
27.3 マルチクロック機能	27-22	<p>追加</p> <p>27.3.1 メインクロックの切り替えの項を追加</p>
27.8.4 ディープソフトウェアスタンバイモード解除後の Bφ および SDRAMφ*動作	27-33	SDRAMφの説明追加により、差し替え
27.9.4 電源投入時のタイミング	27-42	<p>修正</p> <p>電源投入時のタイミングを図 27.9 に示します。</p> <p>電源投入時は、必ず STBY 端子を High レベルにした状態で規定の時間 RES 端子を Low レベルにし、リセット解除してください。</p>
27.10 スリープ命令例外処理	27-42	<p>修正</p> <p>SLEEP 命令実行の直前に解除要因となる割り込みが発生した場合は、その時点で例外処理を開始します。そして、例外サービスルーチンから復帰した後、SLEEP 命令を実行し、低消費電力状態へ遷移します。</p>
27.11 φクロック出力制御* 表 27.4 各処理状態における φ 端子 (PA7) の状態	27-46	追加

項 目	ページ	修正箇所																																																																																																																																												
28. レジスタ一覧 28.1 レジスタアドレス一覧 (アドレス順)	28-4、	追加																																																																																																																																												
	28-5	<table border="1"> <tbody> <tr> <td>ブレイクアドレスレジスタ AH</td> <td>BARAH</td> <td>16</td> <td>H'FFFA00</td> <td>UBC</td> <td>16</td> <td>21φ/21φ</td> </tr> <tr> <td>ブレイクアドレスレジスタ AL</td> <td>BARAL</td> <td>16</td> <td>H'FFFA02</td> <td>UBC</td> <td>16</td> <td>21φ/21φ</td> </tr> <tr> <td>ブレイクアドレスマスクレジスタ AH</td> <td>BAMRAH</td> <td>16</td> <td>H'FFFA04</td> <td>UBC</td> <td>16</td> <td>21φ/21φ</td> </tr> <tr> <td>ブレイクアドレスマスクレジスタ AL</td> <td>BAMRAL</td> <td>16</td> <td>H'FFFA06</td> <td>UBC</td> <td>16</td> <td>21φ/21φ</td> </tr> <tr> <td>ブレイクアドレスレジスタ BH</td> <td>BARBH</td> <td>16</td> <td>H'FFFA08</td> <td>UBC</td> <td>16</td> <td>21φ/21φ</td> </tr> <tr> <td>ブレイクアドレスレジスタ BL</td> <td>BARBL</td> <td>16</td> <td>H'FFFA0A</td> <td>UBC</td> <td>16</td> <td>21φ/21φ</td> </tr> <tr> <td>ブレイクアドレスマスクレジスタ BH</td> <td>BAMRBH</td> <td>16</td> <td>H'FFFA0C</td> <td>UBC</td> <td>16</td> <td>21φ/21φ</td> </tr> <tr> <td>ブレイクアドレスマスクレジスタ BL</td> <td>BAMRBL</td> <td>16</td> <td>H'FFFA0E</td> <td>UBC</td> <td>16</td> <td>21φ/21φ</td> </tr> <tr> <td>ブレイクアドレスレジスタ CH</td> <td>BARCH</td> <td>16</td> <td>H'FFFA10</td> <td>UBC</td> <td>16</td> <td>21φ/21φ</td> </tr> <tr> <td>ブレイクアドレスレジスタ CL</td> <td>BARCL</td> <td>16</td> <td>H'FFFA12</td> <td>UBC</td> <td>16</td> <td>21φ/21φ</td> </tr> <tr> <td>ブレイクアドレスマスクレジスタ CH</td> <td>BAMRCH</td> <td>16</td> <td>H'FFFA14</td> <td>UBC</td> <td>16</td> <td>21φ/21φ</td> </tr> <tr> <td>ブレイクアドレスマスクレジスタ CL</td> <td>BAMRCL</td> <td>16</td> <td>H'FFFA16</td> <td>UBC</td> <td>16</td> <td>21φ/21φ</td> </tr> <tr> <td>ブレイクアドレスレジスタ DH</td> <td>BARDH</td> <td>16</td> <td>H'FFFA18</td> <td>UBC</td> <td>16</td> <td>21φ/21φ</td> </tr> <tr> <td>ブレイクアドレスレジスタ DL</td> <td>BARDL</td> <td>16</td> <td>H'FFFA1A</td> <td>UBC</td> <td>16</td> <td>21φ/21φ</td> </tr> <tr> <td>ブレイクアドレスマスクレジスタ DH</td> <td>BAMRDH</td> <td>16</td> <td>H'FFFA1C</td> <td>UBC</td> <td>16</td> <td>21φ/21φ</td> </tr> <tr> <td>ブレイクアドレスマスクレジスタ DL</td> <td>BAMRDL</td> <td>16</td> <td>H'FFFA1E</td> <td>UBC</td> <td>16</td> <td>21φ/21φ</td> </tr> <tr> <td>ブレイクコントロールレジスタ A</td> <td>BRCRA</td> <td>16</td> <td>H'FFFA28</td> <td>UBC</td> <td>16</td> <td>21φ/21φ</td> </tr> <tr> <td>ブレイクコントロールレジスタ B</td> <td>BRCRB</td> <td>16</td> <td>H'FFFA2C</td> <td>UBC</td> <td>16</td> <td>21φ/21φ</td> </tr> <tr> <td>ブレイクコントロールレジスタ C</td> <td>BRCRC</td> <td>16</td> <td>H'FFFA30</td> <td>UBC</td> <td>16</td> <td>21φ/21φ</td> </tr> <tr> <td>ブレイクコントロールレジスタ D</td> <td>BRCRD</td> <td>16</td> <td>H'FFFA34</td> <td>UBC</td> <td>16</td> <td>21φ/21φ</td> </tr> </tbody> </table>	ブレイクアドレスレジスタ AH	BARAH	16	H'FFFA00	UBC	16	21φ/21φ	ブレイクアドレスレジスタ AL	BARAL	16	H'FFFA02	UBC	16	21φ/21φ	ブレイクアドレスマスクレジスタ AH	BAMRAH	16	H'FFFA04	UBC	16	21φ/21φ	ブレイクアドレスマスクレジスタ AL	BAMRAL	16	H'FFFA06	UBC	16	21φ/21φ	ブレイクアドレスレジスタ BH	BARBH	16	H'FFFA08	UBC	16	21φ/21φ	ブレイクアドレスレジスタ BL	BARBL	16	H'FFFA0A	UBC	16	21φ/21φ	ブレイクアドレスマスクレジスタ BH	BAMRBH	16	H'FFFA0C	UBC	16	21φ/21φ	ブレイクアドレスマスクレジスタ BL	BAMRBL	16	H'FFFA0E	UBC	16	21φ/21φ	ブレイクアドレスレジスタ CH	BARCH	16	H'FFFA10	UBC	16	21φ/21φ	ブレイクアドレスレジスタ CL	BARCL	16	H'FFFA12	UBC	16	21φ/21φ	ブレイクアドレスマスクレジスタ CH	BAMRCH	16	H'FFFA14	UBC	16	21φ/21φ	ブレイクアドレスマスクレジスタ CL	BAMRCL	16	H'FFFA16	UBC	16	21φ/21φ	ブレイクアドレスレジスタ DH	BARDH	16	H'FFFA18	UBC	16	21φ/21φ	ブレイクアドレスレジスタ DL	BARDL	16	H'FFFA1A	UBC	16	21φ/21φ	ブレイクアドレスマスクレジスタ DH	BAMRDH	16	H'FFFA1C	UBC	16	21φ/21φ	ブレイクアドレスマスクレジスタ DL	BAMRDL	16	H'FFFA1E	UBC	16	21φ/21φ	ブレイクコントロールレジスタ A	BRCRA	16	H'FFFA28	UBC	16	21φ/21φ	ブレイクコントロールレジスタ B	BRCRB	16	H'FFFA2C	UBC	16	21φ/21φ	ブレイクコントロールレジスタ C	BRCRC	16	H'FFFA30	UBC	16	21φ/21φ	ブレイクコントロールレジスタ D	BRCRD	16	H'FFFA34	UBC	16	21φ/21φ
	ブレイクアドレスレジスタ AH	BARAH	16	H'FFFA00	UBC	16	21φ/21φ																																																																																																																																							
	ブレイクアドレスレジスタ AL	BARAL	16	H'FFFA02	UBC	16	21φ/21φ																																																																																																																																							
	ブレイクアドレスマスクレジスタ AH	BAMRAH	16	H'FFFA04	UBC	16	21φ/21φ																																																																																																																																							
	ブレイクアドレスマスクレジスタ AL	BAMRAL	16	H'FFFA06	UBC	16	21φ/21φ																																																																																																																																							
	ブレイクアドレスレジスタ BH	BARBH	16	H'FFFA08	UBC	16	21φ/21φ																																																																																																																																							
	ブレイクアドレスレジスタ BL	BARBL	16	H'FFFA0A	UBC	16	21φ/21φ																																																																																																																																							
	ブレイクアドレスマスクレジスタ BH	BAMRBH	16	H'FFFA0C	UBC	16	21φ/21φ																																																																																																																																							
	ブレイクアドレスマスクレジスタ BL	BAMRBL	16	H'FFFA0E	UBC	16	21φ/21φ																																																																																																																																							
	ブレイクアドレスレジスタ CH	BARCH	16	H'FFFA10	UBC	16	21φ/21φ																																																																																																																																							
	ブレイクアドレスレジスタ CL	BARCL	16	H'FFFA12	UBC	16	21φ/21φ																																																																																																																																							
	ブレイクアドレスマスクレジスタ CH	BAMRCH	16	H'FFFA14	UBC	16	21φ/21φ																																																																																																																																							
	ブレイクアドレスマスクレジスタ CL	BAMRCL	16	H'FFFA16	UBC	16	21φ/21φ																																																																																																																																							
	ブレイクアドレスレジスタ DH	BARDH	16	H'FFFA18	UBC	16	21φ/21φ																																																																																																																																							
	ブレイクアドレスレジスタ DL	BARDL	16	H'FFFA1A	UBC	16	21φ/21φ																																																																																																																																							
	ブレイクアドレスマスクレジスタ DH	BAMRDH	16	H'FFFA1C	UBC	16	21φ/21φ																																																																																																																																							
	ブレイクアドレスマスクレジスタ DL	BAMRDL	16	H'FFFA1E	UBC	16	21φ/21φ																																																																																																																																							
	ブレイクコントロールレジスタ A	BRCRA	16	H'FFFA28	UBC	16	21φ/21φ																																																																																																																																							
	ブレイクコントロールレジスタ B	BRCRB	16	H'FFFA2C	UBC	16	21φ/21φ																																																																																																																																							
	ブレイクコントロールレジスタ C	BRCRC	16	H'FFFA30	UBC	16	21φ/21φ																																																																																																																																							
ブレイクコントロールレジスタ D	BRCRD	16	H'FFFA34	UBC	16	21φ/21φ																																																																																																																																								

項 目	ページ	修正箇所
28. レジスタ一覧 28.1 レジスタアドレス一覧 (アドレス順)	28-9	追加 <hr/> ディープスタンバイバックアップ DPSBKR0 8 H'FFBF0 SYSTEM 8 21φ/31φ レジスタ 0 <hr/> ディープスタンバイバックアップ DPSBKR1 8 H'FFBF1 SYSTEM 8 21φ/31φ レジスタ 1 <hr/> ディープスタンバイバックアップ DPSBKR2 8 H'FFBF2 SYSTEM 8 21φ/31φ レジスタ 2 <hr/> ディープスタンバイバックアップ DPSBKR3 8 H'FFBF3 SYSTEM 8 21φ/31φ レジスタ 3 <hr/> ディープスタンバイバックアップ DPSBKR4 8 H'FFBF4 SYSTEM 8 21φ/31φ レジスタ 4 <hr/> ディープスタンバイバックアップ DPSBKR5 8 H'FFBF5 SYSTEM 8 21φ/31φ レジスタ 5 <hr/> ディープスタンバイバックアップ DPSBKR6 8 H'FFBF6 SYSTEM 8 21φ/31φ レジスタ 6 <hr/> ディープスタンバイバックアップ DPSBKR7 8 H'FFBF7 SYSTEM 8 21φ/31φ レジスタ 7 <hr/> ディープスタンバイバックアップ DPSBKR8 8 H'FFBF8 SYSTEM 8 21φ/31φ レジスタ 8 <hr/> ディープスタンバイバックアップ DPSBKR9 8 H'FFBF9 SYSTEM 8 21φ/31φ レジスタ 9 <hr/> ディープスタンバイバックアップ DPSBKR10 8 H'FFBFA SYSTEM 8 21φ/31φ レジスタ 10 <hr/> ディープスタンバイバックアップ DPSBKR11 8 H'FFBFB SYSTEM 8 21φ/31φ レジスタ 11 <hr/> ディープスタンバイバックアップ DPSBKR12 8 H'FFBFC SYSTEM 8 21φ/31φ レジスタ 12 <hr/> ディープスタンバイバックアップ DPSBKR13 8 H'FFBFD SYSTEM 8 21φ/31φ レジスタ 13 <hr/> ディープスタンバイバックアップ DPSBKR14 8 H'FFBFE SYSTEM 8 21φ/31φ レジスタ 14 <hr/> ディープスタンバイバックアップ DPSBKR15 8 H'FFBFF SYSTEM 8 21φ/31φ レジスタ 15 <hr/>

項 目	ページ	修正箇所																																																																																																																																																																																																																																																																																																																																																																																																																
28.2 レジスタビット一覧	28-23、 28-24	追加 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="border-bottom: 1px dashed black;">BARAH</th> <th style="border-bottom: 1px dashed black;">BARA 31</th> <th style="border-bottom: 1px dashed black;">BARA 30</th> <th style="border-bottom: 1px dashed black;">BARA 29</th> <th style="border-bottom: 1px dashed black;">BARA 28</th> <th style="border-bottom: 1px dashed black;">BARA 27</th> <th style="border-bottom: 1px dashed black;">BARA 26</th> <th style="border-bottom: 1px dashed black;">BARA 25</th> <th style="border-bottom: 1px dashed black;">BARA 24</th> <th style="border-bottom: 1px dashed black;">UBC</th> </tr> </thead> <tbody> <tr> <td></td> <td>BARA 23</td> <td>BARA 22</td> <td>BARA 21</td> <td>BARA 20</td> <td>BARA 19</td> <td>BARA 18</td> <td>BARA 17</td> <td>BARA 16</td> <td></td> </tr> <tr> <td>BARAL</td> <td>BARA 15</td> <td>BARA 14</td> <td>BARA 13</td> <td>BARA 12</td> <td>BARA 11</td> <td>BARA 10</td> <td>BARA9</td> <td>BARA8</td> <td></td> </tr> <tr> <td></td> <td>BARA7</td> <td>BARA6</td> <td>BARA5</td> <td>BARA4</td> <td>BARA3</td> <td>BARA2</td> <td>BARA1</td> <td>BARA0</td> <td></td> </tr> <tr> <td>BAMRAH</td> <td>BAMRA 31</td> <td>BAMRA 30</td> <td>BAMRA 29</td> <td>BAMRA 28</td> <td>BAMRA 27</td> <td>BAMRA 26</td> <td>BAMRA 25</td> <td>BAMRA 24</td> <td></td> </tr> <tr> <td></td> <td>BAMRA 23</td> <td>BAMRA 22</td> <td>BAMRA 21</td> <td>BAMRA 20</td> <td>BAMRA 19</td> <td>BAMRA 18</td> <td>BAMRA 17</td> <td>BAMRA 16</td> <td></td> </tr> <tr> <td>BAMRAL</td> <td>BAMRA 15</td> <td>BAMRA 14</td> <td>BAMRA 13</td> <td>BAMRA 12</td> <td>BAMRA 11</td> <td>BAMRA 10</td> <td>BAMRA 9</td> <td>BAMRA 8</td> <td></td> </tr> <tr> <td></td> <td>BAMRA 7</td> <td>BAMRA 6</td> <td>BAMRA 5</td> <td>BAMRA 4</td> <td>BAMRA 3</td> <td>BAMRA 2</td> <td>BAMRA 1</td> <td>BAMRA 0</td> <td></td> </tr> <tr> <td>BARBH</td> <td>BARB31</td> <td>BARB30</td> <td>BARB29</td> <td>BARB28</td> <td>BARB27</td> <td>BARB26</td> <td>BARB25</td> <td>BARB24</td> <td></td> </tr> <tr> <td></td> <td>BARB23</td> <td>BARB22</td> <td>BARB21</td> <td>BARB20</td> <td>BARB19</td> <td>BARB18</td> <td>BARB17</td> <td>BARB16</td> <td></td> </tr> <tr> <td>BARBL</td> <td>BARB15</td> <td>BARB14</td> <td>BARB13</td> <td>BARB12</td> <td>BARB11</td> <td>BARB10</td> <td>BARB9</td> <td>BARB8</td> <td></td> </tr> <tr> <td></td> <td>BARB7</td> <td>BARB6</td> <td>BARB5</td> <td>BARB4</td> <td>BARB3</td> <td>BARB2</td> <td>BARB1</td> <td>BARB0</td> <td></td> </tr> <tr> <td>BAMRBH</td> <td>BAMRB 31</td> <td>BAMRB 30</td> <td>BAMRB 29</td> <td>BAMRB 28</td> <td>BAMRB 27</td> <td>BAMRB 26</td> <td>BAMRB 25</td> <td>BAMRB 24</td> <td></td> </tr> <tr> <td></td> <td>BAMRB 23</td> <td>BAMRB 22</td> <td>BAMRB 21</td> <td>BAMRB 20</td> <td>BAMRB 19</td> <td>BAMRB 18</td> <td>BAMRB 17</td> <td>BAMRB 16</td> <td></td> </tr> <tr> <td>BAMRBL</td> <td>BAMRB 15</td> <td>BAMRB 14</td> <td>BAMRB 13</td> <td>BAMRB 12</td> <td>BAMRB 11</td> <td>BAMRB 10</td> <td>BAMRB 9</td> <td>BAMRB 8</td> <td></td> </tr> <tr> <td></td> <td>BAMRB 7</td> <td>BAMRB 6</td> <td>BAMRB 5</td> <td>BAMRB 4</td> <td>BAMRB 3</td> <td>BAMRB 2</td> <td>BAMRB 1</td> <td>BAMRB 0</td> <td></td> </tr> <tr> <td>BARCH</td> <td>BARC 31</td> <td>BARC 30</td> <td>BARC 29</td> <td>BARC 28</td> <td>BARC 27</td> <td>BARC 26</td> <td>BARC 25</td> <td>BARC 24</td> <td></td> </tr> <tr> <td></td> <td>BARC 23</td> <td>BARC 22</td> <td>BARC 21</td> <td>BARC 20</td> <td>BARC 19</td> <td>BARC 18</td> <td>BARC 17</td> <td>BARC 16</td> <td></td> </tr> <tr> <td>BARCL</td> <td>BARC 15</td> <td>BARC 14</td> <td>BARC 13</td> <td>BARC 12</td> <td>BARC 11</td> <td>BARC 10</td> <td>BARC9</td> <td>BARC8</td> <td></td> </tr> <tr> <td></td> <td>BARC7</td> <td>BARC6</td> <td>BARC5</td> <td>BARC4</td> <td>BARC3</td> <td>BARC2</td> <td>BARC1</td> <td>BARC0</td> <td></td> </tr> <tr> <td>BAMRCH</td> <td>BAMRC 31</td> <td>BAMRC 30</td> <td>BAMRC 29</td> <td>BAMRC 28</td> <td>BAMRC 27</td> <td>BAMRC 26</td> <td>BAMRC 25</td> <td>BAMRC 24</td> <td></td> </tr> <tr> <td></td> <td>BAMRC 23</td> <td>BAMRC 22</td> <td>BAMRC 21</td> <td>BAMRC 20</td> <td>BAMRC 19</td> <td>BAMRC 18</td> <td>BAMRC 17</td> <td>BAMRC 16</td> <td></td> </tr> <tr> <td>BAMRCL</td> <td>BAMRC 15</td> <td>BAMRC 14</td> <td>BAMRC 13</td> <td>BAMRC 12</td> <td>BAMRC 11</td> <td>BAMRC 10</td> <td>BAMRC 9</td> <td>BAMRC 8</td> <td></td> </tr> <tr> <td></td> <td>BAMRC 7</td> <td>BAMRC 6</td> <td>BAMRC 5</td> <td>BAMRC 4</td> <td>BAMRC 3</td> <td>BAMRC 2</td> <td>BAMRC 1</td> <td>BAMRC 0</td> <td></td> </tr> <tr> <td>BARDH</td> <td>BARD 31</td> <td>BARD 30</td> <td>BARD 29</td> <td>BARD 28</td> <td>BARD 27</td> <td>BARD 26</td> <td>BARD 25</td> <td>BARD 24</td> <td></td> </tr> <tr> <td></td> <td>BARD 23</td> <td>BARD 22</td> <td>BARD 21</td> <td>BARD 20</td> <td>BARD 19</td> <td>BARD 18</td> <td>BARD 17</td> <td>BARD 16</td> <td></td> </tr> <tr> <td>BARDL</td> <td>BARD 15</td> <td>BARD 14</td> <td>BARD 13</td> <td>BARD 12</td> <td>BARD 11</td> <td>BARD 10</td> <td>BARD9</td> <td>BARD8</td> <td></td> </tr> <tr> <td></td> <td>BARD7</td> <td>BARD6</td> <td>BARD5</td> <td>BARD4</td> <td>BARD3</td> <td>BARD2</td> <td>BARD1</td> <td>BARD0</td> <td></td> </tr> <tr> <td>BAMRDH</td> <td>BAMRD 31</td> <td>BAMRD 30</td> <td>BAMRD 29</td> <td>BAMRD 28</td> <td>BAMRD 27</td> <td>BAMRD 26</td> <td>BAMRD 25</td> <td>BAMRD 24</td> <td></td> </tr> <tr> <td></td> <td>BAMRD 23</td> <td>BAMRD 22</td> <td>BAMRD 21</td> <td>BAMRD 20</td> <td>BAMRD 19</td> <td>BAMRD 18</td> <td>BAMRD 17</td> <td>BAMRD 16</td> <td></td> </tr> <tr> <td>BAMRD</td> <td>BAMRD 15</td> <td>BAMRD 14</td> <td>BAMRD 13</td> <td>BAMRD 12</td> <td>BAMRD 11</td> <td>BAMRD 10</td> <td>BAMRD 9</td> <td>BAMRD 8</td> <td></td> </tr> <tr> <td></td> <td>BAMRD 7</td> <td>BAMRD 6</td> <td>BAMRD 5</td> <td>BAMRD 4</td> <td>BAMRD 3</td> <td>BAMRD 2</td> <td>BAMRD 1</td> <td>BAMRD 0</td> <td></td> </tr> <tr> <td>BRCRA</td> <td>—</td> <td>—</td> <td>CMFCP A</td> <td>—</td> <td>CPA2</td> <td>CPA1</td> <td>CPA0</td> <td>—</td> <td></td> </tr> <tr> <td></td> <td>—</td> <td>—</td> <td>IDA1</td> <td>IDA0</td> <td>RWA1</td> <td>RWA0</td> <td>—</td> <td>—</td> <td></td> </tr> <tr> <td>BRCRB</td> <td>—</td> <td>—</td> <td>CMFCP B</td> <td>—</td> <td>CPB2</td> <td>CPB1</td> <td>CPB0</td> <td>—</td> <td></td> </tr> <tr> <td></td> <td>—</td> <td>—</td> <td>IDB1</td> <td>IDB0</td> <td>RWB1</td> <td>RWB0</td> <td>—</td> <td>—</td> <td></td> </tr> <tr> <td>BRCRC</td> <td>—</td> <td>—</td> <td>CMFCP C</td> <td>—</td> <td>CPC2</td> <td>CPC1</td> <td>CPC0</td> <td>—</td> <td></td> </tr> <tr> <td></td> <td>—</td> <td>—</td> <td>IDC1</td> <td>IDC0</td> <td>RWC1</td> <td>RWC0</td> <td>—</td> <td>—</td> <td></td> </tr> <tr> <td>BRCRD</td> <td>—</td> <td>—</td> <td>DMFCP D</td> <td>—</td> <td>CPD2</td> <td>CPD1</td> <td>CPD0</td> <td>—</td> <td></td> </tr> <tr> <td></td> <td>—</td> <td>—</td> <td>IDD1</td> <td>IDD0</td> <td>RWD1</td> <td>RWD0</td> <td>—</td> <td>—</td> <td></td> </tr> </tbody> </table>	BARAH	BARA 31	BARA 30	BARA 29	BARA 28	BARA 27	BARA 26	BARA 25	BARA 24	UBC		BARA 23	BARA 22	BARA 21	BARA 20	BARA 19	BARA 18	BARA 17	BARA 16		BARAL	BARA 15	BARA 14	BARA 13	BARA 12	BARA 11	BARA 10	BARA9	BARA8			BARA7	BARA6	BARA5	BARA4	BARA3	BARA2	BARA1	BARA0		BAMRAH	BAMRA 31	BAMRA 30	BAMRA 29	BAMRA 28	BAMRA 27	BAMRA 26	BAMRA 25	BAMRA 24			BAMRA 23	BAMRA 22	BAMRA 21	BAMRA 20	BAMRA 19	BAMRA 18	BAMRA 17	BAMRA 16		BAMRAL	BAMRA 15	BAMRA 14	BAMRA 13	BAMRA 12	BAMRA 11	BAMRA 10	BAMRA 9	BAMRA 8			BAMRA 7	BAMRA 6	BAMRA 5	BAMRA 4	BAMRA 3	BAMRA 2	BAMRA 1	BAMRA 0		BARBH	BARB31	BARB30	BARB29	BARB28	BARB27	BARB26	BARB25	BARB24			BARB23	BARB22	BARB21	BARB20	BARB19	BARB18	BARB17	BARB16		BARBL	BARB15	BARB14	BARB13	BARB12	BARB11	BARB10	BARB9	BARB8			BARB7	BARB6	BARB5	BARB4	BARB3	BARB2	BARB1	BARB0		BAMRBH	BAMRB 31	BAMRB 30	BAMRB 29	BAMRB 28	BAMRB 27	BAMRB 26	BAMRB 25	BAMRB 24			BAMRB 23	BAMRB 22	BAMRB 21	BAMRB 20	BAMRB 19	BAMRB 18	BAMRB 17	BAMRB 16		BAMRBL	BAMRB 15	BAMRB 14	BAMRB 13	BAMRB 12	BAMRB 11	BAMRB 10	BAMRB 9	BAMRB 8			BAMRB 7	BAMRB 6	BAMRB 5	BAMRB 4	BAMRB 3	BAMRB 2	BAMRB 1	BAMRB 0		BARCH	BARC 31	BARC 30	BARC 29	BARC 28	BARC 27	BARC 26	BARC 25	BARC 24			BARC 23	BARC 22	BARC 21	BARC 20	BARC 19	BARC 18	BARC 17	BARC 16		BARCL	BARC 15	BARC 14	BARC 13	BARC 12	BARC 11	BARC 10	BARC9	BARC8			BARC7	BARC6	BARC5	BARC4	BARC3	BARC2	BARC1	BARC0		BAMRCH	BAMRC 31	BAMRC 30	BAMRC 29	BAMRC 28	BAMRC 27	BAMRC 26	BAMRC 25	BAMRC 24			BAMRC 23	BAMRC 22	BAMRC 21	BAMRC 20	BAMRC 19	BAMRC 18	BAMRC 17	BAMRC 16		BAMRCL	BAMRC 15	BAMRC 14	BAMRC 13	BAMRC 12	BAMRC 11	BAMRC 10	BAMRC 9	BAMRC 8			BAMRC 7	BAMRC 6	BAMRC 5	BAMRC 4	BAMRC 3	BAMRC 2	BAMRC 1	BAMRC 0		BARDH	BARD 31	BARD 30	BARD 29	BARD 28	BARD 27	BARD 26	BARD 25	BARD 24			BARD 23	BARD 22	BARD 21	BARD 20	BARD 19	BARD 18	BARD 17	BARD 16		BARDL	BARD 15	BARD 14	BARD 13	BARD 12	BARD 11	BARD 10	BARD9	BARD8			BARD7	BARD6	BARD5	BARD4	BARD3	BARD2	BARD1	BARD0		BAMRDH	BAMRD 31	BAMRD 30	BAMRD 29	BAMRD 28	BAMRD 27	BAMRD 26	BAMRD 25	BAMRD 24			BAMRD 23	BAMRD 22	BAMRD 21	BAMRD 20	BAMRD 19	BAMRD 18	BAMRD 17	BAMRD 16		BAMRD	BAMRD 15	BAMRD 14	BAMRD 13	BAMRD 12	BAMRD 11	BAMRD 10	BAMRD 9	BAMRD 8			BAMRD 7	BAMRD 6	BAMRD 5	BAMRD 4	BAMRD 3	BAMRD 2	BAMRD 1	BAMRD 0		BRCRA	—	—	CMFCP A	—	CPA2	CPA1	CPA0	—			—	—	IDA1	IDA0	RWA1	RWA0	—	—		BRCRB	—	—	CMFCP B	—	CPB2	CPB1	CPB0	—			—	—	IDB1	IDB0	RWB1	RWB0	—	—		BRCRC	—	—	CMFCP C	—	CPC2	CPC1	CPC0	—			—	—	IDC1	IDC0	RWC1	RWC0	—	—		BRCRD	—	—	DMFCP D	—	CPD2	CPD1	CPD0	—			—	—	IDD1	IDD0	RWD1	RWD0	—	—	
BARAH	BARA 31	BARA 30	BARA 29	BARA 28	BARA 27	BARA 26	BARA 25	BARA 24	UBC																																																																																																																																																																																																																																																																																																																																																																																																									
	BARA 23	BARA 22	BARA 21	BARA 20	BARA 19	BARA 18	BARA 17	BARA 16																																																																																																																																																																																																																																																																																																																																																																																																										
BARAL	BARA 15	BARA 14	BARA 13	BARA 12	BARA 11	BARA 10	BARA9	BARA8																																																																																																																																																																																																																																																																																																																																																																																																										
	BARA7	BARA6	BARA5	BARA4	BARA3	BARA2	BARA1	BARA0																																																																																																																																																																																																																																																																																																																																																																																																										
BAMRAH	BAMRA 31	BAMRA 30	BAMRA 29	BAMRA 28	BAMRA 27	BAMRA 26	BAMRA 25	BAMRA 24																																																																																																																																																																																																																																																																																																																																																																																																										
	BAMRA 23	BAMRA 22	BAMRA 21	BAMRA 20	BAMRA 19	BAMRA 18	BAMRA 17	BAMRA 16																																																																																																																																																																																																																																																																																																																																																																																																										
BAMRAL	BAMRA 15	BAMRA 14	BAMRA 13	BAMRA 12	BAMRA 11	BAMRA 10	BAMRA 9	BAMRA 8																																																																																																																																																																																																																																																																																																																																																																																																										
	BAMRA 7	BAMRA 6	BAMRA 5	BAMRA 4	BAMRA 3	BAMRA 2	BAMRA 1	BAMRA 0																																																																																																																																																																																																																																																																																																																																																																																																										
BARBH	BARB31	BARB30	BARB29	BARB28	BARB27	BARB26	BARB25	BARB24																																																																																																																																																																																																																																																																																																																																																																																																										
	BARB23	BARB22	BARB21	BARB20	BARB19	BARB18	BARB17	BARB16																																																																																																																																																																																																																																																																																																																																																																																																										
BARBL	BARB15	BARB14	BARB13	BARB12	BARB11	BARB10	BARB9	BARB8																																																																																																																																																																																																																																																																																																																																																																																																										
	BARB7	BARB6	BARB5	BARB4	BARB3	BARB2	BARB1	BARB0																																																																																																																																																																																																																																																																																																																																																																																																										
BAMRBH	BAMRB 31	BAMRB 30	BAMRB 29	BAMRB 28	BAMRB 27	BAMRB 26	BAMRB 25	BAMRB 24																																																																																																																																																																																																																																																																																																																																																																																																										
	BAMRB 23	BAMRB 22	BAMRB 21	BAMRB 20	BAMRB 19	BAMRB 18	BAMRB 17	BAMRB 16																																																																																																																																																																																																																																																																																																																																																																																																										
BAMRBL	BAMRB 15	BAMRB 14	BAMRB 13	BAMRB 12	BAMRB 11	BAMRB 10	BAMRB 9	BAMRB 8																																																																																																																																																																																																																																																																																																																																																																																																										
	BAMRB 7	BAMRB 6	BAMRB 5	BAMRB 4	BAMRB 3	BAMRB 2	BAMRB 1	BAMRB 0																																																																																																																																																																																																																																																																																																																																																																																																										
BARCH	BARC 31	BARC 30	BARC 29	BARC 28	BARC 27	BARC 26	BARC 25	BARC 24																																																																																																																																																																																																																																																																																																																																																																																																										
	BARC 23	BARC 22	BARC 21	BARC 20	BARC 19	BARC 18	BARC 17	BARC 16																																																																																																																																																																																																																																																																																																																																																																																																										
BARCL	BARC 15	BARC 14	BARC 13	BARC 12	BARC 11	BARC 10	BARC9	BARC8																																																																																																																																																																																																																																																																																																																																																																																																										
	BARC7	BARC6	BARC5	BARC4	BARC3	BARC2	BARC1	BARC0																																																																																																																																																																																																																																																																																																																																																																																																										
BAMRCH	BAMRC 31	BAMRC 30	BAMRC 29	BAMRC 28	BAMRC 27	BAMRC 26	BAMRC 25	BAMRC 24																																																																																																																																																																																																																																																																																																																																																																																																										
	BAMRC 23	BAMRC 22	BAMRC 21	BAMRC 20	BAMRC 19	BAMRC 18	BAMRC 17	BAMRC 16																																																																																																																																																																																																																																																																																																																																																																																																										
BAMRCL	BAMRC 15	BAMRC 14	BAMRC 13	BAMRC 12	BAMRC 11	BAMRC 10	BAMRC 9	BAMRC 8																																																																																																																																																																																																																																																																																																																																																																																																										
	BAMRC 7	BAMRC 6	BAMRC 5	BAMRC 4	BAMRC 3	BAMRC 2	BAMRC 1	BAMRC 0																																																																																																																																																																																																																																																																																																																																																																																																										
BARDH	BARD 31	BARD 30	BARD 29	BARD 28	BARD 27	BARD 26	BARD 25	BARD 24																																																																																																																																																																																																																																																																																																																																																																																																										
	BARD 23	BARD 22	BARD 21	BARD 20	BARD 19	BARD 18	BARD 17	BARD 16																																																																																																																																																																																																																																																																																																																																																																																																										
BARDL	BARD 15	BARD 14	BARD 13	BARD 12	BARD 11	BARD 10	BARD9	BARD8																																																																																																																																																																																																																																																																																																																																																																																																										
	BARD7	BARD6	BARD5	BARD4	BARD3	BARD2	BARD1	BARD0																																																																																																																																																																																																																																																																																																																																																																																																										
BAMRDH	BAMRD 31	BAMRD 30	BAMRD 29	BAMRD 28	BAMRD 27	BAMRD 26	BAMRD 25	BAMRD 24																																																																																																																																																																																																																																																																																																																																																																																																										
	BAMRD 23	BAMRD 22	BAMRD 21	BAMRD 20	BAMRD 19	BAMRD 18	BAMRD 17	BAMRD 16																																																																																																																																																																																																																																																																																																																																																																																																										
BAMRD	BAMRD 15	BAMRD 14	BAMRD 13	BAMRD 12	BAMRD 11	BAMRD 10	BAMRD 9	BAMRD 8																																																																																																																																																																																																																																																																																																																																																																																																										
	BAMRD 7	BAMRD 6	BAMRD 5	BAMRD 4	BAMRD 3	BAMRD 2	BAMRD 1	BAMRD 0																																																																																																																																																																																																																																																																																																																																																																																																										
BRCRA	—	—	CMFCP A	—	CPA2	CPA1	CPA0	—																																																																																																																																																																																																																																																																																																																																																																																																										
	—	—	IDA1	IDA0	RWA1	RWA0	—	—																																																																																																																																																																																																																																																																																																																																																																																																										
BRCRB	—	—	CMFCP B	—	CPB2	CPB1	CPB0	—																																																																																																																																																																																																																																																																																																																																																																																																										
	—	—	IDB1	IDB0	RWB1	RWB0	—	—																																																																																																																																																																																																																																																																																																																																																																																																										
BRCRC	—	—	CMFCP C	—	CPC2	CPC1	CPC0	—																																																																																																																																																																																																																																																																																																																																																																																																										
	—	—	IDC1	IDC0	RWC1	RWC0	—	—																																																																																																																																																																																																																																																																																																																																																																																																										
BRCRD	—	—	DMFCP D	—	CPD2	CPD1	CPD0	—																																																																																																																																																																																																																																																																																																																																																																																																										
	—	—	IDD1	IDD0	RWD1	RWD0	—	—																																																																																																																																																																																																																																																																																																																																																																																																										

項 目	ページ	修正箇所																																																																																																																																																																
28.2 レジスタビット一覧	28-28、 28-29	<p>追加</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td>DPSBK R0</td> <td>BKUP 07</td> <td>BKUP 06</td> <td>BKUP 05</td> <td>BKUP 04</td> <td>BKUP 03</td> <td>BKUP 02</td> <td>BKUP 01</td> <td>BKUP 00</td> <td>SYST EM</td> </tr> <tr> <td>DPSBK R1</td> <td>BKUP 17</td> <td>BKUP 16</td> <td>BKUP 15</td> <td>BKUP 14</td> <td>BKUP 13</td> <td>BKUP 12</td> <td>BKUP 11</td> <td>BKUP 10</td> <td></td> </tr> <tr> <td>DPSBK R2</td> <td>BKUP 27</td> <td>BKUP 26</td> <td>BKUP 25</td> <td>BKUP 24</td> <td>BKUP 23</td> <td>BKUP 22</td> <td>BKUP 21</td> <td>BKUP 20</td> <td></td> </tr> <tr> <td>DPSBK R3</td> <td>BKUP 37</td> <td>BKUP 36</td> <td>BKUP 35</td> <td>BKUP 34</td> <td>BKUP 33</td> <td>BKUP 32</td> <td>BKUP 31</td> <td>BKUP 30</td> <td></td> </tr> <tr> <td>DPSBK R4</td> <td>BKUP 47</td> <td>BKUP 46</td> <td>BKUP 45</td> <td>BKUP 44</td> <td>BKUP 43</td> <td>BKUP 42</td> <td>BKUP 41</td> <td>BKUP 40</td> <td></td> </tr> <tr> <td>DPSBK R5</td> <td>BKUP 57</td> <td>BKUP 56</td> <td>BKUP 55</td> <td>BKUP 54</td> <td>BKUP 53</td> <td>BKUP 52</td> <td>BKUP 51</td> <td>BKUP 50</td> <td></td> </tr> <tr> <td>DPSBK R6</td> <td>BKUP 67</td> <td>BKUP 66</td> <td>BKUP 65</td> <td>BKUP 64</td> <td>BKUP 63</td> <td>BKUP 62</td> <td>BKUP 61</td> <td>BKUP 60</td> <td></td> </tr> <tr> <td>DPSBK R7</td> <td>BKUP 77</td> <td>BKUP 76</td> <td>BKUP 75</td> <td>BKUP 74</td> <td>BKUP 73</td> <td>BKUP 72</td> <td>BKUP 71</td> <td>BKUP 70</td> <td></td> </tr> <tr> <td>DPSBK R8</td> <td>BKUP 87</td> <td>BKUP 86</td> <td>BKUP 85</td> <td>BKUP 84</td> <td>BKUP 83</td> <td>BKUP 82</td> <td>BKUP 81</td> <td>BKUP 80</td> <td></td> </tr> <tr> <td>DPSBK R9</td> <td>BKUP 97</td> <td>BKUP 96</td> <td>BKUP 95</td> <td>BKUP 94</td> <td>BKUP 93</td> <td>BKUP 92</td> <td>BKUP 91</td> <td>BKUP 90</td> <td></td> </tr> <tr> <td>DPSBK R10</td> <td>BKUP 107</td> <td>BKUP 106</td> <td>BKUP 105</td> <td>BKUP 104</td> <td>BKUP 103</td> <td>BKUP 102</td> <td>BKUP 101</td> <td>BKUP 100</td> <td></td> </tr> <tr> <td>DPSBK R11</td> <td>BKUP 117</td> <td>BKUP 116</td> <td>BKUP 115</td> <td>BKUP 114</td> <td>BKUP 113</td> <td>BKUP 112</td> <td>BKUP 111</td> <td>BKUP 110</td> <td></td> </tr> <tr> <td>DPSBK R12</td> <td>BKUP 127</td> <td>BKUP 126</td> <td>BKUP 125</td> <td>BKUP 124</td> <td>BKUP 123</td> <td>BKUP 122</td> <td>BKUP 121</td> <td>BKUP 120</td> <td></td> </tr> <tr> <td>DPSBK R13</td> <td>BKUP 137</td> <td>BKUP 136</td> <td>BKUP 135</td> <td>BKUP 134</td> <td>BKUP 133</td> <td>BKUP 132</td> <td>BKUP 131</td> <td>BKUP 130</td> <td></td> </tr> <tr> <td>DPSBK R14</td> <td>BKUP 147</td> <td>BKUP 146</td> <td>BKUP 145</td> <td>BKUP 144</td> <td>BKUP 143</td> <td>BKUP 142</td> <td>BKUP 141</td> <td>BKUP 140</td> <td></td> </tr> <tr> <td>DPSBK R15</td> <td>BKUP 157</td> <td>BKUP 156</td> <td>BKUP 155</td> <td>BKUP 154</td> <td>BKUP 153</td> <td>BKUP 152</td> <td>BKUP 151</td> <td>BKUP 150</td> <td></td> </tr> </table>	DPSBK R0	BKUP 07	BKUP 06	BKUP 05	BKUP 04	BKUP 03	BKUP 02	BKUP 01	BKUP 00	SYST EM	DPSBK R1	BKUP 17	BKUP 16	BKUP 15	BKUP 14	BKUP 13	BKUP 12	BKUP 11	BKUP 10		DPSBK R2	BKUP 27	BKUP 26	BKUP 25	BKUP 24	BKUP 23	BKUP 22	BKUP 21	BKUP 20		DPSBK R3	BKUP 37	BKUP 36	BKUP 35	BKUP 34	BKUP 33	BKUP 32	BKUP 31	BKUP 30		DPSBK R4	BKUP 47	BKUP 46	BKUP 45	BKUP 44	BKUP 43	BKUP 42	BKUP 41	BKUP 40		DPSBK R5	BKUP 57	BKUP 56	BKUP 55	BKUP 54	BKUP 53	BKUP 52	BKUP 51	BKUP 50		DPSBK R6	BKUP 67	BKUP 66	BKUP 65	BKUP 64	BKUP 63	BKUP 62	BKUP 61	BKUP 60		DPSBK R7	BKUP 77	BKUP 76	BKUP 75	BKUP 74	BKUP 73	BKUP 72	BKUP 71	BKUP 70		DPSBK R8	BKUP 87	BKUP 86	BKUP 85	BKUP 84	BKUP 83	BKUP 82	BKUP 81	BKUP 80		DPSBK R9	BKUP 97	BKUP 96	BKUP 95	BKUP 94	BKUP 93	BKUP 92	BKUP 91	BKUP 90		DPSBK R10	BKUP 107	BKUP 106	BKUP 105	BKUP 104	BKUP 103	BKUP 102	BKUP 101	BKUP 100		DPSBK R11	BKUP 117	BKUP 116	BKUP 115	BKUP 114	BKUP 113	BKUP 112	BKUP 111	BKUP 110		DPSBK R12	BKUP 127	BKUP 126	BKUP 125	BKUP 124	BKUP 123	BKUP 122	BKUP 121	BKUP 120		DPSBK R13	BKUP 137	BKUP 136	BKUP 135	BKUP 134	BKUP 133	BKUP 132	BKUP 131	BKUP 130		DPSBK R14	BKUP 147	BKUP 146	BKUP 145	BKUP 144	BKUP 143	BKUP 142	BKUP 141	BKUP 140		DPSBK R15	BKUP 157	BKUP 156	BKUP 155	BKUP 154	BKUP 153	BKUP 152	BKUP 151	BKUP 150	
DPSBK R0	BKUP 07	BKUP 06	BKUP 05	BKUP 04	BKUP 03	BKUP 02	BKUP 01	BKUP 00	SYST EM																																																																																																																																																									
DPSBK R1	BKUP 17	BKUP 16	BKUP 15	BKUP 14	BKUP 13	BKUP 12	BKUP 11	BKUP 10																																																																																																																																																										
DPSBK R2	BKUP 27	BKUP 26	BKUP 25	BKUP 24	BKUP 23	BKUP 22	BKUP 21	BKUP 20																																																																																																																																																										
DPSBK R3	BKUP 37	BKUP 36	BKUP 35	BKUP 34	BKUP 33	BKUP 32	BKUP 31	BKUP 30																																																																																																																																																										
DPSBK R4	BKUP 47	BKUP 46	BKUP 45	BKUP 44	BKUP 43	BKUP 42	BKUP 41	BKUP 40																																																																																																																																																										
DPSBK R5	BKUP 57	BKUP 56	BKUP 55	BKUP 54	BKUP 53	BKUP 52	BKUP 51	BKUP 50																																																																																																																																																										
DPSBK R6	BKUP 67	BKUP 66	BKUP 65	BKUP 64	BKUP 63	BKUP 62	BKUP 61	BKUP 60																																																																																																																																																										
DPSBK R7	BKUP 77	BKUP 76	BKUP 75	BKUP 74	BKUP 73	BKUP 72	BKUP 71	BKUP 70																																																																																																																																																										
DPSBK R8	BKUP 87	BKUP 86	BKUP 85	BKUP 84	BKUP 83	BKUP 82	BKUP 81	BKUP 80																																																																																																																																																										
DPSBK R9	BKUP 97	BKUP 96	BKUP 95	BKUP 94	BKUP 93	BKUP 92	BKUP 91	BKUP 90																																																																																																																																																										
DPSBK R10	BKUP 107	BKUP 106	BKUP 105	BKUP 104	BKUP 103	BKUP 102	BKUP 101	BKUP 100																																																																																																																																																										
DPSBK R11	BKUP 117	BKUP 116	BKUP 115	BKUP 114	BKUP 113	BKUP 112	BKUP 111	BKUP 110																																																																																																																																																										
DPSBK R12	BKUP 127	BKUP 126	BKUP 125	BKUP 124	BKUP 123	BKUP 122	BKUP 121	BKUP 120																																																																																																																																																										
DPSBK R13	BKUP 137	BKUP 136	BKUP 135	BKUP 134	BKUP 133	BKUP 132	BKUP 131	BKUP 130																																																																																																																																																										
DPSBK R14	BKUP 147	BKUP 146	BKUP 145	BKUP 144	BKUP 143	BKUP 142	BKUP 141	BKUP 140																																																																																																																																																										
DPSBK R15	BKUP 157	BKUP 156	BKUP 155	BKUP 154	BKUP 153	BKUP 152	BKUP 151	BKUP 150																																																																																																																																																										
	28-38	<p>修正</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td>SCKCR</td> <td>PSTO</td> <td>PSTO</td> <td><input type="checkbox"/></td> <td>—</td> <td>—</td> <td>ICK2</td> <td>ICK1</td> <td>ICK0</td> </tr> <tr> <td></td> <td>P1</td> <td>P0*³</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td></td> <td>—</td> <td>PCK2</td> <td>PCK1</td> <td>PCK0</td> <td>—</td> <td>BCK2</td> <td>BCK1</td> <td>BCK0</td> </tr> </table>	SCKCR	PSTO	PSTO	<input type="checkbox"/>	—	—	ICK2	ICK1	ICK0		P1	P0* ³								—	PCK2	PCK1	PCK0	—	BCK2	BCK1	BCK0																																																																																																																																					
SCKCR	PSTO	PSTO	<input type="checkbox"/>	—	—	ICK2	ICK1	ICK0																																																																																																																																																										
	P1	P0* ³																																																																																																																																																																
	—	PCK2	PCK1	PCK0	—	BCK2	BCK1	BCK0																																																																																																																																																										
28.3 各動作モードにおけるレジスタの状態	28-48	<p>修正</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td>PORTM*²</td> <td><input type="checkbox"/></td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> </tr> <tr> <td>PORTN</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td><input type="checkbox"/></td> <td><input type="checkbox"/></td> <td></td> </tr> </table>	PORTM* ²	<input type="checkbox"/>	—	—	—	—	—	—	—	PORTN	—	—	—	—	—	<input type="checkbox"/>	<input type="checkbox"/>																																																																																																																																															
PORTM* ²	<input type="checkbox"/>	—	—	—	—	—	—	—																																																																																																																																																										
PORTN	—	—	—	—	—	<input type="checkbox"/>	<input type="checkbox"/>																																																																																																																																																											

項目	ページ	修正箇所																																																																																																																																																																																				
28.3 各動作モードにおけるレジスタの状態	28-50	追加 ----- <table border="1"> <tr> <td>BARAH</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>初期化*</td> <td>初期化</td> <td>UBC</td> </tr> <tr> <td>BARAL</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>初期化*</td> <td>初期化</td> <td></td> </tr> <tr> <td>BAMRAH</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>初期化*</td> <td>初期化</td> <td></td> </tr> <tr> <td>BAMRAL</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>初期化*</td> <td>初期化</td> <td></td> </tr> <tr> <td>BARBH</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>初期化*</td> <td>初期化</td> <td></td> </tr> <tr> <td>BARBL</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>初期化*</td> <td>初期化</td> <td></td> </tr> <tr> <td>BAMRBH</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>初期化*</td> <td>初期化</td> <td></td> </tr> <tr> <td>BAMRBL</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>初期化*</td> <td>初期化</td> <td></td> </tr> <tr> <td>BARCH</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>初期化*</td> <td>初期化</td> <td></td> </tr> <tr> <td>BARCL</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>初期化*</td> <td>初期化</td> <td></td> </tr> <tr> <td>BAMRCH</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>初期化*</td> <td>初期化</td> <td></td> </tr> <tr> <td>BAMRCL</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>初期化*</td> <td>初期化</td> <td></td> </tr> <tr> <td>BARDH</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>初期化*</td> <td>初期化</td> <td></td> </tr> <tr> <td>BARDL</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>初期化*</td> <td>初期化</td> <td></td> </tr> <tr> <td>BAMRDH</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>初期化*</td> <td>初期化</td> <td></td> </tr> <tr> <td>BAMRDL</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>初期化*</td> <td>初期化</td> <td></td> </tr> <tr> <td>BRCRA</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>初期化*</td> <td>初期化</td> <td></td> </tr> <tr> <td>BRCRB</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>初期化*</td> <td>初期化</td> <td></td> </tr> <tr> <td>BRCRC</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>初期化*</td> <td>初期化</td> <td></td> </tr> <tr> <td>BRCRD</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>初期化*</td> <td>初期化</td> <td></td> </tr> </table> -----	BARAH	初期化	-	-	-	-	初期化*	初期化	UBC	BARAL	初期化	-	-	-	-	初期化*	初期化		BAMRAH	初期化	-	-	-	-	初期化*	初期化		BAMRAL	初期化	-	-	-	-	初期化*	初期化		BARBH	初期化	-	-	-	-	初期化*	初期化		BARBL	初期化	-	-	-	-	初期化*	初期化		BAMRBH	初期化	-	-	-	-	初期化*	初期化		BAMRBL	初期化	-	-	-	-	初期化*	初期化		BARCH	初期化	-	-	-	-	初期化*	初期化		BARCL	初期化	-	-	-	-	初期化*	初期化		BAMRCH	初期化	-	-	-	-	初期化*	初期化		BAMRCL	初期化	-	-	-	-	初期化*	初期化		BARDH	初期化	-	-	-	-	初期化*	初期化		BARDL	初期化	-	-	-	-	初期化*	初期化		BAMRDH	初期化	-	-	-	-	初期化*	初期化		BAMRDL	初期化	-	-	-	-	初期化*	初期化		BRCRA	初期化	-	-	-	-	初期化*	初期化		BRCRB	初期化	-	-	-	-	初期化*	初期化		BRCRC	初期化	-	-	-	-	初期化*	初期化		BRCRD	初期化	-	-	-	-	初期化*	初期化	
	BARAH	初期化	-	-	-	-	初期化*	初期化	UBC																																																																																																																																																																													
BARAL	初期化	-	-	-	-	初期化*	初期化																																																																																																																																																																															
BAMRAH	初期化	-	-	-	-	初期化*	初期化																																																																																																																																																																															
BAMRAL	初期化	-	-	-	-	初期化*	初期化																																																																																																																																																																															
BARBH	初期化	-	-	-	-	初期化*	初期化																																																																																																																																																																															
BARBL	初期化	-	-	-	-	初期化*	初期化																																																																																																																																																																															
BAMRBH	初期化	-	-	-	-	初期化*	初期化																																																																																																																																																																															
BAMRBL	初期化	-	-	-	-	初期化*	初期化																																																																																																																																																																															
BARCH	初期化	-	-	-	-	初期化*	初期化																																																																																																																																																																															
BARCL	初期化	-	-	-	-	初期化*	初期化																																																																																																																																																																															
BAMRCH	初期化	-	-	-	-	初期化*	初期化																																																																																																																																																																															
BAMRCL	初期化	-	-	-	-	初期化*	初期化																																																																																																																																																																															
BARDH	初期化	-	-	-	-	初期化*	初期化																																																																																																																																																																															
BARDL	初期化	-	-	-	-	初期化*	初期化																																																																																																																																																																															
BAMRDH	初期化	-	-	-	-	初期化*	初期化																																																																																																																																																																															
BAMRDL	初期化	-	-	-	-	初期化*	初期化																																																																																																																																																																															
BRCRA	初期化	-	-	-	-	初期化*	初期化																																																																																																																																																																															
BRCRB	初期化	-	-	-	-	初期化*	初期化																																																																																																																																																																															
BRCRC	初期化	-	-	-	-	初期化*	初期化																																																																																																																																																																															
BRCRD	初期化	-	-	-	-	初期化*	初期化																																																																																																																																																																															
	28-54	追加 ----- <table border="1"> <tr> <td>DPSBKR0</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>初期化</td> <td>初期化</td> <td>SYSTEM</td> </tr> <tr> <td>DPSBKR1</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>初期化</td> <td>初期化</td> <td></td> </tr> <tr> <td>DPSBKR2</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>初期化</td> <td>初期化</td> <td></td> </tr> <tr> <td>DPSBKR3</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>初期化</td> <td>初期化</td> <td></td> </tr> <tr> <td>DPSBKR4</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>初期化</td> <td>初期化</td> <td></td> </tr> <tr> <td>DPSBKR5</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>初期化</td> <td>初期化</td> <td></td> </tr> <tr> <td>DPSBKR6</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>初期化</td> <td>初期化</td> <td></td> </tr> <tr> <td>DPSBKR7</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>初期化</td> <td>初期化</td> <td></td> </tr> <tr> <td>DPSBKR8</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>初期化</td> <td>初期化</td> <td></td> </tr> <tr> <td>DPSBKR9</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>初期化</td> <td>初期化</td> <td></td> </tr> <tr> <td>DPSBKR 10</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>初期化</td> <td>初期化</td> <td></td> </tr> <tr> <td>DPSBKR 11</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>初期化</td> <td>初期化</td> <td></td> </tr> <tr> <td>DPSBKR 12</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>初期化</td> <td>初期化</td> <td></td> </tr> <tr> <td>DPSBKR 13</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>初期化</td> <td>初期化</td> <td></td> </tr> <tr> <td>DPSBKR 14</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>初期化</td> <td>初期化</td> <td></td> </tr> <tr> <td>DPSBKR 15</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>初期化</td> <td>初期化</td> <td></td> </tr> </table> -----	DPSBKR0	初期化	-	-	-	-	初期化	初期化	SYSTEM	DPSBKR1	初期化	-	-	-	-	初期化	初期化		DPSBKR2	初期化	-	-	-	-	初期化	初期化		DPSBKR3	初期化	-	-	-	-	初期化	初期化		DPSBKR4	初期化	-	-	-	-	初期化	初期化		DPSBKR5	初期化	-	-	-	-	初期化	初期化		DPSBKR6	初期化	-	-	-	-	初期化	初期化		DPSBKR7	初期化	-	-	-	-	初期化	初期化		DPSBKR8	初期化	-	-	-	-	初期化	初期化		DPSBKR9	初期化	-	-	-	-	初期化	初期化		DPSBKR 10	初期化	-	-	-	-	初期化	初期化		DPSBKR 11	初期化	-	-	-	-	初期化	初期化		DPSBKR 12	初期化	-	-	-	-	初期化	初期化		DPSBKR 13	初期化	-	-	-	-	初期化	初期化		DPSBKR 14	初期化	-	-	-	-	初期化	初期化		DPSBKR 15	初期化	-	-	-	-	初期化	初期化																																					
DPSBKR0	初期化	-	-	-	-	初期化	初期化	SYSTEM																																																																																																																																																																														
DPSBKR1	初期化	-	-	-	-	初期化	初期化																																																																																																																																																																															
DPSBKR2	初期化	-	-	-	-	初期化	初期化																																																																																																																																																																															
DPSBKR3	初期化	-	-	-	-	初期化	初期化																																																																																																																																																																															
DPSBKR4	初期化	-	-	-	-	初期化	初期化																																																																																																																																																																															
DPSBKR5	初期化	-	-	-	-	初期化	初期化																																																																																																																																																																															
DPSBKR6	初期化	-	-	-	-	初期化	初期化																																																																																																																																																																															
DPSBKR7	初期化	-	-	-	-	初期化	初期化																																																																																																																																																																															
DPSBKR8	初期化	-	-	-	-	初期化	初期化																																																																																																																																																																															
DPSBKR9	初期化	-	-	-	-	初期化	初期化																																																																																																																																																																															
DPSBKR 10	初期化	-	-	-	-	初期化	初期化																																																																																																																																																																															
DPSBKR 11	初期化	-	-	-	-	初期化	初期化																																																																																																																																																																															
DPSBKR 12	初期化	-	-	-	-	初期化	初期化																																																																																																																																																																															
DPSBKR 13	初期化	-	-	-	-	初期化	初期化																																																																																																																																																																															
DPSBKR 14	初期化	-	-	-	-	初期化	初期化																																																																																																																																																																															
DPSBKR 15	初期化	-	-	-	-	初期化	初期化																																																																																																																																																																															

項目	ページ	修正箇所																																													
28.3 各動作モードにおけるレジスタの状態	28-58	修正 <table border="1"> <tr> <td>DPS BYCR</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>■</td> <td>初期化 *1</td> <td>初期化</td> <td>SYSTEM</td> </tr> <tr> <td>DPSWCR</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>■</td> <td>初期化 *1</td> <td>初期化</td> <td></td> </tr> <tr> <td>DPSIER</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>■</td> <td>初期化 *1</td> <td>初期化</td> <td></td> </tr> <tr> <td>DPSIFR</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>■</td> <td>初期化 *1</td> <td>初期化</td> <td></td> </tr> <tr> <td>DPSIEGR</td> <td>初期化</td> <td>-</td> <td>-</td> <td>-</td> <td>■</td> <td>初期化 *1</td> <td>初期化</td> <td></td> </tr> </table>	DPS BYCR	初期化	-	-	-	■	初期化 *1	初期化	SYSTEM	DPSWCR	初期化	-	-	-	■	初期化 *1	初期化		DPSIER	初期化	-	-	-	■	初期化 *1	初期化		DPSIFR	初期化	-	-	-	■	初期化 *1	初期化		DPSIEGR	初期化	-	-	-	■	初期化 *1	初期化	
DPS BYCR	初期化	-	-	-	■	初期化 *1	初期化	SYSTEM																																							
DPSWCR	初期化	-	-	-	■	初期化 *1	初期化																																								
DPSIER	初期化	-	-	-	■	初期化 *1	初期化																																								
DPSIFR	初期化	-	-	-	■	初期化 *1	初期化																																								
DPSIEGR	初期化	-	-	-	■	初期化 *1	初期化																																								
29. 電気的特性 表 29.2 DC 特性 (2)	29-3	修正 <table border="1"> <tr> <td>ハードウェア</td> <td></td> <td>-</td> <td>2</td> <td>7</td> <td rowspan="2">μA</td> <td>Ta ≤ 50°C</td> </tr> <tr> <td>スタンバイ時</td> <td></td> <td>-</td> <td>-</td> <td>25</td> <td>50°C < Ta</td> </tr> </table>	ハードウェア		-	2	7	μA	Ta ≤ 50°C	スタンバイ時		-	-	25	50°C < Ta																																
ハードウェア		-	2	7	μA	Ta ≤ 50°C																																									
スタンバイ時		-	-	25		50°C < Ta																																									
付録 A. 各処理状態におけるポートの状態	付録-1	修正 <table border="1"> <tr> <td>ポート 4</td> <td>全モード</td> <td>HiZ</td> <td>HiZ</td> <td>Keep</td> <td>Keep</td> </tr> </table>	ポート 4	全モード	HiZ	HiZ	Keep	Keep																																							
ポート 4	全モード	HiZ	HiZ	Keep	Keep																																										

H8SX/1648A、H8SX/1648L、H8SX/1648G、H8SX/1648H グループ追加による修正または追加された箇所

項 目	ページ	修正箇所
全般	—	追加 関係する章において、H8SX/1648、H8SX/1648A、H8SX/1648L、H8SX/1648G、H8SX/1648H グループの機能を追加。 詳細は以下の【注】の記述があるところが対象になります。 【注】 *1 H8SX/1648G グループ、H8SX/1648H グループのみサポート。 【注】 * H8SX/1648L グループ、H8SX/1648H グループのみサポート。
全般	—	追加 以下章追加。またモジュール追加に伴う機能を関係する各章に追加。 (1) 第 5 章に、電圧検出回路 (LVD) を追加 (2) 第 11 章に、EXDMA コントローラ (EXDMAC) を追加 (3) 第 17 章に、32K タイマ (TM32K) を追加
表紙	—	差し替え H8SX/1648A、H8SX/1648L、H8SX/1648G、H8SX/1648H グループ追加により型名の追加
このマニュアルの使い方	—	差し替え H8SX/1648A、H8SX/1648L、H8SX/1648G、H8SX/1648H グループ名の修正
1. 概要 1.1 特長	1-1	差し替え
1.1.2 仕様概要	1-2~1-6	差し替え 表 1.1 仕様概要
	1-7	追加 表 1.2 H8SX/1648、1648A、1648L、1648G、1648H グループのサポート機能比較表
1.2 製品一覧	1-8	差し替え 表 1.3 製品一覧表 図 1.1 製品型名の読み方 ・ 小型パッケージ
1.3 内部ブロック図	1-10	差し替え 図 1.2 内部ブロック図
1.4.1 ピン配置図	1-12	追加 図 1.4 ピン配置図 (LFBGA-176 : H8SX/1648G、1648H グループ)
1.4.2 動作モード別ピン配置一覧	1-13 ~ 1-19	差し替え 表 1.4 動作モード別ピン配置一覧 (H8SX/1648、1648A、1648L、1648G、1648H グループ)
1.4.3 端子機能	1-19 ~ 1-25	差し替え 表 1.5 端子機能

項目	ページ	修正箇所
3. MCU 動作モード	3-1	差し替え
3.1 動作モードの選択		SDRAM インタフェース追加による差し替え。
3.2.1 モードコントロールレジスタ (MDCR)	3-2	差し替え
3.3.8 端子機能	3-7	差し替え 表 3.4 各動作モードにおける端子機能 (アドバンスモード)
3.4.1 アドレスマップ	3-8 ~ 3-13	差し替え 図 3.1 H8SX/1648、1648A、1648L、1648G、1648H の各動作モードのアドレスマップ (1) 図 3.1 H8SX/1648、1648A、1648L、1648G、1648H の各動作モードのアドレスマップ (2) 図 3.2 H8SX/1644、1644A、1644L、1644G、1644H の各動作モードのアドレスマップ (1) 図 3.2 H8SX/1644、1644A、1644L、1644G、1644H の各動作モードのアドレスマップ (2) 図 3.3 H8SX/1642、1642A、1642L、1642G、1642H の各動作モードのアドレスマップ (1) 図 3.3 H8SX/1642、1642A、1642L、1642G、1642H の各動作モードのアドレスマップ (2)
4. リセット	4-1	差し替え
4.1 リセットの種類		表 4.1 リセットの名称と要因 図 4.1 リセット回路のブロック図 パワーオンリセット、電圧監視リセット追加による差し替え。
4.3.1 リセットステータスレジスタ (RSTSR)	4-4	差し替え パワーオンリセット、電圧監視リセット追加による差し替え。
4.5 パワーオンリセット (POR) (H8SX1648L, H8SX1648H グループ)	4-7	追加 パワーオンリセット追加による。
4.6 電源監視リセット (H8SX1648L, H8SX1648H グループ)	4-8	追加 電源監視リセット追加による。
4.9 リセット発生要因の判定	4-9	差し替え 電源監視リセット追加による差し替え。
6. 例外処理	6-4	差し替え
6.3.3 リセット解除後の内蔵周辺機能		EXDMAC 追加による差し替え。
6.5.1 アドレスエラー発生要因	6-8	差し替え 表 6.5 バスサイクルとアドレスエラー EXDMAC 追加による差し替え。

項 目	ページ	修正箇所
6.5.2 アドレスエラー例外処理	6-9	差し替え EXDMAC 追加による差し替え。
6.6.1 割り込み要因	6-10	差し替え 表 6.7 割り込み要因 LVD、EXDMAC、TM32K 追加による差し替え。
7. 割り込みコントローラ	7-1	差し替え • CPU の優先レベル制御機能 EXDMAC 追加による差し替え。
7.1 特長	7-2	差し替え 図 7.1 割り込みコントローラのブロック図 LVD、TM32K 追加による差し替え。
7.3 レジスタの説明	7-3	差し替え
7.3.2 CPU プライオリティコントロールレジスタ (CPUPCR)	7-5	差し替え EXDMAC 追加による差し替え。
7.3.3 インタラプトプライオリティレジスタ H8SX/1648 グループ、H8SX/1648L グループ： インタラプトプライオリティレジスタ A~I、K~O、Q、R (IPRA~IPRI、IPRK~IPRO、IPRQ、IPRR) H8SX/1648G グループ、 H8SX/1648H グループ： インタラプトプライオリティレジスタ A~O、Q、R (IPRA~IPRO、IPRQ、IPRR)	7-6	差し替え
7.3.4 IRQ イネーブルレジスタ (IER)	7-8	差し替え LVD、TM32K 追加による差し替え。
7.3.5 IRQ センスコントロールレジスタ H、L (ISCRH、ISCRL)	7-10	差し替え LVD、TM32K 追加による差し替え。
7.3.6 IRQ ステータスレジスタ (ISR)	7-15	差し替え LVD、TM32K 追加による差し替え。
7.4.1 外部割り込み要因	7-18	差し替え (1) NMI 割り込み EXDMAC 追加による差し替え。

項 目	ページ	修正箇所
7.5 割り込み例外処理ベクタテーブル	7-20	差し替え 表 7.2 割り込み要因とベクタアドレスオフセットおよび割り込み優先順位 LVD、EXDMAC、TM32K 追加による差し替え。
7.7 CPU に対する DTC、DMAC、EXDMAC*の優先レベル制御機能	7-35	差し替え DRAM インタフェース、SDRAM インタフェース追加による差し替え。
9. バスコントローラ (BSC)	9-1	差し替え EXDMAC 追加による差し替え。
9.1 特長	9-3	差し替え 図 9.1 バスコントローラのブロック図 DRAM インタフェース、SDRAM インタフェース追加による差し替え。
9.2 レジスタの説明	9-4	追加 <ul style="list-style-type: none"> • DRAM コントロールレジスタ (DRAMCR) • DRAM アクセスクонтроールレジスタ (DRACCR) • シンクロナス DRAM コントロールレジスタ (SDCR) • リフレッシュコントロールレジスタ (REFCR) • リフレッシュタイムカウンタ (RTCNT) • リフレッシュタイムコンスタントレジスタ (RTCOR) DRAM インタフェース、SDRAM インタフェース追加による差し替え。
9.2.3 ウェイトコントロールレジスタ A、B (WTCRA、WTCRB)	9-10	差し替え <ul style="list-style-type: none"> • WTCRB
9.2.4 リードストロープタイミングコントロールレジスタ (RDNCR)	9-12	差し替え 【注】 2. EXDMAC 追加による差し替え。
9.2.5 \overline{CS} アサート期間コントロールレジスタ (CSAGR)	9-14	差し替え 【注】 2. EXDMAC 追加による差し替え。
9.2.6 アイドルコントロールレジスタ (IDLCR)	9-16	差し替え ビット 15 の説明 EXDMAC 追加による差し替え。
9.2.7 バスコントロールレジスタ 1 (BCR1)	9-19	追加 ビット 6 追加 EXDMAC 追加による。
9.2.8 バスコントロールレジスタ 2 (BCR2)	9-20	追加 ビット 5 追加 EXDMAC 追加による。

項 目	ページ	修正箇所
9.2.10 SRAM モードコントロールレジスタ (SRAMCR)	9-22	追加 ビット 15~8 のビット説明追加 SDRAM インタフェース追加による差し替え。
9.2.13 DRAM コントロールレジスタ (DRAMCR)	9-26	追加 DRAM インタフェース、SDRAM インタフェース追加による。
9.2.14 DRAM アクセスコントロールレジスタ (DRACCR)	9-31	追加 DRAM インタフェース、SDRAM インタフェース追加による。
9.2.15 シンクロナス DRAM コントロールレジスタ (SDCR)	9-32	追加 SDRAM インタフェース追加による。
9.2.16 リフレッシュコントロールレジスタ (REFCR)	9-34	追加 DRAM インタフェース、SDRAM インタフェース追加による。
9.2.17 リフレッシュタイムカウンタ (RTCNT)	9-37	追加 DRAM インタフェース、SDRAM インタフェース追加による。
9.2.18 リフレッシュタイムコンスタントレジスタ (RTCOR)	9-38	追加 DRAM インタフェース、SDRAM インタフェース追加による。
9.3 バス構成	9-39	差し替え EXDMAC 追加による差し替え。
9.4 マルチクロック機能とアクセスステート数	9-40	差し替え 表 9.1 同期クロックと対応する機能 EXDMAC 追加による差し替え。
9.5.1 入出力端子	9-43	差し替え 表 9.2 端子構成 表 9.3 各インタフェースと端子の対応
9.5.4 外部バスインタフェース	9-48	差し替え 表 9.4 各インタフェースの名称と説明、および設定したエリアの名称 表 9.5 各インタフェースの設定可能なエリア
(4) アクセスステート数	9-50	追加 (e) DRAM インタフェース (f) シンクロナス DRAM インタフェース
	9-52	差し替え 表 9.6 アクセスステート数
(5) ストローブアサート/ネゲートタイミング	9-52	追加 • EXDMAC*のシングルアドレス転送時に出力されるデータ転送アクノレージ (EDACK3~EDACK0)
9.5.5 エリアと外部バスインタフェース	9-54	差し替え (3) エリア 2 表 9.9 エリア 2 の外部インタフェース

項 目	ページ	修正箇所
9.6.3 基本タイミング	9-61～ 9-66	差し替え 図 9.15 16 ビット 2 ステートアクセス空間のバスタイミング (偶数アドレス バイトアクセス) 図 9.16 16 ビット 2 ステートアクセス空間のバスタイミング (奇数アドレス バイトアクセス) 図 9.17 16 ビット 2 ステートアクセス空間のバスタイミング (偶数アドレス ワードアクセス) 図 9.18 16 ビット 3 ステートアクセス空間のバスタイミング (偶数アドレス バイトアクセス) 図 9.19 16 ビット 3 ステートアクセス空間のバスタイミング (奇数アドレス バイトアクセス) 図 9.20 16 ビット 3 ステートアクセス空間のバスタイミング (偶数アドレス ワードアクセス) EXDMAC 追加による差し替え。
9.6.5 リードストローブ (\overline{RD}) タイミング	9-69	差し替え EXDMAC 追加による差し替え。
9.6.6 チップセレクト (\overline{CS}) アサート期間拡張	9-70	差し替え 図 9.23 チップセレクトアサート期間拡張時タイミング例 EXDMAC 追加による差し替え。
9.6.7 \overline{DACK} 、 \overline{EDACK} *信号の出力タイミング	9-71	差し替え EXDMAC 追加による差し替え。
9.7.4 基本タイミング	9-74、 9-75	差し替え 図 9.25 16 ビット 2 ステートアクセス空間のバスタイミング 図 9.26 16 ビット 3 ステートアクセス空間のバスタイミング EXDMAC 追加による差し替え。
9.7.5 ウェイト制御	9-77	差し替え 図 9.27 ウェイトステート挿入のタイミング例 EXDMAC 追加による差し替え。
9.7.8 \overline{DACK} 、 \overline{EDACK} *信号の出力タイミング	9-78	差し替え EXDMAC 追加による差し替え。
9.8.4 基本タイミング	9-81	差し替え EXDMAC 追加による差し替え。
9.8.6 リードストローブタイミング	9-83	差し替え EXDMAC 追加による差し替え。
9.8.7 チップセレクトアサート期間延長	9-83	差し替え EXDMAC 追加による差し替え。

項 目	ページ	修正箇所
9.9.5 基本タイミング	9-86、 9-87	差し替え 図 9.31 8 ビットアクセス空間へのアクセスタイミング (ABWHn=1、 ABWLn=1) 図 9.32 16 ビットアクセス空間へのアクセスタイミング (ABWHn=0、 ABWLn=1) EXDMAC 追加による差し替え。
9.9.6 アドレスサイクル制御	9-88	差し替え 図 9.33 アドレスサイクル 3 サイクルのアクセスタイミング例 (ADDEX=1) EXDMAC 追加による差し替え。
9.9.8 リードストローブ (RD) タイミング	9-89	差し替え 図 9.34 リードストローブタイミング例 EXDMAC 追加による差し替え。
9.9.9 データサイクルのチップセレクト (CS#) アサート期間拡張	9-90	差し替え 図 9.35 データサイクルのチップセレクトアサート期間拡張タイミング例 EXDMAC 追加による差し替え。
9.9.10 \overline{DACK} 、 \overline{EDACK} *信号の出力タイミング	9-92	差し替え EXDMAC 追加による差し替え。
9.10 DRAM インタフェース	9-93~ 9-116	追加 SDRAM インタフェース追加による。
9.11 シンクロナス DRAM インタフェース	9-117~ 9-158	追加 SDRAM インタフェース追加による。
9.12.1 動作説明	9-159	差し替え 4. DMAC、EXDMAC*のシングルアドレス転送 (ライトサイクル) 後に外部アクセスが連続して発生したとき EXDMAC 追加による差し替え。
	9-167	追加 (7) DRAM 空間/シンクロナス DRAM 空間アクセス時のアイドルサイクル
9.12.2 アイドルサイクルでの端子状態	9-171	差し替え 表 9.31 アイドルサイクルでの端子状態
9.13 バス解放 9.13.1 動作説明	9-172	差し替え DRAM インタフェース、SDRAM インタフェース、EXDMAC 追加による差し替え。
9.13.2 外部バス権解放状態での端子状態	9-173	差し替え 表 9.32 バス権解放状態での端子状態
9.13.3 遷移タイミング	9-175	追加 図 9.103 バス権解放状態遷移タイミング (シンクロナス DRAM インタフェースを使用した場合)

項 目	ページ	修正箇所
9.14.1 内部アドレス空間へのアクセス	9-176	差し替え 表 9.34 内蔵周辺モジュールレジスタ空間のアクセスサイクル数 ポート M、EXDMAC、TM32K 追加による差し替え。
9.16 バスアービトレーション	9-179	差し替え DRAM インタフェース、SDRAM インタフェース、EXDMAC 追加による差し替え。
9.16.1 動作説明	9-179	差し替え DRAM インタフェース、SDRAM インタフェース、EXDMAC 追加による差し替え。
9.16.2 バス権移行タイミング	9-180	差し替え (1) CPU EXDMAC 追加による差し替え。
	9-181、 9-182	追加 (4) EXDMAC (6) リフレッシュ
9.18 使用上の注意事項	9-182～ 9-184	追加 (2) モード設定 (7) リフレッシュの設定 (8) リフレッシュタイマの設定 (9) リフレッシュタイマとインターバルタイマの切り替え (10) DRAM インタフェースの RAS ダウンモードとソフトウェアスタンバイ (11) DRAM/シンクロナス DRAM の RAS ダウンモードとクロック周波数の設定 (12) シンクロナス DRAM 空間へのクラスタ転送
10. DMA コントローラ (DMAC)	10-62、	差し替え
10.7.2 他のバスマスタとのバス権の調停	10-63	EXDMAC 追加による差し替え。
12. データトランスファコントローラ (DTC)	12-12、	差し替え
12.4 転送情報の配置と DTC ベクタテーブル	12-13	表 12.1 割り込み要因と DTC ベクタアドレスおよび対応する DTCE EXDMAC 追加による差し替え。
13. I/O ポート	13-2～ 13-8	差し替え 表 13.1 ポート機能一覧 EXDMAC 追加、ポート M 追加による差し替え。
13.1.1 データディレクションレジスタ (PnDDR) (n=1、2、3、6、A～F、H～K、M*、N)	13-10	差し替え ポート M 追加による差し替え。

項 目	ページ	修正箇所
13.1.2 データレジスタ (PnDR) (n=1、2、3、6、A~F、H~K、 M*、N)	13-10	差し替え ポート M 追加による差し替え。
13.1.3 ポートレジスタ (PORTn) (n=1~6、A~F、H~K、M*、N)	13-11	差し替え ポート M 追加による差し替え。
13.1.4 入力バッファコントロール レジスタ (PnICR) (n=1~6、A~F、H~K、M*、N)	13-11	差し替え ポート M 追加による差し替え。
13.2.1 ポート 1	13-14~ 13-16	差し替え EXDMAC 追加による差し替え。
13.2.3 ポート 3	13-20~ 13-23	差し替え EXDMAC 追加による差し替え。
13.2.5 ポート 6	13-24~ 13-29	差し替え EXDMAC 追加による差し替え。
13.2.7 ポート B	13-33~ 13-36	差し替え DRAM インタフェース、SDRAM インタフェース追加による差し替え。
13.2.8 ポート C	13-37、 13-38	差し替え DRAM インタフェース、SDRAM インタフェース追加による差し替え。
13.2.16 ポート M*	13-50、 13-51	追加 ポート M 追加による。
13.2 出力バッファ制御	13-53~ 13-60	差し替え 表 13.5 各ポートの出力信号有効設定一覧 EXDMAC、DRAM インタフェース、SDRAM インタフェース追加による差し 替え。
13.3 ポートファンクションコン トローラ	13-61	追加 EXDMAC 追加による。
13.3.7 ポートファンクションコ ントロールレジスタ 8 (PFCR8) *	13-68、 13-69	追加 EXDMAC 追加による。
13.3.10 ポートファンクションコ ントロールレジスタ B (PFCRB)	13-72、 13-73	差し替え TM32K、LVD 追加による差し替え。
23. RAM	23-1	差し替え 23. RAM H8SX/1648A、H8SX/1648L、H8SX/1648G、H8SX/1648H グループ追加によ る差し替え。
24. フラッシュメモリ 24.1 特長	24-1	差し替え • 容量 H8SX/1648A、H8SX/1648L、H8SX/1648G、H8SX/1648H グループ追加によ る差し替え。

項 目	ページ	修正箇所
25. バウンダリスキャン	25-6～ 25-10	差し替え 表 25.4 バウンダリスキャンレジスタ パッケージ LFBGA-176 追加による差し替え。
26. クロック発振器	26-1、 26-2	差し替え 概要 図 26.1 クロック発振器のブロック図 サブクロック発振器、TM32K 追加による差し替え。
26.1.1 システムクロックコントロールレジスタ (SCKCR)	26-3、 26-4	差し替え サブクロック発振器追加による差し替え。
26.1.2 サブクロックコントロールレジスタ (SUBCKCR) *	26-5、 26-6	追加 サブクロック発振器追加による。
26.5 サブクロック発振器*	26-10～ 26-13	追加 サブクロック発振器追加による。
27. 低消費電力 27.1 特長	27-1～ 27-5	差し替え • マルチクロック機能 表 27.1 動作状態 図 27.1 (1) モード遷移 (H8SX/1648 グループ、H8SX/1648A グループ、H8SX/1648L グループ) サブクロック発振器、TM32K、LVD 追加による差し替え。 追加 図 27.1 (2) モード遷移 (H8SX/1648G グループ、H8SX/1648H グループ)
27.2.1 スタンバイコントロールレジスタ (SBYCR)	27-7、 27-8	差し替え サブクロック発振器追加による差し替え。
27.2.2 モジュールストップコントロールレジスタ A、B (MSTPCRA、MSTPCRB)	27-10	差し替え • MSTPCRA EXDMAC 追加による差し替え
27.2.6 ディープスタンバイインタラプティネーブルレジスタ (DPSIER)	27-16、 27-17	追加 ビット 5、ビット 4 TM32K、LVD 追加による。
27.2.7 ディープスタンバイインタラプトフラグレジスタ (DPSIFR)	27-18、 27-19	差し替え ビット 5、ビット 4 TM32K、LVD 追加による差し替え
27.2.9 リセットステータスレジスタ (RSTSR)	27-21	追加 • H8SX/1648 グループ、H8SX/1648A グループ、H8SX/1648G グループ • H8SX/1648L グループ、H8SX/1648H グループ ビット 2～ビット 0 LVD、パワーオンリセット追加による。

項 目	ページ	修正箇所
27.3.2 サブクロックへの切り替え	27-22、 27-23	追加 サブクロック追加による。
27.4 モジュールストップ機能	27-23	差し替え EXDMAC 追加による差し替え。
27.5.2 スリープモードの解除	27-24	差し替え LVD、パワーオンリセット追加による差し替え
27.6 全モジュールクロックストップモード	27-25	LVD、TM32K、パワーオンリセット追加による差し替え。
27.7.2 ソフトウェアスタンバイモードの解除	27-26～ 27-28	差し替え 概要 27- 割り込みによる解除 32K タイマ、電圧監視、電圧監視リセット、パワーオンリセット割り込み追加による差し替え。 追加 27- 電圧監視リセットによる解除* ² 27- パワーオンリセットによる解除* ² 電圧監視リセット、パワーオンリセット追加による差し替え。
27.8.1 ディープソフトウェアスタンバイモードへの遷移	27-30	差し替え LVD、TM32K 追加による差し替え。
27.8.2 ディープソフトウェアスタンバイモードの解除	27-30、 27-31	差し替え 概要 27- 外部割り込み端子による解除 LVD、TM32K 追加による差し替え。 追加 27- 電圧監視リセットによる解除* ² 27- パワーオンリセットによる解除* ² 電圧監視リセット、パワーオンリセット追加による差し替え。
27.8.4 ディープソフトウェアスタンバイモード解除後の Bφ および SDRAM φ*動作	27-33	差し替え SDRAM φ 追加による差し替え。
27.9.4 電源投入時のタイミング	27-42	差し替え パワーオンリセット追加による差し替え。
27.11 φクロック出力制御	27-46	差し替え SDRAM φ 追加による差し替え。
27.12.3 DMAC、EXDMAC*、DTC のモジュールストップ	27-47	差し替え EXDMAC 追加による差し替え。

項 目	ページ	修正箇所
27.12.7 ディープソフトウェアスタンバイモードの遷移と割り込みの競合	27-48	差し替え 32K タイマ、電圧監視割り込み追加による差し替え。
27.12.8 Bφおよび SDRAMφ*出力の状態	27-48	差し替え SDRAMφ追加による差し替え。
28.1 レジスタアドレス一覧(アドレス順)	28-3	追加 ポート M データディレクションレジスタ ポート M データレジスタ ポート M レジスタ ポート M 入力バッファコントロールレジスタ ポート M 追加による。
		追加 ポート N データディレクションレジスタ ポート N データレジスタ 記載漏れによる
	28-5	追加 タイマコントロールレジスタ タイマカウンタ 1 タイマカウンタ 2 タイマカウンタ 3 TM32K 追加による。
	28-8	追加 ポートファンクションコントロールレジスタ 8* ² EXDMAC 追加による。

項 目	ページ	修正箇所
28.1 レジスタアドレス一覧 (アドレス順)	28-10、 28-11	追加 EXDMA オフセットレジスタ_0*2 EXDMA 転送カウントレジスタ_0*2 EXDMA ブロックサイズレジスタ_0*2 EXDMA モードコントロールレジスタ_0*2 EXDMA アドレスコントロールレジスタ_0*2 EXDMA ソースアドレスレジスタ_1*2 EXDMA デスティネーションアドレスレジスタ_1*2 EXDMA オフセットレジスタ_1*2 EXDMA 転送カウントレジスタ_1*2 EXDMA ブロックサイズレジスタ_1*2 EXDMA モードコントロールレジスタ_1*2 EXDMA アドレスコントロールレジスタ_1*2 EXDMA ソースアドレスレジスタ_2*2 EXDMA デスティネーションアドレスレジスタ_2*2 EXDMA オフセットレジスタ_2*2 EXDMA 転送カウントレジスタ_2*2 EXDMA ブロックサイズレジスタ_2*2 ϕ EXDMA モードコントロールレジスタ_2*2 EXDMA アドレスコントロールレジスタ_2*2 EXDMA ソースアドレスレジスタ_3*2 EXDMA デスティネーションアドレスレジスタ_3*2 EXDMA オフセットレジスタ_3*2 EXDMA 転送カウントレジスタ_3*2 EXDMA ブロックサイズレジスタ_3*2 EXDMA モードコントロールレジスタ_3*2 EXDMA アドレスコントロールレジスタ_3*2 EXDMAC 追加による。

項 目	ページ	修正箇所
28.1 レジスタアドレス一覧 (アドレス順)	28-12、 28-13	追加 DRAM コントロールレジスタ* ² DRAM アクセスコントロールレジスタ* ² シンクロナス DRAM コントロールレジスタ* ² リフレッシュコントロールレジスタ* ² リフレッシュタイマカウンタ* ² リフレッシュタイムコンスタントレジスタ* ² DRAM インタフェース、SDRAM インタフェース追加による。 追加 低電圧検出コントロールレジスタ* ³ LVD 追加による。
28.2 レジスタビット一覧	28-21、 28-22	追加 PMDDR* ³ PMDR* ³ PORTM* ³ PMICR* ³ ポート M 追加による。
		追加 PNDDR PNDR 記載漏れによる
	28-24	追加 TCR32K* ³ 、TCNT32K1* ³ 、TCNT32K2* ³ 、TCNT32K3* ³ TM32K 追加による。
	28-28	追加 PFCR8* ³ EXDMAC 追加による。
	28-32~ 28-36	追加 EDSAR_0* ³ 、EDDAR_0* ³ 、EDOFR_0* ³ 、EDTCR_0* ³ 、EDBSR_0* ³ 、 EDMDR_0* ³ 、EDACR_0* ³ 、EDSAR_1* ³ 、EDDAR_1* ³ 、EDOFR_1* ³ 、 EDTCR_1* ³ 、EDBSR_1* ³ 、EDMDR_1* ³ 、EDACR_1* ³ 、EDSAR_2* ³ 、 EDDAR_2* ³ 、EDOFR_2* ³ 、EDTCR_2* ³ 、EDBSR_2* ³ 、EDMDR_2* ³ 、 EDACR_2* ³ 、EDSAR_3* ³ 、EDDAR_3* ³ 、EDOFR_3* ³ 、EDTCR_3* ³ 、 EDBSR_3* ³ 、EDMDR_3* ³ 、EDACR_3* ³ 、CLSBR0* ³ 、CLSBR1* ³ 、 CLSBR2* ³ 、CLSBR3* ³ 、CLSBR4* ³ 、CLSBR5* ³ 、CLSBR6* ³ 、 CLSBR7* ³ EXDMAC 追加による。

項 目	ページ	修正箇所
28.2 レジスタビット一覧	28-36、 28-37	差し替え IPRE 追加 IPRJ 差し替え IPRK
	28-38	差し替え BCR1 BCR2 追加 DRAMCR* ³ 、DRACCR* ³ 、SDCR* ³ 、REFCR* ³ 、RTCNT* ³ 、RTCOR* ³ DRAM インタフェース、SDRAM インタフェース追加による。 差し替え MDCR SCKCR
	28-39	差し替え RSTSR 追加 LVDCR* ⁴ LVD 追加による。
28.3 各動作モードにおけるレジスタの状態 全般	—	ディープソフトウェアスタンバイモードを追加。
	28-48	追加 PMDDR* ² 、PMDR* ² 、PORTM* ² 、PMICR* ² 、 ポート M 追加による。
		追加 PNDDR、PNDR 記載漏れによる
28-50	追加 TCR3 ² K* ² 、TCNT32K1* ² 、TCNT32K2* ² 、TCNT32K3* ² TM32K 追加による。	

項 目	ページ	修正箇所
28.3 各動作モードにおけるレジスタの状態 全般	28-54	追加 PFCR8* ² EXDMAC 追加による。
	28-55、 28-56	追加 EDSAR_0* ² 、EDDAR_0* ² 、EDOFR_0* ² 、EDTCR_0* ² 、EDBSR_0* ² 、 EDMDR_0* ² 、EDACR_0* ² 、EDSAR_1* ² 、EDDAR_1* ² 、EDOFR_1* ² 、 EDTCR_1* ² 、EDBSR_1* ² 、EDMDR_1* ² 、EDACR_1* ² 、EDSAR_2* ² 、 EDDAR_2* ² 、EDOFR_2* ² 、EDTCR_2* ² 、EDBSR_2* ² 、EDMDR_2* ² 、 EDACR_2* ² 、EDSAR_3* ² 、EDDAR_3* ² 、EDOFR_3* ² 、EDTCR_3* ² 、 EDBSR_3* ² 、EDMDR_3* ² 、EDACR_3* ² 、CLSBRO* ² 、CLSBR1* ² 、 CLSBR2* ² 、CLSBR3* ² 、CLSBR4* ² 、CLSBR5* ² 、CLSBR6* ² 、 CLSBR7* ² EXDMAC 追加による。
	28-57	追加 IPRJ
	28-58	追加 DRAMCR* ² 、DRACCR* ² 、SDCR* ² 、REFCR* ² 、RTCNT* ² 、RTCOR* ² DRAM インタフェース、SDRAM インタフェース追加による。 追加 LVDCR* ⁴ LVD 追加による。
29. 電気的特性 29.1 絶対最大定格 表 29.1 絶対最大定格	29-1	追加 入力電圧（ポート 4、5、N 以外）
29.2 DC 特性 H8SX/1648 グループ、H8SX/1648A グループ、H8SX/1648G グループ	29-2～ 29-3	差し替え H8SX/1648A グループ、H8SX/1648G グループ追加による差し替え。
29.3 DC 特性 H8SX/1648L グループ、H8SX/1648H グループ	29-5～ 29-8	追加 H8SX/1648L グループ、H8SX/1648H グループ追加による。

項 目	ページ	修正箇所
29.4.4 DMAC、EXDMAC タイミング	29-43	差し替え 表 29.9 DMAC、EXDMAC タイミング 図 29.37 DMAC および EXDMAC*、DREQ、EDREQ*入カタイミング 図 29.38 DMAC および EXDMAC*、TEND、ETEND*出カタイミング 図 29.39 DMAC および EXDMAC*シングルアドレス転送タイミング (2 ステートアクセス) 図 29.40 DMAC および EXDMAC*シングルアドレス転送タイミング (3 ステートアクセス) 図 29.41 EXDMAC、EDRAK 出カタイミング* EXDMAC 追加による。
29.4.5 内蔵周辺モジュールタイミング	29-49	差し替え 図 29.42 I/O ポート入出カタイミング ポート M 追加による。
29.5 A/D 変換特性	29-54	差し替え H8SX/1648A グループ、H8SX/1648G グループ、H8SX/1648L グループ、H8SX/1648H グループ追加による差し替え。
29.7 フラッシュメモリ特性	29-56	差し替え H8SX/1648A グループ、H8SX/1648G グループ、H8SX/1648L グループ、H8SX/1648H グループ追加による差し替え。
29.8 パワーオンリセット回路・電圧検出回路特性 (H8SX/1648L グループ、H8SX/1648H グループ)	29-58	追加 パワーオンリセット、LVD 追加による。
付録 B. 型名一覧	付録-6	差し替え H8SX/1648A グループ、H8SX/1648G グループ、H8SX/1648L グループ、H8SX/1648H グループ追加による差し替え。
C. 外形寸法図	付録-8	追加 図 C.1 外形寸法図 (BP-176V)
D. 未使用端子の処理について	付録-9	差し替え

索引

【数字／記号】	
0 出力／1 出力	14-46
16 ビットアクセス空間	9-58
16 ビットカウントモード	16-25
16 ビットタイマパルスユニット (TPU)	14-1
32K タイマ (TM32K)	17-1
8 ビットアクセス空間	9-57
8 ビットタイマ (TMR)	16-1
【A】	
A/D 変換器	21-1
A/D 変換精度	21-27
AT カット並列共振形	26-7
【B】	
Bφクロック出力制御	27-46
【C】	
CRC 演算器	19-85
【D】	
D/A 変換器	22-1
DMA コントローラ (DMAC)	10-1
DRAM インタフェース	9-50, 9-93
DTC ベクタアドレス	12-12
DTC ベクタアドレスオフセット	12-12
【E】	
EXDMA コントローラ (EXDMAC)	11-1
【I】	
I/O ポート	13-1
I ² C バスインタフェース 2 (IIC2)	20-1
I ² C バスフォーマット	20-16
ID コード	19-50
IRQn 割り込み	7-18
【M】	
MCU 動作モード	3-1
【N】	
NMI 割り込み	7-18
【P】	
PC ブレーク	8-8
PLL 回路	26-1, 26-9
PWM モード	14-56
【R】	
RAM	23-1
【あ】	
アイドルサイクル	9-159
アクセスステート数	9-49
アクリッジ	20-16
アドレス／データマルチプレクス I/O	
インタフェース	9-50, 9-84
アドレスエラー	6-8
アドレスマップ	3-8
アドレスモード	10-20, 11-23, 11-71
位相計数モード	14-61
一般不当命令	6-14
インターバルタイマ	18-7
インターバルタイマモード	18-7
インバースコンベンション	19-65
ウェイト制御	9-67
ウォッチドッグタイマ (WDT)	18-1
ウォッチドッグタイマモード	18-6
エラーシグナル	19-64
エラープロテクト	24-51
エリア 0	9-53
エリア 1	9-53
エリア 2	9-54
エリア 3	9-54
エリア 4	9-54
エリア 5	9-55
エリア 6	9-55
エリア 7	9-56
エリア分割	9-46
エンディアンとデータアライメント	9-57
エンディアン形式	9-49
オーバフロー	16-24, 18-6
オープンドレインコントロールレジスタ	13-13
オフセット加算	10-35, 11-37
オフセット誤差	21-27
オンボードプログラミング	24-29
オンボードプログラミングモード	24-29
【か】	
外形寸法図	付録-7
外部アクセスバス	9-39

外部クロック	26-8
外部バス	9-43
外部バスインタフェース	9-48
外部バスクロック (B ϕ)	9-40, 26-1
外部ライトデータバッファ機能	9-177
外部割り込み要因	7-18
書き込み/消去インタフェース	24-9
書き込み/消去インタフェースパラメータ	24-18
書き込み/消去インタフェースレジスタ	24-13
拡張リピートエリア	10-18
拡張リピートエリア機能	10-32, 11-34
各ポートの出力信号有効設定一覧	13-53
各ポートのレジスタ構成	13-9
カスケード接続	16-25
カスケード接続動作	14-54
型名一覧	付録-6
基本バスインタフェース	9-49, 9-60
クラスタ転送デュアルアドレスモード	11-71
クラスタ転送モード	11-22
クラスタ転送ライトアドレスモード	11-74
クラスタ転送リードアドレスモード	11-73
クロック同期化サイクル (T _{sy})	9-40
クロック同期式モード	19-55
クロック発振器	26-1
コンディションマッチフラグ	8-8
コンペアマッチ A	16-22
コンペアマッチ B	16-22
コンペアマッチカウントモード	16-25
コンペアマッチ信号	16-21

【さ】

サイクルスチールモード	10-31, 11-32
サンプル&ホールド回路	21-23
システムクロック (I ϕ)	9-40, 26-1
周辺モジュールクロック(P ϕ)	26-1
周辺モジュールクロック (P ϕ)	9-40
周辺モジュールライトデータバッファ機能	9-178
出力トリガ	15-23
出力バッファ制御	13-14
ショートアドレスモード	12-10
処理状態	2-43
シリアルコミュニケーションインタフェース (SCI)	19-1
シングルアドレスモード	10-21, 11-24
シングルモード	21-19
シンクロナス DRAM インタフェース	9-51, 9-117
水晶発振子	26-7
スキャンモード	21-20
スタートビット	19-39
ストップビット	19-39
ストローブアサート/ネゲートタイミング	9-52
スペース	19-39

スマートカードインタフェース	19-63
スリープモード	27-2, 27-24
スレーブ受信モード	20-23
スレーブ送信モード	20-21
スロット不当命令	6-14
絶対精度	21-27
全モジュールクロックストップモード	27-2, 27-25
送受信データ	19-39
ソフトウェアスタンバイモード	27-2, 27-26, 27-30
ソフトウェアプロテクト	24-50

【た】

ダイレクトコンベンション	19-65
ダウンロードパスフェイルリザルトパラメータ	24-20
ダブルバッファ	19-39
端子機能	1-19
チェイン転送	12-23
チップセレクト (CS) アサート期間拡張	9-70
チップセレクト信号	9-47
調歩同期式モード	19-39
通信プロトコル	24-58
低消費電力	27-1
データトランスファコントローラ (DTC)	12-1
デュアルアドレスモード	10-20, 11-23
電圧検出回路 (LVD)	5-1
転送情報	12-10
転送情報ライトバックスキップ機能	12-19
転送情報リードスキップ機能	12-19
転送モード	10-24, 11-27
同期クリア	14-49
同期プリセット	14-49
動作モード別ピン配置一覧	1-13
トグル出力	14-47
トラップ命令例外処理	6-12
トレース例外処理	6-7

【な】

内蔵 ROM 無効	3-1
内蔵 ROM 有効	3-1
内蔵ボーレートジェネレータ	19-42
内部システムバス	9-39
内部周辺バス	9-39
内部割り込み	7-19
ノイズ除去回路	20-25
ノーマル転送モード	10-24, 11-27, 12-20
ノンオーバーラップ動作	15-24

【は】

バースト ROM インタフェース	9-50, 9-80
バーストモード	10-32, 11-33
ハードウェアスタンバイモード	27-2, 27-41

ハードウェアプロテクト	24-50
バイト制御 SRAM インタフェース	9-50, 9-72
バウンダリスキャン	25-1
バスアービトラーション	9-179
バスコントローラ (BSC)	9-1
バスサイクル分割	12-17
バスモード	10-31, 11-32
バス解放	9-172
バス権解放状態	2-43
バス構成	9-39
バス幅	9-49
パッケージ	1-9
発振器	26-7
バッファ動作	14-51
パリティビット	19-39
非直線性誤差	21-27
ビッグエンディアン	9-49
ビットレート	19-25
ビット同期回路	20-31
ピン配置図	1-11
ブートモード	24-4, 24-29
ブートモードの標準シリアル通信 インタフェース仕様	24-56
不当命令	6-14
フラッシュイレースブロックセレクト パラメータ	24-27
フラッシュパス/フェイルパラメータ	24-21
フラッシュプログラム/イレース周波数 パラメータ	24-24
フラッシュマルチパースアドレスエリア パラメータ	24-25
フラッシュマルチパースデータ デスティネーションパラメータ	24-26
フラッシュメモリ	24-1
ブルアップ MOS コントロールレジスタ	13-12
フルアドレスモード	12-10
フルスケール誤差	21-27
ブレイクコントロール条件の設定	8-7
プログラマブルパルスジェネレータ (PPG)	15-1
プログラム実行状態	2-43
プログラム停止状態	2-43
ブロック構成	24-6, 24-7, 24-8
ブロック転送モード	10-26, 11-29, 12-22
プロテクト	24-50
分解能	21-27
分周器	26-1
平均転送レートジェネレータ	19-2
ベクタテーブルアドレス	6-2
ベクタテーブルアドレスオフセット	6-2
ポートファンクションコントローラ	13-61

【ま】

マーク状態	19-39, 19-80
マスタ受信モード	20-19
マスタ送信モード	20-17
マルチクロック機能	27-22
マルチプロセッサビット	19-50
マルチプロセッサ通信機能	19-50
メモリマップ構成	24-5
モード 1	3-6
モード 2	3-6
モード 3	3-6
モード 4	3-6
モード 5	3-6
モード 6	3-6
モード端子	3-1

【や】

ユーザブートマップ	24-5
ユーザブートモード	24-4, 24-42
ユーザブレイクコントローラ (UBC)	8-1
ユーザプログラムモード	24-4, 24-33
ユーザマップ	24-5

【ら】

ライターモード	24-4, 24-56
ライトデータバッファ機能	9-177
リードストロープ (RD) タイミング	9-69
リセット	6-4
リセット状態	2-43
リトルエンディアン	9-49
リピート転送モード	10-25, 11-28, 12-21
量子化誤差	21-27
例外処理	6-1
例外処理後のスタックの状態	6-15
例外処理状態	2-43
例外処理ベクタテーブル レジスタ	6-2
ABWCR	9-5, 28-12, 28-37, 28-57
ADCR_0	21-14
ADCR_1	21-15
ADCR_2	21-17
ADCSR	21-8, 21-10, 21-12
ADDR	21-7
ASTCR	9-6, 28-12, 28-37, 28-57
BAMRA	8-5
BAMRB	8-5
BAMRC	8-5
BAMRD	8-5
BARA	8-4
BARB	8-4
BARC	8-4

BARD	8-4	FMATS	24-16
BCR1	9-18, 28-12, 28-38, 28-57	FMPAR	24-25
BCR2	9-20, 28-12, 28-38, 28-57	FMPDR	24-26
BRCRA	8-6	FPCS	24-14, 28-13, 28-39, 28-58
BRCRB	8-6	FPEFEQ	24-24
BRCRC	8-6	FPPFR	24-21
BRCRD	8-6	FTDAR	24-17, 28-13, 28-39, 28-58
BROMCR	9-23, 28-12, 28-38, 28-57	ICCRA	20-6, 28-4, 28-14, 28-23, 28-40, 28-59
BRR	19-25, 28-16, 28-43, 28-62	ICCRB	20-7, 28-4, 28-14, 28-23, 28-40, 28-59
CCR	2-14	ICDRR	20-15, 28-4, 28-14, 28-23, 28-40, 28-59
CLSBR	11-20	ICDRS	20-15
CPUPCR	7-5, 28-15, 28-41, 28-60	ICDRT	20-14, 28-4, 28-14, 28-23, 28-40, 28-59
CRA	12-6	ICIER	20-10, 28-4, 28-14, 28-23, 28-40, 28-59
CRB	12-7	ICMR	20-9, 28-4, 28-14, 28-23, 28-40, 28-59
CRCCR	19-86	ICR	13-11, 28-7, 28-27, 28-52
CRCDIR	19-86	ICSR	20-11, 28-4, 28-14, 28-23, 28-40, 28-59
CRCDOR	19-87	IDLCR	9-16, 28-12, 28-38, 28-57
CSACR	9-14, 28-12, 28-57	IER	7-8, 28-15, 28-41, 28-60
DACR	10-14, 28-9, 28-29, 28-54	INTCR	7-4, 28-15, 28-41, 28-60
DACR01	22-2, 28-16, 28-42, 28-61	IPR	28-11, 28-36, 28-57
DADR0	22-2, 28-16, 28-42, 28-61	ISCRH	7-10, 28-12, 28-37, 28-57
DADR1	22-2, 28-16, 28-42, 28-61	ISCR L	7-10, 28-12, 28-37, 28-57
DAR	12-6	ISR	7-15, 28-15, 28-41, 28-60
DBSR	10-7, 28-9, 28-29, 28-54	JTBPR	25-5
DDAR	10-5, 28-9, 28-29, 28-54	JTBSR	25-5
DDR	13-10, 28-7, 28-27, 28-52	JTID	25-11
DMDR	10-8, 28-9, 28-29, 28-54	JTIR	25-4
DMRSR	10-19	LVDCR	5-2
DOFR	10-6, 28-9, 28-29, 28-54	MAC	2-15
DPFR	24-20	MDCR	3-2, 28-13, 28-38, 28-58
DR	13-10, 28-16, 28-42, 28-61	MPXCR	9-25, 28-12, 28-38, 28-57
DRACC	9-31	MRA	12-4
DRAMCR	9-26	MRB	12-5
DSAR	10-5, 28-9, 28-29, 28-54	MSTPCRA	27-9, 28-13, 28-38, 28-58
DTCCR	12-8, 28-15, 28-41, 28-60	MSTPCRB	27-9, 28-13, 28-38, 28-58
DT CER	12-7, 28-15, 28-41, 28-60	MSTPCRC	27-12, 28-13, 28-39, 28-58
DTCR	10-6, 28-9, 28-29, 28-54	NDERH	15-6, 28-4, 28-16, 28-22, 28-43, 28-49, 28-61
DTCVBR	12-9, 28-12, 28-37, 28-57	NDERL	15-6, 28-4, 28-16, 28-22, 28-43, 28-49, 28-61
EDACR	11-15	NDRH	15-10, 28-4, 28-16, 28-22, 28-43, 28-49, 28-62
EDBSR	11-8	NDRL	15-10, 28-4, 28-16, 28-22, 28-43, 28-49, 28-62
EDDAR	11-6	ODR	13-13, 28-8, 28-28, 28-53
EDMDR	11-9	PC	2-13
EDOFR	11-7	PCR(I/Oポート)	13-12, 28-8, 28-28, 28-53
EDSAR	11-6	PCR(PPG)	15-14, 28-4, 28-16, 28-22, 28-43, 28-49, 28-61
EDTCR	11-7	PFCR0	13-62, 28-8, 28-28, 28-53
ENDIANCR	9-21, 28-12, 28-38, 28-57	PFCR1	13-63, 28-8, 28-28, 28-53
EXR	2-15	PFCR2	13-64, 28-8, 28-28, 28-53
FCCS	24-13, 28-13, 28-39, 28-58		
FEBS	24-27		
FECS	24-15, 28-13, 28-39, 28-58		
FKEY	24-15, 28-13, 28-39, 28-58		

PFCR4	13-65, 28-8, 28-28, 28-53	TCNT(WDT)	18-3, 28-17, 28-44, 28-62
PFCR6	13-66, 28-8, 28-28, 28-53	TCNT32K	17-3
PFCR7	13-67, 28-8, 28-28, 28-54	TCORA	16-9, 28-17, 28-44, 28-62
PFCR9	13-69, 28-9, 28-28, 28-54	TCORB	16-9, 28-17, 28-44, 28-63
PFCRA	13-70	TCR	14-14, 16-10
PFCRB	13-72, 28-9, 28-28, 28-54	TCR(TMR)	28-17, 28-44, 28-62
PFCRC	13-74, 13-75, 28-9, 28-28, 28-54	TCR(TPU)	28-18, 28-24, 28-25, 28-44, 28-63
PMR	15-16, 28-4, 28-16, 28-22, 28-43, 28-49, 28-61	TCR32K	17-2
PODRH	15-8, 28-4, 28-16, 28-22, 28-43, 28-49, 28-61	TCSR	16-16
PODRL	15-8, 28-4, 28-16, 28-22, 28-43, 28-49, 28-61	TCSR(TMR)	28-17, 28-44, 28-62
PORT	13-11, 28-15, 28-42, 28-60	TCSR(WDT)	18-3, 28-17, 28-44, 28-62
RAMER	24-28, 28-12, 28-38, 28-58	TDR	19-10, 28-16, 28-43, 28-62
RDNCR	9-12, 28-12, 28-37, 28-57	TGR	14-41, 28-5, 28-6, 28-7, 28-18, 28-25, 28-26, 28-45, 28-50, 28-51, 28-52, 28-63
RDR	19-10, 28-17, 28-43, 28-62	TIER	14-37, 28-5, 28-6, 28-18, 28-24, 28-25, 28-44, 28-50, 28-51, 28-52, 28-63
REFCR	9-34	TIOR	14-19, 28-5, 28-6, 28-18, 28-24, 28-25, 28-44, 28-50, 28-51, 28-52, 28-63
RSR	19-10	TMDR	14-18, 28-5, 28-6, 28-18, 28-24, 28-25, 28-44, 28-50, 28-51, 28-52, 28-63
RSTCSR	4-6, 18-5, 28-17, 28-44, 28-62	TSR	14-38, 19-10
RSTSR	5-3	TSR(TPU)	28-5, 28-6, 28-18, 28-24, 28-25, 28-44, 28-50, 28-51, 28-52, 28-63
RTCNT	9-37	TSTR	14-42, 28-17, 28-44, 28-63
RTCOR	9-38	TSYR	14-42, 28-18, 28-44, 28-63
SAR	12-6, 20-14, 28-4, 28-14, 28-23, 28-40, 28-59	VBR	2-15
SBR	2-15	WTCRA	9-7, 28-12, 28-37, 28-57
SBYCR	27-7, 27-13, 27-15, 27-16, 27-18, 27-20, 27-21, 27-22, 28-13, 28-38, 28-58	WTCRB	9-7, 28-12, 28-37, 28-57
SCKCR	26-3, 28-13, 28-38, 28-58	汎用レジスタ	2-12
SCMR	19-24, 28-17, 28-43, 28-62	レジスタアドレス一覧	28-2
SCR	19-14, 28-16, 28-43, 28-62	レジスタビット一覧	28-20
SDCR	9-32		
SEMR	19-31, 19-32, 28-13, 28-39, 28-58		
SMR	19-11, 28-16, 28-43, 28-62		
SRAMCR	9-22, 28-12, 28-38, 28-57		
SSIER	7-17, 28-9, 28-28, 28-54		
SSR	19-18, 28-16, 28-43, 28-62		
SYSCR	3-4, 28-13, 28-38, 28-58		
TCCR	16-11, 28-17, 28-44, 28-63		
TCNT	14-41, 16-9		
TCNT(TMR)	28-17, 28-44, 28-63		
TCNT(TPU)	28-5, 28-6, 28-18, 28-24, 28-26, 28-44, 28-50, 28-51, 28-52, 28-63		

【わ】

割り込み	6-10
割り込み応答時間	7-31
割り込みコントローラ	7-1
割り込み制御モード0	7-26
割り込み制御モード2	7-28
割り込み要因	7-18
割り込み要因とベクタアドレスオフセット	7-20
割り込み例外処理シーケンス	7-30
割り込み例外処理ベクタテーブル	7-19

ルネサス32ビットCISCマイクロコンピュータ
ハードウェアマニュアル
H8SX/1648、H8SX/1648A、H8SX/1648L、H8SX/1648G、
H8SX/1648Hグループ

発行年月日 2007年7月13日 Rev.1.00

2008年6月6日 Rev.2.00

発行 株式会社ルネサス テクノロジ 営業統括部
〒100-0004 東京都千代田区大手町 2-6-2

編集 株式会社ルネサスソリューションズ
グローバルストラテジックコミュニケーション本部
カスタマサポート部

株式会社ルネサス テクノロジ 営業統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

営業お問合せ窓口
株式会社ルネサス販売

RENESAS

<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
西	東	京	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル)	(042) 524-8701
東	北		社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア)	(022) 221-1351
い	わ	き	支店	〒970-8026	いわき市平宇田町120番地ラトフ	(0246) 22-3222
茨	城		支店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田)	(029) 271-9411
新	潟		支店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル)	(025) 241-4361
松	本		支社	〒390-0815	松本市深志1-2-11 (昭和ビル)	(0263) 33-6622
中	部		支社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
関	西		支社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸		支社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル)	(076) 233-5980
鳥	取		支店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
広	島		支店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング)	(082) 244-2570
九	州		支社	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ)	(092) 481-7695

※営業お問い合わせ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：コンタクトセンタ E-Mail: csc@renesas.com

H8SX/1648、H8SX/1648A、H8SX/1648L、H8SX/1648G、H8SX/1648H グループ
ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJ09B0397-0200