

ユーザーズ・マニュアル

携帯マルチメディア・プロセッサ

DDR SDRAM インタフェース編

EMMA Mobile™1

資料番号 R19UH0028JJ0500 (第5版)
(S19254JJ5V0UM00)

発行年月 June 2010

[メ モ]

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違うと、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

はじめに

対象者 このマニュアルは、携帯マルチメディア・プロセッサ EMMA Mobile1(以降、EM1 と表記します)の Mobile DDR SDRAM インタフェースの機能を理解し、それをを用いたソフトウェア、ハードウェアなどのアプリケーション・システムを設計するユーザを対象とします。

目的 このマニュアルは、EM1 の Mobile DDR SDRAM インタフェースが持つハードウェア、ソフトウェア機能をユーザに理解していただき、これらのデバイスを使用するシステムのハードウェア、ソフトウェア開発の参照用資料として役立つことを目的としています。

構成 このマニュアルは、大きく分けて次の内容で構成しています。

第1章 概 説

第2章 端子機能

第3章 レジスタ

第4章 使用方法

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコンピュータに関する一般的知識が必要となります。

・ DDR SDRAM インタフェースの機能の詳細を理解しようとするとき
目次に従ってお読みください。

・ 携帯マルチメディア・プロセッサ全体の機能を理解しようとするとき
モジュールごとのユーザズ・マニュアルを参照してください。

・ 携帯マルチメディア・プロセッサ全体の電気的特性を理解しようとするとき
データ・シートを参照してください。

凡 例	データ表記の重み	: 左が上位桁, 右が下位桁
	注	: 本文中につけた注の説明
	注意	: 気をつけて読んでいただきたい内容
	備考	: 本文中の補足説明
	数の表記	: 2進数 ... x x x x または x x x x b 10進数 ... x x x x 16進数 ... x x x x H
	データ・タイプ	ワード ... 32 ビット ハーフワード ... 16 ビット バイト ... 8 ビット

関連資料 関連資料は暫定版の場合がありますが, この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

資料名		資料番号
MC-10118A データ・シート		R19DS0008JJ (S19657J)
μ PD77630A データ・シート		S19686J
ユーザーズ・マニュアル	Audio/Voice , PWM インタフェース編	R19UH0027JJ (S19253J)
	DDR SDRAM インタフェース編	このマニュアル
	DMA コントローラ編	S19255J
	I ² C インタフェース編	S19256J
	ITU-R BT.656 インタフェース編	S19257J
	LCD コントローラ編	S19258J
	MICROWIRE 編	S19259J
	NAND Flash インタフェース編	S19260J
	SPI 編	S19261J
	UART インタフェース編	S19262J
	イメージ・コンポザ編	S19263J
	イメージ・プロセッサ・ユニット編	S19264J
	システム制御 / 汎用入出力インタフェース編	R19UH0029JJ (S19265J)
	タイマ編	S19266J
	地上デジタル TV インタフェース編	S19267J
	カメラ・インタフェース編	S19285J
	USB インタフェース編	S19359J
	SD メモリ・カード・インタフェース	S19361J
	PDMA 編	S19373J
	1 チップ編 (MC-10118A)	R19UH0030JJ (S19598J)
1 チップ編 (μ PD77630A)	R19UH0031JJ (S19687J)	

()内は旧資料番号

注意 上記関連資料は、予告なしに内容を変更することがあります。設計などには、必ず最新の資料を使用してください。

この資料に記載されている会社名、製品名などは、各社の商標または登録商標です。

目 次

第 1 章 概 説・・・11

1.1 特 徴・・・11

1.2 ブロック図・・・12

1.3 略語説明・・・12

第 2 章 端子機能・・・13

2.1 DDR SDRAMインタフェース端子・・・13

第 3 章 レジスタ・・・14

3.1 レジスタ一覧・・・14

3.1.1 リクエスト制御レジスタ/システム・キャッシュ設定レジスタ・・・14

3.1.2 メモリ・リクエスト・スケジューラ設定レジスタ・・・14

3.1.3 外部メモリ制御レジスタ・・・15

3.2 レジスタ機能・・・16

3.2.1 キャッシュ/プリフェッチ設定レジスタ・・・16

3.2.2 縮退機能レジスタ・・・17

3.2.3 ACPU向け割り込みステータス・レジスタ・・・18

3.2.4 ACPU向け割り込みRaw ステータス・レジスタ・・・19

3.2.5 ACPU向け割り込みイネーブル・セット・レジスタ・・・20

3.2.6 ACPU向け割り込みイネーブル・クリア・レジスタ・・・21

3.2.7 ACPU向け割り込み要因クリア・レジスタ・・・22

3.2.8 エラー・マスタIDレジスタ・・・23

3.2.9 エラー・アドレス・レジスタ・・・24

3.2.10 メモリ・リクエスト・スケジューリング・モード・レジスタ・・・25

3.2.11 メモリ接続用レジスタ・・・26

3.2.12 AC タイミング設定用レジスタ1・・・30

3.2.13 AC タイミング設定用レジスタ2・・・31

3.2.14 ソフトウェア・コマンド発行用レジスタ1・・・33

3.2.15 ソフトウェア・コマンド発行用レジスタ2・・・34

3.2.16 リフレッシュ機能設定用レジスタ1・・・36

3.2.17 リフレッシュ機能設定用レジスタ2・・・37

3.2.18 リフレッシュ機能設定用レジスタ3・・・39

3.2.19 DQS タイミング調整用レジスタ1・・・40

3.2.20 DQS タイミング調整用レジスタ2・・・41

3.2.21 DQSタイミング調整用レジスタ3・・・42

3.2.22 メモリ・ステータス確認用レジスタ・・・43

第4章 使用方法・・・44

4.1 外部メモリ・アクセス制御・・・44

- 4.1.1 外部メモリ・アクセス・・・44
- 4.1.2 クロック制御・周波数自動制御・・・44
- 4.1.3 クロック位相制御・・・46
- 4.1.4 アービトレーション・・・48
- 4.1.5 リフレッシュ制御・・・49
- 4.1.6 ソフトウェア・コマンド制御・・・50
- 4.1.7 電源ON/OFFシーケンス・・・51

図の目次

図番号	タイトル, ページ
図 1 - 1	ブロック図・・・12
図 3 - 1	外部メモリアドレスマッピングイメージ・・・28
図 4 - 1	MEMC_RCLK動作周波数切り換えタイミング・・・45
図 4 - 2	クロック調整機構・・・46
図 4 - 3	Write位相調整・・・46
図 4 - 4	Read位相調整・・・47
図 4 - 5	リフレッシュ制御状態遷移図・・・49
図 4 - 6	SDRAMパワー・アップ・タイミング・・・51

表の目次

表番号	タイトル, ページ
表 3 - 1	CPUアドレス 外部メモリアドレス 対比表 (JEDEC)・・・28
表 3 - 2	DDR SDRAM (JEDEC)・・・29
表 4 - 1	16Word access (BL=8) clock数・・・44
表 4 - 2	DDRコントローラ処理優先順位・・・48
表 4 - 3	ソフトウェア・コマンド一覧・・・50

第1章 概 説

このマニュアルでは、EM1 の Mobile DDR SDRAM インタフェース (以降 MEMC と表記します) について説明します。MEMC は、DDR SDRAM へのアクセスを行うインタフェースです。

1.1 特 徴

外部メモリ・アクセス制御

MEMC には、外部メモリ・インタフェースのタイミング制御回路が搭載されています。使用可能なメモリは Mobile DDR SDRAM です。最高動作周波数は 166 MHz です。

SDRAM に必要なリフレッシュ動作は、MEMC 内部でリフレッシュ・リクエストを生成し実行が可能です。

次に示す機能の詳細は 第4章 機能詳細 を参照してください。

- 対応 SDRAM
 - Mobile DDR SDRAM に対応
 - 32 ビット・データバス接続 (×32 ビット幅もしくは ×16 ビット幅のチップ 2 ヶ並列)
 - 動作周波数: 133/166 MHz (DDR266 / DDR333)
 - CS0, CS1 対応 (1 CS あたり、最大容量 1G ビット[128M バイト])
16M バイト (128M ビット 1 チップ) ~ 256M バイト (1G ビット × 2 チップ)
- 主な機能
 - フレキシブル・アドレス・マッピング
 - 自動セルフ・リフレッシュ・エントリ / 復帰モード
 - ソフトウェアによるコマンド制御機能
 - クロック制御、自動周波数制御による低消費電力対応

リクエスト制御

MEMC は各マクロから受け付けたリクエストを、性能と消費電力を考慮して制御します。受け付けたリード・リクエスト、ライト・リクエストはそれぞれ MEMC 内のキューに保持され、メモリの利用効率上がるようにスケジューリングして、メモリに発行されます。

システム・キャッシュ (リード・キャッシュ)

MEMC には、メモリからのリード・データを一時的に保持するためのシステム・キャッシュがあります。システム・キャッシュは dirty 状態を持たないリード・キャッシュです。リード・リクエストが、当該キャッシュへヒットした場合、メモリへ当該リード・リクエストは発行されません。キャッシュ・ヒット時は、メモリ・アクセスのレイテンシが低減されるとともに、メモリへのアクセス回数が低減されるので、電力効率が向上します。

1.2 ブロック図

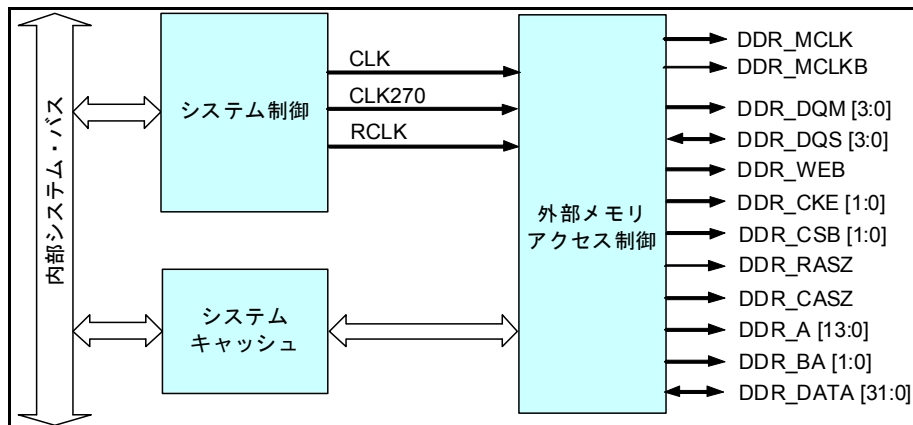


図 1-1 ブロック図

1.3 略語説明

- MEMC : Mobile DDR SDRAM Interface
- IMC : Image Composer
- SHXB : Slow Master AHB-AXI Bridge
- MHXB : Media Master AHB-AXI Bridge
- DHXB : Display Master AHB-AXI Bridge
- ADSPD : ADSP Application DSP (SPXK701)用データバス
- ADSPI : ADSP Application DSP (SPXK701)用インストラクションバス
- ACPU : Application CPU
- ASMU : System Management Unit

第2章 端子機能

2.1 DDR SDRAMインタフェース端子

端子名	入出力	リセット時	機能
DDR_MCLK	出力	32kHz	クロック出力
DDR_MCLKB	出力	32kHz の反転	クロック反転出力
DDR_DQM[3:0]	出力	1111B	ライト・データ・マスク
DDR_DQS[3:0]	入出力	PD (in)	データ・ストロープ
DDR_WEB	出力	0	ライト・イネーブル信号 (ロウ・アクティブ)
DDR_CKE[1:0]	出力	00	クロック・イネーブル信号(ロウ・アクティブ)
DDR_CSB[1:0]	出力	00	チップ・セレクト信号 (ロウ・アクティブ)
DDR_RASB	出力	0	ロウ・アドレス・ストロープ信号 (ロウ・アクティブ)
DDR_CASB	出力	0	カラム・アドレス・ストロープ信号 (ロウ・アクティブ)
DDR_A[13:0]	出力	0	アドレス
DDR_BA[1:0]	出力	0	バンク・アドレス
DDR_DATA[31:0]	入出力		データ入出力

備考 PD (in): Pull Down 抵抗あり (入力状態)

注: DDR SDRAM インタフェースの電源 OFF 時にも DDR_CKE は 0 レベルをキープしなければならないため、出力バッファは別電源ドメインになっています。

第3章 レジスタ

3.1 レジスタ一覧

DDR SDRAM インタフェースのレジスタは、ワード・アクセスのみ可能です。

Reserved レジスタへのアクセスは行わないでください。読み出した場合は不定値が返ります。

各レジスタ内の Reserved ビットへは、0 以外を書き込まないでください。

3.1.1 リクエスト制御レジスタ/システム・キャッシュ設定レジスタ

ベース・アドレス：C00A_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
0000H	キャッシュ/プリフェッチ設定レジスタ	MEMC_CACHE_MODE	R/W	0000_0000H
0004H	Reserved	-	-	-
0008H	縮退機能レジスタ	MEMC_DEGFUN	R/W	0000_0000H
000CH- 0010H	Reserved	-	-	-
0014H	ACPU 向け割り込みステータス・レジスタ	MEMC_INTSTATUS_A	R	0000_0000H
0018H	ACPU 向け割り込み Raw ステータス・レジスタ	MEMC_INTRAWSTATUS_A	R	0000_0000H
001CH	ACPU 向け割り込みイネーブル・セット・レジスタ	MEMC_INTENSET_A	R/W	0000_0000H
0020H	ACPU 向け割り込みイネーブル・クリア・レジスタ	MEMC_INTENCLR_A	W	-
0024H	ACPU 向け割り込み要因クリア・レジスタ	MEMC_INTFFCLR_A	W	-
0028H- 0064H	Reserved	-	-	-
0068H	エラー・マスタ ID レジスタ	MEMC_ERRMID	R	0000_0000H
006CH	エラー・アドレス・レジスタ	MEMC_ERRADR	R/W	0000_0000H
0070H- 0080H	Reserved	-	-	-

3.1.2 メモリ・リクエスト・スケジューラ設定レジスタ

ベース・アドレス：C00A_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
1000H	メモリ・リクエスト・スケジューリング・モード・レジスタ	MEMC_REQSCH	R/W	0000_0000H

3.1.3 外部メモリ制御レジスタ

ベース・アドレス： C00A_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
2000H	メモリ接続用レジスタ	MEMC_DDR_CONFIGF	R/W	0000_0000H
2004H	AC タイミング設定用レジスタ 1	MEMC_DDR_CONFIGA1	R/W	5444_3203H
2008H	AC タイミング設定用レジスタ 2	MEMC_DDR_CONFIGA2	R/W	00DA_0000H
200CH	ソフトウェア・コマンド発行用レジスタ 1	MEMC_DDR_CONFIGC1	R/W	4040_0003H
2010H	ソフトウェア・コマンド発行用レジスタ 2	MEMC_DDR_CONFIGC2	R/W	0000_03C0H
2014H	リフレッシュ機能設定用レジスタ 1	MEMC_DDR_CONFIGR1	R/W	7FFF_7FFFH
2018H	リフレッシュ機能設定用レジスタ 2	MEMC_DDR_CONFIGR2	R/W	1F5F_7C7CH
201CH	リフレッシュ機能設定用レジスタ 3	MEMC_DDR_CONFIGR3	R/W	0000_3F3FH
2020H	DQS タイミング調整用レジスタ 1	MEMC_DDR_CONFIGT1	R/W	0000_0003H
2024H	DQS タイミング調整用レジスタ 2	MEMC_DDR_CONFIGT2	R/W	0000_0000H
2028H	DQS タイミング調整用レジスタ 3	MEMC_DDR_CONFIGT3	R/W	0000_0000H
202CH	メモリ・ステータス確認用レジスタ	MEMC_DDR_STATE8	R/W	0000_0000H

3.2 レジスタ機能

3.2.1 キャッシュ/プリフェッチ設定レジスタ

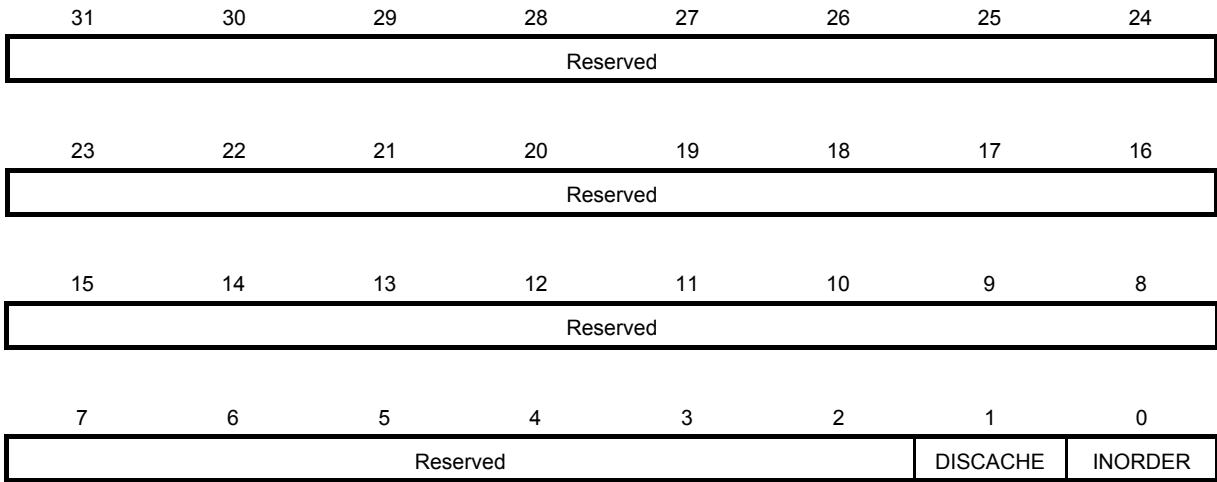
本レジスタ (MEMC_CACHE_MODE : C00A_0000H) は、各マスタに対するキャッシュとプリフェッチの機能を設定します。

31	30	29	28	27	26	25	24
Reserved							DIS_IMC
23	22	21	20	19	18	17	16
Reserved	DIS_SHXB	DIS_MHXB	DIS_DHXB	DIS_DSPD	DIS_DSPI	DIS_ACPU	Reserved
15	14	13	12	11	10	9	8
Reserved							PRE_IMC
7	6	5	4	3	2	1	0
Reserved	PRE_SHXB	PRE_MHXB	PRE_DHXB	PRE_DSPD	PRE_DSPI	PRE_ACPU	Reserved

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:25	0	予約。読み出すと0を返します。
DIS_IMC	R/W	24	0	0: IMC からのリードをキャッシュする、 1: キャッシュしない
Reserved	R	23	0	予約。読み出すと0を返します。
DIS_SHXB	R/W	22	0	0: SHXB からのリードをキャッシュする、 1: キャッシュしない
DIS_MHXB	R/W	21	0	0: MHXB からのリードをキャッシュする、 1: キャッシュしない
DIS_DHXB	R/W	20	0	0: DHXB からのリードをキャッシュする、 1: キャッシュしない
DIS_DSPD	R/W	19	0	0: ADSPD からのリードをキャッシュする、 1: キャッシュしない
DIS_DSPI	R/W	18	0	0: ADSPI からのリードをキャッシュする、 1: キャッシュしない
DIS_ACPU	R/W	17	0	0: ACPU からのリードをキャッシュする、 1: キャッシュしない
Reserved	R	16:9	0	予約。読み出すと0を返します。
PRE_IMC	R/W	8	0	0: IMC からのリードでプリフェッチを行わない、 1: プリフェッチを行う
Reserved	R	7	0	予約。読み出すと0を返します。
PRE_SHXB	R/W	6	0	0: SHXB からのリードでプリフェッチを行わない、 1: プリフェッチを行う
PRE_MHXB	R/W	5	0	0: MHXB からのリードでプリフェッチを行わない、 1: プリフェッチを行う
PRE_DHXB	R/W	4	0	0: DHXB からのリードでプリフェッチを行わない、 1: プリフェッチを行う
PRE_DSPD	R/W	3	0	0: ADSPD からのリードでプリフェッチを行わない、 1: プリフェッチを行う
PRE_DSPI	R/W	2	0	0: ADSPI からのリードでプリフェッチを行わない、 1: プリフェッチを行う
PRE_ACPU	R/W	1	0	0: ACPU からのリードでプリフェッチを行わない、 1: プリフェッチを行う
Reserved	R	0	0	予約。読み出すと0を返します。

3.2.2 縮退機能レジスタ

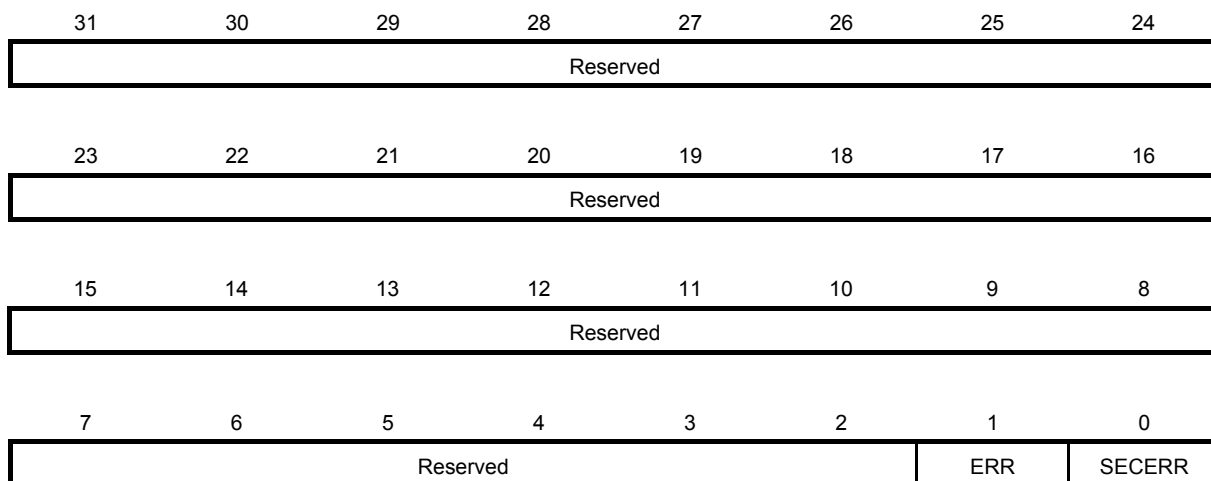
本レジスタ (MEMC_DEGFUN : C00A_0008) は、MEMC 内の機能を一部縮退するためのレジスタです。



名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:2	0	予約。読み出すと 0 を返します。
DISCACHE	R/W	1	0	システム・キャッシュの機能を OFF にします。 0 : システム・キャッシュ使用可能 1 : システム・キャッシュ使用不可
INORDER	R/W	0	0	0 : Out-of-order 発行を許す。 1 : Read を inoder で発行する。

3.2.3 ACPU 向け割り込みステータス・レジスタ

本レジスタ (MEMC_INTSTATUS_A : C00A_0014H) は, ACPU 向けの割り込みの状態を示すレジスタです。



名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:2	0	予約。読み出すと0を返します。
ERR	R	1	0	セキュリティ・エラー以外のエラー割り込みの状態を示します。 0 : 割り込み無し 1 : 割り込み有り
SECERR	R	0	0	セキュリティ・エラー割り込みの状態を示します。 0 : 割り込み無し 1 : 割り込み有り

3.2.4 ACPU 向け割り込み Raw ステータス・レジスタ

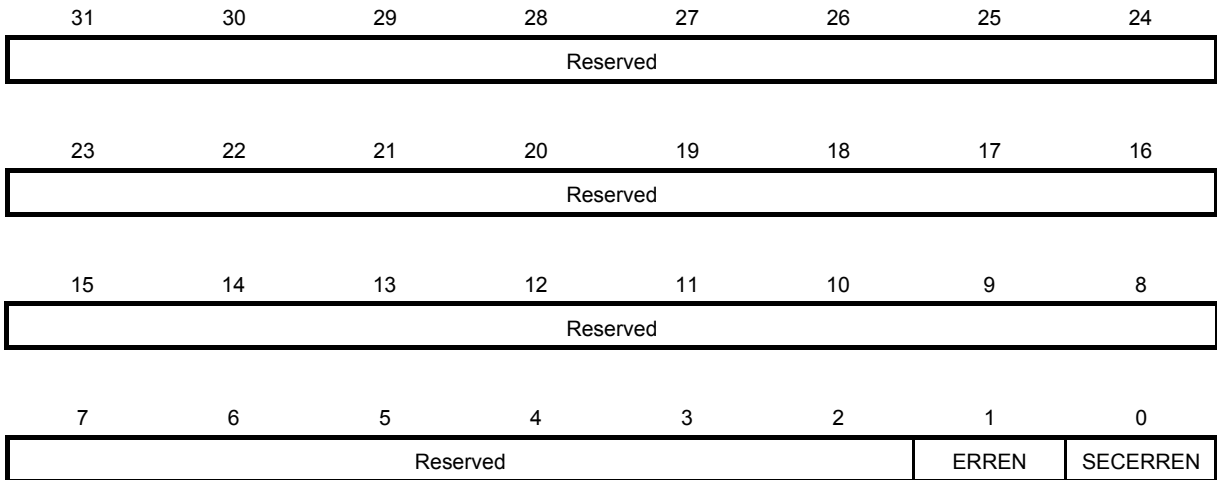
本レジスタ (MEMC_INTRAWSTATUS_A : C00A_0018H) は、割り込みイネーブル・セット・レジスタ、割り込みイネーブル・クリア・レジスタの状態に関わらず、ACPU 向けの割り込みの状態を示すレジスタです。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved						RAWERR	SECRAWERR

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:2	0	予約。読み出すと 0 を返します。
RAWERR	R	1	0	セキュリティ・エラー以外のエラー割り込み raw ステータスを示します。 0 : 割り込み無し 1 : 割り込み有り
SECRAWERR	R	0	0	セキュリティ・エラー割り込み raw ステータスを示します。 0 : 割り込み無し 1 : 割り込み有り。

3.2.5 ACPU 向け割り込みイネーブル・セット・レジスタ

本レジスタ (MEMC_INTSET_A : C00A_001CH) は, ACPU 向けの割り込みをイネーブル (割り込み許可) するためのレジスタです。また, イネーブルの状態を読み出すこともできます。



名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:2	0	予約。読み出すと 0 を返します。
ERREN	R/W	1	0	1 を書き込むとセキュリティ・エラー以外のエラー割り込みを許可します。 0 の書き込みは無視されます。 読み出し時は以下の状態を示します。 0 : 禁止 (mask) 1 : 許可
SECERREN	R/W	0	0	1 を書き込むとセキュリティ・エラー割り込みを許可します。 0 の書き込みは無視されます。 読み出し時は以下の状態を示します。 0 : 禁止 (mask) 1 : 許可

3.2.6 ACPU 向け割り込みイネーブル・クリア・レジスタ

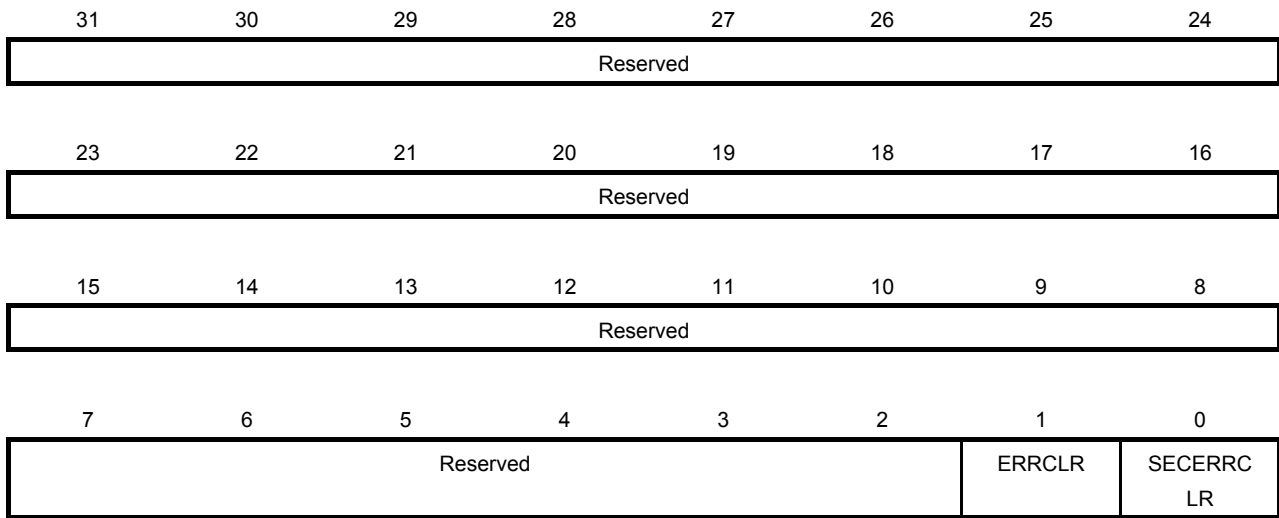
本レジスタ (MEMC_INTENCLR_A : C00A_0020H) は、ACPU 向けの割り込みをマスク (割り込み禁止) するためのレジスタです。現在のマスクの状態は、MEMC_INTSET_A レジスタで判別することが可能です。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved						ERRMASK	SECERRMASK

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:2	0	予約。読み出すと 0 を返します。
ERRMASK	W	1	-	1 を書き込むとセキュリティ・エラー以外のエラー割り込みを禁止 (mask) します。 0 の書き込みは無視されます。 読み出し時は 0 を返します。
SECERRMASK	W	0	-	1 を書き込むとセキュリティ・エラー割り込みを禁止 (mask) します。 0 の書き込みは無視されます。 読み出し時は 0 を返します。

3.2.7 ACPU 向け割り込み要因クリア・レジスタ

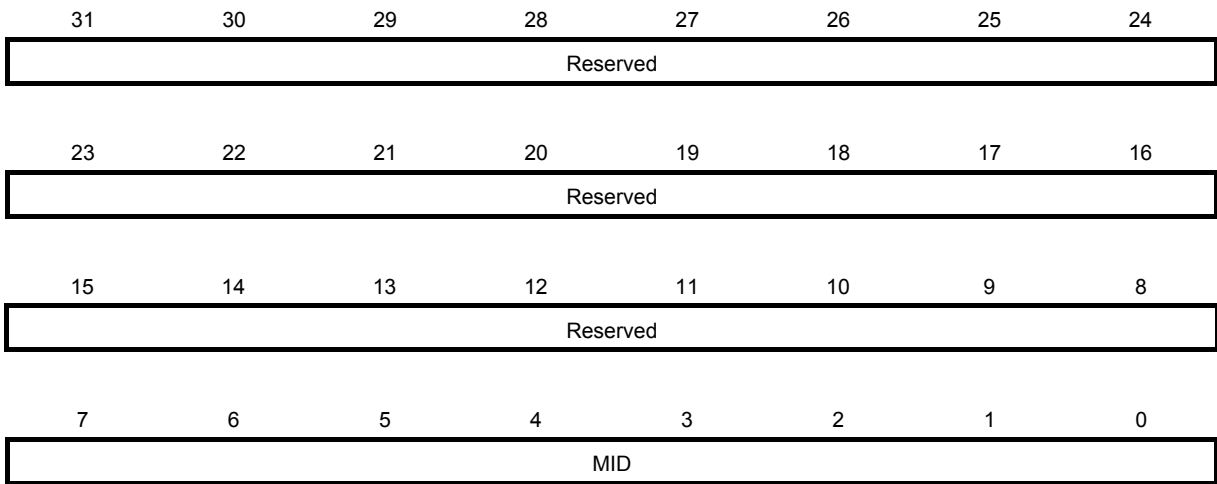
本レジスタ (MEMC_INTFFCLR_A : C00A_0024H) は、ACPU 向けの割り込み要因をクリアするためのレジスタです。



名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:2	0	予約。読み出すと 0 を返します。
ERRCLR	W	1	-	1 を書き込むとセキュリティ・エラー以外のエラー割り込み要因をクリアします。 0 の書き込みは無視されます。 読み出し時は 0 を返します。
SECERRCLR	W	0	-	1 を書き込むとセキュリティ・エラー割り込み要因をクリアします。 0 の書き込みは無視されます。 読み出し時は 0 を返します。

3.2.8 エラー・マスタ ID レジスタ

本レジスタ (MEMC_ERRMID : C00A_0068H) は、エラーを発生させたリクエストのマスタ ID を保持するレジスタです。



名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:8	0	予約。読み出すと 0 を返します。
MID	R	7:0	0	エラー発生時の ID (マスタ ID + AXI ID) を保持します。 MEMC_ERRADR レジスタの CLEAR ビットで保持解除されるまで、新しいエラーが発生しても、その際のマスタ ID は上書きされません。

3.2.9 エラー・アドレス・レジスタ

本レジスタ (MEMC_ERRADR : C00A_006CH) は、エラー内容および発生アドレスを保持するためのレジスタです。



名 称	R/W	ビット	リセット時	機 能
CLEAR	R/W	31	0	新規エラー・アドレスの受け付け可否状態を示します。 読み出し時の値の意味を以下に示します。 0 : 新規アドレスが受け付け可能です。 エラーが発生すると新しいアドレスを保持します。 1 : 有効なアドレスが保持されており、新規アドレスを受け付けません。 書き込み時の値の意味を以下に示します。 0 : 無視されます。 1 : アドレス保持状態を解除します。 以降エラーが発生すると新しいアドレスを保持します。
RDWT	R	30	0	エラーを発生させたリクエストがリードかライトかを示します。 0 : リード 1 : ライト
Reserved	R	29:28	0	予約。読み出すと 0 を返します。
ADDR	R	27:3	0	エラーを発生させたリクエストのアドレスのうち、bit[28:3]の範囲を保持します。
ERR	R	2:0	000b	エラーを発生させたリクエストのエラーの種類を示します。 000b : エラーなし 001b : 実装範囲外のアドレス・リクエスト 010b : 不正なバースト・サイズ (64bit より大きいバースト・サイズ) 011b : ARBURST, AWBURST が FIXED もしくは RESERVED 100b : 不正な INCR バースト (byte, half word での INCR バースト) 101b : 不正な WRAP バースト

3.2.10 メモリ・リクエスト・スケジューリング・モード・レジスタ

本レジスタ (MEMC_REQSCH : C00A_1000H) は、メモリ・リクエストのスケジューリング設定を行うためのレジスタです。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved						MXCSWN	
7	6	5	4	3	2	1	0
MXCASWN		MXWTWN		MXRDWN		WTDNUM	

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:10	0H	予約。読み出すと 0 を返します。
MXCSWN	R/W	9:8	00b	同一 CS 最大連続選択回数 00b : 回数指定なし, 01b : 2 回, 10b : 4 回, 11b : 6 回
MXCASWN	R/W	7:6	00b	CAS リクエストの最大連続選択回数 00b : CAS 完全優先, 01b : 2 回, 10b : 4 回, 11b : 6 回
MXWTWN	R/W	5:4	00b	write drain 時のリード・リクエストに対するライト・リクエストの最大連続選択回数 00b : 回数指定なし, 01b : 2 回, 10b : 4 回, 11b : 6 回
MXRDWN	R/W	3:2	00b	write drain 時のライト・リクエストに対するリード・リクエストの最大連続選択回数 00b : 回数指定なし, 01b : 2 回, 10b : 4 回, 11b : 6 回
MTDNUM	R/W	1:0	00b	write drain 時を開始するリクエスト数 00b : 2 個, 01b : 4 個, 10b : 6 個, 11b : 8 個

3.2.11 メモリ接続用レジスタ

本レジスタ (MEMC_DDR_CONFIGF : C00A_2000H) は、外部メモリに対する構成を行うためのレジスタです。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
CS1_BANK_SPLIT	Reserved	CS1_DOUBLE	CS1_DENSITY	CS1_JEDEC	CS1_ENABLE		
7	6	5	4	3	2	1	0
CS0_BANK_SPLIT	Reserved	CS0_DOUBLE	CS0_DENSITY	CS0_JEDEC	CS0_ENABLE		

(1/2)

名称	R/W	ビット	リセット時	機能
Reserved	R	31:16	0	予約。読み出すと0を返します。
CS1_BANK_SPLIT	R/W	15:14	00b	CS1のバンク分離設定 (図 参照) 00b: 4バンク・インタリーブ 01b: 2バンク・インタリーブ 10b: インタリーブなし 11b: 下位2バンク・インタリーブ、上位2バンクはインタリーブなし
Reserved	R	13	0	予約。読み出すと0を返します。
CS1_DOUBLE	R/W	12	0	CS1のChip2個使い (x16bit x2) あり 0: 無し (x32bit) 1: 有 (x16bit x2)
CS1_DENSITY	R/W	11:10	00b	CS1のメモリ容量 00b: 128Mbit, 01b: 256Mbit, 10b: 512Mbit, 11b: 1Gbit
CS1_JEDEC	R/W	9	0	0: Non-JEDEC品 1: JEDEC品 1GB以上で有効
CS1_ENABLE	R/W	8	0	CS1のメモリ・アクセス有効 0: 無効 1: 有効
CS0_BANK_SPLIT	R/W	7:6	00b	CS0のバンク分離設定 (図 3-1 参照) 00b: 4バンク・インタリーブ 01b: 2バンク・インタリーブ 10b: インタリーブなし 11b: 下位2バンク・インタリーブ、上位2バンクはインタリーブなし
Reserved	R	5	0	予約。読み出すと0を返します。
CS0_DOUBLE	R/W	4	0	CS0のChip2個使い (x16bit x2) あり 0: 無し (x32bit) 1: 有 (x16bit x2)
CS0_DENSITY	R/W	3:2	00b	CS0のメモリ容量 00b: 128Mbit, 01b: 256Mbit, 10b: 512Mbit, 11b: 1Gbit

名称	R/W	ビット	リセット時	機能
CS0_JEDEC	R/W	1	0	0 : Non-JEDEC 品 1 : JEDEC 品 1GB 以上で有効
CS0_ENABLE	R/W	0	0	CS0 のメモリ・アクセス有効 0 : 無効 1 : 有効

バンクアドレスのアドレッシングをCS毎に変更できます。DDRはバンクのアドレスをカラムアドレスに連続で配置することで4KByteまでの連続読み出しが可能となります。しかし、パーシャルリフレッシュ機能(メモリのデータを一部だけ保持する機能)では、バンク毎に切り分けられているため、この機能を用いると読み出しの連続性が途切れてしまい、また、保持しなければならないメモリ領域の連続性も確保されません。パーシャルリフレッシュ機能使用時に、保持しなければならないメモリ領域の連続性を確保するためには、本レジスタにて設定を行ってください。表3-1にアドレス配置例、図3-1にマッピングイメージを示します。

CONFIG[7:0]	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2
CPU																											
1Gb(16)Jx2	12	11	10	9	8	7	6	5	4	3	2	1	0	1	0	10	9	8	7	6	5	4	3	2	1	0	
0x1F	4Bank	CS	RAS											BA	CAS												
0x5F	2Bank	CS	BA	RAS											BA	CAS											
1Gb(32)J or 512Mb(16)Jx2	12	11	10	9	8	7	6	5	4	3	2	1	0	1	0	9	8	7	6	5	4	3	2	1	0		
0x0F	4Bank	CS	RAS											BA	CAS												
0x4F	2Bank	CS	BA	RAS											BA	CAS											
1Gb(32)N or 512Mb(16)Nx2	13	12	11	10	9	8	7	6	5	4	3	2	1	0	1	0	8	7	6	5	4	3	2	1	0		
0x0D or 0x19	4Bank	CS	RAS											BA	CAS												
0x4D or 0x59	2Bank	CS	BA	RAS											BA	CAS											
512Mb(32)J or 256Mb(16)Jx2	12	11	10	9	8	7	6	5	4	3	2	1	0	1	0	8	7	6	5	4	3	2	1	0			
0x15	4Bank	CS	RAS											BA	CAS												
0x55	2Bank	CS	BA	RAS											BA	CAS											
512Mb(32)N or 256Mb(16)Nx2	13	12	11	10	9	8	7	6	5	4	3	2	1	0	1	0	7	6	5	4	3	2	1	0			
0x09	4Bank	CS	RAS											BA	CAS												
0x49	2Bank	CS	BA	RAS											BA	CAS											
256Mb(32)J or 128Mb(16)Jx2	11	10	9	8	7	6	5	4	3	2	1	0	1	0	8	7	6	5	4	3	2	1	0				
0x11	4Bank	CS	RAS											BA	CAS												
0x51	2Bank	CS	BA	RAS											BA	CAS											
256Mb(32)N	12	11	10	9	8	7	6	5	4	3	2	1	0	1	0	7	6	5	4	3	2	1	0				
0x05	4Bank	CS	RAS											BA	CAS												
0x45	2Bank	CS	BA	RAS											BA	CAS											

表 3-1 CPU アドレス 外部メモリアドレス 対比表 (JEDEC)

メモリ容量	Bank Interleave	Reg設定 CS0[7:6] CS1[15:14]	CPU Address																											
			A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
			DRAM Address																											
256Mb	4bank	b'00																												
	2bank	b'01																												
	0bank	b'10																												
	4bank(BA1=L)		BA1=L																											
	2bank(BA1=H)	b'11	BA1=H																											
	512Mb	4bank	b'00																											
2bank	b'01																													
0bank	b'10																													
4bank(BA1=L)		BA1=L																												
2bank(BA1=H)	b'11	BA1=H																												
1Gb	4bank	b'00																												
	2bank	b'01																												
	0bank	b'10																												
	4bank(BA1=L)		BA1=L																											
	2bank(BA1=H)	b'11	BA1=H																											

図 3-1 外部メモリアドレスマッピングイメージ

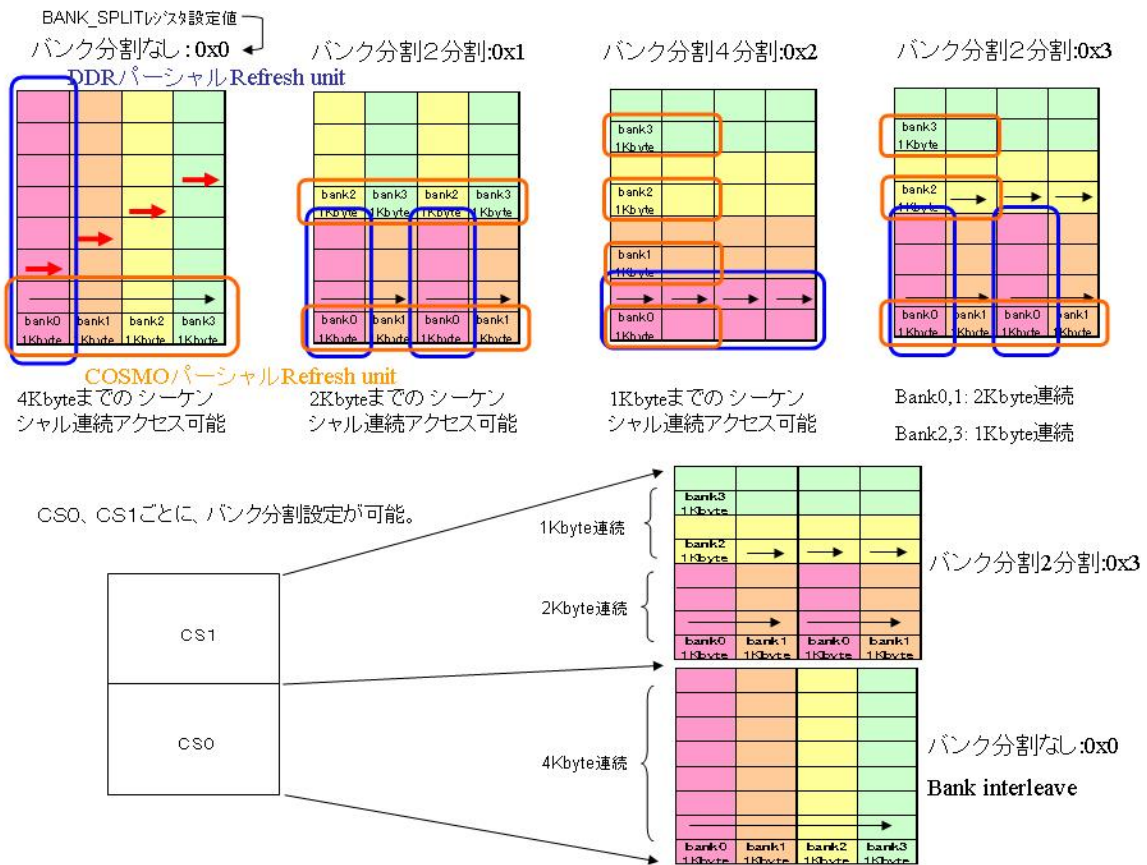


表 3 - 2 DDR SDRAM (JEDEC)

x32 1個

容量(Mb)	Word	Bus width	Row	Colum	BA
256	8M	32	A[11:0]	A[8:0]	BA[1:0]
512	16M	32	A[12:0]	A[8:0]	BA[1:0]
1G	32M	32	A[12:0]	A[9:0]	BA[1:0]

x16 2個

容量(Mb)	Word	Bus width	Row	Colum	BA
128	8M	32	A[11:0]	A[8:0]	BA[1:0]
256	16M	32	A[12:0]	A[8:0]	BA[1:0]
512	32M	32	A[12:0]	A[9:0]	BA[1:0]
1G	64M	32	A[12:0]	A[10:0]	BA[1:0]

3.2.12 AC タイミング設定用レジスタ1

本レジスタ (MEMC_DDR_CONFIGA1 : C00A_2004H) は、外部メモリの AC タイミングを決定するための設定を行うレジスタです。

31	30	29	28	27	26	25	24
tDCRRD			tRRD			tRP	
23	22	21	20	19	18	17	16
tRCD				RCL		WCL	
15	14	13	12	11	10	9	8
Reserved	tRWD			Reserved	tWRD		
7	6	5	4	3	2	1	0
Reserved	tRPD			Reserved	tWPD		

名 称	R/W	ビット	リセット時	機 能
tDCRRD	R	31:30	01b	異なるチップ間の Read to Write, Write to Read 間のサイクル数を指定します。 [指定サイクル] cycle 注) 0 は設定禁止
tRRD	R/W	29:27	010b	Act to Act 間の基本サイクルを指定します。 [指定サイクル] cycle
tRP	R/W	26:24	100b	PreCharge to Act 間の基本サイクルを指定します。 [指定サイクル] cycle
tRCD	R/W	23:20	0100b	Act to Read / Act to Write 間のサイクルを指定します。 0x3@166MHz, 0x2@133MHz, 0x1@100MHz RL=tRCD+RCL, WL=tRCD+WCL-1
RCL	R/W	19:18	01b	リード CAS レイテンシを指定します。 00b : CL=2, 01b : CL=3, 10b : CL=4, 11b : CL=5
WCL	R/W	17:16	00b	ライト CAS レイテンシを指定します。 00b : CL=1, 01b : CL=2, 10b : CL=3, 11b : CL=4
Reserved	R	15	0	予約。読み出すと 0 を返します。
tRWD	R/W	14:12	011b	Read to Write 期間のサイクル数を指定します。 [指定サイクル+4] cycle
Reserved	R	11	0	予約。読み出すと 0 を返します。
tWPD	R/W	10:8	010b	Write to Read 期間のサイクル数を指定します。 [指定サイクル+4] cycle
Reserved	R	7	0	予約。読み出すと 0 を返します。
tRPD	R/W	6:4	0	Read to Pre 期間のサイクル数を指定します。 [指定サイクル+4] cycle
Reserved	R	3	0	予約。読み出すと 0 を返します。
tWPD	R/W	2:0	011b	Write to PreCharge 期間のサイクル数を指定します。 [指定サイクル+4] cycle

備考 tRCDR=tRCDW+1

RL=tRCDW+RCL / WL=tRCDW+WCL-1

CS0 および CS1 とともに AC パラメータは共通に設定されるため、異なる AC タイミングのデバイスを CS0 と CS1 に接続することはできません

3.2.13 AC タイミング設定用レジスタ 2

本レジスタ (MEMC_DDR_CONFIGA2 : C00A_2008H) は、外部メモリの AC タイミングと一部の機能拡張を決定する設定を行うためのレジスタです。

31	30	29	28	27	26	25	24
Reserved				CS1H	CS0H	ADD_HZ	CMD_HZ
23	22	21	20	19	18	17	16
tSREX				tRFC			
15	14	13	12	11	10	9	8
reserved			LowFrqTyp	DQS_mask_Ext	DQS_mask		DQM_HZ
7	6	5	4	3	2	1	0
IO_HZ	AutoPre	CLK_MODE		PstambExt	PreamblExt	DBParkEna	Reserved

(1/2)

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:28	0	予約。読み出すと 0 を返します。
CS1H	R/W	27	0	CS1 を強制的にハイ・レベルにする。 0 : Active , 1 : ハイ・レベル
CS0H	R/W	26	0	CS0 を強制的に High Level にする。 0 : Active , 1 : ハイ・レベル
ADD_HZ	R/W	25	0	Address buffer を Hi-Z にする。 0 : Active , 1 : Hi-Z
CMD_HZ	R/W	24	0	Command buffer を Hi-Z にする。 0 : Active , 1 : Hi-Z
tSREX	R/W	23:20	DH	セルフ・リフレッシュ復帰期間 ([指定サイクル+8] - 1) cycle
tRFC	R/W	19:16	AH	オートリフレッシュ復帰期間 ([指定サイクル+8]) cycle 注
Reserved	R	15:13	0	予約。読み出すと 0 を返します。
LowFrqTyp	R/W	12	0	低周波モード時の周波数帯切り替え 0 : < 30MHz , 1 : 30MHz ~ 60MHz
DQS_mask_Ext	R/W	11	0	Input DQS mask timing を 0.5CLK 伸長する。 0 : 伸長なし , 1 : 伸長する。
DQS_mask	R/W	10:9	00b	Input DQS mask timing 00b : 2CLK , 01b : 2.5CLK , 10b : 3CLK , 11b : Reserved
DQM_HZ	R/W	8	0	DQM buffer を HiZ にする。 0 : Active , 1 : Hi-Z
IO_HZ	R/W	7	0	DDR module の I/O buffer を HiZ にする。 0 : Active , 1 : Hi-Z
AutoPre	R/W	6	01b	オート・プリチャージ付きのコマンドを使用。 00b : Auto なし , 01b : Auto 付き

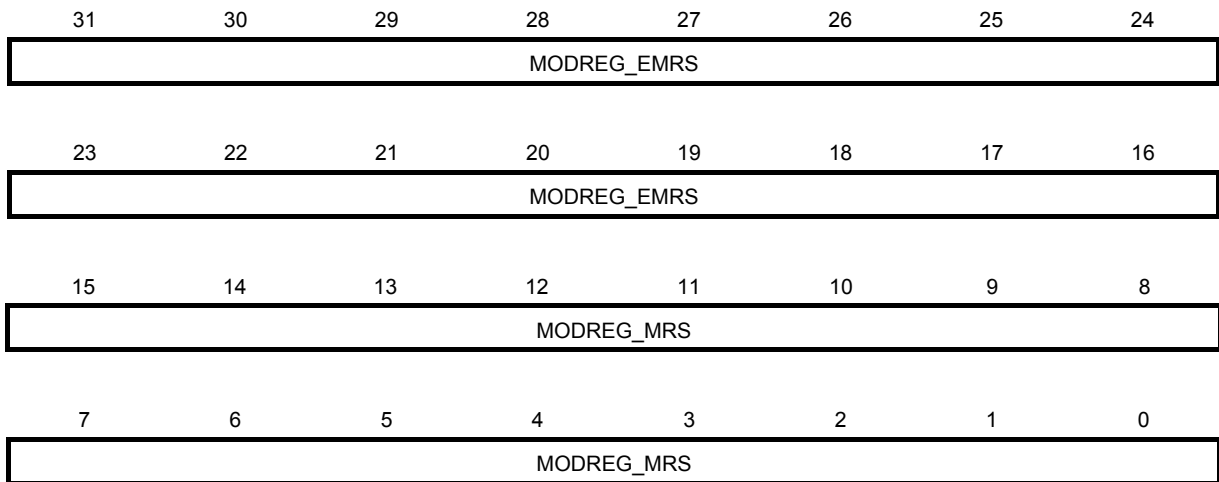
名 称	R/W	ビット	リセット時	機 能
CLK_MODE	R/W	5:4	00b	リード時のデータ受け取りタイミングを調整します。 00b : 2CLK mode , 01b : 3CLK mode , 10b : 1CLK mode , 11b : 予約
PstambExt	R/W	3	0	ライト時の DQS のポストアンプを 0.5CLK 伸長する。 0 : 伸長なし , 1 : 伸長する。
PreambExt	R/W	2	0	ライト時の DQS のプリアンプを 0.5CLK 伸長する。 0 : 伸長なし , 1 : 伸長する。
DBParkEna	R/W	1	0	SDRAM の Hi-Z 期間に DQ/DQS を Low にドライブする。 0 : Hi-Z コントロール , 1 : DataValid 期間以外を Low ドライブ
Reserved	R	0	0	予約。読み出すと 0 を返します。

CS0 および CS1 とともに AC パラメータは共通に設定されるため、異なる AC タイミングのデバイスを CS0 と CS1 に接続することはできません。

注 DDR333(166MHz)動作時における tSREX の最大値は $6\text{ns} \times (15+8-1)=132\text{ns}$ です。それ以上の min 規格を持つ SDRAM は接続できません。

3.2.14 ソフトウェア・コマンド発行用レジスタ1

本レジスタ (MEMC_DDR_CONFIG1 : C00A_200CH) は、外部メモリのモード・レジスタ設定時のアドレス / データ設定を行うためのレジスタです。



名 称	R/W	ビット	リセット時	機 能
MODREG_EMRS	R/W	31:16	4040H	モード・レジスタ設定コマンド発行用アドレス 2 (DDR : BA1, BA0, A[13:0])
MODREG_MRS	R/W	15:0	0003H	モード・レジスタ設定コマンド発行用アドレス 1 (DDR : BA1, BA0, A[13:0])

MODREG_EMRS は外部メモリの拡張モード・レジスタ設定コマンド発行時に本レジスタにしめされるデータがアドレスとしてコマンドが発行されます。

MODREG_MRS は外部メモリの拡張モード・レジスタ設定コマンド発行時に本レジスタにしめされるデータがアドレスとしてコマンドが発行されます。アドレスは 0xFF_FFF0 固定です。

モードレジスタセット時は Initialize/MRS/EMRS の各コマンド Write 時は、本レジスタを以下のように設定してください。

Initialize command 発行時 MODREG_EMRS = {2'b10, EMRS設定値}, MODREG_MRS = {2'b00, MRS設定値 }

MRS command 発行時 MODREG_EMRS = {2'b00, MRS設定値}, MODREG_MRS = {2'b00, don't care }

EMRS command 発行時 MODREG_EMRS = {2'b10, EMRS設定値} MODREG_MRS = {2'b00, don't care }

PreCharge コマンド Write 時は本レジスタを以下のように設定してください。

All Bank Precharge 発行時 MODREG_MRS[10] = 1'b1

Bank PreCharge 発行時 MODREG_MRS[15:14] = 対象バンク・アドレス、MODREG_MRS[10] = 1'b0

コマンド発行時の制限事項及び、注意事項：

- ・コマンド発行は、MEMC_DDR_CONFIG2 レジスタの CMD_STATE ビットが Busy 中は、無視されます。

3.2.15 ソフトウェア・コマンド発行用レジスタ 2

本レジスタ (MEMC_DDR_CONFIG2 : C00A_2010H) は、外部メモリのコマンド発行時のコントロール設定を行うためのレジスタです。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved						CMD_STATE (CS1)	CMD_STATE (CS0)
7	6	5	4	3	2	1	0
CMD_REQ_ LOCK	CMD_ ENABLE	CS1_TARGE T	CS0_TARGE T	CMD_SET			

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:10	0H	予約。読み出すと 0 を返します。
CMD_STATE(CS1)	R	9	1	CS の要求したコマンドの実行状態を示します。 0 : Busy , 1 : Ready
CMD_STATE(CS0)	R	8	1	CS の要求したコマンドの実行状態を示します。 0 : Busy , 1 : Ready
CMD_REQ_LOCK	R/W	7	1	コマンド発行を最優先させるために他の要求をすべて Lock する設定を行います。 0 : Lock , 1 : Release
CMD_ENABLE	R/W	6	1	コマンド発行要求を設定します。 0 : コマンド発行を要求する 次のクロックで自動的に 1 に戻ります。
CS1_TARGET	R/W	5	0	CS1 にコマンド要求フラグを設定します。 0 : Disable , 1 : Enable
CS0_TARGET	R/W	4	0	CS0 にコマンド要求フラグを設定します。 0 : Disable , 1 : Enable
CMD_SET	R/W	3:0	0	制御コマンド 0111B : CKE Disable 1000B : SDRAM 初期化シーケンス実行 1001B : オールバンク・プリチャージ 1010B : CBR リフレッシュ 1011B : セルフ・リフレッシュ・モードへ移行 1100B : ディープ・パワーダウン・モードへ移行 1101B : CKE Enable 1110B : モード・レジスタ、拡張モード・レジスタ読み出し 1111B : モード・レジスタ、拡張モード・レジスタ書き込み

本レジスタでターゲットとするメモリにコマンドコードを設定すると同時にCMD_ENABLE ビットに"0"を Write することにより、CMD_SET に示されるコマンドが発行可能となります。

ターゲットメモリの設定は CS0、CS1 のメモリ両方同時発行も可能です。

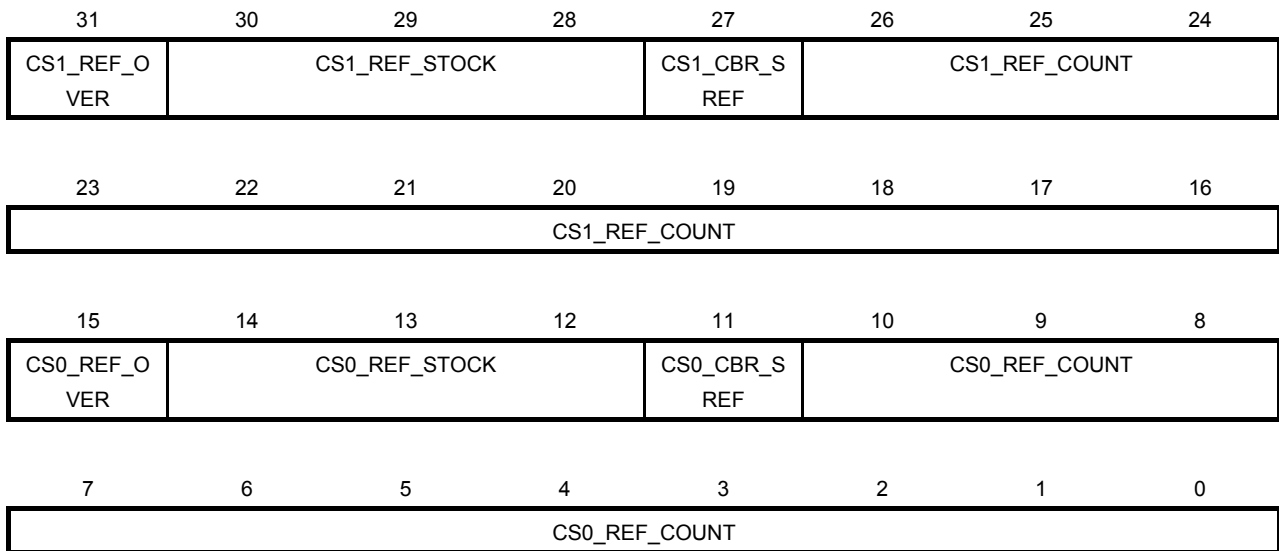
コマンドの発行は必ず CMD_STATE が Ready 状態を確認後に CMD_ENABLE を実行してください。

コマンド発行時に STATE が busy の場合にはコマンド要求を受け付けません。又、CMD_REQ_LOCK を Lock 状態でコマンド発行を行うと、以後ソフトウェア・コマンド要求しか受け付けなくなります。

ディープ・パワーダウン エントリ時には、対象 CS のセルフ・リフレッシュおよび、自動 CBR リフレッシュを解除してください。

3.2.16 リフレッシュ機能設定用レジスタ 1

本レジスタ (MEMC_DDR_CONFIGR1 : C00A_2014H) は、外部メモリのリフレッシュ周期を CS 毎に設定を行うためのレジスタです。



名 称	R/W	ビット	リセット時	機 能
CS1_REF_OVER	R	31	0	CS1 リフレッシュストック値 OVER
CS1_REF_STOCK	R	30:28	7H	CS1 リフレッシュストック値
CS1_CBR_SREF	R/W	27	1	CS1 セルフ・リフレッシュ・エン트리時に最低 1 回強制 CBR を行う
CS1_REF_COUNT	R/W	26:16	7FFH	CS1 リフレッシュタイマーカウント値 リフレッシュ周期 = [RCLK (リフレッシュカウンタクロック) 周期 × 設定値]
CS0_REF_OVER	R	15	0	CS0 リフレッシュストック値 OVER
CS0_REF_STOCK	R	14:12	7H	CS0 リフレッシュストック値
CS0_CBR_SREF	R/W	11	1	CS0 セルフ・リフレッシュ・エン트리時に最低 1 回強制 CBR を行う
CS0_REF_COUNT	R/W	10:0	7FFH	CS0 リフレッシュタイマーカウント値 リフレッシュ周期 = [RCLK (リフレッシュカウンタクロック) 周期 × 設定値]

リフレッシュ周期毎にストックカウンター(REF_STOCK)にリフレッシュはストックされます。リフレッシュを実行するタイミングは、セルフ・リフレッシュ・エン트리時及び、リフレッシュカウンターがスレッシュホールドに達した時です。

3.2.17 リフレッシュ機能設定用レジスタ 2

本レジスタ (MEMC_DDR_CONFIGR2 : C00A_2018H) は、外部メモリのリフレッシュ機能設定を行うためのレジスタです。

31	30	29	28	27	26	25	24
Reserved	STOCK_DRA IN_TYP	CS1_STOCK_DRAIN	CS1_STOCK_MAX			CS1_TIMER_ RST	
23	22	21	20	19	18	17	16
Reserved	COUNT_ COMMON	CS0_STOCK_DRAIN	CS0_STOCK_MAX			CS0_TIMER_ RST	
15	14	13	12	11	10	9	8
CS1_SREF_COUNT						CS1_SREF_ AUTO	CS1_REF_A UTO
7	6	5	4	3	2	1	0
CS0_SREF_COUNT						CS0_SREF_ AUTO	CS0_REF_A UTO

(1/2)

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31	0	予約。読み出すと 0 を返します。
STOCK_DRAIN_TYP	R/W	30	0	Read 命令なしかつ Write Buffer 閾値以下の条件でリフレッシュのストックを放出する。
CS1_STOCK_DRAIN	R/W	29:28	1	CS1 セルフ・リフレッシュ前の最大ストック放出値 [1~3] 0 は設定禁止
CS1_STOCK_MAX	R/W	27:25	7H	CS1 最大ストック値 [1~7] 0 は設定禁止
CS1_TIMER_RST	R/W	24	1	CS1_REF_COUNT, CS1_REF_STOCK, CS1_REF_OVER をリセットします。 0 : リセットする 次のクロックで自動的に 1 に戻ります。
Reserved	R	23	0	予約。読み出すと 0 を返します。
COUNT_COMMON	R/W	22	1	CS0 用の Auto Refresh 時間を CS1 にも適用します。 (CS1 用のカウンタは停止します。)
CS0_STOCK_DRAIN	R/W	21:20	1	CS0 セルフ・リフレッシュ前の最大ストック放出値 [1~3] 0 は設定禁止
CS0_STOCK_MAX	R/W	19:17	7H	CS0 最大ストック値 [1~7] 0 は設定禁止
CS0_TIMER_RST	R/W	16	1	CS0_REF_COUNT, CS0_REF_STOCK, CS0_REF_OVER をリセットします。 0 : リセットする 次のクロックで自動的に 1 に戻ります。
CS1_SREF_COUNT	R/W	15:10	1FH	CS1 セルフリフレッシュカウンタ値 (自動セルフ・リフレッシュ・エントリ用アイドルカウンタ設定値の 16 倍)
CS1_SREF_AUTO	R/W	9	0	CS1 自動セルフ・リフレッシュ要求 (SREF) 0 : Disable, 1 : Enable
CS1_REF_AUTO	R/W	8	0	CS1 自動リフレッシュ要求 (CBR) 0 : Disable, 1 : Enable
CS0_SREF_COUNT	R/W	7:2	1FH	CS0 セルフリフレッシュカウンタ値 (自動セルフ・リフレッシュ・エントリ用アイドルカウンタ設定値の 16 倍)

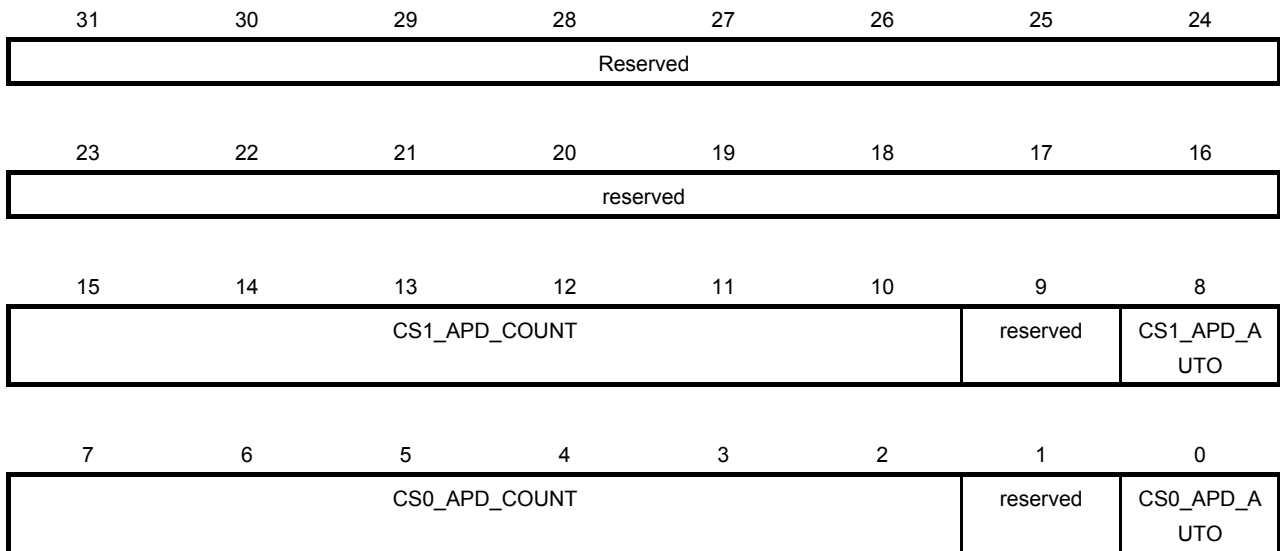
(2/2)

名 称	R/W	ビット	リセット時	機 能
CS0_SREF_AUTO	R/W	1	0	CS0 自動セルフ・リフレッシュ要求 (SREF) 0 : Disable , 1 : Enable
CS0_REF_AUTO	R/W	0	0	CS0 自動リフレッシュ要求 (CBR) 0 : Disable , 1 : Enable

リフレッシュ周期毎にストックカウンタ(REF_STOCK)にリフレッシュはストックされます。リフレッシュを実行するタイミングは、セルフ・リフレッシュ・エントリ時及び、リフレッシュカウンタがスレッシュホールドに達した時です。ストックカウンタが設定最大値を超えると CS0/1_REF_OVER フラグが立ちます。

3.2.18 リフレッシュ機能設定用レジスタ 3

本レジスタ (MEMC_DDR_CONFIGR3 : C00A_201CH) は、外部メモリのリフレッシュ機能設定を行うためのレジスタです。



名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:16	0	予約。読み出すと 0 を返します。
CS1_APD_COUNT	R/W	15:10	3FH	CS1 オートパワーダウンカウント値 (Idle counter)
Reserved	R	9	0	予約。読み出すと 0 を返します。
CS1_APD_AUTO	R/W	8	0	CS1 オート・パワーダウン要求 0 : 通常動作 , 1 : 要求する
CS0_APD_COUNT	R/W	7:2	3FH	CS0 オートパワーダウンカウント値 (Idle counter)
Reserved	R	1	0	予約。読み出すと 0 を返します。
CS0_APD_AUTO	R/W	0	0	CS0 オート・パワーダウン要求 0 : 通常動作 , 1 : 要求する

Request queue の要求がなくなってから、CS0_APD_COUNT (CS1_APD_COUNT) 値カウント後自動でパワーダウンモードにエントリを行います。(CKE=Low)

3.2.19 DQS タイミング調整用レジスタ 1

本レジスタ (MEMC_DDR_CONFIG1 : C00A_2020H) は、外部メモリの遅延調整の設定を行うためのレジスタです。

31	30	29	28	27	26	25	24
Reserved				MCLK_DELAY			
23	22	21	20	19	18	17	16
Reserved				CLK270_DELAY			
15	14	13	12	11	10	9	8
Reserved				DQS_O_DELAY			
7	6	5	4	3	2	1	0
Reserved					CALIBRATE _PAT	CALIBRATE _STATE	AUTO_CALI BRATE

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:28	0	予約。読み出すと 0 を返します。
MCLK_DELAY	R/W	27:24	0	MCLK の遅延調整用 (delay1)
Reserved	R	23:21	0	予約。読み出すと 0 を返します。
CLK270_DELAY	R/W	20:16	0	CLK270 の遅延調整用 (delay4)
Reserved	R	15:12	0	予約。読み出すと 0 を返します。
DQS_O_DELAY	R/W	11:8	0	DQS output の遅延調整用 (delay3)
Reserved	R	7:3	0	予約。読み出すと 0 を返します。
CALIBRATE_PAT	R/W	2	0	キャリブレーション実行時のパターン 0 : 0xFFFF 0x0000 , 1 : 0xAAAA 0x5555
CALIBRATE_STATE	R/W	1	1	キャリブレーション実行状態 0 : Busy , 1 : Ready
AUTO_CALIBRATE	R/W	0	1	自動キャリブレーション実行開始 実行開始時、0 をライトする。 0 : 実行開始

各信号線に遅延を加えることが可能です。

キャリブレーションを実行した結果最適遅延値が MEMC_DDR_CONFIG3 に 入力されます。

本モードの実行時には、SMU にて、CLK270 を位相 0 で出力してください。

3.2.20 DQS タイミング調整用レジスタ 2

本レジスタ (MEMC_DDR_CONFIG2 : C00A_2024H) は、外部メモリの遅延調整を自動で行うためのレジスタです。

31	30	29	28	27	26	25	24
Reserved			DQS0_DELAY				

23	22	21	20	19	18	17	16
Reserved		DQS1_DELAY					

15	14	13	12	11	10	9	8
Reserved		DQS2_DELAY					

7	6	5	4	3	2	1	0
Reserved		DQS3_DELAY					

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:30	0	予約。読み出すと 0 を返します。
DQS0_DELAY	R/W	29:24	0	DQS0 の遅延最適化用
Reserved	R	23:22	0	予約。読み出すと 0 を返します。
DQS1_DELAY	R/W	21:16	0	DQS1 の遅延最適化用
Reserved	R	15:14	0	予約。読み出すと 0 を返します。
DQS2_DELAY	R/W	13:8	0	DQS2 の遅延最適化用
Reserved	R	7:6	0	予約。読み出すと 0 を返します。
DQS3_DELAY	R/W	5:0	0	DQS3 遅延最適化用

各入力 DQS 信号線に遅延を加えることが可能です。

3.2.21 DQS タイミング調整用レジスタ 3

本レジスタ (MEMC_DDR_CONFIG3 : C00A_2028H) は、自動キャリブレーションの遅延調整結果用レジスタです。

31	30	29	28	27	26	25	24
Reserved		DQS0_DELAY_VAL					

23	22	21	20	19	18	17	16
Reserved		DQS1_DELAY_VAL					

15	14	13	12	11	10	9	8
Reserved		DQS2_DELAY_VAL					

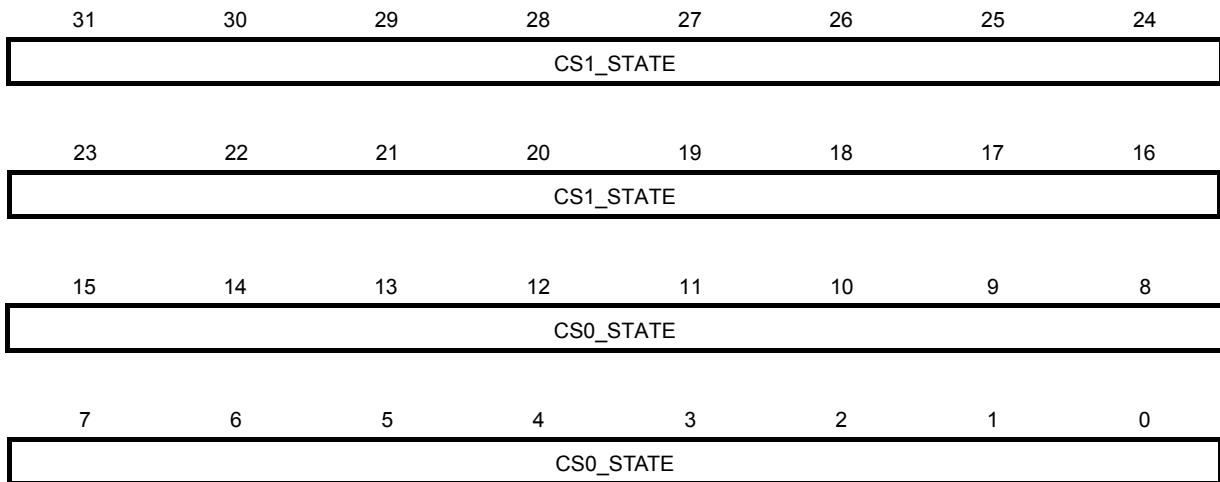
7	6	5	4	3	2	1	0
Reserved		DQS3_DELAY_VAL					

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:30	0	予約。読み出すと 0 を返します。
DQS0_DELAY_VAL	R	29:24	0	DQS0 の遅延最適化用
Reserved	R	23:22	0	予約。読み出すと 0 を返します。
DQS1_DELAY_VAL	R	21:16	0	DQS1 の遅延最適化用
Reserved	R	15:14	0	予約。読み出すと 0 を返します。
DQS2_DELAY_VAL	R	13:8	0	DQS2 の遅延最適化用
Reserved	R	7:6	0	予約。読み出すと 0 を返します。
DQS3_DELAY_VAL	R	5:0	0	DQS3 遅延最適化用

キャリブレーションを実行した結果、最適遅延値が DQS0_DELAY_VAL, DQS1_DELAY_VAL, DQS2_DELAY_VAL, DQS3_DELAY_VAL に入力されます。本モードの実行時には、SMU にて、CLK270 を位相 0 で出力してください。

3.2.22 メモリ・ステータス確認用レジスタ

本レジスタ (MEMC_DDR_STATE8 : C00A_202CH) は、CS0/CS1 のステータスをモニタリングするレジスタです。



名 称	R/W	ビット	リセット時	機 能
CS1_STATE	R	31:16	0H	CS1 に接続したメモリ状態を示します。 0x0 : アイドル 0x1 : 拡張モード・レジスタ設定 0x3 : セルフ・リフレッシュ 0x5 : オート・パワーダウン 0x6 : セルフ・リフレッシュ終了 0x7 : ディープ・パワーダウン 0x8 : 選択バンクプリチャージ / 全バンクプリチャージ 0xA : リード / ライト 0xC : CBR リフレッシュ (強制) 0xE : CBR リフレッシュ 0xF : モード・レジスタ設定
CS0_STATE	R	15:0	0H	CS0 に接続したメモリ状態を示します。 0x0 : アイドル 0x1 : 拡張モード・レジスタ設定 0x3 : セルフ・リフレッシュ 0x5 : オート・パワーダウン 0x6 : セルフ・リフレッシュ終了 0x7 : ディープ・パワーダウン 0x8 : 選択バンクプリチャージ / 全バンクプリチャージ 0xA : リード / ライト 0xC : CBR リフレッシュ (強制) 0xE : CBR リフレッシュ 0xF : モード・レジスタ設定

第4章 使用方法

4.1 外部メモリ・アクセス制御

4.1.1 外部メモリ・アクセス

外部メモリとして DDR SDRAM を接続可能としており、8 バースト長のリード、ライトをサポートしています。SDRAM は 4 つのバンクに分けられ、1Kbyte で区切られたアドレス範囲の中での連続読み出しは効率よくアクセス可能 (CAS アクセス) です。しかしながら同一バンク内の 1Kbyte 連続アドレス外へのアクセス (RAS アクセス) は性能が落ちます。異なるバンクへのアクセスは効率よくアクセス可能です。DDR scheduler は効率よくアクセスするための Request の並び替えをおこないます。

表 4 - 1 16Word access (BL=8) clock 数

Mode	Number of DDR CLK Cycles			
	133 MHz		166 MHz	
	Auto	Non-auto	Auto	Non-auto
Other bank (read ↔ read)	15	15	15	15
Same bank (read ↔ read CAS)	22	15	22	15
Same bank (read ↔ read RAS)	22	22	22	22
Other bank (read ↔ write)	21	21	21	21
Same bank (read ↔ write CAS)	25	21	25	21
Same bank (read ↔ write RAS)	25	25	25	25
Other bank (write ↔ read)	17	17	17	17
Same bank (write ↔ read CAS)	25	17	25	17
Same bank (write ↔ read RAS)	25	25	25	25
Other bank (write ↔ write)	18	18	18	18
Same bank (write ↔ write CAS)	28	18	28	18
Same bank (write ↔ write RAS)	28	28	28	28
Other chip (read ↔ read)	16	16	16	16
Other chip (read ↔ write)	21	21	21	21
Other chip (write ↔ read)	20	20	20	20
Other chip (write ↔ write)	18	18	18	18
Power on	88	88	81	81
Self refresh recovery	16	16	20	20
Auto refresh recovery	15	15	18	18
Deep power down recovery	84	84	77	77

4.1.2 クロック制御・周波数自動制御

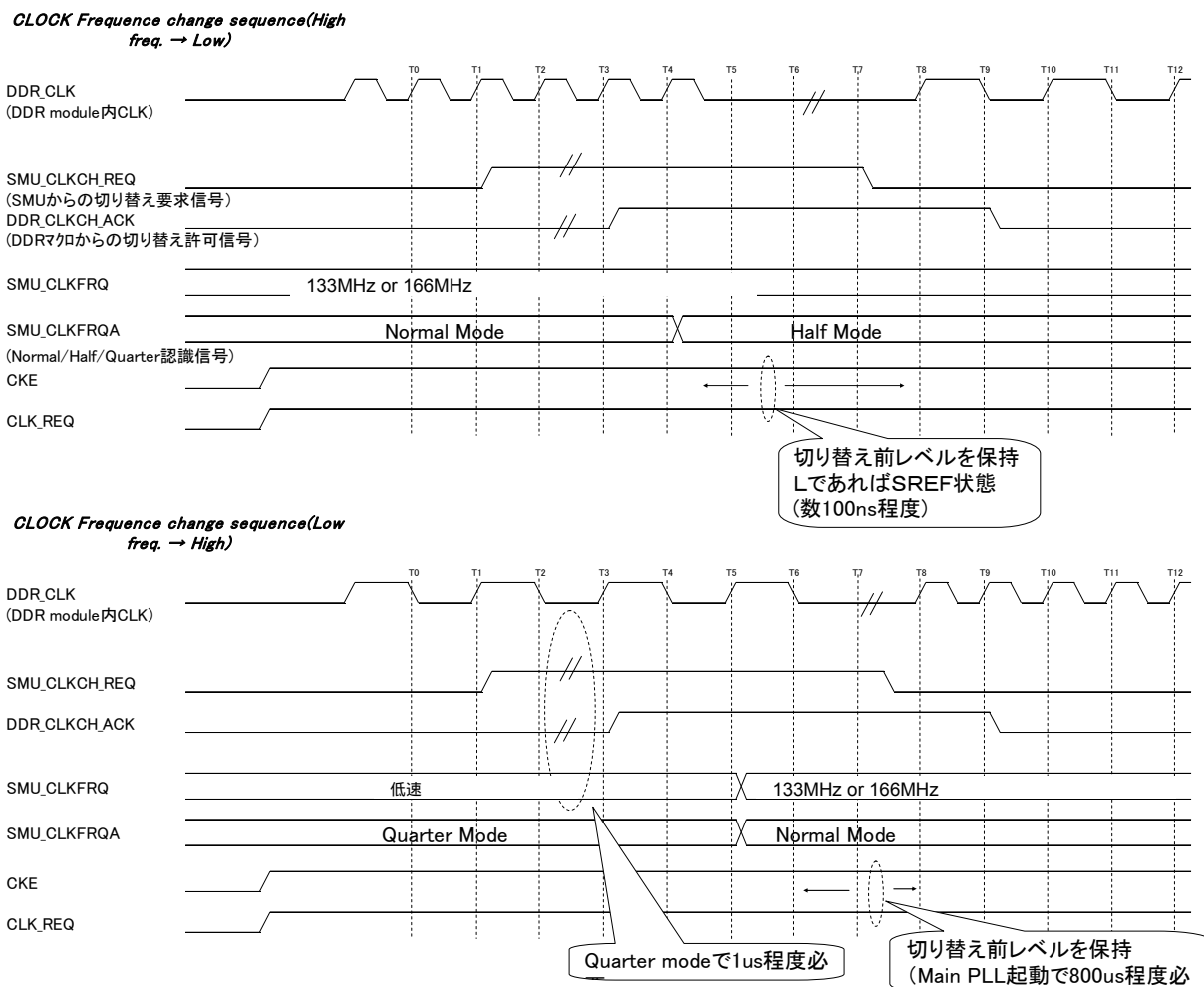
DDR controller 内クロックは、ASMU (System management unit) から供給される MEMC_RCLK と MEMC_CLK270 の 2 種類のクロックにて制御されます。MEMC_RCLK は 133MHz または 166MHz を発生します。MEMC_CLK270 は MEMC_RCLK の位相を 270° ずらしたものです。Request queue からの Read / Write 要求がない場合にはセルフリフレッシュに入りますが、セルフリフレッシュエントリー後クロック要求は取り下げられます。又、Request queue からの Read / Write 要求がくるときは、クロック要求を SMU に対して行います。

通常モードでのMEMC_RCLKは、最大 166MHzを発生しますが、動作周波数が切り替わる場合はASMUとのハンドシェイクが行われます。切り替えタイミングを図 4 - 1に示します。動作周波数の切り替えに伴い、リフレッシュ Exitタイミング、オートリフレッシュタイミングのACパラメータは動作周波数に応じて最適化されます。

又、PLL3 側のシステムクロックに変化した場合、ASMU からの MEMC_RCLK 動作周波数認識信号により低周波数であると認識し、DDR SDRAM の AC パラメータが低周波数に対応した値になります。

自動周波数切り替えタイミングにおいて、CLK 切り替え要求時にすべてのチップがセルフリフレッシュにエンターしてあれば、すぐに CLK 切り替え可能とします。(ack をすぐ返します。)又、要求処理中の時 (DDR がアクセス中) は、要求実行後に CLK 切り替え可能とします。(実行後に、ack を返す) CBR 要求がきた時は、CLK 切り替え後に CBR を実行し、CLK 切り替え要求時、セルフリフレッシュ復帰中のときは、復帰後にすぐに CLK 切り替え可能とします。

図 4 - 1 MEMC_RCLK 動作周波数切り換えタイミング



4.1.3 クロック位相制御

アドレス及びコマンドの発行は MEMC_RCLK の 180° ずれのタイミングにて発行されます。Read 時のデータ受け取りタイミングは、外部メモリから出力される DQS 信号に (MEMC_DDR_CONFIGT2 レジスタにて設定された) 遅延を加えたタイミングにてデータのラッチを行います。又、Write 時のデータ出力は MEMC_CLK270 のタイミング (MEMC_CONFIGT1 : CLK270_DELAY レジスタにて調整が可能) にて DQ データ出力を行います。また MEMC_DDR_CONFIGT1 : DQS_O_DELAY レジスタにて CLK-DQS 間のタイミング調整 (tWPRES) が可能です。

図 4 - 2 クロック調整機構

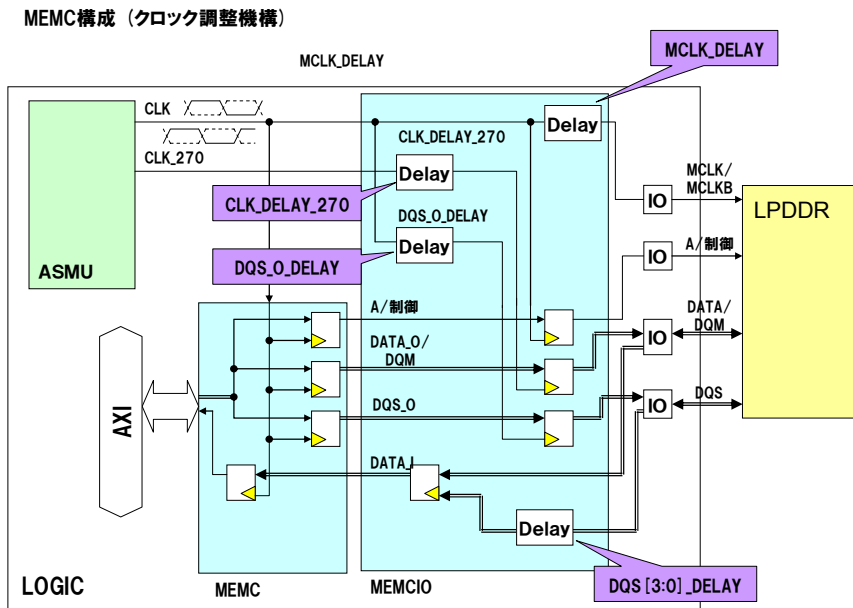


図 4 - 3 Write 位相調整

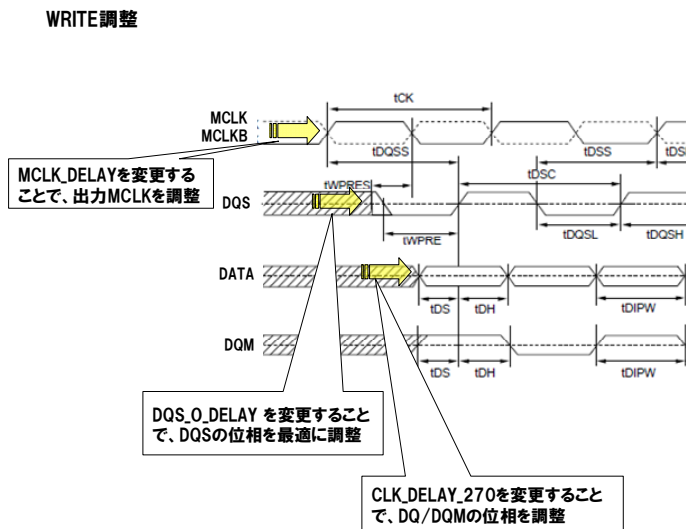
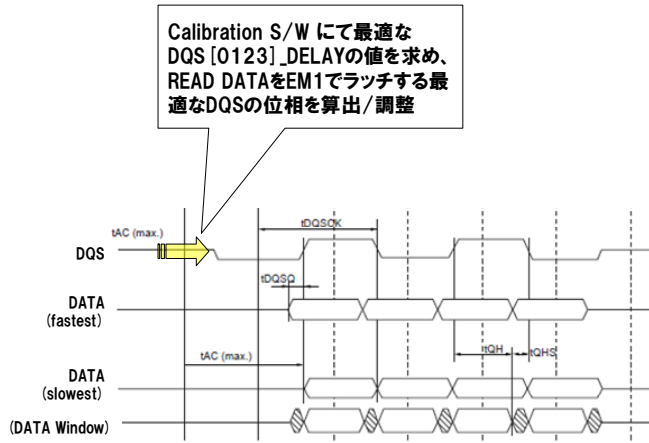


図 4 - 4 Read 位相調整

READ調整



4.1.4 アービトレーション

DDR controller 内にて Arbitration は次の3種の命令のアービトレーションをおこないます。

Request queue からのアクセス命令(リード/ライトに依存しない)

IDLE / REF カウンタからのセルフ・リフレッシュ命令またはオートリフレッシュ命令(2種)

ソフトコマンド命令(7種)。

Arbitration は下記表の優先順位にもとづいて、制御信号を出力します。

表 4 - 2 DDR コントローラ処理優先順位

Access	Ref/Auto Refresh		SW command	
2	3	Self Refresh	1	Initialize
3	2	Auto Refresh	1	
1	2	Self Refresh	3	All Precharge
2	1	Auto Refresh	3	
2	3	Self Refresh	1	Auto Refresh
3	1	Auto Refresh	2	
1	2	Self Refresh	3	Self Refresh
2	1	Auto Refresh	3	
1	2	Self Refresh	3	Deep Power Down
2	1	Auto Refresh	3	
2	3	Self Refresh	1	Mode Register Read
3	1	Auto Refresh	2	
2	3	Self Refresh	1	Mode Register Write
3	1	Auto Refresh	2	

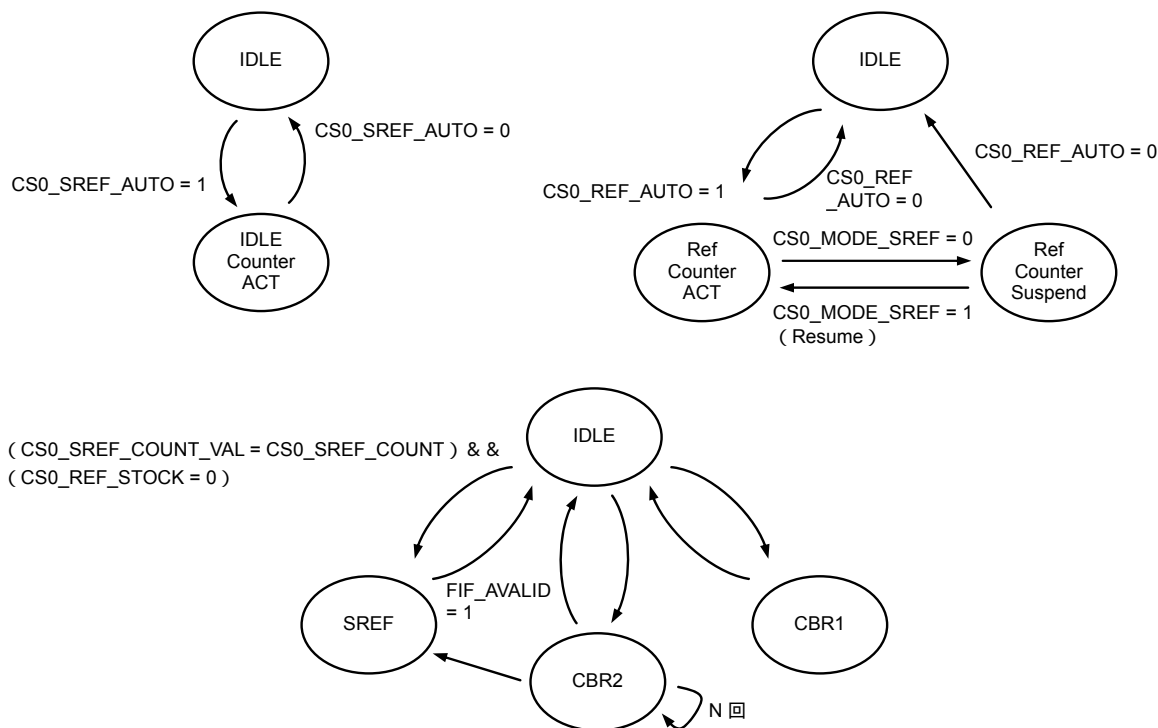
4.1.5 リフレッシュ制御

SDRAM はデータを保持するために、一定間隔でリフレッシュ動作を実行します。MEMC_DDR_CONFIG2 レジスタの CS0/1_REF_AUTO ビット もしくは CS0/1SREF_AUTO ビット設定後、リード/ライト・リクエストが MEMC 内には、セルフ・リフレッシュ・モードにエントリします。それ以外のときにはリフレッシュ周期ごとに回数をカウントし、特定のタイミングでカウント回数分の CBR リフレッシュを行います。Row アドレスが 16 Mワード長の SDRAM のカタログ値では、最低限 64 ms に 8192 回リフレッシュ動作(7~8 μs に 1 回)をしなくてはなりません。

本仕様では、MEMC_DDR_CONFIG2 レジスタの CS0/1_REF_COUNT ビットでリフレッシュ周期を任意に設定できます。リフレッシュ周期に達すると、MEMC_DDR_CONFIG1 レジスタの CS0/1_REF_STOCK ビットにこれからリフレッシュする回数をストックします。リフレッシュのストック値が規定値 (MEMC_DDR_CONFIG2 レジスタの CS0/1_STOCK_MAX ビットへの設定値) に達すると、強制的にリフレッシュ・キューからの要求を一時中断し、最優先で 1 回の CBR リフレッシュを実行します。セルフ・リフレッシュ時にはリフレッシュ周期をカウントするタイマは一時停止し、セルフ・リフレッシュ・モードを終了した時点で再開します。

また、セルフ・リフレッシュのエントリ時にも、ストック値が貯まっていれば、セルフ・リフレッシュ実行前に CBR リフレッシュを複数回 (最大で、MEMC_DDR_CONFIG2 レジスタの CS0/1_STOCK_DRAIN ビットへ設定した回数まで) 実行します。図 4-5 に CBR リフレッシュ移行時とセルフ・リフレッシュ移行時の処理フローを示します。リフレッシュ動作は CS ごとに個別に制御されます。

図 4-5 リフレッシュ制御状態遷移図



4.1.6 ソフトウェア・コマンド制御

MEMC_DDR_CONFIG2 レジスタを利用することにより、表 4 - 2のDDR SDRAMコマンドの発行とリフレッシュを制御することができます。

DDR SDRAM のモードレジスタ（および拡張モードレジスタ）へ設定を行う場合：

- ・DDR SDRAM へ発行するコマンド内容を MEMC_DDR_CONFIG1 レジスタへ設定してください。
- ・その後、MEMC_DDR_CONFIG2 レジスタの CMD_SET ビットへモード・レジスタ・ライト・コマンド“ 1111B ”をセットしてください。
- ・同時に CMD_ENABLE ビットに “ 0 ” をライトすることで、コマンド発行を行います。

プリチャージ・コマンドを発行する場合

- ・MEMC_DDR_CONFIG1 レジスタを用いて対象バンクを設定します。全バンクプリチャージを行う場合は、MODREG_MRS[10]へ “ 1 ” を設定してください。選択バンクプリチャージの場合は、MODREG_MRS[10]へ “ 0 ” を設定し、かつ MODREG_MRS[15:14]へ、プリチャージ対象のバンクを設定してください。
- ・その後、MEMC_DDR_CONFIG2 レジスタの CMD_SET ビットへプリチャージ・コマンド“ 1001B ”をセットしてください。
- ・同時に CMD_ENABLE ビットに “ 0 ” をライトすることで、コマンド発行を行います。

上記以外のコマンドを発行する場合

- ・MEMC_DDR_CONFIG1 への設定は不要です。
- ・MEMC_DDR_CONFIG2 レジスタの CMD_SET ビットへ該当コマンドをセットしてください。
- ・同時に CMD_ENABLE ビットに “ 0 ” をライトすることで、コマンド発行を行います。

（補足）

コマンドの発行はすべての要求処理後に行われます。しかし、コマンド発行時に CMD_REQ_LOCK ビットをセットしたときには、コマンド発行以降のレジスタによるコマンド発行以外の要求は、CMD_REQ_LOCK ビットをリリースするまで待たされます。コマンドが実行されたことの確認は、CMD_STATE ビットで行ってください。CMD_STATE ビットがビジーのとき、ソフトウェア・コマンドを実行すると無視されます。CKE イネーブル発行は、同時にクロック要求も出します。

表 4 - 3 ソフトウェア・コマンド一覧

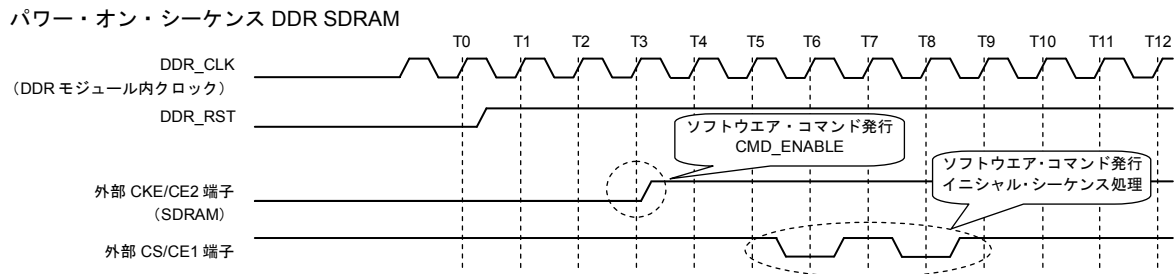
コマンド	機能	処理
Initial Seq Auto Exec	電源投入時のイニシャル・シーケンス実行	PALL CBR CBR MRS EMRS
Precharge	プリチャージを実行	PALL 時は A10 = H, PRE 時は A10 = L & BA[10] = 11B
Auto refresh	オートリフレッシュ実行	CBR コマンド発行
Self refresh	セルフ・リフレッシュ・コマンド実行	SREF コマンド発行
Deep Power Down	ディープ・パワーダウン実行	DPD コマンド発行
CKE Enable	CKE 端子制御	MEMC の CKE 制御を ON する
CKE Disable	CKE 端子制御	MEMC の CKE 制御を OFF する
MODE register read	モード・レジスタリード	-
Mode register Write	モード・レジスタライト	MRS / EMRS コマンド発行

4.1.7 電源ON/OFFシーケンス

初期電源立ち上がり時には、クロック供給後に DDR_RST 信号をアクティブにします。(この信号は ASMU で制御します。)リセット解除直後には、最初に MEMC_DDR_CONFIGF, MEMC_DDR_CONFIGFA1, MEMC_DDR_CONFIGA2 等の DDR 関連レジスタを設定してください。そのあと、ソフトウェア・コマンドで次の初期シーケンスを実行します。この初期シーケンスは、CS0, CS1 の両方実行してください。接続対象とする SDRAM によりシーケンスが異なる場合がありますので、詳細はデバイスのデータ・シートなどをご確認ください。

安全のため、実行順序 1 のときには、MEMC_DDR_CONFIGC2 レジスタの CMD_REQ_LOCK ビットへ “1” を設定し、コマンド発行とともにロック状態にすることを推奨します。最後のコマンド発行時には CMD_REQ_LOCK ビットへ “0” を設定し、ロック状態の開放を行ってください。

図 4-6 SDRAM パワー・アップ・タイミング



パワー・ダウン処理は、必ず CS0,1 のオートパワーダウン要求、自動セルフリフレッシュおよび自動リフレッシュ要求を Disable とし、All Bank Precharge 要求 発行確認 CKE Enable 発行要求 発行確認 ディープ・パワーダウン発行 (CMD_REQ_LOCK = 1) 発行確認 終了の順序で行ってください。また、コマンド発行後 CONFIGC2 レジスタのコマンドクリアを行ってください。

[メ モ]

【改版履歴】

日付	版数	改版内容
2009.1.30	暫定1版	-
2009.3.31	第2版	P6 関連資料 <ul style="list-style-type: none"> ・MC-10118A(EM1-D512), μPD77630A(EM1-S)のデータ・シートおよびユーザズ・マニュアル 1chip 編を追記。 ・電源チップ編を削除。
		P14 3.1.3 外部メモリ制御レジスタ <ul style="list-style-type: none"> ・2000H メモリ接続設定用レジスタ メモリ接続用レジスタ レジスタ名称誤記訂正 ・2000H リセット時の値 0000_0808H 0000_0000H 誤記訂正 ・2004H AC タイミング設定用レジスタ1 AC タイミング設定用レジスタ1 誤記訂正 ・2008H リセット時の値 00DA_0040H 00DA_0000H 誤記訂正 ・200CH リセット時の値 4040_0033H 4040_0003H 誤記訂正 ・2010H リセット時の値 0000_0340H 0000_03C0H 誤記訂正 ・2014H リセット時の値 0FFF_0FFFH 7FFF_7FFFH 誤記訂正 ・2018H リセット時の値 1F1F_FCFCH 1F5F_7C7CH 誤記訂正 ・201CH リセット時の値 0000_FCFCH 0000_3F3FH 誤記訂正 ・2024H DQS タイミング自動設定用レジスタ2 DQS タイミング調整用レジスタ2 レジスタ名称変更 ・2028H DQS タイミング自動設定用レジスタ3 DQS タイミング調整用レジスタ3 レジスタ名称変更
		P22 3.2.8 エラー・マスタID レジスタ <ul style="list-style-type: none"> ・Reserved ビット 31:7 31:8 ・MID ビット 6:0 7:0
		P23 3.2.9 エラー・アドレス・レジスタ <ul style="list-style-type: none"> ・Reserved ビット 29 29:28 ・ADDR ビット 28:3 27:3
		P31 3.2.13 AC タイミング設定用レジスタ2 脚注の上2行はこのレジスタに無関係のため記載削除
		P32 3.2.14 ソフトウェア・コマンド発行用レジスタ1 <ul style="list-style-type: none"> ・説明文中段 モードレジスタセット時は, Initialize/MRS/EMS Initialize/MRS/EMRS 誤記訂正 ・レジスタ機能説明 モード・レジスタ発行用アドレス モード・レジスタ設定コマンド発行用アドレス
		P43 表 4-1 追記
		P46 4.1.3 ソフトウェア・コマンド制御 プリチャージ・コマンドを発行する場合 全バンクプリチャージを行う場合は, MODEREG_MRS・・・ MODREG_MRS 誤記訂正
		4.1.4 記載削除
		P47 <ul style="list-style-type: none"> ・図 5-1, 5.1.1 削除 ・5.1 クロック制御・周波数自動制御 記載内容見直し(125MHzの記載を削除)
2009.3.31	第2版	P48 表 5-1 入れ替え
		P49 図 5-1 記載内容一部修正
2009.6.12	第3版	第4章 機能詳細 項目削除し,使用方法に統一
		P46 4.1.3 クロック位相制御 項目追記

日付	版数	改版内容
2009.9.30	第4版	P31 3.2.13 AC タイミング設定レジスタ ビット[23:20] tSREX 注意書き追記
		P50 4.1.7 電源 ON/OFF シーケンス パワーダウン処理方法 一部誤記訂正
2010.6.30	第5版	P36 3.2.17 リフレッシュ機能設定用レジスタ1 ビット割り当て表 誤記訂正
		P39 3.2.19 DQS タイミング調整用レジスタ1 ビット割り当て表 誤記訂正
		P49 4.1.6 ソフトウェアコマンド制御 表 4-4 Initial Seq Auto Exec コマンドの処理 誤記訂正
		P50 表 4-5 記載削除 図 4-6 内容修正



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口 : <http://japan.renesas.com/inquiry>