

RAJ306102

ユーザーズマニュアル ハードウェア編

General purpose Motor control IC

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違くと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

対象者 このマニュアルはRAJ306102 (RL78/G1F 搭載 汎用モータ制御 IC) の機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。対象製品は、次に示す各製品です。

・ 64 ピン： RAJ306102GNP

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 RAJ306102 のマニュアルは、このマニュアルと RL78/G1F ハードウェアマニュアル編、ソフトウェア編(RL78 ファミリ共通)の3冊に分かれています。本マニュアルでは、RAJ306102 特有の機能に関して説明します。RL78/G1F マイコンの詳細な利用方法に関しては、RL78/G1F ハードウェアマニュアル編(R01UH0516J)を参照ください。

RAJ306102 シリーズ ユーザーズ・マニュアル ハードウェア編	RL78/G1F ユーザーズ・マニュアル ハードウェア編	RL78 ファミリ ユーザーズ・マニュアル ソフトウェア編
RAJ306102 に関する ●端子機能 ●内部ブロック機能 ●プリドライバ機能 ●RL78/G1F の利用方法	RL78/G1F に関する ●端子機能 ●内部ブロック機能 ●割り込み ●その他の内蔵周辺機能 ●電気的特性	●CPU 機能 ●命令セット ●命令の説明

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

□一通りの機能を理解しようとするとき

→目次に従って読んでください。

□レジスタ・フォーマットの見方

□RL78/G1F マイクロコントローラの命令機能の詳細を知りたいとき

→別冊の RL78 ファミリ ユーザーズ・マニュアル ソフトウェア編 (R01US0015J) を参照してください。

- 凡 例 データ表記の重み : 左が上位桁, 右が下位桁
 アクティブ・ロウの表記: $\overline{\text{xxx}}$ (端子, 信号名称に上線)
 注 : 本文中につけた注の説明
 注意 : 気をつけて読んでいただきたい内容
 備考 : 本文の補足説明
 数の表記 : 2進数...xxxx or xxxxb
 10進数...xxxx
 16進数...xxxh

関連資料

関連資料は暫定版の場合がありますが, この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
RAJ306102 ユーザーズマニュアル ハードウェア編	このマニュアル	R18UZ0082E
RL78/G1F ユーザーズ・マニュアル ハードウェア編	R01UH0516J	R01UH0516E
RL78ファミリ ユーザーズ・マニュアル ソフトウェア編	R01US0015J	R01US0015E
RAJ306102 データシート	R18DS0039J	R18DS0039E

フラッシュ・メモリ書き込み用の資料 (ユーザーズ・マニュアル)

資料名	資料番号	
	和文	英文
PG-FP5 フラッシュ・メモリ・プログラマ	R20UT0008J	R20UT0008E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには, 必ず最新の資料をご使用ください。

その他の資料

資料名	資料番号	
	和文	英文
ルネサス マイクロコンピュータ RL78ファミリ	R01CP0003J	R01CP0003E
半導体パッケージ実装マニュアル	R50ZZ0003J	R50ZZ0003E
信頼性ハンドブック	R51ZZ0001J	R51ZZ0001E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには, 必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。

EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。

SuperFlash は、米国 Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品は Silicon Storage Technology, Inc.からライセンスを受けた SuperFlash[®]を使用しています。

目次

目次.....	1
第1章 概要	1
1.1 特徴.....	2
1.1.1 MCU.....	2
1.1.2 Smart Gate Driver.....	4
1.2 用途.....	4
1.3 端子図.....	5
1.4 端子機能.....	6
1.5 機能概要.....	9
1.5.1 MCU部.....	9
1.5.2 Smart Gate Driver部.....	13
1.6 MCUとSmart Gate Driverの内部接続.....	14
1.6.1 内部接続図.....	14
1.6.2 内部接続表.....	15
1.7 応用回路例.....	16
1.7.1 ホールセンサモータ制御 (3コンパレータ).....	16
1.7.2 センサレスモータ制御 (BEMF検出 & コンパレータ).....	17
1.7.3 センサレスモータ制御 (MCU 5[V] 供給仕様).....	18
第2章 MCU : RL78/G1F	19
2.1 端子接続, 端子機能、および端子設定.....	19
2.1.1 Smart Gate Driverとの端子接続.....	19
2.1.2 端子機能.....	20
2.1.3 推奨端子設定.....	22
2.1.4 Smart Gate Driverとの内部接続端子.....	25
2.2 周辺機能の制限事項.....	28
2.2.1 ポート機能.....	29
2.2.2 クロック発生回路.....	31
2.2.3 タイマ・アレイ・ユニット.....	31
2.2.4 タイマRJ.....	31
2.2.5 タイマRD.....	31
2.2.6 タイマRG.....	32
2.2.7 リアルタイム・クロック.....	32
2.2.8 12ビット・インターバル・タイマ.....	32
2.2.9 クロック出力 / ブザー出力制御回路.....	32

2.2.10	ウォッチドッグ・タイマ	32
2.2.11	A/Dコンバータ	32
2.2.12	コンパレータ (CMP)	32
2.2.13	シリアル・アレイ・ユニット.....	33
2.2.14	IrDA.....	33
2.2.15	データ・トランスファ・コントローラ (DTC).....	34
2.2.16	イベント・リンク・コントローラ (ELC)	35
2.2.17	割り込み機能	36
2.2.18	キー割り込み機能	38
2.2.19	パワーオン・リセット回路.....	38
2.2.20	電圧検出回路	38
2.2.21	オプション・バイト	38
2.2.22	フラッシュ・メモリ	38
第3章	Smart Gate Driver	39
3.1	端子接続、および端子機能.....	40
3.1.1	MCUとの端子接続	40
3.1.2	端子機能	41
3.2	Control Register.....	43
3.2.1	レジスタ説明	44
3.3	モータ制御に対応したレジスタ設定.....	54
3.3.1	ホールセンサモータ制御	54
3.3.2	センサレスモータ制御 (BEMF検出 & コンパレータ).....	58
第4章	Smart Gate Driverの制御シーケンス	61
4.1	起動シーケンス例	61
4.2	エラー復帰シーケンス例	64
第5章	回路構成, 部品選定, 推奨基板レイアウト	67
5.1	回路構成, 部品選定、および注意事項.....	67
5.1.1	VM, VBRIDGE端子コンデンサ (C1a, C1b, C1c, C1d).....	69
5.1.2	リニアレギュレータ用部品 (C7, C8, R7, R8)	69
5.1.3	降圧スイッチングレギュレータ用部品 (R4, R5, L1, C4, C5, R6).....	71
5.1.4	チャージポンプ用出力コンデンサ (C2), フライングコンデンサ (C3).....	75
5.1.5	モータ駆動用外付けMOSFET (M1~M6) とレジスタ設定	75
5.1.6	電流検出用シャント抵抗 (R1, R2, R3) と差動アンプゲイン	77
5.1.7	外付け保護回路例	78
5.2	推奨基板レイアウト	80

5.2.1	GND系統.....	80
5.2.2	電源端子のコンデンサと電源配線.....	81
5.2.3	降圧スイッチングレギュレータ.....	82
5.2.4	N-ch MOSFETブリッジ.....	83
5.2.5	チャージポンプ	83
5.2.6	シャント電流検出	83
第6章	使用上の注意事項.....	84
6.1	高温動作に関して	84
	改版記録.....	85

第1章 概要

RAJ306102 は、3 相ブラシレス DC モータ (以降 BLDC モータ) の制御に適した汎用モータコントロール IC です。本製品は、MCU (RL78/G1F) と Smart Gate Driver (RAA306012) を 1 パッケージに搭載しています。

Smart Gate Driver には、ハーフブリッジゲートドライバ 3ch, ゲート駆動用の降圧スイッチングレギュレータとチャージポンプ, LDO 2ch (IC 内部のアナログ / デジタル回路、および周辺回路用), 高精度差動アンプ 3ch, BEMF 検出アンプ, 汎用コンパレータ 3ch、および各種保護機能を内蔵しています。

3ch のハーフブリッジゲートドライバは、最大 3ch の N-ch MOSFET ブリッジを駆動可能で、6~65[V] のブリッジ電圧に対応しています。各ゲートドライバは、ソース / シンクのピーク電流を最大 0.64 / 1.28[A] まで 16 段階で調整可能です。また、堅牢性と柔軟性を確保するため、アダプティブデッドタイム機能とアジャスタブルデッドタイム機能を内蔵しています。アクティブゲートホールド機構は、ミラー効果による貫通電流を防止し、堅牢性が向上します。

3ch の高精度差動アンプは、各ブリッジの GND 側シャント抵抗の電流検出に対応し、ゲインの選択が可能です。3ch の汎用コンパレータ、および BEMF 検出アンプにより、ホールセンサ / センサレスモータ制御両方の BLDC モータ制御方式に対応可能です。

保護機能 (異常保護, 通知機能) として、VCC5V 電圧降下 (VCC_UV), VM 電圧降下 (VM_UV), VM 過電圧 (VM_OV), チャージポンプ電圧降下 (VCP_UV), MOSFET V_{DS} 過電流 (VDS_OCP), シャント抵抗の過電流保護 (CS_OCP), MOSFET V_{GS} 異常 (VGS_FAULT), サーマルワーニング (TWARN), サーマルシャットダウン (OTSD), 降圧レギュレータ過電流検出 (SR_OC1), 降圧レギュレータ過電流保護 (SR_OCP), 降圧レギュレータ電圧降下 (VDRV_UV), 降圧レギュレータ過電圧 (VDRV_OV) に対応しています。

Smart Gate Driver は、MCU との内部接続により、SPI インターフェースを介してパラメータの設定と確認が可能です。また、nFAULT 信号と Fault Status レジスタにより異常状態の確認が可能です。

MCU は、IEC60730、および IEC61508 の安全規格に対応しています。本製品では、RL78 ファミリの開発ツールが使用可能です。

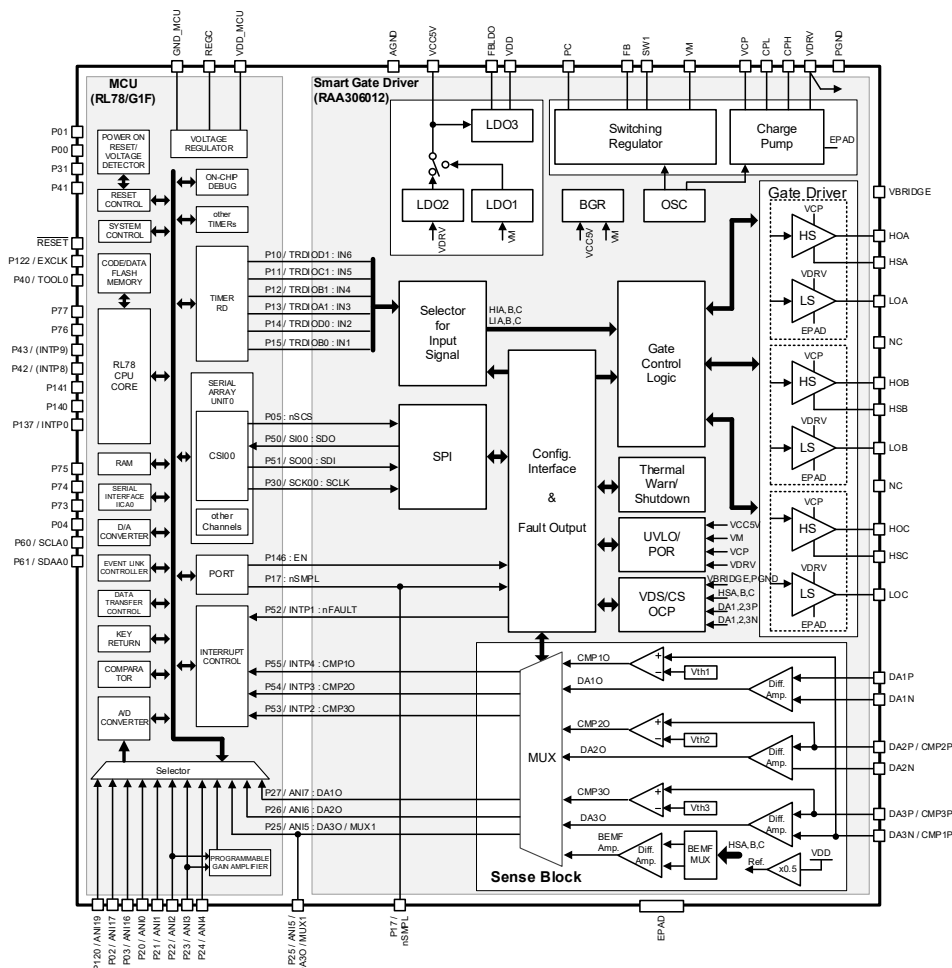


図 1-1 RAJ306102 の内部ブロック図

1.1 特徴

- 動作電圧範囲
 - VBRIDGE : 6~65[V] (絶対最大定格 : 78[V])
 - VM : 6~60[V] (絶対最大定格 : 65[V])
- 動作周囲温度範囲 : -40~+105[°C]
- 低消費電力な VM 電源
 - MCU : 5.2[mA]
(HS モード : f_{IH} = 32[MHz], VDD_MCU = 5[V])
 - Smart Gate Driver :
2[mA] (Operating Mode), 28[μA] (Sleep Mode)
- 8[mm] x 8[mm] 64Ld QFN package (0.4[mm] pitch)

1.1.1 MCU

本製品に搭載している MCU は、RL78/G1F (R5F11BLEGFB) です。RL78/G1F には下記の特徴があります。なお、内部接続端子、および未接続端子があるため、使用可能な周辺機能に制限があります。詳細は、**1.5, 2.2**を参照してください。

超低消費電力テクノロジー

- VDD_MCU 端子電圧 = 3.135~5.25[V]
本製品では、VDD 端子の推奨動作電圧範囲に制限されます。
- 3種類の低消費電力モード (HALT モード, STOP モード, SNOOZE モード)

RL78 CPU コア

- 3段パイプラインの CISC アーキテクチャ
- 最小命令実行時間 : 高速オンチップ・オシレータ・クロックによる高速 (0.03125[μs] : 32[MHz]動作時) から低速 (1[μs] : 1[MHz]動作時) までを変更可能 ^{Note1}
- 乗除・積和演算命令対応
- アドレス空間 : 1[MB]
- 汎用レジスタ : 8ビット・レジスタ x 8 x 4バンク
- 内蔵 RAM : 5.5[KB]

Note1 : 本製品ではサブシステム・クロックが使用できないため、低速動作の範囲が制限されます。

コード・フラッシュ・メモリ

- コード・フラッシュ・メモリ : 64[KB]
- ブロック・サイズ : 1[KB]
- ブロック消去禁止, 書き換え禁止 (セキュリティ機能)
- オンチップ・デバッグ機能内蔵
- セルフ・プログラミング : ブート・スワップ機能とフラッシュ・シールド・ウインドウ機能あり

データ・フラッシュ・メモリ

- データ・フラッシュ・メモリ : 4[KB]
- バックグラウンド・オペレーション (BGO) : データ・フラッシュ書き換え中に、プログラム・メモリ内の命令実行が可能
- 書き換え回数 : 1,000,000回 (typ.)
- 書き換え電圧 : VDD_MCU = 3.135~5.25[V]

高速オンチップ・オシレータ

- 64 / 48 / 32 / 24 / 16 / 12 / 8 / 6 / 4 / 3 / 2 / 1[MHz]から選択
- 高精度 ± 1.0[%] (VDD_MCU = 3.135~5.25[V], T_A = -20~+85[°C])

動作周囲温度

- T_A = -40~+105[°C]

電源管理とリセット機能

- ・ パワーオン・リセット (POR) 回路内蔵
- ・ 電圧検出 (LVD) 回路内蔵 (割り込み, リセットの検出レベルを変更可能)

データ・トランスファ・コントローラ (DTC)

- ・ 転送モード: ノーマル転送モード, リピート転送モード, ブロック転送モード
- ・ 起動要因: 割り込み要因により起動
- ・ チェーン転送機能あり

イベント・リンク・コントローラ (ELC)

- ・ 21 種類のイベント信号を特定の周辺機能へリンク可能

シリアル・インタフェース

- ・ 簡易 SPI (CSI): 3ch
- ・ UART: 1ch
- ・ I²C / 簡易 I²C: 2ch

タイマ

- ・ 16 ビット・タイマ: 9ch
(タイマ・アレイ・ユニット (TAU): 4ch, タイマ RJ: 1ch,
タイマ RD: 2ch (PWMOPA 付き, タイマ RD は内部接続専用), タイマ RG: 1ch, タイマ RX: 1ch)
- ・ 12 ビット・インターバル・タイマ: 1ch
- ・ リアルタイム・クロック: 1ch (定周期割り込み機能のみ使用可能)
- ・ ウォッチドッグ・タイマ: 1ch (専用の低速オンチップ・オシレータ・クロックで動作可能)

A/D コンバータ

- ・ 8/10 ビット分解能 A/D コンバータ
- ・ アナログ入力: 11ch
 - ANI0 - ANI5, ANI16, ANI17, ANI19: 9ch (外部接続端子から入力可能)
 - ANI5, ANI6, ANI7: 3ch (Smart Gate Driver の DAzP, DAzN 端子 (z = 1, 2, 3) より差動アンプを介して接続)

Note: ANI5 は外部接続端子と、Smart Gate Driver 経由の両方に対応。ただし、外部接続端子として使用する場合、内蔵プルダウン抵抗 (330[kΩ]) が接続されます。

- ・ 内部基準電圧 (1.45[V]) と温度センサを搭載
- ・ サンプルホールド機能: 3ch
 - ANI5 - ANI7: Smart Gate Driver に内蔵している差動アンプの機能

D/A コンバータ

- ・ 8 ビット分解能 D/A コンバータ
- ・ アナログ出力: 2ch
- ・ 出力電圧: 0[V]~VDD_MCU 端子電圧
- ・ リアルタイム出力機能を搭載

コンパレータ

- ・ 2ch (1ch は端子セレクトタ搭載)
- ・ タイマ・アレイ・ユニットと連動するタイム・ウィンドウ出力機能を搭載
- ・ 基準電圧は外部基準電圧と内部基準電圧の選択が可能

プログラマブル・ゲイン・アンプ (PGA)

- ・ PGA: 1ch (MCU に内蔵, PGAI 端子入力, ゲインは x4, x8, x16, x32 が選択可能)
- ・ 差動アンプ: 3ch (Smart Gate Driver に内蔵, DAzP, DAzN 端子 (z = 1, 2, 3) 差動入力, ゲインは x5, x10, x20, x40 が選択可能)

入出力ポート

- ポート : 29pins (I/O : 27pins, Input : 2pins)
 - N-ch オープン・ドレイン入出力 (6[V]耐圧) : 2pins
 - N-ch オープン・ドレイン入出力 (VDD_MCU 耐圧) : 5pins
- N-ch オープン・ドレイン, TTL 入力バッファ, 内蔵プルアップの切り替え可能
- キー割り込み機能内蔵
- クロック出力 / ブザー出力制御回路内蔵

安全規格 IEC60730、および IEC61508 に対応する安全機能

- フラッシュ・メモリ CRC 演算機能 (高速 CRC, 汎用 CRC)
- RAM パリティ・エラー検出機能
- RAM ガード機能
- SFR ガード機能
- 不正メモリ・アクセス検出機能
- 周波数検出機能
- A/D テスト機能
- 入出力端子のデジタル出力信号レベル検出機能

その他

- 10 進補正 (BCD) 回路内蔵

詳細については、「[RL78/G1F ユーザーズマニュアル ハードウェア編 \(R01UH0516JJ\)](#)」を参照してください。

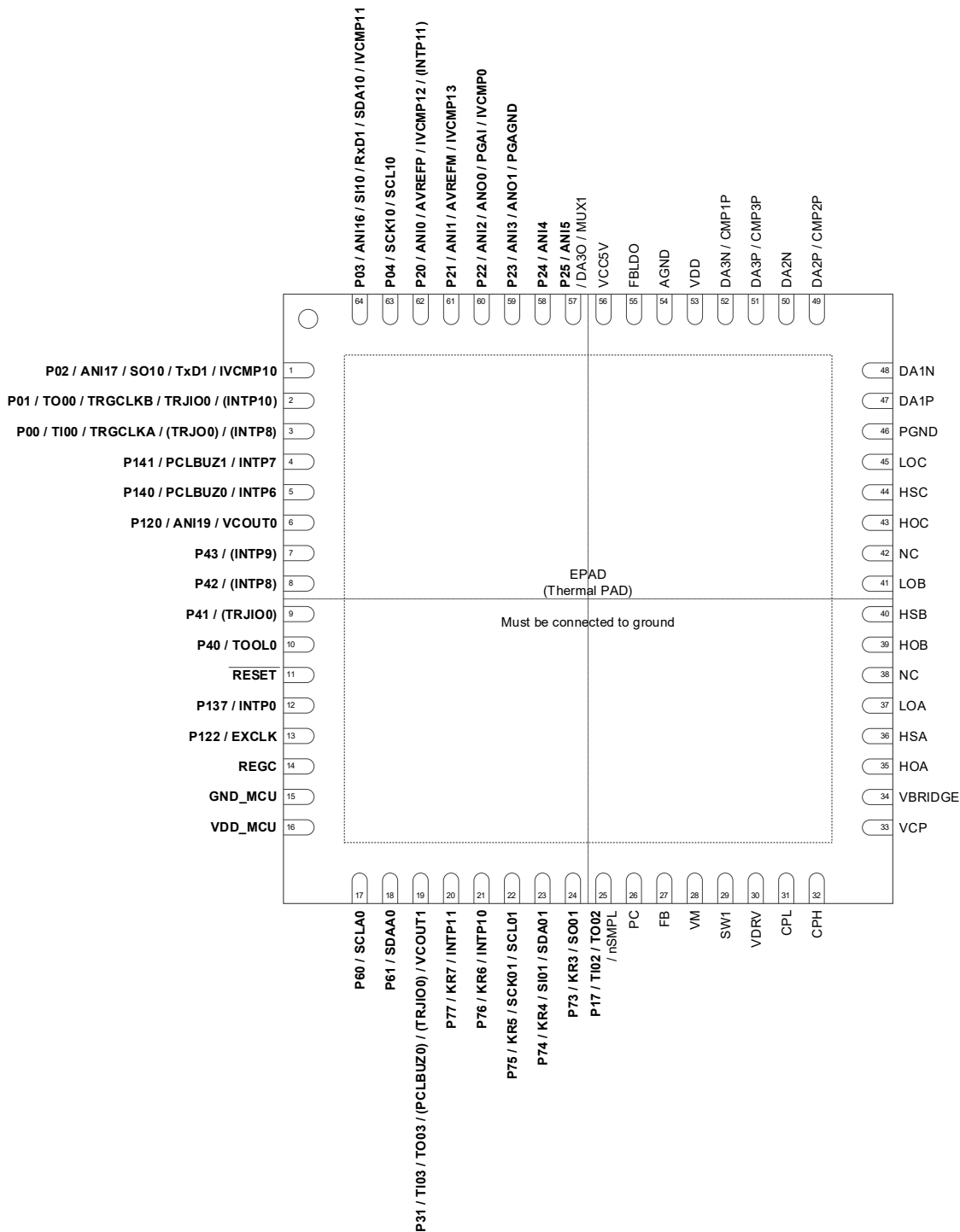
1.1.2 Smart Gate Driver

- BLDC モータ用 3 相ゲートドライバ機能
 - ゲート駆動ピーク電流 0.64 / 1.28[A] (ソース / シンク) を 16 段階で調整可能
 - アダプティブデッドタイム機能とアジャスタブルデッドタイム機能に対応
 - 3 相 HI/LI モード、および 3 相 PWM モード対応
 - 入力制御信号の選択機能
- システム用電源機能を搭載
 - Sleep Mode 対応の低消費 5[V] LDO : 2ch 搭載
 - 500[mA]降圧スイッチングレギュレータ内蔵 (5~15[V]で調整可能)
 - MCU を含む外付け部品用 100[mA]対応 LDO (電圧調整可能)
- ゲイン設定 (5, 10, 20, 40[V/V]) 可能な 3ch の差動アンプ (電流検出に対応)
- BEMF 検出アンプ (センサレスモータ制御用)
- 汎用コンパレータ 3ch (ホールセンサモータ制御用)
- 各種充実した保護機能搭載
 - VCC5V 電圧降下 (VCC_UV)
 - VM 電圧降下 (VM_UV)
 - VM 過電圧 (VM_OV)
 - チャージポンプ電圧降下 (VCP_UV)
 - MOSFET V_{ds} 過電流 (VDS_OCP)
 - ショット抵抗の過電流保護 (CS_OCP)
 - MOSFET V_{gs} 異常 (VGS_FAULT)
 - サーマルワーニング (TWARN)
 - サーマルシャットダウン (OTSD)
 - 降圧レギュレータ過電流検出 (SR_OC1)
 - 降圧レギュレータ過電流保護 (SR_OCP)
 - 降圧レギュレータ電圧降下 (VDRV_UV)
 - 降圧レギュレータ過電圧 (VDRV_OV)

1.2 用途

パワーツール、ガーデンツール、掃除機、ファン、ポンプ、ロボット、他

1.3 端子図



bold fonts : RL78/G1F Pins
 Normal fonts : Smart Gate Driver Pins

図 1-2 端子図 (Top View)

1.4 端子機能

表 1-1 端子機能 (1 / 3)

端子番号	端子名称	兼用機能	I/O			機能	Note
			レベル	入出力	リセット解除時		
1	P02	ANI17 / SO10 / TxD1 / IVCMP10	VDD	入出力	アナログ機能	デジタル入出力 / A/Dコンバータのアナログ入力 / CS10シリアル・データ出力 / UARTシリアル・データ出力 / コンパレータ1のアナログ電圧入力, リファレンス電圧入力	1
2	P01	TO00 / TRGCLKB / TRJIO0 / (INTP10)	VDD	入出力	入力ポート	デジタル入出力 / 16ビット・タイム00のタイマ出力 / タイマRG外部クロック入力 / タイマRJ入出力 / (外部割り込み (INTP10) 要求入力)	1
3	P00	TI00 / TRGCLKA / (TRJIO0) / (INTP8)	VDD	入出力	入力ポート	デジタル入出力 / 16ビット・タイム00への外部カウント・クロック, キャプチャ・トリガ入力 / タイマRG外部クロック入力 / (タイマRJ出力) / (外部割り込み (INTP8) 要求入力)	1
4	P141	PCLBUZ1 / INTP7	VDD	入出力	入力ポート	デジタル入出力 / クロック, プゼー出力 / 外部割り込み (INTP7) 要求入力	1
5	P140	PCLBUZ0 / INTP6	VDD	入出力	入力ポート	デジタル入出力 / クロック, プゼー出力 / 外部割り込み (INTP6) 要求入力	1
6	P120	ANI19 / VCOUT0	VDD	入出力	アナログ機能	デジタル入出力 / A/Dコンバータのアナログ入力 / コンパレータ0出力	1
7	P43	INTP9	VDD	入出力	入力ポート	デジタル入出力 / 外部割り込み (INTP9) 要求入力	1
8	P42	INTP8	VDD	入出力	入力ポート	デジタル入出力 / 外部割り込み (INTP8) 要求入力	1
9	P41	(TRJIO0)	VDD	入出力	入力ポート	デジタル入出力 / (タイマRJ入出力)	1
10	P40	TOOL0	VDD	入出力	入力ポート	デジタル入出力 / フラッシュ・メモリ・プログラム, デバッグ用データ入出力	1
11	/RESET	—	VDD	入力	—	RL78/G1F用リセット・レベル・アクティブのシステム・リセット入力	1
12	P137	INTP0	VDD	入力	入力ポート	入力ポート / 外部割り込み (INTP0) 要求入力	1
13	P122	EXCLK	VDD	入力	入力ポート	入力ポート / メイン・システム・クロック用外部クロック入力	1
14	REGC	—	VDD	—	—	内部動作レギュレータ出力安定容量接続 出力安定化コンデンサ (0.47~1[μF]) をREGCとGND_MCU間に接続。	1
15	GND_MCU	—	VDD	GND	—	RL78/G1F用GND電位	1
16	VDD_MCU	—	VDD	POWER	—	RL78/G1F用正電源 バイパスコンデンサ (0.1[μF]程度) をVDD_MCUとGND_MCU間に接続。	1
17	P60	SCLA0	VDD	入出力	入力ポート	デジタル入出力 / シリアル・インタフェースIICA0のシリアル・クロック入出力	1
18	P61	SDAA0	VDD	入出力	入力ポート	デジタル入出力 / シリアル・インタフェースIICA0のシリアル・データ入出力	1
19	P31	TI03 / TO03 / (PCLBUZ0) / (TRJIO0) / VCOUT1	VDD	入出力	入力ポート	デジタル入出力 / 16ビット・タイム03への外部カウント・クロック, キャプチャ・トリガ入力 / 16ビット・タイム03のタイマ出力 / (クロック, プゼー出力) / タイマRJ入出力 / コンパレータ出力1	1
20	P77	KR7 / INTP11	VDD	入出力	入力ポート	デジタル入出力 / キー割り込み (KR7) 入力 / 外部割り込み (INTP11) 要求入力	1
21	P76	KR6 / INTP10	VDD	入出力	入力ポート	デジタル入出力 / キー割り込み (KR6) 入力 / 外部割り込み (INTP10) 要求入力	1
22	P75	KR5 / SCK01 / SCL01	VDD	入出力	入力ポート	デジタル入出力 / キー割り込み (KR5) 入力 / シリアル・インタフェースCSI01のシリアル・クロック入出力 / シリアル・インタフェースIIC01のシリアル・クロック出力	1
23	P74	KR4 / SI01 / SDA01	VDD	入出力	入力ポート	デジタル入出力 / キー割り込み (KR4) 入力 / シリアル・インタフェースCSI01のシリアル・データ入力 / シリアル・インタフェースIIC01のシリアル・データ入出力	1
24	P73	KR3 / SO01	VDD	入出力	入力ポート	デジタル入出力 / キー割り込み (KR3) 入力 / CSI01のシリアル・データ出力	1
25	P17	TI02 / TO02 / nSMPL	VDD	入出力	入力ポート	デジタル入出力 / 16ビット・タイム02への外部クロック入力 / 16ビット・タイム02のタイマ出力 / Smart Gate Driver用サンプルホールド入力	1, 2

Note1 : RL78/G1Fの端子です。端子機能の詳細は、「**RL78/G1F ユーザズマニュアル ハードウェア編 (R01UH0516JJ)**」を参照してください。

Note2 : この端子を GPIO, TI02, または TO02 として使用する場合は、Smart Gate Driver の差動アンプのサンプルホールド機能は使用不可能です。Smart Gate Driver の Sense Block Control 2 レジスタ (SNSCTL2) の BEMF_SH ビット, DA1_SH ビット, DA2_SH ビット, DA3_SH ビットを全て“0b”に設定してください。詳細は、**3.2.1.15**を参照してください。

表 1-2 端子機能 (2 / 3)

端子番号	端子名称	兼用機能	I/O			機能	Note
			レベル	入出力	リセット解除時		
26	PC	—	VCC5V	出力	出力	降圧スイッチングレギュレータの位相補償用gmアンプ出力	
27	FB	—	VCC5V	入力	入力	降圧スイッチングレギュレータの電圧フィードバック入力 (Ref. = 0.8[V])	
28	VM	—	VM	POWER	—	電源入力 VMとアナログGND間にバイパスコンデンサを接続。	
29	SW1	—	VM	出力	出力	降圧スイッチングレギュレータのスイッチノード	
30	VDRV	—	VDRV	POWER	—	降圧スイッチングレギュレータ用出力、およびLowサイドゲートドライバ電源 バイパスコンデンサをVDRVとアナログGND間に接続。	
31	CPL	—	VDRV	出力	出力	チャージポンプLowサイドのスイッチノード フライングコンデンサをCPHとCPL端子間に接続。	
32	CPH	—	VCP	出力	出力	チャージポンプHighサイドのスイッチノード フライングコンデンサをCPHとCPL端子間に接続。	
33	VCP	—	VCP	POWER	—	チャージポンプ出力 バイパスコンデンサをVBRIDGEとVCP端子間に接続。	
34	VBRIDGE	—	VBRIDGE	入力	入力	チャージポンプ出力の基準電圧、およびHighサイドMOSFETのドレイン検知入力 バイパスコンデンサをVBRIDGEとパワーGND間に接続。	
35	HOA	—	VCP	出力	出力	A相Highサイドのゲートドライバ出力 HighサイドのMOSFETゲートと接続。	
36	HSA	—	VBRIDGE	入力	入力	A相Highサイドのソース検知入力 HighサイドのMOSFETソースと接続。	
37	LOA	—	VDRV	出力	出力	A相Lowサイドのゲートドライバ出力 LowサイドのMOSFETゲートと接続。	
38	NC	—	—	—	—	オープン (接続禁止)	
39	HOB	—	VCP	出力	出力	B相Highサイドのゲートドライバ出力 HighサイドのMOSFETゲートと接続。	
40	HSB	—	VBRIDGE	入力	入力	B相Highサイドのソース検知入力 HighサイドのMOSFETソースと接続。	
41	LOB	—	VDRV	出力	出力	B相Lowサイドのゲートドライバ出力 LowサイドのMOSFETゲートと接続。	
42	NC	—	—	—	—	オープン (接続禁止)	
43	HOC	—	VCP	出力	出力	C相Highサイドのゲートドライバ出力 HighサイドのMOSFETゲートと接続。	
44	HSC	—	VBRIDGE	入力	入力	C相Highサイドのソース検知入力 HighサイドのMOSFETソースと接続。	
45	LOC	—	VDRV	出力	出力	C相Lowサイドのゲートドライバ出力 LowサイドのMOSFETゲートと接続。	
46	PGND	—	GND	GND	—	外部パワー段のGNDセンス入力	
47	DA1P	—	VDD	入力	入力	差動アンプ1のPositive側入力 本端子の端子機能を使用しない場合、アナログGNDに接続してください。	
48	DA1N	—	VDD	入力	入力	差動アンプ1のNegative側入力 本端子の端子機能を使用しない場合、アナログGNDに接続してください。	
49	DA2P	CMP2P	VDD	入力	入力	差動アンプ2のPositive側入力とコンパレータ2のPositive側入力 本端子の端子機能を使用しない場合、アナログGNDに接続してください。	
50	DA2N	—	VDD	入力	入力	差動アンプ2のNegative側入力 本端子の端子機能を使用しない場合、アナログGNDに接続してください。	
51	DA3P	CMP3P	VDD	入力	入力	差動アンプ3のPositive側入力とコンパレータ3のPositive側入力 本端子の端子機能を使用しない場合、アナログGNDに接続してください。	
52	DA3N	CMP1P	VDD	入力	入力	差動アンプ3のNegative側入力とコンパレータ1のPositive側入力 本端子の端子機能を使用しない場合、アナログGNDに接続してください。	
53	VDD	—	VDD	POWER	—	内蔵シリーズレギュレータ出力、および出力バッファ用電源 出力コンデンサをVDDとアナログGND間に接続。	
54	AGND	—	GND	GND	—	デバイスのアナログ用GND	
55	FBLDO	—	VCC5V	入力	入力	内蔵シリーズレギュレータの電圧フィードバック (Ref. = 1.2[V])	
56	VCC5V	—	VCC5V	POWER	—	内蔵シリーズレギュレータ出力 (5[V]) 出力コンデンサをVCC5VとアナログGND間に接続。	

表 1-3 端子機能 (3 / 3)

端子番号	端子名称	兼用機能	I/O			機能	Note
			端子レベル	入出力	リセット解除時		
57	P25	ANI5 / DA30 / MUX1	VDD	入出力	アナログ機能	デジタル入出力 / A/Dコンバータのアナログ入力 / Smart Gate Driverの差動アンプ3の出力, BEMF検出アンプ出力, アナログマルチプレクサ出力	1, 3
58	P24	ANI4	VDD	入出力	アナログ機能	デジタル入出力 / A/Dコンバータのアナログ入力	1
59	P23	ANI3 / ANO1 / PGAGND	VDD	入出力	アナログ機能	デジタル入出力 / A/Dコンバータのアナログ入力 / D/Aコンバータ1出力 / PGAリファレンス電圧入力	1
60	P22	ANI2 / ANO0 / PGAI / IVCMP0	VDD	入出力	アナログ機能	デジタル入出力 / A/Dコンバータのアナログ入力 / D/Aコンバータ0出力 / PGA電圧入力 / コンパレータ0のアナログ電圧入力	1
61	P21	ANI1 / AVREFM / IVCMP13	VDD	入出力	アナログ機能	デジタル入出力 / A/Dコンバータのアナログ入力 / A/Dコンバータの-側基準電圧入力 / コンパレータ1のアナログ電圧入力, リファレンス電圧入力	1
62	P20	ANI0 / AVREFP / IVCMP12 / (INTP11)	VDD	入出力	アナログ機能	デジタル入出力 / A/Dコンバータのアナログ入力 / A/Dコンバータの+側基準電圧入力 / コンパレータ1のアナログ電圧入力, リファレンス電圧入力 / (外部割り込み (INTP11) 要求入力)	1
63	P04	SCK10 / SCL10	VDD	入出力	アナログ機能	デジタル入出力 / シリアル・インタフェースCSH10のシリアル・クロック入出力 / シリアル・インタフェースIIC10のシリアル・クロック出力	1
64	P03	ANI16 / SI10 / RxD1 / SDA10 / IVCMP11	VDD	入出力	アナログ機能	デジタル入出力 / A/Dコンバータのアナログ入力 / シリアル・インタフェースCSH10のシリアル・データ入力 / シリアル・インタフェースUART1のシリアル・データ入力 / シリアル・インタフェースIIC10のシリアル・データ入出力 / コンパレータ1のアナログ電圧入力, リファレンス電圧入力	1
—	EPAD (Thermal PAD)	—	GND	GND	—	チャージポンプ、およびゲートドライバ用のパワー-GND 外部パワー-GNDとの接続が必要です。	

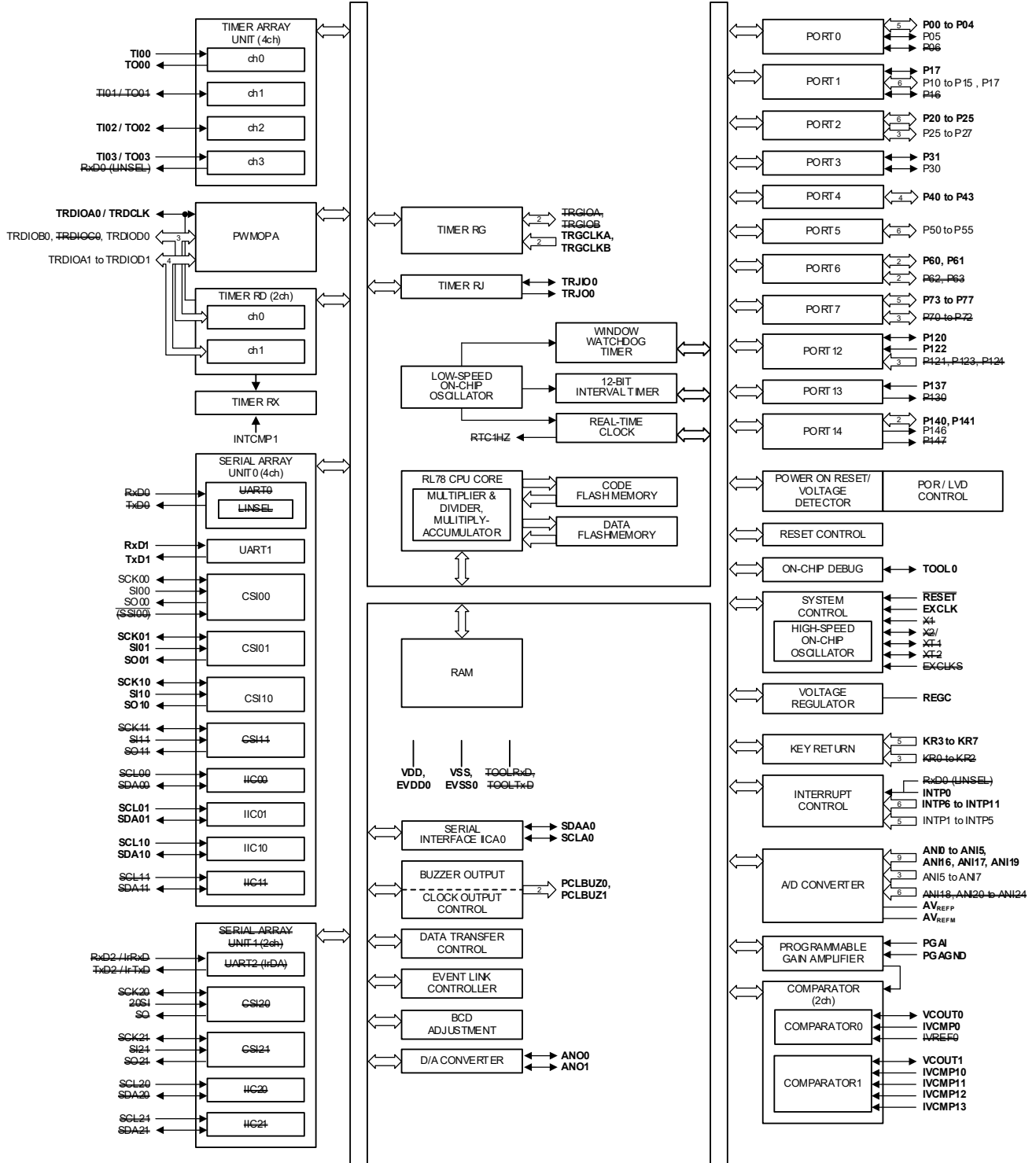
Note1 : RL78/G1F の端子です。端子機能の詳細は、「**RL78/G1F ユーザズマニュアル ハードウェア編 (R01UH0516JJ)**」を参照してください。

Note3 : この端子を P25、または ANI5 として使用する際、Smart Gate Driver の Sense Block Control 5 レジスタ (SNSCTL5) の MUX ビットに"000b"を設定してください。ただし、"000b"を設定している場合、プルダウン抵抗 (330[kΩ]) が有効になるため、外部接続端子でアナログ機能を使用する際は注意してください。詳細は、**3.2.1.18**、および「**RAJ306102 データシート (R18DS0039JJ)**」の **6.5.5** を参照してください。

1.5 機能概要

1.5.1 MCU 部

1.5.1.1 MCU 部ブロック図



bold fonts : Output pins
 Normal fonts : Connected to Smart Gate Driver Pins
 Double strike-through : Unavailable Pins or functions

図 1-3 MCU 部ブロック図

1.5.1.2 MCU 部機能概要

本製品に搭載している RL78/G1F のオリジナルの機能概要と、本製品に搭載した状態での機能概要比較表を表 1-4、表 1-5、表 1-6 に示します。

表 1-4 MCU 部機能概要比較表 (1 / 3)

項目		RL78/G1F : R5F11BLExFB (64Pin, x = G : 産業用途)	RL78/G1F : R5F11BLEGFB (64Pin) for RAJ306102
コード・フラッシュ・メモリ		64[KB]	
データ・フラッシュ・メモリ		4[KB]	
RAM		5.5[KB]	
アドレス空間		1[MB]	
メイン・システム・クロック	高速システム・クロック	X1 (水晶 / セラミック) 発振	—
		外部メイン・システム・クロック入力 (EXCLK)	
		HS (高速メイン) モード : 1~20[MHz] (VDD = 2.7~5.5[V]) ^{Note1}	
		HS (高速メイン) モード : 1~16[MHz] (VDD = 2.4~5.5[V]) ^{Note1}	
		LS (低速メイン) モード : 1~8[MHz] (VDD = 1.8~5.5[V]) ^{Note1}	
	高速オンチップ・オシレータ・クロック (fIH)	LV (低電圧メイン) モード : 1~4[MHz] (VDD = 1.6~5.5[V]) ^{Note1}	
		HS (高速メイン) モード : 1~32[MHz] (VDD = 2.7~5.5[V]) ^{Note1}	
		HS (高速メイン) モード : 1~16[MHz] (VDD = 2.4~5.5[V]) ^{Note1}	
		LS (低速メイン) モード : 1~8[MHz] (VDD = 1.8~5.5[V]) ^{Note1}	
		LV (低電圧メイン) モード : 1~4[MHz] (VDD = 1.6~5.5[V]) ^{Note1}	
サブシステム・クロック		XT1 (水晶) 発振 / 外部サブシステム・クロック入力 (EXCLKS) 32.768[kHz]	—
低速オンチップ・オシレータ・クロック		15[kHz] (typ.) : VDD = 1.6~5.5[V] ^{Note1}	
汎用レジスタ		8ビット × 32レジスタ (8ビット × 8レジスタ × 4バンク)	
最小命令実行時間		0.03125[μs] (高速オンチップ・オシレータ・クロック : fIH = 32[MHz]動作時)	
		0.05[μs] (高速システム・クロック : fMX = 20[MHz]動作時)	
		30.5[μs] (サブシステム・クロック : fSUB = 32.768[kHz]動作時)	—
命令セット		データ転送 (8/16ビット)	
		加減/論理演算 (8/16ビット)	
		乗算 (8 × 8ビット, 16 × 16ビット), 除算 (16 + 16ビット, 32 + 32ビット)	
		積和演算 (16 × 16 + 32ビット)	
		ローテート, パレル・シフト, ビット操作 (セット, リセット, テスト, フール演算) など	
I/Oポート	合計	外部接続端子 : 58	外部接続端子 : 29, 内部接続端子 : 19 ^{Note2}
	CMOS入出力	外部接続端子 : 48 (N-ch O.D. (オープン・ドレイン) [VDD耐圧] : 12)	外部接続端子 : 25 (N-ch O.D. (オープン・ドレイン) [VDD_MCU耐圧] : 5), 内部接続端子 : 19 ^{Note2}
	CMOS入力	外部接続端子 : 5	外部接続端子 : 2, 内部接続端子 : 0
	CMOS出力	外部接続端子 : 1	外部接続端子 : 0, 内部接続端子 : 0
	N-ch O.D入出力 (6[V耐圧])	外部接続端子 : 4	外部接続端子 : 2, 内部接続端子 : 0

Note : 本製品に MCU として搭載している RL78/G1F は、G : 産業用途品です。TA = -40~+85[°C] で使用する場合と、TA = -40~+105[°C] で使用する場合で電気的特性が変わるため、注意してください。

Note1 : RAJ306102 の推奨動作電圧範囲は、Smart Gate Driver の推奨動作電圧範囲 (3.135~5.25[V]) に制限されます。

Note2 : P17, P25 は外部接続端子と、内部接続端子の兼用端子になっているため、両方にカウントしています。用途に応じて端子設定をしてください。

表 1-5 MCU 部機能概要比較表 (2 / 3)

項目		RL78/G1F : R5F11BLExFB (64Pin, x = G : 産業用途)	RL78/G1F : R5F11BLEGFB (64Pin) for RAJ306102	
タイマ	16ビット・タイマ	9ch ・TAU : 4ch ・タイマRJ : 1ch ・タイマRD : 2ch (PWMOPA付き) ・タイマRX : 1ch ・タイマRG : 1ch	9ch ・TAU : 4ch ・タイマRJ : 1ch ・タイマRD : 2ch (PWMOPA付き) ^{Note3} ・タイマRX : 1ch ・タイマRG : 1ch	
	ウォッチドッグ・タイマ	1ch		
	リアルタイム・クロック (RTC)	1ch	1ch ^{Note4}	
	12ビット・インターバル・タイマ	1ch	1ch ^{Note4}	
	タイマ出力		タイマ出力 (外部) : 計16本 ・タイマRD 6本 ・タイマ・アレイ・ユニット 4本 ・タイマRJ 1本 ・タイマRG 2本 ・リアルタイム・クロック 1本 ・クロック出力/プザー出力 2本	タイマ出力 (内部) : 計6本 ・タイマRD 6本 タイマ出力 (外部) : 計7本 ・タイマ・アレイ・ユニット 3本 ・タイマRJ 1本 ・リアルタイム・クロック 1本 ・クロック出力/プザー出力 2本
			PWM出力 (外部) : 計9本 ・タイマRD 6本 ・タイマ・アレイ・ユニット 3本	PWM出力 (内部) : 計6本 ・タイマRD 6本 PWM出力 (外部) : 計3本 ・タイマ・アレイ・ユニット 3本
RTC出力	1本	-		
クロック出力/プザー出力		2本	2本 ^{Note4}	
		2.44[kHz], 4.88[kHz], 9.76[kHz], 1.25[MHz], 2.5[MHz], 5[MHz], 10[MHz] (メイン・システム・クロック : fMAIN = 20[MHz]動作時)		
8/10ビット分解能A/Dコンバータ	17本	11本 (外部 : 9本, 内部 : 3本) ^{Note5}		
8ビットD/Aコンバータ	2ch			
コンパレータ	2ch	2ch + 3ch ^{Note6}		
プログラマブル・ゲイン・アンプ (PGA)	1ch	1ch + 3ch ^{Note7}		
シリアル・インタフェース		簡易SPI (CSI) : 2ch, UART (LIN-bus対応) : 1ch, 簡易 ² C : 2ch	内部通信専用簡易SPI (CSI00) : 1ch 簡易SPI (CSI) or 簡易 ² C : 2ch	
		簡易SPI (CSI) : 2ch, UART : 1ch, 簡易 ² C : 2ch	内部通信専用簡易SPI (CSI00) : 1ch 簡易SPI (CSI) or 簡易 ² C : 1ch, UART : 1ch	
		簡易SPI (CSI) : 2ch, UART (rDA対応) : 1ch, 簡易 ² C : 2ch	内部通信専用簡易SPI (CSI00) : 1ch 簡易SPI (CSI) : 1ch, 簡易 ² C : 1ch	
	I ² Cバス (IICA)	1ch		
データ・トランスファ・コントローラ (DTC)	33要因	30要因		
イベント・リンク・コントローラ (ELC)	イベント入力	22要因	21要因	
	イベントトリガ出力	10要因		
ベクタ割り込み要因	内部	25要因	23要因	
	外部	13要因	12要因	
キー割り込み	8本	5本		

Note : 本製品に MCU として搭載している RL78/G1F は、G : 産業用途品です。TA = -40~+85[°C]で使用する場合と、TA = -40~+105[°C]で使用する場合で電気的特性が異なるため、注意してください。

Note3 : タイマ RD の出力端子は Smart Gate Driver の INz (z = 1, 2, 3, 4, 5, 6) 端子と内部接続しているため、モータ制御専用として使用します。

Note4 : サブシステム・クロックを用いた機能には対応していません。

Note5 : P25 は外部接続端子と、内部接続端子 (Smart Gate Driver の差動アンプ出力) の兼用端子になっています。用途に応じて端子設定をしてください。なお、Smart Gate Driver の内部接続端子に DA30 端子にはプルダウン抵抗 (330[kΩ]) が接続されるため、外部接続でアナログ機能を使用する際は注意してください。

Note6 : 本製品では、コンパレータ (CMP) 以外に、Smart Gate Driver に 3ch の汎用コンパレータを内蔵しています。Smart Gate Driver に内蔵しているコンパレータの閾値は、Sense Block Control 3、4 レジスタ (SNSCTL3, 4) の CMPz_VTH (z = 1, 2, 3) ビットの設定により 15 段階で調整可能です。

Note7 : MCU の PGA に加えて、Smart Gate Driver の差動アンプに 3ch の PGA を内蔵しています。また、差動アンプにはサンプルホールド機能があります。

表 1-6 MCU 部機能概要比較表 (3 / 3)

項目	RL78/G1F : R5F11BLExFB (64Pin, x = G : 産業用途)	RL78/G1F : R5F11BLEGFB (64Pin) for RAJ306102
リセット	RESET端子によるリセット	
	ウォッチドッグ・タイマによる内部リセット	
	パワーオン・リセットによる内部リセット	
	電圧検出回路による内部リセット	
	不正命令の実行による内部リセット	
	RAMパリティ・エラーによる内部リセット	
	不正メモリ・アクセスによる内部リセット	
パワーオン・リセット回路	パワーオン・リセット : 1.51±0.04[V] (TA = -40~+85[°C]), 1.51±0.06[V] (TA = -40~+105[°C])	
	パワーダウン・リセット : 1.50±0.04[V] (TA = -40~+85[°C]), 1.50±0.06[V] (TA = -40~+105[°C])	
電圧検出回路	TA = -40~+85[°C] ^{Note8} 立ち上がり : 1.67±0.03~4.00±0.08[V] (14段階), 立ち下がり : 1.63±0.03~3.98±0.08[V] (14段階)	
	TA = -40~+105[°C] ^{Note8} 立ち上がり : 2.61±0.1~4.06±0.16[V] (8段階), 立ち下がり : 2.55±0.1~3.98±0.15[V] (8段階)	
オンチップ・デバッグ機能	あり	
MCU電源電圧	VDD = 1.6~5.5[V] (TA = -40~+85[°C])	VDD_MCU = 3.135~5.25[V] (TA = -40~+85[°C])
	VDD = 2.4~5.5[V] (TA = -40~+105[°C])	VDD_MCU = 3.135~5.25[V] (TA = -40~+105[°C])
動作周囲温度	TA = -40~+105[°C] (G : 産業用途)	TA = -40~+105[°C]

Note : 本製品に MCU として搭載している RL78/G1F は、G : 産業用途品です。TA = -40~+85[°C] で使用する場合と、TA = -40~+105[°C] で使用する場合で電気的特性が変わるため、注意してください。

Note8 : RAJ306102 の推奨動作電圧範囲は、Smart Gate Driver の推奨動作電圧範囲 (3.135~5.25[V]) に制限されます。MCU 電圧検出回路の設定は、推奨動作電圧範囲を考慮した電圧を設定してください。なお、MCU 電圧検出回路の閾値設定範囲は、TA = -40~+85[°C] で使用する場合と、TA = -40~+105[°C] で使用する場合で異なるため、注意してください。

1.5.2 Smart Gate Driver 部

1.5.2.1 Smart Gate Driver 部ブロック図

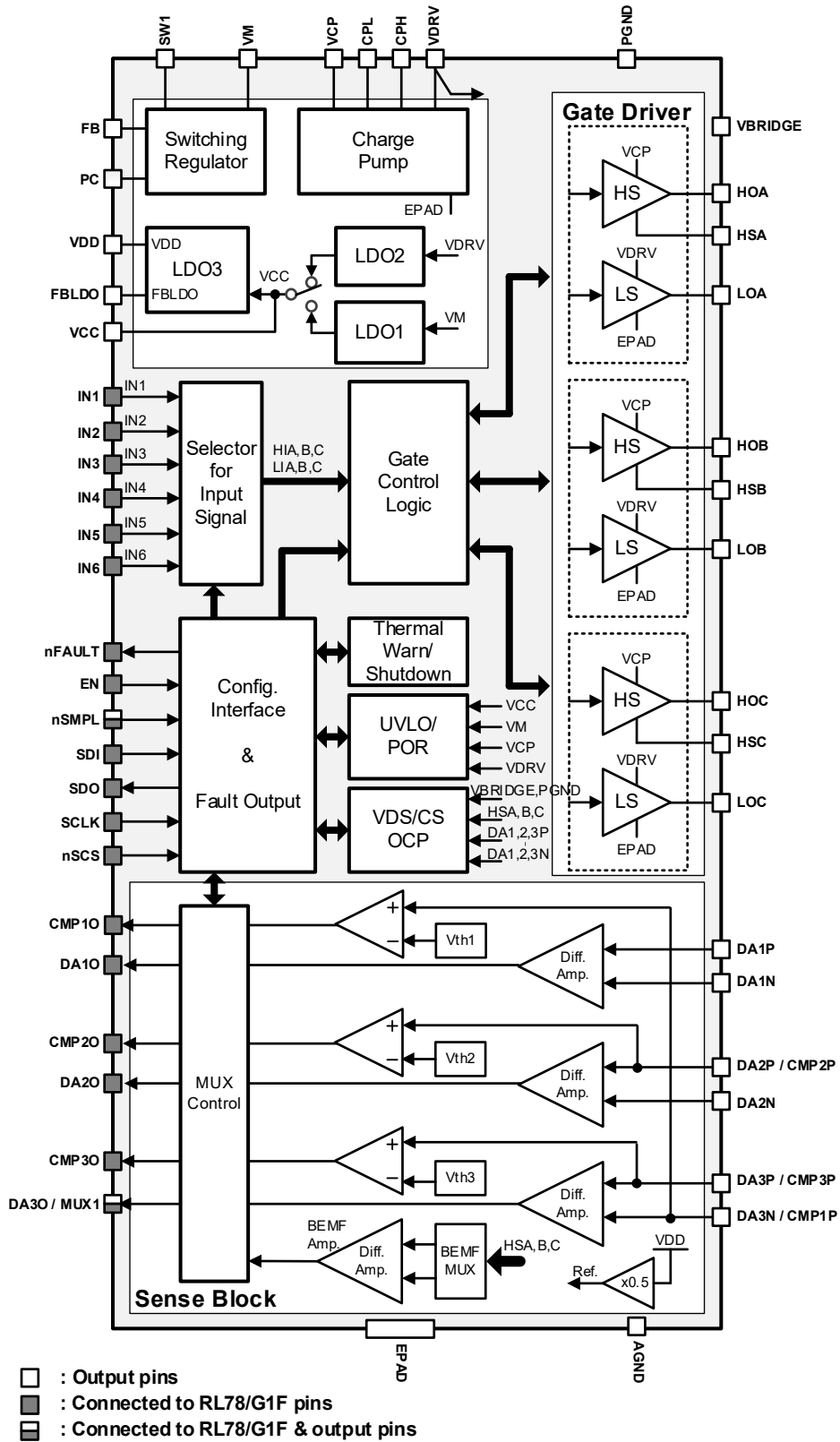


図 1-4 Smart Gate Driver 部ブロック図

1.6 MCU と Smart Gate Driver の内部接続

1.6.1 内部接続図

本製品は、MCU (RL78/G1F : R5F11BLEGFB) と Smart Gate Driver (RAA306012) を一つのパッケージにしています。図 1-5 にチップ間の端子接続図を示します。“x”印で示した結線の端子は、未接続端子です。

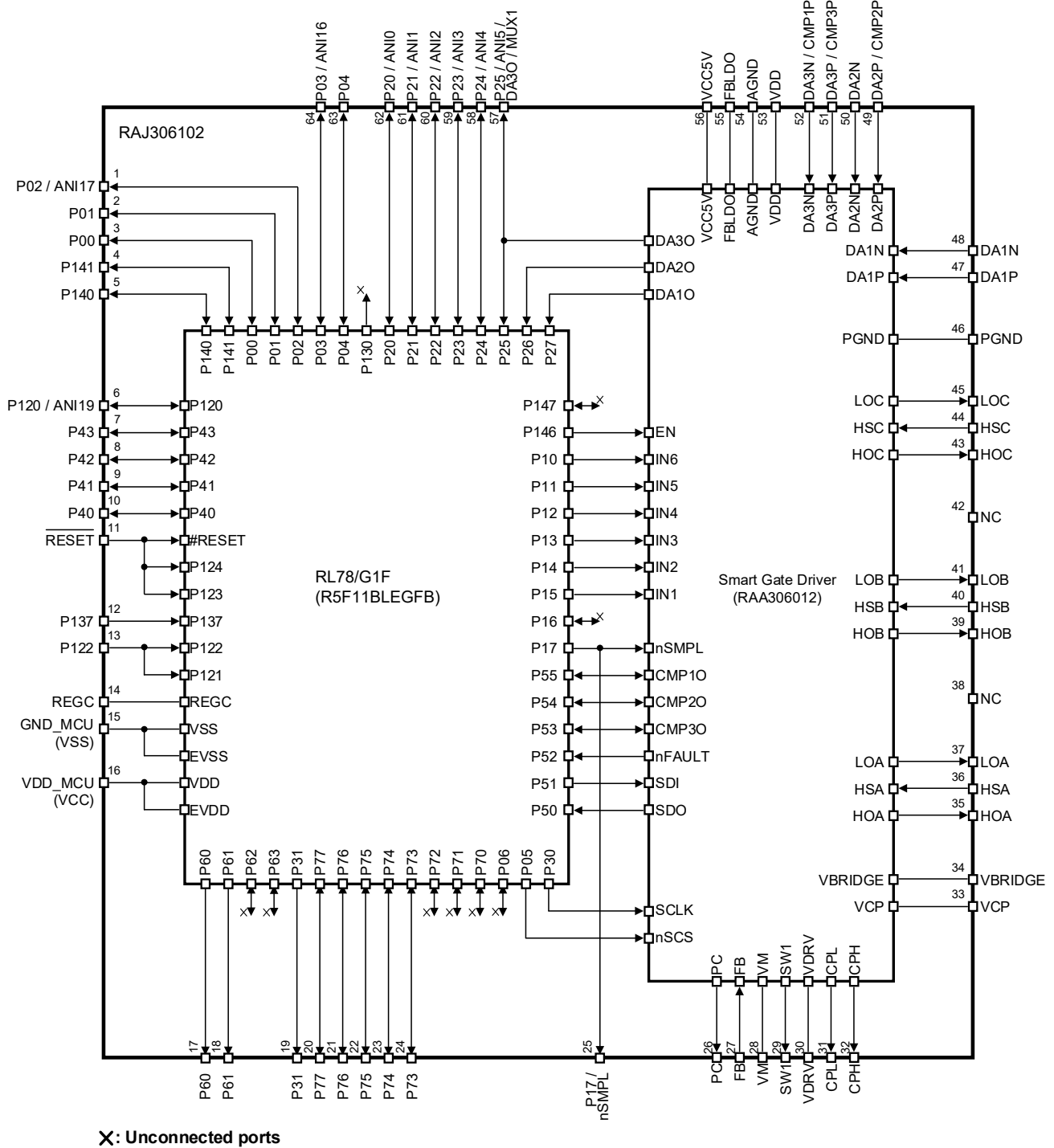


図 1-5 内部接続図

1.6.2 内部接続表

表 1-7 に RL78/G1F と Smart Gate Driver の内部接続を示します。

表 1-7 RL78/G1F と Smart Gate Driver の内部接続

番号	RL78/G1F				Smart Gate Driver		Note
	端子名称	レベル	入出力	リセット解除時	端子名称	機能	
1	P05	VDD	入出力	入力ポート	nSCS	SPI用チップ選択入力	
2	P30 / SCK00	VDD	入出力	入力ポート	SCLK	SPI用クロック入力	1
3	P50 / SI00	VDD	入出力	入力ポート	SDO	SPI用データ出力 SDO端子はオープン・ドレイン出力です。MCUの内蔵プルアップを設定して下さい。	1
4	P51 / SO00	VDD	入出力	入力ポート	SDI	SPI用データ入力	1
5	P52 / INT1P1	VDD	入出力	入力ポート	nFAULT	Fault状態検知信号出力 nFAULT端子はオープン・ドレイン出力です。MCUの内蔵プルアップを設定して下さい。	1
6	P53 / INPT2	VDD	入出力	入力ポート	CMP3O	BEMF検出アンプの検出相選択用制御入力 / コンパレータ3出力 Smart Gate Driverのポート機能は、BEMF_PH ビットにより選択されます。	1
7	P54 / INTP3	VDD	入出力	入力ポート	CMP2O	BEMF検出アンプの検出相選択用制御入力 / コンパレータ2出力 Smart Gate Driverのポート機能は、BEMF_PH ビットにより選択されます。	1
8	P55 / INTP4	VDD	入出力	入力ポート	CMP1O	BEMF検出アンプの検出相選択用制御入力 / コンパレータ1出力 Smart Gate Driverのポート機能は、BEMF_PH ビットにより選択されます。	1
9	P17	VDD	入出力	入力ポート	nSMPL	差動アンプあるいは、BEMF検出アンプのサンプリング制御入力 この端子は、本製品の25Pinにも接続されています。	2
10	P15 / TRDIOB0	VDD	入出力	入力ポート	IN1	ゲートドライバ制御用入力1 モータ起動前にGDSELA レジスタのHOA_SEL ビットに"001b"を設定してください。	
11	P14 / TRDIOD0	VDD	入出力	アナログ入力	IN2	ゲートドライバ制御用入力2 モータ起動前にGDSELA レジスタのLOA_SEL ビットに"010b"を設定してください。	1
12	P13 / TRDIOA1	VDD	入出力	アナログ入力	IN3	ゲートドライバ制御用入力3 モータ起動前にGDSELB レジスタのHOB_SEL ビットに"011b"を設定してください。	1
13	P12 / TRDIOB1	VDD	入出力	アナログ入力	IN4	ゲートドライバ制御用入力4 モータ起動前にGDSELC レジスタのHOC_SEL ビットに"100b"を設定してください。	1
14	P11 / TRDIOC1	VDD	入出力	アナログ入力	IN5	ゲートドライバ制御用入力5 モータ起動前にGDSELB レジスタのLOB_SEL ビットに"101b"を設定してください。	1
15	P10 / TRDIOD1	VDD	入出力	アナログ入力	IN6	ゲートドライバ制御用入力6 モータ起動前にGDSELC レジスタのLOC_SEL ビットに"110b"を設定してください。	1
16	P146	VDD	入出力	入力ポート	EN	Normal Operation Modeのイネーブル入力 この端子がLowの場合、Smart Gate Driverは、low-power sleep mode となります。	
17	P27 / ANI7	VDD	入出力	アナログ入力	DA10	差動アンプ1出力	
18	P26 / ANI6	VDD	入出力	アナログ入力	DA20	差動アンプ2出力	
19	P25 / ANI5	VDD	入出力	アナログ入力	DA30 / MUX1	差動アンプ3の出力 / BEMF検出アンプ出力 / アナログマルチプレクサ出力 この端子は、本製品の57Pinにも接続されています。	3

Note1 : Smart Gate Driver の制御には、周辺 I/O リダイレクション・レジスタ 0 - 3 (PIOR0 - PIOR3) を適切に設定する必要があります。詳細は、**2.2.1.1** を参照してください。

Note2 : 本端子を MCU の外部接続端子として使用する場合、Smart Gate Driver の差動アンプのサンプルホールド機能は使用不可能です。Smart Gate Driver の Sense Block Control 2 レジスタ (SNSCTL2) の BEMF_SH ビット, DA1_SH ビット, DA2_SH ビット, DA3_SH ビットを全て"0b"に設定してください。詳細は、**3.2.1.15** を参照してください。

Note3 : 本端子を MCU の外部接続端子として使用する場合、Smart Gate Driver の Sense Block Control 5 レジスタ (SNSCTL5) の MUX ビットに"000b"を設定してください。ただし、"000b"を設定している場合は、Smart Gate Driver 内部のプルダウン抵抗 (330[kΩ]) が有効になるため、外部接続端子でアナログ機能を使用する際はインピーダンスを考慮した使用方法を検討してください。詳細は、**3.2.1.18** と「**RAJ306102 データシート (R18DS0039JJ)**」の **6.5.5** を参照してください。

1.7 応用回路例

1.7.1 ホールセンサモータ制御 (3 コンパレータ)

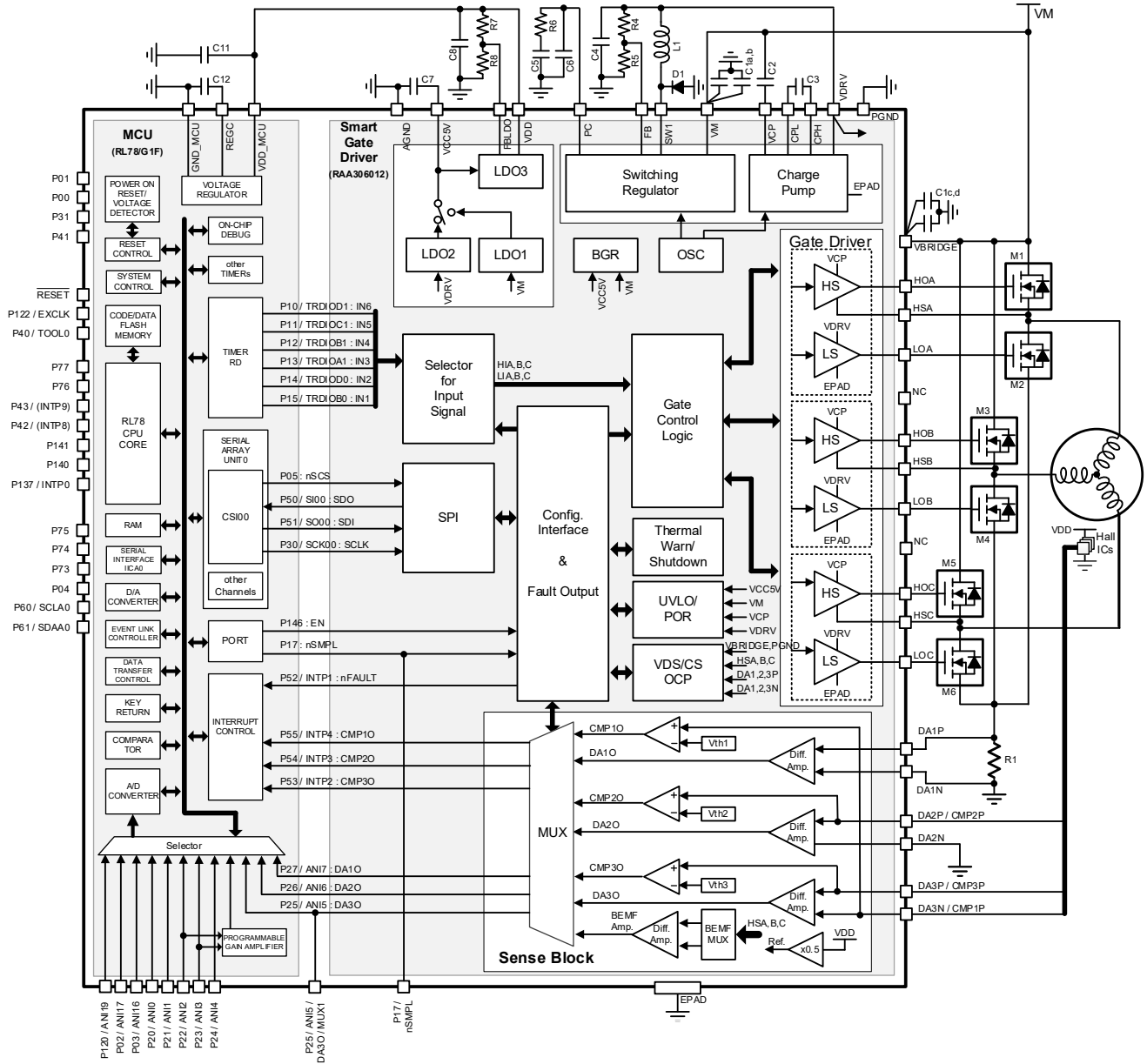


図 1-6 アプリケーション簡易ブロック図：ホールセンサモータ制御 (3 コンパレータ)

1.7.2 センサレスモータ制御 (BEMF 検出 & コンパレータ)

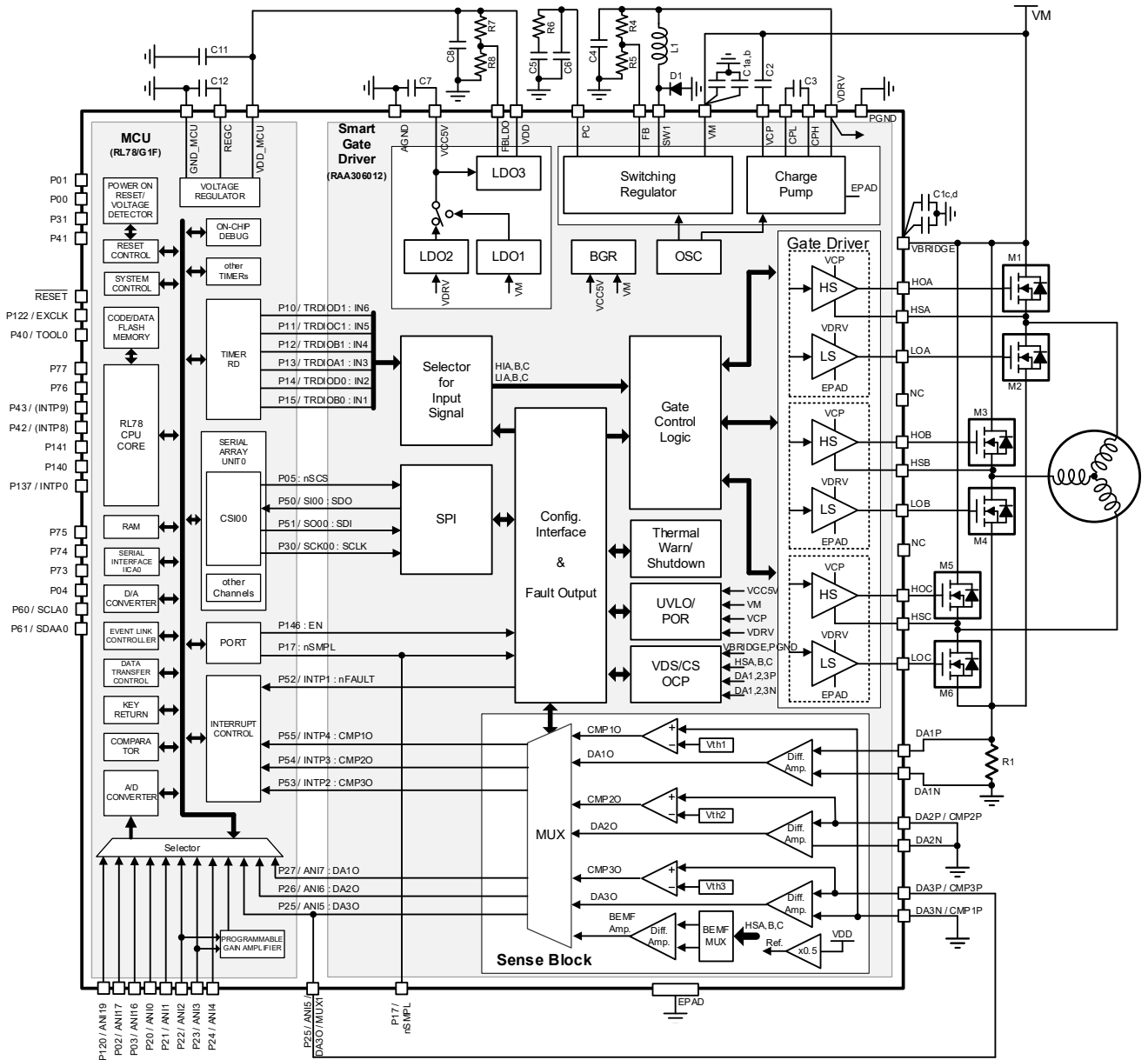


図 1-7 アプリケーション簡易ブロック図 : センサレスモータ制御 (BEMF 検出 & コンパレータ)

1.7.3 センサレスモータ制御 (MCU 5[V] 供給仕様)

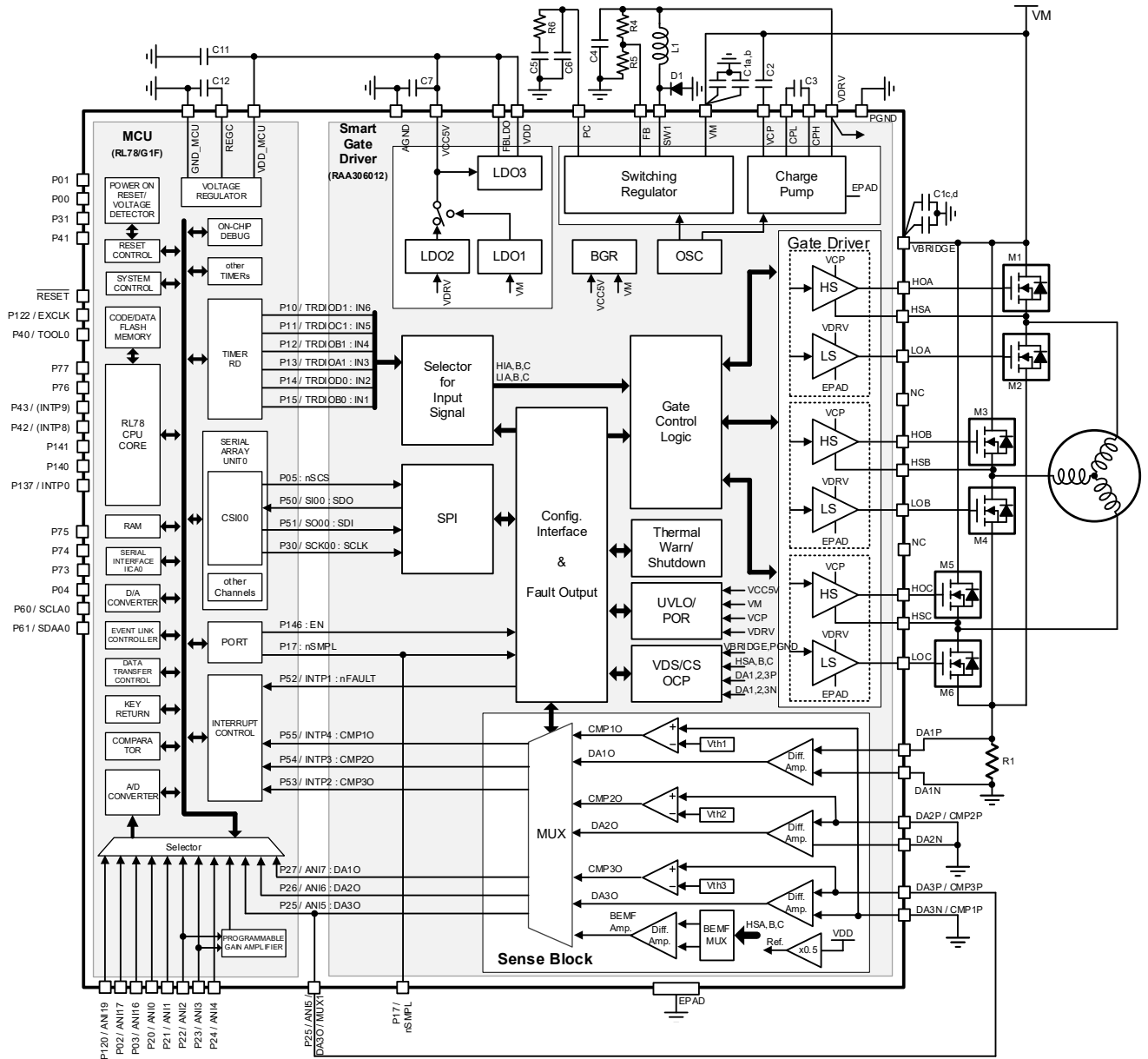


図 1-8 アプリケーション簡易ブロック図：センサレスモータ制御 (MCU 5[V] 供給仕様)

第2章 MCU : RL78/G1F

本製品には、MCU として RL78/G1F の 64Pin 製品 (R5F11BLEGFB) を搭載しています。

ただし、本製品に搭載している RL78/G1F には、Smart Gate Driver との内部接続端子、および未接続端子があるため、使用可能な周辺機能に制限があります。本章では、本製品を使用するうえでの RL78/G1F の制限事項、および注意事項を記載します。各機能の基本的な使用法は、最新の「**RL78/G1F ユーザーズマニュアル** ハードウェア編 (R01UH0516JJ)」、および「**テクニカルアップデート**」を参照してください。

2.1 端子接続, 端子機能、および端子設定

2.1.1 Smart Gate Driver との端子接続

図 2-1 に Smart Gate Driver との端子接続図を示します。“x”印で示した結線の端子は、未接続端子です。

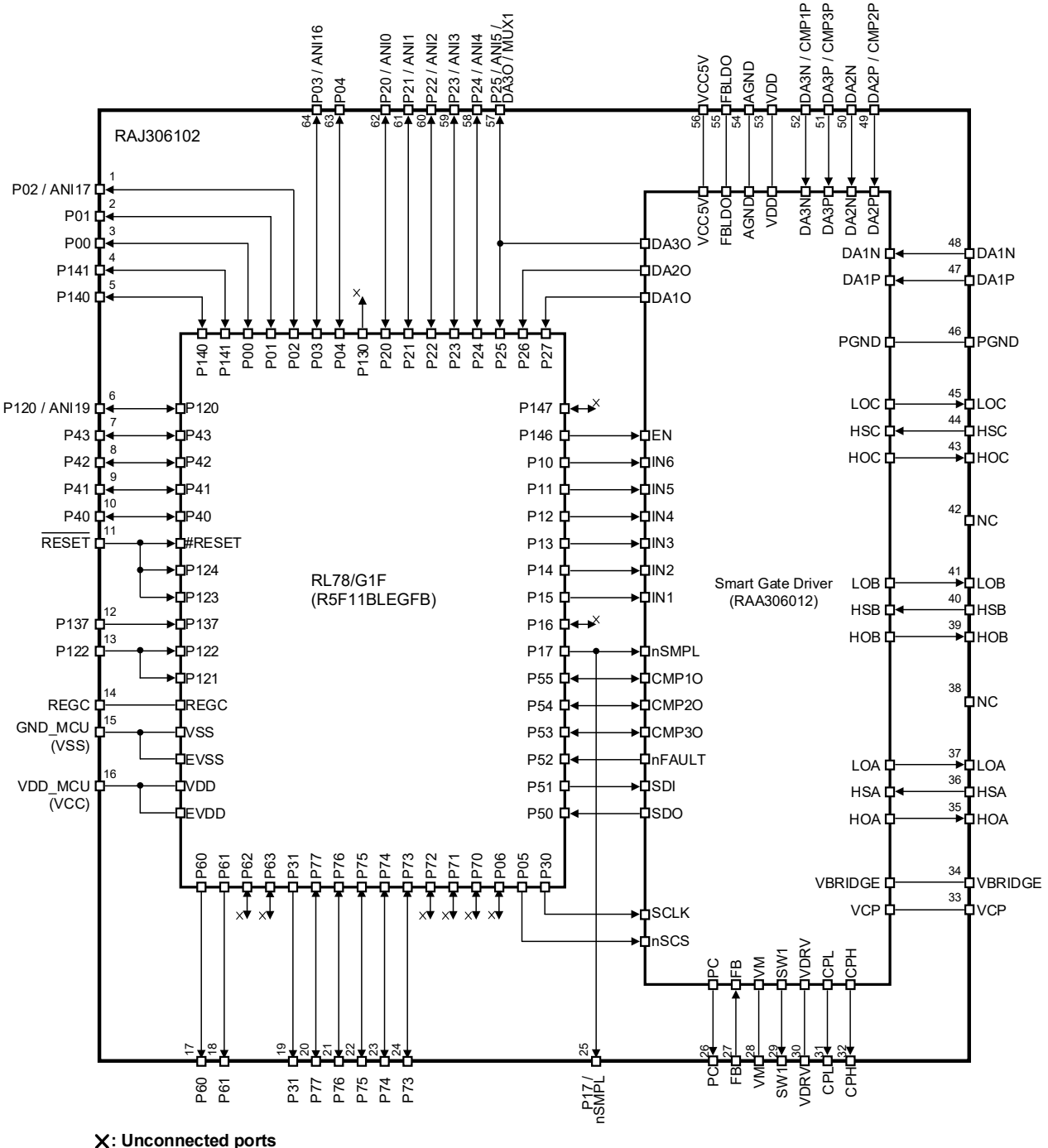


図 2-1 Smart Gate Driver との端子接続図

2.1.2 端子機能

表 2-1, 表 2-2 に、搭載している RL78/G1F の端子機能を示します。

接続先の項目に内部と記載している端子は、内部接続により Smart Gate Driver の制御に使用するため、使用不可能な機能があります。また、未接続と記載されている端子、および P121, P123, P124 は兼用機能も含め使用不可能です。本制限を考慮した機能の割り当てを検討してください。

表 2-1 RL78/G1F の端子機能 (1 / 2)

機能名称	端子タイプ	入出力	リセット解除時	接続先		兼用機能		Note
						使用可能	使用不可能	
P00	7-1-4	入出力	入力ポート	外部	P00	TI00 / TRGCLK A / (TRJ00) / (INTP8)	—	
P01	8-1-3	入出力	入力ポート	外部	P01	TO00 / TRGCLKB / TRJIO0 / (INTP10)	—	
P02	7-9-2	入出力	アナログ機能	外部	P02	ANI17 / SO10 / TxD1 / IVCMP10	—	
P03	8-9-2	入出力	アナログ機能	外部	P03	ANI16 / SI10 / RxD1 / SDA10 / IVCMP11	—	
P04	8-1-4	入出力	入力ポート	外部	P04	SCK10 / SCL10	—	
P05	7-1-3	入出力	入力ポート	内部	nSCS	—	(INTP10)	
P06	7-1-3	入出力	入力ポート	未接続	—	—	P06 / (INTP11) / (TRJIO0)	
P10	8-3-8	入出力	アナログ機能	内部	IN6	TRDIOD1	ANI20 / SCK11 / SCL11	
P11	7-3-8	入出力	アナログ機能	内部	IN5	TRDIOD1	ANI21 / SI11 / SDA11	
P12	7-3-7	入出力	アナログ機能	内部	IN4	TRDIOD1	ANI22 / SO11 / (INTP5)	
P13	7-3-8	入出力	アナログ機能	内部	IN3	TRDIOA1	ANI23 / TxD2 / SO20 / IrTxD	
P14	8-3-8	入出力	アナログ機能	内部	IN2	TRDIOD0	ANI24 / RxD2 / SI20 / SDA20 / (SCLA0) / IrRxD	
P15	8-1-8	入出力	入力ポート	内部	IN1	TRDIOD0	SCK20 / SCL20 / (SDAA0)	
P16	8-1-7	入出力	入力ポート	未接続	—	—	P16 / TI01 / TO01 / INTP5 / TRDIOD0 / (SI00) / (RxD0) / (TRDIOA1)	
P17	8-1-8	入出力	入力ポート	内部	nSMPL	TI02 / TO02 / TRDIOA0 / TRDCLK	(SO00) / (TxD0) / (TRDIOD0)	1
				外部	P17			
P20	4-9-1	入出力	アナログ機能	外部	P20	ANI0 / AVREFP / IVCMP12 / (INTP11)	—	
P21	4-9-1	入出力	アナログ機能	外部	P21	ANI1 / AVREFM / IVCMP13	—	
P22	4-16-1	入出力	アナログ機能	外部	P22	ANI2 / ANO0 / PGA1 / IVCMP0	—	
P23	4-15-1	入出力	アナログ機能	外部	P23	ANI3 / ANO1 / PGAGND	—	
P24	4-3-3	入出力	アナログ機能	外部	P24	ANI4	—	
				内部	DA30	ANI5	—	2
P25	4-3-3	入出力	アナログ機能	外部	P25			
P26	4-3-3	入出力	アナログ機能	内部	DA20	ANI6	—	
P27	4-3-3	入出力	アナログ機能	内部	DA10	ANI7	—	
P30	8-1-4	入出力	入力ポート	内部	SCLK	SCK00	INTP3 / RTC1HZ / SCL00 / TRJ00 / (TRDIOD1)	
P31	7-1-3	入出力	入力ポート	外部	P31	TI03 / TO03 / (TRJIO0) / (PCLBUZ0) / VCOU1	INTP4	
P40	7-1-3	入出力	入力ポート	外部	P40	TOOL0	—	
P41	7-1-3	入出力	入力ポート	外部	P41	(TRJIO0)	—	
P42	7-1-3	入出力	入力ポート	外部	P42	(INTP8)	—	
P43	7-1-3	入出力	入力ポート	外部	P43	(INTP9)	—	

Note : ポート機能、および兼用機能の詳細は、「RL78/G1F ユーザーズマニュアル ハードウェア編 (R01UH0516JJ)」を参照してください。灰色で示した端子は未接続端子のため、兼用機能も含め使用不可能です。

Note1 : 本端子を MCU の外部接続端子として使用する場合、Smart Gate Driver の差動アンプのサンプルホールド機能は使用不可能です。Smart Gate Driver の Sense Block Control 2 レジスタ (SNSCTL2) の BEMF_SH ビット, DA1_SH ビット, DA2_SH ビット, DA3_SH ビットを全て“0b”に設定してください。詳細は、3.2.1.15 を参照してください。

Note2 : 本端子を MCU の外部接続端子として使用する場合、Smart Gate Driver の Sense Block Control 5 レジスタ (SNSCTL5) の MUX ビットに“000b”を設定してください。ただし、“000b”を設定している場合は、Smart Gate Driver 内部のブルダウン抵抗 (330[kΩ]) が有効になるため、外部接続端子でアナログ機能を使用する際はインピーダンスを考慮した使用方法を検討してください。詳細は、3.2.1.18 と「RAJ306102 データシート (R18DS0039JJ)」の 6.5.5 を参照してください。

表 2-2 RL78/G1F の端子機能 (2 / 2)

機能名称	端子 タイプ	入出力	リセット解除時	接続先		兼用機能		Note
						使用可能	使用不可能	
P50	8-1-4	入出力	入力ポート	内部	SDO	SI00	RxD0 / TOOLRxD / SDA00 / TRGIOA / (TRJ00) / (TRDI0C1)	
P51	7-1-4	入出力	入力ポート	内部	SDI	SO00	INTP2 / TxD0 / TOOLTxD / TRGIOB / (TRDI0D1)	
P52	7-1-3	入出力	入力ポート	内部	nFAULT	(INTP1)	—	
P53	7-1-3	入出力	入力ポート	内部	CMP30	(INTP2)	—	
P54	7-1-3	入出力	入力ポート	内部	CMP20	(INTP3)	—	
P55	8-1-4	入出力	入力ポート	内部	CMP10	(INTP4)	(PCLBUZ1) / (SCK00)	
P60	12-1-2	入出力	入力ポート	外部	P60	SCLA0	—	
P61	12-1-2	入出力	入力ポート	外部	P61	SDAA0	—	
P62	12-1-2	入出力	入力ポート	未接続	—	—	P62 / SSI00	
P63	12-1-2	入出力	入力ポート	未接続	—	—	P63	
P70	7-1-3	入出力	入力ポート	未接続	—	—	P64 / KR0 / SCK21 / SCL21 / (VCOUT1)	
P71	7-1-4	入出力	入力ポート	未接続	—	—	P65 / KR1 / SI21 / SDA21 / (VCOUT0)	
P72	7-1-3	入出力	入力ポート	未接続	—	—	P72 / KR2 / SO21	
P73	7-1-3	入出力	入力ポート	外部	P73	KR3 / SO01	—	
P74	7-1-4	入出力	入力ポート	外部	P74	KR4 / SI01 / SDA01	INTP8	
P75	7-1-3	入出力	入力ポート	外部	P75	KR5 / SCK01 / SCL01	INTP9	
P76	7-1-3	入出力	入力ポート	外部	P76	KR6 / INTP10	(RxD2)	
P77	7-1-3	入出力	入力ポート	外部	P77	KR7 / INTP11	(TxD2)	
P120	7-3-3	入出力	アナログ機能	外部	P120	ANI19 / VCOUT0	—	
P121	2-2-1	入力	入力ポート	外部	P122	—	P121 / X1	
P122	2-2-1	入力	入力ポート	外部	P122	EXCLK	X2	
P123	2-2-1	入力	入力ポート	外部	RESET	—	P123 / XT1	
P124	2-2-1	入力	入力ポート	外部	RESET	—	P124 / XT2 / EXCLKS	
P130	1-1-1	出力	出力ポート	未接続	—	—	P130	
P137	2-1-2	入力	入力ポート	外部	P137	INTP0	—	
P140	7-1-3	入出力	入力ポート	外部	P140	PCLBUZ0 / INTP6	—	
P141	7-1-3	入出力	入力ポート	外部	P141	PCLBUZ1 / INTP7	—	
P146	7-1-3	入出力	入力ポート	内部	EN	—	—	
P147	7-3-3	入出力	アナログ機能	未接続	—	—	P147 / ANI18 / IVREF0	
RESET	2-1-1	入力	—	外部	RESET	—	—	
VDD	—	—	—	外部	VDD_MCU	—	—	
EVDD	—	—	—	外部	VDD_MCU	—	—	
AGND	—	—	—	外部	GND_MCU	—	—	
REGC	—	—	—	外部	REGC	—	—	

Note : ポート機能、および兼用機能の詳細は、「RL78/G1F ユーザーズマニュアル ハードウェア編 (R01UH0516JJ)」を参照してください。灰色で示した端子は未接続端子のため、兼用機能も含め使用不可能です。

2.1.3 推奨端子設定

2.1.3.1 端子割り当て

表 2-3 に RL78/G1F の内部接続端子、未接続端子の端子割り当てと注意事項を示します。

表 2-3 RL78/G1F の内部接続端子、未接続端子の端子割り当てと注意事項

ポートシンボル	外部接続端子	端子数	内部接続端子 (Smart Gate Driverの端子)	注意事項	Note
PORT0	P00 - P04	5	—	—	
	—	—	P05 (nSCS)	Smart Gate Driverとの内部通信 (チップセレクト出力) のため、デジタル出力ポートに設定してください。	
	—	—	P06 (未接続)	デジタル出力ポートに設定してください。	
PORT1	—	—	P10 - P15 (IN6 - IN1)	Smart Gate DriverへのPWM信号の出力のため、タイマRDの機能を設定してください。	
	—	—	P16 (未接続)	デジタル出力ポートに設定してください。	
	P17	1	P17 (nSMPL)	Smart Gate Driverのサンプルホールド機能を使用する場合、デジタル出力ポートに設定してください。サンプルホールド機能を使用しない場合、MCUの外部接続端子として使用可能です。	1
PORT2	P20 - P24	5	—	—	
	P25	1	P25 (DA3O)	Smart Gate Driverからの差動アンプ出力信号 (DA3O) を入力に使用する場合は、アナログ入力ポートに設定してください。差動アンプ出力信号 (DA3O) を使用しない場合、MCUの外部接続端子として使用可能です。	2
	—	—	P26 (DA2O)	Smart Gate Driverの差動アンプ出力信号 (DA2O) の入力のため、アナログ入力ポートに設定してください。	
	—	—	P27 (DA1O)	Smart Gate Driverの差動アンプ出力信号 (DA1O) の入力のため、アナログ入力ポートに設定してください。	
PORT3	—	—	P30 (SCLK)	Smart Gate Driverとの内部通信 (通信クロック出力) のため、シリアル・アレイ・ユニット (CSI00) のSCK00を設定してください。	
	P31	1	—	—	
PORT4	P40 - P43	4	—	—	
PORT5	—	—	P50 (SDO)	Smart Gate Driverとの内部通信 (データ入力) のため、シリアル・アレイ・ユニット (CSI00) のSI00を設定し、MCUの内蔵プルアップを設定してください。	
	—	—	P51 (SDI)	Smart Gate Driverとの内部通信 (データ出力) のため、シリアル・アレイ・ユニット (CSI00) のSO00を設定してください。	
	—	—	P52 (nFAULT)	Smart Gate Driverの異常状態確認ポートとして使用します。デジタル入力ポート、または割り込み機能に設定し、MCUの内蔵プルアップを有効にしてください。	
	—	—	P55 - P53 (CMPzO (z = 1, 2, 3))	Smart Gate Driverのコンパレータ機能を使用する場合は、デジタル入力ポート、または割り込み機能を設定してください。BEMFの検出相選択に使用する場合は、デジタル出力ポートを設定してください。	
PORT6	P60, P61	2	—	—	
	—	—	P62, P63 (未接続)	デジタル出力ポートに設定し、出力ラッチを"0b"に設定してください。	
PORT7	—	—	P70 - P72 (未接続)	デジタル出力ポートに設定してください。	
	P73 - P77	5	—	—	
PORT12	P120, P122	2	—	—	
	—	—	P121 (未接続)	P122に接続されています。ポート設定は不要です。	
	—	—	P123, P124 (未接続)	RESETに接続されています。ポート設定は不要です。	
PORT13	—	—	P130 (未接続)	出力専用端子です。ポート設定は不要です。	
	P137	1	—	—	
PORT14	P140, P141	2	—	—	
	—	—	P146 (EN)	Smart Gate Driverへのイネーブル入力のため、デジタル出力ポートに設定してください。	
	—	—	P147 (未接続)	デジタル出力ポートに設定してください。	
合計外部接続端子数		29			

Note1 : MCU の外部接続端子として使用する場合、Smart Gate Driver の Sense Block Control 2 レジスタ (SNSCTL2) の BEMF_SH ビット, DA1_SH ビット, DA2_SH ビット, DA3_SH ビットを全て"0b"に設定し、"サンプリングを継続"にしてください。

Note2 : MCU の外部接続端子として使用する場合、Smart Gate Driver の Sense Block Control 5 レジスタ (SNSCTL5) の MUX ビットに"000b"を設定し、アナログマルチプレクサの出力を GND (プルダウン : 330[kΩ]) にしてください。

2.1.3.2 RL78/G1F の未使用端子、および未接続端子の端子処理

表 2-4 に本製品に搭載した RL78/G1F の未使用の外部接続端子、および未接続端子の端子処理を示します。未使用の外部接続端子は、入力、または出力のどちらかの端子処理を実施してください。

表 2-4 未使用の外部接続端子, 未接続端子の端子処理

端子名	入出力	接続先	端子処理	
P00 - P04	入出力	外部	入力時：個別に抵抗を介して、VDD_MCU、またはGND_MCUに接続してください。 出力時：オープンにしてください。	
P06		未接続	デジタル出力ポートを設定してください。	
P16		未接続		
P17		内部 / 外部	入力時：個別に抵抗を介して、GND_MCUに接続してください。 出力時：ポートの出力ラッチに"0b"を設定してオープンにしてください。	
P20 - P24		外部	入力時：個別に抵抗を介して、VDD_MCU、またはGND_MCUに接続してください。 出力時：オープンにしてください。	
P25		内部 / 外部	アナログ入力ポートに設定してください。	
P31		外部	入力時：個別に抵抗を介して、VDD_MCU、またはGND_MCUに接続してください。 出力時：オープンにしてください。	
P40 / TOOL0		外部	入力時：個別に抵抗を介して、VDD_MCUに接続、またはオープンにしてください。 出力時：オープンにしてください。	
P41 - P43		外部	入力時：個別に抵抗を介して、VDD_MCU、またはGND_MCUに接続してください。 出力時：オープンにしてください。	
P60, P61		外部	入力時：個別に抵抗を介して、VDD_MCU、またはGND_MCUに接続してください。 出力時：ポートの出力ラッチに"0b"を設定してオープン、またはポートの出力ラッチに"1b"を設定して、個別に抵抗を介してVDDまたはGND_MCUに接続してください。	
P62, P63		未接続	出力ポートを設定して、出力ラッチに"0b"を設定してください。	
P70 - P72		未接続	出力ポートを設定してください。	
P73 - P77		外部	入力時：個別に抵抗を介して、VDD_MCU、またはGND_MCUに接続してください。 出力時：オープンにしてください。	
P120		外部	出力時：オープンにしてください。	
P121		入力	P122	P122に接続されているため、個別の端子処理は不要です。
P122			外部	個別に抵抗を介して、VDD_MCU、またはGND_MCUに接続してください。
P123, P124	RESET		RESET端子に接続されているため、端子処理は不要です。	
P130	出力	未接続	出力専用端子のため、端子処理は不要です。	
P137	入力	外部	個別に抵抗を介して、VDD_MCU、またはGND_MCUに接続してください。	
P140, P141	入出力	外部	入力時：個別に抵抗を介して、VDD_MCU、またはGND_MCUに接続してください。 出力時：オープンにしてください。	
P147		未接続	デジタル出力ポートを設定してください。	
RESET	入力	外部	VDD_MCUに直接接続、または抵抗を介して接続してください。	
REGC	—	外部	コンデンサ (0.47~1[μF]) を介して、GND_MCUに接続してください。	

2.1.3.3 内部接続端子の端子設定

本製品は、RL78/G1Fの一部の端子を、Smart Gate Driverと内部接続しており、Smart Gate DriverはEN端子への入力に応じて動作状態が変わります。一部端子(INz (z = 1, 2, 3, 4, 5, 6)、およびCMPzO (z = 1, 2, 3))の機能はEN端子入力に依存します。そのため、対応するRL78/G1Fの端子については、EN端子入力に応じた適切な端子設定が必要です。表 2-5にSmart Gate DriverのEN端子の入力状態に応じたRL78/G1Fの内部接続端子の端子設定を示します。内部接続端子の端子設定は、Smart Gate DriverをOperating Modeに遷移させる前(EN端子をHighにする前)に実施してください。各端子設定の詳細は、2.1.4を参照してください。また、INz (z = 1, 2, 3, 4, 5, 6)、およびCMPzO (z = 1, 2, 3)の設定手順は、第4章をあわせて参照してください。

表 2-5 Smart Gate DriverのEN端子の入力状態に応じたRL78/G1Fの内部接続端子の端子設定

端子名	リセット解除時	接続先	端子処理		Note	
			EN端子がLowの場合 (Smart Gate Driver停止時)	EN端子がHighの場合 (Smart Gate Driver動作時)		
P05	入力ポート	nSCS	デジタル出力ポートを設定し、Smart Gate DriverとのSPI通信のチップセレクト信号として使用してください。		1	
P10		IN6	デジタル出力ポートを設定し、出力ラッチに"0b"を設定してください。	デジタル出力ポート、またはタイマRDを用いたPWM出力機能を設定してください。	3, 4	
P11		IN5				
P12		IN4				
P13		IN3				
P14		IN2				
P15		IN1				
P17		nSMPL / P17	サンプルホールド機能 (nSMPL) 使用時： デジタル出力ポートを設定してください。 High出力：ホールド Low出力：サンプル ポート機能 (P17) 使用時： 使用するポート機能 (P17) を設定してください。		2	
P25	アナログ入力	DA30 / P25	DA30機能使用時： アナログ入力ポートを設定してください。 ポート機能 (P25) 使用時： 使用するポート機能 (P25) を設定してください。 ポート機能 (P25) 使用時は、DA30端子のプルダウン機能により、本端子にプルダウン抵抗 (330[kΩ]) が接続されますので考慮してください。			
P26		DA20	アナログ入力ポートを設定してください。			
P27		DA10				
P30	入力ポート	SCLK	3線シリアルI/O (CSI00) 通信のSCK00機能を設定してください。		2	
P50		SDO	3線シリアルI/O (CSI00) 通信のSI00機能、および内蔵プルアップを設定してください。			
P51		SDI	3線シリアルI/O (CSI00) 通信のSO00機能を設定してください。		2	
P52		nFAULT	内蔵プルアップを設定し、デジタル入力ポート、または割り込み機能を設定してください。			
P53		CMP3O	デジタル入力ポートを設定してください。	コンパレータ機能使用時： デジタル入力ポート、または割り込み機能 (端子入力エッジ検出) を設定してください。 BEMF検出アンプの検出相選択として使用時： 検出相選択で使用する端子は、デジタル出力ポートを設定してください。使用しない端子は、デジタル入力ポートを設定してください。詳細は、3.2.1.15を参照してください。		5, 6
P54		CMP2O	デジタル入力ポートを設定してください。			
P55		CMP1O	デジタル入力ポートを設定してください。			
P146			EN	デジタル出力ポートを設定し、出力ラッチに"0b"を設定してください。	デジタル出力ポートを設定し、出力ラッチに"1b"を設定してください。	

- Note1 : Smart Gate Driverの端子はプルアップ抵抗 (380[kΩ]) を内蔵しています。EN端子がLowの場合、本端子をデジタル出力ポートに設定し、出力ラッチに"1b"を設定することでプルアップ抵抗による電流を削減可能です。
- Note2 : Smart Gate Driverの端子にプルダウン抵抗 (380[kΩ]) を内蔵しています。EN端子がLowの場合、本端子をデジタル出力ポートに設定し、出力ラッチに"0b"を設定することでプルダウン抵抗による電流を削減可能です。
- Note3 : EN端子をLowからHighにする際は、EN端子をHighにする前に、出力ラッチに"0b"を設定してください。また、GDSELx (x = A, B, C) レジスタの設定をするまで、タイマRDによるPWM出力、およびHigh出力は行わないでください。
- Note4 : EN端子をHighからLowにする際は、EN端子をLowにする前に、本端子をデジタル出力ポートに設定し、出力ラッチに"0b"を設定してください。
- Note5 : EN端子をHighからLowにする際は、EN端子をLowにする前に、本端子をデジタル入力ポートに設定してください。
- Note6 : BEMF検出アンプの検出相選択としてCMPzO (z = 1, 2, 3) 端子を使用する場合、BEMF_PHビットの設定を実行してから、検出相選択で使用するポートをデジタル出力ポートに設定してください。

2.1.4 Smart Gate Driver との内部接続端子

2.1.4.1 EN 出力端子 : P146

EN 出力端子は、Smart Gate Driver の動作モードを制御する端子です。動作モードの詳細は、「**RAJ306102 データシート (R18DS0039JJ)**」の **6.1** を参照してください。

- (1) MCU のリセット解除時、P146 はデジタル入力ポートになっていますが、Smart Gate Driver の EN 端子のプルダウン抵抗 (100[kΩ]) により Low になります。そのため、MCU のリセット解除時の Smart Gate Driver の動作モードは Sleep Mode になります。
- (2) 端子設定では、EN 出力端子の出カラッチに "0b" を設定し、Low 出力からの開始を推奨します。
- (3) EN 出力端子の出カラッチに "1b" を設定すると EN 出力端子は High 出力となり、Smart Gate Driver は Operating Mode に遷移します。これにより、EN 信号以外の信号による制御が有効になるため、EN 出力端子を High 出力に設定する前にその他の端子設定をすることが重要です。
- (4) 何らかの異常により Smart Gate Driver を停止させる際は、EN 出力端子の出カラッチに "0b" を設定し、EN 出力端子を Low 出力に設定してください。

2.1.4.2 SPI 通信端子 (マスタ側) : P51 (SO00), P50 (SI00), P30 (SCK00), P05

SPI 通信端子は、Smart Gate Driver のレジスタ設定、異常状態の確認に使用します。SPI 通信はシリアル・アレイ・ユニットの 3 線シリアル I/O (CSI00) の設定と、P05 のデジタル出力ポートによるチップセレクト信号により行います。本製品の SPI 通信のタイミング仕様、フォーマットは、「**RAJ306102 データシート (R18DS0039JJ)**」の **5.5, 6.6** を、制御レジスタの詳細は、**3.2.1** を参照してください。

- (1) MCU のリセット解除時、これらの端子はデジタル入力ポートになっていますが、SDI 端子と SCLK 端子は Smart Gate Driver のプルダウン抵抗 (380[kΩ]) により Low、nSCS 端子は Smart Gate Driver のプルアップ抵抗 (380[kΩ]) により High になります。ただし、SDO 端子は非通信時、オープン・ドレイン出力がオフのため、Hi-Z になります。そのため、MCU のリセット解除後、端子設定により P50 の内蔵プルアップ機能を有効にする必要があります。
- (2) 端子設定では、MCU のシリアル・アレイ・ユニットの 3 線シリアル I/O (CSI00) の設定と、P05 にデジタル出力ポートを設定してください。SDO 端子はオープン・ドレイン出力となるため、P50 の内蔵プルアップ機能を有効にする必要があります。SPI 通信を行う際の CSI モードでのデータとクロックの位相選択は、シリアル通信動作設定レジスタ 00 (SCR00) で、タイプ 2 (DAP00 ビット = "0b", CKP00 ビット = "1b") を設定してください。通信速度は 2[MHz] 以下を設定してください。
- (3) SPI 通信は、EN 出力端子が High 出力の状態 (Operating Mode) で実施します。端子設定時は EN 出力端子が Low のため、SPI 通信が無効になります。レジスタ設定、異常状態の確認に伴う SPI 通信のシーケンスは、**第 4 章** を参照してください。

2.1.4.3 INz (z = 1, 2, 3, 4, 5, 6) 出力端子 : P15, P14, P13, P12, P11, P10

INz (z = 1, 2, 3, 4, 5, 6) 出力端子は、Smart Gate Driver 内の各相ゲートドライバ出力を制御する端子です。これらの端子は、各相ゲートドライバ制御入力 Hlx, Llx (x = A, B, C) に Smart Gate Driver のレジスタ設定に応じて割り当てられ、Hlx, Llx (x = A, B, C) の極性に応じた真理値表 (「RAJ306102 データシート (R18DS0039JJ)」の 6.4.2 を参照) でゲートドライバ出力を制御します。端子の出力制御は、デジタル出力ポート、およびタイマ RD による PWM 出力で行います。

- (1) MCU のリセット解除時、これらの端子はアナログ入力ポート、またはデジタル入力ポートになっていますが、Smart Gate Driver の INz (z = 1, 2, 3, 4, 5, 6) 端子のプルダウン抵抗 (380[kΩ]) により Low になります。
- (2) 端子設定では、Sleep Mode 時の設定としてデジタル出力ポートを設定し、出力ラッチに“0b”を設定してください。これにより EN 出力端子を High 出力に設定した際に予期しないゲートドライバの動作を防ぐことが可能です。
- (3) EN 出力端子を High 出力に設定した後、Smart Gate Driver の Phase-A Gate Driver Input Selection レジスタ (GDSELA), Phase-B Gate Driver Input Selection レジスタ (GDSELB), Phase-C Gate Driver Input Selection レジスタ (GDSELC) の設定により、各相ゲートドライバ制御入力 Hlx, Llx (x = A, B, C) の割り当てを実施します。本製品では、下記の設定に変更してください。なお、本レジスタ設定の際に INz (z = 1, 2, 3, 4, 5, 6) 出力端子は Low 出力を維持してください。これによりレジスタ設定の変更に伴う異常動作を防止します。なお、下記の設定はタイマ RD で相補 PWM モードを使用する場合の設定です。

- Phase-A Gate Driver Input Selection レジスタ (GDSELA) = “x001x010b”^{Note}
- Phase-B Gate Driver Input Selection レジスタ (GDSELB) = “x011x101b”^{Note}
- Phase-C Gate Driver Input Selection レジスタ (GDSELC) = “x100x110b”^{Note}

Note : x の箇所はユーザの制御仕様に合わせて個別に“0b”、または“1b”を設定してください。

- (4) Smart Gate Driver のレジスタ設定は、EN 端子が Low になるとリセットされます。したがって、EN 出力端子を Low 出力に設定する際は、INz (z = 1, 2, 3, 4, 5, 6) 出力端子を Low 出力に設定後、EN 出力端子を Low 出力に設定してください。
- (5) 異常検出によって nFAULT 入力端子が Low となり、ゲートドライバが無効になった際は、INz (z = 1, 2, 3, 4, 5, 6) 出力端子を Low 出力に設定してください。異常状態からの復帰時にはゲートドライバが有効になるため、予期しないゲートドライバの動作を防ぐことが可能です。異常検出後のゲートドライバの動作、および復帰動作は「RAJ306102 データシート (R18DS0039JJ)」の 6.2 を参照してください。

2.1.4.4 nFAULT 入力端子 : P52

nFAULT 入力端子は、Smart Gate Driver の異常検出状態が入力される端子です。Smart Gate Driver がいずれかの異常状態を検出すると、本端子に Low が入力されます。この入力をトリガにエラー復帰シーケンスの構築が可能です。Smart Gate Driver はレジスタ設定により、各異常検出の有効 / 無効の切り替え、および異常検出時の動作を設定可能です。詳細は、3.2.1.5、および 3.2.1.6 を参照してください。

- (1) MCU のリセット解除時、P52 はデジタル入力ポートになっています。また、Smart Gate Driver の nFAULT 端子もオープン・ドレイン出力がオフのため、本端子は Hi-Z になります。そのため、MCU のリセット解除後、端子設定により P52 の内蔵プルアップ機能を有効にする必要があります。
- (2) 端子設定では、nFAULT 入力信号の確認のため、デジタル入力ポート、または割り込み機能に設定します。また、内蔵プルアップ機能を有効にする必要があります。
- (3) 電源投入時において、EN 出力端子が Low の場合、かつ P52 の内蔵プルアップ機能が有効である場合、nFAULT 入力端子は High になります。EN 出力端子を High 出力に設定すると nFAULT 入力端子は一度 Low に切り替わり、Smart Gate Driver の全ての電源機能の起動が完了して、異常状態が発生していなければ nFAULT 入力端子は再び High になります。本動作を考慮したシーケンスは、4.1 を参照してください。

2.1.4.5 DAzO (z = 1, 2, 3) 入力端子 : P27, P26, P25

DAzO (z = 1, 2, 3) 入力端子は、Smart Gate Driver の差動アンプ、BEMF 検出アンプ、またはアナログマルチプレクサからのアナログ信号が入力される端子です。

- (1) MCU のリセット解除時、これらの端子はアナログ入力ポートになっていますが、Smart Gate Driver の DAzO (z = 1, 2, 3) 端子のプルダウン抵抗 (330[kΩ]) により Low になります。
- (2) 端子設定では、Smart Gate Driver のアナログ出力信号を A/D 変換するため、アナログ入力ポートを設定してください。
- (3) EN 出力端子が High 出力の時、Smart Gate Driver のレジスタ設定により DA3O 端子の出力をアナログマルチプレクサにより変更することが可能です。詳細は、「**RAJ306102 データシート (R18DS0039JJ)**」の **6.5.5** を参照してください。
- (4) P25 は外部接続端子としても使用可能です。この場合は Smart Gate Driver の Sense Block Control 5 レジスタ (SNSCTL5) の MUX ビットに "000b" を設定してください。なお、設定した際にプルダウン抵抗 (330[kΩ]) が P25 に接続されます。外部接続端子として使用する場合、このインピーダンスを考慮して使用する必要があります。

2.1.4.6 CMPzO (z = 1, 2, 3) 入出力端子 : P55, P54, P53

CMPzO (z = 1, 2, 3) 入出力端子は、Smart Gate Driver の汎用コンパレータ出力を入力するデジタル入力ポート、または BEMF 検出アンプの検出相選択を制御するデジタル出力ポートとして使用します。端子機能の切り替えは Smart Gate Driver のレジスタ設定によって行います。制御レジスタの詳細は、**3.2.1.15** を、BEMF 検出アンプの検出位相選択の詳細は、「**RAJ306102 データシート (R18DS0039JJ)**」の **6.5.3** を参照してください。

- (1) MCU のリセット解除時、これらの端子はデジタル入力ポートになっていますが、Smart Gate Driver の CMPzO (z = 1, 2, 3) 端子のプルダウン抵抗 (380[kΩ]) により Low になります。
- (2) 端子設定では、Smart Gate Driver の CMPzO (z = 1, 2, 3) 端子の初期設定が汎用コンパレータ出力のため、デジタル入力ポート、または割り込み機能を設定してください。
- (3) P55, P54, P53 を BEMF 検出アンプの検出相選択に使用する場合は、MCU と Smart Gate Driver の出力信号が衝突しないように、Smart Gate Driver のレジスタ設定により CMPzO (z = 1, 2, 3) 端子の BEMF 検出アンプの検出相設定を変更した後に、MCU の検出相選択に使用する端子をデジタル出力ポートに設定する必要があります。なお、BEMF 検出アンプの検出相は、P55, P54、または P55, P53 の 2 端子で選択します。検出相選択として使用しないポートは、汎用コンパレータ出力の入力端子として使用可能です。その場合、デジタル入力ポート、または割り込み機能を設定してください。
- (4) Smart Gate Driver のレジスタ設定は、EN 端子が Low になるとリセットされます。レジスタ設定のリセットに伴う出力信号の衝突を避けるため、EN 出力端子を Low 出力に設定する際は、先に P55, P54, P53 をデジタル入力ポートに変更してから、EN 出力端子を Low 出力に設定してください。

2.1.4.7 nSMPL 出力端子 : P17

nSMPL 出力端子は、Smart Gate Driver の差動アンプ、または BEMF 検出アンプのサンプルホールド機能を制御する出力端子です。サンプルホールド機能の詳細は、「**RAJ306102 データシート (R18DS0039JJ)**」の **6.5.2**, **6.5.3** を参照してください。

- (1) MCU のリセット解除時、P17 はデジタル入力ポートになっていますが、Smart Gate Driver の nSMPL 端子のプルダウン抵抗 (380[kΩ]) により Low になります。
- (2) 端子設定では、サンプルホールド機能を使用する場合はデジタル出力ポートを設定し、出力ラッチに "0b" を設定してください。サンプルホールド機能を使用しない場合は、汎用ポートとして使用可能なため、用途に応じた設定をしてください。
- (3) Smart Gate Driver のレジスタ設定によってサンプルホールド機能を有効にした後は、nSMPL 出力端子が Low 出力の時はサンプリング動作、High 出力の時はホールド動作となります。なお、BEMF 検出アンプのサンプルホールドは、nSMPL 出力端子が Low であってもホールド動作となる期間があります。
「**RAJ306102 データシート (R18DS0039JJ)**」の **6.5.3** を参照してください。

2.2 周辺機能の制限事項

本製品に搭載している RL78/G1F は、内部接続端子、および未接続端子があるため、使用可能な周辺機能に制限があります。本節では、各周辺機能における制限事項、および注意事項を記載します。各機能の使用方法は、「[RL78/G1F ユーザーズマニュアル ハードウェア編 \(R01UH0516JJ\)](#)」を、最新情報は、「[テクニカルアップデート](#)」を参照してください。

制限事項がなく使用可能な周辺機能

- ・ タイマ RX
- ・ シリアル・インタフェース IICA
- ・ D/A コンバータ
- ・ プログラマブル・ゲイン・アンプ (PGA)
- ・ スタンバイ機能
- ・ リセット機能
- ・ 安全機能
- ・ レギュレータ
- ・ オンチップ・デバッグ機能
- ・ 10 進補正 (BCD) 回路

制限事項付きで使用可能な周辺機能

- ・ ポート機能 (周辺 I/O 設定)
- ・ クロック発生回路
- ・ タイマ・アレイ・ユニット
- ・ タイマ RJ
- ・ タイマ RD
- ・ タイマ RG
- ・ リアルタイム・クロック
- ・ 12 ビット・インターバル・タイマ
- ・ クロック出力 / ブザー出力制御回路
- ・ ウォッチドッグ・タイマ
- ・ A/D コンバータ
- ・ コンパレータ (CMP)
- ・ シリアル・アレイ・ユニット
- ・ データ・トランスファ・コントローラ (DTC)
- ・ イベント・リンク・コントローラ (ELC)
- ・ 割り込み機能
- ・ キー割り込み機能
- ・ パワーオン・リセット回路
- ・ 電圧検出回路
- ・ オプション・バイト
- ・ フラッシュ・メモリ

使用不可能な周辺機能

- ・ IrDA

2.2.1 ポート機能

2.2.1.1 周辺 I/O リダイレクション・レジスタ

本製品を使用する際、周辺 I/O リダイレクション・レジスタ 0 - 3 (PIOR0 - PIOR3) は表 2-6、表 2-7、表 2-8、表 2-9 の推奨設定を参照して設定してください。周辺 I/O リダイレクション・レジスタの詳細は、「RL78/G1F ユーザーズマニュアル ハードウェア編 (R01UH0516JJ)」の 4.3.7~4.3.10 を参照してください。

表 2-6 周辺 I/O リダイレクション・レジスタ 0 (PIOR0) の推奨設定

No.	レジスタ名	ビット名	機能	設定値		説明	Note	
				0b	1b			
1	PIOR0	PIOR07	INTP8	P42	P00	PIOR07ビットが"0b"の場合、PIOR00ビットで選択した端子 (No.31) に割り当てます。	3	
2			INTP10	P76	P01	PIOR07ビットが"0b"の場合、PIOR01ビットで選択した端子 (No.11) に割り当てます。		
3			INTP11	P77	P20	PIOR07ビットが"0b"の場合、PIOR01ビットで選択した端子 (No.12) に割り当てます。		
4		PIOR06	—	—	—	使用できません。"0b" (初期値) を設定してください。	1	
5		PIOR05	—	—	—	使用できません。"0b" (初期値) を設定してください。	1	
6		PIOR04	PCLBUZ1	P141	P55	"0b"を設定してください。P55はCMP10入出力端子に使用するため、本機能を割り当てることはできません。	1	
7			INTP5	P16	P12	"0b"を設定してください。P16は未接続端子、P12はTRDIOB1を割り当てて使用するため、本機能を使用できません。		
8		PIOR03	PCLBUZ0	P140	P31	—		
9		PIOR02	SCLA0	P60	P14	"0b"を設定してください。P14はTRDIOD0を割り当てて使用するため、本機能を割り当てることはできません。	1	
10			SDAA0	P61	P15	"0b"を設定してください。P15はTRDIOB0を割り当てて使用するため、本機能を割り当てることはできません。		
11		PIOR01	PIOR01	INTP10	P76	P05	"0b"を設定してください。INTP10はPIOR07ビットで設定した端子 (No.2) に割り当てます。	1
12				INTP11	P77	P06	"0b"を設定してください。INTP11はPIOR07ビットで設定した端子 (No.3) に割り当てます。	
13				RxD2	P14	P76	"0b"を設定してください。P14はTRDIOD0を割り当てて使用するため、本機能は使用できません。	
14				TxD2	P13	P77	"0b"を設定してください。P13はTRDIOA1を割り当てて使用するため、本機能は使用できません。	
15				SCL20	P15	—	"0b"を設定してください。P15はTRDIOB0を割り当てて使用するため、本機能は使用できません。	
16				SDA20	P14	—	"0b"を設定してください。P14はTRDIOD0を割り当てて使用するため、本機能は使用できません。	
17				SI20	P14	—	"0b"を設定してください。P14はTRDIOD0を割り当てて使用するため、本機能は使用できません。	
18				SO20	P13	—	"0b"を設定してください。P13はTRDIOA1を割り当てて使用するため、本機能は使用できません。	
19				SCK20	P15	—	"0b"を設定してください。P15はTRDIOB0を割り当てて使用するため、本機能は使用できません。	
20				TxD0	P51	P17	"0b"を設定してください。P51はSO00を割り当てて使用するため、本機能は使用できません。	
21				RxD0	P50	P16	"0b"を設定してください。P50はSI00を割り当てて使用するため、本機能は使用できません。	
22				SCL00	P30	—	"0b"を設定してください。P30はSCK00を割り当てて使用するため、本機能は使用できません。	
23				SDA00	P50	—	"0b"を設定してください。P50はSI00を割り当てて使用するため、本機能は使用できません。	
24				SI00	P50	P16	"0b"を設定してください。SI00はP50に割り当てSmart Gate DriverとのSPI通信に使用します。	
25				SO00	P51	P17	"0b"を設定してください。SO00はP51に割り当てSmart Gate DriverとのSPI通信に使用します。	
26				SCK00	P30	P55	"0b"を設定してください。SCK00はP30に割り当てSmart Gate DriverとのSPI通信に使用します。	
27		PIOR00	PIOR00	INTP1	P50	P52	"1b"を設定してください。INTP1はP52に割り当てnFAULT入力端子の割り込み入力に使用可能です。	2
28				INTP2	P51	P53	"1b"を設定してください。INTP2はP53に割り当てCMP30入出力端子の割り込み入力に使用可能です。	
29				INTP3	P30	P54	"1b"を設定してください。INTP3はP54に割り当てCMP20入出力端子の割り込み入力に使用可能です。	
30				INTP4	P31	P55	"1b"を設定してください。INTP4はP55に割り当てCMP10入出力端子の割り込み入力に使用可能です。	
31				INTP8	P74	P42	"1b"を設定してください。INTP8はPIOR07ビット (No.1) で指定される端子に割り当てて使用可能です。	
32	INTP9	P75	P43	"1b"を設定してください。他の端子の機能に割り当てに伴い、INTP9はP43にのみ割り当てて使用可能です。				

表 2-7 周辺 I/O リダイレクション・レジスタ 1 (PIOR1) の推奨設定

No.	レジスタ名	ビット名	機能	設定値		説明	Note
				0b	1b		
33	PIOR1	PIOR13/ PIOR12	TRJ00	00b: P30に割り当て		PIOR13ビット, PIOR12ビットに "10b"を設定してください。 P30, P50はそれぞれSCK00, SI00を割り当てて使用するため、TRJ00はP00にのみ割り当てて使用可能です。	3
				01b: P50に割り当て			
				10b: P00に割り当て			
				11b: 設定禁止			
34	PIOR1	PIOR11/ PIOR10	TRJIO0	00b: P01に割り当て		PIOR11ビット, PIOR10ビットに "11b"以外を設定してください。 P06は未接続端子のため、本機能を割り当てることはできません。	3
				01b: P31に割り当て			
				10b: P41に割り当て			
				11b: P06に割り当て			

表 2-8 周辺 I/O リダイレクション・レジスタ 2 (PIOR2) の推奨設定

No.	レジスタ名	ビット名	機能	設定値		説明	Note
				0b	1b		
35	PIOR2	PIOR27	—	—	—	使用できません。"0b" (初期値) を設定してください。	1
36		PIOR26	TRDIOD0	P14	P17	"0b"を設定してください。TRDIOD0はP14に割り当てIN2出力端子のPWM波形出力に使用します。	1
37		PIOR25	TRDIOD1	P10	P51	"0b"を設定してください。TRDIOD1はP10に割り当てIN6出力端子のPWM波形出力に使用します。	1
38		PIOR24	TRDIOC1	P11	P50	"0b"を設定してください。TRDIOC1はP11に割り当てIN5出力端子のPWM波形出力に使用します。	1
39		PIOR23	TRDI0B1	P12	P30	"0b"を設定してください。TRDI0B1はP12に割り当てIN4出力端子のPWM波形出力に使用します。	1
40		PIOR22	TRDIOA1	P13	P16	"0b"を設定してください。TRDIOA1はP13に割り当てIN3出力端子のPWM波形出力に使用します。	1
41		PIOR21	VCOU1	P31	P70	"0b"を設定してください。P70は未接続端子のため、本機能を割り当てることはできません。 出力制御はPIOR32ビットで設定します。	3
42		PIOR20	VCOU0	P120	P71	"0b"を設定してください。P71は未接続端子のため、本機能を割り当てることはできません。 出力制御はPIOR31ビットで設定します。	3

表 2-9 周辺 I/O リダイレクション・レジスタ 3 (PIOR3) の推奨設定

No.	レジスタ名	ビット名	機能	設定値		説明	Note
				0b	1b		
43	PIOR3	PIOR32	VCOU1	出力禁止	出力許可	PIOR32ビットが "0b"の場合、VCOU1出力はLowレベル固定となります。 PIOR21ビットで指定した端子から出力します。	3
44		PIOR31	VCOU0	出力禁止	出力許可	PIOR31ビットが "0b"の場合、VCOU0出力はLowレベル固定となります。 PIOR20ビットで指定した端子から出力します。	3
45		PIOR30	—	—	—	使用できません。"0b" (初期値) を設定してください。	1

Note : 灰色のハッチングを施した部分は、使用不可能な機能、および非推奨の設定です。

Note1 : 本製品を使用するうえで、必要な設定です。

Note2 : Smart Gate Driver の nFAULT 信号、コンパレータ機能を使用する場合、本設定を推奨します。

Note3 : 本機能を使用しない場合は、この設定は必要ありません。

2.2.2 クロック発生回路

下記に使用可能なクロック、および使用不可能なクロックを示します。P121, P123, P124 は使用不可能な端子のため、これらの端子に割り当てられているメイン・システム・クロック用端子 X1、およびサブシステム・クロック用端子 XT1, XT2, EXCLKS を使用するクロックは使用不可能です。

使用可能なクロック

- fHOCO : 高速オンチップ・オシレータ・クロック (最大 64[MHz])
- fIH : 高速オンチップ・オシレータ・クロック (最大 32[MHz])
- fIL : 低速オンチップ・オシレータ・クロック
- fEX : 外部メイン・システム・クロック
- fMX : 高速システム・クロック
- fMAIN : メイン・システム・クロック
- fCLK : CPU / 周辺ハードウェア・クロック

使用不可能なクロック

- fx : X1 クロック
- fXT : XT1 クロック
- fEXS : 外部サブシステム・クロック
- fSUB : サブシステム・クロック

2.2.3 タイマ・アレイ・ユニット

表 2-10 にタイマ・アレイ・ユニットの入出力端子を示します。タイマ入力とタイマ出力が同一端子で兼用している場合は、タイマ入力かタイマ出力のどちらかのみ使用可能です。P16 は未接続端子のため、本端子に割り当てられているタイマ入出力端子 TI01/TO01 を用いるチャンネル 1 は、使用不可能です。

表 2-10 タイマ・アレイ・ユニットの入出力端子

タイマ・アレイ・ユニット		端子機能	
ユニット	チャンネル	使用可能	使用不可能
ユニット0	チャンネル0	TI00, TO00	—
	チャンネル1	—	TI01/TO01
	チャンネル2	TI02/TO02	—
	チャンネル3	TI03/TO03	—

Note : 灰色のハッチングを施した部分は、使用不可能な機能です。

2.2.4 タイマ RJ

CPU / 周辺ハードウェア・クロック “fCLK, fCLK/8, fCLK/2”, 低速オンチップ・オシレータ・クロック “fil”, および ELC からのイベント入力のみがカウントソースとして使用可能です。カウントソースとしてサブシステム・クロック “fSUB (fXT, fEXS)” は使用不可能です。

タイマ RJ 出力端子 TRJO は P00 にのみ割り当て可能です。P30, P50 には割り当て不可能です。

タイマ RJ 入出力端子 TRJIO は P01, P31, P41 にのみ割り当て可能です。P06 には割り当て不可能です。

2.2.5 タイマ RD

タイマ RD の PWM 出力端子は、Smart Gate Driver の INz (z = 1, 2, 3, 4, 5, 6) 端子に接続しています。

また、インプットキャプチャ機能は使用不可能です。端子機能と設定の詳細は、2.1.4.3, 2.2.1.1 を参照してください。

2.2.6 タイマ RG

TRGCLKA, TRGCLKB を使用した位相計数モードおよび、タイマ RG 割り込み信号 (INTTRG) のみ使用可能です。P50, P51 は Smart Gate Driver との SPI 通信に使用するため、TRGIOA, TRGIOB を使用する機能は使用不可能です。

2.2.7 リアルタイム・クロック

クロックソースとして低速オンチップ・オシレータ・クロック "fil" を使用した定周期割り込み機能のみ使用可能です。サブシステム・クロック "fsUB (fXT, fEXs)" は使用不可能です。

2.2.8 12 ビット・インターバル・タイマ

クロックソースとして低速オンチップ・オシレータ・クロック "fil" のみ使用可能です。サブシステム・クロック "fsUB (fXT, fEXs)" は使用不可能です。

2.2.9 クロック出力 / ブザー出力制御回路

クロックソースとして fMAIN を使用してください。サブシステム・クロック "fsUB (fXT, fEXs)" は使用不可能です。

P55 は Smart Gate Driver との内部接続端子のため、クロック出力 / ブザー出力 "PCLBUZ1" を使用する場合は P141 に割り当てて使用してください。

クロック出力 / ブザー出力 "PCLBUZ0" は P31、または P140 に割り当てて使用可能です。

2.2.10 ウォッチドッグ・タイマ

ウォッチドッグ・タイマには RL78/G1F のテクニカルアップデートに由来する下記の制限事項があります。

特定の条件下で、ウォッチドッグ・タイマのカウントクリアした後、ウォッチドッグ・タイマの 1 クロック後にウォッチドッグ・タイマのインターバル割り込み (INTWDTI) が不正に発生する場合があります。

本制限事項の詳細は、「[RL78/G1F のテクニカルアップデート \(TN-RL*-A086A/J\)](#)」を参照してください。

2.2.11 A/D コンバータ

ANI0 - ANI5, ANI16, ANI17, ANI19 の計 9ch が A/D コンバータのアナログ入力ポートとして使用可能です。ただし、ANI5 は Smart Gate Driver の差動アンプ出力端子 DA30 と共通で使用しているため、外部からのアナログ入力ポートとして使用する場合はプルダウン抵抗 (330[kΩ]) が ANI5 に接続されます。外部からのアナログ入力ポートとして使用する場合は、このインピーダンスを考慮して使用する必要があります。

ANI5 - ANI7 は Smart Gate Driver の差動アンプ出力 DAz0 (z = 1, 2, 3) の A/D 変換に使用可能です。

ANI18 が割り当てられている P147 は未接続端子、ANI20 - ANI24 が割り当てられている P10 - P14 は内部接続端子のため、使用不可能です。

2.2.12 コンパレータ (CMP)

P71 は未接続端子のため、コンパレータ出力 "VCOUT0" は P120 にのみ割り当て可能です。

P70 は未接続端子のため、コンパレータ出力 "VCOUT1" は P31 にのみ割り当て可能です。

P147 は未接続端子のため、コンパレータ 0 のリファレンス電圧入力 "IVREF0" は使用不可能です。

2.2.13 シリアル・アレイ・ユニット

表 2-11 にシリアル・アレイ・ユニット 各チャンネルの機能割り当てを示します。

3線シリアル I/O (CSI00) は Smart Gate Driver との内部通信専用です。

3線シリアル I/O (CSI11, CSI20, CSI21), UART 通信 (UART0, UART2)、および簡易 I²C 通信 (IIC00, IIC11, IIC20, IIC21) は、内部接続端子、および未接続端子に伴う制限のため、使用不可能です。

表 2-11 シリアル・アレイ・ユニット 各チャンネルの機能割り当て

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (内部通信専用)	UART0 (LIN-bus対応) (使用不可能)	IIC00 (使用不可能)
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11 (使用不可能)		IIC11 (使用不可能)
1	0	CSI20 (使用不可能)	UART2 (IrDA対応) (使用不可能)	IIC20 (使用不可能)
	1	CSI21 (使用不可能)		IIC21 (使用不可能)

Note : 灰色のハッチングを施した部分は、使用不可能な機能です。

2.2.14 IrDA

IrDA 通信は UART2 と連携して IrDA 通信波形の送受信を実現します。本製品では UART2 の端子が外部出力端子ではないため、使用不可能です。

2.2.16 イベント・リンク・コントローラ (ELC)

表 2-13 に、イベント出力先選択レジスタ n (ELSELRn (n = 00~21)) と周辺機能の対応を示します。割り込み機能, タイマ RD、およびタイマ・アレイ・ユニットに対する制限事項により、使用不可能な機能に対するイベント信号は、使用不可能です。

表 2-13 イベント出力先選択レジスタ n (ELSELRn (n = 00~21)) と周辺機能の対応

レジスタ	イベント発生元 (イベント入力nの出力元)	イベント内容
ELSELR00	外部割り込みエッジ検出0	INTP0
ELSELR01	外部割り込みエッジ検出1	INTP1
ELSELR02	外部割り込みエッジ検出2	INTP2
ELSELR03	外部割り込みエッジ検出3	INTP3
ELSELR04	外部割り込みエッジ検出4	INTP4
ELSELR05	外部割り込みエッジ検出5	INTP5
ELSELR06	キー・リターン信号検出	INTKR
ELSELR07	RTC定周期信号 / アラーム一致検出	INTRTC
ELSELR08	タイマRD0コンペア一致A	INTTRD0
	タイマRD0インプットキャプチャA	
ELSELR09	タイマRD0コンペア一致B	INTTRD0
	タイマRD0インプットキャプチャB	
ELSELR10	タイマRD1コンペア一致A	INTTRD1
	タイマRD1インプットキャプチャA	
ELSELR11	タイマRD1コンペア一致B	INTTRD1
	タイマRD1インプットキャプチャB	
ELSELR12	タイマRD1アンダフロー	TRD1アンダフロー信号
ELSELR13	タイマRJ0アンダフロー / パルス幅測定期間終了 / パルス周期測定期間終了	INTTRJ0
ELSELR14	タイマRGインプットキャプチャA / コンペア一致A	INTTRG
ELSELR15	タイマRGインプットキャプチャB / コンペア一致B	INTTRG
ELSELR16	TAUチャンネル00カウント完了 / キャプチャ完了	INTTM00
ELSELR17	TAUチャンネル01カウント完了	INTTM01
	TAUチャンネル01キャプチャ完了	
ELSELR18	TAUチャンネル02カウント完了 / キャプチャ完了	INTTM02
ELSELR19	TAUチャンネル03カウント完了 / キャプチャ完了	INTTM03
ELSELR20	コンパレータ検出0	コンパレータ検出0信号
ELSELR21	コンパレータ検出1	コンパレータ検出1信号

Note : 灰色のハッチングを施した部分は、使用できないイベント信号です。

2.2.17 割り込み機能

本製品では、未接続端子、およびシリアル・アレイ・ユニット、タイマ・アレイ・ユニット、タイマ RD として使用用途を指定している端子があるため、割り込み機能に対して、使用不可能な割り込み要因、および外部割り込み端子があります。

表 2-14、表 2-15 に割り込み要因と制限機能を、表 2-16 に端子入力割り込み要因と接続端子の関係を示します。端子の割り当ては、2.2.1.1 を参照してください。

表 2-14 割り込み要因と制限事項 (1 / 2)

割り込みの処理	デフォルト・プライオリティ Note1	割り込み要因		内部 / 外部	ベクタ・テーブル・アドレス
		名称	トリガ		
マスカブル	0	INTWDTI	ウォッチドッグ・タイマのインターバル ^{Note2} (オーバーフロー時間の75[%] + 1/2 fl)	内部	00004H
	1	INTLVI	電圧検出 ^{Note3}		00006H
	2	INTP0	端子入力エッジ検出	外部	00008H
	3	INTP1			0000AH
	4	INTP2			0000CH
	5	INTP3			0000EH
	6	INTP4			00010H
	7	INTP5			端子入力エッジ検出
	8	INTST2/ INTCSI20/ INTIIC20	UART2送信の転送完了、バッファ空き割り込み / CSI20の転送完了、バッファ空き割り込み / IIC20の転送完了	内部	00014H
	9	INTSR2/ INTCSI21/ INTIIC21	UART2受信の転送完了 / CSI21の転送完了、バッファ空き割り込み / IIC21の転送完了		00016H
	10	INTSRE2	UART2受信の通信エラー発生		00018H
	11	INTCSI00	CSI00の転送完了、バッファ空き割り込み		0001EH
		INTST0/ INTIIC00	UART0送信の転送完了、バッファ空き割り込み / IIC00の転送完了		
	12	INTCSI01/ INTIIC01	CSI01の転送完了、バッファ空き割り込み / IIC01の転送完了		00020H
		INTSR0	UART0受信の転送完了		
	13	INTTM01H	タイマ・チャンネル01のカウント完了、またはキャプチャ完了 (上位8ビット・タイマ動作時)		00022H
		INTSRE0	UART0受信の通信エラー発生		
14	INTST1/ INTCSI10/ INTIIC10	UART1送信の転送完了、バッファ空き割り込み / CSI10の転送完了、バッファ空き割り込み / IIC10の転送完了	00024H		
15	INTSR1	UART1受信の転送完了	00026H		
	INTCSI11/ INTIIC11	CSI11の転送完了、バッファ空き割り込み / IIC11の転送完了			
16	INTSRE1	UART1受信の通信エラー発生	00028H		
	INTTM03H	タイマ・チャンネル03のカウント完了、またはキャプチャ完了 (上位8ビット・タイマ動作時)			
17	INTICA0	IICA0通信完了	0002AH		

Note : 灰色のハッチングを施した部分は、使用不可能な機能です。

Note1 : デフォルト・プライオリティは、複数のマスカブル割り込みが発生している場合に、優先する順位です。0 が最高順位、37 が最低順位です。

Note2 : オプション・バイト (000C0h) のビット 7 (WDTINT) = "1b" 選択時。

Note3 : 電圧検出レベル・レジスタ (LVIS) のビット 7 (LVIMD) = "0b" 選択時。

表 2-15 割り込み要因と制限事項 (2 / 2)

割り込みの処理	デフォルト・ プライオリティ Note1	割り込み要因		内部 / 外部	ベクタ・ テーブル・ アドレス
		名称	トリガ		
	18	INTTM00	タイマ・チャンネル00のカウント完了、またはキャプチャ完了	内部	0002CH
	19	INTTM01	タイマ・チャンネル01のカウント完了		0002EH
			タイマ・チャンネル01のキャプチャ完了		
	20	INTTM02	タイマ・チャンネル02のカウント完了、またはキャプチャ完了		00030H
	21	INTTM03	タイマ・チャンネル3のカウント完了、またはキャプチャ完了		00032H
	22	INTAD	A/D変換終了		00034H
	23	INTRTC	リアルタイム・クロックの定周期信号 / アラーム一致検出		00036H
	24	INTIT	インターバル信号検出		00038H
	25	INTKR	キー・リターン信号検出	外部	0003AH
	26	INTTRJ0	タイマRJ割り込み	内部	00040H
	27	INTP6	端子入力エッジ検出	外部	0004AH
	28	INTP7			0004CH
	29	INTP8			0004EH
	30	INTP9			00050H
	31	INTP10	端子入力エッジ検出	外部	00052H
		INTCMP0	コンパレータ検出0	内部	
	32	INTP11	端子入力エッジ検出	外部	00052H
INTCMP1		コンパレータ検出1	内部		
33	INTTRD0	タイマRD0コンペア一致、オーバフロー、アンダフロー割り込み	内部	00056H	
		タイマRD0インプットキャプチャ			
34	INTTRD1	タイマRD1コンペア一致、オーバフロー、アンダフロー割り込み	内部	00058H	
		タイマRD1インプットキャプチャ			
35	INTTRG	タイマRGインプットキャプチャ、コンペア一致、オーバフロー、アンダフロー割り込み		0005AH	
36	INTTRX	タイマRXオーバフロー検出		0005CH	
37	INTFL	予約 Note4		00062H	
ソフトウェア	—	BRK	BRK命令の実行	—	0007EH
リセット	—	RESET	RESET端子入力	—	00000H
		POR	パワーオン・リセット		
		LVD	電圧検出 Note5		
		WDT	ウォッチドッグ・タイマのオーバフロー		
		TRAP	不正命令の実行 Note6		
		IAW	不正メモリ・アクセス		
		RPE	RAM/パリティ・エラー		

Note : 灰色のハッチングを施した部分は、使用不可能な機能です。

Note1 : デフォルト・プライオリティは、複数のマスカブル割り込みが発生している場合に、優先する順位です。0が最高順位、37が最低順位です。

Note4 : フラッシュ・セルフ・プログラミング・ライブラリ, データ・フラッシュ・ライブラリで使用します。

Note5 : 電圧検出レベル・レジスタ (LVIS) のビット7 (LVIMD) = "1b"選択時。

Note6 : "FFh"の命令コードを実行した時に発生します。不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

表 2-16 端子入力割り込み要因と接続端子の関係

名称	外部接続端子	内部接続端子	使用不可能
INTP0	P137	—	—
INTP1	—	P52	P50
INTP2	—	P53	P51
INTP3	—	P54	P30
INTP4	—	P55	P31
INTP5	—	—	P12, P16
INTP6	P140	—	—
INTP7	P141	—	—
INTP8	P00, P42	—	P74
INTP9	P43	—	P75
INTP10	P01, P76	—	P05
INTP11	P20, P77	—	—
INTKR	P73, P74, P75, P76, P77	—	P70, P71, P72

2.2.18 キー割り込み機能

キー割り込み入力端子 (KR3 - KR7) のみ使用可能です。キー割り込み入力端子 (KR0 - KR2) は未接続端子のため、使用不可能です。キー・リターン・モード・レジスタ (KRM) の KRM0 - KRM2 ビットには必ず"0b"を設定してください。

2.2.19 パワーオン・リセット回路

MCU の動作電圧範囲は VDD 端子の推奨動作電圧範囲 ($V_{DD} = 3.135 \sim 5.25[V]$) に制限されます。VDD 端子電圧、およびアプリケーションに応じて、電圧検出 (LVD) 回路の動作モードと検出電圧 (V_{LVDH} , V_{LVDL} , V_{LVD}) を適切に設定してください。

2.2.20 電圧検出回路

MCU の動作電圧範囲は VDD 端子の推奨動作電圧範囲 ($V_{DD} = 3.135 \sim 5.25[V]$) に制限されます。VDD 端子電圧、およびアプリケーションに応じて、電圧検出 (LVD) 回路の動作モードと検出電圧 (V_{LVDH} , V_{LVDL} , V_{LVD}) を適切に設定してください。

2.2.21 オプション・バイト

オプション・バイトの機能としての制限はありませんが、電圧検出 (LVD) 回路の動作モードと検出電圧 (V_{LVDH} , V_{LVDL} , V_{LVD}) は、VDD 端子の推奨動作電圧範囲 ($V_{DD} = 3.135 \sim 5.25[V]$) の制限を考慮した値を設定してください。

2.2.22 フラッシュ・メモリ

専用フラッシュ・メモリ・プログラマを使用して、TOOL0 端子による専用の単線 UART で書き込み / 消去の操作を実施してください。UART 通信によるシリアル・プログラミングで使用する TOOLTxD, TOOLRxD 端子が割り当てられている P50, P51 が内部接続端子のため、外部デバイス (UART 内蔵) によるシリアル・プログラミングは使用不可能です。

第3章 Smart Gate Driver

本製品には、Smart Gate Driver として RAA306012 を搭載しています。

Smart Gate Driver は、BLDC モータ駆動用に、最大 3ch の N-ch MOSFET ブリッジを駆動可能で、6~65[V] のブリッジ電圧に対応しています。各ゲートドライバは、ソース/シンクのピーク電流を最大 0.64 / 1.28[A]まで 16 段階で調整可能です。

また、内部アナログ/ロジック回路、High サイド / Low サイド用ドライバ用電源、および周辺回路用電源回路を内蔵しています。ポータブル用アプリケーションのバッテリー使用時間を最大化するために、スタンバイ電流を 28[μ A]まで低減しています。

ドライバ制御入力は、3相 HI/LI モード、および 3相 PWM モードの両方に対応しています。また、各ブリッジの GND 側シャント抵抗の電流検出に対応し、プログラマブルにゲイン設定ができる高性能な差動アンプを 3ch 内蔵しています。このデバイスは、3ch の汎用コンパレータ、および BEMF 検出アンプにより、ホールセンサ/センサレスモータ制御両方の BLDC モータ制御方式に対応可能です。

保護機能 (異常保護, 通知機能) として、VCC5V 電圧降下 (VCC_UV), VM 電圧降下 (VM_UV), VM 過電圧 (VM_OV), チャージポンプ電圧降下 (VCP_UV), MOSFET V_{DS} 過電流 (VDS_OCP), シャント抵抗の過電流保護 (CS_OCP), MOSFET V_{GS} 異常 (VGS_FAULT), サーマルワーニング (TWARN), サーマルシャットダウン (OTSD), 降圧レギュレータ過電流検出 (SR_OC1), 降圧レギュレータ過電流保護 (SR_OCP), 降圧レギュレータ電圧降下 (VDRV_UV), 降圧レギュレータ過電圧 (VDRV_OV) に対応しています。

Smart Gate Driver を適切に制御するためには、MCU からの制御信号だけでなく、アプリケーションに応じた周辺回路構成、およびレジスタ設定が重要です。本章では、レジスタ設定、およびアプリケーションごとの周辺回路構成についての注意事項を記載します。

Smart Gate Driver の詳細は、「**RAA306012 データシート (R18DS0037JJ)**」を参照してください。

3.1 端子接続、および端子機能

3.1.1 MCU との端子接続

図 3-1 に Smart Gate Driver と MCU との接続を示します。x は未接続端子です。

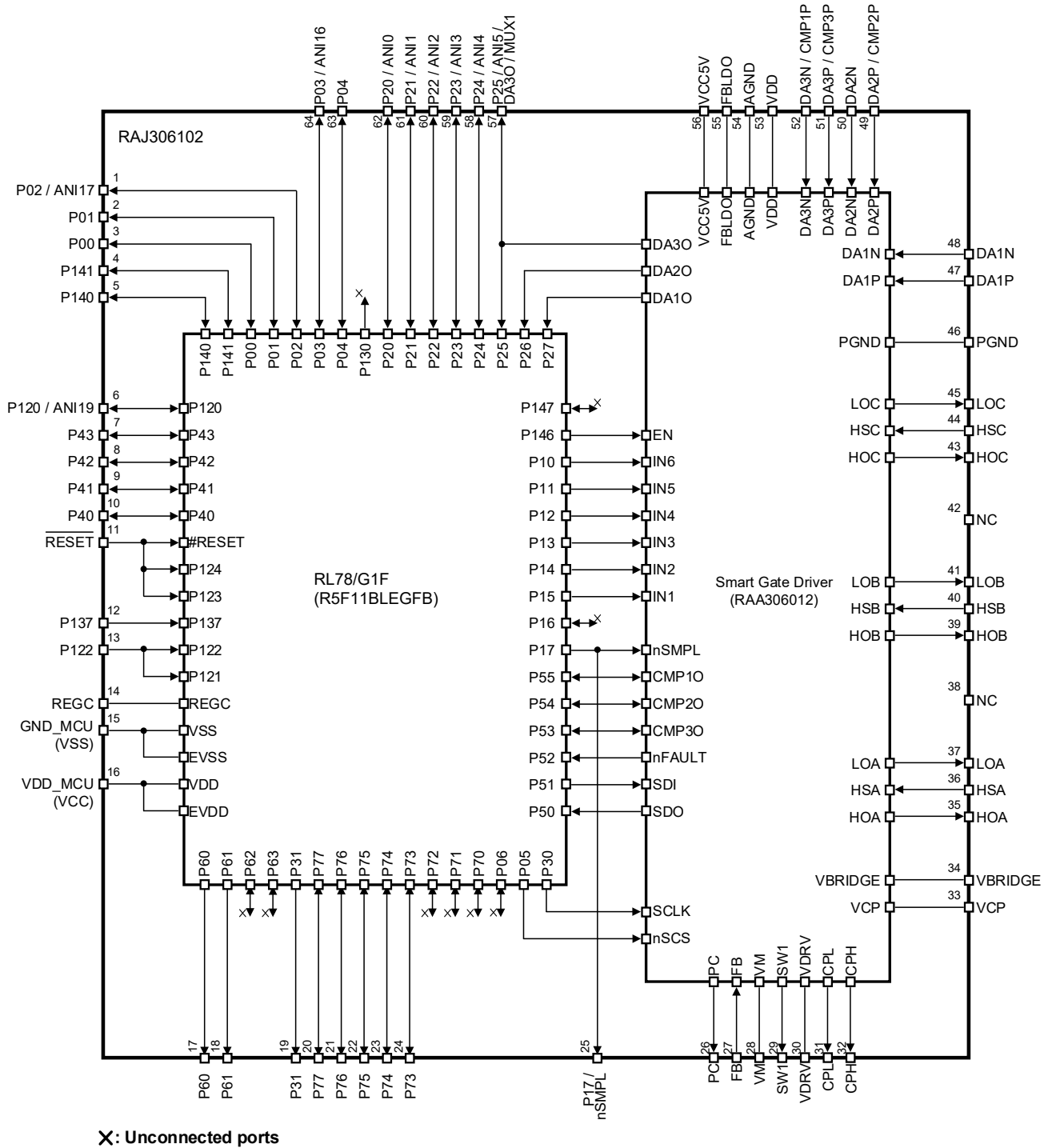


図 3-1 MCU との端子接続

3.1.2 端子機能

表 3-1, 表 3-2 に Smart Gate Driver の端子機能を示します。

内部接続されている Smart Gate Driver の端子は、EN 信号を High にすると、EN 信号以外の信号による制御が有効になるため、EN 出力端子を High 出力に設定する前にその他の端子設定をすることが重要です。設定手順については、本表の注意事項、2.1、および第 4 章を参照してください。

表 3-1 端子機能 (1 / 2)

外部接続 端子番号	Smart Gate Driver 端子名称	I/O				RL78/G1F 端子名称	Smart Gate Driver端子機能	Note
		レベル	タイプ	初期 (EN = Low)	有効制御			
—	DA10	VDD	出力	プルダウン (330[kΩ])	DA1_EN bit	P27 / ANI7	差動アンプ1の出力 プルダウン抵抗は、差動アンプ1が有効になると無効になります。	
—	CMP30	VDD	入出力	出力 / プルダウン (380[kΩ])	CMP3_VTH / BEMF_PH ビット	P53 / INPT2	BEMF検出アンプの検出相選択用制御入力、またはコンパレータ3出力 Smart Gate Driverのポート機能は、BEMF_PH ビットにより選択されます。	1
—	CMP20	VDD	入出力	出力 / プルダウン (380[kΩ])	CMP2_VTH / BEMF_PH ビット	P54 / INTP3	BEMF検出アンプの検出相選択用制御入力、またはコンパレータ2出力 Smart Gate Driverのポート機能は、BEMF_PH ビットにより選択されます。	1
—	CMP10	VDD	入出力	出力 / プルダウン (380[kΩ])	CMP1_VTH / BEMF_PH ビット	P55 / INTP4	BEMF検出アンプの検出相選択用制御入力、またはコンパレータ1出力 Smart Gate Driverのポート機能は、BEMF_PH ビットにより選択されます。	1
—	EN	VDD	入力	プルダウン (100[kΩ])	—	P146	Operation Modeのイネーブル入力端子 この端子がLowの場合、このデバイスはlow-power sleep modeになります。	1, 2
—	IN6	VDD	入力	プルダウン (380[kΩ])	EN端子	P10 / TRDIOD1	ゲートドライバ制御用入力6 モータを駆動する前にGDSELCレジスタのLOC_SELビットに"101b"を設定してください。	2
—	IN5	VDD	入力	プルダウン (380[kΩ])	EN端子	P11 / TRDI0C1	ゲートドライバ制御用入力5 モータを駆動する前にGDSELBレジスタのLOB_SELビットに"101b"を設定してください。	2
—	IN4	VDD	入力	プルダウン (380[kΩ])	EN端子	P12 / TRDI0B1	ゲートドライバ制御用入力4 モータを駆動する前にGDSELCレジスタのHOC_SELビットに"100b"を設定してください。	2
—	IN3	VDD	入力	プルダウン (380[kΩ])	EN端子	P13 / TRDIOA1	ゲートドライバ制御用入力3 モータを駆動する前にGDSELBレジスタのHOB_SELビットに"011b"を設定してください。	2
—	IN2	VDD	入力	プルダウン (380[kΩ])	EN端子	P14 / TRDI0D0	ゲートドライバ制御用入力2 モータを駆動する前にGDSELAレジスタのLOA_SELビットに"010b"を設定してください。	2
—	IN1	VDD	入力	プルダウン (380[kΩ])	EN端子	P15 / TRDI0B0	ゲートドライバ制御用入力1 モータを駆動する前にGDSELAレジスタのHOA_SELビットに"001b"を設定してください。	2
—	nFAULT	VDD	オープン・ ドレイン出力	Hi-Z	EN端子	P52 / INTP1	Fault状態検知信号出力 MCU内蔵プルアップ抵抗を有効にする必要があります。	3
25	nSMPL	VDD	入力	プルダウン (380[kΩ])	DAz_SH (z = 1, 2, 3) / BEMF_SH ビット	P17	差動アンプ、またはBEMF検出アンプのサンプリング制御入力	4
—	nSCS	VDD	入力	プルアップ (380[kΩ])	EN端子	P05	SPI用チップ選択入力	5
—	SCLK	VDD	入力	プルダウン (380[kΩ])	EN端子	P30 / SCK00	SPI用クロック入力	5
—	SDI	VDD	入力	プルダウン (380[kΩ])	EN端子	P51 / SO00	SPI用データ入力	5
—	SDO	VDD	オープン・ ドレイン出力	Hi-Z	EN端子	P50 / SI00	SPI用データ出力 MCU内蔵プルアップ抵抗を有効にする必要があります。	3, 5
26	PC	VCC (VCC5V)	出力	プルダウン (1[kΩ])	EN端子	—	降圧スイッチングレギュレータの位相補償用gmアンプ出力 降圧スイッチングレギュレータが有効になると、プルダウン抵抗は無効になります。	
27	FB	VCC (VCC5V)	入力	—	EN端子	—	降圧スイッチングレギュレータの電圧フィードバック入力 (Ref. = 0.8[V])	
28	VM	VM	電源	—	—	—	電源入力 VMとアナログGND間にバイパスコンデンサを接続。	
29	SW1	VM	出力	Hi-Z	EN端子	—	降圧スイッチングレギュレータのスイッチノード	
30	VDRV	VDRV	電源	—	EN端子	—	降圧スイッチングレギュレータ用出力、およびLowサイドゲートドライバ電源 バイパスコンデンサをVDRVとアナログGND間に接続。	
31	CPL	VDRV	出力	プルダウン (100[kΩ])	EN端子	—	チャージポンプLowサイドのスイッチノード フライングコンデンサをCPHとCPL端子間に接続。	
32	CPH	VCP	出力	Hi-Z	EN端子	—	チャージポンプHighサイドのスイッチノード フライングコンデンサをCPHとCPL端子間に接続。	

Note1 : 出力信号の衝突を避けるため、EN 端子を Low にする前に MCU のポートをデジタル入力ポートに設定してください。

Note2 : 予期しないゲートドライバ出力を回避するため、EN 端子を High にする前、または異常状態の回復する前に、MCU から INz (z = 1, 2, 3, 4, 5, 6) 端子に Low を入力してください。詳細は、第 4 章の Smart Gate Driver の制御シーケンスを参照してください。

Note3 : MCU のリセット解除後、MCU のレジスタ設定により、内蔵プルアップ抵抗を有効にしてください。

Note4 : P17 (nSMPL) を MCU の端子として使用する場合は、BEMF_SH と DAz_SH (z = 1, 2, 3) ビットを全て"0b"に設定してください。

Note5 : EN 端子が High になった後、SPI 通信が有効になります。

表 3-2 端子機能 (2 / 2)

外部接続 端子番号	Smart Gate Driver 端子名称	I/O				RL78/G1F 端子名称	Smart Gate Driver端子機能	Note
		レベル	タイプ	初期 (EN = Low)	有効制御			
33	VCP	VCP	電源	—	EN端子	—	チャージポンプ出力 出力コンデンサをVBRIDGEとVCP端子間に接続	
34	VBRIDGE	VBRIDGE	入力	—	EN端子	—	チャージポンプ出力の基準電圧 HighサイドMOSFETのドレイン検知入力 出力コンデンサをVBRIDGEV端子とパワーGND間に接続	
35	HOA	VCP	出力	HSAにプルダウン (200[kΩ])	EN端子	—	A相Highサイドのゲートドライバ出力 HighサイドMOSFETゲートと接続	6
36	HSA	VBRIDGE	入力	プルダウン (300[kΩ])	EN端子	—	A相Highサイドのソース検知入力。 HighサイドのMOSFETソースと接続	
37	LOA	VDRV	出力	EPADにプルダウン (200[kΩ])	EN端子	—	A相Lowサイドのゲートドライバ出力。 LowサイドのMOSFETゲートと接続	6
39	HOB	VCP	出力	HSBにプルダウン (200[kΩ])	EN端子	—	B相Highサイドのゲートドライバ出力 HighサイドMOSFETゲートと接続	6
40	HSB	VBRIDGE	入力	プルダウン (300[kΩ])	EN端子	—	B相Highサイドのソース検知入力。 HighサイドのMOSFETソースと接続	
41	LOB	VDRV	出力	EPADにプルダウン (200[kΩ])	EN端子	—	B相Lowサイドのゲートドライバ出力。 LowサイドのMOSFETゲートと接続	6
43	HOC	VCP	出力	HSCにプルダウン (200[kΩ])	EN端子	—	C相Highサイドのゲートドライバ出力 HighサイドMOSFETゲートと接続	6
44	HSC	VBRIDGE	入力	プルダウン (300[kΩ])	EN端子	—	C相Highサイドのソース検知入力。 HighサイドのMOSFETソースと接続	
45	LOC	VDRV	出力	EPADにプルダウン (200[kΩ])	EN端子	—	C相Lowサイドのゲートドライバ出力。 LowサイドのMOSFETゲートと接続	6
46	PGND	GND	GND	—	—	—	外部パワー段のGNDセンス入力	
47	DA1P	VDD	入力	—	DA1_EN / DIS_CS1OCP ビット	—	差動アンプ1のPositive側入力 本端子の端子機能を使用しない場合、アナログGNDに接続してください。	
48	DA1N	VDD	入力	—	DA1_EN / DIS_CS1OCP ビット	—	差動アンプ1のNegative側入力 本端子の端子機能を使用しない場合、アナログGNDに接続してください。	
49	DA2P / CMP2P	VDD	入力	—	DA2_EN / DIS_CS2OCP / CMP2_VTH ビット	—	差動アンプ2のPositive側入力、およびコンパレータ2のPositive側入力 本端子の端子機能を使用しない場合、アナログGNDに接続してください。	
50	DA2N	VDD	入力	—	DA2_EN / DIS_CS2OCP ビット	—	差動アンプ2のNegative側入力 本端子の端子機能を使用しない場合、アナログGNDに接続してください。	
51	DA3P / CMP3P	VDD	入力	—	DA3_EN / DIS_CS3OCP / CMP3_VTH ビット	—	差動アンプ3のPositive側入力、およびコンパレータ3のPositive側入力 本端子の端子機能を使用しない場合、アナログGNDに接続してください。	
52	DA3N / CMP1P	VDD	入力	—	DA3_EN / DIS_CS3OCP / CMP1_VTH ビット	—	差動アンプ3のNegative側入力、およびコンパレータ1のPositive側入力 本端子の端子機能を使用しない場合、アナログGNDに接続してください。	
53	VDD	VDD	電源	—	—	—	内蔵シリーズレギュレータ出力、および出力バッファ用電源 出力コンデンサをVDDとアナログGND間に接続。	7
54	AGND	GND	GND	—	—	—	デバイスのアナログ用GND	
55	FBLDO	VCC (VCC5V)	入力	—	—	—	内蔵シリーズレギュレータの電圧フィードバック (Ref. = 1.2[V])	
56	VCC (VCC5V)	VCC (VCC5V)	電源	—	—	—	内蔵シリーズレギュレータ出力 (5[V]) 出力コンデンサをVCC (VCC5V) とアナログGND間に接続	7
57	DA3O / MUX1	VDD	出力	プルダウン (330[kΩ])	DA3_EN / MUX ビット	P25 / AN15	差動アンプ3の出力、BEMF検出アンプ出力、アナログマルチプレクサ出力 プルダウン抵抗は、MUX[2:0]ビットが"000b"のとき有効になります。	8
—	DA2O	VDD	出力	プルダウン (330[kΩ])	DA2_EN ビット	P26 / AN16	差動アンプ2の出力 プルダウン抵抗は、差動アンプ2が有効になると無効になります。	
—	EPAD (Thermal PAD)	GND	GND	—	—	—	チャージポンプ、およびゲートドライバ用のパワーGND 外部パワーGNDとの接続が必要です。	

Note6 : HOx - HSx (x = A, B, C) 端子間、および LOx (x = A, B, C) - EPAD 端子間にはプルダウン抵抗が内蔵されていますが、外付け MOSFET の電源スルーレートに応じて、外付けのプルダウン抵抗が必要になります。

Note7 : EN 端子と動作モードに応じて、VDD と VCC5V の負荷能力が異なります。推奨動作条件は「**RAJ306102 データシート (R1RDS0039JJ)**」の 5.3 を参照してください。

Note8 : 外部出力端子を MCU の ADC 入力端子として使用する場合、プルダウン抵抗 (330[kΩ]) を考慮してください。

3.2 Control Register

Smart Gate Driver には、異常検出内容の確認、異常検出や機能ブロックの有効 / 無効の設定、ゲートドライバのスイッチング特性の調整、センシングブロックの動作モード、ゲイン設定などを行うため、Control Register を内蔵しています。Control Register は、Smart Gate Driver の EN 端子を High にした後、SPI 通信が有効となりレジスタ設定が可能になります。ただし、レジスタ設定は、Operating Mode に遷移した後に実行することを推奨します。レジスタ設定後に、Sleep Mode、または Shutdown Mode に遷移すると全てのレジスタがリセットされるため、Operating Mode に遷移した後は、各レジスタを再設定する必要があります。

図 3-2 に SPI 通信フォーマットを、表 3-3 に Control Register のレジスタマップを示します。MCU の通信端子の設定は、2.1.4.2 を参照してください。

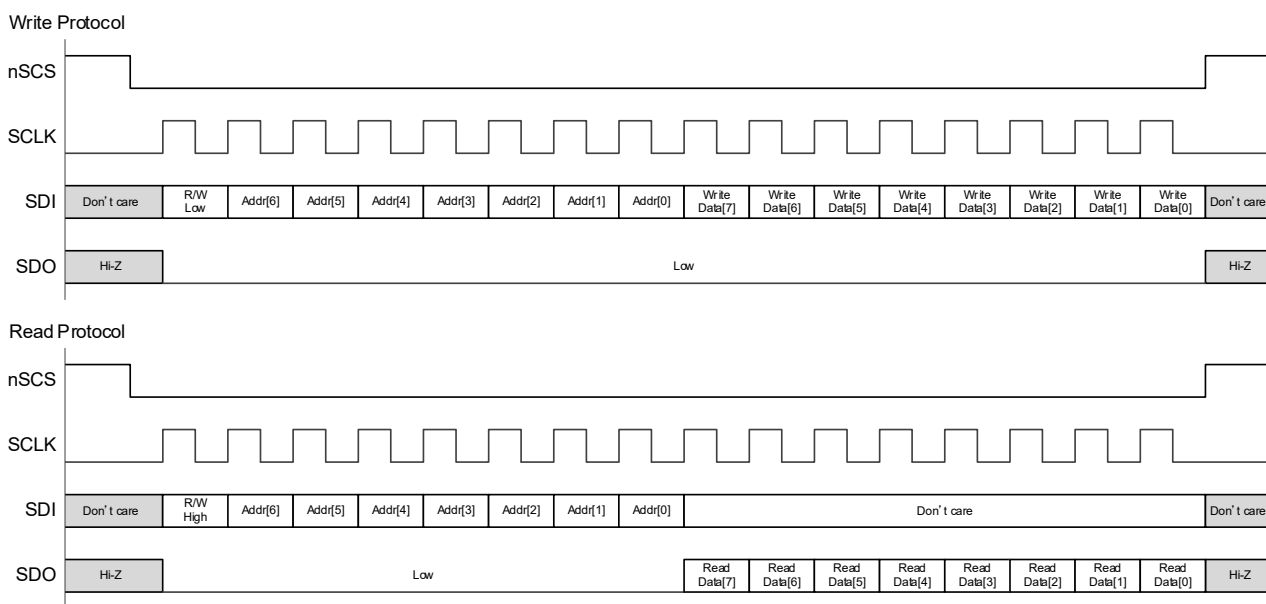


図 3-2 SPI 通信フォーマット

表 3-3 Control Register のレジスタマップ

Address	Register Name	Symbol	Access Type	Initial value	7	6	5	4	3	2	1	0
0x00	Fault Status 0	FLTSTS0	R	00h	FAULT	SR_FAULT	OV_UVLO	VDS_OCP	VGS_FAULT	CS_OCP	OTSD	TWARN
0x01	Fault Status 1	FLTSTS1	R	00h	VDRV_UV	VDRV_OV	SR_OCP	VCP_UV	VM_UV	VM_OV	N/A	N/A
0x02	Fault Status 2	FLTSTS2	R	00h	VDSHA_OCP	VDSL_A_OCP	VGSHA_FAULT	VGSLA_FAULT	VDSHB_OCP	VDSL_B_OCP	VGSHB_FAULT	VGSLB_FAULT
0x03	Fault Status 3	FLTSTS3	R	00h	VDSHC_OCP	VDSL_C_OCP	VGSHC_FAULT	VGSLC_FAULT	N/A	CS1_OCP	CS2_OCP	CS3_OCP
0x04	Fault Control 1	FLTCTL1	R/W	00h	DIS_VDRVUV	DIS_VDRVOV	DIS_SROC	DIS_VCPUV	DIS_VMUUV	DIS_VMOUV	DIS_OTSD	TWARN_REP
0x05	Fault Control 2	FLTCTL2	R/W	07h	CSOCP_MODE1	CSOCP_MODE0	VDSOCP_MODE1	VDSOCP_MODE0	DIS_VGSFLT	DIS_CS1OCP	DIS_CS2OCP	DIS_CS3OCP
0x06	IC Control 1	ICCTL1	R/W	35h	CLR_FLT	WRITE_LOCK2	WRITE_LOCK1	WRITE_LOCK0	PWMODE	CSOCP_TH2	CSOCP_TH1	CSOCP_TH0
0x07	IC Control 2	ICCTL2	R/W	50h	DEAD_TIME1	DEAD_TIME0	T_GT1	T_GT0	BEMF_EN	DA1_EN	DA2_EN	DA3_EN
0x08	Gate Driver Control	GDCCTL	R/W	FFh	ISRC_HS3	ISRC_HS2	ISRC_HS1	ISRC_HS0	ISRC_LS3	ISRC_LS2	ISRC_LS1	ISRC_LS0
0x09	Over Current Protection Control	OCPCCTL	R/W	00h	VDS_TH3	VDS_TH2	VDS_TH1	VDS_TH0	TRETRY_CS0CP	TRETRY_VDSOCP	DEG_TIME1	DEG_TIME0
0x0A	Phase-A Gate Driver Input Selection	GDSELA	R/W	14h	CMP1_HYS	HOA_SEL2	HOA_SEL1	HOA_SEL0	VMUV_TH	LOA_SEL2	LOA_SEL1	LOA_SEL0
0x0B	Phase-B Gate Driver Input Selection	GDSELB	R/W	25h	CMP2_HYS	HOB_SEL2	HOB_SEL1	HOB_SEL0	PDMODE	LOB_SEL2	LOB_SEL1	LOB_SEL0
0x0C	Phase-C Gate Driver Input Selection	GDSELC	R/W	36h	CMP3_HYS	HOC_SEL2	HOC_SEL1	HOC_SEL0	CPUV_TH	LOC_SEL2	LOC_SEL1	LOC_SEL0
0x0D	Sense Block Control 1	SNSCTL1	R/W	AAh	BEMF_GAIN1	BEMF_GAIN0	DA1_GAIN1	DA1_GAIN0	DA2_GAIN1	DA2_GAIN0	DA3_GAIN1	DA3_GAIN0
0x0E	Sense Block Control 2	SNSCTL2	R/W	00h	CAL_BCONN	BEMF_PH2	BEMF_PH1	BEMF_PH0	BEMF_SH	DA1_SH	DA2_SH	DA3_SH
0x0F	Sense Block Control 3	SNSCTL3	R/W	88h	CMP1_VTH3	CMP1_VTH2	CMP1_VTH1	CMP1_VTH0	CMP2_VTH3	CMP2_VTH2	CMP2_VTH1	CMP2_VTH0
0x10	Sense Block Control 4	SNSCTL4	R/W	80h	CMP3_VTH3	CMP3_VTH2	CMP3_VTH1	CMP3_VTH0	CAL_CONN	CAL_DA1	CAL_DA2	CAL_DA3/BEMF
0x11	Sense Block Control 5	SNSCTL5	R/W	00h	DIS_SADT	RESERVED12_6	CTL6_UNLOCK	RESERVED11_4	RESERVED11_3	MUX2	MUX1	MUX0
0x12	Sense Block Control 6	SNSCTL6	R/W	40h	RESERVED12_7	BEMF_OFFSET	RESERVED12_5	RESERVED12_4	RESERVED12_3	RESERVED12_2	RESERVED12_1	GD_AOR

3.2.1 レジスタ説明

3.2.1.1 Fault Status 0 レジスタ : FLTSTS0 アドレス = 00h : [初期値 = 00h]

図 3-3、および表 3-4 に Fault Status 0 レジスタの詳細を示します。

図 3-3 Fault Status 0 レジスタ : FLTSTS0 の構成

7	6	5	4	3	2	1	0
FAULT	SR_FAULT	OV_UVLO	VDS_OCP	VGS_FAULT	CS_OCP	OTSD	TWARN
R:0b	R:0b	R:0b	R:0b	R:0b	R:0b	R:0b	R:0b

表 3-4 Fault Status 0 レジスタ : FLTSTS0 の説明

Bit	Field	Type	Default	Description
7	FAULT	R	0b	全てのFault Statusビットの論理和
6	SR_FAULT	R	0b	降圧スイッチングレギュレータのFault Statusビット (VDRV_UV, VDRV_OV, SR_OCP) の論理和
5	OV_UVLO	R	0b	チャージポンプの電圧降下用のFault Statusビット (VCP_UV) と、VMの電圧降下、および過電圧のFault Statusビット (VM_UV, VM_OV) の論理和
4	VDS_OCP	R	0b	MOSFETのVds過電流のFault Statusビット (VDSHx_OCP, VDSLx_OCP (x = A, B, C)) の論理和
3	VGS_FAULT	R	0b	MOSFETのVgs異常のFault Statusビット (VGSx_FAULT, VGSx_FAULT (x = A, B, C)) の論理和
2	CS_OCP	R	0b	シャント抵抗の過電流検出のFault Statusビット (CSz_OCP (z = 1, 2, 3)) の論理和
1	OTSD	R	0b	サーマルシャットダウン (Tsd) のインジケータ
0	TWARN	R	0b	サーマルワーニング (TWARN) のインジケータ

Note1 : Fault status レジスタは、ICCTL1 レジスタの CLR_FLT ビットに“1b”を設定、または EN 端子に復帰用 Low パルス (>tsleep : 0.85[ms]) の入力することでリセットされます。

3.2.1.2 Fault Status 1 レジスタ : FLTSTS1 アドレス = 01h : [初期値 = 00h]

図 3-4、および表 3-5 に Fault Status 1 レジスタの詳細を示します。

図 3-4 Fault Status 1 レジスタ : FLTSTS1 の構成

7	6	5	4	3	2	1	0
VDRV_UV	VDRV_OV	SR_OCP	VCP_UV	VM_UV	VM_OV	N/A	N/A
R:0b	R:0b	R:0b	R:0b	R:0b	R:0b	R:0b	R:0b

表 3-5 Fault Status 1 レジスタ : FLTSTS1 の説明

Bit	Field	Type	Default	Description
7	VDRV_UV	R	0b	VDRV電圧降下 (Vdrvuv) のインジケータ
6	VDRV_OV	R	0b	VDRV過電圧 (Vdrvov) のインジケータ
5	SR_OCP	R	0b	降圧スイッチングレギュレータの過電流 (loc2_sr) のインジケータ
4	VCP_UV	R	0b	チャージポンプ電圧降下 (Vcpuv) のインジケータ
3	VM_UV	R	0b	VM電圧降下 (Vmvuv) のインジケータ
2	VM_OV	R	0b	VM過電圧 (Vmov) のインジケータ
1	N/A	R	0b	Not assigned
0	N/A	R	0b	Not assigned

Note1 : Fault status レジスタは、ICCTL1 レジスタの CLR_FLT ビットに“1b”を設定、または EN 端子に復帰用 Low パルス (>tsleep : 0.85[ms]) の入力することでリセットされます。

3.2.1.3 Fault Status 2 レジスタ : FLTSTS2 アドレス = 02h : [初期値 = 00h]

図 3-5、および表 3-6 に Fault Status 2 レジスタの詳細を示します。

図 3-5 Fault Status 2 レジスタ : FLTSTS2 の構成

7	6	5	4	3	2	1	0
VDSHA_OCP	VDSL_A_OCP	VGSHA_FAULT	VGSLA_FAULT	VDSHB_OCP	VDSL_B_OCP	VGSHB_FAULT	VGSLB_FAULT
R:0b	R:0b	R:0b	R:0b	R:0b	R:0b	R:0b	R:0b

表 3-6 Fault Status 2 レジスタ : FLTSTS2 の説明

Bit	Field	Type	Default	Description
7	VDSHA_OCP	R	0b	A相HighサイドMOSFETのV _{DS} 過電流 (V _{DSOCP}) のインジケータ
6	VDSL_A_OCP	R	0b	A相LowサイドMOSFETのV _{DS} 過電流 (V _{DSOCP}) のインジケータ
5	VGSHA_FAULT	R	0b	A相HighサイドMOSFETのV _{GS} 異常のインジケータ
4	VGSLA_FAULT	R	0b	A相LowサイドMOSFETのV _{GS} 異常のインジケータ
3	VDSHB_OCP	R	0b	B相HighサイドMOSFETのV _{DS} 過電流 (V _{DSOCP}) のインジケータ
2	VDSL_B_OCP	R	0b	B相LowサイドMOSFETのV _{DS} 過電流 (V _{DSOCP}) のインジケータ
1	VGSHB_FAULT	R	0b	B相HighサイドMOSFETのV _{GS} 異常のインジケータ
0	VGSLB_FAULT	R	0b	B相LowサイドMOSFETのV _{GS} 異常のインジケータ

Note1 : Fault status レジスタは、ICCTL1 レジスタの CLR_FLT ビットに“1b”を設定、または EN 端子に復帰用 Low パルス (>tsleep : 0.85[ms]) の入力することでリセットされます。

3.2.1.4 Fault Status 3 レジスタ : FLTSTS3 アドレス = 03h : [初期値 = 00h]

図 3-6、および表 3-7 に Fault Status 3 レジスタの詳細を示します。

図 3-6 Fault Status 3 レジスタ : FLTSTS3 の構成

7	6	5	4	3	2	1	0
VDSHC_OCP	VDSL_C_OCP	VGSHC_FAULT	VGSLC_FAULT	N/A	CS1_OCP	CS2_OCP	CS3_OCP
R:0b	R:0b	R:0b	R:0b	R:0b	R:0b	R:0b	R:0b

表 3-7 Fault Status 3 レジスタ : FLTSTS3 の説明

Bit	Field	Type	Default	Description
7	VDSHC_OCP	R	0b	C相HighサイドMOSFETのV _{DS} 過電流 (V _{DSOCP}) のインジケータ
6	VDSL_C_OCP	R	0b	C相LowサイドMOSFETのV _{DS} 過電流 (V _{DSOCP}) のインジケータ
5	VGSHC_FAULT	R	0b	C相HighサイドMOSFETのV _{GS} 異常のインジケータ
0	VGSLC_FAULT	R	0b	C相LowサイドMOSFETのV _{GS} 異常のインジケータ
3	N/A	R	0b	Not Assigned
2	CS1_OCP	R	0b	DA1P, DA1Nへの差動入力に対するシャント抵抗の過電流検出 (VCSOCP) のインジケータ
1	CS2_OCP	R	0b	DA2P, DA2Nへの差動入力に対するシャント抵抗の過電流検出 (VCSOCP) のインジケータ
0	CS3_OCP	R	0b	DA3P, DA3Nへの差動入力に対するシャント抵抗の過電流検出 (VCSOCP) のインジケータ

Note1 : Fault status レジスタは、ICCTL1 レジスタの CLR_FLT ビットに“1b”を設定、または EN 端子に復帰用 Low パルス (>tsleep : 0.85[ms]) の入力することでリセットされます。

3.2.1.5 Fault Control 1 レジスタ : FLTCTL1 アドレス = 04h : [初期値 = 00h]

図 3-7、および表 3-8 に Fault Control 1 レジスタの詳細を示します。

図 3-7 Fault Control 1 レジスタ : FLTCTL1 の構成

7	6	5	4	3	2	1	0
DIS_VDRVUV	DIS_VDRVOV	DIS_SROC	DIS_VCPUV	DIS_VMUUV	DIS_VMOV	DIS_OTSD	TWARN_REP
R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b

表 3-8 Fault Control 1 レジスタ : FLTCTL1 の説明

Bit	Field	Type	Default	Description
7	DIS_VDRVUV	R/W	0b	"1b"の書き込みでVDRV電圧降下 (VDRVUV) の検出は通知のみ実行
6	DIS_VDRVOV	R/W	0b	"1b"の書き込みでVDRV過電圧 (VDRVOV) の検出は通知のみ実行
5	DIS_SROC	R/W	0b	"1b"の書き込みで降圧スイッチングレギュレータ過電流 (Ioc2_SR) の検出は通知のみ実行
4	DIS_VCPUV	R/W	0b	"1b"の書き込みでVCP電圧降下 (VCPUV) の検出は通知のみ実行
3	DIS_VMUUV	R/W	0b	"1b"の書き込みでVM電圧降下 (VMUUV) の検出は通知のみ実行
2	DIS_VMOV	R/W	0b	"1b"の書き込みでVM過電圧 (VMOV) の検出は通知のみ実行
1	DIS_OTSD	R/W	0b	"1b"の書き込みでサーマルシャットダウン (TSD) の検出は通知のみ実行
0	TWARN_REP	R/W	0b	"0b": サーマルワーニング (TWARN) はTWARNビットでの通知のみを実行 "1b": サーマルワーニング (TWARN) はTWARNビット、およびnFAULTでの通知を実行

3.2.1.6 Fault Control 2 レジスタ : FLTCTL2 アドレス = 05h : [初期値 = 07h]

図 3-8、および表 3-9 に Fault Control 2 レジスタの詳細を示します。

図 3-8 Fault Control 2 レジスタ : FLTCTL2 の構成

7	6	5	4	3	2	1	0
CSOCP_MODE1	CSOCP_MODE0	VDSOCP_MODE1	VDSOCP_MODE0	DIS_VGSFLT	DIS_CS1OCP	DIS_CS2OCP	DIS_CS3OCP
R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 1b	R/W : 1b	R/W : 1b

表 3-9 Fault Control 2 レジスタ : FLTCTL2 の説明

Bit	Field	Type	Default	Description
7	CSOCP_MODE1	R/W	0b	シャント抵抗の過電流 (VCSOCP) を検出した際の動作モード設定 00b : Latched Shutdown モード ^{Note2} (異常検出後、解除するまで保護動作を継続) 01b : Automatic Retryモード (異常検出後、保護動作を実行するが、保護動作は時間経過で解除)
6	CSOCP_MODE0	R/W	0b	10b : Report Onlyモード (異常検出のみ有効) 11b : Disabledモード (異常検出は無効)
5	VDSOCP_MODE1	R/W	0b	MOSFETのVDS過電流 (VDSOCP) を検出した際の動作モード設定 00b : Latched Shutdown モード ^{Note2} (異常検出後、解除するまで保護動作を継続) 01b : Automatic Retryモード (異常検出後、保護動作を実行するが、保護動作は時間経過で解除)
4	VDSOCP_MODE0	R/W	0b	10b : Report Onlyモード (異常検出のみ有効) 11b : Disabledモード (異常検出は無効)
3	DIS_VGSFLT	R/W	0b	"1b"の書き込みでMOSFETのVGS異常の検出を無効
2	DIS_CS1OCP	R/W	1b	"1b"の書き込みでDA1P, DA1Nへの差動入力に対するシャント抵抗の過電流 (VCSOCP) の検出を無効
1	DIS_CS2OCP	R/W	1b	"1b"の書き込みでDA2P, DA2Nへの差動入力に対するシャント抵抗の過電流 (VCSOCP) の検出を無効
0	DIS_CS3OCP	R/W	1b	"1b"の書き込みでDA3P, DA3Nへの差動入力に対するシャント抵抗の過電流 (VCSOCP) の検出を無効

Note2 : Latched Shutdown モードの保護動作は、ICCTL1 レジスタの CLR_FLT ビットに"1b"を設定、または EN 端子に復帰用 Low パルス (>tsleep : 0.85[ms]) の入力することで解除されます。

3.2.1.7 IC Control 1 レジスタ : ICCTL1 アドレス = 06h : [初期値 = 35h]

図 3-9、および表 3-10 に IC Control 1 レジスタの詳細を示します。

図 3-9 IC Control 1 レジスタ : ICCTL1 の構成

7	6	5	4	3	2	1	0
CLR_FLT	WRITE_LOCK2	WRITE_LOCK1	WRITE_LOCK0	PWMMODE	CSOCP_TH2	CSOCP_TH1	CSOCP_TH0
R/W : 0b	R/W : 0b	R/W : 1b	R/W : 1b	R/W : 0b	R/W : 1b	R/W : 0b	R/W : 1b

表 3-10 IC Control 1 レジスタ : ICCTL1 の説明

Bit	Field	Type	Default	Description
7	CLR_FLT	R/W	0b	"1b"の書き込みで全てのfault statusレジスタのフラグビットをクリアを実行 このビットは自動的に"0b"にクリアされます。
6	WRITE_LOCK2	R/W	0b	"110b"の書き込みでロック状態になり、WRITE_LOCKビット以外への書き込みを禁止 "011b"の書き込みでロック状態を解除し、レジスタへの書き込みを許可 本ビットへの他のビットパターンの書き込みは無効となり、書き込み前の値を保持する
5	WRITE_LOCK1	R/W	1b	
4	WRITE_LOCK0	R/W	1b	
3	PWMMODE	R/W	0b	ゲートドライバ制御モード 0b : 3相 H/LIモード, 1b : 3相PWMモード
2	CSOCP_TH2	R/W	1b	DAzP, DAzN (z = 1, 2, 3) 入力によるシャント抵抗の過電流 (V _{CSOCP}) の検出閾値電圧設定 000b : 51[mV], 001b : 105[mV], 010b : 157[mV], 011b : 208[mV], 100b : 260[mV], 101b : 516[mV], 110b : 773[mV], 111b : 1029[mV]
1	CSOCP_TH1	R/W	0b	
0	CSOCP_TH0	R/W	1b	

3.2.1.8 IC Control 2 レジスタ : ICCTL2 アドレス = 07h : [初期値 = 50h]

図 3-10、および表 3-11 に IC Control 2 レジスタの詳細を示します。

図 3-10 IC Control 2 レジスタ : ICCTL2 の構成

7	6	5	4	3	2	1	0
DEAD_TIME1	DEAD_TIME0	T_GT1	T_GT0	BEMF_EN	DA1_EN	DA2_EN	DA3_EN
R/W : 0b	R/W : 1b	R/W : 0b	R/W : 1b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b

表 3-11 IC Control 2 レジスタ : ICCTL2 の説明

Bit	Field	Type	Default	Description
7	DEAD_TIME1	R/W	0b	アダプティブデッドタイム制御のエクストラデッドタイム (t _{br}) の設定 00b : 50[ns], 01b : 100[ns], 10b : 200[ns], 11b : 400[ns]
6	DEAD_TIME0	R/W	1b	
5	T_GT1	R/W	0b	アダプティブデッドタイム制御の最大ゲート遷移時間 (t _{GT}) の設定 00b : 500[ns], 01b : 1000[ns], 10b : 2000[ns], 11b : 4000[ns]
4	T_GT0	R/W	1b	
3	BEMF_EN	R/W	0b	"1b"の書き込みでBEMF検出アンプが有効
2	DA1_EN	R/W	0b	"1b"の書き込みで差動アンプ1が有効
1	DA2_EN	R/W	0b	"1b"の書き込みで差動アンプ2が有効
0	DA3_EN	R/W	0b	"1b"の書き込みで差動アンプ3が有効

3.2.1.9 Gate Drive Control レジスタ : GDCTL アドレス = 08h : [初期値 = FFh]

図 3-11、および表 3-12 に Gate Drive Control レジスタの詳細を示します。

図 3-11 Gate Drive Control レジスタ : GDCTL の構成

7	6	5	4	3	2	1	0
ISRC_HS3	ISRC_HS2	ISRC_HS1	ISRC_HS0	ISRC_LS3	ISRC_LS2	ISRC_LS1	ISRC_LS0
R/W : 1b	R/W : 1b	R/W : 1b	R/W : 1b	R/W : 1b	R/W : 1b	R/W : 1b	R/W : 1b

表 3-12 Gate Drive Control レジスタ : GDCTL の説明

Bit	Field	Type	Default	Description
7	ISRC_HS3	R/W	1b	Highサイドゲートドライバ出力のソース電流設定 (シンク電流設定は、ソース電流の2倍です。) 0000b : 50[mA], 0001b : 60[mA], 0010b : 70[mA], 0011b : 80[mA], 0100b : 100[mA], 0101b : 120[mA], 0110b : 140[mA], 0111b : 160[mA], 1000b : 200[mA], 1001b : 240[mA], 1010b : 280[mA], 1011b : 320[mA], 1100b : 400[mA], 1101b : 480[mA], 1110b : 560[mA], 1111b : 640[mA]
6	ISRC_HS2	R/W	1b	
5	ISRC_HS1	R/W	1b	
4	ISRC_HS0	R/W	1b	
3	ISRC_LS3	R/W	1b	Lowサイドゲートドライバ出力のソース電流設定 (シンク電流設定は、ソース電流の2倍です。) 0000b : 50[mA], 0001b : 60[mA], 0010b : 70[mA], 0011b : 80[mA], 0100b : 100[mA], 0101b : 120[mA], 0110b : 140[mA], 0111b : 160[mA], 1000b : 200[mA], 1001b : 240[mA], 1010b : 280[mA], 1011b : 320[mA], 1100b : 400[mA], 1101b : 480[mA], 1110b : 560[mA], 1111b : 640[mA]
2	ISRC_LS2	R/W	1b	
1	ISRC_LS1	R/W	1b	
0	ISRC_LS0	R/W	1b	

3.2.1.10 Overcurrent Protection Control レジスタ : OCPCTL アドレス = 09h : [初期値 = 00h]

図 3-12、および表 3-13 に Overcurrent Protection Control レジスタの詳細を示します。

図 3-12 Overcurrent Protection Control レジスタ : OCPCTL の構成

7	6	5	4	3	2	1	0
VDS_TH3	VDS_TH2	VDS_TH1	VDS_TH0	TRETRY_CSOC	TRETRY_VDSOCP	DEG_TIME1	DEG_TIME0
R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b

表 3-13 Overcurrent Protection Control レジスタ : OCPCTL の説明

Bit	Field	Type	Default	Description
7	VDS_TH3	R/W	0b	V _{DS} 過電流 (V _{DSOCP}) の検出閾値電圧設定 0000b : 40[mV], 0001b : 60[mV], 0010b : 80[mV], 0011b : 120[mV], 0100b : 160[mV], 0101b : 200[mV], 0110b : 240[mV], 0111b : 320[mV], 1000b : 400[mV], 1001b : 480[mV], 1010b : 600[mV], 1011b : 720[mV], 1100b : 960[mV], 1101b : 1200[mV], 1110b : 1600[mV], 1111b : 2000[mV]
6	VDS_TH2	R/W	0b	
5	VDS_TH1	R/W	0b	
4	VDS_TH0	R/W	0b	
3	TRETRY_CSOC	R/W	0b	CSOC _{MODE} が"01b" (Automatic Retryモード) の場合、シャント抵抗の過電流 (V _{CSOC}) の検出後、動作停止から自動再開までの待ち時間設定 0b : 4000[μs], 1b : 70[μs]
2	TRETRY_VDSOCP	R/W	0b	V _{DSOCP} _{MODE} が"01b" (Automatic Retryモード) の場合、MOSFETのV _{DS} 過電流 (V _{DSOCP}) の検出後、動作停止から自動再開までの待ち時間設定 0b : 4000[μs], 1b : 70[μs]
1	DEG_TIME1	R/W	0b	シャント抵抗の過電流 (V _{CSOC}) の検出、およびV _{DS} 過電流 (V _{DSOCP}) の検出の判定時間設定 00b : 1.57[μs], 01b : 2.38[μs], 10b : 3.49[μs], 11b : 5.73[μs]
0	DEG_TIME0	R/W	0b	

3.2.1.11 Phase-A Gate Driver Input Selection レジスタ : GDSELA アドレス = 0Ah : [初期値 = 14h]

図 3-13、および表 3-14 に Phase-A Gate Driver Input Selection レジスタを示します。

図 3-13 Phase-A Gate Driver Input Selection レジスタ : GDSELA の構成

7	6	5	4	3	2	1	0
CMP1_HYS	HOA_SEL2	HOA_SEL1	HOA_SEL0	VMUV_TH	LOA_SEL2	LOA_SEL1	LOA_SEL0
R/W : 0b	R/W : 0b	R/W : 0b	R/W : 1b	R/W : 0b	R/W : 1b	R/W : 0b	R/W : 0b

表 3-14 Phase-A Gate Driver Input Selection レジスタ : GDSELA の説明

Bit	Field	Type	Default	Description
7	CMP1_HYS	R/W	0b	コンパレータ1のヒステリシスの設定 0b : +/-44[mV], 1b : 0[mV]
6	HOA_SEL2	R/W	0b	A相のHighサイドゲートドライバの入力選択 ^{Note3} 000b : Lo fix, 001b : IN1, 010b : IN2, 011b : IN3, 100b : IN4, 101b : IN5, 110b : IN6, 111b : Hi-Z
5	HOA_SEL1	R/W	0b	
4	HOA_SEL0	R/W	1b	
3	VMUV_TH	R/W	0b	VM電圧降下 (V _{MUV}) の閾値電圧設定 0b : VM < 5.3[V], 1b : VM < 7.5[V]
2	LOA_SEL2	R/W	1b	A相のLowサイドゲートドライバの入力選択 ^{Note3} 000b : Lo fix, 001b : IN1, 010b : IN2, 011b : IN3, 100b : IN4, 101b : IN5, 110b : IN6, 111b : Hi-Z
1	LOA_SEL1	R/W	0b	
0	LOA_SEL0	R/W	0b	

Note3 : HO_x_SEL、または LO_x_SEL ビット (x = A, B, C) に"111b"が設定された場合、ゲートドライバのソース / シンク電流はオフ (Hi-Z) になります。

3.2.1.12 Phase-B Gate Driver Input Selection レジスタ : GDSELB アドレス = 0Bh : [初期値 = 25h]

図 3-14、および表 3-15 に Phase-B Gate Driver Input Selection レジスタを示します。

図 3-14 Phase-B Gate Driver Input Selection レジスタ : GDSELB の構成

7	6	5	4	3	2	1	0
CMP2_HYS	HOB_SEL2	HOB_SEL1	HOB_SEL0	PDMODE	LOB_SEL2	LOB_SEL1	LOB_SEL0
R/W : 0b	R/W : 0b	R/W : 1b	R/W : 0b	R/W : 0b	R/W : 1b	R/W : 0b	R/W : 1b

表 3-15 Phase-B Gate Driver Input Selection レジスタ : GDSELB の説明

Bit	Field	Type	Default	Description
7	CMP2_HYS	R/W	0b	コンパレータ2のヒステリシスの設定 0b : +/-44[mV], 1b : 0[mV]
6	HOB_SEL2	R/W	0b	B相のHighサイドゲートドライバの入力選択 ^{Note3} 000b : Lo fix, 001b : IN1, 010b : IN2, 011b : IN3, 100b : IN4, 101b : IN5, 110b : IN6, 111b : Hi-Z
5	HOB_SEL1	R/W	1b	
4	HOB_SEL0	R/W	0b	
3	PDMODE	R/W	0b	シャント抵抗の過電流 (V _{CSOCF}) の検出、およびV _{DS} 過電流 (V _{DSOCF}) の検出後のゲートドライバ出力 0b : Hi-Zプルダウン出力, 1b : Low出力
2	LOB_SEL2	R/W	1b	B相のLowサイドゲートドライバの入力選択 ^{Note3} 000b : Lo fix, 001b : IN1, 010b : IN2, 011b : IN3, 100b : IN4, 101b : IN5, 110b : IN6, 111b : Hi-Z
1	LOB_SEL1	R/W	0b	
0	LOB_SEL0	R/W	1b	

Note3 : HO_x_SEL、または LO_x_SEL ビット (x = A, B, C) に"111b"が設定された場合、ゲートドライバのソース / シンク電流はオフ (Hi-Z) になります。

3.2.1.13 Phase-C Gate Driver Input Selection レジスタ : GDSELC アドレス = 0Ch : [初期値 = 36h]

図 3-15、および表 3-16 に Phase-C Gate Driver Input Selection レジスタを示します。

図 3-15 Phase-C Gate Driver Input Selection レジスタ : GDSELC の構成

7	6	5	4	3	2	1	0
CMP3_HYS	HOC_SEL2	HOC_SEL1	HOC_SEL0	CPUV_TH	LOC_SEL2	LOC_SEL1	LOC_SEL0
R/W : 0b	R/W : 0b	R/W : 1b	R/W : 1b	R/W : 0b	R/W : 1b	R/W : 1b	R/W : 0b

表 3-16 Phase-C Gate Driver Input Selection レジスタ : GDSELC の説明

Bit	Field	Type	Default	Description
7	CMP3_HYS	R/W	0b	コンパレータ3のヒステリシスの設定 0b : +/-44[mV], 1b : 0[mV]
6	HOC_SEL2	R/W	0b	C相のHighサイドゲートドライバの入力選択 ^{Note3} 000b : Lo fix, 001b : IN1, 010b : IN2, 011b : IN3, 100b : IN4, 101b : IN5, 110b : IN6, 111b : Hi-Z
5	HOC_SEL1	R/W	1b	
4	HOC_SEL0	R/W	1b	
3	CPUV_TH	R/W	0b	チャージポンプ電圧降下 (VCPUV) の閾値設定 0b: VCP < 0.58 * VDRV, 1b: VCP < 0.8 * VDRV
2	LOC_SEL2	R/W	1b	C相のLowサイドゲートドライバの入力選択 ^{Note3} 000b : Lo fix, 001b : IN1, 010b : IN2, 011b : IN3, 100b : IN4, 101b : IN5, 110b : IN6, 111b : Hi-Z
1	LOC_SEL1	R/W	1b	
0	LOC_SEL0	R/W	0b	

Note3 : HOx_SEL、または LOx_SEL ビット (x = A, B, C) に“111b”が設定された場合、ゲートドライバのソース / シンク電流はオフ (Hi-Z) になります。

3.2.1.14 Sense Block Control 1 レジスタ : SNSCTL1 アドレス = 0Dh : [初期値 = AAh]

図 3-16、および表 3-17 に Sense Block Control 1 レジスタを示します。

図 3-16 Sense Block Control 1 レジスタ : SNSCTL1 の構成

7	6	5	4	3	2	1	0
BEMF_GAIN1	BEMF_GAIN0	DA1_GAIN1	DA1_GAIN0	DA2_GAIN1	DA2_GAIN0	DA3_GAIN1	DA3_GAIN0
R/W : 1b	R/W : 0b	R/W : 1b	R/W : 0b	R/W : 1b	R/W : 0b	R/W : 1b	R/W : 0b

表 3-17 Sense Block Control 1 レジスタ : SNSCTL1 の説明

Bit	Field	Type	Default	Description
7	BEMF_GAIN1	R/W	1b	BEMF検出アンプのゲインの設定 (DA3_GAINが“00b”の場合) 00b : 0.05[V/V], 01b : 0.1[V/V], 10b : 0.5[V/V], 11b : 1.0[V/V]
6	BEMF_GAIN0	R/W	0b	
5	DA1_GAIN1	R/W	1b	差動アンプ1のゲイン設定 00b : 5[V/V], 01b : 10[V/V], 10b : 20[V/V], 11b : 40[V/V]
4	DA1_GAIN0	R/W	0b	
3	DA2_GAIN1	R/W	1b	差動アンプ2のゲイン設定 00b : 5[V/V], 01b : 10[V/V], 10b : 20[V/V], 11b : 40[V/V]
2	DA2_GAIN0	R/W	0b	
1	DA3_GAIN1	R/W	1b	差動アンプ3のゲイン設定 00b : 5[V/V], 01b : 10[V/V], 10b : 20[V/V], 11b : 40[V/V]
0	DA3_GAIN0	R/W	0b	

3.2.1.15 Sense Block Control 2 レジスタ : SNSCTL2 アドレス = 0Eh : [初期値 = 00h]

図 3-17、および表 3-18 に Sense Block Control 2 レジスタを示します。

図 3-17 Sense Block Control 2 レジスタ : SNSCTL2 の構成

7	6	5	4	3	2	1	0
CAL_BCONN	BEMF_PH2	BEMF_PH1	BEMF_PH0	BEMF_SH	DA1_SH	DA2_SH	DA3_SH
R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b

表 3-18 Sense Block Control 2 レジスタ : SNSCTL2 の説明

Bit	Field	Type	Default	Description
7	CAL_BCONN	R/W	0b	BEMF検出アンプのDCオフセットキャリブレーション中の入力選択 0b : アンプ入力は、BEMF検出アンプのリファレンス電圧 (DAREF) に接続 1b : アンプ入力は、BEMF_PHビットによって選択された相に接続
6	BEMF_PH2	R/W	0b	BEMF検出アンプの検出相設定 ^{Note4} 00xb : nSMPLの立下りエッジごとにゲートドライバの入力信号から自動的に選択。 010b : CMP1O端子、およびCMP2O端子によって選択。 (CMP1O, CMP2O) = (Low, Low) : 未選択, (Low, High) : A相, (High, Low) : B相, (High, High) : C相 011b : CMP1O端子、およびCMP3O端子によって選択。 (CMP1O, CMP3O) = (Low, Low) : 未選択, (Low, High) : A相, (High, Low) : B相, (High, High) : C相 100b : 未選択, 101b : A相, 110b : B相, 111b : C相
5	BEMF_PH1	R/W	0b	
4	BEMF_PH0	R/W	0b	
3	BEMF_SH	R/W	0b	BEMF検出アンプ1のサンプルホールド制御設定 ^{Note4} 0b : サンプリングを継続, 1b : t _{GI} 後、nSMPL信号 = Low、およびPWM ONの間サンプリングを実行
2	DA1_SH	R/W	0b	差動アンプ1のサンプルホールド制御設定 ^{Note4} 0b : サンプリングを継続, 1b : nSMPL信号がLowの間サンプリング実行
1	DA2_SH	R/W	0b	差動アンプ2のサンプルホールド制御設定 ^{Note4} 0b : サンプリングを継続, 1b : nSMPL信号がLowの間サンプリング実行
0	DA3_SH	R/W	0b	差動アンプ3のサンプルホールド制御設定 ^{Note4} 0b : サンプリングを継続, 1b : nSMPL信号がLowの間サンプリング実行

Note4 : 「RAJ306102 データシート (R18DS0039JJ)」の 6.5.2, 6.5.3 を参照してください。

3.2.1.16 Sense Block Control 3 レジスタ : SNSCTL3 アドレス = 0Fh : [初期値 = 88h]

図 3-18、および表 3-19 に Sense Block Control 3 レジスタを示します。

図 3-18 Sense Block Control 3 レジスタ : SNSCTL3 の構成

7	6	5	4	3	2	1	0
CMP1_VTH3	CMP1_VTH2	CMP1_VTH1	CMP1_VTH0	CMP2_VTH3	CMP2_VTH2	CMP2_VTH1	CMP2_VTH0
R/W : 1b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 1b	R/W : 0b	R/W : 0b	R/W : 0b

表 3-19 Sense Block Control 3 レジスタ : SNSCTL3 の説明

Bit	Field	Type	Default	Description
7	CMP1_VTH3	R/W	1b	コンパレータ1の閾値電圧設定 0000b : 無効, 0001b~1111b : 閾値電圧 = VDD / 16 x CMP1_VTH
6	CMP1_VTH2	R/W	0b	
5	CMP1_VTH1	R/W	0b	
4	CMP1_VTH0	R/W	0b	
3	CMP2_VTH3	R/W	1b	コンパレータ2の閾値電圧設定 0000b : 無効, 0001b~1111b : 閾値電圧 = VDD / 16 x CMP2_VTH
2	CMP2_VTH2	R/W	0b	
1	CMP2_VTH1	R/W	0b	
0	CMP2_VTH0	R/W	0b	

3.2.1.17 Sense Block Control 4 レジスタ : SNSCTL4 アドレス = 10h : [初期値 = 80h]

図 3-19、および表 3-20 に Sense Block Control 4 レジスタを示します。

図 3-19 Sense Block Control 4 レジスタ : SNSCTL4 の構成

7	6	5	4	3	2	1	0
CMP3_VTH3	CMP3_VTH2	CMP3_VTH1	CMP3_VTH0	CAL_CONN	CAL_DA1	CAL_DA2	CAL_DA3/BEMF
R/W : 1b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b

表 3-20 Sense Block Control 4 レジスタ : SNSCTL4 の説明

Bit	Field	Type	Default	Description
7	CMP3_VTH3	R/W	1b	コンパレータ3の閾値電圧設定 0000b : 無効, 0001b~1111b : 閾値電圧 = VDD / 16 x CMP3_VTH
6	CMP3_VTH2	R/W	0b	
5	CMP3_VTH1	R/W	0b	
4	CMP3_VTH0	R/W	0b	
3	CAL_CONN	R/W	0b	差動アンプのDCオフセットキャリブレーション中の入力選択。 0b : 差動アンプの入力は、内部スイッチにより短絡 1b : 差動アンプの入力は、外付けシャントに接続
2	CAL_DA1	R/W	0b	"1b"の書き込みで差動アンプ1のDCオフセットキャリブレーションを実行 キャリブレーションの完了後、このビットは、自動的に"0b"に変化
1	CAL_DA2	R/W	0b	"1b"の書き込みで差動アンプ2のDCオフセットキャリブレーションを実行 キャリブレーションの完了後、このビットは、自動的に"0b"に変化
0	CAL_DA3/BEMF	R/W	0b	BEMF検出アンプが無効 (BEMF_ENビット = "0b") の場合、"1b"の書き込みで差動アンプ3の DCオフセットキャリブレーションを実行 BEMF検出アンプが有効 (BEMF_ENビット = "1b") の場合、"1b"の書き込みでBEMF検出アンプの DCオフセットキャリブレーションを実行 キャリブレーションの完了後、このビットは、自動的に"0b"に変化

3.2.1.18 Sense Block Control 5 レジスタ : SNSCTL5 アドレス = 11h : [初期値 = 00h]

図 3-20、および表 3-21 に Sense Block Control 5 レジスタを示します。

図 3-20 Sense Block Control 5 レジスタ : SNSCTL5 の構成

7	6	5	4	3	2	1	0
DIS_SADT	RESERVED11_6	CTL6_UNLOCK	RESERVED11_4	RESERVED11_3	MUX2	MUX1	MUX0
R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b

表 3-21 Sense Block Control 5 レジスタ : SNSCTL5 の説明

Bit	Field	Type	Default	Description	
7	DIS_SADT	R/W	0b	"1b"の書き込みでアダプティブデッドタイム制御を無効。	
6	RESERVED11_6	R/W	0b	予約ビットです。必ず"0b"を設定してください。	
5	CTL6_UNLOCK	R/W	0b	0b : SNSCTL6 レジスタは書き込みロック状態になり、SNSCTL6 レジスタへの書き込みは無効 1b : SNSCTL6 レジスタの書き込みロック状態が解除され、SNSCTL6 レジスタの書き込みは有効	
4	RESERVED11_4	R/W	0b	予約ビットです。必ず"0b"を設定してください。	
3	RESERVED11_3	R/W	0b	予約ビットです。必ず"0b"を設定してください。	
2	MUX2	R/W	0b	DA30/MUX1端子の出力を選択 000b : GND (プルダウン : 330[kΩ]) 001b : VM モニタ電圧 010b : ジャンクション温度モニタ電圧 011b : 差動アンプリファレンス電圧	BEMF_ENビット = "0b" の場合 100b : 差動アンプ3出力 (10[kΩ]有り) 111b : 差動アンプ3出力 (10[kΩ]無し)
1	MUX1	R/W	0b	101b : 差動アンプ1出力 110b : 差動アンプ2出力	BEMF_ENビット = "1b" の場合 100b : BEMF検出アンプ出力 (10[kΩ]有り) 111b : BEMF検出アンプ出力 (10[kΩ]無し)
0	MUX0	R/W	0b		

3.2.1.19 Sense Block Control 6 レジスタ : SNSCTL6 アドレス = 12h : [初期値 = 40h]

図 3-21、および表 3-22 に Sense Block Control 6 レジスタを示します。

SNSCTL6 レジスタの書き込みを許可するためには CTL6_UNLOCK ビットに"1b"を設定してください。

SNSCTL6 レジスタ書き込み後は、CTL6_UNLOCK ビットに"0b"を設定してください。

図 3-21 Sense Block Control 6 レジスタ : SNSCTL6 の構成

7	6	5	4	3	2	1	0
RESERVED12_7	BEMF_OFFSET	RESERVED12_5	RESERVED12_4	RESERVED12_3	RESERVED12_2	RESERVED12_1	GD_AOR
R/W : 0b	R/W : 1b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b

表 3-22 Sense Block Control 6 レジスタ : SNSCTL6 の説明

Bit	Field	Type	Default	Description
7	RESERVED12_7	R/W	0b	予約ビットです。必ず"0b"を設定してください。
6	BEMF_OFFSET	R/W	1b	BEMF検出アンプDCオフセットのデータ選択 0b : キャリブレーションデータが有効, 1b : 出荷試験によるトリミングデータが有効 BEMF 検出アンプの DC オフセットキャリブレーションを行った場合、自動的に "0b" になります。
5	RESERVED12_5	R/W	0b	予約ビットです。必ず"0b"を設定してください。
4	RESERVED12_4	R/W	0b	予約ビットです。必ず"0b"を設定してください。
3	RESERVED12_3	R/W	0b	予約ビットです。必ず"0b"を設定してください。
2	RESERVED12_2	R/W	0b	予約ビットです。必ず"0b"を設定してください。
1	RESERVED12_1	R/W	0b	予約ビットです。必ず"0b"を設定してください。
0	GD_AOR	R/W	0b	"1b" を書き込むと、ゲートドライバロジックのアクティブオーバーライドモードが有効になります。

3.3 モータ制御に対応したレジスタ設定

RAJ306102にはBLDCモータの制御を行うための様々なセンシングブロックを内蔵しています。これらの機能を用いることでアプリケーションに対応した最適なモータ制御の実現が可能です。本節では、ホールセンサモータ制御とセンサレスモータ制御 (BEMF 検出 & コンパレータ) を例に回路構成、およびレジスタ設定を記載します。

3.3.1 ホールセンサモータ制御

3.3.1.1 回路構成

図 3-22 にホールセンサモータ制御を行う際のアプリケーション簡易ブロック図の例を示します。

ホールセンサモータ制御では、ホール IC からの位置検出信号を基に通電相を切り替えることでモータ制御を行います。位置検出信号は、汎用コンパレータを用いて極性の判定が可能であり、CMPzP (z = 1, 2, 3) 端子に入力します。

シャント抵抗によりモータ駆動電流を検出する場合や、過電流検出 (CS_OCP) を行う場合は、DA1P, DA1N 端子にシャント抵抗両端電圧を入力してください。

使用しない DAzP, DAzN (z = 1, 2, 3) 端子は、AGND へ接続してください。

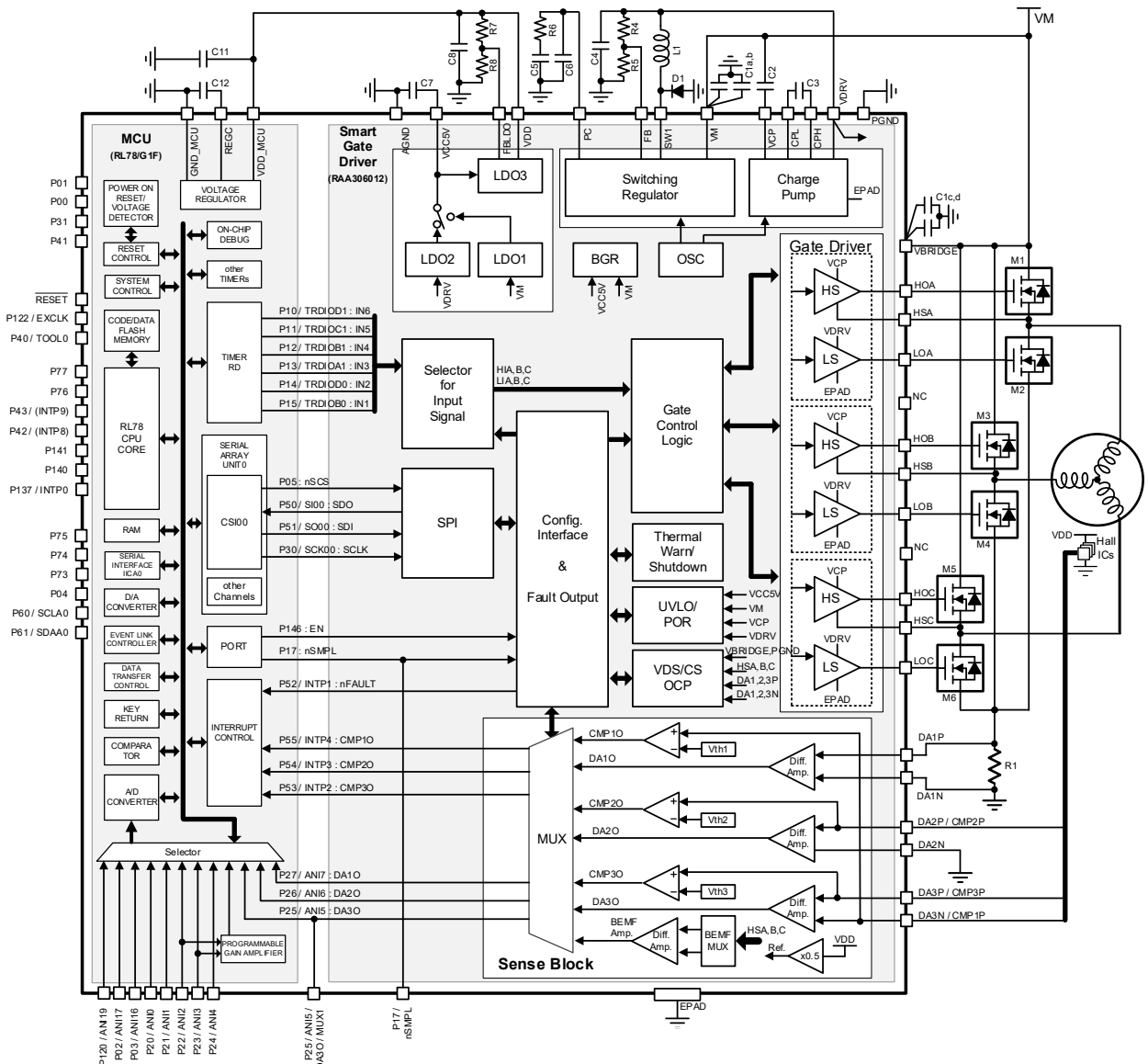


図 3-22 アプリケーション簡易ブロック図：ホールセンサモータ制御 (3 コンパレータ)

3.3.1.2 レジスタ設定

本製品では、モータ制御を行う前に Smart Gate Driver の各種機能に対するレジスタ設定が必要です。レジスタ設定においては、下記の4種類の機能に対応したレジスタ設定が必要です。

- (a) 異常検出機能：有効 / 無効, 動作モード, 調整ビット, Fault Status クリアビット
- (b) ゲートドライバ：入力選択, 動作モード, 調整ビット
- (c) センシングブロック：有効 / 無効, 動作モード, 調整ビット
- (d) センシングブロックキャリブレーション：実行ビット

ホールセンサモータ制御においては、センシングブロックの汎用コンパレータ、および差動アンプ 1 (使用する場合) に対して、下記の設定が必要です。

- ICCTL2 レジスタ：DA1_EN ビット
- GDSELA レジスタ：CMP1_HYS ビット
- GDSELB レジスタ：CMP2_HYS ビット
- GDSELC レジスタ：CMP3_HYS ビット
- SNSCTL1 レジスタ：DA1_GAIN ビット
- SNSCTL2 レジスタ：DA1_SH ビット
- SNSCTL3 レジスタ：CMP1_VTH, CMP2_VTH ビット
- SNSCTL4 レジスタ：CMP3_VTH, CAL_CONN, CAL_DA1 ビット

Smart Gate Driver の起動シーケンスにおいては、上記した (a) ~ (d) のレジスタ設定に対して、レジスタ設定 1, 2, 3 と 3 段階に分けて設定する構成とします。

レジスタ設定タイミングにつきましては **4.1** を参照してください。レジスタ設定 1, 2, 3 で設定するレジスタを下記に示します。

(1) レジスタ設定 1：

レジスタ設定 1 は、異常検出機能に対する設定を主に行います。**4.1** の起動シーケンス例では、下記のレジスタの設定を実行します。

- FLTCTL1 レジスタ
- FLTCTL2 レジスタ
- ICCTL1 レジスタ

異常検出機能の動作モード、調整ビット設定は、OCPCTL レジスタ、および GDSELx (x = A, B, C) レジスタにも一部割り当てがあります。nFAULT 端子出力により正常起動を確認する前に、閾値を変更したい場合は、これらのレジスタ設定をレジスタ設定 1 で実行してください。

異常検出機能のレジスタ設定が完了した時点で Fault Status のクリアを CLR_FLT ビットの設定により実施します。

(2) レジスタ設定 2 :

レジスタ設定 2 は、ゲートドライバ、およびセンシングブロックに対するレジスタ設定を主に行います。4.1 の起動シーケンス例では、下記のレジスタ設定を実行します。

- ICCTL2 レジスタ
- GDCTL レジスタ
- OCPCTL レジスタ
- GDSELx (x = A, B, C) レジスタ
- SNSCTLz (z = 1, 2, 3, 4) レジスタ

GDSELx (x = A, B, C) レジスタにはゲートドライバの入力信号を選択するレジスタ設定があります。MCU (RL78/G1F) との接続を考慮して下記の設定を推奨します。

- HOA_SEL ビット = "001b" (IN1 入力)
- LOA_SEL ビット = "010b" (IN2 入力)
- HOB_SEL ビット = "011b" (IN3 入力)
- LOB_SEL ビット = "101b" (IN5 入力)
- HOC_SEL ビット = "100b" (IN4 入力)
- LOC_SEL ビット = "110b" (IN6 入力)

これらのビット設定が完了するまでは、予期しないゲートドライバ出力を避けるため、INz (z = 1, 2, 3, 4, 5, 6) 端子を全て Low にする必要があります。また、EN 端子を Low にする際には全てのレジスタがリセットされるため、EN 端子を Low にする前に INz (z = 1, 2, 3, 4, 5, 6) 端子を全て Low にする必要があります。4.1, 4.2 の制御シーケンス例を参照してください。

また、差動アンプには DC オフセットキャリブレーションを実施するレジスタ設定 (CAL_DAz (z = 1, 2, 3) ビット) があります。キャリブレーションは差動アンプごとに個別に実施可能なため、使用する差動アンプに対応したキャリブレーションを実施してください。高精度なキャリブレーションを実現するため、CAL_CONN = "1b" の設定で実施することを推奨します。本設定では、キャリブレーション期間における差動アンプの入力が、DAzP, DAzN (z = 1, 2, 3) 端子となり、シャント抵抗に電流が流れている状態では正常なキャリブレーションが実施不可能なため、キャリブレーションの実施タイミングには注意してください。

(3) レジスタ設定 3

レジスタ設定 3 では、ゲートドライバ、およびセンシングブロックのその他の設定を行います。4.1 の起動シーケンス例では、下記のレジスタの設定を実行します。

- SNSCLT2 レジスタ
- SNSCTL5 レジスタ
- SNSCTL6 レジスタ

ホールセンサモータ制御においては SNSCTL2 レジスタの設定は必要ありませんが、起動シーケンスにおけるレジスタ設定の汎用性を考慮して設定を設けています。

SNSCTL6 レジスタは書き込み防止機能があります。書き込みには SNSCTL5 レジスタの CTL6_UNLOCK ビットの設定が必要なため、下記の手順でレジスタを設定してください。

- (1) SNSCTL5 レジスタの CTL6_UNLOCK ビットに "1b" を設定 (SNSCTL6 レジスタへの書き込みロックを解除)
- (2) SNSCTL6 レジスタに "41h" を設定
- (3) SNSCTL5 レジスタの CTL6_UNLOCK ビットに "0b" を設定 (SNSCTL6 レジスタへの書き込みロックを設定)

SNSCTL6 レジスタの BEMF_OFFSET ビット、および GD_AOR ビットに "1b" を設定してください。また、SNSCTL5, SNSCTL6 レジスタの RESERVED ビットは必ず "0b" を設定してください。

3.3.1.3 制御方法と動作波形

ホールセンサモータ制御では、ホール IC からの位置検出信号を基に通電相を切り替えることでモータ制御を行います。

図 3-23 にホールセンサモータ制御の動作波形図を示します。ホール IC 出力 (CMPzP (z = 1, 2, 3) 入力) の極性変化は、ホールセンサの取り付け位置によって異なるため、使用するモータに合わせて通電相のパターンを変更する必要があります。

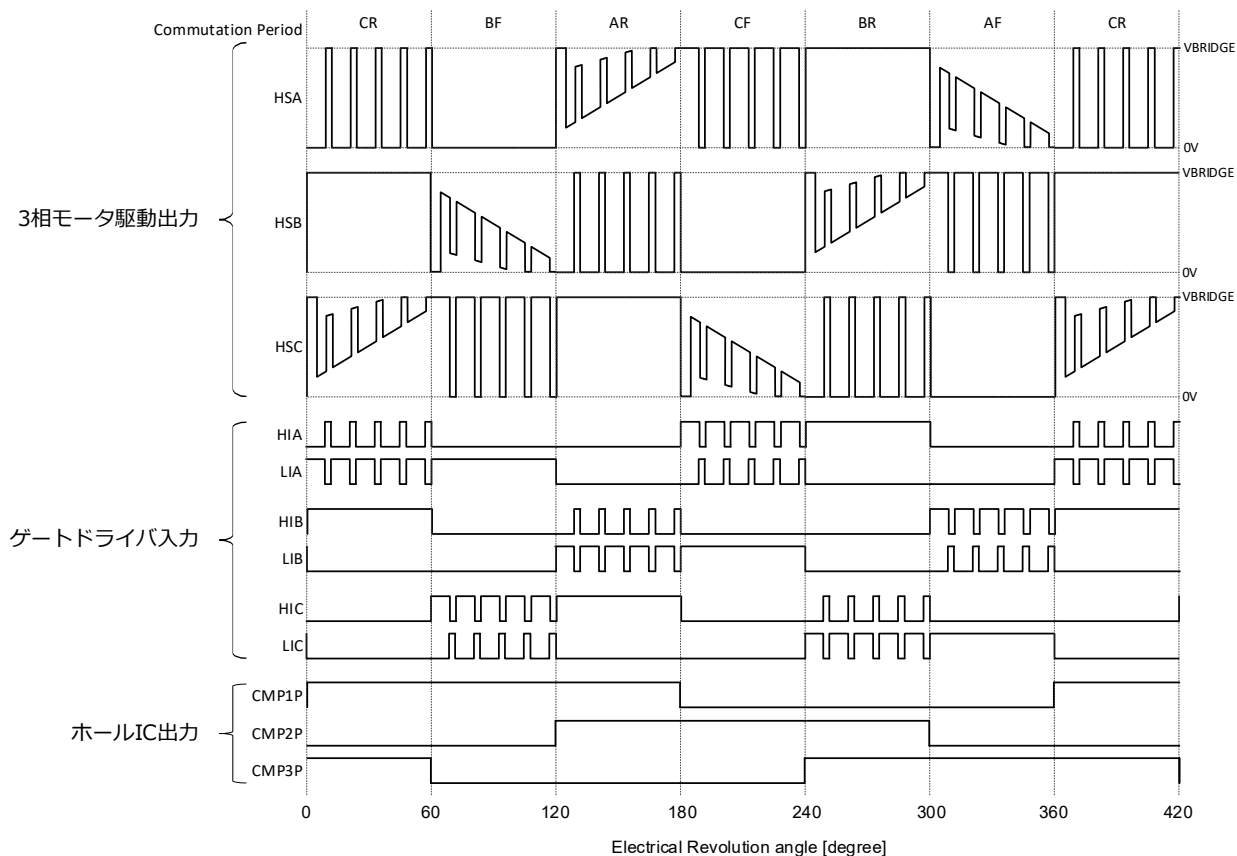


図 3-23 ホールセンサモータ制御 動作波形図

3.3.2 センサレスモータ制御 (BEMF 検出 & コンパレータ)

3.3.2.1 回路構成

図 3-24 にセンサレスモータ制御 (BEMF 検出 & コンパレータ) を行う際のアプリケーション簡易ブロック図例を示します。

センサレスモータ制御 (BEMF 検出 & コンパレータ) では、モータが回転することで生じる誘起電圧 (BEMF) を基に通電相を切り替えることでモータ制御を行います。モータの位置検出は、Smart Gate Driver に内蔵している BEMF 検出アンプに加え、汎用コンパレータ、または MCU の A/D コンバータを用いて、BEMF ゼロクロスを検出することにより行います。BEMF は非通電相で観測され、BEMF 検出アンプを用いて検出可能なことから特別な外付け部品や配線は必要ありません。BEMF ゼロクロスを検出する方法として Smart Gate Driver に内蔵している汎用コンパレータを使用する場合には、DA30 / MUX1 端子を CMP2P 端子、または CMP3P 端子に接続してください。図 3-24 は CMP3P 端子に入力する例となっています。BEMF ゼロクロスを検出する方法として MCU の A/D コンバータを使用する場合には、DA30 / MUX1 端子は MCU の AN15 端子に接続しているため、A/D コンバータへ入力するための配線は必要ありません。MCU のコンパレータを使用する場合には、DA30 / MUX1 端子を使用するコンパレータ入力端子に接続してください。

シャント抵抗によりモータ駆動電流を検出する場合や、過電流検出 (CS_OCP) を行う場合は、DA1P, DA1N 端子にシャント抵抗両端電圧を入力してください。

使用しない DAzP, DAzN (z = 1, 2, 3) 端子は、AGND へ接続してください。

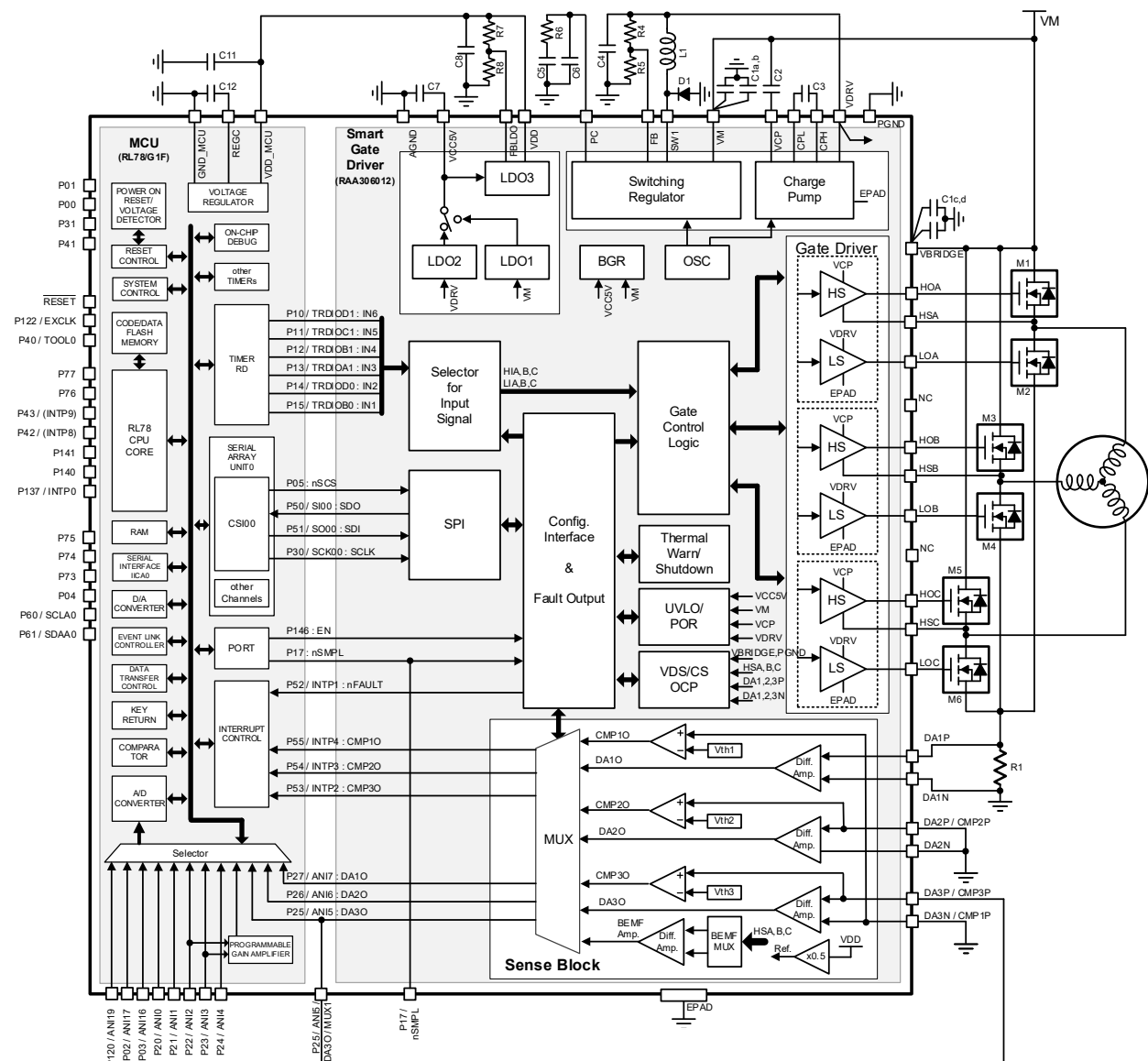


図 3-24 アプリケーション簡易ブロック図: センサレスモータ制御 (BEMF 検出 & コンパレータ)

3.3.2.2 レジスタ設定

センサレスモータ制御 (BEMF 検出 & コンパレータ) のレジスタ設定においては、センシングブロックの BEMF 検出アンプ、汎用コンパレータ、および差動アンプ 1 (使用する場合) に対して、下記の設定が必要です。

- ICCTL2 レジスタ : BEMF_EN, DA1_EN ビット
- GDSELC レジスタ : CMP3_HYS ビット
- SNSCTL1 レジスタ : BEMF_GAIN, DA1_GAIN ビット
- SNSCTL2 レジスタ : BEMF_PH, BEMF_SH, DA1_SH ビット
- SNSCTL3 レジスタ : CMP1_VTH, CMP2_VTH ビット
- SNSCTL4 レジスタ : CMP3_VTH, CAL_CONN, CAL_DA1 ビット
- SNSCTL5 レジスタ : MUX ビット
- SNSCTL6 レジスタ : BEMF_OFFSET ビット

Smart Gate Driver の起動シーケンスにおいては、ホールセンサモータ制御と同様に、レジスタ設定 1, 2, 3 と 3 段階に分けて設定しますが、上記したレジスタ設定以外は同様の設定、手順となります。詳細は、**3.3.1.2** を参照してください。

BEMF 検出アンプの詳細は、「**RAJ306102 データシート (R18DS0039JJ)**」の **6.5.3** を参照してください。また、DA30 / MUX1 端子の出力制御につきましては「**RAJ306102 データシート (R18DS0039JJ)**」の **6.5.5** を参照してください。使用しない汎用コンパレータは、CMPz_VTH (z = 1, 2, 3) ビットに"0000b"を設定することで無効の設定が可能です。使用しない差動アンプを無効にする DAz_EN (z = 1, 2, 3) ビットと合わせて設定することを推奨します。

3.3.2.3 制御方法と動作波形

センサレスモータ制御 (BEMF 検出 & コンパレータ) でモータを駆動する場合、BEMF 検出アンプを用いてゼロクロス検出を MCU で検出し、ゼロクロスが相切り替え間隔の中央に来るようにタイマなどを使用して通電相の切り替えタイミングを生成、通電相を切り替えることでモータ制御を行います。

図 3-25 にセンサレスモータ制御 (BEMF 検出 & コンパレータ) の動作波形図を示します。BEMF は非通電相で観測するため、通電相の切り替えごとに BEMF 検出相を切り替える必要があります。BEMF_PH ビットによって BEMF 検出相の切り替え方法を選択可能です。詳細は、「**RAJ306102 データシート (R18DS0039JJ)**」の **6.5.3** を参照してください。また、通電相を切り替えた時に発生するキックバックによるゼロクロス誤検出を防止するため、検出マスク時間を設けることが必要です。モータ回転数、駆動電流などを考慮して適切な検出マスク時間を設定してください。

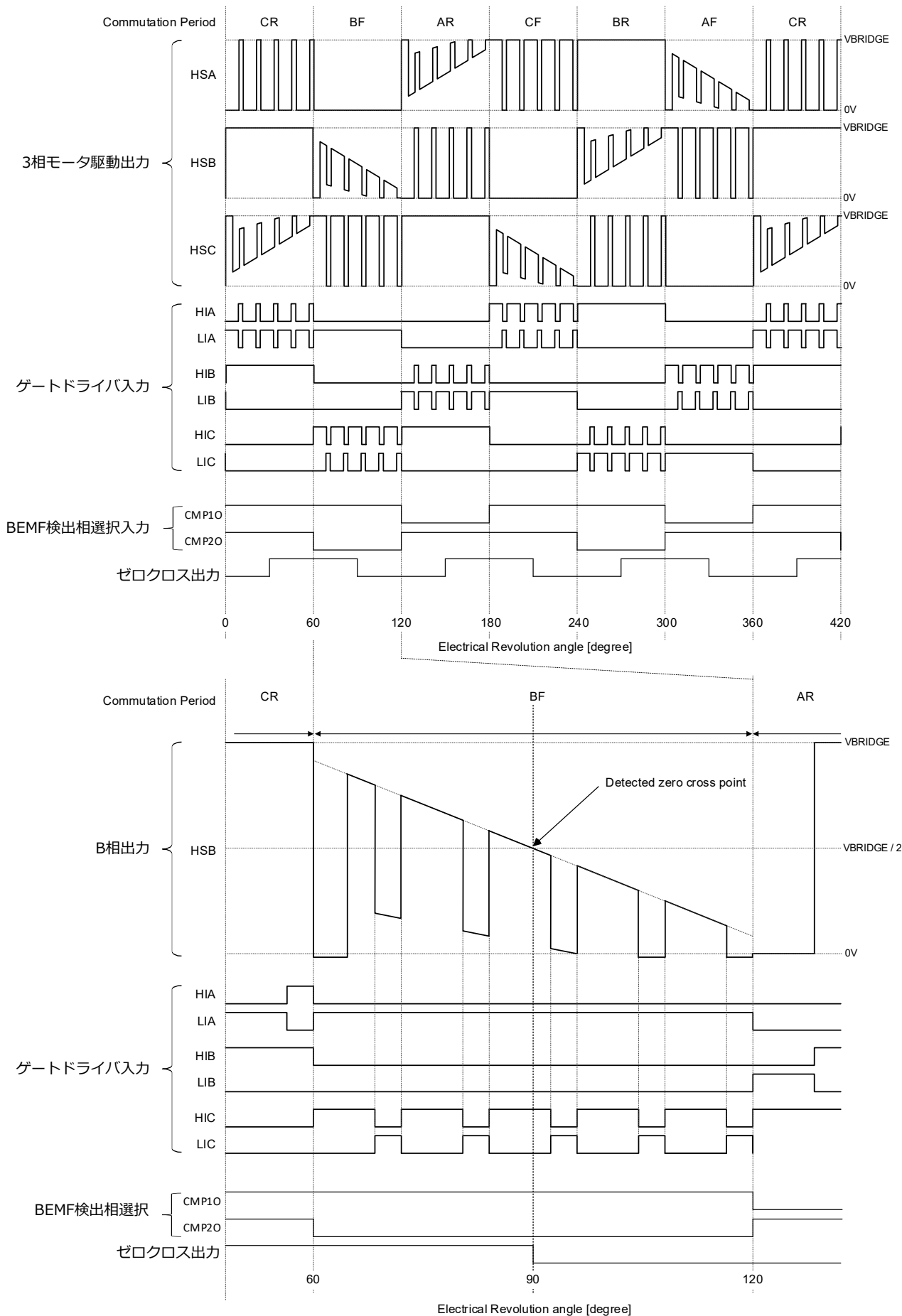


図 3-25 センサレスモータ制御 (BEMF 検出 & コンパレータ) 動作波形図

第4章 Smart Gate Driver の制御シーケンス

本製品は、MCU (RL78/G1F) と Smart Gate Driver (RAA306012) を 1 パッケージに搭載しています。本製品でモータ制御を行うためには、MCU のリセットが解除された後、Smart Gate Driver を Operating Mode に遷移させ、INz (z = 1, 2, 3, 4, 5, 6) に適切な PWM 信号を入力する必要があります。Smart Gate Driver の動作モードは、MCU による EN 出力端子の設定、および Smart Gate Driver の異常検出状態に依存するため、Smart Gate Driver の動作モードを制御する下記の 2 つの制御シーケンス例について、フローチャートと各ステップにおける注意点を示します。

1. 起動シーケンス
2. エラー復帰シーケンス

なお、Smart Gate Driver のパワーオンシーケンスと動作モード、および Fault Management の詳細は、それぞれ「**RAJ306102 データシート (R18DS0039JJ)**」の 6.1, 6.2 を参照してください。また、モータ制御に対応したレジスタ設定の詳細は、3.2, 3.3、および「**RAJ306102 の各サンプルプログラム**」のソースファイルを参照してください。

4.1 起動シーケンス例

図 4-1 に Smart Gate Driver の起動シーケンス例について、フローチャートを示します。また、下記に各ステップにおける注意点を示します。

(1) 電源投入完了の確認

本ステップは、起動シーケンスの動作開始を判定するステップです。

Smart Gate Driver が起動を開始するためには、VCC5V 端子電圧が 4.0[V] (VCCUVR) 以上、および VM 端子電圧が 5.5[V] (VMUVR) 以上を満足する必要があります。本シーケンス例では、VBRIDGE (=VM) 端子電圧を測定し、通常の入力電圧の 80%以上になっていることを確認して次のステップに遷移します。VM 端子と VBRIDGE 端子を別電源で使用する場合など、アプリケーションに応じた適切な電源の確認方法を検討してください。また、Wait 時間を設けることで電源の投入完了が保証可能なアプリケーションでは、電源電圧を測定しない方法であっても構いません。

(2) Smart Gate Driver の起動開始と起動完了のための Wait

本ステップは、Smart Gate Driver が起動を開始し、電源ブロックの起動完了を待つステップです。

最初に MCU の INz (z = 1, 2, 3, 4, 5, 6) 出力端子を全て Low 出力、および CMPzO (z = 1, 2, 3) 入出力端子をデジタル入力ポートに設定します。Smart Gate Driver が Operating Mode に遷移すると、ゲートドライバが有効になり、汎用コンパレータ出力はデフォルトで出力設定になります。あらかじめこれらの端子設定をすることで、予期しないゲートドライバの出力や、MCU の I/O ポートとの出力信号の衝突を回避可能です。

Smart Gate Driver は、MCU の EN 出力端子を High 出力に設定することで起動します。Smart Gate Driver のバンドギャップ電圧が立ち上がると、nFAULT 入力端子は Low になります。nFAULT 入力端子を確認することで Smart Gate Driver の起動開始を確認可能です。

起動開始を確認した後、15[ms]の Wait 時間を設けています。この時間は、Smart Gate Driver の内部発振器の起動、差動アンプのオフセットキャリブレーション、降圧スイッチングレギュレータの起動、およびチャージポンプの起動完了を待つための Wait 時間です。EN 出力端子を High 出力に設定してから nFAULT 入力端子が High になるまでの時間 (twake) は 6.5[ms] (typ.) ですが、内部発振器のクロック周波数や、外付けコンデンサを含むチャージポンプ起動時間のばらつきによって変動するため、実際の起動完了時間を確認して適切な時間を設定してください。

(3) 有効にする異常検出機能の選択と Fault Status z (z = 0, 1, 2, 3) レジスタのクリア

本ステップは、異常検出機能に対して、それぞれ有効 / 無効を選択し、各異常検出に対応するインジケータが格納されている Fault Status z (z = 0, 1, 2, 3) レジスタ (FLTSTSz (z = 0, 1, 2, 3)) をモータ起動前に一度クリアするステップです。

レジスタ設定 1 でこれらの設定を行います。異常検出機能の有効 / 無効の選択は、Fault Control 1 レジスタ (FLTCTL1)、および Fault Control 2 レジスタ (FLTCTL2) で設定します。アプリケーションに応じて DAzP, DAzN (z = 1, 2, 3) への入力信号が異なるシャント抵抗の過電流保護 (CS_OCP) のみが、デフォルトで無効になっています。アプリケーションや仕様に応じた異常検出機能を選択してください。また、Fault Status z (z = 0, 1, 2, 3) レジスタ (FLTSTSz (z = 0, 1, 2, 3)) のクリアは、IC Control 1 レジスタ (ICCTL1) の CLR_FLT ビットに "1b" を設定することで実施可能です。なお、CLR_FLT ビットは自動的に "0b" に戻ります。IC Control 1 レジスタ (ICCTL1) の他の設定は、CLR_FLT ビットの書き込みと合わせて設定することを推奨します。

レジスタ設定 1 (3.3.1.2 (1) 参照) の完了後、クリア実行待ち時間として 1[ms] の Wait 時間を設けていますが、ばらつきなどを含めても 300[μs] あれば問題ありません。

(4) 正常起動の確認とアプリケーションに応じたレジスタ設定

本ステップは、Smart Gate Driver の正常起動を確認し、ゲートドライバ、およびセンシングブロックの各種レジスタ設定を行い、起動シーケンスを完了させるステップです。

nFAULT 入力端子を確認し、High であれば正常に起動を完了したと判定します。これは、Smart Gate Driver の動作モードが Operating Mode に遷移したことを示します。一方、Low であれば何らかの異常検出が動作したことになり初期エラーと判定します。電源投入後の起動で異常になる場合、電源ブロックの異常が想定されるため、EN 出力端子を Low 出力に設定して Smart Gate Driver を停止させます。

nFAULT 入力端子の High を確認した後、レジスタ設定 2 でゲートドライバ、およびセンシングブロックに対するレジスタ設定を行います。本シーケンス例では、使用するアンプのオフセットキャリブレーションをレジスタ設定 2 (3.3.1.2 (2) 参照) で実施することを想定しています。Sense Block Control 4 レジスタ (SNSCTL4) の CAL_DA1 ビット, CAL_DA2 ビット, CAL_DA3/BEMF ビットに "1b" を設定することで、対応するアンプのオフセットキャリブレーションを開始しますが、CAL_CONN ビットを用いることで、実際の差動アンプと同一入力で高精度なオフセットキャリブレーションが実施可能です。そのため、CAL_CONN ビットを "1b" に設定することを推奨します。ただし、モータを駆動している場合や、シャント抵抗に電流が流れている場合は、正常なオフセットキャリブレーションが実施不可能なため、キャリブレーションの実施タイミングには注意してください。

レジスタ設定 2 の完了後、オフセットキャリブレーションの実行期間として 1[ms] の Wait 時間を設けています。オフセットキャリブレーションは、アンプごとに 400[μs] の Wait 時間が必要なため、実施するアンプの数に合わせた Wait 時間を設定する、または CAL_DA1 ビット, CAL_DA2 ビット, CAL_DA3/BEMF ビットの自動クリア機能で完了を確認するといった対応を実施してください。

レジスタ設定 3 (3.3.1.2 (3) 参照) では、BEMF 検出アンプの検出相選択方法と、Sense Block Control 6 レジスタ (SNSCTL6) に推奨値を設定します。BEMF 検出アンプを使用する場合、Sense Block Control 2 レジスタ (SNSCTL2) の BEMF_PH ビットは適切な選択方法に設定しなければなりません。詳細は、

「RAJ306102 データシート (R18DS0039JJ)」の 6.5.3 を参照してください。Sense Block Control 6 レジスタ (SNSCTL6) には、書き込み防止機能があり、初期状態では書き込みロック状態になっているため、下記の手順でレジスタを設定してください。

- (1) SNSCTL5 レジスタの CTL6_UNLOCK ビットに "1b" を設定 (SNSCTL6 レジスタへの書き込みロックを解除)
- (2) SNSCTL6 レジスタに "41h" を設定
- (3) SNSCTL5 レジスタの CTL6_UNLOCK ビットに "0b" を設定 (SNSCTL6 レジスタへの書き込みロックを設定)

レジスタ設定 3 の完了後、MCU の CMPzO (z = 1, 2, 3) 入出力端子をアプリケーションに合わせた設定に変更可能です。

以上により、起動シーケンスを完了します。

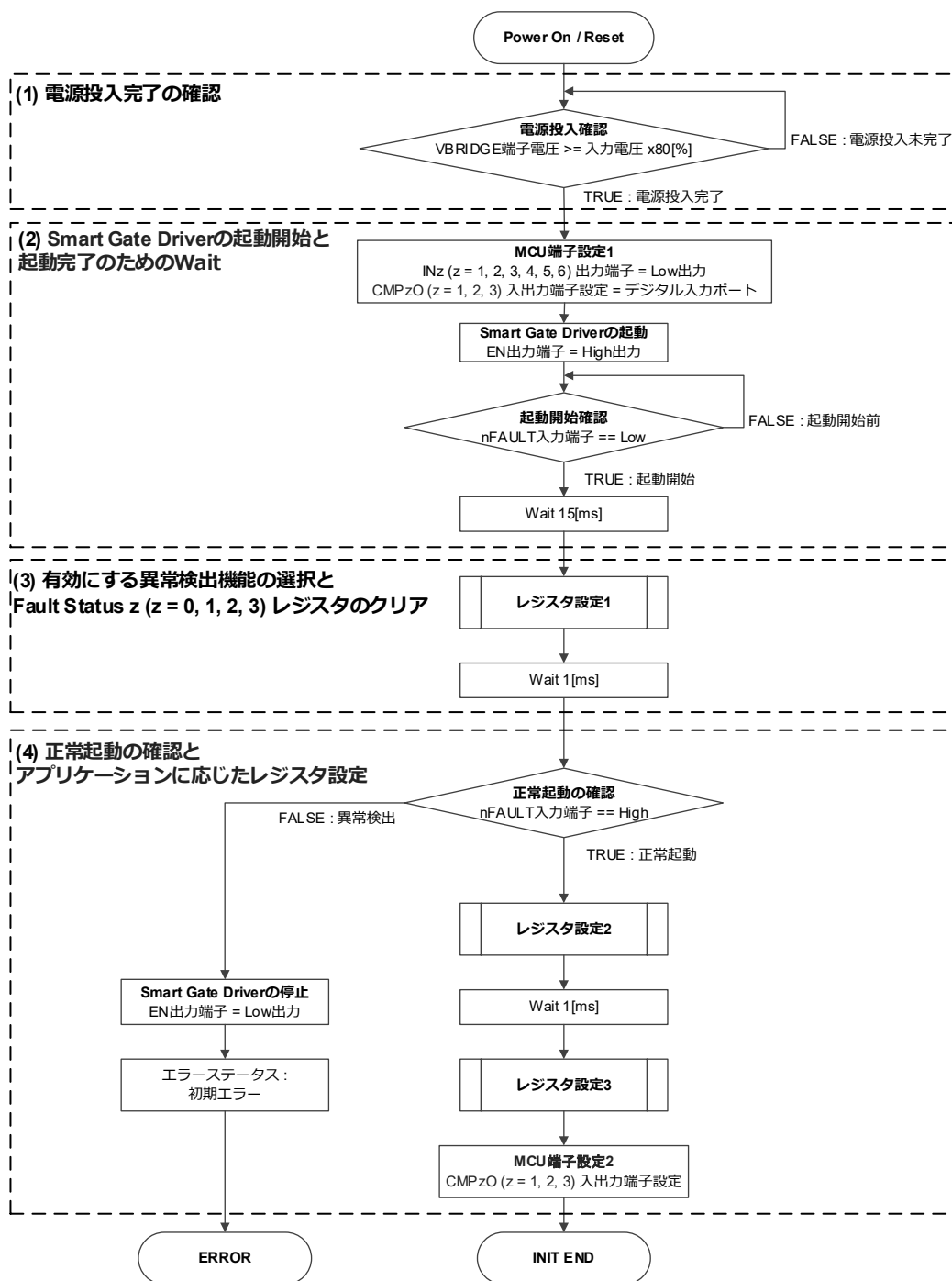


図 4-1 Smart Gate Driver の起動シーケンス例

4.2 エラー復帰シーケンス例

図 4-2 に Smart Gate Driver のエラー復帰シーケンス例について、フローチャートを示します。Smart Gate Driver の異常検出機能では、異常を検出した際、および復帰条件を満たした際の Smart Gate Driver の動作が、異常検出内容によって異なります。これらの動作は、異常検出機能に対するレジスタ設定にも依存しますが、図 4-2 のシーケンス例では下記のように分類しています。

- (a) 自動復帰する異常検出 (OTSD, TWARN, VM_UV, VM_OV, VDRV_OV)
- (b) 自動復帰するが電源ブロックの再起動を伴う異常検出 (VCP_UV, SR_OCP, VDRV_UV)
- (c) 自動復帰しない異常検出 (VDS_OCP, VGS_FAULT, CS_OCP)

エラー復帰シーケンスでは、異常検出内容を確認し、上記のように分類したうえで各異常検出に対応した復帰シーケンスを構築することが重要です。下記に各ステップにおける注意点を示します。なお、本シーケンス例は、弊社のサンプルプログラムで使用していて、モータ駆動の異常も含め、全てのエラーを同一シーケンスで処理する構成になっています。詳細は、「RAJ306102 の各サンプルプログラム」のソースファイルを参照し、アプリケーションのエラー処理に応じて、エラー復帰シーケンスを変更してください。

(1) 動作状態の確認

本ステップは、EN 出力端子の状態を確認し、復帰可能かどうかを判定するステップです。

EN 出力端子が Low の場合、起動シーケンスにおける初期エラー、後述する電源ブロックの再起動ができなかったレギュレータエラー、または自動復帰しない異常検出の過電流エラーが該当します。これらは、復帰不可能な異常検出として EN 出力端子を Low 出力で維持します。

(2) 異常検出内容の確認と端子設定

本ステップは、Smart Gate Driver の異常検出の有無を確認し、復帰に向けた端子設定をするステップです。

まず、Fault Status 0 レジスタ (FLTSTS0) の値を取得し、異常検出の有無を確認します。FAULT ビットが "0b" の場合、Smart Gate Driver は異常を検出していないため、モータの回転異常などで Smart Gate Driver 以外のエラーが発生したと判定します。この場合、Smart Gate Driver の復帰は不要なため、エラー復帰シーケンスを終了します。一方、FAULT ビットが "1b" の場合、Smart Gate Driver に異常が発生したと判定し、MCU の INz (z = 1, 2, 3, 4, 5, 6) 出力端子を全て Low 出力、および CMPzO (z = 1, 2, 3) 入出力端子をデジタル入力ポートに設定します。これらの設定により、復帰時に予期しないゲートドライバの出力や、MCU の I/O ポートとの出力信号の衝突を回避可能です。

(3) 異常検出内容の分類

本ステップは、Fault Status z (z = 0, 1, 2, 3) レジスタ (FLTSTSz (z = 0, 1, 2, 3)) の取得結果から、異常検出内容を前述した (a), (b), (c) に分類するステップです。

複数の異常を検出した場合は、(c), (b), (a) の優先度で分類することを推奨します。異常検出内容の分類は、アプリケーションや仕様に応じた適切な分類を検討してください。

(4) 復帰確認処理

本ステップは、nFAULT 入力端子の確認による Smart Gate Driver の自動復帰を確認するステップです。

nFAULT 入力端子が Low の場合、動作モードが Operating Mode に復帰していないため、エラー復帰シーケンスを終了し、再度エラー復帰シーケンスを開始します。nFAULT 入力端子が High の場合、動作モードが Operating Mode に復帰し、Smart Gate Driver の正常動作が可能のため、(7) 復帰完了処理に遷移します。

(5) 電源ブロック再起動の確認と停止処理

本ステップは、(3) 異常検出内容の分類において (b) と分類された場合に、電源ブロックが再起動により復帰したかどうかを判定し、復帰不可能な場合には Smart Gate Driver の停止処理を実施するステップです。

降圧レギュレータ過電流保護 (SR_OCP)、および降圧レギュレータ電圧降下 (VDRV_UV) の異常を検出した場合、降圧スイッチングレギュレータは Hiccup モードに入ります。Hiccup モードでは、ダミー周期 (63[ms]) の間 PWM 出力を停止し、ダミー周期後に通常のソフトスタートを再開します。ダミー周期、およびソフトスタート期間のばらつきを考慮して、100[ms]以上 (シーケンス例では 150[ms]) の Wait 時間を設けた後、nFAULT 入力端子を確認することで電源ブロックが復帰したかどうかを判定します。本シーケンス例では、この動作を 5 回まで繰り返し、nFAULT 入力端子が High になり、電源ブロックが復帰した場合、(7) 復帰完了処理に遷移します。復帰しない場合は、EN 出力端子を Low 出力に設定して Smart Gate Driver を停止させ、レギュレータエラーと判定してエラー復帰シーケンスを終了、Smart Gate Driver は停止状態を維持します。

本シーケンス例では、チャージポンプ電圧降下 (VCP_UV) の異常を検出した場合も同様に 150[ms]ごとに nFAULT 入力端子を確認するシーケンスにしています。チャージポンプは、降圧スイッチングレギュレータのように Hiccup モードにならないため、nFAULT 入力端子の確認タイミングを降圧スイッチングレギュレータと別のタイミングとしても構いません。アプリケーションや仕様に応じた適切な判定タイミング、処理を検討してください。

(6) 自動復帰しない異常の停止処理

本ステップは、Smart Gate Driver が Fault Management Mode を維持し続ける異常検出に対して、Smart Gate Driver の停止処理を実施するステップです。

この異常検出は、ハーフブリッジの異常となるため、EN 出力端子を Low 出力に設定して Smart Gate Driver を停止させ、過電流エラーと判定してエラー復帰シーケンスを終了、Smart Gate Driver は停止状態を維持します。

(7) 復帰完了処理

本ステップは、(4) 復帰確認処理、および (5) 電源ブロック再起動の確認と停止処理で、Smart Gate Driver の自動復帰を確認した際、モータを再起動する前に Fault Status z (z = 0, 1, 2, 3) レジスタ (FLTSTSz (z = 0, 1, 2, 3)) のクリア、および端子の再設定をするステップです。

IC Control 1 レジスタ (ICCTL1) の CLR_FLT ビットに "1b" を設定して Fault Status z (z = 0, 1, 2, 3) レジスタ (FLTSTSz (z = 0, 1, 2, 3)) をクリア、および MCU の CMPzO (z = 1, 2, 3) 入出力端子をアプリケーションに合わせた設定に変更して、エラー復帰シーケンスを終了します。

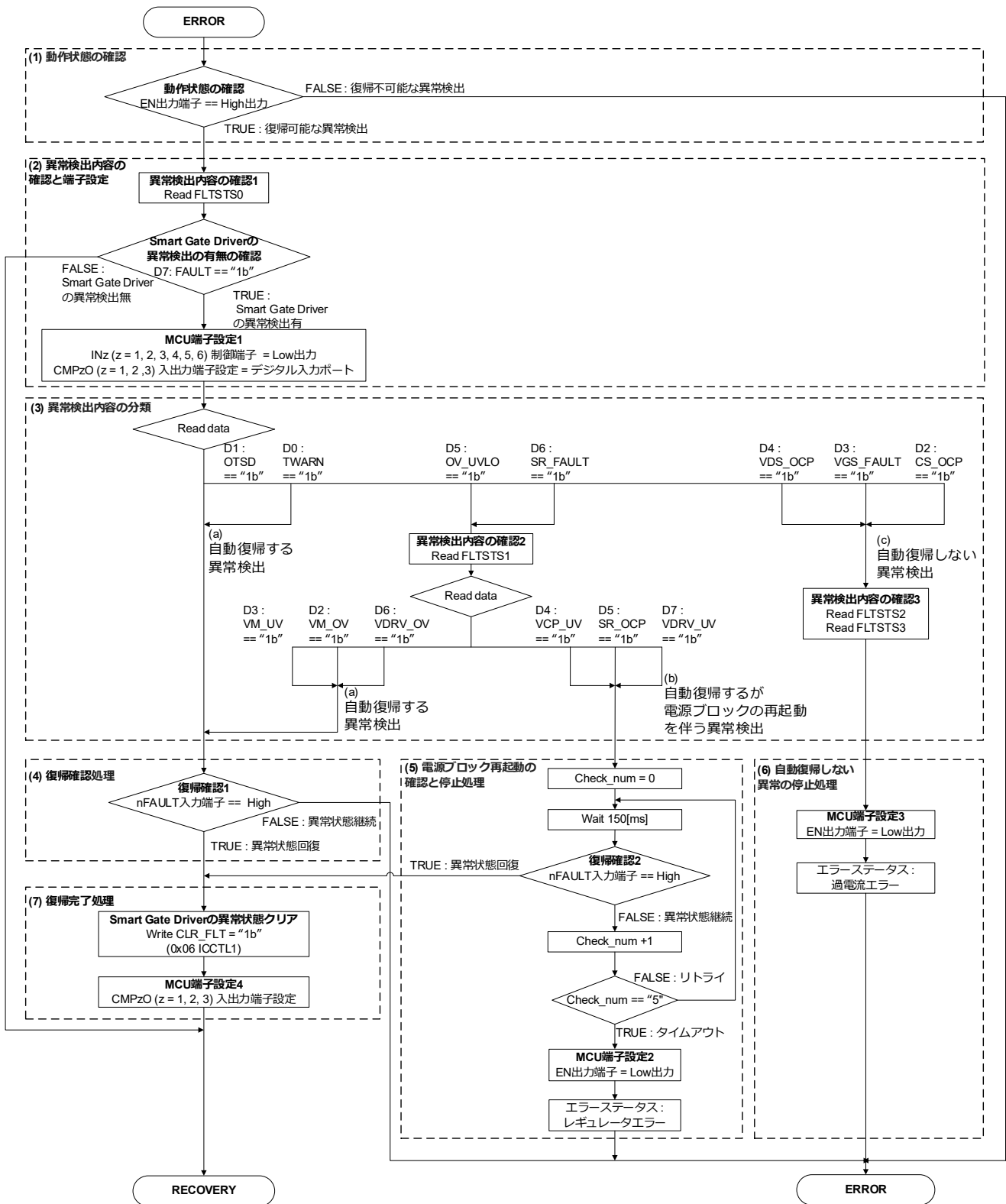


図 4-2 Smart Gate Driver のエラー復帰シーケンス例

第5章 回路構成, 部品選定, 推奨基板レイアウト

RAJ306102 は、MCU (RL78/G1F) と Smart Gate Driver (RAA306012) を 1 パッケージに搭載していることから、適切なハードウェア構成で使用することが重要です。本章では、回路構成、部品選定、およびその注意事項と、推奨基板レイアウトについて示します。個々のアプリケーションにおけるハードウェア構成の妥当性については、使用環境、条件、仕様に基づいて適切に確認、検証を行い判断してください。

5.1 回路構成, 部品選定, および注意事項

図 5-1 と表 5-1 にセンサレスモータ制御 (BEMF 検出 & コンパレータ) の周辺回路例、および外付け部品リスト例を示します。コンデンサの実効容量値は、DC バイアス特性により印加電圧に応じて公称値より低下します。製品の DC バイアス特性を確認のうえ、部品選定をしてください。なお、本文中の容量に関する記載は公称値です。

参考として、部品リスト例に弊社評価ボード (RTK0EML2J0D01021BJ) で使用しているコンデンサの実効容量値を記載しています。

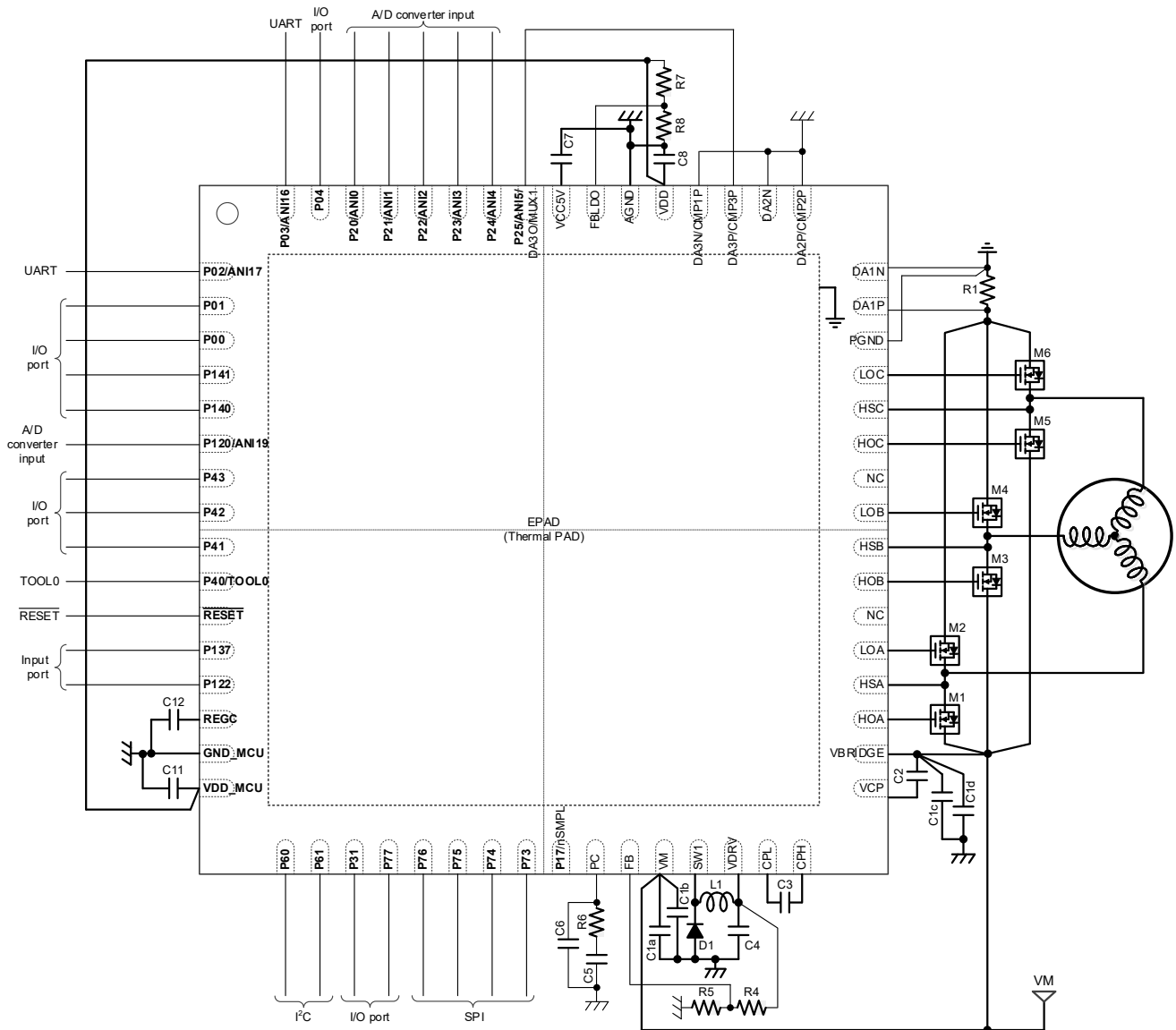


表 5-1 センサレスモータ制御 (BEMF 検出 & コンパレータ) の部品リスト例

Part No.	推奨値	実効容量値	定格	用途	Notes
R1	使用用途に依存	—	使用用途に依存	電流検出用シャント抵抗	
R4	48.7[kΩ]	—	—	VDRV出力電圧設定用ブリーダ抵抗	1
R5	3.48[kΩ]	—	—	VDRV出力電圧設定用ブリーダ抵抗	1
R6	60.4[kΩ]	—	—	降圧スイッチングレギュレータ用位相補償抵抗	4
R7	160[kΩ]	—	—	VDD出力電圧設定用ブリーダ抵抗	2
R8	91[kΩ]	—	—	VDD出力電圧設定用ブリーダ抵抗	2
C1a	3 * 4.7[μF]	2 * 5.45[μF]	100[V]	VM端子用バイパスコンデンサ	5
C1b	0.1[μF]	0.038[μF]	100[V]	VM端子用バイパスコンデンサ	5
C1c	4.7[μF]	5.45[μF]	100[V]	VBRIDGE端子用バイパスコンデンサ	5
C1d	0.1[μF]	0.038[μF]	100[V]	VBRIDGE端子用バイパスコンデンサ	5
C2	2.2[μF]	1.04[μF]	25[V]	チャージポンプ用出力コンデンサ	3
C3	0.22[μF]	0.18[μF]	100[V]	チャージポンプ用フライングコンデンサ	3
C4	10[μF]	5.5[μF]	25[V]	降圧スイッチングレギュレータ用 (VDRV端子用)	4
C5	2200[pF]	2190[pF]	10[V]	降圧スイッチングレギュレータの位相補償用コンデンサ	4
C6	DNP	DNP	10[V]	降圧スイッチングレギュレータの位相補償用コンデンサ	
C7	22[μF]	10.3[μF]	10[V]	リニアレギュレータの出力コンデンサ (VCC5V端子用)	
C8	22[μF]	10.3[μF]	10[V]	リニアレギュレータの出力コンデンサ (VDD端子用)	
C11	0.1[μF]	0.072[μF]	10[V]	VDD_MCU端子のバイパスコンデンサ	
C12	1.0~0.47[μF]	0.85[μF]	10[V]	MCUのレギュレータの出力安定化コンデンサ	
M1~M6	使用用途に依存	—	使用用途に依存	モータ駆動用外付けMOSFET	
L1	22[μH] or 33[μH]	—	>2[A]	降圧スイッチングレギュレータ用コイル	
D1	0.6[V]	—	100[V], >2[A]	降圧スイッチングレギュレータ用ショットキー整流ダイオード	

Note1 : これらの抵抗による VDRV 端子の出力電圧は、12[V]です。

Note2 : これらの抵抗による VDD 端子の出力電圧は、3.310[V]です。

Note3 : 実効容量値を考慮する必要があります。C3 の実行容量値が小さくなると VCP の電圧降下が大きくなります。C2 の実行容量値が小さくなると VCP の電圧リップルが大きくなります。

Note4 : R6 と C5 は、C4 の実効容量値に応じて適切な値を選択してください。

Note5 : 適切な容量は、用途や特性の制約によって異なります。

5.1.1 VM, VBRIDGE 端子コンデンサ (C1a, C1b, C1c, C1d)

本製品は、VM 端子と VBRIDGE 端子に DC 電源 (6~65[V]) を供給することにより動作します。電源ラインには、電源供給の安定化、および高周波電流に対応するためのコンデンサが必要です。本コンデンサによりシステムの電源立ち上げにおける急峻な電圧変化を防止可能です。容量を大きくすることは電源リップルの低減に貢献しますが、サイズやコストの増加要因になります。モータシステム動作電圧、スイッチング周波数、要求電流能力、許容電源リップル、モータのタイプや、起動停止シーケンスなどの制約を考慮して適切なコンデンサの容量を選定する必要があります。

高い周波数成分に対する電源ラインは、バッテリーやケーブルの寄生インダクタンスによるインピーダンスの増加を引き起こします。IC の電源端子の近接に配置したローカルコンデンサは、高い周波数に対して、インピーダンスを下げる効果があるため、高周波成分に対する経路として寄与します。リップル電流、共振周波数、パッケージ、コスト制約などを基に最適なローカルコンデンサを選定してください。典型的なアプリケーションでは、電解コンデンサを DC 電源入力の前段に配置し、同様にいくつかのセラミックコンデンサを IC の VM 端子、および VBRIDGE 端子に配置します。

5.1.2 リニアレギュレータ用部品 (C7, C8, R7, R8)

本製品は、VCC5V 端子、または VDD 端子から電源を選択して、MCU を含む周辺回路の電源として使用可能です。VDD 端子へ電圧を供給する LDO3 の電源は、VCC5V 端子へ 5[V] を供給する LDO (LDO1, LDO2) から供給します。そのため、許容外部負荷電流能力は MCU を含む VCC5V 端子と VDD 端子の負荷電流の合計で定義されます。

VCC5V 端子、および VDD 端子から MCU や周辺回路へ供給する電流の合計が、下記の許容負荷電流を超えないようにしてください。LDO1, LDO2 の動作状態は、MCU による EN 出力端子の設定、Smart Gate Driver の異常検出機能に依存します。EN 出力端子が Low の場合、LDO1 がオン、LDO2 がオフになります。パワーオンシーケンスによる LDO1, LDO2 の ON / OFF 仕様、Smart Gate Driver の動作モード、Fault Management による異常検出と復帰動作については、「RAJ306102 データシート (R18DS0039JJ)」の 6.1, 6.3.1, 6.2 を参照してください。

表 5-2 VCC5V 端子と VDD 端子の合計許容負荷電流

条件			許容負荷電流
EN端子	5V LDO1	5V LDO2	
Low	オン	オフ	50[mA]
High	オン	オフ	70[mA]
High	オフ	オン	90[mA]

5.1.2.1 VCC5V 端子コンデンサ (C7)

本製品は、VCC5V 端子へ 5[V] を供給する LDO として LDO1、および LDO2 の 2 つを内蔵しています。これらの LDO は、Smart Gate Driver 内部のアナログ回路、およびロジック回路に 5[V] を供給するとともに、MCU を含む周辺回路へ 5[V] を供給可能です。

VCC5V 端子の電圧は、Smart Gate Driver が無効 (EN 出力端子 = Low 出力) の間、および Smart Gate Driver を有効 (EN 出力端子 = High 出力) に設定し降圧スイッチングレギュレータの起動が完了する前は、VM 端子を電源とする LDO1 により生成します。また、降圧スイッチングレギュレータの起動が完了した後から、VDRV 端子を電源とする LDO2 によって生成します。VCC5V 端子のデカップリングコンデンサ (C7) は、22[μ F] (実効容量値 10[μ F]程度) のセラミックコンデンサを推奨します。本コンデンサは、VCC5V 端子、および AGND 端子に可能な限り近接に配置してください。

5.1.2.2 VDD 端子コンデンサ (C8), VDD 出力電圧設定用抵抗 (R7, R8)

VDD 端子は、Smart Gate Driver のインターフェース電源端子です。

VDD 端子には (1) LDO3 により供給する方法、(2) VCC5V 端子から 5[V]で供給する方法、(3) 外部電源から供給する方法の 3 通りの電圧供給方法があります。下記にそれぞれの方法に対する注意点を示します。

(1) LDO3 により供給する方法

周辺回路を図 5-2 (1) に示します。LDO3 の出力電圧は VDD として、FBLDO 端子に帰還するブリーダ抵抗 (R7, R8) によって決まり、推奨動作条件内で出力電圧の微調整が可能です。ブリーダ抵抗は式 5-1 に基づいて選択してください。なお、ブリーダ抵抗の合計値を大きくすることで Sleep Mode 時の消費電流の低減が可能です。ただし、本抵抗と FBLDO 端子の寄生容量で決まるポールによる安定性低下に注意してください。

$$V_{DD} = V_{REF_DD} * \left(1 + \frac{R_7}{R_8} \right) \quad (\text{式 5-1})$$

∵ VREF_DD : FBLDO 端子基準電圧 = 1.2[V], R7 : VDD 端子 - FBLDO 端子間抵抗, R8 : FBLDO 端子 - AGND 端子間抵抗

R7 = 160[kΩ], R8 = 91[kΩ]の選択により、LDO3 の出力電圧は 3.310[V]になります。VDD 端子のデカップリングコンデンサ (C8) として 22[μF] (実効容量値 10[μF]程度) のセラミックコンデンサを推奨します。本コンデンサは、VDD 端子、および AGND 端子に可能な限り近接に配置してください。

(2) VCC5V 端子から 5[V]で供給する方法

周辺回路を図 5-2 (2) に示します。VDD 端子、および FBLDO 端子を VCC5V 端子に接続し、VCC5V 端子を直接電源としての使用する方法です。VDD 端子のデカップリングコンデンサ (C8) として 0.1[μF]のセラミックコンデンサを推奨します。VDD 端子、および AGND 端子に可能な限り近接に配置してください。

(3) 外部電源から供給する方法

周辺回路を図 5-2 (3) に示します。外部電源を VDD 端子に接続してください。また、FBLDO 端子は VCC5V 端子に接続してください。入力可能な VDD 端子電圧の推奨動作電圧範囲 VDDope は 3.135~5.25[V]に制限されます。VDD 端子のデカップリングコンデンサ (C8) として 0.1[μF]のセラミックコンデンサを推奨します。VDD 端子、および AGND 端子に可能な限り近接に配置してください。

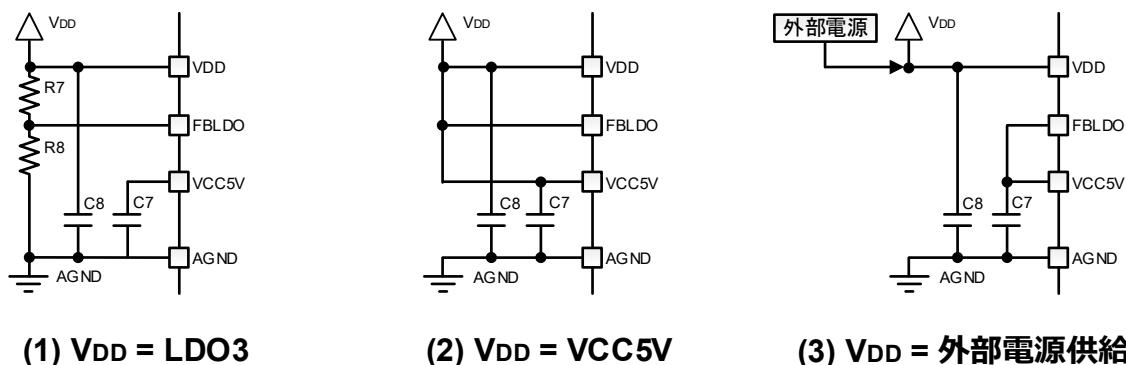


図 5-2 VDD 端子の電圧供給方法

5.1.3 降圧スイッチングレギュレータ用部品 (R4, R5, L1, C4, C5, R6)

5.1.3.1 VDRV 出力電圧設定用抵抗 (R4, R5)

VDRV 端子は降圧スイッチングレギュレータの出力端子です。Low サイドゲートドライバの電源、および VCC5V 端子へ 5[V] を供給する LDO2 の電源として使用します。

出力電圧 (VDRV) は図 5-3 に示す VDRV 端子と FB 端子で構成した外付け帰還抵抗のブリアダ比 (R4 / R5) により、5~15[V] の電圧範囲で調整可能であり、式 5-2 を用いて計算可能です。

$$V_{DRV} = V_{REF_SR} * \left(1 + \frac{R_4}{R_5} \right)$$

(式 5-2)

∴ VREF_SR : FB 端子基準電圧 = 0.8[V], R4 : VDRV - FB 端子間抵抗, R5 : FB - AGND 端子間抵抗

例えば R4 = 48.7[kΩ], R5 = 3.48[kΩ] の場合は、VDRV = 12[V] となり、R4 = 47[kΩ], R5 = 3.3[kΩ] の場合は、VDRV = 12.19[V] になります。

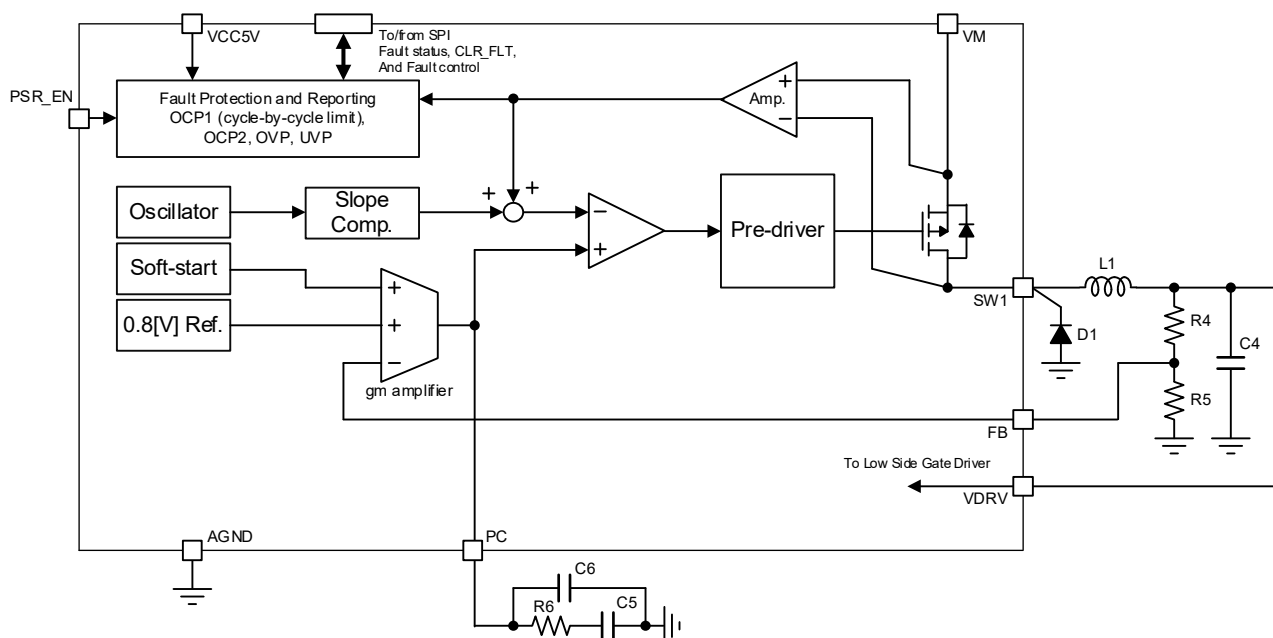


図 5-3 降圧スイッチングレギュレータブロック図

5.1.3.2 コイル (L1)

降圧スイッチングレギュレータは 500[kHz]のスイッチング周波数で VDRV 端子電圧を生成します。降圧スイッチングレギュレータには 33[μH]、または 22[μH]のコイル (L1) が必要です。コイル (L1) のインダクタンスの大きさに応じて、リップル電流 (ΔI) が決定します。一般的にリップル電流は、最大出力負荷電流の 30~40[%]程度を想定しますが、部品の大きさ、負荷条件などを考慮してリップル電流を含むインダクタ電流のピーク値が 1[A]を超えない程度の部品を選択してください。なお、リップル電流 (ΔI) とピーク電流 (I_{peak}) の値は、**式 5-3**、**式 5-4** により計算可能です。33[μH]のコイルは、後述する例のようにリップル電流 (ΔI) が想定値より大きくなりますが、出力リップル電圧 (ΔV_{DRV}) を考慮した推奨値となっています。

$$\Delta I = \frac{VM - V_{DRV}}{f_{sw} \times L_1} * \frac{V_{DRV}}{VM} \quad (\text{式 5-3})$$

∴ VM : 入力電圧, V_{DRV} : 出力電圧, f_{sw} : スwitching周波数 = 500[kHz], L₁ : インダクタンス

$$I_{peak} = I_o + \frac{\Delta I}{2} \quad (\text{式 5-4})$$

∴ I_o : 最大出力負荷電流

例えば VM = 48[V], V_{DRV} = 12[V], L₁ = 33[μH], I_o = 0.5[A]の場合は、ΔI = 0.545[A], I_{peak} = 0.773[A]になります。V_{DRV} 端子の負荷電流が大きい場合、リップル電流 (ΔI) が大きくなり、ピーク電流 (I_{peak}) が大きくなると、PWM サイクルごとの電流リミット (I_{OC1_SR}) (1.2[A] (typ.)) の制限が発生します。これにより、負荷電流能力が制限されるため、必要な負荷電流を考慮したインダクタンスの選定が必要です。

一方、インダクタンスを大きくすることによりリップル電流、およびリップル電圧を低減可能です。しかし、インダクタンスを大きくしすぎると負荷過渡応答が悪くなるため、実際の出力電圧 (V_{DRV}) を確認して選定してください。また、最大 DC 電流のインダクタ仕様は、過電流条件 (I_{OC1_SR}) においてもインダクタンスが大きく低下しない仕様の部品を選択する必要があります。

5.1.3.3 入力コンデンサ (C1a, C1b), 出力コンデンサ (C4)

コイル電流を平滑化するために、出力コンデンサ (C4) が必要です。出力コンデンサ (C4) を選定する場合は、出力リップル電圧 (ΔV_{DRV}) と負荷過渡応答が、2つの重要な要素です。これらの特性は DC バイアス依存性を考慮した実効容量値で検討する必要があります。実際のアプリケーションで使用するコンデンサの特性は、「**該当部品のデータシート**」を参照してください。

低 ESR のセラミックコンデンサを使用する前提において、降圧スイッチングレギュレータでは、出力リップル電圧 (ΔV_{DRV}) を満足させるために必要な容量は、**式 5-5** により推定可能です。

$$\Delta V_{DRV} = \frac{\Delta I}{8 * f_{sw} * C_4} \quad (\text{式 5-5})$$

∴ ΔI : コイルのリップル電流, f_{sw} : スwitching周波数 = 500[kHz], C₄ : 出力コンデンサ実効容量値

例えば ΔI = 0.545[A], C₄ = 5.5[μF] (実効容量値) の場合は、ΔV_{DRV} = 24.8[mV]になります。

一般的に、安定した入力電圧を供給するため、主電源部にはシステムの入力電源条件に応じた容量の電解コンデンサが必要です。よりよい EMC パフォーマンスのためには、降圧スイッチングレギュレータによるスイッチング周波数のパルス電流を吸収することが重要で、VM 端子の入力コンデンサ (C1a, C1b) はスイッチング電源回路の RMS 電流を処置可能でなければなりません。そのため、VM 端子の入力コンデンサには、セラミックコンデンサを使用する必要があります。EMC パフォーマンスに応じて 1[μF]以上のコンデンサ、および 0.1[μF]を含む複数のコンデンサの使用を推奨します。これらのコンデンサは本製品に可能な限り近接に配置してください。各コンデンサの配置は **5.2** を参照してください。

5.1.3.4 位相補償コンデンサ (C5)、および抵抗 (R6)

降圧スイッチングレギュレータを安定に動作させるためには位相補償が必要です。下記に位相補償コンデンサ (C5)、および抵抗 (R6) の選定方法を示します。

最初にオープンループゲインを求めます。降圧スイッチングレギュレータは、下記、A1, A2, A3 の3つのゲインで構成されていて、それぞれ式 5-6, 式 5-7, 式 5-8 のように求められます。

- A1 : VDRV 端子から FB 端子までの抵抗分割によるフィードバック部のゲイン
- A2 : FB 端子から gm アンプ出力 (PC 端子) までのゲイン
- A3 : PC 端子から VDRV 端子までのゲイン

一巡伝達関数 AOPN はこれらのゲインの積となり、式 5-9 のように求められます。VDRV = 12[V], IO = 0.5[A] の場合は、AOPN = 9766[V/V] = 79.79[dB] になります。

$$A_1 = \frac{V_{REF_SR}}{V_{DRV}} \quad \text{(式 5-6)}$$

∴ VREF_SR : FB 端子基準電圧 = 0.8[V], VDRV : VDRV 端子電圧[V]

$$A_2 = gm_{SR} * R_{oSR} \quad \text{(式 5-7)}$$

∴ gm_SR : gm アンプトランスコンダクタンス = 200[μA/V], RoSR : gm アンプ出力抵抗 = 14[MΩ]

$$A_3 = gm_{PW} * R_{OUT} = gm_{PW} * \frac{V_{DRV}}{I_O} \quad \text{(式 5-8)}$$

∴ gmPW : gm アンプ出力から VDRV 出力への電流ゲイン = 2.18[A/V], ROUT : VDRV 端子出力抵抗[Ω], IO : 出力負荷電流[A]

$$A_{OPN} = A_1 * A_2 * A_3 \quad \text{(式 5-9)}$$

次に目標帯域 (fo) を決定します。降圧スイッチングレギュレータでは、主に下記 (1), (2) の2つのポール、および (3) のゼロで周波数特性が決まります。(4) はスイッチング動作によるダブルポールで、目標帯域はこのポールより低い周波数に設定します。

- (1) fpole1 : gm アンプ出力抵抗 RoSR と位相補償コンデンサ (C5) で決まる 1st ポール
- (2) fpole2 : VDRV 端子出力抵抗 ROUT と出力コンデンサ (C4) で決まる 2nd ポール
- (3) fzero : 位相補償抵抗 (R6) と位相補償コンデンサ (C5) で決まるゼロ
- (4) スwitching 周波数 (fsw) の 1/2 の周波数のダブルポール

目標帯域 (fo) は、(4) の位相遅れによる安定性低下を回避するため、スイッチング周波数 (fsw) の 1/10 以下に設定します。そして、目標帯域 (fo) に合わせて (1) を設定し、(2) のポールを (3) のゼロでキャンセルすることで安定性を確保します (図 5-4 (a))。

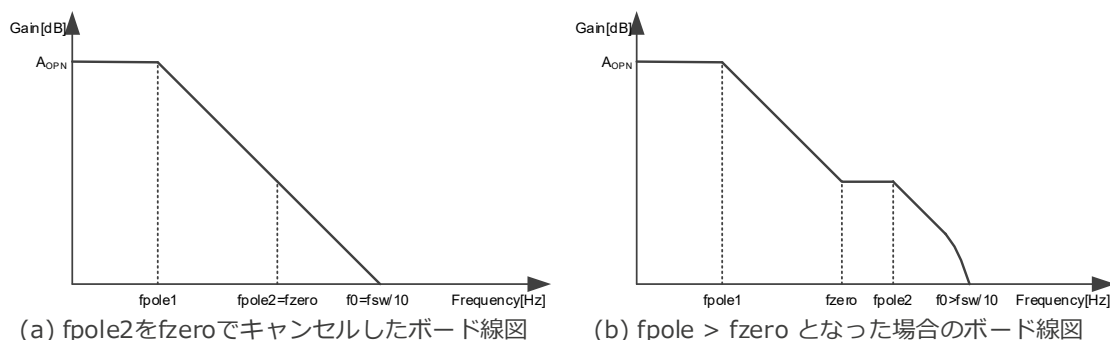


図 5-4 降圧スイッチングレギュレータの帯域、位相補償イメージ図

1st ポール (fpole1) は、**式 5-10** で求められます。

$$fpole1 = \frac{1}{2\pi * R_{oSR} * C5} \quad (式 5-10)$$

∵ R_{oSR} : gm アンプ出力抵抗 = 14[MΩ], $C5$: 位相補償コンデンサ

一方、目標帯域 (f_0) をスイッチング周波数 (f_{sw}) の $1/N$ に設定した場合、1st ポール (fpole1) はオープンループゲイン (A_{OPN}) を用いて**式 5-11** のようにも求められます。

$$fpole1 = \frac{f_{sw} / N}{A_{OPN}} \quad (式 5-11)$$

よって位相補償コンデンサ ($C5$) は**式 5-10**, **式 5-11** を用いて、**式 5-12** で計算可能です。

$$C5 = \frac{A_{OPN} * N}{2\pi * R_{oSR} * f_{sw}} \quad (式 5-12)$$

目標帯域 (f_0) をスイッチング周波数 (f_{sw}) = 500[kHz] の $1/10$ の 50[kHz] ($N = 10$), $A_{OPN} = 9766[V/V]$, $R_{oSR} = 14[MΩ]$ の場合は、 $C5 = 2221 \approx 2200[pF]$ になります。

2nd ポール (fpole2) は、**式 5-13** で求められます。

$$fpole2 = \frac{1}{2\pi * R_{OUT} * C4} = \frac{I_o}{2\pi * V_{DRV} * C4} \quad (式 5-13)$$

∵ R_{OUT} : VDRV 端子出力抵抗[Ω], $C4$: VDRV 端子の出力コンデンサ実効容量値, I_o : 出力負荷電流[A]

一方、ゼロ (f_{zero}) は、**式 5-14** で求められます。

$$f_{zero} = \frac{1}{2\pi * R6 * C5} \quad (式 5-14)$$

∵ $R6$: 位相補償抵抗, $C5$: 位相補償コンデンサ

2nd ポール (fpole2) をゼロ (f_{zero}) でキャンセルすることにより 1st ポール (fpole1), オープンループゲイン (A_{OPN}) で決まる 1 次特性を得ることから、位相補償抵抗 ($R6$) は**式 5-15** で計算可能です。

$$R6 = \frac{V_{DRV} * C4}{I_o * C5} \quad (式 5-15)$$

$V_{DRV} = 12[V]$, $I_o = 0.5[A]$, $C5 = 2200[pF]$, $C4 = 5.5[\mu F]$ (実効容量値) の場合は、 $R6 = 60 \approx 60.4[kΩ]$ になります。 V_{DRV} 端子の出力コンデンサ ($C4$) は DC バイアス特性を考慮した実効容量値で計算してください。出力コンデンサ ($C4$) の大きさによって 2nd ポール (fpole2) が変化しますが、実効容量値が計算に使用した値より小さい場合は、2nd ポール (fpole2) が想定よりも高い周波数となり、**図 5-4 (b)** のように目標帯域 (f_0) より実際の帯域が伸びることによってスイッチング周波数 (f_{sw}) の $1/2$ の周波数のダブルポール (fpole1n, fpole2n) の影響を受けやすくなり、安定性に影響を与える可能性があります。

5.1.4 チャージポンプ用出力コンデンサ (C2), フライイングコンデンサ (C3)

チャージポンプ出力 VCP 端子は、High サイドゲートドライバの電源です。チャージポンプ動作のため、CPH 端子と CPL 端子の間にフライイングコンデンサ (C3) が必要です。実効容量値で 0.22[μF]のセラミックコンデンサにより最大負荷電流 28[mA]までの供給を可能にします。フライイングコンデンサ (C3) の実効容量値が小さくなると同一負荷における VCP 端子電圧の低下が大きくなります。ご使用の外付け MOSFET, PWM 周波数、および VCP 端子電圧に応じたフライイングコンデンサ (C3) を選定してください。外付け MOSFET を駆動するための負荷電流 (I_{VCP}) は、**式 5-16** により見積もり可能です。3 相、または 2 相 PWM 駆動で同時に PWM 動作をする相が複数ある場合は、負荷電流 (I_{VCP}) が増える点に注意してください。

$$I_{VCP} > N * Q_g * f_{pwm} \quad (\text{式 5-16})$$

∴ N : 同時 PWM 相の数, Q_g : 外付け MOSFET ゲート入力総電荷量, f_{pwm} : PWM 周波数

出力コンデンサ (C2) として VCP 端子と VBRIDGE 端子の間に実効容量が 1[μF]以上のセラミックコンデンサが必要です。出力コンデンサ (C2) はチャージポンプ動作による出力リップル電圧を考慮して、フライイングコンデンサ (C3) の 5 倍以上のコンデンサを推奨します。

5.1.5 モータ駆動用外付け MOSFET (M1~M6) とレジスタ設定

5.1.5.1 ISRC_HS, ISRC_LS ビットの設定

ゲート駆動充電電流 (I_{SRCH} , I_{SRCL}) は、外付け MOSFET のゲート - ドレイン間電荷 (Q_{gd}) と、ハーフブリッジゲートドライバ出力における目標立ち上がり、立ち下がり時間 (t_{RISE} , t_{FALL}) に基づいて ISRC_HS, ISRC_LS ビットにより調整します。選択した外付け MOSFET に対して、設定したゲート駆動充電電流 (I_{SRCH} , I_{SRCL}) が小さいと、外付け MOSFET のゲート - ソース間電圧 (V_{GS}) が T_GT ビットにより設定した最大ゲート遷移時間 (t_{GT}) 内に十分に充電できず、 V_{GS} 異常 (V_{GS_FAULT}) を検出したり、オン抵抗電力損失が大きくなったりする可能性があります。また、立ち上がり、立ち下がり時間が遅いとスイッチング電力損失が大きくなります。使用する外付け MOSFET、およびモータを含めたアプリケーションにおいて最適な ISRC_HS ビット、ISRC_LS ビット設定してください。外付け MOSFET のゲート - ドレイン間電荷 (Q_{gd}) と、ハーフブリッジゲートドライバ出力における目標立ち上がり時間 (t_{RISE}) を用いてゲート駆動充電電流 (I_{SRCH}) は**式 5-17** で計算します。

$$I_{SRCH} > \frac{Q_{gd}}{t_{RISE}} \quad (\text{式 5-17})$$

∴ Q_{gd} : 外付け MOSFET ゲート - ドレイン間電荷, t_{RISE} : 目標立ち上がり時間

ゲート駆動放電電流 (I_{SNKH} , I_{SNKL}) は、ゲート駆動充電電流 (I_{SRCH} , I_{SRCL}) の 2 倍に設定されます。目標立ち上がり、立ち下がり時間 (t_{RISE} , t_{FALL}) は本特性を加味した最適な設定を決定してください。

5.1.5.2 DEAD_TIME ビットの設定

アダプティブデッドタイム機能は、ターンオフ遷移中の外付け MOSFET のゲート電圧をモニタしゲート - ソース間電圧 (V_{GS}) が閾値 (1[V] (typ.)) 以下になることを検出した後、エクストラデッドタイム (t_{dT}) 経過後にコンプリメンタリに外付け MOSFET をターンオンさせる機能です。本機能により High サイドと Low サイドの外付け MOSFET の同時オンとそれに伴う貫通電流を防止し、デッドタイムによるダイオード電力損失の最適化も可能になります。エクストラデッドタイム (t_{dT}) は DEAD_TIME ビットにより調整可能です。使用する外付け MOSFET のゲート - ソース間電荷 (Q_{gs}) ($V_{GS} = 1[V]$) やゲート閾値電圧 (V_{TH}) を考慮して、エクストラデッドタイム (t_{dT}) 経過後のゲート - ソース間電圧 (V_{GS}) がゲート閾値電圧 (V_{TH}) より確実に小さくなるように DEAD_TIME ビットの値を調整してください。片側外付け MOSFET のゲート - ソース間電圧 (V_{GS}) が閾値電圧 (1[V] (typ.)) を下回るタイミングと相補 MOSFET のターンオンタイミングとのマージンを最適化する手順を推奨します。外付け MOSFET の破壊を防ぐため、外付け MOSFET のゲート - ソース間電圧 (V_{GS}) を監視しながら、DEAD_TIME ビットを"11b"から徐々に小さい値に設定してください。

5.1.5.3 T_GT ビットの設定

ISRC_HS, ISRC_LS ビットの設定により最適化したハーフブリッジ出力のスイッチング動作において、最大ゲート遷移時間 (tGT) は外付け MOSFET のゲート - ソース間電圧 (VGS) の充電完了までの時間より長くなるように T_GT ビットを設定してください。十分に長い最大ゲート遷移時間 (tGT) は、ハーフブリッジ出力のスイッチング特性には影響ありませんが、最適な最大ゲート遷移時間 (tGT) は PWM 動作におけるゲートドライバの低消費電力化を実現します。外付け MOSFET のゲート - ソース間電圧 (VGS) の充電完了タイミングと最大ゲート遷移時間 (tGT) が完了するタイミングのマーヅンを最適化する手順を推奨します。意図しない VGS フォルト (VGS_FAULT) の検出を防ぐため、外付け MOSFET のゲート - ソース間電圧 (VGS) を監視しながら、T_GT ビットを“11b”から徐々に小さい値に設定してください。

5.1.6 電流検出用シャント抵抗 (R1, R2, R3) と差動アンプゲイン

本製品では、電流検出用シャント抵抗 (以降、シャント抵抗) の両端電圧を差動アンプを介して MCU の A/D コンバータで測定することにより、モータ駆動電流の検出が可能です。シャント抵抗 (R_z ($z = 1, 2, 3$)) は、目標検出電流範囲 (I_{SNS})、電源電圧 (V_{DD})、差動アンプの出力レンジ (V_{O_CSA})、入力オフセット電圧 (V_{IO_CSA})、ゲイン (G_{CSA}) を用いて、**図 5-5**、**式 5-18**、**式 5-20** に基づいて選択します。

出力のダイナミックレンジ (V_{O_DM}) は**式 5-18** のように計算します。

$$V_{O_DM} = (V_{DD} - V_{O_CSA}) - (0.5 * V_{DD} + G_{CSA} * V_{IO_CSA}) \quad (\text{式 5-18})$$

差動アンプゲイン (G_{CSA}) = 20[V/V] の場合は、**式 5-19** となります。

$$V_{O_DM} = (3.3[V] - 0.4[V]) - (1.65[V] + 20 * 5[mV]) = 1.15[V] \quad (\text{式 5-19})$$

出力ダイナミックレンジ (V_{O_DM}) 内で動作可能なシャント抵抗 R_z ($z = 1, 2, 3$) は**式 5-20** で計算します。

$$R_z < \frac{V_{O_DM}}{G_{CSA} * I_{SNS}} \quad (\text{式 5-20})$$

目標検出電流範囲 (I_{SNS}) = 50[A] の場合は、**式 5-21** となります。

$$R_z < \frac{1.15[V]}{20 * 50[A]} = 1.15[m\Omega] \quad (\text{式 5-21})$$

$R_z = 1[m\Omega]$ を選択した場合は、シャント抵抗 R_z ($z = 1, 2, 3$) の消費電力 (P_{SNS}) は目標検出電流範囲の実効値 (I_{SNS_RMS}) を用いて**式 5-22** となります。

$$P_{SNS} = I_{SNS_RMS}^2 * R_z = 35.4[A]^2 * 1[m\Omega] = 1.25[W] \quad (\text{式 5-22})$$

シャント抵抗 R_z ($z = 1, 2, 3$) の定格電力を考慮して部品を選定してください。

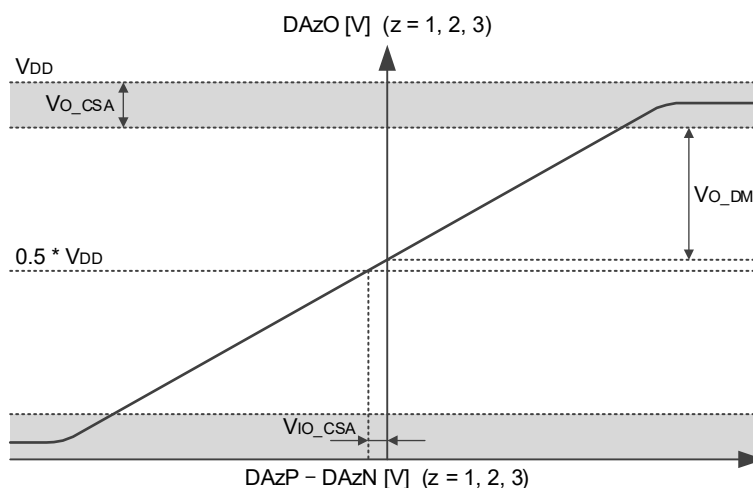


図 5-5 電流検出の出力ダイナミックレンジ

5.1.7 外付け保護回路例

5.1.7.1 抵抗とダイオードによる相電圧クランプ回路

モータ駆動時に、High サイドと Low サイドの外付け MOSFET の同時オンによって発生する貫通電流を防止するためには、デッドタイムが必要です。モータへ電流をソースしている時に、相補 PWM 動作によって High サイドの外付け MOSFET がオフになってから、Low サイドの外付け MOSFET がオンになるまでは、モータ駆動電流は Low サイドの外付け MOSFET のボディダイオードを通じて流れますが、ハーフブリッジ出力には、立ち下がりエッジのタイミングに負電圧スパイクが発生します。本製品では、HSx (x = A, B, C) 端子の絶対最大定格として許容負電圧レベルを規定しています。連続時間に対しては、VHSxabs (x = A, B, C) = -5[V], 200[ns]以内の期間に対しては、VHSxtran (x = A, B, C) = -7[V]です。絶対最大定格を超える負電圧スパイクは、製品の故障原因となる可能性があるため、外付け回路による保護が必要です。負電圧スパイクの大きさは、動作電源電圧、デッドタイム、ハーフブリッジ出力の遷移時間、外付け MOSFET、シャント抵抗、モータなどの構成要素、および基板レイアウトといった様々な要因に依存します。ハーフブリッジ出力のスイッチング期間における絶対最大定格を超える負電圧スパイクを回避するためには、抵抗とダイオードによる外付けクランプ回路が必要です。図 5-6 に回路例を示します。抵抗 (R_{Sx} (x = A, B, C)) は High サイドの外付け MOSFET のゲート駆動放電電流経路に挿入されるため、ハーフブリッジ出力の立ち下がり時間や、アダプティブデッドタイム機能のゲート電圧モニタに影響があります。抵抗 (R_{Sx} (x = A, B, C)) は、10[Ω]以下程度の抵抗を選択し、効果、および副作用の有無を実際の波形で確認のうえ選定してください。抵抗 (R_{Sx} (x = A, B, C)) とダイオード (D_{SxN} (x = A, B, C)) は、基板レイアウト設計において IC に可能な限り近接に配置してください。

ハーフブリッジ出力は、モータから電流をシンクしている時の立ち上がりエッジのタイミングにおいても絶対最大定格を超える電圧スパイクが発生する可能性があります。必要に応じてダイオード (D_{SxP} (x = A, B, C)) を追加し、負電圧スパイクと同様の保護を検討してください。

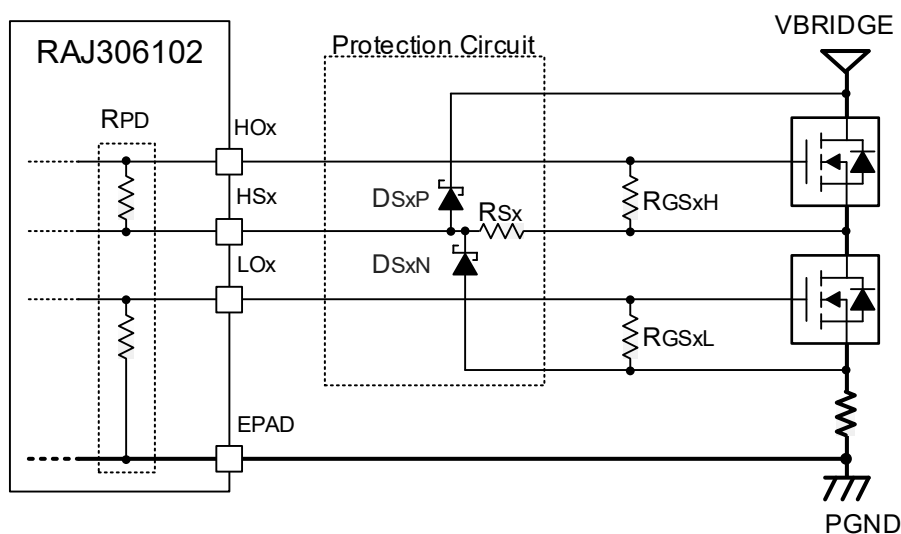


図 5-6 抵抗とダイオードによる相電圧クランプ回路例 (R_{Sx} , D_{SxP} , D_{SxN} (x = A, B, C))

5.1.7.2 外付け MOSFET のゲート - ソース間プルダウン抵抗

本製品には、HO_x - HS_x (x = A, B, C) 端子間、および LO_x (x = A, B, C) - EPAD 端子間にプルダウン抵抗 (R_{PD} = 200[kΩ] (typ.)) を内蔵しています。EN 出力端子を Low 出力に設定した後、または異常検出機能が異常を検出した後、ゲートドライバの出力の HO_x, LO_x (x = A, B, C) 端子を Hi-Z とするため、本プルダウン抵抗 (R_{PD}) により、外付け MOSFET ゲート - ソース間電圧 (V_{Gs}) を放電します。なお、外付け MOSFET に関連する一部の異常検出では、PDMODE ビットにより、ゲートドライバを Low 出力にする動作も選択可能です。入力ゲート容量の大きい外付け MOSFET を使用する場合は、ゲート - ソース間電圧 (V_{Gs}) 放電時間が長くなるため、放電時間を短くするためには、**図 5-7** のように外付けプルダウン抵抗 (R_{Gs_xH}, R_{Gs_xL} (x = A, B, C)) の追加が必要です。また、電源投入時の外付け MOSFET の電源 (VBRIDGE) のスルーレートによっては、外付け MOSFET のゲート - ドレイン間容量 (C_{gd}) の充電電流によりゲート電圧が上昇し、貫通電流を引き起こす可能性があります。一方、外付け MOSFET がオンの間はゲートドライバの出力の HO_x, LO_x (x = A, B, C) 端子は High となるため、プルダウン抵抗に電流が流れ消費電流が増加します。使用条件に応じて放電時間、ゲート電圧上昇量、および消費電流を考慮して、外付けプルダウン抵抗 (R_{Gs_xH}, R_{Gs_xL} (x = A, B, C)) の必要性と適切な抵抗値を検討してください。

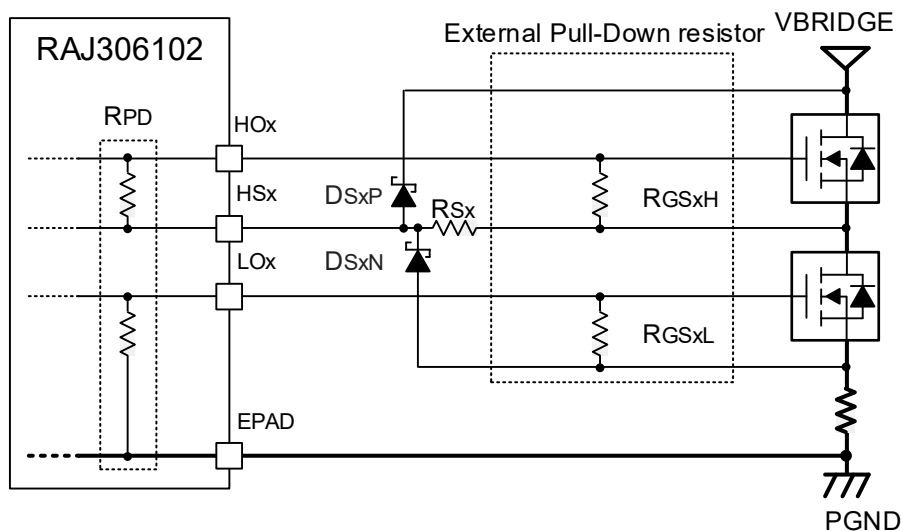


図 5-7 外付け MOSFET のゲート - ソース間プルダウン抵抗 (R_{Gs_xH}, R_{Gs_xL} (x = A, B, C))

5.2 推奨基板レイアウト

モータードライブアプリケーションの基板レイアウトは、シャント電流検出信号、A/D コンバータの入力信号などの高精度なアナログ信号検出を行うために重要です。本製品を含むモータ駆動アプリケーションでは、高電圧でスイッチング動作をする降圧スイッチングレギュレータ、および外付け MOSFET を駆動するゲートドライバを有するため、GND 配線の分類、外付け部品の配置、および配線の引き回しに注意してください。下記に基板レイアウトにおけるガイドラインを示します。なお、RL78/G1F のノイズ対策は、「**アプリケーションノート : RL78 ファミリ ノイズに関する注意事項と対策例 (R01AN0839)**」を参照してください。

5.2.1 GND 系統

本製品は、EPAD、PGND、AGND、および GND_MCU の 4 つの端子を GND として使用しています。各端子を使用しているブロックを表 5-3 に示します。

表 5-3 GND 系統と使用ブロックの関係

GND	ブロック
EPAD	ゲートドライバ、チャージポンプ
PGND	ゲートドライバ
AGND	差動アンプ、BEMF検出アンプ、汎用コンパレータ、LDO、降圧スイッチングレギュレータ制御部、ロジック部
GND_MCU	RL78/G1F

GND に対する基板レイアウトは、本デバイスの上記 GND 分離を考慮して PGND 系統 (EPAD、PGND)、AGND 系統 (AGND、GND_MCU) の 2 系統に加え、降圧スイッチングレギュレータのスイッチング電流が流れる外付け部品の GND 系統 (REG_GND 系統と定義) の 3 つの GND 系統に分けた配線レイアウトを推奨します。また、GND 間の結合によるノイズ干渉を回避するため、各系統の GND プレーンは、他の系統の GND プレーンと極大共通インピーダンスを持たないようにしてください。各 GND 系統に対する配線の注意点を下記に示します。

PGND 系統

PGND 系統は、ハーフブリッジのスイッチングに伴う外付け MOSFET のゲート放電電流を流す GND プレーンです。ビアを介さずに単層で配線することを推奨します。PGND と EPAD は IC の端子付近でビアを介さずに接続してください。PGND の単層での配線が困難な場合は基板の層間を多数のビアで接続し、寄生インダクタンスを最小限に抑えるようにしてください。また、ハーフブリッジ側の GND との共通インピーダンスが付かないように、基板の GND 端子 (装置の GND) の付近から分離して配線してください。なお、ゲート放電電流は、使用する外付け MOSFET やスイッチング特性に応じて 1[A] を超えるピーク電流が流れるため (ISRC_LS ビットに依存)、実際のアプリケーションに対応した十分な配線幅を確保してください。PGND 系統を基準とする外付け部品、回路は、他のブロックにノイズの影響を与えないように PGND 系統の GND プレーンで十分に覆うことを推奨します。

また、EPAD は IC の放熱にも使用するため、十分な数のビアを打ち、基板の背面に放熱できるようにすることを推奨します。

AGND 系統

AGND 系統は、内蔵アナログ回路、および MCU (RL78/G1F) の基準となる GND プレーンです。そのため、ノイズの影響が少ないレイアウトとすることが重要です。他の GND 系統の GND プレーンとの重なりや、VM、VBRIDGE、およびハーフブリッジ電源といったノイズの大きい電源プレーンとの重なりが少ないレイアウトを推奨します。また、AGND 系統を基準とする外付け部品、回路は、AGND 系統の GND プレーンで十分に覆うことを推奨します。AGND 系統の GND は、必要に応じてシャント電流検出信号、A/D コンバータの入力信号などの高精度なアナログ信号の配線に対するシールドとして使用してください。

REG_GND 系統

REG_GND 系統は降圧スイッチングレギュレータのスイッチング電流が流れる外付け部品の GND 系統です。降圧スイッチングレギュレータによるスイッチング電流に伴うノイズ対策を考慮した基板レイアウトにすることは、スイッチング電源を含むアプリケーションにおいて最も重要な設計項目の一つです。降圧スイッチングレギュレータは、スイッチング素子のオン、オフに応じてスイッチング電流が流れる経路が変わるため、外付け部品の GND には専用の GND 系統 (REG_GND) を設けることを推奨します。REG_GND 系統を使用する外付け部品には、VM 端子コンデンサ (C1a, C1b)、ショットキー整流ダイオード (D1)、および VDRV 端子の出力コンデンサ (C4) があります。これらの部品の GND は極力近接するように配置し、寄生インダクタンスによるノイズを最小限に抑えることが重要です。外付け部品の GND 間の距離を短くできない場合であっても、本配線は単層で直接接続するようにしてください。

外付け部品の GND から基板の GND 端子 (装置の GND) への配線は、REG_GND 系統と他の GND 系統と分離するため、ビアを介して接続してください。なお、本ビアの配置は、スイッチングによる電流変化の少ない出力コンデンサ (C4) の付近に設けることを推奨します。また、降圧スイッチングレギュレータの外付け部品、回路は、別の層に REG_GND 系統のプレーンを設けて十分に覆うことでノイズ干渉を抑えることを推奨しますが、本プレーンもビアを介して基板の GND 端子 (装置の GND) に接続し、他の GND 系統と分離する必要がありますことに注意してください。

5.2.2 電源端子のコンデンサと電源配線

本製品には、内蔵しているレギュレータ出力端子も含め、下記 8 つの電源端子があります。各電源端子に接続するバイパスコンデンサ、出力コンデンサ、コンデンサの接続先、および各端子を使用しているブロックを表 5-4 に示します。これらのコンデンサは極力 IC の付近に配置し、ビアを介さずに単層、低インピーダンスに IC と接続することを推奨します。VM、VBRIDGE 端子は、電圧降下を考慮し、基板上で電圧が比較的安定している電源端子付近 (装置の電源) からの配線が必要です。下記にハーフブリッジ電源を含む電源配線における注意点を示します。

表 5-4 電源端子のコンデンサと電源供給先ブロック

電源端子	部品番号	電源供給先ブロック
VM - REG_GND	C1a, C1b	降圧スイッチングレギュレータ, LDO1
VBRIDGE - PGND	C1c, C1d	ゲートドライバ
VCP - VBRIDGE	C2	ゲートドライバ
VDRV - REG_GND	C4	ゲートドライバ, LDO2, LDO3
VCC5V - AGND	C7	差動アンプ, BEMF検出アンプ, 汎用コンパレータ, 降圧スイッチングレギュレータ制御部, ロジック部
VDD - AGND	C8	差動アンプ, BEMF検出アンプ, 汎用コンパレータ
VDD_MCU, REGC - AGND	C11, C12	RL78/G1F

VM 端子配線

REG_GND 系統の配線と同様に基板の電源端子 (装置の電源) への配線は、VM 端子バイパスコンデンサ (C1a, C1b) の付近でビアを設けたうえで別の層で接続することを推奨します。これは降圧スイッチングレギュレータで発生する急峻な電流変化を、可能な限りバイパスコンデンサ (C1a, C1b) で吸収させることを目的としています。なお、VM 端子配線は、VBRIDGE 端子と同電位で使用する場合であっても独立で基板の電源端子 (装置の電源) へ接続してください。

ハーフブリッジ電源, VBRIDGE 端子配線

外付け MOSFET の大電流パスをバイパスするためには、通常、電解コンデンサを追加します。この電解コンデンサは外付け MOSFET を通過する大電流パスの長さが最小となるように外付け MOSFET、シャント抵抗の配置を考慮して配置します。配線は実際のアプリケーションに応じて十分な配線幅、かつ基板の層間は十分な数のビアで接続し、寄生インダクタンスを最小限に抑えるようにレイアウトしてください。また、VBRIDGE 端子のバイパスコンデンサ (C1c, C1d) への配線は、電解コンデンサの端子から独立で配線し、大電流パスとの共通インピーダンスが最小となるように配線してください。

5.2.3 降圧スイッチングレギュレータ

降圧スイッチングレギュレータの基板レイアウトにおいて、最も重要な点はスイッチングレギュレータから発生するノイズの最小化です。降圧スイッチングレギュレータは図 5-8 のように、(1) スwitching素子 (MP1) のオン、(2) MP1 のオフ、および (3) MP1 のオフからオンへの遷移過程に応じてスイッチング電流が流れる経路が変わるため、その切り替わりタイミングにおける急峻な電流変化によりノイズが発生します。このノイズを最小化するためには

図 5-8 で示した (3) の電流ループの面積を可能な限り小さくする必要があり、外付け部品を最適に配置する必要があります。下記に (3) の電流ループの面積を最小にするための注意点を示します。なお、降圧スイッチングレギュレータの外付け部品間の配線はビアを介さず単層で接続することがノイズの最小化において非常に重要です。

- VM 端子コンデンサ (C1a, C1b)、ショットキー整流ダイオード (D1) を本 IC の極力近接に配置し、素子と本 IC の端子間の配線を極力短くする。
- VM 端子コンデンサ (C1a, C1b)、ショットキー整流ダイオード (D1) 間の REG_GND 配線を極力短くする。

また、下記の注意点も考慮して基板レイアウトを実施してください。

- コイル (L1)、出力コンデンサ (C4)、ショットキー整流ダイオード (D1) で構成されるループが小さくなるように配置する。
- SW1 端子 - コイル (L1) 間の配線、およびショットキー整流ダイオード (D1) - 出力コンデンサ (C4) 間の REG_GND 配線は、(1)、(2) の状態で連続的に電流が流れるため、(3) の対応を優先したうえで極力短くする。
- SW1 端子 - コイル (L1) 間の配線面積は、電流容量、およびコイル (L1) の発熱に支障がない範囲で小さくする。
- VDRV 端子への配線は、コイル (L1) - 出力コンデンサ (C4) 間ではなく、出力コンデンサ (C4) のランドから配線を引き出す。

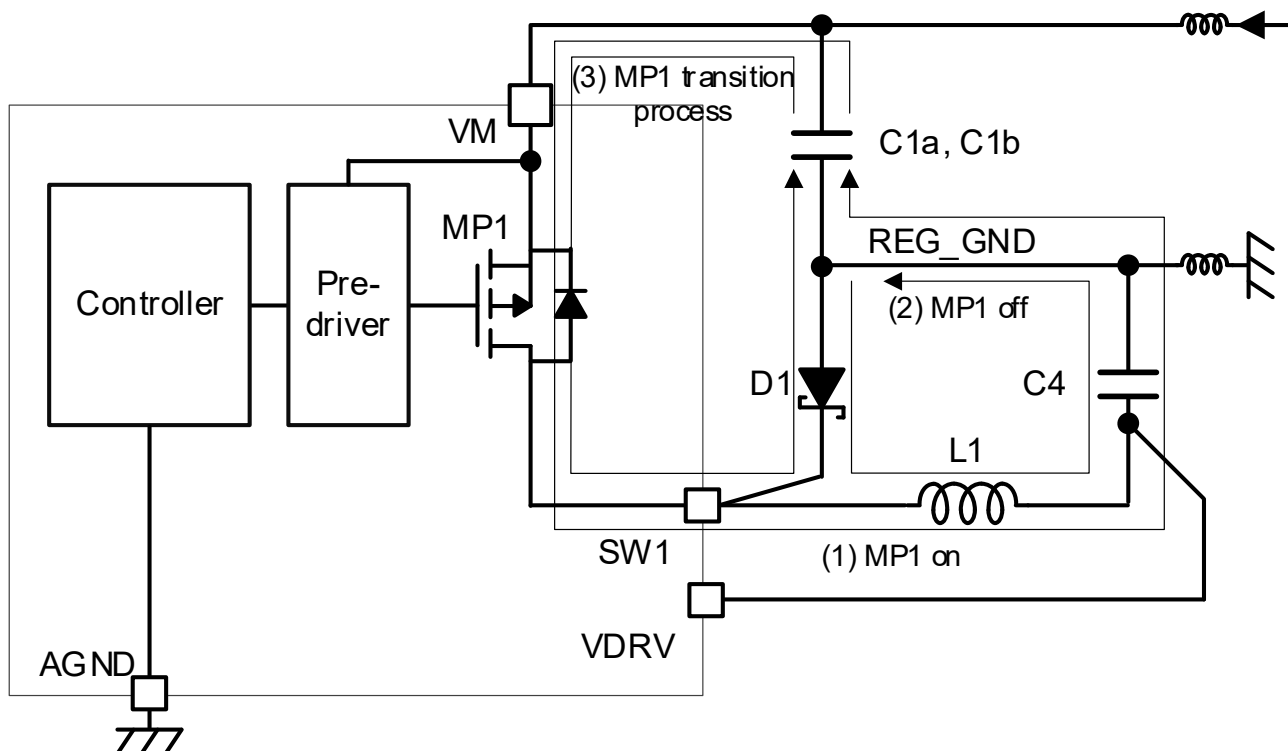


図 5-8 降圧スイッチングレギュレータの電流経路

5.2.4 N-ch MOSFET ブリッジ

外付け MOSFET の配置と配線は、外付け MOSFET のオン / オフを制御するゲート電流ループが最小になるように考慮する必要があります。High サイドの外付け MOSFET においては、外付け MOSFET のゲートから HOx (x = A, B, C) までの配線、および HSx (x = A, B, C) から外付け MOSFET のソースまでの配線が最短になるような配置を推奨します。Low サイドの外付け MOSFET においては、外付け MOSFET のゲートから LOx (x = A, B, C) までの配線、および EPAD からシャント抵抗の GND 側までの配線が最短になるような配置を推奨します。

なお、ゲート駆動放電電流 (ISNKH, ISNKL) は、使用する外付け MOSFET やスイッチング特性に応じて 1[A] を超える (ISRC_HS, ISRC_LS ビットに依存) ピーク電流が流れるため、アプリケーションに対応した十分な配線幅を確保してください。また、ハーフブリッジ出力の伝搬遅延に対するミスマッチを回避するため、各相の外付け部品の配置、および各配線は可能な限り対称になるようにしてください。

5.2.5 チャージポンプ

チャージポンプのフライングコンデンサ (C3)、および出力コンデンサ (C2) は可能な限り IC の付近に配置したうえで、フライングコンデンサ (C3) への CPH、および CPL 配線によるループは極力小さくなるように配線してください。同様に出力コンデンサ (C2) への VCP、および VBRIDGE 配線によるループも極力小さくなるように配線してください。また、これらの配線は充放電動作に伴う電流変化が大きいため、単層でビアを介さずに接続することを推奨します。なお、フライングコンデンサ (C3) への配線ループ、および出力コンデンサ (C2) への配線ループは、PGND 系統のプレーンにより十分に覆うことを推奨します。

5.2.6 シャント電流検出

シャント抵抗 (R1) による電流検出は両端電圧を正確に検出するため、ケルビン接続で配線を引き出し、両配線を並走、等長配線で差動アンプ入力 DAzP, DAzN (z = 1, 2, 3) へ接続することを推奨します。また、両配線へのノイズ干渉を回避するため、AGND 系統による両サイド、上層、および下層にシールドを設けるような対応も推奨します。電源配線やホール IC 配線などのノイズ源となる配線とは極力離して配線をするを推奨します。ノイズ除去を目的として DAzP, DAzN (z = 1, 2, 3) の入力直前に R-C フィルタを挿入することも可能ですが、本端子は 10[kΩ]の入力インピーダンスがあるため、ゲイン誤差が発生しないよう 20[Ω]以下の抵抗を使用してください。また、フィルタ挿入の際は、検出したい信号のタイミングと R-C フィルタによる遅れ時間を十分に考慮し、適切なカットオフ周波数を選定してください。

第6章 使用上の注意事項

6.1 高温動作に関して

本製品の使用温度プロファイルは、下記温度プロファイルを想定しております。
この使用条件の範囲内でご使用頂くよう、ご配慮をおねがいします。

高温環境 1 : $85[^\circ\text{C}] < T_a \leq 125[^\circ\text{C}]$ 1.0[hrs/day]

高温環境 2 : $55[^\circ\text{C}] < T_a \leq 85[^\circ\text{C}]$ 4.0[hrs/day]

非高温環境 : $-40[^\circ\text{C}] \leq T_a \leq 55[^\circ\text{C}]$ 19.0[hrs/day]

改版記録

Rev.	Date	Summary of Revised	Object Page
1.00	2023.06.06	・初版	ALL

RAJ306102 ユーザーズマニュアル ハードウェア編

発行年月日 2023年 6月 6日 Rev.1.00

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲 3-2-24 (豊洲フォレシア)



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサスエレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24(豊洲フォレシア)

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/contact/>

© 2023 Renesas Electronics Corporation. All rights reserved.

Colophon 3.1

RAJ306102